お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

発行日：2009 年 01 月08 日

RENESAS TECHNICAL UPDATE

〒100-0004　東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口　http://japan.renesas.com/inquiry
E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A696A/J	Rev.	第1版
題名	SH7280 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	・ SH7280 グループ ・ SH7243 グループ	対象ロット等 全ロット	関連資料	・SH7280 グループハードウェアマニュアル (RJJ09B0366-0100(H))	

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。
詳細は、以下をご参照ください。

＜誤記訂正内容＞

「4 章　クロック発振器(CPG)」　4.1　特長の(6)(7)(8)の説明を以下のように修正します。

【変更前】

（6） 周波数制御レジスタ（FRQCR）

周波数制御レジスタ（FRQCR）には、ソフトウェアスタンバイモード時のCK 端子からのクロック出力の有無、内部クロック（Iφ）、バスクロック（Bφ）および周辺クロック（Pφ）の周波数分周率の各制御ビットが割り当てられています。

（7） MTU2S クロック周波数制御レジスタ（MCLKCR）

MTU2S クロック周波数制御レジスタ（MCLKCR）には､MTU2S クロック（Mφ）出力の有無、および分周率の各制御ビットが割り当てられています。

（8） AD クロック周波数制御レジスタ（ACLKCR）

AD クロック周波数制御レジスタ（ACLKCR）には､AD クロック（Aφ）出力の有無、および分周率の各制御ビットが割り当てられています。

【変更後】

（6） 周波数制御レジスタ（FRQCR）

周波数制御レジスタ（FRQCR）には、内部クロック（Iφ）、バスクロック（Bφ）および周辺クロック（Pφ）の周波数分周率の各制御ビットが割り当てられています。

（7） MTU2S クロック周波数制御レジスタ（MCLKCR）

MTU2S クロック周波数制御レジスタ（MCLKCR）には､MTU2S クロック（Mφ）の周波数分周率の各制御ビットが割り当てられています。

（8） AD クロック周波数制御レジスタ（ACLKCR）

AD クロック周波数制御レジスタ（ACLKCR）には､AD クロック（Aφ）の周波数分周率の各制御ビットが割り当てられています。

(c) 2009. Renesas Technology Corp., All rights reserved.

「4 章　クロック発振器(CPG)」　4.3　クロック動作モードの【注】7 の説明を以下のように修正します。

【変更前】

7. MTU2S を使用する場合、MTU2S クロック（Mφ）は内部クロック（Iφ）の周波数以下になるように設定してください。

【変更後】

7. MTU2S を使用する場合、MTU2S クロック（Mφ）は内部クロック（Iφ）の周波数以下 PφBφ 以上になるように設定してください。

「4章　クロック発振器(CPG)」　4.4.2　MTU2S クロック周波数制御レジスタ（MCLKCR）のbit6,7を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	MSSCS[1:0]		-	-	-	-	MSDIVS[1:0]	
初期値：	0	1	0	0	0	0	1	1
R/W：	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7,6	MSSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00：クロック停止 01：PLL 出力クロック 10：予約（設定不可） 11：予約（設定不可）
5～2	－	すべて0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1,0	MSDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、100MHz 以下で周辺クロック周波数（Pφ）の整数倍になるように設定してください。 00：×1 倍 01：×1/2 倍 10：設定禁止 11：×1/4 倍

【変更後】

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MSDIVS[1:0]	
初期値：	0	1	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	－	1	R	リザーブビット 読み出すと常に 1 読み出されます。書き込む値も常に 1 にしてください。
5～2	－	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1,0	MSDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、100MHz 以下で周辺クロック周波数（Pφ）の整数倍になるように設定してください。 00：×1 倍 01：×1/2 倍 10：設定禁止 11：×1/4 倍

「4章　クロック発振器(CPG)」　4.4.3　AD クロック周波数制御レジスタ（ACLKCR）のbit6,7を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	ASSCS[1:0]		-	-	-	-	ASDIVS[1:0]	
初期値：	0	1	0	0	0	0	1	1
R/W：	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7,6	ASSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00：クロック停止 01：PLL 出力クロック 10：予約（設定不可） 11：予約（設定不可）
5～2	－	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1,0	ASDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、100MHz 以下で周辺クロック周波数（Pφ）の整数倍になるように設定してください。 00：×1 倍 01：×1/2 倍 10：設定禁止 11：×1/4 倍

【変更後】

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MSDIVS[1:0]	
初期値：	0	1	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	－	1	R	リザーブビット 読み出すと常に 1 読み出されます。書き込む値も常に 1 にしてください。
5～2	－	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1,0	ASDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、100MHz 以下で周辺クロック周波数（Pφ）の整数倍になるように設定してください。 00：×1 倍 01：×1/2 倍 10：設定禁止 11：×1/4 倍

「4 章　クロック発振器(CPG)」　4.4.4　発振停止検出制御レジスタ（OSCCR）の bit2 の説明を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
2	OSCSTOP	0	R	発振停止検出フラグ ［セット条件］ ・ 通常動作中にクロック入力の停止が検出されたとき ・ ソフトウェアスタンバイモードに遷移したとき ［クリア条件］ ・ RES 端子からのパワーオンリセット ・ ソフトウェアスタンバイモードから復帰するとき

【変更後】

ビット	ビット名	初期値	R/W	説明
2	OSCSTOP	0	R	発振停止検出フラグ ［セット条件］ ・ 通常動作中にクロック入力の停止が検出されたとき ［クリア条件］ ・ RES 端子からのパワーオンリセット

「4 章　クロック発振器(CPG)」　4.5　周波数変更方法の説明を以下のように修正します。

【変更前】

分周器の分周率を変えることによって、内部クロック、バスクロック、および周辺クロックの周波数と、MTU2 クロックの周波数を変更することができます。これらは周波数制御レジスタ（FRQCR）によってソフトウェアで制御します。以下にこれらの方法について示します。

【変更前】

分周器の分周率を変えることによって、内部クロック、バスクロック、および周辺クロックの周波数と、MTU2S クロックとADクロックの周波数を変更することができます。これらは周波数制御レジスタ（FRQCR）、MTU2Sクロック制御レジスタ(MCKCR)、ADクロック制御レジスタ(ACLKCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

「4 章　クロック発振器(CPG)」　4.7　発振停止検出機能の 6,7,8,9 行目の説明を以下のように修正します。

【変更前】

大電流ポート（MTU2 のTIOC3B、TIOC3D、TIOC4A～TIOC4D、MTU2S のTIOC3BS、TIOC3DS、TIOC4AS～TIOC4DS がマルチプレクスされている端子）はPFC の設定にかかわらず常にハイインピーダンスになります。詳細は「付録A. 端子状態」を参照してください。

上記端子は、ソフトウェアスタンバイ状態でも、常にハイインピーダンスになります。

【変更後】

大電流ポート（MTU2 のTIOC3B、TIOC3D、TIOC4A～TIOC4D、MTU2S のTIOC3BS、TIOC3DS、TIOC4AS～TIOC4DS がマルチプレクスされている端子）はOSCERSビットとPFC の設定にかかわらず常にハイインピーダンスになります。詳細は「付録A. 端子状態」を参照してください。

上記端子は、ソフトウェアスタンバイ状態でも、ハイインピーダンスにすることができます。

「6 章　割り込みコントローラ(INTC)」　6.4.1　NMI 割り込みの説明に以下の説明を追記します。

【変更後】

なお、リセット中に NMI 端子を変化させないでください。

「8 章　データトランスファコントローラ(DTC)」　8.9.4　チェイン転送の説明に以下のように修正します。

【変更前】

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因またはDTCER のクリアを行います。一方、SCI、SSU、RCAN-ET、SCIF、IIC3、およびA/D 変換器の割り込み／起動要因は、所定のレジスタがリード／ライトされたときにクリアされます。

【変更後】

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因またはDTCER のクリアを行います。一方、SCI、SSU、RCAN-ET、SCIF、IIC3、USB、およびA/D 変換器の割り込み／起動要因は、連結された最後のデータ転送等に所定のレジスタがリードライトされたときクリアされます。

「8 章　データトランスファコントローラ(DTC)」　P8-36　に使用上の注意事項を追記します。

【変更後】

8.9.13　DTCER の書き込み時の注意

DTCER の設定と同時に設定しようとした割り込みが同時に発生すると、DTC 起動と CPU 割り込みが同時に発生する場合があります。

DTCER の値が確定してから、DTC 起動割り込みが発生するようにしてください。

「9 章　バスステートコントローラ(BSC)」 9.4.8　バス機能拡張レジスタ（BSCEHR）の DTBST ビットの説明の本ビットを 1 に設定する場合の注意事項に以下の制限を追記します。

【変更後】

5．起動要因が IRQ7～0 のローレベル検出設定、且つ RRS =1 の場合は DTBST=1 に設定しないでください。

「16 章　シリアルコミュニケーションインタフェース(SCI)」　レジスタの説明の表 16.2　レジスタ構成を以下のように修正します。

【変更前】

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	トランスミットデータレジスタ_0	SCTDR_0	-	-	H’FFFF8006	8
	レシーブデータレジスタ_0	SCRDR_0	-	-	H’FFFF800A	8
1	トランスミットデータレジスタ_1	SCTDR_1	-	-	H’FFFF8806	8
	レシーブデータレジスタ_1	SCRDR_1	-	-	H’FFFF880A	8
2	トランスミットデータレジスタ_2	SCTDR_2	-	-	H’FFFF8906	8
	レシーブデータレジスタ_2	SCRDR_2	-	-	H’FFFF890A	8
4	トランスミットデータレジスタ_4	SCTDR_4	-	-	H’FFFF8A06	8
	レシーブデータレジスタ_4	SCRDR_4	-	-	H’FFFF8A0A	8

【変更後】

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	トランスミットデータレジスタ_0	SCTDR_0	R/W	-	H’FFFF8006	8
	レシーブデータレジスタ_0	SCRDR_0	R	-	H’FFFF800A	8
1	トランスミットデータレジスタ_1	SCTDR_1	R/W	-	H’FFFF8806	8
	レシーブデータレジスタ_1	SCRDR_1	R	-	H’FFFF880A	8
2	トランスミットデータレジスタ_2	SCTDR_2	R/W	-	H’FFFF8906	8
	レシーブデータレジスタ_2	SCRDR_2	R	-	H’FFFF890A	8
4	トランスミットデータレジスタ_4	SCTDR_4	R/W	-	H’FFFF8A06	8
	レシーブデータレジスタ_4	SCRDR_4	R	-	H’FFFF8A0A	8

「16 章　シリアルコミュニケーションインタフェース(SCI)」 16.3.2　レシーブデータレジスタ(SCRDR)を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

【変更後】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R

「16 章　シリアルコミュニケーションインタフェース(SCI)」 16.3.4　トランスミットデータレジスタ(SCTDR)を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

【変更後】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

「17 章　FIFO 内蔵シリアルコミュニケーションインタフェース(SCIF)」 17.3.8　ビットレジスタの説明 P17-21 の表 17.8　外部クロック入力時の最大ビットレート(クロック同期式モード)を以下のように修正します。

【変更前】

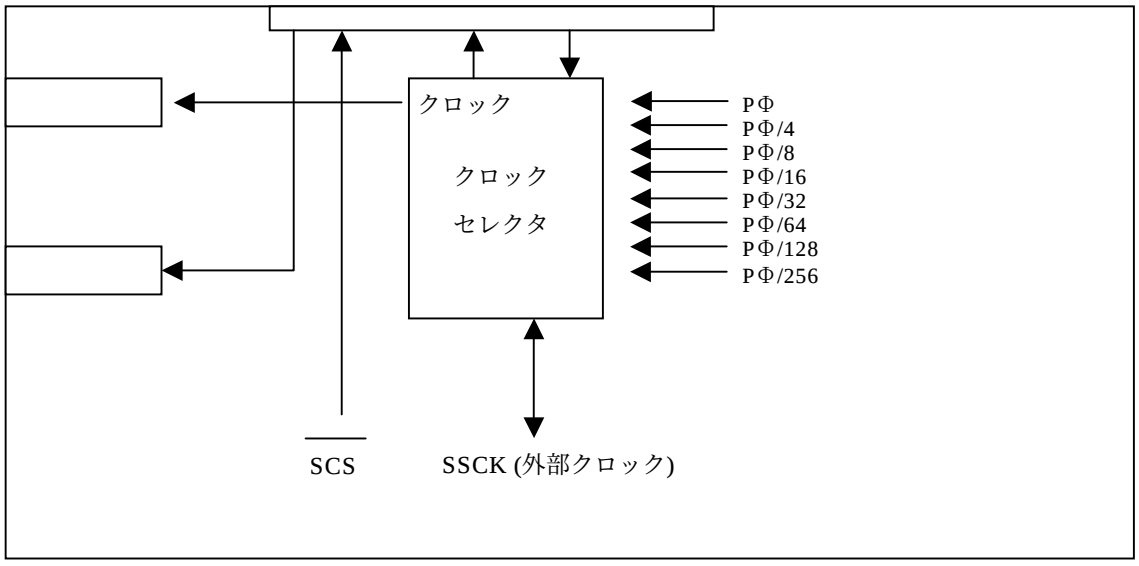
PΦ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
50	8.3333	8333333.3

【変更後】

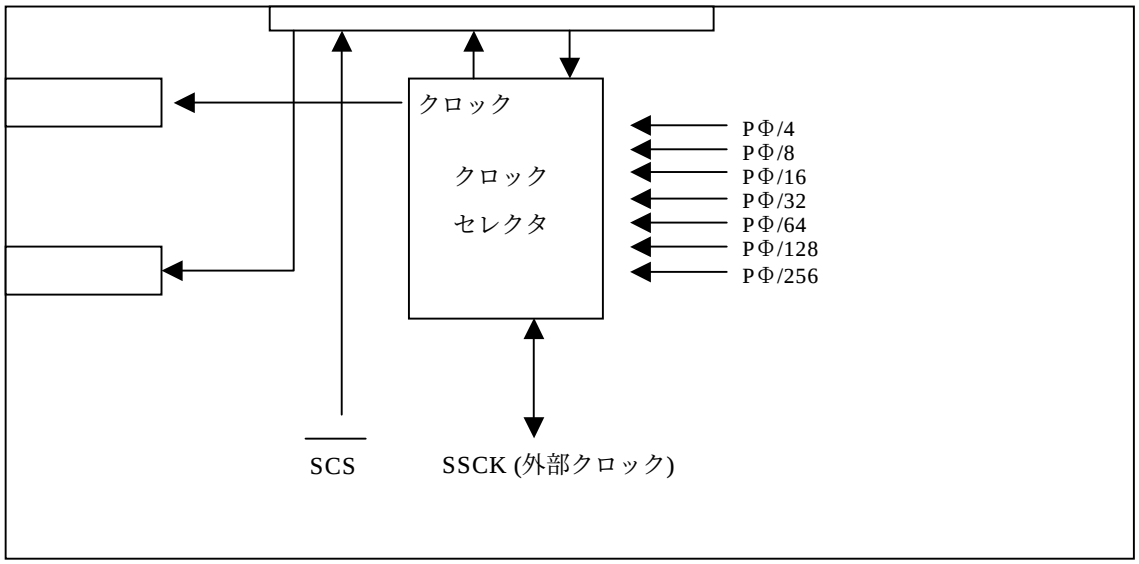
PΦ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
50	8.0000	8000000.0

「18 章　シンクロナスシリアルコミュニケーションユニット(SSU)」 18.1　特長の図 18.1　SSU のブロック図のクロックセレクタを以下のように修正します。

【変更前】



【変更後】



「19 章　I²C バスインタフェース(IIC3)」　19.3.1　I²C バスコントロールレジスタ 1　(ICCR1)の RCVD の説明に追記修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
6	RCVD	0	R/W	受信ディスエーブル TRS＝0の状態でICDRRをリードしたときに次の動作の継続／禁止を設定します。 マスタ受信モードでICDRR の読み出し処理をSCL の8 クロックの立ち上がりまでにできない場合は、RCVD＝1 に設定して1 バイトごとの受信を行ってください。 0：次の受信動作を継続 1：次の受信動作を禁止

【変更後】

ビット	ビット名	初期値	R/W	説明
6	RCVD	0	R/W	受信ディスエーブル TRS＝0の状態でICDRRをリードしたときに次の動作の継続／禁止を設定します。 マスタ受信モードでICDRR の読み出し処理をSCL の8 クロックの立ち上がりまでにできない場合は、RCVD＝1 に設定して1 バイトごとの受信を行ってください。その他のモードでは０にクリアしてください。 0：次の受信動作を継続 1：次の受信動作を禁止

「19 章　I²C バスインタフェース(IIC3)」　19.4.2　マスタ送信動作の動作１を下記のように修正します。

【変更前】

1.CR1 の ICE ビットを 1 に設定します。また ICMR の WAIT、ICCR1 の CKS[3:0]などを設定します（初期設定）。

【変更後】

1. ICCR1 の ICE ビットを 1 に設定します。また ICMR の ICCR1 の CKS[3:0]などを設定します（初期設定）。

「第 20 章　A/D 変換器(ADC)」 20.1　特長の説明を以下のように修正します。

【変更前】

・ 4本のA/Dデータレジスタ

4本の16ビットのA/Dデータレジスタ（ADDR）。A/D変換した結果は、各入力チャネルに対応したA/Dデータレジスタ（ADDR）に格納されます。

【変更後】

・ 12本のA/Dデータレジスタ(SH7286),8本のA/Dデータレジスタ(SH7285,SH7243)

A/D変換した結果は、各入力チャネルに対応した16ビットのA/Dデータレジスタ（ADDR）に格納されます。

「第 20 章　A/D 変換器(ADC)」 20.3　レジスタの説明の表 20.2　レジスタ構成を以下のように修正します。

【変更前】

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ 0	ADDR0	R/W	H’0000	H’FFFFE840	16
A/D データレジスタ 1	ADDR1	R/W	H’0000	H’FFFFE842	16
A/D データレジスタ 2	ADDR2	R/W	H’0000	H’FFFFE844	16
A/D データレジスタ 3	ADDR3	R/W	H’0000	H’FFFFE846	16
A/D データレジスタ 4	ADDR4	R/W	H’0000	H’FFFFEC40	16
A/D データレジスタ 5	ADDR5	R/W	H’0000	H’FFFFEC42	16
A/D データレジスタ 6	ADDR6	R/W	H’0000	H’FFFFEC44	16
A/D データレジスタ 7	ADDR7	R/W	H’0000	H’FFFFEC46	16
A/D データレジスタ 8	ADDR8	R/W	H’0000	H’FFFFEE40	16
A/D データレジスタ 9	ADDR9	R/W	H’0000	H’FFFFEE42	16
A/D データレジスタ 10	ADDR10	R/W	H’0000	H’FFFFEE44	16
A/D データレジスタ 11	ADDR11	R/W	H’0000	H’FFFFEE46	16

【変更後】

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ 0	ADDR0	R	H’0000	H’FFFFE840	16
A/D データレジスタ 1	ADDR1	R	H’0000	H’FFFFE842	16
A/D データレジスタ 2	ADDR2	R	H’0000	H’FFFFE844	16
A/D データレジスタ 3	ADDR3	R	H’0000	H’FFFFE846	16
A/D データレジスタ 4	ADDR4	R	H’0000	H’FFFFEC40	16
A/D データレジスタ 5	ADDR5	R	H’0000	H’FFFFEC42	16
A/D データレジスタ 6	ADDR6	R	H’0000	H’FFFFEC44	16
A/D データレジスタ 7	ADDR7	R	H’0000	H’FFFFEC46	16
A/D データレジスタ 8	ADDR8	R	H’0000	H’FFFFEE40	16
A/D データレジスタ 9	ADDR9	R	H’0000	H’FFFFEE42	16
A/D データレジスタ 10	ADDR10	R	H’0000	H’FFFFEE44	16
A/D データレジスタ 11	ADDR11	R	H’0000	H’FFFFEE46	16

「第 20 章　A/D 変換器(ADC)」 20.4.3　入力サンプリングと A/D 変換時間の表 20.6　A/D 変換時間を以下のように修正します。

【変更前】

項目		記号	必須ステート数		
			Min	Typ	Max
A/D 変換時間	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝0	tCONV	50n＋65*3	―	50n＋69*3
	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝1		50n＋15*3	―	50n＋19*3
	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝0		50n＋95*3	―	50n＋99*3
	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝1		50n＋45*3	―	50n＋49*3

【変更後】

項目		記号	必須ステート数		
			Min	Typ	Max
A/D 変換時間	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝0	tCONV	50n＋65*3	―	50n＋69*3
	ADBYPSCR.SH＝0、ADBYPSCR.OFC＝1		50n＋15*3	―	50n＋19*3
	ADBYPSCR.SH＝1、ADBYPSCR.OFC＝0		50n＋95*3	―	50n＋99*3
	ADBYPSCR.SH＝1、ADBYPSCR.OFC＝1		50n＋45*3	―	50n＋49*3

「第 20 章　A/D 変換器(ADC)」 P20-29 の 20.7.5　ノイズ対策上の注意の下に下記の項目を追記修正します。

【変更後】

20.7.6　許容信号源インピーダンスについて

本LSI のアナログ入力は、信号源インピーダンスが3kΩ以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D 変換器のサンプル＆ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが3kΩを超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の10kΩだけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば5mV/μs 以上）には追従できないことがあります。
高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

20.7.7　絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ずAVSS 等の電気的に安定なGND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

「第 20 章　A/D 変換器(ADC)」　P20-30 の図 20.14　アナログ入力端子の保護回路の例を以下のように修正します。

【変更前】

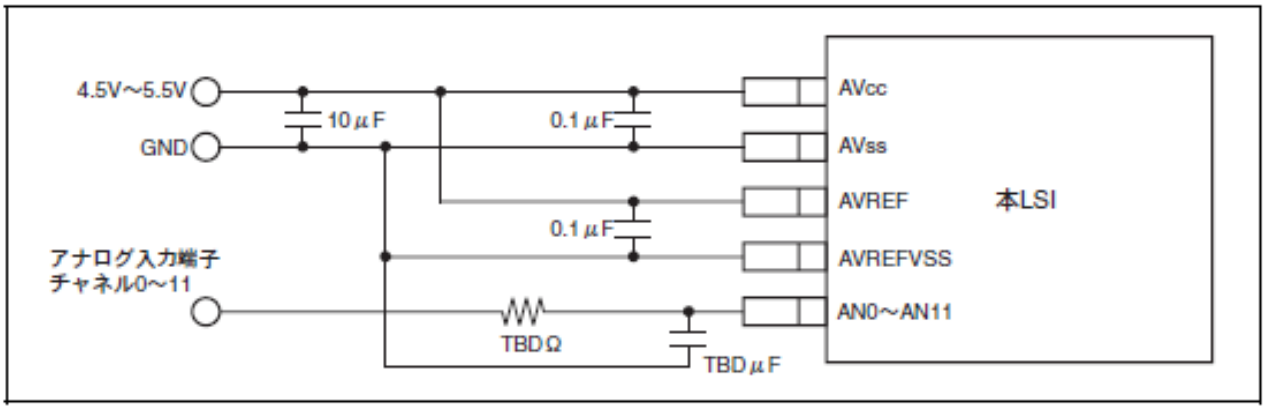


図 20.14　アナログ入力端子の保護回路の例

【変更後】

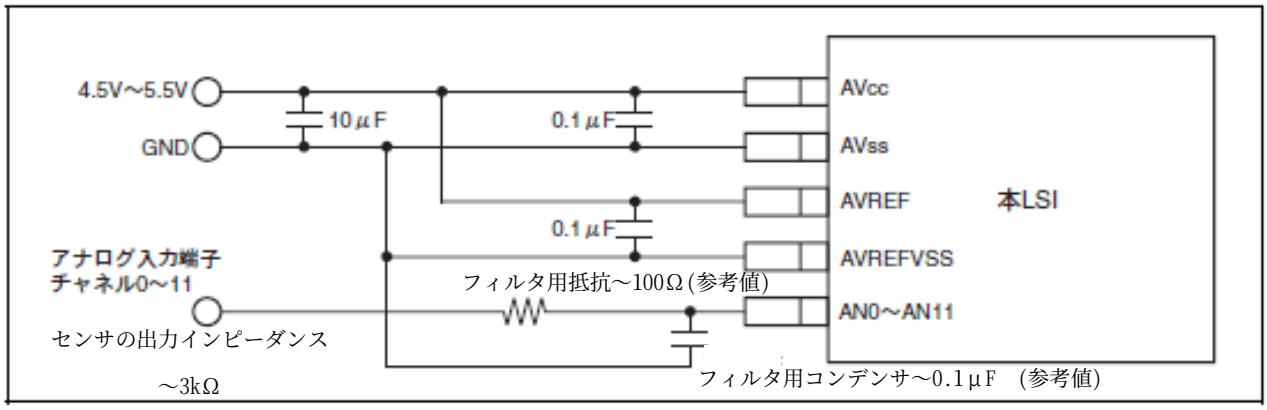


図 20.14　アナログ入力端子の保護回路の例

「22 章　コントローラエリアネットワーク(RCAN-ET)」　22.11.1　モジュールストップモードの説明で下記のように説明を修正します。

【変更前】

スタンバイコントロールレジスタ3（STBCR3）により、RCAN-ET に対するクロックの動作／停止を設定することが可能です。

【変更後】

スタンバイコントロールレジスタ6（STBCR6）により、RCAN-ET に対するクロックの動作／停止を設定することが可能です。

「23 章　ピンファンクションコントローラ(PFC)」 23.1.16　大電流ポートコントロールレジスタ(HCPCR)の bit0 の
ビット名を下記のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
0	MIZIZEL	1	R/W	ポートE 大電流ポートハイインピーダンスL 発振停止検出時およびソフトウェアスタンバイモード時、PE0～PE3、PE5、PE6 の大電流ポートをPFC の設定にかかわらずハイインピーダンスにするかを選択します。 0：ハイインピーダンスにする 1：ハイインピーダンスにしない 本ビットを1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録A. 端子状態」を参照してください。

【変更後】

ビット	ビット名	初期値	R/W	説明
0	MZIZEL	1	R/W	ポートE 大電流ポートハイインピーダンスL 発振停止検出時およびソフトウェアスタンバイモード時、PE0～PE3、PE5、PE6 の大電流ポートをPFC の設定にかかわらずハイインピーダンスにするかを選択します。 0：ハイインピーダンスにする 1：ハイインピーダンスにしない 本ビットを1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録A. 端子状態」を参照してください。

「25 章　USB ファンクションモジュール」 25.2　入力端子の表 25.1 端子構成の下に以下を追記修正します。

【変更後】

3.0≦Vcc≦3.6V の場合　　DrVcc≦Vcc

3.6＜Vcc≦5.5V の場合　　DrVcc≦3.6V＜Vcc

「25 章　USB ファンクションモジュール」 25.10　USB 外部回路例の図 25.27 USB ファンクションモジュール外部回路例を下記のように追記修正します。

【変更前】

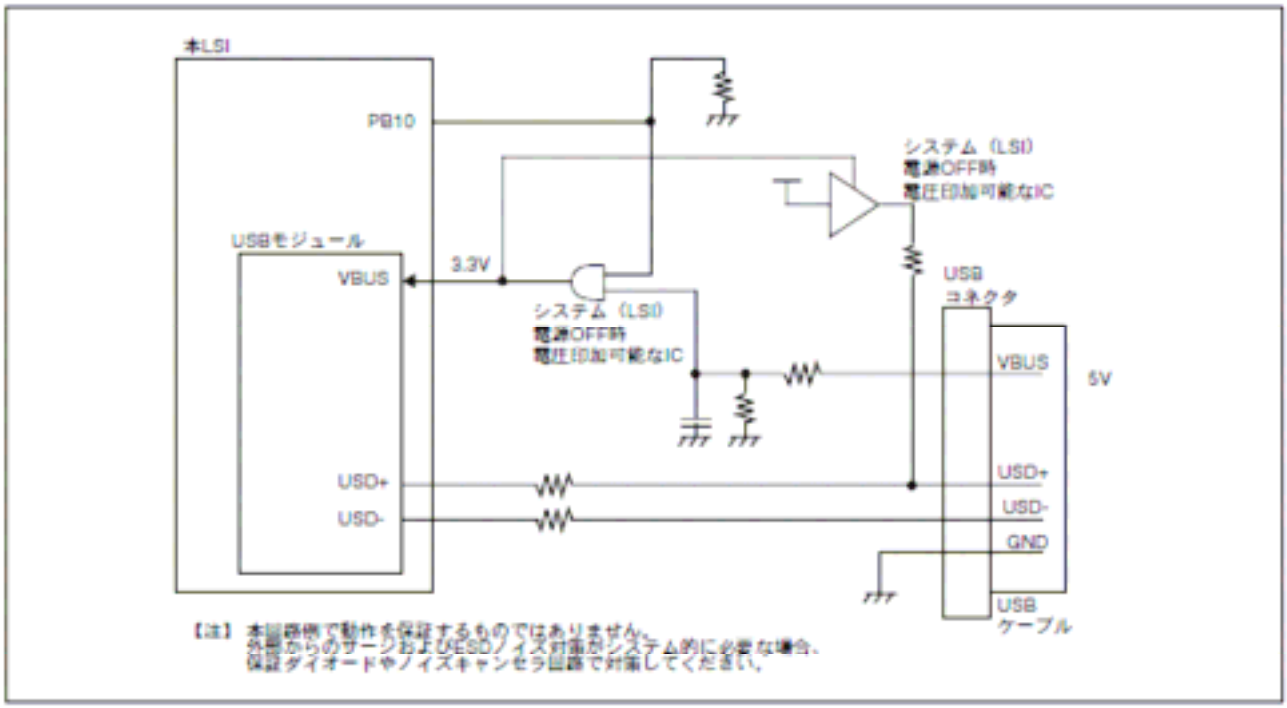


図 25.27　USB ファンクションモジュール外部回路例

【変更後】

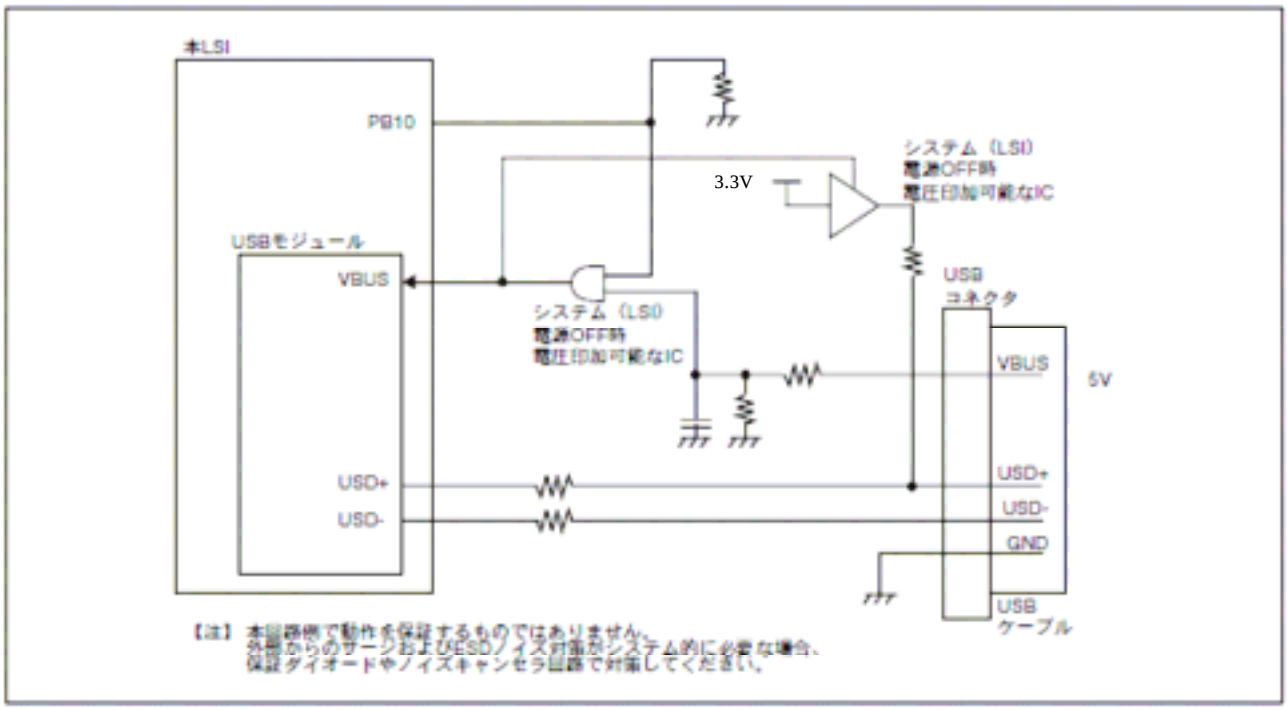


図 25.27　USB ファンクションモジュール外部回路例

[注] VBUS は CPU の電圧と同じ電圧を印加してください。

(Vcc)

「25 章　USB ファンクションモジュール」 25.11.9　USB 未使用時の端子処理の説明を以下のように修正します。

【変更前】

DrVcc＝3.0～3.6V

【変更後】

DrVcc＝3.0～5.5V

「26 章　フラッシュメモリ」 26.2.6　書き込み／消去インタフェースの(4)書き込み／消去の実行の 9,10 行目を以下のように修正します。

【変更前】

　書き込み／消去処理中の割り込み処理については、制限･注意点があります。詳細は「 26.7.2 書き込み／消去手続き実行中の割り込み」をご覧ください。

【変更後】

書き込み／消去処理中は、NMI、IRQ、およびその他全ての割り込みを発生させないでください。

「26 章　フラッシュメモリ」 26.3　入力端子の表 26.3 端子構成の USB クロックセレクトを以下のように修正します。

【変更前】

名称	端子名	入出力	機能
USB クロックセレクト	PC0	出力	USB 供給クロックを選択(USB ブートモードで使用) (SH7285、SH7286)

【変更後】

名称	端子名	入出力	機能
USB クロックセレクト	PC0	入力	USB 供給クロックを選択(USB ブートモードで使用) (SH7285、SH7286)

「26 章　フラッシュメモリ」 26.7.2　書き込み／消去手続き実行中の割り込みの(2)書き込み／消去処理中の割り込みを以下のように修正します。

【変更前】

（2）　書き込み／消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み／消去実行中の割り込み処理は、リアルタイムで可能ですが、以下の制限事項や注意事項があります。

1．書き込み／消去中のフラッシュメモリは、ユーザマット／ユーザブートマットともにアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、内蔵RAMや外部メモリなどに準備してください。割り込み処理ルーチンの中でも、書き込み／消去中のフラッシュメモリをアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません。また、書き込み／消去中にフラッシュメモリの当該バンクをアクセスすると、エラープロテクトに遷移しますので、書き込み／消去処理は中断します。当該バンク以外をアクセスした場合は、エラープロテクトに遷移しませんが、読み出した値の保証はできません。

2．FMPDRパラメータで指定している書き込みデータを変更しないでください。書き込みデータを割り込み処理で準備する場合は、別領域に準備し、書き込み完了の確認後にFMPDRの領域に移すかFMPDRを準備した別領域に変更する手順としてください。

3．割り込み処理ルーチンの中では、本章のフラッシュ関連レジスタや、ダウンロードした内蔵プログラム領域を破壊しないようにしてください。また、割り込み処理でSCO要求による内蔵プログラムのダウンロードや、書き込み／消去を多重実行しないでください。

4．割り込み処理ルーチンの先頭で、CPUのレジスタを退避し、戻る前に復帰させてください。

5．割り込み処理ルーチンで、スリープ状態やソフトウェアスタンバイ状態に遷移すると、エラープロテクト状態となり、書き込み／消去は中断されます。

また、リセット状態に遷移した場合は、フラッシュメモリへのダメージを低減するために、100μs以上のリセット状態の後で、リセットリリースしてください。

【変更後】

（2）　書き込み／消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み／消去中は、NMI、IRQ、およびその他全ての割り込みを発生させないでください。

「26 章　フラッシュメモリ」 26.8.2　手順プログラム、または書き込みデータの格納可能領域の 5 を以下のように修正します。

【変更前】

5．書き込み／消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み／消去中のユーザブランチ先のユーザプログラム、および割り込みのベクタテーブルと割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。

【変更後】

5．書き込み／消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、および書き込み／消去中のユーザブランチ先のユーザプログラムをフラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。

「26 章　フラッシュメモリ」 26.8.2　手順プログラム、または書き込みデータの格納可能領域の表 26.18 (1)から表 26.18 (4)の全ての割り込み処理ルーチンの項目を削除します。

【変更前】

表 26.18 (1)

割り込み処理ルーチン	○	×	○	○	

表 26.18 (2)

割り込み処理ルーチン	○	×	○	○	

表 26.18 (3)

割り込み処理ルーチン	○	×	○		○	

表 26.18 (4)

割り込み処理ルーチン	○	×	○		○	

【変更後】

削除

「26 章　フラッシュメモリ」 26.8.1 ブートモードの標準シリアル通信インタフェース仕様の(11)新ビットレート選択を以下のように修正します。

【変更前】

コマンド

H'3F	サイズ	ビットレート	入力周波数
逓倍比数	逓倍比 1	逓倍比 2	
SUM			

・サイズ (1 バイト) ：ビットレート、入力周波数、逓倍比数、逓倍比の合計サイズ

・逓倍比数 (1 バイト) ：デバイスで選択可能な逓倍比数
　通常はメイン動作周波数と周辺モジュール動作周波数で 2

【変更後】

コマンド

H'3F	サイズ	ビットレート	入力周波数
逓倍比の種別数	逓倍比 1	逓倍比 2	
SUM			

･サイズ (1 バイト) ：ビットレート、入力周波数、逓倍比の種別数、逓倍比の合計サイズ

･逓倍比の種別数 (1 バイト) ：デバイスで選択可能な逓倍比の種別数

通常はメイン動作周波数と周辺モジュール動作周波数で 2

「第 28 章　低消費電力モード」 P28-1 の表 28.1 のモジュールスタンバイ機能の解除方法を以下のように修正します。

【変更前】

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
モジュールスタンバイ機能	SRBCR2 SRBCR3 SRBCR4 SRBCR5 SRBCR6 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止（内容は保持）	指定モジュールが停止	オートリフレッシュされます	･ MSTP ビットを 0 にクリア ･パワーオンリセット (ただし H-UDI USB、DMAC のみ)

【変更後】

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
モジュールスタンバイ機能	SRBCR2 SRBCR3 SRBCR4 SRBCR5 SRBCR6 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止（内容は保持）	指定モジュールが停止	オートリフレッシュされます	･ MSTP ビットを 0 にクリア ･パワーオンリセット (ただし H-UDI USB、DMAC、DTC のみ)

「第 28 章　低消費電力モード」 28.3.4 のスタンバイコントロールレジスタ 4（STBCR4）の説明を以下のように修正します。

【変更前】

STBCR4 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時にH'F4 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【変更後】

STBCR4 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時にH'F6 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

「第 28 章　低消費電力モード」 28.3.5 のスタンバイコントロールレジスタ 5（STBCR5）の説明を以下のように修正します。

【変更前】

STBCR5 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR5 は、パワーオンリセット時にH'EF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【変更前】

STBCR5 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR5 は、パワーオンリセット時にH'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

「第 28 章　低消費電力モード」 28.3.6 のスタンバイコントロールレジスタ 6（STBCR6）の説明を以下のように修正します。

【変更前】

STBCR6 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR6 は、パワーオンリセット時にH'60 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【変更後】

STBCR6 は、読み出し／書き込み可能な8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR6 は、パワーオンリセット時にH'DF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

「第 28 章　低消費電力モード」 P28-14　表 28.4 ソフトウェアスタンバイモード時のレジスタの状態を以下のように修正します。

【変更前】

モジュール名	初期化レジスタ	内容が保持されるレジスタ
A/D 変換器	—*	—
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCSEMR	SCSEMR を除く全レジスタ

【注】　*　A/D 変換器のレジスタは不定になります。

【変更後】

モジュール名	初期化レジスタ	内容が保持されるレジスタ
A/D 変換器	全レジスタ	—
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	—	全レジスタ

「第 28 章　低消費電力モード」 P28-14　28.4.2(2)のソフトウェアスタンバイモードの解除の説明を以下のように修正します。

【変更前】

ソフトウェアスタンバイモードは、割り込み（NMI,IRQ）およびリセット（マニュアルリセット、パワーオンリセット）により、解除されます。

【変更後】

ソフトウェアスタンバイモードは、必ずパワーオンリセットにより解除してください。
マニュアルリセットでは解除できません。ソフトウェアスタンバイ中にマニュアルリセットに遷移させた場合、本 LSI の動作は保証できません。またソフトウェアスタンバイモード中に割り込みを発生させた場合も、割り込み発生後の動作は保証できません。

「第 28 章　低消費電力モード」 P28-16　28.4.4 モジュールスタンバイ機能の説明について以下のように修正します。

【変更前】

28.4.4 モジュールスタンバイ機能

(1)　モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各MSTP ビットに1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、ソフトウェアスタンバイモード時と同じです。表28.4 を参照してください。

ただしCMTとDAC は例外です。CMTは、ソフトウェアスタンバイモード時は全レジスタが初期化されますが、モジュールスタンバイ状態では全レジスタが保持されます。DAC は、ソフトウェアスタンバイモード時は全レジスタが保持されますが、モジュールスタンバイ状態では全レジスタが初期化されます。

(2)　モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各MSTP ビットを0 にクリアするか、パワーオンリセット（ただしH-UDI、UBC、DMAC のみ）により行います。各MSTP ビットを0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して0 クリアされたことを確認してください。

【変更後】

28.4.3 モジュールスタンバイ機能

（1） モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各MSTP ビットに1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、ソフトウェアスタンバイモード時と同じです。30.3各動作モードにおけるレジスタ状態の一覧 を参照してください。

（2） モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各MSTP ビットを0 にクリアするか、パワーオンリセット（ただしH-UDI、UBC、DMAC、DTC のみ）により行います。各MSTP ビットを0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して0 クリアされたことを確認してください。

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-2 の CPG レジスタのビット数を以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CPG	MTU2S クロック周波数制御レジスタ	MCLKCR	16	H'FFFE0410	8
	AD クロック周波数制御レジスタ	ACLKCR	16	H'FFFE0414	8

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CPG	MTU2S クロック周波数制御レジスタ	MCLKCR	8	H'FFFE0410	8
	AD クロック周波数制御レジスタ	ACLKCR	8	H'FFFE0414	8

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-2 の INTC レジスタの略称を以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
INTC	USB-DTC 転送割り込み要求レジスタ	USDTENRR	16	H'FFFE0C50	16、32

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
INTC	USB-DTC 転送割り込み要求レジスタ	USDTENDRR	16	H'FFFE0C50	16、32

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-6～9 の MTU2 レジスタのアクセスサイズを以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16
	タイマインタラプトイネーブルレジスタ2_0	TIER2_0	8	H'FFFE4324	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4204	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16
	タイマカウンタ U_5	TCNTU_5	16	H'FFFE4080	16
	タイマカウンタ V_5	TCNTV_5	16	H'FFFE4090	16
	タイマカウンタ W_5	TCNTW_5	16	H'FFFE40A0	16
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8,16,32
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8,16
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8,16,32
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16,32
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16,32
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16,32
	タイマインタラプトイネーブルレジスタ2_0	TIER2_0	8	H'FFFE4324	8,16
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8,16
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8,16,32
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16,32
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8,16
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8,16,32
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16,32
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8,16,32
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4204	8,16
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8,16
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16,32
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16,32
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16,32
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8,16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16,32
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16,32
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16,32
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16,32
	タイマカウンタ U_5	TCNTU_5	16	H'FFFE4080	16,32
	タイマカウンタ V_5	TCNTV_5	16	H'FFFE4090	16,32
	タイマカウンタ W_5	TCNTW_5	16	H'FFFE40A0	16,32
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8,16
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8,16
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16,32
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16,32
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8,16

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-9～11 の MTU2S レジスタのアクセスサイズを以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2S	タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFE4A00	8
	タイマモードレジスタ_3S	TMDR_3S	8	H'FFFE4A02	8
	タイマI/O コントロールレジスタH_3S	TIORH_3S	8	H'FFFE4A04	8
	タイマインタラプトイネーブルレジスタ_3S	TIER_3S	8	H'FFFE4A08	8
	タイマステータスレジスタ_3S	TSR_3S	8	H'FFFE4A2C	8
	タイマカウンタ_3S	TCNT_3S	16	H'FFFE4A10	16
	タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFE4A18	16
	タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFE4A24	16
	タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFE4A38	8
	タイマ I/O コントロールレジスタ H_4S	TIORH_4S	8	H'FFFE4A06	8
	タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFE4A1C	16
	タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFE4A28	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFE4A44	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4S	TADCOBRA_4S	16	H'FFFE4A48	16
	タイマカウンタ U_5S	TCNTU_5S	16	H'FFFE4880	16
	タイマカウンタ V_5S	TCNTV_5S	16	H'FFFE4890	16
	タイマカウンタ W_5S	TCNTW_5S	16	H'FFFE48A0	16
	タイマスタートレジスタ S	TSTRS	8	H'FFFE4A80	8
	タイマアウトプットコントロールレジスタ 1S	TOCR1S	8	H'FFFE4A0E	8
	タイマ周期データレジスタ S	TCDRS	16	H'FFFE4A14	16
	タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFE4A30	8

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
MTU2S	タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFE4A00	8,16,32
	タイマモードレジスタ_3S	TMDR_3S	8	H'FFFE4A02	8,16
	タイマI/O コントロールレジスタH_3S	TIORH_3S	8	H'FFFE4A04	8,16,32
	タイマインタラプトイネーブルレジスタ_3S	TIER_3S	8	H'FFFE4A08	8,16
	タイマステータスレジスタ_3S	TSR_3S	8	H'FFFE4A2C	8,16
	タイマカウンタ_3S	TCNT_3S	16	H'FFFE4A10	16,32
	タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFE4A18	16,32
	タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFE4A24	16,32
	タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFE4A38	8,16
	タイマ I/O コントロールレジスタ H_4S	TIORH_4S	8	H'FFFE4A06	8,16
	タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFE4A1C	16,32
	タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFE4A28	16,32
	タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFE4A44	16,32
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4S	TADCOBRA_4S	16	H'FFFE4A48	16,32
	タイマカウンタ U_5S	TCNTU_5S	16	H'FFFE4880	16,32
	タイマカウンタ V_5S	TCNTV_5S	16	H'FFFE4890	16,32
	タイマカウンタ W_5S	TCNTW_5S	16	H'FFFE48A0	16,32
	タイマスタートレジスタ S	TSTRS	8	H'FFFE4A80	8,16
	タイマアウトプットコントロールレジスタ 1S	TOCR1S	8	H'FFFE4A0E	8,16
	タイマ周期データレジスタ S	TCDRS	16	H'FFFE4A14	16,32
	タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFE4A30	8,16

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-14 の SSU レジスタに以下のように追記します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SSU	SS レシーブデータレジスタ 0	SSRDR0	8	H'FFFFB00A	8,16
	SS レシーブデータレジスタ 2	SSRDR2	8	H'FFFFB00C	8,16

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SSU	SS レシーブデータレジスタ 0	SSRDR0	8	H'FFFFB00A	8,16
	SS レシーブデータレジスタ 1	SSRDR1	8	H'FFFFB00B	8
	SS レシーブデータレジスタ 2	SSRDR2	8	H'FFFFB00C	8,16

「第 30 章　レジスタ一覧」 30.1　レジスタアドレス一覧 P30-23 の I/O ポートレジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
I/O ポート	ポート C データレジスタ L	PCDRL	8,16	H'FFFE3902	8,16
	ポート C ポートレジスタ L	PCPRL	8,16	H'FFFE391E	8,16
	ポート D データレジスタ H	PDDRH	8,16,32	H'FFFE3980	8,16,32
	ポート D ポートレジスタ H	PDPRH	8,16,32	H'FFFE399C	8,16,32
	ポート E データレジスタ L	PEDRL	8,16	H'FFFE3A02	8,16
	ポート E ポートレジスタ L	PEPRL	8,16	H'FFFE3A1E	8,16

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
I/O ポート	ポート C データレジスタ L	PCDRL	16	H'FFFE3902	8,16
	ポート C ポートレジスタ L	PCPRL	16	H'FFFE391E	8,16
	ポート D データレジスタ H	PDDRH	16	H'FFFE3980	8,16,32
	ポート D ポートレジスタ H	PDPRH	16	H'FFFE399C	8,16,32
	ポート E データレジスタ L	PEDRL	16	H'FFFE3A02	8,16
	ポート E ポートレジスタ L	PEPRL	16	H'FFFE3A1E	8,16

「第 30 章　レジスタ一覧」 30.2　レジスタビット一覧 P30-26 の CPG レジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CPG	MCLKCR	MSSCS[1:0]		—	—	—	—	MSDIVS[1:0]	
	ACLKCR	ASSCS[1:0]		—	—	—	—	ASDIVS[1:0]	

【変更後】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CPG	MCLKCR	—	—	—	—	—	—	MSDIVS[1:0]	
	ACLKCR	—	—	—	—	—	—	ASDIVS[1:0]	

「第 30 章　レジスタ一覧」 30.2　レジスタビット一覧 P30-39～41 の MTU2 レジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TIER_1	TTGE	－	TCIEU	TCIEV	－	－	TCIEB	TCIEA
	TWCR	CCE	－	－	－	－	－	－	WRE

【変更後】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TIER_1	TTGE	－	TCIEU	TCIEV	－	－	TGIEB	TGIEA
	TWCR	CCE	－	－	－	－	－	SCC	WRE

「第 30 章　レジスタ一覧」 30.2　レジスタビット一覧 P30-43 の MTU2S レジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2S	TOCR1S	－	PSYE	－	－	TOCL	TOCS	OLSN	PLSP

【変更後】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2S	TOCR1S	－	PSYE	－	－	TOCL	TOCS	OLSN	OLSP

「第 30 章　レジスタ一覧」 30.2　レジスタビット一覧 P30-50 の RCAN レジスタを以下のように追記修正します。

【変更前】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
	MB[0].CONTROL1H	－	－	NMC	－	－	MBC[2:0]		
RCAN－ET	MB[0].CONTROL1L	－	－	－	－	DLC[3:0]			
	MB[1].	MB[0].と同じビット構成							
	MB[2].	MB[0].と同じビット構成							
	MB[3]. ↓	MB[0].と同じビット構成							
		(繰り返し)							
	MB[13].	MB[0].と同じビット構成							
	MB[14].	MB[0].と同じビット構成							

【変更後】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN－ET	MB[0].CONTROL1H	－	－	NMC	－	－	MBC[2:0]		
	MB[0].CONTROL1L	－	－	－	－	DLC[3:0]			
RCAN-ET（MCR15=1）	MB[1].CONTROL0H	IDE	RTR	－	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
RCAN-ET（MCR15=0）	MB[1].CONTROL0H	－	STDID[10:4]						
		STDID[3:0]				RTR	IDE	EXTID[17:16]	
RCAN-ET	MB[1].CONTROL0L	EXTID[15:8]							
		EXTID[7:0]							
RCAN-ET（MCR15=1）	MB[1].LAFMH	IDE_LAFM	－	－	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
RCAN-ET（MCR15=0）	MB[1].LAFMH	－	STDID_LAFM[10:4]						
		STDID_LAFM[3:0]				－	IDE_LAFM	EXTID_LAFM[17:16]	
RCAN-ET	MB[1].LAFML	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[1].MSG_DATA[0]	MGS_GATA_0							
	MB[1].MSG_DATA[1]	MGS_GATA_1							
	MB[1].MSG_DATA[2]	MGS_GATA_2							
	MB[1].MSG_DATA[3]	MGS_GATA_3							
	MB[1].MSG_DATA[4]	MGS_GATA_4							
	MB[1].MSG_DATA[5]	MGS_GATA_5							
	MB[1].MSG_DATA[6]	MGS_GATA_6							
	MB[1].MSG_DATA[7]	MGS_GATA_7							
	MB[1].CONTROL1H	－	－	NMC	ATX	DART	MBC[2:0]		
	MB[1].CONTROL1L	－	－	－	－	DLC[3:0]			
	MB[2].	MB[1].と同じビット構成							
	MB[3]. ↓	MB[1].と同じビット構成							
		(繰り返し)							
	MB[13].	MB[1].と同じビット構成							
	MB[14].	MB[1].と同じビット構成							
	MB[15].	MB[1].と同じビット構成							

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-57 に DTC レジスタを以下のように追記修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
UBC	BRCR	初期化	保持	保持	保持	保持
BSC	CMNCR	初期化	保持	保持	—	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
UBC	BRCR	初期化	保持	保持	保持	保持
DTC	DTCERA	初期化	保持	保持	保持	保持
	DTCERB	初期化	保持	保持	保持	保持
	DTCERC	初期化	保持	保持	保持	保持
	DTCERD	初期化	保持	保持	保持	保持
	DTCERE	初期化	保持	保持	保持	保持
	DTCCR	初期化	保持	保持	保持	保持
	DTCVBR	初期化	保持	保持	保持	保持
BSC	CMNCR	初期化	保持	保持	—	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-64 の CMT レジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
CMT	CMSTR	初期化	保持	初期化	保持	初期化
	CMCSR_0	初期化	保持	初期化	保持	初期化
	CMCNT_0	初期化	保持	初期化	保持	初期化
	CMCOR_0	初期化	保持	初期化	保持	初期化
	CMCSR_1	初期化	保持	初期化	保持	初期化
	CMCNT_1	初期化	保持	初期化	保持	初期化
	CMCOR_1	初期化	保持	初期化	保持	初期化

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
CMT	CMSTR	初期化	保持	初期化	保持	保持
	CMCSR_0	初期化	保持	初期化	保持	保持
	CMCNT_0	初期化	保持	初期化	保持	保持
	CMCOR_0	初期化	保持	初期化	保持	保持
	CMCSR_1	初期化	保持	初期化	保持	保持
	CMCNT_1	初期化	保持	初期化	保持	保持
	CMCOR_1	初期化	保持	初期化	保持	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-64 の WDT レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
WDT	WTCSR	初期化	初期化	保持	—	保持
	WTCNT	初期化	初期化	保持	—	保持
	WRCSR	初期化*1	保持	保持	—	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
WDT	WTCSR	初期化	保持*4	初期化	—	保持
	WTCNT	初期化	保持*4	初期化	—	保持
	WRCSR	初期化*1	保持	初期化	—	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-65 の SCIF レジスタの状態を以下のように追記修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SCIF	SCLSR_3	初期化	保持	保持	保持	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SCIF	SCLSR_3	初期化	保持	保持	保持	保持
	SCSEMR_3	初期化	保持	保持	保持	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-66～67 の ADC レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ADC	ADCR_0	初期化	保持	不定	保持	保持
	ADSR_0	初期化	保持	不定	保持	保持
	ADSTRGR_0	初期化	保持	不定	保持	保持
	ADANSR_0	初期化	保持	不定	保持	保持
	ADBYPSCR_0	初期化	保持	不定	保持	保持
	ADDR0	初期化	保持	不定	保持	保持
	ADDR1	初期化	保持	不定	保持	保持
	ADDR2	初期化	保持	不定	保持	保持
	ADDR3	初期化	保持	不定	保持	保持
	ADCR_1	初期化	保持	不定	保持	保持
	ADSR_1	初期化	保持	不定	保持	保持
	ADSTRGR_1	初期化	保持	不定	保持	保持
	ADANSR_1	初期化	保持	不定	保持	保持
	ADBYPSCR_1	初期化	保持	不定	保持	保持
	ADDR4	初期化	保持	不定	保持	保持
	ADDR5	初期化	保持	不定	保持	保持
	ADDR6	初期化	保持	不定	保持	保持
	ADDR7	初期化	保持	不定	保持	保持
	ADCR_2	初期化	保持	不定	保持	保持
	ADSR_2	初期化	保持	不定	保持	保持
	ADSTRGR_2	初期化	保持	不定	保持	保持
	ADANSR_2	初期化	保持	不定	保持	保持
	ADBYPSCR_2	初期化	保持	不定	保持	保持
	ADDR8	初期化	保持	不定	保持	保持
	ADDR9	初期化	保持	不定	保持	保持
	ADDR10	初期化	保持	不定	保持	保持
	ADDR11	初期化	保持	不定	保持	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ADC	ADCR_0	初期化	保持	初期化	保持	保持
	ADSR_0	初期化	保持	初期化	保持	保持
	ADSTRGR_0	初期化	保持	初期化	保持	保持
	ADANSR_0	初期化	保持	初期化	保持	保持
	ADBYPSCR_0	初期化	保持	初期化	保持	保持
	ADDR0	初期化	保持	初期化	保持	保持
	ADDR1	初期化	保持	初期化	保持	保持
	ADDR2	初期化	保持	初期化	保持	保持
	ADDR3	初期化	保持	初期化	保持	保持
	ADCR_1	初期化	保持	初期化	保持	保持
	ADSR_1	初期化	保持	初期化	保持	保持
	ADSTRGR_1	初期化	保持	初期化	保持	保持
	ADANSR_1	初期化	保持	初期化	保持	保持
	ADBYPSCR_1	初期化	保持	初期化	保持	保持
	ADDR4	初期化	保持	初期化	保持	保持
	ADDR5	初期化	保持	初期化	保持	保持
	ADDR6	初期化	保持	初期化	保持	保持
	ADDR7	初期化	保持	初期化	保持	保持
	ADCR_2	初期化	保持	初期化	保持	保持
	ADSR_2	初期化	保持	初期化	保持	保持
	ADSTRGR_2	初期化	保持	初期化	保持	保持
	ADANSR_2	初期化	保持	初期化	保持	保持
	ADBYPSCR_2	初期化	保持	初期化	保持	保持
	ADDR8	初期化	保持	初期化	保持	保持
	ADDR9	初期化	保持	初期化	保持	保持
	ADDR10	初期化	保持	初期化	保持	保持
	ADDR11	初期化	保持	初期化	保持	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-68 の PFC レジスタの状態を以下のように追記修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
PFC	PDIORH	初期化	保持	保持	—	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
PFC	PAIORH	初期化	保持	保持	—	保持
	PAIORL	初期化	保持	保持	—	保持
	PACRH2	初期化	保持	保持	—	保持
	PACRL4	初期化	保持	保持	—	保持
	PACRL3	初期化	保持	保持	—	保持
	PACRL2	初期化	保持	保持	—	保持
	PACRL1	初期化	保持	保持	—	保持
	PAPCRH	初期化	保持	保持	—	保持
	PAPCRL	初期化	保持	保持	—	保持
	PBIORH	初期化	保持	保持	—	保持
	PBIORL	初期化	保持	保持	—	保持
	PBCRH1	初期化	保持	保持	—	保持
	PBCRL4	初期化	保持	保持	—	保持
	PBCRL3	初期化	保持	保持	—	保持
	PBCRL2	初期化	保持	保持	—	保持
	PBCRL1	初期化	保持	保持	—	保持
	PBPCRH	初期化	保持	保持	—	保持
	PBPCRL	初期化	保持	保持	—	保持
	PCIORL	初期化	保持	保持	—	保持
	PCCRL4	初期化	保持	保持	—	保持
	PCCRL3	初期化	保持	保持	—	保持
	PCCRL2	初期化	保持	保持	—	保持
	PCCRL1	初期化	保持	保持	—	保持
	PCPCRL	初期化	保持	保持	—	保持
	PDIORH	初期化	保持	保持	—	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-69～70 の USB レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
USB	USBIFR0	初期化	保持	保持	初期化	保持
	USBIFR1	初期化	保持	保持	初期化	保持
	USBEPDR0i	—	保持	保持	—	保持
	USBEPDR0o	—	保持	保持	—	保持
	USBTRG	初期化	保持	保持	初期化	保持
	USBFCLR	初期化	保持	保持	初期化	保持
	USBEPSZ0o	初期化	保持	保持	初期化	保持
	USBEPPR0s	—	保持	保持	—	保持
	USBDASTS	初期化	保持	保持	初期化	保持
	USBISR0	初期化	保持	保持	初期化	保持
	USBEPSTL	初期化	保持	保持	初期化	保持
	USBIER0	初期化	保持	保持	初期化	保持
	USBIER1	初期化	保持	保持	初期化	保持
	USBEP1	初期化	保持	保持	初期化	保持
	USBISR1	初期化	保持	保持	初期化	保持
	USBDMAR	初期化	保持	保持	初期化	保持
	USBEPDR3	—	保持	保持	—	保持
	USBEPDR1	—	保持	保持	—	保持
	USBEPDR2	—	保持	保持	—	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
USB	USBIFR0	初期化	保持	保持	保持	保持
	USBIFR1	初期化	保持	保持	保持	保持
	USBEPDR0i	—	保持	保持	保持	保持
	USBEPDR0o	—	保持	保持	保持	保持
	USBTRG	初期化	保持	保持	保持	保持
	USBFCLR	初期化	保持	保持	保持	保持
	USBEPSZ0o	初期化	保持	保持	保持	保持
	USBEPPR0s	—	保持	保持	保持	保持
	USBDASTS	初期化	保持	保持	保持	保持
	USBISR0	初期化	保持	保持	保持	保持
	USBEPSTL	初期化	保持	保持	保持	保持
	USBIER0	初期化	保持	保持	保持	保持
	USBIER1	初期化	保持	保持	保持	保持
	USBEP1	初期化	保持	保持	保持	保持
	USBISR1	初期化	保持	保持	保持	保持
	USBDMAR	初期化	保持	保持	保持	保持
	USBEPDR3	—	保持	保持	保持	保持
	USBEPDR1	—	保持	保持	保持	保持
	USBEPDR2	—	保持	保持	保持	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-70 の FLASH レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
FLASH	FCCS	初期化	保持	保持	初期化	保持
	FPCS	初期化	保持	保持	初期化	保持
	FECS	初期化	保持	保持	初期化	保持
	FKEY	初期化	保持	保持	初期化	保持
	FMATS	初期化	保持	保持	初期化	保持
	FTDAR	初期化	保持	保持	初期化	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
FLASH	FCCS	初期化	保持	保持	—	保持
	FPCS	初期化	保持	保持	—	保持
	FECS	初期化	保持	保持	—	保持
	FKEY	初期化	保持	保持	—	保持
	FMATS	初期化	保持	保持	—	保持
	FTDAR	初期化	保持	保持	—	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-70 の H-UDI レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
H-UDI	SDIR	初期化	保持	保持	—	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
H-UDI	SDIR	初期化	保持	保持	保持	保持

「第 30 章　レジスタ一覧」 30.3　各動作モードにおけるレジスタの状態の一覧 P30-70 の【注】に以下のように追記します。

【変更前】

【注】*1 WDT による内部パワーオンリセットでは前の値を保持します。

*2 BN3～BN0 ビットは初期化されます。

*3 TRST のアサートまたはTAP のTest-Logic-Reset 状態のときに初期化されます。

【変更前】

【注】*1 WDT による内部パワーオンリセットでは前の値を保持します。

*2 BN3～BN0 ビットは初期化されます。

*3 TRST のアサートまたはTAP のTest-Logic-Reset 状態のときに初期化されます。

*4 WDT による内部マニュアルリセットでは初期化されます。

「第 31 章　電気的特性」の 31.2　DC 特性　表 31.2　DC 特性(1)【共通項目】の USB 電源電圧と【注】に以下のように追記修正します。

【変更前】

表 31.2　DC 特性(1)　【共通項目】

項目	記号	Min.	Typ.	Max.	単位	測定条件
USB 電源電圧	DrVcc	3.0	3.3	3.6	V	

【注】*1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。
*2 ICC、Isleep、Istby は、VCC、PLLVCC 系統で消費する電流の合計値です。

【変更後】

表 31.2　DC 特性(1)　【共通項目】

項目	記号	Min.	Typ.	Max.	単位	測定条件
USB 電源電圧*3	DrVcc	3.0	3.3	3.6	V	

【注】*1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。
*2 ICC、Isleep、Istby は、VCC、PLLVCC 系統で消費する電流の合計値です。
*3 USB を使用しない場合、DrVcc=Vcc としてください。
使用しない場合は、3.0V≦DrVcc≦Vcc となります。

「第 31 章　電気的特性」の 31.3.3　バスタイミングの表 31.7 を以下のように追記修正し、図 31.11～図 31.17 を以下のように追記します。

【変更前】

ライトデータホールド時間 3	tWDH3	1/2tcyc+1	－	ns	31.36
WAIT セットアップ時間	tWTS	1/2tcyc+20	－	ns	31.12～31.18
WAIT ホールド時間	tWTH	1/2tcyc+10	－	ns	31.12～31.18

【変更後】

ライトデータホールド時間 3	tWDH3	1/2tcyc+1	－	ns	31.36
ライトデータホールド時間 4	TWDH4	0	－	ns	31.11～31.17
WAIT セットアップ時間	tWTS	1/2tcyc+17	－	ns	31.12～31.18
WAIT ホールド時間	tWTH	1/2tcyc+3	－	ns	31.12～31.18

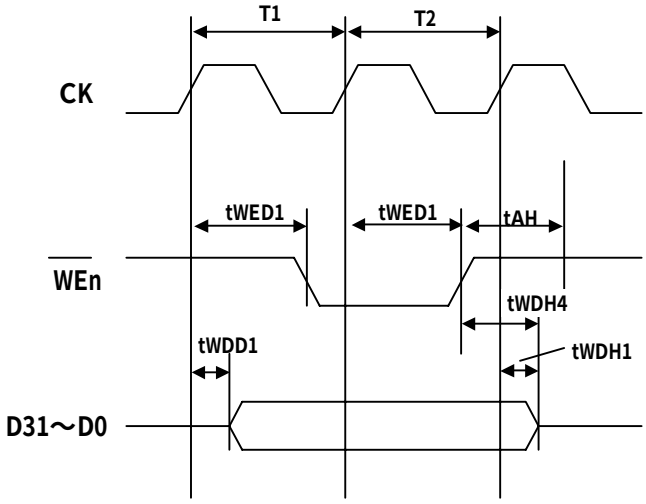


図31.11 通常空間基本バスサイクル(ノーウェイト)

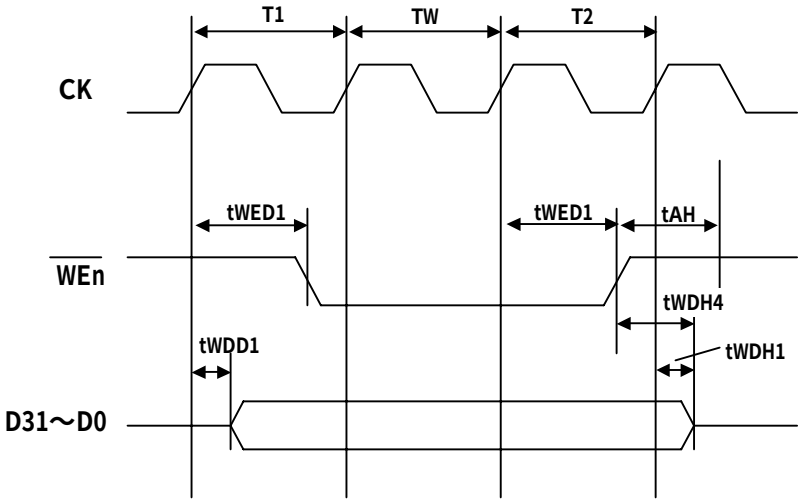


図31.12 通常空間基本バスサイクル(ソフトウェアウェイト1)

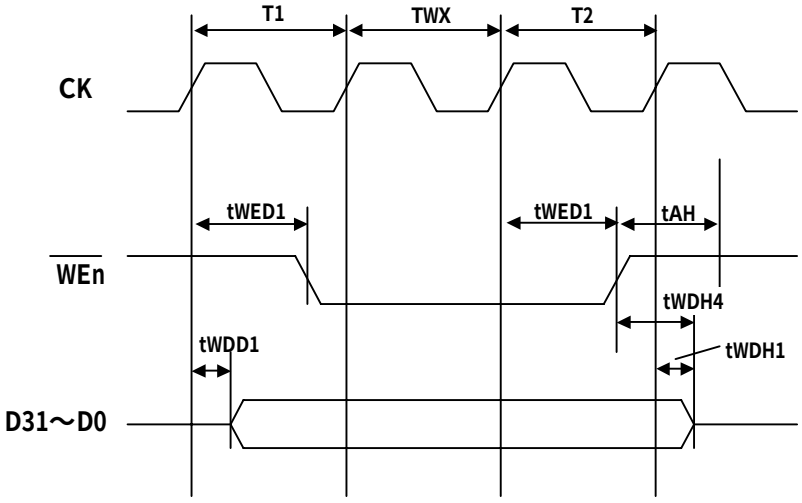


図31.13 通常空間基本バスサイクル(外部ウェイト1挿入)

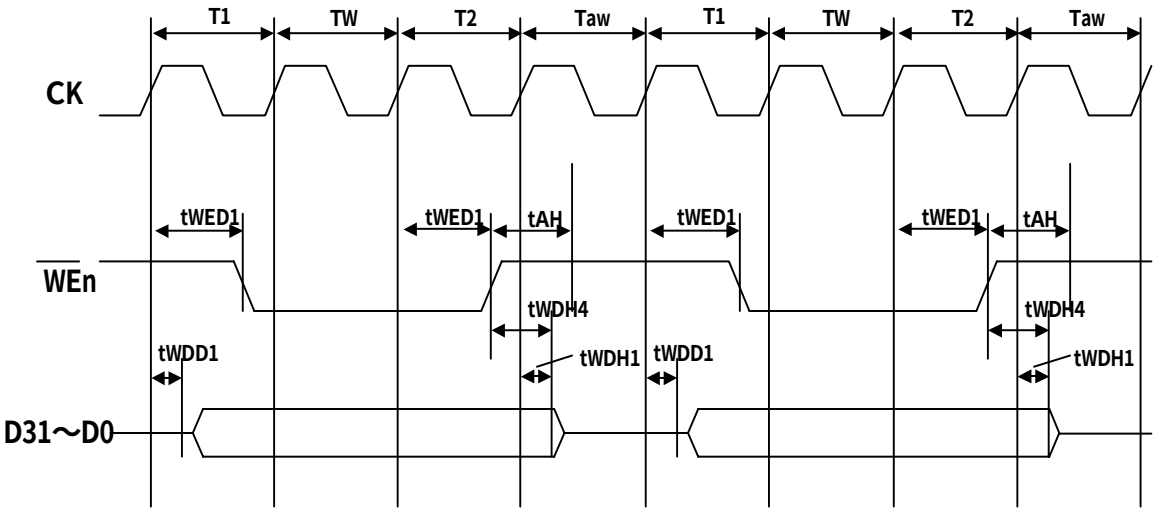


図31.14 通常空間基本バスサイクル
(ソフトウェアウェイト1、外部ウェイト有効(WMビット=0)、アイドルサイクルなし)

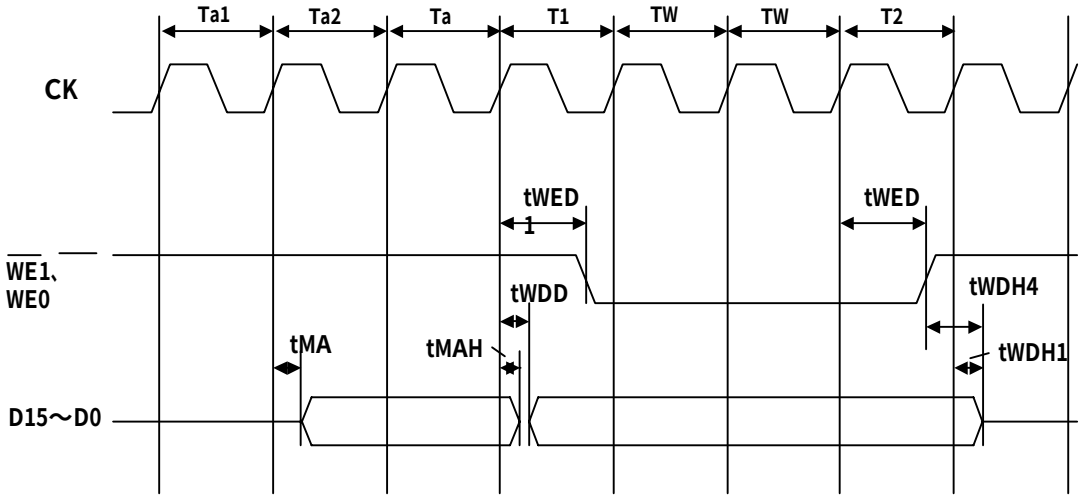


図31.15 MPX-I/Oインタフェースバスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

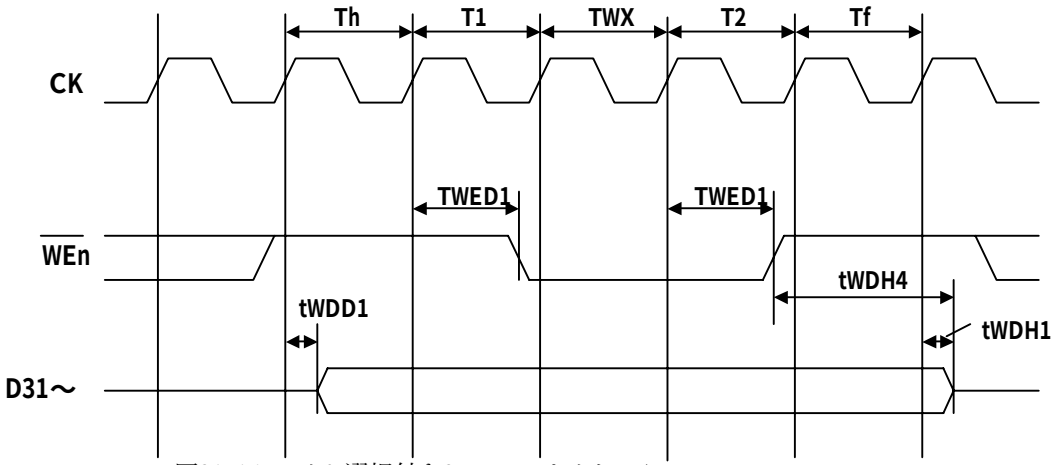


図31.16 バイト選択付きSRAMバスサイクル(SW=1サイクル、HW=1サイクル、
非同期外部ウェイト1挿入、BAS=0(ライトサイクルUB/LBコントロール))

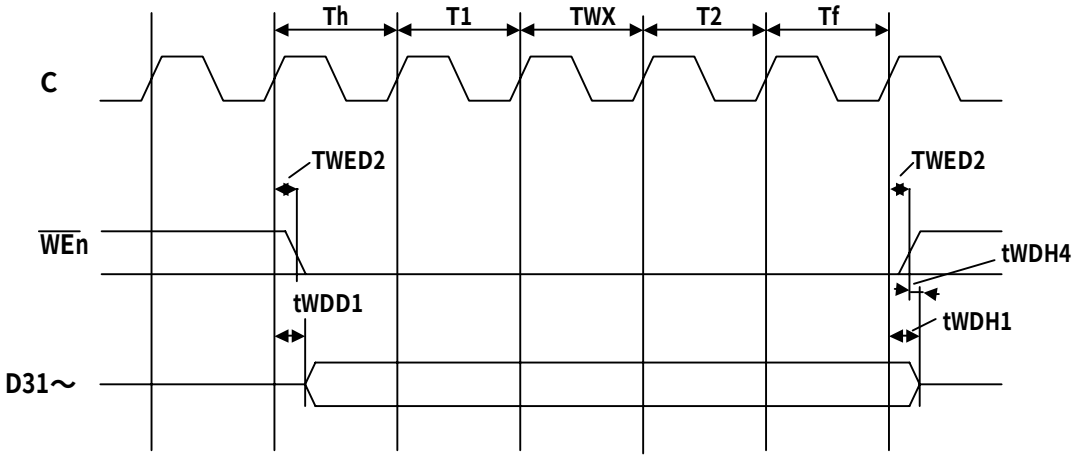


図31.17 バイト選択付きSRAMバスサイクル(SW=1サイクル、HW=1サイクル、
非同期外部ウェイト1挿入、BAS=1(ライトサイクルWEコントロール))

「第 31 章　電気的特性」の 31.3.10　SCIF モジュールタイミングの表 31.14 を以下のように追記修正します。

【変更前】

項目	記号	Min.	Max.	単位	参照図
受信データホールド時間(クロック同期)	tRXH	3tpcyc+20	—	ns	31.48

【変更後】

項目	記号	Min.	Max.	単位	参照図
受信データホールド時間(クロック同期)	tRXH	2tpcyc+5	—	ns	31.48
送信データ遅延時間(調歩同期)	tTXD	—	3tpcyc+20		
受信データセットアップ時間(調歩同期)	tRXS	3tpcyc+20	—		
受信データホールド時間(調歩同期)	tRXH	2tpcyc+5	—		

「第 31 章　電気的特性」の 31.3.11　シリアルコミュニケーションユニット(SSU)タイミングの表 31.15 シリアルコミュニケーションユニット(SSU)タイミングを以下のように修正します。

【変更前】

項目		記号	Min.	Max.	単位	測定条件
クロックハイレベルパルス幅	マスタ	tHI	40	—	ns	
	スレーブ		40	—		
クロックローレベルパルス幅	マスタ	tLO	40	—	ns	
	スレーブ		40	—		
クロック立ち上がり時間		tRISE	—	20	ns	
クロック立ち下がり時間		tFALL	—	20	ns	
データ入力セットアップ時間	マスタ	tSU	25	—	ns	
	スレーブ		30	—		
データ出力遅延時間	マスタ	tOD	—	40	ns	
	スレーブ		—	40		

【注】tPCYC は周辺クロック(PΦ)の周期を示します。

【変更後】

項目		記号	Min.	Max.	単位	参照図
クロックハイレベルパルス幅	マスタ	tHI	35	—	ns	
	スレーブ		35	—		
クロックローレベルパルス幅	マスタ	tLO	35	—	ns	
	スレーブ		35	—		
クロック立ち上がり時間		tRISE	—	15	ns	
クロック立ち下がり時間		tFALL	—	15	ns	
データ入力セットアップ時間	マスタ	tSU	15	—	ns	
	スレーブ		30	—		
データ出力遅延時間	マスタ	tOD	—	20	ns	
	スレーブ		—	35		

【注】tPCYC は周辺クロック(PΦ)の周期を示します。

TTL 出力のときの値です。オープンドレインの場合、上記値は保障されません。

「第 31 章　電気的特性」の 31.6　USB 特性の表 31.23 USB 特性(USD+、USD-端子特性)の下に以下を追記します。

【変更後】

*1　USB を使用しない場合、DrVss を GND へ DrVcc を Vcc に接続してください。

USD-,USD+は開放してください。この場合 DrVcc は DrVcc=3.0～5.5V です。

「付録」の A.端子状態の表 A.1 端子状態(SH7243)のクロック、MTU2 を以下のように修正します。

【変更前】

付録-1

クロック	CK	0	Z	0	L	0	Z*4	0	0

付録-3

MTU2	TIOC0A～TIOC00	Z	I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O	Z
				K*1 (HCPCR の MZIZEL=1 のとき)				

付録-4

MTU2	TIOC2A	Z	I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*8	Z
				K*1 (HCPCR の MZIZEL=1 のとき)				

【変更後】

付録-1

クロック	CK	0	Z	0	Z*4	0	Z*4	0	0

付録-3

MTU2	TIOC0A～TIOC0D	Z	I/0	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/0	I/0	I/0	Z

付録-4

MTU2	TIOC2A	Z	I/0	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/0	I/0	I/0*8	I/0

「付録」の A.端子状態の表 A.4 端子状態(SH7285)のクロック、MTU2 を以下のように修正します。

【変更前】

付録-9

クロック	CK	0	Z	0	L	0	Z*4	0	0

付録-12

MTU2	TIOC1B	Z	I/0	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/0	I/0	I/0*8	Z
	TIOC2A	Z	I/0	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/0	I/0	I/0*8	Z

【変更後】

付録-9

クロック	CK	0	Z	0	Z*4	0	Z*4	0	0

付録-12

MTU2	TIOC1B	Z	I/O	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/O	I/O	I/O*8	I/O
	TIOC2A	Z	I/O	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/O	I/O	I/O*8	I/O

「付録」の A.端子状態の表 A.4 端子状態(SH7286)のクロック、MTU2 を以下のように修正します。

【変更前】

付録-18

クロック	CK	0	Z	0	L	0	Z*4	0	0

付録-21

MTU2	TIOC1B	Z	I/O	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/O	I/O	I/O*8	Z
	TIOC2A	Z	I/O	Z (HCPCR の MZIZEL=0 のとき) K*1 (HCPCR の MZIZEL=1 のとき)	I/O	I/O	I/O*8	Z

【変更後】

付録-18

クロック	CK	0	Z	0	Z*4	0	Z*4	0	0

付録-21

MTU2	TIOC1B	Z	I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*8	I/O
				K*1 (HCPCR の MZIZEL=1 のとき)				
	TIOC2A	Z	I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*8	I/O
				K*1 (HCPCR の MZIZEL=1 のとき)				