

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
 株式会社 ルネサス テクノロジ
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A700A/J	Rev.	第1版
題名	SH7280 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> ・ SH7280 グループ ・ SH7243 グループ 	対象ロット等	関連資料	<ul style="list-style-type: none"> ・ SH7280 グループハードウェアマニュアル (RJJ09B0366-0100(H)) 	
		全ロット			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。
 詳細は、以下をご参照ください。

< 誤記訂正内容 >

「10章 ダイレクトメモリアクセスコントローラ(DMAC)」 10.3.8 DMA オペレーションレジスタ(DMAOR)の【注】と bit2,bit1 の[クリア条件]を以下のように修正します。

【変更前】

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

2	AE	0	R/(W)*	アドレスエラーフラグ ・ ・ ・ [クリア条件] ・ AE ビットの 1 を読み出してから 0 を書き込む
---	----	---	--------	--

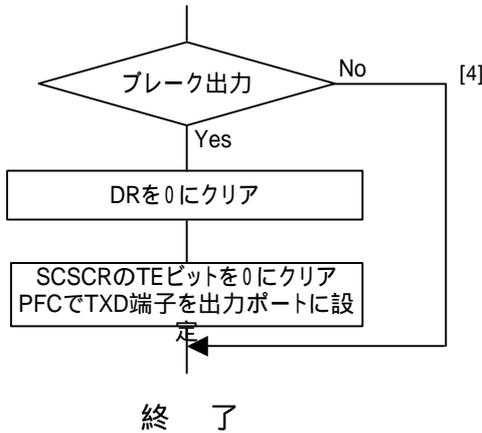
1	NMIF	0	R/(W)*	NMI フラグ ・ ・ ・ [クリア条件] ・ NMIF ビットの 1 を読み出してから 0 を書き込む
---	------	---	--------	---

【変更後】

(3) シリアル送信の終了時にブ레이크を出力：
シリアル送信時にブ레이크を出力するときには、SCSPTR
のSPB0DTビットを0にクリアした後にシリアルコントロールレジスタ
(SCSCR)のTEビットを0にクリアしてください。

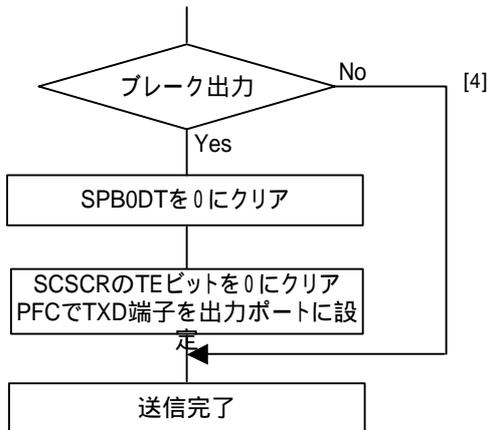
「16章 シリアルコミュニケーションインタフェース(SCI)」 16.4.5 マルチプロセッサシリアルデータ送信の図 16.16 マルチ
プロセッサシリアル送信のフローチャートの例を以下のように修正します。

【変更前】



[4] シリアル送信の終了時にブ레이크を出力：
シリアル送信時にブ레이크を出力するとき
は、
ポートのデータレジスタ(DR)を0にクリア
した後にSCSCRのTEビットを0にクリアし、
PFCでTXD端子を出力ポートに設定します。

【変更後】



[4] シリアル送信の終了時にブ레이크を出力：
シリアル送信時にブ레이크を出力するとき
は、
シリアルポートレジスタ(SCSPTR)のSPB0DT
ビット
を0にクリアした後にSCSCRのTEビットを0に
クリア

「18章 シンクロナスシリアルコミュニケーションユニット(SSU)」 18.3.2 SS コントロールレジスタ L (SSCRL)の
bit7 を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	-	SSUMS	SRES	-	-	-	DATS[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R	R	R	R/W	R/W

7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
---	---	---	---	---

【変更後】

ビット：	7	6	5	4	3	2	1	0
	FCLRM	SSUMS	SRES	-	-	-	DATS[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R/W	R/W

7	FCLRM	0	R/W	<p>フラグクリアビット</p> <p>SSRXI, SSTXI 割り込みフラグのクリアを SSTDR へのライトもしくは SSRDR のリードと DTC 転送終了時のどちらにするかを選択します。DTC を使用する場合は、本ビットを 0 に設定してください。</p> <p>0：DTC 転送終了時（転送カウンタの値が H'0000 になったときを除く）</p> <p>1：CPU、DMAC による SSTDR、SSRDR アクセス時</p>
---	-------	---	-----	--

「18章 シンクロナスシリアルコミュニケーションユニット(SSU)」 18.3.5 SSステータスレジスタ (SSSR)の bit2,bit1 の説明を以下のように追記修正します。

【変更前】

2	TDRE	1	R/W	<p>トランスミットデータエンプティ</p> <p>・ SSTXI 割り込みにより DMAC/DTC が起動され、DTC が起動された場合、MRB の DISEL ビットが 0 のときに SSTDR に転送データをライトしたとき（DTC の転送カウンタ値が H'0000 になったときを除く）</p>
---	------	---	-----	--

1	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>・ SSRXI 割り込みにより DMAC/DTC が起動され、DTC が起動された場合、MRB の DISEL ビットが 0 のときに SSRDR に受信データをリードしたとき</p>
---	------	---	-----	--

【変更後】

2	TDRE	1	R/W	<p>トランスミットデータエンプティ</p> <p>・ SSTXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSTDR に転送データをライトしたとき（DTC の転送カウンタ値が H'0000 になったときを除く）</p>
---	------	---	-----	--

1	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>・ SSRXI 割り込みにより DMAC が起動され、DMAC 転送により SSRDR から受信データをリードしたとき</p> <p>・ SSRXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSRDR に受信データをリードしたとき（転送カウンタ値が H'0000 になったときを除く）</p>
---	------	---	-----	--

「18章 シンクロナスシリアルコミュニケーションユニット(SSU)」 18.6 使用上の注意事項に下記の項目を追記します。

【変更後】

18.6.6 DTC 転送を行うときの注意事項

SSTXI を起動要因として DTC 転送を行い、転送カウンタが H'0000 になったとき、TDRE のクリアは行われませんが通信は開始されます。

SSTXI 割り込みでフラグクリアを行う場合は割り込み処理の最初に行ってください。

ただし、DTC の転送カウンタの初期値を H'0001 に設定する場合と DISEL を 1 に設定する場合は、SSTXI 割り込み処理内でフラグクリアを行わないでください。割り込み処理内でフラグクリアを行った場合、SSU が再通信を行う可能性があります。

「19章 I²C バスインタフェース 3(IIC3)」 19.3.1 I²C バスコントロールレジスタ 1 (ICCR1) の bit6 の説明を以下のように追記します。

【変更前】

6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 マスタ受信モードで ICDRR の読み出し処理を SCL の 8 クロックの立ち上がりまでにできない場合は、RCVD = 1 に設定して 1 バイトごとの受信を行ってください。その他のモードでは 0 にクリアしてください。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
---	------	---	-----	---

【変更後】

6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 マスタ受信モードで ICDRR の読み出し処理を SCL の 8 クロックの立ち上がりまでにできない場合は、RCVD = 1 に設定して 1 バイトごとの受信を行ってください。その他のモードでは 0 にクリアしてください。 RCVD = 1 にして 1 バイト毎に受信する場合、ICDRR のリードは 9 クロック目の立ち下がり後にしてください。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
---	------	---	-----	--

「19章 I²C バスインタフェース 3(IIC3)」 19.4.8 使用例の図 19.19 マスタ受信モードのフローチャート例を以下のように追記修正します。

【変更前】

- (1) TEND をクリア、マスタ受信モードに設定
その後 TDRE をクリア *
- (2) 送信デバイスへのアクノリッジを設定 *
- (3) ICDRR ダミーリード *

【注】 * (1) ~ (3) の処理中に割り込みが入らないようにしてください。

【変更後】

- (1) TEND をクリア、マスタ受信モードに設定
その後 TDRE をクリア *1
- (2) 送信デバイスへのアクリッジを設定 *1
- (3) ICDRR ダミーリード *1 *2

【注】 *1 (1) ~ (3) の処理中に割り込みが入らないようにしてください。
*2 1 バイト毎に受信するために RCVD=1 の設定をする場合 ICDRR のダミーリードの前に設定してください。

「第 20 章 A/D 変換器(ADC)」 20.1 特長の説明を以下のように修正します。

【変更前】

•4本のA/Dデータレジスタ
4本の16ビットのA/Dデータレジスタ (ADDR)。A/D変換した結果は、各入力チャネルに対応したA/Dデータレジスタ (ADDR) に格納されます。

【変更後】

・ 12本のA/Dデータレジスタ (SH7286)、8本のA/Dデータレジスタ (SH7285、SH7243)
A/D変換した結果は、各入力チャネルに対応した16ビットのA/Dデータレジスタ (ADDR) に格納されます。

「26 章 フラッシュメモリ」 26.4.2 書き込み / 消去インタフェースレジスタの(1)フラッシュコードコントロール / ステータスレジスタ(FCCR)の bit0 を以下のように修正します。

【変更前】

0	SCO	0	(R)/W	ソースプログラムコピーオペレーション 内蔵の書き換え / 消去プログラムを、内蔵RAMにダウンロードする要求ビットです。本ビットに1を書き込むと、FPCS / FECSレジスタで選択した内蔵プログラムが、FTDARレジスタで指定された内蔵RAMの領域に自動的にダウンロードされます。本ビットに1を書き込むためには、FKEYレジスタへのH'A5の書き込み、および内蔵RAM上での実行が必要です。本ビットに1を書き込んだ直後には、8個のNOP命令を必ず実行するようにしてください。 . . .
---	-----	---	-------	--

【変更後】

0	SCO	0	(R)/W	ソースプログラムコピーオペレーション 内蔵の書き換え / 消去プログラムを、内蔵RAMにダウンロードする要求ビットです。本ビットに1を書き込むと、FPCS / FECSレジスタで選択した内蔵プログラムが、FTDARレジスタで指定された内蔵RAMの領域に自動的にダウンロードされます。本ビットに1を書き込むためには、FKEYレジスタへのH'A5の書き込みおよび内蔵RAM上での実行が必要です。本ビットに1を書き込んだ直後には、32個のNOP 命令を必ず実行するようにしてください。 . . .
---	-----	---	-------	---