

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A835A/J	Rev.	第1版
題名	SH7734 ユーザーズマニュアル ハードウェア編の訂正 (電気的特性)		情報分類	技術情報	
適用製品	SH7734	対象ロット等	関連資料	SH7734 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0233JJ0100)	
		全ロット			

SH7734 の電気的特性のユーザーズマニュアルに関して、誤記訂正及び記述訂正があります。

下記において、訂正後の網掛け部分が訂正もしくは追加内容となります。

1. p41-7「表 41.3 消費電流 (1)」についての誤記訂正

<訂正前>

項目	記号	Min.	Typ.	Max.	単位	備考
消費電流 (PLL)	ICCQ-PLL	-	-	15	mA	VCCQ-PLL = 3.6V、Ta-max
消費電流 (PLL)	IDD-PLL	-	-	20	mA	VDD-PLL = 1.30V、Ta-max
消費電流 (ADC)	AICC	-	-	5	mA	AVCC = 3.6V、Ta-max
消費電流 (USB)	AI33	-	-	5	mA	AV33 = 3.6V、Ta-max
	AI12	-	-	15	mA	AV12 = 1.30V、Ta-max

<訂正後>

項目	記号	Min.	Typ.	Max.	単位	備考
消費電流 (PLL)	ICCQ-PLL	-	-	15	mA	VCCQ-PLL = 3.6V、Ta-max
消費電流 (PLL)	IDD-PLL	-	-	20	mA	VDD-PLL = 1.30V、Ta-max
消費電流 (ADC)	AICC	-	-	5	mA	AVCC = 3.6V、Ta-max
消費電流 (USB)	AI33	-	-	5	mA	AV33 = 3.6V、Ta-max
	AI12	-	-	15	mA	AV12 = 1.30V、Ta-max

2. p41-15「表 41.14 VccQ で駆動される端子群の出力許容電流値」の「出力ハイレベル許容電流 (6mA バッファ)」、
「出力ハイレベル許容電流 (8mA バッファ)」についての誤記訂正

<訂正前>

項目	記号	Min.	Typ.	Max.	単位
出力ハイレベル許容電流 (6mA バッファ)	- I _{OL}	-	6	22	mA
出力ハイレベル許容電流 (8mA バッファ)	- I _{OL}	-	8	30	

<訂正後>

項目	記号	Min.	Typ.	Max.	単位
出力ハイレベル許容電流 (6mA バッファ)	- I _{OH}	-	6	22	mA
出力ハイレベル許容電流 (8mA バッファ)	- I _{OH}	-	8	30	

3. p41-16「表 41.15 クロック/リセットタイミング」の「MD リセットホールド時間」についての誤記訂正

3-A. 「MD リセットホールド時間」についての誤記訂正

<訂正前>

端子	項目	記号	Min.	Max.	単位	参考図
モード信号*	MD リセットホールド時間	tMDRH	200	-	ns	

<訂正後>

端子	項目	記号	Min.	Max.	単位	参考図
モード信号*	MD リセットホールド時間	tMDRH	0	-	ns	

3-B. 「【注】リセット立ち上げ/立ち下げ期間」についての誤記訂正

<訂正前>

リセット立ち上げ/立ち下げ期間 (入力レベルが ViH ~ ViL まで遷移する期間) は 20 μs 以下としてください。

<訂正後>

リセット立ち上げ/立ち下げ期間 (入力レベルが ViH ~ ViL まで遷移する期間) は 20ns 以下としてください。

4. p41-16「41.5 リセット、ウォッチドッグタイマ (RESET、WDT)」への記述追加

「図 41.8 リアルタイムクロック発振安定時間」の後に以下の図表が追加となります。

<追加内容>

表．クロックタイミング

条件：温度電圧共通条件（ユーザーズマニュアル Rev1.00 41.35 測定条件参照）

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数 (400MHz モード(1))	PLL1 逡倍率 X12	50.00	51.00	MHz	
	PLL1 逡倍率 X16	37.50	38.25		
	PLL1 逡倍率 X24	25.00	25.50		
	PLL1 逡倍率 X32	18.75	19.12		
EXTAL クロック入力周波数 (400MHz モード(2))	PLL1 逡倍率 X12	27.77	33.33		
	PLL1 逡倍率 X16	20.83	25.00		
	PLL1 逡倍率 X24	13.88	16.66		
	PLL1 逡倍率 X32	10.41	12.50		
EXTAL クロック入力周波数 (533MHz モード)	PLL1 逡倍率 X12	41.66	44.44		
	PLL1 逡倍率 X16	31.25	33.33		
	PLL1 逡倍率 X24	20.83	22.22		
	PLL1 逡倍率 X32	15.62	16.66		
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	3.84	-	ns	図.1
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	3.84	-	ns	図.1
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	3	ns	図.1
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	3	ns	図.1
CLKOUT クロック出力	f_{OP}	-	51	MHz	
CLKOUT クロック出力サイクル時間	$t_{CLKOUTcyc}$	19.61	-	ns	図.2
CLKOUT クロック出力ローレベルパルス幅	$t_{CLKOUTL}$	5	-	ns	図.2
CLKOUT クロック出力ハイレベルパルス幅	$t_{CLKOUTH}$	5	-	ns	図.2
CLKOUT クロック出力立ち上がり時間	$t_{CLKOUTr}$	-	3	ns	図.2
CLKOUT クロック出力立ち下がり時間	$t_{CLKOUTf}$	-	3	ns	図.2

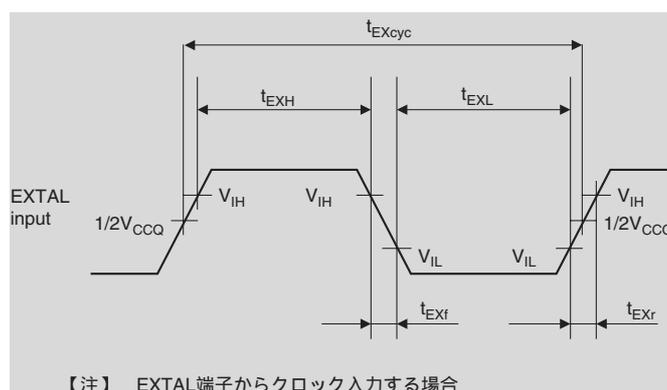


図.1 EXTAL クロック入力タイミング

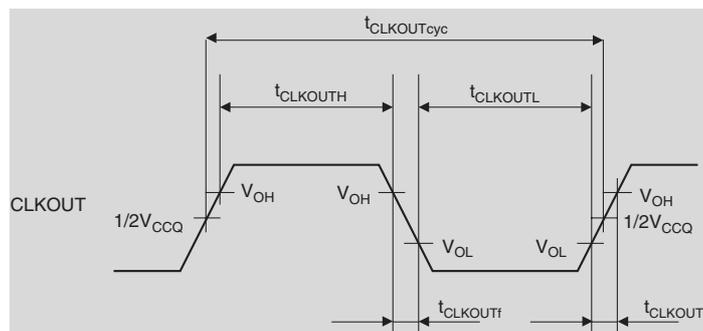


図.2 CLKOUT クロック出力タイミング

5. p41-37「41.8 割り込みコントローラ (INTC,INTC2)」についての誤記訂正

5-A. 「表 41.22 INTC モジュール信号タイミング」についての誤記訂正

<訂正前>

項目	記号	Min	Max.	単位	参照図	備考
NMI パルス幅 (High 時)	t_{NMIH}	5	-	tcyc	図 41.32	通常時 スリープ時
NMI パルス幅 (Low 時)	t_{NMIL}	5	-	tcyc	図 41.32	通常時 スリープ時
IRQn#セットアップ時間 (n=0-3)	t_{IRQS}	5	-	ns	図 41.33	IRQ 入力
IRQn#ホールド時間 (n=0-3)	t_{IRQH}	0	-	ns	図 41.33	IRQ 入力

【注】 t_{cyc} は clk_{s1} (内部クロック) クロックの 1 サイクル時間を示します。

<訂正後>

項目	記号	Min	Max.	単位	参照図	備考
NMI/IRQn#(n=0-3)パルス幅 (High 時)	t_{NMIH} / t_{IRQH}	5	-	tcyc	図 41.32	通常時 スリープ時
NMI/IRQn#(n=0-3)パルス幅 (Low 時)	t_{NMIL} / t_{IRQL}	5	-	tcyc	図 41.32	通常時 スリープ時

【注】 t_{cyc} は clk_{s1} (内部クロック) クロックの 1 サイクル時間を示します。

パルス幅が Min 値より短い場合、割り込みを検出できない事があります。

5-B. 「図 41.32 NMI 入力タイミング」図及び図のタイトルについての誤記訂正

<訂正前>

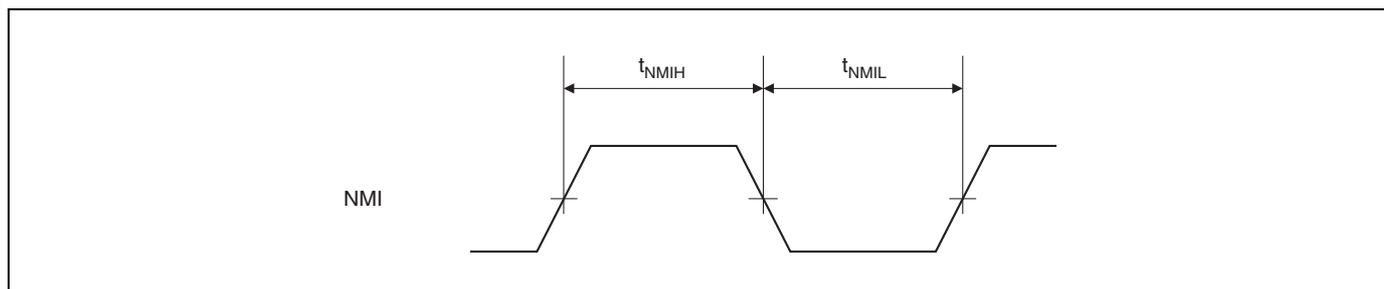


図 41.32 NMI 入力タイミング

<訂正後>

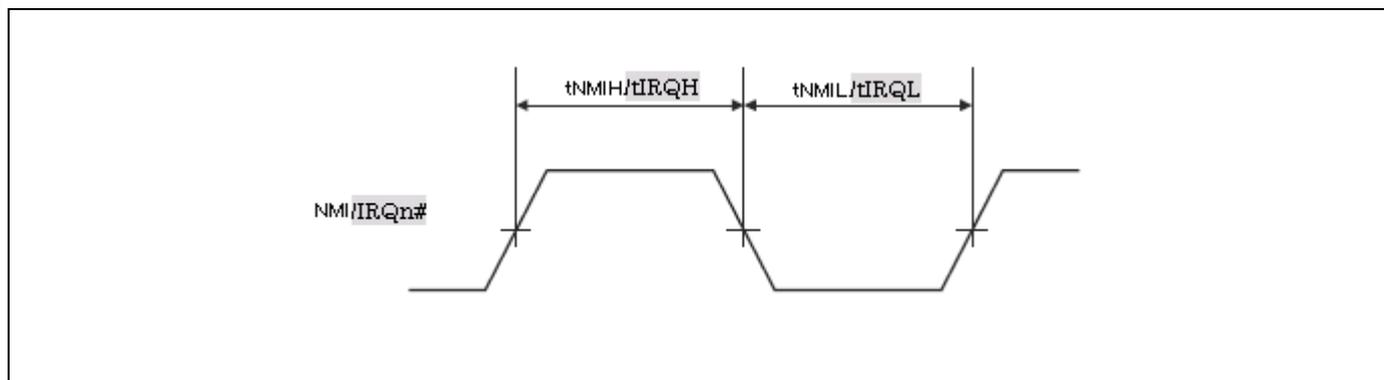


図 41.32 NMI/IRQn#入力タイミング

5-C. 「図 41.33 IRQ 割り込み入力タイミング」図及び図のタイトルを削除

<訂正前>

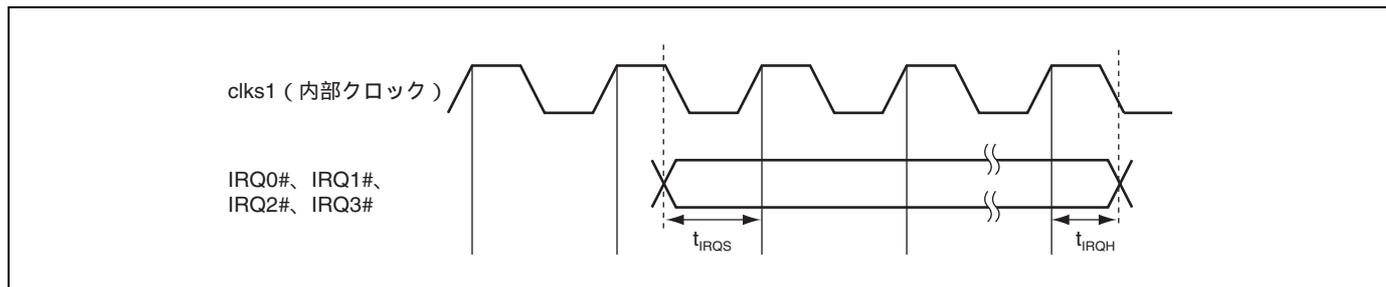


図 41.33 IRQ 割り込み入力タイミング

<訂正後>

訂正前の図及び図のタイトルを削除。

6.p41-59 「41.20 USB」についての誤記訂正(“本章に～参照してください。”を削除)

<訂正前>

41.20 USB

本章に掲載している内容は、USB 規格から一部抜粋したものです。詳細については、USB 規格を参照してください。

41.20.1 High Speed トランシーバ特性

<訂正後>

41.20 USB

41.20.1 High Speed トランシーバ特性

7. p41-77 「41.28 高速FIFO内蔵シリアルコミュニケーションインターフェイス(HSCIF)」記述訂正及び追加

<訂正前>

HSCIF は調歩同期モードでのみ動作します。電気的特性に関しては、SCIF の調歩同期の部分参照してください。

<訂正後>

表 . HSCIF信号タイミング

条件：温度電圧共通条件

項目	記号	Min	typ	max	単位	参考図
入力クロックサイクル (調歩同期)	t_{SCYC}	4			tCYC	図.3
入力クロックパルス幅	t_{SCKW}	0.4		0.6	tSCYC	
入力クロック立ち上がり時間	t_{SCKr}			0.8	tCYC	
入力クロック立ち下がり時間	t_{SCKf}			0.8	tCYC	

【注】 tCYC は SHwy-BUS 周波数 (clks) の 1 サイクル時間を示します。

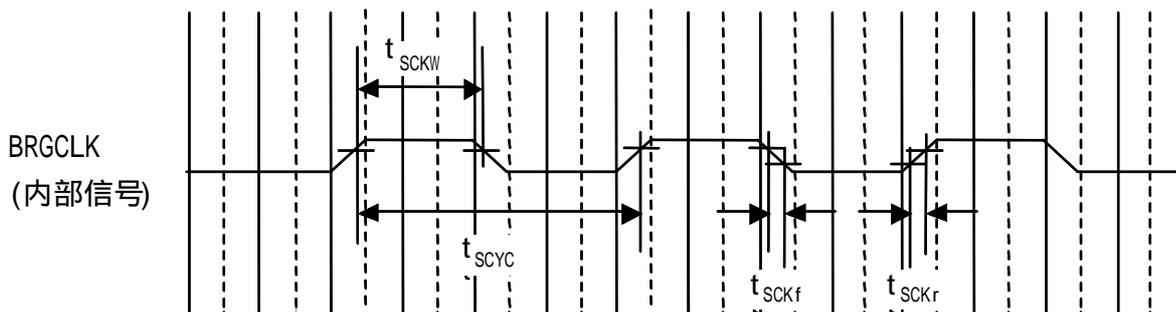


図.3 入力クロックタイミング

高速 FIFO 内蔵シリアルコミュニケーションインタフェース【注】BRGCLK は SCIF 内部信号です。外部クロック用ポーレートジェネレータ (BRG) の出力信号 BRGCLK が、この特性を満足するように、入力クロック、BRG の DL レジスタと CKS レジスタを設定してください。

以上