

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A658A/J	Rev.	第1版
題名	SH7280 グループのハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> SH7280 グループ SH7243 グループ 	対象ロット等	関連資料	<ul style="list-style-type: none"> SH7280 グループハードウェアマニュアル (RJ09B0366-0100(H) Rev.1.00) 	
		全ロット			

SH7280 グループのハードウェアマニュアルについて誤記がございましたので、訂正のご連絡を致します。詳細は、以下をご参照ください。

< 誤記訂正内容 >

「第2章 CPU」 2.5 処理状態の図 2.6 処理状態の状態遷移図 を以下のように修正します。

【変更前】

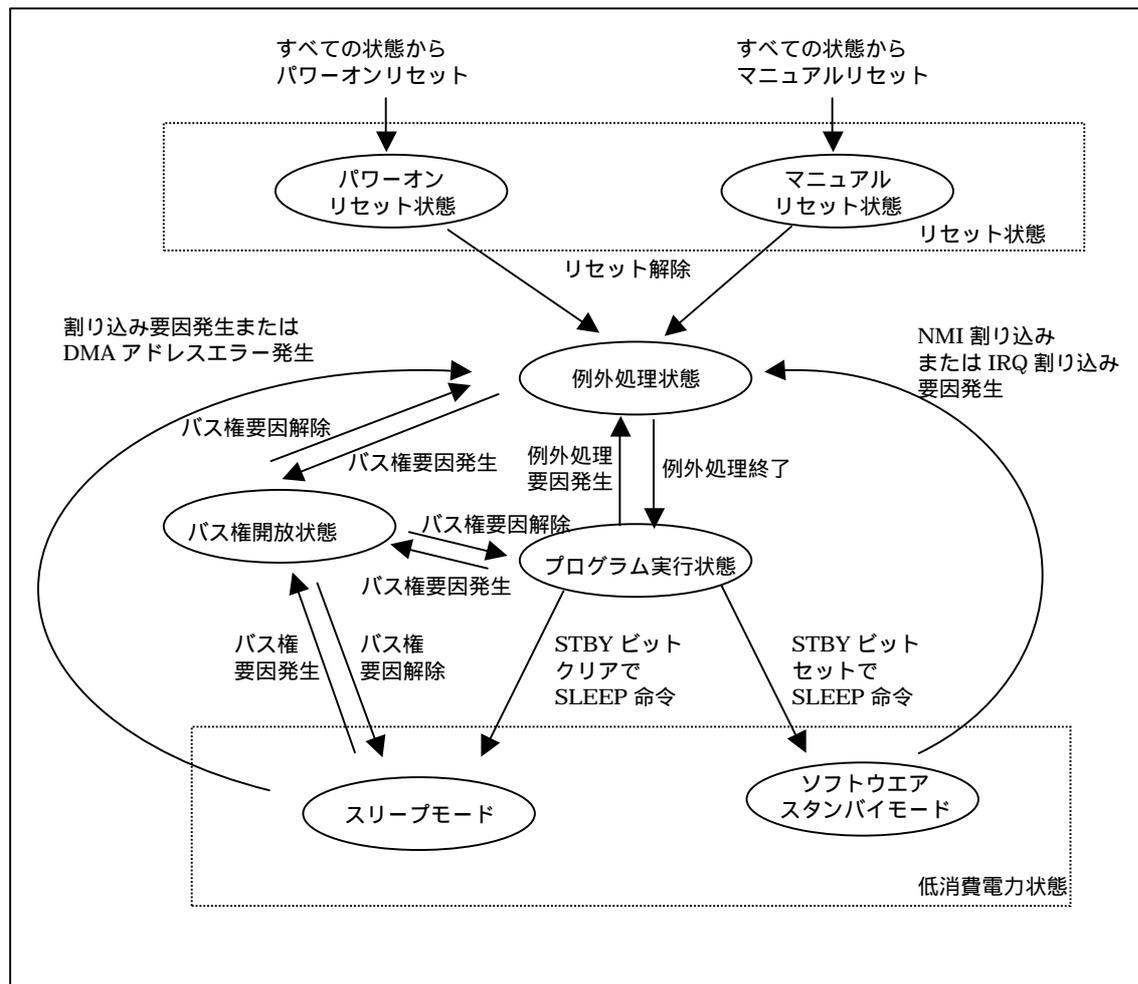


図 2.6 処理状態の状態遷移図

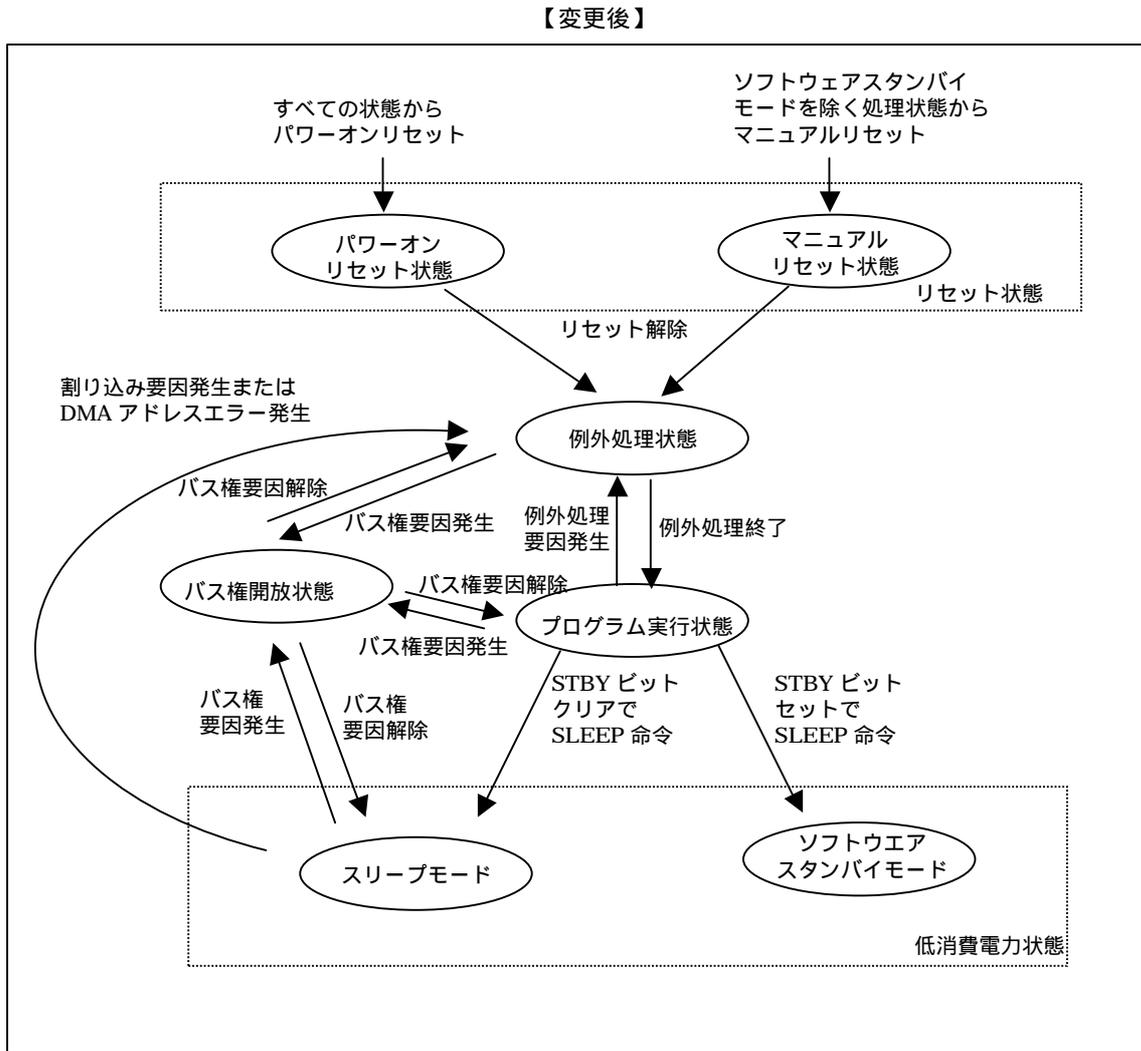


図 2.6 処理状態の状態遷移図

「4章 クロック発振器(CPG)」 4.4.1 周波数制御レジスタ(FRQCR)の説明に以下の説明を追記します。

【変更後】

「バスクロック周波数の分周率を切り替えるとき、切り替えによる CK のハザードを防止するため、入力クロック 1 周期分 CK が Low 固定されます。」

「4章 クロック発振器(CPG)」 4.7 発振停止検出機能の 3, 4 行目、および 9, 10 行目の説明を以下のように修正します。

【変更前】

3、4 行目

「EXTAL 入力が一定期間変化しないことを検出すると、OSCCR レジスタの OSCSTOP ビットを 1 にセットし、RES 端子からのパワーオンリセットまたはソフトウェアスタンバイモード解除までその状態を保持します。」

9、10 行目

「上記端子は、ソフトウェアスタンバイ状態でも、常にハイインピーダンスになります。詳細は「付録 A. 端子状態」を参照してください。ソフトウェアスタンバイ状態解除後は通常動作になります。」

【変更後】

3、4行目

「EXTAL 入力が一定期間変化しないことを検出すると、OSCCR レジスタの OSCSTOP ビットを1にセットし、RES 端子からのパワーオンリセットまでその状態を保持します。」

9、10行目

「上記端子は、ソフトウェアスタンバイ状態でも、常にハイインピーダンスになります。詳細は「付録 A. 端子状態」を参照してください。」

「8章 データトランスファコントローラ(DTC)」 8.2.8 DTC コントロールレジスタ(DTCCR)の ERR ビットの 4,5 行目の説明を以下のように修正します。

【変更前】

「DTC は、データ転送後、転送情報ライトステートで停止します。」

【変更後】

「DTC は、NMI の入力タイミングによって、データ転送後か、転送情報ライトステート後に停止します。

注)ただしデータ転送後に停止した場合、ライトステートが正しく行われません。四度転送を行う場合は転送情報を再設定してください。(リードスキップが行われた場合を除く。)」

「8章 データトランスファコントローラ(DTC)」 8.4 表 8.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE の注意事項の1項を、以下のように修正します。

【変更前】

「*1 対応する割り込み要因のない DTCE ビットは、リザーブビットとなります。0をライトしてください。

ソフトウェアスタンバイ状態を割り込みにより解除する場合は、対応する DTCE ビットに0をライトしてください。」

【変更後】

「*1 対応する割り込み要因のない DTCE ビットは、リザーブビットとなります。0をライトしてください。」

「8章 データトランスファコントローラ(DTC)」 8.9.7 IRQ 割りこみを DTC 転送要因にした場合の注意事項を以下のように修正します。

【変更前】

8.9.7 IRQ 割りこみを DTC 転送要因にした場合の注意事項

- ・当該 IRQ 割り込みによるソフトウェアスタンバイの解除は行わないでください。
- ・ソフトウェアスタンバイ中に発生した IRQ のエッジでの DTC 転送は行わないでください。
- ・ IRQ をローレベル検出した場合、DTC の転送終了により CPU に割り込みを発生させる(転送カウンタ=0、または DISEL=1)ときには、CPU が割り込みを受け付けるまで IRQ 端子をローレベルに保持してください。

【変更後】

8.9.7 IRQ 割りこみを DTC 転送要因にした場合の注意事項

- ・IRQ をローレベル検出した場合、DTC の転送終了により CPU に割り込みを発生させる(転送カウンタ=0、または DISEL=1) ときには、CPU が割り込みを受け付けるまで IRQ 端子をローレベルに保持してください。

「9 章 パスステートコントローラ(BSC)」 9.4.8 パス機能拡張レジスタ (BSCEHR) の DTBST ビットの説明の本ビットを 1 に設定する場合の注意事項に以下の制限を追記します。

【変更後】

- 5 . 起動要因が IRQ7~0 のローレベル検出設定、且つ RSS =1 の場合は DTBST=1 に設定しないでください。

「13 章 ポートアウトプットイネーブル 2(POE2)」 13.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1) の PIE1 ビット説明を以下のように修正します。

【変更前】

「ICSR1 の POE0F、POE1F、POE3F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。」

【変更後】

「ICSR1 の POE0F~POE3F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。」

「13 章 ポートアウトプットイネーブル 2(POE2)」 13.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR2) の PIE2 ビット説明を以下のように修正します。

【変更前】

「ICSR2 の POE4F、POE7F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。」

【変更後】

「ICSR2 の POE4F~POE7F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。」

「15 章 ウォッチドッグタイマ(WDT)」 P15-1 の 4 行目の説明を以下のように修正します。

【変更前】

「WDT は、1 チャンネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウントに使用します。」

【変更後】

「WDT は、1 チャンネルのタイマで、周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウン
トに使用します。」

「15章 ウォッチドッグタイマ(WDT)」 15.1 特長の1項目を以下のように修正します。

【変更前】

- ・ クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

【変更後】

- ・ クロック発振安定時間の確保に使用可能
クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

「15章 ウォッチドッグタイマ(WDT)」 P15-2 図 15.1 WDT のブロック図を以下のように修正します。

【変更前】

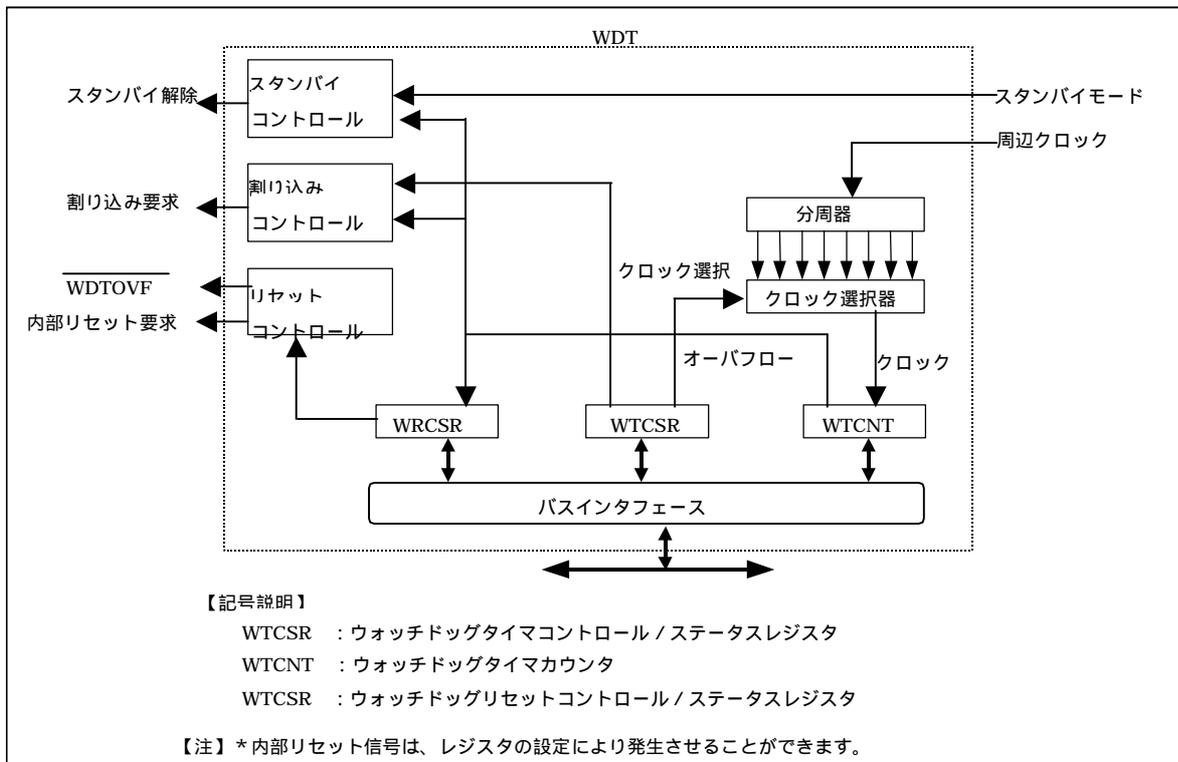


図 15.1 WDT のブロック図

【変更後】

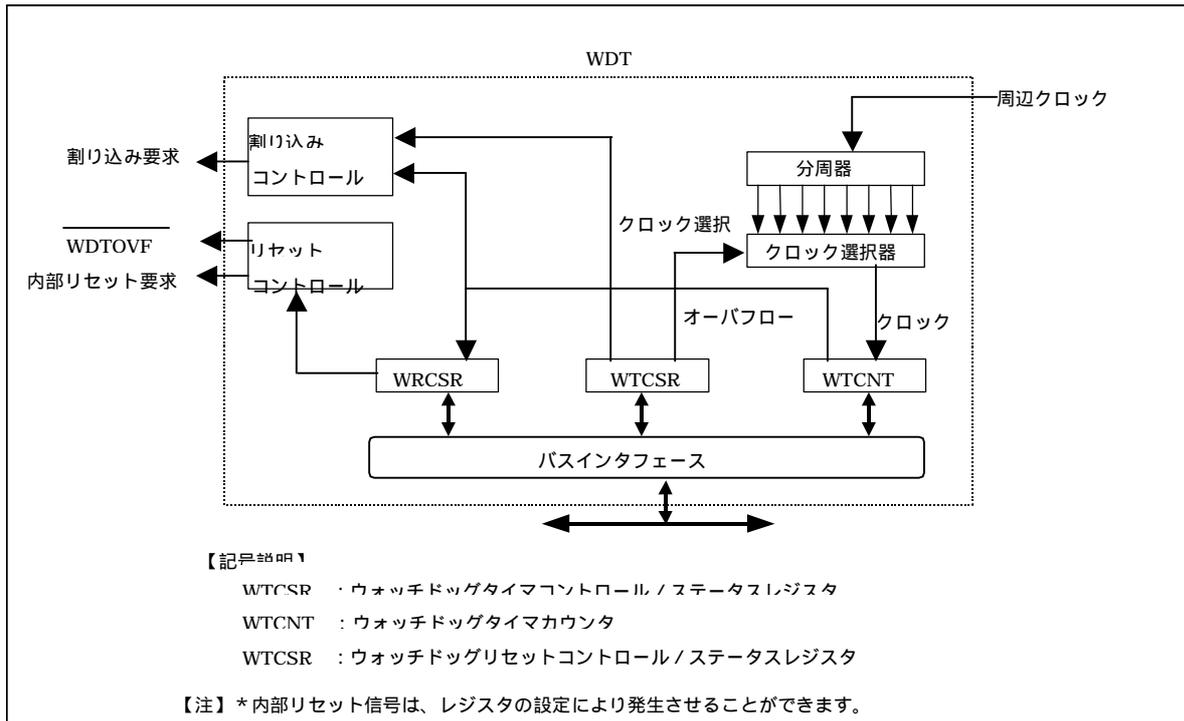


図 15.1 WDT のブロック図

「15章 ウォッチドッグタイマ(WDT)」 15.3.1 ウォッチドッグタイマカウンタ(WTCNT)の5行目の説明を削除します。

【変更前】

「WDTによるリセット及び端子によるマニュアルリセットでは初期化されず、値が保持されます。」

【変更後】

削除

「15章 ウォッチドッグタイマ(WDT)」 15.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ(WTCSr)の4~6行目の説明を削除します。

【変更前】

「WDTによるリセット及び端子によるマニュアルリセットでは初期化されず、値が保持されます。
 ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、
 カウントオーバーフロー後、値が保持されます。」

【変更後】

削除

「15章 ウォッチドッグタイマ(WDT)」 15.4.1 ソフトウェアスタンバイモード解除の手順の説明を削除します。

【変更前】

15.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで割り込みで解除する場合に使用します。この手順を以下に示します(リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで RES 端子または MRES 端子をローレベルに保ってください)。

1. ソフトウェアスタンバイモードへの遷移前に必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS[2:0]ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間異常になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR:「第 28 章 低消費電力モード」参照)の STBY ビットに 1 を設定後、SLEEP 命令十個によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

【変更後】

削除

「17章 FIFO 内蔵シリアルコミュニケーションインタフェース(SCIF)」 17.3.8 ビットレートレジスタの説明の P17-17 の調歩同期式モードのビットレート誤差の計算式の説明を以下のように修正します。

【変更前】

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差}(\%) = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

【変更後】

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(1)シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 0 のとき

$$\text{誤差}(\%) = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(2)シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 1 のとき

$$\text{誤差}(\%) = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

「19章 I²C バスインタフェース(IIC3)」 19.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER) の RIE ビットの説明を以下のように修正します。

【変更前】

「RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求(RXI)の許可 / 禁止及びクロック同期フォーマットジのオーバランエラー割り込み要求 (ERI) の許可 / 禁止を選択します。なお RXI は RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。」

【変更後】

「RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求(RXI)の許可 / 禁止を選択します。なお RXI は RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。」

「第 20章 A/D 変換器(ADC)」 20.3.2 A/D ステータスレジスタ(ADSR_0 ~ ADSR_2)の注意事項を以下のように追記修正します。

【変更前】

【注】*フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

【変更後】

【注】*フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。
フラグが 0 のとき、0 を上書きしないでください。

「第 28章 低消費電力モード」 P28-1 の表 28.1 のソフトウェアスタンバイモードの解除方法を以下のように修正します。

【変更前】

C		状 態						解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺 モジュール	外部 メモリ	
ソフトウェア スタンバイ モード	STBCR の STBY ビッ トが 1 の状 態で SLEEP 命 令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフ レッシュに してくださ い	<ul style="list-style-type: none"> ・ NMI 割り込み ・ IRQ 割り込み ・ マニュアルリセ ット ・ パワーオンリセ ット

【変更後】

C		状 態						解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺 モジュール	外部 メモリ	
ソフトウェア スタンバイ モード	STBCR の STBY ビッ トが 1 の状 態で SLEEP 命 令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフ レッシュに してくださ い	パワーオンリセット

「第 28 章 低消費電力モード」 28.3.3 のスタンバイコントロールレジスタ 3 (STBCR3) の bit 0 を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にするとフラッシュメモリへのクロックの供給を停止します。 0：フラッシュメモリは動作 1：フラッシュメモリへのクロックの供給を停止

【変更後】

ビット	ビット名	初期値	R/W	説明
0	-	0	R/W	リザーブビット 書き込む値を必ず 0 にしてください。

「第 28 章 低消費電力モード」 P28-14 28.4.2(2)のソフトウェアスタンバイモードの解除の説明を以下のように修正します。

【変更前】

ソフトウェアスタンバイモードは、割り込み (NMI,IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により、解除されます。

【変更後】

ソフトウェアスタンバイモードは、必ずパワーオンリセットにより解除してください。
マニュアルリセットでは解除できません。ソフトウェアスタンバイ中に MRES 端子をローレベルにした場合、本 LSI の動作は保証できません。またソフトウェアスタンバイモード中に割り込みを発生させた場合も、割り込み発生後の動作は保証できません。

「第 28 章 低消費電力モード」 P28-14 ~ 15 28.4.2(2)のソフトウェアスタンバイモードの解除の割り込みによる解除の説明を削除します。

「第 28 章 低消費電力モード」 P28-14 28.4.2(2)のソフトウェアスタンバイモードの解除のリセットによる解除の説明を以下のように修正します。

【変更前】

・リセットによる解除

RES 端子または MRES 端子をローレベルにすると、本 LSI はパワーオンリセットまたはマニュアルリセット状態に遷移し、スタンバイモードは解除されます。

RES 端子または MRES 端子は、クロックの発振が安定するまでローレベルを保持してください。

【変更後】

・リセットによる解除

RES 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スタンバイモードは解除されます。

RES 端子は、クロックの発振が安定するまでローレベルを保持してください。

「第 28 章 低消費電力モード」 P28-15 ~ 16 28.4.3 ソフトウェアスタンバイモードの応用例の説明を削除します。

「第 30 章 レジスタ一覧」 30.3 各動作モードにおけるレジスタの状態の一覧の WDT レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
WDT	WTCSR	初期化	初期化	保持		保持
	WTCNT	初期化	初期化	保持		保持
	WRCSR	初期化*1	保持	保持		保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
WDT	WTCSR	初期化	初期化	初期化		保持
	WTCNT	初期化	初期化	初期化		保持
	WRCSR	初期化*1	保持	初期化		保持

「第31章 電気的特性」の31.2 DC特性 表31.2 DC特性(1)【共通項目】の消費電流の通常動作時の測定条件を以下のよう
に修正します。

【変更前】

表 31.2 DC 特性(1) 【共通項目】

項目	記号	Min.	Typ.	Max.	単位	測定条件	
消費電流*1	通常動作時	Icc	-	155	180	mA	I =100MHz B =50MHz P =50MHz (SH7286、 SH7285)
		Icc	-	125	140	mA	Vcc=5.5V I =100MHz B =50MHz P =50MHz (SH7243)
	ソフトウェアスタンバイモード時	Istby	-	10	20	mA	Vcc=5.0V
	スリープモード時	Isleep	-	80	120	mA	SH7286
70				100	SH7285 SH7243		

【変更後】

表 31.2 DC 特性(1) 【共通項目】

項目	記号	Min.	Typ.	Max.	単位	測定条件	
消費電流*1	通常動作時	Icc	-	155	180	mA	I =100MHz B =50MHz P =50MHz (SH7286、 SH7285)
		Icc	-	125	140	mA	I =100MHz B =50MHz P =50MHz (SH7243)
	ソフトウェアスタンバイモード時	Istby	-	10	20	mA	Vcc=5.0V
	スリープモード時	Isleep	-	80	120	mA	SH7286
70				100	SH7285 SH7243		

「第31章 電気的特性」の31.2 DC特性 表31.2 DC特性(2) 【I²C関連端子を除く】のAV_{CC}、AV_{REF}条件と入力Highレベル電圧の測定条件を以下のように追加します。

【変更前】

表31.2 DC特性(2) 【I²C関連端子を除く】

条件：V_{CC}=PLL_{VCC}=3.0~5.5V、AV_{CC}=AV_{REF}=4.5~5.5V、V_{SS}=PLL_{VSS}=AV_{REFVSS}=AV_{SS}=0V、

T_a=-20 ~ +85 (民生用途品)、T_a=-40 ~ +85 (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	RES、MRES、NMI、MD1、MD0、FEW、ASEMD0、TRST、EXTAL、USBEXTAL	VIH	V _{CC} -0.7	-	V _{CC} +0.3	V	V _{CC} =3.6~5.5V
			V _{CC} -0.5	-	V _{CC} +0.3	V	V _{CC} =3.0~3.6V
	アナログ兼用ポート その他の入力端子 (シュミット端子除く)		2.2	-	Acc+0.3	V	
			2.2	-	V _{CC} +0.3		

【変更後】

表31.2 DC特性(2) 【I²C関連端子を除く】

条件：V_{CC}=PLL_{VCC}=3.0~5.5V、AV_{CC}=AV_{REF}=4.5~5.5V*1、V_{SS}=PLL_{VSS}=AV_{REFVSS}=AV_{SS}=0V、

T_a=-20 ~ +85 (民生用途品)、T_a=-40 ~ +85 (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	RES、MRES、NMI、MD1、MD0、FEW、ASEMD0、TRST、EXTAL、USBEXTAL	VIH	V _{CC} -0.7	-	V _{CC} +0.3	V	V _{CC} =3.6~5.5V
			V _{CC} -0.5	-	V _{CC} +0.3	V	V _{CC} =3.0~3.6V
	アナログ兼用ポート その他の入力端子 (シュミット端子除く)		2.2	-	Acc+0.3	V	AV _{CC} =3.0~5.5V*1
			2.2	-	V _{CC} +0.3		

*1 AD端子をAD変換器としてではなく、入力ポートとして使用する場合、AV_{CC}をV_{CC}に接続してください。
その場合、AV_{CC}=3.0~5.5Vです。AD変換器を使用する場合、常にAV_{CC}=4.5~5.5Vです。

「第31章 電気的特性」の31.3.2 制御信号タイミングの表31.6のを以下のように修正します。

【変更前】

表 31.6 制御信号タイミング

条件：Vcc=PLLVcc=3.0 ~ 5.5V、AVcc=AVREF=4.5 ~ 5.5V、Vss=PLLVss=AVREFVSS=AVss=0V、
Ta=-20 ~ +85 (民生用途品)、Ta=-40 ~ +85 (産業用途品)

項目	記号	B =40MHz		単位	参照図
		Min.	Max.		
MRES パルス幅	tMRESW	20*3	-	tcyc	

- 【注】*1 RES、NMI、及び IRQ7 ~ IRQ0 は非同期信号です。ここにしめされたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- *2 スタンバイモード時またはクロック逡倍率が変化するとき、tRESW=tOSC2(T.B.D.ms)になります。
- *3 スタンバイモード時は、tMRESW=tOSC2(T.B.D.ms)となります。

【変更後】

表 31.6 制御信号タイミング

条件：Vcc=PLLVcc=3.0 ~ 5.5V、AVcc=AVREF=4.5 ~ 5.5V、Vss=PLLVss=AVREFVSS=AVss=0V、
Ta=-20 ~ +85 (民生用途品)、Ta=-40 ~ +85 (産業用途品)

項目	記号	B =50MHz		単位	参照図
		Min.	Max.		
MRES パルス幅	tMRESW	20	-	tcyc	

- 【注】*1 RES、NMI、及び IRQ7 ~ IRQ0 は非同期信号です。ここにしめされたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- *2 スタンバイモード時は、tRESW=tOSC1(10ms)になります。

「第 31 章 電気的特性」の 31.3.10 SCIF モジュールタイミングの表 31.14 のクロック同期の入力クロックサイクルの Min.値を以下のように修正します。

【変更前】

表 31.6 制御信号タイミング

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	TScyc	12	-	t _{pcyc}	31.47
	調歩同期	TSCKr	4	-	t _{pcyc}	31.47

【変更後】

表 31.6 制御信号タイミング

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	TScyc	6	-	t _{pcyc}	31.47
	調歩同期	TSCKr	4	-	t _{pcyc}	31.47