

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A836A/J	Rev.	第1版
題名	コントローラエリアネットワークのマニュアル変更について		情報分類	技術情報	
適用製品	SH7734	対象ロット等	関連資料	SH7734 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0233JJ0100)	
		全ロット			

SH7734 グループのコントローラエリアネットワークのマニュアルに変更がございますので連絡いたします。

【変更内容】

コントローラエリアネットワークのタイムトリガモードの記載を削除し、関連するレジスタを予約レジスタに変更します。ただし、CAN2.0B Active と ISO-11898-1 をサポートする機能につきましては、これまで通り問題なく使用できます。

【変更理由】

SH7734 に搭載のコントローラエリアネットワークモジュールでは、ISO-11898-4 の仕様のタイムトリガモード通信を実現できません。コントローラエリアネットワークのタイムトリガモードの記載を削除し、関連するレジスタを予約レジスタに変更します。

予約レジスタとなるレジスタを表 1、表 2 に示します。また、各レジスタの訂正箇所を記載します。

○ 訂正箇所概要

今回の変更により予約レジスタとなる、メールボックス以外のレジスタを表1に、メールボックスのレジスタを表2に記載します。

表1. 予約レジスタとなるレジスタ (メールボックス以外)

レジスタ名	ビット	ビット名	初期値
割り込みリクエストレジスタ (IRR)	10	IRR10	0
割り込みマスクレジスタ (IMR)	10	IMR10	1
タイムトリガコントロールレジスタ 0 (TTCR0)	14	TCR14	0
サイクルマキシマム/Tx_Enable_Window レジスタ (CMAX_TEW)	10~8	CMAX[2:0]	111
	3~0	TEW[3:0]	0000
リファレンストリガオフセットレジスタ (RFTROFF)	15~8	RFTROFF[7:0]	すべて 0
タイマステータスレジスタ (TSR)	4	TSR4	0
サイクルカウンタレジスタ (CCR)	5~0	CCR[5:0]	すべて 0
リファレンスマークレジスタ (RFMK)	15~0	RFMK[15:0]	H' 0000
送信トリガタイムセレクトレジスタ (TTTSEL)	14~8	TTTSEL[14:8]	B' 1000000

表2. 予約レジスタとなるレジスタ (メールボックス)

メールボックス	レジスタ名	ビット	ビット名	初期値
メールボックス 24~29	送信トリガタイム (TTT)	15~0	TTT[15:0]	H' 0000
メールボックス 24~29、および メールボックス 30~31	タイムトリガコントロール (TT コントロール)	15~14	TTW[1:0]	00
		13~8	Offset[5:0]	0000
		2~0	rep_factor[2:0]	000

○ 訂正箇所詳細

レジスタビットと機能説明及び、ブロック図・レジスタ一覧について今回の変更により訂正・削除となる箇所を以下に記載します。下記において、訂正後の網掛け部分が訂正箇所となります。

1.p22-1 「22. コントローラエリアネットワーク (RCAN-TL1)」説明文第 1 段落記述訂正

<訂正前>

ルネサスコントローラエリアネットワーク (RCAN-TL1 : Renesas CAN Time Triggered CAN Level 1、以下、RCAN と略します)

<訂正後>

ルネサスコントローラエリアネットワーク (RCAN-TL1 : 以下、RCAN と略します)

2.p22-1 「22. コントローラエリアネットワーク (RCAN-TL1)」[参考文献] 5 の記述削除

<訂正前>

5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO- CD-11898-4, 2004)

<訂正後>

3.p22-2 「22.1 特長」の記述訂正

<訂正前>

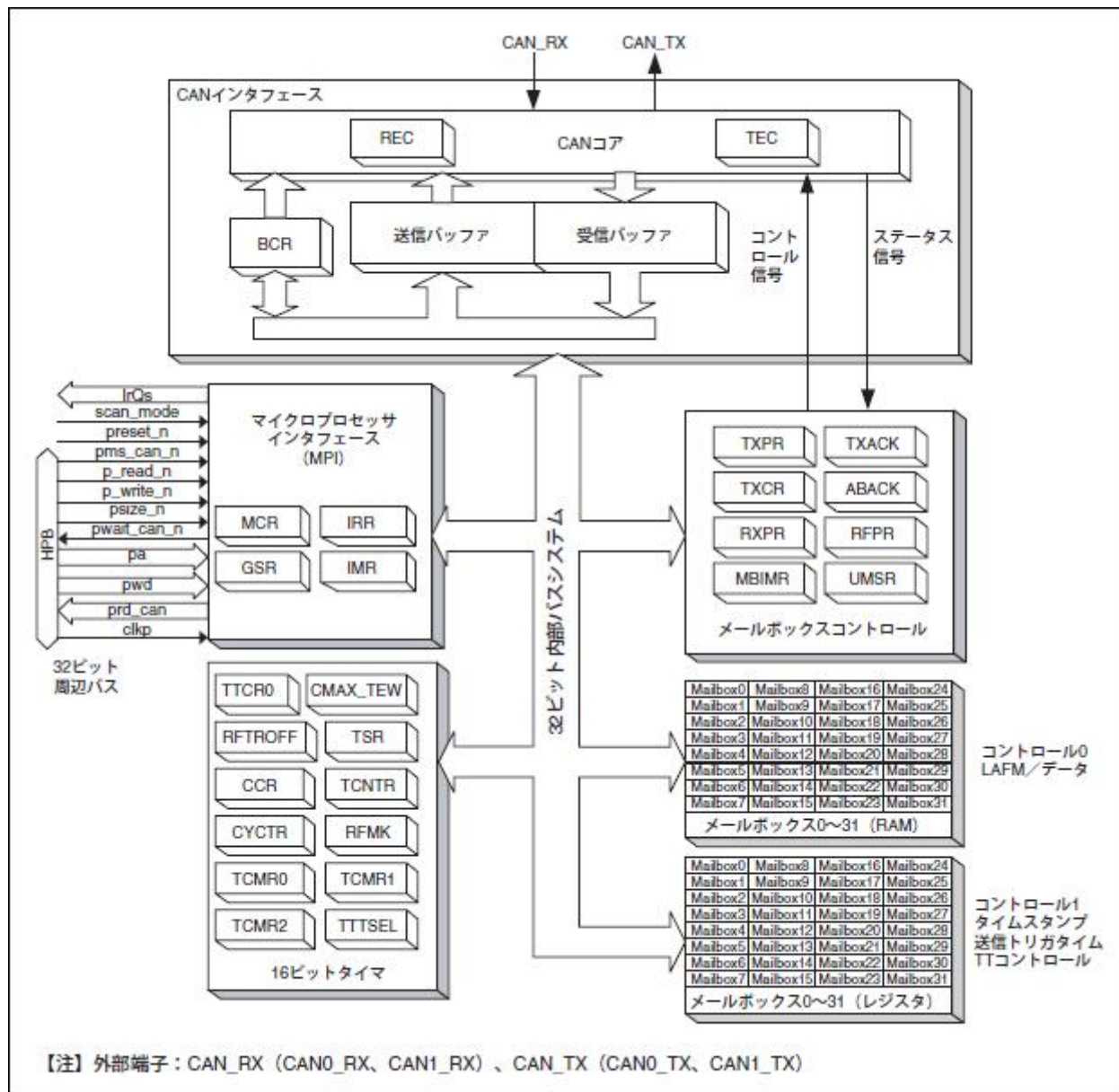
- 16ビットのフリーランニングタイマ（多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ）
- タイムトリガ送信用の6ビットサイクルカウンタ（Basic Cycle）
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ：Local_Time、Cycle_time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、タイムトリガ送信および定周期送信もサポート
- サイクルカウンタ（Basic Cycle）をCANフレームに組み込んで送信可能
- 外部クロック同期モードをサポート（入力可能な外部クロックの周波数：16MHz～50MHz）

<訂正後>

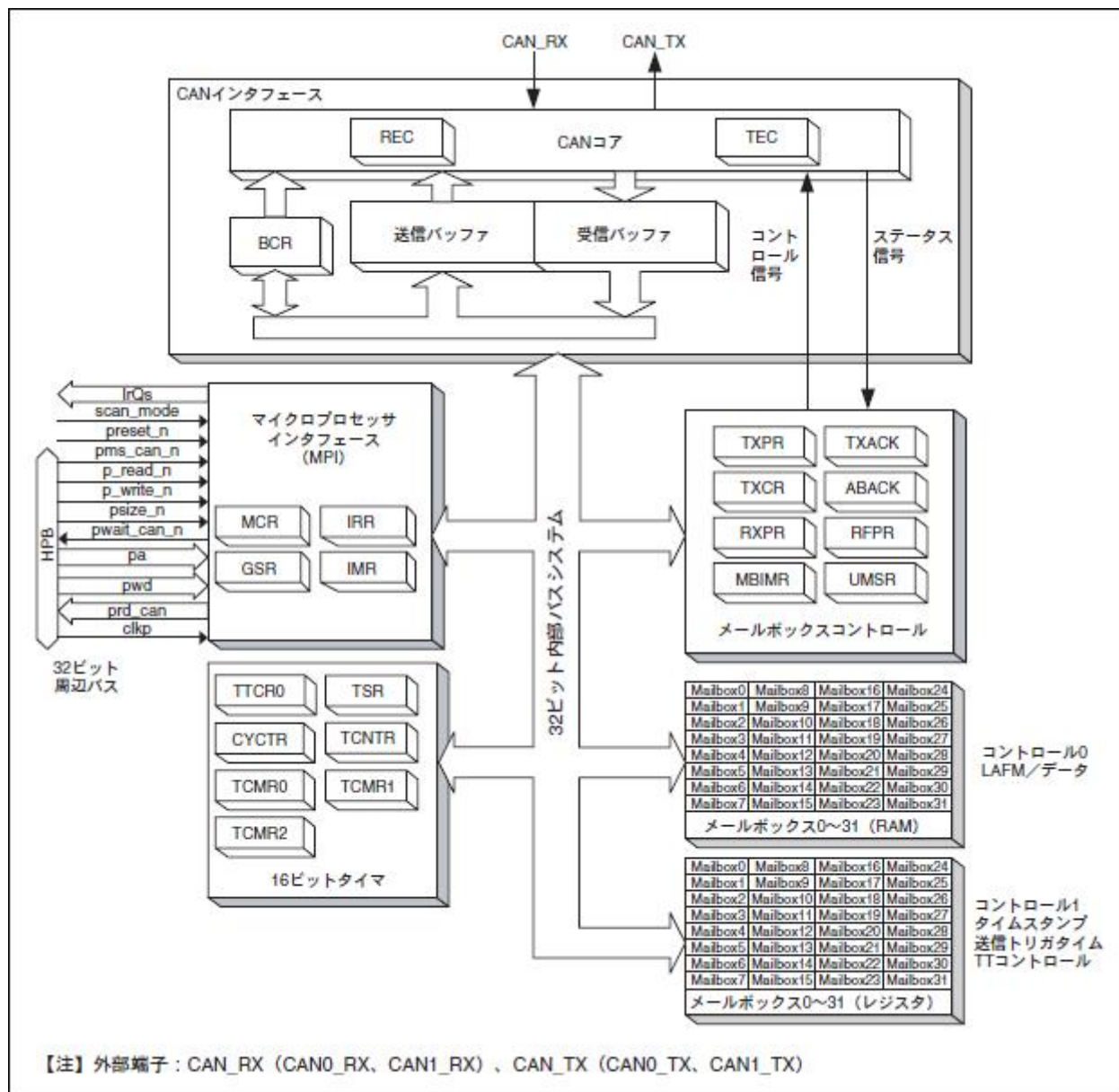
- 16ビットのフリーランニングタイマ（多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ）
■
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
■
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、■定周期送信もサポート
■
- 外部クロック同期モードをサポート（入力可能な外部クロックの周波数：16MHz～50MHz）

4.p22-3 「図 22.1 RCAN のブロック図」の「CMAX_TEW」, 「RFTROFF」, 「CCR」, 「RFMK」, 「TTTSEL」削除

<訂正前>



<訂正後>



5.p22-5 「22.1.1 各ブロックの機能」の「(b) [レジスタ]」, 「(3) メールボックスコントロール」の記述訂正

<訂正前>

(b) [レジスタ]

- CANメッセージコントロール (DLCなど)
- メッセージ送信/受信タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。

レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

<訂正後>


(b) [レジスタ]

- CANメッセージコントロール (DLCなど)
- メッセージ送信/受信タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット



(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。 
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

6.p22-6 「22.1.1 各ブロックの機能」の「(4) タイマ」の記述訂正

<訂正前>

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16ビットのフリーランニングアップカウンタで、CPUで制御することができます。ローカルタイムと比較する16ビットのコンペアマッチレジスタが1個と、サイクルタイムと比較するコンペアマッチレジスタが2個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CANバスの1ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、CMA_{MAX}_TEW、RETROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、およびTTTSELがあります。

<訂正後>

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16ビットのフリーランニングアップカウンタで、CPUで制御することができます。ローカルタイムと比較する16ビットのコンペアマッチレジスタが1個と、サイクルタイムと比較するコンペアマッチレジスタが2個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CANバスの1ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、 TSR、 CYCTR、 TCMR0、TCMR1、およびTCMR2 があります。

7. p22-8 「表 22.2 レジスタ一覧」の「CMAX_TEW」, 「RFTROFF」, 「CCR」, 「RFMK」, 「TTTSEL」削除

<訂正前>

レジスタ名	略称	機能
タイムトリガコントロールレジスタ 0	TTCR0	タイム設定
サイクルマキシマム/Tx_イネーブル_Window レジスタ	CMAX_TEW	Basic Cycleの数およびTx-イネーブルウィンドウ幅
リファレンストリガオフセットレジスタ	RFTROFF	リファレンストリガオフセット
タイムステータスレジスタ	TSR	タイム用ステータスフラグ
サイクルカウンタレジスタ	CCR	タイムトリガ送信カレントサイクルカウンタ値
タイムカウンタレジスタ	TCNTR	カレントタイム値
サイクルタイムレジスタ	CYCTR	CYCTR=TCNTR-RFMK
リファレンスマークレジスタ	RFMK	リファレンスマーク
タイムコンペアマッチレジスタ	TCMRi (i=0~2)	タイムコンペア値
送信トリガタイムセレクトレジスタ	TTTSEL	送信トリガメールボックス待ち

<訂正後>

レジスタ名	略称	機能
タイムトリガコントロールレジスタ 0	TTCR0	タイム設定
██████████	██████████	██████████
██████████	██████████	██████████
タイムステータスレジスタ	TSR	タイム用ステータスフラグ
██████████	██████████	██████████
タイムカウンタレジスタ	TCNTR	カレントタイム値
サイクルタイムレジスタ	CYCTR	CYCTR=TCNTR ██████████
██████████	██████████	██████████
タイムコンペアマッチレジスタ	TCMRi (i=0~2)	タイムコンペア値
██████████	██████████	██████████

8.p22-9 「表 22.3 レジスタ構成」の「CMAX_TEW」, 「RFTROFF」, 「CCR」, 「RFMK」, 「TTTSEL」削除

<訂正前>

名 称	略称	R/W	ベースアドレスからのオフセットアドレス	アクセスサイズ
タイムトリガコントロールレジスタ 0	TTCR0	R/W	H'080	16
サイクルマキシマム / Tx_Enable_Window レジスタ	CMAX_TEW	R/W	H'084	16
リファレンストリガオフセットレジスタ	RFTROFF	R/W	H'086	16
タイムステータスレジスタ	TSR	R	H'088	16
サイクルカウンタレジスタ	CCR	R/W	H'08A	16
タイマカウンタレジスタ	TCNTR	R/W*	H'08C	16
サイクルタイムレジスタ	CYCTR	R	H'090	16
リファレンスマークレジスタ	RFMK	R	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	R/W	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	R/W	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	R/W	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	R/W	H'0A4	16

<訂正後>

名 称	略称	R/W	ベースアドレスからのオフセットアドレス	アクセスサイズ
タイムトリガコントロールレジスタ 0	TTCR0	R/W	H'080	16
██████████	██████████	██████████	██████████	██████████
██████████	██████████	██████████	██████████	██████████
タイムステータスレジスタ	TSR	R	H'088	16
██████████	██████████	██████████	██████████	██████████
タイマカウンタレジスタ	TCNTR	R/W*	H'08C	16
サイクルタイムレジスタ	CYCTR	R	H'090	16
██████████	██████████	██████████	██████████	██████████
タイマコンペアマッチレジスタ 0	TCMR0	R/W	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	R/W	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	R/W	H'0A0	16
██████████	██████████	██████████	██████████	██████████

9.p22-10 「表 22.4 各処理モードにおけるレジスタの状態 (チャンネル 0、1 共通)」の「CMAX_TEW」,「RFTROFF」,「CCR」,「RFMK」,「TTTSEL」削除

<訂正前>

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TTCR0	初期化	初期化	保持	保持	保持	初期化
CMAX_TEW	初期化	初期化	保持	保持	保持	初期化
RFTROFF	初期化	初期化	保持	保持	保持	初期化
TSR	初期化	初期化	保持	保持	保持	初期化
CCR	初期化	初期化	保持	保持	保持	初期化
TCNTR	初期化	初期化	保持	保持	保持	初期化
CYCTR	初期化	初期化	保持	保持	保持	初期化
RFMK	初期化	初期化	保持	保持	保持	初期化
TCMR0	初期化	初期化	保持	保持	保持	初期化
TCMR1	初期化	初期化	保持	保持	保持	初期化
TCMR2	初期化	初期化	保持	保持	保持	初期化
TTTSEL	初期化	初期化	保持	保持	保持	初期化

<訂正後>

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TTCR0	初期化	初期化	保持	保持	保持	初期化
██████	██████	██████	██████	██████	██████	██████
TSR	初期化	初期化	保持	保持	保持	初期化
██████	██████	██████	██████	██████	██████	██████
TCNTR	初期化	初期化	保持	保持	保持	初期化
CYCTR	初期化	初期化	保持	保持	保持	初期化
██████	██████	██████	██████	██████	██████	██████
TCMR0	初期化	初期化	保持	保持	保持	初期化
TCMR1	初期化	初期化	保持	保持	保持	初期化
TCMR2	初期化	初期化	保持	保持	保持	初期化
██████	██████	██████	██████	██████	██████	██████

10.p22-11 「図 22.3 RCAN のメモリマップ (1)」の「H'084 サイクルマキシマム/Tx_Enable_Window レジスタ(CMAX_TEW)」, 「H'086 リファレンストリガオフセットレジスタ(RFTROFF)」, 「H'08A サイクルカウンタレジスタ(CCR)」, 「H'094 リファレンスマークレジスタ(RFMK)」, 「H'0A4 送信トリガセレクトレジスタ(TTTSEL)」削除

<訂正前>

	ビット15	ビット0
H'000	マスタコントロールレジスタ (MCR)	
H'002	ジェネラルステータスレジスタ (GBR)	
H'004	ビットコンフィギュレーションレジスタ1 (BCR1)	
H'006	ビットコンフィギュレーションレジスタ0 (BCR0)	
H'008	割り込みリクエストレジスタ (IRR)	
H'00A	割り込みマスクレジスタ (IMR)	
H'00C	送信エラーカウンタ (TEC)	受信エラーカウンタ (REC)
H'020	送信待ちレジスタ1 (TXPR1)	
H'022	送信待ちレジスタ0 (TXPR0)	
H'028	送信キャンセルレジスタ1 (TXCR1)	
H'02A	送信キャンセルレジスタ0 (TXCR0)	
H'030	送信アクノリッジレジスタ1 (TXACK1)	
H'032	送信アクノリッジレジスタ0 (TXACK0)	
H'038	アボートアクノリッジレジスタ1 (ABACK1)	
H'03A	アボートアクノリッジレジスタ0 (ABACK0)	
H'040	データフレーム受信待ちレジスタ1 (RXPR1)	
H'042	データフレーム受信待ちレジスタ0 (RXPR0)	
H'048	リモートフレーム受信待ちレジスタ1 (RFFR1)	
H'04A	リモートフレーム受信待ちレジスタ0 (RFFR0)	
H'050	メールボックス割り込みマスクレジスタ1 (MBMR1)	
H'052	メールボックス割り込みマスクレジスタ0 (MBMR0)	
H'058	未読メッセージステータスレジスタ1 (UMSR1)	
H'05A	未読メッセージステータスレジスタ0 (UMSR0)	
H'080	タイムトリガコントロールレジスタ0 (TTCR0)	
H'084	サイクルマキシマム/Tx_Enable_Windowレジスタ (CMAX_TEW)	
H'086	リファレンストリガオフセットレジスタ (RFTROFF)	
H'088	タイムステータスレジスタ (TSR)	
H'08A	サイクルカウンタレジスタ (CCR)	
H'08C	タイムカウンタレジスタ (TCNTR)	
H'090	サイクルタイムレジスタ (CYCTR)	
H'094	リファレンスマークレジスタ (RFMK)	
H'098	タイムコンペアマッチレジスタ0 (TCMR0)	
H'09C	タイムコンペアマッチレジスタ1 (TCMR1)	
H'0A0	タイムコンペアマッチレジスタ2 (TCMR2)	
H'0A4	送信トリガタイムセレクトレジスタ (TTTSEL)	
H'0FF		

【注】 : 未使用領域はリザーブビットです。

<訂正後>

	ビット15	ビット0
H'000	マスタコントロールレジスタ (MCR)	
H'002	ジェネラルステータスレジスタ (GSR)	
H'004	ビットコンフィギュレーションレジスタ1 (BCR1)	
H'006	ビットコンフィギュレーションレジスタ0 (BCR0)	
H'008	割り込みリクエストレジスタ (IRR)	
H'00A	割り込みマスクレジスタ (IMR)	
H'00C	送信エラーカウンタ (TEC)	受信エラーカウンタ (REC)
H'020	送信待ちレジスタ1 (TXPR1)	
H'022	送信待ちレジスタ0 (TXPR0)	
H'028	送信キャンセルレジスタ1 (TXCR1)	
H'02A	送信キャンセルレジスタ0 (TXCR0)	
H'030	送信アクノリッジレジスタ1 (TXACK1)	
H'032	送信アクノリッジレジスタ0 (TXACK0)	
H'038	アポートアクノリッジレジスタ1 (ABACK1)	
H'03A	アポートアクノリッジレジスタ0 (ABACK0)	
H'040	データフレーム受信待ちレジスタ1 (RXPR1)	
H'042	データフレーム受信待ちレジスタ0 (RXPR0)	
H'048	リモートフレーム受信待ちレジスタ1 (RFFR1)	
H'04A	リモートフレーム受信待ちレジスタ0 (RFFR0)	
H'050	メールボックス割り込みマスクレジスタ1 (MBIMR1)	
H'052	メールボックス割り込みマスクレジスタ0 (MBIMR0)	
H'058	未読メッセージステータスレジスタ1 (UMSR1)	
H'05A	未読メッセージステータスレジスタ0 (UMSR0)	
H'080	タイムトリガコントロールレジスタ0 (TTCR0)	
H'088	タイムステータスレジスタ (TSR)	
H'08C	タイマカウンタレジスタ (TCNTR)	
H'090	サイクルタイムレジスタ (CYCTR)	
H'098	タイマコンペアマッチレジスタ0 (TCMR0)	
H'09C	タイマコンペアマッチレジスタ1 (TCMR1)	
H'0A0	タイマコンペアマッチレジスタ2 (TCMR2)	
H'0FF		

【注】  : 未使用領域はリザーブビットです。

11.p22-12 「図 22.3 RCAN のメモリマップ (2)」の「H'414 送信トリガタイムフィールド」, 「H'416 タイムトリガ(TT)コントロールフィールド」, 「H'4D2 タイムスタンプフィールド」, 「H'4D4 送信トリガタイムフィールド」, 「H'4F0 メッセージコントロールフィールド1」, 「H'4F2 タイムスタンプフィールド」削除


<訂正前>

	ビット15	ビット0
H'100	メッセージコントロールフィールド0	MB0 (メールボックス0)
H'104	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'108	メッセージデータフィールド (0バイト~7バイト)	
H'110	メッセージコントロールフィールド1	
H'112	タイムスタンプフィールド	
H'120	(MB0と同じ構成)	
H'140		
H'160		
H'180		
H'1A0		
H'1C0		
H'1E0		
H'200		
H'220		
H'240		
H'260		
H'280		
H'2A0		
H'2C0		
H'2E0		
H'300	メッセージコントロールフィールド0	MB16
H'304	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'308	メッセージデータフィールド (0バイト~7バイト)	
H'310	メッセージコントロールフィールド1	
H'320	(MB16と同じ構成)	
H'340		
H'360		
H'380		
H'3A0		
H'3C0		
H'3E0		
H'400	メッセージコントロールフィールド0	MB24
H'404	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'408	メッセージデータフィールド (0バイト~7バイト)	
H'410	メッセージコントロールフィールド1	
H'414	送信トリガタイムフィールド	
H'416	タイムトリガ (TT) コントロールフィールド	
H'420	(MB24と同じ構成)	
H'440		
H'460		
H'480		
H'4A0		
H'4C0	メッセージコントロールフィールド0	MB30
H'4C4	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'4C8	メッセージデータフィールド (0バイト~7バイト)	
H'4D0	メッセージコントロールフィールド1	
H'4D2	タイムスタンプフィールド	
H'4D4	送信トリガタイムフィールド	
H'4E0	メッセージコントロールフィールド0	MB31
H'4E4	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'4E8	メッセージデータフィールド (0バイト~7バイト)	
H'4F0	メッセージコントロールフィールド1	
H'4F2	タイムスタンプフィールド	
H'FFF		

【注】 : 未使用領域はリザーブビットです。

<訂正後>

	ビット15	ビット0
H'100	メッセージコントロールフィールド0	MB0 (メールボックス0)
H'104	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'108	メッセージデータフィールド (0バイト~7バイト)	
H'110	メッセージコントロールフィールド1	
H'112	タイムスタンプフィールド	
H'120	(MB0と同じ構成)	
H'140		
H'160		
H'180		
H'1A0		
H'1C0		
H'1E0		
H'200		
H'220		
H'240		
H'260		
H'280		
H'2A0		
H'2C0		
H'2E0		
H'300	メッセージコントロールフィールド0	MB16
H'304	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'308	メッセージデータフィールド (0バイト~7バイト)	
H'310	メッセージコントロールフィールド1	
H'320	(MB16と同じ構成)	
H'340		
H'360		
H'380		
H'3A0		
H'3C0		
H'3E0		
H'400	メッセージコントロールフィールド0	MB24
H'404	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'408	メッセージデータフィールド (0バイト~7バイト)	
H'410	メッセージコントロールフィールド1	
H'420	(MB24と同じ構成)	
H'440		
H'460		
H'480		
H'4A0		
H'4C0	メッセージコントロールフィールド0	MB30
H'4C4	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'4C8	メッセージデータフィールド (0バイト~7バイト)	
H'4D0	メッセージコントロールフィールド1	
H'4E0	メッセージコントロールフィールド0	MB31
H'4E4	ローカルアクセプタンスフィルタマスクフィールド (LAFM)	
H'4E8	メッセージデータフィールド (0バイト~7バイト)	
H'FFF		

【注】  : 未使用領域はリザーブビットです。

12.p22-13 「22.4.1 メールボックスの構成」 説明文訂正

<訂正前>

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ、送信トリガタイムコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 22.5 に各メールボックスに対するメッセージコントロール 0 および 1、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム (Tx_Trigger_Time、以降 TTT と略します)、タイムトリガ (Time_Trigger、以降 TT と略します) コントロールのアドレスマップを示します。

<訂正後>

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ [] のフィールドを持つメールボックスもあります。

表 22.5 に各メールボックスに対するメッセージコントロール 0 および 1、LAFM、メッセージデータ、タイムスタンプ [] のアドレスマップを示します。

13.p22-13,p22-14 「表 22.5 各メールボックスのアドレスマップ (1 チャネルあたり)」の「送信トリガタイム(TTT)」、「TT コントロール」列の削除

<訂正前>

メールボックス (MB)	アドレス						
	RAM			レジスタ			
	メッセージコントロール 0	LAFM	メッセージデータ	メッセージコントロール 1	タイムスタンプ	送信トリガタイム (TTT)	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
MB 0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111	112 - 113	-	-
...
MB 31	4E0 - 4E3	4E4 - 4E7	4E8 - 4EF	4F0 - 4F1	4F2 - 4F3 (ローカルタイム)	-	-

<訂正後>

メールボックス (MB)	アドレス						
	RAM			レジスタ			
	メッセージコントロール 0	LAFM	メッセージデータ	メッセージコントロール 1	タイムスタンプ	[]	[]
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	[]	[]
MB 0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111	112 - 113	[]	[]
...	[]	[]
MB 31	4E0 - 4E3	4E4 - 4E7	4E8 - 4EF	4F0 - 4F1	4F2 - 4F3 (ローカルタイム)	[]	[]

14.p22-15 「表 22.6 メールボックスの役割」の「タイムトリガ(TT)」,「送信トリガタイム(TTT)フィールド」列の削除及び注意書きの削除

<訂正前>

メールボックス (MB)	イベントトリガ		タイムトリガ (TT)		備考	
	送信 (Tx)	受信 (Rx)	送信 (Tx)	受信 (Rx)	タイムスタンプフィールド	送信トリガタイム (TTT) フィールド
MB0	-	設定可	-	OK	有	-
...
MB31	設定可	設定可	-	タイムリファレンス受信	有	-

【注】 * ET:タイムトリガ (TT) モード時のマージドアービトラレーティングウィンドウ内で送信動作可能です。

<訂正後>

メールボックス (MB)	イベントトリガ		タイムトリガ (TT)		備考	
	送信 (Tx)	受信 (Rx)	送信 (Tx)	受信 (Rx)	タイムスタンプフィールド	送信トリガタイム (TTT) フィールド
MB0	-	設定可	-	OK	有	-
...
MB31	設定可	設定可	-	タイムリファレンス受信	有	-

■

15.p22-15 「図 22.4 メールボックス 0~15 (MB0~MB15) の構成」中の「アドレス”H'112+N×32” CCR[5:0]/CYCTR[15:6]」の削除
 <訂正前>

・ MB0 (タイムスタンプ付き受信専用メールボックス)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*2*4		
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*2*4	
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	0	0	NMC	0	0	MBC[2:0]*1				0	0	0	0	DLC[3:0]			8/16	コントロール1*3
H'112+N×32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【記号説明】 N : 0 (メールボックス番号)

・ MB15~1 (タイムスタンプ付きメールボックス)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*2*4		
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*2*4	
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]				0	0	0	0	DLC[3:0]			8/16	コントロール1
H'112+N×32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【記号説明】 N : 15~1 (メールボックス番号)

- 【注】 *1 メールボックス0は受信専用のため、MBC[2:0]ビットのMBC[1]=1固定に設定しています。また、メールボックス0のMBC[2:0]設定値は限られています。
 *2 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
 *3 ATXとDARTは送信機能を持ったビットのため、メールボックス0ではサポートされません (メールボックス0ではリザーブビット)。
 *4 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
 上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

<訂正後>

・MB0 (タイムスタンプ付き受信専用メールボックス)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*2*}	
H'102+N×32	EXTID[15:0]															16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*2*}
H'106+N×32	EXTID_LAFM[15:0]															16	
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ	
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16		
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16		
H'110+N×32	0	0	NMC	0	0	MBC[2:0] ^{*1}			0	0	0	0	DLC[3:0]				8/16
H'112+N×32	TimeStamp[15:0] [CYC/CTR[15:0] at SDF]															16	タイムスタンプ

【記号説明】 N : 0 (メールボックス番号)

・MB15~1 (タイムスタンプ付きメールボックス)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*2*}	
H'102+N×32	EXTID[15:0]															16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*2*}
H'106+N×32	EXTID_LAFM[15:0]															16	
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ	
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16		
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16		
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16
H'112+N×32	TimeStamp[15:0] [CYC/CTR[15:0] at SDF]															16	タイムスタンプ

【記号説明】 N : 15~1 (メールボックス番号)

【注】 *1 メールボックス0は受信専用のため、MBC[2:0]ビットのMBC[1]=1固定に設定しています。また、メールボックス0のMBC[2:0]設定値は限られています。

*2 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。

*3 ATXとDARTは送信機能を持ったビットのため、メールボックス0ではサポートされません (メールボックス0ではリザーブビット)。

*4 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。

上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

16.p22-16 「図 22.5 メールボックス 16~29 (MB16~MB29) の構成」中の「MB29-24 アドレス”H’114+N×32”,H’116+N×32”,”MB29~24 (タイムトリガモード時タイムトリガ送信)”の削除

<訂正前>

・ MB23~16 (メールボックス：タイムスタンプなし)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H’100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*1*}	
H’102+N×32	EXTID[15:0]															16	
H’104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*1*}
H’106+N×32	EXTID_LAFM[15:0]															16	
H’108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ	
H’10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16		
H’10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H’10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16		
H’110+N×32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16

【記号説明】 N：23~16 (メールボックス番号)

・ MB29~24 (タイムトリガモード時タイムトリガ送信)

アドレス	データバス															アクセスサイズ	フィールド名			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0		
H’100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*1*}				
H’102+N×32	EXTID[15:0]															16				
H’104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*1*}			
H’106+N×32	EXTID_LAFM[15:0]															16				
H’108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ				
H’10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16					
H’10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32					
H’10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16					
H’110+N×32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1		
H’112+N×32	リザーブ															—	—			
H’114+N×32	送信トリガタイム (TTI)															16	トリガタイム			
H’116+N×32	TTW[1:0]		オフセット										0	0	0	0	0	Rep_Factor	16	TTコントロール

【記号説明】 N：29~24 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
 *2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
 上記の図は、MCR.MCR15=B’1 (初期値) の場合の順序です。

<訂正後>

・ MB23~16 (メールボックス：タイムスタンプなし)

アドレス	データバス															アクセスサイズ	フィールド名			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]				16/32	コントロール0 ^{*1*2}	
H'102+N×32	EXTID[15:0]															16				
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]				16/32	LAFM ^{*1*2}
H'106+N×32	EXTID_LAFM[15:0]															16				
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ				
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16					
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32					
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16					
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]				0	0	0	0	DLC[3:0]			8/16	コントロール1		

【記号説明】 N：23~16 (メールボックス番号)

・ MB29~24

アドレス	データバス															アクセスサイズ	フィールド名			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]				16/32	コントロール0 ^{*1*2}	
H'102+N×32	EXTID[15:0]															16				
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]				16/32	LAFM ^{*1*2}
H'106+N×32	EXTID_LAFM[15:0]															16				
H'108+N×32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16/32	データ				
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16					
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32					
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16					
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]				0	0	0	0	DLC[3:0]			8/16	コントロール1		
H'112+N×32	リザーブ															—	—			

【記号説明】 N：29~24 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
 *2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
 上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

17.p22-17 「図 22.6 メールボックス 30、31 (MB30、MB31) の構成」中の「MB30 アドレス”H’112+N×32”,”H’114+N×32”」、
「MB31 アドレス”H’110+N×32”,”H’112+N×32”」,”MB30 (タイムトリガモード時タイムリファレンス送信)”,”MB31 (タイム
トリガモード時タイムリファレンス受信)”の削除

<訂正前>

・MB30 (タイムトリガモード時タイムリファレンス送信)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H’100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*1*2		
H’102+N×32	EXTID[15:0]																16	
H’104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*1*2	
H’106+N×32	EXTID_LAFM[15:0]																16	
H’108+N×32	MSG_DATA_0 (最初のRxTxバイト)								MSG_DATA_1								8/16/32	データ
H’10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H’10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H’10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H’110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1		
H’112+N×32	TimeStamp[15:0] (SOFでのTCNTR値)																16	タイムスタンプ
H’114+N×32	タイムリファレンスとしての送信トリガタイム (TTT)																16	トリガタイム

【記号説明】 N：30 (メールボックス番号)

・MB31 (タイムトリガモード時タイムリファレンス受信)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H’100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*1*2		
H’102+N×32	EXTID[15:0]																16	
H’104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*1*2	
H’106+N×32	EXTID_LAFM[15:0]																16	
H’108+N×32	MSG_DATA_0 (最初のRxTxバイト)								MSG_DATA_1								8/16/32	データ
H’10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H’10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H’10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H’110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1		
H’112+N×32	TimeStamp[15:0] (SOFでのTCNTR値)																16	タイムスタンプ

【記号説明】 N：31 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
*2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
上記の図は、MCR.MCR15=B’1 (初期値) の場合の順序です。

<訂正後>

・MB30

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*1*2		
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*1*2	
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1		

【記号説明】 N : 30 (メールボックス番号)

・MB31

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0*1*2		
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM*1*2	
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	MSG_DATA_8								MSG_DATA_9								8/16	

【記号説明】 N : 31 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
 *2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
 上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

18. p22-19 「22.4.2 メッセージコントロールフィールド/(2)メッセージコントロール 1/メールボックス 0 メッセージコントロール 1 (MB0.CONTROL1)」 「NMC」 の説明記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
13	NMC	0	R/W	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUSMRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMRの対応するビットをセットします。</p> <p>【重要】もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>【重要】タイムトリガモード使用時には、メールボックス31のNMCを必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。</p> <p>0：オーバーランモード 1：オーバーライトモード</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
13	NMC	0	R/W	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUSMRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMRの対応するビットをセットします。</p> <p>【重要】もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>0：オーバーランモード 1：オーバーライトモード</p>

19.p22-20 「22.4.2 メッセージコントロールフィールド/(2)メッセージコントロール 1/メールボックス 1~31 メッセージコントロール 1 (MB1.CONTROL1~MB31.CONTROL1)」 「NMC」 の説明記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
13	NMC	0	R/W	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUSMRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMRの対応するビットをセットします。</p> <p>【重要】もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>【重要】タイムトリガモード使用時には、メールボックス31のNMCを必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。</p> <p>0：オーバーランモード 1：オーバーライトモード</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
13	NMC	0	R/W	ニューメッセージコントロール このビットが0にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。 このビットが1にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSR の対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (USMR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。 0：オーバーランモード 1：オーバーライトモード

20.p22-23 「表 22.7 メールボックスの機能の設定」の(MBC2,MBC1,MBC0)=(0,0,0)行の説明列の記述訂正

<訂正前>

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明
0	0	0	可	可	不可	不可	<ul style="list-style-type: none"> •メールボックス0は使用不可能 •タイムトリガ送信は使用可能

<訂正後>

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明
0	0	0	可	可	不可	不可	<ul style="list-style-type: none"> •メールボックス0は使用不可能

21.p22-25 「22.4.4 メッセージデータフィールド」の記述訂正

<訂正前>

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット7からビット0です。

(1) タイムトリガ送信時の注意事項

メールボックス 30 は、C_{MAX}[2:0]≠B'111、MBC[2:0]=B'000 で TXPR1.TXPR[14]= B'1 に設定すると、タイムリファレンス送信用に設定できます。この際、必ず DLC[3:0]には0より大きい値を設定し、RTR ビットは0に設定してください(TTCAN Level 1にて規定)。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG_DATA_0[5:0]にサイクルカウンタ値 (CCR) が埋め込まれてメッセージを送信します。

MSG_DATA_0[7:6]は、メールボックスに格納された値が送信されます。

Next_is_Gap を送信する必要がある場合は、ユーザは MSG_DATA_0[7]を1に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが、メールボックス 30 のメッセージデータフィールドには格納されませんので注意してください。

メールボックス 31 は、C_{MAX}≠B'111、MBC[2:0]=B'011 で設定するとタイムリファレンス受信用に設定されます。有効なリファレンスメッセージを受信すると (ID 一致、DLC[3:0]>0)、RCAN は RFMK およびサイクルカウンタ (CCR) を書き換えることにより、Cycle_Time と Basic_Cycle を同期化します。

MB30, 31

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'108+N×32	Next_Is_Gap/Cycle_Counter (最初のRx/Txバイト)							MSG_DATA_1							8/16/32ビット		データ
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16ビット		

【記号説明】N：31、30（メールボックス番号）

図 22.8 メッセージデータフィールド

<訂正後>

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

22.p22-26 「22.4.5 タイムスタンプ」 「(2) メッセージ受信」 の記述訂正

<訂正前>

メールボックス 0~15 の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ 0 (TTCR0) のビット 14 の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値または CCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

<訂正後>

メールボックス 0~15 の受信メッセージのタイムスタンプには、CYCTR[15:0] (サイクルタイムレジスタ) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

23.p22-26 「22.4.5 タイムスタンプ」 「(3) メッセージ送信」 の記述訂正

<訂正前>

メールボックス 1~15 の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ 0 (TTCR0) のビット 14 の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値または CCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

<訂正後>

メールボックス 1~15 の送信メッセージのタイムスタンプには、CYCTR[15:0] (サイクルタイムレジスタ) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

24.p22-27 「22.4.6 送信トリガタイム (TTT) とタイムトリガコントロール」の削除

<訂正前>

22.4.6 送信トリガタイム (TTT) とタイムトリガコントロール

メールボックス 24~29 では、タイムトリガモード (C_{MAX}≠B'111) で MBC を B'000 に設定すると、送信トリガタイムはタイムウィンドウ間の境界を決定するための Time_Mark として機能します。

(中略)...

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、TTT (メールボックス i) - TTT (メールボックス i-1) > TEW + 最大フレーム長 + 9 を満たすように設定してください。

<訂正後>

22.4.6 の全文、表・図を削除

25.p22-34 「22.5.1 マスタコントロールレジスタ (MCR)」 「MCR2」の説明に対する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを 1 にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>本機能は、メールボックス 24~30 のタイムトリガ送信には使用できませんので注意してください。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。</p> <p>内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0 : メッセージ ID 優先順に送信</p> <p>1 : メールボックス番号順 (メールボックス 31 → メールボックス 1) に送信</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。</p> <p>内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信</p> <p>1: メールボックス番号順 (メールボックス 31 → メールボックス 1) に送信</p>

26. p22-43,p22-44,p22-45,p22-46 「22.5.4 割り込みリクエストレジスタ (IRR)」の「IRR13」, 「IRR10」, 「IRR8」及びビット配置図の記述訂正

<訂正前(ビット配置図)>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

<訂正後(ビット配置図)>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	—	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

<訂正前>

ビット	ビット名	初期値	R/W	説明
13	IRR13	0	R/W	<p>タイマオーバーラン割り込み / Next_is_Gap 受信割り込み / メッセージエラー割り込み 本割り込みは RCAN のモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> • イベントトリガモード (テストモードを含む) で動作中、タイマ (TCNTR) オーバーランが発生。 • タイムトリガモード (テストモードを含む) で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。 <p>0 : イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバーランが発生していない タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : [セット条件] イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>
10	IRR10	0	R/W	<p>スタートシステムマトリックス割り込み 次のシステムマトリックスが開始したことを示します。CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信完了時に本ビットがセットされます。CMAX=0 の場合は、本割り込みはサイクルカウント (Basic Cycle) ごとにセットされます。</p> <p>0 : 新しいシステムマトリックスの先頭でない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : サイクルカウンタが 0 になった</p> <p>[セット条件] CMAX B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了</p>
8	IRR8	0	R	<p>メールボックスエンブティ割り込みフラグ 送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると、本ビットがセットされます。 このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。 タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 24~30 の TXPR は送信完了後にクリアされません。 実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、 セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1 : メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった (タイムトリガモードでは、メールボックス 24~30 はアボート時のみ次のメッセージを格納可能)</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (対応する MBIMR = 0 の場合)</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
13	IRR13	0	R/W	<p>タイマオーバーラン割り込み / メッセージエラー割り込み</p> <p>本割り込みはRCANのモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> • イベントトリガモード（テストモードを含む）で動作中、タイマ（TCNTR）オーバーランが発生。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。 <p>0：イベントトリガモード（テストモードを含む）でタイマ（TCNTR）オーバーランが発生していない</p> <p>テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1： [セット条件] イベントトリガモード（テストモードを含む）でタイマ（TCNTR）オーバーランが発生し、H'FFFF から H'0000 に変化</p> <p>テストモードでメッセージエラーが発生</p>
10	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>
8	IRR8	0	R	<p>メールボックスエンブティ割り込みフラグ</p> <p>送信用に設定されたメッセージの1つが正常に送信（対応するTXACKフラグがセット）または送信アボート（送信キャンセルが実行されたメッセージに対応するABACKフラグがセット）されると、本ビットがセットされます。</p> <p>このときイベントトリガモードでは、対応するTXPRがクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>実際には、本ビットはMBIMRフラグによってマスクされていないTXACKとABACKビットのORを取った信号によってセットされます。したがって、すべてのTXACKおよびABACKビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMRの対応するすべてのビットに1を書き込むことでクリアできます。本ビットに対する書き込みは無効です。</p> <p>0：送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべてのTXACKおよびABACKビットがクリアまたは、セットされたすべてのTXACKおよびABACKビットに対応するMBIMRがセット</p> <p>1：メッセージが送信または送信アボート（送信キャンセル）され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACKまたはABACKビットがセットされたとき（対応するMBIMR=0の場合）</p>

27.p22-49,p22-50 「22.5.5 割り込みマスクレジスタ(IMR)」 「IMR10」 及びビット配置図に関する記述訂正

<訂正前(ビット配置図)>

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
-------	-------	-------	-------	-------	-------	------	------	------	------	------	------	------	------	------	------

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

<訂正後(ビット配置図)>

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

IMR15	IMR14	IMR13	IMR12	IMR11	—	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
-------	-------	-------	-------	-------	---	------	------	------	------	------	------	------	------	------	------

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R R/W R/W R/W R/W R/W R/W R/W R/W R/W

<訂正前>

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRRの対応するビットがセットされてもその割り込み信号は生成されません。 0：対応するIRRをマスクしない（割り込み要因が発生するとIRQが生成される） 1：IRRの対応する割り込みをマスクする

<訂正後>

ビット	ビット名	初期値	R/W	説明
15~11	IMR[15:11]	すべて1	R/W	IRR[15:11]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRRの対応するビットがセットされてもその割り込み信号は生成されません。 0：対応するIRRをマスクしない（割り込み要因が発生するとIRQが生成される） 1：IRRの対応する割り込みをマスクする
10	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。
9~0	IMR[9:0]	すべて1	R/W	IRR[9:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRRの対応するビットがセットされてもその割り込み信号は生成されません。 0：対応するIRRをマスクしない（割り込み要因が発生するとIRQが生成される） 1：IRRの対応する割り込みをマスクする

28. p22-52 「22.6.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)」説明文3段落目に関する記述訂正

<訂正前>

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アポートが行われた後、RCAN は対応する送信待ちフラグをクリアします。タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 30~24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていない場合は、RCAN は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアポートアックノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

<訂正後>

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アポートが行われた後、RCAN は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていない場合は、RCAN は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアポートアックノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

29. p22-61 「表 22.11 RCAN のタイマレジスタの構成」の「CMAX_TEW」, 「RFTROFF」, 「CCR」, 「RFMK」, 「TTTSEL」

削除

<訂正前>

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
サイクルマキシマム / Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTROFF	H'086	16
タイマステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

<訂正後>

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
タイマステータスレジスタ	TSR	H'088	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16

30.p22-62,p22-63 「22.7.1 タイムトリガコントロールレジスタ 0 (TTCR0)」のビット配置図、ビット 14,ビット 5~0 に関する記述訂正

<訂正前(ビット配置図)>

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

<訂正後(ビット配置図)>

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCR15	-	TCR13	TCR12	TCR11	TCR10	-	-	-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

<訂正前>

ビット	ビット名	初期値	R/W	説明
14	TCR14	0	R/W	<p>タイムスタンプ値</p> <p>メールボックス 15~0 の送信および受信タイムスタンプとして、サイクルタイム (CYCTR) を使用するか CCR[5:0] + CYCTR[15:6] を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。</p> <p>本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。</p> <p>0 : メールボックス 15~0 のタイムスタンプに CYCTR[15:0] を使用 1 : メールボックス 15~0 のタイムスタンプに CCR[5:0] + CYCTR[15:6] を使用</p>
5~0	TPSC5~TPSC0	すべて 0	R/W	<p>タイマプリスケアラ</p> <p>本ビットの設定により、タイマのソースクロック (4×[RCAN のシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。TTCAN モードで (CMAX≠B'111) は、自動的に 1 ビットタイミング (=CAN バス上の 1 ビット長) が TCNTR のソースクロックとして選択されます。</p> <p>ソースクロック周期とタイマ周期の関係を以下に示します。</p> <p>000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
14	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
5~0	TPSC5~TPSC0	すべて 0	R/W	<p>タイマプリスケアラ</p> <p>本ビットの設定により、タイマのソースクロック (4×[RCAN のシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。</p> <p>ソースクロック周期とタイマ周期の関係を以下に示します。</p> <p>000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック</p>

31.p22-64,p22-65 「22.7.2 サイクルマキシム/Tx_Enable_Window レジスタ (CMAX_TEW)」の削除

<訂正前>

22.7.2 サイクルマキシム/Tx_Enable_Window レジスタ (CMAX_TEW)

CMAX_TEW は、16 ビットの読み出し/書き込み可能なレジスタです。

(中略)...

ビット	ビット名	初期値	R/W	説明
3-0	TEW[3:0]	0000	R/W	<p>Tx_Enable_Window</p> <p>Tx_Enable_Window 幅を設定します。</p> <p>TEW=B'0000 のとき、ウィンドウ幅は1ビットタイミングとなります。</p> <p>B'0000 ~ B'1111 のすべての値を設定することができます。</p> <p>0000 : Tx_Enable_Window 幅=1</p> <p>0001 : Tx_Enable_Window 幅=2</p> <p>0010 : Tx_Enable_Window 幅=3</p> <p>0011 : Tx_Enable_Window 幅=4</p> <p>:</p> <p>1111 : Tx_Enable_Window 幅=16</p> <p>【注】 RCAN の CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1~2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。</p>

<訂正後>

22.7.2 の全文、表・図を削除

32.p22-65 「22.7.3 リファレンストリガオフセットレジスタ (RFTROFF)」の削除

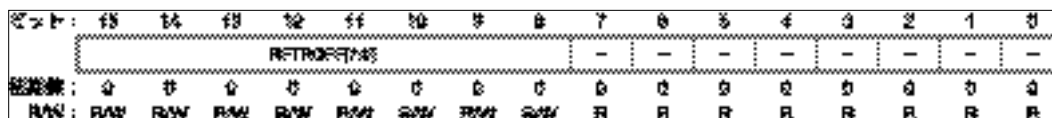
<訂正前>

22.7.3 リファレンストリガオフセットレジスタ (RFTROFF)

RFTROFF は、8 ビットの読み出し／書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム (TTT) に-127~+127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。



ビット	ビット名	初期値	R/W	説明
15~8	RFTROFF [7:0]	すべて 0	R/W	リファレンストリガオフセット値を示します。 00000000 : ref_trigger_offset =+0 00000001 : ref_trigger_offset =+1 00000010 : ref_trigger_offset =+2 : 01111111 : ref_trigger_offset =+127 : 11111111 : ref_trigger_offset =-1 11111110 : ref_trigger_offset =-2 : 10000001 : ref_trigger_offset =-127
7-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

<訂正後>

22.7.3 の全文、表・図を削除

33. p22-66,p22-68 「22.7.4 タイマステータスレジスタ (TSR)」のビット配置図ビット 4,ビット 0 に関する記述訂正

<訂正前(ビット配置図)>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

<訂正後(ビット配置図)>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

<訂正前>

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR=0 のとき、本ビットはタイムリファレンスメッセージの送信 / 受信完了時にセットされます。 0: 次のシステムマトリックスの先頭でない [クリア条件] IRR10 (サイクルカウンタオーバーフロー割り込みフラグ) に1を書き込む 1: サイクルカウンタが0になった [セット条件] サイクルカウンタの値が最大値 (CMAX) から H'0 に変化 CMAX B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了
0	TSR0	0	R*	タイマオーバーラン / Next_is_Gap 受信 / メッセージエラー 本フラグは3つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、タイムトリガモードで動作中に Next_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。 0: イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない [クリア条件] IRR13 に1を書き込む 1: [セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生

<訂正後>

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
0	TSR0	0	R*	タイマオーバーラン / メッセージエラー 本フラグは2つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、 およびテストモード中にCANバス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。 0：イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない テストモードでメッセージエラーが発生していない [クリア条件] IRR13に1を書き込む 1：[セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFFからH'0000に変化 テストモードでメッセージエラーが発生

34. p22-69 「22.7.5 サイクルカウンタレジスタ (CCR)」 の削除

<訂正前>

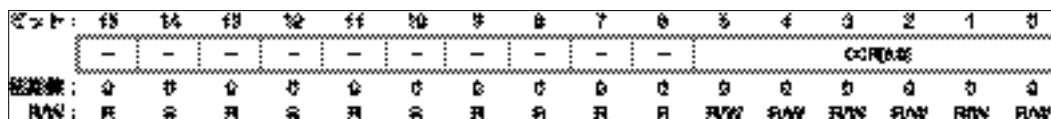
22.7.5 サイクルカウンタレジスタ (CCR)

CCRは、6ビットの読み出し/書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値 (Basic Cycle) を表示するためのレジスタです。

CCRの値は、RCANがポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCRは以下のように更新されます。

(中略)...



ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5-0	CCR[5:0]	すべて0	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

<訂正後>

22.7.3の全文、表・図を削除

35.p22-70 「22.7.6 タイマカウンタレジスタ (TCNTR)」の記述訂正

<訂正前>

TCNTR は、16 ビットの読み出し／書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、RCAN のトリガモードにより変わります。

- イベントトリガモード時 (C_{MAX} = B'111) : TTCR0[5:0]のTPSC値
- タイムトリガモード時 (C_{MAX} = B'111) : CANバス1ビットタイミング

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0 (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは、TCNTR はローカルタイム (Local time) として使用します。したがって、TTCR0[6]=0 に設定してフリーランニングタイマとして動作させます。

【注】 1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
(中略)...

【注】 * 本レジスタへの書き込みは、タイムイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。
タイムトリガモード (C_{MAX} が B'111 以外) では、書き込みは禁止です。

<訂正後>

TCNTR は、16 ビットの読み出し／書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、

TCNTR の値が TCMR0[5:0]の TPSC 値です。

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0 (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

【注】 1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
(中略)...

【注】 * 本レジスタへの書き込みは、タイムイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。

36.p22-70 「22.7.7 サイクルタイムレジスタ (CYCTR)」の記述訂正

<訂正前>

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

Cycle_Time (CYCTR) = Local_Time (TCNTR) - Reference_Mark (RFMK)

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

<訂正後>

本レジスタは TCNTR のコピーとなります。

37.p22-71 「22.7.8 リファレンスマークレジスタ (RFMK)」の削除

<訂正前>

RFMKは、16ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージのSOFにおけるローカルタイム (TCNTR) をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に0にクリアされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージのSOFにおけるTCNTRの値を示します。

<訂正後>

22.7.8の全文、表・図を削除

38.p22-71 「22.7.9 タイマコンペアマッチレジスタ 0~2 (TCMR0~2)」説明文中、第3段落目記述訂正

<訂正前>

TCMR0はTCNTRと比較し、TCMR1とTCMR2はCYCTRと比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0のビット12~10をセットする必要があります。タイムトリガモードでは、TMCR0はInit_Watch_Trigger、TCMR2はWatch_Triggerに使用します。

<訂正後>

TCMR0はTCNTRと比較し、TCMR1とTCMR2はCYCTRと比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0のビット12~10をセットする必要があります。 [REDACTED]

39. p22-73 「22.7.10 送信トリガタイムセレクトレジスタ (TTTSEL)」の削除

<訂正前>

TTTSELは、16ビットの読み出し/書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1ビットのみセットできます。複数のビットをセットしないでください。また、すべてのビットをクリアしないでください。本レジスタは、コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 22.14 に示します。

(中略)...

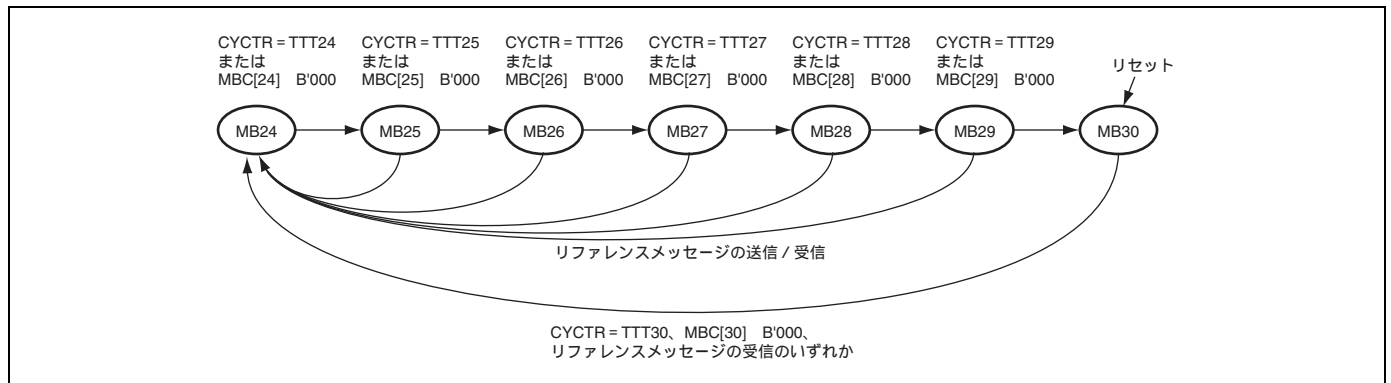


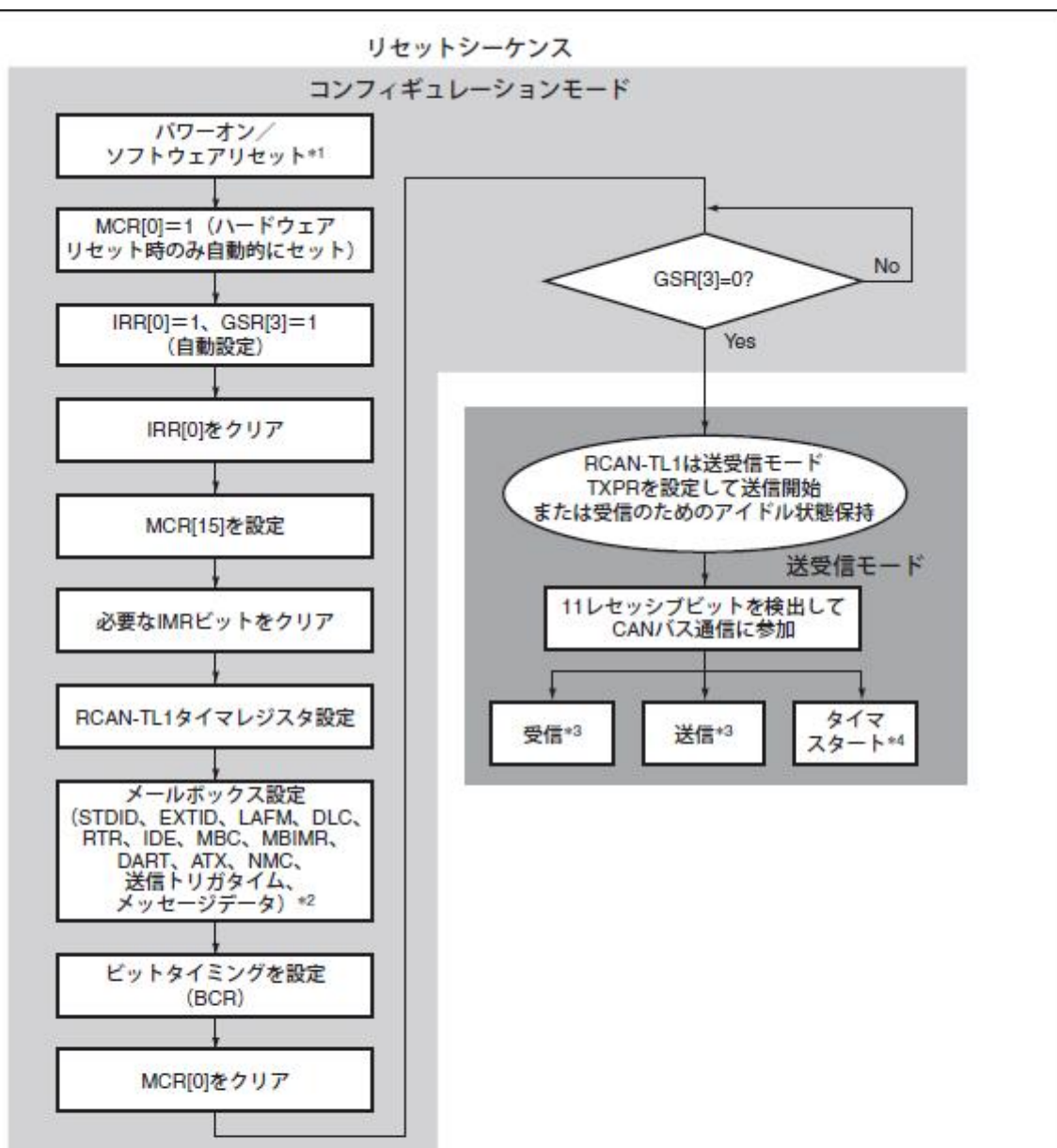
図 22.14 TTTSEL 変更アルゴリズム

<訂正後>

22.7.10 の全文、表・図を削除

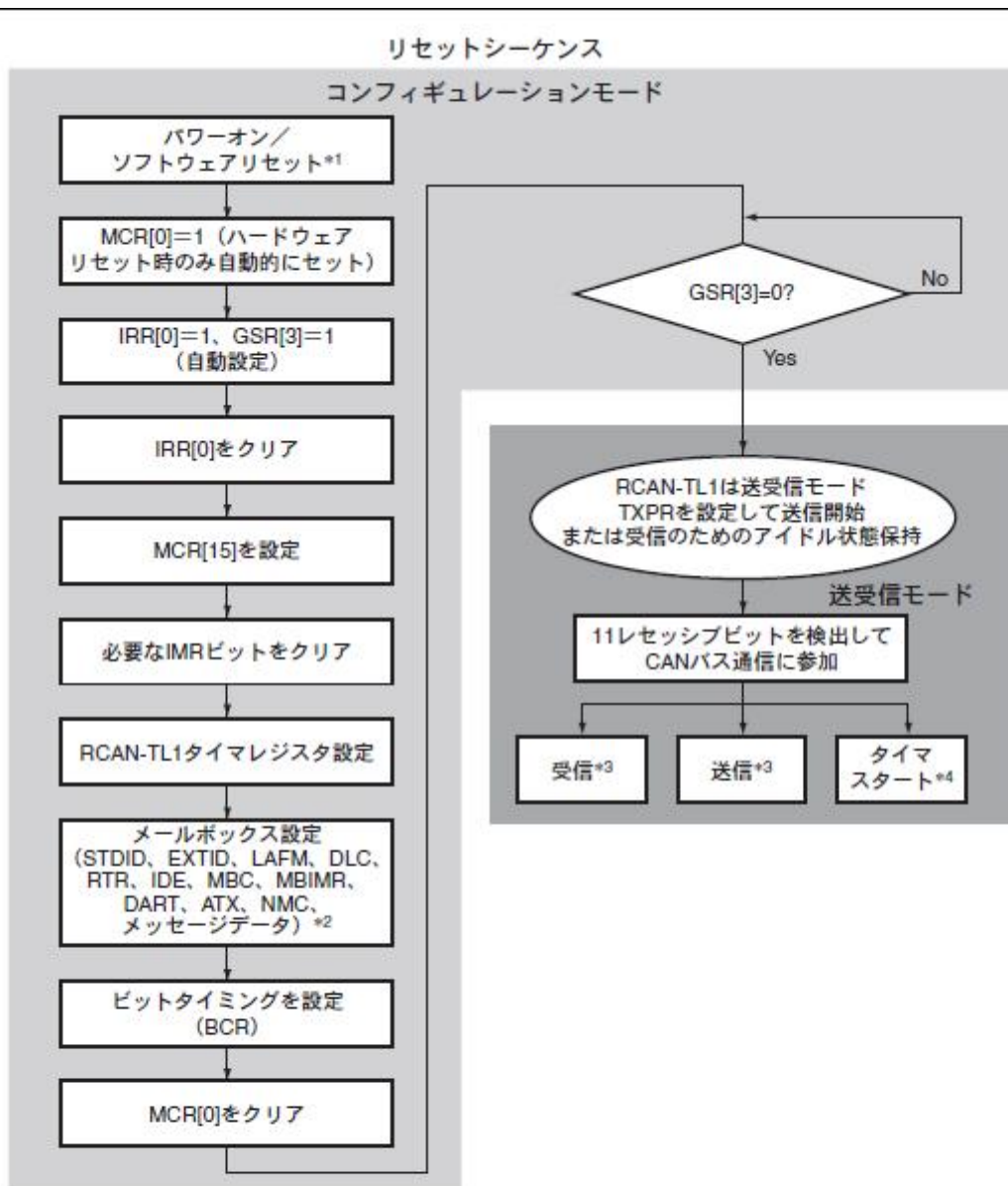
40. p22-75 「図 22.15 リセットシーケンス 図中」及び「【注】*4」の”送信トリガタイム”の削除

<訂正前>



- 【注】 *1 ソフトウェアリセットは、MCR[0]=1を設定することによりいつでも実行できます。
 *2 メールボックスはRAMで構成されていますので、未使用であってもMBCで有効にしたすべてのメールボックスを初期化してください。
 *3 TXPRビットが1つもセットされていないとRCAN-TL1は次のメッセージの受信をします。TXPRが設定されているとRCAN-TL1はメッセージの送信を開始し、CANバスによってアービトレーションされます。アービトレーションに負けると受信状態になります。
 *4 タイマコントロールレジスタおよび送信トリガタイムを設定した後、タイマはいつでも動作を開始することができます。

<訂正後>



- 【注】 *1 ソフトウェアリセットは、MCR[0]=1を設定することによりいつでも実行できます。
 *2 メールボックスはRAMで構成されていますので、未使用であってもMBCで有効にしたすべてのメールボックスを初期化してください。
 *3 TXPRビットが1つもセットされていないとRCAN-TL1は次のメッセージの受信をします。TXPRが設定されているとRCAN-TL1はメッセージの送信を開始し、CANバスによってアービトレーションされます。アービトレーションに負けると受信状態になります。
 *4 タイマコントロールレジスタを設定した後、タイマはいつでも動作を開始することができます。

41. p22-79 「表 22.12 アクセス可能なレジスタ」の記述訂正、「メールボックス(トリガタイム、TTコントロール)」列削除

<訂正前>

ステータス モード	レジスタ								
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ TTレジ スタ	フラグ レジスタ	メール ボックス (コント ロール0、 LAFM)	メール ボックス (データ)	メール ボックス (コント ロール1)	メール ボックス (トリガ タイム、 TTコント ロール)
リセット	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
...
CAN スリープ モード	Yes	Yes	No	No	No	No	No	No	No

<訂正後>

ステータス モード	レジスタ								
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ	フラグ レジスタ	メール ボックス (コント ロール0、 LAFM)	メール ボックス (データ)	メール ボックス (コント ロール1)	
リセット	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
...	
CAN スリープ モード	Yes	Yes	No	No	No	No	No	No	

42.p22-84~p22.91 「22.8.3 メッセージ送信シーケンス」の(3),(4),(5),(6),(7),(8),(9),(10)削除

<訂正前>

(3) タイムトリガ送信

RCAN は、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

(中略)...

(4) 各レジスタの役割

RCAN のユーザレジスタを使用して、TTCAN 規格が要求する主な機能を扱うことができます。

(中略)...

(5) タイムマスタ/タイムスレーブ

RCAN は、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。

各モードに必要な設定と RCAN が自動的に行う処理を下記の表に示します。

(中略)...

(6) 送信トリガタイムの設定

送信トリガタイム (TTT) は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。

式中の TEW はレジスタ値です。

(中略)...

(7) ソフトウェアで実装する機能

TTCAN の機能には、ソフトウェアで実装する必要があるものがあります。主な機能を以下に示します。詳細は ISO-11898-4 を参照してください。

(中略)...

(8) メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

(9) タイムトリガ通信のメッセージ送信リクエスト

タイムトリガモードを使用する場合、ISO11898-4 の要求事項を満たさなければなりません。

以下の手順を行ってください。

(中略)...

(10) タイムトリガシステムの例

タイムスレーブモードの RCAN を使用して、タイムトリガシステムが動作する簡単な例を図 22.24 に示します。

(中略)...

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。RCAN がタイムマスタの場合、MBC[30]=B'000 としなければならず、タイムリファレンスウィンドウは自動的にアービトライティングウィンドウと認識されます。

<訂正後>

(3)~(10)までの全文、表・図を削除

43.p22-91,p22-92 「22.8.3 メッセージ送信シーケンス」の(11)の記述訂正及び、図 22.25 (3),(4),(5)削除

<訂正前>

(11) タイマ動作

図 22.25 にタイマのタイミング図を示します。送信トリガタイム=n と設定すると、タイムトリガ送信は、CYCTR=n+2 から CYCTR=n+3 の間に開始します。

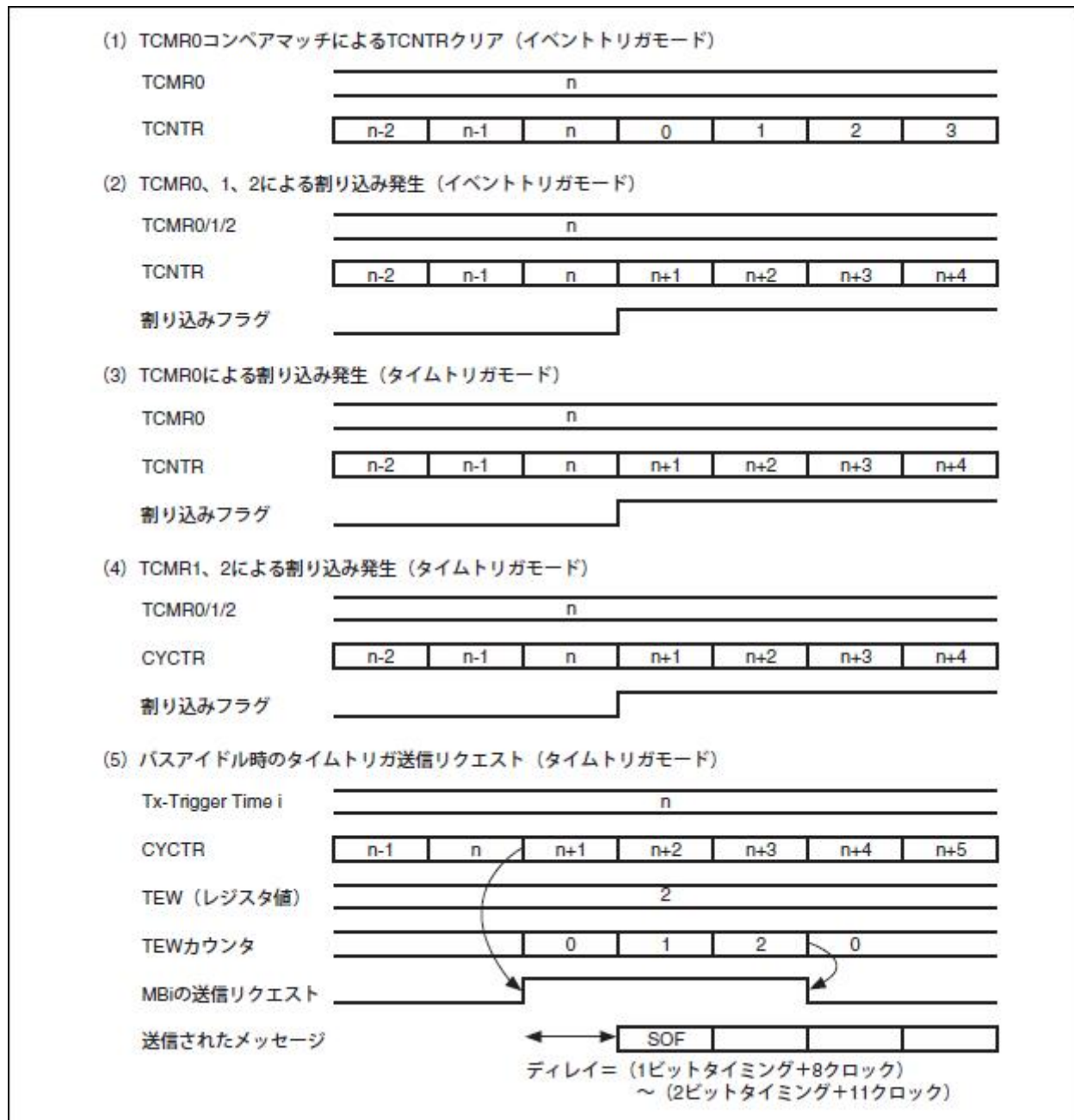


図 22.25 タイマのタイミング図

マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイムトリガ送信完了後に処理されます。たとえば、メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイムトリガ送信の TXPR は送信完了後にクリアされませんが、イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

表 22.6 を参照してください。

<訂正後>

(3) タイマ動作

図 22.15 にタイマのタイミング図を示します。



図 22.15 タイマのタイミング図

■

44. p22-97 「表 22.15 RCAN0、RCAN1 の割り込み要因」の”スタートシステムマトリックス”(IRR10)の削除、IRR13の”Next_is_Gap”の削除

<訂正前>

モジュール名	種類	割り込み要因		割り込みフラグ (IRR レジスタ)
RCAN0 RCAN1 共通	エラー処理	エラーバッシュ (TEC 128 または REC 128)		IRR5
		バスオフ (TEC 256) / バスオフからの復帰		IRR6
		送信エラーワーニング (TEC 96)		IRR3
		受信エラーワーニング (REC 96)		IRR4
	オーバーラン処理	リセット / ホルト / CAN スリープ遷移		IRR0
		オーバーロードフレーム送信		IRR7
		未読メッセージのオーバーライト (オーバーラン)		IRR9
		スタートシステムマトリックス		IRR10
		TCMR2 コンペアマッチ		IRR11
		CAN スリープ中 CAN バス動作の検出		IRR12
		タイマオーバーラン / Next_is_Gap / メッセージエラー		IRR13
		TCMR0 コンペアマッチ		IRR14
		TCMR1 コンペアマッチ		IRR15
		メールボックス処理	メールボックス 0 受信 (MB0) * ³⁾	データフレーム受信
	リモートフレーム受信			IRR2* ¹⁾
	メールボックス 1~31 受信 (MB1~MB31) * ⁴⁾		データフレーム受信	IRR1* ²⁾
リモートフレーム受信			IRR2* ¹⁾	
メッセージの送信 / 送信取り消し (スロットエンプティ)			IRR8	

<訂正後>

モジュール名	種類	割り込み要因		割り込みフラグ (IRR レジスタ)
RCAN0 RCAN1 共通	エラー処理	エラーバッシュ (TEC 128 または REC 128)		IRR5
		バスオフ (TEC 256) / バスオフからの復帰		IRR6
		送信エラーワーニング (TEC 96)		IRR3
		受信エラーワーニング (REC 96)		IRR4
	オーバーラン処理	リセット / ホルト / CAN スリープ遷移		IRR0
		オーバーロードフレーム送信		IRR7
		未読メッセージのオーバーライト (オーバーラン)		IRR9
		[REDACTED]		[REDACTED]
		TCMR2 コンペアマッチ		IRR11
		CAN スリープ中 CAN バス動作の検出		IRR12
		タイマオーバーラン / [REDACTED] メッセージエラー		IRR13
		TCMR0 コンペアマッチ		IRR14
		TCMR1 コンペアマッチ		IRR15
		メールボックス処理	メールボックス 0 受信 (MB0) * ³⁾	データフレーム受信
	リモートフレーム受信			IRR2* ¹⁾
	メールボックス 1~31 受信 (MB1~MB31) * ⁴⁾		データフレーム受信	IRR1* ²⁾
リモートフレーム受信			IRR2* ¹⁾	
メッセージの送信 / 送信取り消し (スロットエンプティ)			IRR8	

以上