

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A857A/J	Rev.	第1版
題名	SH7734 ユーザーズマニュアル ハードウェア編の訂正(HSPD)		情報分類	技術情報	
適用製品	SH7734	対象ロット等	関連資料	SH7734 ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0233JJ0200)	
		全ロット			

SH7734 のユーザーマニュアルの「18. シリアルペリフェラルインターフェイス (HSPD)」に誤記訂正及び記述訂正があります。
 下記において、網掛け部分が追加箇所になります。

【訂正内容】

1. p18-1 「18.1.1 特長」の訂正

<訂正前>

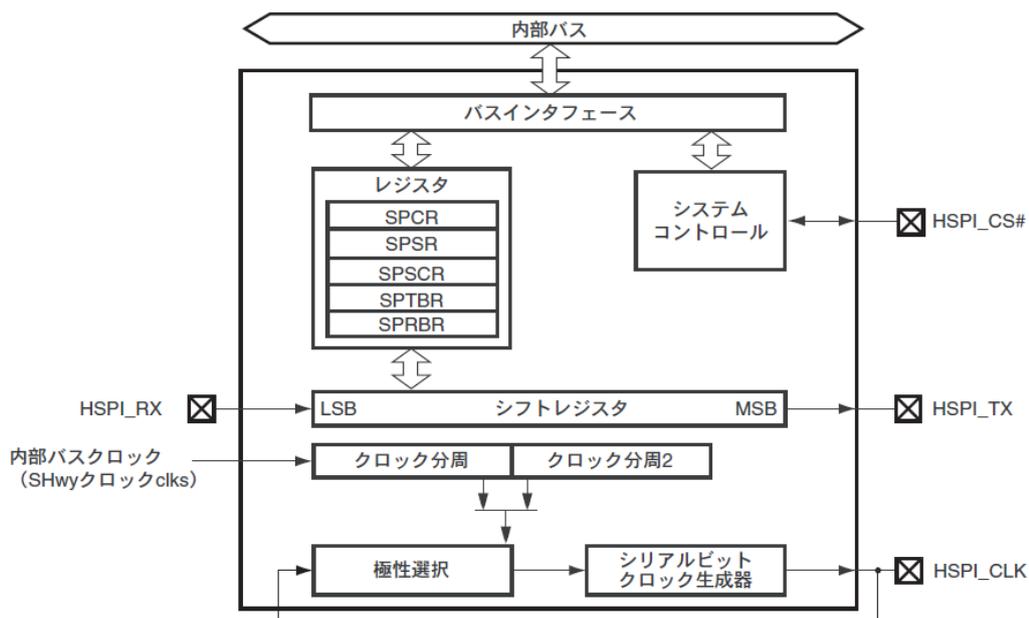
- ・送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

<訂正後>

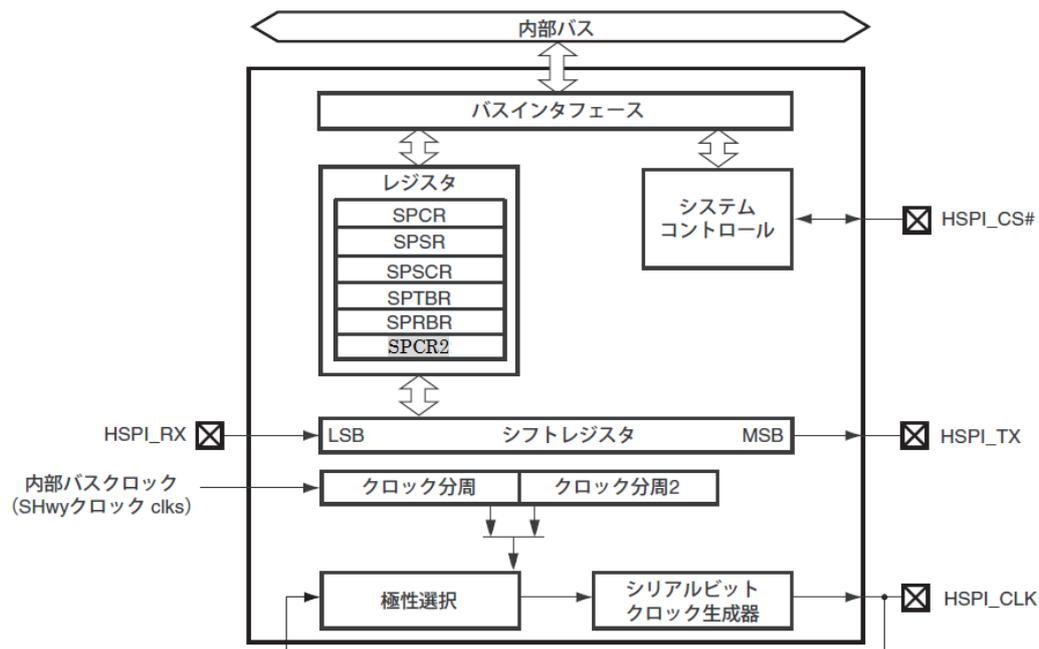
送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。DMA転送を用いた高速モードは、マスタモードのTxとRxをサポート

2. p18-2 「図 18.1 HSPI のブロック図」の訂正

<訂正前>



<訂正後>



p18-3 「表 18.2(1) レジスタ構成」の訂正

<訂正前>

レシーブバッファレジスタ	SPRBR	R	H'10	32
--------------	-------	---	------	----

<訂正後>

レシーブバッファレジスタ	SPRBR	R	H'10	32
コントロールレジスタ 2	SPCR2	R/W	H'14	32

3. p18-3 「表 18.2(2) 各処理状態におけるレジスタの状態」の訂正

<訂正前>

SPRBR	初期化	初期化	保持	保持	保持	初期化
-------	-----	-----	----	----	----	-----

<訂正後>

SPRBR	初期化	初期化	保持	保持	保持	初期化
SPCR2	初期化	初期化	保持	保持	保持	初期化

【訂正内容】 p18-10 「18.2.6 コントロールレジスタ (SPCR2)」 追記

<訂正前>記載なし

<訂正後>

18.2.6 コントロールレジスタ 2 (SPCR2)

SPCR は、32 ビットの読み出し/書き込み可能なレジスタで、SPCR レジスタで設定されるよりも高速の転送を行う場合、転送データのクロック周波数を設定します。DMA 転送を用いた高速モードは、マスタモードの Tx と Rx サポート。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HFE	-	-	-	-	CKH P4	CKH P3	CKH P2	CKH P1	CKH P0	CKC YC5	CKC YC4	CKC YC3	CKC YC2	CKC YC1	CKC YC0
初期値：	0	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
15	HFE	0	R/W	高速転送イネーブル SPCR2 で設定された分周比のシリアルクロック生成を有効にします。 0 : SPCR2 で設定したクロック設定が無効です。 1 : SPCR2 で設定したクロック設定が有効になります。
14~11	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
10~6	CKHP	0	R/W	シリアルクロック・HIGH 期間 シリアルビットクロックの HIGH 期間を SHwy クロック (clks) の (サイクル数) で設定します。 CKCYC で設定した周期の半分のサイクルが、HIGH となるように設定しなかった場合は、デューティが 50 : 50 から大きく外れますので注意してください。

ビット	ビット名	初期値	R/W	説明
5~0	CKCYC	0	R/W	シリアルクロック・周期 シリアルビットクロックの周期を SHwy クロック (clks) の (サイクル数 - 1) で設定します。 シリアルビットクロック周波数の最大値は 20 MHz となります。 下記の計算式に従い、CKCYC には 9 以上の値を設定してください。

シリアルビットクロック周波数は以下の計算式で求められます。

$$\text{シリアルビットクロック周波数} = \frac{\text{SHwy (内部バス) クロック周波数}}{(\text{CKCYC} + 1)}$$

SPCR の FBS または CLKP、IDIV、CLKC ビットのいずれかが変更された場合に加え、SPCR2 のいずれかのビットが変更された場合、HSPI はソフトリセットされます。

レジスタ設定とシリアルビットクロック周波数を示します。

CKCYC[5:0]	CKHP[4:0]	シリアルビットクロック周波数	デューティ
D'9	D'5	SHwy クロック周波数 / 10	50%
D'11	D'6	SHwy クロック周波数 / 12	50%
D'13	D'7	SHwy クロック周波数 / 14	50%
D'15	D'8	SHwy クロック周波数 / 16	50%
D'17	D'9	SHwy クロック周波数 / 18	50%
D'63	D'32	SHwy クロック周波数 / 64	50%

4. p18-14 「18.3.5 ソフトリセット」の訂正

<訂正前>

SPCR と SPSCR の割り込み/DMA イネーブルビットとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。

<訂正後>

SPCR/SPCR2 と SPSCR の割り込み/DMA イネーブルビットとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。

以上。