

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A698A/J	Rev.	第1版
題名	SH7125 グループ、SH7124 グループのハードウェアマニュアルの訂正		情報分類	技術情報	
適用製品	・ SH7125 グループ	対象ロット等	関連資料	・ SH7125 グループ、SH7124 グループ ハードウェアマニュアル (RJJ09B0249-0400 Rev.4.00)	
	・ SH7124 グループ	全ロット			

SH7125 グループ、SH7124 グループの製品追加およびハードウェアマニュアルの誤記訂正のご連絡を致します。
詳細は、以下をご参照ください。

<誤記訂正内容>

「1章 概要」 1.1 SH7125、SH7124 の特長 表 1.1 SH7125、SH7124 の特長に以下のように追記します。

【変更前】

ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> ・ アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能 ・ シーケンシャルブレイク機能をサポート ・ 2本のブレイクチャンネル
内蔵 ROM	<ul style="list-style-type: none"> ・ 128K バイト (SH71253、SH71243) ・ 64K バイト (SH71252、SH71242) ・ 32K バイト (SH71241)

ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> ・ E10A エミュレータのサポート
----------------------------	--

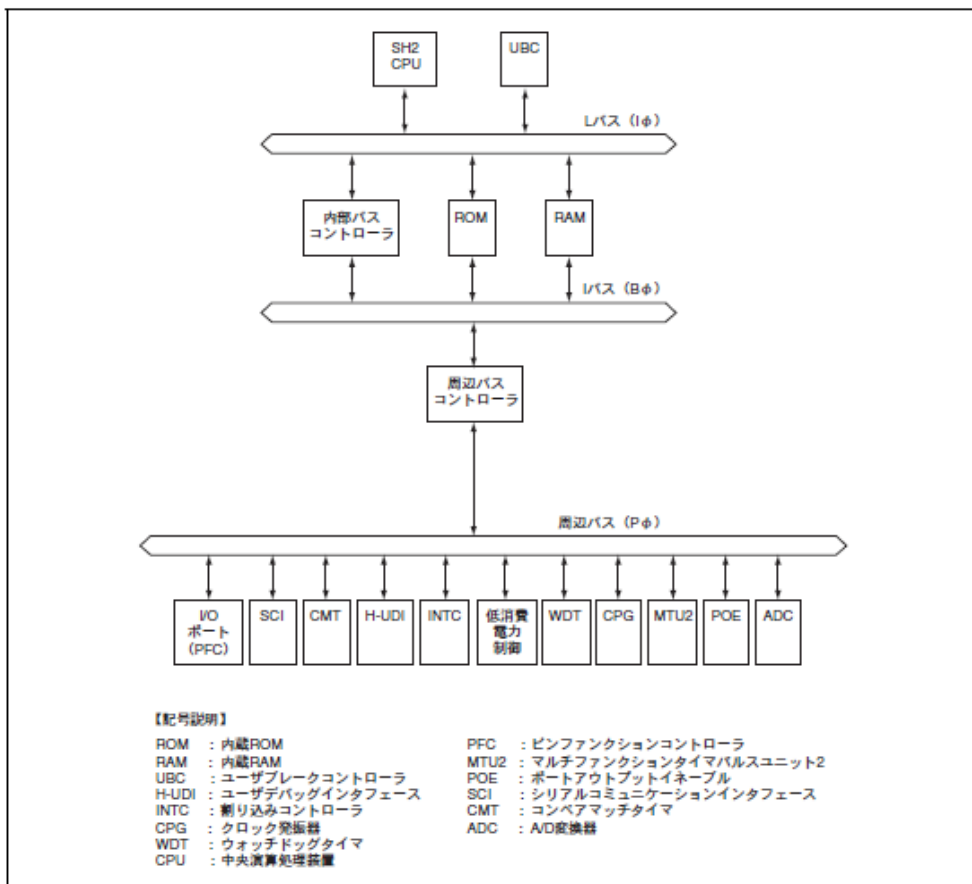
【変更後】

ユーザブレイク コントローラ (UBC) 16K バイト版 (SH71250A、SH71240A) 32K バイト版 (SH71251A、SH71241A) はサポートしていません。	<ul style="list-style-type: none"> ・ アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能 ・ シーケンシャルブレイク機能をサポート ・ 2本のブレイクチャンネル
内蔵 ROM	<ul style="list-style-type: none"> ・ 128K バイト (SH71253、SH71243) ・ 64K バイト (SH71252、SH71242) ・ 32K バイト (SH71241A、SH71251A) ・ 16K バイト (SH71240A、SH71250A)

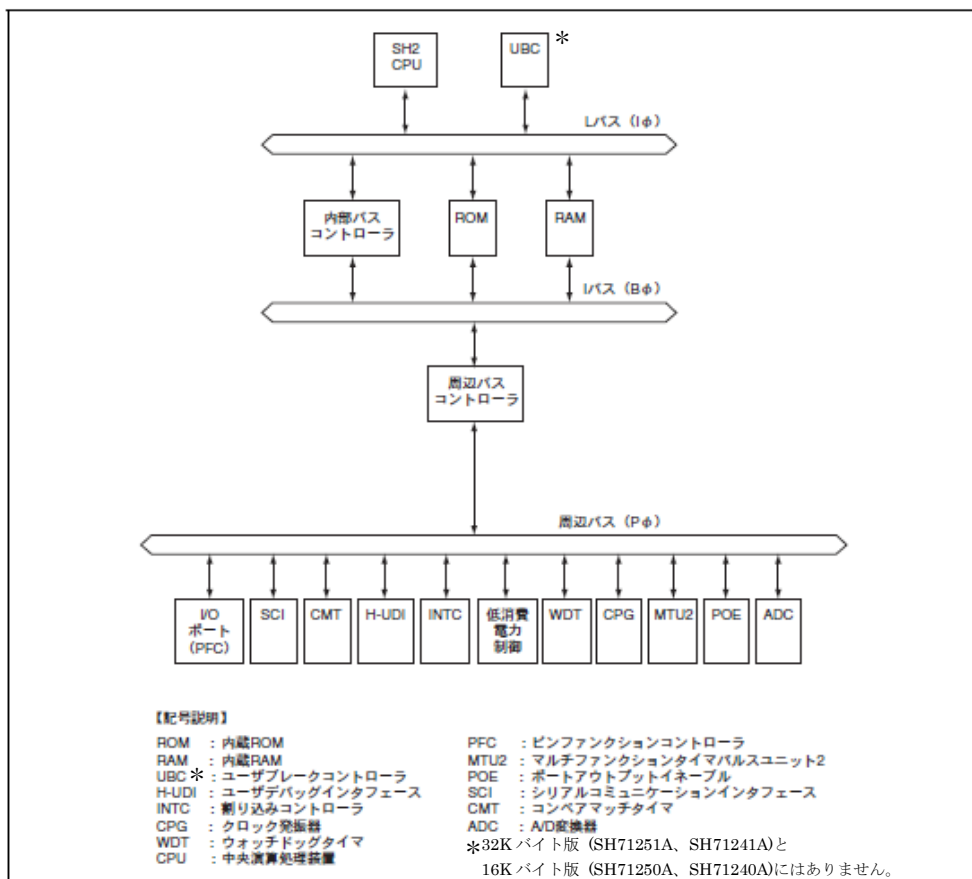
ユーザデバッグ インタフェース (H-UDI) 16K バイト版 (SH71250A、SH71240A) 32K バイト版 (SH71251A、SH71241A) はサポートしていません。	<ul style="list-style-type: none"> ・ E10A エミュレータのサポート
--	--

「1章 概要」 1.2 ブロック図の図 1.1 SH7125、SH7124 のブロック図に以下のように追記します。

【変更前】



【変更後】



「1章 概要」 1.4 端子機能の表 1.2 端子機能に以下のように追記修正します。

【変更前】

ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。

E10A インタフェース	ASEMDO	入力	ASE モード	ASE モードを設定します。 本端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。何も入力されないときは内部でプルアップします。
	ASEBRK	入力	ブレーク要求	E10A エミュレータブレーク入力です。
	ASEBRKAK	出力	ブレークモード アクノリッジ	E10A エミュレータがブレークモードに入ったことを示します。

【変更後】

ユーザデバッグ インタフェース (H-UDI) 16K バイト版 (SH71250A、SH71240A) 32K バイト版 (SH71251A、SH71241A) では本端子機能はサポート されていません。	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。

E10A インタフェース	ASEMDO*	入力	ASE モード	ASE モードを設定します。 本端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。何も入力されないときは内部でプルアップします。
	ASEBRK*	入力	ブレーク要求	E10A エミュレータブレーク入力です。
	ASEBRKAK*	出力	ブレークモード アクノリッジ	E10A エミュレータがブレークモードに入ったことを示します。

* 16K バイト版(SH71250A、SH71240A)および 32K バイト版(SH71251A、SH71241A)では ASEMDO を H 固定してください。また、ASEBRK、ASEBRKAK 機能はサポートされません。

「3章 MCU 動作モード」 3.4 アドレスマップの図 3.3 を以下のように変更します。

【変更前】

図 3.3 SH7124 (フラッシュメモリ 32KB 版)のアドレスマップ

【変更後】

図 3.3 SH71251A,SH71241A (フラッシュメモリ 32KB 版)のアドレスマップ

「3章 MCU動作モード」 3.4 アドレスマップに図3.4 を以下のように追加します。

【変更後】

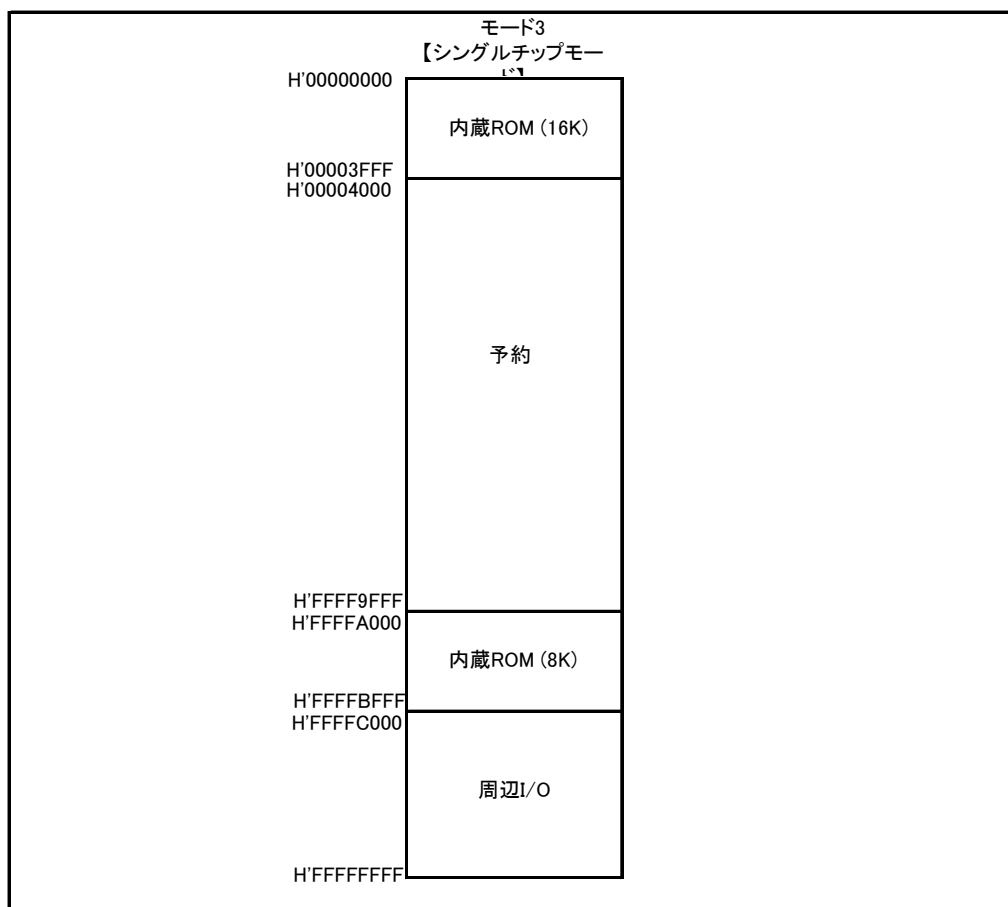


図3.4 SH71250A,SH71240A (フラッシュメモリ16KB版)のアドレスマップ

「3章 MCU動作モード」 3.6 動作モード変更時の注意事項の図3.4 を以下のように修正します。

【変更前】

図3.4 動作モード変更時のリセット入力タイミング

【変更後】

図3.5 動作モード変更時のリセット入力タイミング

「4章 クロック発振器(CPG)」 4.1 特長の表4.1 各モジュールの動作クロックを以下のように追記します。

【変更前】

動作クロック	該当モジュール
内部クロック (IΦ)	CPU UBC ROM RAM
バスクロック (BΦ)	—

【変更後】

動作クロック	該当モジュール
内部クロック (IΦ)	CPU UBC * ROM RAM
バスクロック (BΦ)	—

* 16K バイト版(SH71250A、SH71240A)および
32K バイト版(SH71251A、SH71241A)には UBC は存在しません。

「5章 例外処理」 5.1.1 例外処理の種類と優先順位の表 5.1 例外要因の種類と優先順位を以下のように追記します。

【変更前】

割り込み	ユーザブレーク(命令実行前ブレーク)
・	・
割り込み	ユーザブレーク(命令実行後ブレーク、またはオペランドブレーク)

【変更後】

割り込み	ユーザブレーク(命令実行前ブレーク)*3
・	・
割り込み	ユーザブレーク(命令実行後ブレーク、またはオペランドブレーク)*3

*3 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では、
ユーザブレーク割り込みは発生しません。

「5章 例外処理」 5.1.3 例外処理ベクタテーブルの表 5.3 例外処理ベクタテーブルを以下のように追記します。

【変更前】

割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレーク	12	H'00000030 ~ H'00000033

【変更後】

割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレーク*	12	H'00000030 ~ H'00000033

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)ではリザーブです。

「5章 例外処理」 5.4.1 割り込み要因の表 5.7 割り込み要因を以下のように追記します。

【変更前】

ユーザブレーク	ユーザブレークコントローラ(UBC)	1
---------	--------------------	---

【変更後】

ユーザブレーク*	ユーザブレークコントローラ(UBC)	1*
----------	--------------------	----

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)にはユーザブレーク割り込みは発生しません。

「5章 例外処理」 5.4.2 割り込み優先順位の表 5.8 割り込み優先順位を以下のように追記します。

【変更前】

ユーザブレイク	15	優先レベル固定
---------	----	---------

【変更後】

ユーザブレイク*	15	優先レベル固定
----------	----	---------

* 32K版(SH71251A、SH71241A)および16K版(SH71250A、SH71240A)にはユーザブレイク割り込みは発生しません。

「6章 割り込みコントローラ(INTC)」 6.1 特長の図 6.1 INTCのブロック図を以下のように追記します。

【変更前】

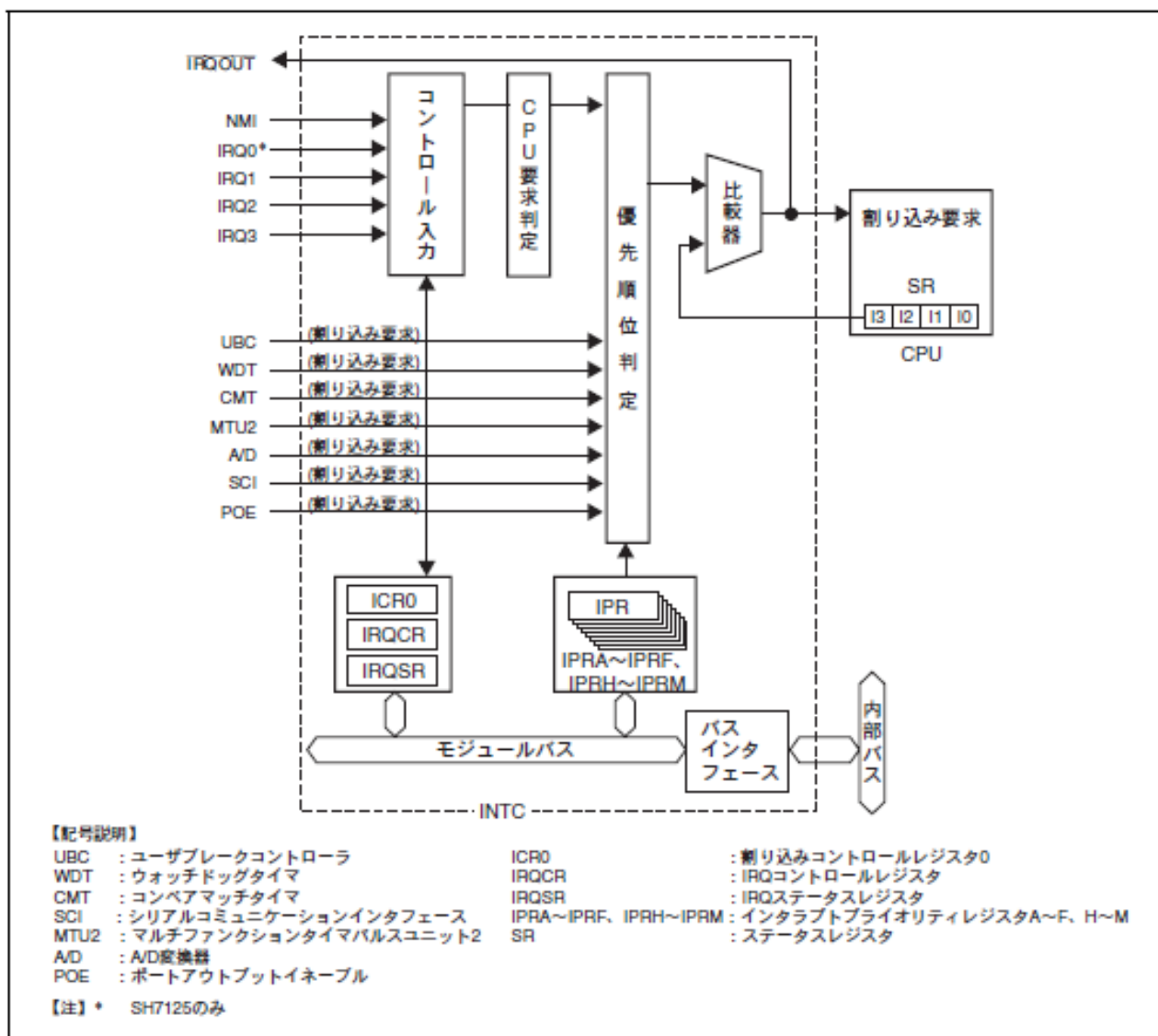


図 6.1 INTCのブロック図

【変更後】

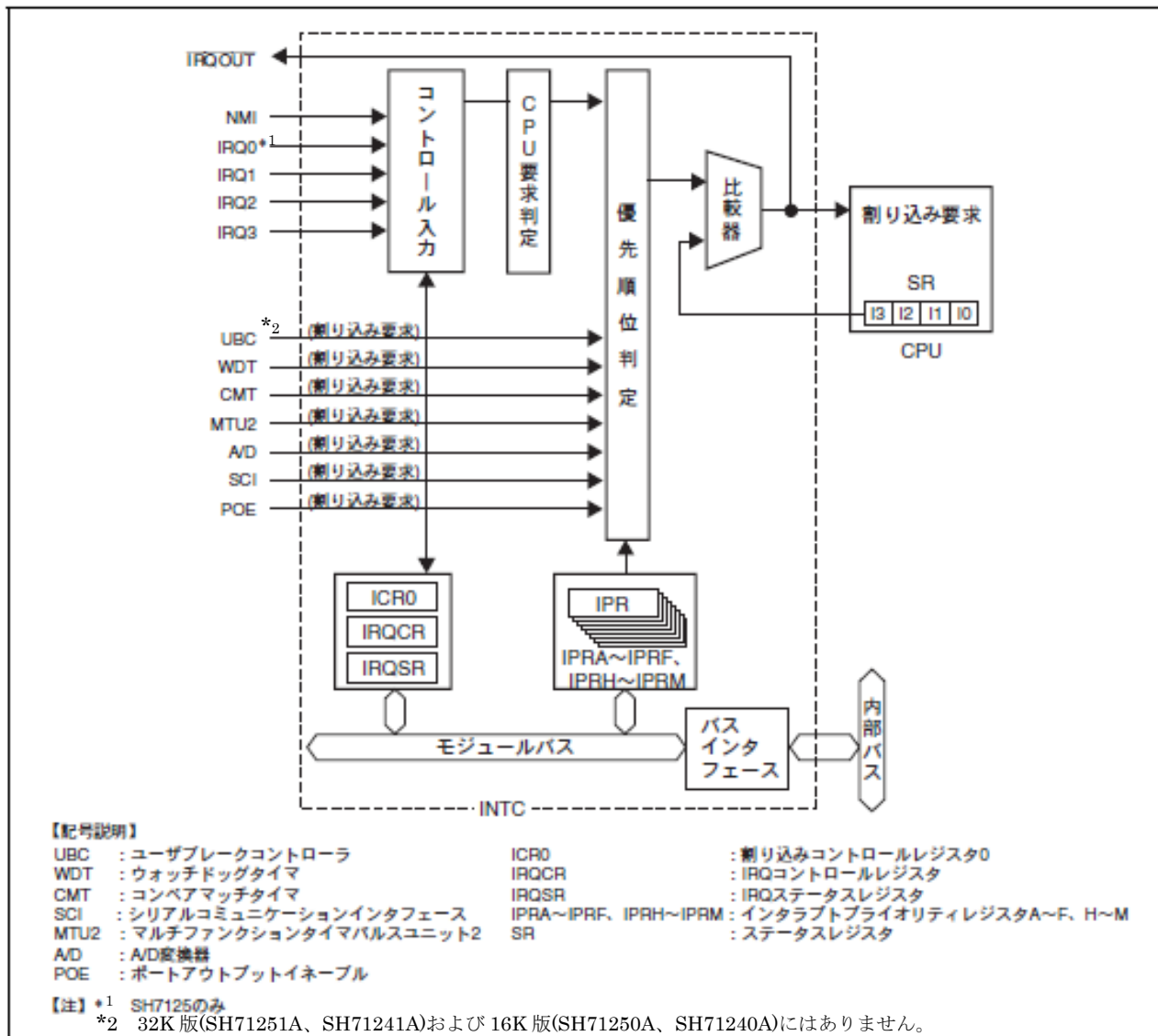


図 6.1 INTC のブロック図

「6章 割り込みコントローラ(INTC)」 6.4.3 ユーザブレイク割り込みを以下のように追記します。

【変更前】

6.4.3 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は 15 に設定されます。ユーザブレイクの詳細は、「第 7 章 ユーザブレイクコントローラ (UBC)」を参照してください。

【変更後】

6.4.3 ユーザブレーク割り込み*

ユーザブレーク割り込みは、ユーザブレークコントローラ（UBC）で設定したブレーク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレーク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレーク例外処理によって、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）は15に設定されます。ユーザブレークの詳細は、「第7章 ユーザブレークコントローラ（UBC）」を参照してください。

* 32K版(SH71251A、SH71241A)および16K版(SH71250A、SH71240A)ではユーザブレーク割り込みは発生しません。

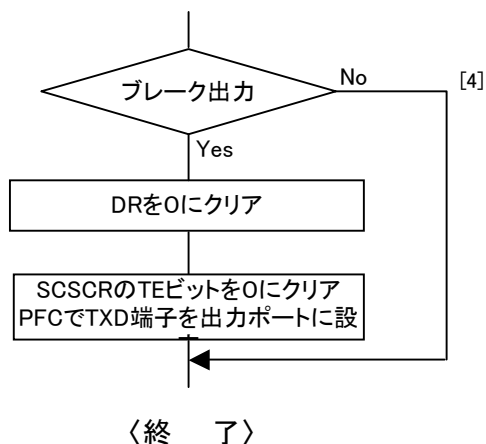
「7章 ユーザブレークコントローラ(UBC)」 7.1 特長の5の下に以下の【注】を追記します。

【変更後】

【注】 32K版(SH71251A、SH71241A)および16K版(SH71250A、SH71240A)ではユーザブレークコントローラを内蔵していません。

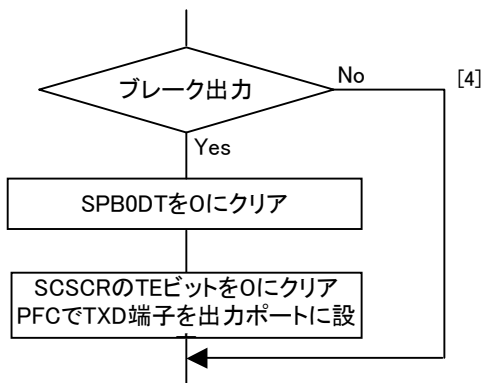
「12章 シリアルコミュニケーションインターフェース(SCI)」 12.4.5 マルチプロセッサシリアルデータ送信の図12.16 マルチプロセッサシリアル送信のフローチャートの例を以下のように修正します。

【変更前】



[4] シリアル送信の終了時にブレークを出力:
シリアル送信時にブレークを出力するときに
は、
ポートのデータレジスタ(DR)を0にクリア
した後にSCSCRのTEビットを0にクリアし、
PFCでTXD端子を出力ポートに設定します。

【変更後】



[4] シリアル送信の終了時にブレイクを出力:
シリアル送信時にブレイクを出力するときには、
シリアルポートレジスタ(SCSPTR)のSPB0DT
ビット
を0にクリアした後にSCSCRのTEビットを0に

〈終了〉

「10章 ポートアウトプットイネーブル(POE2)」 10.5 割り込みの表 10.5 割り込み要求の種類と条件を以下のように修正します。

【変更前】

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル 割り込み 1	POE3F、POE1F、POE0F、OSF1	PIE1・(POE3F+POE1F+POE0F)+ OIE1・OSF1
OEI3	アウトプットイネーブル 割り込み 2	POE8F	PIE3・POE8F

【変更後】

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル 割り込み 1	POE3F、POE1F、POE0F、OSF1	PIE1・(POE3F+POE1F+POE0F)+ OIE1・OSF1
OEI3	アウトプットイネーブル 割り込み 3	POE8F	PIE3・POE8F

「15章 ピンファンクションコントローラ(PFC)」 表 15.1 マルチプレクス一覧表 (SH7125)を以下のように追記します。

【変更前】

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA0 入出力(ポート)	POE0 入力 (POE)	RXD0 入力 (SCI)	—	—
	PA1 入出力(ポート)	POE1 入力 (POE)	TXD0 出力 (SCI)	—	—
	PA2 入出力(ポート)	IRQ0 入力 (INTC)	SCK0 出力 (SCI)	—	—
	PA3 入出力(ポート)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	TRST 入力 (H-UDI)	—
	PA4 入出力(ポート)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	TMS 入力 (H-UDI)	—
	PA5 入出力(ポート)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	—	—
	PA6 入出力(ポート)	TCLKA 入力 (MTU2)	—	—	—
	PA7 入出力(ポート)	TCLKB 入力 (MTU2)	SCK2 入出力 (SCI)	TCK 入力 (H-UDI)	—
	PA8 入出力(ポート)	TCLKC 入力 (MTU2)	RXD2 入力 (SCI)	TDI 入力 (H-UDI)	—
	PA9 入出力(ポート)	TCLKD 入力 (MTU2)	TXD2 出力 (SCI)	POE8 入力 (POE)	TDO 出力 (H-UDI)
⋮	⋮	⋮	⋮	⋮	

【注】 A/D 変換中は AN 入力機能が有効となります。

【変更後】

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA0 入出力(ポート)	POE0 入力 (POE)	RXD0 入力 (SCI)	—	—
	PA1 入出力(ポート)	POE1 入力 (POE)	TXD0 出力 (SCI)	—	—
	PA2 入出力(ポート)	IRQ0 入力 (INTC)	SCK0 出力 (SCI)	—	—
	PA3 入出力(ポート)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	TRST 入力 (H-UDI)*2	—
	PA4 入出力(ポート)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	TMS 入力 (H-UDI) *2	—
	PA5 入出力(ポート)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	—	—
	PA6 入出力(ポート)	TCLKA 入力 (MTU2)	—	—	—
	PA7 入出力(ポート)	TCLKB 入力 (MTU2)	SCK2 入出力 (SCI)	TCK 入力 (H-UDI) *2	—
	PA8 入出力(ポート)	TCLKC 入力 (MTU2)	RXD2 入力 (SCI)	TDI 入力 (H-UDI) *2	—
	PA9 入出力(ポート)	TCLKD 入力 (MTU2)	TXD2 出力 (SCI)	POE8 入力 (POE)	TDO 出力(H-UDI) *2
・	・	・	・	・	・

【注】1 A/D 変換中は AN 入力機能が有効となります。

2 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)には、本機能(TRST,TMS,TCK,TDI,TDO)はありません。

「15 章 ピンファンクションコントローラ(PFC)」 表 15.2 マルチプレクス一覧表 (SH7124)を以下のように追記します。

【変更前】

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA0 入出力(ポート)	POE0 入力 (POE)	RXD0 入力 (SCI)	—	—
	PA1 入出力(ポート)	POE1 入力 (POE)	TXD0 出力 (SCI)	—	—
	PA2 入出力(ポート)	IRQ0 入力 (INTC)	SCK0 出力 (SCI)	—	—
	PA3 入出力(ポート)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	TRST 入力 (H-UDI)	—
	PA4 入出力(ポート)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	TMS 入力 (H-UDI)	—
	PA5 入出力(ポート)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	—	—
	PA6 入出力(ポート)	TCLKA 入力 (MTU2)	—	—	—
	PA7 入出力(ポート)	TCLKB 入力 (MTU2)	SCK2 入出力 (SCI)	TCK 入力 (H-UDI)	—
	PA8 入出力(ポート)	TCLKC 入力 (MTU2)	RXD2 入力 (SCI)	TDI 入力 (H-UDI)	—
	PA9 入出力(ポート)	TCLKD 入力 (MTU2)	TXD2 出力 (SCI)	POE8 入力 (POE)	TDO 出力 (H-UDI)
・	・	・	・	・	・

【注】 A/D 変換中は AN 入力機能が有効となります。

【変更後】

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA0 入出力(ポート)	POE0 入力 (POE)	RXD0 入力 (SCI)	—	—
	PA1 入出力(ポート)	POE1 入力 (POE)	TXD0 出力 (SCI)	—	—
	PA2 入出力(ポート)	IRQ0 入力 (INTC)	SCK0 出力 (SCI)	—	—
	PA3 入出力(ポート)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	TRST 入力 (H-UDI)*2	—
	PA4 入出力(ポート)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	TMS 入力 (H-UDI) *2	—
	PA5 入出力(ポート)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	—	—
	PA6 入出力(ポート)	TCLKA 入力 (MTU2)	—	—	—
	PA7 入出力(ポート)	TCLKB 入力 (MTU2)	SCK2 入出力 (SCI)	TCK 入力 (H-UDI) *2	—
	PA8 入出力(ポート)	TCLKC 入力 (MTU2)	RXD2 入力 (SCI)	TDI 入力 (H-UDI) *2	—
	PA9 入出力(ポート)	TCLKD 入力 (MTU2)	TXD2 出力 (SCI)	POE8 入力 (POE)	TDO 出力(H-UDI) *2
.

【注】 1 A/D 変換中は AN 入力機能が有効となります。

2 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)には、本機能(TRST,TMS,TCK,TDI,TDO)はありません。

「15章 ピンファンクションコントローラ(PFC)」 表 15.3 動作モード別端子機能一覧 (SH7125)を以下のように追記します。

【変更前】

【注】 * E10A 使用時 (ASEMD0=Low レベル時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。

【変更後】

【注】 *1 E10A 使用時 (ASEMD0=Low レベル時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。

*2 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A を使用できません。

「15章 ピンファンクションコントローラ(PFC)」 表 15.4 動作モード別端子機能一覧 (SH7124)を以下のように追記します。

【変更前】

【注】 * E10A 使用時 (ASEMD0=Low レベル時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。

【変更後】

【注】 *1 E10A 使用時 (ASEMD0=Low レベル時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。

*2 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A を使用できません。

「15章 ピンファンクションコントローラ(PFC)」 15.1.2 ポート A コントロールレジスタ L1~L4(PACRL1~PACRL4)を以下のように追記します。

【変更前】

(1)SH7125 の場合

・ポート A コントロールレジスタ L3(PACRL3)

6	PA9MD2	0	R/W	PA9 モードビット PA9/TCLKD/TXD2/TDO/POE8 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TDO 出力に固定されます。 000 : PA9 入出力 (ポート) 001 : TCLKD 入力 (MTU2) 110 : TXD2 出力 (SCI) 111 : POE8 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	

2	PA8MD2	0	R/W	PA8 モードビット PA8/TCLKC/RXD2/TDI 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TDI 入力に固定されます。 000 : PA8 入出力 (ポート) 001 : TCLKC 入力 (MTU2) 110 : RXD2 入力 (SCI) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

・ポート A コントロールレジスタ L2(PACRL2)

14	PA7MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	

2	PA4MD2	0	R/W	PA4 モードビット PA4/IRQ2/TXD1/TMS 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TMS 入力に固定されます。 000 : PA4 入出力 (ポート) 001 : TXD1 出力 (SCI) 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

・ポート A コントロールレジスタ L1(PACRL1)

14	PA3MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	

(2)SH7124 の場合

・ポート A コントロールレジスタ L3(PACRL3)

6	PA9MD2	0	R/W	PA9 モードビット PA9/TCLKD/TXD2/TDO/POE8 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TDO 出力に固定されます。 000 : PA9 入出力 (ポート) 001 : TCLKD 入力 (MTU2) 110 : TXD2 出力 (SCI) 111 : POE8 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	

2	PA8MD2	0	R/W	PA8 モードビット PA8/TCLKC/RXD2/TDI 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TDI 入力に固定されます。 000 : PA8 入出力 (ポート) 001 : TCLKC 入力 (MTU2) 110 : RXD2 入力 (SCI) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

・ポート A コントロールレジスタ L2(PACRL2)

14	PA7MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	

2	PA4MD2	0	R/W	PA4 モードビット PA4/IRQ2/TXD1/TMS 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TMS 入力に固定されます。 000 : PA4 入出力 (ポート) 001 : TXD1 出力 (SCI) 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

・ポート A コントロールレジスタ L1(PACRL1)

14	PA3MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時 (ASEMD0=Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	

【変更後】

(1)SH7125 の場合

・ポート A コントロールレジスタ L3(PACRL3)

6	PA9MD2	0	R/W	PA9 モードビット PA9/TCLKD/TXD2/TDO/POE8 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時) は TDO 出力に固定されます。 000 : PA9 入出力 (ポート) 001 : TCLKD 入力 (MTU2) 110 : TXD2 出力 (SCI) 111 : POE8 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	

2	PA8MD2	0	R/W	PA8 モードビット PA8/TCLKC/RXD2/TDI 端子の機能を選びます。E10A 使用時* (ASEMD0= Low レベル時) は TDI 入力に固定されます。 000 : PA8 入出力 (ポート) 001 : TCLKC 入力 (MTU2) 110 : RXD2 入力 (SCI) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A を使用できません。

・ポート A コントロールレジスタ L2(PACRL2)

14	PA7MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時* (ASEMD0= Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	

2	PA4MD2	0	R/W	PA4 モードビット PA4/IRQ2/TXD1/TMS 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時) は TMS 入力に固定されます。 000 : PA4 入出力 (ポート) 001 : TXD1 出力 (SCI) 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A を使用できません。

・ポート A コントロールレジスタ L1(PACRL1)

14	PA3MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時* (ASEMD0= Low レベル時) は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A を使用できません。

(2)SH7124 の場合

・ポート A コントロールレジスタ L3(PACRL3)

6	PA9MD2	0	R/W	PA9 モードビット PA9/TCLKD/TXD2/TDO/POE8 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時)は TDO 出力に固定されます。 000 : PA9 入出力 (ポート) 001 : TCLKD 入力 (MTU2) 110 : TXD2 出力 (SCI) 111 : POE8 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	

2	PA8MD2	0	R/W	PA8 モードビット PA8/TCLKC/RXD2/TDI 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時)は TDI 入力に固定されます。 000 : PA8 入出力 (ポート) 001 : TCLKC 入力 (MTU2) 110 : RXD2 入力 (SCI) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A は使用できません。

・ポート A コントロールレジスタ L2(PACRL2)

14	PA7MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時)は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	

2	PA4MD2	0	R/W	PA4 モードビット PA4/IRQ2/TXD1/TMS 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時)は TMS 入力に固定されます。 000 : PA4 入出力 (ポート) 001 : TXD1 出力 (SCI) 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A は使用できません。

・ポート A コントロールレジスタ L1(PACRL1)

14	PA3MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1/TRST 端子の機能を選びます。E10A 使用時* (ASEMD0=Low レベル時)は TRST 入力に固定されます。 000 : PA3 入出力 (ポート) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	

* 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では E10A は使用できません。

「16章 I/Oポート」 16.1 ポートAの図16.1と図16.2を以下のように追記します。

【変更前】

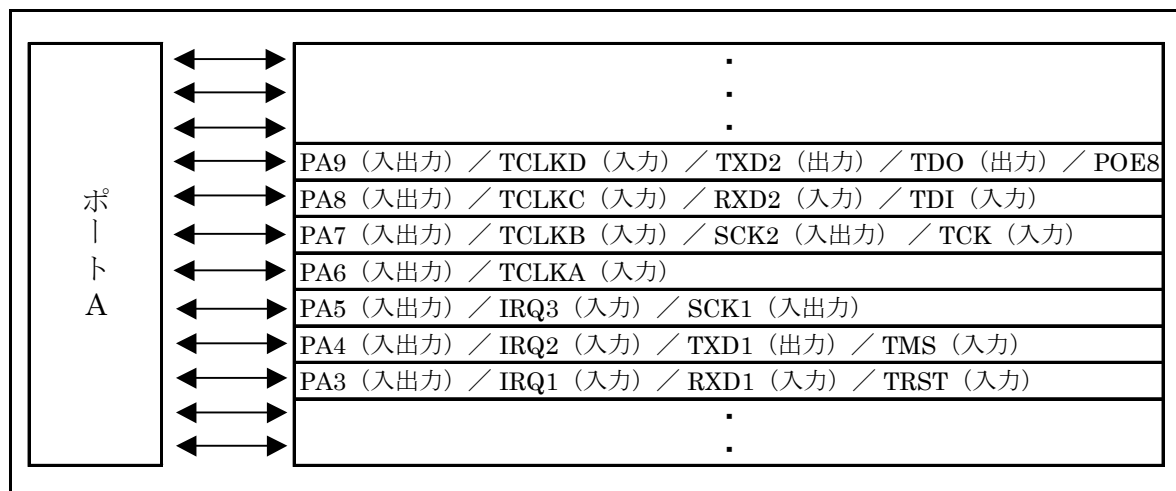


図16.1 ポートA (SH7125の場合)

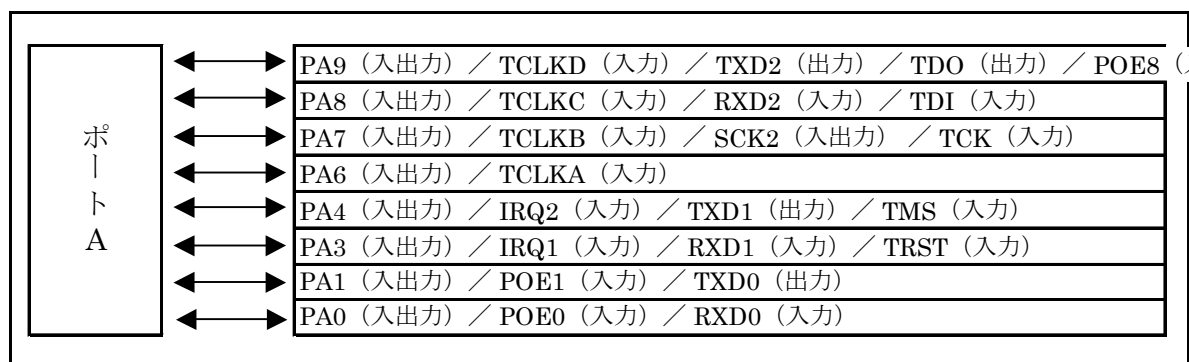
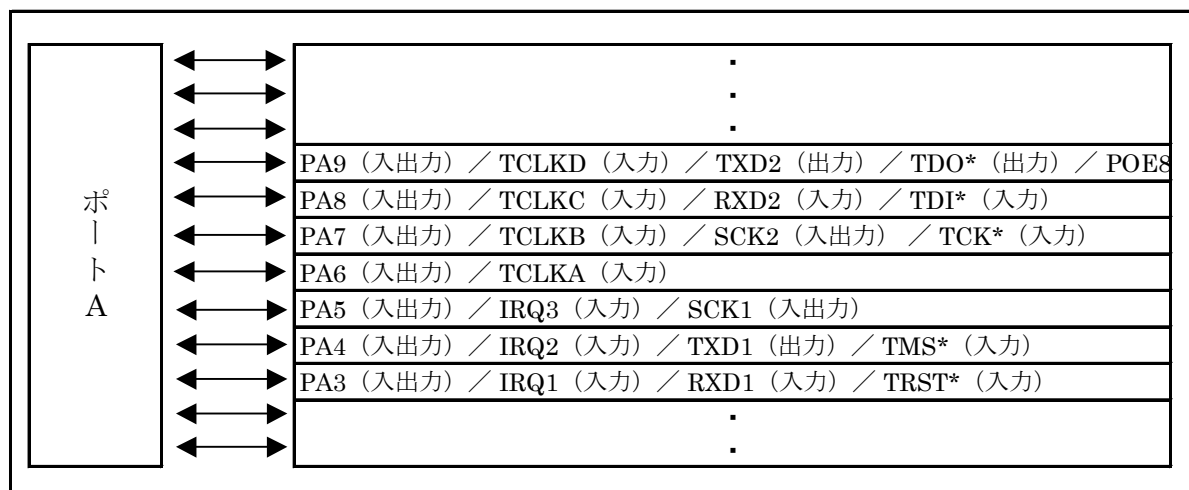


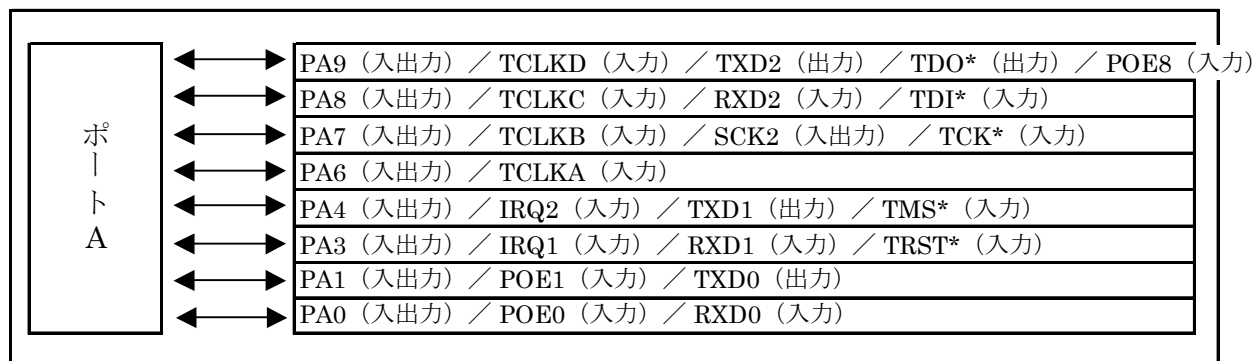
図16.2 ポートA (SH7124の場合)

【変更後】



* 32K版(SH71251A)および16K版(SH71250A)ではTDO,TDI,TCK,TMS,TRST端子はありません。

図16.1 ポートA (SH7125の場合)



* 32K版(SH71241A)および16K版(SH71240A)ではTDO,TDI,TCK,TMS,TRST端子はありません。

図16.2 ポートA (SH7124の場合)

「17章 フラッシュメモリ」 17.1 特長を以下のように追記修正します。

【変更前】

・容量

SH71253、SH71243：128KB
 SH71252、SH71242：64KB
 SH71241：32KB

・2種類のオンボードプログラミングモードと、1種類のオフボードプログラミングモード

オンボードプログラミングモード

ブートモード

内蔵 SCI インタフェースを使用するプログラムモードで、ユーザマットの書き換えができます。本モードでは、ホストと本 LSI 間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマットの書き換えができます。32KB のフラッシュメモリでは使用できません。

【変更後】

・容量

SH71253、SH71243：128KB
 SH71252、SH71242：64KB
 SH71251A、SH71241A：32KB
 SH71240A、SH71240A：16KB

・2種類のオンボードプログラミングモードと、1種類のオフボードプログラミングモード

オンボードプログラミングモード

ブートモード

内蔵 SCI インタフェースを使用するプログラムモードで、ユーザマットの書き換えができます。本モードでは、ホストと本 LSI 間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマットの書き換えができます。32KB および 16KB のフラッシュメモリでは使用できません。

「17章 フラッシュメモリ」 17.2.5 ブロック分割を以下のように追記修正します。

【変更前】

ユーザマツトは、図 17.4 に示すように 64KB (128KB 品は 1 ブロック)、32KB (1 ブロック)、4KB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0~EB9 の消去ブロック番号で指定します。なお、32KB 品の SH71241 は、16KB (2 ブロック) に分割されています。

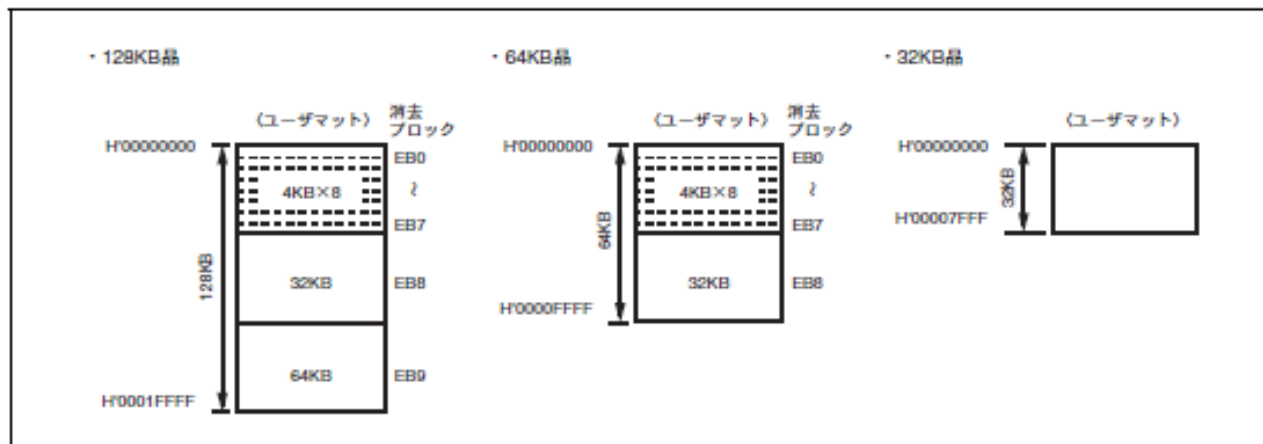


図 17.4 ユーザマツトのブロック分割

【変更後】

ユーザマツトは、図 17.4 に示すように 64KB (128KB 品は 1 ブロック)、32KB (1 ブロック)、4KB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0~EB9 の消去ブロック番号で指定します。なお、32KB 品の SH71251A、SH71241A および 16KB 品の SH71250A、SH71240A は、分割されていません。

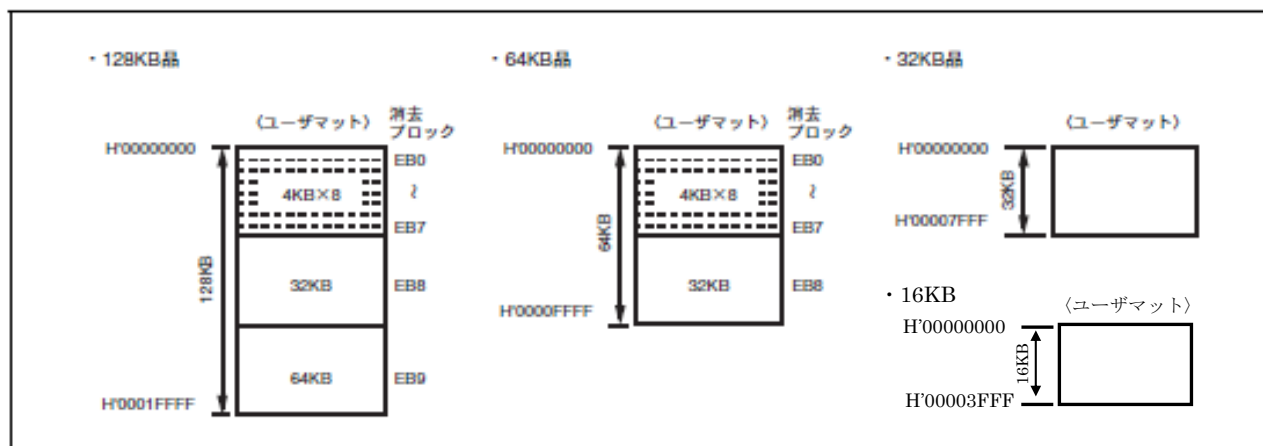


図 17.4 ユーザマツトのブロック分割

「19章 低消費電力モード」 19.3.5 スタンバイコントロールレジスタ 5(STBCR5)の下の部分に【注】を追記します。

【変更後】

【注】 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では、書き込む場合、初期値 11 を書き込んでください。

「20章 レジスタ一覧」 20.1 レジスタアドレス一覧(アドレス順)のP20-8 UBCの部分を以下のように追記修正します。

【変更前】

レジスタ名	名前	幅	アドレス	UBC	幅	基準
ブ레이크アドレスレジスタ A	BARA	32	H'FFFFFF300	UBC	32	Bφ基準
ブ레이크アドレスマスクレジスタ A	BAMRA	32	H'FFFFFF304		32	B:2, W:2, L:2
ブ레이크バスサイクルレジスタ A	BBRA	16	H'FFFFFF308		16	
ブ레이크データレジスタ A	BDRA	32	H'FFFFFF310		32	
ブ레이크データマスクレジスタ A	BDMRA	32	H'FFFFFF314		32	
ブ레이크アドレスレジスタ B	BARB	32	H'FFFFFF320		32	
ブ레이크アドレスマスクレジスタ B	BAMRB	32	H'FFFFFF324		32	
ブ레이크バスサイクルレジスタ B	BBRB	16	H'FFFFFF328		16	
ブ레이크データレジスタ B	BDRB	32	H'FFFFFF330		32	
ブ레이크データマスクレジスタ B	BDMRB	32	H'FFFFFF334		32	
ブ레이크コントロールレジスタ	BRCR	32	H'FFFFFF3C0		32	
ブランチソースレジスタ	BRSR	32	H'FFFFFF3D0		32	
ブランチデスティネーションレジスタ	BRDR	32	H'FFFFFF3D4		32	
実行回数ブ레이크レジスタ	BETR	16	H'FFFFFF3DC		16	

【変更後】

レジスタ名	名前	幅	アドレス	UBC	幅	基準
ブ레이크アドレスレジスタ A *	BARA	32	H'FFFFFF300	UBC	32	Bφ基準
ブ레이크アドレスマスクレジスタ A *	BAMRA	32	H'FFFFFF304		32	B:2, W:2, L:2
ブ레이크バスサイクルレジスタ A *	BBRA	16	H'FFFFFF308		16	
ブ레이크データレジスタ A *	BDRA	32	H'FFFFFF310		32	
ブ레이크データマスクレジスタ A *	BDMRA	32	H'FFFFFF314		32	
ブ레이크アドレスレジスタ B *	BARB	32	H'FFFFFF320		32	
ブ레이크アドレスマスクレジスタ B *	BAMRB	32	H'FFFFFF324		32	
ブ레이크バスサイクルレジスタ B *	BBRB	16	H'FFFFFF328		16	
ブ레이크データレジスタ B *	BDRB	32	H'FFFFFF330		32	
ブ레이크データマスクレジスタ B *	BDMRB	32	H'FFFFFF334		32	
ブ레이크コントロールレジスタ *	BRCR	32	H'FFFFFF3C0		32	
ブランチソースレジスタ *	BRSR	32	H'FFFFFF3D0		32	
ブランチデスティネーションレジスタ *	BRDR	32	H'FFFFFF3D4		32	
実行回数ブ레이크レジスタ *	BETR	16	H'FFFFFF3DC		16	

* UBC のレジスタは 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)では存在しません。アクセスしないでください。

「20章 レジスタ一覧」 20.1 レジスタビット一覧のP20-19, P20-20 UBCの部分を以下のように追記修正します。

【変更前】

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	

・
・

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BRCR	—	—	—	—	—	—	—	—	UBC
	—	—	—	—	UBIDB	—	UBIDA	—	
	SCMFCA	SCMFCA	SCMFDA	SCMFDDB	PCTE	PCBA	—	—	
	DBEA	PCBB	DBEB	—	SEQ	—	—	ETBE	
BRSR	SVF	—	—	—	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BRDR	DVF	—	—	—	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BETR	—	—	—	—	BET[11:8]				
	BET[7:0]								

【変更後】

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC *
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	

・
・

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BRCR	—	—	—	—	—	—	—	—	UBC *
	—	—	—	—	UBIDB	—	UBIDA	—	
	SCMFCA	SCMFCB	SCMFDA	SCMFDB	PCTE	PCBA	—	—	
	DBEA	PCBB	DBEB	—	SEQ	—	—	ETBE	
BRSR	SVF	—	—	—	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BRDR	DVF	—	—	—	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BETR	—	—	—	—	BET[11:8]				
	BET[7:0]								

* UBC のレジスタは 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)には存在しません。アクセスしないでください。

「20 章 レジスタ一覧」 20.3 各動作モードにおけるレジスタの状態の【注】に以下に追記します。

【変更後】

*4 32K 版(SH71251A、SH71241A)および 16K 版(SH71250A、SH71240A)には UBC のレジスタが存在しません。

「付録」 付録-5 B. 型名一覧 を以下のように追記修正します。

【変更前】

製品分類		製品型名		パッケージ(パッケージコード)	
SH7125	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71253N50FP	LQFP-64 (FP-64K)	
		産業用途	R5F71253D50FP		
		民生用途	R5F71253N50FA	QFP-64 (FP-64H)	
		産業用途	R5F71253D50FA		
		民生用途	R5F71253N50NP	VQFN-64 (TNP-64BV)	
		産業用途	R5F71253D50NP		
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71252N50FP	LQFP-64 (FP-64K)	
		産業用途	R5F71252D50FP		
		民生用途	R5F71252N50FA	QFP-64 (FP-64H)	
		産業用途	R5F71252D50FA		
	SH7124	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71243N50FP	LQFP-48 (FP-48F)
			産業用途	R5F71243D50FP	
フラッシュメモリ版 (64KB 内蔵品)		民生用途	R5F71242N50FP	VQFN-52	
		産業用途	R5F71242D50FP		
フラッシュメモリ版 (32KB 内蔵品)		民生用途	R5F71242N50NP	LQFP-48 (FP-48F)	
		産業用途	R5F71242D50NP		
		フラッシュメモリ版 (32KB 内蔵品)	民生用途	R5F71241N50FP	VQFN-52
			産業用途	R5F71241D50FP	
フラッシュメモリ版 (32KB 内蔵品)		民生用途	R5F71241N50NP	VQFN-52	
		産業用途	R5F71241D50NP		

【変更後】

製品分類		製品型名		パッケージ(パッケージコード)
SH7125	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71253N50FP	LQFP-64 (FP-64K)
		産業用途	R5F71253D50FP	
		民生用途	R5F71253N50FA	QFP-64 (FP-64H)
		産業用途	R5F71253D50FA	
		民生用途	R5F71253N50NP	VQFN-64 (TNP-64BV)
		産業用途	R5F71253D50NP	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71252N50FP	LQFP-64 (FP-64K)
		産業用途	R5F71252D50FP	
		民生用途	R5F71252N50FA	QFP-64 (FP-64H)
		産業用途	R5F71252D50FA	
		民生用途	R5F71252N50NP	VQFN-64 (TNP-64BV)
		産業用途	R5F71252D50NP	
	フラッシュメモリ版 (32KB 内蔵品)	民生用途	R5F71251AN50FP	LQFP-64 (FP-64K)
		産業用途	R5F71251AD50FP	
		民生用途	R5F71251AN50FA	QFP-64 (FP-64H)
		産業用途	R5F71251AD50FA	
		民生用途	R5F71251AN50NP	VQFN-64 (TNP-64BV)
		産業用途	R5F71251AD50NP	
	フラッシュメモリ版 (16KB 内蔵品)	民生用途	R5F71250AN50FP	LQFP-64 (FP-64K)
		産業用途	R5F71250AD50FP	
民生用途		R5F71250AN50FA	QFP-64 (FP-64H)	
産業用途		R5F71250AD50FA		
民生用途		R5F71250AN50NP	VQFN-64 (TNP-64BV)	
産業用途		R5F71250AD50NP		
SH7124	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71243N50FP	LQFP-48 (FP-48F)
		産業用途	R5F71243D50FP	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71242N50FP	VQFN-52
		産業用途	R5F71242D50FP	
		民生用途	R5F71242N50NP	VQFN-52
		産業用途	R5F71242D50NP	
	フラッシュメモリ版 (32KB 内蔵品)	民生用途	R5F71241AN50FP	LQFP-48 (FP-48F)
		産業用途	R5F71241AD50FP	
		民生用途	R5F71241AN50NP	VQFN-52
		産業用途	R5F71241AD50NP	
	フラッシュメモリ版 (16KB 内蔵品)	民生用途	R5F71240AN50FP	LQFP-48 (FP-48F)
		産業用途	R5F71240AD50FP	
民生用途		R5F71240AN50NP	VQFN-52	
産業用途		R5F71240AD50NP		