

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ  
問合せ窓口 <http://japan.renesas.com/inquiry>  
E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-SH7-A629A/J	Rev.	第1版
題名	SH7125 グループ、SH7124 グループのハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>SH7125 グループ</li> <li>SH7124 グループ</li> </ul>	対象ロット等  全ロット	関連資料	<ul style="list-style-type: none"> <li>SH7125 グループ、SH7124 グループ ハードウェアマニュアル (RJJ09B0249-0300 Rev.3.00)</li> </ul>	

SH7125 グループ、SH7124 グループのハードウェアマニュアルについて誤記がございましたので、訂正のご連絡を致します。詳細は、以下をご参照ください。

< 誤記訂正内容 >

「第5章 例外処理」表 5.6 バスサイクルとアドレスエラーのバスサイクルの内容を以下のように修正します。

### 【変更前】

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
シングルチップモード時に予約空間をアクセス	アドレスエラー発生		

### 【変更後】

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
ロングワードデータを 8 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)		

「第8章 バスコントローラ(BSC)」表 8.1 アドレスマップを以下のように修正します。

【変更前】

アドレス	メモリ種類	サイズ		バス幅
		128KB 版	64KB 版	
H'00000000~H'0000FFFF	内蔵 FLASH	128KB	64KB 版	32
H'00010000~H'0001FFFF			予約	
H'00020000~H'83FFFFFF	予約	-	-	-
H'84000000~H'8400FFFF	内蔵 FLASH 書き込み領域	128KB	64KB 版	8
H'84010000~H'8401FFFF			予約	
H'84020000~H'FFF9FFFF	予約	-	-	-
H'FFFFA000~H'FFFBFFFF	内蔵 RAM	8KB	8KB	32
H'FFFC000~H'FFFFFF	内蔵周辺 I/O	128KB	64KB	8/16

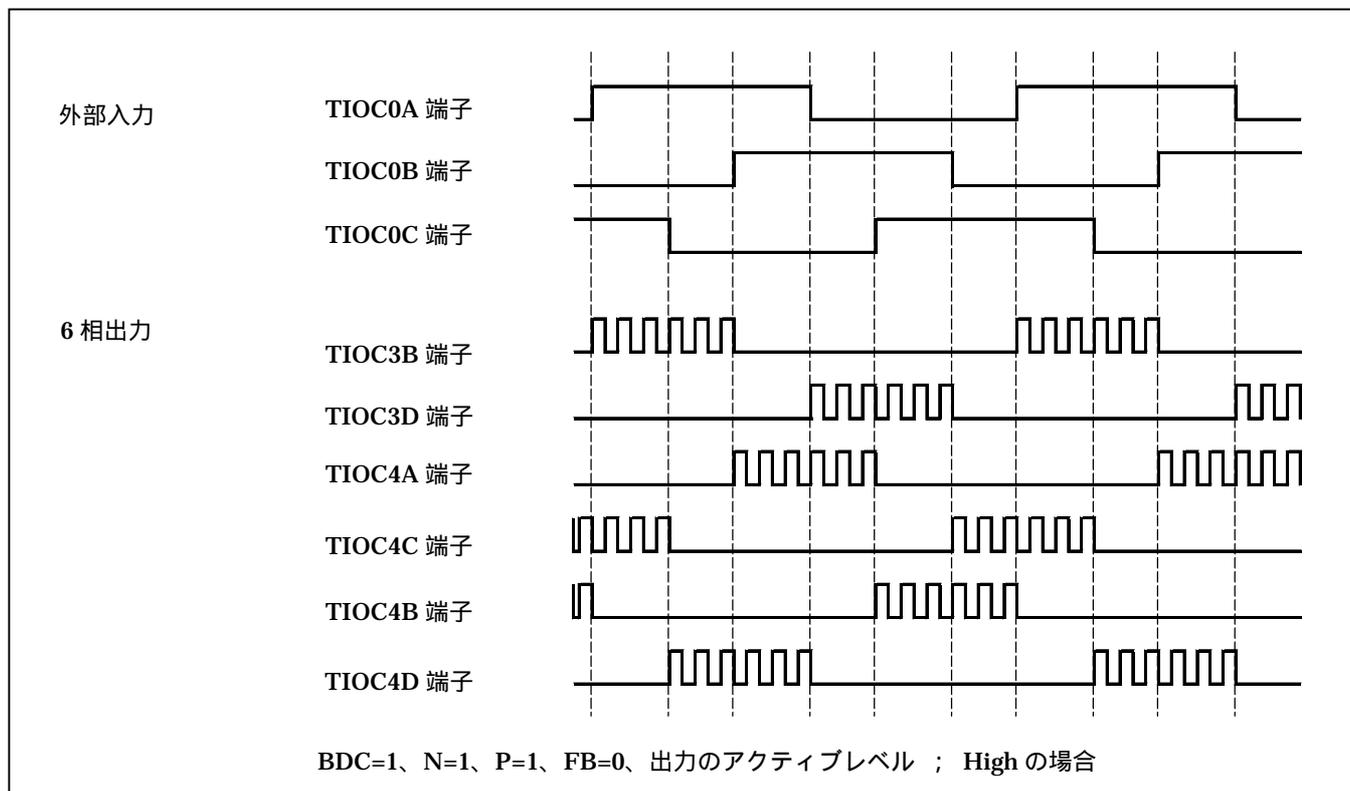
【変更後】

アドレス	メモリ種類	サイズ		バス幅
		128KB 版	64KB 版	
H'00000000~H'0000FFFF	内蔵 FLASH	128KB	64KB 版	32
H'00010000~H'0001FFFF			予約	
H'00020000~H'FFF9FFF	予約	-	-	-
H'FFFFA000~H'FFFBFFFF	内蔵 RAM	8KB	8KB	32
H'FFFC000~H'FFFFFF	内蔵周辺 I/O	128KB	64KB	8/16

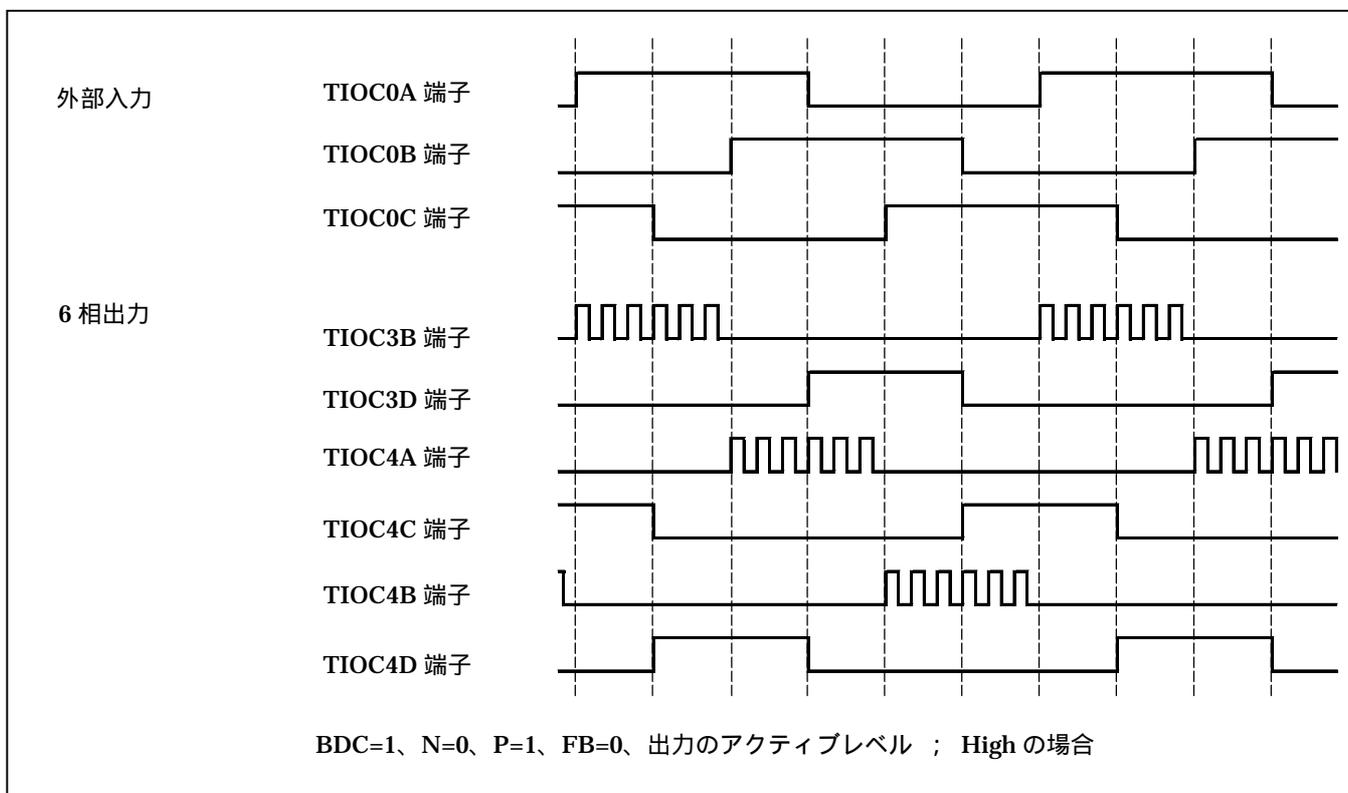
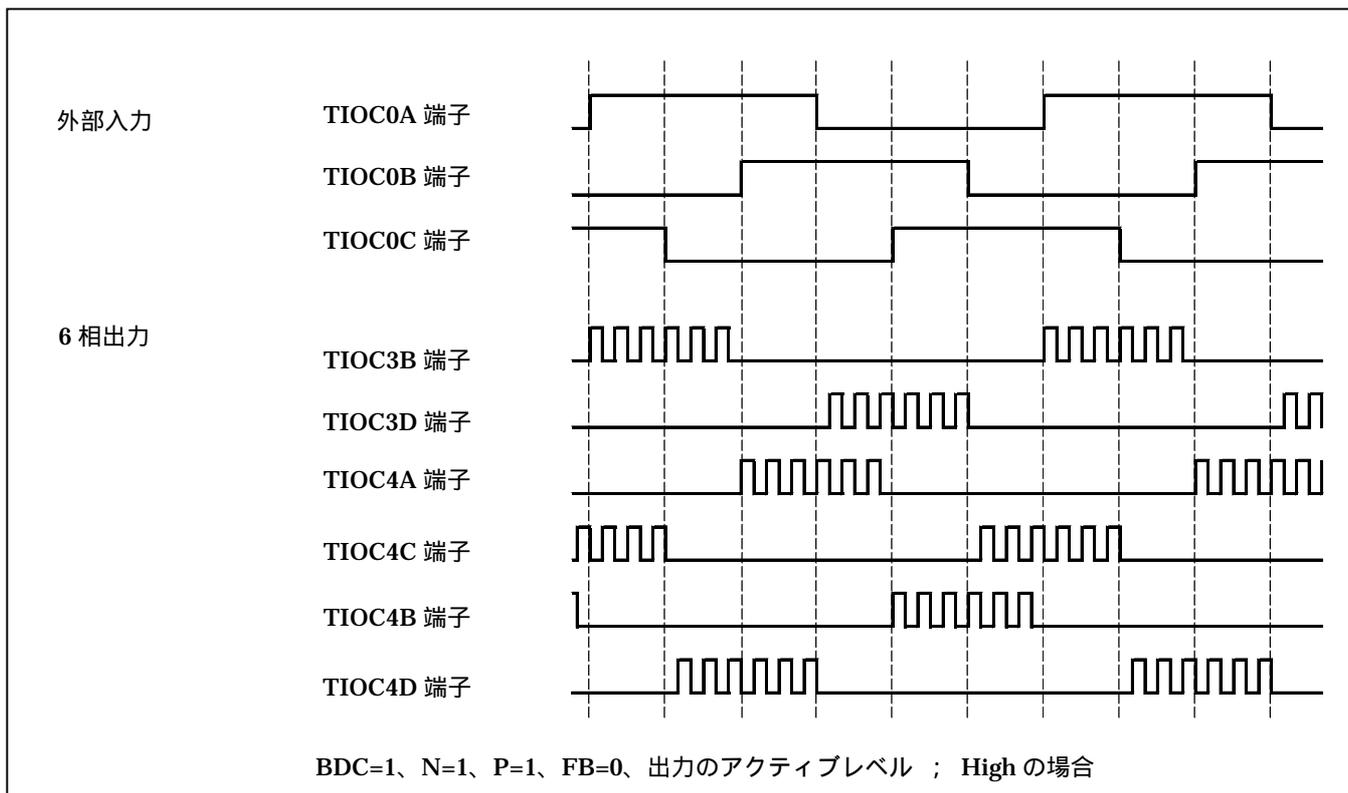
「第9章 マルチファンクションタイマパルスユニット 2(MTU2)」図 9.64 外部入力による出力相の切り換え動作例(2)を以下のように修正、追加します。

外部入力による出力相の切り換え動作例

【変更前】

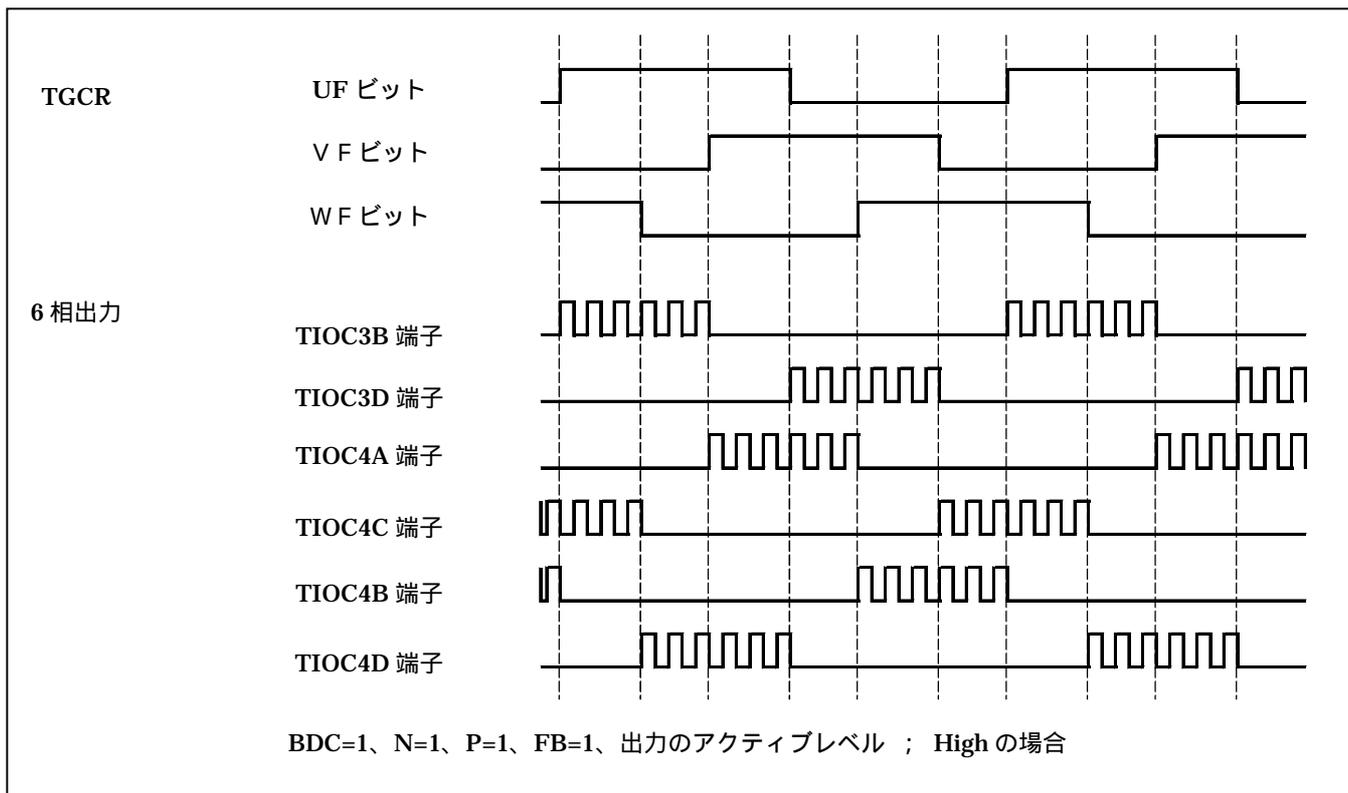


【変更後】

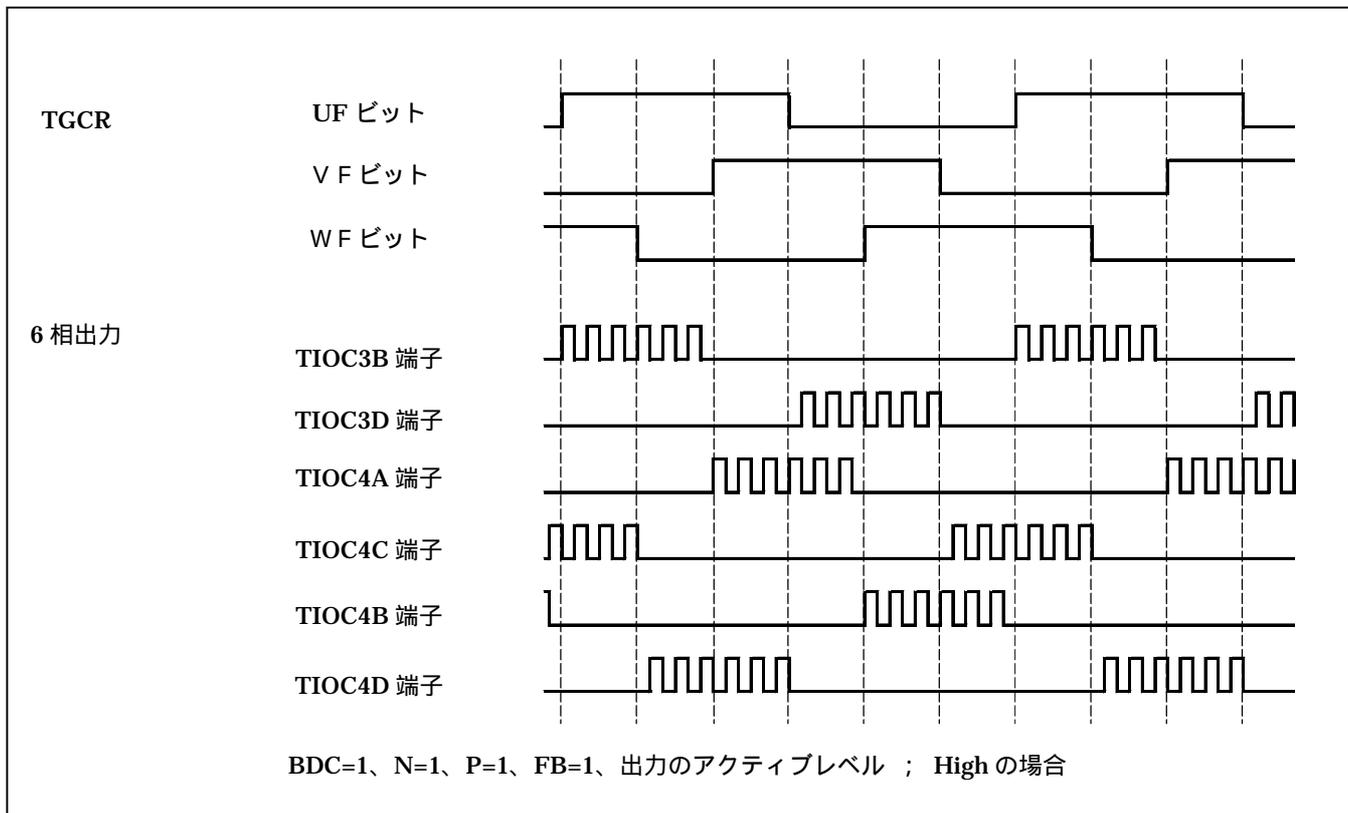


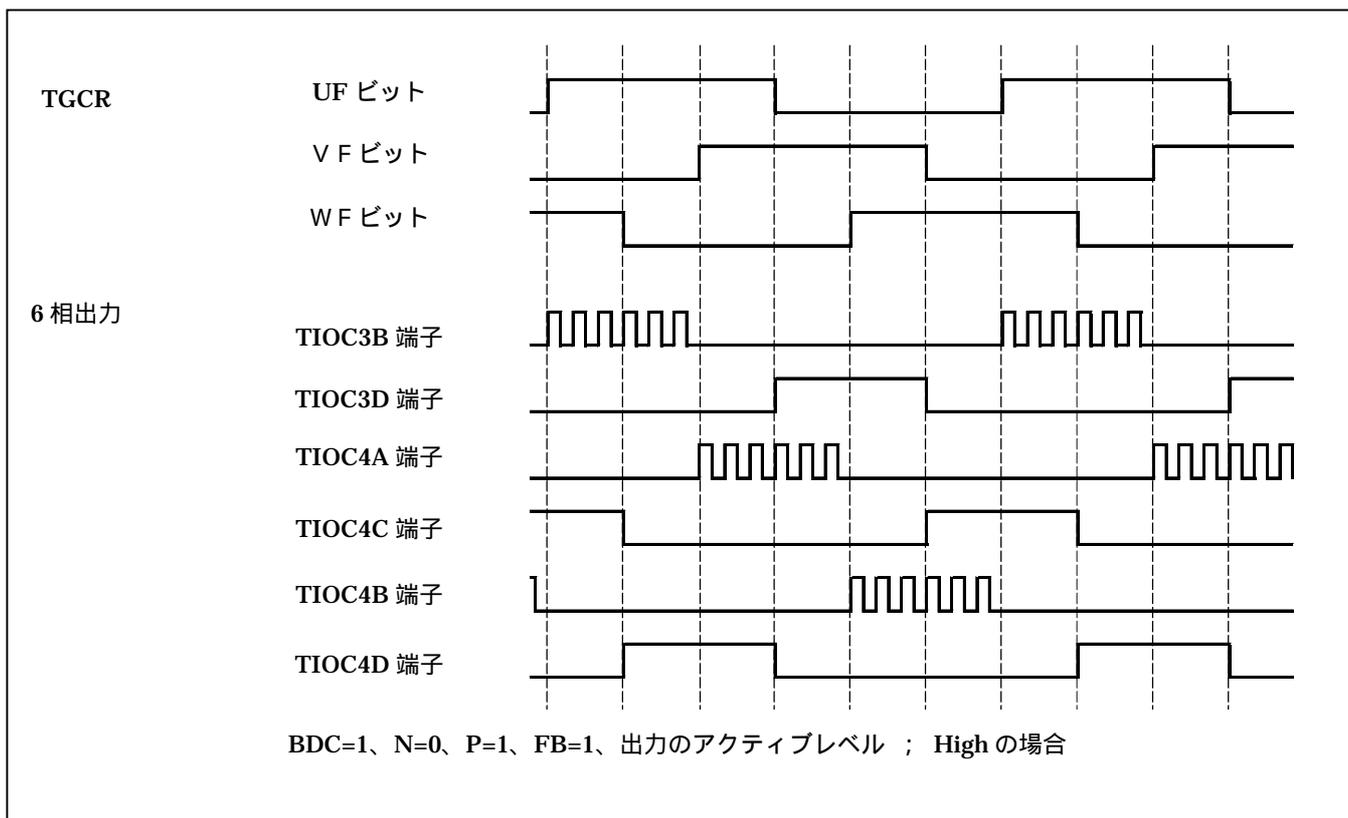
UF、VF、WF ビット設定による出力相の切り換え動作例(2)

【変更前】



【変更後】





「第9章 マルチファンクションタイマパルスユニット2 (MTU2)」のP9-131 (c)の割り込み間引きと連動したバッファ転送制御の7行目について以下のように修正します。

**【変更前】**

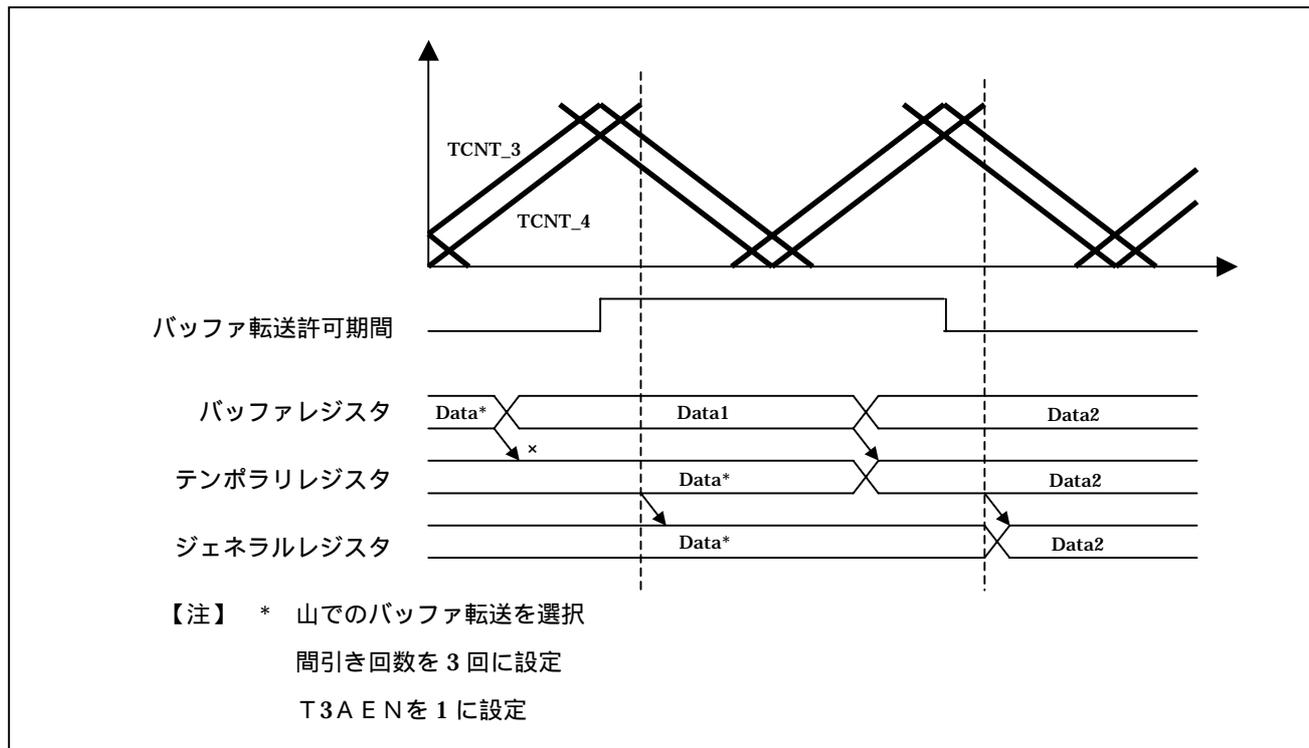
この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

**【変更後】**

この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。  
割り込み発生からバッファレジスタの書き込みタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが2種類あります。

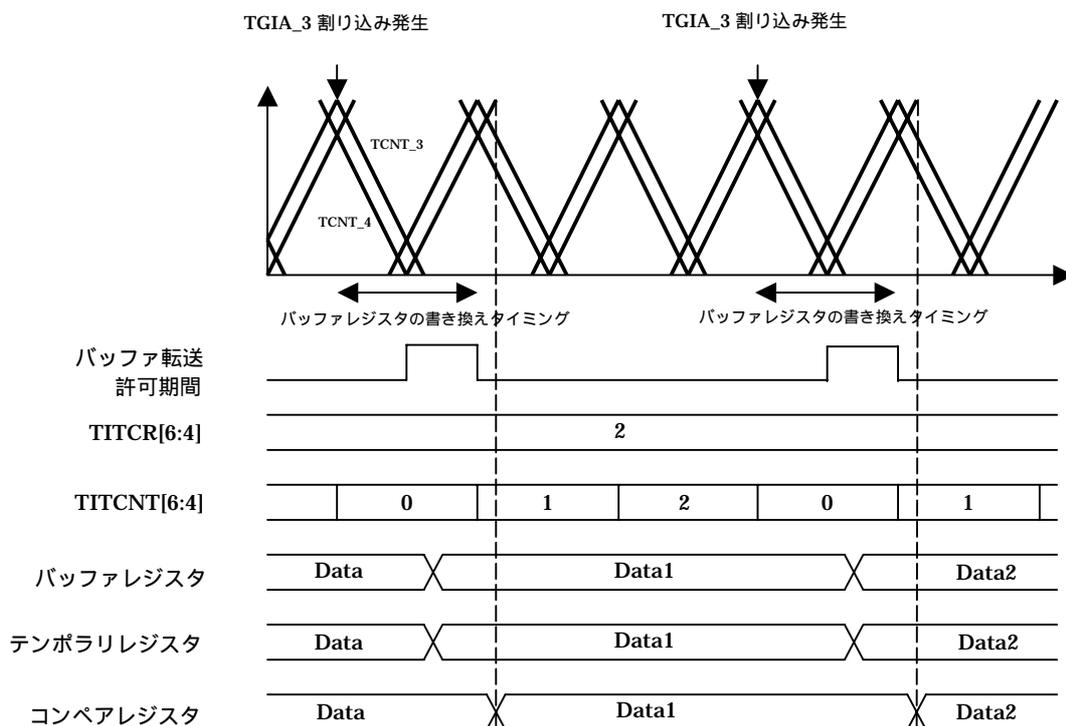
「第9章 マルチファンクションタイマパルスユニット 2 (MTU2)」の図 9.71 バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0)した場合は動作例について以下のように修正します。

【変更前】

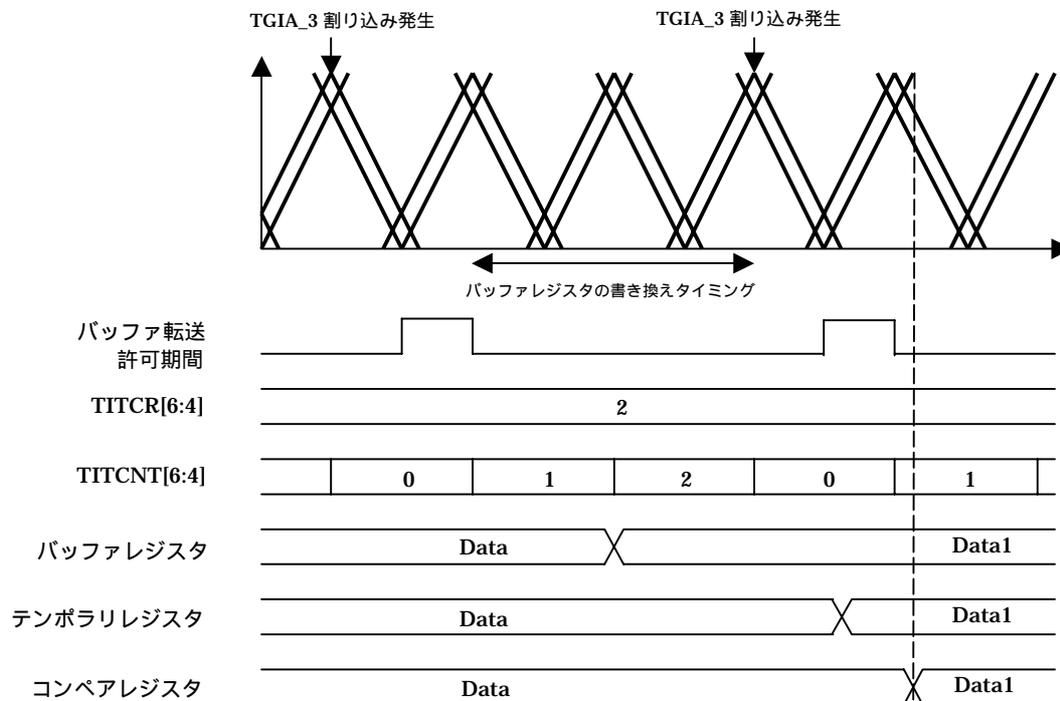


【変更後】

(1)TGIA\_3 割り込みから 1 キャリア以内にバッファレジスタの書き換えを行ったとき



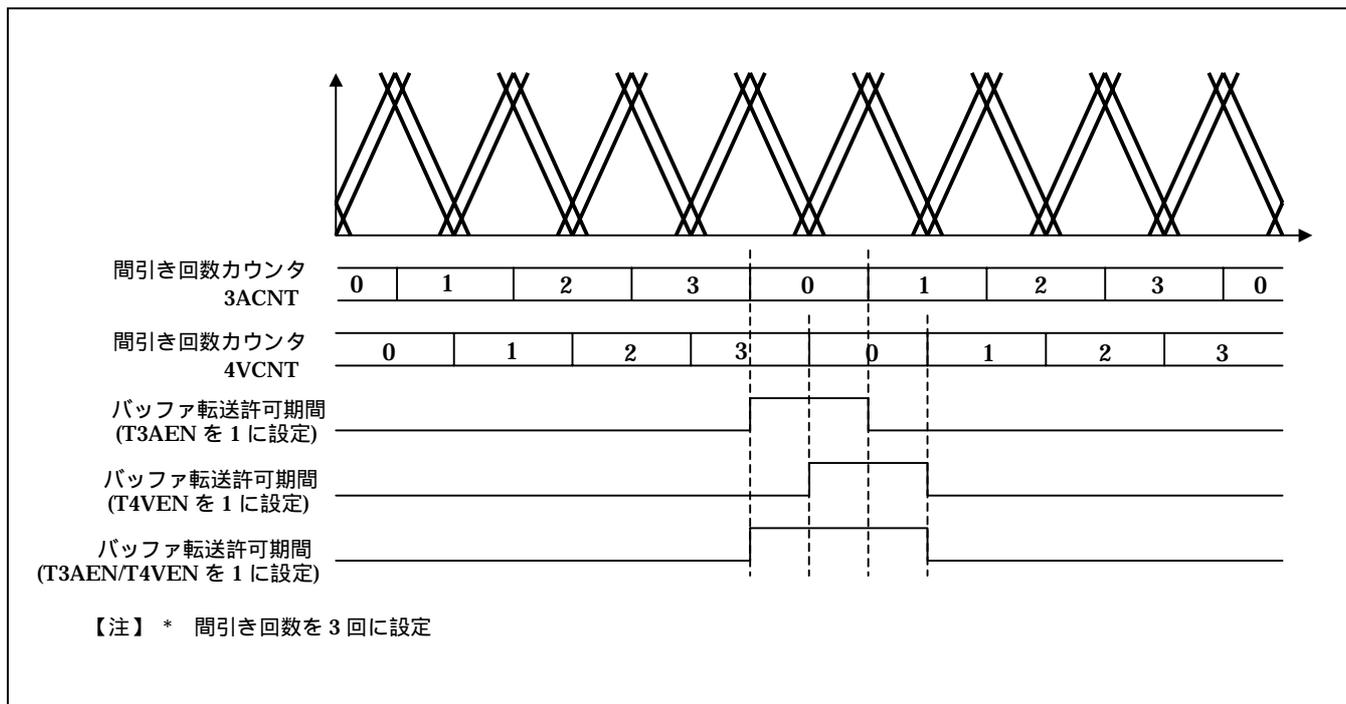
(2)TGIA\_3 割り込みから 1 キャリア経過後にバッファレジスタの書き換えを行ったとき



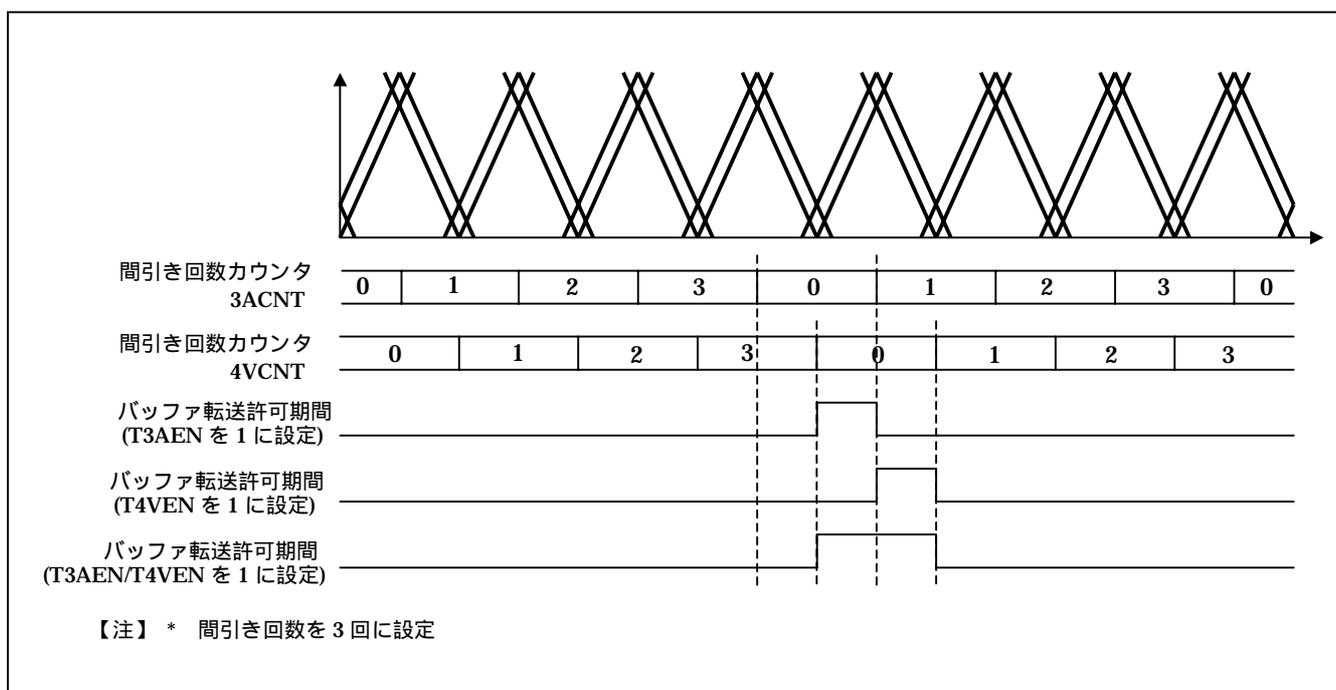
【注】 \* 山でのバッファ転送を選択  
 間引き回数を 2 回に設定  
 T3AEN を 1 に設定

「第9章 マルチファンクションタイマパルスユニット 2 (MTU2)」の図 9.72 タイマ割り込み間引き設定レジスタ(TITCR)の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係について以下のように修正します。

【変更前】



【変更後】



「第12章 シリアルコミュニケーションインターフェース(SCI)」 表 12.2 レジスタ構成の初期値を以下のように修正します。

【変更前】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0x	H'FFFFFFC00E	8
1	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0x	H'FFFFFFC08E	8
2	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0x	H'FFFFFFC10E	8

【変更後】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'01	H'FFFFFFC00E	8
1	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'01	H'FFFFFFC08E	8
2	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'01	H'FFFFFFC10E	8

「第12章 シリアルコミュニケーションインターフェース(SCI)」の12.3.8シリアルポートレジスタ(SCSPTR)におけるビット0の説明表について以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	-	-	-	R/W	R/W	-	R/W

ビット	ビット名	初期値	R/W	説明												
0	SPB0DT	0	R/W	<p>シリアルポートブ레이크データ SPB0IO ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、PFC(ピンファンクションコントローラ)で TXD 端子機能を選択しておく必要があります。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力(初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>【注】* Don't care</p>	SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	ローレベル出力(初期状態)	0	1	ハイレベル出力	1	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態														
0	0	ローレベル出力(初期状態)														
0	1	ハイレベル出力														
1	*	シリアルコア論理に従って送信データ出力														

【変更後】

ビット：	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	-	-	-	R/W	R/W	-	W

ビット	ビット名	初期値	R/W	説明												
0	SPB0DT	1	W	<p>シリアルポートブレイクデータ SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、PFC(ピンファンクションコントローラ)で TXD 端子機能を選択しておく必要があります。</p> <table border="1"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力(初期状態)</td> </tr> <tr> <td>1</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>書き込み専用ビットです。読み出したら不定が読み出されます。 【注】* Don't care</p>	SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	ローレベル出力	0	1	ハイレベル出力(初期状態)	1	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態														
0	0	ローレベル出力														
0	1	ハイレベル出力(初期状態)														
1	*	シリアルコア論理に従って送信データ出力														

「第 12 章 シリアルコミュニケーションインターフェース(SCI)」の P12-45 12.4.5 マルチプロセッサシリアルデータ送信の 2 行目について以下のように追記します。

【変更前】

ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。

【変更後】

ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。実際に ID が送信されるまで MPBT を 1 に保持してください。

「第 12 章 シリアルコミュニケーションインターフェース(SCI)」の図 12.16 マルチプロセッサシリアル送信フローチャートの例の[2]に追記します。

【変更前】

最後に TDER フラグを 0 にクリアしてください。

【変更後】

最後に TDER フラグを 0 にクリアしてください。SCI 初期化の後、ID を送信のため、ID を SCTDR に書き込むと、直後に SCTSR にデータが転送され、TDRE フラグが 1 にセットされます。この時点では、まだ ID が TxD 端子から送信されていないので MPBT ビットを 1 に保持してください。ID の次に送るデータを SCTDR に書き込んだ後の TDRE フラグが 1 にセットされたときに MPBT ビットを 0 にクリアしてください。

「第12章 シリアルコミュニケーションインターフェース(SCI)」のP12-52 12.7.4 ブレークの送り出しの1行目と4行目について以下のように修正します。

【変更前】

TXD 端子は、シリアルポートレジスタ(SCSPTR)の SPB0IO、SPB0DT ビットで入出力条件とレベルを決めることができます。

このため、最初は SPB0IO と SPB0DT ビットを 1 に設定(出力、ハイレベル)しておきます。

【変更後】

TXD 端子は、シリアルポートレジスタ(SCSPTR)の SPB0DT ビットで入出力条件とレベルを決めることができます。

このため、最初は SPB0DT ビットを 1 に設定(出力、ハイレベル)しておきます。

「第20章 レジスタ一覧」 P20-26 の WTCNT のスリープを以下のように修正します。

【変更前】

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア リセット	モジュール スタンバイ	スリープ	モジュール
WTCNT	初期化	保持	保持	-	保持	WDT

【変更後】

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア リセット	モジュール スタンバイ	スリープ	モジュール
WTCNT	初期化	保持	保持	-	-	WDT