

電気的特性比較表

本資料は、3803グループのL仕様フラッシュメモリ版と標準品フラッシュメモリ版の電気的特性の比較表です。

相違点については網がけで示しています。

3803グループH仕様フラッシュメモリ版の電気的特性はL仕様フラッシュメモリ版と同一ですので、本資料のL仕様をH仕様置き換えてご使用いただけます。

対象型名

L仕様フラッシュメモリ版
M38039FFLHP
M38039FFLKP
M38039FFLSP
M38039FFLWG
標準品フラッシュメモリ版
M38039FFFP
M39039FFHP
M39039FFSP

絶対最大規格

表1. 絶対最大定格

記号	項目	条件	L仕様 フラッシュメモリ版 定格値	標準品 フラッシュメモリ版 定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 入力電圧測定時、 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	- 0.3 ~ 6.5	V
V _I	入力電圧 P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , V _{REF}		- 0.3 ~ V _{CC} + 0.3	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 P3 ₂ , P3 ₃		- 0.3 ~ 5.8	- 0.3 ~ 5.8	V
V _I	入力電圧 $\overline{\text{RESET}}$, X _{IN}		- 0.3 ~ V _{CC} + 0.3	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	- 0.3 ~ 13	V
V _O	出力電圧 P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , X _{OUT}		- 0.3 ~ V _{CC} + 0.3	- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P3 ₂ , P3 ₃	- 0.3 ~ 5.8	- 0.3 ~ 5.8	V	
P _d	消費電力	T _a = 25	1000 (注1)	1000 (注1)	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	- 20 ~ 85	
T _{stg}	保存温度	-	- 65 ~ 125	- 65 ~ 125	

注1. SPパッケージ以外は300mWです。

奨励動作条件

表2. 推奨動作条件(1) (フラッシュメモリ版)

(L仕様フラッシュメモリ版：指定のない場合は、Vcc=2.7 ~ 5.5V, Vss=0V, Ta = - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合は、Vcc=4.0 ~ 5.5V, Ta = - 20 ~ 85)

記号	項目	条件	L仕様フラッシュメモリ版規格値			標準品フラッシュメモリ版規格値			単位	
			最小	標準	最大	最小	標準	最大		
Vcc	電源電圧 (注1)	発振開始時 (注2)		2.7	5.0	5.5				V
		高速モード時 f(φ)=f(XIN)/2	f(XIN) 8.4MHz	2.7	5.0	5.5				V
			f(XIN) 12.5MHz	4.0	5.0	5.5	4.0	5.0	5.5	
			f(XIN) 16.8MHz	4.5	5.0	5.5	4.5	5.0	5.5	
		中速モード時 f(φ)=f(XIN)/8	f(XIN) 12.5MHz	2.7	5.0	5.5				V
			f(XIN) 16.8MHz	4.5	5.0	5.5				
Vss	電源電圧			0			0		V	
Vih	"H" 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			0.8Vcc		Vcc	0.8Vcc		Vcc	V
Vih	"H" 入力電圧 P32, P33			0.8Vcc		5.5	0.8Vcc		5.5	V
Vih	"H" 入力電圧 RESET, XIN, CNVss			0.8Vcc		Vcc	0.8Vcc		Vcc	V
Vih	"H" 入力電圧 XCIN			2		Vcc	2		Vcc	V
Vil	"L" 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			0		0.2Vcc	0		0.2Vcc	V
Vil	"L" 入力電圧 RESET, CNVss			0		0.2Vcc	0		0.2Vcc	V
Vil	"L" 入力電圧 XIN					0.16Vcc			0.16Vcc	V
Vil	"L" 入力電圧 XCIN					0.4			0.16Vcc	V
f(XIN)	メインクロック入力発振 周波数 (注3)	高速モード時 f(φ)=f(XIN)/2	2.7 Vcc < 4.0V			(9 × Vcc - 0.3) × 1.05 / 3				MHz
			4.0 Vcc < 4.5V			(24 × Vcc - 60) × 1.05 / 3			8.6Vcc - 21.9	
			4.5 Vcc 5.5V			16.8			16.8	
		中速モード時 f(φ)=f(XIN)/8	2.7 Vcc < 4.5V			(15 × Vcc + 39) × 1.1 / 7				
			4.5 Vcc 5.5V			16.8				
f(XCIN)	サブクロック入力発振周 波数 (注3),(注4)				32.768	50		32.768	50	kHz

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合、サブクロック入力発振周波数は、必ずf(XCIN) < f(XIN)/3としてください。

表3. 推奨動作条件(2) (L仕様フラッシュメモリ版：指定のない場合は、VCC=2.7 ~ 5.5V, VSS=0V, Ta = - 20 ~ 85)
 (標準品フラッシュメモリ版：指定のない場合は、VCC=4.0 ~ 5.5V, Ta = - 20 ~ 85)

記号	項目	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
		最小	標準	最大	最小	標準	最大	
I _{OH} (peak)	“H”出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37			- 80			- 80	mA
I _{OH} (peak)	“H”出力総尖頭電流(注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 80			- 80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P30 ~ P37			80			80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P20 ~ P27			80			80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			80			80	mA
I _{OH} (avg)	“H”出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37			- 40			- 40	mA
I _{OH} (avg)	“H”出力総平均電流(注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 40			- 40	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P30 ~ P37			40			40	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P20 ~ P27			40			40	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			40			40	mA
I _{OH} (peak)	“H”出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			- 10			- 10	mA
I _{OL} (peak)	“L”出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			10			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注2) P20 ~ P27			20			20	mA
I _{OH} (avg)	“H”出力平均電流(注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			- 5			- 5	mA
I _{OL} (avg)	“L”出力平均電流(注3) P00 ~ P07, P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67			5			5	mA
I _{OL} (avg)	“L”出力平均電流(注3) P20 ~ P27			10			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 出力平均電流は、I_{OL}(avg)、I_{OH}(avg)100msの期間での平均値です。

電気的特性

表4. 電気的特性(1) (L仕様フラッシュメモリ版: 指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta = -20~85)
(標準品フラッシュメモリ版: 指定のない場合は、Vcc=4.0~5.5V, Vss=0V, Ta = -20~85)

記号	項目	測定条件	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
			最小	標準	最大	最小	標準	最大	
VOH	“H”出力電圧 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47 P50 ~ P57, P60 ~ P67	IOH= -10mA Vcc=4.0~5.5V	Vcc - 2.0			Vcc - 2.0			V
		IOH= -1.0mA	Vcc - 1.0			Vcc - 1.0			
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67	IOL=10mA Vcc=4.0~5.5V			2.0			2.0	V
		IOL=1.6mA			1.0		0.4		
VOL	“L”出力電圧 P20 ~ P27	IOL=20mA Vcc=4.0~5.5V			2.0				V
		IOL=1.6mA			0.4				
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0 ~ INT4			0.4			0.4	V	
VT+ - VT-	ヒステリシス RxD1, SCLK1, SIN2, SCLK2, RxD3, SCLK3			0.5			0.5	V	
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$			0.5			0.5	V	
IiH	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67	Vi=Vcc (端子はフロー ティング、プル アップトランジス タは切り離れた状 態)			5.0			5.0	μA
IiH	“H”入力電流 $\overline{\text{RESET}}$, CNVss	Vi=Vcc			5.0			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4.0			4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67	Vi=Vss (端子はフロー ティング、プル アップトランジス タは切り離れた状 態)			- 5.0			- 5.0	μA
IiL	“L”入力電流 $\overline{\text{RESET}}$, CNVss	Vi=Vss			- 5.0			- 5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		- 4.0			- 4.0		μA
IiL	“L”入力電流 (プルアップ有効時) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47 P50 ~ P57, P60 ~ P67	Vi=Vss Vcc=5.0V	- 80	- 210	- 420	- 80	- 210	- 420	μA
		Vi=Vss Vcc=3.0V	- 30	- 70	- 140	- 30	- 70	- 140	
VRAM	RAM保持電圧	クロック停止時	1.8		Vcc	2.0		Vcc	V

注1. P35に関しては、UART3制御レジスタのP35/TxD3 Pチャンネル出力禁止ビット(003316番地のビット4)が“0”の場合です。
P45に関しては、UART1制御レジスタのP45/TxD1 Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表5. 電気的特性(2) (フラッシュメモリ版)

(L仕様フラッシュメモリ版：指定のない場合は、Vcc=2.7 ~ 5.5V, Ta = - 20 ~ 85 ,
f(XCIN)=32.768kHz(中速モード時は停止), 出力トランジスタは遮断状態, A/Dコンバータ非動作時)
(標準品フラッシュメモリ版：指定のない場合は、Vcc=4.0 ~ 5.5V, Vss=0V, Ta = - 20 ~ 85)

記号	項目	測定条件			L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位	
					最小	標準	最大	最小	標準	最大		
Icc	電源電流	高速モード時	Vcc=5.0V	f(XIN)=16.8MHz		5.5	8.3		12	22	mA	
				f(XIN)=12.5MHz		4.5	6.8		10	18		
				f(XIN)=8.4MHz		3.5	5.3		7	13.5		
				f(XIN)=4.2MHz		2.2	3.3					
				f(XIN)=16.8MHz (WIT命令実行時)		2.2	3.3		3.5	6		
			Vcc=3.0V	f(XIN)=8.4MHz		2.7	4.1				mA	
				f(XIN)=4.2MHz		1.8	2.7					
				f(XIN)=2.1MHz		1.1	1.7					
			中速モード時	Vcc=5.0V	f(XIN)=16.8MHz		3.0	4.5		6	12	mA
					f(XIN)=12.5MHz		2.4	3.6				
		f(XIN)=8.4MHz				2.0	3.0					
		f(XIN)=16.8MHz (WIT命令実行時)				2.1	3.2		3	5.5		
		Vcc=3.0V		f(XIN)=12.5MHz		1.7	2.6				mA	
				f(XIN)=8.4MHz		1.5	2.3					
				f(XIN)=6.3MHz		1.3	2.0					
		低速モード時	Vcc=5.0V	f(XIN)=停止		410	630		60	200	μA	
				WIT命令実行時		4.5	6.8		30	60		
			Vcc=3.0V	f(XIN)=停止		400	600				μA	
				WIT命令実行時		3.7	5.6					
STP命令実行時 (発振はすべて停止)	Ta = 25				0.55	3.0		0.1	1.0	μA		
	Ta = 85				0.75			10				
A/Dコンバータ動作時の 電流増量		f(XIN)=16.8MHz, Vcc=5.0V 中、高速モード時				1000			500	μA		

A/Dコンバータ推奨動作条件

表6. A/Dコンバータ推奨動作条件 (フラッシュメモリ版)

(L仕様フラッシュメモリ版：指定のない場合は、Vcc=2.7 ~ 5.5V, Vss=AVss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合は、Vcc=4.0 ~ 5.5V, Vss=AVss=0V, Ta= - 20 ~ 85)

記号	項目	測定条件	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
			最小	標準	最大	最小	標準	最大	
Vcc	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時 (注1)	2.7	5.0	5.5				V
		10ビットA/Dモード時 (注2)	2.7	5.0	5.5				
VREF	A/Dコンバータ基準電圧		2.0		Vcc	2.0		Vcc	V
AVss	アナログ電源電圧			0			0		V
VIA	アナログ入力電圧 AN0 ~ AN15		0		Vcc	0		Vcc	V
f(XIN)	メインクロック入力発振 周波数 (A/Dコンバータ使用時)	2.7 Vcc=VREF < 4.0V	0.5		(9 × Vcc - 0.3) × 1.05 / 3	0.5			MHz
		4.0 Vcc=VREF < 4.5V	0.5		(24.6 × Vcc - 62.7) × 1.05 / 3	0.5			
		4.5 Vcc=VREF 5.5V	0.5		16.8	0.5			

注1. 8ビットA/Dモード：変換モード選択ビット(003816番地のビット7)が“1”の場合
 注2. 10ビットA/Dモード：変換モード選択ビット(003816番地のビット7)が“0”の場合

A/Dコンバータ特性

表7. A/Dコンバータ特性 (フラッシュメモリ版)

(L仕様フラッシュメモリ版：指定のない場合は、Vcc=2.7 ~ 5.5V, Vss=AVss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合は、Vcc=4.0 ~ 5.5V, Vss=AVss=0V, Ta= - 20 ~ 85)

記号	項目	測定条件	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位			
			最小	標準	最大	最小	標準	最大				
-	分解能	8ビットA/Dモード時 (注1)			8			8	bit			
		10ビットA/Dモード時 (注2)			10			10				
-	絶対精度 (量子化誤差は除く)	8ビットA/Dモード時 (注1)	2.7	VREF	5.5V			± 2	LSB			
		10ビットA/Dモード時 (注2)	2.7	VREF	5.5V			± 4	LSB			
tCONV	変換時間	8ビットA/Dモード時 (注1)			50			50	2tc(XIN)			
		10ビットA/Dモード時 (注2)			61			61				
RLADDER	ラダー抵抗		12	35	100	12	35	100	k			
IvREF	基準電源 入力電流	A/D変換動作時	VREF=5.0V			50	150	200	50	150	200	μA
		A/D変換停止時	VREF=5.0V					5.0			5.0	
Ii(AD)	A/Dポート入力電流				5.0			5.0	μA			

注1. 8ビットA/Dモード：変換モード選択ビット(003816番地のビット7)が“1”の場合
 注2. 10ビットA/Dモード：変換モード選択ビット(003816番地のビット7)が“0”の場合

D/Aコンバータ特性

表8. D/Aコンバータ特性 (フラッシュメモリ版)

(L仕様フラッシュメモリ版：指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V \sim V_{CC}$, $T_a = -20 \sim 85$)(標準品フラッシュメモリ版：指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V \sim V_{CC}$, $T_a = -20 \sim 85$)

記号	項目	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
		最小	標準	最大	最小	標準	最大	
-	分解能			8			8	bit
-	絶対精度	4.0 V_{REF} 5.5V		1.0			1.0	%
		2.7 $V_{REF} < 4.0V$		2.5			2.5	
t_{su}	設定時間			3			3	μs
RO	出力抵抗	2	3.5	5	2	3.5	5	k
I_{VREF}	基準電源入力電流 (注1)			3.2			3.2	mA

注1. D/Aコンバータ1本使用、他のDA変換レジスタの値は“0016”。

電源回路のタイミング特性

表9. 電源回路のタイミング特性 (L仕様フラッシュメモリ版)

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V \sim V_{CC}$, $T_a = -20 \sim 85$)

記号	項目	測定条件	L仕様 フラッシュメモリ版規格値			標準品 フラッシュメモリ版規格値			単位
			最小	標準	最大	最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	2.7 $V_{CC} < 5.5V$			2				ms

タイミング必要条件

表10. タイミング必要条件(1)

(L仕様フラッシュメモリ版：指定のない場合、Vcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合、Vcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

記号	項目		L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
			最小	標準	最大	最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅		16			16			XINサイクル
tc(XIN)	メインクロックXIN 入力サイクル時間	4.5 Vcc 5.5V	59.5			59.5			ns
		4.0 Vcc < 4.5V	10000 / (86Vcc - 219)			10000 / (86Vcc - 219)			
		2.7 Vcc < 4.0V	26 × 10 ³ / (82Vcc - 3)						
twh(XIN)	メインクロックXIN 入力“H”パルス幅	4.5 Vcc 5.5V	25			25			ns
		4.0 Vcc < 4.5V	4000 / (86Vcc - 219)			4000 / (86Vcc - 219)			
		2.7 Vcc < 4.0V	10000 / (82Vcc - 3)						
twl(XIN)	メインクロックXIN 入力“L”パルス幅	4.5 Vcc 5.5V	25			25			ns
		4.0 Vcc < 4.5V	4000 / (86Vcc - 219)			4000 / (86Vcc - 219)			
		2.7 Vcc < 4.0V	10000 / (82Vcc - 3)						
tc(XCIN)	サブクロックXCIN入力サイクル時間		20			20			μs
twh(XCIN)	サブクロックXCIN入力“H”パルス幅		5			5			μs
twl(XCIN)	サブクロックXCIN入力“L”パルス幅		5			5			μs
tc(CNTR)	CNTR0 ~ CNTR2 入力サイクル時間	4.5 Vcc 5.5V	120			200			ns
		4.0 Vcc < 4.5V	160			200			
		2.7 Vcc < 4.0V	250						
twh(CNTR)	CNTR0 ~ CNTR2 “H”入力パルス幅	4.5 Vcc 5.5V	48			80			ns
		4.0 Vcc < 4.5V	64			80			
		2.7 Vcc < 4.0V	115						
twl(CNTR)	CNTR0 ~ CNTR2 “L”入力パルス幅	4.5 Vcc 5.5V	48			80			ns
		4.0 Vcc < 4.5V	64			80			
		2.7 Vcc < 4.0V	115						
twh(INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“H”パルス幅	4.5 Vcc 5.5V	48			80			ns
		4.0 Vcc < 4.5V	64			80			
		2.7 Vcc < 4.0V	115						
twl(INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“L”パルス幅	4.5 Vcc 5.5V	48			80			ns
		4.0 Vcc < 4.5V	64			80			
		2.7 Vcc < 4.0V	115						

表 11. タイミング必要条件(2)

(L仕様フラッシュメモリ版：指定のない場合、Vcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合、Vcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

記号	項目	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
		最小	標準	最大	最小	標準	最大	
tc(SCLK1) tc(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力サイクル時間 (注1)	4.5 VCC 5.5V	250		800			ns
		4.0 VCC < 4.5V	320		800			
		2.7 VCC < 4.0V	500					
tWH(SCLK1) tWH(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“H”パルス幅 (注1)	4.5 VCC 5.5V	120		370			ns
		4.0 VCC < 4.5V	150		370			
		2.7 VCC < 4.0V	240					
tWL(SCLK1) tWL(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“L”パルス幅 (注1)	4.5 VCC 5.5V	120		370			ns
		4.0 VCC < 4.5V	150		370			
		2.7 VCC < 4.0V	240					
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力セットアップ時間	4.5 VCC 5.5V	70		220			ns
		4.0 VCC < 4.5V	90		220			
		2.7 VCC < 4.0V	100					
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3 クロック入力ホールド時間	4.5 VCC 5.5V	32		100			ns
		4.0 VCC < 4.5V	40		100			
		2.7 VCC < 4.0V	50					
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	4.5 VCC 5.5V	500		1000			ns
		4.0 VCC < 4.5V	650		1000			
		2.7 VCC < 4.0V	1000					
tWH(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	4.5 VCC 5.5V	200		400			ns
		4.0 VCC < 4.5V	260		400			
		2.7 VCC < 4.0V	400					
tWL(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	4.5 VCC 5.5V	200		400			ns
		4.0 VCC < 4.5V	260		400			
		2.7 VCC < 4.0V	400					
tsu(SIN2-SCLK2)	シリアルI/O2 クロック入力セットアップ時間	4.5 VCC 5.5V	100		200			ns
		4.0 VCC < 4.5V	130		200			
		2.7 VCC < 4.0V	200					
th(SCLK2-SIN2)	シリアルI/O2 クロック入力ホールド時間	4.5 VCC 5.5V	100		200			ns
		4.0 VCC < 4.5V	130		200			
		2.7 VCC < 4.0V	150					

注1. 001A₁₆番地のビット6, 0032₁₆番地のビット6が“1”(クロック同期式モード)の場合です。
001A₁₆番地のビット6, 0032₁₆番地のビット6が“0”(非同期式モード)の場合は、規格値は1/4になります。

スイッチング特性

表12. スwitchング特性(1)

(L仕様フラッシュメモリ版：指定のない場合、Vcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合、Vcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

記号	項目		測定条件	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
				最小	標準	最大	最小	標準	最大	
t _{WH} (SCLK1) t _{WH} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力 “H”パルス幅	4.5 Vcc 5.5V	図1	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			ns
		4.0 Vcc < 4.5V		tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35			tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			
		2.7 Vcc < 4.0V		tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40						
t _{WL} (SCLK1) t _{WL} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力 “L”パルス幅	4.5 Vcc 5.5V		tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			ns
		4.0 Vcc < 4.5V		tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35			tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30			
		2.7 Vcc < 4.0V		tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40						
t _d (SCLK1-TxD1) t _d (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力遅延時間(注1)	4.5 Vcc 5.5V				140			140	ns
		4.0 Vcc < 4.5V				200			140	
		2.7 Vcc < 4.0V				350				
t _v (SCLK1-TxD1) t _v (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力有効時間(注1)	4.5 Vcc 5.5V	- 30			- 30			ns	
		4.0 Vcc < 4.5V	- 30			- 30				
		2.7 Vcc < 4.0V	- 30							
t _r (SCLK1) t _r (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力 立ち上がり時間	4.5 Vcc 5.5V			30			30	ns	
		4.0 Vcc < 4.5V			35			30		
		2.7 Vcc < 4.0V			40					
t _r (SCLK1) t _r (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力 立ち下がり時間	4.5 Vcc 5.5V			30			30	ns	
		4.0 Vcc < 4.5V			35			30		
		2.7 Vcc < 4.0V			40					
t _{WH} (SCLK2)	シリアルI/O2 クロック出力 “H”パルス幅	4.5 Vcc 5.5V	tc(SCLK2)/2 - 160			tc(SCLK2)/2 - 160			ns	
		4.0 Vcc < 4.5V	tc(SCLK2)/2 - 200			tc(SCLK2)/2 - 160				
		2.7 Vcc < 4.0V	tc(SCLK2)/2 - 240							

注1. UART1制御レジスタのP4₅/TxD₁Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表13. スイッチング特性(2)

(L仕様フラッシュメモリ版：指定のない場合、Vcc=2.7 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

(標準品フラッシュメモリ版：指定のない場合、Vcc=4.0 ~ 5.5V, Vss=0V, Ta= - 20 ~ 85)

記号	項目		測定条件	L仕様 フラッシュメモリ版 規格値			標準品 フラッシュメモリ版 規格値			単位
				最小	標準	最大	最小	標準	最大	
twL(SCLK2)	シリアルI/O2 クロック出力 “L”パルス幅	4.5 Vcc 5.5V	図1	tc(SCLK2)/2 - 160			tc(SCLK2)/2 - 160			ns
		4.0 Vcc < 4.5V		tc(SCLK2)/2 - 200			tc(SCLK2)/2 - 160			
		2.7 Vcc < 4.0V		tc(SCLK2)/2 - 240						
td(SCLK2-SOUT2)	シリアルI/O2 出力遅延時間	4.5 Vcc 5.5V				200			200	ns
		4.0 Vcc < 4.5V				250			200	
		2.7 Vcc < 4.0V				300				
tv(SCLK2-SOUT2)	シリアルI/O2 出力有効時間	4.5 Vcc 5.5V			0		0			ns
		4.0 Vcc < 4.5V			0		0			
		2.7 Vcc < 4.0V			0					
tr(SCLK2)	シリアルI/O2 クロック出力 立ち下がり時間	4.5 Vcc 5.5V			30			30	ns	
		4.0 Vcc < 4.5V			35			30		
		2.7 Vcc < 4.0V			40					
tr(CMOS)	CMOS出力 立ち上がり時間 (注1)	4.5 Vcc 5.5V		10	30		10	30	ns	
		4.0 Vcc < 4.5V		12	35		10	30		
		2.7 Vcc < 4.0V		15	40					
tr(CMOS)	CMOS出力 立ち下がり時間 (注1)	4.5 Vcc 5.5V		10	30		10	30	ns	
		4.0 Vcc < 4.5V		12	35		10	30		
		2.7 Vcc < 4.0V		15	40					

注1. UART3制御レジスタのP35/TxD3P4チャンネル出力禁止ビット(0033₁₆番地のビット4)が“0”の場合です。

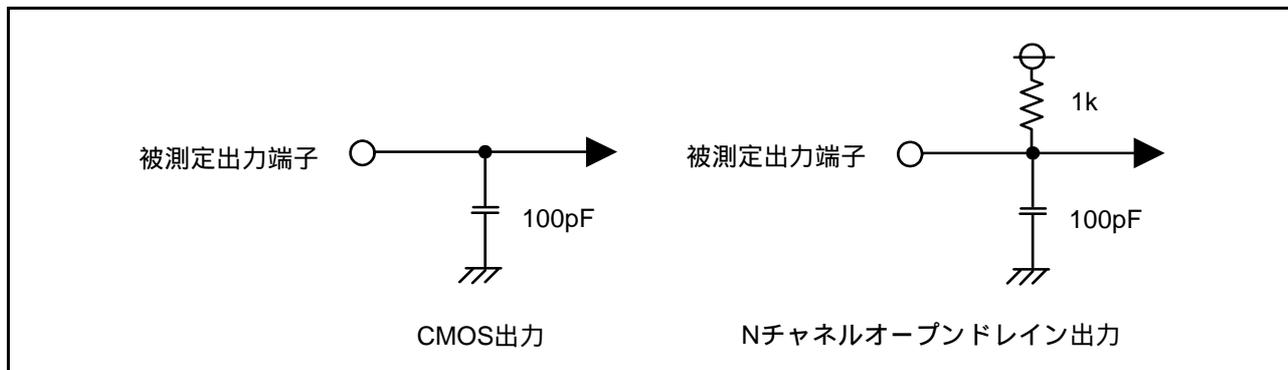


図1. 出力スイッチング特性測定回路図

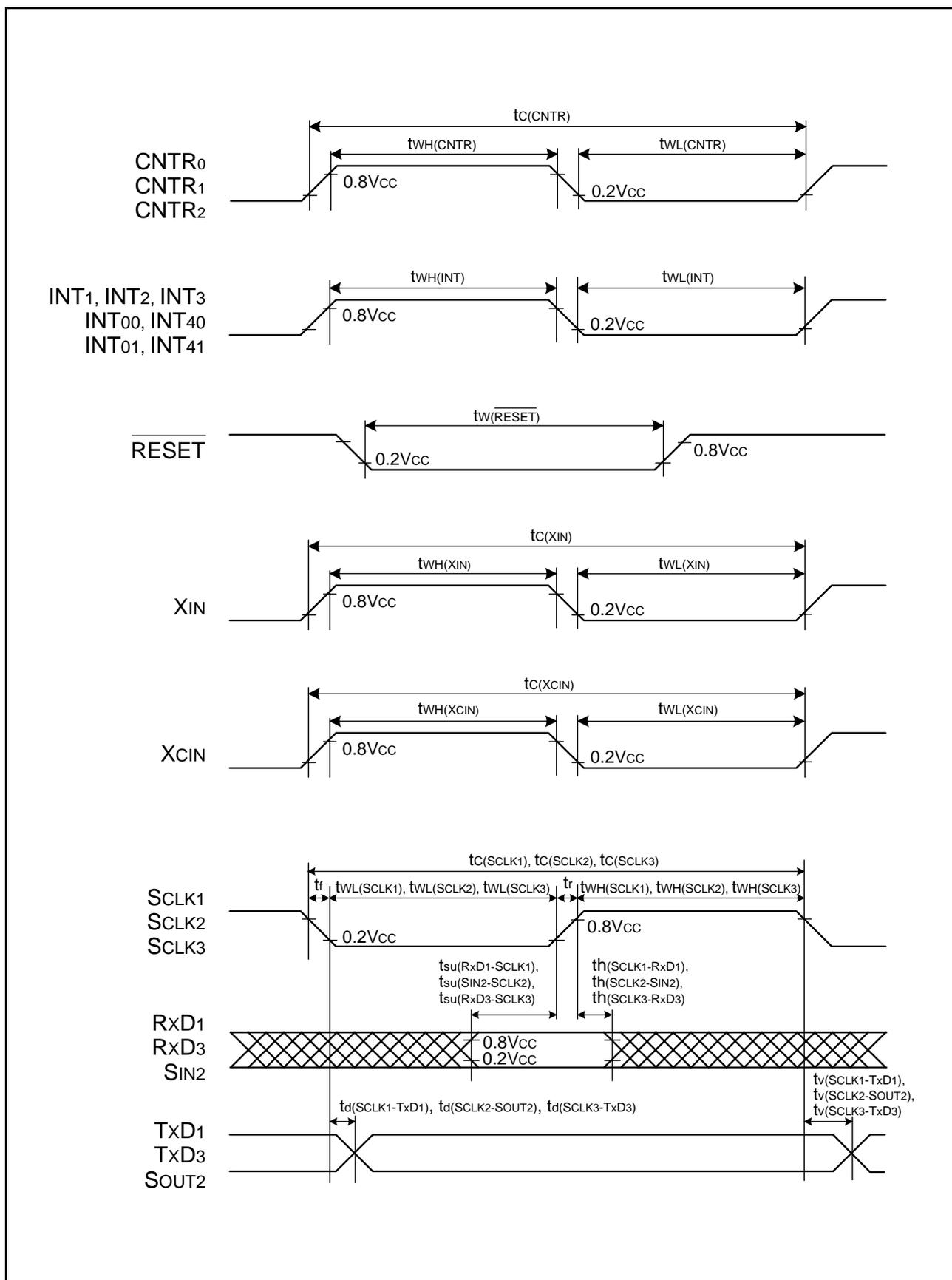


図2. タイミング図 (シングルチップモード時)

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサス テクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサス エレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサス エレクトロニクス株式会社

【発行】ルネサス エレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。