

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# CMOS標準ロジックIC(μPD4000シリーズ)におけるラッチアップのメカニズムとその対策

CMOSはTTL, LS TTLと比較して、「消費電力が少ない」、「電源電圧の範囲が広い」等の数々の秀れた特長を持っているため、TTL, LS TTLに変わるデジタルICとして脚光をあびています。

反而、CMOSは、そのデバイス構造上存在する寄生サイリスタが外部からのサージによってトリガされ、過電流破壊する現象(いわゆるラッチアップ)があります。本資料ではこのラッチアップについて、発生メカニズムおよびその防止方法について説明します。

## 1 CMOS標準ロジックIC(μPD4000シリーズ)の構造とラッチアップのメカニズム

### (1) CMOSの構造と寄生トランジスタ

図1にCMOSインバータの構造と寄生トランジスタを示します。

CMOSはそのデバイス構造上、図1に示すTr<sub>1</sub>からTr<sub>6</sub>までの寄生トランジスタが存在し、これらが図2に示す回路を形成しています。Tr<sub>2</sub>とTr<sub>6</sub>はPNPNのサイリスタを形成しており、Tr<sub>2</sub>とTr<sub>6</sub>の $h_{FE}$ の積が“1”以上の時は(通常は“1”以上)これら2つのトランジスタのどちらかのベースがトリガされるとラッチアップが発生します。

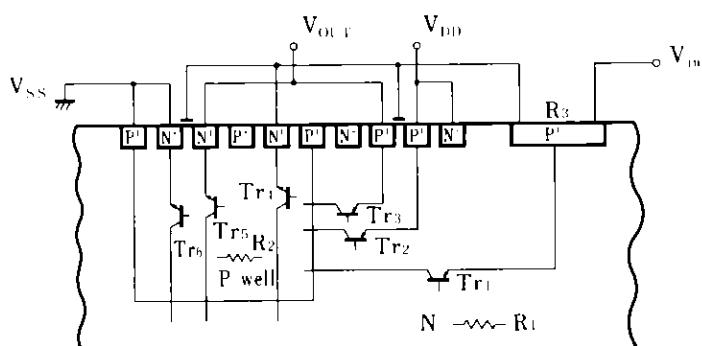


図1 CMOSインバータの構造と寄生トランジスタ

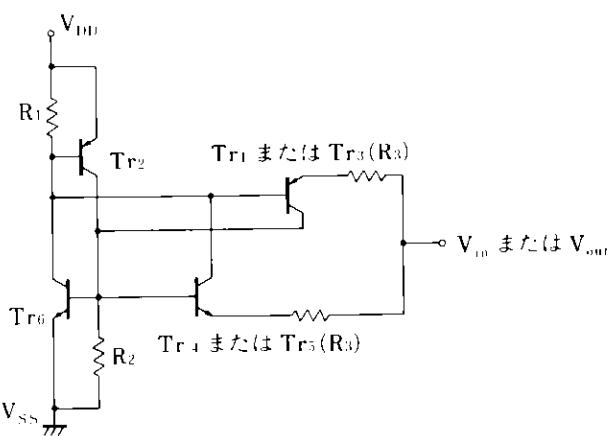


図2 寄生トランジスタによる回路

(2) ラッチアップのメカニズム

(イ)  $V_I > V_{DD}$  の場合 (図3参照)

入力の保護ダイオードに入力から  $V_{DD}$  の向きに電流が流れる。



上記電流の一部は  $Tr_1$  のベース層 ( $V_{DD}$ ) で再結合しきれず  $Tr_1$  のコレクタ層に達する。



$Tr_1$  のコレクタ電流は  $R_2$  を通して  $V_{SS}$  へ流れる



$R_2$  による電圧降下により  $Tr_6$  のベースにバイアスがかかる。

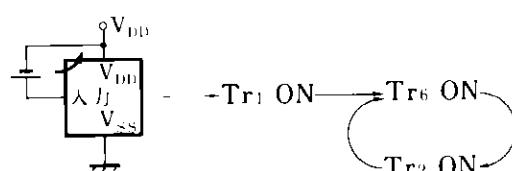


$Tr_2, Tr_6$  によるサイリスタ現象を生ずる。(ラッチアップ発生)

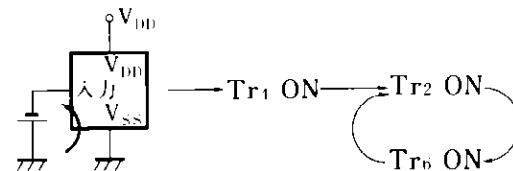
同様にして、(ロ)  $V_I < V_{SS}$ , (ハ)  $V_O > V_{DD}$ , (ニ)  $V_O < V_{SS}$

の場合も図3に示すメカニズムでラッチアップが発生します。

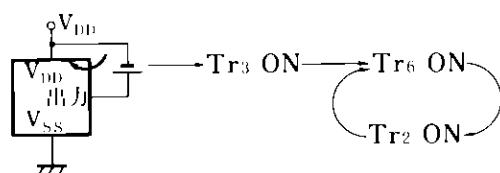
(イ)  $V_I > V_{DD}$



(ロ)  $V_I < V_{SS}$



(ハ)  $V_O > V_{DD}$



(ニ)  $V_O < V_{SS}$

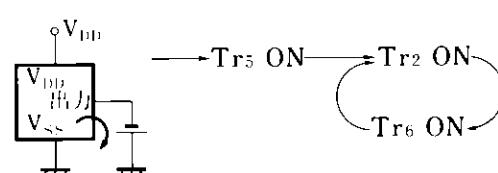


図3 ラッチアップのメカニズム(入・出力よりトリガが印加される場合)

#### (ホ) $V_{DD}$ が上昇した場合

$T_{R2}$  または  $T_{R6}$  のコレクタ・エミッタ間がブレークダウンを起し、 $R_2$  または  $R_1$  に電流が流れ  $T_{R6}$  または  $T_{R2}$  がONします。

## 2 ラッチアップによる破壊モード

前述の如く、ラッチアップは  $T_{R2}$  と  $T_{R6}$  によるサイリスタ現象であるため、 $V_{DD}$  から  $V_{SS}$  へ大きな電流が流れます。したがってその破壊モードは  $V_{DD}$  または  $V_{SS}$  のアルミ配線の溶融が多くなります。ここで注意しなければならない点は、入力または出力からのサージによりラッチアップが発生した場合でも、入力または出力のアルミ配線には異常がなく、 $V_{DD}$  または  $V_{SS}$  のアルミ配線のみが溶融する場合が多く、故障モードが故障原因(どのピンからのサージであるか)と必ずしも一致しない事です。

## 3 ラッチアップ耐量の評価方法

ラッチアップ耐量の評価については、現在のところ統一された方法はありませんが、以下に説明する電流注入法が主流になると思われます。図4に電流注入法の測定方法を示します。

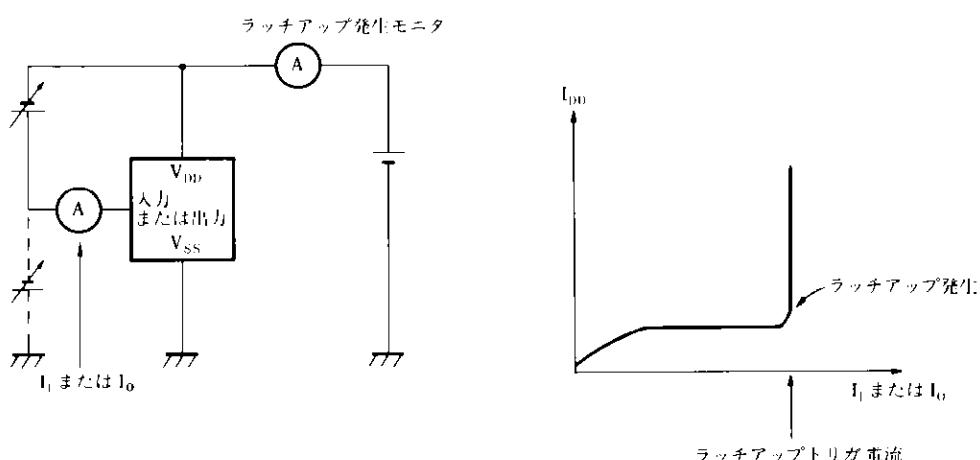


図4 電流注入法によるラッチアップ耐量測定方法  
(入力または出力よりトリガが印加の場合)

この方法は、入力または出力から  $V_{DD}$  より高い電圧または  $V_{SS}$  より低い電圧を強制的に印加し、ラッチアップが発生する時の入力または出力から流れ込む、または流れ出す電流を検出します。

図9にμPD4069UBCを例とした入力および出力からのラッチアップトリガ電流の測定結果を示します。

図5に $V_{DD}$ 上昇が原因となる場合のラッチアップ耐量の測定方法を示します。

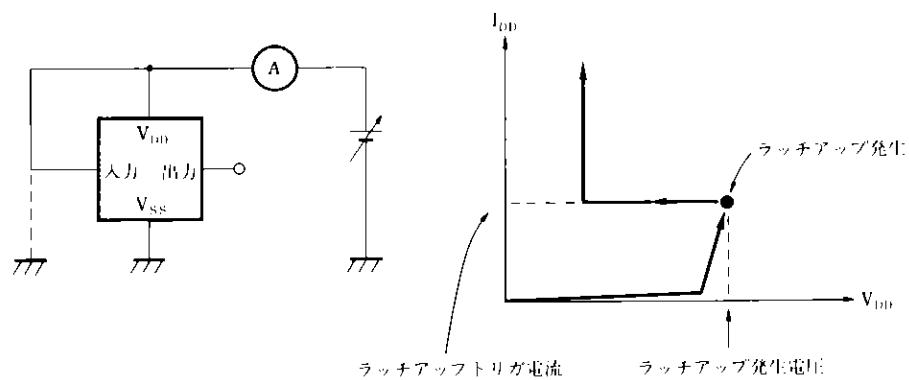


図5  $V_{DD}$ 上昇時のラッチアップ耐量測定方法

図10にμPD4069UBCを例とした $V_{DD}$ の上昇時のラッチアップ耐量の測定結果を示します。図11に $V_{DD}$ の印加をパルスにした場合の測定結果を示します。

#### 4 ラッチアップ防止対策

第3項で述べた方法で得られたラッチアップ耐量の値は異常時のマージンと見るべきであり、推奨条件内で使用する事が基本となります。

ここでは、ラッチアップ防止対策を具体例に沿って説明します。

##### (1) $V_{DD}$ 上昇の場合

$V_{DD}$ の上昇は、おもに電源投入時等のサージ電圧が原因となります。このサージ電圧を吸収するため  $V_{DD} - V_{SS}$  間にコンデンサを加えます。コンデンサは応答速度を広範囲にするため、電解コンデンサとセラミックコンデンサかタンタルコンデンサ(1 000 pF以上)を並列に使用します。

(2)  $V_i > V_{DD}$ ,  $V_i < V_{SS}$  の場合

(イ) 微分回路の影響

図6に示す如く、入力にダイオード、抵抗を挿入し入力電圧が  $V_{DD}$ ,  $V_{SS}$  を越えないようにします。

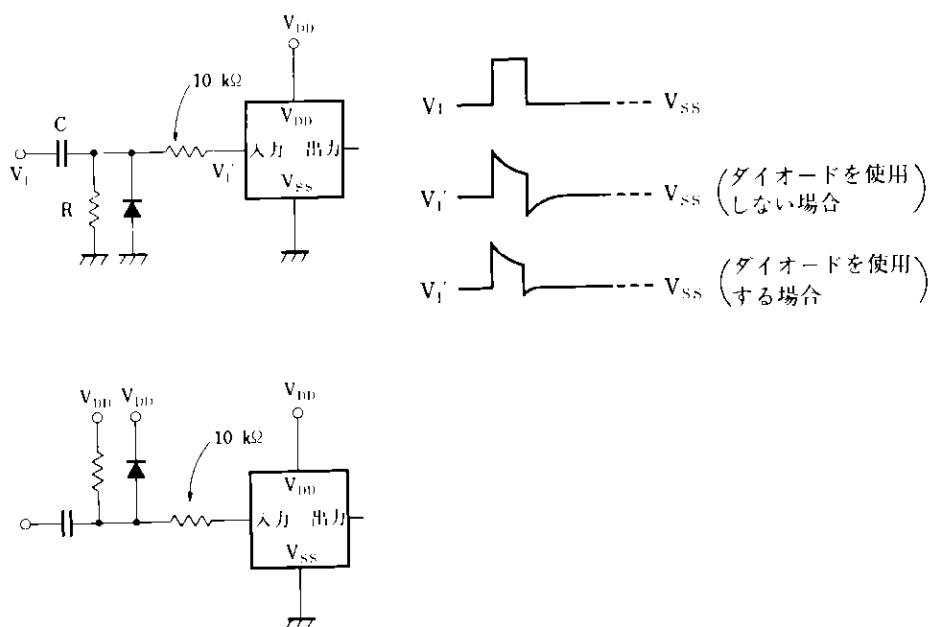


図6 微分回路の影響

(ロ) 2電源方式の場合

CMOSを2電源で動かす場合にはその立ち上りに差があるとラッチアップを起こしやすくなります。そこで、 $V_{DD}$ を同時に加えるようにするか、直列に抵抗を挿入して電流を制限します。

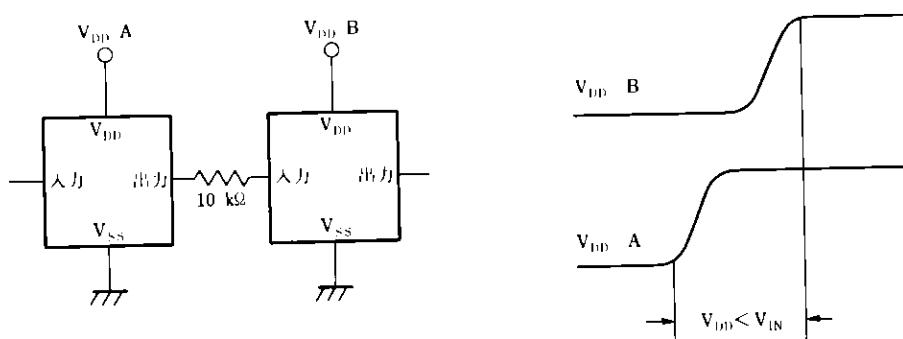


図7 2電源方式の場合

(ハ) 大電流駆動回路をドライブする場合

CMOS の出力にトランジスタを接続しリレー・モータ等をドライブする場合、スイッチング時の瞬時電流による電圧降下で  $V_O > V_{DD}$  となりやすくなります。この場合は、電源インピーダンスを下げるために  $V_{DD} - V_{SS}$  間にコンデンサを入れます。または入力に抵抗を直列に挿入して電流の制限を行います。

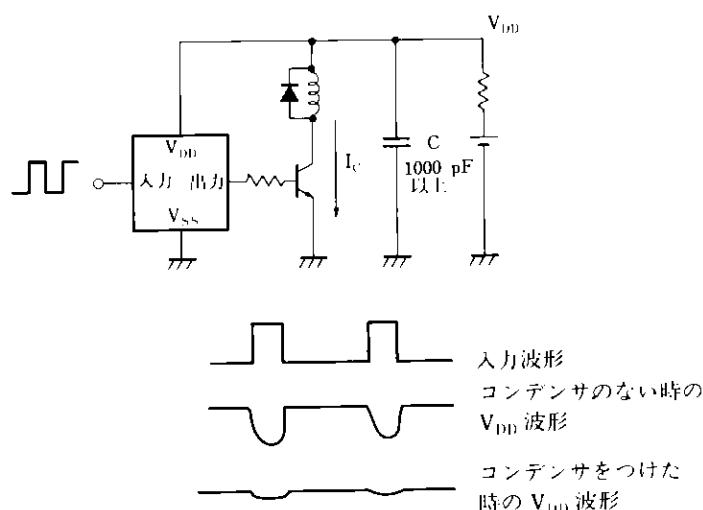


図8 大電流駆動回路をドライブする場合

(3)  $V_O > V_{DD}$ ,  $V_O < V_{SS}$  の場合

GND ラインのインピーダンスが大きい場合、または(2), (ハ)で述べた場合でも  $V_O < V_{SS}$  となりやすくなります。この場合は、GND ラインを太くしてインピーダンスを下げます。

また、CMOS 回路が大電流ドライブの影響を受けないようにホトカプラなどを使用して、これらの回路間を電気的に分離します。

この他にも周辺回路(リレー、モータ)による電源ノイズが大きいとラッチアップ現象が発生する場合があります。対策としては入出力に小容量(500 pF以下)のコンデンサ、直列抵抗(10 kΩ)、ダイオードを挿入します。

以上、CMOS のラッチアップ発生メカニズム並びにその防止策について概説しましたが、これらの点についてご配慮のうえ、CMOS の特長を活かした種々の応用へのご活用を期待いたします。

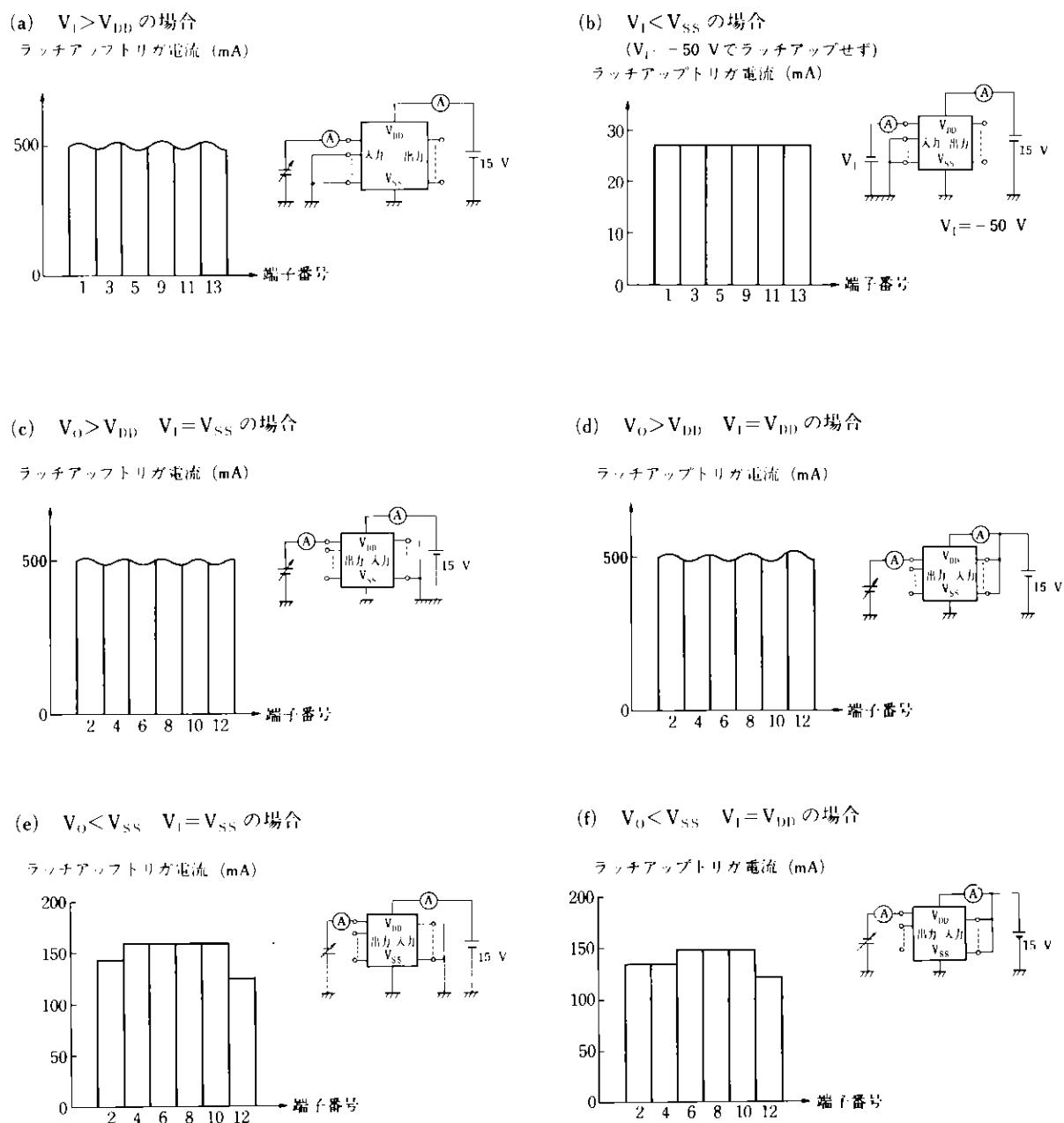


図9  $\mu$ PD4069UBC ラッチアップトリガ電流測定結果例(入力・出力)

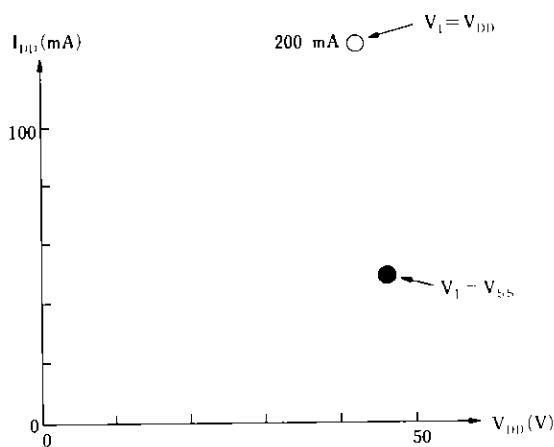


図10  $\mu$ PD4069UBC  $V_{DD}$  上昇時のラッチアップ耐量測定結果例

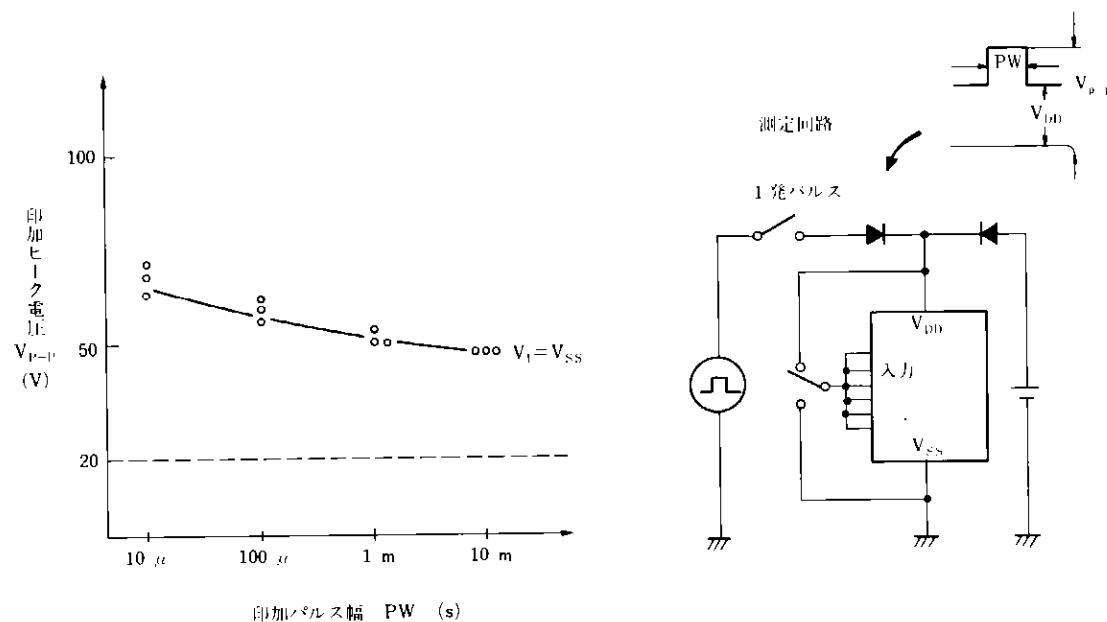


図11  $\mu$ PD4069UBC 電源パルス印加時のラッチアップ耐量測定結果例 ( $V_{DD} = 15$  V)

本資料に掲載の応用回路および回路定数は、部品の偏基や温度特性を考慮した量産設計を対象とするものではありません。  
また掲載回路に関する特許につきましては、弊社ではその責を負いかねますのでご了承ください。



本製品が外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当する場合には、  
日本国外に輸出する際に日本国政府の輸出許可が必要です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

## NEC 日本電気株式会社

本 導 第 販 半 開 半 中 電子 半 中 半	社 東京都渋谷区上原33番1号 日本電気本社ビル 〒108 東京 03)454-1111 導体 第二 東京都渋谷区上原33番1号 日本電気生産ビル 〒108 東京 03)456-6111 売事業部 半導体販売部 開西支社 大阪市北区至高町一丁目2番6号(新大阪ビル) 〒530 大阪 06)348-1461 半導体販売部 中部支社 名古屋市中区栄四丁目15番32号(中津川ビル) 〒460 名古屋 052)262-3611 電子デバイス 販売部 —
---	---

北海道支社	札幌 011)231-0161	沖縄支社	那覇 0988)66-5611
東北支社	仙台 022)261-5511	立川支社	立川 0425)26-0911
都山支店	名古屋 0249)23-5511	千葉支社	千葉 0472)27-5441
いわき支店	いわき 0246)21-5511	群馬支社	群馬 0542)55-2211
新潟支店	新潟 025)247-6101	栃木支社	宇都宮 0534)52-2711
水戸支店	水戸 0292)26-1717	茨城支社	水戸 0762)23-1621
土浦支店	土浦 0298)23-6161	埼玉支社	さいたま 0764)31-8461
神奈川支社	横浜 045)324-5511	富山支社	富山 075)221-8511
群馬支店	高崎 0273)26-1255	京都支社	京都 078)332-3311
太田支店	高崎 0276)46-4011	中国支社	岡山 082)247-4111
宇都宮支店	宇都宮 0286)21-2281	岡山支社	岡山 0862)25-4455
長野支店	長野 0262)35-1444	四国支社	徳島 0878)22-4141
松本支店	松本 0263)35-1666	松山支社	松山 0899)45-4111
上諏訪支店	諏訪 0266)53-5350	九州支社	福岡 092)271-7700
甲府支店	甲府 0552)24-4141	北九州支社	北九州 093)541-2887

(技術お問い合わせ先)

半導体応用技術本部	川崎市多摩区西大師484番地(川崎技術センター)	〒210 川崎 044)533-1111
半導体市場開発本部第一応用技術部	東京都渋谷区上原33番1号 日本電気生産ビル	〒108 東京 03)456-6111
半導体市場開発本部第二応用技術部	大阪市北区豊島町一丁目2番6号(新大阪ビル)	〒530 大阪 06)348-1477