

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

V850ES/PM1

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD703228

資料番号 U16237JJ4V0UD00 (第4版)

発行年月 June 2007 N

© NEC Electronics Corporation 2002

(メモ)

目次要約

第1章	イントロダクション	...	14
第2章	端子機能	...	22
第3章	CPU機能	...	32
第4章	ポート機能	...	64
第5章	バス制御機能	...	120
第6章	クロック発生機能	...	140
第7章	16ビット・タイマ/イベント・カウンタ00-03	...	149
第8章	16ビット・タイマ/イベント・カウンタ10, 11	...	225
第9章	8ビット・タイマ/イベント・カウンタ20, 21	...	253
第10章	リアルタイム・カウンタ機能	...	272
第11章	ウォッチドッグ・タイマ機能	...	282
第12章	A/Dコンバータ	...	289
第13章	PWM機能	...	299
第14章	アシンクロナス・シリアル・インタフェースn (UARTn)	...	306
第15章	クロック同期式シリアル・インタフェースn (CSIn)	...	337
第16章	割り込み/例外処理機能	...	350
第17章	スタンバイ機能	...	380
第18章	リセット機能	...	398
第19章	ROMコレクション機能	...	403
第20章	電気的特性	...	407
第21章	外形図	...	434
第22章	半田付け推奨条件	...	435
付録A	レジスタ索引	...	436
付録B	命令セット一覧	...	442
付録C	改版履歴	...	451

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2007年6月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、V850ES/PM1 (μ PD703228) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/PM1のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850ES ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850ES/PM1の機能を理解しようとするとき

目次に従ってお読みください。

V850ES/PM1の電気的特性を知りたいとき

第20章 電気的特性を参照してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この “ ” をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡例**
- データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxx (端子，信号名称に上線)
メモリ・マップのアドレス：上部 - 上位，下部 - 下位

注：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数 ... xxxxまたはxxxxB

10進数 ... xxxx

16進数 ... xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）： $2^{10} = 1024$

M（メガ）： $2^{20} = 1024^2$

G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/PM1に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/PM1 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料

資料名	資料番号	
IE-V850ES-G1（インサーキット・エミュレータ）	U16313J	
IE-703228-G1-EM1（インサーキット・エミュレータ・オプション・ボード）	U16879J	
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.20 プロジェクト・マネージャ	U18416J	
ID850 Ver.3.00 統合デバッガ	操作編	U17358J
TW850（Ver.2.00）（性能解析チューニング・ツール）	U17241J	
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.20以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.20 リアルタイムOS	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	

目 次

第1章 イン트로ダクション ... 14

- 1.1 概 説 ... 14
- 1.2 特 徴 ... 15
- 1.3 応用分野 ... 16
- 1.4 オーダ情報 ... 16
- 1.5 端子接続図 (Top View) ... 17
- 1.6 機能ブロック構成 ... 19
 - 1.6.1 内部ブロック図 ... 19
 - 1.6.2 内部ユニット ... 20

第2章 端子機能 ... 22

- 2.1 端子機能一覧 ... 22
- 2.2 端子状態 ... 28
- 2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 29

第3章 CPU機能 ... 32

- 3.1 特 徴 ... 32
- 3.2 CPUレジスタ・セット ... 33
 - 3.2.1 プログラム・レジスタ・セット ... 34
 - 3.2.2 システム・レジスタ・セット ... 35
- 3.3 動作モード ... 41
 - 3.3.1 動作モード ... 41
 - 3.3.2 動作モード指定 ... 41
- 3.4 アドレス空間 ... 42
 - 3.4.1 CPUアドレス空間 ... 42
 - 3.4.2 CPUアドレス空間のラップ・アラウンド ... 43
 - 3.4.3 メモリ・マップ ... 44
 - 3.4.4 領 域 ... 46
 - 3.4.5 アドレス空間の推奨使用方法 ... 48
 - 3.4.6 周辺I/Oレジスタ ... 50
 - 3.4.7 特定レジスタ ... 56
 - 3.4.8 注意事項 ... 60

第4章 ポート機能 ... 64

- 4.1 特 徴 ... 64
- 4.2 ポートの基本構成 ... 64
- 4.3 ポートの構成 ... 65
 - 4.3.1 ポート0 ... 69
 - 4.3.2 ポート1 ... 72
 - 4.3.3 ポート2 ... 75

4.3.4	ポート3	...	77
4.3.5	ポート4	...	80
4.3.6	ポート9	...	83
4.3.7	ポートCM	...	88
4.3.8	ポートCS	...	90
4.3.9	ポートCT	...	92
4.3.10	ポートDH	...	94
4.3.11	ポートDL	...	96
4.4	ブロック図	...	98
4.5	兼用機能使用時のポートのレジスタ設定	...	113
4.6	注意事項	...	119
4.6.1	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	119

第5章 バス制御機能 ... 120

5.1	特 徴	...	120
5.2	バス制御端子	...	121
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	121
5.2.2	各動作モードの端子状態	...	121
5.3	メモリ・ブロック機能	...	122
5.3.1	チップ・セレクト制御機能	...	123
5.4	バス・アクセス	...	124
5.4.1	アクセス・クロック数	...	124
5.4.2	バス・サイズ設定機能	...	124
5.4.3	バス・サイズによるアクセス	...	125
5.5	ウェイト機能	...	132
5.5.1	プログラマブル・ウェイト機能	...	132
5.5.2	外部ウェイト機能	...	133
5.5.3	プログラマブル・ウェイトと外部ウェイトの関係	...	133
5.5.4	プログラマブル・アドレス・ウェイト機能	...	134
5.6	アイドル・ステート挿入機能	...	135
5.7	バスの優先順位	...	136
5.8	バス・タイミング	...	137

第6章 クロック発生機能 ... 140

6.1	概 要	...	140
6.2	構 成	...	141
6.3	レジスタ	...	143
6.4	動 作	...	147
6.4.1	各クロックの動作	...	147
6.4.2	クロック出力機能	...	147
6.4.3	外部クロック入力機能	...	148

第7章 16ビット・タイマ/イベント・カウンタ00-03 ... 149

7.1	機 能	...	149
7.2	構 成	...	150
7.3	レジスタ	...	156

7.4	動作	...	163
7.4.1	インターバル・タイマとしての動作	...	163
7.4.2	方形波出力としての動作	...	166
7.4.3	外部イベント・カウンタとしての動作	...	170
7.4.4	TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作	...	174
7.4.5	フリー・ランニング・タイマとしての動作	...	190
7.4.6	PPG出力としての動作	...	200
7.4.7	ワンショット・パルス出力としての動作	...	204
7.4.8	パルス幅測定としての動作	...	209
7.5	TM0nの特殊な使用方法	...	218
7.5.1	CR0n1レジスタのTM0n動作中の書き換え	...	218
7.5.2	LVS0n, LVR0nビットの設定について	...	218
7.6	注意事項	...	220

第8章 16ビット・タイマ/イベント・カウンタ10, 11 ... 225

8.1	特徴	...	225
8.2	機能概要	...	225
8.3	構成	...	226
8.4	レジスタ	...	231
8.5	動作	...	236
8.6	使用例	...	243
8.7	注意事項	...	252

第9章 8ビット・タイマ/イベント・カウンタ20, 21 ... 253

9.1	機能概要	...	253
9.2	構成	...	254
9.3	レジスタ	...	257
9.4	動作	...	260
9.4.1	インターバル・タイマ(8ビット)としての動作	...	260
9.4.2	外部イベント・カウンタ(8ビット)としての動作	...	262
9.4.3	方形波出力(8ビット分解能)としての動作	...	263
9.4.4	8ビットPWM出力としての動作	...	264
9.4.5	インターバル・タイマ(16ビット)としての動作	...	267
9.4.6	外部イベント・カウンタ(16ビット)としての動作	...	269
9.4.7	方形波出力(16ビット分解能)としての動作	...	270
9.5	注意事項	...	271

第10章 リアルタイム・カウンタ機能 ... 272

10.1	機能	...	272
10.2	構成	...	272
10.3	レジスタ	...	273
10.4	動作	...	279
10.4.1	カウンタの初期化とカウント・アップ	...	279
10.4.2	カウンタの書き換え動作	...	279
10.4.3	割り込み要求信号出力の制御	...	280

10.4.4	注意事項	...	280
第11章	ウォッチドッグ・タイマ機能	...	282
11.1	機能	...	282
11.2	構成	...	283
11.3	レジスタ	...	284
11.4	動作	...	286
11.4.1	ウォッチドッグ・タイマとしての動作	...	286
11.4.2	インターバル・タイマとしての動作	...	287
11.4.3	ウォッチドッグ・タイマ (WDT) によるリセットのモニタ	...	288
第12章	A/Dコンバータ	...	289
12.1	機能	...	289
12.2	構成	...	290
12.3	レジスタ	...	293
12.4	動作	...	296
12.5	注意事項	...	298
第13章	PWM機能	...	299
13.1	特徴	...	299
13.2	構成	...	299
13.3	レジスタ	...	300
13.4	動作	...	302
13.4.1	基本動作	...	302
13.4.2	繰り返し周波数	...	304
13.5	注意事項	...	305
第14章	アシンクロナス・シリアル・インタフェース_n (UART_n)	...	306
14.1	特徴	...	306
14.2	構成	...	307
14.3	レジスタ	...	309
14.4	割り込み要求	...	316
14.5	動作	...	317
14.6	専用ポー・レート・ジェネレータ _n (BRG _n)	...	329
14.7	注意事項	...	336
第15章	クロック同期式シリアル・インタフェース_n (CSIn)	...	337
15.1	特徴	...	337
15.2	構成	...	337
15.3	レジスタ	...	339
15.4	動作	...	345
15.5	出力端子	...	348
15.6	システム構成例	...	349

第16章 割り込み / 例外処理機能 ... 350

- 16.1 特 徴 ... 350
- 16.2 ノンマスカブル割り込み ... 353
 - 16.2.1 動 作 ... 354
 - 16.2.2 復 帰 ... 355
 - 16.2.3 NPフラグ ... 356
- 16.3 マスカブル割り込み ... 357
 - 16.3.1 動 作 ... 357
 - 16.3.2 復 帰 ... 359
 - 16.3.3 マスカブル割り込みの優先順位 ... 360
 - 16.3.4 割り込み制御レジスタ (xxICn) ... 364
 - 16.3.5 割り込みマスク・レジスタ0, 1 (IMR0, IMR1) ... 366
 - 16.3.6 インサース・プライオリティ・レジスタ (ISPR) ... 367
 - 16.3.7 IDフラグ ... 368
- 16.4 外部割り込み要求入力端子 (NMI, INTP0-INTP2) ... 369
 - 16.4.1 ノイズ除去 ... 369
 - 16.4.2 エッジ検出 ... 369
- 16.5 ソフトウエア例外 ... 371
 - 16.5.1 動 作 ... 371
 - 16.5.2 復 帰 ... 372
 - 16.5.3 例外ステータス・フラグ (EP) ... 373
- 16.6 例外トラップ ... 374
 - 16.6.1 不正命令コード ... 374
 - 16.6.2 ディバグ・トラップ ... 376
- 16.7 CPUの割り込み応答時間 ... 378
- 16.8 CPUが割り込みを受け付けない期間 ... 379

第17章 スタンバイ機能 ... 380

- 17.1 概 要 ... 380
- 17.2 レジスタ ... 383
- 17.3 HALTモード ... 385
 - 17.3.1 設定および動作状態 ... 385
 - 17.3.2 HALTモードの解除 ... 385
- 17.4 IDLEモード ... 387
 - 17.4.1 設定および動作状態 ... 387
 - 17.4.2 IDLEモードの解除 ... 387
- 17.5 ソフトウエアSTOPモード ... 389
 - 17.5.1 設定および動作状態 ... 389
 - 17.5.2 ソフトウエアSTOPモードの解除 ... 389
- 17.6 発振安定時間の確保 ... 391
- 17.7 サブクロック動作モード ... 392
 - 17.7.1 設定および動作状態 ... 392
 - 17.7.2 サブクロック動作モードの解除 ... 392
 - 17.7.3 サブクロック動作モード時のアクセス不可のレジスタについて ... 393
- 17.8 サブIDLEモード ... 394
 - 17.8.1 設定および動作状態 ... 394
 - 17.8.2 サブIDLEモードの解除 ... 394

17.9	サブソフトウェアSTOPモード	...	396
17.9.1	設定および動作状態	...	396
17.9.2	サブソフトウェアSTOPモードの解除	...	396
第18章	リセット機能	...	398
18.1	概要	...	398
18.2	構成	...	398
18.3	レジスタ	...	399
18.4	動作	...	400
第19章	ROMコレクション機能	...	403
19.1	概要	...	403
19.2	レジスタ	...	404
19.2.1	コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)	...	404
19.2.2	コレクション・コントロール・レジスタ (CORCN)	...	405
19.3	ROMコレクションの動作とプログラムの流れ	...	405
第20章	電気的特性	...	407
第21章	外形図	...	434
第22章	半田付け推奨条件	...	435
付録A	レジスタ索引	...	436
付録B	命令セット一覧	...	442
B.1	凡例	...	442
B.2	インストラクション・セット (アルファベット順)	...	445
付録C	改版履歴	...	451
C.1	本版で改訂された主な箇所	...	451
C.2	前版までの改版履歴	...	451

第1章 イントロダクション

V850ES/PM1は、NECエレクトロニクスの実タイム制御向けシングルチップ・マイクロコントローラV850マイコンの1製品です。

1.1 概 説

V850ES/PM1は、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、PWMなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

CPUは、V850ESコアを使用し、 $\Delta\Sigma$ A/Dコンバータなどの周辺機能を追加しています。

V850ES/PM1は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、高精度の6チャンネル $\Delta\Sigma$ A/Dコンバータを内蔵することで、高精度の電力測定を低コストで実現でき、電力メータ、その他計測機器への応用に適しています。

1.2 特 徴

最小命令実行時間	50 ns (メイン・クロック (fx) = 20 MHz動作時) 100 ns (メイン・クロック (fx) = 10 MHz動作時) 30.5 μ s (サブクロック (fxT) = 32.768 kHz動作時)
汎用レジスタ	32ビット×32本
CPUの特徴	符号付き乗算 (16×16 → 32) : 1-2クロック) 符号付き乗算 (32×32 → 64) : 1-5クロック) 飽和演算 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令 : 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令
メモリ空間	64 Mバイト・リニア・アドレス空間 (プログラム/データ共用) 外部拡張 : 8 Mバイトまで可能 (このうち1 Mバイトは内部ROM空間としても使用) メモリ・ブロック分割機能 : 2 M, 2 M, 4 Mバイト (計3ブロック) プログラマブル・ウエイト機能 アイドル・ステート挿入機能
・内蔵メモリ	RAM : 10 Kバイト マスクROM : 128 Kバイト
・外部バス・インタフェース	セパレート・バス出力 8/16ビット・データ・バス・サイジング機能 3空間のチップ・セレクト機能 ウエイト機能 ・プログラマブル・ウエイト機能 ・外部ウエイト機能 アイドル・ステート機能
割り込み / 例外	ノンマスカブル割り込み : 1要因 マスカブル割り込み : 31要因 ソフトウェア例外 : 32要因 例外トラップ : 1要因
I/Oライン	合計 : 68 (入出力ポート)
タイマ機能	16ビット・タイマ/イベント・カウンタ : 6 ch (PWM出力) 8ビット・タイマ/イベント・カウンタ : 2 ch (カスケード接続可能) リアルタイム・カウンタ (時計用) サブクロック/メイン・クロック動作 : 1 ch 週, 日, 時, 分, 秒のカウンタを持ち, 最長4095週まで カウント ウォッチドッグ・タイマ : 1 ch
PWM (Pulse Width Modulation)	: 4 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

UART : 2 ch

CSI : 2 ch

A/Dコンバータ 16ビット分解能 : 6 ch (12入力)

ROMコレクション : 4箇所修正可能

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック5段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xT})

パワー・セーブ機能 HALT/IDLE/STOP / サブIDLE / サブSTOPモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

1.3 応用分野

電力メータ, 計測機器

1.4 オータ情報

品 名	パッケージ	内蔵ROM
μ PD703228GC-003-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)	ROMレス・モード
μ PD703228GC-xxx-8EU	"	マスクROM (128 Kバイト)
μ PD703228GC-xxx-8EU-A	"	"

備考1. xxxはROMコード番号です。ROMレス・モードを使用する場合は、発注の際に003のコードを選択してください。

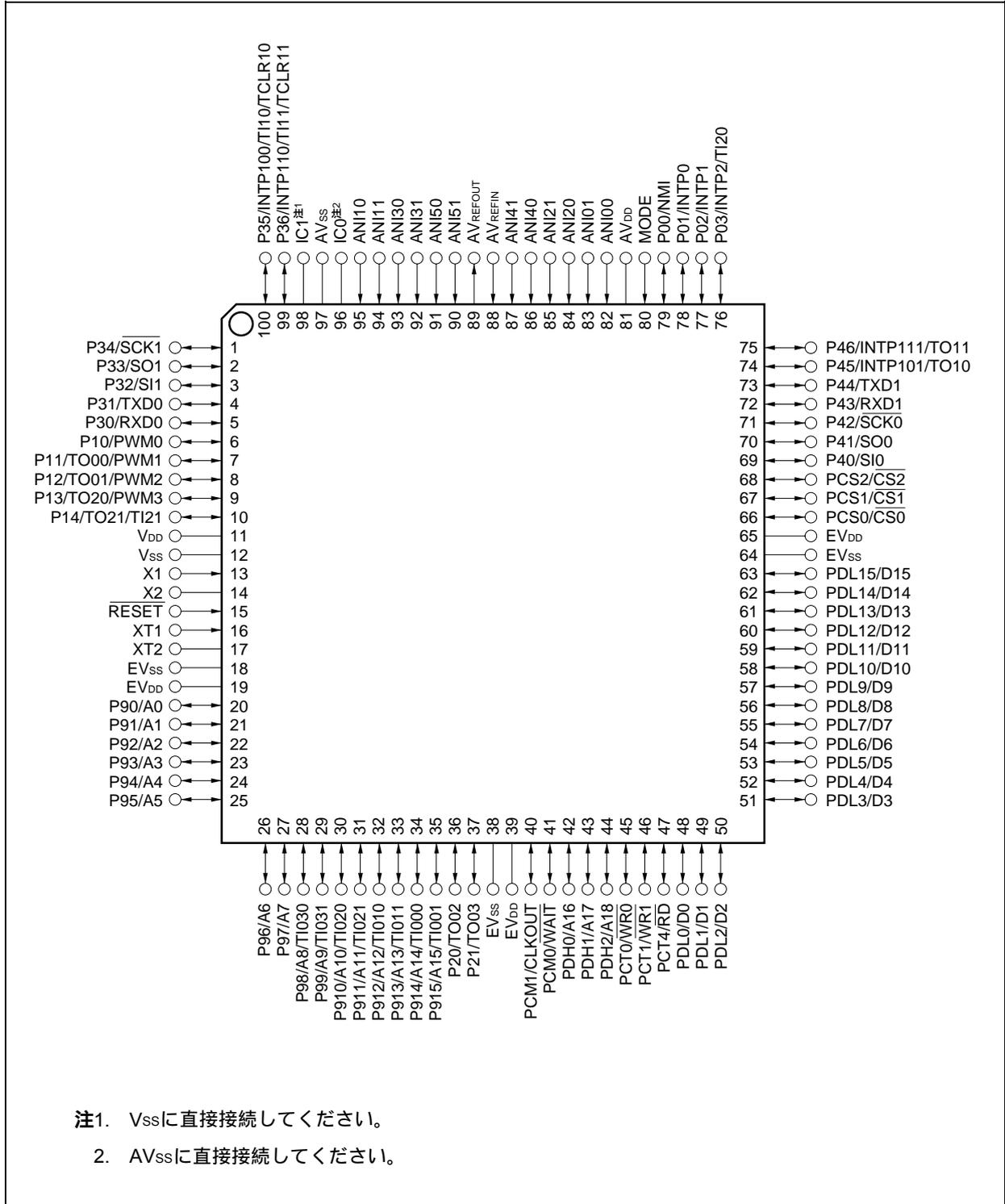
2. オータ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図 (Top View)

V850ES/PM1

100ピン・プラスチックLQFP (ファインピッチ) (14×14)

・ μ PD703228GC-xxx-8EU



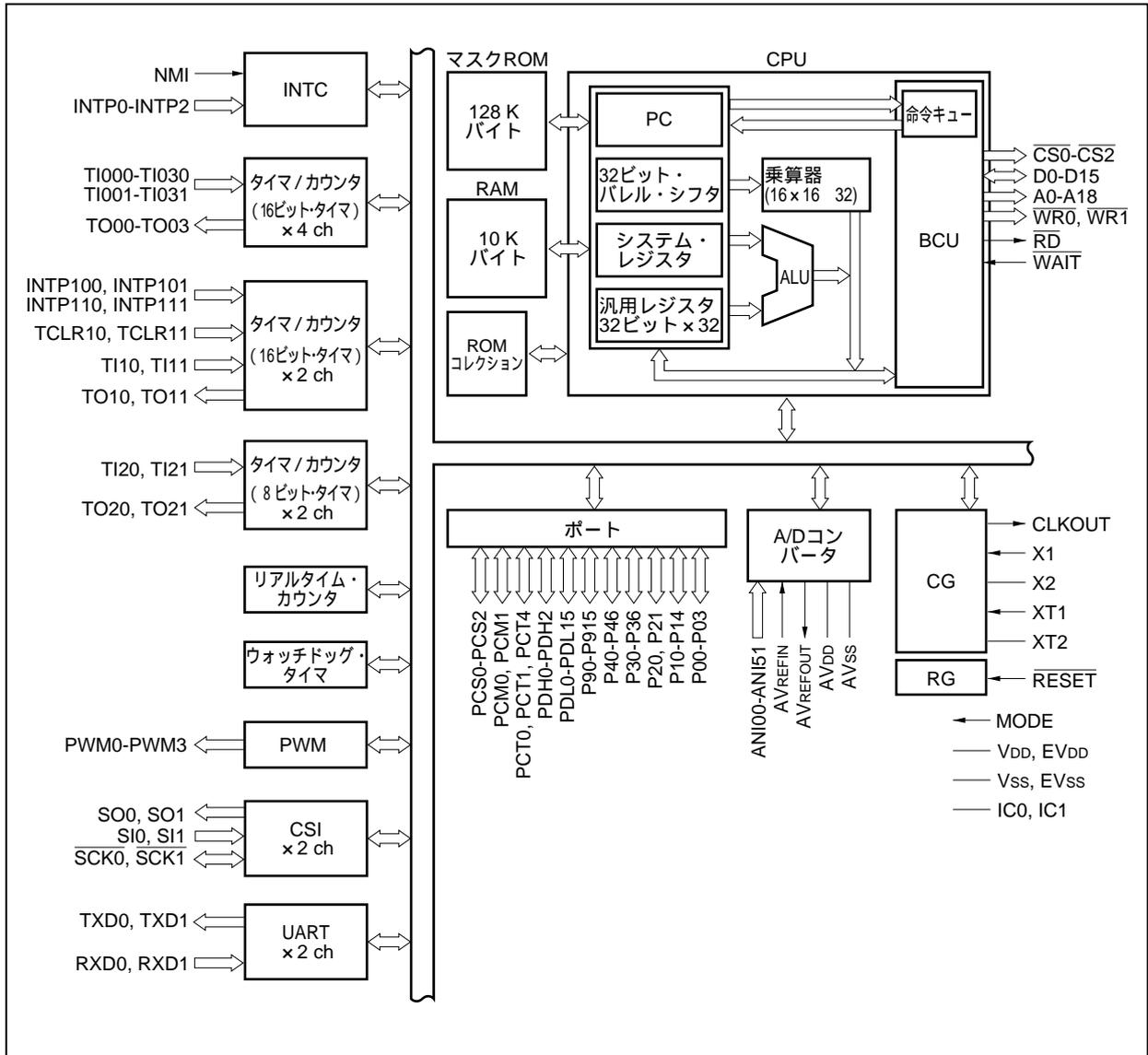
端子名称

A0-A18	: Address Bus	PCT0, PCT1, PCT4	: Port CT
ANI00, ANI01, ANI10,	: Analog Input	PDH0-PDH2	: Port DH
ANI11, ANI20, ANI21,		PDL0-PDL15	: Port DL
ANI30, ANI31, ANI40,		PWM0-PWM3	: Pulse Width Modulation
ANI41, ANI50, ANI51		\overline{RD}	: Read Strobe
AV _{DD}	: Analog V _{DD}	\overline{RESET}	: Reset
AV _{REFIN}	: Analog Reference Voltage Input	RXD0, RXD1	: Receive Data
AV _{REFOUT}	: Analog Reference Voltage Output	$\overline{SCK0}$, $\overline{SCK1}$: Serial Clock
AV _{SS}	: Analog V _{SS}	SI0, SI1	: Serial Input
\overline{CLKOUT}	: Clock Output	SO0, SO1	: Serial Output
$\overline{CS0-CS2}$: Chip Select	TCLR10, TCLR11	: Timer Clear Input
D0-D15	: Data Bus	TI000, TI001,	: Timer Input
EV _{DD}	: Power Supply for Port	TI010, TI011,	
EV _{SS}	: Ground for Port	TI020, TI021,	
IC0, IC1	: Internally Connected	TI030, TI031,	
INTP0-INTP2	: External Interrupt Input	TI10, TI11,	
INTP100, INTP101,	: Timer Input	TI20, TI21	
INTP110, INTP111		TO00-TO03,	: Timer Output
MODE	: Operation Mode Select	TO10, TO11,	
NMI	: Non-maskable Interrupt Request	TO20, TO21	
P00-P03	: Port 0	TXD0, TXD1	: Transmit Data
P10-P14	: Port 1	V _{DD}	: Power Supply
P20, P21	: Port 2	V _{SS}	: Ground
P30-P36	: Port 3	\overline{WAIT}	: Wait
P40-P46	: Port 4	$\overline{WR0}$: Lower Byte Write Strobe
P90-P915	: Port 9	$\overline{WR1}$: Upper Byte Write Strobe
PCM0, PCM1	: Port CM	X1, X2	: Crystal for Main Clock
PCS0-PCS2	: Port CS	XT1, XT2	: Crystal for Subclock

1.6 機能ブロック構成

1.6.1 内部ブロック図

・ V850ES/PM1



1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(3) ROM

0000000H-001FFFFFH番地にマッピングされる128 KバイトのマスクROMです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FFC800H-3FFEFFFH番地にマッピングされる10 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP2) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり，メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{XT}) を生成しています。

CPUクロック周波数 (f_{CPU}) としては， f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, f_{XT} の5種類から選択できます。

(7) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを6チャンネル内蔵し，パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタを内蔵し，カスケード接続し，16ビット・タイマとしても使用できます。

(8) リアルタイム・カウンタ (時計用)

サブクロックから基準時間をカウントし，インターバル・タイマとしても同時に使用できます。週，日，時，分，秒のカウンタを持ち，最長4095週までカウントが可能です。

(9) ウォッチドッグ・タイマ

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。
インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は，オーバフローで内部リセット要求信号（WDTRES）を発生します。インターバル・タイマとして使用する場合は，オーバフローでマスクブル割り込み要求信号（INTWDTM）を発生します。

(10) PWM (Pulse Width Modulation)

8-10, 12ビット分解能を選択可能なPWM信号出力を4チャンネル持っています。

(11) シリアル・インタフェース

V850ES/PM1には，シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース（UART0, UART1），クロック同期式シリアル・インタフェース（CSI0, CSI1）を内蔵しており，最大4チャンネルを同時に使用できます。

UART0, UART1は，TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0, CSI1は，SO0, SO1, SI0, SI1, $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ 端子によりデータ転送を行います。

(12) A/Dコンバータ

V850ES/PM1は12本のアナログ入力端子を持ち，高速，高分解能の $\Delta\Sigma$ 変換方式の16ビットA/Dコンバータを6チャンネル内蔵しています。また，基準電圧の入出力機能も備え，A/D変換結果レジスタを6本内蔵しています。

(13) ROMコレクション

マスクROM内のプログラムの一部を内蔵RAMのプログラムへ置き換えて実行する機能です。4箇所修正可能です。

(14) ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	4ビット入出力	NMI，外部割り込み，タイマ入力
P1	5ビット入出力	PWM出力，タイマ入出力
P2	2ビット入出力	タイマ出力
P3	7ビット入出力	シリアル・インタフェース，タイマ入力，タイマ・トリガ
P4	7ビット入出力	シリアル・インタフェース，タイマ出力，タイマ・トリガ
P9	16ビット入出力	外部アドレス・バス，タイマ入力
PCM	2ビット入出力	外部バス制御信号
PCS	3ビット入出力	チップ・セレクト出力
PCT	3ビット入出力	外部バス制御信号
PDH	3ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部データ・バス

第2章 端子機能

2.1 端子機能一覧

V850ES/PM1の端子名称と機能をポート端子とそれ以外の端子に分けて説明します。

端子の入出力バッファ電源には、AV_{DD}、EV_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{DD}	ANIn0, ANIn1 (n = 0-5)
EV _{DD}	ポート0-4, 9, CM, CS, CT, DH, DL, RESET $\bar{}$

(1) ポート端子

(1/2)

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子
P00	79	入出力	あり	ポート0 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	NMI
P01	78				INTP0
P02	77				INTP1
P03	76				INTP2/TI20
P10	6	入出力	あり	ポート1 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能	PWM0
P11	7				TO00/PWM1
P12	8				TO01/PWM2
P13	9				TO20/PWM3
P14	10				TO21/TI21
P20	36	入出力	あり	ポート2 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TO02
P21	37				TO03
P30	5	入出力	あり	ポート3 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能	RXD0
P31	4				TXD0
P32	3				SI1
P33	2				SO1
P34	1				SCK1
P35	100				INTP100/TI10/ TCLR10
P36	99				INTP110/TI11/ TCLR11
P40	69	入出力	あり	ポート4 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SI0
P41	70				SO0
P42	71				SCK0
P43	72				RXD1
P44	73				TXD1
P45	74				INTP101/TO10
P46	75				INTP111/TO11
P90	20				入出力
P91	21	A1			
P92	22	A2			
P93	23	A3			
P94	24	A4			
P95	25	A5			
P96	26	A6			
P97	27	A7			
P98	28	A8/TI030			
P99	29	A9/TI031			
P910	30	A10/TI020			
P911	31	A11/TI021			
P912	32	A12/TI010			
P913	33	A13/TI011			
P914	34	A14/TI000			
P915	35	A15/TI001			

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子
PCM0	41	入出力	なし	ポートCM 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1	40				CLKOUT
PCS0	66	入出力	なし	ポートCS 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	$\overline{CS0}$
PCS1	67				$\overline{CS1}$
PCS2	68				$\overline{CS2}$
PCT0	45	入出力	なし	ポートCT 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	$\overline{WR0}$
PCT1	46				$\overline{WR1}$
PCT4	47				\overline{RD}
PDH0	42	入出力	なし	ポートDH 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1	43				A17
PDH2	44				A18
PDL0	48	入出力	なし	ポートDL 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	D0
PDL1	49				D1
PDL2	50				D2
PDL3	51				D3
PDL4	52				D4
PDL5	53				D5
PDL6	54				D6
PDL7	55				D7
PDL8	56				D8
PDL9	57				D9
PDL10	58				D10
PDL11	59				D11
PDL12	60				D12
PDL13	61				D13
PDL14	62				D14
PDL15	63				D15

(2) ポート以外の端子

(1/3)

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子名
A0	20	出力	なし	外部メモリに対するアドレス・バス	P90
A1	21				P91
A2	22				P92
A3	23				P93
A4	24				P94
A5	25				P95
A6	26				P96
A7	27				P97
A8	28				P98/TI030
A9	29				P99/TI031
A10	30				P910/TI020
A11	31				P911/TI021
A12	32				P912/TI010
A13	33				P913/TI011
A14	34				P914/TI000
A15	35				P915/TI001
A16	42				PDH0
A17	43				PDH1
A18	44	PDH2			
D0-D15	48-63	入出力	なし	外部メモリに対するデータ・バス	PDL0-PDL15
ANI00	82	入力	なし	A/Dコンバータ用アナログ電圧入力	-
ANI01	83				-
ANI10	95				-
ANI11	94				-
ANI20	84				-
ANI21	85				-
ANI30	93				-
ANI31	92				-
ANI40	86				-
ANI41	87				-
ANI50	91				-
ANI51	90				-
AV _{DD}	81	-	-	A/Dコンバータ用正電源供給 (V _{DD} と同電位)	-
AV _{REFIN}	88	入力	-	A/Dコンバータ用基準電圧入力	-
AV _{REFOUT}	89	出力	-	A/Dコンバータ用基準電圧出力	-
AV _{SS}	97	-	-	A/Dコンバータ用グランド電位 (V _{SS} と同電位)	-
CLKOUT	40	出力	なし	内部システム・クロック出力	PCM1
CS0-CS2	66-68	出力	なし	チップ・セレクト出力	PCS0-PCS2
EV _{DD}	19, 39, 65	-	-	外部用正電源供給 (V _{DD} と同電位)	-
EV _{SS}	18, 38, 64	-	-	外部用グランド電位 (V _{SS} と同電位)	-
IC0	96	-	-	内部接続されています (AV _{SS} に直接接続してください)。	-
IC1	98	-	-	内部接続されています (V _{SS} に直接接続してください)。	-

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子名
INTP0	78	入力	あり	外部割り込み要求入力(マスカブル,アナログ・ノイズ除去)	P01
INTP1	77				P02
INTP2	76				P03/TI20
INTP100	100	入力	あり	キャプチャ・トリガ入力(TM10)	P35/TI10/TCLR10
INTP101	74				P45/TO10
INTP110	99			キャプチャ・トリガ入力(TM11)	P36/TI11/TCLR11
INTP111	75				P46/TO11
MODE	80	入力	なし	動作モード指定	-
NMI	79	入力	あり	外部割り込み要求入力(ノンマスカブル,アナログ・ノイズ除去)	P00
PWM0	6	出力	あり	PWM出力	P10
PWM1	7				P11/TO00
PWM2	8				P12/TO01
PWM3	9				P13/TO20
\overline{RD}	47	出力	なし	外部メモリに対するリード・ストロブ信号出力	PCT4
\overline{RESET}	15	入力	-	システム・リセット入力	-
RXD0	5	入力	あり	シリアル受信データ入力(UART0)	P30
RXD1	72			シリアル受信データ入力(UART1)	P43
$\overline{SCK0}$	71	入出力	あり	シリアル・クロック入出力(CSI0)	P42
$\overline{SCK1}$	1			シリアル・クロック入出力(CSI1)	P34
SI0	69	入力	あり	シリアル受信データ入力(CSI0)	P40
SI1	3			シリアル受信データ入力(CSI1)	P32
SO0	70	出力	あり	シリアル送信データ出力(CSI0)	P41
SO1	2			シリアル送信データ出力(CSI1)	P33
TCLR10	100	入力	あり	タイマ・クリア入力(TM10)	P35/INTP100/TI10
TCLR11	99			タイマ・クリア入力(TM11)	P36/INTP110/TI11
TI000	34	入力	なし	外部イベント/クロック入力(TM00)	P914/A14
TI001	35			外部イベント入力(TM00)	P915/A15
TI010	32			外部イベント/クロック入力(TM01)	P912/A12
TI011	33			外部イベント入力(TM01)	P913/A13
TI020	30			外部イベント/クロック入力(TM02)	P910/A10
TI021	31			外部イベント入力(TM02)	P911/A11
TI030	28			外部イベント/クロック入力(TM03)	P98/A8
TI031	29			外部イベント入力(TM03)	P99/A9
TI10	100			入力	あり
TI11	99	外部クロック入力(TM11)	P36/INTP110/TCLR11		
TI20	76	入力	あり	外部クロック入力(TM20)	P03/INTP2
TI21	10			外部クロック入力(TM21)	P14/TO21
TO00	7	出力	あり	タイマ出力(TM00)	P11/PWM1
TO01	8			タイマ出力(TM01)	P12/PWM2
TO02	36			タイマ出力(TM02)	P20
TO03	37			タイマ出力(TM03)	P21

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子名
TO10	74	出力	あり	タイマ出力 (TM10)	P45/INTP101
TO11	75			タイマ出力 (TM11)	P46/INTP111
TO20	9	出力	あり	タイマ出力 (TM20)	P13/PWM3
TO21	10	出力	あり	タイマ出力 (TM21)	P14/TI21
TXD0	4	出力	あり	シリアル送信データ出力 (UART0)	P31
TXD1	73			シリアル送信データ出力 (UART1)	P44
V _{DD}	11	-	-	内部用正電源供給端子	-
V _{SS}	12	-	-	内部用グランド電位	-
WAIT	41	入力	なし	外部ウエイト入力	PCM0
WR0	45	出力	なし	外部メモリ (下位8ビット) に対するライト・ストロープ	PCT0
WR1	46			外部メモリ (上位8ビット) に対するライト・ストロープ	PCT1
X1	13	入力	なし	メイン・クロック用発振子接続	-
X2	14	-			-
XT1	16	入力	なし	サブクロック用発振子接続	-
XT2	17	-			-

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

バス制御端子	リセット ^{注1}	HALTモード	IDLEモード STOPモード	アイドル・ ステート ^{注2}
D0-D15	Hi-Z	Hi-Z	Hi-Z	保持
A16-A18	Hi-Z	不定	Hi-Z	保持
A0-A15	Hi-Z	不定	Hi-Z	保持
$\overline{\text{WAIT}}$	Hi-Z	-	-	-
CLKOUT	Hi-Z	動作	L	動作
$\overline{\text{CS0}}$ - $\overline{\text{CS2}}$	Hi-Z	H	H	保持
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	Hi-Z	H	H	H
$\overline{\text{RD}}$	Hi-Z	H	H	H

注1. バス制御端子はポート端子と兼用するので、シングルチップ・モードでは入力モード（ポート・モード）に初期化します。

CLKOUT信号以外は、ROMレス・モードのリセット中、コントロール・モードに初期化されます。

2. T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

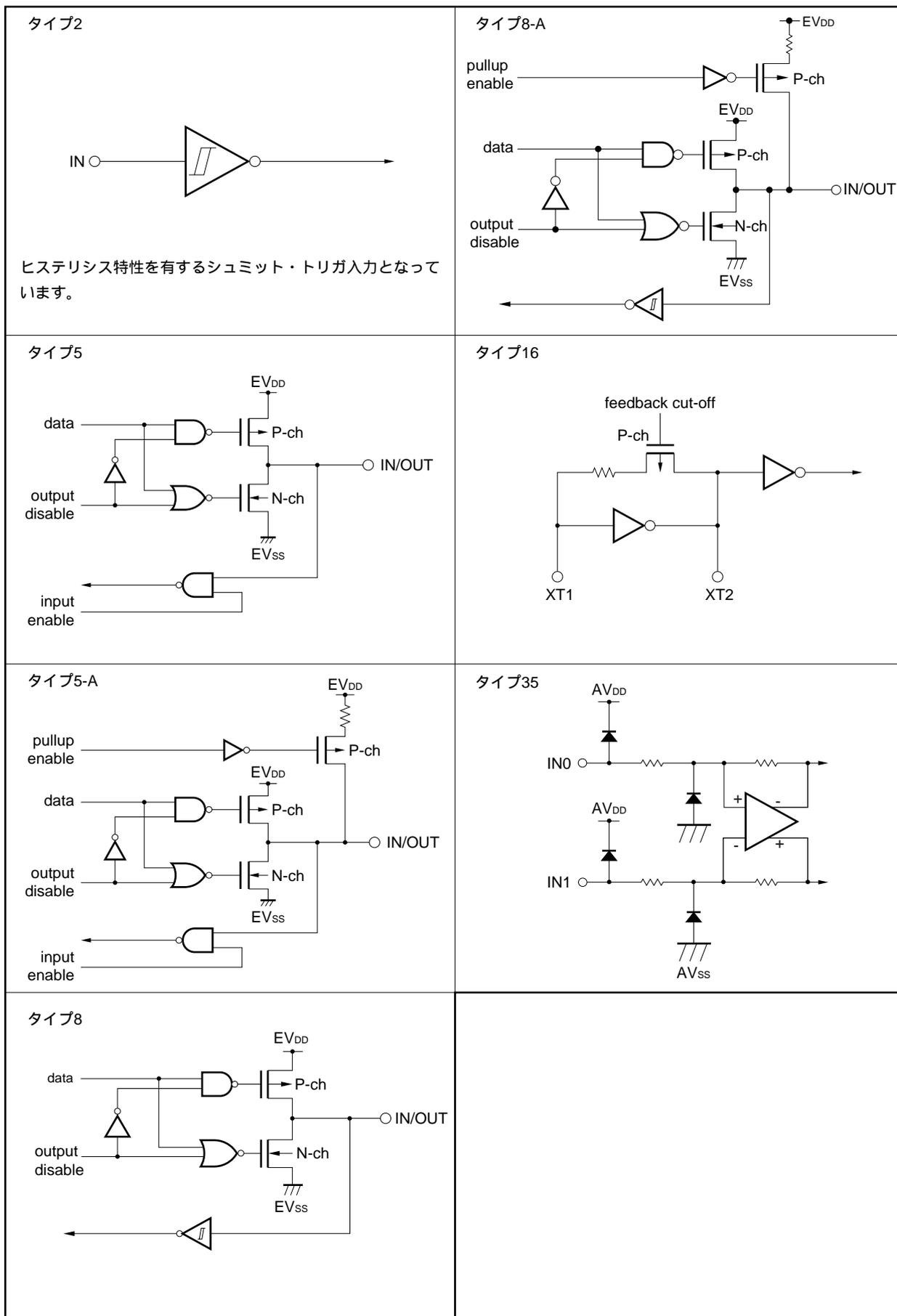
2.3 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/2)

端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P00	NMI	79	8-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01, P02	INTP0, INTP1	78, 77		
P03	INTP2/TI20	76		
P10	PWM0	6	5-A	
P11	TO00/PWM1	7		
P12	TO01/PWM2	8		
P13	TO20/PWM3	9		
P14	TO21/TI21	10	8-A	
P20, P21	TO02, TO03	36, 37	5-A	
P30	RXD0	5	8-A	
P31	TXD0	4	5-A	
P32	SI1	3	8-A	
P33	SO1	2	5-A	
P34	$\overline{\text{SCK1}}$	1	8-A	
P35	INTP100/TI110/TCLR10	100		
P36	INTP110/TI111/TCLR11	99		
P40	SI0	69		
P41	SO0	70		
P42	$\overline{\text{SCK0}}$	71	8-A	
P43	RXD1	72		
P44	TXD1	73	5-A	
P45	INTP101/TO10	74	8-A	
P46	INTP111/TO11	75		
P90-P97	A0-A7	20-27	5	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P98	A8/TI030	28	8	
P99	A9/TI031	29		
P910	A10/TI020	30		
P911	A11/TI021	31		
P912	A12/TI010	32		
P913	A13/TI011	33		
P914	A14/TI000	34		
P915	A15/TI001	35		
PCM0	$\overline{\text{WAIT}}$	41	5	
PCM1	CLKOUT	40		
PCS0-PCS2	$\overline{\text{CS0}}$ - $\overline{\text{CS2}}$	66-68		
PCT0, PCT1	$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	45, 46		
PCT4	$\overline{\text{RD}}$	47		
PDH0-PDH2	A16-A18	42-44		
PDL0-PDL15	D0-D15	48-63		

端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
ANI00, ANI01, ANI10, ANI11, ANI20, ANI21, ANI30, ANI31, ANI40, ANI41, ANI50, ANI51	-	82-87, 90-95	35	抵抗を介して, AV _{DD} またはAV _{SS} に接続してください。
AV _{DD}	-	81	-	-
AV _{REFIN}	-	88	-	抵抗を介して, AV _{SS} に接続してください。
AV _{REFOUT}	-	89	-	オープンにしてください。
AV _{SS}	-	97	-	-
EV _{DD}	-	19, 39, 65	-	-
EV _{SS}	-	18, 38, 64	-	-
IC0, IC1	-	96, 98	-	-
RESET	-	15	2	-
MODE	-	80	2	-
V _{DD}	-	11	-	-
V _{SS}	-	12	-	-
X1	-	13	-	-
X2	-	14	-	-
XT1	-	16	16	抵抗を介して, V _{SS} に接続してください。
XT2	-	17	16	オープンにしてください。

図2 - 1 端子の入出力回路タイプ



第3章 CPU機能

V850ES/PM1のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：50 ns (20 MHz動作時：3.0～3.6 V)

100 ns (10 MHz動作時：2.7～3.6 V)

30.5 μ s (サブクロック (fxT) = 32.768 kHz動作時：2.2～3.6 V)

メモリ空間 プログラム (物理アドレス) 空間：64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

・メモリ・ブロック分割機能：2 M, 2 M, 4 Mバイト / 計3ブロック

各ブロックごとで512 Kバイトがアクセス可能

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

・SET1

・CLR1

・NOT1

・TST1

3.2 CPUレジスタ・セット

V850ES/PM1のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13			
r14		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r15		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. このレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してから、DBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

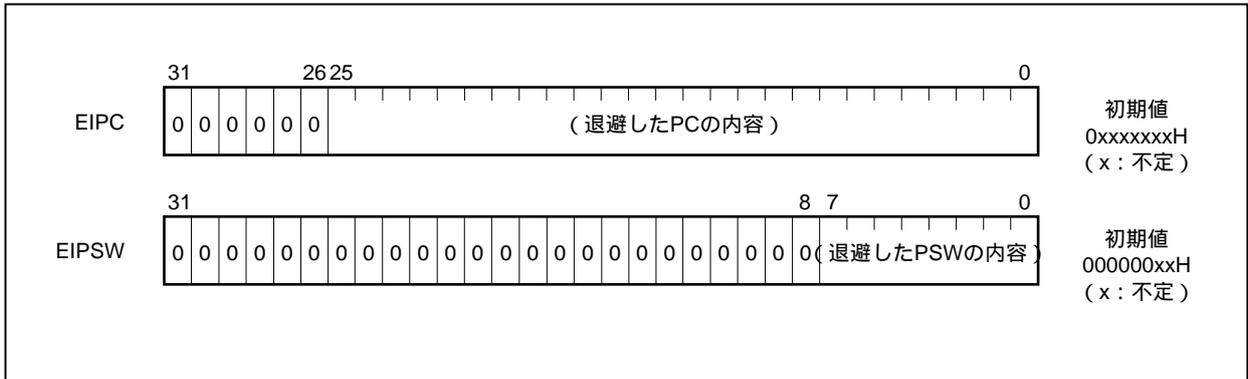
EIPCには、一部の命令 (16.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

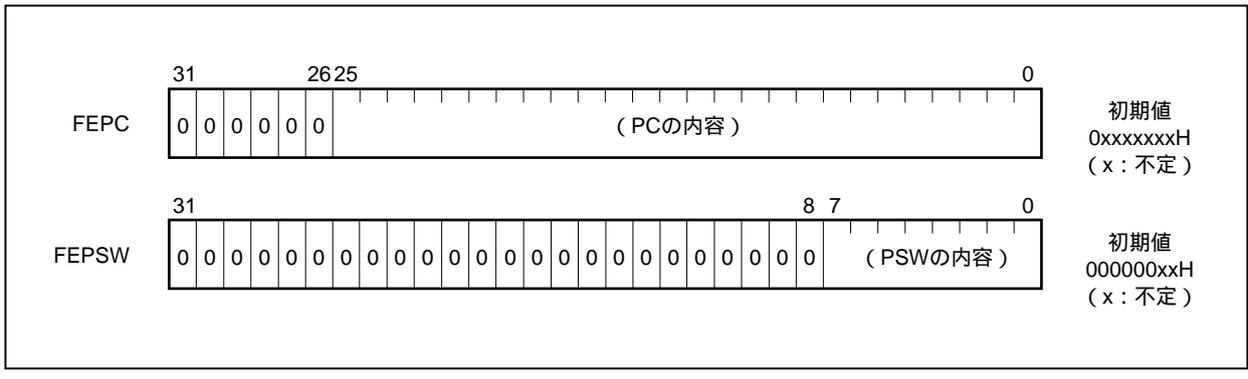
NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスカブル割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSWに退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

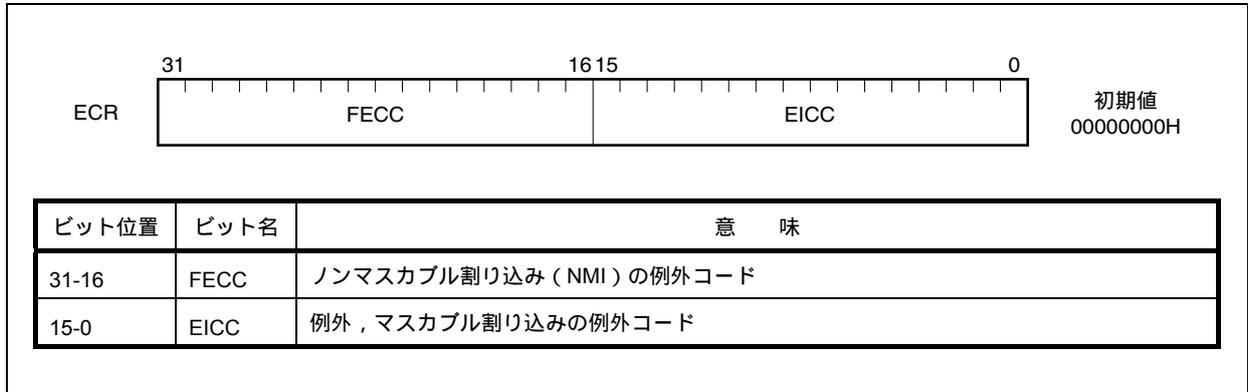
FEPSWには、現在のPSWの内容が退避されます。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



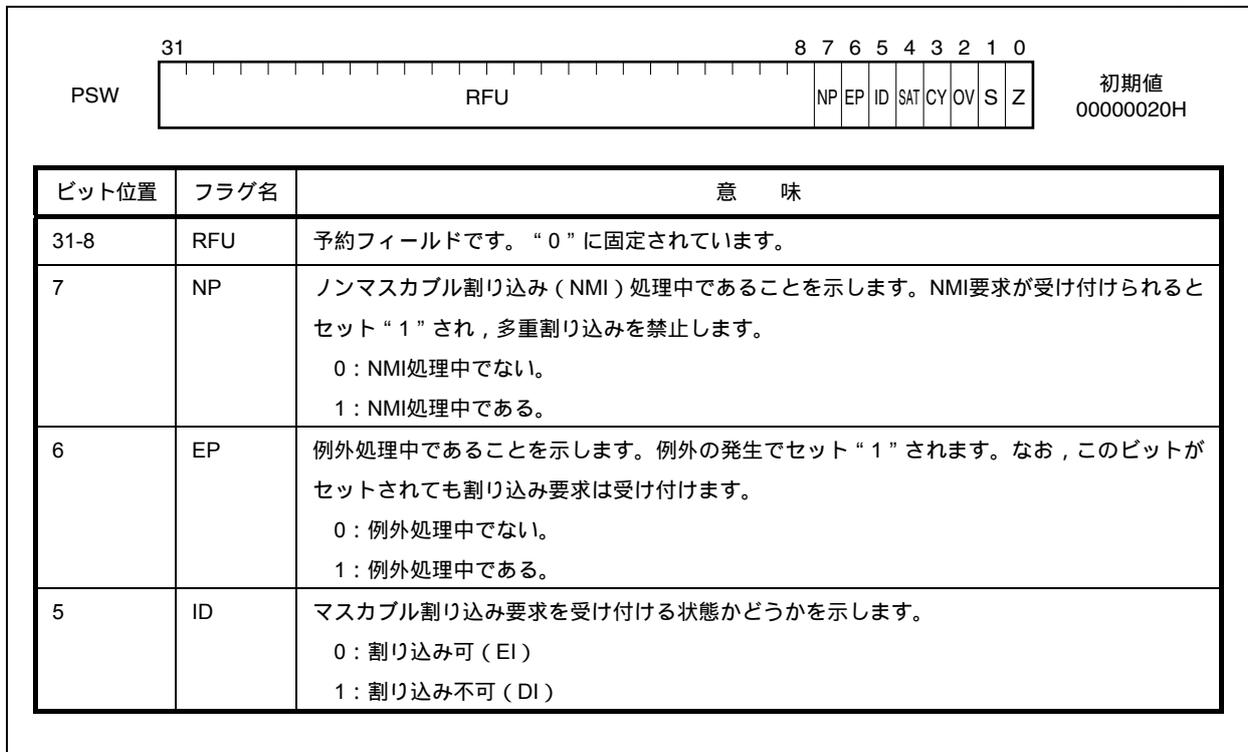
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。LDSR命令によるPSWへのアクセス期間中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)



ビット位置	フラグ名	意 味
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、またはボローは発生していない。 1：キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない。 1：オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

注 飽和演算時の OV フラグと S フラグの内容で飽和处理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を	0	0	演算結果そのもの
負（最大値を越えない）	保持		1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

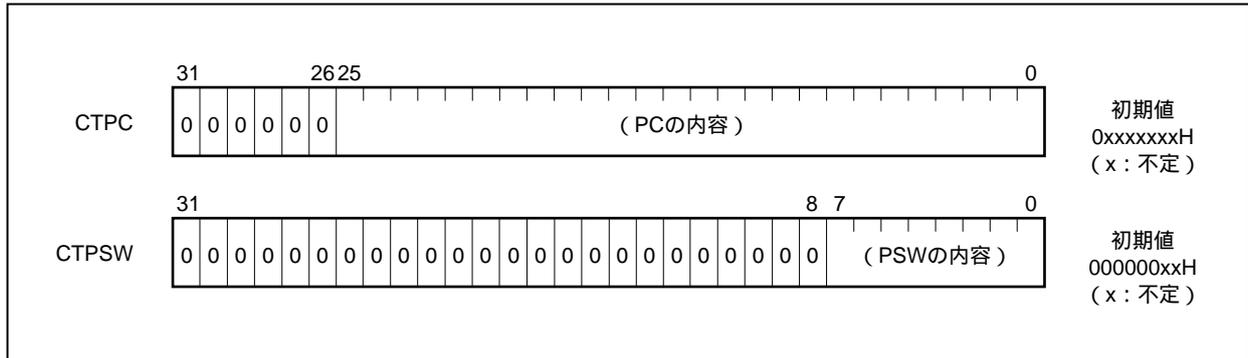
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/ディバグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/ディバグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

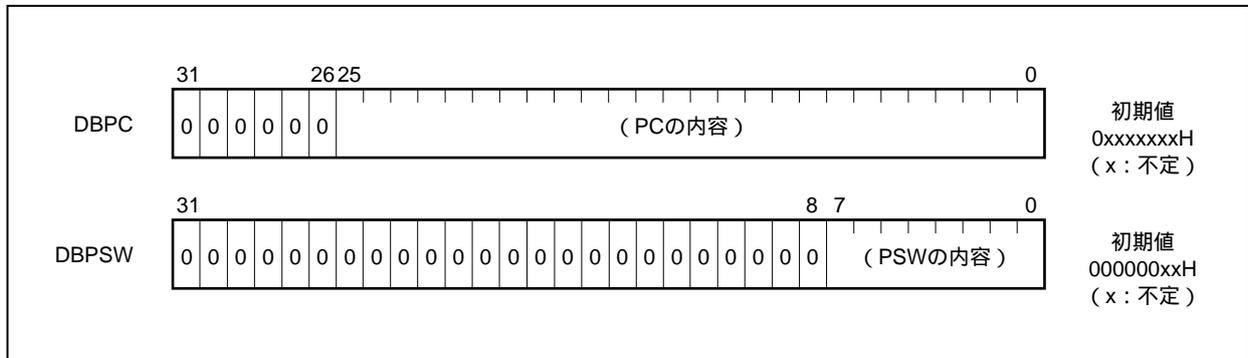
例外トラップ,またはディバグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPCに、プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

DBPCに退避される内容は、例外トラップ,またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリードは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間のみ可能です。

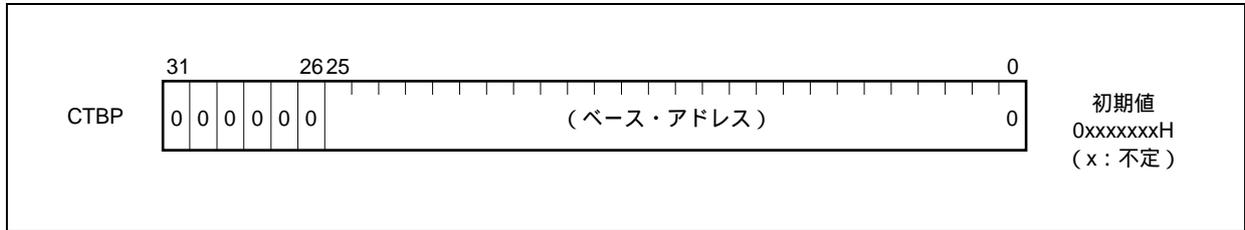
なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます (ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています (“0”に固定)。



3.3 動作モード

3.3.1 動作モード

V850ES/PM1は次に示す動作モードを備えます。

(1) シングルチップ・モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) ROMレス・モード

システム・リセット解除後、バス・インタフェース関連の端子のうちPCM1端子のみポート・モード、その他の端子はコントロール・モードになり、外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROMへの命令フェッチ、データ・アクセスは不可になります。

モードによって次に示すレジスタの初期値が異なります。

動作モード	PMCDL	PMCDH	PMCCS	PMCCT	PMCCM
ROMレス・モード	FFFFH	07H	07H	13H	01H
シングルチップ・モード	0000H	00H	00H	00H	00H

3.3.2 動作モード指定

MODE端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

MODE	動作モード	備考
L	ROMレス・モード	16ビット・データ・バス
H	シングルチップ・モード	-

注意 μ PD703228GC-003-8EU-Aの場合は、必ずL（ロウ・レベル）にしてください。

備考 L：ロウ・レベル入力

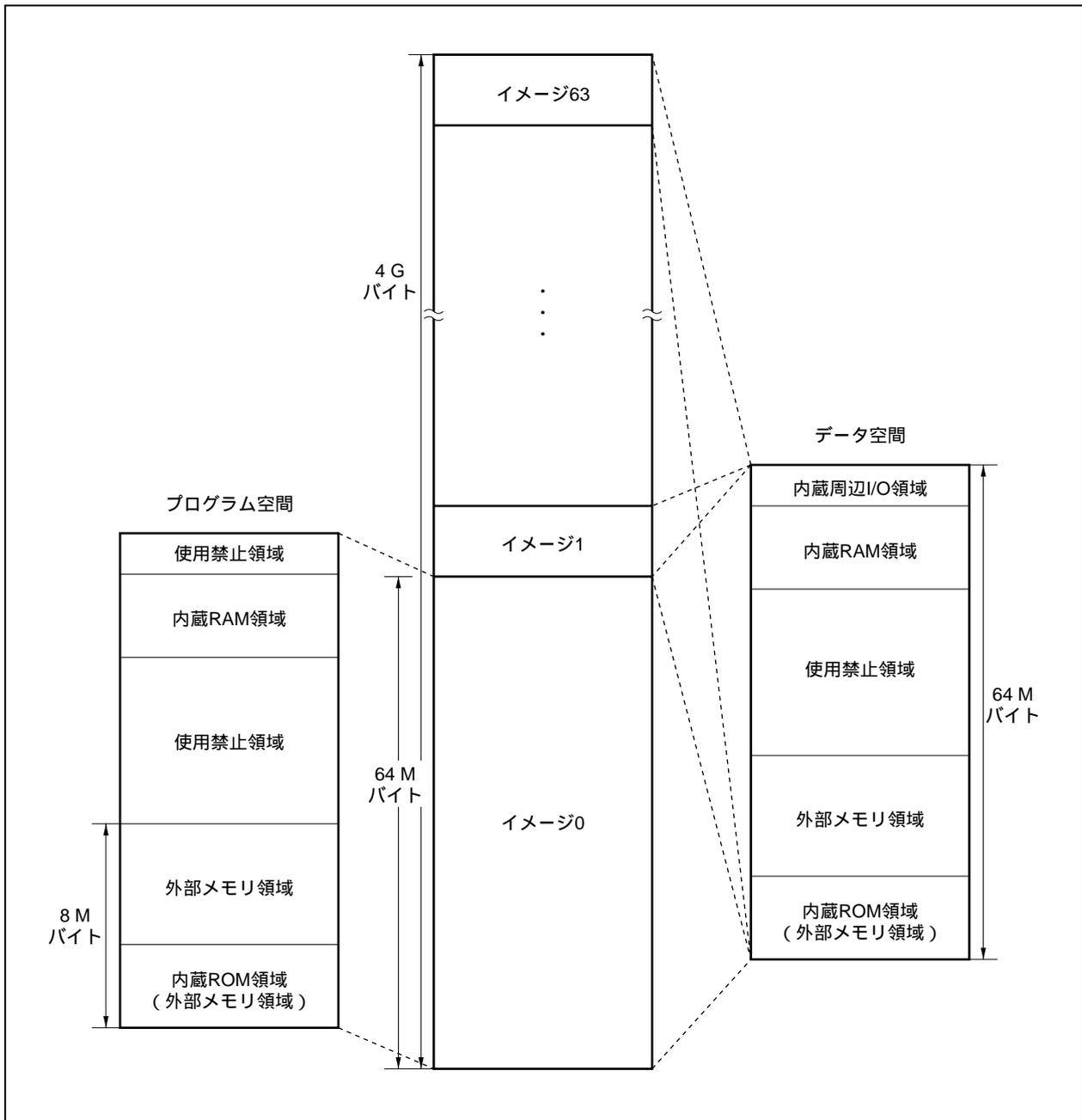
H：ハイ・レベル入力

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で8 Mバイトのリニア・アドレス空間（プログラム空間）と内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



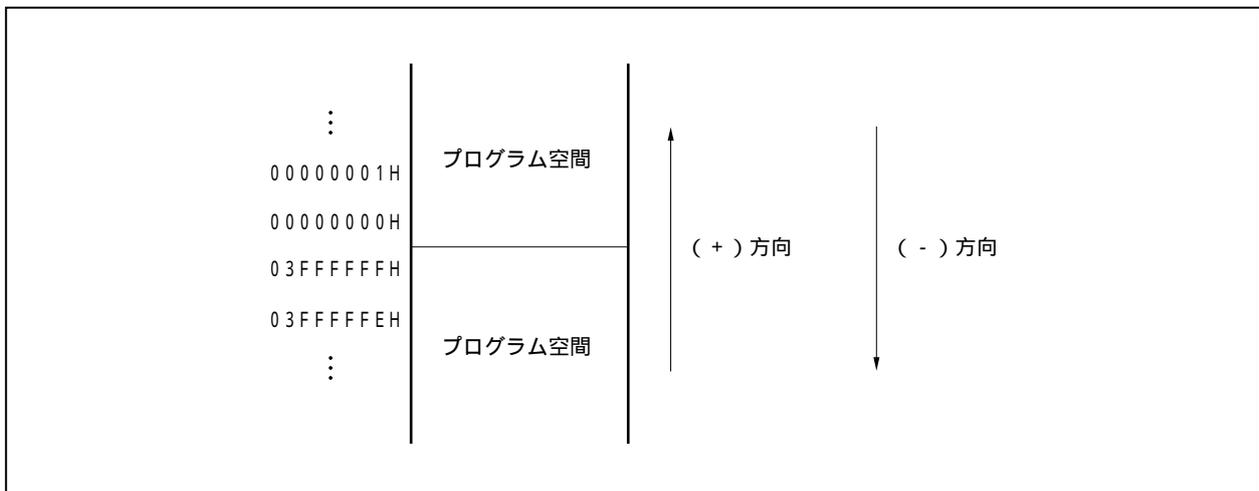
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはポローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

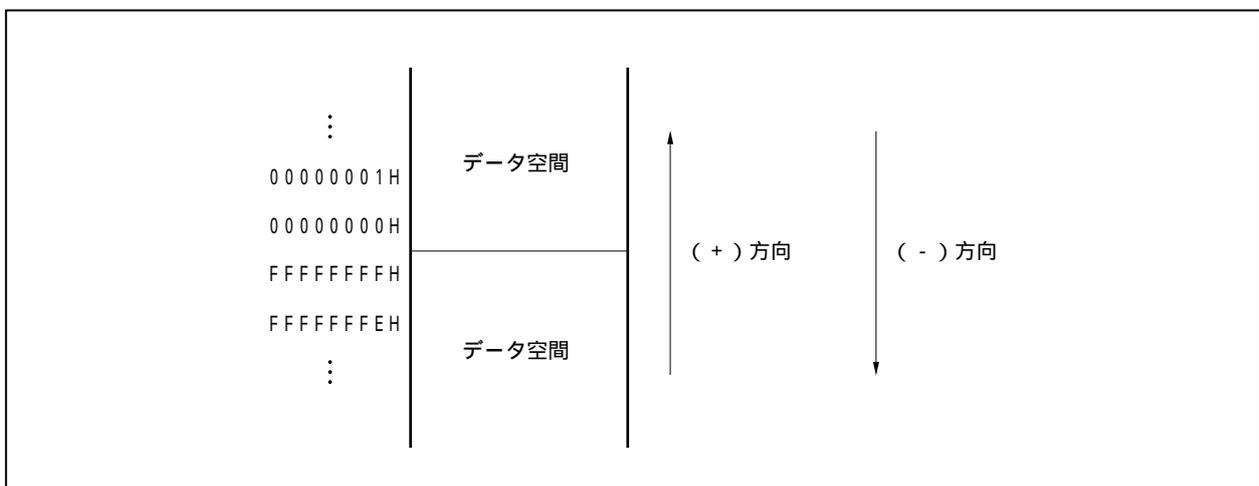
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/PM1では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

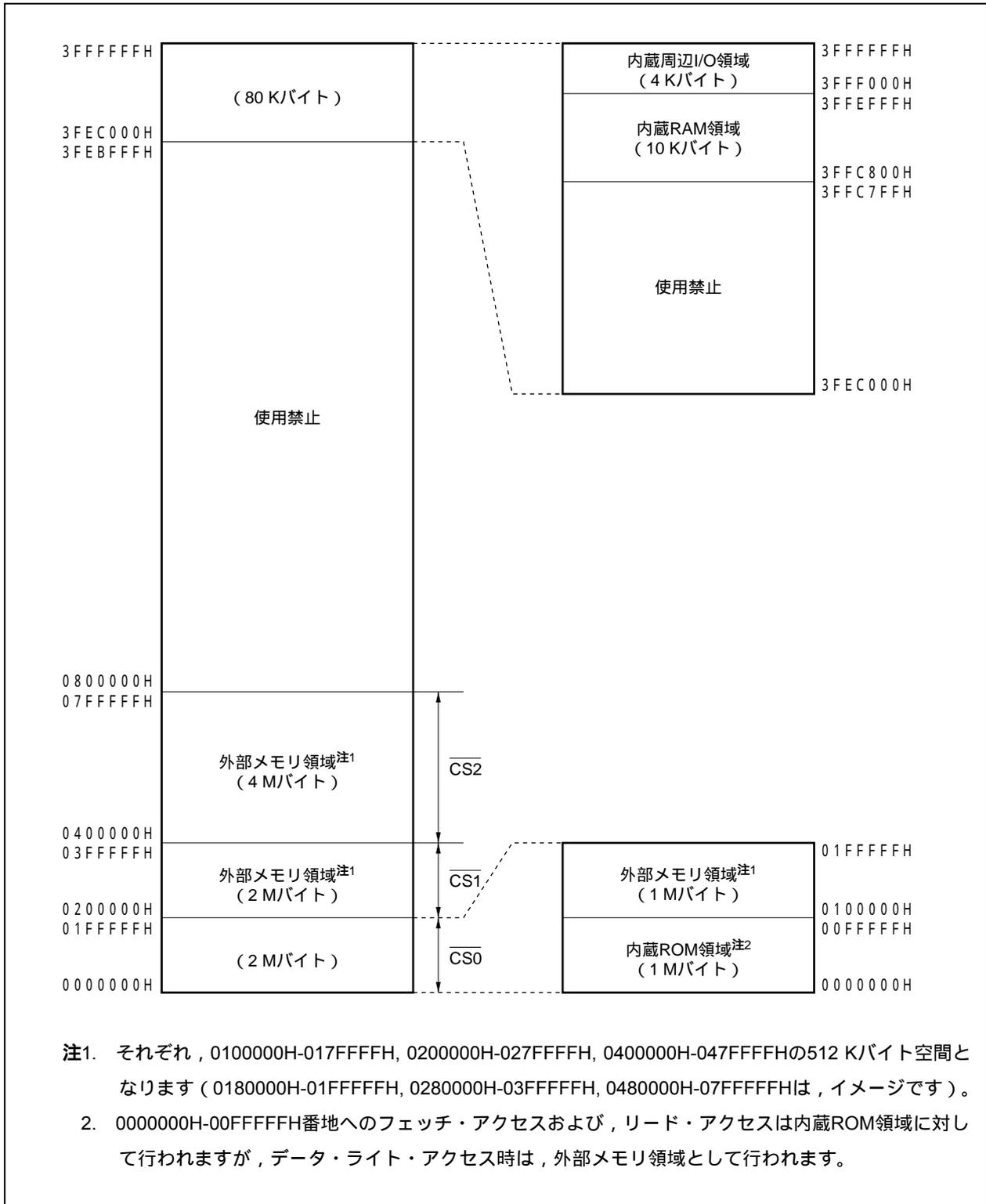
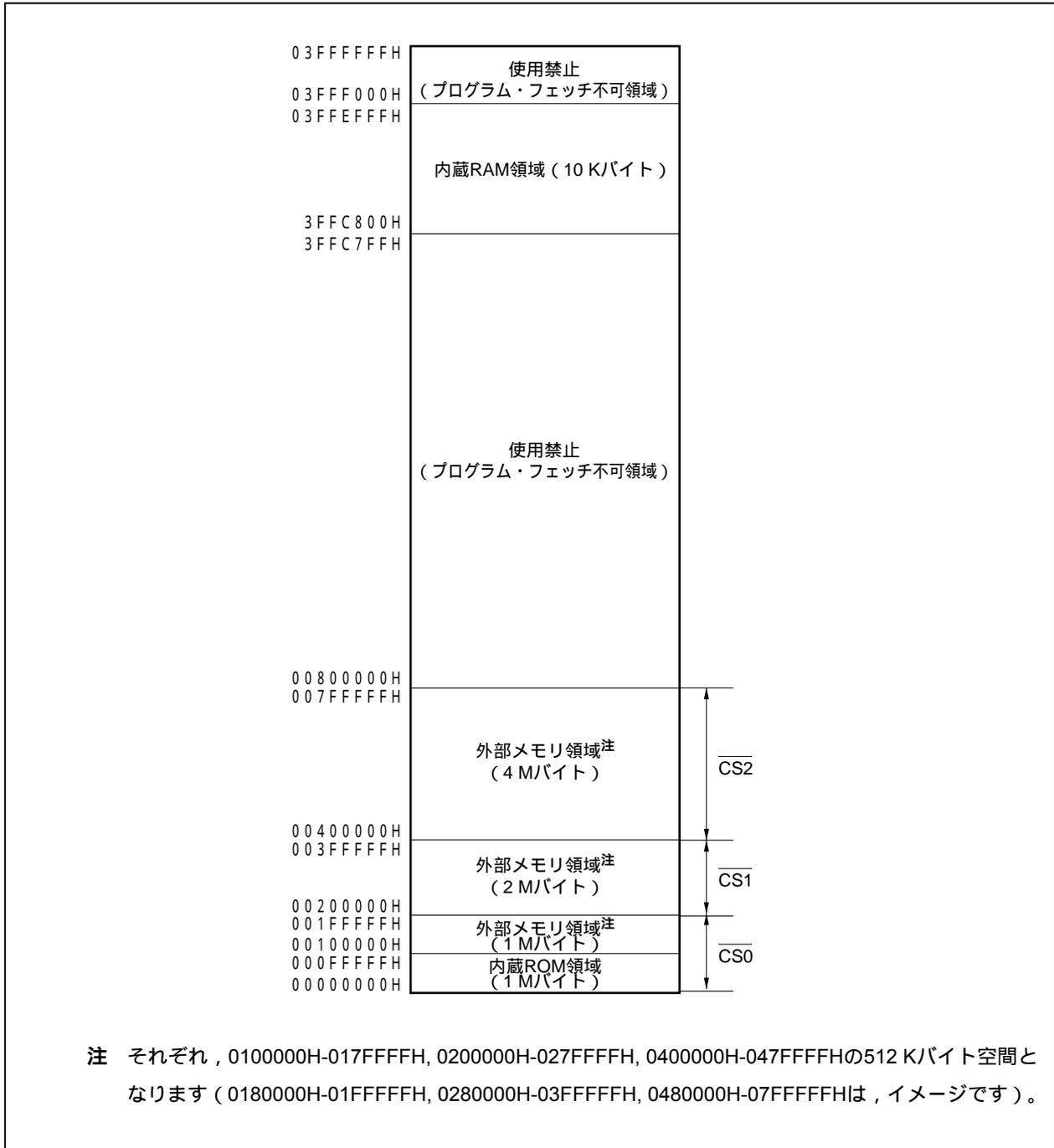


図3-3 プログラム・メモリ・マップ



3.4.4 領域

(1) 内蔵ROM領域

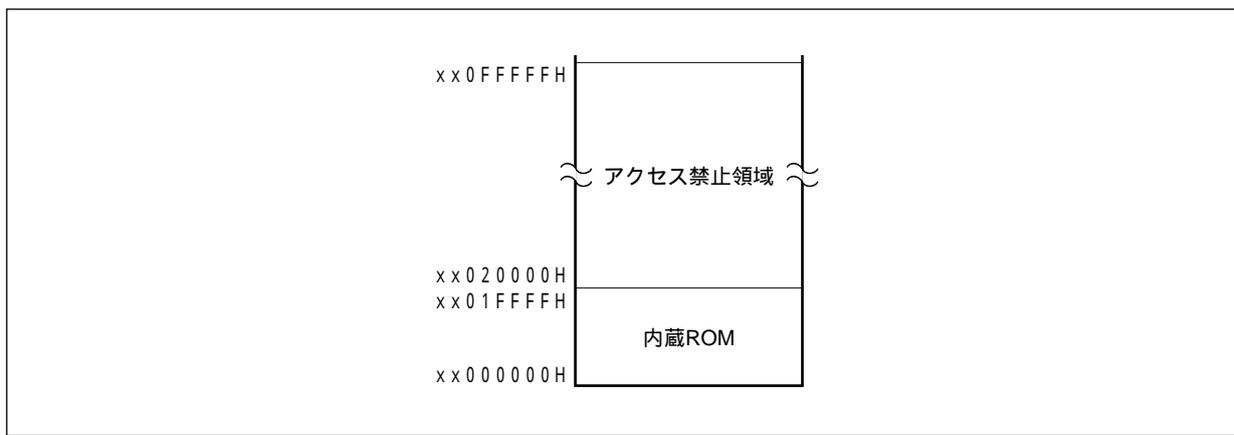
(a) メモリ・マップ

内蔵ROM領域は、0000000H-00FFFFFFH番地の1 Mバイトが予約されています。

物理内蔵ROM (マスクROM) として000000H-01FFFFFFH番地に128 Kバイトを実装しています。

備考 ROMレス・モードの場合、内蔵ROM領域はありません。

図3 - 4 内蔵ROM領域

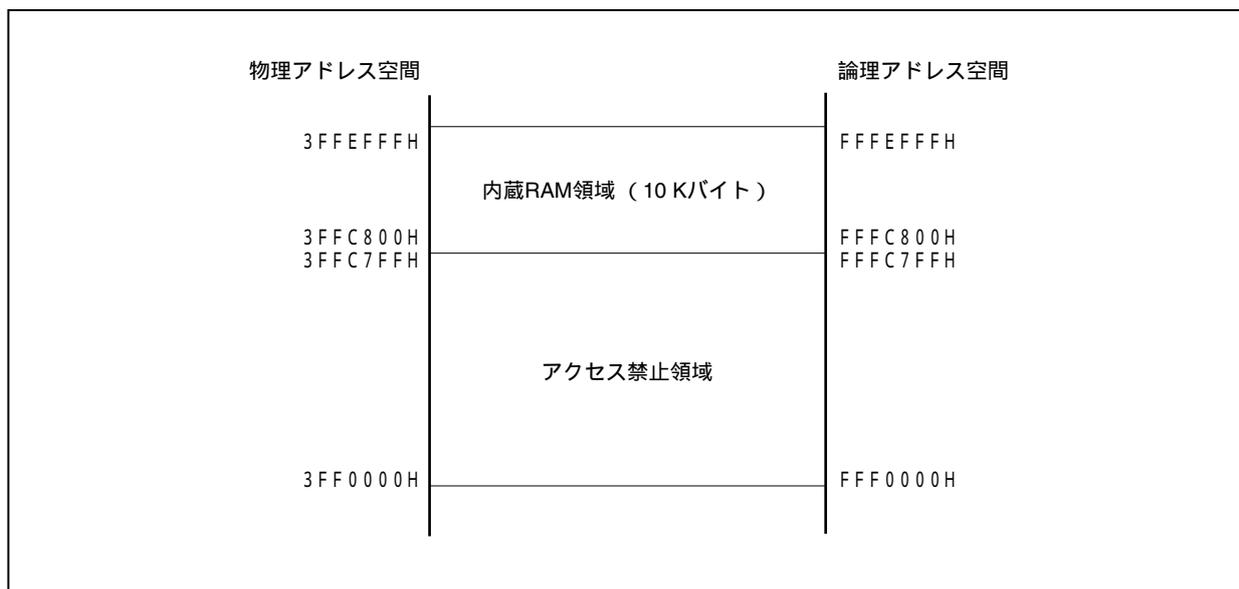


(2) 内蔵RAM領域

内蔵RAM領域は、3FF0000H-3FFFFFFFFH番地の60 Kバイトが予約されています。

物理内蔵RAMとして3FFC800H-3FFFFFFFFH番地に10 Kバイトを実装しています。

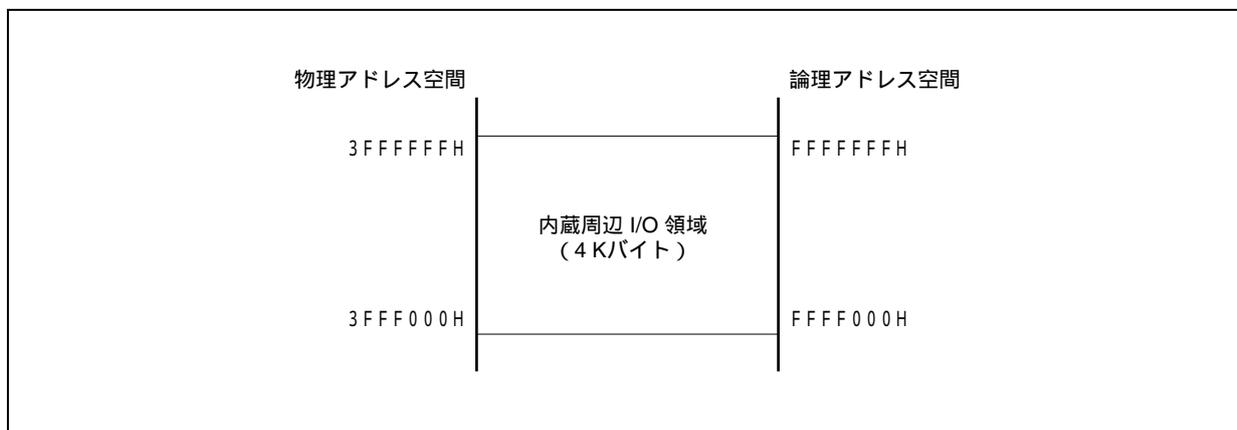
図3 - 5 内蔵RAM領域



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFFFFFFH番地の4 Kバイトを実装しています。

図3 - 6 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
- 2.** バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 3.** レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

外部メモリ領域として7 Mバイト (0100000H-07FFFFFFH) あります。詳細は第5章 **バス制御機能**を参照してください。

3.4.5 アドレス空間の推奨使用方法

V850ES/PM1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

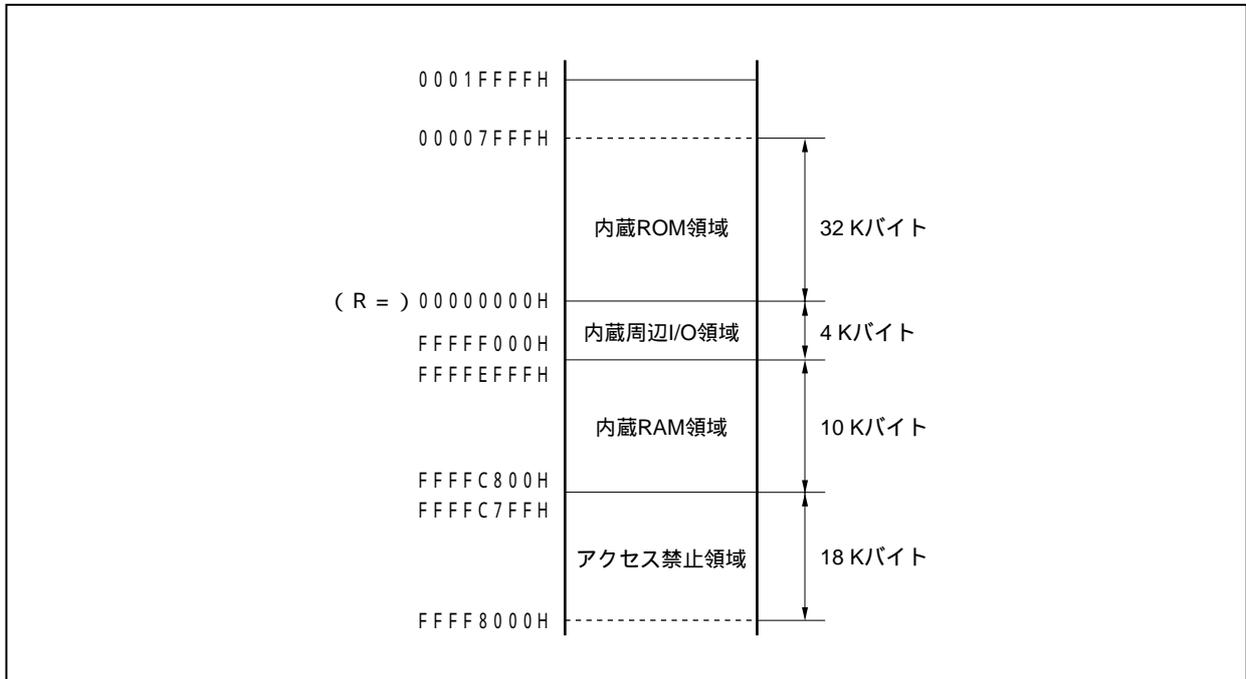
プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、3FFC800H-3FFEFFFH番地に対してアクセスしてください。

(2) データ空間

V850ES/PM1では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

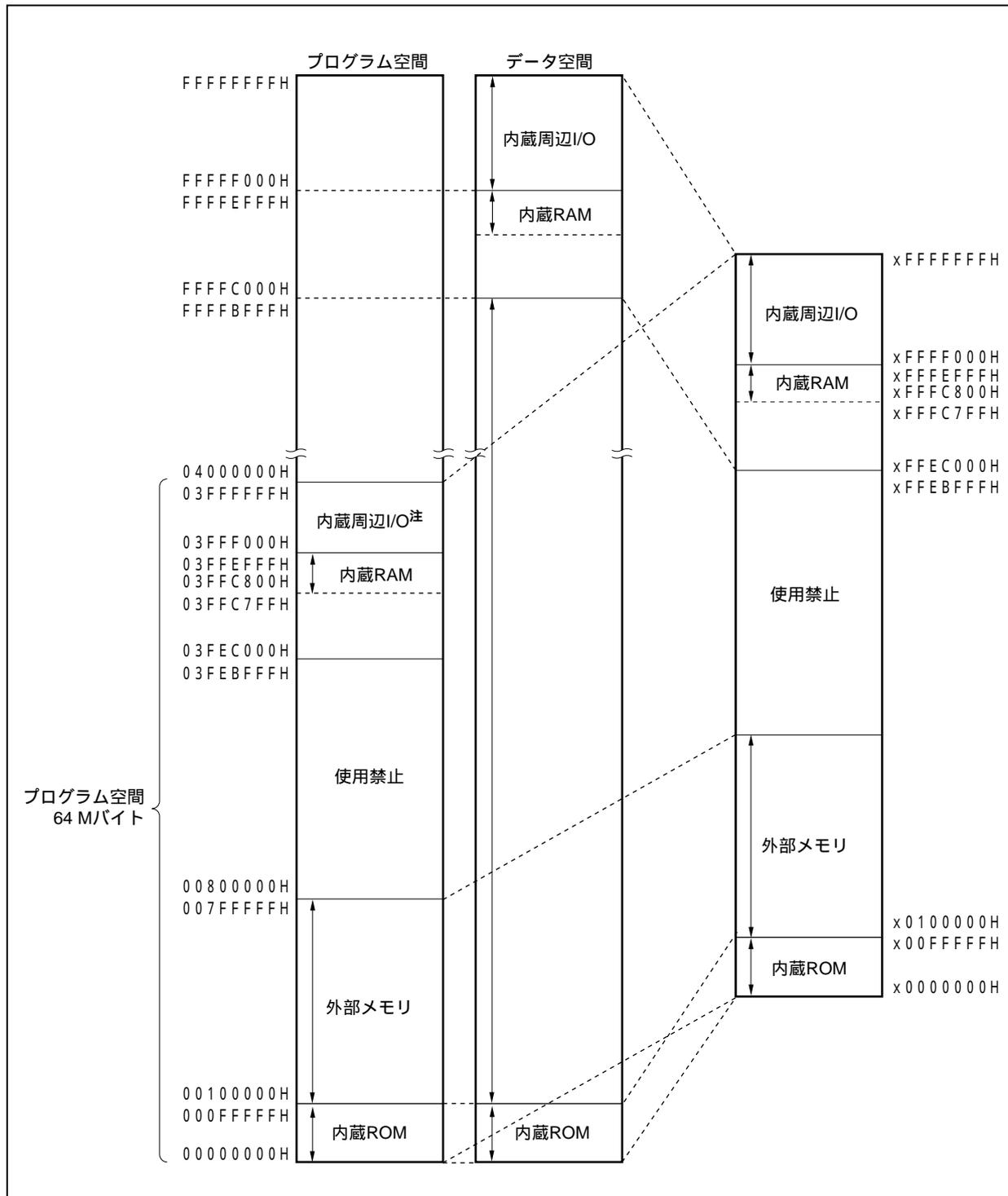
例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3-7 推奨メモリ・マップ



注 この領域はアクセス禁止です。この領域の内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。

備考 † は推奨使用領域です。

3.4.6 周辺I/Oレジスタ

(1/6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDL	PDL	R/W				0000H ^{注1}
FFFFFF004H	ポートDLL	PDLL					00H ^{注1}
FFFFFF005H	ポートDLH	PDLH					
FFFFFF006H	ポートDH	PDH					
FFFFFF008H	ポートCS	PCS					
FFFFFF00AH	ポートCT	PCT					
FFFFFF00CH	ポートCM	PCM					
FFFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH					
FFFFFF026H	ポートDHモード・レジスタ	PMDH					
FFFFFF028H	ポートCSモード・レジスタ	PMCS					
FFFFFF02AH	ポートCTモード・レジスタ	PMCT					
FFFFFF02CH	ポートCMモード・レジスタ	PMCM					
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					FFFFH ^{注2}
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					FFH ^{注2}
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					FFH ^{注2}
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH					07H ^{注2}
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS					07H ^{注2}
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCCT					13H ^{注2}
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					01H ^{注2}
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L				FFH	
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H					
FFFFFF102H	割り込みマスク・レジスタ1	IMR1				FFFFH	
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L				FFH	
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H					
FFFFFF110H	割り込み制御レジスタ	WDTIC				47H	
FFFFFF112H	割り込み制御レジスタ	PIC0					
FFFFFF114H	割り込み制御レジスタ	PIC1					
FFFFFF116H	割り込み制御レジスタ	PIC2					
FFFFFF118H	割り込み制御レジスタ	ADIC					
FFFFFF11AH	割り込み制御レジスタ	RTCIC					
FFFFFF11CH	割り込み制御レジスタ	TMIC000					
FFFFFF11EH	割り込み制御レジスタ	TMIC001					
FFFFFF120H	割り込み制御レジスタ	TMIC010					
FFFFFF122H	割り込み制御レジスタ	TMIC011					
FFFFFF124H	割り込み制御レジスタ	TMIC020					
FFFFFF126H	割り込み制御レジスタ	TMIC021					

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. ROMレス・モード時の値です。シングルチップ・モード時は00Hまたは0000Hになります。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF128H	割り込み制御レジスタ	TMIC030	R/W				47H
FFFFF12AH	割り込み制御レジスタ	TMIC031					
FFFFF12CH	割り込み制御レジスタ	CCIC100					
FFFFF12EH	割り込み制御レジスタ	CCIC101					
FFFFF130H	割り込み制御レジスタ	OVFIC10					
FFFFF132H	割り込み制御レジスタ	CCIC110					
FFFFF134H	割り込み制御レジスタ	CCIC111					
FFFFF136H	割り込み制御レジスタ	OVFIC11					
FFFFF138H	割り込み制御レジスタ	TMIC20					
FFFFF13AH	割り込み制御レジスタ	TMIC21					
FFFFF13CH	割り込み制御レジスタ	CSIC0					
FFFFF13EH	割り込み制御レジスタ	CSIC1					
FFFFF140H	割り込み制御レジスタ	SREIC0					
FFFFF142H	割り込み制御レジスタ	SRIC0					
FFFFF144H	割り込み制御レジスタ	STIC0					
FFFFF146H	割り込み制御レジスタ	SREIC1					
FFFFF148H	割り込み制御レジスタ	SRIC1					
FFFFF14AH	割り込み制御レジスタ	STIC1					
FFFFF14CH	割り込み制御レジスタ	ROVIC					
FFFFF1FAH	インサースビス・プライオリティ・レジスタ	ISPR		R			
FFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFF200H	A/Dコンバータ・モード・レジスタ	ADM					
FFFFF201H	A/Dクロック・ディレイ設定レジスタ	ADLY					
FFFFF202H	ハイ・パス・フィルタ・コントロール・レジスタ0	HPFC0					
FFFFF204H	A/D変換結果レジスタ0	ADCR0		R			
FFFFF206H	A/D変換結果レジスタ1	ADCR1					
FFFFF208H	A/D変換結果レジスタ2	ADCR2					
FFFFF20AH	A/D変換結果レジスタ3	ADCR3					
FFFFF20CH	A/D変換結果レジスタ4	ADCR4					
FFFFF20EH	A/D変換結果レジスタ5	ADCR5					
FFFFF400H	ポート0	P0	R/W				00H ^注
FFFFF402H	ポート1	P1					
FFFFF404H	ポート2	P2					
FFFFF406H	ポート3	P3					
FFFFF408H	ポート4	P4					
FFFFF412H	ポート9	P9					0000H ^注
FFFFF412H	ポート9L	P9L					00H ^注
FFFFF413H	ポート9H	P9H					
FFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFF422H	ポート1モード・レジスタ	PM1					
FFFFF424H	ポート2モード・レジスタ	PM2					

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					
FFFFFF432H	ポート9モード・レジスタ	PM9					FFFFH
FFFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFFF433H	ポート9モード・レジスタH	PM9H					
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1					
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2					
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9					FFFFH ^注
FFFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L					FFH ^注
FFFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H					
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1					
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9					0000H
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0				7777H	
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC				FFFFH	
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC				AAAAH	
FFFFFF5C0H	16ビット・タイマ・カウンタ00	TM00	R			0000H	
FFFFFF5C2H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W				
FFFFFF5C4H	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	CR001					
FFFFFF5C6H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00					00H
FFFFFF5C7H	プリスケラ・モード・レジスタ00	PRM00					
FFFFFF5C8H	キャプチャ/コンペア・コントロール・レジスタ00	CRC00					
FFFFFF5C9H	16ビット・タイマ出力コントロール・レジスタ00	TOC00					
FFFFFF5D0H	16ビット・タイマ・カウンタ01	TM01		R			0000H
FFFFFF5D2H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010		R/W			
FFFFFF5D4H	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	CR011					
FFFFFF5D6H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01					00H
FFFFFF5D7H	プリスケラ・モード・レジスタ01	PRM01					
FFFFFF5D8H	キャプチャ/コンペア・コントロール・レジスタ01	CRC01					
FFFFFF5D9H	16ビット・タイマ出力コントロール・レジスタ01	TOC01					
FFFFFF5E0H	16ビット・タイマ・カウンタ02	TM02	R				0000H
FFFFFF5E2H	16ビット・タイマ・キャプチャ/コンペア・レジスタ020	CR020	R/W				
FFFFFF5E4H	16ビット・タイマ・キャプチャ/コンペア・レジスタ021	CR021					
FFFFFF5E6H	16ビット・タイマ・モード・コントロール・レジスタ02	TMC02					00H
FFFFFF5E7H	プリスケラ・モード・レジスタ02	PRM02					

注 ROMレス・モード時の値です。シングルチップ・モード時は00Hまたは0000Hになります。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値		
				1	8	16			
FFFFF5E8H	キャプチャ/コンペア・コントロール・レジスタ02	CRC02	R/W				00H		
FFFFF5E9H	16ビット・タイマ出力コントロール・レジスタ02	TOC02							
FFFFF5F0H	16ビット・タイマ・カウンタ03	TM03	R				0000H		
FFFFF5F2H	16ビット・タイマ・キャプチャ/コンペア・レジスタ030	CR030	R/W				00H		
FFFFF5F4H	16ビット・タイマ・キャプチャ/コンペア・レジスタ031	CR031							
FFFFF5F6H	16ビット・タイマ・モード・コントロール・レジスタ03	TMC03	R/W				00H		
FFFFF5F7H	プリスケアラ・モード・レジスタ03	PRM03							
FFFFF5F8H	キャプチャ/コンペア・コントロール・レジスタ03	CRC03							
FFFFF5F9H	16ビット・タイマ出力コントロール・レジスタ03	TOC03							
FFFFF600H	16ビット・タイマ・カウンタ10	TM10		R					0000H
FFFFF602H	16ビット・タイマ・キャプチャ/コンペア・レジスタ100	CC100		R/W					00H
FFFFF604H	16ビット・タイマ・キャプチャ/コンペア・レジスタ101	CC101							
FFFFF606H	16ビット・タイマ・モード・コントロール・レジスタ100	TMC100							
FFFFF608H	16ビット・タイマ・モード・コントロール・レジスタ101	TMC101							
FFFFF609H	有効エッジ選択レジスタ10	SES10							
FFFFF610H	16ビット・タイマ・カウンタ11	TM11	R					0000H	
FFFFF612H	16ビット・タイマ・キャプチャ/コンペア・レジスタ110	CC110	R/W				00H		
FFFFF614H	16ビット・タイマ・キャプチャ/コンペア・レジスタ111	CC111							
FFFFF616H	16ビット・タイマ・モード・コントロール・レジスタ110	TMC110							
FFFFF618H	16ビット・タイマ・モード・コントロール・レジスタ111	TMC111							
FFFFF619H	有効エッジ選択レジスタ11	SES11							
FFFFF640H	16ビット・タイマ・カウンタ2	TM2		R					0000H
FFFFF640H	8ビット・タイマ・カウンタ20	TM20					00H		
FFFFF641H	8ビット・タイマ・カウンタ21	TM21							
FFFFF642H	16ビット・タイマ・コンペア・レジスタ2	CR2	R/W				0000H		
FFFFF642H	8ビット・タイマ・コンペア・レジスタ20	CR20					00H		
FFFFF643H	8ビット・タイマ・コンペア・レジスタ21	CR21							
FFFFF644H	タイマ・クロック選択レジスタ2	TCL2	R/W				0000H		
FFFFF644H	タイマ・クロック選択レジスタ20	TCL20					00H		
FFFFF645H	タイマ・クロック選択レジスタ21	TCL21							
FFFFF646H	16ビット・タイマ・モード・コントロール・レジスタ2	TMC2	R/W				0000H		
FFFFF646H	8ビット・タイマ・モード・コントロール・レジスタ20	TMC20					00H		
FFFFF647H	8ビット・タイマ・モード・コントロール・レジスタ21	TMC21							
FFFFF680H	RTCコントロール・レジスタ	RTCC	R/W				8X80H		
FFFFF680H	RTCコントロール・レジスタ0	RTCC0					80H		
FFFFF681H	RTCコントロール・レジスタ1	RTCC1					8XH		
FFFFF682H	サブカウント・レジスタ	SUBC	R				不定		
FFFFF682H	サブカウント・レジスタL	SUBCL							
FFFFF683H	サブカウント・レジスタH	SUBCH							
FFFFF684H	分秒カウント・レジスタ	SECMIN	R						
FFFFF684H	秒カウント・レジスタ	SEC							
FFFFF685H	分カウント・レジスタ	MIN							

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF686H	日時カウント・レジスタ	HOURLDAY	R					不定
FFFFFF686H	時カウント・レジスタ	HOUR						
FFFFFF687H	日カウント・レジスタ	DAY						
FFFFFF688H	週カウント・レジスタ	WEEK						
FFFFFF688H	週カウント・レジスタL	WEEKL						
FFFFFF689H	週カウント・レジスタH	WEEKH						
FFFFFF68AH	分秒カウント設定レジスタ	SECMINB	W					0000H
FFFFFF68AH	秒カウント設定レジスタ	SECB						00H
FFFFFF68BH	分カウント設定レジスタ	MINB						
FFFFFF68CH	日時カウント設定レジスタ	HOURLDAYB	R/W					0000H
FFFFFF68CH	時カウント設定レジスタ	HOURB						00H
FFFFFF68DH	日カウント設定レジスタ	DAYB						
FFFFFF68EH	週カウント設定レジスタ	WEEKB						0000H
FFFFFF68EH	週カウント設定レジスタL	WEEKBL						00H
FFFFFF68FH	週カウント設定レジスタH	WEEKBH						
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W					04H
FFFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDSCS						00H
FFFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM						
FFFFFF802H	システム・ステータス・レジスタ	SYS						
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR						
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC						03H
FFFFFF82AH	WDTリセット・ステータス・レジスタ	WDRES						不定
FFFFFF840H	コレクション・アドレス・レジスタ0	CORAD0						00000000H
FFFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L						0000H
FFFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H						
FFFFFF844H	コレクション・アドレス・レジスタ1	CORAD1						00000000H
FFFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L						0000H
FFFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H						
FFFFFF848H	コレクション・アドレス・レジスタ2	CORAD2						00000000H
FFFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L						0000H
FFFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H						
FFFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3						00000000H
FFFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L						0000H
FFFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H						
FFFFFF880H	コレクション・コントロール・レジスタ	CORCN						00H
FFFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0						01H
FFFFFFA02H	受信バッファ・レジスタ0	RXB0		R				FFH
FFFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0						00H
FFFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W				FFH	
FFFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ ^注	ASIF0	R				00H	
FFFFFFA06H	クロック選択レジスタ0	CKSR0	R/W					
FFFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0					FFH	

注 8ビット操作も可能ですが、ビット操作命令を推奨します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値	
				1	8	16	32		
FFFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W					01H	
FFFFFFA12H	受信バッファ・レジスタ1	RXB1	R					FFH	
FFFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1						00H	
FFFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W					FFH	
FFFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ ^注	ASIF1	R					00H	
FFFFFFA16H	クロック選択レジスタ1	CKSR1	R/W						
FFFFFFA17H	ポー・レート・ジェネレータ・コンペア・レジスタ1	BRGC1						FFH	
FFFFFFB00H	PWMコントロール・レジスタ0	PWMC0						40H	
FFFFFFB02H	PWMバッファ・レジスタ0	PWMB0						0000H	
FFFFFFB10H	PWMコントロール・レジスタ1	PWMC1						40H	
FFFFFFB12H	PWMバッファ・レジスタ1	PWMB1						0000H	
FFFFFFB20H	PWMコントロール・レジスタ2	PWMC2						40H	
FFFFFFB22H	PWMバッファ・レジスタ2	PWMB2						0000H	
FFFFFFB30H	PWMコントロール・レジスタ3	PWMC3						40H	
FFFFFFB32H	PWMバッファ・レジスタ3	PWMB3						0000H	
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0							00H
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0							
FFFFFFC40H	ブルアップ抵抗オプション・レジスタ0	PU0							
FFFFFFC42H	ブルアップ抵抗オプション・レジスタ1	PU1							
FFFFFFC44H	ブルアップ抵抗オプション・レジスタ2	PU2							
FFFFFFC46H	ブルアップ抵抗オプション・レジスタ3	PU3							
FFFFFFC48H	ブルアップ抵抗オプション・レジスタ4	PU4							
FFFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0							
FFFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0							
FFFFFFD02H	シリアルI/Oシフト・レジスタ0	SIO0	R						
FFFFFFD03H	受信専用シリアルI/Oシフト・レジスタ0	SIOE0							
FFFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W						
FFFFFFD10H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1							
FFFFFFD11H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1							
FFFFFFD12H	シリアルI/Oシフト・レジスタ1	SIO1	R						
FFFFFFD13H	受信専用シリアルI/Oシフト・レジスタ1	SIOE1							
FFFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W						

注 8ビット操作も可能ですが、ビット操作命令を推奨します。

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/PM1には次の4つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・WDTリセット・レジスタ (WDRES)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

[記述例] PSCレジスタの場合

```

ST.B r11, PSMR [ r0 ] ; PSMRレジスタ設定
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ; PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ; PSCレジスタ設定
NOP ; ダミー命令
(next instruction)

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `MOV`、`ST.B` を連続したストア命令で行うことを前提としているためです。`MOV`、`ST.B` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例 `ST.B r10, PRCMD [r0]`）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 `ST.B r10, PRCMD [r0]`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. IDLEモード、ソフトウェアSTOPモードに移行する場合（PSC.STPビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタ (PCC, PSC, WDRES, WDTMレジスタのいずれか) への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です (リードした場合、不定データを読み出します)。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

SYSレジスタには、システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF802H

	7	6	5	4	3	2	1	①
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) 特定レジスタへのデータ設定で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3.4.7(1) 特定レジスタへのデータ設定で示す が特定レジスタでなかったとき)。

備考 WDTMレジスタ以外の特定レジスタ (PCC, PSC, WDRESレジスタ) は、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) SYS.PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) システム・ウェイト・コントロール・レジスタ (VSWC)

V850ES/PM1を使用する際には、必ず最初にVSWCレジスタを設定してください。

VSWCレジスタを設定したあとに、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあとに、次に示す各レジスタの初期設定を行ってください。

- ・ポート関連のレジスタの設定により、各端子をコントロール・モードに設定してください。

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/PM1では動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です（アドレス：FFFFFF06EH，初期値：77H）。

動作周波数 (f _{CLK})	VSWCの設定値
2 MHz ≤ f _{CLK} < 10 MHz	00H
10 MHz ≤ f _{CLK} < 20 MHz	02H

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となるため、このウエイトが発生した場合、命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウエイト以外に、さらにウエイトを要する場合があります。

その際のアクセス方法と、挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス方法	k
ウォッチドッグ・タイマ (WDT)	WDTM	ライト	1-17
	<最大ウエイト回数算出式> $\{ (16/f_{xx}) \times 2 / ((2+m) / f_{CPU}) \} + 1$ f _{xx} : メイン・クロック周波数		
16ビット・タイマ/イベント・カウンタ00-03 (TM00-TM03)	TMC00-TMC03	リード・モディファイ・ライト	1 (固定) ライト時にウエイト発生
16ビット・タイマ/イベント・カウンタ (TM10, TM11)	TM10, TM11	リード	1-2
	CC100, CC101	リード (キャプチャ・モード時)	1-2
	CC110, CC111	ライト (コンペア・モード時)	1-2
	TMC100, TMC110	ライト	1-2
	<最大ウエイト回数算出式> $\{ (1/f_{xx}) \times 2 / ((2+m) / f_{CPU}) \} + 1$ ただし、TMC1n0.TM1CAEnビットを1にセットしている場合 f _{xx} : メイン・クロック周波数		
	TMC100, TMC110	リード・モディファイ・ライト	1-3
PWM	PWMB0-PWMB3	ライト	3-35
	<最大ウエイト回数算出式> $\{ (1/f_{PWM}) / ((2+m) / f_{CPU}) \} \times 2 + 3$ ただし、PWMCnが動作中の場合 f _{PWM} : PWM選択クロック周波数 (f _{xx} , f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32) 詳細は13.3(1) PWMコントロール・レジスタn (PWMCn) を参照してください。		
アシンクロナス・シリアル・インタフェース (UART0, UART1)	ASIS0, ASIS1	リード	1 (固定)

ウェイトにより増加するクロック数 = $(2 + m) \times k$ [クロック] (kは最大ウェイト回数)

注意 CPUがサブクロック動作中で、X1にクロックを入力していないとき、またはメイン発振回路を停止させているとき、ウェイトが発生するレジスタ(TMC00-TMC03, ASIS0, ASIS1レジスタを除く)にウェイトが発生するアクセス方法でアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。

備考 ウェイト算出式において

f_{CPU} : CPUクロック周波数

m : VSWCレジスタのビット2-0設定値

f_{CLK} : 内部システム・クロック

f_{CLK} 10.0 MHz時 : m = 0

f_{CLK} > 10.0 MHz時 : m = 2

小数点以下は、 $(1/f_{CPU})$ をかけて、 $(1/f_{CPU}) / (2 + m)$ 以下であれば切り捨て、 $(1/f_{CPU}) / (2 + m)$ を越える場合には切り上げます。

(3) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

<pre>< > ld.w [r11], r10 . . . < > mov r10, r28 < > sld.w 0x28, r10</pre>	<p>< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov 命令< >のデコード動作と割り込み要求が競合した場合、< >の ld 命令の実行結果がレジスタに格納されないことがあります。</p>
---	--

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

入出力ポート：68本

1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

V850ES/PM1は、ポート0-4, 9, CM, CS, CT, DH, DLの合計68本の入力 / 出力ポートを内蔵しています。ポートの構成を次に示します。

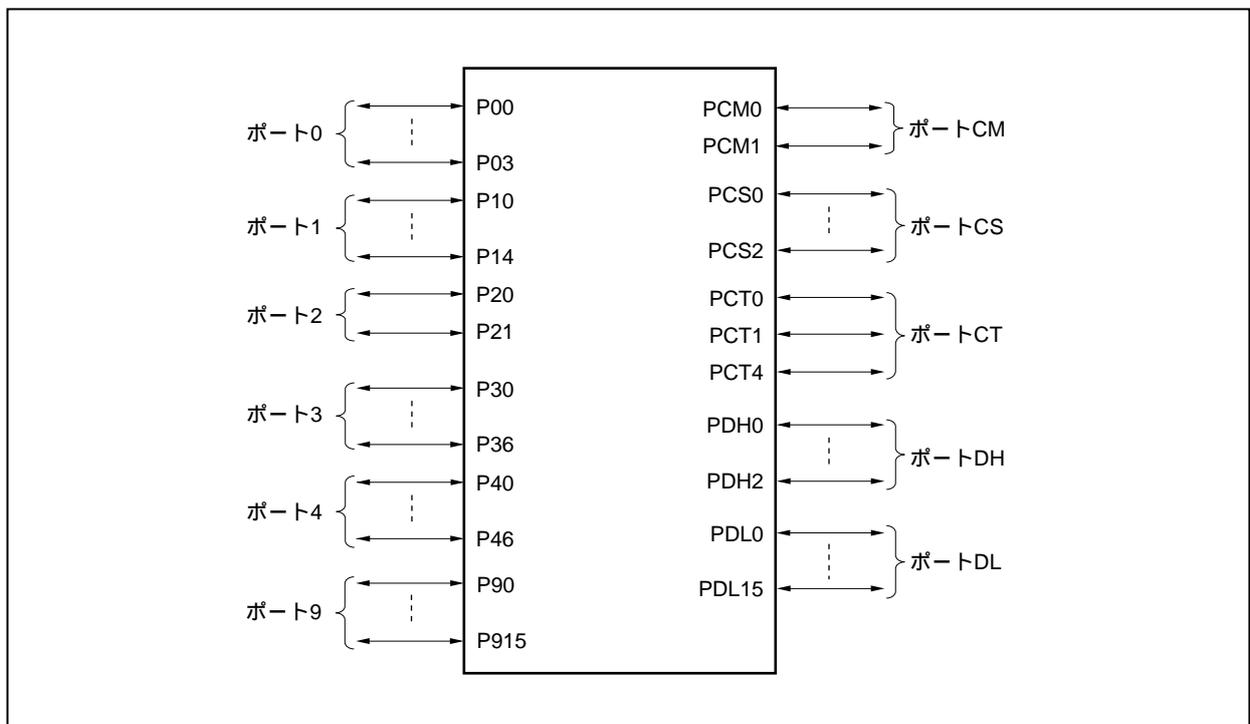


表4 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{DD}	ANIn0, ANIn1 (n = 0-5)
EV _{DD}	ポート0-4, 9, CM, CS, CT, DH, DL, RESET

4.3 ポートの構成

表4-2 ポートの構成

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0-4, 9, CM, CS, CT, DH, DL) ポートnモード・レジスタ (PMn : n = 0-4, 9, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-4, 9, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 1, 3, 4, 9) プルアップ抵抗オプション・レジスタn (PUn : n = 0-4)
ポート	入出力 : 68本
プルアップ抵抗	ソフトウェア制御 : 25本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時 : 00H (出力ラッチ)		R/W						
	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

ポートnモード・コントロール・レジスタ (PMCn) の設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-3 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMCn = 0) の場合、出力ラッチの内容が端子より出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMCn)

ポート・モード/兼用機能を指定します。

PMCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W								
	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0
PMCnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	兼用機能の指定							
	0	兼用機能1						
	1	兼用機能2						

(5) プルアップ抵抗オプション・レジスタn (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

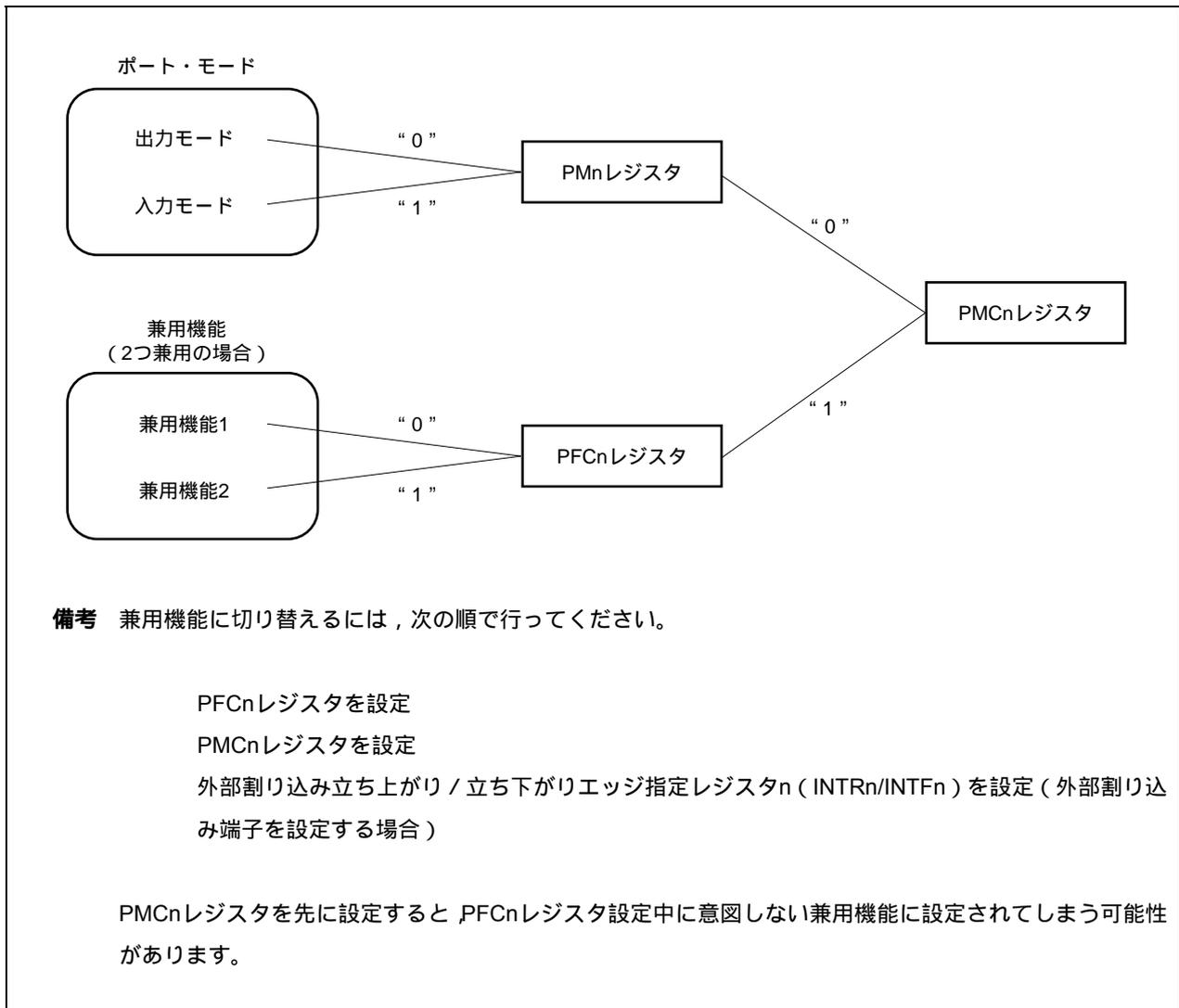
PUnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
	内蔵プルアップ抵抗接続制御							
	0	接続しない						
	1	接続する						

(6) ポートの設定

ポートの設定は、次のように設定してください。

図4 - 1 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる4ビットの入出力ポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポート0	P00	NMI	あり	-	A-3
	P01	INTP0			A-3
	P02	INTP1			A-3
	P03	INTP2/TI20			A-5

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：00H (出力ラッチ) R/W アドレス：FFFF400H

	7	6	5	4	3	2	1	0
P0	0	0	0	0	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFF420H

	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時 : 00H R/W アドレス : FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	0	0	0	PMC03	PMC02	PMC01	PMC00

PMC03	P03端子の動作モードの指定	
0	入出力ポート	
1	INTP2/TI20入力	

PMC02	P02端子の動作モードの指定	
0	入出力ポート	
1	INTP1入力	

PMC01	P01端子の動作モードの指定	
0	入出力ポート	
1	INTP0入力	

PMC00	P00端子の動作モードの指定	
0	入出力ポート	
1	NMI入力	

(d) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

PFC03	P03端子のコントロール・モード時の動作モードの指定	
0	INTP2入力	
1	TI20入力	

- 注意** 割り込みとして使用する場合はINTRO, INTF0レジスタで有効エッジを指定してください。
 タイマ入力として使用する場合, TCL20レジスタでTI20の有効エッジを指定してください。
- ・INTRO : 外部割り込み立ち上がりエッジ指定レジスタ0 (16.4.2(1)参照)
 - ・INTF0 : 外部割り込み立ち下がりエッジ指定レジスタ0 (16.4.2(1)参照)
 - ・TCL20 : タイマ・クロック選択レジスタ20 (第9章 8ビット・タイマ/イベント・カウンタ20, 21参照)

(e) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時 : 00H R/W アドレス : FFFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	0	0	0	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる5ビットの入出力ポートです。

ポート1は、次に示す端子と兼用しています。

表4-5 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポート1	P10	PWM0	あり	-	B-3
	P11	TO00/PWM1			B-4
	P12	TO01/PWM2			B-4
	P13	TO20/PWM3			B-4
	P14	TO21/TI21			入出力

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：00H (出力ラッチ) R/W アドレス：FFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (n = 0-4)
0	出力モード
1	入力モード

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時 : 00H R/W アドレス : FFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	0	PMC14	PMC13	PMC12	PMC11	PMC10

PMC14	P14端子の動作モードの指定
0	入出力ポート
1	TO21/TI21入出力

PMC13	P13端子の動作モードの指定
0	入出力ポート
1	TO20/PWM3出力

PMC12	P12端子の動作モードの指定
0	入出力ポート
1	TO01/PWM2出力

PMC11	P11端子の動作モードの指定
0	入出力ポート
1	TO00/PWM1出力

PMC10	P10端子の動作モードの指定
0	入出力ポート
1	PWM0出力

(d) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時 : 00H R/W アドレス : FFFFF442H

	7	6	5	4	3	2	1	0
PFC1	0	0	0	PFC14	PFC13	PFC12	PFC11	0
PFC14	P14端子のコントロール・モード時の動作モードの指定							
0	TO21出力							
1	TI21入力							
PFC13	P13端子のコントロール・モード時の動作モードの指定							
0	TO20出力							
1	PWM3出力							
PFC12	P12端子のコントロール・モード時の動作モードの指定							
0	TO01出力							
1	PWM2出力							
PFC11	P11端子のコントロール・モード時の動作モードの指定							
0	TO00出力							
1	PWM1出力							

(e) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	PU14	PU13	PU12	PU11	PU10
PU1n	内蔵プルアップ抵抗接続制御 (n = 0-4)							
0	接続しない							
1	接続する							

4.3.3 ポート2

ポート2は1ビット単位で入出力を制御できる2ビットの入出力ポートです。

ポート2は、次に示す端子と兼用しています。

表4-6 ポート2の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポート1	P20	TO02	あり	-	B-3
	P21	TO03			出力

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF404H

	7	6	5	4	3	2	1	0
P2	0	0	0	0	0	0	P21	P20

P2n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(b) ポート2モード・レジスタ (PM2)

リセット時 : FFH R/W アドレス : FFFFF424H

	7	6	5	4	3	2	1	0
PM2	1	1	1	1	1	1	PM21	PM20

PM2n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時 : 00H R/W アドレス : FFFFF444H

	7	6	5	4	3	2	1	0
PMC2	0	0	0	0	0	0	PMC21	PMC20

PMC21	P21端子の動作モードの指定
0	入出力ポート
1	TO03出力

PMC20	P20端子の動作モードの指定
0	入出力ポート
1	TO02出力

(d) プルアップ抵抗オプション・レジスタ2 (PU2)

リセット時 : 00H R/W アドレス : FFFFC44H

	7	6	5	4	3	2	1	0
PU2	0	0	0	0	0	0	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.4 ポート3

ポート3は1ビット単位で入出力を制御できる7ビットの入出力ポートです。

ポート3は、次に示す端子と兼用しています。

表4-7 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポート3	P30	RXD0	あり	-	A-6
	P31	TXD0			B-3
	P32	SI1			A-2 (ノイズ除去なし)
	P33	SO1			B-3
	P34	SCK1			C-2
	P35	INTP100/TI10/TCLR10			A-2 (ノイズ除去あり)
	P36	INTP110/TI11/TCLR11			A-2 (ノイズ除去あり)

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF406H

	7	6	5	4	3	2	1	0
P3	0	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(b) ポート3モード・レジスタ (PM3)

リセット時 : FFH R/W アドレス : FFFFF426H

	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時 : 00H R/W アドレス : FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	0	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
PMC36	P36端子の動作モードの指定							
0	入出力ポート							
1	INTP110/TI11/TCLR11入力							
PMC35	P35端子の動作モードの指定							
0	入出力ポート							
1	INTP100/TI10/TCLR10入力							
PMC34	P34端子の動作モードの指定							
0	入出力ポート							
1	SCK1入出力							
PMC33	P33端子の動作モードの指定							
0	入出力ポート							
1	SO1出力							
PMC32	P32端子の動作モードの指定							
0	入出力ポート							
1	SI1入力							
PMC31	P31端子の動作モードの指定							
0	入出力ポート							
1	TXD0出力							
PMC30	P30端子の動作モードの指定							
0	入出力ポート							
1	RXD0入力							

注意 PMC35, PMC36ビット = 1の場合, 次のように設定してください。

INTPn0として使用するとき,

- ・ TMCn1レジスタのCMSn0ビット = 0, ETInビット = 0, ECLRnビット = 0
- ・ SESnレジスタにて有効エッジの指定

TInとして使用するとき,

- ・ TMCn1レジスタのCMSn0ビット = 1, ETInビット = 1, ECLRnビット = 0
- ・ SESnレジスタにて有効エッジの指定

TCLRnとして使用するとき,

- ・ TMCn1レジスタのCMSn0ビット = 1, ETInビット = 0, ECLRnビット = 1
- ・ SESnレジスタにて有効エッジの指定

(d) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0	
PFC3	0	0	0	0	0	0	0	0	PFC30

PFC30	P30端子のコントロール・モード時の動作モードの指定
0	RXD0入力
1	RXD0反転入力 (RXD0端子の値を反転してUART0へ供給する。)

注意 PFC30ビットはPMC30ビット = 1のときのみ有効です。

(e) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFFC46H

	7	6	5	4	3	2	1	0	
PU3	0	PU36	PU35	PU34	PU33	PU32	PU31	PU30	

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.5 ポート4

ポート4は1ビット単位で入出力を制御できる7ビットの入出力ポートです。

ポート4は、次に示す端子と兼用しています。

表4-8 ポート4の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポート4	P40	SI0	あり	-	A-2 (ノイズ除去なし)
	P41	SO0			B-3
	P42	$\overline{\text{SCK0}}$			C-2
	P43	RXD1			A-6
	P44	TXD1			B-3
	P45	INTP101/TO10			D-2
	P46	INTP111/TO11			D-2

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	P46	P45	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
PMC46	P46端子の動作モードの指定							
0	入出力ポート							
1	INTP111/TO11入出力							
PMC45	P45端子の動作モードの指定							
0	入出力ポート							
1	INTP101/TO10入出力							
PMC44	P44端子の動作モードの指定							
0	入出力ポート							
1	TXD1出力							
PMC43	P43端子の動作モードの指定							
0	入出力ポート							
1	RXD1入力							
PMC42	P42端子の動作モードの指定							
0	入出力ポート							
1	SCK0入出力							
PMC41	P41端子の動作モードの指定							
0	入出力ポート							
1	SO0出力							
PMC40	P40端子の動作モードの指定							
0	入出力ポート							
1	SI0入力							

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	PFC46	PFC45	0	PFC43	0	0	0

PFC46	P46端子のコントロール・モード時の動作モードの指定
0	INTP111入力
1	TO11出力 ^注

PFC45	P45端子のコントロール・モード時の動作モードの指定
0	INTP101入力
1	TO10出力 ^注

PFC43	P43端子のコントロール・モード時の動作モードの指定
0	RXD1入力
1	RXD1反転入力 (RXD1端子の値を反転してUART1へ供給する。)

注 PFC45, PFC46ビット = 1の設定はTO1n出力許可 (TMC1n1.ENTO1nビット = 1) のときのみです (n = 0, 1)。それ以外のときの設定は禁止です。

注意 PFC4nビットはPMC4nビット = 1のときのみ有効です (n = 3, 5, 6)

(e) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	PU46	PU45	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.6 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットの入出力ポートです。

ポート9は、次に示す端子と兼用しています。

表4-9 ポート9の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ	
ポート9	P90	A0	なし	-	B-2	
	P91	A1			B-2	
	P92	A2			B-2	
	P93	A3			B-2	
	P94	A4			B-2	
	P95	A5			B-2	
	P96	A6			B-2	
	P97	A7			B-2	
	P98	A8/TI030			入出力	A-4
	P99	A9/TI031			入出力	A-4
	P910	A10/TI020			入出力	A-4
	P911	A11/TI021			入出力	A-4
	P912	A12/TI010			入出力	A-4
	P913	A13/TI011			入出力	A-4
	P914	A14/TI000			入出力	A-4
	P915	A15/TI001			入出力	A-4

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポート9レジスタ (P9)

リセット時：0000H (出力ラッチ) R/W アドレス：FFFFFF412H, FFFFFFF413H

	15	14	13	12	11	10	9	8
P9	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考 ポート9レジスタ (P9) は、16ビット単位でのみリード/ライト可能です。
 ただし、P9レジスタの上位8ビットをP9H、下位8ビットをP9Lとして使用した場合は、
 8/1ビット単位で入出力を操作できる各8ビットのレジスタとなります。

(b) ポート9モード・レジスタ (PM9)

リセット時 : FFFFH R/W アドレス : FFFFF432H, FFFFF433H

	15	14	13	12	11	10	9	8
PM9	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
PM9n	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

備考 PM9レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

(c) ポート9モード・コントロール・レジスタ (PMC9)

(1/2)

リセット時：注 R/W アドレス：FFFFFF452H, FFFFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	A15/TI001入出力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	A14/TI000入出力

PMC913	P612端子の動作モードの指定
0	入出力ポート
1	A13/TI011入出力

PMC912	P611端子の動作モードの指定
0	入出力ポート
1	A12/TI010入出力

PMC911	P610端子の動作モードの指定
0	入出力ポート
1	A11/TI021入出力

PMC910	P69端子の動作モードの指定
0	入出力ポート
1	A10/TI020入出力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	A9/TI031入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	A8/TI030入出力

注 シングルチップ・モードのとき : 0000H
ROMレス・モードのとき : FFFFH

備考 PMC9レジスタは、16ビット単位でのみリード/ライト可能です。
ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

PMC97	P97端子の動作モードの指定	
0	入出力ポート	
1	A7出力	
PMC96	P96端子の動作モードの指定	
0	入出力ポート	
1	A6出力	
PMC95	P95端子の動作モードの指定	
0	入出力ポート	
1	A5出力	
PMC94	P94端子の動作モードの指定	
0	入出力ポート	
1	A4出力	
PMC93	P93端子の動作モードの指定	
0	入出力ポート	
1	A3出力	
PMC92	P92端子の動作モードの指定	
0	入出力ポート	
1	A2出力	
PMC91	P91端子の動作モードの指定	
0	入出力ポート	
1	A1出力	
PMC90	P90端子の動作モードの指定	
0	入出力ポート	
1	A0出力	

(d) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 アドレス・バス出力 (A0-A15) を行う場合, PFC9レジスタを0000Hに設定後, PMC9レジスタをFFFFHに16ビット一括で設定してください。

リセット時: 0000H R/W アドレス: FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

PFC915	P915端子のコントロール・モード時の動作モードの指定
0	A15出力
1	TI001入力

PFC914	P914端子のコントロール・モード時の動作モードの指定
0	A14出力
1	TI000入力

PFC913	P913端子のコントロール・モード時の動作モードの指定
0	A13出力
1	TI011入力

PFC912	P912端子のコントロール・モード時の動作モードの指定
0	A12出力
1	TI010入力

PFC911	P911端子のコントロール・モード時の動作モードの指定
0	A11出力
1	TI021入力

PFC910	P910端子のコントロール・モード時の動作モードの指定
0	A10出力
1	TI020入力

PFC99	P99端子のコントロール・モード時の動作モードの指定
0	A9出力
1	TI031入力

PFC98	P98端子のコントロール・モード時の動作モードの指定
0	A8出力
1	TI030入力

備考 PFC9レジスタは, 16ビット単位でのみリード/ライト可能です。

ただし, PFC9レジスタの上位8ビットをPFC9Hレジスタ, 下位8ビットをPFC9Lレジスタとして使用した場合は, 8/1ビット単位でリード/ライト可能です。ただし, PFC9Lレジスタを1ビット単位で使用した場合は, リードのみ可能です。

4.3.7 ポートCM

ポートCMは1ビット単位で入出力を制御できる2ビットの入出力ポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 10 ポートCMの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポートCM	PCM0	WAIT	なし	-	A-1
	PCM1	CLKOUT			B-1

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポートCMレジスタ (PCM)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF0CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	0	0	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n=0, 1)
0	0を出力
1	1を出力

(b) ポートCMモード・レジスタ (PMCM)

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	1	1	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n=0, 1)
0	出力モード
1	入力モード

(c) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時：注 R/W アドレス：FFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	0	0	PMCCM1	PMCCM0

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WAIT}}$ 入力

注 シングルチップ・モードのとき : 00H
ROMレス・モードのとき : 01H

4.3.8 ポートCS

ポートCSは1ビット単位で入出力を制御できる3ビットの入出力ポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 11 ポートCSの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ	
ポートCS	PCS0	$\overline{\text{CS0}}$	出力	なし	-	B-1
	PCS1	$\overline{\text{CS1}}$	出力			B-1
	PCS2	$\overline{\text{CS2}}$	出力			B-1

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポートCSレジスタ (PCS)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	PCS2	PCS1	PCS0

PCSn	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(b) ポートCSモード・レジスタ (PMCS)

リセット時 : FFH R/W アドレス : FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	PMCS2	PMCS1	PMCS0

PMCSn	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(c) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時 : 注 R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	0	PMCCS2	PMCCS1	PMCCS0

PMCCSn	PCSn端子の動作モードの指定 (n = 0-2)
0	入出力ポート
1	CSn出力

注 シングルチップ・モードのとき : 00H
ROMレス・モードのとき : 07H

4.3.9 ポートCT

ポートCTは1ビット単位で入出力を制御できる3ビットの入出力ポートです。

ポートCTは、次に示す端子と兼用しています。

表4 - 12 ポートCTの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポートCT	PCT0	WR0	なし	-	B-1
	PCT1	WR1			B-1
	PCT4	RD			B-1

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポートCTレジスタ (PCT)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	0	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n=0, 1, 4)
0	0を出力
1	1を出力

(b) ポートCTモード・レジスタ (PMCT)

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	1	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n=0, 1, 4)
0	出力モード
1	入力モード

(c) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時：注 R/W アドレス：FFFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	0	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	\overline{RD} 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	WR1出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	WR0出力

注 シングルチップ・モードのとき : 00H
 ROMレス・モードのとき : 13H

4.3.10 ポートDH

ポートDHは1ビット単位で入出力を制御できる3ビットの入出力ポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 13 ポートDHの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポートDH	PDH0	A16	なし	-	B-2
	PDH1	A17			B-2
	PDH2	A18			B-2

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポートDHレジスタ (PDH)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF006H

	7	6	5	4	3	2	1	0
PDH	0	0	0	0	0	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(b) ポートDHモード・レジスタ (PMDH)

リセット時 : FFH R/W アドレス : FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	1	1	1	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(c) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時 : 注 R/W アドレス : FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	0	0	0	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0-2)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16-18)

注 シングルチップ・モードのとき : 00H
 ROMレス・モードのとき : 07H

4.3.11 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットの入出力ポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 14 ポートDLの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
ポートDL	PDL0	D0	なし	-	C-1
	PDL1	D1			C-1
	PDL2	D2			C-1
	PDL3	D3			C-1
	PDL4	D4			C-1
	PDL5	D5			C-1
	PDL6	D6			C-1
	PDL7	D7			C-1
	PDL8	D8			C-1
	PDL9	D9			C-1
	PDL10	D10			C-1
	PDL11	D11			C-1
	PDL12	D12			C-1
	PDL13	D13			C-1
	PDL14	D14			C-1
	PDL15	D15			C-1

注 ソフトウェア・プルアップ機能

(1) レジスタ

(a) ポートDLレジスタ (PDL)

リセット時 : 0000H (出力ラッチ) R/W アドレス : FFFFF004H, FFFFF005H

	15	14	13	12	11	10	9	8
PDL	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考 ポートDLレジスタ (PDL) は、16ビット単位でのみリード/ライト可能です。
 ただし、PDLレジスタの上位8ビットをPDLH、下位8ビットをPDLLとして使用した場合は、8/1ビット単位で入出力を操作できる各8ビットの入出力ポートとなります。

(b) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：FFFFFF024H, FFFFF025H

	15	14	13	12	11	10	9	8
PMDL	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

備考 PMDLレジスタは、16ビット単位でのみリード/ライト可能です。
 ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

(c) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：注 R/W アドレス：FFFFFF044H, FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	Dn入出力 (データ・バス入出力)							

注 シングルチップ・モードのとき : 0000H
 ROMレス・モードのとき : FFFFH

注意 BSCレジスタのBS20-BS00ビット = 0 (8ビット・バス幅) のとき、D8-D15を指定しないでください。

備考 PMCDLレジスタは、16ビット単位でのみリード/ライト可能です。
 ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

4.4 ブロック図

図4-2 タイプA-1のブロック図

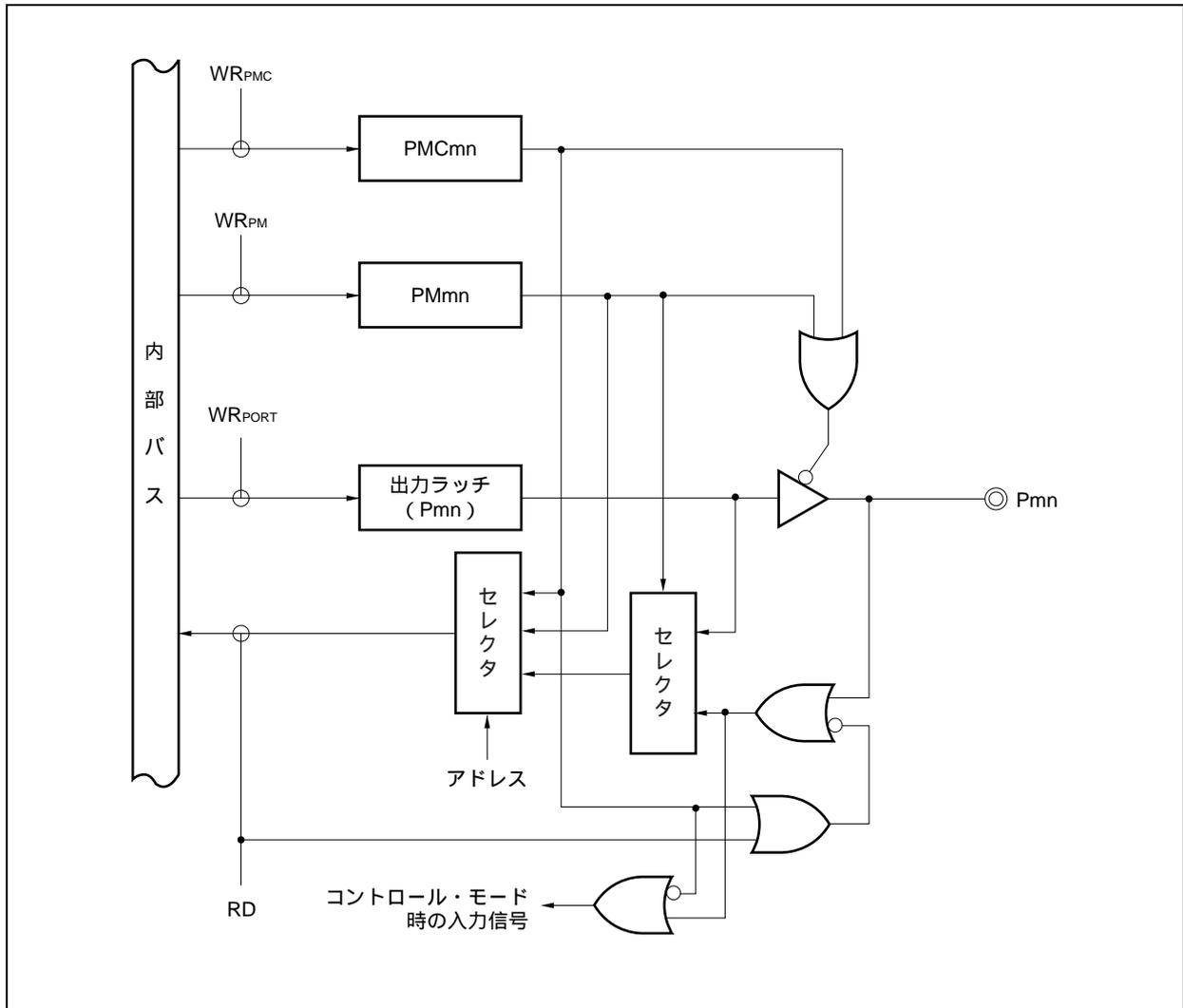


図4-3 タイプA-2のブロック図(1/2)

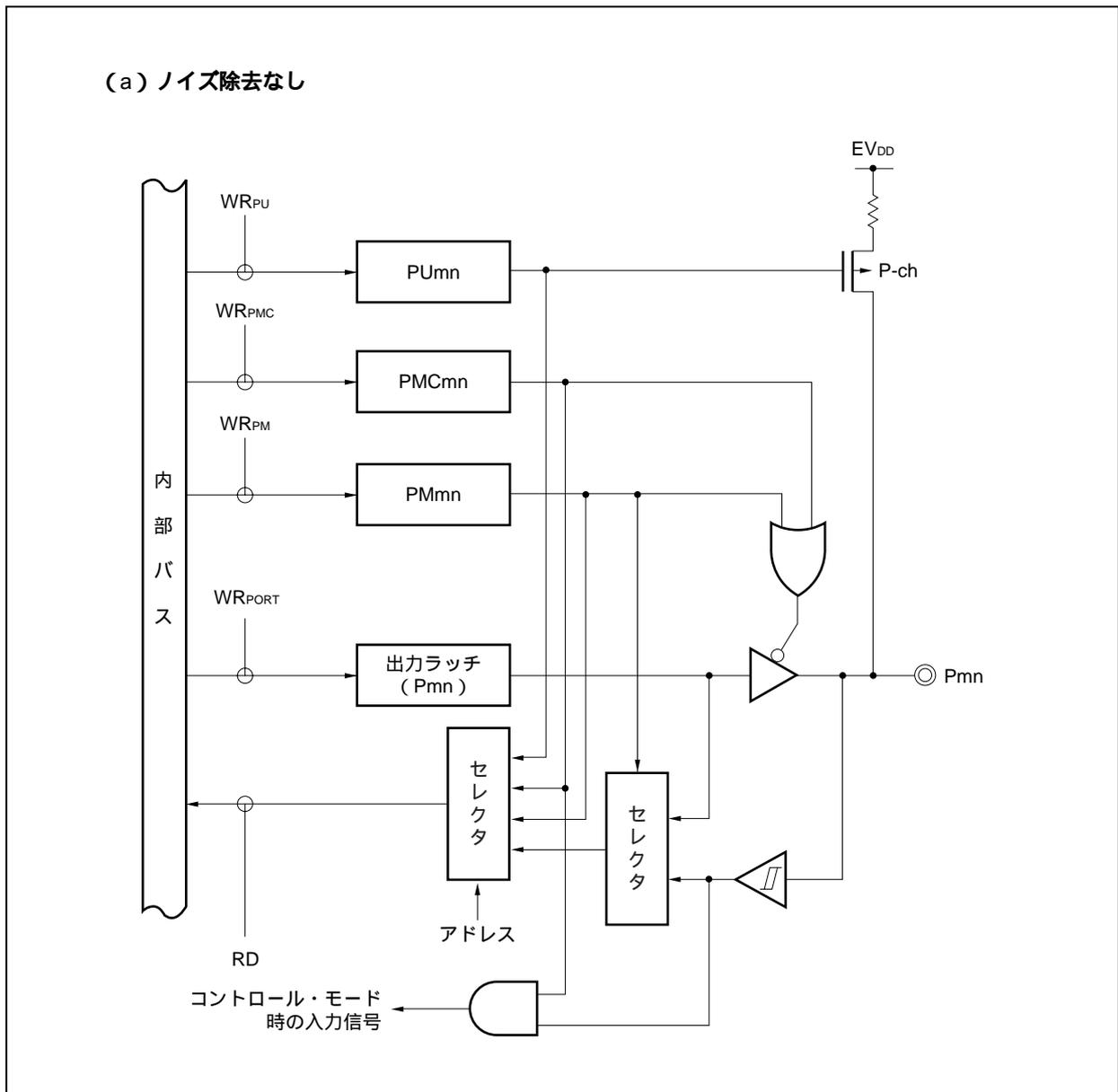


図4 - 3 タイプA - 2のブロック図 (2/2)

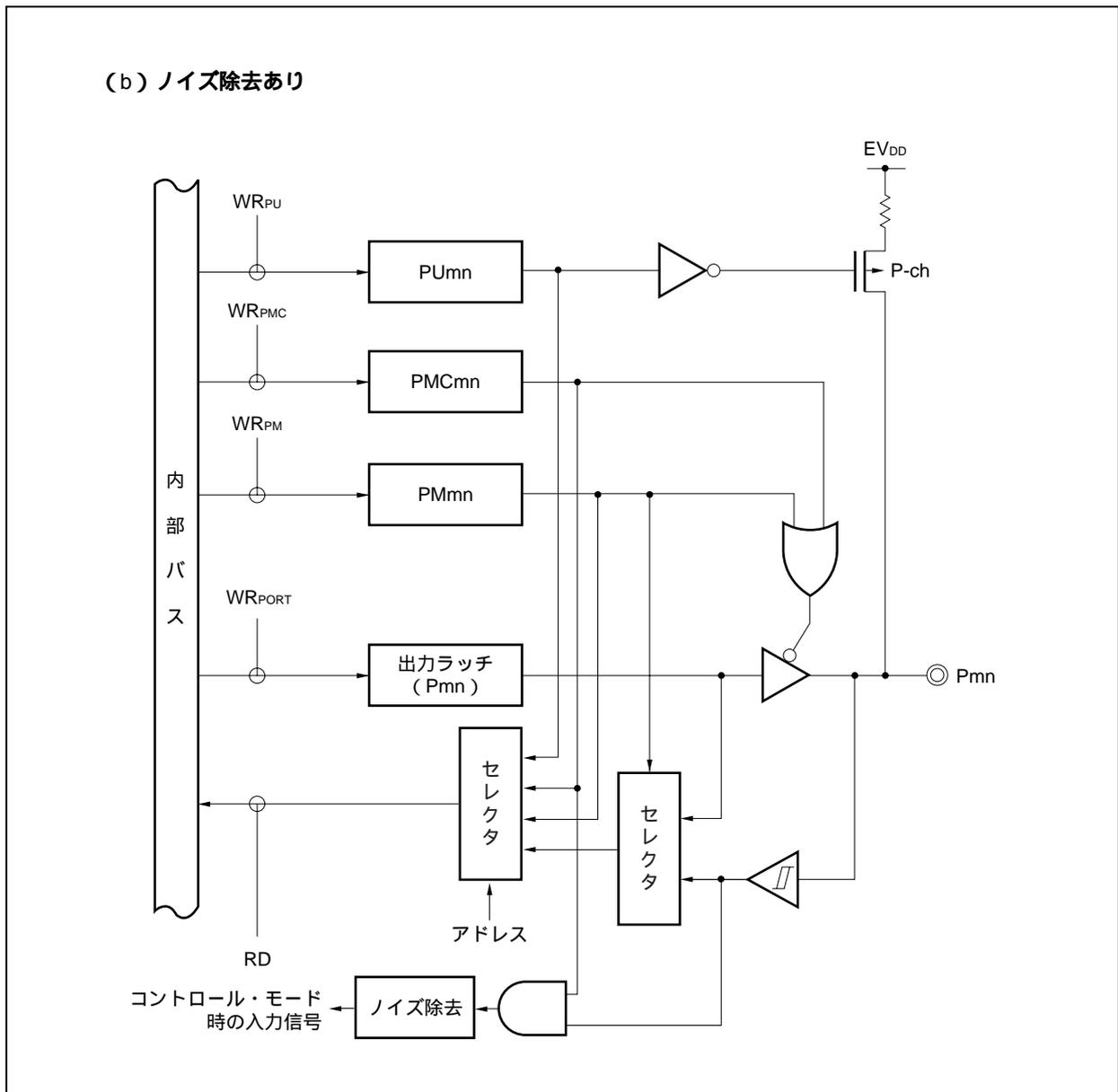


図4-4 タイプA-3のブロック図

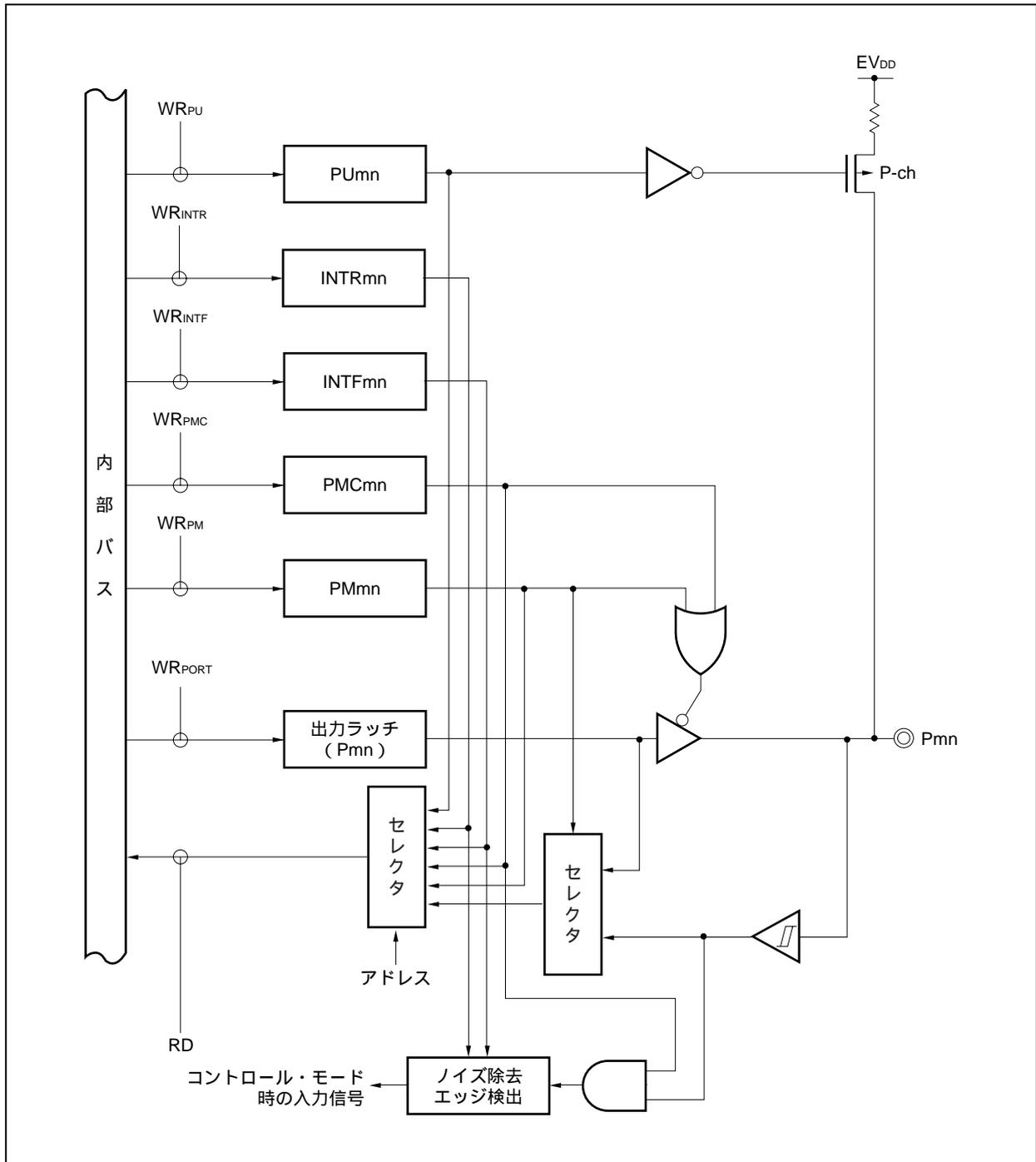


図4-5 タイプA-4のブロック図

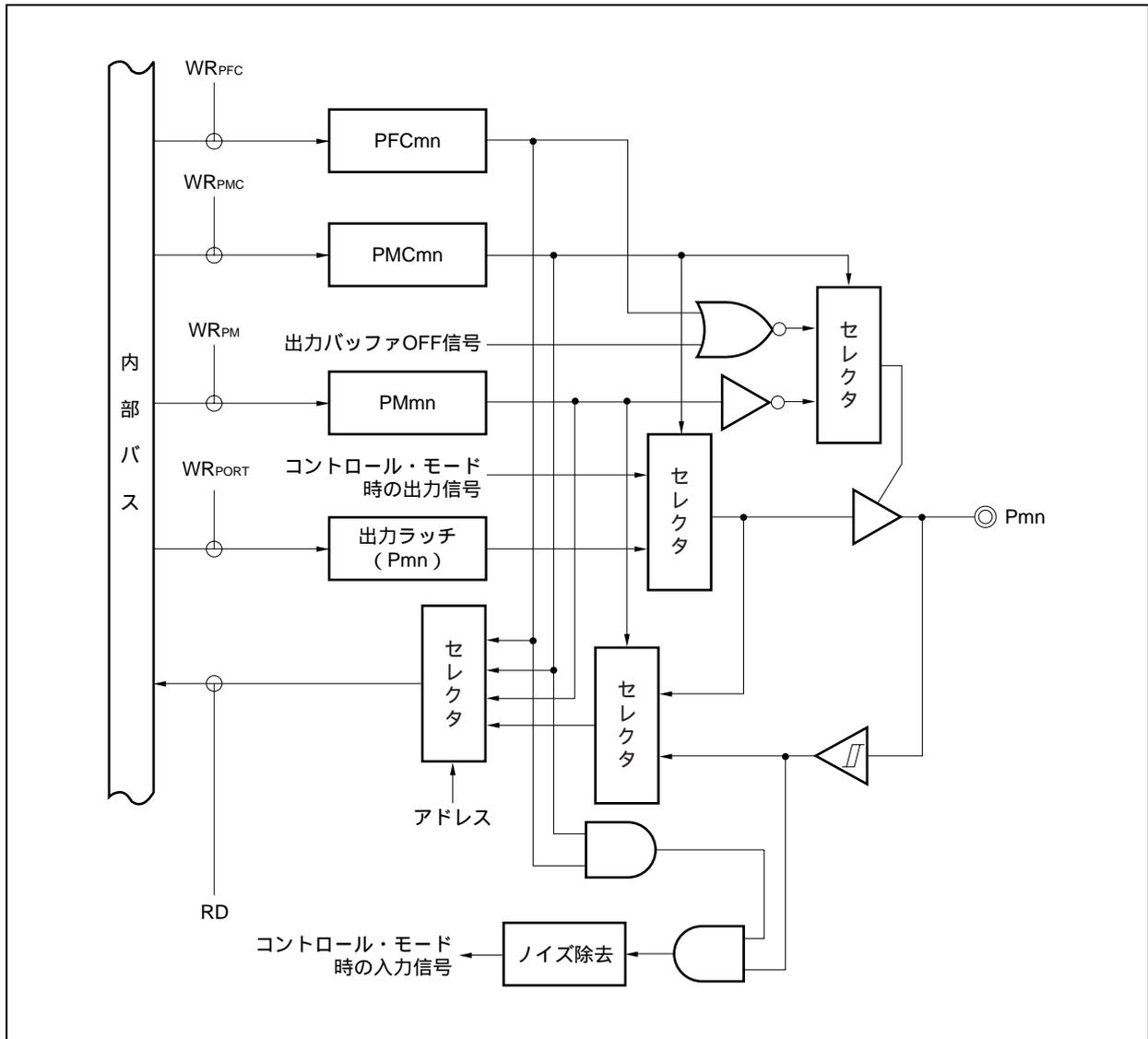


図4-6 タイプA-5のブロック図

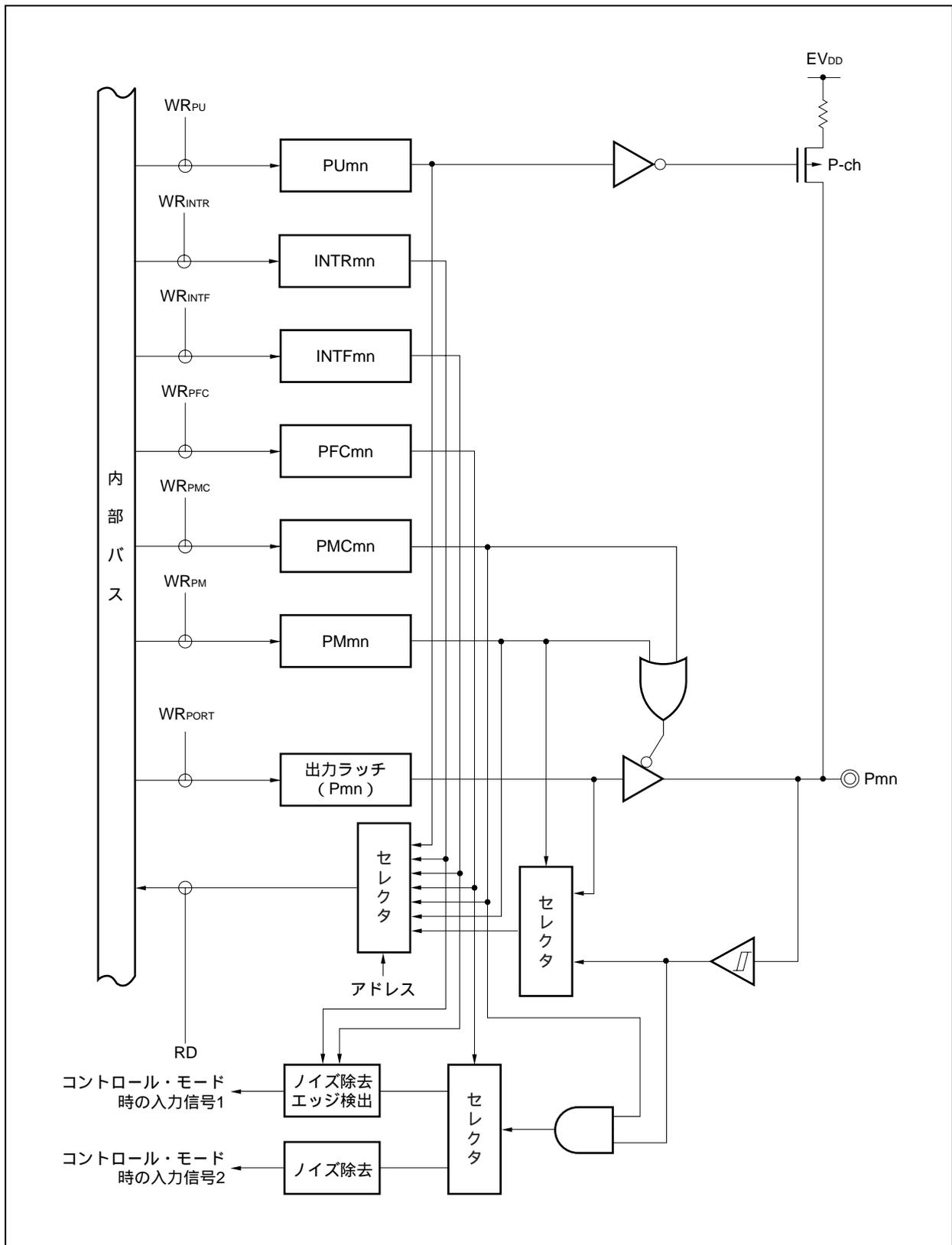


図4-7 タイプA-6のブロック図

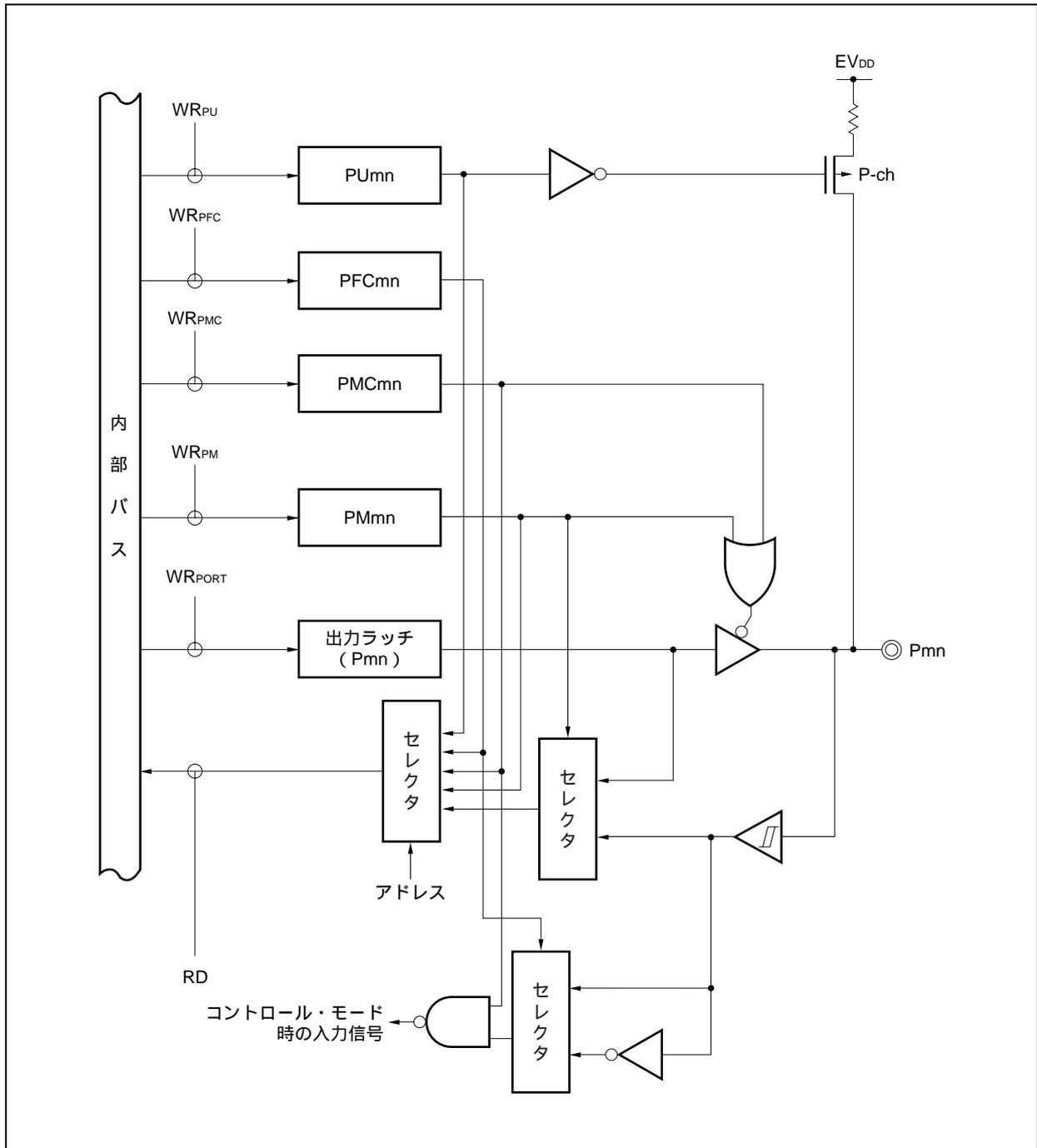


図4-8 タイプB-1のブロック図

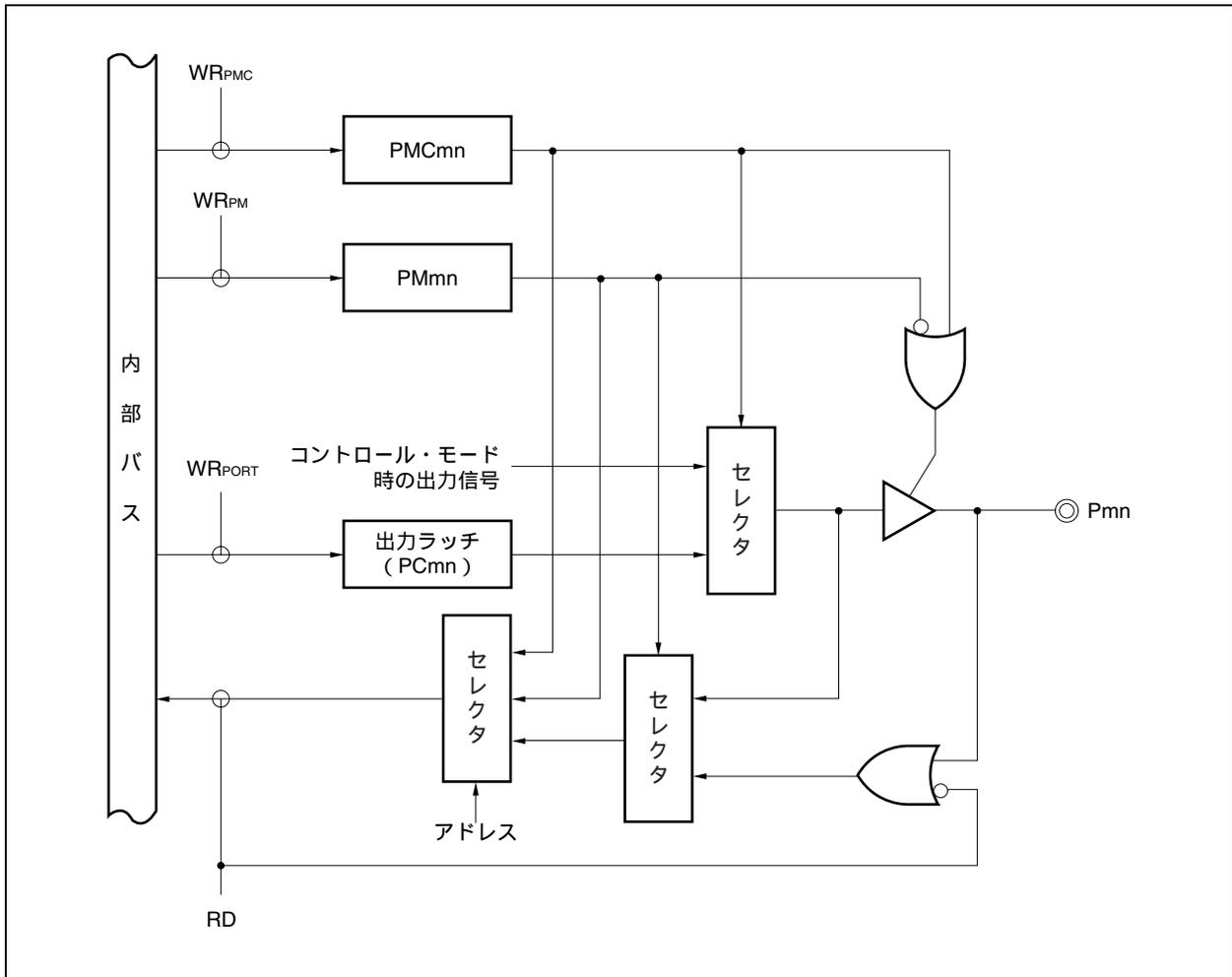


図4-9 タイプB-2のブロック図

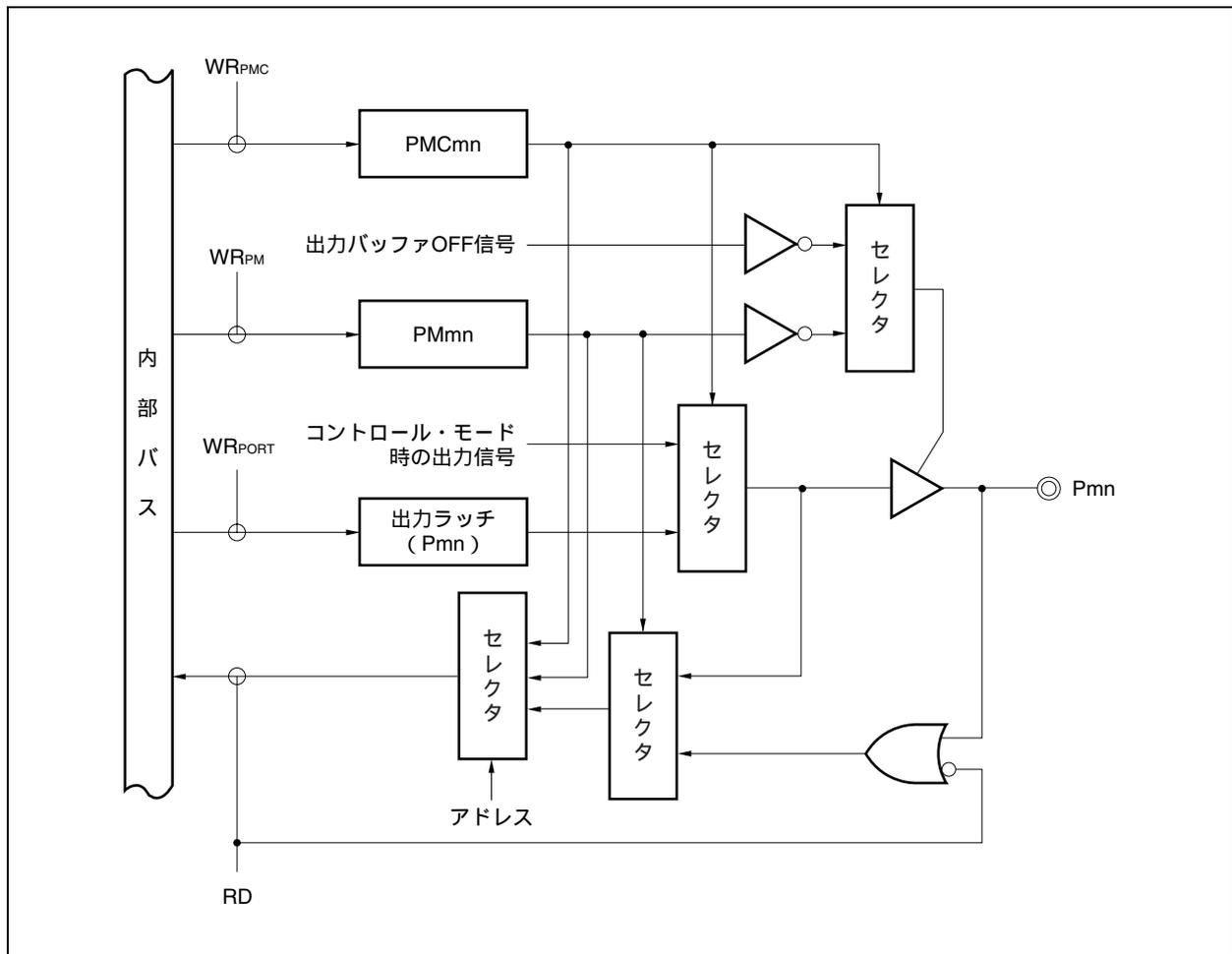


図4 - 10 タイプB - 3のブロック図

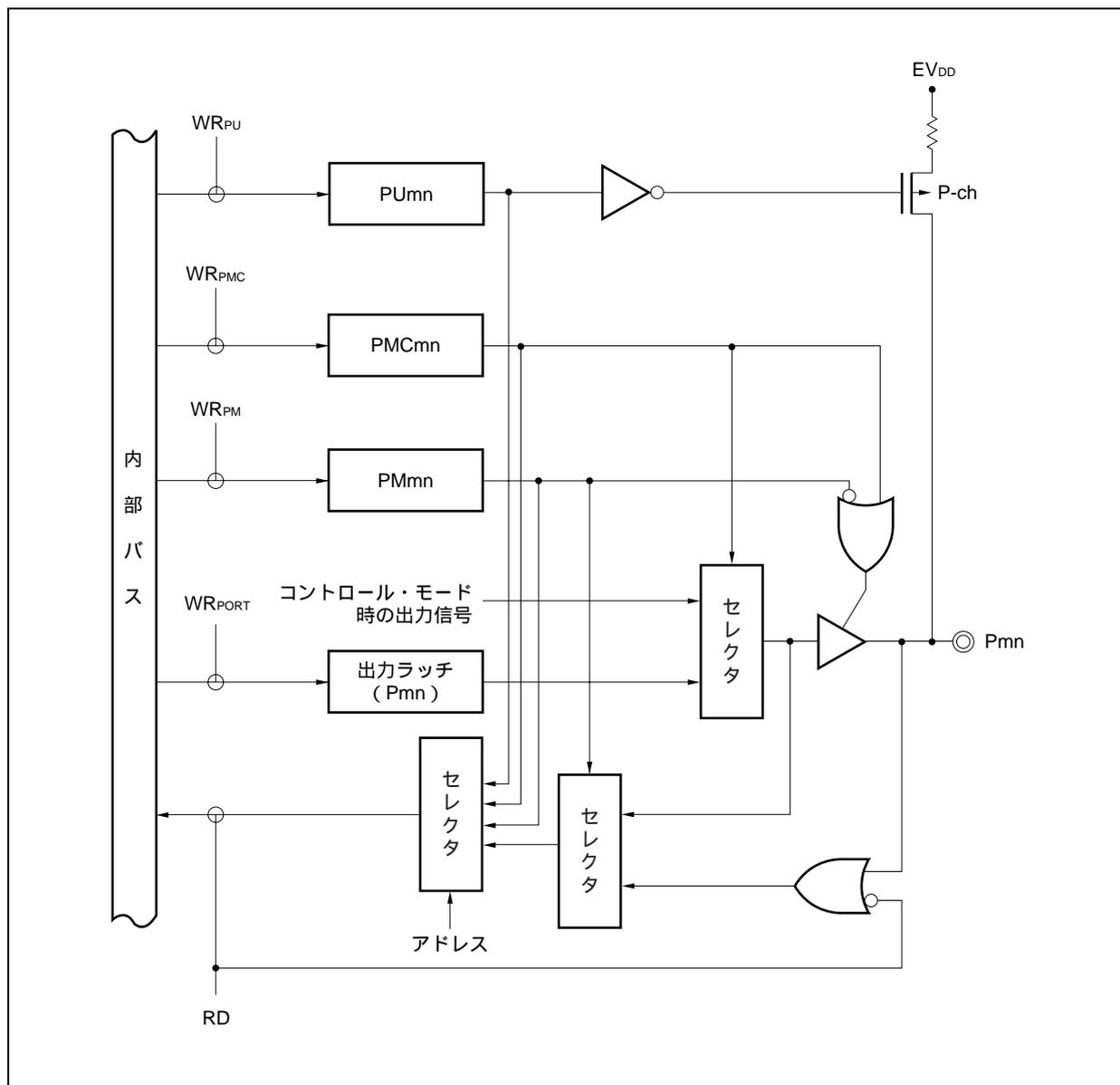


図4 - 11 タイプB - 4のブロック図

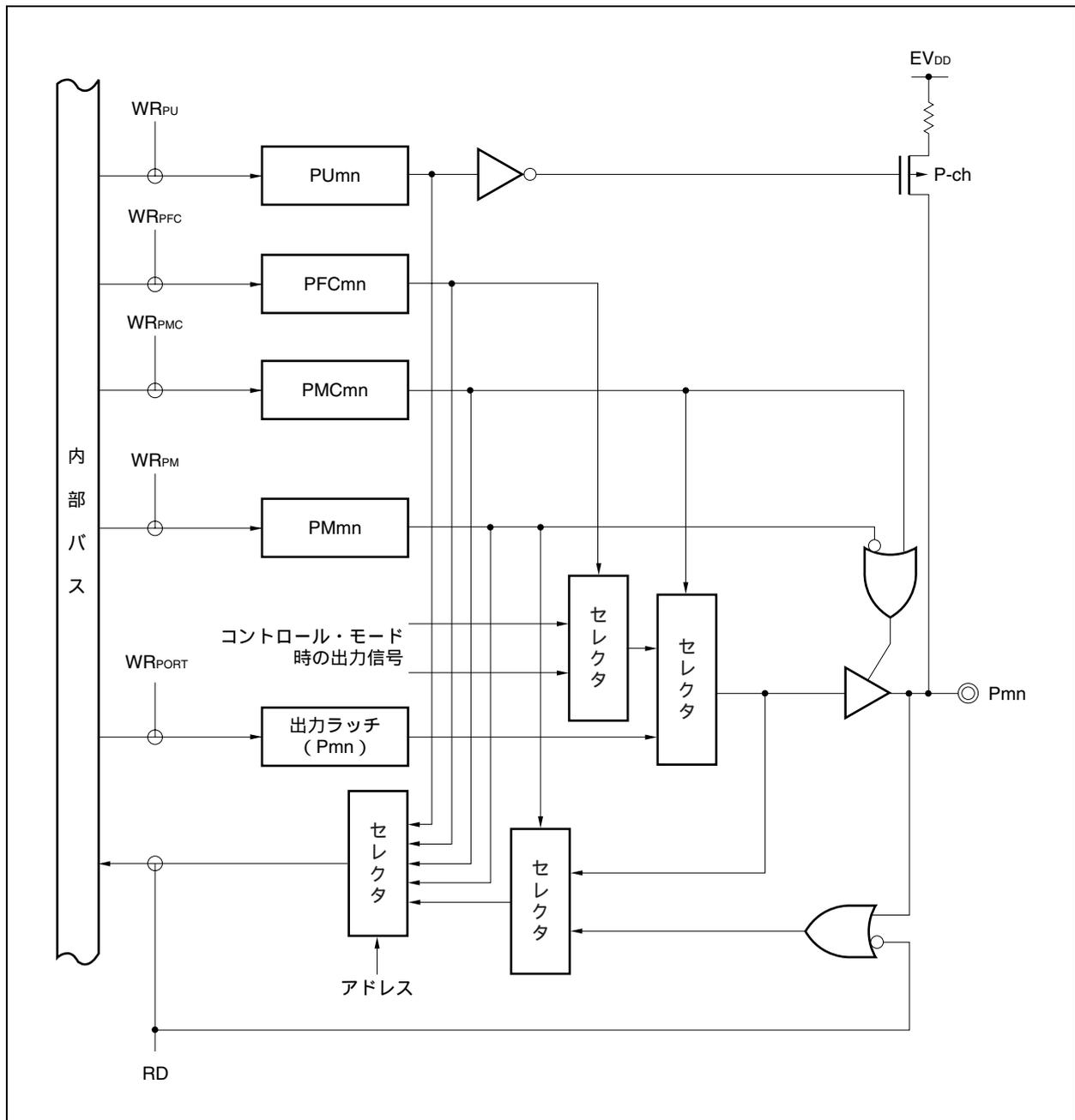


図4 - 12 タイプC - 1のブロック図

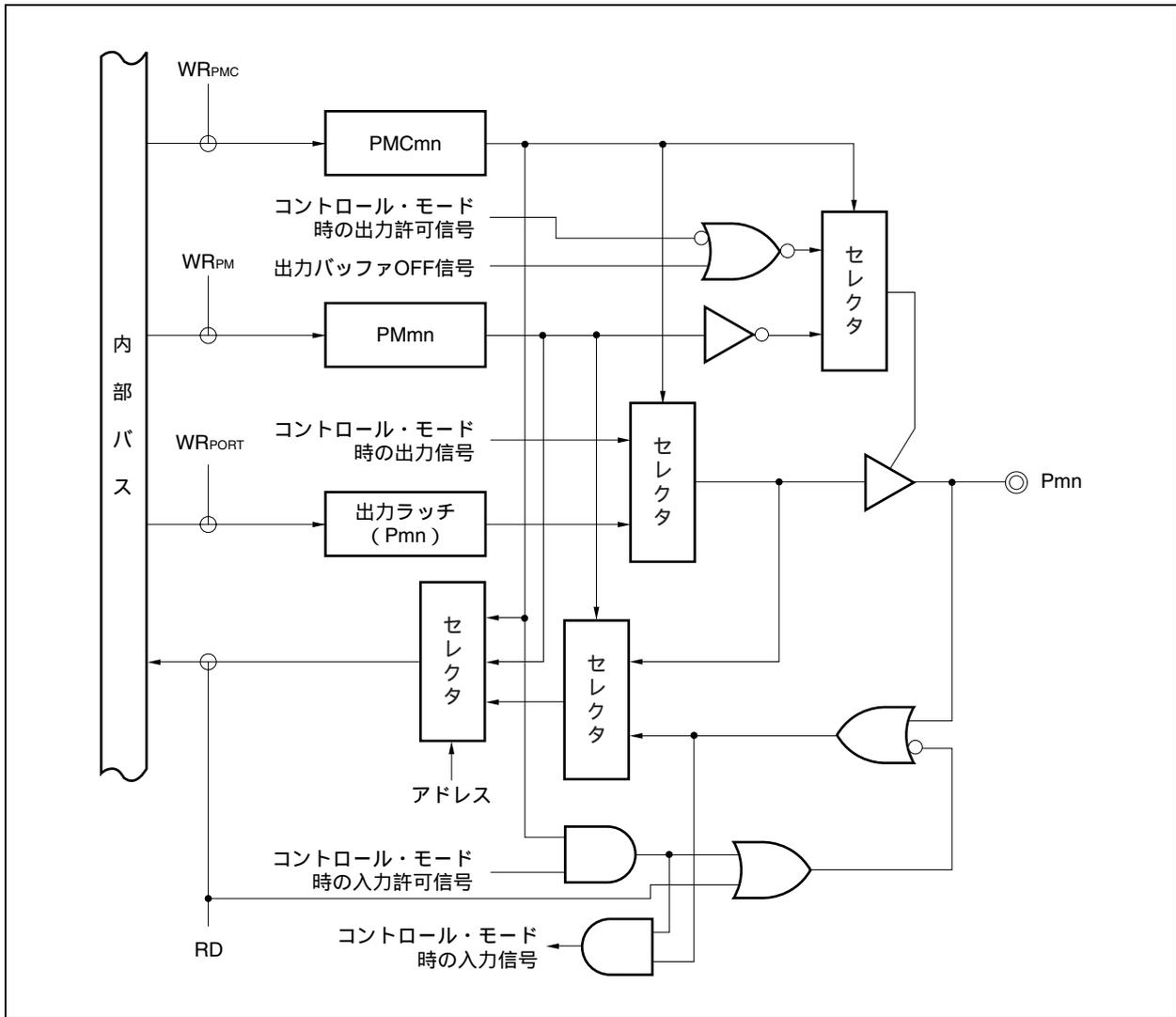


図4 - 13 タイプC - 2のブロック図

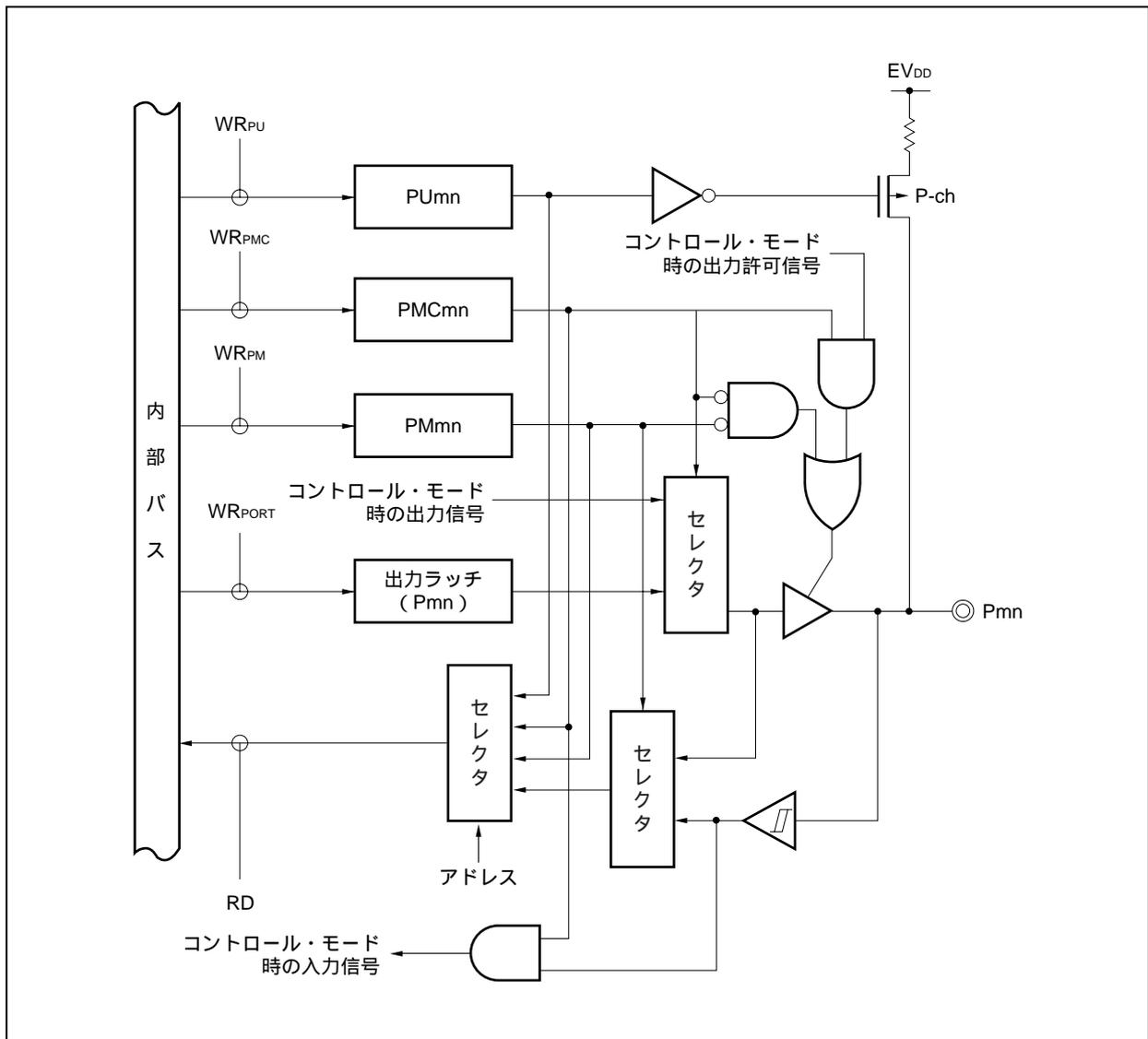


図4 - 14 タイプD - 1のブロック図

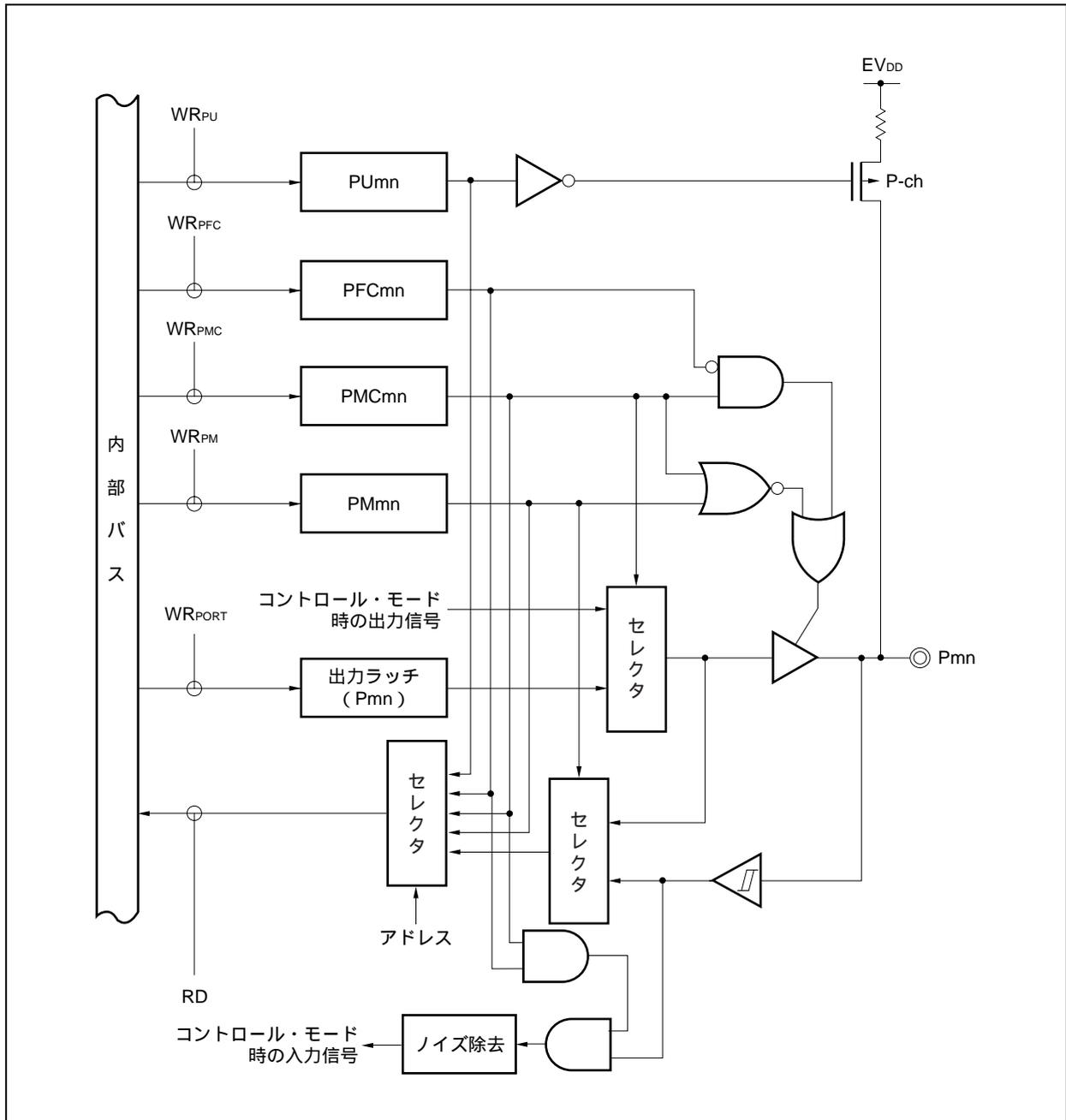
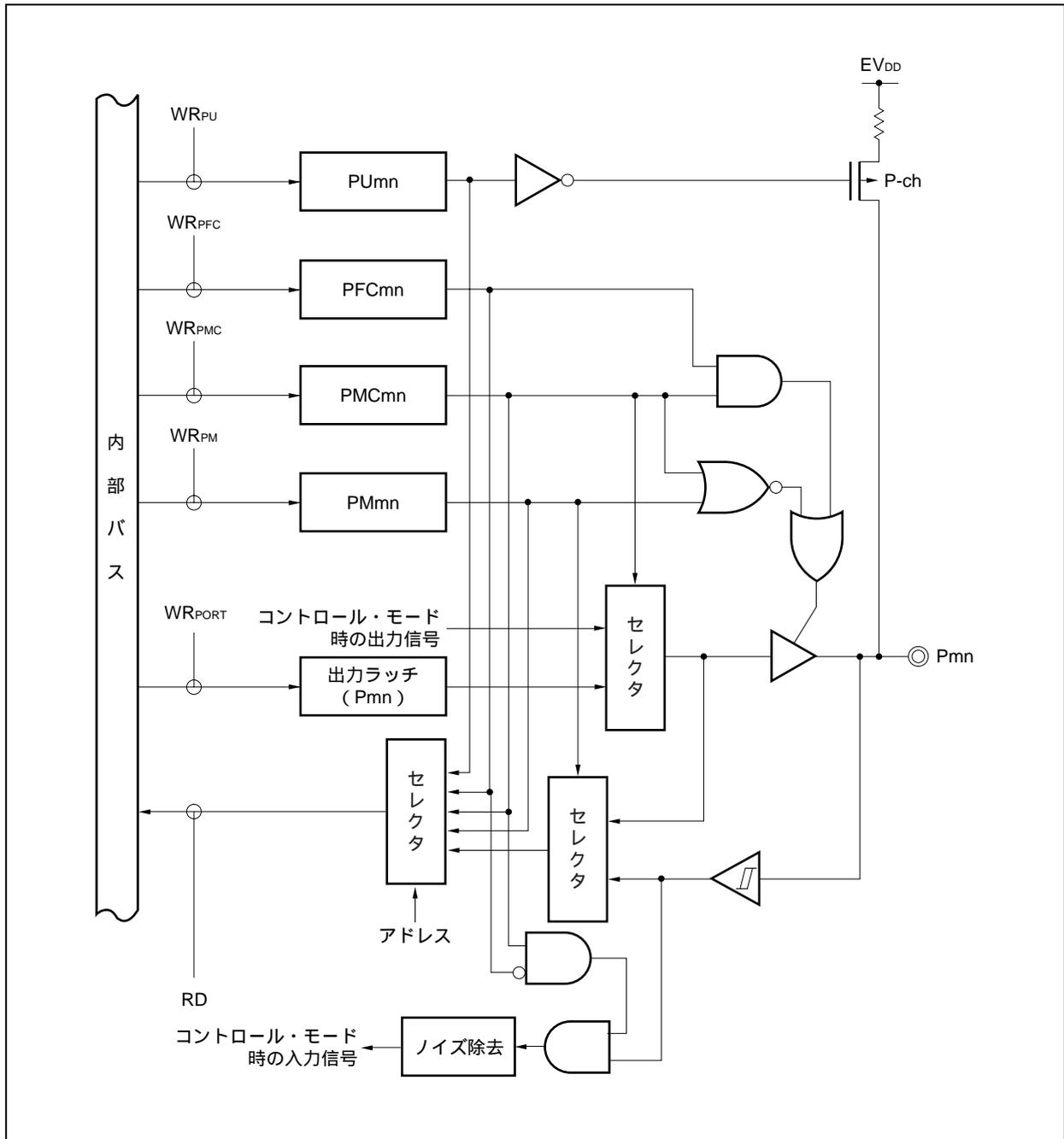


図4 - 15 タイプD - 2のブロック図



4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として試用する場合のポートのレジスタ設定を表4 - 15に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 15 ポート端子を兼用端子として使用する場合 (1/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P00	NMI	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	INTR00 (INTR0) , INTF00 (INTF0)
P01	INTP0	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	INTR01 (INTR0) , INTF01 (INTF0)
P02	INTP1	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	INTR02 (INTR0) , INTF02 (INTF0)
P03	INTP2	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFC03 = 0	INTR03 (INTR0) , INTF03 (INTF0)
	TI20	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFC03 = 1	TCL202-TCL200 (TCL20)
P10	PWM0	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	-	-
P11	TO00	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFC11 = 0	-
	PWM1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFC11 = 1	-
P12	TO01	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFC12 = 0	-
	PWM2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFC12 = 1	-
P13	TO20	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFC13 = 0	-
	PWM3	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFC13 = 1	-
P14	TO21	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFC14 = 0	-
	TI21	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFC14 = 1	TCL212-TCL210 (TCL21)
P20	TO02	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	-	-
P21	TO03	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	-

表4 - 15 ポート端子を兼用端子として使用する場合 (2/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P30	RXD0	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFC30 = 0	-
	$\overline{\text{RXD0}}$	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFC30 = 1	-
P31	TXD0	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	-
P32	SI1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	-
P33	SO1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	-
P34	$\overline{\text{SCK1}}$	入出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	-
P35	INTP100	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	SES10レジスタにより有効エッジを設定する
	TI10	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	
	TCLR10	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	
P36	INTP110	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	SES11レジスタにより有効エッジを設定する
	TI11	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	
	TCLR11	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	
P40	SI0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	-
P41	SO0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	-
P42	$\overline{\text{SCK0}}$	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-
P43	$\overline{\text{RXD1}}$	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFC43 = 0	-
	RXD1	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFC43 = 1	-
P44	TXD1	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	-
P45	INTP101	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFC45 = 0	SES10レジスタにより有効エッジを設定する
	TO10	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFC45 = 1	-
P46	INTP111	入力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFC45 = 0	SES11レジスタにより有効エッジを設定する
	TO11	出力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFC46 = 1	-

表4 - 15 ポート端子を兼用端子として使用する場合 (3/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMcnレジスタの PMcnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	-	注
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	-	注
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	-	注
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	-	注
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	-	注
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	-	注
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	-	注
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	-	注
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 0	注
	TI030	入力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 1	-
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 0	注
	TI031	入力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 1	-
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 0	注
	TI020	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 1	-
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 0	注
	TI021	入力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 1	-
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 0	注
	TI010	入力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 1	-
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 0	注
	TI011	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 1	-
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 0	注
	TI000	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 1	-
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 0	注
	TI001	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 1	-

注 A0-A15端子に設定する際は、一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4 - 15 ポート端子を兼用端子として使用する場合 (4/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-
PCS0	CS0	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-
PCS1	CS1	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-
PCS2	CS2	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-
PCT0	WR0	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	-
PCT1	WR1	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	-
PCT4	RD	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	-	-
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-

表4 - 15 ポート端子を兼用端子として使用する場合 (5/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMcnレジスタの PMcNxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PDL0	D0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-
PDL1	D1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-
PDL2	D2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-
PDL3	D3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-
PDL4	D4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-
PDL5	D5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-
PDL6	D6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-
PDL7	D7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-
PDL8	D8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-
PDL9	D9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-
PDL10	D10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-
PDL11	D11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-
PDL12	D12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-
PDL13	D13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-
PDL14	D14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-
PDL15	D15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-

4.6 注意事項

4.6.1 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90は出力ポート、P91-P97は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、出力ポートP90の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象はそれぞれ、出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/PM1内部で、次の順序で行われます。

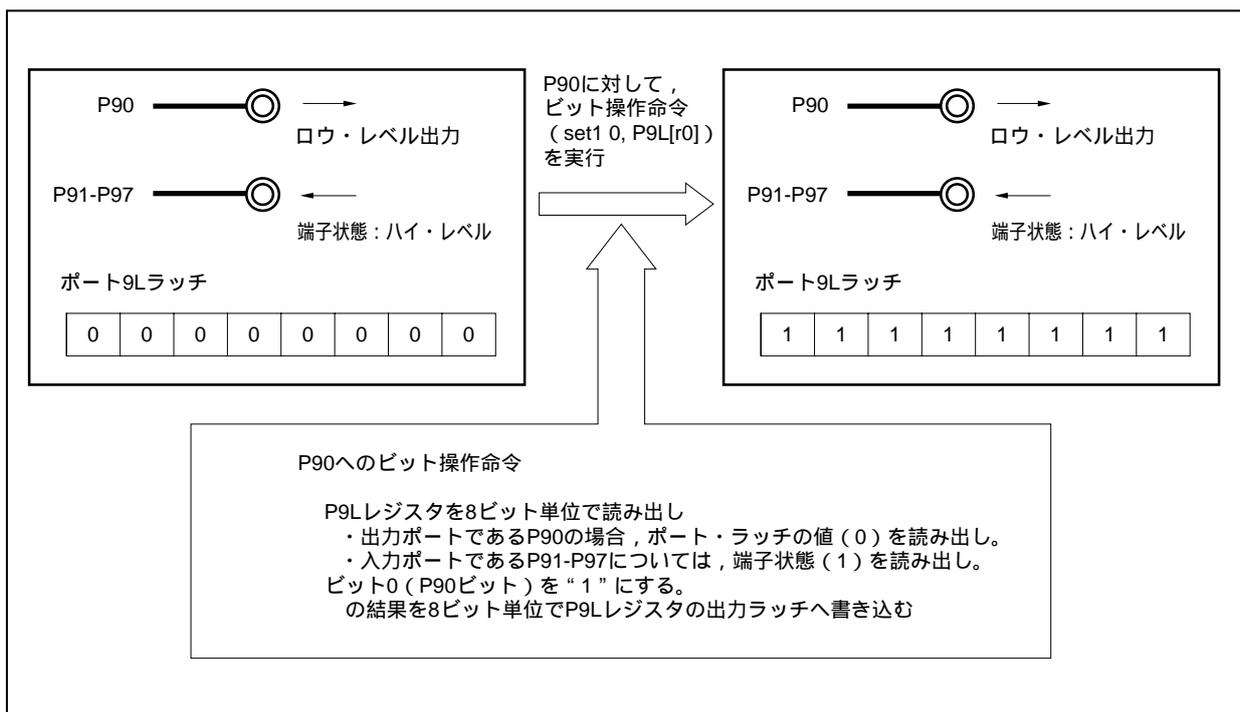
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97は端子状態を読み出します。このときP91-P97の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 16 ビット操作命令 (P90の場合)



第5章 バス制御機能

V850ES/PM1は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

最小で2バス・サイクルのセパレート・バス出力

3空間のチップ・セレクト機能

8ビット / 16ビット・データ・バス切り替え可能 (チップ・セレクトで選択される領域ごとに選択可能)

ウェイト機能

・最大で7ステートのプログラマブル・ウェイト機能 (チップ・セレクトで選択される領域ごとに選択可能)

・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート機能

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧

バス制御端子	兼用端子	入出力	機能
D0-D15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A18	PDH0-PDH2	出力	アドレス・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
CS0-CS2	PCS0-PCS2	出力	チップ・セレクト
WR0, WR1	PCT0, PCT1	出力	ライト・ストロブ信号
RD	PCT4	出力	リード・ストロブ信号

5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合、各端子状態は次のようになります。

表5-2 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

アドレス・バス (A18-A0)	不定 ^注
データ・バス (D15-D0)	Hi-Z
制御信号	インアクティブ

注 アクセス先により、出力データは異なります。内蔵ROM領域、内蔵RAM領域へアクセスしたときには、V850ES/PM1とIEとでは出力値が異なる場合があります。

注意 内蔵ROM領域へライト・アクセスしたときには、外部メモリ領域へのアクセスと同じくアドレス、データ、制御信号ともに活性化されます。

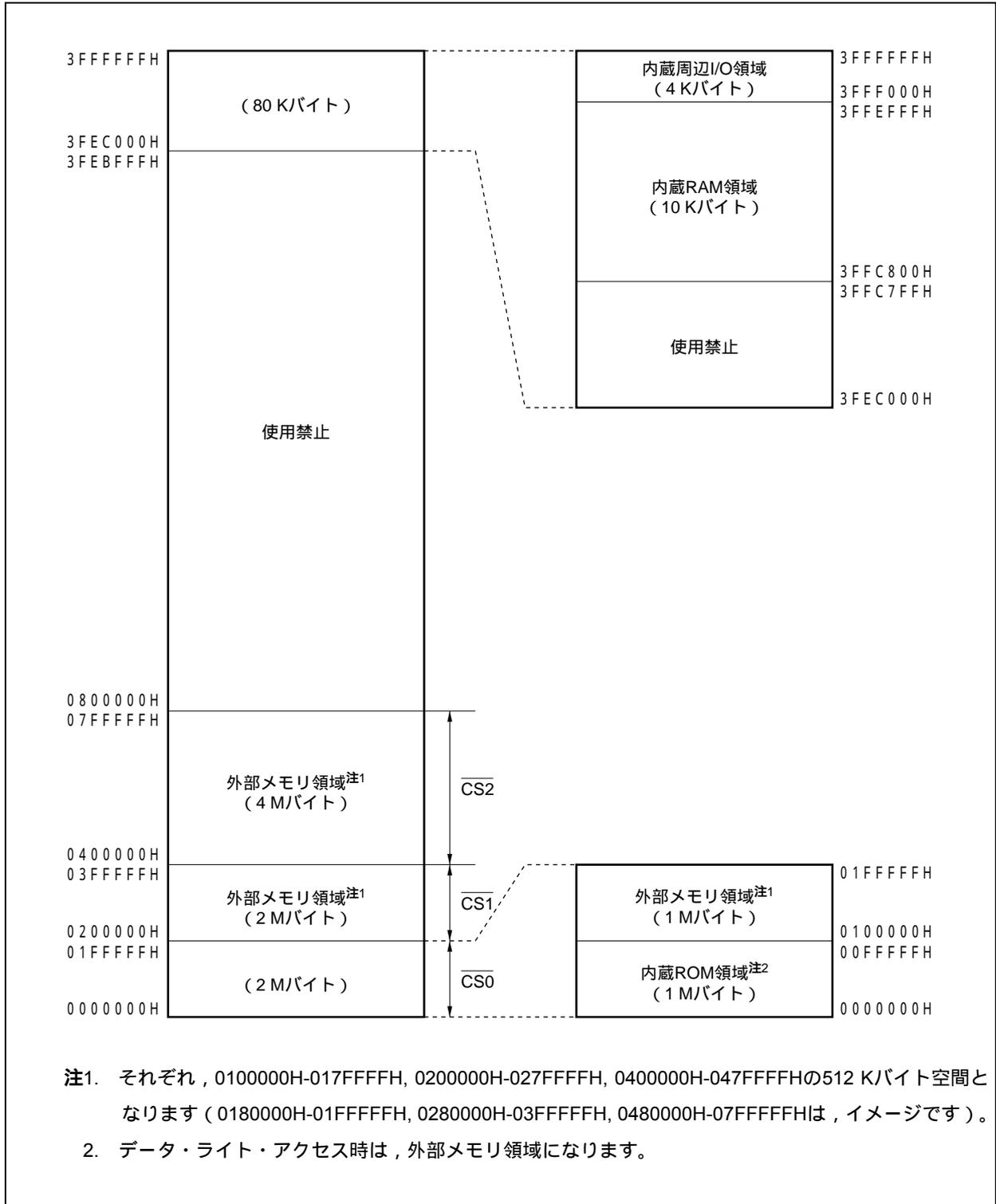
5.2.2 各動作モードの端子状態

V850ES/PM1の各動作モードの端子状態については、2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

64 Mバイトのメモリ空間は下位2M, 2M, 4Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウェイト機能, バス・サイクル動作モードなどを独立に制御できます。

図5 - 1 データ・メモリ・マップ：物理アドレス



5.3.1 チップ・セレクト制御機能

アドレス空間：64 Mバイト（リニア）のうち，下位8 Mバイト（0000000H-0FFFFFFH）は $\overline{CS0}$ - $\overline{CS2}$ の3本のチップ・セレクト機能を内蔵しています。 $\overline{CS0}$ - $\overline{CS2}$ で選択される領域は固定されています

チップ・セレクト制御機能により，メモリ・ブロックを分割してメモリ空間を有効に利用できます。メモリ・ブロックの割り当てを次に示します。

	V850ES/PM1（シングルチップ・モード）	V850ES/PM1（ROMレス・モード）
$\overline{CS0}$	0100000H-017FFFFH（512 Kバイト）	0000000H-007FFFFH（512 Kバイト）
$\overline{CS1}$	0200000H-027FFFFH（512 Kバイト）	0200000H-027FFFFH（512 Kバイト）
$\overline{CS2}$	0400000H-047FFFFH（512 Kバイト）	0400000H-047FFFFH（512 Kバイト）

5.4 バス・アクセス

5.4.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅)	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)
バス・サイクル・タイプ			
命令フェッチ (通常アクセス)	1	1 ^{注1}	2 + n ^{注2}
命令フェッチ (分岐)	2	2 ^{注1}	2 + n ^{注2}
オペランド・データ・アクセス	3	1	2 + n ^{注2}

注1. データ・アクセスと競合した場合は+1されます。

2. n: ウェイト数

備考 単位はクロック/アクセスです。

5.4.2 バス・サイズ設定機能

外部メモリ領域は、 \overline{CSn} で選択される領域ごとにバス・サイズをBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

外部メモリ領域は、 $\overline{CS0}$ ~ $\overline{CS2}$ で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

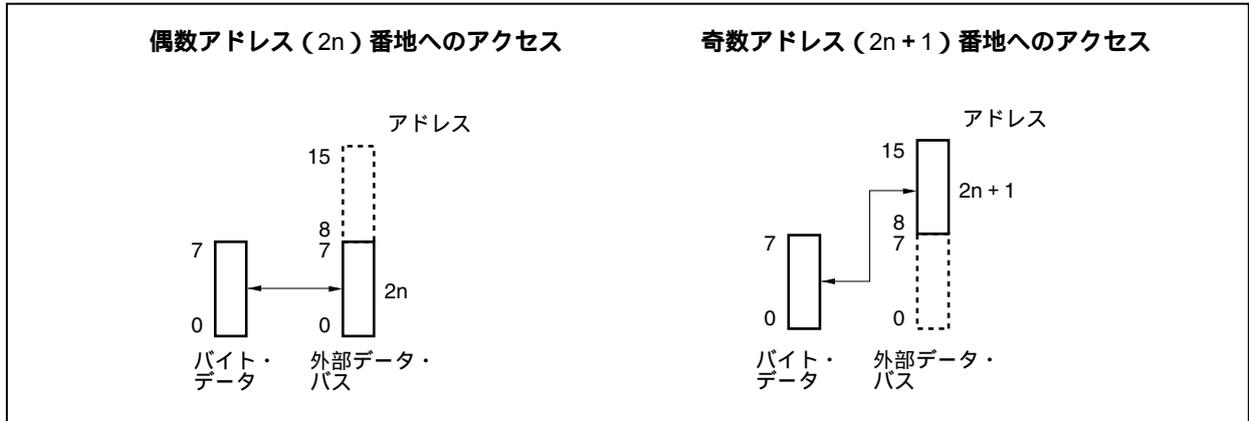
リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

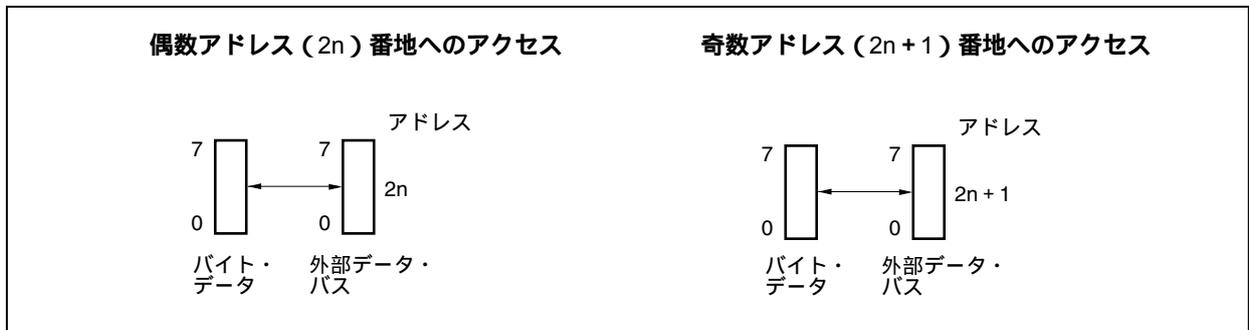
リセット時: 5555H R/W アドレス: FFFFF066H								
	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	1	0	BS20	0	BS10	0	BS00
\overline{CSn} 信号				$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$
	BSn0	CSn空間のデータ・バス幅 (n = 0-2)						
	0	8ビット						
	1	16ビット						
注意 ビット14, 12, 10, 8, 6には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。								

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

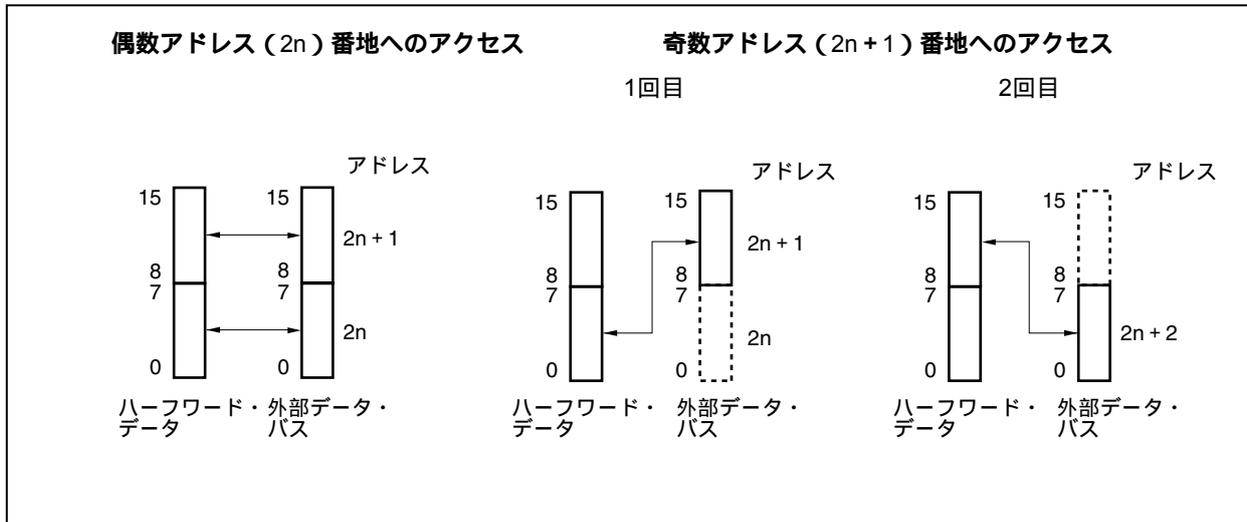


(b) 8ビット・データ・バス幅のとき

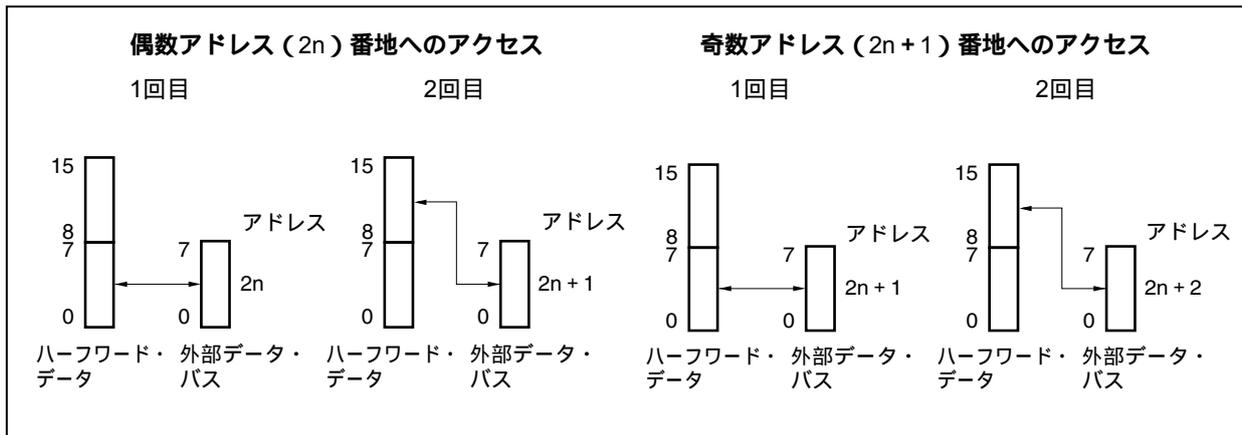


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

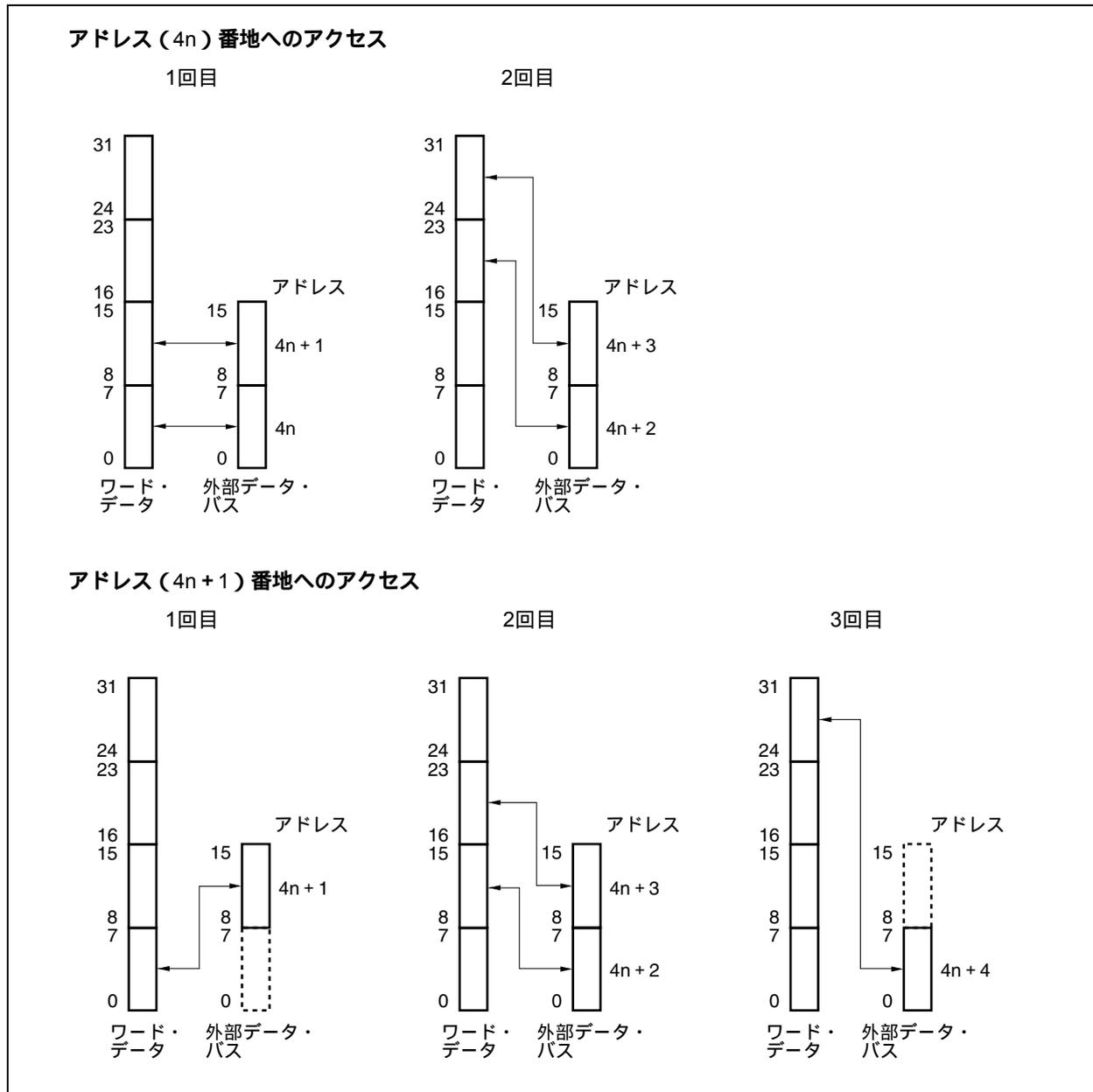


(b) 8ビット・データ・バス幅のとき



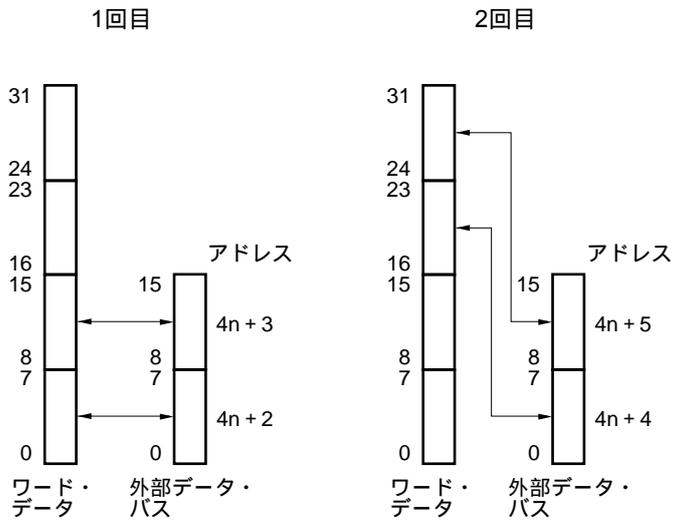
(4) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

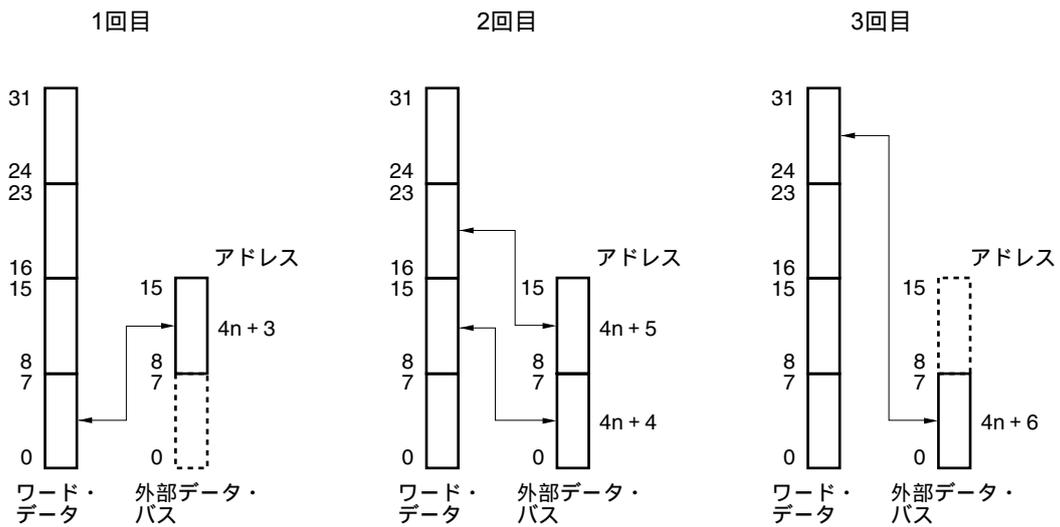


(a) 16ビット・データ・バス幅のとき (2/2)

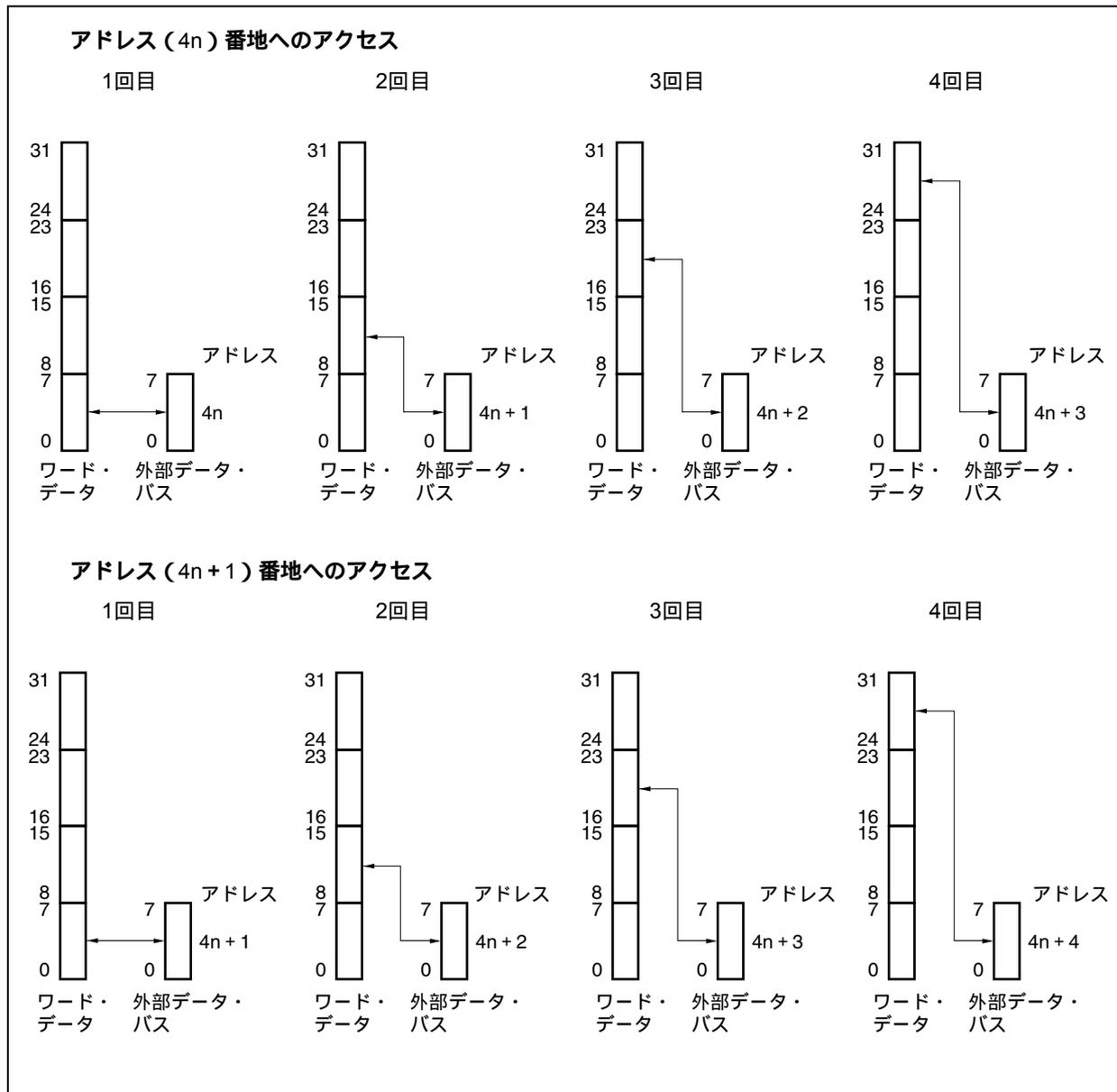
アドレス $(4n+2)$ 番地へのアクセス



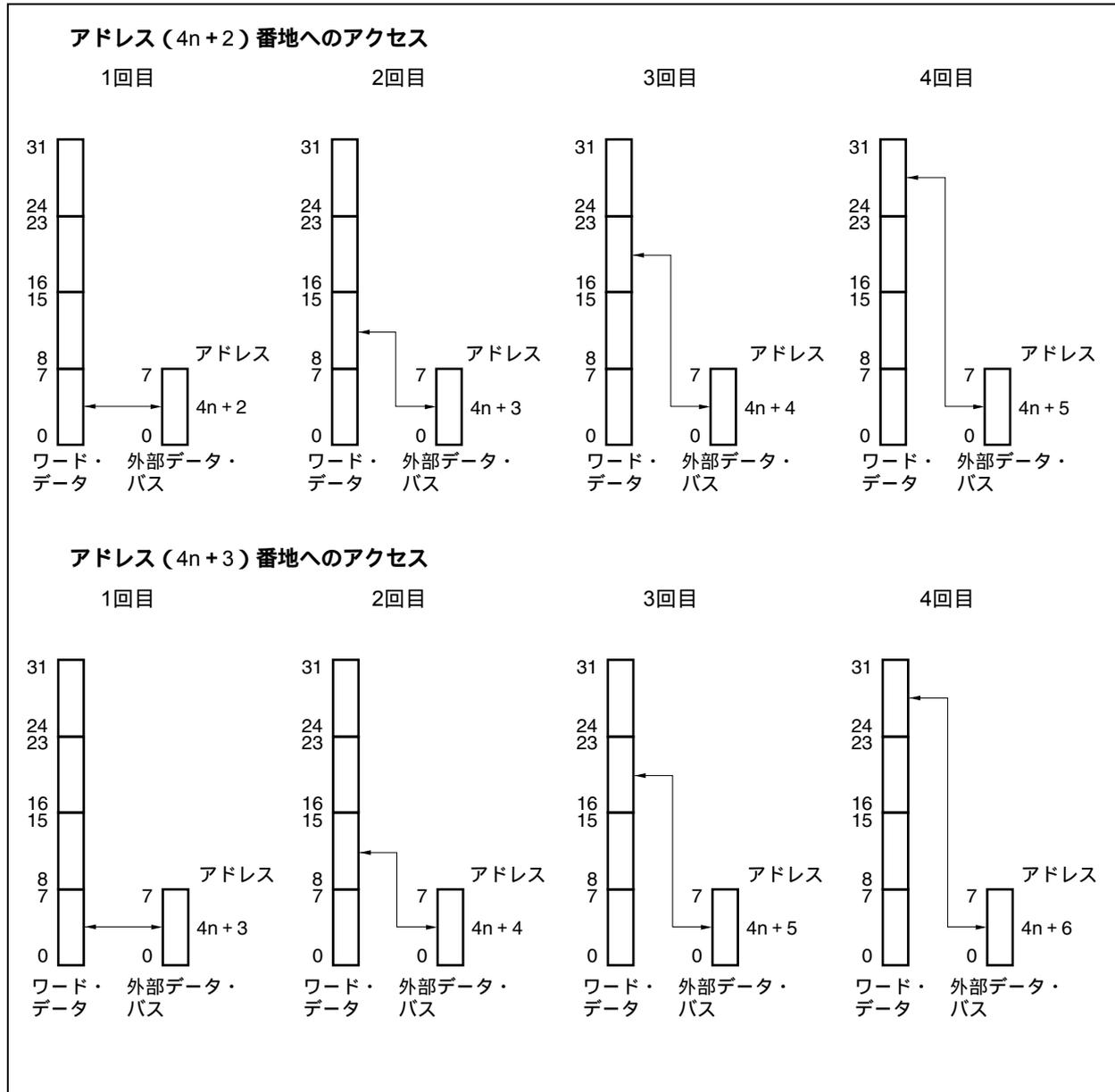
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



5.5 ウェイト機能

5.5.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0レジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。

リセット時: 7777H R/W アドレス: FFFFF484H

	15	14	13	12	11	10	9	8
DWC0	0	1	1	1	0	DW22	DW21	DW20

CSn信号 CS2

	7	6	5	4	3	2	1	0
	0	DW12	DW11	DW10	0	DW02	DW01	DW00

CSn信号 CS1 CS0

DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-2)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意 ビット14, 13, 12には必ず1を設定し, ビット15, 11, 7, 3には必ず0を設定してください。

5.5.2 外部ウェイト機能

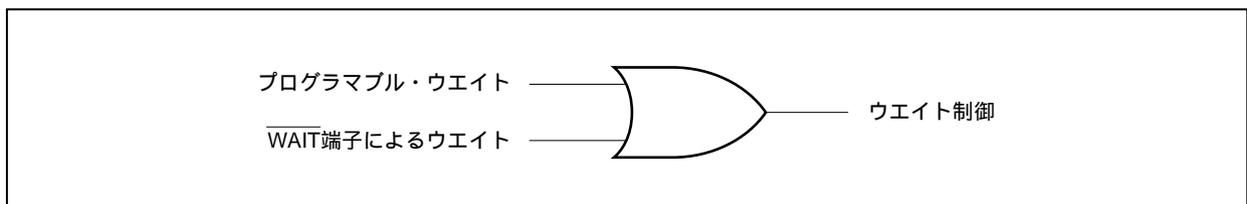
極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウェイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウェイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウェイトと同様に、外部ウェイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウェイトを挿入するか、挿入しないかのどちらかになります。

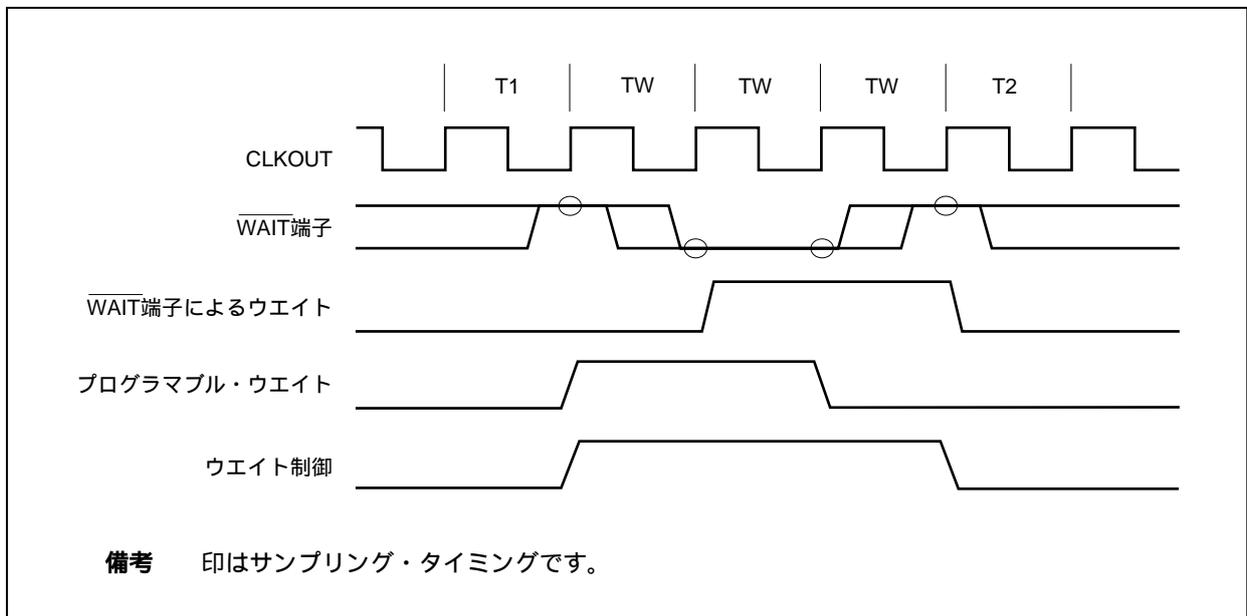
5.5.3 プログラマブル・ウェイトと外部ウェイトの関係

ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウェイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウェイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウェイトになります。

図5-3 ウェイト挿入例



5.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、メモリ・ブロックで選択される空間ごとに起動されるバス・サイクルに対し、T2ステート後に1ステートのアイドル・ステート (TI) を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます (ライト・アクセス時には、アイドル・ステートは挿入できません。)。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : AAAAH R/W アドレス : FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	1	0	BC21	0	BC11	0	BC01	0
CSn信号			$\overline{\text{CS}}_2$		$\overline{\text{CS}}_1$		$\overline{\text{CS}}_0$	

BCn1	アイドル・ステート挿入指定 (n = 0-2)
0	挿入しない
1	挿入する

注意 ビット15, 13, 11, 9, 7には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.7 バスの優先順位

外部バス・サイクルには、命令フェッチ（分岐）、命令フェッチ（連続）、オペランド・データ・アクセス、の3つがあります。

優先順位はオペランド・データ・アクセスが最も高く、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチは挿入されません。

表5 - 3 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

5.8 バス・タイミング

図5-4 バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

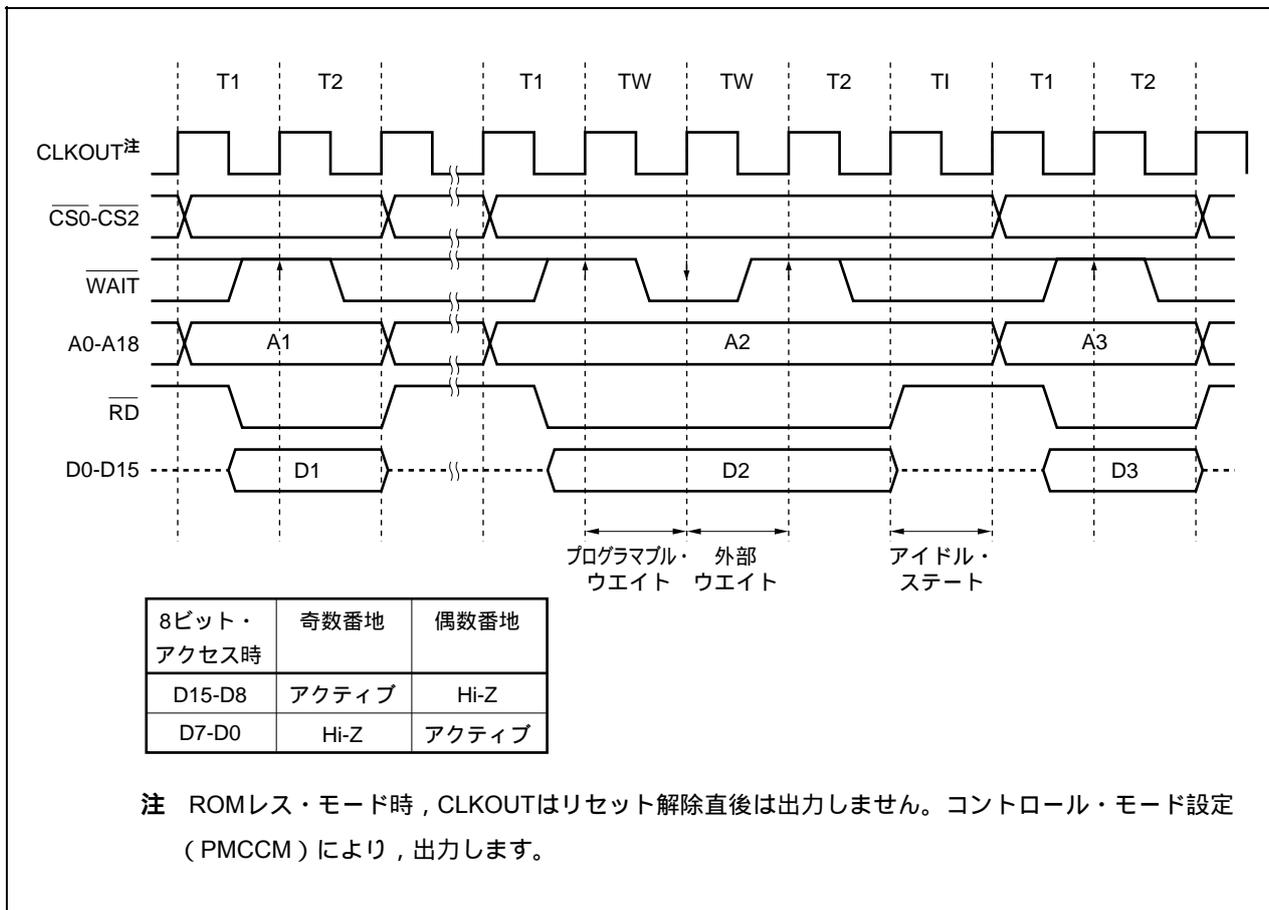


図5-5 バス・リード・タイミング (バス・サイズ: 8ビット)

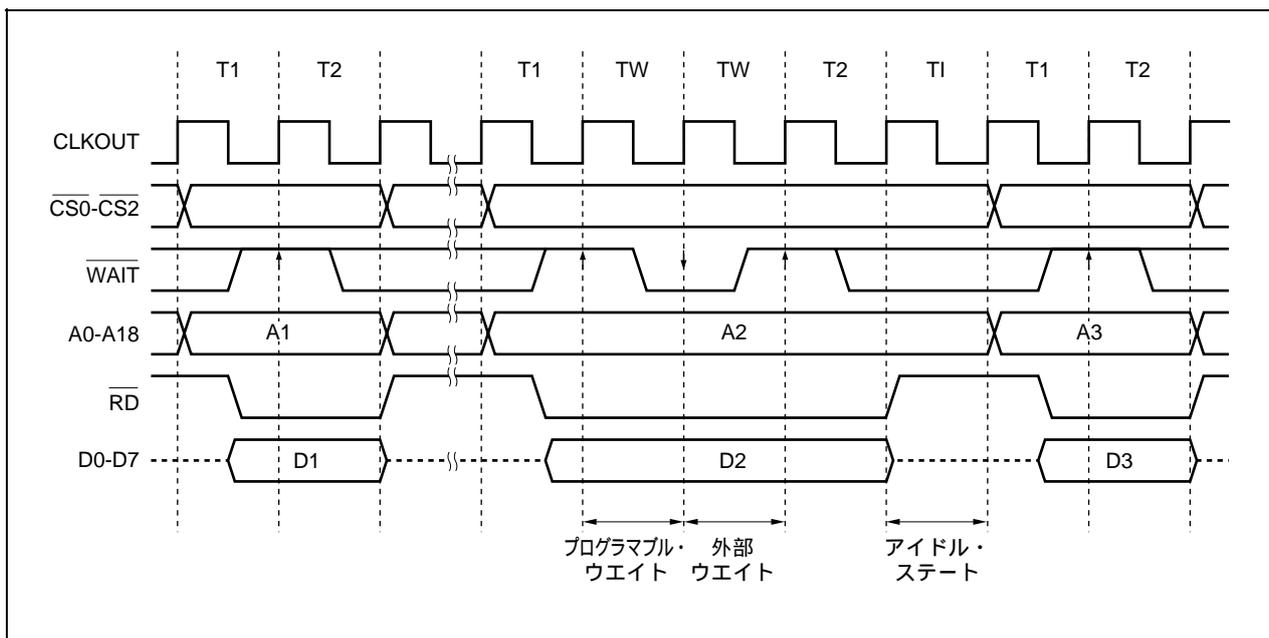


図5-6 バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

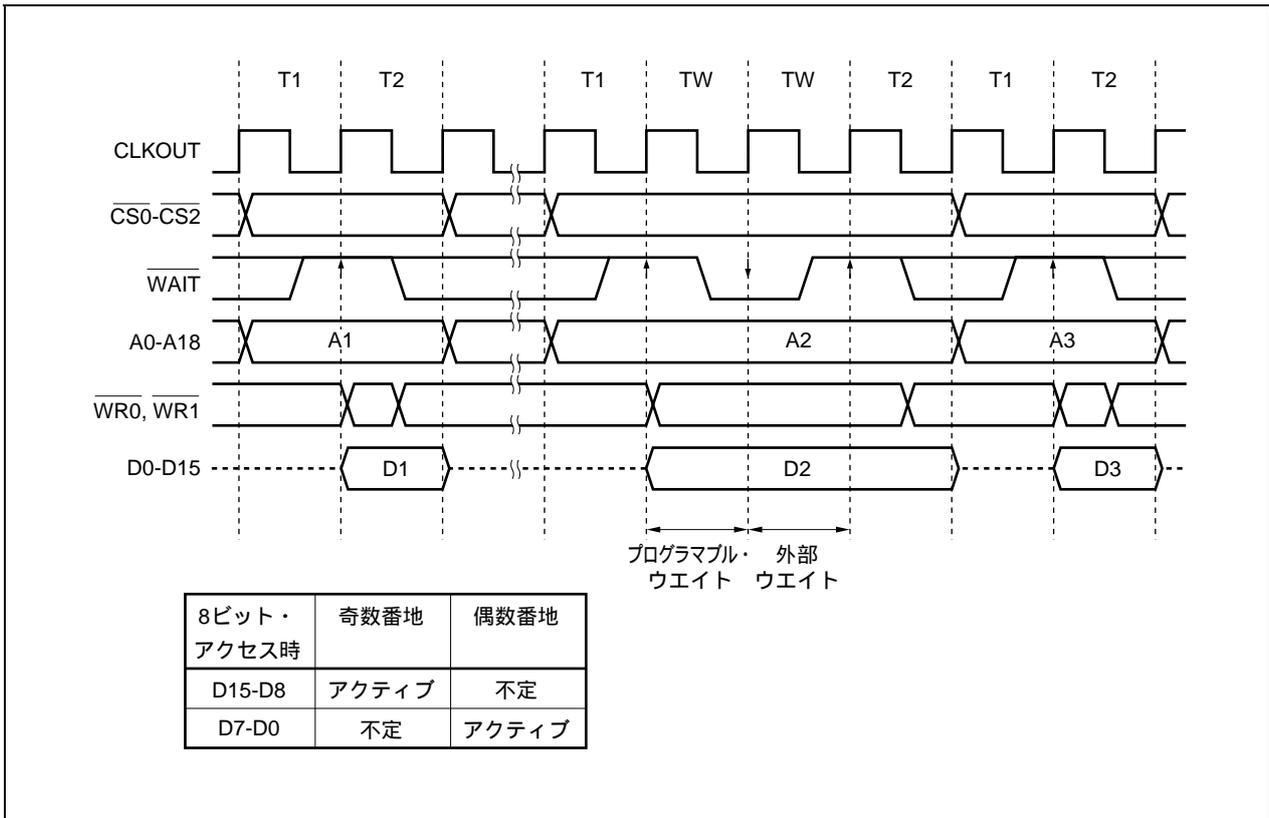


図5-7 バス・ライト・タイミング (バス・サイズ: 8ビット)

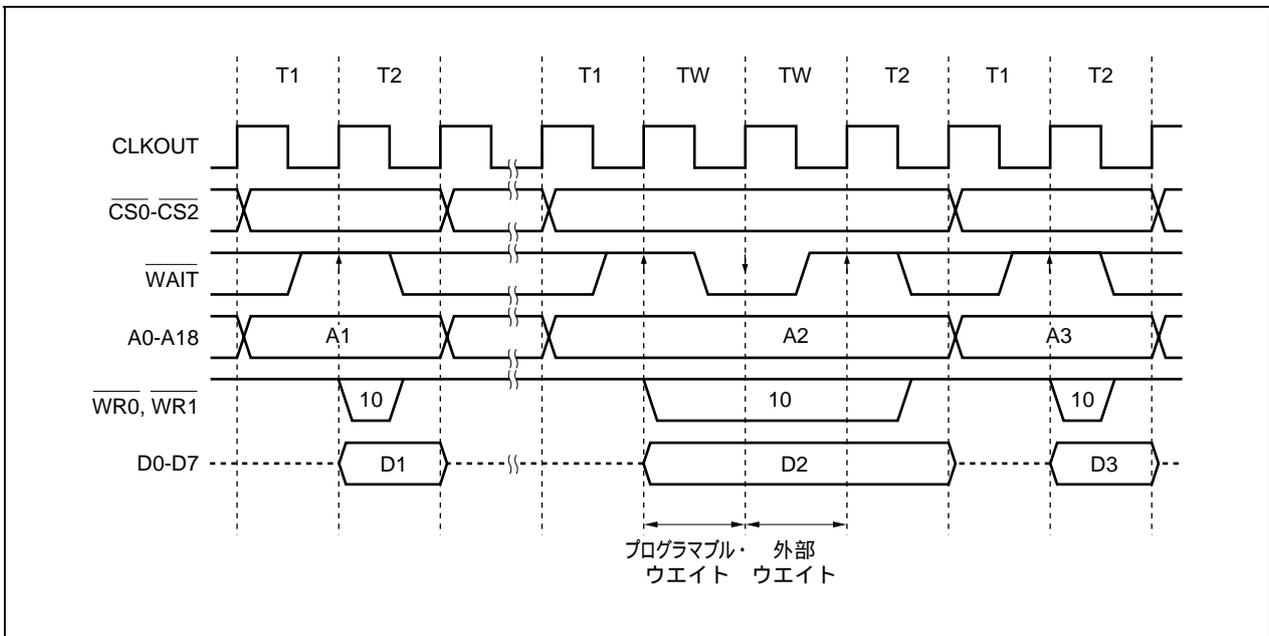
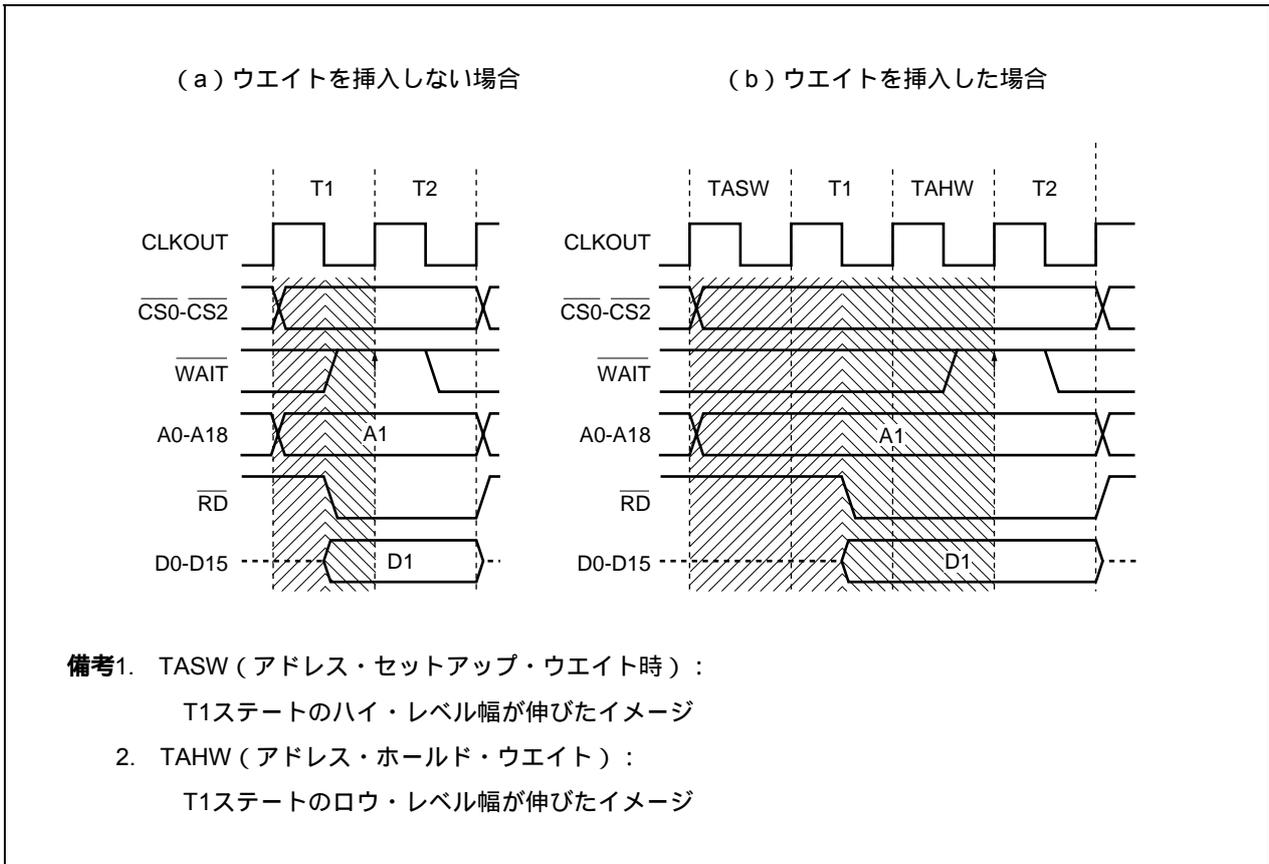


図5-8 アドレス・ウエイト・タイミング
 (バス・リード, バス・サイズ: 16ビット, 16ビット・アクセス時)



第6章 クロック発生機能

6.1 概 要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・ $f_x = 2 \sim 20$ MHz (2.7 ~ 3.6 V動作時)

サブクロック発振回路

- ・ $f_{XT} = 32.768$ kHz (2.2 ~ 3.6 V動作時)

内部システム・クロックおよびCPUクロックの生成

- ・ 5段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, f_{XT})

周辺クロックの生成

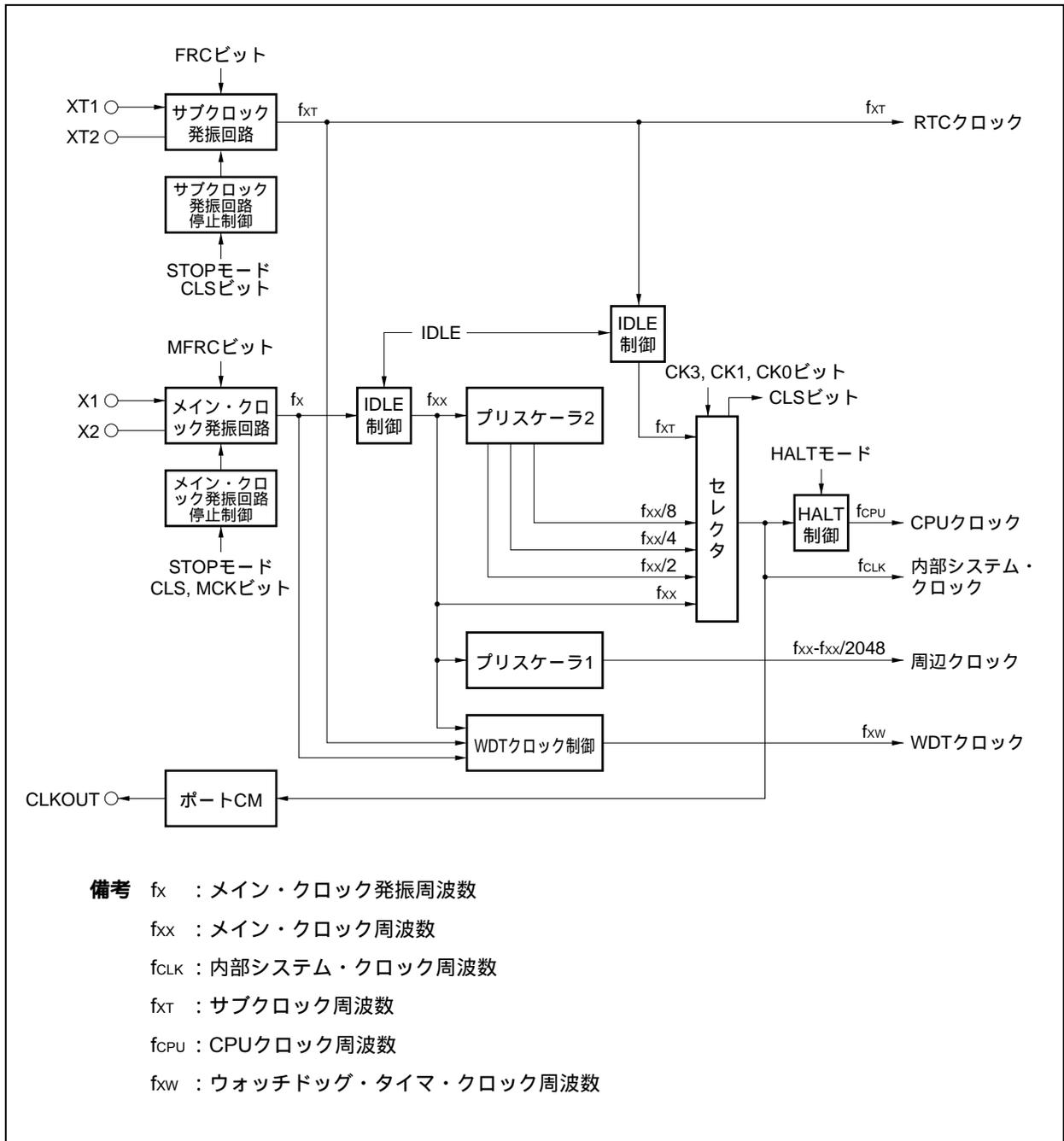
クロック出力機能

備考 f_x : メイン・クロック発振周波数

f_{xx} : メイン・クロック周波数

6.2 構成

図6 - 1 クロック発生回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

・ 2 ~ 20 MHz (2.7 ~ 3.6 V動作時)

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振子停止制御

メイン・クロック発振子の発振を停止する制御信号を生成します。

プロセッサ・クロック・コントロール・レジスタ (PCC) のCLSビット = 0のときにソフトウェアSTOPモードに設定した場合、またはCLSビット = 1のときにPCCレジスタのMCKビット = 1にした場合、メイン・クロック発振子の発振を停止します。

(4) サブクロック発振子停止制御

サブクロック発振子の発振を停止する制御信号を生成します。

CLSビット = 1のときにソフトウェアSTOPモードに設定した場合、サブクロック発振子の発振を停止します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx} - f_{xx}/2048$) を生成します。

クロック供給の対象となるブロックを次に示します。

TM00-TM03, TM10, TM11, TM20, TM21, CSI0, CSI1, UART0, UART1, PWM0-PWM3, ADC

(6) プリスケーラ2

メイン・クロック (f_{xx}) を分周する回路です。

内部システム・クロック (f_{CLK}) を生成するセクタに、プリスケーラ2で生成したクロック ($f_{xx} \sim f_{xx}/8$) を供給します。

なお、 f_{CLK} は、CPU, INTC, ROMコレクション・ブロックに供給するクロックで、CLKOUT端子から出力できます。

(7) ウォッチドッグ・タイマ・クロック制御

メイン・クロック発振周波数 (f_x) を16分周してウォッチドッグ・タイマに供給するクロック (f_{xw}) を生成する回路です。サブクロック動作時はウォッチドッグ・タイマは停止します。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

プロセッサ・クロック・コントロール・レジスタ (PCC) は特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 **特定レジスタ**参照)。

8/1ビット単位でリード/ライト可能です。ただしCLSビットのみリードのみ可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF828H

	⑦		⑤		2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK1	CK0
					0		

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・メイン・クロックを停止させ、サブクロックで動作している場合に、再度メイン・クロックに切り替えるときは、MCKビットを“0”に設定し、プログラム中で発振安定時間を確保したあとに切り替えてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{CPU}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK1	CK0	クロックの選択 (f _{CPU})
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /8
1	X	X	f _{XT} (サブクロック : 32.768 kHz)

注 CLSビットはリードのみ可能です。

- 注意1. CLKOUTを出力している間は、CPUクロック (PCCレジスタのCK3, CK1, CK0ビット) を変更しないでください。
2. ビット2には必ず0を設定してください。
 3. CPUがサブクロック動作中で、X1にクロックを入力していないとき、またはメイン発振回路を停止させているとき、ウェイトが発生するレジスタにウェイトが発生するアクセス方法でアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。

備考 X : 任意

(a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK1, CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
最大： $1/f_{XT}$ (1/サブクロック周波数)
- MCKビット 1 : メイン・クロックを停止するときのみ、MCKビットを1に設定します。

[記述例]

```

_SET_SUB_RUN :
    st.b    r0, PRCMD[r0]
    set1    3, PCC[r0]                -- CK3ビット 1
_CHECK_CLS :
    tst1    4, PCC[r0]                -- サブクロック動作に切り替わるまでウエイト
    bz      _CHECK_CLS
_STOP_MAIN_CLOCK :
    st.b    r0, PRCMD[r0]
    set1    6, PCC[r0]                -- MCKビット 1, メイン・クロック停止

```

(b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 :メイン・クロック発振開始
プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 :ビット操作命令を推奨します。CK1, CK0ビットは変更しないでください。

メイン・クロック動作 :CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間はつぎのとおりです。

最大： $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、もしくはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

[記述例]

```

_START_MAIN_OSC :
    st.b    r0, PRCMD[r0]          -- 特定レジスタ，プロテクション解除
    clr1    6, PCC[r0]            -- メイン・クロック発振開始
    movea   0x55, r0, r11         -- 発振安定時間待ち

_WAIT_OST :
    nop
    nop
    nop
    addi    -1, r11, r11
    mp      r0, r11
    bne     _PROGRAM_WAIT
    st.b    r0, PRCMD[r0]
    clr1    3, PCC[r0]            -- CK3    0

_CHECK_CLS :
    tst1    4, PCC[r0]           -- メイン・クロック動作に切り替わるまでウエイト
    bnz     _CHECK_CLS

```

6.4 動作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

PCCレジスタの設定および 動作状態	CLSビット = 0 MCKビット = 0					CLSビット = 1 MCKビット = 0		CLSビット = 1 MCKビット = 1		サブソフトウェアSTOPモード
	リセット中	発振安定時間カウンタ中	HALTモード	IDLEモード	ソフトウェアSTOPモード	サブクロック・モード	サブIDLEモード	サブクロック・モード	サブIDLEモード	
対象クロック										
メイン発振子 (fx)	x				x			x	x	x
サブ発振子 (fxT)										x
CPUクロック (fCPU)	x	x	x	x	x		x		x	x
内部システム・クロック (fCLK)	x	x		x	x		x		x	x
周辺クロック (fx ~ fx/512)	x	x		x	x		x	x	x	x
WDTクロック (fxw)	x			x	x	注	x	x	x	x
RTCクロック (fxT)	x									x

注 ウォッチドッグ・タイマ・クロック (fxw) は動作可能ですが、CLSビット = 1になるとウォッチドッグ・タイマ内で動作を停止します。

備考 : 動作可能

x : 停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3, CK1, CK0ビットで選択します。

CLKOUT端子は、PCM1端子と兼用しており、PMCCMレジスタを設定することにより、クロック出力端子として機能します (4.3.7 ポートCM参照)。

CLKOUT端子の状態は、表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、x(停止)の時にはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード (PCM1: 入力モード) となるので、端子の状態はハイ・インピダンスになります。

6.4.3 外部クロック入力機能

発振回路には、外部クロックを直接入力することができます。この場合、X1端子からクロック入力、X2端子からその反転を入力し、PCC.MFRCビット = 1（内蔵帰還抵抗を使用しない）としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。

第7章 16ビット・タイマ/イベント・カウンタ00-03

V850ES/PM1は、16ビット・タイマ/イベント・カウンタ0を4チャンネル搭載しています。

7.1 機能

16ビット・タイマ/イベント・カウンタ0nには、次のような機能があります (n = 0-3)。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力 (16ビット・タイマ/イベント・カウンタ00, 01のみ)

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

7.2 構成

16ビット・タイマ/イベント・カウンタ0nは、次のハードウェアで構成されています。

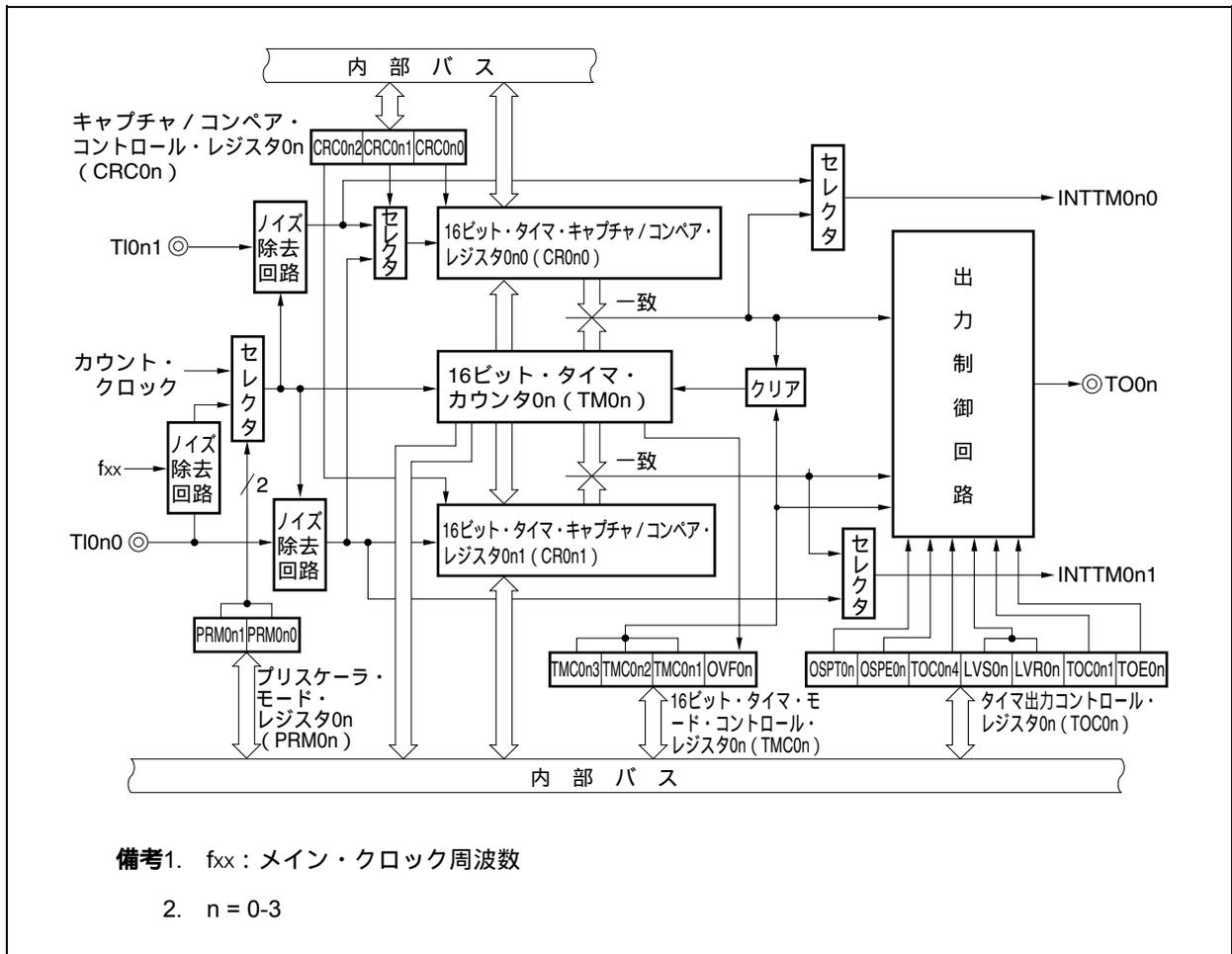
表7-1 16ビット・タイマ/イベント・カウンタ0nの構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタ0n x 1本 (TM0n)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ: 16ビット x 2本 (CR0n0, CR0n1)
タイマ入力	2本 (TI0n0, TI0n1端子)
タイマ出力	1本 (TO0n端子), 出力制御回路
制御レジスタ ^注	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n)

注 TI0n0, TI0n1, TO0n端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

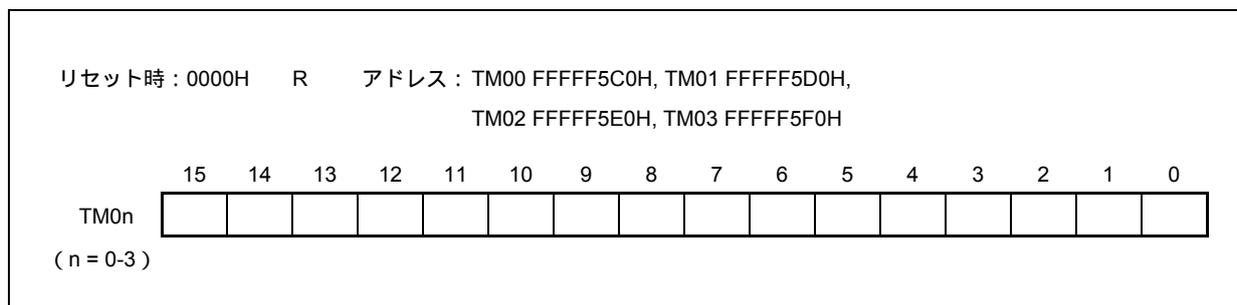
次にブロック図を示します。

図7-1 16ビット・タイマ/イベント・カウンタ0nのブロック図



(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタは、カウント・パルスをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。



TM0nレジスタをTMC0n.TMC0n3, TMC0n2ビット = 00以外のときにリードすることにより、カウント値をリードできます。TMC0n3, TMC0n2ビット = 00の状態では、0000Hがリードされます。
 次の場合、カウント値は0000Hになります。

- ・リセット時
- ・TMC0n3, TMC0n2ビットをクリア (00) したとき
- ・TI0n0端子の有効エッジ入力でクリア&スタート・モード時、TI0n0端子に有効エッジが入力されたとき
- ・TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モード時、TM0nレジスタとCR0n0レジスタが一致したとき
- ・ワンショット・パルス出力モードで、TOC0n.OSPT0nビットをセット (1) したとき

備考 n = 0-3

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n0 (CR0n0),
16ビット・タイマ・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0nレジスタで行います。

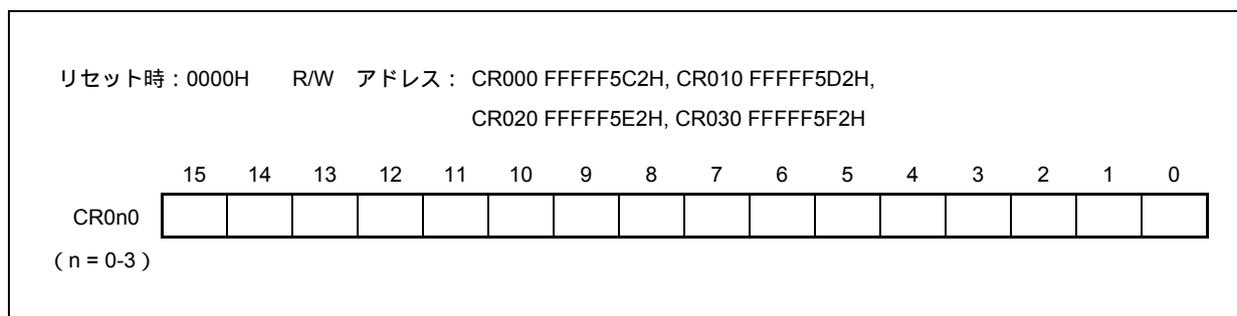
CR0n0レジスタは動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) の書き換えは禁止です。

CR0n1レジスタは、所定の方法で設定した場合、動作中に書き換え可能です。詳細は7. 5. 1 CR0n0レジスタのTM0n動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

(a) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n0 (CR0n0)



(i) CR0n0レジスタをコンペア・レジスタとして使用するとき

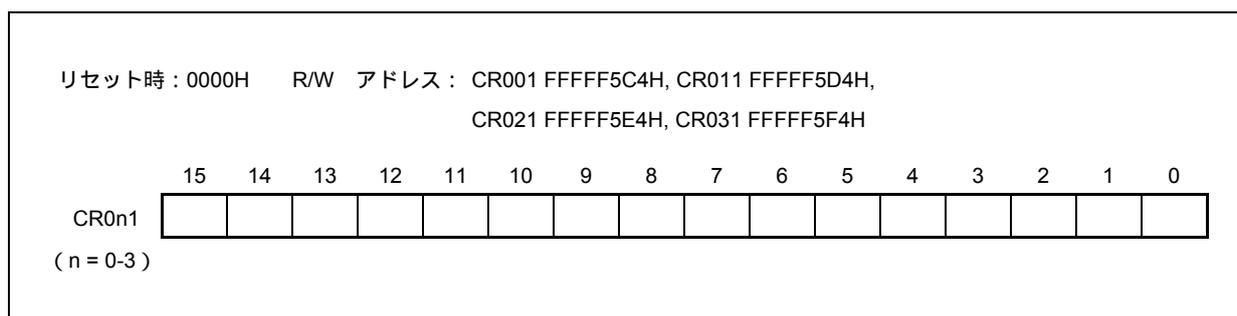
CR0n0レジスタに設定した値とTM0nレジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM0n0) を発生します。書き換えられるまで値を保持します。

(ii) CR0n0レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。

キャプチャ・トリガとして、TI0n0端子の逆相のエッジかTI0n1端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC0n, PRM0nレジスタで設定します。

(b) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n1 (CR0n1)



(i) CR0n1レジスタをコンペア・レジスタとして使用するとき

CR0n1レジスタに設定した値とTM0nレジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM0n1) を発生します。

(ii) CR0n1レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

キャプチャ・トリガとして、TI0n0端子の有効エッジの選択ができます。TI0n0端子の有効エッジは、PRM0nレジスタで設定します。

注意1. コンペア・レジスタとして使用するときの設定可能範囲は、7.2(2)(c)コンペア・レジスタとして使用した場合の設定範囲を参照してください。

2. TMC0n3, TMC0n2ビット = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC0n3, TMC0n2ビット = 00にしてから、設定を変更してください。

なお、一度キャプチャした値は、リセットしないかぎりCR0n0レジスタに格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

4. P11, P12端子をPWM1, PWM2出力端子として使用するときは、タイマ出力 (TO00, TO01) として使用できません。

5. TI0n0, TI0n1端子は、P98/A8-P915/A15端子と兼用しています。TI0n0, TI0n1端子を使用する場合はTMC0nレジスタでタイマ動作を許可する前に、PMC9m, PFC9mビットの設定でタイマ入力機能を選択してください。タイマ動作後にPMC9m, PFC9mビットを操作すると、エッジ検出動作が正しく行われません。

備考 n = 0-3, m = 8-15

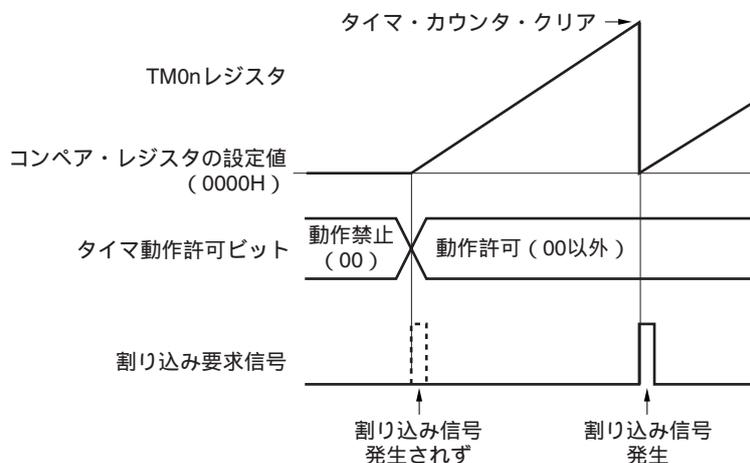
(c) コンペア・レジスタとして使用した場合の設定範囲

CR0n0, CR0n1レジスタをコンペア・レジスタとして使用するときは、次の範囲で値を設定してください。

動作	CR0n0レジスタ	CR0n1レジスタ
・インターバル・タイマとしての動作 ・方形波出力としての動作 ・外部イベント・カウンタとしての動作	0000H < N FFFFH	0000H [※] M FFFFH 通常、使用しません。一致割り込み信号 (INTTM0n1) をマスクしてください。
・TI0n0端子の有効エッジ入力によるクリア & スタート・モードとしての動作 ・フリー・ランニング・タイマとしての動作	0000H [※] N FFFFH	0000H [※] M FFFFH
・PPG出力としての動作	M < N FFFFH	0000H [※] M < N
・ワンショット・パルス出力としての動作	0000H [※] N FFFFH (N M)	0000H [※] M FFFFH (M N)

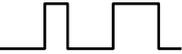
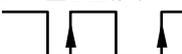
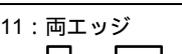
注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM0nレジスタ) が0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI0n0端子の有効エッジによるタイマ・カウンタ・クリア時
(TI0n0端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM0nとCR0n0の一致でクリア&スタート・モード (CR0n0 = 0000H以外, CR0n1 = 0000H) のとき)



- 備考1. N : CR0n0レジスタの設定値
M : CR0n1レジスタの設定値
2. 動作許可ビット (TMC0n.TMC0n3,TMC0n2ビット)の詳細については7.3(1)16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)を参照してください。
 3. n=0-3

表7-2 CR0n0, CR0n1レジスタのキャプチャ動作

外部入力信号	TI0n0端子入力 		TI0n1端子入力 	
キャプチャ動作				
CR0n0 レジスタ のキャプチャ動作	CRC0n1ビット = 1 TI0n0端子入力 (逆相) 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI0n1端子入力 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
00: 立ち下がり 		00: 立ち下がり 		
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
	割り込み信号	キャプチャしても INTTM0n0信号は発生しない	割り込み信号	キャプチャするごとに INTTM0n0信号が発生
CR0n1 レジスタ のキャプチャ動作	TI0n0端子入力 ^注 	ES1n1, ES1n0の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
00: 立ち下がり 				
		11: 両エッジ 		
	割り込み信号	キャプチャするごとに INTTM0n1信号が発生		

注 CR0n1レジスタのキャプチャ動作には、CRC0n1ビットの設定による影響はありません。

注意 TI0n0端子入力の逆相でTM0nレジスタのカウンタ値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。

備考1. CRC0n1 : 7.3 (2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 参照
ES1n1, ES1n0, ES0n1, ES0n0 : 7.3 (4) プリスケアラ・モード・レジスタ0n (PRM0n) 参照

2. n = 0-3

7.3 レジスタ

16ビット・タイマ/イベント・カウンタ0nを制御するレジスタを次に示します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・ キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)
- ・ 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・ プリスケアラ・モード・レジスタ0n (PRM0n)

備考 TI0n0, TI0n1, TO0n端子の機能を使用する場合は、表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

(1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nレジスタは、16ビット・タイマ/イベント・カウンタ0nの動作モード、TM0nレジスタのクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC0nレジスタは、動作中 (TMC0n3, TMC0n2ビット = 00以外のとき) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2ビットを00 (動作停止) に設定する場合と、OVF0nビットに0を設定する場合は、書き換え可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 16ビット・タイマ/イベント・カウンタ0nは、TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2ビットに00を設定してください。
- 2.** メイン・クロック停止、サブクロック動作時に、TMC0nレジスタにウエイトが発生する方法でアクセスしないでください。
詳細は、3.4.8 (2) を参照してください。
- 3.** ビット7-4には必ず0を設定してください。

備考 n = 0-3

リセット時：00H R/W アドレス：TMC00 FFFFF5C6H, TMC01 FFFFF5D6H,
TMC02 FFFFF5E6H, TMC03 FFFFF5F6H

	7	6	5	4	3	2	1	⓪
TMC0n	0	0	0	0	TMC0n3	TMC0n2	TMC0n1	OVF0n

(n = 0-3)

TMC0n3	TMC0n2	16ビット・タイマ/イベント・カウンタ0nの動作許可
0	0	TM0n動作禁止。動作クロック供給停止。16ビット・カウンタ (TM0n) クリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI0n0端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM0nとCR0n0の一致でクリア&スタート・モード

TMC0n1	16ビット・タイマ/イベント・カウンタ0nの動作許可
0	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致
1	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致 ・ TI0n0端子の有効エッジのトリガ入力

OVF0n	TM0nレジスタのオーバーフロー・フラグ
クリア (0)	OVF0nビットへの0ライトまたはTMC0n.TMC0n3, TMC0n2 = 00
セット (1)	オーバーフロー発生

OVF0nビットは、すべての動作モード (フリー・ランニング・タイマ・モード, TI0n0端子の有効エッジ入力
でクリア&スタート・モード, TM0nとCR0n0の一致でクリア&スタート・モード) でTM0nレジスタの値が
FFFFHから0000Hになるとき、セット (1) されます。
OVF0nビットに1を書き込むことでもセット (1) できます。

注 TI0n0端子の有効エッジは、PRM0nレジスタで設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

CRC0nレジスタは, CR0n0, CR0n1レジスタの動作を制御するレジスタです。

CRC0nレジスタは,動作中(TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき)の書き換えは禁止です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: CRC00 FFFFF5C8H, CRC01 FFFFF5D8H,
CRC02 FFFFF5E8H, CRC03 FFFFF5F8H

	7	6	5	4	3	2	1	0
CRC0n	0	0	0	0	0	CRC0n2	CRC0n1	CRC0n0

(n = 0-3)

CRC0n2	CR0n1レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC0n1	CR0n0レジスタのキャプチャ・トリガの選択
0	TI0n1端子の有効エッジでキャプチャする
1	TI0n0端子の有効エッジの逆相でキャプチャする [※]

TI0n1, TI0n0端子の有効エッジはPRM0nレジスタで設定します。
ただし, CRC0n1ビット = 1のときにPRM0n.ES0n1, ES0n0ビット = 11 (両エッジ)に指定すると, TI0n0端子の有効エッジを検出できません。

CRC0n0	CR0n0レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC0n3, TMC0n2 = 11 (TM0nとCR0n0の一致でクリア&スタート・モード)を設定した場合は, CRC0n0ビットには必ず0を設定してください。

注 TI0n1端子から, 有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM0n0信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, PRM0nレジスタで選択したカウント・クロックの2周期分より長いパルスが必要です。

(3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nレジスタは、TO0n端子出力を制御する8ビットのレジスタです。

TOC0nレジスタは、OSPT0nビットだけが動作中 (TMC0n.TMC03, TMC02ビット = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR0n1レジスタの値を変更する手段としての、TOC0n4ビットの書き換えは可能です (7.5.1 CR0n1レジスタのTM0n動作中の書き換えを参照してください)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TOC0nレジスタを設定するときは、必ず次の順序で設定してください。

TOC0n4, TOC0n1ビットのセット (1)

TOE0nビットだけを単独でセット (1)

LVS0nビットまたはLVR0nビットのどちらか片方だけをセット (1)

(1/2)

リセット時：00H R/W アドレス：TOC00 FFFFF5C9H, TOC01 FFFFF5D9H,
TOC02 FFFFF5E9H, TOC03 FFFFF5F9H

	7		4		1	①		
TOC0n	0	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n

(n = 0-3)

OSPT0n	ソフトウェアによるワンショット・パルス出力トリガ
0	
1	ワンショット・パルス出力

リード値は常に“0”です。
セット(1)すると、TM0nはクリア&スタートします。

OSPE0n	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI0n0端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC0n4	CR0n1レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC0n4ビット = 0でも、割り込み信号 (INTTM0n1) は発生します。

LVS0n	LVR0n	TO0n端子出力の状態の設定
0	0	変化しない
0	1	TO0n端子出力初期値ロウ・レベル (TO0n端子出力をクリア (0))
1	0	TO0n端子出力初期値ハイ・レベル (TO0n端子出力をセット (1))
1	1	設定禁止

・LVS0n, LVR0nビットは, TO0n端子出力レベルの初期値を設定できます。設定が不要な場合は, LVS0n, LVR0nビットを00のままにしてください。
 ・LVS0n, LVR0nビットは, 必ずTOE0nビット = 1のときに設定してください。
 LVS0n, LVR0nビットとTOE0nビットを同時にセット (1) することも禁止です。
 ・LVS0n, LVR0nビットはトリガ・ビットです。セット (1) することで, TO0n端子出力レベルの初期値を設定します。クリア (0) しても, TO0n端子出力に影響はありません。
 ・LVS0n, LVR0nビットのリード値は常に "0" です。
 ・LVS0n, LVR0nビットの設定方法の詳細は, 7. 5. 2 LVS0n, LVR0nビットの設定についてを参照してください。

TOC0n1	CR0n0レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC0n1ビット = 0でも, 割り込み信号 (INTTM0n0) は発生します。

TOE0n	TO0n端子出力制御
0	出力禁止 (TO0n端子出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nレジスタは、TM0nレジスタのカウンタ・クロック、およびTI0n0, TI0n1端子入力の有効エッジを設定するレジスタです。

PRM0nレジスタは、動作中(TMC0n.TMC0n3, TMC0n2ビット = 00以外)の書き換えは禁止です。8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意1. PRM0n1, PRM0n0ビット = 11 (カウンタ・クロックをTI0n0端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI0n0端子の有効エッジでクリア&スタート・モード
- ・ TI0n0端子をキャプチャ・トリガに設定

2. リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P11, P12端子をPWM1, PWM2出力端子として使用するときは、タイマ出力端子(TO00, TO01端子)として使用できません。

リセット時：00H R/W アドレス：PRM00 FFFFF5C7H, PRM01 FFFFF5D7H,
PRM02 FFFFF5E7H, PRM03 FFFFF5F7H

	7	6	5	4	3	2	1	0
PRM0n	ES1n1	ES1n0	ES0n1	ES0n0	0	0	PRM0n1	PRM0n0

(n = 0-3)

ES1n1	ES1n0	TI0n1端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

ES0n1	ES0n0	TI0n0端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

備考 PRM0n1, PRM0n0ビットの設定は、(a), (b)を参照してください。

(a) 16ビット・タイマ/イベント・カウンタ00, 16ビット・タイマ/イベント・カウンタ01の場合

PRM0n1ビット	PRM0n0ビット	カウント・クロックの選択			
		カウント・クロック	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$
0	0	$f_{xx}/4$	200 ns	250 ns	400 ns
0	1	$f_{xx}/16$	800 ns	1.0 μs	1.6 μs
1	0	$f_{xx}/32$	1.6 μs	2.0 μs	3.2 μs
1	1	Tl0n0の有効エッジ ^注	-	-	-

注 外部クロックには、内部クロック (f_{xx}) の2周期分より長いパルスが必要です。

備考 $n = 0, 1$

(b) 16ビット・タイマ/イベント・カウンタ02, 16ビット・タイマ/イベント・カウンタ03の場合

PRM0n1ビット	PRM0n0ビット	カウント・クロックの選択			
		カウント・クロック	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$
0	0	$f_{xx}/4$	200 ns	250 ns	400 ns
0	1	$f_{xx}/2^{10}$	51.2 μs	64 μs	102.4 μs
1	0	$f_{xx}/2^{11}$	102.4 μs	128 μs	204.8 μs
1	1	Tl0n0の有効エッジ ^注	-	-	-

注 外部クロックには、内部クロック (f_{xx}) の2周期分より長いパルスが必要です。

備考 $n = 0, 1$

7.4 動作

7.4.1 インターバル・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード)に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nレジスタとCR0n0レジスタの値が一致すると、TM0nレジスタを0000Hにクリアし、一致割り込み信号 (INTTM0n0) を発生します。この一定間隔で発生するINTTM0n0信号により、インターバル・タイマとして動作します。

- 備考1. 兼用端子の設定については表4 - 15 ポート端子を兼用端子として使用する場合は参照してください。
2. INTTM0n0信号の割り込み許可については、第16章 割り込み/例外処理機能を参照してください。

図7 - 2 インターバル・タイマ動作のブロック図

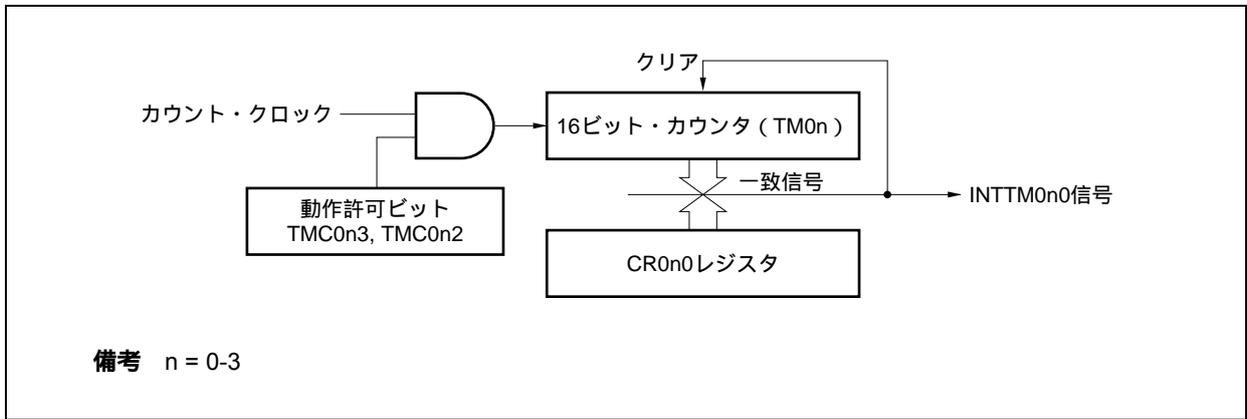


図7 - 3 インターバル・タイマ動作の基本タイミング例

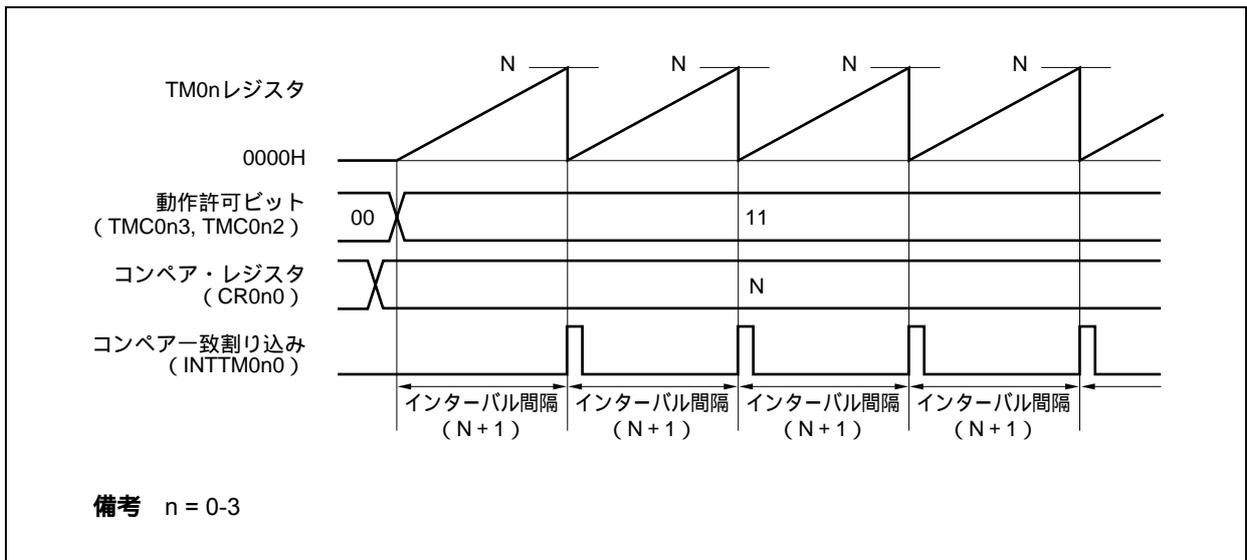


図7-4 インターバル・タイマ動作時のレジスタ設定内容例

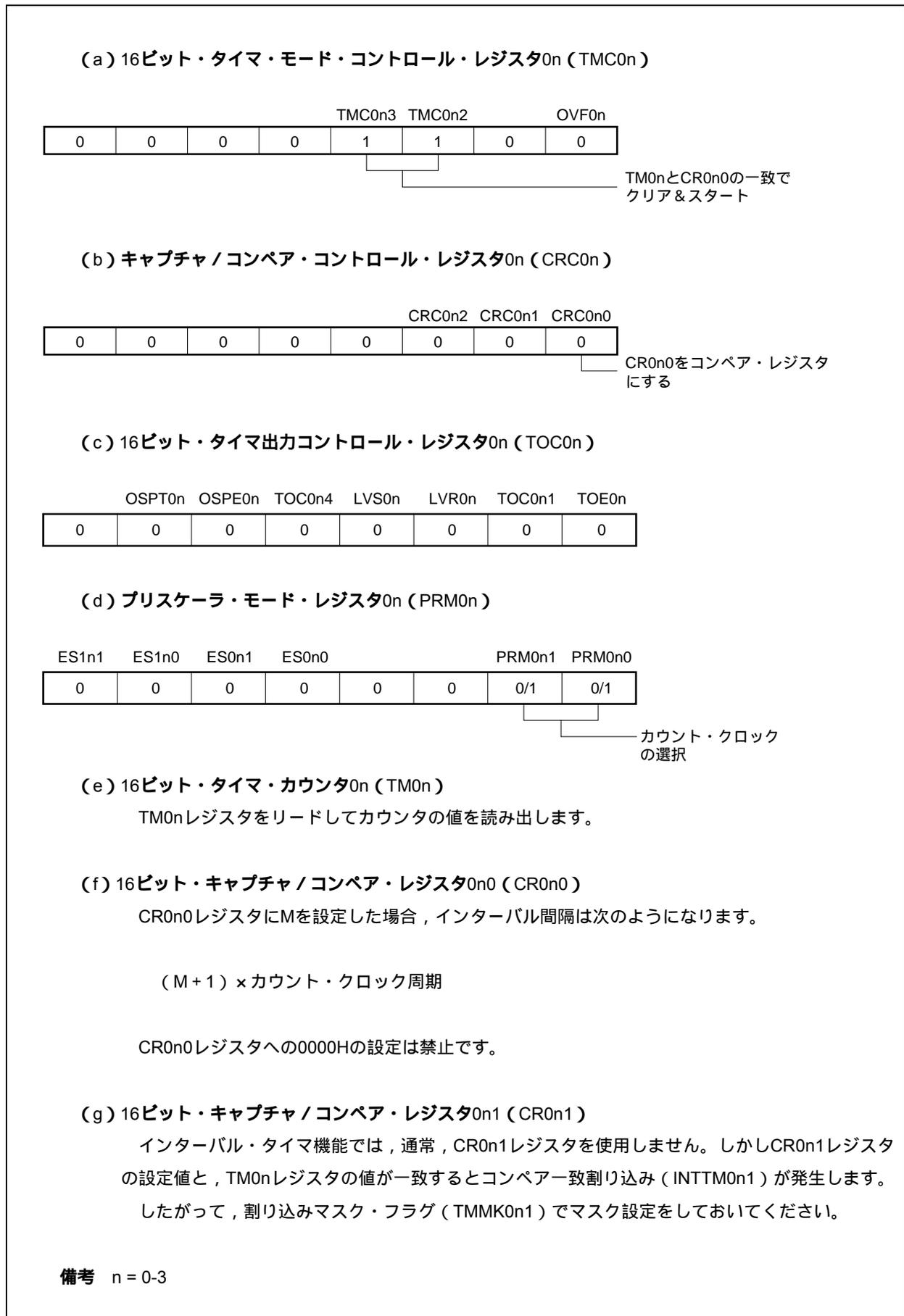
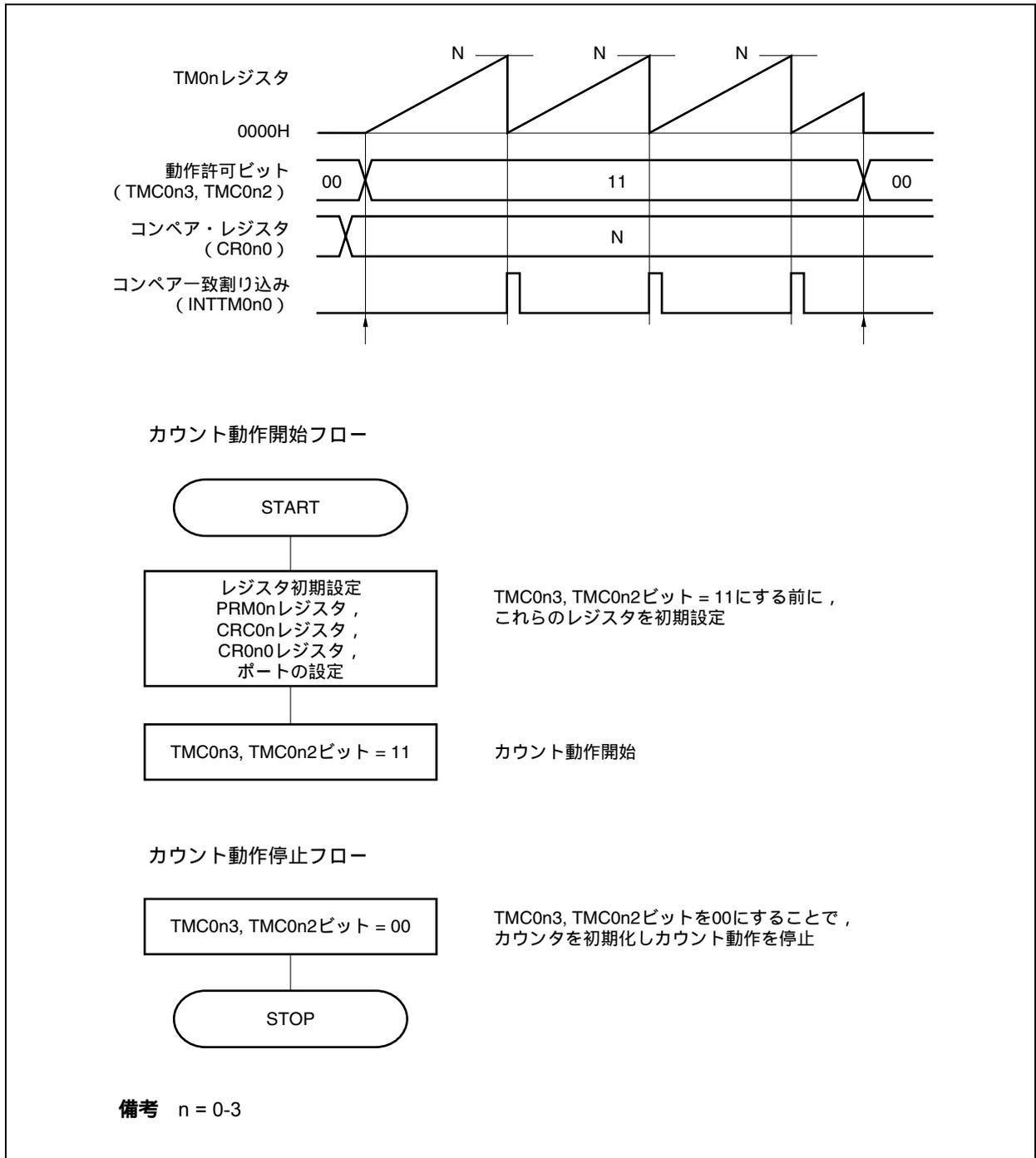


図7-5 インターバル・タイマ機能時のソフトウェア処理機能



7.4.2 方形波出力としての動作

インターバル・タイマ(7.4.1参照)として動作させたとき,TOC0nレジスタ = 03Hに設定することにより,TO0n端子から方形波を出力できます。

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード)に設定すると,カウント・クロックに同期してカウント動作を開始します。

そのあと, TM0nレジスタとCR0n0レジスタの値が一致すると, TM0nレジスタを0000Hにクリアし, 割り込み信号 (INTTM0n0) を発生し, TO0n端子出力を反転します。この一定間隔で反転するTO0n端子出力により, 方形波出力として動作します。

- 備考1. 兼用端子の設定については表4 - 15 ポート端子を兼用端子として使用する場合は参照してください。
- 2. INTTM0n0信号の割り込み許可については, 第16章 割り込み/例外処理機能を参照してください。

図7 - 6 方形波出力動作のブロック図

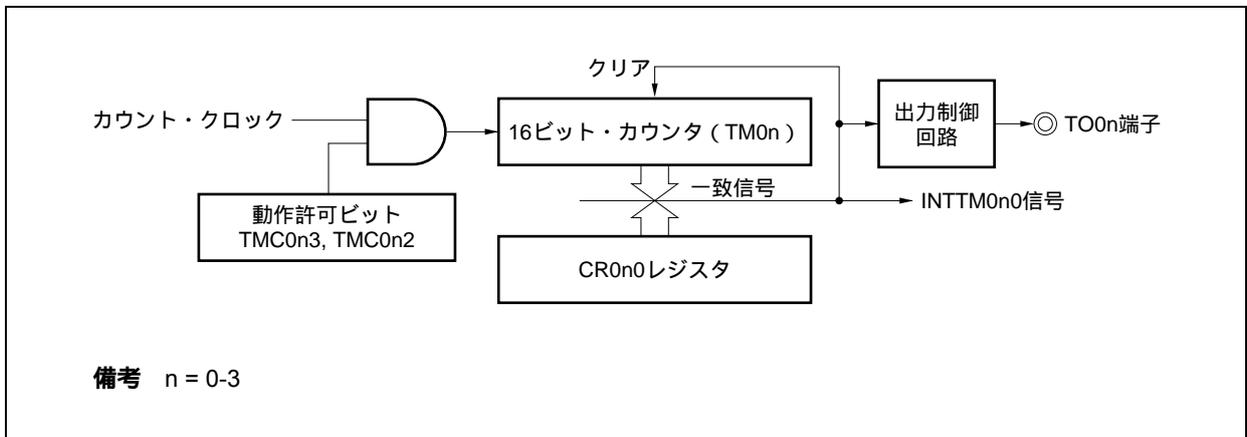


図7 - 7 方形波出力動作の基本タイミング例

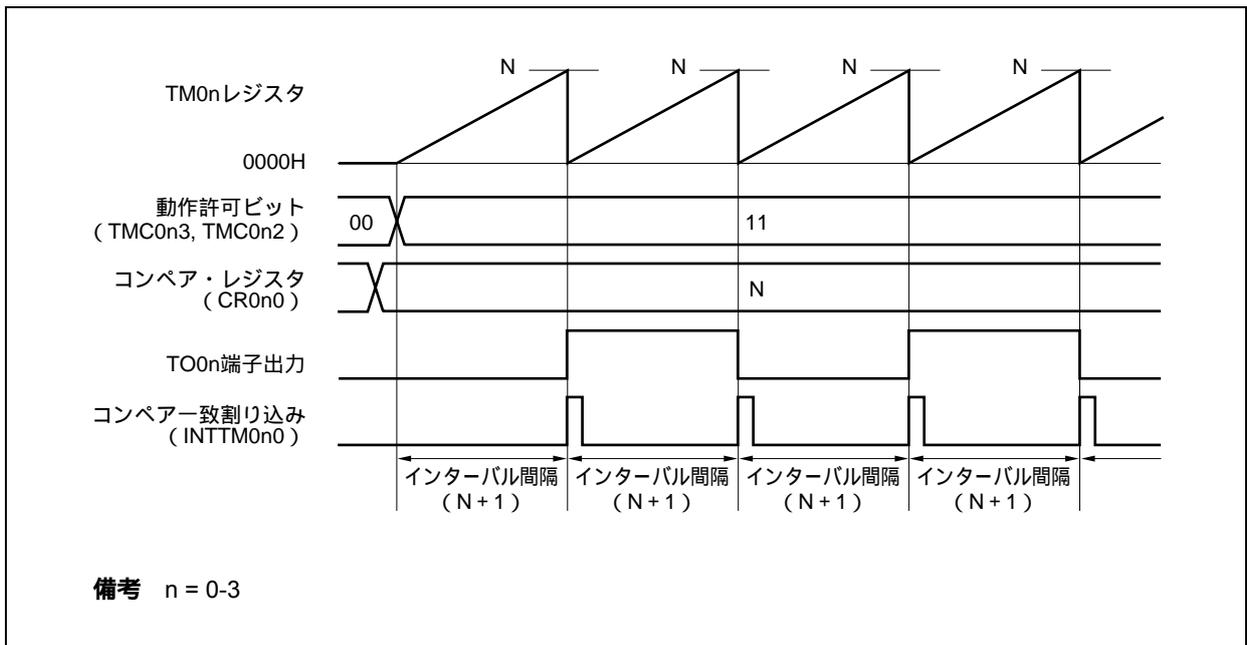
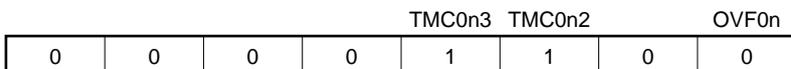


図7-8 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



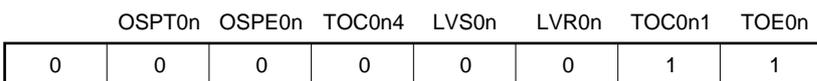
TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

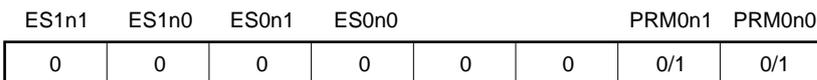


TO0n端子出力許可

TM0nとCR0n0の一致に
よりTO0n端子出力を反転

TO0n出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ0n (PRM0n)



カウント・クロック
の選択

備考 n = 0-3

図7 - 8 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

CR0n0レジスタにMを設定した場合，方形波の周波数は次のようになります。

$$1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

CR0n0レジスタへの0000Hの設定は禁止です。

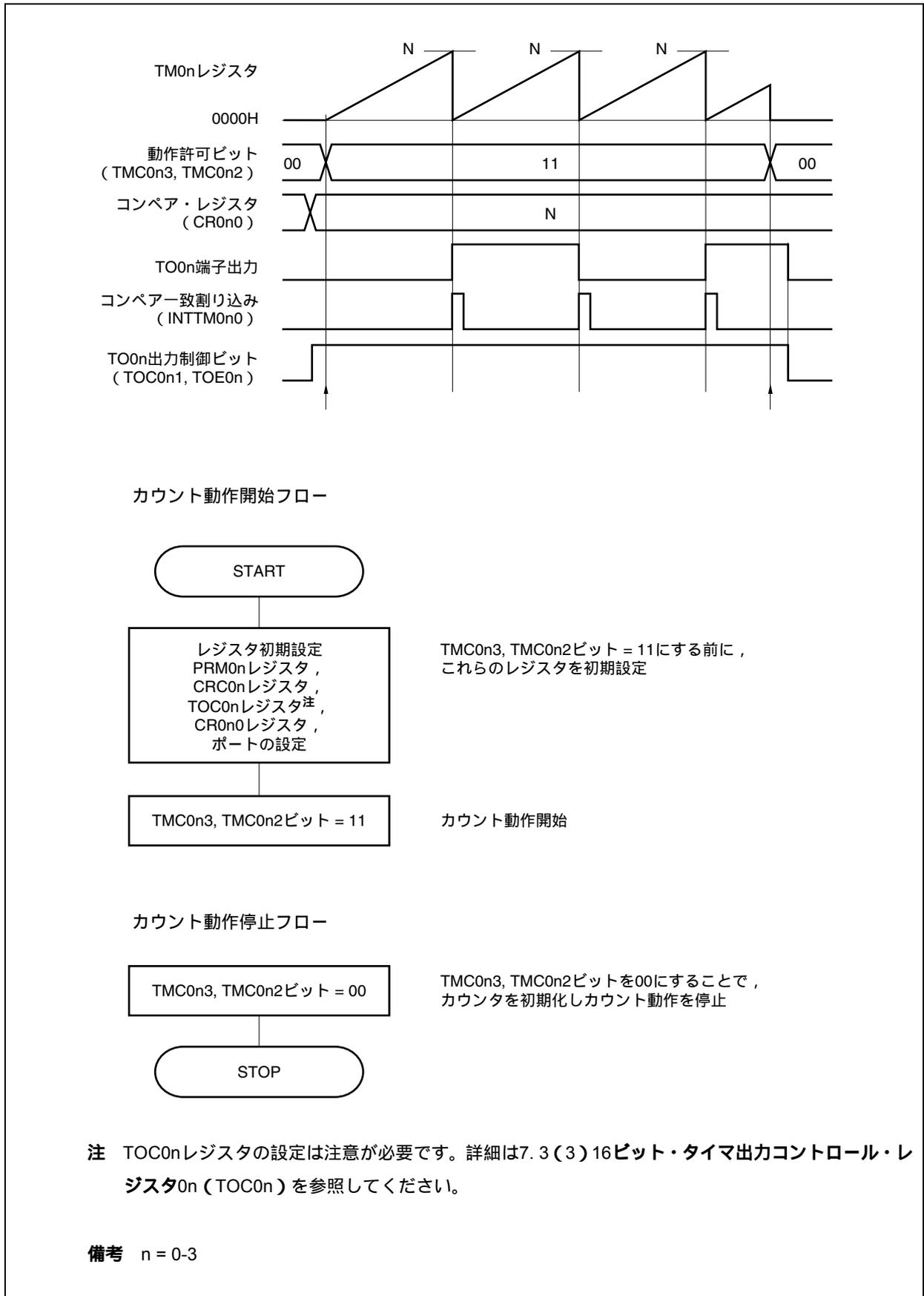
(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

方形波出力機能では，通常，CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と，TM0nレジスタの値が一致するとコンペア一致割り込み (INTTM0n1) が発生します。

したがって，割り込みマスク・フラグ (TMMK0n1) でマスク設定をしておいてください。

備考 n = 0-3

図7-9 方形波出力機能時のソフトウェア処理例



7.4.3 外部イベント・カウンタとしての動作

PRM0n.PRM0n1, PRM0n0ビット = 11(TI0n0端子の有効エッジによるカウント・アップ), TMC0n.TMC0n3, TMC0n2ビット = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM0nレジスタとCR0n0レジスタとの一致割り込み信号 (INTTM0n0) を発生します。

外部イベント入力の端子にはTI0n0端子を使用します。したがって, TI0n0有効エッジ入力によるクリア&スタート・モード (TMC0n3, TMC0n2ビット = 10) では, 外部イベント・カウンタとして使用できません。

INTTM0n0信号は, 次のタイミングごとに発生します。

- ・外部イベント入力の有効エッジ × (CR0n0レジスタ設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・外部イベント入力の有効エッジ × (CR0n0レジスタ設定値 + 2)

有効エッジは, TI0n0端子入力信号をf_{xx}のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

- 備考1.** 兼用端子 (TI0n0) の設定については, 表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
2. INTTM0n0信号の割り込み許可については, 第16章 **割り込み/例外処理機能**を参照してください。

図7 - 10 外部イベント・カウンタとしての動作のブロック図

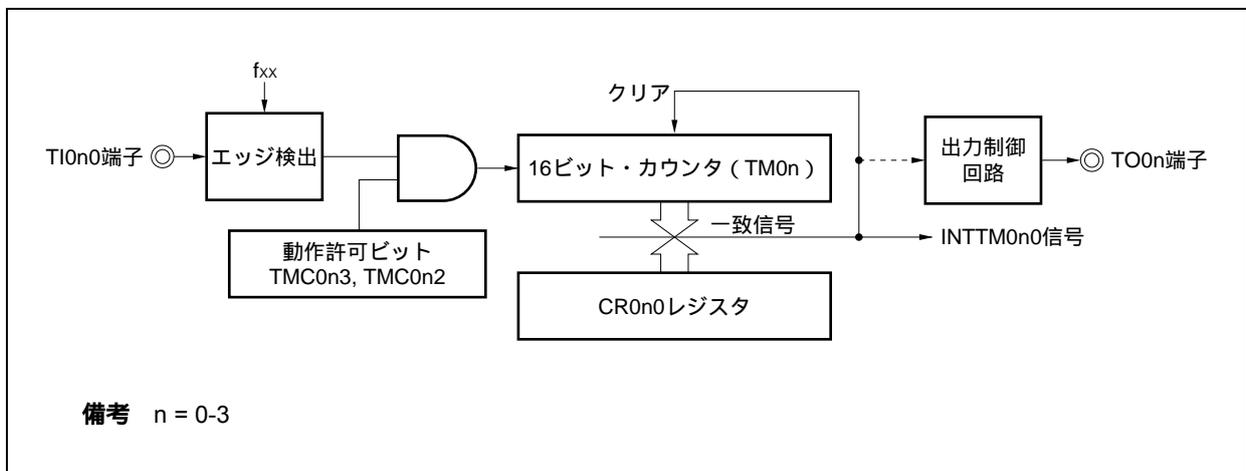
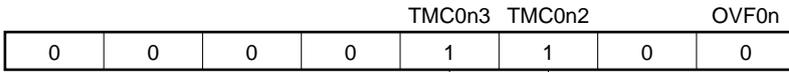


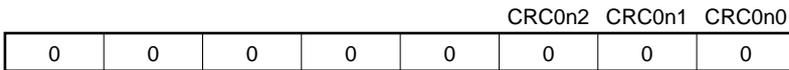
図7 - 11 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



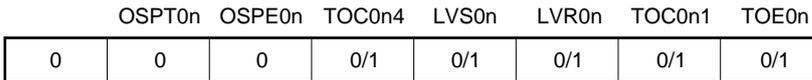
TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

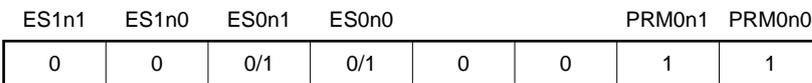


0 : TO0n出力禁止
1 : TO0n出力許可

TO0n出力F/Fの初期値
を指定

00 : TM0nとCR0n0/CR0n1が一致
してもTO0n出力は反転しない
01 : TM0nとCR0n0の一致に
よりTO0n出力を反転
10 : TM0nとCR0n1の一致に
よりTO0n出力を反転
11 : TM0nとCR0n0/CR0n1の一致に
よりTO0n出力を反転

(d) プリスケアラ・モード・レジスタ0n (PRM0n)



カウント・クロックの選択
(TI0n0の有効エッジに指定)

00 : 立ち下がりエッジ検出
01 : 立ち上がりエッジ検出
10 : 設定禁止
11 : 両エッジ検出

備考 n=0-3

図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) 16ビット・タイマ・カウンタ $0n$ (TM $0n$)

TM $0n$ レジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ $0n0$ (CR $0n0$)

CR $n0$ レジスタにMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM $0n0$) が発生します。

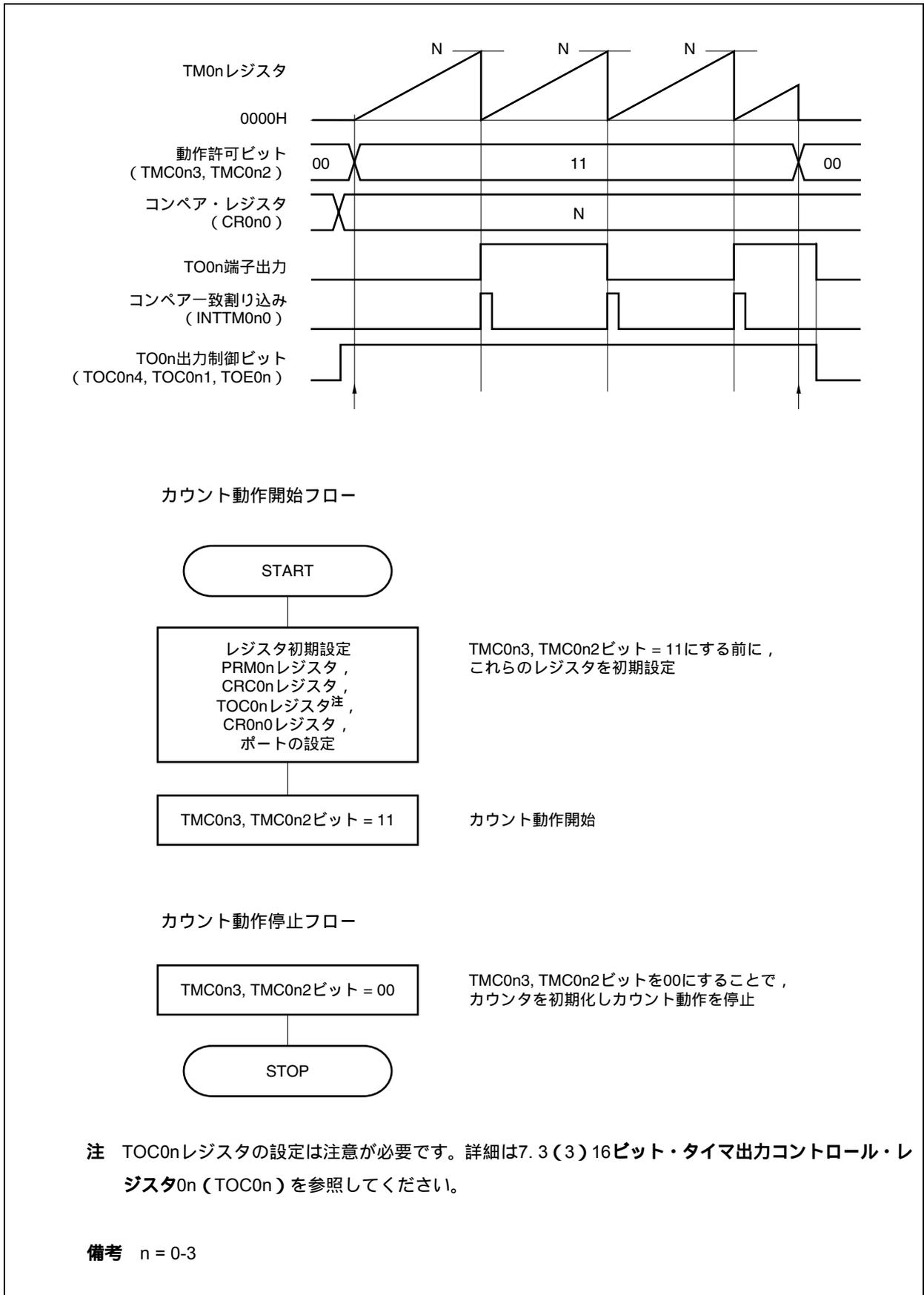
CR $n0$ レジスタへの0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ $0n1$ (CR $0n1$)

TM $0n$ レジスタとの一致で割り込み信号 (INTTM $0n1$) を発生します。TM $0n$ レジスタのカウンタ値はクリアされません。

備考 n = 0-3

図7-12 外部イベント・カウンタ・モード動作時のソフトウェア処理例



7.4.4 TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード)に設定し, カウント・クロック (PRM0nレジスタにて設定) を供給すると, TM0nレジスタがカウント・アップを開始します。カウント動作中にTI0n0端子の有効エッジを検出すると, TM0nレジスタを0000Hにクリアして, 再度カウント・アップします。TI0n0端子の有効エッジがない場合, TM0nレジスタはオーバフローして, カウントを続けます。

TI0n0端子の有効エッジは, TM0nレジスタのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR0n0, CR0n1レジスタは, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR0n0, CR0n1レジスタをコンペア・レジスタとして使用した場合

TM0nレジスタとCR0n0, CR0n1レジスタの一致でINTTM0n0, INTTM0n1信号が発生します。

(b) CR0n0, CR0n1レジスタをキャプチャ・レジスタとして使用した場合

TI0n1端子に有効エッジが入力される(またはTI0n0端子に有効エッジの逆相が入力される)と, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャし, INTTM0n0信号が発生します。

TI0n0端子に有効エッジが入力されると, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし, INTTM0n1信号が発生します。TI0n0端子の有効エッジでキャプチャ動作と同時にカウントを0000Hにクリアします。

注意 カウント・クロックをTI0n0端子の有効エッジ (PRM0n.PRM0n1, PRM0n0ビット = 11) に設定しないでください。PRM0n1, PRM0n0ビット = 11に設定すると, TM0nレジスタがクリアされてしまいます。

- 備考1.** 兼用端子 (TI0n0) の設定については, 表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。
2. INTTM0n0信号の割り込み許可については, 第16章 割り込み/例外処理機能を参照してください。

(1) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時)

図7 - 13 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

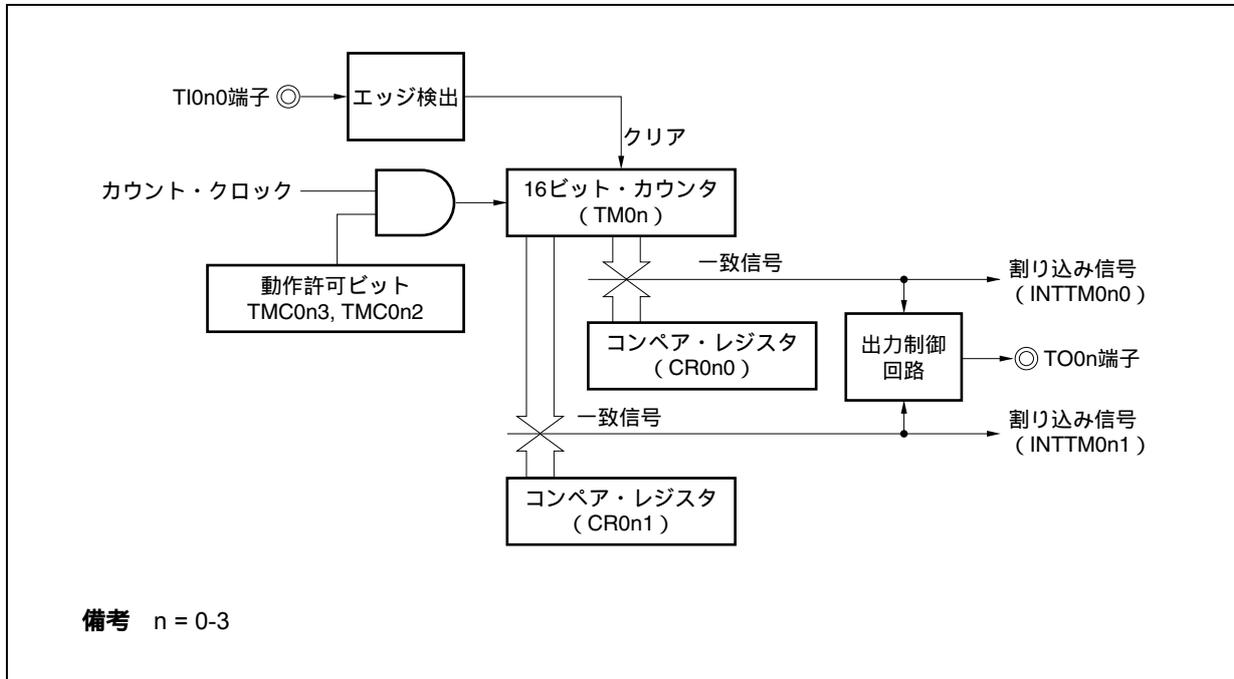
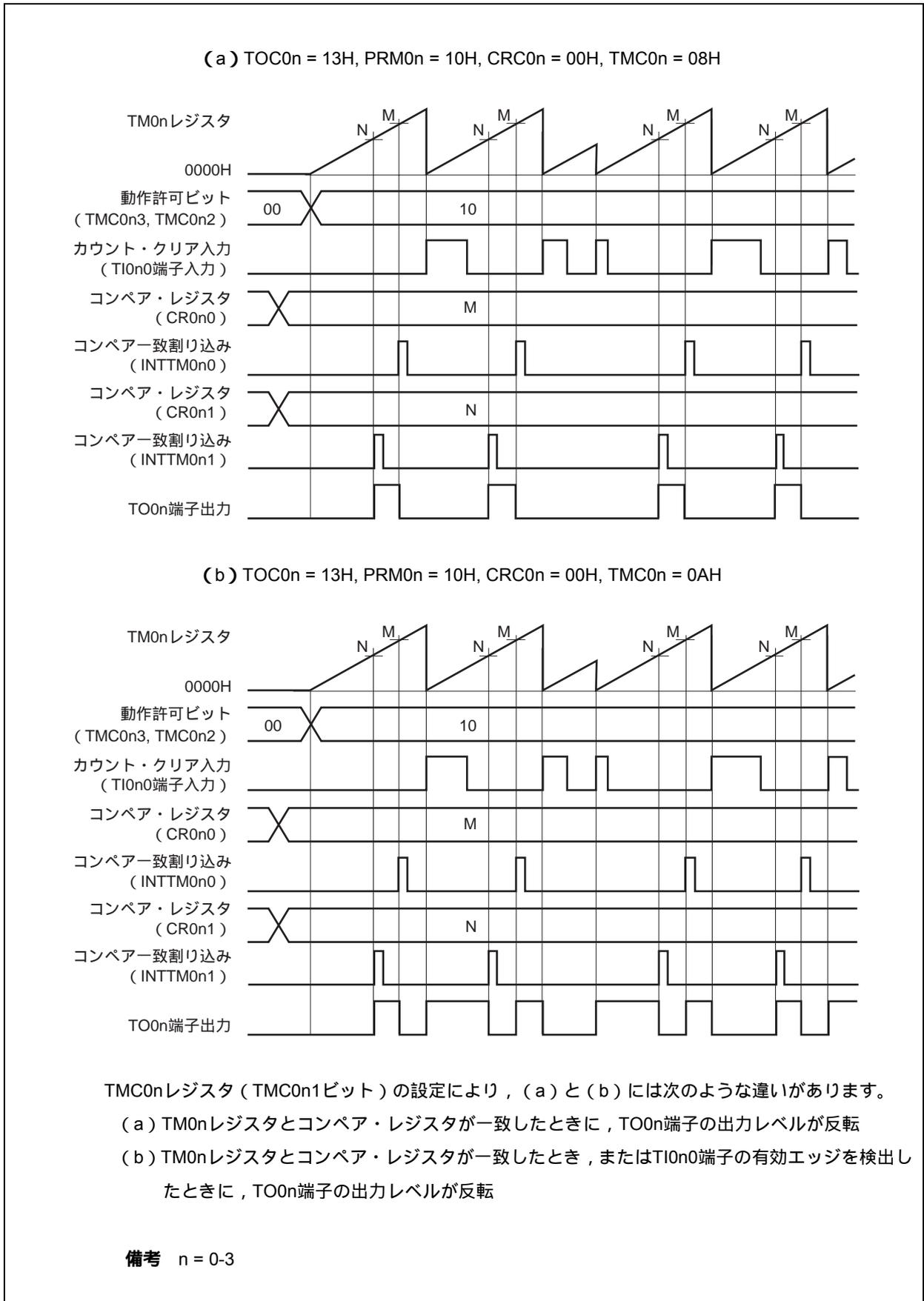


図7-14 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)



(2) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図7 - 15 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

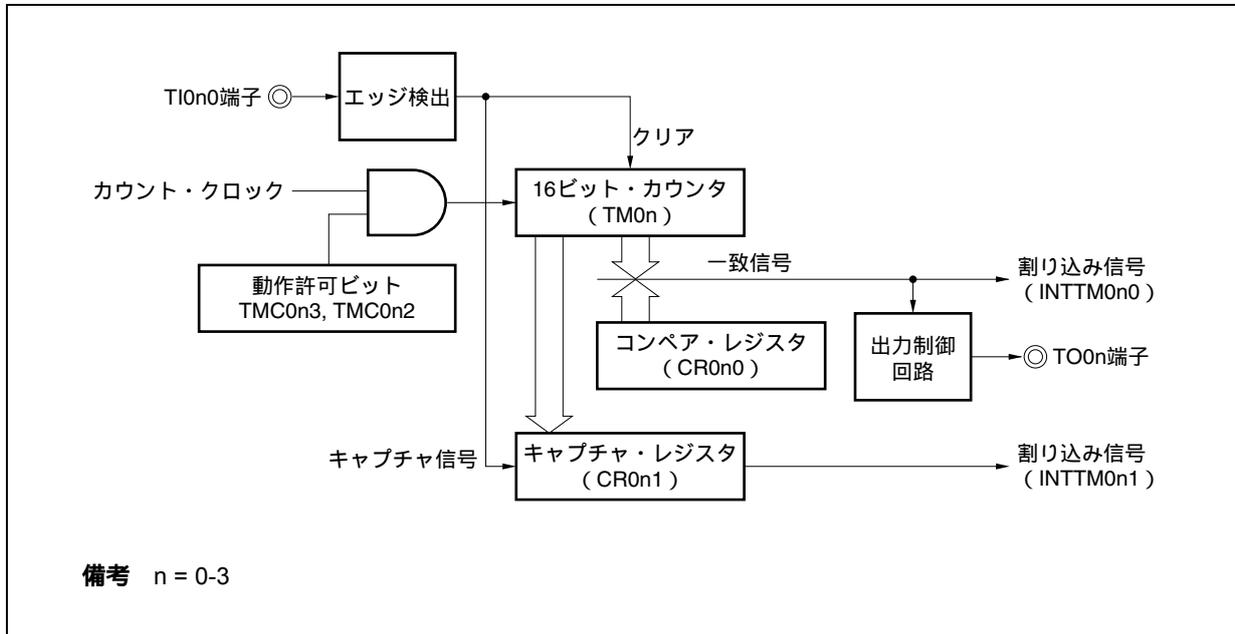


図7-16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/2)

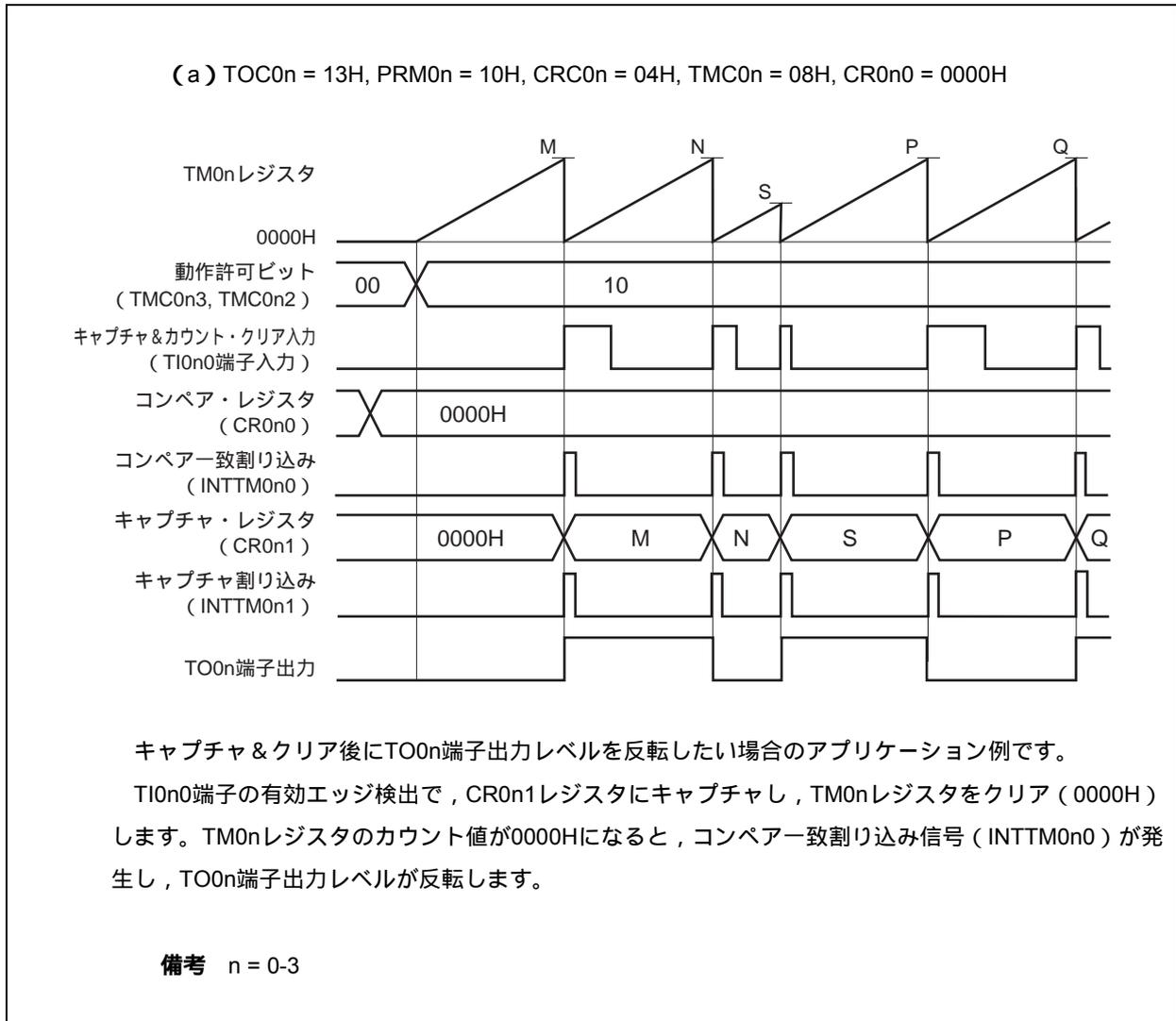
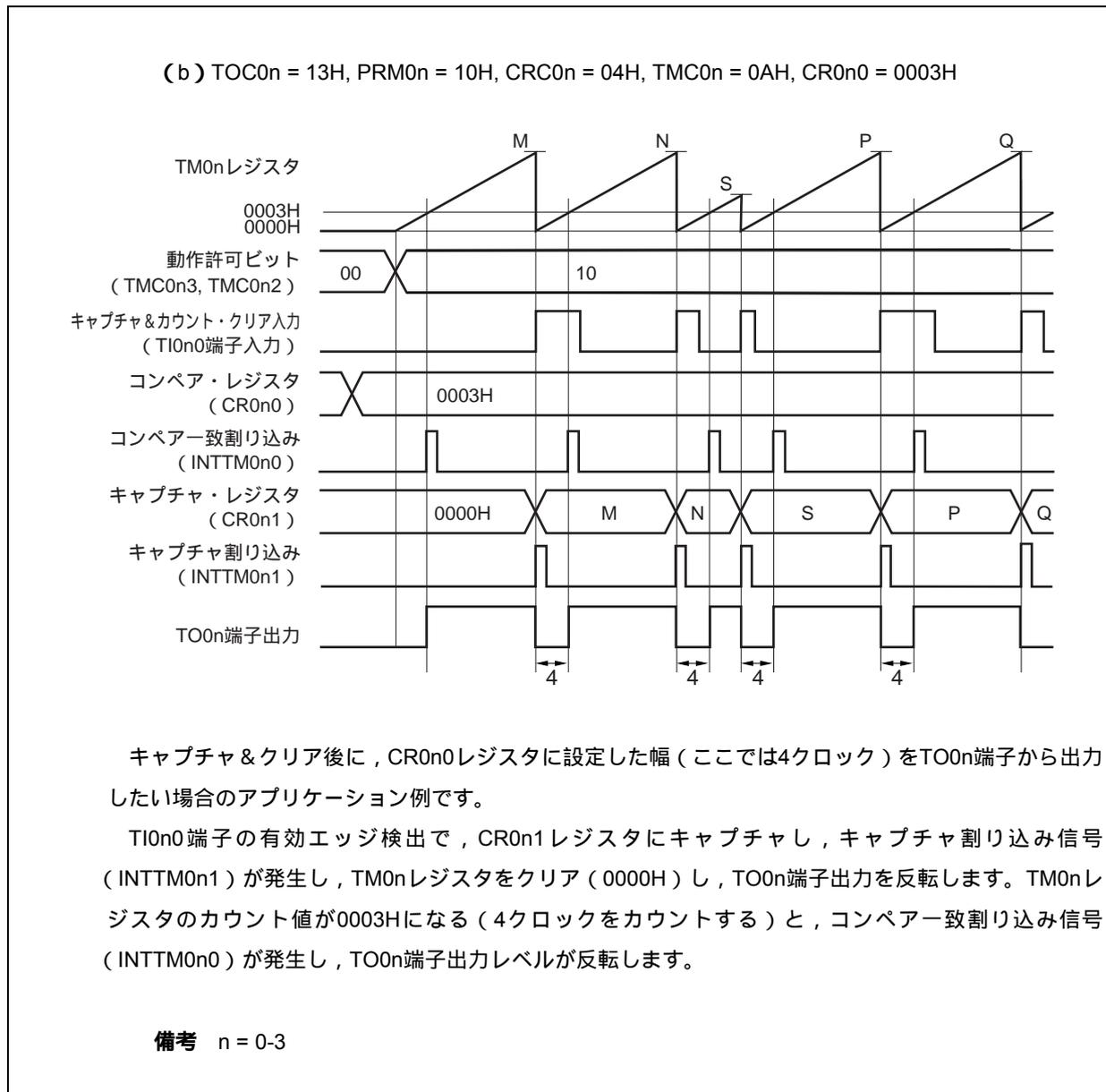


図7-16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/2)



(3) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時)

図7 - 17 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

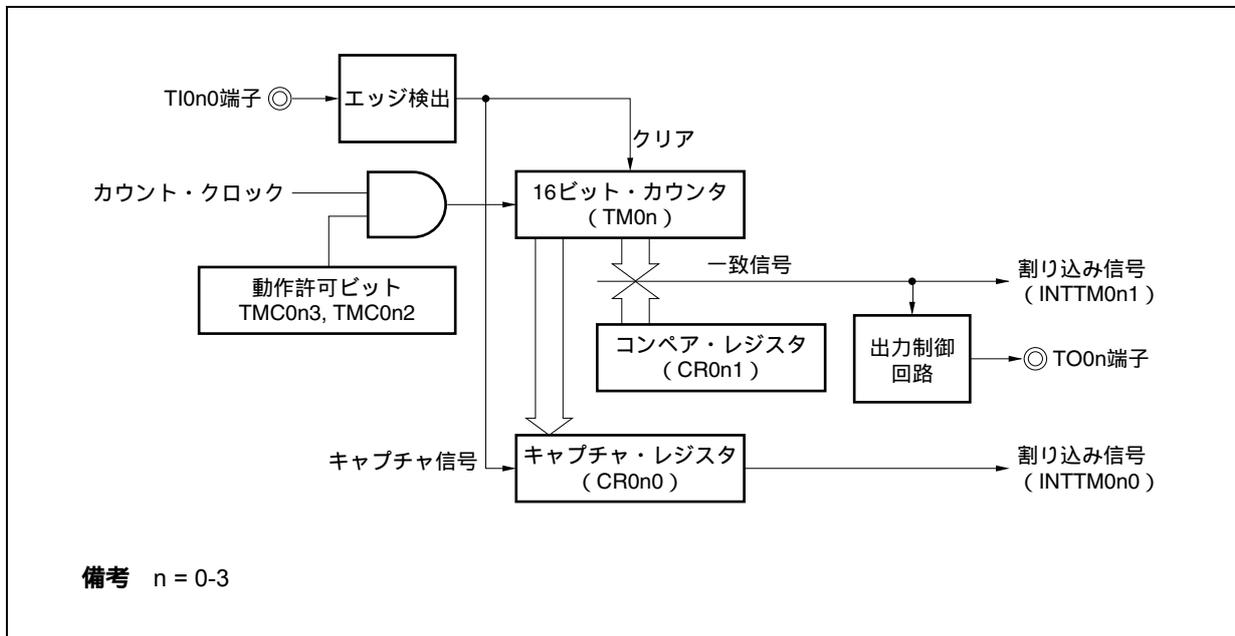


図7 - 18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ) (1/2)

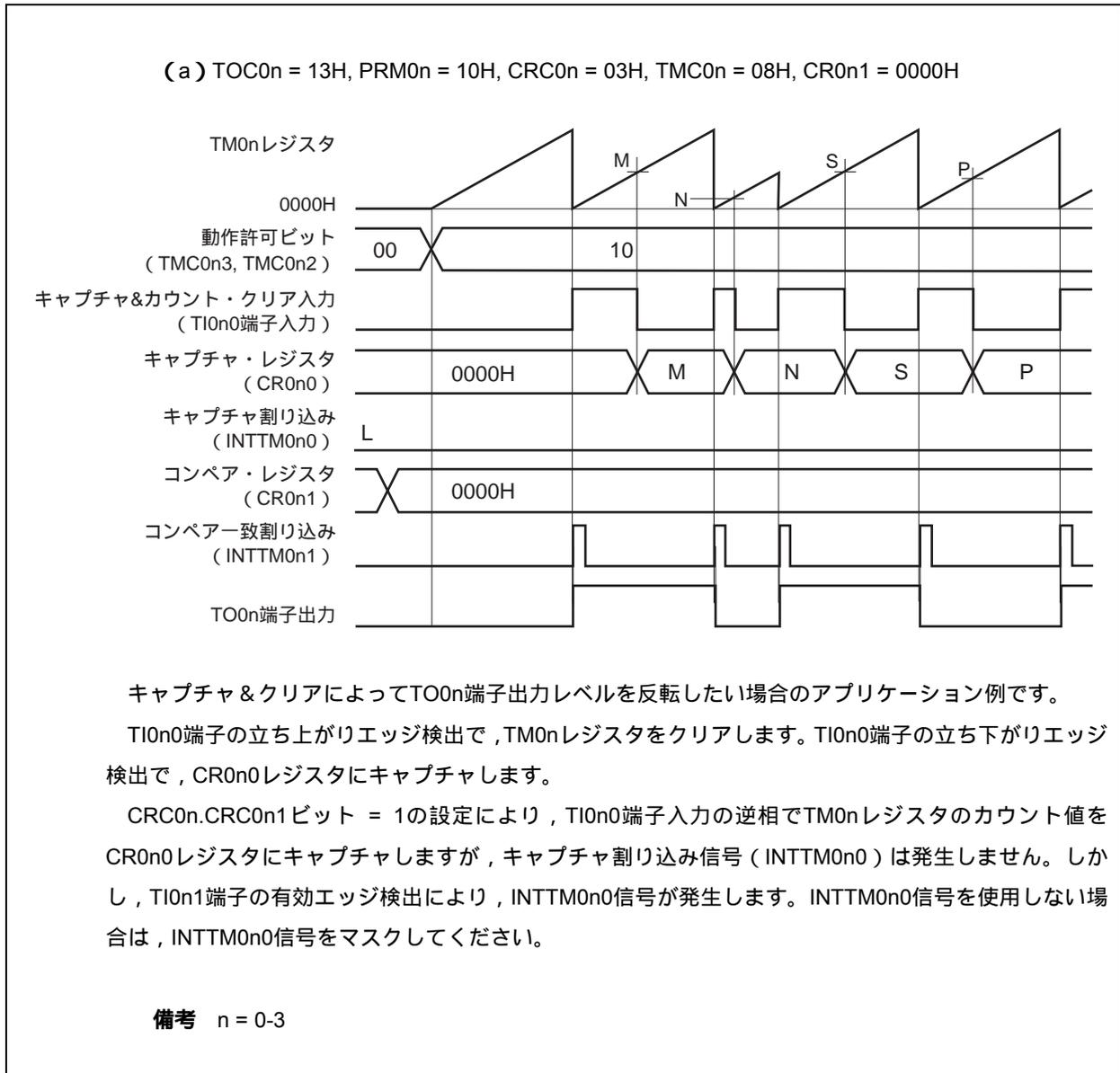
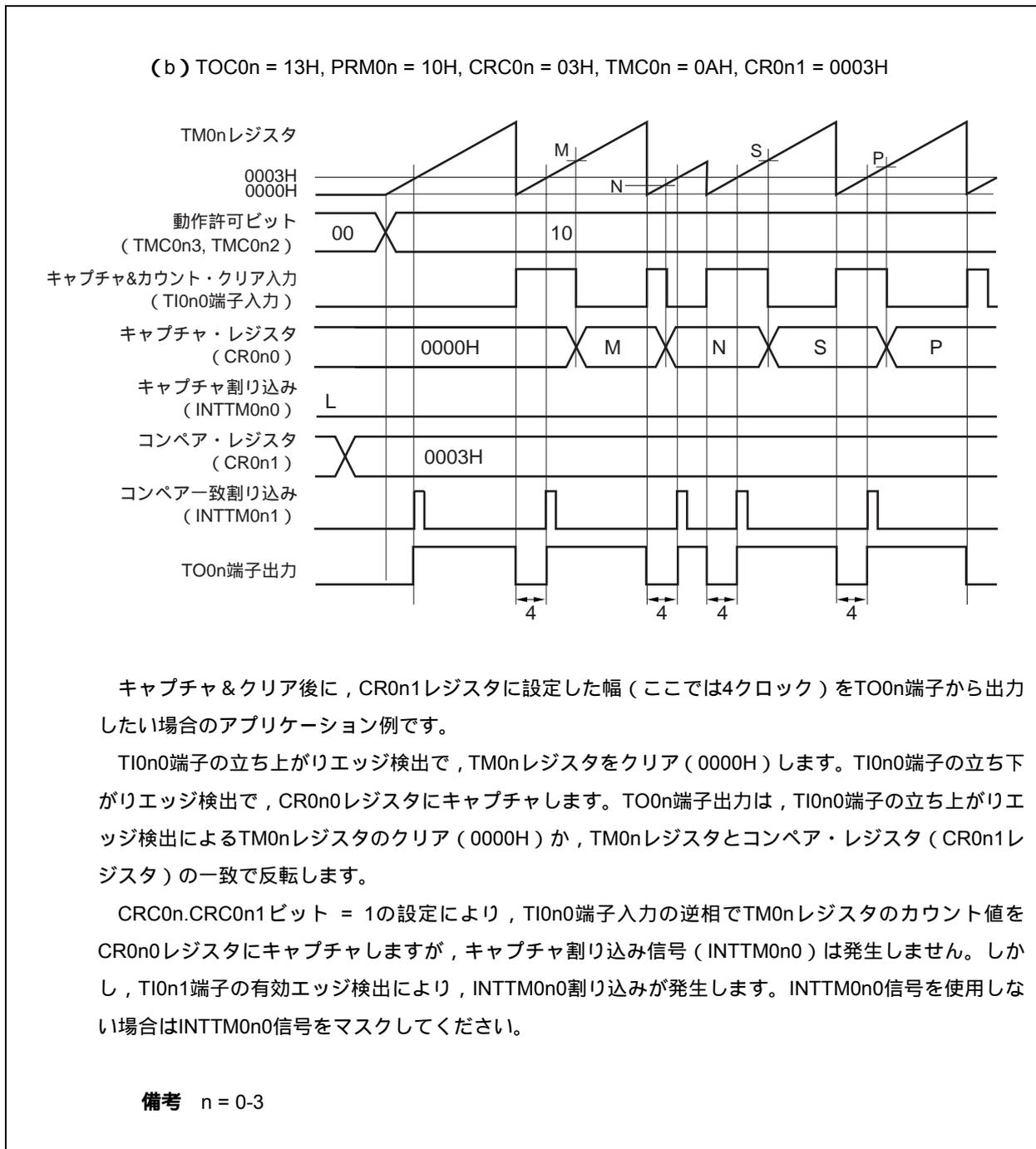


図7-18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ) (2/2)



(4) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図7 - 19 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

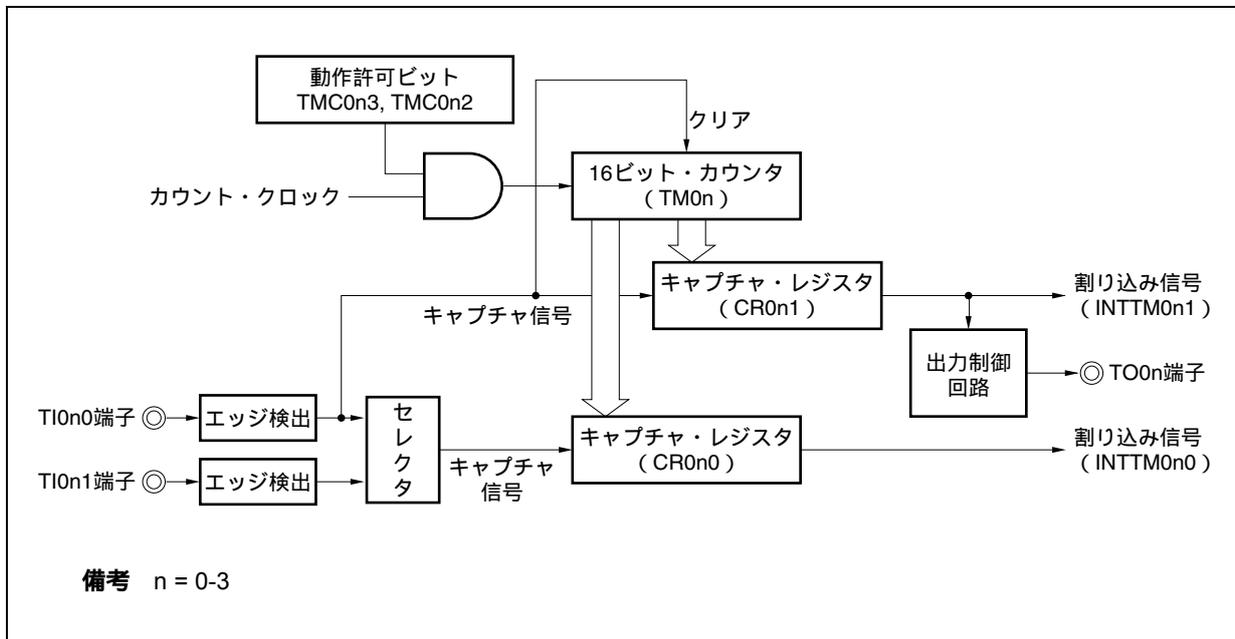


図7-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/3)

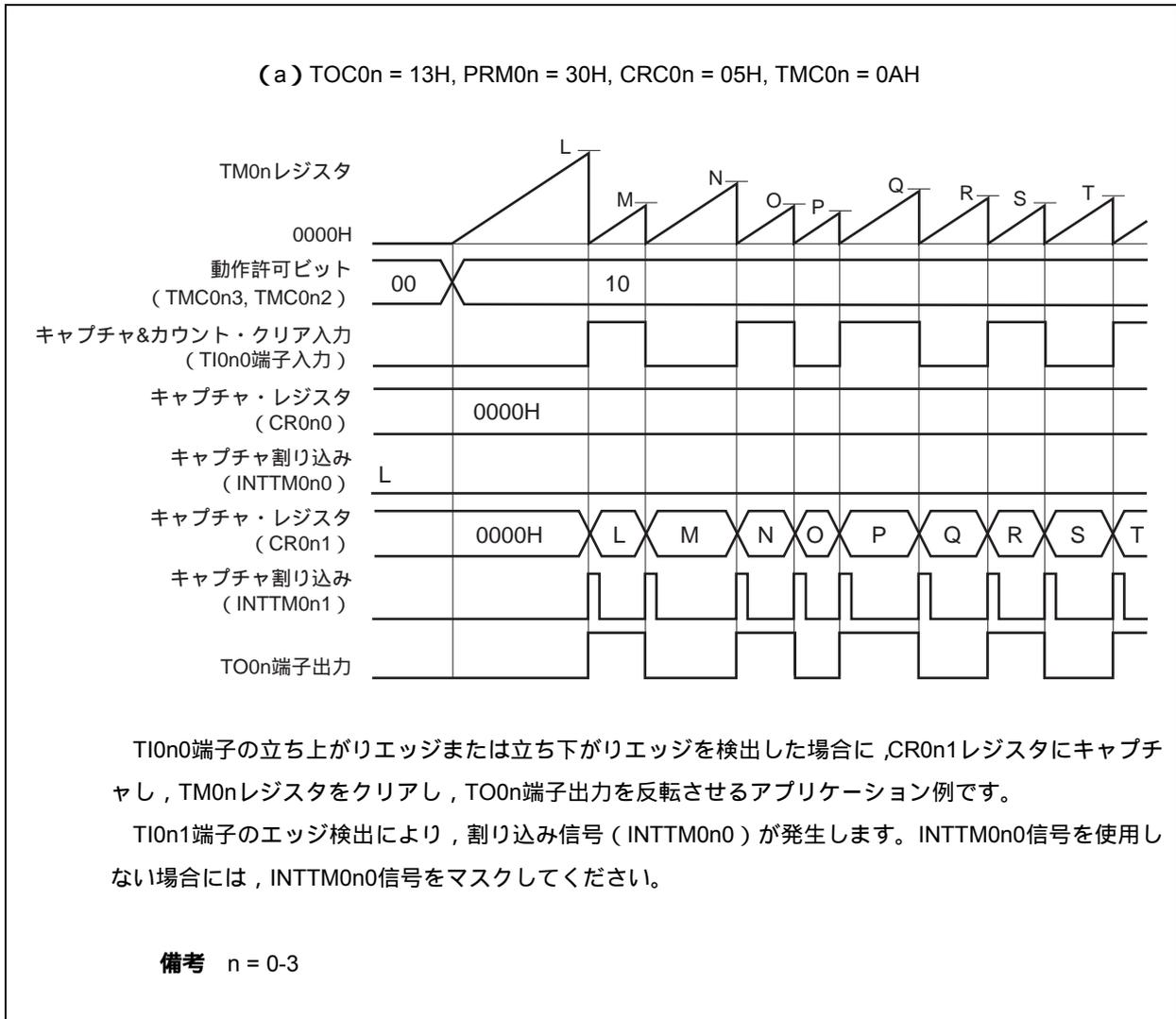


図7-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/3)

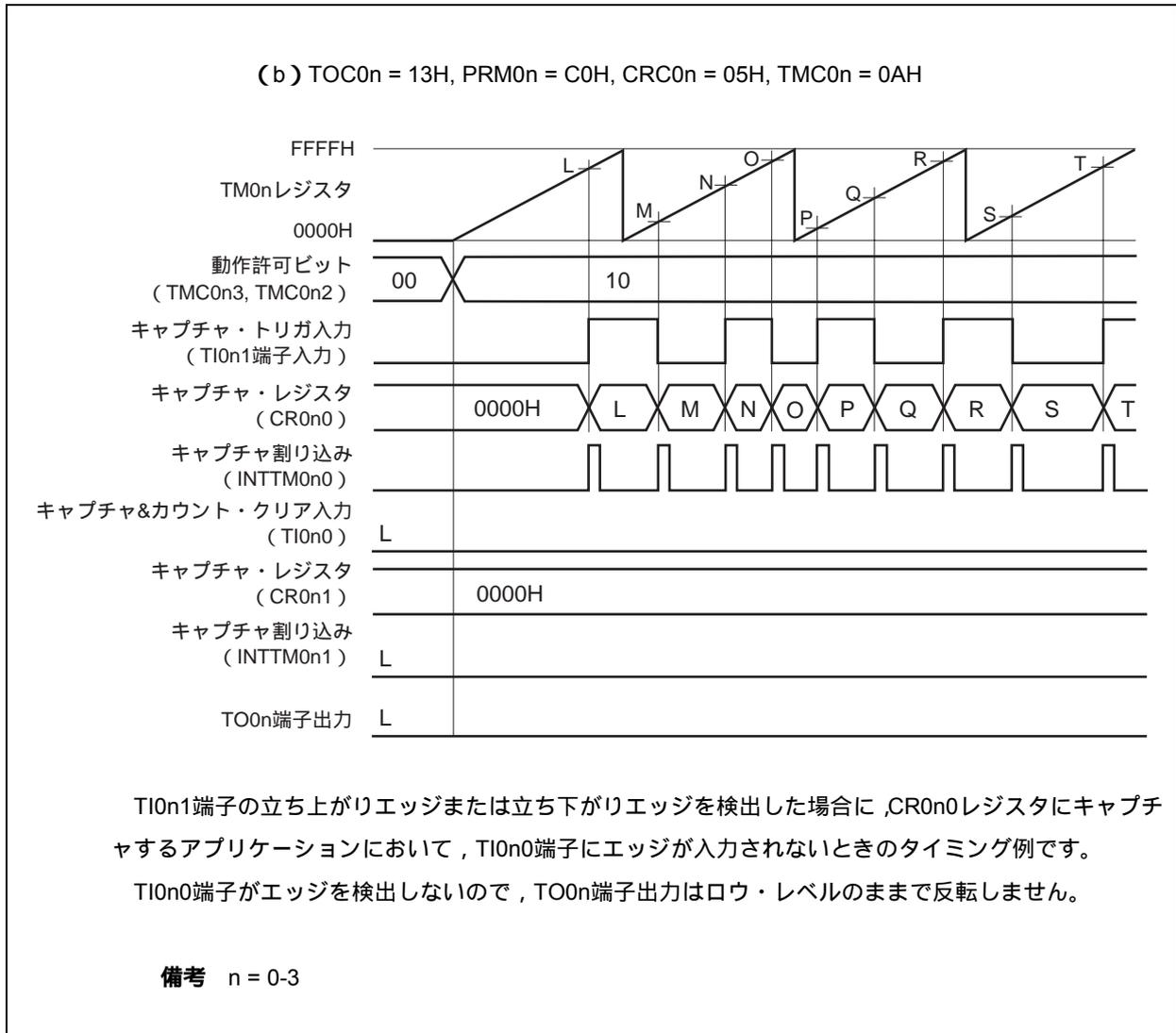


図7-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (3/3)

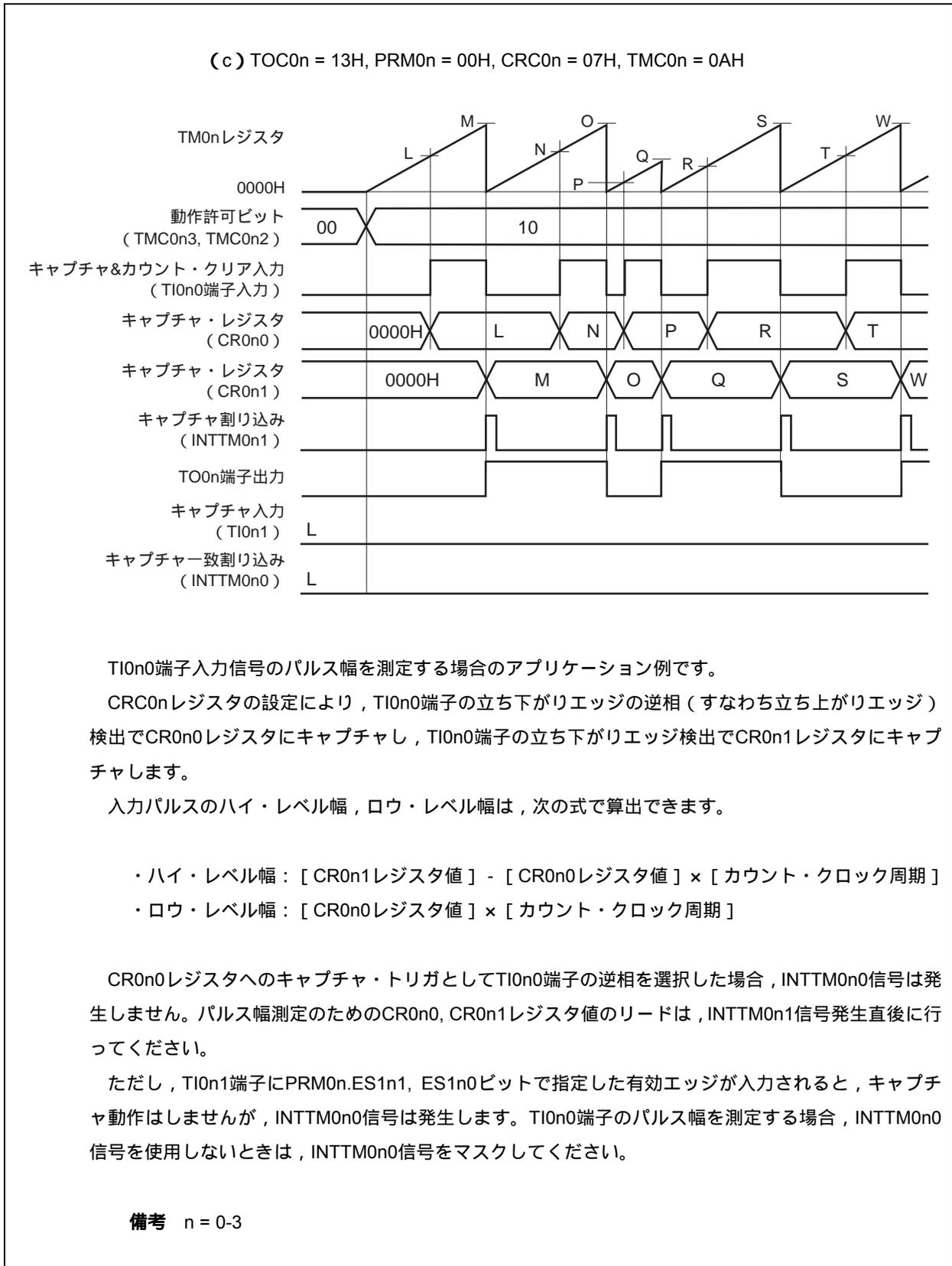


図7 - 21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

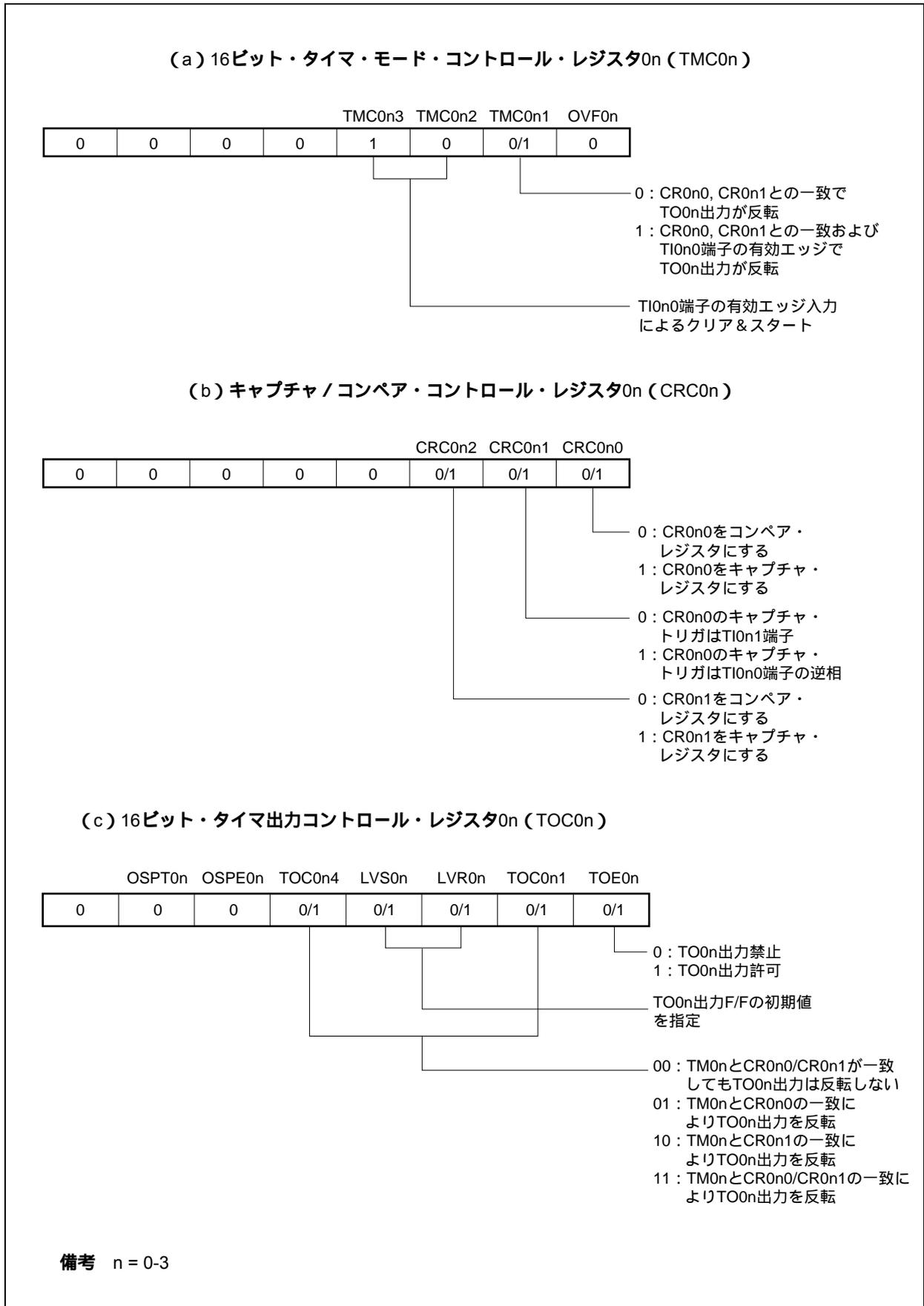


図7 - 21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

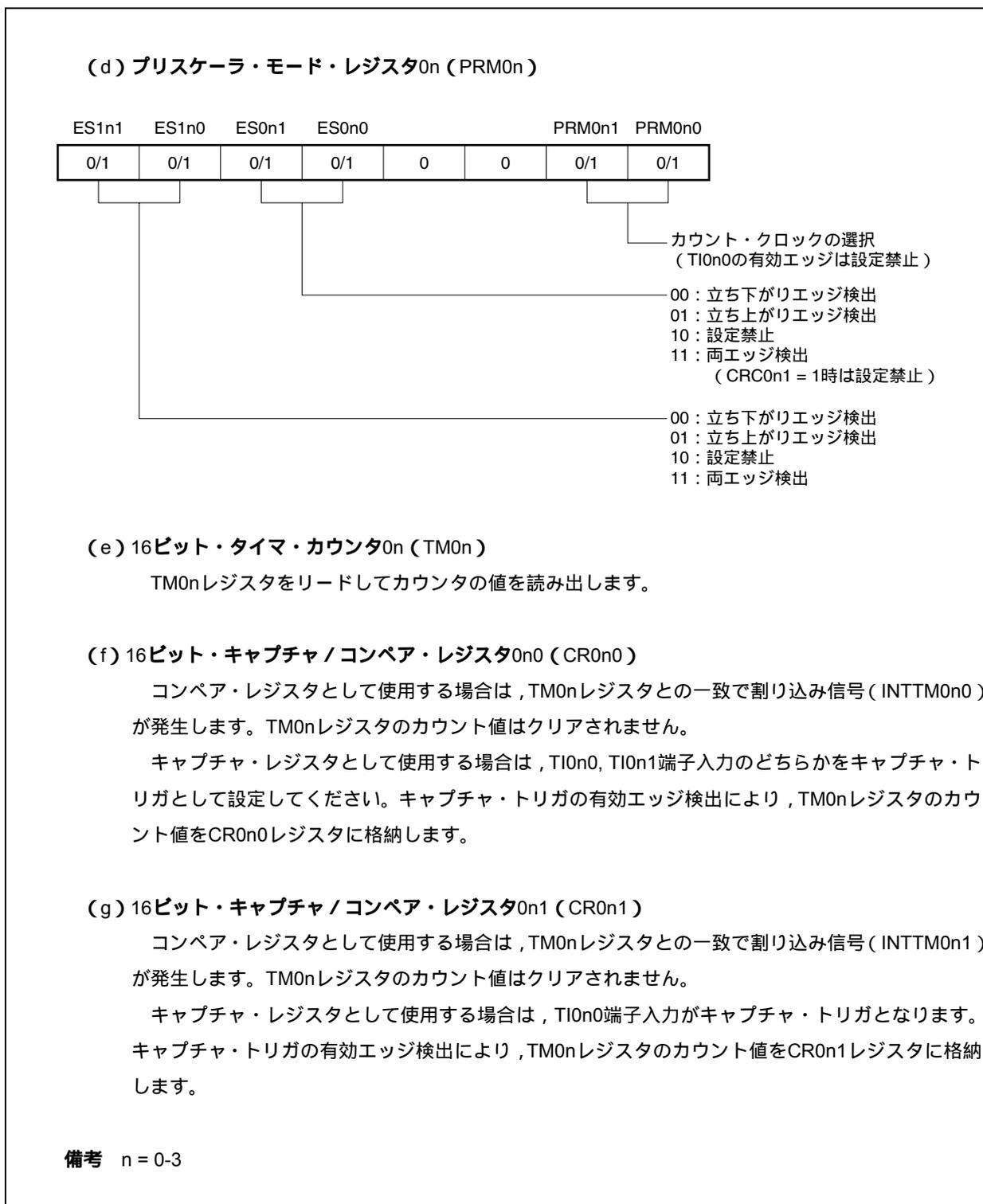
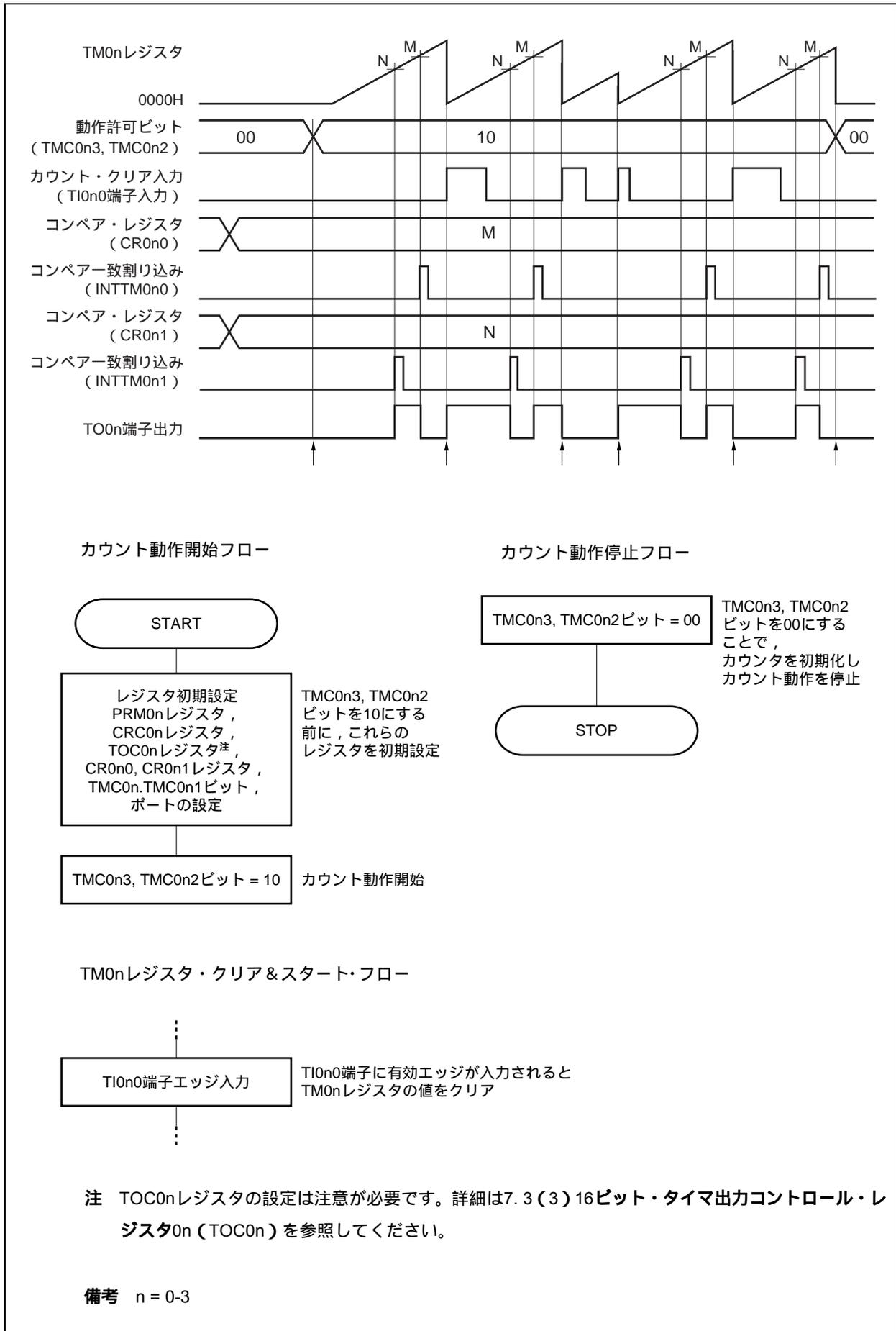


図7-22 T10n0端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



7.4.5 フリー・ランニング・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバーフロー・フラグ (TMC0n.OVF0nビット) がセット (1) されるとともに、TM0nレジスタをクリア (0000H) し、カウント動作を継続します。OVF0nビットは、ソフトウェアでCLR命令を実行してクリア (0) してください。フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR0n0, CR0n1レジスタを両方ともコンペア・レジスタとして使用
- ・ CR0n0, CR0n1レジスタの一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用

- 備考1. 兼用端子 (TO0n) の設定については、表4 - 15 ポート端子を兼用端子として使用する場合は参照してください。
2. INTTM0n0, INTTM0n1割り込み許可については、第16章 割り込み/例外処理機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア・レジスタ, CR0n1レジスタ：コンペア・レジスタ設定時)

図7 - 23 フリー・ランニング・タイマ・モードのブロック図
(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

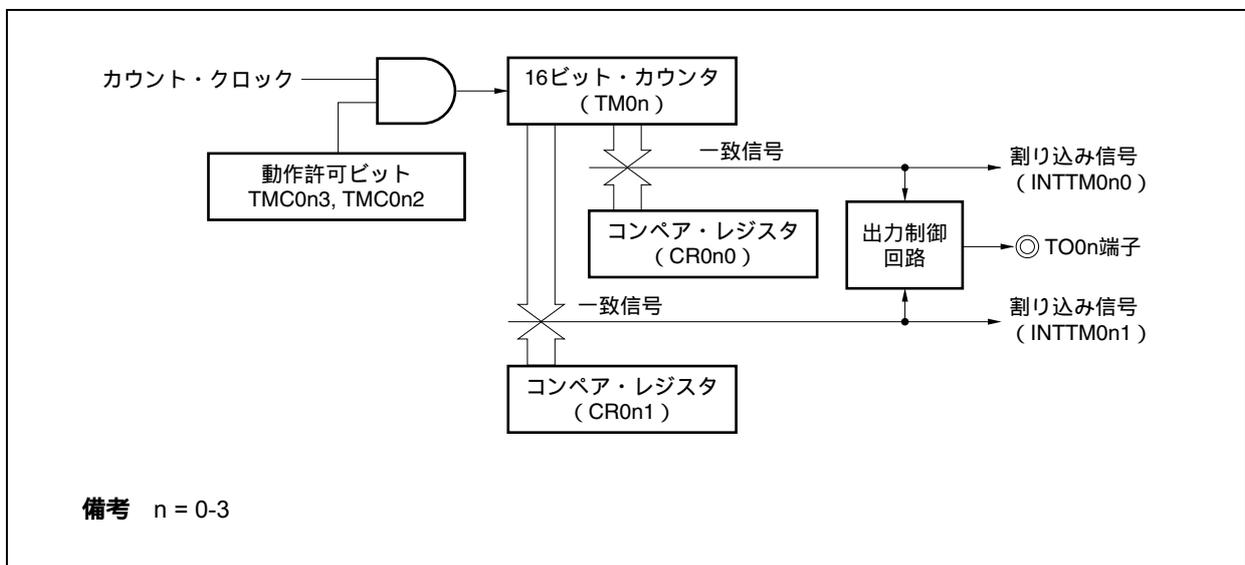
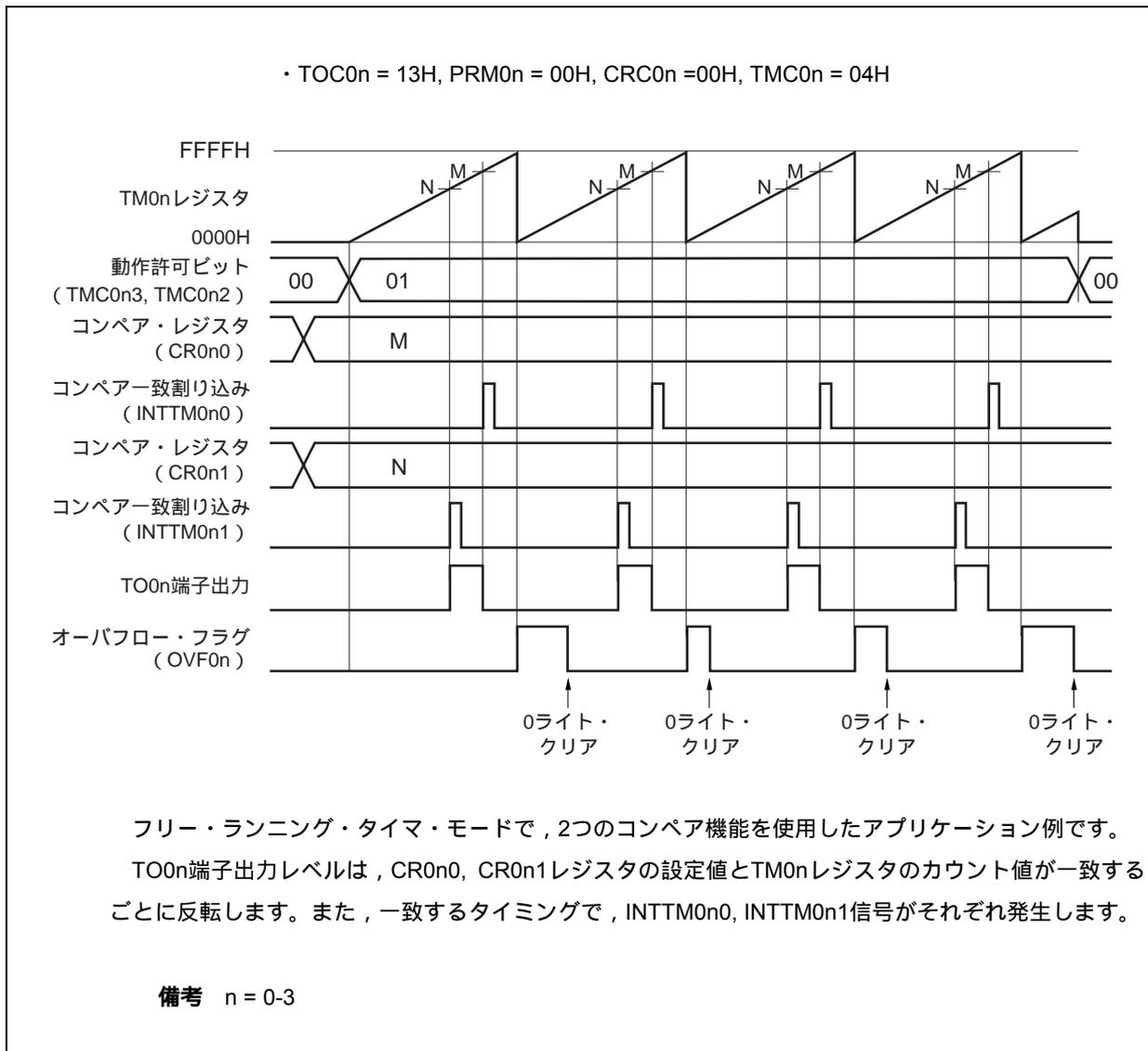


図7-24 フリー・ランニング・タイマ・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)



(2) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア，CR0n1レジスタ：キャプチャ設定時)

図7 - 25 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

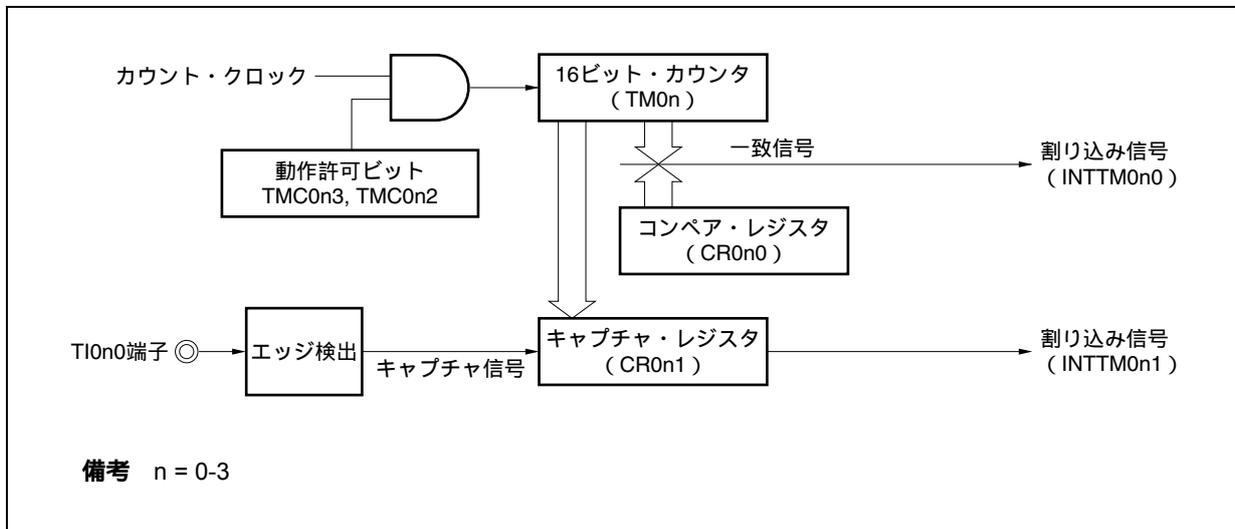
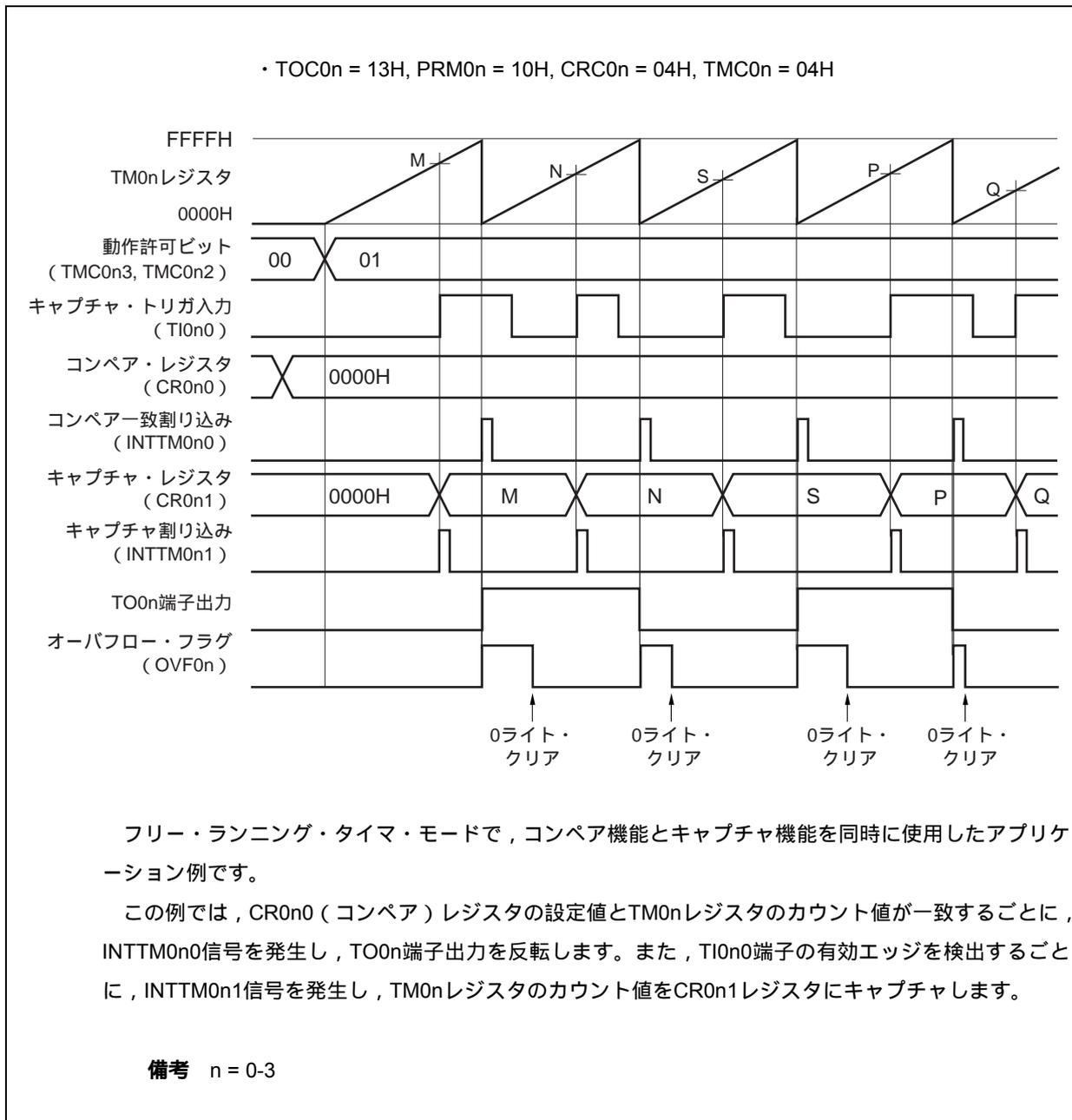


図7-26 フリー・ランニング・タイマ・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ)



(3) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図7 - 27 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

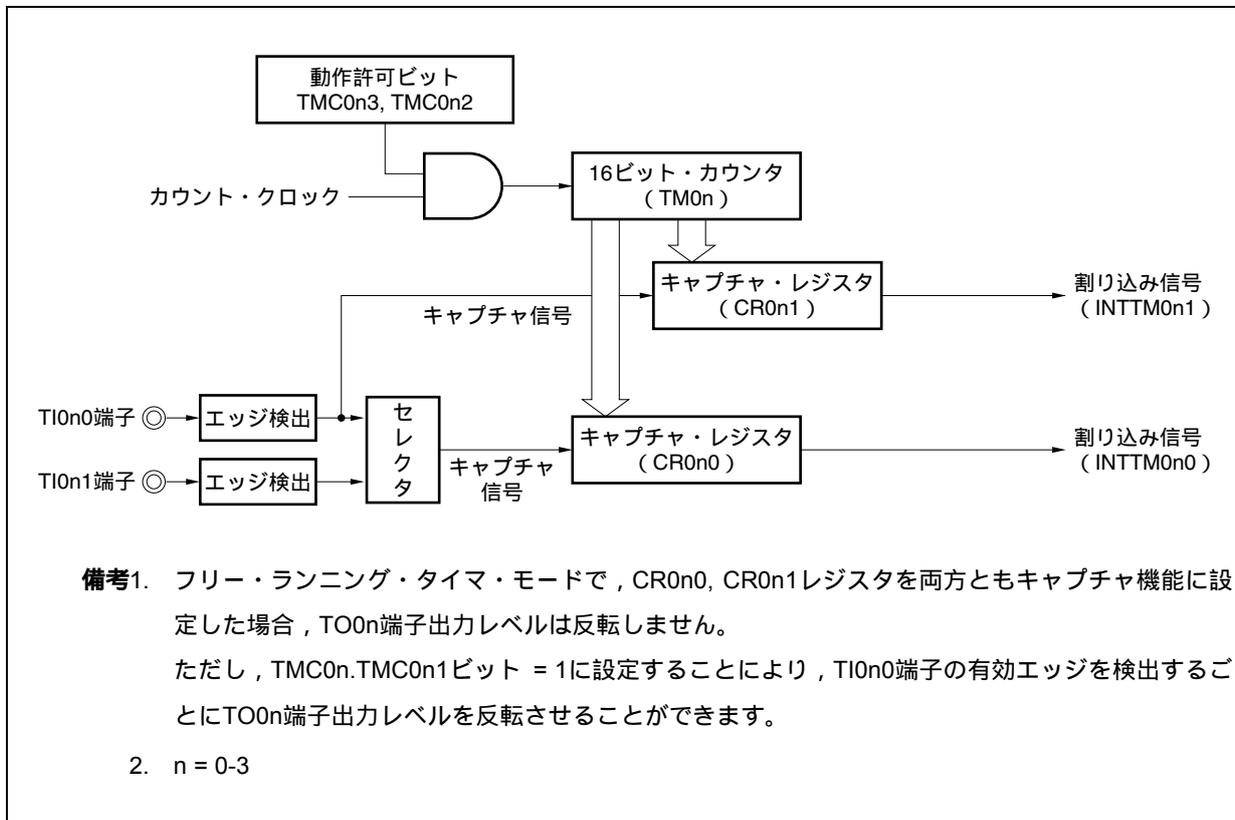


図7-28 フリー・ランニング・タイマ・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/2)

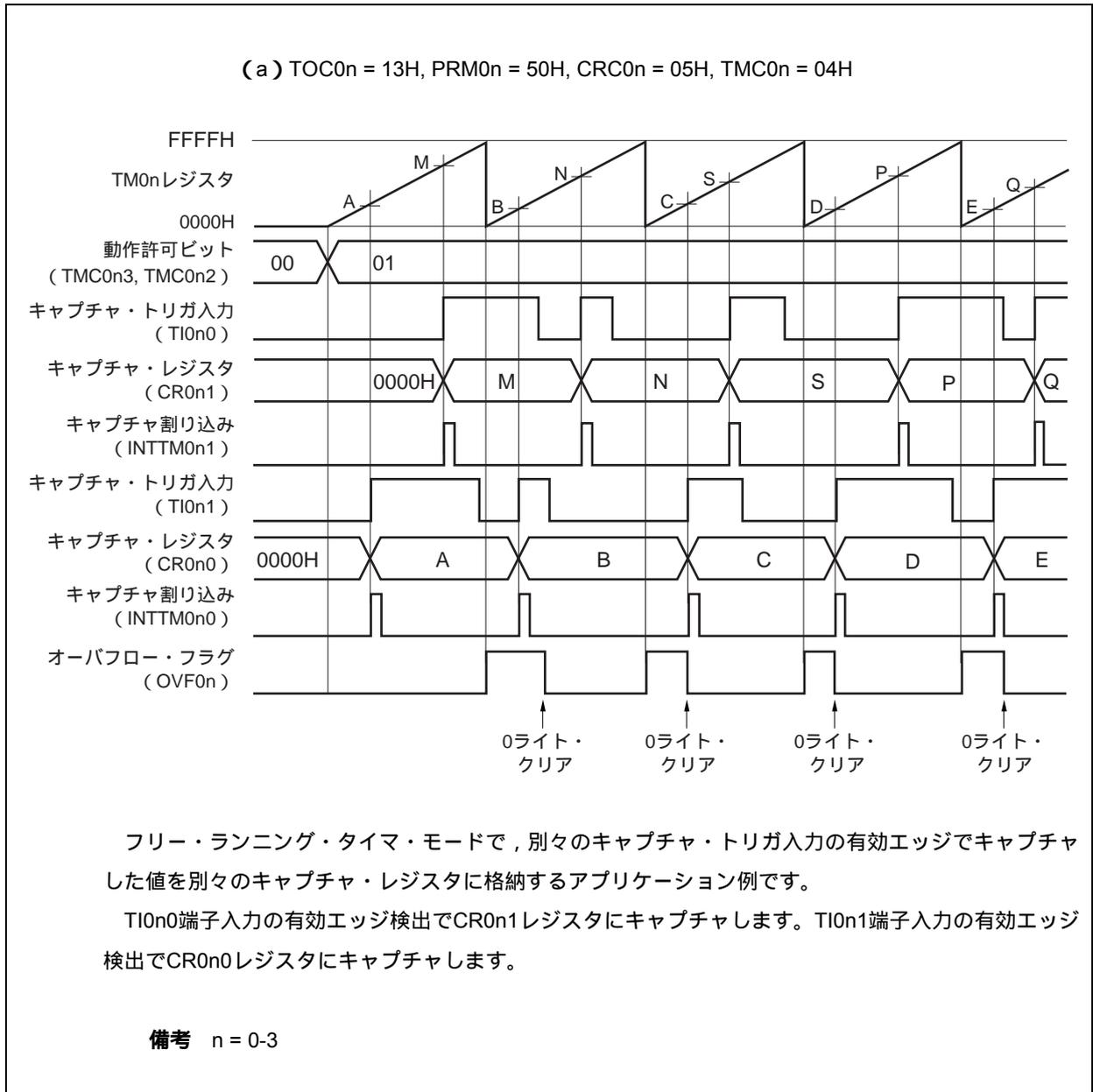


図7-28 フリー・ランニング・タイマ・モードのタイミング例
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/2)

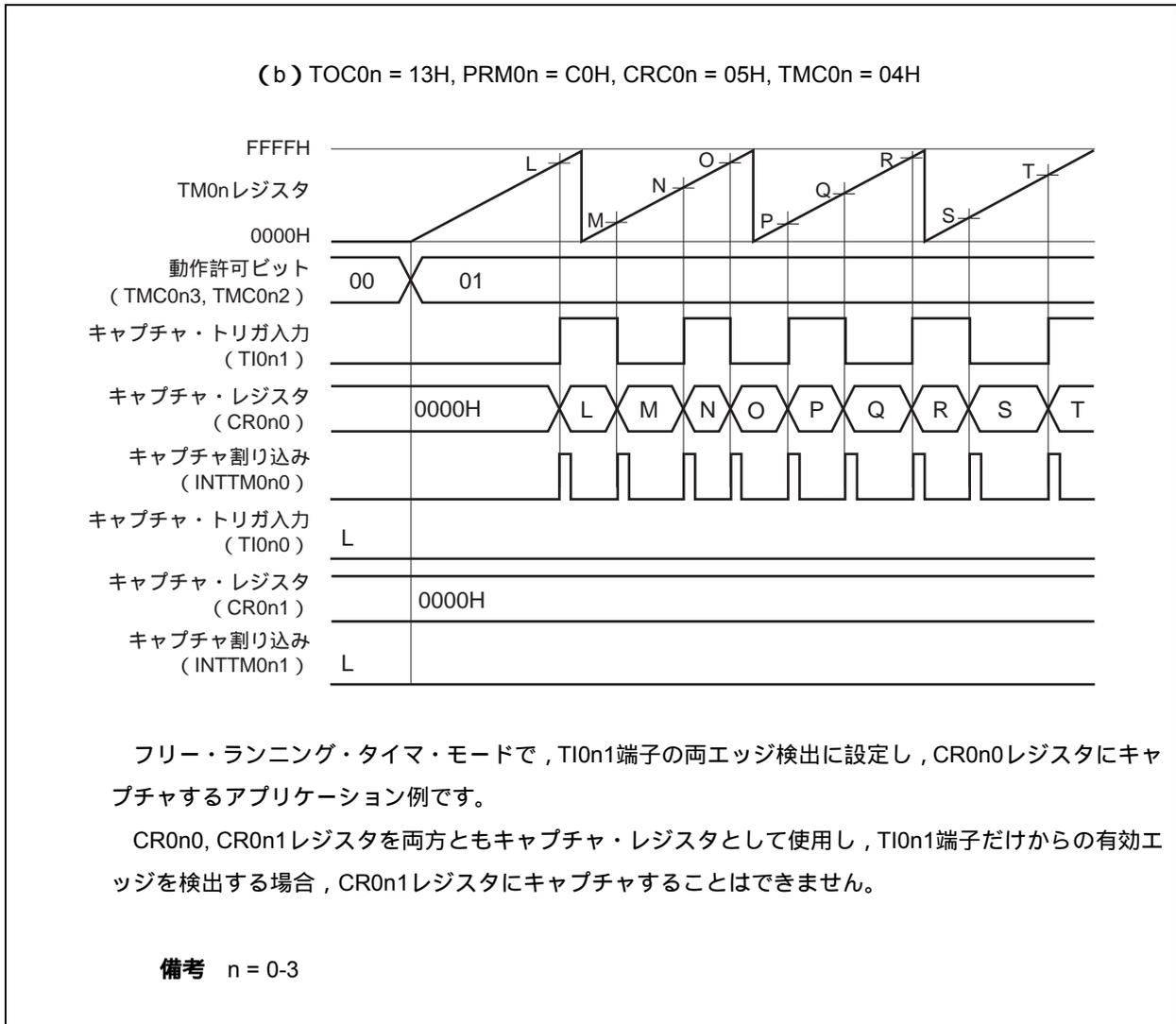


図7 - 29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0	1	0/1	0

- 0 : CR0n0, CR0n1との一致で TO0n端子出力が反転
- 1 : CR0n0, CR0n1との一致および TI0n0端子の有効エッジで TO0n端子出力が反転
- フリー・ランニング・タイマ・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	0/1	0/1

- 0 : CR0n0をコンペア・レジスタにする
- 1 : CR0n0をキャプチャ・レジスタにする
- 0 : CR0n0のキャプチャ・トリガはTI0n1端子
- 1 : CR0n0のキャプチャ・トリガはTI0n0端子の逆相
- 0 : CR0n1をコンペア・レジスタにする
- 1 : CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1

- 0 : TO0n出力禁止
- 1 : TO0n出力許可
- TO0n出力F/Fの初期値を指定
- 00 : TM0nとCR0n0/CR0n1が一致してもTO0n出力は反転しない
- 01 : TM0nとCR0n0の一致によりTO0n出力を反転
- 10 : TM0nとCR0n1の一致によりTO0n出力を反転
- 11 : TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転

備考 n = 0-3

図7-29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

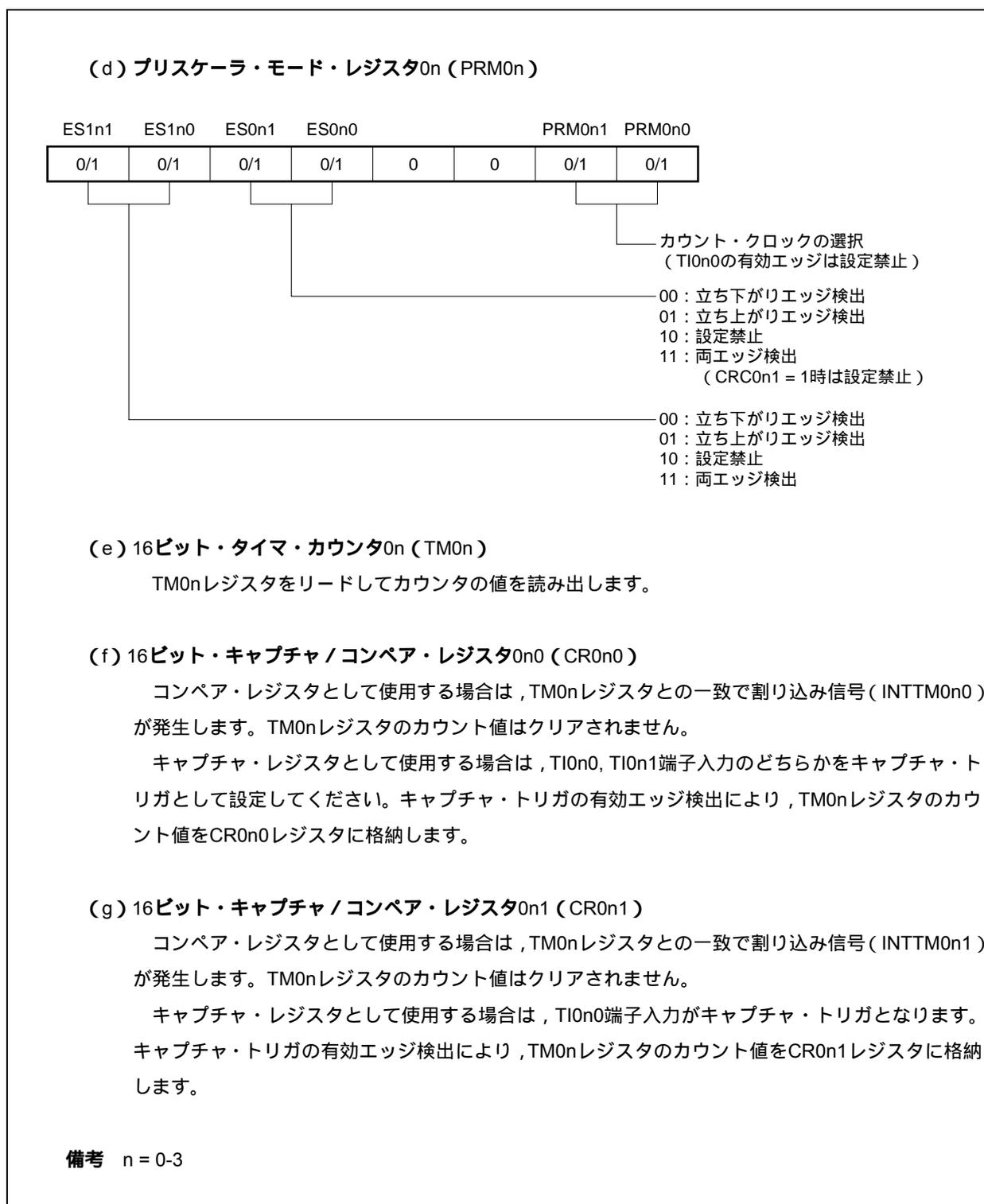
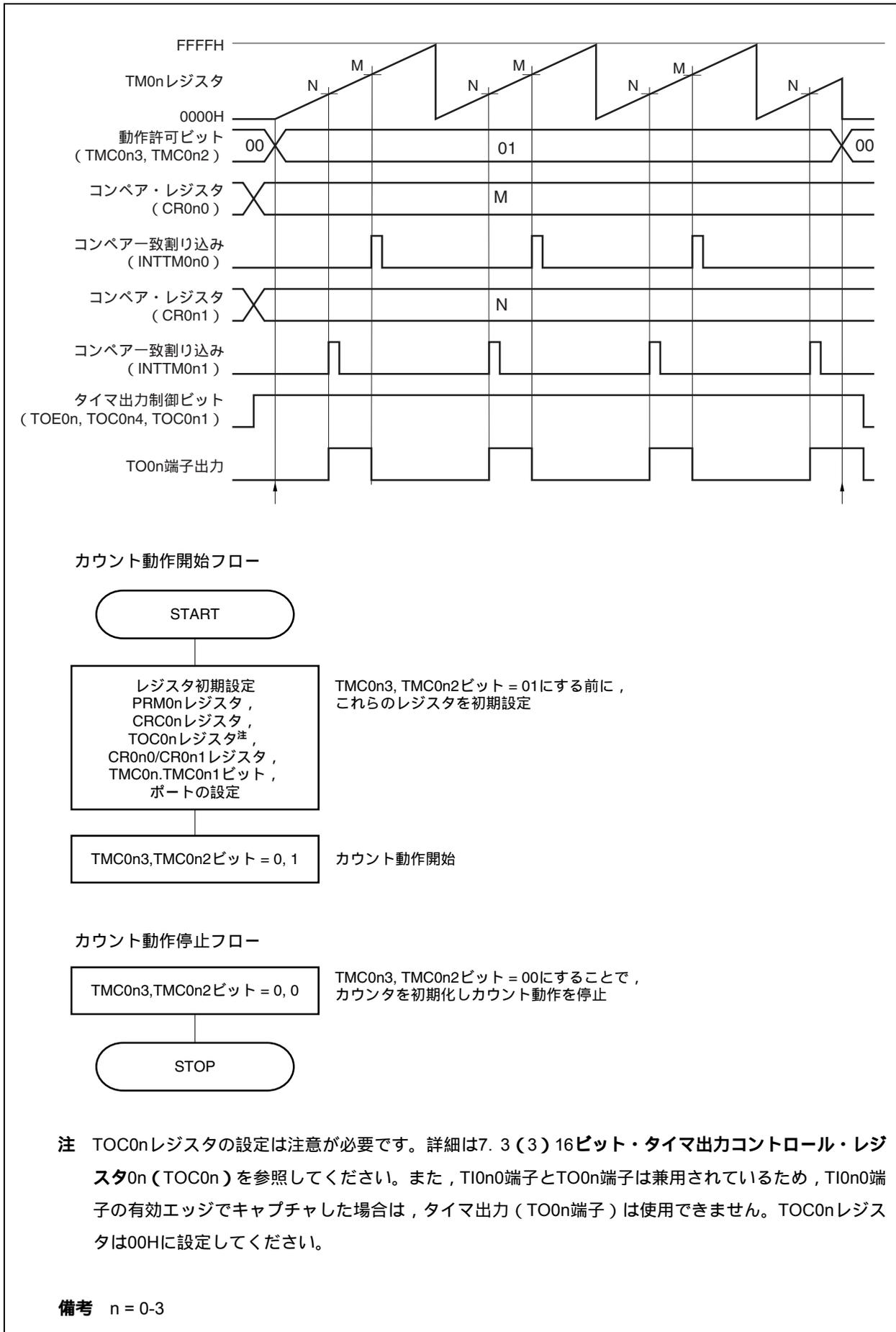


図7-30 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



7.4.6 PPG出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致によるクリア&スタート) に設定し, CR0n0レジスタにあらかじめ設定した値を1周期とし, CR0n1レジスタにあらかじめ設定した値をパルス幅とする矩形波を, TO0n端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期: $(CR0n0レジスタの設定値 + 1) \times \text{カウント} \cdot \text{クロック周期}$
- ・デューティ: $(CR0n1レジスタの設定値 + 1) / (CR0n0レジスタの設定値 + 1)$

注意 動作中にデューティの値 (CR0n1レジスタ) を変更したい場合は, 7.5.1 CR0n1レジスタのTM0n動作中の書き換えを参照してください。

- 備考1.** 兼用端子 (TO0n) の設定については, 表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。
2. INTTM0n0, INTTM0n1割り込み許可については, 第16章 割り込み/例外処理機能を参照してください。

図7 - 31 PPG出力としての動作のブロック図

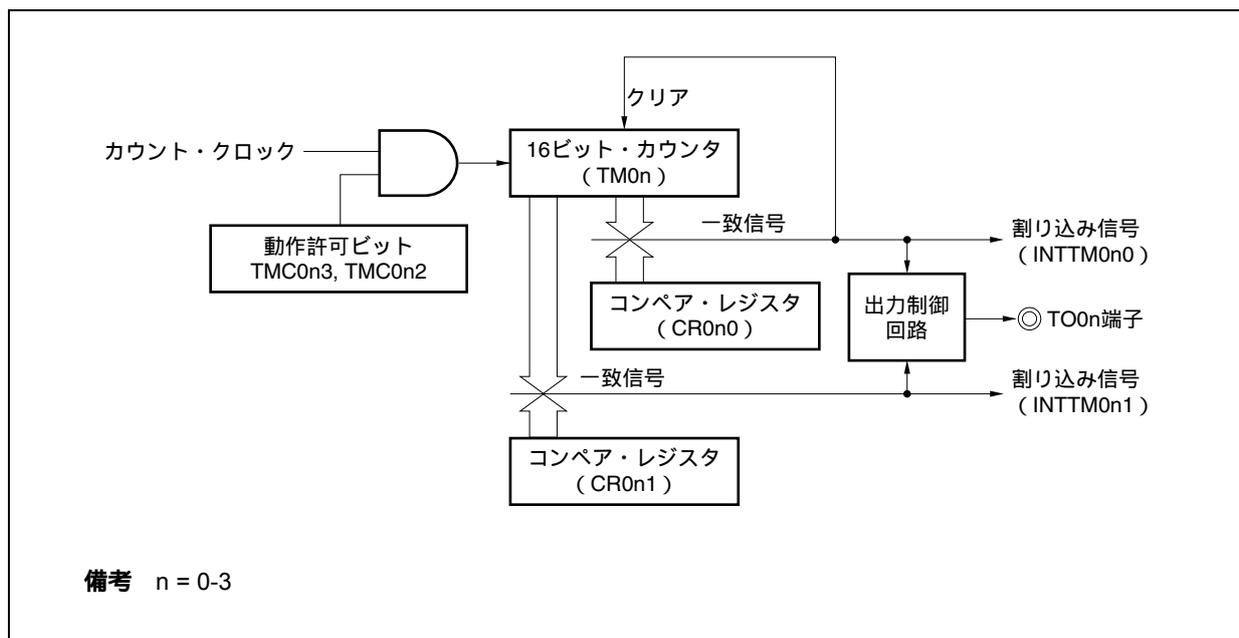


図7 - 32 PPG出力動作時のレジスタ設定内容例 (1/2)

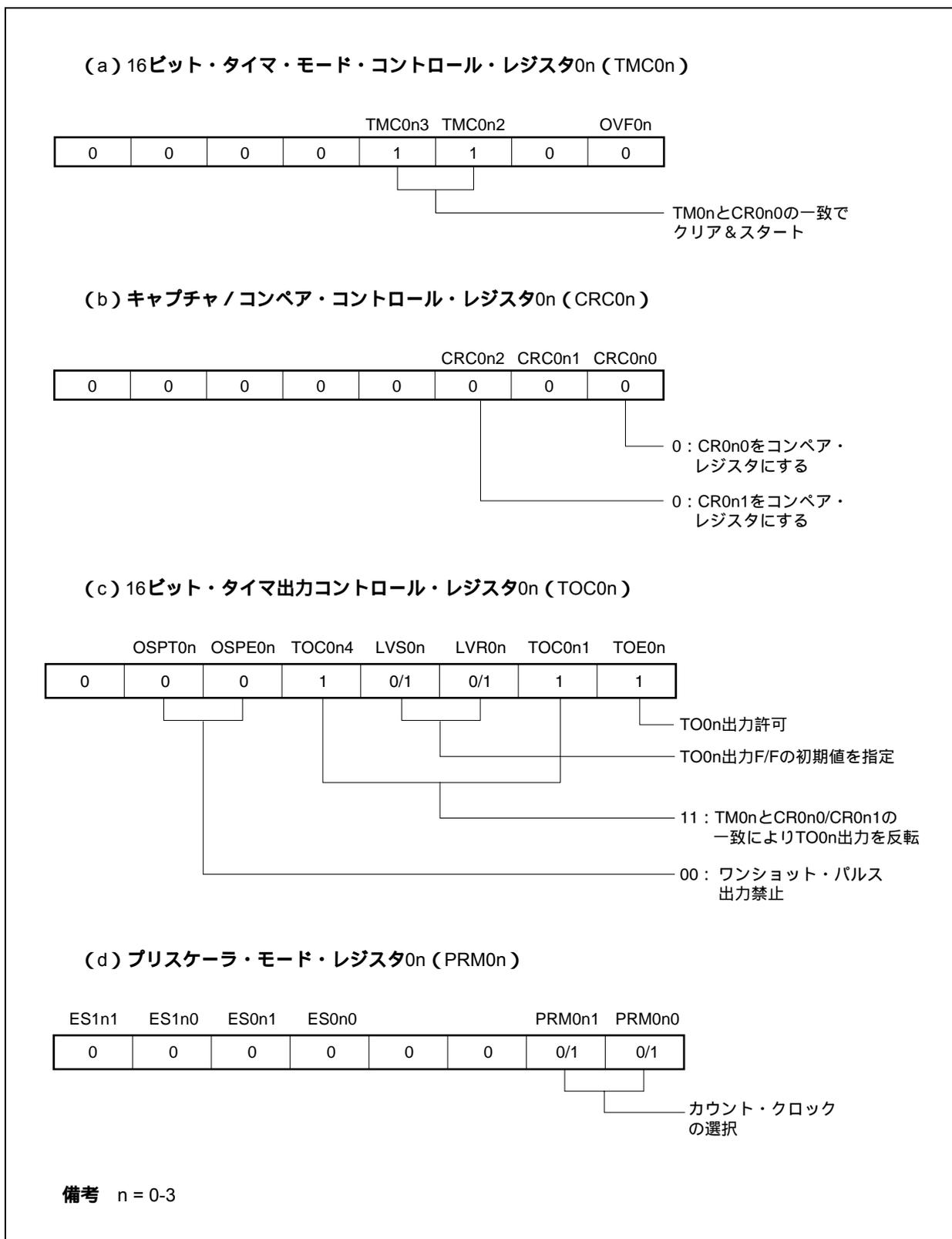


図7 - 32 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

TM0nレジスタとの一致で割り込み信号 (INTTM0n0) を発生します。

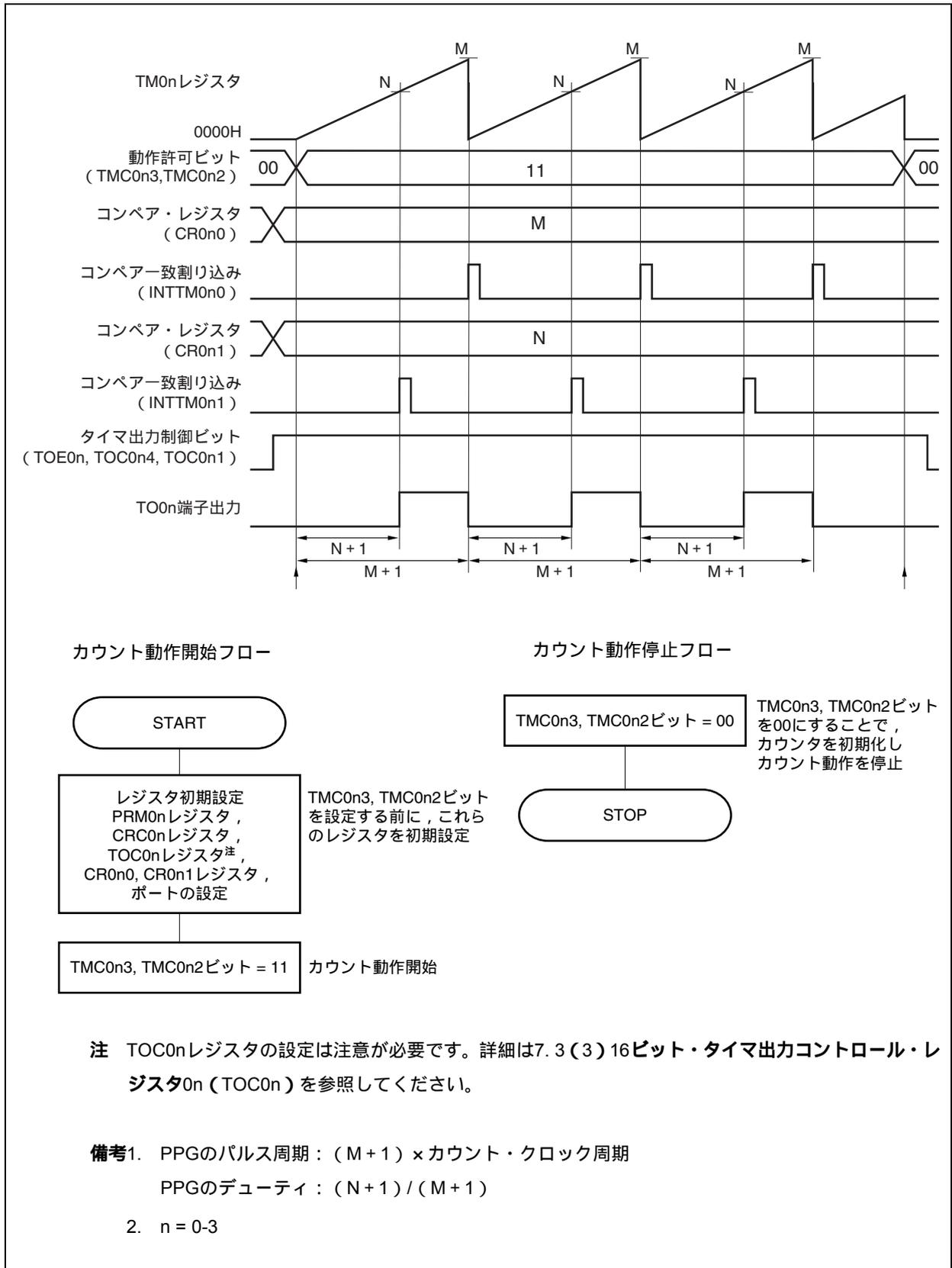
(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

TM0nレジスタとの一致で割り込み信号 (INTTM0n1) を発生します。TM0nレジスタのカウンタ値はクリアされません。

注意 CR0n0, CR0n1レジスタには, 0000H CR0n1 < CR0n0 FFFFHの値を設定してください。

備考 n = 0-3

図7 - 33 PPG出力動作時のソフトウェア処理例



7.4.7 ワンショット・パルス出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード), またはTMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジによるクリア&スタート・モード)に設定し, TOC0n.OSPE0nビット = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC0n.OSPT0nビットをセット(1)するか, またはTI0n0端子に有効エッジが入力されると, それをトリガとして, CR0n0, CR0n1レジスタに設定した差分のパルスを1回だけTO0n端子から出力します。

注意 ワンショット・パルスを出力中に, さらにトリガ (OSTP0nビットのセット(1), またはTI0n0端子の有効エッジ検出)を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。

- 備考1.** 兼用端子 (TO0n) の設定については, 表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。
- 2.** INTTM0n0, INTTM0n1割り込み許可については, 第16章 割り込み/例外処理機能を参照してください。

図7 - 34 ワンショット・パルス出力としての動作のブロック図

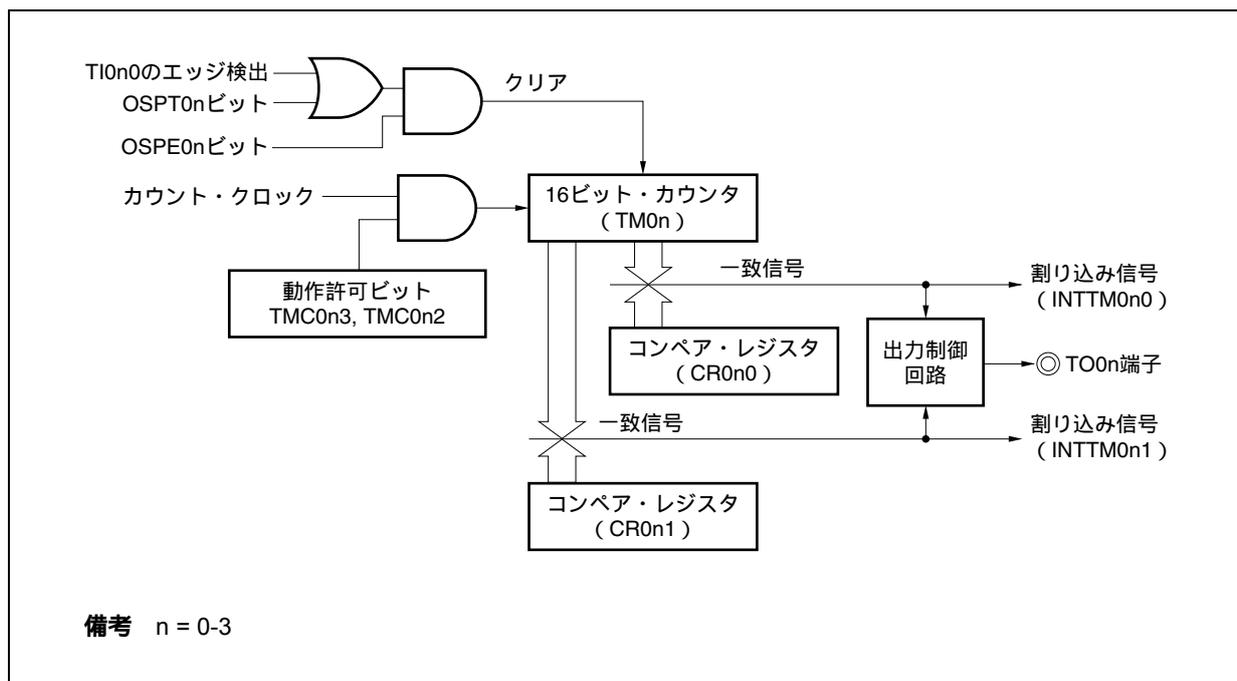


図7 - 35 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01 : フリー・ランニング・
タイマ・モード
10 : TI0n0端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR0n0をコンペア・
レジスタにする
CR0n1をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0/1	1	1	0/1	0/1	1

TO0n端子出力許可
TO0n端子出力の初期値を
指定
TM0nとCR0n0/CR0n1の
一致によりTO0n出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	PRM0n1 PRM0n0			
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

備考 n = 0-3

図7 - 35 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n0レジスタの値が一致すると、割り込み信号 (INTTM0n0) を発生し、TO0n端子出力レベルを反転します。

(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n1レジスタの値が一致すると、割り込み信号 (INTTM0n1) を発生し、TO0n端子出力レベルを反転します。

備考 n = 0-3

図7 - 36 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)

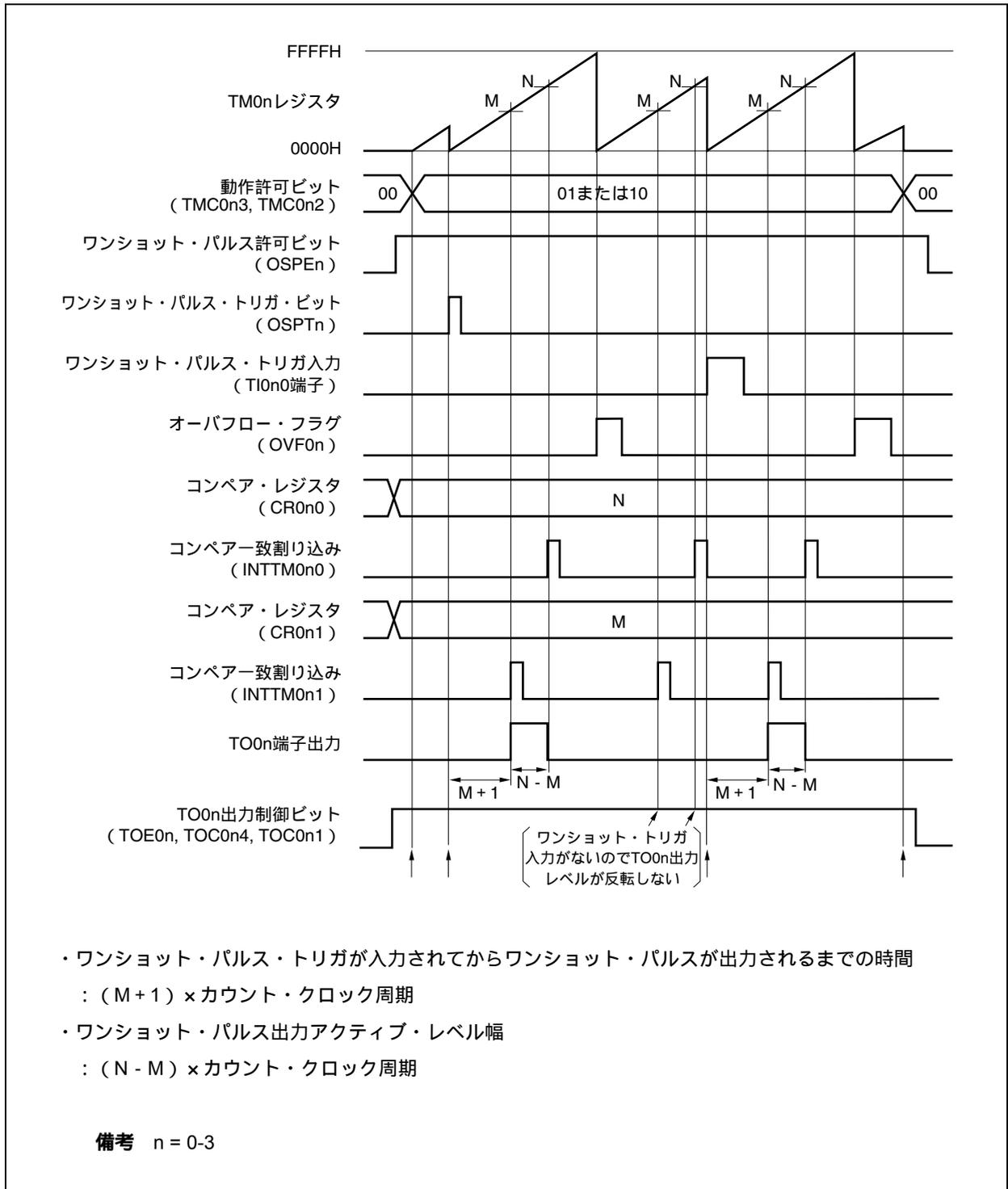
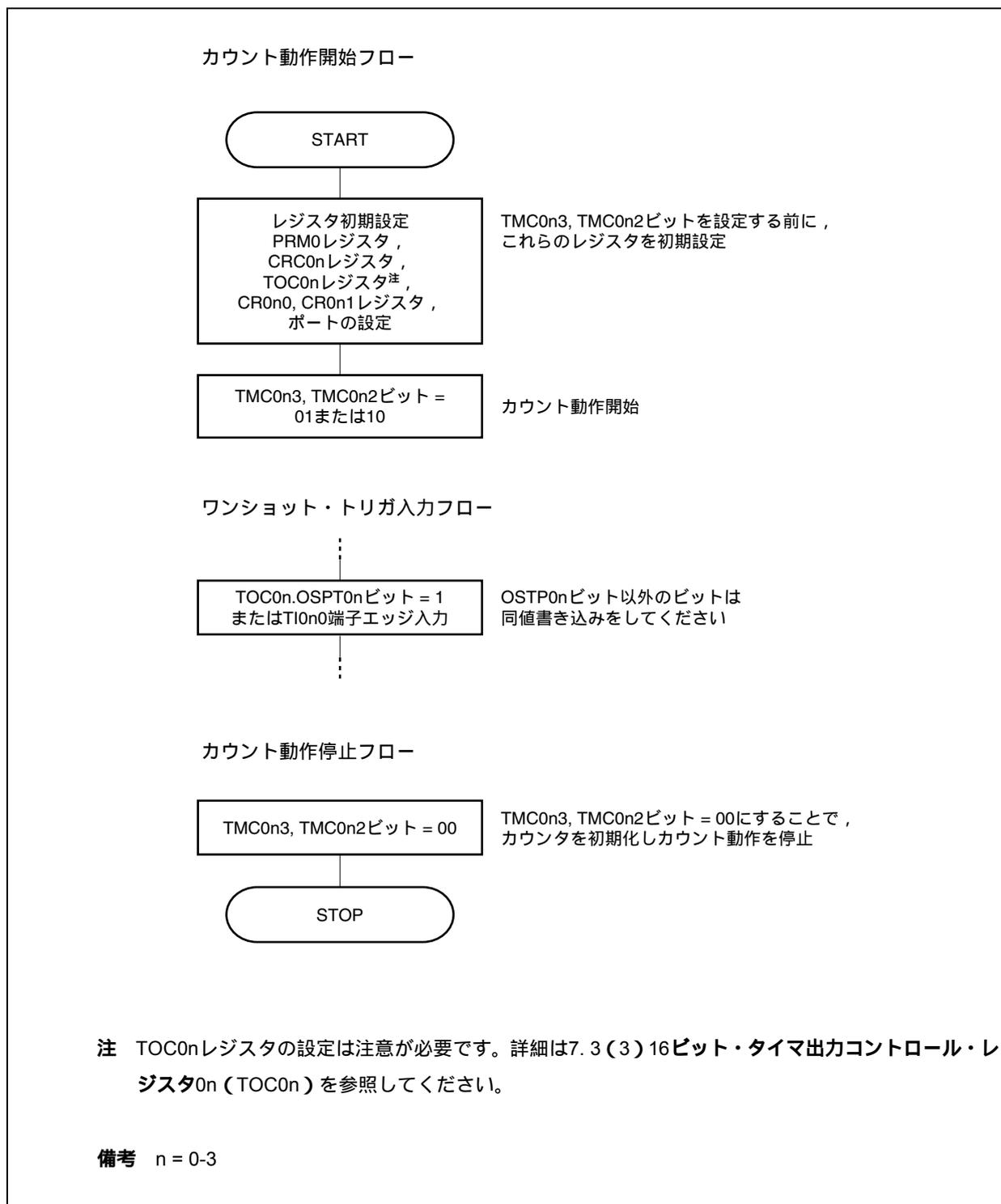


図7 - 36 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)



7.4.8 パルス幅測定としての動作

TM0nレジスタを使用し、TI0n0端子およびTI0n1端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI0n0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、TMC0n.OVF0nフラグを確認して、セット(1)されていたらソフトウェアでクリア(0)してください。

図7-37 パルス幅測定(フリー・ランニング・タイマ・モード)のブロック図

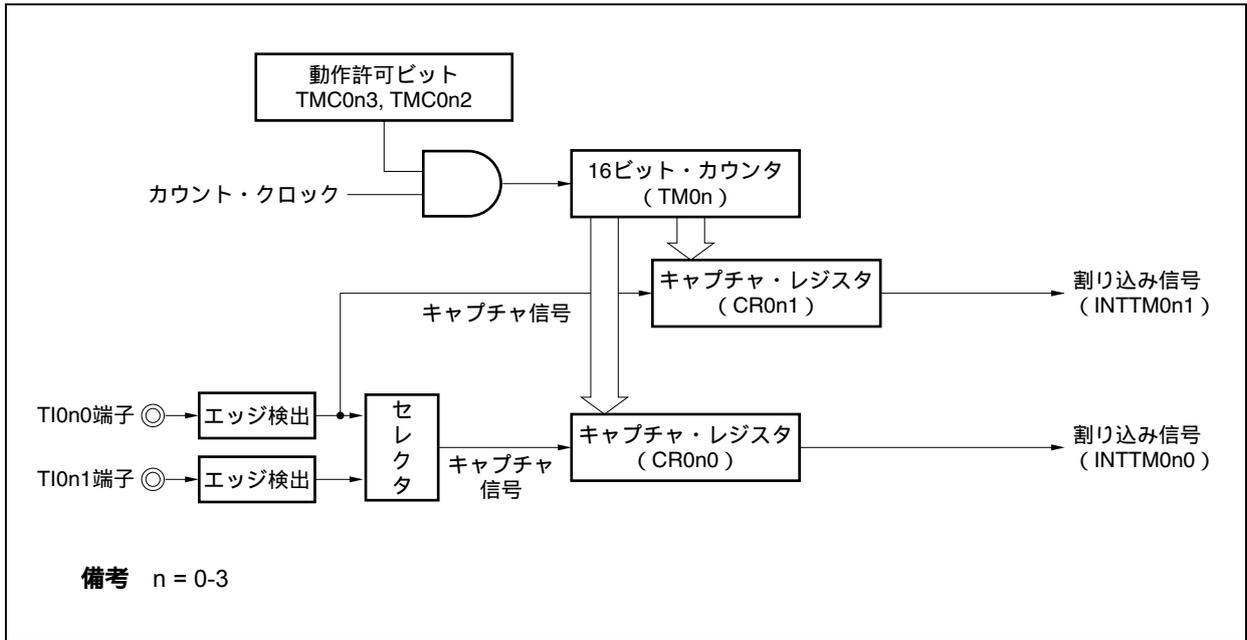
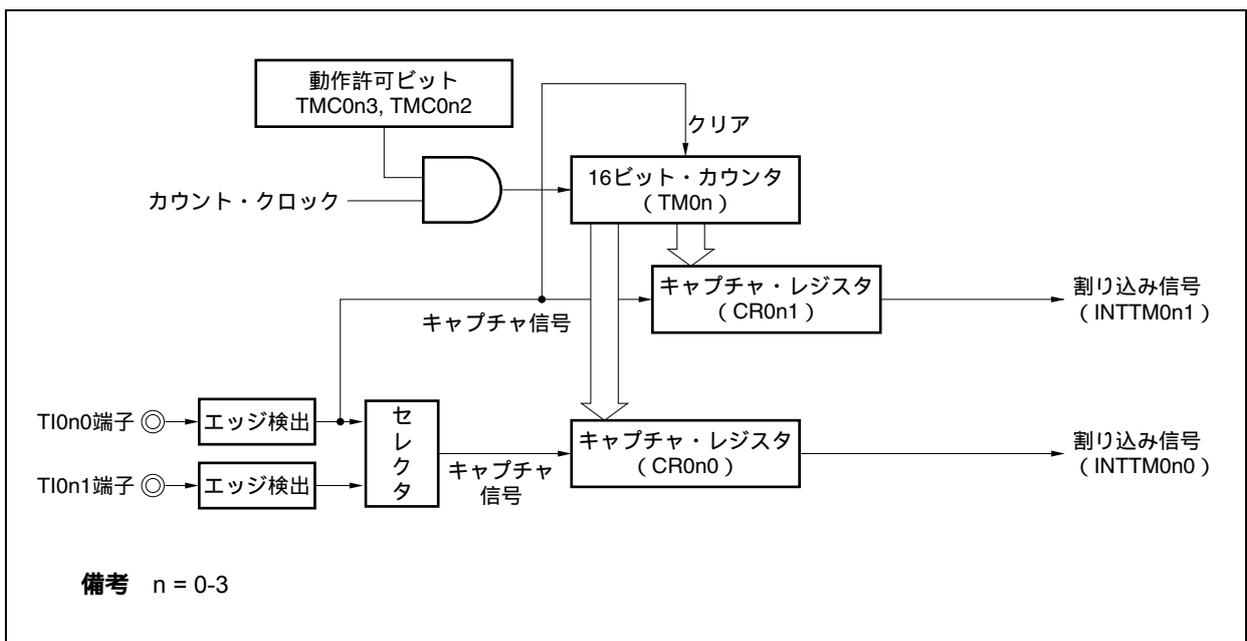


図7-38 パルス幅測定(TI0n0端子の有効エッジ入力によるクリア&スタート・モード)のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（TI0n0端子の有効エッジ入力によるクリア&スタート・モード）

備考1. 兼用端子（TO0n）の設定については、表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については、第16章 **割り込み/例外処理機能**を参照してください。

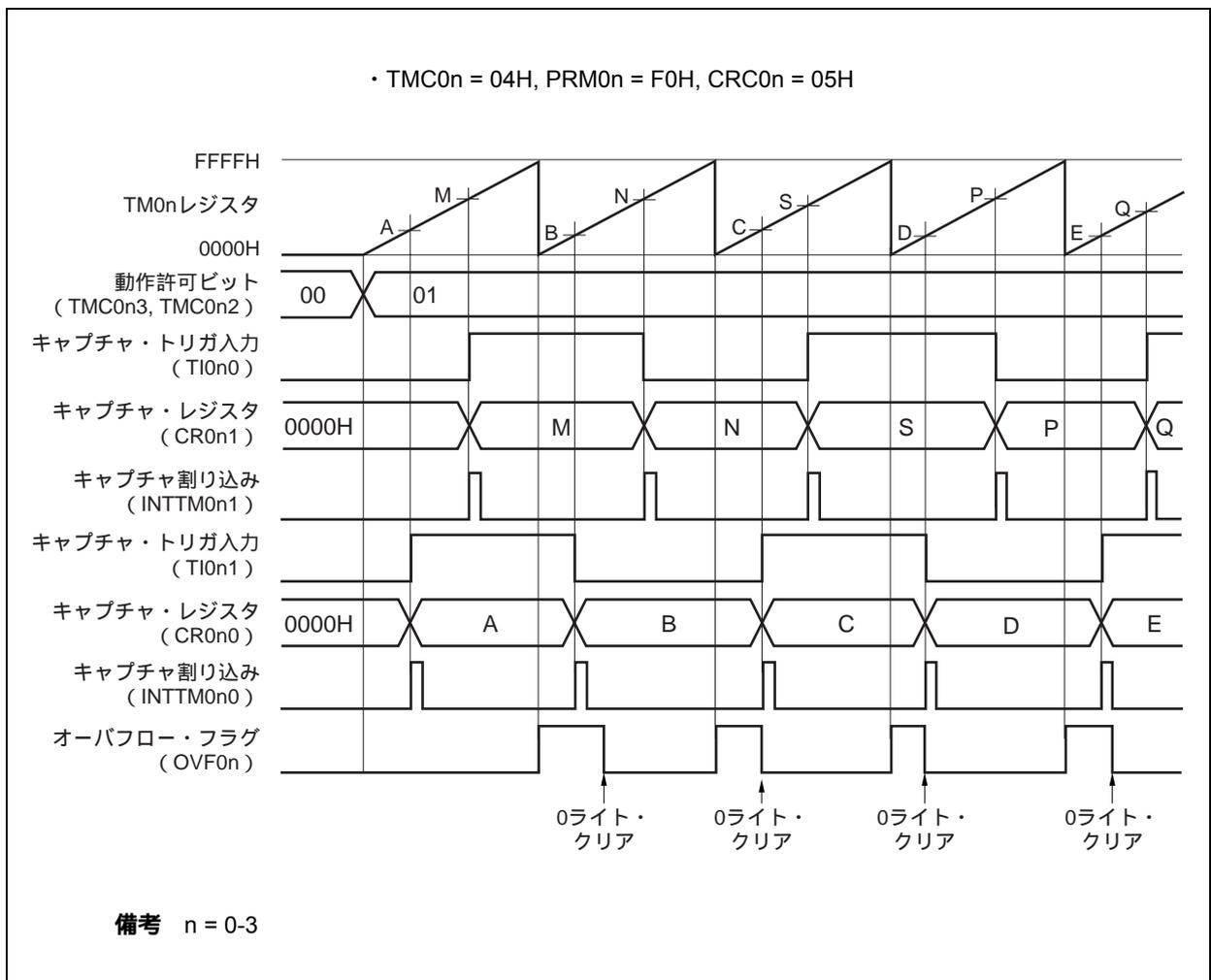
(1) TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

フリー・ランニング・タイマ・モード(TMC0n.TMC0n3, TMC0n2ビット = 01)に設定します。TI0n0端子の有効エッジ検出により, TM0nレジスタのカウンタ値をCR0n1レジスタにキャプチャします。TI0n1端子の有効エッジ検出により, TM0nレジスタのカウンタ値をCR0n0レジスタにキャプチャします。TI0n0端子とTI0n1端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(PSW.CYビットがセット(1)されます)。このときは, CYビットを無視して, 計算値をパルス幅として扱ってください。また, TMC0n.OVF0nビットをクリア(0)してください。

図7 - 39 パルス幅測定のタイミング例(1)



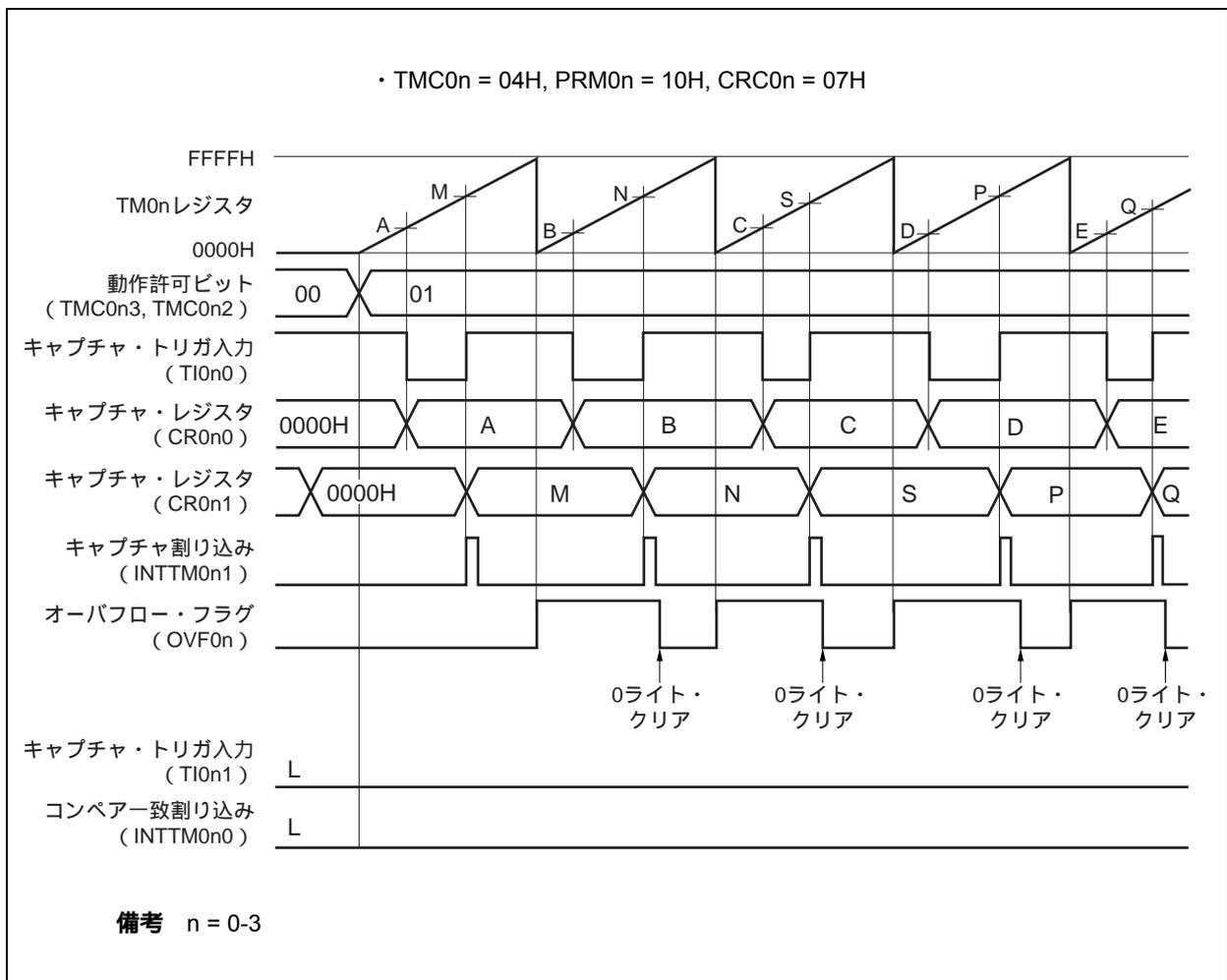
(2) TI0n0端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

フリー・ランニング・タイマ・モード (TMC0n.TMC0n3, TMC0n2ビット = 01) に設定します。TI0n0端子の有効エッジ検出の逆相で, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

この測定方法では, エッジからエッジまでの幅を測定する場合に, 別々のキャプチャ・レジスタに値を格納するため, キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅, ロウ・レベル幅, 周期を算出します。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します (PSW.CYビットがセット (1) されます)。このときは, CYビットを無視して, 計算値をパルス幅として扱ってください。また, TMC0n.OVF0nビットをクリア (0) してください。

図7 - 40 パルス幅測定のタイミング例 (2)



(3) TI0n0端子1本の入力信号でパルス幅を測定(TI0n0端子の有効エッジ入力によるクリア&スタート・モード)

TI0n0端子の有効エッジによるクリア&スタート・モード(TMC0n.TMC0n3, TMC0n2ビット = 10)に設定します。TI0n0端子の有効エッジ検出の逆相で、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし、TM0nレジスタをクリア(0000H)します。したがって、TM0nレジスタがオーバフローしなければ、CR0n1レジスタには周期が格納されます。

オーバフローが発生した場合は、CR0n1レジスタに格納した値に10000Hを加算した値を周期として扱ってください。また、TMC0n.OVF0nビットをクリア(0)してください。

図7-41 パルス幅測定のタイミング例(3)

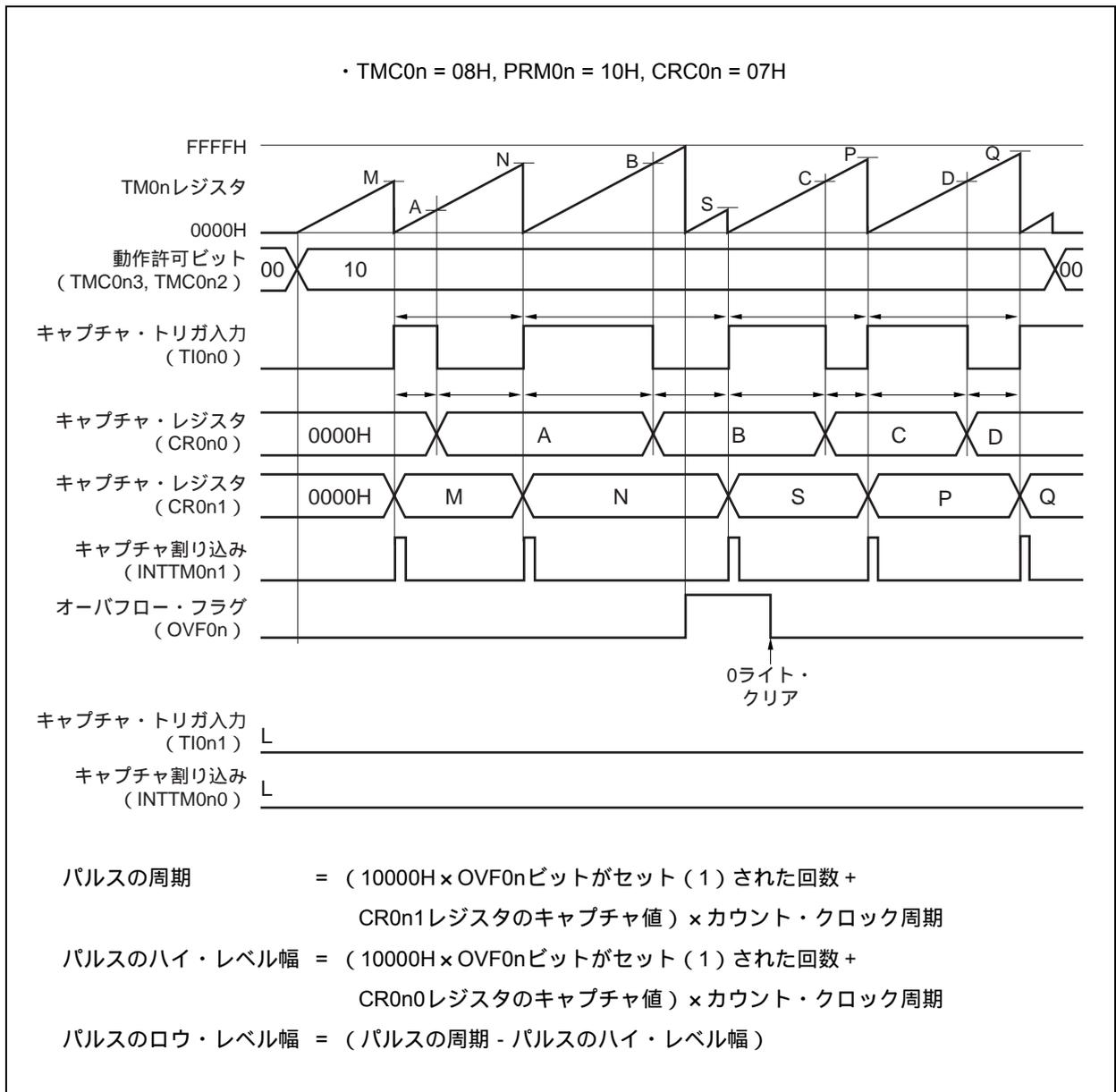


図7 - 42 パルス幅測定動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	OVF0n	
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI0n0端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	1	0/1	1

- 1 : CR0n0をキャプチャ・レジスタにする
- 0 : CR0n0のキャプチャ・トリガはTI0n1端子
- 1 : CR0n0のキャプチャ・トリガはTI0n0端子の逆相
- 1 : CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n	
0	0	0	0	0	0	0	0

(d) プリスケーラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0			PRM0n1	PRM0n0
0/1	0/1	0/1	0/1	0	0	0/1	0/1

- カウント・クロックの選択
(TI0n0の有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出
(CRC0n1 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

備考 n = 0-3

図7 - 42 パルス幅測定動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

キャプチャ・レジスタとして使用します。TI0n0/TI0n1端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM0nレジスタのカウント値をCR0n0レジスタに格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

キャプチャ・レジスタとして使用します。TI0n0端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM0nレジスタのカウント値をCR0n1レジスタに格納します。

備考 n = 0-3

図7 - 43 パルス幅測定時のソフトウェア処理例 (1/2)

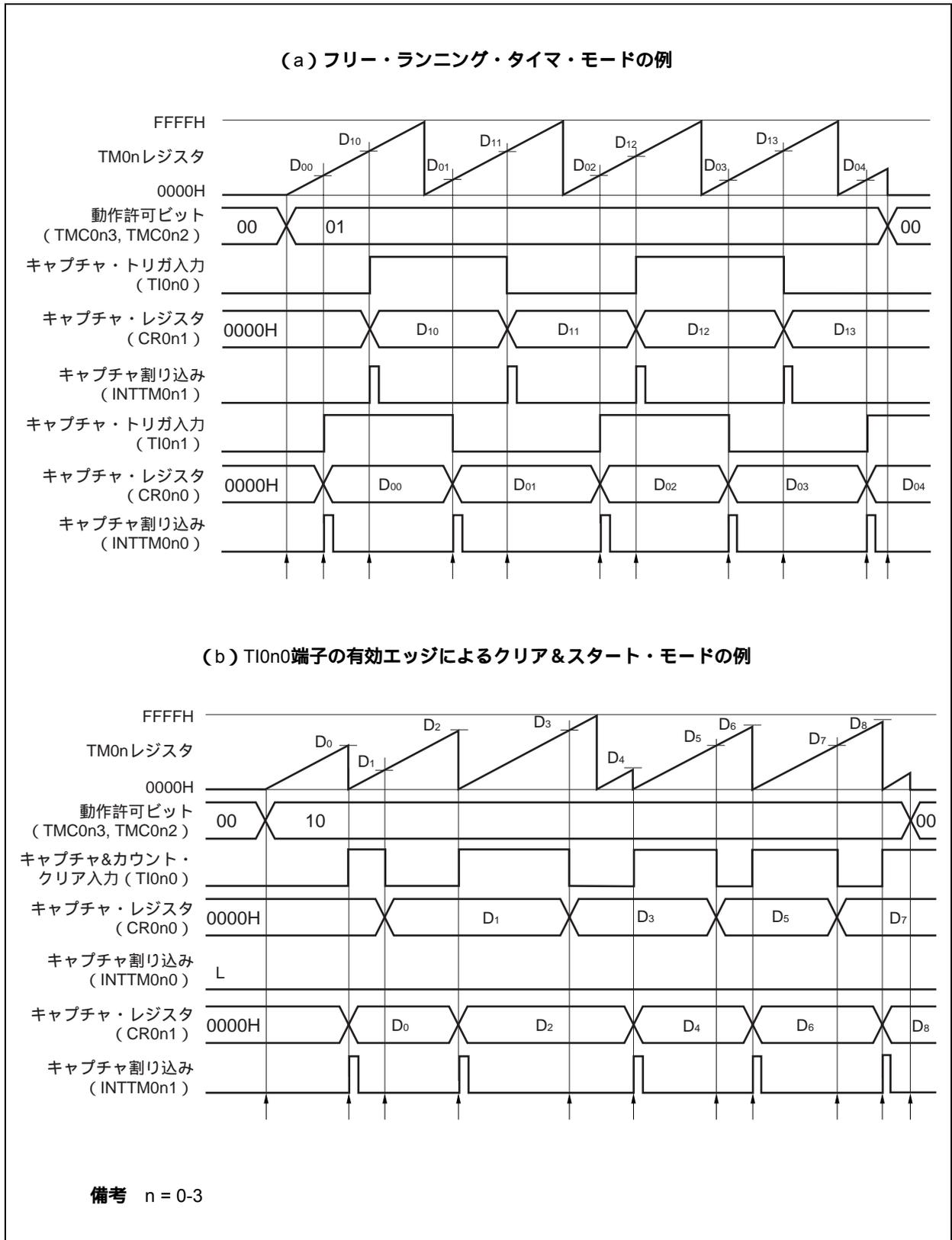
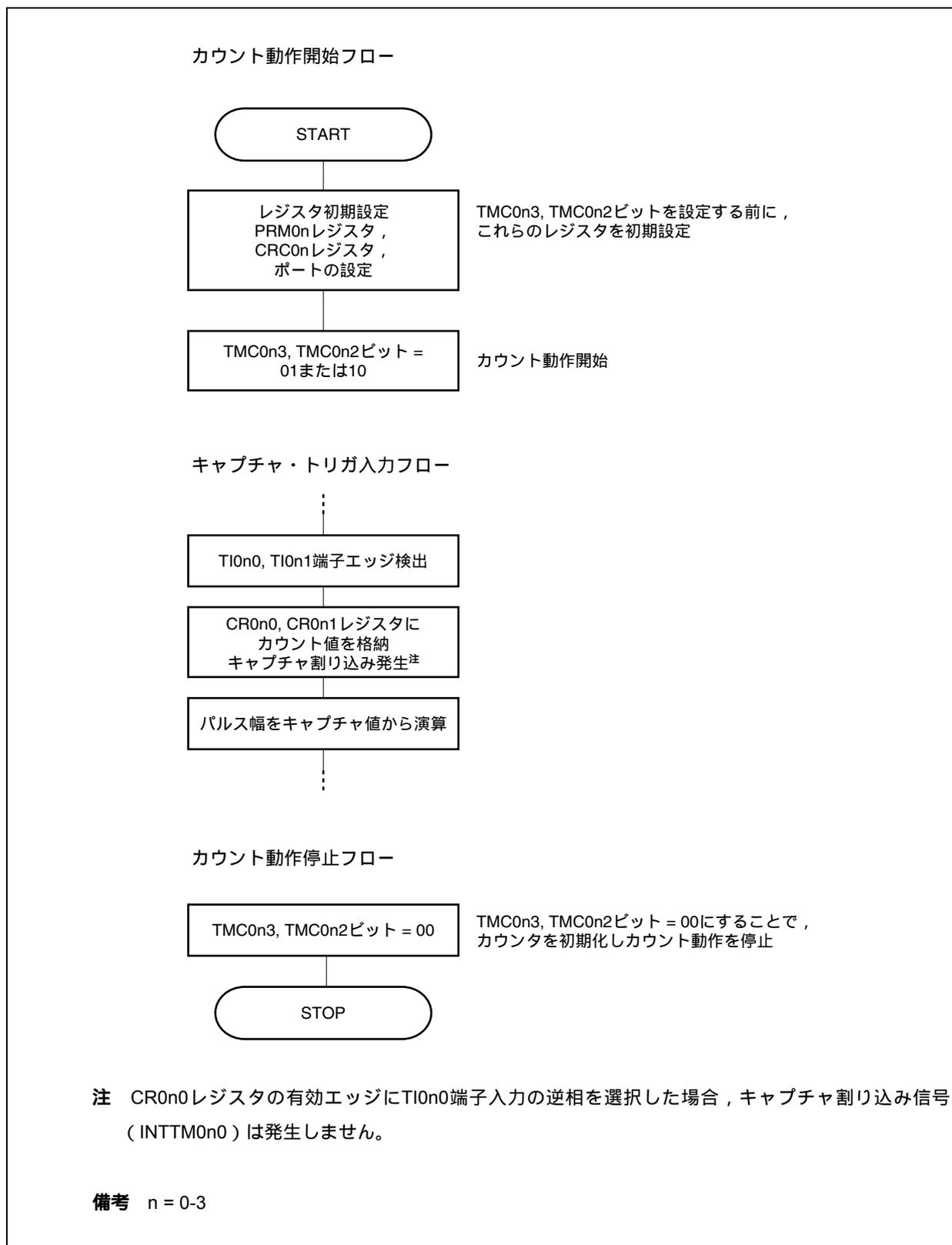


図7 - 43 パルス幅測定時のソフトウェア処理例 (2/2)



7.5 TM0nの特殊な使用方法

7.5.1 CR0n1レジスタのTM0n動作中の書き換え

V850ES/PM1では、TM0n動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外）のとき、コンペア・レジスタとして使用するCR0n0レジスタとCR0n1レジスタの書き換えは原則禁止です。

ただし、CR0n1レジスタだけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます（CR0n1レジスタとTM0nレジスタの一致直後に書き換えてください。CR0n1レジスタとTM0nレジスタの一致直前で書き換えると想定しない動作を起こす場合があります）。

CR0n1レジスタの書き換え手順

INTTM0n1の割り込みを禁止する（TMIC0n1.TMMK0n1ビット = 1）。

TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を禁止する（TOC0n.TOC0n4ビット = 0）。

CR0n1レジスタを書き換える。

TM0nレジスタのカウント・クロックの1周期分ウェイトする。

TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を許可する（TOC0n.TOC0n4ビット = 1）。

INTTM0n1の割り込みフラグをクリア（0）する（TMIC0n1.TMIF0n1ビット = 0）。

INTTM0n1の割り込みを許可する（TMIC0n1.TMMK0n1ビット = 0）

備考 TMIC0n1レジスタについては第16章 **割り込み/例外処理機能**を参照してください。

7.5.2 LVS0n, LVR0nビットの設定について

(1) LVS0n, LVR0nビットの使用用途

TOC0n.LVS0n, LVR0nビットは、TO0n端子出力の初期値を設定したいときや、タイマを動作許可しない（TMC0n.TMC0n3, TMC0n2ビット = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nビットは00（初期値ロウ・レベル出力）に設定してください。

LVS0nビット	LVR0nビット	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

(2) LVS0n, LVR0nビットの設定方法

LVS0n, LVR0nビットは次の手順で設定してください。

図7 - 44 LVS0n, LVR0nビットの設定フロー例

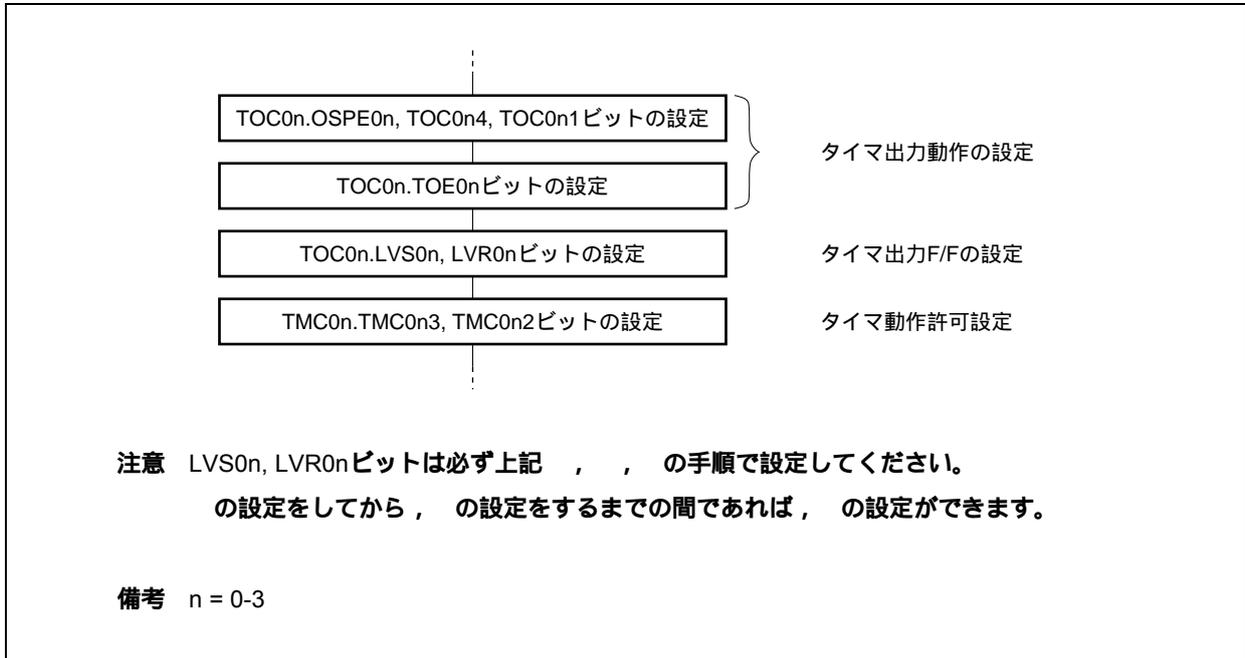
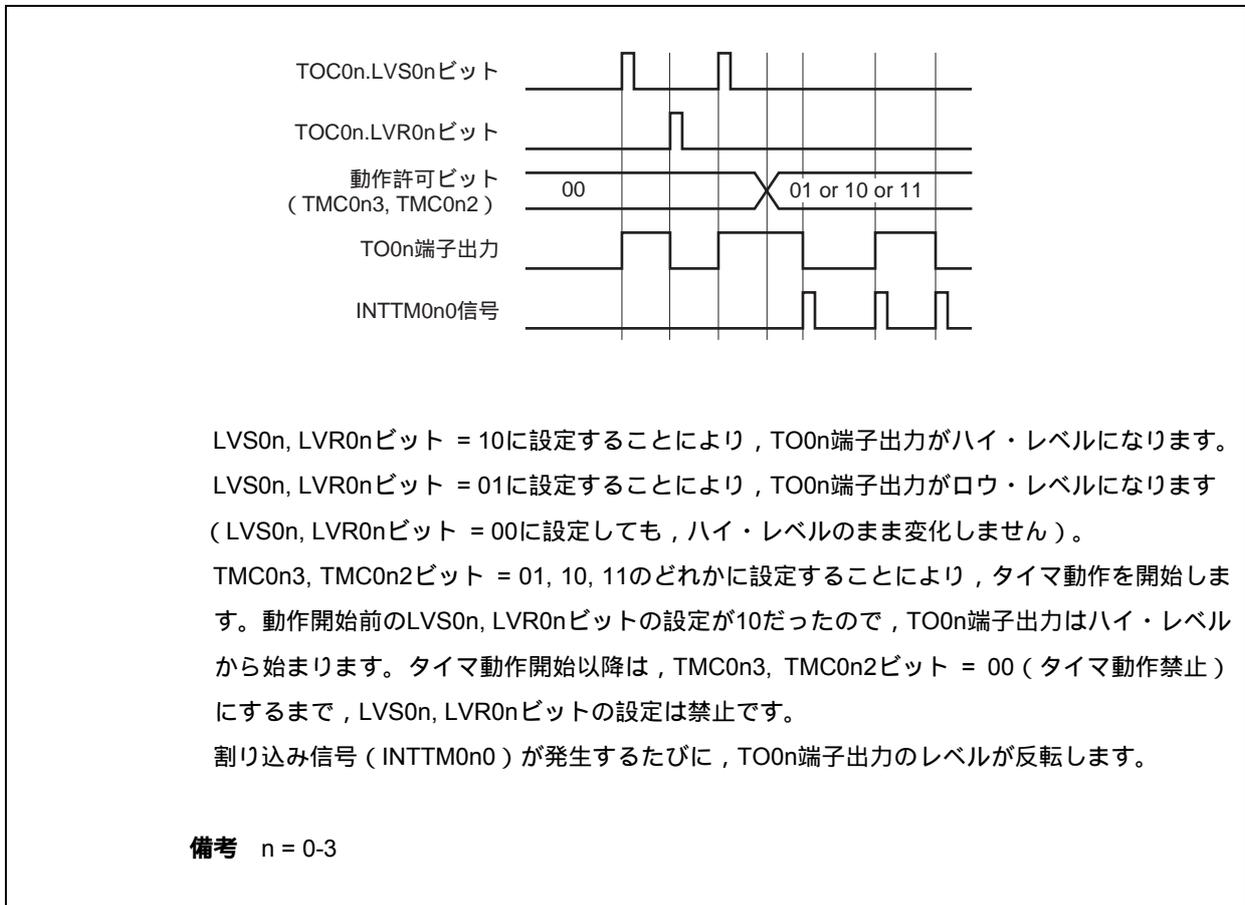


図7 - 45 LVR0n, LVS0nビットのタイミング例

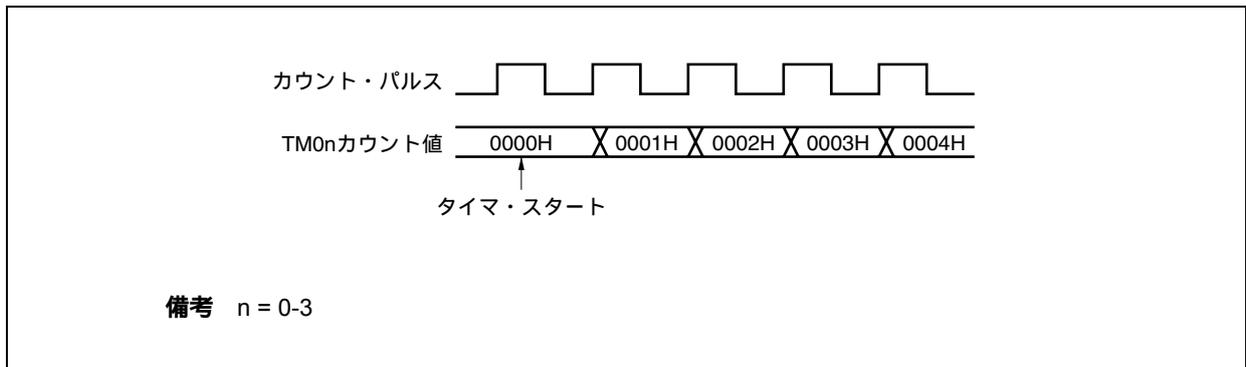


7.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nレジスタのスタートが非同期で行われるためです。

図7 - 46 TM0nレジスタのスタート・タイミング



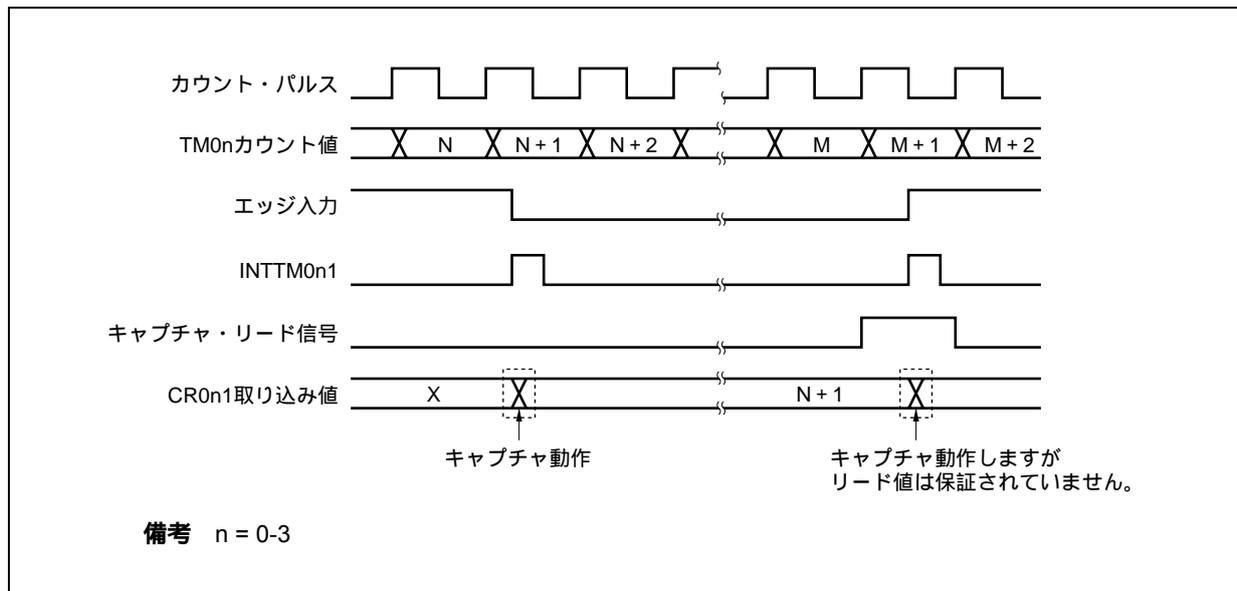
(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタの設定 (TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードの場合)

CR0n0レジスタには、0000H以外の値を設定してください (イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

(3) キャプチャ・レジスタのデータ保持タイミング

CR0n1レジスタの読み出し中にTI0n0端子の有効エッジが入力したとき、CR0n1レジスタはキャプチャ動作を行います。このときのキャプチャ値は保証されますが、リード値は保証されません。ただし、有効エッジの検出による割り込み要求信号（INTTM0n1）は発生します。

図7 - 47 キャプチャ・レジスタのデータ保持タイミング



16ビット・タイマ/イベント・カウンタ0n停止後のCR0n0, CR0n1レジスタの値は保証されません。

(4) 有効エッジの設定

TI0n0, TI0n1端子の有効エッジの設定は、TMC0n.TMC0n2, TMC0n3ビットに00を設定し、タイマ動作を停止させたあとに行ってください。有効エッジの設定は、PRM0n.ES0n0, ES0n1, ES1n0, ES1n1ビットで行います。

また、TI0n0, TI0n1端子はP98/A8-P915/A15端子と兼用しているため、TI0n0, TI0n1端子を使用する場合は、TMC0nレジスタでタイマ動作を許可する前に、PMC9m, PFC9mビットの設定でタイマ入力機能を選択してください。タイマ動作後にPMC9m, PFC9mビットを操作すると、エッジ検出動作が正しく行われません。

備考 n = 0-3, m = 8-15

(5) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力 (TM00-TM03)

ワンショット・パルスを出力しているときは、TOC0n.OSPT0nビットをセット(1)しないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとに行ってください。

備考 n = 0-3

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガが発生した場合、タイマはクリア & スタートします。

(c) ワンショット・パルス出力機能について

タイマ0のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI0n0端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので、TI0n0端子またはその兼用ポート端子のレベルでもタイマがクリア & スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

V850ES/PM1の場合、PMC9レジスタとPFC9レジスタで「タイマ入力機能」以外を選択したとき、内部のTI0n0信号レベルはロウ・レベルに固定されます。

備考 n = 0-3

(6) OVF0nフラグの動作

(a) OVF0nフラグのセット

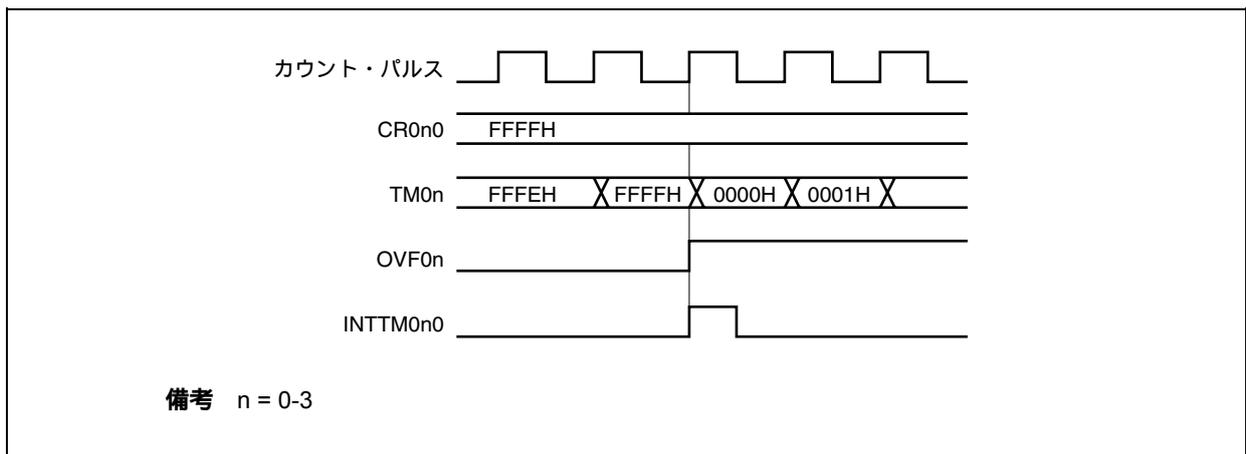
OVF0nフラグは、次のときに“1”に設定されます。

TM0nレジスタとCR0n0レジスタの一致でクリア & スタートするモード、TI0n0レジスタの有効エッジでクリア & スタート、フリー・ランニング・モードのいずれかを選択

CR0n0レジスタをFFFFHに設定

TM0nレジスタがFFFFHから0000Hにカウントアップするとき

図7 - 48 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nレジスタがオーバーフロー後、次のカウント・クロックがカウントされる（TM0nレジスタが0001Hになる）前にOVF0nフラグをクリアしても、再度セットされクリアは無効となります。

備考 n = 0-3

(7) タイマ動作**(a) CR0n1レジスタのキャプチャ**

TM0nレジスタをリードしても、CR0n1レジスタにはキャプチャしません。

(b) TI0n0, TI0n1端子の受け付け

CPUの動作モードに関係なく、タイマが停止していると、TI0n0, TI0n1端子への入力信号は受け付けられません。

(c) ワンショット・パルス出力 (TM00-TM03)

ワンショット・パルス出力は、フリー・ランニング・モードまたはTI0n0端子の有効エッジでクリア & スタート・モードでのみ正常に動作します。TM0nレジスタとCR0n0レジスタの一致でクリア & スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

備考 n = 0-3

(8) キャプチャ動作**(a) カウント・クロックにTI0n0端子の有効エッジを指定した場合**

カウント・クロックにTI0n0端子の有効エッジを指定した場合、TI0n0端子をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI0n0端子の有効エッジを立ち上がり、立ち下りの両エッジに指定した場合

TI0n0端子の有効エッジを立ち上がり、立ち下りの両エッジに指定した場合、かつCR0n0レジスタのキャプチャ・トリガをTI0n0有効エッジの逆相に指定した場合には、キャプチャ動作は行いません。

(c) TI0n1, TI0n0端子からの信号を確実にキャプチャ動作する場合

確実にキャプチャするためのキャプチャ・トリガは、PRM0nレジスタで選択したカウント・クロックの2回分より長いパルスが必要とします。

(d) 割り込み要求入力

キャプチャ動作はカウント・クロックの立ち下りで行われますが、割り込み要求信号 (INTTM0n0, INTTM0n1) は次のカウント・クロックの立ち上がりで発生します。

(e) CRC0n.CRC0n1ビット = 1に設定したときの注意

TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。

備考 n = 0-3

(9) コンペア動作

コンペア・モードに設定したCR0n0, CR0n1レジスタは, キャプチャ・トリガが入力されていてもキャプチャ動作を行いません。

備考 n = 0-3

(10) エッジ検出

TI0n0端子の有効エッジをカウント・クロックで使用する場合と, キャプチャ・トリガとして使用する場合で, ノイズ除去のためのサンプリング・クロックが異なります。前者はf_{xx}で, 後者はPRM0nレジスタで選択したカウント・クロックでサンプリングします。有効エッジの検出は, 有効エッジをサンプリングして2回有効レベルを検出すると, はじめてキャプチャ動作するため, 短いパルス幅のノイズを除去できます。

備考1. f_{xx}: メイン・クロック周波数

2. n = 0-3

第8章 16ビット・タイマ/イベント・カウンタ10, 11

8.1 特 徴

16ビット・タイマ/イベント・カウンタ10, 11は、次の動作を行うことができます。

- ・インターバル・タイマ機能
- ・PWM出力
- ・外部信号の周期測定

8.2 機能概要

16ビット・タイマ/カウンタ

キャプチャ/コンペア共用レジスタ：各2本×2チャンネル

割り込み要求ソース

- ・キャプチャ/一致割り込み要求：各2本×2チャンネル
- ・オーバフロー割り込み要求：各1本×2チャンネル

タイマ/カウンタのカウント・クロック・ソース：2種

(外部パルス入力、内部システム・クロックの分周を選択)

タイマ/カウンタがオーバフローしたときの動作モードを、フリー・ランニング・モード/オーバフロー・ストップ・モードの2種類から選択可能

タイマ/カウンタとコンペア・レジスタの一致でタイマ/カウンタをクリア可能

外部パルス出力：各1本×2チャンネル

8.3 構成

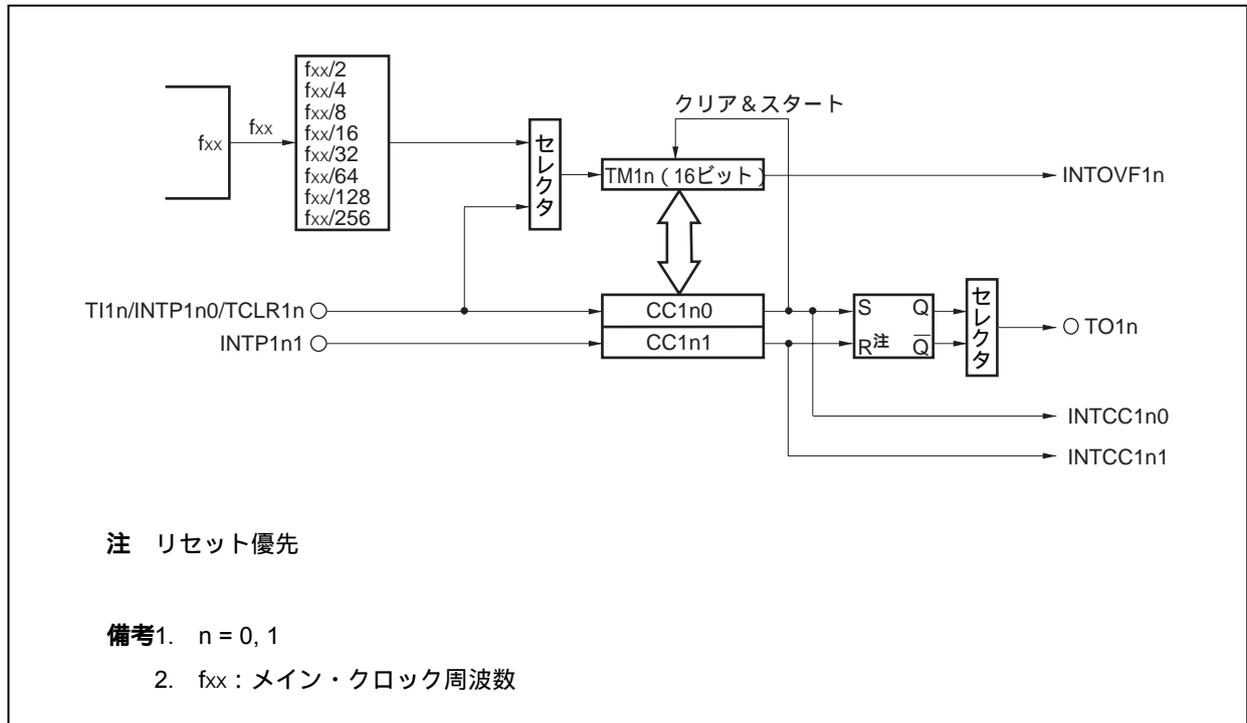
表8 - 1 16ビット・タイマ/イベント・カウンタ10, 11の構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R
TM10, TM11	f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256	TM10	リード	INTOVF10	-	-
		CC100	リード/ライト	INTCC100	INTP100	TO10 (S)
		CC101	リード/ライト	INTCC101	INTP101	TO10 (R)
		TM11	リード	INTOVF11	-	-
		CC110	リード/ライト	INTCC110	INTP110	TO11 (S)
		CC111	リード/ライト	INTCC111	INTP111	TO11 (R)

備考 f_{xx} : 内部システム・クロック

S/R : セット/リセット

図8 - 1 16ビット・タイマ/イベント・カウンタ1nのブロック図



(1) 16ビット・タイマ・カウンタ10, 11 (TM10, TM11)

TM1nレジスタは、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測のほか、パルス出力としても利用できます (n = 0, 1)。

TM1nレジスタは16ビット単位でリードだけ可能です。

- 注意1.** TM1nレジスタはリードだけ可能です。TM1nレジスタに書き込みを行うと、その後の動作は不定となります。
2. TMC1n0.TM1CAEnビットをクリア (0) すると、非同期でリセットされます。
 3. メイン・クロック停止、サブクロック動作時に、TM1nレジスタにウエイトが発生する方法でアクセスしないでください。
詳細は、3.4.8 (2) を参照してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM10																	FFFFFF600H	0000H
TM11																	FFFFFF610H	0000H

(a) カウント・クロックの選択

TM1nレジスタは、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、TMC1n0.TM1CEnビットで制御します (n = 0, 1)。

カウント・クロックの内部/外部の選択は、TMC1n1.ETI1nビットによって行います (n = 0, 1)。

(i) 外部カウント・クロックを選択

TM1nレジスタは、イベント・カウンタとして動作します。

TMC1n1.ETI1nビットをセット (1) した場合、内部カウント・クロックに同期してTM1nレジスタは外部クロック入力(TI1n)の有効エッジ・カウント動作を行います。有効エッジの指定は、SES1nレジスタによって行います (n = 0, 1)。

注意 INTP1n0/TI1n/TCLR1n端子をTI1n (外部クロック入力端子) として使用する場合は、INTP1n0端子の割り込みを禁止し、CC1n0レジスタをコンペア・モードにしてください (n = 0, 1)。

(ii) 内部カウント・クロックを選択

TM1nレジスタは、フリー・ランニング・タイマとして動作します。

TMC1n1レジスタでカウント・クロックを内部クロックに指定した場合、TMC1n0.CS1n0-CS1n2ビットで指定した入力クロックの周期ごとにTM1nレジスタはカウント・アップします ($n = 0, 1$)。

カウント・クロックは、プリスケアラによる分周を、TMC1n0レジスタにより $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$ から選択できます (f_{xx} : 内部システム・クロック)。

タイマがオーバーフローすると、オーバーフロー割り込みを発生させることができます。また、TMC1n1.OST1nビットをセット (1) することにより、オーバーフロー後にタイマを停止させることができます。

注意 タイマ動作中はカウント・クロックを変更できません。

(b) TM1nレジスタが0000Hになる条件

(i) 非同期リセット

- ・ TMC1n0.TM1CAEnビット = 0
- ・ リセット入力

(ii) 同期リセット

- ・ TMC1n0.TM1CEnビット = 0
- ・ CC1n0レジスタをコンペア・レジスタとして使用し、かつTM1nレジスタのクリアを許可 (TMC1n1.CCLR1nビット = 1) しているときのTM1nレジスタとCC1n0レジスタとの一致

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ1n0, 1n1 (CC1n0, CC1n1) (n = 0, 1)

CC1n0, CC1n1レジスタは、16ビットのキャプチャ/コンペア・レジスタです。

TMC1n1.CMS1n0, CMS1n1ビットの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます (n = 0, 1)。

16ビット単位でリード/ライト可能です (ただし、ライト動作はコンペア・モード時のみ可能です)。

リセットにより0000Hになります。

注意 メイン・クロック停止, サブクロック動作時に, CC1n0, CC1n1レジスタにウエイトが発生する方法でアクセスしないでください。

詳細は, 3.4.8 (2) を参照してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC1n0																	CRC100 FFFFFFF602H, CRC110 FFFFFFF612H	0000H
CC1n1																	CRC101 FFFFFFF604H, CRC111 FFFFFFF614H	0000H

備考 n = 0, 1

(a) キャプチャ・レジスタに設定 (TMC1n1.CMS1n0, CMS1n1 = 0)

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP1n0, INTP1n1信号の有効エッジをキャプチャ・トリガとして検出します。キャプチャ・トリガに同期して、TM1nレジスタの値をCC1n0, CC1n1レジスタにラッチします (キャプチャ動作)。

INTP1n0端子の有効エッジはSES1n.IES1n01, IES1n00ビットで、INTP1n1端子の有効エッジはSES1n.IES1n11, IES1n10ビットで指定 (立ち上がり, 立ち下がり, 両エッジ) します (n = 0, 1)。

キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます (n = 0, 1)。

TMC1n0.TM1CAEnビットが0の場合、0000Hがリードされます (n = 0, 1)。

キャプチャ・レジスタに指定したときは、INTP1n0, INTP1n1信号の有効エッジ検出で割り込みを発生します (n = 0, 1)。

注意 キャプチャ動作とTM1nレジスタのカウント禁止の設定 (TMC1n0.TM1CEnビット = 0) のタイミングが競合した場合には、キャプチャされたデータは不定になります。また、INTCC1n0, INTCC1n1割り込みは発生しません (n = 0, 1)。

(b) コンペア・レジスタに設定 (TMC1n1.CMS1n0, CMS1n1 = 1)

コンペア・レジスタに設定した場合は、カウント・クロックごとにTM1nレジスタとコンペア・レジスタ値の比較動作を行い、一致による割り込みを発生します。TMC1n1.CCLR1nビットがセット(1)されている場合、CC1n0レジスタの一致と同時に、TM1nレジスタの値をクリア(0000H)します(CC1n1レジスタの一致ではTM1nレジスタはクリア(0000H)されません)(n = 0, 1)。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号の発生に同期して、対応するタイマ出力(TO1n)をセットまたはリセットします(n = 0, 1)。

割り込み選択ソースは選択したレジスタの機能で異なります。

- 注意1.** CC1n0, CC1n1レジスタにライトする場合は、必ずTM1CAEnビットを1に設定してから行ってください。TM1CAEnビットが0の場合、ライトしたデータは無効になります。
2. CC1n0, CC1n1レジスタへのライト動作は、TMC1n0, TMC1n1レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき(TMC1n1.CMS1n0, CMS1n1ビット = 0)に、CC1n0, CC1n1レジスタにライトしても、そのデータは書き込まれません。
 3. コンペア・レジスタに設定した場合は、INTP1n0, INTP1n1端子はキャプチャ・トリガ入力端子として使用できません(n = 0, 1)。

8.4 レジスタ

(1) 16ビット・タイマ・モード・コントロール・レジスタ100, 110 (TMC100, TMC110)

TMC1n0レジスタは、16ビット・タイマ/イベント・カウンタ1nの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** TM1CAEnビットとその他のビットは同時にはセットできません。必ずTM1CAEnビットをセットしたあとにその他のビットおよびその他のTM1nユニットのレジスタを設定してください。また、16ビット・タイマ/イベント・カウンタを使用する際にタイマ機能に関連する外部端子を使用する場合には、必ず外部端子をコントロール・モードに設定したあとTM1CAEnビットをセット(1)してください。
2. オーバフロー発生とTMC1n0レジスタのライトが競合した場合、OVF1nビット値は保証されません (n = 0, 1)。
 3. メイン・クロック停止、サブクロック動作時に、TMC1n0レジスタにウエイトが発生する方法でアクセスしないでください。
詳細は、3.4.8(2)を参照してください。

(1/2)

リセット時 : 00H R/W アドレス : TMC100 FFFFF606H, TMC110 FFFFF616H								
	⑦	6	5	4	3	2	①	①
TMC1n0 (n = 0, 1)	OVF1n	CS1n2	CS1n1	CS1n0	0	0	TM1CEn	TM1CAEn
	OVF1n	TM1nレジスタのオーバフロー検出						
	0	オーバフロー発生なし						
	1	オーバフロー発生						
<p>TM1nレジスタがFFFFHから0000Hにカウント・アップしたタイミングで、OVF1nビットは1になります。同時にオーバフロー割り込み要求 (INTOVF1n) を発生します。ただし、CC1n0レジスタをコンペア・モード (TMC1n1.CMS1n0ビット = 1) かつ、TM1nレジスタとCC1n0レジスタのコンペア時の一致クリアを許可 (TMC1n1.CCLR1nビット = 1) に設定し、FFFFHでの一致後にTM1nレジスタを0000Hにクリアする場合は、TM1nレジスタのクリアとみなし、OVF1nビットは1になりません。また、INTOVF1n割り込みも発生しません。</p> <p>OVF1nビットは、0をライトまたはTM1CAEnビット = 0で非同期リセットをかけるまで1を保持します。また、オーバフローによる割り込み動作とOVF1nビットは独立しており、OVF1nビットを操作してもINTOVF1nに対する割り込み要求フラグ (OVFIF1n) には影響を与えません。OVF1nビットを読み出し中にオーバフローが発生した場合は、フラグの値は変化して次の読み出し時に反映されます。</p>								

CS1n2	CS1n1	CS1n0	内部カウント・クロックの選択
0	0	0	f _{xx} /2
0	0	1	f _{xx} /4
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	f _{xx} /32
1	0	1	f _{xx} /64
1	1	0	f _{xx} /128
1	1	1	f _{xx} /256

TM1CEn	TM1nレジスタの動作の制御
0	カウント禁止 (0000Hで停止し, 動作しません。)
1	カウント動作

TM1CEnビット = 0の場合は, 外部パルス出力 (TO1n) はインアクティブ・レベルになります。(TO1n出力のアクティブ・レベルはTMC1n1.ALV1nビットで設定します)。

TM1CAEn	内部カウント・クロックの制御
0	TM1nユニット全体を非同期リセット。TM1nユニットへのクロック供給を停止
1	クロックをTM1nユニットへ供給

- ・ TM1CAEnビット = 0にすると, TM1nユニットを非同期にリセットできます。
- ・ TM1CAEnビット = 0の場合, TM1nユニットはリセット状態なので, TM1nを動作させる場合には, まずTM1CAEnビット = 1にしてください。
- ・ TM1CAEnビットを1から0にした場合はTM1nユニットのすべてのレジスタが初期化されます。再度TM1CAEnビット = 1にした場合には, 必ずTM1nユニットのすべてのレジスタを再設定してください。

(2) 16ビット・タイマ・モード・コントロール・レジスタ101, 111 (TMC101, TMC111)

TMC1n1レジスタは、16ビット・タイマ/イベント・カウンタ1nの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

リセットにより20Hになります。

- 注意1.** タイマ動作中に、TMC1n1レジスタの各ビットを変更しないでください。変更する場合は、TMC1n0.TM1CEnビットを0にしてから行ってください。タイマ動作中にTMC1n1レジスタを書き換えた場合の動作は保証できません (n = 0, 1)。
2. ENTO1nビットとALV1nビットを同時に変更した場合、TO1n端子出力にグリッジ（ヒゲ状のノイズ）が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENTO1nビットとALV1nビットを同時に変更しないようにしてください (n = 0, 1)。
 3. TO1n出力は外部割り込み信号 (INTP1n0, INTP1n1) では変化しません。TO1n信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定 (TMC1n1.CMS1n0, CMS1n1ビット = 1) してください (n = 0, 1)。

(1/2)

リセット時 : 20H R/W アドレス : TMC101 FFFFF608H, TMC111 FFFFF618H								
	7	6	5	4	3	2	1	0
TMC1n1 (n = 0, 1)	OST1n	ENTO1n	ALV1n	ETI1n	CCLR1n	ECLR1n	CMS1n1	CMS1n0
	OST1n	TM1nレジスタのオーバーフロー時の動作設定						
	0	オーバーフロー後、カウント継続 (フリー・ランニング・モード)						
	1	オーバーフロー後、タイマは0000Hを保持しカウント停止 (オーバーフロー・ストップ・モード)						
	OST1nビット = 1のときTMC1n0.TM1CEnビットは1のままです。 TM1CEnビットに再度1を書き込むことによりカウントを開始します。							
	ENTO1n	外部パルス出力 (TO1n) の出力の許可 / 禁止						
	0	外部パルス出力禁止						
	1	外部パルス出力許可						
	<ul style="list-style-type: none"> ・ ENTO1nビット = 0のときTO1n端子にはALV1nビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTO1n端子のレベルは変化しません。 ・ ENTO1nビット = 1のときコンペア・レジスタの一致により、TO1n出力が変化します。ただし、キャプチャ・モードのときには、TO1n出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは、ALV1nビットのインアクティブ・レベルが出力されます。 ・ CC1n0, CC1n1レジスタのどちらかをキャプチャ・レジスタに指定した場合は、ENTO1nビット = 0に設定してください。 							

ALV1n	外部パルス出力 (TO1n) のアクティブ・レベルの指定
0	ロウ・レベル
1	ハイ・レベル
ALV1nビットの初期値は“1”です。	

ETI1n	カウント・クロックの外部 / 内部切り替え指定
0	入力クロック (内部) 指定
1	外部クロック (TI1n0) 指定
<ul style="list-style-type: none"> ETI1nビット = 0のときTMC1n0.CS1n2-CS1n0ビットの指定により内部カウント・クロックを選択できます。 ETI1nビット = 1のときSES1n.TES1n1, TES1n0ビットの指定により有効エッジを選択できます。 	

CCLR1n	コンペア動作時のTM1nレジスタのクリアの許可 / 禁止指定
0	クリア禁止
1	クリア許可 (コンペア動作時にCC1n0レジスタとTM1nレジスタが一致するとTM1nレジスタをクリア)

ECLR1n	外部クリア入力 (TCLR1n) によるTM1nレジスタのクリアの許可 / 禁止指定
0	クリア禁止
1	クリア許可 (クリア後, カウントを再開)

CMS1n1	16ビット・タイマ・キャプチャ/コンペア・レジスタ (CC1n1) の動作モード選択
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

CMS1n0	16ビット・タイマ・キャプチャ/コンペア・レジスタ (CC1n0) の動作モード選択
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

備考 TO1n出力のフリップフロップは, リセットが優先されます (n = 0, 1)。

(3) 有効エッジ選択レジスタ10, 11 (SES10, SES11)

外部端子による外部割り込み要求 (INTP100, INTP101, INTP110, INTP111, TI10, TI11, TCLR10, TCLR11) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 タイマ動作中に、SES1nレジスタの各ビットを変更しないでください。変更する場合は、TMC1n0.TM1CEnビットを0にしてから行ってください。タイマ動作中にSES1nレジスタを書き換えた場合の動作は保証できません。

リセット時 : 00H R/W アドレス : SES10 FFFFF609H, SES11 FFFFF619H

7	6	5	4	3	2	1	0	
SES1n	TES1n1	TES1n0	CES1n1	CES1n0	IES1n11	IES1n10	IES1n01	IES1n00

(n = 0,1)

TES1n1	TES1n0	TI1n端子の有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

CES1n1	CES1n0	TCLR1n端子の有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

IES1n11	IES1n10	INTP1n1端子の有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

IES1n01	IES1n00	INTP1n0端子の有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

8.5 動作

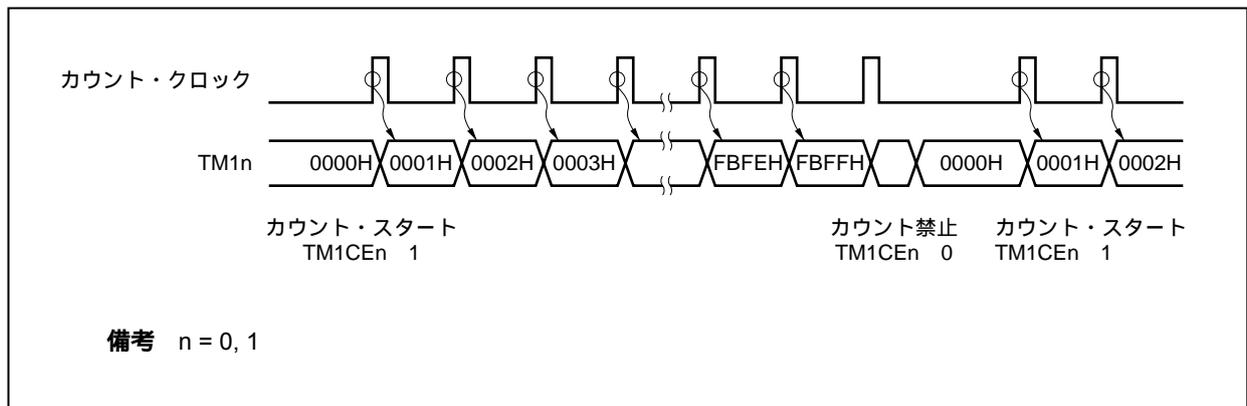
(1) カウント動作

16ビット・タイマ/イベント・カウンタ1nは、16ビットのフリー・ランニング・タイマ、または外部信号のイベント・カウンタとして機能します。動作の設定は、TMC1n0, TMC1n1レジスタで指定します (n = 0, 1)。

フリー・ランニング・タイマとして動作する場合、CC1n0, CC1n1レジスタとTM1nレジスタのカウンタ値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号 (TO1n) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM1nレジスタのカウンタ値をCC1n0, CC1n1レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

注意 INTP1n0/TI1n0端子をTI1n0 (外部クロック入力端子) として使用する場合は、INTP1n0の割り込みを禁止し、CC1n0をコンペア・モードにしてください (n = 0, 1)。

図8 - 2 16ビット・タイマ/イベント・カウンタの基本動作



(2) オーバフロー

TM1nレジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に、TMC1n0.OVF1nビットをセット(1)します。同時にオーバフロー割り込み(INTOVF1n)を発生します。ただし、CC1n0レジスタをコンペア・モード(TMC1n1.CMS1n0ビット = 1)かつFFFFHに設定し、一致クリアが有効(TMC1n1.CCLR1nビット = 1)な場合に、TM1nレジスタがFFFFHから0000Hに変化した場合は、TM1nレジスタのクリアとみなし、OVF1nビットをセット(1)しません。また、INTOVF1nも発生しません。

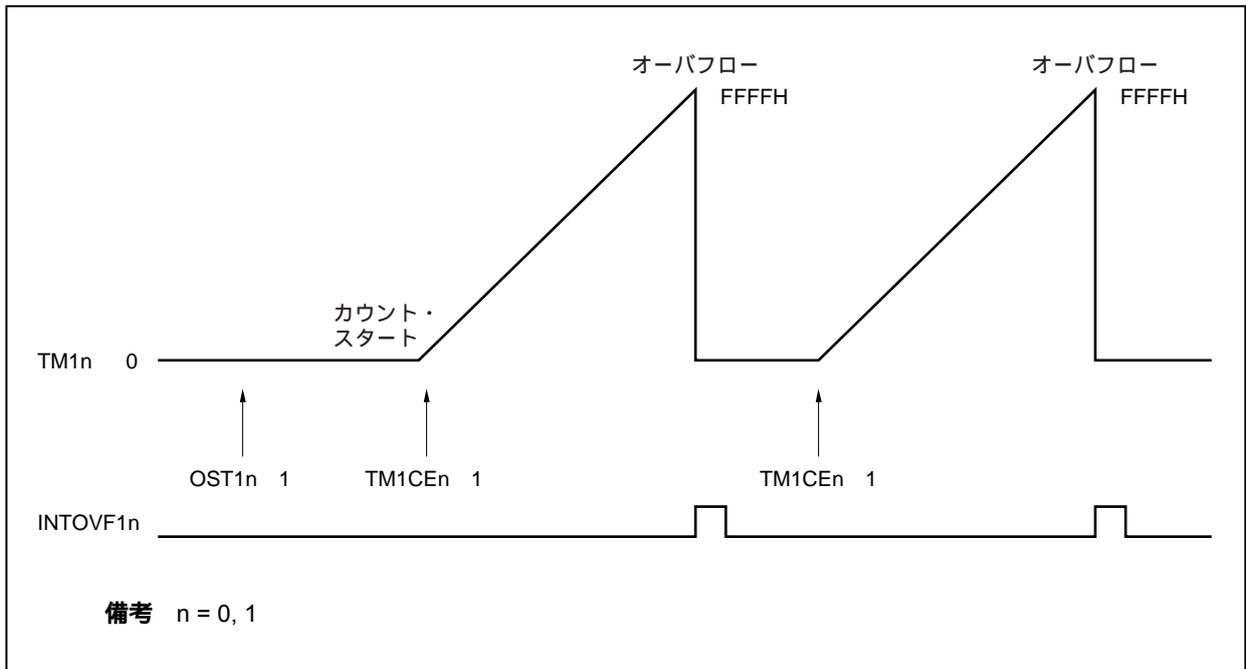
TMC1n0.TM1CEnビットを1 0に変更することにより、TM1nレジスタがFFFFHから0000Hに変化した場合も、TM1nレジスタのクリアとみなし、OVF1nビットをセット(1)せず、INTOVF1n割り込みも発生しません。

また、TMC1n1.OST1nビットをセット(1)することで、オーバフロー後、タイマを停止させることができます。オーバフローによりタイマが停止した場合、TM1CEnビットを再度セット(1)するまでカウント動作を再開しません。

なお、カウント動作中にTM1CEnビットをセット(1)しても動作に影響はありません。

備考 n = 0, 1

図8 - 3 オーバフロー後の動作 (OST1n = 1の場合)



(3) キャプチャ動作

TM1nレジスタは、CC1n0レジスタとCC1n1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMC1n1.CMS1n1, CMS1n0ビットにより、キャプチャ動作またはコンペア動作に設定します。CMS1n1, CMS1n0ビットに0を設定すると、キャプチャ・レジスタとして動作します。

外部トリガに同期して、TM1nレジスタのカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子 (INTP1n0, INTP1n1) から検出された有効エッジを使用します (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウンタ中のTM1nレジスタのカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTP1n0, INTP1n1信号入力により割り込み要求 (INTCC1n0, INTCC1n1) を発生します。

キャプチャ・トリガの有効エッジは、SES1nレジスタにより設定します。

立ち上がり/立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

備考 n = 0, 1

図8 - 4 キャプチャ動作例 (TM11の場合)

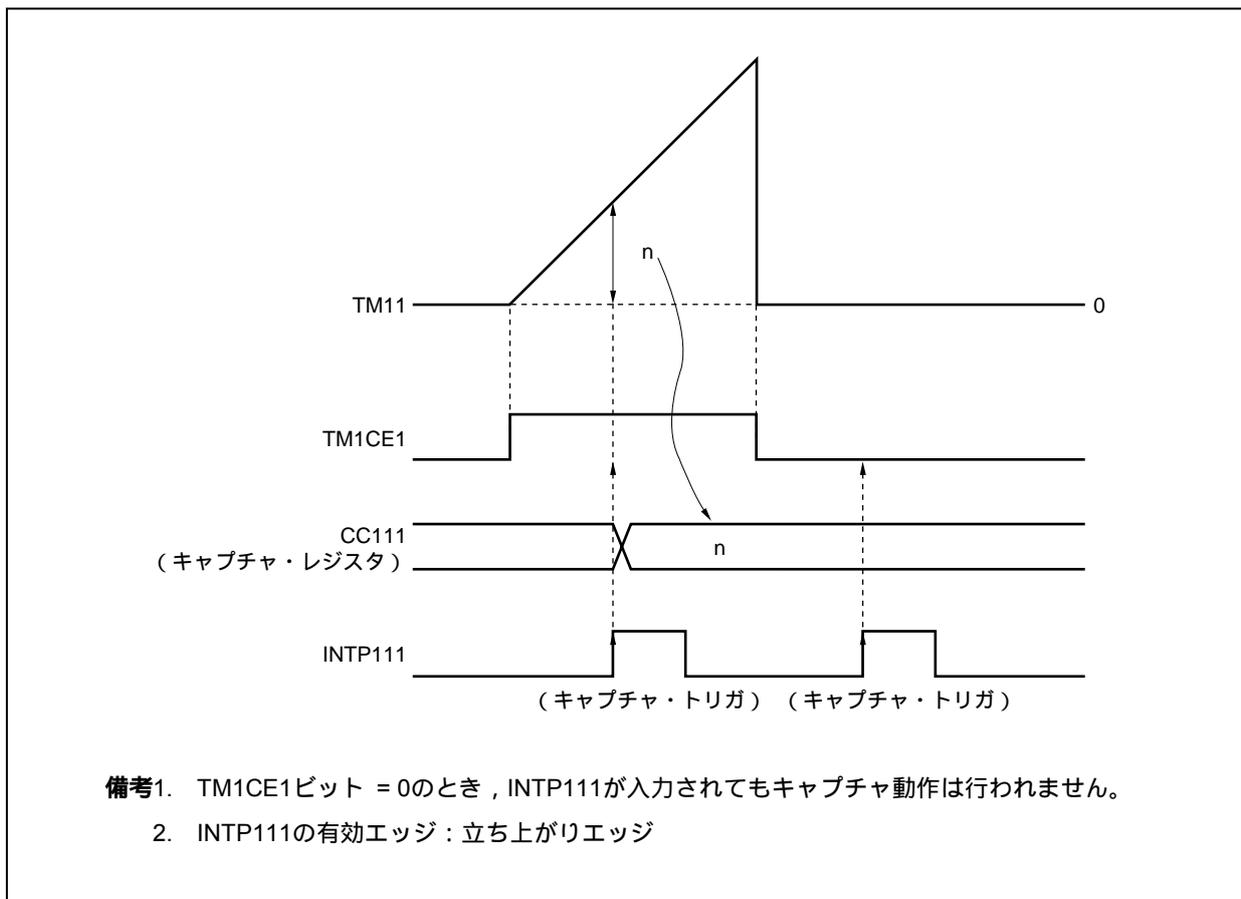
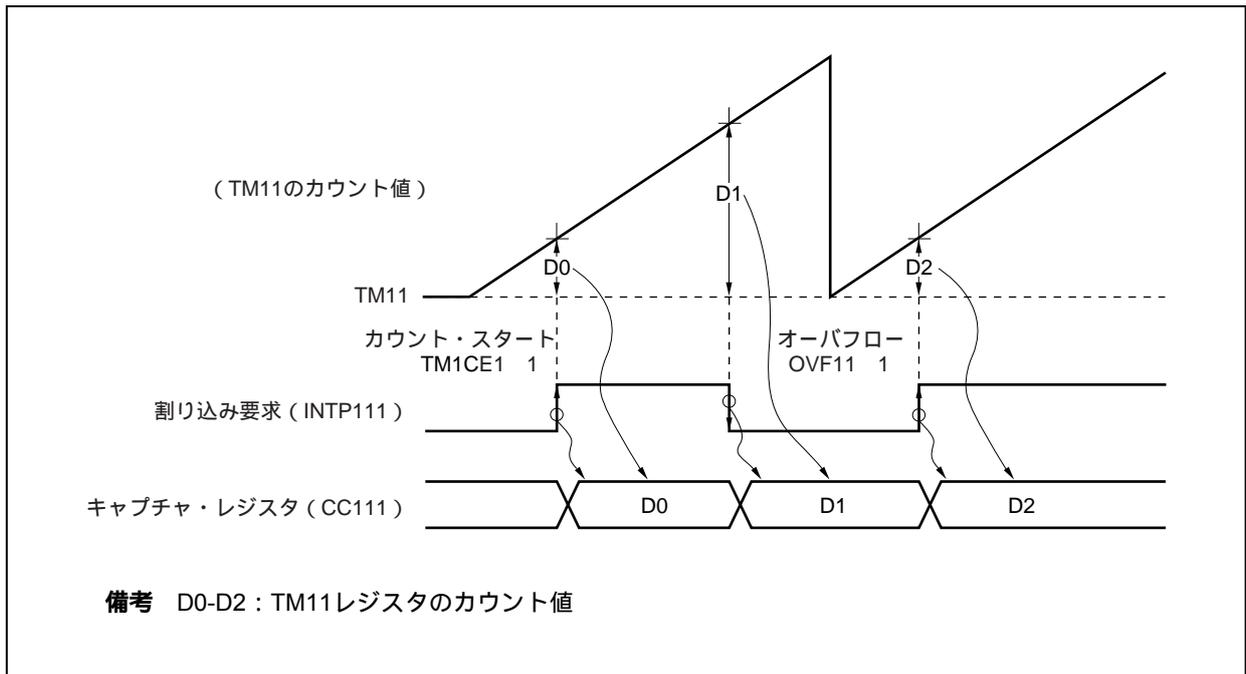


図8-5 TM11キャプチャ動作例（両エッジ指定時）



(4) コンペア動作

16ビット・タイマ/イベント・カウンタ1nは、CC1n0レジスタとCC1n1レジスタの2つの16ビット・タイマ・キャプチャ/コンペア・レジスタがあります。どちらもTMC1n1.CMS1n1, CMS1n0ビットにより、キャプチャ動作またはコンペア動作の設定をします。CMS1n1, CMS1n0ビットに1を設定すると、コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTM1nレジスタのカウンタ値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TM1nレジスタのカウンタ値が一致すると、出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子 (TO1n) を変化させ、同時に割り込み要求信号 (INTCC1nn) を発生します。

CC1n0, CC1n1レジスタに0000Hを設定した場合は、TM1nレジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合、次のカウント・タイミングでTM1nレジスタの値をクリア (0000H) しますが、このときの0000Hとは一致の判定を行いません。また、TM1nレジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CC1n0レジスタは一致クリア許可 (TMC1n1.CCLR1nビット = 1) にすると、コンペア動作中にTM1nレジスタとの一致が発生した場合にTM1nレジスタをクリアします。

備考 n = 0, 1

図8 - 6 コンペア動作例 (CCLR11ビット = 1, かつCC110が0000H以外の場合)

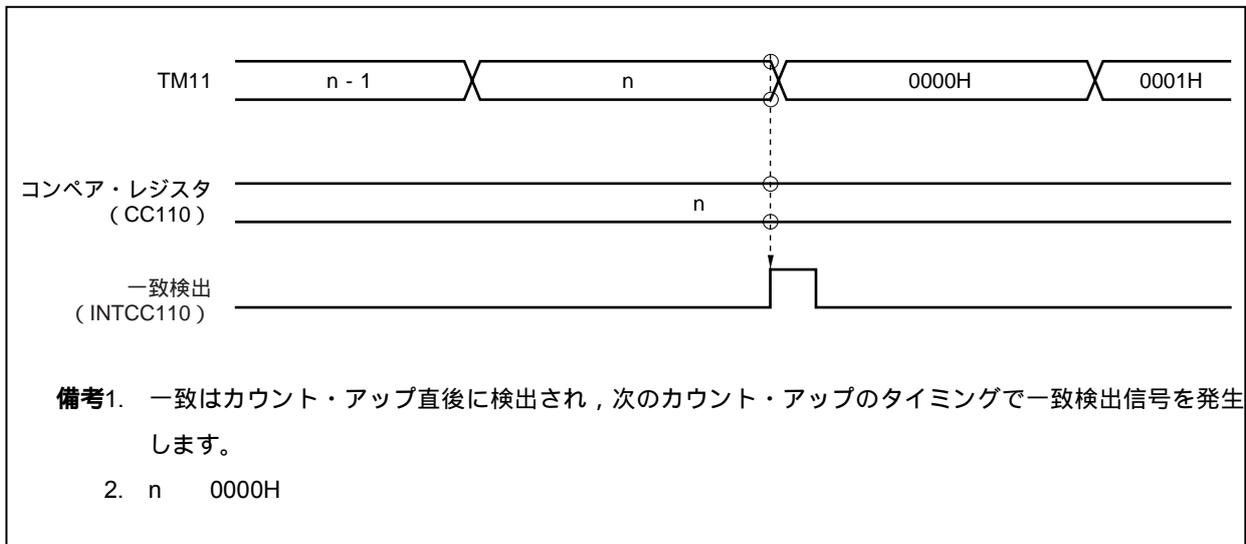
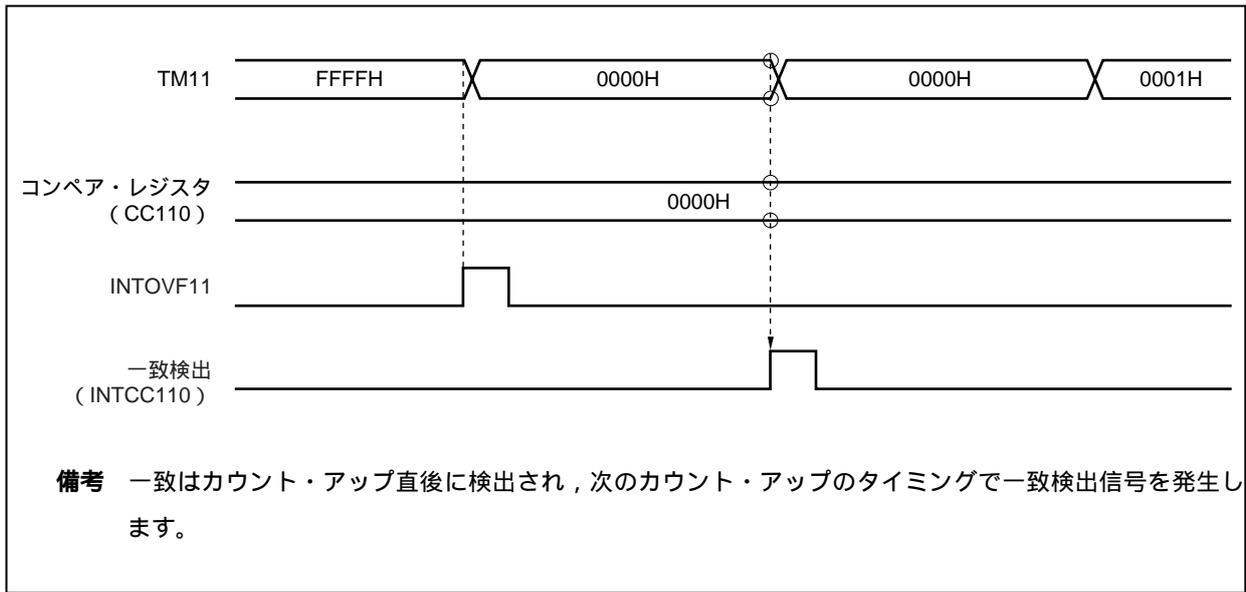


図8 - 7 コンペア動作例 (CCLR11ビット = 1, かつCC110が0000Hの場合)



(5) 外部パルス出力

16ビット・タイマ/イベント・カウンタ1nは2本のタイマ出力端子 (TO1n) を持っています。

外部パルス出力 (TO1n) は, 2つのコンペア・レジスタ (CC1n0, CC1n1) とTM1nレジスタとの一致を検出して生成します。

TM1nレジスタのカウンタ値とCC1n0レジスタの値を比較し, 一致するとTO1n端子の出力レベルをセットします。また, TM1nレジスタのカウンタ値とCC1n1レジスタの値を比較し, 一致するとTO1n端子の出力レベルをリセットします。

TO1n端子の出力レベルは, TMC1n1レジスタによって指定できます。

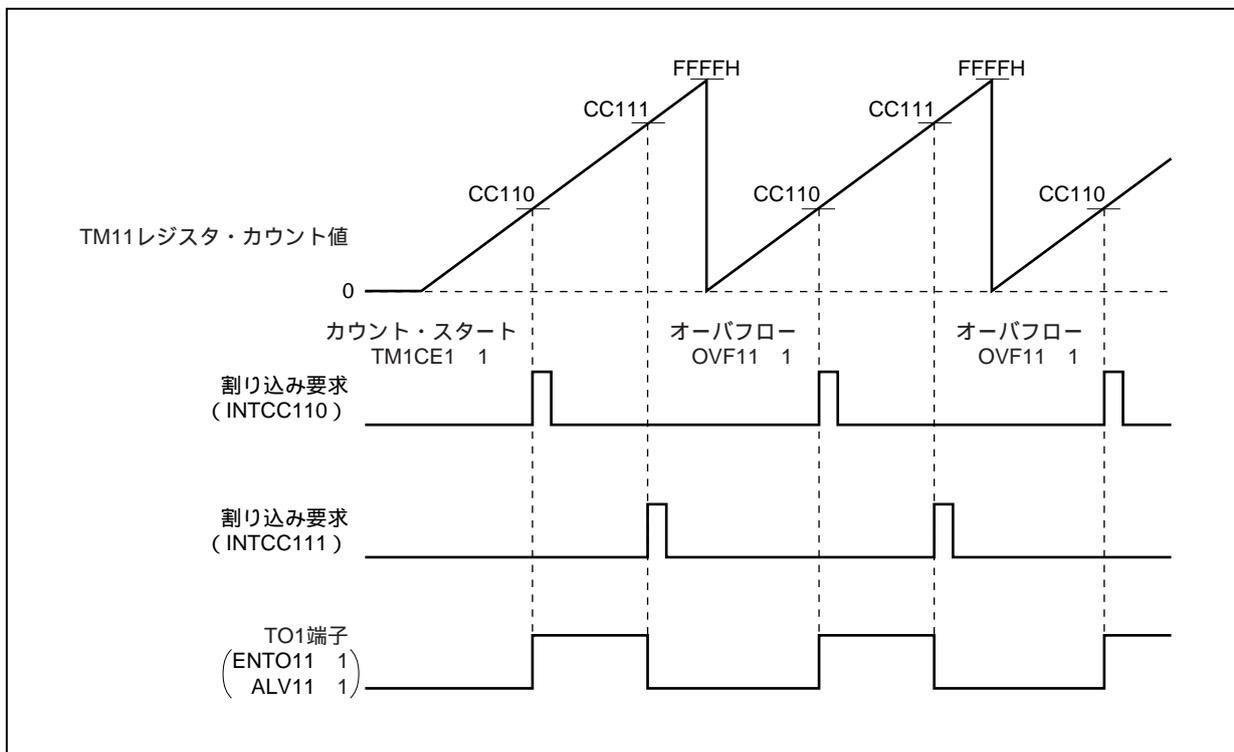
備考 n = 0, 1

表8 - 2 TO1n出力制御

ET1n	ALV1n	TO1n出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CC1n0レジスタとの一致：ロウ・レベル CC1n1レジスタとの一致：ハイ・レベル
1	1	許可	CC1n0レジスタとの一致：ハイ・レベル CC1n1レジスタとの一致：ロウ・レベル

備考 n = 0, 1

図8 - 8 TM11コンペア動作例 (セット/リセット出力モード)



8.6 使用例

(1) インターバル・タイマ

TMC1n0, TMC1n1レジスタを図8-9のように設定することにより, CC1n0レジスタにあらかじめ設定した値をインターバルとして, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TM1nレジスタのカウンタ値がCC1n0レジスタの設定値と一致すると, TM1nレジスタをクリア(0000H)してカウンタ動作を継続すると同時に, 割り込み要求信号(INTCC1n0)を発生します。

備考 n = 0, 1

図8-9 インターバル・タイマとして使用時のレジスタ設定内容

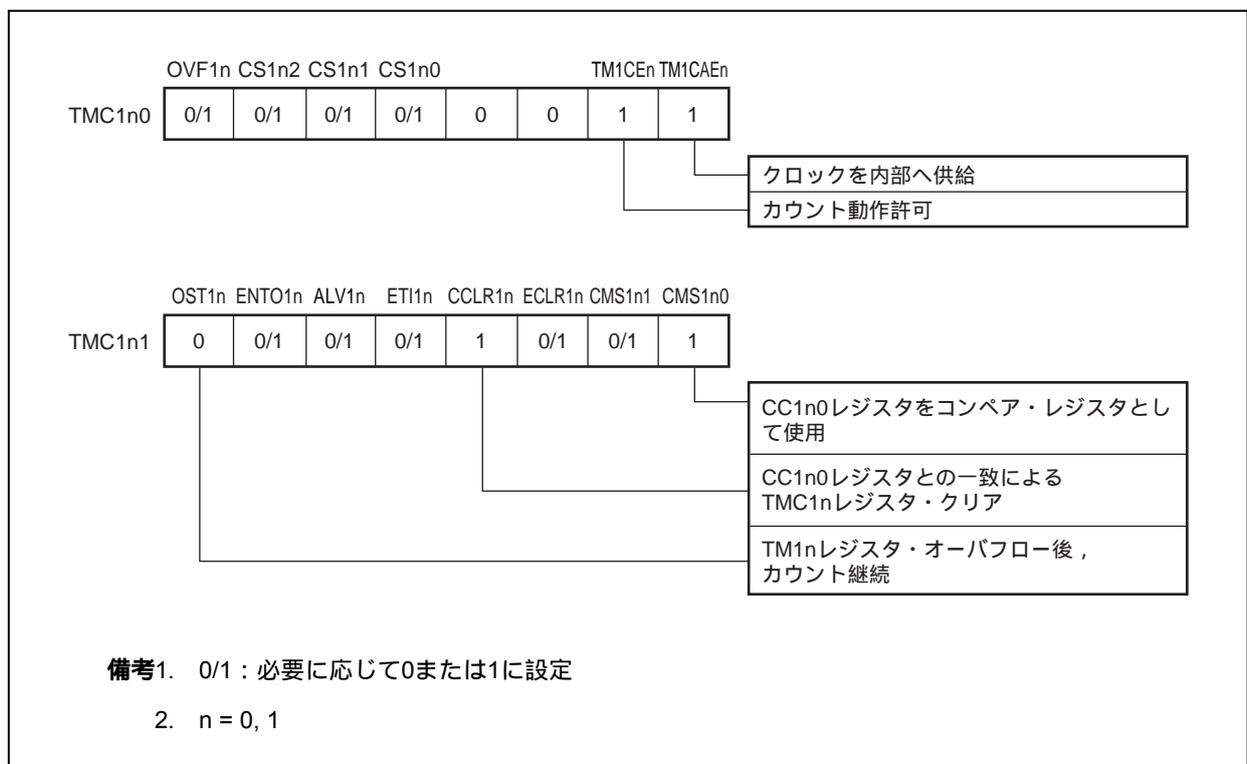
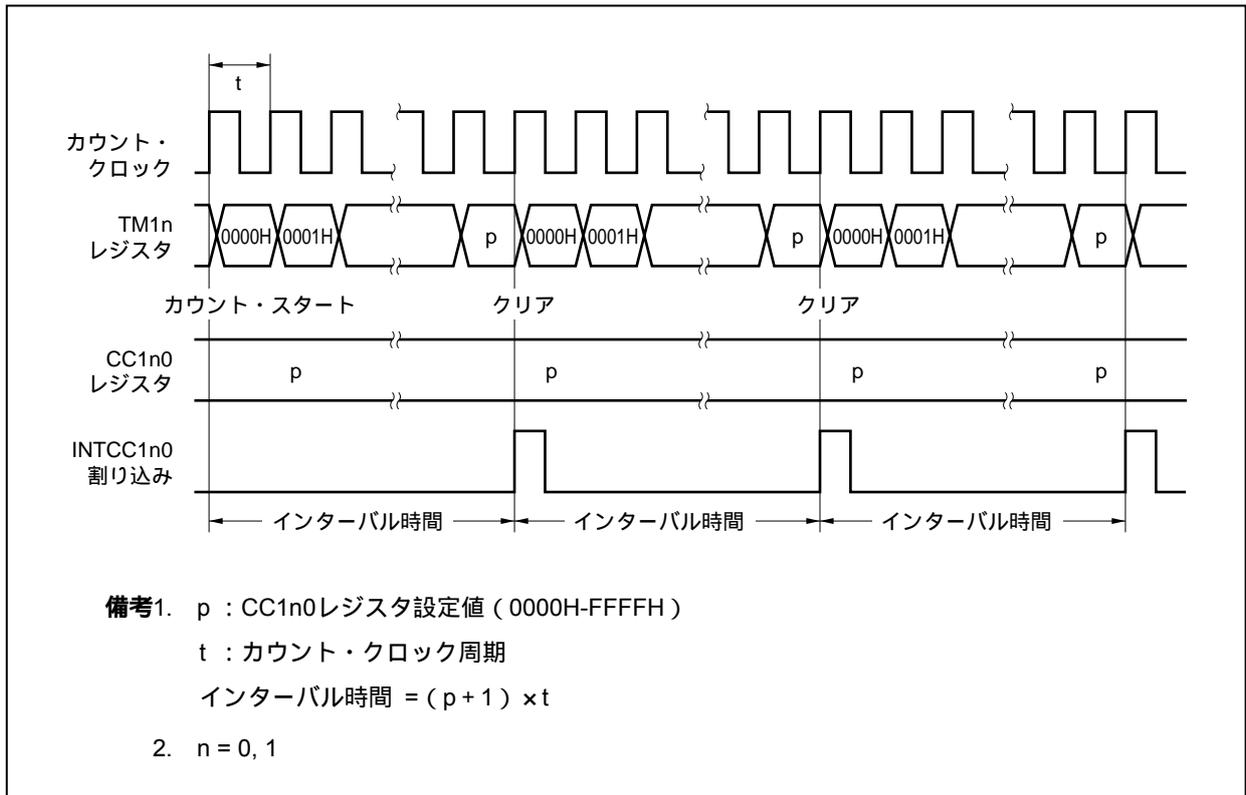


図8 - 10 インターバル・タイマ動作タイミング例



(2) PWM出力

TMC1n0, TMC1n1レジスタを図8 - 11のように設定することにより, CC1n0, CC1n1レジスタにあらかじめ設定した値をインターバルとするTMC1n0.CS1n2-CS1n0ビットの設定で決まる周波数のPWM出力が行えます。

TM1nレジスタのカウンタ値がCC1n0レジスタの設定値と一致すると, TO1n出力がアクティブになります。続いて, TM1nレジスタのカウンタ値がCC1n1レジスタの設定値と一致すると, TO1n出力がインアクティブになります。TM1nレジスタはカウンタを続け, オーバフローするとカウンタ値を0000Hにしてクリアし, カウンタを継続します。これによって, CS1n2-CS1n0ビットの設定で決まる周波数のPWM出力が可能になります。CC1n0レジスタの設定値とCC1n1レジスタの設定値が同一の場合は, TO1n出力はインアクティブのまま変化しません。

なお, TO1n出力のアクティブ・レベルはTMC1n1.ALV1nビットで設定できます。

備考 n = 0, 1

図8 - 11 PWM出力として使用時のレジスタ設定内容

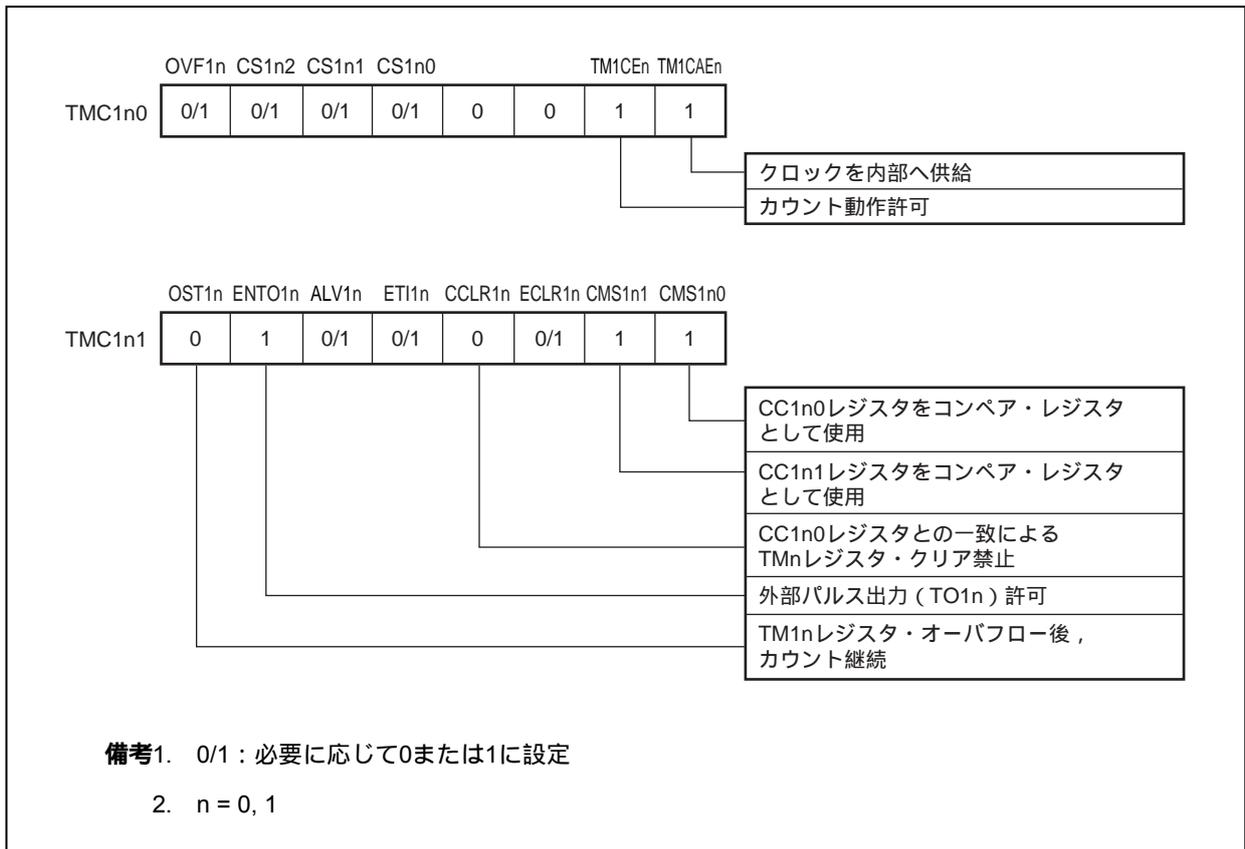
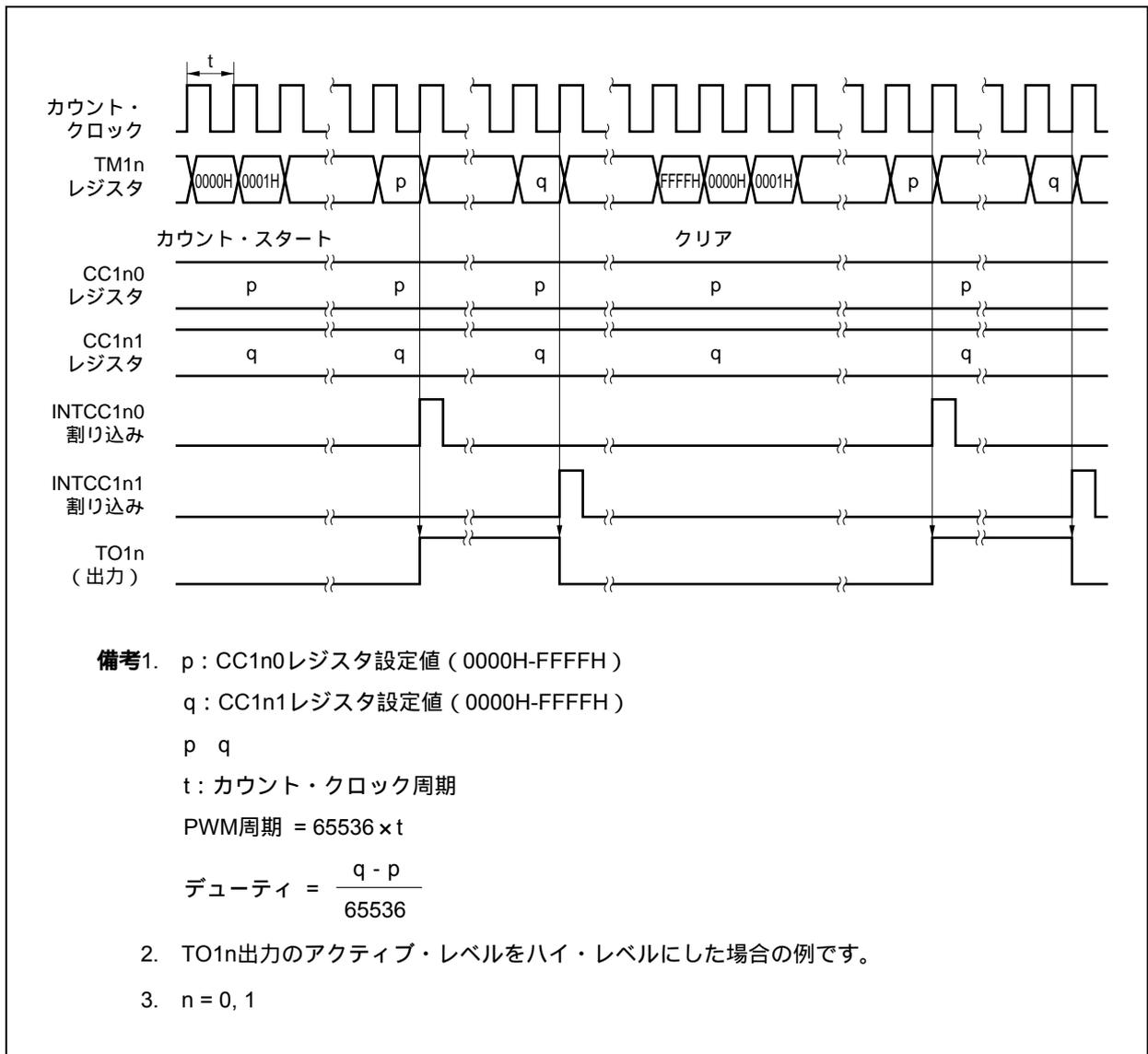


図8 - 12 PWM出力動作タイミング例



(3) ワンショット・パルス出力

TMC1n0, TMC1n1レジスタを図8 - 13のように設定することにより, TCLR1n端子の有効エッジを外部トリガとして, ワンショット・パルスをTO1n端子より出力できます。

TCLR1n端子の有効エッジは, SES1n.CES1n0, CES1n1ビットで行い, 立ち上がり, 立ち下がり, または立ち上がり / 立ち下がり両エッジの3種類から選択できます。

TCLR1n端子への有効エッジでTM1nレジスタがクリア&スタートし, CC1n0レジスタにあらかじめ設定したカウント値でTO1n出力がアクティブになります。続いて, CC1n1レジスタにあらかじめ設定したカウント値でTO1n出力がインアクティブとなります。TO1n出力のアクティブ・レベルはTMC1n1.ALV1nビットで設定できます。CC1n0レジスタの設定値とCC1n1レジスタの設定値が同一の場合は, TO1n出力はインアクティブのまま変化しません。

なお, TO1n出力のアクティブ・レベルはTMC1n1.ALV1nビットで設定できます。

備考 n = 0, 1

図8 - 13 ワンショット・パルス出力として使用時のレジスタ設定内容

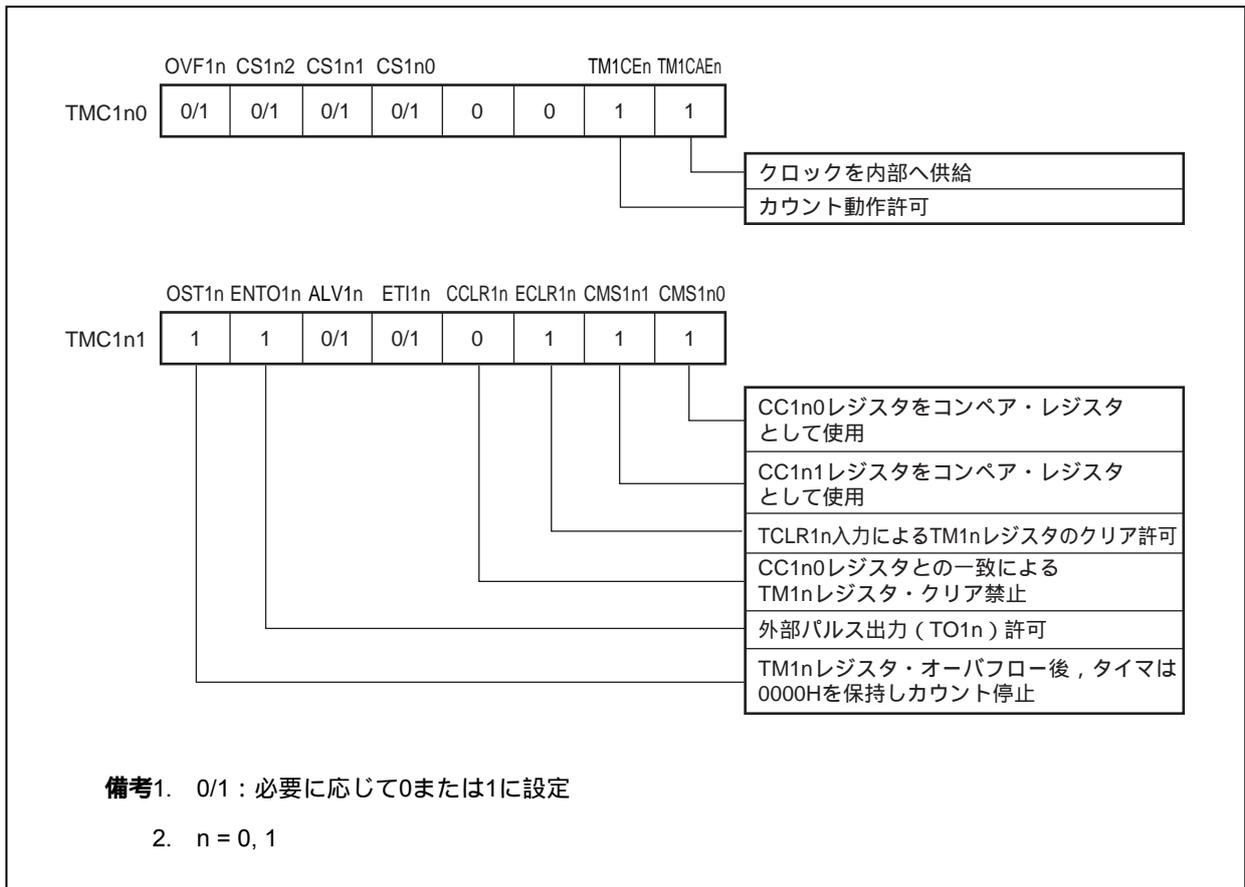
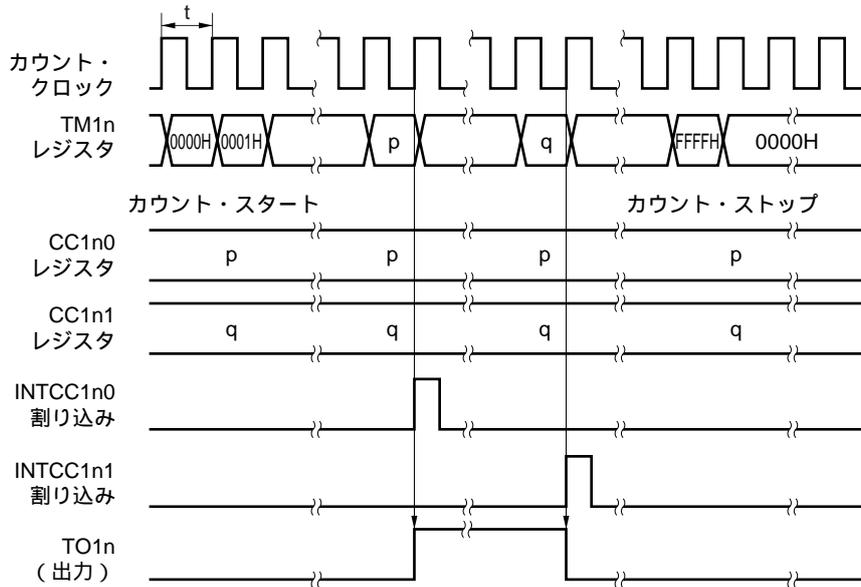


図8 - 14 ワンショット・パルス出力動作タイミング例



備考1. p : CC1n0レジスタ設定値 (0000H-FFFFH)

q : CC1n1レジスタ設定値 (0000H-FFFFH)

p q

t : カウント・クロック周期

2. TCLR1n入力有効エッジを立ち上がりエッジに , TO1n出力のアクティブ・レベルをハイ・レベルにした場合の例です。

3. n = 0, 1

(4) 周期測定

TMC1n0, TMC1n1レジスタを図8 - 15のように設定することにより, INTP1n0端子, またはINTP1n1端子に入力する信号の周期を測定することができます。

INTP1n0端子の有効エッジは, SES1n.IES1n01, IES1n00ビットで行い, INTP1n1端子の有効エッジは, SES1n.IES1n11, IES1n10ビットで行います。どちらの端子も有効エッジとして立ち上がり, 立ち下がり, 立ち上がり / 立ち下がり両エッジの3種類から選択できます。

CC1n0レジスタをキャプチャ・レジスタに設定すると, INTP1n0端子の有効エッジ入力をトリガとして, TM1nレジスタの値をCC1n0レジスタに取り込みます。取り込みが行われると, INTCC1n0割り込みを発生します。

同様にCC1n1レジスタをキャプチャ・レジスタに設定すると, INTP1n1端子の有効エッジ入力をトリガとして, TM1nレジスタの値をCC1n1レジスタに取り込みます。取り込みが行われると, INTCC1n1割り込みを発生します。

INTP1n0端子に入力する信号の周期は, x回目のINTP1n0端子の有効エッジにより, CC1n0レジスタに取り込んだTM1nレジスタのカウンタ値 (D_x) と, (x + 1) 回目のINTP1n0端子の有効エッジによりCC1n0レジスタに取り込んだTM1nレジスタのカウンタ値 ($D(x + 1)$) との差を求め, この差の値と内部カウンタ・クロックの周期の積から計算します^注。

同様にINTP1n1端子に入力する信号の周期は, x回目のINTP1n1端子の有効エッジにより, CC1n1レジスタに取り込んだTM1nレジスタのカウンタ値 (D_x) と, (x + 1) 回目のINTP1n1端子の有効エッジによりCC1n1レジスタに取り込んだTM1nレジスタのカウンタ値 ($D(x + 1)$) との差を求め, この差の値と内部カウンタ・クロックの周期の積から計算します^注。

注 この計算は立ち上がり / 立ち下がりの場合です。

備考 n = 0, 1

図8 - 15 周期測定として使用時のレジスタ設定内容

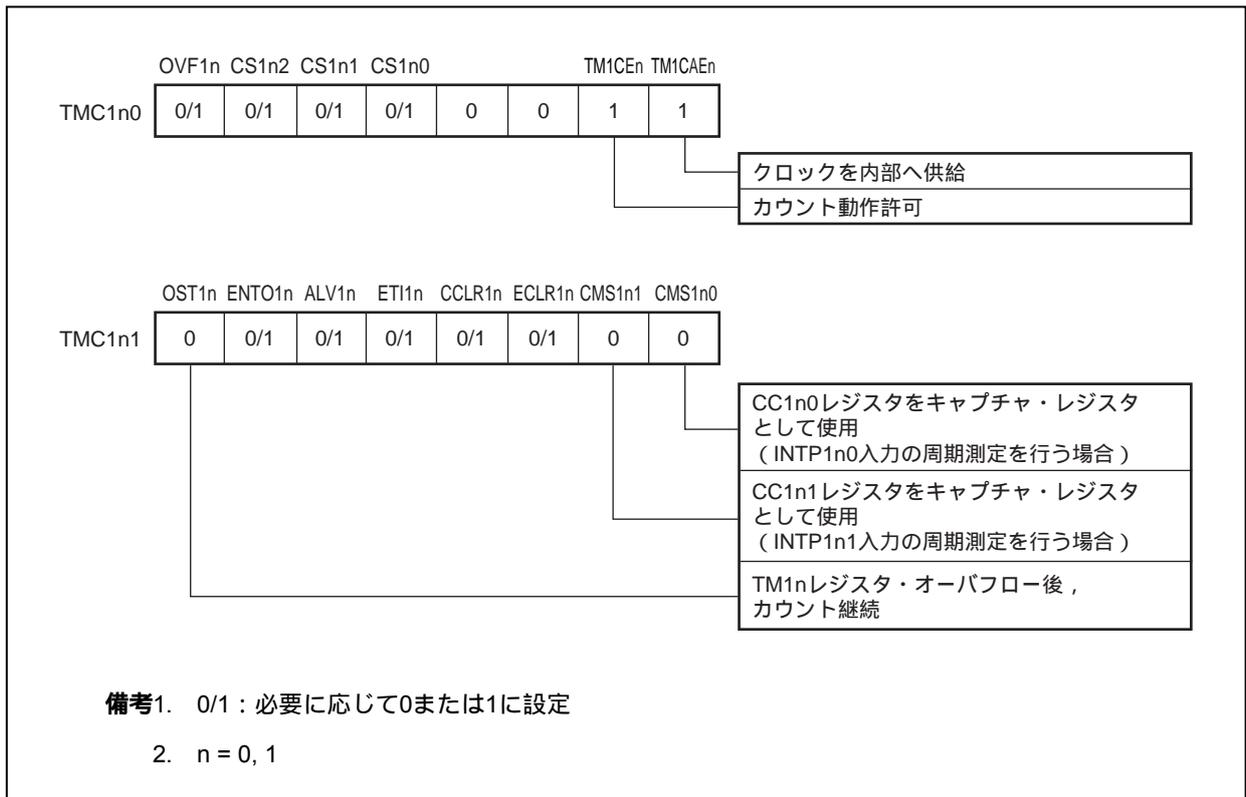
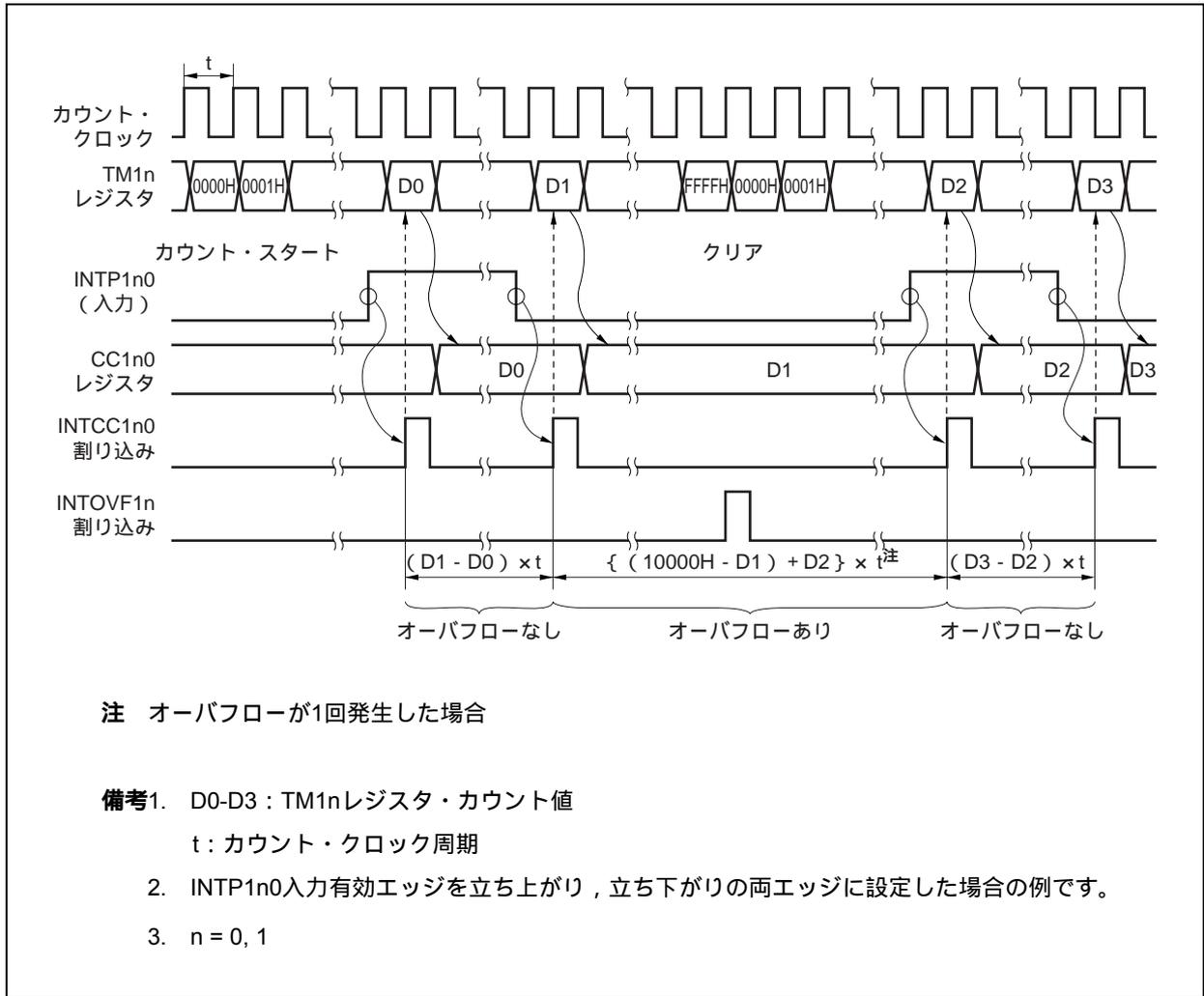


図8 - 16 周期測定動作タイミング例



8.7 注意事項

16ビット・タイマ/イベント・カウンタについての注意事項を次に示します。

- (1) CC1n0レジスタをキャプチャ・モードで使用しているときに、命令によるCC1n0レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP1n0) の有効エッジ検出、および割り込み要求信号 (INTCC1n0) は発生しますが、CC1n0レジスタへのタイマ値の格納は行われません。
- (2) CC1n1レジスタをキャプチャ・モードで使用しているときに、命令によるCC1n1レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP1n1) の有効エッジ検出、および割り込み要求信号 (INTCC1n1) は発生しますが、CC1n1レジスタへのタイマ値の格納は行われません。
- (3) 動作中 (TMC1n0.TM1CEnビット = 1) に、次のビット、レジスタを書き換えないでください。
 - ・ TMC1n0.CS1n2-CS1n0ビット
 - ・ TMC1n1レジスタ
 - ・ SES1nレジスタ
- (4) TMC1n0.TM1CAEnビットは、16ビット・タイマ/イベント・カウンタ1nのリセット信号です。16ビット・タイマ/イベント・カウンタ1nを使用する際には、まずTM1CAEnビットをセット (1) してください。
- (5) 外部トリガ信号 (INTP1n0, INTP1n1)、外部クロック入力 (TI1n) の有効エッジ検出には、アナログ・ノイズ除去時間 + 2クロックが必要です。したがって、アナログ・ノイズ除去時間 + 2クロック未満の変化に対してはエッジ検出が正常に行われられない可能性があります。また、外部クリア入力 (TCLR1n) の有効エッジ検出には、 f_{xx} の2クロックのみ必要です。
- (6) 割り込み要求信号 (INTCC1n0, INTCC1n1) の動作は、キャプチャ/コンペア・レジスタの動作状態によって自動的に決定します。キャプチャ動作時は、外部トリガ信号の有効エッジ検出割り込みとして動作し、コンペア動作時は、TM1nレジスタとの一致割り込みとして動作します。
- (7) TMC1n1.ENTO1nビットとTMC1n1.ALV1nビットを同時に変更した場合、TO1n端子出力にグリッジ (ヒゲ状のノイズ) が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENTO1nビットとALV1nビットを同時に変更しないようにするかしてください。

備考 n = 0, 1

第9章 8ビット・タイマ/イベント・カウンタ20, 21

9.1 機能概要

8ビット・タイマ/イベント・カウンタ $2n$ には、次の2つのモードがあります ($n = 0, 1$)。

- ・8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)
- ・カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

次に、これら2つのモードについて説明します。

(1) 8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

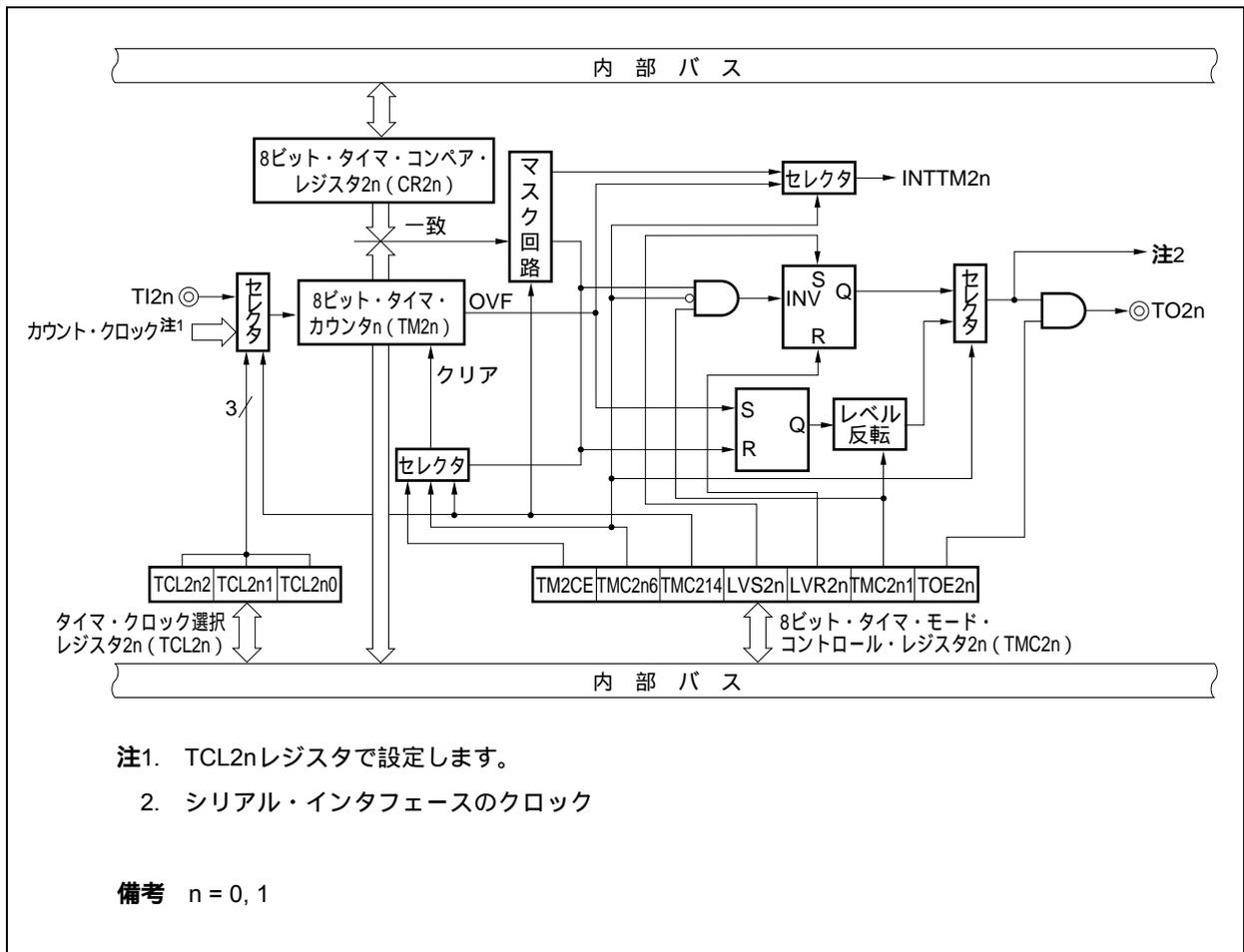
(2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

TM20とTM21をカスケード接続することにより、16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

次に、8ビット・タイマ/イベント・カウンタ $2n$ のブロック図を示します。

図9-1 8ビット・タイマ/イベント・カウンタ2nのブロック図



9.2 構成

8ビット・タイマ/イベント・カウンタ2nは、次のハードウェアで構成されています (n = 0, 1)。

表9-1 8ビット・タイマ/イベント・カウンタ2nの構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ20, 21 (TM20, TM21) 16ビット・タイマ・カウンタ2 (TM2) : カスケード接続時のみ
レジスタ	8ビット・タイマ・コンペア・レジスタ20, 21 (CR20, CR21) 16ビット・タイマ・コンペア・レジスタ2 (CR2) : カスケード接続時のみ
タイマ出力	TO20, TO21
制御レジスタ ^注	タイマ・クロック選択レジスタ20, 21 (TCL20, TCL21) タイマ・クロック選択レジスタ2 (TCL2) : カスケード接続時のみ 8ビット・タイマ・モード・コントロール・レジスタ20, 21 (TMC20, TMC21) 16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) : カスケード接続時のみ

注 TI2n, TO2n端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

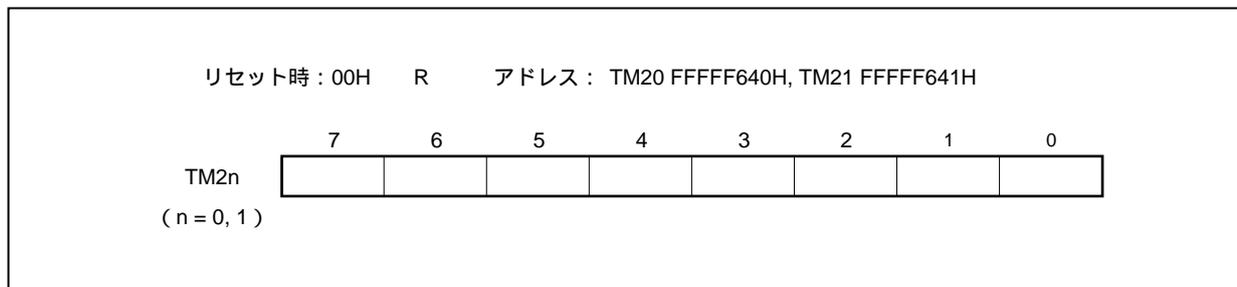
(1) 8ビット・タイマ・カウンタ20, 21 (TM20, TM21)

TM2nレジスタは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TM20レジスタとTM21レジスタは、それぞれカスケード接続し、16ビット・タイマとして使用できます。

TM20レジスタとTM21レジスタをカスケード接続し16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。



次の場合、カウント値は00Hになります。

- ・リセット
- ・TMC2n.TM2CEnビットをクリア(0)
- ・TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード時のTM2nレジスタとCR2nレジスタの一致

注意 カスケード接続時は、最下位タイマ(TM20)のTM2CE0ビットをクリアしても0000Hとなりません。

備考 n = 0, 1

(2) 8ビット・タイマ・コンペア・レジスタ20, 21 (CR20, CR21)

CR2nレジスタは、8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

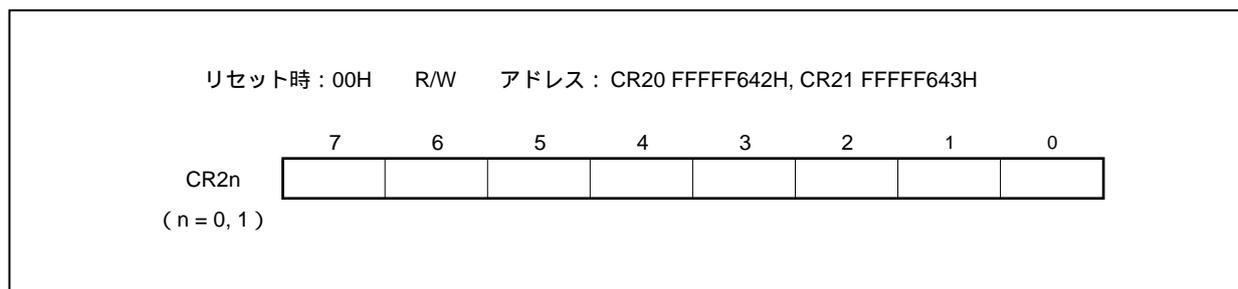
PWMモード以外では、CR2nレジスタに設定した値と、TM2nレジスタのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTM2n) が発生します。

PWMモード時は、TM2nレジスタのオーバフローによりTO2n端子出力がアクティブ・レベルになり、TM2nレジスタとCR2nレジスタの値が一致するとTO2n端子出力がインアクティブ・レベルになります。

CR2nレジスタの値は00H-FFHの範囲で設定できます。

TM20レジスタとTM21レジスタをカスケード接続し、16ビット・タイマとして使用した場合、CR20レジスタとCR21レジスタは、16ビット・タイマ・コンペア・レジスタ2 (CR2) として動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM20) を発生します。

リセットにより00Hになります。



- 注意1.** TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード時 (TMC2n.TMC2n6ビット = 0) は、カウンタ動作中にCR2nレジスタに異なる値を書き込まないでください。
2. PWMモード時は、CR2nレジスタの書き換え間隔を3カウント・クロック (TCL2nレジスタで選択したクロック) 以上にしてください。
3. カスケード接続時にCR2nレジスタの値を変更するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 0, 1

9.3 レジスタ

8ビット・タイマ/イベント・カウンタ2nを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ2n (TCL2n)
- ・8ビット・タイマ・モード・コントロール・レジスタ2n (TMC2n)

備考 TI2n, TO2n端子の機能を使用する場合は、表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

(1) タイマ・クロック選択レジスタ20, 21 (TCL20, TCL21)

8ビット・タイマ/イベント・カウンタ2nのカウント・クロックおよびTI2n入力の有効エッジを設定するレジスタです。

TCL2nレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TCL20 FFFFF644H, TCL21 FFFFF645H

	7	6	5	4	3	2	1	0
TCL2n	0	0	0	0	0	TCL2n2	TCL2n1	TCL2n0

(n = 0, 1)

TCL2n2	TCL2n1	TCL2n0	カウント・クロックの選択		
			クロック	f _{xx}	
				20 MHz	10 MHz
0	0	0	TI2nの立ち下がりエッジ	-	-
0	0	1	TI2nの立ち上がりエッジ	-	-
0	1	0	f _{xx} /4	200 ns	400 ns
0	1	1	f _{xx} /8	400 ns	800 ns
1	0	0	f _{xx} /16	800 ns	1.60 μs
1	0	1	f _{xx} /32	1.60 μs	3.20 μs
1	1	0	f _{xx} /128	6.40 μs	12.8 μs
1	1	1	f _{xx} /512	25.6 μs	51.2 μs

- 注意1.** TCL2nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。
- 2.** TI2n端子はP03/INTP2, P14/TO21と兼用していますので、TI2n端子機能を使用する場合は、タイマ動作を開始する前にPMC0, PFC0, PMC1, PFC1の各レジスタを設定し、タイマ入力機能を選択してください。タイマ動作後に操作するとエッジ検出動作が正しく行われません。

備考 カスケード接続時、TCL1レジスタの設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ20, 21 (TMC20, TMC21)

TMC2nレジスタは、次の6種類の設定を行うレジスタです。

- ・ 8ビット・タイマ・カウンタ20, 21 (TM20, TM21) のカウント動作制御
- ・ TM2nレジスタの動作モードの選択
- ・ 単体モード/カスケード接続モードの選択
- ・ タイマ出力F/F (フリップフロップ) の状態設定
- ・ タイマ出力F/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- ・ タイマ出力の制御

TMC2nレジスタは、8/1ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

備考 n = 0, 1

リセット時：00H R/W アドレス：TMC20 FFFFF646H, TMC21 FFFFF647H

	⑦	6	5	4	③	②	1	①
TMC2n (n = 0, 1)	TM2CEn	TMC2n6	0	TMC214 ^注	LVS2n	LVR2n	TMC2n1	TOE2n
	TM2CEn	8ビット・タイマ/イベント・カウンタ2nのカウンタ動作制御						
	0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ禁止)						
	1	カウンタ動作開始						
	TMC2n6	8ビット・タイマ/イベント・カウンタ2nの動作モード選択						
	0	TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード						
	1	PWM (フリー・ランニング) モード						
	TMC214	単体モード/カスケード接続モードの選択						
	0	単体モード						
	1	カスケード接続モード (TM20と接続)						
	LVS2n	LVR2n	タイマ出力F/Fの状態設定					
	0	0	変化しない					
	0	1	タイマ出力F/Fをリセット (0)					
	1	0	タイマ出力F/Fをセット (1)					
	1	1	設定禁止					
	TMC2n1	PWM (フリー・ランニング) モード以外 (TMC2n6 = 0)			PWM (フリー・ランニング) モード (TMC2n6 = 1)			
		タイマF/Fの制御			アクティブ・レベルの選択			
	0	反転動作禁止			ハイ・アクティブ			
	1	反転動作許可			ロウ・アクティブ			
	TOE2n	タイマ出力の制御						
	0	出力禁止 (TO2n端子はロウ・レベル)						
	1	出力許可						

注 TMC20レジスタのビット4は0固定です。

注意1. LVS2n, LVR2nビットの設定は, PWMモード時以外で有効になります。

2. 次のビットを同時に書き換えないでください。

- ・ TMC2n1ビットとTOE2nビット
- ・ TMC2n6ビットとTOE2nビット
- ・ TMC2n1ビットとTMC2n6ビット
- ・ TMC2n6ビットとLVS2nビット, LVR2nビット
- ・ TOE2nビットとLVS2nビット, LVR2nビット

備考1. PWMモード時は, TM2CEnビット = 0により, PWM出力がインアクティブ・レベルになります。

2. LVS2n, LVR2nビットをリードすると常に0が読み出されます。

3. TMC2n6, LVS2n, LVR2n, TMC2n1, TOE2nの各ビットの値は, TM2CEnビットの値に関係なくTO2n出力に反映されます。

9.4 動作

9.4.1 インターバル・タイマ (8ビット) としての動作

CR2nレジスタにあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

TM2nレジスタのカウント値がCR2nレジスタに設定した値と一致したとき、TM2nレジスタの値を00Hにクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM2n) が発生します。

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ : カウント・クロック (t) の選択
- ・CR2nレジスタ : コンペア値 (N)
- ・TMC2nレジスタ : カウント動作停止, TM2nレジスタとCR2nレジスタの一致でクリア & スタート・モードを選択 (TMC2nレジスタ = 0000xx11B x : don't care)

TMC2n.TM2CEnビット = 1を設定すると、カウント動作を開始します。

TM2nレジスタとCR2nレジスタの値が一致すると、INTTM2n信号が発生します (TM2nレジスタは00Hにクリアされます)。

以後、同一間隔でINTTM2n信号が繰り返し発生します。カウント動作を停止するときは、TM2CEnビット = 0にしてください。

$$\text{インターバル時間} = (N + 1) \times t : N = 00H\text{-}FFH$$

注意 インターバル・タイマ動作中にCR2nレジスタの値を書き換えないでください。

図9-2 インターバル・タイマ動作のタイミング (1/2)

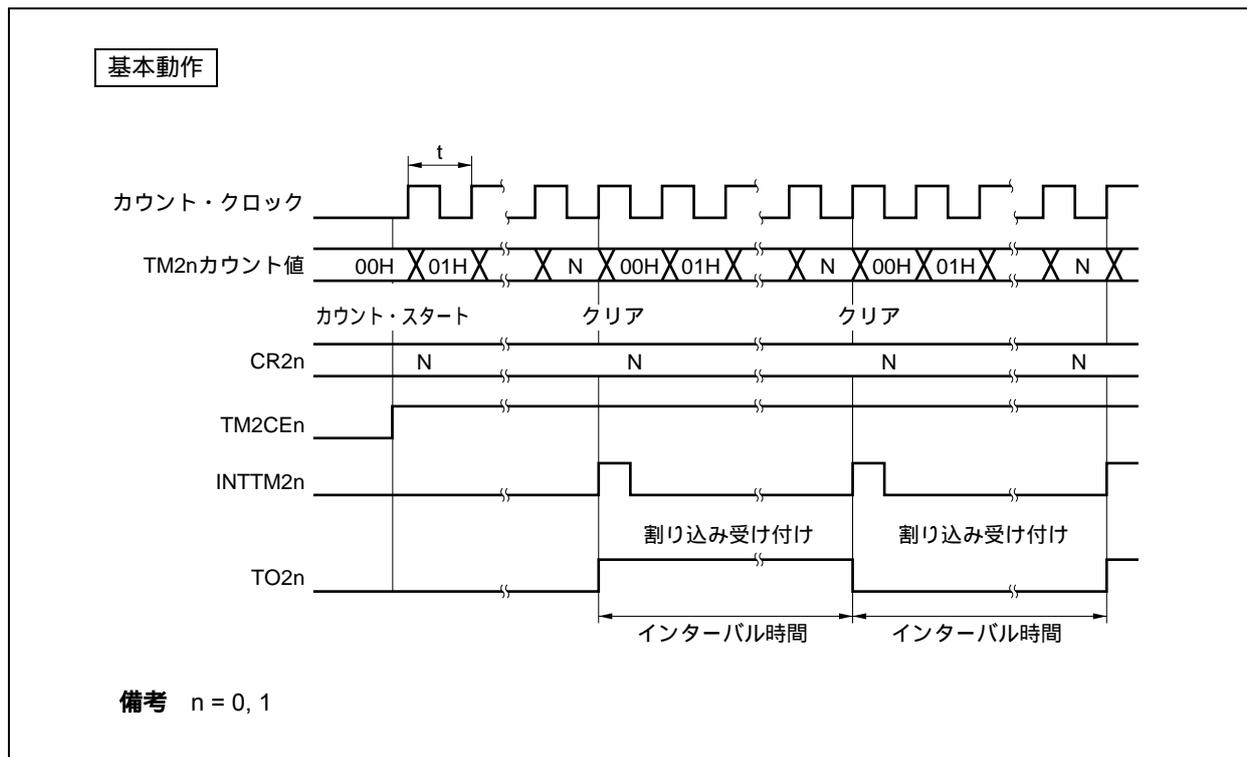
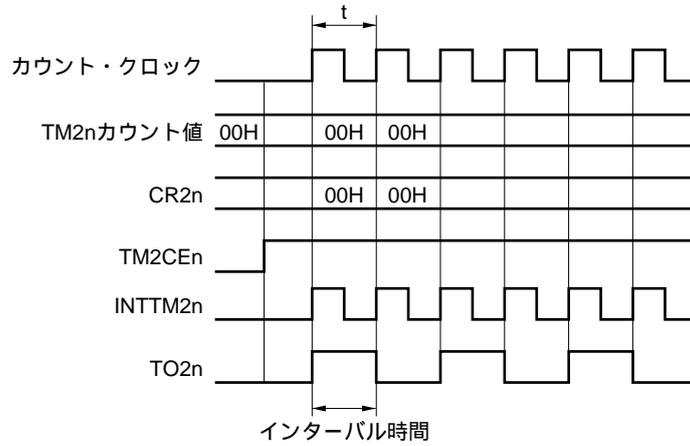


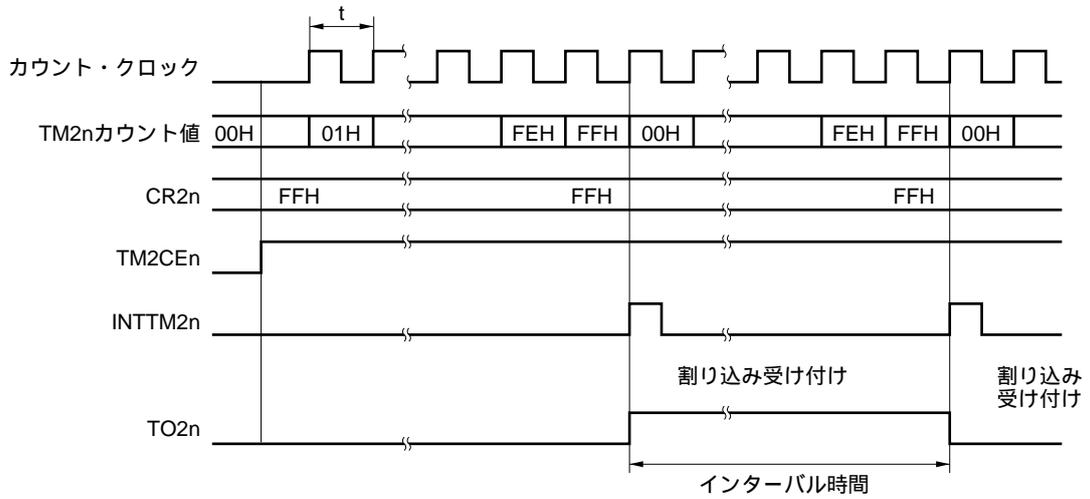
図9-2 インターバル・タイマ動作のタイミング (2/2)

CR2nレジスタ = 00Hの場合



備考 n = 0, 1

CR2nレジスタ = FFHの場合



備考 n = 0, 1

9.4.2 外部イベント・カウンタ (8ビット) としての動作

外部イベント・カウンタは、TI2n端子に入力される外部からのクロック・パルス数をTM2nレジスタでカウントします。

TI2n端子にTCL2nレジスタで指定した有効エッジが入力されるごとに、TM2nレジスタがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM2nレジスタのカウント値がCR2nレジスタの値と一致すると、TM2nレジスタは00Hにクリアされ、割り込み要求信号 (INTTM2n) が発生します。

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ : TI2n入力のエッジ選択

TI2n端子の立ち下がり TCL2nレジスタ = 00H

TI2n端子の立ち上がり TCL2nレジスタ = 01H

- ・CR2nレジスタ : コンペア値 (N)

- ・TMC2nレジスタ : カウント動作停止, TM2nレジスタとCR2nレジスタの一致でクリア & スタート・モードを選択, タイマ出力F/F反転動作禁止, タイマ出力禁止

(TMC2nレジスタ = 0000xx00B x : don't care)

- ・兼用端子の設定については表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

TMC2n.TM2CEnビット = 1を設定すると、TI2n端子から入力されるパルス数をカウントします。

TM2nレジスタとCR2nレジスタの値が一致すると、INTTM2n信号が発生します (TM2nレジスタは00Hにクリアされます)。

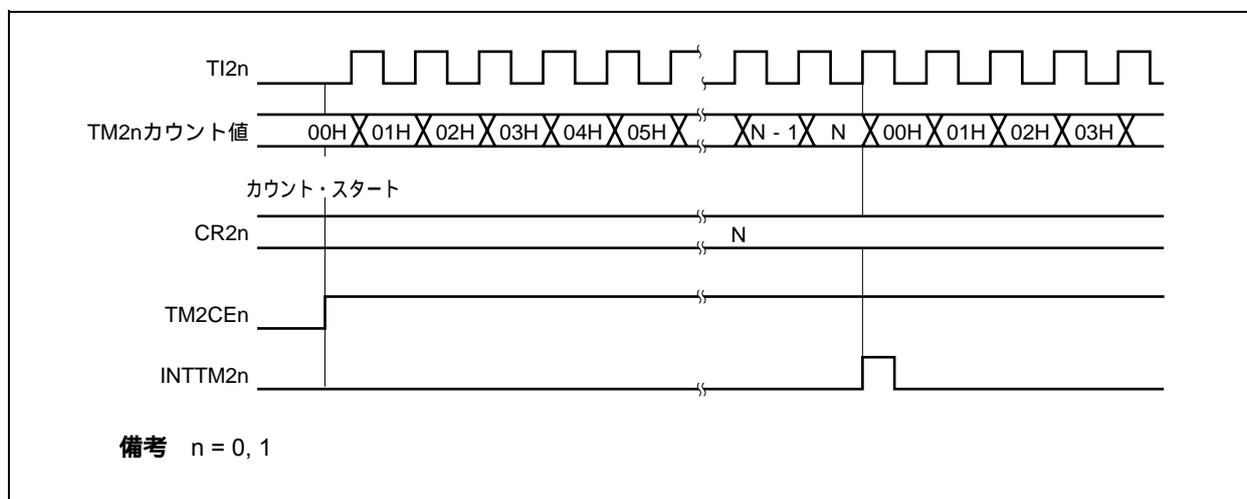
以後、TM2nレジスタとCR2nレジスタの値が一致するごとにINTTM2n信号が発生します。

TI2n有効エッジがN + 1回入力されるとINTTM2nが発生 : N = 00H-FFH

注意 外部イベント・カウンタ動作中にCR2nレジスタの値を書き換えないでください。

備考 n = 0, 1

図9 - 3 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



9.4.3 方形波出力（8ビット分解能）としての動作

CR2nレジスタにあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

TMC2n.TOE2nビットに1を設定することにより、CR2nレジスタにあらかじめ設定したカウント値で決まるインターバルでTO2n端子の出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ = 50 %）が可能です（n = 0, 1）。

設定方法

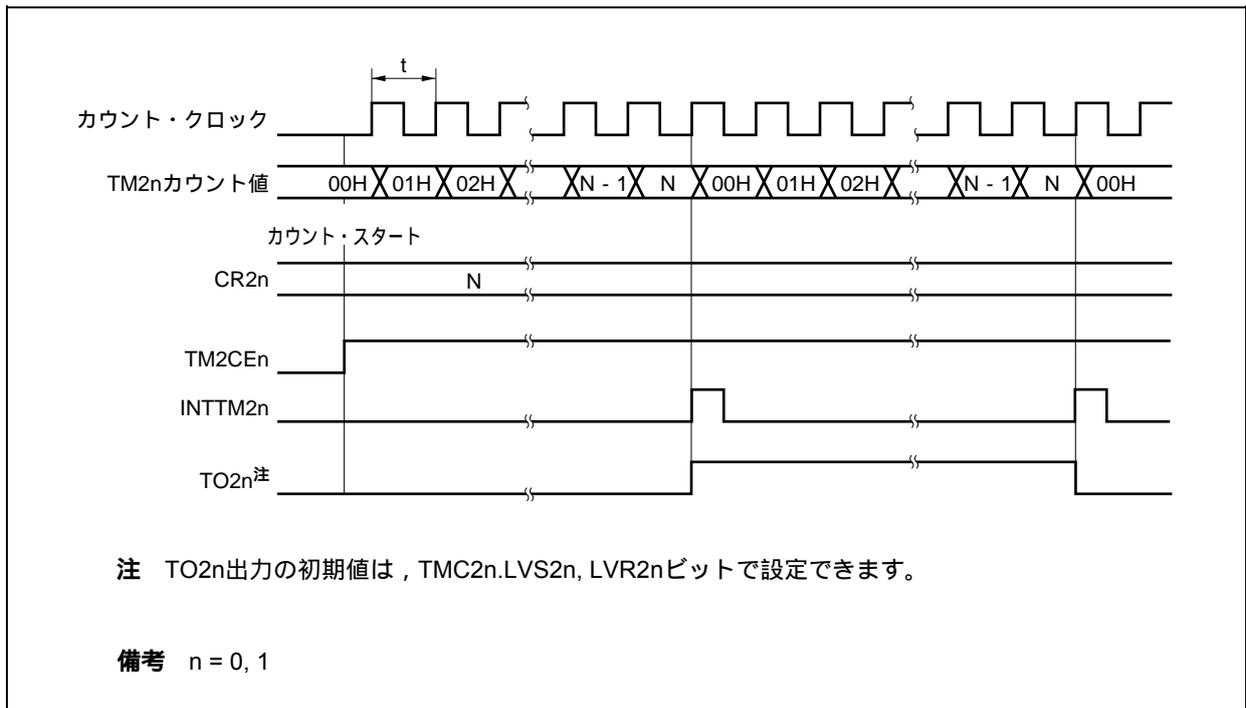
各レジスタの設定を行います。

- ・TCL2nレジスタ：カウント・クロック（t）の選択
 - ・CR2nレジスタ：コンペア値（N）
 - ・TMC2nレジスタ：カウント動作停止，TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード選択，タイマ出力の初期設定，タイマ出力F/Fの反転許可，タイマ出力許可（TMC2nレジスタ = 00001011Bまたは00000111B）
 - ・兼用端子の設定については表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
- TMC2n.TM2CEnビット = 1を設定すると，カウント動作を開始します。
- TM2nレジスタとCR2nレジスタの値が一致すると，タイマ出力F/Fが反転します。
- また，INTTM2n信号が発生し，TM2nレジスタは00Hにクリアされます。
- 以後，同一間隔でタイマ出力F/Fが反転し，TO2n端子から方形波が出力されます。

$$\text{周波数} = 1/2t (N + 1) : N = 00H\text{-}FFH$$

注意 方形波出力中にCR2nレジスタの値を書き換えしないでください。

図9 - 4 方形波出力動作のタイミング



9.4.4 8ビットPWM出力としての動作

TMC2n.TMC2n6ビットを“1”に設定することにより、PWM出力として動作します。

CR2nレジスタに設定した値で決まるデューティのパルスを、TO2n端子から出力します。

PWMパルスのアクティブ・レベルの幅は、CR2nレジスタに設定してください。また、アクティブ・レベルは、TMC2n.TMC2n1ビットにより選択できます。

カウント・クロックは、TCL2nレジスタで選択できます。

TMC2n.TOE2nビットにより、PWM出力の許可/禁止が選択できます。

注意 CR2nレジスタの書き換え間隔は、動作クロック（TCL2nレジスタで設定）の3クロック以上必要です。

使用方法

各レジスタの設定を行います。

- ・TCL2nレジスタ：カウント・クロック（t）の選択
- ・CR2nレジスタ：コンペア値（N）
- ・TMC2nレジスタ：カウント動作停止，PWMモード選択，タイマ出力F/F変化なし，アクティブ・レベル設定，タイマ出力許可（TMC2nレジスタ = 01000001Bまたは01000011B）
- ・兼用端子の設定については表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
TMC2n.TM2CEnビット = 1を設定すると、カウント動作を開始します。

PWM出力の動作

カウント動作を開始すると、PWM出力（TO2n端子からの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR2nレジスタとTM2nレジスタのカウント値が一致するまで出力されます。

CR2nレジスタとカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

TM2CEnビット = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

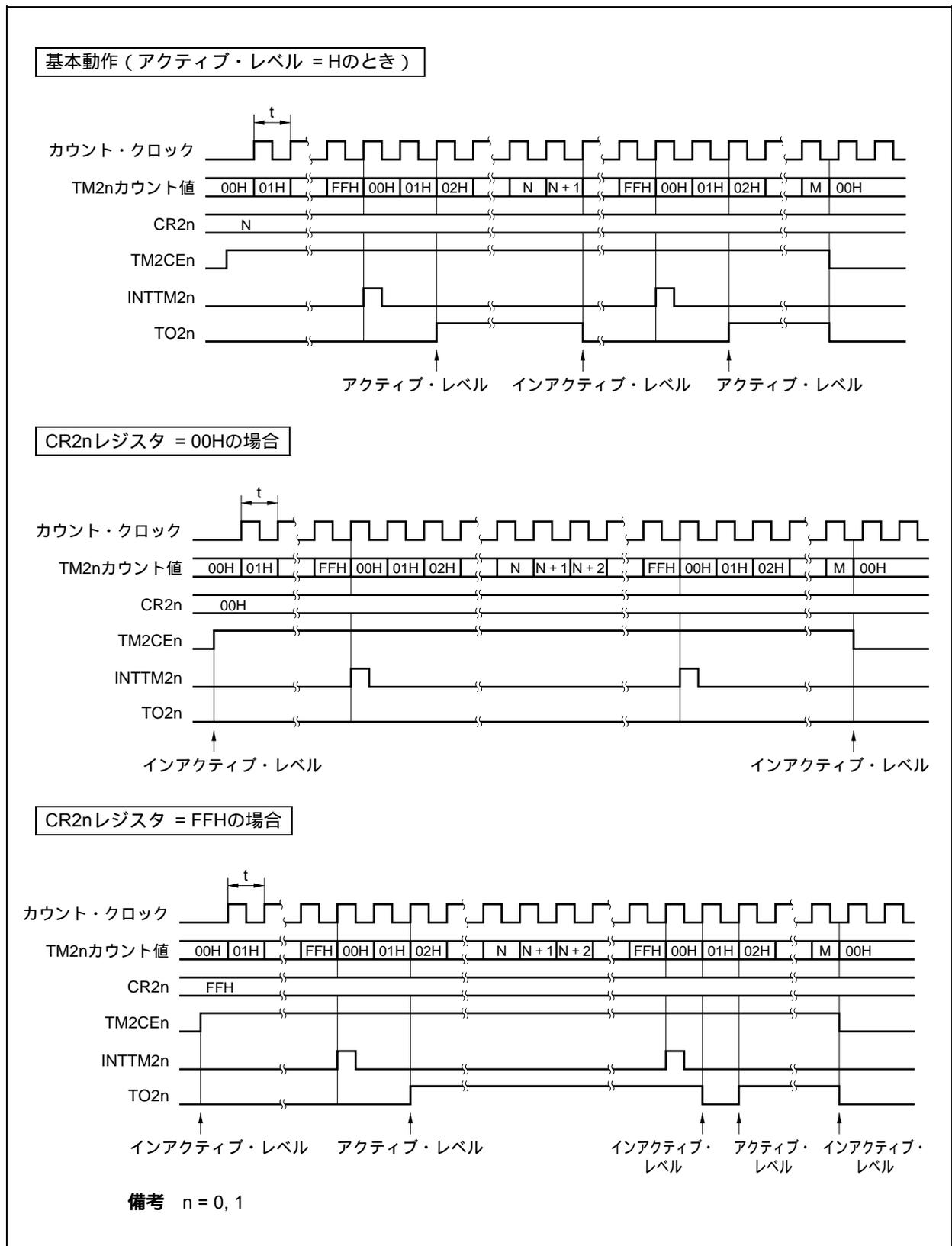
$$\text{周期} = 2^8 t, \text{アクティブ・レベル幅} = Nt, \text{デューティ} = N/2^8 : N = 00H\text{-}FFH$$

備考1. n = 0, 1

2. 詳細なタイミングについては、図9 - 5 PWM出力の動作タイミング、図9 - 6 CR2nレジスタ変更による動作タイミングを参照してください。

(a) PWM出力の基本動作

図9 - 5 PWM出力の動作タイミング



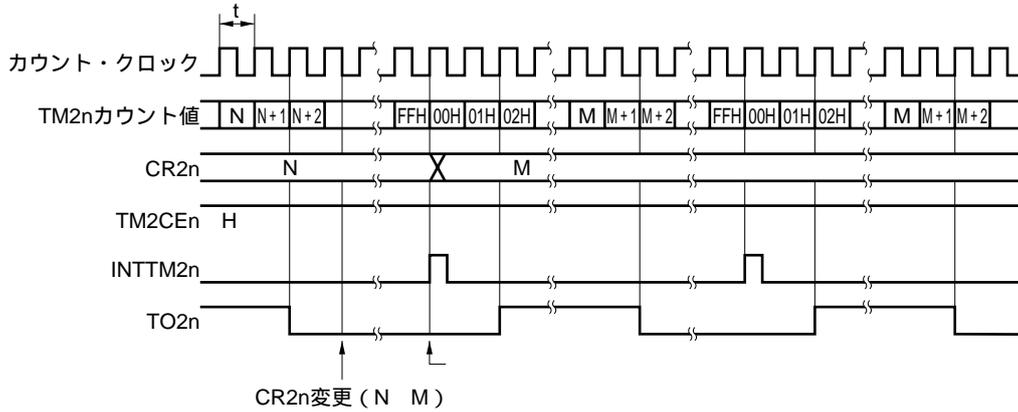
CR2nレジスタ = FFHの場合

(b) CR2nレジスタ変更による動作について

図9 - 6 CR2nレジスタ変更による動作のタイミング

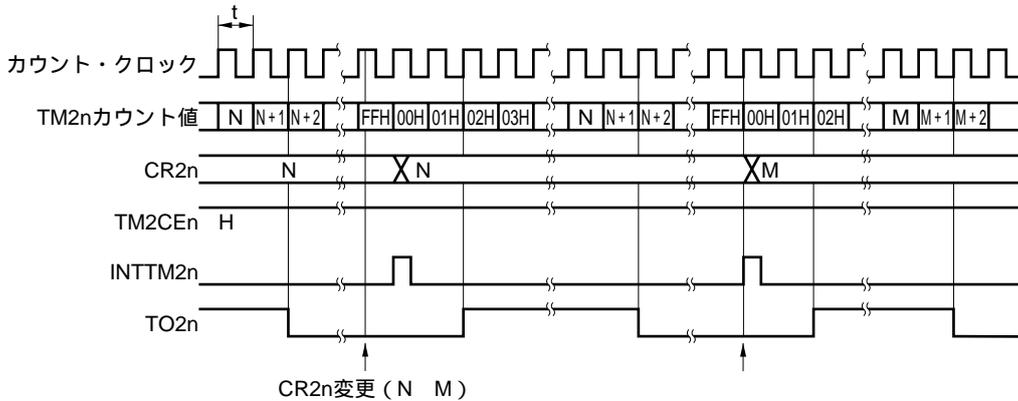
CR2nレジスタの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合

直後のオーバーフローでCR2nレジスタに値が転送されます。



CR2nレジスタの値をFFHのクロックの立ち上がりエッジよりもあとにN Mに変更した場合

2回目のオーバーフローでCR2nレジスタに値が転送されます。



注意 から の間でCR2nレジスタからリードする場合、実際に動作する値と異なります（リード値：M，実際のCR2nレジスタの値：N）。

備考 n = 0, 1

9.4.5 インターバル・タイマ (16ビット) としての動作

TMC21.TMC214ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

CR2レジスタにあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

設定方法

各レジスタの設定を行います。

- ・TCL20レジスタ : カウント・クロック (t) の選択
(カスケード接続するTCL21レジスタは設定不要)
- ・CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC20, TMC21レジスタ : TM2レジスタとCR2レジスタの一致でクリア&スタート・モードを選択 (x : don't care)

$$\left[\begin{array}{l} \text{TMC20レジスタ} = 0000\text{xx}11\text{B} \\ \text{TMC21レジスタ} = 0001\text{xx}00\text{B} \end{array} \right]$$

TMC21.TM2CE1ビット = 1に設定します。そのあとにTMC20.TM2CE0ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM2レジスタとCR2レジスタの値が一致すると、INTTM20信号が発生します (TM2レジスタは0000Hにクリアされます)。

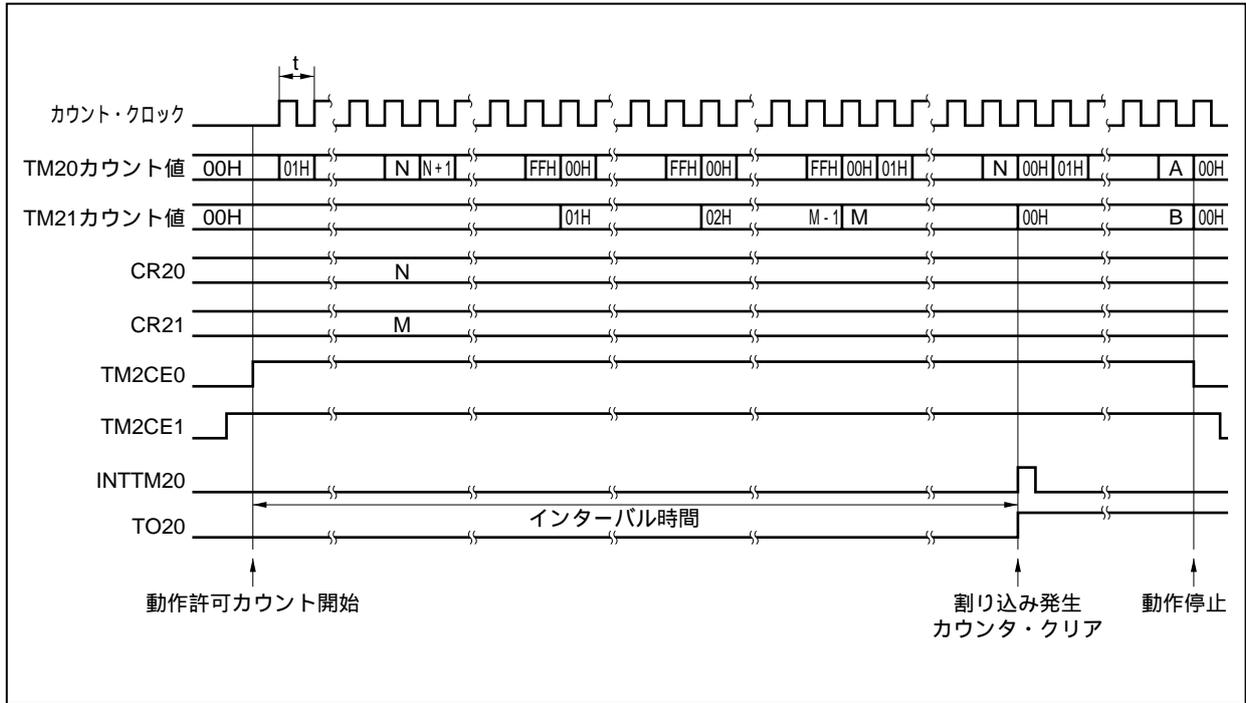
以後、同一間隔でINTTM20信号が繰り返し発生します。

$$\text{インターバル時間} = (N + 1) \times t : N = 0000\text{H}-\text{FFFFH}$$

- 注意1.** カスケード接続時に8ビット・アクセスでライトする場合、TM2CE0, TM2CE1ビットの操作は、動作開始時はTM2CE1ビットを1にしてからTM2CE0ビットを1にしてください。動作停止時はTM2CE0ビットを0にしてからTM2CE1ビットを0にしてください。
2. カスケード接続時はTI20入力, TO20出力, INTTM20は使用し, TI21入力, TO21出力, INTTM21は使用しないでマスクしてください(詳細は第16章 割り込み/例外処理機能を参照してください)。LVS21, LVR21, TMC211, TOE21ビットは0に設定してください。
3. タイマ動作中はCR2レジスタの値を変更しないでください。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図9 - 7 16ビット分解能カスケード接続モード



9.4.6 外部イベント・カウンタ (16ビット) としての動作

TMC21.TMC214ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

外部イベント・カウンタは、TI20端子に入力される外部からのクロック・パルス数をTM2レジスタでカウントします。

設定方法

各レジスタの設定を行います。

- ・TCL20レジスタ : TI20入力のエッジ選択
(カスケード接続するTCL21レジスタは設定不要)
TI20端子の立ち下がり TCL20レジスタ = 00H
TI20端子の立ち上がり TCL20レジスタ = 01H
- ・CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC20, TMC21レジスタ : カウント動作停止, TM2レジスタとCR2レジスタの一致でクリア&スタート・モード, タイマ出力F/Fの反転禁止, タイマ出力禁止
(x : don't care)

TMC20レジスタ = 0000xx00B
TMC21レジスタ = 0001xx00B

・兼用端子の設定については表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
TMC21.TM2CE1ビット = 1に設定します。そのあとにTMC20.TM2CE0ビット = 1に設定し、TI20端子から入力されるパルス数をカウントします。

カスケード接続されたTM2レジスタとCR2レジスタの値が一致すると、INTTM20信号が発生します (TM2レジスタは0000Hにクリアされます)。

以後、TM2レジスタとCR2レジスタの値が一致するたびにINTTM20信号が発生します。

TI20有効エッジがN + 1回入力されるとINTTM20が発生 : N = 0000H-FFFFH

- 注意1.** 外部イベント・カウンタ動作中にCR2nレジスタの値を書き換えないでください。
2. カスケード接続時に8ビット・アクセスでライトする場合、TM2CE0, TM2CE1ビットの操作は、動作開始時はTM2CE1ビットを1にしてからTM2CE0ビットを1にしてください。動作停止時はTM2CE0ビットを0にしてからTM2CE1ビットを0にしてください。
 3. カスケード接続時はTI20入力、INTTM20は使用し、TI21入力、TO21出力、INTTM21は使用しないでマスクしてください(詳細は第16章 割り込み/例外処理機能を参照してください)。LVS21, LVR21, TMC211, TOE21ビットは0に設定してください。
 4. 外部イベント・カウンタ動作中はCR2レジスタの値を変更しないでください。

9.4.7 方形波出力（16ビット分解能）としての動作

TMC21.TMC214ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

CR2レジスタにあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

設定方法

各レジスタの設定を行います。

- ・ TCL20レジスタ : カウント・クロック (t) 選択
(カスケード接続するTCL21レジスタは設定不要)
- ・ CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・ CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・ TMC20, TMC21レジスタ : カウント動作停止,
TM2レジスタとCR2レジスタの一致でクリア&スタート・モード,

LVS20	LVR20	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可, タイマ出力許可

TMC20レジスタ = 00001011Bまたは00000111B
 TMC21レジスタ = 00010000B

・兼用端子の設定については表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
TMC21.TM2CE1ビット = 1に設定します。そのあとにTMC20.TM2CE0ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM2レジスタとCR2レジスタの値が一致すると、TO20タイマ出力F/Fが反転します。また、INTTM20信号が発生し、TM2レジスタは0000Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO20端子から方形波が出力されます。

$$\text{周波数} = 1/2t (N + 1) : N = 0000H\text{-}FFFFH$$

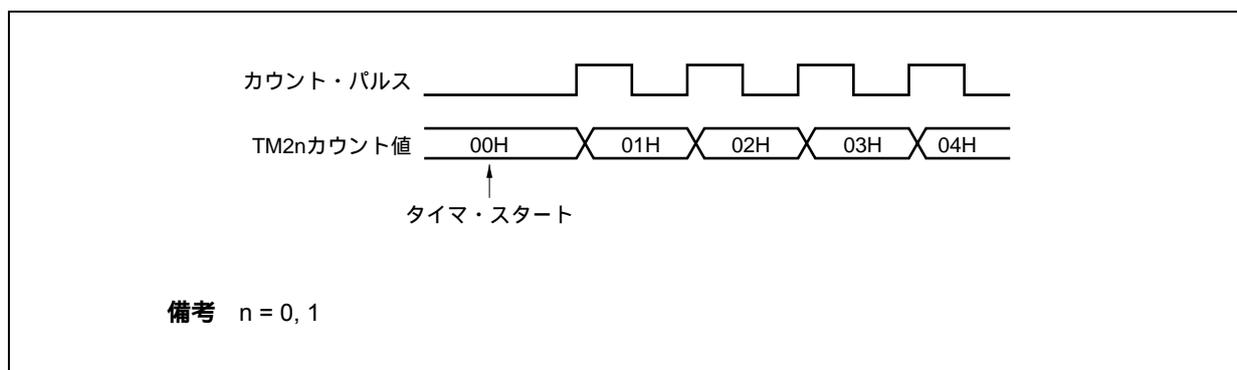
注意 動作中にCR2レジスタに異なる値を書き込まないでください。

9.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後,一致信号が発生するまでの時間は,最大で1クロック分の誤差が生じます。これは,カウント・パルスに対してTM2nレジスタのスタートが非同期で行われるためです。

図9 - 8 タイマ2nのスタート・タイミング



第10章 リアルタイム・カウンタ機能

10.1 機能

リアルタイム・カウンタには、次のような機能があります。

- ・週、日、時、分、秒のカウンタを持ち、最長4095週までカウント
- ・週、日、時、分、秒のカウンタは、動作中/停止中に読み出し可能
- ・週カウンタのオーバーフロー割り込み要求信号発生 (INTROV)
- ・一定時間ごとにインターバル割り込み要求信号発生 (INTRTC)
0.015625秒, 0.03125秒, 0.0625秒, 0.125秒, 0.25秒, 0.5秒, 1秒, 1分, 1時間, 1日から選択可能

10.2 構成

次にリアルタイム・カウンタのブロック図を示します。

図10 - 1 リアルタイム・カウンタのブロック図

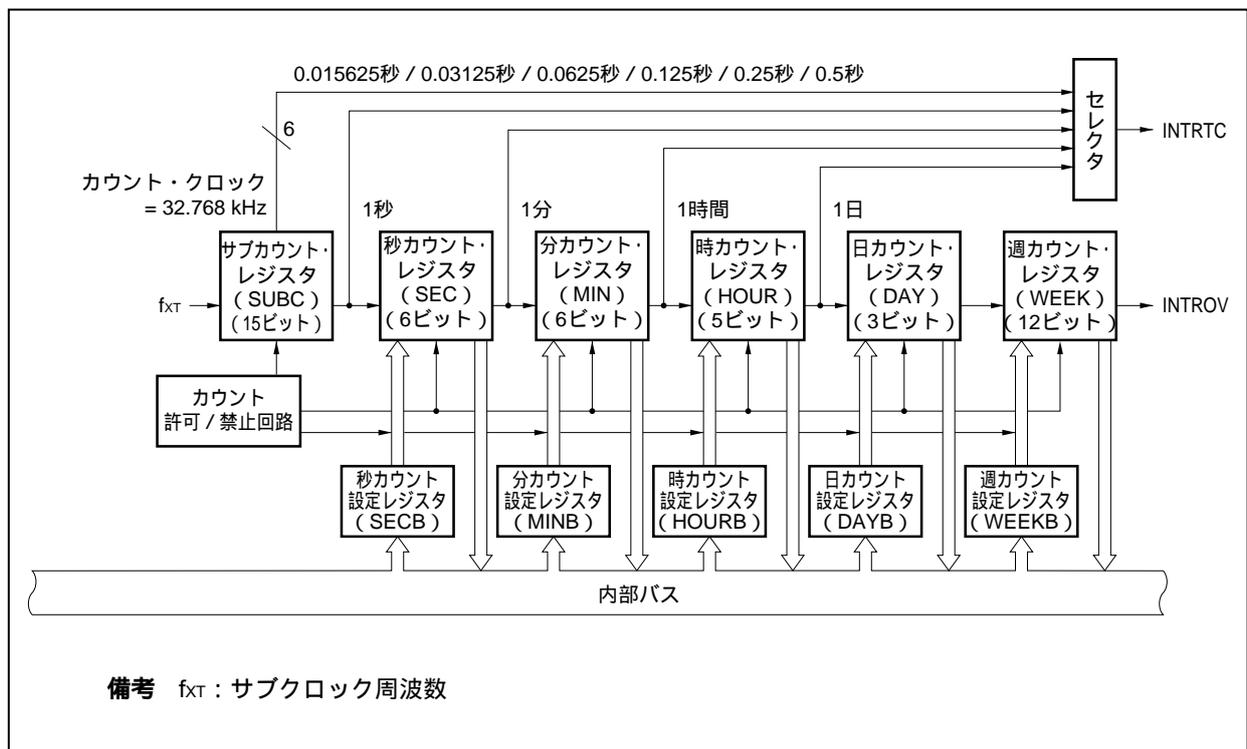


表10 - 1 リアルタイム・カウンタの構成

項 目	構 成
レジスタ	RTCコントロール・レジスタ0 (RTCC0) RTCコントロール・レジスタ1 (RTCC1) サブカウント・レジスタ (SUBC) 秒カウント・レジスタ (SEC) 秒カウント設定レジスタ (SECB) 分カウント・レジスタ (MIN) 分カウント設定レジスタ (MINB) 時カウント・レジスタ (HOUR) 時カウント設定レジスタ (HOURB) 日カウント・レジスタ (DAY) 日カウント設定レジスタ (DAYB) 週カウント・レジスタ (WEEK) 週カウント設定レジスタ (WEEKB)

10.3 レジスタ

リアルタイム・カウンタを制御するレジスタは次に示すものがあります。

(1) RTCコントロール・レジスタ0 (RTCC0)

RTCC0レジスタは、リアルタイム・カウンタの動作を制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセットにより80Hになります。

リセット時 : 80H R/W アドレス : FFFFF680H								
	⑦	6	5	4	3	2	1	0
RTCC0	RTCAE	0	0	0	0	0	0	0
	RTCAE	RTC動作許可 / 禁止指定						
	0	RTCクロック動作停止, サブカウントの値はリセット						
	1	RTCクロック動作許可						

(2) RTCコントロール・レジスタ1 (RTCC1)

RTCC1レジスタは、リアルタイム・カウンタの動作を制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセットにより8xHになります。

リセット時：8xH^{注1} R/W アドレス：FFFFFF681H

⑦	6	5	4	3	2	1	①
RTCE	INTS3	INTS2	INTS1	INTS0	0	0	RTCF ^{注2}

RTCE	RTCカウント・アップ動作許可 / 禁止指定
0	RTCカウント動作禁止
1	RTCカウント動作許可

INTS3	INTS2	INTS1	INTS0	割り込み要求信号発生タイミング指定
0	0	0	0	割り込み要求信号を発生させない
0	0	0	1	0.015625秒ごとの割り込み要求信号
0	0	1	0	0.03125秒ごとの割り込み要求信号
0	0	1	1	0.0625秒ごとの割り込み要求信号
0	1	0	0	0.125秒ごとの割り込み要求信号
0	1	0	1	0.25秒ごとの割り込み要求信号
0	1	1	0	0.5秒ごとの割り込み要求信号
0	1	1	1	1秒ごとの割り込み要求信号
1	0	0	0	1分ごとの割り込み要求信号
1	0	0	1	1時ごとの割り込み要求信号
1	0	1	0	1日ごとの割り込み要求信号
上記以外				設定禁止

RTCF	RTC動作フラグ
0	カウント動作停止中
1	カウント・アップ動作中

注1. RTCFビットの値によって80Hもしくは81Hになります。

2. RTCFビットはリードのみです。

(3) サブカウント・レジスタ (SUBC)

SUBCレジスタは、リアルタイム・カウンタの基準時間をカウントする15ビットのレジスタです。32.768 kHzのクロックで1秒をカウントします。16/8ビット単位でリードのみ可能です。

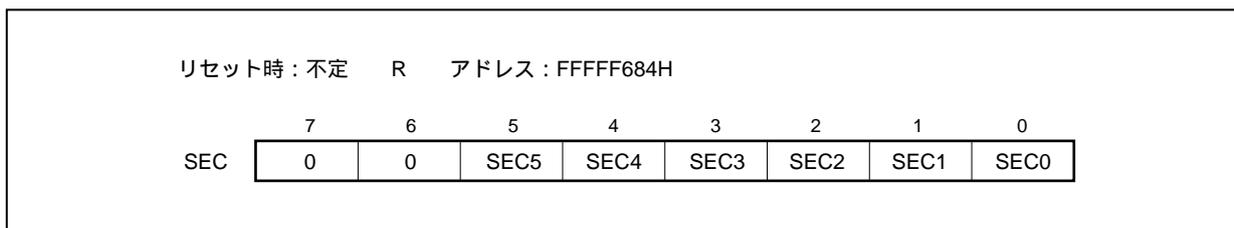
リセット、RTCC1.RTCEビット = 0では初期化されません。



(4) 秒カウント・レジスタ (SEC)

SECレジスタは0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。8ビット単位でリードのみ可能です。

リセット、RTCC1.RTCEビット = 0では初期化されません。



(5) 秒カウント設定レジスタ (SECB)

SECBレジスタは秒カウント設定用の8ビットのレジスタです。8ビット単位でライトのみ可能です。カウント値を設定する際は0-59 (10進) までの値を設定してください。60 (10進) 以上のカウント値を設定しないでください。

リセットにより00Hになります。



(6) 分カウント・レジスタ (MIN)

MINレジスタは0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。8ビット単位でリードのみ可能です。

リセット, RTCC1.RTCEビット = 0では初期化されません。



(7) 分カウント設定レジスタ (MINB)

MINBレジスタは分カウント設定用の8ビットのレジスタです。8ビット単位でライトのみ可能です。カウント値を設定する際は0-59 (10進) までの値を設定してください。60 (10進) 以上のカウント値を設定しないでください。

リセットにより00Hになります。



(8) 時カウント・レジスタ (HOUR)

MINレジスタは0-23 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。8ビット単位でリードのみ可能です。

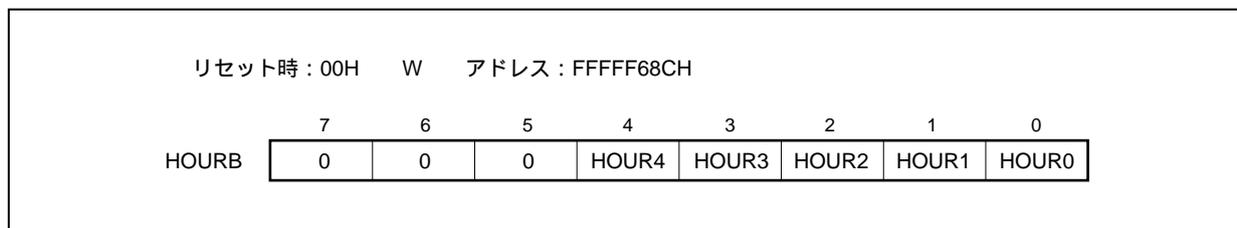
リセット, RTCC1.RTCEビット = 0では初期化されません。



(9) 時カウント設定レジスタ (HOURB)

HOURBレジスタは時カウント設定用の8ビットのレジスタです。8ビット単位でライトのみ可能です。カウント値を設定する際は0-23 (10進) までの値を設定してください。24 (10進) 以上のカウント値を設定しないでください。

リセットにより00Hになります。



(10) 日カウント・レジスタ (DAY)

DAYレジスタは0-6 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。8ビット単位でリードのみ可能です。

リセット, RTCC1.RTCEビット = 0では初期化されません。



(11) 日カウント設定レジスタ (DAYB)

DAYBレジスタは日カウント設定用の8ビットのレジスタです。8ビット単位でライトのみ可能です。カウント値を設定する際は0-6 (10進) までの値を設定してください。カウント値に7を設定しないでください。

リセットにより00Hになります。



(12) 週カウント・レジスタ (WEEK)

WEEKレジスタは0-4095(10進)までの値を取り、日のカウント値を示す16ビットのレジスタです。8/16ビット単位でリードのみ可能です。

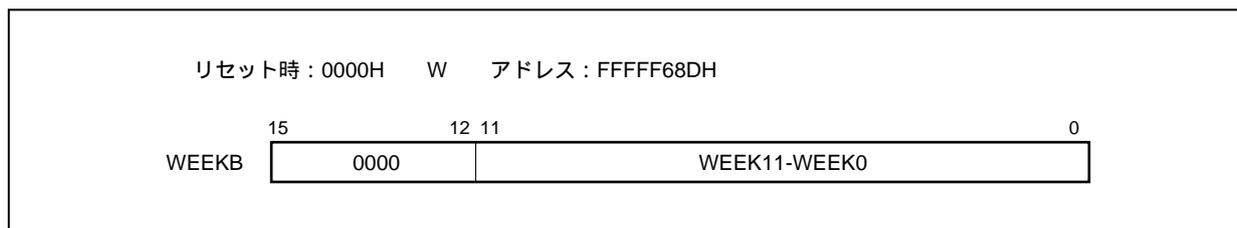
リセット、RTCC1.RTCEビット = 0では初期化されません。



(13) 週カウント設定レジスタ (WEEKB)

WEEKBレジスタは週カウント設定用の16ビットのレジスタです。8/16ビット単位でライトのみ可能です。カウント値を設定する際は0-4095(10進)までの値を設定してください。

リセットにより0000Hになります。



10.4 動作

10.4.1 カウンタの初期化とカウント・アップ

リセットによりRTCC0, RTCC1レジスタの値が初期化されます。RTCC0.RTCAEビット = 1によりリアルタイム・カウンタ・クロック動作許可, RTCC1.RTCEビット = 1によりリアルタイム・カウンタ・カウント動作許可状態になります。

RTCAEビット = 0でリアルタイム・カウンタ・クロック動作を停止することで, SUBCレジスタがリセットされます。

RTCAEビット = 1にすることでリアルタイム・カウンタ・クロック動作が始まります。

内部3クロック後, 各カウント設定レジスタの値は各カウント・レジスタに一括反映され, 各カウント・レジスタはカウント・アップ動作を開始します。

各カウント・レジスタがオーバーフローするごとに, 上位カウント・レジスタがカウント・アップ動作を行います。

すべてのカウント・レジスタのオーバーフロー条件がそろった次のクロックで, すべてのカウント・レジスタが“0”になります。INTROV信号は, WEEKレジスタがオーバーフローしたあと, リアルタイム・カウンタ・クロック1周期分アクティブになります。

10.4.2 カウンタの書き換え動作

リセットによりRTCC0, RTCC1レジスタの値が初期化されます。RTCC0.RTCAEビット = 1によりリアルタイム・カウンタ・クロック動作許可, RTCC1.RTCEビット = 1によりリアルタイム・カウンタ・カウント動作許可状態になります。

各カウント設定レジスタに値を書き込みます。

RTCEビット = 0 1に設定してから, 内部2クロック後各カウント設定レジスタの値は各カウント・レジスタに一括反映され, 内部3クロック後リアルタイム・カウンタはカウント・アップ動作を開始します。

10.4.3 割り込み要求信号出力の制御

割り込み要求信号の制御の説明を、RTCC1.INTS0-INTS3ビット = 0111 B (1秒ごと)、INTS0-INTS3ビット = 1000 B (1分ごと) の場合を例に説明します。

リセットによりRTCC0、RTCC1レジスタの値が初期化されます。RTCC0.RTCAEビット = 1により内部動作のクロック動作許可、RTCC1.RTCEビット = 1によりカウント動作許可状態になります。

SUBCレジスタがリセットされます。

RTCAEビット = 0と設定します。

RTCAEビット = 1に設定することにより、内部クロック動作が始まります。

内部3クロック後、各カウント設定レジスタの値は各カウント・レジスタに一括反映され、リアルタイム・カウンタはカウント・アップ動作を開始します。

INTS0-INTS3ビットに0111B (1000B) を設定します。

INTS0-INTS3ビット = 0111Bなので、1秒カウントごとにINTRTC信号がアクティブになります (INTS0-INTS3ビット = 1000Bなので、1分カウントごとにINTRTC信号がアクティブになります)。

全カウント・レジスタのオーバーフロー条件でINTROV信号をアクティブにします。

10.4.4 注意事項

- (1) リアルタイム・カウンタを使用しない場合は、リセット解除後、RTCC0.RTCAEビット = 0に設定してください。
- (2) 最初のリセット解除時には、RTCAEビット = 0としたあとに初期設定を行ってください。初期設定では、(4)、(5)に示す手順で各カウント設定レジスタ、カウント・クロック、割り込み要求信号発生タイミングを設定し、ROVIC.ROVIFビット = 0、RTCIC.RTCIFビット = 0にしてください。
- (3) 各カウント・レジスタをリードする際は、次の手順で行ってください。

秒 分 時 日 週カウント・レジスタを順にリードし、再度、秒カウント・レジスタのリード。

最初にリードした秒カウント・レジスタの値と最後にリードした秒カウント・レジスタの値を比較。

不一致の場合は、リード中にカウント・アップした可能性があるため、再度、
、 の動作を行ってください。

(4) 各カウント設定レジスタにライトする際は、次の手順で行ってください。

・ SUBCレジスタをクリアしたい場合

(3)の手順に従い、全カウント・レジスタの値をリード(省略可)したあと、RTCAEビット = 0。

任意のカウント設定レジスタに値をライトします。そのほかのカウント設定レジスタには、でリードした値をライトします。

RTCAEビット = 1にします。そのあと、カウント設定レジスタの値がカウント・レジスタに転送され、カウント動作を開始します(2, 3カウント・クロック後)。

・ SUBCレジスタをクリアしない場合(値保持)

RTCC1.RTCEビット = 0にしたあと、RTCC1.RTCFビット = 0(カウント停止状態)になったことを確認します。

全カウント・レジスタの値をリードします(省略可)。

任意のカウント設定レジスタに値をライトします。そのほかのカウント設定レジスタには、でリードした値をライトします。

RTCEビット = 1にします。そのあと、カウント設定レジスタの値がカウント・レジスタに転送され、カウント動作を開始します(2, 3カウント・クロック後)。

(5) 割り込み要求信号発生タイミングを変更する際は、必ずRTCIC.RTCMKビット = 1としたあとに行い、変更後、RTCIC.RTCIFビット = 0としてください。

(6) カウント・クロックを変更する際は、必ずRTCAEビット = 0としたあとに設定してください。

第11章 ウォッチドッグ・タイマ機能

11.1 機 能

ウォッチドッグ・タイマには、次の動作モードがあります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

上記動作モードにより、次の機能を実現します。

- ・ウォッチドッグ・タイマのオーバフローによる、システム・リセット信号 (WDTRES) を発生する。
- ・インターバル・タイマのオーバフローによる、マスカブル割り込み要求信号 (INTWDTM) を発生する。

備考 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、WDTMレジスタで選択してください。

11.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

図11-1 ウォッチドッグ・タイマのブロック図

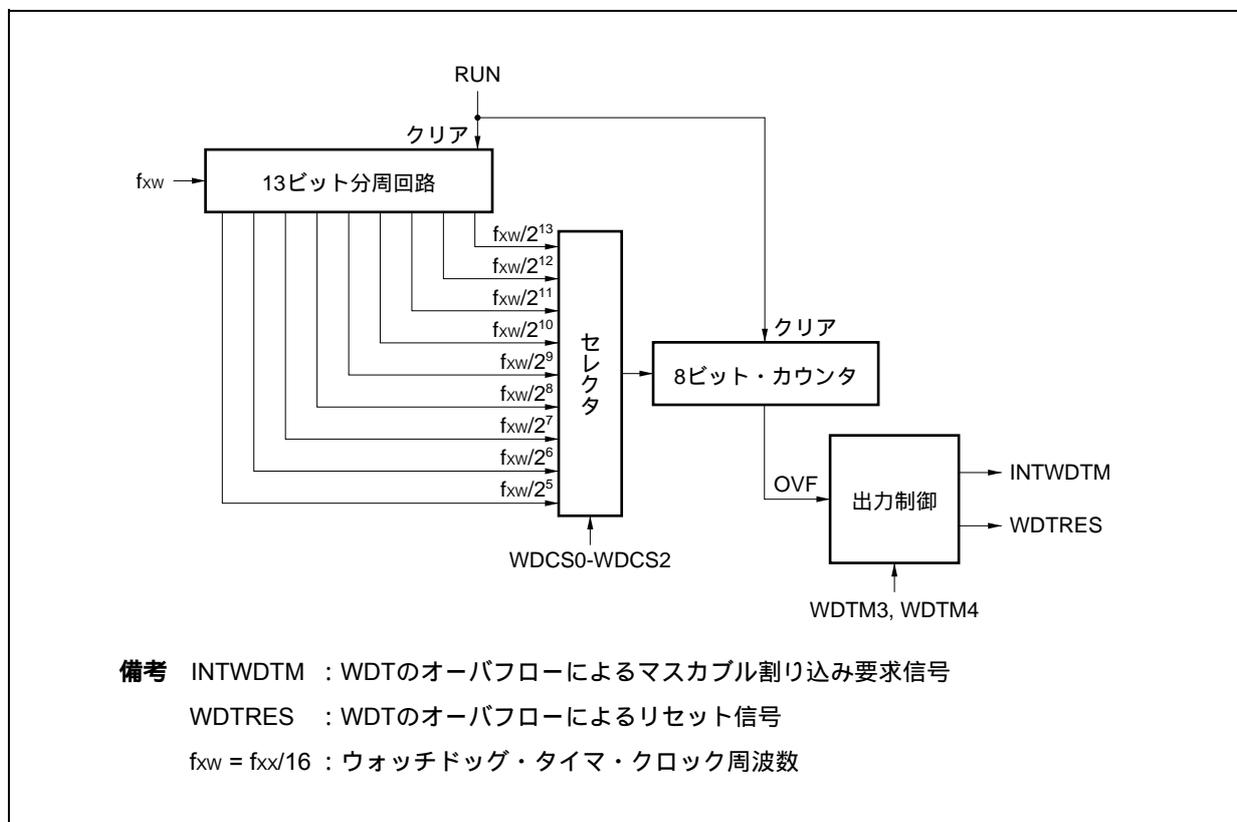


表11-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

11.3 レジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6C1H								
	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0
						ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間		
						f _{xx}		
						20 MHz	10 MHz	
	0	0	0			6.554 ms	13.11 ms	
	0	0	1			13.11 ms	26.21 ms	
	0	1	0			26.21 ms	52.43 ms	
	0	1	1			52.43 ms	104.9 ms	
	1	0	0			104.9 ms	209.7 ms	
	1	0	1			209.7 ms	419.4 ms	
	1	1	0			419.4 ms	838.9 ms	
	1	1	1			1.678 s	3.355 s	

備考 f_{xw} = f_{xx}/16 : ウォッチドッグ・タイマ・クロック周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みができます(3.4.7 特定レジスタ参照)。

WDTMレジスタは，8/1ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

注意 メイン・クロック停止，サブクロック動作時にWDTMレジスタにウエイトが発生する方法でアクセスしないでください。

詳細は，3.4.8(2)を参照してください。

リセット時：00H R/W アドレス：FFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントを停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時，マスカブル割り込みINTWDTM発生)
1	0	設定禁止
1	1	ウォッチドッグ・タイマ・モード (オーバーフロー発生時，リセット動作WDTRESを起動)

注1. RUNビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。

したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM4, WDTM3ビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。これらのビットをクリアするには， $\overline{\text{RESET}}$ 入力のみが有効です。

注意 WDTMレジスタへの書き込み動作は，WDT動作クロックとの同期化制御のため最大で約2 μ s ($f_{xx} = 20 \text{ MHz}$ 時)の時間がかかります。

11.4 動作

11.4.1 ウォッチドッグ・タイマとしての動作

WDTM.WDTM4, WDTM3ビットに“11”を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマのカウント・クロック（暴走検出時間間隔）を選択できます。WDTM.RUNビットに“1”を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNビットに再度“1”を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNビットに“1”がセットされず、暴走検出時間を越えてしまった場合は、リセット信号（WDTRES）が発生します。

ウォッチドッグ・タイマは、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。ソフトウェアSTOPモードやIDLEモードに入る前にRUNビットを“1”に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALT中にオーバフローが発生しないように注意してください。

- 注意1. WDTM4ビットに“0”を設定（インターバル・タイマ・モードを選択）し、RUNビットをセット（1）したあとは、ウォッチドッグ・タイマ・モードに変更しないでください。
2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止（保持）します。

表11-2 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間	
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$
$2^{17}/f_{xx}$	6.554 ms	13.11 ms
$2^{18}/f_{xx}$	13.11 ms	26.21 ms
$2^{19}/f_{xx}$	26.21 ms	52.43 ms
$2^{20}/f_{xx}$	52.43 ms	104.9 ms
$2^{21}/f_{xx}$	104.9 ms	209.7 ms
$2^{22}/f_{xx}$	209.7 ms	419.4 ms
$2^{23}/f_{xx}$	419.4 ms	838.9 ms
$2^{25}/f_{xx}$	1.678 s	3.355 s

備考 $f_{xw} = f_{xx}/16$: ウォッチドッグ・タイマ・クロック周波数

11.4.2 インターバル・タイマとしての動作

WDTM.WDTM4ビットに“0”を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTIC.WDTMKフラグと優先順位指定フラグ (WDTIC.WDTPR0-WDTPR2ビット) が有効となり、マスカブル割り込み要求信号 (INTWDTM) を発生させることができます。INTWDTM信号のデフォルト優先順位は、マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。

- 注意1. 一度WDTM4ビットに“1”を設定する (ウォッチドッグ・タイマ・モードを選択する) と、 $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードにはなりません。
2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表11-3 インターバル・タイマのインターバル時間

クロック	インターバル時間	
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$
$2^{17}/f_{xx}$	6.554 ms	13.11 ms
$2^{18}/f_{xx}$	13.11 ms	26.21 ms
$2^{19}/f_{xx}$	26.21 ms	52.43 ms
$2^{20}/f_{xx}$	52.43 ms	104.9 ms
$2^{21}/f_{xx}$	104.9 ms	209.7 ms
$2^{22}/f_{xx}$	209.7 ms	419.4 ms
$2^{23}/f_{xx}$	419.4 ms	838.9 ms
$2^{25}/f_{xx}$	1.678 s	3.355 s

備考 $f_{xw} = f_{xx}/16$: ウォッチドッグ・タイマ・クロック周波数

11.4.3 ウォッチドッグ・タイマ (WDT) によるリセットのモニタ

V850ES/PM1がリセットされたとき、ウォッチドッグ・タイマによるリセット (WDTRES) かどうかは、WDRESレジスタで確認できます。

(1) WDTリセット・ステータス・レジスタ (WDRES)

WDRESレジスタは、WDTRESのステータスを示す8ビット・レジスタで、8/1ビット操作命令でリード/ライト可能です。

WDRESレジスタへ書き込みを行う場合は、PRCMDレジスタをコマンド・レジスタとする特定シーケンスによる書き込みが必要になります。不正なシーケンスによる書き込みを行うと、書き込みが無効となると共にプロテクト・エラー (SYSレジスタのビット0: PRERR) がセット (1) され、書き込み動作は行われません。

リセットにより不定になります。

リセット時：不定 R/W アドレス：FFFFFF82AH

	7	6	5	4	3	2	1	①
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES検出フラグ
0	WDTRES発生なし
1	WDTRES発生あり
セット (1) 条件：ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット発生 クリア (0) 条件：命令での“0”書き込み、または $\overline{\text{RESET}}$ 端子入力 WRESFビットへの書き込みは“0”書き込みのみ有効です。	

注意 WRESFビットへの“0”書き込みは、フラグ・セットとの競合を避けるためWRESFビット = 1を確認 (読み出し) 後に行ってください。

備考 WRESFビットはR/W可能となっていますが、“0”ライトによるクリアのみ可能で“1”ライトによる動作はできません。

第12章 A/Dコンバータ

12.1 機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータです。
次に機能について示します。

S/N比62 dB以上 (チャンネル1, 3, 5のゲイン16倍選択時)

16ビット分解能 (変換結果レジスタ: 16ビット)

6チャンネル

アナログ入力: 12本 (正側, 負側入力/チャンネル)

$\Delta\Sigma$ 変換方式

プリアンプ・ゲイン選択: 2倍, 16倍 (チャンネル1, 3, 5)

動作電圧: $AV_{DD} = 3.0 \sim 3.6 \text{ V}$, $AV_{SS} = 0 \text{ V}$

アナログ入力電圧: $\pm 0.375 \text{ V}$ (チャンネル0, 2, 4)

$\pm 0.1875 \text{ V}$ (チャンネル1, 3, 5 プリアンプ・ゲイン1倍選択時)

$\pm 23.4 \text{ mV}$ (チャンネル1, 3, 5 プリアンプ・ゲイン16倍選択時)

基準電圧生成 (1.226 V (TYP.)): 出力可能)

変換レート選択 (4.340 kHz : 2.170 kHz)

12.2 構成

A/Dコンバータは、次のハードウェアで構成しています。

図12 - 1 A/Dコンバータのブロック図

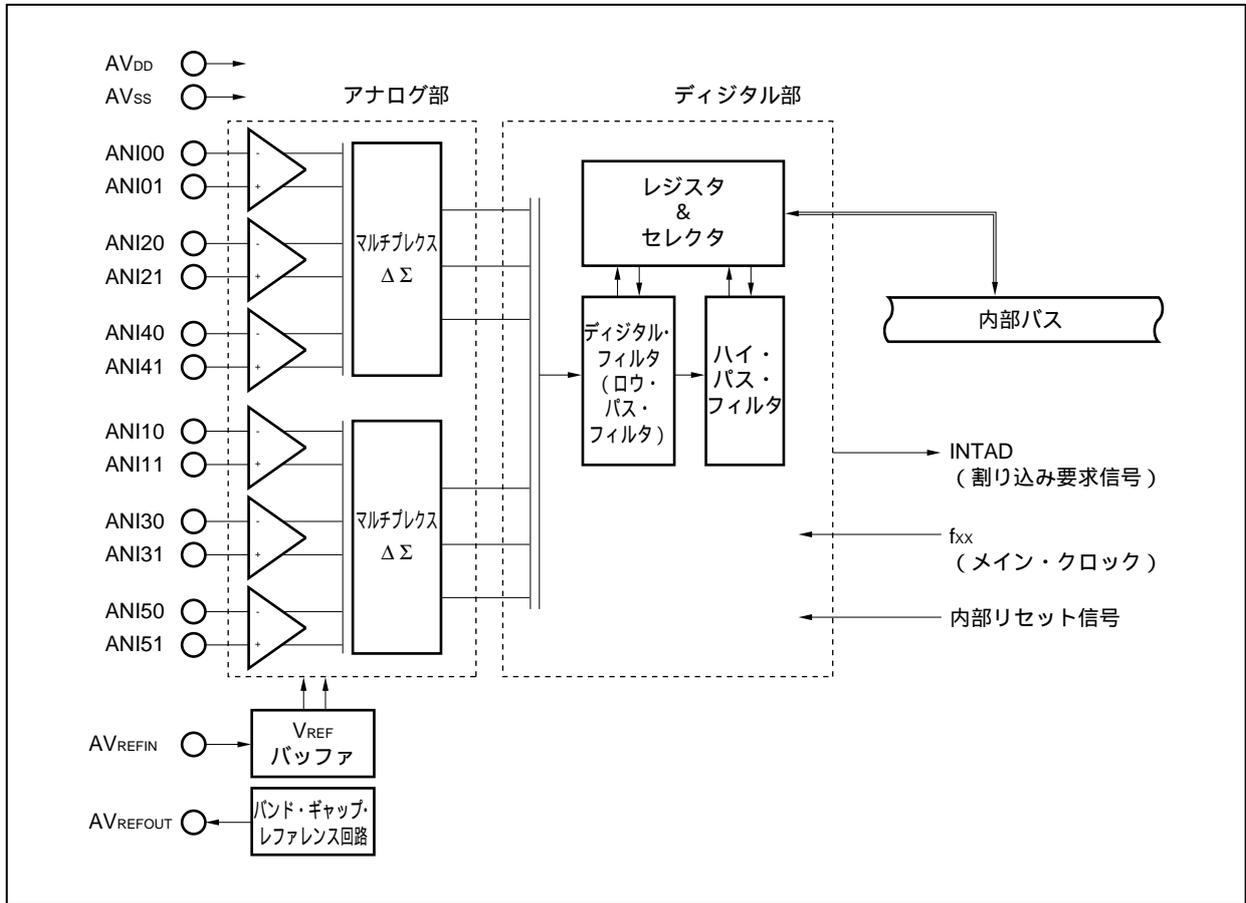


表12 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	6チャンネル12入力 (ANIn0, ANIn1端子 (n = 0-5)) 2入力/チャンネル
レジスタ	A/Dコンバータ・モード・レジスタ (ADM) ハイ・パス・フィルタ・コントロール・レジスタ0 (HPFC0) A/D変換結果レジスタn (ADCRn) (n = 0-5) A/Dクロック・ディレイ設定レジスタ (ADLY)
内部ユニット	プリアンプ部 $\Delta\Sigma$ 変換部 基準電圧発生部 デジタル・フィルタ部 (DF) ハイ・パス・フィルタ部 (HPF)

(1) プリアンプ

ANIn0, ANIn1端子に入力する AV_{SS} 基準の信号を内部電圧基準にシフトし、さらに入力信号を増幅するユニットです。出力信号を $\Delta\Sigma$ 回路へ供給します ($n = 0-5$)。

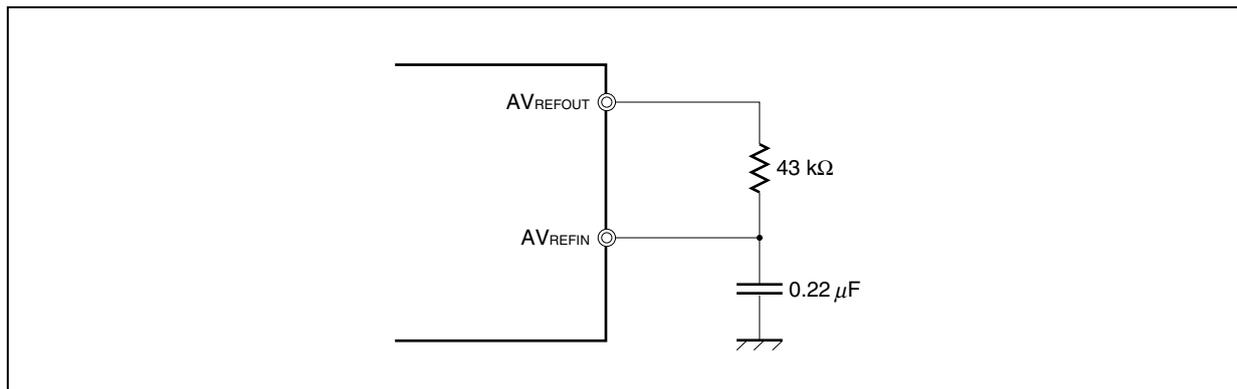
(2) マルチプレクス $\Delta\Sigma$ 回路

3マルチプレクスの $\Delta\Sigma$ 回路を2回路内蔵し、計6チャンネルのアナログ入力をデジタル変換します。この2つの $\Delta\Sigma$ 回路は同期して動作し、1つの $\Delta\Sigma$ 回路で3チャンネル分のアナログ入力の変換を時分割で実行します。入力信号の増幅はプリアンプと $\Delta\Sigma$ 回路にて行い、チャンネル0, 2, 4は1倍固定、チャンネル1, 3, 5は2倍と16倍の切替が可能です。変換レートは高速モード (4.340 kHz) と低速モード (2.170 kHz) が選択可能であり、それぞれオーバ・サンプリング周波数は555.6 kHz, 277.8 kHzとなります ($f_x = 20$ MHz時)。

(3) 基準電圧発生部

基準電圧源 (バンド・ギャップ・レファレンス回路) を内蔵し、基準電圧出力端子 (AV_{REFOUT}) より出力します。内蔵の基準電圧源を使用する場合は、 AV_{REFOUT} 端子と基準電圧入力端子 (AV_{REFIN}) を図12-2のように接続してください。また、外付けの基準電圧源を使用する場合は、 AV_{REFIN} 端子に電圧を入力し AV_{REFOUT} はオープンとします。

図12-2 AV_{REFIN}/AV_{REFOUT} 端子の外部接続推奨回路例

**(4) デジタル・フィルタ (DF)**

$\Delta\Sigma$ 回路出力に含まれる高調波ノイズを除去し、かつデータ・レートを128分の1に間引くユニットです。

(5) ハイ・パス・フィルタ

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去するユニットです。チャンネルごとにハイ・パス・フィルタの挿入/非挿入の選択が可能です。

(6) ANIn0-ANIn1端子 ($n = 0-5$)

A/Dコンバータへのアナログ入力端子です。1チャンネル2入力であり、ANIn0端子が負側入力、ANIn1端子が正側入力となります。

(7) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

(8) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(9) AV_{REFIN}端子

A/Dコンバータのレファレンス電圧入力端子です。内蔵レファレンス電圧を使用する場合は、AV_{REFOUT}端子と接続してください。外部レファレンス電圧を使用する場合は、AV_{REFIN}端子より入力してください。

(10) AV_{REFOUT}端子

内蔵回路より生成されるA/Dコンバータ用レファレンス電圧出力端子です。
AV_{REFOUT}端子を使用しない場合、オープンにしてください。

12.3 レジスタ

次に示すレジスタで制御します。

(1) A/Dコンバータ・モード・レジスタ (ADM)

ADMレジスタは、A/Dコンバータの動作制御やプリアンプのゲイン指定、変換レートの指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	⑥	5	4	3	②	1	①
ADM	ADPON	ADCE	0	0	0	PAGS1	0	FR

ADPON	A/Dコンバータのパワーオン指定
0	パワーオフ
1	パワーオン

ADCE	A/Dコンバータの動作指定
0	変換動作停止
1	変換動作許可

PAGS1	チャンネル1, 3, 5のプログラマブル・アンプ・ゲイン指定
0	2倍
1	16倍
<ul style="list-style-type: none"> ・チャンネル1, 3, 5は電流測定用に使用してください。 ・チャンネル0, 2, 4は電圧測定用に使用してください（ゲインは1倍固定です）。 	

FR	変換レートの指定
0	高速（4.340 kHz）
1	低速（2.170 kHz）

注意 ビット1, 3-5には必ず“0”を設定してください。

(2) ハイ・パス・フィルタ・コントロール・レジスタ0 (HPFC0)

各チャンネルごとのハイ・パス・フィルタの挿入指定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF202H

	7	6	⑤	④	③	②	①	①
HPFC0	0	0	THR5	THR4	THR3	THR2	THR1	THR0

THRn	チャンネルnのハイ・パス・フィルタ挿入指定 (n = 0-5)
0	ハイ・パス・フィルタを挿入する。
1	ハイ・パス・フィルタを挿入せず、スルーする。
・ハイ・パス・フィルタを挿入しない場合、DC成分付加によるオーバーロードを回避するためA/D出力のスケールが1/2になります。	

(3) A/D変換結果レジスタ0-5 (ADCR0-ADCR5)

各チャンネルごとの変換結果を格納する16ビット・レジスタです。

16ビット単位でリードのみ可能です。

システム・リセットとADM.ADCEビット = 0により、0000Hに初期化されます。

リセット時：0000H R/W アドレス：ADCR0 FFFFF204H, ADCR1 FFFFF206H, ADCR2 FFFFF208H,
ADCR3 FFFFF20AH, ADCR4 FFFFF20CH, ADCR5 FFFFF20EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCRn (n = 0-5)																

注意 ADCEビット = 0で初期化されるため、ADCRnレジスタの読み出しはADCEビット = 1時に行ってください。

(4) A/Dクロック・ディレイ設定レジスタ (ADLY)

A/D動作クロックとデジタル部クロックとの位相を制御するレジスタです。ADLYレジスタには、必ず00Hを設定してください。

8ビット単位でリード/ライト可能です。

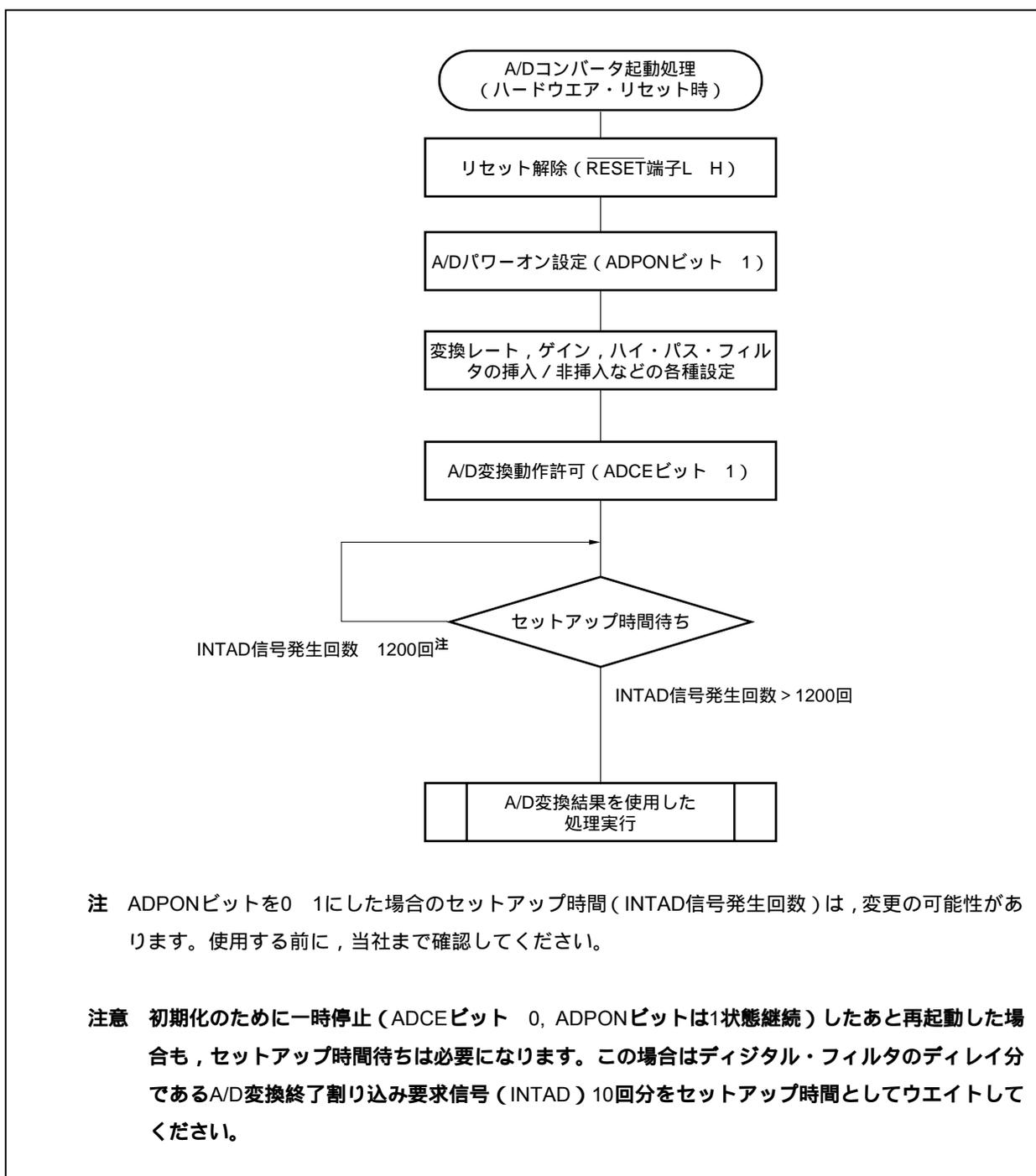
リセットにより00Hにリセットされます。



12.4 動作

ADM.ADPON, ADCEビットをセット(1)することにより、変換動作を開始します。パワーオン後および変換開始後は、アナログ部やデジタル・フィルタ部のセットアップ時間が必要になりますので、次に示すフローに従い初期設定を行ってください。

図12-3 初期設定フロー



注 ADPONビットを0 1にした場合のセットアップ時間 (INTAD信号発生回数) は、変更の可能性があります。使用する前に、当社まで確認してください。

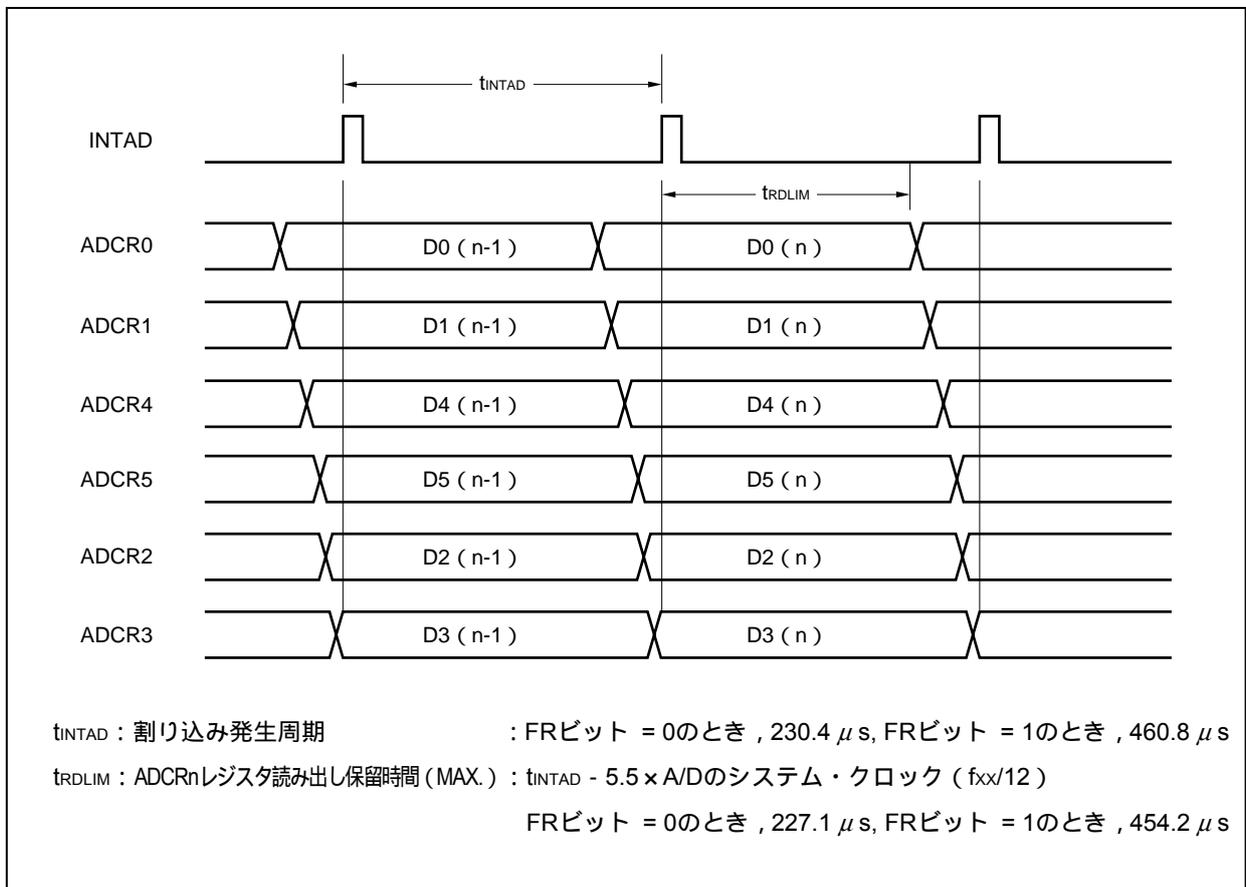
注意 初期化のために一時停止 (ADCEビット 0, ADPONビットは1状態継続) したあと再起動した場合も、セットアップ時間待ちは必要になります。この場合はデジタル・フィルタのディレイ分であるA/D変換終了割り込み要求信号 (INTAD) 10回分をセットアップ時間としてウエイトしてください。

A/D変換動作を許可すると、6チャンネルのアナログ入力端子（ANIn0, ANIn1端子）の変換を開始します。3マルチプレクスの $\Delta\Sigma$ 回路を2セット内蔵しており、それぞれ時分割で3チャンネル分の変換を実行します。全6チャンネル分の変換を終了するたびに、INTAD信号を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

INTAD信号の発生周期（ t_{INTAD} ）は、ADM.FRビットで指定する変換レートにより異なります。また、割り込み処理によりADCRnレジスタを読み出す場合、最大保留時間は図12 - 4に示す値になりますので、それまでにADCRnレジスタの読み出しを完了させてください。

備考 n = 0-5

図12 - 4 INTAD信号発生とADCRnレジスタ格納タイミング（ $f_{xx} = 20\text{ MHz}$ 動作時）



12.5 注意事項

- (1) ADCRnレジスタの読み出しは、A/D変換終了割り込み (INTAD) 処理にて行ってください。そうしない場合ADCRnレジスタへの変換値格納と読み出しの競合により、不正な値を読み出すことがあります。また、INTAD処理でのADCRnレジスタの読み出し保留期間は、変換速度の指定で異なりADM.FRビット = 0のとき 227.1 μ s, FRビット = 1のとき 454.2 μ s (20 MHz動作時) になります。
- (2) パワーオン (ADM.ADPONビット = 1) 後、A/Dコンバータ内部のセットアップ時間が必要になるため、最初の1200変換は無効データになります。
- (3) 初期化のために一時停止 (ADM.ADCEビット = 0, ADPONビットは1状態継続) したあと再起動した場合も、セットアップ時間待ちは必要になります。これはデシメーション・フィルタのディレイ分であるINTAD信号 10回分をセットアップ時間としてウエイトしてください。
- (4) 変換動作許可 (ADCEビット = 1) 後、正常なデータが出力されるまでの時間は、その時のアナログ入力状態によっても依存します。これはアナログ入力状態によりハイ・パス・フィルタの安定時間が変化するためです。
- (5) 変換速度、ゲインの設定およびHPFC0, ADLYレジスタの設定は、必ず変換停止 (ADCEビット = 0) 状態で実行してください。
- (6) ADCRnレジスタはADCEビット = 0時に初期化されるため、ADCRnレジスタの読み出しはADCEビット = 1の状態で行ってください。
- (7) ソフトウェアSTOPモードに移行する前に、ADPONビット = 0にしてください。
ADPONビット = 1の状態では電流が流れます。

- 注意1.** 動作開始後1200回分のINTAD信号をカウントし、それ以降のINTAD信号発生から変換データを取り込んでください。セットアップ時間は変更の可能性があります。使用する前に、当社まで確認してください。
- 2.** 安定時間については、使用する環境にあわせて十分な評価を行ってください。

備考 n = 0-5

第13章 PWM機能

13.1 特徴

PWMn : 4チャンネル

PWMn出力パルスのアクティブ・レベル選択可能

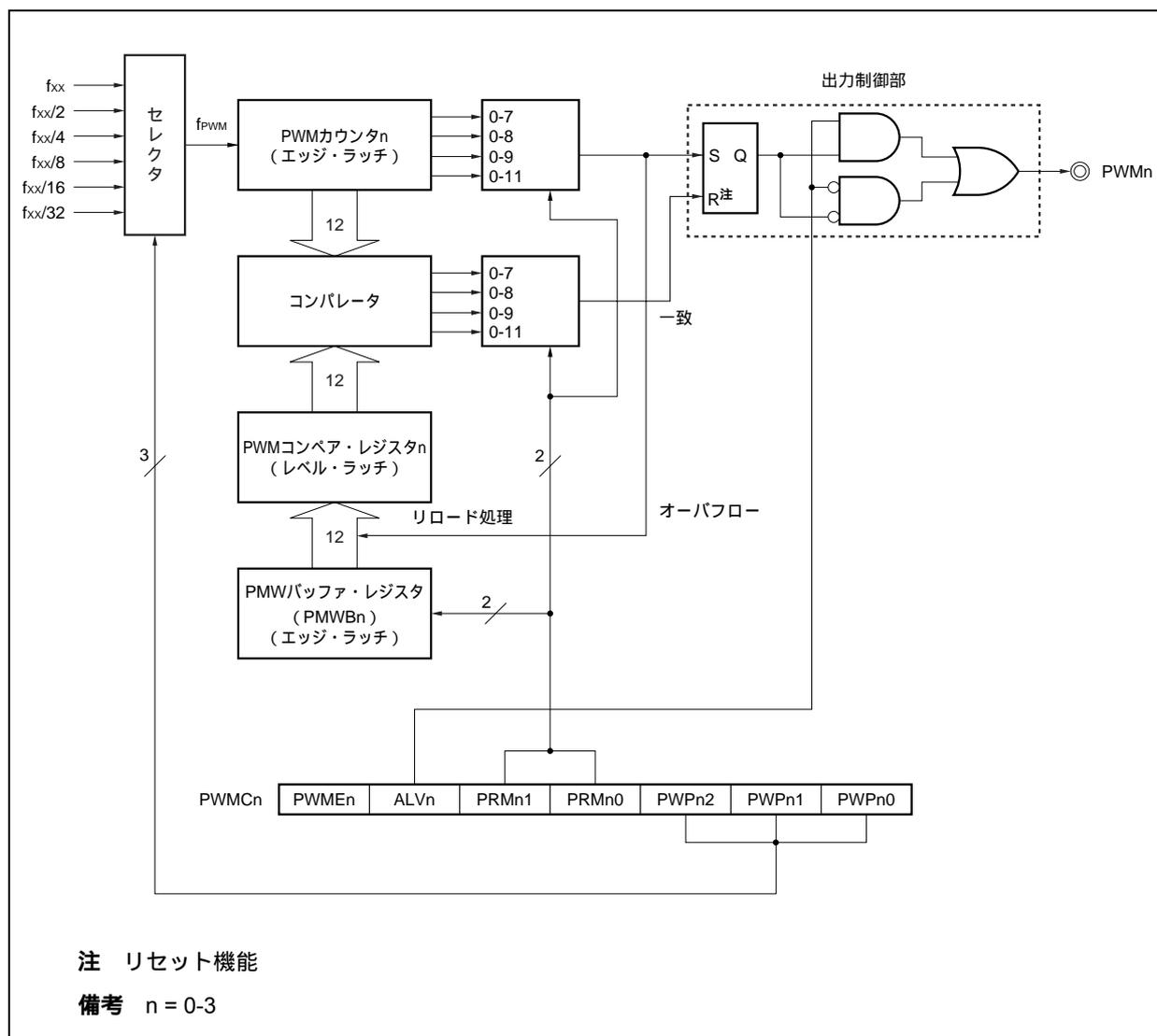
動作クロック : f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$ から選択可能

PWMn出力分解能 : 8, 9, 10, 12ビットから選択可能

備考 n = 0-3

13.2 構成

図13 - 1 PWM機能のブロック図



13.3 レジスタ

(1) PWMコントロール・レジスタn (PWMCn)

PWMCnレジスタは、PWMnの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより40Hになります。

注意 PWMnを使用する場合は、必ずPWMnに関連する外部端子をコントロール・モードに設定してください。そのあとPWMCnレジスタで動作クロック等の設定を行い、PWMBnレジスタの設定を行ったあと、PWME_nビットをセット(1)してください。

リセット時：40H R/W アドレス：PWMC0 FFFFFFFB00H, PWMC1 FFFFFFFB10H,
PWMC2 FFFFFFFB20H, PWMC3 FFFFFFFB30H

	⑦	⑥	5	4	3	2	1	0
PWMCn (n = 0-3)	PWME _n	ALV _n	PRM _{n1}	PRM _{n0}	0	PWP _{n2}	PWP _{n1}	PWP _{n0}
	PWME _n	PWMn動作の許可/禁止指定						
	0	PWMn動作停止						
	1	PWMn動作許可						
	ALV _n	PWMnのアクティブ・レベル指定						
	0	アクティブ・ロウ						
	1	アクティブ・ハイ						
	PRM _{n1}	PRM _{n0}	カウンタ, コンパレータのビット長指定					
	0	0	8ビット					
	0	1	9ビット					
	1	0	10ビット					
	1	1	12ビット					
	PWP _{n2}	PWP _{n1}	PWP _{n0}	PWMnの動作クロック指定				
	0	0	0	f _{xx}				
	0	0	1	f _{xx} /2				
	0	1	0	f _{xx} /4				
	0	1	1	f _{xx} /8				
	1	0	0	f _{xx} /16				
	1	0	1	f _{xx} /32				
	上記以外			設定禁止				

注 PWME_nビットを0から1に設定すると、PWMカウンタnはリセットされ、000H (12ビットの場合) からカウントを開始します。最初のオーバーフローでPWMn信号はアクティブになります。

なお、PWME_nビットが1のとき、さらに1を書き込んでもPWMカウンタnはリセットできません。一度0にしてから1を書き込んでください。

備考 n = 0-3

(2) PWMバッファ・レジスタ_n (PWMB_n)

PWM_n出力のアクティブ信号幅の制御データをセットする12ビットのバッファ・レジスタです。ビット15-12はハードウェアで0に固定されています。

PWM_n出力制御用のPWMカウンタ_nからオーバーフローが発生するタイミングでPWMB_nレジスタの内容をPWMコンペア・レジスタ_nに転送します。

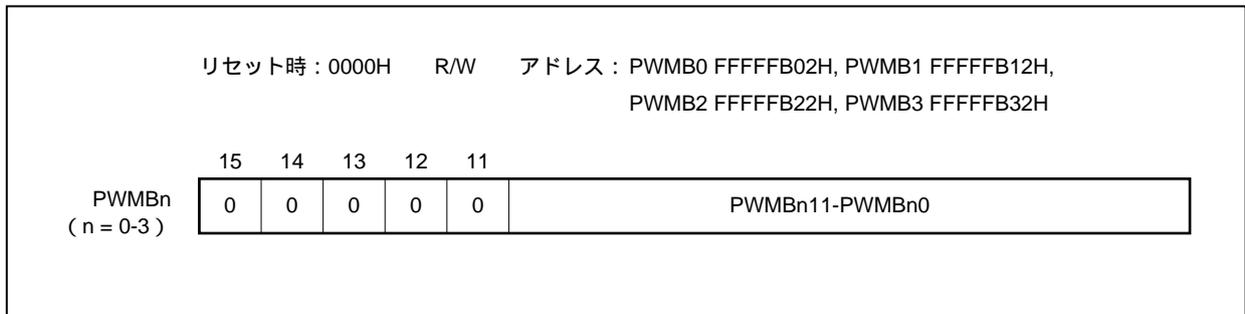
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 メイン・クロック停止, サブクロック動作時に, PWMB_nレジスタにウエイトが発生する方法でアクセスしないでください。

詳細は, 3.4.8 (2) を参照してください。

備考 n = 0-3



注意 PWM_n動作中に, PWMB_nレジスタへの書き込み動作を実行する場合, 動作クロックとの同期化制御のためアクセス時間が延長されます。これはPWM_n動作クロック指定により異なり, f_{xx}選択時が最も短く最大約1 μs (f_{xx} = 20 MHz動作時) になります。動作クロック周波数が低速になるに従いアクセス時間が長くなり, f_{xx}/32では, 最大約4 μs (f_{xx} = 20 MHz動作時) がかかります。

13.4 動作

13.4.1 基本動作

PWMnパルスを出力するときは、PWMCnレジスタ、PWMBnレジスタに必要なデータを設定したあと、PWMCn.PWME_nビットをセット(1)します。これによりPWMカウンタ_nがクリア(000H)され、最初のオーバーフローでPWMn出力のアクティブ・レベルのセットとPWMBnレジスタからPWMコンペア・レジスタ_nへのデータ転送が行われます。そのあと、PWMカウンタ_nとPWMコンペア・レジスタ_nの一致によってPWMn出力はインアクティブになります。この繰り返しでPWMn端子からPWMCn.ALV_nビットで指定したアクティブ・レベルのPWMn信号が出力されます。

PWMCn.PWME_nビットをクリア(0)すると、すぐにPWMn出力を禁止し、PWMn出力はPWMCn.ALV_nビットで指定したインアクティブ・レベルとなります。

PWMn信号の出力中にPWMCn.PWPn0-PWPn2, PRM0, PRM1, ALV_nビットを変更した場合、変更した周期内のPWMn信号の周期幅、パルス幅は保証できません。

備考 n = 0-3

図13-2 PWMn動作タイミング

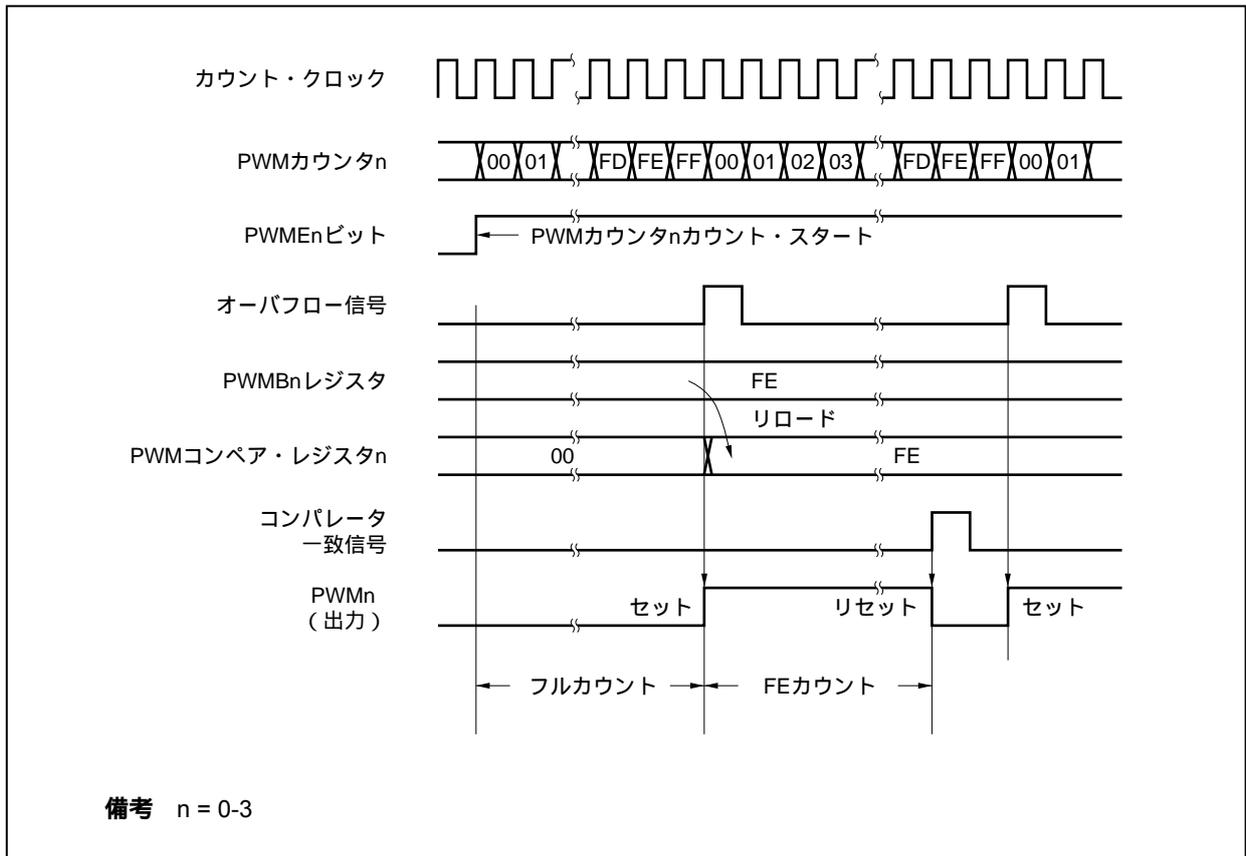
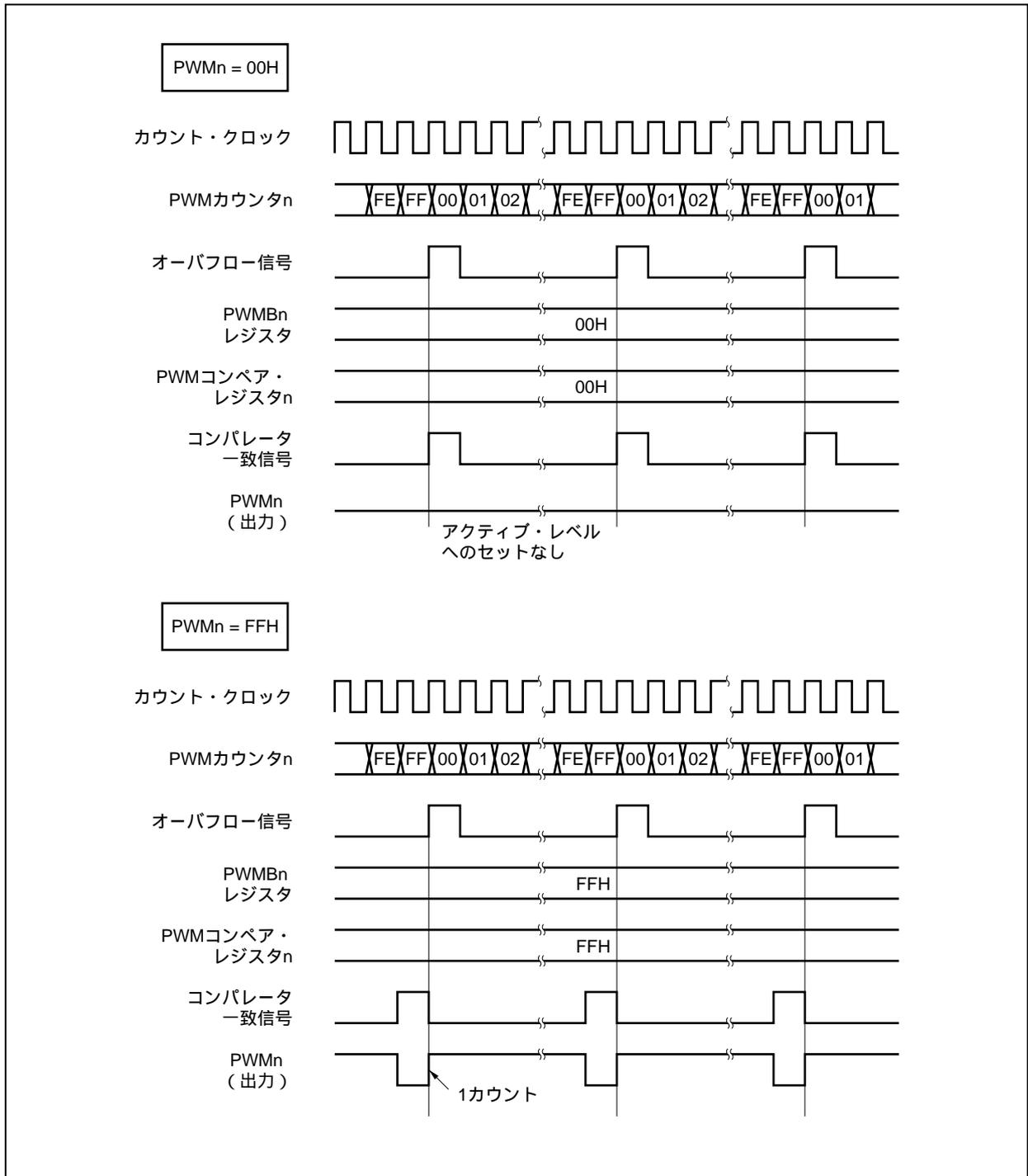


図13 - 3 PWMBnレジスタに00H/FFHを設定した場合の動作タイミング



13.4.2 繰り返し周波数

PWMn出力の繰り返し周波数を次に示します (n = 0-3)。

PWMn動作周波数	分解能	繰り返し周波数 () 内は $f_{xx} = 20$ MHz時の値
f_{xx}	8ビット	$f_{xx}/2^8$ (約78.13 kHz)
	9ビット	$f_{xx}/2^9$ (約39.06 kHz)
	10ビット	$f_{xx}/2^{10}$ (約19.53 kHz)
	12ビット	$f_{xx}/2^{12}$ (約4.88 kHz)
$f_{xx}/2$	8ビット	$f_{xx}/2^9$ (約39.06 kHz)
	9ビット	$f_{xx}/2^{10}$ (約19.53 kHz)
	10ビット	$f_{xx}/2^{11}$ (約9.77 kHz)
	12ビット	$f_{xx}/2^{13}$ (約2.44 kHz)
$f_{xx}/4$	8ビット	$f_{xx}/2^{10}$ (約19.53 kHz)
	9ビット	$f_{xx}/2^{11}$ (約9.77 kHz)
	10ビット	$f_{xx}/2^{12}$ (約4.88 kHz)
	12ビット	$f_{xx}/2^{14}$ (約1.22 kHz)
$f_{xx}/8$	8ビット	$f_{xx}/2^{11}$ (約9.77 kHz)
	9ビット	$f_{xx}/2^{12}$ (約4.88 kHz)
	10ビット	$f_{xx}/2^{13}$ (約2.44 kHz)
	12ビット	$f_{xx}/2^{15}$ (約610 Hz)
$f_{xx}/16$	8ビット	$f_{xx}/2^{12}$ (約4.88 kHz)
	9ビット	$f_{xx}/2^{13}$ (約2.44 kHz)
	10ビット	$f_{xx}/2^{14}$ (約1.22 kHz)
	12ビット	$f_{xx}/2^{16}$ (約305 Hz)
$f_{xx}/32$	8ビット	$f_{xx}/2^{13}$ (約2.44 kHz)
	9ビット	$f_{xx}/2^{14}$ (約1.22 kHz)
	10ビット	$f_{xx}/2^{15}$ (約610 Hz)
	12ビット	$f_{xx}/2^{17}$ (約153 Hz)

13.5 注意事項

各PWMn端子 (n = 0-3) は、それぞれポート1のP1n端子 (n = 0-3) と兼用になっています。PWMn端子として使用する場合、PMC1レジスタの対応するビットをセット (1) してください。また、ポートのほかタイマ出力とも兼用している端子 (P11, P12, P13) には兼用機能の指定を行うPFC1レジスタがありますので、対応するビットをセット (1) してください。PWMn出力を行う際のPMC1, PFC1レジスタ設定値を次に示します。

PWMnパルス出力中にPMC1, PFC1レジスタの該当ビットの設定を変更した場合、PWMnパルス出力は保証できません。

端子	機能	PMC1レジスタ設定	PFC1レジスタ設定
P10	PWM0	PMC10ビット = 1	設定不要
P11	TO00	PMC11ビット = 1	PFC11ビット = 0
	PWM1	PMC11ビット = 1	PFC11ビット = 1
P12	TO01	PMC12ビット = 1	PFC12ビット = 0
	PWM2	PMC12ビット = 1	PFC12ビット = 1
P13	TO20	PMC13ビット = 1	PFC13ビット = 0
	PWM3	PMC13ビット = 1	PFC13ビット = 1

第14章 アシクロナス・シリアル・インタフェース_n(UART_n)

14.1 特 徴

転送速度 300 bps ~ 312.5 kbps (内部システム・クロック20 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 受信バッファ・レジスタ_n (RXB_n) 内蔵

送信バッファ・レジスタ_n (TXB_n) 内蔵

2端子構成 TXD_n : 送信データの出力端子

RXD_n : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTSREN) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSR_n) : 受信許可状態において, シリアル転送完了後シフト・レジスタから受信バッファ・レジスタ_nへ受信データを転送すると発生
- ・送信完了割り込み (INTST_n) : シリアル送信を行ってシフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

備考 n = 0, 1

14.2 構 成

表14 - 1 UARTの構成

項 目	構 成
レジスタ	受信バッファ・レジスタn (RXBn) 送信バッファ・レジスタn (TXBn) 受信シフト・レジスタ 送信シフト・レジスタ アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn)
その他	受信制御パリティ・チェック 送信制御パリティ付加

アシクロナス・シリアル・インタフェースn (UARTn) は、図14 - 1のように構成されています。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)

ASIMnレジスタは、アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)

ASISnレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、ASISnレジスタの読み出しによってリセット(0)されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn)

ASIFnレジスタは、送信時のステータスを示す8ビット・レジスタです。

TXBnレジスタのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

(4) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのチェックも行い、エラーが検出された場合は、エラー内容に応じた値をASISnレジスタにセットします。

(5) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データをRXBnレジスタへ転送します。

このレジスタは直接操作することはできません。

(6) 受信バッファ・レジスタn (RXBn)

RXBnレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXBnレジスタに転送されます。

また、RXBnレジスタへの転送により、受信完了割り込み要求 (INTSRn) が発生します。

(7) 送信シフト・レジスタ

送信シフト・レジスタは、TXBnレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXBnレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDn端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタは直接操作することはできません。

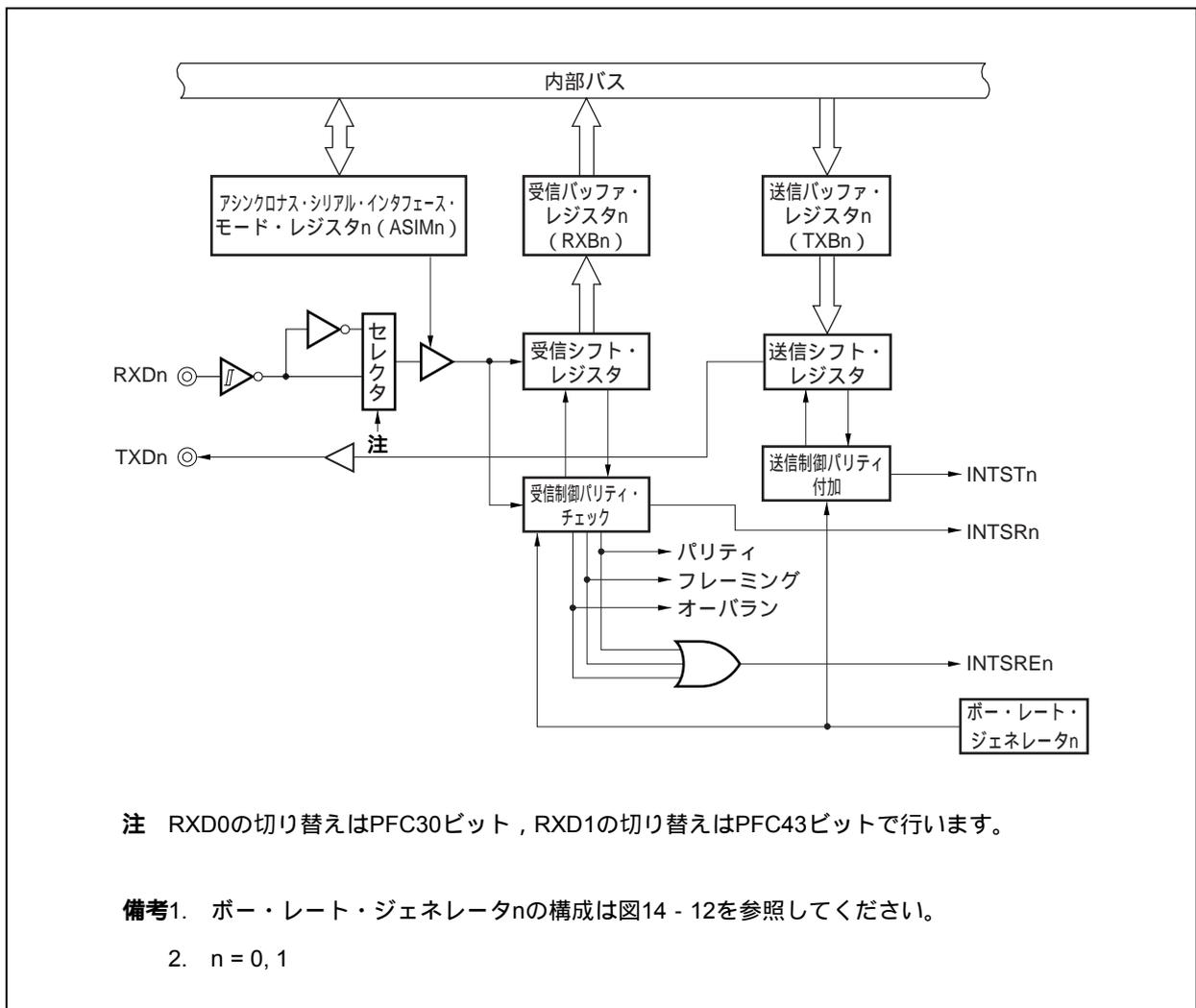
(8) 送信バッファ・レジスタn (TXBn)

TXBnレジスタは、8ビットの送信データ用バッファです。TXBnレジスタへ送信データを書き込むことにより、送信動作が開始されます。

(9) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXBnレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図14 - 1 アシクロナス・シリアル・インタフェースnのブロック図



注 RXD0の切り替えはPFC30ビット，RXD1の切り替えはPFC43ビットで行います。

備考1. ポー・レート・ジェネレータnの構成は図14 - 12を参照してください。

2. n = 0, 1

14.3 レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)

ASIMnレジスタは、UARTnの転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

- 注意1. UARTnを使用する場合には、必ずUARTn機能に関連する外部端子をコントロール・モードに設定したあと、CKSRn, BRGCnレジスタの設定を行ってからUARTCAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
2. RXDn端子にハイ・レベルが入力された状態でUARTCAEnビット = 1, RXEnビット = 1と設定してください。ロウ・レベルのときにUARTCAEnビット = 1, RXEnビット = 1と設定すると受信を開始してしまいます。

(1/3)

リセット時：01H R/W アドレス：ASIM0 FFFFFFFA00H, ASIM1 FFFFFFFA10H

	⑦	⑥	⑤	4	3	2	1	0
ASIMn	UARTCAEn	TXEn	RXEn	PSn1	PSn0	CLn	SLn	ISRMn

UARTCAEn	動作クロックを制御
0	UARTnへのクロック供給を停止
1	UARTnへクロックを供給

・ UARTCAEnビット = 0にすると、UARTnを非同期にリセット^注します。

・ UARTCAEnビット = 0の場合は、UARTnはリセット状態なので、UARTnを動作させる場合には、まずUARTCAEnビット = 1にしてください。

・ UARTCAEnビットを1から0にした場合は、UARTnのすべてのレジスタが初期化されます。再度UARTCAEnビット = 1にする場合には、必ずUARTnのレジスタを再設定してください。

・ TXDn端子の出力は、送信禁止状態の場合、UARTCAEnビットの設定にかかわらずハイ・レベルになります。

TXEn	送信許可 / 禁止を指定
0	送信禁止
1	送信許可

・ 起動時はUARTCAEnビット = 1にしてから、TXEnビット = 1としてください。また、停止時はTXEnビット = 0にしてから、UARTCAEnビット = 0としてください。

・ 送信ユニットを初期化する場合は、TXEnビットをクリア (0) して、Clock (基本クロック) の2周期分の時間を経過してから、再びTXEnビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.6 (1) (a) 基本クロック (Clock) 参照)

注 リセットされるのはASISn, ASIFn, RXBnレジスタです。

RXEn	受信許可 / 禁止を指定
0	受信禁止 ^注
1	受信許可

・起動時はUARTCAEnビット = 1にしてから，RXEnビット = 1としてください。また，停止時は，RXEnビット = 0にしてから，UARTCAEnビット = 0としてください。

・受信ユニットの状態を初期化する場合は，RXEnビットをクリア（0）して，Clock（基本クロック）の2周期分の時間を経過してから，再びRXEnビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては14.6（1）（a）基本クロック（Clock）参照）。

PSn1	PSn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・PSn1, PSn0ビットを書き換えるときは，TXEn, RXEnビットをクリア（0）してから行ってください。

・受信時に「0パリティ」を選択した場合，パリティ判定を行いません。したがって，ASISn.PEビットはセットされないため，パリティ・エラー割り込みも発生しません。

注 受信禁止時は，受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理，RXBnレジスタへの転送処理は行わず，RXBnレジスタの内容は保持されます。

受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。

また，RXBnレジスタへの転送に同期して，受信完了割り込み（INTSRn）を発生しません。

CLn	送受信データ1フレームのキャラクタ長指定
0	7ビット
1	8ビット
・CLnビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。	

SIn	送信データのストップ・ビット長指定
0	1ビット
1	2ビット
・SInビットを書き換えるときは、TXEnビットをクリア(0)してから行ってください。 ・受信は常に「ストップ・ビット長 = 1」として動作するので、SLビットの設定は受信動作に影響を与えません。	

ISRMn	エラー発生時の受信完了割り込み要求発生許可 / 禁止を指定
0	エラー発生時の割り込みとして、受信エラー割り込み要求 (INTSREn) を発生します。 この場合、受信完了割り込み要求 (INTSRn) は発生しません。
1	エラー発生時の割り込みとして、受信完了割り込み要求 (INTSRn) を発生します。 この場合、受信エラー - 割り込み要求 (INTSREn) は発生しません。
・ISRMnビットを書き換えるときは、RXEnビットをクリア(0)してから行ってください。	

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)

ASISnレジスタは、UARTnの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PEn, FEn, OVEN) で構成されています。

ASISnレジスタは、読み出しにより“00H”にクリアされます。受信エラーが発生した場合は、ASISnレジスタを読み出したあと、RXBnレジスタを読み出し、エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

リセットにより00Hになります。

- 注意1. ASIMn.UARTCAEn, RXEnビットを“00”に設定したとき、またはASISnレジスタを読み出したとき、ASISn.PEn, FEn, OVENビットはクリア(0)されます。
2. ビット操作命令による操作は禁止です。

リセット時：00H R アドレス：ASIS0 FFFFFFFA03H, ASIS1 FFFFFFFA13H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVEn

PEn	パリティ・エラーを示すステータス・フラグ
0	ASIMn.UARTCAEn, RXEnビット = 00に設定したとき、または、ASISnレジスタをリードしたとき
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき
・ PEnビットの動作は、ASIMn.PS1, PS0ビットの設定値により異なります。	

FEn	フレーミング・エラーを示すステータス・フラグ
0	ASIMn.UARTCAEn, RXEnビット = 00に設定したとき、または、ASISnレジスタをリードしたとき
1	受信完了時、ストップ・ビットが検出されないとき
・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。	

OVEn	オーバラン・エラーを示すステータス・フラグ
0	ASIMn.UARTCAEn, RXEnビット = 00に設定したとき、または、ASISnレジスタをリードしたとき
1	RXBnレジスタの受信データを読み出す前にUARTnが次の受信動作を完了したとき
・ オーバラン・エラーが発生した場合、次の受信データはRXBnレジスタに書き込まれず、データは破棄されます。	

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn)

ASIFnレジスタは、送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXBnレジスタから送信シフト・レジスタへデータが転送されたあとに、次のデータをTXBnレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXBnレジスタへの誤った書き込みを防止するために、TXBFnビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：ASIF0 FFFFFFFA05H, ASIF1 FFFFFFFA15H

	7	6	5	4	3	2	①	②
ASIFn	0	0	0	0	0	0	TXBFn	TXSFn

TXBFn	送信バッファ・データ・フラグ
0	TXBnレジスタに次に転送すべきデータが存在しない(ASIMn.UARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき)
1	TXBnレジスタに次に転送すべきデータが存在する(TXBnレジスタにデータを書き込んだとき)
・連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXBnレジスタに書き込んでください。このフラグが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。	

TXSFn	送信シフト・レジスタ・データ・フラグ(UARTnの送信状態を示します。)
0	初期状態または送信待ち(ASIMn.UARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または送信完了後にTXBnレジスタから次のデータ転送がなかったとき)
1	送信中(TXBnレジスタからデータ転送されたとき)
・送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。	

(4) 受信バッファ・レジスタn (RXBn)

RXBnレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

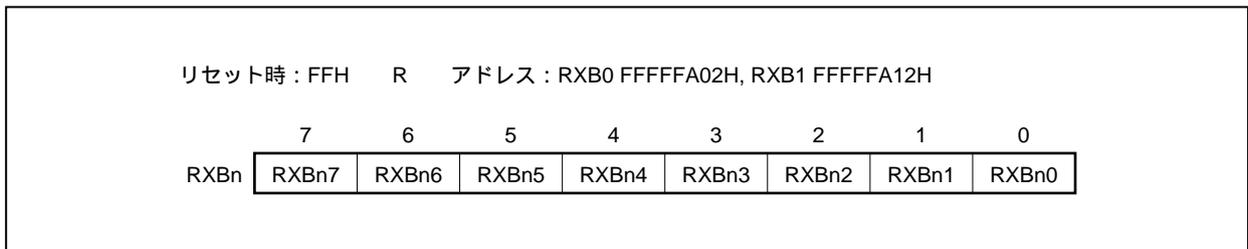
受信許可状態のとき (ASIMn.RXEnビット = 1)、受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタからRXBnレジスタに転送されます。また、RXBnレジスタへの転送により、受信完了割り込み要求 (INTSRn) が発生します。発生するタイミングについては14.5 (4) **受信動作**を参照してください。

受信禁止状態のとき (ASIMn.RXEnビット = 0)、1フレーム分のシフト・イン処理が終了してもRXBnレジスタへの転送は処理されず、RXBnレジスタの内容は保持されます。また、受信完了割り込みも発生しません。

データ長を7ビットに指定した場合、受信データはRXBnレジスタのビット6-0に転送され、MSB (ビット7) は必ず0になります。また、オーバラン・エラー (OVEn) が発生した場合、そのときの受信データはRXBnレジスタに転送されません。

リセット以外に、ASIMn.UARTCAEnビット = 0によってもRXBnレジスタはFFHになります。

8ビット単位でリードだけ可能です。



(5) 送信バッファ・レジスタn (TXBn)

TXBnレジスタは、送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIMn.TXEnビット = 1) , TXBnレジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき (TXEnビット = 0) , TXBnレジスタにデータを書き込んでも値は無視されます。

TXBnレジスタのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求 (INTSTn) を発生します。発生するタイミングについては14.5

(2) 送信動作を参照してください。

ASIFn.TXBFnビット =1のときは、TXBnレジスタへの書き込みは行わないでください。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



14.4 割り込み要求

UARTnからは次の3種類の割り込み要求を発生します。

- ・受信エラー割り込み (INTSREn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表14 - 1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSREn)

受信許可状態中で、ASISnレジスタで説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。ASIMn.ISRMnビットにより、エラー発生時に受信エラー割り込み (INTSREn) を発生させるか、受信完了割り込み (INTSRn) を発生させるかを指定できます。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファ・レジスタ (RXBn) に転送されると受信完了割り込みが発生します。

受信完了割り込み要求は、ASIMn.ISRMnビットにより、受信エラーが起こった場合にも、受信エラー割り込みの代わりとして発生させることができます。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTSTn)

送信シフト・レジスタから7ビット / 8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

14.5 動作

(1) データ・フォーマット

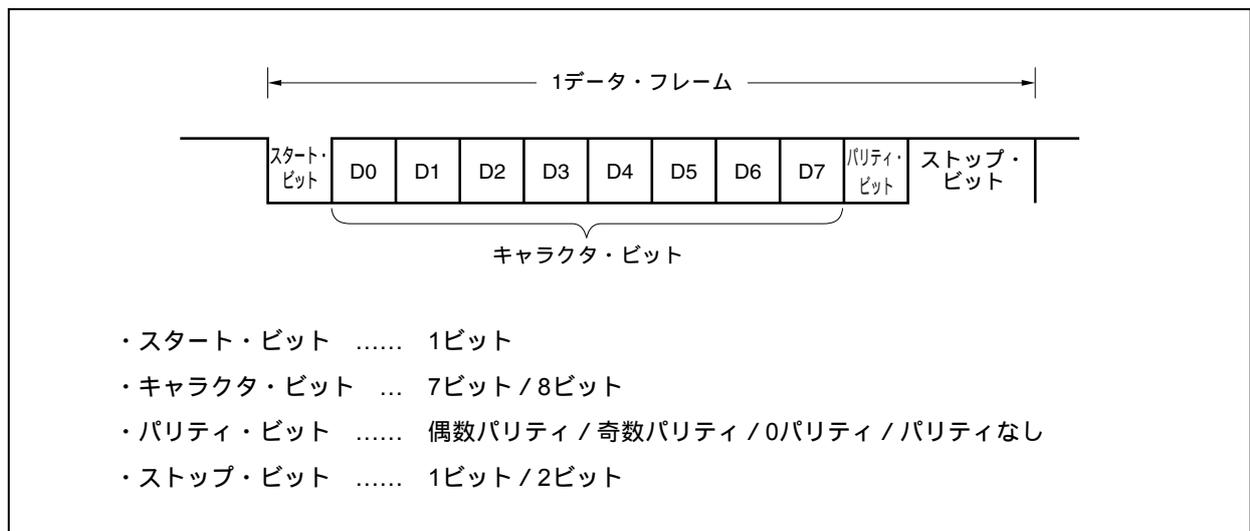
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図14-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、ASIMnレジスタによって行います。

また、データはLSBファーストで転送します。

図14-2 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



(2) 送信動作

ASIMn.UARTCAEnビット = 1にすることにより、TXDn端子はハイ・レベルを出力します。

次にASIMn.TXEnビット = 1にすると送信許可状態になり、TXBnレジスタに送信データを書き込むと送信動作が起動します。

(a) 送信許可状態

TXEnビットで設定します。

- ・TXEnビット = 1 : 送信許可状態
- ・TXEnビット = 0 : 送信禁止状態

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

送信許可状態では、TXBnレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBnレジスタ内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

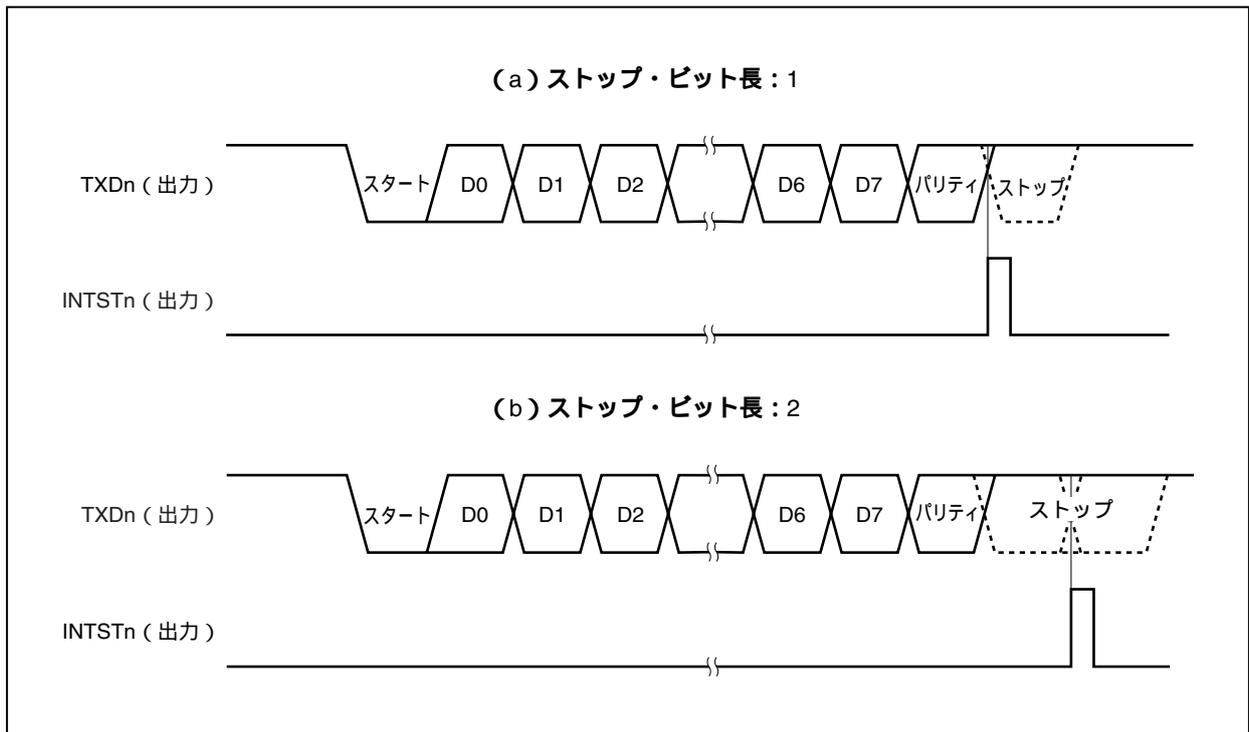
(c) 送信割り込み

送信シフト・レジスタが空になると送信完了割り込み (INTSTn) が発生します。ストップ・ビット長の指定により、INTSTn割り込みの発生タイミングが異なります。INTSTn割り込みは、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

注意 通常、送信シフト・レジスタが空になったときに送信完了割り込み (INTSTn) が発生します。しかし、リセットにより送信シフト・レジスタが空になった場合、送信完了割り込み (INTSTn) は発生しません。

図14 - 3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 連続送信動作

UARTnは、送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後のINTSTn割り込み処理時でも連続送信を行うことができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にASIFn.TXSFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意 連続送信でASIFn.TXBFn, TXSFnビットは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBFn, TXSFnビットの組み合わせで判断しないでください。連続送信を行う場合はTXBFnビットのみを読み出してください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

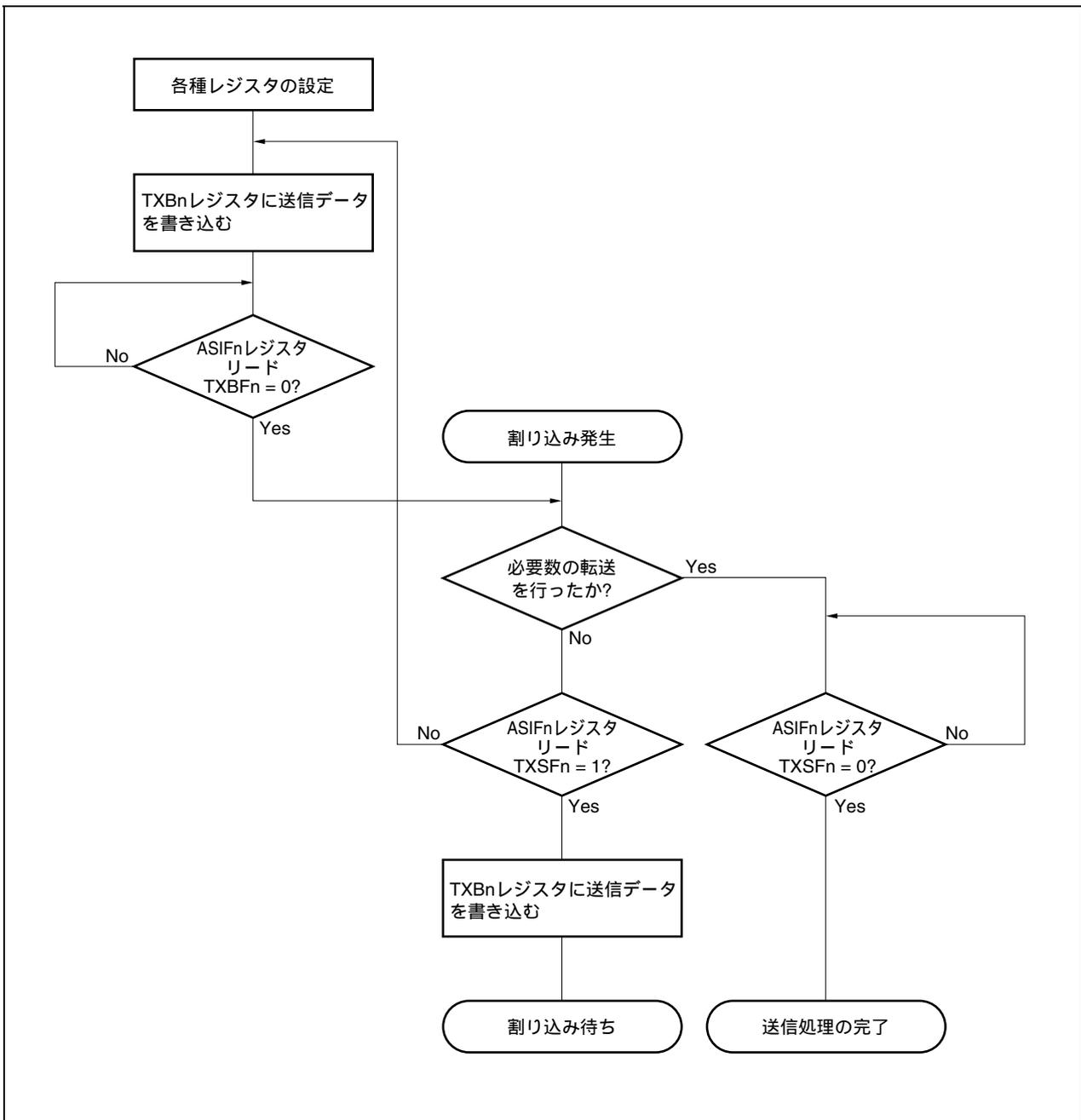
注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ（2バイト目）をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSFnビットで、通信状態を確認することができます。

TXSFn	送信状態
0	送信が終了しています。
1	送信中です。

- 注意** 1. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXBFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
2. 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

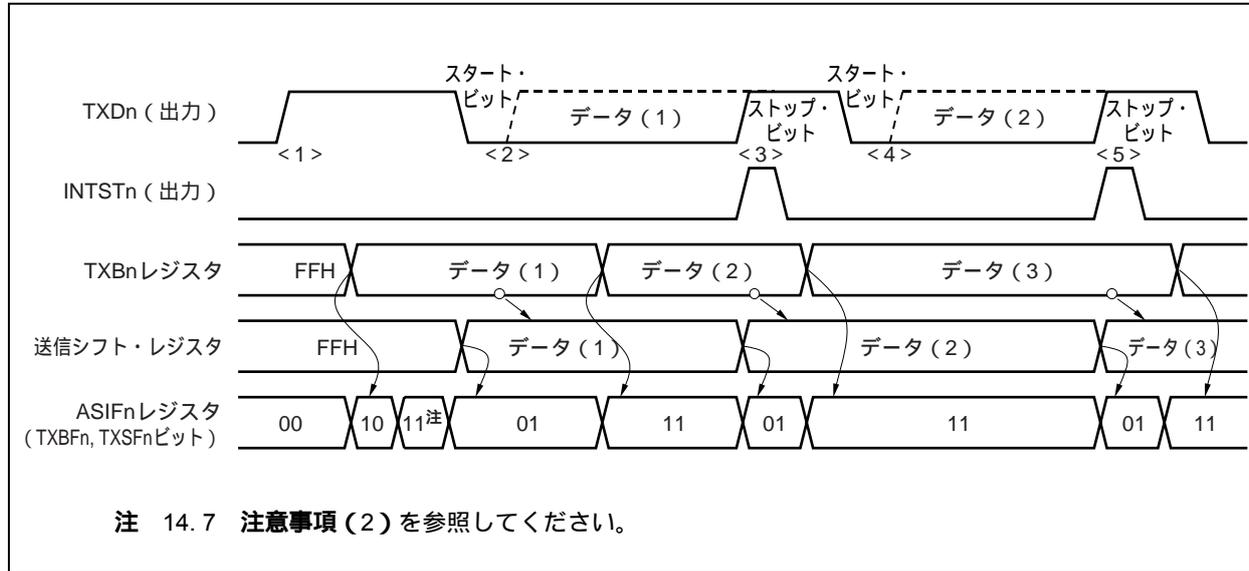
図14 - 4 連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図14-5 連続送信の開始手順 (ストップ・ビット長: 1の場合)



注 14.7 注意事項(2)を参照してください。

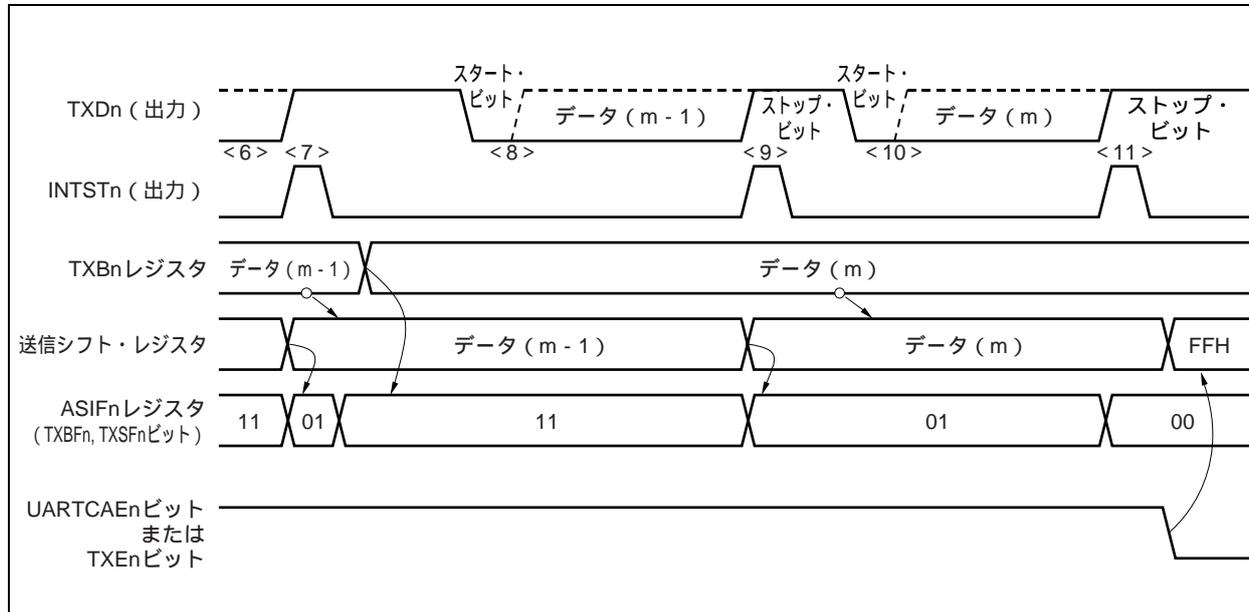
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み	<2> スタート・ビットの生成	1	1 ^注
	データ(1)送信スタート	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(2)の書き込み	<<送信中>>	1	1
	<3> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = nを確認する)		<u>0</u>	1
データ(3)の書き込み	<4> スタート・ビットの生成	1	1
	データ(2)送信スタート		
	<<送信中>>		
	<5> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(4)の書き込み		1	1

注 14.7 注意事項(2)を参照してください。

(b) 終了手順

連続送信を終了する手順を次に示します。

図14-6 連続送信の終了手順 (ストップ・ビット長: 1の場合)



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
ASIFnレジスタのリード (TXBFnビット = 0を確認する) ← データ (m) の書き込み →	<6> データ (m - 2) の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
		<u>0</u>	1
ASIFnレジスタのリード (TXSFnビット = 1を確認する) ← 書き込みデータはなし	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
		0	<u>1</u>
ASIFnレジスタのリード (TXSFnビット = 0を確認する) ← UARTCAEnビットまたはTXEnビットをクリア (0)	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
		0	<u>0</u>
	内部回路の初期化		

(4) 受信動作

ASIMn.UARTCAEnビット = 1にし、次にASIMn.RXEnビット = 1にすることにより、受信待ち状態になります。受信動作を開始するには、まず、RXDn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば、スタート・ビットを認識します。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み (INTSRn) が発生します。通常、この割り込み処理でRXBnレジスタからメモリに受信データを転送します。

(a) 受信許可状態

受信動作はRXEnビットをセット (1) することにより、受信許可状態となります。

- ・ RXEnビット = 1 : 受信許可状態
- ・ RXEnビット = 0 : 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、RXBnレジスタの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします。

(c) 受信完了割り込み

RXEnビット = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信完了割り込み (INTSRn) が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnレジスタに転送します。

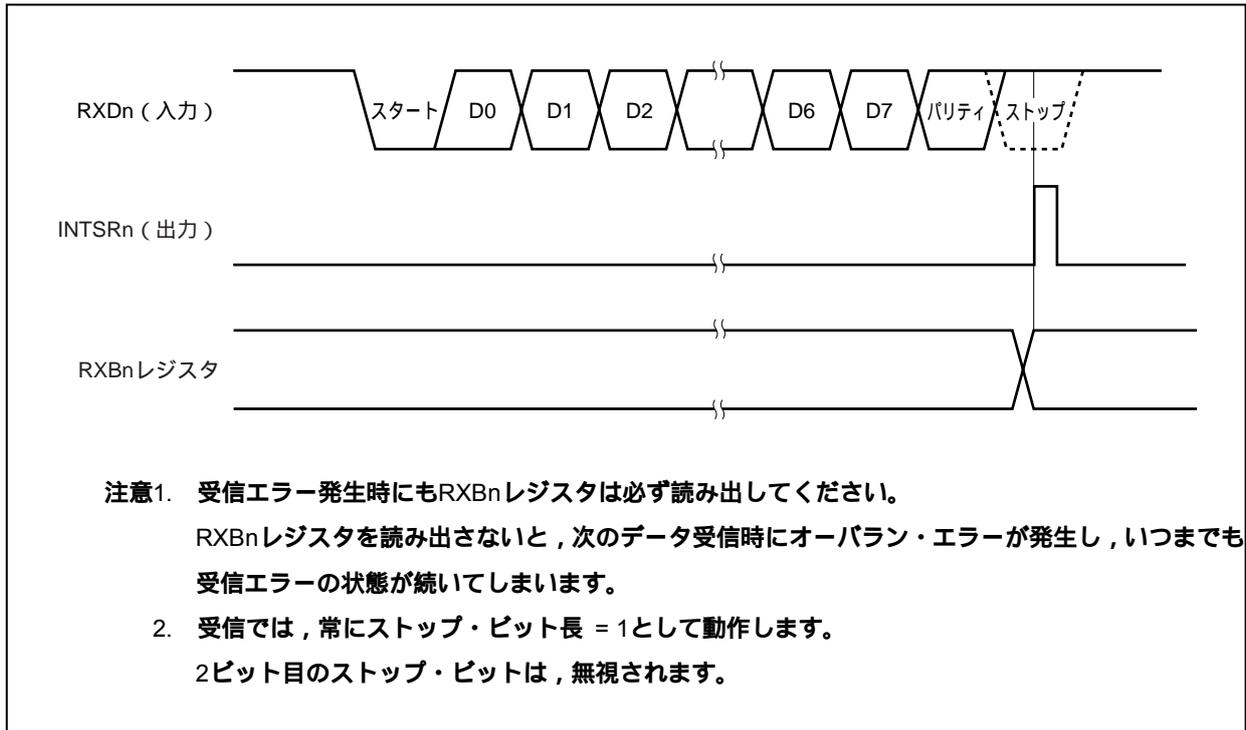
また、オーバラン・エラー (OVerEnフラグ) が発生した場合、そのときの受信データは、RXBnレジスタに転送されず、ASIMn.ISRMnビットの設定に従って、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSREn) が発生します。

なお、受信動作中にパリティ・エラー (PEnフラグ)、またはフレーミング・エラー (FEnフラグ) が発生した場合でも、ストップ・ビットの受信位置までは、受信動作を継続し、受信完了後にISRMnビットの設定に従って、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSREn) が発生します (受信シフト・レジスタ内の受信データはRXBnレジスタに転送されます)。

また、受信動作中にRXEnビットをクリア (0) すると、すぐに受信動作を停止します。このときRXBnレジスタとASISnレジスタの内容は変化せず、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSREn) は発生しません。

RXEnビット = 0 (受信禁止) では、受信完了割り込みは発生しません。

図14 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(5) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット(1)されると同時に、受信エラー割り込み (INTSREn)、または受信完了割り込み (INTSRn) が発生します。INTSREnまたはINTSRnのどちらかを発生させるかは、ASIMn.ISRMnビットで指定します。

INTSREn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってリセット(0)されます。

表14 - 2 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEEn	オーバーラン・エラー	RXBnレジスタからデータを読み出す前に次のデータ受信が完了

(a) 受信エラー割り込みの分離

ASIMn.ISRMnビットをクリア(0)することにより、受信エラー割り込みをINTSRn割り込みと分離し、INTSREn割り込みとして発生させることができます。

図14 - 8 受信エラー割り込みを受信完了割り込み (INTSRn) から分離する場合 (ISRMnビット = 0)

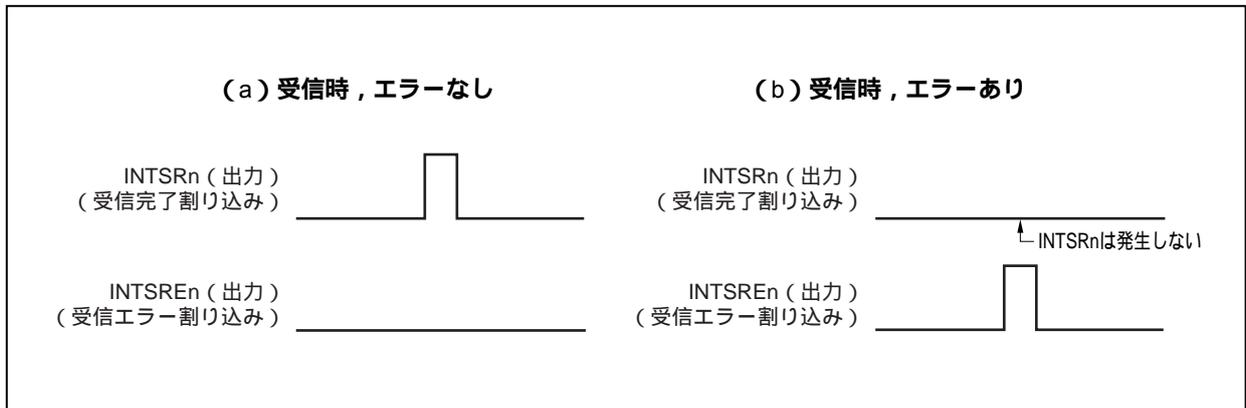
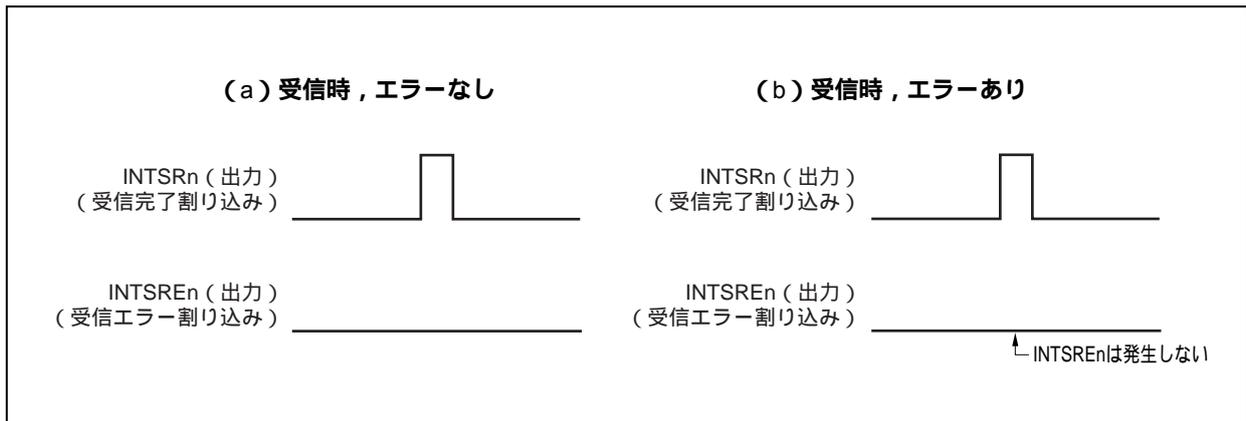


図14 - 9 受信エラー割り込みも受信完了割り込み (INTSRn) に含める場合 (ISRMnビット = 1)



(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

(a) 偶数パリティ**(i) 送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ**(i) 送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (Clock) の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図14 - 11参照)。基本クロックについては14.6 (1) (a) 基本クロック (Clock) を参照してください。

また、回路は図14 - 10のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図14 - 10 ノイズ・フィルタ回路

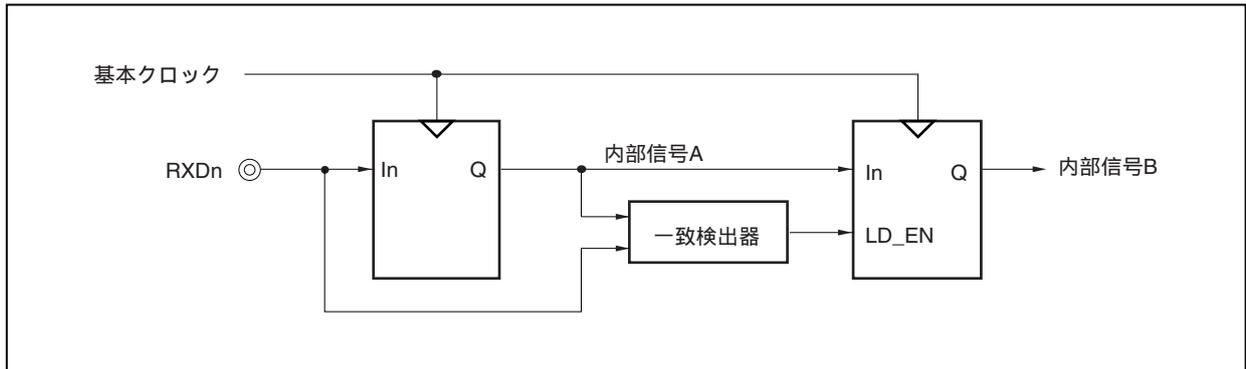
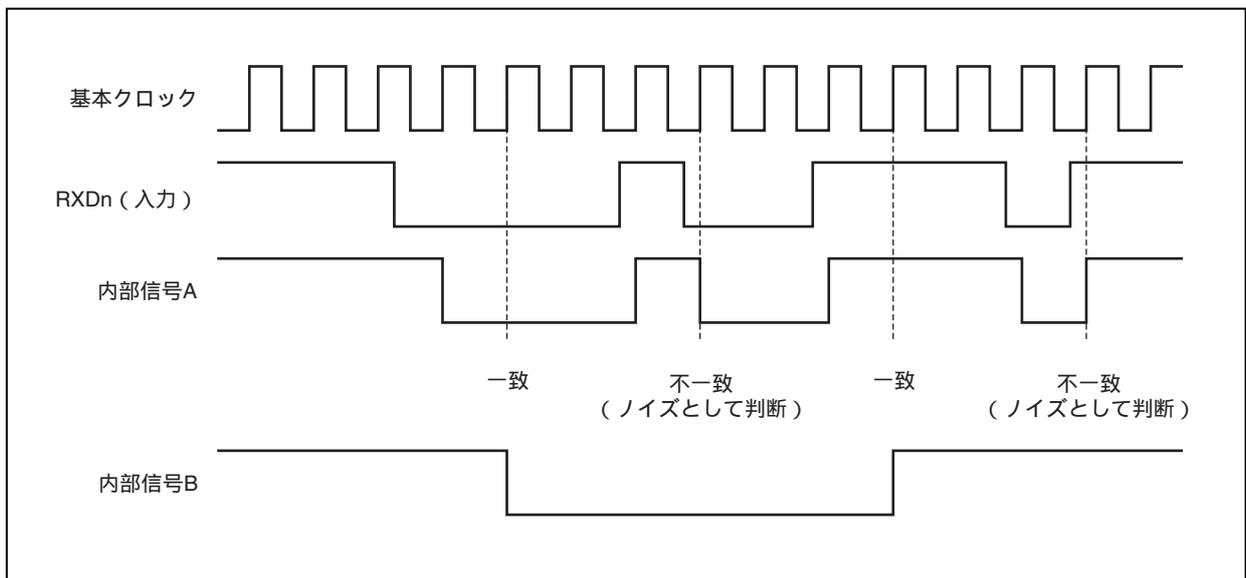


図14 - 11 ノイズとして判断されるRXDn信号のタイミング



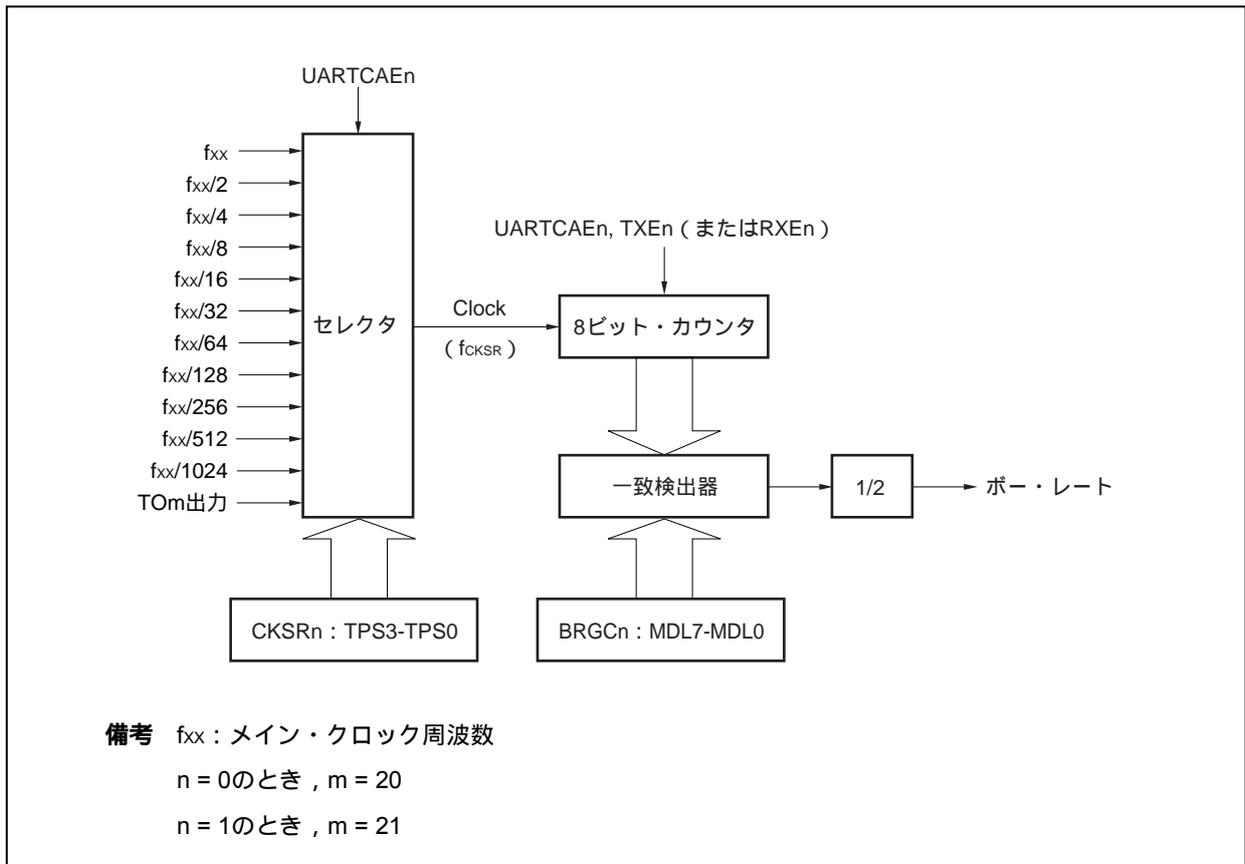
14.6 専用ポー・レート・ジェネレータn (BRGn)

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータn (BRGn) の構成

図14 - 12 ポー・レート・ジェネレータn (BRGn) の構成



(a) 基本クロック (Clock)

ASIMn.UARTCAEnビット = 1のとき、CKSRn.TPS3-TPS0ビットで選択したクロックを送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼び、その周波数を f_{CKSR} と呼びます。UARTCAEnビット = 0のときは、Clockはロウ・レベルに固定となります。

(2) シリアル・クロックの生成

CKSRnレジスタとBRGnレジスタの設定により、シリアル・クロックを生成できます。CKSRn.TPS3-TPS0ビットにより、8ビット・カウンタへの基本クロックを選択します。BRGn.MDL7-MDL0ビットにより、8ビット・カウンタの分周値を設定できます。

(a) クロック選択レジスタn (CKSRn)

CKSRnレジスタは、TPS3-TPS0ビットにより、基本クロックを選択するための8ビット・レジスタです。TPS3-TPS0ビットで選択されたクロックが、送受信モジュールの基本クロック (Clock) になります。その周波数を f_{CKSR} と呼びます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TPS3-TPS0ビットを書き換える場合は、ASIMn.UARTCAEnビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：CKSR0 FFFFFFFA06H, CKSR1 FFFFFFFA16H

	7	6	5	4	3	2	1	0
CKSRn	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0

TPSn3	TPSn2	TPSn1	TPSn0	受信動作
0	0	0	0	f_{xx} ^注
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	0	$f_{xx}/64$
0	1	1	1	$f_{xx}/128$
1	0	0	0	$f_{xx}/256$
1	0	0	1	$f_{xx}/512$
1	0	1	0	$f_{xx}/1024$
1	0	1	1	TOM出力
上記以外				設定禁止

備考 n = 0のとき, m = 20

n = 1のとき, m = 21

注 TPSn3-TPSn0ビット = 0000Bは、 $V_{DD} < 3.0 V$ かつ $f_{xx} > 10 MHz$ の場合は設定禁止となります。

(b) ボー・レート・ジェネレータ・コントロール・レジスタn (BRGCn)

BRGCnレジスタは、UARTnのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 MDLn7-MDLn0ビットを書き換える場合は、ASIMn.TXEn, RXEnビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：BRGC0 FFFFFFFA07H, BRGC1 FFFFFFFA17H

	7	6	5	4	3	2	1	0
BRGCn	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	設定値 (k)	シリアル・クロック
0	0	0	0	0	x	x	x	-	設定禁止
0	0	0	0	1	0	0	0	8	f _{CKSR} /8
0	0	0	0	1	0	0	1	9	f _{CKSR} /9
0	0	0	0	1	0	1	0	10	f _{CKSR} /10
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	0	250	f _{CKSR} /250
1	1	1	1	1	0	1	1	251	f _{CKSR} /251
1	1	1	1	1	1	0	0	252	f _{CKSR} /252
1	1	1	1	1	1	0	1	253	f _{CKSR} /253
1	1	1	1	1	1	1	0	254	f _{CKSR} /254
1	1	1	1	1	1	1	1	255	f _{CKSR} /255

- 備考**1. f_{CKSR}: CKSRn.TPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数 [Hz]
2. k : MDLn7-MDLn0ビットで設定した値 (k = 8, 9, 10, ... , 255)
3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。
4. x : 任意

(c) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CKSR}}}{2 \times k} \text{ [bps]}$$

f_{CKSR} = CKSRn.TPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数 [Hz]

k = BRGCn.MDLn7-MDLn0ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(d) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロック (Clock) の周波数 = 20 MHz = 20,000,000 Hz

BRGCn.MDLn7-MDLn0ビットの設定値 = 01000001B ($k = 65$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20 \text{ M} / (2 \times 65) \\ &= 20000000 / (2 \times 65) = 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表14-3 ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	f _{xx} = 20 MHz時			f _{xx} = 10 MHz時		
	f _{CKSR}	k	ERR	f _{CKSR}	k	ERR
300	f _{xx} /512	65	0.16	f _{xx} /256	65	0.16
600	f _{xx} /256	65	0.16	f _{xx} /128	65	0.16
1200	f _{xx} /128	65	0.16	f _{xx} /64	65	0.16
2400	f _{xx} /64	65	0.16	f _{xx} /32	65	0.16
4800	f _{xx} /32	65	0.16	f _{xx} /16	65	0.16
9600	f _{xx} /16	65	0.16	f _{xx} /8	65	0.16
19200	f _{xx} /8	65	0.16	f _{xx} /4	65	0.16
31250	f _{xx} /32	10	0.00	f _{xx} /16	10	0.00
38400	f _{xx} /4	65	0.16	f _{xx} /2	65	0.16
76800	f _{xx} /2	65	0.16	f _{xx}	65	0.16
153600	f _{xx}	65	0.16	f _{xx}	33	- 1.36
312500	f _{xx} /4	8	0.00	f _{xx} /2	8	0.00

備考 f_{xx} : メイン・クロック周波数

f_{CKSR} : 基本クロック周波数

k : BRGCn.MDLn7-MDLn0ビットの設定値

ERR : ボー・レート誤差 [%]

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 13 受信時の許容ボー・レート範囲

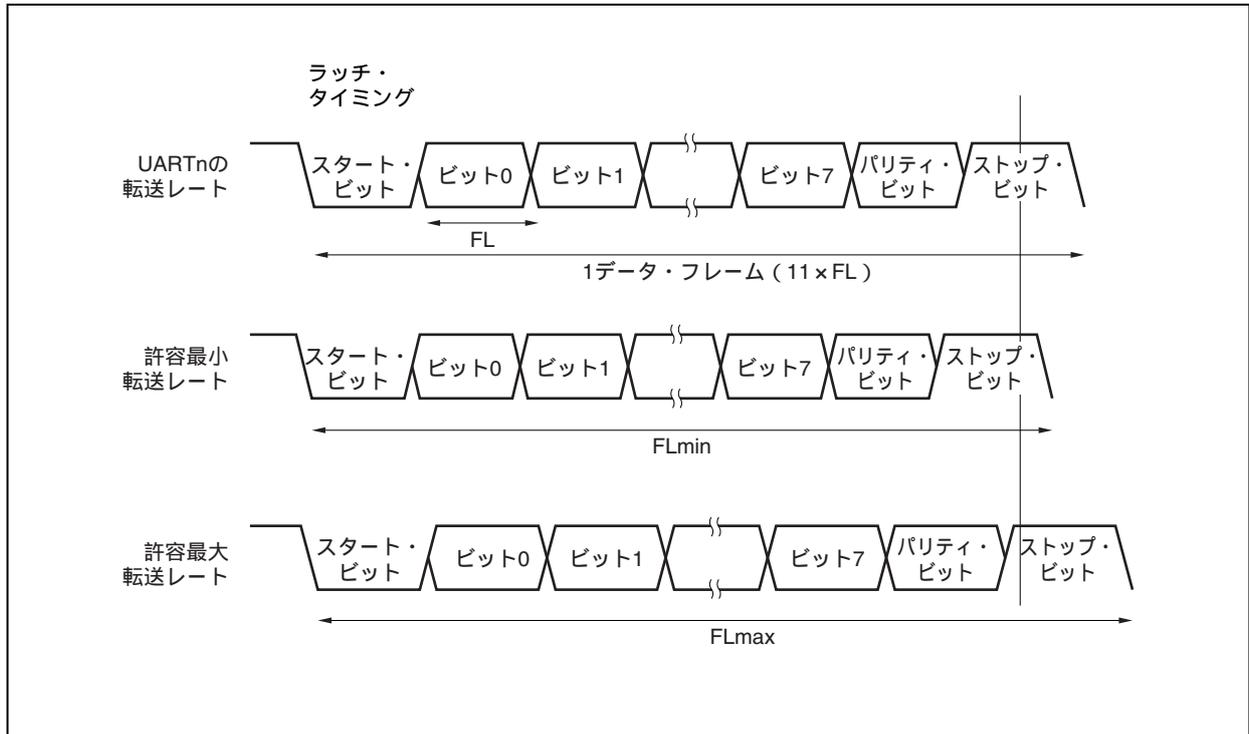


図14 - 13に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UARTnのボー・レート
- k : BRGCnレジスタの設定値
- FL : 1ビット・データ長

ラッチ・タイミングのマーヅンを基本クロック (Clock) の2クロック分とすると、許容最小転送レート (FLmin) は次のようになります。

$$FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14 - 4 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

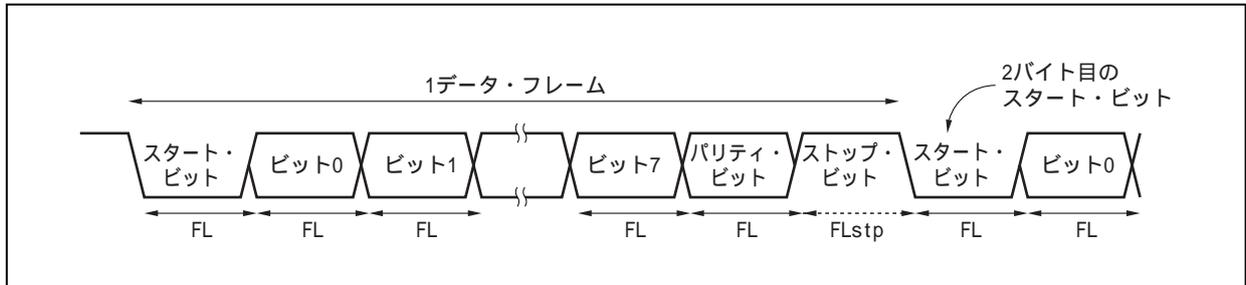
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGCnレジスタの設定値

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロック (Clock) の2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 14 連続送信時の転送レート



1ビット・データ長 : FL, ストップ・ビット長 : FLstp, 基本クロック周波数 : f_{CKSR}とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{CKSR}$$

したがって、連続送信での転送レートは次のようになります (ストップ・ビット長 = 1の場合)。

$$\text{転送レート} = 11 \times FL + 2/f_{CKSR}$$

14.7 注意事項

UARTnについての注意事項を次に示します。

- (1) UARTnへの供給クロックが停止する場合 (例 : IDLE, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIMn.UARTCAEn, RXEn, TXEnビット = 000とし、回路を初期化してください。
- (2) UARTnは、TXBnレジスタ、送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ (ASIFn.TXBFn, TXSFnビット) があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合、「10」「11」「01」と変化します。連続送信を行う場合はTXBFnビットのみを読み出してください。

第15章 クロック同期式シリアル・インタフェース_n (CSIn)

15.1 特 徴

高速転送 マスタ・モード時 : 最大5 Mbps (内部システム・クロック : 20 MHz動作時)

スレーブ・モード時 : 最大5 Mbps

半二重通信

マスタ・モードとスレーブ・モードを選択可能

送信データ長 : 8ビット

転送データのMSB先頭 / LSB先頭を切り替え可能

7本のクロック信号を選択可能 (6本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル・データ出力

SIn : シリアル・データ入力

$\overline{\text{SCKn}}$: シリアル・クロック入出力

割り込みソース1種

・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

送信バッファ (SOTBn) を内蔵

備考 n = 0, 1

15.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によって、CSInを制御します。送受信データはSIO_nレジスタに書き込み / 読み出しができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ_n (CSIMn)

CSIMnレジスタは、CSInの動作を指定する8ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ_n (CSICn)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

(3) シリアルI/Oシフト・レジスタ_n (SIO_n)

SIO_nレジスタは、シリアル・データとパラレル・データの変換を行う8ビット・レジスタです。SIO_nレジスタは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO_nレジスタに対する読み出し / 書き込みにより、実際の送受信動作が制御されます。

(4) クロック同期式シリアル・インタフェース送信バッファ・レジスタ_n (SOTBn)

SOTBnレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

(5) セレクタ

使用するシリアル・クロックを選択します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には \overline{SCKn} 端子へ出力するクロックの制御も行います。

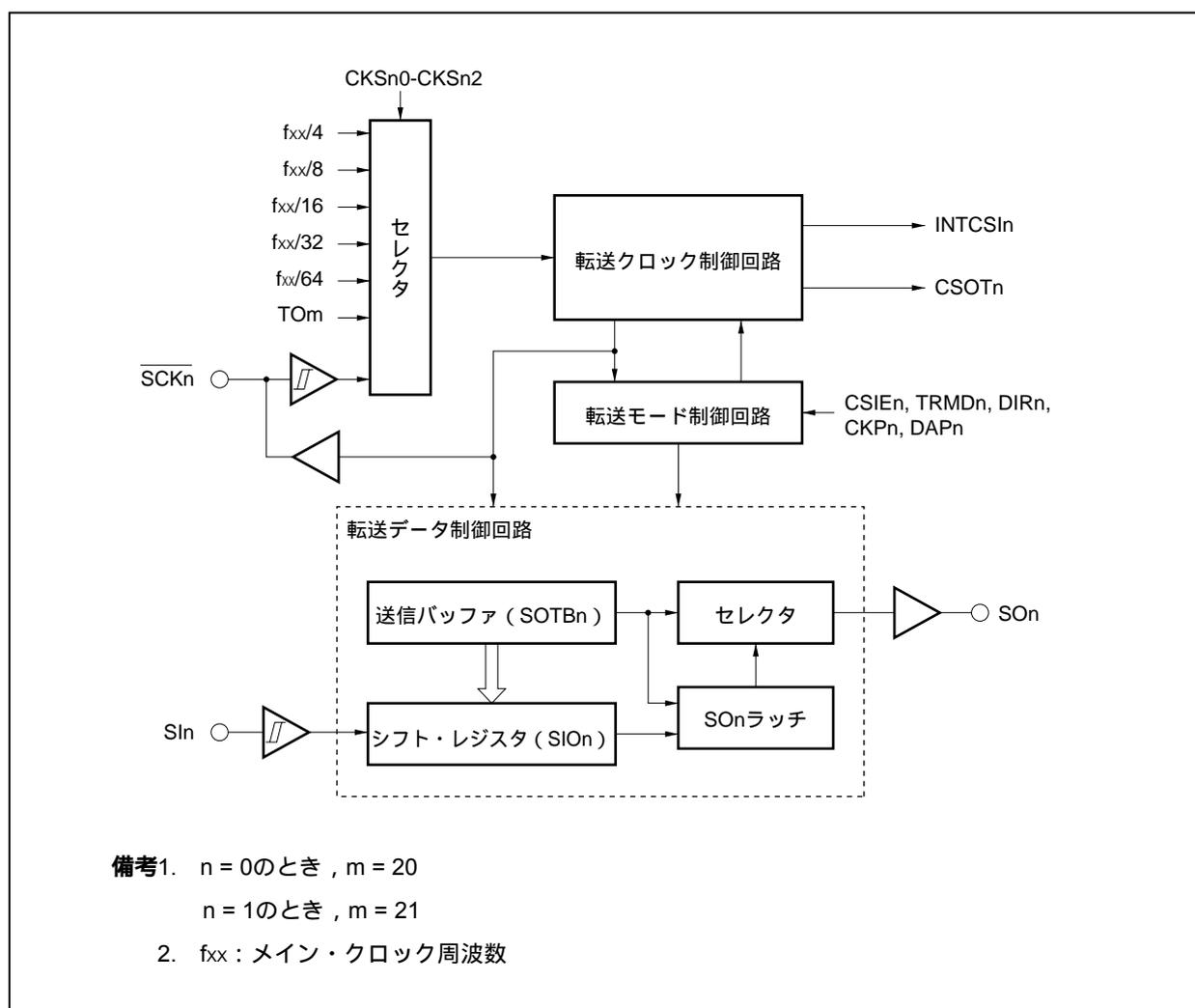
(7) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(8) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図15 - 1 クロック同期式シリアル・インタフェースのブロック図



15.3 レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ_n (CSIM_n)

CSInの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CSInを使用する場合には、必ずCSIn機能に関連する外部端子をコントロール・モードに設定し、CSIC_nレジスタを設定したあとCSIE_nビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

備考 n = 0, 1

リセット時 : 00H R/W アドレス : CSIM0 FFFFFFFD00H, CSIM1 FFFFFFFD10H

	⑦	⑥	5	④	3	2	1	①
CSIMn	CSIE _n	TRMD _n	0	DIR _n	0	0	0	CSOT _n

CSIE _n	CSIn動作許可 / 禁止の指定
0	CSIn動作禁止 (SOn = ロウ・レベル, \overline{SCKn} = ハイ・レベル)
1	CSIn動作許可

・ CSIE_nビット = 0にするとCSInユニットを非同期にリセット^注することができます。
 ・ CSIE_nビット = 0のとき, CSInユニットはリセット状態なので, CSInユニットを動作させる場合には, まずCSIE_nビット = 1にしてください。
 ・ CSIE_nビットを1から0にした場合は, CSInユニットのすべてのレジスタが初期化されます。再度CSIE_nビット = 1にする場合には, 必ずCSInユニットのレジスタを再設定してください

TRMD _n	送信モードの指定
0	受信専用モード
1	送受信モード

・ TRMD_nビット = 0なら, 受信モードになります。そして, SOnはロウ・レベルを出力します。SIO_nレジスタの読み出しにより, データ受信を開始します。
 TRMD_nビット = 1なら, 送受信はSOTB_nレジスタへのデータ書き込みにより開始されます。
 ・ TRMD_nビットの書き換えは, CSOT_nビット = 0のときのみ可能です。

DIR _n	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

・ DIR_nビットの書き換えは, CSOT_nビット = 0のときのみ可能です。

CSOT _n	通信状態フラグ
0	通信停止
1	通信中

・ 送受信モード (TRMD_nビット = 1) にしてシリアル・データ転送を開始しようとする際に, SIO_nレジスタへの書き込みが可能かどうかを判別するための手段として使用します。
 ・ CSOT_nビットは, CSIE_nビットをクリア (0) するとクリアされます。

注 次のレジスタおよびビットをリセットすることができます。

SIO_n, SIOEnレジスタ,
CSIMn.CSOT_nビット

注意 ビット5, 3-1には必ず“0”を設定してください。

備考 n = 0, 1

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CSICnレジスタを変更する場合は、CSIMn.CSIEnビット = 0にしてから変更してください。

リセット時：00H R/W アドレス：CSIC0 FFFFFFFD01H, CSIC1 FFFFFFFD11H

	7	6	5	4	3	2	1	0
CSICn	0	0	0	CKPn	DAPn	CKSn2	CKSn1	CKSn0

CKPn	DAPn	SCKnに対するデータの送受信タイミングの指定
0	0	
0	1	
1	0	
1	1	

CKSn2	CKSn1	CKSn0	シリアル・クロック	モード
0	0	0	設定禁止	
0	0	1	$f_{xx}/4$ ^{注1}	マスタ・モード
0	1	0	$f_{xx}/8$	マスタ・モード
0	1	1	$f_{xx}/16$	マスタ・モード
1	0	0	$f_{xx}/32$	マスタ・モード
1	0	1	$f_{xx}/64$	マスタ・モード
1	1	0	TOm出力 ^{注2}	マスタ・モード
1	1	1	外部クロック (SCKn)	スレーブ・モード

注1. V_{DD} が $V_{DD} < 3.0\text{ V}$ かつ $f_{xx} > 10\text{ MHz}$ の場合は、設定禁止になります。

2. $n = 0$ のとき、 $m = 20$

$n = 1$ のとき、 $m = 21$

(a) 転送レートを選択例

CKSn2	CKSn1	CKSn0	転送レート (bps)	
			20 MHz動作時	10 MHz動作時
0	0	0	設定禁止	設定禁止
0	0	1	5000000 ^注	2500000
0	1	0	2500000	1250000
0	1	1	1250000	625000
1	0	0	625000	312500
1	0	1	312500	156250

注 V_{DD} が2.7 V $V_{DD} < 3.0$ Vの場合は，設定禁止になります。

(3) シリアルI/Oシフト・レジスタn (SIO_n)

SIO_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。
 CSIMn.TRMDnビット = 0のとき、SIO_nレジスタを読み出すことにより受信動作が起動します。
 リセット以外に、CSIMn.CSIE_nビットをクリア (0) しても、SIO_nレジスタは“00H”となります。
 データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。
 8ビット単位でリードだけ可能です。

注意 アイドル状態中(CSIMn.CSOT_nビット = 0)のときだけ、SIO_nレジスタにアクセスできます。

リセット時 : 00H R アドレス : SIO0 FFFFFFFD02H, SIO1 FFFFFFFD12H

	7	6	5	4	3	2	1	0
SIO _n	SIO _n 7	SIO _n 6	SIO _n 5	SIO _n 4	SIO _n 3	SIO _n 2	SIO _n 1	SIO _n 0

備考 n = 0, 1

(4) 受信専用シリアルI/Oシフト・レジスタn (SIOE_n)

SIOE_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。
 CSIMn.TRMDnビット = 0のとき、SIOE_nレジスタを読み出しても受信動作が起動しないため、受信動作を
 起動させずにSIO_nレジスタの値 (受信データ) を読み出すときに使用します。
 データは、MSBまたはLSB側からシフト・イン (受信) します。
 リセット以外に、CSIMn.CSIE_nビットをクリア (0) しても、SIOE_nレジスタは“00H”となります。
 8ビット単位でリードだけ可能です。

注意 アイドル状態中(CSIMn.CSOT_nビット = 0)のときだけ、SIOE_nレジスタにアクセスできます。

リセット時 : 00H R アドレス : SIOE0 FFFFFFFD03H, SIOE1 FFFFFFFD13H

	7	6	5	4	3	2	1	0
SIOE _n	SIOE _n 7	SIOE _n 6	SIOE _n 5	SIOE _n 4	SIOE _n 3	SIOE _n 2	SIOE _n 1	SIOE _n 0

備考 n = 0, 1

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタ_n (SOTB_n)

SOTB_nレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

送受信モード (CSIM_n.TRMD_nビット = 1) に設定したとき、SOTB_nレジスタへのデータ書き込みにより送信動作が起動します。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 アイドル状態中 (CSIM_n.CSOT_nビット = 0) のときだけ、SOTB_nレジスタにアクセスできません。

リセット時 : 00H R/W アドレス : SOTB0 FFFFFFFD04H, SOTB1 FFFFFFFD14H

	7	6	5	4	3	2	1	0
SOTB _n	SOTB _n 7	SOTB _n 6	SOTB _n 5	SOTB _n 4	SOTB _n 3	SOTB _n 2	SOTB _n 1	SOTB _n 0

備考 n = 0, 1

15.4 動作

(1) 転送モード

CSInは、それぞれ1本のクロック・ラインと2本のデータ・ラインの3線でデータの送受信を行います。

受信専用モード (CSIMn.TRMDnビット = 0) の場合、SIO_nレジスタをリードすると通信を開始します。

受信を開始せずにSIO_nレジスタ値を読み出す場合は、SIOEnレジスタを読み出してください。

送受信モード (TRMDnビット = 1) の場合、SOTB_nレジスタへの書き込みで通信を開始します。

CSInの8ビット転送が終了すると、CSIMn.CSOTnビットが“0”になり、自動的に停止します。また、転送が終了すると送受信完了割り込み (INTCSIn) を発生します。

- 注意**
1. CSOTnビット = 1のときに、コントロール・レジスタ、データ・レジスタにアクセスしないでください。
 2. SOTB_nレジスタに送信データをライトしておいて、TRMDnビットを“0”から“1”に設定しても、シリアル転送は行いません。

備考 n = 0, 1

(2) シリアル・クロック

(a) シリアル・クロックとして内部クロックを選択した場合

受信または送信が起動されると、シリアル・クロックをSCK_n端子から出力し、CSIC_n.CKP_n, DAP_nビットの設定に従ってシリアル・クロックに同期したタイミングでSIn端子のデータをSIO_nレジスタへ順次取り込み、またはSIO_nレジスタからデータをSON端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

受信または送信が起動されると、CKP_n, DAP_nビットの設定に従って受信または送受信起動後にSCK_n端子へ入力されたシリアル・クロックに同期して、SIn端子のデータをSIO_nレジスタへ順次取り込み、またはSIO_nレジスタからデータをSON端子へ順次出力します。

受信または送信が起動されていないときに、シリアル・クロックをSCK_n端子へ入力してもシフト動作は行いません。

備考 n = 0, 1

図15-2 転送タイミング

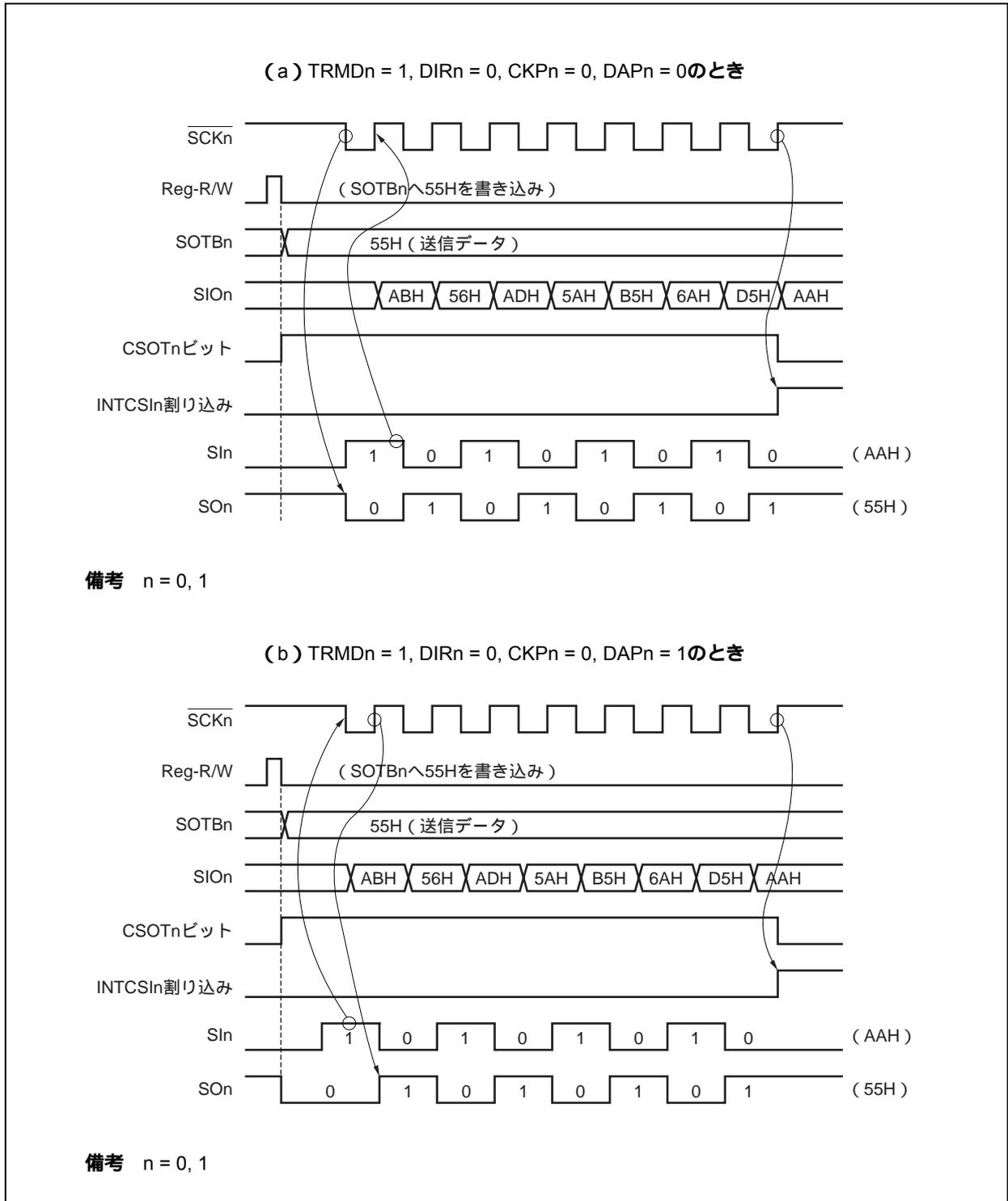
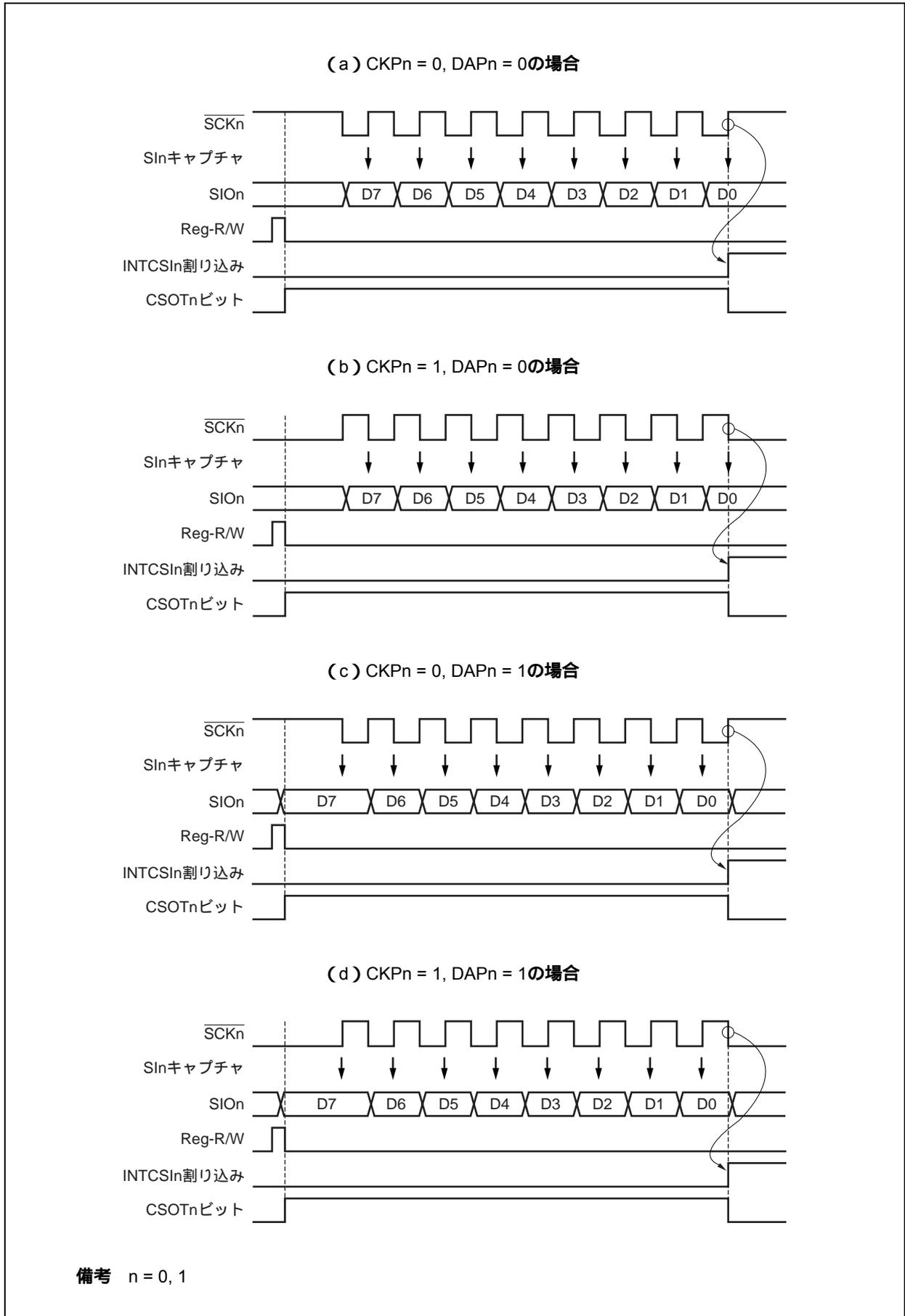


図15-3 クロック・タイミング



15.5 出力端子

各出力端子について説明します。各端子の設定については、表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

(1) SCKn端子

CSIn動作禁止 (CSIMn.CSIEnビット = 0) のとき、SCKn端子出力状態は次のようになります。

CKPn	SCKn端子出力
0	ハイ・レベル固定
1	ロウ・レベル固定

備考 n = 0, 1

(2) SOn端子

CSIn動作禁止 (CSIEnビット = 0) のとき、SOn端子出力状態は次のようになります。

TRMDn	DAPn	DIRn	SOn端子出力	
0	x	x	ロウ・レベル固定	
1	0	x	SOnラッチの値 (ロウ・レベル)	
		1	0	SOTBn7の値
			1	SOTBn0の値

備考1. n = 0, 1

2. x : 任意

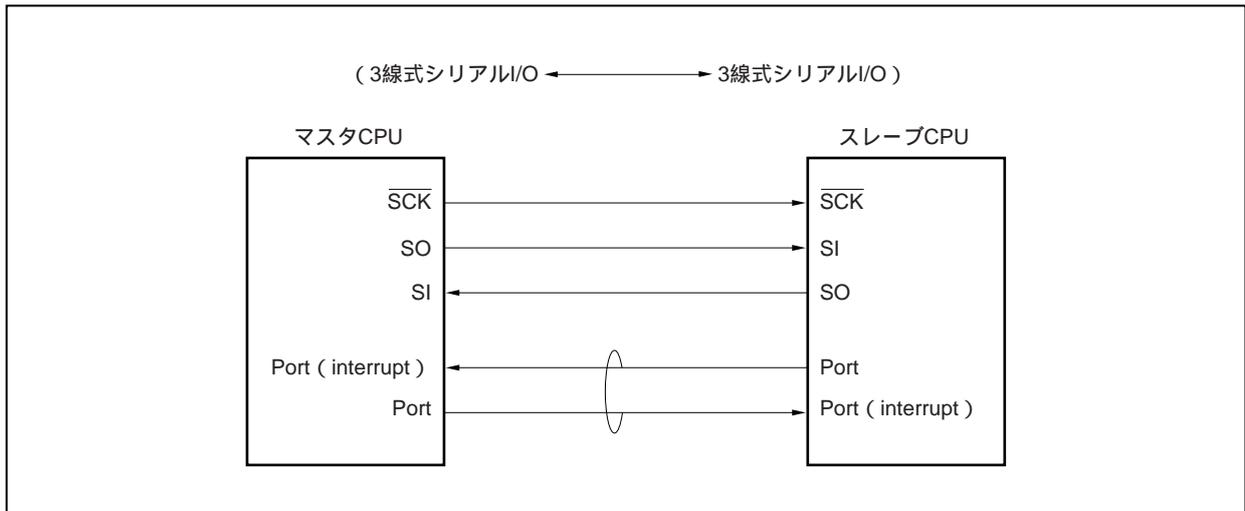
15.6 システム構成例

シリアル・クロック ($\overline{\text{SCKn}}$)、シリアル入力 (SI_n)、シリアル出力 (SO_n) の3種類の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です (n = 0, 1)。

複数のデバイスと接続する場合は、ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図15 - 4 CSIのシステム構成例



第16章 割り込み / 例外処理機能

V850ES/PM1は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計32要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/PM1では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

16.1 特 徴

割り込み

- ・ ノンマスカブル割り込み：1要因
- ・ マスカブル割り込み：外部3本，内部28要因
- ・ 8レベルのプログラマブル優先順位制御（マスカブル割り込み）
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外：32要因
- ・ 例外トラップ：2要因（不正命令コード例外，ディバグ・トラップ）

これらの割り込み / 例外要因を表16 - 1に示します。

表16 - 1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力	端子	0000H	00000000H	不定	-
				WDTオーバーフロー (WDTRES)	WDT				
ノンマスク カブル	割り込み	-	NMI	NMI端子有効エッジ入 力	端子	0010H	00000010H	nextPC	-
ソフトウ エア例外	例外	-	TRAP0 ^注	TRAP命令	-	004nH ^注	00000040H	nextPC	-
		-	TRAP1 ^注	TRAP命令	-	005nH ^注	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBTRAP	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクカブル	割り込み	0	INTWDTM	インターバル・タイ マ・オーバーフロー	WDT	0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子有効エッジ 入力	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子有効エッジ 入力	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子有効エッジ 入力	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTAD	AD変換終了	ADC	00C0H	000000C0H	nextPC	ADIC
		5	INTRTC	RTC割り込み	RTC	00D0H	000000D0H	nextPC	RTCIC
		6	INTTM000	TM00-CR000一致 / TI001端子入力	TM00	00E0H	000000E0H	nextPC	TMIC000
		7	INTTM001	TM00-CR001一致 / TI000端子入力	TM00	00F0H	000000F0H	nextPC	TMIC001
		8	INTTM010	TM01-CR010一致 / TI011端子入力	TM01	0100H	00000100H	nextPC	TMIC010
		9	INTTM011	TM01-CR011一致 / TI010端子入力	TM01	0110H	00000110H	nextPC	TMIC011
		10	INTTM020	TM02-CR020一致 / TI021端子入力	TM02	0120H	00000120H	nextPC	TMIC020
		11	INTTM021	TM02-CR021一致 / TI020端子入力	TM02	0130H	00000130H	nextPC	TMIC021
		12	INTTM030	TM03-CR030一致 / TI031端子入力	TM03	0140H	00000140H	nextPC	TMIC030
		13	INTTM031	TM03-CR031一致 / TI030端子入力	TM03	0150H	00000150H	nextPC	TMIC031
		14	INTCC100	CC100キャプチャ・ト リガ入力/ TM10-CC100一致	TM10	0160H	00000160H	nextPC	CCIC100
		15	INTCC101	CC101キャプチャ・ト リガ入力/ TM10-CC101一致	TM10	0170H	00000170H	nextPC	CCIC101
16	INTOVF10	TM10オーバーフロー	TM10	0180H	00000180H	nextPC	OVFIC10		

注 nは0-FHの値

表16 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	17	INTCC110	CC110キャプチャ・トリ ガ入力 / TM11-CC110一 致	TM11	0190H	00000190H	nextPC	CCIC110
		18	INTCC111	CC111キャプチャ・トリ ガ入力 / TM11-CC111一 致	TM11	01A0H	000001AH	nextPC	CCIC111
		19	INTOVF11	TM11オーバフロー	TM11	01B0H	000001B0H	nextPC	OVFIC11
		20	INTTM20	TM20-CR20一致 / TM20オーバフロー	TM20	01C0H	000001C0H	nextPC	TMIC20
		21	INTTM21	TM21-CR21一致 / TM21オーバフロー	TM21	01D0H	000001D0H	nextPC	TMIC21
		22	INTCSI0	CSI0転送終了	CSI0	01E0H	000001E0H	nextPC	CSIIC0
		23	INTCSI1	CSI1転送終了	CSI1	01F0H	000001F0H	nextPC	CSIIC1
		24	INTSRE0	UART0受信エラー	UART0	0200H	00000200H	nextPC	SREIC0
		25	INTSR0	UART0受信終了	UART0	0210H	00000210H	nextPC	SRIC0
		26	INTST0	UART0送信終了	UART0	0220H	00000220H	nextPC	STIC0
		27	INTSRE1	UART1受信エラー	UART1	0230H	00000230H	nextPC	SREIC1
		28	INTSR1	UART1受信終了	UART1	0240H	00000240H	nextPC	SRIC1
		29	INTST1	UART1送信終了	UART1	0250H	00000250H	nextPC	STIC1
		30	INTROV	RTCオーバフロー	RTC	0260H	00000260H	nextPC	ROVIC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生して
いる場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ
(PC)のことです。なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた
場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、
割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

16.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

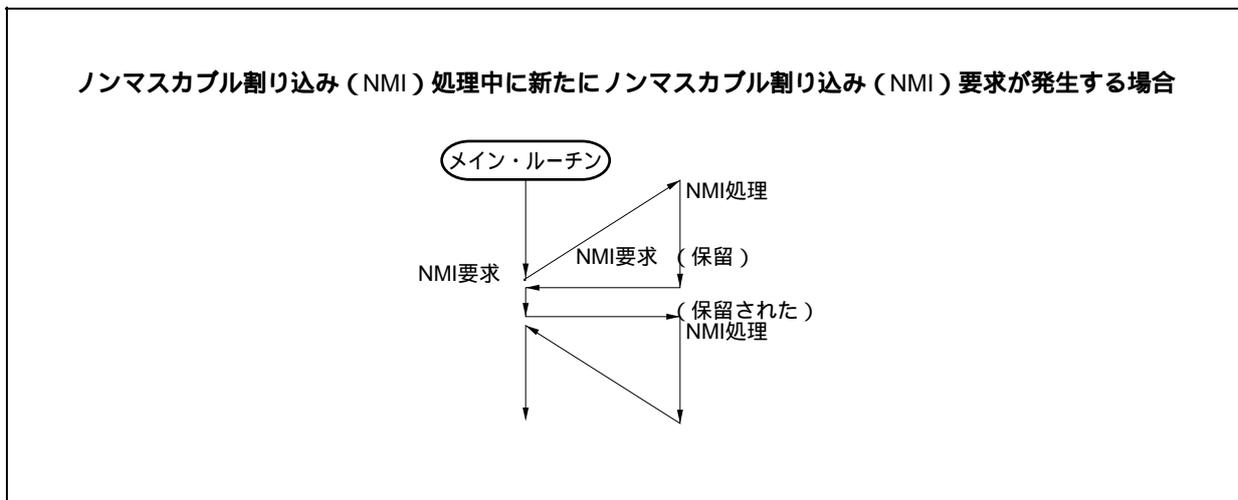
ノンマスクابل割り込み要求はNMI端子によって行います。

NMI端子の有効エッジは、“立ち上がりエッジ” “立ち下がりエッジ” “両エッジ” “エッジ検出なし” の4種類から選択できます。

なお、NMI処理中に、新たにNMI要求が発生した場合は、CPUのプログラム・ステータス・ワード（PSW）のNPビットの値によらず、新たなNMI要求は保留されます。保留されたNMI要求は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

注意 ノンマスクابل割り込み要求が発生した場合、PC、PSWの値はNMI時状態退避レジスタ（FEPC、FEPSW）に退避されます。NMI処理はRETI命令によって復帰できます。

図16 - 1 ノンマスクابل割り込み要求の受け付け動作



16.2.1 動作

NMI入力によりノンマスクابل割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

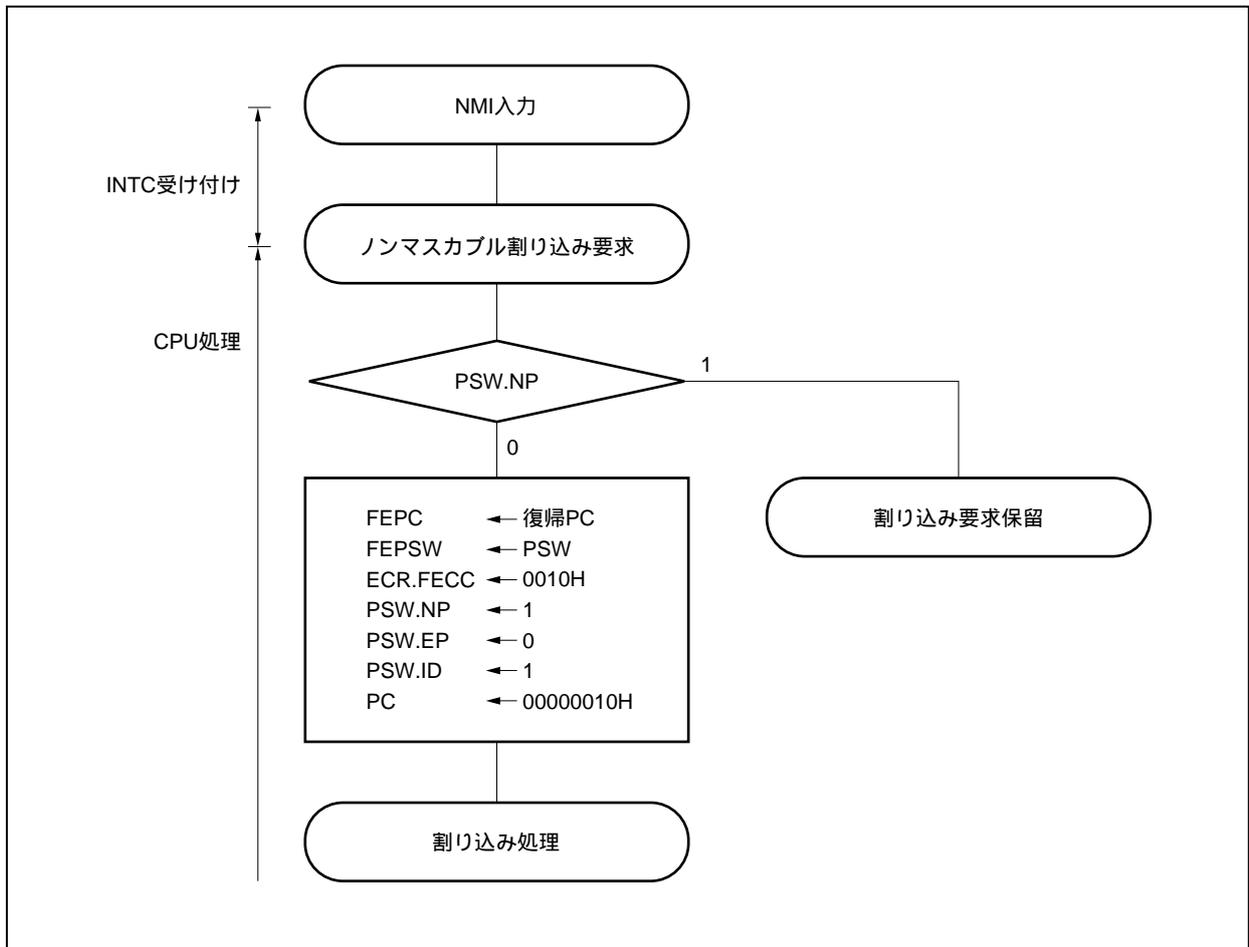
ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図16 - 2に示します。

図16 - 2 ノンマスクابل割り込みの処理形態



16.2.2 復 帰

NMIからの復帰は，RETI命令により行います。

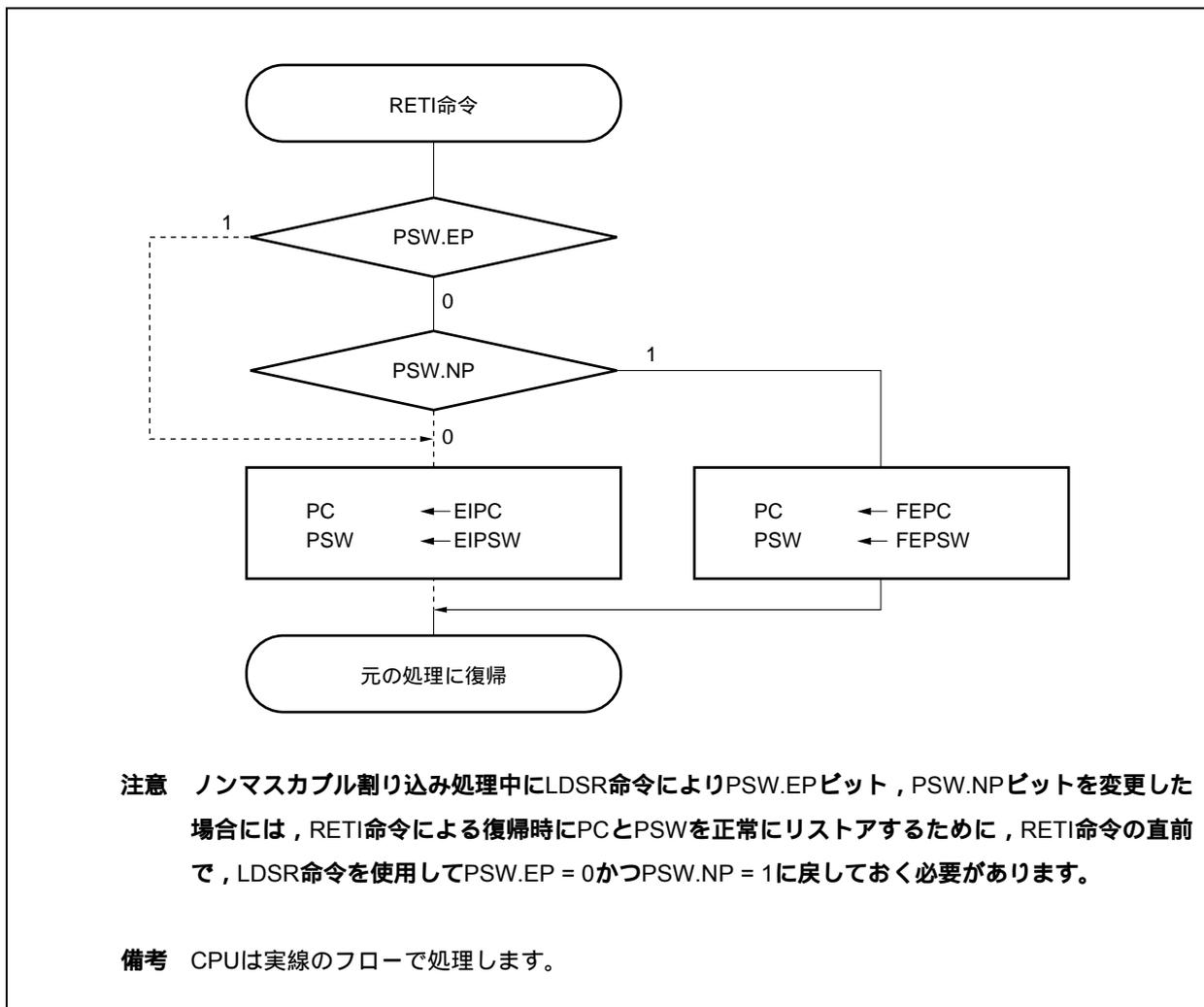
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビット = 0かつPSW.NPビット = 1なので，FEPC，FEPSWから復帰PC，PSWを取り出します。

取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図16 - 3に示します。

図16 - 3 RETI命令の処理形態



16.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求を受け付けるとセットされ、ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスクابل割り込み処理状態
0	ノンマスクابل割り込み処理中でない
1	ノンマスクابل割り込み処理中

16.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、31種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

16.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

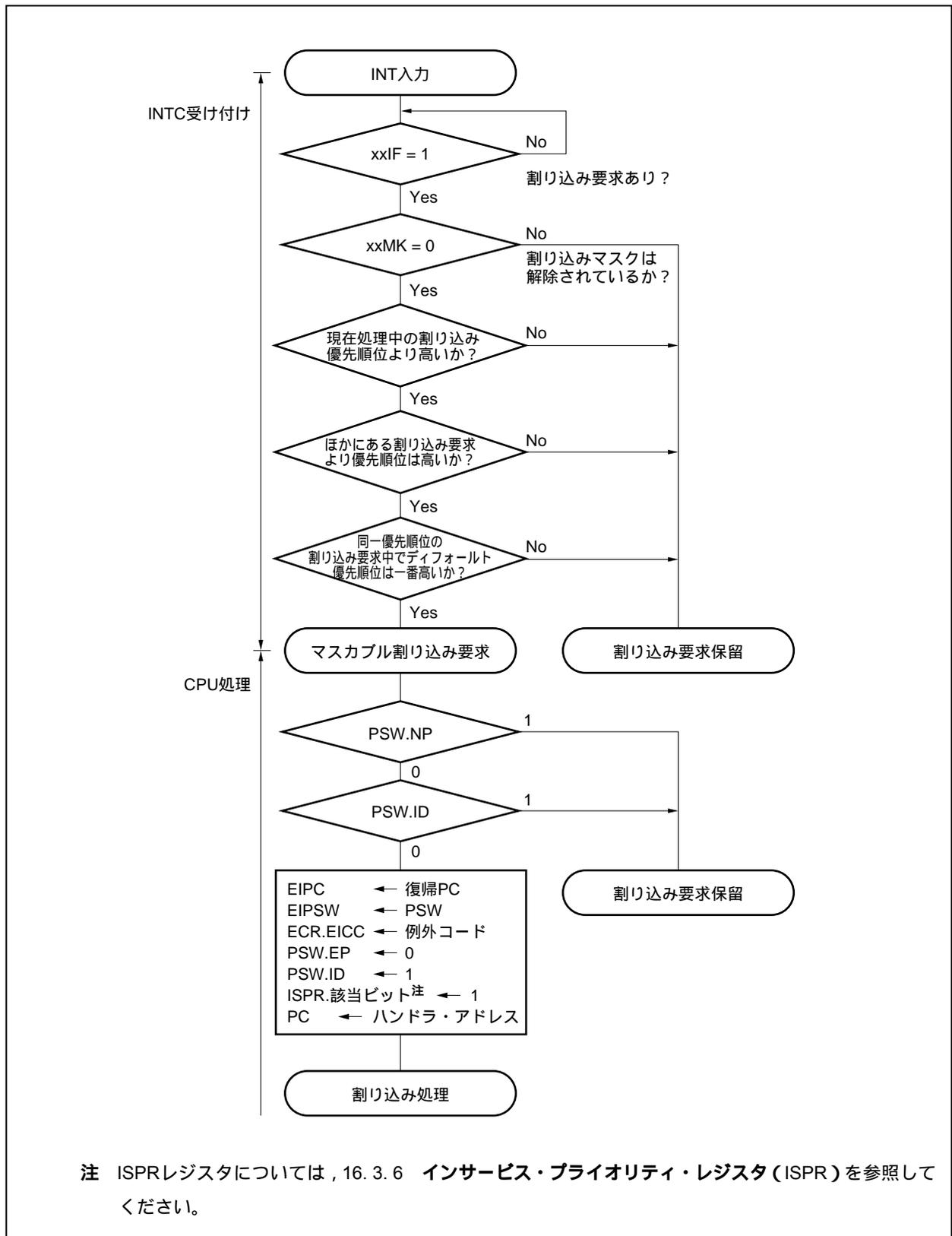
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求と、ほかの割り込み処理中（PSW.NP = 1またはPSW.ID = 1）に発生したマスカブル割り込み要求は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してPSW.NP = 0かつPSW.ID = 0にすると、保留していたマスカブル割り込み要求の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図16 - 4 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW.NP = 1またはPSW.ID = 1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

16.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

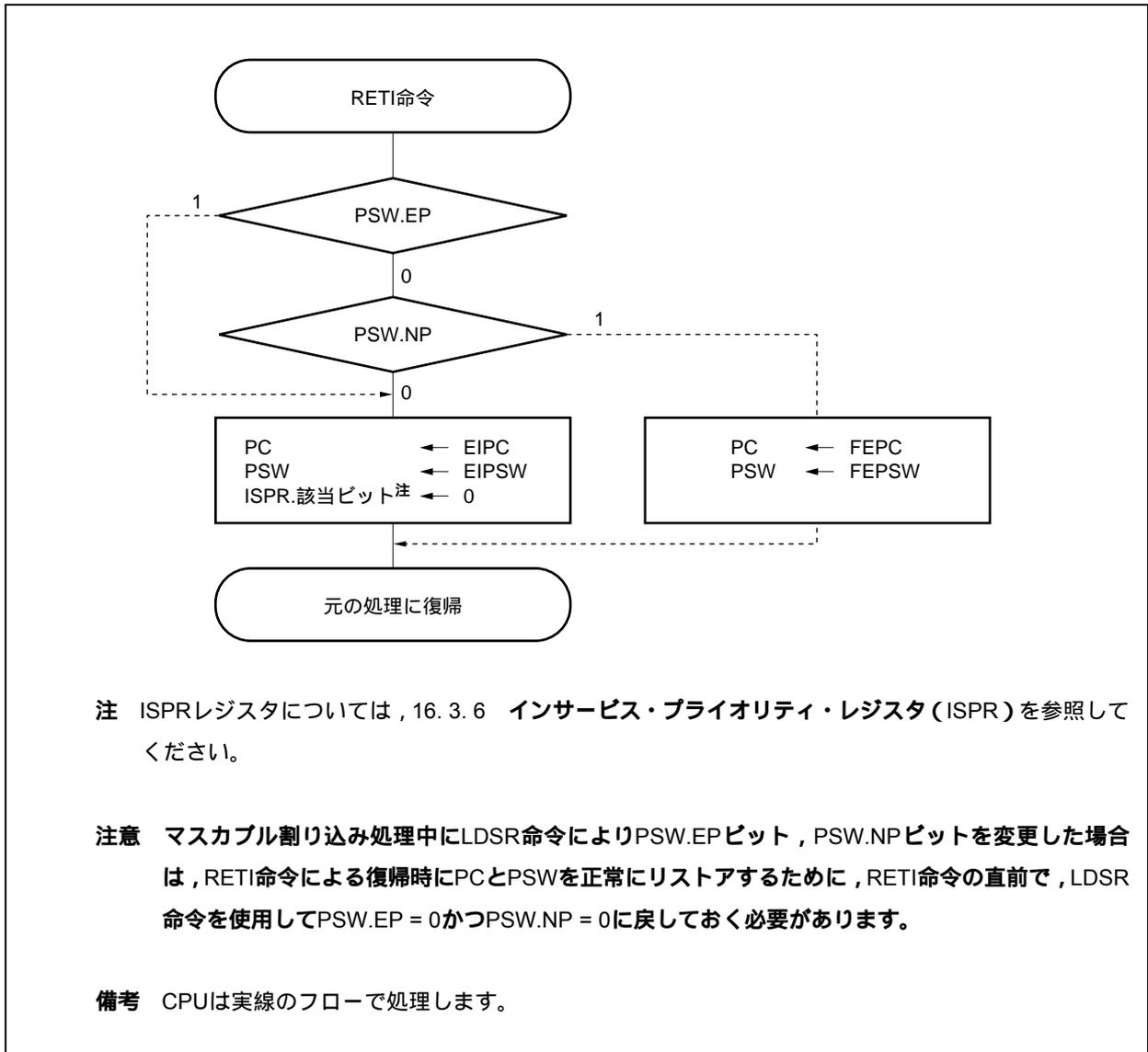
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビット = 0かつPSW.NPビット = 0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図16 - 5に示します。

図16 - 5 RETI命令の処理形態



16.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表16-1 **割り込み要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表16-2参照)

n : 周辺ユニット番号 (表16-2参照)

図16 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

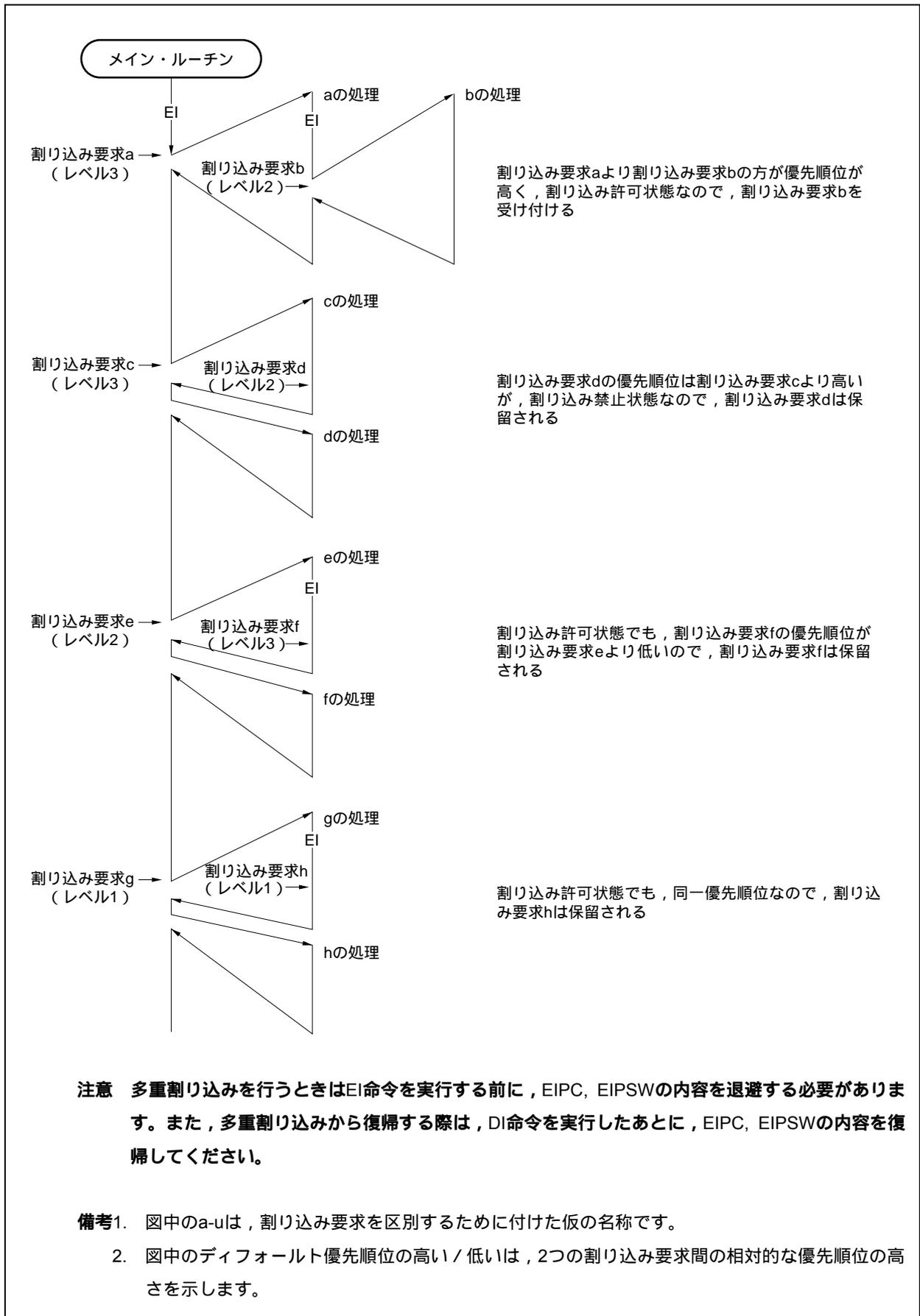


図16 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

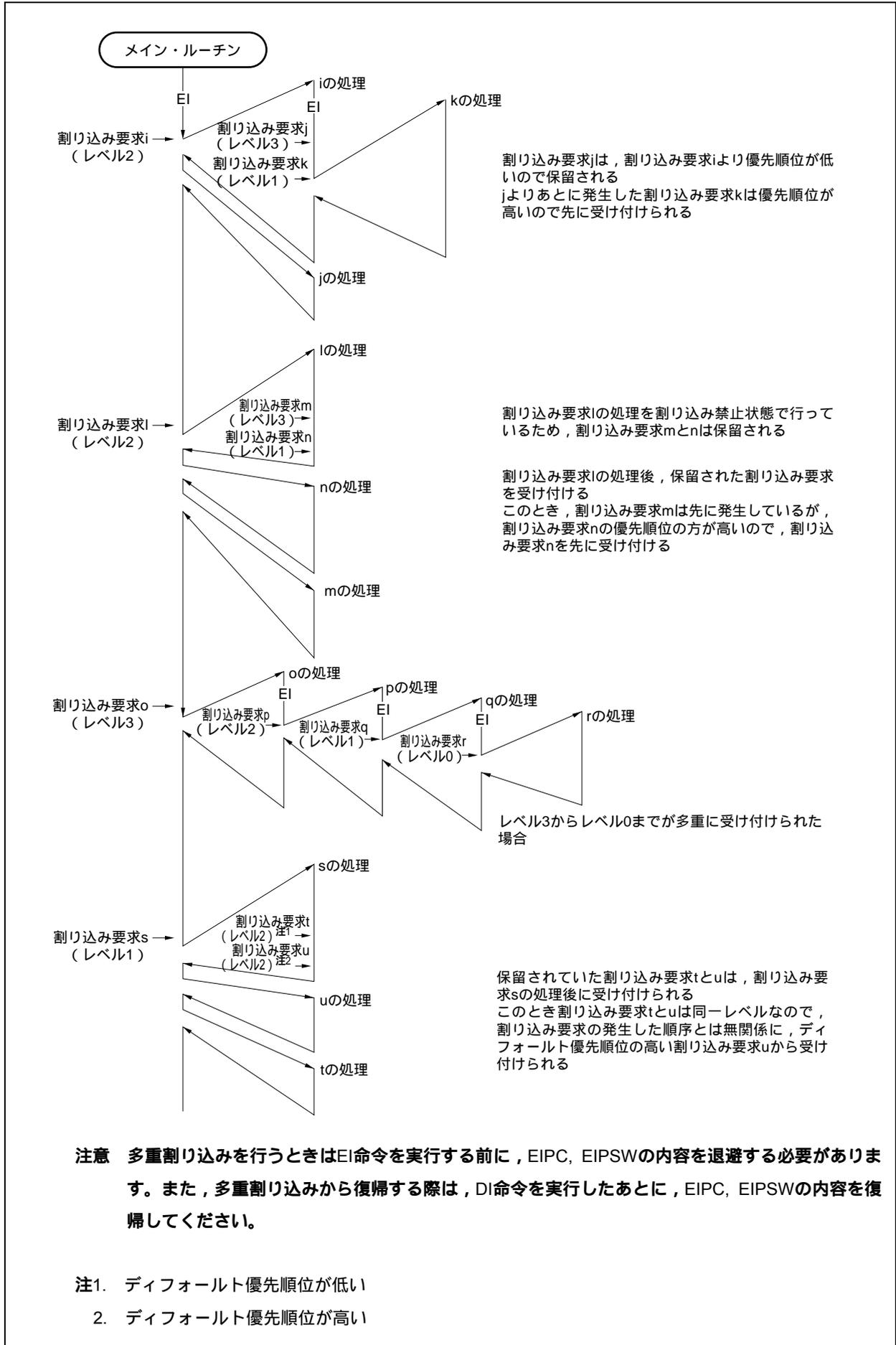
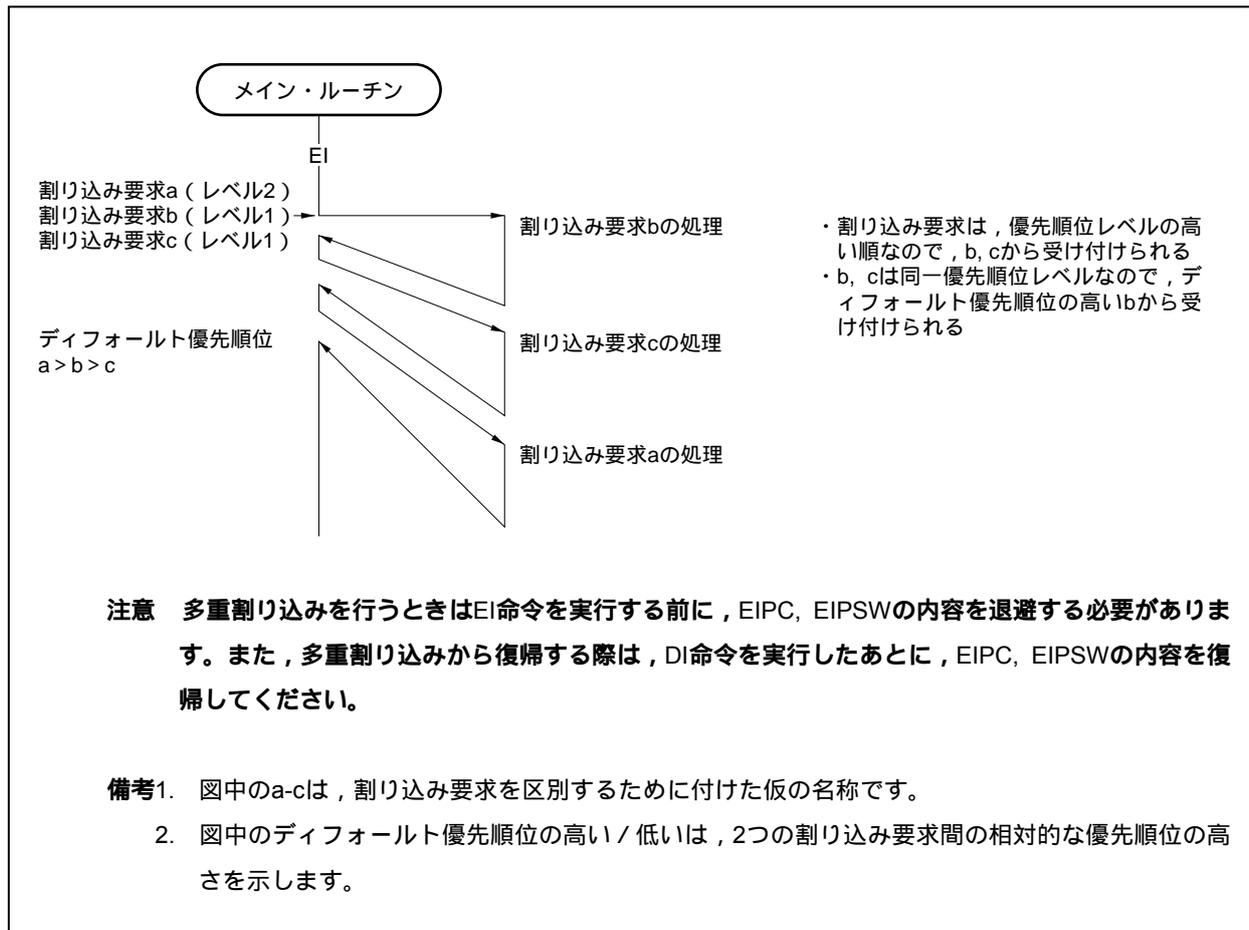


図16 - 7 同時発生した割り込み要求の処理例



16.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。
リセットにより47Hになります。

注意 xxICn.xxIFnビットを読み出す場合は, 割り込み禁止状態 (DI) で行ってください。割り込み許可状態 (EI) でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFF110H-FFFFFF14CH

	⑦	⑥	5	4	3	②	①	①
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表16 - 2参照)

n : 周辺ユニット番号 (表16 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表16 - 2 割り込み制御レジスタ (xxlCn)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF110H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFFF118H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFFF11AH	RTCIC	RTCIF	RTCMK	0	0	0	RT CPR2	RT CPR1	RT CPR0
FFFFFF11CH	TMIC000	TMIF000	TMMK000	0	0	0	TMPR0002	TMPR0001	TMPR0000
FFFFFF11EH	TMIC001	TMIF001	TMMK001	0	0	0	TMPR0012	TMPR0011	TMPR0010
FFFFFF120H	TMIC010	TMIF010	TMMK010	0	0	0	TMPR0102	TMPR0101	TMPR0100
FFFFFF122H	TMIC011	TMIF011	TMMK011	0	0	0	TMPR0112	TMPR0111	TMPR0110
FFFFFF124H	TMIC020	TMIF020	TMMK020	0	0	0	TMPR0202	TMPR0201	TMPR0200
FFFFFF126H	TMIC021	TMIF021	TMMK021	0	0	0	TMPR0212	TMPR0211	TMPR0210
FFFFFF128H	TMIC030	TMIF030	TMMK030	0	0	0	TMPR0302	TMPR0301	TMPR0300
FFFFFF12AH	TMIC031	TMIF031	TMMK031	0	0	0	TMPR0312	TMPR0311	TMPR0310
FFFFFF12CH	CCIC100	CCIF100	CCMK100	0	0	0	CCPR1002	CCPR1001	CCPR1000
FFFFFF12EH	CCIC101	CCIF101	CCMK101	0	0	0	CCPR1012	CCPR1011	CCPR1010
FFFFFF130H	OVFIC10	OVFIF10	OVFMK10	0	0	0	OVFPR102	OVFPR101	OVFPR100
FFFFFF132H	CCIC110	CCIF110	CCMK110	0	0	0	CCPR1102	CCPR1101	CCPR1100
FFFFFF134H	CCIC111	CCIF111	CCMK111	0	0	0	CCPR1112	CCPR1111	CCPR1110
FFFFFF136H	OVFIC11	OVFIF11	OVFMK11	0	0	0	OVFPR112	OVFPR111	OVFPR110
FFFFFF138H	TMIC20	TMIF20	TMMK20	0	0	0	TMPR202	TMPR201	TMPR200
FFFFFF13AH	TMIC21	TMIF21	TMMK21	0	0	0	TMPR212	TMPR211	TMPR210
FFFFFF13CH	CSIC0	CSIF0	CSMK0	0	0	0	CSIPR02	CSIPR01	CSIPR00
FFFFFF13EH	CSIC1	CSIF1	CSMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFFF140H	SREIC0	SREIF0	SREMK0	0	0	0	SREPR02	SREPR01	SREPR00
FFFFFF142H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFFF144H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF146H	SREIC1	SREIF1	SREMK1	0	0	0	SREPR12	SREPR11	SREPR10
FFFFFF148H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFFF14AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF14CH	ROVIC	ROVIF	ROVMK	0	0	0	ROVPR2	ROVPR1	ROVPR0

16.3.5 割り込みマスク・レジスタ0, 1 (IMR0, IMR1)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0, IMR1レジスタのxxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0, 1)。

IMRmレジスタの上位8ビットをIMRmHレジスタ, 下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です (m = 0, 1)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時: FFFFH R/W アドレス: FFFFF102H

	15	14	13	12	11	10	9	8
IMR1	1	ROVMK	STMK1	SRMK1	SREMK1	STMK0	SRMK0	SREMK0
	7	6	5	4	3	2	1	0
	CSIMK1	CSIMK0	TMMK21	TMMK20	OVFMK11	CCMK111	CCMK110	OVFMK10

リセット時: FFFFH R/W アドレス: FFFFF100H

	15	14	13	12	11	10	9	8
IMR0	CCMK101	CCMK100	TMMK031	TMMK030	TMMK021	TMMK020	TMMK011	TMMK010
	7	6	5	4	3	2	1	0
	TMMK001	TMMK000	RTCMK	ADMK	PMK2	PMK1	PMK0	WDTMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR1レジスタのビット15には必ず1を設定してください。

備考 xx : 各周辺ユニット識別名称 (表16 - 2参照)

n : 周辺ユニット番号 (表16 - 2参照)

16.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時: 00H R アドレス: FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n: 0-7 (優先順位のレベル)

16.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可/禁止制御情報を記憶します。割り込み禁止フラグ (ID) があり、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でリセット (0) されます。また , RETI命令およびPSWへのLDSCR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求を受け付けると、IDフラグはハードウェアで自動的にセット(1)されます。割り込み処理終了後、RETI命令実行によりクリアされます。

受け付け禁止期間中 (ID = 1) に発生した割り込み要求は、xxICn.xxIFnビットがセット (1) され、IDフラグがリセット (0) されると受け付けられます。

16.4 外部割り込み要求入力端子 (NMI, INTP0-INTP2)

16.4.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP2端子のノイズ除去

INTP0-INTP2端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、INTP0-INTP2端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

16.4.2 エッジ検出

NMI, INTP0-INTP2端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI, INTP0-INTP2端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求を受け付けません（通常ポートとして機能します）。

ポート0を出力ポートとして使用する場合は、NMI, INTP0-INTP2端子の有効エッジを“エッジ検出なし”に設定してください。

(1) 外部割り込み立ち上がりエッジ指定レジスタ0 (INTR0) , 外部割り込み立ち下がりエッジ指定レジスタ (INTF0)

NMI, INTP0-INTP2端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。
 8/1ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

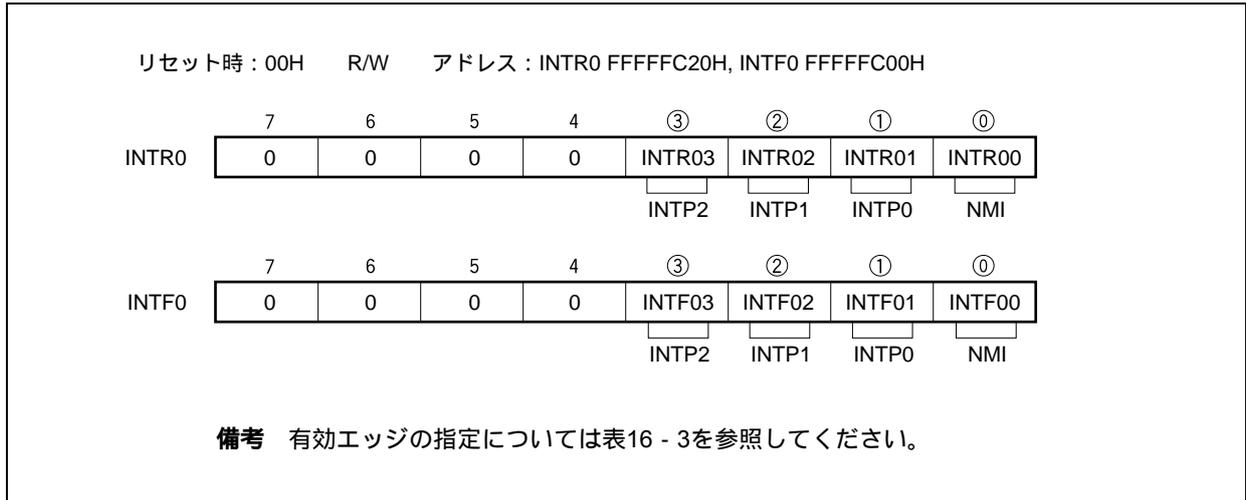


表16 - 3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 0-3)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 0 : NMI端子の制御
 n = 1-3 : INTP0-INTP2端子の制御

16.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

16.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

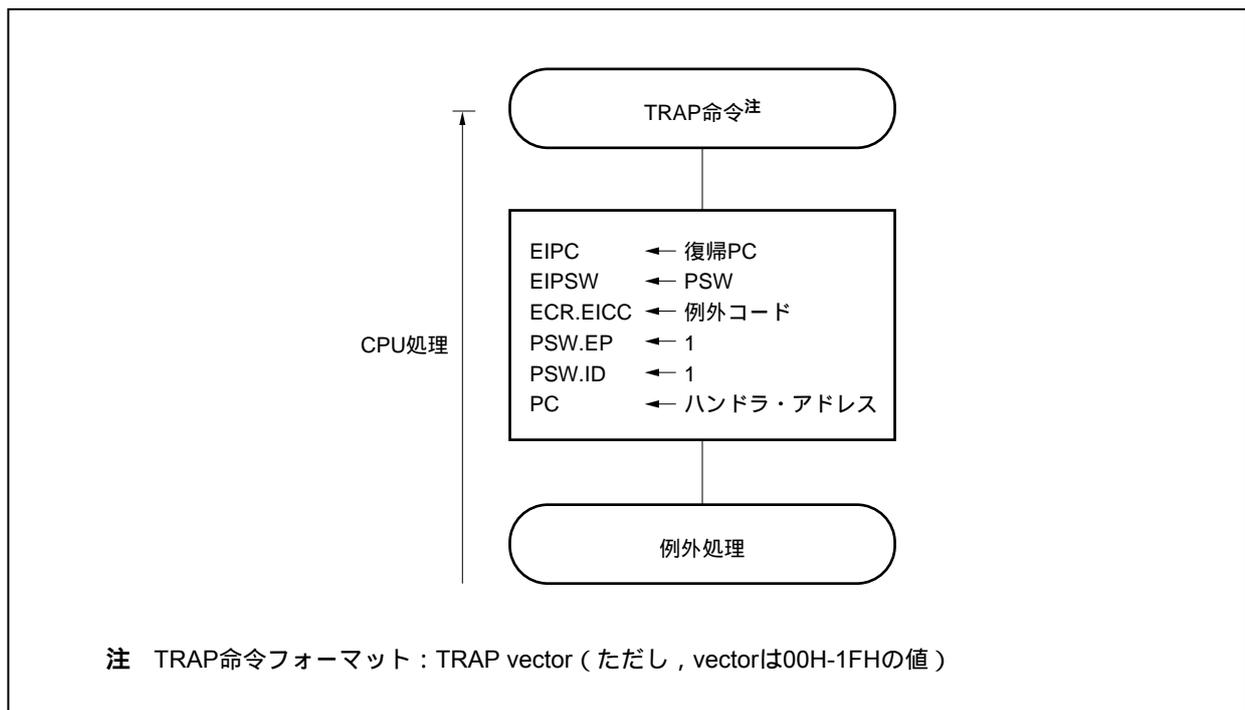
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図16 - 8に示します。

図16 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10-1FHの場合は00000050Hとなります。

16.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

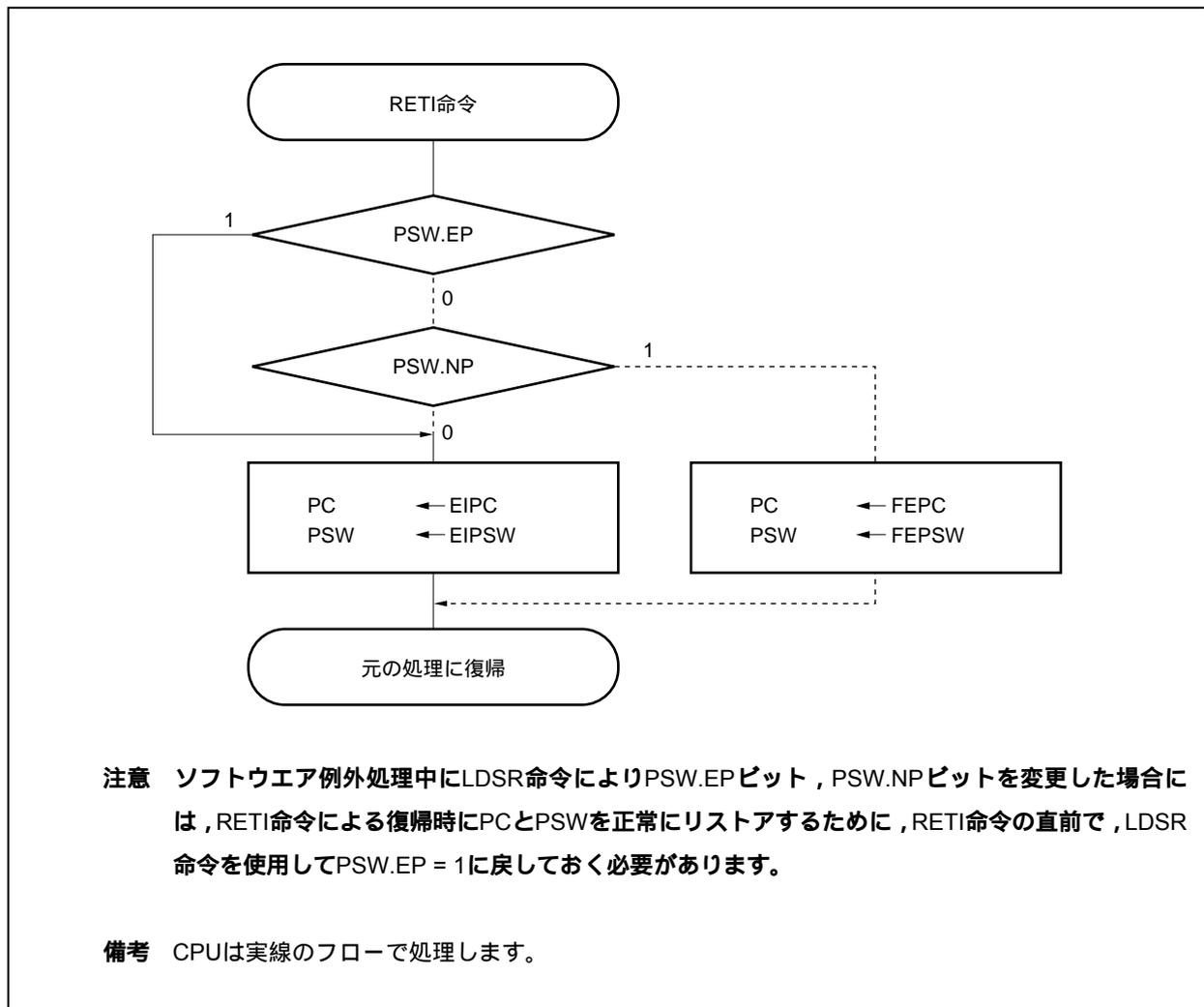
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビット = 1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図16 - 9に示します。

図16 - 9 RETI命令の処理形態



16.5.3 例外ステータス・フラグ (EP)

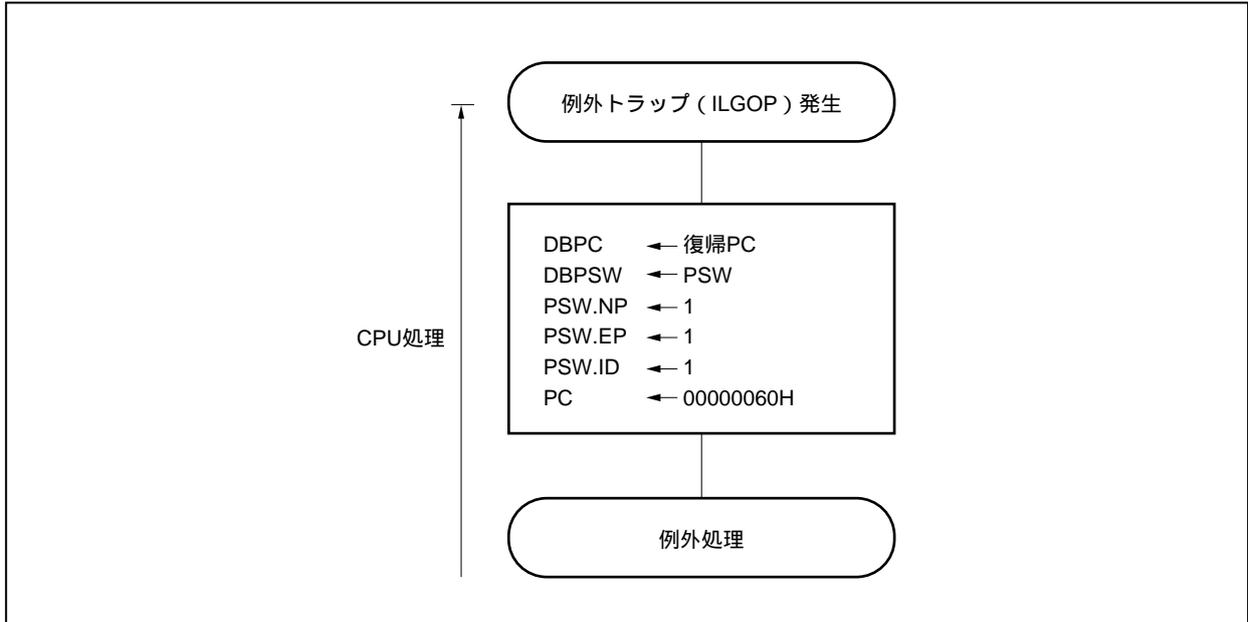
EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

EP	例外処理状態
0	例外処理中でない
1	例外処理中

図16 - 10 例外トラップの処理形態



(2) 復 帰

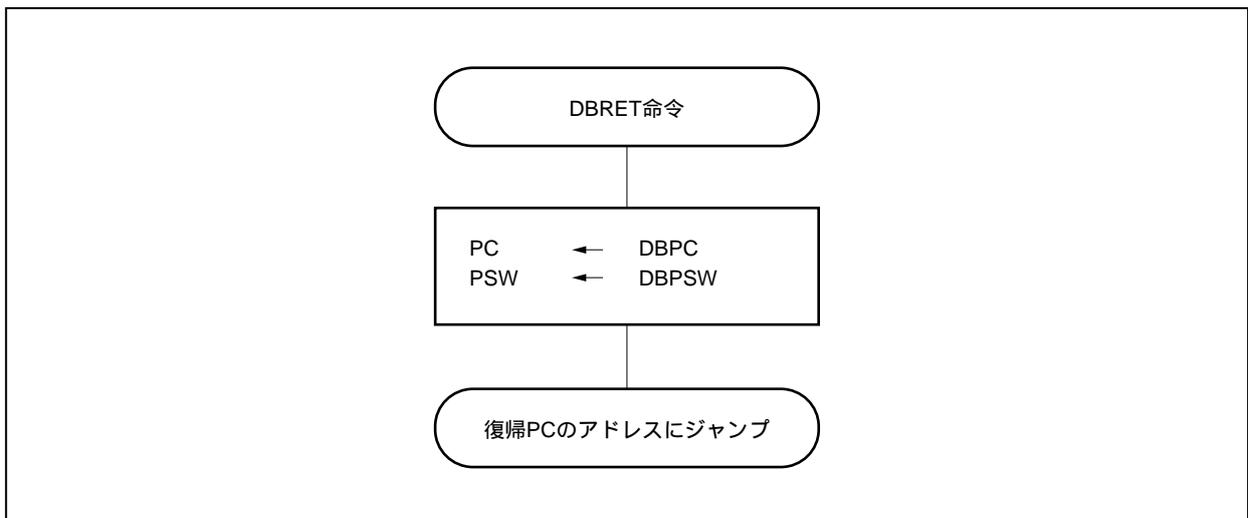
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図16 - 11に示します。

図16 - 11 例外トラップからの復帰の処理形態



16.6.2 ディバグ・トラップ

ディバグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

ディバグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

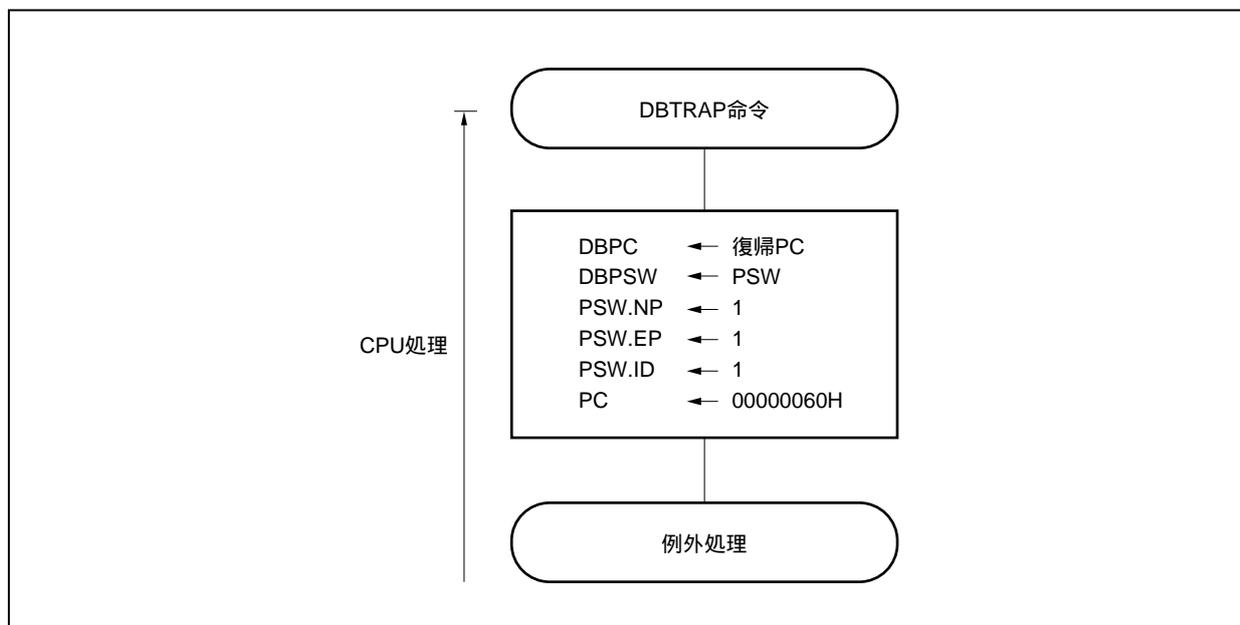
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにディバグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

ディバグ・トラップの処理形態を図16-12に示します。

図16-12 ディバグ・トラップの処理形態



(2) 復 帰

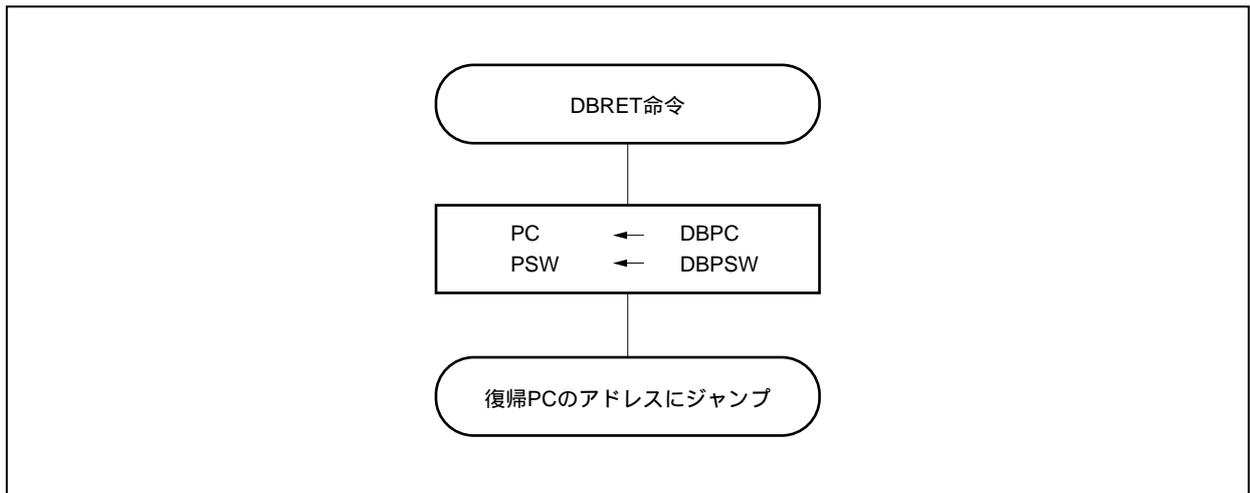
ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

ディバグ・トラップからの復帰の処理形態を図16 - 13に示します。

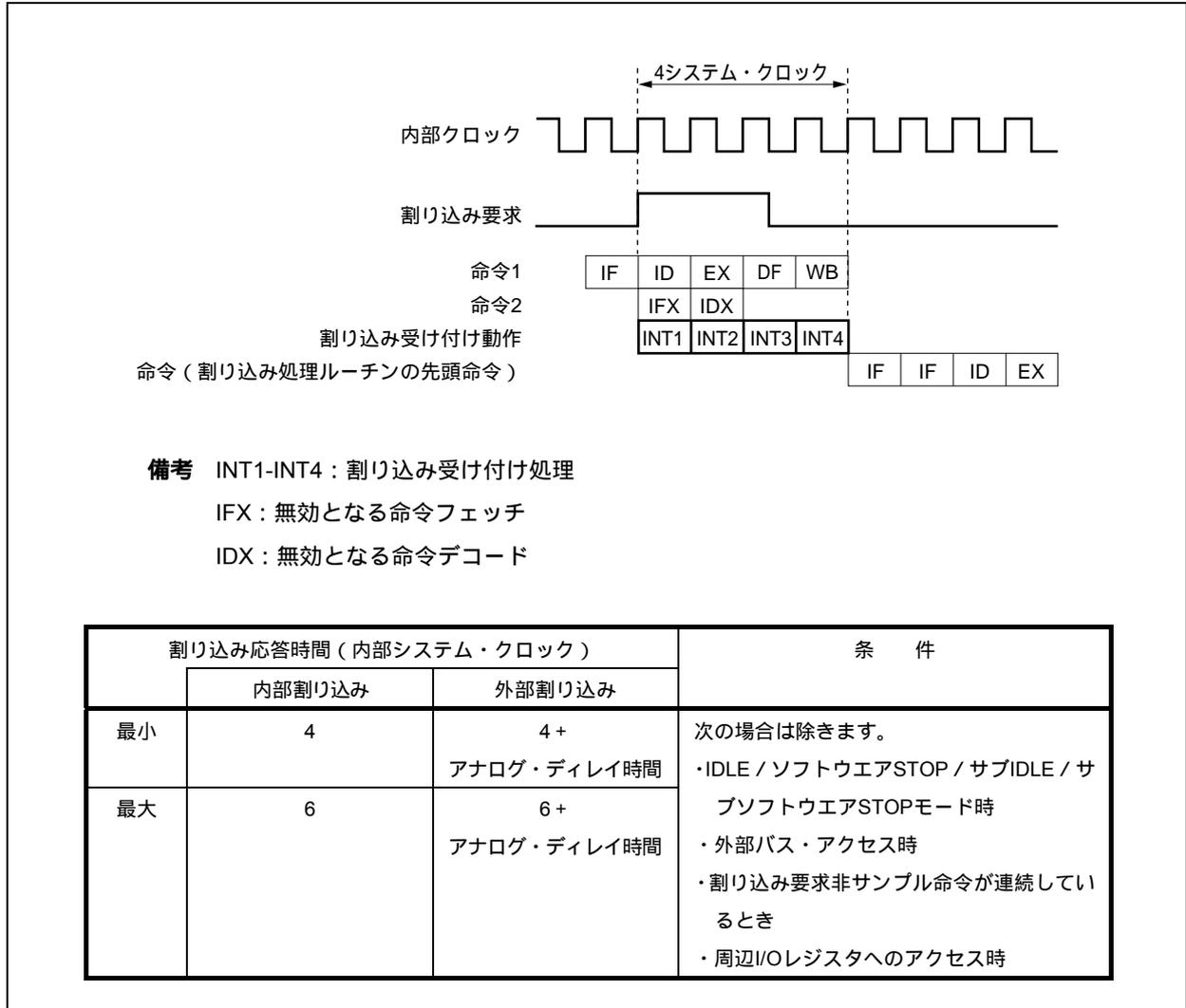
図16 - 13 ディバグ・トラップからの復帰の処理形態



16.7 CPUの割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図16 - 14 割り込み要求受け付け時のパイプライン動作例 (概略)



16.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

EI 命令

DI 命令

LDSR reg2, 0x5 命令（対 PSW）

コマンドレジスタ（PRCMD）に対するストア命令

次の割り込み関連のレジスタに対するロード命令，ストア命令および SET1, NOT1, CLR1 命令

割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ 0-2（IMR0, IMR1）

第17章 スタンバイ機能

17.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表17-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路，RTC ^注 以外の内部回路の動作をすべて停止させるモード
ソフトウェアSTOPモード	サブクロック発振回路，RTC ^注 以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時，発振回路，RTC ^注 以外の内部回路の動作をすべて停止させるモード
サブソフトウェアSTOPモード	サブクロック動作モード時，発振回路を含め，RTC，V850ES/PM1内部の動作をすべて停止させるモード

注 RTCを動作許可に設定した場合

図17-1 状態遷移図

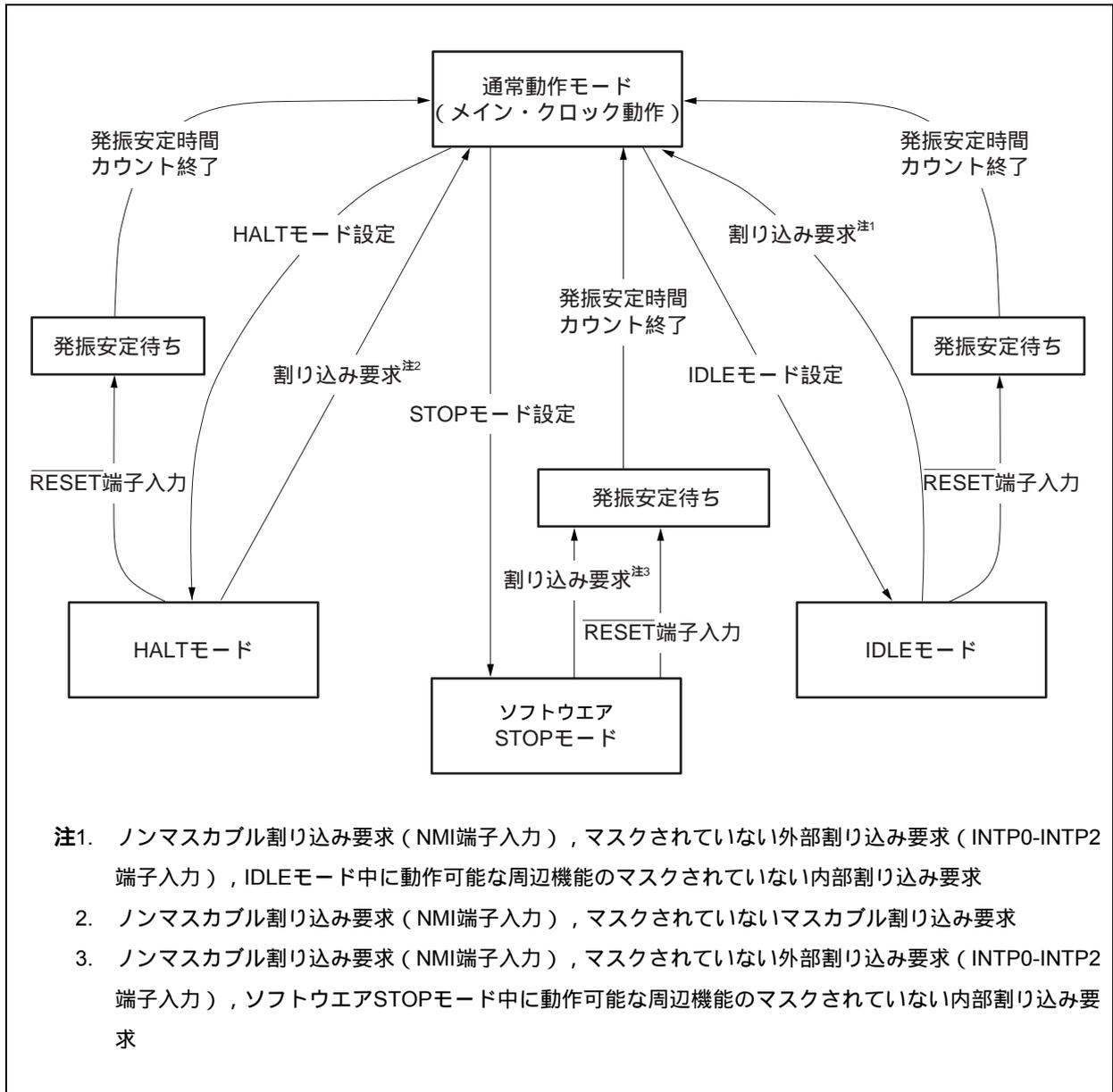
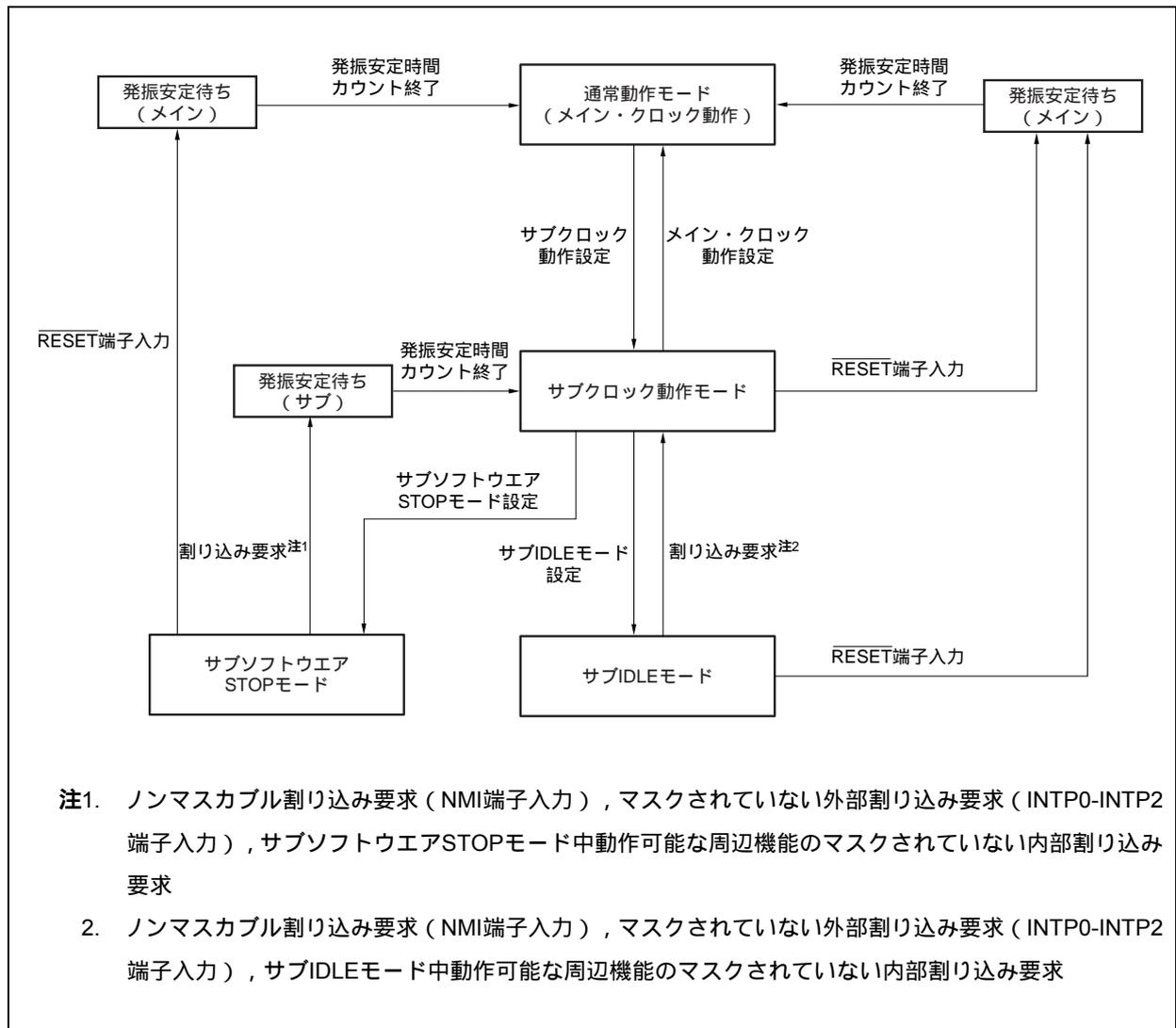


図17-2 状態遷移図(サブクロック動作時)



17.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりIDLE/ソフトウェアSTOPモードを指定します。PSCレジスタは特定レジスタです(3.4.7 特定レジスタ参照)。プログラムの暴走などにより誤まって設定内容を書き換えられないように、特定の手順だけの書き込みが可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF1FEH

	7	6	⑤	④	3	2	①	0
PSC	0	0	NMI0M	INTM	0	0	STP ^注	0

NMI0M	NMI端子入力によるスタンバイ・モード解除制御	
0	解除許可	
1	解除禁止	

INTM	マスカブル割り込み要求によるスタンバイ・モード解除制御	
0	解除許可	
1	解除禁止	

STP ^注	スタンバイ・モードの設定	
0	通常動作モード	
1	スタンバイ・モード ^注	

注 ソフトウェアSTOPモードに設定する場合は、PSMR.PSMビットを設定してからSTPビット = 1に設定してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM

PSM	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	ソフトウェアSTOPモード

注意1. PSMRレジスタのビット1-7には、必ず0を設定してください。
2. PSMビットは、PSC.STPビット = 1のときのみ有効です。

(3) 発振安定時間選択レジスタ (OSTS)

OSTSレジスタは、ソフトウェアSTOP/サブソフトウェアSTOPモードを解除してから発振が安定するまでのウェイト時間を制御します。

8ビット・メモリ操作命令で設定します。

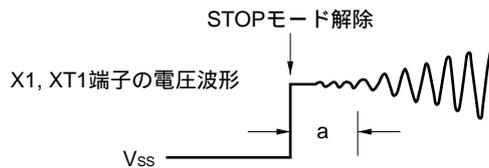
リセットにより04Hになります。

リセット時：04H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				fx		fxT
				20 MHz	10 MHz	32.768 kHz
0	0	0	$2^{14}/f_x, 2^{14}/f_{xT}$	0.819 ms	1.638 ms	500 ms
0	0	1	$2^{16}/f_x, 2^{16}/f_{xT}$	3.277 ms	6.554 ms	2.0 s
0	1	0	$2^{17}/f_x, 2^{17}/f_{xT}$	6.554 ms	13.11 ms	4.0 s
0	1	1	$2^{18}/f_x, 2^{18}/f_{xT}$	13.11 ms	26.21 ms	8.0 s
1	0	0	$2^{19}/f_x, 2^{19}/f_{xT}$	26.21 ms	52.43 ms	16 s
1	0	1	$2^{20}/f_x, 2^{20}/f_{xT}$	52.43 ms	104.9 ms	32 s
1	1	0	$2^{21}/f_x, 2^{21}/f_{xT}$	104.9 ms	209.7 ms	64 s
1	1	1	$2^{22}/f_x, 2^{22}/f_{xT}$	209.7 ms	419.4 ms	128 s

注意1. ソフトウェアSTOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み要求信号発生による場合も、ソフトウェアSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



2. ビット7-3には必ず“0”を設定してください。
3. リセット解除後の発振安定時間は、 $2^{19}/f_x$ (OSTSレジスタの初期値は = 04Hのため) となります

備考 fx = メイン・クロック発振周波数

17.3 HALTモード

17.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表17-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. 割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

17.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表17-2 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

表17-3 HALTモード時の動作状態

項 目	HALTモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
CPU		動作停止	
割り込みコントローラ		動作可能	
ROMコレクション		動作停止	
16ビット・タイマ/イベント・カウンタ (TM00-TM03, TM10, TM11)		動作可能	
8ビット・タイマ/イベント・カウンタ (TM20, TM21)		動作可能	
リアルタイム・カウンタ		-	動作可能
ウォッチドッグ・タイマ		動作可能 ^注	
シリアル・インタフェース	CSI0, CSI1	動作可能	
フェース	UART0, UART1	動作可能	
A/Dコンバータ		動作可能	
PWM (PWM0-PWM3)		動作可能	
外部バス・インタフェース		2.2 端子状態参照	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

注 HALTモード時はウォッチドッグ・タイマが動作するため、HALT中にオーバーフローが発生しないように注意してください。

17.4 IDLEモード

17.4.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、IDLEモードに設定されます。

IDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表17-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLEモード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

注意 IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

17.4.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP2端子入力）、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求、RESET端子入力により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、IDLEモードの解除とともにこの割り込み要求を受け付けます。

表17-4 割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表17 - 5 IDLEモード時の動作状態

項 目	IDLEモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
CPU		動作停止	
割り込みコントローラ		動作停止 (モード解除要求受け付け可能)	
ROMコレクション		動作停止	
16ビット・タイマ/イベント・カウンタ (TM00-TM03, TM10, TM11)		動作停止	
8ビット・タイマ/イベント・カウンタ (TM20, TM21)		動作停止	
リアルタイム・カウンタ		-	動作可能
ウォッチドッグ・タイマ		動作停止	
シリアル・インタフェース	CSI0, CSI1	動作クロックにSCKn入力クロック選択時, 動作可能 (n = 0, 1)	
フェース	UART0, UART1	動作停止	
A/Dコンバータ		動作停止	
PWM (PWM0-PWM3)		動作停止	
外部バス・インタフェース		2.2 端子状態参照	
ポート機能		IDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持	

17.5 ソフトウェアSTOPモード

17.5.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“1”に設定し、PSC.STPビットを“1”に設定することにより、ソフトウェアSTOPモードに設定されます。

ソフトウェアSTOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はソフトウェアSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表17-7にソフトウェアSTOPモード時の動作状態を示します。

ソフトウェアSTOPモードは、メイン・クロック発振回路の動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、サブクロック発振回路、かつ外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

注意 ソフトウェアSTOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

17.5.2 ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、ノンマスクابل割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP2端子入力）、ソフトウェアSTOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求、RESET端子入力により解除されます。

ソフトウェアSTOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウェアSTOPモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、ソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

表17-6 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表17-7 ソフトウェアSTOPモード時の動作状態

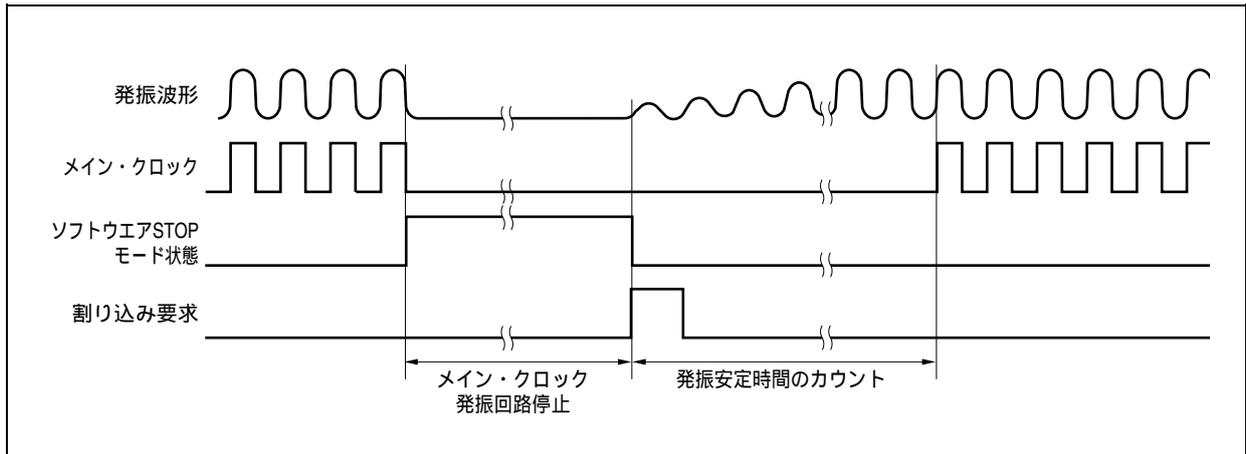
ソフトウェアSTOPモード の設定 項目	動作状態	
	サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	動作停止	
サブクロック発振回路	-	発振可能
CPU	動作停止	
割り込みコントローラ	動作停止 (モード解除要求受け付け可能)	
ROMコレクション	動作停止	
16ビット・タイマ/イベント・カウンタ (TM0-TM03, TM10, TM11)	動作停止	
8ビット・タイマ/イベント・カウンタ (TM20, TM21)	動作停止	
リアルタイム・カウンタ	-	動作可能
ウォッチドッグ・タイマ	動作停止	
シリアル・インタフェース	CSI0, CSI1	動作クロックにSCKn入力クロック選択時, 動作可能 (n = 0, 1)
フェース	UART0, UART1	動作停止
A/Dコンバータ	動作停止	
PWM (PWM0-PWM3)	動作停止	
外部バス・インタフェース	2.2 端子状態参照	
ポート機能	ソフトウェアSTOPモード設定前の状態を保持	
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

17.6 発振安定時間の確保

ソフトウェアSTOPモード/サブソフトウェアSTOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。ただし、 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値： $2^{19}/f_x$ となります。

ソフトウェアSTOPモードを割り込み要求で解除した場合の動作を図17-3に示します。

図17-3 発振安定時間



注意 OSTSレジスタの詳細は、17.2(3)発振安定時間選択レジスタ(OSTS)を参照してください。

17.7 サブクロック動作モード

17.7.1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック サブクロックに切り替わります。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、チップ全体がサブクロックでのみ動作します。ただし、ウォッチドッグ・タイマはサブクロック動作になった時点（PCC.CLSビット = 1）で、カウント動作を停止します（ウォッチドッグ・タイマ・カウント値はサブクロック動作モード設定前の値を保持します）。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、ソフトウェアSTOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表17-8に示します。

- 注意1. CK3ビットを操作する場合、PCC.CK1、CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。
2. サブクロック動作へ移行してメイン・クロックを停止する場合は、TM00-TM03、TM10、TM11、TM20、TM21、UART0、UART1、PWM0-PWM3を動作停止にしてから移行してください。
3. サブクロック動作中、ウォッチドッグ・タイマは動作停止します。WDTMレジスタへの書き込みは行わないでください。

17.7.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定、またはRESET端子入力により解除します。

なお、メイン・クロックを停止（MCKビット = 1）していた場合は、MCKビットを“0”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

- 注意 CK3ビットを操作する場合、CK1、CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

17.7.3 サブクロック動作モード時のアクセス不可のレジスタについて

CPUがサブクロック動作中で、X1にクロックを入力していないとき、またはメイン発振回路を停止させているとき、次に示すウエイトが発生するレジスタにウエイトが発生するアクセス方法でアクセスしないでください。ウエイトが発生した場合、解除する方法はリセットのみです。

詳細は3.4.8(2)を参照してください。

周辺機能	レジスタ名称	アクセス方法
ウォッチドッグ・タイマ (WDT)	WDTM	ライト
16ビット・タイマ/イベント・カウンタ (TM10, TM11)	TM10, TM11	リード
	CC100, CC101	リード (キャプチャ・モード時)
	CC110, CC111	ライト (コンペア・モード時)
	TMC100, TMC110	ライト リード・モディファイ・ライト
PWM	PWMB0-PWMB3	ライト

表17-8 サブクロック動作モード時の動作状態

項目	サブクロック動作モード の設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
CPU		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作可能	
16ビット・タイマ/イベント・カウンタ (TM0-TM03, TM10, TM11)		動作可能	動作停止
8ビット・タイマ/イベント・カウンタ (TM20, TM21)		動作可能	動作停止
リアルタイム・カウンタ		動作可能	
ウォッチドッグ・タイマ		動作停止	
シリアル・インタフェース	CSI0, CSI1	動作可能	動作クロックにSCKn入力クロック選択時、動作可能 (n = 0, 1) 注
	UART0, UART1	動作可能	動作停止
A/Dコンバータ		動作可能	動作停止
PWM (PWM0-PWM3)		動作可能	動作停止
外部バス・インタフェース		動作可能 ^注	
ポート		設定可能	
内部データ		設定可能	

注 V_{DD} 2.7 Vでの動作は保証できません。

17.8 サブIDLEモード

17.8.1 設定および動作状態

サブクロック動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

サブIDLEモードは、CPUやそのほかの内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。

また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、ソフトウェアSTOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を、表17 - 10に示します。

注意 サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

17.8.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスカブル割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP2端子入力）、サブIDLEモード中動作可能な周辺機能のマスクされていない内部割り込み要求 $\overline{\text{RESET}}$ 端子入力により解除されます。

割り込み要求によるサブIDLEモードの解除により、サブクロック動作モードに移行します。また、 $\overline{\text{RESET}}$ 端子入力によるサブIDLEモードの解除により通常動作モードに移行します。

(1) ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求

ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとサブIDLEモードの解除だけ行い、この割り込み要求は保留されます。
- (b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求（ノンマスカブル割り込み要求も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求を受け付けます。

表17 - 9 割り込み要求によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表17 - 10 サブIDLEモード時の動作状態

項目	サブIDLEモード の設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
CPU		動作停止	
割り込みコントローラ		動作停止 (モード解除要求受け付け可能)	
ROMコレクション		動作停止	
16ビット・タイマ/イベント・カウンタ (TM00-TM03, TM10, TM11)		動作停止	
8ビット・タイマ/イベント・カウンタ (TM20, TM21)		動作停止	
リアルタイム・カウンタ		動作可能	
ウォッチドッグ・タイマ		動作停止	
シリアル・インタフェース	CSI0, CSI1	動作クロックにSCKn入力クロック選択時, 動作可能 (n = 0, 1)	
フェース	UART0, UART1	動作停止	
A/Dコンバータ		動作停止	
PWM (PWM0-PWM3)		動作停止	
外部バス・インタフェース		IDLEモード時と同じ	
ポート		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

17.9 サブソフトウェアSTOPモード

17.9.1 設定および動作状態

サブクロック動作モード時、PSMR.PSMビットを“1”に設定し、PSC.STPビットを“1”に設定することにより、サブソフトウェアSTOPモードに設定されます。

サブソフトウェアSTOPモードに設定すると、サブクロック発振回路およびメイン・クロック発振回路は動作を停止します。したがって、CPUやそのほかの内蔵周辺機能へのクロック供給もすべて停止します。

サブソフトウェアSTOPモード時の動作状態を、表17 - 12に示します。

注意 サブソフトウェアSTOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

17.9.2 サブソフトウェアSTOPモードの解除

サブソフトウェアSTOPモードは、ノンマスカブル割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP2端子入力）、サブソフトウェアSTOPモード中動作可能な周辺機能のマスクされていない内部割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

割り込み要求によるサブソフトウェアSTOPモードの解除により、サブクロック動作モードに移行します。また、 $\overline{\text{RESET}}$ 端子入力によるサブソフトウェアSTOPモードの解除により通常動作モードに移行します。

(1) ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求

ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブソフトウェアSTOPモードに設定した場合、次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとサブソフトウェアSTOPモードの解除だけ行い、この割り込み要求は保留されます。

(b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求（ノンマスカブル割り込み要求も含む）が発生すると、サブソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

表17 - 11 割り込み要求によりサブソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

表17 - 12 サブソフトウェアSTOPモード時の動作状態

項目	動作状態
メイン・クロック発振回路	動作停止
サブクロック発振回路	動作停止
CPU	動作停止
割り込みコントローラ	動作停止 (モード解除要求受け付け可能)
ROMコレクション	動作停止
16ビット・タイマ/イベント・カウンタ (TM00-TM03, TM10, TM11)	動作停止
8ビット・タイマ/イベント・カウンタ (TM20, TM21)	動作停止
リアルタイム・カウンタ	動作停止
ウォッチドッグ・タイマ	動作停止
シリアル・インタフェース CSI0, CSI1	動作クロックに $\overline{\text{SCKn}}$ 入力クロック選択時, 動作可能 (n = 0, 1)
フェース UART0, UART1	動作停止
A/Dコンバータ	動作停止
PWM (PWM0-PWM3)	動作停止
外部バス・インタフェース	電源供給停止
ポート機能	サブソフトウェアSTOPモード設定前の状態を保持
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブソフトウェアSTOPモード設定前の状態を保持

第18章 リセット機能

18.1 概要

リセット機能の概要を次に示します。

- ・ $\overline{\text{RESET}}$ 端子入力によるリセット機能
- ・ WDTのオーバーフローによるリセット機能 (WDTRES)

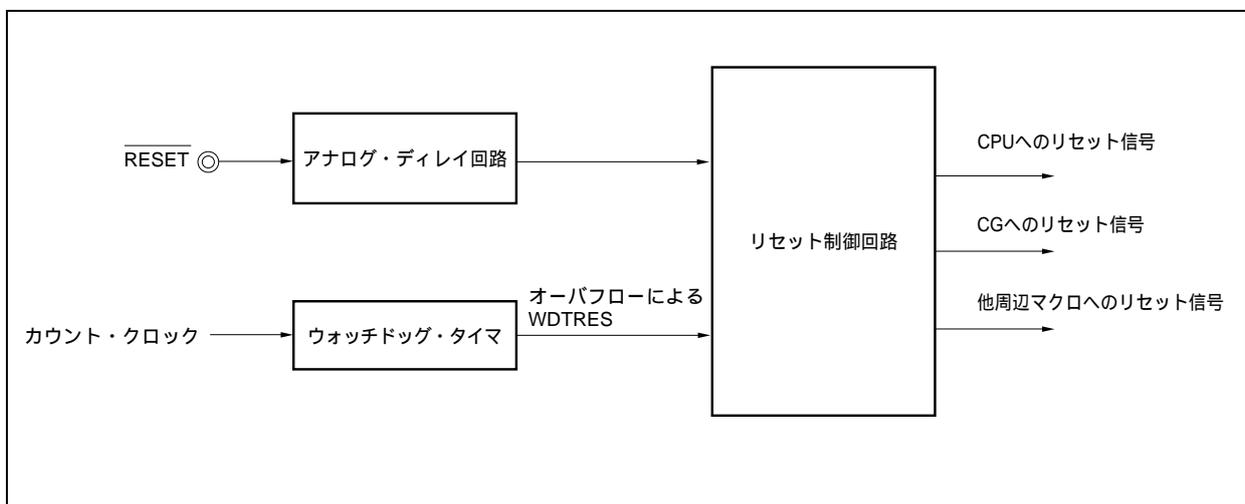
$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

また、WDTのオーバーフローによるリセットが発生したことを検出するフラグ (WRESF) を内蔵しています。これによりリセット解除後の処理において、 $\overline{\text{RESET}}$ 端子入力によるリセット、あるいはWDTオーバーフローによるリセットの判別を行うことができます。

18.2 構成

図18 - 1 リセットのブロック図



18.3 レジスタ

(1) WDTリセット・ステータス・レジスタ (WDRES)

WDRESレジスタは、WDTRESのステータスを示す8ビット・レジスタで、8/1ビット操作命令でリード/ライト可能です。

WDRESレジスタへ書き込みを行う場合は、PRCMDをコマンド・レジスタとする特定シーケンスによる書き込みが必要になります。不正なシーケンスによる書き込みを行うと、書き込みが無効となるとともにプロテクト・エラー (SYS.PRERRビット) がセット (1) され、書き込み動作は行われません。

$\overline{\text{RESET}}$ 端子入力により00Hになり、WDTRES信号発生により01Hになります。

リセット時：不定 R/W アドレス：FFFFFF82AH

	7	6	5	4	3	2	1	①
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES検出フラグ
0	WDTRES発生なし
1	WDTRES発生あり
セット (1) 条件：ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット発生 クリア (0) 条件：命令での“0”書き込み，または $\overline{\text{RESET}}$ 端子入力 WRESFビットへの書き込みは“0”書き込みのみ有効です。	

注意 WRESFビットへの“0”書き込みは、フラグ・セットとの競合を避けるため WRESFビット = 1を確認 (読み出し) 後に行ってください。

備考 WRESFビットはR/W可能となっていますが、“0”ライトによるクリアのみ可能で“1”ライトによるセット動作はできません。

18.4 動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力，またはWDTのオーバーフロー（WDTRES信号）^注によって，システム・リセットがかかり，各ハードウェアを初期化します。

$\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化，またはWDTRES信号が受け付けられると，リセット状態を解除します。

$\overline{\text{RESET}}$ 端子入力によるリセット解除の場合，発振安定時間（OSTSレジスタのリセット値： $2^{19}/f_x$ ）を確保したあと，CPUはプログラムの実行を開始します。

WDTRES信号によるリセット解除の場合，メイン・クロック発振回路は停止しないので，発振安定時間は挿入されません。

注 WDTのオーバーフロー（WDTRES信号）によるリセットは，WDTM.WDTM4，WDTM3ビットを“11”にしたときのみ有効です（11.3（2）参照）。

表18 - 1 RESET端子入力時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止 (fx = "0" レベル)	発振開始
サブクロック発振回路 (fxT)	リセットの影響を受けずに発振継続可能 ^{注1}	
周辺クロック (fx-fx/1024) , 内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	動作開始 ただし、発振安定時間カウント中は動作停止
WDTクロック (fxw)	動作停止	動作開始 ^{注2}
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込みとリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
リアルタイム・カウンタ	動作開始可能 ^{注3}	
上記以外の内蔵周辺機能	動作停止	動作開始可能

- 注1. 内蔵フィードバック抵抗は“接続する”に初期化されます (6.3(1) プロセッサ・クロック・コントローラ・レジスタ (PCC) 参照)。
2. 初期化状態 (インターバル・タイマ・モード) になります。
3. サブクロックを供給していた場合、リセットによりサブクロックでカウント動作を行います。

表18 - 2 WDTRES時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振継続 ^{注1}	
サブクロック発振回路 (fxT)	リセットの影響を受けずに発振継続可能 ^{注1}	
周辺クロック (fx ~ fx/1024) , 内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	動作開始
WDTクロック (fxw)	動作継続	
内蔵RAM	RAMへのデータ書き込みとリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
リアルタイム・カウンタ	動作継続 ^{注2}	
上記以外の内蔵周辺機能	動作停止	動作開始可能

- 注1. 内蔵フィードバック抵抗は“接続する”に初期化されます (6.3(1) プロセッサ・クロック・コントローラ・レジスタ (PCC) 参照)。
2. リアルタイム・カウンタはリセットにより、内蔵周辺I/Oレジスタがサブクロック (fxT) によるカウント動作許可に設定されます。したがって、サブクロックを供給していた場合、リセットによりサブクロックでカウント動作を行います。

図18 - 2 RESET端子入力時の各ハードウェアの状態

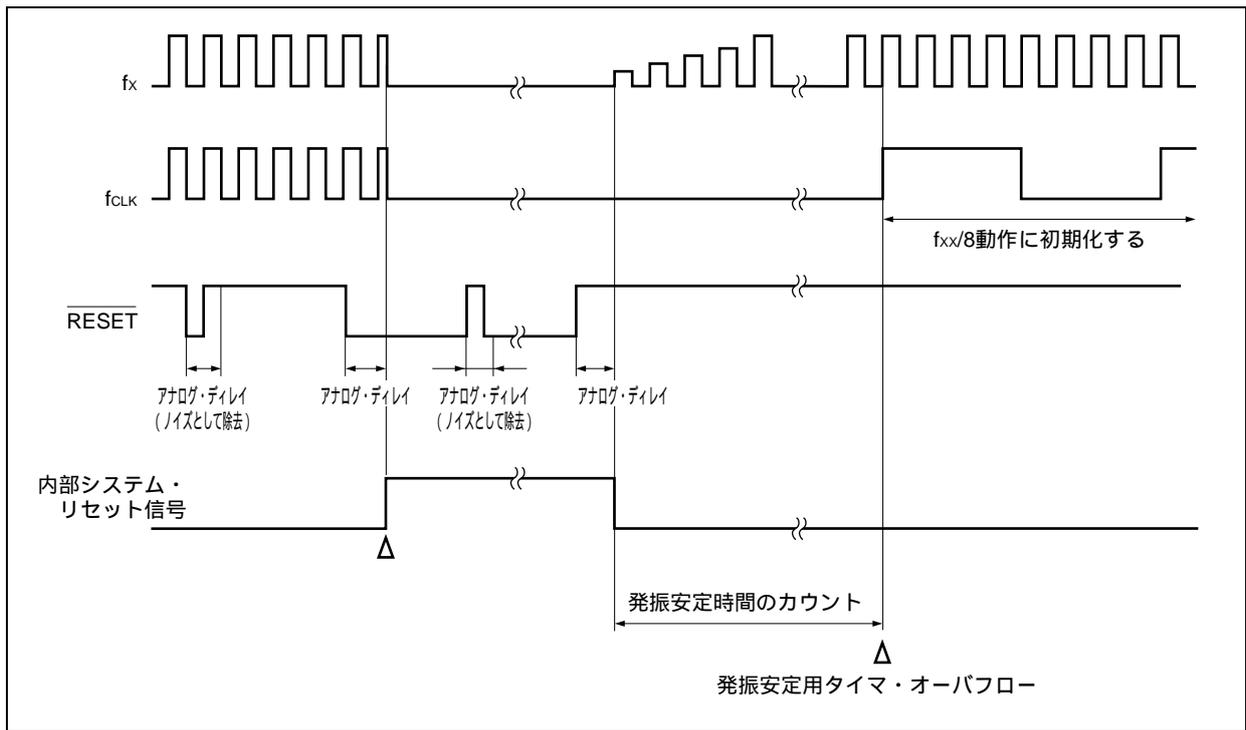
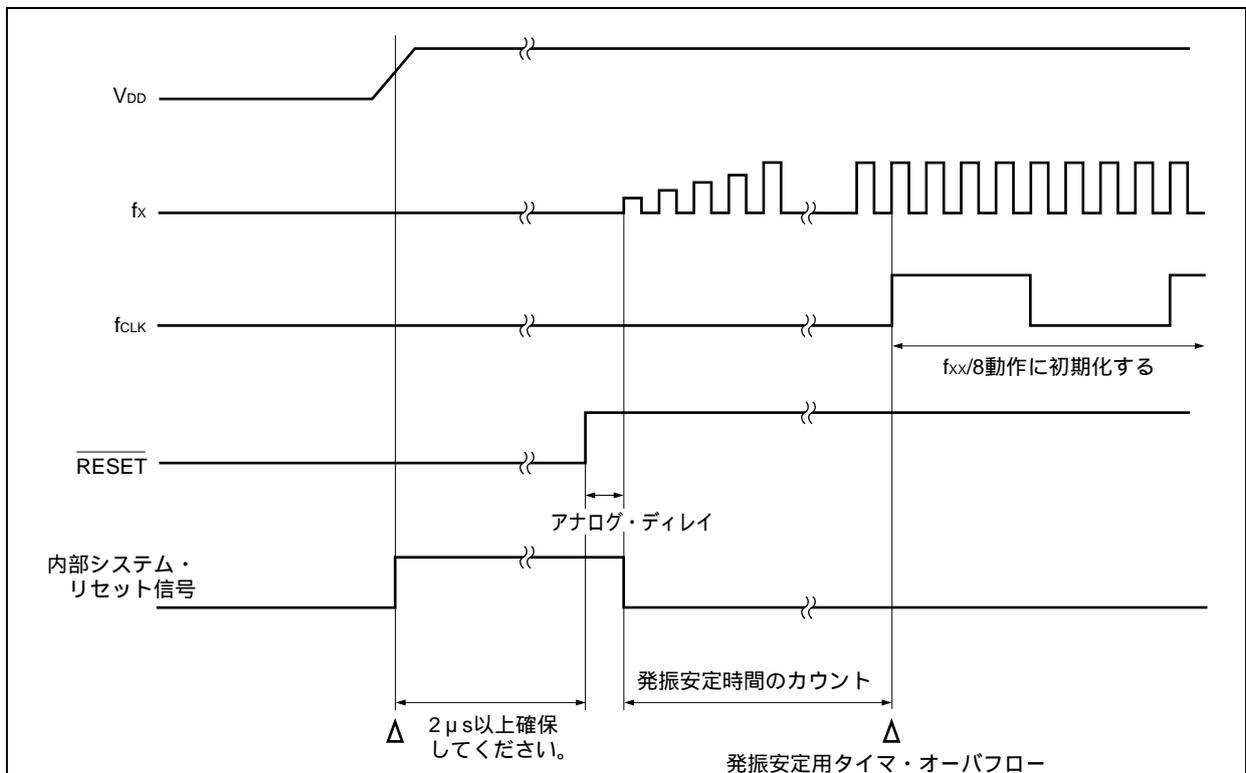


図18 - 3 パワーオン時の動作



注意 電源投入時は、V_{DD}（内部用電源）、EV_{DD}（外部用電源）の順序に立ち上げてください。EV_{DD}を先に立ち上げた場合、リセット機能が動作するまでの期間、各端子の状態は不定であるため、ポートの入力と出力が衝突する可能性があります。

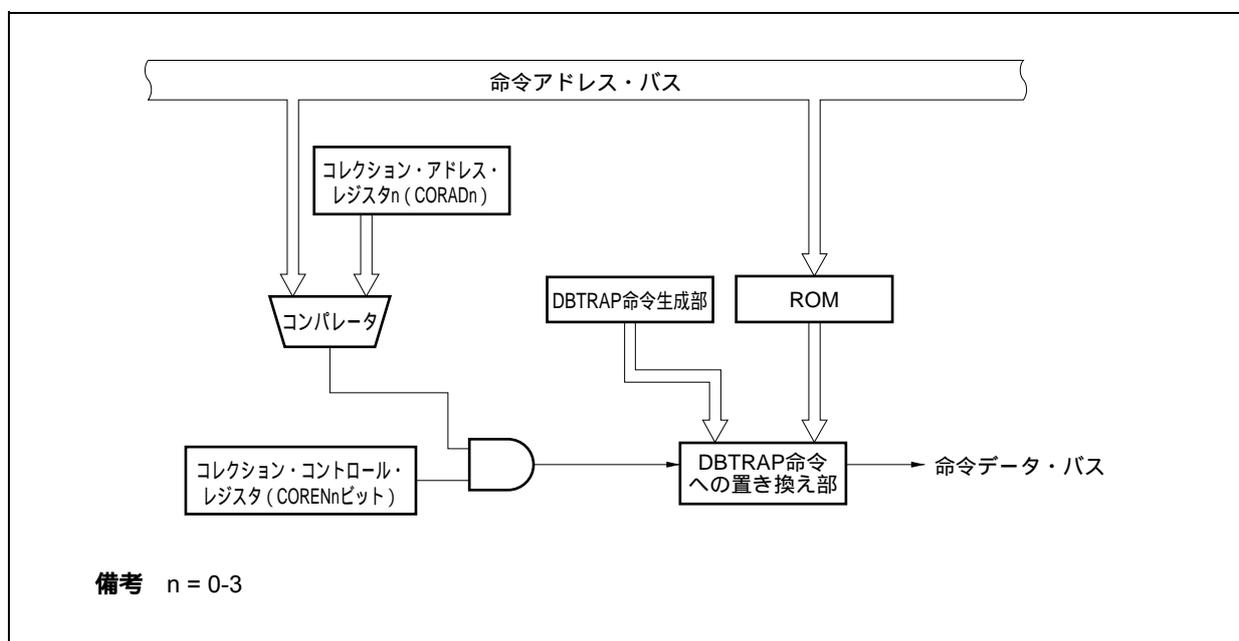
第19章 ROMコレクション機能

19.1 概要

ROMコレクション機能とは、マスクROM内のプログラムの一部を、外部メモリまたは内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMで発見されたプログラム・バグの修正が可能です。修正アドレスは最大4箇所指定できます。

図19-1 ROMコレクションのブロック図



19.2 レジスタ

19.2.1 コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

修正するプログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは、4つあるためにプログラムを最大4箇所修正することができます (n = 0-3)。

CORADnレジスタは32ビット単位でのみリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用した場合は、16ビット単位でリード/ライト可能です。

0000000H-003FFFEHの範囲で、修正アドレスを設定してください。

ビット0, 18-31は0に固定してください。

リセットにより00000000Hになります。



表19 - 1 CORADnレジスタのアドレス

FFFFF840H	CORAD0	FFFFF848H	CORAD2
FFFFF840H	CORAD0L	FFFFF848H	CORAD2L
FFFFF842H	CORAD0H	FFFFF84AH	CORAD2H
FFFFF844H	CORAD1	FFFFF84CH	CORAD3
FFFFF844H	CORAD1L	FFFFF84CH	CORAD3L
FFFFF846H	CORAD1H	FFFFF84EH	CORAD3H

19.2.2 コレクション・コントロール・レジスタ (CORCN)

CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-3)。

各チャネルごとに、有効 / 無効を設定できます。

8/1ビット・メモリ操作命令で設定します。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF880H									
CORCN	7	6	5	4	③	②	①	④	
	0	0	0	0	COREN3	COREN2	COREN1	COREN0	
CORENn	コレクション動作の禁止 / 許可								
0	禁止								
1	許可								

備考 n = 0-3

表19-2 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

19.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

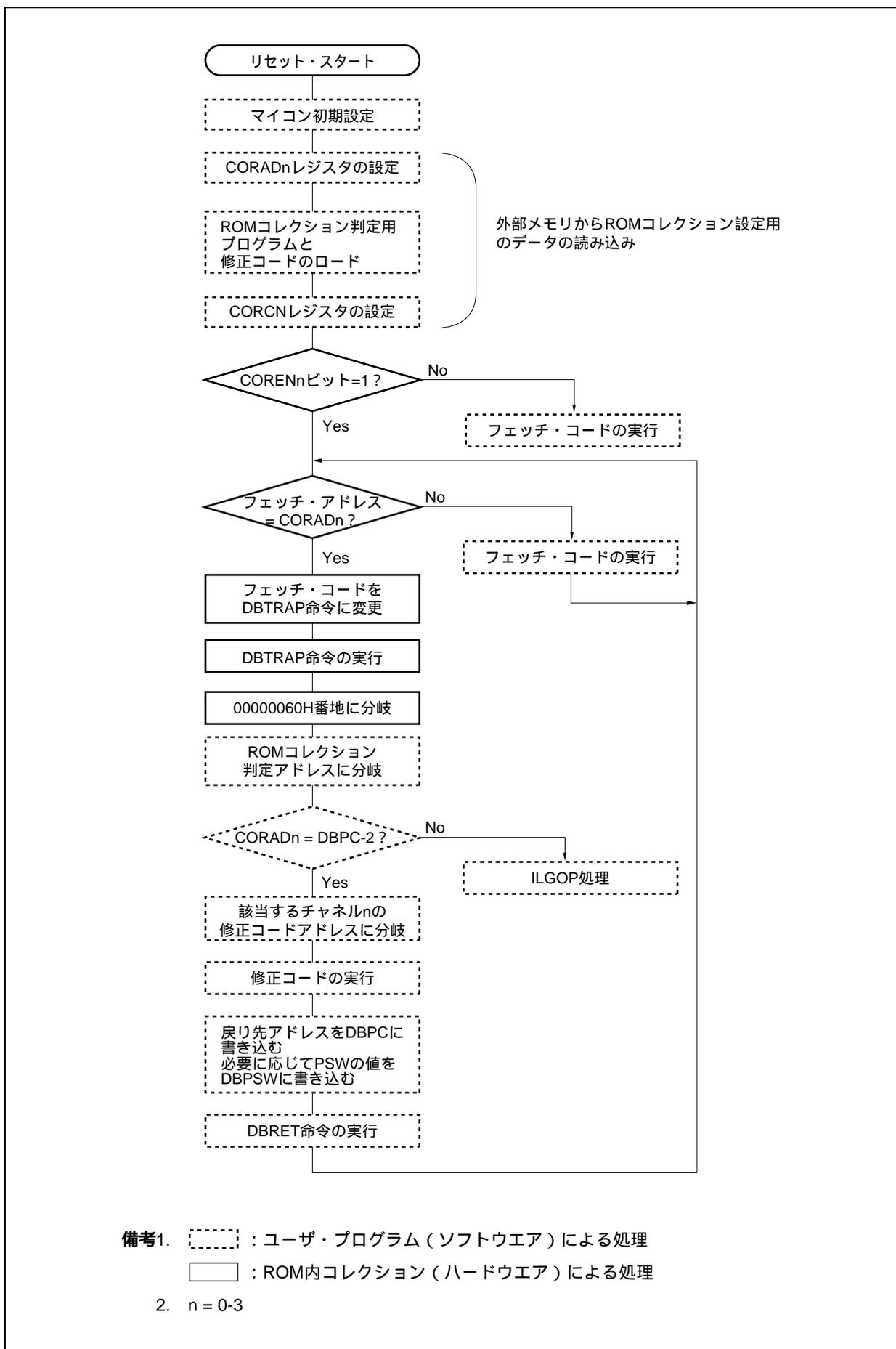
分岐後のソフトウェア処理により、ROMコレクション判定 (フェッチ・アドレスとROMコレクション動作許可の確認) と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

注意1. 上記 , を実現するソフトウェアは、内蔵ROM/RAM内で実行する必要があります。

- CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
- ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。

図19 - 2 ROMコレクションの動作とプログラムの流れ



第20章 電気的特性

絶対最大定格 (TA = 25 , VSS = 0 V)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
	AV _{DD}		- 0.5 ~ + 4.6	V
	EV _{DD}		- 0.5 ~ + 4.6	V
	AV _{SS}		- 0.5 ~ + 0.5	V
	EV _{SS}		- 0.5 ~ + 0.5	V
入力電圧	V _I	X1, X2以外	- 0.5 ~ EV _{DD} + 0.5 ^注	V
クロック入力電圧	V _K	X1, X2, V _{DD} = 2.7 ~ 3.6 V	- 0.5 ~ V _{DD} + 0.5 ^注	V
アナログ入力電圧	V _{IAN}		- 0.5 ~ AV _{DD} + 0.5 ^注	V
アナログ基準電圧	AV _{REF}	AV _{REFIN}	- 0.5 ~ AV _{DD} + 0.5 ^注	V
ロウ・レベル出力電流	I _{OL}	1端子	4	mA
		P0, P4, PCSの合計	35	mA
		P1, P3の合計	35	mA
		P2, P9の合計	35	mA
		PCM, PCT, PDL, PDHの合計	35	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 4	mA
		P0, P4, PCSの合計	- 35	mA
		P1, P3の合計	- 35	mA
		P2, P9の合計	- 35	mA
		PCM, PCT, PDL, PDHの合計	- 35	mA
出力電圧	V _O	V _{DD} = 2.7 ~ 3.6 V	- 0.5 ~ V _{DD} + 0.5 ^注	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コネクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = AV_{DD} = EV_{DD} = V_{SS} = AV_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_x = 1\text{ MHz}$			15	pF
入出力容量	C_{io}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

動作条件 ($T_A = -40 \sim +85$, $V_{SS} = AV_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部システム・クロック周波数	f_{CLK}	$V_{DD} = AV_{DD} = EV_{DD} = 3.0 \sim 3.6\text{ V}$, メイン・クロック動作時	0.25 ^{注1}		20 ^{注2}	MHz
		$V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6\text{ V}$, メイン・クロック動作時	0.25 ^{注1}		10 ^{注2}	MHz
		$V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6\text{ V}$, サブクロック動作時		32.768		kHz

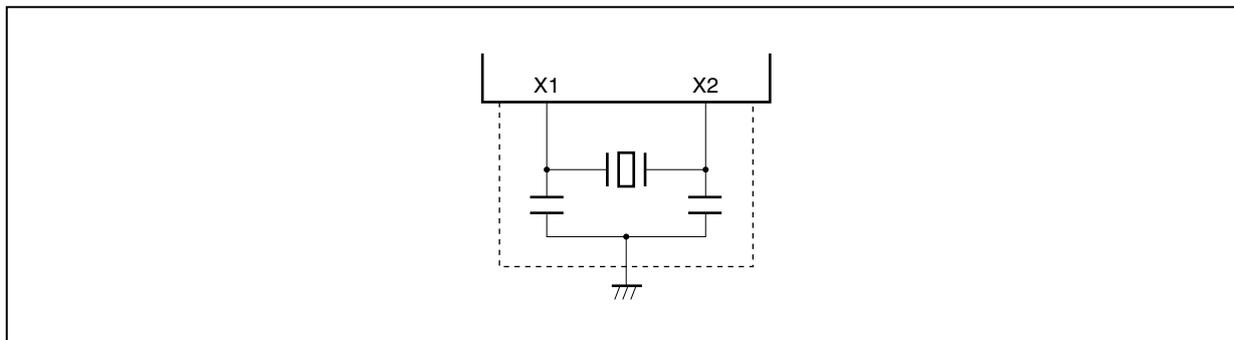
注1. メイン・クロック周波数: f_{xx} 条件のMIN.値は, f_{xx} の8分周の値。

2. メイン・クロック周波数: f_{xx} 条件のMAX.値は, f_{xx} の分周なしの値。

推奨発振回路

(1) メイン・クロック発振回路 ($T_A = -40 \sim +85$)

(a) セラミック発振子または水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_x (f_{xx})	$V_{DD} = 2.7 \sim 3.6 V$	2		20	MHz
発振安定時間		リセット解除時		$2^{19}/f_x$		s
		STOPモード解除時		注		s

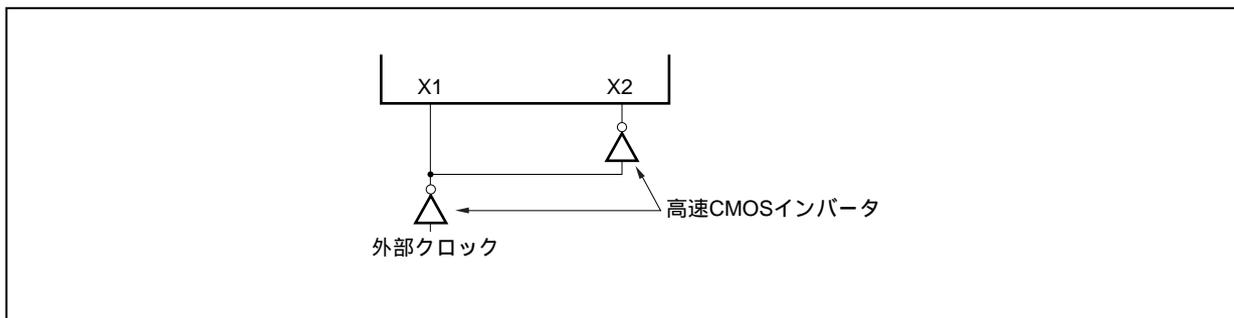
注 OSTSレジスタの設定値により異なります。

詳細は17.2(3) 発振安定時間選択レジスタ (OSTS) を参照してください。

注意1. メイン・クロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。

- ・配線は極力短くしてください。
 - ・ほかの配線と交差させないでください。
 - ・大電流が流れる線には接近させないでください。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにしてください。
 - ・大電流が流れるグランド・パターンに接地しないでください。
 - ・発振回路から信号を取り出さないでください。
2. 発振波形のデューティは、5.5 : 4.5以内に収まるようにしてください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(2) 外部クロック入力 (TA = -40 ~ +85)



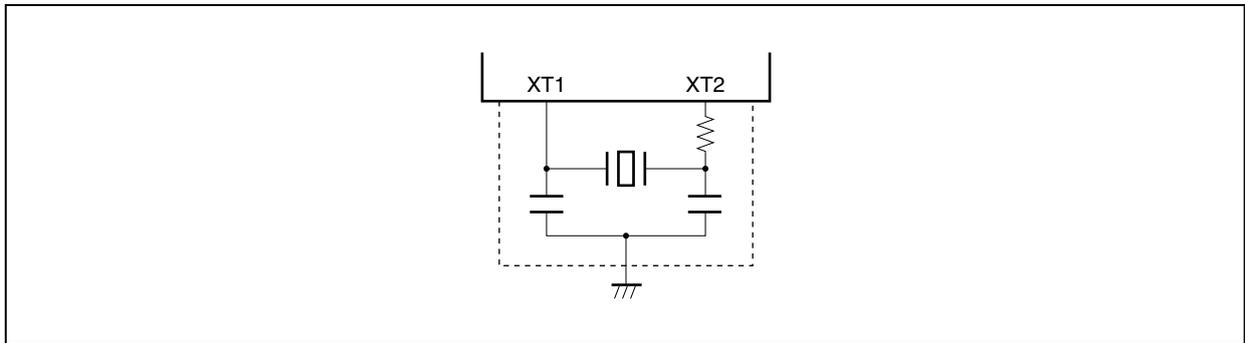
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_x (f_{xx})	$V_{DD} = 2.7 \sim 3.6 \text{ V}$	2		20	MHz

注意1. μ PD703228と高速CMOSインバータのマッチングについては、十分に評価してください。

2. 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。

(3) サブクロック発振回路 ($T_A = -40 \sim +85$)

(a) 水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_{XT}	$V_{DD} = 2.2 \sim 3.6 V$	32	32.768	35	kHz
発振安定時間		リセット解除時		10		ms
		サブSTOPモード解除時		注		s

注 OSTSレジスタの設定値により異なります。

詳細は17.2(3) 発振安定時間選択レジスタ (OSTS) を参照してください。

注意1. サブクロック発振回路には、外部クロック入力禁止です。

2. サブクロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。

- ・配線は極力短くしてください。
- ・ほかの配線と交差させないでください。
- ・大電流が流れる線には接近させないでください。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにしてください。
- ・大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

3. 発振波形のデューティは、5.5 : 4.5以内に収まるようにしてください。

4. μ PD703228と発振子のマッチングについては、十分に評価してください。

DC特性1

(a) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6 V$, $V_{SS} = AV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1	$0.7 EV_{DD}$		EV_{DD}	V
	V_{IH2}	注2	$0.8 EV_{DD}$		EV_{DD}	V
	V_{IH3}	X1, X2	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1	EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL2}	注2	EV_{SS}		$0.2 EV_{DD}$	V
	V_{IL3}	X1, X2	V_{SS}		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -100 \mu A$	$EV_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL1}	$I_{OL} = 100 \mu A$			0.4	V

注1. P10-P13, P20, P21, P31, P33, P41, P44, P90-P97, PCM0, PCM1, PCS0-PCS2, PCT0, PCT1, PCT4, PDH0-PDH2, PDL0-PDL15 (兼用端子を含みます)

2. \overline{RESET} , P00-P03, P14, P30, P32, P34-P36, P40, P42, P43, P45, P46, P98-P915 (兼用端子を含みます)

(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6 V$, $V_{SS} = AV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1	$0.75 EV_{DD}$		EV_{DD}	V
	V_{IH2}	注2	$0.85 EV_{DD}$		EV_{DD}	V
	V_{IH3}	X1, X2	$0.85 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1	EV_{SS}		$0.25 EV_{DD}$	V
	V_{IL2}	注2	EV_{SS}		$0.15 EV_{DD}$	V
	V_{IL3}	X1, X2	V_{SS}		$0.15 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -100 \mu A$	$EV_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL1}	$I_{OL} = 100 \mu A$			0.4	V

注1. P10-P13, P20, P21, P31, P33, P41, P44, P90-P97, PCM0, PCM1, PCS0-PCS2, PCT0, PCT1, PCT4, PDH0-PDH2, PDL0-PDL15 (兼用端子を含みます)

2. \overline{RESET} , P00-P03, P14, P30, P32, P34-P36, P40, P42, P43, P45, P46, P98-P915 (兼用端子を含みます)

DC特性2

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP. ^{注1}	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH}	X1, X2端子以外				5	μA
		X1, X2				20	μA
ロウ・レベル入力リーク電流	I _{LIL}	X1, X2端子以外				- 5	μA
		X1, X2				- 20	μA
ハイ・レベル出力リーク電流	I _{LOH}	X1, X2端子以外				5	μA
		X1, X2				20	μA
ロウ・レベル出力リーク電流	I _{LOL}	X1, X2端子以外				- 5	μA
		X1, X2				- 20	μA
電源電流	I _{DD1} ^{注2}	通常動作 全周辺機能動作	f _{XX} = f _{CLK} = 20 MHz		20	35	mA
	I _{DD2} ^{注2}	HALTモード 全周辺機能動作	f _{XX} = f _{CLK} = 20 MHz		16	25	mA
	I _{DD3} ^{注2}	IDLEモード RTC動作	f _{XX} = 20 MHz		1.2	4.5	mA
	I _{DD4} ^{注3}	STOPモード, サブSTOPモード	V _{DD} = 3.3 V, サブクロック発振, RTC動作		10	57	μA
			V _{DD} = 3.3 V, T _A = 50 , サブクロック発振, RTC動作			27	μA
			V _{DD} = 3.3 V, サブクロック発振停止 (XT1 = V _{SS})		1	37	μA
			V _{DD} = 3.3 V, T _A = 50 , サブクロック発振停止 (XT1 = V _{SS})			7	μA
	I _{DD5} ^{注3}	サブクロック動作モード	V _{DD} = 3.3 V, f _{XT} = f _{CLK} = 32.768 kHz, メイン・クロック発振停止		42	97	μA
			V _{DD} = 3.3 V, T _A = 50 , f _{XT} = f _{CLK} = 32.768 kHz, メイン・クロック発振停止			57	μA
	I _{DD6} ^{注3}	サブIDLEモード	V _{DD} = 3.3 V, f _{XT} = 32.768 kHz, メイン・クロック発振 停止, RTC動作		10	57	μA
V _{DD} = 3.3 V, T _A = 50 , f _{XT} = 32.768 kHz, メイン・クロック発振 停止, RTC動作					27	μA	
プルアップ抵抗	R _L	V _{IN} = 0 V		10	30	100	kΩ

注1. TYP.値は、V_{DD} = 3.3 V, T_A = 25 であり、出力バッファに流れる電流を除きます。

- AV_{DD}電源電流、出力バッファに流れる電流を除きます。動作電圧の範囲は、V_{DD} = AV_{DD} = EV_{DD} = 2.7 ~ 3.6 Vです。
- 出力バッファに流れる電流を除きます。動作電圧の範囲は、V_{DD} = AV_{DD} = EV_{DD} = 2.2 ~ 3.6 Vです。

データ保持特性

STOPモード時 ($T_A = -40 \sim +85$, $V_{SS} = AV_{SS} = EV_{SS} = 0V$)

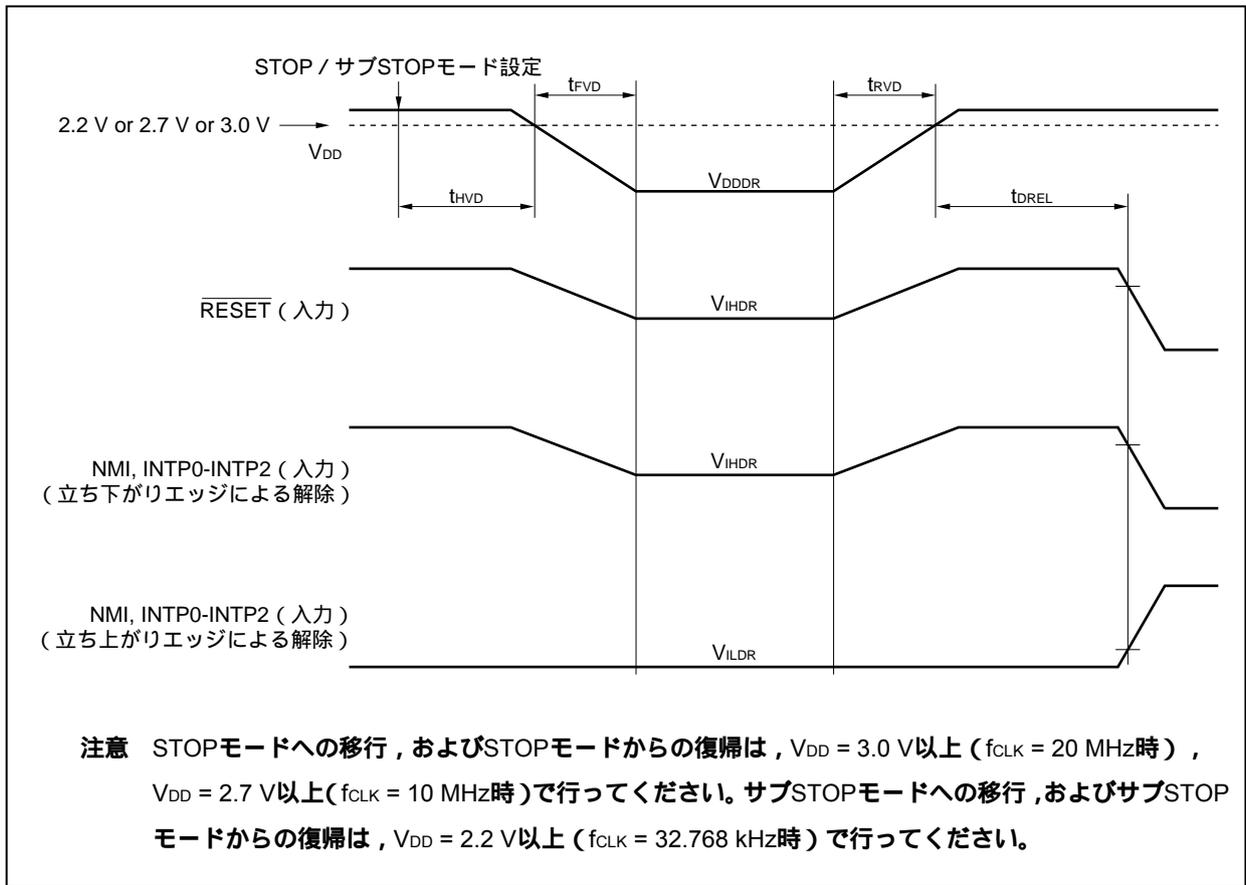
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード, サブSTOPモード	1.8		3.6	V
データ保持電流	I_{DDDR} ^{注1}	STOPモード, サブSTOPモード		10	57	μA
					27	μA
			1	37	μA	
				7	μA	
電源電圧立ち上がり時間	t_{RVD}		200		μs	
電源電圧立ち下がり時間	t_{FVD}		200		μs	
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0		ms	
STOP解除信号入力時間	t_{DREL}		0		ms	
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力ポート	V_{IHn}		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力ポート	0		V_{ILn}	V

注1. 出力バッファに流れる電流を除きます。

- $V_{DD} = V_{DDDR}$

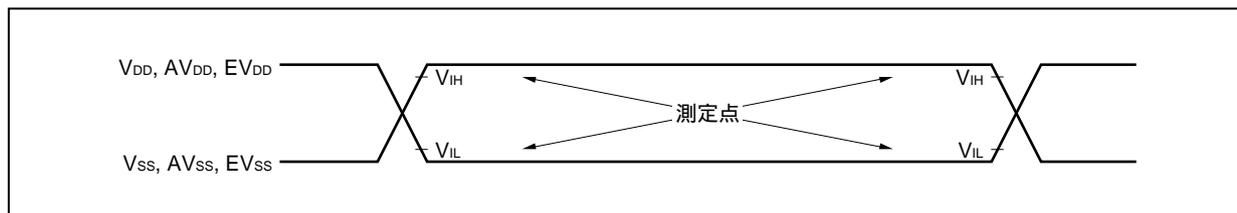
備考1. $n = 1-3$

- V_{IHn} : ハイ・レベル入力電圧, V_{ILn} : ロウ・レベル入力電圧

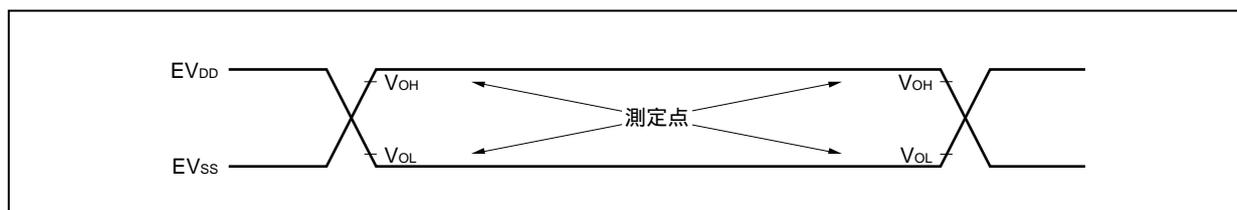


AC特性

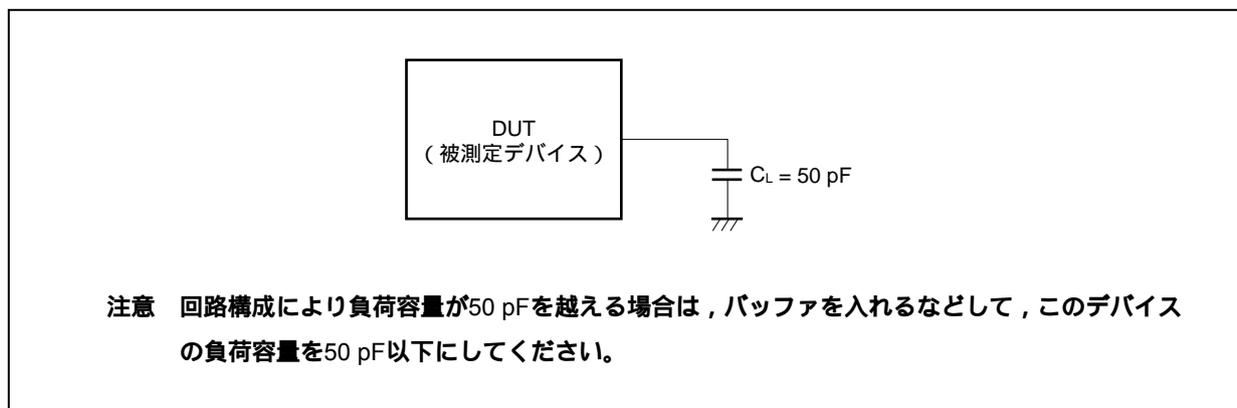
ACテスト入力測定点



ACテスト出力測定点



負荷条件



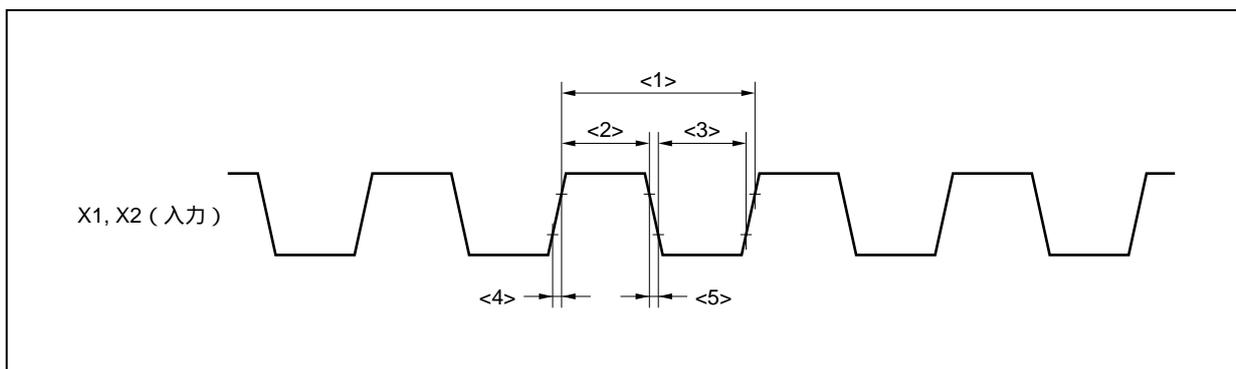
クロック・タイミング

(1) X1, X2外部クロック入力タイミング

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
入力周期	t_{CYX}	<1> X1, X2	50	500	ns
ハイ・レベル幅	t_{WXH}	<2> X1, X2	22.5		ns
ロウ・レベル幅	t_{WXL}	<3> X1, X2	22.5		ns
立ち上がり時間	t_{XR}	<4>		0.5 (<1> - <2> - <3>)	ns
立ち下がり時間	t_{XF}	<5>		0.5 (<1> - <2> - <3>)	ns

注意 デューティは、45~55%に収まるようにしてください。



(2) CLKOUT出力タイミング

(a) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

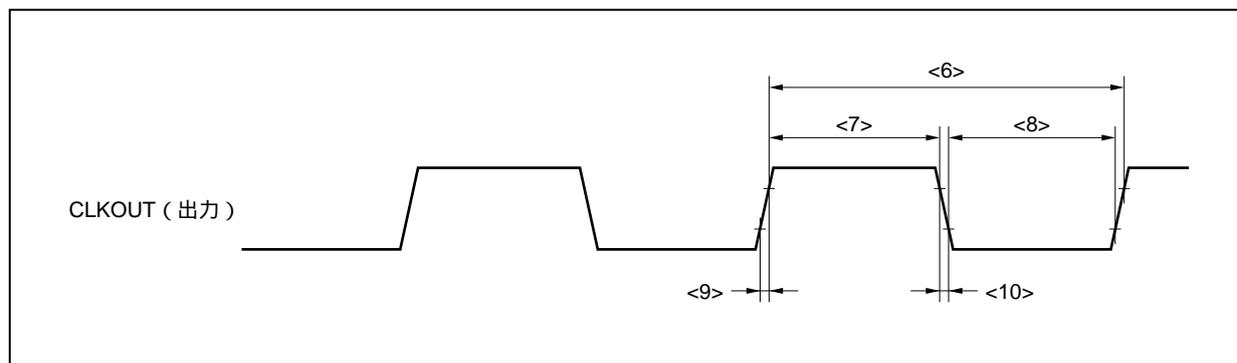
項目	略号	条件	MIN.	MAX.	単位
出力周期	t _{CYK}	<6>	0.05	31.25	μs
ハイ・レベル幅	t _{WKH}	<7>	0.4<6> - 10		ns
ロウ・レベル幅	t _{WKL}	<8>	0.4<6> - 10		ns
立ち上がり時間	t _{KR}	<9>		10	ns
立ち下がり時間	t _{KF}	<10>		10	ns

(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
出力周期	t _{CYK}	<6>	0.1	31.25	μs
ハイ・レベル幅	t _{WKH}	<7>	0.4<6> - 10		ns
ロウ・レベル幅	t _{WKL}	<8>	0.4<6> - 10		ns
立ち上がり時間	t _{KR}	<9>		10	ns
立ち下がり時間	t _{KF}	<10>		10	ns

(c) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
出力周期	t _{CYK}	<6>	28.57	31.25	μs
ハイ・レベル幅	t _{WKH}	<7>	0.4<6> - 15		ns
ロウ・レベル幅	t _{WKL}	<8>	0.4<6> - 15		ns
立ち上がり時間	t _{KR}	<9>		15	ns
立ち下がり時間	t _{KF}	<10>		15	ns



(3) PCM, PCS, PCT, PDH, PDLを除く端子の出力タイミング

(a) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

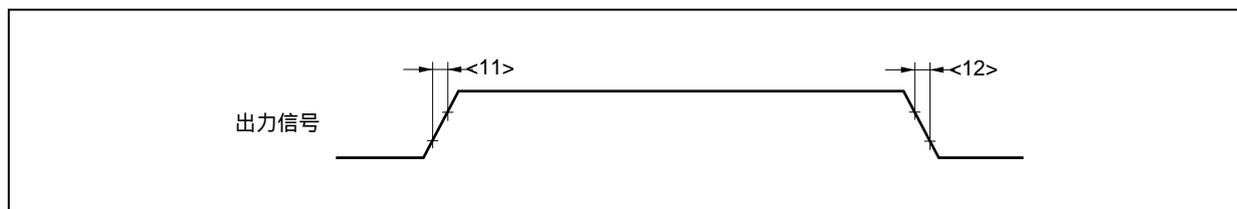
項目	略号	条件	MIN.	MAX.	単位
立ち上がり時間	t _{OR}	<11>		20	ns
立ち下がり時間	t _{OF}	<12>		20	ns

(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
立ち上がり時間	t _{OR}	<11>		25	ns
立ち下がり時間	t _{OF}	<12>		25	ns

(c) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
立ち上がり時間	t _{OR}	<11>		30	ns
立ち下がり時間	t _{OF}	<12>		30	ns



バス・タイミング

(1) リード・サイクル (CLKOUT非同期)

(a) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 \overline{RD})	t_{SARD}	<13>	0.5T - 20		ns
アドレス保持時間 (対 \overline{RD})	t_{HARD}	<14>	- 10		ns
\overline{RD} ロウ・レベル幅	t_{WRDL}	<15>		$(1.5 + n)T - 15$	ns
データ設定時間 (対 \overline{RD})	t_{SISD}	<16>	15		ns
データ保持時間 (対 \overline{RD})	t_{HISD}	<17>	- 2		ns
データ設定時間 (対アドレス)	t_{SAID}	<18>		$(2 + n)T - 30$	ns
\overline{WAIT} 設定時間 (対 \overline{RD})	t_{SRDWT1}	<19>		0.5T - 20	ns
	t_{SRDWT2}	<20>		$(0.5 + n)T - 20$	ns
\overline{WAIT} 保持時間 (対 \overline{RD})	t_{HRDWT1}	<21>	0.5T		ns
	t_{HRDWT2}	<22>	$(0.5 + n)T$		ns
\overline{WAIT} 設定時間 (対アドレス)	t_{SAWT1}	<23>		T - 30	ns
	t_{SAWT2}	<24>		$(1 + n)T - 30$	ns
\overline{WAIT} 保持時間 (対アドレス)	t_{HAWT1}	<25>	T		ns
	t_{HAWT2}	<26>	$(1 + n)T$		ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は, サンプリング・タイミングが変わります。

3. 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 \overline{RD})	t_{SARD}	<13>	0.5T - 25		ns
アドレス保持時間 (対 \overline{RD})	t_{HARD}	<14>	- 12		ns
\overline{RD} ロウ・レベル幅	t_{WRDL}	<15>		$(1.5 + n)T - 20$	ns
データ設定時間 (対 \overline{RD})	t_{SISD}	<16>	15		ns
データ保持時間 (対 \overline{RD})	t_{HISD}	<17>	- 2		ns
データ設定時間 (対アドレス)	t_{SAID}	<18>		$(2 + n)T - 35$	ns
\overline{WAIT} 設定時間 (対 \overline{RD})	t_{SRDWT1}	<19>		0.5T - 25	ns
	t_{SRDWT2}	<20>		$(0.5 + n)T - 25$	ns
\overline{WAIT} 保持時間 (対 \overline{RD})	t_{HRDWT1}	<21>	0.5T		ns
	t_{HRDWT2}	<22>	$(0.5 + n)T$		ns
\overline{WAIT} 設定時間 (対アドレス)	t_{SAWT1}	<23>		T - 36	ns
	t_{SAWT2}	<24>		$(1 + n)T - 36$	ns
\overline{WAIT} 保持時間 (対アドレス)	t_{HAWT1}	<25>	T		ns
	t_{HAWT2}	<26>	$(1 + n)T$		ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は, サンプリング・タイミングが変わります。

3. 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

(2) ライト・サイクル (CLKOUT非同期)

(a) ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 \overline{WRm})	t_{SAW}	<27>	T - 20		ns
アドレス保持時間 (対 \overline{WRm})	t_{HAW}	<28>	0.5T - 15		ns
\overline{WRm} ロウ・レベル幅	t_{WRL}	<29>	(0.5 + n)T - 15		ns
\overline{WRm} データ出力時間	t_{DOSDW}	<30>	- 7		ns
データ設定時間 (対 \overline{WRm})	t_{SOSDW}	<31>	(0.5 + n)T - 15		ns
データ保持時間 (対 \overline{WRm})	t_{HOSDW}	<32>	0.5T - 15		ns
データ設定時間 (対アドレス)	t_{SAOD}	<33>	T - 25		ns
WAIT設定時間 (対 \overline{WRm})	t_{SWRWT1}	<34>	20		ns
	t_{SWRWT2}	<35>	nT - 20		ns
WAIT保持時間 (対 \overline{WRm})	t_{HWRWT1}	<36>	0		ns
	t_{HWRWT2}	<37>	nT		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<38>		T - 30	ns
	t_{SAWT2}	<39>		(1 + n)T - 30	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<40>	T		ns
	t_{HAWT2}	<41>	(1 + n)T		ns

備考1. $m = 0, 1$

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)
3. n : バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
4. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

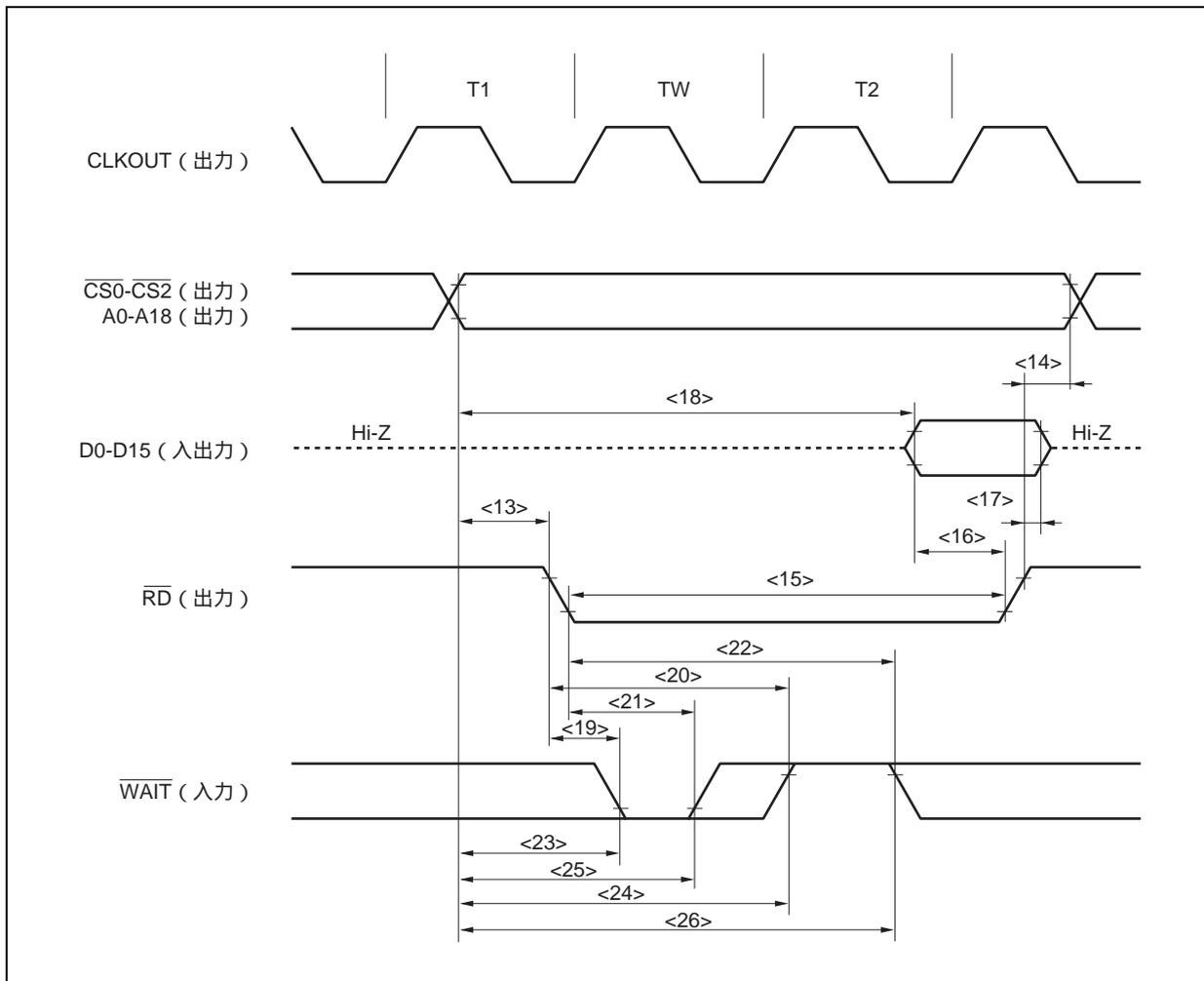
(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 \overline{WRm})	t_{SAW}	<27>	$T - 25$		ns
アドレス保持時間 (対 \overline{WRm})	t_{HAW}	<28>	$0.5T - 20$		ns
\overline{WRm} 口ウ・レベル幅	t_{WWRL}	<29>	$(0.5 + n)T - 20$		ns
\overline{WRm} データ出力時間	t_{DOSDW}	<30>	- 9		ns
データ設定時間 (対 \overline{WRm})	t_{SOSDW}	<31>	$(0.5 + n)T - 20$		ns
データ保持時間 (対 \overline{WRm})	t_{HOSDW}	<32>	$0.5T - 20$		ns
データ設定時間 (対アドレス)	t_{SAOD}	<33>	$T - 25$		ns
WAIT設定時間 (対 \overline{WRm})	t_{SWRWT1}	<34>	22		ns
	t_{SWRWT2}	<35>	$nT - 22$		ns
WAIT保持時間 (対 \overline{WRm})	t_{HWRWT1}	<36>	0		ns
	t_{HWRWT2}	<37>	nT		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<38>		$T - 36$	ns
	t_{SAWT2}	<39>		$(1 + n)T - 36$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<40>	T		ns
	t_{HAWT2}	<41>	$(1 + n)T$		ns

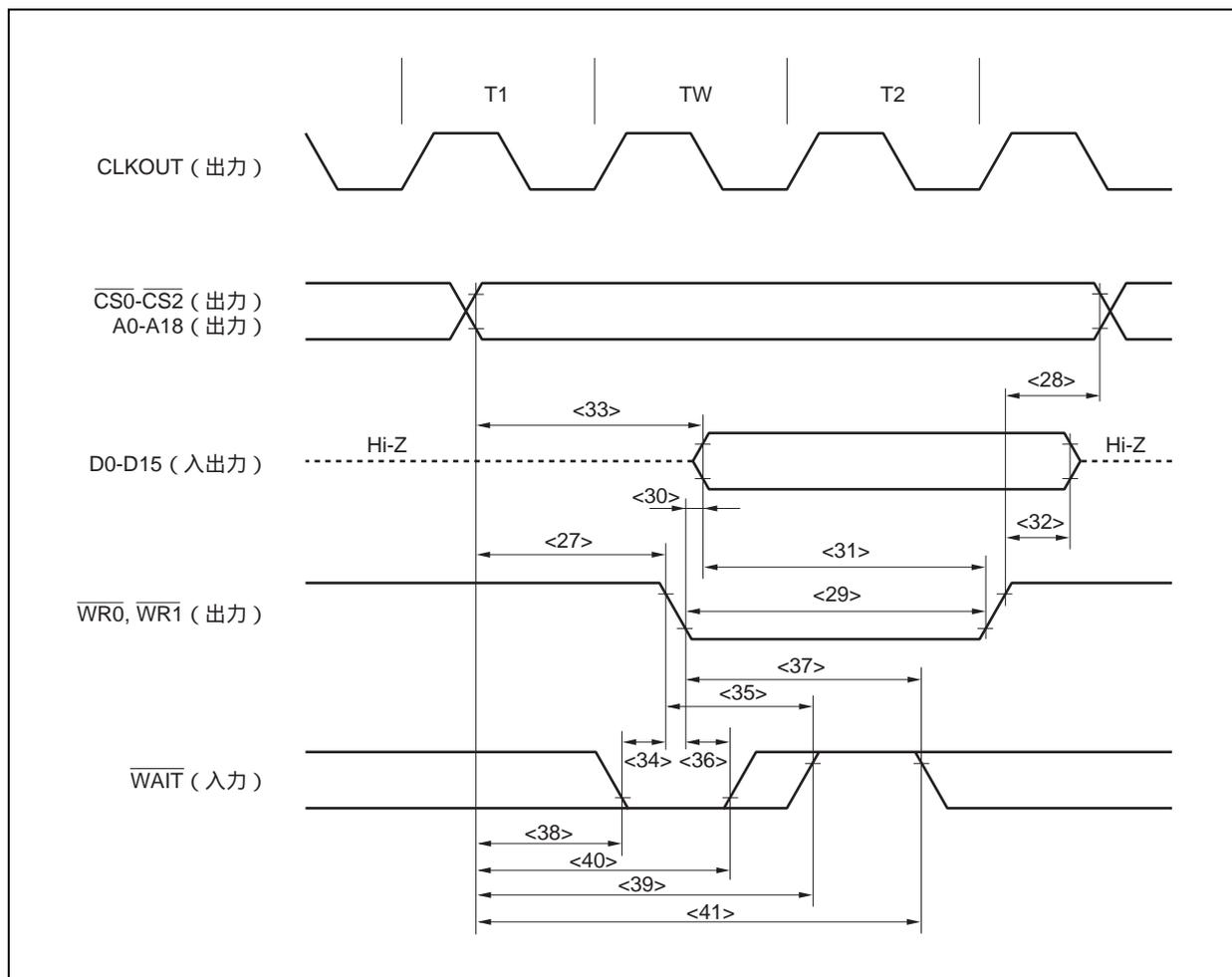
備考1. $m = 0, 1$

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)
3. n : バス・サイクルに挿入されるウエイト・クロック数
プログラマブル・ウエイト挿入時は, サンプルング・タイミングが変わります。
4. 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期, 1ウェイト)



ライト・サイクル (CLKOUT非同期, 1ウェイト)



リセット/割り込みタイミング

(a) ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	t _{WRSH}	<42>	500		ns
RESETロウ・レベル幅	t _{WRSL}	<43>	500		ns
NMIハイ・レベル幅	t _{WNIH}	<44>	500		ns
NMIロウ・レベル幅	t _{WNIL}	<45>	500		ns
INTPnハイ・レベル幅	t _{WITHn}	<46>	500	n = 0-2	ns
INTPnロウ・レベル幅	t _{WITLn}	<47>	500	n = 0-2	ns

備考 T = 1/f_{xx}

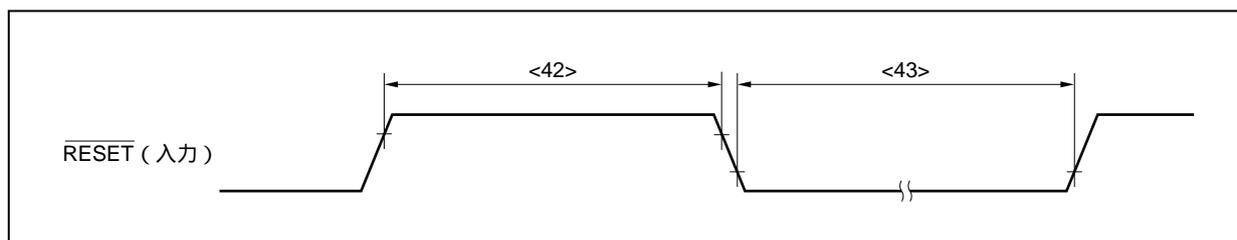
(b) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.2 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅 ^注	t _{WRSH}	<42>	600		ns
RESETロウ・レベル幅 ^注	t _{WRSL}	<43>	600		ns
NMIハイ・レベル幅	t _{WNIH}	<44>	600		ns
NMIロウ・レベル幅	t _{WNIL}	<45>	600		ns
INTPnハイ・レベル幅	t _{WITHn}	<46>	600	n = 0-2	ns
INTPnロウ・レベル幅	t _{WITLn}	<47>	600	n = 0-2	ns

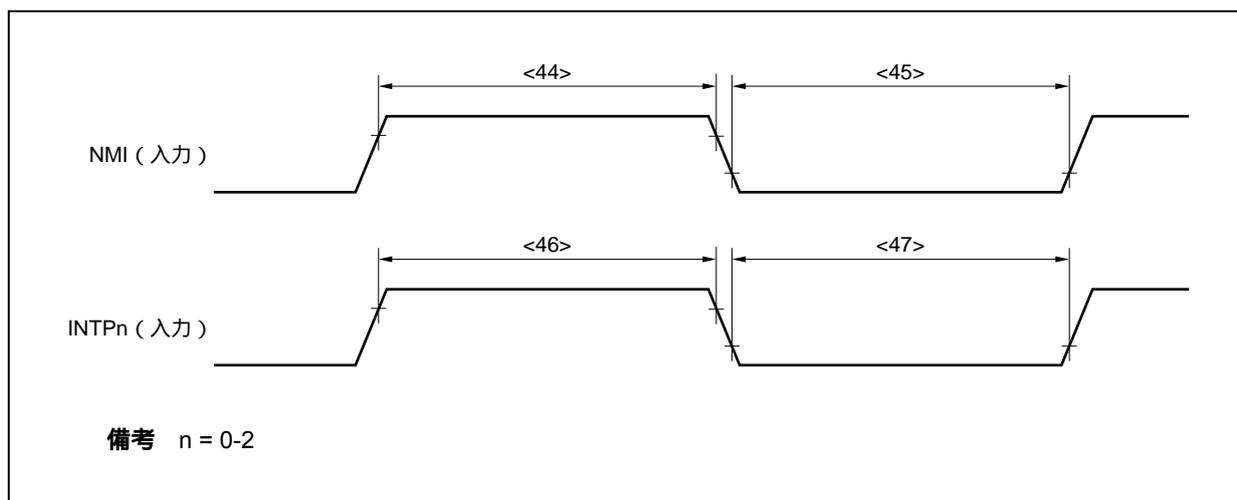
注 V_{DD} = 2.7 V以上でリセット解除してください。

備考 T = 1/f_{xx}

リセット



割り込み



タイマ・タイミング

(a) $T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{WTIHn}	$n = 0m0, 0m1^{\ddagger}$, 10, 11, 20, 21	$2T + 20$		ns
TInロウ・レベル幅	t_{WTILn}	$n = 0m0, 0m1^{\ddagger}$, 10, 11, 20, 21	$2T + 20$		ns
TCLRmハイ・レベル幅	t_{WTCHm}	$m = 10, 11$	$2T + 20$		ns
TCLRmロウ・レベル幅	t_{WTCLm}	$m = 10, 11$	$2T + 20$		ns
INTPmハイ・レベル幅	t_{WITHm}	$m = 100, 101, 110, 111$	$2T + 20$		ns
INTPmロウ・レベル幅	t_{WITLm}	$m = 100, 101, 110, 111$	$2T + 20$		ns

注 Tは、TI0m0, TI0m1 ($m = 0-3$) をキャプチャ・トリガ用に入力する場合、TM0m ($m = 0-3$) カウント・クロックの1周期分。外部クロック用に入力する場合、 $1/f_{xx}$ 。

備考 $T = 1/f_{xx}$

CSIタイミング

(1) マスタ・モード

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t _{KCYn}	<48> EV _{DD} = 3.0 ~ 3.6 V	200		ns
		EV _{DD} = 2.7 ~ 3.6 V	400		ns
SCKnハイ / ロウ・レベル幅	t _{KHn}	<49> EV _{DD} = 3.0 ~ 3.6 V	t _{KCYn} /2 - 20		ns
	t _{KLn}	EV _{DD} = 2.7 ~ 3.6 V	t _{KCYn} /2 - 25		ns
SIn設定時間 (対SCKn)	t _{SIKn}	<50> EV _{DD} = 3.0 ~ 3.6 V	30		ns
		EV _{DD} = 2.7 ~ 3.6 V	30		ns
SIn設定時間 (対SCKn)	t _{SIKn}	<50> EV _{DD} = 3.0 ~ 3.6 V	30		ns
		EV _{DD} = 2.7 ~ 3.6 V	30		ns
SIn保持時間 (対SCKn)	t _{KSIn}	<51> EV _{DD} = 3.0 ~ 3.6 V	30		ns
		EV _{DD} = 2.7 ~ 3.6 V	30		ns
SIn保持時間 (対SCKn)	t _{KSIn}	<51> EV _{DD} = 3.0 ~ 3.6 V	30		ns
		EV _{DD} = 2.7 ~ 3.6 V	30		ns
SOn出力遅延時間 (対SCKn)	t _{KSON}	<52> EV _{DD} = 3.0 ~ 3.6 V		30	ns
		EV _{DD} = 2.7 ~ 3.6 V		30	ns
SOn出力遅延時間 (対SCKn)	t _{KSON}	<52> EV _{DD} = 3.0 ~ 3.6 V		30	ns
		EV _{DD} = 2.7 ~ 3.6 V		30	ns
SOn出力保持時間 (対SCKn)	t _{HSKSON}	<53> EV _{DD} = 3.0 ~ 3.6 V	t _{KCYn} /2 - 20		ns
		EV _{DD} = 2.7 ~ 3.6 V	t _{KCYn} /2 - 25		ns
SOn出力保持時間 (対SCKn)	t _{HSKSON}	<53> EV _{DD} = 3.0 ~ 3.6 V	t _{KCYn} /2 - 20		ns
		EV _{DD} = 2.7 ~ 3.6 V	t _{KCYn} /2 - 25		ns

備考 n = 0, 1

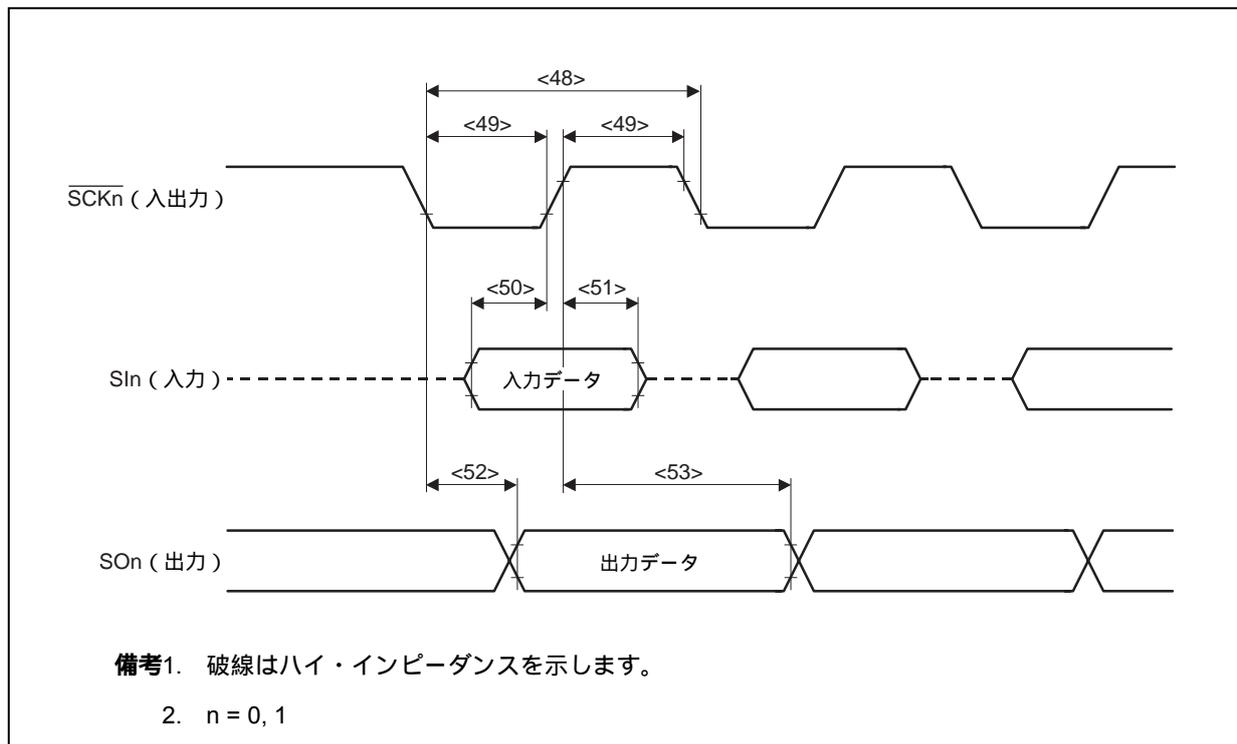
(2) スレーブ・モード

($T_A = -40 \sim +85$ °C, $V_{DD} = AV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = EV_{SS} = 0$ V, $C_L = 50$ pF)

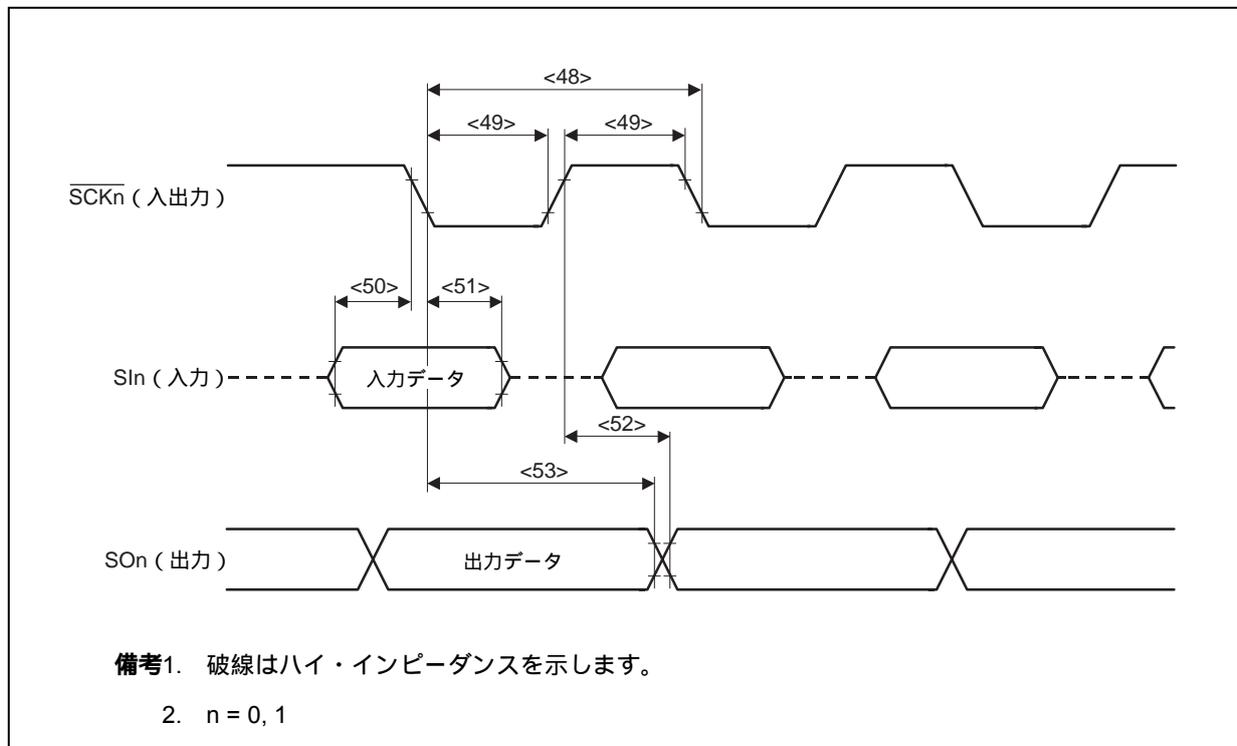
項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t _{KCYn}	<48> EV _{DD} = 3.0 ~ 3.6 V	200		ns
		EV _{DD} = 2.7 ~ 3.6 V	400		ns
SCKnハイ / ロウ・レベル幅	t _{KHn}	<49> EV _{DD} = 3.0 ~ 3.6 V	90		ns
	t _{KLn}	EV _{DD} = 2.7 ~ 3.6 V	190		ns
SIn設定時間 (対SCKn)	t _{SIKn}	<50> EV _{DD} = 3.0 ~ 3.6 V	50		ns
		EV _{DD} = 2.7 ~ 3.6 V	50		ns
SIn設定時間 (対SCKn)	t _{SIKn}	<50> EV _{DD} = 3.0 ~ 3.6 V	50		ns
		EV _{DD} = 2.7 ~ 3.6 V	50		ns
SIn保持時間 (対SCKn)	t _{KSIn}	<51> EV _{DD} = 3.0 ~ 3.6 V	50		ns
		EV _{DD} = 2.7 ~ 3.6 V	50		ns
SIn保持時間 (対SCKn)	t _{KSIn}	<51> EV _{DD} = 3.0 ~ 3.6 V	50		ns
		EV _{DD} = 2.7 ~ 3.6 V	50		ns
SOn出力遅延時間 (対SCKn)	t _{KSON}	<52> EV _{DD} = 3.0 ~ 3.6 V		50	ns
		EV _{DD} = 2.7 ~ 3.6 V		50	ns
SOn出力遅延時間 (対SCKn)	t _{KSON}	<52> EV _{DD} = 3.0 ~ 3.6 V		50	ns
		EV _{DD} = 2.7 ~ 3.6 V		50	ns
SOn出力保持時間 (対SCKn)	t _{HSKSON}	<53> EV _{DD} = 3.0 ~ 3.6 V	t _{KHn}		ns
		EV _{DD} = 2.7 ~ 3.6 V	t _{KHn}		ns
SOn出力保持時間 (対SCKn)	t _{HSKSON}	<53> EV _{DD} = 3.0 ~ 3.6 V	t _{KLn}		ns
		EV _{DD} = 2.7 ~ 3.6 V	t _{KLn}		ns

備考 n = 0, 1

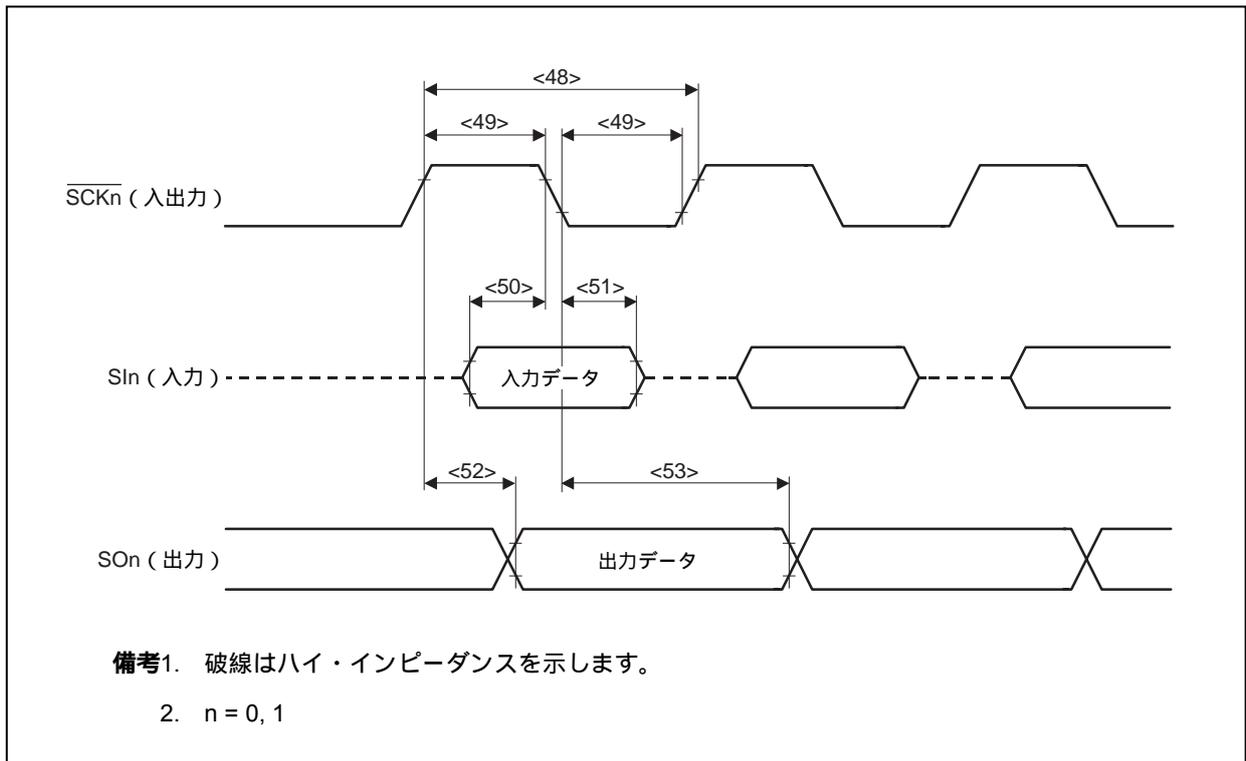
(3) CSICn.CKPn, DAPnビット = 00時のタイミング



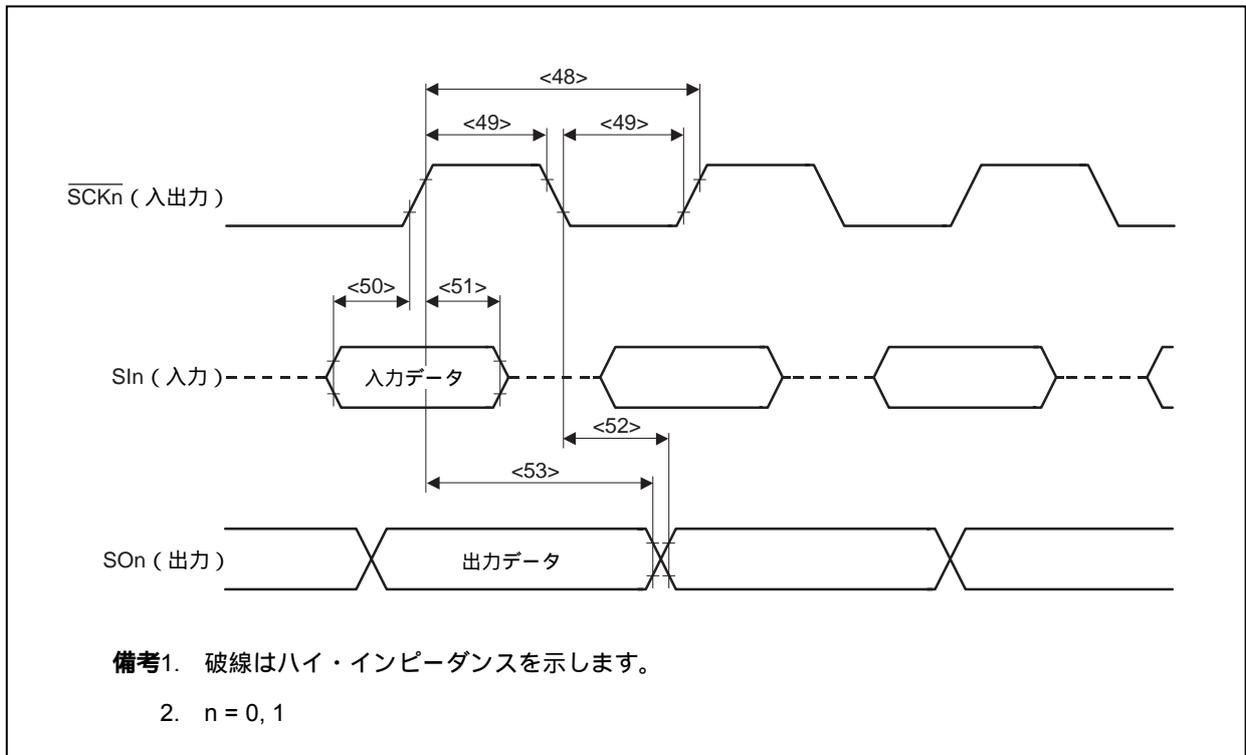
(4) CSICn.CKPn, DAPnビット = 01時のタイミング



(5) CSICn.CKPn, DAPnビット = 10時のタイミング



(6) CSICn.CKPn, DAPnビット = 11時のタイミング



A/Dコンバータ特性

(1) 推奨動作条件 ($T_A = -40 \sim +85$, $V_{SS} = AV_{SS} = EV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV _{DD}		3.0	3.3	3.6	V
	EV _{DD}		3.0	3.3	3.6	V
	V _{DD}		3.0	3.3	3.6	V
クロック周波数	f _{xx}			20		MHz
動作周囲温度	T _A		-40	27	+85	

(2) レファレンス (推奨動作条件において)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部基準電位 (入力)	AV _{REFIN}		1.2		1.25	V
内部基準電位 (出力)	AV _{REFOUT}		-5.0 %	1.226	+5.0 %	V
内部基準電位温度係数		注		52		ppm/
レファレンス平滑容量	C _{REF}			10		μF

注 -40 ~ +25 および +25 ~ +100 の温度係数

(3) アナログ入力仕様

項目	略号	備考	MIN.	TYP.	MAX.	単位
入力信号DCレベル	電圧CH		-20	0	+20	mV
	電流CH	ゲイン2倍モード	-10	0	+10	mV
		ゲイン16倍モード	-1.25	0	+1.25	mV
入力信号範囲	電圧CH		-0.375		+0.375	V
	電流CH	ゲイン2倍モード	-0.1875		+0.1875	V
		ゲイン16倍モード	-23.4		+23.4	mV
入力ゲイン ^注	電圧CH		-7 %	1	+7 %	-
	電流CH	ゲイン2倍モード	-7 %	2	+7 %	-
		ゲイン16倍モード	-7 %	16	+7 %	-
入力インピーダンス	電圧CH		100	125		k
	電流CH	ゲイン2倍モード	60	75		k
		ゲイン16倍モード	60	75		k

注 電流CHでゲイン16倍モードを選択した場合、すべての電流CHのゲインが16倍となります。

備考1. n = 0-5

2. 電圧CH : チャネル0, 2, 4

電流CH : チャネル1, 3, 5

(4) A/D変換器およびシステム仕様

項目	略号	備考	MIN.	TYP.	MAX.	単位	
A/Dコンバータおよびシステム (fs = 4340 Hz)							
システム・クロック	f _{xx}			20		MHz	
型動作クロック	DSCLK	f _{xx} /12		1.667		MHz	
オーバサンプリング周波数	f _{os}	DSCLK/3		555.6		kHz	
サンプリング周波数	f _s	f _{os} /128		4.34		kHz	
データ幅				16		bit	
S/N	SNR	0 dB, 60 Hz単一 正弦波入力	電圧CH	70	76		dB
			電流CH, ゲイン2倍	70	76		dB
			電流CH, ゲイン16倍	62	69		dB
THD	THD	0 dB, 60 Hz単一 正弦波入力	電圧CH		- 80	- 72	dB
			電流CH, ゲイン2倍		- 80	- 72	dB
			電流CH, ゲイン16倍		- 80	- 72	dB
チャンネル間アイソレーション	XT		80			dB	
動作電流	I _{AVDD}			4.6	10.0	mA	
起動時動作電流	I _{sAVDD}	起動スタートアップ時間のみ		15	30	mA	
起動スタートアップ時間	t _{STUP}	R = 43 kΩ, C = 0.22 μF			20	ms	
A/Dコンバータおよびシステム (fs = 2170 Hz)							
システム・クロック	f _{xx}			20		MHz	
型動作クロック	DSCLK	f _{xx} /24		0.833		MHz	
オーバサンプリング周波数	f _{os}	DSCLK/3		277.8		kHz	
サンプリング周波数	f _s	f _{os} /128		2.17		kHz	
データ幅				16		bit	
S/N	SNR	0 dB, 60 Hz単一 正弦波入力	電圧CH	70	76		dB
			電流CH, ゲイン2倍	70	76		dB
			電流CH, ゲイン16倍	62	69		dB
THD	THD	0 dB, 60 Hz単一 正弦波入力	電圧CH		- 80	- 72	dB
			電流CH, ゲイン2倍		- 80	- 72	dB
			電流CH, ゲイン16倍		- 80	- 72	dB
チャンネル間アイソレーション	XT		80			dB	
動作電流	I _{AVDD}			4.6	10.0	mA	
起動時動作電流	I _{sAVDD}	起動スタートアップ時間のみ		15	30	mA	
起動スタートアップ時間	t _{STUP}	R = 43 kΩ, C = 0.22 μF			20	ms	

備考1. 電圧CH : チャネル0, 2, 4

電流CH : チャネル1, 3, 5

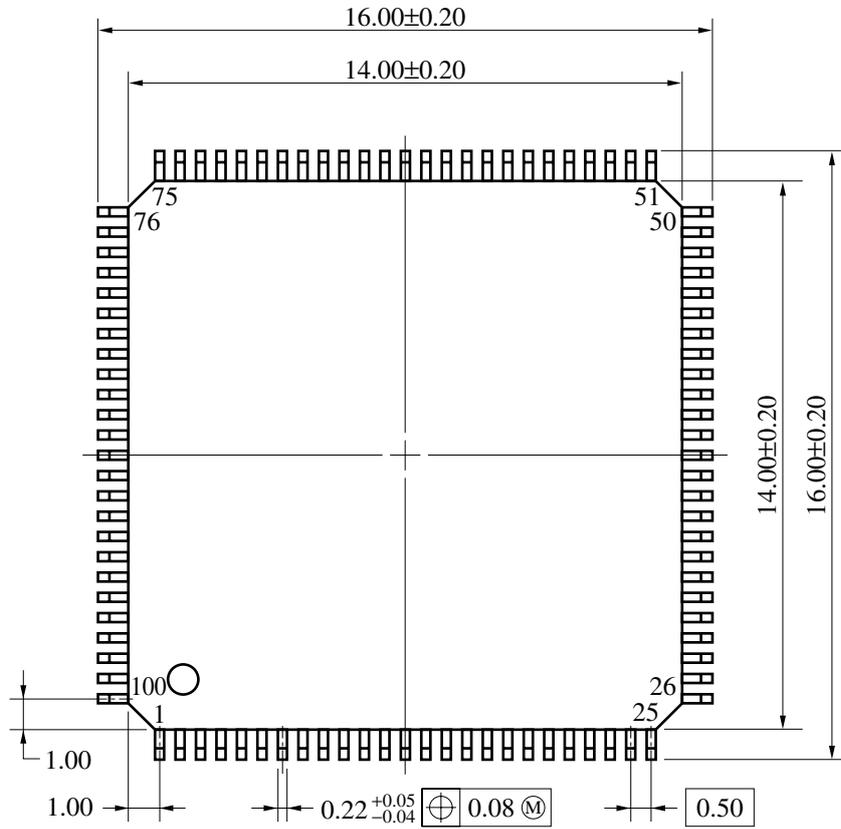
- S/N : 信号 (0 dB, 60 Hz) 入力時の信号周波数成分と信号周波数および高調波成分以外の総和との比。
- THD : 信号 (0 dB, 60 Hz) 入力時の高調波成分の総和。
- 起動スタートアップ時間 (t_{STUP}) : A/Dコンバータ電源オンから動作電流MAX.値 (I_{AVDD}) 以下に移行するまでの時間 (CはAV_{REFIN}の安定化容量, Rは制限抵抗)。

(5) デジタル・フィルタ仕様

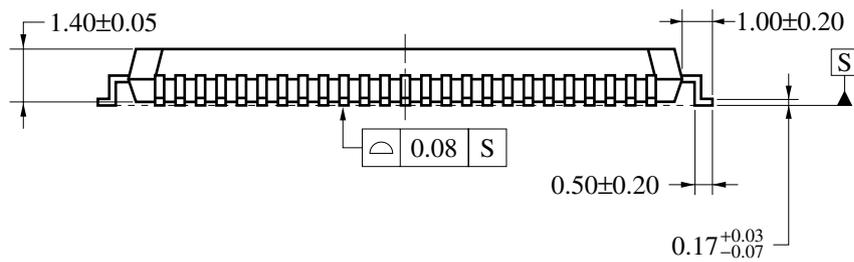
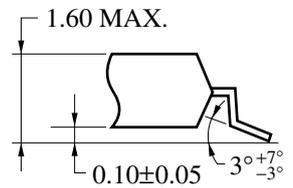
項目	略号	備考	MIN.	TYP.	MAX.	単位
デジタル・フィルタ特性 (fs = 4340 Hz)						
通過域 (低域側)	fchpf	- 3 dB		0.73		Hz
帯域内リップル1	rp1	50 Hz中心, 45 Hz ~ 55 Hz時 60 Hz中心, 54 Hz ~ 66 Hz時	- 0.01		+ 0.01	dB
帯域内リップル2	rp2	50 Hz中心, 45 Hz ~ 275 Hz時 60 Hz中心, 54 Hz ~ 330 Hz時	- 0.1		+ 0.1	dB
帯域内リップル3	rp3	50 Hz中心, 45 Hz ~ 1100 Hz時 60 Hz中心, 54 Hz ~ 1320 Hz時	- 0.1		+ 0.1	dB
阻止域 (高域側)	fatt	- 80 dB		3020		Hz
帯域外減衰量	ATT		- 80			dB
デジタル特性 (fs = 2170 Hz)						
通過域 (低域側)	fchpf	- 3 dB		0.365		Hz
帯域内リップル1	rp1	50 Hz中心, 45 Hz ~ 55 Hz時 60 Hz中心, 54 Hz ~ 66 Hz時	- 0.01		+ 0.01	dB
帯域内リップル2	rp2	50 Hz中心, 45 Hz ~ 275 Hz時 60 Hz中心, 54 Hz ~ 330 Hz時	- 0.1		+ 0.1	dB
阻止域 (高域側)	fatt	- 80 dB		1510		Hz
帯域外減衰量	ATT		- 80			dB

第21章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

第22章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表22 - 1 表面実装タイプの半田付け条件

(1) μ PD703228GC-XXX-8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク36～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-363-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

(2) μ PD703228GC-003-8EU-A : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μ PD703228GC-xxx-8EU-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A レジスタ索引

(1/6)

略号	名称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0	ADC	294
ADCR1	A/D変換結果レジスタ1	ADC	294
ADCR2	A/D変換結果レジスタ2	ADC	294
ADCR3	A/D変換結果レジスタ3	ADC	294
ADCR4	A/D変換結果レジスタ4	ADC	294
ADCR5	A/D変換結果レジスタ5	ADC	294
ADIC	割り込み制御レジスタ	INTC	364
ADLY	A/Dクロック・ディレイ設定レジスタ	ADC	295
ADM	A/Dコンバータ・モード・レジスタ	ADC	293
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART	313
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART	313
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	309
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	309
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	312
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	312
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	134
BCC	バス・サイクル・コントロール・レジスタ	BCU	135
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	UART	331
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	UART	331
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	124
CC100	16ビット・タイマ・キャプチャ/コンペア・レジスタ100	TM1	229
CC101	16ビット・タイマ・キャプチャ/コンペア・レジスタ101	TM1	229
CC110	16ビット・タイマ・キャプチャ/コンペア・レジスタ110	TM1	229
CC111	16ビット・タイマ・キャプチャ/コンペア・レジスタ111	TM1	229
CCIC100	割り込み制御レジスタ	INTC	364
CCIC101	割り込み制御レジスタ	INTC	364
CCIC110	割り込み制御レジスタ	INTC	364
CCIC111	割り込み制御レジスタ	INTC	364
CKSR0	クロック選択レジスタ0	UART	330
CKSR1	クロック選択レジスタ1	UART	330
CORAD0	コレクション・アドレス・レジスタ0	ROMC	404
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	404
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	404
CORAD1	コレクション・アドレス・レジスタ1	ROMC	404
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	404
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	404
CORAD2	コレクション・アドレス・レジスタ2	ROMC	404
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	404
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	404

略号	名称	ユニット	ページ
CORAD3	コレクション・アドレス・レジスタ3	ROMC	404
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	404
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	404
CORCN	コレクション・コントロール・レジスタ	ROMC	405
CR000	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	TM0	152
CR001	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	TM0	153
CR010	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	TM0	152
CR011	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	TM0	153
CR020	16ビット・タイマ・キャプチャ/コンペア・レジスタ020	TM0	152
CR021	16ビット・タイマ・キャプチャ/コンペア・レジスタ021	TM0	153
CR030	16ビット・タイマ・キャプチャ/コンペア・レジスタ030	TM0	152
CR031	16ビット・タイマ・キャプチャ/コンペア・レジスタ031	TM0	153
CR2	16ビット・タイマ・コンペア・レジスタ2	TM2	256
CR20	8ビット・タイマ・コンペア・レジスタ20	TM2	256
CR21	8ビット・タイマ・コンペア・レジスタ21	TM2	256
CRC00	キャプチャ/コンペア・コントロール・レジスタ00	TM0	158
CRC01	キャプチャ/コンペア・コントロール・レジスタ01	TM0	158
CRC02	キャプチャ/コンペア・コントロール・レジスタ02	TM0	158
CRC03	キャプチャ/コンペア・コントロール・レジスタ03	TM0	158
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI	341
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI	341
CSIIC0	割り込み制御レジスタ	INTC	364
CSIIC1	割り込み制御レジスタ	INTC	364
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI	339
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI	339
DAY	日カウント・レジスタ	RTC	277
DAYB	日カウント設定レジスタ	RTC	277
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	132
HOUR	時カウント・レジスタ	RTC	276
HOURB	時カウント設定レジスタ	RTC	277
HOURDAY	日時カウント・レジスタ	RTC	54
HOURDAYB	日時カウント設定レジスタ	RTC	54
HPFC0	ハイ・パス・フィルタ・コントロール・レジスタ0	ADC	294
IMR0	割り込みマスク・レジスタ0	INTC	366
IMR0H	割り込みマスク・レジスタ0H	INTC	366
IMR0L	割り込みマスク・レジスタ0L	INTC	366
IMR1	割り込みマスク・レジスタ1	INTC	366
IMR1H	割り込みマスク・レジスタ1H	INTC	366
IMR1L	割り込みマスク・レジスタ1L	INTC	366
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	370
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	370
ISPR	インサースビス・プライオリティ・レジスタ	INTC	367
MIN	分カウント・レジスタ	RTC	276
MINB	分カウント設定レジスタ	RTC	276

略号	名称	ユニット	ページ
OSTS	発振安定時間選択レジスタ	スタンバイ	384
OVFIC10	割り込み制御レジスタ	INTC	364
OVFIC11	割り込み制御レジスタ	INTC	364
P0	ポート0	ポート	69
P1	ポート1	ポート	72
P2	ポート2	ポート	75
P3	ポート3	ポート	77
P4	ポート4	ポート	80
P9	ポート9	ポート	83
P9H	ポート9H	ポート	83
P9L	ポート9L	ポート	83
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	143
PCM	ポートCM	ポート	89
PCS	ポートCS	ポート	91
PCT	ポートCT	ポート	92
PDH	ポートDH	ポート	95
PDL	ポートDL	ポート	96
PDLH	ポートDLH	ポート	96
PDLL	ポートDLL	ポート	96
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	70
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	74
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	79
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	82
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	87
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	87
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	87
PIC0	割り込み制御レジスタ	INTC	364
PIC1	割り込み制御レジスタ	INTC	364
PIC2	割り込み制御レジスタ	INTC	364
PM0	ポート0モード・レジスタ	ポート	69
PM1	ポート1モード・レジスタ	ポート	72
PM2	ポート2モード・レジスタ	ポート	75
PM3	ポート3モード・レジスタ	ポート	77
PM4	ポート4モード・レジスタ	ポート	80
PM9	ポート9モード・レジスタ	ポート	84
PM9H	ポート9モード・レジスタH	ポート	84
PM9L	ポート9モード・レジスタL	ポート	84
PMC0	ポート0モード・コントロール・レジスタ	ポート	70
PMC1	ポート1モード・コントロール・レジスタ	ポート	73
PMC2	ポート2モード・コントロール・レジスタ	ポート	76
PMC3	ポート3モード・コントロール・レジスタ	ポート	78
PMC4	ポート4モード・コントロール・レジスタ	ポート	81
PMC9	ポート9モード・コントロール・レジスタ	ポート	85
PMC9H	ポート9モード・コントロール・レジスタH	ポート	85

略号	名称	ユニット	ページ
PMC9L	ポート9モード・コントロール・レジスタL	ポート	85
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	89
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	91
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	93
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	95
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	97
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	97
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	97
PMCM	ポートCMモード・レジスタ	ポート	89
PMCS	ポートCSモード・レジスタ	ポート	91
PMCT	ポートCTモード・レジスタ	ポート	92
PMDH	ポートDHモード・レジスタ	ポート	95
PMDL	ポートDLモード・レジスタ	ポート	97
PMDLH	ポートDLモード・レジスタH	ポート	97
PMDLL	ポートDLモード・レジスタL	ポート	97
PRCMD	コマンド・レジスタ	CPU	58
PRM00	プリスケアラ・モード・レジスタ00	TM0	161
PRM01	プリスケアラ・モード・レジスタ01	TM0	161
PRM02	プリスケアラ・モード・レジスタ02	TM0	161
PRM03	プリスケアラ・モード・レジスタ03	TM0	161
PSC	パワー・セーブ・コントロール・レジスタ	スタンバイ	383
PSMR	パワー・セーブ・モード・レジスタ	スタンバイ	383
PU0	プルアップ抵抗オプション・レジスタ0	ポート	71
PU1	プルアップ抵抗オプション・レジスタ1	ポート	74
PU2	プルアップ抵抗オプション・レジスタ2	ポート	76
PU3	プルアップ抵抗オプション・レジスタ3	ポート	79
PU4	プルアップ抵抗オプション・レジスタ4	ポート	82
PWMB0	PWMバッファ・レジスタ0	PWM	301
PWMB1	PWMバッファ・レジスタ1	PWM	301
PWMB2	PWMバッファ・レジスタ2	PWM	301
PWMB3	PWMバッファ・レジスタ3	PWM	301
PWMC0	PWMコントロール・レジスタ0	PWM	300
PWMC1	PWMコントロール・レジスタ1	PWM	300
PWMC2	PWMコントロール・レジスタ2	PWM	300
PWMC3	PWMコントロール・レジスタ3	PWM	300
ROVIC	割り込み制御レジスタ	INTC	364
RTCC	RTCコントロール・レジスタ	RTC	53
RTCC0	RTCコントロール・レジスタ0	RTC	273
RTCC1	RTCコントロール・レジスタ1	RTC	274
RTCIC	割り込み制御レジスタ	INTC	364
RXB0	受信バッファ・レジスタ0	UART	314
RXB1	受信バッファ・レジスタ1	UART	314
SEC	秒カウント・レジスタ	RTC	275
SECB	秒カウント設定レジスタ	RTC	275

略号	名称	ユニット	ページ
SECMIN	分秒カウント・レジスタ	RTC	53
SECMINB	分秒カウント設定レジスタ	RTC	54
SES10	有効エッジ選択レジスタ10	TM1	235
SES11	有効エッジ選択レジスタ11	TM1	235
SIO0	シリアルI/Oシフト・レジスタ0	CSI	343
SIO1	シリアルI/Oシフト・レジスタ1	CSI	343
SIOE0	受信専用シリアルI/Oシフト・レジスタ0	CSI	343
SIOE1	受信専用シリアルI/Oシフト・レジスタ1	CSI	343
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI	344
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI	344
SREIC0	割り込み制御レジスタ	INTC	364
SREIC1	割り込み制御レジスタ	INTC	364
SRIC0	割り込み制御レジスタ	INTC	364
SRIC1	割り込み制御レジスタ	INTC	364
STIC0	割り込み制御レジスタ	INTC	364
STIC1	割り込み制御レジスタ	INTC	364
SUBC	サブカウント・レジスタ	RTC	275
SUBCH	サブカウント・レジスタH	RTC	53
SUBCL	サブカウント・レジスタL	RTC	53
SYS	システム・ステータス・レジスタ	CPU	59
TCL2	タイマ・クロック選択レジスタ2	TM2	53
TCL20	タイマ・クロック選択レジスタ20	TM2	257
TCL21	タイマ・クロック選択レジスタ21	TM2	257
TM00	16ビット・タイマ・カウンタ00	TM0	151
TM01	16ビット・タイマ・カウンタ01	TM0	151
TM02	16ビット・タイマ・カウンタ02	TM0	151
TM03	16ビット・タイマ・カウンタ03	TM0	151
TM10	16ビット・タイマ・カウンタ10	TM1	227
TM11	16ビット・タイマ・カウンタ11	TM1	227
TM2	16ビット・タイマ・カウンタ2	TM2	53
TM20	8ビット・タイマ・カウンタ20	TM2	255
TM21	8ビット・タイマ・カウンタ21	TM2	255
TMC00	16ビット・タイマ・モード・コントロール・レジスタ00	TM0	156
TMC01	16ビット・タイマ・モード・コントロール・レジスタ01	TM0	156
TMC02	16ビット・タイマ・モード・コントロール・レジスタ02	TM0	156
TMC03	16ビット・タイマ・モード・コントロール・レジスタ03	TM0	156
TMC100	16ビット・タイマ・モード・コントロール・レジスタ100	TM1	231
TMC101	16ビット・タイマ・モード・コントロール・レジスタ101	TM1	233
TMC110	16ビット・タイマ・モード・コントロール・レジスタ110	TM1	231
TMC111	16ビット・タイマ・モード・コントロール・レジスタ111	TM1	233
TMC2	16ビット・タイマ・モード・コントロール・レジスタ2	TM2	53
TMC20	8ビット・タイマ・モード・コントロール・レジスタ20	TM2	258
TMC21	8ビット・タイマ・モード・コントロール・レジスタ21	TM2	258

略号	名称	ユニット	ページ
TMIC000	割り込み制御レジスタ	INTC	364
TMIC001	割り込み制御レジスタ	INTC	364
TMIC010	割り込み制御レジスタ	INTC	364
TMIC011	割り込み制御レジスタ	INTC	364
TMIC020	割り込み制御レジスタ	INTC	364
TMIC021	割り込み制御レジスタ	INTC	364
TMIC030	割り込み制御レジスタ	INTC	364
TMIC031	割り込み制御レジスタ	INTC	364
TMIC20	割り込み制御レジスタ	INTC	364
TMIC21	割り込み制御レジスタ	INTC	364
TOC00	16ビット・タイマ出力・コントロール・レジスタ00	TM0	159
TOC01	16ビット・タイマ出力・コントロール・レジスタ01	TM0	159
TOC02	16ビット・タイマ出力・コントロール・レジスタ02	TM0	159
TOC03	16ビット・タイマ出力・コントロール・レジスタ03	TM0	159
TXB0	送信バッファ・レジスタ0	UART	315
TXB1	送信バッファ・レジスタ1	UART	315
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	60
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	284
WDRES	WDTリセット・ステータス・レジスタ	CG	288
WDTIC	割り込み制御レジスタ	INTC	364
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	285
WEEK	週カウント・レジスタ	RTC	278
WEEKB	週カウント設定レジスタ	RTC	278
WEEKBH	週カウント設定レジスタH	RTC	54
WEEKBL	週カウント設定レジスタL	RTC	54
WEEKH	週カウント・レジスタH	RTC	54
WEEKL	週カウント・レジスタL	RTC	54

付録B 命令セット一覧

B.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z	0010	$Z = 1$	Zero
NZ	1010	$Z = 0$	Not zero
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
S/N	0100	$S = 1$	Negative
NS/P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

B.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	4	4	4						
CLR1	bit#3, disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x		
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x		
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2						
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	×	×		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。

付録C 改版履歴

C.1 本版で改訂された主な箇所

箇所	内容
p.16	1.4 オーダ情報を変更
p.435	表22 - 1 表面実装タイプの半田条件を変更

C.2 前版までの改版履歴

(1/3)

版数	内容	適用箇所
3版	1.4 オーダ情報に品名追加	第1章 インTRODクシヨ
	表3 - 2 システム・レジスタ番号 注を変更	第3章 CPU機能
	3.2.2(6) 例外/デバッグ・トラップ時状態退避レジスタ(DBPC, DBPSW)に記述追加	
	3.3.2 動作モード指定 注意を追加	
	3.4.6 周辺I/Oレジスタ 初期値を変更	
	3.4.8(3) sld命令と割り込み競合に関する制限事項を追加	
	4.3.6(1)(c) ポート9モード・コントロール・レジスタ(PMC9)を変更	第4章 ポート機能
	第7章 16ビット・タイマ/イベント・カウンタ00-03のスタイルを変更	第7章 16ビット・タイマ/イベント・カウンタ 00-03
	図12 - 2 AVREFIN/AVREFOUT端子の外部接続推奨回路例を追加	第12章 A/Dコンバータ
	A/Dコンバータ特性 (4)A/D変換器およびシステム仕様 起動時動作電流, 起動スタートアップ時間を追加, 備考4を追加	
表22 - 1 表面実装タイプの半田条件(2)を追加	第22章 半田付け水晶条件	

版数	内容	適用箇所
2版	表2-2 動作モードによる各端子の動作状態を修正	第2章 端子機能
	2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 P98-P915 の入出力回路タイプを修正	
	図2-1 端子の入出力回路タイプを修正	
	3.4.8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを追加	第3章 CPU 機能
	4.4 ブロック図を追加	第4章 ポート機能
	4.6 注意事項を追加	
	5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態を修正	第5章 バス制御機能
	5.5.4 (1) アドレス・ウェイト・コントロール・レジスタ (AWC) に注意を追加	
	6.3 (1) プロセッサ・クロック・コントロール・レジスタ (PCC) に注意3を追加	第6章 クロック発生機能
	6.3 (1) (a) メイン・クロック動作 サブクロック動作の設定例を修正	
	6.3 (1) (b) サブクロック動作 メイン・クロック動作の設定例を修正	
	6.4.3 外部クロック入力機能を追加	
	7.2 (3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n1 (CR0n1) に注意2を追加	第7章 16ビット・タイマ/ イベント・カウンタ 00-03
	7.3 (2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) の注意3を修正	
	7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) に注意6を追加	
	7.4.1 インターバル・タイマ (16ビット) としての動作に設定方法を追加	
	図7-4 インターバル・タイマ動作のタイミングを修正	
	7.4.2 PPG出力としての動作に設定方法を追加	
	図7-6 PPG出力の構成図を追加	
	図7-7 PPG出力動作のタイミングを追加	
	7.4.3 パルス幅測定としての動作に設定方法を追加	
	7.4.4 外部イベント・カウンタとしての動作に設定方法を追加	
	7.4.5 方形波出力としての動作に設定方法を追加	
	7.4.6 ワンショット・パルス出力としての動作に設定方法を追加	
	7.4.7 (3) キャプチャ・レジスタのデータ保持タイミングに を追加	
	7.4.7 (8) キャプチャ動作の (b) を修正	
	8.3 (1) 16ビット・タイマ・カウンタ10, 11 (TM10, TM11) に注意3を追加	第8章 16ビット・タイマ/ イベント・カウンタ10, 11
8.3 (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ1n0, 1n1 (CC1n0, CC1n1) に注意を追加		
8.4 (1) 16ビット・タイマ・モード・コントロール・レジスタ100, 110 (TMC100, TMC110) に注意3を追加		
8.6 (4) 周期測定に注を追加		
11.3 (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) に注意を追加	第11章 ウォッチドッグ・タイマ機能	
12.5 注意事項に (7) を追加	第12章 A/Dコンバータ	

版 数	内 容	適用箇所
2 版	13. 3 (2) PWMバッファ・レジスタn (PWMBn) に注意を追加	第13章 PWM機能
	図13 - 2 PWMn動作タイミングを修正	
	図13 - 3 PWMBnレジスタに00H/FFHを設定した場合の動作タイミングを修正	
	14. 3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) に注意2を追加	第14章 アシクロナス・シリアル・インタフェースn (UARTn)
	14. 3 (2) アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) に注意2を追加	
	14. 5 (3) 連続送信動作に注意を追加	
	図14 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミングを修正	
	17. 2 (1) パワー・セーブ・コントロール・レジスタ (PSC) に注を追加	第17章 スタンバイ機能
	17. 3. 1 設定および動作状態に注意2を追加	
	表17 - 3 HALTモード時の動作状態の注を修正	
	17. 7. 3 サブクロック動作モード時のアクセス不可のレジスタについてを追加	
	表17 - 8 サブクロック動作モード時の動作状態に注を追加	第18章 リセット機能
	表18 - 1 RESET端子入力時の各ハードウェアの状態に注2を追加および注3を修正	
	図19 - 2 ROMコレクションの動作とプログラムの流れを修正	第19章 ROMコレクション機能
	推奨発振回路 (2) 外部クロック入力に発振周波数を追加	第20章 電氣的特性
	推奨発振回路 (3) サブクロック発振回路 発振安定時間の記述変更	
	DC特性1 (a) の電源電圧の条件を修正	
	DC特性1 (b) を修正	
	DC特性2の電源電圧の条件を修正	
	DC特性2 I _{DD1} を修正およびI _{DD3} に注2を追加	
	DC特性2 I _{DD4} , I _{DD5} , I _{DD6} に注3を追加	
	データ保持特性 I _{DDDR} に注1を追加	
	クロック・タイミング (1) のt _{cyx} , t _{wxH} , t _{wxL} , (2) (a) のt _{cyk} , t _{wkH} , t _{wkL} を修正, (2) (b) を追加, (2) (c) を修正, (3) (b) を修正, (3) (c) を追加	
	バス・タイミング (1) (b) を修正, (2) (b) を修正	
	リセット/割り込みタイミング (a) の電源電圧の条件を修正	
	リセット/割り込みタイミング (b) を修正	
	タイマ・タイミング (a) の電源電圧の条件を修正	
	CSIタイミングを修正	
	A/Dコンバータ特性 (2) レファレンス 内部基準電位温度係数を修正および注を追加	
	A/Dコンバータ特性 (4) A/D変換器およびシステム仕様 S/N, 動作電流を修正, 備考2, 3を追加	
第22章 半田付け推奨条件を追加	第22章 半田付け推奨条件	
付録C 改版履歴を追加	付録C 改版履歴	

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
