

V850E2/Fx4-L

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
V850E2/Fx4-L マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

V850E2/Fx4-Lでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。

最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要	—	—
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	V850E2/Fx4-L ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	—	—
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に 関する速報	—	—

本マニュアル記載の製品名は、各社の商標または登録商標です。

目 次

第 1 章	概説	16
1.1	V850E2/Fx4-L, V850E2/Fx4-G 製品の概要	16
1.1.1	V850E2/Fx4-L, V850E2/Fx4-G の機能	16
1.2	関連資料	29
1.3	オーダ情報	29
第 2 章	端子機能	30
2.1	特徴	30
2.2	概説	31
2.2.1	用語	32
2.2.2	端子機能概要	33
2.2.3	端子データ入力／出力	35
2.2.4	ポート制御論理図	37
2.2.5	書き込み保護レジスタ	38
2.3	ポート・グループ・コンフィギュレーション・レジスタ	40
2.3.1	概要	40
2.3.2	端子機能の設定	42
2.3.3	端子データ入力／出力	50
2.3.4	電気的特性の設定	54
2.3.5	ポート・レジスタ保護	58
2.4	V850E2/Fx4-L ポート・グループ構成	60
2.4.1	ポート・レジスタ保護	60
2.4.2	ポート機能概要	61
2.4.3	V850E2/FE4-L ポート機能	63
2.4.4	V850E2/FF4-L ポート機能	69
2.4.5	V850E2/FG4-L ポート機能	76
2.4.6	V850E2/FJ4-L ポート機能	83
2.4.7	V850E2/FF4-G ポート機能	93
2.4.8	V850E2/FG4-G ポート機能	100
2.4.9	リセット期間中／解除後, スタンバイ・モード期間中／解除後の ポート機能	108
2.4.10	未使用端子の推奨接続	108
2.5	ポート・フィルタ	109
2.5.1	ポート・フィルタの割り当て	109
2.5.2	ポート・フィルタのクロック供給	113
2.6	ポート・フィルタ機能説明	114
2.6.1	アナログ・フィルタ	114
2.6.2	デジタル・フィルタ	118
2.6.3	フィルタ制御レジスタ	121
2.7	注意事項	126
2.7.1	ポート端子設定上の注意事項	126
2.7.2	兼用機能設定上の注意事項	126
第 3 章	CPU システム機能	127
3.1	概要	127
3.2	CPU サブシステム	129
3.2.1	電源とクロック	129
3.2.2	レジスタ・アクセス	130
3.2.3	V850E2/Fx4-L CPU サブシステム	131

3.3	データ・フラッシュ・アクセス・ウェイト制御.....	134
3.3.1	データ・フラッシュ・アクセス・ウェイト設定レジスタの詳細.....	134
3.4	動作モード.....	135
3.4.1	通常動作モード.....	135
3.4.2	フラッシュ・プログラミング・モード.....	135
3.5	アドレス空間.....	136
3.5.1	CPU データ・アドレスと物理プログラムアドレス空間.....	136
3.5.2	プログラム空間とデータ空間.....	136
3.6	メモリ.....	139
3.6.1	DMA アクセス・メモリ・マップ.....	139
3.6.2	V850E2/Fx4-L, V850E2/Fx4-G メモリ・マップ.....	140
3.6.3	メモリ領域.....	142
3.6.4	バックアップ RAM 保護.....	146
3.7	ライト保護レジスタ.....	148
3.7.1	レジスタ保護クラスタ.....	148
3.7.2	レジスタ保護解除シーケンス.....	149
3.7.3	レジスタ保護と割り込み/エミュレーション・ブレイク.....	150
3.7.4	V850E2/Fx4-L 書き込み保護レジスタ.....	151
3.7.5	V850E2/Fx4-L 保護レジスタ概要.....	153
3.7.6	コントロール保護クラスタ・レジスタ詳細.....	155
3.7.7	クロック・モニタ保護クラスタ・レジスタ詳細.....	156
3.7.8	ポート保護クラスタ・レジスタ詳細.....	157
3.7.9	セルフプログラミング保護クラスタ・レジスタ詳細.....	158
3.8	システム・エラー通知設定レジスタ.....	159

第 4 章 割り込み機能..... 161

4.1	特徴.....	161
4.2	V850E2/Fx4-L 割り込み要因.....	163
4.2.1	V850E2/Fx4-L 割り込み要因.....	163
4.2.2	V850E2/Fx4-L FE レベル・ノンマスカブル割り込みの共有.....	183
4.3	エッジ検出機能.....	185
4.4	割り込みコントローラ制御レジスタ.....	186
4.5	割り込みの受け付けと復帰.....	193
4.5.1	FENMI 割り込み要求による FE レベル・ノンマスカブル割り込み.....	193
4.5.2	FE レベル・ノンマスカブル割り込み (FENMI) からの復帰.....	195
4.5.3	EIINT 割り込み要求による EI レベル・マスカブル割り込み.....	195
4.5.4	EI レベル・マスカブル割り込み (EIINT) からの復帰.....	197
4.6	割り込み動作.....	198
4.6.1	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能.....	198
4.6.2	割り込み優先度判断.....	199
4.6.3	優先度マスク機能.....	204
4.6.4	保留割り込み通知機能.....	204
4.6.5	イン・サービス・プライオリティ・クリア機能.....	205
4.7	例外ハンドラ・アドレス切り替え機能.....	205

第 5 章 DMA 機能..... 206

5.1	V850E2/Fx4-L DMAC の特徴.....	206
5.2	用語.....	208
5.3	概要.....	209
5.3.1	DMAC (DMA Controller) の機能.....	209
5.3.2	DTFR (DMA Trigger Factor Register) の機能.....	209
5.3.3	DMA アクセス・メモリ・マップ.....	209
5.3.4	チャネルの優先順位.....	209
5.4	DMAC 機能.....	210
5.4.1	特徴.....	210

5.4.2	設定レジスタ	211
5.4.3	制御レジスタへの書き込み可否	213
5.5	DMAC 制御レジスタ	214
5.5.1	DTRCx (x = 0) : DMA 転送要求コントロール・レジスタ	214
5.5.2	DSAnL (n = 0-7) : DMA ソース・アドレス・レジスタ L	215
5.5.3	DSAnH (n = 0-7) : DMA ソース・アドレス・レジスタ H	217
5.5.4	DDAnL (n = 0-7) : DMA デスティネーション・アドレス・レジスタ L	219
5.5.5	DDAnH (n = 0-7) : DMA デスティネーション・アドレス・レジスタ H	221
5.5.6	DTCn (n = 0-7) : DMA 転送カウント・レジスタ	223
5.5.7	DTCTn (n = 0-7) : DMA 転送制御レジスタ	224
5.5.8	DTSn (n = 0-7) : DMA 転送ステータス・レジスタ	226
5.6	DMAC 機能詳細	228
5.6.1	DMAC 転送の設定フロー	228
5.6.2	DMAC の転送モード	229
5.6.3	DMAC チャンネルの優先順位	231
5.6.4	DMAC 転送要求の有効条件	232
5.6.5	DMAC 転送の中断／再開	233
5.6.6	エラー・レスポンス	234
5.6.7	スタンバイ対応	234
5.7	DTFR 機能	235
5.7.1	特徴	235
5.8	DTFR 制御レジスタ	236
5.8.1	DTFRn (n = 0-7) : DTFRn レジスタ	236
5.8.2	DRQCLR : DMA 要求クリア・レジスタ	237
5.8.3	DRQSTR : DMA 要求確認レジスタ	238

第 6 章 フラッシュ・メモリ 239

6.1	コード・フラッシュ・メモリ概要	241
6.1.1	コード・フラッシュ・メモリの特徴	241
6.1.2	コード・フラッシュ・メモリ・マッピング	242
6.1.3	データ・フラッシュ・メモリ・マッピング	245
6.2	コード・フラッシュ・メモリの機能概要	246
6.2.1	コード・フラッシュ・メモリの消去と書き換え	250
6.3	データ・フラッシュ・メモリ	251
6.3.1	データ・フラッシュ・メモリの特徴	251
6.3.2	データ・フラッシュのライト	251
6.4	フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング	252
6.4.1	プログラミング環境	253
6.4.2	通信モード	254
6.4.3	フラッシュ・メモリ・プログラマ PG-FP5 との端子接続	256
6.4.4	フラッシュ・メモリ・プログラミング制御	257
6.5	コード・フラッシュ・セルフ・プログラミング	264
6.5.1	セルフ・プログラミングの有効化	265
6.5.2	フラッシュ・セルフ・プログラミング・ライブラリの機能	266
6.5.3	セルフ・プログラミングの内蔵 RAM の占有	266
6.5.4	安全なセルフ・プログラミング (ブート・クラスタ・スワップ)	267
6.5.5	フラッシュ・セルフ・プログラミング時の割り込み処理	271
6.6	フラッシュ・マスク・オプション	272
6.6.1	OPBT0-フラッシュ・マスク・オプションのレジスタ 0	273
6.7	製品識別情報	275

第 7 章 クロック・コントローラ 278

7.1	クロック・コントローラの概要	279
7.2	クロックの生成と制御の概要	281
7.3	クロック発生回路	284

7.3.1	メイン発振回路 (MainOsc) のクロック発生回路	284
7.3.2	高速内蔵発振回路 (高速 IntOsc) のクロック発生回路	287
7.3.3	低速内蔵発振回路 (低速 IntOsc) のクロック発生回路	288
7.3.4	PLL (Phase-Locked Loop) のクロック発生回路	289
7.3.5	保護レジスタへの書き込み	292
7.4	クロックの選択	293
7.4.1	Always-On エリアのクロック・ドメイン	294
7.4.2	Isolated エリア 0 のクロック・ドメイン	297
7.5	クロック・コントローラのレジスタ	304
7.5.1	クロック・コントローラ・レジスタの概要	304
7.5.2	クロック発生回路レジスタ	305
7.5.3	保護コマンド・レジスタの詳細	315
7.5.4	クロック選択制御レジスタ	316
7.6	クロック・モニタ A (CLMA)	318
7.6.1	V850E2/Fx4-L CLMA の特徴	318
7.6.2	CLMA の有効化	320
7.6.3	機能概要	321
7.6.4	機能説明	322
7.6.5	クロック・モニタ・レジスタ	326
7.6.6	クロック・モニタ保護レジスタの詳細	330
第 8 章	スタンバイ・コントローラ (STBC)	331
8.1	V850E2/Fx4-L スタンバイ・コントローラの特徴	331
8.2	スタンバイ・コントローラの機能	336
8.2.1	ウエイクアップ	338
8.2.2	入出力バッファ制御	341
8.2.3	パワー・セーブ・モードの移行	342
8.2.4	パワー・セーブ・モードの開始と終了のフロー例	343
8.2.5	保護レジスタへのライト	347
8.2.6	パワー・セーブ・モード遷移時の注意事項	347
8.3	スタンバイ・コントローラ・レジスタ	348
8.3.1	スタンバイ・コントローラ・レジスタの概要	348
8.3.2	スタンバイ・コントローラ制御レジスタの詳細	349
8.3.3	ウエイクアップ・イベント・コントローラ・レジスタの詳細	352
8.3.4	発振回路ウエイクアップ・マスク・レジスタの詳細	356
8.4	ウエイクアップ・シーケンサ (SEQ)	357
8.4.1	ウエイクアップ・シーケンサの特徴	357
8.4.2	ウエイクアップ・シーケンサ使用時のポート設定	359
8.4.3	ウエイクアップ・シーケンサ機能概要	360
8.4.4	ウエイクアップ・シーケンサ・レジスタ	366
8.4.5	ウエイクアップ・シーケンサ使用時の TAUJ0 レジスタ設定	371
第 9 章	コード保護とセキュリティ	376
9.1	概要	376
9.2	フラッシュ・メモリ・プログラマとセルフ・プログラミングの保護	377
9.3	オンチップ・デバッグ・インタフェースの保護	378
9.3.1	オンチップ・デバッグ許可フラグ	378
9.3.2	オンチップ・デバッグ ID コード	379
9.3.3	オンチップ・デバッグ保護レベルの概要	379
9.3.4	オンチップ・デバッグ制御レジスタ	380
第 10 章	リセット・コントローラ	383
10.1	機能概要	383

10.2	機能説明	387
10.2.1	リセット・フラグ	387
10.2.2	パワーオン・クリア (POC)	387
10.2.3	低電圧検出回路 (LVI)	388
10.2.4	超低電圧検出回路 (VLVI)	390
10.2.5	外部 RESET	391
10.2.6	ウォッチドッグ・タイマ・リセット	392
10.2.7	ソフトウェア・リセット	392
10.2.8	クロック・モニタ・リセット	393
10.2.9	デバッグ・リセット	393
10.2.10	リセット・コントローラ・レジスタ保護	393
10.3	レジスタ	394
10.3.1	リセット・コントローラ・レジスタ概要	394
10.3.2	汎用リセット・フラグ・レジスタの詳細	395
10.3.3	ソフトウェア・リセット制御レジスタの詳細	398
10.3.4	低電圧検出リセット制御レジスタ	400
10.3.5	超低電圧フラグ制御レジスタ	401
10.3.6	保護コマンド・レジスタの詳細	402

第 11 章 OS タイマ (OSTM)..... 403

11.1	V850E2/Fx4-L の OSTM の特徴	403
11.2	機能概要	405
11.3	機能説明	406
11.3.1	カウント・クロック	406
11.3.2	割り込み要求の生成	407
11.3.3	タイマの起動と停止	408
11.3.4	インターバル・タイマ・モード	408
11.3.5	フリー・ランニング・コンペア・モード	412
11.4	レジスタ	415
11.4.1	OS タイマ・レジスタの概要	415
11.4.2	OS タイマ・レジスタの詳細	416

第 12 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)..... 421

12.1	V850E2/Fx4-L の WDTA の特徴	422
12.2	WDTA の起動オプション	423
12.3	機能概要	425
12.4	機能説明	426
12.4.1	リセット解除後の WDTA	427
12.4.2	WDTA トリガ	430
12.4.3	エラー検出	431
12.4.4	75%割り込み出力	433
12.4.5	ウィンドウ機能	434
12.5	レジスタ	435
12.5.1	WDTA レジスタの概要	435
12.5.2	WDTA レジスタの詳細	436

第 13 章 タイマ・アレイ・ユニット B (TAUB)..... 442

13.1	V850E2/Fx4-L の TAUB の特長	442
13.2	TAUB 入力の選択	448
13.2.1	TAUB0 入力の選択	448
13.2.2	TAUB1 入力の選択	455
13.3	機能概要	459
13.3.1	用語	460

13.4	機能説明	461
13.4.1	タイマ動作機能一覧	463
13.5	基本操作手順	464
13.6	動作モード	465
13.7	チャンネル連動動作の概念	466
13.7.1	ルール	466
13.7.2	連動チャンネル・カウンタの同時動作開始/停止	468
13.8	一斉書き換え	469
13.8.1	概要	469
13.8.2	一斉書き換えの制御方法	471
13.8.3	一斉書き換えのその他の基本ルール	473
13.8.4	一斉書き換えの種類	474
13.9	チャンネル出力モード	480
13.9.1	チャンネル出力モードを指定するための基本手順	482
13.9.2	TAUBn 信号により単体制御されるチャンネル出力モード	483
13.9.3	TAUBn 信号により連動制御されるチャンネル出力モード	484
13.10	各動作モードでのカウント開始タイミング	486
13.10.1	インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード, カウント・キャプチャ・モード	486
13.10.2	イベント・モード	487
13.10.3	その他の動作モード	487
13.11	カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)	488
13.12	オーバフロー時の割り込み発生	490
13.12.1	キャプチャ・モード	491
13.12.2	キャプチャ & ワンカウント・モード	492
13.12.3	カウント・キャプチャ・モード	493
13.12.4	キャプチャ & ゲート・カウント・モード	494
13.13	TAUBnTTINm エッジ検出	495
13.14	チャンネル単体動作機能	496
13.15	チャンネル単体割り込み機能	496
13.15.1	インターバル・タイマ機能	497
13.15.2	TAUBnTTINm 入力インターバル・タイマ機能	505
13.15.3	ワンパルス出力機能	511
13.16	チャンネル単体信号測定機能	516
13.16.1	TAUBnTTINm 入力パルス・インターバル測定機能	517
13.16.2	TAUBnTTINm 入力信号幅測定機能	527
13.16.3	オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)	536
13.16.4	TAUBnTTINm 入力期間カウント検出機能	540
13.16.5	オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)	545
13.16.6	TAUBnTTINm 入力パルス・インターバル判定機能	549
13.16.7	TAUBnTTINm 入力信号幅判定機能	553
13.17	チャンネル単体一斉書き換え機能	557
13.17.1	一斉書き換えトリガ生成機能タイプ 1	557
13.18	その他のチャンネル単体機能	565
13.18.1	外部イベント・カウント機能	565
13.18.2	クロック分周機能	571
13.18.3	TAUBnTTINm 入力位置検出機能	578
13.19	チャンネル連動動作機能	583
13.20	一定間隔でトリガされる連動 PWM 信号機能	584
13.20.1	PWM 出力機能	584
13.20.2	ディレイ・パルス出力機能	596
13.20.3	A/D 変換トリガ出力機能タイプ 1	612
13.21	外部信号でトリガされる連動 PWM 信号機能	614
13.21.1	ワンショット・パルス出力機能	614
13.22	同期三角波 PWM 機能	627
13.22.1	三角波 PWM 出力機能	627

13.22.2	デッド・タイム付き三角波 PWM 出力機能	638
13.22.3	A/D 変換トリガ出力機能タイプ 2	660
13.23	レジスタ	662
13.23.1	TAUBn レジスタの概要	662
13.23.2	TAUBn プリスケアラ・レジスタの詳細	664
13.23.3	TAUBn 制御レジスタの詳細	667
13.23.4	TAUBn 出力レジスタの詳細	679
13.23.5	TAUBn チャネル出力レベル・レジスタの詳細	682
13.23.6	TAUBn 一斉書き換えレジスタの詳細	683
13.23.7	TAUBn エミュレーション・レジスタ	686

第 14 章 タイマ・アレイ・ユニット J (TAUJ) 687

14.1	V850E2/Fx4-L の TAUJ の特長	687
14.2	機能概要	689
14.2.1	用語	691
14.3	機能説明	692
14.3.1	タイマ動作機能一覧	693
14.4	基本操作手順	694
14.5	動作モード	695
14.6	チャネル連動動作の概念	696
14.6.1	ルール	696
14.6.2	連動チャネル・カウンタの同時動作開始/停止	698
14.7	一斉書き換え	699
14.7.1	一斉書き換への制御方法	699
14.7.2	一斉書き換へのその他の基本ルール	700
14.7.3	一斉書き換への方法	701
14.8	チャネル出力モード	703
14.8.1	チャネル出力モードを指定するための基本手順	705
14.8.2	TAUJn 信号により単体制御されるチャネル出力モード	706
14.8.3	TAUJn 信号により連動制御されるチャネル出力モード	706
14.9	各動作モードでのカウント開始タイミング	707
14.9.1	インターバル・タイマ・モード, キャプチャ・モード, カウント・キャプチャ・モード	707
14.9.2	その他の動作モード	708
14.10	カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)	709
14.11	オーバフロー時の割り込み発生	710
14.11.1	キャプチャ・モード	711
14.11.2	キャプチャ & ワンカウント・モード	712
14.11.3	カウント・キャプチャ・モード	713
14.11.4	キャプチャ & ゲート・カウント・モード	714
14.12	TAUJnTTINm エッジ検出	715
14.13	チャネル単体動作機能	716
14.14	チャネル単体割り込み機能	716
14.14.1	インターバル・タイマ機能	717
14.14.2	TAUJnTTINm 入力インターバル・タイマ機能	724
14.15	チャネル単体信号測定機能	730
14.15.1	TAUJnTTINm 入力パルス・インターバル測定機能	731
14.15.2	TAUJnTTINm 入力信号幅測定機能	740
14.15.3	オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	748
14.15.4	TAUJnTTINm 入力期間カウント検出機能	752
14.15.5	オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	757
14.16	その他のチャネル単体機能	761
14.16.1	TAUJnTTINm 入力位置検出機能	761
14.17	一定間隔でトリガされる連動 PWM 信号機能	766

14.17.1	PWM 出力機能	766
14.18	レジスタ	777
14.18.1	TAUJn レジスタの概要	777
14.18.2	TAUJn プリスケラ・レジスタの詳細	778
14.18.3	TAUJn 制御レジスタの詳細	782
14.18.4	TAUJn 出力レジスタの詳細	793
14.18.5	TAUJn 一斉書き換えレジスタの詳細	796
14.18.6	TAUJn エミュレーション・レジスタ	798
第 15 章 アシクロナス・シリアル・インタフェース E (UARTEn)		799
15.1	V850E2/Fx4-L の UARTEn の機能	799
15.2	機能の概要	802
15.3	構成	803
15.4	UARTEn レジスタ	804
15.5	割り込み要求信号	820
15.5.1	送信割り込み要求 INTUAEnTIT	820
15.5.2	受信割り込み要求 INTUAEnTIR	821
15.5.3	ステータス割り込み要求 INTUAEnTIS	822
15.5.4	受信/ステータス割り込み要求 INTUAEnTRA	822
15.6	動作	823
15.6.1	データ・フォーマット	823
15.6.2	BF の送信/受信フォーマット	826
15.6.3	BF の送信	828
15.6.4	BF の受信	830
15.6.5	送信データ一貫性チェック	831
15.6.6	UARTEn 送信	833
15.6.7	連続送信の手順	835
15.6.8	UARTEn 受信	837
15.6.9	受信エラー	843
15.6.10	パリティの種類と動作	844
15.6.11	デジタル受信データ・ノイズ・フィルタ	845
15.7	ボー・レート・ジェネレータ	846
第 16 章 LIN マスタ・コントローラ (LMA)		847
16.1	V850E2/Fx4-L の LMA の特徴	847
16.2	LIN マスタ・スケジューラ・カウンタ (CNTA)	851
16.2.1	CNTAm レジスタ	851
16.3	機能概要	854
16.4	機能説明	856
16.4.1	UART スルー・モード	856
16.4.2	UART バッファ・モード	857
16.4.3	LIN マスタ・モード	864
16.4.4	自動チェック・サム機能	876
16.4.5	スケジューラ	877
16.5	LMA レジスタ	882
16.5.1	LMA レジスタの概要	882
16.5.2	LMA レジスタの詳細	884
第 17 章 CAN コントローラ (FCN)		900
17.1	V850E2/Fx4-L の FCN 機能	900
17.2	FCN0 と FCN1 の接続	905
17.3	特徴	907
17.3.1	機能の概要	908

17.3.2	構成	909
17.4	FCN の内部レジスタ	910
17.4.1	CAN コントローラの構成	910
17.4.2	CAN コントローラ・レジスタの概要	912
17.5	ビットのセット／クリア機能	918
17.6	制御レジスタ	920
17.6.1	FCN グローバル・レジスタ	920
17.6.2	FCN モジュール・レジスタ	929
17.6.3	FCN メッセージ・バッファ・レジスタ	953
17.7	CAN コントローラの初期化	963
17.7.1	FCN モジュールの初期化	963
17.7.2	メッセージ・バッファの初期化	963
17.7.3	メッセージ・バッファの再定義	963
17.7.4	初期化モードから動作モードへの移行	965
17.8	メッセージ受信	966
17.8.1	メッセージの受信	966
17.8.2	受信データの読み出し	967
17.8.3	受信履歴・リスト機能	968
17.8.4	マスク機能	971
17.8.5	マルチ・バッファ受信ブロック機能	973
17.8.6	リモート・フレームの受信	975
17.9	メッセージ送信	977
17.9.1	メッセージの送信	977
17.9.2	送信履歴・リスト機能	979
17.9.3	自動ブロック送信機能 (ABT)	982
17.9.4	送信中断処理	984
17.9.5	リモート・フレームの送信	985
17.10	パワー・セーブ・モード	986
17.10.1	FCN スリープ・モード	986
17.10.2	FCN ストップ・モード	989
17.10.3	パワー・セーブ・モードの使用例	990
17.11	割り込み機能	992
17.12	診断機能と特殊な動作モード	993
17.12.1	受信オンリー・モード	993
17.12.2	シングル・ショット・モード	994
17.12.3	セルフ・テスト・モード	995
17.12.4	各動作モードでの送受信動作	996
17.13	タイム・スタンプ機能	997
17.13.1	タイム・スタンプ機能	997
17.14	ボー・レートの設定	999
17.14.1	ボー・レートの設定条件	999
17.14.2	代表的なボー・レートの設定例	1002
17.15	CAN コントローラの動作	1006
17.15.1	初期化	1006
17.15.2	メッセージの送信	1012
17.15.3	メッセージの受信	1026
17.15.4	パワー・セーブ・モード	1031

第 18 章 クロック同期シリアル・インタフェース G (CSIG)..... 1038

18.1	V850E2/Fx4-L CSIG の特徴	1038
18.2	機能の概要	1043
18.3	機能の説明	1045
18.3.1	マスタ／スレーブ・モード	1046
18.3.2	マスタ／スレーブの接続	1048
18.3.3	送信クロックの選択	1051
18.3.4	データ転送モード	1052

18.3.5	データ長の選択	1053
18.3.6	シリアル・データ方向選択機能	1055
18.3.7	スレーブ・モードでの通信	1056
18.3.8	CSIG の割り込み	1057
18.3.9	ハンドシェイク機能	1060
18.3.10	ループ・バック・モード	1063
18.3.11	エラー検出	1064
18.4	CSIG 制御レジスタ	1068
18.5	操作手順の例	1082

第 19 章 I²C バス (I²CB) 1084

19.1	V850E2/Fx4-L の I ² CB の特徴	1084
19.2	I ² C インタフェースポートの設定	1086
19.3	機能概要	1087
19.4	I ² C バス・モードの機能	1089
19.4.1	端子構成	1089
19.5	I ² C バスの定義	1090
19.5.1	スタート・コンディション	1091
19.5.2	アドレス	1092
19.5.3	拡張コード	1092
19.5.4	転送方向指定	1093
19.5.5	アクノリッジ (ACK)	1094
19.5.6	データ	1095
19.5.7	ストップ・コンディション	1095
19.5.8	ウエイト	1096
19.6	レジスタ	1098
19.7	動作	1117
19.7.1	シングル転送モード	1117
19.7.2	ウエイトとウエイト解除方法	1122
19.7.3	拡張コード	1127
19.8	割り込み要求信号	1128
19.8.1	シングル転送モード	1128
19.9	割り込み出力とステータス	1131
19.9.1	シングル転送モード (マスタ動作)	1132
19.9.2	シングル転送モード (スレーブ動作 : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))	1135
19.9.3	シングル転送モード (スレーブ動作 : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))	1136
19.9.4	シングル転送モード (通信不参加の動作)	1137
19.10	設定手順	1138
19.10.1	シングルマスタ環境	1138

第 20 章 キー・リターン機能 (KR) 1140

20.1	V850E2/Fx4-L KR の機能	1140
20.2	機能の概要	1142
20.3	機能の説明	1143
20.3.1	割り込み要求 KR0TIKR	1143
20.4	レジスタ	1144
20.4.1	キー・リターン機能レジスタの概要	1144
20.4.2	キー・リターン機能レジスタの詳細	1144

第 21 章 A/D コンバータ (ADCA) 1145

21.1	V850E2/Fx4-L ADCA の特徴	1145
------	-----------------------	------

21.1.1	ハードウェア・トリガ拡張	1148
21.2	機能概要	1150
21.3	機能説明	1152
21.3.1	基本動作	1153
21.3.2	クロックの使用	1154
21.3.3	チャンネルとチャンネル・グループ	1154
21.3.4	A/D 変換モード	1156
21.3.5	A/D 変換の開始 (起動トリガ)	1158
21.3.6	A/D 変換の停止 (停止トリガ)	1161
21.3.7	スタンバイ・モード	1163
21.3.8	A/D 変換の休止と再開 (ADCHALT モード)	1163
21.3.9	分解能, サンプリング時間と変換時間	1164
21.3.10	割り込み発生	1166
21.3.11	A/D 変換結果の格納	1167
21.3.12	変換結果確認機能	1170
21.3.13	自己診断機能	1172
21.3.14	ディスチャージ機能	1175
21.3.15	安定制御	1175
21.3.16	チャンネル変換繰り返し機能	1175
21.4	レジスタ	1176
21.4.1	ADCA _n レジスタの概要	1176
21.4.2	制御レジスタ	1178
21.4.3	変換状態レジスタ	1185
21.4.4	ソフトウェア・トリガ・レジスタ	1189
21.4.5	A/D 変換結果レジスタ	1191
21.4.6	A/D 変換結果上下限比較レジスタ	1198
21.4.7	診断機能制御レジスタ	1202
21.4.8	ADCA _n エミュレーション・レジスタ	1203
21.5	使用上の注意事項	1204
21.5.1	チャンネル入力電圧の範囲	1204
21.5.2	変換動作の停止	1204
21.5.3	アプリケーション設計上の注意事項	1204
21.6	A/D コンバータ特性表の読み方	1208

第 22 章 オンチップ・デバッグ・ユニット (OCD) 1215

22.1	V850E2/Fx4-L オンチップ・デバッグ機能	1216
22.1.1	エミュレーション・ブレークのモジュールの動作	1216
22.1.2	信号マスク	1216
22.2	機能概要	1217
22.3	エミュレーション・ブレークの制御	1219
22.4	オンチップ・デバッグ・エミュレータとの接続	1220
22.5	オンチップ・デバッグ使用上の注意	1221

第 23 章 電源 1222

23.1	電源スキーム	1222
23.1.1	V850E2/FE4-L の電源スキーム	1222
23.1.2	V850E2/FF4-L の電源スキーム	1224
23.1.3	V850E2/FG4-L の電源スキーム	1225
23.1.4	V850E2/FJ4-L の電源スキーム	1226
23.1.5	V850E2/FF4-G の電源スキーム	1228
23.1.6	V850E2/FG4-G の電源スキーム	1229

第 1 章 概説

1.1 V850E2/Fx4-L, V850E2/Fx4-G 製品の概要

1.1.1 V850E2/Fx4-L, V850E2/Fx4-G の機能

各製品の機能一覧を示します。

(1) V850E2/FE4-L 製品概要

表 1-1 V850E2/FE4-L 製品一覧

Series name:		FE4-L-256K	FE4-L-384K	FE4-L-512K	
Part number:		μPD70F3570	μPD70F3571	μPD70F3572	
Internal memory	Instruction flash		256 KB	384 KB	512 KB
	Data flash		32 KB		
	CPU RAM		24 KB	28 KB	32 KB
	Back-up RAM		4 KB		
CPU	CPU System		V850E2S		
	CPU frequency		48 MHz max. ¹		
	System Protection Functions (SPF)	MPU	provided		
		SRP	provided		
DMA		8 channels			
Operating clock	Main Oscillator (MainOsc)		4, 5, 6, 8, 10, 12, 16, 20 MHz		
	Low Speed Internal Oscillator (LS IntOsc)		240 KHz typ.		
	High Speed Internal Oscillator (HS IntOsc)		8 MHz typ.		
	PLL0		48 MHz max.		
I/O ports		45			
A/D converter (ADCA)		1 ×12 channels, 10 bit			
Timers	Timer Array Unit B (TAUB), 16 bit		1 unit × 16 channels		
	Timer Array Unit J (TAUJ), 32 bit		1 unit × 4 channels		
	Window Watchdog (WDTA)		2 channels		
	Operating System Timer (OSTM)		1 channel		
Serial interfaces	CAN I/F (FCN)		1 channel (32 messages buffer)		
	UART I/F (URTE) with LIN Master Controller (LM)		2 channels		
	Synchronous I/F (CSIG)		2 channels		
	I ² C I/F (IICB)		1 channel		
Interrupts	Maskable	External	9		
		Internal	55		
	Non-maskable (NMI)	External	1		
		Internal	2		
Other functions	Power-On-Clear (POC)		provided		
	Low-Voltage Indicator (LVI)		provided		
	Clock Monitors (CLMA)		provided for MainOsc, HS IntOsc, PLL0 supervision		
	Key Return (KR)		8 channels		
	On-Chip debug (OCD)		provided		
Voltage supply	Internal supply		V _{POC} to 5.5 V ¹		
	I/O supply		V _{POC} to 5.5 V ¹		
Operating Temperature		-40° C to +125° C ¹			
Package		64-pin LQFP			

1) データシート参照

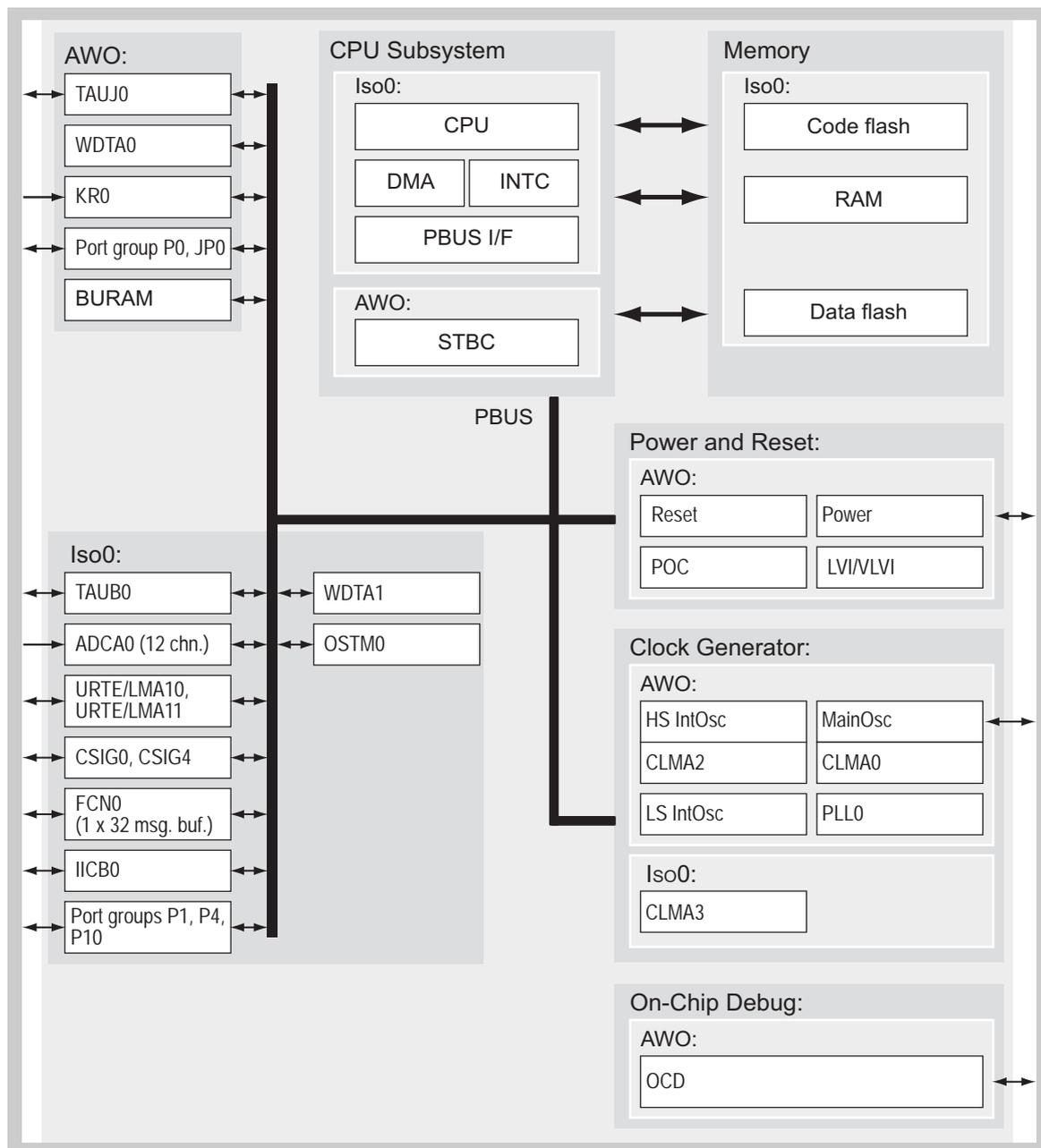


図 1-1 V850E2/FE4-L のブロック図

(2) V850E2/FF4-L 製品概要

表 1-2 V850E2/FF4-L 製品一覧

Series name:		FF4-L-256K	FF4-L-384K	FF4-L-512K	
Part number:		μPD70F3573	μPD70F3574	μPD70F3575	
Internal memory	Instruction flash		256 KB	384 KB	512 KB
	Data flash		32 KB		
	CPU RAM		24 KB	28 KB	32 KB
	Back-up RAM		4 KB		
CPU	CPU System		V850E2S		
	CPU frequency		48 MHz max. ¹		
	System Protection Functions (SPF)	MPU	provided		
		SRP	provided		
DMA		8 channels			
Operating clock	Main Oscillator (MainOsc)		4, 5, 6, 8, 10, 12, 16, 20 MHz		
	Low Speed Internal Oscillator (LS IntOsc)		240 KHz typ.		
	High Speed Internal Oscillator (HS IntOsc)		8 MHz typ.		
	PLL0		48 MHz max.		
I/O ports		61			
A/D converter (ADCA)		1 × 14 channels, 10 bit			
Timers	Timer Array Unit B (TAUB), 16 bit		1 unit × 16 channels		
	Timer Array Unit J (TAUJ), 32 bit		1 unit × 4 channels		
	Window Watchdog (WDTA)		2 channels		
	Operating System Timer (OSTM)		1 channel		
Serial interfaces	CAN I/F (FCN)		1 channel (32 messages buffer)		
	UART I/F (URTE) with LIN Master Controller (LM)		2 channels		
	Synchronous I/F (CSIG)		2 channels		
	I ² C I/F (IICB)		1 channel		
Interrupts	Maskable	External	9		
		Internal	55		
	Non-maskable (NMI)	External	1		
		Internal	2		
Other functions	Power-On-Clear (POC)		provided		
	Low-Voltage Indicator (LVI)		provided		
	Clock Monitors (CLMA)		provided for MainOsc, HS IntOsc, PLL0 supervision		
	Key Return (KR)		8 channels		
	On-Chip debug (OCD)		provided		
Voltage supply	Internal supply		V _{POC} to 5.5 V ¹		
	I/O supply		V _{POC} to 5.5 V ¹		
Operating Temperature		-40° C to +125° C ¹			
Package		80-pin LQFP			

1) データシート参照

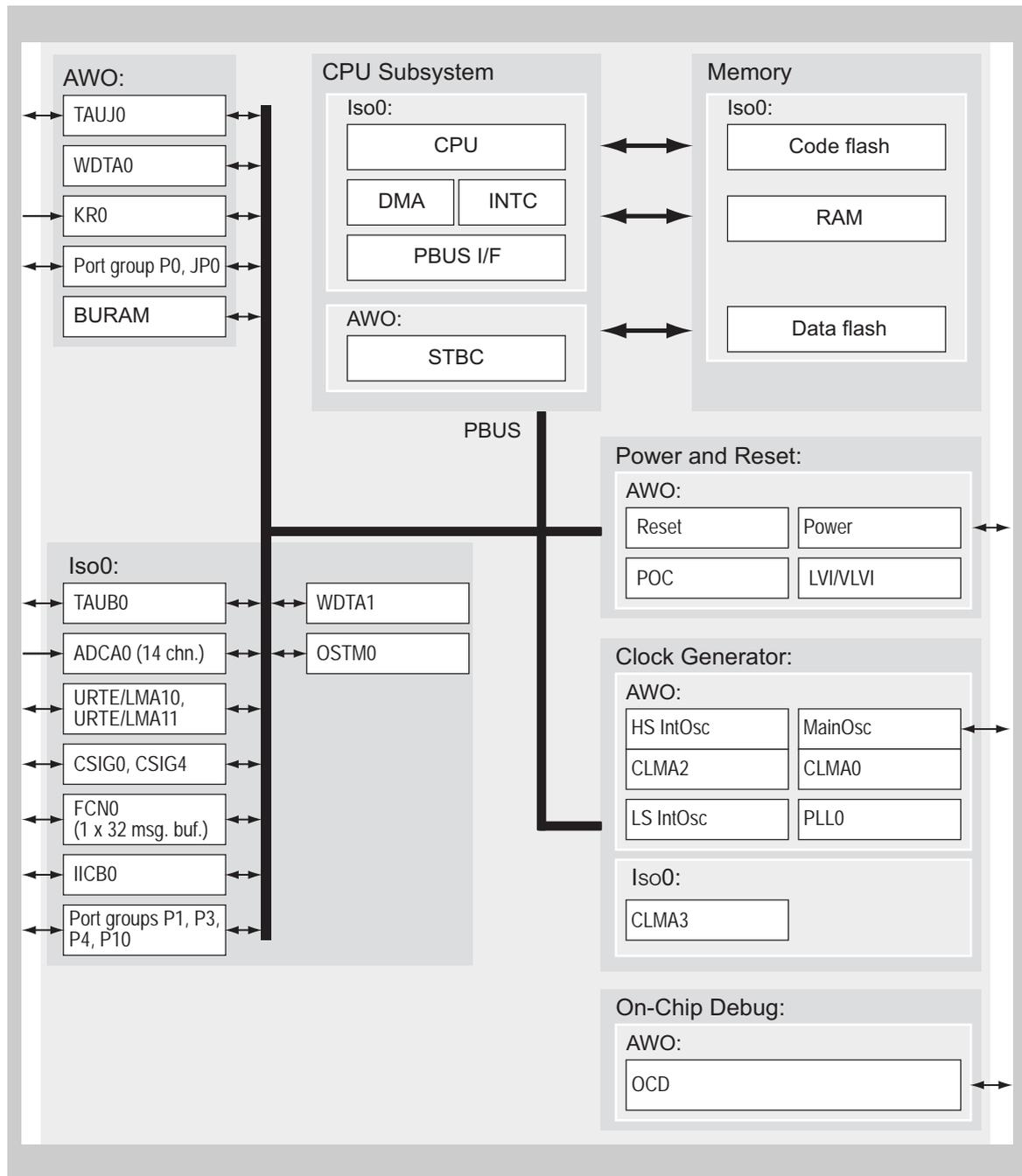


図 1-2 V850E2/FF4-L のブロック図

(3) V850E2/FG4-L 製品概要

表 1-3 V850E2/FG4-L 製品一覧

Series name:		FG4-L-256K	FG4-L-384K	FG4-L-512K	FG4-L-768K	FG4-L-1M
Part number:		μPD70F3576	μPD70F3577	μPD70F3578	μPD70F3579	μPD70F3580
Internal memory	Instruction flash	256 KB	384 KB	512 KB	768 KB	1 MB
	Data flash	32 KB				
	CPU RAM	24 KB	28 KB	32 KB	48 KB	64 KB
	Back-up RAM	4 KB			8 KB	
CPU	CPU System	V850E2S				
	CPU frequency	48 MHz max. ¹			64 MHz max. ¹	
	System Protection Functions (SPF)	MPU	provided			
		SRP	provided			
DMA		8 channels				
Operating clock	Main Oscillator (MainOsc)	4, 5, 6, 8, 10, 12, 16, 20 MHz				
	Low Speed Internal Oscillator (LS IntOsc)	240 KHz typ.				
	High Speed Internal Oscillator (HS IntOsc)	8 MHz typ.				
	PLL0	48 MHz max.			64 MHz max.	
I/O ports		76				
A/D converter (ADCA)		1 × 20 channels, 10 bit				
Timers	Timer Array Unit B (TAUB), 16 bit	1 unit × 16 channels				
	Timer Array Unit J (TAUJ), 32 bit	1 unit × 4 channels				
	Window Watchdog (WDTA)	2 channels				
	Operating System Timer (OSTM)	1 channel				
Serial interfaces	CAN I/F (FCN)	2 channels (32 messages buffer)				
	UART I/F (URTE) with LIN Master Controller (LM)	3 channels				
	Synchronous I/F (CSIG)	3 channels				
	I ² C I/F (IICB)	1 channel				
Interrupts	Maskable	External	13			
		Internal	64			
	Non-maskable (NMI)	External	1			
		Internal	2			
Other functions	Power-On-Clear (POC)	provided				
	Low-Voltage Indicator (LVI)	provided				
	Clock Monitors (CLMA)	provided for MainOsc, HS IntOsc, PLL0 supervision				
	Key Return (KR)	8 channels				
	On-Chip debug (OCD)	provided				
Voltage supply	Internal supply	V _{POC} to 5.5 V ¹				
	I/O supply	V _{POC} to 5.5 V ¹				
Operating Temperature		-40° C to +125° C ¹				
Package		100-pin LQFP				

1) データシート参照

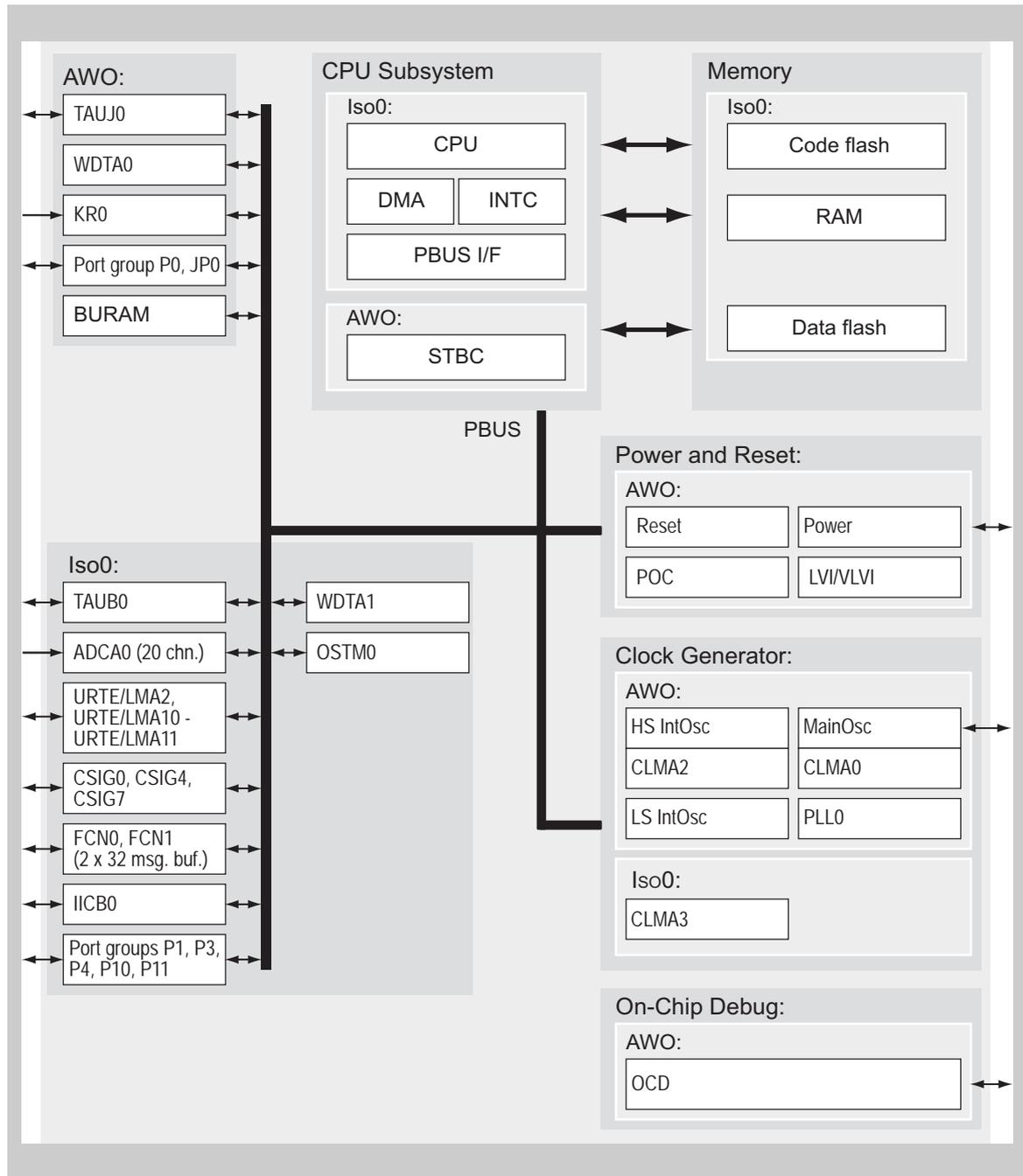


図 1-3 V850E2/FG4-L のブロック図

(4) V850E2/FJ4-L 製品概要

表 1-4 V850E2/FJ4-L 製品一覧

Series name:		FJ4-L-384K	FJ4-L-512K	FJ4-L-768K	FJ4-L-1M
Part number:		μPD70F3582	μPD70F3583	μPD70F3584	μPD70F3585
Internal memory	Instruction flash	384 KB	512 KB	768 KB	1 MB
	Data flash	32 KB			
	CPU RAM	28 KB	32 KB	48 KB	64 KB
	Back-up RAM	4 KB		8 KB	
CPU	CPU System	V850E2S			
	CPU frequency	48 MHz max. ¹		64 MHz max. ¹	
	System Protection Functions (SPF)	MPU	provided		
		SRP	provided		
DMA		8 channels			
Operating clock	Main Oscillator (MainOsc)	4, 5, 6, 8, 10, 12, 16, 20 MHz			
	Low Speed Internal Oscillator (LS IntOsc)	240 KHz typ.			
	High Speed Internal Oscillator (HS IntOsc)	8 MHz typ.			
	PLL0	48 MHz max.		64 MHz max.	
I/O ports		116			
A/D converter (ADCA)		1 × 24 channels, 10 bit			
Timers	Timer Array Unit B (TAUB), 16 bit	2 units × 16 channels			
	Timer Array Unit J (TAUJ), 32 bit	1 unit × 4 channels			
	Window Watchdog (WDTA)	2 channels			
	Operating System Timer (OSTM)	1 channel			
Serial interfaces	CAN I/F (FCN)	2 channels (32 messages buffer)			
	UART I/F (URTE) with LIN Master Controller (LM)	3 channels	5 channels		
	Synchronous I/F (CSIG)	3 channels			
	I ² C I/F (IICB)	1 channel			
Interrupts	Maskable	External	15		
		Internal	80	86	
	Non-maskable (NMI)	External	1		
		Internal	2		
Other functions	Power-On-Clear (POC)	provided			
	Low-Voltage Indicator (LVI)	provided			
	Clock Monitors (CLMA)	provided for MainOsc, HS IntOsc, PLL0 supervision			
	Key Return (KR)	8 channels			
	On-Chip debug (OCD)	provided			
Voltage supply	Internal supply	V _{POC} to 5.5 V ¹			
	I/O supply	V _{POC} to 5.5 V ¹			
Operating Temperature		-40° C to +125° C ¹			
Package		144-pin LQFP			

1) データシート参照

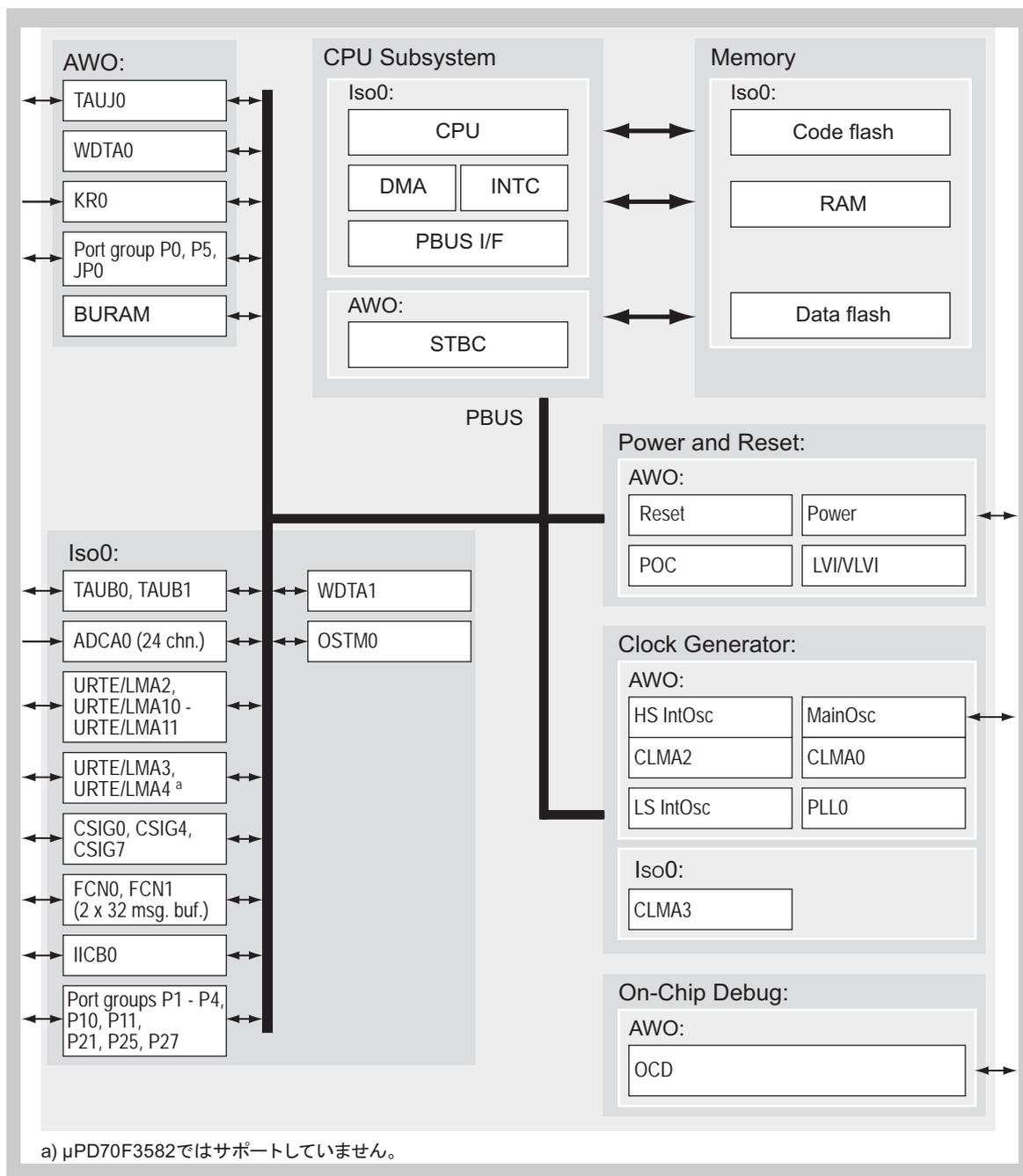


図 1-4 V850E2/FJ4-L のブロック図

(5) V850E2/FF4-G 製品概要

表 1-5 V850E2/FF4-G 製品一覧

Series name:		FF4-G-256K	FF4-G-512K
Part number:		μPD70F4177	μPD70F4178
Internal memory	Instruction flash	256 KB	512 KB
	Data flash	32 KB	
	CPU RAM	32 KB	64 KB
	Back-up RAM	4 KB	
CPU	CPU System	V850E2S	
	CPU frequency	64 MHz max. ¹	
	System Protection Functions (SPF)	MPU	provided
SRP		provided	
DMA		8 channels	
Operating clock	Main Oscillator (MainOsc)	4, 5, 6, 8, 10, 12, 16, 20 MHz	
	Low Speed Internal Oscillator (LS IntOsc)	240 KHz typ.	
	High Speed Internal Oscillator (HS IntOsc)	8 MHz typ.	
	PLL0	64 MHz max.	
I/O ports		59	
A/D converter (ADCA)		1 × 10 channels, 10 bit	
Timers	Timer Array Unit B (TAUB), 16 bit	1 unit × 16 channels	
	Timer Array Unit J (TAUJ), 32 bit	1 unit × 4 channels	
	Window Watchdog (WDTA)	2 channels	
	Operating System Timer (OSTM)	1 channel	
Serial interfaces	CAN I/F (FCN)	3 channels (32 messages buffer)	6 channels (32 messages buffer)
	UART I/F (URTE) with LIN Master Controller (LM)	2 channels	
	Synchronous I/F (CSIG)	2 channels	
	I ² C I/F (IICB)	1 channel	
Interrupts	Maskable	External	9
		Internal	61 70
	Non-maskable (NMI)	External	1
		Internal	2
Other functions	Power-On-Clear (POC)	provided	
	Low-Voltage Indicator (LVI)	provided	
	Clock Monitors (CLMA)	provided for MainOsc, HS IntOsc, PLL0 supervision	
	Key Return (KR)	8 channels	
	On-Chip debug (OCD)	provided	
Voltage supply	Internal supply	V _{POC} to 5.5 V ¹	
	I/O supply	V _{POC} to 5.5 V ¹	
Operating Temperature		-40° C to +125° C ¹	
Package		80-pin LQFP	

1) データシート参照

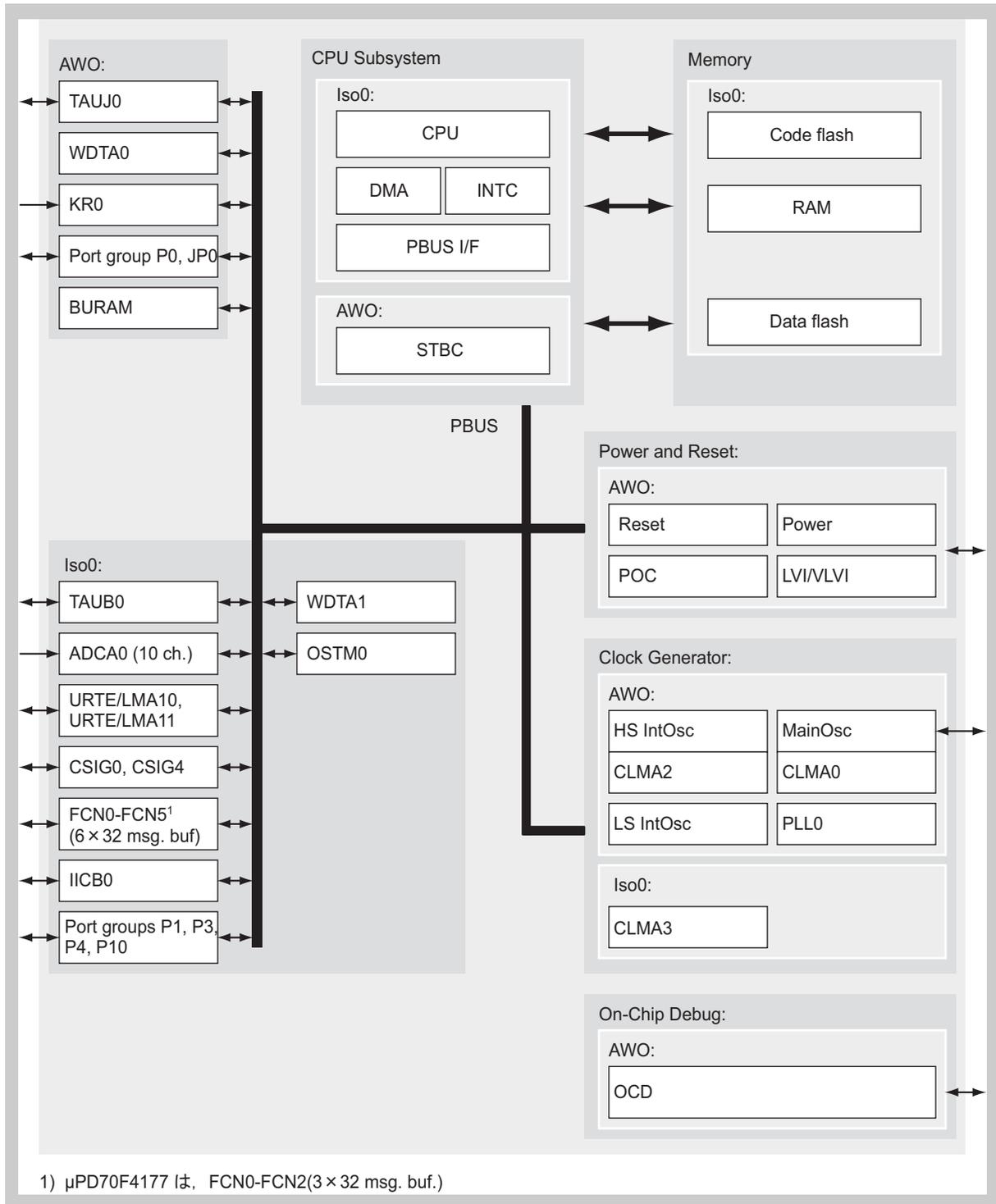


図 1-5 V850E2/FF4-G のブロック図

(6) V850E2/FG4-G 製品概要

表 1-6V850E2/FG4-G 製品一覧

Series name:		FG4-G-256K	FG4-G-512K	
Part number:		μPD70F4179	μPD70F4180	
Internal memory	Instruction flash	256 KB	512 KB	
	Data flash	32 KB		
	CPU RAM	32 KB	64 KB	
	Back-up RAM	4 KB		
CPU	CPU System	V850E2S		
	CPU frequency	64 MHz max. ¹		
	System Protection Functions (SPF)	MPU	provided	
SRP		provided		
DMA		8 channels		
Operating clock	Main Oscillator (MainOsc)	4, 5, 6, 8, 10, 12, 16, 20 MHz		
	Low Speed Internal Oscillator (LS IntOsc)	240 KHz typ.		
	High Speed Internal Oscillator (HS IntOsc)	8 MHz typ.		
	PLL0	64 MHz max.		
I/O ports		77		
A/D converter (ADCA)		1 × 16 channels, 10 bit		
Timers	Timer Array Unit B (TAUB), 16 bit	1 unit × 16 channels		
	Timer Array Unit J (TAUJ), 32 bit	1 unit × 4 channels		
	Window Watchdog (WDTA)	2 channels		
	Operating System Timer (OSTM)	1 channel		
Serial interfaces	CAN I/F (FCN)	3 channels (32 messages buffer)	6 channels (32 messages buffer)	
	UART I/F (URTE) with LIN Master Controller (LM)	3 channels		
	Synchronous I/F (CSIG)	3 channels		
	I ² C I/F (IICB)	1 channel		
Interrupts	Maskable	External	13	
		Internal	67	76
	Non-maskable (NMI)	External	1	
		Internal	2	
Other functions	Power-On-Clear (POC)	provided		
	Low-Voltage Indicator (LVI)	provided		
	Clock Monitors (CLMA)	provided for MainOsc, HS IntOsc, PLL0 supervision		
	Key Return (KR)	8 channels		
	On-Chip debug (OCD)	provided		
Voltage supply	Internal supply	V _{POC} to 5.5 V ¹		
	I/O supply	V _{POC} to 5.5 V ¹		
Operating Temperature		-40° C to +125° C ¹		
Package		100-pin LQFP		

1) データシート参照

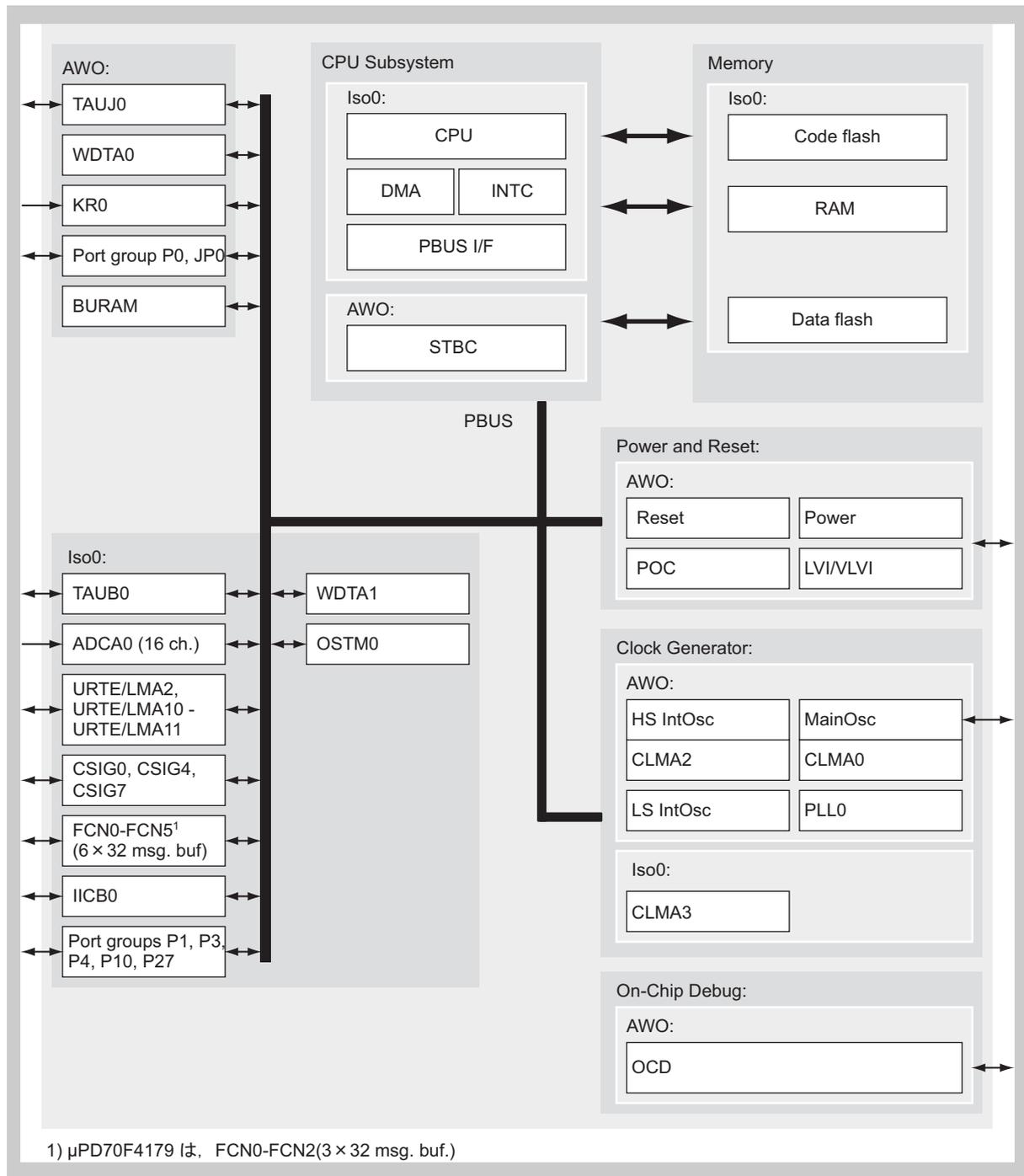


図 1-6 V850E2/FG4-G のブロック図

1.2 関連資料

表 1-7 関連資料一覧

資料番号	タイトル
R01US0037	V850E2S ユーザーズマニュアル アーキテクチャ編

1.3 オーダ情報

表 1-8 V850E2/Fx4-L, V850E2/Fx4-G オーダ情報

愛称	デバイス名	ルネサス オーダ・コード	備考
FE4-L-256K	μPD70F3570	μPD70F3570GB(Ax)-GAH-AX	
FE4-L-384K	μPD70F3571	μPD70F3571GB(Ax)-GAH-AX	
FE4-L-512K	μPD70F3572	μPD70F3572GB(Ax)-GAH-AX	
FF4-L-256K	μPD70F3573	μPD70F3573GK(Ax)-GAK-AX	
FF4-L-384K	μPD70F3574	μPD70F3574GK(Ax)-GAK-AX	
FF4-L-512K	μPD70F3575	μPD70F3575GK(Ax)-GAK-AX	
FG4-L-256K	μPD70F3576	μPD70F3576GC(Ax)-UEU-AX	
FG4-L-384K	μPD70F3577	μPD70F3577GC(Ax)-UEU-AX	
FG4-L-512K	μPD70F3578	μPD70F3578GC(Ax)-UEU-AX	
FG4-L-768K	μPD70F3579	μPD70F3579GC(Ax)-UEU-AX	
FG4-L-1M	μPD70F3580	μPD70F3580GC(Ax)-UEU-AX	
FJ4-L-384K	μPD70F3582	μPD70F3582GJ(Ax)-GAE-AX	
FJ4-L-512K	μPD70F3583	μPD70F3583GJ(Ax)-GAE-AX	
FJ4-L-768K	μPD70F3584	μPD70F3584GJ(Ax)-GAE-AX	
FJ4-L-1M	μPD70F3585	μPD70F3585GJ(Ax)-GAE-AX	
FF4-G-256K	μPD70F4177	μPD70F4177GK(Ax)-GAK-AX	
FF4-G-512K	μPD70F4178	μPD70F4178GK(Ax)-GAK-AX	
FG4-G-256K	μPD70F4179	μPD70F4179GC(Ax)-UEU-AX	
FG4-G-512K	μPD70F4180	μPD70F4180GC(Ax)-UEU-AX	

備考 1. 各品質水準の動作周囲温度は次のとおりです。

- (A) 品 : - 40 ~ + 85 °C
- (A1) 品 : - 40 ~ + 110 °C
- (A2) 品 : - 40 ~ + 125 °C

2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

第2章 端子機能

この章では、ポート機能の一般的な内容について説明します。

第1節では、端子グループ、レジスタのベース・アドレスなど製品ごとに固有な仕様を説明します。

第2節では、すべてのポートで提供されるポート機能の特徴を説明します。

第3節では、V850E2/Fx4-L 全端子の個々の機能をまとめています。

2.1 特徴

ポート・グループ この製品には下記番号のポート・グループがあります。

表 2-1 V850E2/Fx4-L のポート・グループ

ポート・グループ	V850E2/ FE4-L	V850E2/ FF4-L	V850E2/ FG4-L	V850E2/ FJ4-L	V850E2/ FF4-G	V850E2/ FG4-G
数	5	6	7	12	6	7
名称	P0, P1, P4, P10, JP0	P0, P1, P3, P4, P10, JP0	P0, P1, P3, P4, P10, P11, JP0	P0 to P5, P10, P11, P21, P25, P27, JP0	P0, P1, P3, P4, P10, JP0	P0, P1, P3, P4, P10, P27, JP0

ポート・グループ・インデクス n この章を通して、個々のポート・グループはインデクス "n" (n = 0-5, 10, 11, 21, 25, 27) により識別されます。たとえば、Pn 端子のポート・モード・コントロール・レジスタは PMCn です。

レジスタ・アドレス すべてのポートと JTAG ポートのコントロール・レジスタのアドレスは、それぞれのベース・アドレス <PORTn_base> と <JPORn_base> からのオフセット・アドレスとして与えられます。
ベース・アドレスの <PORTn_base> と <JPORn_base> は下表に示します。

表 2-2 ポート・ベース・アドレス <PORTn_base> および <JPORn_base>

<PORTn_base> アドレス	<JPORn_base> アドレス
FF40 0000 _H	FF44 0000 _H

2.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポート・グループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポート・グループの用語の説明は、2.2.1「用語」を参照してください。

- 機能概要**
- 端子ごとの設定が可能
 - 次に示す機能は、主な端子で選択可能
 - 3タイプの入力バッファ特性
 - 2タイプの出カバッファ特性
 - オープン・ドレーン・エミュレーション
 - プルアップ抵抗, プルダウン抵抗の接続
 - 次に示すレジスタは、主なポートで使用可能
 - 端子の値をリードするレジスタ
 - ポート・レジスタ
 - ポート・セット/リセット・レジスタ
 - 出力反転レジスタ

2.2.1 用語

この章で使用されている用語について説明します。

- **端子**

物理的な端子を表します。端子ごとに一意の端子番号で表されます。端子は複数のモードで使用できます。端子名は、選択したモードによって決まる、端子機能を示す名称が割り当てられます。

- **ポート・グループ**

端子のグループを表します。同じポート・グループの端子は、ポート制御レジスタを備えています。

- **ポート・モード/ポート**

ポート・モードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。

対応する名称は Pn_m です。たとえば、P0_7 はポート・グループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

- **兼用モード**

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能に使用されます。

対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。

なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

- **ポート・タイプ**

設定レジスタの指定で制御回路が決まります。タイプの違う制御回路は「ポート・タイプ」と呼ばれます。

JTAG ポート JTAG ポート・グループは、オンチップ・デバッグ時にデバッガと接続するために使用されます。デバッグ中はユーザ用途として使用できないため、特別なポート・グループとしています。デバッガを接続しない通常動作時は、他のすべてのポートと同じ方法で使用することが可能です。

JTAG ポート・グループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、JP0 は JTAG ポート・グループ 0、JPMn.JPMnm は JPMn ポート・モード・コントロール・レジスタの JPnm ポート・モード・コントロール・ビットを意味します。

備考 この章では、断りがない限り、すべてのポートとそれらのレジスタの説明は、JTAG ポートも含まれます。

2.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポート・モード (PMnCn.PMCnm = 0)
ポート・モードでは、端子は汎用入出力ポートとして動作します。PMn.PMnm で入力／出力を選択します。
- S/W I/O 制御兼用モード (PMnCn.PMCnm = 1, PIPnCn.PIPCnm = 0)
S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、S/W による PMn.PMnm コントロール・ビットの設定によって行われます。
- 直接 I/O 制御兼用モード (PMnCn.PMCnm = 1, PIPnCn.PIPCnm = 1)
直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2-3 端子機能の設定 (概要)

モード	ビット			I/O
	PMnCnm	PMnm	PIPnCnm	
ポート・モード	0	0	X	O
		1 ^a		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

a) 入力バッファを必ず許可 (PIBCnm = 1) してください。

端子が兼用モード (PMnCn.PMCnm = 1) の場合、最大4つの異なる兼用機能の1つを PFCn, PFCEn レジスタによって選択します。

- S/W I/O 制御兼用機能 (PIPnCn.PIPCnm = 0) :
 - 出力 (PMnm = 0) : ALT-OUT1 ~ ALT-OUT4
 - 入力 (PMnm = 1) : ALT-IN1 ~ ALT-IN4
- 直接 I/O 制御兼用機能 (PIPnCn.PIPCnm = 1) :
 - ALT-OUT1 ~ ALT-OUT4, ALT-IN1 ~ ALT-IN4 の入出力は、兼用機能によって直接選択されます。

表 2-4 兼用モード選択の概要 (PM_{Cn}.PM_{Cnm} = 1)

機能	レジスタ				I/O
	PIPC ^a	PM ^a	PFCE	PFC	
兼用出力モード 1 (ALT-OUT1)	0	0	0	0	O
兼用入力モード 1 (ALT-IN1)		1			I
兼用出力モード 2 (ALT-OUT2)		0	0	1	O
兼用入力モード 2 (ALT-IN2)		1			I
兼用出力モード 3 (ALT-OUT3)		0	1	0	O
兼用入力モード 3 (ALT-IN3)		1			I
兼用出力モード 4 (ALT-OUT4)		0	1	1	O
兼用入力モード 4 (ALT-IN4)		1			I

a) PIPC_n.PIPC_{nm} = 1 の場合は、入出力方向は周辺 (兼用) 機能によって直接制御され、PMは無視されます。

端子が兼用モード (PM_{Cn}.PM_{Cnm} = 1) の場合、最大 4 つの異なる兼用機能の 1 つを PFC_n, PFCE_n レジスタによって選択します。

2.2.3 端子データ入力/出力

データの入力/出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

出力データ ポート・モード (PMcn.PMCnm = 0) では Pn.Pnm の値が Pn_m 端子から出力されます。

入力データ PPRn レジスタのリード動作では、Pn_m 端子の値、ポート・レジスタの関連ビット Pn.Pnm の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リード・モードの違いを次の表に示します。

表 2-5 PPRnm リード値

PMC nm	PM nm	PIBC nm	PIPC nm	PODC nm	モード	PPRnm リード値	
0	1	0	X	X	ポート入力, 入力バッファ禁止	Pn.Pnm レジスタ	
		1		X	ポート入力, 入力バッファ許可	Pn_m 端子	
	0	X		0	ポート・プッシュプル出力	Pn.Pnm レジスタ ^a	
		X		1	ポート・オープン・ドレイン出力		
1	1	X	0	X	S/W I/O 制御兼用入力	Pn_m 端子	
				0	0	S/W I/O 制御兼用プッシュプル出力	兼用機能内部出力信号 ^a
					1	S/W I/O 制御兼用オープン・ドレイン出力	
	X	1	0	直接 I/O 制御兼用プッシュプル出力	兼用機能モードでの入出力ポート: • 入力: Pn_m 端子 • 出力: 兼用機能内部出力信号 ^a		
			1	直接 I/O 制御兼用オープン・ドレイン出力			

^{a)} PBDCnm = 1 の場合、Pn_m 端子レベルが、PPRnm レジスタでリードされます。

上表に示す各制御レジスタの効果:

- PMcn.PMCnm

このビットは、ポート・モード (PMcnm = 0) または兼用機能モード (PMcnm = 1) を選択します。

- PMn.PMnm

このビットは、ポート・モード (PMcnm = 0) と S/W I/O 制御兼用機能モード (PMcnm = 1, PIPcnm = 0) 時に入力 (PMnm = 1) または出力 (PMnm = 0) を選択します。

- PIBcn.PIBCnm

このビットは、入力ポート・モード (PMcnm = 0 と PMnm = 1) 時に入力バッファを使用不可 (PIBCnm = 0) または使用許可 (PIBCnm = 1) を選択します。入力バッファが使用不可の場合、PPRnm は Pn.Pnm ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCnm

このビットは、S/W I/O 制御兼用機能モードまたは直接 I/O 制御兼用機能モードを選択します。

- PODCn.PODCnm

このビットは、プッシュプル (PODCnm = 0) またはオープン・ドレイン (PODCnm = 1) 出力を選択します。

- PBDCn.PBDCnm

このビットを 1 に設定すると、PPRnm は強制的に Pn_m 端子のレベルがリードされます。つまり、ポートが出力モードの場合、Pn_m 端子のレベルをリードできる双方向モードを許可します。

注意 Pn_m ポートを兼用出力機能 (PMcN.PMcNm = 1, PMn.PMnm = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCnm = 1) することにより、PPRn.PPRnm で Pn_m 端子のレベルをリードすることができます。

しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

Pn レジスタへのライト ポート・モード (PMcN.PMcNm = 0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作 (set/reset/not)

Pn レジスタへのビット操作 (set/reset/not) は 2 つのレジスタを使って間接的に可能です。

- ポート・セット/リセット・レジスタ PSRn

PSRn.PSRn (m + 16) = 1 の場合、PSRn.PSRnm ビットの値が Pn.Pnm ビットの値を決めます。

つまり、Pn レジスタへ直接ライトせずに Pnm ビットを set/reset することが可能です。

- ポート・ノット・レジスタ PNOTn

PNOTn.PNOTnm = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pnm ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.2.4 ポート制御論理図

下図は、ポート制御機能の論理図を示します。

注意 この図は参考に論理を示すもので、実際の回路を示すものではありません。

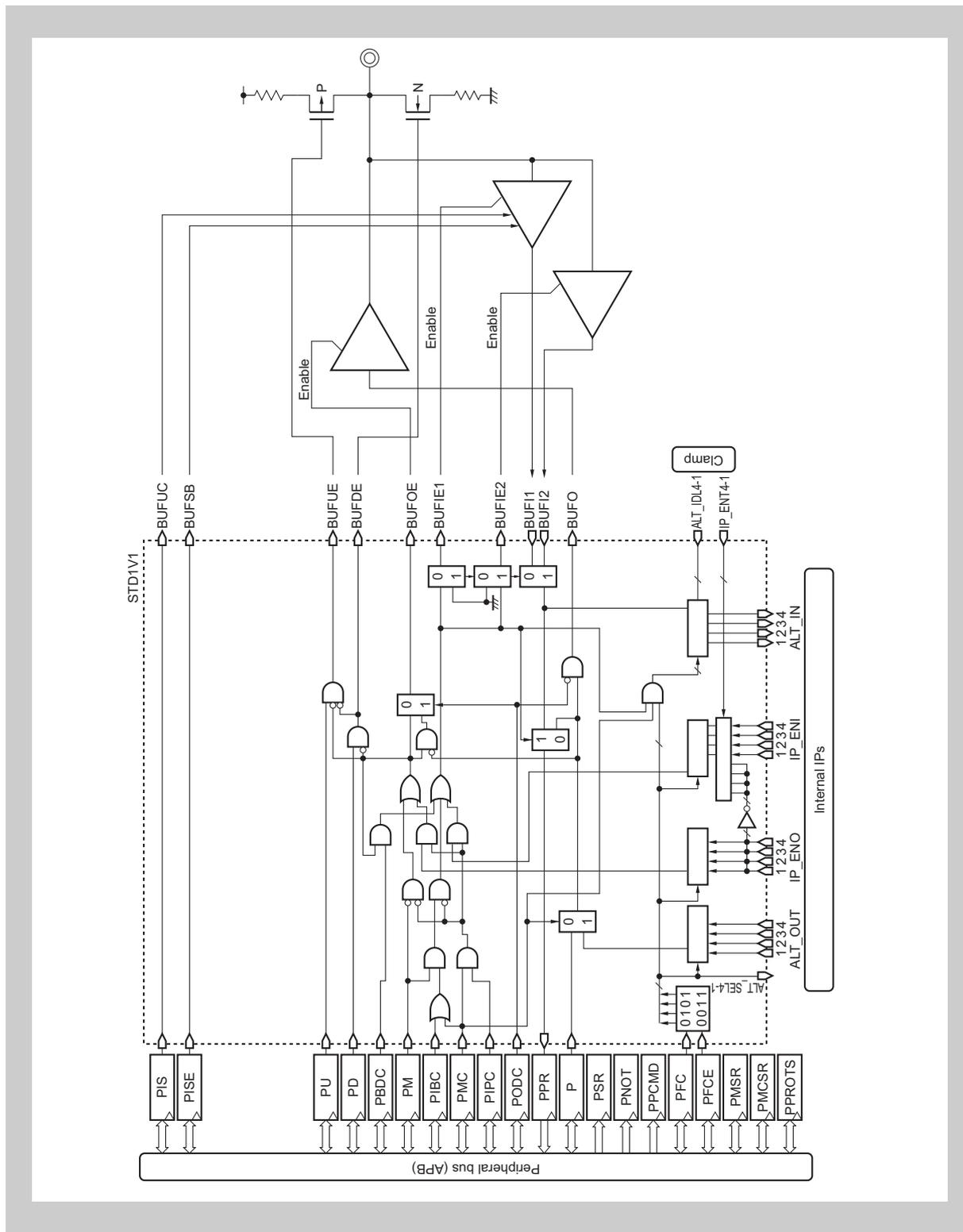


図 2-1 ポート制御論理図

2.2.5 書き込み保護レジスタ

書き込み保護されたレジスタは、誤ったプログラム実行などによる不注意な書き込みアクセスから保護します。

以下のポート・レジスタがこの特別な書き込み保護機能を持っています。

- ポート・オープン・ドレイン・コントロール・レジスタ PODCn, JPODCn

(1) ポート・レジスタ保護クラスタ

ポート・グループ n の保護されたレジスタは、ポート・レジスタ保護クラスタにまとめられます。

ポート・レジスタ保護クラスタにまとめられたポート・グループは、「ポート・レジスタ保護クラスタ」に記載しています。

(2) ポート保護解除シーケンス

書き込み保護レジスタへの書き込みアクセスは、特別な保護解除シーケンスのみ可能です。

1. 保護コマンド・レジスタ PPCMDn に固定値 A5_H を書いてください。
2. 保護されたレジスタに必要な値を書いてください。
3. 保護されたレジスタに必要な値のビット反転値を書いてください。
4. 保護されたレジスタに必要な値を書いてください。
5. PPROTSn.PPROTSnPRERR = 0 を確認して、保護されたレジスタに、必要な値が正常に書き込まれたことを確認してください。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記シーケンスのステップ 1 からステップ 4 の間に別のレジスタへアクセスした場合、保護メカニズムは次のとおりになります。

- もし、2 つ目のレジスタが同じクラスタに属しているならば、保護されたレジスタへの書き込みが無効になります (PPROTSn.PPROTSnPRERR = 1 が示されます)。シーケンス全体はステップ 1 から再開する必要があります。
- もし、2 つ目のレジスタが同じクラスタに属していないならば、保護解除シーケンスは妨害されず、最初のレジスタへの書き込みは正常に完了します。

保護解除シーケンスが割り込みで中断された場合、保護メカニズムは次のとおりになります。

- 保護解除シーケンス中の割り込み

もし、上記の保護解除シーケンス内で割り込みが処理されて、割り込みサービス・ルーチンが同じポート・レジスタ保護クラスタのどのようなレジスタにもアクセスしないならば、保護解除シーケンスは妨害されず、保護されたレジスタへの書き込みは、割り込みサービス・ルーチンから戻ったあと、正常に完了します。

- 保護シーケンス中のエミュレータによるブレーク

ブレーク・ポイントがヒットするなどにより、上記の保護シーケンス中にエミュレーションによるブレークが発生した場合、レジスタ保護はブレーク再開後の通常動作まで中断されます。

それは、ブレーク中にどのようなクロックまたはスタンバイ制御レジスタがアクセスされても、保護シーケンスが妨害されないことを意味します。

クロックおよびスタンバイ制御レジスタへのアクセスでは
PROTSm.PROTERR = 1 はセットされません。

2.3 ポート・グループ・コンフィギュレーション・レジスタ

この節では、はじめにすべてのコンフィギュレーション・レジスタの概要を示し、次に各レジスタの詳細を示します。コンフィギュレーション・レジスタは次のように分類されます。

- 2.3.2 「端子機能の設定」
- 2.3.3 「端子データ入力／出力」
- 2.3.4 「電気的特性の設定」

2.3.1 概要

次のレジスタは、ポート・グループの各端子の設定に使用されます。

表 2-6 ポート・グループ・コンフィギュレーション・レジスタ (1/2)

レジスタ名	略号	アドレス
端子機能の設定		
ポート・モード・コントロール・レジスタ	PMcN	<PORTn_base> + 0400 _H + n × 4
	JPMcN	<JPORTn_base> + 0040 _H + n × 4
ポート・モード・コントロール・セット／リセット・レジスタ	PMCSRn	<PORTn_base> + 0900 _H + n × 4
	JPMCSRn	<JPORTn_base> + 0090 _H + n × 4
ポート IP コントロール・レジスタ	PIPCn	<PORTn_base> + 4200 _H + n × 4
ポート・モード・レジスタ	PMn	<PORTn_base> + 0300 _H + n × 4
	JPMn	<JPORTn_base> + 0030 _H + n × 4
ポート・モード・セット／リセット・レジスタ	PMSRn	<PORTn_base> + 0800 _H + n × 4
	JPMSRn	<JPORTn_base> + 0080 _H + n × 4
ポート入力バッファ・コントロール・レジスタ	PIBCn	<PORTn_base> + 4000 _H + n × 4
	JPIBCn	<JPORTn_base> + 0400 _H + n × 4
ポート機能コントロール・レジスタ	PFCn	<PORTn_base> + 0500 _H + n × 4
	JPFCn	<JPORTn_base> + 0050 _H + n × 4
ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600 _H + n × 4
端子データ入力／出力		
ポート双方向コントロール・レジスタ	PBDCn	<PORTn_base> + 4100 _H + n × 4
	JPBDCn	<JPORTn_base> + 0410 _H + n × 4
ポート端子リード・レジスタ	PPRn	<PORTn_base> + 0200 _H + n × 4
	JPPRn	<JPORTn_base> + 0020 _H + n × 4
ポート・レジスタ	Pn	<PORTn_base> + 0000 _H + n × 4
	JPn	<JPORTn_base> + 0000 _H + n × 4
ポート・ノット・レジスタ	PNOTn	<PORTn_base> + 0700 _H + n × 4
	JPNOTn	<JPORTn_base> + 0070 _H + n × 4
ポート・セット／リセット・レジスタ	PSRn	<PORTn_base> + 0100 _H + n × 4
	JPSRn	<JPORTn_base> + 0010 _H + n × 4

表 2-6 ポート・グループ・コンフィギュレーション・レジスタ (2/2)

レジスタ名	略号	アドレス
電气的特性的設定		
プルアップ・オプション・レジスタ	PUn	<PORTn_base> + 4300 _H + n × 4
	JPU _n	<JPORTn_base> + 0430 _H + n × 4
プルダウン・オプション・レジスタ	PD _n	<PORTn_base> + 4400 _H + n × 4
	JPD _n	<JPORTn_base> + 0440 _H + n × 4
ポート・オープン・ドレイン・コントロール・レジスタ	PODC _n	<PORTn_base> + 4500 _H + n × 4
	JPODC _n	<JPORTn_base> + 0450 _H + n × 4
ポート入力バッファ選択レジスタ	PIS _n	<PORTn_base> + 4700 _H + n × 4
	JPI _S _n	<JPORTn_base> + 0470 _H + n × 4
ポート入力バッファ選択拡張レジスタ	PISE _n	<PORTn_base> + 4800 _H + n × 4
	JPISE _n	<JPORTn_base> + 0480 _H + n × 4
ポート・レジスタ保護		
ポート・レジスタ保護コマンド・レジスタ	PPCMD _n	<PORTn_base> + 4C00 _H + n × 4
	JPPCMD _n	<JPORTn_base> + 04C0 _H + n × 4
ポート保護ステータス・レジスタ	PPROTS _n	<PORTn_base> + 4B00 _H + n × 4
	JPPROTS _n	<JPORTn_base> + 04B0 _H + n × 4

<PORTn_base> PORTn のベース・アドレス <PORTn_base> は、2.1「特徴」の「レジスタ・アドレス」で定義しています。

JTAG ポート・レジスタ 以降のレジスタ説明では、JTAG ポート・レジスタについて記載していません。

すべての説明（PFCE レジスタ以外）は JTAG ポート・レジスタも適用されますが、JTAG ポート・レジスタのベース・アドレスは異なります。

<JPORTn_base> JPORTn のベース・アドレス <JPORTn_base> は、2.1「特徴」の「レジスタ・アドレス」で定義しています。

レジスタ初期値 リセット解除後の初期値はポートに依存します。初期値については、以降のレジスタ説明ではなく、2.4「V850E2/Fx4-L ポート・グループ構成」に記載します。

2.3.2 端子機能の設定

(1) PMCn - ポート・モード・コントロール・レジスタ

このレジスタは、ポート・グループ n の各端子がポート・モードか兼用モードかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

JPMCn レジスタは 8 ビット単位でリード／ライト可能です。

アドレス <PORTn_base> + 0400_H + n × 4, <JPORTn_base> + 0040_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMCn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

備考 JPMCn レジスタのビット名は JPMCn_[7:0] になります。

表 2-7 PMCn レジスタの内容

ビット位置	ビット名	機能
15-0	PMC[15:0]	対応する端子の動作モードを指定します。 0 : ポート・モード 1 : 兼用モード

(2) PMCSRn - ポート・モード・コントロール・セット/リセット・レジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCnm にデータをライトするかどうかを指定します。

備考 PMCSRn レジスタは、お客様がソフトウェアを AUTOSAR に準拠させる際にご使用いただくよう備えたレジスタです。PMCn レジスタへ（PMCSRn レジスタを介さず）直接書き込む（読み出す）ことは可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は PMCn レジスタの値がリードされます。

アドレス <PORTn_base> + 0900_H + n × 4, <JPORTn_base> + 0090_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMC SRn 31	PMC SRn 30	PMC SRn 29	PMC SRn 28	PMC SRn 27	PMC SRn 26	PMC SRn 25	PMC SRn 24	PMC SRn 23	PMC SRn 22	PMC SRn 21	PMC SRn 20	PMC SRn 19	PMC SRn 18	PMC SRn 17	PMC SRn 16
R/W															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMC SRn 15	PMC SRn 14	PMC SRn 13	PMC SRn 12	PMC SRn 11	PMC SRn 10	PMC SRn 9	PMC SRn 8	PMC SRn 7	PMC SRn 6	PMC SRn 5	PMC SRn 4	PMC SRn 3	PMC SRn 2	PMC SRn 1	PMC SRn 0
R/W															

表 2-8 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PMC SRn[31:16]	対応する PMCSRnm の下位ビットの値を PMCnm にライトするかどうかを指定するイネーブル・ビットです。 0 : PMCnm は PMCSRnm に依存しません。 1 : PMCnm は PMCSRnm の値になります。 例： PMCSRn.PMCSRn31 = 1 の場合、PMCSRn.PMCSRn15 ビットの値を PMCn.PMCn15 ビットにライトします。
15-0	PMC SRn[15:0]	対応する上位ビットの PMCSRn (m+16) が 1 の場合、PMCnm の値を指定するデータ・ビットです。 0 : PMCnm = 0 1 : PMCnm = 1

(3) PIPc_n - ポート IP コントロール・レジスタ

このレジスタは、P_n_m 端子の入出力方向がポート・モード・レジスタ PM_n.PM_{nm} と兼用機能のどちらによって制御されるかを指定します。

P_n_m 端子が兼用モード (PM_{c_n}.PM_{c_nm} = 1) となり、兼用機能が直接 P_n_m の入出力方向を制御する場合、PIPc_n.PIPc_nm は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PM_n.PM_{nm} の設定が無効となります。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_n_base> + 4200_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPc _n															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

表 2-9 PIPc_n レジスタの内容

ビット位置	ビット名	機能
15-0	PIPc[15:0]	入出力制御モードを指定します。 0 : 入出力モードは PM _n .PM _{nm} (S/W 入出力制御) によって選択します。 1 : 入出力モードは周辺機能 (直接入出力制御) によって選択します。

(4) PMn - ポート・モード・レジスタ

このレジスタは、ポート・グループ n の各端子が入力モードか出力モードかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

JPMn レジスタは 8 ビット単位でリード／ライト可能です。

アドレス <PORTn_base> + 0300_H + n × 4, <JPORTn_base> + 0030_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMn 15	PMn 14	PMn 13	PMn 12	PMn 11	PMn 10	PMn9	PMn8	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 JPMn レジスタのビット名は JPMn_[7:0] になります。

表 2-10 PMn レジスタの内容

ビット位置	ビット名	機能
15-0	PMn[15:0]	対応する端子の入力／出力モードを指定します。 0 : 出力モード (出力許可) 1 : 入力モード (出力禁止)

- 備考**
1. ポートを入力ポート・モード (PMn.PMnm = 0 かつ PMn.PMnm = 1) で使用する場合は、入力バッファを許可する必要があります (PIBCn.PIBCnm = 1)。
 2. デフォルトでは、リセット後は PIPcn.PIPCnm = 0 なので、PMnm はポート・モード (PMn.PMnm = 0) と兼用モード (PMn.PMnm = 1) の入出力方向を指定します。

(5) PMSRn - ポート・モード・セット/リセット・レジスタ

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMnm にデータをライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は PMn レジスタの値がリードされます。

備考 PMSRn レジスタは、お客様がソフトウェアを AUTOSAR に準拠させる際にご使用いただくよう備えたレジスタです。PMn レジスタへ（PMSRn レジスタを介さず）直接書き込む（読み出す）ことは可能です。

アドレス <PORTn_base> + 0800_H + n × 4, <JPORn_base> + 0080_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PM SRn 31	PM SRn 30	PM SRn 29	PM SRn 28	PM SRn 27	PM SRn 26	PM SRn 25	PM SRn 24	PM SRn 23	PM SRn 22	PM SRn 21	PM SRn 20	PM SRn 19	PM SRn 18	PM SRn 17	PM SRn 16
R/W															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PM SRn 15	PM SRn 14	PM SRn 13	PM SRn 12	PM SRn 11	PM SRn 10	PM SRn9	PM SRn8	PM SRn7	PM SRn6	PM SRn5	PM SRn4	PM SRn3	PM SRn2	PM SRn1	PM SRn0
R/W															

表 2-11 PMSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PM SRn[31:16]	対応する PMSRnm の下位ビットの値を PMnm にライトするかどうかを指定するイネーブル・ビットです。 0 : PMnm は PMSRnm に依存しません。 1 : PMnm は PMSRnm の値になります。 例： PMSRn.PMSRn31 = 1 の場合、PMSRn.PMSRn15 ビットの値を PMn.PMn15 ビットにライトします。
15-0	PM SRn[15:0]	対応する上位ビットの PMSRn (m+16) が 1 の場合、PMnm 値を指定するデータ・ビットです。 0 : PMnm = 0 1 : PMnm = 1

(6) PIBCn - ポート入力バッファ・コントロール・レジスタ

このレジスタは、入力ポート・モード（PMnCn.PMCnm = 0 かつ PMn.PMnm = 1）で、ポート端子の入力バッファを許可します。

アクセス 16 ビット単位でリード／ライト可能です。

JPIBCn レジスタは 8 ビット単位でリード／ライト可能です。

アドレス <PORTn_base> + 4000_H + n × 4, <JPORTn_base> + 0400_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIBCn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

備考 JPIBCn レジスタのビット名は JPIBCn_[7:0] になります。

表 2-12 PIBCn レジスタの内容

ビット位置	ビット名	機能
15-0	PIBCn[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

備考 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウ・レベルに固定する必要はありません。

注意 このレジスタの設定は、双方向モード（PBDCn.PBDCnm = 1）では無視されます。

(7) PFCn - ポート機能コントロール・レジスタ

このレジスタは、PFCEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

JPFCEn レジスタは 8 ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 0500_H + n × 4, <JPORTn_base> + 0050_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCn 15	PFCn 14	PFCn 13	PFCn 12	PFCn 11	PFCn 10	PFCn 9	PFCn 8	PFCn 7	PFCn 6	PFCn 5	PFCn 4	PFCn 3	PFCn 2	PFCn 1	PFCn 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 JPFCEn レジスタのビット名は JPFCEn_[7:0] になります。

表 2-13 PFCn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCn[15:0]	端子の兼用機能を指定します。 詳細は表 2-4 「兼用モード選択の概要 (PMn.PMnm = 1)」を参照してください。

(8) PFCEn - ポート機能コントロール拡張レジスタ

このレジスタは、PFCn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 0600_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCEn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

表 2-14 PFCEn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCEn[15:0]	端子の兼用機能を指定します。 詳細は表 2-4 「兼用モード選択の概要 (PMc.PMcnm = 1)」を参照してください。

2.3.3 端子データ入力／出力

(1) PBDCn - ポート双方向コントロール・レジスタ

このレジスタは、入力バッファを許可し、常に Pn_m 端子のレベルを PPRn.PPRnm 経由で読み出すことができます。

アクセス 16 ビット単位でリード／ライト可能です。

JPBDCn レジスタは 8 ビット単位でリード／ライト可能です。

アドレス <PORTn_base> + 4100_H + n × 4, <JPORTn_base> + 0410_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBDCn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

備考 JPBDCn レジスタのビット名は JPBDCn_[7:0] になります。

表 2-15 PBDCn レジスタの内容

ビット位置	ビット名	機能
15-0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

注意 Pn_m ポートを兼用出力機能 (PMcn.PMCnm = 1, PMn.PMnm = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCnm = 1) することにより、PPRn.PPRnm で Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

備考 PBDCn = 1 に設定すると、PMn.PMnm のポート・モード設定は無視されます。

(2) PPRn - ポート端子リード・レジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pnm ビットの値、または兼用機能の出力レベルを表します。リードする値は、表 2-5 「PPRnm リード値」に示すように、制御設定によって異なります。

アクセス 16 ビット単位でリードのみ可能です。

JPPRn レジスタは 8 ビット単位でリードのみ可能です。

アドレス <PORTn_base> + 0200_H + n × 4, <JPORTn_base> + 0020_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 JPPRn レジスタのビット名は JPPRn_[7:0] になります。

表 2-16 PPRn レジスタの内容

ビット位置	ビット名	機能
15-0	PPRn[15:0]	Pn_m 端子, Pn.Pnm の値, または兼用機能の出力

(3) Pn - ポート・レジスタ

このレジスタは、出力ポート・モード時 (PMcn.PMCnm = 0, PMn.PMnm = 0) に、関連のポート Pn_m から出力される Pn.Pnm データを保持します。

アクセス 16 ビット単位でリード/ライト可能です。

JPn レジスタは 8 ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 0000_H + n × 4, <JPORTn_base> + 0000_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pn15	Pn14	Pn13	Pn12	Pn11	Pn10	Pn9	Pn8	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 JPn レジスタのビット名は JPn_[7:0] になります。

表 2-17 Pn レジスタの内容

ビット位置	ビット名	機能
15-0	Pn[15:0]	m 端子 (m = 0-15) の出力レベルを設定します。 0 : ロウ・レベル出力 1 : ハイ・レベル出力

備考 このレジスタのビットは、さまざまな手段で操作できます。2.2.3 「端子データ入力/出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn - ポート・ノット・レジスタ

このレジスタは、ポート・レジスタ Pn に直接ライトせず Pn の Pnm ビットを反転できます。

アクセス 16 ビット単位でライト可能です。常に 0000_H としてリードされます。

JPNOTn レジスタは 8 ビット単位でライト可能です。常に 00_H としてリードされます。

アドレス <PORTn_base> + 0700_H + n × 4, <JPORTn_base> + 0070_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PNOTn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

備考 JPNOTn レジスタのビット名は JPNOTn_[7:0] になります。

表 2-18 PNOTn レジスタの内容

ビット位置	ビット名	機能
15-0	PNOTn[15:0]	Pn.Pnm を反転するかどうかを指定します。 0 : Pn.Pnm を反転しない (Pnm → Pnm) 1 : Pn.Pnm を反転する (Pnm → Pnm)

(5) PSRn - ポート・セット/リセット・レジスタ

このレジスタにより、Pn レジスタにデータをライトするもう1つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pnm にデータをライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は Pn レジスタの値がリードされます。

アドレス <PORTn_base> + 0100_H + n × 4, <JPORTn_base> + 0010_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSRn															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSRn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

表 2-19 PSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PSRn[31:16]	対応する PSRnm の下位ビットの値が Pnm にライトするかどうかを指定するイネーブル・ビットです。 0 : Pnm は PSRnm に依存しません。 1 : Pnm は PSRnm の値になります。 例： PSRn.PSRn31 = 1 の場合、PSRn.PSRn15 ビットの値を Pn.Pn15 ビットにライトします。
15-0	PSRn[15:0]	対応する上位ビットの PSRn (m+16) が 1 の場合、Pnm 値を指定するデータ・ビットです。 0 : Pnm = 0 1 : Pnm = 1

2.3.4 電気的特性の設定

(1) PUn - プルアップ・オプション・レジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

JPU_n レジスタは8ビット単位でリード/ライト可能です。

アドレス <PORT_n_base> + 4300_H + n × 4, <JPORT_n_base> + 0430_H + n × 4

初期値 2.4「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUn 15	PUn 14	PUn 13	PUn 12	PUn 11	PUn 10	PUn9	PUn8	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 JPU_n レジスタのビット名はJPU_n_[7:0]になります。

表 2-20 PUn レジスタの内容

ビット位置	ビット名	機能
15-0	PUn[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUn_m = 1) と内蔵プルダウン抵抗 (PD_n.PD_n_m = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続されません。
 - 2 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn - プルダウン・オプション・レジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

JPDn レジスタは 8 ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 4400_H + n × 4, <JPORTn_base> + 0440_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDn 15	PDn 14	PDn 13	PDn 12	PDn 11	PDn 10	PDn9	PDn8	PDn7	PDn6	PDn5	PDn4	PDn3	PDn2	PDn1	PDn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 JPDn レジスタのビット名は JPDn_[7:0] になります。

表 2-21 PDn レジスタの内容

ビット位置	ビット名	機能
15-0	PDn[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルダウン抵抗を接続しない 1: 内蔵プルダウン抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUnm = 1) と内蔵プルダウン抵抗 (PDn.PDnm = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続されません。
 2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

(3) PODCn - ポート・オープン・ドレイン・コントロール・レジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープン・ドレインを選択します。

アクセス 32ビット単位でリード/ライト可能です。

このレジスタへのライトは、特定の命令シーケンスによって保護されます。詳細は2.3.5「ポート・レジスタ保護」を参照してください。

アドレス <PORTn_base> + 4500_H + n × 4, <JPORTn_base> + 0450_H + n × 4

初期値 2.4「V850E2/Fx4-L ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PODCn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

表 2-22 PODCn レジスタの内容

ビット位置	ビット名	機能
15-0	PODCn[15:0]	出力バッファの機能を指定します。 0: プッシュプル 1: オープン・ドレイン

(4) PISn - ポート入力バッファ選択レジスタ

このレジスタは、ポート入力バッファ選択拡張レジスタ PISEn とともに、入力バッファ特性を指定します。

アクセス 16ビット単位でリード/ライト可能です。

JPISn レジスタは8ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 4700_H + n × 4, <JPORTn_base> + 0470_H + n × 4

初期値 2.4「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn	PISn	PISn	PISn	PISn	PISn	PISn9	PISn8	PISn7	PISn6	PISn5	PISn4	PISn3	PISn2	PISn1	PISn0
15	14	13	12	11	10										
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

備考 JPISn レジスタのビット名は JPISn_[7:0] になります。

表 2-23 PISn レジスタの内容

ビット位置	ビット名	機能
15-0	PISn[15:0]	表 2-24「PISEn レジスタの内容」を参照してください。

(5) PISn - ポート入力バッファ選択拡張レジスタ

このレジスタは、ポート入力バッファ選択レジスタ PISn とともに入力バッファ特性を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

JPISn レジスタは 8 ビット単位でリード/ライト可能です。

アドレス <PORTn_base> + 4800_H + n × 4, <JPORn_base> + 0480_H + n × 4

初期値 2.4 「V850E2/Fx4-L ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W															

備考 JPISn レジスタのビット名は JPISn_[7:0] になります。

表 2-24 PISn レジスタの内容

ビット位置	ビット名	機能																																
15-0	PISn[15:0]	<p>PISn[15:0] ビットとともに端子 m (m = 0-15) の入力バッファ特性を指定します。</p> <p><JP0_1, JP0_5, P0, P1, P2, P3, P4, P21, P25, P27></p> <table border="1"> <thead> <tr> <th>PISnm</th><th>PISnm</th><th>入力バッファ特性</th><th>リセット後の状態</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>タイプ 3 (SHMT1)</td><td>—</td></tr> <tr> <td>1</td><td>1</td><td>タイプ 4 (SHMT4)</td><td>○</td></tr> </tbody> </table> <p><JP0_0, JP0_2, JP0_3></p> <table border="1"> <thead> <tr> <th>PISnm</th><th>PISnm</th><th>入力バッファ特性</th><th>リセット後の状態</th></tr> </thead> <tbody> <tr> <td>0</td><td>1</td><td>タイプ 2 (SHMT2)</td><td>—</td></tr> <tr> <td>1</td><td>1</td><td>タイプ 4 (SHMT4)</td><td>○</td></tr> </tbody> </table> <p><JP0_4></p> <table border="1"> <thead> <tr> <th>PISnm</th><th>PISnm</th><th>入力バッファ特性</th><th>リセット後の状態</th></tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>タイプ 4 (SHMT4)</td><td>○</td></tr> </tbody> </table> <p>注・本表以外の設定は行わないでください。</p>	PISnm	PISnm	入力バッファ特性	リセット後の状態	1	0	タイプ 3 (SHMT1)	—	1	1	タイプ 4 (SHMT4)	○	PISnm	PISnm	入力バッファ特性	リセット後の状態	0	1	タイプ 2 (SHMT2)	—	1	1	タイプ 4 (SHMT4)	○	PISnm	PISnm	入力バッファ特性	リセット後の状態	1	1	タイプ 4 (SHMT4)	○
PISnm	PISnm	入力バッファ特性	リセット後の状態																															
1	0	タイプ 3 (SHMT1)	—																															
1	1	タイプ 4 (SHMT4)	○																															
PISnm	PISnm	入力バッファ特性	リセット後の状態																															
0	1	タイプ 2 (SHMT2)	—																															
1	1	タイプ 4 (SHMT4)	○																															
PISnm	PISnm	入力バッファ特性	リセット後の状態																															
1	1	タイプ 4 (SHMT4)	○																															

備考 入力バッファ特性の詳細は、データシートを参照してください。

2.3.5 ポート・レジスタ保護

(1) PPCMDn - ポート・レジスタ保護コマンド・レジスタ

このレジスタは、保護対象のポート・レジスタのためのコマンド・レジスタです。

アクセス 8ビット単位でライト可能です。

ビット7-0は、常に0がリードされます。

アドレス <PORTn_base> + 4C00_H + n × 4, <JPORn_base> + 04C0_H + n × 4

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 2-25 PPCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	-	保護対象のポート・レジスタにライトできるコマンド

(2) PPROTSn - ポート保護ステータス・レジスタ

このレジスタは、保護対象のポート・レジスタの書き込みシーケンスのステータスを示します。

アクセス 8ビット単位でリード可能です。

ライトした場合、無視されます。

アドレス <PORTn_base> + 4B00_H + n × 4, <JPORn_base> + 04B0_H + n × 4

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn PRERR
R	R	R	R	R	R	R	R

表 2-26 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn PRERR	保護対象のポート・レジスタの書き込みシーケンス・エラーを確認します。 0: 保護エラー未発生 1: 保護エラー発生

(3) 保護対象のポート・レジスタ

PODCn - ポート・オープン・ドレイン・コントロール・レジスタ

(4) 保護対象のポート・レジスタの書き込みシーケンス

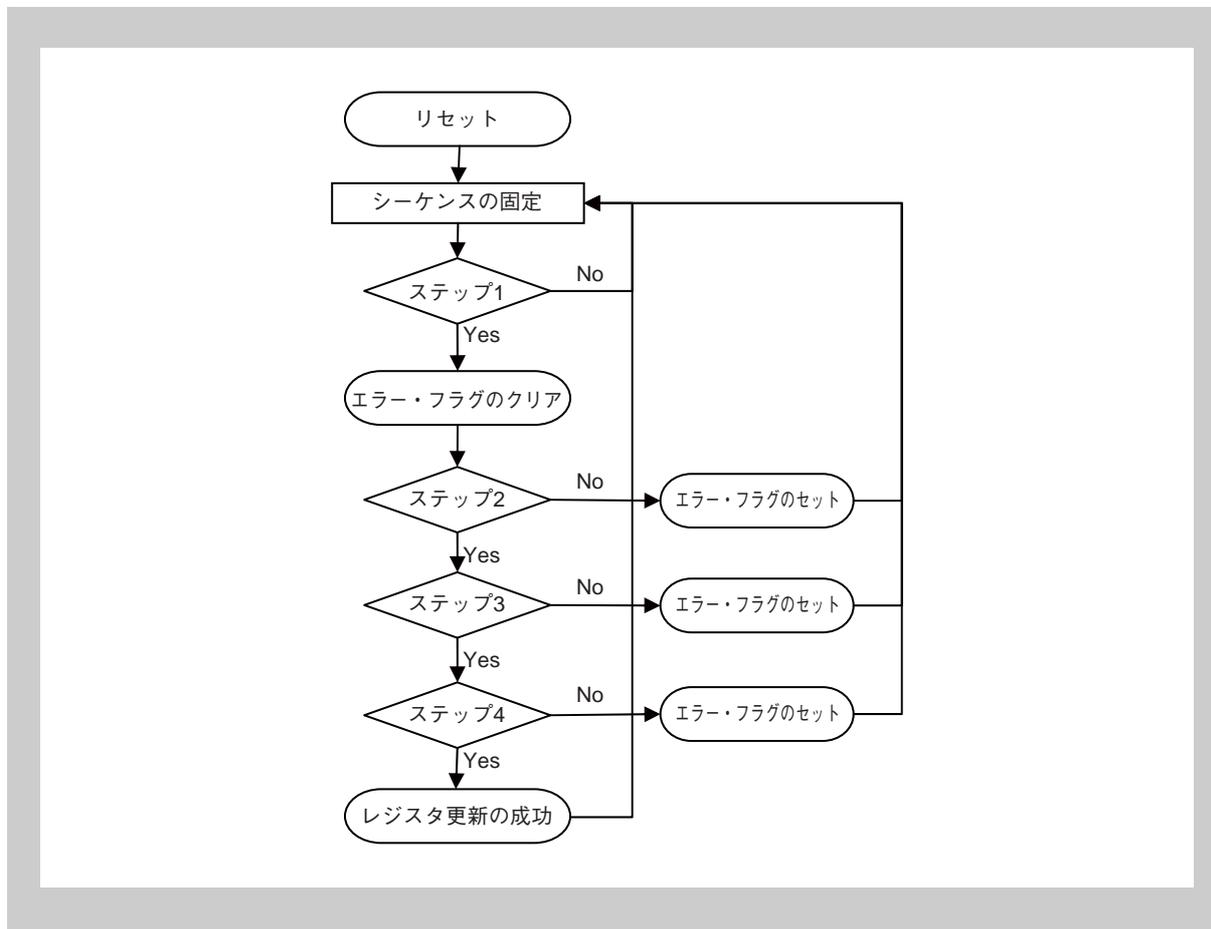


図 2-2 保護対象のポート・レジスタの書き込みシーケンス

- ステップ 1** 書き込みシーケンスを初期化するため、PPCMDn レジスタに A5_H をライトする。
- ステップ 2** 保護対象のレジスタに 32 ビット単位でデータをライトする（更新はしない）。
- ステップ 3** 同じ保護対象のレジスタに 32 ビット単位で逆のデータをライトする（更新はしない）。
- ステップ 4** 再び同じ保護対象のレジスタに 32 ビット単位でデータをライトする（更新の成功）。

2.4 V850E2/Fx4-L ポート・グループ構成

この節では次の説明をします。

- ポートレジスタ保護機能の概要。詳細は 2.4.1 「ポート・レジスタ保護」を参照してください。
- ポート機能の基本的なことの説明。
詳細は 2.4.2 「ポート機能概要」を参照してください。
- すべての各製品のポート・グループと関連の制御レジスタ。
詳細は 2.4.3 「V850E2/FE4-L ポート機能」以降を参照してください。
- リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能については、2.4.9 「リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能」を参照してください。

2.4.1 ポート・レジスタ保護

いくつかのレジスタにはポート・レジスタ保護があります。

表 2-27 ポート保護群

ポート保護群	ポート・グループ
1	JP0
2	P0, P5
3	P1 to P4, P10, P11, P21, P25, P27

ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の 3.7 「ライト保護レジスタ」を参照してください。

2.4.2 ポート機能概要

ここでは、各デバイスの端子がもつ兼用機能について説明します。

汎用 I/O 機能 ポート・モードか兼用モードかは、PMcN レジスタの設定によって選択できます。PMcN.PMcNm = 1 に設定した場合、特定の兼用機能には、PFCn, PFCEn レジスタで選択できます。汎用 I/O 機能一覧は各製品リストを参照してください。

リセット後の特殊 I/O リセット解除後のポートの特殊な機能について次に示します。

(1) JP0_0 - JP0_5 : デバッグ・インタフェース

リセット解除後、デバッグ・リセット端子 ($\overline{\text{DCUTRST}}$) がハイ・レベルなら、JP0 ポート・グループの端子がデバッグ・インタフェースとして使用できます。

- JP0_0 : DCUTDI 入力
- JP0_1 : DCUTDO 出力
- JP0_2 : DCUTCK 入力
- JP0_3 : DCUTMS
- JP0_4 : $\overline{\text{DCUTRST}}$
- JP0_5 : $\overline{\text{DCURDY}}$

したがって、デバッグと接続されている間、これらの端子のポートおよび兼用機能が使用できなくなります。

備考 JP0-JP5 端子をデバッグに接続する場合、フラッシュ・マスク・オプション OPBT0.OPBT0[31] をセット (1) してください。

(2) JP0_0, JP0_1, JP0_2 : フラッシュ・プログラマ

これらの端子はフラッシュ・プログラマと接続する場合に使用します。

詳細は、第6章「フラッシュ・メモリ」を参照してください。

(3) モード端子

FLMD0 端子と組み合わせて次の端子をセット (1) すると各モードに設定できます。

- P0_1 : FLMD1

詳細は、3.4「動作モード」を参照してください。

常時入力 次のポートは専用兼用機能に常に接続されています。

表 2-28 常時入力機能端子

Port	Permanent input	Port	Permanent input	Port	Permanent input
P10_0	ADCA0I0	P10_8	ADCA0I8	P11_0	ADCA0I16
P10_1	ADCA0I1	P10_9	ADCA0I9	P11_1	ADCA0I17
P10_2	ADCA0I2	P10_10	ADCA0I10	P11_2	ADCA0I18
P10_3	ADCA0I3	P10_11	ADCA0I11	P11_3	ADCA0I19
P10_4	ADCA0I4	P10_12	ADCA0I12	P11_4	ADCA0I20
P10_5	ADCA0I5	P10_13	ADCA0I13	P11_5	ADCA0I21
P10_6	ADCA0I6	P10_14	ADCA0I14	P11_6	ADCA0I22
P10_7	ADCA0I7	P10_15	ADCA0I15	P11_7	ADCA0I23

備考 ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを“1”に設定してください。

特殊 I/O 制御 各端子は自動的に I/O ポートに設定されます。

(PIPC)

これらのポートでは PMCn.PMCnm, PFCn.PFCnm, PFCEn.PFCEnm を設定することで兼用モードに設定できます。そして次の設定をすると I/O 制御を引き継ぐことができます。

$$\text{PIPCn.PIPCnm} = 1$$

この設定によって端子の PMn.PMnm の設定は無効になります。

2.4.3 V850E2/FE4-L ポート機能

V850E2/FE4-L のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FE4-L のポート機能と兼用機能について表 2-29 「V850E2/FE4-L 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-29 V850E2/FE4-L 汎用 I/O 機能 (1/2)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SSI		ADCA0TRG0		INTP0	
P0_1	DPIN1		CSIG4DCS ^b	CSIG4SO			INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0TRG2		INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX / DPIN5 ^c						INTP12	
P0_8	DPIN8	URTE10TX	KR0I3			TAUB005		IICB0SDA ^d
P0_9	URTE10RX / DPIN9 ^c		KR0I4		INTP6	TAUB006		IICB0SCL ^d
P0_12	TAUJ0I0 / DPIN12 ^c	TAUJ0O0	KR0I0		INTP8		CSIG0SSI	
P0_13	TAUJ0I1 / DPIN13 ^c	TAUJ0O1	KR0I5				CSIG0SI	
P0_14	TAUJ0I2	TAUJ0O2 / DPO ^c	KR0I6				CSIG0DCS ^b	CSIG0SO
P0_15	TAUJ0I3	TAUJ0O3 / APO ^c	KR0I7				CSIG0SC ^a	
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB0I1	TAUB0O1						FCN0TX
P1_2	TAUB0I2	TAUB0O2						
P1_3	TAUB0I3	TAUB0O3						
P1_4	TAUB0I4	TAUB0O4						
P1_5	TAUB0I5	TAUB0O5						
P1_6	TAUB0I6	TAUB0O6						
P1_7	TAUB0I7	TAUB0O7					FCN0RX	
P1_9	TAUB0I9	TAUB0O9	INTP3					
P1_10	TAUB0I10	TAUB0O10					INTP4	

表 2-29 V850E2/FE4-L 汎用 I/O 機能 (2/2)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_2			TAUB0I15	TAUB0O15				
P4_6			CSIG4SI	URTE11TX	KR0I2			
P4_7	INTP4		URTE11RX	CSIG4SO	KR0I1			
P4_8			CSIG4SC ^a		KR0I0			
P4_9				CSIG0RYO				
P4_10			CSIG4RYI					
Port group 10 (Isolated-Area-0, A0VREFP/A0VSS (AVREFM) power supply):^e								
P10_0								
P10_1								
P10_2								
P10_3								
P10_4								
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- この兼用機能を使用するときは、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- この兼用機能を使用するときは、CSIGnCTL1.CSIGnDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでデータ整合性チェックが可能です。
- この兼用機能を使用するときは、8.4.2「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- この兼用機能を使用するときは、19.2「I²C インタフェースポートの設定」を参照ください。
- ポート P10 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを“1”に設定してください。

(2) V850E2/FE4-L ポート制御レジスタ

V850E2/FE4-L のポートを制御するレジスタとそのアドレス，初期値について示します。

表凡例 A：レジスタ・アドレス

I：初期値

B：有効ビット

– 1：有効 X：無効

– 右側：ビット0，左側：ビット15もしくはビット7

レジスタ（32ビット長）のビット16-31は，ビット0-15の有効ビット範囲と同等です。

ただし，PODCn レジスタのビット16-31は無効ビットです。

表 2-30 V850E2/FE4-L ポート制御レジスタ（グループ0, 1, 4, 10）(1/2)

Register	Port group n =				
	0	1	4	10	
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 0010 _H	FF40 0028 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 0110 _H	FF40 0128 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 0710 _H	FF40 0728 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 0210 _H	FF40 0228 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 0310 _H	FF40 0328 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 0410 _H	FF40 0428 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 111x xxxx xxxx
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 0510 _H	–
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1xxx xx1x	xxxx x111 11xx x1xx	
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 0610 _H	–
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 xx11 xx11 1111	xxxx x1xx 1xxx xx1x	xxxx xxx1 11xx xxxx	
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 0810 _H	FF40 0828 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 0910 _H	FF40 0928 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 111x xxxx xxxx

表 2-30 V850E2/FE4-L ポート制御レジスタ (グループ 0, 1, 4, 10) (2/2)

Register	Port group n =				
	0	1	4	10	
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 4010 _H	FF40 4028 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 4110 _H	FF40 4128 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 4210 _H	-
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 4310 _H	-
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 4410 _H	-
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 4510 _H	FF40 4528 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	xxxx 1111 1111 1111
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 4710 _H	-
	I:	FFFF _H	FFFF _H	FFFF _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 4810 _H	-
	I:	FFFF _H	FFFF _H	FFFF _H	
	B:	1111 xx11 xx11 1111	xxxx x11x 1111 111x	xxxx x111 11xx x1xx	
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C10 _H	FF40 4C28 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B10 _H	FF40 4B28 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-31 V850E2/FE4-L ポート制御レジスタ (グループ JP0) (1/2)

Register		Port group n =			
		JP0 ^a			
Pn	A:	FF44 0000 _H			
	I:	00 _H			
	B:	xx11 1111			
PSRn	A:	FF44 0010 _H			
	I:	0000 0000 _H			
	B:	xxxx xxxx xx11 1111			
PNOTn	A:	FF44 0070 _H			
	I:	00 _H			
	B:	xx11 1111			
PPRn	A:	FF44 0020 _H			
	I:	00 _H			
	B:	xx11 1111			
PMn	A:	FF44 0030 _H			
	I:	FF _H			
	B:	xx11 1111			
PMCn	A:	FF44 0040 _H			
	I:	00 _H			
	B:	xx1x 1111			
PFCn	A:	FF44 0050 _H			
	I:	00 _H			
	B:	xxxx 1111			
PMSRn	A:	FF44 0080 _H			
	I:	0000 00FF _H			
	B:	xxxx xxxx xx11 1111			
PMCSRn	A:	FF44 0090 _H			
	I:	0000 0000 _H			
	B:	xxxx xxxx xx1x 1111			
PIBCn	A:	FF44 0400 _H			
	I:	00 _H			
	B:	xx11 1111			
PBDCn	A:	FF44 0410 _H			
	I:	00 _H			
	B:	xx11 1111			
PUn	A:	FF44 0430 _H			
	I:	00 _H			
	B:	xx11 1111			
PDn	A:	FF44 0440 _H			
	I:	00 _H			
	B:	xx11 1111			
PODCn	A:	FF44 0450 _H			
	I:	0000 0000 _H			
	B:	xxxx xxxx xx11 1111			

表 2-31 V850E2/FE4-L ポート制御レジスタ (グループ JP0) (2/2)

Register		Port group n =			
		JP0 ^a			
PISn	A:	FF44 0470 _H			
	I:	FF _H			
	B:	xx11 1111			
PISEn	A:	FF44 0480 _H			
	I:	FF _H			
	B:	xx11 1111			
PPCMDn	A:	FF44 04C0 _H			
	I:	00 _H			
	B:	1111 1111			
PPROTSn	A:	FF44 04B0 _H			
	I:	00 _H			
	B:	xxxx xxx1			

a) JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n = 0”とした名称になります。
 例えば、Pn のレジスタ名称は、JP0 になります。

2.4.4 V850E2/FF4-L ポート機能

V850E2/FF4-L のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FF4-L のポート機能と兼用機能について表 2-32 「V850E2/FF4-L 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-32 V850E2/FF4-L 汎用 I/O 機能 (1/2)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SSI		ADCA0TRG0		INTP0	
P0_1	DPIN1		CSIG4DCS ^b	CSIG4SO			INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0TRG2		INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX / DPIN5 ^c						INTP12	
P0_6	DPIN6	URTE11TX	KR0I1		NMI			
P0_7	URTE11RX / DPIN7 ^c		KR0I2		INTP4			
P0_8	DPIN8	URTE10TX	KR0I3			TAUB005		IICB0SDA ^d
P0_9	URTE10RX / DPIN9 ^c		KR0I4		INTP6	TAUB006		IICB0SCL ^d
P0_10	DPIN10	URTE11TX						
P0_12	TAUJ0I0 / DPIN12 ^c	TAUJ0O0	KR0I0		INTP8		CSIG0SSI	
P0_13	TAUJ0I1 / DPIN13 ^c	TAUJ0O1	KR0I5				CSIG0SI	
P0_14	TAUJ0I2	TAUJ0O2 / DPO ^c	KR0I6				CSIG0DCS ^b	CSIG0SO
P0_15	TAUJ0I3	TAUJ0O3 / APO ^c	KR0I7				CSIG0SC ^a	
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB0I1	TAUB0O1						FCN0TX
P1_2	TAUB0I2	TAUB0O2						
P1_3	TAUB0I3	TAUB0O3						
P1_4	TAUB0I4	TAUB0O4						
P1_5	TAUB0I5	TAUB0O5						
P1_6	TAUB0I6	TAUB0O6						
P1_7	TAUB0I7	TAUB0O7					FCN0RX	
P1_8	TAUB0I8	TAUB0O8						
P1_9	TAUB0I9	TAUB0O9	INTP3					
P1_10	TAUB0I10	TAUB0O10					INTP4	
P1_11	TAUB0I11	TAUB0O11						
Port group 3 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P3_4			TAUB0I4	TAUB0O4	KR0I5		CSIG0RYI	CSIG0RYO
P3_5			TAUB0I5	TAUB0O5	KR0I4		CSIG0SC ^a	
P3_6			TAUB0I6	TAUB0O6			CSIG0DCS ^b	CSIG0SO
P3_7			TAUB0I7	TAUB0O7			CSIG0SI	
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_0			TAUB0I13	TAUB0O13				
P4_1			TAUB0I14	TAUB0O14				
P4_2			TAUB0I15	TAUB0O15				

表 2-32 V850E2/FF4-L 汎用 I/O 機能 (2/2)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P4_3			CSIG0SI	URTE10TX				
P4_4	INTP2		URTE10RX	CSIG0SO				
P4_5			CSIG0SC ^a		KR0I3			
P4_6			CSIG4SI	URTE11TX	KR0I2			
P4_7	INTP4		URTE11RX	CSIG4SO	KR0I1			
P4_8			CSIG4SC ^a		KR0I0			
P4_9				CSIG0RYO				
P4_10			CSIG4RYI					
Port group 10 (Isolated-Area-0, A0VREFF/A0VSS(AVREFM) power supply):^g								
P10_0								
P10_1								
P10_2								
P10_3								
P10_4								
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
P10_12								
P10_13								
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- この兼用機能を使用するときは、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- この兼用機能を使用するときは、CSIGNCTL1.CSIGNDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでデータ整合性チェックが可能です。
- この兼用機能を使用するときは、8.4.2 「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- この兼用機能を使用するときは、19.2 「I²C インタフェースポートの設定」を参照ください。
- ポート P10 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを “1” に設定してください。

(2) V850E2/FF4-L ポート制御レジスタ

V850E2/FF4-L のポートを制御するレジスタとそのアドレス，初期値について示します。

表凡例 A：レジスタ・アドレス

I：初期値

B：有効ビット

– 1：有効 X：無効

– 右側：ビット0，左側：ビット15もしくはビット7

レジスタ（32ビット長）のビット16-31は，ビット0-15の有効ビット範囲と同等です。

ただし，PODCn レジスタのビット16-31は無効ビットです。

表 2-33 V850E2/FF4-L ポート制御レジスタ（グループ0, 1, 3, 4）(1/2)

Register		Port group n =			
		0	1	3	4
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 000C _H	FF40 0010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 010C _H	FF40 0110 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 070C _H	FF40 0710 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 020C _H	FF40 0210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 030C _H	FF40 0310 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 040C _H	FF40 0410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 050C _H	FF40 0510 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 1111 1111	xxxx x11x 1xxx xx1x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 060C _H	FF40 0610 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 xx11 1111 1111	xxxx x1xx 1xxx xx1x	xxxx xxxx 1111 xxxx	xxxx xxx1 111x xxxx
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 080C _H	FF40 0810 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111

表 2-33 V850E2/FF4-L ポート制御レジスタ (グループ 0, 1, 3, 4) (2/2)

Register		Port group n =			
		0	1	3	4
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 090C _H	FF40 0910 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 400C _H	FF40 4010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 410C _H	FF40 4110 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 420C _H	FF40 4210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PU _n	A:	FF40 4300 _H	FF40 4304 _H	FF40 430C _H	FF40 4310 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PD _n	A:	FF40 4400 _H	FF40 4404 _H	FF40 440C _H	FF40 4410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 450C _H	FF40 4510 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 470C _H	FF40 4710 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 480C _H	FF40 4810 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 x111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx x111 1111 1111
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C0C _H	FF40 4C10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTS _n	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B0C _H	FF40 4B10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-34 V850E2/FF4-L ポート制御レジスタ (グループ 10, JP0) (1/3)

Register		Port group n =		
		10	JP0 ^a	
P _n	A:	FF40 0028 _H	FF44 0000 _H	
	I:	0000 _H	00 _H	
	B:	xx11 1111 1111 1111	xx11 1111	

表 2-34 V850E2/FF4-L ポート制御レジスタ (グループ 10, JP0) (2/3)

Register		Port group n =			
		10	JP0 ^a		
PSRn	A:	FF40 0128 _H	FF44 0010 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xx11 1111 1111 1111	xxxx xxxx xx11 1111		
PNOTn	A:	FF40 0728 _H	FF44 0070 _H		
	I:	0000 _H	00 _H		
	B:	xx11 1111 1111 1111	xx11 1111		
PPRn	A:	FF40 0228 _H	FF44 0020 _H		
	I:	0000 _H	00 _H		
	B:	xx11 1111 1111 1111	xx11 1111		
PMn	A:	FF40 0328 _H	FF44 0030 _H		
	I:	FFFF _H	FF _H		
	B:	xx11 1111 1111 1111	xx11 1111		
PMCn	A:	FF40 0428 _H	FF44 0040 _H		
	I:	0000 _H	00 _H		
	B:	xxxx 111x xxxx xxxx	xx1x 1111		
PFCn	A:	–	FF44 0050 _H		
	I:		00 _H		
	B:		xxxx 1111		
PMSRn	A:	FF40 0828 _H	FF44 0080 _H		
	I:	0000 FFFF _H	0000 00FF _H		
	B:	xx11 1111 1111 1111	xxxx xxxx xx11 1111		
PMCSRn	A:	FF40 0928 _H	FF44 0090 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xxxx 111x xxxx xxxx	xxxx xxxx xx1x 1111		
PIBCn	A:	FF40 4028 _H	FF44 0400 _H		
	I:	0000 _H	00 _H		
	B:	xx11 1111 1111 1111	xx11 1111		
PBDCn	A:	FF40 4128 _H	FF44 0410 _H		
	I:	0000 _H	00 _H		
	B:	xx11 1111 1111 1111	xx11 1111		
PUn	A:	–	FF44 0430 _H		
	I:		00 _H		
	B:		xx11 1111		
PDn	A:	–	FF44 0440 _H		
	I:		00 _H		
	B:		xx11 1111		
PODCn	A:	FF40 4528 _H	FF44 0450 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xx11 1111 1111 1111	xxxx xxxx xx11 1111		
PISn	A:	–	FF44 0470 _H		
	I:		FF _H		
	B:		xx11 1111		

表 2-34 V850E2/FF4-L ポート制御レジスタ (グループ 10, JP0) (3/3)

Register		Port group n =			
		10	JP0 ^a		
PISEn	A:	-	FF44 0480 _H		
	I:		FF _H		
	B:		xx11 1111		
PPCMDn	A:	FF40 4C28 _H	FF44 04C0 _H		
	I:	00 _H	00 _H		
	B:	1111 1111	1111 1111		
PPROTS _n	A:	FF40 4B28 _H	FF44 04B0 _H		
	I:	00 _H	00 _H		
	B:	xxxx xxx1	xxxx xxx1		

^{a)} JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n = 0”とした名称になります。
例えば、Pn のレジスタ名称は、JP0 になります。

2.4.5 V850E2/FG4-L ポート機能

V850E2/FG4-L のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FG4-L のポート機能と兼用機能について表 2-35 「V850E2/FG4-L 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-35 V850E2/FG4-L 汎用 I/O 機能 (1/3)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SS ⁱ		ADCA0TRG0		INTP0	
P0_1	DPIN1		CSIG4DCS ^b	CSIG4SO	URTE2RX		INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0TRG2	URTE2TX	INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX / DPIN5 ^c						INTP12	
P0_6	FCN1RX / DPIN6 ^c	URTE11TX	KR01		NMI			
P0_7	URTE11RX / DPIN7 ^c	FCN1TX	KR02		INTP4			
P0_8	DPIN8	URTE10TX	KR03		INTP5	TAUB005		IICB0SDA ^d
P0_9	URTE10RX / DPIN9 ^c		KR04		INTP6	TAUB006		IICB0SCL ^d
P0_10	DPIN10	URTE11TX			INTP9			
P0_11	URTE11RX / DPIN11 ^c				INTP10			
P0_12	TAUJ010 / DPIN12 ^c	TAUJ000	KR010		INTP8			CSIG0SS ⁱ
P0_13	TAUJ011 / DPIN13 ^c	TAUJ001	KR015		INTP7			CSIG0SI
P0_14	TAUJ012	TAUJ002 / DPO ^c	KR016				CSIG0DCS ^b	CSIG0SO
P0_15	TAUJ013	TAUJ003 / APO ^c	KR017				CSIG0SC ^a	
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB011	TAUB001					FCN1RX	FCN0TX
P1_2	TAUB012	TAUB002					CSIG7SI	FCN1TX
P1_3	TAUB013	TAUB003					CSIG7DCS ^b	CSIG7SO
P1_4	TAUB014	TAUB004					CSIG7SC ^a	
P1_5	TAUB015	TAUB005					CSIG7RYI	CSIG7RYO
P1_6	TAUB016	TAUB006					CSIG7SS ⁱ	
P1_7	TAUB017	TAUB007					FCN0RX	
P1_8	TAUB018	TAUB008						

表 2-35 V850E2/FG4-L 汎用 I/O 機能 (2/3)

Port mode	兼用機能							
PMNm = 0	PMNm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P1_9	TAUB0I9	TAUB0O9	INTP3					
P1_10	TAUB0I10	TAUB0O10					INTP4	
P1_11	TAUB0I11	TAUB0O11					INTP5	
P1_12	TAUB0I12	TAUB0O12					INTP6	
P1_13	TAUB0I13	TAUB0O13					INTP7	
P1_14	TAUB0I14	TAUB0O14					INTP8	
P1_15	TAUB0I15	TAUB0O15					INTP9	
Port group 3 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P3_2			TAUB0I2	TAUB0O2	KR0I7			
P3_3			TAUB0I3	TAUB0O3	KR0I6			
P3_4			TAUB0I4	TAUB0O4	KR0I5		CSIG0RYI	CSIG0RYO
P3_5			TAUB0I5	TAUB0O5	KR0I4		CSIG0SC ^a	
P3_6			TAUB0I6	TAUB0O6			CSIG0DCS ^a	CSIG0SO
P3_7			TAUB0I7	TAUB0O7			CSIG0SI	
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_0			TAUB0I13	TAUB0O13				
P4_1			TAUB0I14	TAUB0O14			URTE2RX	
P4_2			TAUB0I15	TAUB0O15				URTE2TX
P4_3			CSIG0SI	URTE10TX				
P4_4	INTP2		URTE10RX	CSIG0SO				
P4_5			CSIG0SC ^a		KR0I3			
P4_6			CSIG4SI	URTE11TX	KR0I2			
P4_7	INTP4		URTE11RX	CSIG4SO	KR0I1			
P4_8			CSIG4SC ^a		KR0I0			
P4_9				CSIG0RYO				
P4_10			CSIG4RYI					
Port group 10 (Isolated-Area-0, A0VREFF/A0VSS(AVREFM) power supply):^g								
P10_0								
P10_1								
P10_2								
P10_3								
P10_4								
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
P10_12								
P10_13								
P10_14								

表 2-35 V850E2/FG4-L 汎用 I/O 機能 (3/3)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P10_15								
Port group 11 (Isolated-Area-0, A0VREFP/A0VSS(AVREFM) power supply): ⁹⁾								
P11_0								
P11_1								
P11_2								
P11_3								
P11_8								
P11_9								
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- この兼用機能を使用するときは、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- この兼用機能を使用するときは、CSIGNCTL1.CSIGNDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでもデータ整合性チェックが可能です。
- この兼用機能を使用するときは、8.4.2 「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- この兼用機能を使用するときは、19.2 「I²C インタフェースポートの設定」を参照ください。
- ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを “1” に設定してください。

(2) V850E2/FG4-L ポート制御レジスタ

V850E2/FG4-L のポートを制御するレジスタとそのアドレス，初期値について示します。

表凡例 A：レジスタ・アドレス

I：初期値

B：有効ビット

– 1：有効 X：無効

– 右側：ビット0，左側：ビット15もしくはビット7

レジスタ（32ビット長）のビット16-31は，ビット0-15の有効ビット範囲と同等です。

ただし，PODCn レジスタのビット16-31は無効ビットです。

表 2-36 V850E2/FG4-L ポート制御レジスタ（グループ0, 1, 3, 4）(1/2)

Register		Port group n =			
		0	1	3	4
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 000C _H	FF40 0010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 010C _H	FF40 0110 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 070C _H	FF40 0710 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 020C _H	FF40 0210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 030C _H	FF40 0310 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 040C _H	FF40 0410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 050C _H	FF40 0510 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 111x 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 060C _H	FF40 0610 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 11xx 1111 111x	xxxx xxxx 1111 11xx	xxxx xxx1 111x x11x
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 080C _H	FF40 0810 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111

表 2-36 V850E2/FG4-L ポート制御レジスタ (グループ 0, 1, 3, 4) (2/2)

Register		Port group n =			
		0	1	3	4
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 090C _H	FF40 0910 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 400C _H	FF40 4010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 410C _H	FF40 4110 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 420C _H	FF40 4210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 430C _H	FF40 4310 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 440C _H	FF40 4410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 450C _H	FF40 4510 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 470C _H	FF40 4710 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 480C _H	FF40 4810 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx x111 1111 1111
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C0C _H	FF40 4C10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B0C _H	FF40 4B10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-37 V850E2/FG4-L ポート制御レジスタ (グループ 10, 11, JP0) (1/2)

Register		Port group n =			
		10	11	JP0 ^a	
Pn	A:	FF40 0028 _H	FF40 002C _H	FF44 0000 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PSRn	A:	FF40 0128 _H	FF40 012C _H	FF44 0010 _H	
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xxxx xxxx xx11 1111	
PNOTn	A:	FF40 0728 _H	FF40 072C _H	FF44 0070 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PPRn	A:	FF40 0228 _H	FF40 022C _H	FF44 0020 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PMn	A:	FF40 0328 _H	FF40 032C _H	FF44 0030 _H	
	I:	FFFF _H	FFFF _H	FF _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PMCn	A:	FF40 0428 _H	–	FF44 0040 _H	
	I:	0000 _H		00 _H	
	B:	xxxx 111x xxxx xxxx		xx1x 1111	
PFCn	A:	–	–	FF44 0050 _H	
	I:			00 _H	
	B:			xxxx 1111	
PMSRn	A:	FF40 0828 _H	FF40 082C _H	FF44 0080 _H	
	I:	0000 FFFF _H	0000 FFFF _H	0000 00FF _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xxxx xxxx xx11 1111	
PMCSRn	A:	FF40 0928 _H	–	FF44 0090 _H	
	I:	0000 0000 _H		0000 0000 _H	
	B:	xxxx 111x xxxx xxxx		xxxx xxxx xx1x 1111	
PIBCn	A:	FF40 4028 _H	FF40 402C _H	FF44 0400 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PBDCn	A:	FF40 4128 _H	FF40 412C _H	FF44 0410 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xx11 1111	
PUn	A:	–	–	FF44 0430 _H	
	I:			00 _H	
	B:			xx11 1111	
PDn	A:	–	–	FF44 0440 _H	
	I:			00 _H	
	B:			xx11 1111	
PODCn	A:	FF40 4528 _H	FF40 452C _H	FF44 0450 _H	
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	1111 1111 1111 1111	xxxx xx11 xxxx 1111	xxxx xxxx xx11 1111	

表 2-37 V850E2/FG4-L ポート制御レジスタ (グループ 10, 11, JP0) (2/2)

Register		Port group n =			
		10	11	JP0 ^a	
PISn	A:	–	–	FF44 0470 _H	
	I:			FF _H	
	B:			xx11 1111	
PISEn	A:	–	–	FF44 0480 _H	
	I:			FF _H	
	B:			xx11 1111	
PPCMDn	A:	FF40 4C28 _H	FF40 4C2C _H	FF44 04C0 _H	
	I:	00 _H	00 _H	00 _H	
	B:	1111 1111	1111 1111	1111 1111	
PPROTSn	A:	FF40 4B28 _H	FF40 4B2C _H	FF44 04B0 _H	
	I:	00 _H	00 _H	00 _H	
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	

- a) JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n = 0”とした名称になります。
例えば、Pn のレジスタ名称は、JP0 になります。

2.4.6 V850E2/FJ4-L ポート機能

V850E2/FJ4-L のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FJ4-L のポート機能と兼用機能について表 2-38 「V850E2/FJ4-L 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (1/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SSI		ADCA0TRG0		INTP0	
P0_1	DPIN1		CSIG4DCS ^c	CSIG4SO	URTE2RX		INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0TRG2	URTE2TX	INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX / DPIN5 ^d						INTP12	
P0_6	FCN1RX / DPIN6 ^d	URTE11TX	KR0I1		NMI			
P0_7	URTE11RX / DPIN7 ^d	FCN1TX	KR0I2		INTP4			
P0_8	DPIN8	URTE10TX	KR0I3		INTP5	TAUB005		IICB0SDA ^e
P0_9	URTE10RX / DPIN9 ^d		KR0I4		INTP6	TAUB006		IICB0SCL ^e
P0_10	DPIN10	URTE11TX			INTP9			
P0_11	URTE11RX / DPIN11 ^d				INTP10			
P0_12	TAUJ0I0 / DPIN12 ^d	TAUJ0O0	KR0I0		INTP8		CSIG0SSI	
P0_13	TAUJ0I1 / DPIN13 ^d	TAUJ0O1	KR0I5		INTP7		CSIG0SI	
P0_14	TAUJ0I2	TAUJ0O2 / DPO ^d	KR0I6			TAUB1O13	CSIG0DCS ^c	CSIG0SO
P0_15	TAUJ0I3	TAUJ0O3 / APO ^d	KR0I7			TAUB1O14	CSIG0SC ^a	
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB0I1	TAUB0O1					FCN1RX	FCN0TX
P1_2	TAUB0I2	TAUB0O2					CSIG7SI	FCN1TX
P1_3	TAUB0I3	TAUB0O3					CSIG7DCS ^c	CSIG7SO
P1_4	TAUB0I4	TAUB0O4					CSIG7SC ^a	
P1_5	TAUB0I5	TAUB0O5					CSIG7RYI	CSIG7RYO
P1_6	TAUB0I6	TAUB0O6					CSIG7SSI	
P1_7	TAUB0I7	TAUB0O7					FCN0RX	

表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (2/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P1_8	TAUB0I8	TAUB0O8						URTE4TX ^b
P1_9	TAUB0I9	TAUB0O9	INTP3				URTE4RX ^b	
P1_10	TAUB0I10	TAUB0O10		URTE3TX ^b			INTP4	
P1_11	TAUB0I11	TAUB0O11	URTE3RX ^b				INTP5	
P1_12	TAUB0I12	TAUB0O12		URTE4TX ^b			INTP6	
P1_13	TAUB0I13	TAUB0O13	URTE4RX ^b				INTP7	
P1_14	TAUB0I14	TAUB0O14					INTP8	
P1_15	TAUB0I15	TAUB0O15					INTP9	
Port group 2 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P2_0							INTP10	
Port group 3 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P3_2			TAUB0I2	TAUB0O2	KR0I7			
P3_3			TAUB0I3	TAUB0O3	KR0I6			
P3_4			TAUB0I4	TAUB0O4	KR0I5		CSIG0RYI	CSIG0RYO
P3_5			TAUB0I5	TAUB0O5	KR0I4		CSIG0SC ^a	
P3_6			TAUB0I6	TAUB0O6			CSIG0DCS ^c	CSIG0SO
P3_7			TAUB0I7	TAUB0O7			CSIG0SI	URTE3TX ^b
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_0	TAUB1I1	TAUB1O1	TAUB0I13	TAUB0O13				
P4_1	TAUB1I2	TAUB1O2	TAUB0I14	TAUB0O14			URTE2RX	
P4_2	TAUB1I3	TAUB1O3	TAUB0I15	TAUB0O15				URTE2TX
P4_3	TAUB1I5	TAUB1O5	CSIG0SI	URTE10TX			INTP10	
P4_4	INTP2	TAUB1O6	URTE10RX	CSIG0SO				
P4_5	TAUB1I7	TAUB1O7	CSIG0SC ^a		KR0I3			
P4_6	TAUB1I9	TAUB1O9	CSIG4SI	URTE11TX	KR0I2			
P4_7	INTP4	TAUB1O10	URTE11RX	CSIG4SO	KR0I1			
P4_8	TAUB1I11	TAUB1O11	CSIG4SC ^a		KR0I0			
P4_9	TAUB1I13	TAUB1O13		CSIG0RYO				
P4_10	TAUB1I14	TAUB1O14	CSIG4RYI					
P4_11	TAUB1I15	TAUB1O15						
Port group 5(Always-On-Area, E0VDD/E0VSS power supply):								
P5_0								
P5_1								
P5_2								
P5_3								
P5_4								
Port group 10 (Isolated-Area-0, A0VREFF/A0VSS (AVREFM) power supply):^f								
P10_0								
P10_1								
P10_2								
P10_3								
P10_4								

表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (3/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
P10_12								
P10_13								
P10_14								
P10_15								
Port group 11 (Isolated-Area-0, A0VREFP/A0VSS (AVREFM) power supply):^f								
P11_0								
P11_1								
P11_2								
P11_3								
P11_4								
P11_5								
P11_6								
P11_7								
P11_8								
P11_9								
Port group 21 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P21_2	INTP10		CSIG7SI			IICB0SDA ^e		
P21_3	INTP11		CSIG7DCS ^c	CSIG7SO		IICB0SCL ^e		
P21_4	INTP12		CSIG7SC ^a					
P21_5	INTP13		CSIG7RYI	CSIG7RYO				
P21_6	INTP14		CSIG7SSI					
P21_7								
P21_8								
P21_9								
P21_10								
P21_11								

表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (4/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 25 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P25_0	INTP6							
P25_1								
P25_2								
P25_3					CSIG4SI			
P25_4			INTP7			CSIG4SO		
P25_5					CSIG4SC ^a			
P25_6								
P25_7								
P25_8								
P25_9								
P25_10								
P25_11								
P25_12						IICB0SDA ^e		
P25_13						IICB0SCL ^e		
P25_14			INTP5					
P25_15								
Port group 27 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P27_0	INTP0							
P27_1	INTP1							
P27_2	INTP2							
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- この兼用機能を使用するときは、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- この兼用機能は、μPD70F3582 では使用できません。
- この兼用機能を使用するときは、CSIGNCTL1.CSIGNDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでデータ整合性チェックが可能です。
- この兼用機能を使用するときは、8.4.2「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- この兼用機能を使用するときは、19.2「I²C インタフェースポートの設定」を参照ください。
- ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを“1”に設定してください。

(2) V850E2/FJ4-L ポート制御レジスタ

V850E2/FJ4-L のポートを制御するレジスタとそのアドレス、初期値について示します。

表凡例 A : レジスタ・アドレス

I : 初期値

B : 有効ビット

– 1 : 有効 X : 無効

– 右側 : ビット 0, 左側 : ビット 15 もしくは ビット 7

レジスタ (32 ビット長) のビット 16-31 は、ビット 0-15 の有効ビット範囲と同等です。

ただし、PODCn レジスタのビット 16-31 は無効ビットです。

表 2-39 V850E2/FJ4-L ポート制御レジスタ (グループ 0-3) (1/2)

Register		Port group n =			
		0	1	2	3
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 0008 _H	FF40 000C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 0108 _H	FF40 010C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 0708 _H	FF40 070C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 0208 _H	FF40 020C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 0308 _H	FF40 030C _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 0408 _H	FF40 040C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 0508 _H	FF40 050C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 0608 _H	FF40 060C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 0808 _H	FF40 080C _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 0908 _H	FF40 090C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx

表 2-39 V850E2/FJ4-L ポート制御レジスタ (グループ 0-3) (2/2)

Register		Port group n =			
		0	1	2	3
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 4008 _H	FF40 400C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 4108 _H	FF40 410C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	—	FF40 420C _H
	I:	0000 _H	0000 _H		0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x		xxxx xxxx 1111 11xx
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 4308 _H	FF40 430C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 4408 _H	FF40 440C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 4508 _H	FF40 450C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 4708 _H	FF40 470C _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 4808 _H	FF40 480C _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx xxx1	xxxx xxxx 1111 11xx
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C08 _H	FF40 4C0C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B08 _H	FF40 4B0C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-40 V850E2/FJ4-L ポート制御レジスタ (グループ 4, 5, 10, 11) (1/3)

Register		Port group n =			
		4	5	10	11
Pn	A:	FF40 0010 _H	FF40 0014 _H	FF40 0028 _H	FF40 002C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PSRn	A:	FF40 0110 _H	FF40 0114 _H	FF40 0128 _H	FF40 012C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111

表 2-40 V850E2/FJ4-L ポート制御レジスタ (グループ 4, 5, 10, 11) (2/3)

Register		Port group n =			
		4	5	10	11
PNOTn	A:	FF40 0710 _H	FF40 0714 _H	FF40 0728 _H	FF40 072C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PPRn	A:	FF40 0210 _H	FF40 0214 _H	FF40 0228 _H	FF40 022C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PMn	A:	FF40 0310 _H	FF40 0314 _H	FF40 0328 _H	FF40 032C _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PMCn	A:	FF40 0410 _H	–	FF40 0428 _H	–
	I:	0000 _H		0000 _H	
	B:	xxxx 1111 1111 1111		xxxx 111x xxxx xxxx	
PFCn	A:	FF40 0510 _H	–	–	–
	I:	0000 _H			
	B:	xxxx 1111 1111 1111			
PFCEn	A:	FF40 0610 _H	–	–	–
	I:	0000 _H			
	B:	xxxx xxx1 111x 111x			
PMSRn	A:	FF40 0810 _H	FF40 0814 _H	FF40 0828 _H	FF40 082C _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PMCSRn	A:	FF40 0910 _H	–	FF40 0928 _H	–
	I:	0000 0000 _H		0000 0000 _H	
	B:	xxxx 1111 1111 1111		xxxx 111x xxxx xxxx	
PIBCn	A:	FF40 4010 _H	FF40 4014 _H	FF40 4028 _H	FF40 402C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111	1111 1111 1111 1111	xxxx xx11 1111 1111
PBDCn	A:	FF40 4110 _H	–	FF40 4128 _H	FF40 412C _H
	I:	0000 _H		0000 _H	0000 _H
	B:	xxxx 1111 1111 1111		1111 1111 1111 1111	xxxx xx11 1111 1111
PIPCn	A:	FF40 4210 _H	–	–	–
	I:	0000 _H			
	B:	xxxx 1111 1111 1111			
PUn	A:	FF40 4310 _H	FF40 4314 _H	–	–
	I:	0000 _H	0000 _H		
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111		
PDn	A:	FF40 4410 _H	FF40 4414 _H	–	–
	I:	0000 _H	0000 _H		
	B:	xxxx 1111 1111 1111	xxxx xxxx xxx1 1111		
PODCn	A:	FF40 4510 _H	–	FF40 4528 _H	FF40 452C _H
	I:	0000 0000 _H		0000 0000 _H	0000 0000 _H
	B:	xxxx 1111 1111 1111		1111 1111 1111 1111	xxxx xx11 1111 1111

表 2-40 V850E2/FJ4-L ポート制御レジスタ (グループ 4, 5, 10, 11) (3/3)

Register		Port group n =			
		4	5	10	11
PISn	A:	FF40 4710 _H	–	–	–
	I:	FFFF _H			
	B:	xxxx 1111 1111 1111			
PISEn	A:	FF40 4810 _H	–	–	–
	I:	FFFF _H			
	B:	xxxx 1111 1111 1111			
PPCMDn	A:	FF40 4C10 _H	–	FF40 4C28 _H	FF40 4C2C _H
	I:	00 _H		00 _H	00 _H
	B:	1111 1111		1111 1111	1111 1111
PPROTSn	A:	FF40 4B10 _H	–	FF40 4B28 _H	FF40 4B2C _H
	I:	00 _H		00 _H	00 _H
	B:	xxxx xxx1		xxxx xxx1	xxxx xxx1

表 2-41 V850E2/FJ4-L ポート制御レジスタ (グループ 21, 25, 27, JP0) (1/2)

Register		Port group n =			
		21	25	27	JP0 ^a
Pn	A:	FF40 0054 _H	FF40 0064 _H	FF40 006C _H	FF44 0000 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PSRn	A:	FF40 0154 _H	FF40 0164 _H	FF40 016C _H	FF44 0010 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xxxx xxxx xx11 1111
PNOTn	A:	FF40 0754 _H	FF40 0764 _H	FF40 076C _H	FF44 0070 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PPRn	A:	FF40 0254 _H	FF40 0264 _H	FF40 026C _H	FF44 0020 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PMn	A:	FF40 0354 _H	FF40 0364 _H	FF40 036C _H	FF44 0030 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FF _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PMCn	A:	FF40 0454 _H	FF40 0464 _H	FF40 046C _H	FF44 0040 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx xxxx x111 11xx	x111 xxxx xx11 1xx1	xxxx xxxx xxxx x111	xx1x 1111
PFCn	A:	FF40 0554 _H	FF40 0564 _H	–	FF44 0050 _H
	I:	0000 _H	0000 _H		00 _H
	B:	xxxx xxxx x111 11xx	x111 xxxx xx11 1xx1		xxxx 1111
PFCEn	A:	FF40 0654 _H	FF40 0664 _H	–	–
	I:	0000 _H	0000 _H		
	B:	xxxx xxxx xxxx 11xx	xx11 xxxx xx11 1xxx		
PMSRn	A:	FF40 0854 _H	FF40 0864 _H	FF40 086C _H	FF44 0080 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 00FF _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xxxx xxxx xx11 1111
PMCSRn	A:	FF40 0954 _H	FF40 0964 _H	FF40 096C _H	FF44 0090 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xxxx xxxx x111 11xx	x111 xxxx xx11 1xx1	xxxx xxxx xxxx x111	xxxx xxxx xx1x 1111
PIBCn	A:	FF40 4054 _H	FF40 4064 _H	FF40 406C _H	FF44 0400 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PBDCn	A:	FF40 4154 _H	FF40 4164 _H	FF40 416C _H	FF44 0410 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PIPCn	A:	FF40 4254 _H	FF40 4264 _H	–	–
	I:	0000 _H	0000 _H		
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111		
PUn	A:	FF40 4354 _H	FF40 4364 _H	FF40 436C _H	FF44 0430 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111

表 2-41 V850E2/FJ4-L ポート制御レジスタ (グループ 21, 25, 27, JP0) (2/2)

Register		Port group n =			
		21	25	27	JP0 ^a
PDn	A:	FF40 4454 _H	FF40 4464 _H	FF40 446C _H	FF44 0440 _H
	I:	0000 _H	0000 _H	0000 _H	00 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PODCn	A:	FF40 4554 _H	FF40 4564 _H	FF40 456C _H	FF44 0450 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xxxx xxxx xx11 1111
PISn	A:	FF40 4754 _H	FF40 4764 _H	FF40 476C _H	FF44 0470 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FF _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PISEn	A:	FF40 4854 _H	FF40 4864 _H	FF40 486C _H	FF44 0480 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FF _H
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	xx11 1111
PPCMDn	A:	FF40 4C54 _H	FF40 4C64 _H	FF40 4C6C _H	FF44 04C0 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B54 _H	FF40 4B64 _H	FF40 4B6C _H	FF44 04B0 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

- a) JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n = 0”とした名称になります。
例えば、Pn のレジスタ名称は、JP0 になります。

2.4.7 V850E2/FF4-G ポート機能

V850E2/FF4-G のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FF4-G のポート機能と兼用機能について表 2-42 「V850E2/FF4-G 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-42 V850E2/FF4-G 汎用 I/O 機能 (1/3)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SSI		ADCA0 TRG0		INTP0	
P0_1	DPIN1		CSIG4 DCS ^c	CSIG4SO			INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0 TRG2		INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0 TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX/ DPIN5 ^d						INTP12	
P0_6	FCN1RX/ DPIN6 ^d	URTE11TX	KR011		NMI			
P0_7	URTE11RX/ DPIN7 ^d	FCN1TX	KR012		INTP4			
P0_8	DPIN8	URTE10TX	KR013	FCNT3TX ^b		TAUB005		IICB0SDA ^e
P0_9	URTE10RX/ DPIN9 ^d	FCN2TX	KR014		INTP6	TAUB006		IICB0SCL ^e
P0_10	DPIN10	URTE11TX	FCN3RX ^b					
P0_11	URTE11RX/ DPIN11 ^d		FCN2RX					
P0_12	TAUJ010/ DPIN12 ^d	TAUJ000	KR010		INTP8	FCN4TX ^b	CSIG0SSI	
P0_13	TAUJ011/ DPIN13 ^d	TAUJ001	KR015			FCN5TX ^b	CSIG0SI	
P0_14	TAUJ012	TAUJ002/ DPO ^d	KR016		FCN5RX ^b		CSIG0DCS ^c	CSIG0SO
P0_15	TAUJ013	TAUJ003/ APO ^d	KR017		FCN4RX ^b		CSIG0SC ^a	

表 2-42 V850E2/FF4-G 汎用 I/O 機能 (2/3)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB011	TAUB001					FCN1RX	FCN0TX
P1_2	TAUB012	TAUB002						FCN1TX
P1_3	TAUB013	TAUB003	FCN3RX ^b					
P1_4	TAUB014	TAUB004		FCN3TX ^b				
P1_5	TAUB015	TAUB005	FCN4RX ^b					
P1_6	TAUB016	TAUB006		FCN4TX ^b				
P1_7	TAUB017	TAUB007					FCN0RX	
P1_8	TAUB018	TAUB008					FCN2RX	
P1_9	TAUB019	TAUB009	INTP3					FCN2TX
P1_10	TAUB0110	TAUB0010	FCN5RX ^b				INTP4	
P1_11	TAUB0111	TAUB0011		FCN5TX ^b				
Port group 3 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P3_4			TAUB014	TAUB004	KR015		CSIG0RYI	CSIG0RYO
P3_5			TAUB015	TAUB005	KR014		CSIG0SC ^a	
P3_6			TAUB016	TAUB006			CSIG0DCS ^c	CSIG0SO
P3_7			TAUB017	TAUB007			CSIG0SI	
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_0			TAUB0113	TAUB0013			FCN0RX	
P4_1			TAUB0114	TAUB0014				FCN0TX
P4_2			TAUB0115	TAUB0015			FCN1RX	
P4_3			CSIG0SI	URTE10TX				FCN1TX
P4_4	INTP2		URTE10RX	CSIG0SO			FCN2RX	
P4_5			CSIG0SC ^a		KR013			FCN2TX
P4_6			CSIG4SI	URTE11TX	KR012		FCN3RX ^b	
P4_7	INTP4		URTE11RX	CSIG4SO	KR011			FCN3TX ^b
P4_8			CSIG4SC ^a		KR010		FCN4RX ^b	
P4_9				CSIG0RYO				FCN4TX ^b
P4_10			CSIG4RYI				FCN5RX ^b	
P4_11								FCN5TX ^b

表 2-42 V850E2/FF4-G 汎用 I/O 機能 (3/3)

Port mode	兼用機能							
PMNm = 0	PMNm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 10 (Isolated-Area-0, A0VREFP/A0VSS (AVREFM) power supply):^f								
P10_3								
P10_4								
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0 TRG0							
P10_10	ADCA0 TRG1							
P10_11	ADCA0 TRG2							
P10_12								
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- この兼用機能を使用する時は、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- この兼用機能は、μPD70F4177 では使用できません。
- この兼用機能を使用するときは、CSIGnCTL1.CSIGnDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでもデータ整合性チェックが可能です。
- この兼用機能を使用するときは、8.4.2「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- この兼用機能を使用するときは、19.2「I²C インタフェースポートの設定」を参照ください。
- ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを“1”に設定してください。

(2) V850E2/FF4-G ポート制御レジスタ

V850E2/FF4-G のポートを制御するレジスタとそのアドレス、初期値について示します。

表凡例 A : レジスタ・アドレス

I : 初期値

B : 有効ビット

– 1 : 有効 X : 無効

– 右側 : ビット 0, 左側 : ビット 15 もしくはビット 7

レジスタ (32 ビット長) のビット 16-31 は、ビット 0-15 の有効ビット範囲と同等です。

ただし、PODCn レジスタのビット 16-31 は無効ビットです。

有効ビットのうち、2 つの値を記入しているレジスタについては、上段が μ PD70F4178、下段が μ PD70F4177 の有効ビットを示しています。

表 2-43 V850E2/FF4-G ポート制御レジスタ (グループ 0, 1, 3, 4) (1/2)

Register		Port group n =			
		0	1	3	4
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 000C _H	FF40 0010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 010C _H	FF40 0110 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 070C _H	FF40 0710 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 020C _H	FF40 0210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 030C _H	FF40 0310 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PMcn	A:	FF40 0400 _H	FF40 0404 _H	FF40 040C _H	FF40 0410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 050C _H	FF40 0510 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111 1111 1x11 1111 1111	xxxx 1111 1111 111x xxxx x111 1xxx x11x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111 xxxx x111 1111 1111
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 060C _H	FF40 0610 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1x11 1111 1111	xxxx 1111 1xxx x11x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111 xxxx xxx1 1111 1111

表 2-43 V850E2/FF4-G ポート制御レジスタ (グループ 0, 1, 3, 4) (2/2)

Register		Port group n =			
		0	1	3	4
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 080C _H	FF40 0810 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 090C _H	FF40 0910 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 400C _H	FF40 4010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 410C _H	FF40 4110 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 420C _H	FF40 4210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 430C _H	FF40 4310 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 440C _H	FF40 4410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 450C _H	FF40 4510 _H
	I:	0000 0000 _H	0000 0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 470C _H	FF40 4710 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 480C _H	FF40 4810 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	xxxx 1111 1111 111x	xxxx xxxx 1111 xxxx	xxxx 1111 1111 1111
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C0C _H	FF40 4C10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPRO TSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B0C _H	FF40 4B10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-44 V850E2/FF4-G ポート制御レジスタ (グループ 10, JP0) (1/2)

Register		Port group n =			
		10	JP0 ^a		
Pn	A:	FF40 0028 _H	FF44 0000 _H		
	I:	0000 _H	00 _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PSRn	A:	FF40 0128 _H	FF44 0010 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xxx1 1111 1111 1xxx	xxxx xxxx xx11 1111		
PNOTn	A:	FF40 0728 _H	FF44 0070 _H		
	I:	0000 _H	00 _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PPRn	A:	FF40 0228 _H	FF44 0020 _H		
	I:	0000 _H	00 _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PMn	A:	FF40 0328 _H	FF44 0030 _H		
	I:	FFFF _H	FF _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PMCn	A:	FF40 0428 _H	FF44 0040 _H		
	I:	0000 _H	00 _H		
	B:	xxxx 111x xxxx xxxx	xx1x 1111		
PFCn	A:	–	FF44 0050 _H		
	I:		00 _H		
	B:		xxxx 1111		
PMSRn	A:	FF40 0828 _H	FF44 0080 _H		
	I:	0000 FFFF _H	0000 00FF _H		
	B:	xxx1 1111 1111 1xxx	xxxx xxxx xx11 1111		
PMCSRn	A:	FF40 0928 _H	FF44 0090 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xxxx 111x xxxx xxxx	xxxx xxxx xx1x 1111		
PIBCn	A:	FF40 4028 _H	FF44 0400 _H		
	I:	0000 _H	00 _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PBDCn	A:	FF40 4128 _H	FF44 0410 _H		
	I:	0000 _H	00 _H		
	B:	xxx1 1111 1111 1xxx	xx11 1111		
PUn	A:	–	FF44 0430 _H		
	I:		00 _H		
	B:		xx11 1111		
PDn	A:	–	FF44 0440 _H		
	I:		00 _H		
	B:		xx11 1111		
PODCn	A:	FF40 4528 _H	FF44 0450 _H		
	I:	0000 0000 _H	0000 0000 _H		
	B:	xxx1 1111 1111 1xxx	xxxx xxxx xx11 1111		

表 2-44 V850E2/FF4-G ポート制御レジスタ (グループ 10, JP0) (2/2)

Register		Port group n =			
		10	JP0 ^a		
PISn	A:	-	FF44 0470 _H		
	I:		FF _H		
	B:		xx11 1111		
PISEn	A:	-	FF44 0480 _H		
	I:		FF _H		
	B:		xx11 1111		
PPCMDn	A:	FF40 4C28 _H	FF44 04C0 _H		
	I:	00 _H	00 _H		
	B:	1111 1111	1111 1111		
PPRO T _{Sn}	A:	FF40 4B28 _H	FF44 04B0 _H		
	I:	00 _H	00 _H		
	B:	xxxx xxx1	xxxx xxx1		

a) JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n=0”とした名称になります。
例えば、Pn のレジスタ名称は、JP0 になります。

2.4.8 V850E2/FG4-G ポート機能

V850E2/FG4-G のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FG4-G のポート機能と兼用機能について表 2-45 「V850E2/FG4-G 汎用 I/O 機能」に示します。

PMCnm, PFCnm, PFCEnm, および PMnm ビットを制御することで異なる機能を選択することが可能です。

表 2-45 V850E2/FG4-G 汎用 I/O 機能 (1/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 0 (Always-On-Area, E0VDD/E0VSS power supply):								
P0_0	DPIN0		CSIG4SSI		ADCA0 TRG0		INTP0	
P0_1	DPIN1		CSIG4DCS ^c	CSIG4SO	URTE2RX		INTP1	TAUB001
P0_2	DPIN2		CSIG4SI		ADCA0 TRG2	URTE2TX	INTP2	TAUB002
P0_3	DPIN3		CSIG4SC ^a		ADCA0 TRG1		INTP3	
P0_4	DPIN4	FCN0TX					INTP11	
P0_5	FCN0RX/ DPIN5 ^d						INTP12	
P0_6	FCN1RX/ DPIN6 ^d	URTE11TX	KR0I1		NMI			
P0_7	URTE11RX/ DPIN7 ^d	FCN1TX	KR0I2		INTP4			
P0_8	DPIN8	URTE10TX	KR0I3	FCN3TX ^b	INTP5	TAUB005		IICB0SDA ^e
P0_9	URTE10RX/ DPIN9 ^d	FCN2TX	KR0I4		INTP6	TAUB006		IICB0SCL ^e
P0_10	DPIN10	URTE11TX	FCN3RX ^b		INTP9			
P0_11	URTE11RX/ DPIN11 ^d		FCN2RX		INTP10			
P0_12	TAUJ0I0/ DPIN12 ^d	TAUJ0O0	KR0I0		INTP8	FCN4TX ^b	CSIG0SSI	
P0_13	TAUJ0I1/ DPIN13 ^d	TAUJ0O1	KR0I5		INTP7	FCN5TX ^b	CSIG0SI	
P0_14	TAUJ0I2	TAUJ0O2/ DPO ^d	KR0I6		FCN5RX ^b		CSIG0DCS ^c	CSIG0SO
P0_15	TAUJ0I3	TAUJ0O3/ APO ^d	KR0I7		FCN4RX ^b		CSIG0SC ^a	

表 2-45 V850E2/FG4-G 汎用 I/O 機能 (2/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 1 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P1_1	TAUB01	TAUB001					FCN1RX	FCN0TX
P1_2	TAUB012	TAUB002					CSIG7SI	FCN1TX
P1_3	TAUB013	TAUB003	FCN3RX ^b				CSIG7DCS ^c	CSIG7SO
P1_4	TAUB014	TAUB004		FCN3TX ^b			CSIG7SC ^a	
P1_5	TAUB015	TAUB005	FCN4RX ^b				CSIG7RYI	CSIG7RYO
P1_6	TAUB016	TAUB006		FCN4TX ^b			CSIG7SSI	
P1_7	TAUB017	TAUB007					FCN0RX	
P1_8	TAUB018	TAUB008					FCN2RX	
P1_9	TAUB019	TAUB009	INTP3					FCN2TX
P1_10	TAUB0110	TAUB0010	FCN5RX ^b				INTP4	
P1_11	TAUB0111	TAUB0011		FCN5TX ^b			INTP5	
P1_12	TAUB0112	TAUB0012					INTP6	
P1_13	TAUB0113	TAUB0013					INTP7	
P1_14	TAUB0114	TAUB0014					INTP8	
P1_15	TAUB0115	TAUB0015					INTP9	
Port group 3 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P3_2			TAUB012	TAUB002	KR017			
P3_3			TAUB013	TAUB003	KR016			
P3_4			TAUB014	TAUB004	KR015		CSIG0RYI	CSIG0RYO
P3_5			TAUB015	TAUB005	KR014		CSIG0SC ^a	
P3_6			TAUB016	TAUB006			CSIG0DCS ^c	CSIG0SO
P3_7			TAUB017	TAUB007			CSIG0SI	
Port group 4 (Isolated-Area-0, E1VDD/E1VSS power supply):								
P4_0			TAUB0113	TAUB0013			FCN0RX	
P4_1			TAUB0114	TAUB0014			URTE2RX	FCN0TX
P4_2			TAUB0115	TAUB0015			FCN1RX	URTE2TX
P4_3			CSIG0SI	URTE10TX				FCN1TX
P4_4	INTP2		URTE10RX	CSIG0SO			FCN2RX	
P4_5			CSIG0SC ^a		KR013			FCN2TX
P4_6			CSIG4SI	URTE11TX	KR012		FCN3RX ^b	
P4_7	INTP4		URTE11RX	CSIG4SO	KR011			FCN3TX ^b
P4_8			CSIG4SC ^a		KR010		FCN4RX ^b	
P4_9				CSIG0RYO				FCN4TX ^b
P4_10			CSIG4RYI				FCN5RX ^b	
P4_11								FCN5TX ^b

表 2-45 V850E2/FG4-G 汎用 I/O 機能 (3/4)

Port mode	兼用機能							
PMCnm = 0	PMCnm = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group 10 (Isolated-Area-0, A0VREFP/A0VSS (AVREFM) power supply):^f								
P10_0								
P10_1								
P10_2								
P10_3								
P10_4								
P10_5								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0 TRG0							
P10_10	ADCA0 TRG1							
P10_11	ADCA0 TRG2							
P10_12								
P10_13								
P10_14								
P10_15								
Port group 27(Isolated-Area-0, E1VDD/ E1VSS power supply):								
P27_0	INTP0							
P27_1	INTP1							
P27_2	INTP2							
P27_3	INTP3							
P27_4	INTP4							
P27_5	INTP5							

表 2-45 V850E2/FG4-G 汎用 I/O 機能 (4/4)

Port mode	兼用機能							
PMn = 0	PMn = 1							
	PFCn = 0, PFCn = 0		PFCn = 0, PFCn = 1		PFCn = 1, PFCn = 0		PFCn = 1, PFCn = 1	
	PMn = 1	PMn = 0						
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
Port group JP0 (Always-On-Area, E0VDD/E0VSS power supply):								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2		TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

- a) a) この兼用機能を使用する時は、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けず入出力が可能です。
- b) b) この兼用機能は、μPD70F4179 では使用できません。
- c) c) この兼用機能を使用するときは、CSIGnCTL1.CSIGnDCS ビットを 1 (データ整合性チェックを有効) にし、PIPCn.PIPCnm ビットを 1 にしてください。PMn.PMnm ビットの影響を受けずデータ整合性チェックが可能です。
または PIPCn.PIPCnm ビットを 0、PMn.PMnm ビットを 0、PBDCn.PBDCnm ビットを 1 にすることでデータ整合性チェックが可能です。
- d) この兼用機能を使用するときは、8.4.2 「ウェイクアップ・シーケンサ使用時のポート設定」を参照してください。
- e) この兼用機能を使用するときは、19.2 「I²C インタフェースポートの設定」を参照ください。
- f) ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを “1” に設定してください。

(2) V850E2/FG4-G ポート制御レジスタ

V850E2/FG4-G のポートを制御するレジスタとそのアドレス、初期値について示します。

表凡例 A: レジスタ・アドレス

I: 初期値

B: 有効ビット

– 1: 有効 X: 無効

– 右側: ビット0, 左側: ビット15もしくはビット7

レジスタ(32ビット長)のビット16-31は、ビット0-15の有効ビット範囲と同等です。

ただし、PODCn レジスタのビット16-31は無効ビットです。

有効ビットのうち、2つの値を記入しているレジスタについては、上段がμPD70F4180、下段がμPD70F4179の有効ビットを示しています。

表 2-46 V850E2/FG4-G ポート制御レジスタ (グループ0, 1, 3, 4) (1/2)

Register		Port group n =			
		0	1	3	4
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 000C _H	FF40 0010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 010C _H	FF40 0110 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 070C _H	FF40 0710 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 020C _H	FF40 0210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 030C _H	FF40 0310 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 040C _H	FF40 0410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 050C _H	FF40 0510 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 060C _H	FF40 0610 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111 xxxx 11x1 1111 1111
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 080C _H	FF40 0810 _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111

表 2-46 V850E2/FG4-G ポート制御レジスタ (グループ 0, 1, 3, 4) (2/2)

Register		Port group n =			
		0	1	3	4
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 090C _H	FF40 0910 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 400C _H	FF40 4010 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 410C _H	FF40 4110 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 420C _H	FF40 4210 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 430C _H	FF40 4310 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 440C _H	FF40 4410 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 450C _H	FF40 4510 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 470C _H	FF40 4710 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 480C _H	FF40 4810 _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx 1111 11xx	xxxx 1111 1111 1111
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C0C _H	FF40 4C10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B0C _H	FF40 4B10 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-47 V850E2/FG4-G ポート制御レジスタ (グループ 10, 27, JP0) (1/2)

Register		Port group n =			
		10	27	JP0 ^a	
Pn	A:	FF40 0028 _H	FF40 006C _H	FF44 0000 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PSRn	A:	FF40 0128 _H	FF40 016C _H	FF44 0010 _H	
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xxxx xxxx xx11 1111	
PNOTn	A:	FF40 0728 _H	FF40 076C _H	FF44 0070 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PPRn	A:	FF40 0228 _H	FF40 026C _H	FF44 0020 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PMn	A:	FF40 0328 _H	FF40 036C _H	FF44 0030 _H	
	I:	FFFF _H	FFFF _H	FF _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PMCn	A:	FF40 0428 _H	FF40 046C _H	FF44 0040 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	xxxx 111x xxxx xxxx	xxxx xxxx xx11 1111	xx1x 1111	
PFCn	A:	–	–	FF44 0050 _H	
	I:			00 _H	
	B:			xxxx 1111	
PMSRn	A:	FF40 0828 _H	FF40 086C _H	FF44 0080 _H	
	I:	0000 FFFF _H	0000 FFFF _H	0000 00FF _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xxxx xxxx xx11 1111	
PMCSRn	A:	FF40 0928 _H	FF40 096C _H	FF44 0090 _H	
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	xxxx 111x xxxx xxxx	xxxx xxxx xx11 1111	xxxx xxxx xx1x 1111	
PIBCn	A:	FF40 4028 _H	FF40 406C _H	FF44 0400 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	xxxx 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PBDCn	A:	FF40 4128 _H	FF40 416C _H	FF44 0410 _H	
	I:	0000 _H	0000 _H	00 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xx11 1111	
PUn	A:	–	FF40 436C _H	FF44 0430 _H	
	I:		0000 _H	00 _H	
	B:		xxxx xxxx xx11 1111	xx11 1111	
PDn	A:	–	FF40 446C _H	FF44 0440 _H	
	I:		0000 _H	0000 _H	
	B:		xxxx xxxx xx11 1111	xx11 1111	
PODCn	A:	FF40 4528 _H	FF40 456C _H	FF44 0450 _H	
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	1111 1111 1111 1111	xxxx xxxx xx11 1111	xxxx xxxx xx11 1111	

表 2-47 V850E2/FG4-G ポート制御レジスタ (グループ 10, 27, JP0) (2/2)

Register		Port group n =			
		10	27	JP0 ^a	
PISn	A:	-	FF40 476C _H	FF44 0470 _H	
	I:		FFFF _H	FF _H	
	B:		xxxx xxxx xx11 1111	xx11 1111	
PISEn	A:	-	FF40 486C _H	FF44 0480 _H	
	I:		FFFF _H	FF _H	
	B:		xxxx xxxx xx11 1111	xx11 1111	
PPCMDn	A:	FF40 4C28 _H	FF40 4C6C _H	FF44 04C0 _H	
	I:	00 _H	00 _H	00 _H	
	B:	1111 1111	1111 1111	1111 1111	
PPROTSn	A:	FF40 4B28 _H	FF40 4B6C _H	FF44 04B0 _H	
	I:	00 _H	00 _H	00 _H	
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	

^{a)} JTAG ポート・グループのレジスタ名は、先頭に“J”を付加し、“n = 0”とした名称になります。
例えば、Pn のレジスタ名称は、JP0 になります。

2.4.9 リセット期間中／解除後，スタンバイ・モード期間中／解除後のポート機能

スタンバイ・モード時のポート機能については，第8章「スタンバイ・コントローラ（STBC）」を参照してください。

2.4.10 未使用端子の推奨接続

ほとんどの出力ポートおよび入出力ポートは，リセット解除後にハイ・インピーダンス状態になり，入力バッファが使用不可となります。

これらのポートは，未使用時にオープンにしておくことができます。

端子が未使用の場合，下記のように接続することを推奨します。

端子	推奨接続
JTAG Port0 (JP0_4 以外)， Port0 (P0_1 以外)，P5	出力時：オープン 入力時：端子ごとに抵抗を介して E0VDD または E0VSS に接続
JP0_4 P0_1	出力時：オープン 入力時：端子ごとに抵抗を介して E0VSS に接続
Port1-4	出力時：オープン 入力時：端子ごとに抵抗を介して E1VDD または E1VSS に接続
Port10, 11	出力時：オープン 入力時：端子ごとに抵抗を介して A0VREFP または A0VSS (AVREFM) に接続
Port21, 25, 27	出力時：オープン 入力時：端子ごとに抵抗を介して E1VDD または E1VSS に接続
FLMD0	E0VSS に接続
RESET	E0VDD に接続
A0VREFP	E1VDD に接続
A0VSS (AVREFM)	E1VSS に接続

2.5 ポート・フィルタ

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品はアナログ・フィルタとデジタル・フィルタを両方をサポートしています。

最初の節で、フィルタが割り当てられているポート入力信号とそのフィルタの種類、フィルタの制御レジスタと制御ビット、およびレジスタ・アドレスなどの概要を説明します。

以降の節で、アナログ・フィルタ機能、デジタル・フィルタ機能、および各フィルタの制御レジスタについての詳細を説明します。

デジタル／アナログ・フィルタと制御レジスタの詳細は2.6「ポート・フィルタ機能説明」を参照してください。

2.5.1 ポート・フィルタの割り当て

アナログまたは、デジタル・フィルタを内蔵した入力端子の一覧を次に示します。

(1) アナログ・フィルタ・タイプ A 付き入力端子

アナログ・フィルタ・タイプ A は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)
各アナログ・フィルタ付きポートにはそれぞれの端子に専用の FCLAnCTLm レジスタがあります。各グループ n は 8 つの入力信号 m に対応しています。

表 2-48 アナログ・フィルタ・タイプ A 付き入力信号 (1/2)

入力信号	FCLAn レジスタ構成		
	レジスタ	アドレス	
INTP0	FCLA0	CTL0	FF41 4000 _H
INTP1		CTL1	FF41 4004 _H
INTP2		CTL2	FF41 4008 _H
INTP3		CTL3	FF41 400C _H
INTP4		CTL4	FF41 4010 _H
INTP5		CTL5	FF41 4014 _H
INTP6		CTL6	FF41 4018 _H
INTP7		CTL7	FF41 401C _H
INTP8	FCLA1	CTL0	FF41 4020 _H
INTP9		CTL1	FF41 4024 _H
INTP10		CTL2	FF41 4028 _H
INTP11		CTL3	FF41 402C _H
INTP12		CTL4	FF41 4030 _H
INTP13		CTL5	FF41 4034 _H
INTP14		CTL6	FF41 4038 _H

表 2-48 アナログ・フィルタ・タイプ A 付き入力信号 (2/2)

入力信号	FCLAn レジスタ構成	
	レジスタ	アドレス
NMI	FCLA2	CTL0 FF41 4040 _H
KR0	FCLA3	CTL0 FF41 4060 _H
KR1		CTL1 FF41 4064 _H
KR2		CTL2 FF41 4068 _H
KR3		CTL3 FF41 406C _H
KR4		CTL4 FF41 4070 _H
KR5		CTL5 FF41 4074 _H
KR6		CTL6 FF41 4078 _H
KR7		CTL7 FF41 407C _H

(2) アナログ・フィルタ・タイプ B 付き入力端子

アナログ・フィルタ・タイプ B は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)
各アナログ・フィルタ付きポートにはそれぞれの端子に専用の FCLAnCTLm レジスタがあります。各グループ n は 8 つの入力信号 m に対応しています。

表 2-49 アナログ・フィルタ・タイプ B 付き入力信号

入力信号	FCLA レジスタ構成	
	レジスタ	アドレス
TAUJ0I0	FCLA4	CTL0 FF41 4080 _H
TAUJ0I1		CTL1 FF41 4084 _H
TAUJ0I2		CTL2 FF41 4088 _H
TAUJ0I3		CTL3 FF41 408C _H

(3) アナログ・フィルタ・タイプ C 付き入力端子

アナログ・フィルタ・タイプ C には制御レジスタは、ありません。

表 2-50 アナログ・フィルタ・タイプ C 付き入力信号

入力信号	FCLA レジスタ構成	
	レジスタ	アドレス
Always-On 領域 :		
FLMD0	-	-
FLMD1		-
RESET		-

(4) デジタル・フィルタ・タイプD付き入力端子

デジタル・フィルタ・タイプDは次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)
各デジタル・フィルタ付きポートにはそれぞれの端子に専用の FCLAnCTLm レジスタがあります。各グループ n は 8 つの入力信号 m に対応しています。
- デジタル・ノイズ除去制御レジスタ DNFAAnCTL
各 DNFAAnCTL 制御レジスタは、グループ n (1 グループにつき最大で 16 の入力信号) のデジタル・フィルタ処理を制御します。
- デジタル・ノイズ除去許可レジスタ DNFAAnEN
DNFAAnEN の DNFAAnNFEN[15:0] ビットの設定で、グループ n (1 グループにつき最大で 16 の入力信号) デジタル・ノイズ除去を許可/禁止します。

表 2-51 デジタル・フィルタ D 付き入力信号 (1/2)

入力信号	DNFA レジスタ構成			FCLA レジスタ構成			
	レジスタ	アドレス	Filter enable bit	レジスタ	アドレス		
TAUB0I1	DNFA0CTL DNFA0EN DNFA0ENH DNFA0ENL	FF41 1000 _H FF41 1004 _H FF41 1008 _H FF41 100C _H	DNFA0EN.DNFA0	NFEN1	FCLA5	CTL1	FF41 5004 _H
TAUB0I2				NFEN2		CTL2	FF41 5008 _H
TAUB0I3				NFEN3		CTL3	FF41 500C _H
TAUB0I4				NFEN4		CTL4	FF41 5010 _H
TAUB0I5				NFEN5		CTL5	FF41 5014 _H
TAUB0I6				NFEN6		CTL6	FF41 5018 _H
TAUB0I7				NFEN7		CTL7	FF41 501C _H
TAUB0I8				NFEN8	FCLA6	CTL0	FF41 5020 _H
TAUB0I9				NFEN9		CTL1	FF41 5024 _H
TAUB0I10				NFEN10		CTL2	FF41 5028 _H
TAUB0I11				NFEN11		CTL3	FF41 502C _H
TAUB0I12				NFEN12		CTL4	FF41 5030 _H
TAUB0I13				NFEN13		CTL5	FF41 5034 _H
TAUB0I14				NFEN14		CTL6	FF41 5038 _H
TAUB0I15				NFEN15		CTL7	FF41 503C _H
URTE10RX	DNFA1CTL DNFA1EN DNFA1ENH DNFA1ENL	FF41 1020 _H FF41 1024 _H FF41 1028 _H FF41 102C _H	DNFA1EN.DNFA1	NFEN0	FCLA7	CTL0	FF41 5040 _H
URTE11RX				NFEN1		CTL1	FF41 5044 _H
CSIG4SC				NFEN2		CTL2	FF41 5048 _H
CSIG4SI				NFEN3		CTL3	FF41 504C _H
CSIG4RYI				NFEN4		CTL4	FF41 5050 _H
CSIG4SSI				NFEN5	CTL5	FF41 5054 _H	
ADCA0TRG0				NFEN8	FCLA8	CTL0	FF41 5060 _H
ADCA0TRG1				NFEN9		CTL1	FF41 5064 _H
ADCA0TRG2				NFEN10		CTL2	FF41 5068 _H

表 2-51 デジタル・フィルタ D 付き入力信号 (2/2)

入力信号	DNFA レジスタ構成			FCLA レジスタ構成						
	レジスタ	アドレス	Filter enable bit	レジスタ	アドレス					
TAUB1I1	DNFA2CTL DNFA2EN DNFA2ENH DNFA2ENL	FF41 2000 _H FF41 2004 _H FF41 2008 _H FF41 200C _H	DNFA2EN.DNFA2	NFEN0	FCLA9	CTL0	FF41 6000 _H			
TAUB1I2				NFEN1		CTL1	FF41 6004 _H			
TAUB1I3				NFEN2		CTL2	FF41 6008 _H			
TAUB1I5				NFEN3		CTL3	FF41 600C _H			
TAUB1I7				NFEN5		CTL5	FF41 6014 _H			
TAUB1I9				NFEN8	FCLA10	CTL0	FF41 6020 _H			
TAUB1I11				NFEN10		CTL2	FF41 6028 _H			
TAUB1I13				NFEN11		CTL3	FF41 602C _H			
TAUB1I14				NFEN12		CTL4	FF41 6030 _H			
TAUB1I15				NFEN13		CTL5	FF41 6034 _H			
CSIG7SC				DNFA9CTL DNFA9EN DNFA9ENH	FF41 20E0 _H FF41 20E4 _H FF41 20E8 _H	DNFA9EN.DNFA9	NFEN8	FCLA23	CTL0	FF41 61C0 _H
CSIG7RYI							NFEN9		CTL1	FF41 61C4 _H
CSIG7SI	NFEN10	CTL2	FF41 61C8 _H							
$\overline{\text{CSIG7SSI}}$	NFEN11	CTL3	FF41 61CC _H							
CSIG0SC	DNFA10CTL DNFA10EN DNFA10ENL	FF41 2100 _H FF41 2104 _H FF41 210C _H	DNFA10EN.DNFA10	NFEN0	FCLA24	CTL0	FF41 61E0 _H			
CSIG0RYI				NFEN1		CTL1	FF41 61E4 _H			
CSIG0SI				NFEN2		CTL2	FF41 61E8 _H			
$\overline{\text{CSIG0SSI}}$				NFEN3		CTL3	FF41 61EC _H			
URTE2RX	DNFA11CTL DNFA11EN DNFA11ENH	FF41 2120 _H FF41 2124 _H FF41 2128 _H	DNFA11EN.DNFA11	NFEN8	FCLA27	CTL0	FF41 6240 _H			
URTE3RX				NFEN9		CTL1	FF41 6244 _H			
URTE4RX				NFEN10		CTL2	FF41 6248 _H			

- 注意**
1. クロック同期シリアル・インタフェース (CSIGN) の入力端子にポート・フィルタが割り当てられています (初期値が有効です) が、フィルタの使用により通信異常が発生する可能性がありますので、CSIGN を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。
 2. アシクロナス・シリアル・インタフェース E (UARTE_n) の受信データ入力端子 (URTE_nRX) にポート・フィルタが割り当てられています (初期値が有効です) が、UARTE_n 内部にフィルタがありますので、UARTE_n を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

2.5.2 ポート・フィルタのクロック供給

下記の表にフィルタ・タイプごとのクロック供給を示します。

表 2-52 ポート・フィルタのクロック供給

ポート・ドメイン ^a	フィルタ・タイプ	フィルタ・クロック	接続先
Always-On 領域	Analog type A	PCLK	Clock Controller CKSCLK_A02
	Analog type B	PCLK	Clock Controller CKSCLK_A02
	Analog type C	–	–
Isolated-Area-0	Digital type D	PCLK	Clock Controller CKSCLK_000 / 2
		DNFATCKI	Clock Controller CKSCLK_016

a) ポートが属する電源ドメインを示しています。

2.6 ポート・フィルタ機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

- アナログ・フィルタ
 - アナログ・フィルタは固定の特性を備えています。
 - タイプ A: エッジ検出またはレベル検出を伴うアナログ・フィルタ通過信号
出力信号は外部イベントの信号を送信するために使用されます。外部信号のタイミングは考慮されませんが、レベルまたはレベルの変化は考慮されます。
イベント信号の典型例として、外部割り込み信号があります。
 - タイプ B: フィルタ・バイパス・オプションを伴うアナログ・フィルタ通過信号
このフィルタ・タイプではフィルタ通過出力信号のタイミングが保持されます。フィルタをバイパスすることもできます。
そのような信号の典型例として、周波数を計測するタイマ入力信号があります。
 - タイプ C: アナログ・フィルタのみ
入力信号は常にアナログ・フィルタを通過します。バイパスはできません。
このようなフィルタは、通常は外部 RESET 入力およびモード信号に使用されます。
- デジタル・フィルタ
 - デジタル・フィルタの特性はアプリケーションのニーズに合わせて調整できます。
 - タイプ D: フィルタ・バイパス・オプションを伴う設定可能なデジタル・フィルタ通過信号
このフィルタ・タイプではフィルタ通過出力信号のタイミングが保持されます。フィルタをバイパスすることもできます。
そのような信号の典型例として、周波数を計測するタイマ入力信号があります。

2.6.1 アナログ・フィルタ

アナログ・フィルタ 制御レジスタ	<p>アナログ・フィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLAnCTLm が用意されています。</p> <p>FCLAnCTLm レジスタは、1つのレジスタ・グループ（グループ番号を n で表示）に8つのレジスタで構成されています。レジスタ・インデックス m の範囲は 0～7 です。</p> <p>FCLA グループ n FCLAnCTL0～FCLAnCTL7</p> <p>制御レジスタと入力信号との対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-48～表 2-50 を参照してください。</p>
-----------------------------	--

スタンバイ・モード でのアナログ・フィルタ

- アナログフィルタは、Always-On 領域（AWO）にあり、常に動作しています。
- アナログ・フィルタの動作とそのウエイクアップ機能はフィルタ・タイプに依存します。以下のアナログ・フィルタ・タイプの説明を参照してください。

(1) アナログ・フィルタ・タイプ A

次にアナログ・フィルタ・タイプ A のブロック図を示します。

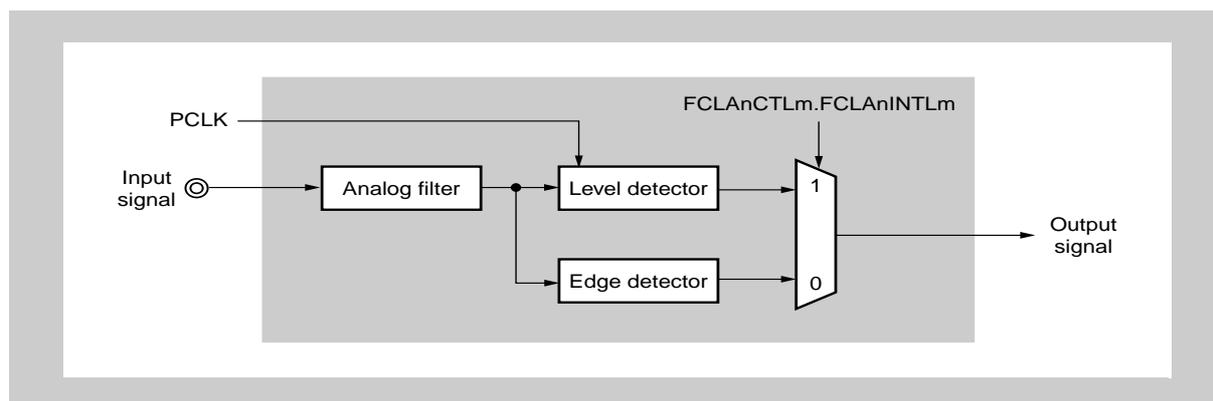


図 2-3 アナログ・フィルタ・タイプ A のブロック図

外部信号がアナログ・フィルタを通過してノイズとヒゲを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じて出力信号を発生します。

検出モードは制御ビット FCLAnCTLM.FCLAnINTLM で選択します。

- FCLAnINTLM = 0 : エッジ検出モード
FCLAnCTLM.FCLAnINTRm と FCLAnCTLM.FCLAnINTFm の設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。
- FCLAnINTLM = 1 : レベル検出モード
FCLAnCTLM.FCLAnINTRm の設定に応じて、ハイ・レベルまたはロウ・レベルを検出することができます。

アナログ・フィルタの検出条件を次の表に示します。

表 2-53 アナログ・フィルタ・イベント検出条件

FCLAnINTLM	FCLAnINTFm	FCLAnINTRm	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウ・レベル
		1		ハイ・レベル

**スタンバイモードの
アナログ・
フィルタ・
タイプ A**

PCLK の供給が停止している場合、レベル検出モードを使用することができません。ウェイクアップ信号として使用する場合、エッジ検出モードを選択してください。

(2) アナログ・フィルタ・タイプ B

次にアナログ・フィルタ・タイプ B のブロック図を示します。

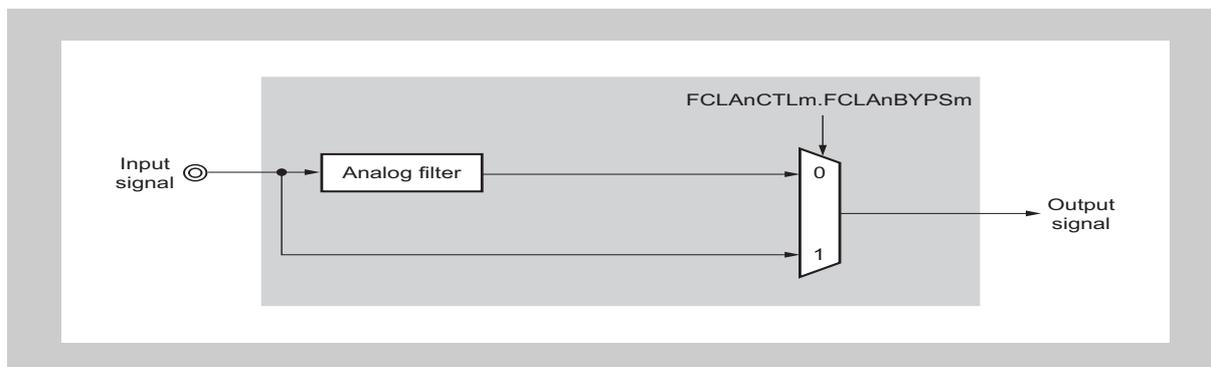


図 2-4 アナログ・フィルタ・タイプ B のブロック図

アナログ・フィルタは任意でバイパスが可能です。

- FCLAnCTLm.FCLAnBYPSm = 0: フィルタを通過した信号が出力されます。
- FCLAnCTLm.FCLAnBYPSm = 1: フィルタを通過していない入力信号が出力されます。

**スタンバイモード
でのアナログ・
フィルタ・
タイプ B**

アナログ・フィルタ・タイプ B の出力信号は、常にスタンバイモードで使用できます。

(3) アナログ・フィルタ・タイプC

次にアナログ・フィルタ・タイプCのブロック図を示します。

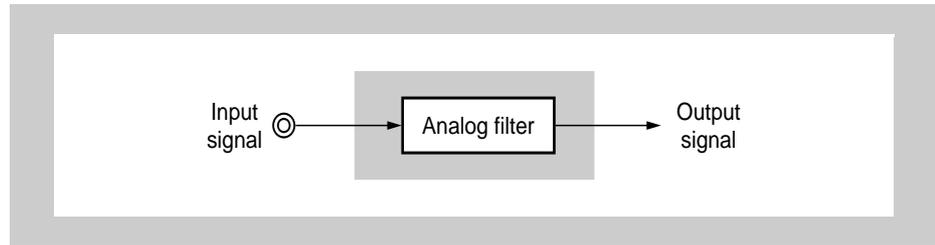


図 2-5 アナログ・フィルタ・タイプCのブロック図

出力信号は、常にアナログ・フィルタを通過した入力信号です。

スタンバイモード
でのアナログ・
フィルタ・
タイプC

アナログ・フィルタ・タイプCの出力信号は、常にスタンバイモードで使用できます。

2.6.2 デジタル・フィルタ

デジタル・フィルタ特性 デジタル・フィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_s でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズまたはヒゲと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。いずれのパラメータも設定可能です。

- DNFAAnCTL.DNFAAnPRS[2:0] を設定することによって、

$$f_s = f_{\text{DNFATCKI}} / 2^{\text{DNFAAnPRS}[2:0]}$$
（ f_{DNFATCKI} は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。
- DNFAAnCTL.DNFAAnNFSTS[1:0] で同レベルのサンプル数（2～5）を指定します。

$$s = \text{DNFAAnNFSTS}[1:0] + 2$$

以下の幅よりも短い外部信号パルスは常に抑制します。

- $(s - 1) \times 1/f_s$

以下の幅よりも長い外部信号パルスは常に有効と判断し、フィルタ出力へ送ります。

- $s \times 1/f_s$

以下範囲内の外部信号パルスは抑制する場合もあれば、有効と判断する場合があります。

- $(s - 1) \times 1/f_s \sim s \times 1/f_s$

DNFAAnNFSTS[1:0] = 01_B（同レベルのサンプル数：3）としたときのフィルタ動作例を次の図に示します。

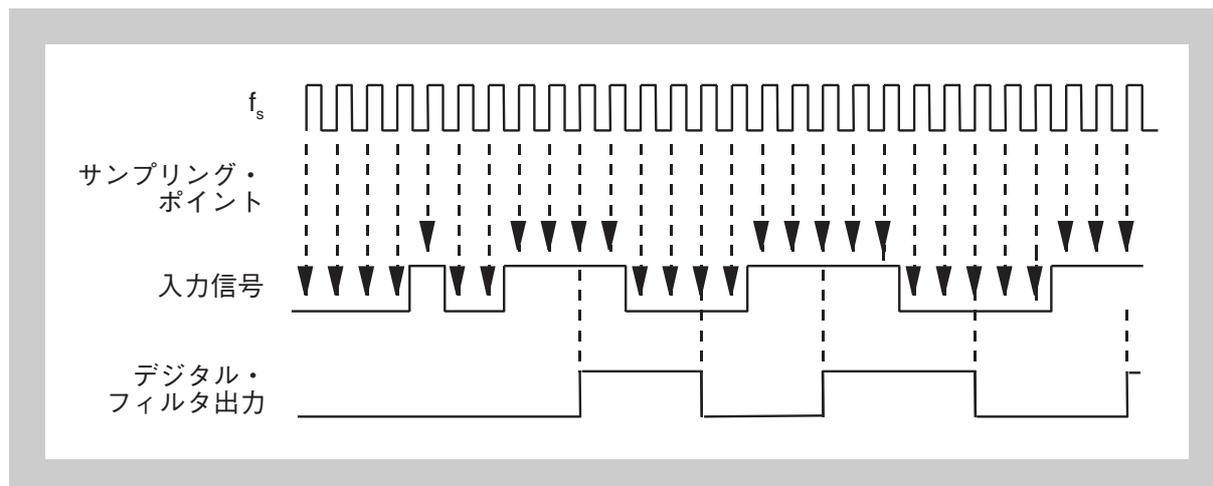


図 2-6 デジタル・フィルタ機能

デジタル・フィルタ・グループ デジタル・フィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。デジタル・フィルタの特性は、DNFAnCTL.DNFAnPRS[2:0] と DNFAnNFSTS[1:0] で指定し、信号グループ単位で適用されます。ただし、デジタル・フィルタの有効/無効は、DNFAnEN.DNFAnNFENm によって信号ごとに設定できます。

注意 1. デジタル・フィルタの出力信号を兼用機能に入力する場合、デジタル・フィルタを有効 (DNFAnEN.DNFAnNFENm = 1) にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。

$$s = \text{DNFAnNFSTS} [1:0] + 2$$

$$s \times 1/f_s + 2 \times 1/f_{\text{DNFATCKI}}$$

2. デジタル・フィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタル・フィルタを有効 (DNFAnEN.DNFAnNFENm = 1) にしてください。また、デジタル・フィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。

$$s \times 1/f_s + 3 \times 1/f_{\text{DNFATCKI}}$$

スタンバイ・モードのデジタル・フィルタ

- DEEPSTOP モード：
デジタル フィルタはアイソレート領域 0 の電源ドメインに配置され、それぞれの電源ドメインが DEEPSTOP モードにある場合は動作しません。
- STOP モード：
デジタル・ノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。そのため、DNFATCKI が STOP モードで停止している場合は、デジタル・フィルタを通過した信号は STOP モード・ウェイクアップ・イベントとして動作することはできません。DNFATCKI が STOP モードで動作している場合は、外部信号がウェイクアップを出すことができます。

デジタル・フィルタ制御レジスタ 最高 16 のデジタル・フィルタで構成される各グループに対して、共通デジタル・フィルタ設定レジスタ DNFA_nCTL およびデジタル・フィルタ許可レジスタ DNFA_nEN は、同じグループ内（グループ番号を n で表示）の全フィルタに対して設定を行います。

DNFA_nCTL レジスタでのフィルタ設定はグループ単位で適用されますが、フィルタ許可レジスタ DNFA_nEN の制御ビット DNFA_nNFEN_m はフィルタの有効/無効をフィルタ単位で設定します。レジスタ・インデックス m の範囲は、0 ~ 15 です。

DNFA_nCTL はデジタル・フィルタ m (m = 0 ~ 15) のグループ n に対する制御レジスタです。制御ビット DNFA_nEN.DNFA_nNFEN₀ ~ DNFA_nEN.DNFA_nNFEN₁₅ で各フィルタの有効/無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタ FCLA_nCTL_m によって行います。

FCLA_nCTL_m レジスタは、1 つのレジスタ・グループ（グループ番号を n で表示）に 8 つのレジスタで構成されています。レジスタ・インデックス m の範囲は 0 ~ 7 です。

FCLA グループ n FCLA_nCTL₀ ~ FCLA_nCTL₇

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-51「デジタル・フィルタ D 付き入力信号」を参照してください。

注意 DNFA_nEN.DNFA_nNFEN_m = 1 で関連するデジタル・フィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1) デジタル・フィルタ・タイプD

次にデジタル・フィルタ・タイプDのブロック図を示します。

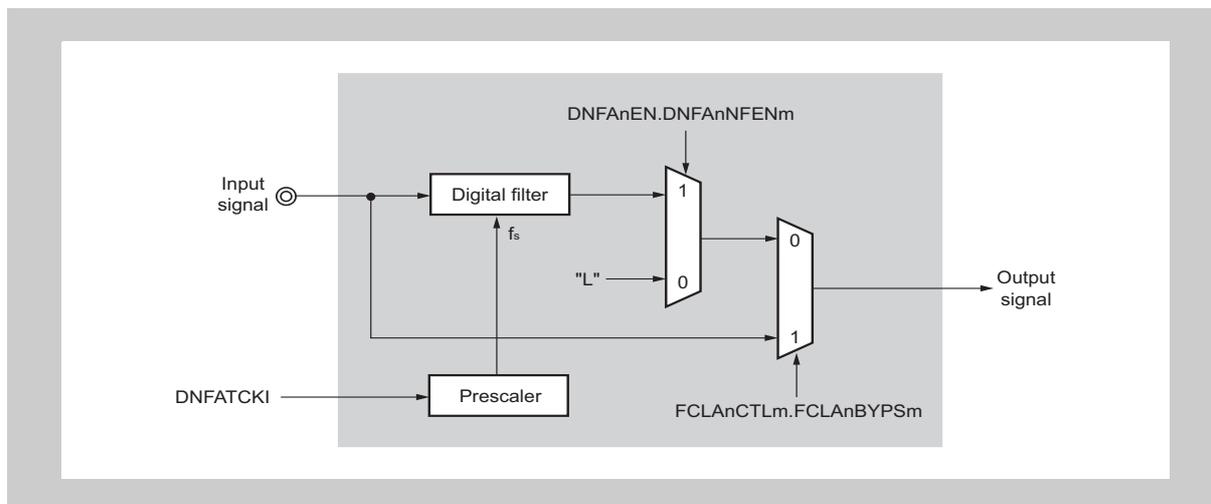


図 2-7 デジタル・フィルタ・タイプDのブロック図

次の表に示すように、出力信号はレジスタ設定に依存します。

表 2-54 デジタル・フィルタ・タイプDの出力オプション

FCLAnCTLm. FCLAnBYPSm	DNFA nEN. DNFA nNFEN m	出力信号
0	0	ロウ・レベルに固定
	1	フィルタを通過した入力信号
1	X	フィルタを通過しない入力信号

2.6.3 フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタは、次のレジスタによって制御、動作します。

表 2-55 フィルタ・レジスタ一覧

レジスタ名	略号	アドレス
フィルタ制御レジスタ m	FCLAnCTLm	各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の各表を参照してください。
デジタル・ノイズ除去制御レジスタ	DNFA nCTL	
デジタル・ノイズ除去許可レジスタ	DNFA nEN	

(1) FCLAnCTLm - フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタの動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FCLAnCTLm レジスタと入力信号の対応, および各レジスタのアドレスについては, 2.5.1「ポート・フィルタの割り当て」内の各表を参照してください。

初期値 00_H このレジスタはどのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
	FCLAn BYPSm	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
	R/W	R	R	R	R	R/W	R/W	R/W

表 2-56 FCLAnCTLm レジスタの内容

ビット位置	ビット名	機能
7	FCLAn BYPSm	フィルタ・バイパス制御: 0: フィルタ・バイパス無効 1: フィルタ・バイパス有効 備考: このビットはアナログ・フィルタ・タイプBとデジタル・フィルタ・タイプDでのみ有効です。
2	FCLAn INTLm	検出モード選択 0: エッジ検出有効 1: レベル検出有効 備考: このビットはアナログ・フィルタ・タイプAでのみ有効です。
1	FCLAn INTFm	<ul style="list-style-type: none"> レベル検出モード (FCLAnINTLm = 1) 時: このビットによる影響なし エッジ検出モード (FCLAnINTLm = 0) 時: 立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効 備考: このビットはアナログ・フィルタ・タイプAでのみ有効です。
0	FCLAn INTRm	<ul style="list-style-type: none"> レベル検出モード (FCLAnINTLm = 1) 時: 検出レベル選択 エッジ検出モード (FCLAnINTLm = 0) 時: 立ち上がりエッジ検出制御 0: ロウ・レベル検出 1: ハイ・レベル検出 <ul style="list-style-type: none"> エッジ検出モード (FCLAnINTLm = 0) 時: 立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効 備考: このビットはアナログ・フィルタ・タイプAでのみ有効です。

(2) DNFACTL - デジタル・ノイズ除去制御レジスタ

デジタル・ノイズ除去フィルタの特性を指定します。

備考 このレジスタはデジタル・フィルタ・タイプDでのみ有効です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス DNFACTL レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-51「デジタル・フィルタ D 付き入力信号」を参照してください。

初期値 00_H このレジスタはどのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	DNFAnNFSTS[1:0]	0	0	DNFAnPRS[2:0]			
R	R/W	R/W	R	R	R/W	R/W	R/W

表 2-57 DNFACTL レジスタの内容

ビット位置	ビット名	機能																		
6, 5	DNFAnNFSTS[1:0]	DNFACTL[1:0] は、外部信号パルスの有効/無効を判断する際と同レベルのサンプル数を指定します。 <table border="1" data-bbox="550 922 1385 1137"> <thead> <tr> <th>DNFAnNFSTS[1:0]</th> <th>同レベルのサンプル数</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>2</td> </tr> <tr> <td>01_B</td> <td>3</td> </tr> <tr> <td>10_B</td> <td>4</td> </tr> <tr> <td>11_B</td> <td>5</td> </tr> </tbody> </table>	DNFAnNFSTS[1:0]	同レベルのサンプル数	00 _B	2	01 _B	3	10 _B	4	11 _B	5								
DNFAnNFSTS[1:0]	同レベルのサンプル数																			
00 _B	2																			
01 _B	3																			
10 _B	4																			
11 _B	5																			
2-0	DNFAnPRS[2:0]	デジタル・フィルタ・サンプリング・クロック選択 <table border="1" data-bbox="550 1220 1385 1608"> <thead> <tr> <th>DNFAnPRS[2:0]</th> <th>サンプリング・クロック周波数</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>DNFATCKI / 1</td> </tr> <tr> <td>001_B</td> <td>DNFATCKI / 2</td> </tr> <tr> <td>010_B</td> <td>DNFATCKI / 4</td> </tr> <tr> <td>011_B</td> <td>DNFATCKI / 8</td> </tr> <tr> <td>100_B</td> <td>DNFATCKI / 16</td> </tr> <tr> <td>101_B</td> <td>DNFATCKI / 32</td> </tr> <tr> <td>110_B</td> <td>DNFATCKI / 64</td> </tr> <tr> <td>111_B</td> <td>DNFATCKI / 128</td> </tr> </tbody> </table>	DNFAnPRS[2:0]	サンプリング・クロック周波数	000 _B	DNFATCKI / 1	001 _B	DNFATCKI / 2	010 _B	DNFATCKI / 4	011 _B	DNFATCKI / 8	100 _B	DNFATCKI / 16	101 _B	DNFATCKI / 32	110 _B	DNFATCKI / 64	111 _B	DNFATCKI / 128
DNFAnPRS[2:0]	サンプリング・クロック周波数																			
000 _B	DNFATCKI / 1																			
001 _B	DNFATCKI / 2																			
010 _B	DNFATCKI / 4																			
011 _B	DNFATCKI / 8																			
100 _B	DNFATCKI / 16																			
101 _B	DNFATCKI / 32																			
110 _B	DNFATCKI / 64																			
111 _B	DNFATCKI / 128																			

(3) DNFA_nEN - デジタル・ノイズ除去許可レジスタ

任意の入力信号のデジタル・ノイズ除去を有効／無効にします。

備考 このレジスタはデジタル・フィルタ・タイプDでのみ有効です。

アクセス 16ビット単位でリード／ライト可能です。
上位バイト DNFA_nNFEN[15:8] および下位バイト DNFA_nNFEN[7:0] は、DNFA_nENH.DNFA_nNFEN[15:8]/DNFA_nENL.DNFA_nNFEN[7:0] を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス DNFA_nEN レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-51「デジタル・フィルタ D 付き入力信号」を参照してください。

初期値 0000_H このレジスタはどのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNFA _n NFEN15	DNFA _n NFEN14	DNFA _n NFEN13	DNFA _n NFEN12	DNFA _n NFEN11	DNFA _n NFEN10	DNFA _n NFEN9	DNFA _n NFEN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DNFA _n NFEN7	DNFA _n NFEN6	DNFA _n NFEN5	DNFA _n NFEN4	DNFA _n NFEN3	DNFA _n NFEN2	DNFA _n NFEN1	DNFA _n NFEN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-58 DNFA_nEN レジスタの内容

ビット位置	ビット名	機能
15-0	DNFA _n NFEN[15:0]	デジタル・ノイズ除去制御 0: デジタル・ノイズ除去無効 1: デジタル・ノイズ除去有効

(a) DNFA_nENH - デジタル・ノイズ除去許可レジスタ H

任意の入力信号のデジタル・ノイズ除去を有効／無効にします。

備考 このレジスタはデジタル・フィルタ・タイプ D でのみ有効です。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DNFA_nEN レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-51「デジタル・フィルタ D 付き入力信号」を参照してください。

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
DNFA _n NFEN15	DNFA _n NFEN14	DNFA _n NFEN13	DNFA _n NFEN12	DNFA _n NFEN11	DNFA _n NFEN10	DNFA _n NFEN9	DNFA _n NFEN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-59 DNFA_nENH レジスタの内容

ビット位置	ビット名	機能
7-0	DNFA _n NFEN[15:8]	デジタル・ノイズ除去制御 0: デジタル・ノイズ除去無効 1: デジタル・ノイズ除去有効

(b) DNFA_nENL - デジタル・ノイズ除去許可レジスタ L

任意の入力信号のデジタル・ノイズ除去を有効／無効にします。

備考 このレジスタはデジタル・フィルタ・タイプ D でのみ有効です。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DNFA_nEN レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-51「デジタル・フィルタ D 付き入力信号」を参照してください。

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
DNFA _n NFEN7	DNFA _n NFEN6	DNFA _n NFEN5	DNFA _n NFEN4	DNFA _n NFEN3	DNFA _n NFEN2	DNFA _n NFEN1	DNFA _n NFEN0
R/W							

表 2-60 DNFA_nENL レジスタの内容

ビット位置	ビット名	機能
7-0	DNFA _n NFEN[7:0]	デジタル・ノイズ除去制御 0: デジタル・ノイズ除去無効 1: デジタル・ノイズ除去有効

2.7 注意事項

2.7.1 ポート端子設定上の注意事項

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

① 周辺機能（入力時）^{*1}：

PUn/PDn レジスタを設定 ：プルアップ/プルダウン設定
PISn/PISEn レジスタを設定 ：入力バッファ選択（拡張）設定

周辺機能（出力時）^{*2}：

PODCn レジスタを設定^{注1} ：N-ch オープン・ドレイン設定
PBDCn レジスタを設定 ：双方向設定

② PFCn/PFCEn レジスタを設定 ：兼用端子機能選択設定

③ PIPCn レジスタを設定^{注2} ：IP コントロールレジスタ

④ PMCn レジスタの該当ビットに 1 を設定 ：兼用機能モードへ切り替え

⑤ PMn モード設定 ：ポート・モード設定（PIPC = 1 のときは不要）

注1 N-ch オープン・ドレイン出力端子を使用する場合

注2 PIPCn レジスタのビットに 1 を設定する場合は、*1,*2 の設定を共に行ってください

上記は、初期状態（ポート入力モード）から兼用機能への切り替えの場合です。

2.7.2 兼用機能設定上の注意事項

兼用機能によっては、異なる複数のポート（端子）に備わっている場合があります。異なる複数のポートに備わっている兼用機能を使用する場合は、複数のポートのいずれか1つのみを兼用機能に設定してください。なお、兼用入力端子に関して複数のポートを同時に兼用機能に設定すると、正常動作しない可能性があります。ただし、兼用出力端子に関しては複数のポートを同時に兼用機能に設定しても、デバイスの動作に影響しません。また、周辺機能の動作は、複数のポートのいずれか1つを兼用機能端子に設定後に、動作許可するようにしてください。

第3章 CPUシステム機能

この章ではCPU、動作モード、アドレス空間、メモリ空間のレジスタについて説明します。

3.1 概要

V850E2/Fx4-LのCPUはハーバード・アーキテクチャに基づいており、RISC命令セットをサポートしています。5段パイプラインの制御によりほとんどの命令を1クロックで実行し、命令実行速度を改善しました。

デジタル制御のアプリケーションを使用するための理想的なマイクロコントローラにするために、32ビット・ハードウェア乗算器による乗算処理、飽和演算命令、ビット操作命令などを可能にしました。

- CPU**
- コア：V850E2S CPU
アーキテクチャ：V850E2v3 アーキテクチャ
 - 命令実行時間

Device		Minimum instruction execution time	Maximum CPU clock
V850E2/FE4-L		20.9 ns	48 MHz
V850E2/FF4-L		20.9 ns	48 MHz
V850E2/FG4-L	μPD70F3576 μPD70F3577 μPD70F3578	20.9 ns	48 MHz
	μPD70F3579 μPD70F3580	15.7 ns	64 MHz
V850E2/FJ4-L	μPD70F3582 μPD70F3583	20.9 ns	48 MHz
	μPD70F3584 μPD70F3585	15.7 ns	64 MHz
V850E2/FF4-G		15.7 ns	64 MHz
V850E2/FG4-G		15.7 ns	64 MHz

- 32ビット汎用レジスタ（32本）
- 5段パイプライン
- 内部32ビット・アーキテクチャ
- メモリ空間：
 - プログラム領域：64 Mバイト・リニア
 - データ領域：64 Mバイト・リニア

- プロセッサ保護機能
 - メモリ保護ユニット (MPU)
ユーザ・プログラムに許可されていない実行, またはデータ操作からCPUメモリ空間を保護します (命令/データ共有: 4領域)。
 - システム・レジスタ保護 (SRP)
信頼済みでないプログラムによるシステム・レジスタ破壊を防ぐことができます。

- 命令セット**
- V850E2S 命令セットは, 従来の V850 命令セットの上位互換でよりコード・サイズを減少させ, 命令実行速度を速めています。
 - 1クロックでの乗算処理が可能
 - 16ビット×16ビット→32ビット
 - 32ビット×32ビット→32ビットまたは, 64ビット
 - 32ビット×32ビット→64ビット
 - オーバフロー/アンダフロー検出による飽和演算命令
 - 1クロックでの32ビット・シフト命令
 - ビット操作命令 (SET1, CLR1, NOT1, TST1)
 - ロング/ミドル/ショート・フォーマットのロード/ストア命令
 - 符号付きロード命令
 - MAC 演算命令
32ビット×32ビット+64ビット→64ビット

3.2 CPU サブシステム

この節では CPU サブシステムについての概要を示します。

- CPU と CPU 専用の構成要素（例えばプロセッサ保護機能）
- 命令／データ・メモリ用バス
- 他のマイコン周辺機器（例えば PBUS, データ・フラッシュ・インタフェース）へのさまざまなインタフェース
- 割り込み制御回路（INTC）
- DMA 制御回路（DMAC）
- オンチップ・デバッグ回路
- 他のすべての周辺機器にマスタとしてアクセスを可能にする複数のバス・システム

3.2.1 電源とクロック

CPU サブシステムは独立した「Isolated Area0」にあり、CKSCLK_000 クロックが供給されます。

3.2.2 レジスタ・アクセス

マイコン内のすべての周辺機器のコンフィギュレーション・レジスタ、制御レジスタ、ステータス・レジスタへのCPUアクセスはバスに依存し、レジスタにアクセスするために使用します。

(1) CPU サブシステム周辺レジスタ・アクセス

CPU サブシステム上の周辺レジスタへアクセスには専用のバス LSPB と GSPB を使用します。両方のバスはCPUにだけ制御されます。

表 3-1 V850E2S CPU サブシステム制御バス

周辺機器	CPU マスタ・バス	
	LSPB	GSPB
割り込みコントローラ (INTC)	R/W	–
DMA コントローラ	–	R/W
PBUS インタフェース	–	R/W
データ・フラッシュ・インタフェース	–	R/W

ロック機能 LSPB と GSPB バスは、ハードウェア・ロック機能をサポートしています。したがってビット操作命令 (CLR1, NOT1, SET1, TST1) は LSPB と GSPB バスによってアクセスできる1ビット・アクセスが可能なレジスタすべてに適用されます。

バイト・アクセス LSPB と GSPB バスはバイト・アクセスをサポートしています。したがって、LSPB と GSPB バスでバイト・アクセスするすべてのレジスタには別々にアクセスすることが可能です。

(2) PBUS 周辺レジスタ・アクセス

PBUS インタフェースはハードウェア・ロック機能をサポートしていません。したがってすべての周辺レジスタはPBUSではアクセスできません。

- ハードウェア・ロック機能
1ビット・アクセスはできません。
- バイト・アクセス
すべてのレジスタは32ビット単位のアドレスに32ビット幅でアクセスできます。

3.2.3 V850E2/Fx4-L CPU サブシステム

次に V850E2/Fx4-L の CPU サブシステムのブロック図を示します。

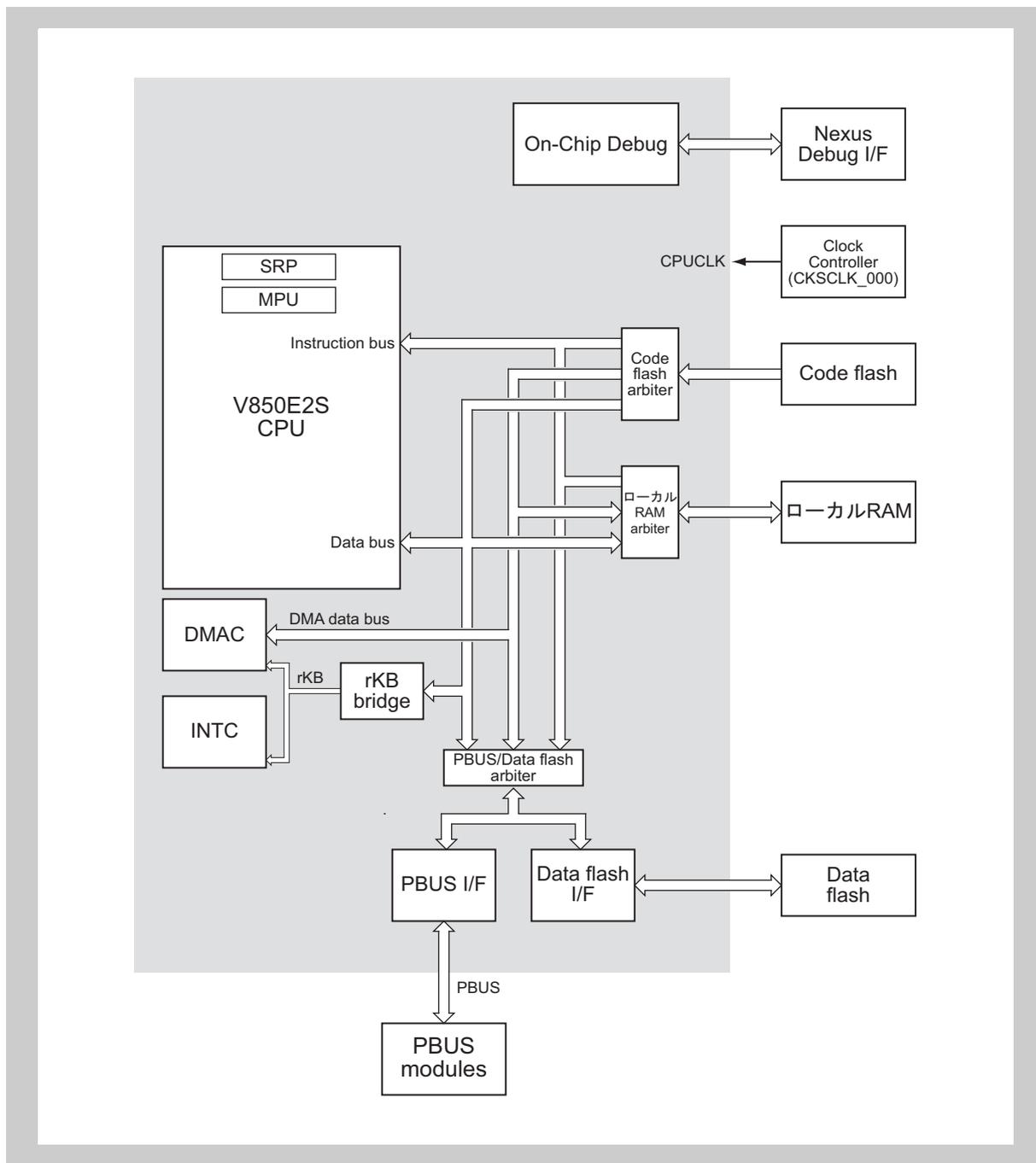


図 3-1 V850E2/Fx4-L CPU サブシステム

多くの周辺機器間をデータ転送するすべてのバスは2つのマスタによって制御されます。

- CPU
- DMA コントローラ (DMAC)

表 3-2 V850E2/Fx4-L CPU サブシステム・データ/命令バス

マスタ	バス	コード・フラッシュ	ローカル RAM	データ・フラッシュ	PBUS I/F
CPU	命令 (32 ビット)	R	R	—	—
	データ (32 ビット)	R	R/W	R/W ^a	R/W
DMA コントローラ	DMA データ・バス (8 / 16 / 32 ビット) ^b	R	R/W	R	R/W

a) データ・フラッシュへのリード/ライトは16ビットアクセスです。また、ライト・アクセスはデータ・フラッシュ・ライブラリが必要です。

b) データ・フラッシュへのアクセスは16ビットです。

(1) コード・フラッシュ・アクセス

表 3-3 コード・フラッシュ・アクセス

コード・フラッシュ	コード・フラッシュ・アービタ	←CPU 命令バス
		←CPU データ・バス
		←DMA データ・バス

(2) ローカル RAM アクセス

表 3-4 ローカル RAM アクセス

ローカル RAM	ローカル RAM アービタ	←CPU 命令バス
		←CPU データ・バス
		←DMA データ・バス

(3) PBUS/GSPB インタフェース・アクセス

表 3-5 PBUS/GSPB インタフェース・アクセス

PBUS/GSPB I/F	PBUS / GSPB アービタ	←CPU 命令バス
		←CPU データ・バス
		X (直接 PBUS/GSPB アービタを経由した DMA アクセス)
		←DMA データ・バス

(4) データ・フラッシュ・インタフェース・アクセス

表 3-6 データ・フラッシュ・インタフェース・アクセス

データ・ フラッシュ・ インタフェース	データ・ フラッシュ・ アービタ	←CPU 命令バス
		←CPU データ・バス
		X (直接データ・フラッシュ・アービタを経 由した DMA アクセス)
		←DMA データ・バス

(5) CPUサブシステム・バス・アービトレーション・ポリシー

表 3-7 「CPUサブシステム・バス・アービトレーション・ポリシー」に CPU
サブシステム・バス・アービタのアービトレーション・ポリシーを示します。

表 3-7 CPUサブシステム・バス・アービトレーション・ポリシー

アービタ	ポリシー	マスタ
コード・ フラッシュ	優先度固定	ハイ・レベル : DMA
		中間レベル : CPU データ・バス
		ロウ・レベル : CPU 命令バス
ローカル RAM	優先度固定	ハイ・レベル : DMA
		中間レベル : CPU データ・バス
		ロウ・レベル : CPU 命令バス
PBUS/GSPB データ・フラッ シュ	優先度固定	ハイ・レベル : DMA
		中間レベル : CPU データ・バス
		ロウ・レベル : CPU 命令バス

3.3 データ・フラッシュ・アクセス・ウェイト制御

3.3.1 データ・フラッシュ・アクセス・ウェイト設定レジスタの詳細

データ・フラッシュをリードする場合のアクセス・ウェイトは、データ・フラッシュ・アクセス・ウェイト設定レジスタ（DCLKWAIT）で設定します。

(1) DCLKWAIT – データ・フラッシュ・アクセス・ウェイト設定レジスタ

このレジスタは、データ・フラッシュのアクセス・ウェイトを設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FF43 6000_H

初期値 1F_H どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	WAIT[4:0]				
R	R	R	R/W	R/W	R/W	R/W	R/W

表 3-8 DCLKWAIT レジスタの内容

ビット位置	ビット名	機能								
4-0	WAIT[4:0]	データ・フラッシュ・メモリへのアクセス・ウェイトを設定します。 高速アクセスモードでは、データ・フラッシュへリードする場合のアクセス・ウェイトを短くします。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>設定値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10001_B</td> <td>高速アクセスモード</td> </tr> <tr> <td>11111_B</td> <td>初期アクセスモード</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	設定値	説明	10001 _B	高速アクセスモード	11111 _B	初期アクセスモード	上記以外	設定禁止
設定値	説明									
10001 _B	高速アクセスモード									
11111 _B	初期アクセスモード									
上記以外	設定禁止									

注意 アクセス・ウェイトの設定はリセット解除後から、データ・フラッシュに最初にアクセスするまでに設定してください。

3.4 動作モード

V850E2/Fx4-L の動作モードとモードの選択方法について説明します。

V850E2/Fx4-L には次の動作モードがあります。

- 通常動作モード
- フラッシュ・プログラミング・モード

RESET 端子によるリセット解除後、FLMD0, FLMD1 端子をサンプリングし、次の表のようにリセット解除後の動作モードを設定します。

備考 FLMD0 端子を使用する場合、82kΩ 以上の抵抗を介して E0VSS レベルへプルダウン接続してください。

表 3-9 動作モードの選択

端子		動作モード
FLMD0	FLMD1(P0_1)	
VSS	VSS	通常動作モード
	VDD	設定禁止
VDD	VSS	フラッシュ・プログラミング・モード
	VDD	設定禁止

3.4.1 通常動作モード

内蔵 ROM へのアクセスが可能になります。シングルチップ・モードでは、システム・リセット解除後、内蔵 ROM のリセット・エントリ・アドレスに分岐し、命令処理を開始します。

3.4.2 フラッシュ・プログラミング・モード

このモードを指定すると、フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

詳細は、第6章「フラッシュ・メモリ」の章を参照してください。

3.5 アドレス空間

CPUのアドレス空間（CPUアドレス空間と物理アドレス空間のサイズとアドレス）について説明します

データ空間とプログラム空間のアドレス範囲はラップアラウンドにより示されます。

3.5.1 CPU データ・アドレスと物理プログラムアドレス空間

CPUは次のアドレス空間をサポートしています。

- 4 GB CPU データ・アドレス空間
32ビットの汎用レジスタで、最大4GBメモリのアドレス空間をサポートしています。これはCPUがサポートできる最大のアドレス空間です。
- 64 MB 物理プログラム・アドレス空間
CPUはプログラム・メモリの命令コードにアクセスする64MB物理アドレス空間を供給します。つまり、外部または内部のメモリに最大64MBまでアクセス可能です。

3.5.2 プログラム空間とデータ空間

次にCPUアドレス空間におけるデータ空間とプログラム空間の割り当てについて示します。

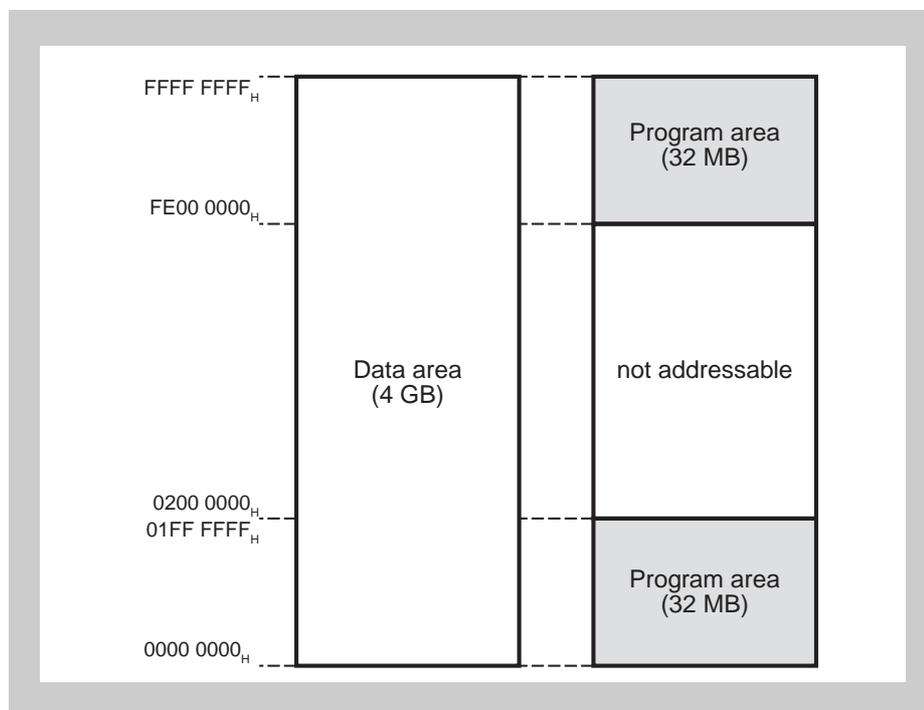


図 3-2 CPU アドレス空間

(1) データ空間のラップアラウンド

オペランドアドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限である FFFF FFFF_H 番地と、下限である 0000 0000_H 番地は連続したアドレスになり、この境界でラップアラウンドします。

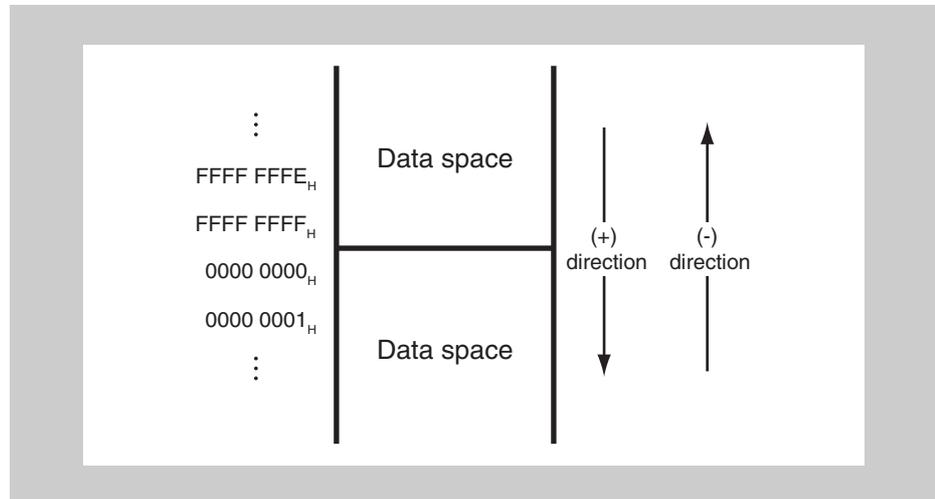


図 3-3 データ空間のラップアラウンド

(2) プログラム空間でのラップアラウンド

命令アドレス計算で 25 ビットを越える演算結果は無視します。

(上位 6 ビットはビット 25 の符号拡張となります。)

したがって、アドレス $01FF\ FFFE_H$ と、 $FE00\ 0000_H$ 、 $FFFF\ FFFF_H$ と $0000\ 0000_H$ は連続したアドレスになり、この境界でラップアラウンドします。

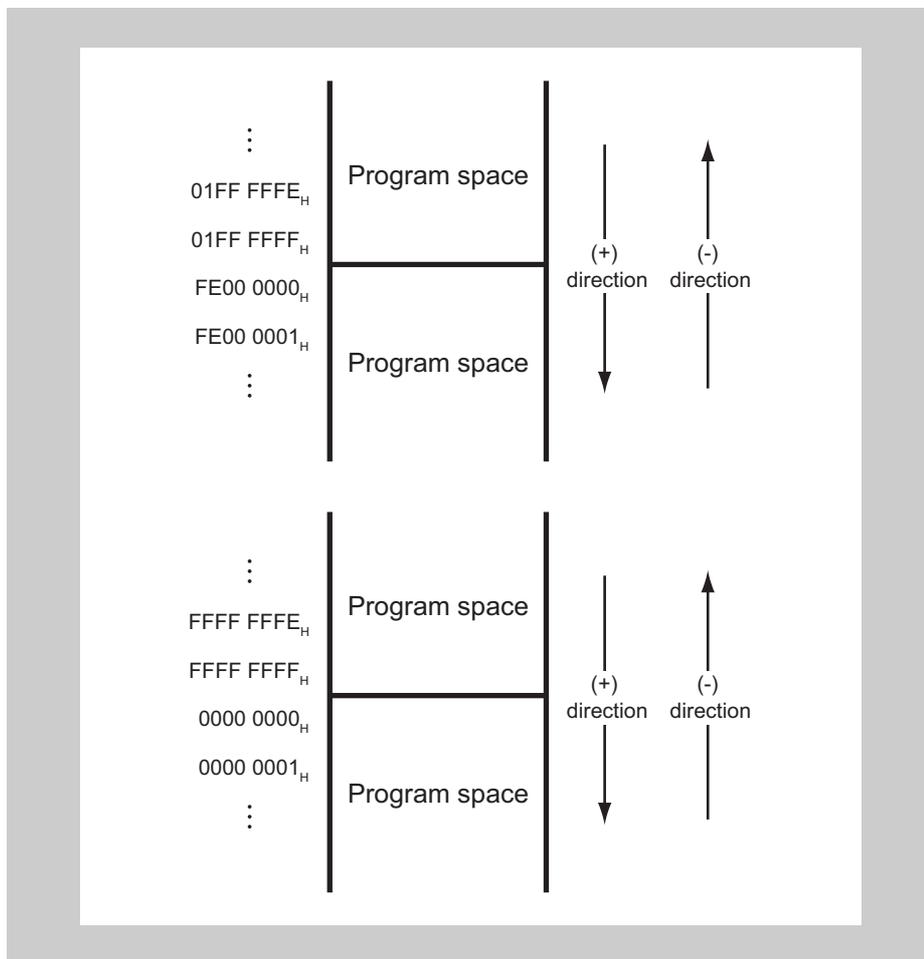


図 3-4 プログラム空間でのアップアラウンド

3.6 メモリ

CPU メモリ・マップ, DMA アドレス・マップ, および特定のメモリ空間について説明します。

3.6.1 DMA アクセス・メモリ・マップ

詳細は, 3.6.2 「V850E2/Fx4-L, V850E2/Fx4-G メモリ・マップ」を参照してください。

3.6.2 V850E2/Fx4-L, V850E2/Fx4-G メモリ・マップ

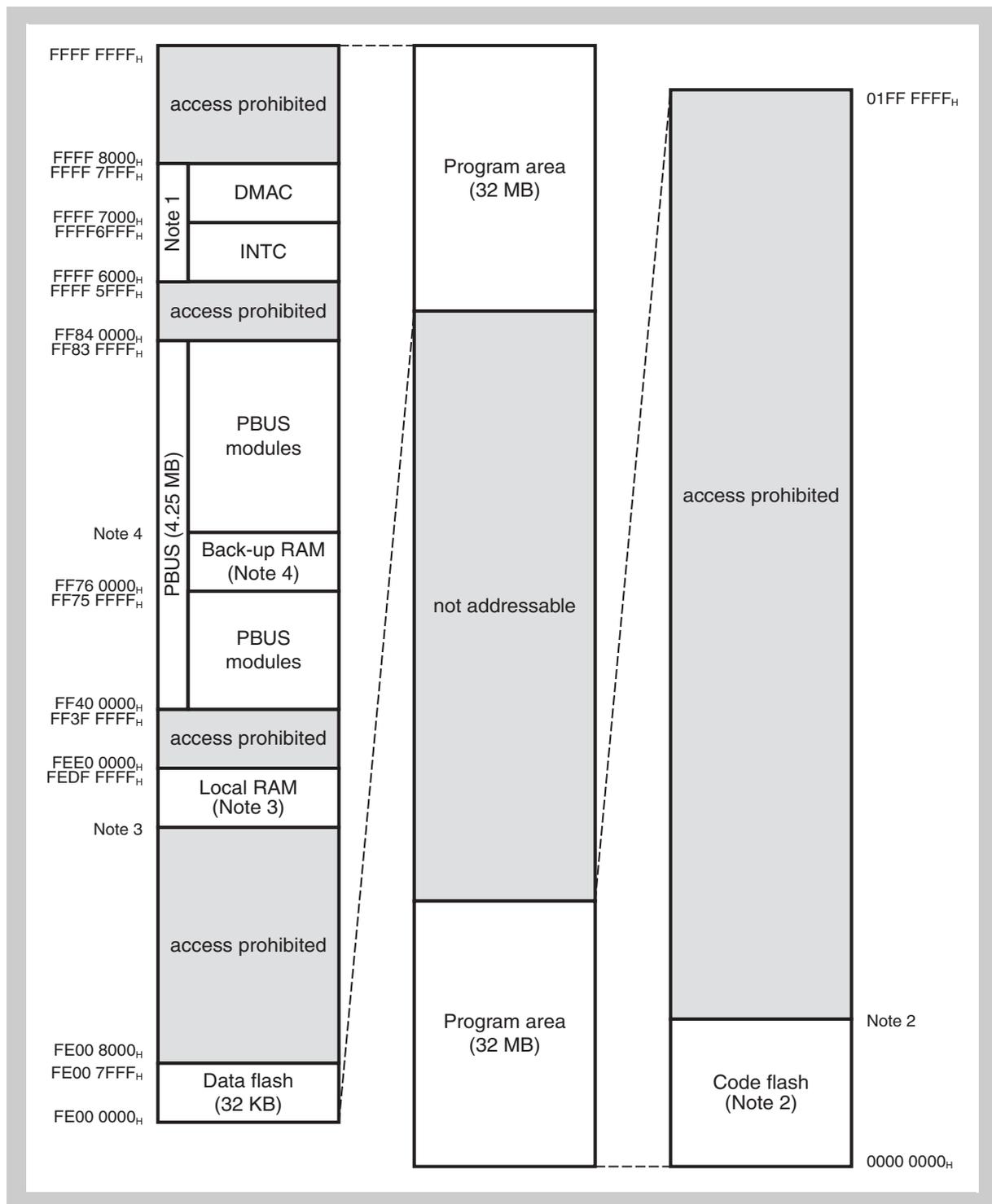


図 3-5 V850E2/Fx4-L メモリ・マップ

- Note 1 DMA コントローラではアクセスできません。
- Note 2 コード・フラッシュ領域とそのアドレス範囲は 3.6.3 「メモリ領域」の(1)「コード・フラッシュ領域」を参照してください。
- Note 3 ローカル RAM 領域とそのアドレス範囲は 3.6.3 「メモリ領域」の(3)「ローカル RAM 領域」を参照してください。
- Note 4 バックアップ RAM 領域とそのアドレス範囲は 3.6.3 「メモリ領域」の(4)「バックアップ RAM 領域」を参照してください。

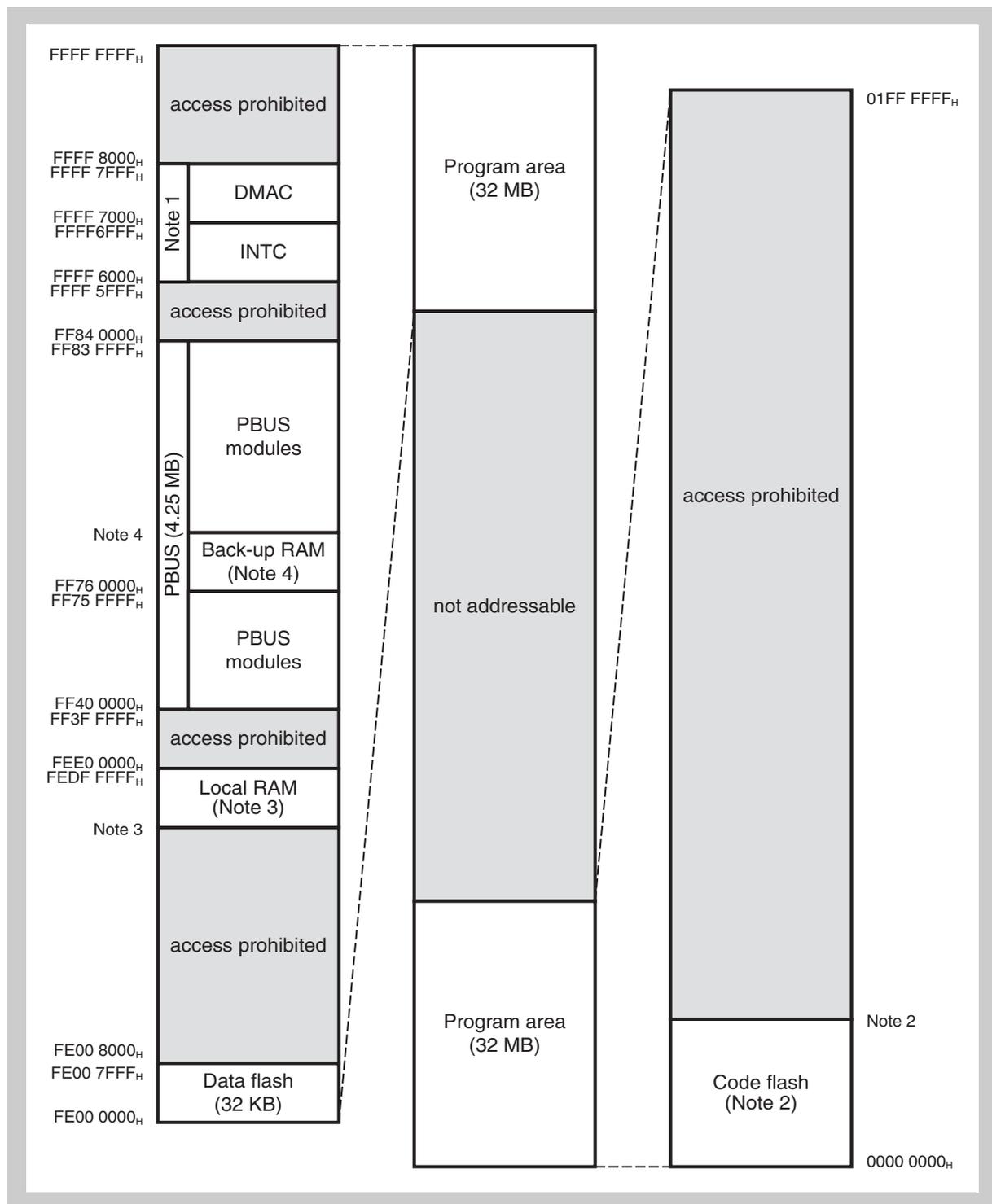


図 3-6 V850E2/FF4-G, FG4-G メモリ・マップ

- Note 1 DMA コントローラではアクセスできません。
- Note 2 コード・フラッシュ領域とそのアドレス範囲は 3.6.3「メモリ領域」の(1)「コード・フラッシュ領域」を参照してください。
- Note 3 ローカル RAM 領域とそのアドレス範囲は 3.6.3「メモリ領域」の(3)「ローカル RAM 領域」を参照してください。
- Note 4 バックアップ RAM 領域とそのアドレス範囲は 3.6.3「メモリ領域」の(4)「バックアップ RAM 領域」を参照してください。

3.6.3 メモリ領域

V850E2/Fx4-Lのメモリ領域には次のような領域があります。

- コード・フラッシュ領域
- データ・フラッシュ領域
- ローカル RAM 領域
- バックアップ RAM 領域

領域ごとに説明して行きます。

(1) コード・フラッシュ領域

コード・フラッシュのサイズとアドレス範囲について次に示します。

表 3-10 コード・フラッシュ・メモリ領域

愛称	製品名	サイズ	アドレス範囲
FE4-L-256K	μPD70F3570	256 KB	0000 0000 _H - 0003 FFFF _H
FE4-L-384K	μPD70F3571	384 KB	0000 0000 _H - 0005 FFFF _H
FE4-L-512K	μPD70F3572	512 KB	0000 0000 _H - 0007 FFFF _H
FF4-L-256K	μPD70F3573	256 KB	0000 0000 _H - 0003 FFFF _H
FF4-L-384K	μPD70F3574	384 KB	0000 0000 _H - 0005 FFFF _H
FF4-L-512K	μPD70F3575	512 KB	0000 0000 _H - 0007 FFFF _H
FG4-L-256K	μPD70F3576	256 KB	0000 0000 _H - 0003 FFFF _H
FG4-L-384K	μPD70F3577	384 KB	0000 0000 _H - 0005 FFFF _H
FG4-L-512K	μPD70F3578	512 KB	0000 0000 _H - 0007 FFFF _H
FG4-L-768K	μPD70F3579	768 KB	0000 0000 _H - 000B FFFF _H
FG4-L-1M	μPD70F3580	1 MB	0000 0000 _H - 000F FFFF _H
FJ4-L-384K	μPD70F3582	384 KB	0000 0000 _H - 0005 FFFF _H
FJ4-L-512K	μPD70F3583	512 KB	0000 0000 _H - 0007 FFFF _H
FJ4-L-768K	μPD70F3584	768 KB	0000 0000 _H - 000B FFFF _H
FJ4-L-1M	μPD70F3585	1 MB	0000 0000 _H - 000F FFFF _H
FF4-G-256K	μPD70F4177	256 KB	0000 0000 _H - 0003 FFFF _H
FF4-G-512K	μPD70F4178	512 KB	0000 0000 _H - 0007 FFFF _H
FG4-G-256K	μPD70F4179	256 KB	0000 0000 _H - 0003 FFFF _H
FG4-G-512K	μPD70F4180	512 KB	0000 0000 _H - 0007 FFFF _H

(2) データ・フラッシュ領域

データ・フラッシュのサイズとアドレス範囲について次に示します。

表 3-11 データ・フラッシュ領域

愛称	製品名	サイズ	アドレス範囲
FE4-L-256K	μPD70F3570	32 KB	FE00 0000 _H - FE00 7FFF _H
FE4-L-384K	μPD70F3571	32 KB	FE00 0000 _H - FE00 7FFF _H
FE4-L-512K	μPD70F3572	32 KB	FE00 0000 _H - FE00 7FFF _H
FF4-L-256K	μPD70F3573	32 KB	FE00 0000 _H - FE00 7FFF _H
FF4-L-384K	μPD70F3574	32 KB	FE00 0000 _H - FE00 7FFF _H
FF4-L-512K	μPD70F3575	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-L-256K	μPD70F3576	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-L-384K	μPD70F3577	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-L-512K	μPD70F3578	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-L-768K	μPD70F3579	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-L-1M	μPD70F3580	32 KB	FE00 0000 _H - FE00 7FFF _H
FJ4-L-384K	μPD70F3582	32 KB	FE00 0000 _H - FE00 7FFF _H
FJ4-L-512K	μPD70F3583	32 KB	FE00 0000 _H - FE00 7FFF _H
FJ4-L-768K	μPD70F3584	32 KB	FE00 0000 _H - FE00 7FFF _H
FJ4-L-1M	μPD70F3585	32 KB	FE00 0000 _H - FE00 7FFF _H
FF4-G-256K	μPD70F4177	32 KB	FE00 0000 _H - FE00 7FFF _H
FF4-G-512K	μPD70F4178	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-G-256K	μPD70F4179	32 KB	FE00 0000 _H - FE00 7FFF _H
FG4-G-512K	μPD70F4180	32 KB	FE00 0000 _H - FE00 7FFF _H

注意 16 ビット単位でのライト／リードアクセスのみ可能です。

(3) ローカル RAM 領域

ローカル RAM のサイズとアドレス範囲について次に示します。

表 3-12 ローカル RAM 領域

愛称	製品名	サイズ	アドレス範囲
FE4-L-256K	μPD70F3570	24 KB	FEDF A000 _H - FEDF FFFF _H
FE4-L-384K	μPD70F3571	28 KB	FEDF 9000 _H - FEDF FFFF _H
FE4-L-512K	μPD70F3572	32 KB	FEDF 8000 _H - FEDF FFFF _H
FF4-L-256K	μPD70F3573	24 KB	FEDF A000 _H - FEDF FFFF _H
FF4-L-384K	μPD70F3574	28 KB	FEDF 9000 _H - FEDF FFFF _H
FF4-L-512K	μPD70F3575	32 KB	FEDF 8000 _H - FEDF FFFF _H
FG4-L-256K	μPD70F3576	24 KB	FEDF A000 _H - FEDF FFFF _H
FG4-L-384K	μPD70F3577	28 KB	FEDF 9000 _H - FEDF FFFF _H
FG4-L-512K	μPD70F3578	32 KB	FEDF 8000 _H - FEDF FFFF _H
FG4-L-768K	μPD70F3579	48 KB	FEDF 4000 _H - FEDF FFFF _H
FG4-L-1M	μPD70F3580	64 KB	FEDF 0000 _H - FEDF FFFF _H
FJ4-L-384K	μPD70F3582	28 KB	FEDF 9000 _H - FEDF FFFF _H
FJ4-L-512K	μPD70F3583	32 KB	FEDF 8000 _H - FEDF FFFF _H
FJ4-L-768K	μPD70F3584	48 KB	FEDF 4000 _H - FEDF FFFF _H
FJ4-L-1M	μPD70F3585	64 KB	FEDF 0000 _H - FEDF FFFF _H
FF4-G-256K	μPD70F4177	32 KB	FEDF 8000 _H - FEDF FFFF _H
FF4-G-512K	μPD70F4178	64 KB	FEDF 0000 _H - FEDF FFFF _H
FG4-G-256K	μPD70F4179	32 KB	FEDF 8000 _H - FEDF FFFF _H
FG4-G-512K	μPD70F4180	64 KB	FEDF 0000 _H - FEDF FFFF _H

注意 ローカル RAM から任意の命令コードをフェッチする前に、その命令コードを含むローカル RAM の 16 バイト境界領域を初期化してください。16 バイト境界領域は、アドレス XXXX XXX0_H から XXXX XXXF_H までの領域です。ローカル RAM を初期化する際、任意のデータ値を書き込むことができますが、必ず命令をフェッチする前に初期化を行うようにしてください。初期化されていないローカル RAM 領域から命令をフェッチすると、メモリ保護例外 (MEP) が発生する場合があります。

注意 ローカル RAM 領域から読み出しを行う前にローカル RAM 領域全体を初期化してください。未初期化のローカル RAM 領域をリード/バイト・ライト/ハーフワード・ライトした場合、システム・エラー例外が発生する場合があります。

(4) バックアップRAM 領域

バックアップRAMのサイズとアドレス範囲について次に示します。

表 3-13 バックアップRAM 領域

愛称	製品名	サイズ	アドレス範囲
FE4-L-256K	μPD70F3570	4 KB	FF76 0000 _H - FF76 0FFF _H
FE4-L-384K	μPD70F3571	4 KB	FF76 0000 _H - FF76 0FFF _H
FE4-L-512K	μPD70F3572	4 KB	FF76 0000 _H - FF76 0FFF _H
FF4-L-256K	μPD70F3573	4 KB	FF76 0000 _H - FF76 0FFF _H
FF4-L-384K	μPD70F3574	4 KB	FF76 0000 _H - FF76 0FFF _H
FF4-L-512K	μPD70F3575	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-L-256K	μPD70F3576	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-L-384K	μPD70F3577	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-L-512K	μPD70F3578	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-L-768K	μPD70F3579	8 KB	FF76 0000 _H - FF76 1FFF _H
FG4-L-1M	μPD70F3580	8 KB	FF76 0000 _H - FF76 1FFF _H
FJ4-L-384K	μPD70F3582	4 KB	FF76 0000 _H - FF76 0FFF _H
FJ4-L-512K	μPD70F3583	4 KB	FF76 0000 _H - FF76 0FFF _H
FJ4-L-768K	μPD70F3584	8 KB	FF76 0000 _H - FF76 1FFF _H
FJ4-L-1M	μPD70F3585	8 KB	FF76 0000 _H - FF76 1FFF _H
FF4-G-256K	μPD70F4177	4 KB	FF76 0000 _H - FF76 0FFF _H
FF4-G-512K	μPD70F4178	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-G-256K	μPD70F4179	4 KB	FF76 0000 _H - FF76 0FFF _H
FG4-G-512K	μPD70F4180	4 KB	FF76 0000 _H - FF76 0FFF _H

備考 バックアップRAM領域に対し、命令フェッチはできません。
アクセスは、32ビット単位でのみリード/ライト可能です。

**バックアップRAM
書き込み許可** バックアップRAMにライト・アクセスするには特定の手順に従わなくてはなりません。詳細は3.6.4「バックアップRAM保護」を参照してください。

3.6.4 バックアップRAM 保護

バックアップRAMのライトアクセスは、リセット解除後禁止となっています。

したがって、ライト・アクセス許可ビット (BURC.BURWE) をセット (1) しなければなりません。

もしバックアップRAMへのアクセスを許可していないとき (BURC.BURWE = 0) にライト・アクセスをした場合、エラー・ビット (BURAE.BURAERR) がセット (1) されます。

次にバックアップRAMへのアクセスを制御/モニタするレジスタを示します。

表 3-14 バックアップRAMのレジスタ一覧

レジスタ名	略号	アドレス
バックアップRAM制御レジスタ	BURC	FF76 FE00 _H
バックアップRAMライト・アクセス・エラー・レジスタ	BURAE	FF76 FE04 _H
バックアップRAMライト・アクセス・エラー・クリア・レジスタ	BURAECL	FF76 FE08 _H

(1) BURC – バックアップRAM制御レジスタ

BURCレジスタはバックアップRAMへのライト・アクセスを許可/禁止を制御します。

アクセス 1/8ビット単位でリード/ライト可能です。

アドレス FF76 FE00_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BURWE
R	R	R	R	R	R	R	R/W

表 3-15 BURCレジスタの内容

ビット位置	ビット名	機能
0	BURWE	バックアップRAMへの書き込み制御 0: バックアップRAMへの書き込み禁止 1: バックアップRAMへの書き込み許可

(2) BURAE – バックアップ RAM アクセス・エラー・レジスタ

BURAE レジスタはバックアップ RAM へのライト・アクセス・エラーをモニタします。

アクセス 1/8 ビット単位でリードのみ可能です。

アドレス FF76 FE04_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BUR AERR
R	R	R	R	R	R	R	R

表 3-16 BURAE レジスタの内容

ビット位置	ビット名	機能
0	BUR AERR	バックアップ RAM ライト・アクセス・エラー・フラグ 0: バックアップ RAM ライト・アクセス・エラーなし 1: バックアップ RAM ライト・アクセス・エラー発生

(3) BURAE C – バックアップ RAM ライト・アクセス・エラー・クリア・レジスタ

BURAE C レジスタはバックアップ RAM ライト・アクセス・エラー・フラグ (BURAERR) をクリアします。

アクセス 1/8 ビット単位でリード/ライト可能です。
リードすると常に 00_H が読めます。

アドレス FF76 FE08_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BUR AERRC
R	R	R	R	R	R	R	R/W

表 3-17 BURAE C レジスタの内容

ビット位置	ビット名	機能
0	BUR AERRC	バックアップ RAM ライト・アクセス・エラー・フラグ (BURAERR) クリア 0: 動作しない 1: BURAERR クリア

3.7 ライト保護レジスタ

書き込み保護レジスタは、誤ったプログラム実行などの不用意なライト・アクセスから保護します。

書き込み保護レジスタへの書き込みには、特定レジスタへの保護解除シーケンスが必要になります。

3.7.1 レジスタ保護クラスタ

保護レジスタへの保護解除シーケンス中は、保護レジスタの対象機能内のレジスタへのアクセスはできなくなります。保護解除シーケンス中に対象機能のレジスタをアクセスした場合、保護解除シーケンスは中断され、レジスタの書き込みはエラーが発生します。

次の図は、割り込み処理ルーチンの中で保護レジスタの対象機能（cluster A）のレジスタのアクセスによって解除シーケンスの中断を示します。

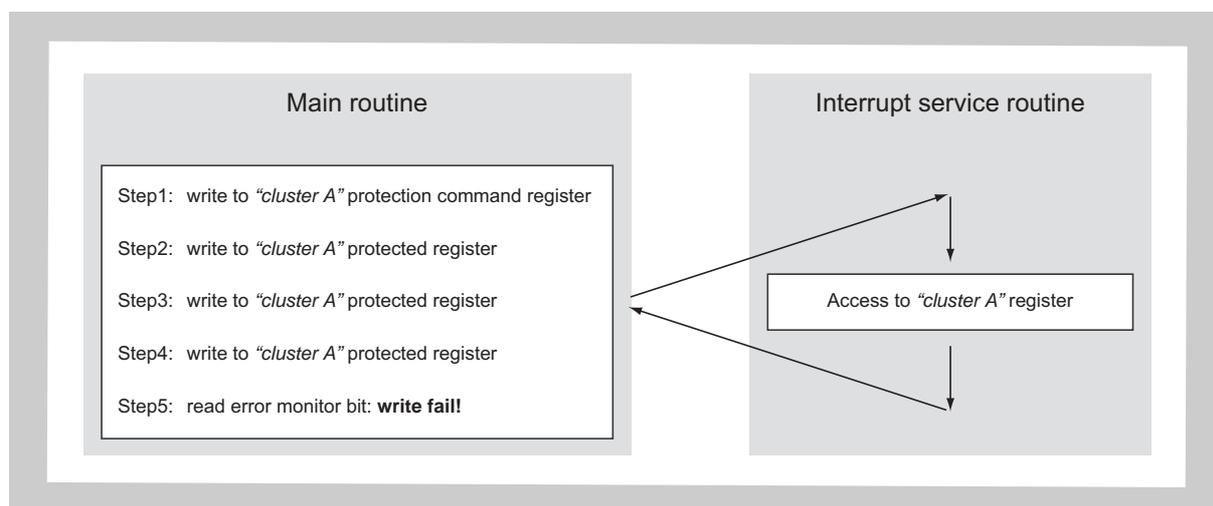


図 3-7 レジスタ保護解除シーケンスの中断

保護シーケンス中の他の保護クラスタのレジスタへのアクセスは、保護シーケンスを中断せず、レジスタへの書き込みは正常に完了できます。

次に保護解除シーケンスの成功例を示します。

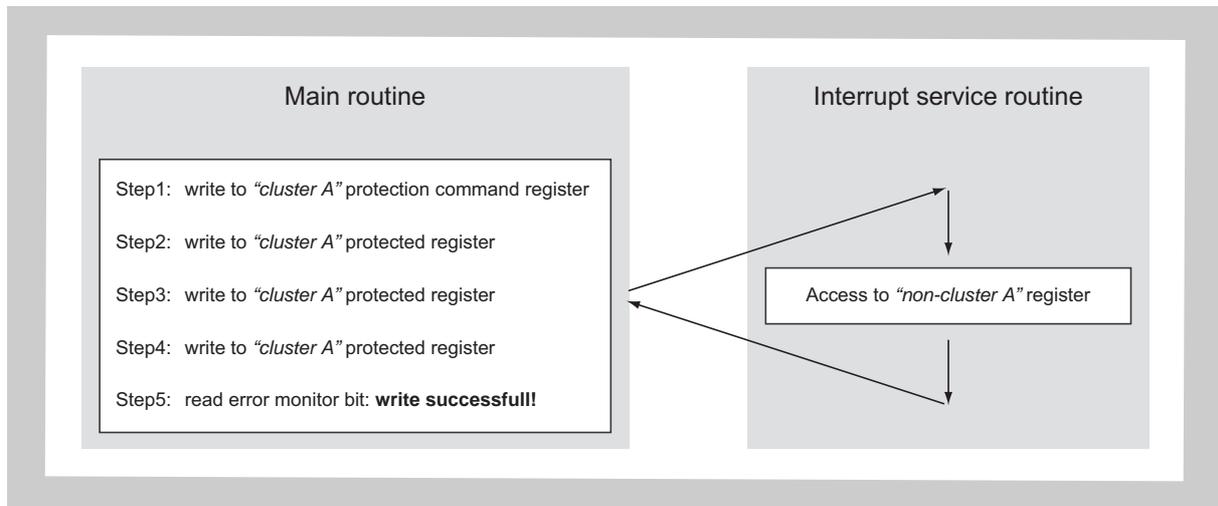


図 3-8 レジスタ保護の解除シーケンスの成功例

V850E2/Fx4-L レジスタ保護クラスタについてのレジスタの詳細は 3.7.4 「V850E2/Fx4-L 書き込み保護レジスタ」を参照してください。

3.7.2 レジスタ保護解除シーケンス

書き込み保護レジスタへのライト・アクセスは、特別な保護解除シーケンスでのみ可能です。

1. 保護コマンド・レジスタに A5_H をライト
2. 保護されたレジスタに所定の値をライト
3. 保護されたレジスタに所定の値のビットごとに値を反転させた値をライト
4. 保護されたレジスタに所定の値をライト
5. 保護ステータス・レジスタのエラー・モニタ・ビットが 0 であることを確認することによって、保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記のシーケンスのステップ 1 からステップ 4 の間に他のレジスタにアクセスした場合は、保護機能は次のようになります。

- 第 2 のレジスタが同じクラスタに属しているなら、保護レジスタへの書き込みは失敗します（エラー・モニタ・ビットはセット（1）されます）。すべてのシーケンスはステップ 1 からやり直してください。
- 第 2 のレジスタが同じクラスタに属していないなら、保護レジスタへの書き込みは中断せず、第一のレジスタへの書き込みは正常に完了します。

3.7.3 レジスタ保護と割り込み／エミュレーション・ブレイク

保護解除シーケンス中の割り込み発生では、保護機能は次のようになります。

(1) 保護解除シーケンス中の割り込み

割り込みが保護解除シーケンス中に認識される、または割り込み処理ルーチンが同じレジスタ保護クラスタ内のレジスタからアクセスされていないなら、割り込み処理ルーチンからの復帰後、保護解除シーケンスは中断されず保護レジスタへの書き込みは正常に完了できます。

(2) 保護解除シーケンス中のエミュレーション・ブレイク

エミュレーション・ブレイク保護シーケンス中にエミュレーション・ブレイクが発生した場合（例えばブレイク・ポイントにヒットした場合など）、ブレイク後の通常動作モードが再開されるまで、レジスタ保護は停止します。

つまりブレイク中に同じクラスタ内のレジスタにアクセスしても、保護シーケンスは中断されず、エラー・モニタ・ビットもセット（1）されません。

3.7.4 V850E2/Fx4-L 書き込み保護レジスタ

次に V850E2/Fx4-L の書き込み保護レジスタに関するレジスタについて示します。

表 3-18 書き込み保護レジスタ一覧

保護対象	保護されるレジスタ	保護レジスタ		保護クラスタ
		コマンド・レジスタ	ステータス・レジスタ	
クロック・コントローラ	CKSC_0n	PROTCMD0	PROTS0	コントロール保護クラスタ 0
クロック・コントローラ	PLLE0	PROTCMD2	PROTS2	コントロール保護クラスタ 2
	MOSCE			
	ROSCE			
	CKSC_An			
スタンバイ機能	PSC0	PROTCMD3	PROTS3	コントロール保護クラスタ 3
リセット機能	SWRESA			
	LVICNT			
オンチップ・デバッグ機能	IDMODI	PROTCMD3	PROTS3	コントロール保護クラスタ 3
クロック・モニタ	CLMAnCTL0	CLMAnPCMD	CLMAnPS	クロック・モニタ保護クラスタ
ポート ^a	PODCn, JPODCn	PPCMDn	PPROTSn	ポート保護クラスタ 1-3
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

a) 各ポート・グループはそれぞれ独自の保護コマンド・レジスタと保護ステータス・レジスタを持ちます。詳細は 3.7.4 「V850E2/Fx4-L 書き込み保護レジスタ」の (1) 「ポート保護クラスタ」を参照してください。

(1) ポート保護クラスタ

ポート・レジスタの書き込み保護の概要を次に示します。

- ポート・オープン・ドレイン制御レジスタ (PODCn, JPODCn)

上記のポート・グループ n 内のポート制御レジスタは 3 つのポート保護クラスタに割り当てられています。

表 3-19 ポート保護クラスタ

ポート保護クラスタ	ポート・グループ
1	JP0
2	P0
3 ^a	P1 to P4, P10, P11, P21, P25, P27

備考 各ポート・グループ n には、ポート・グループごとにポート保護コマンド・レジスタ (PPCMDn) とポート保護ステータス・レジスタ (PPROTSn) があります。

なお、同じポート保護クラスタの保護コマンド・レジスタであれば、保護解除シーケンスを通して、書き込みアクセスが可能となります。

- a) V850E2/FE4-L では、ポート・グループは P1, P4, P10 になります。
 V850E2/FF4-L では、ポート・グループは P1, P3, P4, P10 になります。
 V850E2/FG4-L では、ポート・グループは P1, P3, P4, P10, P11 になります。
 V850E2/FF4-G では、ポート・グループは P1, P3, P4, P10 になります。
 V850E2/FG4-G では、ポート・グループは P1, P3, P4, P10, P27 になります。

レジスタ幅 保護されたポート制御レジスタは 32 ビット・レジスタ、関連する保護コマンド・レジスタ (PPCMDn) は 8 ビット・レジスタです。

保護解除シーケンスを次に示します。

1. 保護コマンド・レジスタ (PPCMDn) に A5_H とライト。
2. 保護されたレジスタに所定の値 xxxx_H の上位 16 ビット [31:16] に 0 を設定した 32 ビットの値 (0000 xxxx_H) をライト
3. 保護されたレジスタに所定の値をビット単位で反転させた値の上位 16 ビット [31:16] に 1 を設定した 32 ビットの値 (FFFF xxxx_H) をライト
4. 保護されたレジスタに所定の値 xxxx_H の上位 16 ビット [31:16] に 0 を設定した 32 ビットの値 (0000 xxxx_H) をライト
5. PPROTSn.PPROTSnPRERR = 0 であることを確認することによって、保護されたレジスタに所定の値がライトできたことが確認できます。

3.7.5 V850E2/Fx4-L 保護レジスタ概要

レジスタ・ライト保護は次のレジスタによって制御／動作します。

表 3-20 保護コマンド・レジスタ概要 (1/2)

レジスタ名	略号	アドレス
コントロール保護クラスタ :		
コントロール保護コマンド・レジスタ 0	PROTCMD0	FF42 4000 _H
コントロール保護コマンド・レジスタ 2	PROTCMD2	FF42 0300 _H
コントロール保護コマンド・レジスタ 3	PROTCMD3	FF42 0308 _H
コントロール保護ステータス・レジスタ 0	PROTS0	FF42 4004 _H
コントロール保護ステータス・レジスタ 2	PROTS2	FF42 0304 _H
コントロール保護ステータス・レジスタ 3	PROTS3	FF42 030C _H
クロック・モニタ保護クラスタ :		
CLMA0 保護コマンド・レジスタ	CLMA0PCMD	FF80 2010 _H
CLMA0 保護ステータス・レジスタ	CLMA0PS	FF80 2014 _H
CLMA2 保護コマンド・レジスタ	CLMA2PCMD	FF80 4010 _H
CLMA2 保護ステータス・レジスタ	CLMA2PS	FF80 4014 _H
CLMA3 保護コマンド・レジスタ	CLMA3PCMD	FF80 5010 _H
CLMA3 保護ステータス・レジスタ	CLMA3PS	FF80 5014 _H

表 3-20 保護コマンド・レジスタ概要 (2/2)

レジスタ名	略号	アドレス
ポート保護クラスタ :		
ポート・レジスタ保護コマンド・レジスタ 1	JPPCMD0	FF44 04C0 _H
ポート保護ステータス・レジスタ 1	JPPROTS0	FF44 04B0 _H
ポート・レジスタ保護コマンド・レジスタ 2	PPCMD0	FF40 4C00 _H
ポート保護ステータス・レジスタ 2	PPROTS0	FF40 4B00 _H
ポート・レジスタ保護コマンド・レジスタ 3	PPCMD1	FF40 4C04 _H
	PPCMD2	FF40 4C08 _H
	PPCMD3	FF40 4C0C _H
	PPCMD4	FF40 4C10 _H
	PPCMD10	FF40 4C28 _H
	PPCMD11	FF40 4C2C _H
	PPCMD21	FF40 4C54 _H
	PPCMD25	FF40 4C64 _H
	PPCMD27	FF40 4C6C _H
ポート保護ステータス・レジスタ 3	PPROTS1	FF40 4B04 _H
	PPROTS2	FF40 4B08 _H
	PPROTS3	FF40 4B0C _H
	PPROTS4	FF40 4B10 _H
	PPROTS10	FF40 4B28 _H
	PPROTS11	FF40 4B2C _H
	PPROTS21	FF40 4B54 _H
	PPROTS25	FF40 4B64 _H
	PPROTS27	FF40 4B6C _H
セルフ・プログラミング保護クラスタ :		
FLMD 保護コマンド・レジスタ	FLMDPCMD	FF43 8004 _H
FLMD 保護エラー・ステータス・レジスタ	FLMDPS	FF43 8008 _H

3.7.6 コントロール保護クラスタ・レジスタ詳細

(1) PROTCMDn – コントロール保護コマンド・レジスタ

書き込み保護されたレジスタのための書き込み保護解除シーケンス起動させるレジスタです。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8ビット単位でライトのみ可能です。リードすると常に 00_H が読めます。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
PCMD[7:0]							
W	W	W	W	W	W	W	W

PROTCMDn レジスタの使用方法の詳細は 3.7.2 「レジスタ保護解除シーケンス」を参照してください。

表 3-21 PROTCMDn レジスタの内容

ビット位置	ビット名	機能
7 to 0	PCMD[7:0]	コントロール保護クラスタ n レジスタへの書き込み許可の保護コマンド保護対象レジスタについては表 3-18 「書き込み保護レジスタ一覧」を参照ください。

(2) PROTSn – コントロール保護ステータス・レジスタ

PROTCMDn によって行われる保護解除シーケンスのステータスを示します。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8ビット単位でリードのみ可能です。
ライト動作は無視されます。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROT ERR
R	R	R	R	R	R	R	R

表 3-22 PROTSn レジスタの内容

ビット位置	ビット名	機能
0	PROT ERR	書き込みシーケンス保護エラー・モニタ 0:保護エラーなし 1:保護エラー発生

3.7.7 クロック・モニタ保護クラスタ・レジスタ詳細

(1) CLMAnPCMD – CLMAn 保護コマンド・レジスタ

CLMAnCTL0 レジスタの保護コマンド・レジスタです。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8 ビット単位でライトのみ可能です。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 不定

7	6	5	4	3	2	1	0
CLMAnREG[7:0]							
W	W	W	W	W	W	W	W

表 3-23 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7 to 0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを許可する保護コマンド

(2) CLMAnPS – CLMAn 保護ステータス・レジスタ

書き込み保護レジスタ（CLMAnCTL0）への書き込みが正常に行われたかどうかを確認するレジスタです。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8 ビット単位でリードのみ可能です。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn PRERR
R	R	R	R	R	R	R	R

表 3-24 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
0	CLMAnPRERR	書き込み保護レジスタ（CLMAnCTL0）への書き込みが成功したかどうかを示します 0：書き込み動作成功 1：書き込み動作失敗

3.7.8 ポート保護クラスタ・レジスタ詳細

(1) PPCMDn – ポート保護コマンド・レジスタ

PPCMDn レジスタはポート・グループ n の保護コマンド・レジスタです。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8 ビット単位でライトのみ可能です。
リードすると常に 00_H が読めます。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 3-25 PPCMDn レジスタの内容

ビット位置	ビット名	機能
7-0	–	ポート・レジスタに書き込み許可をする保護コマンド

(2) PPROTSn – ポート保護ステータス・レジスタ

PPROTSn レジスタはポート・グループ n の書き込みを保護されたレジスタの保護ステータス・レジスタです。PPCMDn によって行われる保護シーケンス動作のステータスを表します。

インデクス n “n” 保護コマンド・レジスタ数を表します，詳細は表 3-20 「保護コマンド・レジスタ概要」を参照してください。

アクセス 8 ビット単位でリードのみ可能です。
ライト動作は無視されます。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn PRERR
R	R	R	R	R	R	R	R

表 3-26 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn PRERR	保護書き込みシーケンス・エラー・モニタ 0：保護エラーなし 1：保護エラー発生

3.7.9 セルフプログラミング保護クラスタ・レジスタ詳細

(1) FLMDPCMD – FLMD 保護コマンド・レジスタ

FLMDCNT レジスタのための保護コマンド・レジスタ です。

アクセス 8 ビット単位でライトのみ可能です。

リードすると常に 00_H が読めます。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 不定

7	6	5	4	3	2	1	0
FLMDPC[7:0]							
W	W	W	W	W	W	W	W

表 3-27 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
7 to 0	FLMDPC[7:0]	FLMDCNT への書き込みを許可する保護コマンドです。

(2) FLMDPS – FLMD 保護エラー・ステータス・レジスタ

書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを確認するレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス 表 3-20 「保護コマンド・レジスタ概要」参照

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMD PRERR
R	R	R	R	R	R	R	R

表 3-28 FLMDPS レジスタの内容

ビット位置	ビット名	機能
0	FLMDPRERR	書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを示します 0: 書き込み動作成功 1: 書き込み動作失敗

3.8 システム・エラー通知設定レジスタ

(1) SEG_CONT, SEG_CONTL: SYSERR 例外通知設定レジスタ

各 SYSERR 要因のエラー通知の許可／不許可を設定するイネーブル・レジスタです。ビットがセット (1) されているときは、エラー発生時の SYSERR 通知を許可します。ビットがクリア (0) されているときは、発生したエラー要因に対応するエラー・フラグはセットされますが、SYSERR 通知は行われません。

ビット 15-8, 5, 3, 2, 0 には必ず 0 を設定してください。

アクセス SEG_CONT は 16 ビット単位でリード／ライト可能です。

SEG_CONTL は 8/1 ビット単位でリード／ライト可能です。

アドレス FFFF64B0_H

初期値 SEG_CONT は 0000_H どのリセット要因でも初期化されます。

SEG_CONTL は 00_H どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
(SEG_CONTL)	SEG_CONT DMAE	SEG_CONT RMWE	0	SEG_CONT RAME	0	0	SEG_CONT FCHE	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-29 SEG_CONT, SEG_CONTL レジスタの内容

ビット位置	ビット名	意味
7	SEG_CONT DMAE	DMA エラー通知イネーブル DMA によるコード・フラッシュ領域、データ・フラッシュ領域、内蔵 RAM 領域、周辺モジュールへのアクセスでエラーが検出された場合の SYSERR 通知許可 / 禁止を設定します。
6	SEG_CONT RMWE	LRAMCTL リード・モディファイ・ライト・エラー通知イネーブル 内蔵 RAM へのバイト・ライト、ハーフワード・ライトでエラーが検出された場合の SYSERR 通知許可 / 禁止を設定します。
4	SEG_CONT RAME	内蔵 RAM 領域エラー通知イネーブル 内蔵 RAM 領域へのデータ・アクセスでエラーが検出された場合の SYSERR 通知許可 / 禁止を設定します。
1	SEG_CONT FCHE	コード・フラッシュ・エラー通知イネーブル コード・フラッシュ領域へのデータ・アクセスでエラーが検出された場合の SYSERR 通知許可 / 禁止を設定します。

(2) SEG_FLAG, SEG_FLAGL : システム・エラー要因保存レジスタ

各 SYSERR 要因の発生状態を保存するフラグ・レジスタです。SYSERR 要因が発生すると、対応するエラー要因のフラグがセット (1) されます。各フラグは、(1) の状態をリード後、(0) をライトすることでクリアされます。リード時に (0) だったフラグに対し、その後のライト動作で (0) をライトしても、リード・ライト間に発生したエラーに対しては、フラグはセットされます。

ビット 15-8, 5, 3, 2, 0 には必ず 0 を設定してください。

アクセス SEG_FLAG は 16 ビット単位でリード/ライト可能です。

SEG_FLAGL は 8/1 ビット単位でリード/ライト可能です。

アドレス FFFF64B2_H

初期値 SEG_FLAG は 0000_H でのリセット要因でも初期化されます。

SEG_FLAGL は 00_H でのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
(SEG_FLAGL)	SEG_FLAG DMAF	SEG_FLAG RMWF	0	SEG_FLAG RAMF	0	0	SEG_FLAG FCHF	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-30 SEG_FLAG, SEG_FLAGL レジスタの内容

ビット位置	ビット名	意味
7	SEG_FLAG DMAF	DMA エラー・フラグ DMA によるコード・フラッシュ領域、データ・フラッシュ領域、内蔵 RAM 領域、周辺モジュールへのアクセス時に SYSERR 要因が発生した場合、本ビットに“1”がセットされます。
6	SEG_FLAG RMWF	LRAMCTL リード・モディファイ・ライト・エラーフラグ 内蔵 RAM へのバイト・ライト、ハーフワード・ライト時に SYSERR 要因が発生した場合、本ビットに“1”がセットされます。
4	SEG_FLAG RAMF	内蔵 RAM 領域エラー・フラグ 内蔵 RAM 領域へのデータ・アクセス時に SYSERR 要因が発生した場合、本ビットに“1”がセットされます。
1	SEG_FLAG FCHF	コード・フラッシュ・エラー・フラグ コード・フラッシュ領域へのデータ・アクセス時に SYSERR 要因が発生した場合、本ビットに“1”がセットされます。

備考 本レジスタのビット 2 はリードすると不定値を返します。

第4章 割り込み機能

4.1 特徴

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、「V850E2S ユーザーズマニュアル アーキテクチャ編」を参照してください。

表 4-1 例外要因一覧

名称	略称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	P1	—
FE レベル・ノンマスクابل割り込み ^{a)}	FENMI	FENMI 入力	P2	FE
システム・エラー例外	SYSERR	SYSERR 入力 (4 要因)	P3	FE
EI レベル・マスクابل割り込み ^{a)}	INT	マスクابل割り込み入力	P4	EI
実行保護例外	MIP	実行保護違反	P5	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力	P6	FE
データ保護例外	MDP	データ保護違反	P7	FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
FE レベル・ソフトウェア例外	FETRAPEX	FETRAP 命令 (vector = 1 _H -F _H)		FE
EI レベル・ソフトウェア例外	EITRAP0	TRAP0n 命令 (vector = 00-0F _H)		EI
EI レベル・ソフトウェア例外	EITRAP1	TRAP1n 命令 (vector = 10 _H -1F _H)		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令 (vector = 00 _H -FF _H)		EI

^{a)} これらの割り込み例外の説明はこの章でします。

備考 V850E2/Fx4-L マイクロコントローラは「V850E2S ユーザーズマニュアル アーキテクチャ編」に記載されている FE レベル・マスクابل割り込み入力 (FEINT) を搭載していません。

割り込みベクタの詳細については「V850E2S ユーザーズマニュアル アーキテクチャ編」をご参照願います。

優先順位	優先順位 P1 が最も優先順位が高く P7 がもっとも低いです。
割り込み	<p>表 4-1 「例外要因一覧」のうち、次の 2 種の例外を割り込みと呼び、この章ではこれらについて説明します。</p> <ul style="list-style-type: none">• FE レベル・ノンマスカブル割り込み (FENMI)<ul style="list-style-type: none">– FENMI 割り込みは、ほかの FE レベルの割り込み (FENMI) が発生しても受け付け可能な割り込みです。– CPU システム・レジスタ PSW.NP = 1 の場合でも受け付け可能です。– 再開不可／回復不可 (エラー通知用)• EI レベル・マスカブル割り込み (EIINT)<p>EIINT 割り込みは、FE レベルの割り込み (FENMI) が発生していなければ受け付け可能な割り込みです。</p><ul style="list-style-type: none">– CPU システム・レジスタ PSW.NP = 0 の場合で受け付け可能です。– 再開可能／回復可能– 各割り込みチャンネルごとに割り込みマスクを指定可能– 各割り込みチャンネルごとに 8 レベルの割り込み優先度を指定可能– 本章では割り込みチャンネル n に対応する EIINT を EIINTn と表記します。
再開	元のプログラムの中断した位置から実行再開が可能／不可能であることを示します。
回復	元のプログラムを中断した時点のプロセッサ状態 (汎用レジスタ、システム・レジスタなどのプロセッサ資源の状態) への回復が可能／不可能であることを示します。

これらの割り込み要因について次に説明します。

4.2 V850E2/Fx4-L 割り込み要因

4.2.1 V850E2/Fx4-L 割り込み要因

(1) FE レベル・ノンマスクابل割り込み

優先順位 優先順位は P2.

復帰 PC 再開も回復もできません。

制御レジスタ FE レベル NMI 制御レジスタ

4.4 (7) 「FNC : FE レベル NMI 制御レジスタ」参照

復帰命令 FERET 命令

表 4-2 FE レベル・ノンマスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先順位	例外 コード	ハンドラ・ アドレス 0000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス FFFF..						
FENMI	FNC	645C _H	NMI0	NMI0 入力	端子	P2	00020 _H	0020 _H
			WDTA0NMI	ウォッチドッグ・タイマ 0 の暴走 検出割り込み	WDTA0			
			WDTA1NMI	ウォッチドッグ・タイマ 1 の暴走 検出割り込み	WDTA1			

FENMI 割り込みの発生要因は、専用のフラグ・レジスタで調べることができます。詳細は 4.2.2 「V850E2/Fx4-L FE レベル・ノンマスクابل割り込みの共有」を参照してください。

(2) EI レベル・マスクブル割り込み

割り込み名称 割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下割り込み要求名は <name> によって表します。

- 割り込み要求名 : **INT**<name>
接頭語「**INT**」は、<name> の前に付きます。
- 割り込み制御レジスタ : **IC**<name>
接頭語「**IC**」は、<name> の前に付きます。
16 ビットの **IC**<name> レジスタは、バイト単位 (8 ビット) でアクセスすることもできます。
 - **IC**<name> レジスタの下位バイト (ビット [7:0]) : **IC**<name>**L**
接尾語「**L**」は、レジスタ名 **IC**<name> の後に追加されます。
 - **IC**<name> レジスタの上位バイト (ビット [15:8]) : **IC**<name>**H**
接尾語「**H**」は、レジスタ名 **IC**<name> の後に追加されます。
- 割り込み制御レジスタのビット名 : **RF**<name>, **MK**<name>, **P3**<name>, **P2**<name>, **P1**<name>, **P0**<name>
- ビット接頭辞「**RF**」, 「**MK**」, 「**P2**」, 「**P1**」, 「**P0**」は、割り込み <name> の前に追加されます。
- 各割り込み要求は、特定の割り込みチャンネル番号 $n = 0-127$ に割り当てられます。
本章では、割り込み要求名、割り込み制御レジスタ名および割り込み制御ビット名を次のように表します。
INT<name> が割り込みチャンネル番号 n に割り当てられていた場合、次のように表されます。
 - 割り込み要求名 : **EIINT** n
 - 割り込み制御レジスタ名 : **EIC** n
 - 割り込み制御ビット名 : **EIRF** n , **EIMK** n , **EIP2** n , **EIP1** n , **EIP0** n

例 TAUB0 のチャンネル 2 の割り込み要求 (<name> = TAUB0I2) の場合、次のような名前になります。

INTTAUB0I2

関係する割り込み制御レジスタの名前は次のようになります。

ICTAUB0I2, **ICTAUB0I2L**, **ICTAUB0I2H**

制御レジスタのビット名は次のようになります。

RFTAUB0I2, **MKTAUB0I2**, **P2TAUB0I2**,
P1TAUB0I2, **P0TAUB0I2**

INTTAUB0I2 の割り込みチャンネルは、 $n = 22$ (表 4-3 ~ 表 4-8 参照) です。この場合、本章における割り込み要求名称は次のようになります。

EIINT22

関係する割り込み制御レジスタは次のようになります。

EIC22

関係する割り込み制御レジスタのビット名は次のようになります。

EIRF22, **EIMK22**, **EIP322**, **EIP222**, **EIP122**, **EIP022**

割り込みチャネル番号 n と V850E2/Fx4-L, V850E2/Fx4-G で割り当てられている割り込み要求と制御レジスタの一覧は表 4-3 ~ 表 4-8 を参照してください。

優先順位 優先順位は P4.

復帰 PC EIRET 命令によって割り込み処理ルーチンからの復帰でセットされたプログラムカウンタ (PC) は常に次のアドレスになります。

制御レジスタ EI レベル・マスカブル割り込み制御レジスタ

4.4 (1) 「EICn ($n = 0-127$) : EI レベル割り込み制御レジスタ」参照

復帰命令 EIRET 命令

(3) V850E2/FE4-L EI レベル・マスクブル割り込み

表 4-3 V850E2/FE4-L EI レベル・マスクブル割り込み要因 (1/2)

アドレス	割り込み		割り込み要求			割り込み アドレス 0000...	例外 コード	割り込み アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^a			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H
14	-	601C _H	予約 ^a			15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H
16	-	6020 _H	予約 ^a			17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H
18	-	6024 _H	予約 ^a			19	01A0 _H	01A0 _H
19	-	6026 _H	予約 ^a			20	01B0 _H	01B0 _H
20	ICTAUB0I0	6028 _H	INTTAUB0I0	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H
21	ICTAUB0I1	602A _H	INTTAUB0I1	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H
22	ICTAUB0I2	602C _H	INTTAUB0I2	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H
23	ICTAUB0I3	602E _H	INTTAUB0I3	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H
24	ICTAUB0I4	6030 _H	INTTAUB0I4	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H
25	ICTAUB0I5	6032 _H	INTTAUB0I5	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H
26	ICTAUB0I6	6034 _H	INTTAUB0I6	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H
27	ICTAUB0I7	6036 _H	INTTAUB0I7	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H
28	ICTAUB0I8	6038 _H	INTTAUB0I8	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H
29	ICTAUB0I9	603A _H	INTTAUB0I9	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H
30	ICTAUB0I10	603C _H	INTTAUB0I10	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H
31	ICTAUB0I11	603E _H	INTTAUB0I11	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H
32	ICTAUB0I12	6040 _H	INTTAUB0I12	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H
33	ICTAUB0I13	6042 _H	INTTAUB0I13	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H
34	ICTAUB0I14	6044 _H	INTTAUB0I14	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H
35	ICTAUB0I15	6046 _H	INTTAUB0I15	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H
36 ~ 51	-	6048 _H ~ 6066 _H	予約 ^a			37 ~ 52	02C0 _H ~ 03B0 _H	02C0 _H ~ 03B0 _H
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN0	58	0410 _H	0410 _H
58	-	6074 _H	予約 ^a			59	0420 _H	0420 _H
59	-	6076 _H	予約 ^a			60	0430 _H	0430 _H

表 4-3 V850E2/FE4-L EI レベル・マスカブル割り込み要因 (2/2)

チャンネル	割り込み		割り込み要求			チャンネル・ レジスタ・ アドレス	例外 コード	ハードウェア・ アドレス 0000...0000
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0	61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0	62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0	63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0	65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0	66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャンネル 0 転送完了	DMA	67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャンネル 1 転送完了	DMA	68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャンネル 2 転送完了	DMA	69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャンネル 3 転送完了	DMA	70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャンネル 4 転送完了	DMA	71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャンネル 5 転送完了	DMA	72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャンネル 6 転送完了	DMA	73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャンネル 7 転送完了	DMA	74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0	75	0520 _H	0520 _H
75 ~ 77	-	6096 _H ~ 609A _H	予約 ^a			76 ~ 78	0530 _H ~ 0550 _H	0530 _H ~ 0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0	83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4	85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4	86	05D0 _H	05D0 _H
86 ~ 100	-	60AC _H ~ 60C8 _H	予約 ^a			87 ~ 101	05E0 _H ~ 06C0 _H	05E0 _H ~ 06C0 _H
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port	102	06D0 _H	06D0 _H
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port	103	06E0 _H	06E0 _H
103 ~ 105	-	60CE _H ~ 60D2 _H	予約 ^a			104 ~ 106	06F0 _H ~ 0710 _H	06F0 _H ~ 0710 _H
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H
113 ~ 127	-	60E2 _H ~ 60FE _H	予約 ^a			114 ~ 128	0790 _H ~ 0870 _H	0790 _H ~ 0870 _H

a) 予約レジスタは初期値から変更しないでください。

(4) V850E2/FF4-L EI レベル・マスクブル割り込み

表 4-4 V850E2/FF4-L EI レベル・マスクブル割り込み要因 (1/2)

アドレス	割り込み		割り込み要求			割り込み要因	例外コード	ハードウェアアドレス0000...
	制御レジスタ	アドレス FFFF...	割り込み名称	割り込み要因	ユニット			
	レジスタ名称							
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^a			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H
14	-	601C _H	予約 ^a			15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H
16	-	6020 _H	予約 ^a			17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H
18	-	6024 _H	予約 ^a			19	01A0 _H	01A0 _H
19	-	6026 _H	予約 ^a			20	01B0 _H	01B0 _H
20	ICTAUB0I0	6028 _H	INTTAUB0I0	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H
21	ICTAUB0I1	602A _H	INTTAUB0I1	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H
22	ICTAUB0I2	602C _H	INTTAUB0I2	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H
23	ICTAUB0I3	602E _H	INTTAUB0I3	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H
24	ICTAUB0I4	6030 _H	INTTAUB0I4	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H
25	ICTAUB0I5	6032 _H	INTTAUB0I5	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H
26	ICTAUB0I6	6034 _H	INTTAUB0I6	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H
27	ICTAUB0I7	6036 _H	INTTAUB0I7	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H
28	ICTAUB0I8	6038 _H	INTTAUB0I8	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H
29	ICTAUB0I9	603A _H	INTTAUB0I9	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H
30	ICTAUB0I10	603C _H	INTTAUB0I10	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H
31	ICTAUB0I11	603E _H	INTTAUB0I11	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H
32	ICTAUB0I12	6040 _H	INTTAUB0I12	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H
33	ICTAUB0I13	6042 _H	INTTAUB0I13	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H
34	ICTAUB0I14	6044 _H	INTTAUB0I14	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H
35	ICTAUB0I15	6046 _H	INTTAUB0I15	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H
36 ~ 51	-	6048 _H ~ 6066 _H	予約 ^a			37 ~ 52	02C0 _H ~ 03B0 _H	02C0 _H ~ 03B0 _H
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN0	58	0410 _H	0410 _H
58	-	6074 _H	予約 ^a			59	0420 _H	0420 _H
59	-	6076 _H	予約 ^a			60	0430 _H	0430 _H

表 4-4 V850E2/FF4-L EI レベル・マスク割込み要因 (2/2)

チャンネル	割り込み		割り込み要求			チャンネル・マスク	例外コード	ハードウェアアドレス ...0000
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0	61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0	62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0	63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0	65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0	66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャンネル 0 転送完了	DMA	67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャンネル 1 転送完了	DMA	68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャンネル 2 転送完了	DMA	69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャンネル 3 転送完了	DMA	70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャンネル 4 転送完了	DMA	71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャンネル 5 転送完了	DMA	72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャンネル 6 転送完了	DMA	73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャンネル 7 転送完了	DMA	74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0	75	0520 _H	0520 _H
75 ~ 77	-	6096 _H ~ 609A _H	予約 ^a			76 ~ 78	0530 _H ~ 0550 _H	0530 _H ~ 0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0	83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4	85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4	86	05D0 _H	05D0 _H
86 ~ 100	-	60AC _H ~ 60C8 _H	予約 ^a			87 ~ 101	05E0 _H ~ 06C0 _H	05E0 _H ~ 06C0 _H
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port	102	06D0 _H	06D0 _H
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port	103	06E0 _H	06E0 _H
103 ~ 105	-	60CE _H ~ 60D2 _H	予約 ^a			104 ~ 106	06F0 _H ~ 0710 _H	06F0 _H ~ 0710 _H
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H
113 ~ 127	-	60E2 _H ~ 60FE _H	予約 ^a			114 ~ 128	0790 _H ~ 0870 _H	0790 _H ~ 0870 _H

a) 予約レジスタは初期値から変更しないでください。

(5) V850E2/FG4-L EI レベル・マスカブル割り込み

表 4-5 V850E2/FG4-L EI レベル・マスカブル割り込み要因 (1/3)

割り込み			割り込み要求			割り込み レベル 番号	例外 コード	ハンドラ アドレス 0000... FFFF
割り込み 番号	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレ ス FFFF...						
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^a			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H
14	ICP5	601C _H	INTP5	エッジ検出割り込み	Port	15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H
16	ICP7	6020 _H	INTP7	エッジ検出割り込み	Port	17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H
18	ICP9	6024 _H	INTP9	エッジ検出割り込み	Port	19	01A0 _H	01A0 _H
19	ICP10	6026 _H	INTP10	エッジ検出割り込み	Port	20	01B0 _H	01B0 _H
20	ICTAUB0I0	6028 _H	INTTAUB0I0	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H
21	ICTAUB0I1	602A _H	INTTAUB0I1	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H
22	ICTAUB0I2	602C _H	INTTAUB0I2	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H
23	ICTAUB0I3	602E _H	INTTAUB0I3	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H
24	ICTAUB0I4	6030 _H	INTTAUB0I4	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H
25	ICTAUB0I5	6032 _H	INTTAUB0I5	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H
26	ICTAUB0I6	6034 _H	INTTAUB0I6	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H
27	ICTAUB0I7	6036 _H	INTTAUB0I7	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H
28	ICTAUB0I8	6038 _H	INTTAUB0I8	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H
29	ICTAUB0I9	603A _H	INTTAUB0I9	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H
30	ICTAUB0I10	603C _H	INTTAUB0I10	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H
31	ICTAUB0I11	603E _H	INTTAUB0I11	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H
32	ICTAUB0I12	6040 _H	INTTAUB0I12	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H
33	ICTAUB0I13	6042 _H	INTTAUB0I13	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H
34	ICTAUB0I14	6044 _H	INTTAUB0I14	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H
35	ICTAUB0I15	6046 _H	INTTAUB0I15	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H
36 ~ 51	-	6048 _H ~ 6066 _H	予約 ^a			37 ~ 52	02C0 _H ~ 03B0 _H	02C0 _H ~ 03B0 _H
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN[1:0]	58	0410 _H	0410 _H

表 4-5 V850E2/FG4-L EI レベル・マスカブル割り込み要因 (2/3)

アドレス	割り込み		割り込み要求			割り込み要因	例外コード	ハードウェアアドレス	
	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
58	-	6074 _H	予約 ^a				59	0420 _H	0420 _H
59	-	6076 _H	予約 ^a				60	0430 _H	0430 _H
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0		61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0		62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0		63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0		64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0		65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0		66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャンネル 0 転送完了	DMA		67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャンネル 1 転送完了	DMA		68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャンネル 2 転送完了	DMA		69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャンネル 3 転送完了	DMA		70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャンネル 4 転送完了	DMA		71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャンネル 5 転送完了	DMA		72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャンネル 6 転送完了	DMA		73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャンネル 7 転送完了	DMA		74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0		75	0520 _H	0520 _H
75	ICFCN1ERR	6096 _H	INTFCN1ERR	エラー割り込み	FCN1		76	0530 _H	0530 _H
76	ICFCN1REC	6098 _H	INTFCN1REC	受信割り込み	FCN1		77	0540 _H	0540 _H
77	ICFCN1TRX	609A _H	INTFCN1TRX	送信割り込み	FCN1		78	0550 _H	0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0		79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0		80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0		81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0		82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0		83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4		84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4		85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4		86	05D0 _H	05D0 _H
86 ~ 88	-	60AC _H ~ 60B0 _H	予約 ^a				87 ~ 89	05E0 _H ~ 0600 _H	05E0 _H ~ 0600 _H
89	ICLMA2IS	60B2 _H	INTLMA2IS	状態割り込み	LMA2		90	0610 _H	0610 _H
90	ICLMA2IR	60B4 _H	INTLMA2IR	受信完了割り込み	LMA2		91	0620 _H	0620 _H
91	ICLMA2IT	60B6 _H	INTLMA2IT	送信割り込み	LMA2		92	0630 _H	0630 _H
92 ~ 97	-	60B8 _H ~ 60C2 _H	予約 ^a				93 ~ 98	0640 _H ~ 0690 _H	0640 _H ~ 0690 _H
98	ICCSIG7IRE	60C4 _H	INTCSIG7IRE	受信エラー割り込み	CSIG7		99	06A0 _H	06A0 _H
99	ICCSIG7IR	60C6 _H	INTCSIG7IR	受信状態割り込み	CSIG7		100	06B0 _H	06B0 _H
100	ICCSIG7IC	60C8 _H	INTCSIG7IC	通信状態割り込み	CSIG7		101	06C0 _H	06C0 _H
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port		102	06D0 _H	06D0 _H
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port		103	06E0 _H	06E0 _H
103 ~ 105	-	60CE _H ~ 60D2 _H	予約 ^a				104 ~ 106	06F0 _H ~ 0710 _H	06F0 _H ~ 0710 _H

表 4-5 V850E2/FG4-L EI レベル・マスカブル割り込み要因 (3/3)

レジスタ	割り込み		割り込み要求			レジスタ 番号	例外 コード	ハンド ル ス ル レジ スタ 番号
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレ ス FFFF...						
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H
113 ~ 127	-	60E2 _H ~ 60FE _H	予約 ^{a)}			114 ~ 128	0790 _H ~ 0870 _H	0790 _H ~ 0870 _H

a) 予約レジスタは初期値から変更しないでください。

(6) V850E2/FJ4-L EI レベル・マスクブル割り込み

表 4-6 V850E2/FJ4-L EI レベル・マスクブル割り込み要因 (1/3)

アドレス	割り込み		割り込み要求			割り込みレベル・マスクビット	例外コード	ハードウェアアドレス0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^b			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H
14	ICP5	601C _H	INTP5	エッジ検出割り込み	Port	15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H
16	ICP7	6020 _H	INTP7	エッジ検出割り込み	Port	17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H
18	ICP9	6024 _H	INTP9	エッジ検出割り込み	Port	19	01A0 _H	01A0 _H
19	ICP10	6026 _H	INTP10	エッジ検出割り込み	Port	20	01B0 _H	01B0 _H
20	ICTAUB0I0	6028 _H	INTTAUB0I0	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H
21	ICTAUB0I1	602A _H	INTTAUB0I1	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H
22	ICTAUB0I2	602C _H	INTTAUB0I2	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H
23	ICTAUB0I3	602E _H	INTTAUB0I3	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H
24	ICTAUB0I4	6030 _H	INTTAUB0I4	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H
25	ICTAUB0I5	6032 _H	INTTAUB0I5	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H
26	ICTAUB0I6	6034 _H	INTTAUB0I6	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H
27	ICTAUB0I7	6036 _H	INTTAUB0I7	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H
28	ICTAUB0I8	6038 _H	INTTAUB0I8	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H
29	ICTAUB0I9	603A _H	INTTAUB0I9	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H
30	ICTAUB0I10	603C _H	INTTAUB0I10	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H
31	ICTAUB0I11	603E _H	INTTAUB0I11	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H
32	ICTAUB0I12	6040 _H	INTTAUB0I12	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H
33	ICTAUB0I13	6042 _H	INTTAUB0I13	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H
34	ICTAUB0I14	6044 _H	INTTAUB0I14	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H
35	ICTAUB0I15	6046 _H	INTTAUB0I15	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H
36	ICTAUB1I0	6048 _H	INTTAUB1I0	チャンネル 0 割り込み	TAUB1	37	02C0 _H	02C0 _H
37	ICTAUB1I1	604A _H	INTTAUB1I1	チャンネル 1 割り込み	TAUB1	38	02D0 _H	02D0 _H
38	ICTAUB1I2	604C _H	INTTAUB1I2	チャンネル 2 割り込み	TAUB1	39	02E0 _H	02E0 _H
39	ICTAUB1I3	604E _H	INTTAUB1I3	チャンネル 3 割り込み	TAUB1	40	02F0 _H	02F0 _H
40	ICTAUB1I4	6050 _H	INTTAUB1I4	チャンネル 4 割り込み	TAUB1	41	0300 _H	0300 _H
41	ICTAUB1I5	6052 _H	INTTAUB1I5	チャンネル 5 割り込み	TAUB1	42	0310 _H	0310 _H
42	ICTAUB1I6	6054 _H	INTTAUB1I6	チャンネル 6 割り込み	TAUB1	43	0320 _H	0320 _H
43	ICTAUB1I7	6056 _H	INTTAUB1I7	チャンネル 7 割り込み	TAUB1	44	0330 _H	0330 _H
44	ICTAUB1I8	6058 _H	INTTAUB1I8	チャンネル 8 割り込み	TAUB1	45	0340 _H	0340 _H
45	ICTAUB1I9	605A _H	INTTAUB1I9	チャンネル 9 割り込み	TAUB1	46	0350 _H	0350 _H

表 4-6 V850E2/FJ4-L EI レベル・マスクブル割り込み要因 (2/3)

チャンネル	割り込み		割り込み要求			チャンネル・ マスクビット 番号	例外 コード	ハードウェア アドレス 0000... 0000
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
46	ICTAUB1I10	605C _H	INTTAUB1I10	チャンネル 10 割り込み	TAUB1	47	0360 _H	0360 _H
47	ICTAUB1I11	605E _H	INTTAUB1I11	チャンネル 11 割り込み	TAUB1	48	0370 _H	0370 _H
48	ICTAUB1I12	6060 _H	INTTAUB1I12	チャンネル 12 割り込み	TAUB1	49	0380 _H	0380 _H
49	ICTAUB1I13	6062 _H	INTTAUB1I13	チャンネル 13 割り込み	TAUB1	50	0390 _H	0390 _H
50	ICTAUB1I14	6064 _H	INTTAUB1I14	チャンネル 14 割り込み	TAUB1	51	03A0 _H	03A0 _H
51	ICTAUB1I15	6066 _H	INTTAUB1I15	チャンネル 15 割り込み	TAUB1	52	03B0 _H	03B0 _H
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN[1:0]	58	0410 _H	0410 _H
58	-	6074 _H	予約 ^b			59	0420 _H	0420 _H
59	-	6076 _H	予約 ^b			60	0430 _H	0430 _H
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0	61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0	62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0	63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0	65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0	66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャンネル 0 転送完了	DMA	67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャンネル 1 転送完了	DMA	68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャンネル 2 転送完了	DMA	69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャンネル 3 転送完了	DMA	70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャンネル 4 転送完了	DMA	71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャンネル 5 転送完了	DMA	72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャンネル 6 転送完了	DMA	73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャンネル 7 転送完了	DMA	74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0	75	0520 _H	0520 _H
75	ICFCN1ERR	6096 _H	INTFCN1ERR	エラー割り込み	FCN1	76	0530 _H	0530 _H
76	ICFCN1REC	6098 _H	INTFCN1REC	受信割り込み	FCN1	77	0540 _H	0540 _H
77	ICFCN1TRX	609A _H	INTFCN1TRX	送信割り込み	FCN1	78	0550 _H	0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0	83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4	85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4	86	05D0 _H	05D0 _H
86 ~ 88	-	60AC _H ~ 60B0 _H	予約 ^b			87 ~ 89	05E0 _H ~ 0600 _H	05E0 _H ~ 0600 _H
89	ICLMA2IS	60B2 _H	INTLMA2IS	状態割り込み	LMA2	90	0610 _H	0610 _H
90	ICLMA2IR	60B4 _H	INTLMA2IR	受信完了割り込み	LMA2	91	0620 _H	0620 _H

表 4-6 V850E2/FJ4-L EI レベル・マスクブル割り込み要因 (3/3)

アドレス 11xxxxx	割り込み		割り込み要求			フロッグ レジスタ アドレス 0000... xxxx0000	例外 コード	ハード ウェア アドレス 0000... xxxx0000
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
91	ICLMA2IT	60B6 _H	INTLMA2IT	送信割り込み	LMA2	92	0630 _H	0630 _H
92	ICLMA3IS ^a	60B8 _H	INTLMA3IS	状態割り込み	LMA3	93	0640 _H	0640 _H
93	ICLMA3IR ^a	60BA _H	INTLMA3IR	受信完了割り込み	LMA3	94	0650 _H	0650 _H
94	ICLMA3IT ^a	60BC _H	INTLMA3IT	送信割り込み	LMA3	95	0660 _H	0660 _H
95	ICLMA4IS ^a	60BE _H	INTLMA4IS	状態割り込み	LMA4	96	0670 _H	0670 _H
96	ICLMA4IR ^a	60C0 _H	INTLMA4IR	受信完了割り込み	LMA4	97	0680 _H	0680 _H
97	ICLMA4IT ^a	60C2 _H	INTLMA4IT	送信割り込み	LMA4	98	0690 _H	0690 _H
98	ICCSIG7IRE	60C4 _H	INTCSIG7IRE	受信エラー割り込み	CSIG7	99	06A0 _H	06A0 _H
99	ICCSIG7IR	60C6 _H	INTCSIG7IR	受信状態割り込み	CSIG7	100	06B0 _H	06B0 _H
100	ICCSIG7IC	60C8 _H	INTCSIG7IC	通信状態割り込み	CSIG7	101	06C0 _H	06C0 _H
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port	102	06D0 _H	06D0 _H
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port	103	06E0 _H	06E0 _H
103	ICP13	60CE _H	INTP13	エッジ検出割り込み	Port	104	06F0 _H	06F0 _H
104	ICP14	60D0 _H	INTP14	エッジ検出割り込み	Port	105	0700 _H	0700 _H
105	-	60D2 _H	予約 ^b			106	0710 _H	0710 _H
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H
113 ~ 127	-	60E2 _H ~ 60FE _H	予約 ^b			114 ~ 128	0790 _H ~ 0870 _H	0790 _H ~ 0870 _H

- a) この割り込みは、μPD70F3581、μPD70F3582 では使用できません。
b) 予約レジスタは初期値から変更しないでください。

(7) V850E2/FF4-G EI レベル・マスカブル割り込み

表 4-7 V850E2/FF4-G EI レベル・マスカブル割り込み要因 (1/3)

割り込み			割り込み要求			チャネル・ 優先レベル	例外 コード	ハンドラ・アドレス 0000... 0000
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^c			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H
14	-	601C _H	予約 ^c			15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H
16	-	6020 _H	予約 ^c			17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H
18	-	6024 _H	予約 ^c			19	01A0 _H	01A0 _H
19	-	6026 _H	予約 ^c			20	01B0 _H	01B0 _H
20	ICTAUB010	6028 _H	INTTAUB010	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H
21	ICTAUB011	602A _H	INTTAUB011	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H
22	ICTAUB012	602C _H	INTTAUB012	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H
23	ICTAUB013	602E _H	INTTAUB013	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H
24	ICTAUB014	6030 _H	INTTAUB014	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H
25	ICTAUB015	6032 _H	INTTAUB015	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H
26	ICTAUB016	6034 _H	INTTAUB016	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H
27	ICTAUB017	6036 _H	INTTAUB017	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H
28	ICTAUB018	6038 _H	INTTAUB018	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H
29	ICTAUB019	603A _H	INTTAUB019	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H
30	ICTAUB0110	603C _H	INTTAUB0110	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H
31	ICTAUB0111	603E _H	INTTAUB0111	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H
32	ICTAUB0112	6040 _H	INTTAUB0112	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H
33	ICTAUB0113	6042 _H	INTTAUB0113	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H
34	ICTAUB0114	6044 _H	INTTAUB0114	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H
35	ICTAUB0115	6046 _H	INTTAUB0115	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H
36 ~ 51	-	6048 _H ~ 6066 _H	予約 ^c			37 ~ 52	02C0 _H ~ 03B0 _H	02C0 _H ~ 03B0 _H

表 4-7 V850E2/FF4-G EI レベル・マスカブル割り込み要因 (2/3)

割り込み			割り込み要求			チャネル・ 優先順位 レベル	例外 コード	ハンドラ・アドレス 0000... 0000
チャネル	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN[5:0] ^a	58	0410 _H	0410 _H
58	-	6074 _H	予約 ^c			59	0420 _H	0420 _H
59	-	6076 _H	予約 ^c			60	0430 _H	0430 _H
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0	61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0	62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0	63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0	65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0	66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャネル 0 転送完了	DMA	67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャネル 1 転送完了	DMA	68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャネル 2 転送完了	DMA	69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャネル 3 転送完了	DMA	70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャネル 4 転送完了	DMA	71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャネル 5 転送完了	DMA	72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャネル 6 転送完了	DMA	73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャネル 7 転送完了	DMA	74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0	75	0520 _H	0520 _H
75	ICFCN1ERR	6096 _H	INTFCN1ERR	エラー割り込み	FCN1	76	0530 _H	0530 _H
76	ICFCN1REC	6098 _H	INTFCN1REC	受信割り込み	FCN1	77	0540 _H	0540 _H
77	ICFCN1TRX	609A _H	INTFCN1TRX	送信割り込み	FCN1	78	0550 _H	0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0	83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4	85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4	86	05D0 _H	05D0 _H
86 ~ 100	-	60AC _H ~ 60C8 _H	予約 ^c			87 ~ 101	05E0 _H ~ 06C0 _H	05E0 _H ~ 06C0 _H

表 4-7 V850E2/FF4-G EI レベル・マスカブル割り込み要因 (3/3)

チャネル	割り込み		割り込み要求			チャネル・ 優先順位	例外 コード	ハンドラ・アドレス 0000... 0000
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port	102	06D0 _H	06D0 _H
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port	103	06E0 _H	06E0 _H
103 ~ 105	-	60CE _H ~ 60D2 _H	予約 ^c			104 ~ 106	06F0 _H ~ 0710 _H	06F0 _H ~ 0710 _H
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H
113	ICFCN2ERR	60E2 _H	INTFCN2ERR	エラー割り込み	FCN2	114	0790 _H	0790 _H
114	ICFCN2REC	60E4 _H	INTFCN2REC	受信割り込み	FCN2	115	07A0 _H	07A0 _H
115	ICFCN2TRX	60E6 _H	INTFCN2TRX	送信割り込み	FCN2	116	07B0 _H	07B0 _H
116	ICFCN3ERR ^b	60E8 _H	INTFCN3ERR	エラー割り込み	FCN3	117	07C0 _H	07C0 _H
117	ICFCN3REC ^b	60EA _H	INTFCN3REC	受信割り込み	FCN3	118	07D0 _H	07D0 _H
118	ICFCN3TRX ^b	60EC _H	INTFCN3TRX	送信割り込み	FCN3	119	07E0 _H	07E0 _H
119	ICFCN4ERR ^b	60EE _H	INTFCN4ERR	エラー割り込み	FCN4	120	07F0 _H	07F0 _H
120	ICFCN4REC ^b	60F0 _H	INTFCN4REC	受信割り込み	FCN4	121	0800 _H	0800 _H
121	ICFCN4TRX ^b	60F2 _H	INTFCN4TRX	送信割り込み	FCN4	122	0810 _H	0810 _H
122	ICFCN5ERR ^b	60F4 _H	INTFCN5ERR	エラー割り込み	FCN5	123	0820 _H	0820 _H
123	ICFCN5REC ^b	60F6 _H	INTFCN5REC	受信割り込み	FCN5	124	0830 _H	0830 _H
124	ICFCN5TRX ^b	60F8 _H	INTFCN5TRX	送信割り込み	FCN5	125	0840 _H	0840 _H
125 ~ 127	-	60FA _H ~ 60FE _H	予約 ^c			126 ~ 128	0850 _H ~ 0870 _H	0850 _H ~ 0870 _H

a) μ PD70F4177 では、この割り込みの対象が、FCN[2:0] になります。

b) この割り込みは、 μ PD70F4177 では使用できません。

c) 予約レジスタは初期値から変更しないでください。

(8) V850E2/FG4-G EI レベル・マスクブル割り込み

表 4-8 V850E2/FG4-G EI レベル・マスクブル割り込み要因 (1/3)

アドレス	割り込み		割り込み要求				割り込み要因	例外コード	ハンドラ・アドレス 0000... 0000H
	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H	
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H	
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H	
3 ~ 8	-	6006 _H ~ 6010 _H	予約 ^c			4 ~ 9	00B0 _H ~ 0100 _H	00B0 _H ~ 0100 _H	
9	ICP0	6012 _H	INTP0	エッジ検出割り込み	Port	10	0110 _H	0110 _H	
10	ICP1	6014 _H	INTP1	エッジ検出割り込み	Port	11	0120 _H	0120 _H	
11	ICP2	6016 _H	INTP2	エッジ検出割り込み	Port	12	0130 _H	0130 _H	
12	ICP3	6018 _H	INTP3	エッジ検出割り込み	Port	13	0140 _H	0140 _H	
13	ICP4	601A _H	INTP4	エッジ検出割り込み	Port	14	0150 _H	0150 _H	
14	ICP5	601C _H	INTP5	エッジ検出割り込み	Port	15	0160 _H	0160 _H	
15	ICP6	601E _H	INTP6	エッジ検出割り込み	Port	16	0170 _H	0170 _H	
16	ICP7	6020 _H	INTP7	エッジ検出割り込み	Port	17	0180 _H	0180 _H	
17	ICP8	6022 _H	INTP8	エッジ検出割り込み	Port	18	0190 _H	0190 _H	
18	ICP9	6024 _H	INTP9	エッジ検出割り込み	Port	19	01A0 _H	01A0 _H	
19	ICP10	6026 _H	INTP10	エッジ検出割り込み	Port	20	01B0 _H	01B0 _H	
20	ICTAUB010	6028 _H	INTTAUB010	チャンネル 0 割り込み	TAUB0	21	01C0 _H	01C0 _H	
21	ICTAUB011	602A _H	INTTAUB011	チャンネル 1 割り込み	TAUB0	22	01D0 _H	01D0 _H	
22	ICTAUB012	602C _H	INTTAUB012	チャンネル 2 割り込み	TAUB0	23	01E0 _H	01E0 _H	
23	ICTAUB013	602E _H	INTTAUB013	チャンネル 3 割り込み	TAUB0	24	01F0 _H	01F0 _H	
24	ICTAUB014	6030 _H	INTTAUB014	チャンネル 4 割り込み	TAUB0	25	0200 _H	0200 _H	
25	ICTAUB015	6032 _H	INTTAUB015	チャンネル 5 割り込み	TAUB0	26	0210 _H	0210 _H	
26	ICTAUB016	6034 _H	INTTAUB016	チャンネル 6 割り込み	TAUB0	27	0220 _H	0220 _H	
27	ICTAUB017	6036 _H	INTTAUB017	チャンネル 7 割り込み	TAUB0	28	0230 _H	0230 _H	
28	ICTAUB018	6038 _H	INTTAUB018	チャンネル 8 割り込み	TAUB0	29	0240 _H	0240 _H	
29	ICTAUB019	603A _H	INTTAUB019	チャンネル 9 割り込み	TAUB0	30	0250 _H	0250 _H	
30	ICTAUB0110	603C _H	INTTAUB0110	チャンネル 10 割り込み	TAUB0	31	0260 _H	0260 _H	
31	ICTAUB0111	603E _H	INTTAUB0111	チャンネル 11 割り込み	TAUB0	32	0270 _H	0270 _H	
32	ICTAUB0112	6040 _H	INTTAUB0112	チャンネル 12 割り込み	TAUB0	33	0280 _H	0280 _H	
33	ICTAUB0113	6042 _H	INTTAUB0113	チャンネル 13 割り込み	TAUB0	34	0290 _H	0290 _H	
34	ICTAUB0114	6044 _H	INTTAUB0114	チャンネル 14 割り込み	TAUB0	35	02A0 _H	02A0 _H	
35	ICTAUB0115	6046 _H	INTTAUB0115	チャンネル 15 割り込み	TAUB0	36	02B0 _H	02B0 _H	
36 ~ 51	-	6048 _H ~ 6066 _H	予約 ^c			37~ 52	02C0 _H ~ 03B0 _H	02C0 _H ~ 03B0 _H	

表 4-8 V850E2/FG4-G EI レベル・マスクブル割り込み要因 (2/3)

アドレス	割り込み		割り込み要求			チャネル・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
52	ICADCA0ERR	6068 _H	INTADCA0ERR	エラー割り込み	ADCA0	53	03C0 _H	03C0 _H
53	ICADCA0I0	606A _H	INTADCA0I0	CG0 変換終了	ADCA0	54	03D0 _H	03D0 _H
54	ICADCA0I1	606C _H	INTADCA0I1	CG1 変換終了	ADCA0	55	03E0 _H	03E0 _H
55	ICADCA0I2	606E _H	INTADCA0I2	CG2 変換終了	ADCA0	56	03F0 _H	03F0 _H
56	ICADCA0LLT	6070 _H	INTADCA0LLT	変換割り込み	ADCA0	57	0400 _H	0400 _H
57	ICFCNWUP	6072 _H	INTFCNWUP	ウェイクアップ割り込み	FCN [5:0] ^a	58	0410 _H	0410 _H
58	-	6074 _H	予約 ^c			59	0420 _H	0420 _H
59	-	6076 _H	予約 ^c			60	0430 _H	0430 _H
60	ICFCN0ERR	6078 _H	INTFCN0ERR	エラー割り込み	FCN0	61	0440 _H	0440 _H
61	ICFCN0REC	607A _H	INTFCN0REC	受信割り込み	FCN0	62	0450 _H	0450 _H
62	ICFCN0TRX	607C _H	INTFCN0TRX	送信割り込み	FCN0	63	0460 _H	0460 _H
63	ICCSIG0IRE	607E _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	64	0470 _H	0470 _H
64	ICCSIG0IR	6080 _H	INTCSIG0IR	受信状態割り込み	CSIG0	65	0480 _H	0480 _H
65	ICCSIG0IC	6082 _H	INTCSIG0IC	通信状態割り込み	CSIG0	66	0490 _H	0490 _H
66	ICDMA0	6084 _H	INTDMA0	DMA チャネル 0 転送完了	DMA	67	04A0 _H	04A0 _H
67	ICDMA1	6086 _H	INTDMA1	DMA チャネル 1 転送完了	DMA	68	04B0 _H	04B0 _H
68	ICDMA2	6088 _H	INTDMA2	DMA チャネル 2 転送完了	DMA	69	04C0 _H	04C0 _H
69	ICDMA3	608A _H	INTDMA3	DMA チャネル 3 転送完了	DMA	70	04D0 _H	04D0 _H
70	ICDMA4	608C _H	INTDMA4	DMA チャネル 4 転送完了	DMA	71	04E0 _H	04E0 _H
71	ICDMA5	608E _H	INTDMA5	DMA チャネル 5 転送完了	DMA	72	04F0 _H	04F0 _H
72	ICDMA6	6090 _H	INTDMA6	DMA チャネル 6 転送完了	DMA	73	0500 _H	0500 _H
73	ICDMA7	6092 _H	INTDMA7	DMA チャネル 7 転送完了	DMA	74	0510 _H	0510 _H
74	ICIICB0IA	6094 _H	INTIICB0IA	データ送受信割り込み	IICB0	75	0520 _H	0520 _H
75	ICFCN1ERR	6096 _H	INTFCN1ERR	エラー割り込み	FCN1	76	0530 _H	0530 _H
76	ICFCN1REC	6098 _H	INTFCN1REC	受信割り込み	FCN1	77	0540 _H	0540 _H
77	ICFCN1TRX	609A _H	INTFCN1TRX	送信割り込み	FCN1	78	0550 _H	0550 _H
78	ICTAUJ0I0	609C _H	INTTAUJ0I0	チャネル 0 割り込み	TAUJ0	79	0560 _H	0560 _H
79	ICTAUJ0I1	609E _H	INTTAUJ0I1	チャネル 1 割り込み	TAUJ0	80	0570 _H	0570 _H
80	ICTAUJ0I2	60A0 _H	INTTAUJ0I2	チャネル 2 割り込み	TAUJ0	81	0580 _H	0580 _H
81	ICTAUJ0I3	60A2 _H	INTTAUJ0I3	チャネル 3 割り込み	TAUJ0	82	0590 _H	0590 _H
82	ICOSTM0	60A4 _H	INTOSTM0	OSTM0 割り込み	OSTM0	83	05A0 _H	05A0 _H
83	ICCSIG4IRE	60A6 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	84	05B0 _H	05B0 _H
84	ICCSIG4IR	60A8 _H	INTCSIG4IR	受信状態割り込み	CSIG4	85	05C0 _H	05C0 _H
85	ICCSIG4IC	60AA _H	INTCSIG4IC	通信状態割り込み	CSIG4	86	05D0 _H	05D0 _H

表 4-8 V850E2/FG4-G EI レベル・マスクブル割り込み要因 (3/3)

アドレス	割り込み		割り込み要求			割り込み要因	例外コード	ハンドラ・アドレス 0000... 0000	
	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
86 ~ 88	-	60AC _H ~ 60B0 _H	予約 ^c				87 ~ 89	05E0 _H ~ 0600 _H	05E0 _H ~ 0600 _H
89	ICLMA2IS	60B2 _H	INTLMA2IS	状態割り込み	LMA2	90	0610 _H	0610 _H	
90	ICLMA2IR	60B4 _H	INTLMA2IR	受信完了割り込み	LMA2	91	0620 _H	0620 _H	
91	ICLMA2IT	60B6 _H	INTLMA2IT	送信割り込み	LMA2	92	0630 _H	0630 _H	
92 ~ 97	-	60B8 _H ~ 60C2 _H	予約 ^c				93 ~ 98	0640 _H ~ 0690 _H	0640 _H ~ 0690 _H
98	ICCSIG7IRE	60C4 _H	INTCSIG7IRE	受信エラー割り込み	CSIG7	99	06A0 _H	06A0 _H	
99	ICCSIG7IR	60C6 _H	INTCSIG7IR	受信状態割り込み	CSIG7	100	06B0 _H	06B0 _H	
100	ICCSIG7IC	60C8 _H	INTCSIG7IC	通信状態割り込み	CSIG7	101	06C0 _H	06C0 _H	
101	ICP11	60CA _H	INTP11	エッジ検出割り込み	Port	102	06D0 _H	06D0 _H	
102	ICP12	60CC _H	INTP12	エッジ検出割り込み	Port	103	06E0 _H	06E0 _H	
103 ~ 105	-	60CE _H ~ 60D2 _H	予約 ^c				104 ~ 106	06F0 _H ~ 0710 _H	06F0 _H ~ 0710 _H
106	ICKR0	60D4 _H	INTKR0	キー・リターン割り込み	KR0	107	0720 _H	0720 _H	
107	ICLMA10IS	60D6 _H	INTLMA10IS	状態割り込み	LMA10	108	0730 _H	0730 _H	
108	ICLMA10IR	60D8 _H	INTLMA10IR	受信完了割り込み	LMA10	109	0740 _H	0740 _H	
109	ICLMA10IT	60DA _H	INTLMA10IT	送信割り込み	LMA10	110	0750 _H	0750 _H	
110	ICLMA11IS	60DC _H	INTLMA11IS	状態割り込み	LMA11	111	0760 _H	0760 _H	
111	ICLMA11IR	60DE _H	INTLMA11IR	受信完了割り込み	LMA11	112	0770 _H	0770 _H	
112	ICLMA11IT	60E0 _H	INTLMA11IT	送信割り込み	LMA11	113	0780 _H	0780 _H	
113	ICFCN2ERR	60E2 _H	INTFCN2ERR	エラー割り込み	FCN2	114	0790 _H	0790 _H	
114	ICFCN2REC	60E4 _H	INTFCN2REC	受信割り込み	FCN2	115	07A0 _H	07A0 _H	
115	ICFCN2TRX	60E6 _H	INTFCN2TRX	送信割り込み	FCN2	116	07B0 _H	07B0 _H	
116	ICFCN3ERR ^b	60E8 _H	INTFCN3ERR	エラー割り込み	FCN3	117	07C0 _H	07C0 _H	
117	ICFCN3REC ^b	60EA _H	INTFCN3REC	受信割り込み	FCN3	118	07D0 _H	07D0 _H	
118	ICFCN3TRX ^b	60EC _H	INTFCN3TRX	送信割り込み	FCN3	119	07E0 _H	07E0 _H	
119	ICFCN4ERR ^b	60EE _H	INTFCN4ERR	エラー割り込み	FCN4	120	07F0 _H	07F0 _H	
120	ICFCN4REC ^b	60F0 _H	INTFCN4REC	受信割り込み	FCN4	121	0800 _H	0800 _H	
121	ICFCN4TRX ^b	60F2 _H	INTFCN4TRX	送信割り込み	FCN4	122	0810 _H	0810 _H	
122	ICFCN5ERR ^b	60F4 _H	INTFCN5ERR	エラー割り込み	FCN5	123	0820 _H	0820 _H	
123	ICFCN5REC ^b	60F6 _H	INTFCN5REC	受信割り込み	FCN5	124	0830 _H	0830 _H	
124	ICFCN5TRX ^b	60F8 _H	INTFCN5TRX	送信割り込み	FCN5	125	0840 _H	0840 _H	
125 ~ 127	-	60FA _H ~ 60FE _H	予約 ^c				126 ~ 128	0850 _H ~ 0870 _H	0850 _H ~ 0870 _H

- a) μ PD70F4179 では、この割り込みの対象が、FCN[2:0] になります。
- b) この割り込みは、 μ PD70F4179 では使用できません。
- c) 予約レジスタは初期値から変更しないでください。

4.2.2 V850E2/Fx4-L FE レベル・ノンマスカブル割り込みの共有

FE レベル・ノンマスカブル割り込み（FENMI）は複数の割り込み要因で共有されています。

(1) WDTNMIF - WDTNMI 要因レジスタ

このレジスタは、FE レベル・ノンマスカブル割り込み（FENMI）がどの要因で発生したかを示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF45 0000_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	WDTA NMI1F	WDTA NMI0F	FENM IF
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4-9 WDTNMIF レジスタの内容

ビット位置	ビット名	機能
2	WDTANMI1F	ウォッチドッグ・タイマ 1 (WDTA1NMI) フラグ 0 : WDTA1NMI が発生しない 1 : WDTA1NMI が発生した
1	WDTANMI0F	ウォッチドッグ・タイマ 0 (WDTA0NMI) フラグ 0 : WDTA0NMI が発生しない 1 : WDTA0NMI が発生した
0	FENMIF	NMI 端子からの入力信号フラグ 0 : NMIO が発生しない 1 : NMIO が発生した

(2) WDTNMIFC - WDTNMI 要因クリア・レジスタ

このレジスタは WDTNMIF レジスタの FE レベル・ノンマスクブル割り込みフラグをクリアするレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FF45 0008_H

初期値 読み出すと常に 0000 0000_H が読み出せます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	WDTANMI1FC	WDTANMI0FC	FENMIFC
R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 4-10 WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
2	WDTANMI1FC	WDTANMI1F フラグ・クリア 0: 動作しない 1: WDTNMIF.WDTANMI1F フラグ・クリア
1	WDTANMI0FC	WDTANMI0F フラグ・クリア 0: 動作しない 1: WDTNMIF.WDTANMI0F フラグ・クリア
0	FENMIFC	FENMIF フラグ・クリア 0: 動作しない 1: WDTNMIF.FENMIF フラグ・クリア

4.3 エッジ検出機能

外部割り込み（INTP_m と NMI）は外部端子の立ち上がり／立ち下がり／両エッジを検出することにより割り込みを要求できます。

各割り込みのエッジを指定するレジスタを次に示します。

表 4-11 外部割り込みエッジ検出レジスタ

割り込み	レジスタ
INTP0	FCLA0CTL0
INTP1	FCLA0CTL1
INTP2	FCLA0CTL2
INTP3	FCLA0CTL3
INTP4	FCLA0CTL4
INTP5	FCLA0CTL5
INTP6	FCLA0CTL6
INTP7	FCLA0CTL7
INTP8	FCLA1CTL0
INTP9	FCLA1CTL1
INTP10	FCLA1CTL2
INTP11	FCLA1CTL3
INTP12	FCLA1CTL4
INTP13	FCLA1CTL5
INTP14	FCLA1CTL6
INTP15	FCLA1CTL7
NMI	FCLA2CTL0

詳細は、第2章「端子機能」のなかの2.5.1「ポート・フィルタの割り当て」を参照してください。

4.4 割り込みコントローラ制御レジスタ

(1) EICn (n = 0-127) : EI レベル割り込み制御レジスタ

EI レベル・マスカブル割り込み (EIINT) のチャンネルごとに設け、各チャンネルの制御条件を設定します。ビット 15-13, 11-8, 6-3 には必ず 0 を設定してください。

アクセス 16/8/1 ビット単位でリード/ライト可能です。

ただし、ビット 15-13, 11-8 への SET1, CLR1, NOT1 命令によるビット・アクセスは禁止です。

アドレス FFFF6000_H-FFFF60FE_H

初期値 0087_H どのリセット要因でも初期化されます。

注意 表 4-3 ~ 表 4-8 に「予約」と記載されているチャンネルの EICn レジスタにはアクセスしないでください

15	14	13	12	11	10	9	8
0	0	0	EIRFn	0	0	0	0
R	R	R	R/W	R	R	R	R
7	6	5	4	3	2	1	0
EIMKn	0	0	0	0	EIP2n	EIP1n	EIP0n
R/W	R	R	R	R	R/W	R/W	R/W

表 4-12 EICn レジスタの内容

ビット位置	ビット名	意味
12	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット (1) すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスカブル割り込み n (EIINTn) を発生します。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセットされている場合は、割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセットされているチャンネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセットされます。割り込みマスク・レジスタ (IMR) の対応するビットの設定も反映されます。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (初期値)
2-0	EIP2n- EIP0n	8 レベルの割り込み優先度を指定します。0 が最高優先度、7 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP2n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

(2) IMRm (m = 0-7) : EI レベル割り込みマスク・レジスタ

EICn レジスタの EIMKn ビットの集合レジスタです。IMRm レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMRm レジスタへの設定は対応する EIMKn ビットへ反映されます。

アクセス 16/8/1 ビット単位でリード／ライト可能です。

アドレス IMR0 : FFFF6400_H IMR1 : FFFF6402_H
 IMR2 : FFFF6404_H IMR3 : FFFF6406_H
 IMR4 : FFFF6408_H IMR5 : FFFF640A_H
 IMR6 : FFFF640C_H IMR7 : FFFF640E_H

初期値 FFFF_H どのリセット要因でも初期化されます。

注意 表 4-3 ~ 表 4-8 に「予約」と記載されているチャンネルに対応する EIMKn ビットには、必ず 1 を設定してください。

	15	14	13	12	11	10	9	8
(IMRmH)	IMRmEIMK m×16+15	IMRmEIMK m×16+14	IMRmEIMK m×16+13	IMRmEIMK m×16+12	IMRmEIMK m×16+11	IMRmEIMK m×16+10	IMRmEIMK m×16+9	IMRmEIMK m×16+8
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
(IMRmL)	IMRmEIMK m×16+7	IMRmEIMK m×16+6	IMRmEIMK m×16+5	IMRmEIMK m×16+4	IMRmEIMK m×16+3	IMRmEIMK m×16+2	IMRmEIMK m×16+1	IMRmEIMK m×16+0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-13 IMRm レジスタの内容

ビット位置	ビット名	意味
15-0	IMRmEIMK (m×16+15)- (m×16+0)	EI レベル・マスカブル割り込み (EIINT) のチャンネル (m×16+0) からチャンネル (m×16+15) の割り込みマスク・ビットです。 表 4-3 ~ 表 4-8 に「予約」と記載されているチャンネルに対応するビットの場合は、リード・オンリーで 1 に固定されています。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止

(3) ISPR : イン・サービス・プライオリティ・レジスタ

CPU コアで処理中の EI レベル・マスカブル割り込み (EIINT) の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると、その割り込み要求の割り込み優先度に対応するビットがセットされます。CPU コアから割り込み処理の終了通知を受け取ると、セットされているビットのうち最も優先度が高いビットが自動的にクリアされます。FE レベルの割り込みからの復帰の場合はクリアされません。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後、ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリアすることができます。任意ビットのクリアやセットをソフトウェアで行うことはできません。一度クリアしてしまうと元の値に復旧させることはできません。

8 ビット単位でのアクセスでは下位 8 ビット [7:0] へのアクセスとなります。

アクセス 16/8 ビット単位でリードのみ可能です。

アドレス FFFF6440_H

初期値 0000_H どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
(ISPR)	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
	R	R	R	R	R	R	R	R

表 4-14 ISPR レジスタの内容

ビット位置	ビット名	意味
7-0	ISPR7- ISPR0	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中

(4) PMR : プライオリティ・マスク・レジスタ

EI レベル・マスカブル割り込み (EIINT) の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されている EIINT のチャンネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており、例えばビット 0 に 1 を設定すると割り込み優先度 0 のチャンネルをマスクすることができます。

16/8/1 ビット単位でリード/ライト可能です。8 ビット単位でのアクセスでは下位 8 ビット [7:0] へのアクセスとなります。

アクセス 16/8/1 ビット単位でリード/ライト可能です。

アドレス FFFF6448_H

初期値 0000_H どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R/W							
	7	6	5	4	3	2	1	0
(PMRL)	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0
	R/W							

表 4-15 PMR レジスタの内容

ビット位置	ビット名	意味
7-0	PMR7- PMR0	割り込み要求フラグをマスクする割り込み優先度を推奨します。 0 : ビット位置に対応する割り込み優先度の割り込み処理を許可 (初期値) 1 : ビット位置に対応する割り込み優先度の割り込み処理を禁止

(5) ISPC : イン・サービス・プライオリティ・クリア・レジスタ

ISPC レジスタの全ビットへ同時に 1 をライトし、次に ISPR レジスタの全ビットに同時に 0 をライトすると、ISPR レジスタの全ビットを 0 にクリアすることができます。同時に ICSR レジスタの FE レベル NMI の処理モード、EI レベル・マスカブル割り込み (EIINT) の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることとなります。これらの一度クリア (0) された内容は、ソフトウェアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア (0) されると、ISPC レジスタの値も自動的にクリア (0) されます。ISPC レジスタへリード・アクセスを行った場合に読み出される値は、全ビットに 1 を書き込んだあとは、全ビットから 1 が読み出され、リセット後や ISPR レジスタのクリア後は、全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ、ISPR レジスタの値は変化しません。

アクセス 16 ビット単位でのみリード/ライト可能です。

アドレス FFFF6450_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-16 ISPC レジスタの内容

ビット位置	ビット名	意味
15-0	ISPC15- ISPC0	全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。

(6) ICSR : 割り込みコントローラ・ステータス・レジスタ

割り込みコントローラの動作状態を示します。特にビット 2-0 は割り込み処理のモード・レジスタになります。ソフトウェアでライトすることはできません。

8 ビット単位でのアクセスでは上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへのアクセスとなります。

アクセス 16/8/1 ビット単位でリード可能です。

アドレス FFFF645A_H

初期値 0000_H どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
(ICSRH)	0	0	0	0	0	0	0	PMF
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
(ICSRL)	0	FNR	0	EIR	0	FNE	0	EIE
	R	R	R	R	R	R	R	R

表 4-17 ICSR レジスタの内容

ビット位置	ビット名	意味
8	PMF	PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1
6	FNR	FE レベル・ノンマスカブル割り込み (FENMI) を CPU へ要求中であれば 1
4	EIR	EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1
2	FNE	FE レベル・ノンマスカブル割り込み (FENMI) が CPU で処理中であれば 1
0	EIE	EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1

(7) FNC : FE レベル NMI 制御レジスタ

FE レベル・ノンマスクابل割り込み (FENMI) の要求状態を確認できます。
8 ビット単位でのアクセスでは上位 8 ビット [15:8] へのアクセスとなります。

アクセス 16/8/1 ビット単位でリードのみ可能です。

アドレス FFFF645C_H

初期値 0000_H どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8
(FNCH)	0	0	0	FNRF	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R

表 4-18 FNC レジスタの内容

ビット位置	ビット名	意味
12	FNRF	割り込み要求フラグです。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

4.5 割り込みの受け付けと復帰

割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

4.5.1 FENMI 割り込み要求による FE レベル・ノンマスクابل割り込み

FENMI 割り込みが要求されると、CPU で FE レベル・ノンマスクابل割り込みが発生します。この FE レベル・ノンマスクابل割り込みは、システムの致命的エラーが発生した場合などに利用します。

注意 FENMI は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FENMI, EIINT 割り込み発生は保留されます（要求の受け付けと、要求の保持は行います）。

FENMI は、NP ビット = 1 のときでも受け付け可能です。このため、FE レベル例外を処理中に FENMI 割り込みが発生した場合、退避アドレスを失い復帰できません。FENMI 割り込みを要求し、所望の処理を完了したあとは、システム・リセットなどを実行してください。元の処理への復帰はできません。

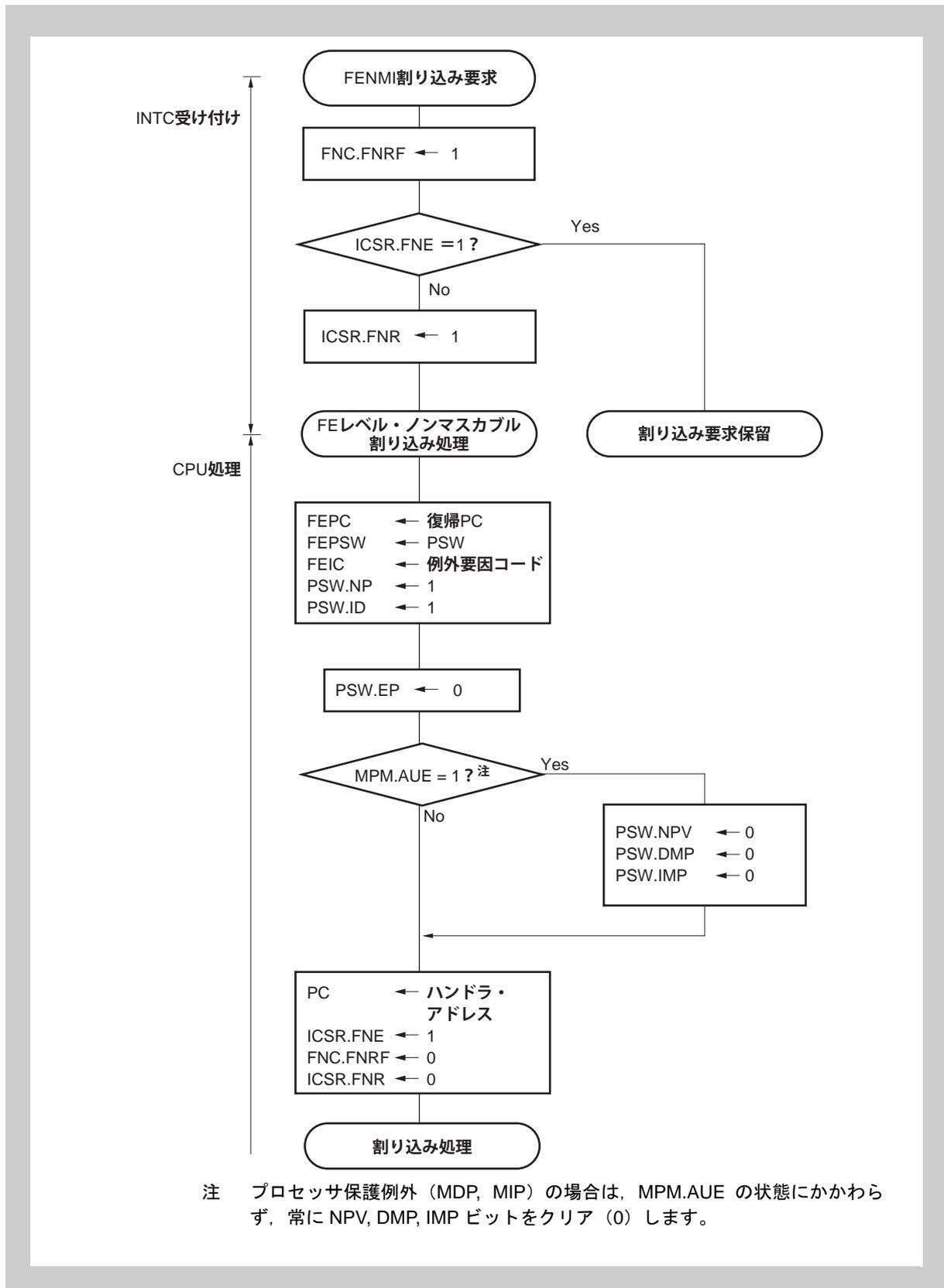


図 4-1 FENMI 割り込み要求時の処理

4.5.2 FE レベル・ノンマスクابل割り込み（FENMI）からの復帰

FE レベル・ノンマスクابل割り込み（FENMI）は、システムの致命的エラーが発生した場合などに利用する割り込みのため、復帰はできません。例外処理後にシステム・リセットを行ってください。

4.5.3 EIINT 割り込み要求による EI レベル・マスクابل割り込み

EI レベル・マスクابل割り込みが要求されると、CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は、INTC の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

注意 EI レベル割り込みを受け付けると、ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降、EIRET 命令を発行するまで、この ISPR レジスタの割り込み優先度以下の割り込みは、発生しません。割り込み要求の受け付け／保持は行います。ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は、ハードウェアが自動的に行います。ソフトウェアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

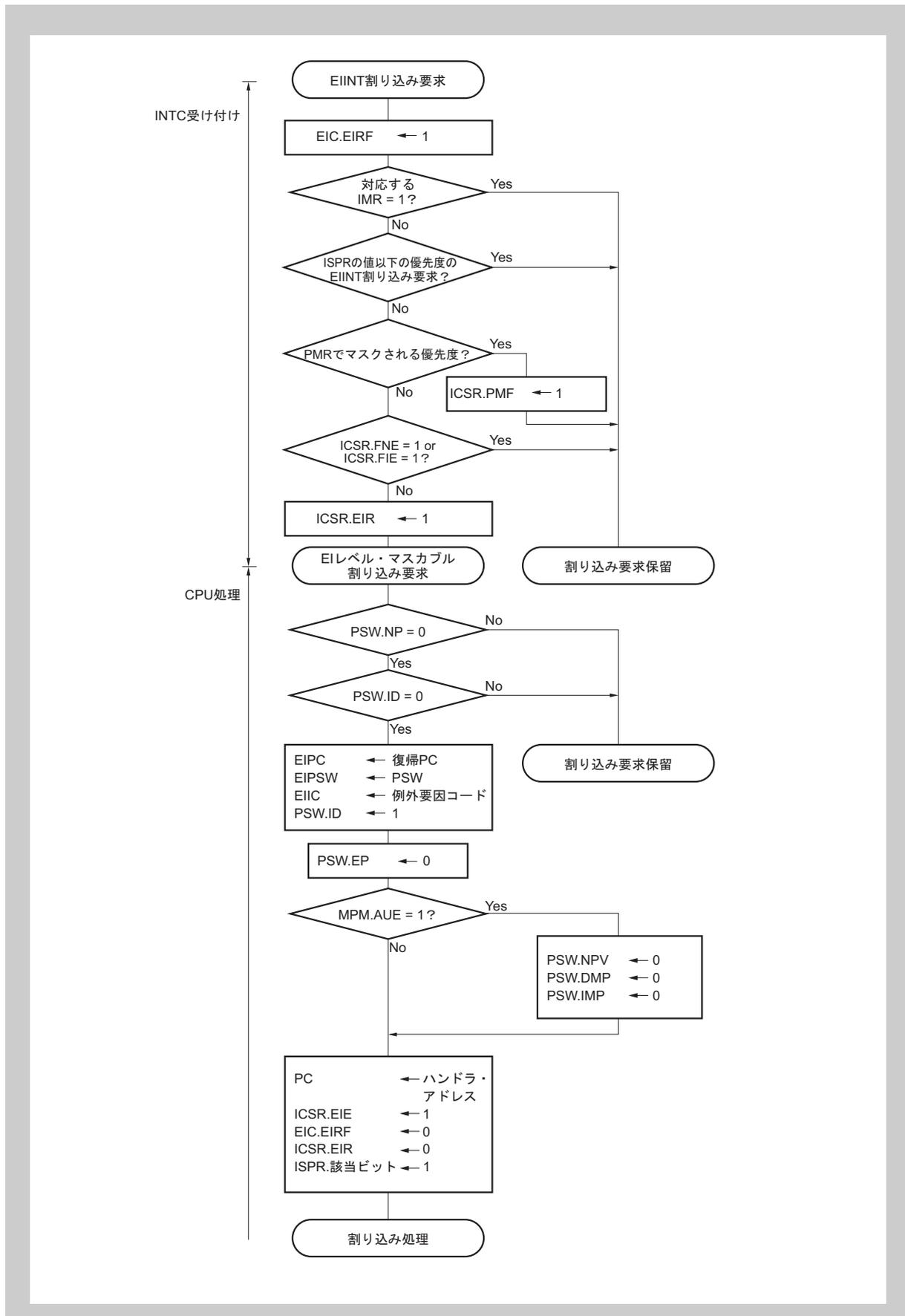


図 4-2 EIINT 割り込み要求時の処理

4.5.4 EI レベル・マスク割込み (EIINT) からの復帰

EI レベル・マスク割込み (EIINT) 処理からの復帰には、EIRET 命令を使用します。PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行すると EI レベル・マスク割込み (EIINT) からの復帰処理をおこないます。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR, ISPR などのレジスタのクリアが行われません)。EI レベル・マスク割込み (EIINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行してください。

注意 V850E2-V3 CPU コアでは、V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて、EIRET 命令に置き換えて使用してください。

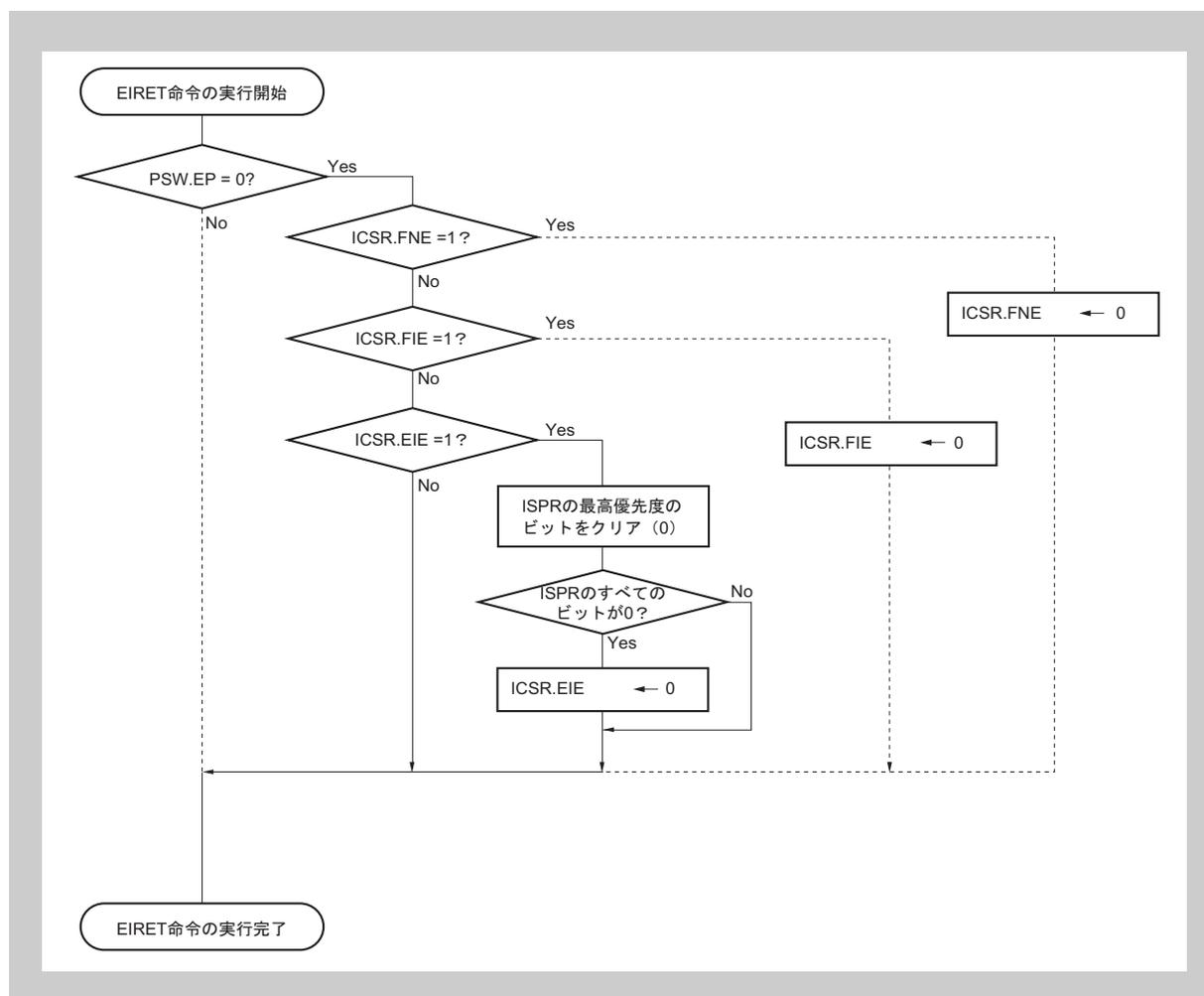


図 4-3 EI レベル・マスク割込み (EIINT) 処理からの復帰

4.6 割り込み動作

4.6.1 EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

EICn.EIMKn	動作
1	割り込みをマスクします。
0	割り込みを許可します。

EICn.EIMKn ビットは、IMRm レジスタの対応する EIMKn ビットからもリード/ライト可能です。同じレジスタを共有しています。

- 【動作例】**
- (1) IMRm.EIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
 - (2) EICn.EIMKn ビットをリードすると 1 が読み出されます。

注意 EIMKn ビットでは、割り込みの保持以降の処理をマスクします。EIMKn ビットを 1 に設定しても、割り込み要求の受け付け、および保持は行われます。このため EIMKn ビットで割り込み禁止が指定されている割り込みに対して、ソフトウェアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態で EIMKn ビットを 0 に再設定すると、その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には、対応する EIRFn ビットをクリア (0) してください。

4.6.2 割り込み優先度判断

FE レベル・ノンマスクブル割り込み (FENMI), EI レベル・マスクブル割り込み (EIINT) が入力されると, その他の例外も含めて優先度を判断し, 最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は, あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FENMI, EIINT の優先順位は次のとおりです。

FENMI > EIINT

(その他の例外については, 表 4-3 ~ 表 4-8, および「V850E2S ユーザーズ マニュアル アーキテクチャ編」を参照してください)

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は, EIC0-EIC127.EIP2-EIP0 ビットで指定します。割り込み優先度は, 0-7 までが設定可能です。0 が最高優先度, 7 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では, 割り込みチャンネル番号のもっとも小さい割り込みが優先されます。

表 4-19 EIINT の割り込み優先度設定と動作の優先順位の例

EIINT	EIP3 to EIP0 設定	動作時の優先順位
EIINT0	3	10
EIINT1	4	11
EIINT2	0	1
EIINT3	0	2
EIINT4	1	3
EIINT5	2	6
EIINT6	2	7
EIINT7	1	4
EIINT8	1	5
EIINT9	2	8
EIINT10	2	9

割り込みコントローラは, 割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合, 次の手順で受け付ける割り込みが決定されます。

(1) 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移りません。

(2) プライオリティ・マスク・レジスタ (PMR) によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移りません。

(3) 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

最も高い優先度が設定されている割り込み要因のうち、複数の要因が同時に割り込み要求されている場合、割り込みチャンネル番号の最も小さいものが選択されます。

(4) CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みを選択します。

例 優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 4-4 「割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1)」に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

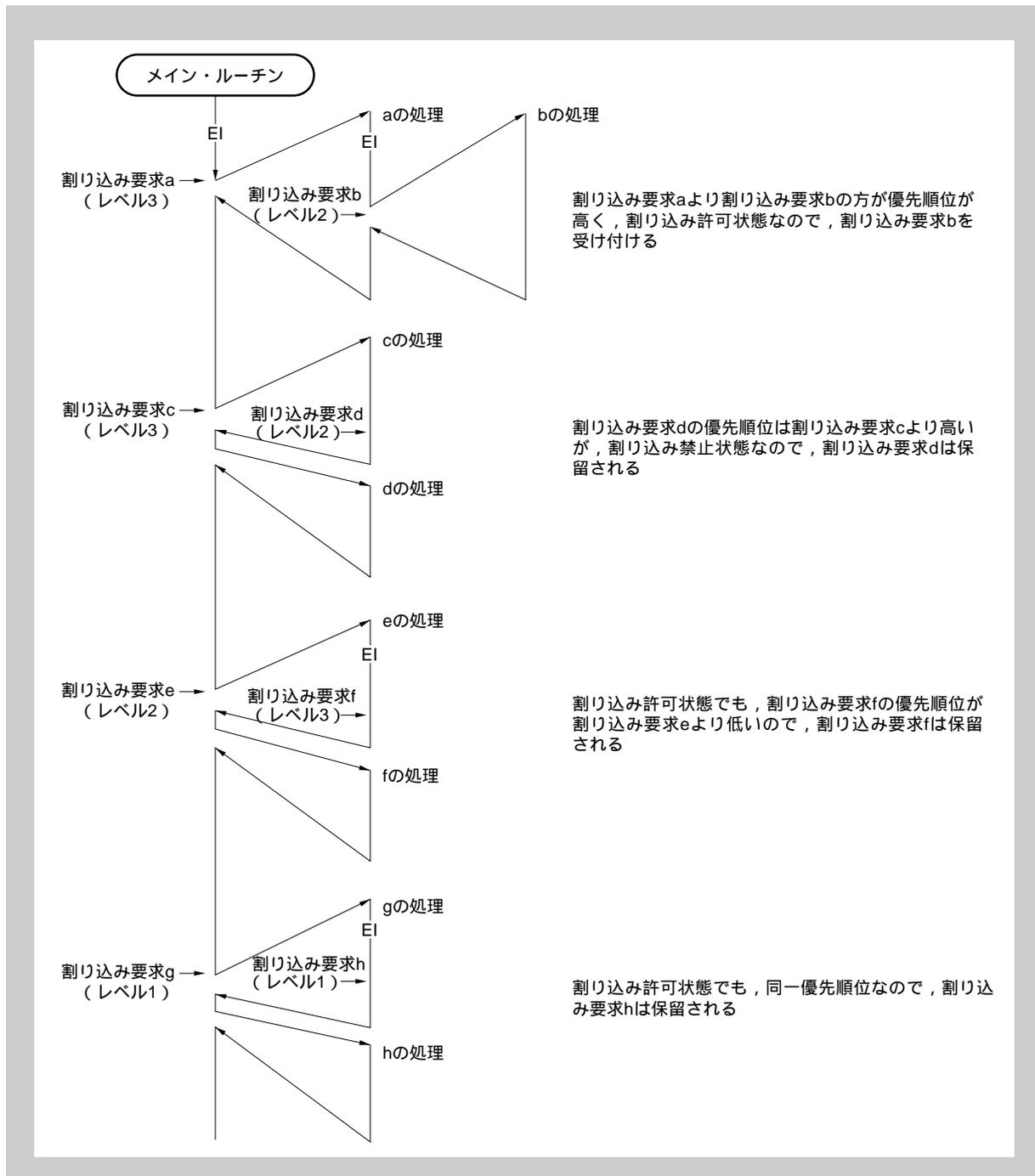


図 4-4 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1)

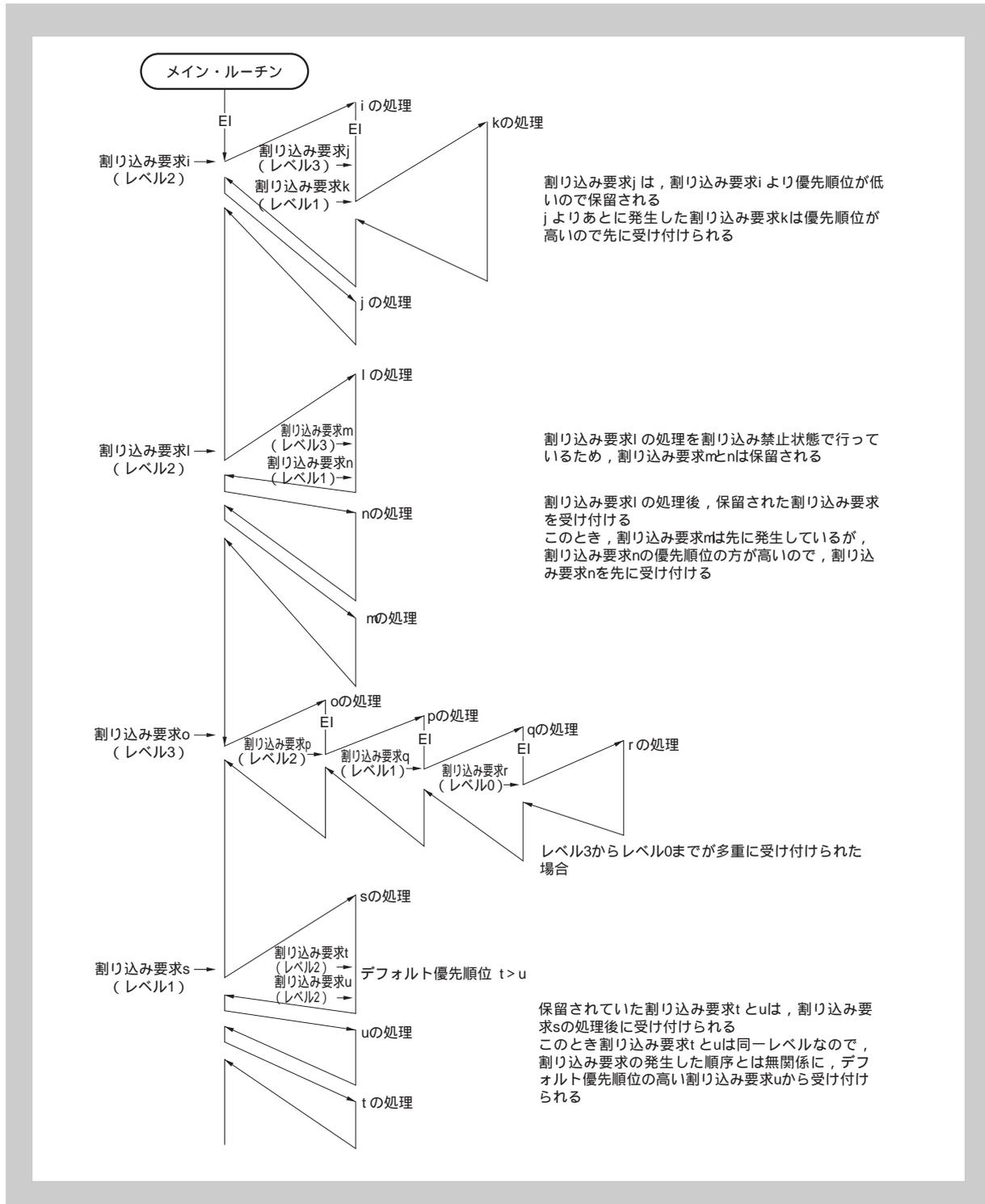


図 4-5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2)

注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSW, EIIC, EIWRの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSW, EIIC, EIWRの内容を復帰してください。

- 備考 1. 図中の a-u は、各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト優先順位の高い／低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

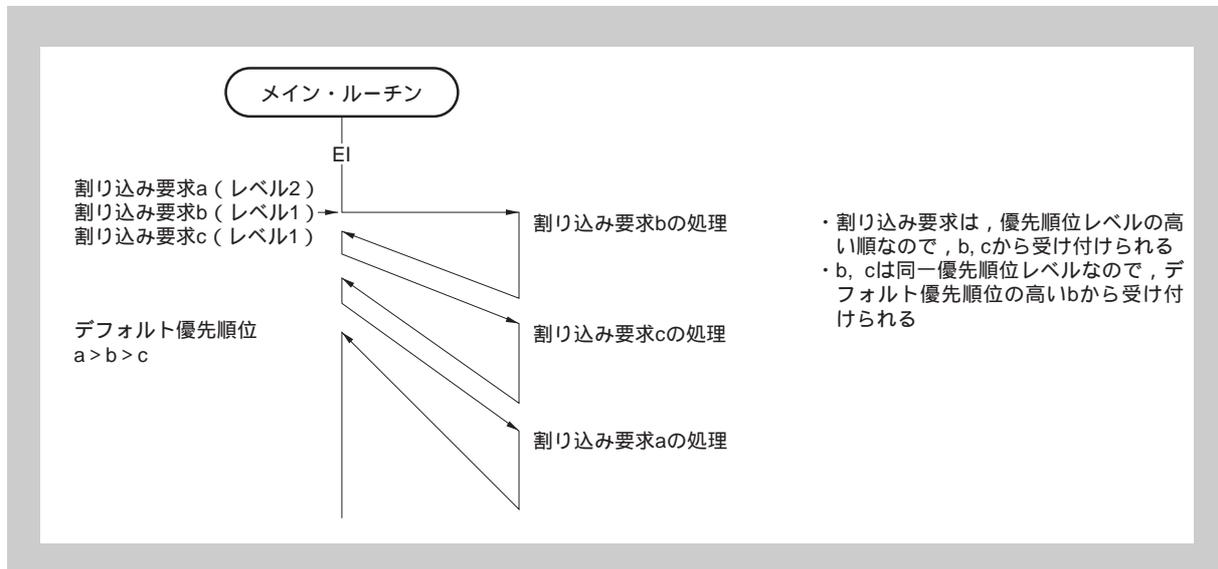


図 4-6 同時発生した割り込み要求信号の処理例

- 備考 1. 図中の a-c は、各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト優先順位の高い／低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

4.6.3 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 m = 0-7

PMR レジスタは、割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。

この機能により保留されている EIINT 割り込みの有無は、4.6.4「保留割り込み通知機能」で確認が可能です。

4.6.4 保留割り込み通知機能

保留割り込み通知機能では、現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では、次の状態を確認することができます。

- 優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合
ICSR.PMF ビットに 1 がセットされます。
ISPR レジスタによる優先度マスク、EIMKn ビットによりマスクされている割り込みが存在しているだけでは、1 はセットされません。優先度マスクによる割り込み禁止中に、優先度マスク機能により保留されている割り込み要求の有無を確認できます。
- CPU に対し EI レベル・マスクブル割り込み要求が行われている場合
ICSR.EIR ビットに 1 がセットされます。
PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで、EIINTn 割り込み要求の有無を確認できます。

4.6.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では、次の操作が可能です。

- ISPR レジスタの内容を全クリア
- ICSR.EIE, FNE ビットをクリア

ISPC レジスタの全ビットへ1をライトし、次に ISPR レジスタの全ビットに0をライトすると、ISPR レジスタの全ビットをクリア (0) することができます。また、割り込み要求が CPU コアで処理中であることを管理している ICSR.EIE, FNE ビットがすべてクリア (0) されます。

ISPR レジスタの全ビットへの0のライトとともにこのレジスタの値も自動的にクリア (0) されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

4.7 例外ハンドラ・アドレス切り替え機能

割り込みハンドラ・アドレスはソフトウェアにより切り替えることが可能です。

詳細は、「V850E2S ユーザーズマニュアル アーキテクチャ編」を参照してください。

第5章 DMA機能

この章では、DMAコントローラ（DMAC）全般について説明します。

最初の節で V850E2/Fx4-L に固有の特徴について説明します。

以降の節で、DMAC 搭載製品に共通の特徴について説明します。

5.1 V850E2/Fx4-L DMAC の特徴

チャンネル数 この章では、DMAC のチャンネル数を「n」で識別します。

DMAC のチャンネル数は、次の表に示すとおり、製品により異なります。

表 5-1 DMAC のチャンネル数

製品	V850E2/ FE4-L	V850E2/ FF4-L	V850E2/ FG4-L	V850E2/ FJ4-L	V850E2/ FF4-G	V850E2/ FG4-G
DMAC のチャンネル数	n = 0 ~ 7	n = 0 ~ 7	n = 0 ~ 7	n = 0 ~ 7	n = 0 ~ 7	n = 0 ~ 7

(1) DMA 開始要因

DMA 開始要因は、DTFRn.IFCn[5:0] の設定により選択できます。

次の表に DTFRn レジスタで選択できる開始要因の一覧を示します。

表 5-2 DMA 起動要因 (0 ~ 63)

DTFRn.IFCn [6:0]	DMA 開始要因となる割り込み	DTFRn.IFCn [6:0]	DMA 開始要因となる割り込み
0	No DMA	32	INTADCA0I2
1	INTP0	33	INTADCA0LLT
2	INTP1	34	INTCSIG0IR
3	INTP2	35	INTCSIG0IC
4	INTP3	36	INTDMA0
5	INTP4	37	INTDMA1
6	INTP5	38	INTDMA2
7	INTP6	39	INTDMA3
8	INTP7	40	INTDMA4
9	INTP8	41	INTDMA5
10	INTP9	42	reserved
11	INTP10	43	INTIICB0IA
12	INTTAUB0I8	44	INTTAUJ0I0
13	INTTAUB0I9	45	INTTAUJ0I1
14	INTTAUB0I10	46	INTTAUJ0I2
15	INTTAUB0I11	47	INTTAUJ0I3
16	INTTAUB0I12	48	INTCSIG4IR
17	INTTAUB0I13	49	INTCSIG4IC
18	INTTAUB0I14	50	reserved (INTFCN5TRX) ^a
19	INTTAUB0I15	51	reserved (INTFCN5REC) ^a
20	INTTAUB1I0 (INTFCN0REC) ^a	52	INTLMA2IT
21	INTTAUB1I1 (INTFCN1REC) ^a	53	INTLMA3IT (INTFCN0ERR) ^a
22	INTTAUB1I4 (INTFCN2TRX) ^a	54	INTLMA4IR (INTFCN1ERR) ^a
23	INTTAUB1I5 (INTFCN2REC) ^a	55	INTLMA4IT (INTFCN2ERR) ^a
24	INTTAUB1I8 (INTFCN3TRX) ^a	56	INTCSIG7IR
25	INTTAUB1I9 (INTFCN3REC) ^a	57	INTCSIG7IC
26	INTTAUB1I12 (INTFCN4TRX) ^a	58	INTLMA10IR
27	INTTAUB1I13 (INTFCN4REC) ^a	59	INTLMA10IT
28	INTFCN0TRX	60	INTLMA11IR
29	INTFCN1TRX	61	INTLMA11IT
30	INTADCA0I0	62	reserved
31	INTADCA0I1	63	reserved

^{a)} V850E2/Fx4-G 製品では、括弧内に記載のものが DMA 開始要因になります。

5.2 用語

この章では、各用語を次のように定義し使用しています。

表 5-3 語句の定義一覧

語句	意味
DMA 転送	最初の DMA サイクル開始から INTDMA をアサートするまでの期間
DMA サイクル	1 回分の転送単位を転送する期間
ハードウェア DMA 転送要求	DTCRn レジスタで選択した DMA 開始要因による DMA 転送要求
ソフトウェア DMA 転送要求	内部レジスタ (DTSn.SR ビット) による DMA 転送要求
DMA 転送要求	ハードウェア DMA 転送要求, およびソフトウェア DMA 転送要求
シングル転送	DMAC の場合, 1 回の転送要求につき 1 回の DMA サイクルを実行します。
シングルステップ転送	DMAC のみの機能で, 1 回のソフトウェア DMA 転送要求につき, 転送回数設定レジスタ (DTC) で設定した回数の転送を行います。転送ごとにバスを解放しますので, CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は, シングルステップ転送を中断し, 優先順位が高い転送要求を実行します。

5.3 概要

DMA (Direct Memory Access) 機能とは、CPU を介さずにデータをアクセスする機能です。

5.3.1 DMAC (DMA Controller) の機能

- 転送情報 (転送アドレス, 転送サイズなど) を格納するレジスタ, および DMAC を制御するレジスタを内蔵

5.3.2 DTFR (DMA Trigger Factor Register) の機能

- 割り込み信号の中から DMA 転送要因を選択 (64 チャンネルの割り込み信号から 8 チャンネルを選択)

5.3.3 DMA アクセス・メモリ・マップ

詳細は, 3.6.2 「V850E2/Fx4-L, V850E2/Fx4-G メモリ・マップ」を参照してください。

5.3.4 チャンネルの優先順位

DMAC0 では「CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7」で判定し, CH0 の優先順位が最高です。

5.4 DMAC 機能

5.4.1 特徴

チャンネル数	8チャンネル
転送データ・サイズ	8ビット, 16ビット, 32ビット
転送データ	リトル・エンディアン固定 ミスアライン・データ非対応
最大転送回数	32768 (2 ¹⁵) 回
チャンネル優先順位制御	固定優先順位 (高優先順位 (CH0) →低優先順位 (CH7))
転送対象	Local-RAM, 周辺 I/O 領域, Code-Flash ^a , Data-Flash ^a
転送タイプ	2 サイクル転送 (デュアル・アドレス転送) 転送元, 転送先ともにアドレス・アクセスします。1回の転送に2バス・サイクル (リード・サイクル+ライト・サイクル) を必要とします。リード・サイクルとライト・サイクルの間でバスのロックは行わないため, CPU サイクルが割り込むことがあります。
転送モード	<ul style="list-style-type: none"> • シングル転送モード (ハードウェア DMA 転送要求時) ハードウェア DMA 転送要求が発生するとバス使用権を獲得し, 1回の転送を行ったあと必ずバスを解放します。その後, ハードウェア DMA 転送要求があると, 再度1回の転送を行います。この動作を, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで繰り返します。 • シングルステップ転送モード (ソフトウェア DMA 転送要求時) ソフトウェア DMA 転送要求が発生するとバス使用権を獲得し, 1回の転送ごとにバスを解放します。一度ソフトウェア DMA 転送要求を受け付けると, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで, この動作を繰り返します。
転送アドレス制御	インクリメンタル, 固定
転送エラー対応	転送元からのデータがエラーであった場合, 転送先にてエラーが発生した場合, DMA 転送を中断し, CPU に対し SysError 例外を通知します。
DMA 転送要求	チャンネルごとに, ハードウェア DMA 転送要求, およびソフトウェア DMA 転送要求から任意の DMA 転送要求を選択可能です (DTRS レジスタ設定)。ソフトウェア DMA 転送要求は, ソフトウェアにより設定可能です (DTS レジスタ設定)。また, ハードウェア DMA 転送要求があることを示すステータス・ビット (DTS レジスタ) があります。
転送完了割り込み出力機能	チャンネルごとに, 転送回数レジスタ (DTC) で指定した回数分の DMA 転送を終了すると, 転送完了割り込み信号 (INTDMA7-INTDMA0) を出力します。
スタンバイ対応	ストップ・モード要求が入ると, DMA 転送を一時中断し, ストップ・モードに遷移します。
DMA 転送中断機能	ソフトウェアによる中断に対応します。 a) 転送元のみ選択可能。

5.4.2 設定レジスタ

表 5-4 DMAC 設定レジスタ一覧

(1/2)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7300 _H	DTRC0	DMA 転送要求コントロール・レジスタ 0	R/W	○	○			00 _H
FFFF7314 _H	DSA0	DMA ソース・アドレス・レジスタ CH0					○	00000000 _H
FFFF7314 _H	DSA0L	DMA ソース・アドレス・レジスタ LCH0				○		0000 _H
FFFF7316 _H	DSA0H	DMA ソース・アドレス・レジスタ HCH0				○		0000 _H
FFFF7324 _H	DDA0	DMA デスティネーション・アドレス・レジスタ CH0					○	00000000 _H
FFFF7324 _H	DDA0L	DMA デスティネーション・アドレス・レジスタ LCH0				○		0000 _H
FFFF7326 _H	DDA0H	DMA デスティネーション・アドレス・レジスタ HCH0				○		0000 _H
FFFF7332 _H	DTC0	DMA 転送カウント・レジスタ CH0				○		0000 _H
FFFF7338 _H	DTCT0	DMA 転送制御レジスタ CH0				○		0000 _H
FFFF733A _H	DTS0	DMA 転送ステータス・レジスタ CH0		○	○			00 _H
FFFF7344 _H	DSA1	DMA ソース・アドレス・レジスタ CH1					○	00000000 _H
FFFF7344 _H	DSA1L	DMA ソース・アドレス・レジスタ LCH1				○		0000 _H
FFFF7346 _H	DSA1H	DMA ソース・アドレス・レジスタ HCH1				○		0000 _H
FFFF7354 _H	DDA1	DMA デスティネーション・アドレス・レジスタ CH1					○	00000000 _H
FFFF7354 _H	DDA1L	DMA デスティネーション・アドレス・レジスタ LCH1				○		0000 _H
FFFF7356 _H	DDA1H	DMA デスティネーション・アドレス・レジスタ HCH1				○		0000 _H
FFFF7362 _H	DTC1	DMA 転送カウント・レジスタ CH1				○		0000 _H
FFFF7368 _H	DTCT1	DMA 転送制御レジスタ CH1				○		0000 _H
FFFF736A _H	DTS1	DMA 転送ステータス・レジスタ CH1		○	○			00 _H
FFFF7374 _H	DSA2	DMA ソース・アドレス・レジスタ CH2					○	00000000 _H
FFFF7374 _H	DSA2L	DMA ソース・アドレス・レジスタ LCH2				○		0000 _H
FFFF7376 _H	DSA2H	DMA ソース・アドレス・レジスタ HCH2				○		0000 _H
FFFF7384 _H	DDA2	DMA デスティネーション・アドレス・レジスタ CH2					○	00000000 _H
FFFF7384 _H	DDA2L	DMA デスティネーション・アドレス・レジスタ LCH2				○		0000 _H
FFFF7386 _H	DDA2H	DMA デスティネーション・アドレス・レジスタ HCH2				○		0000 _H
FFFF7392 _H	DTC2	DMA 転送カウント・レジスタ CH2				○		0000 _H
FFFF7398 _H	DTCT2	DMA 転送制御レジスタ CH2				○		0000 _H
FFFF739A _H	DTS2	DMA 転送ステータス・レジスタ CH2		○	○			00 _H
FFFF73A4 _H	DSA3	DMA ソース・アドレス・レジスタ CH3					○	00000000 _H
FFFF73A4 _H	DSA3L	DMA ソース・アドレス・レジスタ LCH3				○		0000 _H
FFFF73A6 _H	DSA3H	DMA ソース・アドレス・レジスタ HCH3				○		0000 _H
FFFF73B4 _H	DDA3	DMA デスティネーション・アドレス・レジスタ CH3					○	00000000 _H
FFFF73B4 _H	DDA3L	DMA デスティネーション・アドレス・レジスタ LCH3				○		0000 _H
FFFF73B6 _H	DDA3H	DMA デスティネーション・アドレス・レジスタ HCH3				○		0000 _H

(2/2)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF73C2 _H	DTC3	DMA 転送カウント・レジスタ CH3	R/W			○		0000 _H
FFFF73C8 _H	DTCT3	DMA 転送制御レジスタ CH3				○		0000 _H
FFFF73CA _H	DTS3	DMA 転送ステータス・レジスタ CH3		○	○			00 _H
FFFF73D4 _H	DSA4	DMA ソース・アドレス・レジスタ CH4					○	00000000 _H
FFFF73D4 _H	DSA4L	DMA ソース・アドレス・レジスタ LCH4				○		0000 _H
FFFF73D6 _H	DSA4H	DMA ソース・アドレス・レジスタ HCH4				○		0000 _H
FFFF73E4 _H	DDA4	DMA デスティネーション・アドレス・レジスタ CH4					○	00000000 _H
FFFF73E4 _H	DDA4L	DMA デスティネーション・アドレス・レジスタ LCH4				○		0000 _H
FFFF73E6 _H	DDA4H	DMA デスティネーション・アドレス・レジスタ HCH4				○		0000 _H
FFFF73F2 _H	DTC4	DMA 転送カウント・レジスタ CH4				○		0000 _H
FFFF73F8 _H	DTCT4	DMA 転送制御レジスタ CH4				○		0000 _H
FFFF73FA _H	DTS4	DMA 転送ステータス・レジスタ CH4		○	○			00 _H
FFFF7404 _H	DSA5	DMA ソース・アドレス・レジスタ CH5					○	00000000 _H
FFFF7404 _H	DSA5L	DMA ソース・アドレス・レジスタ LCH5				○		0000 _H
FFFF7406 _H	DSA5H	DMA ソース・アドレス・レジスタ HCH5				○		0000 _H
FFFF7414 _H	DDA5	DMA デスティネーション・アドレス・レジスタ CH5					○	00000000 _H
FFFF7414 _H	DDA5L	DMA デスティネーション・アドレス・レジスタ LCH5				○		0000 _H
FFFF7416 _H	DDA5H	DMA デスティネーション・アドレス・レジスタ HCH5				○		0000 _H
FFFF7422 _H	DTC5	DMA 転送カウント・レジスタ CH5				○		0000 _H
FFFF7428 _H	DTCT5	DMA 転送制御レジスタ CH5				○		0000 _H
FFFF742A _H	DTS5	DMA 転送ステータス・レジスタ CH5		○	○			00 _H
FFFF7434 _H	DSA6	DMA ソース・アドレス・レジスタ CH6					○	00000000 _H
FFFF7434 _H	DSA6L	DMA ソース・アドレス・レジスタ LCH6				○		0000 _H
FFFF7436 _H	DSA6H	DMA ソース・アドレス・レジスタ HCH6				○		0000 _H
FFFF7444 _H	DDA6	DMA デスティネーション・アドレス・レジスタ CH6					○	00000000 _H
FFFF7444 _H	DDA6L	DMA デスティネーション・アドレス・レジスタ LCH6				○		0000 _H
FFFF7446 _H	DDA6H	DMA デスティネーション・アドレス・レジスタ HCH6				○		0000 _H
FFFF7452 _H	DTC6	DMA 転送カウント・レジスタ CH6				○		0000 _H
FFFF7458 _H	DTCT6	DMA 転送制御レジスタ CH6			○		0000 _H	
FFFF745A _H	DTS6	DMA 転送ステータス・レジスタ CH6	○	○			00 _H	
FFFF7464 _H	DSA7	DMA ソース・アドレス・レジスタ CH7				○	00000000 _H	
FFFF7464 _H	DSA7L	DMA ソース・アドレス・レジスタ LCH7			○		0000 _H	
FFFF7466 _H	DSA7H	DMA ソース・アドレス・レジスタ HCH7			○		0000 _H	
FFFF7474 _H	DDA7	DMA デスティネーション・アドレス・レジスタ CH7				○	00000000 _H	
FFFF7474 _H	DDA7L	DMA デスティネーション・アドレス・レジスタ LCH7			○		0000 _H	
FFFF7476 _H	DDA7H	DMA デスティネーション・アドレス・レジスタ HCH7			○		0000 _H	
FFFF7482 _H	DTC7	DMA 転送カウント・レジスタ CH7			○		0000 _H	
FFFF7488 _H	DTCT7	DMA 転送制御レジスタ CH7			○		0000 _H	
FFFF748A _H	DTS7	DMA 転送ステータス・レジスタ CH7	○	○			00 _H	

5.4.3 制御レジスタへの書き込み可否

DMA 転送許可 (DTSn.DTE = 1) 中に、下記の制御レジスタに対する書き込みはできません。読み出しは全レジスタにおいて常に可能です。

表 5-5 制御レジスタへの書き込み可否

常に書き込み可能	DTRCx, DTSn, DRQCLR, DRQSTR, DTCTn.LE
DMA 転送許可中 (DTSn.DTE ビット = 1) は書き込み禁止 (書き込んだときの動作は保証しません)	DSAn, DSAnL, DSAnH, DDA n, DDA nL, DDA nH, DTCn, DTCTn (LE ビットを除く), DTFRn

備考 n = 0-7, x = 0

5.5 DMAC 制御レジスタ

5.5.1 DTRCx (x = 0) : DMA 転送要求コントロール・レジスタ

このレジスタは、DMA 転送要求時にエラーステータス、転送中断を制御する 8 ビットのレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス DTRC0 : FFFF7300_H

初期値 00_H

	7	6	5	4	3	2	1	0
DTRCx ERR	0	0	0	0	0	0	0	DTRCx ADS
R/W	R	R	R	R	R	R	R	R/W

表 5-6 DTRCx レジスタの内容

ビット位置	ビット名	意味
7	DTRCxERR	DMA 転送エラー・ステータス DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。 エラー・レスポンスを受信すると、ERR ビットと ADS ビットをセットし、CPU で SysError 例外を発生させます。クリアする場合 "0" を書き込んでください。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
0	DTRCxADS	DMA 転送中断 DMA 転送が転送停止要求により中断していることを示します。また、ユーザが "1" を書き込むことで、現在転送している DMA 転送を中断することができます。 0 : DMA 転送中断なし 1 : DMA 転送中断中 / DMA 転送中断要求

5.5.2 DSAnL (n = 0-7) : DMA ソース・アドレス・レジスタ L

このレジスタは、DMA チャンネルの転送元を設定する 16 ビット（下位）のレジスタです。

レジスタ DSAn への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ DSAnL, DSAnH にアクセスすることもできます。

アクセス DSAnL レジスタは 16 ビット単位でリード/ライト可能です。
DSAn レジスタは 32 ビット単位でリード/ライト可能です。

アドレス DSA0, DSA0L: FFFF7314_H
DSA1, DSA1L: FFFF7344_H
DSA2, DSA2L: FFFF7374_H
DSA3, DSA3L: FFFF73A4_H
DSA4, DSA4L: FFFF73D4_H
DSA5, DSA5L: FFFF7404_H
DSA6, DSA6L: FFFF7434_H
DSA7, DSA7L: FFFF7464_H

初期値 0000_H

15	14	13	12	11	10	9	8
SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-7 DSAnL レジスタの内容

ビット位置	ビット名	意味
15-0	SA15-SA0	DMA ソース・アドレス チャンネル n の転送元アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA サイクルを実行するアドレスが読み出せます。参照する場合、DSAnL, DSAnH を 32 ビットでアクセスすることを推奨します。DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが“0”の状態での 32 ビット・アクセスにより設定してください。
 3. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	SA1	SA0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

4. DMA 転送許可状態 (DTSn.DTE ビット =1) 時に DSA_n レジスタを 32 ビットで読み出した場合、読み出した値が正しくない場合があります。読み出し値の正誤判断は、次の方法で行うことができます。

(判断方法)

- ・ DSA_n レジスタを 32 ビットで読み出す操作を連続 (読出し (1 回目) → 読出し (2 回目)) して行う。

読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が同じの場合 : 読出し (2 回目) 値が正しい。

読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が異なる場合 : 読出し (1 回目) 値が正しい。

5.5.3 DSA_nH (n = 0-7) : DMA ソース・アドレス・レジスタ H

このレジスタは、DMA チャンネルの転送元を設定する 16 ビット（上位）のレジスタです。

レジスタ DSA_n への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ DSA_nL, DSA_nH にアクセスすることもできます。

アクセス DSA_nH レジスタは 16 ビット単位でリード/ライト可能です。
DSA_n レジスタは 32 ビット単位でリード/ライト可能です。

アドレス DSA0: FFFF7314_H, DSA0H: FFFF7316_H
DSA1: FFFF7344_H, DSA1H: FFFF7346_H
DSA2: FFFF7374_H, DSA2H: FFFF7376_H
DSA3: FFFF73A4_H, DSA3H: FFFF73A6_H
DSA4: FFFF73D4_H, DSA4H: FFFF73D6_H
DSA5: FFFF7404_H, DSA5H: FFFF7406_H
DSA6: FFFF7434_H, DSA6H: FFFF7436_H
DSA7: FFFF7464_H, DSA7H: FFFF7466_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	SA25	SA24
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
R/W							

表 5-8 DSA_nH レジスタの内容

ビット位置	ビット名	意味
9-0	SA25-SA16	DMA ソース・アドレス チャンネル n の転送元アドレスの上位 10 ビットを設定します。DMA 転送中に参照すると、次に DMA サイクルを実行するアドレスが読み出せます。参照する場合、DSA _n L, DSA _n H を 32 ビットでアクセスすることを推奨します。DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

-
- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが "0" の状態で 32 ビット・アクセスにより設定してください。
 3. DMA 転送許可状態 (DTSn.DTE ビット = 1) 時に DSA_n レジスタを 32 ビットで読み出した場合、読み出した値が正しくない場合があります。読み出し値の正誤判断は、次の方法で行うことができます。
(判断方法)
 - ・ DSA_n レジスタを 32 ビットで読み出す操作を連続 (読出し (1 回目) → 読出し (2 回目)) して行う。
読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が同じの場合 : 読出し (2 回目) 値が正しい。
読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が異なる場合 : 読出し (1 回目) 値が正しい。
-

5.5.4 DDA_nL (n = 0-7) : DMA デスティネーション・アドレス・レジスタ L

このレジスタは、DMA チャンネルの転送先を設定する 16 ビット（下位）のレジスタです。

レジスタ DDA_n への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ DDA_nL, DDA_nH にアクセスすることもできます。

アクセス DDA_nL レジスタは 16 ビット単位でリード／ライト可能です。
DDA_n レジスタは 32 ビット単位でリード／ライト可能です。

アドレス DDA0, DDA0L: FFFF7324_H
DDA1, DDA1L: FFFF7354_H
DDA2, DDA2L: FFFF7384_H
DDA3, DDA3L: FFFF73B4_H
DDA4, DDA4L: FFFF73E4_H
DDA5, DDA5L: FFFF7414_H
DDA6, DDA6L: FFFF7444_H
DDA7, DDA7L: FFFF7474_H

初期値 0000_H

15	14	13	12	11	10	9	8
DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-9 DDA_nL レジスタの内容

ビット位置	ビット名	意味
15-0	DA15-DA0	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA サイクルを実行するアドレスが読み出せます。参照する場合、DDA _n L, DDA _n H を 32 ビットでアクセスすることを推奨します。DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが "0" の状態で 32 ビット・アクセスにより設定してください。
 3. DMA サイクルのリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスの更新は実行します。
 4. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DA1	DA0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

5. DMA 転送許可状態 (DTSn.DTE ビット = 1) 時に DDA_n レジスタを 32 ビットで読み出した場合、読出した値が正しくない場合があります。読出し値の正誤判断は、次の方法で行うことができます。

(判断方法)

- ・ DDA_n レジスタを 32 ビットで読み出す操作を連続 (読出し (1 回目) → 読出し (2 回目)) して行う。

読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が同じの場合：読出し (2 回目) 値が正しい。

読出し (1 回目) 値および読出し (2 回目) 値の双方上位 16 ビットの値が異なる場合：読出し (1 回目) 値が正しい。

5.5.5 DDA_nH (n = 0-7) : DMA デスティネーション・アドレス・レジスタ H

このレジスタは、DMA チャンネルの転送先を設定する 16 ビット（上位）のレジスタです。

レジスタ DDA_n への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ DDA_nL, DDA_nH にアクセスすることもできます。

アクセス DDA_nH レジスタは 16 ビット単位でリード／ライト可能です。
DDA_n レジスタは 32 ビット単位でリード／ライト可能です。

アドレス DDA0: FFFF7324_H, DDA0H: FFFF7326_H
DDA1: FFFF7354_H, DDA1H: FFFF7356_H
DDA2: FFFF7384_H, DDA2H: FFFF7386_H
DDA3: FFFF73B4_H, DDA3H: FFFF73B6_H
DDA4: FFFF73E4_H, DDA4H: FFFF73E6_H
DDA5: FFFF7414_H, DDA5H: FFFF7416_H
DDA6: FFFF7444_H, DDA6H: FFFF7446_H
DDA7: FFFF7474_H, DDA7H: FFFF7476_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	DA25	DA24
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
R/W							

表 5-10 DDA_nH レジスタの内容

ビット位置	ビット名	意味
9-0	DA25-DA16	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの上位 10 ビットを設定します。DMA 転送中に参照すると、次に DMA サイクルを実行するアドレスが読み出せます。参照する場合、DDA _n L, DDA _n H を 32 ビットでアクセスすることを推奨します。DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態（DTS_n.DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが“0”の状態での 32 ビット・アクセスにより設定してください。
 3. DMA サイクルのリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスの更新は実行します。
 4. DMA 転送許可状態（DTS_n.DTE ビット = 1）時に DDA_n レジスタを 32 ビットで読み出した場合、読出した値が正しくない場合があります。読出し値の正誤判断は、次の方法で行うことができます。
(判断方法)

- ・ DDA_n レジスタを 32 ビットで読み出す操作を連続（読み出し（1 回目） → 読み出し（2 回目））して行う。
読み出し（1 回目）値および読み出し（2 回目）値の双方上位 16 ビットの値が同じの場合：読み出し（2 回目）値が正しい。
読み出し（1 回目）値および読み出し（2 回目）値の双方上位 16 ビットの値が異なる場合：読み出し（1 回目）値が正しい。
-

5.5.6 DTCn (n = 0-7) : DMA 転送カウント・レジスタ

このレジスタは、DMA チャンネルの転送回数を設定する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DTC7: FFFF7482_H, DTC6: FFFF7452_H, DTC5: FFFF7422_H,
DTC4: FFFF73F2_H, DTC3: FFFF73C2_H, DTC2: FFFF7392_H,
DTC1: FFFF7362_H, DTC0: FFFF7332_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	DTC14	DTC13	DTC12	DTC11	DTC10	DTC9	DTC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTC7	DTC6	DTC5	DTC4	DTC3	DTC2	DTC1	DTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-11 DTCn レジスタの内容

ビット位置	ビット名	意味										
14-0	DTC14-DTC0	DMA 転送カウント チャンネル n の DMA 転送回数を設定します。DMA 転送中に参照すると、残り転送回数が読み出せます。DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。 <table border="1" data-bbox="628 1176 1369 1391"> <thead> <tr> <th>DTC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000_H</td><td>32768 回転送</td></tr> <tr> <td>0001_H</td><td>1 回転送, または残り転送回数 1 回</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFF_H</td><td>32767 回転送, または残り転送回数 32767 回</td></tr> </tbody> </table>	DTC[14:0]	動作	0000 _H	32768 回転送	0001 _H	1 回転送, または残り転送回数 1 回	:	:	7FFF _H	32767 回転送, または残り転送回数 32767 回
DTC[14:0]	動作											
0000 _H	32768 回転送											
0001 _H	1 回転送, または残り転送回数 1 回											
:	:											
7FFF _H	32767 回転送, または残り転送回数 32767 回											

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. DMA サイクルのリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、転送カウントの更新は実行します。

5.5.7 DTCTn (n = 0-7) : DMA 転送制御レジスタ

このレジスタは、転送データのサイズ、アドレスのカウント方向を設定する16ビットのレジスタです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTCT7: FFFF7488_H, DTCT6: FFFF7458_H, DTCT5: FFFF7428_H,
DTCT4: FFFF73F8_H, DTCT3: FFFF73C8_H, DTCT2: FFFF7398_H,
DTCT1: FFFF7368_H, DTCT0: FFFF7338_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	DS1	DS0	LE	0	0	0	0
R	R/W	R/W	R/W	R	R	R	R
7	6	5	4	3	2	1	0
SACM1	0	DACM1	0	0	0 ^a	0	0
R/W	R	R/W	R	R	R/W	R	R

a) このレジスタに書き込む場合、ビット2には0を書いてください。

表 5-12 DTCTn レジスタの内容 (1/2)

ビット位置	ビット名	意味															
14 13	DS1 DS0	DMA 転送データ・サイズ チャンネルnのDMA転送データ・サイズを設定します。 <table border="1"> <thead> <tr> <th>DS1</th><th>DS0</th><th>転送データ・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8ビット</td></tr> <tr> <td>0</td><td>1</td><td>16ビット</td></tr> <tr> <td>1</td><td>0</td><td>32ビット</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	DS1	DS0	転送データ・サイズ	0	0	8ビット	0	1	16ビット	1	0	32ビット	1	1	設定禁止
DS1	DS0	転送データ・サイズ															
0	0	8ビット															
0	1	16ビット															
1	0	32ビット															
1	1	設定禁止															
12	LE	ループ・イネーブル シングル転送モードでのDMA転送完了後、TCビットをクリアしなくても次のDMA転送要求を受け付けるかどうかを設定します。 このビットをセットすると、DMA転送完了時にDTSn.DTEビットをクリアしません。また、TCビットをクリアしなくても、DMA転送要求があればDMA転送を行います。 0 : DMA転送完了時にDTEビットをクリアします 1 : DMA転送完了時にDTEビットをクリアしません															
7	SACM1	DMA転送元アドレス・カウント方向 チャンネルnの転送元アドレスのカウント方向を設定します。 <table border="1"> <thead> <tr> <th>SACM1</th><th>カウント方向</th></tr> </thead> <tbody> <tr> <td>0</td><td>インクリメント</td></tr> <tr> <td>1</td><td>固定</td></tr> </tbody> </table>	SACM1	カウント方向	0	インクリメント	1	固定									
SACM1	カウント方向																
0	インクリメント																
1	固定																

表 5-12 DTCTn レジスタの内容 (2/2)

ビット位置	ビット名	意味						
5	DACM1	DMA 転送先アドレス・カウント方向 チャンネル n の転送先アドレスのカウント方向を設定します。 <table border="1" data-bbox="630 369 1369 504"> <thead> <tr> <th>DACM1</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>1</td> <td>固定</td> </tr> </tbody> </table>	DACM1	カウント方向	0	インクリメント	1	固定
DACM1	カウント方向							
0	インクリメント							
1	固定							

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) において、このレジスタへの書き込みを実行した場合、LE ビット以外のビットは書き込み操作の影響を受けません (LE ビットのみ更新可能です)。
 2. DTCTn レジスタのビット 2 は必ず "0" を設定してください。

5.5.8 DTSn (n = 0-7) : DMA 転送ステータス・レジスタ

このレジスタは、DMA 転送制御におけるステータスを確認できる 8 ビットのレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス DTS7: FFFF748A_H, DTS6: FFFF745A_H, DTS5: FFFF742A_H,
DTS4: FFFF73FA_H, DTS3: FFFF73CA_H, DTS2: FFFF739A_H,
DTS1: FFFF736A_H, DTS0: FFFF733A_H

初期値 00_H

7	6	5	4	3	2	1	0
DTSnTC	DTSnDT	0	0	DTSnER	DTSnDR	DTSnSR	DTSnDTE
R/W	R/W	R	R	R	R	R/W	R/W

表 5-13 DTSn レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	DTSnTC	DMA 転送完了ステータス DMA 転送が完了したことを示します。ユーザによる“1”読み出し後、“0”書き込みによりクリアしてください。CLR1 などのビット操作による書き込みを推奨します。ただし、TC ビットがセットされた状態で DTS レジスタの他のビット操作命令 (SET1, CLR1, NOT1, TST1) が行われると“1”読み出しが行われたとみなされます。 0 : DMA 転送未完了 1 : DMA 転送完了
6	DTSnDT	DMA 転送ステータス DMA 転送が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセットしません。DMA 転送完了によりクリアします。また、DTE ビットが“0”のときは、ユーザによるクリアが可能です (DTE ビットとの同時書き込みも可能)。クリア操作後、実行中の DMA サイクルが完了すると、このビットが更新されます。 0 : DMA 転送中でない 1 : DMA 転送中
3	DTSnER	DMA 転送エラー・フラグ チャンネル n で DMA 転送エラーが発生したことを示します。DTRCx.ERR ビットをクリアするとクリアされます。また、ER ビットは Read Only です。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
2	DTSnDR	ハードウェア DMA 転送要求フラグ チャンネル n にハードウェア DMA 転送要求があることを示します。ハードウェア DMA 転送要求がインアクティブになるとクリアします。DTE ビットの状態にかかわらず動作します。ソフトウェア DMA 転送要求ではセットしません。また、DR ビットは Read Only です。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり
1	DTSnSR	ソフトウェア DMA 転送要求 ソフトウェア DMA 転送要求を設定します。DTE ビットに“1”が書かれている状態で SR ビットに“1”を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリアします。また、このビットによるシングルステップ転送中に SR ビットに“0”を書き込むと DMA 転送を中断します。 0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり

表 5-13 DTSn レジスタの内容 (2/2)

ビット位置	ビット名	意味
0	DTSnDTE	DMA 転送許可 DMA 転送許可を設定します。DTE ビットに“1”を書き込み、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に LE ビットが“0”の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに“0”を書き込むと、DMA 転送を中断します。 0 : DMA 転送禁止 1 : DMA 転送許可

5.6 DMAC 機能詳細

5.6.1 DMAC 転送の設定フロー

DMAC 転送の設定フローを示します。

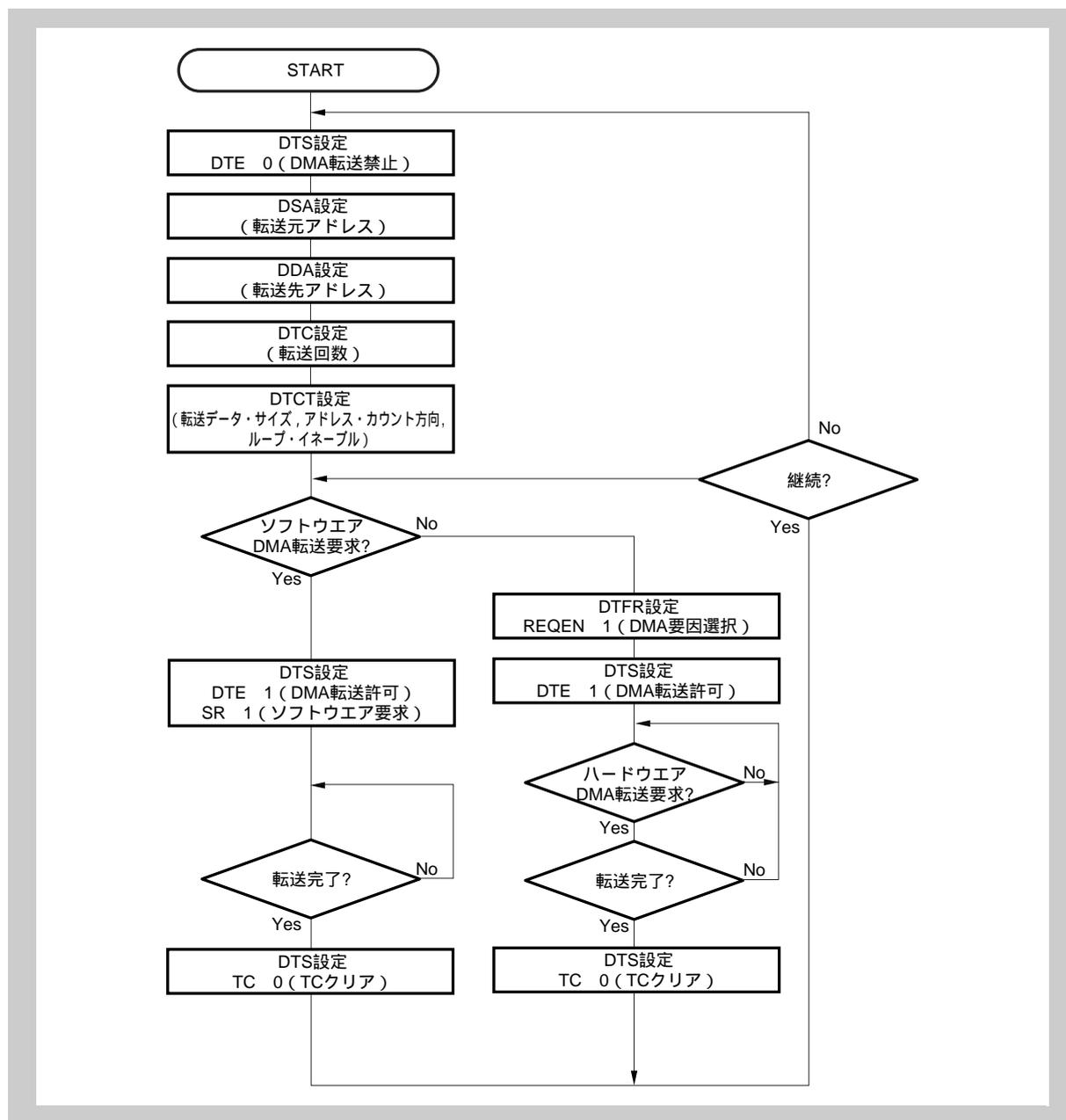


図 5-1 DMAC 転送の設定フロー

注意 DMA は常にハードウェア DMA 転送要因をサンプリングしていますので、DMA 転送の初期設定中などに転送要因が DRQSTR レジスタに保留されている場合があります。保留された転送要因は DRQCLR レジスタの機能によりクリアできますので、必要な場合は DTE をセット (1) する前に不要な転送要因をクリアしてください。

5.6.2 DMACの転送モード

転送モードは、シングル転送モード、およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても2サイクル転送（デュアル・アドレス転送）を行うため、1回の転送ごとにリード・サイクルとライト・サイクルを発生します。

なお、バスをロックしないため、リード・サイクルとライト・サイクルの間にCPUサイクルが割り込むことがあります。

(1) シングル転送モード（ハードウェアDMA転送要求時）

ハードウェアDMA転送要求を受け付けると、転送データ・サイズ分のデータ（8ビット／16ビット／32ビット）の転送を行い、1回のDMAサイクルごとにバスを解放して、DMA転送要求待ち状態になります。

ハードウェアDMA転送要求を受け付けるごとに1回の転送を行い、この動作をDMA転送カウント・レジスタn（DTCn）で指定した回数分続けます（n=7-0）。

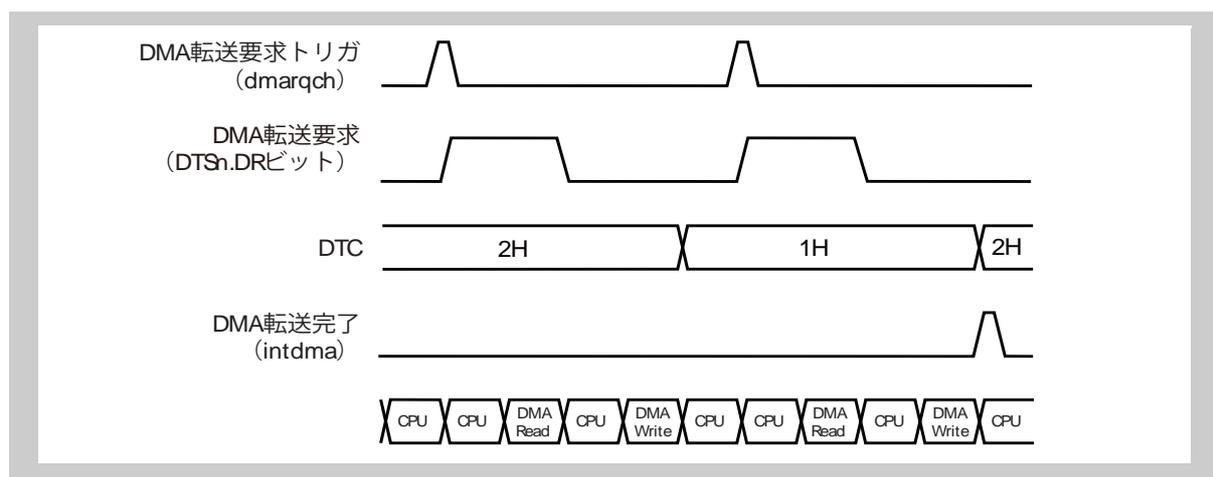


図 5-2 シングル転送例（転送回数2回）

(2) シングルステップ転送モード（ソフトウェア DMA 転送要求時）

ソフトウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ（8ビット／16ビット／32ビット）の転送を行い、1回の転送ごとにバスを解放します。

一度ソフトウェア DMA 転送要求を受け付けると、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます (n = 7-0)。なお、1回の転送ごとに優先順位判定を行うため、優先順位の高いチャンネルの DMA サイクルが割り込むことがあります。

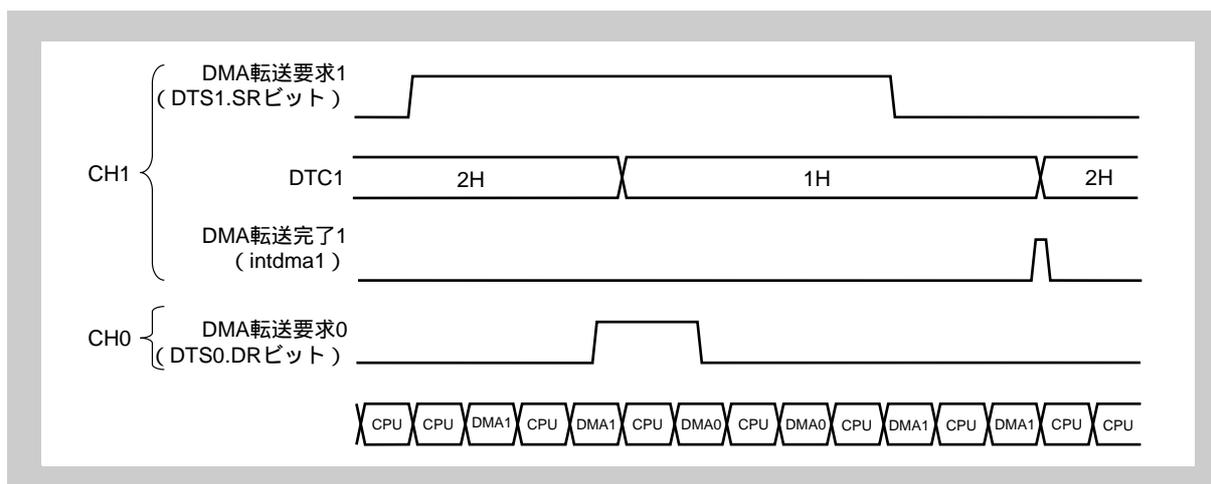


図 5-3 シングルステップ転送例

5.6.3 DMAC チャンネルの優先順位

各チャンネルの優先順位は固定となり次のようになります。

DMAC0 (CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7)

優先順位が高いほかのDMA転送要求が発生した場合は、常に優先順位が高いDMA転送要求を優先します。ソフトウェアDMA転送要求時も、1回のDMAサイクルごとにバスを解放するので、優先順位が高いほかのDMA転送要求が発生した場合は、常に優先順位が高いDMA転送要求を優先します。

DMA転送実行時に、優先順位が高いほかのDMA転送要求が発生した場合の例を次に示します。

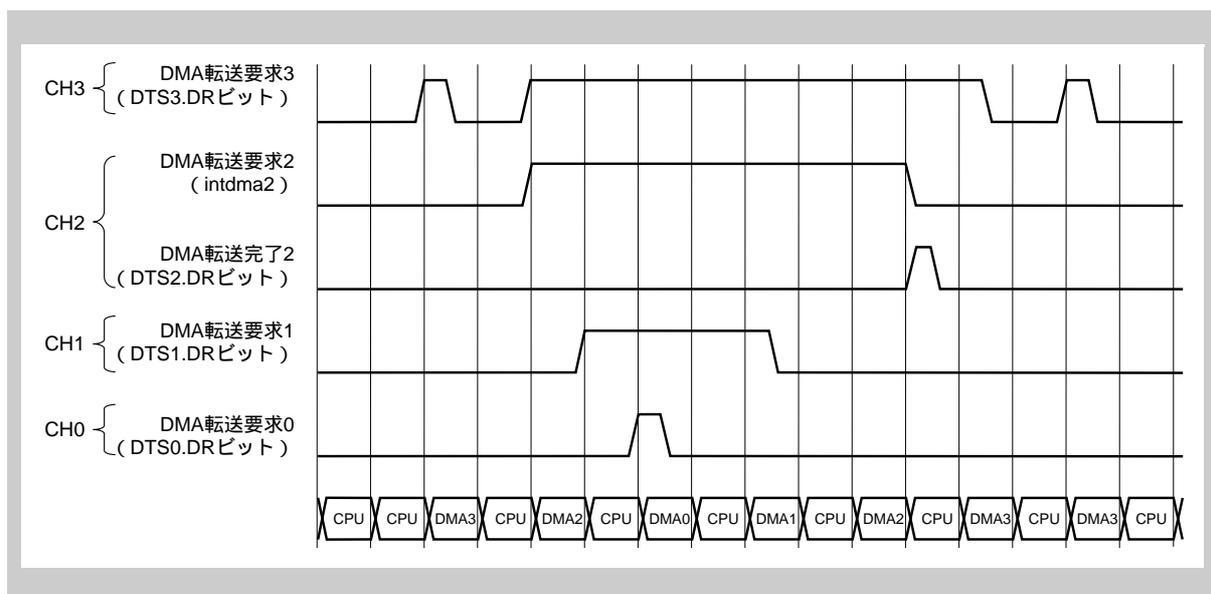


図 5-4 DMA 転送チャンネル優先順位制御例

5.6.4 DMAC 転送要求の有効条件

チャンネル n の DMA 転送要求を受け付けるかどうかは、DMA 転送要求コントロール・レジスタ (DTRCx) の ERR ビット, ADS ビット, DMA 転送制御レジスタ (DTCTn) の LE ビット, DMA 転送ステータス・レジスタ (DTSn) の TC ビット, DTE ビットの設定によります。それぞれのビットの設定状態による、DMA 転送要求受け付け可否を次に示します。

表 5-14 チャンネル n の DMA 転送要求有効条件

DTFRn.REQEN _n	DTCTn.LE	DTSn.TC	DTSn.DTE	DTRCx.ERR	DTRCx.ADS	ハードウェア DMA 転送要求	ソフトウェア DMA 転送要求	DMA 転送要求
X	X	X	X	X	1	無効	無効	DMA 転送中断中
X	X	X	X	1	X	無効	無効	DMA 転送エラー発生中
X	X	X	0	X	X	無効	無効	DMA 転送禁止
0	X	0	1	0	0	無効	有効	DTFR によるハードウェア転送要求マスク
1	X	0	1	0	0	有効 ^a	有効 ^a	DMA 転送要求受付可
X	0	1	0	0	0	無効	無効	DMA 転送完了 (LE ディスエーブル)
0	1	1	1	0	0	無効	有効	DMA 転送完了 (LE イネーブル)
1	1	1	1	0	0	有効 ^a	有効 ^a	DMA 転送完了 (LE イネーブル)

- a) DMA 転送要求構成図を以下に示します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求は論理的に OR されているので、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求を同時に設定する使用は禁止です。ソフトウェア DMA 転送要求による DMA 転送を実行する場合は、DTFR.REQEN を "0" にすることでハードウェア DMA 転送要求の影響がないようにできます。
なお、REQEN = 0 でハードウェア DMA 転送要因 (dmarqch(n)) が入力された場合、入力された転送要因は DRQSTR レジスタに保持されます。この場合、ソフトウェア DMA 転送要求を受け付けても、保持されたハードウェア DMA 転送要因はクリアされません。

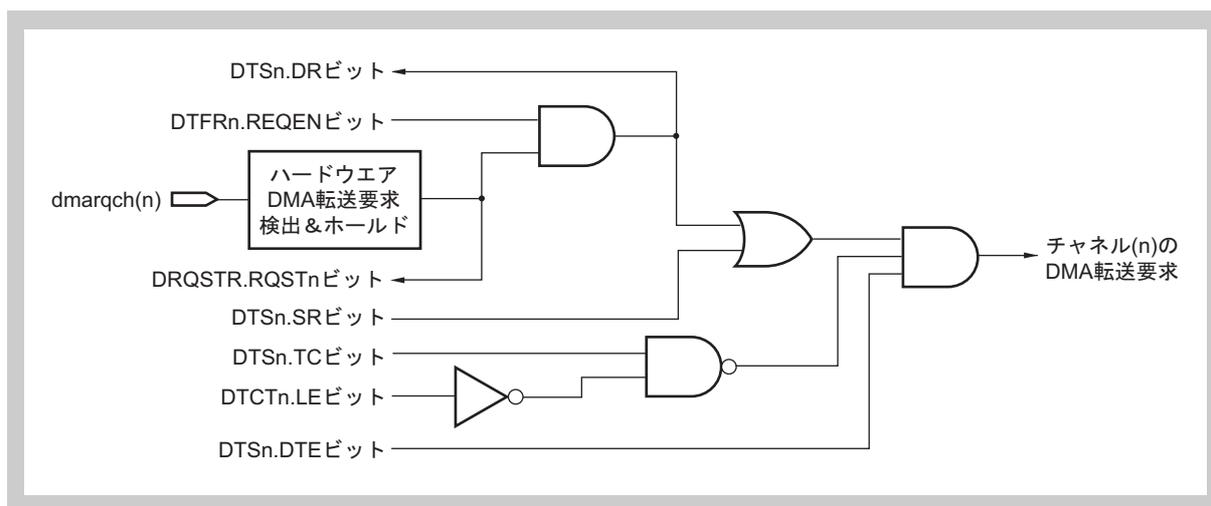


図 5-5 チャンネルの転送要求構成図

5.6.5 DMAC 転送の中断／再開

(1) ソフトウェアによる全チャンネルの DMA 転送中断／再開

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS) をセットすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) や、ソフトウェア DMA 転送要求ビット (SR) はクリアしません。

再開するには ADS ビットをクリアしてください。その時点で DMA 転送が要求されている場合、優先順位が最も高いチャンネルの転送を行います。また、DMA 転送を終了するには、DTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

(2) DMA 転送許可ビット (DTE) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DTS のソフトウェア DMA 転送要求ビット (SR) はクリアしません。

再開するには DTE ビットをセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。また、DMA 転送を終了するには、DTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

(3) ソフトウェア DMA 転送要求ビット (SR) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) のソフトウェア DMA 転送要求ビット (SR) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。

再開するには SR をセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。

5.6.6 エラー・レスポンス

(1) エラー・レスポンスによる DMA 転送中断

DMA の転送先／転送元がエラーを発生すると、HEAP_SPF は DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS) をセットして、次回以降の DMA 転送を中断します。同時に DMA 転送エラー・ステータス・ビット (ERR) をセットし、CPU で SysError 例外を発生させます。ユーザは ERR がセットされていることを確認したら、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送エラー・フラグ (ER) によって、どのチャンネルでエラーが発生したかを知ることができます。

なお、リード・サイクルでエラー・レスポンスを受けた場合、ライト・サイクルは行われませんが、転送アドレスおよび転送回数は更新するため注意が必要です。

(2) エラー・レスポンスによる転送中断の解除の方法

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS)、および DMA 転送エラー・ステータス・ビット (ERR) をクリアすることで解除します。

解除後に DMA 転送が再開しないように、あらかじめ DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) をクリアしてください。また、ソフトウェア DMA 転送要求の場合は、ソフトウェア DMA 転送要求ビット (SR) もクリアしてください。

5.6.7 スタンバイ対応

ストップ要求を行うと、現在実行中の 2 サイクル転送の完了まで待ち、DMA は停止します。ソフトウェアによる DMA の中断とは異なり、DMA 制御レジスタに影響を与えません。ストップ要求解除時に DMA は動作再開し、すでに DMA 要求を保持した状態であれば、その DMA 転送を開始します。

5.7 DTFR 機能

DTFR (DMA Trigger Factor Register) は、割り込み信号の中から DMA 起動要因を選択し、DMAC に対して DMA 転送要求を行います。DTFR n ($n = 7-0$) レジスタを搭載し、入力される割り込み信号 (64 本) の中から DMA 転送要求とする信号を選択します。

5.7.1 特徴

転送要因数	割り込み信号 (64 本) の中から DMA 転送要求を選択 (8 チャンネル)
DMAC	DMA 転送要求信号 n ($n = 7-0$) を出力
インタフェース	DMA からのアクノリッジ信号により DMA 転送要求信号 n をクリア
CPU インタフェース	DMA からの最終転送信号を CPU 割り込み信号として出力
転送要求クリア	レジスタ・アクセスにより、DMA への転送要求信号をクリアする機能があります
転送要求確認	レジスタ・アクセスにより、DMA への転送要求信号の状態を確認する機能があります

5.8 DTFR 制御レジスタ

5.8.1 DTFRn (n = 0-7) : DTFRn レジスタ

本レジスタは、DMA 転送要因を選択し動作開始を制御する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DTFR0: FFFF7B00_H, DTFR1: FFFF7B02_H, DTFR2: FFFF7B04_H,
DTFR3: FFFF7B06_H, DTFR4: FFFF7B08_H, DTFR5: FFFF7B0A_H,
DTFR6: FFFF7B0C_H, DTFR7: FFFF7B0E_H

初期値 0000_H

15	14	13	12	11	10	9	8
REQEN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 5-15 DTFRn レジスタの内容

ビット位置	ビット名	意味
15	REQEN	チャンネル n の DMA 要因選択回路の動作許可 1 : 要因選択回路の動作許可。 0 : 要因選択回路の動作停止。 IFCn5-IFCn0 の設定は有効です。要求のサンプリングは常に行います。
5-0	IFCn5- IFCn0	転送要因を選択します。 設定値は、表 5-2 「DMA 起動要因 (0 ~ 63)」, 表 5-3 「語句の定義一覧」を参照してください。

5.8.2 DRQCLR : DMA 要求クリア・レジスタ

本レジスタは、DMA 転送要因のクリア制御する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7B40_H

初期値 このレジスタを読み出すと常に 0000_H を返します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RQCR7	RQCR6	RQCR5	RQCR4	RQCR3	RQCR2	RQCR1	RQCR0
R/W							

表 5-16 DRQCLR レジスタの内容

ビット位置	ビット名	意味
7-0	RQCR7- RQCR0	セット“1”：チャンネル n (n = 0-7) に保持している転送要求をクリア“0”します。

備考 ビット 7-0 への“0”の書き込みは無視します。

5.8.3 DRQSTR : DMA 要求確認レジスタ

本レジスタは、DMA 転送要求ステータスを確認できる 16 ビットのレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス FFFF7B44_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RQST7	RQST6	RQST5	RQST4	RQST3	RQST2	RQST1	RQST0
R	R	R	R	R	R	R	R

表 5-17 DRQSTR レジスタの内容

ビット位置	ビット名	意味
7-0	RQST7- RQST0	DMA 転送要求ステータス・フラグ 1 : 要求あり (DMA 転送要求信号 n (n = 0-7) が [§] “1”) 0 : 要求なし (DMA 転送要求信号 n (n = 0-7) が [§] “0”)

第6章 フラッシュ・メモリ

フラッシュ・メモリのタイプ V850E2/Fx4-L マイクロコントローラは、“RC03F”タイプのフラッシュ・メモリを備えています。「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

以下の V850E2/Fx4-L デバイスは、次のような内蔵フラッシュ・メモリを備えています。

愛称	デバイス名	コード・フラッシュ	データ・フラッシュ
FE4-L:			
FE4-L-256K	μPD70F3570	256KB	32KB
FE4-L-384K	μPD70F3571	384KB	
FE4-L-512K	μPD70F3572	512KB	
FF4-L:			
FF4-L-256K	μPD70F3573	256KB	32KB
FF4-L-384K	μPD70F3574	384KB	
FF4-L-512K	μPD70F3575	512KB	
FG4-L:			
FG4-L-256K	μPD70F3576	256KB	32KB
FG4-L-384K	μPD70F3577	384KB	
FG4-L-512K	μPD70F3578	512KB	
FG4-L-768K	μPD70F3579	768KB	
FG4-L-1M	μPD70F3580	1MB	
FJ4-L:			
FJ4-L-384K	μPD70F3582	384KB	32KB
FJ4-L-512K	μPD70F3583	512KB	
FJ4-L-768K	μPD70F3584	768KB	
FJ4-L-1M	μPD70F3585	1MB	
FF4-G:			
FF4-G-256K	μPD70F4177	256KB	32KB
FF4-G-512K	μPD70F4178	512KB	
FG4-G:			
FG4-G-256K	μPD70F4179	256KB	32KB
FG4-G-512K	μPD70F4180	512KB	

コード・フラッシュ・メモリは、V850E2 CPU コアの専用命令フェッチ・バスに接続し、プログラム・コードと定数データの不揮発性ストレージとして使用します。

データ・フラッシュ・メモリには、メモリ・インタフェース・バスを介してアクセスでき、通常プログラム動作時に変更される不揮発性のユーザ・データが保存出来ます。

フラッシュ・メモリは、一般に次の開発環境と用途で使用されます。

- ターゲット・システムにマイクロコントローラを半田付けしたあとでソフトウェアを変更する
- 少量多品種生産時にソフトウェアを区別する
- 量産開始時にデータを調整する
- 在庫管理を容易にする
- 出荷後にソフトウェアを更新する

フラッシュ・メモリは、次の方法でライトできます。

- 専用フラッシュ・メモリ・プログラマをターゲット・システムに接続（シリアル・プログラミング）
- マイクロコントローラのアプリケーション・ソフトウェアの使用（セルフ・プログラミング）

さらに、さまざまな設定を保存するためのフラッシュ・メモリ・アドレス空間（フラッシュ・マスク・オプション）が提供されます。これらのオプションを使用して、たとえばウォッチドッグ・タイマの起動設定を行うことができます。フラッシュ・マスク・オプションは、フラッシュ・プログラミングでのみ書き換えできます。通常の CPU アドレス空間からはアクセスできません。

6.1 コード・フラッシュ・メモリ概要

6.1.1 コード・フラッシュ・メモリの特徴

- 全ブロックまたは複数ブロックの一括消去またはシングル・ブロック消去
- 1つの電源で消去/ライト
- さまざまなプログラミング・モード：
 - 専用フラッシュ・メモリ・プログラマと専用シリアル・インタフェースを使用したフラッシュ・メモリ・プログラマによるシリアル・プログラミング
 - セルフ・プログラミングによるフラッシュ・メモリ・プログラミング

6.1.2 コード・フラッシュ・メモリ・マッピング

マイクロコントローラのコード・フラッシュ・メモリ領域は、32 KB のブロックに分割されており、ブロック単位のプログラミング/消去が可能です。コード・フラッシュ・メモリを備えるすべての V850E2/Fx4-L デバイスのブロック構造とアドレスの割り当てを次の表に示します。

表 6-1 512 KB 以下のコード・フラッシュを備える V850E2/Fx4-L デバイスのコード・フラッシュ・メモリ構成

		Block 15 (32 KB)	0007 FFFF _H 0007 8000 _H	Address
		
		Block 12 (32 KB)	0006 7FFF _H 0006 0000 _H	
	Block 11 (32 KB)	Block 11 (32 KB)	0005 FFFF _H 0005 8000 _H	
	
	Block 8 (32 KB)	Block 8 (32 KB)	0004 7FFF _H 0004 0000 _H	
Block 7 (32 KB)	Block 7 (32 KB)	Block 7 (32 KB)	0003 FFFF _H 0003 8000 _H	
...	
Block 1 (32 KB)	Block 1 (32 KB)	Block 1 (32 KB)	0000 FFFF _H 0000 8000 _H	
Block 0 (32 KB)	Block 0 (32 KB)	Block 0 (32 KB)	0000 7FFF _H 0000 0000 _H	
256 KB	384 KB	512 KB	Code flash size	
32/64/128 KB	32/64/128/256 KB		Boot swap cluster sizes	
Fx4-L-256K: • μ PD70F3570 • μ PD70F3573 • μ PD70F3576	Fx4-L-384K: • μ PD70F3571 • μ PD70F3574 • μ PD70F3577 • μ PD70F3582	Fx4-L-512K: • μ PD70F3572 • μ PD70F3575 • μ PD70F3578 • μ PD70F3583	Products	

表 6-2 768 KB 以上のコード・フラッシュを備える V850E2/Fx4-L デバイスのコード・フラッシュ・メモリ構成

	Block 31 (32 KB)	000F FFFF _H 000F 8000 _H	Address
	
	Block 24 (32 KB)	000C 7FFF _H 000C 0000 _H	
Block 23 (32 KB)	Block 23 (32 KB)	000B FFFF _H 000B 8000 _H	
...	
Block 1 (32 KB)	Block 1 (32 KB)	0000 FFFF _H 0000 8000 _H	
Block 0 (32 KB)	Block 0 (32 KB)	0000 7FFF _H 0000 0000 _H	
768 KB	1 MB	Code flash size	
	32/64/128/256 KB	Boot swap cluster sizes	
Fx4-L-768K: • μPD70F3579 • μPD70F3584	Fx4-L-1M: • μPD70F3580 • μPD70F3585	Products	

表 6-3 512 KB 以下のコード・フラッシュを備える V850E2/FF4-G, FG4-G デバイスのコード・フラッシュ・メモリ構成

	Block 15 (32 KB)	0007 FFFF _H 0007 8000 _H	Address
	
	Block 12 (32 KB)	0006 7FFF _H 0006 0000 _H	
	Block 11 (32 KB)	0005 FFFF _H 0005 8000 _H	
	
	Block 8 (32 KB)	0004 7FFF _H 0004 0000 _H	
Block 7 (32 KB)	Block 7 (32 KB)	0003 FFFF _H 0003 8000 _H	
...	
Block 1 (32 KB)	Block 1 (32 KB)	0000 FFFF _H 0000 8000 _H	
Block 0 (32 KB)	Block 0 (32 KB)	0000 7FFF _H 0000 0000 _H	
256 KB	512 KB	Code flash size	
32/64 KB		Boot swap cluster sizes	
Fx4-G-256K: • μPD70F4177 • μPD70F4179	Fx4-G-512K: • μPD70F4178 • μPD70F4180	Products	

6.1.3 データ・フラッシュ・メモリ・マッピング

データ・フラッシュ・メモリは、32 バイトのブロック・サイズで編成されています。

データ・フラッシュ・メモリを備えるすべての V850E2/Fx4-L デバイスのブロック構造とアドレス割り当てを次の表に示します。

表 6-4 V850E2/Fx4-L データ・フラッシュ・メモリ

製品	データ・フラッシュのサイズ	32 バイトブロックの数	アドレス範囲
<ul style="list-style-type: none">Fx4-LFx4-G	32 KB	1024	FE00 0000 _H - FE00 7FFF _H

6.2 コード・フラッシュ・メモリの機能概要

- シリアル・プログラミング** マイクロコントローラがすでにターゲット・システムまたはデバイスに実装されている場合、マイクロコントローラの内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマの書き換え機能を使用して書き換えることができます。
- セルフ・プログラミング** ユーザ・プログラムによるフラッシュ・メモリの書き換えを可能にするセルフ・プログラミング機能は、プログラミング機器を追加する必要がないため、生産および出荷後のプログラム更新に最適です。セルフ・プログラミング時にも、たとえばほかのデバイスとの通信を維持するために、一部のソフトウェア処理や割り込み処理が可能です。
- セルフ・プログラミング・モードは通常動作モードから開始できますが、シリアル・フラッシュ・プログラミング・モードはシステム・リセット解除直後に開始されます。通常動作モードまたはシリアル・フラッシュ・プログラミング・モードに入る方法の詳細は、6.4.4「フラッシュ・メモリ・プログラミング制御」を参照してください。
- 拡張領域** フラッシュ・メモリには、セキュリティや保護機能の設定、モジュールの初期設定を格納する拡張領域があります。
- ブート・スワップ** ブート・スワップ機能により、フラッシュ・メモリの安全なプログラム変更が可能になり、何らかの原因（たとえばパワー・フェイルの状態）でプログラム変更が失敗した際には、動作可能なソフトウェア・バージョンを維持するのに使用します。ブート・スワップの詳細は、6.5.4「安全なセルフ・プログラミング（ブート・クラスタ・スワップ）」を参照してください。
- 保護** フラッシュ・メモリ・プログラミング時に、一連の保護フラグを指定し、リード、書き換え、消去の保護を含むさまざまな方法でフラッシュ・メモリへのアクセスを禁止することができます。これによって、コード・フラッシュ・メモリは権限のないユーザによるフラッシュ・メモリの内容のリードや書き換えから保護されます。フラッシュ・メモリの保護の詳細は、第9章「コード保護とセキュリティ」を参照してください。

表 6-5 フラッシュ・メモリのライト方法

環境	インタフェース	概要	動作モード
シリアル・プログラミング	専用シリアル・インタフェース (FLUR, FLCS)	フラッシュ・メモリ・プログラミングは、外部フラッシュ・メモリ・プログラマによって実行されます。デバイスはターゲット・システムに搭載されていません。デバイスとフラッシュ・メモリ・プログラマ間の通信には、専用シリアル・インタフェースを使用します。詳細は6.4「フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング」を参照してください。	フラッシュ・メモリ・プログラミング・モード
セルフ・プログラミング	セルフ・プログラミング・ライブラリ	フラッシュ・メモリは、シリアル・プログラミングによってあらかじめフラッシュ・メモリにライトされたユーザ・プログラムを実行することによって書き換えることができます。セルフ・プログラミング・ライブラリは、必要なすべての機能を提供し、アプリケーション・ソフトウェアでそれらの機能呼び出します。詳細は6.5「コード・フラッシュ・セルフ・プログラミング」を参照してください。	セルフ・プログラミング・モード

表 6-6「フラッシュ・メモリを変更するための基本機能」に、フラッシュ・メモリの内容を変更するための機能の概要を示します。

表 6-6 フラッシュ・メモリを変更するための基本機能

機能	機能概要	サポート (√: サポートあり, ×: サポートなし)	
		シリアル・ プログラミング	セルフ・ プログラミング
ブロック消去	指定されたメモリ・ブロックの内容が消去されます。	√	√
チップ消去 ^a	フラッシュ・メモリ全体の内容がすべて一度に消去されます。拡張領域も消去されます。 注意 チップ消去機能では、データ・フラッシュ・メモリも消去されます。	√	×
ライト	指定されたアドレスへのライトと、ライト・レベルが安全かどうかのベリファイ・チェックを実行します。	√	√
ベリファイ	フラッシュ・メモリからリードされたデータは、フラッシュ・メモリ・プログラマから転送されたデータと比較されます。	√	× ^b
チェック・サム	フラッシュ・メモリ全体についてマイクロコントローラで内部的に計算したチェック・サムは、シリアル・プログラマで計算したチェック・サムと比較されます。	√	×
ブランク・チェック	メモリ全体の消去ステータスがチェックされます。	√	×
保護設定	以下の機能を禁止することができます。 <ul style="list-style-type: none"> • チップ消去 • ブロック消去 • ライト • リード • ブート・クラスタの書き換え • フラッシュ・シールド 	√	√ ^c

a) チップ消去は、ブート・ブロック保護が有効に設定されている場合（ブート・ブロック・クラスタ保護フラグの設定による）、または全般的にチップ消去が無効に設定されている場合は使用できません。

b) ユーザ・プログラムで実現可能です。

c) セルフ・プログラミング・モードでは、ブート・クラスタの書き換え保護以外の保護による影響はありません。

セルフ・プログラミング・モードでは、保護設定をアクティブにできますが、アクティブな保護設定をインアクティブにはできません。

フラッシュ・メモリ保護機能を次の表に示します。

詳細は、第9章「コード保護とセキュリティ」を参照してください。

表 6-7 保護機能

機能	機能概要	適用可否 (√: 適用, ×: 適用不可)	
		シリアル・ プログラミング	セルフ・ プログラミング
チップ消去 コマンドの禁止	フラッシュ全体の消去（拡張領域 ^{a)} とデータ・フラッシュを含む）も1ブロックの消去もできません。	√	×
ブロック消去 コマンドの禁止	1ブロックの消去はできません。	√	×
プログラム・ コマンドの禁止	1ブロックの消去と書き換えはできません。	√	×
リード・ コマンドの禁止	フラッシュの内容はリードできません。	√	×
ブート領域 書き換えの禁止	消去（ブロック消去、あるいはチップ消去）できません。ブート・クラスタのライトもできません。	√	√
フラッシュ・ シールド	指定されたウィンドウ以外のライト/消去はできません。	√	√

a) ブート・ブロック・クラスタ保護フラグで保護された領域は消去されません。

6.2.1 コード・フラッシュ・メモリの消去と書き換え

消去 フラッシュ・メモリは、そのブロック構造によって次の2通りのモードで消去できます。

- 全ブロックの一括消去（チップ消去、シリアル・プログラミング・モードのみ）
すべてのブロックが一度に消去されます。
- ブロック消去
32 KB のフラッシュ・メモリ・ブロックが個別に消去されます。
セルフ・プログラミング・モードでは、連続する任意の数のフラッシュ・メモリ・ブロックを一度に消去できます。

書き換え セルフ・プログラミング・モードとシリアル・プログラミング・モードでは、フラッシュ・メモリを1ブロックより小さい単位で書き換えることができます。消去済みブロックは、256 バイト単位で書き換えることができます。データの上書きは禁止されています。

6.3 データ・フラッシュ・メモリ

V850E2/Fx4-L シリーズの製品には、コード・フラッシュ以外にデータ・フラッシュも含まれます。

6.3.1 データ・フラッシュ・メモリの特徴

データ・フラッシュの特徴を次に示します。

- 32 バイト ブロックのデータ・フラッシュ・メモリ
- 2 バイト単位でライト・アクセス
- 32 バイトブロック単位での消去
- コード・フラッシュのアプリケーション・コード実行時のデータ・フラッシュのライト、消去動作

6.3.2 データ・フラッシュのライト

データ・フラッシュは、データ・フラッシュ・ライブラリまたは外部フラッシュ・メモリ・プログラマ・ツールによるシリアル・プログラミングを使用してライトできます。

データ・フラッシュ・ライブラリを使用して、通常動作時にプログラミングを実行できます。詳細は、データ・フラッシュ・ライブラリのユーザーズ・マニュアルを参照してください。

備考 外部プログラマのチップ消去コマンドでは、データ・フラッシュも消去されます。

6.4 フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング

専用フラッシュ・メモリ・プログラマを使用して、シリアル・プログラミング・モードでフラッシュ・メモリの操作を行うことができます。

シリアル・プログラミング シリアル・プログラミング時は、専用端子を使用してターゲット・マイクロコントローラにフラッシュ・メモリ・プログラマを接続します。

フラッシュ・メモリ・プログラマ接続時は、以下の点に注意する必要があります。

- すべての外部電源をアクティブにする必要があります。
- X1/X2 端子に外部発振子を接続する必要があります。

注意 フラッシュ・メモリ・プログラマをオンボード・マイクロコントローラに接続すると、ほかの信号との競合が発生する可能性があります。6.4.4(2)「オンボード信号接続との競合の可能性」のヒントに留意してください。

6.4.1 プログラミング環境

マイクロコントローラのフラッシュ・メモリにデータを操作するための推奨される環境を次に示します。



図 6-1 フラッシュ・メモリにプログラムをライトするための環境

フラッシュ・メモリ・プログラマの設定にはホスト・マシンが必要です。フラッシュ・メモリ・プログラマの使用はスタンドアロン・モードでも機能するため、ホスト・マシンは必要ありません。

以下の専用マイクロコントローラ・シリアル・インタフェースは、フラッシュ・メモリ・プログラマとマイクロコントローラ間のインタフェースとして使用できます。

- シングル・ワイヤ非同期シリアル・インタフェース FLUR0
- クロック同期式シリアル・インタフェース FLCS0

備考 通常動作モードでは、シリアル・インタフェース FLUR0 と FLCS0 は使用できません。フラッシュ・プログラミング・モードで使用するポートは、6.4.3「フラッシュ・メモリ・プログラマ PG-FP5 との端子接続」を参照してください。これらは、フラッシュ・プログラミング・モードでフラッシュ・メモリ・プログラマと通信するために自動的に設定されます。

6.4.2 通信モード

(1) 非同期フラッシュ・プログラミング・インタフェース FLUR0

シングル・ワイヤ非同期シリアル・プログラミング・インタフェース FLUR0 は、次のポートを使用してフラッシュ・メモリ・プログラマに接続します。

- JP0_0 : 受信/送信データ

外部フラッシュ・メモリ・プログラマでは、さまざまなポー・レートを選択できます。

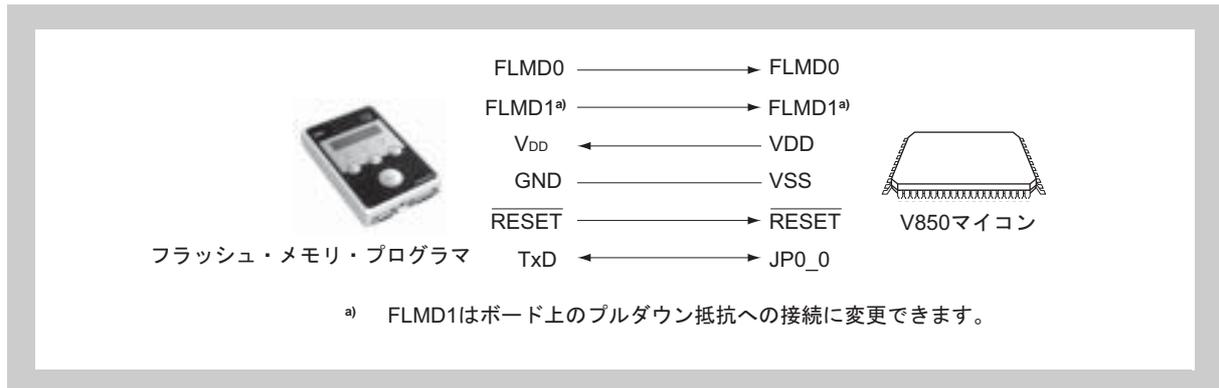


図 6-2 FLUR0 を使用したフラッシュ・メモリ・プログラマとの通信

(2) 同期フラッシュ・プログラミング・インタフェース FLCS0

同期シリアル・プログラミング・インタフェース FLCS0 は、次のポートを使用してフラッシュ・メモリ・プログラマに接続します。

- JP0_0 : シリアル・データ入力
- JP0_1 : シリアル・データ出力
- JP0_2 : シリアル・データ・クロック入力

外部フラッシュ・メモリ・プログラマでは、さまざまなクロック速度を選択できます。

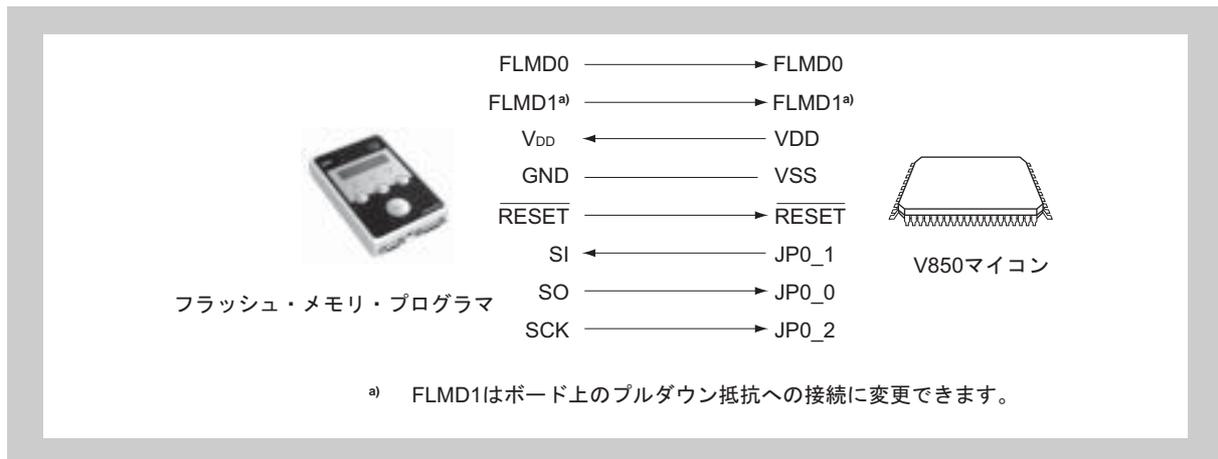


図 6-3 FLCS0 を介したフラッシュ・メモリ・プログラマとの通信

フラッシュ・メモリ・プログラマはシリアル・データ・クロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

6.4.3 フラッシュ・メモリ・プログラマ PG-FP5 との端子接続

ターゲット・システムにコネクタを装着し、シリアル・プログラミング用のフラッシュ・メモリ・プログラマを接続する必要があります。

マイクロコントローラのフラッシュ・メモリ・プログラミング・モードが設定された場合、フラッシュ・メモリ・プログラミングに使用しない端子はすべてリセット直後と同じ状態となります。

PG-FP5 をフラッシュ・メモリ・プログラマとして使用する場合は、次のように PG-FP5 のターゲット・インタフェース・コネクタをマイクロコントローラに接続します。

表 6-8 マイクロコントローラ・フラッシュ・メモリ・プログラマ PG-FP5 の接続

フラッシュ・メモリ・プログラマ PG-FP5 の接続端子			マイクロコントローラの信号 (ポート) 名			
信号名	I/O	機能	FLUR0		FLCS0	
			信号	ポート	信号	ポート
SO/TxD	O	<ul style="list-style-type: none"> FLUR0 : 送受信データ FLCS0 : 送信データ 	JP0_0		JP0_0	
SI/RxD	I	受信データ	オープン		JP0_1	
SCK	O	転送クロック	オープン		JP0_2	
CLK	O	マイクロコントローラへのクロック	オープン		オープン	
			オープン		オープン	
RESET	O	リセット信号	RESET		RESET	
FLMD0	I	モード選択	FLMD0		FLMD0	
FLMD1	I	モード選択	FLMD1 ^a /P0_1		FLMD1 ^a /P0_1	
H/S	I	ハンドシェイク信号	オープン		オープン	
V _{DD}	I	マイクロコントローラの電源電圧のモニタ	JP0 ポート・グループ・バッファの電源電圧 ^b		JP0 ポート・グループ・バッファの電源電圧 ^b	
V _{DD2}	-	電源電圧	オープン		オープン	
V _{PP}	-	フラッシュ・プログラミング電圧	オープン		オープン	
GND	-	グラウンド	VSS		VSS	
VDE	-	予約	オープン		オープン	
RFU-1	-	予約	オープン		オープン	

- a) FLMD1 がターゲット・ボード上でロウ・レベルに固定されている場合、FLMD1 信号を接続する必要はありません。
- b) 適切なマイクロコントローラの JP0 ポート・グループ用電源端子を確認するには、第 23 章「電源」の章を参照してください。

詳細は、PG-FP5 ユーザーズ・マニュアルを参照してください。

6.4.4 フラッシュ・メモリ・プログラミング制御

フラッシュ・メモリのプログラミング手順を次に示します。

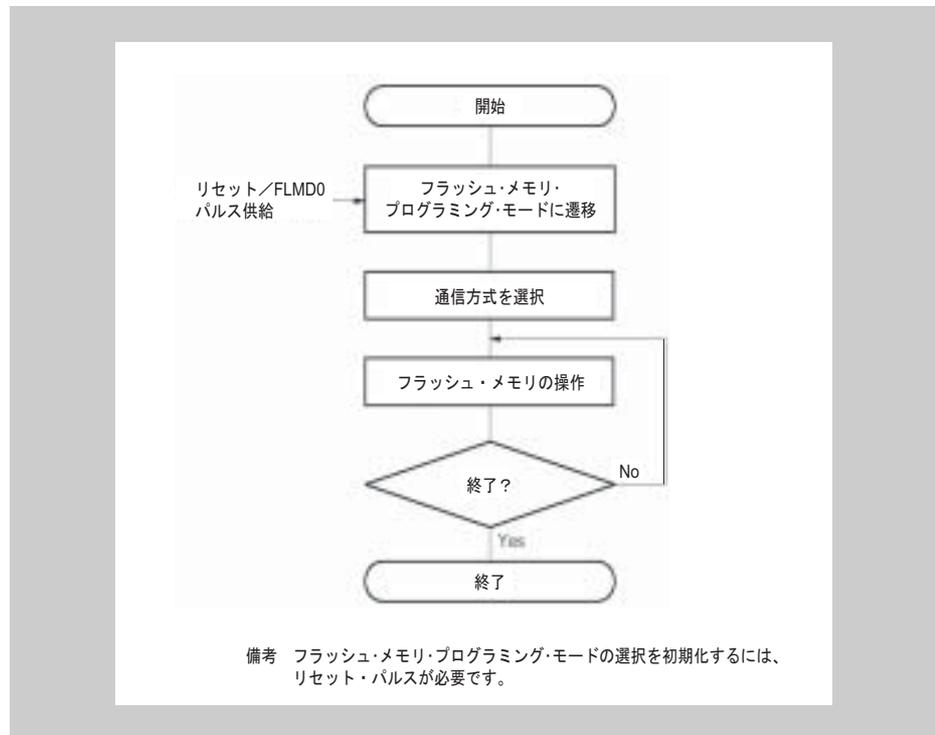


図 6-4 フラッシュ・メモリ・プログラミング手順

(1) 動作モード制御

フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるには、マイクロコントローラをフラッシュ・メモリ・プログラミング・モードに設定します。

このモードを設定するには、FLMD0 端子と FLMD1 端子を表 6-9「動作モードの選択」に示すように設定し、RESET 解除します。

通常動作モード時は、VSS は FLMD0 端子への入力です。フラッシュ・メモリ・プログラマが接続されていない場合は、FLMD0 端子のプルダウン抵抗によって通常動作モードが保証されます。

シリアル・フラッシュ・プログラミング・モード（外部フラッシュ・メモリ・プログラマによるオンボード・プログラミング）に入るには、RESET 解除時に FLMD0 端子に VDD が提供され、FLMD1 端子に VSS が提供される必要があります。

表 6-9 動作モードの選択

端子		動作モード
FLMD0	FLMD1 (P0_1)	
0	0	通常動作モード
	1	設定禁止
1	0	シリアル・フラッシュ・プログラミング・モード
	1	設定禁止

FLMD0 端子と FLMD1 端子の接続の例を次に示します。FLMD1 は、抵抗を介してグラウンドに接続できます。また、FLMD1 端子はフラッシュ・メモリ・プログラマの FLMD1 信号に直接接続することもできます。

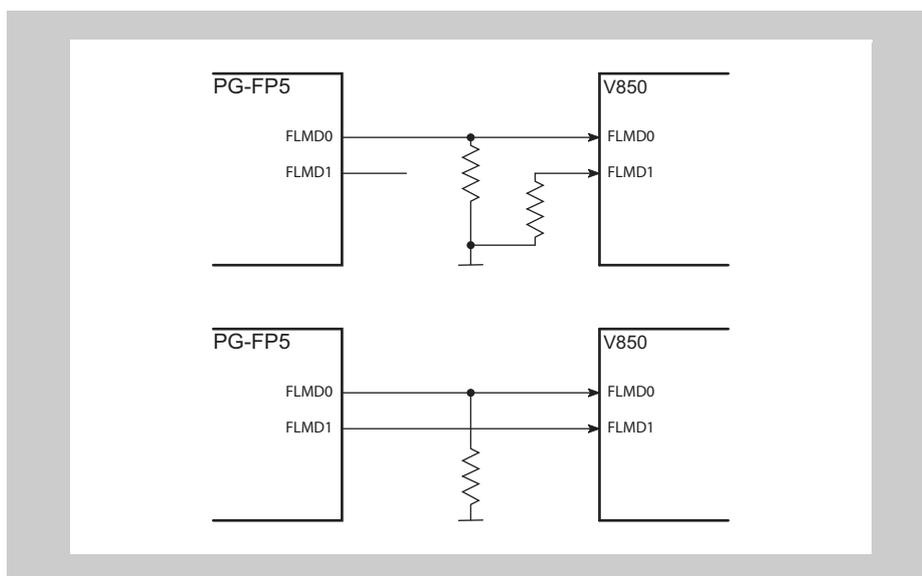


図 6-5 フラッシュ・メモリ・プログラマ PG-FP5 の接続例

通常動作モード（FLMD0 = 0）で開始すると、FLMD0 端子を使用してセルフ・プログラミングを有効にできます。6.5「コード・フラッシュ・セルフ・プログラミング」も参照してください。

(2) オンボード信号接続との競合の可能性

シリアル入出力信号 シリアル・プログラミング・モードでフラッシュ・メモリ・プログラミングに使用するシリアル・インタフェース端子にほかのデバイスが接続されている場合は、関連の信号がフラッシュ・メモリ・プログラマおよびマイクロコントローラの信号と競合しないように注意してください。ほかのデバイスの出力端子をアイソレートするか、またはハイ・インピーダンスの状態に設定する必要があります。フラッシュ・メモリ・プログラマ信号によってほかのデバイスが誤動作しないようにしてください。

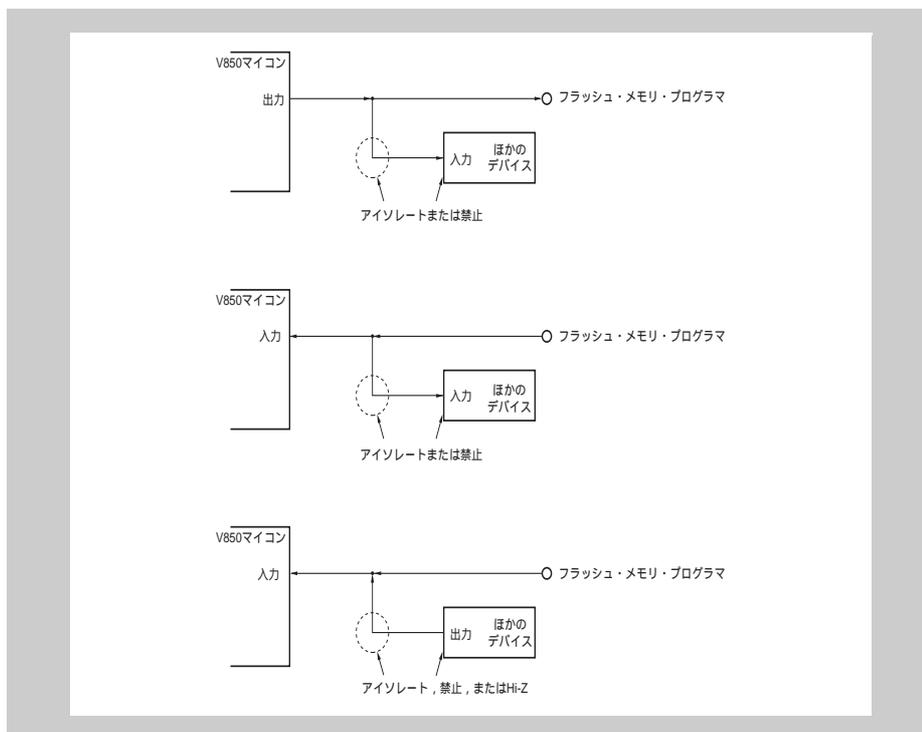


図 6-6 シリアル・インタフェース信号との競合の可能性

RESET フラッシュ・メモリ・プログラマの RESET 信号をオンボード・リセット発生回路にも接続する場合は、特に注意が必要です。リセット発生回路のリセット出力はフラッシュ・プログラミングの処理を無駄にする可能性があるため、場合によってはアイソレートまたは無効化が必要になります。

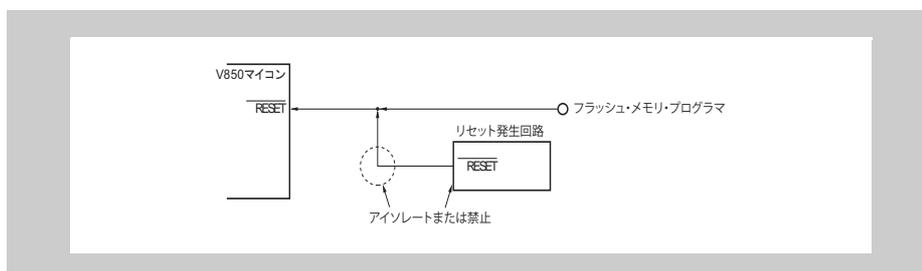


図 6-7 RESET との競合の可能性

ポート V850 ポート端子は、シリアル・プログラミング時に以下の状態になります。
プログラミングに使用するポートは、それぞれ FLUR0 端子および FLCS0 端子として設定されます。

ほかのすべての端子は、リセット解除後もデフォルトの状態に維持されます。

プログラミングに使用しない端子のリセット後のデフォルトの状態が入力ポートまたはハイ・インピーダンス出力ポートの場合は、これらの端子に接続するほかのデバイスに注意してください。これらのデバイスが端子で定義されたレベルを要求する場合は、抵抗を介してポートを VDD または VSS に接続する必要があります。

発振回路 すべての発振回路を通常動作モード時と同じ方法で接続します。

DCUTRST フラッシュ・メモリ・プログラミング時に、 $\overline{\text{DCUTRST}}$ (port JP0_4) にロウ・レベルを入力するか、またはオープンにします。High レベルを入力しないでください。

電源 基準電圧、電源レギュレータなどを含めて、すべての電源端子に通常動作モード時と同じ電源を供給してください。

(3) 通信モードの選択

リセット解除後に FLMD0 端子に指定された数のパルスを適用することによって通信インターフェースが選択されます。ただし、これはフラッシュ・メモリ・プログラマで処理します。

図 6-8 「通信モードの選択」に、FLCS0 をフラッシュ・メモリ・プログラマとマイクロコントローラとの通信用に設定する方法の例を示します。

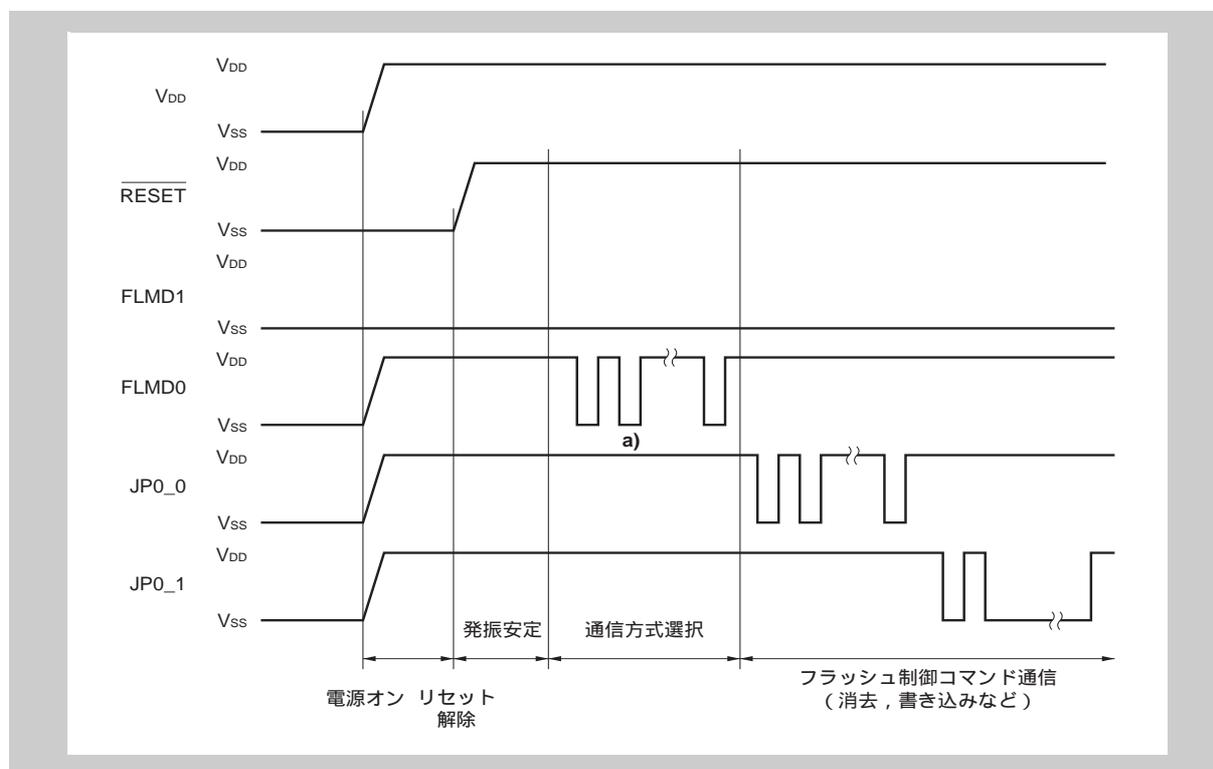


図 6-8 通信モードの選択

- a) 挿入するクロック数は、選択する通信モードによって異なります。詳細は表 6-10 「通信モードを設定する FLMD0 パルス」を参照してください。

表 6-10 通信モードを設定する FLMD0 パルス

FLMD0 パルス	通信モード	備考
0	FLUR0	通信速度：9600 bps（リセット後）、LSB ファースト
8	FLCS0	マイクロコントローラはスレーブ動作を実行、MSB ファースト
その他	—	設定禁止

FLMD0 パルスを 9600 bps で受信した後に FLUR0 が選択されると、フラッシュ・メモリ・プログラマのユーザ・インターフェースを使用したユーザの選択に従って、フラッシュ・メモリ・プログラマのボー・レートが変更されません。

(4) 通信コマンド

フラッシュ・メモリ・プログラマはマイクロコントローラにコマンドを送信します。コマンドによって、マイクロコントローラはステータス情報または要求されたデータを返します。



図 6-9 通信コマンドの交換

マイクロコントローラのフラッシュ・メモリ制御コマンドを次の表に示します。これらのコマンドはすべてフラッシュ・メモリ・プログラマから発行され、マイクロコントローラは対応する処理を実行します。

表 6-11 フラッシュ・メモリ制御コマンド (1/2)

分類	コマンド名	サポート		機能
		FLCS0	FLUR0	
ブランク・チェック	ブロックのブランク・チェック	√	√	メモリ全体の消去ステータスをチェックします。
消去	チップ消去	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリのすべての内容を消去します。
	ブロック消去	√	√	指定されたブロックのメモリの内容を消去します。ただし、拡張領域はそのまま保持されます。
ライト	ライト	√	√	ライト・アドレスとライトするバイト数を指定してデータをライトし、ベリファイ・チェックを行います。
消去/ライト	消去とライト	√	√	コード・フラッシュまたはデータ・フラッシュの指定された数のフラッシュ・ブロックを消去します。ただし、拡張領域はそのまま保持されます。
	チップ消去とライト	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリ全体を消去し、これにライトします。
リード	リード	√	√	ライト・アドレスとリード・バイト数を指定してデータをリードします。

表 6-11 フラッシュ・メモリ制御コマンド (2/2)

分類	コマンド名	サポート		機能
		FLCS0	FLUR0	
ベリファイ	ベリファイ	√	√	入力データをメモリのすべての内容と比較します。
ID	ID コードの設定	√	√	オンチップ・デバッグ ID をレジスタ OCDIDL, OCDIDM, OCDIDH に設定します。
	ID コードの取得	√	√	オンチップ・デバッグ ID をレジスタ OCDIDL, OCDIDM, OCDIDH からリードします。
CRC チェック	CRC チェック	√	√	コード・フラッシュまたはデータ・フラッシュの指定された数のフラッシュ・ブロックについてチェック・サムを計算します。ただし、このチェック・サムでは拡張領域は除外されます。
	チップの CRC チェック	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリ全体のチェック・サムを計算します。
フラッシュ・マスク・オプション	フラッシュ・マスク・オプションの設定	√	√	フラッシュ・マスク・オプションをレジスタ OPBT0 に設定します。
	フラッシュ・マスク・オプションの取得	√	√	フラッシュ・マスク・オプションをレジスタ OPBT0 からリードします。
保護	保護設定	√	√	チップ消去、ブロック消去、ライト保護を設定します。
	保護設定の取得	√	√	保護設定をリードします。
システムの設定と制御	リセット	√	√	各ステータスを解除します。
	発振周波数設定	√	√	発振周波数を設定します。
	ボー・レート設定	-	√	UART を使用する場合にボー・レートを設定します。
	シリコン・シグネチャ	√	√	シリコン・シグネチャ情報をリードします。
	バージョンの取得	√	√	デバイスのバージョン情報をリードします。

6.5 コード・フラッシュ・セルフ・プログラミング

この V850 マイクロコントローラは、ユーザ・プログラム自体による内蔵フラッシュ・メモリの書き換えを可能にするフラッシュ・マクロ・サービスをサポートします。

ルネサス エレクトロニクスが提供するこのフラッシュ・マクロ・サービスとセルフ・プログラミング・ライブラリ (FSL) をユーザのプログラムで使用することにより、あらかじめ内蔵 RAM または外部メモリに転送されたデータでフラッシュ・メモリを書き換えることができます。

したがって、ユーザ・プログラムのアップグレードと、定数データ・フィールドの書き換えが可能になります。

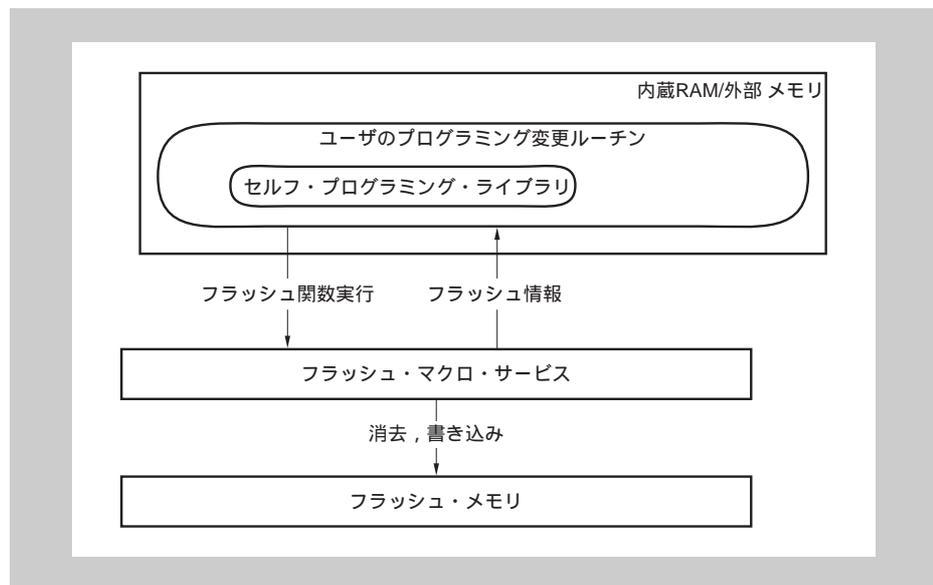


図 6-10 セルフ・プログラミングの概念

セルフ・プログラミング時にフラッシュ・メモリにアクセスできません。そのため、内蔵 RAM または外部メモリからの命令フェッチによってのみ、プログラムを実行することができます。

したがって、セルフ・プログラミングをアクティブにする前に、セルフ・プログラミング手順実行時に動作しているユーザのプログラム変更ソフトウェア・ルーチンの命令を、フラッシュ・メモリから内蔵 RAM または外部メモリにコピーする必要があります。フラッシュ・メモリ内の割り込みベクタによる割り込み処理もセルフ・プログラミング時には実行できないため、割り込みの受け付けを内蔵 RAM にルート変更する特殊な機能が提供されます (6.5.5 「フラッシュ・セルフ・プログラミング時の割り込み処理」を参照)。

セルフ・プログラミングの詳細については、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

6.5.1 セルフ・プログラミングの有効化

セルフ・プログラミング機能は、マイクロコントローラの通常動作モードから起動できます。

セルフ・プログラミングは、特にフラッシュの予期しないプログラム変更を回避するために有効にする必要があります。セルフ・プログラミングを有効にするには次の2通りの方法があります。

- 外部 FLMD0 端子をハイ・レベルに設定します。
これにはいくつかの外部構成要素または配線、たとえば出力ポートの FLMD0 への接続が必要です。
- 内部レジスタ・ビット FLMDCNT.FLMDPUP を設定します。
この方法では特殊な外部構成要素も配線も必要ありません。

次のレジスタを使用してソフトウェアによってセルフ・プログラミングを内部的に有効にします。

(1) FLMDCNT-FLMD 制御レジスタ

このレジスタは、FLMD0 端子に接続され、それぞれセルフ・プログラミングを有効または無効にする内部プルアップ・レジスタと内部プルダウン・レジスタを制御します。

保護 このレジスタへのライトは、保護コマンド・レジスタ FLMDPCMD を使用した特定の命令シーケンスによって保護されます。
ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の3.7「ライト保護レジスタ」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FF43 8000_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLM DPUP
R/W							

表 6-12 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
0	FLMDPUP	FLMD0 のプルアップ/プルダウン制御 0:FLMD0 でプルダウン・レジスタがアクティブ (セルフ・プログラミング・モード無効) 1:FLMD0 でプルアップ・レジスタがアクティブ (セルフ・プログラミング・モード有効)

6.5.2 フラッシュ・セルフ・プログラミング・ライブラリの機能

ユーザ・プログラムによるコード・フラッシュ・メモリのセルフ・プログラミングは、セルフ・プログラミング・ライブラリによってサポートされます。

このライブラリは、次のような基本機能を実行するCの関数呼び出しのセットを提供します。

- フラッシュのブランク・チェック／消去／書き換え／ベリファイ
- ブート・クラスタ・スワップ（ブート・クラスタの定義を含む）
- 保護フラグの設定
- コード・フラッシュ・メモリに関するさまざまな情報の取得

ライブラリ機能の使い方の詳細は、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

6.5.3 セルフ・プログラミングの内蔵 RAM の占有

セルフ・プログラミング時には、内蔵 RAM がセルフ・プログラミングによって占有されます。そのため、RAM の内容はセルフ・プログラミング時に変更され、ユーザ・プログラムによる回復が必要な場合があります。詳細は、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズマニュアルを参照ください。

備考 ほかに、セルフ・プログラミング時にフラッシュ・メモリから RAM にコピーする場合にユーザ・データおよびコードの中間記憶として RAM が必要になることもあります。

6.5.4 安全なセルフ・プログラミング（ブート・クラスタ・スワップ）

V850 フラッシュ・マイクロコントローラは、アドレス 0000 0000_H から始まるコード・フラッシュ・メモリ・ブロックのクラスタを、前者のすぐ上位にある同じサイズの別のクラスタとスワップするメカニズムをサポートします。

- ブート・スワップ・クラスタ** スワップされるブート・ブロックのグループアドレス 0000 0000_H で始まるブロックのクラスタは、デフォルトのリセット・ベクタ 0000 0000_H にユーザ・プログラムのエントリ・ポイントが含まれるため、アクティブ・ブート・スワップ・クラスタと呼ばれています。
- ブート・スワップ・フラグ** 2つのクラスタのどちらがアクティブ・ブート・クラスタかは、フラッシュ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義できるブート・スワップ・フラグで制御されます。ブート・スワップ・フラグはフラッシュ・メモリの拡張領域に格納されます。

図 6-11 「ブート・スワップ・クラスタのスワップ機能」に、クラスタ・サイズ 4 フラッシュ・メモリ・ブロックのブート・ブロック・スワップ機能の例を示します。boot_flag を反転すると、not (boot_flag) になり、ブロック 4-7 はアクティブなブート・クラスタになります。したがって、次のリセット解除後に、ユーザ・プログラムは新しいブート・スワップ・クラスタから開始されます。

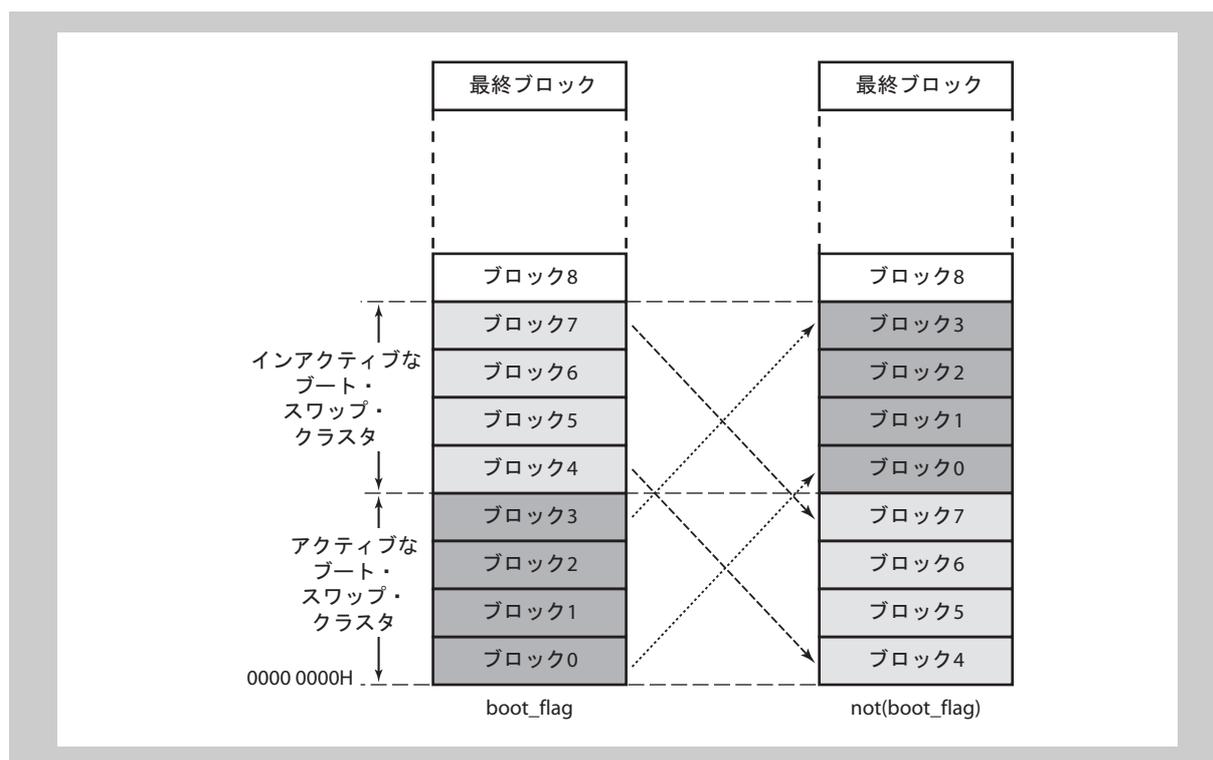


図 6-11 ブート・スワップ・クラスタのスワップ機能

安全なセルフ・プログラミング ブート・クラスタ・スワップ機能により、安全なセルフ・プログラミングが可能になります。ブート・コードが書き換えられると、新しいコードがインアクティブなブート・クラスタにライトされ、boot_flag は前の状態に維持されます。
ブート・クラスタの書き換えが正常に終了すると、boot_flag が反転し、新しいブート・コードをアクティブにすることができます。
新しいブート・コードの書き換えが何らかの原因（たとえばパワー・フェイルや予期しないリセット）で失敗すると、古いブート・コードはアクティブな状態に維持され、書き換えをやり直すことができます。

ブート・クラスタ ブート・コードのサイズ自体はブート・スワップ・クラスタのサイズより小さい場合があります。
ブート・コードの一部であるフラッシュ・メモリ・ブロックは、ブート・クラスタと呼ばれています。クラスタのメンバであるブート・ブロックの数は、セルフ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義できます。
ブート・クラスタのサイズによってブート・スワップ・クラスタのサイズが決まります。これは、セルフ・プログラミング時に定義されたブート・ブロックの数から自動的に評価されます。

表 6-13「ブート・ブロックとブート・スワップ・クラスタの関係」に、ブート・ブロックの数、ブート・クラスタのサイズ、ブート・スワップ・クラスタ間の関係を示します。

ブート・ブロックの数 ブート・ブロックの数は、セルフ・プログラミング時にユーザが定義する必要があります。この値によって、ブート・ブロックを消去またはライト処理から保護するブート・クラスタ保護の対象となるブロックが決まります。

ブート・ブロックの保護 ブート・ブロックの書き換えを禁止するには、フラッシュ・メモリ・プログラミング時にブート・ブロック・クラスタ保護フラグを設定します。このフラグが設定されると、アクティブなブート・クラスタのブロックは消去もライトもできません。ブート・クラスタ・スワップもできません。
ただし、アクティブなブート・クラスタのブロックだけが保護されます。図 6-12「ブート・クラスタ・スワップ機能」の例では、たとえばブロック 0 と 1 の消去とライトは禁止されますが、ブロック 2 と 3 では許可されます。

注意 一度ブート・クラスタ保護がアクティブになると、再びインアクティブにすることはできません。

フラッシュ・メモリ保護フラグの詳細は、第 9 章「コード保護とセキュリティ」を参照してください。

表 6-13 ブート・ブロックとブート・スワップ・クラスタの関係

ブート ブロックの数	ブート・スワップ		ブート・クラスタの保護	
	サイズ	アクティブなブート・スワップ・クラスタ ↔ インアクティブなブート・スワップ・クラスタ	サイズ	アドレス
00 _H ~ 03 _H	設定禁止			
04 _H ~ 07 _H	32 KB	0000 0000 _H ~ 0000 7FFF _H ↔ 0000 8000 _H ~ 0000 FFFF _H	32 KB	0000 0000 _H ~ 0000 7FFF _H
08 _H ~ 0F _H	64 KB	0000 0000 _H ~ 0000 FFFF _H ↔ 0001 0000 _H ~ 0001 FFFF _H	64 KB	0000 0000 _H ~ 0000 FFFF _H
10 _H ~ 17 _H	128 KB	0000 0000 _H ~ 0001 FFFF _H ↔ 0002 0000 _H ~ 0003 FFFF _H	96 KB	0000 0000 _H ~ 0001 7FFF _H
18 _H ~ 1F _H	128 KB	0000 0000 _H ~ 0001 FFFF _H ↔ 0002 0000 _H ~ 0003 FFFF _H	128 KB	0000 0000 _H ~ 0001 FFFF _H
20 _H ~ 3F _H	256 KB ^a	0000 0000 _H ~ 0003 FFFF _H ↔ 0004 0000 _H ~ 0007 FFFF _H	128 KB + (BTBLS ^b - 1F _H) * 32 KB	0000 0000 _H ~ (128 KB + (BTBLS - 1F _H) * 32 KB)
40 _H ~ FF _H	設定禁止			

a) コード・フラッシュ・サイズが 256KB 製品に関しては、設定禁止

b) BTBLS : 物理ブロック数

最大ブート・スワップ・クラスタ ブート・クラスタ・サイズの上限は 256 KB です。したがって、512 KB を超えるコード・フラッシュはブート・クラスタ・スワップの対象にはなりません。

図 6-12 「ブート・クラスタ・スワップ機能」に、以下の設定の例を示します。

- ブート・ブロックの数は2です（ブート・クラスタには2つのブロックが含まれます）。したがって、アクティブなブート・クラスタは次のようになります。
 - boot_flag の場合はブロック 0 と 1
 - not (boot_flag) の場合はブロック 4 と 5
- アクティブなブート・スワップ・クラスタは次のようになります。
 - boot_flag の場合はブロック 0-3
 - not (boot_flag) の場合はブロック 4-7

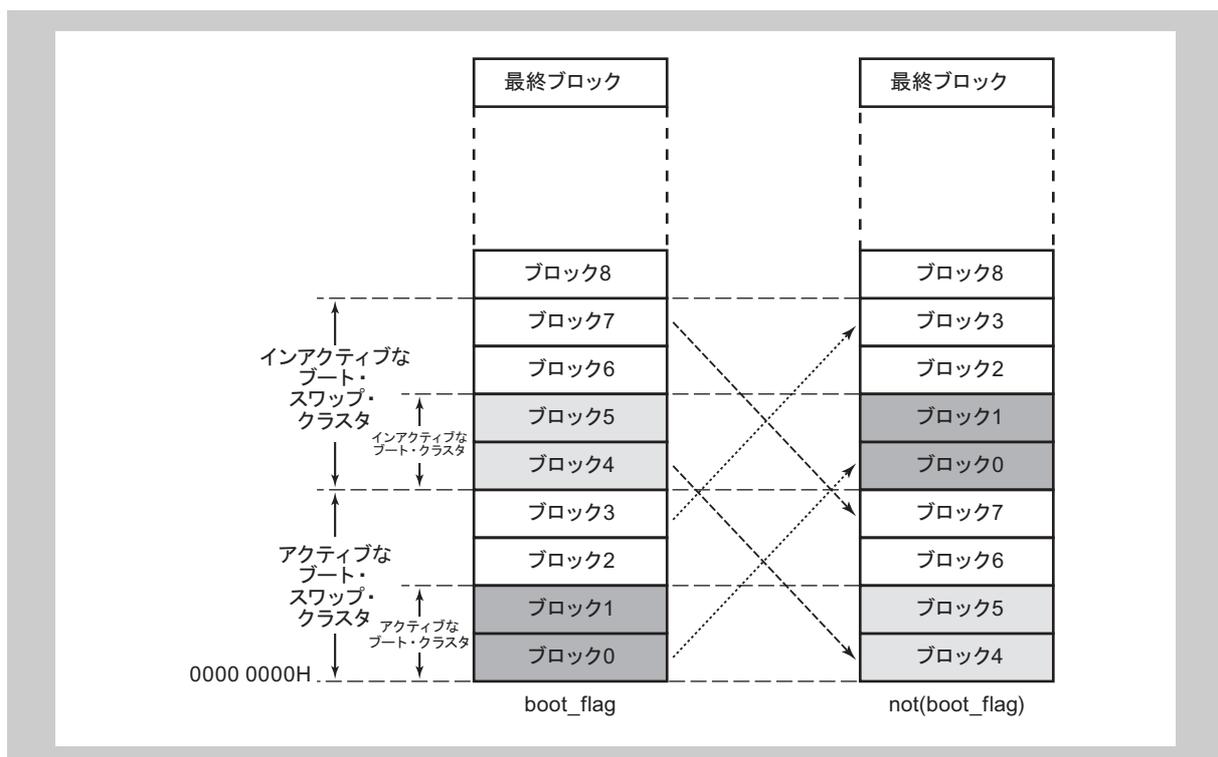


図 6-12 ブート・クラスタ・スワップ機能

6.5.5 フラッシュ・セルフ・プログラミング時の割り込み処理

このマイクロコントローラは、セルフ・プログラミング処理中に割り込み処理を維持する機能を提供します。

セルフ・プログラミングがアクティブな場合、通常はフラッシュ・メモリ内に配置されている割り込みベクタ・テーブルにも割り込みハンドラ・ルーチンにもアクセスできないため、割り込みの受け付けを非フラッシュ・メモリ（たとえば内蔵 RAM）にルート変更する必要があります。

したがって、セルフ・プログラミング時に割り込み処理を有効にするには、次の 2 つの前提が必要になります

- 関連の割り込みハンドラ・ルーチンを非フラッシュ・メモリ（たとえば内蔵 RAM）にコピーする必要があります。ユーザはこのコピー処理を開始する必要があります。
- 関連の割り込み受け付けをこのハンドラにルート変更する必要があります。このハンドラへのルート変更を実行するには、それぞれ CPU レジスタ SW_CFG/SW_BASE と EH_CFG/EH_BASE を使用します。これらの CPU レジスタの詳細は、ドキュメント「V850E2S ユーザーズマニュアル アーキテクチャ編」を参照してください。

割り込みベクタのルート変更には、次の 2 つのオプションがあります。

- すべての割り込みを割り込みチャンネル 0 の 1 つの割り込みベクタにマッピングできます。
- 割り込みベクタ・テーブルのベース・アドレスを別のアドレスにマッピングできます。この場合、割り込み受け付け時に新しいベース・アドレスに割り込みチャンネルのオフセットが追加され、適切な割り込みベクタが取得されます。

セルフ・プログラミングの詳細については、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

6.6 フラッシュ・マスク・オプション

フラッシュ・メモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（フラッシュ・マスク・オプション）があります。

フラッシュ・マスク・オプションは、外部 RESET 解除またはパワーオン・クリア・リセット POCRES のあと、したがってさまざまなモジュールの初期設定が指定されたときに有効になります。

注意 デバッグ・セッション中にオンチップ・デバッグによってフラッシュ・メモリがプログラミングされ、フラッシュ・マスク・オプションが変更されると、新しいオプションの設定を有効にするためにターゲット・リセット・コマンドが発行される必要があります。

すべてのフラッシュ・マスク・オプションはすべての動作モードでリードできます。

フラッシュ・マスク・オプションの変更は、動作モードによって変わる部分とまったく変わらない部分があります。すべてのフラッシュ・マスク・オプションとさまざまな動作モードで変更される可能性の概要を次の表に示します。

表 6-14 フラッシュ・マスク・オプションと設定

機能	フラッシュ・マスク・オプション	モードでの変更の可能性			
		通常	シリアル・フラッシュ・プログラミング	フラッシュ・セルフプログラミング	デバッグ
JTAG ポート・グループ JP0 制御	OPBT0.OPBT0[31]	なし	あり	あり	あり
オンチップ・デバッグ接続制御	OPBT0.OPBT0[30:28]	なし	あり	あり	あり
WDTA1 の初期 VAC 有効/無効	OPBT0.OPBT0[26]	なし	あり	あり	あり
WDTA1 の自動起動またはソフトウェア起動	OPBT0.OPBT0[24]	なし	あり	あり	あり
WDTA1 の初期有効/無効	OPBT0.OPBT0[23]	なし	あり	あり	あり
WDTA0 の初期 VAC 有効/無効	OPBT0.OPBT0[22]	なし	あり	あり	あり
WDTA0 の自動起動またはソフトウェア起動	OPBT0.OPBT0[20]	なし	あり	あり	あり
WDTA0 の初期有効/無効	OPBT0.OPBT0[19]	なし	あり	あり	あり
WDTAn カウント・クロックの初期値	OPBT0.OPBT0[18:16]	なし	あり	あり	あり

6.6.1 OPBT0 - フラッシュ・マスク・オプションのレジスタ 0

アクセス 通常動作モードでは 32 ビット単位でリード可能です。
このレジスタへのライトは、フラッシュ・プログラミング・モードとセルフ・プログラミング・モードでのみ可能です。

アドレス FF47 000C_H

初期値 ユーザ定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPBT0 [31]	OPBT0[30:28]				OPBT0 [26]		OPBT0 [24]	OPBT0 [23]	OPBT0 [22]		OPBT0 [20]	OPBT0 [19]	OPBT0[18:16]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-15 OPBT0 レジスタの内容 (1/2)

ビット位置	ビット名	接続先		機能
		モジュール	信号	
31	OPBT0[31]	JTAG ポート・ グループ JP0	OPJTAG	JTAG ポート・グループ JP0 の機能を制御します。 0 : JP0 は汎用/兼用機能ポートに使用され ます。 1 : JP0 は JTAG ポートとして使用され ます。
30-28	OPBT0[30:28]	OCD	MINI2_[2:0]	MINICUBE2 との接続を制御します。 100B : オンチップデバッガとの接続を許可 します。 000B : オンチップデバッガを使用しない。
27	—	Reserved	Reserved	
26	OPBT0[26]	WDTA1	OPWDVAC	WDTA1 の OPWDVAC 設定 0 : VAC 機能無効 1 : VAC 機能有効
25	—	Reserved	Reserved	
24	OPBT0[24]	WDTA1	OPWDRUN	WDTA1 のスタート要因 0 : ソフトウェア・トリガ 1 : 自動スタート
23	OPBT0[23]	WDTA1	OPWDEN	WDTA1 の停止 / 動作 0 : 停止 1 : 動作
22	OPBT0[22]	WDTA0	OPWDVAC	WDTA0 の OPWDVAC 設定 0 : VAC 機能無効 1 : VAC 機能有効
21	—	Reserved	Reserved	
20	OPBT0[20]	WDTA0	OPWDRUN	WDTA0 のスタート要因 0 : ソフトウェア・トリガ 1 : 自動スタート

表 6-15 OPBT0 レジスタの内容 (2/2)

ビット位置	ビット名	接続先		機能
		モジュール	信号	
19	OPBT0[19]	WDTA0	OPWDEN	WDTA0 の停止 / 動作 0 : 停止 1 : 動作
18-16	OPBT0[18:16]	WDTA0 WDTA1	OPWDOVF [2:0]	カウント・クロック WDTA0 および WDTA1 制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。
15-0	—	Reserved	Reserved	

注意 . “Reserved” の領域には, 1 を書き込むことを推奨します。

6.7 製品識別情報

(1) PRDNAME レジスタ

このレジスタは、製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 0028_H

初期値 製品ごとに異なります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-16 PRDNAME レジスタの内容

ビット位置	機能																																								
31-16	<table border="1"> <thead> <tr> <th>31-16 ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr><td>0DF2_H</td><td>μPD70F3570 製品</td></tr> <tr><td>0DF3_H</td><td>μPD70F3571 製品</td></tr> <tr><td>0DF4_H</td><td>μPD70F3572 製品</td></tr> <tr><td>0DF5_H</td><td>μPD70F3573 製品</td></tr> <tr><td>0DF6_H</td><td>μPD70F3574 製品</td></tr> <tr><td>0DF7_H</td><td>μPD70F3575 製品</td></tr> <tr><td>0DF8_H</td><td>μPD70F3576 製品</td></tr> <tr><td>0DF9_H</td><td>μPD70F3577 製品</td></tr> <tr><td>0DFA_H</td><td>μPD70F3578 製品</td></tr> <tr><td>0DFB_H</td><td>μPD70F3579 製品</td></tr> <tr><td>0DFC_H</td><td>μPD70F3580 製品</td></tr> <tr><td>0DFE_H</td><td>μPD70F3582 製品</td></tr> <tr><td>0DFF_H</td><td>μPD70F3583 製品</td></tr> <tr><td>0E00_H</td><td>μPD70F3584 製品</td></tr> <tr><td>0E01_H</td><td>μPD70F3585 製品</td></tr> <tr><td>1051_H</td><td>μPD70F4177 製品</td></tr> <tr><td>1052_H</td><td>μPD70F4178 製品</td></tr> <tr><td>1053_H</td><td>μPD70F4179 製品</td></tr> <tr><td>1054_H</td><td>μPD70F4180 製品</td></tr> </tbody> </table>	31-16 ビット	説明	0DF2 _H	μPD70F3570 製品	0DF3 _H	μPD70F3571 製品	0DF4 _H	μPD70F3572 製品	0DF5 _H	μPD70F3573 製品	0DF6 _H	μPD70F3574 製品	0DF7 _H	μPD70F3575 製品	0DF8 _H	μPD70F3576 製品	0DF9 _H	μPD70F3577 製品	0DFA _H	μPD70F3578 製品	0DFB _H	μPD70F3579 製品	0DFC _H	μPD70F3580 製品	0DFE _H	μPD70F3582 製品	0DFF _H	μPD70F3583 製品	0E00 _H	μPD70F3584 製品	0E01 _H	μPD70F3585 製品	1051 _H	μPD70F4177 製品	1052 _H	μPD70F4178 製品	1053 _H	μPD70F4179 製品	1054 _H	μPD70F4180 製品
	31-16 ビット	説明																																							
	0DF2 _H	μPD70F3570 製品																																							
	0DF3 _H	μPD70F3571 製品																																							
	0DF4 _H	μPD70F3572 製品																																							
	0DF5 _H	μPD70F3573 製品																																							
	0DF6 _H	μPD70F3574 製品																																							
	0DF7 _H	μPD70F3575 製品																																							
	0DF8 _H	μPD70F3576 製品																																							
	0DF9 _H	μPD70F3577 製品																																							
	0DFA _H	μPD70F3578 製品																																							
	0DFB _H	μPD70F3579 製品																																							
	0DFC _H	μPD70F3580 製品																																							
	0DFE _H	μPD70F3582 製品																																							
	0DFF _H	μPD70F3583 製品																																							
	0E00 _H	μPD70F3584 製品																																							
	0E01 _H	μPD70F3585 製品																																							
1051 _H	μPD70F4177 製品																																								
1052 _H	μPD70F4178 製品																																								
1053 _H	μPD70F4179 製品																																								
1054 _H	μPD70F4180 製品																																								
11-0	製品のバージョン情報が設定されています。																																								

(2) PRDSELH レジスタ

このレジスタは、製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です

アドレス FF47 0024_H

初期値 製品ごとに異なります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0/1	0/1	0/1	0/1	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-17 PRDSELH レジスタの内容

ビット位置	機能												
31-8	<p>製品の内蔵 RAM 容量を示します。</p> <table border="1"> <thead> <tr> <th>31-8 ビット</th><th>説明</th></tr> </thead> <tbody> <tr> <td>FEDFA0_H</td><td>内蔵 RAM 24KB 製品</td></tr> <tr> <td>FEDF90_H</td><td>内蔵 RAM 28KB 製品</td></tr> <tr> <td>FEDF80_H</td><td>内蔵 RAM 32KB 製品</td></tr> <tr> <td>FEDF40_H</td><td>内蔵 RAM 48KB 製品</td></tr> <tr> <td>FEDF00_H</td><td>内蔵 RAM 64KB 製品</td></tr> </tbody> </table>	31-8 ビット	説明	FEDFA0 _H	内蔵 RAM 24KB 製品	FEDF90 _H	内蔵 RAM 28KB 製品	FEDF80 _H	内蔵 RAM 32KB 製品	FEDF40 _H	内蔵 RAM 48KB 製品	FEDF00 _H	内蔵 RAM 64KB 製品
31-8 ビット	説明												
FEDFA0 _H	内蔵 RAM 24KB 製品												
FEDF90 _H	内蔵 RAM 28KB 製品												
FEDF80 _H	内蔵 RAM 32KB 製品												
FEDF40 _H	内蔵 RAM 48KB 製品												
FEDF00 _H	内蔵 RAM 64KB 製品												
7-0	<p>製品のコード・フラッシュ・メモリ容量を示します。</p> <table border="1"> <thead> <tr> <th>7-0 ビット</th><th>説明</th></tr> </thead> <tbody> <tr> <td>01_H</td><td>コード・フラッシュ・メモリ (256KB, 384KB)</td></tr> <tr> <td>02_H</td><td>コード・フラッシュ・メモリ (512KB)</td></tr> <tr> <td>03_H</td><td>コード・フラッシュ・メモリ (768KB)</td></tr> <tr> <td>04_H</td><td>コード・フラッシュ・メモリ (1MB)</td></tr> </tbody> </table>	7-0 ビット	説明	01 _H	コード・フラッシュ・メモリ (256KB, 384KB)	02 _H	コード・フラッシュ・メモリ (512KB)	03 _H	コード・フラッシュ・メモリ (768KB)	04 _H	コード・フラッシュ・メモリ (1MB)		
7-0 ビット	説明												
01 _H	コード・フラッシュ・メモリ (256KB, 384KB)												
02 _H	コード・フラッシュ・メモリ (512KB)												
03 _H	コード・フラッシュ・メモリ (768KB)												
04 _H	コード・フラッシュ・メモリ (1MB)												

(3) PRDSELL レジスタ

このレジスタは、製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です

アドレス FF47 0020_H

初期値 製品ごとに異なります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-18 PRDSELL レジスタの内容

ビット位置	機能						
31-24	製品のコード・フラッシュ・メモリ容量を示します。						
	<table border="1"> <thead> <tr> <th>31-24 ビット</th><th>説明</th></tr> </thead> <tbody> <tr> <td>80_H</td><td>コード・フラッシュ・メモリ (384KB)</td></tr> <tr> <td>00_H</td><td>コード・フラッシュ・メモリ (256KB, 512KB, 768KB, 1MB)</td></tr> </tbody> </table>	31-24 ビット	説明	80 _H	コード・フラッシュ・メモリ (384KB)	00 _H	コード・フラッシュ・メモリ (256KB, 512KB, 768KB, 1MB)
	31-24 ビット	説明					
80 _H	コード・フラッシュ・メモリ (384KB)						
00 _H	コード・フラッシュ・メモリ (256KB, 512KB, 768KB, 1MB)						
23-8	製品のデータ・フラッシュ・メモリ容量を示します。						
	<table border="1"> <thead> <tr> <th>23-8 ビット</th><th>説明</th></tr> </thead> <tbody> <tr> <td>0020_H</td><td>データ・フラッシュ・メモリ (32KB)</td></tr> </tbody> </table>	23-8 ビット	説明	0020 _H	データ・フラッシュ・メモリ (32KB)		
	23-8 ビット	説明					
0020 _H	データ・フラッシュ・メモリ (32KB)						

第7章 クロック・コントローラ

この章では、V850E2/Fx4-L マイクロコントローラのカロック・コントローラのカ機能について説明します。

(1) 命名規則

カロック信号およびその制御レジスタなどは、特定の電力供給領域とカロック・ドメインを反映する、規定の命名規則に従います。

m の意味 インデックス m は電力供給領域を表します。

- m = 0 : Isolated エリア 0 (Iso0) を表します。
- m = A : Always-On エリア (AWO) を表します。

n の意味 インデックス n (00, 01, 02, ...) はカロック・ドメインを表します。

例 カロック選択レジスタ CKSC_0n は、Isolated エリア 0 のカロック CKSCLK_0n を選択します。
カロック信号 CKSCLK_A06 は、Always-On エリア (m = A) のカロック・ドメイン 06 (n = 06) に供給するカロックです。このカロックは、カロック選択レジスタ CKSC_A06 によって選択します。

7.1 クロック・コントローラの概要

機能概要 クロック・コントローラには、次の機能があります。

- 4つの発振回路：
 - 低速内蔵発振回路：周波数 240 kHz (Typ.)
 - 高速内蔵発振回路：周波数 8 MHz (Typ.)
 - メイン発振回路：4 / 5 / 6 / 8 / 10 / 12 / 16 / 20 MHz
 - PLL 発振回路 (PLL0)
- クロック・ドメインごとに異なるクロック・セレクタを装備し、個別スタンバイによる制御
- 3つのクロック・モニタ (CLMA0, CLMA2, CLMA3)
 - CLMA0：メイン発振回路のクロック監視およびリセット信号の生成
 - CLMA2：高速内蔵発振回路のクロック監視およびリセット信号の生成
 - CLMA3：PLL0のクロック監視およびリセット信号の生成

備考 クロック発生回路の周波数と許容範囲、およびその他のパラメータについてはデータ・シートを参照してください。

クロック・コントローラの主な構成要素を次の図に示します。

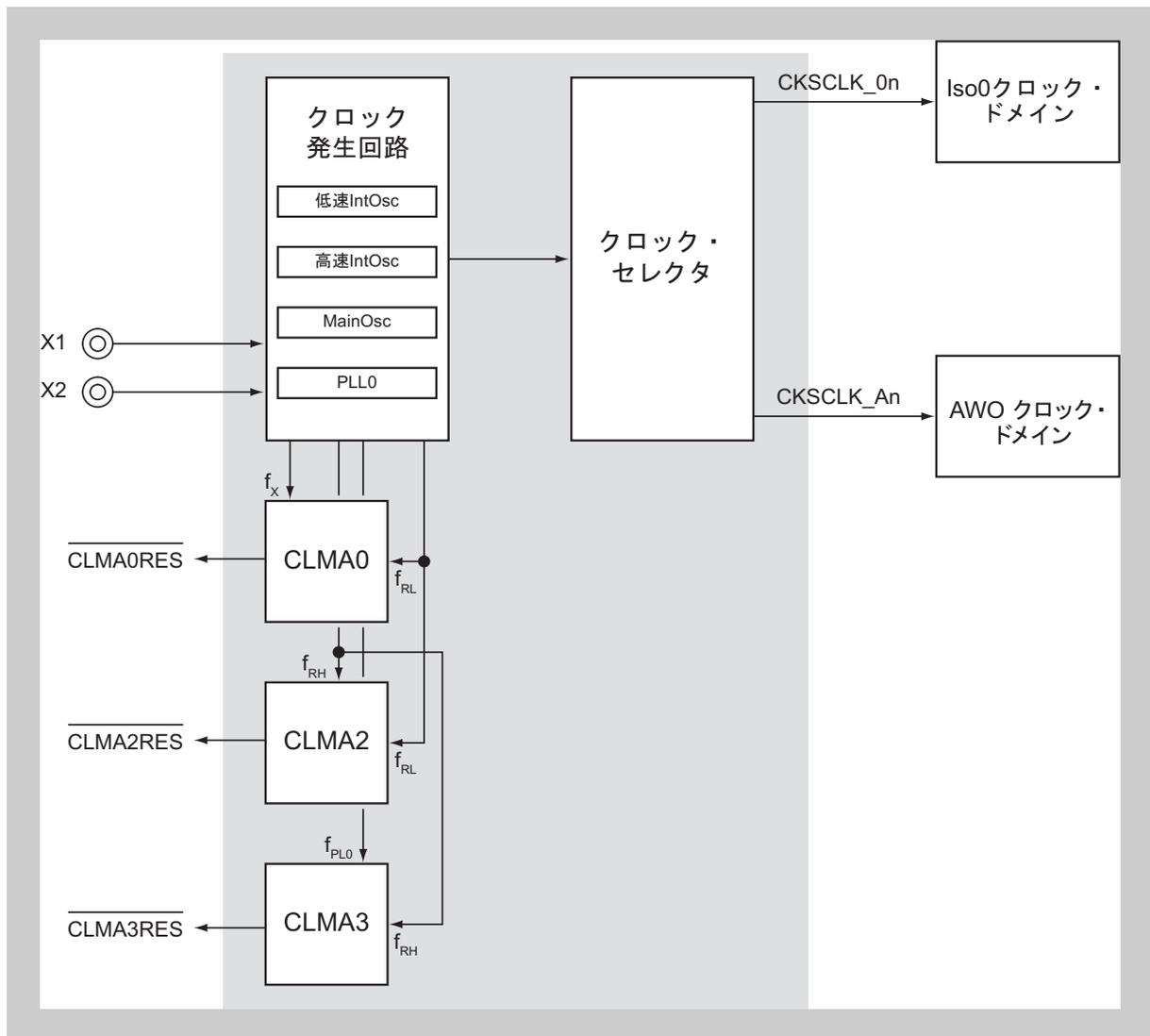


図 7-1 クロック・コントローラの概要

7.2 クロックの生成と制御の概要

クロック・コントローラは、2つの電力供給領域に対して、それぞれクロック信号セットを生成します。

- Isolated エリア 0 (Iso0) のクロックに対して CKSCLK_0n
- Always-On エリア (AWO) のクロックに対して CKSCLK_An

各クロック信号 CKSCLK_mn は、クロック・ドメイン “mn” のクロックを供給します。

特定のクロック・ドメインは、STOP スタンバイ・モード要求によりクロックの供給を停止することができます。

クロック・コントローラの基本的な構成の概要を次の図に示します。

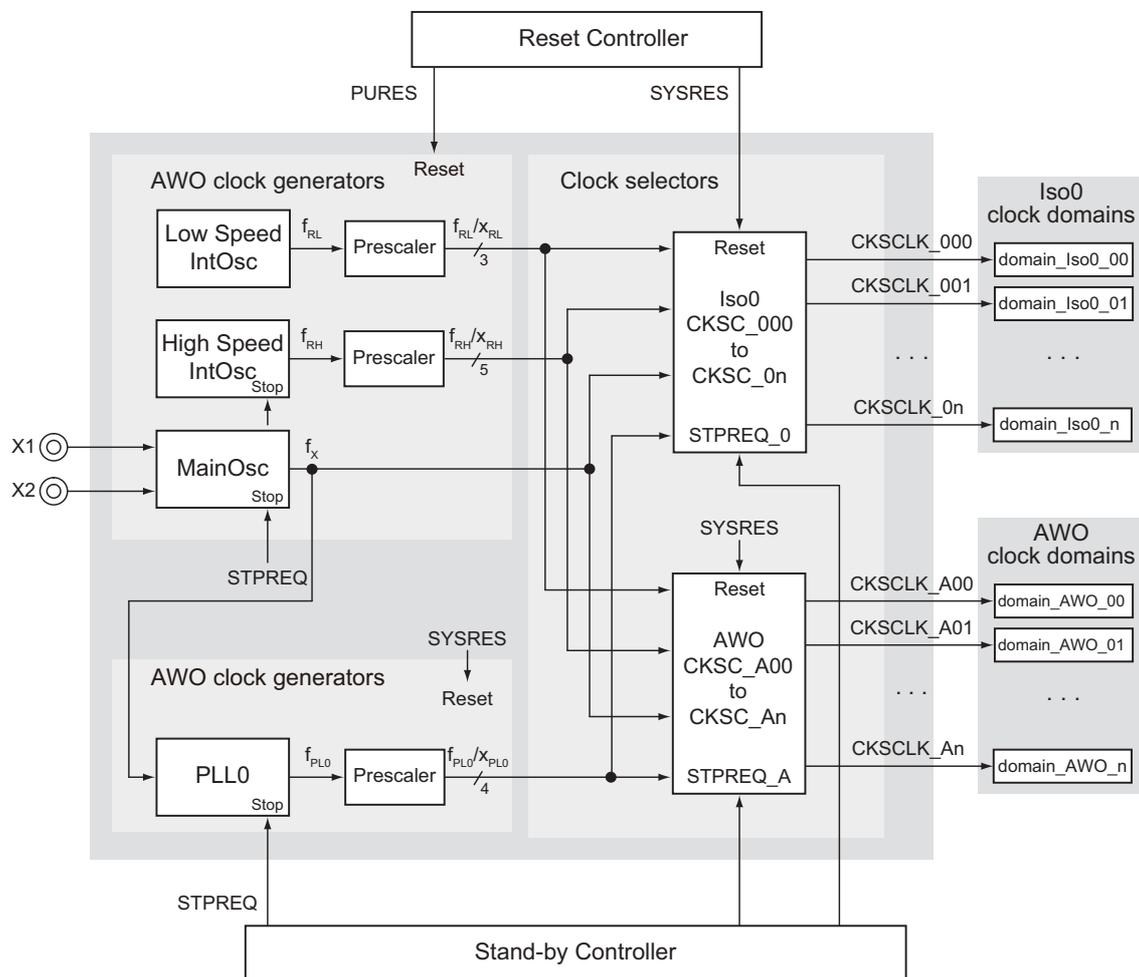


図 7-2 クロック・コントローラの構成

クロック・コントローラは、2つの主要部分（クロック発生回路、クロック・セクタ）で構成しています。以下に、クロック発生回路およびクロック・セクタを説明します。

(1) クロック発生回路

4つのクロック発生回路を搭載しています。

- 低速内蔵発振回路（低速 IntOsc）
低速 IntOsc は、電源投入後に動作を開始し、停止することはできません。周波数 240 kHz (Typ.) のクロック f_{RL} を生成します。
- 高速内蔵発振回路（高速 IntOsc）
高速 IntOsc は、周波数 8 MHz (Typ.) のクロック f_{RH} を生成します。
- メイン発振回路（MainOsc）
メイン発振回路が生成するクロック f_x は、PLL 回路の基準クロックにも使用します。この発振回路は、外部発振子を X1, X2 に接続する発振回路を用意する必要があります。
- PLL0
PLL 回路は、マイクロコントローラの通常動作に使用するすべての高速動作クロック f_{PL0} を生成します。

すべてのクロック発生回路は Always-On エリア（AWO）上に配置しています。

各クロック発生回路から生成したクロック（MainOsc からの f_x を除く）は、それぞれのプリスケータを介し、クロック・セクタにクロックを供給します。すべてのクロックのプリスケータは、異なる分周比を持ちます。

クロック発生回路のリセット

MainOsc, 高速 IntOsc および 低速 IntOsc 発生回路は PURES 信号で初期化します。

PLL0 発生回路は、SYSRES 信号で初期化します。

クロック発生回路についての詳細は、7.3「クロック発生回路」を参照してください。

(2) クロック・セレクタ

クロック発生回路で生成されたクロックは、クロック・セレクタ CKSC_mn に入力します。クロック・ドメインごとに個別のクロック選択レジスタ CKSC_mn を用意しています。

クロック選択レジスタは2セット用意しており、それぞれ2つある電力供給領域のクロック・ドメイン専用になります。

- CKSC_0n レジスタ : Isolated エリア 0 のクロック・ドメイン選択用レジスタ
- CKSC_An レジスタ : Always-On エリアのクロック・ドメイン選択用レジスタ

クロック選択レジスタ CKSC_mn を使用することにより、任意の入力クロックを CKSCLK_mn クロックとして選択することができます。

クロック・セレクタのリセット クロック・セレクタは SYSRES 信号でリセットします。この信号は、マイクロコントローラの POC リセットまたはそれ以外のリセットによってアクティブになります。したがって、リセット後はすべてのクロック・ドメインの供給が初期設定に戻ります。

STOP スタンバイ・モード要求 STOP モード、DEEPSTOP モードに遷移するときに、停止要求信号 STPREQ_0 (Iso0 領域)、STPREQ_A (AWO 領域) をアクティブにすることで、スタンバイ・コントローラから特定の電力エリアに対して停止要求を発行することができます。

電力供給領域のすべてのクロック・セレクタに供給される停止要求は、クロック選択レジスタによって個々にマスクできます。

- CKSC_mn.STPMK_mn = 0 :
STPREQ_m はマスクされず、STPREQ_m がアクティブになると CLSCLK_mn が停止します。
- CKSC_mn.STPMK_mn = 1 :
STPREQ_m はマスクされ、STPREQ_m がアクティブになっても CLSCLK_mn は動作を継続します。

7.3 クロック発生回路

7.3.1 メイン発振回路（MainOsc）のクロック発生回路

メイン発振回路はクロック f_x を生成します。 f_x はクロック・ドメインのクロック・セクタ CKSC_mn に供給し、各クロック・ドメインの動作クロックとして使用することが可能です。また、 f_x は PLL 基準クロックとしても使用します。

MainOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

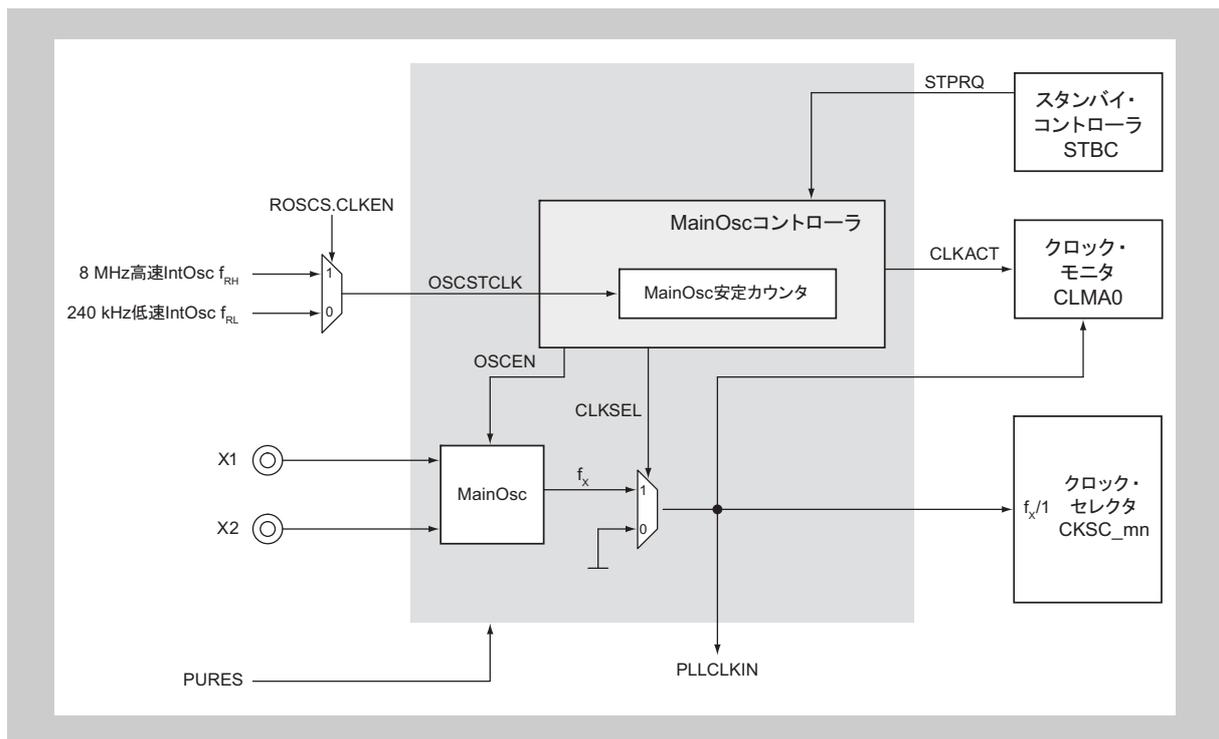


図 7-3 MainOsc クロック発生回路

MainOsc 有効 リセット解除後、MainOsc は無効になるため、MainOsc イネーブル・トリガ MOSCE.ENTRG を 1 に設定して MainOsc を有効にする必要があります。また、スタンバイ復帰時の場合は、スタンバイ解除要因で MainOsc の起動をかけることができます。MainOsc の状態は、MOSCS レジスタの CLKEN ビット、および CLKACT ビットで確認することができます。

リセット期間中の MainOSC リセット期間中
MOSCE.STPMK 設定に依存します。

MOSCE.STPMK = 1 : 動作

MOSCE.STPMK = 0 : 停止

注意 POC リセット・端子リセット期間中は MainOSC は無条件に動作します。

MainOsc 安定 MainOsc 安定カウンタは、発振安定時間をカウント・ダウンします。

MainOsc の発振が安定しない間は、CLKSEL 信号によって MainOsc プリスケアラへの f_X 出力を禁止します。

MainOsc 安定カウンタが MOSCST.MOST[3:0] で指定した値に達すると、 f_X が安定したと判断し、CLKSEL 信号の値が変化して f_X をプリスケアラに入力し、プリスケアラ出力 $f_X/1$ をクロック・セレクタ CKSC_mn で選択できるようになります。

f_X クロックの安定状態は、ビット MOSCS.CLKSTAB = 1 で確認することができます。

安定カウンタ・クロック OSCSTCLK の信号源は、次の2つのクロックから選択します。

- 高速 IntOsc が動作している (ROSCS.CLKEN = 1) 場合、そのクロック f_{RH} (8 MHz)
- 高速 IntOsc が停止している (ROSCS.CLKEN = 0) 場合、低速 IntOsc のクロック f_{RL} (240 kHz)

安定カウンタ・クロックの信号源は、高速 IntOsc の動作状態に応じて自動的に選択します。

MOSCST.MOST[3:0] は、MainOsc 安定時間を OSCSTCLK の期間で指定します。設定範囲は $2^2 \sim 2^{17}$ です。

STOP スタンバイ・モード要求 スタンバイ・コントローラは、STPRQ 信号を使用して STOP スタンバイ状態を制御します。停止要求マスク・ビット MOSCE.STPMK は、STOP スタンバイ時に MainOsc の動作を継続させるか停止させるかを制御します。

MOSCE.STPMK = 0 の場合、MainOsc が発振状態で STOP スタンバイ・モードに移行すると、MainOsc は停止しますが、STOP スタンバイ・モードから復帰した時点で自動で発振を再開します。

クロック・モニタ制御 MainOsc のアクティブ信号 CLKACT は、クロック・モニタ CLMA0 に出力し、その動作を監視します。MainOsc が無効の場合、CLMA0 による出力クロック f_X の監視も無効になります。

クロック・モニタ制御の条件を次の表に示します。

表 7-1 クロック・モニタ 0 のステータス制御

MOSCS.CLKEN	MOSCE.STPMK	STPRQ	CLKACT	CLMA0
0	X	X	0	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ

MainOsc 許可 / 停止トリガ MainOsc は、下記のトリガで動作 / 停止可能です。

- 動作許可トリガ MOSCE.ENTRG = 1 で MainOsc 起動
動作許可トリガは、MainOsc がインアクティブ (MOSCS.CLKACT = 0) かつ MainOsc が無効 (MOSCS.CLKEN = 0) のときに有効です。

- 動作停止トリガ MOSCE.DISTRG = 1 で MainOsc 停止
動作停止トリガは、MainOsc がアクティブ (MOSCS.CLKACT = 1) かつ MainOsc が有効 (MOSCS.CLKEN = 1) のときに有効です。

7.3.2 高速内蔵発振回路（高速 IntOsc）のクロック発生回路

高速内蔵発振回路はクロック f_{RH} を生成します。 f_{RH} はクロック・ドメインのクロック・セクタ CKSC_mn に供給します。 f_{RH} は周波数 8 MHz (Typ.) です。

高速 IntOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

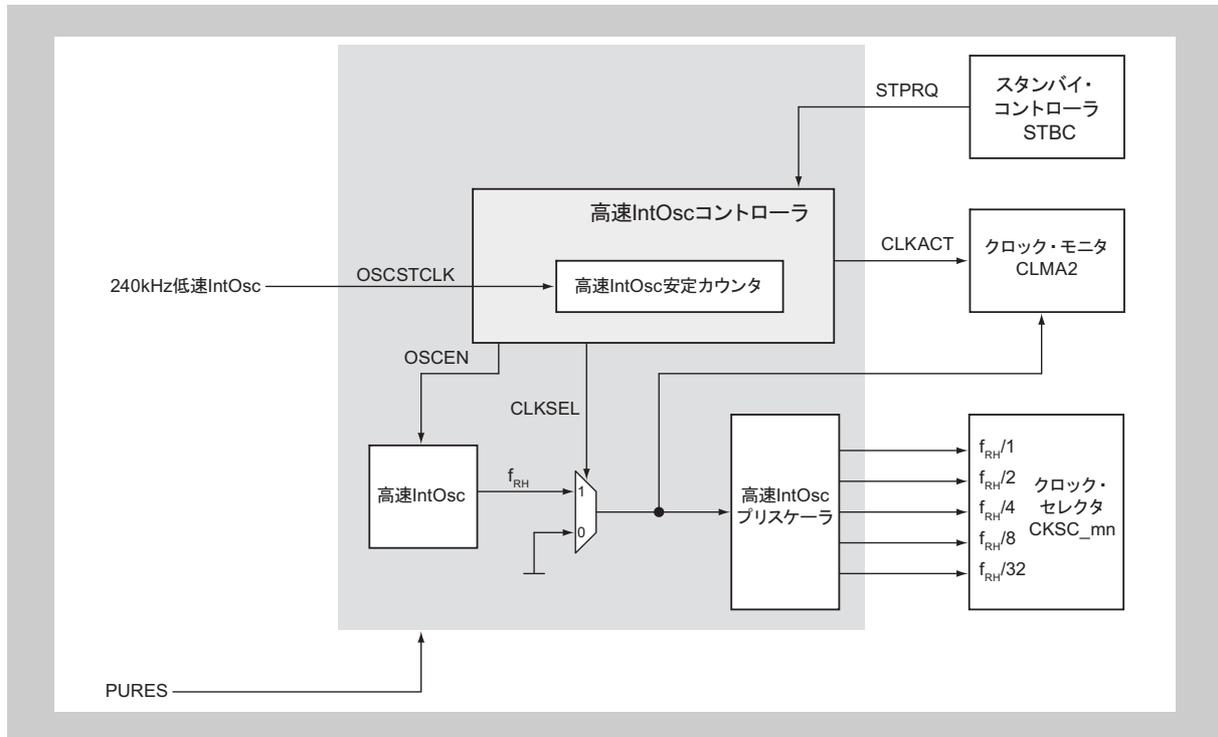


図 7-4 高速 IntOsc のクロック発生回路

リセット解除後、高速 IntOsc は動作を開始します。

高速 IntOsc 有効 高速 IntOsc の状態は、ROSCS レジスタの CLKEN ビット、および CLKACT ビットで確認することができます。また、 f_{RH} クロックの安定状態は、CLKSTAB ビットで確認することができます。

STOP スタンバイ・モード要求 スタンバイ・コントローラは、STPRQ 信号を使用して STOP スタンバイ状態を制御します。停止要求マスク・ビット ROSCE.STPMK は、STOP スタンバイ時に高速 IntOsc の動作を継続させるか停止させるかを制御します。

ROSCCE.STPMK = 0 の場合、STOP スタンバイ・モードに移行すると、高速 IntOsc は停止しますが、STOP スタンバイ・モードから復帰した時点で自動で発振を再開します。

クロック・モニタ制御 高速 IntOsc のアクティブ信号 CLKACT は、クロック・モニタ CLMA2 に出カし、その動作を監視します。高速 IntOsc が無効の場合、CLMA2 による出カクロック f_{RH} の監視も無効になります。

クロック・モニタ制御の条件を次の表に示します。

表 7-2 クロック・モニタ 2 のステータス制御

ROSCS.CLKEN	ROSCE.STPMK	STPRQ	CLKACT	CLMA2
0	X	X	0	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ

高速 IntOsc のクロック f_{RH} は、クロック・モニタ CLMA3 のサンプリング・クロックとして使用します。

7.3.3 低速内蔵発振回路（低速 IntOsc）のクロック発生回路

低速内蔵発振回路はクロック f_{RL} を生成します。 f_{RL} はクロック・ドメインのクロック・セクタ CKSC_mn に供給します。 f_{RL} は周波数 240 kHz (Typ.) です。

低速 IntOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

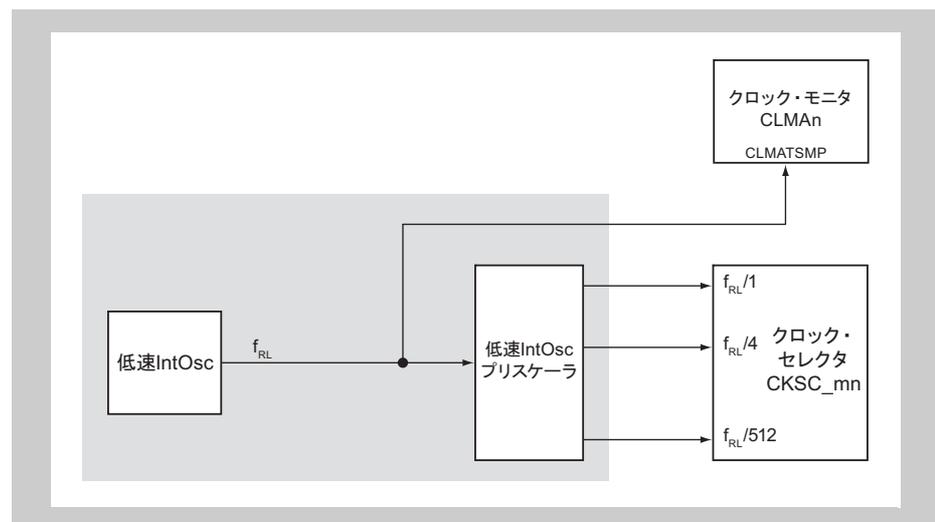


図 7-5 低速 IntOsc のクロック発生回路

リセット解除後、低速 IntOsc は動作を開始します。停止はできません。

低速 IntOsc のクロック f_{RL} は、クロック・モニタ CLMA0, CLMA2 のサンプリング・クロックとして使用します。

7.3.4 PLL (Phase-Locked Loop) のクロック発生回路

メイン発振回路から出力したクロック f_X は、PLL のクロック発生回路 PLL0 に入力します。PLL0 の出力クロック f_{PL0} は f_X の倍数で、マイクロコントローラのメイン動作クロックとして機能します。

PLL0 のクロック発生回路の基本的な構成と信号を次の図に示します。

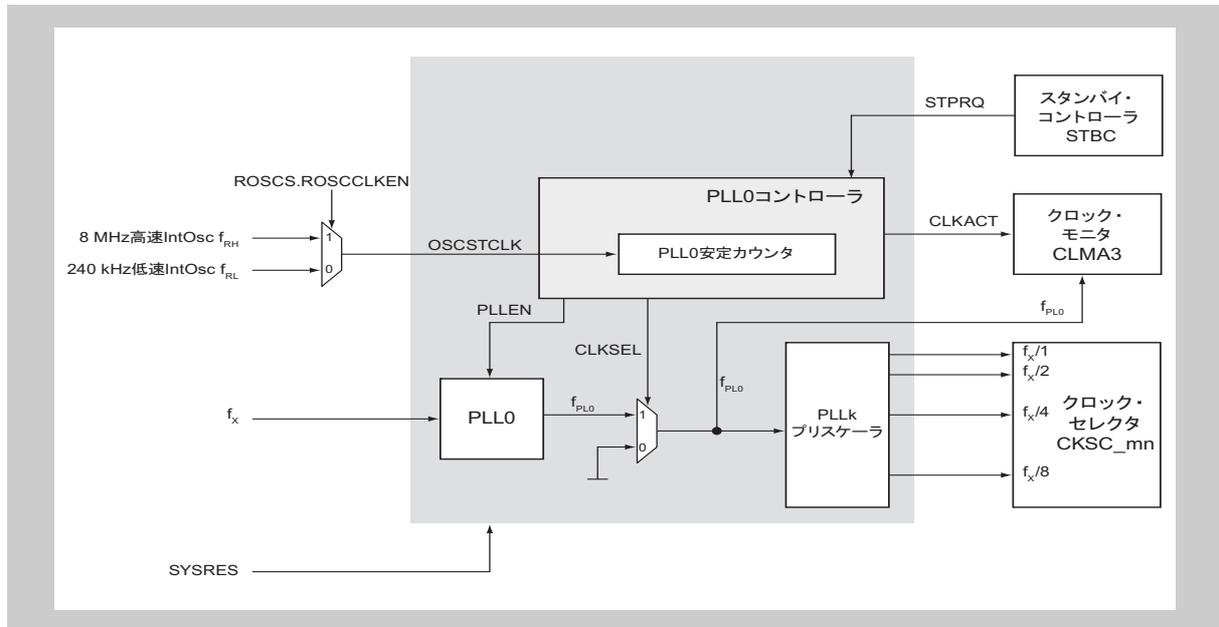


図 7-6 PLL0 のクロック発生回路

PLLk 有効 リセット解除後、PLL0は無効になるため、PLL0 イネーブル・トリガ PLLE0.ENTRG を 1 に設定して PLL0 を有効にする必要があります。PLL0 の状態は、PLLS0 レジスタの CLKEN ビット、および CLKACT ビットで確認することができます。

PLL0 安定 PLL0 安定カウンタは、安定時間をカウント・ダウンします。

PLL0 の発振が安定しない間は、CLKSEL 信号によって PLL0 プリスケータへの f_{PL0} 出力を禁止します。

PLL0 安定カウンタが PLLST0.PLLST0[2:0] で指定した値に達すると、 f_{PL0} が安定したと判断し、CLKSEL 信号の値が変化して f_X がプリスケータに入力し、プリスケータ出力 $f_{PL0}/1$ 、 $f_{PL0}/2$ 、 $f_{PL0}/4$ および $f_{PL0}/8$ をクロック・セクタ CKSC_mn で選択できるようになります。

f_{PL0} クロックの安定状態は、PLLS0.CLKSTAB = 1 で確認することが可能です。

安定カウンタ・クロック OSCSTCLK の信号源は、次の 2 つのクロックから選択します。

- 高速 IntOsc が動作している (ROSCS.CLKEN = 1) 場合、そのクロック f_{RH} (8 MHz)
- 高速 IntOsc が停止している (ROSCS.CLKEN = 0) 場合、低速 IntOsc のクロック f_{RL} (240 kHz)

安定カウンタ・クロックの信号源は、高速 IntOsc の動作状態に応じて自動的に選択します。

PLLST0.PLLST0[2:0] は、PLL0 安定時間を OSCSTCLK の期間で指定します。設定範囲は $2^7 \sim 2^{14}$ です。

STOP スタンバイ・モード要求

スタンバイ・コントローラは、STPRQ 信号を使用して STOP スタンバイ状態を示します。停止要求マスク・ビット PLLE0.STPMK は、STOP スタンバイ時に PLL0 の動作を継続させるか停止させるかを制御します。

PLLE0.STPMK = 0 の場合、PLL0 が発振状態で STOP スタンバイ・モードに移行すると、PLL0 は停止しますが、STOP スタンバイ・モードから復帰した時点で自動で発振を再開します。

クロック・モニタ制御

PLL0 の動作許可信号 CLKACT は、クロック・モニタ CLMA3 に出力し、その動作を監視します。PLL0 が無効の場合、CLMA3 による出力クロック f_{PL0} の監視も無効になります。

クロック・モニタ制御の条件を次の表に示します。

表 7-3 クロック・モニタ 3 のステータス制御

PLLS0.CLKEN	PLLE0.STPMK	STPRQ	CLKACT	CLMA3
0	X	X	0	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ

PLL0 許可 / 停止トリガ

PLL0 は、下記のトリガで動作 / 停止可能です。

- 動作許可トリガ PLLE0.ENTRG = 1 で PLL0 起動
動作許可トリガは、PLL0 がインアクティブ (PLLS0.CLKACT = 0) であるときのみ有効です。
- 動作停止トリガ PLLE0.DISTRG = 1 で PLL0 停止
動作停止トリガは、PLL0 がアクティブ (PLLS0.CLKACT = 1) であるときのみ有効です。

(1) PLLのパラメータ

PLLは、制御レジスタ PLLC0により設定します。

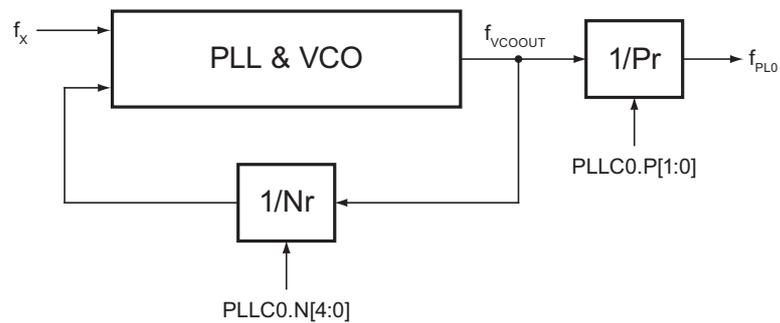


図 7-7 PLL回路

f_{PL0} 周波数 f_{PL0} は次のように計算します。

$$f_{PL0} = f_X \times (Nr/Pr)$$

Nr, Prの値は、PLLC0レジスタ・ビットの設定から求められます。

- $Nr = PLLC0.N[4:0] + 1$
- Prは PLLC0.P[1:0]によって次のように決定されます。

PLLC0.P[1:0]	Pr
10 _B	2
11 _B	4

7.3.5 保護レジスタへの書き込み

クロック・コントローラの一部レジスタは、ライト保護の機能を持ちます。ライト保護レジスタへの書き込みは、保護コマンドレジスタ（PROTCMD0, PROTCMD2）を使用した特定の命令シーケンス（以下参照）により実施してください。

1. 固定値 A5_H を保護コマンド・レジスタ PROTCMD_m に書き込みます。
2. 保護レジスタに要求値を書き込みます。
3. 保護レジスタに要求値のビット反転値を書き込みます。
4. 保護レジスタに要求値を書き込みます。
5. 保護レジスタに要求値が書き込まれたことを確認します（PROTS_m.PROTERR = 0 で表示）。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記命令シーケンスの手順 1 から手順 4 の間に、クロック・コントローラ・レジスタへのライト・アクセスがあった場合、保護レジスタへの書き込みは失敗します（PROTS_m.PROTERR = 1 で表示）。この場合、命令シーケンスを手順 1 から再度行う必要があります。

上記特定命令シーケンス中は、この保護シーケンスを阻むことなく、クロック・コントローラ・レジスタを除く他のレジスタへアクセスすることができます。

保護シーケンスが阻まれた場合、保護機能は次のように動作します。

- 保護シーケンス中の割り込み
上記保護シーケンス中に割り込みが受け付けられ、かつその割り込みサービス・ルーチンがクロック・コントローラ・レジスタにアクセスしていない場合、保護シーケンスは阻まれません。割り込みサービス・ルーチンから復帰したあと、保護レジスタへの書き込みが正常に行なわれます。
- 保護シーケンス中のエミュレータ中断
上記保護シーケンス中に、たとえばブレークポイントに達したなどの理由でエミュレータが中断した場合、エミュレータ中断から復帰して正常動作に戻るまで、レジスタ保護シーケンスは中断されます。
すなわち、クロック・コントローラ・レジスタがエミュレータ中断中にアクセスされた場合でも、保護シーケンスは阻まれません。クロック・コントローラ・レジスタにアクセスすることで、PROTS_m.PROTERR がセットされるわけではありません。

7.4 クロックの選択

この節では、Fx4-L 製品の 2 つの電源ドメイン上のすべてのクロック・ドメインで使用できるクロック選択オプションについて説明します。

クロック選択制御レジスタおよびクロック選択ステータス・レジスタは、2 種類のインデックスを使用して電力供給領域とクロック・ドメインを識別します。

- | | |
|-----------------------------------|--|
| m = 0 : Isolated
エリア 0 | CKSC_mn が Isolated エリア 0 内の任意のクロック・ドメインのクロックを制御する場合 : |
| | <ul style="list-style-type: none"> • m = 0 : • n = 00, 06, 07, 11, 12, 16, 28, 29, 32-34 |
| m = A : Always-On
エリア | CKSC_mn が Always-On エリア内の任意のクロック・ドメインのクロックを制御する場合 : |
| | <ul style="list-style-type: none"> • m = A : • n = 02, 03, 05, 07 |

各クロック選択レジスタの次の項目について、以降の表でそれぞれで説明します。

- 電力供給領域とクロック・ドメイン
- クロック選択レジスタの名称, アドレス, 初期値
- ドメイン・クロック名
- クロック選択オプションとその ID, クロックの制限 (必要な場合)

-
- 注意**
- CKSC_mn レジスタでクロック選択なしを指定した場合, および選択したクロック・ソースの発振が停止している状態で CPU から該当クロック・ドメイン領域へアクセスしないでください。
 - CKSC_mn レジスタを変更する場合, CSCSTAT_mn.CLKACT_mn=1 を確認してから, 各クロック・ドメインのレジスタをアクセスしてください。
 - 各クロック・ドメインのクロック源を変更する場合, 対応する周辺機能を停止した後で切り替えてください。
-

7.4.1 Always-On エリアのクロック・ドメイン

(1) クロック・ドメイン AWO_2

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A02		電力供給領域 : Always-On エリア		
アドレス	FF42 2020 _H	クロック・ドメイン : AWO_2		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_A02	WDTA0 : PCLK CLMA0 : PCLK CLMA2 : PCLK KR0 : PCLK AWO ポート制御, フィルタ制御 : PCLK
0007 _H	高速 IntOsc [8 MHz] / 1			
0008 _H	高速 IntOsc [8 MHz] / 2			
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(2) クロック・ドメイン AWO_3

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A03		電力供給領域 : Always-On エリア		
アドレス	FF42 2030 _H	クロック・ドメイン : AWO_3		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_A03	TAUJ0 : PCLK
0007 _H	高速 IntOsc [8 MHz] / 1			
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(3) クロック・ドメイン AWO_5

バックアップ RAM をアクセス中に選択しているクロック・ソースを停止したり、リセットが発生した場合、バックアップ RAM の値は保証いたしません。

クロック選択制御レジスタ : CKSC_A05		電力供給領域 : Always-On エリア		
アドレス	FF42 2050 _H	クロック・ドメイン : AWO_5		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 40 MHz	CKSCLK_A05	バックアップ RAM : PCLK
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(4) クロック・ドメイン AWO_7

クロック選択制御レジスタ : CKSC_A07		電力供給領域 : Always-On エリア		
アドレス	FF42 2070 _H	クロック・ドメイン : AWO_7		
初期値	0000 0006 _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	-	CKSCLK_A07	WDTA0 : WDTACKI
0003 _H	低速 IntOsc [240 kHz] / 4			
0005 _H	低速 IntOsc [240 kHz] / 512			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。
CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

7.4.2 Isolated エリア 0 のクロック・ドメイン

(1) クロック・ドメイン ISO0_0

本クロック・ドメインで選択するクロックは、システム全体のクロックになるため、ソフトウェアで選択したクロック・ソースを停止させないでください。

クロック選択制御レジスタ : CKSC_000		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6000 _H	クロック・ドメイン : ISO0_0		
初期値	0000 0074 _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0008 _H	高速 IntOsc [8 MHz] / 2	≤ 64MHz ^b	CKSCLK_000	CPU, CPU サブシステム : CPUCLK
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
000B _H	高速 IntOsc [8 MHz] / 32			
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
003A _H	高速 IntOsc [8 MHz]/1 ^c			
上記以外	設定禁止			

a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

b) 以下製品につきましては、CKSCLK_000 ≤ 48MHz となるよう設定してください。

V850E2/FE4-L : μPD70F3570, μPD70F3571, μPD70F3572

V850E2/FF4-L : μPD70F3573, μPD70F3574, μPD70F3575

V850E2/FG4-L : μPD70F3576, μPD70F3577, μPD70F3578

V850E2/FJ4-L : μPD70F3582, μPD70F3583

c) 高速 IntOsc が無効の場合は、低速 IntOsc を自動的に選択します。

注意

- CKSC_000.STPMK_000 ビットの設定にかかわらず、スタンバイ・モードに遷移すると、CKSCLK_000 のクロック供給は停止します。

- 以下の周辺機能の PCLK は、ISO0_0 ドメイン・クロック の選択により決まります。

WDTA1: PCLK = CKSCLK_000 / 2

CLMA3: PCLK = CKSCLK_000 / 2

ISO0 ポート制御, フィルタ制御 : PCLK = CKSCLK_000 / 2

(2) クロック・ドメイン ISO0_6

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

本クロック・ドメインで選択するクロックは、システム全体のクロックになるため、クロック供給を行う場合、ソフトウェアで選択したクロック・ソースを停止させないでください。

クロック選択制御レジスタ : CKSC_006		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6060 _H	クロック・ドメイン : ISO0_6		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_006	TAUB0 : PCLK TAUB1 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL / 1			
0015 _H	PLL / 2			
0017 _H	PLL / 4			
001A _H	PLL / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(3) クロック・ドメイン ISO0_7

クロック選択制御レジスタ : CKSC_007		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6070 _H	クロック・ドメイン : ISO0_7		
初期値	0000 0006 _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	-	CKSCLK_007	WDTA1 : WDTATCKI
0003 _H	低速 IntOsc [240 kHz] / 4			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(4) クロック・ドメイン ISO0_11

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_011		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60B0 _H	クロック・ドメイン : ISO0_11		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_011	URTE10 : PCLK URTE11 : PCLK LMA10 : PCLK LMA11 : PCLK CNTA2 : PCLK CSIG4 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(5) クロック・ドメイン ISO0_12

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_012		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60C0 _H	クロック・ドメイン : ISO0_12		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_012	ADCA0 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

注意 スタンバイ・モード遷移時に、CKSCLK_012 のクロック供給を停止したい場合、CKSC_012 レジスタのクロックソース ID ビットに 0000_H (クロック選択なし) を設定してください。
CKSC_012.STPMK_012 ビットを 1 にしないでください。

(6) クロック・ドメイン ISO0_16

クロック選択制御レジスタ : CKSC_016		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6100 _H	クロック・ドメイン : ISO0_16		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_016	ポート・フィルタ : DNFATCKI
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(7) クロック・ドメイン ISO0_28

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_028		電力供給領域 : Isolated エリア 0		
アドレス	FF42 A080 _H	クロック・ドメイン : ISO0_28		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_028	CSIG0 : PCLK IICB0 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(8) クロック・ドメイン ISO0_29

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_029		電力供給領域 : Isolated エリア 0		
アドレス	FF42 A090 _H	クロック・ドメイン : ISO0_29		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_029	CSIG7 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(9) クロック・ドメイン ISO0_32

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_032		電力供給領域 : Isolated エリア 0		
アドレス	FF42 A0C0	クロック・ドメイン : ISO0_32		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_032	OSTM0 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(10) クロック・ドメイン ISO0_33

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_033		電力供給領域 : Isolated エリア 0		
アドレス	FF42 A0D0	クロック・ドメイン : ISO0_33		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_033	FCN0 : PCLK FCN1 : PCLK FCN2 : PCLK FCN3 : PCLK FCN4 : PCLK FCN5 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

(11) クロック・ドメイン ISO0_34

CKSC_mn レジスタで選択したクロック・ソースを、STOP/DEEPSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_mn レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_034		電力供給領域 : Isolated エリア 0		
アドレス	FF42 A0E0	クロック・ドメイン : ISO0_34		
初期値	0000 000E _H			
クロック・ソース ID ^a	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_034	URTE2-4 : PCLK LMA2-4 : PCLK CNTA1 : PCLK
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

- a) CKSC_mn レジスタのクロックソース ID ビット (CKSC_mn.CKSCID_mn[30:0]) の値です。CKSC_mn レジスタに設定する場合、ビット 31 - ビット 1 に本値を設定してください。

7.5 クロック・コントローラのレジスタ

この節では、クロック・コントローラのすべてのレジスタについて説明します。

7.5.1 クロック・コントローラ・レジスタの概要

クロック・コントローラは、次のレジスタで制御します。

表 7-4 クロック・コントローラ・レジスタの一覧

レジスタ名	略号	アドレス
クロック発生回路レジスタ：		
MainOsc イネーブル・レジスタ	MOSCE	FF42 1010 _H
MainOsc ステータス・レジスタ	MOSCS	FF42 1014 _H
MainOsc 制御レジスタ	MOSCC	FF42 1018 _H
MainOsc 安定時間レジスタ	MOSCST	FF42 101C _H
高速 IntOsc イネーブル・レジスタ	ROSCE	FF42 1000 _H
高速 IntOsc ステータス・レジスタ	ROSCS	FF42 1004 _H
PLL0 イネーブル・レジスタ	PLLE0	FF42 5000 _H
PLL0 ステータス・レジスタ	PLLS0	FF42 5004 _H
PLL0 制御レジスタ	PLLC0	FF42 5008 _H
PLL0 安定時間レジスタ	PLLST0	FF42 500C _H
クロック選択レジスタ：		
AWO のクロック選択制御／ステータス・レジスタ	CKSC_An CSCSTAT_An	FF42 2020 _H ~ FF42 2074 _H
Iso0 のクロック選択制御／ステータス・レジスタ	CKSC_0n CSCSTAT_0n	FF42 6000 _H ~ FF42 6104 _H , FF42 A080 _H ~ FF42 A0E4 _H

7.5.2 クロック発生回路レジスタ

(1) MOSCE - MainOsc イネーブル・レジスタ

MainOsc の起動と停止，およびスタンバイ・モード時の動作を指定します。

このレジスタへの書き込みは，保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスにより実施してください。

詳細は 7.3.5 「保護レジスタへの書き込み」の説明を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 1010_H

初期値 0000 0004_H パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッガ・リセット) によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	STP MK	DIS TRG	EN TRG
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

表 7-5 MOSCE レジスタの内容

ビット位置	ビット名	機能
2	STPMK	MainOsc 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク MainOsc 停止要求をマスク (STPMK = 1) すると, MainOsc はスタンバイ・モードでも動作を継続します。 STPMK = 0 かつ, MainOsc 発振状態でスタンバイ・モードに移行すると MainOsc は発振を停止し, スタンバイ・モードから復帰したときに発振を再開します。
1	DISTRG	MainOsc 停止トリガ 0: 機能なし 1: MainOsc 停止 このビットを読み出すと常に 0 を返します。
0	ENTRG	MainOsc 許可トリガ 0: 機能なし 1: MainOsc 起動 このビットを読み出すと常に 0 を返します。

(2) MOSCS - MainOsc ステータス・レジスタ

MainOsc の各種ステータス情報を提供します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 1014_H

初期値 0000 0000_H パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	CLK EN	CLK ACT	CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7-6 MOSCS レジスタの内容

ビット位置	ビット名	機能
2	CLKEN	MainOsc 有効/無効ステータス 0 : MainOsc 無効 1 : MainOsc 有効
1	CLKACT	MainOsc アクティブ/インアクティブ・ステータス 0 : MainOsc インアクティブ 1 : MainOsc アクティブ
0	CLKSTAB	MainOsc 安定ステータス 0 : MainOsc 不安定 1 : MainOsc 安定

(3) MOSCC - MainOsc 制御レジスタ

MainOsc の起動と停止, およびスタンバイ・モード時の動作を指定します。

MainOsc が非動作 (MOSCS.CLKEN = 0) の場合のみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 1018_H

初期値 0000 0000_H パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	SHT STBY	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 7-7 MOSCC レジスタの内容

ビット位置	ビット名	機能
2	SHTSTBY	安定時間短縮モードの設定 0: 通常安定時間モード: MainOsc 安定時間の間, MainOsc 増幅ゲインは通常 1: 安定時間短縮モード: MainOsc 安定時間の間, MainOsc 増幅ゲインは最大

(4) MOSCST - MainOsc 安定時間レジスタ

MainOsc 安定時間を指定します。

MainOsc が非動作 (MOSCS.CLKEN = 0) の場合のみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 101C_H

初期値 0000 0000_H パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	MOST[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 7-8 MOSCST レジスタの内容

ビット位置	ビット名	機能																																																					
3-0	MOST[3:0]	<p>MainOsc 安定時間設定 デフォルトでは、MainOsc 安定カウンタは高速 IntOsc で動作しています。 高速 IntOsc が無効 (ROSCS.CLKEN = 0) の場合、安定カウンタ・クロックは自動的に低速 IntOsc に変更します。</p> <table border="1"> <thead> <tr> <th rowspan="2">MOST[3:0]</th> <th colspan="2">MainOsc 安定時間</th> </tr> <tr> <th>高速 IntOsc 有効時 (ROSCS.CLKEN = 1)</th> <th>高速 IntOsc 無効時 (ROSCS.CLKEN = 0)</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>$2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}$</td> <td>$2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}$</td> </tr> <tr> <td>0001_B</td> <td>$2^3 / 8 \text{ MHz} = 1 \mu\text{s}$</td> <td>$2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}$</td> </tr> <tr> <td>0010_B</td> <td>$2^4 / 8 \text{ MHz} = 2 \mu\text{s}$</td> <td>$2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}$</td> </tr> <tr> <td>0011_B</td> <td>$2^5 / 8 \text{ MHz} = 4 \mu\text{s}$</td> <td>$2^5 / 240 \text{ kHz} = 133 \mu\text{s}$</td> </tr> <tr> <td>0100_B</td> <td>$2^6 / 8 \text{ MHz} = 8 \mu\text{s}$</td> <td>$2^6 / 240 \text{ kHz} = 267 \mu\text{s}$</td> </tr> <tr> <td>0101_B</td> <td>$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$</td> <td>$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$</td> </tr> <tr> <td>0110_B</td> <td>$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$</td> <td>$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$</td> </tr> <tr> <td>0111_B</td> <td>$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$</td> <td>$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$</td> </tr> <tr> <td>1000_B</td> <td>$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$</td> <td>$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$</td> </tr> <tr> <td>1001_B</td> <td>$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$</td> <td>$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$</td> </tr> <tr> <td>1010_B</td> <td>$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$</td> <td>$2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}$</td> </tr> <tr> <td>1011_B</td> <td>$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$</td> <td>$2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}$</td> </tr> <tr> <td>1100_B</td> <td>$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$</td> <td>$2^{14} / 240 \text{ kHz} = 68.27 \text{ ms}$</td> </tr> <tr> <td>1101_B</td> <td>$2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}$</td> <td>$2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}$</td> </tr> <tr> <td>1110_B</td> <td>$2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}$</td> <td>$2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}$</td> </tr> <tr> <td>1111_B</td> <td>$2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}$</td> <td>$2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}$</td> </tr> </tbody> </table> <p>備考:</p> <ul style="list-style-type: none"> 8 MHz (Typ.): 高速 IntOsc 240 kHz (Typ.): 低速 IntOsc 	MOST[3:0]	MainOsc 安定時間		高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)	0000 _B	$2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}$	$2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}$	0001 _B	$2^3 / 8 \text{ MHz} = 1 \mu\text{s}$	$2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}$	0010 _B	$2^4 / 8 \text{ MHz} = 2 \mu\text{s}$	$2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}$	0011 _B	$2^5 / 8 \text{ MHz} = 4 \mu\text{s}$	$2^5 / 240 \text{ kHz} = 133 \mu\text{s}$	0100 _B	$2^6 / 8 \text{ MHz} = 8 \mu\text{s}$	$2^6 / 240 \text{ kHz} = 267 \mu\text{s}$	0101 _B	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$	0110 _B	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$	0111 _B	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$	1000 _B	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$	1001 _B	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$	1010 _B	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}$	1011 _B	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}$	1100 _B	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.27 \text{ ms}$	1101 _B	$2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}$	$2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}$	1110 _B	$2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}$	$2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}$	1111 _B	$2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}$	$2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}$
MOST[3:0]	MainOsc 安定時間																																																						
	高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)																																																					
0000 _B	$2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}$	$2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}$																																																					
0001 _B	$2^3 / 8 \text{ MHz} = 1 \mu\text{s}$	$2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}$																																																					
0010 _B	$2^4 / 8 \text{ MHz} = 2 \mu\text{s}$	$2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}$																																																					
0011 _B	$2^5 / 8 \text{ MHz} = 4 \mu\text{s}$	$2^5 / 240 \text{ kHz} = 133 \mu\text{s}$																																																					
0100 _B	$2^6 / 8 \text{ MHz} = 8 \mu\text{s}$	$2^6 / 240 \text{ kHz} = 267 \mu\text{s}$																																																					
0101 _B	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$																																																					
0110 _B	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$																																																					
0111 _B	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$																																																					
1000 _B	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$																																																					
1001 _B	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$																																																					
1010 _B	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}$																																																					
1011 _B	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}$																																																					
1100 _B	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.27 \text{ ms}$																																																					
1101 _B	$2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}$	$2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}$																																																					
1110 _B	$2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}$	$2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}$																																																					
1111 _B	$2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}$	$2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}$																																																					

(5) ROSCE - 高速 IntOsc イネーブル・レジスタ

高速 IntOsc の起動と停止、およびスタンバイ・モード時の動作を指定します。

このレジスタへの書き込みは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスにより実施してください。

詳細は 7.3.5 「保護レジスタへの書き込み」の説明を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 1000_H

初期値 0000 0004_H パワーアップ・リセット PURES（パワーオン・クリア・リセットまたはデバッグ・リセット）によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	STP MK	0 ^a	0 ^a
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

a) このレジスタに書き込む場合、ビット 1, 0 には 0 を書いてください。

表 7-9 ROSCE レジスタの内容

ビット位置	ビット名	機能
2	STPMK	高速 IntOsc 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク 高速 IntOsc 停止要求をマスク (STPMK = 1) すると、高速 IntOsc はスタンバイ・モードでも動作を継続します。 STPMK = 0 かつ、高速 IntOsc 発振状態でスタンバイ・モードに移行すると高速 IntOsc は発振を停止し、スタンバイ・モードから復帰したときに発振を再開します。

(6) ROSCS - 高速 IntOsc ステータス・レジスタ

高速 IntOsc のさまざまなステータス情報を提供します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 1004_H

初期値 0000 0007_H パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	CLK EN	CLK ACT	CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7-10 ROSCS レジスタの内容

ビット位置	ビット名	機能
2	CLKEN	高速 IntOsc 有効/無効ステータス 0: 高速 IntOsc 無効 1: 高速 IntOsc 有効
1	CLKACT	高速 IntOsc アクティブ/インアクティブ・ステータス 0: 高速 IntOsc インアクティブ 1: 高速 IntOsc アクティブ
0	CLKSTAB	高速 IntOsc 安定ステータス 0: 高速 IntOsc 不安定 1: 高速 IntOsc 安定

(7) PLLE0 - PLL0 イネーブル・レジスタ

PLL0 の起動と停止、およびスタンバイ・モード時の動作を指定します。

このレジスタへの書き込みは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスにより実施してください。

詳細は 7.3.5 「保護レジスタへの書き込み」の説明を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 5000_H

初期値 0000 0004_H どのリセット要因でも初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	STP MK	DIS TRG	EN TRG
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

表 7-11 PLLE0 レジスタの内容

ビット位置	ビット名	機能
2	STPMK	PLL0 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク PLL0 停止要求をマスク (STPMK = 1) すると、PLL0 は STOP スタンバイ・モードでも動作を継続します。 STPMK = 0 かつ、PLL0 発振状態で STOP スタンバイ・モードに移行すると PLL0 は発振を停止し、STOP スタンバイ・モードから復帰したときに発振を再開します。
1	DISTRG	PLL0 停止トリガ 0: 機能なし 1: PLL0 停止 このビットを読み出すと常に 0 を返します。
0	ENTRG	PLL0 起動トリガ 0: 機能なし 1: PLL0 起動 このビットを読み出すと常に 0 を返します。

(8) PLLS0 - PLL0 ステータス・レジスタ

PLL0 のさまざまなステータス情報を提供します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 5004_H

初期値 0000 0000_H どのリセット要因でも初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	CLK EN	CLK ACT	CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7-12 PLLS0 レジスタの内容

ビット位置	ビット名	機能
2	CLKEN	PLL0 有効／無効ステータス 0 : PLL0 無効 1 : PLL0 有効
1	CLKACT	PLL0 アクティブ／インクティブ・ステータス 0 : PLL0 インアクティブ 1 : PLL0 アクティブ
0	CLKSTAB	PLL0 安定ステータス 0 : PLL0 不安定 1 : PLL0 安定

(9) PLLC0 - PLL0 制御レジスタ

PLL0 出カクロック f_{PL0} の周波数を指定します。

PLL0 が非動作 (PLLS0.CLKEN = 0) の場合のみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 5008_H

初期値 0000 0000_H どのリセット要因でも初期化します。

PLL0 発振開始後 (PLLE0.ENTRG = 1), 本レジスタは変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	LPF1	LPF0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0 ^a	0 ^a	P[1:0]	0	0	0	N[4:0]					
R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

a) このレジスタに書き込む場合、ビット 11, 10 には 0 を書いてください。

表 7-13 PLLC0 レジスタの内容

ビット位置	ビット名	機能															
29, 28	LPF[1:0]	PLL 入力周波数の設定 <table border="1"> <thead> <tr> <th>LPF[1:0]</th><th>PLL 入力周波数 (Main OSC)</th></tr> </thead> <tbody> <tr> <td>00_B</td><td>16/20 MHz</td></tr> <tr> <td>01_B</td><td>8/10/12 MHz</td></tr> <tr> <td>10_B</td><td>4/5/6 MHz</td></tr> <tr> <td>11_B</td><td>設定禁止</td></tr> </tbody> </table>	LPF[1:0]	PLL 入力周波数 (Main OSC)	00 _B	16/20 MHz	01 _B	8/10/12 MHz	10 _B	4/5/6 MHz	11 _B	設定禁止					
LPF[1:0]	PLL 入力周波数 (Main OSC)																
00 _B	16/20 MHz																
01 _B	8/10/12 MHz																
10 _B	4/5/6 MHz																
11 _B	設定禁止																
9, 8	P[1:0]	P 分周器の選択 <table border="1"> <thead> <tr> <th>P[1:0]</th><th>Pr</th><th>PLL 出力周波数範囲</th></tr> </thead> <tbody> <tr> <td>00_B</td><td>–</td><td>設定禁止</td></tr> <tr> <td>01_B</td><td>–</td><td>設定禁止</td></tr> <tr> <td>10_B</td><td>2</td><td>40 MHz ~ 64 MHz</td></tr> <tr> <td>11_B</td><td>4</td><td>20 MHz ~ 32 MHz</td></tr> </tbody> </table>	P[1:0]	Pr	PLL 出力周波数範囲	00 _B	–	設定禁止	01 _B	–	設定禁止	10 _B	2	40 MHz ~ 64 MHz	11 _B	4	20 MHz ~ 32 MHz
P[1:0]	Pr	PLL 出力周波数範囲															
00 _B	–	設定禁止															
01 _B	–	設定禁止															
10 _B	2	40 MHz ~ 64 MHz															
11 _B	4	20 MHz ~ 32 MHz															
4-0	N[4:0]	Nr の値を設定 <table border="1"> <thead> <tr> <th>N[4:0]</th><th>Nr の値</th></tr> </thead> <tbody> <tr> <td>0 0100_B</td><td>5</td></tr> <tr> <td>0 0101_B</td><td>6</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>1 1110_B</td><td>31</td></tr> <tr> <td>1 1111_B</td><td>32</td></tr> </tbody> </table>	N[4:0]	Nr の値	0 0100 _B	5	0 0101 _B	6	:	:	1 1110 _B	31	1 1111 _B	32			
N[4:0]	Nr の値																
0 0100 _B	5																
0 0101 _B	6																
:	:																
1 1110 _B	31																
1 1111 _B	32																

(10) PLLST0 - PLL0 安定時間レジスタ

PLL0 安定時間を指定します。

PLL0 が無効 (PLLS0.CLKEN = 0) の場合のみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 500C_H

初期値 0000 0000_H どのリセット要因でも初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	PLLST0[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 7-14 PLLST0 レジスタの内容

ビット位置	ビット名	機能																													
2-0	PLLST0[2:0]	<p>PLL0 安定時間設定 デフォルトでは、PLL0 安定カウンタは高速 IntOsc で動作しています。 高速 IntOsc が無効 (ROSCS.CLKEN = 0) の場合、安定カウンタ・クロックは自動的に低速 IntOsc に変更します。</p> <table border="1"> <thead> <tr> <th rowspan="2">PLLST0[2:0]</th><th colspan="2">PLL0 安定時間</th></tr> <tr> <th>高速 IntOsc 有効時 (ROSCS.CLKEN = 1)</th><th>高速 IntOsc 無効時 (ROSCS.CLKEN = 0)</th></tr> </thead> <tbody> <tr> <td>000_B</td><td>$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$</td><td>$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$</td></tr> <tr> <td>001_B</td><td>$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$</td><td>$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$</td></tr> <tr> <td>010_B</td><td>$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$</td><td>$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$</td></tr> <tr> <td>011_B</td><td>$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$</td><td>$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$</td></tr> <tr> <td>100_B</td><td>$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$</td><td>$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$</td></tr> <tr> <td>101_B</td><td>$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$</td><td>$2^{12} / 240 \text{ kHz} = 17.057 \text{ ms}$</td></tr> <tr> <td>110_B</td><td>$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$</td><td>$2^{13} / 240 \text{ kHz} = 34.133 \text{ ms}$</td></tr> <tr> <td>111_B</td><td>$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$</td><td>$2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}$</td></tr> </tbody> </table> <p>備考：</p> <ul style="list-style-type: none"> 8 MHz (Typ.) : 高速 IntOsc 240 kHz (Typ.) : 低速 IntOsc 	PLLST0[2:0]	PLL0 安定時間		高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)	000 _B	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$	001 _B	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$	010 _B	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$	011 _B	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$	100 _B	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$	101 _B	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.057 \text{ ms}$	110 _B	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.133 \text{ ms}$	111 _B	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}$
PLLST0[2:0]	PLL0 安定時間																														
	高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)																													
000 _B	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$																													
001 _B	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$																													
010 _B	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$																													
011 _B	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$																													
100 _B	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$																													
101 _B	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.057 \text{ ms}$																													
110 _B	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.133 \text{ ms}$																													
111 _B	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}$																													

7.5.3 保護コマンド・レジスタの詳細

(1) PROTCMDm – 保護コマンド・レジスタ m (m = 0, 2)

ライト保護レジスタに対するライト保護解除シーケンスを開始するための保護コマンド・レジスタです。

アクセス 8ビット単位でライト可能です。

このレジスタを読み出すと常に0を返します。

アドレス PROTCMD0 : FF42 4000_H

PROTCMD2 : FF42 0300_H

初期値 00_H どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
PCMD7	PCMD6	PCMD5	PCMD4	PCMD3	PCMD2	PCMD1	PCMD0
W	W	W	W	W	W	W	W

詳細は 7.3.5 「保護レジスタへの書き込み」の説明を参照してください。

表 7-15 PROTCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	PCMD7-PCMD0	保護レジスタへのライト保護コマンド A5 _H : ライト保護コマンド

(2) PROTSm – 保護ステータス・レジスタ m (m = 0, 2)

PROTCMDm によって動作するライト保護解除シーケンスの状態を示します。

アクセス 8ビット単位でリード可能です。

このレジスタへの書き込みは無効です。

アドレス PROTS0 : FF42 4004_H

PROTS2 : FF42 0304_H

初期値 00_H どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROT ERR
R	R	R	R	R	R	R	R

表 7-16 PROTSm レジスタの内容

ビット位置	ビット名	機能
0	PROTERR	保護ライト・シーケンス・エラー・モニタ 0: 保護エラーなし 1: 保護エラーあり

7.5.4 クロック選択制御レジスタ

(1) CKSC_mn – クロック選択制御レジスタ

各クロック・ドメインのクロックを選択します。

このレジスタへの書き込みは、保護コマンド・レジスタ（PROTCMD0, PROTCMD2）を使用した特定の命令シーケンスにより実施してください。

m = 0 : Iso0 CKSC_0n レジスタへの書き込みは、保護コマンド・レジスタ PROTCMD0 を使用した特定の命令シーケンスにより実施してください。

m = A: AWO CKSC_An レジスタへの書き込みは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスにより実施してください。

詳細は 7.3.5 「保護レジスタへの書き込み」の説明を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス Iso0 領域（CKSC_0n）：FF42 6000_H + n × 10_H ((n = 00 ~ 16)
FF42 A000_H + n × ((n - 20) × 10_H) (n = 28 ~ 34)

AWO 領域（CKSC_An）：FF42 2000_H + n × 10_H

初期値 詳細は 7.4 「クロックの選択」を参照してください。どのリセット要因でも初期化します。

31	30	29	28	27	26	25	24
CKSCID_mn[30:23]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
CKSCID_mn[22:15]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
CKSCID_mn[14:7]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
CKSCID_mn[6:0]							STPMK_mn
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-17 CKSC_mn レジスタの内容

ビット位置	ビット名	機能
31-1	CKSCID_mn[30:0]	クロック・ソース ID クロック・ドメイン（m = 0 のとき ISO0_n, m = A のとき AWO_n）のクロック CKSCLK_mn を指定します。
0	STPMK_mn	スタンバイ・モード時のクロック出力 CKSCLK_mn を制御します。 0 : CKSCLK_mn の出力停止 1 : CKSCLK_mn の出力継続

(2) CSCSTAT_mn – クロック選択ステータス・レジスタ

CKSC_mn によって現在選択されているクロック・ソースの ID と有効/無効状態を示します。

アクセス 32 ビット単位でリード可能です。

アドレス Iso0 領域 (CSCSTAT_0n) : FF42 6004_H + n × 10_H (n = 00 ~ 16)
FF42 A004_H + n × ((n - 20) × 10_H) (n = 28 ~ 34)

AWO 領域 (CSCSTAT_An) : FF42 2004_H + n × 10_H

初期値 詳細は 7.4 「クロックの選択」を参照してください。どのリセット要因でも初期化します。

31	30	29	28	27	26	25	24
CLKSELID_mn[30:23]							
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CLKSELID_mn[22:15]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CLKSELID_mn[14:7]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CLKSELID_mn[6:0]							CLKACT_mn
R	R	R	R	R	R	R	R

表 7-18 CSCSTAT_mn レジスタの内容

ビット位置	ビット名	機能
31-1	CLKSELID_mn[30:0]	CKSC_mn レジスタにより選択しているクロックのクロック・ソース ID
0	CLKACT_mn	CKSCLK_mn 有効/無効ステータス表示 0 : CKSCLK_mn 無効 1 : CKSCLK_mn 有効

7.6 クロック・モニタ A (CLMA)

この節では、クロック・モニタ A (CLMA) について説明します。

最初の項でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特徴について説明します。

7.6.1 V850E2/Fx4-L CLMA の特徴

チャンネル数 この製品は次のチャンネル数のクロック・モニタ A を搭載しています。

表 7-19 チャンネル

クロック・モニタ A	
チャンネル数	3
名称	CLMA0, CLMA2, CLMA3

n の意味 この章では、クロック・モニタ A の各チャンネルを「n」で識別します (n = 0, 2, 3)。たとえば、CLMA_n の制御レジスタ 0 (CLMA_nCTL0) のように記述しています。

レジスタ・アドレス CLMA_n レジスタのアドレスは、それぞれのベース・アドレス <CLMA_n_base> からのオフセットで示します。各 CLMA_n のレジスタ・ベース・アドレス <CLMA_n_base> を次の表に示します。

表 7-20 レジスタ・ベース・アドレス <CLMA_n_base>

CLMA _n	<CLMA _n _base> アドレス
CLMA0	FF80 2000 _H
CLMA2	FF80 4000 _H
CLMA3	FF80 5000 _H

クロック供給 クロック・モニタ A のすべてのモニタ・クロックとサンプリング・クロックを次の表に示します。

表 7-21 CLMA_n クロック供給

CLMA _n のクロック	機能	接続先
CLMA0 :		
CLMATSM _P	CLMA0 のサンプリング・クロック	低速 IntOsc (240 kHz)
CLMATM _{ON}	CLMA0 のモニタ・クロック	MainOsc
PCLK	PBUS clock	CKSCLK_A02
CLMA2 :		
CLMATSM _P	CLMA2 のサンプリング・クロック	低速 IntOsc (240 kHz)
CLMATM _{ON}	CLMA2 のモニタ・クロック	高速 IntOsc (8 MHz)
PCLK	PBUS clock	CKSCLK_A02
CLMA3 :		
CLMATSM _P	CLMA3 のサンプリング・クロック	高速 IntOsc (8 MHz)
CLMATM _{ON}	CLMA3 のモニタ・クロック	PLL0
PCLK	PBUS clock	CKSCLK_000 / 2

リセット出力 CLMA_n のリセット出力を次の表に示します。

表 7-22 CLMA のリセット出力

CLMA _n の信号	機能	接続先
CLMA0 :		
$\overline{\text{CLMARES}}$	CLMA0 エラー・リセット	リセット・コントローラ CLMA0RES
CLMA2 :		
$\overline{\text{CLMARES}}$	CLMA2 エラー・リセット	リセット・コントローラ CLMA2RES
CLMA3 :		
$\overline{\text{CLMARES}}$	CLMA3 エラー・リセット	リセット・コントローラ CLMA3RES

7.6.2 CLMA の有効化

クロック・モニタによるクロックの監視は、モニタするクロックが安定すると自動的に開始します。

- CLMA0 は、メイン発振回路のクロック f_X が安定すると自動的にクロックの監視を開始します。
- CLMA2 は、高速内蔵発振回路のクロック f_{RH} が安定すると自動的にクロックの監視を開始します。
- CLMA3 は、PLL0 クロック f_{PL0} が安定すると自動的にクロックの監視を開始します。

モニタ・クロックが STOP スタンバイ・モードで停止した場合は、対応するクロック・モニタも自動的に無効になります。その後、モニタ・クロックが発振を開始して安定すると、クロック・モニタは動作を再開します。

7.6.3 機能概要

クロック・モニタ CLMAn は、モニタ・クロックの周波数異常を検出します。

機能概要 クロック・モニタには次の機能があります。

- サンプリング・クロック CLMATSMIP を使用して入力クロック CLMATMON の周波数をモニタします。
- クロック異常を検出した際に異常を通知します。
 - リセット要求信号の出力

備考 一度有効にしたら、リセット以外では無効化できません。

クロック・モニタの主な構成要素を次の図に示します。

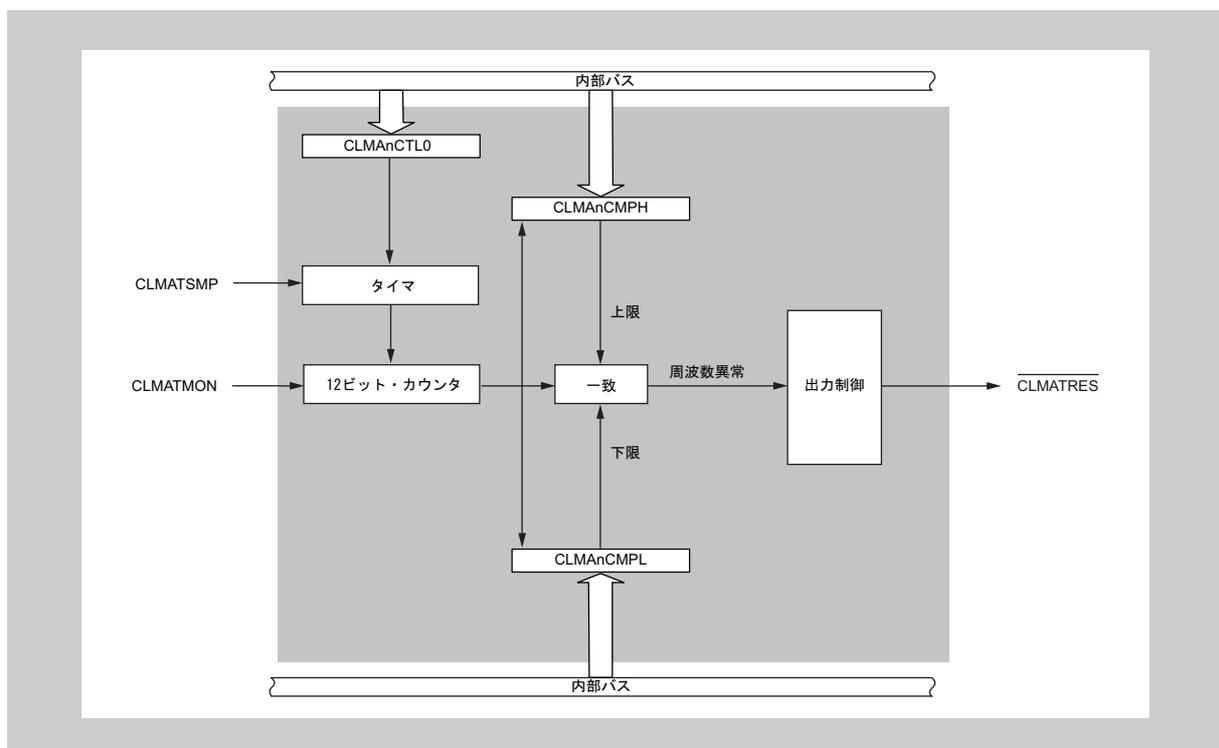


図 7-8 クロック・モニタ A のブロック図

注意 CLMA2 機能を有効にし、スタンバイモードへ遷移する場合、高速 IntOSC(8MHz) を停止しないでください。(ROSCE.STPMK = "0" を設定しないでください。)

7.6.4 機能説明

クロック・モニタ CLMAn は、クロック (CLMATMON) の周波数が特定の範囲内にあることを確認するために使用します。

(1) 異常クロック周波数の検出

- 検出方法**
- CLMAn は、サンプリング・クロック CLMATSMP の 16 サイクル内でモニタ・クロック CLMATMON の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します。
 - CLMAnCMPL.CLMAnCMPL[11:0] は下のしきい値を指定します。
 - CLMAnCMPH.CLMAnCMPH[11:0] は上のしきい値を指定します。
 - CLMATMON が停止した場合、またはその周波数が低い場合は、カウント値は CLMAnCMPL.CLMAnCMPL[11:0] の設定値を下回ります。
 - CLMATMON の周波数が高い場合は、カウント値が CLMAnCMPH.CLMAnCMPH[11:0] の設定値を上回ります。

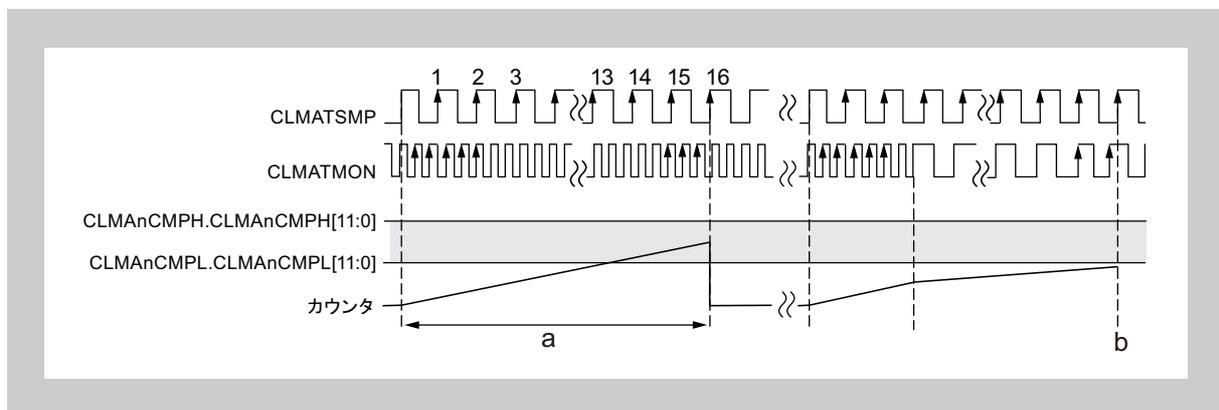


図 7-9 例： f_{CLMATMON} が低い場合

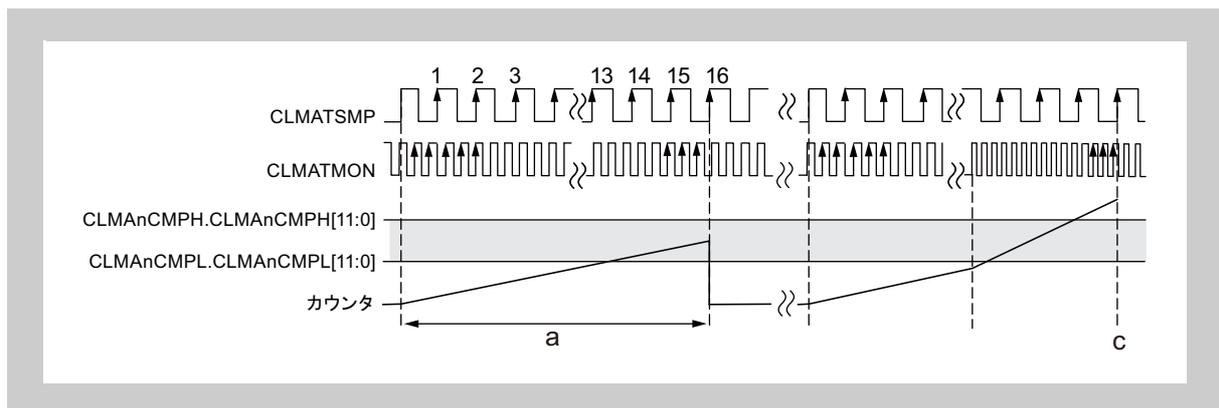


図 7-10 例： f_{CLMATMON} が高い場合

備考 サンプリング・インターバル内で f_{CLMATMON} が高く（もしくは低く）なっても、有効なカウント値に収まる可能性があります。

f_{CLMATMON} の異常は、1 サンプル・インターバル後に検出します。

(a) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペア・レジスタ CLMAnCMPL と CLMAnCMPH には、サンプリング・クロック CLMATSMPL の 16 サイクル内で有効と想定される CLMATMON のクロック・サイクルの最小値と最大値を設定します。

期待されるクロック・サイクル数を N で表します。

$$\frac{16}{f_{\text{CLMATSMPL}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMPL}}} \times 16$$

CLMATMON と CLMATSMPL の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{\text{CLMATMON}(\min)}{\text{CLMATSMPL}(\max)} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{\text{CLMATMON}(\max)}{\text{CLMATSMPL}(\min)} \times 16 + 1 \end{aligned}$$

例 $f_{\text{CLMATSMPL}} = 240 \text{ kHz} (\pm 8\%)$ および $f_{\text{CLMATMON}} = 16 \text{ MHz} (\pm 5\%)$ の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 - 1 \\ &= 937.27 \\ \text{CLMAnCMPL} &= 937 = 03A9_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 + 1 \\ &= 1218.39 \\ \text{CLMAnCMPH} &= 1219 = 04C3_{\text{H}} \end{aligned}$$

備考 DEEPSTOP (PSC.REGSTP = 1) を使用する場合、240kHzROSC と 8MHzROSC の周波数範囲が変わるため、CLMAnCMPL、CLMAnCMPH レジスタの設定には注意して下さい。240kHzROSC と 8MHzROSC の周波数範囲についての詳細は、「電気的特性 (ターゲット)」を参照してください。

最小しきい値 次の制限事項を考慮する必要があります。

- CLMAnCMPL \geq 0001_H
- CLMAnCMPH \geq CLMAnCMPL + 0003_H

(b) しきい値レジスタの初期値入力の定義

しきい値レジスタの初期値／リセット値はモニタ・クロックの最大周波数偏差が許容されるように設定します。

- CLMAnCMPL[11 : 0] = 0001_H
- CLMAnCMPH[11 : 0] = 03FF_H

(2) 異常クロック周波数の通知

f_{CLMATMON} が f_{CLMATMON} が上限しきい値よりも高い場合、次のように示されます。
 f_{CLMATMON} が高い場合

1. リセット要求信号 $\overline{\text{CLMATRES}}$ をロウ・レベルに設定
2. システム・リセット $\overline{\text{PRESET}}$ が発生し、CLMAn をリセット

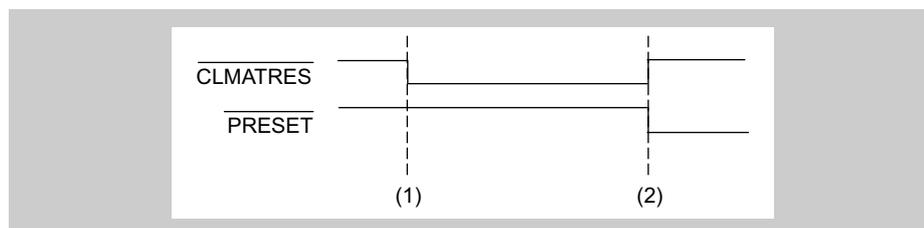


図 7-11 f_{CLMATMON} が上限しきい値よりも高い場合のエラー要求信号

f_{CLMATMON} が f_{CLMATMON} が下限しきい値よりも低い場合、次のように示されます。
 f_{CLMATMON} が低い場合

1. リセット要求信号 $\overline{\text{CLMATRES}}$ をロウ・レベルに設定
2. システム・リセット $\overline{\text{PRESET}}$ が発生し、CLMAn をリセット

(3) CLMAn 有効 (CLMAnCTL0 へのライト)

制御レジスタ CLMAnCTL0 は、CLMAn を有効にするためのライト保護レジスタです。

備考 CLMAnCTL0.CLMAnCLME ビットに 1 を書き込むことで、CLMAn 機能を有効にできます。CLMAnCTL0 レジスタは、ライト保護レジスタです。CLMAnCTL0 レジスタへの書き込みは、保護コマンド・レジスタ CLMAnPCMD を使用した特定の命令シーケンスにより行ってください。なお、CLMAn 機能は、一度有効にしたらリセット以外では無効化することができません。

(a) CLMAnCTL0 の初期値

CLMAnCTL0 の初期値は、00_H (CLMAn 無効) です。

(b) CLMAn 有効化の書き込み手順

CLMAnCTL0 を 01_H に設定するには、次の命令シーケンスに従ってください。

1. A5_H を CLMAnPCMD に書き込みます。
2. 次のシーケンスで CLMAnCTL0 に書き込みを行います。
 - 01_H を書き込んで CLMAn を有効にする
 - 反転値 FE_H を書き込む
 - 再度目的の値 01_H を書き込む
3. CLMAnCTL0 を読み出します。

CLMAnCTL0 の値が 01_H になっていれば、CLMAn が有効になっています。

それ以外の場合は、CLMAnCTL0 ライト動作ステータス・レジスタ CLMAnPS の値を確認します。

- CLMAnPS.CLMAnPRERR = 1 の場合、命令シーケンスが正しく実行されていません。手順 1 から再度命令シーケンスを実行してください。
- CLMAnPS.CLMAnPRERR = 0 の場合、CLMAnPCMD レジスタに 00_H を書き込み、手順 1 から再度命令シーケンスを実行してください。

7.6.5 クロック・モニタ・レジスタ

クロック・モニタは、次のレジスタで制御します。

表 7-23 クロック・モニタ・レジスタの一覧

レジスタ名	略号	アドレス
CLMAn 制御レジスタ 0	CLMAnCTL0	<CLMAn_base> + 00 _H
CLMAn コンペア・レジスタ L	CLMAnCMPL	<CLMAn_base> + 08 _H
CLMAn コンペア・レジスタ H	CLMAnCMPH	<CLMAn_base> + 0C _H
CLMAn エミュレーション・レジスタ 0	CLMAnEMU0	<CLMAn_base> + 18 _H
CLMAn 保護コマンド・レジスタ	CLMAnPCMD	<CLMAn_base> + 10 _H
CLMAn 保護ステータス・レジスタ	CLMAnPS	<CLMAn_base> + 14 _H

<CLMAn_base> CLMAn のベース・アドレス <CLMAn_base> は、この章の最初の節「クロック・モニタ A (CLMA)」内の「レジスタ・アドレス」で定義しています。

(1) CLMAnCTL0 - CLMAn 制御レジスタ 0

クロック・モニタ CLMAn を有効にします。

アクセス 8 ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、保護コマンド・レジスタ (CLMAnPCMD) を使用した特定の命令シーケンスにより実施してください。

詳細は 7.6.4 (3) 「CLMAn 有効 (CLMAnCTL0 へのライト)」を参照してください。

アドレス <CLMAn_base> + 00_H

初期値 00_H

どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn CLME
R	R	R	R	R	R	R	R/W

表 7-24 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CLMAnCLME	クロック・モニタの有効/無効を設定します。 0: CLMAn 無効 1: CLMAn 有効

(2) CLMAnCMPH - CLMAn コンペア・レジスタ H

周波数の上限値を指定します。

詳細は 7.6.4 (a) 「しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

アドレス <CLMAn_base> + 0C_H

初期値 03FF_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPH[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-25 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPH[11:0]	上のしきい値を指定します。 <ul style="list-style-type: none"> 推奨値 : $f_{\text{CLMATMON}(\text{max})} / f_{\text{CLMATSMP}(\text{min})} \times 16 + 1$ 最小値 : CLMAnCMPL + 0003_H

(3) CLMAnCMPL - CLMAn コンペア・レジスタ L

周波数の下限値を指定します。

詳細は 7.6.4 (a) 「しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

アドレス <CLMAn_base> + 08_H

初期値 0001_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPL[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-26 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPL[11:0]	下のしきい値を指定します。 <ul style="list-style-type: none"> 推奨値 : $f_{\text{CLMATMON}(\text{min})} / f_{\text{CLMATSMPL}(\text{max})} \times 16 - 1$ 最小値 : 0001_H

(4) CLMAnEMU0 - CLMAn エミュレーション・レジスタ 0

CLMAnEMU0 レジスタを設定することにより、 f_{CLMATMON} を評価することができます。

デバッグ中のブレーク・モード時に設定可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CLMAn_base> + 18_H

初期値 00_H どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CLMAn SLFST	CLMAn SLSLW
R	R	R	R	R	R	R/W	R/W

表 7-27 CLMAnEMU0 レジスタの内容

ビット位置	ビット名	機能
1	CLMAnSLFST	エミュレーション中の f_{CLMATMON} を高く想定するかどうかを指定します。 0 : CLMATMON は正常な周波数範囲内 1 : CLMATMON が上限しきい値を上回った場合をエミュレーション
0	CLMAnSLSLW	エミュレーション中の f_{CLMATMON} を低く想定するかどうかを指定します。 0 : CLMATMON は正常な周波数範囲内 1 : CLMATMON が下限しきい値を下回った場合をエミュレーション

注意 CLMAnSLFST ビットと CLMAnSLSLW ビットを同時に 1 にしないでください。

7.6.6 クロック・モニタ保護レジスタの詳細

(1) CLMAnPCMD – CLMAn 保護コマンド・レジスタ

CLMAnCTL0 レジスタの保護コマンド・レジスタです。

アクセス 8 ビット単位でライトのみ可能です。

このレジスタを読み出すと常に 0 を返します。

アドレス <CLMAn_base> + 10_H

初期値 不定

7	6	5	4	3	2	1	0
CLMAnREG[7:0]							
W	W	W	W	W	W	W	W

表 7-28 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7-0	CLMAnREG[7:0]	保護レジスタへのライト保護コマンド A5 _H : ライト保護コマンド

(2) CLMAnPS – CLMAn 保護ステータス・レジスタ

書き込み保護レジスタ (CLMAnCTL0) への書き込みが正常に行われたかどうかを確認するレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <CLMAn_base> + 14_H

初期値 00_H どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn PRERR
R	R	R	R	R	R	R	R

表 7-29 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
0	CLMAnPRERR	書き込み保護レジスタ (CLMAnCTL0) への書き込みが成功したかどうかを示します 0 : 書き込み動作成功 1 : 書き込み動作失敗

第8章 スタンバイ・コントローラ (STBC)

この章では、スタンバイ・コントローラの一般的な内容について説明します。最初の節でレジスタのベース・アドレス、ウエイクアップ要因など、V850E2/Fx4-Lに固有の特徴について説明します。以降の節で、スタンバイ・コントローラ搭載製品に共通の特徴について説明します。

8.1 V850E2/Fx4-L スタンバイ・コントローラの特徴

レジスタ・アドレス スタンバイ・コントローラ・レジスタのアドレスは、それぞれのベース・アドレス <STBC_base> からのオフセットで示します。スタンバイ・コントローラのベース・アドレス <STBC_base> を次の表に示します。

表 8-1 レジスタ・ベース・アドレス <STBC_base>

STBC	<STBC_base> アドレス
スタンバイ・コントローラ	FF42 0000 _H

STBC リセット スタンバイ・コントローラとそのレジスタは、次のリセット信号で初期化します。

表 8-2 STBC リセット信号

STBC	リセット信号
スタンバイ・コントローラ	リセット・コントローラ SYSRES リセット・コントローラ PURES

ウエイクアップ要因 パワー・セーブ・モードを終了するウエイクアップ・イベントは、次のスタンバイ・コントローラ・レジスタで制御し、確認することができます。

- WUFL0, WUFMSKL0, WUFCL0
- WUFM0, WUFMSKM0, WUFM0
- WUFH0, WUFMSKH0, WUFCH0

制御レジスタ・ビットとステータス・レジスタ・ビットへのウエイクアップ要因の割り当てを次の表に示します。

ウエイクアップ制御およびステータス・レジスタの詳細は、この章の 8.3.3 「ウエイクアップ・イベント・コントローラ・レジスタの詳細」を参照してください。

表 8-3 ウェイクアップ要因レジスタの割り当て (WUFL0/WUFMSKL0/WUFCL0)

WUFL0/WUFMSKL0/WUFCL0 レジスタ・ビットの割り当て			ウェイクアップ要因			
			ウェイクアップ 要因	モジュール	電源 ドメイン	クロック・ ドメイン
WUFL000	WUFMSKL000	WUFCL000	NMI	ポート	AWO	-
WUFL001	WUFMSKL001	WUFCL001	INTWDTA0	WDTA0	AWO	CKSCLK_ A07
WUFL002	WUFMSKL002	WUFCL002	INTLVI	LVI	AWO	-
WUFL003	WUFMSKL003	WUFCL003	INTKR0	KR0	AWO	CKSCLK_ A02
WUFL004	WUFMSKL004	WUFCL004	-	-	-	-
WUFL005	WUFMSKL005	WUFCL005	-	-	-	-
WUFL006	WUFMSKL006	WUFCL006	-	-	-	-
WUFL007	WUFMSKL007	WUFCL007	INTP0	ポート	AWO	-
WUFL008	WUFMSKL008	WUFCL008	INTP1	ポート	AWO	-
WUFL009	WUFMSKL009	WUFCL009	INTP2	ポート	AWO	-
WUFL010	WUFMSKL010	WUFCL010	INTP3	ポート	AWO	-
WUFL011	WUFMSKL011	WUFCL011	INTP4	ポート	AWO	-
WUFL012	WUFMSKL012	WUFCL012	INTP5 ^a	ポート	AWO	-
WUFL013	WUFMSKL013	WUFCL013	INTP6	ポート	AWO	-
WUFL014	WUFMSKL014	WUFCL014	INTP7 ^a	ポート	AWO	-
WUFL015	WUFMSKL015	WUFCL015	INTP8	ポート	AWO	-
WUFL016	WUFMSKL016	WUFCL016	INTP9 ^a	ポート	AWO	-
WUFL017	WUFMSKL017	WUFCL017	INTP10 ^a	ポート	AWO	-
WUFL018	WUFMSKL018	WUFCL018	INTP11	ポート	AWO	-
WUFL019	WUFMSKL019	WUFCL019	INTP12	ポート	AWO	-
WUFL020	WUFMSKL020	WUFCL020	INTP13 ^a	ポート	ISO0	-
WUFL021	WUFMSKL021	WUFCL021	INTP14 ^a	ポート	ISO0	-
WUFL022	WUFMSKL022	WUFCL022	-	-	-	-
WUFL023	WUFMSKL023	WUFCL023	FCN0RX	ポート	AWO	-
WUFL024	WUFMSKL024	WUFCL024	FCN1RX ^a	ポート	AWO	-
WUFL025	WUFMSKL025	WUFCL025	FCN2RX ^a	ポート	AWO	-
WUFL026	WUFMSKL026	WUFCL026	FCN3RX ^a	ポート	AWO	-
WUFL027	WUFMSKL027	WUFCL027	FCN4RX ^a	ポート	AWO	-
WUFL028	WUFMSKL028	WUFCL028	FCN5RX ^a	ポート	AWO	-
WUFL029	WUFMSKL029	WUFCL029	INTFCN0REC	FCN0	ISO0	CKSCLK_ 033
WUFL030	WUFMSKL030	WUFCL030	INTFCN1REC ^a	FCN1	ISO0	CKSCLK_ 033
WUFL031	WUFMSKL031	WUFCL031	SEQUP	SEQ0	AWO	-

a) 製品によって機能をサポートしていません。利用可能な要因は、「4.2.1 V850E2/Fx4-L 割り込み要因 (2) EI レベル・マスカブル割り込み」を参照してください。

注意

- INTKR0, FCNnRX(n = 0-5) を DEEPSTOP モードのウェイクアップ要因として使用する場合は, JP0 または P0 の兼用機能を選択してください。
- 電源ドメインが ISO0 のウェイクアップ要因は, STOP モード時に使用することができません。DEEPSTOP モードからのウェイクアップに使用することができません。

表 8-4 ウェイクアップ要因レジスタの割り当て (WUFM0/WUFMSKM0/WUFCM0)

WUFM0/WUFMSKM0/WUFCM0 レジスタ・ビットの割り当て			ウェイクアップ要因			
			ウェイクアップ 要因	モジュール	電源 ドメイン	クロック・ ドメイン
WUFM000	WUFMSKM000	WUFCM000	-	-	-	-
WUFM001	WUFMSKM001	WUFCM001	-	-	-	-
WUFM002	WUFMSKM002	WUFCM002	INTTAUJ0I0	TAUJ0	AWO	CKSCLK_ A03
WUFM003	WUFMSKM003	WUFCM003	INTTAUJ0I1			
WUFM004	WUFMSKM004	WUFCM004	INTTAUJ0I2			
WUFM005	WUFMSKM005	WUFCM005	INTTAUJ0I3			
WUFM006	WUFMSKM006	WUFCM006	-	-	-	-
WUFM007	WUFMSKM007	WUFCM007	-	-	-	-
WUFM008	WUFMSKM008	WUFCM008	-	-	-	-
WUFM009	WUFMSKM009	WUFCM009	-	-	-	-
WUFM010	WUFMSKM010	WUFCM010	-	-	-	-
WUFM011	WUFMSKM011	WUFCM011	-	-	-	-
WUFM012	WUFMSKM012	WUFCM012	-	-	-	-
WUFM013	WUFMSKM013	WUFCM013	-	-	-	-
WUFM014	WUFMSKM014	WUFCM014	-	-	-	-
WUFM015	WUFMSKM015	WUFCM015	INTWDTA1	WDTA1	ISO0	CKSCLK_ 007
WUFM016	WUFMSKM016	WUFCM016	INTFCN2REC ^a	FCN2	ISO0	CKSCLK_ 033
WUFM017	WUFMSKM017	WUFCM017	INTLMA10TIT	LMA10	ISO0	CKSCLK_ 011
WUFM018	WUFMSKM018	WUFCM018	INTLMA10TIR			
WUFM019	WUFMSKM019	WUFCM019	INTLMA10TIS			
WUFM020	WUFMSKM020	WUFCM020	INTLMA11TIT	LMA11	ISO0	CKSCLK_ 011
WUFM021	WUFMSKM021	WUFCM021	INTLMA11TIR			
WUFM022	WUFMSKM022	WUFCM022	INTLMA11TIS			
WUFM023	WUFMSKM023	WUFCM023	INTCSIG4IC	CSIG4	ISO0	CKSCLK_ 011
WUFM024	WUFMSKM024	WUFCM024	INTCSIG4IR			
WUFM025	WUFMSKM025	WUFCM025	INTCSIG4IRE			
WUFM026	WUFMSKM026	WUFCM026	INTFCN3REC ^a	FCN3	ISO0	CKSCLK_ 033
WUFM027	WUFMSKM027	WUFCM027	INTFCN4REC ^a	FCN4	ISO0	CKSCLK_ 033
WUFM028	WUFMSKM028	WUFCM028	INTFCN5REC ^a	FCN5	ISO0	CKSCLK_ 033
WUFM029	WUFMSKM029	WUFCM029	INTTAUB0I0	TAUB0	ISO0	CKSCLK_ 006
WUFM030	WUFMSKM030	WUFCM030	INTTAUB0I1			
WUFM031	WUFMSKM031	WUFCM031	INTTAUB0I2			

a) 製品によって機能をサポートしていません。利用可能な要因は、「4.2.1 V850E2/Fx4-L 割り込み要因 (2) EI レベル・マスカブル割り込み」を参照してください。

注意 電源ドメインが ISO0 のウェイクアップ要因は、STOP モード時に使用することができます。DEEPSTOP モードからのウェイクアップに使用することができません。

表 8-5 ウェイクアップ要因レジスタの割り当て (WUFH0/WUFMSKH0/WUFCH0)

WUFH0/WUFMSKH0/WUFCH0 レジスタ・ビットの割り当て			ウェイクアップ要因			
			ウェイクアップ 要因	モジュール	電源 ドメイン	クロック・ ドメイン
WUFH000	WUFMSKH000	WUFCH000	INTTAUB0I3	TAUB0	ISO0	ISO0_6
WUFH001	WUFMSKH001	WUFCH001	INTTAUB0I4			
WUFH002	WUFMSKH002	WUFCH002	INTTAUB0I5			
WUFH003	WUFMSKH003	WUFCH003	INTTAUB0I6			
WUFH004	WUFMSKH004	WUFCH004	INTTAUB0I7			
WUFH005	WUFMSKH005	WUFCH005	INTTAUB0I8			
WUFH006	WUFMSKH006	WUFCH006	INTTAUB0I9			
WUFH007	WUFMSKH007	WUFCH007	INTTAUB0I10			
WUFH008	WUFMSKH008	WUFCH008	INTTAUB0I11			
WUFH009	WUFMSKH009	WUFCH009	INTTAUB0I12			
WUFH010	WUFMSKH010	WUFCH010	INTTAUB0I13			
WUFH011	WUFMSKH011	WUFCH011	INTTAUB0I14			
WUFH012	WUFMSKH012	WUFCH012	INTTAUB0I15			
WUFH013	WUFMSKH013	WUFCH013	WDTATNMIO	WDTA0	AWO	CKSCLK_ A07
WUFH014	WUFMSKH014	WUFCH014	WDTATNMI1	WDTA1	ISO0	CKSCLK_ 007
WUFH015	WUFMSKH015	WUFCH015	DB_RCUREL	OCD	AWO	-

注意 電源ドメインが ISO0 のウェイクアップ要因は、STOP モード時に使用することができます。DEEPSTOP モードからのウェイクアップに使用することができません。

URTE_nRX によるウェイクアップ URTE_nRx 信号を直接ウェイクアップ要因として使用することはできませんが、URTE_nRX と INTP_x は同じ端子の兼用ポート機能であるため、代わりに外部割り込み INTP_x を使用できます。

8.2 スタンバイ・コントローラの機能

マイクロコントローラは、次の3つのパワー・セーブ・モードをサポートします。

- HALT モード

通常動作モードから "HALT 命令" を実行することで HALT モードに遷移します。HALT モードでは、CPU は動作を停止しますが、クロック、および電源供給は状態を継続します。

- STOP モード

STOP モードでは、特定のクロック・ドメインに対するクロック供給を停止することができます。

PSC0.PSC0STP ビットを 1 にすることで STOP モードに遷移します。

CKSC_mn.STPMK_mn = 1 を設定することにより、STOP モードに遷移しても、クロック・ドメインへのクロック供給を継続することが可能です。CKSC_mn レジスタは、第7章「クロック・コントローラ」を参照してください。

- DEEPSTOP モード

電力消費をさらに削減するために、アイソレート領域 0 の電源供給を停止することができます。

PSC0.PSC0STP ビット、および PSC0.PSC0POF ビットを 1 にすることで DEEPSTOP モードに遷移します。

HALT HALT モードは、電源ドメインにもクロック・ドメインにも影響しません。したがって、この章ではこのモードについては説明しません。HALT モードの詳細は、「V850E2S ユーザーズマニュアル アーキテクチャ編」を参照してください。

STOP/DEEPSTOP STOP モードと DEEPSTOP モードは、次のようにクロック・ドメインごとに限定して選択できます。

- PSC0.PSC0STP ビットは、Always-On 領域とアイソレート領域 0 のクロック供給を制御します。
- PSC0.PSC0POF ビットは、アイソレート領域 0 の電力供給を制御します。

RUN CPU が動作しているモードは、RUN モードと称します。

クロック・オプションと電源オプションを次の表に示します。

表 8-6 パワー・セーブ・モードの概要

モード	Always-On	アイソレート領域 0	
	クロック	電力	クロック
RUN	許可	ON	許可
STOP	停止 PSC0STP=1	ON PSC0POF=0	停止 PSC0STP=1
DEEPSTOP	停止 PSC0STP=1	OFF PSC0POF=1	停止 PSC0STP=1

クロック・ドメインへのクロック供給「停止」は、CKSC_mn.STPMK_mn = 0により、各クロック・ドメインへのクロック供給を停止していることを示しています。

各動作モードにおけるクロック・ソースのステータスを次の表に示します。

表 8-7 パワー・セーブ・モード時のクロック・ソース

モード	Always-On			
	240 kHz IntOsc	8 MHz IntOsc	MainOsc	PLL0
RUN	動作可能	動作可能	動作可能	動作可能
STOP		停止	停止	停止
DEEPSTOP		停止	停止	オフ

クロック・ソースの「停止」は、各クロック・ソース制御レジスタのSTPMKビットが0 (スタンバイ・モード時、クロック停止する) を設定していることを示しています。

- MainOsc では MOSCE.STPMK = 0
- 8 MHz IntOsc では ROSCE.STPMK = 0
- PLL0 では PLLE0.STPMK = 0

8.2.1 ウェイクアップ

(1) ウェイクアップ要因

次のウェイクアップ・イベントにより、パワー・セーブ・モードが終了します。

表 8-8 ウェイクアップ・イベント

モード	リセット	NMI	INTLVI	INTPx ^a	電源ドメインの周辺機能 ^{ab}	CANの受信FCNnRX ^a	ソフトウェア	OCD
STOPモード	あり	あり	あり	あり	<ul style="list-style-type: none"> AWOで動作中 Iso0で動作中 	あり	なし	あり
DEEPSTOP	あり	あり	あり	あり ^c	<ul style="list-style-type: none"> AWOで動作中 	あり	なし	あり

- a) ウェイクアップ・イベントとして使用する場合、対象となるウェイクアップ要因を有効にしておく必要があります。対象となるウェイクアップ要因のレジスタ割り当ては、表 8-3「ウェイクアップ要因レジスタの割り当て (WUFL0/WUFMSKL0/WUFCL0)」を参照してください。
- b) ウェイクアップ・イベントとして使用する周辺機能には、クロック・コントローラからクロックを供給する必要があります。そのクロック・ドメインがSTOPモードの場合は、スタンバイ・モード要求がマスクされるので (CKSC_mn.STPMK_mn = 1)、周辺機能のクロックはスタンバイ・モード時も動作を継続しません。
- c) 外部割り込みINTPxをDEEPSTOPモードからのウェイクアップとして使用するには、INTPxのアナログ・フィルタをエッジ検出モード (FCLAnINTLm = 0) に設定する必要があります。詳細は、2.6「ポート・フィルタ機能説明」を参照してください。

HALTモードのウェイクアップ HALTモードを終了するイベントについては、「V850E2S ユーザーズマニュアル アーキテクチャ編」を参照してください。

外部割り込みINTPx すべての外部割り込みINTPxにより、パワー・セーブ・モードから遷移します。詳細は図 8-1「パワー・セーブ・モードの移行」を参照してください。

CAN CRXDn CAN 受信信号 FCNnRX の立ち下がリエッジは、パワー・セーブ・モードからのウェイクアップに使用できます。

FCNnRX で DEEPSTOP モードから復帰する場合、FCNnRX 割り込みサービス・ルーチンは実行いたしません。この場合、FCNnRX は CAN インタフェースを介さずウェイクアップ・イベントとしてのみ使用します。

CAN インタフェースを介す INTFCNnREC で STOP モードから復帰する場合は、第 17 章「CAN コントローラ (FCN)」の 17.10「パワー・セーブ・モード」を参照してください。

周辺モジュールの割り込み 以下の場合、周辺機能の割り込み要求信号をパワー・セーブ・モードからウェイクアップに使用できます。

周辺機能に電源、および動作クロックが供給されている、かつ、周辺機能イベントがウェイクアップ要因として宣言されている場合、周辺機能割り込みをウェイクアップ要因として使用することができます。

オンチップ・デバッグ・ウエイクアップ 以下の場合、オンチップ・デバッグ・ユニット (OCD) は、マイクロコントローラがアプリケーション・プログラムを実行するときにウエイクアップ・イベントを生成します。

- デバッグが停止要求を発行した場合
- ブレークポイントに達した場合

WUFMSKH0.WUFMSKH015 = 0 (OCD をウエイクアップ要因として使用する) を設定した場合、上記 OCD ウエイクアップ・イベントの発生で、スタンバイ・モードから復帰します。

(2) ウエイクアップ制御

ウエイクアップ要因はウエイクアップ要因関連レジスタにより選択します。

- ウエイクアップ要因マスク・レジスタ : WUFMSKL0, WUFMSKM0, WUFMSKH0

ウエイクアップ要因マスク・レジスタの各ビットは、アイソレート領域 0 の各ウエイクアップ要因に割り当てています。ビットを 0 に設定した場合、本ビットに対応するウエイクアップ要因を有効にします。

- ウエイクアップ要因レジスタ : WUFL0, WUFM0, WUFH0

有効なウエイクアップ要因が発生した際に、該当するビットが 1 になります。

本レジスタ、ビットを判断することで、ウエイクアップ要因を判断することが可能です。

- ウエイクアップ要因クリア・レジスタ : WUFCL0, WUFM0, WUFCH0

本レジスタのビットを 1 にすることで、ウエイクアップ要因レジスタ (WUFL0/ WUFM0/ WUFH0) のビットをクリアします。

備考 ウエイクアップ要因レジスタ (WUFL0/ WUFM0/ WUFH0) は、ウエイクアップ・イベントの発生を示すものであり、特定の電源ドメインがスタンバイ・モードから通常動作モードに遷移したことを示すものではありません。電源ドメインの遷移については、PWS0.PWS0PSS ビットを判定してください。

(3) 発振回路のウエイクアップ

MainOsc は、ウエイクアップ・イベントの発生によって自動的に発振を開始させることができます (OSCWUFMSK レジスタの制御ビットで設定します)。

- OSCWUFMSK.OSCWUFMSK00 = 0

アイソレート領域 0 のウエイクアップ要求 (WUFH0/WUFM0/WUFL0) で MainOsc の発振を開始。

備考 OSCWUFMSK.OSCWUFMSK00 ビットの設定による発振回路の自動起動は、MOSCE.STPMK ビットの設定によるスタンバイ・モード復帰時の発振回路の停止/起動と動作が異なります。

- MOSCE.STPMK = 0

MainOsc 発振状態、かつ MOSCE.STPMK ビットが 0 の状態でスタンバイ・モードに遷移した場合、MainOsc は発振を停止します。スタンバイ・モードからの復帰 (DEEPTOP モードから復帰する場合、ISO0 領域への電源供給を開始する) タイミングで MainOsc の発振を再開します。ただし、スタンバイ・モードに遷移する前に MainOsc の発振を停止させた場合は、スタンバイ・モードから復帰しても発振回路は起動しません。

- MOSCE.STPMK = 1

MainOsc 発振状態、かつ MOSCE.STPMK ビットが 1 の状態でスタンバイ・モードに遷移した場合、MainOsc は発振を継続します。ただし、スタンバイ・モードに遷移する前に MainOsc の発振を停止させた場合は、スタンバイ・モードから復帰しても発振回路は起動しません。

- OSCWUFMSK.OSCWUFMSK00 = 0

スタンバイ・モード遷移前の MainOsc 発振状態にかかわらず、選択したウエイクアップ・イベントを受け付けたタイミングで、発振回路が起動します。

- OSCWUFMSK.OSCWUFMSK00 = 1

MOSCE.STPMK ビットの設定に依存します。

8.2.2 入出力バッファ制御

各スタンバイ・モード遷移時の入出力バッファの動作について以下に説明します。

注意 V850E2/Fx4-L の JP0, P0, P5 以外の I/O バッファは入出力バッファ・ホールドをサポートしています。

(1) 入出力バッファ・ホールド状態

入出力バッファ・ホールド状態になると、入力バッファまたは出力バッファは入出力バッファ・ホールド状態に入る前の状態を保持します。したがって、内部信号および外部信号は入出力バッファ・ホールド状態が終了するまでその状態を変更することができません。

(2) STOP モード時の入出力バッファ

STOP モード（クロック停止）の領域の入出力バッファは、STOP モードに入る前の状態を継続します（入出力バッファ・ホールド状態に入りません）。

(3) DEEPSTOP モード時の入出力バッファ

DEEPSTOP モード時の入出力バッファは、入出力バッファ・ホールド状態になります。

DEEPSTOP からウエイクアップした際に、以下手順で入出力バッファ・ホールド状態の解除を行ってください。

- ① 周辺機能やポート機能の再設定
- ② PSC0.PSC0IOHLDCLR = 1

(4) スタンバイ・モードの入出力バッファの状態

スタンバイ・モード、およびウエイクアップ後の入出力バッファの状態を以下表に示します。

表 8-9 スタンバイ・モード時とウエイクアップ後のバッファの状態

状態遷移とバッファの状態	スタンバイ・モード (アイソレート領域 0 の電源)	
	STOP (電源オン)	DEEPSTOP (電源オフ)
スタンバイ前	通常動作時の入出力バッファ	通常動作時の入出力バッファ
スタンバイ中		入出力バッファ・ホールド状態
ウエイクアップ後		入出力バッファ・ホールド状態 ^{a)}

^{a)} PSC0.PSC0IOHLDCLR ビットを 1 に設定し、入出力バッファ・ホールド状態を解除してください。

8.2.3 パワー・セーブ・モードの移行

さまざまな RUN モードとパワー・セーブ・モードの間で可能な移行を次の図に示します。

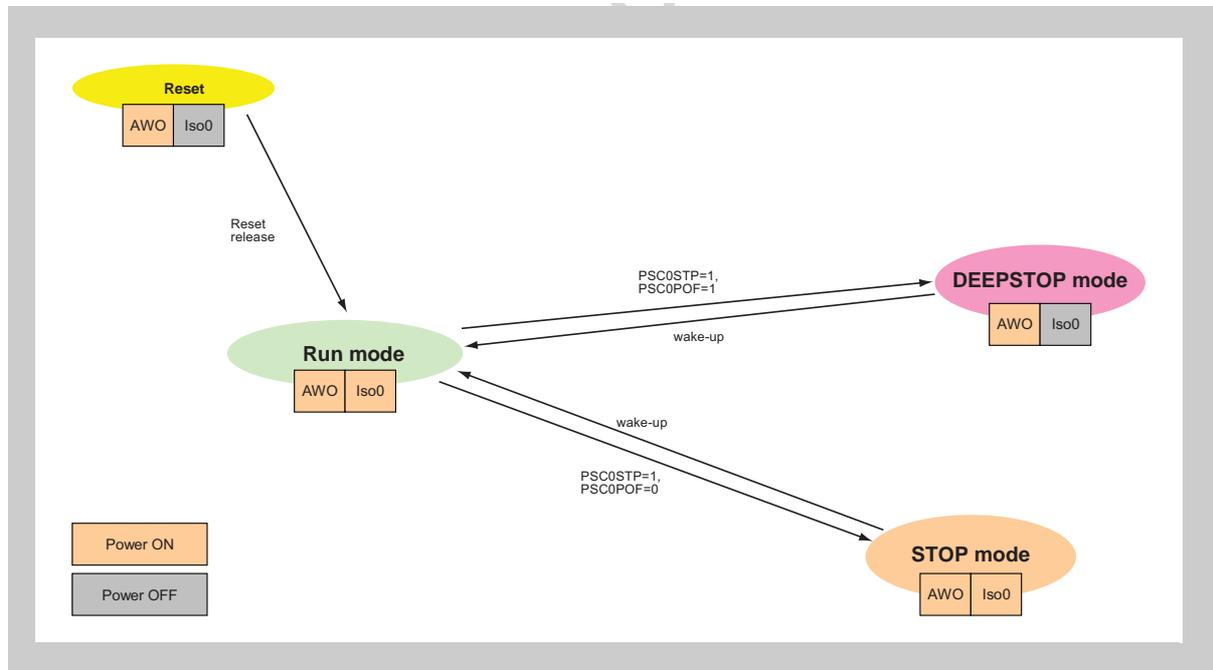


図 8-1 パワー・セーブ・モードの移行

8.2.4 パワー・セーブ・モードの開始と終了のフロー例

以下に示すいくつかのフローの例に、パワー・セーブ・モードがどのように開始され、終了するかを示します。

(1) STOP モード

STOP モードでは、Always-On 領域、アイソレート領域 0 のクロック供給を停止します。

STOP モードに遷移する前に、クロック供給を停止する周辺機能を停止してください。

STOP モード遷移手順 (例) を以下に示します。

スタンバイの準備

- DMA/DTS チャンネルをすべて停止します。
- CPU 命令 "DI" によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
 - 割り込みフラグをクリア (EICn.EIRFn = 0)
 - 非ウエイクアップ割り込みをマスク (EICn.EIMKn = 1)
 - ウエイクアップ割り込みのマスクを解除 (EICn.EIMKn = 0)
- ウエイクアップ関連レジスタの設定
 - ウエイクアップ要因フラグをクリア (WUFCL0/WUFM0/WUFCH0 レジスタの WUFM0n = 1)
 - 非ウエイクアップ要因をマスク (WUFMSKL0/WUFMSKM0/WUFMSKH0 レジスタの WUFMSK0n = 1)
 - ウエイクアップ要因のマスクを解除 (WUFMSKL0/WUFMSKM0/WUFMSKH0 レジスタの WUFMSK0n = 0)
- クロック・マスクを設定し、停止するクロック・ドメインと動作を継続するクロック・ドメインをそれぞれ選択します。(CKSC_mn.STPMK_mn ビットで設定してください。)
- 各クロック・ソースの発振 / 停止を設定します。また、クロック・マスクを設定し、停止するクロック・ソースと動作を継続するクロック・ソースをそれぞれ選択します (MOSCE, ROSCE, PLLE0 レジスタの STPMK ビット)。

スタンバイの開始

PSC0 レジスタの PSC0STP ビットを 1 に設定し、STOP モードに遷移します。

ウエイクアップ処理 ウェイクアップ要因は、ウェイクアップ要因フラグ (WUFL0/ WUFLM0/ WUFH0) で判定します。

CPU 命令 "EI" により割り込みを許可すると、発生したウエイクアップ割り込みを実行することができます。

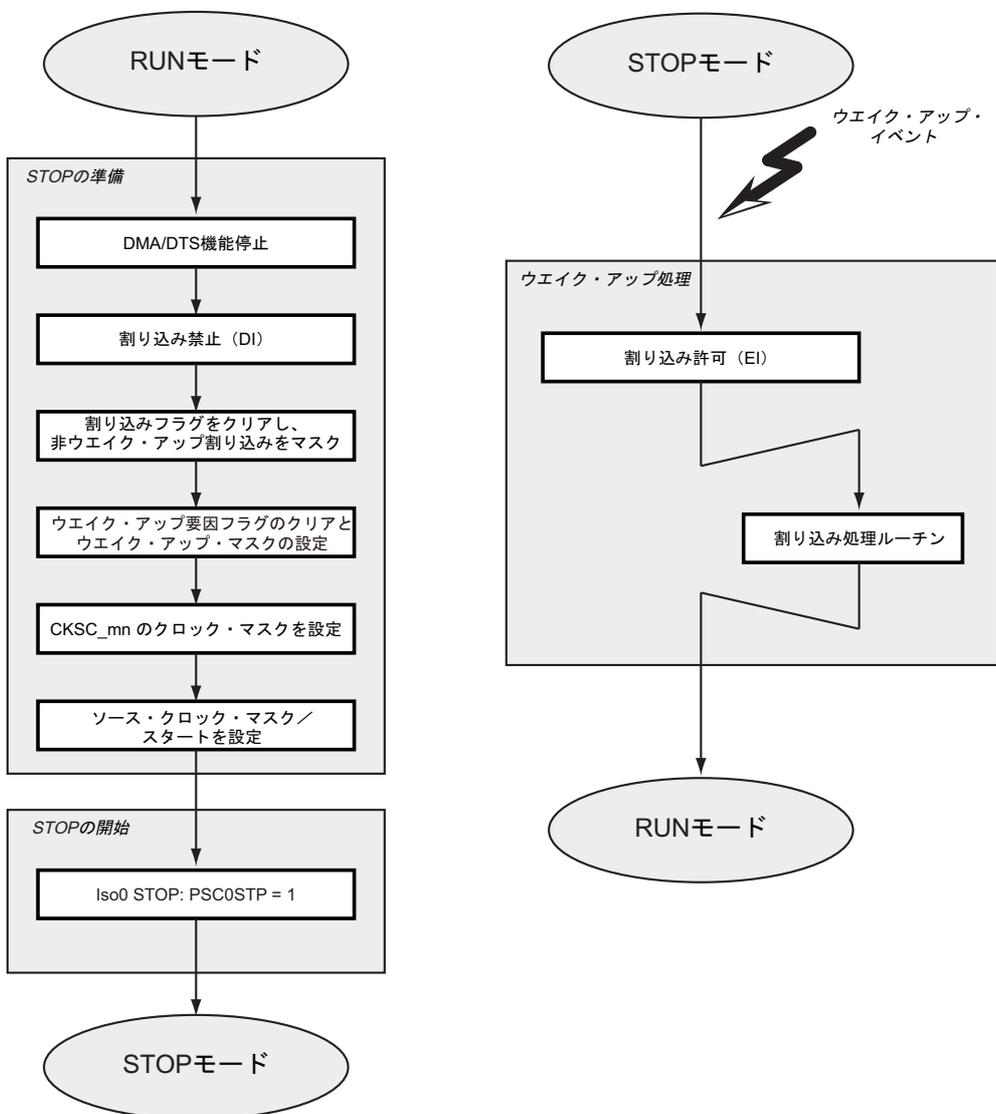


図 8-2 STOP モード遷移例

(2) DEEPSTOP モード

DEEPSTOP モードでは、すべての領域のクロック供給とアイソレート領域の電源が停止します。

DEEPSTOP モード遷移手順 (例) を以下に示します。

スタンバイの準備 8.2.4 (1) 「STOP モード」の「STOP の準備」を参照してください。

スタンバイの開始

- PSC0 レジスタの PSC0POF ビット, および PSC0STP ビットを 1 に設定し, DEEPSTOP モードに移行します。

- DEEPSTOP モード遷移中にウエイクアップ・イベントが発生する可能性がある場合, PWS0 レジスタの PWS0PSS ビットを判定してください。

PWS0PSS ビットが 0 の場合, マイクロコントローラは DEEPSTOP モードに遷移しないため, ユーザ・ソフトウェアでウエイクアップ処理を実施してください。

ウエイクアップ処理

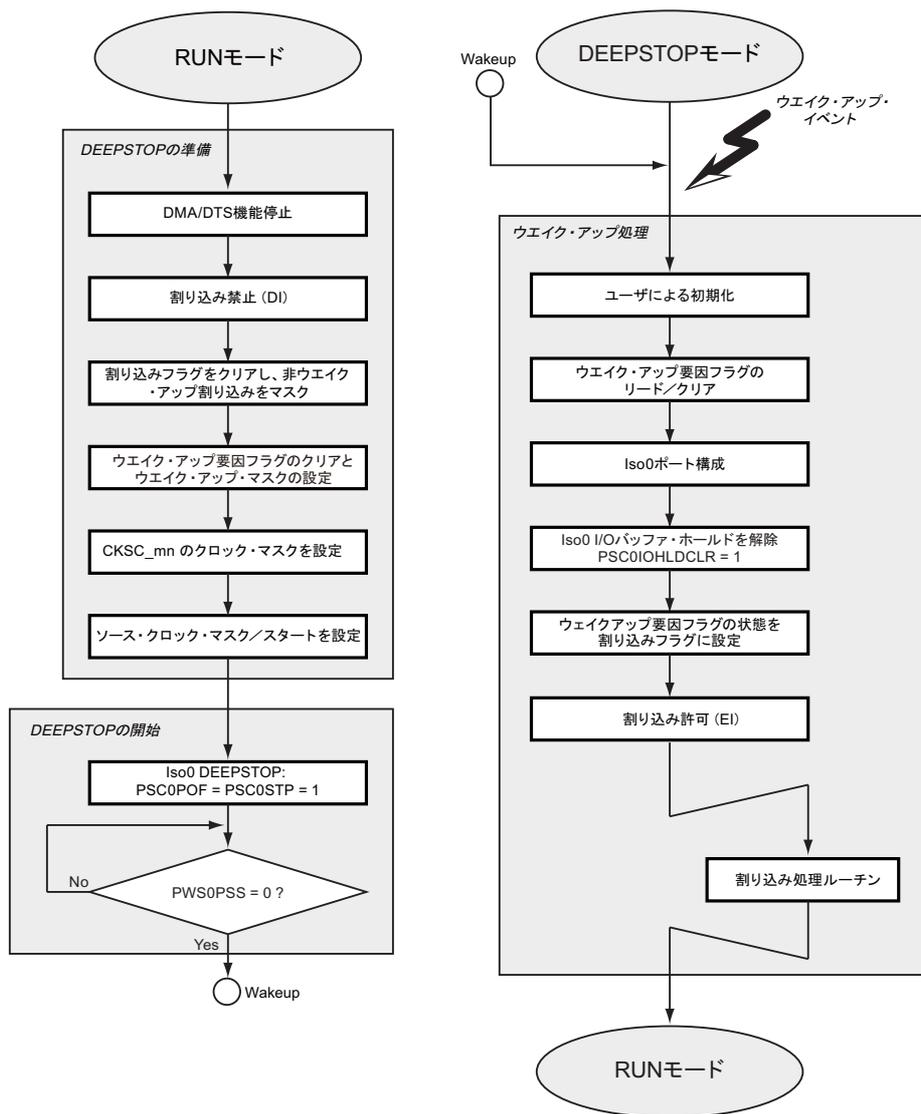
- DEEPSTOP モードからウエイクアップ・イベントで復帰すると, マイクロコントローラは, リセット・アドレスから動作を開始します。
- ウエイクアップ要因は, ウエイクアップ要因フラグ (WUFL0/ WUFM0/ WUFH0) で判定します。
- アイソレート領域 0 のポートは, 入出力バッファ・ホールド状態を継続します。

以下手順で入出力バッファ・ホールド状態を解除してください。

- ① 周辺機能やポート機能の再設定
- ② PSC0.PSC0IOHLDCLR = 1

- ウエイクアップ後, ウエイクアップ要因の割り込みを実行したい場合, ソフトウェアでウエイクアップ要因フラグの情報を判断し, 割り込み制御レジスタの割り込みフラグを設定してください。次に CPU 命令 "EI" により割り込みを許可すると, 発生したウエイクアップ割り込みを実行することができます。

注意 DEEPSTOP モードに遷移する場合, CKSC_mn レジスタのカウント・ソースに PLL0 クロックを選択しないでください。



注 DEEPSTOP モード遷移中、および遷移前にウェイクアップ要因を受け付けた場合、CPU は DEEPSTOP モードに移行しません。ソフトウェアで PWS0PSS ビットを判定し、復帰処理を実施してください。

図 8-3 DEEPSTOP モード遷移例

8.2.5 保護レジスタへのライト

以下のスタンバイ・コントローラ・レジスタは、ライト保護レジスタです。

- PSC0 レジスタ

書き込み保護レジスタは、誤ったプログラム動作などによる不正な書き込みからレジスタを保護します。

ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の章の3.7「ライト保護レジスタ」を参照してください。

8.2.6 パワー・セーブ・モード遷移時の注意事項

WDTA0, WDTA1 のクロック・ドメイン (AWO_7, ISO0_7) より低速で動作するクロック・ドメインを使用し、かつパワー・セーブ・モードに遷移する場合、以下の「クロック選択の制限事項」を確認してください。

(1) クロック選択の制限事項

以下のクロック条件でパワー・セーブ・モード a から復帰した場合、発振回路 b が発振動作を再開しない可能性があります。

該当するクロック条件 (パワー・セーブ・モード遷移時) :

1. WDTA0, WDTA1 のクロック・ドメイン (AWO_7, ISO0_7) より低速で動作するクロック・ドメインが存在している。
2. クロックの ENTRG ビット c を “1” (クロック起動) にしている、かつ、STPMK ビット c に “0” (スタンバイ・モード時、発振を停止する) を設定している。

上記、1, 2 両方の条件に該当する場合、クロック条件を以下設定にしてください。

- AWO_7, ISO0_7 のいずれか、または両方のクロック・ドメインの CKSC_mn.STPMK_mn ビットを “0” (スタンバイ・モード時、クロック出力停止) に設定し、AWO_7, ISO0_7 より低速で動作するクロック・ドメインの CKSC_mn.STPMK_mn ビットを “1” (スタンバイ・モード時、クロック出力継続) にしてください。
- もしくは、AWO_7, ISO0_7 のいずれか、または両方のクロック・ドメインの CKSC_mn.STPMK_mn ビットを “0” (スタンバイ・モード時、クロック出力停止) に設定し、AWO_7, ISO0_7 より低速で動作するクロック・ドメインの CKSC_mn レジスタのクロック・ソース ID を “クロック選択なし” に設定してください。

a) DEEPSTOP モード, STOP モード

b) 高速 IntOsc, MainOsc, PLL0

c) MOSCE, ROSCE, PLLE0 レジスタのビット

8.3 スタンバイ・コントローラ・レジスタ

8.3.1 スタンバイ・コントローラ・レジスタの概要

スタンバイ・コントローラは、次のレジスタで制御します。

表 8-10 スタンバイ・コントローラ・レジスタの概要

レジスタ名	略号	アドレス
パワー・セーブ・レジスタ		
パワー・セーブ・コントロール・レジスタ 0	PSC0	FF42 0000 _H
パワー・ステータス・レジスタ 0	PWS0	FF42 0004 _H
アイソレート領域 0 のウエイクアップ・イベント・コントローラ・レジスタ		
ウエイクアップ要因レジスタ L	WUFL0	FF42 0100 _H
ウエイクアップ要因レジスタ M	WUFM0	FF42 0110 _H
ウエイクアップ要因レジスタ H	WUFH0	FF42 0120 _H
ウエイクアップ要因マスク・レジスタ L	WUFMSKL0	FF42 0104 _H
ウエイクアップ要因マスク・レジスタ M	WUFMSKM0	FF42 0114 _H
ウエイクアップ要因マスク・レジスタ H	WUFMSKH0	FF42 0124 _H
ウエイクアップ要因クリア・レジスタ L	WUFCL0	FF42 0108 _H
ウエイクアップ要因クリア・レジスタ M	WUFM0	FF42 0118 _H
ウエイクアップ要因クリア・レジスタ H	WUFCH0	FF42 0128 _H
発振回路ウエイクアップ・マスク・レジスタ		
発振回路ウエイクアップ・マスク・レジスタ	OSCWUFMSK	FF42 01A4 _H

8.3.2 スタンバイ・コントローラ制御レジスタの詳細

(1) PSC0 – パワー・セーブ・コントロール・レジスタ 0

Always-On 領域とアイソレート領域 0 のスタンバイ・モードを制御します。

保護 このレジスタへの書き込みは、保護コマンド・レジスタ (PROTCMD2) を使用した特定の命令シーケンスにより実施してください。

詳細は 3.7 「ライト保護レジスタ」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 0000_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	PSC0 REGSTP	PSC0 IOHLDCLR	0	PSC0 POF	PSC0 STP
R	R	R	R/W	R/W	R	R/W	R/W

表 8-11 PSC0 レジスタの内容

ビット位置	ビット名	機能
4	PSC0 REGSTP	DEEPSTOP モード時の AWO 領域の内蔵レギュレータ動作モード選択 0: 通常動作 1: 低電圧動作
3	PSC0 IOHLDCLR	アイソレート領域 0 の入出力バッファ・ホールド機能解除のトリガ 0: 機能なし 1: 入出力バッファ・ホールド機能の解除 このビットを読み出すと常に 0 を返します。
1	PSC0POF	アイソレート領域 0 の DEEPSTOP モードのパワー・オフの選択 0: アイソレート領域 0 は STOP モードに入ってもパワー・オンに維持 1: アイソレート領域 0 が STOP モードに入るとパワー・オフ (DEEPSTOP)
0	PSC0STP	Always-On 領域とアイソレート領域 0 の STOP モードのトリガ 0: 機能なし 1: Always-On 領域とアイソレート領域 0 が STOP モードに入る このビットを読み出すと常に 0 を返します。

電圧レギュレータの制御 次のように、ビット PSC0.PSC0REGSTP によって、DEEPSTOP モード時の AWO 領域の内蔵電圧レギュレータ動作が決まります。

表 8-12 電圧レギュレータの制御

レジスタ設定	電圧レギュレータの制御	
REGSTP	AWO 電源内蔵レギュレータ	Iso0 電源内蔵レギュレータ
0	通常動作	動作停止
1	低電圧動作	

(2) PWS0 – パワー・ステータス・レジスタ 0

アイソレート領域 0 のスタンバイ・モード・ステータスを示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 0004_H

初期値 0000 0001_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PWS0 PSS	0	0	0	0	0	PWS0 IOHOLD	1
R	R	R	R	R	R	R	R

表 8-13 PWS0 レジスタの内容

ビット位置	ビット名	機能
7	PWS0PSS	アイソレート領域 0 のパワー・ステータス 0 : アイソレート領域 0 は通常動作モード 1 : アイソレート領域 0 が以下の状態のとき ・PSC0STP ビットをセットしてからクロック停止までの遷移期間
1	PWS0 IOHOLD	アイソレート領域 0 の入出力バッファのホールド・ステータス 0 : アイソレート領域 0 の入出力バッファがホールド・モードでない 1 : アイソレート領域 0 の入出力バッファはホールド・モード

備考 このレジスタは、アイソレート領域 0 が STOP および DEEPSTOP スタンバイ・モードの場合はリードできません。

8.3.3 ウェイクアップ・イベント・コントローラ・レジスタの詳細

(1) WUFL0/WUFM0/WUFH0 – ウェイクアップ要因レジスタ

アイソレート領域 0 のウェイクアップ・イベントを通知します。

アクセス 32 ビット単位でリード可能です。

アドレス WUFL0 : FF42 0100_H
 WUFM0 : FF42 0110_H
 WUFH0 : FF42 0120_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
WUFi031	WUFi030	WUFi029	WUFi028	WUFi027	WUFi026	WUFi025	WUFi024
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
WUFi023	WUFi022	WUFi021	WUFi020	WUFi019	WUFi018	WUFi017	WUFi016
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
WUFi015	WUFi014	WUFi013	WUFi012	WUFi011	WUFi010	WUFi009	WUFi008
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
WUFi007	WUFi006	WUFi005	WUFi004	WUFi003	WUFi002	WUFi001	WUFi000
R	R	R	R	R	R	R	R

[i = L, M, H]

表 8-14 WUFL0/WUFM0/WUFH0 レジスタの内容

ビット位置	ビット名	機能
31-0	WUFi0n	ウェイクアップ・イベントの発生を示します。 0 : ウェイクアップ・イベントは発生していない 1 : ウェイクアップ・イベントが発生した

注意 WUFMSKL0/ WUFMSKM0/ WUFMSKH0 のビットが 1 (ウェイクアップ・イベント無効) の場合、ウェイクアップ要求が発生しても、WUFi0n ビットは 1 になりません。

ウェイクアップ要因 ウェイクアップ要因レジスタのビット割り当てにつきましては、表 8-3 ~ 表 8-5 を参照してください。

ウェイクアップ・イベントが割り当てられていないビットを読み出した場合、その値は“0”です。

(2) WUFMSKL0/WUFMSKM0/WUFMSKH0 – ウェイクアップ要因マスク・レジスタ

アイソレート領域 0 のウェイクアップ・イベントを有効にします。

アクセス 32 ビット単位でリード/ライト可能です。
WUFMSKH0 レジスタのビット 31-16 はリードのみ可能です。リードした場合、0 が読み出されます。

アドレス WUFMSKL0 : FF42 0104_H
WUFMSKM0 : FF42 0114_H
WUFMSKH0 : FF42 0124_H

初期値 FFFF FFFF_H (WUFMSKL0, WUFMSKM0),
0000 FFFF_H (WUFMSKH0)
どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
WUF MSKi031	WUF MSKi030	WUF MSKi029	WUF MSKi028	WUF MSKi027	WUF MSKi026	WUF MSKi025	WUF MSKi024
R/W							
23	22	21	20	19	18	17	16
WUF MSKi023	WUF MSKi022	WUF MSKi021	WUF MSKi020	WUF MSKi019	WUF MSKi018	WUF MSKi017	WUF MSKi016
R/W							
15	14	13	12	11	10	9	8
WUF MSKi015	WUF MSKi014	WUF MSKi013	WUF MSKi012	WUF MSKi011	WUF MSKi010	WUF MSKi009	WUF MSKi008
R/W							
7	6	5	4	3	2	1	0
WUF MSKi007	WUF MSKi006	WUF MSKi005	WUF MSKi004	WUF MSKi003	WUF MSKi002	WUF MSKi001	WUF MSKi000
R/W							

[i = L, M, H]

表 8-15 WUFMSKL0/WUFMSKM0/WUFMSKH0 レジスタの内容

ビット位置	ビット名	機能
31-0	WUF MSKi0n	ウェイクアップ・イベントの有効/無効設定 0 : ウェイクアップ・イベント有効 1 : ウェイクアップ・イベント無効

注意 WUFMSKL0/WUFMSKM0/WUFMSKH0 のビットが 1 (ウェイクアップ・イベント無効) の場合、ウェイクアップ要求が発生しても、WUFi0n ビットは 1 になりません。

ウェイクアップ要因 ウェイクアップ要因マスク・レジスタのビット割り当てにつきましては、表 8-3 ~ 表 8-5 を参照してください。

本レジスタへ書き込む場合、ウェイクアップ・イベントが割り当てられていないビットへは、"1" を書いてください。

(3) WUFCL0/WUFCM0/WUFCH0 – ウェイクアップ要因クリア・レジスタ

ウェイクアップ要因レジスタ WUFL0/ WUFM0/ WUFH0 のビットをクリアします。

アクセス 32 ビット単位でライト可能です。
このレジスタをリードすると常に 0000 0000_H を返します。

アドレス WUFCL0 : FF42 0108_H
WUFCM0 : FF42 0118_H
WUFCH0 : FF42 0128_H

初期値 0000 0000_H

31	30	29	28	27	26	25	24
WUFCi 031	WUFCi 030	WUFCi 029	WUFCi 028	WUFCi 027	WUFCi 026	WUFCi 025	WUFCi 024
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
WUFCi 023	WUFCi 022	WUFCi 021	WUFCi 020	WUFCi 019	WUFCi 018	WUFCi 017	WUFCi 016
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
WUFCi 015	WUFCi 014	WUFCi 013	WUFCi 012	WUFCi 011	WUFCi 010	WUFCi 009	WUFCi 008
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
WUFCi 007	WUFCi 006	WUFCi 005	WUFCi 004	WUFCi 003	WUFCi 002	WUFCi 001	WUFCi 000
W	W	W	W	W	W	W	W

[i = L, M, H]

表 8-16 WUFCL0/WUFCM0/WUFCH0 レジスタの内容

ビット位置	ビット名	機能
31-0	WUFCi0n	ウェイクアップ要因レジスタの WUFCi0n ビットのクリア 0 : WUFCi0n ビットは変更しない 1 : WUFCi0n ビットをクリア

ウェイクアップ要因 ウェイクアップ要因クリア・レジスタのビット割り当てにつきましては、表 8-3 ~ 表 8-5 を参照してください。

本レジスタへ書き込む場合、ウェイクアップ・イベントが割り当てられていないビットへは、"0" を書いてください。

8.3.4 発振回路ウエイクアップ・マスク・レジスタの詳細

(1) OSCWUFMSK – 発振回路ウエイクアップ・マスク・レジスタ

アイソレート領域 0 のウエイクアップ・イベントが発生したときの MainOsc の起動を制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 01A4_H

初期値 0000 0001_H このレジスタはパワーアップ・リセット PURES により初期化します。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSCWUF MSK00
R	R	R	R	R	R	R	R/W

表 8-17 OSCWUFMSK レジスタの内容

ビット位置	ビット名	機能
0	OSCWUF MSK00	ウエイクアップ・イベントの発生による MainOsc 発振回路の起動を設定します。 0: ウエイクアップ・イベントの発生で発振回路が起動 1: 本機能による発振回路の起動は無効

備考 OSCWUFMSK00 = 0 の場合、スタンバイ・モードの前に発振回路が停止しても、アイソレート領域 0 からのウエイクアップ時に、必ず MainOsc が起動します。

8.4 ウェイクアップ・シーケンサ (SEQ)

この節では、ウェイクアップ・シーケンサ (SEQ) について説明します。

はじめにチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特徴について説明します。

以降に、SEQ 共通の特徴を説明します。

8.4.1 ウェイクアップ・シーケンサの特徴

この製品は次のチャンネル数のウェイクアップ・シーケンサ (SEQ) を搭載しています。

表 8-18 ウェイクアップ・シーケンサのチャンネル

ウェイクアップ・シーケンサ (SEQ)	
チャンネル数	1
名称	SEQ0

m の意味 この章では、各チャンネルを「m」で識別します。たとえば、SEQ のデジタル入力信号は、DPINm と記述しています。

各製品の Index m を次の表に示します。

表 8-19 デジタル入力信号 DPINm

SEQn Index	V850E2/FE4-L	V850E2/FF4-L	V850E2/FG4-L V850E2/FJ4-L V850E2/FF4-G V850E2/FG4-G
m =	0 - 5, 8, 9, 12, 13	0 - 10, 12, 13	0 - 13

レジスタ・アドレス ウェイクアップ・シーケンサのアドレスは、ベース・アドレス <SEQn_base> からのオフセットで表します。

SEQn のベース・アドレス <SEQn_base> を次の表に示します。

表 8-20 レジスタ・ベース・アドレス <SEQn_base>

SEQn	<SEQn_base> アドレス
SEQ0	FF41 F000 _H

クロック供給 SEQ0 のクロック供給を次の表に示します。

表 8-21 SEQn クロック供給

SEQn	クロック	接続先
SEQ0	PCLK	低速 IntOsc

SEQ0 リセット SEQ0 関連レジスタは、次のリセット信号により初期化します。

表 8-22 SEQn リセット信号

SEQn	リセット信号
SEQ0	SYSRES

入出力信号 SEQn の入出力信号を次の表に示します。

表 8-23 SEQn 入出力信号

入出力信号	機能	接続先
SEQ0 :		
DPIN0	デジタル入力信号 0	ポート P0_0
DPIN1	デジタル入力信号 1	ポート P0_1
DPIN2	デジタル入力信号 2	ポート P0_2
DPIN3	デジタル入力信号 3	ポート P0_3
DPIN4	デジタル入力信号 4	ポート P0_4
DPIN5	デジタル入力信号 5	ポート P0_5
DPIN6	デジタル入力信号 6	ポート P0_6
DPIN7	デジタル入力信号 7	ポート P0_7
DPIN8	デジタル入力信号 8	ポート P0_8
DPIN9	デジタル入力信号 9	ポート P0_9
DPIN10	デジタル入力信号 10	ポート P0_10
DPIN11	デジタル入力信号 11	ポート P0_11
DPIN12	デジタル入力信号 12	ポート P0_12
DPIN13	デジタル入力信号 13	ポート P0_13
DPO	デジタル出力信号	ポート P0_14
APO	アナログ出力信号	ポート P0_15

内部信号 SEQn の内部信号を次の表に示します。

表 8-24 SEQn 内部信号

内部信号	機能	接続先
SEQ0 :		
INTTAUJ0I0	TAUJ0 割り込み信号 0	TAUJ0
INTTAUJ0I1	TAUJ0 割り込み信号 1	TAUJ0
INTTAUJ0I2	TAUJ0 割り込み信号 2	TAUJ0
SEQ0WUR	SEQ0 ウェイクアップ信号	スタンバイ・コントローラ

8.4.2 ウェイクアップ・シーケンサ使用時のポート設定

ウェイクアップ・シーケンサ入出力信号は、ポート機能に割り当てています。

ウェイクアップ・シーケンサを使用する場合、SEQnSCTLR.SEQEN = 1 (SEQn 有効) に設定し、使用する DPINm 端子に該当する SEQnDPINSR.DmEN = 1 (DPINm 入力有効) にしてください。

次の表に SEQ0 を使用する場合のポート設定について示します。

表 8-25 SEQn ポート設定^{a)}

ポート	PMnm	SEQnSEQEN	SEQnDmEN	ポート機能
P0_0	PM00 = 1 (ALT_IN1)	1	-	DPIN0
P0_1	PM01 = 1 (ALT_IN1)	1	-	DPIN1
P0_2	PM02 = 1 (ALT_IN1)	1	-	DPIN2
P0_3	PM03 = 1 (ALT_IN1)	1	-	DPIN3
P0_4	PM04 = 1 (ALT_IN1)	1	-	DPIN4
P0_5	PM05 = 1 (ALT_IN1)	1	1	DPIN5
		その他		FCN0RX
P0_6	PM06 = 1 (ALT_IN1)	1	1	DPIN6
		その他		FCN1RX
P0_7	PM07 = 1 (ALT_IN1)	1	1	DPIN7
		その他		URTE11RX
P0_8	PM08 = 1 (ALT_IN1)	1	-	DPIN8
P0_9	PM09 = 1 (ALT_IN1)	1	1	DPIN9
		その他		URTE10RX
P0_10	PM010 = 1 (ALT_IN1)	1	-	DPIN10
P0_11	PM011 = 1 (ALT_IN1)	1	1	DPIN11
		その他		URTE11RX
P0_12	PM012 = 1 (ALT_IN1)	1	1	DPIN12
		その他		TAUJ0I0
P0_13	PM013 = 1 (ALT_IN1)	1	1	DPIN13
		その他		TAUJ0I1
P0_14	PM014 = 0 (ALT_OUT1)	1	-	DPO
		その他		TAUJ0O2
P0_15	PM015 = 0 (ALT_OUT2)	1	-	APO ^{b)}
		その他		TAUJ0O3

a) PMC0m, PFC0m, および PFCE0m ビットは以下値を設定します。

PMC0.PMC0m = 1, PFC0.PFC0m = 0, PFCE0.PFCE0m = 0

b) APO 端子は、デジタル/アナログ混合モード時のみ使用することができます。

8.4.3 ウェイクアップ・シーケンサ機能概要

ウェイクアップ・シーケンサ (SEQ) は、スタンバイ・モード遷移を周期的に行うシステムで使用することができます。

- 概要**
- 最大 14 チャンネルの外部入力に対応
 - 選択した外部イベントによるスタンバイ・モードの解除
 - 起動信号の生成
 - 2 つの動作モードを選択可能
 - デジタル入力モード
 - デジタル / アナログ混合モード

ウェイクアップ・シーケンサ使用時の接続を以下図に示します。

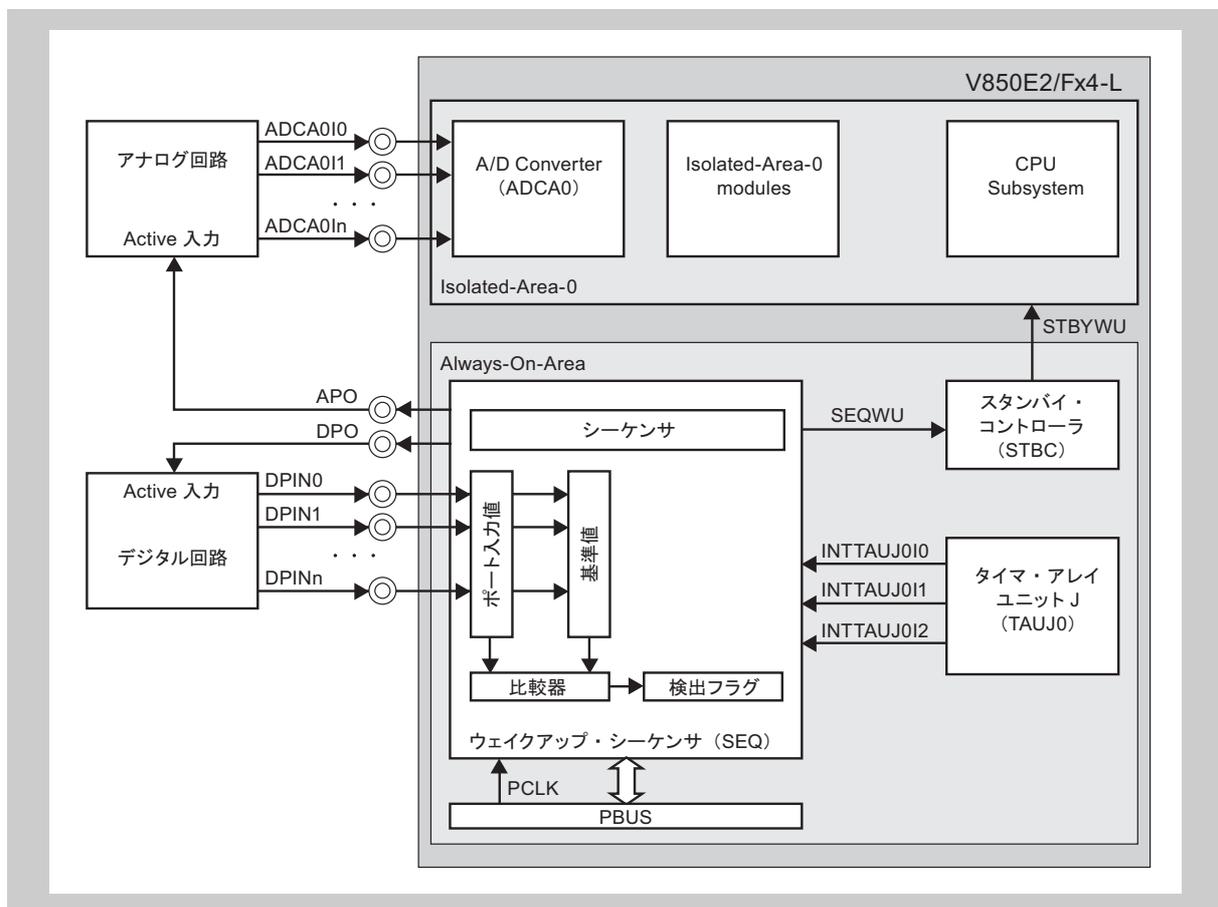


図 8-4 ウェイクアップ・シーケンサ接続図

デジタル入力モード デジタル入力端子 (DPINm) の入力レベルが変化した場合に、スタンバイ・コントローラ (STBC) に対してウェイクアップ要求を出力します。また、外部デジタル回路に対して起動信号 (DPO) を出力します。

デジタル/アナログ混合モード	<p>デジタル/アナログ混合モードの場合、デジタル入力端子 (DPINm) の入力レベルが変化した際に、スタンバイ・コントローラ (STBC) に対してウェイクアップ要求を出力します。また、外部回路に対して、起動信号 (DPO/APO) を出力します。</p> <p>SEQnSCTLR レジスタの SEQMD ビットで動作モードを選択することができます。</p> <ul style="list-style-type: none"> • SEQMD = 0 : デジタル入力モード • SEQMD = 1 : デジタル/アナログ混合モード
基準値の設定	<p>SEQnSCTLR レジスタの DPITRG ビットを 1 にすると、その時の DPINm 端子入力情報を基準値として記憶します。</p>
DPINm 入力信号	<p>DPINm 端子の入力信号は、以下 H/L 幅より長いレベルを入力してください。</p> <p>H 幅 : $2 T_{PCLK}$, L 幅 : $2 T_{PCLK}$</p>
判定タイミング	<p>ウェイクアップ・シーケンサは、TAUJ0 の割り込み信号により起動します。</p> <p>TAUJ0 の設定については、8.4.5 「ウェイクアップ・シーケンサ使用時の TAUJ0 レジスタ設定」を参照してください。</p>
検出フラグ	<p>デジタル入力信号 (DPINm) と基準値を比較し、異なる場合に検出フラグ (SEQnEFR レジスタの DPINEVF ビット) をセットします。</p> <ul style="list-style-type: none"> • DPINEVF = 0 : 現在の DPINm 入力値が基準値と同じ • DPINEVF = 1 : 現在の DPINm 入力値は基準値と異なる

8.4.3.1 ウェイクアップ・シーケンサ動作時のクロック設定

ウェイクアップ・シーケンサ (SEQ) を使用して、スタンバイ・モードに移行する場合、以下のクロック状態を設定してください。

- MainOsc の発振を停止してください (MOSCE.DISTRG = 1)
 - PLL0 の発振を停止してください (PLLE0.DISTRG = 1)
 - スタンバイ・モード時の高速 IntOsc を停止してください (ROSCE.STPMK = 0)
 - SEQnSCTLR.ACT13M ビットを 1 にすることで、ウェイクアップ時の処理時間を高速化することができます^a
 - CPU, CPU サブシステムのクロックに高速 IntOsc/1 を選択 (CKSC_000.CKSCID_000[30:0] = 003A_H)
 - ADCA0 のクロックに高速 IntOsc/1 を選択 (デジタル / アナログ混合モード時) (CKSC_012.CKSCID_012[30:0] = 0007_H)
 - TAUJ0 のクロックに低速 IntOsc/1 を選択, スタンバイ・モード時に CKSCLK_A03 をマスクしないに設定 (CKSC_A03.CKSCID_A03[30:0] = 0001_H, CKSC_A03.STPMK_A03 = 1)
- a) スタンバイ・モード遷移, 復帰から, 通常動作モードに移行する場合, 高速 IntOsc の動作周波数を, 必ず 8MHz 動作に変更してください。
(SEQnSCTLR.ACT13M = 0)

8.4.3.2 デジタル入力モード

デジタル入力モード (SEQnSCTLR.SEQMD = 0) は、選択した DPINm 端子の入力信号を判断し、スタンバイ・コントローラに対してウェイクアップ信号 (SEQWU) を出力します。

デジタル入力モードの動作概要を以下図に示します。

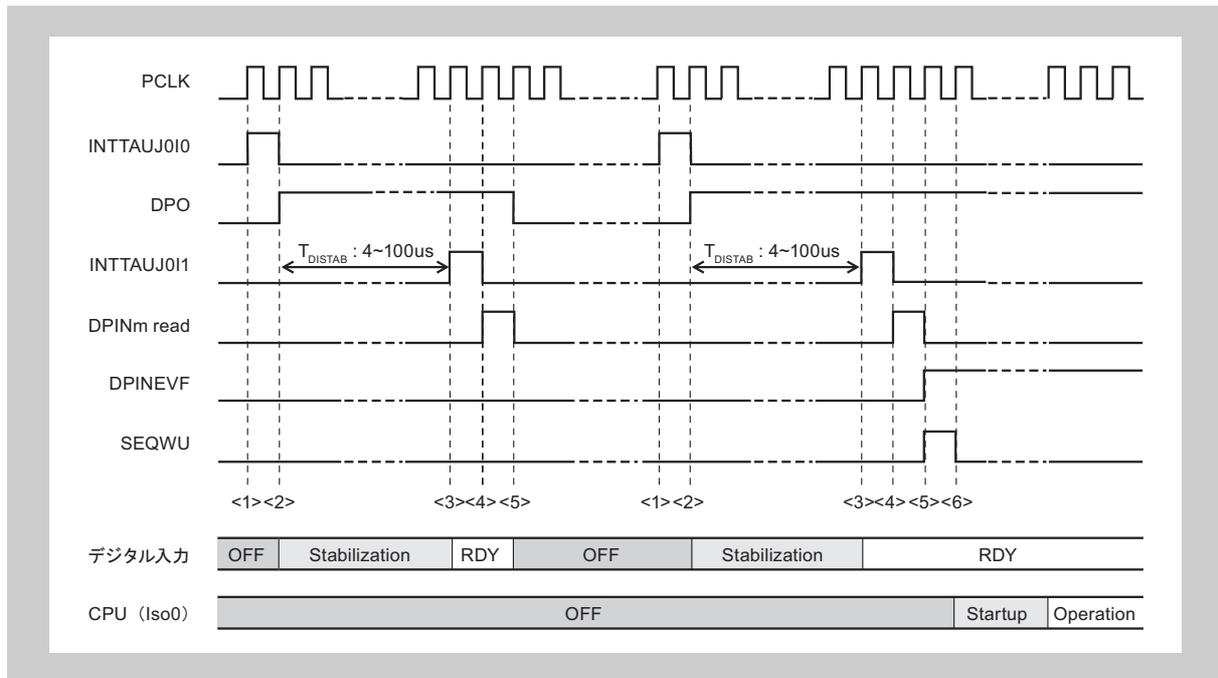


図 8-5 デジタル入力モード動作

- <1> インターバル・タイマ (INTTAUJ0I0) 要求信号
- <2> デジタル入力許可端子 (DPO) から "H" を出力
- <3> デジタル入力信号 (DPINm) 安定待ち
- <4> デジタル入力信号 (DPINm) を入力し、基準値と比較する
- <5> 比較結果が等しい場合、DPO から "L" を出力する。
比較結果が異なる場合、DPO は "H" 出力を継続し、イベント・フラグ (DPINEVF) をセットし、ウェイクアップ信号 (SEQWU) を出力する
- <6> スタンバイ・コントローラがウェイクアップ・シーケンサのウェイクアップ信号を受け付け、CPU (Iso0 領域) を起動する

8.4.3.3 デジタル/アナログ混合モード

デジタル/アナログ混合モード (SEQnSCTLR.SEQMD = 1) は、インターバル・タイマ割り込み要求信号により、ウェイクアップ信号 (SEQWU) を生成し、CPU が動作を開始する前に、DPINm 端子の入力判定、およびアナログ入力回路の起動を実施することができます。

デジタル/アナログ混合モードの動作概要を以下図に示します。

- 図 8-6 デジタル/アナログ混合モード (DPINm 端子変化なし)
- 図 8-7 デジタル/アナログ混合モード (DPINm 端子変化あり)

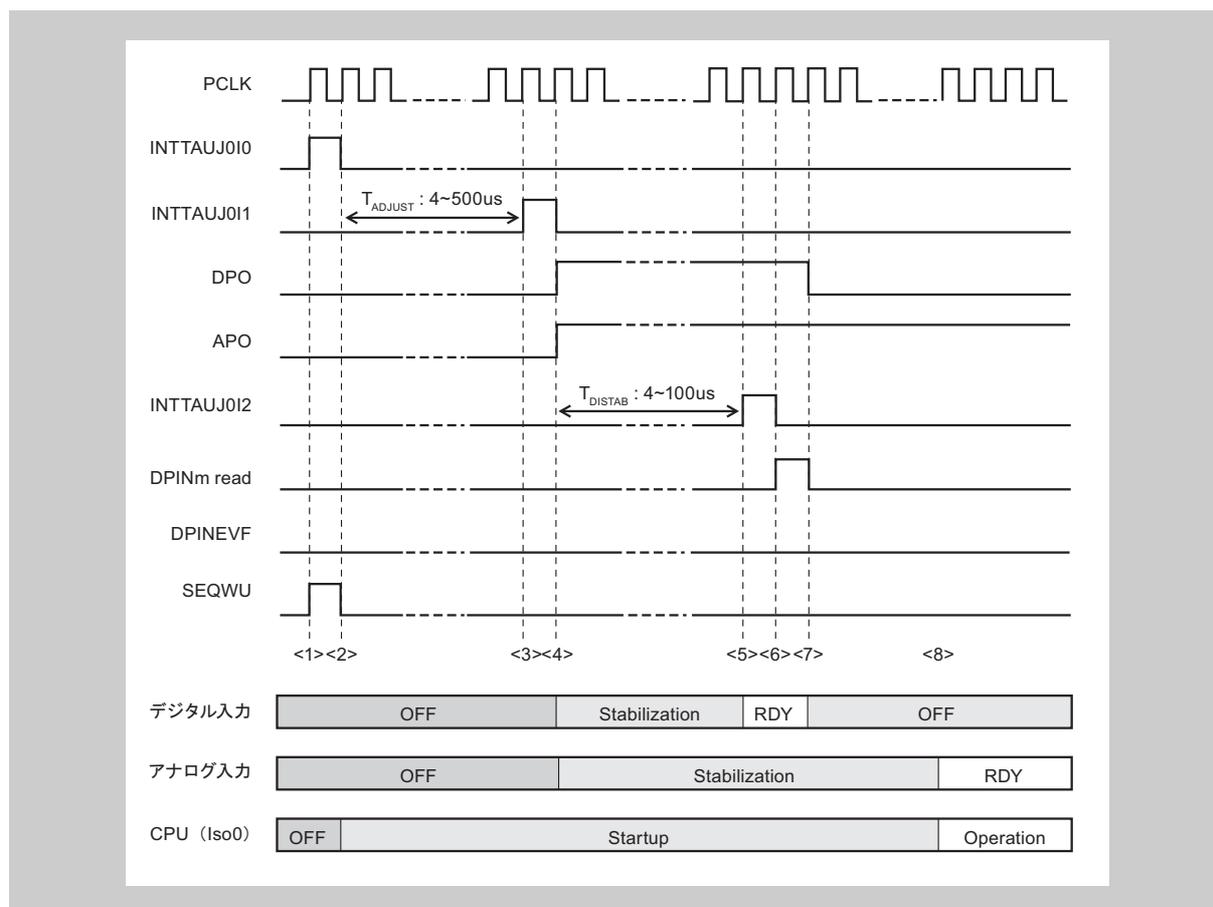


図 8-6 デジタル/アナログ混合モード (DPINm 端子変化なし)

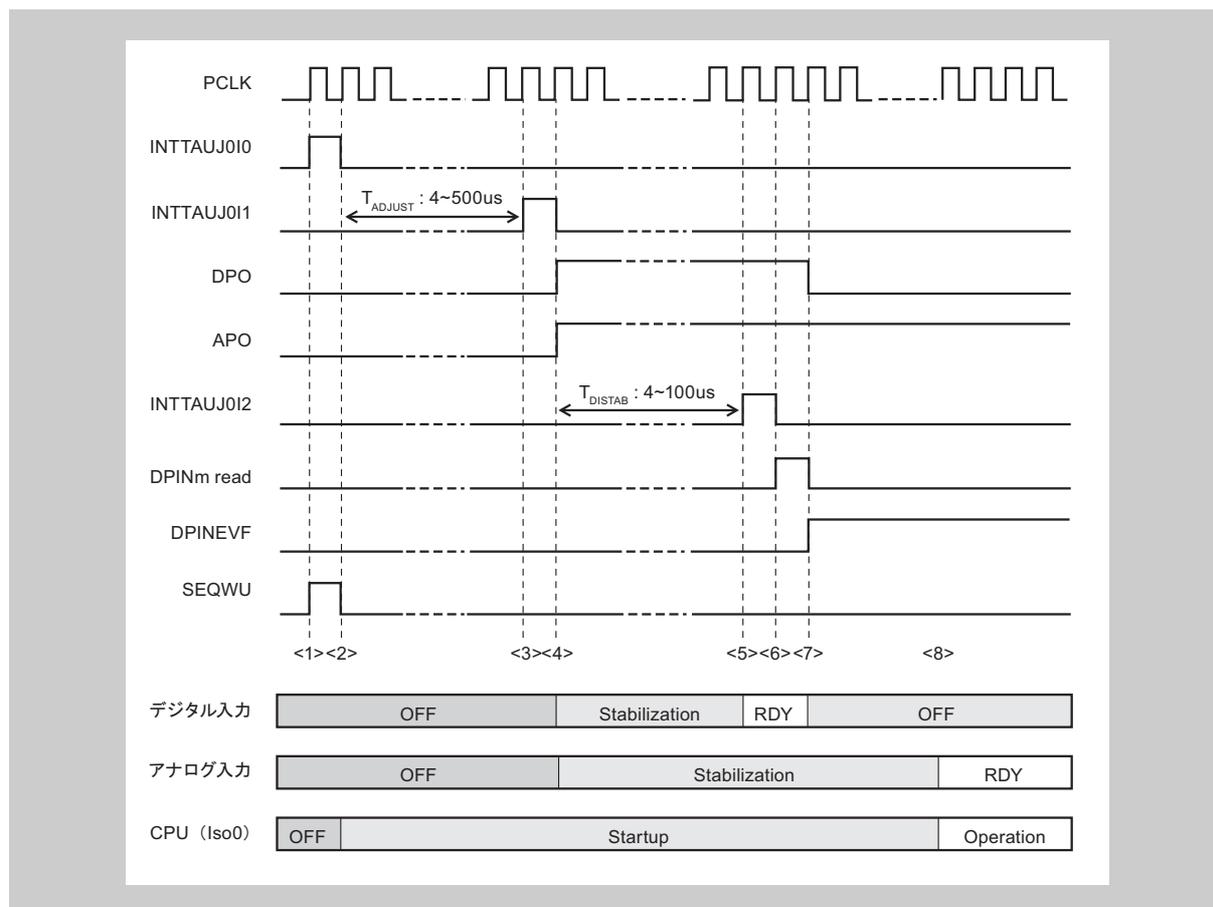


図 8-7 デジタル/アナログ混合モード (DPINm 端子変化あり)

- <1> インターバル・タイマ (INTTAUJ010) 要求信号により、ウェイクアップ信号 (SEQWU) を出力
- <2> スタンバイ・コントローラがウェイクアップ・シーケンサのウェイクアップ信号を受け付け、CPU (Iso0 領域) を起動する
- <3> 遅延時間 (T_{ADJUST}) の経過待ち (INTTAUJ011)
- <4> デジタル入力許可端子 (DPO) およびアナログ入力許可端子 (APO) から “H” を出力
- <5> デジタル入力信号 (DPINm) 安定待ち
- <6> デジタル入力信号 (DPINm) を入力し、基準値と比較する
- <7> DPO から “L” を出力する。比較結果が異なる場合、イベント・フラグ (DPINEVF) をセットする
- <8> CPU (Iso0 領域) の動作が開始し、A/D 変換の実行や入力情報の確認を行う

注意 DPO, APO 端子の出力は、SEQnSCTLR レジスタの SEQEN ビットが 1 の状態で SEQnSCTLR レジスタの DPOSET, APOSET ビットに 1 を書くことで “H” レベルを出力します。また、SEQnSCR レジスタの DPOCLR, APOCLR ビットに 1 を書くことで “L” レベルを出力します。

8.4.4 ウェイクアップ・シーケンサ・レジスタ

この節では、ウェイクアップ・シーケンサのレジスタについて説明します。

8.4.4.1 ウェイクアップ・シーケンサ・レジスタの概要

ウェイクアップ・シーケンサは次のレジスタで制御します。

表 8-26 ウェイクアップ・シーケンサ・レジスタの一覧

レジスタ	略号	アドレス
DPINm 機能許可レジスタ	SEQnDPINSR	<SEQn_base>
SEQn シーケンサ制御レジスタ	SEQnSCTLR	<SEQn_base> + 4 _H
SEQn イベント・フラグ・レジスタ	SEQnEFR	<SEQn_base> + 8 _H
SEQn シーケンサ・クリア・レジスタ	SEQnSCR	<SEQn_base> + C _H

8.4.4.2 ウェイクアップ・シーケンサ・レジスタの詳細

(1) SEQnDPINSR - DPINm 機能許可レジスタ

このレジスタは、デジタル入力端子 (DPINm) の機能許可 / 禁止を選択します。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <SEQn_base>

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	D13 EN	D12 EN	D11 EN	D10 EN	D9 EN	D8 EN	D7 EN	D6 EN	D5 EN	D4 EN	D3 EN	D2 EN	D1 EN	D0 EN
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-27 SEQnDPINSR レジスタの内容

ビット位置	ビット名	機能
13-0	DmEN	DPINm 機能許可選択ビット 0 : DPINm 機能禁止 1 : DPINm 機能許可

(2) SEQnSCTLR - SEQn シーケンサ制御レジスタ

このレジスタは、ウェイクアップ・シーケンサ動作時の各機能を設定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <SEQn_base> + 4_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
APO SET	DPO SET	0	0	0	0	0	0	ACT 13M	0	0	0	0	DPI TRG	SEQ MD	SEQ EN
W	W	R	R	R	R	R	R	R/W	R	R	R	R	W	R/W	R/W

表 8-28 SEQnSCTLR レジスタの内容

ビット位置	ビット名	機能
15	APOSET	アナログ入力許可出力 (APO) から "H" レベルを出力します。 0: 設定は無効 1: APO 端子から "H" を出力
14	DPOSET	デジタル入力許可出力 (DPO) から "H" レベルを出力します。 0: 設定は無効 1: DPO 端子から "H" を出力
7	ACT13M ^{a)}	高速 IntOsc の動作周波数を選択します。 0: $f_{RH} = 8\text{MHz}$ を選択 1: $f_{RH} = 13\text{MHz}$ を選択
2	DPITRG	デジタル入力の基準値を設定します。 0: 設定は無効 1: 基準値設定
1	SEQMD	ウェイクアップ・シーケンサの動作モードを選択します。 0: デジタル入力モード 1: デジタル/アナログ混合モード
0	SEQEN	ウェイクアップ・シーケンサの動作を許可します。 0: 機能停止 1: 機能許可

^{a)} スタンバイ・モード遷移、復帰から、通常動作モードに移行する場合、高速 IntOsc の動作周波数を、必ず 8MHz 動作に変更してください。

(3) SEQnEFR - SEQn イベント・フラグ・レジスタ

このレジスタは、DPINm 端子の変化をモニタします。

アクセス 16 ビット単位でリード可能です。

アドレス <SEQn_base> + 8_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DPIN EVF
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8-29 SEQnEFR レジスタの内容

ビット位置	ビット名	機能
0	DPINEVF ^a	DPINm 端子の変化あり / なしを判定します。 0 : 変化なし 1 : 変化あり

^{a)} DPINEVF ビットをクリアする場合、SEQnSCR.EFRCLR = 1 を実行してください。

(4) SEQnSCR - SEQn シーケンサ・クリア・レジスタ

このレジスタは、APO 端子および DPO 端子の出力切り替えと、SEQnEFR レジスタのクリアを行います。

アクセス 16 ビット単位でライト可能です。

アドレス <SEQn_base> + C_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
APO CLR	DPO CLR	0	0	0	0	0	0	0	0	0	0	0	0	0	EFR CLR
W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 8-30 SEQnSCR レジスタの内容

ビット位置	ビット名	機能
15	APOCLR	アナログ入力許可出力 (APO) から “L” レベルを出力します。 0 : 設定は無効 1 : APO 端子から “L” を出力
14	DPOCLR	デジタル入力許可出力 (DPO) から “L” レベルを出力します。 0 : 設定は無効 1 : DPO 端子から “L” を出力
0	EFRCLR	SEQnEFR レジスタの DPINEVF ビットをクリアします。 0 : 設定は無効 1 : DPINEVF ビットをクリア

8.4.5 ウェイクアップ・シーケンサ使用時の TAUJ0 レジスタ設定

この節では、ウェイクアップ・シーケンサ使用時のタイマ・アレイ・ユニット TAUJ0 のレジスタ設定について説明します。

なお、TAUJ0 のクロック・ソースは、低速 IntOsc/1 を選択してください。

TAUJ0 動作の詳細については、第 14 章「タイマ・アレイ・ユニット J」を参照してください。

(1) TAUJ0CMOR0 - TAUJ0 チャンネル・モード OS レジスタ 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ0 CKS[1:0]	TAUJ0 CCS[1:0]	TAUJ0 MAS	TAUJ0STS[2:0]	TAUJ0 COS[1:0]	0	TAUJ0MD[4:0]									
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 8-31 TAUJ0CMOR0 レジスタの設定

ビット位置	ビット名	機能
15-14	TAUJ0CKS [1:0]	動作クロックを選択します。 00 _B : CK0, 01 _B : CK1, 10 _B : CK2, 11 _B : CK3
13-12	TAUJ0CCS [1:0]	カウントクロックを選択します。 00 _B : TAUJ0CKS[1:0] で選択したクロック
11	TAUJ0MAS	チャンネル連動動作時のマスタ / スレーブを指定します。 1 : マスタ・チャンネル
10-8	TAUJ0STS [2:0]	外部スタート・トリガを選択します。 000 _B : ソフトウェア・トリガ
7-6	TAUJ0COS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。
4-0	TAUJ0MD [4:0]	動作モードを選択します。 00000 _B : インターバル・タイマ・モード

(2) TAUJ0CMUR0 - TAUJ0 チャンネル・モード・ユーザ・レジスタ 0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUJ0TIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 8-32 TAUJ0CMUR0 レジスタの設定

ビット位置	ビット名	機能
1-0	TAUJ0TIS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。

(3) TAUJ0RDE - TAUJ0 チャンネル・リロード・データ許可レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	TAUJ0 RDE03	TAUJ0 RDE02	TAUJ0 RDE01	TAUJ0 RDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-33 TAUJ0RDE レジスタの設定

ビット位置	ビット名	機能
3	TAUJ0RDE03	ウェイクアップ・シーケンサでは使用しません。
2	TAUJ0RDE02	チャンネル 2 データ・レジスタの一斉書き換え許可ビット 0:一斉書き換え禁止
1	TAUJ0RDE01	チャンネル 1 データ・レジスタの一斉書き換え許可ビット 0:一斉書き換え禁止
0	TAUJ0RDE00	チャンネル 0 データ・レジスタの一斉書き換え許可ビット 0:一斉書き換え禁止

(4) TAUJ0RDM - TAUJ0 チャンネル・リロード・データ・モード・レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	TAUJ0 RDM03	TAUJ0 RDM02	TAUJ0 RDM01	TAUJ0 RDM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-34 TAUJ0RDM レジスタの設定

ビット位置	ビット名	機能
3	TAUJ0 RDM03	ウェイクアップ・シーケンサでは使用しません。
2	TAUJ0 RDM02	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 0 を設定してください。
1	TAUJ0 RDM01	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 0 を設定してください。
0	TAUJ0 RDM00	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 0 を設定してください。

(5) TAUJ0CMOR1 - TAUJ0 チャンネル・モード OS レジスタ 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ0 CKS[1:0]	TAUJ0 CCS[1:0]	TAUJ OMAS	TAUJ0STS[2:0]				TAUJ0 COS[1:0]	0	TAUJ0MD[4:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 8-35 TAUJ0CMOR1 レジスタの設定

ビット位置	ビット名	機能
15-14	TAUJ0CKS [1:0]	動作クロックを選択します。 00 _B : CK0, 01 _B : CK1, 10 _B : CK2, 11 _B : CK3
13-12	TAUJ0CCS [1:0]	カウントクロックを選択します。 00 _B : TAUJ0CKS[1:0] で選択したクロック
11	TAUJOMAS	チャンネル連動動作時のマスタ / スレーブを指定します。 0 : スレーブ・チャンネル
10-8	TAUJ0STS [2:0]	外部スタート・トリガを選択します。 100 _B : マスタ・チャンネルの INT 信号 (INTTAUJ0I0)
7-6	TAUJ0COS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。
4-0	TAUJ0MD [4:0]	動作モードを選択します。 01001 _B : ワン・カウント・モード

(6) TAUJ0CMUR1 - TAUJ0 チャンネル・モード・ユーザ・レジスタ 1

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUJ0TIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 8-36 TAUJ0CMUR1 レジスタの設定

ビット位置	ビット名	機能
1-0	TAUJ0TIS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。

(7) TAUJ0CMOR2 - TAUJ0 チャンネル・モード OS レジスタ 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ0 CKS[1:0]	TAUJ0 CCS[1:0]	TAUJ OMAS	TAUJ0STS[2:0]				TAUJ0 COS[1:0]	0	TAUJ0MD[4:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 8-37 TAUJ0CMOR2 レジスタの設定

ビット位置	ビット名	機能
15-14	TAUJ0CKS [1:0]	動作クロックを選択します。 00 _B : CK0, 01 _B : CK1, 10 _B : CK2, 11 _B : CK3
13-12	TAUJ0CCS [1:0]	カウントクロックを選択します。 00 _B : TAUJ0CKS[1:0] で選択したクロック
11	TAUJOMAS	チャンネル連動動作時のマスタ / スレーブを指定します。 0 : スレーブ・チャンネル
10-8	TAUJ0STS [2:0]	外部スタート・トリガを選択します。 101 _B : ウェイクアップ・シーケンサ動作時の INT 信号 (INTTAUJ0I1)
7-6	TAUJ0COS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。
4-0	TAUJ0MD [4:0]	動作モードを選択します。 01001 _B : ワン・カウント・モード

(8) TAUJ0CMUR2 - TAUJ0 チャンネル・モード・ユーザ・レジスタ 2

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUJ0TIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 8-38 TAUJ0CMUR2 レジスタの設定

ビット位置	ビット名	機能
1-0	TAUJ0TIS [1:0]	ウェイクアップ・シーケンサ使用時は本ビットの機能は使用しません。 本ビットは 00 _B を設定してください。

(9) その他の TAUJ0 関連レジスタの設定

ウェイクアップ・シーケンサ使用時のその他 TAUJ0 関連レジスタの設定については、下表を参照してください。なお、TAUJ0 動作の詳細については、第14章「タイマ・アレイ・ユニット J (TAUJ)」を参照してください。

表 8-39 ウェイクアップ・シーケンサ使用時のその他 TAUJ0 関連レジスタ

レジスタ名	略号	設定
TAUJ0 プリスケーラ・クロック選択レジスタ	TAUJ0TPS	プリスケーラ・クロックを選択
TAUJ0 プリスケーラ・ポー・レート設定レジスタ	TAUJ0BRS	CK3_PRE クロックの分周を選択
TAUJ0 チャンネル・データ・レジスタ m	TAUJ0CDRm	各周期を設定
TAUJ0 チャンネル・カウンタ・レジスタ m	TAUJ0CNTm	—
TAUJ0 チャンネル・ステータス・レジスタ m	TAUJ0CSRm	本機能では使用しない
TAUJ0 チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUJ0CSCm	本機能では使用しない
TAUJ0 チャンネル・スタート・トリガ・レジスタ	TAUJ0TS	使用するチャンネルのカウントを許可にしてください。また終了させる場合、カウントを停止してください
TAUJ0 チャンネル許可ステータス・レジスタ	TAUJ0TE	
TAUJ0 チャンネル・ストップ・トリガ・レジスタ	TAUJ0TT	
TAUJ0 チャンネル出力許可レジスタ	TAUJ0TOE	本機能では使用しない
TAUJ0 チャンネル出力レジスタ	TAUJ0TO	本機能では使用しない
TAUJ0 チャンネル出力モード・レジスタ	TAUJ0TOM	本機能では使用しない
TAUJ0 チャンネル出力コンフィギュレーション・レジスタ	TAUJ0TOC	本機能では使用しない
TAUJ0 チャンネル出力レベル・レジスタ	TAUJ0TOL	本機能では使用しない
TAUJ0 チャンネル・リロード・データ・トリガ・レジスタ	TAUJ0RDT	本機能では使用しない
TAUJ0 チャンネル・リロード・ステータス・レジスタ	TAUJ0RSF	本機能では使用しない
TAUJ0 エミュレーション・レジスタ	TAUJ0EMU	任意

第9章 コード保護とセキュリティ

9.1 概要

マイクロコントローラは、フラッシュ・メモリに格納されたプログラム・コードを好ましくないアクセス（不正なリードや不正なプログラム変更など）から保護するためのさまざまな方法をサポートします。

インタフェースには、一般に内蔵フラッシュ・メモリへのアクセスを提供するものがあります（Nexus デバッグ・インタフェース、外部フラッシュ・メモリ・プログラマ・インタフェース、セルフ・プログラミング機能、テスト・インタフェース）。

以下に、セキュリティに関連する項目を示します。内蔵フラッシュ・メモリ内のデータを権限のないユーザによるリードから保護する機能について説明します。

フラッシュ・メモリの詳細は、第6章「フラッシュ・メモリ」の章を参照してください。

以下の節では、サポートされるコード保護方法の概要を示します。

9.2 フラッシュ・メモリ・プログラマとセルフ・プログラミングの保護

一般に、フラッシュ・メモリの内容の不正なリードやプログラム変更は、フラッシュ・メモリ・プログラマ・インタフェースやセルフ・プログラミング機能を用いられる可能性があります。フラッシュ・メモリを保護するために、次のフラグを使用してさまざまな保護レベルを実現できます。

このフラグはフラッシュ・メモリ・プログラマやセルフ・プログラミングで設定できます。フラッシュ・メモリのプログラミングについては、第6章「フラッシュ・メモリ」の章を参照してください。

(1) プログラム保護フラグ（プログラム保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるプログラミング機能を無効にします。セルフ・プログラミング・インタフェースには影響しません。

フラッシュ・メモリ全体に対して有効です。

(2) ブロック消去保護フラグ（ブロック消去保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるブロック消去機能を無効にします。このフラグはセルフ・プログラミング・インタフェースには影響しません。

フラッシュ・メモリ全体に対して有効です。

(3) リード保護フラグ（リード保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるフラッシュ・メモリのリード・バックを許可する機能を無効にします。このフラグはセルフ・プログラミング・インタフェースには影響しません。

フラッシュ・メモリ全体に対して有効です。

(4) ブート・ブロック・クラスタ保護フラグ

ブート・ブロック・クラスタの消去と書き換えを無効にします。ブート・ブロック・クラスタの操作は一切できません（消去／書き換えともに）。

シリアル・モードとセルフ・プログラミング・モードで利用できます。

このフラグを一度セットするとリセットできません。したがって、それ以降、ブート・ブロック・クラスタの内容は変更できません。

(5) フラッシュ・シールド

フラッシュ・シールドは、消去とプログラミングが許可されるフラッシュ・メモリ領域、プログラミング・ウインドウを指定します。プログラミング・ウインドウ以外の残りのフラッシュ・メモリ領域は、ライトも消去もできません。

9.3 オンチップ・デバッグ・インタフェースの保護

一般に、フラッシュ・メモリの内容の不正なリードは Nexus オンチップ・デバッグ・インタフェースを使用される可能性があります。フラッシュ・メモリを保護するために、デバッグ・インタフェースの利用を保護し、無効にすることができます。

デバッグ・インタフェースは、95 ビットの ID コードと内部コントロール・フラグ（オンチップ・デバッグ許可制御）で保護されます。

デバッガが起動すると、コントロール・フラグのステータスが照会されます。このフラグをゼロに設定すると、オンチップ・デバッガが無効になります。

デバッグが有効な場合（オンチップ・デバッグ許可フラグがセットされている場合）は、デバッガで 95 ビットの ID コードを入力する必要があります。入力したコードは、内蔵フラッシュ・メモリに格納された ID コードと比較されます。コードが一致しない場合は、デバッグできません。

オンチップ・デバッグ許可フラグと ID コードはメモリの拡張領域に格納され、レジスタ OCDIDL, OCDIDM, OCDIDH を使用してアクセスできます。

9.3.1 オンチップ・デバッグ許可フラグ

オンチップ・デバッグ許可フラグには、レジスタ・ビット OCDIDH.OCDID[95] を使用してアクセスできます。

次の状況でセットまたはリセットが可能です。

- 外部フラッシュ・メモリ・プログラマによるフラッシュ・メモリのプログラム変更時
- 外部フラッシュ・メモリ・プログラマとセルフ・プログラミングによるフラッシュ・メモリのプログラム変更時
- ユーザ・プログラムによる場合

オンチップ・デバッグの許可と禁止は、次のようにそれぞれオンチップ・デバッグ制御レジスタ IDMODI で行います。

- IDMODI.IDEN = 1 かつ IDMODI.IDDATA = 0 で OCDIDH.OCDID[95] = 0 が設定され、オンチップ・デバッグが無効になります。
- IDMODI.IDEN = 1 かつ IDMODI.IDDATA = 1 で OCDIDH.OCDID[95] = 1 が設定され、オンチップ・デバッグが有効になります。

- 備考**
1. オンチップ・デバッグ・コントロール・フラグ OCDIDH.OCDID[95] の変更は、外部 RESET またはパワーオン・クリア・リセット POCRES による次の解除後に有効になります。
 2. IDMODI.IDEN = 0 による IDMODI へのライトは、オンチップ・デバッグ・コントロール・フラグを変更しません。

9.3.2 オンチップ・デバッグ ID コード

95 ビットの ID コードには、レジスタ・ビット OCDIDH.OCDID[94:64], OCDIDM.OCDID[63:32], OCDIDL.OCDID[31:0] を使用してアクセスできません。

ID コードは次の状況で指定できます。

- 外部フラッシュ・メモリ・プログラマによるフラッシュ・メモリのプログラム変更時
- 外部フラッシュ・メモリ・プログラマとセルフ・プログラミングによるフラッシュ・メモリのプログラム変更時

9.3.3 オンチップ・デバッグ保護レベルの概要

オンチップ・デバッグ・インタフェースの保護レベルの概要を次の表に示します。

表 9-1 オンチップ・デバッグ保護レベル

オンチップ・デバッグ許可フラグ	ID コード	保護レベル
0	X ^a	レベル 2 : 完全な保護 オンチップ・デバッグ・インタフェースは使用できません
1	ユーザに固有の ID コード	レベル 1 : ID コード保護 ユーザが正しい ID コードを入力した場合のみ、オンチップ・デバッグ・インタフェースを使用できます。
	ID コードはすべて 1 ^b	レベル 0 : 保護なし オンチップ・デバッグ・インタフェースを使用できます。

a) ID コードは比較されません。

b) フラッシュ・メモリ消去後のデフォルトの状態です。

- 備考**
1. オンチップ・デバッグ・インタフェースは、一度「使用禁止」に設定されると、ユーザ・プログラムまたはセルフ・プログラミングでオンチップ・デバッグ許可フラグが 1 に設定されるまでは使用できません。
 2. 保護レベル 1 または 2 を設定した後に、フラッシュ・メモリの拡張領域で「チップ消去禁止フラグ」を設定してください。これを怠ると、ID コードや「オンチップ・デバッグ許可フラグ」が格納されたブロックを権限のないユーザが消去することが可能になり、結果として保護が中断する可能性があります。

9.3.4 オンチップ・デバッグ制御レジスタ

以下のレジスタはオンチップ・デバッグ専用です。

表 9-2 オンチップ・デバッグ制御レジスタの概要

レジスタ名	略号	アドレス
オンチップ・デバッグ ID レジスタ L	OCDIDL	FF47 0000 _H
オンチップ・デバッグ ID レジスタ M	OCDIDM	FF47 0004 _H
オンチップ・デバッグ ID レジスタ H	OCDIDH	FF47 0008 _H
オンチップ・デバッグ制御レジスタ	IDMODI	FF47 0000 _H

(1) OCDIDL/M/H - オンチップ・デバッグ ID レジスタ

これらのレジスタには 95 ビットの ID コードが保持され、ユーザはデバッグ・セッション開始時に入力を求められます。
OCDID[95] ビットの使用により、一般にオンチップ・デバッグを許可または禁止することができます。

アクセス 通常動作モードでは 32 ビット単位でリード可能です。
このレジスタへのライトは、フラッシュ・プログラミングおよびセルフ・プログラミング・モードでのみ可能です。
オンチップ・デバッグ制御ビット OCDID[95] は、通常動作モードで IDMODI レジスタを使用して変更することもできます。

アドレス OCDIDL : FF47 0000_H, OCDIDM : FF47 0004_H, OCDIDH : FF47 0008_H

初期値 ユーザ定義

OCDIDH :

31	30	...	0
OCDID [95]	OCDID [94]	...	OCDID [64]
R	R	...	R

OCDIDM :

31	30	...	0
OCDID [63]	OCDID [62]	...	OCDID [32]
R	R	...	R

OCDIDL :

31	30	...	0
OCDID [31]	OCDID [30]	...	OCDID [0]
R	R	...	R

表 9-3 OCDIDH/M/L レジスタの内容

レジスタ	ビット位置	ビット名	機能
OCDIDH	31	OCDID[95]	オンチップ・デバッグの許可／禁止： 0：オンチップ・デバッグを禁止 1：オンチップ・デバッグを許可
OCDIDH	30 - 0	OCDID[94:64]	95 ビットのオンチップ・デバッグ ID コード
OCDIDM	31 - 0	OCDID[63:32]	
OCDIDL	31 - 0	OCDID[31:0]	

(2) IDMODI - オンチップ・デバッグ制御レジスタ

通常動作モードで、たとえばユーザ・プログラムによって、オンチップ・デバッグを許可／禁止できるようにします。
このためには、オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] を変更します。

備考 オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] の変更は、外部 RESET またはパワーオン・クリア・リセット POCRES による次の解除後に有効になります。

保護 このレジスタへのライトは、保護コマンド・レジスタ PROTCMD3 を使用した特定の命令シーケンスによって保護されます。
ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の章の 3.7「ライト保護レジスタ」節を参照してください。

アクセス 8ビット単位でライト可能です。
このレジスタをリードすると OCDIDL の値を返します。

アドレス FF47 0000_H

初期値 ユーザ定義

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IDEN	IDDATA
R	R	R	R	R	R	W	W

表 9-4 IDMODI レジスタの内容

ビット位置	ビット名	機能											
1 0	IDEN IDDATA	オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] の許可／禁止の変更 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IDEN</th> <th>IDDATA</th> <th>OCDIDH.OCDID[95] の変更</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>X</td> <td>変更なし</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>0 に設定 (オンチップ・デバッグを禁止)</td> </tr> <tr> <td>1</td> <td>1 に設定 (オンチップ・デバッグを許可)</td> </tr> </tbody> </table>	IDEN	IDDATA	OCDIDH.OCDID[95] の変更	0	X	変更なし	1	0	0 に設定 (オンチップ・デバッグを禁止)	1	1 に設定 (オンチップ・デバッグを許可)
IDEN	IDDATA	OCDIDH.OCDID[95] の変更											
0	X	変更なし											
1	0	0 に設定 (オンチップ・デバッグを禁止)											
	1	1 に設定 (オンチップ・デバッグを許可)											

第10章 リセット・コントローラ

10.1 機能概要

マイクロコントローラとレジスタを初期化するため、複数のシステム・リセット機能が用意されています。

機能概要 次の要因によってリセットが起こります。

- 外部リセット信号 $\overline{\text{RESET}}$
外部リセット信号内のノイズはアナログ・フィルタによって除去されません。
- パワーオン・クリア (POCRES)
- ウォッチドッグ・タイマのオーバフロー (WDTA0RES および WDTA1RES)
- クロック・モニタ・リセット ($\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$)
- 低電圧検出リセット (LVIRES)
- ソフトウェア・リセット (SWRES)
- デバッグ・リセット (DBRES)

リセット・コントローラ的主要構成要素を次のブロック図に示します。

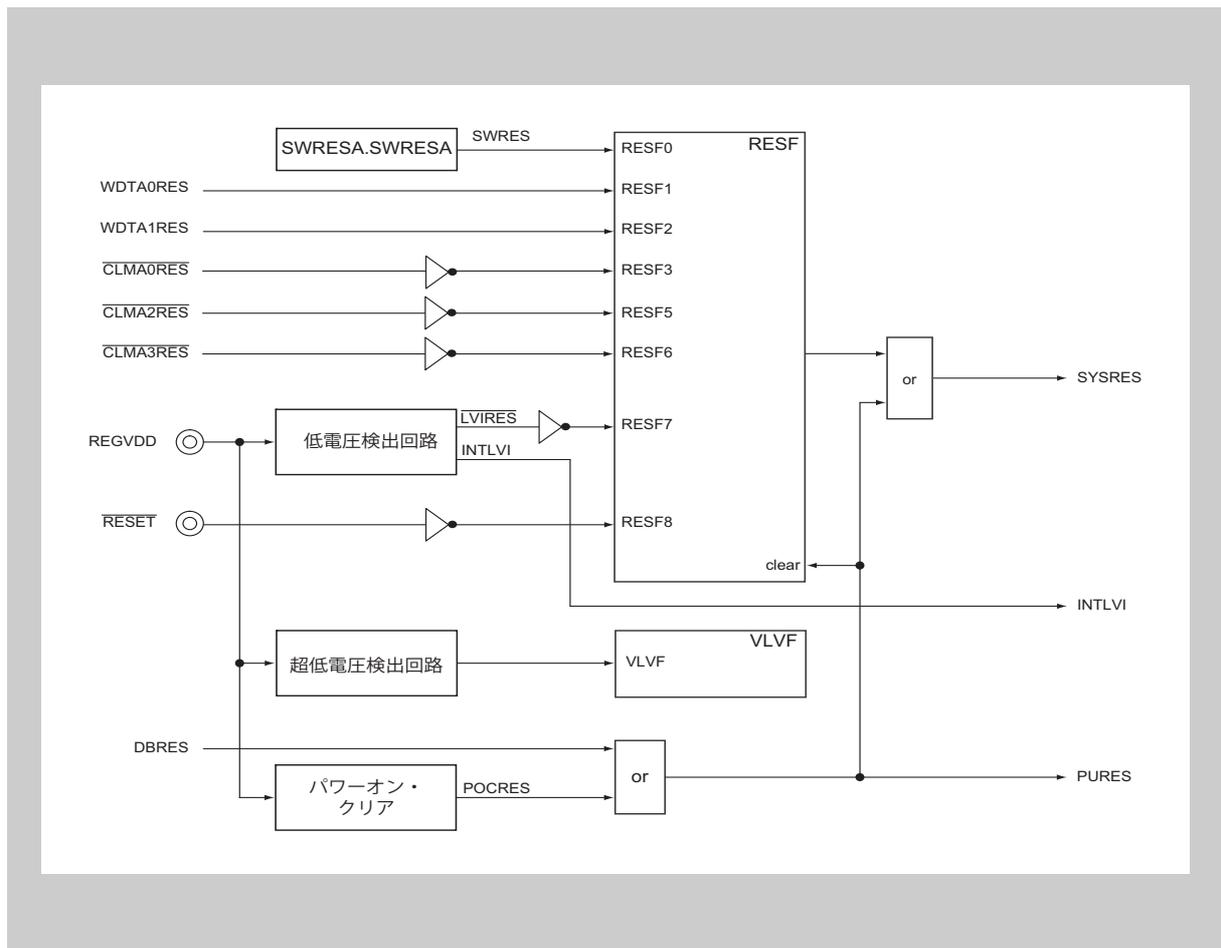


図 10-1 リセット・コントローラのブロック図

(1) リセット信号

リセット・コントローラは、各種リセット要因からのリセット信号に対して、次の2種類のリセット信号の発生を制御します。

- システム・リセット SYSRES
システム・リセットはすべてのリセット要因によって発生します。SYSRESはクロック発生回路以外のすべてのマイクロコントローラ構成部に適用されます。したがって、SYSRES発生後も、それまでに動作していたすべてのクロック発生回路は動作を継続します。
- パワーアップ・リセット PURES
パワーアップ・リセット PURES はパワーオン・クリア・リセット POCRES またはデバッグ・リセット DBRES によってアクティブとなります。PURES がアクティブになると、クロック発生回路がリセットされるので、クロック発生回路は、動作を停止したあとリスタートする必要があります。PURES によるクロック発生回路の停止についての詳細は、第7章「クロック・コントローラ」を参照してください。
なお、PURES は、システム・リセット SYSRES もアクティブとなります。その場合は、クロック発生回路を含むすべてのマイクロコントローラ構成部がリセットされます。

(2) リセット・フラグ

リセット要因フラグ・レジスタ RESF は各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセット・フラグは、パワーアップ・リセット PURES またはソフトウェアによってクリアできます。

詳細は 10.2.1 「リセット・フラグ」を参照してください。

(3) 内蔵モジュール・リセット

ウォッチドッグ・タイマ・リセット ウォッチドッグ・タイマは WDTA0RES と WDTA1RES の2種類のリセットを発生させることができます。
詳細は 10.2.6 「ウォッチドッグ・タイマ・リセット」を参照してください。

クロック・モニタ・リセット クロック・モニタは $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ の3種類のリセットを発生させることができます。
詳細は 10.2.8 「クロック・モニタ・リセット」を参照してください。

デバッグ・リセット デバッグに接続する際に発生します。このリセット発生に伴い、パワーアップ・リセット PURES が発生します。

(4) ソフトウェア・コントロール・リセット

SWRES ソフトウェア・リセットはソフトウェア・リセット・コントロール・レジスタ SWRESA を設定して発生させることができます。

詳細は 10.2.7 「ソフトウェア・リセット」を参照してください。

(5) 電源監視

複数の回路によって外部電源 REGVDD のレベルを監視し、そのレベルに応じて異なる動作をします。

低電圧検出 低電圧検出回路 LVI は、REGVDD の電圧レベルがある特定のレベルを下回った場合、LVIRES リセットを発生させます。電圧レベルは調整可能で、また LVIRES はマスクすることができます。
詳細は 10.2.3 「低電圧検出回路 (LVI)」を参照してください。

パワーオン・クリア パワーオン・クリア回路 (POC) は電源電圧 V_{DD} と内蔵基準電圧を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。
詳細は 10.2.2 「パワーオン・クリア (POC)」を参照してください。

超低電圧検出 超低電圧検出回路 VLVI の VLVF.VLVF フラグは、REGVDD がある特定のレベルを下回っており、バックアップ RAM (BURAM) の内容を保持することが保証できない状態であることを示します。
詳細は 10.3.5 「超低電圧フラグ制御レジスタ」を参照してください。

10.2 機能説明

10.2.1 リセット・フラグ

リセット・フラグ・レジスタ RESF は、各リセット要因に対するリセット・フラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF 内のフラグは、パワーアップ・リセット PURES (POCRES または DBRES) によってのみクリアされます。そのため、各フラグの状態は保持されます。各リセット要因は、他のリセット要因とは独立して、対応するフラグのみをセットします。

10.2.2 パワーオン・クリア (POC)

パワーオン・クリア回路 (POC) は、電源電圧 REGVDD と内蔵基準電圧 V_{POC} を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

REGVDD が内蔵基準電圧を下回った場合 ($REGVDD < V_{POC}$)、内蔵リセット信号 POCRES とシステム・リセット SYSRES、およびパワーアップ・リセット PURES が発生します。

内蔵基準電圧レベル V_{POC} の仕様についての詳細は、「電気的特性 (ターゲット)」を参照してください。

パワーオン・クリア・リセットによって、リセット状態フラグ・レジスタ RESF がクリアされます。

パワーオン・クリア機能は、電源電圧がしきい値レベル V_{POC} を超えないかぎり、マイクロコントローラのリセット状態を保持します。

POCRES のタイミングを次の図に示します。

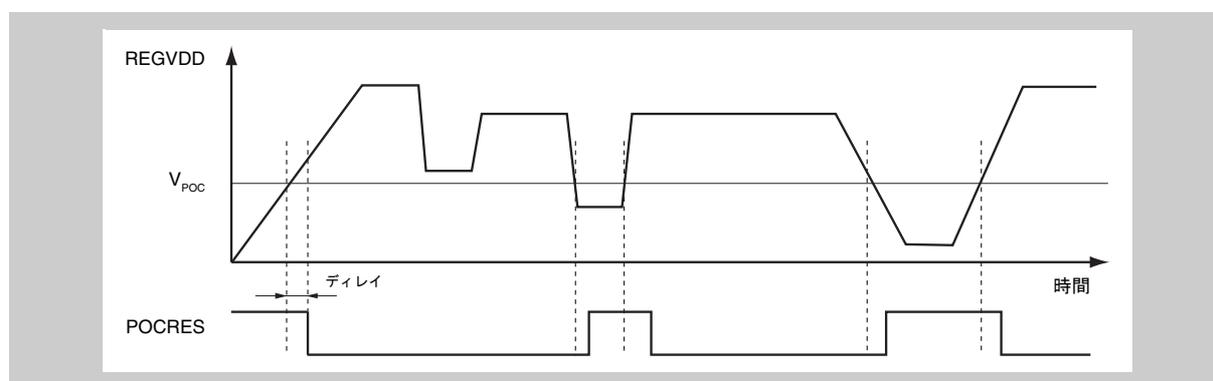


図 10-2 POC リセット・タイミング

ディレイ REGVDD が V_{POC} レベルと交差してから POCRES が発生／解除するまでには遅延時間が発生します。遅延時間の仕様については、「電気的特性（ターゲット）」を参照してください。

10.2.3 低電圧検出回路（LVI）

低電圧検出回路（LVI）は、電源電圧 REGVDD と LVI 内蔵基準電圧 V_{LVI} を常に比較しています。

REGVDD が内蔵基準電圧を下回った場合（ $REGVDD < V_{LVI}$ ）、内蔵リセット信号 \overline{LVIRES} とシステム・リセット SYSRES が発生します。

さらに、 \overline{LVIRES} フラグ（RESF.RESF7 ビット）がセットされます。その後、REGVDD が V_{LVI} を上回っても RESF.RESF7 ビットは自動的にクリアされません。RESF.RESF7 ビットは以下によってクリアされます。

- RESFC.RESFC7 ビットを 1 に設定
- パワーアップ・リセット PURES（POCRES または DBRES）

LVI 基準電圧 LVI 基準電圧 V_{LVI} は、LVICNT.LVICNT[2:0] ビットを設定することによって 3 種類のレベルから選択できます。LVICNT.LVICNT[2:0] ビットが 000_B に設定されている場合、LVI は無効です。内蔵基準電圧レベル V_{LVI} の仕様については、表 10-5 「LVICNT レジスタの内容」を参照してください。

LVI 割り込み LVI 割り込み（INTLVI）は、下記の場合に有効となります。

- REGVDD が LVI 基準電圧より低くなった場合（ $REGVDD < V_{LVI}$ ）
- REGVDD が LVI 基準電圧より高くなった場合（ $REGVDD > V_{LVI}$ ）

INTLVI 割り込みは、すべてのスタンバイ・モードからのウエイクアップ要因として使用できます。詳細は、第 8 章「スタンバイ・コントローラ（STBC）」を参照してください。

\overline{LVIRES} マスク \overline{LVIRES} の発生を禁止することができます。

- LVICNT.LVIREMSK = 0 : \overline{LVIRES} をマスクしない（許可）
- LVICNT.LVIREMSK = 1 : \overline{LVIRES} をマスク（禁止）

\overline{LVIRES} と RESF.RESF7 ビットのタイミングを次の図に示します。

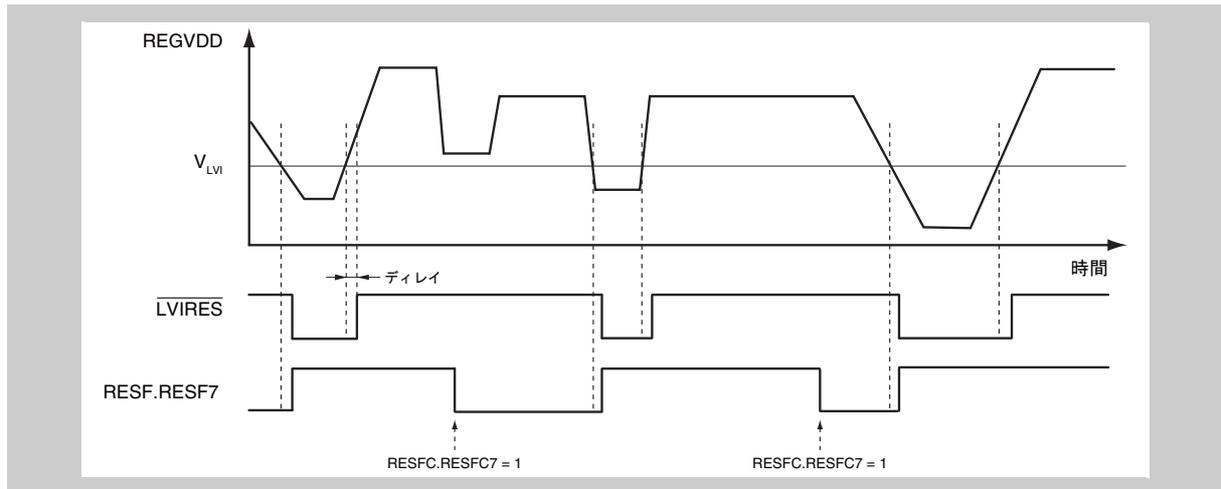


図 10-3 LVI リセット・タイミング

ディレイ REGVDD が V_{LVI} レベルと交差してから \overline{LVIRES} が発生し、RESF.RESF7 ビットをセットするまでには遅延時間が発生します。遅延時間の仕様については、「電気的特性（ターゲット）」を参照してください。

10.2.4 超低電圧検出回路 (VLVI)

超低電圧検出回路 (VLVI) は、電源電圧 REGVDD と VLVI 内蔵基準電圧 V_{RAMHF} を常に比較しています。

内蔵基準電圧レベル V_{RAMHF} の仕様については、「電気的特性 (ターゲット)」を参照してください。

BURAM 内容の保持 電源電圧 REGVDD が V_{RAMHF} を下回らないかぎり、バックアップ RAM (BURAM) の内容は保持され、リストアされません。REGVDD が V_{RAMHF} を下回った場合、BURAM の内容は変更されたと考えられます。したがって、動作を継続する前に BURAM 全体をリストアする必要があります。

REGVDD が内蔵基準電圧を下回った場合 ($REGVDD < V_{RAMHF}$)、VLVF.VLVF ビットがセットされます。その後、REGVDD が V_{RAMHF} を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC ビットを 1 に設定

VLVF ビットのタイミングを次の図に示します。

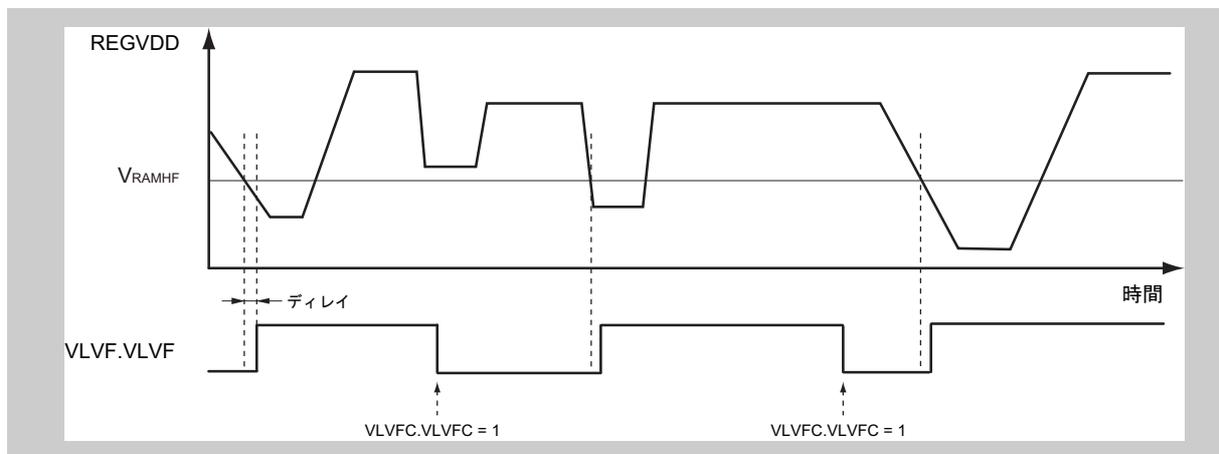


図 10-4 VLVI リセット・タイミング

デレイ REGVDD が V_{RAMHF} レベルと交差してから VLVF ビットをセット (1) するまでには遅延時間が発生します。遅延時間の仕様については、「電気的特性 (ターゲット)」を参照してください。

10.2.5 外部 $\overline{\text{RESET}}$

$\overline{\text{RESET}}$ 端子にロウ・レベル信号が印加されると、リセット処理が行われます。

その後、 $\overline{\text{RESET}}$ がインアクティブになっても RESF.RESF8 ビットは自動的にクリアされません。RESF.RESF8 ビットは以下によってクリアされます。

- RESFC.RESFC8 を 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

クロック発生回路 詳細は、第7章「クロック・コントローラ」を参照してください。

$\overline{\text{RESET}}$ 信号は、ノイズによる不正リセットの発生を防ぐためにアナログ・ノイズ・フィルタを通過します。

この図では、ノイズ除去の効果も示しています。

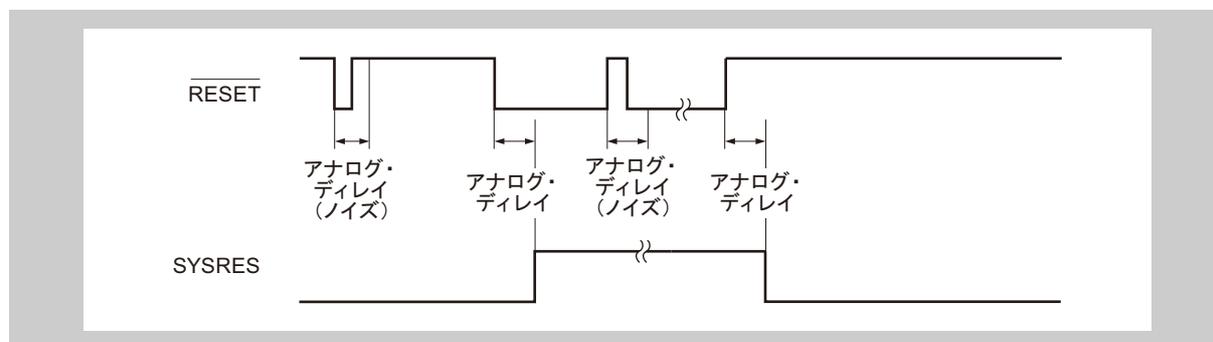


図 10-5 外部 $\overline{\text{RESET}}$ タイミング

アナログ・フィルタによってアナログ・ディレイが発生します。フィルタはある一定の幅までのパルスをノイズとみなし、抑制します。最小 RESET パルス幅については、「電気的特性 (ターゲット)」を参照してください。

10.2.6 ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマは、ウォッチドッグ時間を超えたときにリセットを発生するように設定することができます。ウォッチドッグ・リセットが発生すると、ウォッチドッグ・タイマ・リセット・フラグ (WDTA0RES に対しては RESF.RESF1 ビット, WDTA1RES に対しては RESF.RESF2 ビット) がそれぞれセットされ、システム・リセット SYSRES を発生します。

その後、WDTA0RES (WDTA1RES) が停止しても RESF.RESF1 ビット (RESF.RESF2 ビット) は自動的にクリアされません。RESF.RESF1 ビット、RESF.RESF2 ビットは以下によってクリアされます。

- RESFC.RESFC1 ビットまたは RESFC.RESFC2 ビットを 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

10.2.7 ソフトウェア・リセット

SWRESA.SWRESA に 1 を設定することでソフトウェア・リセット SWRES を発生させることができます。

SWRES によってシステム・リセット SYSRES が発生し、リセット・フラグ RESF.RESF0 ビットがセットされます。

RESF.RESF0 ビットは自動的にクリアされません。RESF.RESF0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

10.2.8 クロック・モニタ・リセット

クロック・モニタは以下のリセット信号を発生させることができます。

- メイン発振回路のフェイル検出： $\overline{\text{CLMA0RES}}$
- 8 MHz 内蔵発振回路のフェイル検出： $\overline{\text{CLMA2RES}}$
- PLL0 フェイル検出： $\overline{\text{CLMA3RES}}$

クロック・モニタ・リセットによってシステム・リセット SYSRES が発生し、RESF レジスタ内の対応するリセット・フラグがセットされます。これらのフラグは自動的にクリアされません。各リセット・フラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$ に対しては RESFC.RESFC3 ビット、 $\overline{\text{CLMA2RES}}$ に対しては RESFC.RESFC5 ビット = 1, $\overline{\text{CLMA3RES}}$ に対しては RESFC.RESFC6 ビットをそれぞれセット
- パワーアップ・リセット PURES (POCRES または DBRES)

10.2.9 デバッグ・リセット

デバッグに接続する際、このリセット DBRES が発生します。DBRES は電源投入リセット PURES をアクティブにし、パワーオン・リセット・リセット POCRES と同様に、次のように動作します。

- クロック発生回路をリセットします。そのため、クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF をクリアします。

10.2.10 リセット・コントローラ・レジスタ保護

下記のリセット・コントローラ・レジスタはライト保護レジスタです。

- ソフトウェア・リセット・レジスタ SWRESA
- LVI 制御レジスタ LVICNT

ライト保護レジスタへの書き込みについての詳細は、7.3.5 「保護レジスタへの書き込み」を参照してください。

10.3 レジスタ

この節では、リセット・コントローラのすべてのレジスタについて説明します。

10.3.1 リセット・コントローラ・レジスタ概要

リセット・コントローラは、次のレジスタで制御、動作します。

表 10-1 リセット・コントローラ・レジスタ一覧

レジスタ名	略号	アドレス
汎用リセット・フラグ・レジスタ		
リセット要因レジスタ	RESF	FF42 0160 _H
リセット要因クリア・レジスタ	RESFC	FF42 0168 _H
ソフトウェア・リセット制御レジスタ		
ソフトウェア・リセット・レジスタ	SWRESA	FF42 0204 _H
低電圧検出リセット制御レジスタ		
LVI 制御レジスタ	LVICNT	FF42 0200 _H
超低電圧フラグ制御レジスタ		
超低電圧レジスタ	VLVF	FF42 0180 _H
超低電圧クリア・レジスタ	VLVFC	FF42 0188 _H
保護コマンド・レジスタ		
保護コマンド・レジスタ 2	PROTCMD2	FF42 0300 _H
保護ステータス・レジスタ 2	PROTS2	FF42 0304 _H

10.3.2 汎用リセット・フラグ・レジスタの詳細

(1) RESF - リセット要因レジスタ

前回のパワーオン・クリア・リセット後に発生したリセットの種類を保持しています。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。

たとえば、ウォッチドッグ・タイマ・リセット WDTA0RES が発生したのちにクロック・モニタ CLMA0RES が発生した場合、このレジスタの読み出し値は 0000 000A_H になります。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 0160_H

初期値 0000 0000_H このレジスタはパワーアップ・リセット PURES（パワーオン・クリア・リセット POCRES またはデバッグ・リセット DBRES）によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RESF 8	RESF 7	RESF 6	RESF 5	0	RESF 3	RESF 2	RESF 1	RESF 0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10-2 RESF レジスタの内容 (1/2)

ビット位置	ビット名	機能
8	RESF8	外部 <u>RESET</u> のリセット・フラグ 0: <u>RESET</u> リセット未発生 1: <u>RESET</u> リセット発生
7	RESF7	低電圧検出リセット・フラグ 0: <u>LVIRES</u> リセット未発生 1: <u>LVIRES</u> リセット発生
6	RESF6	クロック・モニタ CLMA3 リセット・フラグ 0: <u>CLMA3RES</u> リセット未発生 1: <u>CLMA3RES</u> リセット発生
5	RESF5	クロック・モニタ CLMA2 リセット・フラグ 0: <u>CLMA2RES</u> リセット未発生 1: <u>CLMA2RES</u> リセット発生
3	RESF3	クロック・モニタ CLMA0 リセット・フラグ 0: <u>CLMA0RES</u> リセット未発生 1: <u>CLMA0RES</u> リセット発生

表 10-2 RESF レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESF2	ウォッチドッグ・タイマ WDTA1 リセット・フラグ 0 : WDTA1RES リセット未発生 1 : WDTA1RES リセット発生
1	RESF1	ウォッチドッグ・タイマ WDTA0 リセット・フラグ 0 : WDTA0RES リセット未発生 1 : WDTA0RES リセット発生
0	RESF0	ソフトウェア・リセット・フラグ 0 : SWRES リセット未発生 1 : SWRES リセット発生

(2) RESFC - リセット要因クリア・レジスタ

RESF レジスタのリセット・フラグをクリアします。

アクセス 32 ビット単位でライト可能です。

アドレス FF42 0168_H

初期値 このレジスタを読み出すと常に 0000 0000_H を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RESF C8	RESF C7	RESF C6	RESF C5	0	RESF C3	RESF C2	RESF C1	RESF C0
R	R	R	R	R	R	R	W	W	W	W	R	W	W	W	W

表 10-3 RESFC レジスタの内容

ビット位置	ビット名	機能
8	RESFC8	外部リセット・フラグ RESF.RESF8 のクリア 0: 機能なし 1: RESF.RESF8 をクリア
7	RESFC7	低電圧検出リセット・フラグ RESF.RESF7 のクリア 0: 機能なし 1: RESF.RESF7 をクリア
6	RESFC6	クロック・モニタ CLMA3 リセット・フラグ RESF.RESF6 のクリア 0: 機能なし 1: RESF.RESF6 をクリア
5	RESFC5	クロック・モニタ CLMA2 リセット・フラグ RESF.RESF5 のクリア 0: 機能なし 1: RESF.RESF5 をクリア
3	RESFC3	クロック・モニタ CLMA0 リセット・フラグ RESF.RESF3 のクリア 0: 機能なし 1: RESF.RESF3 をクリア
2	RESFC2	ウォッチドッグ・タイマ WDTA1 リセット・フラグ RESF.RESF2 のクリア 0: 機能なし 1: RESF.RESF2 をクリア
1	RESFC1	ウォッチドッグ・タイマ WDTA0 リセット・フラグ RESF.RESF1 のクリア 0: 機能なし 1: RESF.RESF1 をクリア
0	RESFC0	ソフトウェア・リセット・フラグ RESF.RESF0 のクリア 0: 機能なし 1: RESF.RESF0 をクリア

10.3.3 ソフトウェア・リセット制御レジスタの詳細

(1) SWRESA - ソフトウェア・リセット・レジスタ

ソフトウェア・リセット SWRES を発生させます。

アクセス 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は 10.2.10 「リセット・コントローラ・レジスタ保護」を参照してください。

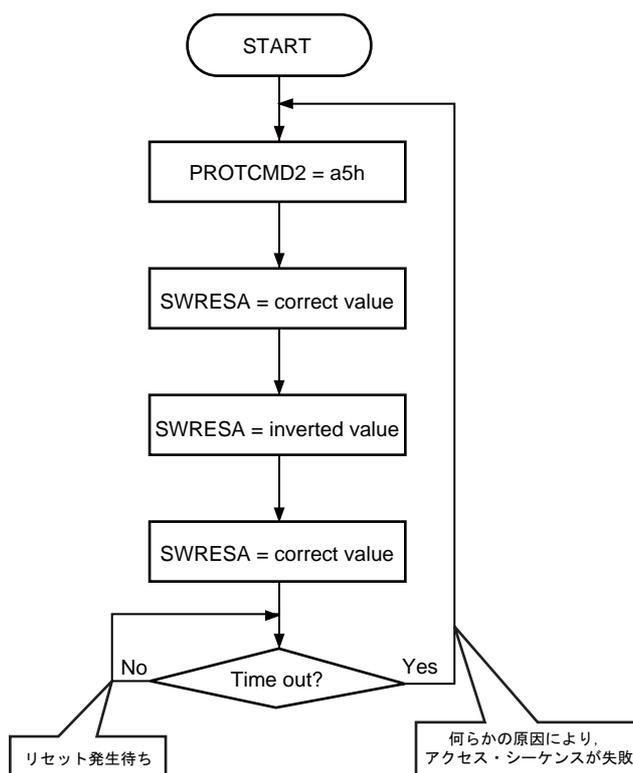
アドレス FF42 0204_H

初期値 このレジスタを読み出すと常に 0000 0000_H を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWRESA
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 10-4 SWRESA レジスタの内容

ビット位置	ビット名	機能
0	SWRESA	ソフトウェア・リセット制御 0: 機能なし 1: ソフトウェア・リセット SWRES を発生



10.3.4 低電圧検出リセット制御レジスタ

(1) LVICNT - LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

アクセス 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使った特定の命令シーケンスによって保護されます。

詳細は 10.2.10 「リセット・コントローラ・レジスタ保護」を参照してください。

アドレス FF42 0200_H

初期値 0000 0000_H このレジスタはパワーアップ・リセット PURES（パワーオン・クリア・リセット POCRES またはデバッグ・リセット DBRES）によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	LVIRE SMK	LVICNT[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 10-5 LVICNT レジスタの内容

ビット位置	ビット名	機能																
3	LVIRESMK	LVI リセット LVIRES のマスク 0 : LVIRES マスクなし 1 : LVIRES マスク (LVIRES の発生禁止)																
2-0	LVICNT[2:0]	LVI 検出レベル <table border="1"> <thead> <tr> <th>LVICNT[2:0]</th><th>検出レベル</th></tr> </thead> <tbody> <tr> <td>000_B</td><td>LVI はインアクティブ</td></tr> <tr> <td>001_B</td><td>LVI レベル 1 (4.0V±0.1V)</td></tr> <tr> <td>010_B</td><td>LVI レベル 2 (3.7V±0.1V)</td></tr> <tr> <td>011_B</td><td>LVI レベル 3 (3.5V±0.1V)</td></tr> <tr> <td>100_B</td><td>設定禁止</td></tr> <tr> <td>101_B</td><td>設定禁止</td></tr> <tr> <td>11X_B</td><td>設定禁止</td></tr> </tbody> </table> <p>LVI 検出レベルの仕様については、「電気的特性 (ターゲット)」を参照してください。</p>	LVICNT[2:0]	検出レベル	000 _B	LVI はインアクティブ	001 _B	LVI レベル 1 (4.0V±0.1V)	010 _B	LVI レベル 2 (3.7V±0.1V)	011 _B	LVI レベル 3 (3.5V±0.1V)	100 _B	設定禁止	101 _B	設定禁止	11X _B	設定禁止
LVICNT[2:0]	検出レベル																	
000 _B	LVI はインアクティブ																	
001 _B	LVI レベル 1 (4.0V±0.1V)																	
010 _B	LVI レベル 2 (3.7V±0.1V)																	
011 _B	LVI レベル 3 (3.5V±0.1V)																	
100 _B	設定禁止																	
101 _B	設定禁止																	
11X _B	設定禁止																	

備考 LVI 検出レベルがパワーオン・クリア検出レベルに近い場合、両方が同時に低電圧を検出します。
 こうした場合、パワーオン・クリア・リセット POCRES が動作し、リセット要因 RESF はクリアされます。そのため、LVI リセット・フラグ RESF.RESF7 は LVI 検出を行いません。

10.3.5 超低電圧フラグ制御レジスタ

(1) VLVF - 超低電圧フラグ・レジスタ

超低電圧の検出状態を示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 0180_H

初期値 0000 0001_H

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	VLVF
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10-6 VLVF レジスタの内容

ビット位置	ビット名	機能
0	VLVF	超低電圧の検出状態 0: 超低電圧未検出 1: 超低電圧検出

(2) VLVFC - 超低電圧フラグ・クリア・レジスタ

VLVF.VLVF ビットをクリアします。

アクセス 32 ビット単位でライト可能です。

アドレス FF42 0188_H

初期値 このレジスタを読み出すと常に 0000 0000_H を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	VLVFC
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 10-7 VLVFC レジスタの内容

ビット位置	ビット名	機能
0	VLVFC	VLVF.VLVF ビットのクリア 0: 機能なし 1: VLVF.VLVF ビットのクリア

10.3.6 保護コマンド・レジスタの詳細

(1) PROTCMDm – 保護コマンド・レジスタ m (m = 2)

ライト保護リセット・コントローラ・レジスタの保護コマンド・レジスタです。

アクセス 書き込み専用のレジスタで、8ビット単位でライト可能です。

(このレジスタを読み出した場合の値は、常に0です。)

アドレス PROTCMD2 : FF42 0300_H

初期値 00_H このレジスタはどのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
PCMD7	PCMD6	PCMD5	PCMD4	PCMD3	PCMD2	PCMD1	PCMD0
W	W	W	W	W	W	W	W

使用方法についての詳細は、10.2.10「リセット・コントローラ・レジスタ保護」を参照してください。

表 10-8 PROTCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	PCMD7 – PCMD0	ライト保護リセット・コントローラ・レジスタに書き込み可能な保護コマンド

(2) PROTSm - 保護ステータス・レジスタ m (m = 2)

PROTCMDm によって動作する保護シーケンスの状態を示します。

アクセス 8ビット単位でリード可能です。

このレジスタへの書き込みは無視されます。

アドレス PROTS2 : FF42 0304_H

初期値 00_H このレジスタはリセットの発生、または PROTCMDm レジスタへの A5h の書き込みで初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROT ERR
R	R	R	R	R	R	R	R

表 10-9 PROTSm レジスタの内容

ビット位置	ビット名	機能
0	PROTERR	保護ライト・シーケンス・エラー・モニタ 0 : 保護エラーなし 1 : 保護エラーあり

第11章 OSタイマ (OSTM)

この章では、OSタイマ全般について説明します。

最初の節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Lに固有の特徴について説明します。

以降の節で、OSTM搭載製品に共通の特徴について説明します。

11.1 V850E2/Fx4-L の OSTM の特徴

チャンネル この製品は次のチャンネル数のOSタイマを搭載しています。

表 11-1 OSTMのチャンネル

OSタイマ	
チャンネル数	1
名称	OSTM0

レジスタ・アドレス OSタイマ・レジスタのアドレスは、それぞれのベース・アドレス <OSTMn_base> からのオフセットで表されます。
各 OSTMn のレジスタ・ベース・アドレスを次の表に示します。

表 11-2 レジスタ・ベース・アドレス

OSTMn	<OSTMn_base> アドレス
OSTM0	FF80 0000 _H

クロック供給 OSタイマは次のクロックが供給されます。

表 11-3 OSTM クロック供給

OSTMn	OSTMn のクロック	接続先
OSTM0	PCLK	クロック・コントローラの CKSCLK_032

入出力信号 OS タイマの入出力信号を次の表に示します。
OS タイマには、次の機能があります。

表 11-4 OSTMn の入出力信号

OSTMn 信号	機能	接続先
OSTMnTCKE	カウント・クロック許可	1 に固定
OSTMnTSST	カウント開始	0 に固定

割り込み OS タイマは次の割り込み要求を発生できます。

表 11-5 OSTMn の割り込み要求

OSTMn の信号	機能	接続先
OSTM0TINT	OSTMn の割り込み	割り込みコントローラ INTOSTM0I

11.2 機能概要

機能概要 OS タイマには、次の機能があります。

- 2つの動作モード
 - インターバル・タイマ・モード
 - フリー・ランニング・コンペア・モード
- ほかの周辺機能との同期 (OSTMnTSST に信号が入力される場合)
- OSTMnTINT 割り込み

OS タイマの主な構成要素を次のブロック図に示します。

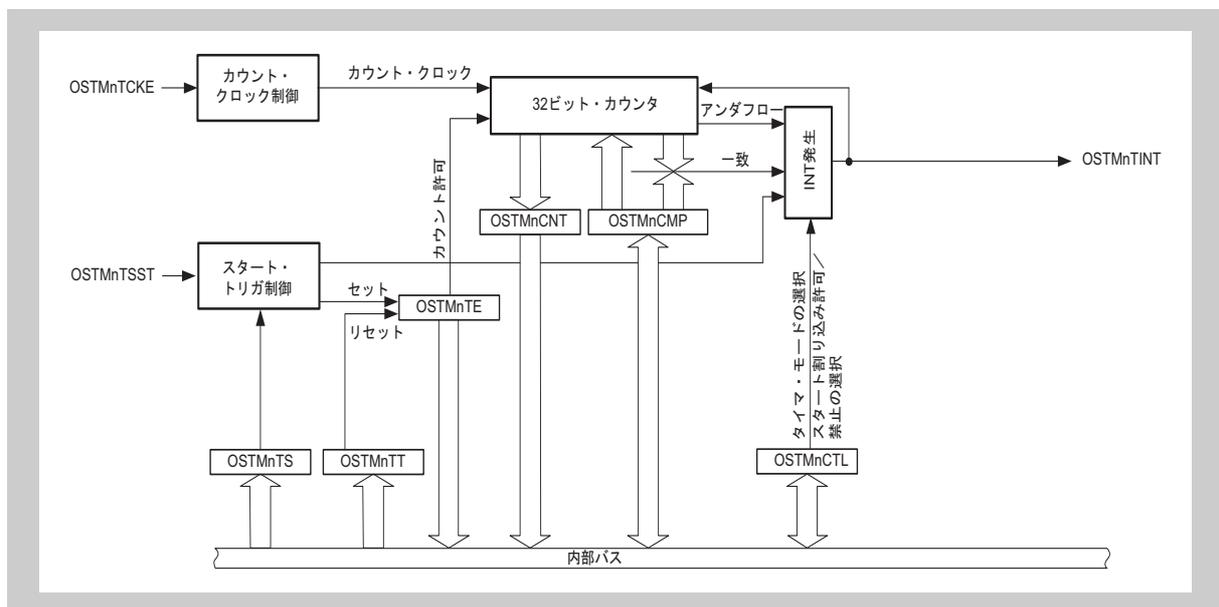


図 11-1 OS タイマのブロック図

11.3 機能説明

OS タイマは 32 ビットのタイマ/カウンタです。

OS タイマは、インターバル・タイマ・モードまたはフリー・ランニング・コンペア・モードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OS タイマは、カウント・クロック許可信号（OSTMnTCKE）とカウント開始信号（OSTMnTSST）の入力により、ほかの周辺機能と同期させることができます。（詳細は 11.3.1「カウント・クロック」と 11.3.3「タイマの起動と停止」を参照してください）。

11.3.1 カウント・クロック

OS タイマのカウント・クロックは、PCLK と OSTMnTCKE の入力によって次のように定義されます。

- PCLK をカウント・クロックとして使用する場合は、OSTMnTCKE を 1 に固定する必要があります。
- OSTMnTCKE から信号が入力される場合は、それに応じてカウントします。

これを次の図に示します。

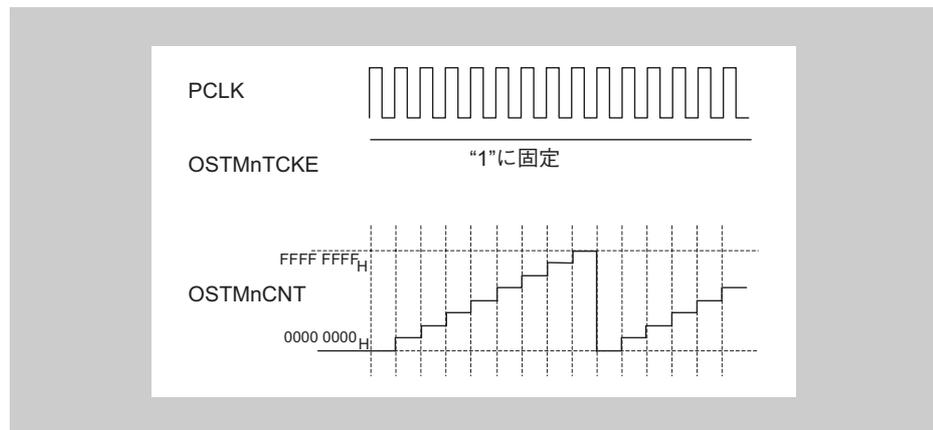


図 11-2 OSTMnTCKE を 1 に固定した場合のカウント動作

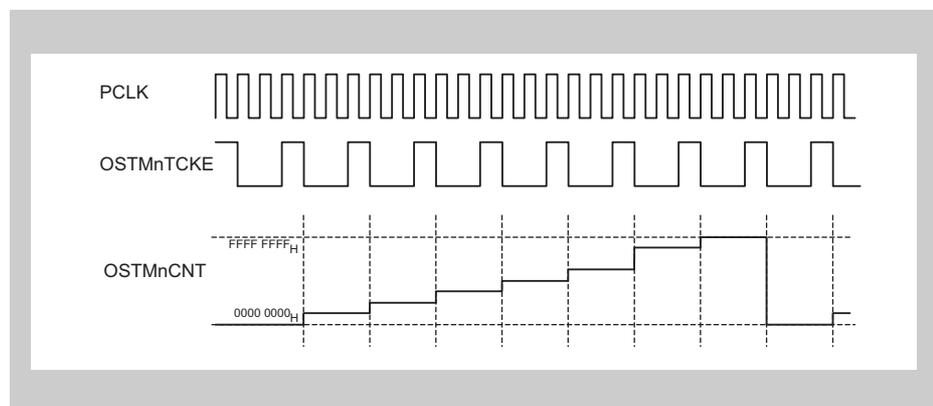


図 11-3 OSTMnTCKE の入力信号によるカウント動作

11.3.2 割り込み要求の生成

カウンタ・アンダフローが発生したとき（インターバル・タイマ・モードの場合）またはカウンタが比較値と一致したとき（フリー・ランニング・コンペア・モードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

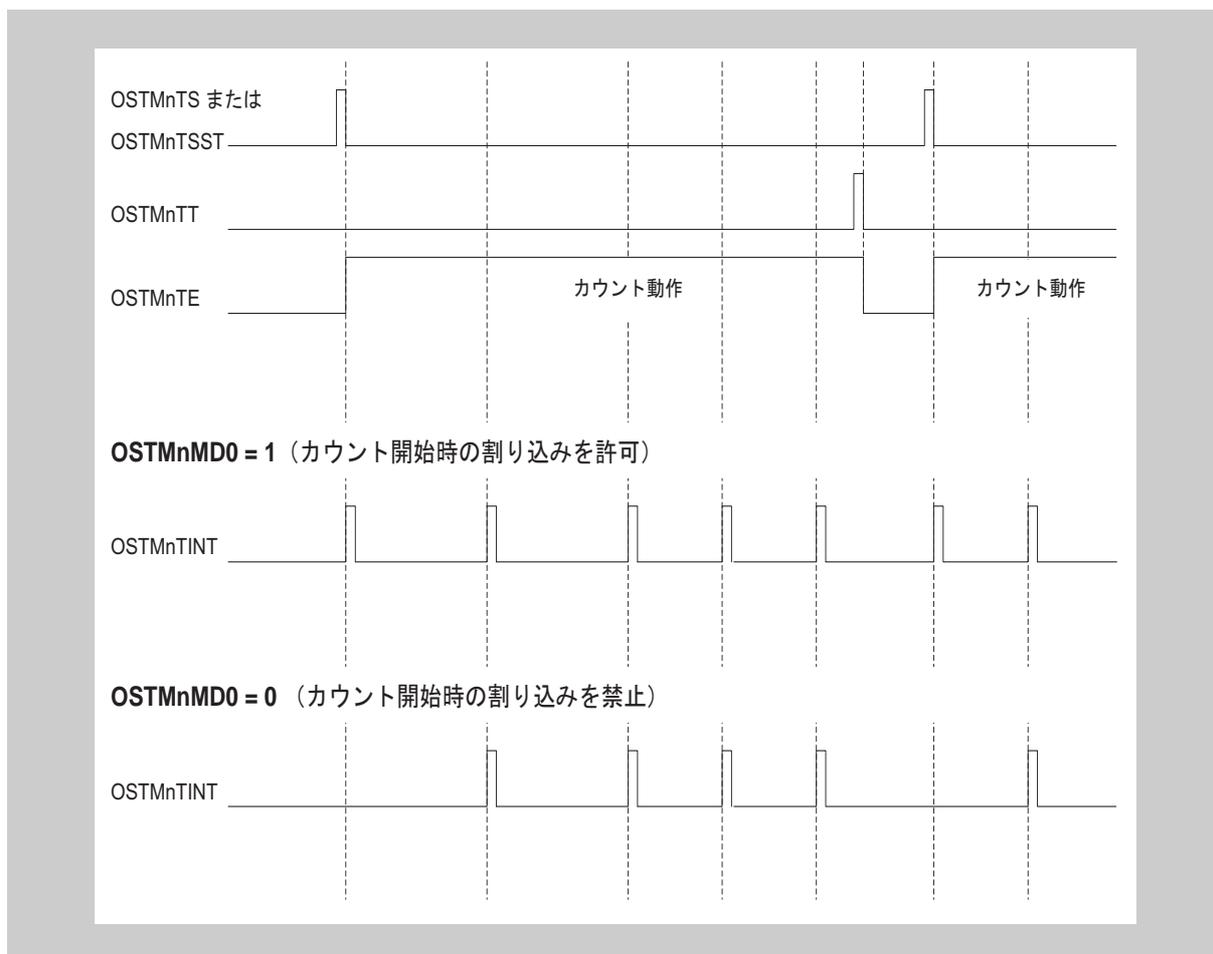


図 11-4 カウント開始時の割り込み生成

11.3.3 タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動 タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号が 0 から 1 に遷移

ステータス・ビット OSTMnTE.OSTMnTE が 1 に設定され、OSTMnTS.OSTMnTS ビットが 0 に戻ります。

動作モードによって、カウンタはカウント・ダウンまたはカウント・アップを開始します。詳細は 11.3.4 「インターバル・タイマ・モード」と 11.3.5 「フリー・ランニング・コンペア・モード」を参照してください。

備考 OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

停止 タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。ステータス・ビット OSTMnTE.OSTMnTE がクリアされます。

同期起動 OSTMnTSST を使用して、ほかの周辺機能と同期して起動することができます。対象製品 (V850E2/Fx4-L, V850E2/Fx4-G) では、同期起動機能を使用することができません。

11.3.4 インターバル・タイマ・モード

インターバル・タイマ・モードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

(1) インターバル・タイマ・モードの基本動作

インターバル・タイマ・モードでは、タイマは OSTMnCMP レジスタで指定された値からカウント・ダウンします。カウンタがアンダフローした (0000 0000_H に達した) 場合に、割り込み要求 OSTMnTINT が発生します。

インターバル・タイマ・モード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000_H に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMnTINT 期間 OSTMnTINT の期間は次のようになります。

- OSTMnTINT 発生期間 = カウント・クロック期間 × (OSTMnCMP + 1)

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みを許可された場合の OS タイマの基本動作を示します。

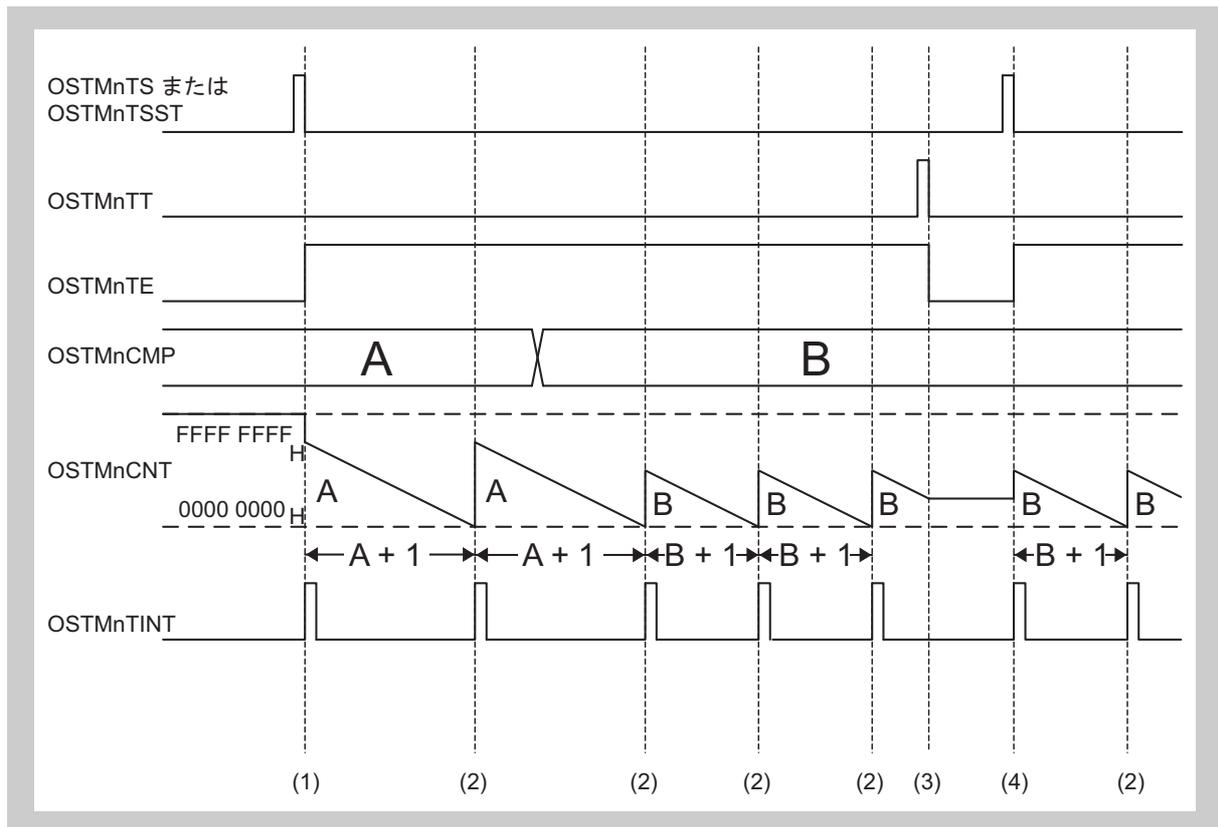


図 11-5 インターバル・タイマ・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウント・ダウンを開始します。
OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。
2. カウンタが 0000 0000_H に達すると、割り込み要求 OSTMnTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウント・ダウンを継続します。
3. OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウント・ダウンを継続します。

強制リスタート カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 を設定するか、または OSTMnTSST 信号のハイからロウへの遷移によって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウント・ダウンを継続します。

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) されるタイミング図を示します。

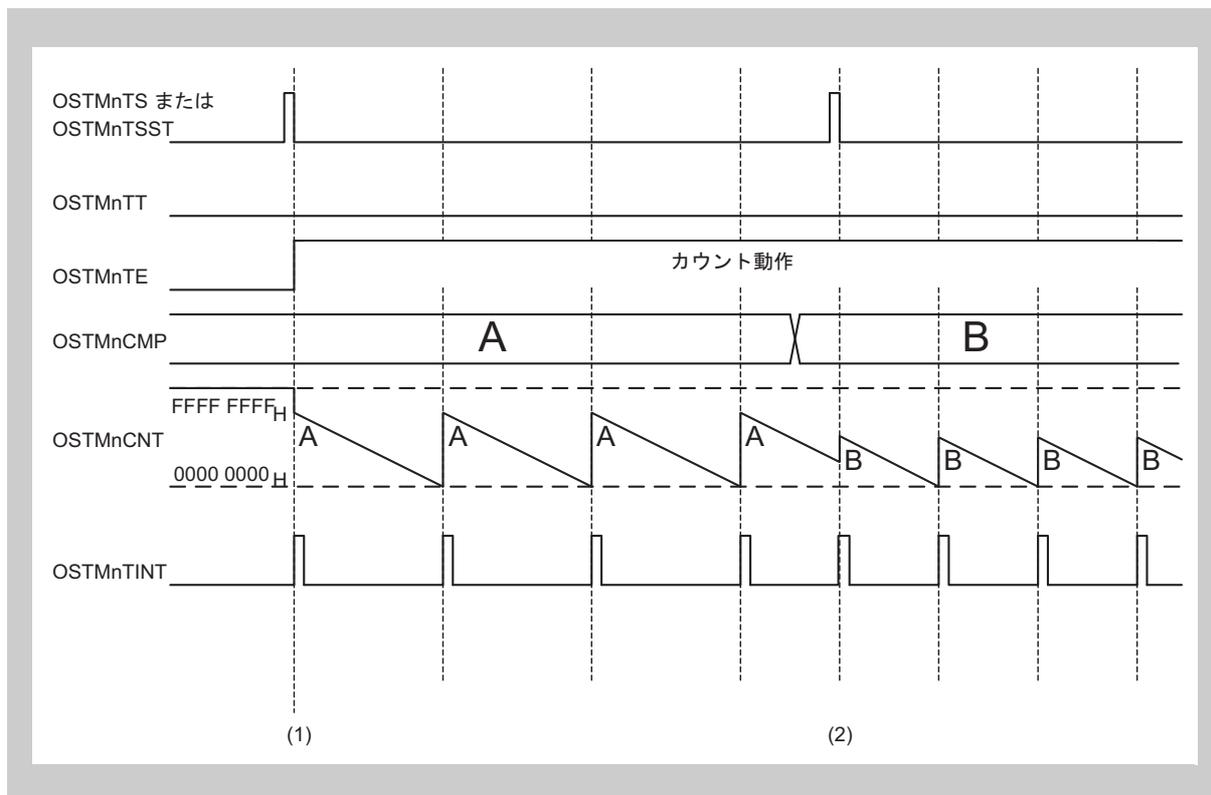


図 11-6 インターバル・タイマ・モードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、図 11-5「インターバル・タイマ・モードの OS タイマのタイミング図」で説明されているように動作を開始します。
2. カウンタは、動作している間 (OSTMnTE.OSTMnTE = 1) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 にすると、リスタートします。

カウンタは、ただちに OSTMnCMP の現在値からカウント・ダウンを再開します。

OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。

(2) OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタ・スタート割り込みが許可された場合の OS タイマの動作を示します。

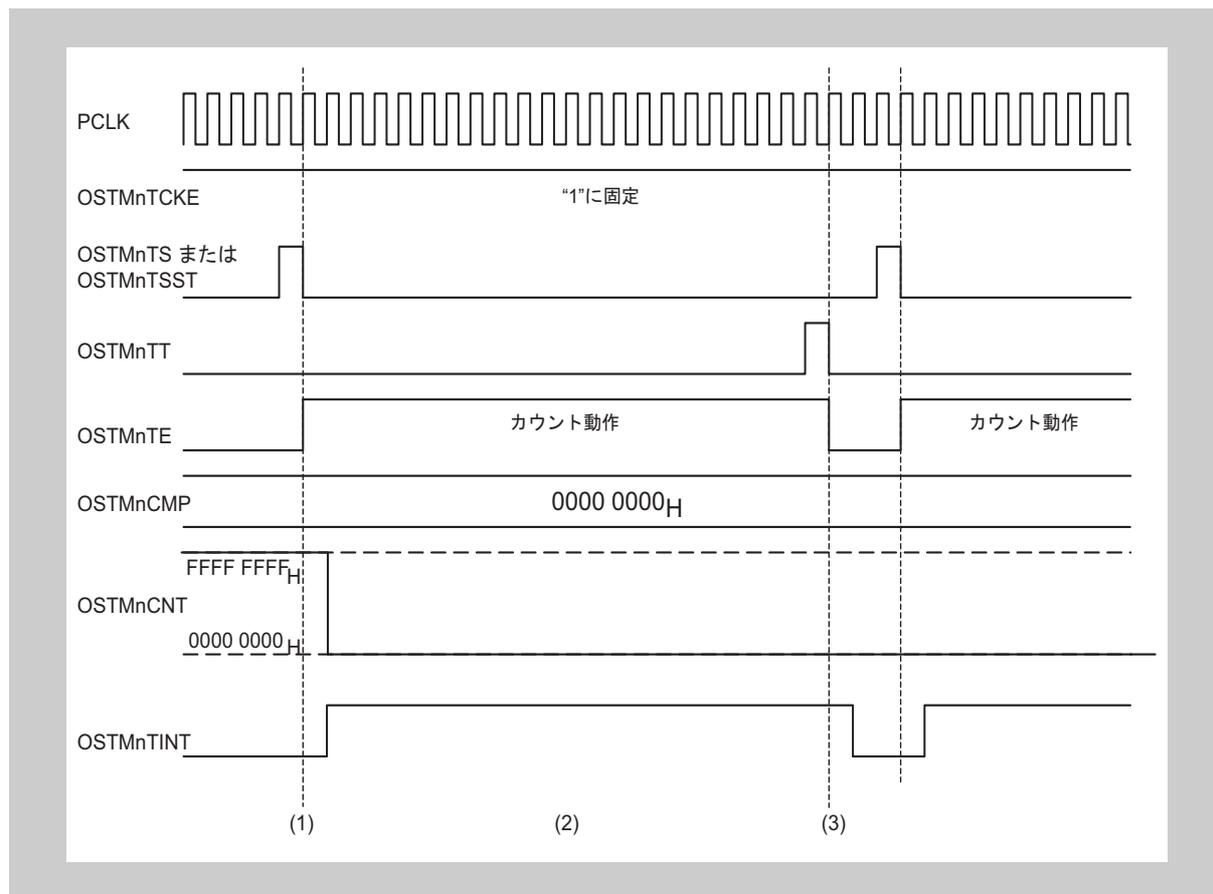


図 11-7 インターバル・タイマ・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると、カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
2. 割り込み要求 OSTMnTINT が継続的に発生します。
3. カウンタが停止すると、割り込み要求 OSTMnTINT が停止します。

(3) インターバル・タイマ・モードの初期化

リセット解除後のインターバル・タイマ・モードの設定手順を次に示します。

- 初期化**
1. OSTMnCMP レジスタにダウン・カウンタの開始値を設定します。
 2. OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバル・タイマ・モードを選択します。
 3. カウント開始時の割り込みモードを選択します (OSTMnCTL.OSTMnMD0)。

11.3.5 フリー・ランニング・コンペア・モード

(1) フリー・ランニング・コンペア・モードの基本動作

フリー・ランニング・コンペア・モードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウント・アップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。

フリー・ランニング・コンペア・モードは、OSTMnCTL.OSTMnMD1 = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリー・ランニング・コンペア・モードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OS タイマの基本動作を示します。

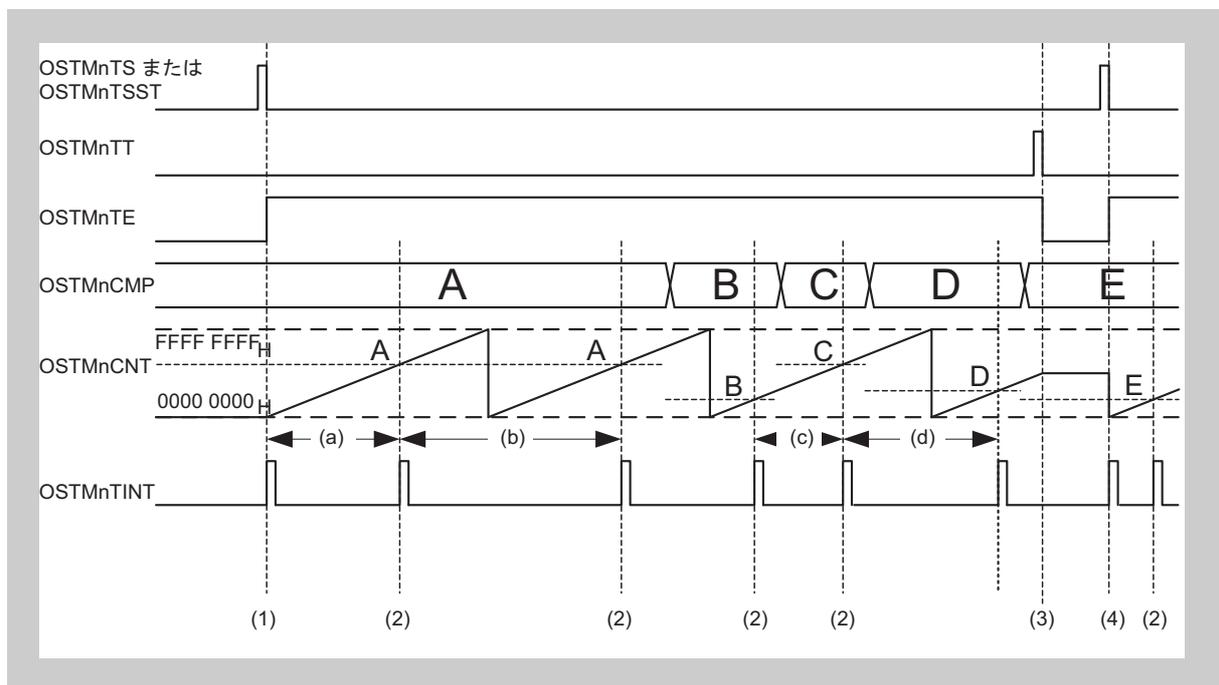


図 11-8 フリー・ランニング・コンペア・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウント・アップします。カウンタ値はレジスタ OSTMnCNT で示されます。
2. OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生します。
3. カウンタが停止すると (OSTMnTT.OSTMnTT = 1), OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは $0000\ 0000_H$ からカウントを開始します。

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 11-6 OSTMnTINT 発生タイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times \text{カウント} \cdot \text{クロック期間}$	(a)
A	A	書き換えなし	$(\text{FFFF FFFF}_H + 1) \times \text{カウント} \cdot \text{クロック期間}$	(b)
B	$C > B$	$B < \text{カウンタ値} < C$	$(C - B) \times \text{カウント} \cdot \text{クロック期間}$	(c)
C	$D < C$	カウンタ値 $> D, C$	$(\text{FFFF FFFF}_H - C + D + 1) \times \text{カウント} \cdot \text{クロック期間}$	(d)

強制リスタート カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

(2) OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタ・スタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OS タイマの動作を示します。

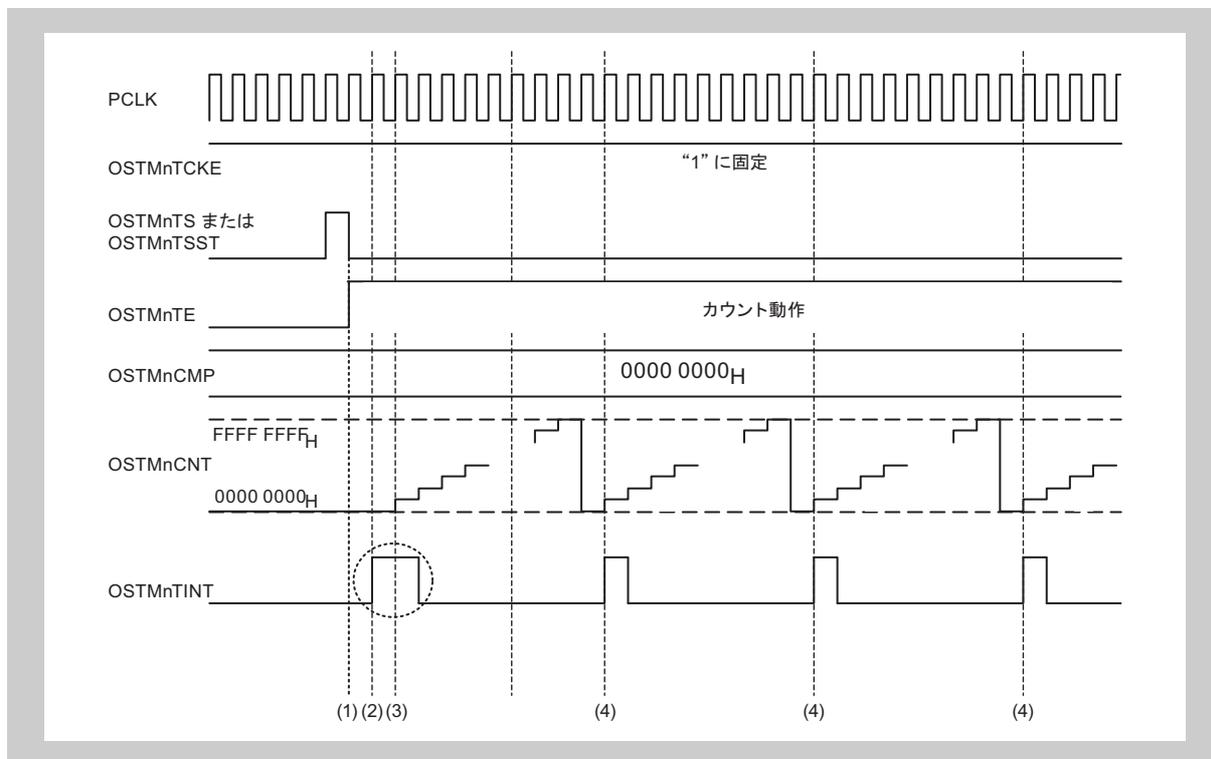


図 11-9 フリー・ランニング・コンペア・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
2. カウント開始時に割り込み要求 OSTMnTINT が発生します。
3. 現在のカウンタ値が OSTMnCMP と一致する場合は、コンペア割り込みが発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMnTINT はカウンタ・クロック 2 クロック分発生します。
4. (FFFF FFFF_H + 1) クロック・サイクルごとに、割り込み要求 OSTMnTINT が発生します。

(3) フリー・ランニング・コンペア・モードの初期化

リセット解除後のフリー・ランニング・コンペア・モードの設定手順を次に示します。

- 初期化**
1. OSTMnCMP レジスタに比較値を設定します。
 2. OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリー・ランニング・コンペア・モードを選択します。
 3. OSTMnCTL.OSTMnMD0 ビットでカウンタ開始時の割り込みモードを選択します。

11.4 レジスタ

この節では、OS タイマのすべてのレジスタについて説明します。

11.4.1 OS タイマ・レジスタの概要

OS タイマは、次のレジスタで制御、動作します。

表 11-7 OS タイマ・レジスタの一覧

レジスタ名	略号	アドレス
OSTM コンペア・レジスタ	OSTMnCMP	<OSTMn_base>
OSTM カウンタ・レジスタ	OSTMnCNT	<OSTMn_base> + 4 _H
OSTM カウント・イネーブル・ステータス・レジスタ	OSTMnTE	<OSTMn_base> + 10 _H
OSTM カウント開始トリガ・レジスタ	OSTMnTS	<OSTMn_base> + 14 _H
OSTM カウント停止トリガ・レジスタ	OSTMnTT	<OSTMn_base> + 18 _H
OSTM 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H
OSTM エミュレーション・レジスタ	OSTMnEMU	<OSTMn_base> + 24 _H

11.4.2 OS タイマ・レジスタの詳細

(1) OSTMnCMP - OSTM コンペア・レジスタ

このレジスタは、動作モードによってダウン・カウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <OSTMn_base>

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCMP[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-8 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCMP[31:0]	<ul style="list-style-type: none"> インターバル・タイマ・モードの場合：ダウン・カウンタの開始値 フリー・ランニング・コンペア・モードの場合：比較値

(2) OSTMnCNT - OSTM カウンタ・レジスタ

このレジスタはタイマのカウント値を示します。

アクセス 32ビット単位でリード可能です。

アドレス <OSTMn_base> + 4_H

初期値 OSタイマの動作モードによって変わります。表 11-10「動作モード，カウント方向，初期値の関係」を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11-9 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCNT[31:0]	32ビット・カウンタの値

動作モード，カウント方向，初期値の関係を次に示します。初期値は，動作モードが変更されたあとにリードされる値です。

表 11-10 動作モード，カウント方向，初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	初期値
インターバル・タイマ・モード	0 ^{a)}	ダウン	FFFF FFFF _H
フリー・ランニング・コンペア・モード	1	アップ	0000 0000 _H

a) リセット後の値

(3) OSTMnTE - OSTM カウント・イネーブル・ステータス・レジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTE
R	R	R	R	R	R	R	R

表 11-11 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTE	カウンタの状態を示します。 0：カウンタが停止中 1：カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備考 カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバル・タイマ・モードでは OSTMnCMP の設定値から再開します。
- フリー・ランニング・コンペア・モードでは、カウント値 0000 0000_H で動作を再開します。

(4) OSTMnTS - OSTM カウント開始トリガ・レジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライト可能です。常に 00_H としてリードされます。

アドレス <OSTMn_base> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTS
R	R	R	R	R	R	R	W

表 11-12 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTS	カウントを開始します。 0：設定は無効です。 1：カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 • インターバル・タイマ・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリー・ランニング・コンペア・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

(5) OSTMnTT - OSTM カウント停止トリガ・レジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライト可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 18_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTT
R	R	R	R	R	R	R	W

表 11-13 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTT	カウンタを停止します。 0：設定は無効です。 1：カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

(6) OSTMnCTL - OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMnTINT の生成を制御します。

このレジスタはリード／ライト可能ですが、OSTMnTE=0時は書き込み可、OSTMnTE=1の時は読み出し専用となります。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + 20_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
R	R	R	R	R	R	R/W	R/W

表 11-14 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
1	OSTMnMD1	カウンタの動作モードを指定します。 0：インターバル・タイマ・モード 1：フリー・ランニング・コンペア・モード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み要求を制御します。 0：カウント開始時の割り込みを禁止 1：カウント開始時の割り込みを許可

(7) OSTMnEMU - OSTM エミュレーション・レジスタ

このレジスタは、オンチップ・デバッグによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、OSTMnのカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、タイマ・カウント停止中（OSTMnTE.OSTMnTE = 0）かつ、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <OSTMn_base> + 24_H

初期値 00_H

	7	6	5	4	3	2	1	0
OSTMnSVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 11-15 OSTMnEMU レジスタの内容

ビット位置	ビット名	機能
7	OSTMnSVSDIS	デバッグ時のカウント・クロックの継続/停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

第 12 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)

この章では、ウィンドウ・ウォッチドッグ・タイマ A 全般について説明します。

12.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特徴について説明します。

12.2 節以降で、WDTA 搭載製品に共通の特徴について説明します。

12.1 V850E2/Fx4-L の WDTA の特徴

チャンネル この製品は 2 チャンネルのウィンドウ・ウォッチドッグ・タイマ A を搭載しています。

表 12-1 WDTA のチャンネル

ウィンドウ・ウォッチドッグ・タイマ A	
チャンネル数	2
名称	WDTA0, WDTA1

n の意味 この章では、ウィンドウ・ウォッチドッグ・タイマ A の各チャンネルを「n」で識別します。たとえば、WDTAn イネーブル・レジスタ (WDTAnWDTE) (n = 0-1) のように記述しています。

レジスタ・アドレス WDTAn レジスタのアドレスは、それぞれのベース・アドレス <WDTAn_base> からのオフセットで表されます。

各 WDTAn のレジスタ・ベース・アドレスを次の表に示します。

表 12-2 WDTAn のレジスタ・ベース・アドレス

WDTAn	<WDTAn_base> アドレス
WDTA0	FF80 6000 _H
WDTA1	FF80 7000 _H

クロック供給 ウィンドウ・ウォッチドッグ・タイマ A は、次のクロックが供給されます。

表 12-3 ウィンドウ・ウォッチドッグ・タイマ A のクロック

WDTAn	WDTAn のクロック	接続先
WDTA0:		
WDTATCKI	タイマ・クロック	クロック・コントローラ CKSCLK_A07
PCLK	PBUS クロック	クロック・コントローラ CKSCLK_A02
WDTA1:		
WDTATCKI	タイマ・クロック	クロック・コントローラ CKSCLK_007
PCLK	PBUS クロック	クロック・コントローラ CKSCLK_000 / 2

割り込み WDTAn の割り込みを次の表に示します。

表 12-4 WDTA の割り込み

WDTAn 信号	機能	接続先
INTWDTA0	WDTA0 75%割り込み	割り込みコントローラ INTWDTA0
INTWDTA1	WDTA1 75%割り込み	割り込みコントローラ INTWDTA1

12.2 WDTA の起動オプション

起動オプションは、リセット解除後の WDTA の起動設定を決定します。各起動オプションを次の表で説明します。

表 12-5 WDTA の起動オプション (1/2)

起動オプション	機能	説明	接続先
OPWDEN	WDTA の設定	WDTA の有効/無効を設定します。 0: WDTA 無効 1: WDTA 有効	<ul style="list-style-type: none"> WDTA0 フラッシュ・オプション OPBT0.OPBT0[19] WDTA1 フラッシュ・オプション OPBT0.OPBT0[23]
OPWDOVF[2:0]	カウント・クロックの設定	カウント・クロック制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。	<ul style="list-style-type: none"> WDTA0/WDTA1 フラッシュ・オプション OPBT0.OPBT0[18:16]
OPWDTPR	スタート・モード信号の選択	スタート・モードを設定する信号を指定します。 0: OPWDRUN 起動オプション 1: WDTATRTYP 入力信号 WDTATRTYP を選択した場合 (OPWDTPR = 1), スタート・モードはリセットの種類によって異なります。 詳細は 12.4.1 「リセット解除後の WDTA」を参照してください。	0 固定
OPWDRUN	スタート・モードの設定	スタート・モードを指定します。 0: ソフトウェア・トリガ・スタート・モード 1: デフォルト・スタート・モード OPWDRUN は OPWDTPR = 0 の場合のみ適用されます。 詳細は 12.4.1 「リセット解除後の WDTA」を参照してください。	<ul style="list-style-type: none"> WDTA0 フラッシュ・オプション OPBT0.OPBT0[20] WDTA1 フラッシュ・オプション OPBT0.OPBT0[24]
OPWDWS[1:0]	ウィンドウ・オープン期間の初期設定	ウィンドウ・オープン期間を制御するビット WDTAnMD.WDTAnWS[1:0] のリセット値を指定します。 ウィンドウ・オープン期間を制御するビットの設定は、最初の WDTA トリガ発生後にのみ適用され、リセット解除後には適用されません。リセット解除後、ウィンドウ・オープン期間は 100% になります。 詳細は 12.4.5 「ウィンドウ機能」を参照してください。	11 _B 固定
OPWDINT	INTWDTAn (75% 割り込み) 要求の生成	制御ビット WDTAnMD.WDTAnWIE のリセット値を指定します。このビットは、75% 割り込み要求 INTWDTn の出力の有効/無効を設定します。 詳細は 12.4.4 「75% 割り込み出力」を参照してください。	0 固定

表 12-5 WDTA の起動オプション (2/2)

起動オプション	機能	説明	接続先
OPWDVAC	可変起動コードの選択	<p>カウンタ・オーバーフローを回避するためのカウンタ・リスタート・トリガを発生させるトリガ・レジスタを指定します。</p> <p>0 : WDTAnWDTE (固定) 1 : WDTAnEVAC (可変)</p> <p>WDTAnWDTE を選択した場合、このレジスタへの書き込み (起動コード) は、ACH 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。詳細は、12.4.2 「WDTA トリガ」(1) 「可変起動コードの計算」を参照してください。</p>	<ul style="list-style-type: none"> • WDTA0 フラッシュ・オプション OPBT0.OPBT0[22] • WDTA1 フラッシュ・オプション OPBT0.OPBT0[26]

12.3 機能概要

機能概要 WDTA には、次の機能があります。

- 起動オプションでリセット後の動作モードを選択可能
- 固定起動コードまたは可変起動コードを選択可能
- 次に示す 2 種類のスタート・モードがあります。
 - デフォルト・スタート・モード
 - ソフトウェア・トリガ・スタート・モード
- エラー検出時の動作が可能：
 - エラー検出時の NMI 要求 (WDTAnTNMI) の生成
 - エラー検出時のリセット (WDTAnTRES) の生成
- カウンタ・オーバフロー値の 75% の値で割り込み要求を発生
- ウィンドウ機能

WDTA の主な構成要素を次の図に示します。

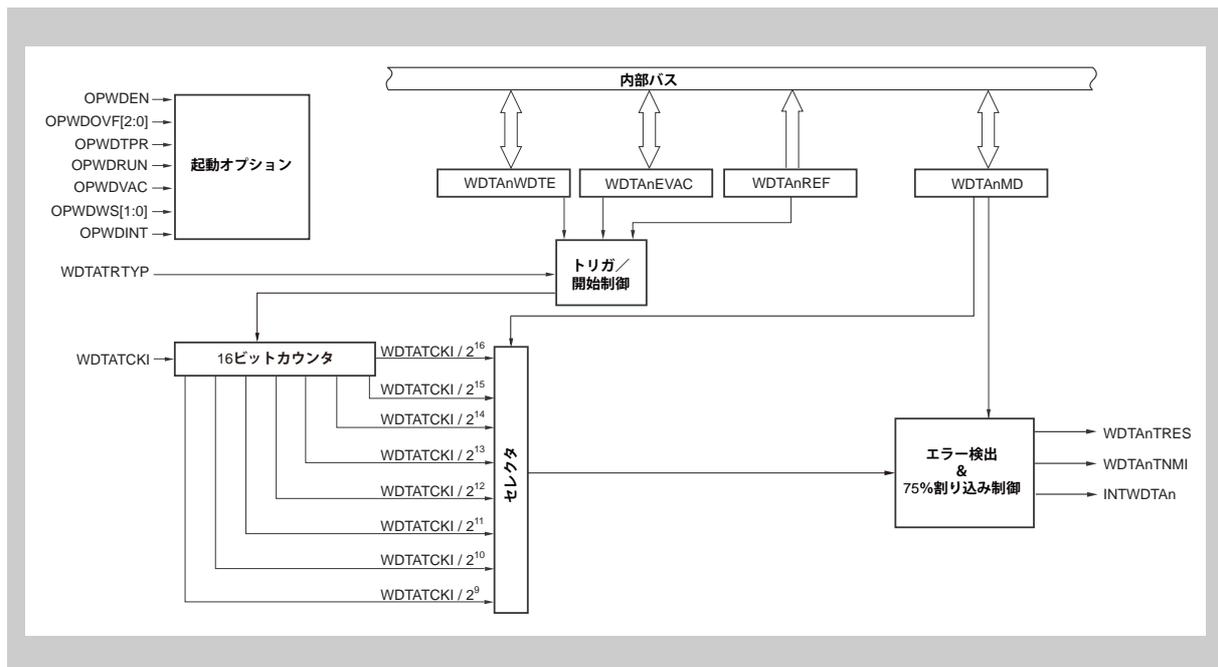


図 12-1 WDTA のブロック図

12.4 機能説明

16ビット・カウンタがオーバフローするか、それ以外のエラー条件が満たされた場合、WDTA はリセットまたはノンマスカブル割り込みを発生します。全エラー条件の説明に関しては 12.4.3「エラー検出」を参照してください。

ウィンドウ・オープン期間中、WDTA トリガが発生するたびにカウンタをクリアし、リスタートします。詳細は 12.4.2「WDTA トリガ」と 12.4.5「ウィンドウ機能」を参照してください。

最大カウンタ値の 75%の値では、WDTA は割り込み要求 (INTWDTAn) を発生できません。詳細は 12.4.4「75%割り込み出力」を参照してください。

リセット解除後、起動オプションはスタート・モードと WDTA の設定を指定します。ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD に書き込むことにより設定を変更できます。詳細は 12.4.1「リセット解除後の WDTA」を参照してください。

12.4.1 リセット解除後の WDTA

(1) スタート・モード

WDTAには、リセット解除後にカウンタをスタートさせる2つのモードがあります。

- ソフトウェア・トリガ・スタート・モード
リセット解除後、カウンタ値は0000_Hのままです。
カウンタは最初のWDTAトリガの発生でスタートします。
- デフォルト・スタート・モード
リセット解除後、カウンタは自動的にスタートします。

(2) スタート・モードの選択

スタート・モードは次のように選択することができます。

- 起動オプション
- WDTATRTYP 入力信号

この信号は、リセットの種類を示します。したがって、リセット解除後に選択したスタート・モードはリセットの種類によって異なります。

スタート・モードの選択について次の表に示します。

表 12-6 スタート・モードの選択

起動オプション		入力信号	リセットの種類	スタート・モード
OPWDTPR	OPWDRUN	WDTATRTYP		
0	0	無視	無視	ソフトウェア・トリガ
	1			デフォルト
1	0	無視	無視	ソフトウェア・トリガ
	1	0	デフォルト・スタート・リセット 要因以外	ソフトウェア・トリガ
		1	デフォルト・スタート・リセット 要因	デフォルト

(3) リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生間の WDTA の設定を次の表に示します。

機能	設定	備考
スタート・モード	起動オプションで指定	スタート・モードの説明に関しては 12.4.1「リセット解除後の WDTA」を参照してください。
カウント・クロック		
75%割り込みモード		
エラー・モード	リセット・モード	最初のトリガが発生する前に発生したどのエラー条件でもリセットが発生します。
ウィンドウ・オープン期間	100%	デフォルト・スタート・モードを指定した場合、最初のトリガはカウンタがオーバーフローするまで常に有効です。

WDTA 設定の変更 最初のトリガ発生後、WDTA はウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の設定にしたがって動作を継続します。

WDTA の設定を変更する場合、最初のトリガ発生前に WDTAnMD にデータを書き込む必要があります。WDTAnMD の値を最初のトリガ発生後に変更した場合、エラーが発生します。

最初のトリガ発生前に WDTAnMD を変更しなかった場合、WDTAnMD の初期値により WDTA モードが指定されます。

WDTAnMD の新しい値または初期値は、最初のトリガ発生後に適用されません。

デフォルト・スタート・モードのタイミング デフォルト・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

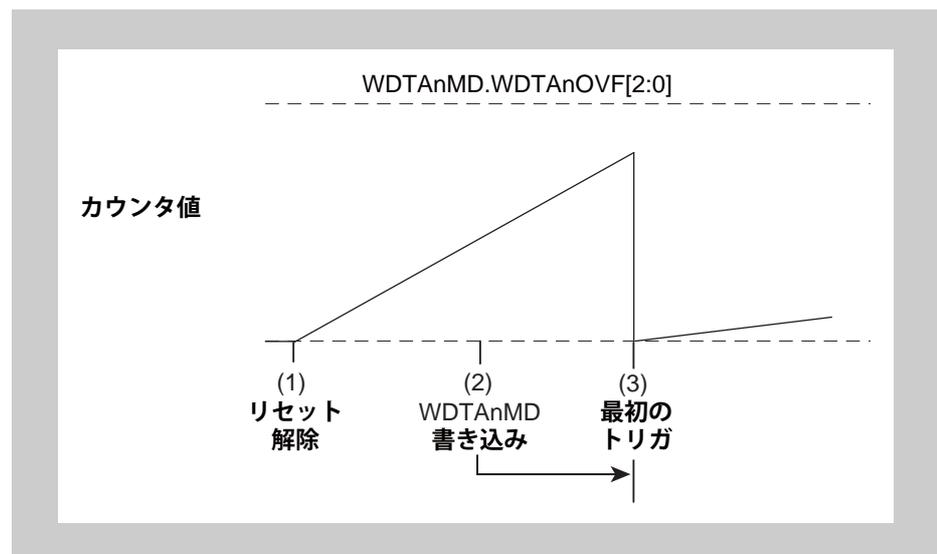


図 12-2 デフォルト・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

- リセット解除直後にカウンタはスタートします。
カウント・クロックは、たとえば次のように起動オプションにより指定されます。
 - リセット解除後のカウント・クロック = $2^{13} / \text{WDTATCKI}$
($\text{OPWDOVF}[2:0] = 100_{\text{B}}$)
- WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
- 最初のトリガは、カウンタがオーバフローする前に発生する必要があります。

WDTAnMD で指定した新しいカウント・クロックの設定等は、最初のトリガ発生後に適用されます。

- 最初のトリガ発生後のカウント・クロック = $2^{16} / \text{WDTATCKI}$
($\text{WDTAnMD.WDTAnOVF}[2:0] = 111_{\text{B}}$)

ソフトウェア・トリガ・スタート・モードのタイミング

ソフトウェア・トリガ・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

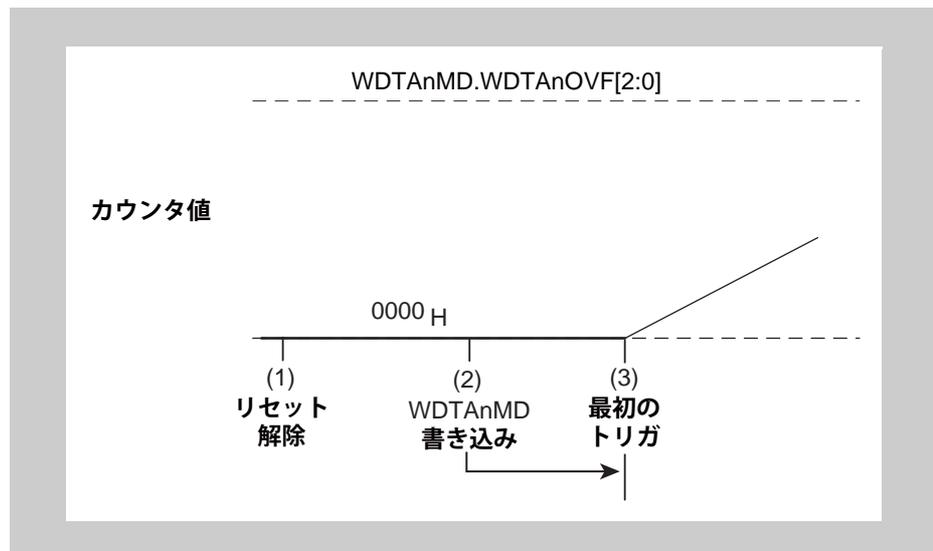


図 12-3 ソフトウェア・トリガ・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

- リセット解除後、最初のトリガが発生するまでカウンタ値は 0000_{H} のままです。
カウント・クロックは、起動オプションにより指定されますが、カウント動作が行われていないので影響はありません。
- WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
- カウンタは最初のトリガ発生でスタートします。
WDTAnMD で指定したカウント・クロックとその他の設定が適用されます。

12.4.2 WDTA トリガ

WDTA トリガには、次の機能があります。

- ソフトウェア・トリガ・スタート・モード時のカウンタ起動トリガ
- カウンタ・オーバーフローを回避するためのカウンタ・リスタート・トリガ
- トリガ・レジスタは固定起動コードか可変起動コードかで異なります。起動コードの種類と、それに関連したトリガ・レジスタは起動オプション OPWDVAC で指定されます。

表 12-7 トリガ・レジスタと起動コード

起動コードの種類	トリガ・レジスタ	起動コード
固定	WDTAnWDTE	AC _H
可変	WDTAnEVAC	詳細は 12.4.2 (1)「可変起動コードの計算」を参照してください。

(1) 可変起動コードの計算

可変起動コード (ExpectWDTE) は、WDTAnREF レジスタの基準値を使用して求めます。基準値 WDTAnREF は、トリガ・レジスタ WDTAnEVAC にデータが書き込まれるたびに更新されます。

- 可変起動コード (ExpectWDTE) は次の式で求められます。

$$\text{ExpectWDTE} = \text{AC}_H - \text{WDTAnREF (旧)}$$

- 基準値 WDTAnREF の更新値は次の式で求められます。

$$\text{WDTAnREF (新)} = \text{左に 1 ビット回転 (ExpectWDTE)}$$

トリガ回数ごとの可変起動コードは次のとおりです。

表 12-8 可変起動コードの展開

回数 ^a	WDTAnREF (旧)		ExpectWDTE (AC _H - WDTAnREF)		WDTAnREF (新)	
0	0000 0000	00 _H	1010 1100	AC _H	0101 1001	59 _H
1	0101 1001	59 _H	0101 0011	53 _H	1010 0110	A6 _H
2	1010 0110	A6 _H	0000 0110	06 _H	0000 1100	0C _H
...

^{a)} リセット後のトリガ回数

備考 WDTA のスタート後に、WDTAnEVAC レジスタのビット 7 (WDTAnEVAC7) を 0 にクリアすることはできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

12.4.3 エラー検出

エラー検出条件を次に示します。

- オーバフロー・インターバル時間の超過 (カウンタ・オーバフロー)
- トリガ・レジスタへの誤った起動コードの書き込み
- ウィンドウ・クローズ期間でのトリガ・レジスタへの書き込み
- ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の不正な更新：
 - 最初のトリガ発生後に、WDTAnMD に新しい値を書き込んだ場合、エラーが検出されます。
 - 最初のトリガ発生後に、WDTAnMD に同じ値を書き込んだ場合、エラーは検出されません。

エラー・モード エラーが検出されると、NMI 要求 (WDTAnTNMI) またはリセット (WDTAnTRES) のいずれかが発生します。

WDTAnMD.WDTAnERM でエラー・モードを選択します。

- WDTAnMD.WDTAnERM = 0 : NMI モード
- WDTAnMD.WDTAnERM = 1 : リセット・モード

備考 WDTA の最初のトリガ以前にエラーを検出した場合、初期の設定に沿い、WDTAnTRES が発生します。

デフォルト・スタート・モードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を次の図に示します。

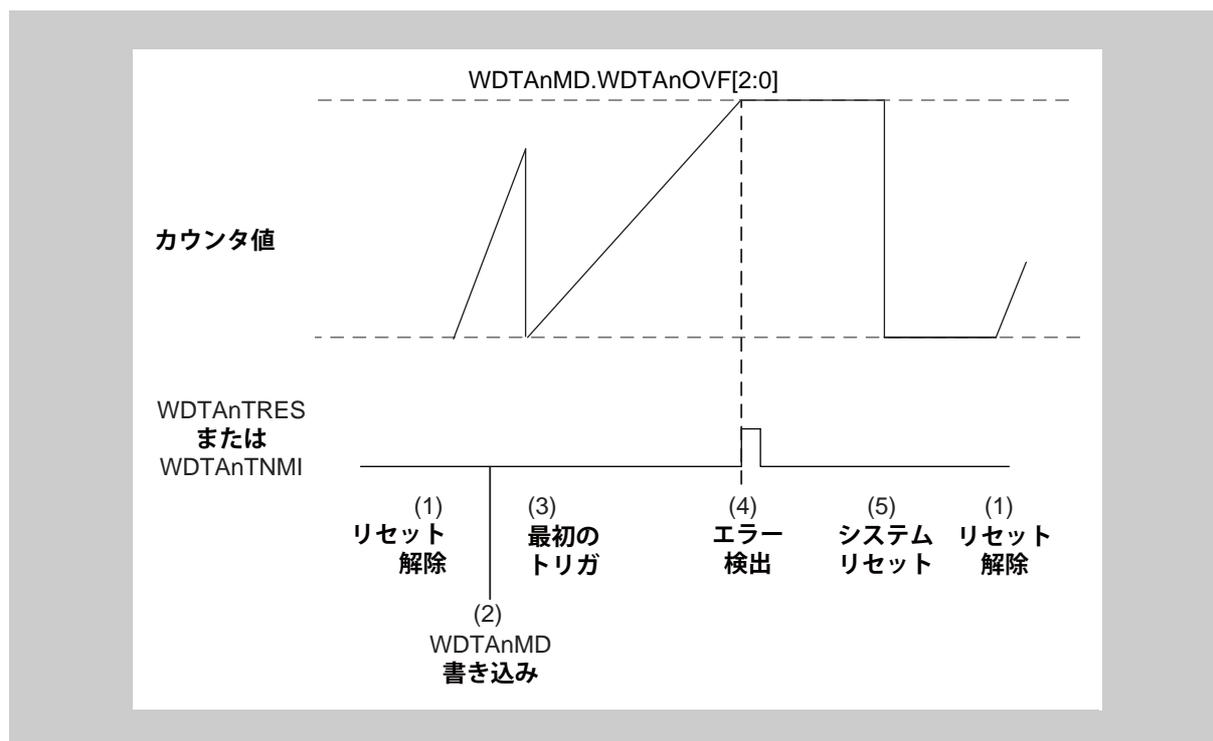


図 12-4 WDTA NMI 要求／リセット発生のタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後にカウンタはスタートします（デフォルト・スタート・モードが選択されている場合です）。
2. WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガの発生でクリアされ、新しい WDTA の設定が適用されます。
4. カウンタがオーバーフローすると、エラーが検出されます。エラー・モードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。

カウンタ値は、システム・リセットが行われるまで変わりません。

5. システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

12.4.4 75%割り込み出力

カウンタが最大カウンタ値の 75%に達すると、割り込み要求 INTWDTAn が発生します。

この機能は、起動オプション OPWDINT = 1 を設定することで自動的に有効にすることができます。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図に示します。

- デフォルト・スタート・モードを選択
- 最初のトリガ発生後にカウント・クロックが変化

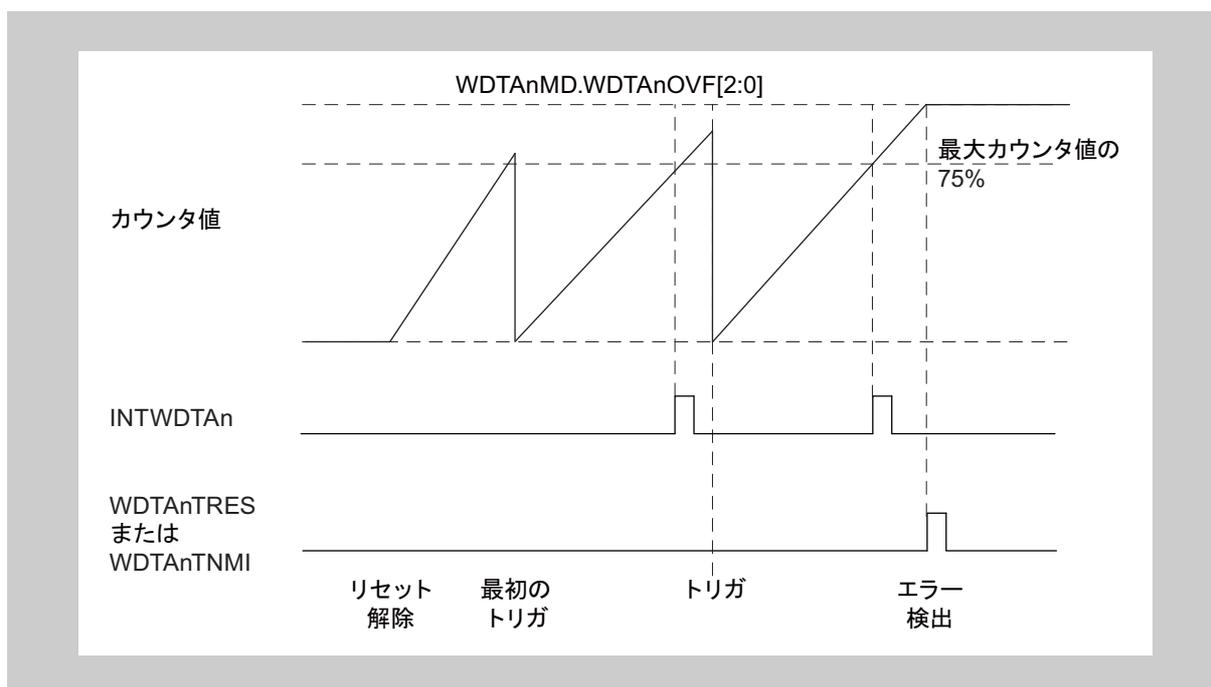


図 12-5 WDTA 75%割り込み出力のタイミング図

12.4.5 ウィンドウ機能

ウィンドウ・オープン期間を 100%未満に設定すると、ウィンドウ・クローズ期間中にトリガが発生した際にエラーが検出されます。

ウィンドウ・オープン期間の設定は、最初のトリガの発生前と発生後で異なります。

- リセット解除後、ウィンドウ・オープン期間は 100%になります。
OPWDWS[1:0] および WDTAnMD.WDTAnWS[1:0] ビットの設定は無効になります。
- 最初のトリガ発生後、ウィンドウ・オープン期間は WDTAnMD.WDTAnWS[1:0] ビットで指定した値になります。

次の図に、ウィンドウ・オープン期間を 25%とし、デフォルト・スタート・モードを選択した場合の WDTA の動作を示します。

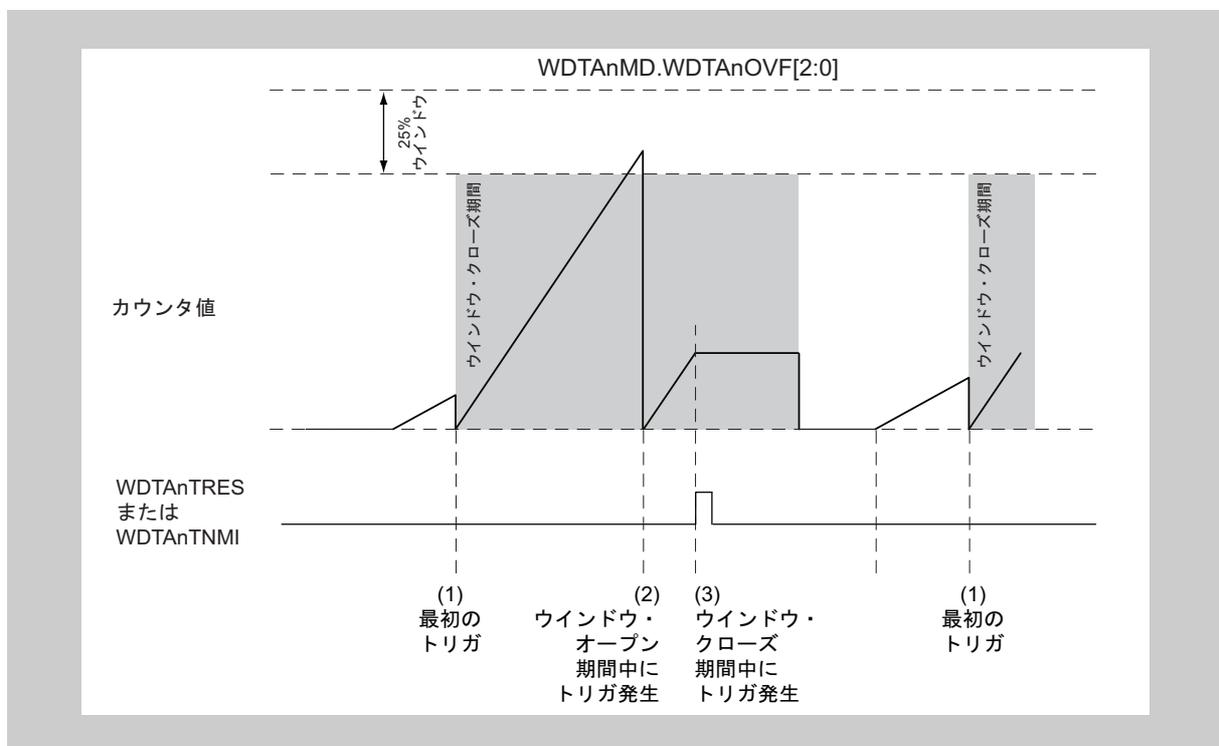


図 12-6 WDTA ウィンドウ機能のタイミング図

上記のタイミング図では次の内容を示しています。

- 最初のトリガ発生まで、ウィンドウ・オープン期間は 100%に固定されています。
- ウィンドウ・オープン期間中に発生したトリガではエラーは発生しません。
- ウィンドウ・クローズ期間中にトリガが発生すると、選択した動作モードにより WDTAnTNMI 要求または WDTAnTRES リセットが発生します。

12.5 レジスタ

この節では、WDTA のすべてのレジスタについて説明します。

12.5.1 WDTA レジスタの概要

WDTA は、次のレジスタで制御、動作します。

表 12-9 WDTA レジスタの概要

レジスタ名	略号	アドレス
WDTA イネーブル・レジスタ	WDTAnWDTE	<WDTAn_base> + 0000 _H
WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004 _H
WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008 _H
WDTA モード・レジスタ	WDTAnMD	<WDTAn_base> + 000C _H

12.5.2 WDTA レジスタの詳細

(1) WDTA イネーブル・レジスタ (WDTAnWDTE)

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA スタート・コントロール／トリガ・レジスタです。

WDTA トリガ AC_H を書き込むことによりカウンタをリスタートします。詳細は 12.4.2 「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 12-12 「WDTAnWDTE の動作」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0000_H

初期値 起動オプション（OPWDEN, OPWDTPR, WDTATRTYP, OPWDRUN, OPWDVAC）により異なります。表 12-11 「WDTAnRUN の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAn RUN	0	1	0	1	1	1	0	0
	R/W							

表 12-10 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7	WDTAnRUN	WDTAn の有効／無効を設定します。 0: WDTAn 無効 1: WDTAn 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。

初期値 このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が無効（OPWDVAC = 0）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnRUN ビットの初期値を次の表に示します。

表 12-11 WDTAnRUN の初期値

OPWDEN	起動オプション			入力信号	WDTA0RUN の初期値
	OPWD VAC	OPWD TPR	OPWD RUN	WDTATRYP	
0	無視	無視	無視	無視	0
1	1	無視	無視	無視	0
	0	0	0	無視	0
			1	無視	1
		1	0	無視	0
			1	0	0
				1	1

リード/ライト・アクセス時の WDTAnWDTE の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 12-12 WDTAnWDTE の動作

OPWDVAC	WDTAnWDTE		備考
	リード時	ライト時	
0	AC _H	WDTA トリガ AC _H ^a	VAC 無効 WDTAnWDTE 有効
1	2C _H	無視	VAC 有効 WDTAnWDTE 無効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

(2) WDTA モード・レジスタ (WDTAnMD)

オーバフロー・インターバル時間, 75% 割り込み許可/禁止, エラー・モード, およびウィンドウ・オープン期間を指定します。

このレジスタの値は, リセット解除後, 最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが, 同値書き込みはできます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

初期値 起動オプション (OPWDOVF[2:0], OPWDINT, OPWDWS[1:0]) により異なります。12.2 「WDTA の起動オプション」を参照してください。

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-13 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
6-4	WDTAnOVF[2:0]	<p>オーバフロー・インターバル時間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフロー・インターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table> <p>WDTAnOVF[2:0] のリセット値は起動オプション OPWDOVF[2:0] により異なります。</p>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
3	WDTAnWIE	<p>75% 割り込み要求 INTWDTAn の許可/禁止</p> <p>0: INTWDTAn 禁止</p> <p>1: INTWDTAn 許可</p> <p>WDTAnWIE のリセット値は起動オプション OPWDINT により異なります。</p>																																				

表 12-13 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能															
2	WDTAnERM	エラー・モードを指定します。 0: NMI 要求モード 1: リセット・モード (初期値)															
1, 0	WDTAnWS[1:0]	<p>ウィンドウ・オープン期間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnWS1</th> <th>WDTAnWS0</th> <th>ウィンドウ・オープン期間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table> <p>WDTAnWS[1:0] のリセット値は起動オプション OPWDWS[1:0] により異なります。</p>	WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間	0	0	25%	0	1	50%	1	0	75%	1	1	100%
WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間															
0	0	25%															
0	1	50%															
1	0	75%															
1	1	100%															

(3) WDTA イネーブル VAC レジスタ (WDTAnEVAC)

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）のスタート・コントロール／トリガ・レジスタです。

WDTA トリガ 正しい起動コードを書き込むことによりカウンタをリスタートします。12.4.2「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 12-16「WDTAnEVAC の動作」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0004_H

初期値 起動オプション（OPWDEN, OPWDTPR, WDTATRTP, OPWDRUN, OPWDVAC）により異なります。表 12-15「WDTAnEVAC7 の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAn EVAC7	0	1	0	1	1	1	0	0
	R/W							

表 12-14 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7	WDTAnEVAC7	WDTAn の有効／無効を設定します。 0: WDTAn 無効 1: WDTAn 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

初期値 このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が有効（OPWDVAC = 1）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnEVAC7 ビットの初期値を次の表に示します。

表 12-15 WDTAnEVAC7 の初期値

起動オプション		入力信号	スタート・モード	WDTAnEVAC7 の初期値
OPWDTPR	OPWDRUN	WDTATRTP		
0	0	無視	ソフトウェア・トリガ	0
0	1	無視	デフォルト	1
1	無視	0	ソフトウェア・トリガ	0
1	無視	1	デフォルト	1

リード/ライト・アクセス時の WDTAnEVAC の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 12-16 WDTAnEVAC の動作

OPWDVAC	WDTAnEVAC		備考
	リード時	ライト時	
0	2C _H	無視	VAC 無効
1	最後に書き込まれた VAC	WDTA トリガ VAC ^a	VAC 有効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

(4) WDTA 基準値レジスタ (WDTAnREF)

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。12.4.2「WDTA トリガ」を参照してください。

VAC が無効の場合 (OPWDVAC = 0)、このレジスタを読み出すと 00_H を返します。

アクセス 8 ビット単位でリード可能です。

アドレス <WDTAn_base> + 0008_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
WDTAnREF[7:0]							
R	R	R	R	R	R	R	R

表 12-17 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7-0	WDTAnREF[7:0]	起動コードを求めるための基準値

第13章 タイマ・アレイ・ユニットB (TAUB)

この章では、タイマ・アレイ・ユニットB (TAUB) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特徴について説明します。

以降の節で、TAUB 搭載製品に共通の特徴について説明します。

13.1 V850E2/Fx4-L の TAUB の特長

ユニット この製品は次のユニット数の TAUB を搭載しています。

表 13-1 TAUB のユニット数

TAUB	V850E2/FE4-L V850E2/FF4-L V850E2/FG4-L V850E2/FF4-G V850E2/FG4-G	V850E2/FJ4-L
ユニット数	1	2
名称	TAUB0	TAUB0, TAUB1

n の意味 この章では、TAUB の各ユニットを「n」で識別します (n = 0, 1)。たとえば、TAUBn チャンネル出力モード・レジスタ (TAUBnTOM) のように記述しています。

m の意味 TAUB には 16 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-15)、特定のチャンネルを CHm のように記述しています。
偶数チャンネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm_even と記述します。
奇数チャンネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm_odd と記述します。

レジスタ・アドレス TAUBn レジスタのアドレスは、それぞれのベース・アドレス <TAUBn_base> からのオフセットで表されます。
各 TAUBn のレジスタ・ベース・アドレス <TAUBn_base> を次の表に示します。

表 13-2 レジスタ・ベース・アドレス <TAUBn_base>

TAUBn	<TAUBn_base> アドレス
TAUB0	FF80 8000 _H
TAUB1	FF80 9000 _H

クロック供給 TAUB には次の 1 つのクロック入力があります。

表 13-3 TAUBn クロック供給

TAUBn	クロック	接続先
TAUB0	PCLK	クロック発生回路 CKSCLK_006
TAUB1	PCLK	クロック発生回路 CKSCLK_006

割り込みと DMA TAUB は次の割り込み要求と DMA 要求を発生させることができます。

表 13-4 TAUBn 割り込みと DMA の要求 (1/2)

TAUBn 信号	機能	接続先
TAUB0:		
INTTAUB0I0- INTTAUB0I7	チャンネル 0-7 割り込み	割り込みコントローラ INTTAUB0I0 ^a -INTTAUB0I7 ^a
INTTAUB0I8	チャンネル 8 割り込み	割り込みコントローラ INTTAUB0I8 ^a DMA コントローラ・トリガ 12
INTTAUB0I9	チャンネル 9 割り込み	割り込みコントローラ INTTAUB0I9 ^a DMA コントローラ・トリガ 13
INTTAUB0I10	チャンネル 10 割り込み	割り込みコントローラ INTTAUB0I10 ^a DMA コントローラ・トリガ 14
INTTAUB0I11	チャンネル 11 割り込み	割り込みコントローラ INTTAUB0I11 ^a DMA コントローラ・トリガ 15
INTTAUB0I12	チャンネル 12 割り込み	割り込みコントローラ INTTAUB0I12 ^a DMA コントローラ・トリガ 16
INTTAUB0I13	チャンネル 13 割り込み	割り込みコントローラ INTTAUB0I13 ^a DMA コントローラ・トリガ 17
INTTAUB0I14	チャンネル 14 割り込み	割り込みコントローラ INTTAUB0I14 ^a DMA コントローラ・トリガ 18
INTTAUB0I15	チャンネル 15 割り込み	割り込みコントローラ INTTAUB0I15 ^{ab} DMA コントローラ・トリガ 19

表 13-4 TAUBn 割り込みと DMA の要求 (2/2)

TAUBn 信号	機能	接続先
TAUB1:		
INTTAUB110	チャンネル 0 割り込み	割り込みコントローラ INTTAUB110 DMA コントローラ・トリガ 20
INTTAUB111	チャンネル 1 割り込み	割り込みコントローラ INTTAUB111 DMA コントローラ・トリガ 21
INTTAUB112- INTTAUB113	チャンネル 2-3 割り込み	割り込みコントローラ INTTAUB112-INTTAUB113
INTTAUB114	チャンネル 4 割り込み	割り込みコントローラ INTTAUB114 DMA コントローラ・トリガ 22
INTTAUB115	チャンネル 5 割り込み	割り込みコントローラ INTTAUB115 DMA コントローラ・トリガ 23
INTTAUB116- INTTAUB117	チャンネル 6-7 割り込み	割り込みコントローラ INTTAUB116-INTTAUB117
INTTAUB118	チャンネル 8 割り込み	割り込みコントローラ INTTAUB118 DMA コントローラ・トリガ 24
INTTAUB119	チャンネル 9 割り込み	割り込みコントローラ INTTAUB119 DMA コントローラ・トリガ 25
INTTAUB1110- INTTAUB1111	チャンネル 10-11 割り込み	割り込みコントローラ INTTAUB1110-INTTAUB1111
INTTAUB1112	チャンネル 12 割り込み	割り込みコントローラ INTTAUB1112 DMA コントローラ・トリガ 26
INTTAUB1113	チャンネル 13 割り込み	割り込みコントローラ INTTAUB1113 DMA コントローラ・トリガ 27
INTTAUB1114- INTTAUB1115	チャンネル 14-15 割り込み	割り込みコントローラ INTTAUB1114-INTTAUB1115 ^b

- a) これらの割り込みは、ウェイクアップ要因として使用できます。
詳細は、第 8 章「スタンバイ・コントローラ (STBC)」を参照してください。
- b) これらの信号は、A/D 変換の開始のトリガソースとして使用できます。
詳細は、21.1.1「ハードウェア・トリガ拡張」を参照してください。

TAUB H/W リセット TAUB と TAUB を構成するレジスタは次のリセット信号で初期化されます。

表 13-5 TAUBn リセット信号

TAUB 信号	リセット信号
TAUBn	リセット・コントローラ SYSRES

入出力信号 TAUBの入出力信号を次の表に示します。

表 13-6 TAUBn 入出力信号 (1/2)

TAUB 信号	機能	接続先
TAUB0:		
TAUB0TTIN0	チャンネル 0 入力	FCN0 TSOUT / ポート URTE10RX / TAUJ0 INTTAUJ0I3
TAUB0TTIN1	チャンネル 1 入力	ポート TAUB0I1 / FCN1 TSOUT / ポート URTE11RX
TAUB0TTIN2	チャンネル 2 入力	ポート TAUB0I2 / ポート URTE2RX
TAUB0TTIN3	チャンネル 3 入力	ポート TAUB0I3 / TAUB0TTIN2
TAUB0TTIN4	チャンネル 4 入力	ポート TAUB0I4
TAUB0TTIN5	チャンネル 5 入力	ポート TAUB0I5 / TAUB0TTIN4
TAUB0TTIN6	チャンネル 6 入力	ポート TAUB0I6
TAUB0TTIN7	チャンネル 7 入力	ポート TAUB0I7 / TAUB0TTIN6
TAUB0TTIN8	チャンネル 8 入力	ポート TAUB0I8
TAUB0TTIN9	チャンネル 9 入力	ポート TAUB0I9 / TAUB0TTIN8
TAUB0TTIN10	チャンネル 10 入力	ポート TAUB0I10 / FCN0 TSOUT
TAUB0TTIN11	チャンネル 11 入力	ポート TAUB0I11 / FCN1 TSOUT / TAUB0TTIN10
TAUB0TTIN12	チャンネル 12 入力	ポート TAUB0I12
TAUB0TTIN13	チャンネル 13 入力	ポート TAUB0I13 / TAUB0TTIN12
TAUB0TTIN14	チャンネル 14 入力	ポート TAUB0I14
TAUB0TTIN15	チャンネル 15 入力	ポート TAUB0I15 / TAUJ0 INTTAUJ0I3 / TAUB0TTIN14
TAUB0TTOUT0	チャンネル 0 出力	未接続
TAUB0TTOUT1-TAUB0TTOUT15	チャンネル 1-15 出力	ポート TAUB0O1-TAUB0O15
TAUB1:		
TAUB1TTIN0	チャンネル 0 入力	未接続
TAUB1TTIN1	チャンネル 1 入力	ポート TAUB1I1
TAUB1TTIN2	チャンネル 2 入力	ポート TAUB1I2 / ポート URTE2RX
TAUB1TTIN3	チャンネル 3 入力	ポート TAUB1I3 / ポート URTE3RX
TAUB1TTIN4	チャンネル 4 入力	ロウ・レベル固定 / ポート URTE4RX
TAUB1TTIN5	チャンネル 5 入力	ポート TAUB1I5
TAUB1TTIN6	チャンネル 6 入力	未接続
TAUB1TTIN7	チャンネル 7 入力	ポート TAUB1I7
TAUB1TTIN8	チャンネル 8 入力	未接続
TAUB1TTIN9	チャンネル 9 入力	ポート TAUB1I9
TAUB1TTIN10	チャンネル 10 入力	未接続
TAUB1TTIN11	チャンネル 11 入力	ポート TAUB1I11
TAUB1TTIN12	チャンネル 12 入力	未接続
TAUB1TTIN13-TAUB1TTIN15	チャンネル 13-15 入力	ポート TAUB1I13-TAUB1I15
TAUB1TTOUT0	チャンネル 0 出力	未接続
TAUB1TTOUT1-TAUB1TTOUT3	チャンネル 1-3 出力	ポート TAUB1O1-TAUB1O3
TAUB1TTOUT4	チャンネル 4 出力	未接続

表 13-6 TAUBn 入出力信号 (2/2)

TAUB 信号	機能	接続先
TAUB1TTOUT5-TAUB1TTOUT7	チャンネル 5-7 出力	ポート TAUB1O5-TAUB1O7
TAUB1TTOUT8	チャンネル 8 出力	未接続
TAUB1TTOUT9-TAUB1TTOUT11	チャンネル 9-11 出力	ポート TAUB1O9-TAUB1O11
TAUB1TTOUT12	チャンネル 12 出力	未接続
TAUB1TTOUT13-TAUB1TTOUT15	チャンネル 13-15 出力	ポート TAUB1O13-TAUB1O15
TAUBnTSSTm	同時スタートトリガ入力	0 に固定

TAUBn 割り込みと入出力信号を次の図に示します。

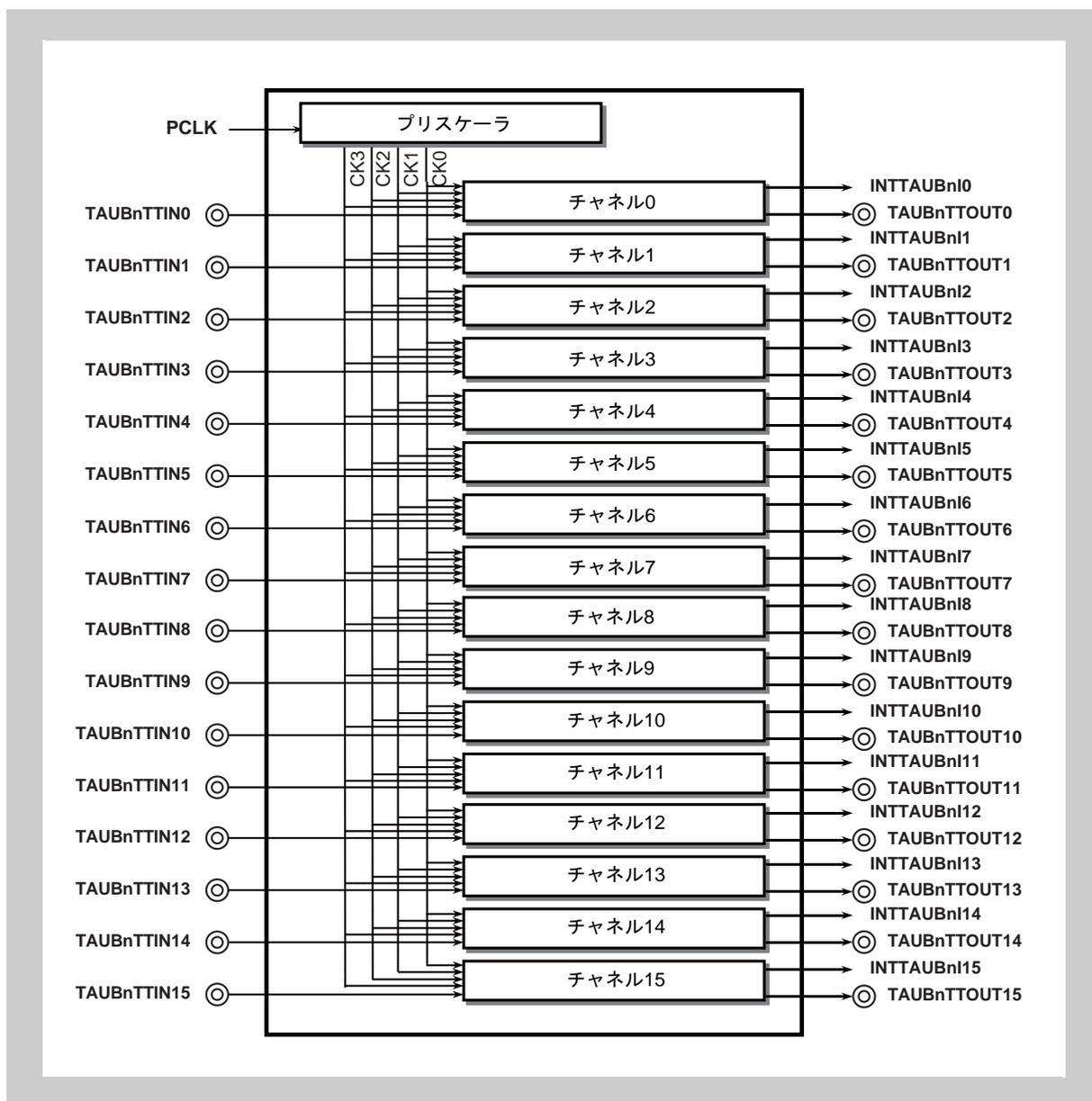


図 13-1 TAUB 入出力と割り込み信号

13.2 TAUB 入力の選択

13.2.1 TAUB0 入力の選択

TAUB0 には、次のように入力信号を接続するいくつかのオプションがあります。

- タイミング測定のための FCN0, FCN1 タイム・スタンプ出力信号 (TSOUT)
- ボー・レート測定のための URTE2, URTE10, URTE11 データ受信信号 (URTE_nRX)
- TAUB0 偶数チャンネルへの入力信号を TAUB0 奇数チャンネルへも入力可能 (TAUB0TTIN_m)
- タイミング測定のための TAUJ0 割り込み (INTTAUJ0I3)

次の図は TAUB0 入力の選択スキームを表します。

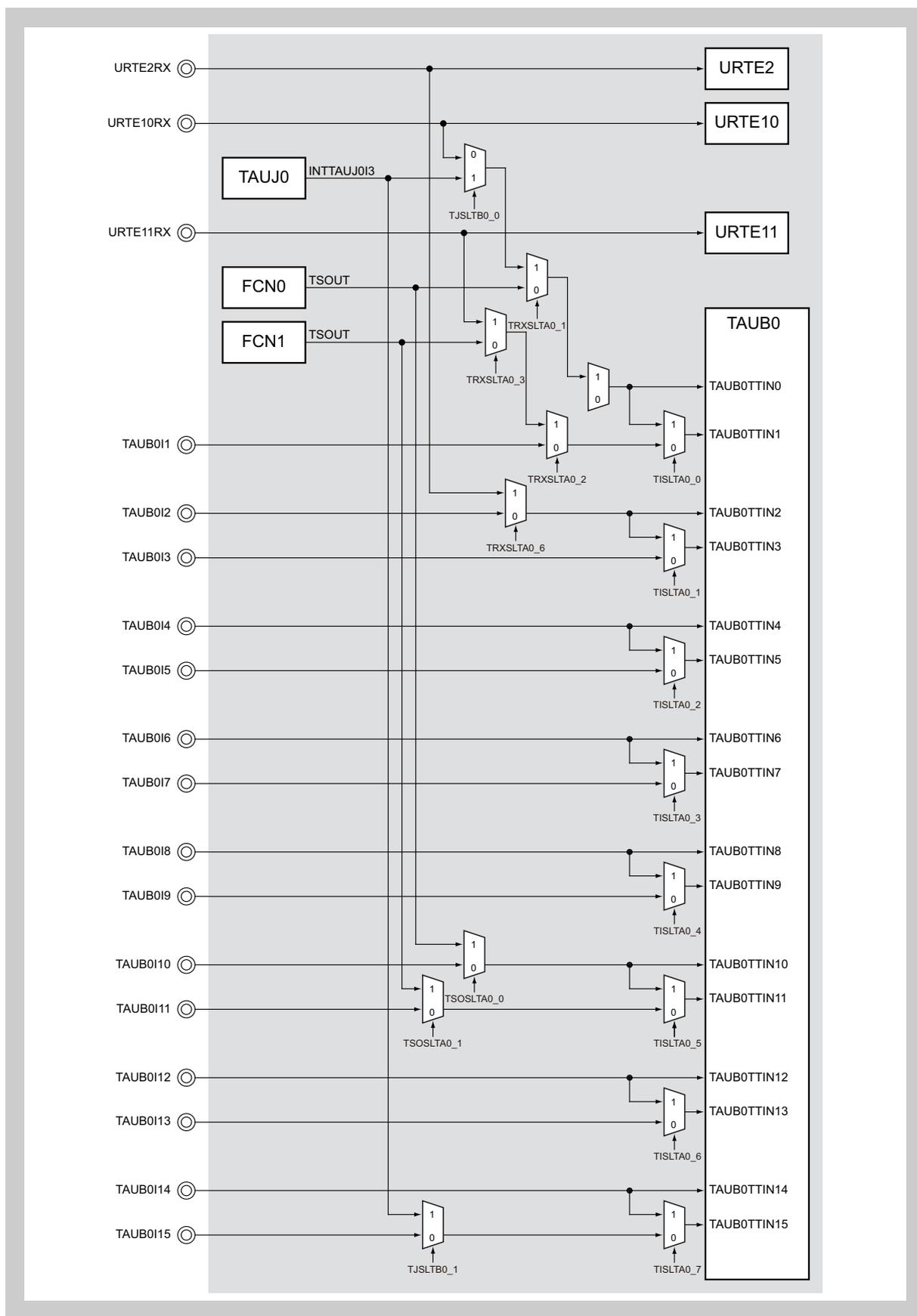


図 13-2 TAUB0 入力の選択

表 13-7 TAUB0 入力選択 (TAUB0TTIN0 - TAUB0TTIN2)

TAUB0 input	Input options	Selection control		
		TISLTA0 register bit	TRXSLTA0 register bits	TJSLTB0 register bits
TAUB0TTIN0	FCN0 TSOUT (CAN I/F 0 time stamp output)	X	TRXSLTA0[1:0] = 01 _B	X
	Port URTE10RX (URTE10 data receive signal)		TRXSLTA0[1:0] = 11 _B	
	TAUJ0 INTTAUJ0I3 (TAUJ0 channel 3 interrupt)			TJSLTB0_0 = 1
TAUB0TTIN1	Port TAUB0I1	TISLTA0_0 = 0	TRXSLTA0[3:2] = x0 _B	X
	FCN1 TSOUT (CAN I/F 1 time stamp output)		TRXSLTA0[3:2] = 01 _B	
	Port URTE11RX (URTE11 data receive signal)		TRXSLTA0[3:2] = 11 _B	
TAUB0TTIN2	Port TAUB0I12	X	TRXSLTA0_6 = 0	X
	Port URTE2RX (URTE2 data receive signal)		TRXSLTA0_6 = 1	

表 13-8 TAUB0 入力選択 (TAUB0TTIN3 - TAUB0TTIN9)

TAUB0 input	Input options	Selection control TISLTA0 register bits
TAUB0TTIN3	Port TAUB0I3	TISLTA0_1 = 0
	Input to TAUB0TTIN2	TISLTA0_1 = 1
TAUB0TTIN4	Port TAUB0I4	X
TAUB0TTIN5	Port TAUB0I5	TISLTA0_2 = 0
	Port TAUB0I4	TISLTA0_2 = 1
TAUB0TTIN6	Port TAUB0I6	X
TAUB0TTIN7	Port TAUB0I7	TISLTA0_3 = 0
	Port TAUB0I6	TISLTA0_3 = 1
TAUB0TTIN8	Port TAUB0I8	X
TAUB0TTIN9	Port TAUB0I9	TISLTA0_4 = 0
	Port TAUB0I8	TISLTA0_4 = 1

表 13-9 TAUB0 入力選択 (TAUB0TTIN10 - TAUB0TTIN15)

TAUB0 input	Input options	Selection control		
		TISLTA0 register bit	TSOSLTA0 register bits	TJSLTB0 register bits
TAUB0TTIN10	Port TAUB0I10	X	TSOSLTA0_0 = 0	X
	FCN0 TSOUT (CAN I/F 0 time stamp output)		TSOSLTA0_0 = 1	
TAUB0TTIN11	Port TAUB0I11	TISLTA0_5 = 0	TSOSLTA0_1 = 0	X
	FCN1 TSOUT (CAN I/F 1 time stamp output)		TSOSLTA0_1 = 1	
	Input to TAUB0TTIN10	TISLTA0_5 = 1	X	
TAUB0TTIN12	Port TAUB0I12	X	X	X
TAUB0TTIN13	Port TAUB0I13	TISLTA0_6 = 0	X	X
	Input to TAUB0TTIN12	TISLTA0_6 = 1		
TAUB0TTIN14	Port TAUB0I14	X	X	X
TAUB0TTIN15	Port TAUB0I15	TISLTA0_7 = 0	X	TJSLTB0_1 = 0
	TAUJ0 INTTAUJ0I3 (TAUJ0 channel 3 interrupt)			TJSLTB0_1 = 1
	Input to TAUB0TTIN14	TISLTA0_7 = 1	X	X

(1) TISLTA0 - TAUB0 奇数チャンネル入力選択レジスタ

このレジスタは、TAUB0 奇数チャンネル入力への入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 1000_H

初期値 00_H

7	6	5	4	3	2	1	0
TISLTA 0_7	TISLTA 0_6	TISLTA 0_5	TISLTA 0_4	TISLTA 0_3	TISLTA 0_2	TISLTA 0_1	TISLTA 0_0
R/W							

表 13-10 TISLTA0 レジスタ

Bit position	Bit name	Function
7	TISLTA0_7	Selection of TAUB0TTIN15: 0: Port TAUB015 or TAUJ0 interrupt INTTAUJ0I3 ^a 1: TAUB0TTIN14 input
6	TISLTA0_6	Selection of TAUB0TTIN13: 0: Port TAUB013 1: TAUB0TTIN12 input
5	TISLTA0_5	Selection of TAUB0TTIN11: 0: Port TAUB011 or FCN1 time stamp TSOUT ^b 1: TAUB0TTIN10 input
4	TISLTA0_4	Selection of TAUB0TTIN9: 0: Port TAUB019 1: TAUB0TTIN8 input
3	TISLTA0_3	Selection of TAUB0TTIN7: 0: Port TAUB017 1: TAUB0TTIN6 input
2	TISLTA0_2	Selection of TAUB0TTIN5: 0: Port TAUB015 1: TAUB0TTIN4 input
1	TISLTA0_1	Selection of TAUB0TTIN3: 0: Port TAUB013 1: TAUB0TTIN2 input
0	TISLTA0_0	Selection of TAUB0TTIN1: 0: Port TAUB011 or FCN1 time stamp TSOUT or port URTE11RX ^c 1: TAUB0TTIN0 input

(2) TRXSLTA0 - TAUB0 受信入力選択レジスタ

このレジスタは、ほかの周辺機能 (FCN, URTE) からの複数の TAUB0 入力への入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 1004_H

初期値 00_H

	7	6	5	4	3	2	1	0
	0	TRXSLTA 0_6	0	0	TRXSLTA 0_3	TRXSLTA 0_2	TRXSLTA 0_1	TRXSLTA 0_0
	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-11 TRXSLTA0 レジスタ

Bit position	Bit name	Function									
6	TRXSLTA 0_6	Selection of TAUB0TTIN2: <table border="1"> <thead> <tr> <th>TRXSLTA0_6</th> <th>TAUB0TTIN2 selector input</th> </tr> </thead> <tbody> <tr> <td>0_B</td> <td>Port TAUB0I2</td> </tr> <tr> <td>1_B</td> <td>Port URTE2RX</td> </tr> </tbody> </table>	TRXSLTA0_6	TAUB0TTIN2 selector input	0 _B	Port TAUB0I2	1 _B	Port URTE2RX			
TRXSLTA0_6	TAUB0TTIN2 selector input										
0 _B	Port TAUB0I2										
1 _B	Port URTE2RX										
3, 2	TRXSLTA 0_[3:2]	Selection of TAUB0TTIN1 selector TISLTA0.TISLTA0_0 input: <table border="1"> <thead> <tr> <th>TRXSLTA0_[3:2]</th> <th>TAUB0TTIN1 selector input</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td rowspan="2">Port TAUB0I1</td> </tr> <tr> <td>10_B</td> </tr> <tr> <td>01_B</td> <td>FCN1 time stamp TSOUT</td> </tr> <tr> <td>11_B</td> <td>Port URTE11RX</td> </tr> </tbody> </table>	TRXSLTA0_[3:2]	TAUB0TTIN1 selector input	00 _B	Port TAUB0I1	10 _B	01 _B	FCN1 time stamp TSOUT	11 _B	Port URTE11RX
TRXSLTA0_[3:2]	TAUB0TTIN1 selector input										
00 _B	Port TAUB0I1										
10 _B											
01 _B	FCN1 time stamp TSOUT										
11 _B	Port URTE11RX										
1, 0	TRXSLTA 0_[1:0]	Selection of TAUB0TTIN0: <table border="1"> <thead> <tr> <th>TRXSLTA0_[1:0]</th> <th>TAUB0TTIN0</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td rowspan="2">not connected</td> </tr> <tr> <td>10_B</td> </tr> <tr> <td>01_B</td> <td>FCN0 time stamp TSOUT</td> </tr> <tr> <td>11_B</td> <td>Port URTE10RX or TAUJ0 interrupt TAUJ0I3^a</td> </tr> </tbody> </table>	TRXSLTA0_[1:0]	TAUB0TTIN0	00 _B	not connected	10 _B	01 _B	FCN0 time stamp TSOUT	11 _B	Port URTE10RX or TAUJ0 interrupt TAUJ0I3 ^a
TRXSLTA0_[1:0]	TAUB0TTIN0										
00 _B	not connected										
10 _B											
01 _B	FCN0 time stamp TSOUT										
11 _B	Port URTE10RX or TAUJ0 interrupt TAUJ0I3 ^a										

(3) TSOSLTA0 - TAUB0 入力選択レジスタ

このレジスタは、ほかの周辺機能 (FCNn) からの複数の TAUB0 入力への入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 2014_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TSOSLTA 0_1	TSOSLTA 0_0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

注意 ビット 5-2 は初期値 0 から変更しないでください。

表 13-12 TSOSLTA0 レジスタ

Bit position	Bit name	Function						
1	TSOSLTA 0_1	Selection of TAUB0TTIN11 selector TISLTA0.TISLTA0_5 input: <table border="1" style="margin: 5px auto;"> <thead> <tr> <th>TSOSLTA0_1</th> <th>TAUB0TTIN11 selector input</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>Port TAUB0I11</td> </tr> <tr> <td style="text-align: center;">1</td> <td>FCN1 time stamp TSOUT</td> </tr> </tbody> </table>	TSOSLTA0_1	TAUB0TTIN11 selector input	0	Port TAUB0I11	1	FCN1 time stamp TSOUT
TSOSLTA0_1	TAUB0TTIN11 selector input							
0	Port TAUB0I11							
1	FCN1 time stamp TSOUT							
0	TSOSLTA 0_0	Selection of TAUB0TTIN10: <table border="1" style="margin: 5px auto;"> <thead> <tr> <th>TSOSLTA0_0</th> <th>TAUB0TTIN10</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>Port TAUB0I10</td> </tr> <tr> <td style="text-align: center;">1</td> <td>FCN0 time stamp TSOUT</td> </tr> </tbody> </table>	TSOSLTA0_0	TAUB0TTIN10	0	Port TAUB0I10	1	FCN0 time stamp TSOUT
TSOSLTA0_0	TAUB0TTIN10							
0	Port TAUB0I10							
1	FCN0 time stamp TSOUT							

(4) TJSLTB0 - TAUB0 入力割り込み選択レジスタ

このレジスタは、複数の TAUB0 入力への入力信号として TAUB0 割り込み (INTTAUJ0I3) を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 0418_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TJSLTB 0_1	TJSLTB 0_0
R	R	R	R	R	R	R/W	R/W

表 13-13 TJOSLTB0 レジスタ

Bit position	Bit name	Function						
1	TJSLTB 0_1	Selection of TAUB0TTIN15 selector TISLTA0.TISLTA0_7 input: <table border="1" data-bbox="552 853 1369 981"> <thead> <tr> <th>TJSLTB0_1</th> <th>TAUB0TTIN11 selector input</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUB0I15</td> </tr> <tr> <td>1</td> <td>TAUJ0 interrupt INTTAUJ0I3</td> </tr> </tbody> </table>	TJSLTB0_1	TAUB0TTIN11 selector input	0	Port TAUB0I15	1	TAUJ0 interrupt INTTAUJ0I3
TJSLTB0_1	TAUB0TTIN11 selector input							
0	Port TAUB0I15							
1	TAUJ0 interrupt INTTAUJ0I3							
0	TJSLTB 0_0	Selection of selector TRXSLTA0.TRXSLTA0_1 input: <table border="1" data-bbox="552 1066 1369 1193"> <thead> <tr> <th>TJSLTB0_0</th> <th>TRXSLTA0_1 selector input</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port URTE10RX</td> </tr> <tr> <td>1</td> <td>TAUJ0 interrupt INTTAUJ0I3</td> </tr> </tbody> </table>	TJSLTB0_0	TRXSLTA0_1 selector input	0	Port URTE10RX	1	TAUJ0 interrupt INTTAUJ0I3
TJSLTB0_0	TRXSLTA0_1 selector input							
0	Port URTE10RX							
1	TAUJ0 interrupt INTTAUJ0I3							

13.2.2 TAUB1 入力の選択

TAUB1 には、次のように入力信号を接続するいくつかのオプションがあります。

- ポー・レート測定のための URTE2-URTE4 データ受信信号 (URTE_nRX)

次の図は TAUB1 入力の選択スキームを表します。

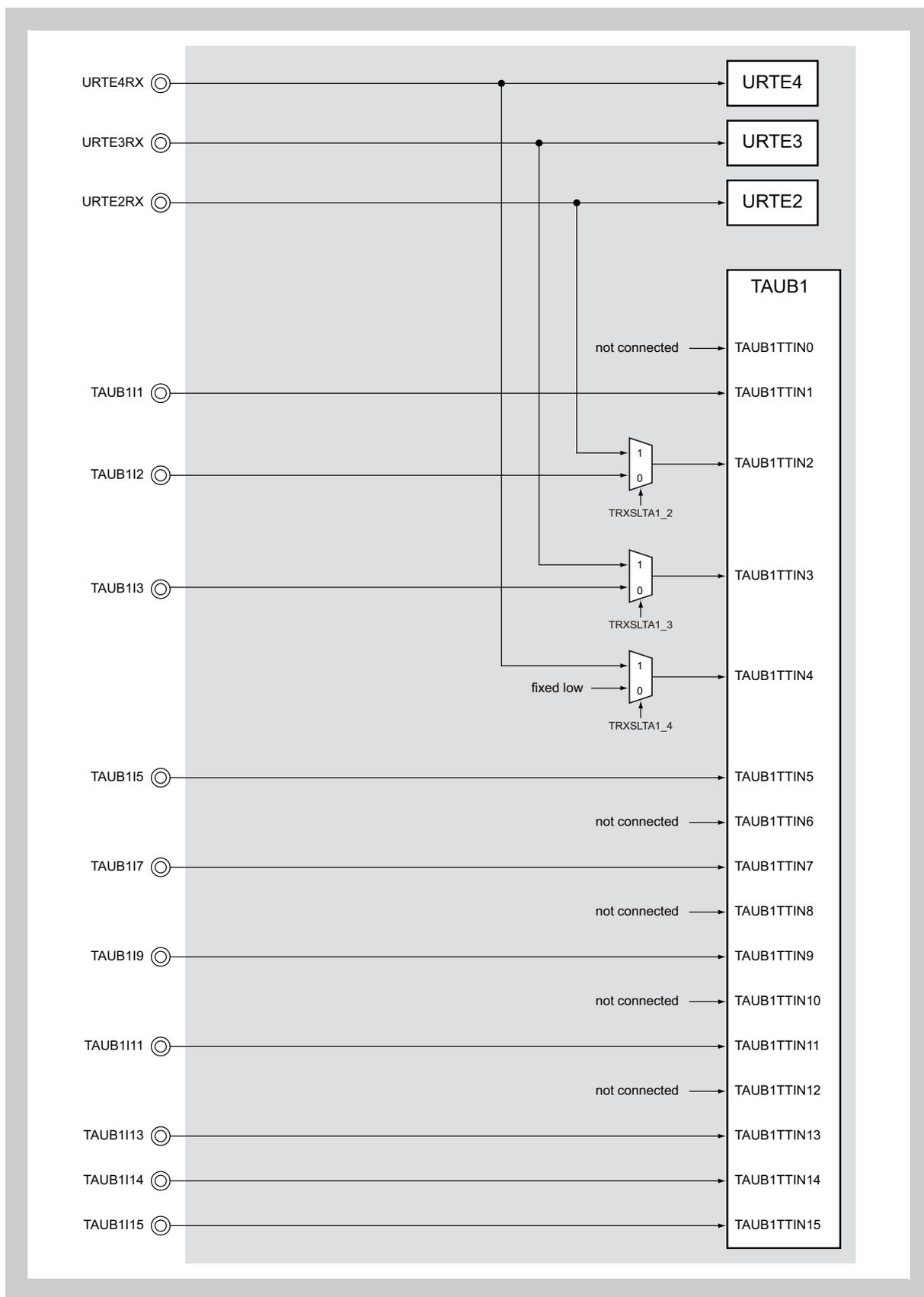


図 13-3 TAUB1 入力の選択

表 13-14 TAUB1 入力選択

TAUB1 input	Input options	Selection control	
TAUB1TTIN0	not connected		
TAUB1TTIN1	Port TAUB1I1	-	
TAUB1TTIN2	Port TAUB1I2	TRXSLTA1.TRXSLTA1_2 =	0
	Port URTE2RX (URTE2 data receive signal)		1
TAUB1TTIN3	Port TAUB1I3	TRXSLTA1.TRXSLTA1_3 =	0
	Port URTE3RX (URTE3 data receive signal)		1
TAUB1TTIN4	fixed low	TRXSLTA1.TRXSLTA1_4 =	0
	Port URTE4RX (URTE4 data receive signal)		1
TAUB1TTIN5	Port TAUB1I5	-	
TAUB1TTIN6	not connected		
TAUB1TTIN7	Port TAUB1I7	-	
TAUB1TTIN8	not connected		
TAUB1TTIN9	Port TAUB1I9	-	
TAUB1TTIN10	not connected		
TAUB1TTIN11	Port TAUB1I11	-	
TAUB1TTIN12	not connected		
TAUB1TTIN13	Port TAUB1I13	-	
TAUB1TTIN14	Port TAUB1I14	-	
TAUB1TTIN15	Port TAUB1I15	-	

(1) TRXSLTA1 - TAUB1 受信入力選択レジスタ

このレジスタは、複数の TAUB1 入力への入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 2018_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	TRXSLTA 1_4	TRXSLTA 1_3	TRXSLTA 1_2	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-15 TRXSLTAn レジスタ

Bit position	Bit name	Function						
4	TRXSLTA 1_4	Selection of TAUB1TTIN4: <table border="1"> <thead> <tr> <th>TRXSLTA1_4</th> <th>TAUB1TTIN4</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>fixed low</td> </tr> <tr> <td>1</td> <td>Port URTE4RX</td> </tr> </tbody> </table>	TRXSLTA1_4	TAUB1TTIN4	0	fixed low	1	Port URTE4RX
TRXSLTA1_4	TAUB1TTIN4							
0	fixed low							
1	Port URTE4RX							
3	TRXSLTA 1_3	Selection of TAUB1TTIN3: <table border="1"> <thead> <tr> <th>TRXSLTA1_3</th> <th>TAUB1TTIN3</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUB1I3</td> </tr> <tr> <td>1</td> <td>Port URTE3RX</td> </tr> </tbody> </table>	TRXSLTA1_3	TAUB1TTIN3	0	Port TAUB1I3	1	Port URTE3RX
TRXSLTA1_3	TAUB1TTIN3							
0	Port TAUB1I3							
1	Port URTE3RX							
2	TRXSLTA 1_2	Selection of TAUB1TTIN2: <table border="1"> <thead> <tr> <th>TRXSLTA1_2</th> <th>TAUB1TTIN2</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUB1I2</td> </tr> <tr> <td>1</td> <td>Port URTE2RX</td> </tr> </tbody> </table>	TRXSLTA1_2	TAUB1TTIN2	0	Port TAUB1I2	1	Port URTE2RX
TRXSLTA1_2	TAUB1TTIN2							
0	Port TAUB1I2							
1	Port URTE2RX							

13.3 機能概要

機能概要 TAUB には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUB の主な構成要素を次の図に示します。

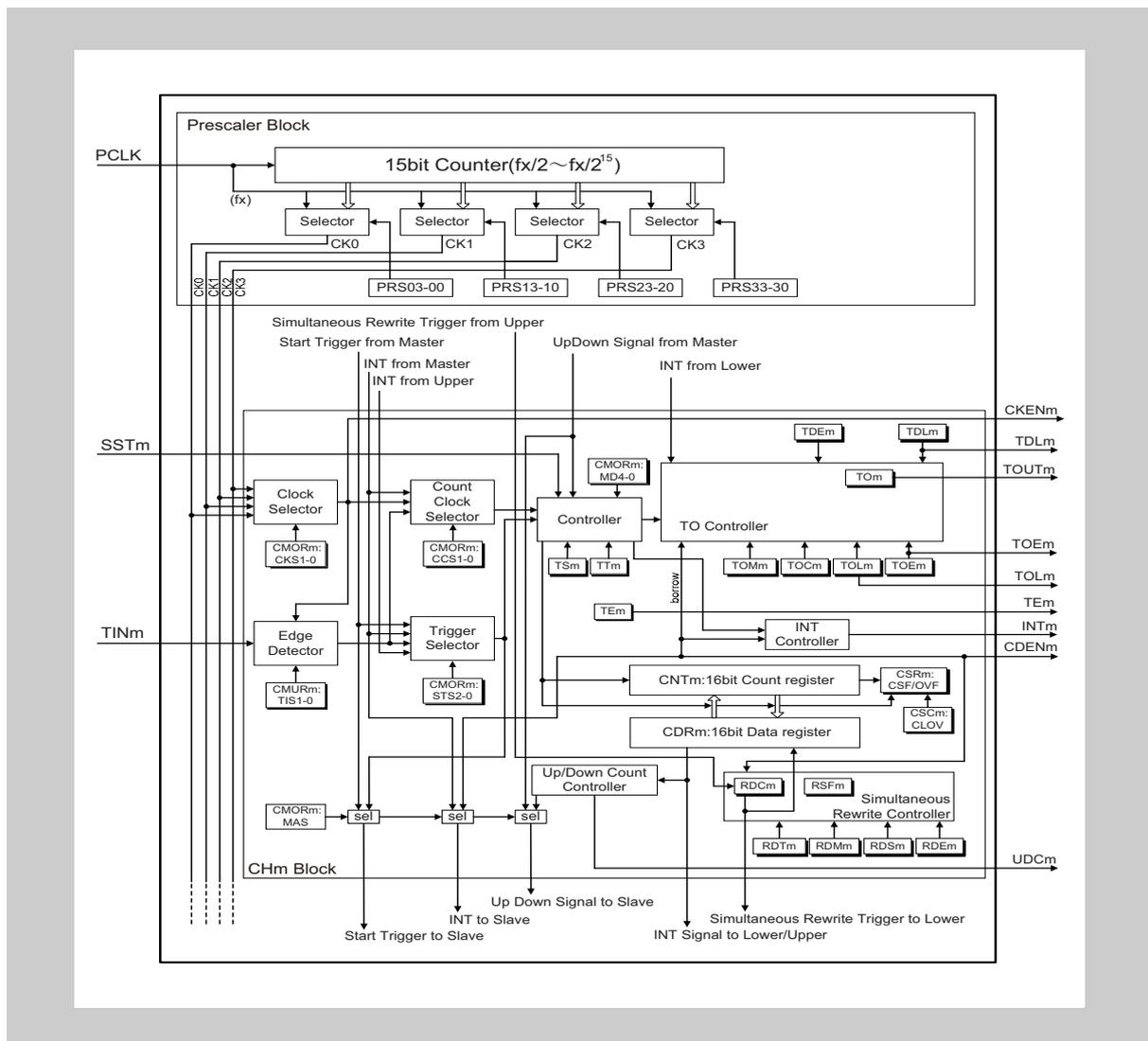


図 13-4 TAUB のブロック図

レジスタ名の「TAUBn」は、図を見やすくするために省略されています。

13.3.1 用語

この章で使用されている用語について説明します。

- **チャンネル単体／連動動作**

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- **チャンネル・グループ**

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- **動作モード**

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、イベント・カウント・モード、インターバル・タイマ・モードなどがあります。

- **チャンネル出力モード**

チャンネル出力モードは、次のチャンネルの TAUBnTTOUm の動作を規定します。

- 1つのチャンネル（単体出力動作）
 - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル単体出力モード、デッド・タイム出力付きチャンネル連動動作モードなどがあります。

- **チャンネル動作機能**

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- **上位／下位チャンネル**

チャンネル m から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

13.4 機能説明

TAUBは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための16ビット・カウンタ TAUBnCNTm と16ビット・データ・レジスタ TAUBnCDRm をそれぞれ備えた16チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK3 は、プリスケアラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。

クロックおよび カウント・クロック の選択

クロック・カウント・セレクトは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクトにより選択)
- マスタ・チャンネルからの INTTAUBnIm
- TAUBnTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUBnCMORm.TAUBnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUBnTS.TAUBnTSm) およびカウント停止 (TAUBnTT.TAUBnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUBnTE.TAUBnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタ・チャンネルにより制御可能)

トリガ・セレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUBnTE.TAUBnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力 TAUBnTSSTm
TAUBnTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUBnIm
- マスタ・チャンネルのアップ/ダウン出力トリガ信号
- TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号

- 一斉書き換え
コントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUBnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUBnTO
コントローラ** 各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。
- 入出力信号** TAUB には、複数の入出力信号があります。信号一覧は、表 13-6「TAUBn 入出力信号」を参照してください。

13.4.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 13-16 TAUB 動作機能一覧

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUBnTTINm 入力インターバル・タイマ機能	ディレイ・パルス出力機能
ワンパルス出力機能	A/D 変換トリガ出力機能タイプ 1
チャンネル単体信号測定機能	外部信号でトリガされる連動 PWM 信号機能
TAUBnTTINm 入力パルス・インターバル測定機能	ワンショット・パルス出力機能
TAUBnTTINm 入力信号幅測定機能	同期三角波 PWM 出力機能
オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)	三角波 PWM 出力機能
TAUBnTTINm 入力期間カウント検出機能	デッド・タイム付き三角波 PWM 出力機能
オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)	A/D 変換トリガ出力機能タイプ 2
TAUBnTTINm 入力パルス・インターバル判定機能	
TAUBnTTINm 入力信号幅判定機能	
チャンネル単体一斉書き換え機能	
一斉書き換えトリガ生成機能 タイプ 1	
その他チャンネル単体機能	
外部イベント・カウント機能	
クロック分周機能	
TAUBnTTINm 入力位置検出機能	

13.5 基本操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBnTTOUTm の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
 - 動作モードを設定してください。
 - チャネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は、13.14「チャネル単体動作機能」と 13.19「チャネル連動動作機能」を参照してください。

13.6 動作モード

TAUB には 12 の動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、
TAUBnCMORm.TAUBnMD[4:0] ビットで指定します。

備考 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

13.7 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、13.7.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 13.7.2「連動チャンネル・カウンタの同時動作開始／停止」
- 13.8「一斉書き換え」

13.7.1 ルール

マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2, CH4, ...) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。
例：CH2がマスタ・チャンネルの場合、CH3以下 (CH3, CH4, CH5, ...) をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを複数使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。
例：CH0, CH4がマスタ・チャンネルの場合、CH0に対してCH1-CH3までをスレーブ・チャンネルとして設定できますが、CH5-CH15は設定できません。

動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUBnCMORm.TAUBnCKs[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

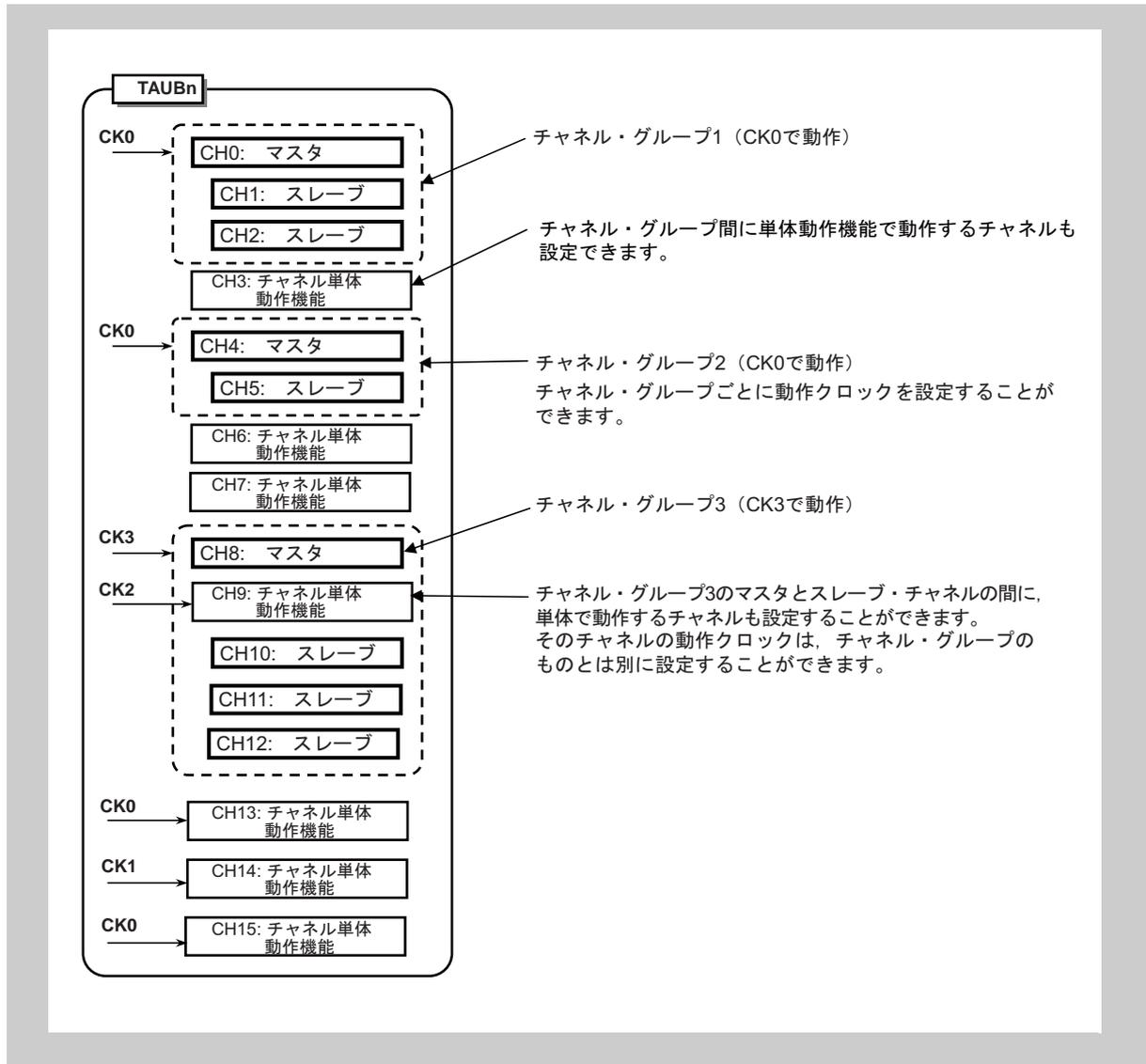


図 13-5 チャンネルのグループ化と動作クロックの割り当て

マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号Iを使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

13.7.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUBnTS.TAUBnTSM ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSM ビットに 1 を設定することにより、対応する TAUBnTE.TAUBnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

13.8 一斉書き換え

13.8.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUBnCDRm, TAUBnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタ・チャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャンネルにて INTTAUBnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 13-17 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUBnR DE. TAUBnR DEm	TAUBnR DS. TAUBnR DSm	TAUBnR DM. TAUBnR DMm
-	一斉書き換えが行われない場合	0	0	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1	0	0
B	マスタ・チャンネルの三角波周期の [山] のタイミングでダウン・カウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合	1	1	0
TOLm	TAUBnTOLm レジスタを書き換える場合の方式です。下記の表は動作中に TAUBnTOLm レジスタを書き換えることができるかどうかを示したものです。TAUBnTOLm レジスタの書き換え方式は、TAUBnCDRm レジスタと同じです。			

4つの方法のうち、各チャンネル動作機能で使用できる方法を次の表に示します。各チャンネル動作機能の詳細は、13.14「チャンネル単体動作機能」と13.19「チャンネル連動動作機能」を参照してください。

表 13-18 一斉書き換え方法とトリガ・タイミング

機能	A	B	C1	TOL m
一斉書き換えトリガ出力機能タイプ1			X	
PWM 出力機能	X		X	X
ワンショット・パルス出力機能	X			
ディレイ・パルス出力機能	X			
三角波 PWM 出力機能		X	X	X
デッド・タイム付き三角波 PWM 出力機能		X	X	
AD 変換トリガ出力機能タイプ1	X		X	
AD 変換トリガ出力機能タイプ2		X	X	

13.8.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

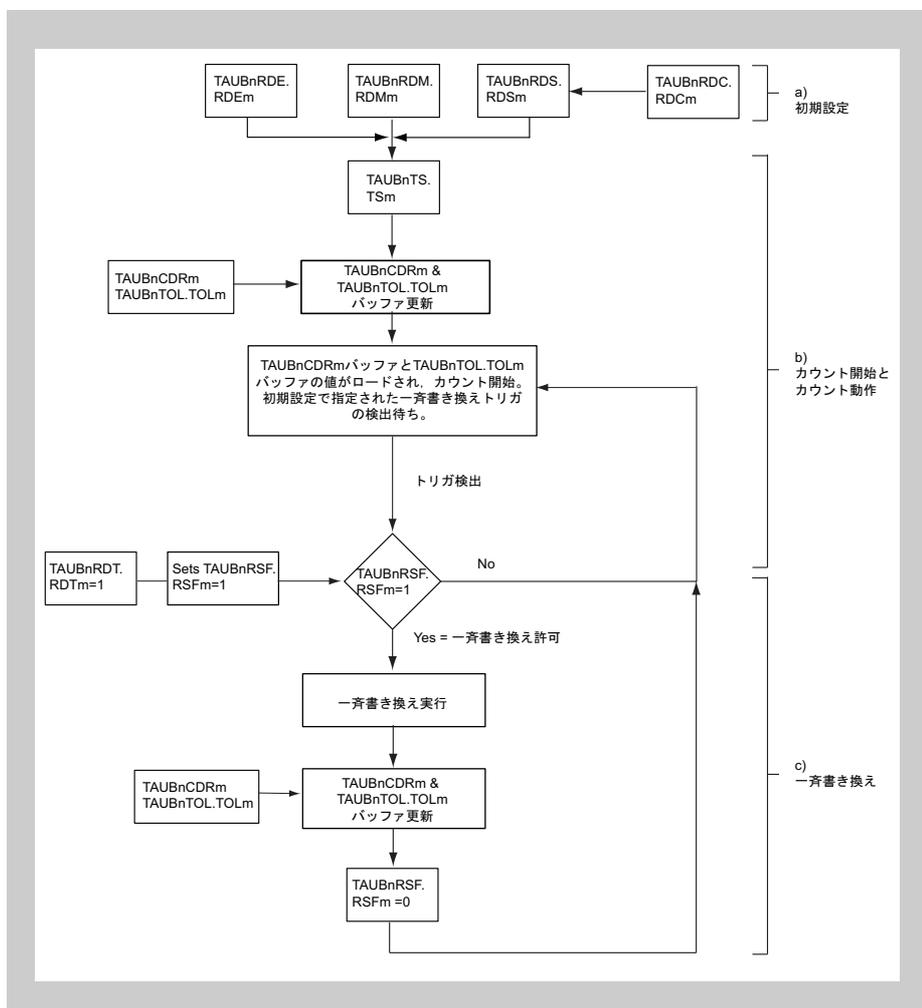


図 13-6 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、
TAUBnRDE.TAUBnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUBnRDM.TAUBnRDMm と
TAUBnRDS.TAUBnRDSm を表 13-17 「一斉書き換え方法とトリガ・タイ
ミング」に示す値に設定してください。
- TAUBnRDC.TAUBnRDCm で、一斉書き換えトリガ生成チャンネルを指定し
てください（前提：上位チャンネルに TAUBnRDS.TAUBnRDSm が設定され
ている）。

(2) カウント開始とカウント動作

- チャンネル・グループに属するすべての TAUBnCNTm カウンタ動作を開始
するには、対応する TAUBnTS.TAUBnTSMm ビットを 1 に設定してくださ
い。TAUBnTOL.TAUBnTOLm とデータ・レジスタ (TAUBnCDRm) の値
は、対応する TAUBnTOL.TAUBnTOLm バッファ
(TAUBnTOL.TAUBnTOLm buf) とデータ・バッファ・レジスタ
(TAUBnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に
設定することにより、リロード・フラグ (TAUBnRSF.TAUBnRSFm) が 1
に設定され、一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は
一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可
(TAUBnRSF.TAUBnRSFm = 1) されているかを確認するために
TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許
可されている場合、一斉書き換えが行われます。許可されていない場合、
一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可
(TAUBnRSF.TAUBnRSFm = 1) されると、データ・レジスタの現在値が
バッファにコピーされます。これらの値は、対応するカウンタにロードさ
れ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUBnRSF.TAUBnRSFm ビットは 0 に設定
され、システムは次の一斉書き換えトリガを待ちます。

13.8.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUBnTE.TAUBnTEm = 1) は、TAUBnRDE.TAUBnRDEm, TAUBnRDS.TAUBnRDSm, TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm を変更することはできません。
- TAUBnTOL.TAUBnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUBnTOL.TAUBnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUBnTTOUTm は不正な波形を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合 (TAUBnRDS.TAUBnRDSm = 1)、すべての下位チャネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し、ほかのチャネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3-CH6 を制御し、CH7 は、下位チャネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択 (TAUBnRDE.TAUBnRDEm, TAUBnRDS.TAUBnRDSm = 1) したにもかかわらず、上位チャネルを設定していない場合 (TAUBnRDC.TAUBnRDC[15:0] = 0)、一斉書き換えは行いません。

13.8.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

(1) マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

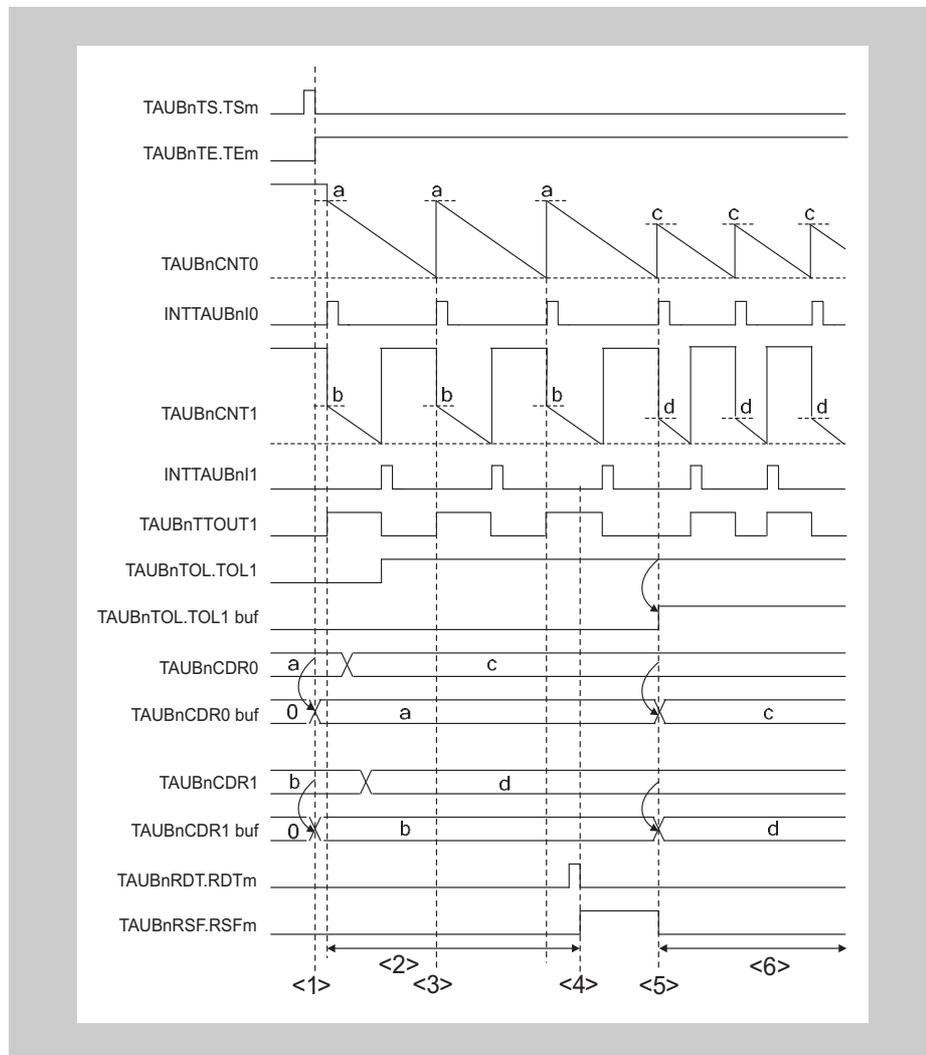


図 13-7 マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 A が適用されます。

説明：

1. TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。
2. TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUBnRSF.TAUBnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

(2) マスタ・チャンネルの三角波周期の [山] のタイミングで一斉書き換え
(方法 B)

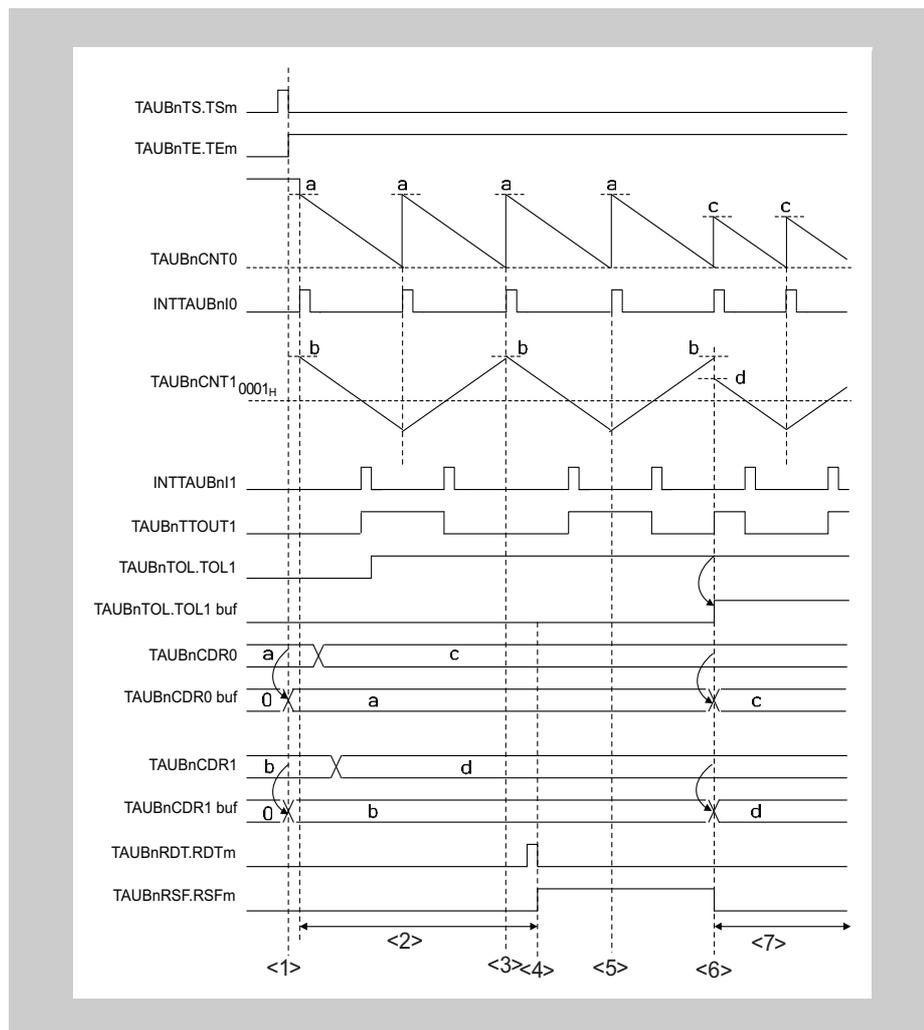


図 13-8 マスタ・チャンネルの三角波周期の [山] のタイミングで一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 B が適用されます。

説明：

1. TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm と TAUBnTOL レジスタは常に書き込めます。
3. 一斉書き換えは許可されていないため行われません (TAUBnRSF.TAUBnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
6. 一斉書き換えは、三角波周期の [山] のスタート・タイミングで行われます。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
7. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

(3) TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え (方法 C1)

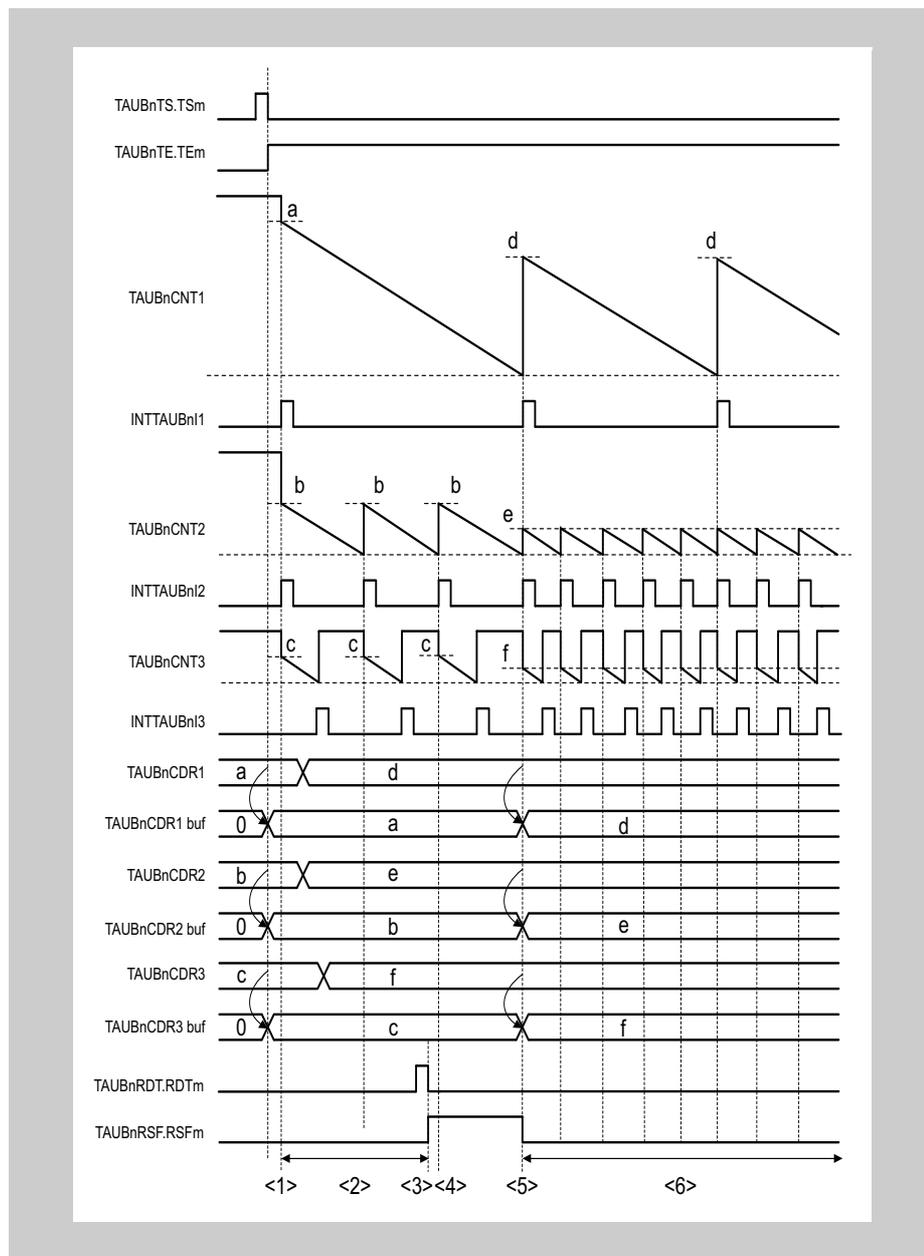


図 13-9 TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャンネルです。CH2 は、マスター・チャンネルです。CH3 は、スレーブ・チャンネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

1. TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

13.9 チャネル出力モード

TAUBnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUBnTOE.TAUBnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUBnTO.TAUBnTOM) に書き込んだ値は、出力端子 (TAUBnTTOUTm) に転送されます。

- TAUB 信号による制御 (TAUBnTOE.TAUBnTOEm = 1)

TAUB 信号で制御した場合、TAUBnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUBnTTOUTm の値を反映するために、TAUBnTO.TAUBnTOM の値は更新されます。

- 単体制御 (TAUBnTOM.TAUBnTOMm = 0)

単体動作の場合、TAUBnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUBnTOM.TAUBnTOMm = 0) する必要があります。

- 連動制御 (TAUBnTOM.TAUBnTOMm = 1)

連動動作の場合、TAUBnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUBnTOM.TAUBnTOMm = 1)。

TAUBnTO.TAUBnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUBnTTOUTm の現在の値を確認することができます。

制御ビット 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 13-19「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 13.9.2「TAUBn 信号により単体制御されるチャンネル出力モード」
- 13.9.3「TAUBn 信号により連動制御されるチャンネル出力モード」

TAUBnTOM ビットの一括操作 TAUBnTOM ビットへの設定値の反映 / 非反映は、TAUBnTOE.TAUBnTOEm ビットにより制御されます。

TAUBnTO レジスタにライトした時に、TAUBnTOE.TAUBnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUBnTOM の設定値の書き込みが行われます。TAUBnTOE.TAUBnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUBnTOM の設定値は反映されません。

備考 TAUBnTO.TAUBnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は、制御ビット TAUBnTOL.TAUBnTOLm で指定します。

TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると、TAUBnTTOUTm 信号の出力は不定になります。

13.8「一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを次の表に示します。

表 13-19 チャンネル出力モード

チャンネル出力モード	TAUBn TOE. TAUBn TOEm	TAUBn TOM. TAUBn TOMm	TAUBn TOC. TAUBn TOCm	TAUBn TDE. TAUBn TDEm
ソフトウェア制御				
ソフトウェア制御のチャンネル単体出力モード	0	X		
TAUB 信号による単体動作制御				
チャンネル単体出力モード 1	1	0	0	0
チャンネル単体出力モード 2			1	
TAUB 信号による連動動作制御				
チャンネル連動出力モード 1	1	1	0	0
チャンネル連動出力モード 2			1	
デッド・タイム出力				1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考 次のビットは、カウント動作中 (TAUBnTE.TAUBnTEm = 1) は変更できません。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

13.9.1 チャンネル出力モードを指定するための基本手順

TAUBnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUBnTOE.TAUBnTOEm = 0)。

1. TAUBnTO.TAUBnTOm を設定して TAUBnTTOUTm 出力の初期レベルを指定してください。
2. 表 13-19「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUBnTS.TAUBnTSM = 1)。

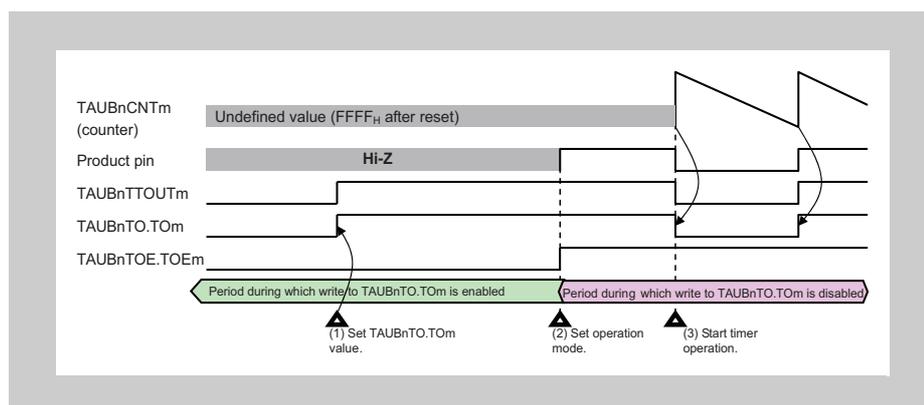


図 13-10 TAUBnTTOUTm チャンネル出力モードを指定するための基本手順

カウンタ出力許可時の TAUBnTTOUTm 出力の出力状態を次の図に示します。

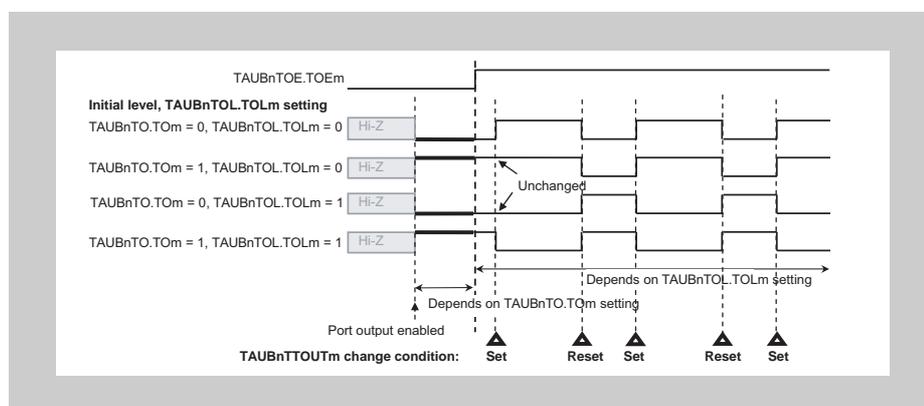


図 13-11 TAUBnTTOUTm 出力の基本動作

- TAUBnTO.TOm は TAUBnTTOUTm 出力の初期値を設定します。TAUBnTOE.TOEm = 0 のとき書き換え可能です。
- TAUBnTOL.TOLm は、TAUBnTO.TOm で設定される出力信号をハイ・レベル (TAUBnTOL.TOLm = 0) または、ロウ・レベル (反転出力, TAUBnTOL.TOLm = 1) するかを設定します。

13.9.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では、TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 13-19「チャネル出力モード」に示します。

(1) チャネル単体出力モード 1

- セット/リセット条件** この出力モードでは、INTTAUBnIm が検出されると TAUBnTTOUTm がトリグ
ルされます。TAUBnTOL.TAUBnTOLm の値は無視されます。
- 前提条件** 表 13-19「チャネル出力モード」に示す条件以外の条件はありません。

(2) チャネル単体出力モード 2

- セット/リセット条件** この出力モードでは、TAUBnTTOUTm は、カウント開始の INTTAUBnIm 発
生でセット、TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生
でリセットされます。
- 前提条件** 表 13-19「チャネル出力モード」に示す条件以外の条件はありません。

13.9.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では、TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 13-19「チャネル出力モード」に示します。

(1) チャネル連動出力モード 1

セット/リセット条件 この出力モードでは、マスタ・チャネルの INTTAUBnIm がセット信号、スレーブ・チャネルの INTTAUBnIm がリセット信号となります。マスタ・チャネルの INTTAUBnIm とスレーブ・チャネルの INTTAUBnIm が同時発生した場合、スレーブ・チャネルの INTTAUBnIm (リセット信号) は、マスタ・チャネルの INTTAUBnIm (セット信号) より優先されます (マスタ・チャネルは無視されます)。

前提条件 表 13-19「チャネル出力モード」に示す条件以外の条件はありません。

(2) チャネル連動出力モード 2

この出力モードでは、動作モードをアップ/ダウン・カウント・モードに設定する必要があります。その結果、TAUBnTTOUTm より三角波 PWM が出力されます。詳細は 13.22.1「三角波 PWM 出力機能」を参照してください。

セット/リセット条件 スレーブ・チャネルの TAUBnCNTm は、アップ/ダウン・カウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUBnTTOUTm をトグルします。

前提条件 三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUBnTTOUTm は、機能を開始する前に 0 に設定する必要があります。

(3) デッド・タイム出力を行うチャンネル連動出力モード2

この出力モードでは、TAUBnTTOUTm にデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

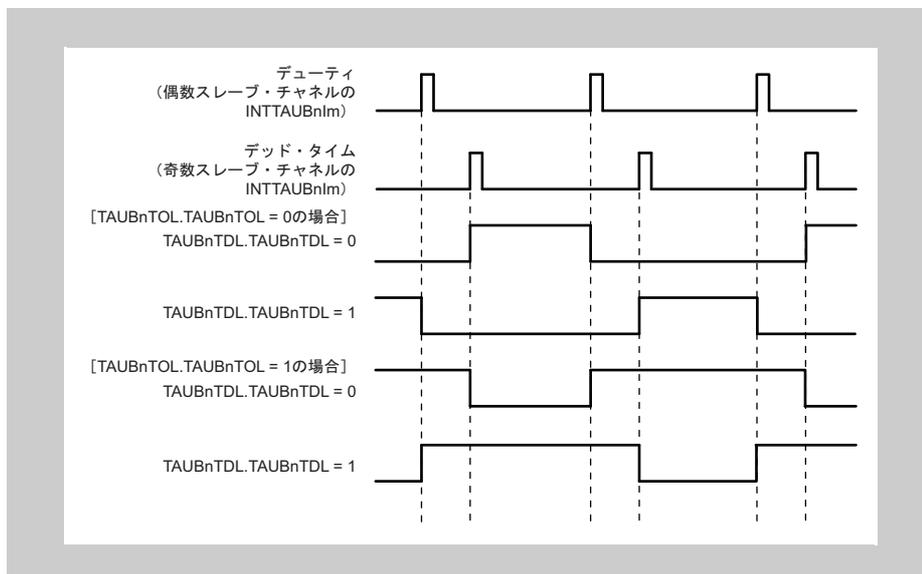
**セット/リセット
条件**


図 13-12 デッド・タイム出力を行うチャンネル連動出力モード2のセット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合は TAUBnTDL.TAUBnTDLm = 0, 立ち下がりエッジの場合は TAUBnTDL.TAUBnTDLm = 1 を設定してください。

前提条件デッド・タイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタ・チャンネル
マスタ・チャンネルは、インターバル・タイマ・モードに設定する必要があります。
- 偶数スレーブ・チャンネル
偶数スレーブ・チャンネルは、アップ/ダウン・カウント・モードに設定する必要があります。
- 奇数スレーブ・チャンネル (偶数チャンネル + 1)
奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

13.10 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUBnTS.TAUBnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注意 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

13.10.1 インターバル・タイマ・モード、ジャッジ・モード、キャプチャ・モード、アップ/ダウン・カウント・モード、カウント・キャプチャ・モード

TAUBnTS.TAUBnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

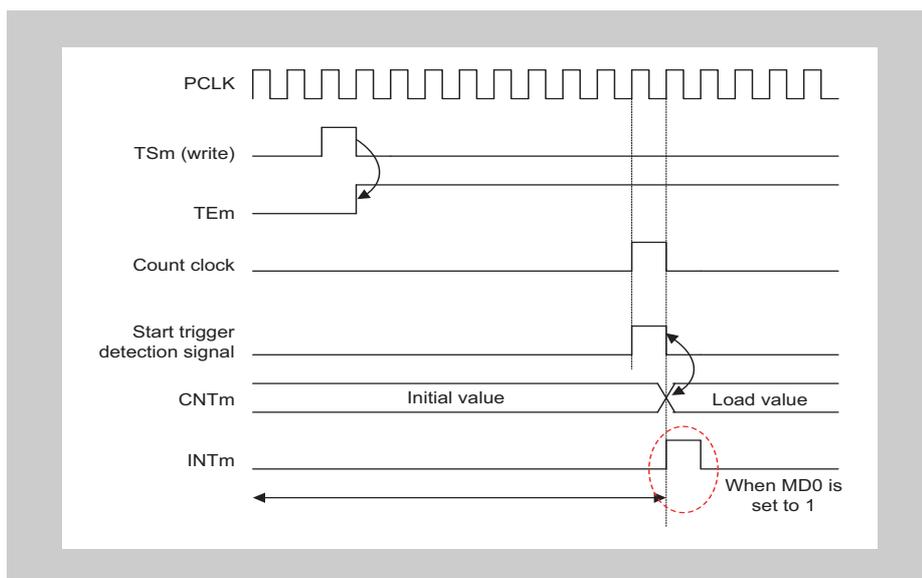


図 13-13 インターバル・タイマ・モード、ジャッジ・モード、キャプチャ・モード、アップ/ダウン・カウント・モード、カウント・キャプチャ・モードでの開始タイミング

備考 アップ/ダウン・カウント・モード時は、MD0 = 0 に設定してください。

13.10.2 イベント・モード

TAUBnTS.TAUBnTSm が 1 に設定されると、ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は、以降のカウンタ・クロック・サイクルの開始時に変更されます。

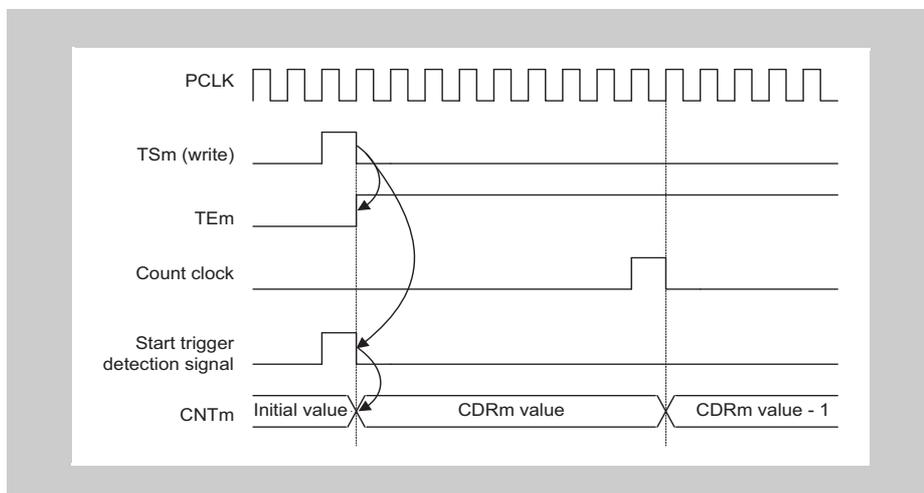


図 13-14 イベント・モード時の開始タイミング

13.10.3 その他の動作モード

その他の動作モードでは、カウンタ・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUBnTTINm の有効エッジ検出によるのみトリガされます。カウンタが開始されると、データ・レジスタ値もロードされます。カウンタ・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

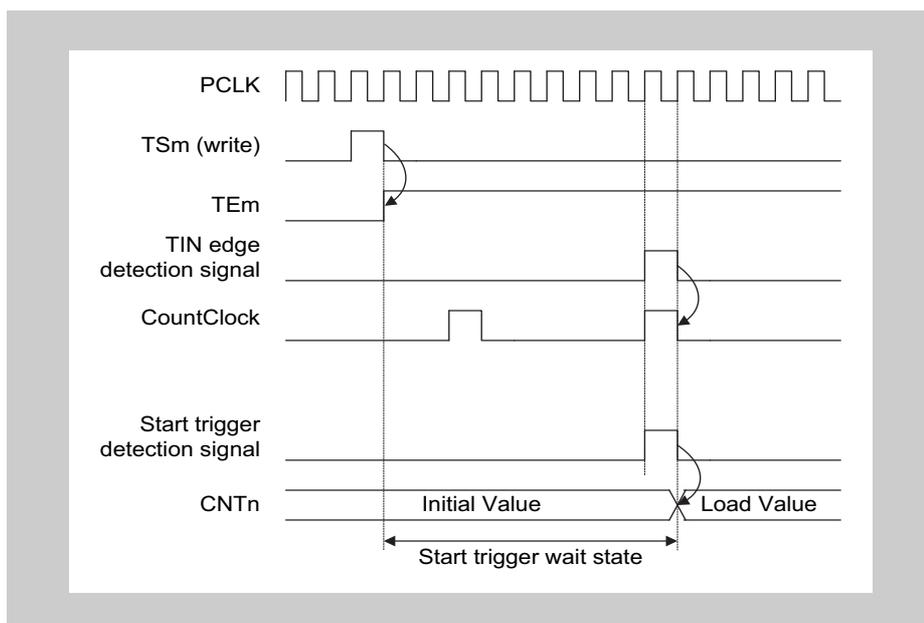


図 13-15 その他の動作モードでのカウンタ開始タイミング

13.11 カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)

カウンタのカウント開始時，リスタート時，または外部入力信号のトリガ入力時に，TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUBnIm の TAUBnTTOUTm に対する影響は，選択したチャンネル動作機能に依存します。

表 13-20 カウンタがトリガされた場合の TAUBnCMORm.TAUBnMD0 ビットの INTTAUBnIm 発生に対する影響

モード	TAUBnCMORm.TAUBnMD0 ビット	カウント開始／再開時，または TAUBnTTINm 入力信号のトリガ検出時の INTTAUBnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード イベント・カウント・モード アップ/ダウン・カウント・モード	0	発生しない
ワンカウント・モード ゲート・カウント・モード	0/1	TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生しない
パルス・ワンカウント・モード		TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生

動作例として，

備考 動作例として，図 13-32「強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 1)」，図 13-33「強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 0)」を参照してください。次のビットは，カウント動作中 (TAUBnTE.TAUBnTEm = 1) は変更できません。また，表 13-143「TAUBnCMORm レジスタの内容」の TAUBnMD0 ビットの役割の説明も参照してください。

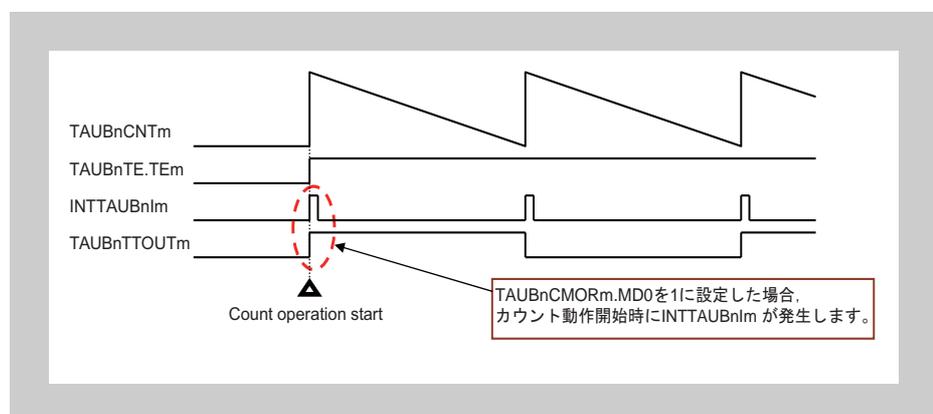


図 13-16 カウント開始時の INTTAUBnIm 発生

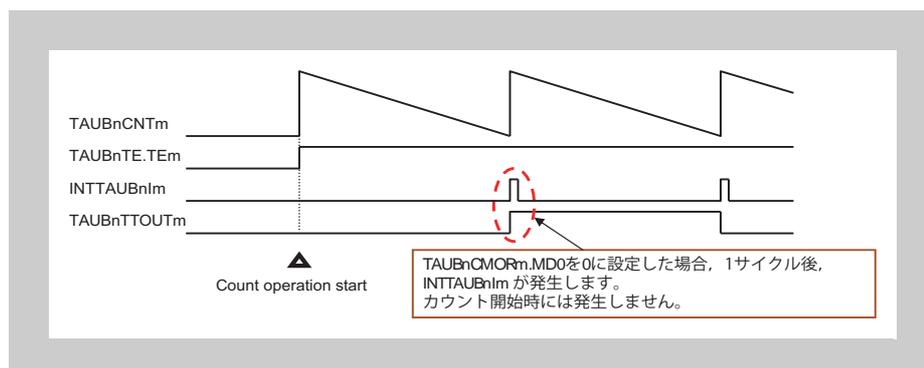


図 13-17 カウント開始時に INTTAUBnIm が発生しない

13.12 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバフロー発生と同時に 0000_H になるようなダウン・カウントを行う動作モードを設定します ($TAUBnCNTm = FFFF_H$)。
- セカンド・チャンネルの $TAUBnCDRm$ を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ $TAUBnTTINm$ 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 ($TAUBnCMORm.TAUBnSTS[2:0]$ と $TAUBnCMURm.TAUBnTIS[1:0]$) は同じである必要があります。
-

結果：ファースト・チャンネルのアップ・カウンタでのオーバフロー発生 ($TAUBnCNTm = FFFF_H$) と同時にセカンド・チャンネルのダウン・カウンタが 0000_H になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

13.12.1 キャプチャ・モード

適用機能 • TAUBnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

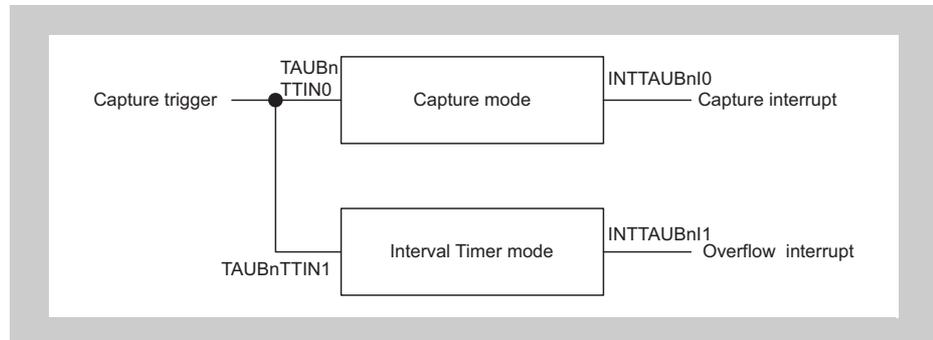


図 13-18 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

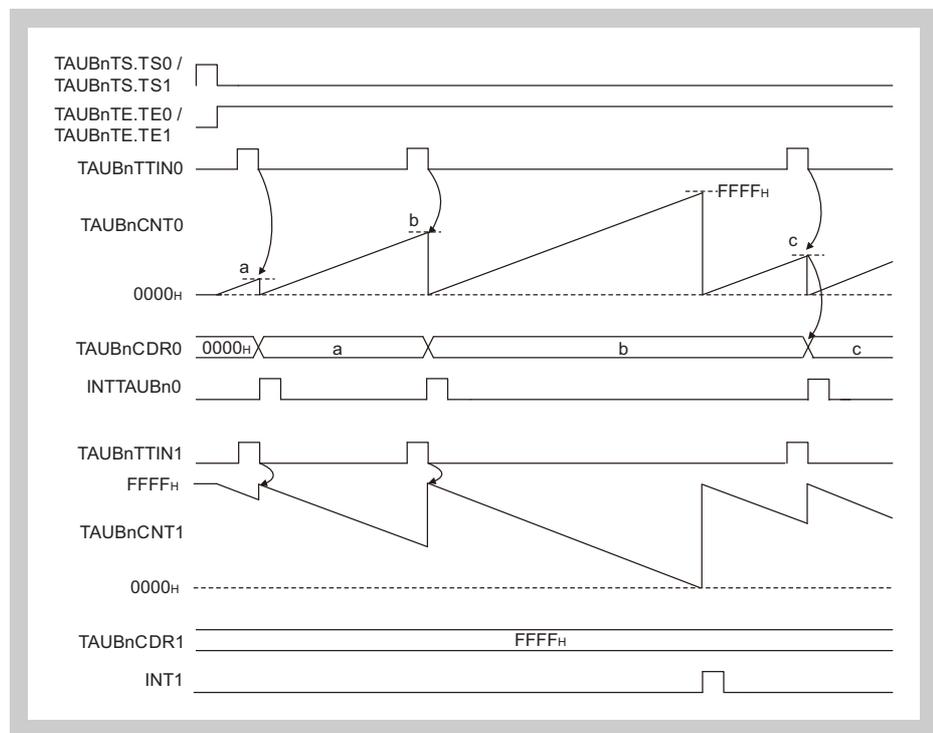


図 13-19 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

13.12.2 キャプチャ & ワンカウント・モード

適用機能 • TAUBnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

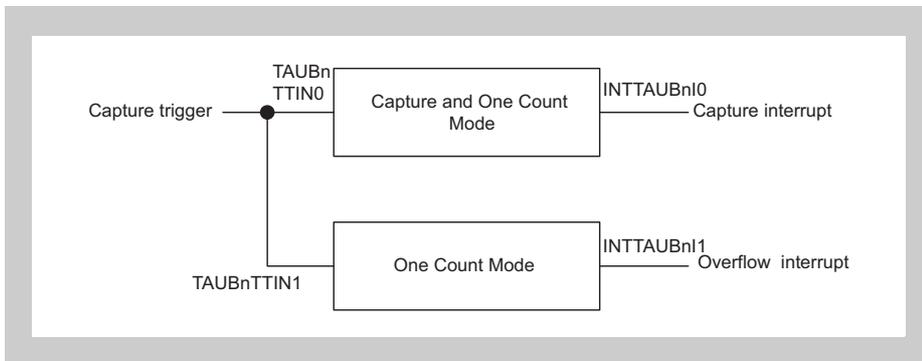


図 13-20 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

タイミング図

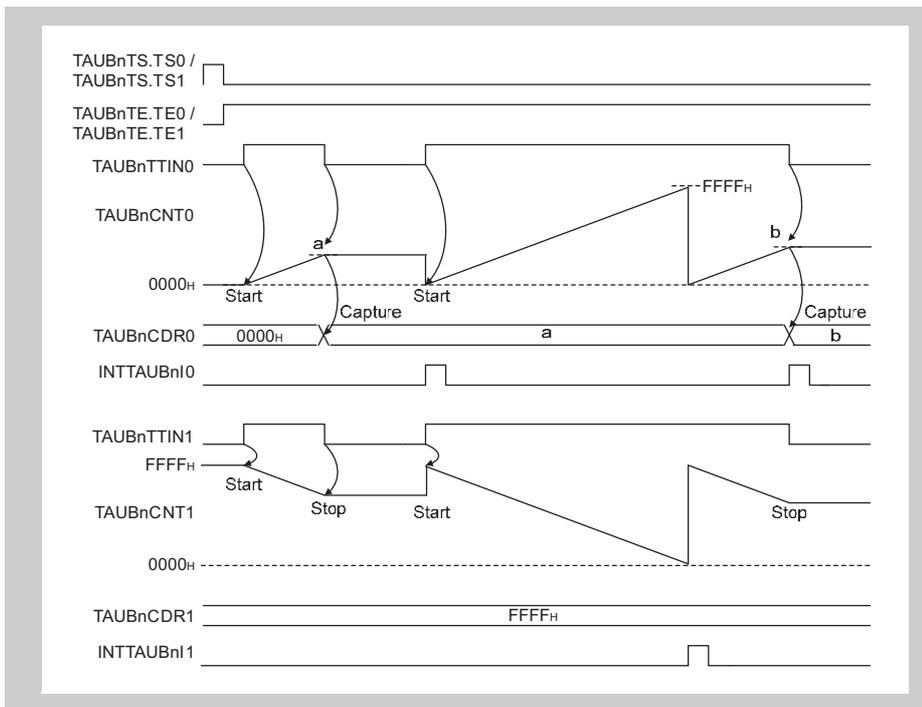


図 13-21 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

13.12.3 カウント・キャプチャ・モード

適用機能 • TAUBnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

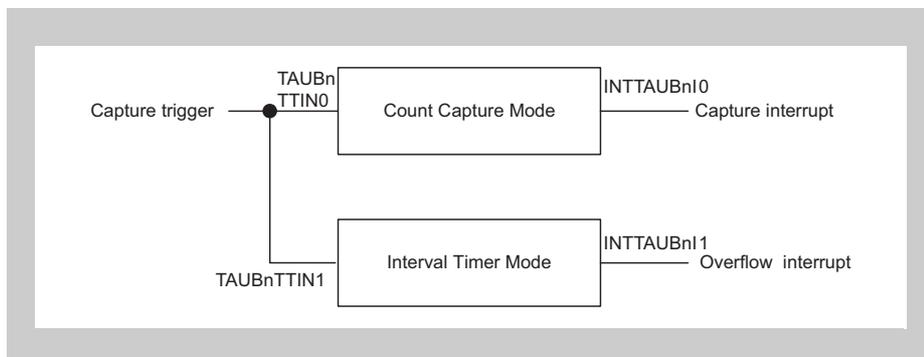


図 13-22 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

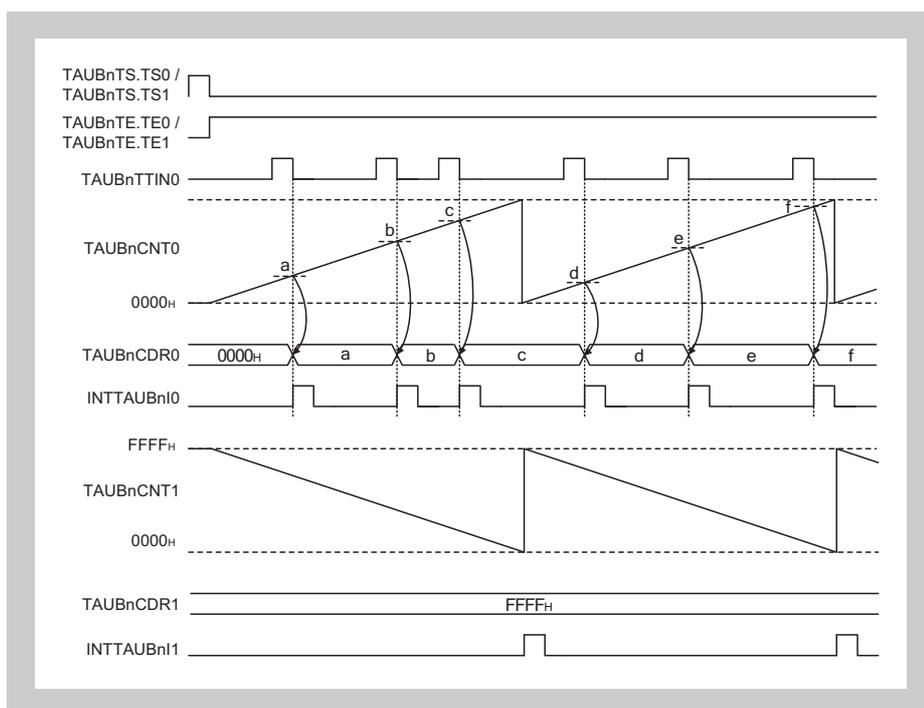


図 13-23 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

13.12.4 キャプチャ&ゲート・カウント・モード

適用機能 • TAUBnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

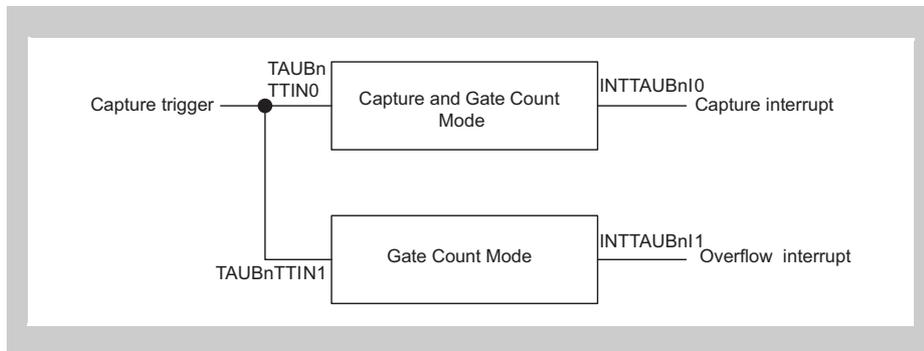


図 13-24 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

タイミング図

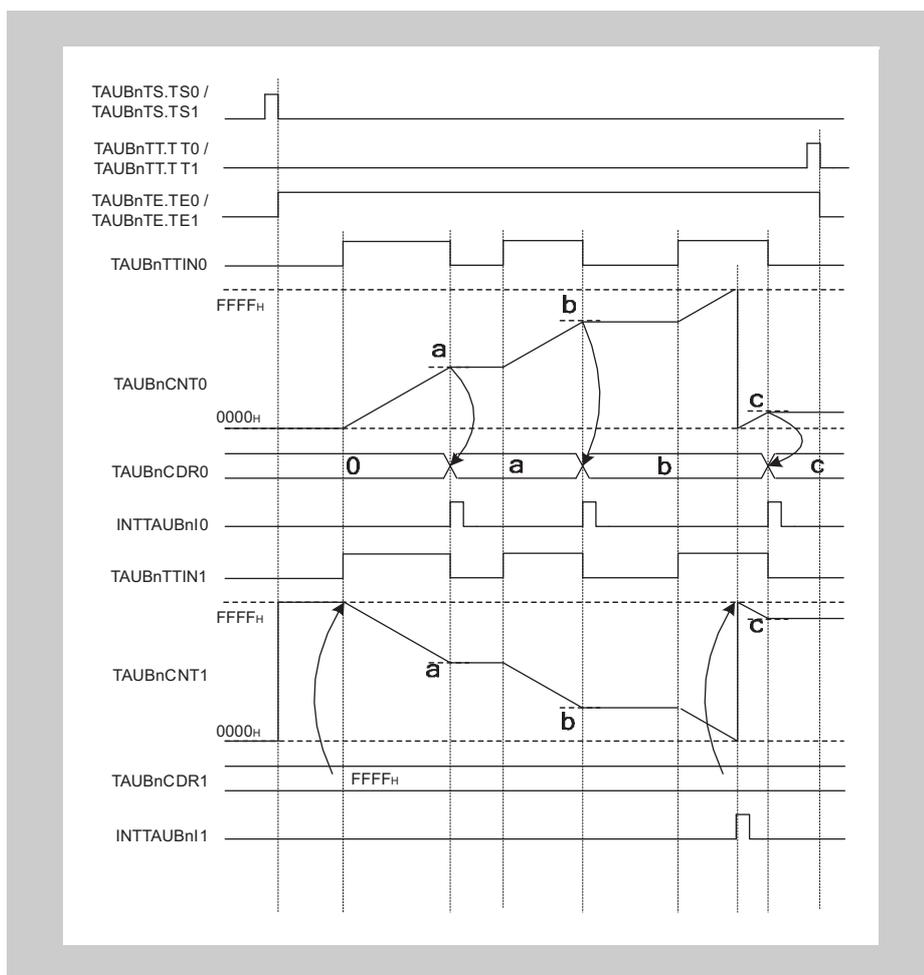


図 13-25 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

13.13 TAUBnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

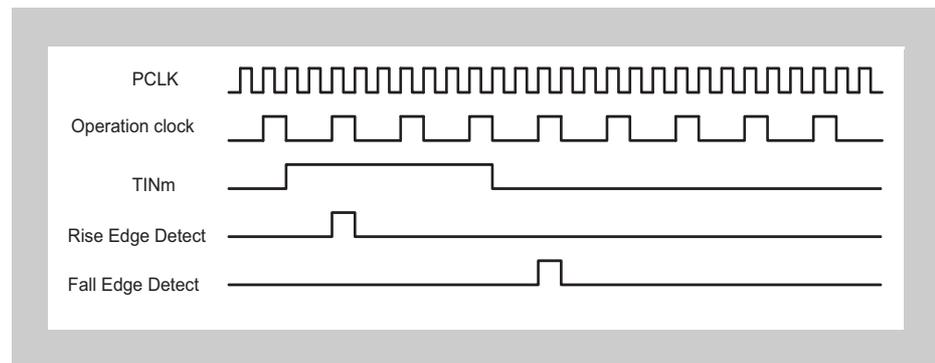


図 13-26 エッジ検出基本動作タイミング

図 13-26 「エッジ検出基本動作タイミング」は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

13.14 チャンネル単体動作機能

TAUB の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、13.4「機能説明」を参照してください。

13.15 チャンネル単体割り込み機能

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 13.15.1 「インターバル・タイマ機能」
- 13.15.2 「TAUBnTTINm 入カインターバル・タイマ機能」
- 13.15.3 「ワンパルス出力機能」

13.15.1 インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔でタイマ割り込み (INTTAUBnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 13-21 「インターバル・タイマ機能の TAUBnCMORm 設定」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。13.9 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBnTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBnTTOUTm 信号が出力されます。詳細は、13.11 「カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

(2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 × (TAUBnCDRm + 1)

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUBnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

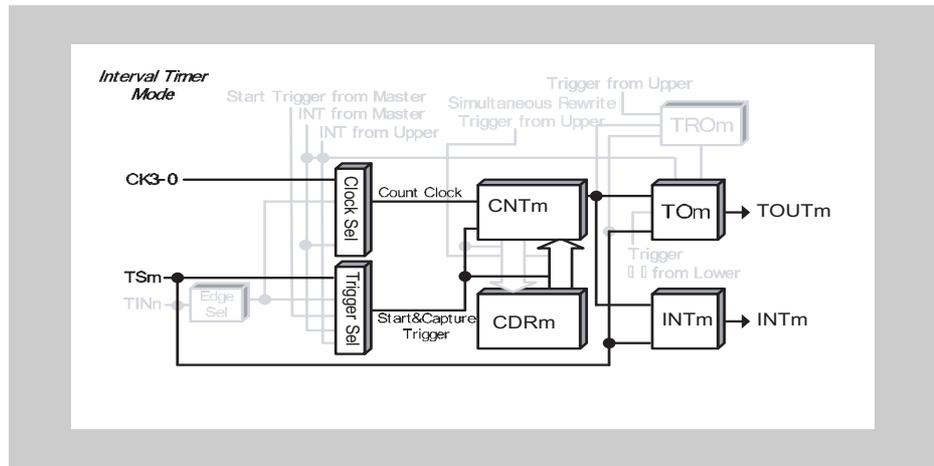


図 13-27 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

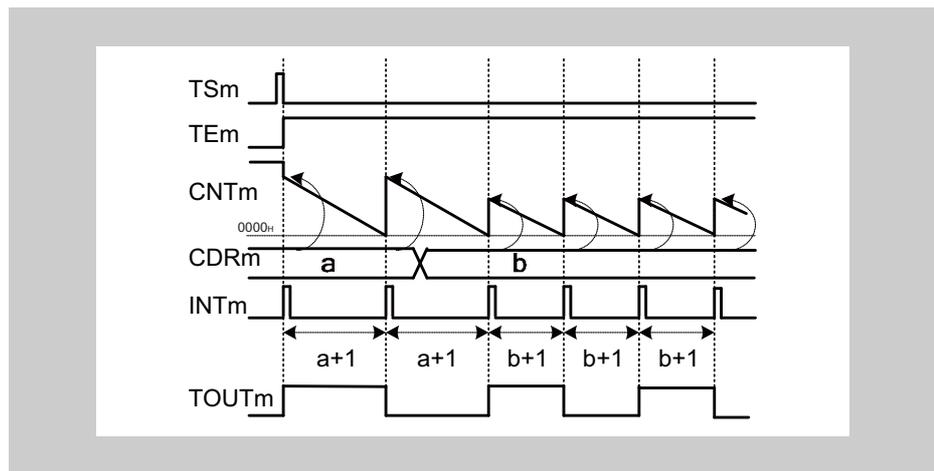


図 13-28 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0	

表 13-21 インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-22 インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) チャネル出力モード

表 13-23 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: トグル・モード時は、設定無効(初期値)となります
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

備考 チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTTOUmを割り込みとは独立させて制御することができます。詳細は13.9「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-24 インターバル・タイマ機能の一斉書き換え設定

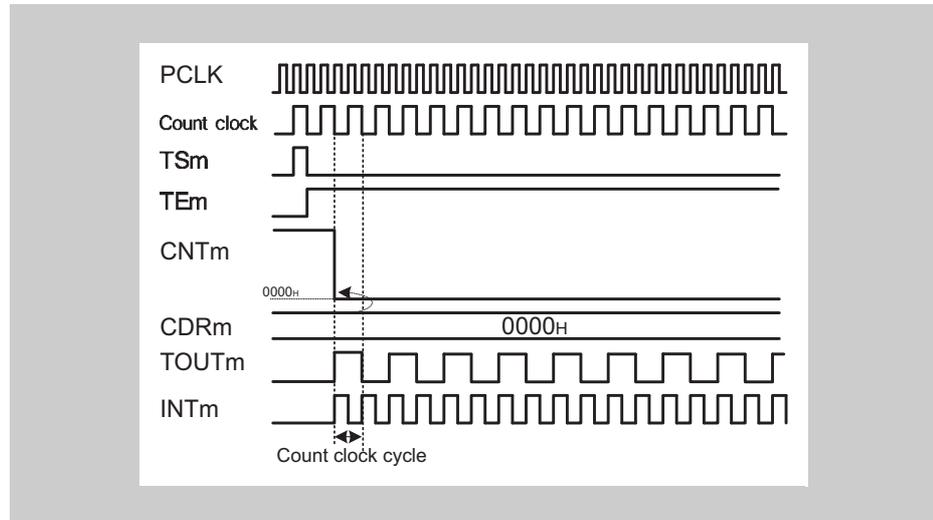
ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) インターバル・タイマ機能の操作手順

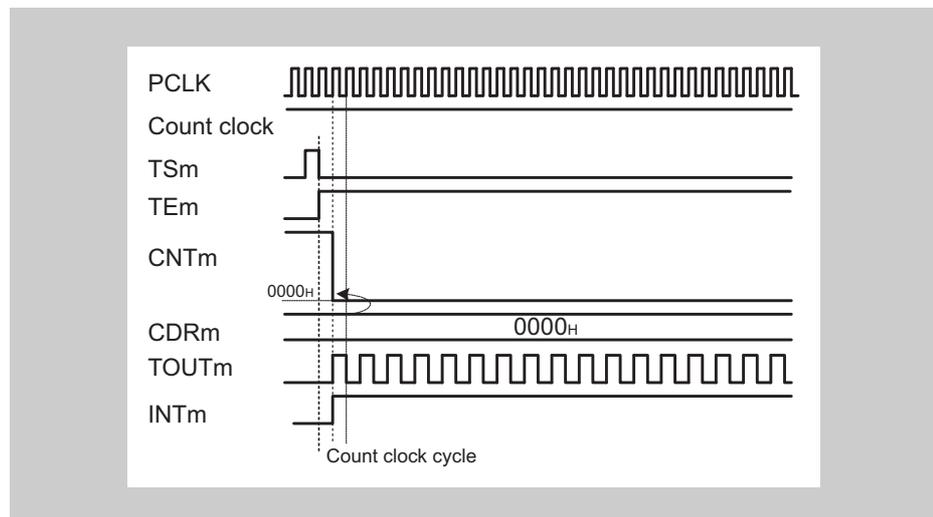
表 13-25 インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを表 13-21 「インターバル・タイマ機能の TAUBnCMORm 設定」, 表 13-22 「インターバル・タイマ機能の TAUBnCMURm 設定」 に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを表 13-23 「チャンネル単体出力モード 1 時の制御ビット設定」 に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され, カウントが開始されます。 TAUBnCDRm の値を TAUBnCnTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合, INTTAUBnIm が発生し, TAUBnTTOUtm がトグルされます。
	動作中 TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCnTm レジスタは常に読み出し可能です。	TAUBnCnTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値を TAUBnCnTm にロードし, カウント動作を継続します。 INTTAUBnIm が発生し, TAUBnTTOUtm がトグルされます。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCnTm と TAUBnTTOUtm は停止し, 現在値を保持します。

(6) 特定の設定時のタイミング図

(a) $TAUBnCDRm = 0000H$, カウント・クロック = $PCLK/2$ 図 13-29 $TAUBnCDRm = 0000H$, カウント・クロック = $PCLK/2$

- $TAUBnCDRm = 0000H$, かつカウント・クロック = $PCLK/2^1$ の場合, カウント・クロックごとに $TAUBnCDRm$ の値が $TAUBnCNTm$ にロードされません。つまり, $TAUBnCNTm$ は常に $0000H$ です。
- $INTTAUBnIm$ がカウント・クロックごとに発生するので, $TAUBnTTOUTm$ はカウント・クロックごとにトグルされます。

(b) $TAUBnCDRm = 0000H$, カウント・クロック = $PCLK$ 図 13-30 $TAUBnCDRm = 0000H$, カウント・クロック = $PCLK$

- $TAUBnCDRm = 0000H$, かつカウント・クロック = $PCLK$ の場合, $PCLK$ クロックごとに $TAUBnCDRm$ の値が $TAUBnCNTm$ にロードされます。つまり, $TAUBnCNTm$ は常に $0000H$ です。
- 継続的に $INTTAUBnIm$ が発生し, $PCLK$ クロックごとに $TAUBnTTOUTm$ がトグルされます。

(c) 動作の停止と再開

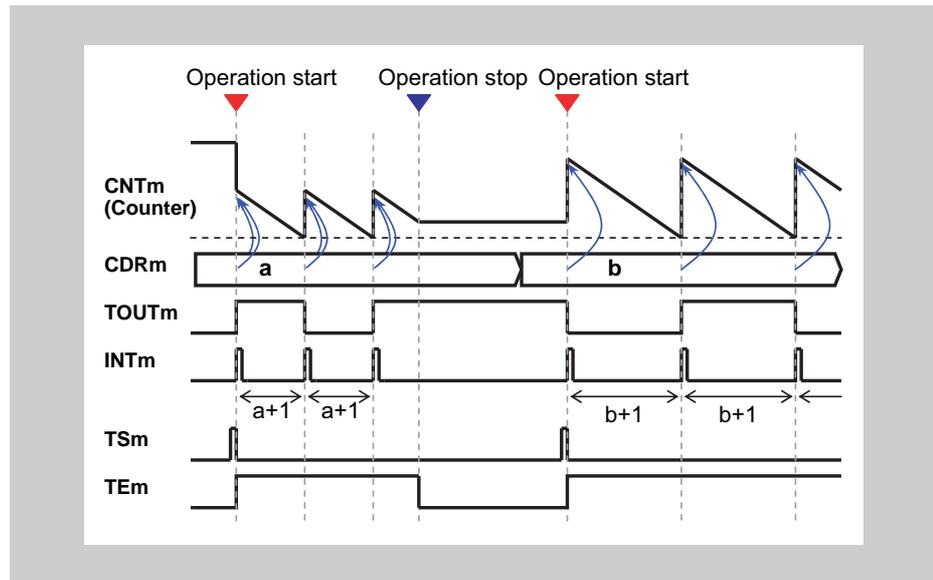


図 13-31 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 1)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

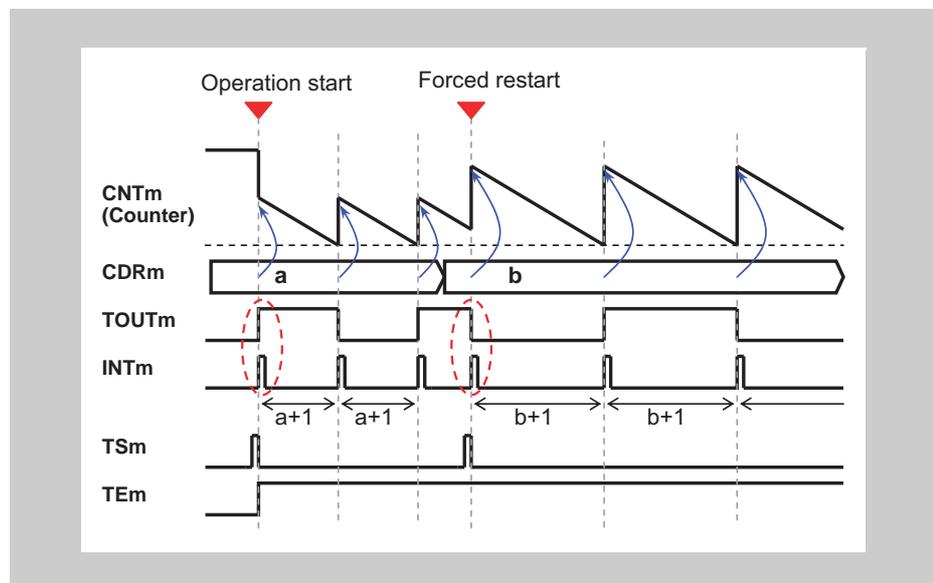


図 13-32 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 1)

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUBnTTOUTm はトグル出力します。

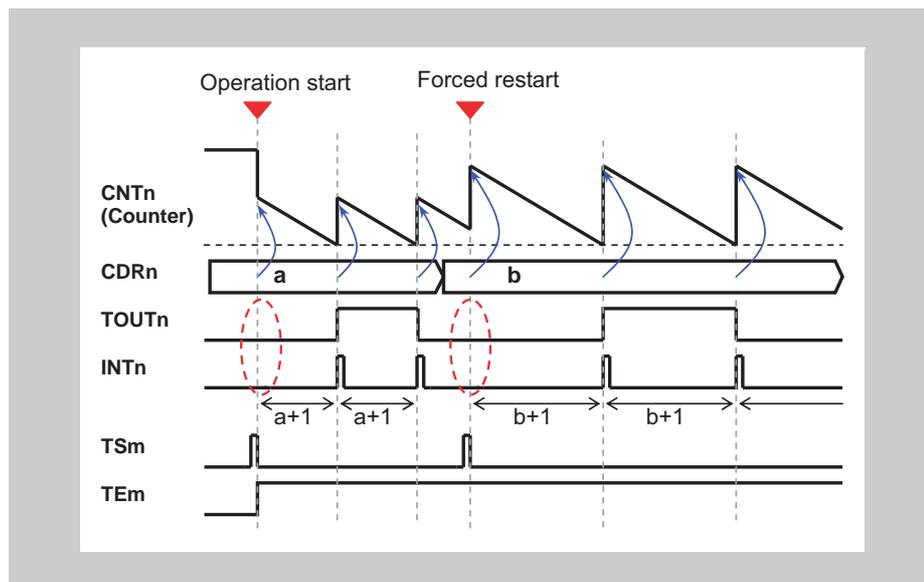


図 13-33 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 0)

- カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されると、動作開始または再開後の最初に割り込みは発生しません。また、TAUBnTTOUTm はトグル出力しません。

13.15.2 TAUBnTTINm 入カインターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔または有効な TAUBnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUBnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 13-26 「TAUBnTTINm 入カインターバル・タイマ機能の TAUBnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。13.9 「チャンネル出力モード」を参照してください。

機能説明 この機能は、有効な TAUBnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (13.15.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 × (TAUBnCDRm + 1)

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUBnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

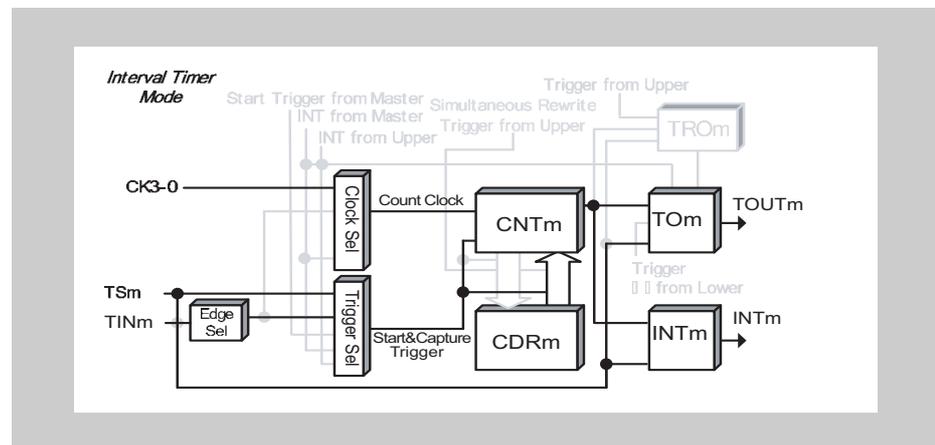


図 13-34 TAUBnTTINm 入カインターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

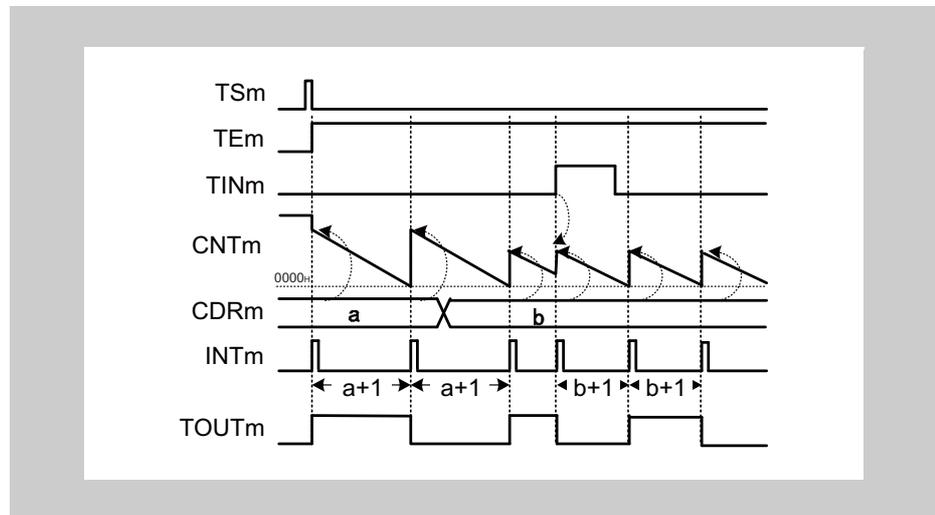


図 13-35 TAUBnTTINm 入インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-26 TAUBnTTINm 入インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUtm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUtm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-27 TAUBnTTINm 入インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

表 13-28 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: トグル・モード時は, 設定無効 (初期値) となります
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

備考 チャンネル出力モードは, TAUBnTOE.TAUBnTOEm = 0を設定して, ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合, TAUBnTTOUTmを割り込みとは独立させて制御することができます。詳細は13.9「チャンネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は, TAUBnTTINm 入力インターバル・タイマ機能では使用できません。したがって, これらのレジスタは0に設定する必要があります。

表 13-29 TAUBnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入インターバル・タイマ機能の操作手順

表 13-30 TAUBnTTINm 入インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生し、TAUBnTTOUTm がトグルされます。
	動作中	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生し、TAUBnTTOUTm がトグルされます。 カウント動作中に TAUBnTTINm 入力の有効エッジを検出すると、再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

13.15.1「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUBnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

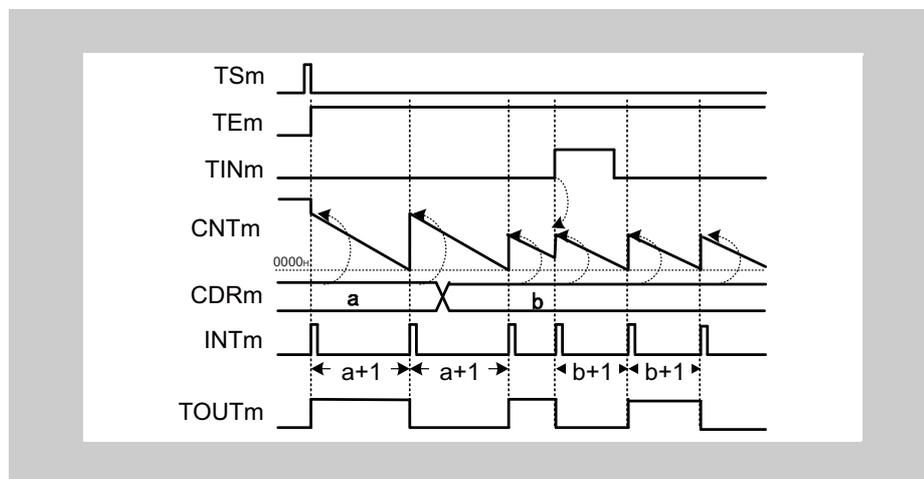


図 13-36 立ち上がり TAUBnTTINm 入力エッジ
(TAUBnCMURm.TAUBnTIS[1:0] = 01_B), TAUBnCMORm.TAUBnMD0 = 1
でトリガされたカウンタ

- 有効な TAUBnTTINm 入力エッジを検出した場合、TAUBnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUBnCMURm.TAUBnTIS[1:0] = 01_B) です。

13.15.3 ワンパルス出力機能

(1) 概要

概要 この機能は、有効な TAUBnTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUBnIm) を発生します。定められた期間内に発生する TAUBnTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはパルス・ワンカウント・モードに設定する必要があります (表 13-31 「ワンパルス出力機能の TAUBnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります。13.9 「チャンネル出力モード」を参照してください。
 - カウント動作中 (TAUBnCMORm.TAUBnMD0 = 0) は、トリガ検出を禁止にする必要があります。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を1に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。

有効な TAUBnTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUBnTTOUTm がアクティブ・レベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUBnTTOUTm がインアクティブ・レベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUBnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUBnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
 - TAUBnCMURm.TAUBnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
 - TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUBnTTINm-INTTAUBnIm の間隔 = TAUBnTTOUTm (タイマ出力) 幅 = カウント・クロック周期 × TAUBnCDRm

(3) ブロック図と基本タイミング図

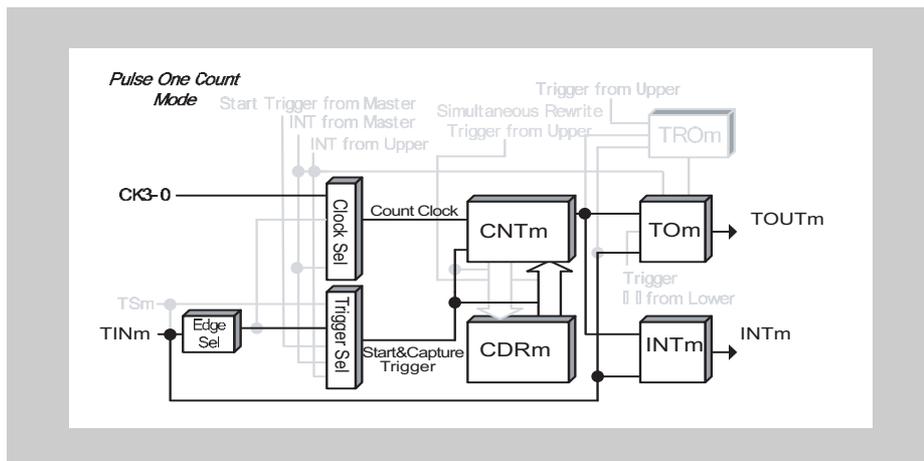


図 13-37 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

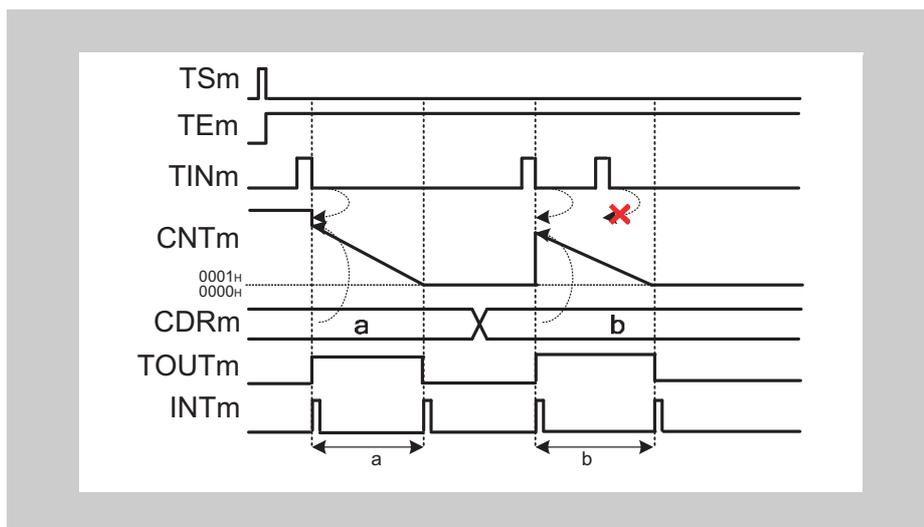


図 13-38 ワンパルス出力機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-31 ワンパルス出力機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガを無効とする

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-32 ワンパルス出力機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 (Low 幅測定)

(c) チャネル出力モード

表 13-33 チャネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	1: セット/リセット・モード
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

備考 チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTTOUtmを割り込みとは独立させて制御することができます。詳細は表 13-19「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-34 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) ワンパルス出力機能の操作手順

表 13-35 ワンパルス出力機能の操作手順

	操作	TAUBnの状態
動作再開 ↓	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを, 表 13-31 「ワンパルス出力機能の TAUBnCMORm 設定」と表 13-32 「ワンパルス出力機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを表 13-33 「チャンネル単体出力モード 2 時の制御ビット設定」に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され, TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると, TAUBnCNTm は TAUBnCDRm の値をロードします。
	動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はアクティブ・レベルに設定されます。 TAUBnCNTm がダウン・カウントを行います。 カウンタが 0001 _H になった場合: • INTTAUBnIm が発生します。 • TAUBnTTOUTm がインアクティブ・レベルに設定されます。 TAUBnCNTm はカウントを停止し, トリガを待ちます。 TAUBnCNTm のカウント中に発生するトリガは無視されます。 以降, この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し, 現在値を保持します。

13.16 チャンネル単体信号測定機能

この節では、各 TAUBnTTINm パルスの幅、または連続した TAUBnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 13.16.1 「TAUBnTTINm 入力パルス・インターバル測定機能」
- 13.16.2 「TAUBnTTINm 入力信号幅測定機能」
- 13.16.3 「オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)」
- 13.16.4 「TAUBnTTINm 入力期間カウント検出機能」
- 13.16.5 「オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)」
- 13.16.6 「TAUBnTTINm 入力パルス・インターバル判定機能」
- 13.16.7 「TAUBnTTINm 入力信号幅判定機能」

13.16.1 TAUBnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUBnCSRm.TAUBnOVF を使用して TAUBnTTINm 入力信号の間隔を測定します。

- 前提条件**
- 動作モードはキャプチャ・モードに設定する必要があります（表 13-37 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」参照）。
 - この機能では、TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBnTTINm エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバーフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 13-36 オーバフローの影響

TAUBnCMORm. COS[1:0]	オーバーフローが発生した場合		その後、有効な TAUBnTTINm 入力 が検出された場合	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm に ロードされる	1
01		1		
10	FFFF _H に設定	0	TAUBnCNTm は 0 に設定され、 TAUBnCDRm は変 更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバーフロー・ビット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBnTTINm 信号の間隔を推定できます。ただし、有効な TAUBnTTINm 入力検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバーフローの発生を示しません。

TAUBnTT.TAUBnTTm = 1 を設定すると機能を停止できます。これにより、TAUBnTE.TAUBnTEm = 0 が設定されます。TAUBnCNTm が停止し、値を保持します。機能停止中、有効な TAUBnTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 13.11 「カウント開始／リスタート時の TAUBnTTOUtm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

備考 TAUBnCMORm.TAUBnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUBnTTINm 入力パルス間隔 = カウント・クロック周期 ×
 [(TAUBnCSRm.TAUBnOVF × (FFFF_H + 1)) + TAUBnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

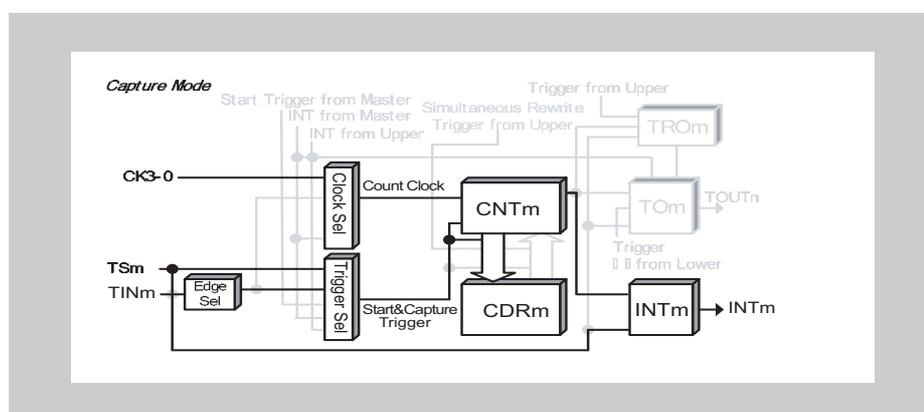


図 13-39 TAUBnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない
(TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する
(TAUBnCMORm.TAUBnCOS[1:0] = 00_B)

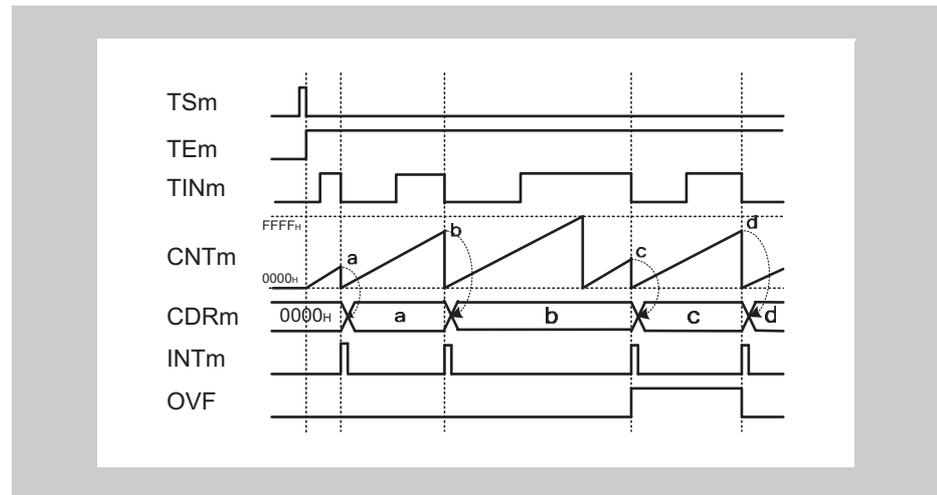


図 13-40 TAUBnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-37 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	001 : TAUBnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	表 13-36 「オーバフローの影響」を参照。
TAUBnMD[4:1]	0010 : キャプチャ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-38 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力パルス・インターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-39 TAUBnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

表 13-40 TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-37 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」と表 13-38 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCnTm が 0000 _H にクリアされます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
	動作中 TAUBnTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能です。 (TAUBnCSRm.TAUBnOVF ビットを 0 にクリア)	TAUBnCnTm は、0000 _H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUBnCnTm が自身の値を TAUBnCDRm に転送 (キャプチャ) して、0000_H に戻ります。 その後、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCnTm は停止し、TAUBnCnTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

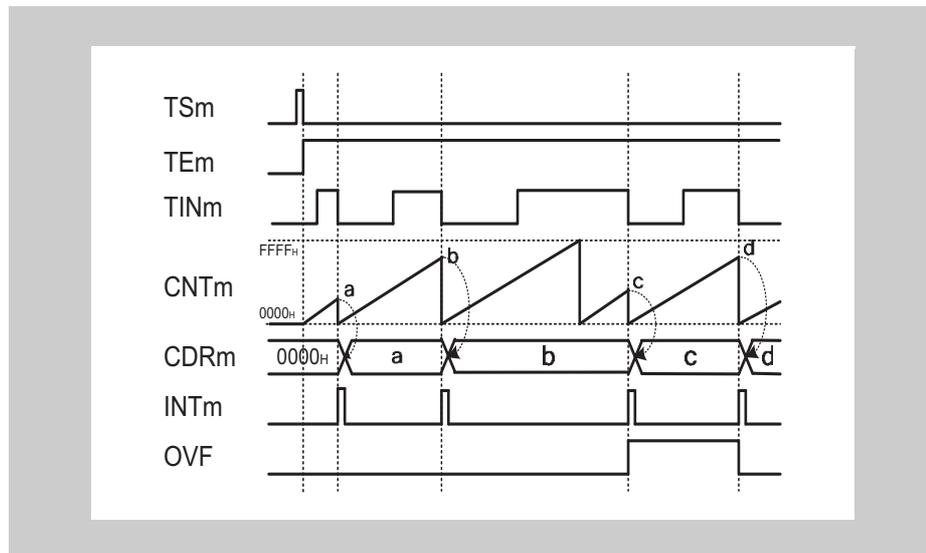
(a) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

図 13-41 TAUBnCMORm.TAUBnCOS[1:0] = 00_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

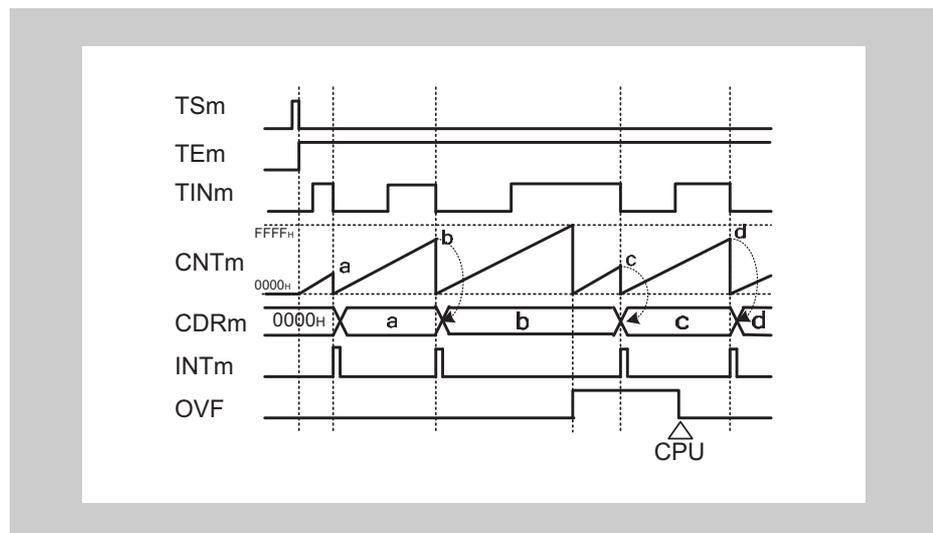
(b) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

図 13-42 TAUBnCMORm.TAUBnCOS[1:0] = 01_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット = 1 のセット) でのみクリアされます。

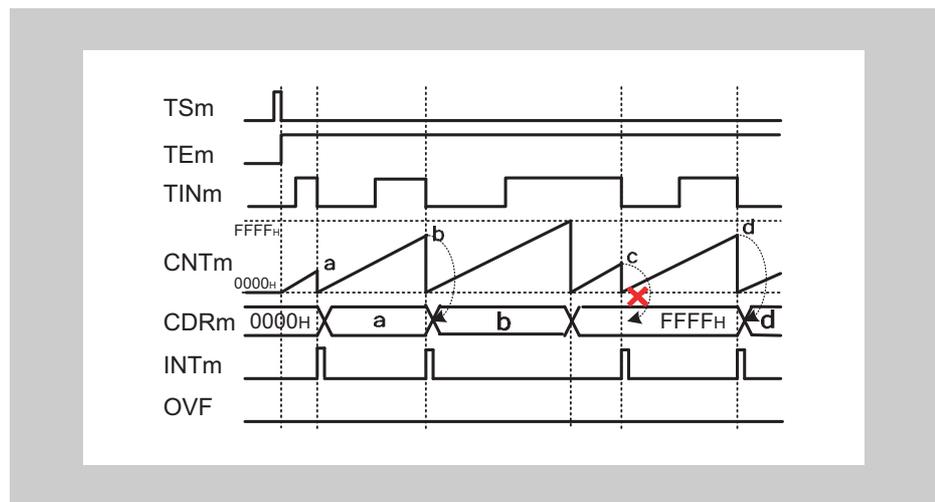
(c) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

図 13-43 TAUBnCMORm.TAUBnCOS[1:0] = 10_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

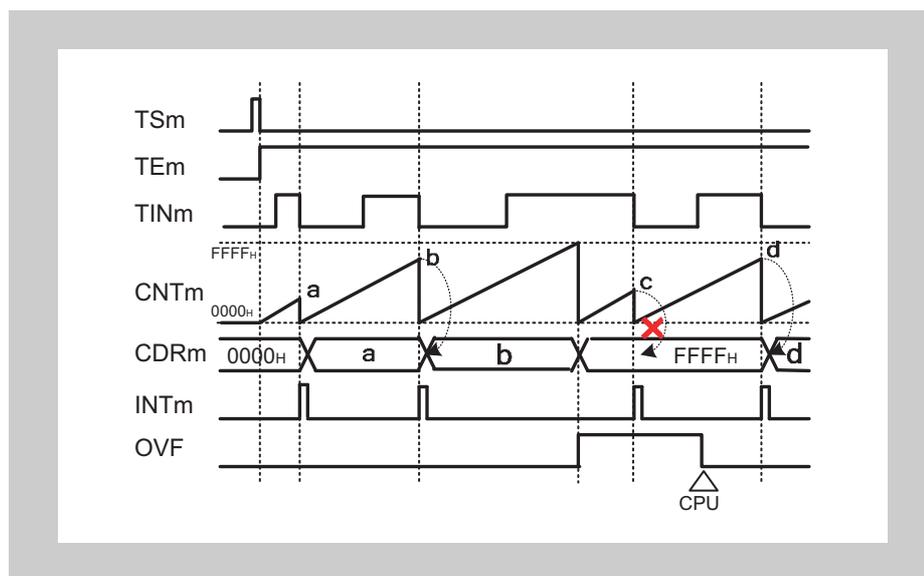
(d) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

図 13-44 TAUBnCMORm.TAUBnCOS[1:0] = 11_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

13.16.2 TAUBnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は、TAUBnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（表 13-42 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」参照）。
 - この機能では、TAUBnTTOUTm は使用しません。
 - TAUBnCMORm.TAUBnMD0 は、0 に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBnTTINm スタート・エッジが検出されると、カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBnTTINm ストップ・エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは値を保持し、次の有効な TAUBnTTINm 入力スタート・エッジを待ちます。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm, TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 13-41 オーバフローの影響

TAUBnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUBnTTINm 入力ストップ・エッジの検出時	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm に ロードされる	1
01		1		
10	FFFF _H に設定	0	TAUBnCNTm はカウントを停止 TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロー・ビット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBnTTINm 信号の幅を推定できます。ただし、有効な TAUBnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考 TAUBnCMORm.TAUBnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUBnTTINm 入力信号幅 = カウント・クロック周期 ×
 [(TAUBnCSRm.TAUBnOVF × (FFFF_H + 1)) + TAUBnCDRm キャプチャ
 値 + 1]

(3) ブロック図と基本タイミング図

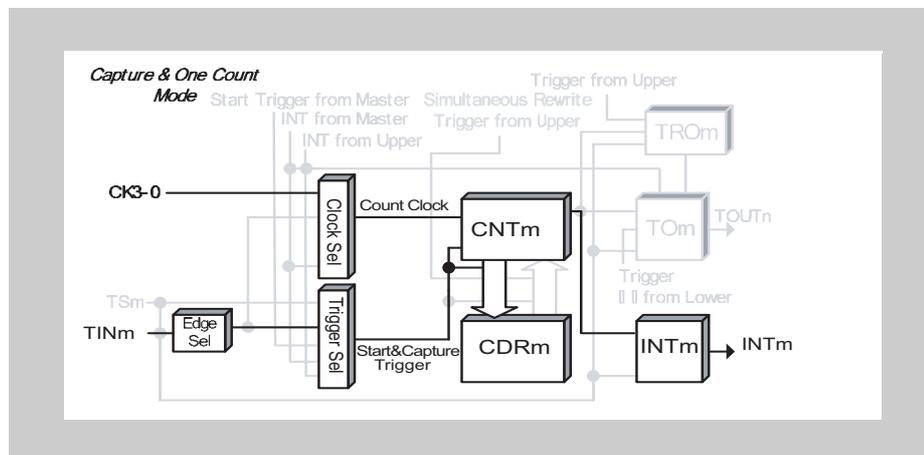


図 13-45 TAUBnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する (TAUBnCMORm.TAUBnCOS[1:0] = 00_B)

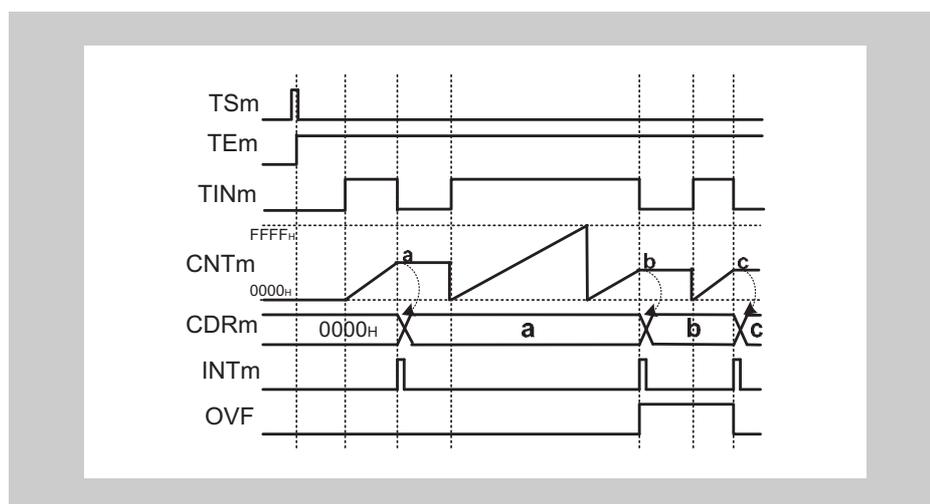


図 13-46 TAUBnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-42 TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	表 13-41 「オーバフローの影響」を参照。
TAUBnMD[4:1]	0110 : キャプチャ & ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-43 TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-44 TAUBnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入力信号幅測定機能の操作手順

表 13-45 TAUBnTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
動作再開 ↓	初期設定 チャネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-42 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」と表 13-43 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。TAUBnTTINm スタート・エッジを検出すると、TAUBnCNTm はアップ・カウントを開始します。
	動作中 TAUBnCDRm, TAUBnCNTm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.CLOV ビットは、1 にセット可能です。	TAUBnCNTm は、0000 _H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）して、その値を保持します。 その後、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

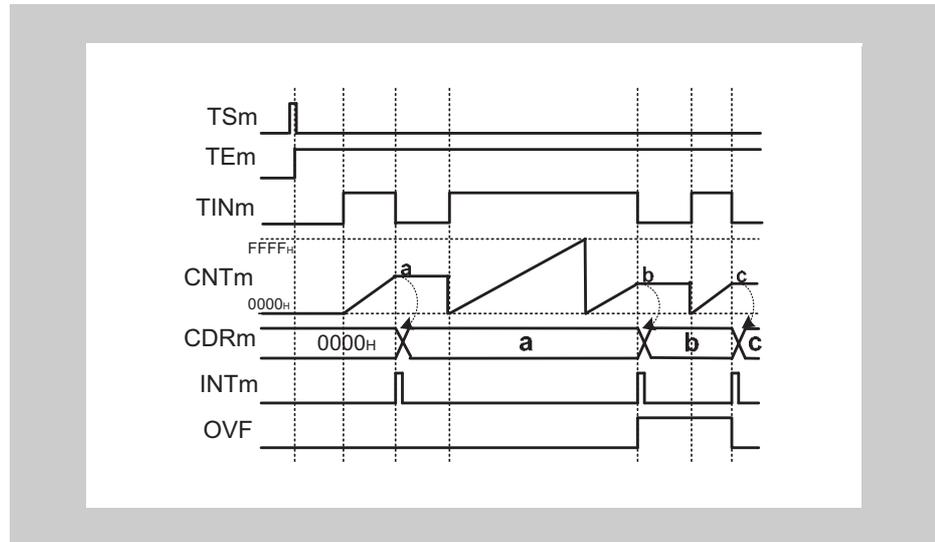
(a) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

図 13-47 TAUBnCMORm.TAUBnCOS[1:0] = 00_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

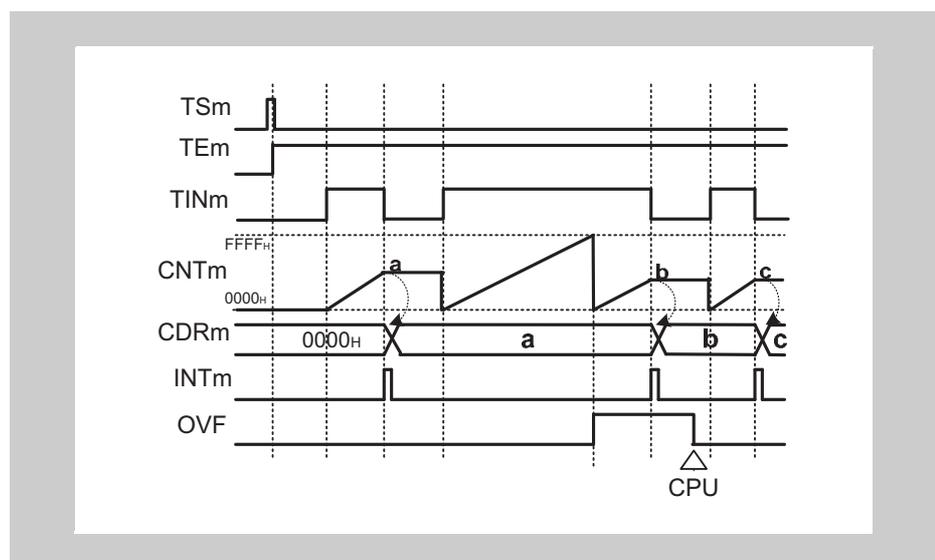
(b) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

図 13-48 TAUBnCMORm.TAUBnCOS[1:0] = 01_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット=1 のセット) でのみクリアされます。

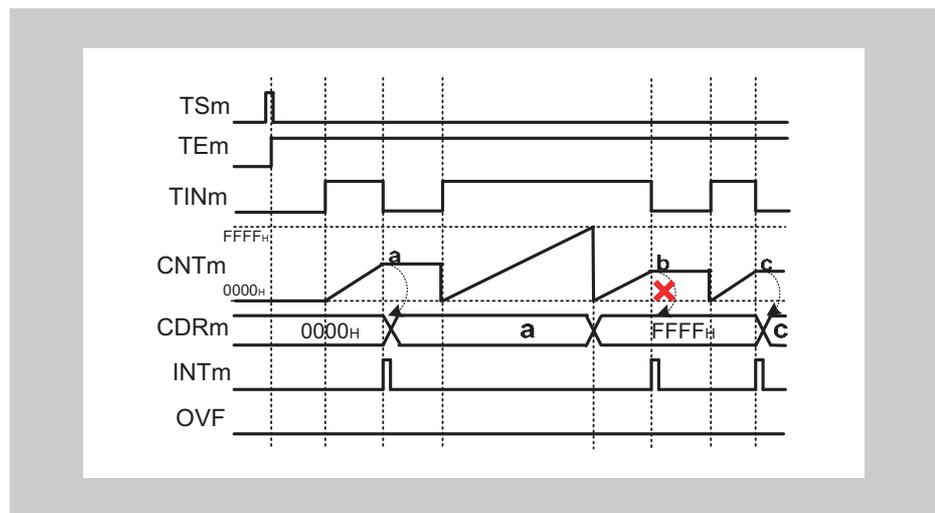
(c) TAUBnCMORM.TAUBnCOS[1:0] = 10_B

図 13-49 TAUBnCMORM.TAUBnCOS[1:0] = 10_B, TAUBnCMORM.TAUBnMD0 = 0, TAUBnCMURM.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

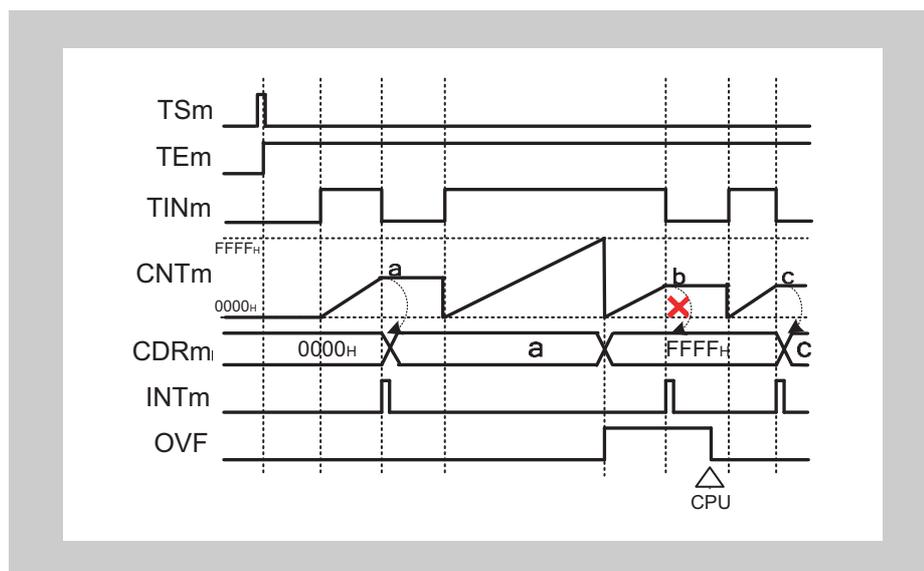
(d) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

図 13-50 TAUBnCMORm.TAUBnCOS[1:0] = 11_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

13.16.3 オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)

(1) 概要

概要 この機能は、各 TAUBnTTINm 入力信号の幅を測定します。TAUBnTTINm 入力後、(FFFF_H + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 13-46 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 幅測定時)」参照)。
 - この機能では、TAUBnTTOUTm は使用しません。
 - TAUBnCDRm の値は、FFFF_H に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。

有効な TAUBnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUBnTTINm 入カスタート・エッジが検出されると、TAUBnCNTm は FFFF_H をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がリエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がリエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

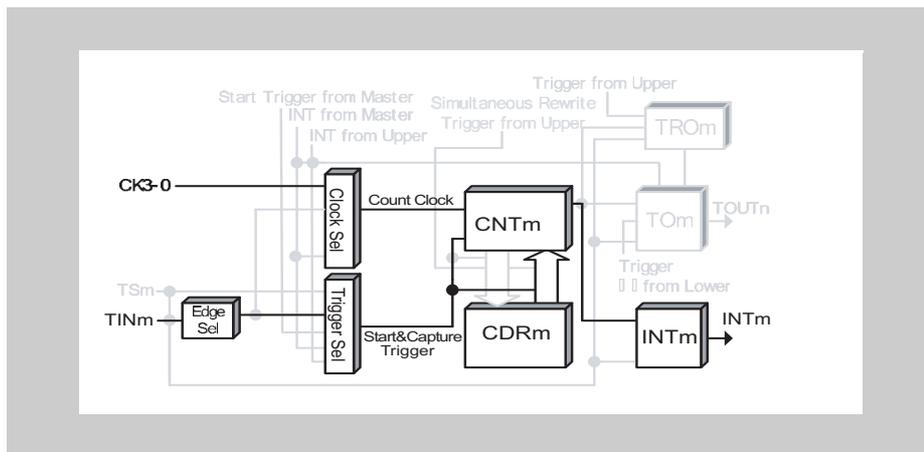


図 13-51 オーバフロー割り込み出力機能のブロック図 (TAUBnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

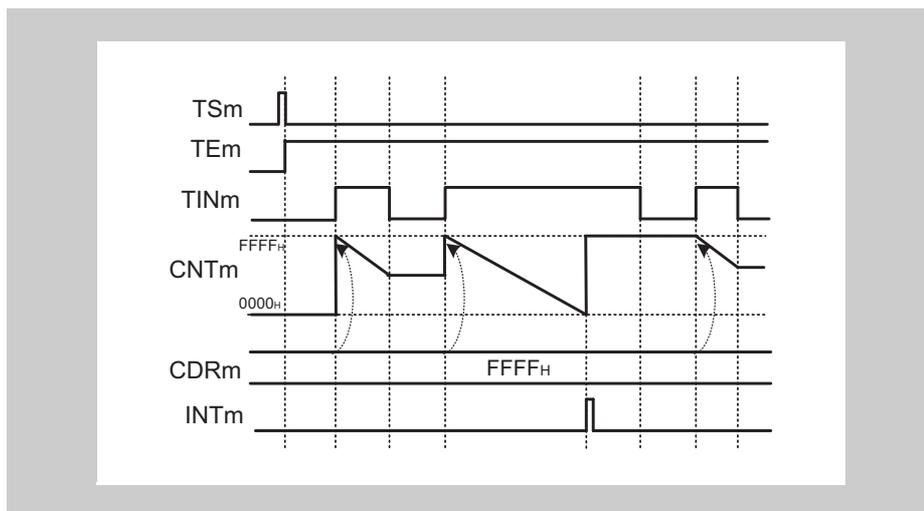


図 13-52 オーバフロー割り込み出力機能の基本タイミング図 (TAUBnTTINm 幅測定時)

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-46 オーバフロー割り込み出力機能の TAUBnCMORm 設定
(TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-47 オーバフロー割り込み出力機能の TAUBnCMURm 設定
(TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-48 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4) オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 幅測定時)

表 13-49 オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 幅測定時)

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-46 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 幅測定時)」と表 13-47 「オーバフロー割り込み出力機能の TAUBnCMURm 設定 (TAUBnTTINm 幅測定時)」に示すように設定します。 TAUBnCDRm レジスタの値を FFFF _H に設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUBnCDRm の値 (FFFF _H) を TAUBnCNTm にロードします。
	動作中 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： • INTTAUBnIm が発生します。 カウント動作中に TAUBnTTINm の逆エッジを検出した場合： • TAUBnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

13.16.4 TAUBnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は、TAUBnTTINm 入力信号の合計幅を測定します。

前提条件 ・ 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (表 13-50 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」参照)。

・ この機能では、TAUBnTTOUm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUBnTTINm 入力エッジを待ちます。

有効な TAUBnTTINm 入カスタート・エッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUBnTTINm 入カストップ・エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。次の有効な TAUBnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUBnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考 TAUBnTTINm 入力信号は、TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

・ TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。

・ TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

(2) 算出式

TAUBnTTINm 入力幅累計 =
 カウント・クロック周期 × (TAUBnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

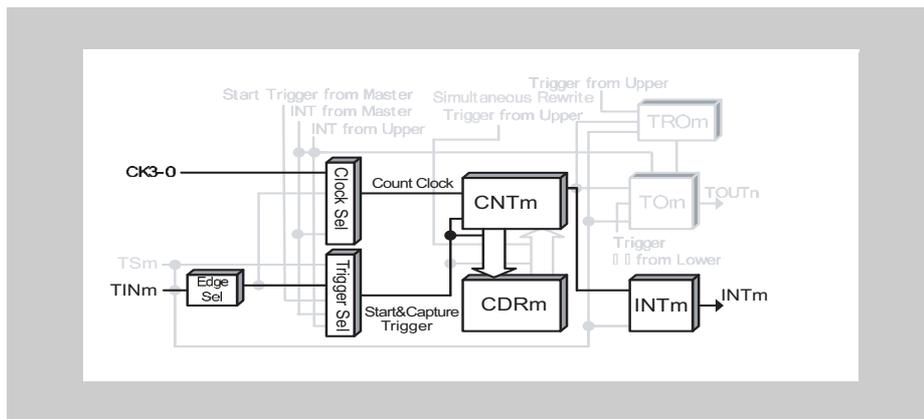


図 13-53 TAUBnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

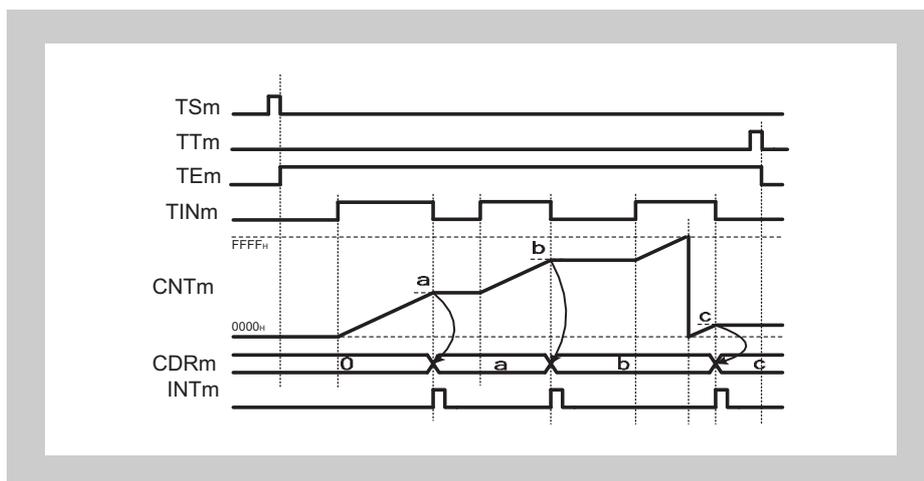


図 13-54 TAUBnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-50 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	01 : この値に設定してください
TAUBnMD[4:1]	1101 : キャプチャ&ゲート・カウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-51 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-52 TAUBnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

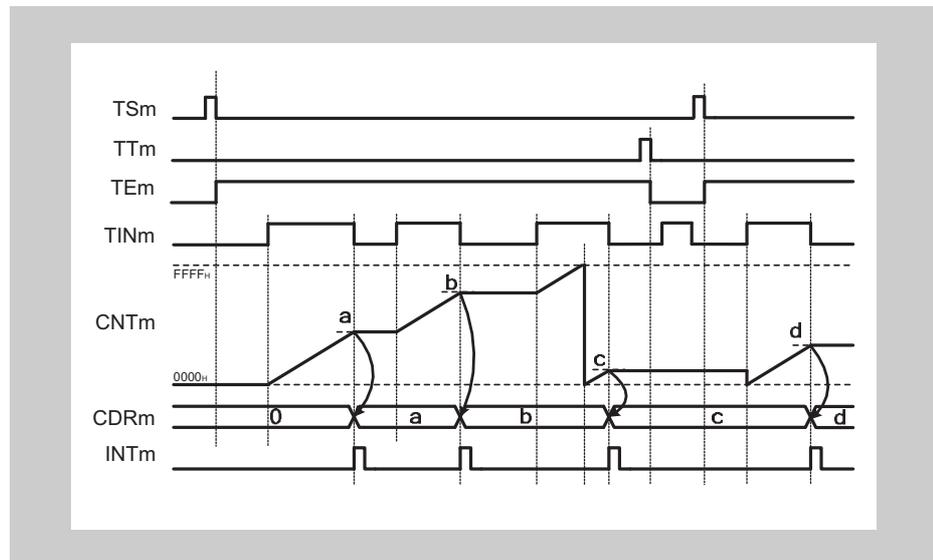
(5) TAUBnTTINm 入力期間カウント検出機能の操作手順

表 13-53 TAUBnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
動作再開	初期設定 チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-50 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」と表 13-51 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。
	動作中 TAUBnTTINm エッジ検出 TAUBnCDRm, TAUBnCNTm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV は、1 に設定可能です。	TAUBnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると、TAUBnCNTm は停止値よりアップ・カウントを開始します。 TAUBnCNTm は、ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると、値を TAUBnCDRm に転送し、INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBnTTINm スタート・エッジの検出を待ちます。 TAUBnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 13-55 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

13.16.5 オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)

(1) 概要

概要 この機能は、TAUBnTTINm 入力信号の合計幅を測定します。TAUBnTTINm 入力合計幅が FFFF_H より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

- 前提条件**
- 動作モードはゲート・カウント・モードに設定する必要があります（表 13-54「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 入力期間カウント検出時)」参照）。
 - この機能では、TAUBnTTOUTm は使用しません。
 - TAUBnCDRm の値は、FFFF_H に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEM = 1 となり、カウントが可能になります。

有効な TAUBnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUBnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUBnCNTm に FFFF_H がロードされ、カウンタは TAUBnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

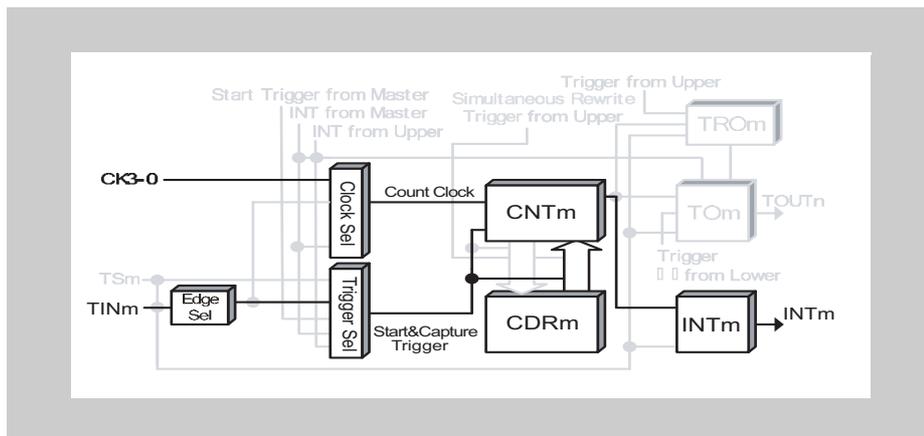


図 13-56 オーバフロー割り込み出力機能のブロック図 (TAUBnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

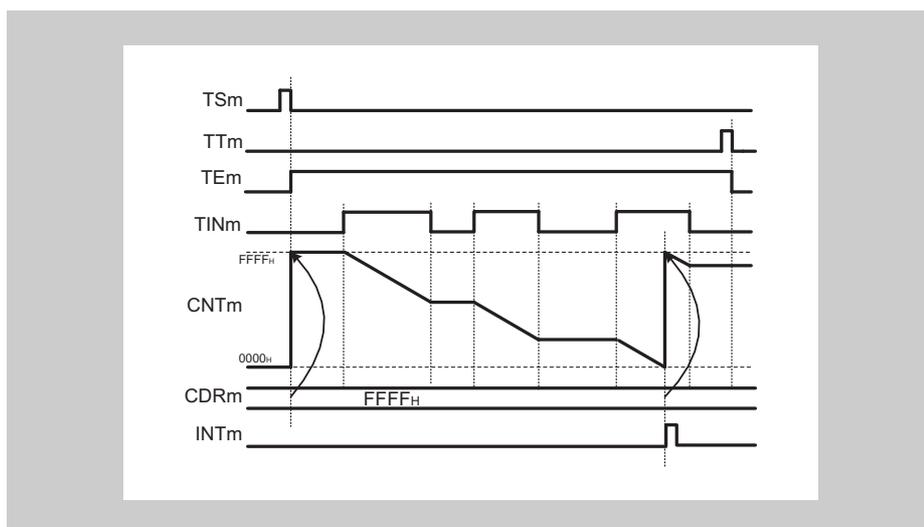


図 13-57 オーバフロー割り込み出力機能の基本タイミング図 (TAUBnTTINm 入力期間カウント検出時)

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-54 オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1100 : ゲート・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-55 オーバフロー割り込み出力機能の TAUBnCMURm 設定 (TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-56 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4) オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 入力期間カウント検出時)

表 13-57 オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 入力期間カウント検出時)

	操作	TAUBn の状態
初期設定	TAUBnCMORm, TAUBnCMURm レジスタを、表 13-54 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 入力期間カウント検出時)」と表 13-55 「オーバフロー割り込み出力機能の TAUBnCMURm 設定 (TAUBnTTINm 入力期間カウント検出時)」に示すように設定します。	チャンネル動作を停止しています。
	TAUBnCDRm レジスタの値を FFFF _H に設定します。	
動作再開	TAUBnTS.TAUBnTSM を 1 に設定します。TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタート・エッジ検出を待ちます。
	TAUBnTTINm スタート・エッジ検出	スタート・エッジが検出されると、TAUBnCDRm の値 (FFFF _H) を TAUBnCNTm にロードします。
動作中	TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm が発生します。 TAUBnCDRm の値 (FFFF_H) を TAUBnCNTm にロードし、ダウン・カウントを継続します。 カウント動作中に TAUBnTTINm の逆エッジを検出した場合 : <ul style="list-style-type: none"> TAUBnCNTm は停止値からダウン・カウントを行います。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

13.16.6 TAUBnTTINm 入力パルス・インターバル判定機能

(1) 概要

概要 この機能は、TAUBnTTINm 入力パルスの発生時、カウント値 (TAUBnCNTm) とチャンネル・データ・レジスタ (TAUBnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。

前提条件

- 動作モードは判定モードに設定する必要があります (表 13-58 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」参照)。
- この機能では、TAUBnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

TAUBnTTINm 有効エッジが検出された場合、または TAUBnTS.TAUBnTSM が 1 に設定された場合、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。TAUBnCNTm は、TAUBnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。

- TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。

(2) ブロック図と基本タイミング図

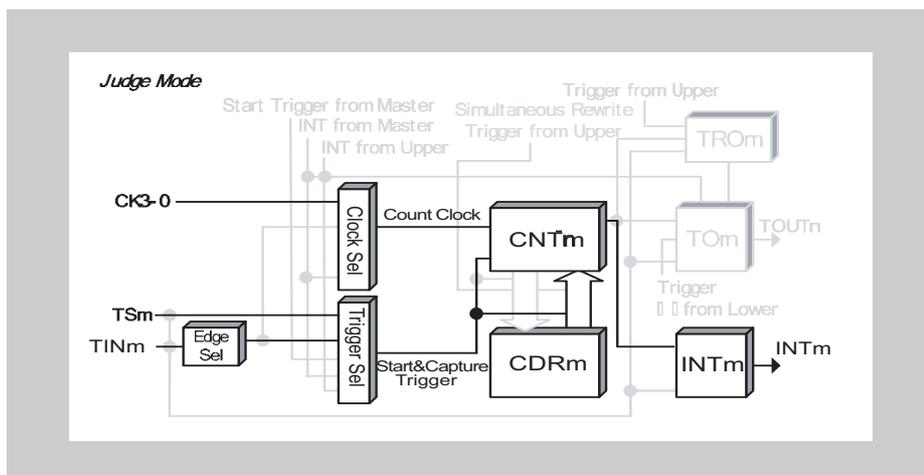


図 13-58 TAUBnTTINm 入力パルス・インターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

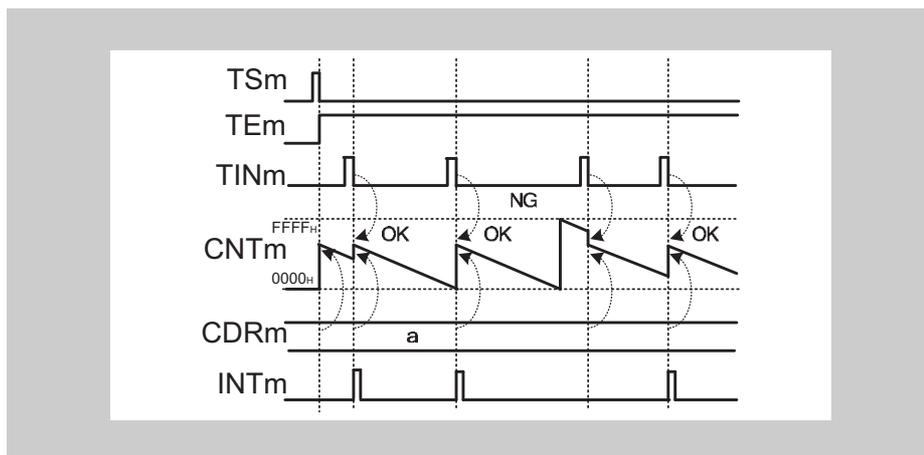


図 13-59 TAUBnTTINm 入力パルス・インターバル判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-58 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	001 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0001 : 判定モード
TAUBnMD0	0 : TAUBnCNTm ≤ TAUBnCDRm の場合, INTTAUBnIm が発生 1 : TAUBnCNTm > TAUBnCDRm の場合, INTTAUBnIm が発生

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-59 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は, TAUBnTTINm 入力パルス・インターバル判定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 13-60 TAUBnTTINm 入力パルス・インターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4) TAUBnTTINm 入力パルス・インターバル判定機能の操作手順

表 13-61 TAUBnTTINm 入力パルス・インターバル判定機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを, 表 13-58 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」と表 13-59 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され, カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
	動作中 任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBnTTINm 入力エッジ検出タイミングで $TAUBnCNTm \leq TAUBnCDRm$ の場合, INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBnTTINm 入力エッジ検出タイミングで $TAUBnCNTm > TAUBnCDRm$ の場合, INTTAUBnIm が発生します。TAUBnTTINm 入力エッジを検出すると, TAUBnCNTm は, TAUBnCDRm の値からダウン・カウントを開始します。 以降, この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm が停止し, 現在値を保持します。

13.16.7 TAUBnTTINm 入力信号幅判定機能

(1) 概要

概要 この機能は、TAUBnTTINm 入力信号の有効なストップ・エッジの検出時、カウンタ値 (TAUBnCNTm) とチャンネル・データ・レジスタ (TAUBnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。

- 前提条件**
- 動作モードは判定 & ワンカウント・モードに設定する必要があります (表 13-62 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」参照)。
 - この機能では、TAUBnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。有効な TAUBnTTINm 入力スタート・エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

有効な TAUBnTTINm ストップ・エッジが検出されると、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は、比較の結果に関係なく、次の有効な TAUBnTTINm スタート・エッジを検出するまで値を保持します。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件**
- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
 - TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
 - TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。
 - TAUBnCMURm.TAUBnTIS[1:0] ビットで幅測定のタイプを指定します。
 - High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合) では、TAUBnTTINm 立ち上がりエッジをスタート・エッジ、TAUBnTTINm 立ち下がりエッジをストップ・エッジとして使用します。
 - Low 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合) では、TAUBnTTINm 立ち下がりエッジをスタート・エッジ、TAUBnTTINm 立ち上がりエッジをストップ・エッジとして使用します。
 - この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

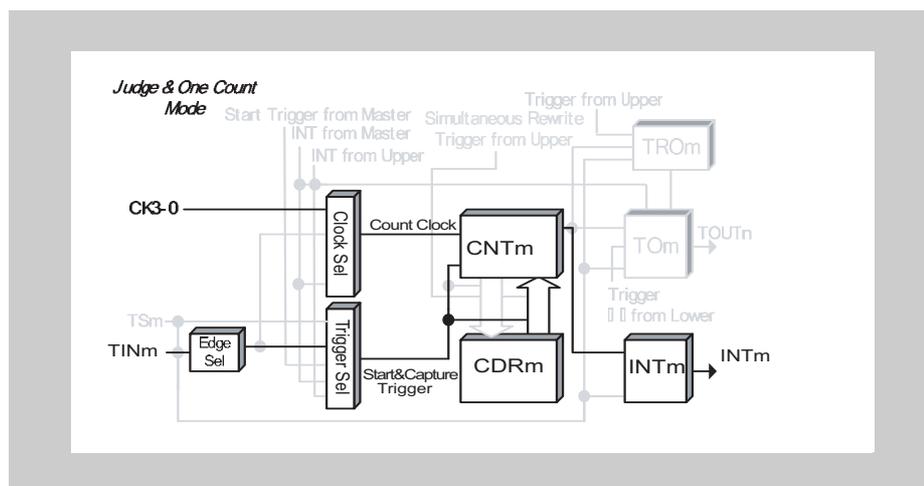


図 13-60 TAUBnTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUBnCNTm \leq TAUBnCDRm$ ($TAUBnCMORm.TAUBnMD0 = 0$) の場合、INTTAUBnIm が発生します。
- TAUBnTTINm 有効スタート・エッジ = 立ち上がりエッジ, TAUBnTTINm 有効ストップ・エッジ = 立ち下がりエッジ
($TAUBnCMURm.TAUBnTIS[1:0] = 11_B$)

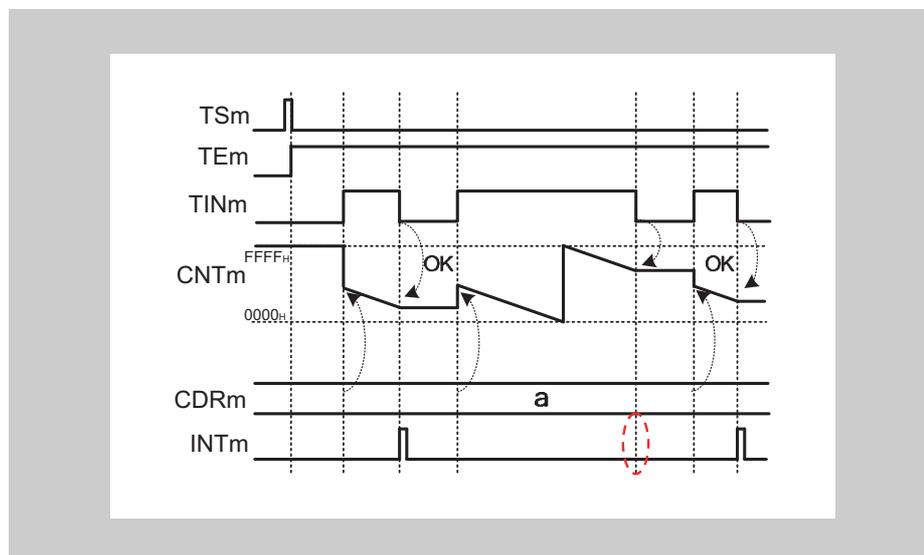


図 13-61 TAUBnTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-62 TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0111 : 判定 & ワンカウント・モード
TAUBnMD0	0 : TAUBnCNTm ≤ TAUBnCDRm の場合, INTTAUBnIm が発生 1 : TAUBnCNTm > TAUBnCDRm の場合, INTTAUBnIm が発生

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-63 TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-64 TAUBnTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4) TAUBnTTINm 入力信号幅判定機能の操作手順

表 13-65 TAUBnTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
初期設定 チャネルの初期設定	TAUBnCMORm, TAUBnCMURm レジスタを、表 13-62 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」と表 13-63 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBnTTINm スタート・エッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウン・カウントを開始します。 TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBnTTINm 入カストップ・エッジ検出タイミングで $TAUBnCNTm \leq TAUBnCDRm$ の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBnTTINm 入カストップ・エッジ検出タイミングで $TAUBnCNTm > TAUBnCDRm$ の場合、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

13.17 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 13.17.1 「一斉書き換えトリガ生成機能タイプ1」

13.17.1 一斉書き換えトリガ生成機能タイプ1

(1) 概要

概要 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUBnRDC.TAUBnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUBnRDC.TAUBnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUBnRDE.TAUBnRDEm = 1)
 - 上位チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 13-66 「一斉書き換えトリガ生成機能タイプ1のTAUBnCMORm 設定」参照)。
 - 下位チャンネルに設定可能な動作モードは、表 13-18 「一斉書き換え方法とトリガ・タイミング」を参照してください。
 - この機能では、TAUBnTTOUTm はいずれのチャンネルでも使用しません。

機能説明 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を1に設定すると、カウンタ動作が許可されます。これによりTAUBnTE.TAUBnTEm = 1となり、カウンタが可能になります。上位チャンネルのデータ・レジスタ・バッファ (TAUBnCDRm buf) の現在値がカウンタ (TAUBnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが0000_Hになると、そのチャンネルで割り込みが発生します。対応するTAUBnCDRm バッファの現在値をTAUBnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガ・チャンネルとして設定されていて (TAUBnRDC.TAUBnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUBnRSF.TAUBnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して、その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUBnIm の発生を検出するチャンネルは、該当チャンネルにTAUBnRDC.TAUBnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUBnRDC.TAUBnRDCm ビットを0に設定しておく必要があります。
 - TAUBnCMORm.TAUBnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。13.11 「カウント開始/リスタート時のTAUBnTTOUTm 出力とINTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

(2) 算出式

一斉書き換えトリガの生成周期 =
カウント・クロック周期 × (TAUBnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUBnCDRm = [(一斉書き換え対象マスタ・チャンネルの TAUBnCDRm 値 + 1) \times 割り込み数] - 1$

[三角波 PWM の場合]

$TAUBnCDRm = [(一斉書き換え対象マスタ・チャンネルの TAUBnCDRm 値 + 1) \times 2 \times 割り込み数] - 1$

つまり、TAUBnCDRm + 1 と TAUBnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

(3) ブロック図と基本タイミング図

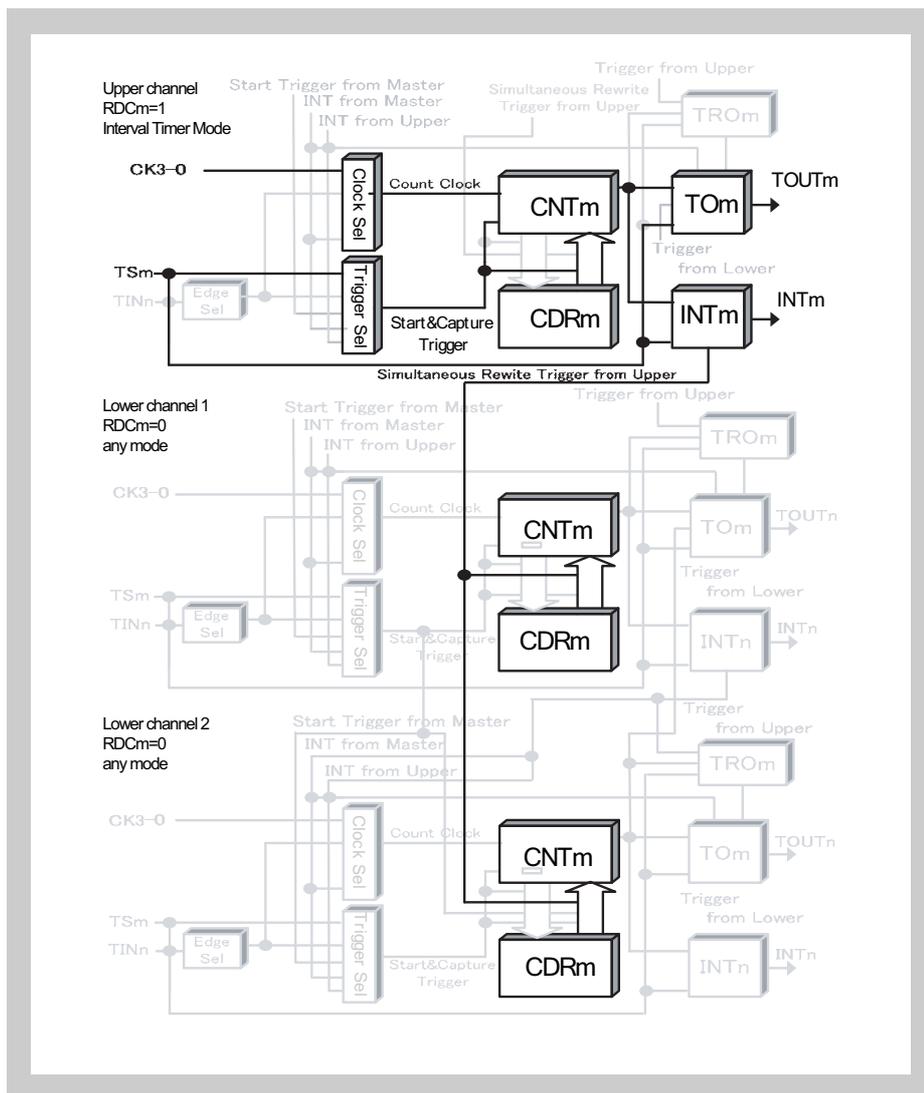


図 13-62 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

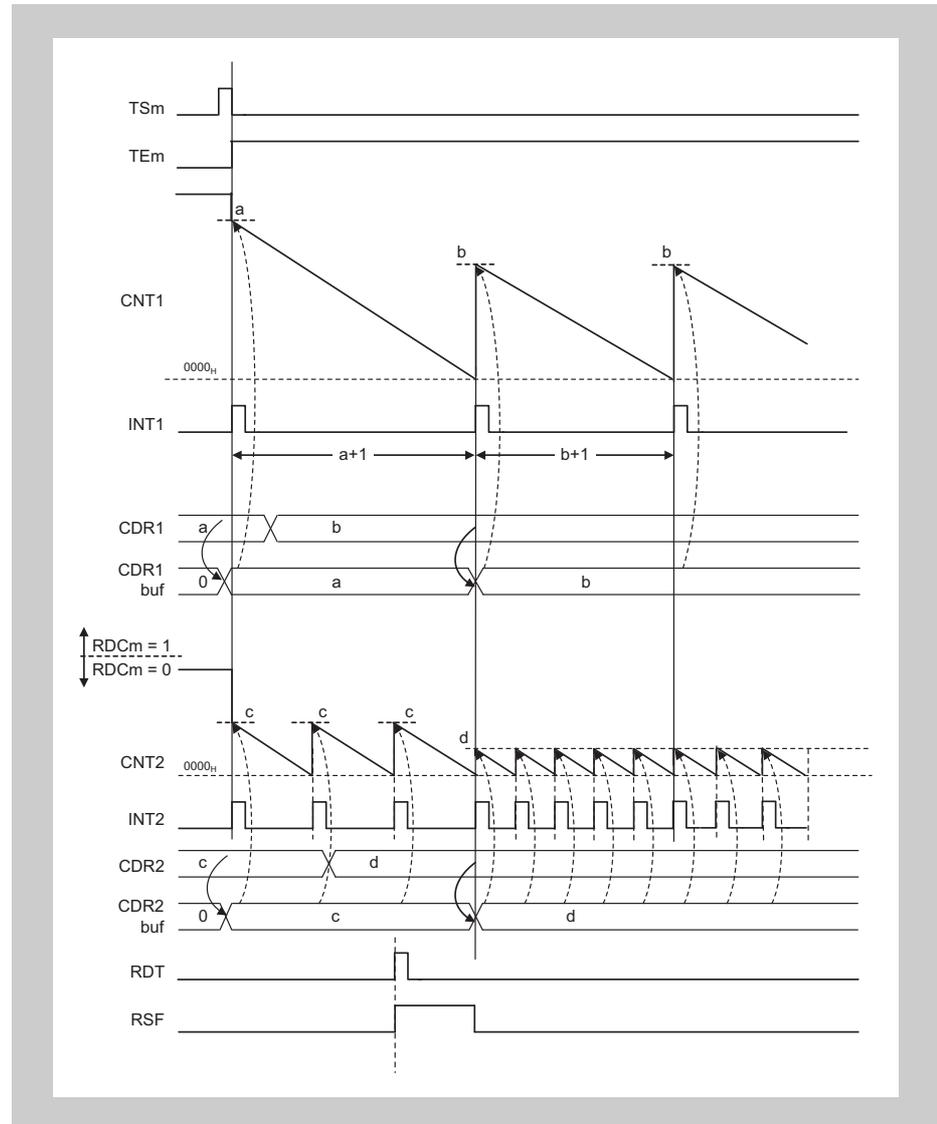


図 13-63 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-66 一斉書き換えトリガ生成機能タイプ1の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

(b) 上位チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-67 一斉書き換えトリガ生成機能タイプ1の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 上位チャネルの一斉書き換え

表 13-68 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタ

(5) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUBnCMORm**

下位チャンネルの TAUBnCMORm レジスタは、設定可能な動作モードの TAUBnCMORm レジスタ設定に従ってください（表 13-18 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

(b) 下位チャンネルの TAUBnCMURm

下位チャンネルの TAUBnCMURm レジスタは、設定可能な動作モードの TAUBnCMURm レジスタ設定に従ってください（表 13-18 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

(c) 下位チャンネルのチャンネル出力モード

下位チャンネルの動作モード（マスタ・スレーブ）設定に従った出力が可能です。

(d) 下位チャンネルの一斉書き換え

表 13-69 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成 CH として動作しない

(6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 13-70 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 上位チャンネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、表 13-66 「一斉書き換えトリガ生成機能タイプ1の TAUBnCMORm 設定」と表 13-67 「一斉書き換えトリガ生成機能タイプ1の TAUBnCMURm 設定」に示すように設定します。 下位チャンネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、(5) 「下位チャンネルのレジスタ設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生します。
	動作中 TAUBnRDT.TAUBnRDTm, TAUBnCDR.CDRm は変更可能です。 TAUBnRSF.TAUBnRSFm は常に読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。 TAUBnRDC.TAUBnRDCm が 1 に設定されているチャンネルで INTTAUBnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

13.18 その他のチャネル単体機能

この節では、一定数の TAUBnTTINm パルスが発生すると割り込みを発生する機能、TAUBnTTINm の周波数を分周する機能、機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能を説明します。

- 13.18.1 「外部イベント・カウント機能」
- 13.18.2 「クロック分周機能」
- 13.18.3 「TAUBnTTINm 入力位置検出機能」

13.18.1 外部イベント・カウント機能

(1) 概要

概要 この機能は、イベント・タイマとして使用します。特定数の TAUBnTTINm 入力有効エッジを検出すると割り込み (INTTAUBnIm) を発生します。

前提条件 • 動作モードはイベント・カウント・モードに設定する必要があります (表 13-71 「外部イベント・カウント機能の TAUBnCMORm 設定」参照)。

- この機能では、TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。

有効な TAUBnTTINm 入力エッジを検出すると、TAUBnCNTm 値はデクリメントされます。TAUBnCNTm は、有効な TAUBnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。

TAUBnTS.TAUBnTSM を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 00_B の時は、立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B の時は、立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の時は、両エッジがカウントされません。

(2) 算出式

INTTAUBnIm 発生前に検出される有効エッジ数 = TAUBnCDRm + 1

(3) ブロック図と基本タイミング図

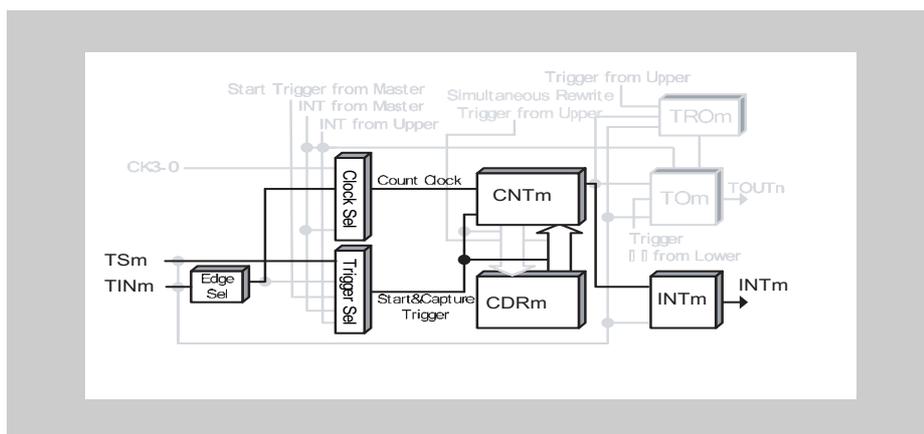


図 13-64 外部イベント・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

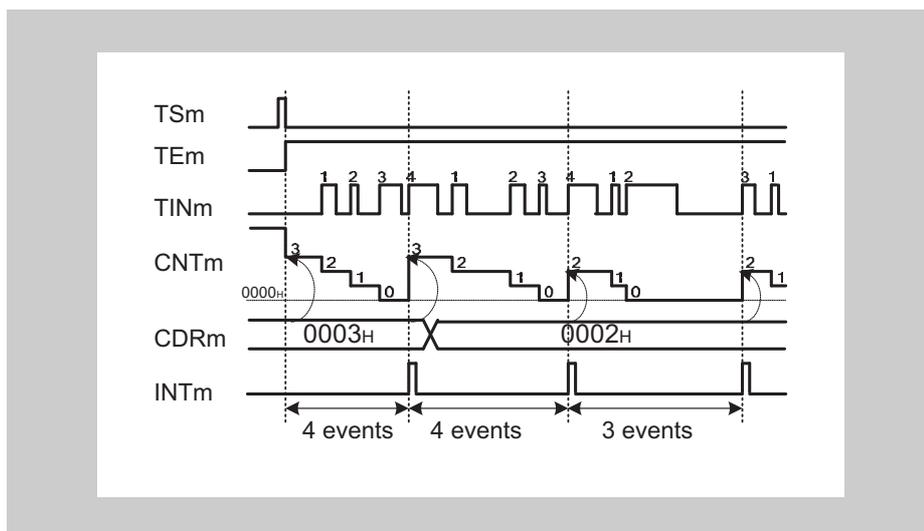


図 13-65 外部イベント・カウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-71 外部イベント・カウント機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	1 : 有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0011 : イベント・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-72 外部イベント・カウント機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ 01 : 立ち上がりエッジ 10 : 両エッジ

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、外部イベント・カウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-73 外部イベント・カウント機能の一斉書き換え設定

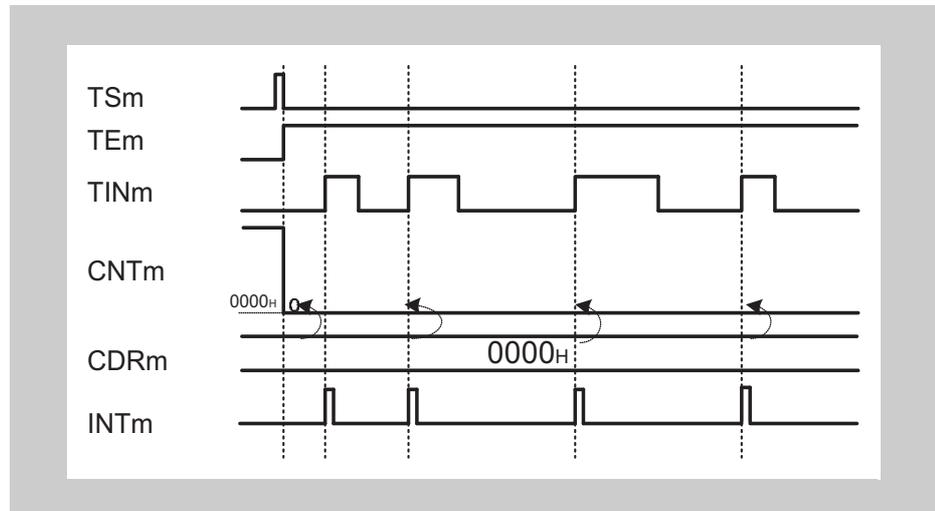
ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) 外部イベント・カウント機能の操作手順

表 13-74 外部イベント・カウント機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-71「外部イベント・カウント機能の TAUBnCMORm 設定」と表 13-72「外部イベント・カウント機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードし、TAUBnTTINm 入力エッジ検出を待ちます。
	動作中 TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は TAUBnTTINm 入力エッジを検出するたびに、ダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

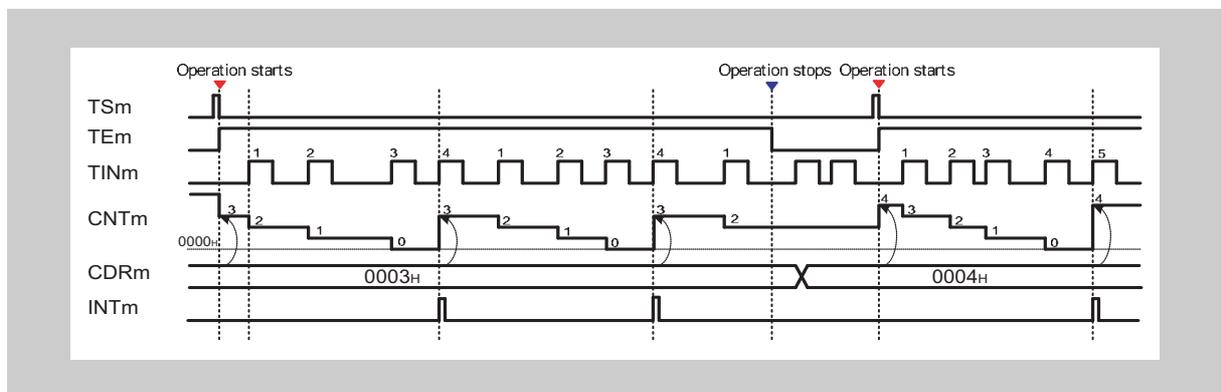
(6) 特定の設定時のタイミング図

(a) TAUBnCDRm = 0000_H図 13-66 TAUBnCDRm = 0000_H, TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- 0000_H = TAUBnCDRm の場合、有効な TAUBnTTINm 入力エッジが検出されるたびに 0000_H が TAUBnCNTm にロードされます。

つまり、有効な TAUBnTTINm 入力エッジが検出されるたびに、INTTAUBnIm が発生します。

(b) 動作の停止と再開

図 13-67 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。TAUBnTTINm は継続し、TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし、カウント動作を再開します。

(c) 強制リスタート

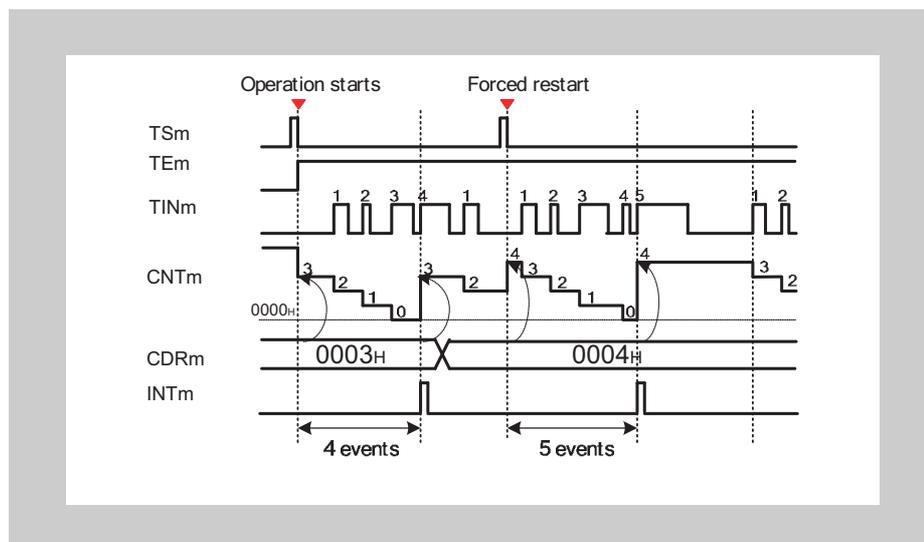


図 13-68 強制リスタート (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

強制リスタートを行うと、変更した TAUBnCDRm の値が TAUBnCNTm に適用されます。

- 動作中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタは次の有効な TAUBnTTINm 入力エッジを待ちます。

13.18.2 クロック分周機能

(1) 概要

概要 この機能は、周波数の分周に使用します。TAUBnTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し、結果として得られる信号を TAUBnTTOUTm に出力します。

- 前提条件**
- TAUBnTTINm の周波数は固定である必要があります。
 - 動作モードはインターバル・タイマ・モードに設定する必要があります (表 13-75 「クロック分周機能の TAUBnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。13.9 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタは TAUBnTTINm をカウント・クロックとして使用し、その TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBnTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBnTTOUTm 信号が出力されます。詳細は 13.11 「カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

備考 TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック ± 1 周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時：

$$\text{TAUBnTTOUTm 周波数} = \text{TAUBnTTINm 周波数} / [(\text{TAUBnCDRm} + 1) \times 2]$$
- 立ち下がりエッジ検出選択時：

$$\text{TAUBnTTOUTm 周波数} = \text{TAUBnTTINm 周波数} / [(\text{TAUBnCDRm} + 1) \times 2]$$
- 両エッジ検出選択時：

$$\text{TAUBnTTOUTm 周波数} = \text{TAUBnTTINm 周波数} / (\text{TAUBnCDRm} + 1)$$

(3) ブロック図と基本タイミング図

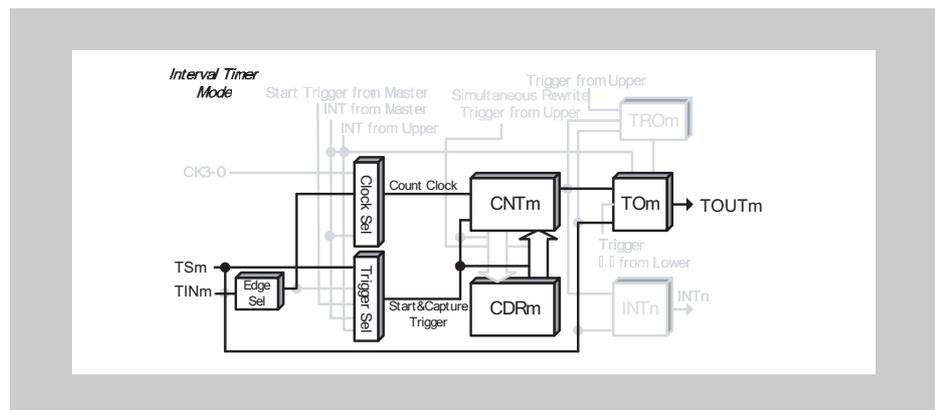


図 13-69 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

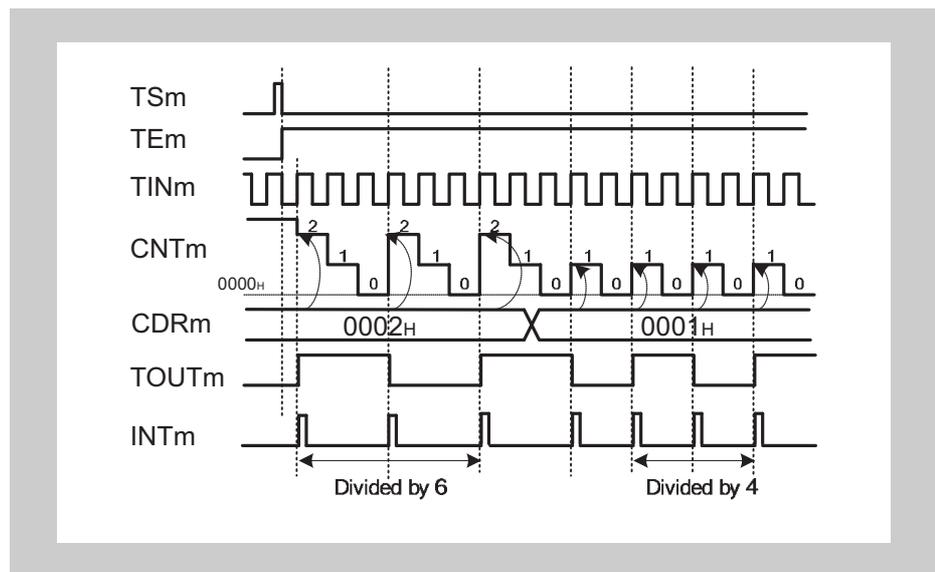


図 13-70 クロック分周機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-75 クロック分周機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	1 : 有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-76 クロック分周機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

表 13-77 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: トグル・モード時は、設定無効(初期値)となります
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

備考 チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTTOUmを割り込みとは独立させて制御することができます。詳細は表 13-19「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-78 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) クロック分周機能の操作手順

表 13-79 クロック分周機能の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 13-75 「クロック分周機能の TAUBnCMORm 設定」と表 13-76 「クロック分周機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを表 13-77 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードします。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生し、TAUBnTTOUTm がトグルされます。
	動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnTTINm 入力エッジを検出すると、TAUBnCNTm はダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。 TAUBnTTOUTm がトグルされます。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnTTOUTm は現在値を保持します。

(6) 特定の設定時のタイミング図

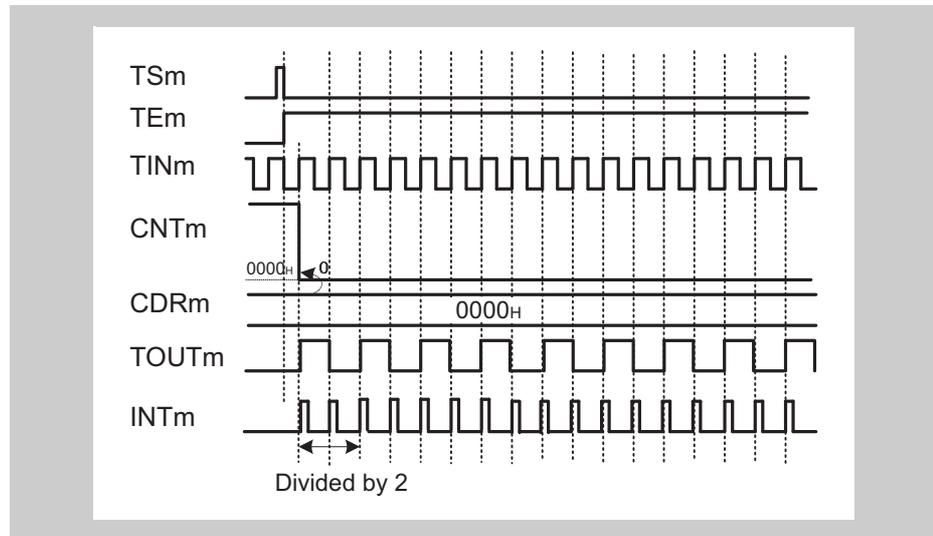
(a) TAUBnCDRm = 0000_H

図 13-71 TAUBnCDRm = 0000_H, TAUBnCMORm.TAUBnMD0 = 1,
TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- TAUBnCDRm が 0000_H ならば、TAUBnCNTm も必ず 0000_H です。
- INTTAUBnIm がカウント・クロックごとに発生するので、TAUBnTOUTm はカウント・クロックごとにトグルされます。

図 13-71 「TAUBnCDRm = 0000_H, TAUBnCMORm.TAUBnMD0 = 1,
TAUBnCMURm.TAUBnTIS[1:0] = 01_B」は動作タイミングのイメージです。
実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路
の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在し
ます。

(b) 動作再開

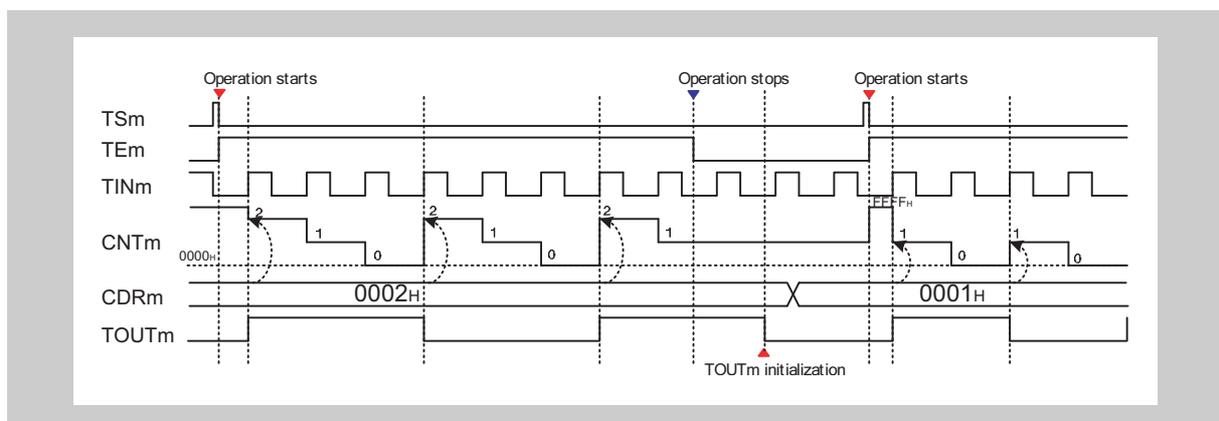


図 13-72 動作再開 (TAUBnCMORm.TAUBnMD0 = 1,
TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

TAUBnTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUBnTE.TAUBnTEm = 0) に

TAUBnTOE.TAUBnTOEm = 0 を設定。

- その後、TAUBnTO.TAUBnTOm に 0 または 1 を書き込んで、TAUBnTTOUTm の新しいスタート値を設定。

(c) 強制リスタート

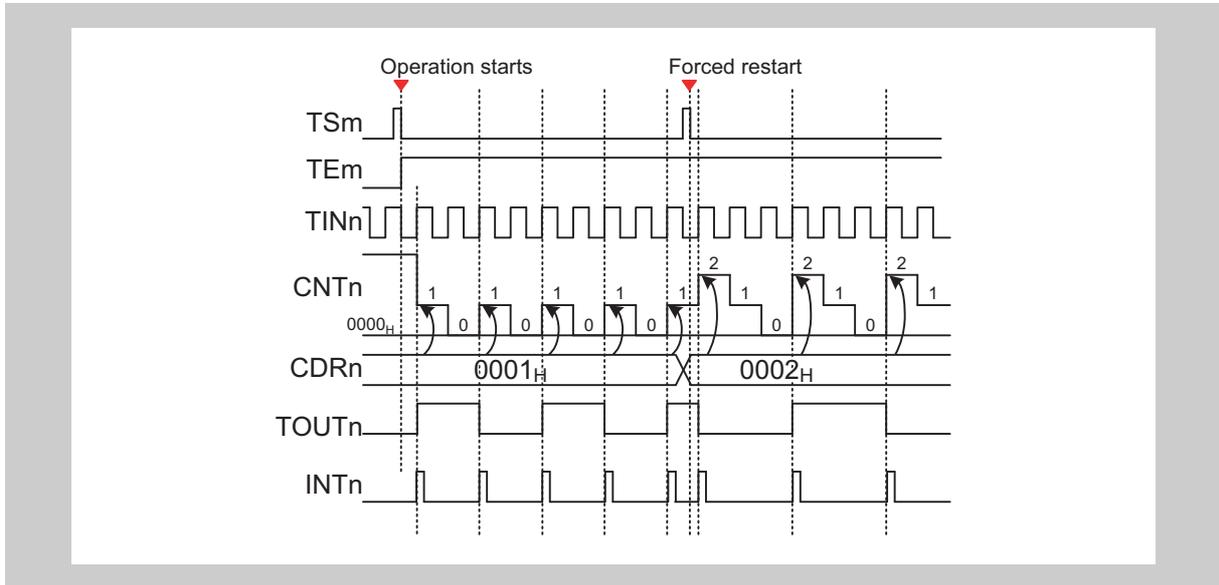


図 13-73 強制リスタート (TAUBnCMORm.TAUBnMD0 = 1, TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

TAUBnTTOUTm 値のリセット方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCDRm の値が TAUBnCNTm に書き込まれ、カウント動作が再開します。
- TAUBnTTOUTm は強制リスタート前と同じ出力レベルで再開します。

13.18.3 TAUBnTTINm 入力位置検出機能

(1) 概要

概要 機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります (表 13-80 「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」参照)。
 - この機能では、TAUBnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考 TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 13.11 「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

(2) 算出式

TAUBnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × (TAUBnCDRm キャプチャ値 + 1)]

(3) ブロック図と基本タイミング図

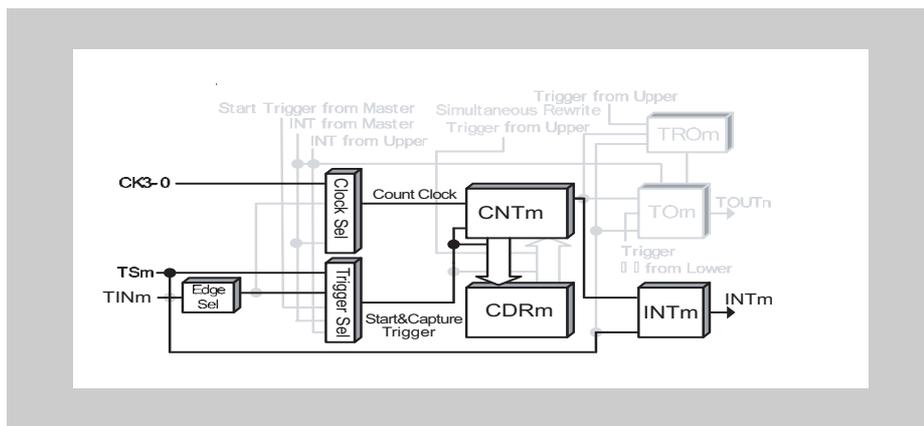


図 13-74 TAUBnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

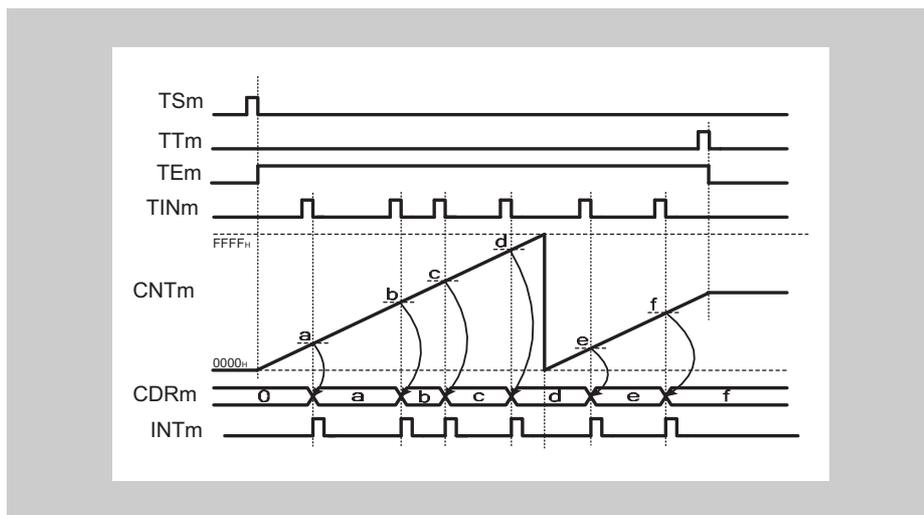


図 13-75 TAUBnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-80 TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 単体動作, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	01 : この値に設定してください
TAUBnMD[4:1]	1011 : カウント・キャプチャ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-81 TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は, TAUBnTTINm 入力位置検出機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 13-82 TAUBnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入力位置検出機能の操作手順

表 13-83 TAUBnTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態	
動作再開	初期設定 チャンネルの初期設定	TAUBnCMORm, TAUBnCMURm レジスタを, 580 ページの表 13-80 「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」と表 13-81 「TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始	TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され, カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は, INTTAUBnIM が発生します。
	動作中	TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm, TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUBnCSCm.CLOV ビットは, 1 に設定可能です。	TAUBnCNTm は, 0000 _H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時 : <ul style="list-style-type: none"> • TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) します。 • INTTAUBnIM を出力します。 • カウンタ値は 0000_H にクリアされず, TAUBnCNTm はカウント動作を継続します。以降, この動作を繰り返します。
	動作停止	TAUBnTT.TAUBnTTM を 1 に設定します。 TAUBnTT.TAUBnTTM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm は停止し, TAUBnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

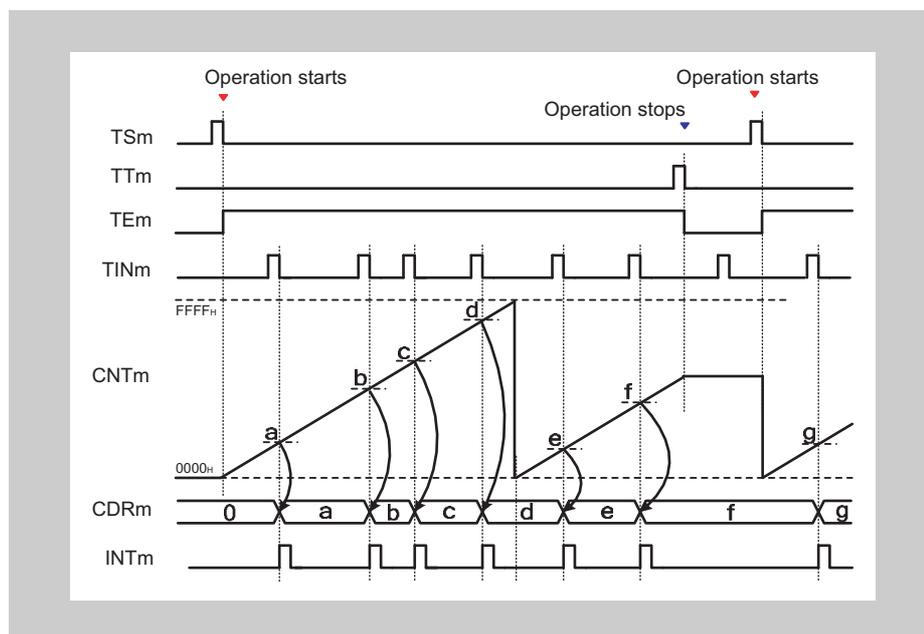


図 13-76 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

13.19 チャンネル連動動作機能

この節では、TAUBのチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、13.4「機能説明」を参照してください。

13.20 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

- 13.20.1 「PWM 出力機能」
- 13.20.2 「ディレイ・パルス出力機能」
- 13.20.3 「A/D 変換トリガ出力機能タイプ 1」

13.20.1 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUBnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

前提条件

- 2 チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 13-84 「PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 13-87 「PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（13.9 「チャンネル出力モード」）。

機能説明

チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

• マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし、ダウン・カウントを行います。

• スレーブ・チャンネル：

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUBnCDRm (スレーブ) の現在値が TAUBnCNTm (スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。TAUBnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000_H になると（デューティ時間が経過すると）

INTTAUBnIm が発生し、TAUBnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF_H に戻り、マスタ・チャンネルの次の INTTAUBnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。

備考 動作中に強制リスタートが発生した場合、カウンタの値は無効になり、TAUBnTTOUTm は正確な PWM 出力波形を出しません。

条件 この機能では一斉書き換えを行うことができます。13.8「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUBnCDRm (スレーブ) / (TAUBnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUBnCDRm (スレーブ) = 0000_H

– デューティ・サイクル = 100 %

TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

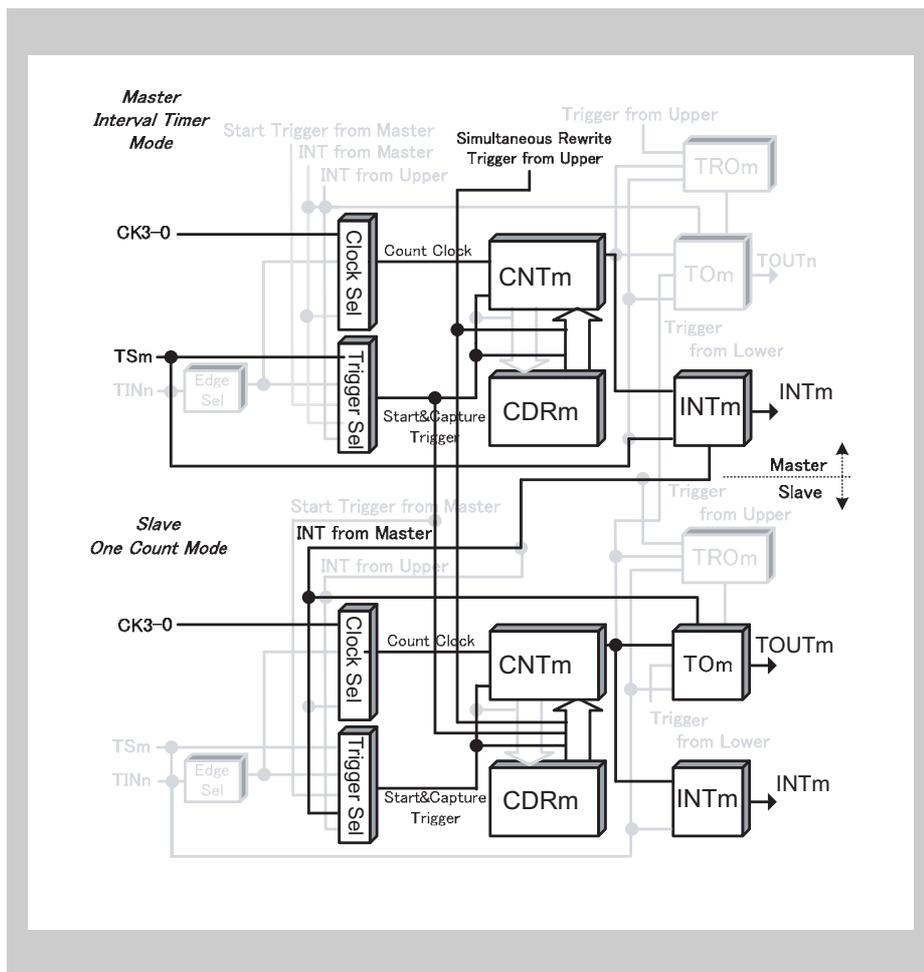


図 13-77 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUBnTOL.TAUBnTOLm = 0)

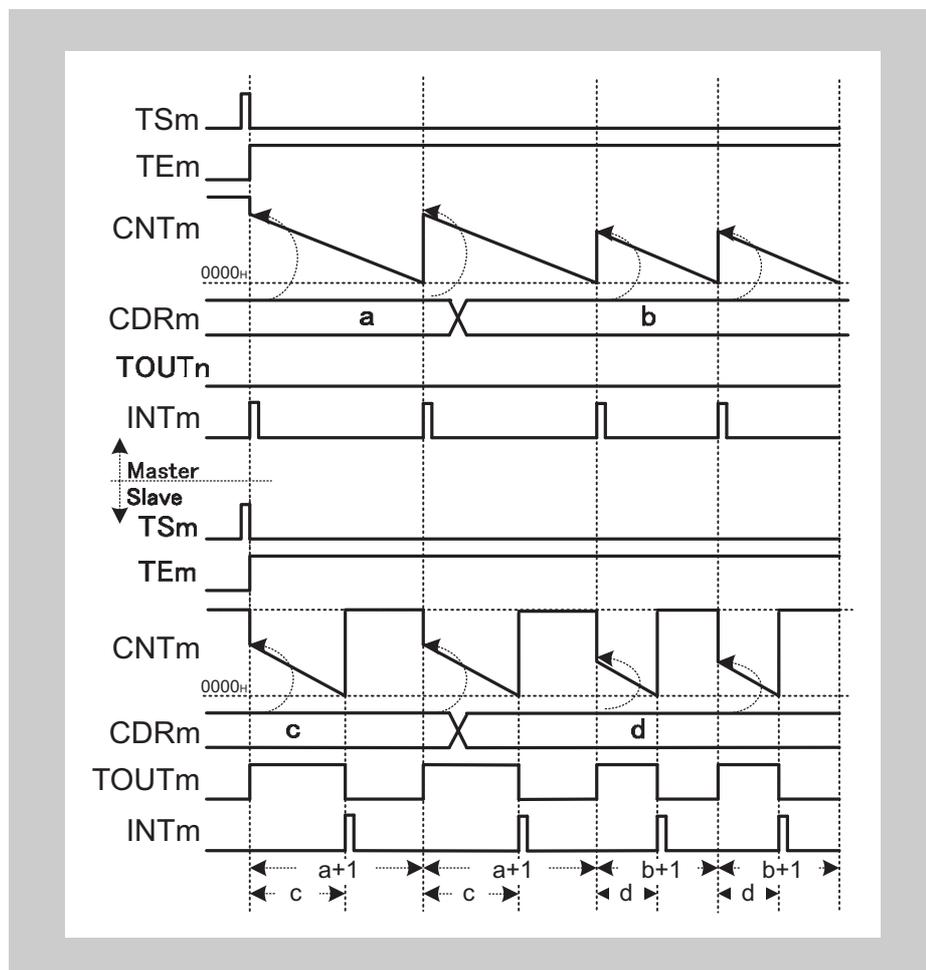


図 13-78 PWM 出力機能の基本タイミング図

備考 スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUBnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUBnCDRm + 1 の値になります。

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-84 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	1 : 動作開始時に INTTAUBnIm が発生する

(b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-85 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-86 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0 : マスタ・チャンネルで一斉書き換えトリガをモニタ 1 : チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0 : 一斉書き換えトリガ生成 CH として動作しない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm ビット = 1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル : TAUBnRDCm = 1, TAUBnRDS = 1
また、本チャンネルの TAUBnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタ・チャンネルの TAUBnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタ・チャンネル : TAUBnRDCm = 0, TAUBnRDS = 1
- スレーブ・チャンネル : TAUBnRDCm = 0, TAUBnRDS = 1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-87 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガが有効

(b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-88 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 13-89 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	0: 動作モード1
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-90 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) PWM 出力機能の操作手順

表 13-91 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル: TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル: TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ) が設定されます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUBnCNTm は TAUBnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 _H になった場合： • INTTAUBnIm (マスタ) が発生します。 • TAUBnCDRm 値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUBnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUBnCNTm (スレーブ) が 0000 _H になった場合： • INTTAUBnIm (スレーブ) が発生します。 • TAUBnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

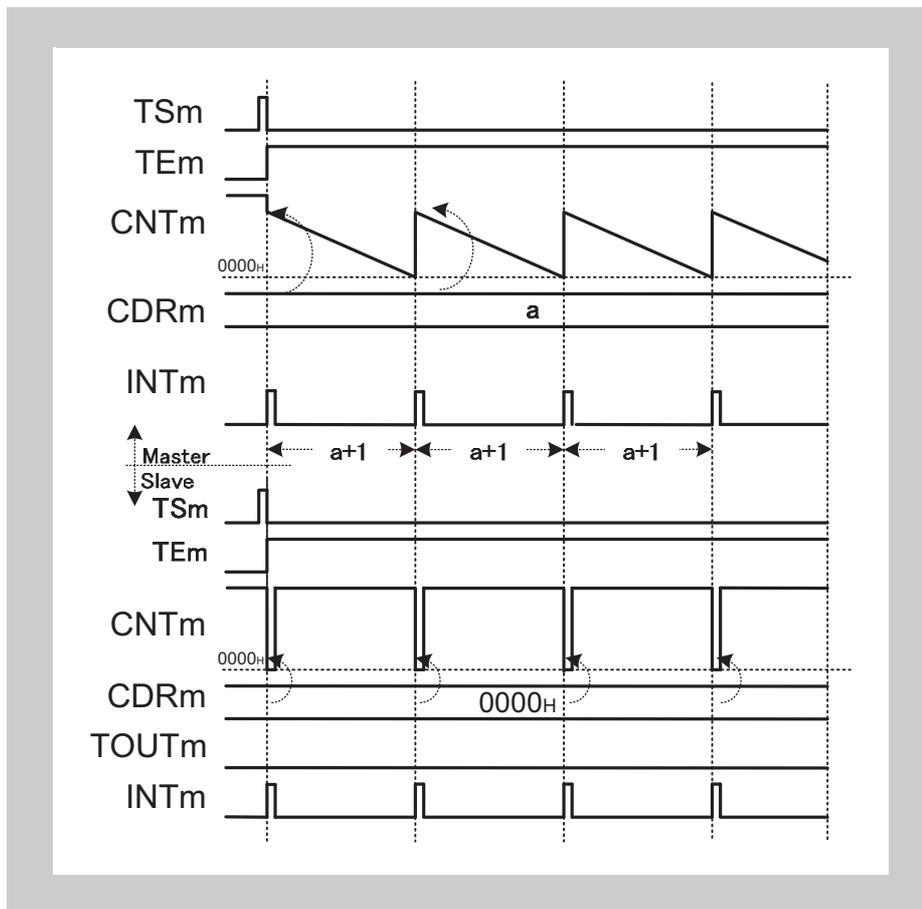


図 13-79 TAUBnCDRm (スレーブ) = 0000_H,
正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUBnIm) が発生するたびに、TAUBnCNTm (スレーブ) に 0000_H がロードされます。したがって、スレーブ・チャンネルの割り込み (INTTAUBnIm) が同時発生し、TAUBnTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

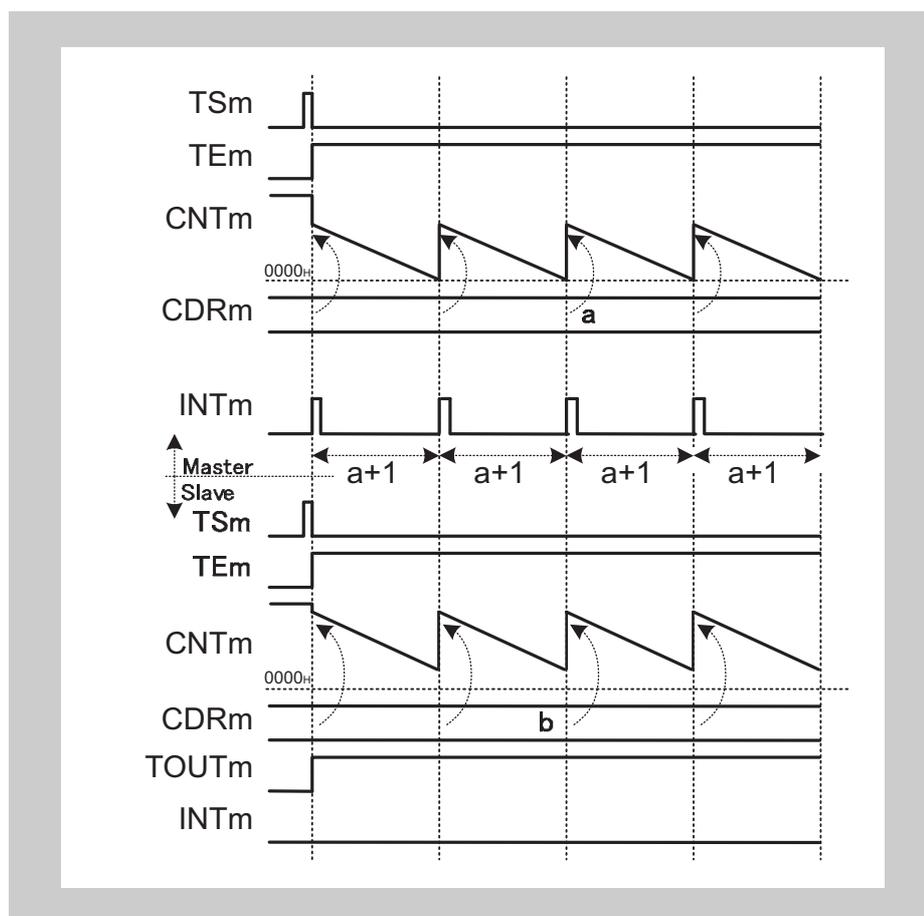


図 13-80 TAUBnCDRm (スレーブ) \geq TAUBnCDRm (マスタ) + 1
 正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- TAUBnCDRm (スレーブ) 値が TAUBnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUBnTTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

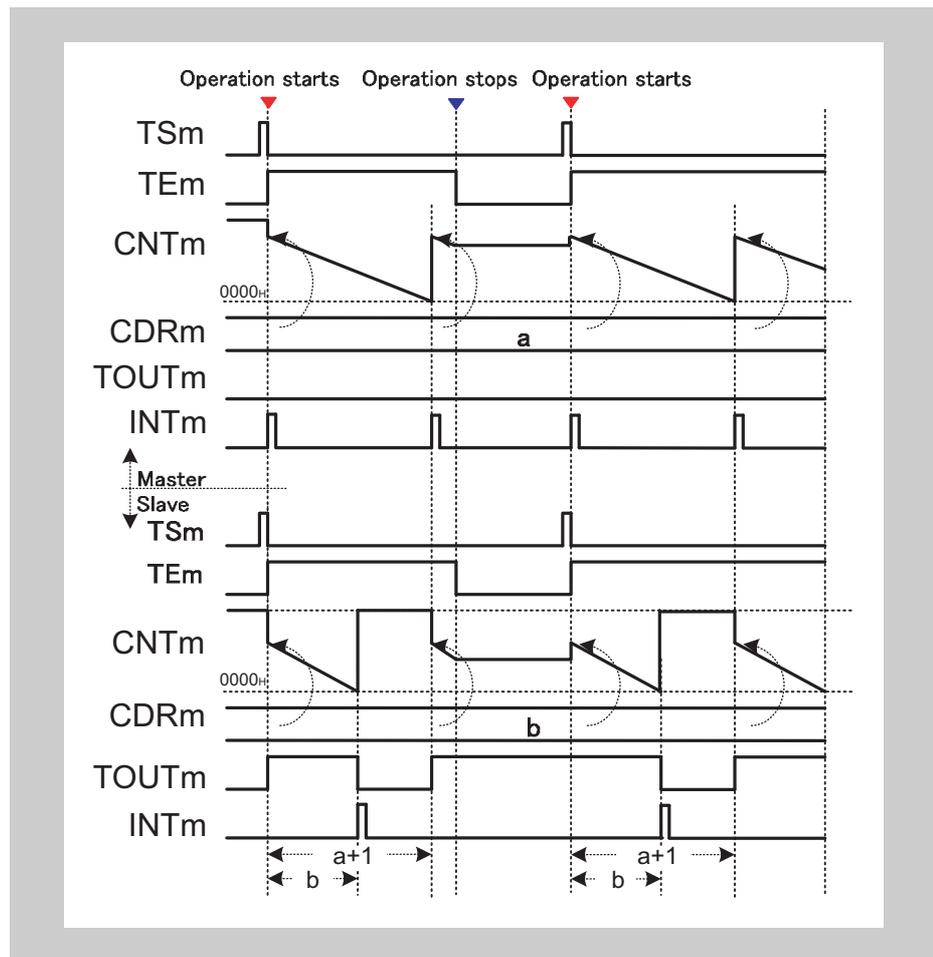


図 13-81 動作の停止と再開
正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUBnCDRm 値を TAUBnCNTm にリロードし、この値からダウン・カウントを開始します。

13.20.2 ディレイ・パルス出力機能

(1) 概要

概要 この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタ・チャンネルとスレーブ・チャンネル1を使用して定義されています。スレーブ・チャンネル2とスレーブ・チャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブ・チャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタ・チャンネルで設定します。
- 基準信号のデューティ・サイクルはスレーブ・チャンネル1を、ディレイ信号のデューティ・サイクルはスレーブ・チャンネル3を使用して設定されます。
- 遅延量はスレーブ・チャンネル2で設定します。

前提条件

- 4チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 13-92「ディレイ・パルス出力機能時のマスタ・チャンネルのTAUBnCMORm設定」参照）。
- スレーブ・チャンネル1, 2の動作モードは、ワンカウント・モードに設定する必要があります（表 13-95「ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMORm設定」参照）。
- スレーブ・チャンネル3の動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 13-99「ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMORm設定」参照）。
- マスタ・チャンネルおよびスレーブ・チャンネル2ではTAUBnTTOUTmを使用しません。
- スレーブ・チャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（13.9「チャンネル出力モード」）。
- スレーブ・チャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（13.9「チャンネル出力モード」）。

機能説明

チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を1に設定すると、チャンネル・グループのカウンタ動作が許可されます。これによりTAUBnTE.TAUBnTEm = 1となり、カウンタが可能になります。

- マスタ・チャンネル：

TAUBnCDRmの現在値がTAUBnCNTmにロードされ、カウンタはそのTAUBnCDRm値からダウン・カウントを開始します。マスタ・チャンネルでINTTAUBnImが発生します。

マスタ・チャンネルのカウンタ値が0000_Hになりパルス周期時間が経過すると、INTTAUBnImが発生します。再びTAUBnCDRmの値をカウンタにロードし、ダウン・カウントを行います。

- スレーブ・チャンネル1, スレーブ・チャンネル2：

スレーブ・チャンネル1, 2はマスタ・チャンネルからの割り込みを検出すると、TAUBnCDRmの現在値からダウン・カウントを開始します。TAUBnTTOUTm信号（スレーブ1）が設定されます。

– スレーブ・チャンネル1 :

スレーブ・チャンネル1のカウンタ値が0000_Hになると(デューティ時間が経過すると), INTTAUBnImが発生し, TAUBnTTOUTm信号がリセットされます。カウンタはFFFF_Hに戻り, マスタ・チャンネルの次のINTTAUBnImを待ちます。

– スレーブ・チャンネル2 :

スレーブ・チャンネル2のカウンタ値が0000_Hになり遅延時間が経過すると, INTTAUBnImが発生します。カウンタはFFFF_Hに戻り, マスタ・チャンネルの次のINTTAUBnImを待ちます。

INTTAUBnIm(スレーブ・チャンネル2)が発生することにより, スレーブ・チャンネル3のカウンタ動作がトリガされます。

• スレーブ・チャンネル3 :

スレーブ・チャンネル3はスレーブ・チャンネル2からの割り込みを検出すると, TAUBnCDRmの現在値からダウン・カウントを開始します。INTTAUBnImが発生し, TAUBnTTOUTm信号(スレーブ・チャンネル3)がセットされます。

スレーブ・チャンネル3のカウンタ値が0001_Hになると, INTTAUBnImが発生し, TAUBnTTOUTm信号がリセットされます。

スレーブ・チャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブ・チャンネルのTAUBnTT.TAUBnTTmを1に設定すると, カウンタ動作を停止できます。これにより, TAUBnTE.TAUBnTEmは0に設定されます。マスタ/スレーブ・チャンネルのTAUBnCNTmとTAUBnTTOUTmが停止しますが, それぞれの値は保持します。TAUBnTS.TAUBnTSMを1に設定すると, カウントを再開できます。

条件 この機能で一斉書き換えを行うことができます。13.8「一斉書き換え」を参照してください。

算出式 パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期
 デューティ幅1 = (TAUBnCDRm (スレーブ1)) × カウント・クロック周期
 遅延幅 = (TAUBnCDRm (スレーブ2) + 1) × カウント・クロック周期
 デューティ幅2 = (TAUBnCDRm (スレーブ3)) × カウント・クロック周期
 ただし, 遅延幅の設定値は下記範囲とすること。
 $0000_H \leq \text{TAUBnCDRm (スレーブ2)} < \text{TAUBnCDRm (マスタ)}$

備考 1. TAUBnTTOUTm(スレーブ3)の出力波形は, TAUBnTTOUTm(スレーブ1)の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
 2. スレーブ3のカウント中に, スレーブ2のTAUBnINTmが発生した場合, スレーブ3は動作を再開します。従って, TAUBnTTOUTm(スレーブ3)の出力波形は, アクティブレベルを保持します。(この場合, TOUTn(Slave-CH-3)は, TOUTn(Slave-CH-1)の基本パルスをディレイさせた波形を出力できません。)

(2) ブロック図と基本タイミング図

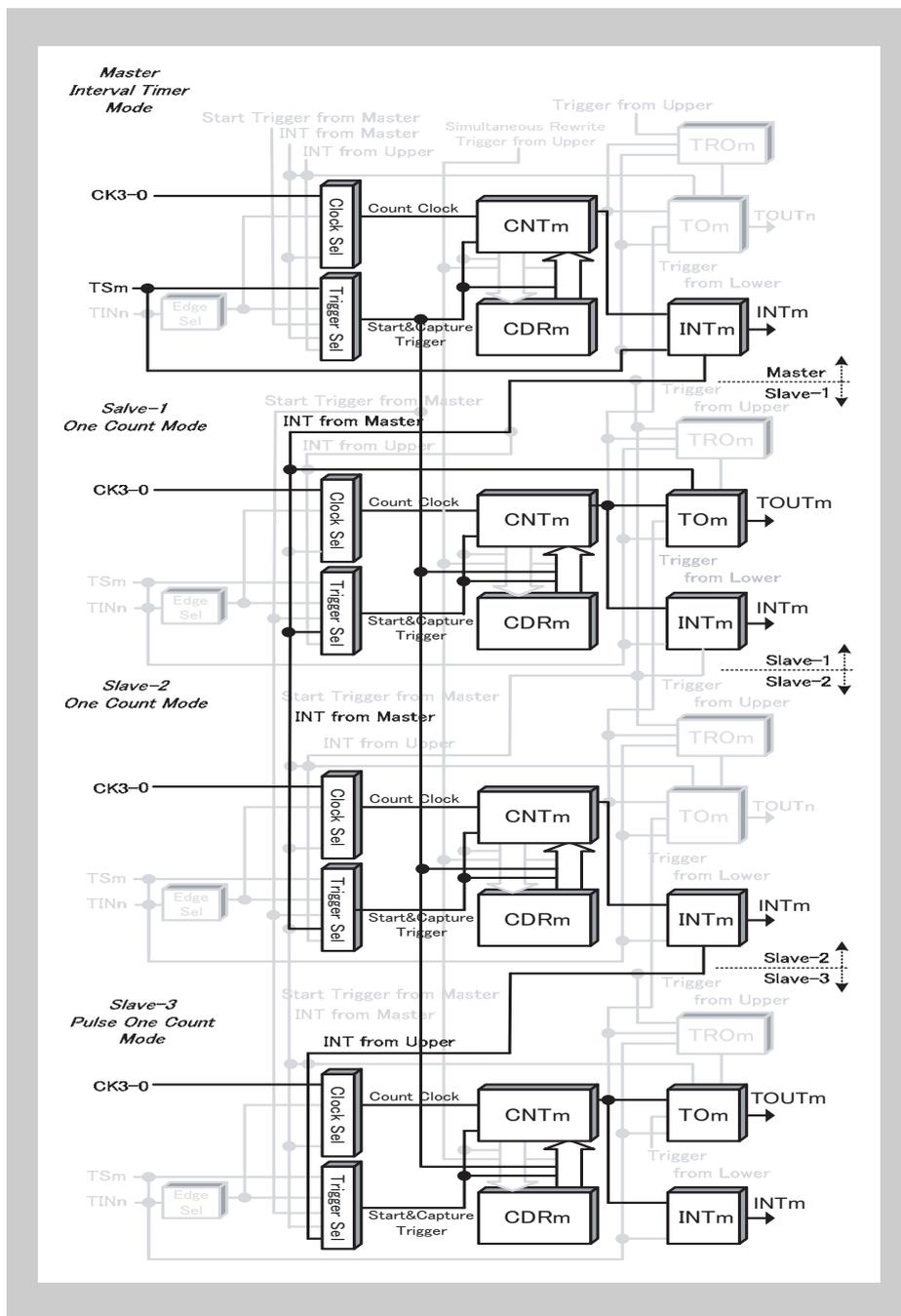


図 13-82 デレイ・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル 1 : 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 : 正論理 (TAUBnTOL.TAUBnTOLm = 0)

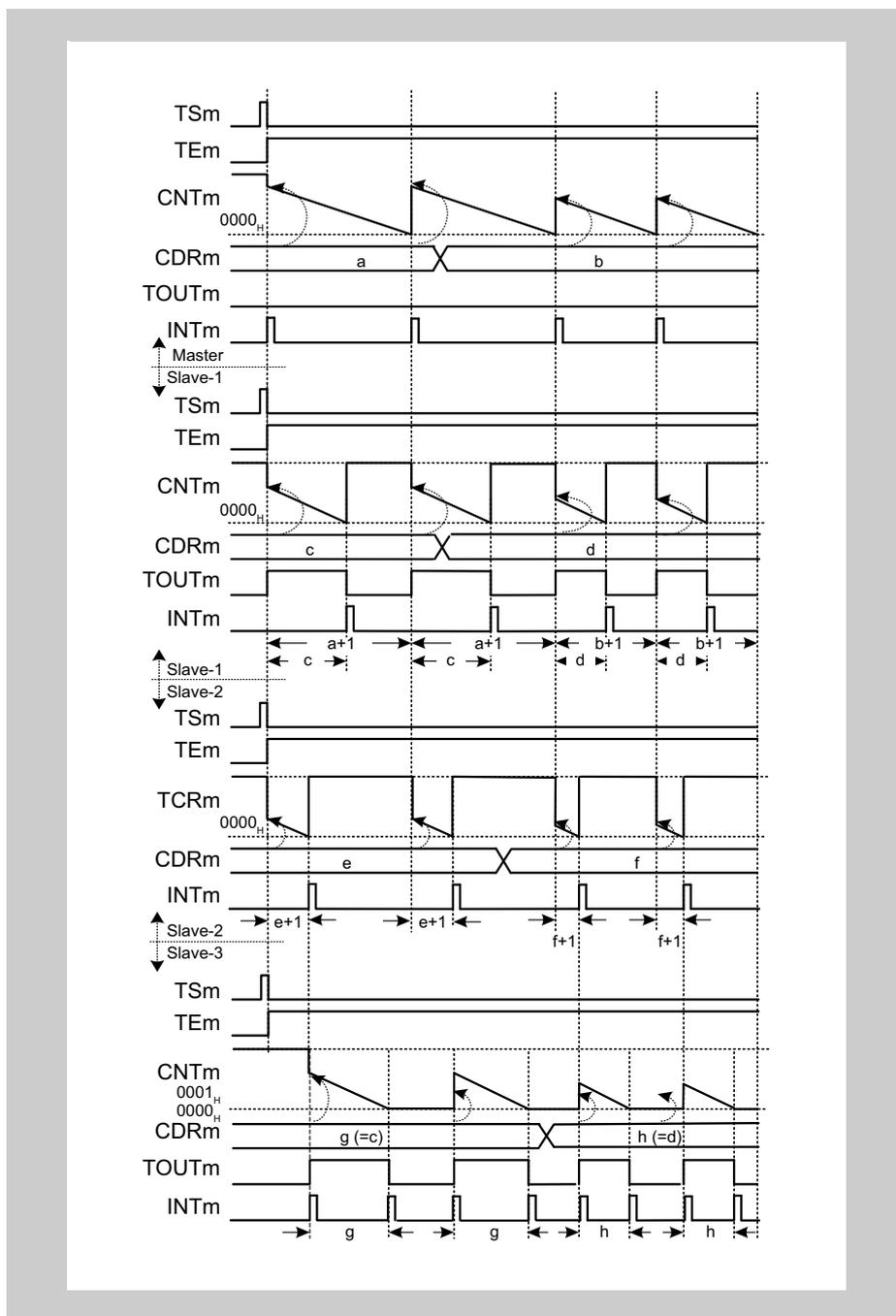


図 13-83 デレイ・パルス出力機能の基本タイミング図

(3) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-92 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	1 : 動作開始時に INTTAUBnIm が発生する

(b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-93 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能では、マスタ・チャンネルはチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-94 ディレイ・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャンネル1のレジスタ設定

(a) スレーブ・チャンネル1のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-95 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル1のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-96 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネル1のチャンネル出力モード

表 13-97 チャンネル連動出力モード1時のスレーブ・チャンネル1の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	0: 動作モード1
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-98 ディレイ・パルス出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成CHとして動作しない。 TAUBnRDS.TAUBnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(5) スレーブ・チャンネル2のレジスタ設定

(a) スレーブ・チャンネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]	TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUB nMD0				

表 13-99 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0]で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルのINTTAUBnImがスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-100 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-101 デイレイ・パルス出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成CHとして動作しない。TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル3のレジスタ設定

(a) スレーブ・チャンネル3のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUB nMD0		

表 13-102 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0]で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	101 : マスタ設定にかかわらず、上位チャンネル (m-1) のINTTAUBnImがスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-103 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネル3のチャンネル出力モード

表 13-104 チャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-105 ディレイ・パルス出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成CHとして動作しない。 TAUBnRDS.TAUBnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガを検出する。

(7) デイレイ・パルス出力機能時の操作手順

表 13-106 デイレイ・パルス出力機能時の操作手順 (1/2)

	操作	TAUBn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (3) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 1 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「スレーブ・チャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUBnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 13-106 ディレイ・パルス出力機能時の操作手順 (2/2)

	操作	TAUBnの状態	
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTSM を同時に 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルとスレーブ・チャンネル 1/2 のカウンタが動作を開始します。 マスタ・チャンネルで INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ・チャンネル 1) が設定されます。</p>
	動作中	<p>TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCnTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 1/2 の TAUBnCDRm の値を TAUBnCnTm にロードし、ダウン・カウントを行います。</p> <p>マスタ・チャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUBnIm (マスタ) が発生します。 • 再び TAUBnCDRm の値を TAUBnCnTm (マスタ) にロードし、カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCnTm (スレーブ 1/2) にロードし、ダウン・カウントを開始します。 • TAUBnTTOUTm (スレーブ 1) がセットされます。 <p>TAUBnCnTm (スレーブ 1) が 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUBnIm (スレーブ 1) が発生します。 • TAUBnTTOUTm (スレーブ 1) がリセットされます。 <p>TAUBnCnTm (スレーブ 2) が 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUBnIm (スレーブ 2) が発生します。 • INTTAUBnIm (スレーブ 3) が発生します。 • TAUBnTTOUTm (スレーブ 3) がセットされます。 • 再び TAUBnCDRm の値を TAUBnCnTm (スレーブ 3) にロードし、ダウン・カウント動作を開始します。 <p>TAUBnCnTm (スレーブ 3) が 0001_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUBnIm (スレーブ 3) が発生します。 • TAUBnTTOUTm (スレーブ 3) がリセットされます。
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCnTm と TAUBnTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

(a) デューティ・サイクル (スレーブ 3) = 100 %

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm (マスター) = 000A_H
- TAUBnCDRm (スレーブ 1) = 000B_H
- TAUBnCDRm (スレーブ 2) = 0000_H
- TAUBnCDRm (スレーブ 3) = 000B_H

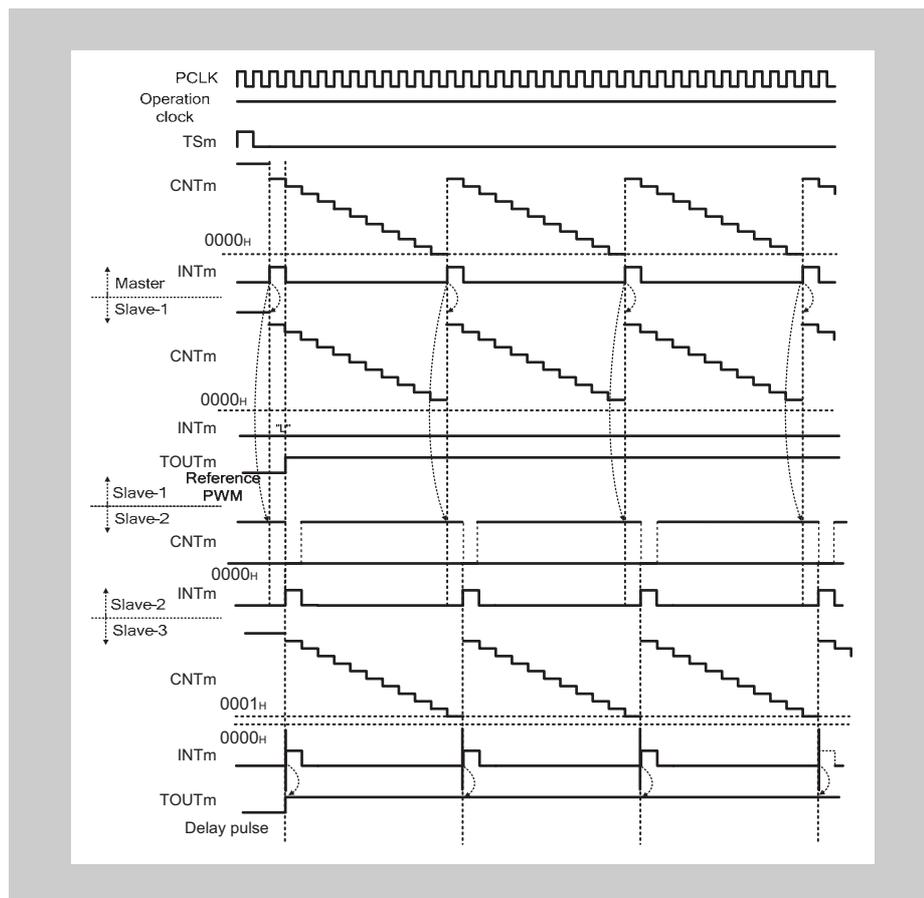


図 13-84 デューティ・サイクル (スレーブ 3) = 100 %

- TAUBnCDRm 値 (スレーブ 1, 3) が TAUBnCDRm 値 (マスター) より大きい場合、スレーブ・チャンネルのカウンタは 0000_H にならず、割り込み信号を発生しません。チャンネル 1, 3 の TAUBnTTOUtm はアクティブ状態のままとなります。

(b) TAUBnTTOUTm (スレーブ 1) = TAUBnTTOUTm (スレーブ 3)

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm (マスター) = 000AH
- TAUBnCDRm (スレーブ 1) = 0005H
- TAUBnCDRm (スレーブ 2) = 0000H
- TAUBnCDRm (スレーブ 3) = 0005H

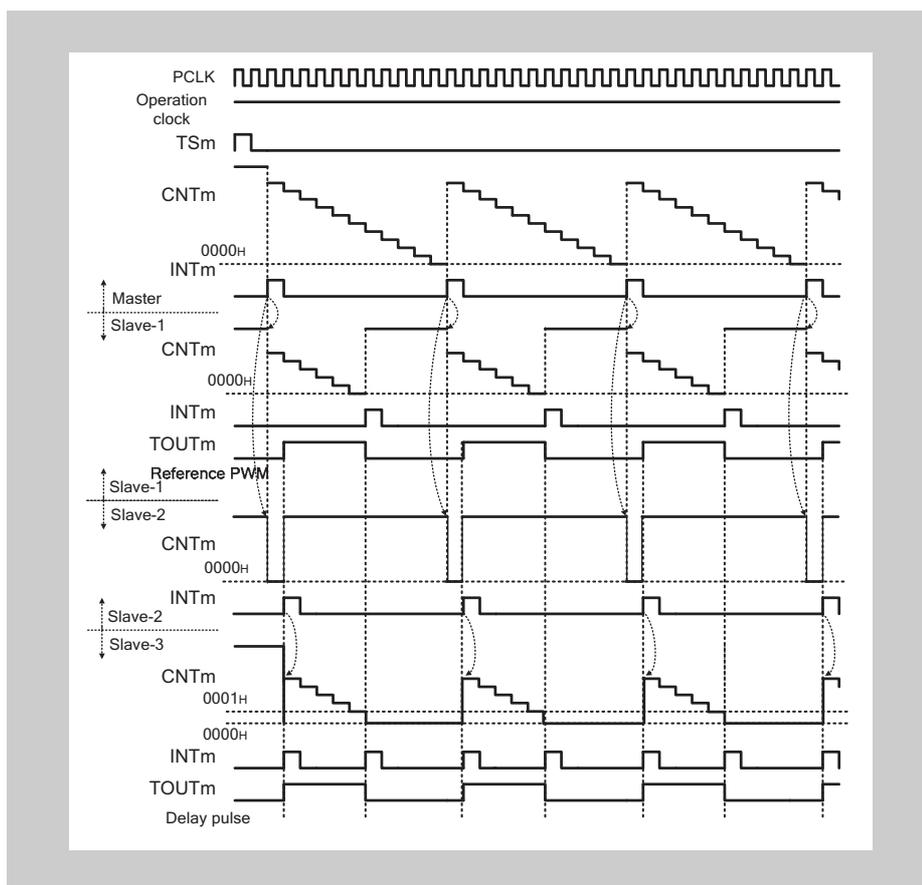


図 13-85 TAUBnTTOUTm (スレーブ 1) = TAUBnTTOUTm (スレーブ 3)

- TAUBnCDRm (スレーブ 2) = 0000H の場合、スレーブ・チャンネル 3 はスレーブ・チャンネル 1 のカウンタから 1 カウント・クロック遅れてカウントします。リファレンス・パルスとでディレイ・パルスが 1 カウント・クロック遅れて発生します。

13.20.3 A/D 変換トリガ出力機能タイプ 1

(1) 概要

概要 この機能は、TAUBnTTOUTm が出力されないという点を除き、13.20.1 「PWM 出力機能」と同じです。

スレーブ・チャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

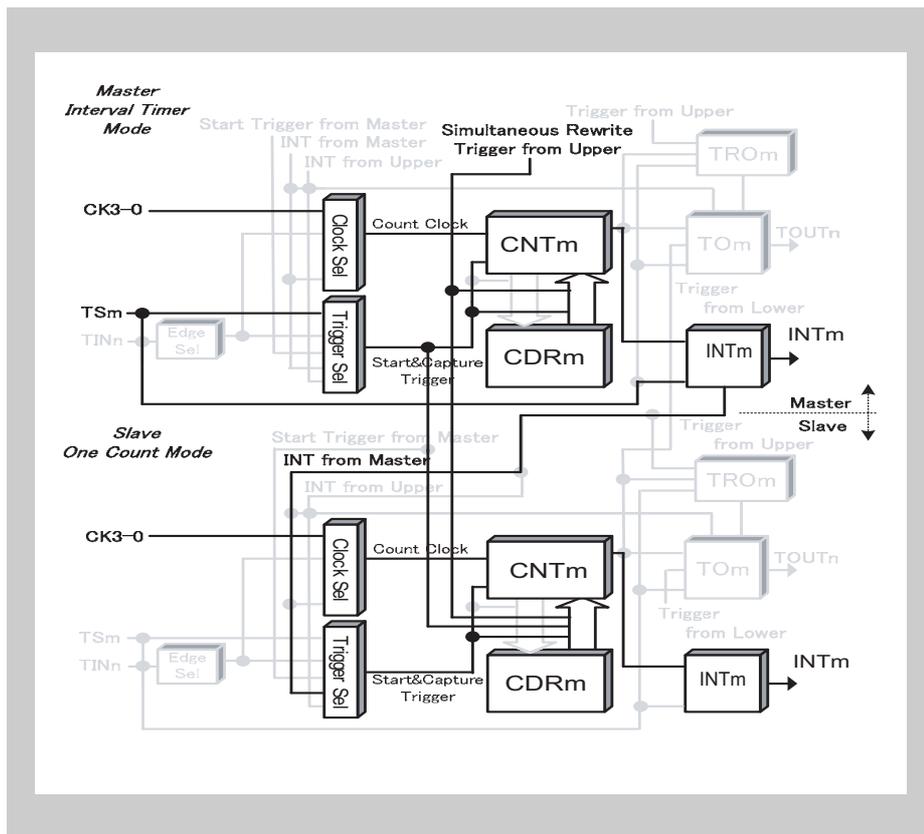


図 13-86 A/D 変換トリガ出力機能タイプ 1 のブロック図

(3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

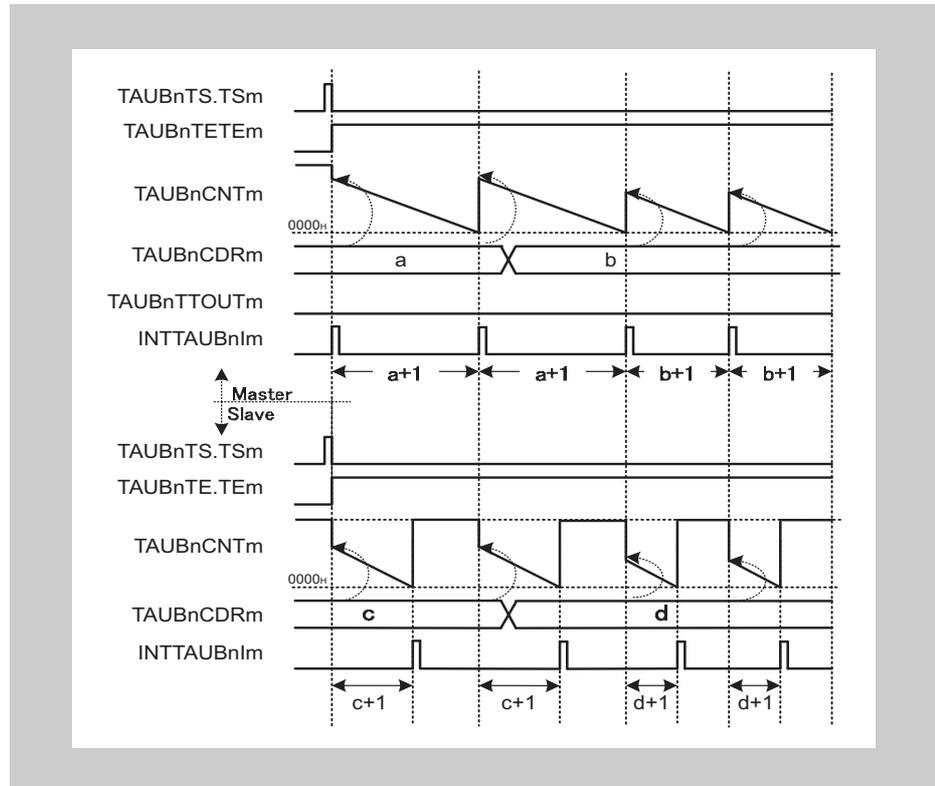


図 13-87 A/D 変換トリガ出力機能タイプ1の基本タイミング図

13.21 外部信号でトリガされる連動 PWM 信号機能

この節では、外部信号でトリガされる、PWM 信号を生成する機能について説明します。

- 13.21.1 「ワンショット・パルス出力機能」

13.21.1 ワンショット・パルス出力機能

(1) 概要

概要 マスタ・チャンネルとスレーブ・チャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタ・チャンネルで設定します。パルス幅はスレーブ・チャンネルで設定します。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 13-107 「ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 13-110 「ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル単体出力モード 2 に設定する必要があります（13.9 「チャンネル出力モード」参照）。
- TAUBnTTINm（マスタ）は、TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタ・チャンネルからの割り込みでのみトリガされ、TAUBnTTINm（スレーブ）ではトリガされません。

機能説明

マスタ・チャンネル、スレーブ・チャンネルのチャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。

- マスタ・チャンネル：

次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは、この TAUBnCDRm 値からダウン・カウントを開始します。TAUBnCMORm.TAUBnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUBnTTINm) は無視されます。

マスタ・チャンネルのカウンタが 0000_H になると、INTTAUBnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUBnTTINm 入力エッジを待ちます。

- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm（スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUBnTTOUTm 信号がセットされます。

カウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタ・チャンネルの次の INTTAUBnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。

カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもマスタ・チャンネルのカウントを再開できます (強制リスタート)。

- 備考**
1. 動作中に強制リスタートが行われた場合、出力信号の幅は TAUBnCDRm 値 (スレーブ) と一致しません。
 2. TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック ± 1 周期分の誤差があります。

- 条件**
- マスタ・チャンネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合、カウント中に検出された TAUBnTTINm 入力エッジは無視されます。
 - この機能では一斉書き換えを行うことができます。13.8 「一斉書き換え」を参照してください。

算出式 トリガ入力からパルス出力までの遅延時間 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

パルス幅 = (TAUBnCDRm (スレーブ)) × カウント・クロック周期

(2) ブロック図と基本タイミング図

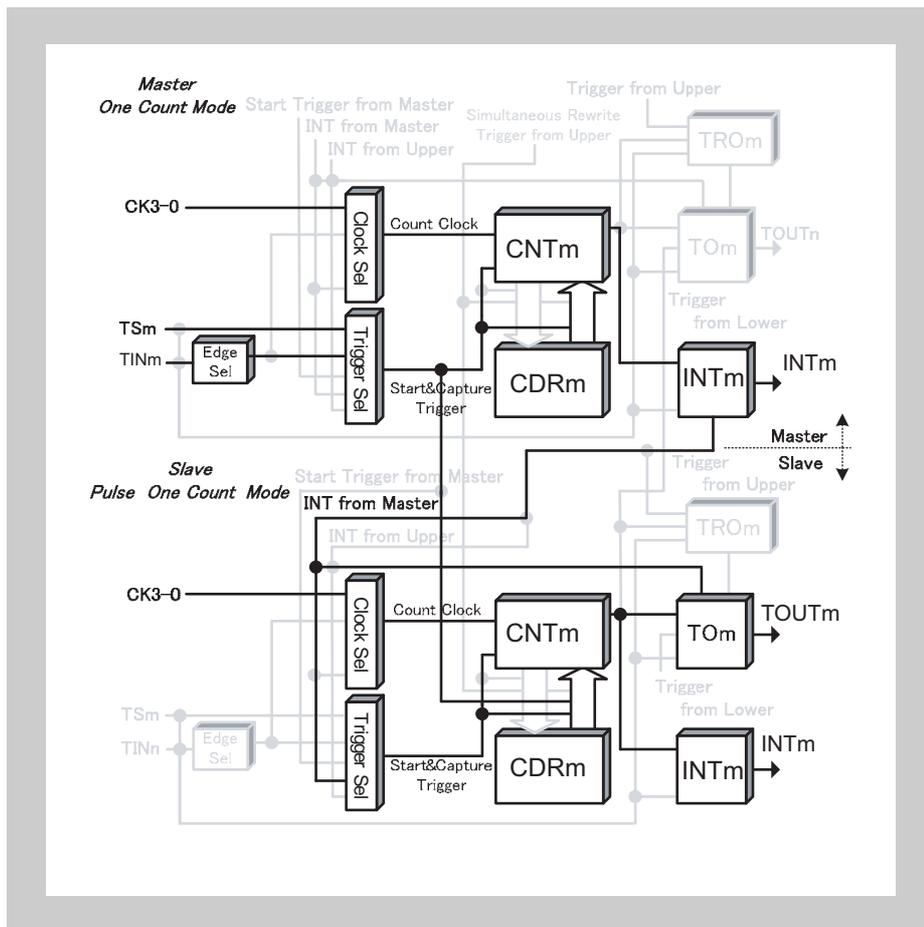


図 13-88 ワンショット・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止
(TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

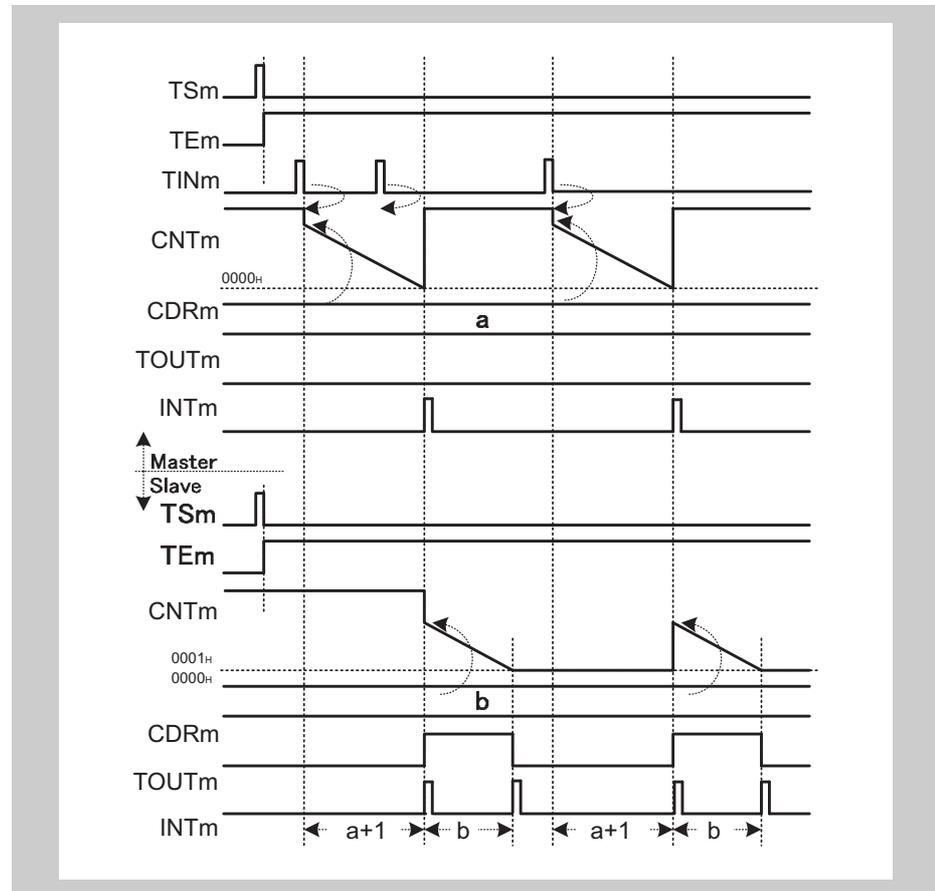


図 13-89 ワンショット・パルス出力機能の基本タイミング図

(3) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-107 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

(b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-108 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-109 ワンショット・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0 : 一斉書き換えトリガ生成 CH として動作しない。TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-110 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUBnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

(b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-111 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネルの出力モード

表 13-112 チャンネル単体出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-113 ワンショット・パルス出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成CHとして動作しない。 TAUBnRDS.TAUBnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(5) ワンショット・パルス出力機能時の操作手順

表 13-114 ワンショット・パルス出力機能時の操作手順

	操作	TAUBn の状態
動作再開 ↓	チャンネルの初期設定 マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを(3)「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを(4)「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルは TAUBnTTINm 入力を待ちます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBnTTINm 入力の有効エッジを検出すると、マスタ・チャンネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUBnIm (マスタ) が発生します。 • TAUBnCNTm (マスタ) は FFFF_H に戻り、次の有効な TAUBnTTINm 入力エッジを待ちます。 • 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。 • INTTAUBnIm (スレーブ) が発生します。 • TAUBnTTOUTm (スレーブ) がセットされます。 TAUBnCNTm (スレーブ) が 0001 _H になった場合： <ul style="list-style-type: none"> • INTTAUBnIm (スレーブ) が発生します。 • TAUBnTTOUTm (スレーブ) がリセットされます。 カウント中にマスタ・チャンネルで TAUBnTTINm 入力検出され、TAUBnCMORm.TAUBnMD0 = 0 の場合、その入力は無視されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUBnCDRm (マスタ) = 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

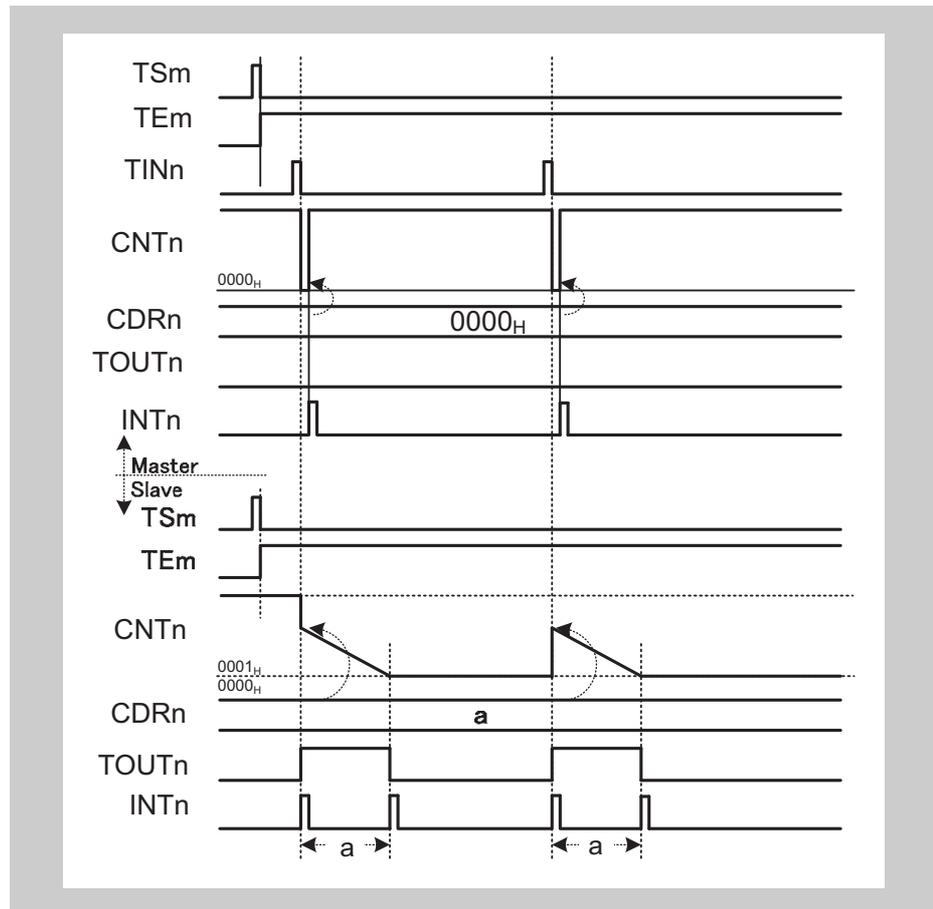


図 13-90 TAUBnCDRm (マスタ) = 0000_H

- TAUBnTTINm 入力の有効エッジが検出されたとき、TAUBnCNTm (マスタ) に 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。したがって、スレーブ・チャンネルのカウンタは TAUBnTTINm (マスタ) から 1 カウント・クロック遅れて、ダウン・カウントを開始します。

(b) TAUBnCDRm (スレーブ) = 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

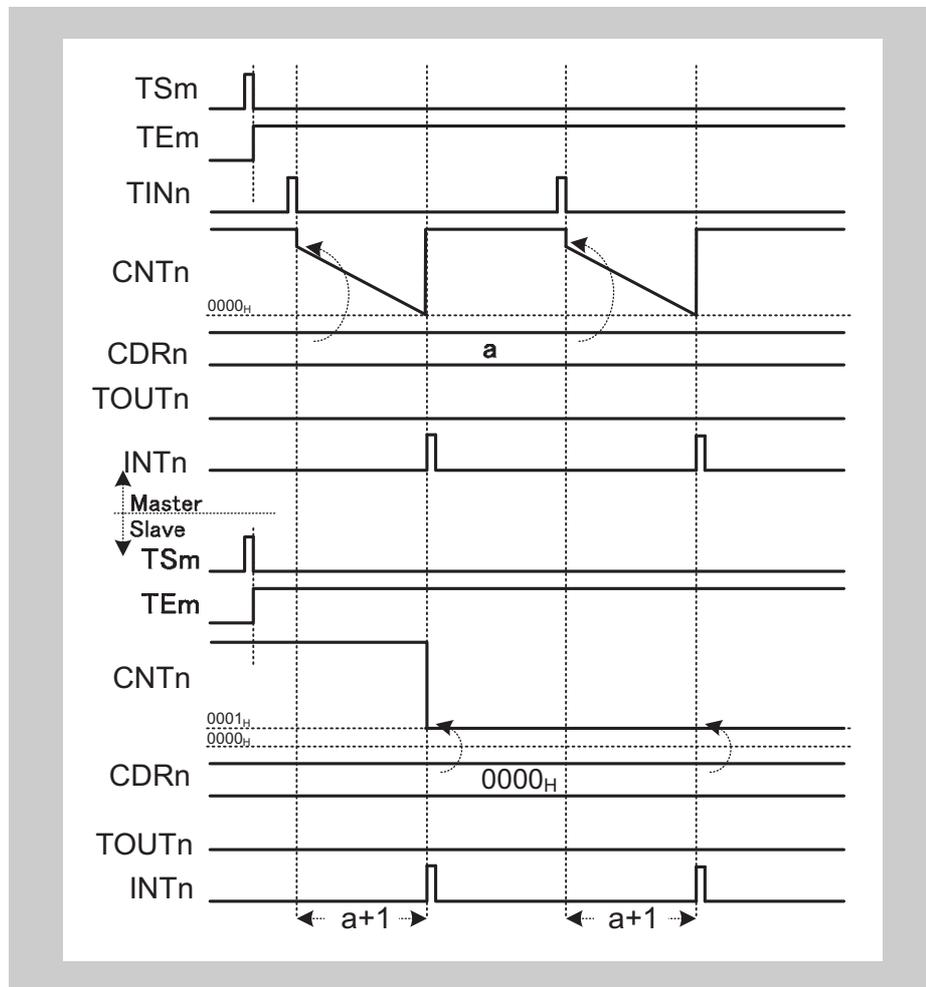


図 13-91 TAUBnCDRm (スレーブ) = 0000_H

- パルス幅が 0 のため、TAUBnTTOUTm は非アクティブ状態のままです。

(c) TAUBnCMORm.TAUBnMD0 = 1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出許可 (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

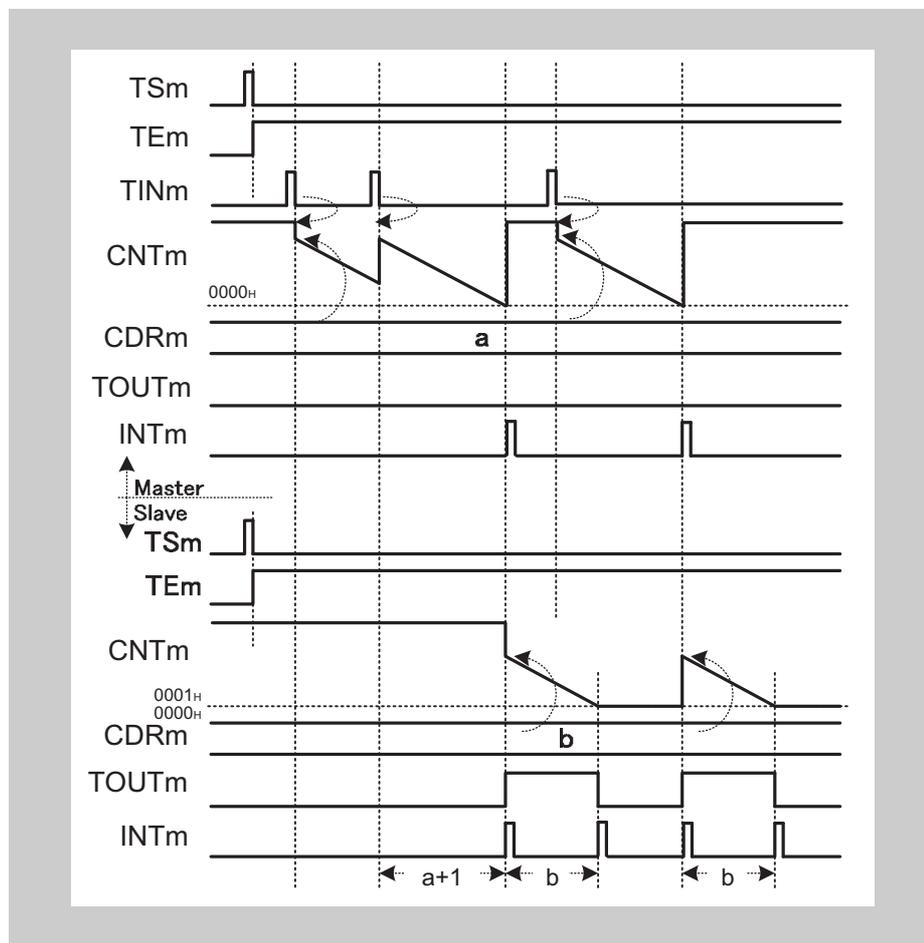


図 13-92 TAUBnCMORm.TAUBnMD0 = 1

- マスタ・チャンネルのダウン・カウント中に TAUBnTTINm 入力の有効エッジが検出された場合、TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは、ダウン・カウントを再開します。

これは、TAUBnTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって、INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

(d) スレーブ・チャンネル・カウント中にマスタ・チャンネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

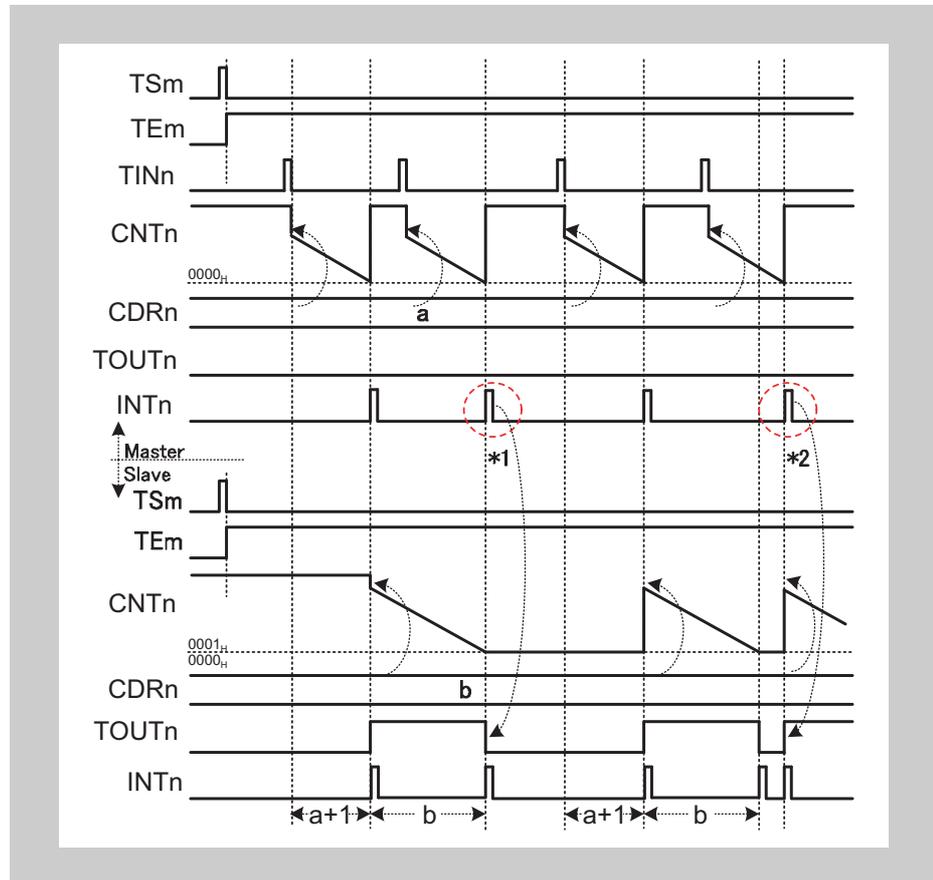


図 13-93 TAUBnTTINm 入力間隔 ≤ デレイ時間 + パルス幅 + 1

- スレーブ・チャンネルのカウンタが 0001_H になる前かちょうど 0001_H になったときにマスタ・チャンネルが割り込みを発生した場合、割り込み（マスタ）は無視されます。
- スレーブ・チャンネルのカウンタが次のトリガを待つ間にマスタ・チャンネルの割り込みが発生した場合は、TAUBnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUBnTTOUTm がトグルされます。TAUBnCNTm（スレーブ）がカウント中に TAUBnCNTm（マスタ）がダウン・カウントを開始した場合は（*2）、TAUBnTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショット・パルスを発生するには、マスタ・チャンネルとスレーブ・チャンネルがカウント中でなくスタート・トリガ待ち状態のときにマスタ・チャンネルのスタート・トリガが検出される必要があります。

13.22 同期三角波 PWM 機能

この節では、三角波 PWM 出力信号を生成する機能について説明します。

- 13.22.1 「三角波 PWM 出力機能」
- 13.22.2 「デッド・タイム付き三角波 PWM 出力機能」
- 13.22.3 「A/D 変換トリガ出力機能タイプ 2」

13.22.1 三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと1つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブ・チャンネルを用いて、TAUBnTTOUm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。マスタ・チャンネルの1周期目はスレーブ・カウンタのダウン・ステータスを、2周期目はアップ・ステータスを制御します。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 13-115 「三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、アップ／ダウン・カウント・モードに設定する必要があります（表 13-119 「三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照）。
- マスタ・チャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（13.9 「チャンネル出力モード」）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（13.9 「チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウン・ステータスの間、TAUBnTTOUm 信号がハイ・レベルになります。
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが0に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を1に設定する必要があります。（推奨設定）
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが1に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を0に設定する必要があります。

- 機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm が設定され、カウントが可能になります。TAUBnCDRm (マスタ/スレーブ) の値が TAUBnCnTm (マスタ/スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBnTTOUTm 信号がトグルされます。
- マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が 0000_H になると (パルス周期が経過すると)、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、再び TAUBnCDRm の値を TAUBnCnTm にロードし、ダウン・カウントを行います。
 - スレーブ・チャンネル :

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。

 - スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップ・カウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

スレーブ・チャンネルのカウンタがアップ/ダウン・カウント中に 0001_H になると、INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ) 信号がセット/リセットされます :

カウンタはアップ/ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUBnIm を待ちます。

TAUBnTOL.TAUBnTOLm を設定することにより、動作中に TAUBnTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUBnCnTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。
- 備考** 動作中に強制リスタートが発生した場合、TAUBnTTOUTm は PWM 出力波形を出しません。
- 条件** この機能では一斉書き換えを行うことができます。13.8「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_H \leq \text{TAUBnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

デューティ・サイクル =

$$\frac{(\text{TAUBnCDRm (マスタ)} + 1 - \text{TAUBnCDRm (スレーブ)})}{(\text{TAUBnCDRm (マスタ)} + 1) \times 100}$$

- デューティ・サイクル = 100 %

TAUBnCDRm (スレーブ) = 0000_H

- デューティ・サイクル = 0 %

TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

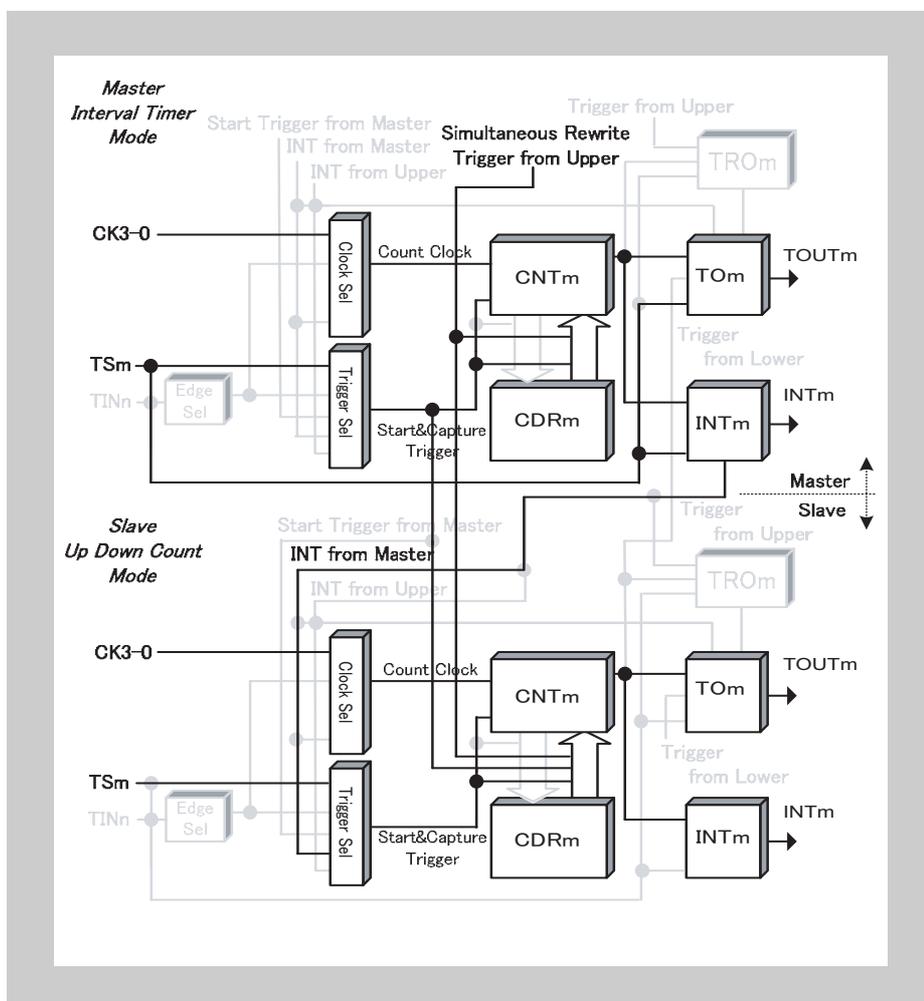


図 13-94 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
 - 動作開始時に INTTAUBnIm が発生する
(TAUBnCMORm.TAUBnMD0 = 1)

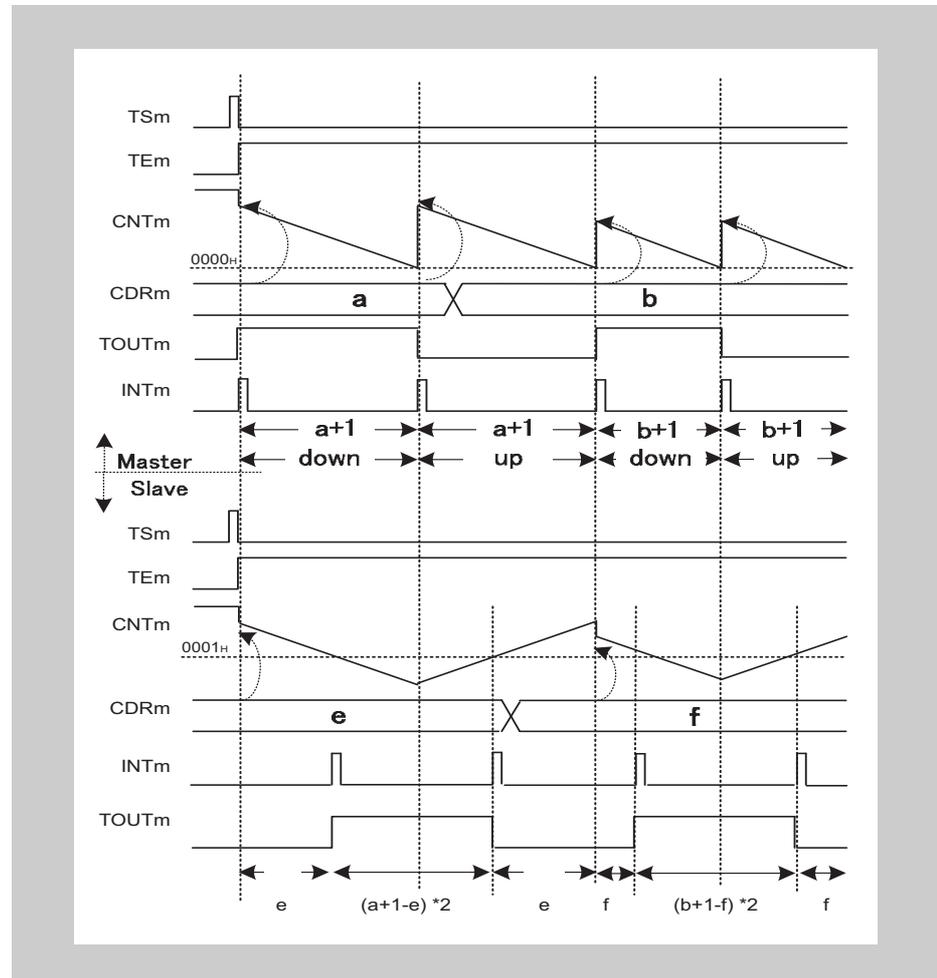


図 13-95 三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-115 三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUtm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUtm はトグルされる

(b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-116 三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

表 13-117 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: トグル・モード時は、設定無効(初期値)となります
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-118 三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するマスタ・チャンネルの三角波周期の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成CHとして動作しない。TAUBnRDS.TAUBnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUB nMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-119 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出力トリガ信号
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

(b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-120 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 13-121 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-122 三角波 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するマスタ・チャンネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) 三角波 PWM 出力機能時の操作手順

表 13-123 三角波 PWM 出力機能時の操作手順

	操作	TAUBnの状態
動作再開 ↓	初期設定 チャンネルの初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。
	動作中	マスタ/スレーブ・チャンネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 TAUBnTTOUTm (マスタ) がトリガされます。 再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 スレーブ・チャンネルの TAUBnCNTm が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (スレーブ) が発生します。 TAUBnTTOUTm (スレーブ) は、ダウン・カウント状態ではセット、アップ・カウント状態ではリセットされます。
	動作停止	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnCDRm = a = 5_H
- スレーブ・チャンネル :
 - TAUBnCDRm = 6_H

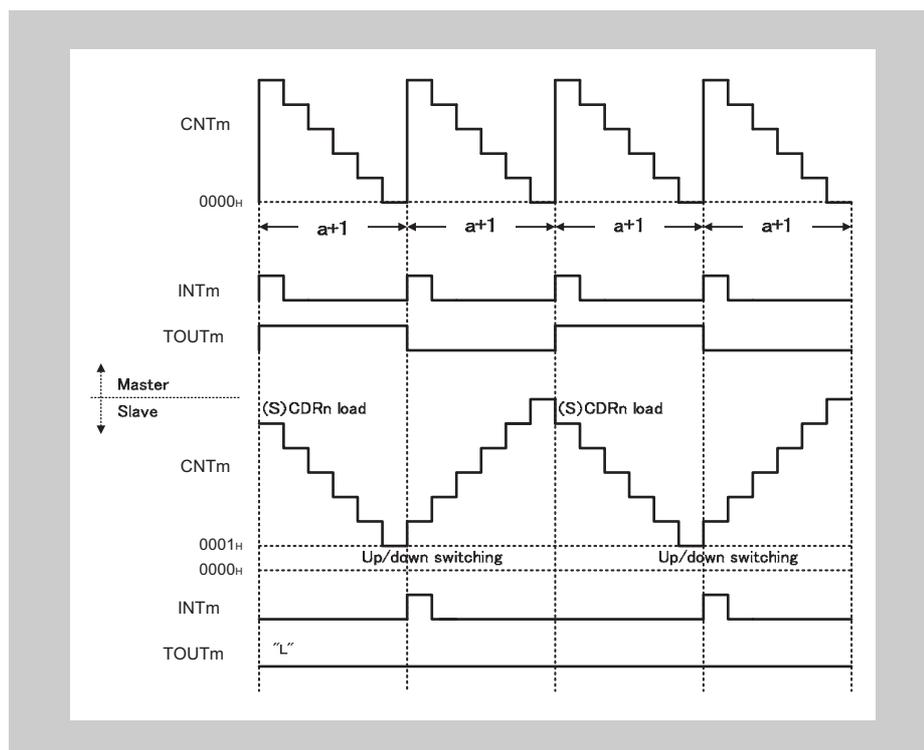


図 13-96 TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ) 値が TAUBnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0001_H になりません。セット信号が検出されることがないため、TAUBnTTOUTm は Low 状態のままになります。

(b) デューティ・サイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
 - 動作開始時に INTTAUBnIm が発生する
(TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnCDRm = a = 5_H
- スレーブ・チャンネル :
 - TAUBnCDRm = 0_H

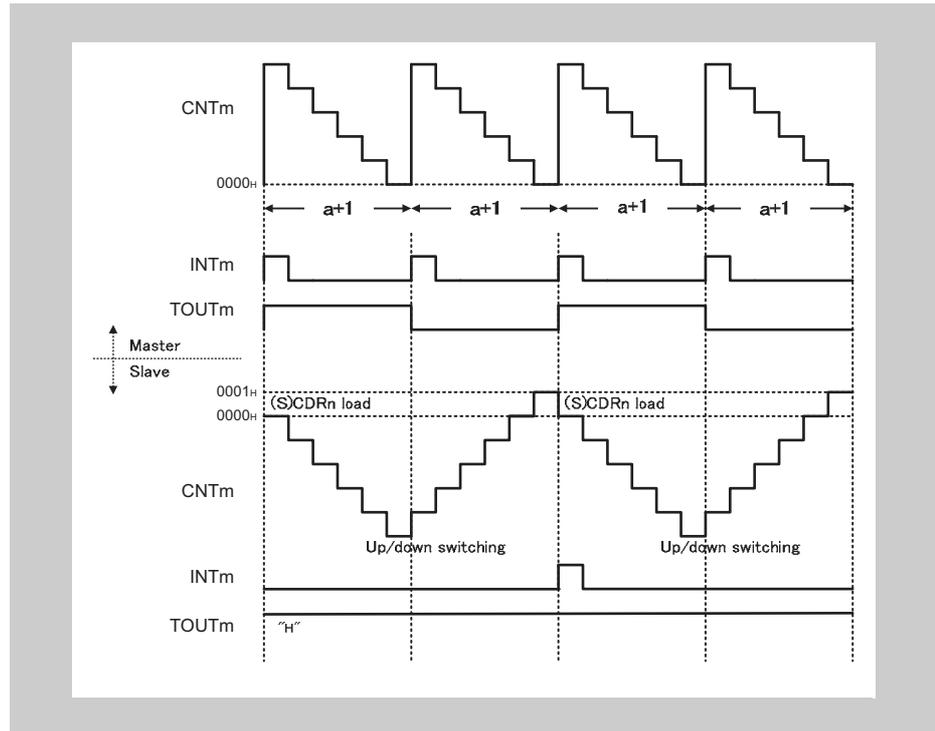


図 13-97 TAUBnCDRm (スレーブ) = 0000_H

- TAUBnCDRm (スレーブ) = 0000_H の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001_H になりません。リセット信号が検出されることがないため、TAUBnTTOUTm は High 状態のままになります。

13.22.2 デッド・タイム付き三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと2つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッド・タイムを付加して生成する機能です。デッド・タイムが付加された PWM 信号は、スレーブ・チャンネル 2/3 の TAUBnTTOUTm から出力されます。これにより、マスタ／スレーブ・チャンネルを使って TAUBnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。1 周期目のパルスはスレーブ・カウンタのダウン・ステータスを、2 周期目のパルスはアップ・ステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブ・チャンネルの TAUBnTTOUTm がセット／リセットされます。TAUBnTDL.TAUBnTDLm の設定によって、信号の正論理側または

側に遅延時間が付加されます（TAUBnTTOUTm がただちにセット／リセットされるのか、デッド・タイム経過後にセット／リセットされるのかを設定）。デッド・タイム時間はスレーブ・チャンネル 3 で設定します。

- 前提条件**
- 3 チャンネル。スレーブ・チャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
 - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 13-125 「デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
 - この機能では、スレーブ・チャンネル 1 は使用しません。スレーブ・チャンネル 2 は偶数チャンネル (a)、スレーブ・チャンネル 3 は奇数チャンネル (a+1) を選択してください。
 - スレーブ・チャンネル 2 の動作モードは、アップ・ダウン・モードに設定する必要があります（表 13-129 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 2 の TAUBnCMORm 設定」参照）。また、スレーブ・チャンネル 2 は偶数チャンネルでなければなりません。
 - スレーブ・チャンネル 3 の動作モードは、ワンカウント・モードに設定する必要があります（表 13-133 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 3 の TAUBnCMORm 設定」参照）。また、スレーブ・チャンネル 3 は奇数チャンネルでなければなりません。
 - マスタ・チャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（13.9 「チャンネル出力モード」）。
 - スレーブ・チャンネル 2/3 の出力モードは、デッド・タイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（13.9 「チャンネル出力モード」参照）。
 - 次のような設定により、キャリア周期のダウン・ステータスの間、TAUBnTTOUTm 信号がハイ・レベルになります。
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

- 備考** デッド・タイム付き三角波 PWM 出力機能では、スレーブ・チャンネル 1 を使用しません。
- 機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUBnCMORM.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBnTTOUTm 信号がトグルされます。
- マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし、ダウン・カウントを行います。
 - スレーブ・チャンネル 2 :

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネル 2 のカウンタ動作がトリガされます。

 - スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップ・カウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

カウンタはアップ／ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUBnIm を待ちます。
 - スレーブ・チャンネル 3 :

スレーブ・チャンネル 2 で INTTAUBnIm が発生すると、スレーブ・チャンネル 3 のカウンタ動作がトリガされます。そして TAUBnCDRm (スレーブ 3) の現在値が TAUBnCNTm (スレーブ 3) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生します。カウンタは FFFF_H に戻り、スレーブ・チャンネル 2 の次の INTTAUBnIm を待ちます。
- 表 13-124 「スレーブ・チャンネル 2 で割り込みが発生した際の TAUBnTTOUTm の動作」にあるように、対応するチャンネルの TAUBnTDL.TAUBnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッド・タイム経過後）が決まります。
- また、TAUBnTOL.TAUBnTOLm の設定によって、対応チャンネルからハイ・レベル信号を出力 (TAUBnTOL.TAUBnTOLm = 0) するかロウ・レベル信号を出力 (TAUBnTOL.TAUBnTOLm = 1) するかが決まります。
- マスタ／スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。
- スレーブ・チャンネル 2 の TAUBnCDRm 値を 0000_H にして、TAUBnTTOUTm を 100 % 出力することができます。
- 備考** 動作中に強制リスタートが発生した場合、TAUBnTTOUTm は三角波 PWM 出力波形を出しません。

条件 この機能では一斉書き換えを行うことができます。13.8「一斉書き換え」を参照してください。

TAUBnTOL.TAUBnTOLm と TAUBnTDL.TAUBnTDLm の設定はカウント動作開始前に行う必要があります。スレーブ・チャンネル2 とスレーブ・チャンネル3 は TAUBnTOL.TAUBnTOLm か TAUBnTDL.TAUBnTDLm の設定が反対でなければなりません。

表 13-124 スレーブ・チャンネル2 で割り込みが発生した際の TAUBnTTOUTm の動作

TAUBnTDL.TAUBnTDLm	割り込み発生時のスレーブ・チャンネル2 のカウント方向	TAUBnTTOUTm セット／リセット・タイミング
0	ダウン・カウント	デッド・タイム経過後に設定
	アップ・カウント	割り込み発生直後にリセット
1	ダウン・カウント	割り込み発生直後にセット
	アップ・カウント	デッド・タイム経過後に設定

(2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_H \leq \text{TAUBnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

PWM 信号幅 (正相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ2) × 2) - (TAUBnCDRm (スレーブ3) + 1)] × カウント・クロック周期

PWM 信号幅 (逆相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ2) × 2) + (TAUBnCDRm (スレーブ3) + 1)] × カウント・クロック周期

(3) ブロック図と基本タイミング図

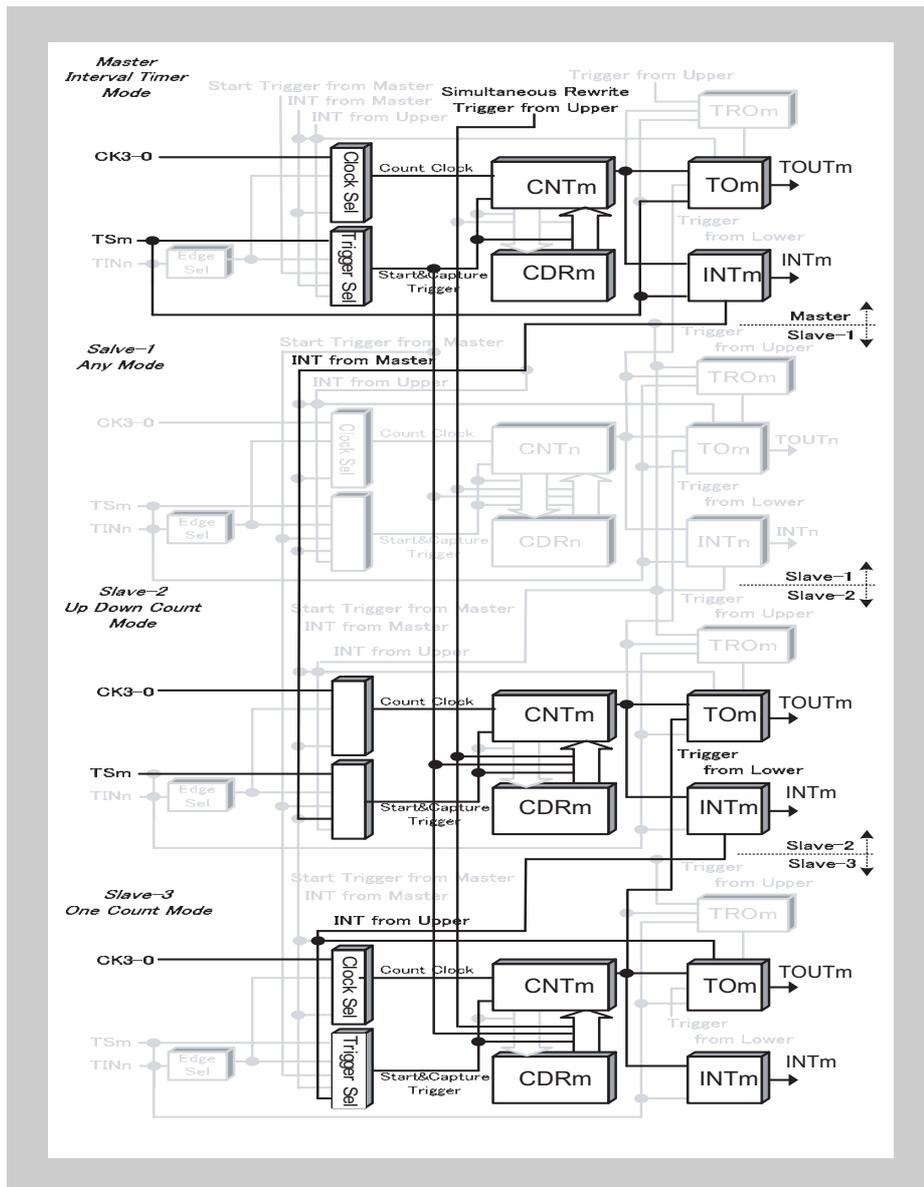


図 13-98 デッド・タイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
 - 動作開始時に INTTAUBnIm が発生する
(TAUBnCMORm.TAUBnMD0 = 1)
- スレーブ・チャンネル 2 :
 - 動作開始時に INTTAUBnIm が発生しない
(TAUBnCMORm.TAUBnMD0 = 0)
 - TAUBnTDL.TAUBnTDLm = 0
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 動作開始時に INTTAUBnIm が発生する
(TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnTDL.TAUBnTDLm = 1
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)

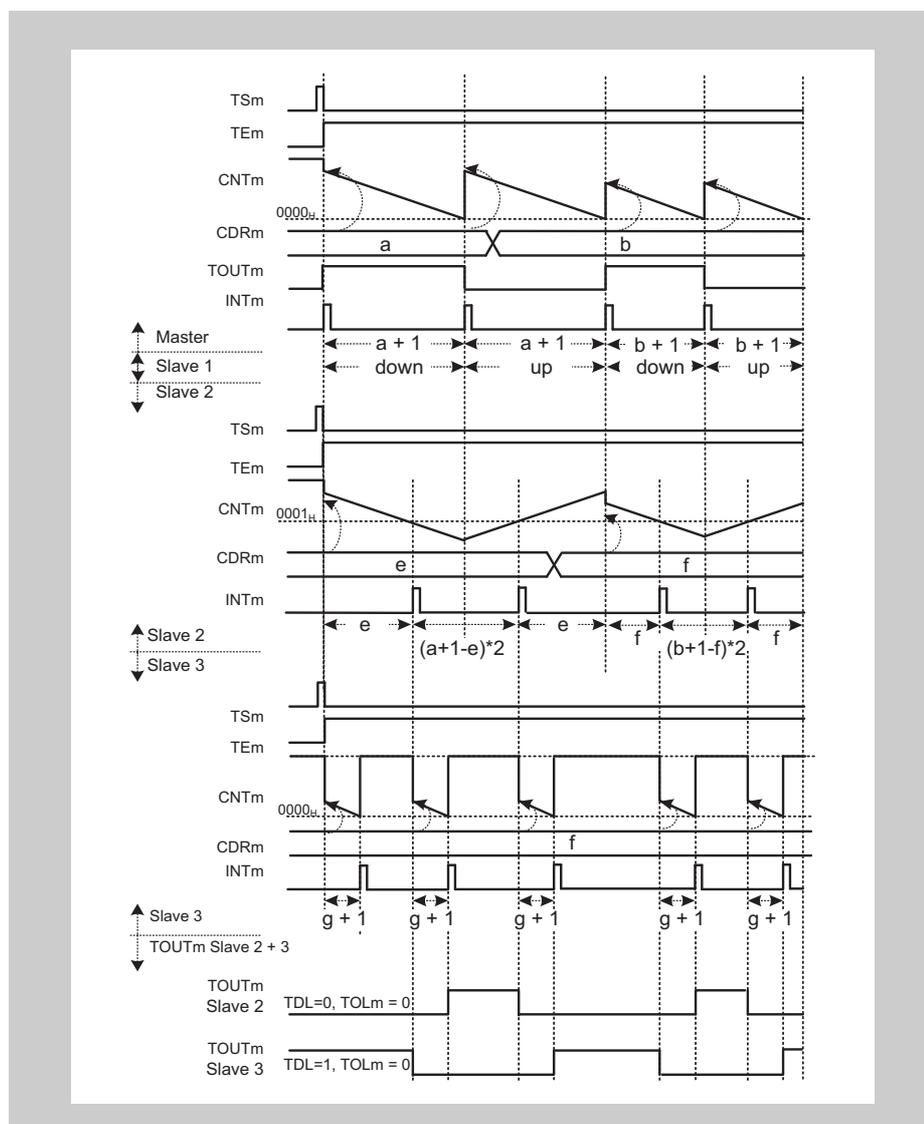


図 13-99 デッド・タイム付き三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:1]				TAUBn MD0		

表 13-125 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケーラ出力 CK0 01 : プリスケーラ出力 CK1 10 : プリスケーラ出力 CK2 11 : プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

(b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-126 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

表 13-127 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: トグル・モード時は, 設定無効 (初期値) となります
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-128 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は, マスタ・チャンネルでのカウントが開始され, 対応するマスタ・チャンネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。TAUBnRDS.TAUBnRDSm = 0 のとき, このビットの値にかかわらず, マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1 の場合, マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネル2のレジスタ設定

(a) スレーブ・チャンネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-129 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1 : 0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出力トリガ信号
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

(b) スレーブ・チャンネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-130 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネル2のチャンネル出力モード

表 13-131 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意 TDLm は、奇数チャンネルと排他設定してください。

(d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-132 三角波 PWM 出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するマスタ・チャンネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル3のレジスタ設定

(a) スレーブ・チャンネル3のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	-	TAUBnMD[4:1]				TAUBn MD0		

表 13-133 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	110 : デッド・タイム・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : カウント中のスタート・トリガ検出許可

(b) スレーブ・チャンネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-134 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

(c) スレーブ・チャンネル3のチャンネル出力モード

表 13-135 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意 TAUBnTDL.TAUBnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-136 三角波 PWM 出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するマスタ・チャンネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成 CH として動作しない。TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) デッド・タイム付き三角波 PWM 出力機能時の操作手順

表 13-137 デッド・タイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 2 のレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 3 のレジスタ設定」 に示すように設定します。</p> <p>全チャンネルの TAUBnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
	<p>動作開始</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。 TAUBnTS.TAUBnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。</p> <p>マスタ・チャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。</p>
	<p>動作中</p> <p>TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUBnRDT.TAUBnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 2) にロードするか、反対方向のカウントを開始します。 <p>TAUBnCNTm (スレーブ 2) が 0001_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUBnIm (スレーブ 2) が発生します。 スレーブ・チャンネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。 <p>スレーブ・チャンネル 3 の TAUBnCNTm が 0000_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUBnIm が発生します。
	<p>動作停止</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

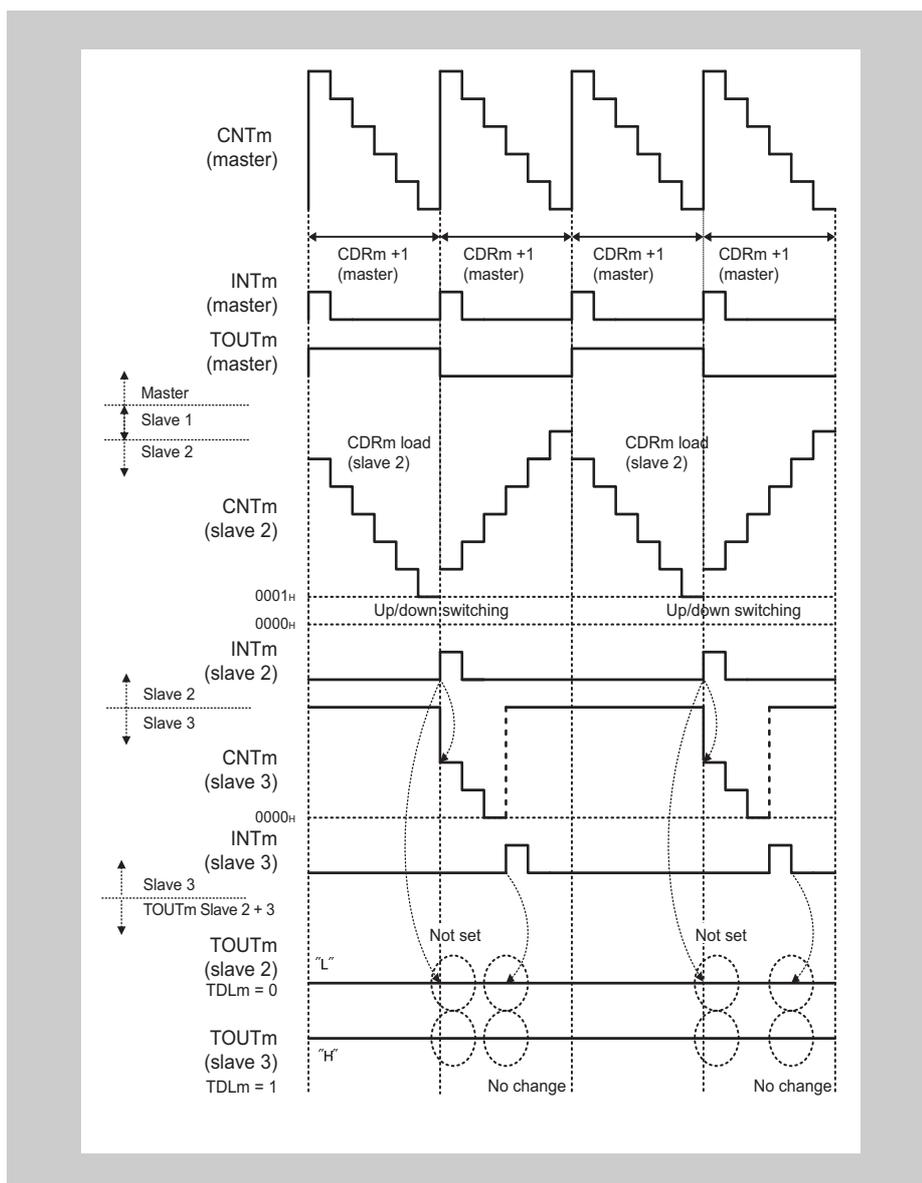


図 13-100 TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ 2) 値が TAUBnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0000_Hになります。したがって TAUBnTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップ・カウント中にスレーブ・チャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(b) デューティ・サイクル = 100 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

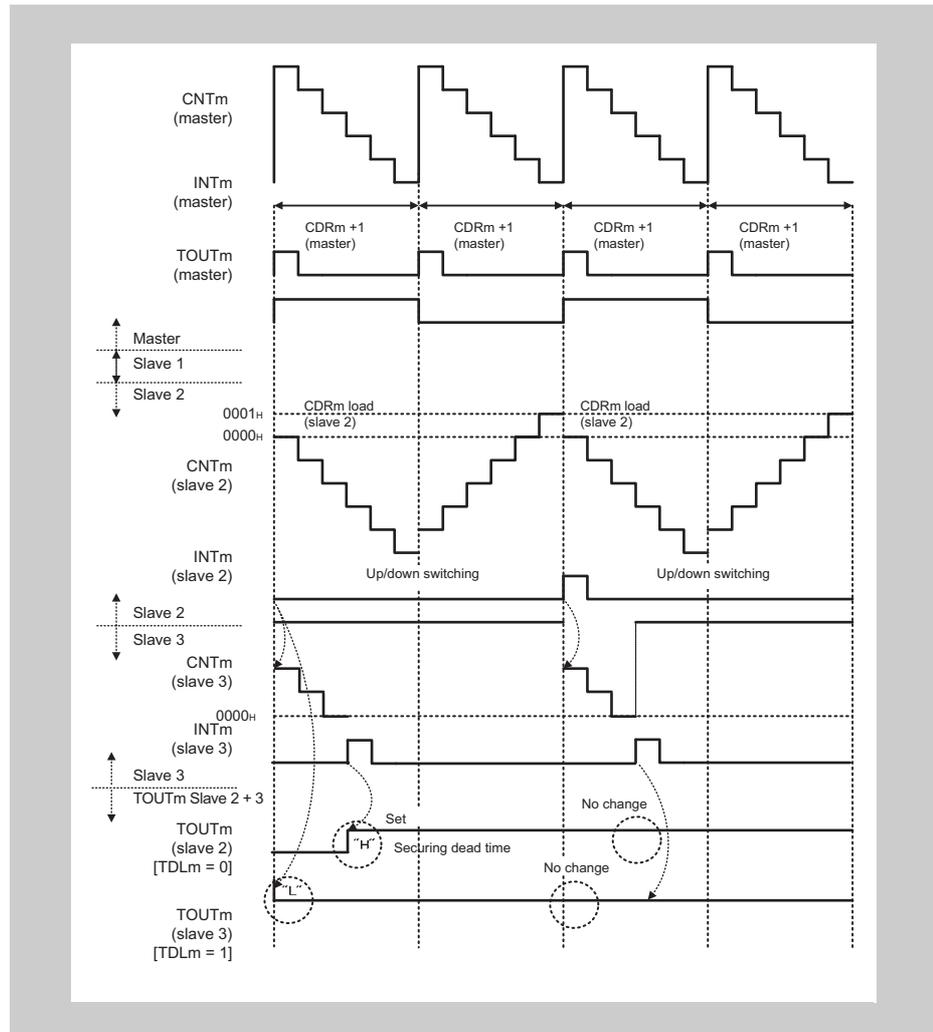


図 13-101 TAUBnCDRm (スレーブ) = 0000_H

- TAUBnCDRm (スレーブ 2) = 0000_H の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001_H になりません。したがって、アップ・カウント中に INTTAUBnIm は発生しません。
 - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャンネルでは、デッド・タイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUBnTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブ・チャンネル 3 はカウント開始時にセットされます。ただし、TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブ・チャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUBnTOUTm は初期状態のままになります。

(c) $TAUBnTTOUTm$ (スレーブ 2) = 0%, $TAUBnTTOUTm$ (スレーブ 3) \geq 0%

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 ($TAUBnTOL.TAUBnTOLm = 0$)
- スレーブ・チャンネル 3 :
 - 負論理 ($TAUBnTOL.TAUBnTOLm = 1$)

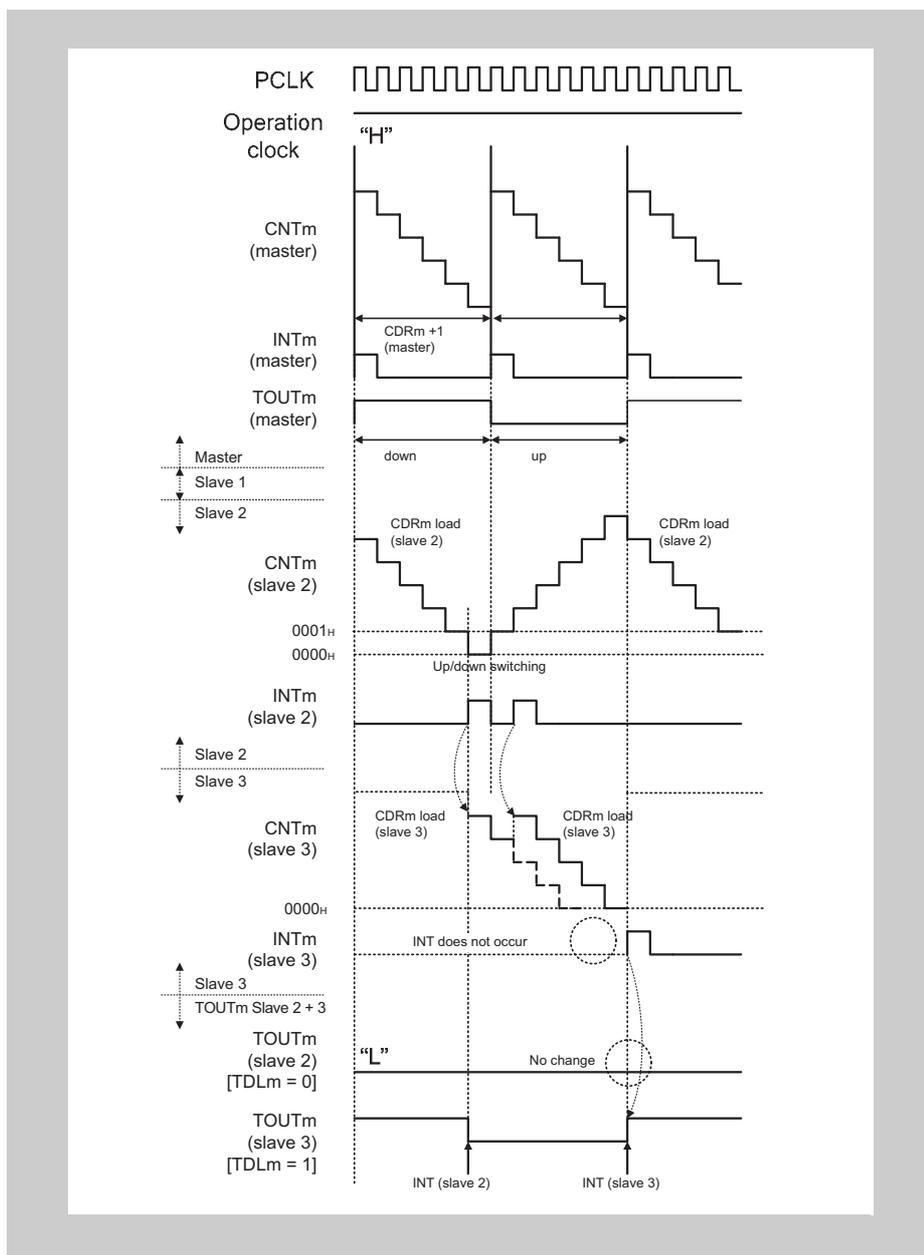


図 13-102 $TAUBnCDRm$ (マスタ) = 0005_H, $TAUBnCDRm$ (スレーブ 2) = 0005_H
 $TAUBnCDRm$ (スレーブ 3) = 0004_H

- スレーブ・チャンネル2のカウンタが0000_Hになったとき、INTTAUBnIm (スレーブ2)が発生し、スレーブ・チャンネル3のダウン・カウントが開始します。
- スレーブ・チャンネル3がダウン・カウント中にINTTAUBnIm (スレーブ2)が発生した場合、TAUBnCDRm (スレーブ3)の値はリロードされ、カウンタはこの値でダウン・カウントを再開します。
- 上の図では、カウンタがダウン・カウント中にチャンネル2で第1の割り込みが発生し、アップ・カウント中に第2の割り込みが発生しています。
- 第1の割り込みの後、TAUBnTDL.TDLm = 0となるスレーブは、設定する前にデッド・タイムが経過するのを待ちます。ただし、デッド・タイムが経過する前にスレーブ2で別の割り込みが発生すると、この間カウンタはアップ・カウントしています。これはリセット信号として動作します。つまり、TAUBnTDL.TDLm = 0となるチャンネルは常に非アクティブ状態のままです。
- TAUBnTDL.TDLm = 1のスレーブ・チャンネルのTAUBnTTOUTmは、対応するINTTAUBnImが発生するときに通常どおりセット/リセットされません。

(d) TAUBnTTOUTm (スレーブ2) > 0%, TAUBnTTOUTm (スレーブ3) = 100%

下図での設定は次のようになっています。

- スレーブ・チャンネル2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

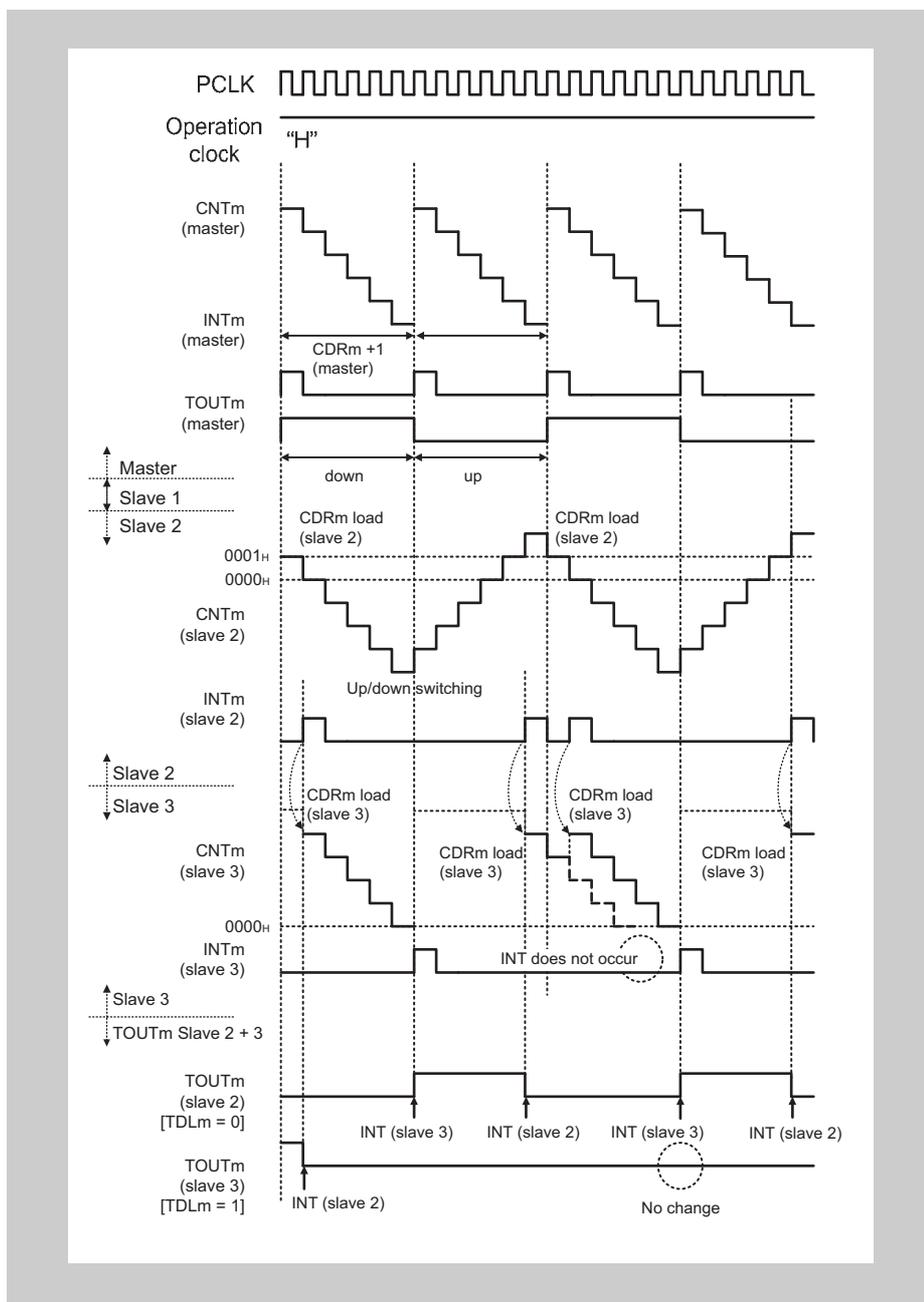


図 13-103 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ2) = 0002_H
 TAUBnCDRm (スレーブ3) = 0004_H
 PWM 信号幅 (逆相) ≥ キャリア周期

- 第2の割り込みの後、TAUBnTDL.TDLm = 1のスレーブはデッド・タイム経過後にリセットされます。ただし、デッド・タイムが経過する前にスレーブ2で別の割り込みが発生すると、この間カウンタはアップ・カウントしています。これはセット信号として動作します。つまり、TAUBnTDL.TDLm = 1のチャンネルは常にアクティブな状態のままです。
- TAUBnTDL.TDLm = 0となるスレーブ・チャンネルのTAUBnTTOUTmが設定され、対応するINTTAUBnImが発生するときに正常にリセットされます。

(e) TAUBnTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

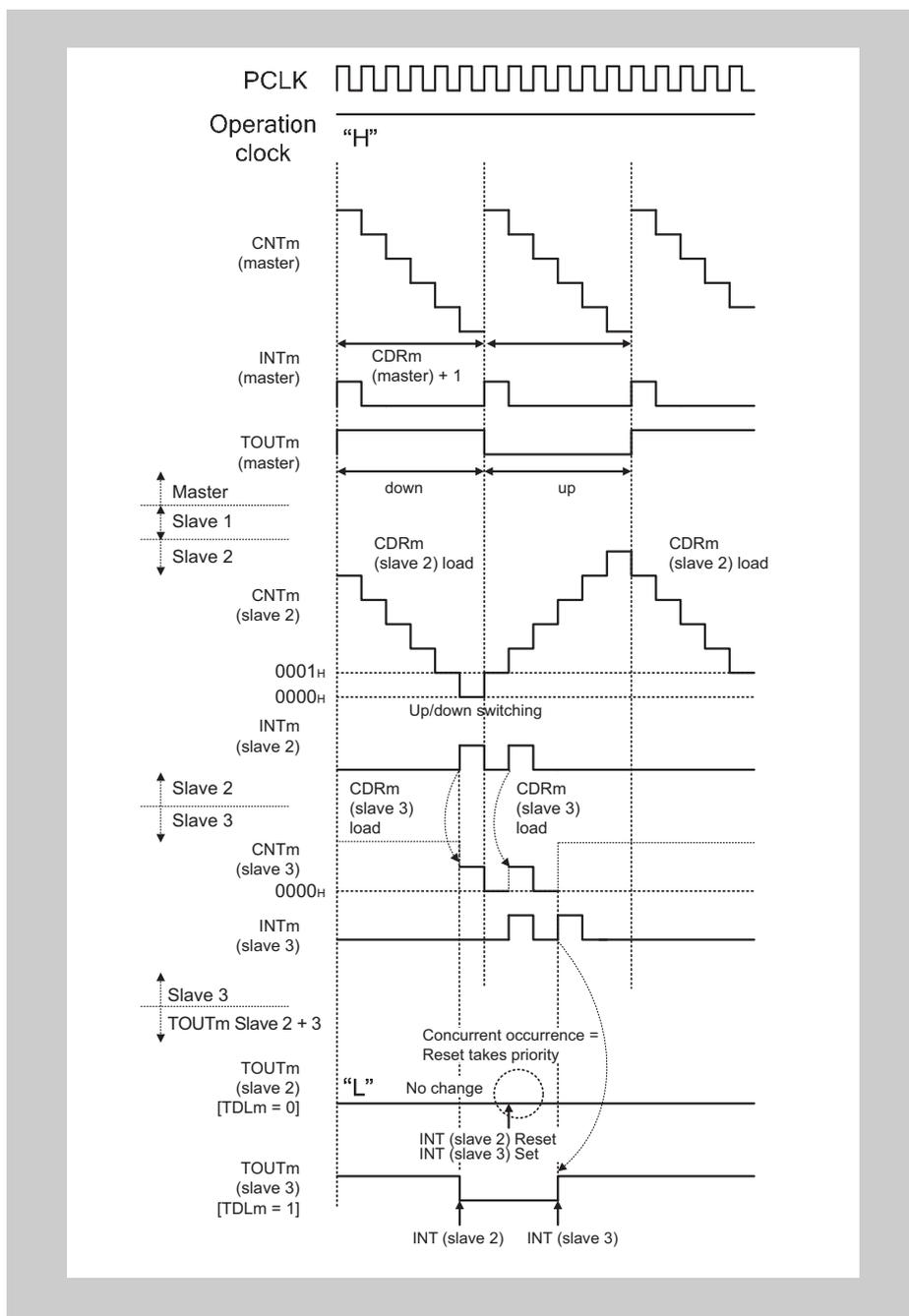


図 13-104 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0005_H,
 TAUBnCDRm (スレーブ 3) = 0001_H
 PWM 信号幅 (正相) = 0

- スレーブ・チャンネル3のカウンタが0000_Hになると INTTAUBnIm が発生し、TAUBnTDL.TDLm = 0 (この例ではスレーブ・チャンネル2) に設定されているスレーブ・チャンネルの TAUBnTTOUTm がセットされます。
- チャンネル2が INTTAUBnIm を発生し、同時に TAUBnTTOUTm をリセットする場合は、このリセット信号が優先されます (TAUBnTOL.TOLm = 0 の場合、それ以外の場合はセット信号が優先)。
- TAUBnTDL.TDLm = 0 に設定されているスレーブ・チャンネルの TAUBnTTOUTm は初期値のままになります。

(f) TAUBnTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

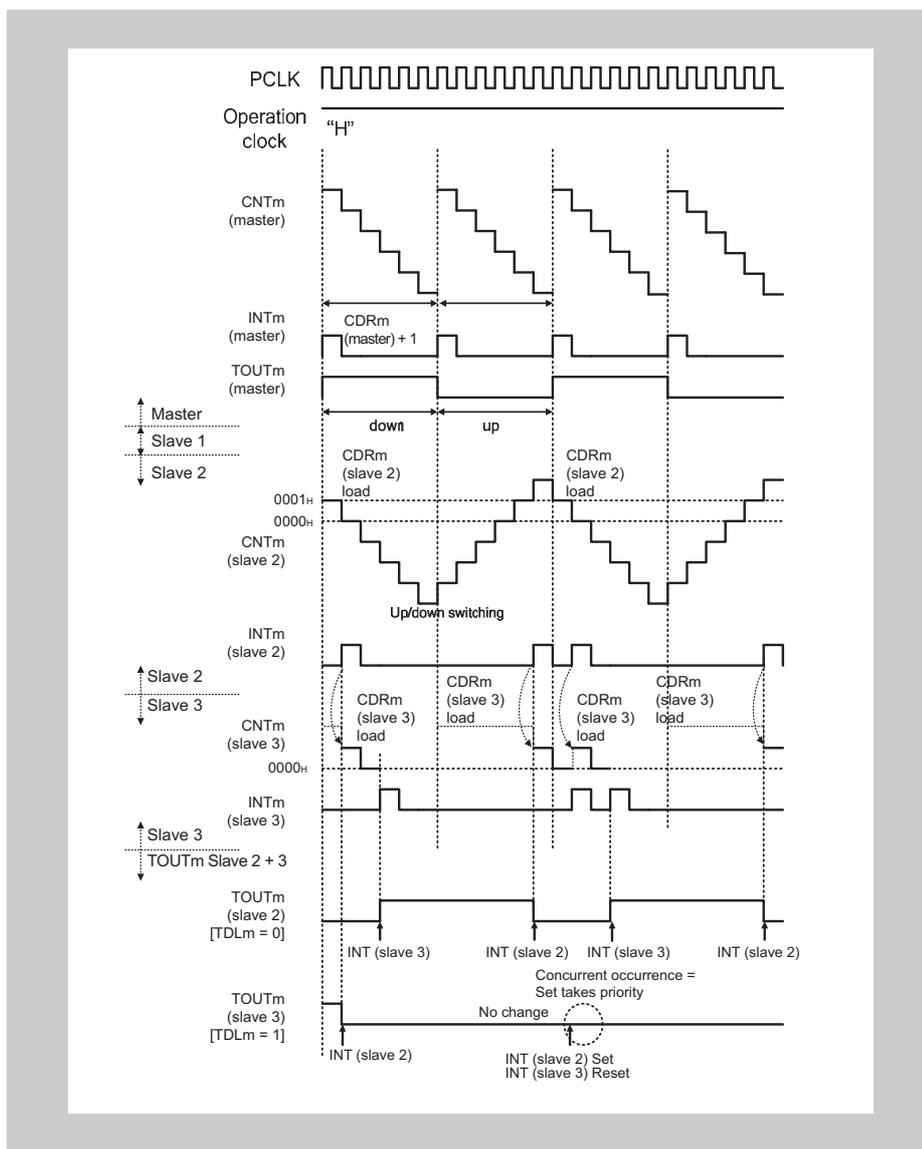


図 13-105 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0001_H,
TAUBnCDRm (スレーブ 3) = 0001_H
PWM 信号幅 (逆相) = キャリア周期

- スレーブ・チャンネル3のカウンタが0000_Hになると INTTAUBnIm が発生し、TAUBnTDL.TDLm = 1 (この例ではスレーブ・チャンネル3) に設定されているスレーブ・チャンネルの TAUBnTTOUTm がセットされます。
- チャンネル2が INTTAUBnIm を発生し、同時に TAUBnTTOUTm をリセットする場合は、セット信号が優先されます (TAUBnTOL.TOLm = 1 の場合、それ以外の場合はリセット信号が優先)。
- TAUBnTDL.TDLm = 1 に設定されているスレーブ・チャンネルの TAUBnTTOUTm は初期値のままになります。

13.22.3 A/D 変換トリガ出力機能タイプ 2

(1) 概要

概要 スレーブ・チャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

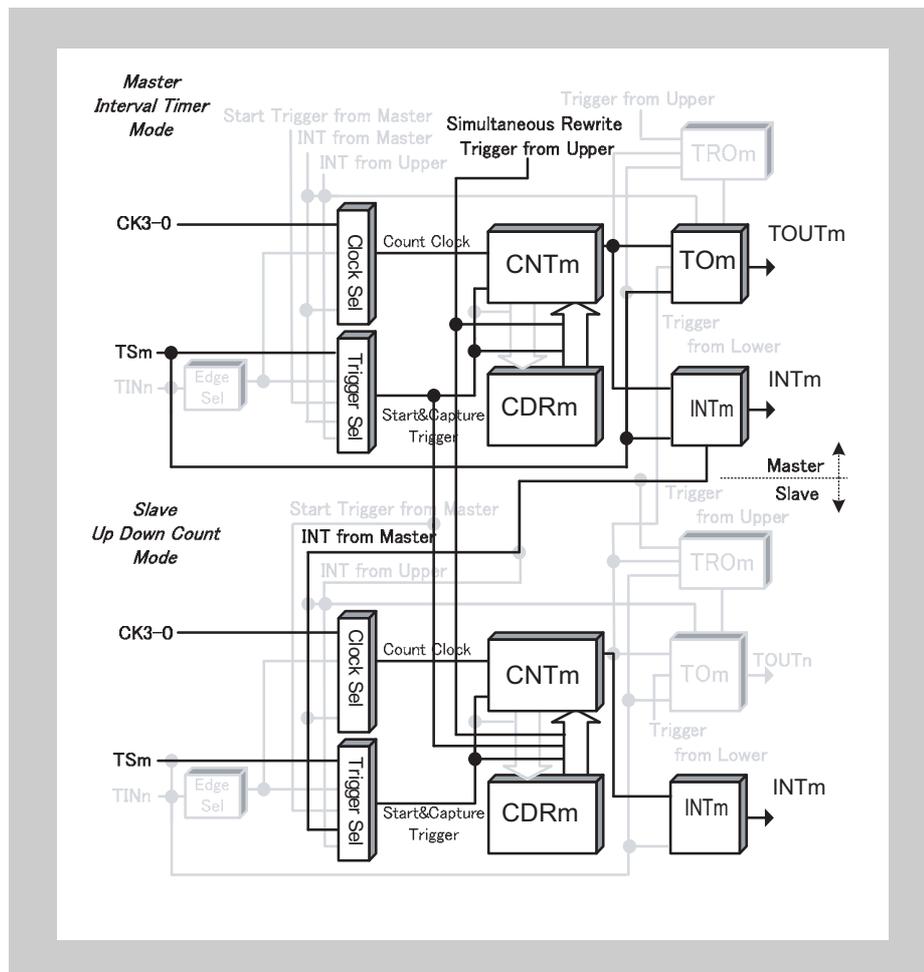


図 13-106 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
 - 動作開始時に INTTAUBnIm が発生する
(TAUBnCMORm.TAUBnMD0 = 1)

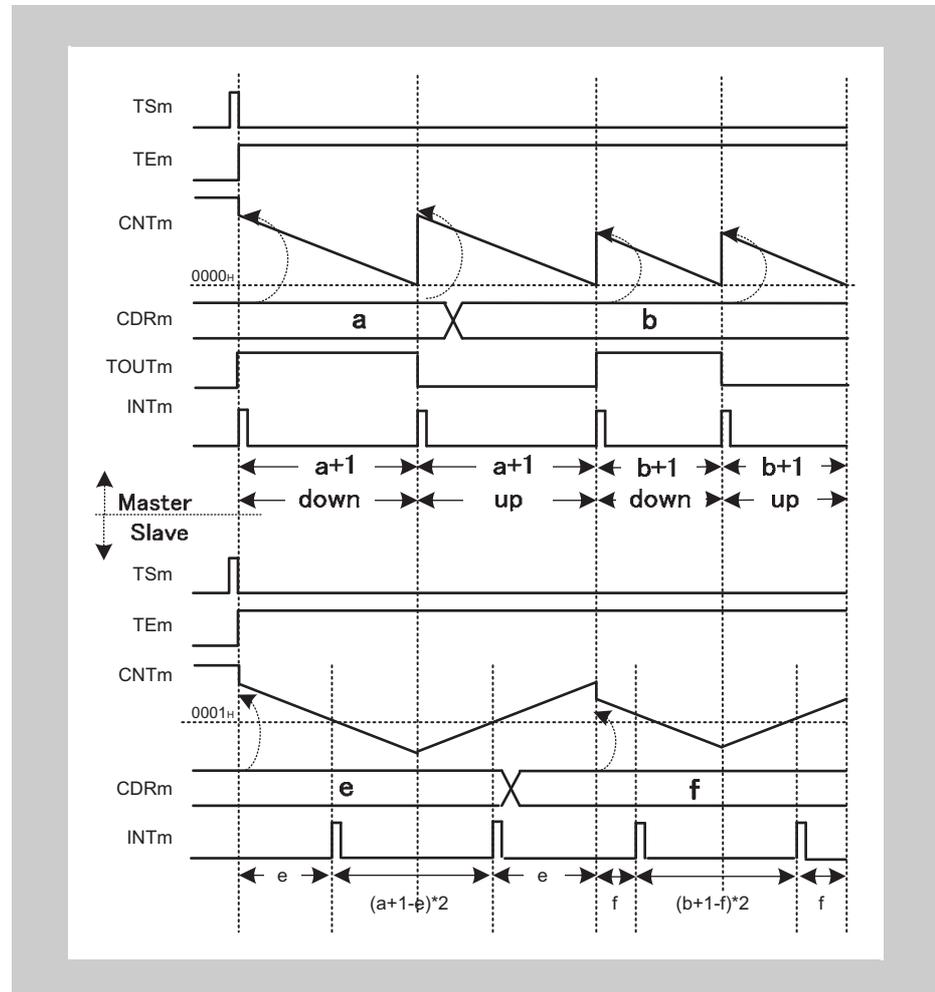


図 13-107 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

13.23 レジスタ

この節では、TAUBの全レジスタについて説明します。

13.23.1 TAUBn レジスタの概要

TAUBn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から15です。

表 13-138 TAUBn レジスタの概要 (1/2)

レジスタ名	略号	アドレス
TAUBn プリスケアラ・レジスタ		
TAUBn プリスケアラ・クロック選択レジスタ	TAUBnTPS	<TAUBn_base> + 240 _H
TAUBn 制御レジスタ		
TAUBn チャンネル・データ・レジスタ m	TAUBnCDRm	<TAUBn_base> + m × 4 _H
TAUBn チャンネル・カウンタ・レジスタ m	TAUBnCNTm	<TAUBn_base> + 80 _H + m × 4 _H
TAUBn チャンネル・モード OS レジスタ m	TAUBnCMORm	<TAUBn_base> + 200 _H + m × 4 _H
TAUBn チャンネル・モード・ユーザ・レジスタ m	TAUBnCMURm	<TAUBn_base> + C0 _H + m × 4 _H
TAUBn チャンネル・ステータス・レジスタ m	TAUBnCSRm	<TAUBn_base> + 140 _H + m × 4 _H
TAUBn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUBnCSCm	<TAUBn_base> + 180 _H + m × 4 _H
TAUBn チャンネル・スタート・トリガ・レジスタ	TAUBnTS	<TAUBn_base> + 1C4 _H
TAUBn チャンネル許可ステータス・レジスタ	TAUBnTE	<TAUBn_base> + 1C0 _H
TAUBn チャンネル・ストップ・トリガ・レジスタ	TAUBnTT	<TAUBn_base> + 1C8 _H
TAUBn 出力レジスタ		
TAUBn チャンネル出力許可レジスタ	TAUBnTOE	<TAUBn_base> + 5C _H
TAUBn チャンネル出力レジスタ	TAUBnTO	<TAUBn_base> + 58 _H
TAUBn チャンネル出力モード・レジスタ	TAUBnTOM	<TAUBn_base> + 248 _H
TAUBn チャンネル出力コンフィギュレーション・レジスタ	TAUBnTOC	<TAUBn_base> + 24C _H
TAUBn チャンネル出力アクティブ・レベル・レジスタ	TAUBnTOL	<TAUBn_base> + 040 _H
TAUBn チャンネル・デッド・タイム出力許可レジスタ	TAUBnTDE	<TAUBn_base> + 250 _H
TAUBn チャンネル・デッド・タイム出力レベル・レジスタ	TAUBnTDL	<TAUBn_base> + 54 _H
TAUBn リロード・データ・レジスタ		
TAUBn チャンネル・リロード・データ許可レジスタ	TAUBnRDE	<TAUBn_base> + 260 _H
TAUBn チャンネル・リロード・データ・モード・レジスタ	TAUBnRDM	<TAUBn_base> + 264 _H
TAUBn チャンネル・リロード・データ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base> + 268 _H
TAUBn チャンネル・リロード・データ制御レジスタ	TAUBnRDC	<TAUBn_base> + 26C _H
TAUBn チャンネル・リロード・データ・トリガ・レジスタ	TAUBnRDT	<TAUBn_base> + 44 _H
TAUBn チャンネル・リロード・ステータス・レジスタ	TAUBnRSF	<TAUBn_base> + 48 _H

表 13-138 TAUBn レジスタの概要 (2/2)

レジスタ名	略号	アドレス
TAUBn エミュレーション・レジスタ		
TAUBn エミュレーション・レジスタ	TAUBnEMU	<TAUBn_base> + 290 _H

備考 TAUBn のベース・アドレス <TAUBn_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

13.23.2 TAUBn プリスケアラ・レジスタの詳細

(1) TAUBnTPS - TAUBn プリスケアラ・クロック選択レジスタ

PCLK プリスケアラの全チャネルの CK0, CK1, CK2, CK3 クロックを指定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 240_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
R/W	R/W	R/W	R/W												

表 13-139 TAUBnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUBnPRS3 [3:0]	CK3 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUBnPRS3[3:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUBnPRS3[3:0]	CK3 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS3[3:0]	CK3 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm= 0) 場合のみ書き換え可能です。																																		

表 13-139 TAUBnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUBnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7-4	TAUBnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 13-139 TAUBnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUBnPRSO [3:0]	CK0 クロックを指定します。 <table border="1"> <thead> <tr> <th>TAUBnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm = 0) 場合のみ書き換え可能です。</p>	TAUBnPRSO[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRSO[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備考 TAUBn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

13.23.3 TAUBn 制御レジスタの詳細

(1) TAUBnCDRm - TAUBn チャンネル・データ・レジスタ

このレジスタは、TAUBnCMORm.TAUBnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUBn_base> + 0_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-140 TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCDR [15:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUBnCNTm - TAUBn チャンネル・カウンタ・レジスタ

チャンネル m カウンタ・レジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUBn_base> + 80_H + m × 4_H

初期値 0000_H または FFFF_H 初期値は動作モードによって異なります。表 13-142 「カウント再許可後の TAUBnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-141 TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCNT [15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUBnTS.TAUBnTsm, TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUBnTT.TAUBnTTm = 1)

カウント停止後 (TAUBnTE.TAUBnTEm = 0) と再許可後 (TAUBnTS.TAUBnTsm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUBnTS.TAUBnTsm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 13-142 カウント再許可後の TAUBnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUBnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF _H	停止値	-
ジャッジ・モード	ダウン・カウント	FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
イベント・カウント・モード	ダウン・カウント	FFFF _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウント・モード	アップ・カウント	0000 _H	停止値	キャプチャ値+1 (TAUBnCDRm)
ジャッジ&ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	TAUBnCNTm 値-1
アップ/ダウン・カウント・モード	アップ/ダウン・カウント	FFFF _H	停止値	-
パルス・ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	0000 _H
カウント・キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF _H	停止値	停止値
キャプチャ&ゲート・カウント・モード	アップ・カウント	0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUBnCMORm.TAUBnMD[4:1]レジスタで変更します。

(3) TAUBnCMORm - TAUBn チャンネル・モード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみライト可能です。

アドレス <TAUBn_base> + 200_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	-	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		-	TAUBnMD[4:0]						
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 13-143 TAUBnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能															
15,14	TAUBnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUBnTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS0 ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUBn CKS1</th><th>TAUBn CKS0</th><th>動作クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUBn CKS1	TAUBn CKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUBn CKS1	TAUBn CKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
12	TAUBn CCS0	<p>TAUBnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUBnCCS0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用</td></tr> <tr> <td>1</td><td>有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用</td></tr> </tbody> </table>	TAUBnCCS0	カウント・クロック選択	0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用	1	有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用									
TAUBnCCS0	カウント・クロック選択																
0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロックをカウント・クロックとして使用																
1	有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用																
11	TAUBnMAS	<p>チャンネル単体動作時 (TAUBnTOM.TAUBnTOMm = 0) は、0 を設定して下さい。 チャンネル連動動作時 (TAUBnTOM.TAUBnTOMm = 1) は、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0 : スレーブ 1 : マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 13-143 TAUBnCMORm レジスタの内容 (2/5)

ビット位置	ビット名	機能			
10-8	TAUBnSTS [2:0]	外部スタート・トリガを選択します。			
		TAUBnSTS2	TAUBnSTS1	TAUBnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUBnTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定
		0	1	0	TAUBnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT
		1	1	0	TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号
		1	1	1	マスタ・チャンネルのアップ/ダウン出カトリガ信号

表 13-143 TAUBnCMORm レジスタの内容 (3/5)

ビット位置	ビット名	機能			
7, 6	TAUBnCOS [1:0]	チャンネル m のキャプチャ・レジスタ TAUBnCDRm とオーバフロー・フラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUBnCOS1	TAUBnCOS0	TAUBnCDRm	TAUBnCSRm.TAUBnOVF
		0	0	TAUBnTTINm 入力有効エッジを検出すると更新	TAUBnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア
		0	1		カウンタ・オーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア
		1	0	TAUBnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	TAUBnTTINm 入力有効エッジ検出 : カウンタ値が TAUBnCDRm に書き込まれる オーバフロー発生 : FFFF _H が TAUBnCDRm にロードされる。次の TAUBnTTINm 入力有効エッジ検出は無視される。	カウンタ・オーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア

表 13-143 TAUBnCMORm レジスタの内容 (4/5)

ビット位置	ビット名	機能					
4-0	TAUBnMD [4:0]	動作モードを指定します。					
		TAUBn MD4	TAUBn MD3	TAUBn MD2	TAUBn MD1	TAUBn MD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	ジャッジ・モード
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	0	イベント・カウント・モード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	ジャッジ&ワンカウント・モード
		1	0	0	0	0	設定禁止
		1	0	0	1	0	アップ/ダウン・カウント・モード
		1	0	1	0	1/0	パルス・ワンカウント・モード
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード
モード	TAUBnMD0 ビットの役割						
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する						
イベント・カウント・モード ゲート・カウント・モード アップ/ダウン・カウント・モード	このビットは0に設定する必要があります。						
ワンカウント・モード パルス・ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0：禁止 1：許可						

表 13-143 TAUBnCMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能
	モード	TAUBnMD0 ビットの役割
	キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは0に設定する必要があります。
	判定モード 判定&ワンカウント・モード	INTTAUBnIm の出力タイミングを指定します。 0 : TAUBnCNTm ≤ TAUBnCDRm 時 1 : TAUBnCNTm > TAUBnCDRm 時

(4) TAUBnCMURm - TAUBn チャネル・モード・ユーザ・レジスタ

このレジスタは、TAUBnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + C0_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 13-144 TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUBnTIS [1:0]	TAUBnTTINm 入力信号の有効エッジを指定します。 <table border="1" data-bbox="550 817 1380 1243"> <thead> <tr> <th>TAUBn TIS1</th> <th>TAUBn TIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table>	TAUBn TIS1	TAUBn TIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUBn TIS1	TAUBn TIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															
		<ul style="list-style-type: none"> TAUBnTTINm 入力信号のエッジ検出は、TAUBnCMORm.TAUBnCKS[1:0] で選択した動作クロックに基づいて行われます。 															

(5) TAUBnCSRm - TAUBn チャンネル・ステータス・レジスタ

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUBn_base> + 140_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBn CSF	TAUBn OVF
R	R	R	R	R	R	R	R

表 13-145 TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
1	TAUBn CSF	カウント方向を示します。 0: アップ・カウント 1: ダウン・カウント このビットのリード値は、次のモード時にのみ有効です。 • アップ/ダウン・カウント・モード
0	TAUBn OVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ&ワンカウント・モード このビットの機能は、制御ビット TAUBnCMORm.TAUBnCOS[1:0] の設定により異なります。

(6) TAUBnCSCm - TAUBn チャンネル・ステータス・クリア・レジスタ

このレジスタは、チャンネル m のオーバフロー・フラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUBn_base> + 180_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUBn CLOV
R	R	R	R	R	R	R	W

表 13-146 TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUBnCLOV	0: 機能なし 1: オーバフロー・フラグ TAUBnCSRm.TAUBnOVF をクリア

(7) TAUBnTS - TAUBn チャンネル・スタート・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + 1C4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TS15	TAUBn TS14	TAUBn TS13	TAUBn TS12	TAUBn TS11	TAUBn TS10	TAUBn TS09	TAUBn TS08	TAUBn TS07	TAUBn TS06	TAUBn TS05	TAUBn TS04	TAUBn TS03	TAUBn TS02	TAUBn TS01	TAUBn TS00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-147 TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUBnTE.TAUBnTEm = 1 を設定。 TAUBnTE.TAUBnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。 カウンタが開始されるかどうかは、選択されている動作モードによって異なります。

(8) TAUBnTE - TAUBn チャンネル許可ステータス・レジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUBn_base> + 1C0_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TE15	TAUBn TE14	TAUBn TE13	TAUBn TE12	TAUBn TE11	TAUBn TE10	TAUBn TE09	TAUBn TE08	TAUBn TE07	TAUBn TE06	TAUBn TE05	TAUBn TE04	TAUBn TE03	TAUBn TE02	TAUBn TE01	TAUBn TE00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-148 TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTE _m	チャンネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUBnTSST _m （チャンネル連動スタート・トリガ信号）のトリガ入力を検知するか、TAUBnTS.TAUBnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUBnTT.TAUBnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

(9) TAUBnTT - TAUBn チャンネル・ストップ・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + 1C8_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TT15	TAUBn TT14	TAUBn TT13	TAUBn TT12	TAUBn TT11	TAUBn TT10	TAUBn TT09	TAUBn TT08	TAUBn TT07	TAUBn TT06	TAUBn TT05	TAUBn TT04	TAUBn TT03	TAUBn TT02	TAUBn TT01	TAUBn TT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-149 TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTT _m	チャンネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUBnTE.TAUBnTE _m をリセットします。 TAUBnCNT _m , TAUBnTO.TAUBnTO _m , TAUBnTTOUT _m は、カウント停止前の値を保持します。

13.23.4 TAUBn 出力レジスタの詳細

(1) TAUBnTOE - TAUBn チャネル出力許可レジスタ

このレジスタは、該当するチャネルの TAUBnTTOUtm 出力モードを選択します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 5C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOE15	TAUBn TOE14	TAUBn TOE13	TAUBn TOE12	TAUBn TOE11	TAUBn TOE10	TAUBn TOE09	TAUBn TOE08	TAUBn TOE07	TAUBn TOE06	TAUBn TOE05	TAUBn TOE04	TAUBn TOE03	TAUBn TOE02	TAUBn TOE01	TAUBn TOE00
R/W															

表 13-150 TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOEm	タイマ単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア制御) 1: タイマ単体出力機能を許可 チャネルのタイマ出力が禁止されている (TAUBnTOEm = 0) TAUBnTOMm ビットのみライト可能です。

(2) TAUBnTOM - TAUBn チャネル出力モード・レジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 248_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOM15	TAUBn TOM14	TAUBn TOM13	TAUBn TOM12	TAUBn TOM11	TAUBn TOM10	TAUBn TOM09	TAUBn TOM08	TAUBn TOM07	TAUBn TOM06	TAUBn TOM05	TAUBn TOM04	TAUBn TOM03	TAUBn TOM02	TAUBn TOM01	TAUBn TOM00
R/W															

表 13-151 TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは表 13-19 「チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

(3) TAUBnTOC - TAUBn チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUBnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 24C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOC15	TAUBn TOC14	TAUBn TOC13	TAUBn TOC12	TAUBn TOC11	TAUBn TOC10	TAUBn TOC09	TAUBn TOC08	TAUBn TOC07	TAUBn TOC06	TAUBn TOC05	TAUBn TOC04	TAUBn TOC03	TAUBn TOC02	TAUBn TOC01	TAUBn TOC00
R/W															

表 13-152 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能													
15-0	TAUBn TOCm	出力モードを指定します。 0 : 動作モード1 1 : 動作モード2 次の表にあるように、出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。 <table border="1" data-bbox="525 996 1385 1473"> <thead> <tr> <th>TOMm</th><th>TOCm</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td rowspan="2">0</td><td>0</td><td>トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。</td></tr> <tr> <td>1</td><td>セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm, TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。</td></tr> <tr> <td rowspan="2">1</td><td>0</td><td>チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。</td></tr> <tr> <td>1</td><td>チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。</td></tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。	1	セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm, TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。	1	チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。
TOMm	TOCm	機能説明													
0	0	トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。													
	1	セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm, TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。													
1	0	チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。													
	1	チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。													

(4) TAUBnTDE - TAUBn チャンネル・デッド・タイム出力許可レジスタ

このレジスタは、全チャンネルのデッド・タイム動作を許可／禁止します。

アクセス 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTE_m = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 250_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDE15	TAUBnTDE14	TAUBnTDE13	TAUBnTDE12	TAUBnTDE11	TAUBnTDE10	TAUBnTDE09	TAUBnTDE08	TAUBnTDE07	TAUBnTDE06	TAUBnTDE05	TAUBnTDE04	TAUBnTDE03	TAUBnTDE02	TAUBnTDE01	TAUBnTDE00
R/W															

表 13-153 TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDE _m	チャンネル m のデッド・タイム制御動作を許可／禁止します。 0: デッド・タイム動作禁止 1: デッド・タイム動作許可 対になった偶数／奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOE _m , TAUBnTOM.TAUBnTOM _m , TAUBnTOC.TAUBnTOC _m = 1

(5) TAUBnTDL - TAUBn チャンネル・デッド・タイム出力レベル・レジスタ

このレジスタは、デッド・タイムを付加する位相を選択します。

アクセス 16ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + 54_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDL15	TAUBnTDL14	TAUBnTDL13	TAUBnTDL12	TAUBnTDL11	TAUBnTDL10	TAUBnTDL09	TAUBnTDL08	TAUBnTDL07	TAUBnTDL06	TAUBnTDL05	TAUBnTDL04	TAUBnTDL03	TAUBnTDL02	TAUBnTDL01	TAUBnTDL00
R/W															

表 13-154 TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDL _m	デッド・タイムを付加する位相を選択します。 0: 正相 1: 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOE _m , TAUBnTOM.TAUBnTOM _m , TAUBnTOC.TAUBnTOC _m , TAUBnTDE.TAUBnTDE _m = 1

13.23.5 TAUBn チャネル出力レベル・レジスタの詳細

(1) TAUBnTO - TAUBn チャネル出力レジスタ

このレジスタは、TAUBnTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 58_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TO15	TAUBn TO14	TAUBn TO13	TAUBn TO12	TAUBn TO11	TAUBn TO10	TAUBn TO09	TAUBn TO08	TAUBn TO07	TAUBn TO06	TAUBn TO05	TAUBn TO04	TAUBn TO03	TAUBn TO02	TAUBn TO01	TAUBn TO00
R/W															

表 13-155 TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOM	このレジスタは、TAUBnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャネル単体出力機能が禁止されている (TAUBnTOEm = 0) TAUBnTOM ビットのみのライト可能です。

(2) TAUBnTOL - TAUBn チャネル出力レベル・レジスタ

このレジスタは、チャネル出力ビット (TAUBnTO.TAUBnTOM) の出力論理を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 040_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOL15	TAUBn TOL14	TAUBn TOL13	TAUBn TOL12	TAUBn TOL11	TAUBn TOL10	TAUBn TOL09	TAUBn TOL08	TAUBn TOL07	TAUBn TOL06	TAUBn TOL05	TAUBn TOL04	TAUBn TOL03	TAUBn TOL02	TAUBn TOL01	TAUBn TOL00
R/W															

表 13-156 TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOLm	チャネル m 出力ビット (TAUBnTO.TAUBnTOM) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

13.23.6 TAUBn 一斉書き換えレジスタの詳細

(1) TAUBnRDE - TAUBn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 260_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDE15	TAUBnRDE14	TAUBnRDE13	TAUBnRDE12	TAUBnRDE11	TAUBnRDE10	TAUBnRDE09	TAUBnRDE08	TAUBnRDE07	TAUBnRDE06	TAUBnRDE05	TAUBnRDE04	TAUBnRDE03	TAUBnRDE02	TAUBnRDE01	TAUBnRDE00
R/W															

表 13-157 TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

(2) TAUBnRDS - TAUBn チャンネル・リロード・データ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 268_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDS15	TAUBnRDS14	TAUBnRDS13	TAUBnRDS12	TAUBnRDS11	TAUBnRDS10	TAUBnRDS09	TAUBnRDS08	TAUBnRDS07	TAUBnRDS06	TAUBnRDS05	TAUBnRDS04	TAUBnRDS03	TAUBnRDS02	TAUBnRDS01	TAUBnRDS00
R/W															

表 13-158 TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0：マスタ・チャンネル 1：別の上位チャンネル

(3) TAUBnRDM - TAUBn チャンネル・リロード・データ・モード・レジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 264_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDM15	TAUBnRDM14	TAUBnRDM13	TAUBnRDM12	TAUBnRDM11	TAUBnRDM10	TAUBnRDM09	TAUBnRDM08	TAUBnRDM07	TAUBnRDM06	TAUBnRDM05	TAUBnRDM04	TAUBnRDM03	TAUBnRDM02	TAUBnRDM01	TAUBnRDM00
R/W															

表 13-159 TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1, TAUBnRDS.TAUBnRDSm = 0 時のみ適用されます。

(4) TAUBnRDC - TAUBn チャンネル・リロード・データ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 26C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDC15	TAUBnRDC14	TAUBnRDC13	TAUBnRDC12	TAUBnRDC11	TAUBnRDC10	TAUBnRDC09	TAUBnRDC08	TAUBnRDC07	TAUBnRDC06	TAUBnRDC05	TAUBnRDC04	TAUBnRDC03	TAUBnRDC02	TAUBnRDC01	TAUBnRDC00
R/W															

表 13-160 TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガ・チャンネルとならない。 1: 一斉書き換えトリガ・チャンネルとして動作する。 これらのビット設定は TAUBnRDS.TAUBnRDSm = 1 時のみ適用されます。

(5) TAUBnRDT - TAUBn チャンネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + 044_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDT15	TAUBnRDT14	TAUBnRDT13	TAUBnRDT12	TAUBnRDT11	TAUBnRDT10	TAUBnRDT09	TAUBnRDT08	TAUBnRDT07	TAUBnRDT06	TAUBnRDT05	TAUBnRDT04	TAUBnRDT03	TAUBnRDT02	TAUBnRDT01	TAUBnRDT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-161 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし。0 を書き込む操作は無視されます (動作に影響しません)。 1: 一斉書き換え保留フラグ (TAUBnRSFm) を 1 とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnRDE.TAUBnRDEm = 1

(6) TAUBnRSF - TAUBn チャンネル・リロード・ステータス・レジスタ

このフラグ・レジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUBn_base> + 048_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRSF15	TAUBnRSF14	TAUBnRSF13	TAUBnRSF12	TAUBnRSF11	TAUBnRSF10	TAUBnRSF09	TAUBnRSF08	TAUBnRSF07	TAUBnRSF06	TAUBnRSF05	TAUBnRSF04	TAUBnRSF03	TAUBnRSF02	TAUBnRSF01	TAUBnRSF00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-162 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態 (TAUBnRDTm = 1) になっていることを示します。

13.23.7 TAUBn エミュレーション・レジスタ

(1) TAUBnEMU - TAUBn エミュレーション・レジスタ

このレジスタは、オンチップ・デバッガによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、TAUBn のカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、タイマ・カウント停止中（TAUBnTE.TAUBnTEm = 0）かつ、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <TAUBn_base> + 290_H

初期値 00_H

	7	6	5	4	3	2	1	0
TAUBn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 13-163 TAUBnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUBn SVSDIS	デバッグ時のカウント・クロックの継続 / 停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

第14章 タイマ・アレイ・ユニットJ (TAUJ)

この章では、タイマ・アレイ・ユニットJ (TAUJ) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Lに固有の特徴について説明します。

以降の節で、TAUJ 搭載製品に共通の特徴について説明します。

14.1 V850E2/Fx4-L の TAUJ の特長

ユニット この製品は次のユニット数の TAUJ を搭載しています。

表 14-1 TAUJ のユニット数

TAUJ	
ユニット数	1
名称	TAUJ0

n の意味 この章では、TAUJ の各ユニットを「n」で識別します (n = 0)。たとえば、TAUJn チャンネル出力モード・レジスタ (TAUJnTOM) のように記述しています。

m の意味 TAUJ には 4 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-3)、特定のチャンネルを CHm のように記述しています。偶数チャンネル (m = 0, 2) は CHm_even と記述します。奇数チャンネル (m = 1, 3) は CHm_odd と記述します。

レジスタ・アドレス TAUJn レジスタのアドレスは、それぞれのベース・アドレス <TAUJn_base> からのオフセットで表されます。各 TAUJn のレジスタ・ベース・アドレス <TAUJn_base> を次の表に示します。

表 14-2 レジスタ・ベース・アドレス <TAUJn_base>

TAUJn	<TAUJn_base> アドレス
TAUJ0	FF81 1000 _H

クロック供給 TAUJ には次の 1 つのクロック入力があります。

表 14-3 TAUJn クロック供給

TAUJn	クロック	接続先
TAUJ0	PCLK	クロック発生回路 CKSCLK_A03

割り込みと DMA TAUJ は次の割り込み要求と DMA 要求を発生させることができます。

表 14-4 TAUJn 割り込みと DMA の要求

TAUJn 信号	機能	接続先
TAUJ0 :		
INTTAUJ0I0	チャンネル 0 割り込み	割り込みコントローラ INTTAUJ0I0 DMA コントローラ・トリガ 44
INTTAUJ0I1	チャンネル 1 割り込み	割り込みコントローラ INTTAUJ0I1 DMA コントローラ・トリガ 45
INTTAUJ0I2	チャンネル 2 割り込み	割り込みコントローラ INTTAUJ0I2 DMA コントローラ・トリガ 46
INTTAUJ0I3	チャンネル 3 割り込み	割り込みコントローラ INTTAUJ0I3 DMA コントローラ・トリガ 47

入出力信号 TAUJ の入出力信号を次の表に示します。

表 14-5 TAUJn 入出力信号

TAUJ 信号	機能	接続先
TAUJ0 :		
TAUJ0TTIN0- TAUJ0TTIN3	チャンネル 0-3 入力	ポート TAUJ0I0-TAUJ0I3
TAUJ0TTOUT0- TAUJ0TTOUT3	チャンネル 0-3 出力	ポート TAUJ0O0-TAUJ0O3
TAUJnTSSTm	同時スタートトリガ入力	0 に固定

14.2 機能概要

機能概要 TAUJには、次の機能があります。

- 4チャンネル
- チャンネルごとの32ビット・カウンタおよび32ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUJの主な構成要素を次の図に示します。

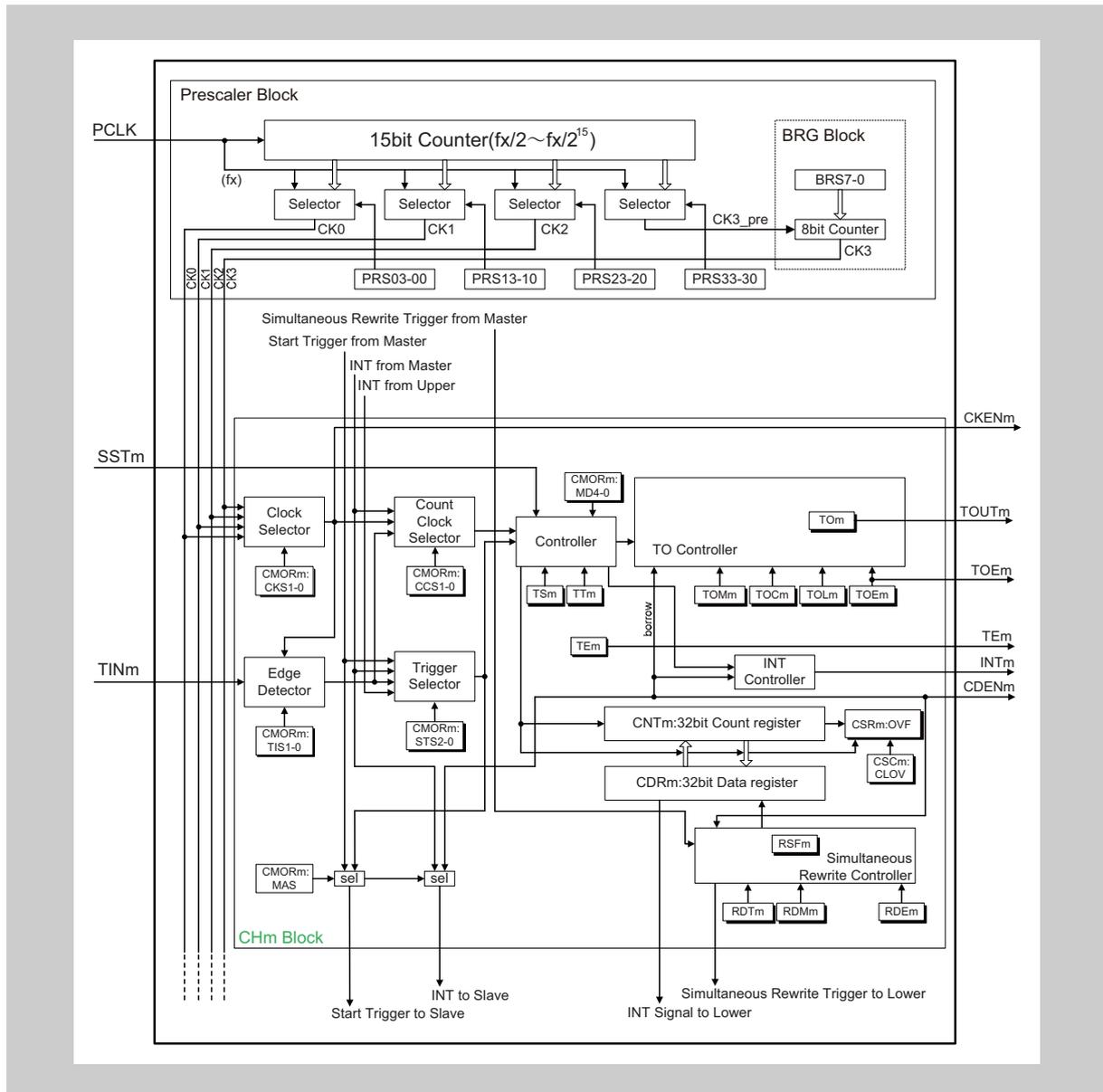


図 14-1 TAUJのブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

14.2.1 用語

この章で使用されている用語について説明します。

- **チャンネル単体／連動動作**

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- **チャンネル・グループ**

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- **動作モード**

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、インターバル・タイマ・モードなどがあります。

- **チャンネル出力モード**

チャンネル出力モードは、次のチャンネルの $TAUJnTTOUTm$ の動作を規定します。

- 1つのチャンネル（単体出力動作）
 - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル出力モードには、チャンネル単体出力モード1があります。

- **チャンネル動作機能**

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- **上位／下位チャンネル**

チャンネル m から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。

14.3 機能説明

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビット・カウンタ TAUJnCNTm と 32ビット・データ・レジスタ TAUJnCDRm をそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK2 は、プリスケアラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウント・クロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよび カウント・クロック の選択

クロック・カウント・セレクタは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクタにより選択)
- マスタ・チャンネルからの INTTAUJnIm
- TAUJnTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUJnTE.TAUJnTEm がセットされます。

トリガ・セレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力 TAUJnTSSm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

- 一斉書き換えコントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUJnTOコントローラ** 各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

14.3.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 14-6 TAUJ 動作機能一覧

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUJnTTINm 入力インターバル・タイマ機能	
チャンネル単体信号測定機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	
TAUJnTTINm 入力期間カウント検出機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	
TAUJnTTINm 入力パルス・インターバル判定機能	
TAUJnTTINm 入力信号幅判定機能	
その他チャンネル単体機能	
TAUJnTTINm 入力位置検出機能	

14.4 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUJnTTOUTm の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - チャンネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は、

14.14 「チャンネル単体割り込み機能」

14.15 「チャンネル単体信号測定機能」

14.16 「その他のチャンネル単体機能」

を参照してください。

14.5 動作モード

TAUJには7の動作モードがあります。

各チャンネルに動作モードを1つ指定できます。動作モードは、TAUJnCMORm.TAUJnMD[4:0]ビットで指定します。

備考 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

14.6 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、14.6.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 14.6.2「連動チャンネル・カウンタの同時動作開始／停止」
- 14.7「一斉書き換え」

14.6.1 ルール

マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。
例：CH2がマスタ・チャンネルの場合、CH3をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを2つ使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。
例：CH0, CH2がマスタ・チャンネルの場合、CH0に対してCH1をスレーブ・チャンネルとして設定できますが、CH3は設定できません。

動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

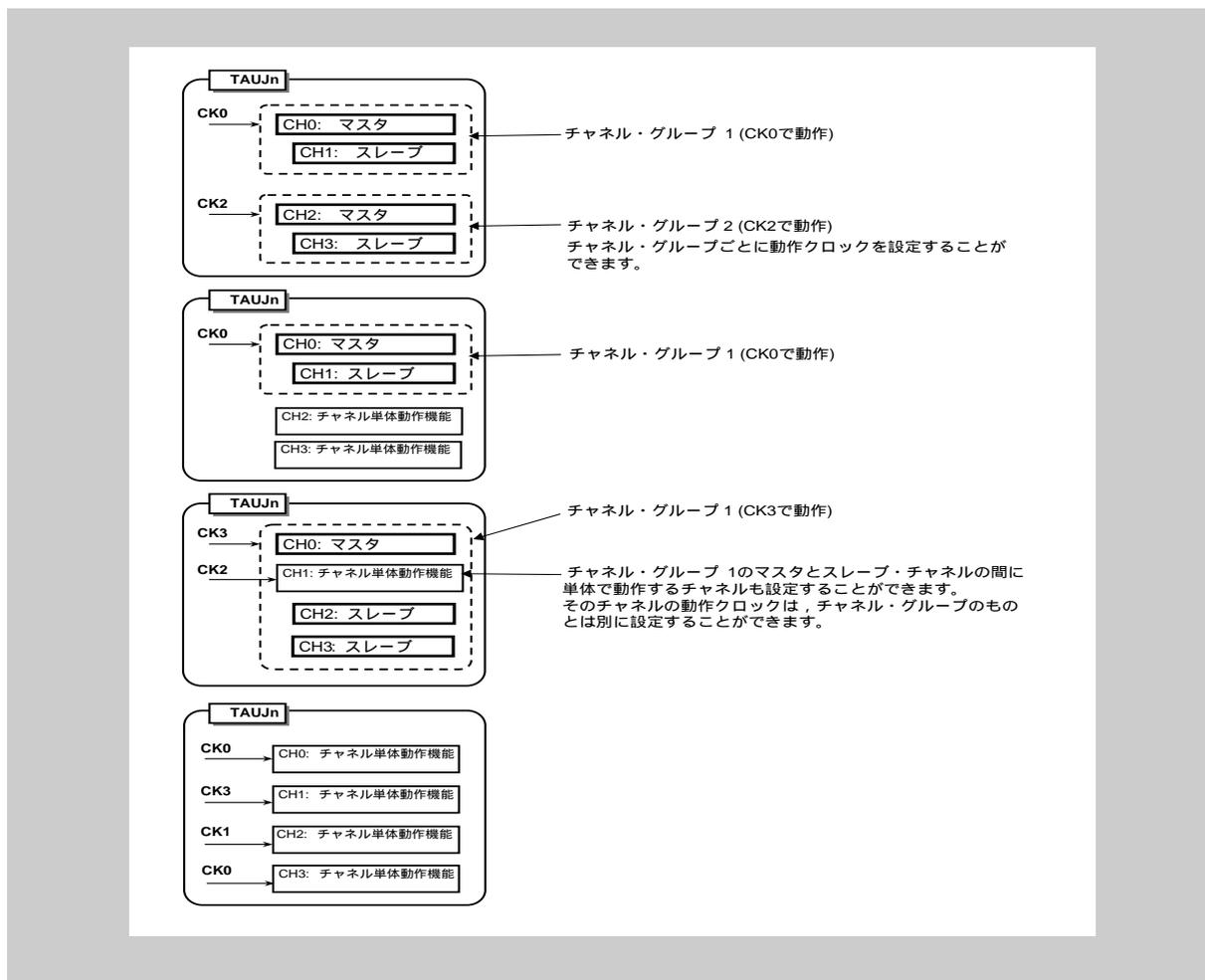


図 14-2 チャンネルのグループ化と動作クロックの割り当て

マスター・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号Iを使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

14.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらのTAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらのTAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに1を設定することにより、対応するTAUJnTE.TAUJnTEm ビットが1にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

14.7 一斉書き換え

14.7.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

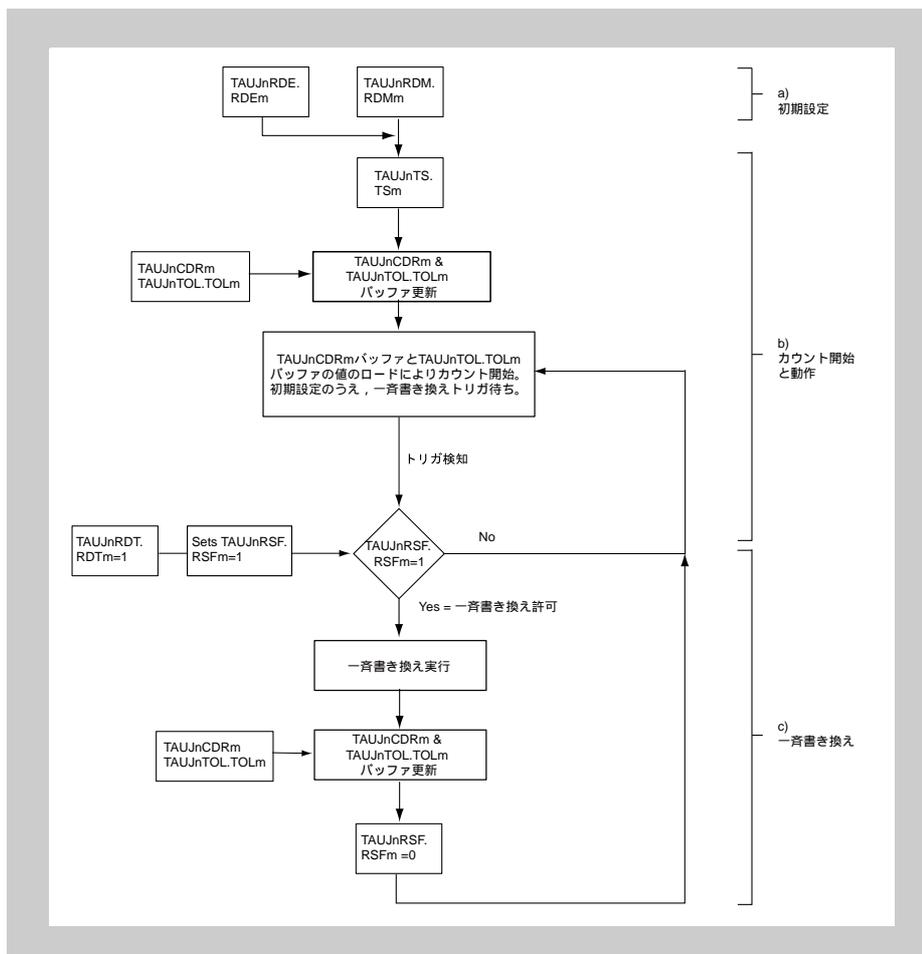


図 14-3 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、
TAUJnRDE.TAUJnRDEm = 1 を設定してください。
- マスタ・チャンネルがカウント開始時に一斉書き換えの種類を選ぶには、
TAUJnRDM.TAUJnRDMm を設定してください。

(2) カウント開始とカウント動作

- チャンネル・グループに属するすべての TAUJnCnTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータ・レジスタ (TAUJnCDRm) の値は、対応する TAUJnTOL.TAUJnTOLm バッファ (TAUJnTOL.TAUJnTOLm buf) とデータ・バッファ・レジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、リロード・フラグ (TAUJnRSF.TAUJnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

14.7.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUJnTE.TAUJnTEm = 1) は、TAUJnRDE.TAUJnRDEm, TAUJnRDM.TAUJnRDMm を変更することはできません。
- TAUJnTOL.TAUJnTOLm は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUJnTOL.TAUJnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUJnTTOUTm は不正な波形を出力します。

14.7.3 一斉書き換えの方法

マスタ・チャンネルがカウント開始／再開時に一斉書き換えは行われます。
一斉書き換えの方法を次の図で示します。

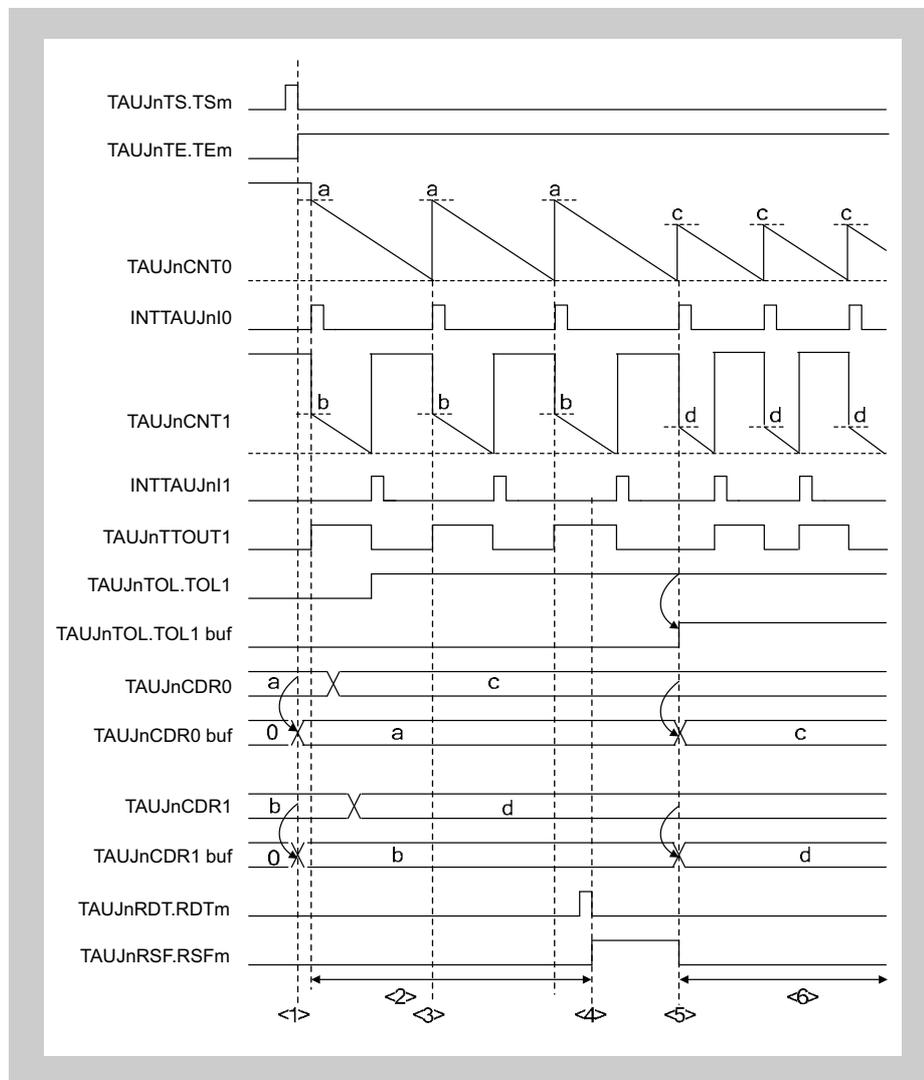


図 14-4 マスタ・チャンネルがカウントを再開／開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換えは、マスタ・チャンネルがカウント開始時に適用されます。

説明：

1. TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
2. TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

14.8 チャネル出力モード

TAUJnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUJnTOE.TAUJnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUJnTO.TAUJnTOm) に書き込んだ値は、出力端子 (TAUJnTTOUTm) に転送されます。

- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)

TAUJ 信号で制御した場合、TAUJnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJnTTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。

- 単体制御 (TAUJnTOM.TAUJnTOMm = 0)

単体動作の場合、TAUJnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。

- 連動制御 (TAUJnTOM.TAUJnTOMm = 1)

連動動作の場合、TAUJnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJnTTOUTm の現在の値を確認することができます。

制御ビット 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 14-7 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 14.8.2 「TAUJn 信号により単体制御されるチャンネル出力モード」
- 14.8.3 「TAUJn 信号により連動制御されるチャンネル出力モード」

TAUJnTOm ビットの一括操作 TAUJnTOm ビットへの設定値の反映 / 非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOm の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOm の設定値は反映されません。

備考 TAUJnTO.TAUJnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJnTTOUTm 信号の出力は不定になります。

14.7「一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します (TAUJnTOC.TAUJnTOCm = 0)。

表 14-7 チャネル出力モード

チャネル出力モード	TAUJnTOE. TAUJnTOEm	TAUJnTOM. TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。

- TAUJnTOE.TAUJnTOEm
- TAUJnTOM.TAUJnTOMm
- TAUJnTOC.TAUJnTOCm

14.8.1 チャンネル出力モードを指定するための基本手順

TAUJnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

1. TAUJnTO.TAUJnTOm を設定して TAUJnTTOUTm 出力の初期レベルを指定してください。
2. 表 14-7 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUJnTS.TAUJnTSm = 1)。

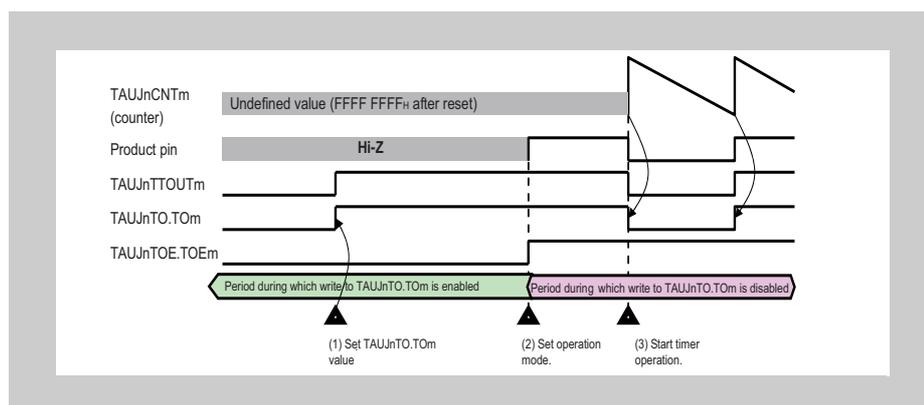


図 14-5 TAUJnTTOUTm チャンネル出力モードを指定するための基本手順

14.8.2 TAUJn 信号により単体制御されるチャンネル出力モード

この節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、表 14-7「チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件	この出力モードでは、INTTAUJnIm が検出されると TAUJnTTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。
前提条件	表 14-7「チャンネル出力モード」に示す条件以外の条件はありません。

14.8.3 TAUJn 信号により連動制御されるチャンネル出力モード

この節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、表 14-7「チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件	この出力モードでは、マスタ・チャンネルの INTTAUJnIm がセット信号、スレーブ・チャンネルの INTTAUJnIm がリセット信号となります。マスタ・チャンネルの INTTAUJnIm とスレーブ・チャンネルの INTTAUJnIm が同時発生した場合、スレーブ・チャンネルの INTTAUJnIm (リセット信号) は、マスタ・チャンネルの INTTAUJnIm (セット信号) より優先されます (マスタ・チャンネルは無視されます)。
前提条件	表 14-7「チャンネル出力モード」に示す条件以外の条件はありません。

14.9 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注意 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

14.9.1 インターバル・タイマ・モード，キャプチャ・モード，カウント・キャプチャ・モード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

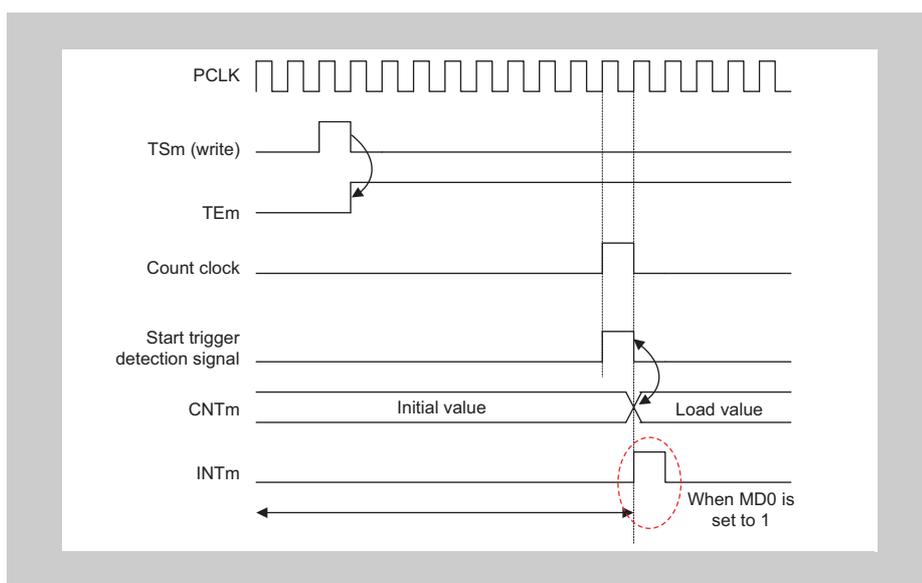


図 14-6 インターバル・タイマ・モード，キャプチャ・モード，カウント・キャプチャ・モードでの開始タイミング

14.9.2 その他の動作モード

その他の動作モードでは、カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUJnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

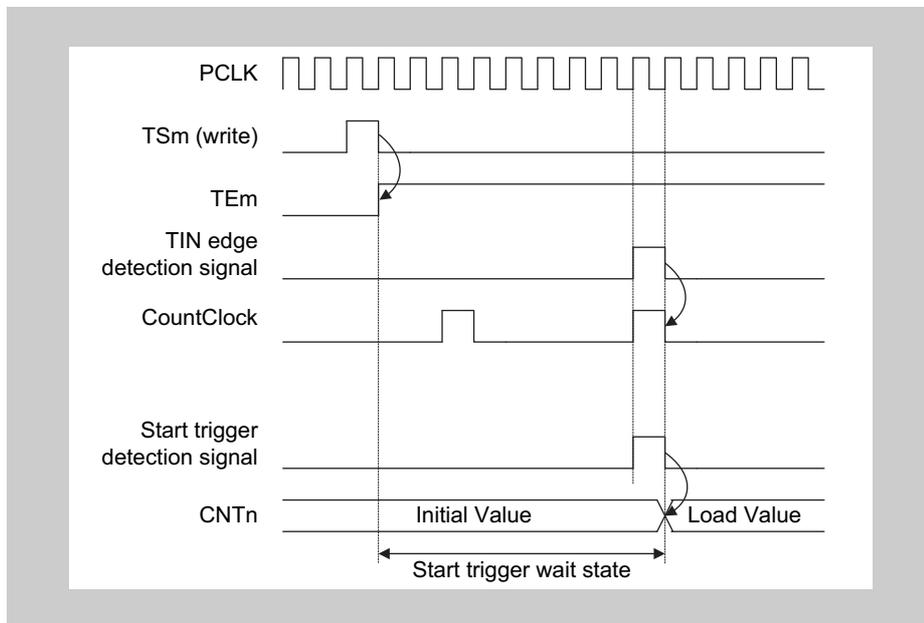


図 14-7 その他の動作モードでのカウント開始タイミング

14.10 カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)

カウンタのカウント開始時, TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように, ビットの影響は, 選択したモードに依存します。INTTAUJnIm の TAUJnTTOUTm に対する影響は, 選択したチャネル動作機能に依存します。

表 14-8 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始／再開時, または TAUJnTTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	0	発生しない
ワンカウント・モード ゲート・カウント・モード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

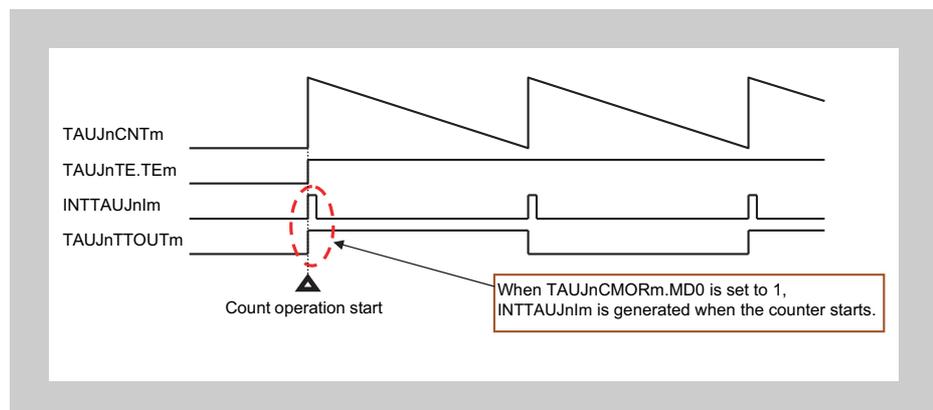


図 14-8 カウント開始時の INTTAUJnIm 発生

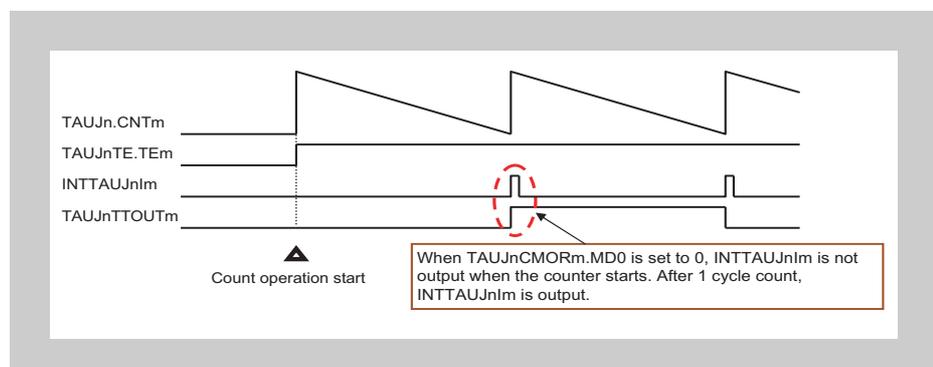


図 14-9 カウント開始時に INTTAUJnIm が発生しない

14.11 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が FFFF FFFF_H になりオーバーフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせで割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバーフロー発生と同時に 0000 0000_H になるようなダウン・カウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF_H)。
- セカンド・チャンネルの TAUJnCDRm を FFFF FFFF_H に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ TAUJnTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。
- これは、設定可能な「入力セレクタ」(システム・レベル) を使用して TAUJ0 でのみ可能です。

結果：ファースト・チャンネルのアップ・カウンタでのオーバーフロー発生 (TAUJnCNTm = FFFF FFFF_H) と同時にセカンド・チャンネルのダウン・カウンタが 0000 0000_H になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

14.11.1 キャプチャ・モード

適用機能 • TAUJnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

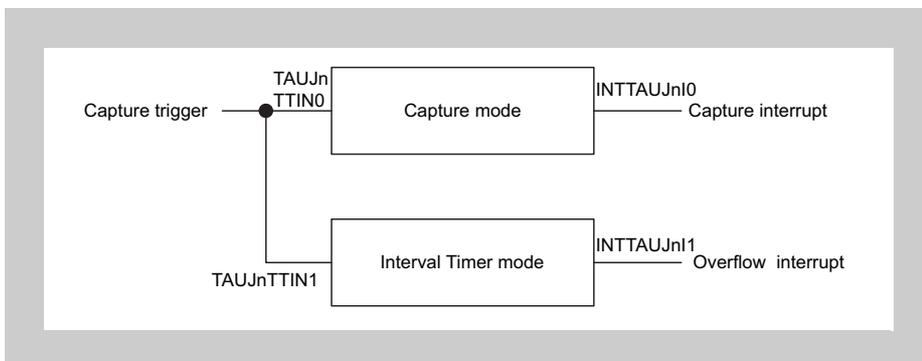


図 14-10 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

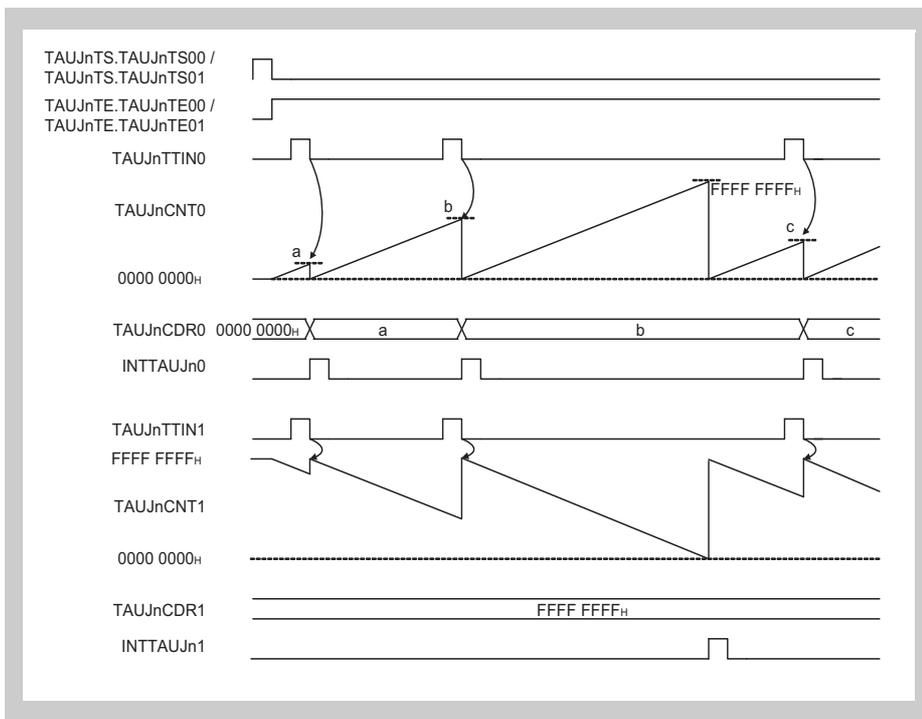


図 14-11 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

14.11.2 キャプチャ & ワンカウント・モード

適用機能 • TAUJnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

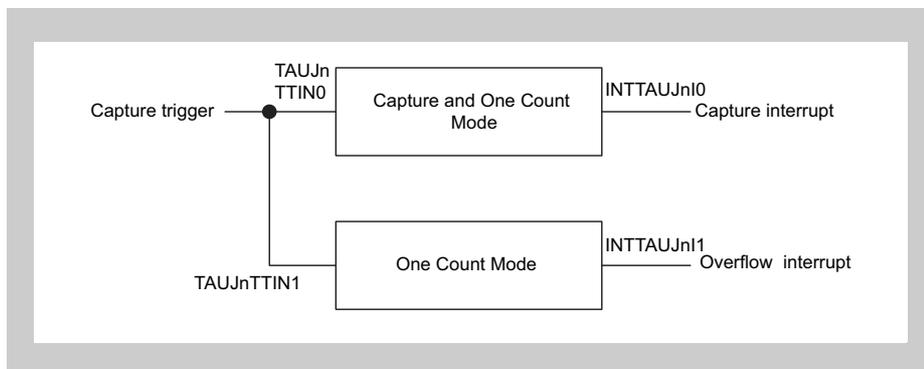


図 14-12 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

タイミング図

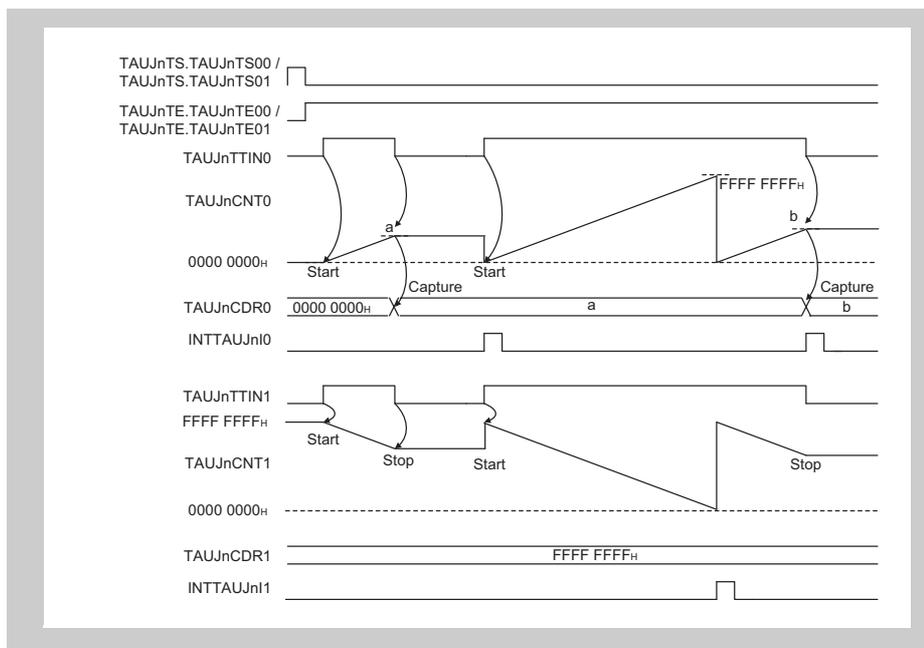


図 14-13 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

14.11.3 カウント・キャプチャ・モード

適用機能 • TAUJnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

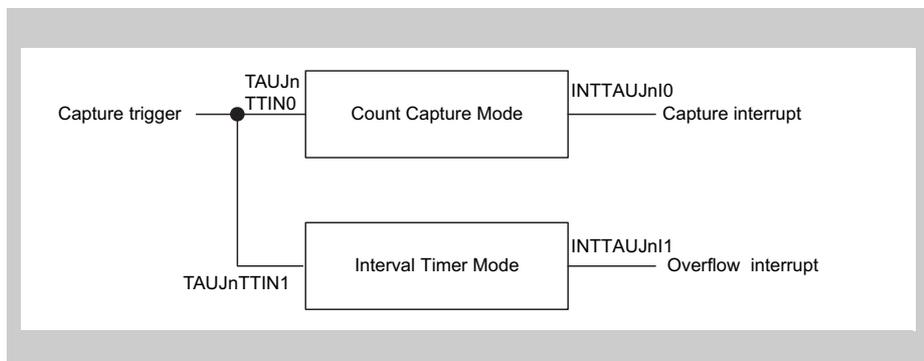


図 14-14 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

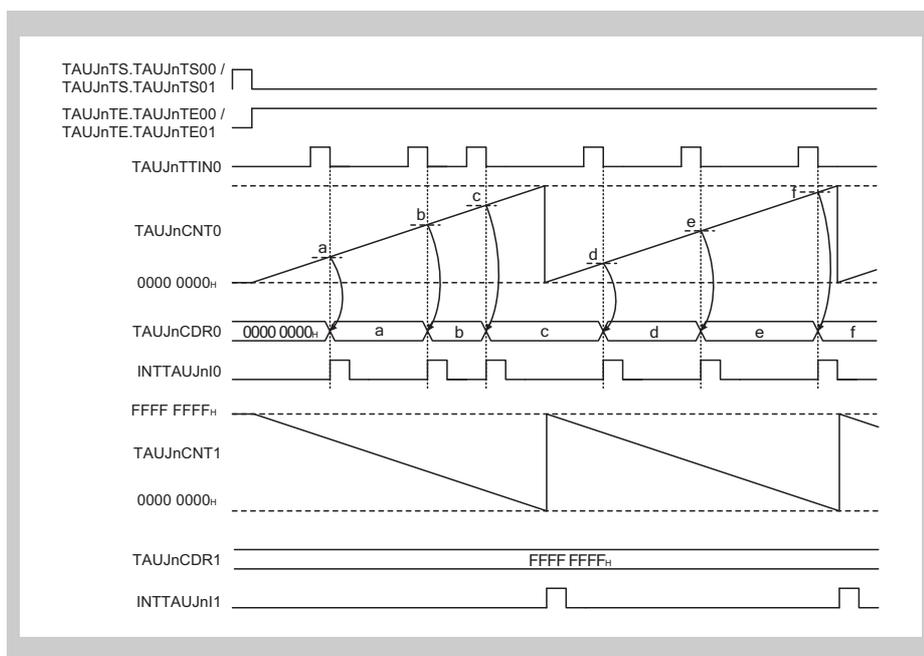


図 14-15 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

14.11.4 キャプチャ&ゲート・カウント・モード

適用機能 • TAUJnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

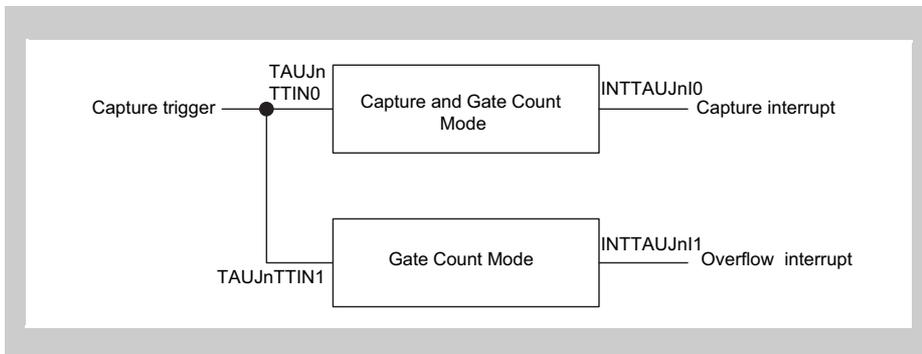


図 14-16 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

タイミング図

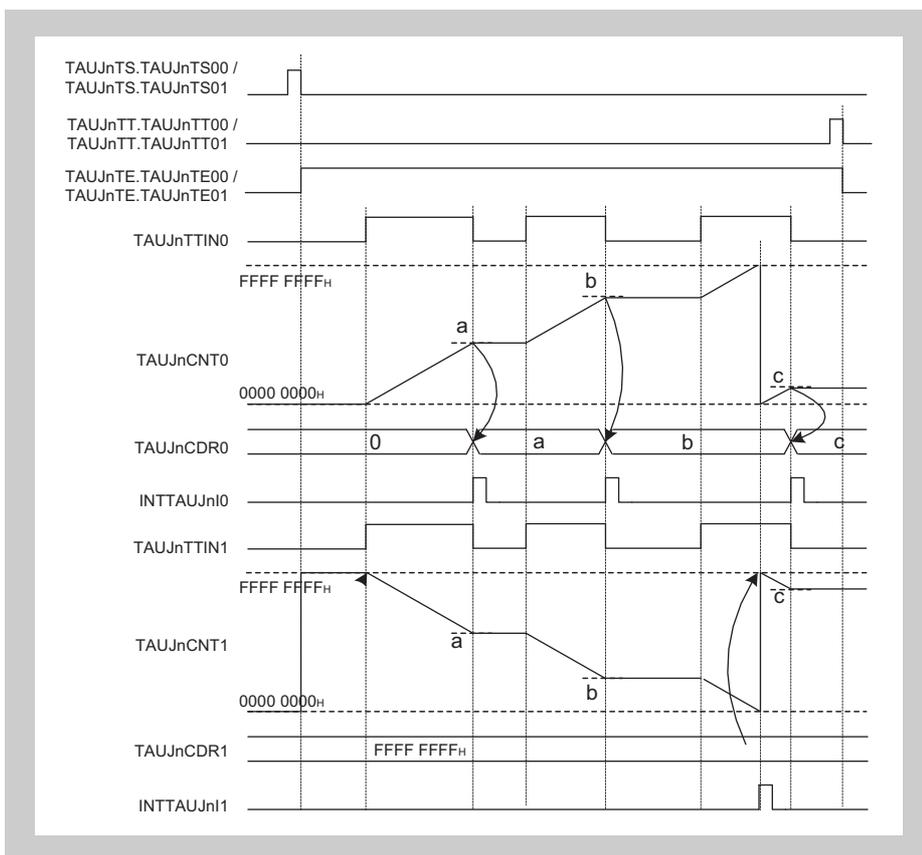


図 14-17 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

14.12 TAUJnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

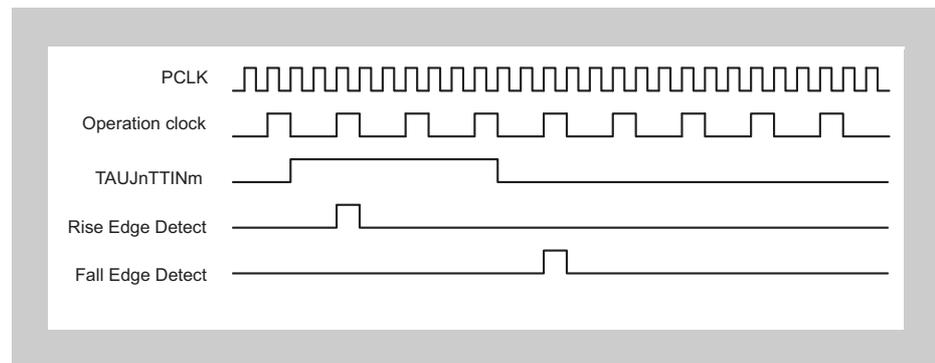


図 14-18 エッジ検出基本動作タイミング

図 14-18 「エッジ検出基本動作タイミング」は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

14.13 チャンネル単体動作機能

TAUJ の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、14.3「機能説明」を参照してください。

14.14 チャンネル単体割り込み機能

この節では、一定間隔で割り込みを発生する機能を示します。

- 14.14.1 「インターバル・タイマ機能」
- 14.14.2 「TAUJnTTINm 入カインターバル・タイマ機能」

14.14.1 インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 14-9「インターバル・タイマ機能の TAUJnCMORm 設定」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。14.8「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウンタが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnIm が発生し、TAUJnTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJnTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJnTTOUTm 信号が出力されます。詳細は、14.10「カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

(2) 算出式

INTTAUJnIm の周期 = カウント・クロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUJnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

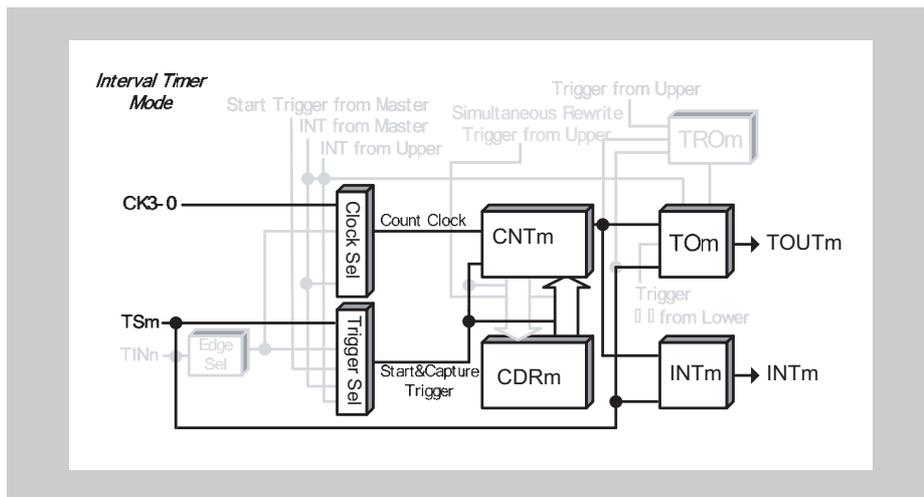


図 14-19 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

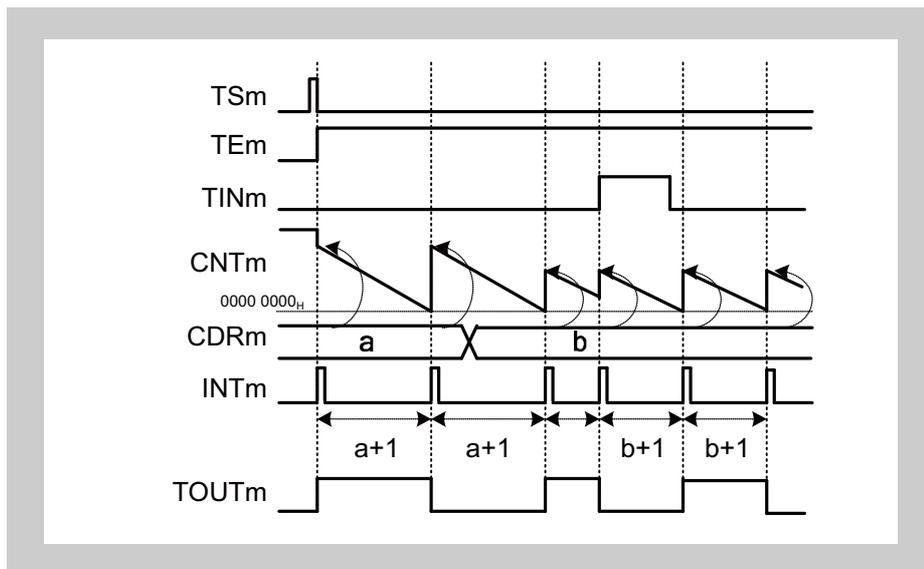


図 14-20 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJnMD0				

表 14-9 インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0000 : インターバル・タイマ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUJnIm が発生し, TAUJnTTOUTm はトグルされる

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-10 インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 未使用, 00 を設定

(c) チャネル出力モード

表 14-11 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0時はトグル・モード)
TAUJnTOL.TAUJnTOLm	0: トグル・モード時は、設定無効(初期値)となります

備考 チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUTmを割り込みとは独立させて制御することができます。詳細は14.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 14-12 インターバル・タイマ機能の一斉書き換え設定

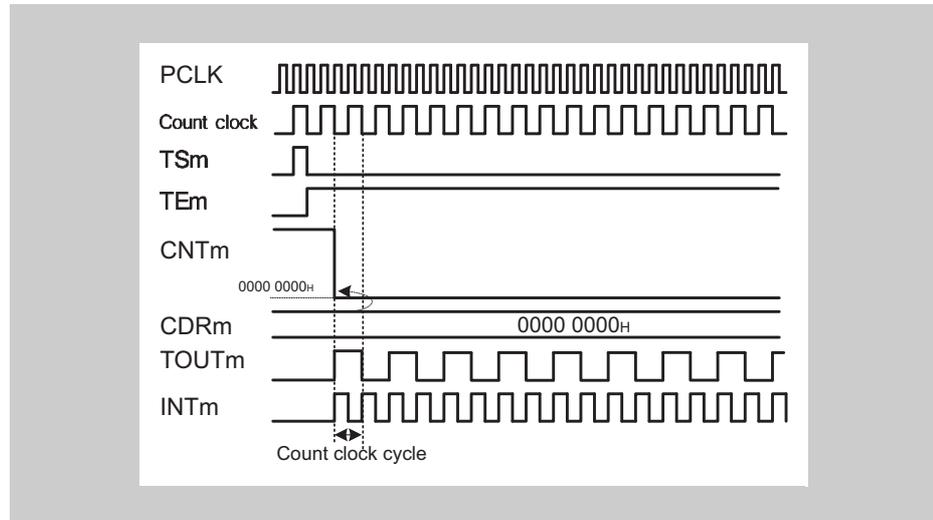
ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0を設定

(5) インターバル・タイマ機能の操作手順

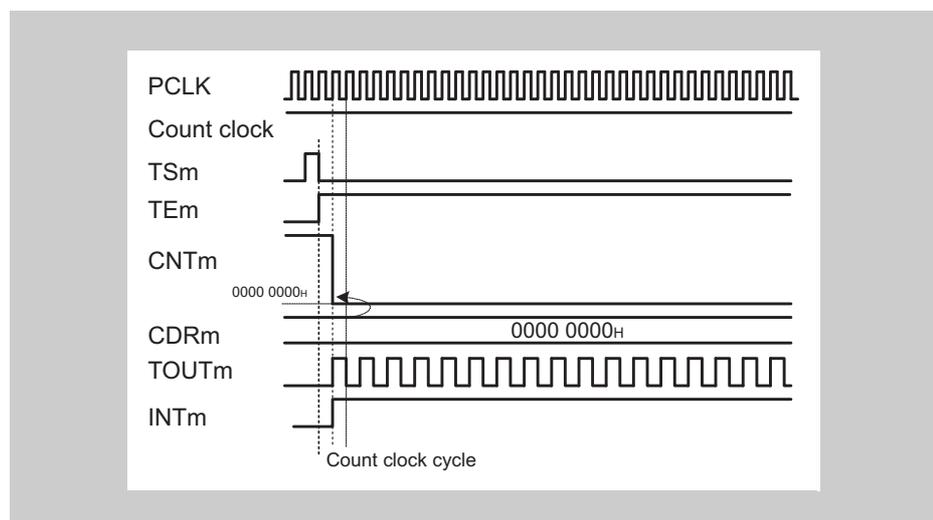
表 14-13 インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開 ↓	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを表 14-9「インターバル・タイマ機能の TAUJnCMORm 設定」、表 14-10「インターバル・タイマ機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを表 14-11「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作中 TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUJnCDRm = 0000 0000_H, カウント・クロック = PCLK/2図 14-21 TAUJnCDRm = 0000 0000_H, カウント・クロック = PCLK/2

- TAUJnCDRm = 0000 0000_H, かつカウント・クロック = PCLK/2¹ の場合、カウント・クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm がカウント・クロックごとに発生するので、TAUJnTTOUTm はカウント・クロックごとにトグルされます。

(b) TAUJnCDRm = 0000 0000_H, カウント・クロック = PCLK図 14-22 TAUJnCDRm = 0000 0000_H, カウント・クロック = PCLK

- TAUJnCDRm = 0000 0000_H, かつカウント・クロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- 継続的に INTTAUJnIm が発生し、PCLK クロックごとに TAUJnTTOUTm がトグルされます。

(c) 動作の停止と再開

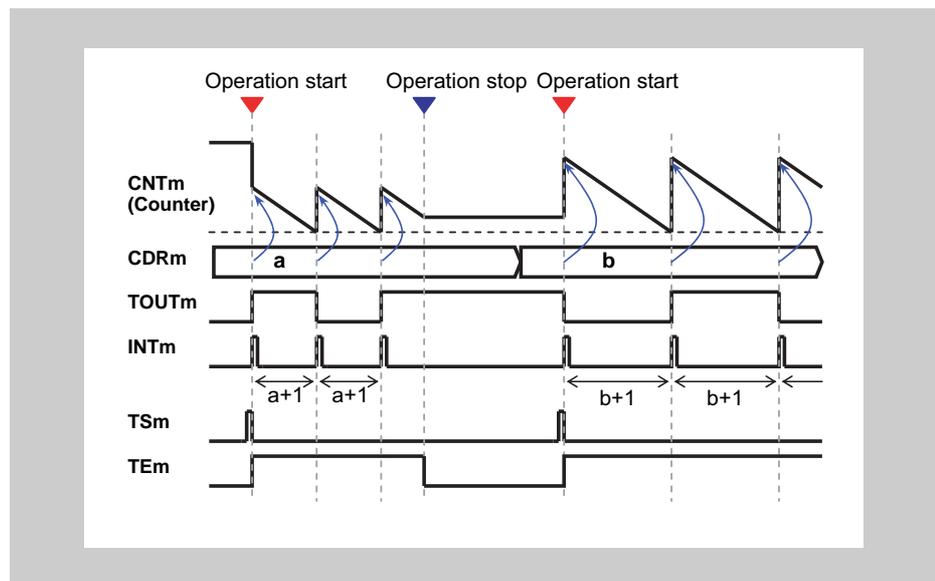


図 14-23 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

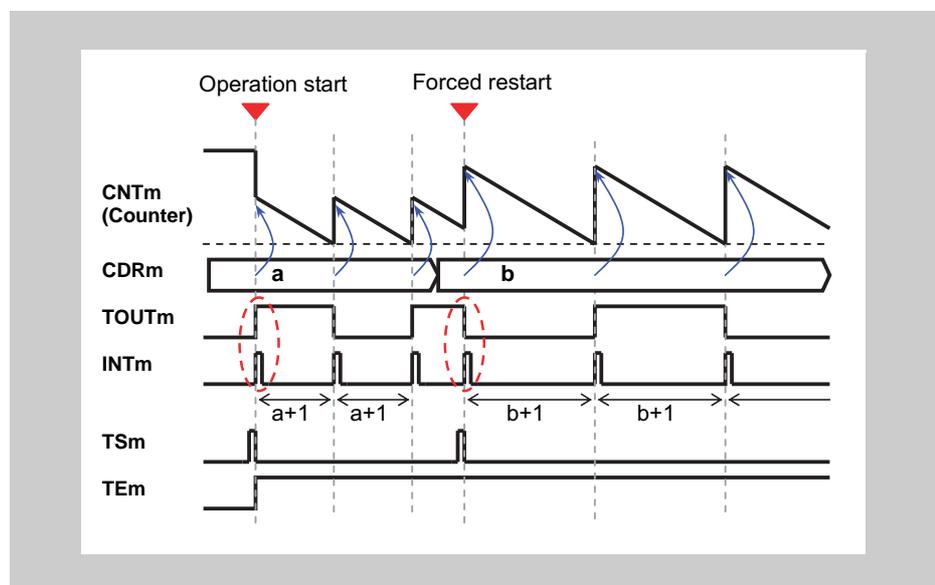


図 14-24 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できません (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

14.14.2 TAUJnTTINm 入力インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔または有効な TAUJnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 14-14 「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。14.8 「チャンネル出力モード」を参照してください。

機能説明 この機能は、有効な TAUJnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (14.14.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

$\text{INTTAUJnIm の周期} = \text{カウント} \cdot \text{クロック周期} \times (\text{TAUJnCDRm} + 1)$

$\text{TAUJnTTOUTm の矩形波周期} = \text{カウント} \cdot \text{クロック周期} \times (\text{TAUJnCDRm} + 1) \times 2$

(3) ブロック図と基本タイミング図

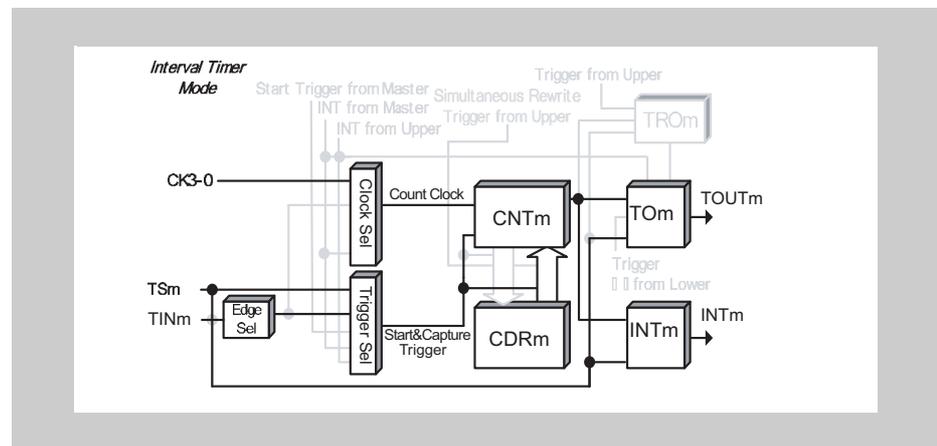


図 14-25 TAUJnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

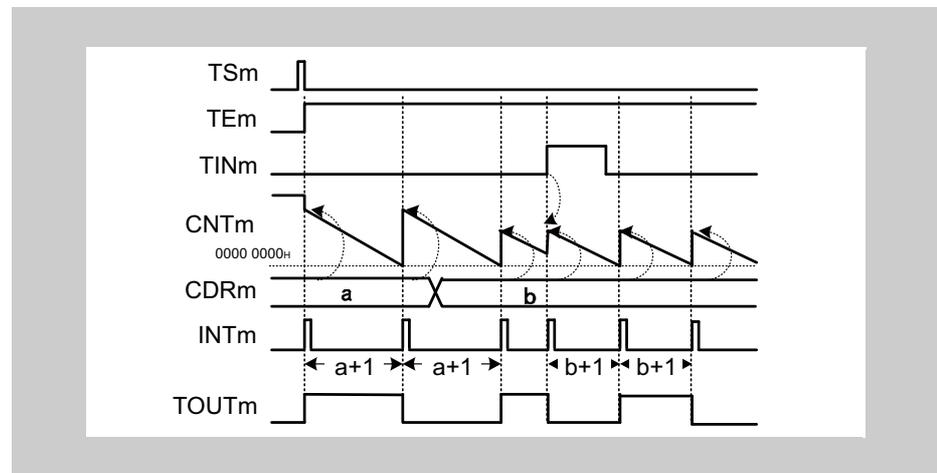


図 14-26 TAUJnTTINm 入カインターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]	TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0					

表 14-14 TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMORM 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	001 : 有効な TAUJnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0000 : インターバル・タイマ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUTm はトグルされない 1 : 動作開始時に INTTAUJnIm が発生し, TAUJnTTOUTm はトグルされる

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-15 TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

表 14-16 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0時はトグル・モード)
TAUJnTOL.TAUJnTOLm	0: トグル・モード時は、設定無効(初期値)となります

備考 チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUmを割り込みとは独立させて制御することができます。詳細は14.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 14-17 TAUJnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0を設定

(5) TAUJnTTINm 入インターバル・タイマ機能の操作手順

表 14-18 TAUJnTTINm 入インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCnTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作中	TAUJnCnTm がダウン・カウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCnTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。 カウント動作中に TAUJnTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCnTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm と TAUJnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

14.14.1「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUJnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

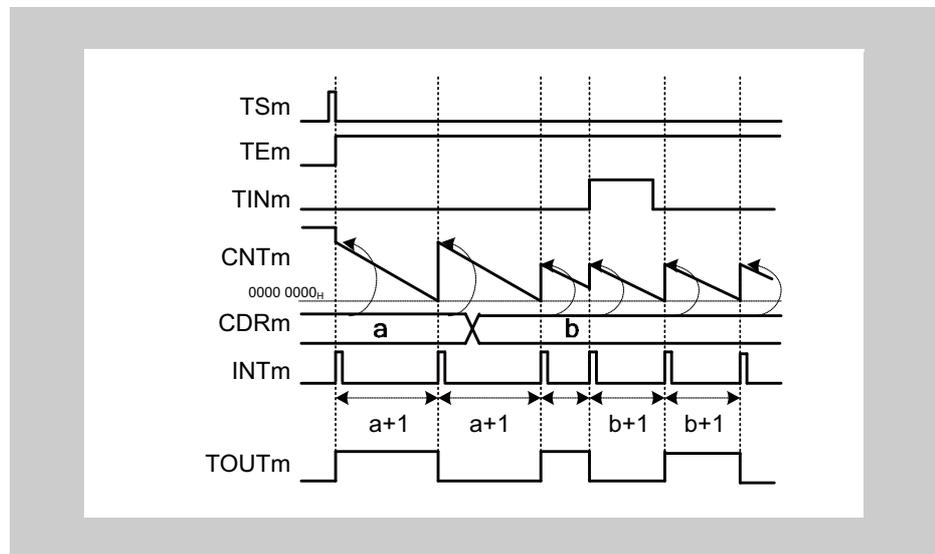


図 14-27 立ち上がり TAUJnTTINm 入力エッジ
(TAUJnCMURm.TAUJnTIS[1:0] = 01_B), TAUJnCMORM.TAUJnMD0 = 1 で
トリガされたカウンタ

- 有効な TAUJnTTINm 入力エッジを検出した場合、TAUJnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

14.15 チャンネル単体信号測定機能

この節では、各 TAUJnTTINm パルスの幅、または連続した TAUJnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 14.15.1 「TAUJnTTINm 入力パルス・インターバル測定機能」
- 14.15.2 「TAUJnTTINm 入力信号幅測定機能」
- 14.15.3 「オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)」
- 14.15.4 「TAUJnTTINm 入力期間カウント検出機能」
- 14.15.5 「オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)」

14.15.1 TAUJnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUJnCSRm.TAUJnOVF を使用して TAUJnTTINm 入力信号の間隔を測定します。

- 前提条件**
- 動作モードはキャプチャ・モードに設定する必要があります（表 14-20 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」参照）。
 - この機能では、TAUJnTTOUtm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnlm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

有効な TAUJnTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタは 0000 0000_H にオーバーフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 14-19 オーバフローの影響

TAUJnCMORm. COS[1:0]	オーバーフローが発生した場合		その後、有効な TAUJnTTINm 入力 が検出された場合	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に 設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変 更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバーフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の間隔を推定できます。ただし、有効な TAUJnTTINm 入力が検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバーフローの発生を示しません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJnTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

条件 TAUJnCMORm.TAUJnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 14.10 「カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力パルス間隔 = カウント・クロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

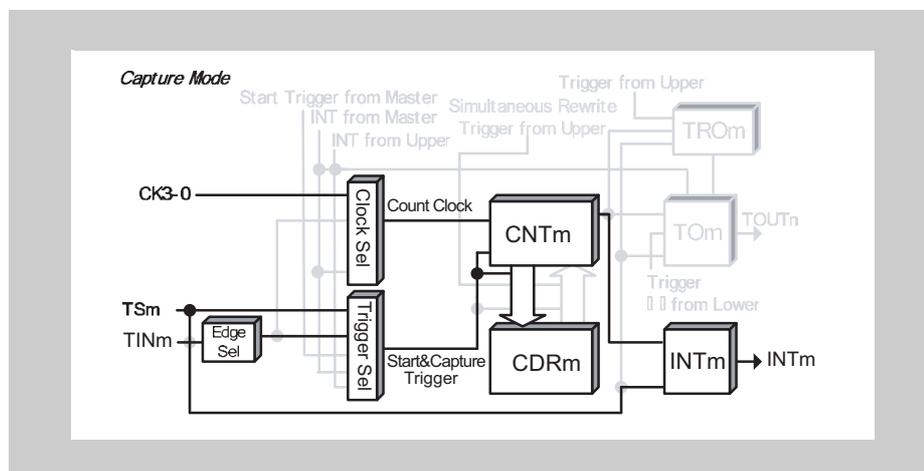


図 14-28 TAUJnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない
(TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する
(TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

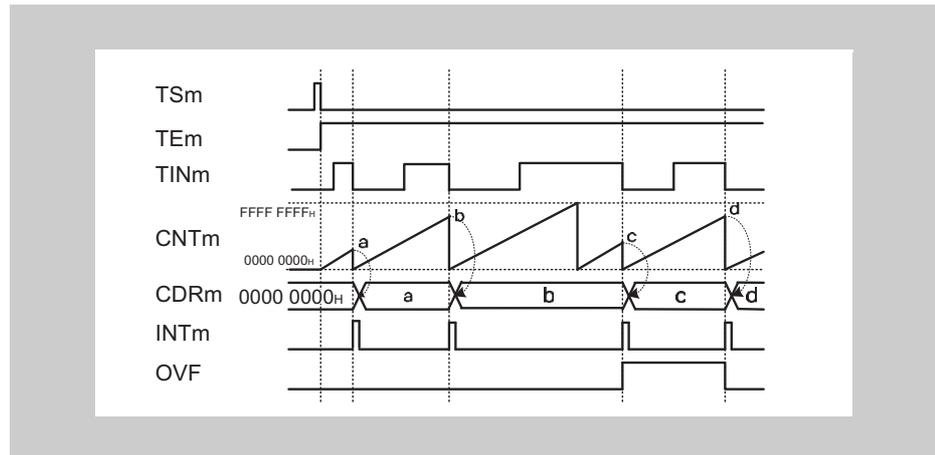


図 14-29 TAUJnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJnMD0				

表 14-20 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	001 : TAUJnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	表 14-19 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0010 : キャプチャ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-21 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力パルス・インターバル測定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 14-22 TAUJnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

表 14-23 TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 14-20 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」と表 14-21 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, カウントが開始されます。 TAUJnCNTm が 0000 0000 _H にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は, INTTAUJnIm が発生します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能です。 (TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は, 0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時 : <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して, 0000 0000_H に戻ります。 その後, INTTAUJnIm が発生します。 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

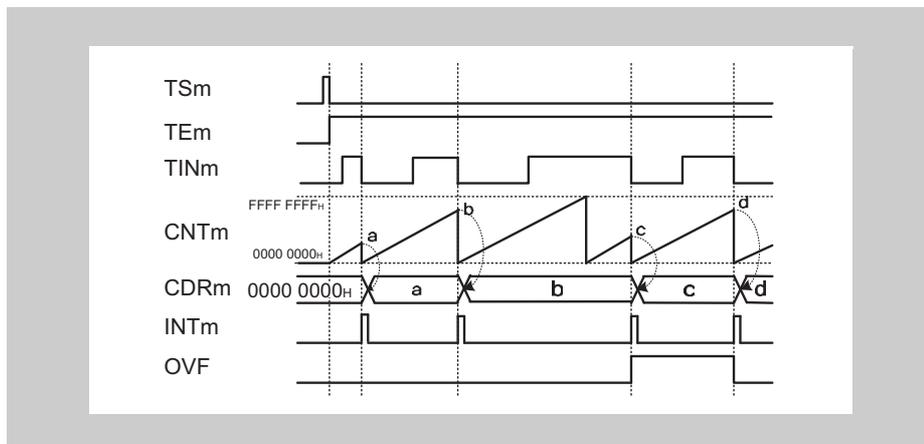
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 14-30 TAUJnCMORm.TAUJnCOS[1:0] = 00_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

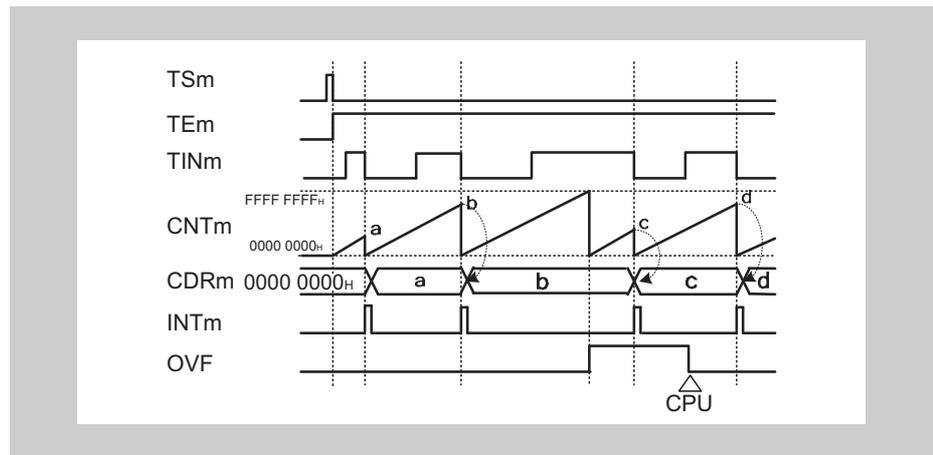
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 14-31 TAUJnCMORm.TAUJnCOS[1:0] = 01_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット = 1 のセット) でのみクリアされます。

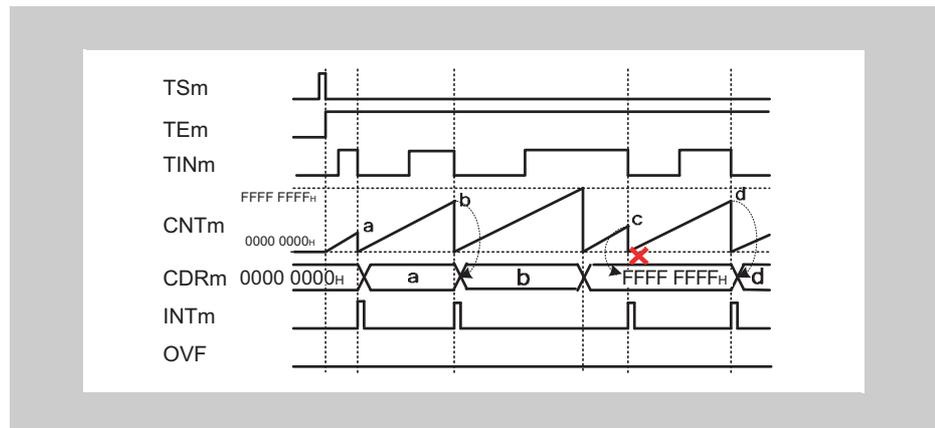
(c) TAUJnCMORM.TAUJnCOS[1:0] = 10_B

図 14-32 TAUJnCMORM.TAUJnCOS[1:0] = 10_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURM.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVf の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVf は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

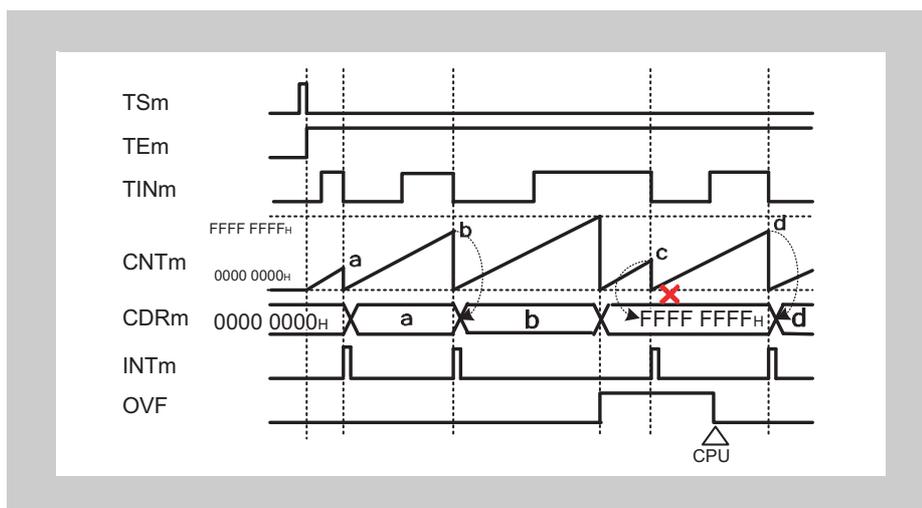
(d) TAUJnCMORM.TAUJnCOS[1:0] = 11_B

図 14-33 TAUJnCMORM.TAUJnCOS[1:0] = 11_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

14.15.2 TAUJnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（表 14-25 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」参照）。
 - この機能では、TAUJnTTOUTm は使用しません。
 - TAUJnCMORm.TAUJnMD0 は、0 に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。有効な TAUJnTTINm スタート・エッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm ストップ・エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJnTTINm 入力スタート・エッジを待ちます。

有効な TAUJnTTINm ストップ・エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 14-24 オーバフローの影響

TAUJnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUJnTTINm 入力ストップ・エッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の幅を推定できます。ただし、有効な TAUJnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力信号幅 = カウント・クロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプ
 チャ値 + 1]

(3) ブロック図と基本タイミング図

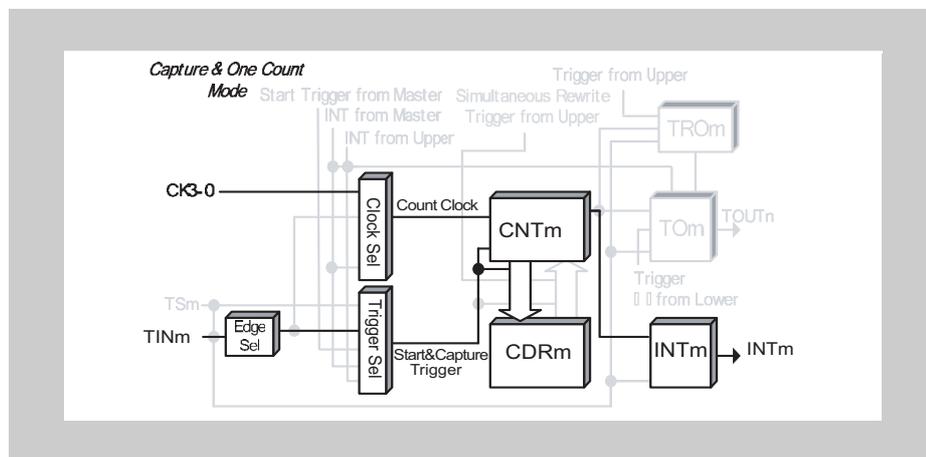


図 14-34 TAUJnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

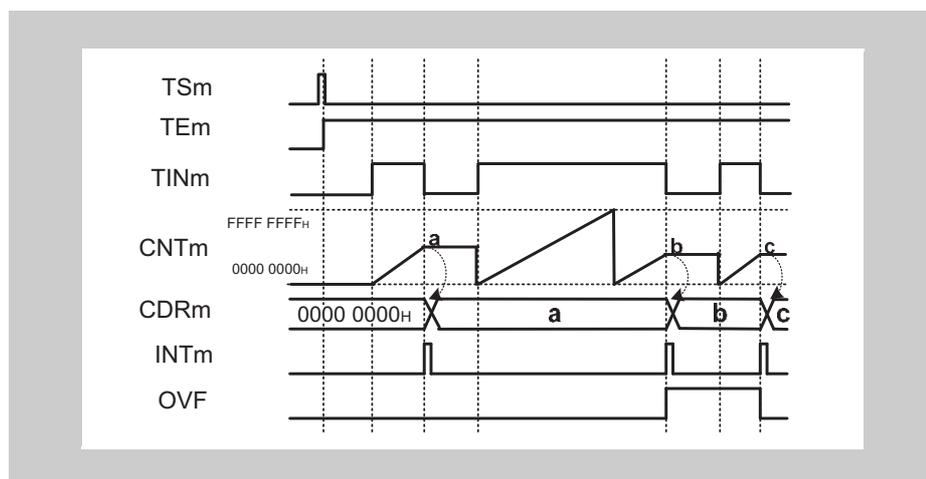


図 14-35 TAUJnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0				

表 14-25 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORM 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	表 14-24 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0110 : キャプチャ & ワンカウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-26 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 14-27 TAUJnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力信号幅測定機能の操作手順

表 14-28 TAUJnTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、表 14-25 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」と表 14-26 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCnTm は TAUJnTTINm スタート・エッジ検出を待ちます。 TAUJnTTINm スタート・エッジを検出すると、TAUJnCnTm はアップ・カウントを開始します。
	動作中 TAUJnCDRm, TAUJnCnTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSC.CLOV ビットは、1 にセット可能です。	TAUJnCnTm は、0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCnTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、その値を保持します。 その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm は停止し、TAUJnCnTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

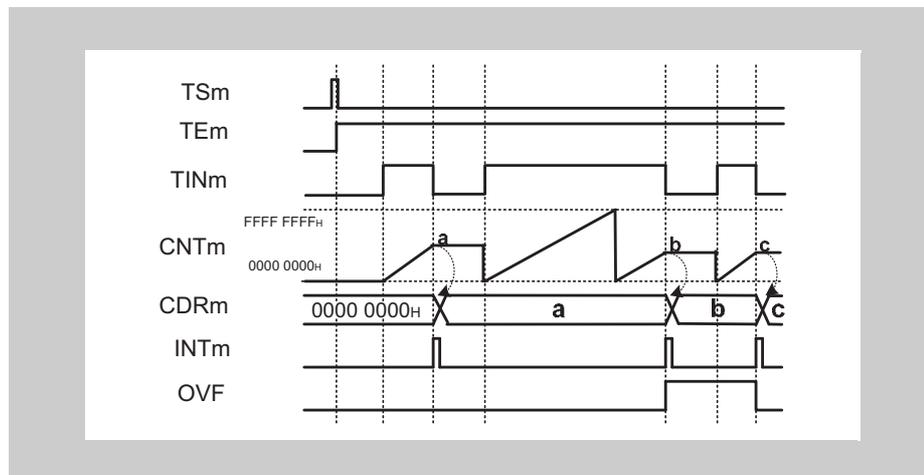
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 14-36 TAUJnCMORm.TAUJnCOS[1:0] = 00_B, TAUJnCMORm.TAUJnMDO = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

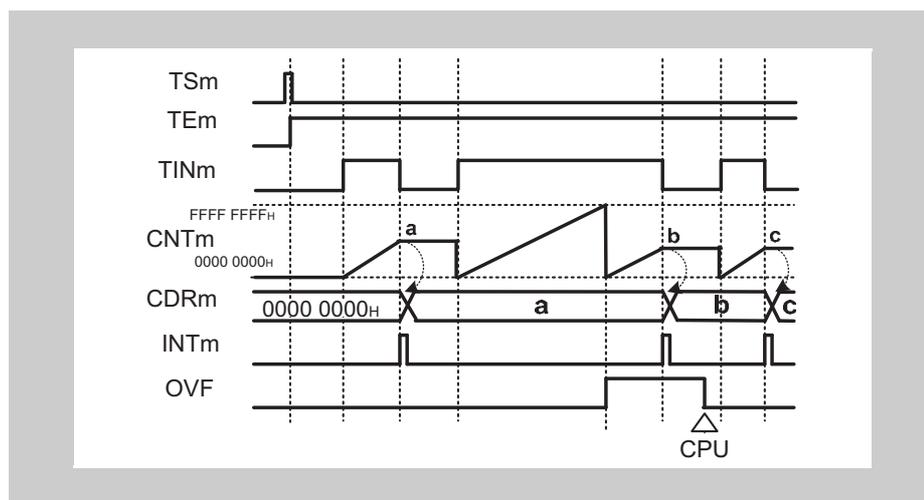
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 14-37 TAUJnCMORm.TAUJnCOS[1:0] = 01_B, TAUJnCMORm.TAUJnMDO = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット =1 のセット) でのみクリアされます。

(c) TAUJnCMORM.TAUJnCOS[1:0] = 10_B

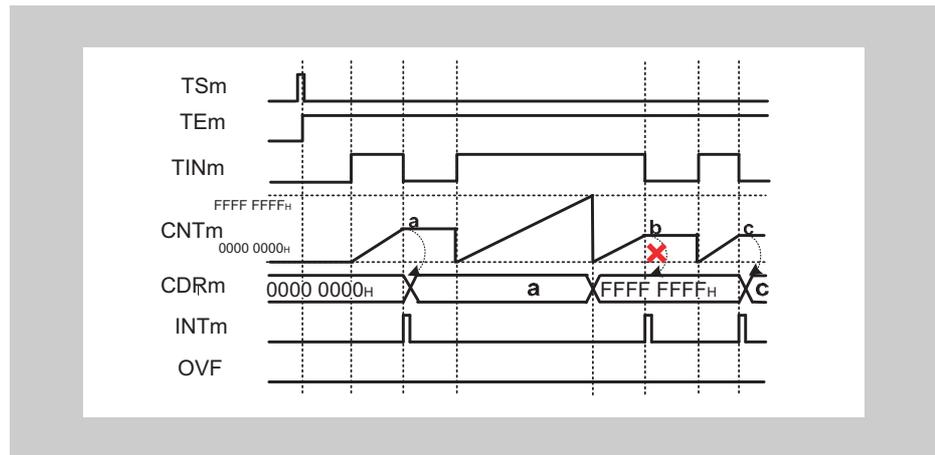


図 14-38 TAUJnCMORM.TAUJnCOS[1:0] = 10_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

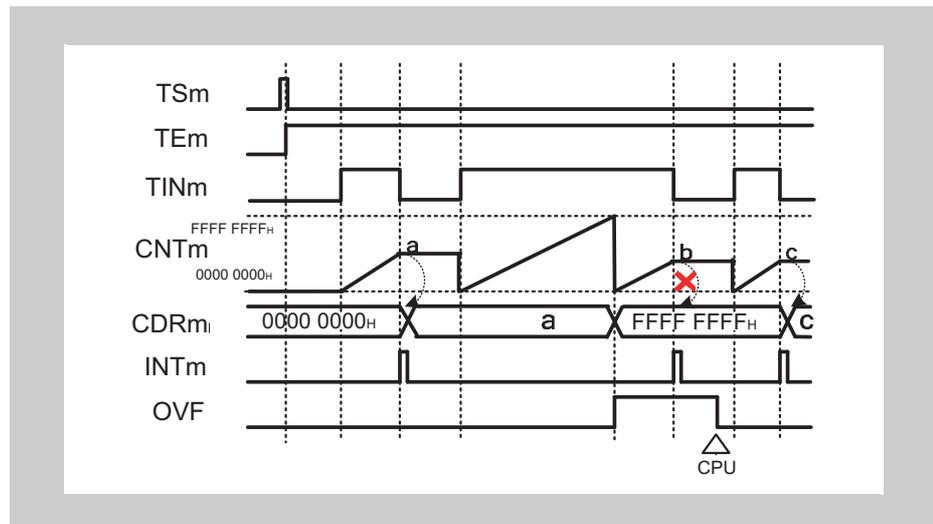
(d) TAUJnCMORM.TAUJnCOS[1:0] = 11_B

図 14-39 TAUJnCMORM.TAUJnCOS[1:0] = 11_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMORM.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

14.15.3 オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)

(1) 概要

概要 この機能は、各 TAUJnTTINm 入力信号の幅を測定します。TAUJnTTINm 入力後、(FFFF FFFF_H + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 14-29 「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。
 - TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJnTTINm 入カスタート・エッジが検出されると、TAUJnCNTm は FFFF FFFF_H をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000 0000_H に達すると、割り込みが発生します。

条件 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

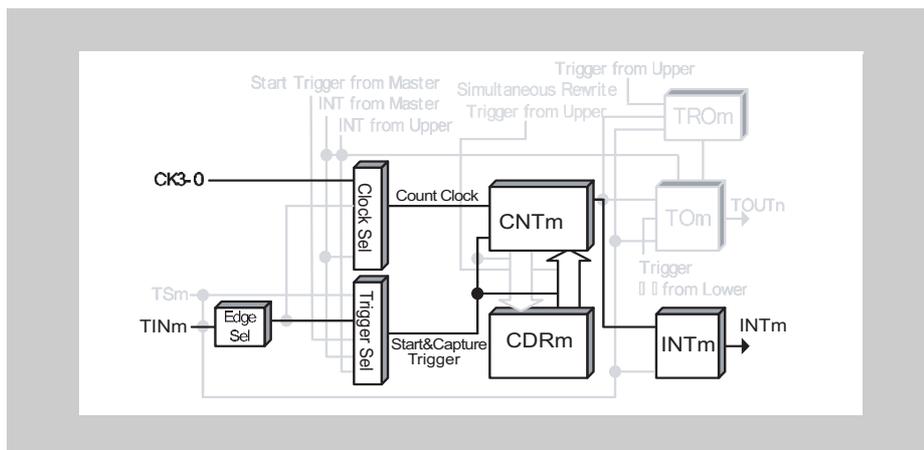


図 14-40 オーバフロー割り込み出力機能のブロック図 (TAUJnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

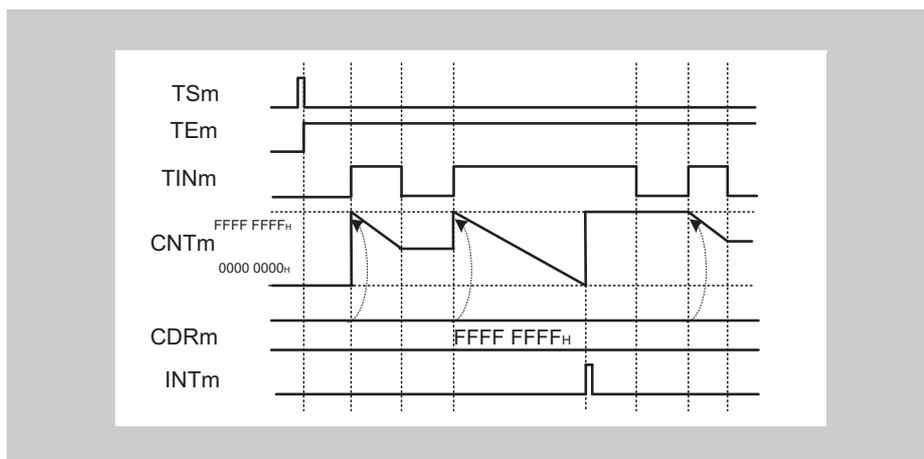


図 14-41 オーバフロー割り込み出力機能の基本タイミング図 (TAUJnTTINm 幅測定時)

(3) レジスタ設定

(a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0				

表 14-29 オーバフロー割り込み出力機能の TAUJnCMORM 設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0100 : ワンカウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-30 オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 14-31 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(4) オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)

表 14-32 オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、表 14-29「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」と表 14-30「オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 幅測定時)」に示すように設定します。 TAUJnCDRm レジスタの値を FFFF FFFF _H に設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCnTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCnTm にロードします。
	動作中 TAUJnCnTm レジスタは任意のタイミングで読み出し可能です。	TAUJnCnTm がダウン・カウントを行います。カウンタが 0000 0000 _H になった場合： • INTTAUJnIm が発生します。 カウント動作中に TAUJnTTINm の逆エッジを検出した場合： • TAUJnCnTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm が停止し、現在値を保持します。

14.15.4 TAUJnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号の合計幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (表 14-33 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJnTTINm 入力エッジを待ちます。

有効な TAUJnTTINm 入カスタート・エッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJnTTINm 入カストップ・エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

備考 TAUJnTTINm 入力信号は、TAUJnCMORm.TAUJnCKs[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

(2) 算出式

TAUJnTTINm 入力幅累計 =
 カウント・クロック周期 × (TAUJnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

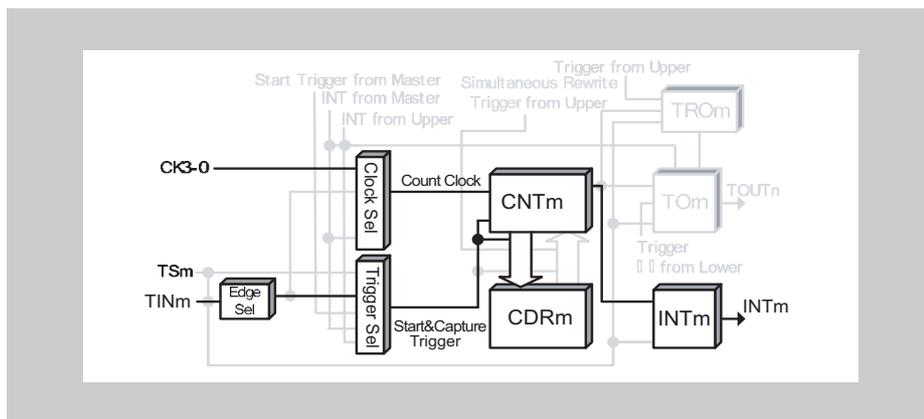


図 14-42 TAUJnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

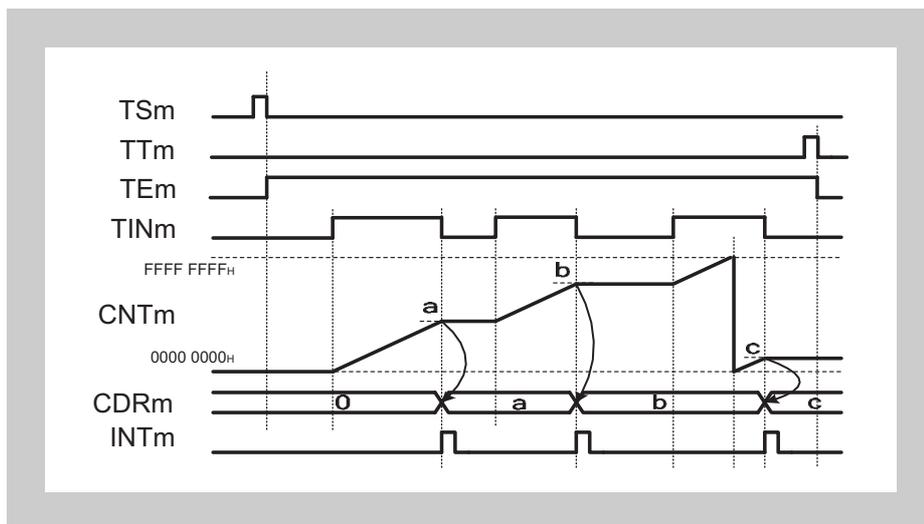


図 14-43 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0				

表 14-33 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	01 : この値に設定してください
TAUJnMD[4:1]	1101 : キャプチャ&ゲート・カウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-34 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力期間カウント検出機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 14-35 TAUJnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

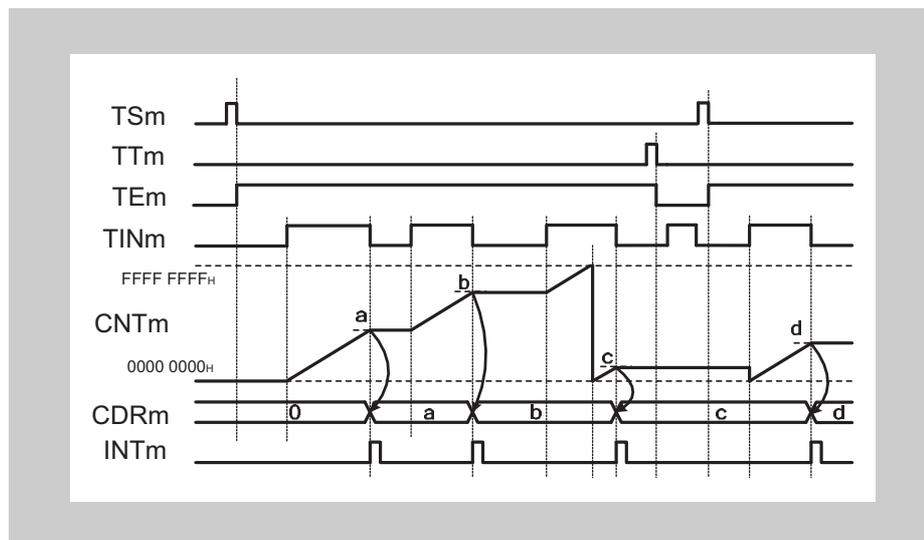
(5) TAUJnTTINm 入力期間カウント検出機能の操作手順

表 14-36 TAUJnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 14-33 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」と表 14-34 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。
	動作中 TAUJnTTINm エッジ検出 TAUJnCDRm, TAUJnCNTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV は, 1 に設定可能です。	TAUJnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると, TAUJnCNTm は停止値よりアップ・カウントを開始します。 TAUJnCNTm は, ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると, 値を TAUJnCDRm に転送し, INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し, TAUJnCNTm は TAUJnTTINm スタート・エッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF _H に達すると, カウンタは 0000 _H からカウント動作を再開します。 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 14-44 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

14.15.5 オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号の合計幅を測定します。TAUJnTTINm 入力合計幅が FFFF FFFF_H より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

- 前提条件**
- 動作モードはゲート・カウント・モードに設定する必要があります（表 14-37「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)」参照）。
 - この機能では、TAUJnTTOUt_m は使用しません。
 - TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTE_m = 1 となり、カウントが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCnT_m に FFFF FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが 0000 0000_H になると、割り込みが発生します。TAUJnCnT_m に FFFF FFFF_H がロードされ、カウンタは TAUJnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。
- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がリエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がリエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

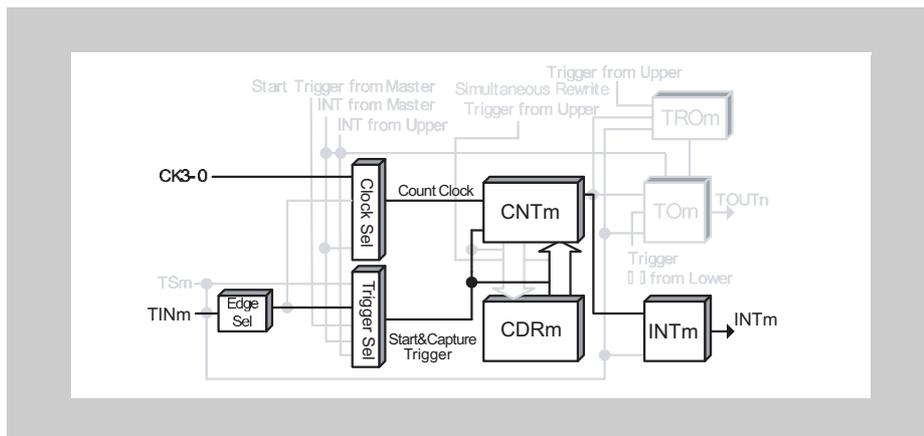


図 14-45 オーバフロー割り込み出力機能のブロック図 (TAUJnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

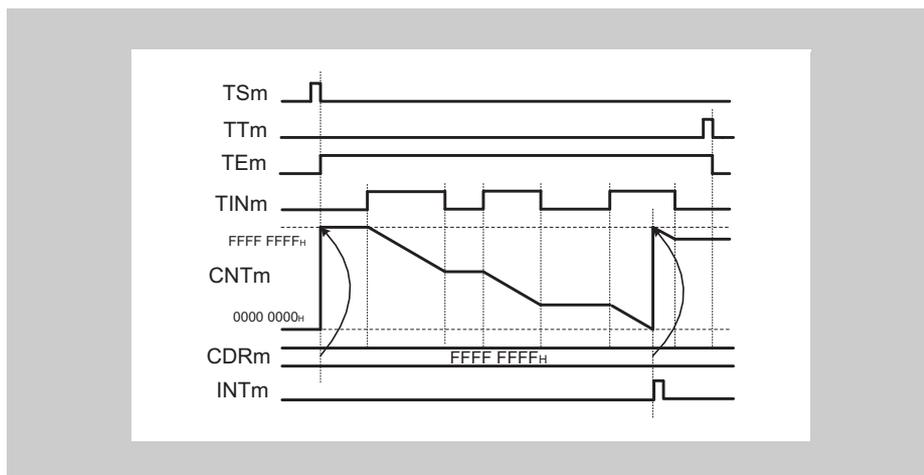


図 14-46 オーバフロー割り込み出力機能の基本タイミング図 (TAUJnTTINm 入力期間カウント検出時)

(3) レジスタ設定

(a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0				

表 14-37 オーバフロー割り込み出力機能の TAUJnCMORM 設定
(TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	1100 : ゲート・カウント・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-38 オーバフロー割り込み出力機能の TAUJnCMURm 設定
(TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 14-39 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(4) オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 入力期間カウント検出時)

表 14-40 オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 入力期間カウント検出時)

	操作	TAUJn の状態
初期設定 チャンネル	TAUJnCMORm, TAUJnCMURm レジスタを、表 14-37「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)」と表 14-38「オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 入力期間カウント検出時)」に示すように設定します。	チャンネル動作を停止しています。
	TAUJnCDRm レジスタの値を FFFF FFFF _H に設定します。	
動作再開 動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタート・エッジ検出を待ちます。
	TAUJnTTINm スタート・エッジ検出	スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUJnIm が発生します。 TAUJnCDRm の値 (FFFF FFFF_H) を TAUJnCNTm にロードし、ダウン・カウントを継続します。 カウント動作中に TAUJnTTINm の逆エッジを検出した場合 : <ul style="list-style-type: none"> TAUJnCNTm は停止値からダウン・カウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。

14.16 その他のチャネル単体機能

この節では、機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能を説明します。

- 14.16.1 「TAUJnTTINm 入力位置検出機能」

14.16.1 TAUJnTTINm 入力位置検出機能

(1) 概要

概要 機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります（表 14-41 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」参照）。
 - この機能では、TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 14.10 「カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

(2) 算出式

TAUJnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × (TAUJnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

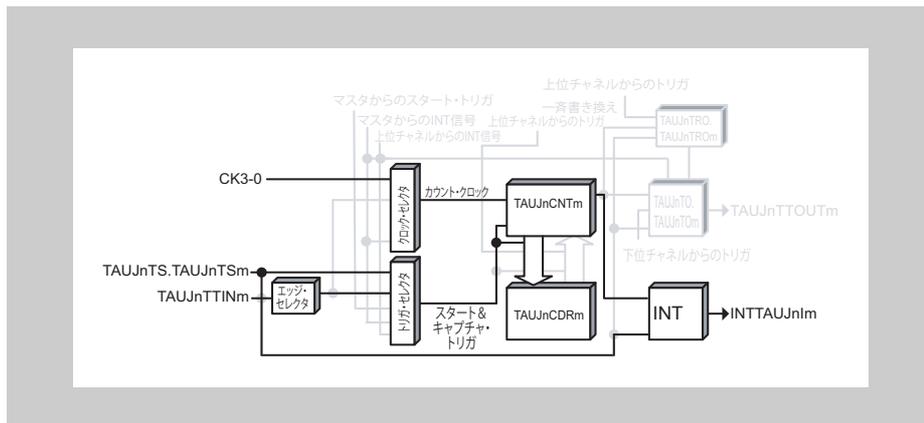


図 14-47 TAUJnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

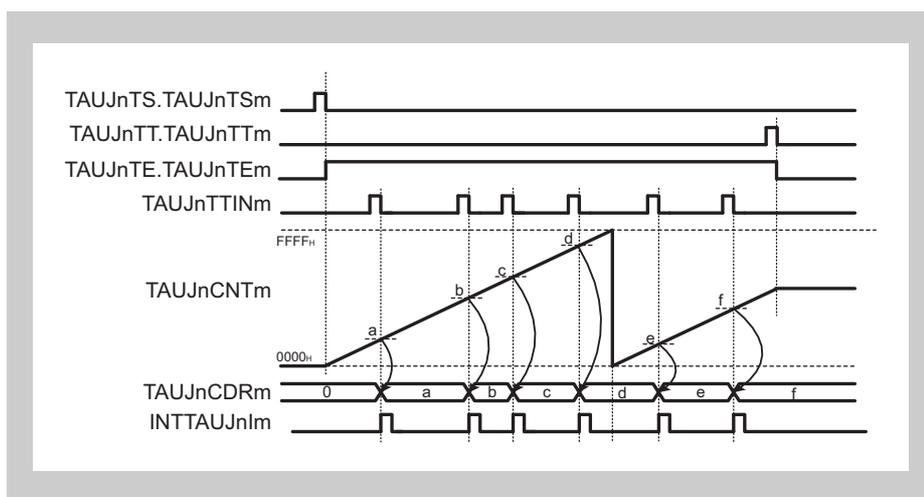


図 14-48 TAUJnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJ nMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-		TAUJnMD[4:1]				TAUJn MD0			

表 14-41 TAUJnTTINm 入力位置検出機能の TAUJnCMORM 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 単体動作, 0 を設定
TAUJnSTS[2:0]	001 : 有効な TAUJnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	01 : この値に設定してください
TAUJnMD[4:1]	1011 : カウント・キャプチャ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-42 TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力位置検出機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 14-43 TAUJnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力位置検出機能の操作手順

表 14-44 TAUJnTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態	
動作再開 ↓	初期設定 チャンネルの初期設定	TAUJnCMORm, TAUJnCMURm レジスタを, 表 14-41 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」と表 14-42 「TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は, INTTAUJnIm が発生します。
	動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUJnCSC.CLOV ビットは, 1 に設定可能です。	TAUJnCnTm は, 0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時: <ul style="list-style-type: none"> TAUJnCnTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。 INTTAUJnIm を出力します。 カウンタ値は 0000 0000_H にクリアされず, TAUJnCnTm はカウント動作を継続します。以降, この動作を繰り返します。
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウント動作が停止します。 TAUJnCnTm は停止し, TAUJnCnTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

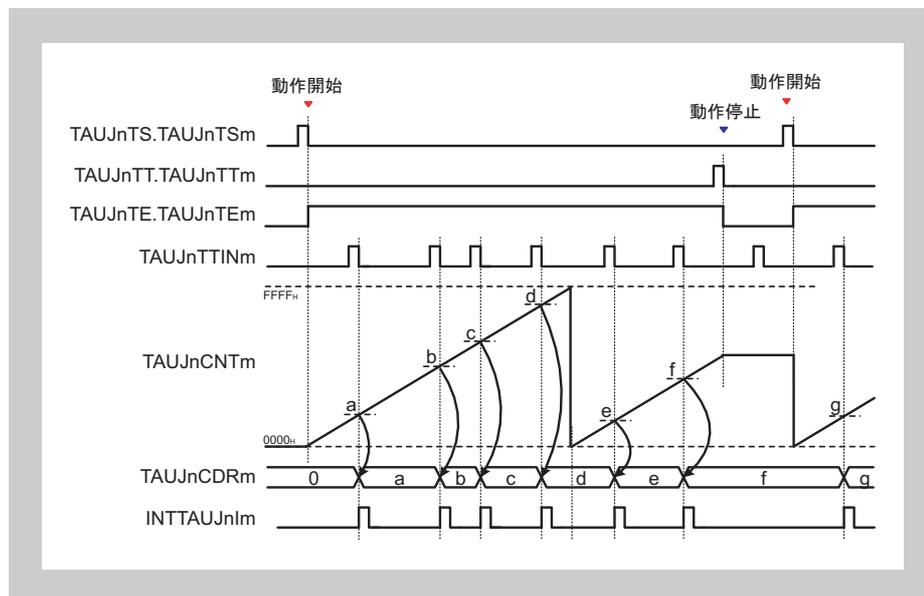


図 14-49 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

14.17 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。チャンネル連動動作の概要については、14.3「機能説明」を参照してください。

- 14.17.1「PWM 出力機能」

14.17.1 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

前提条件

- 2 チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 14-45「PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 14-48「PWM 出力機能時のスレーブ・チャンネルの TAUJnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUJnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（14.8「チャンネル出力モード」）。

機能説明

チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUJnIm が発生し、TAUJnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000 0000_H になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし、ダウン・カウントを行います。

- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUJnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUJnCDRm (スレーブ) の現在値が TAUJnCNTm (スレーブ) にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。TAUJnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000 0000_H になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF FFFF_H に戻り、マスタ・チャンネルの次の INTTAUJnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定

されます。マスタ/スレーブ・チャネルの TAUJnCNTm と TAUJnTTOUtm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。

条件 この機能では一斉書き換えを行うことができます。14.7「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUJnCDRm (スレーブ) = 0000 0000_H

– デューティ・サイクル = 100 %

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

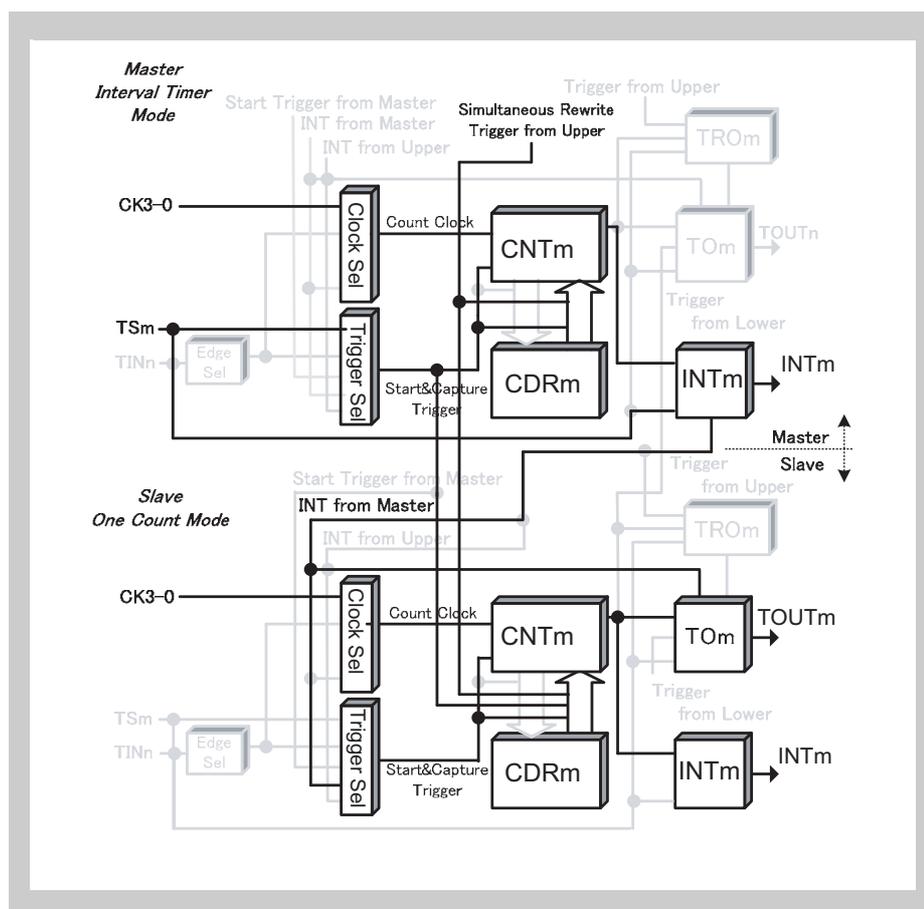


図 14-50 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUJnTOL.TAUJnTOLm = 0)

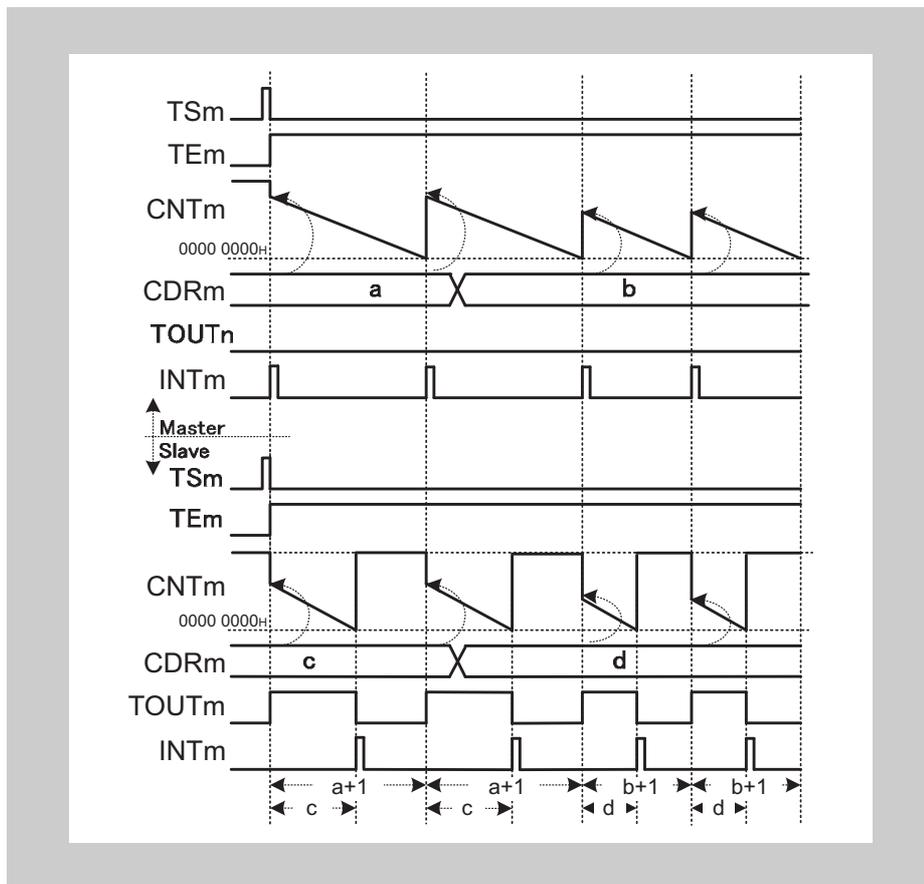


図 14-51 PWM 出力機能の基本タイミング図

備考 スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUJnCDRm + 1 の値になります。

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-	TAUJnMD[4:1]				TAUJn MD0				

表 14-45 PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	1: チャンネルはマスタ・チャンネル
TAUJnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	1: 動作開始時に INTTAUJnIm が発生する

(b) マスタ・チャンネルの TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-46 PWM 出力機能時のマスタ・チャンネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 14-47 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJ nMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-		TAUJnMD[4:1]				TAUJn MD0			

表 14-48 PWM 出力機能時のスレーブ・チャンネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: チャンネルはスレーブ・チャンネル
TAUJnSTS[2:0]	100: マスタ・チャンネルの INTTAUJnIm がスタート・トリガ
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0100: ワンカウント・モード
TAUJnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャンネルの TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-49 PWM 出力機能時のスレーブ・チャンネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 14-50 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャンネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	1: チャンネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 反転論理

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 14-51 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成

(6) PWM 出力機能の操作手順

表 14-52 PWM 出力機能時の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTS.TAUJnTSM を同時に 1 に設定します。TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。マスタ・チャンネルで INTTAUJnIm が発生し、TAUJnTTOUTm (スレーブ) が設定されます。
	動作中 TAUJnCDRm は任意のタイミングで変更可能です。TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 0000 _H になった場合 : • INTTAUJnIm (マスタ) が発生します。 • TAUJnCDRm 値を TAUJnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUJnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUJnCNTm (スレーブ) が 0000 0000 _H になった場合 : • INTTAUJnIm (スレーブ) が発生します。 • TAUJnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

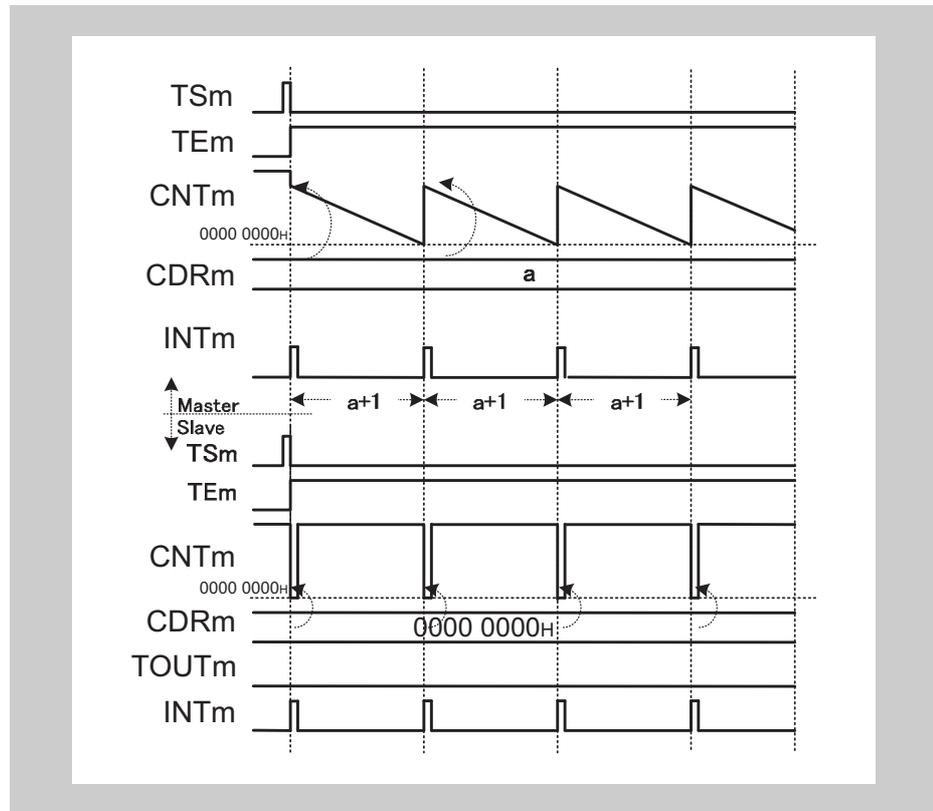


図 14-52 TAUJnCDRm (スレーブ) = 0000 0000_H,
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000_H がロードされます。したがって、スレーブ・チャンネルの割り込み (INTTAUJnIm) が同時発生し、TAUJnTTOUtm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

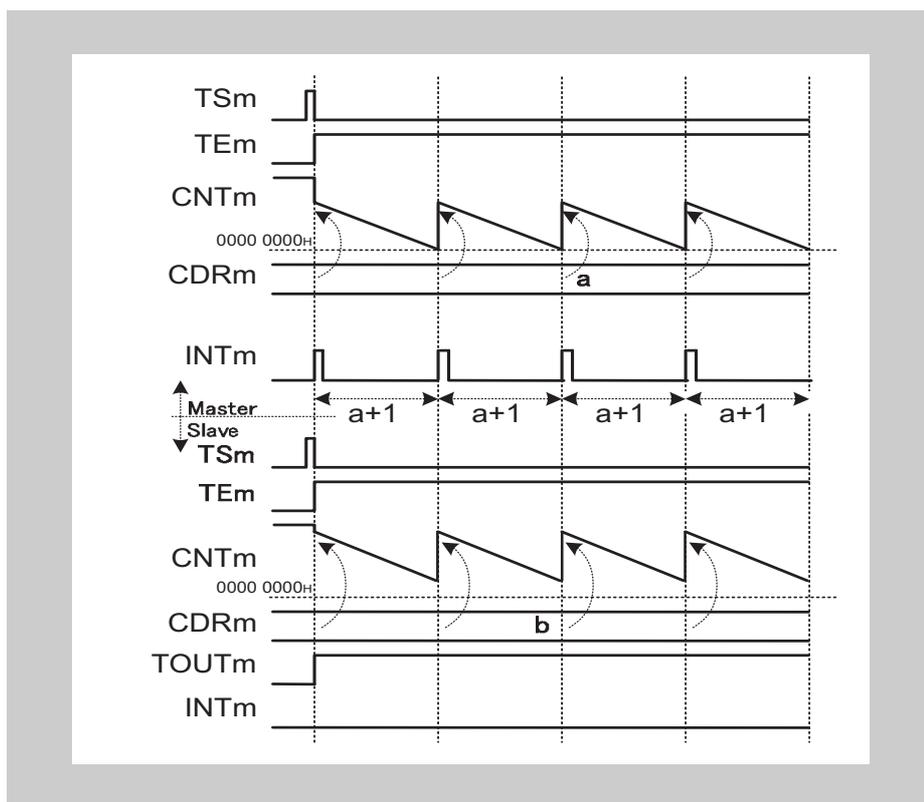


図 14-53 TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1
 正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000 0000_H にならないため、割り込みが発生しません。TAUJnTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

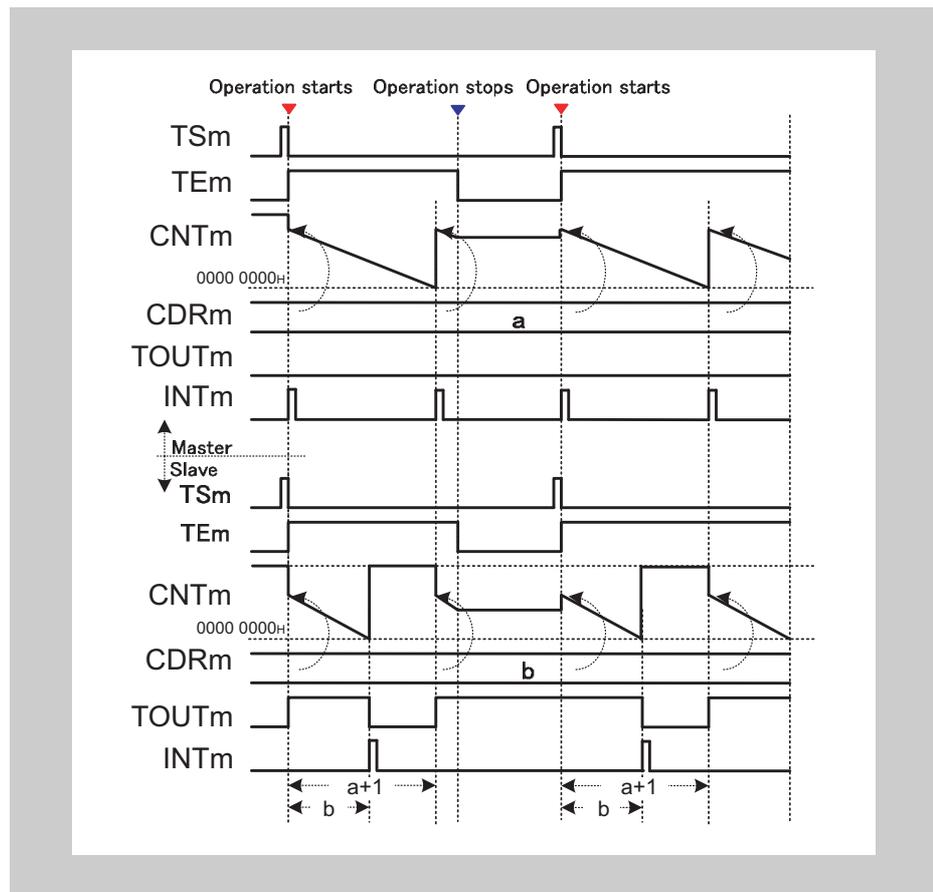


図 14-54 動作の停止と再開
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCNTm と TAUJnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUJnTS.TAUJnTSM を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウン・カウントを開始します。

14.18 レジスタ

この節では、32ビットTAUJの全レジスタについて説明します。

14.18.1 TAUJn レジスタの概要

TAUJn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から3です。

表 14-53 TAUJn レジスタの概要

レジスタ名	略号	アドレス
TAUJn プリスケアラ・レジスタ		
TAUJn プリスケアラ・クロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 _H
TAUJn プリスケアラ・ポー・レート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 _H
TAUJn 制御レジスタ		
TAUJn チャンネル・データ・レジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 _H
TAUJn チャンネル・カウンタ・レジスタ m	TAUJnCNTm	<TAUJn_base> + 10 _H + m × 4 _H
TAUJn チャンネル・モード OS レジスタ m	TAUJnCMORM	<TAUJn_base> + 80 _H + m × 4 _H
TAUJn チャンネル・モード・ユーザ・レジスタ m	TAUJnCMURm	<TAUJn_base> + 20 _H + m × 4 _H
TAUJn チャンネル・ステータス・レジスタ m	TAUJnCSRm	<TAUJn_base> + 30 _H + m × 4 _H
TAUJn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUJnCSCm	<TAUJn_base> + 40 _H + m × 4 _H
TAUJn チャンネル・スタート・トリガ・レジスタ	TAUJnTS	<TAUJn_base> + 54 _H
TAUJn チャンネル許可ステータス・レジスタ	TAUJnTE	<TAUJn_base> + 50 _H
TAUJn チャンネル・ストップ・トリガ・レジスタ	TAUJnTT	<TAUJn_base> + 58 _H
TAUJn 出力レジスタ		
TAUJn チャンネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 _H
TAUJn チャンネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C _H
TAUJn チャンネル出力モード・レジスタ	TAUJnTOM	<TAUJn_base> + 98 _H
TAUJn チャンネル出力コンフィギュレーション・レジスタ	TAUJnTOC	<TAUJn_base> + 9C _H
TAUJn チャンネル出力アクティブ・レベル・レジスタ	TAUJnTOL	<TAUJn_base> + 64 _H
TAUJn リロード・データ・レジスタ		
TAUJn チャンネル・リロード・データ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 _H
TAUJn チャンネル・リロード・データ・モード・レジスタ	TAUJnRDM	<TAUJn_base> + A4 _H
TAUJn チャンネル・リロード・データ・トリガ・レジスタ	TAUJnRDT	<TAUJn_base> + 68 _H
TAUJn チャンネル・リロード・ステータス・レジスタ	TAUJnRSF	<TAUJn_base> + 6C _H
TAUJn エミュレーション・レジスタ		
TAUJn エミュレーション・レジスタ	TAUJnEMU	<TAUJn_base> + A8 _H

備考 TAUJn のベース・アドレス <TAUJn_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

14.18.2 TAUJn プリスケーラ・レジスタの詳細

(1) TAUJnTPS - TAUJn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0, CK1, CK2, CK3_PRE クロックを指定するレジスタです。CK3 は, CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 90_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
R/W	R/W	R/W	R/W												

表 14-54 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUJnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm= 0) 場合のみ書き換え可能です。</p>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 14-54 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUJnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7-4	TAUJnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 14-54 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUJnPRSO [3:0]	CK0 クロックを指定します。 <table border="1"> <thead> <tr> <th>TAUJnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRSO[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRSO[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備考 TAUJn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

(2) TAUJnBRS - TAUJn プリスケーラ・ポー・レート設定レジスタ

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 94_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
TAUJnBRS[07:00]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-55 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7-0	TAUJnBRS [07:00]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUJnBRS[07:00]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUJnBRS[07:00]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUJnBRS[07:00]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																

14.18.3 TAUJn 制御レジスタの詳細

(1) TAUJnCDRm - TAUJn チャンネル・データ・レジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TAUJnCDR[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-56 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCDR [31:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUJnCNTm - TAUJn チャネル・カウンタ・レジスタ

チャネル m カウンタ・レジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

初期値 0000 0000_H または FFFF FFFF_H 初期値は動作モードによって異なります。表 14-58 「カウント再許可後の TAUJnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14-57 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCNT [31:0]	32 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSm, TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 14-58 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後	ストップ・ トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ワンカウント・ モード	アップ・カウント	0000 0000 _H	停止値	キャプチャ値 + 1 (TAUJnCDRm)
カウント・キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ゲート・ カウント・モード	アップ・カウント	0000 0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1] レジスタで変更します。

(3) TAUJnCMORM - TAUJn チャンネル・モード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		-	TAUJnMD[4:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 14-59 TAUJnCMORM レジスタの内容 (1/4)

ビット位置	ビット名	機能															
15,14	TAUJnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORM.TAUJnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJn CKS1</th><th>TAUJn CKS0</th><th>動作クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUJn CKS1	TAUJn CKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJn CKS1	TAUJn CKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUJnCCS [1:0]	<p>TAUJnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJn CCS1</th><th>TAUJn CCS0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TAUJnCMORM.TAUJnCKS[1:0] で指定した動作クロック</td></tr> <tr> <td>0</td><td>1</td><td>TAUJnTTINm 入力信号の有効エッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td></td></tr> </tbody> </table>	TAUJn CCS1	TAUJn CCS0	カウント・クロック選択	0	0	TAUJnCMORM.TAUJnCKS[1:0] で指定した動作クロック	0	1	TAUJnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	
TAUJn CCS1	TAUJn CCS0	カウント・クロック選択															
0	0	TAUJnCMORM.TAUJnCKS[1:0] で指定した動作クロック															
0	1	TAUJnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1																
11	TAUJnMAS	<p>チャンネル単体動作時 (TAUJnTOM.TAUJnTOMm = 0) は、0 を設定して下さい。 チャンネル連動動作時 (TAUJnTOM.TAUJnTOMm = 1) は、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 14-59 TAUJnCMORm レジスタの内容 (2/4)

ビット位置	ビット名	機能			
10-8	TAUJnSTS [2:0]	外部スタート・トリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	設定禁止
		1	1	0	
		1	1	1	

表 14-59 TAUJnCMORm レジスタの内容 (3/4)

ビット位置	ビット名	機能			
7, 6	TAUJnCOS [1:0]	チャンネル m のデータ・レジスタ TAUJnCDRm とオーバフロー・フラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUJn COS1	TAUJn COS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア
		0	1		カウンタ・オーバフロー時にセット、 TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	TAUJnTTINm 入力有効エッジ検出 : カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生 : FFFF FFFF _H が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。	カウンタ・オーバフロー時にセット、 TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア

表 14-59 TAUJnCMORm レジスタの内容 (4/4)

ビット位置	ビット名	機能					
4-0	TAUJnMD [4:0]	動作モードを指定します。					
		TAUJn MD4	TAUJn MD3	TAUJn MD2	TAUJn MD1	TAUJn MD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード
モード	TAUJnMD0 ビット的作用						
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。 0：INTTAUJnIm を出力しない 1：INTTAUJnIm を出力する						
ワンカウント・モード	カウント中のスタート・トリガ検出を許可／禁止します。 0：禁止 1：許可						
キャプチャ&ワンカウント・モード ゲート・カウント・モード キャプチャ&ゲート・カウント・モード	このビットは0に設定する必要があります。						

(4) TAUJnCMURm - TAUJn チャンネル・モード・ユーザ・レジスタ

このレジスタは、TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-60 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUJnTIS [1:0]	TAUJnTTINm 入力信号の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> TAUJnTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。 	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															

(5) TAUJnCSRm - TAUJn チャンネル・ステータス・レジスタ

このレジスタは、チャンネル m のオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TAUJnOVF
R	R	R	R	R	R	R	R

表 14-61 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnOVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> キャプチャ・モード キャプチャ&ワンカウント・モード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

(6) TAUJnCSCm - TAUJn チャネル・ステータス・クリア・トリガ・レジスタ

このレジスタは、チャンネル m のオーバーフロー・フラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 40_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUJnCLOV
R	R	R	R	R	R	R	W

表 14-62 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnCLOV	0: 機能なし 1: オーバーフロー・フラグ TAUJnCSRm.TAUJnOVF をクリア

(7) TAUJnTS - TAUJn チャネル・スタート・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 54_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
W	W	W	W	W	W	W	W

表 14-63 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

(8) TAUJnTE - TAUJn チャンネル許可ステータス・レジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 50_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
R	R	R	R	R	R	R	R

表 14-64 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTE _m	チャンネル m のカウンタ動作の許可／禁止を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUJnTSST _m (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

(9) TAUJnTT - TAUJn チャンネル・ストップ・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 58_H

初期値 00_H

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
W	W	W	W	W	W	W	W

表 14-65 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTT _m	チャンネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUJnTE.TAUJnTE _m をリセットします。 TAUJnCNT _m , TAUJnTO.TAUJnTO _m , TAUJnTTOU _m は、カウント停止前の値を保持します。

14.18.4 TAUJn 出力レジスタの詳細

(1) TAUJnTOE - TAUJn チャネル出力許可レジスタ

このレジスタは、該当するチャネルの TAUJnTTOUTm 出力モードを選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 60_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOE 03	TAUJnTOE 02	TAUJnTOE 01	TAUJnTOE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-66 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOEm	タイマ単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア制御) 1: タイマ単体出力機能を許可 チャネルのタイマ出力が禁止されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

(2) TAUJnTO - TAUJn チャネル出力レジスタ

このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 5C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-67 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOm	このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャネル単体出力機能が禁止されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

(3) TAUJnTOM - TAUJn チャンネル出力モード・レジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOM 03	TAUJnTOM 02	TAUJnTOM 01	TAUJnTOM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-68 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOMm	出力モードを指定します。 0: チャンネル単体動作 1: チャンネル連動動作 出力モードは表 14-7「チャンネル出力モード」にあるように、各チャンネル出力制御ビットの設定によって変わります。

(4) TAUJnTOC - TAUJn チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUJnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 9C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOC 03	TAUJnTOC 02	TAUJnTOC 01	TAUJnTOC 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-69 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOCm	出力モードを指定します。 0: 動作モード1 (トルク・モード) 1: 機能なし ソフトウェア制御のチャンネル単体出力モード以外のすべての出力モードでは、必ず0に設定してください。

(5) TAUJnTOL - TAUJn チャネル出力レベル・レジスタ

このレジスタは、チャネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 64_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOL 03	TAUJnTOL 02	TAUJnTOL 01	TAUJnTOL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-70 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOLm	チャネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モード以外のすべてのチャネル出力モードに適用されます。

14.18.5 TAUJn 一斉書き換えレジスタの詳細

(1) TAUJnRDE - TAUJn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータ・レジスタ TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDE 03	TAUJnRDE 02	TAUJnRDE 01	TAUJnRDE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-71 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

(2) TAUJnRDM - TAUJn チャンネル・リロード・データ・モード・レジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDM 03	TAUJnRDM 02	TAUJnRDM 01	TAUJnRDM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-72 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

(3) TAUJnRDT - TAUJn チャンネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 68_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDT 03	TAUJnRDT 02	TAUJnRDT 01	TAUJnRDT 00
W	W	W	W	W	W	W	W

表 14-73 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし 1: 一斉書き換え保留状態をトリガする。一斉書き換え保留フラグ (TAUJnRSFm) が1に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUJnRDE.TAUJnRDEm = 1

(4) TAUJnRSF - TAUJn チャンネル・リロード・ステータス・レジスタ

このフラグ・レジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 6C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRSF 03	TAUJnRSF 02	TAUJnRSF 01	TAUJnRSF 00
R	R	R	R	R	R	R	R

表 14-74 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換え不可 1: 一斉書き換え可能

14.18.6 TAUJn エミュレーション・レジスタ

(1) TAUJnEMU - TAUJn エミュレーション・レジスタ

このレジスタは、オンチップ・デバッガによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、TAUJn のカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8ビット単位でリード／ライト可能です。

このレジスタへの書き込みは、タイマ・カウント停止中（TAUJnTE.TAUJnTEm = 0）かつ、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <TAUJn_base> + A8_H

初期値 00_H

	7	6	5	4	3	2	1	0
TAUJn SVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 14-75 TAUJnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUJn SVSDIS	デバッグ時のカウント・クロックの継続 / 停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

第15章 アシクロナス・シリアル・インタフェースE (UARTE_n)

15.1 V850E2/Fx4-L の UARTE_n の機能

チャンネル この製品は次のチャンネル数のアシクロナス・シリアル・インタフェース機能を搭載しています。

表 15-1 UARTE_n のチャンネル数

アシクロナス・シリアル・インタフェースE	V850E2/FE4-L V850E2/FF4-L V850E2/FF4-G	V850E2/FG4-L V850E2/FJ4-L-384K V850E2/FG4-G	V850E2/FJ4-L-512K V850E2/FJ4-L-768K V850E2/FJ4-L-1M
チャンネル数	2	3	5
名称	UARTE10,UARTE11	UARTE2, UARTE10,UARTE11	UARTE2-UARTE4, UARTE10,UARTE11

n の意味 この章では、アシクロナス・シリアル・インタフェースEの各チャンネルを「n」で識別します (n = 2-4, 10, 11)。たとえば、UARTE_n 制御レジスタ 0 (URTE_nCTL0) のように記述しています。

レジスタ・アドレス UARTE_n レジスタのアドレスは、それぞれベース・アドレス <URTE_n_base> からのオフセットで表されます。
各 UARTE_n のレジスタ・ベース・アドレス <URTE_n_base> を次の表に示します。

表 15-2 UARTE_n レジスタ・ベース・アドレス <URTE_n_base>

チャンネル名	<URTE _n _base> アドレス
UARTE2	FF5E 0000 _H
UARTE3	FF5F 0000 _H
UARTE4	FF60 0000 _H
UARTE10	FF66 0000 _H
UARTE11	FF67 0000 _H

クロック供給 UARTE_n には次の1つのクロック入力があります。

表 15-3 UARTE_n のクロック供給

UARTE _n	UARTE クロック	クロック接続先
UARTE2	PCLK	クロック・コントローラ CKSCLK_034
UARTE3	PCLK	クロック・コントローラ CKSCLK_034
UARTE4	PCLK	クロック・コントローラ CKSCLK_034
UARTE10	PCLK	クロック・コントローラ CKSCLK_011
UARTE11	PCLK	クロック・コントローラ CKSCLK_011

割り込み UARTEn の割り込みを次の表に示します。割り込みはそれぞれの LIN マスタ・コントローラ (LMA_n) に入力されます。

表 15-4 UARTEn の割り込み

UARTEn 信号	機能	接続先
INTUAEnTIT	送信割り込み	LMA _n INTUAEnIT
INTUAEnTIR	受信割り込み	LMA _n INTUAEnIR
INTUAEnTIS	ステータス割り込み	LMA _n INTUAEnIS
INTUAEnTRA	受信/ステータス割り込み	接続されていません。

UARTE ハードウェア・リセット UARTE とそのレジスタは次のリセット信号によって初期化されます。

表 15-5 UARTEn リセット信号 I

UARTEn	リセット信号
UARTEn	リセット・コントローラ SYSRES

入出力信号 UARTEn の入出力信号を次の表に示します。

表 15-6 UARTE の入出力信号

UARTEn 信号	機能	接続先
URTE _n TTXD	送信データ出力	ポート (URTE _n TX 端子)
URTE _n TRXD	受信データ入力	ポート (URTE _n RX 端子)

注意 アシクロナス・シリアル・インタフェース E (UARTE_n) の受信データ入力端子 (URTE_nRX) にポート・フィルタが割り当てられています (初期値が有効です) が、UARTE_n 内部にフィルタがありますので、UARTE_n を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

URTE₂RX : FCLA27CTL0 = 80_H

URTE₃RX : FCLA27CTL1 = 80_H

URTE₄RX : FCLA27CTL2 = 80_H

URTE₁₀RX : FCLA7CTL0 = 80_H

URTE₁₁RX : FCLA7CTL1 = 80_H

ボーレート測定 UARTE 各チャンネルの受信データ信号は、タイマ・アレイ・ユニット B のキャプチャ入力に内部接続されています。

表 15-7 UARTEn のタイマ接続

チャンネル名	UARTEn 信号	機能	接続先
UARTE2	URTE2RX	受信データ入力	TAUB0 TAUB0TTIN2, TAUB1 TAUB1TTIN2
UARTE3	URTE3RX	受信データ入力	TAUB1 TAUB1TTIN3
UARTE4	URTE4RX	受信データ入力	TAUB1 TAUB1TTIN4
UARTE10	URTE10RX	受信データ入力	TAUB0 TAUB0TTIN0
UARTE11	URTE11RX	受信データ入力	TAUB0 TAUB0TTIN1

詳細は、13.2「TAUB 入力の選択」を参照してください。

15.2 機能の概要

- 全二重通信
 - UARTEn 受信データ・レジスタ n 内蔵 (URTEnRX)
 - UARTEn 送信データ・レジスタ n 内蔵 (URTEnTX)
- 2 端子構成：
 - URTEnTTXD：送信データ出力端子
 - URTEnTRXD：受信データ入力端子
- 受信エラーとステータス出力機能
 - パリティ・エラー
 - フレーミング・エラー
 - オーバラン・エラー
 - データ一貫性エラー
 - BF 受信エラー
- 割り込み要求：4 種類
 - 送信割り込み INTUAEnTIT
 - 受信割り込み INTUAEnTIR
 - ステータス割り込み INTUAEnTIS
 - 受信/ステータス割り込み INTUAEnTRA
- キャラクタ長：7, 8 ビット
- パリティ機能：奇数, 偶数, 0, なし
- 送信ストップ・ビット：1, 2 ビット
- MSB ファースト/LSB ファーストを切り換え可能
- 送信/受信データの出力/入力の反転が可能
- LIN (Local Interconnect Network) 通信フォーマットの BF (ブ레이크・フィールド) を 13-20 ビットに設定可能
 - LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
 - BF 受信フラグあり
- データ通信中に BF 受信の検出が可能
- 送信データのデータ一貫性を保つバス・モニタ機能

15.3 構成

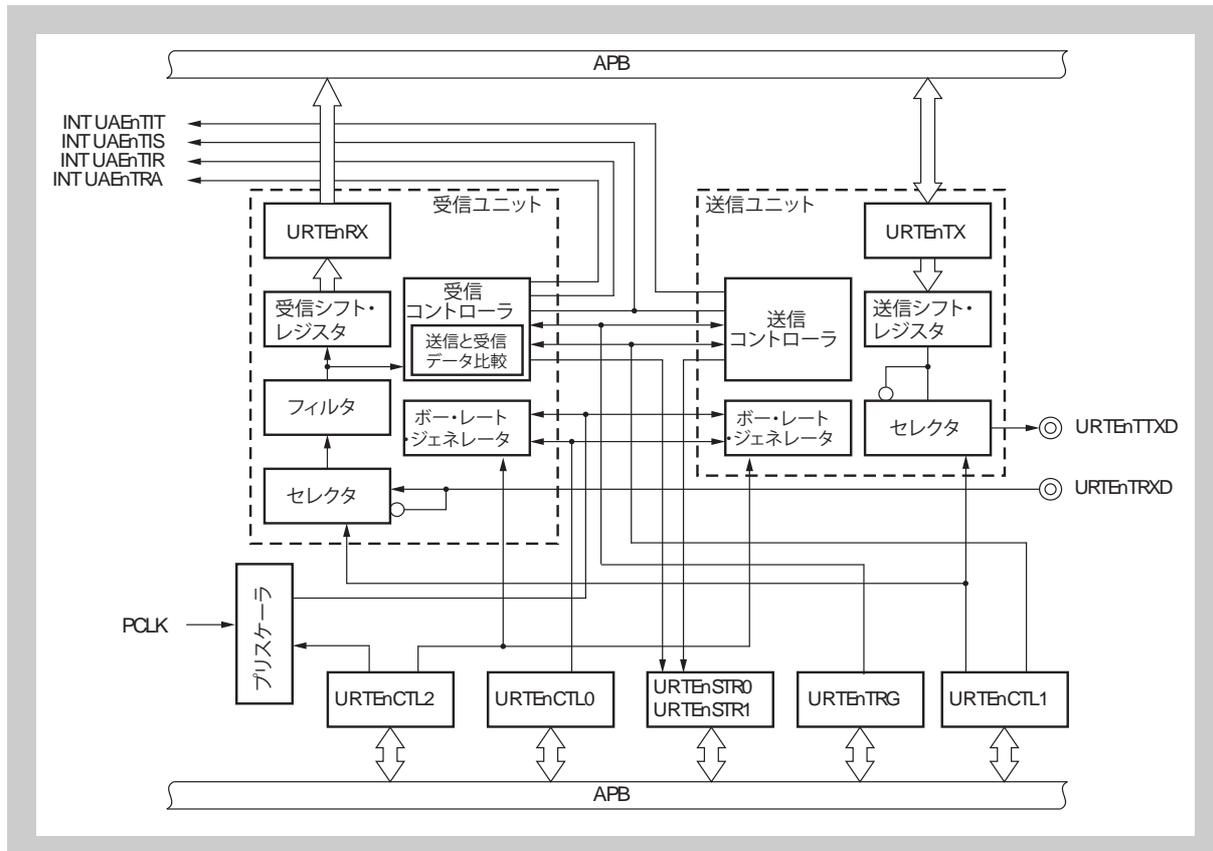


図 15-1 非同期シリアル・インタフェース UARTE_n のブロック図

15.4 UARTEn レジスタ

UARTEn は、次のレジスタで制御、動作します。

表 15-8 UARTEn レジスタ

レジスタ機能	名称	アドレス
制御レジスタ 0	URTEnCTL0	<URTEn_base> + 00 _H
制御レジスタ 1	URTEnCTL1	<URTEn_base> + 20 _H
制御レジスタ 2	URTEnCTL2	<URTEn_base> + 24 _H
トリガ・レジスタ	URTEnTRG	<URTEn_base> + 04 _H
ステータス・レジスタ 0	URTEnSTR0	<URTEn_base> + 08 _H
ステータス・レジスタ 1	URTEnSTR1	<URTEn_base> + 0C _H
ステータス・クリア・レジスタ	URTEnSTC	<URTEn_base> + 10 _H
受信データ・レジスタ	URTEnRX	<URTEn_base> + 14 _H
送信データ・レジスタ	URTEnTX	<URTEn_base> + 18 _H
UARTEn エミュレーション・レジスタ	URTEnEMU	<URTEn_base> + 34 _H

<URTEn_base> UARTEn のレジスタ・ベース・アドレス <URTEn_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

(1) URTEnCTL0 - UARTEn 制御レジスタ 0

UARTEnのシリアル転送動作を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <URTEn_base> + 00_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTEn PW	URTEn TXE	URTEn RXE	0	0	0	0	URTEn SLDC
R/W	R/W	R/W	R	R	R	R	R/W

表 15-9 URTEnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	URTEnPW	UARTEnの動作許可 0: UARTEnの動作禁止 1: UARTEnの動作許可 このビットを変更すると、すべての送信ユニットと受信ユニットが初期化されます。
6	URTEnTXE	送信許可 0: 送信動作を禁止 1: 送信動作を許可 <ul style="list-style-type: none"> 送信を開始するには、URTEnPW をセット (1) したあと、URTEnTXE をセット (1) します。送信を停止するには、URTEnTXE をクリア (0) したあと、URTEnPW をクリア (0) します (URTEnTXE と URTEnPW ビットを同時にクリア (0) することも可能です)。 送信ユニットを初期化するには、URTEnTXE をクリア (0) し、プリスケラ・クロックの2周期分の時間を経過してから、再度 URTEnTXE をセット (1) します (プリスケラ・クロックについては 15.4 (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。
5	URTEnRXE	受信許可 0: 受信動作を禁止 1: 受信動作を許可 <ul style="list-style-type: none"> 受信を許可するには、URTEnPW をセット (1) したあと、URTEnRXE をセット (1) します。受信を停止するには、URTEnRXE をクリア (0) したあと、URTEnPW をクリア (0) します (URTEnRXE と URTEnPW ビットを同時にクリア (0) することも可能です)。 受信ユニットを初期化するには、URTEnRXE を0にクリア (0) し、プリスケラ・クロックの2周期分の時間を経過してから、再度 URTEnRXE をセット (1) します。URTEnRXE がセット (1) されてからプリスケラ・クロックの2周期分の時間を経過してから、受信が許可されます。URTEnRXE がセット (1) されてから4プリスケラ・クロック・サイクルが経過すると、URTEnTRXD 信号の立ち上がりエッジの検出が可能になります (プリスケラ・クロックについては 15.4 (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。
0	URTEnSLDC	データ一貫性チェックの有効/無効 0: 一貫性チェック無効 1: 一貫性チェック有効 データ送信時にデータ一貫性エラー・チェックを有効にするかどうかを選択します。 セット (1) した場合、送信データと受信データの比較を行います。比較の結果不一致が検出されると、URTEnSTR1.URTEnDCE がセット (1) され、ステータス割り込み要求 INTUAEnTIS が発生します。 このビットは送信開始時のみ参照されます。したがって、このビットの値を送信処理中に変更しても、後続の送信処理は送信開始時の設定に応じて実行されます。

注意 1. UARTEn が次の状態をすべて満たす場合、送信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中、または送信完了状態

受信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnTXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されるためです。上記手順を実行することによって、データ転送中またはデータ転送完了後に送信を禁止した際にデータ一貫性エラーが発生しなくなります。

2. UARTEn が次の状態をすべて満たす場合、受信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中または送信完了状態

送信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnRXE を 0 に設定して受信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnTXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されて無効になるためです。上記手順を実行することによって、すでに送信されたデータに対するデータ一貫性エラーは発生しなくなります。

3. 次の状態をすべて満たす場合、データの送信を開始しないでください。

- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- BF 受信許可時 (URTEnSTR0.URTEnSSBR = 1)
- 受信中の BF 検出禁止時 (URTEnCTL1.URTEnSLBM = 0)

上記の場合、BF の受信が完了したときにデータ一貫性エラーが発生します。このとき、ステータス割り込み INTUAEnTIS が発生し、BF の受信完了は発生しません (URTEnSTR1.URTEnBSF は 0 を保持)。したがって、BF の受信完了は認識されません。

(2) URTEnCTL1 - UARTEn 制御レジスタ 1

UARTEn シリアル・データ転送で使用するデータ・フレームの特性を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <URTEn_base> + 20_H

初期値 5002_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnSLBM	URTEnBLG[2:0]			0	0	0	URTEnCLG
R/W	R/W	R/W	R/W	R	R	R	R/W
7	6	5	4	3	2	1	0
URTEnSLP[1:0]	URTEnTDL	URTEnRDL	0	URTEnSLG	URTEnSLD	URTEnSLIT	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 15-10 URTEnCTL1 レジスタの内容 (1/3)

ビット位置	ビット名	機能																																				
15	URTEnSLBM	BF 受信モード選択 0: データ受信中の BF の受信を禁止 1: データ受信中の BF の受信を許可 • このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。																																				
14-12	URTEnBLG[2:0]	送信時の BF ビット長 <table border="1"> <thead> <tr> <th>URTEnBLG2</th><th>URTEnBLG1</th><th>URTEnBLG0</th><th>BF 長</th></tr> </thead> <tbody> <tr><td>1</td><td>0</td><td>1</td><td>13 ビット</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>14 ビット</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>15 ビット</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>16 ビット</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>17 ビット</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>18 ビット</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>19 ビット</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20 ビット</td></tr> </tbody> </table> これらのビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。	URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長	1	0	1	13 ビット	1	1	0	14 ビット	1	1	1	15 ビット	0	0	0	16 ビット	0	0	1	17 ビット	0	1	0	18 ビット	0	1	1	19 ビット	1	0	0	20 ビット
URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長																																			
1	0	1	13 ビット																																			
1	1	0	14 ビット																																			
1	1	1	15 ビット																																			
0	0	0	16 ビット																																			
0	0	1	17 ビット																																			
0	1	0	18 ビット																																			
0	1	1	19 ビット																																			
1	0	0	20 ビット																																			
8	URTEnCLG	送信/受信データ・ビット長 0: 7 ビット 1: 8 ビット • LIN フォーマットで送信/受信を行うときは、URTEnCLG をセット (1) してください。 • このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。																																				

表 15-10 URTEnCTL1 レジスタの内容 (2/3)

ビット位置	ビット名	機能																						
7, 6	URTEnSLP[1:0]	<p>パリティ・ビット選択</p> <table border="1"> <thead> <tr> <th rowspan="2">URTEnSLP1</th> <th rowspan="2">URTEnSLP0</th> <th colspan="2">動作</th> </tr> <tr> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットなしで出力</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力(0に固定)</td> <td>パリティを判定しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判定を行う</td> </tr> </tbody> </table> <ul style="list-style-type: none"> 受信中に「パリティを判定しない受信」を選択した場合、パリティ・チェックは行われません。したがって、URTEnSTR1.URTEnPE ビットがセット(1)されないため、エラー割り込みは出力されません。 LIN フォーマットで送信/受信を行うときは、URTEnPE ビットがセット(1)されず、パリティ・エラーによるエラー割り込みも出力されません。 これらのビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。 	URTEnSLP1	URTEnSLP0	動作		送信	受信	0	0	パリティ・ビットなしで出力	パリティなしで受信	0	1	0パリティを出力(0に固定)	パリティを判定しない	1	0	奇数パリティを出力	奇数パリティとして判定を行う	1	1	偶数パリティを出力	偶数パリティとして判定を行う
URTEnSLP1	URTEnSLP0	動作																						
		送信	受信																					
0	0	パリティ・ビットなしで出力	パリティなしで受信																					
0	1	0パリティを出力(0に固定)	パリティを判定しない																					
1	0	奇数パリティを出力	奇数パリティとして判定を行う																					
1	1	偶数パリティを出力	偶数パリティとして判定を行う																					
5	URTEnTDL	<p>送信データ・レベル制御</p> <p>0: 送信データ出力反転無効 1: 送信データ出力反転有効</p> <ul style="list-style-type: none"> このビットを使って URTEnTTXD 信号の出力レベルを反転させることができます。このビットをセット(1)すると、URTEnCTL0.URTEnPW と URTEnCTL0.URTEnTXE の値に関係なく、ただちに URTEnTTXD の出力レベルを反転します。したがって、動作禁止時に URTEnTDL をセット(1)すると、URTEnTTXD はロウ・レベルを出力します。 このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。 																						
4	URTEnRDL	<p>受信データ・レベル制御</p> <p>0: 受信データ入力反転無効 1: 受信データ入力反転有効</p> <ul style="list-style-type: none"> このビットを使って URTEnTRXD 信号の入力レベルを反転させることができます。このビットをセット(1)すると、URTEnCTL0.URTEnPW と URTEnCTL0.URTEnRXE の値に関係なく、ただちに URTEnTRXD の入力レベルを反転します。したがって、動作禁止時に URTEnRDL をセット(1)すると、URTEnTRXD にはロウ・レベルが入力されます。 このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。 																						

表 15-10 URTEnCTL1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	URTEnSLG	送信データのストップ・ビット数の選択 0: 1 ビット 1: 2 ビット <ul style="list-style-type: none"> データまたは BF の受信時、ストップ・ビット長は常に 1 として処理されま ず。 このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。
1	URTEnSLD	転送方向選択 0: MSB ファースト転送 1: LSB ファースト転送 <ul style="list-style-type: none"> LIN フォーマットで送信／受信を行うときは、URTEnSLD をセット (1) し てください。 このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できま ず。
0	URTEnSLIT	送信割り込み要求 (INTUAEnTIT) 発生タイミング選択 0: 送信データが送信ソフト・レジスタに格納され、送信を開始する際に INTUAEnTIT を発生します。 1: 送信完了時に INTUAEnTIT を発生します。 <ul style="list-style-type: none"> このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。

(3) URTEnCTL2 - UARTEn 制御レジスタ 2

UARTEn シリアル・データ転送で使用するボー・レートを指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <URTEn_base> + 24_H

初期値 EFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnPRS[2:0]			0	URTEnBRS[11:8]			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
URTEnBRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-11 URTEnCTL2 レジスタの内容

ビット位置	ビット名	機能																						
15-13	URTEn PRS[2:0]	プリスケラ・クロック (PRCLK) 分周値 0: PRCLK = PCLK / 2 ⁰ 1: PRCLK = PCLK / 2 ¹ 2: PRCLK = PCLK / 2 ² 3: PRCLK = PCLK / 2 ³ 4: PRCLK = PCLK / 2 ⁴ 5: PRCLK = PCLK / 2 ⁵ 6: PRCLK = PCLK / 2 ⁶ 7: PRCLK = PCLK / 2 ⁷																						
11-0	URTEn BRS[11:0]	ボー・レート・クロック (BRCLK) 分周値 <table border="1"> <thead> <tr> <th>URTEn BRS[11:0]</th><th>送信/受信 BRCLK</th><th>BF 受信クロック</th></tr> </thead> <tbody> <tr> <td>000_H</td><td rowspan="5">PRCLK/ (2 × 4)</td><td rowspan="5">PRCLK/ 4</td></tr> <tr> <td>001_H</td></tr> <tr> <td>002_H</td></tr> <tr> <td>003_H</td></tr> <tr> <td>004_H</td></tr> <tr> <td>005_H</td><td>PRCLK/ (2 × 5)</td><td>PRCLK/ 5</td></tr> <tr> <td>...</td><td>PRCLK/ (2 × URTEnBRS[11:0])</td><td>PRCLK/ URTEnBRS[11:0]</td></tr> <tr> <td>FFE_H</td><td>PRCLK/ (2 × 4094)</td><td>PRCLK/ 4094</td></tr> <tr> <td>FFF_H</td><td>PRCLK/ (2 × 4095)</td><td>PRCLK/ 4095</td></tr> </tbody> </table>	URTEn BRS[11:0]	送信/受信 BRCLK	BF 受信クロック	000 _H	PRCLK/ (2 × 4)	PRCLK/ 4	001 _H	002 _H	003 _H	004 _H	005 _H	PRCLK/ (2 × 5)	PRCLK/ 5	...	PRCLK/ (2 × URTEnBRS[11:0])	PRCLK/ URTEnBRS[11:0]	FFE _H	PRCLK/ (2 × 4094)	PRCLK/ 4094	FFF _H	PRCLK/ (2 × 4095)	PRCLK/ 4095
URTEn BRS[11:0]	送信/受信 BRCLK	BF 受信クロック																						
000 _H	PRCLK/ (2 × 4)	PRCLK/ 4																						
001 _H																								
002 _H																								
003 _H																								
004 _H																								
005 _H	PRCLK/ (2 × 5)	PRCLK/ 5																						
...	PRCLK/ (2 × URTEnBRS[11:0])	PRCLK/ URTEnBRS[11:0]																						
FFE _H	PRCLK/ (2 × 4094)	PRCLK/ 4094																						
FFF _H	PRCLK/ (2 × 4095)	PRCLK/ 4095																						

注意 このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) にのみ書き込み可能です。

PCLK UARTEn 入力クロックの値は、この章の最初の節内「クロック供給」で定義しています。

(4) URTEnTRG - UARTEn トリガ・レジスタ

BF の UARTEn 送信／受信トリガを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <URTEn_base> + 04_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
	0	URTEn BRT	URTEn BTT	0	0	0	0	0
	R	R/W	R/W	R	R	R	R	R

表 15-12 URTEnTRG レジスタの内容 (1/2)

ビット位置	ビット名	機能
6	URTEnBRT	<p>BF 受信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の受信許可</p> <ul style="list-style-type: none"> 受信許可時にこのビットをセット (1) することによって BF の受信を許可し (URTEnSTR0.URTEnSSBR = 1), 受信シリアル信号の立ち下がリエッジ検出によって BF の受信処理を開始します。 受信処理中にこのビットをセット (1) すると、進行中の受信処理が終了します。このとき、受信データは格納されず、受信していたデータに基づいてフレーミング・エラー・ビット, パリティ・エラー・ビット, オーバフロー・エラー・ビットが更新されることもなく、割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。 BF 受信後は、URTEnCTL1.URTEnSLBM の設定に従って受信ステータスが設定されます。 このビットは、受信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnRXE = 1) にのみセット (1) できます。 <p>URTEnBRT がセット (1) されると、URTEnCTL1.URTEnSLBM の設定に応じて、次のいずれかの方法で BF の受信完了が発生します。</p> <ul style="list-style-type: none"> URTEnCTL1.URTEnSLBM = 0 の場合 BF の受信が完了すると、受信割り込み要求 INTUAEnTIR が発生します。 URTEnCTL1.URTEnSLBM = 1 の場合 BF の受信が完了すると、URTEnSTR1.URTEnBSF がセット (1) され、ステータス割り込み要求 INTUAEnTIS が発生します。

表 15-12 URTEnTRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	URTEnBTT	<p>BF 送信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の送信許可</p> <ul style="list-style-type: none"> URTEnSTR0.URTEnSSBT = 0 かつ送信許可時 (URTEnDCE = 0) にこのビットをセット (1) すると、BF 送信要求が設定され、URTEnSSBT がセット (1) されます。 データ送信中にこのビットをセット (1) すると、現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットをセット (1) しても、BF は 1 回しか送信されません。 送信許可時 (URTEnPW = URTEnTXE = 1) にこのビットをセット (1) すると、それまでに設定されていた未送信のデータ送信要求はすべてクリア (0) され、BF 送信要求だけが残ります。このビットをセット (1) したあとに URTEnTX7-URTEnTX0 ビットへの書き込みが行われた場合、BF が送信されたあとでデータが送信されます。 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。 URTEnDCE = 1 の場合は、このビットに 1 を書き込んでも無視されます。 このビットは、送信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnTXE = 1) にのみセット (1) できます。 URTEnCTL0.URTEnPW = 1, URTEnCTL0.URTEnRXE = 1, URTEnCTL1.URTEnSLBM = 0 の状態で BF を送信する場合は、URTEnTRG.URTEnBRT = 1 を書き込んだ後に URTEnTRG.URTEnBTT = 1 を書き込み、BF を送信してください。 (URTEnTRG.URTEnBTT = 1 を先に書き込むと、フレーミングエラーが発生する場合があります)。

(5) URTEnSTR0 - UARTEn ステータス・レジスタ 0

シリアル・データ送信の現在の状態を示します。

アクセス 8ビット単位でリード可能です。このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEn の動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTEn_base> + 08_H

初期値 00_H すべてのリセット要因および URTEnCTL0.URTEnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

	7	6	5	4	3	2	1	0
	0	URTEnSSBR ^a	URTEnSSBT ^b	0	0	0	URTEnSSR ^a	URTEnSST ^b
	R	R	R	R	R	R	R	R

a) このビットは、URTEnCTL0.URTEnRXE = 0 によって受信が禁止されたときにも初期化されます。

b) これらのビットは、URTEnCTL0.URTEnTXE = 0 によって送信が禁止されたときにも初期化されます。

表 15-13 URTEnSTR0 レジスタの内容

ビット位置	ビット名	機能
6	URTEnSSBR	BF 受信許可／禁止状態表示 0: BF 受信禁止状態 1: URTEnTRG.URTEnBRT のセット (1) による BF 受信許可状態 (BF 受信スタンバイ・モードまたは BF 受信ビジー)
5	URTEnSSBT	BF 送信許可／禁止状態表示 0: BF 送信禁止状態 1: URTEnTRG.URTEnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー)
1	URTEnSSR	データ受信状態 0: データ受信処理外 1: データ受信中 (データ受信ビジー)
0	URTEnSST	データ送信状態 0: 進行中または保留中の送信なし 1: URTEnTX[7:0] 内データの送信を保留中、または進行中

(6) URTE_nSTR1 - UARTE_n ステータス・レジスタ 1

シリアル・データ送信の結果を示します。

アクセス 8ビット単位でリード可能です。このレジスタは、UARTE_n 動作禁止時 (URTE_nCTL0.URTE_nPW = 0) に書き込み可能です。UARTE_n の動作が許可 (URTE_nCTL0.URTE_nPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTE_n_base> + 0C_H

初期値 00_H すべてのリセット (1) 要因および URTE_nCTL0.URTE_nPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTE _n BSF ^a	URTE _n DCE ^b	URTE _n PE ^a	URTE _n FE ^a	URTE _n OVE ^a
R	R	R	R	R	R	R	R

a) これらのビットは、URTE_nCTL0.URTE_nRXE = 0 によって受信が禁止されたときも初期化されます。

b) このビットは、URTE_nCTL0.URTE_nTXE = 0 によって送信が禁止されたときも初期化されます。

表 15-14 URTE_nSTR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
4	URTE _n BSF	BF 受信成功フラグ 0: URTE _n SLBM=1 のときに BF 受信なし 1: URTE _n SLBM=1 のときに BF 受信成功 LIN 通信時に BF 受信モード選択ビット (URTE _n CTL1.URTE _n SLBM) を 1 にセットした場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTE _n BSF ビットは、次の設定によりクリア (0) されます。 - URTE _n CTL0.URTE _n PW = 1 or - URTE _n CTL0.URTE _n RXE = 0 or - URTE _n CTL1.URTE _n SLBM = 0 or - URTE _n STC.URTE _n CLBS = 1
3	URTE _n DCE	データー貫性エラー・フラグ 0: 送信データ／受信データ (送信 BF／受信 BF) の不一致なし 1: 送信データ／受信データ (送信 BF／受信 BF) の不一致検出 LIN 通信時に BF 受信モード選択ビットをセット (1) した場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTE _n DCE ビットは、次の設定によってクリア (0) されます。 - URTE _n CTL0.URTE _n PW = 0 or - URTE _n CTL0.URTE _n TXE = 0 or - URTE _n STC.URTE _n CLDC = 1
2	URTE _n PE	パリティ・エラー・フラグ 0: 受信データ内にパリティ・エラーなし 1: 受信データ内にパリティ・エラー検出 URTE _n PE の動作は URTE _n .URTE _n SLP[1:0] の設定によって制御されます。 URTE _n PE ビットは、次の設定によってクリア (0) されます。 - URTE _n CTL0.URTE _n PW = 0 or - URTE _n CTL0.URTE _n RXE = 0 or - URTE _n STC.URTE _n CLP = 1

表 15-14 URTEnSTR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	URTEnFE	フレーミング・エラー・フラグ 0: 受信データ内にフレーミング・エラーなし 1: 受信データ内にフレーミング・エラー検出 URTEnFE ビットは、次の設定によってクリア (0) されます。 - URTEnCTL0.URTEnPW = 0 or - URTEnCTL0.URTEnRXE = 0 or - URTEnSTC.URTEnCLF = 1
0	URTEnOVE	オーバラン・エラー・フラグ 0: 受信データ内にオーバラン・エラーなし 1: 受信データ内にオーバラン・エラー検出 オーバラン・エラーが発生した場合、そのデータは破棄され、次の受信データも受信データ・レジスタ URTEnRX に書き込まれません。 URTEnOVE ビットは、次の設定によってクリア (0) されます。 - URTEnCTL0.URTEnPW = 0 or - URTEnCTL0.URTEnRXE = 0 or - URTEnSTC.URTEnCLOV = 1

備考 このレジスタのビットに対してセット (1) とクリア (0) が同時に起こった場合、セット (1) が優先されます。

エラー検出の詳細は、15.6.5「送信データ一貫性チェック」および15.6.9「受信エラー」を参照してください。

注意 送受信許可時に一貫性チェック・エラーが発生 (URTEnSTR1.URTEnDCE = 1) した場合、後続のデータを転送する前に次の手順を実行してください。

- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。
- URTEnCTL0.URTEnTXE を 1 に設定して送信を許可します。
- URTEnTRG.URTEnBTT (BT 送信トリガ) をセット (1) するか、URTEnTX に任意のデータを書き込んで送信を開始します。

これで新しい送信を開始できる状態になります。

(7) URTEnSTC - UARTEn ステータス・クリア・レジスタ

URTEnSTR1 (ステータス・レジスタ 1) のステータス・ビットをクリア (0) します。

アクセス 8/1 ビット単位でリード/ライト可能です。

このレジスタを読み出すと常に 00_H を返します。

アドレス <URTEn_base> +10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTEn CLBS	URTEn CLDC	URTEn CLP	URTEn CLF	URTEn CLOV
R	R	R	R/W	R/W	R/W	R/W	R/W

表 15-15 URTEnSTC レジスタの内容

ビット位置	ビット名	機能
4	URTEnCLBS	BF 受信成功フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnBSF がクリア (0) されます。
3	URTEnCLDC	データ一貫性エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnDCE がクリア (0) されます。 このビットをセット (1) することで URTEnDCE をクリア (0) すると、保留中のデータや BF 送信要求はすべて無視されます。
2	URTEnCLP	パリティ・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnPE がクリア (0) されます。
1	URTEnCLF	フレーミング・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnFE がクリア (0) されます。
0	URTEnCLOV	オーバラン・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnOVE がクリア (0) されます。

(8) URTEnRX - UARTEn 受信データ・レジスタ

受信データを格納します。

1バイトのデータ受信が完了すると、受信シフト・レジスタに格納されたデータがURTEnRXに転送されます。

7ビット転送 データ長が7ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された受信データは転送方向 (MSB ファースト / LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト受信 (URTEnCTL1.URTEnSLD = 1) の場合、受信データはURTEnRX[6:0]に転送され、データのMSBであるURTEnRX[7]は常に0になります。
- MSB ファースト受信 (URTEnCTL1.URTEnSLD = 0) の場合、受信データはURTEnRX[7:1]に転送され、データのLSBであるURTEnRX[0]は常に0になります。

データ・フォーマットの詳細は、15.6.1「データ・フォーマット」を参照してください。

オーバラン・エラー オーバラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合、そのときの受信データはURTEnRXに転送されず、破棄されます。

受信処理が終了し、オーバラン・エラーが発生せずにデータが受信されたことを確認した場合、指定された格納フォーマットで受信データがURTEnRXに格納されます。

このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEn の動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アクセス 8ビット単位でリード可能です。

アドレス <URTEn_base> + 14_H

初期値 FF_H すべてのリセット要因およびURTEnCTL0.URTEnPWビットを0→1に設定しUARTEnの動作が許可されたときに初期化されます。

7	6	5	4	3	2	1	0
URTEnRX[7:0]							
R	R	R	R	R	R	R	R

表 15-16 URTEnRx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnRX[7:0]	UARTEn 受信データ

(9) URTEnTX - UARTEn 送信データ・レジスタ

送信するデータを格納します。

URTEnTX 内の送信データは、指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

7ビット転送 データ長が7ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された送信データは転送方向 (MSB ファースト / LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト送信 (URTEnCTL1.URTEnSLD = 1) の場合、データの MSB である URTEnTX[7] は常に 0 に設定され、URTEnTX[6:0] がシフト・レジスタへ転送されます。
- MSB ファースト送信 (URTEnCTL1.URTEnSLD = 0) の場合、データの LSB である URTEnTX[0] は常に 0 に設定され、URTEnTX[7:1] がシフト・レジスタへ転送されます。

データ・フォーマットの詳細は、15.6.1「データ・フォーマット」を参照してください。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <URTEn_base> + 18_H

初期値 FF_H どのリセット要因でも初期化されます。

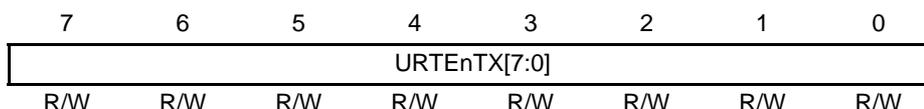


表 15-17 URTEnTx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnTX[7:0]	UARTEn 送信データ

送受信許可時 (URTEnCTL0.URTEnPW = URTEnTXE = 1) にこのレジスタへの書き込みを行うと、送信が起動されます。

備考 処理中のデータ送信が完了する前に次のデータをこのレジスタに書き込んだ場合、転送の完了を待って、次のデータを送信することで連続転送を行うことができます。

(10) URTEnEMU - UARTEn エミュレーション・レジスタ

このレジスタは、オンチップ・デバッガによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、UARTEnのカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8/1 ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <URTEn_base> + 34_H

初期値 00_H

	7	6	5	4	3	2	1	0
URTEn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 15-18 URTEnEMU レジスタの内容

ビット位置	ビット名	機能
7	URTEn SVSDIS	デバッグ時のカウント・クロックの継続/停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

15.5 割り込み要求信号

UARTEnからは次の4種類の割り込み要求信号を発生します。

- 送信割り込み要求 INTUAEnTIT
- 受信割り込み要求 INTUAEnTIR
- ステータス割り込み要求 INTUAEnTIS
- 受信/ステータス割り込み要求 INTUAEnTRA

15.5.1 送信割り込み要求 INTUAEnTIT

送信許可状態で、URTEnTXレジスタから送信シフト・レジスタへ送信データが転送されると、送信割り込み要求 INTUAEnTIT を発生します。

送信割り込み要求の発生条件は、URTEnCTL1.URTEnSLITの設定に依存します。

- 送信処理の開始時 : URTEnCTL1.URTEnSLIT = 0
最初のビット (データ送信の最初のビット, または BF 送信の最初の BF) が送信されると、送信割り込み要求が発生します。
- 送信処理の終了時 : URTEnCTL1.URTEnSLIT = 1
送信の最後のビット (ストップ・ビット長が1の場合最初のストップ・ビット, ストップ・ビット長が2の場合2番目のストップ・ビット) が送信されると、送信割り込み要求が発生します。

備考 データ一貫性チェック・エラーが検出されてもこの割り込みは発生しません。送信処理の開始時と終了時の送信割り込み要求の発生タイミングを、それぞれ次の図に示します。

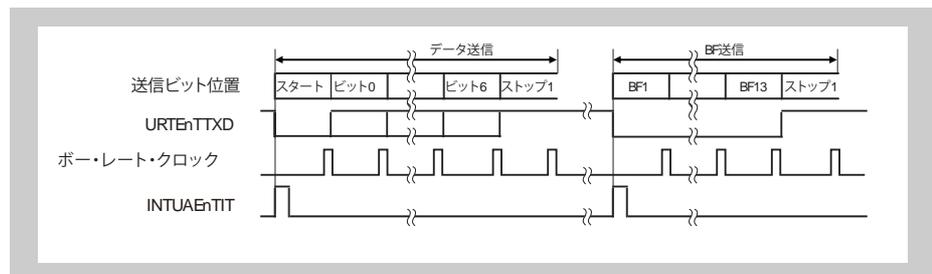


図 15-2 URTEnCTL1.URTEnSLIT = 0 のときの送信割り込み要求発生タイミング

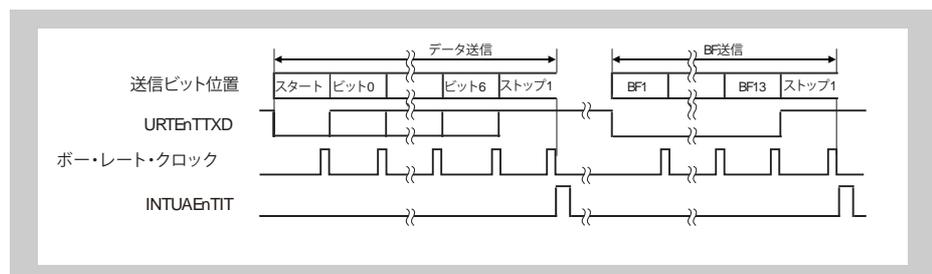


図 15-3 URTEnCTL1.URTEnSLIT = 1 のときの送信割り込み要求発生タイミング

15.5.2 受信割り込み要求 INTUAEnTIR

ストップ・ビットの最初のビットがサンプリングされると、受信割り込み要求が発生します。

受信時にエラーが生じた場合は、INTUAEnTIR ではなくステータス割り込み INTUAEnTIS を発生します。

受信禁止状態中は、受信割り込み要求 INTUAEnTIR は発生しません。

データ／BF 受信中の受信割り込み要求の発生タイミングを次の図に示します。

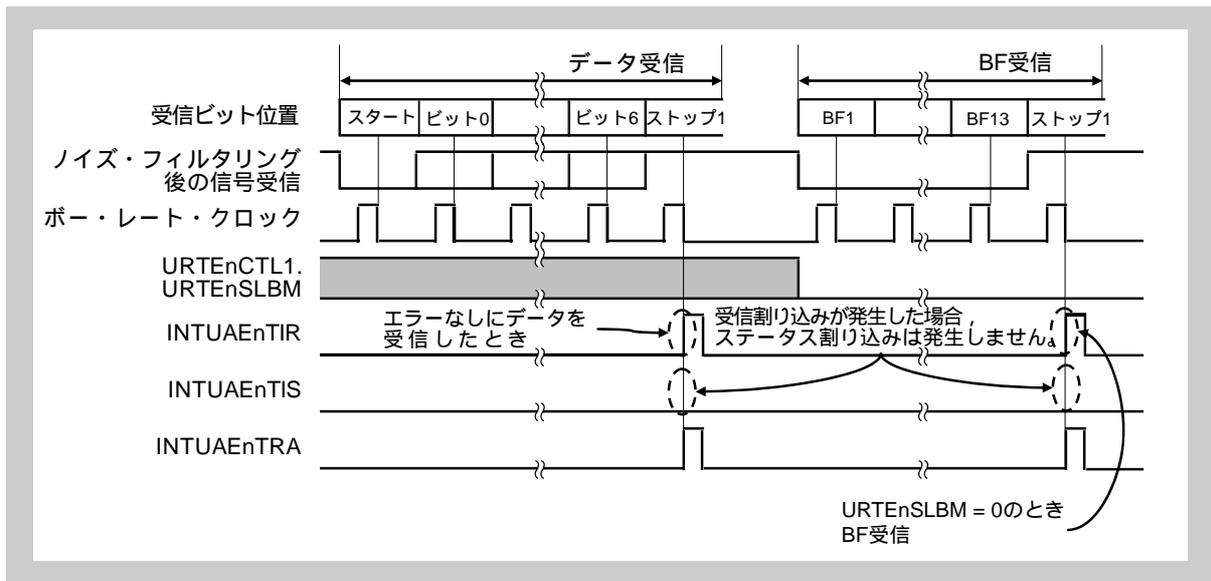


図 15-4 受信割り込み要求の発生タイミング

15.5.3 ステータス割り込み要求 INTUAEnTIS

受信中または送信中にエラー条件が発生すると、URTEnSTR1（ステータス・レジスタ 1）の設定に応じてステータス割り込み要求が発生します。

LIN 通信時に BF 受信を許可（URTEnCTL1.URTEnSLBM = 1）にすると、11 ビット以上の連続的なロウ・レベル（BF）が受信された際にステータス割り込み要求信号が発生します。

15.5.4 受信／ステータス割り込み要求 INTUAEnTRA

受信割り込み要求またはステータス割り込み要求が発生した場合、受信／ステータス割り込み要求が発生します。すなわち、以下の関係となっています。

INTUAEnTRA = INTUAEnTIR または INTUAEnTIS

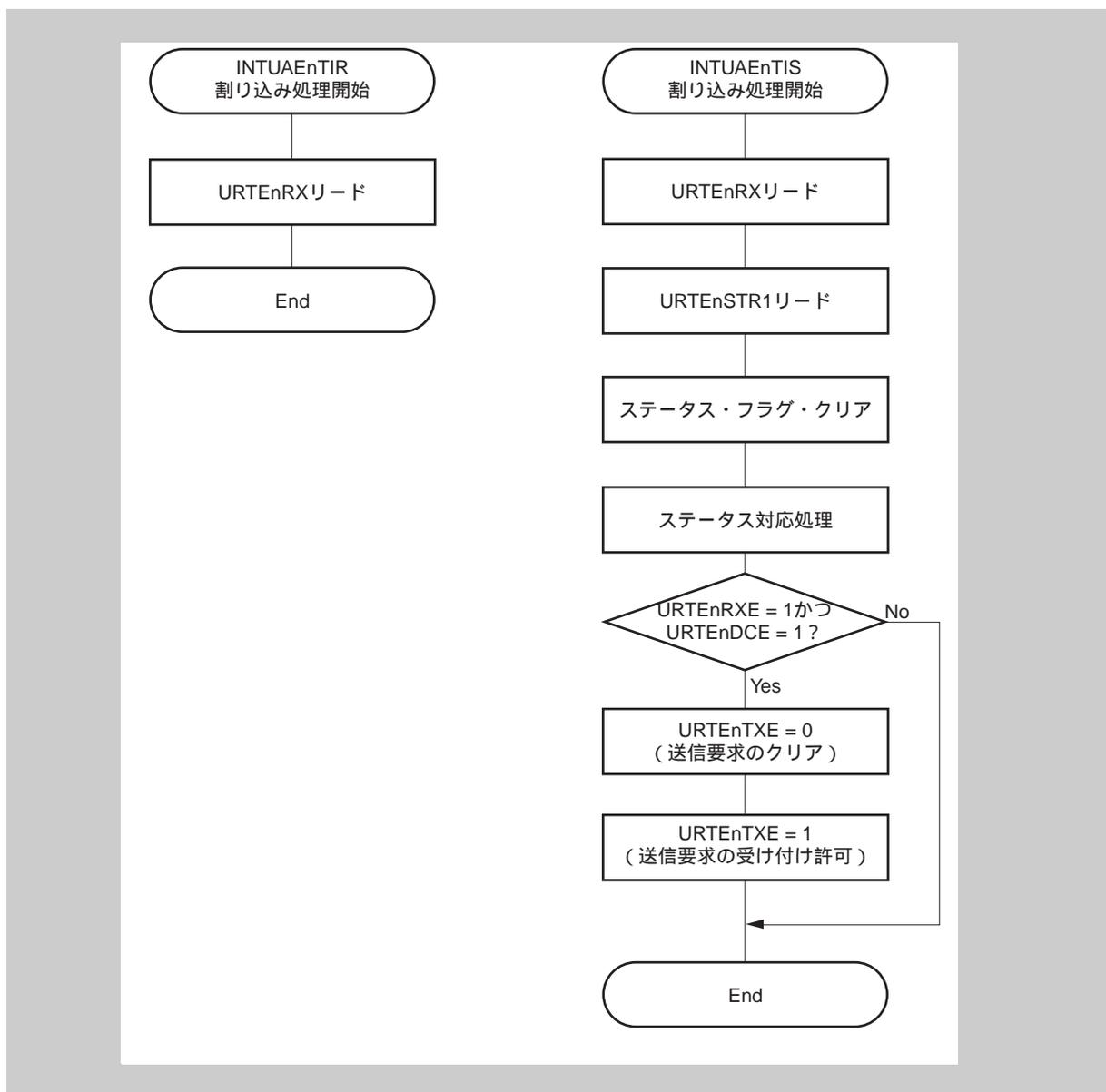


図 15-5 割り込み発生後処理フロー

15.6 動作

15.6.1 データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは、次の図に示すようにスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

URTEnCTL1 レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表 15-19 データ・フォーマットの仕様

項目	オプション	制御ビット
スタート・ビット	1ビット	固定
キャラクタ・ビット	7ビット／8ビット	URTEnCTL1.URTEnCLG
パリティ	偶数パリティ／奇数パリティ／0／なし	URTEnCTL1.URTEnSLP[1:0]
ストップ・ビット数	1ビット／2ビット	URTEnCTL1.URTEnSLG
データ順序	MSB ファースト／LSB ファースト	URTEnCTL1.URTEnSLD
送信データ・レベル	反転／非反転	URTEnCTL1.URTEnTDL
受信データ・レベル	反転／非反転	URTEnCTL1.URTEnRDL

(1) UARTEn の送信／受信データ・フォーマット

- (a) 8ビット・データ長, LSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55_H



- (b) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55_H



- (c) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55_H, URTE_nTTXD 反転



- (d) 7ビット・データ長, LSB ファースト, 奇数パリティ, 2ストップ・ビット, 転送データ : 36_H



- (e) 8ビット・データ長, LSB ファースト, パリティなし, 1ストップ・ビット,
転送データ : 87_H



15.6.2 BF の送信／受信フォーマット

UARTEnにはLIN機能を使用するためにBF（ブレーク・フィールド）送信／受信制御機能があります。

LINについて LINはLocal Interconnect Network（ローカル相互接続ネットワーク）の略であり、車載ネットワークのコスト削減を図るために開発された低速（1～20 kbps）シリアル通信プロトコルです。

LIN通信はシングルマスタ通信で、1つのマスタに最大15個のスレーブを接続することができます。

LINスレーブは、スイッチ、アクチュエータ、センサの制御に使用され、LINネットワークを介してLINマスタに接続されます。

通常、LINマスタはCAN（Controller Area Network）などのネットワークに接続されます。

さらに、LINバスはシングル・ワイヤ方式を使用し、ISO9141に準拠したトランシーバを介してノードに接続されます。

LINプロトコルでは、マスタがポー・レート情報とともにフレームを送信し、スレーブがそれを受信してポー・レート誤差を補正します。したがって、スレーブのポー・レート誤差が $\pm 14\%$ 以内であれば通信が可能です。

LINの送信と受信の概要については、図15-6「LIN送信の概要」および図15-7「LIN受信の概要」を参照してください。

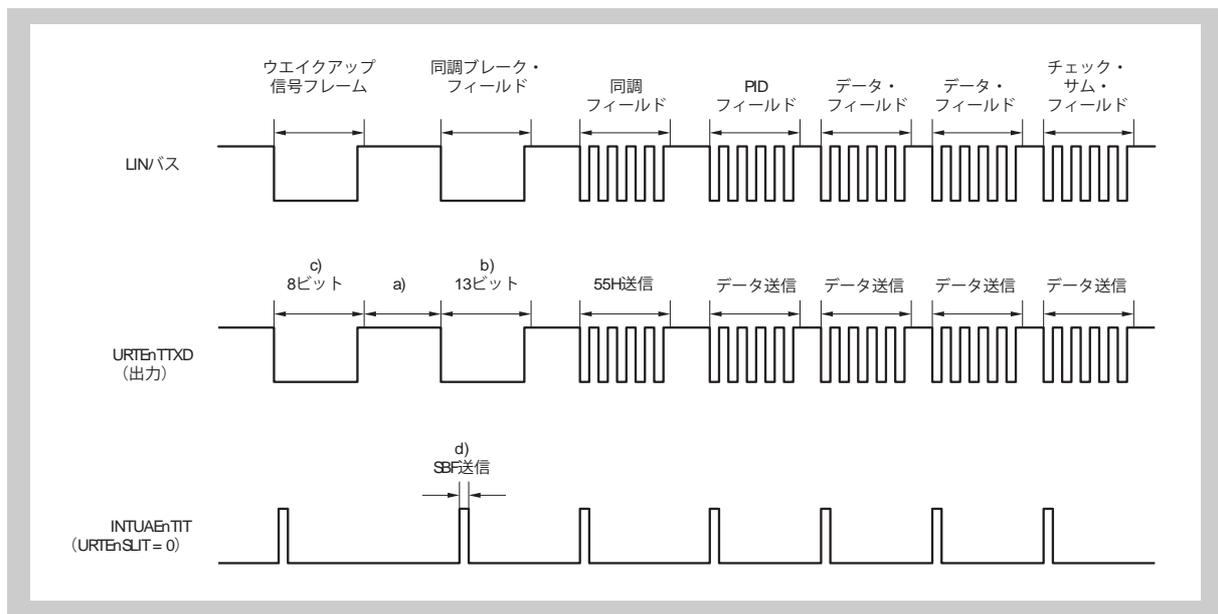


図 15-6 LIN 送信の概要

- フィールド間のインターバルはソフトウェアによって制御されます。
- BFの出力はハードウェアによって実行されます。出力幅はURTEnCTL1.URTEnBLG[2:0]によって設定されるビット長です。URTEnCTL2.URTEnBRS[11:0]を設定することによって、出力幅をより細かく調整することができます。
- ウェイクアップ信号フレームの代わりに8ビット・モードで80Hが転送されます。
- 送信を開始するたびに送信許可割り込みINTUAEnTITが発生します。INTUAEnTITは、BFの送信開始時にも発生します。

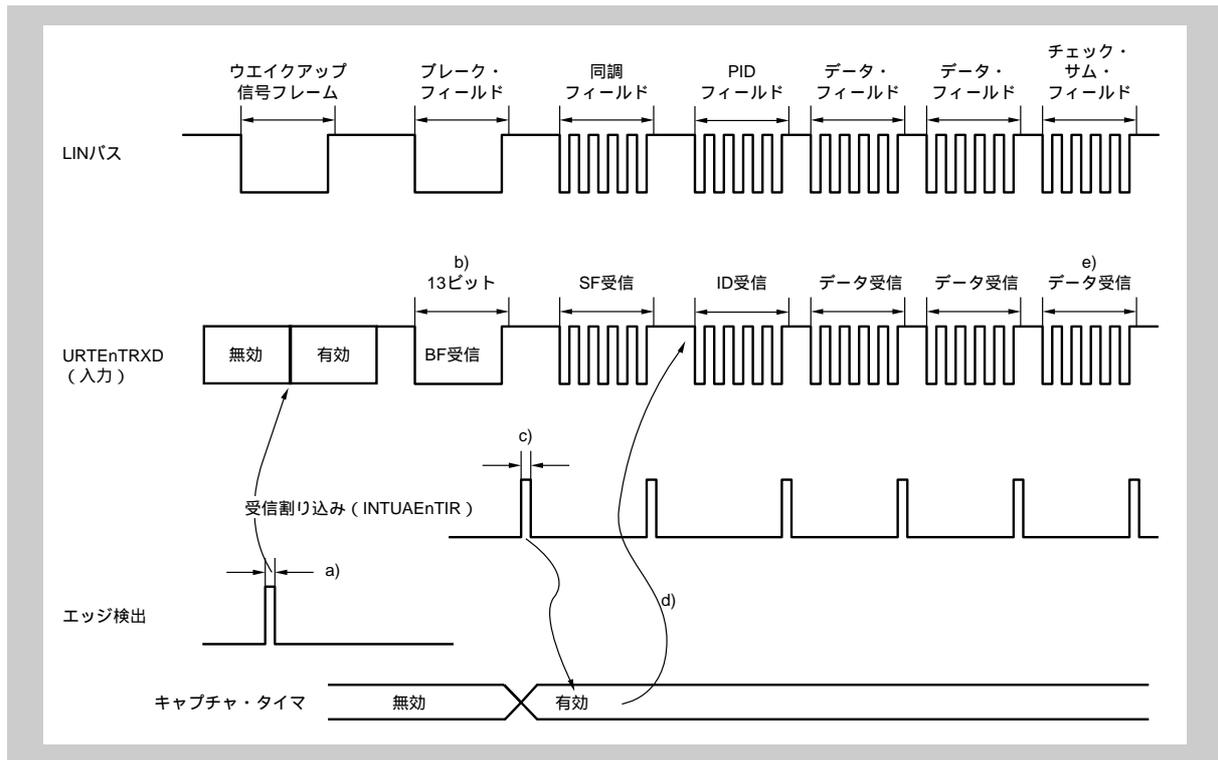


図 15-7 LIN 受信の概要

- a) ウェイクアップ信号は端子のエッジ検出器によって送信され、UARTEn を有効にして BF 受信モードを設定します。
- b) 11 ビット以上の BF 受信を検出した場合、正常 BF 受信終了と判断します。BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。URTEnSLBM, URTEnSSBR ビットの設定に応じて次の割り込みを発生します。

URTEnSLBM	URTEnSSBR	割り込み
1	x	INTUAEnTIS 割り込み
0	1	INTUAEnTIR 割り込み
0	0	フレーミング・エラーになり、INTUAEnTIS 割り込みが発生します。

- c) BF 受信が正常に終了した場合、BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。
 ・0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。
 ・1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、BF 受信成功フラグ URTEnSTR1.URTEnBSF をセット (1) します。
 BF 受信トリガ・ビット URTEnTRG.URTEnBRT が 1 の場合、BF 受信中はオーバラン・エラー、パリティ・エラー、フレーミング・エラーの検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ URTEnRX へのデータ転送も行われません。このとき、URTEnRX は以前の値を保持します。
- d) ボー・レート・クロックを正しく調整するために、URTEnTRXD 信号をタイムのキャプチャ入力に接続する必要があります。URTEnTRXD のエッジ間の時間を測定することによって転送レートとボー・レート誤差を計算することができます。ボー・レート設定ビット URTEnCTL2.URTEnBRS[11:0] を設定することによって、ボー・レートを調整することができます。
- e) チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールドを受信すると UARTEn が初期化され、ソフトウェアによって BF 受信モードに再設定されます。URTEnCTL1.URTEnSLBM が 1 の場合、再度 BF 受信モードに設定することなく自動的に BF の受信を行います。

15.6.3 BF の送信

URTEnCTL0 の URTEnPW ビットと URTEnTXE ビットを 1 に設定すると送信許可状態になり、BF 送信トリガ URTEnTRG.URTEnBTT をセット (1) することによって BF の送信を開始します。

以降、URTEnSTR0.URTEnSSBT がセット (1) され、URTEnCTL1.URTEnBLG[2:0] の指定に従って 13-20 ビットのロウ・レベル幅が出力されます。次の場合に送信割り込み INTUAEnTIT が発生します。

- BF 送信開始時、URTEnCTL1.URTEnSLIT = 0 の場合
- BF 送信終了時、URTEnCTL1.URTEnSLIT = 1 の場合

BF の送信が終了すると、URTEnSTR0.URTEnSSBT が自動的にクリア (0) されます。そのあと、UARTEn 送信モードに戻ります。

次に送信されるデータが URTEnTX レジスタに書き込まれ、URTEnSTR0.URTEnSST が 1 に変化するか、もしくは、BF 送信トリガ URTEnTRG.URTEnBTT がセット (1) され、URTEnSTR0.URTEnSSBT が 1 に変化するまで、送信は中断されます。

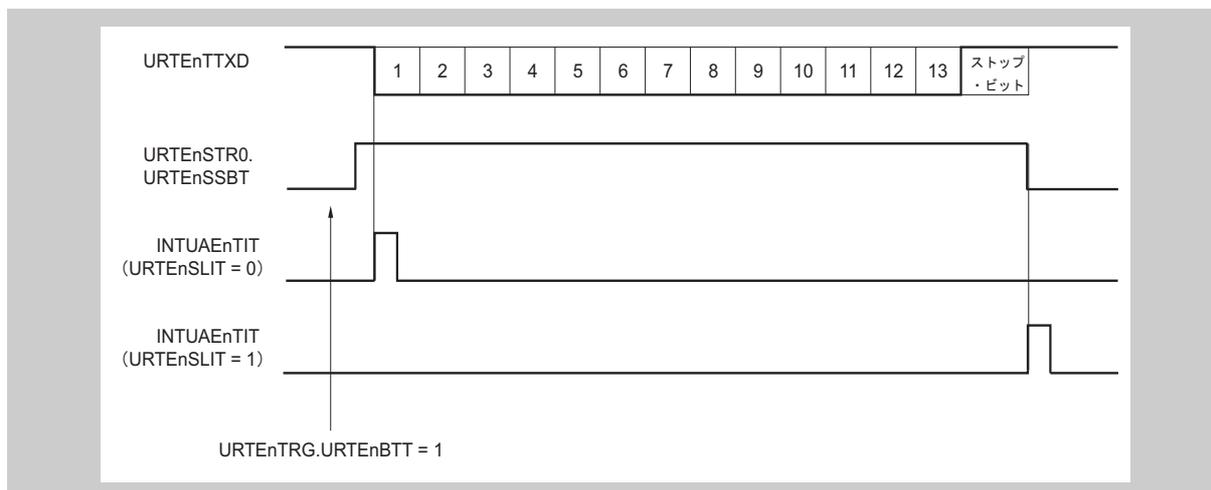


図 15-8 BF の送信

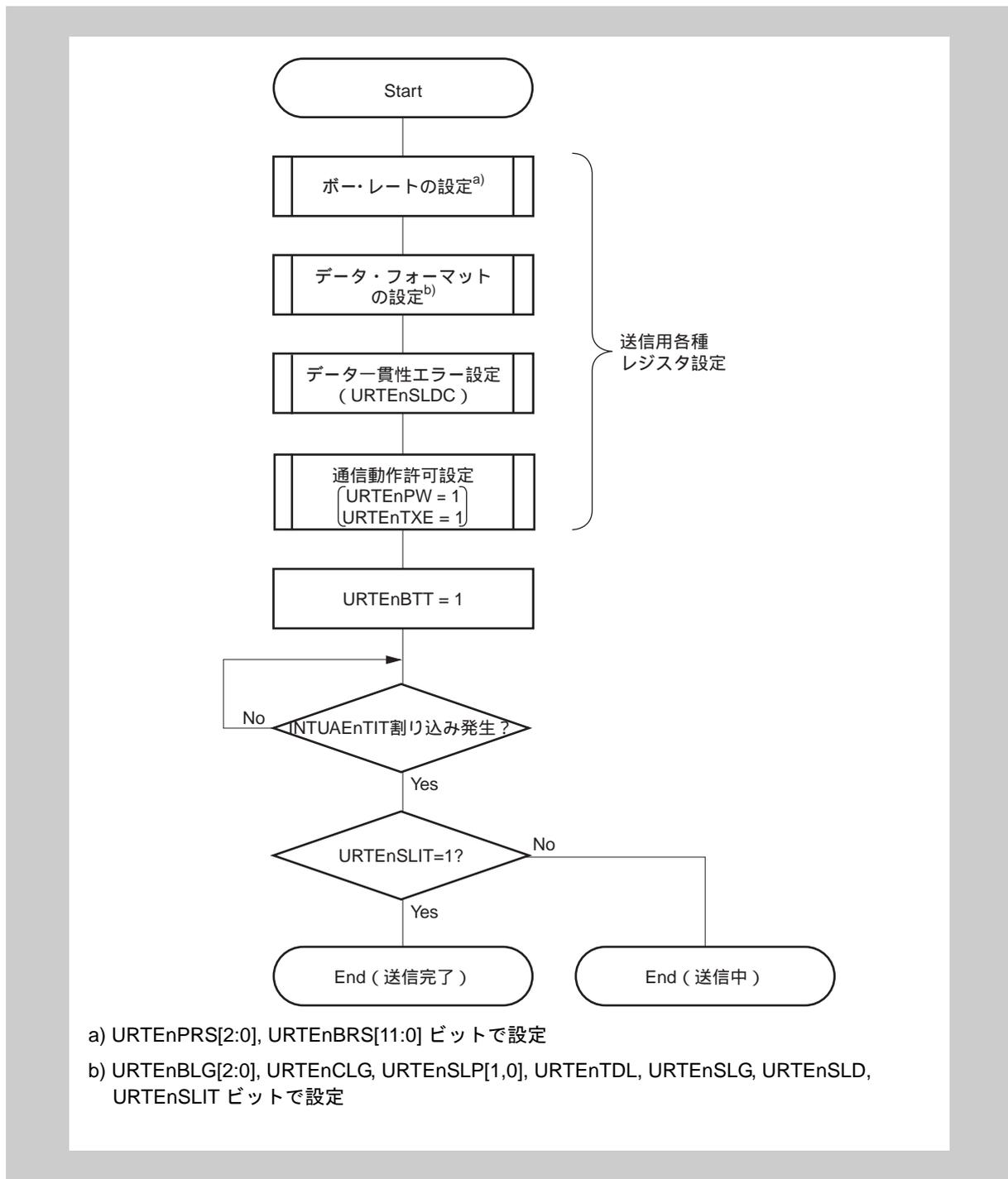


図 15-9 BF の送信のフロー図

15.6.4 BFの受信

URTEnCTL0.URTEnPW ビットをセット (1) したあと、URTEnCTL0.URTEnRXE ビットをセット (1) することによって受信許可状態になります。

BF 受信トリガ URTEnTRG.URTEnBRT をセット (1) することによってBF 受信待ち状態になります。

UARTEn 受信待ち状態と同様に、BF 受信待ち状態では URTEnTRXD 端子信号をモニタし、スタート・ビットの検出を行います。

ロウ・レベルを検出したら、受信動作を開始し、設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し、BF 幅が 11 ビット以上の場合、BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、同時に BF 受信成功フラグ URTEnSTR1.URTEnBSF をセット (1) します。

URTEnSTR0.URTEnSSBR ビットが自動的にクリア (0) され、BF の受信を終了します。

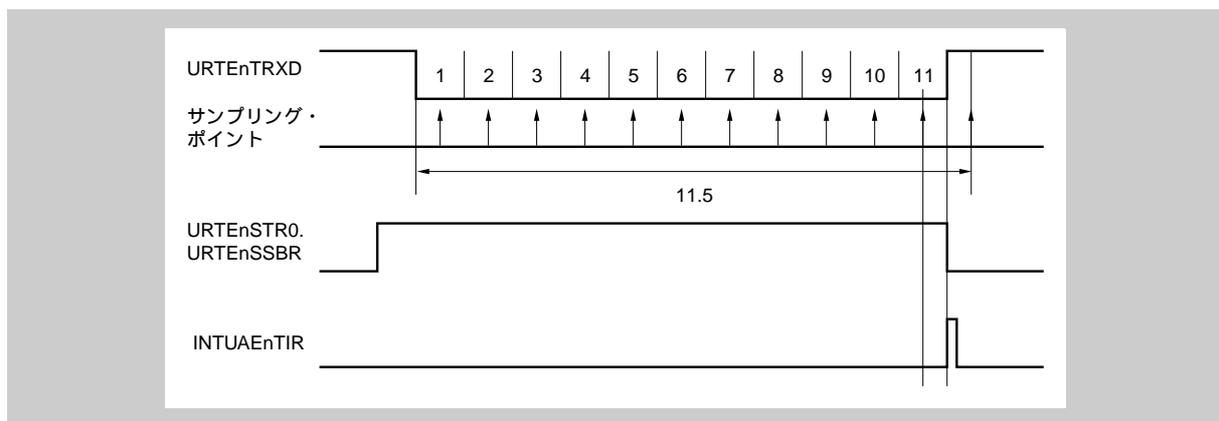


図 15-10 正常 BF 受信 (10.5 超のロウ・ビット受信後にストップ・ビットを検出)

URTEnSTR1 エラー・フラグ URTEnOVE, URTEnPE, URTEnFE によるエラー検出は抑制され、UARTEn 通信エラー検出処理は行われません。

エラーが含まれたデータは URTEnRX に格納されず、URTEnRX は初期値 FFH を保持します。

BF の幅が 10 ビット以下の場合、エラー処理として、割り込みを発生せずに受信を終了し、BF 受信モードに戻ります。このとき、URTEnSTR0.URTEnSSBR はクリア (0) されません。

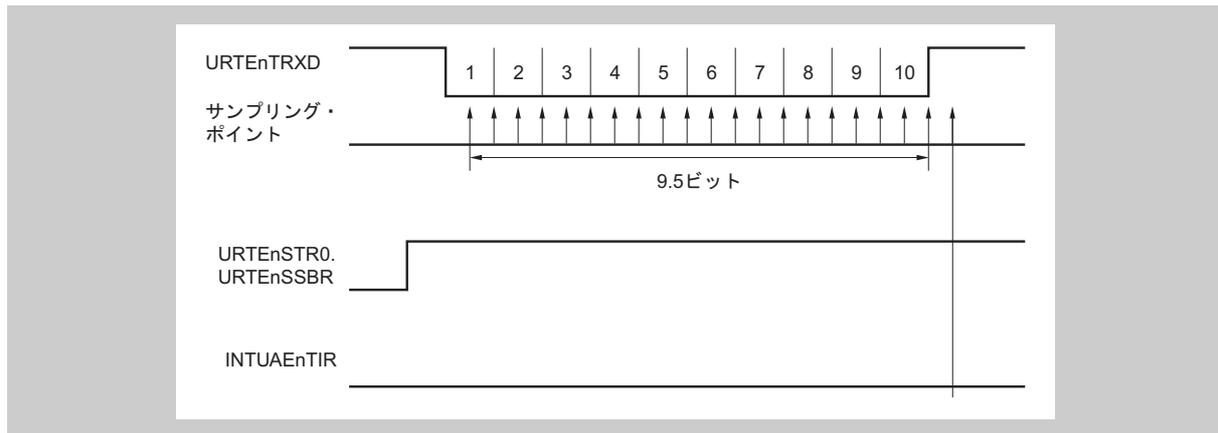


図 15-11 BF 受信エラー（10.5 以内のロウ・ビットでストップ・ビットを検出）

URTEnCTL1.URTEnSLBM を使って、シングル BF 受信モードと常時 BF 受信モード間で BF モードを切り換えることができます。BF 受信が成功したかどうかは URTEnSTR1.URTEnBSF で確認できます。

備考 URTEnSTR0.URTEnSSBR は次の場合にセット（1）されます。

- URTEnTRG.URTEnBRT をセット（1）したとき
- BF 正常受信によってエラーがクリア（0）されたとき

15.6.5 送信データ一貫性チェック

UARTEn は、デバイスがマスタ・モードで動作中に、送信レジスタ URTEnTX へ書き込まれた送信データとバス上のデータとの不一致を検出するデータ一貫性チェック機能を備えています。

データ一貫性チェックは URTEnCTL0.URTEnSLDC を 1 に設定することによって有効になります。

データ一貫性のチェックは、送信レジスタ URTEnTX 内の送信データと受信レジスタ URTEnRX 内の受信データとを比較して行います。データの不一致を検出すると、データ一貫性エラー・フラグ URTEnSTR1.URTEnDCE をセット（1）し、ステータス割り込み要求 INTUAEnTIS を発生します。

受信モード中はデータ一貫性チェックを実行しません。

送信中に受信が禁止されている場合でも、送信データと入力データ信号レベルの一貫性チェックは実行されます。この場合、受信完了割り込み要求信号 INTUAEnTIR とステータス割り込み要求信号 INTUAEnTIS は発生せず、また URTEnSTR1 のステータス・ビット（URTEnBSF、URTEnFE、および URTEnOVE）もセット（1）しません。また、受信データを読み出す必要はありません。

詳細は 15.4 (6) 「URTEnSTR1 - UARTEn ステータス・レジスタ 1」を参照してください。

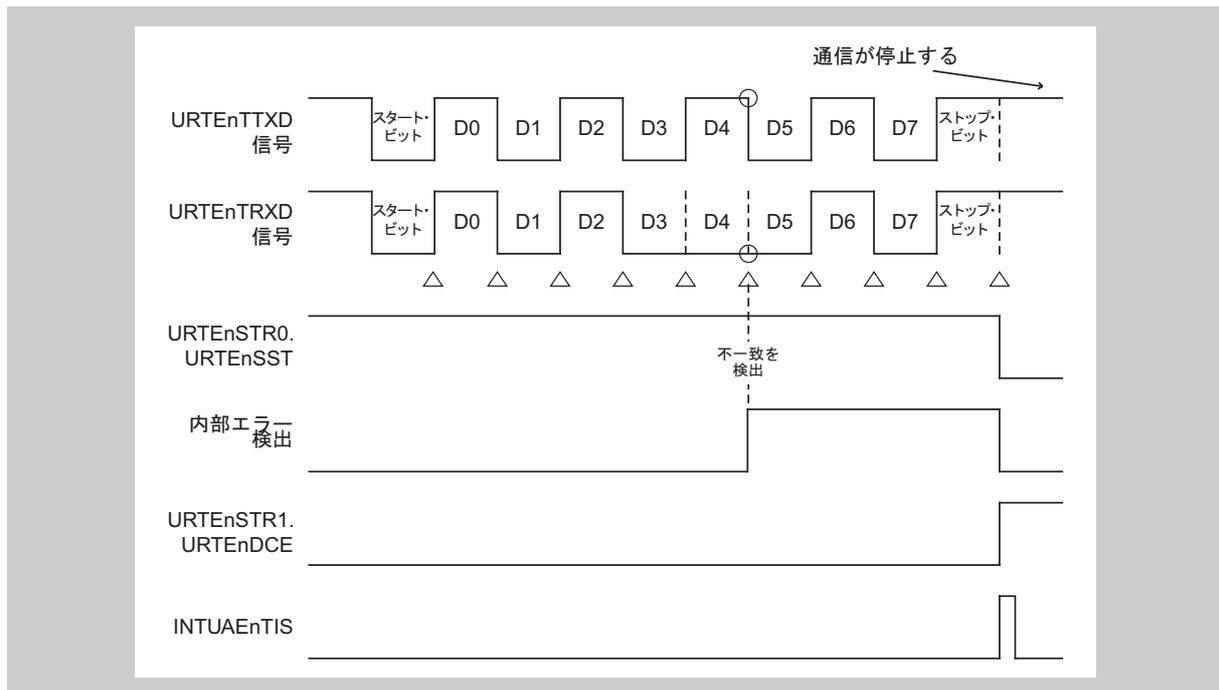


図 15-12 データ一貫性エラーのタイミング例
(URTEnSTR0.URTEnSSBR = 0 で BF 受信禁止時)

15.6.6 UARTEn 送信

送信の開始 次の手順に従って送信許可状態を設定します。

- UARTEn 制御レジスタ 2 の URTEnCTL2 でポー・レートを設定します。
- UARTEn 制御レジスタ 1 の URTEnCTL1 で、送信パリティ、データ・キャラクタ長、ストップ・ビット長、送信データ順序、送信割り込み要求タイミング、および出力論理レベルを設定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnTXE をセット (1) して、UARTEn の動作と送信を許可します。

送信バッファ・レジスタ URTEnTX に送信データを書き込んで送信を開始します。URTEnTX 内に保存されたデータは送信シフト・レジスタへ転送されます。データ・フレームにスタート・ビット、パリティ・ビット、ストップ・ビットを追加し、URTEnTTXD を介してシリアル出力します。

送信の停止 URTEnCTL0.URTEnPW または URTEnCTL0.URTEnTXE が 0 に設定されると、送信処理中であっても、ただちに送信動作を停止します。

BF とデータの同時送信 BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。

データ一貫性チェック データ一貫性エラーを検出すると、URTEnCLDC = 1、URTEnPW = 0、または URTEnTXE = 0 が設定されるまで後続データは送信されません。

INTUAEnTIT の発生タイミング 送信割り込み INTUAEnTIT の発生タイミングは、URTEnCTL1.URTEnSLIT の設定に依存します。

- URTEnCTL1.URTEnSLIT = 0 の場合 :
INTUAEnTIT は送信開始時 (データ・レジスタ URTEnTX から送信シフト・レジスタへのデータ転送) に発生します。
- URTEnCTL1.URTEnSLIT = 1 の場合 :
INTUAEnTIT は全データの送信処理完了時 (データ・フレームの最終ビット送信時) に発生します。

INTUAEnTIT が発生すると、次のデータを URTEnTX に書き込むことができますようになります。

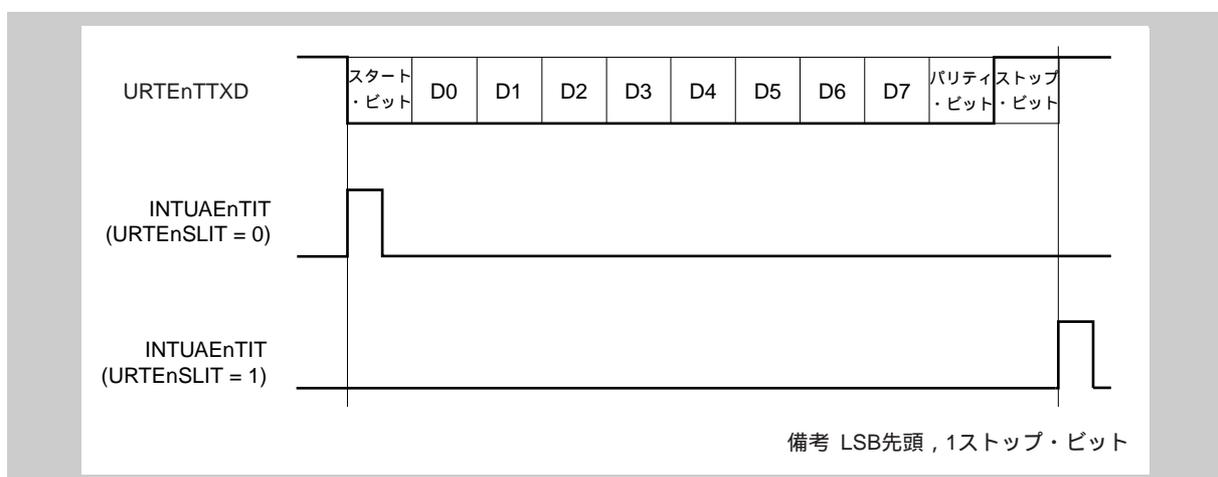


図 15-13 送信割り込み発生タイミング

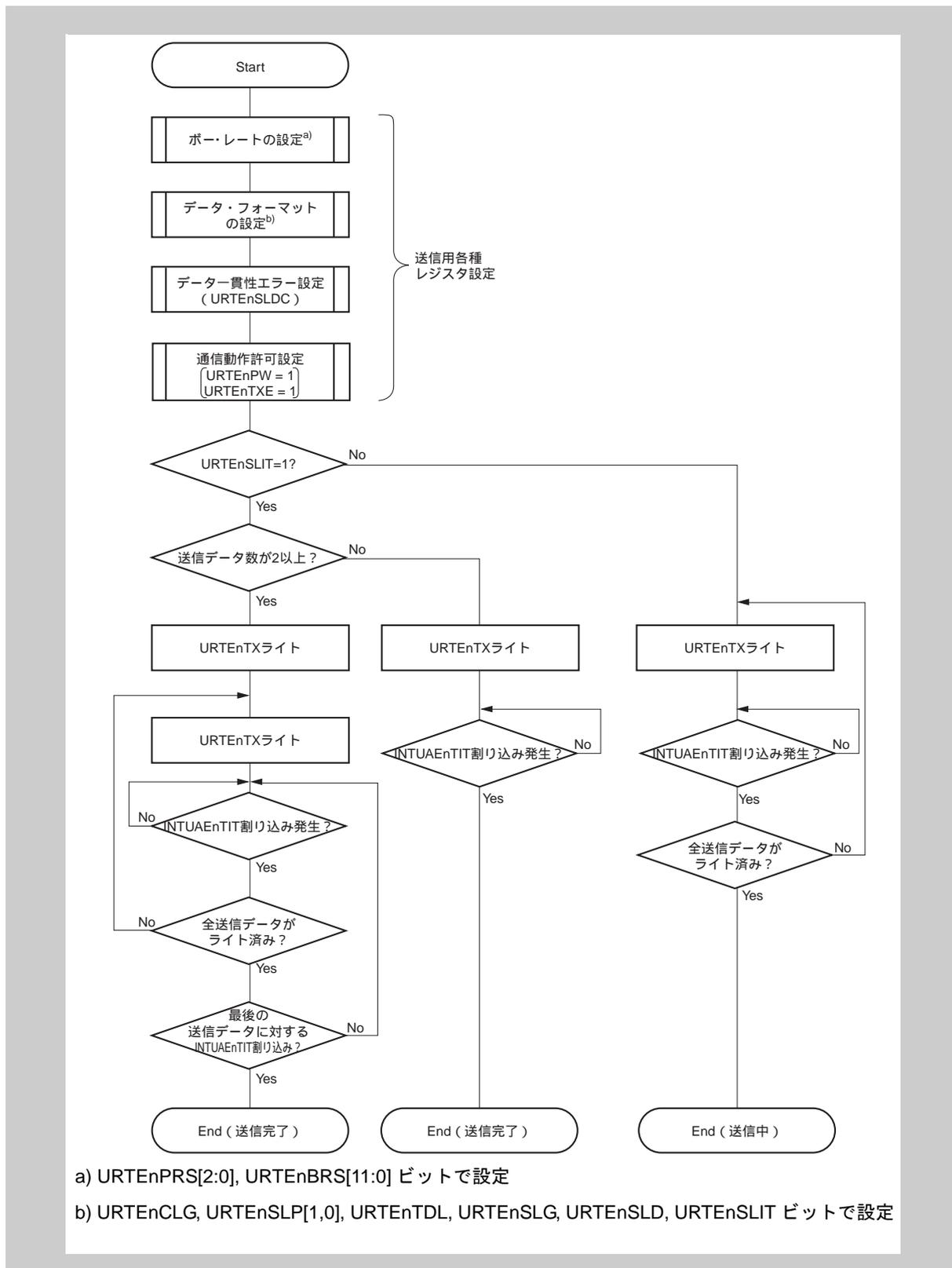


図 15-14 データ送信のフロー

15.6.7 連続送信の手順

送信シフト・レジスタからのデータ転送中に、次の送信データを送信データ・レジスタ URTEnTX へ書き込むことで連続送信を実行できます。

備考 正しい書き込みタイミングを維持するため、それぞれの送信開始 (URTEnCTL1.URTEnSLIT = 0) 時に送信割り込み INTUAEnTIT を発生させる必要があります。

注意 INTUAEnTIT が発生する前に URTEnTX レジスタへ値を書き込んだ場合、前に設定された送信データは新しい送信データによって上書きされます。送信ユニットを初期化するには、送信中でない (URTEnSTR0.URTEnSSBT = URTEnSST = 0) ことを確認してください。送信中に初期化が行なわれた場合、その送信は中止されます。

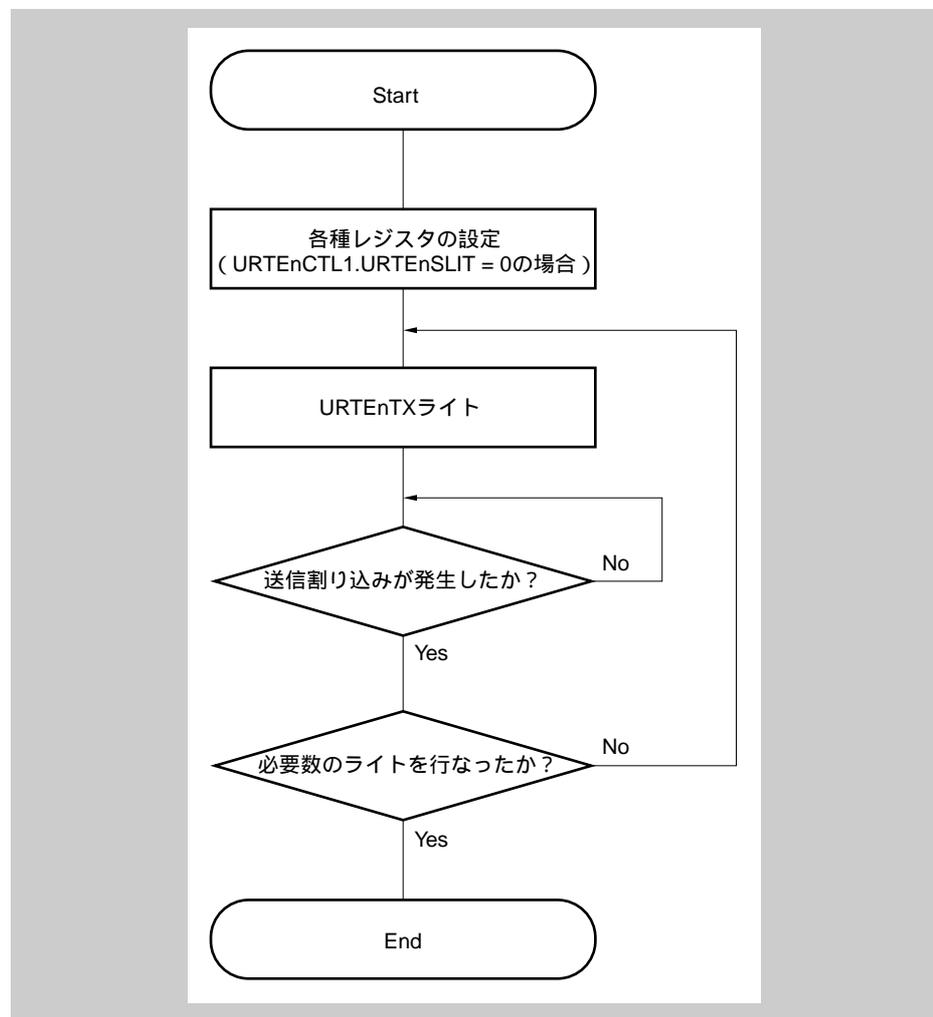


図 15-15 連続送信の手順フロー

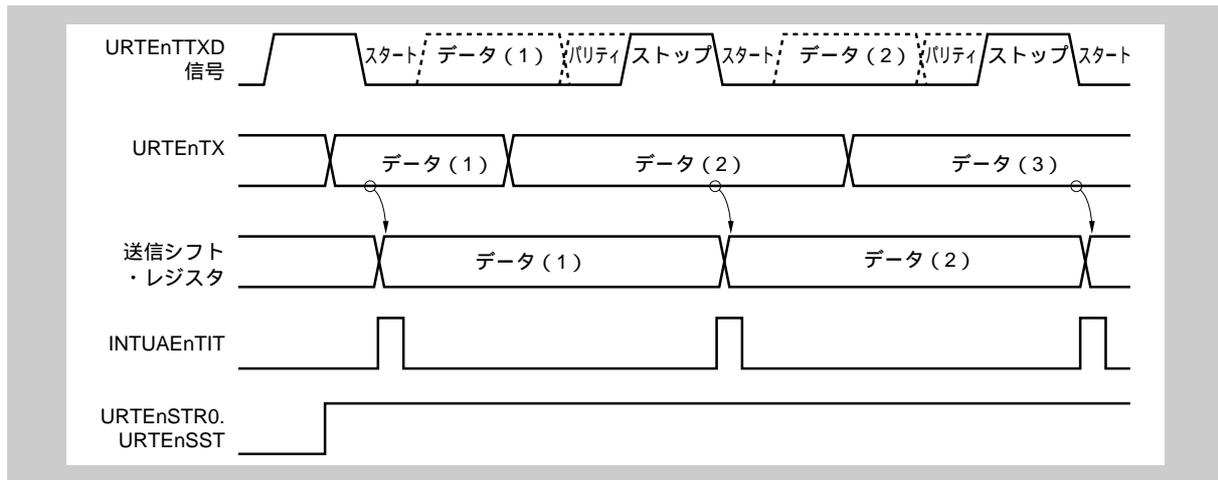


図 15-16 連続送信動作タイミング (送信開始時)

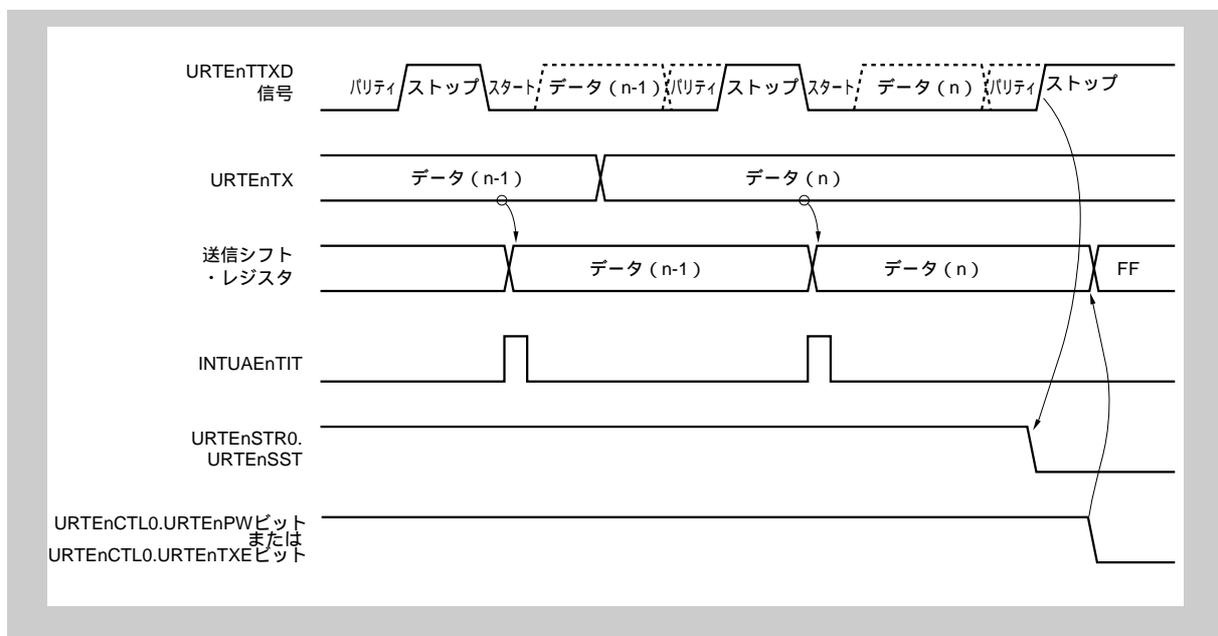


図 15-17 連続送信動作タイミング (送信終了時)

15.6.8 UARTEn 受信

受信の開始 次の手順に従って受信許可状態を設定します。

- URTEnCTL2 レジスタでボー・レートを指定します。
- URTEnCTL1 レジスタで、受信パリティ、データ・キャラクタ長、受信データ順序、および受信データの論理レベルを指定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnRXE をセット (1) して、UARTEn の動作と受信を許可します。

URTEnTRXD 端子の入力レベルの立ち下がりエッジを検出すると URTEnTRXD 入力のデータをサンプリングします。立ち下がりエッジを検出してから半ビット分の時間が経過したあと、URTEnTRXD 信号がロウ・レベルになると、スタート・ビットが認識されます (図 15-18 「UARTEn の受信」を参照)。スタート・ビットが認識されると、受信動作を開始し、設定されたボー・レートに従ってシリアル・データを受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、受信割り込み INTUAEnTIR を発生し、受信シフト・レジスタに格納されたデータを受信データ・レジスタ URTEnRX に書き込みます。

受信の停止 URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE が 0 に設定されると、受信処理中であっても、ただちに受信動作を停止します。

受信エラー オーバラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合、そのときの受信データは URTEnRX に転送されず、破棄されます。

受信中にパリティ・エラー (URTEnSTR1.URTEnPE = 1) またはフレーミング・エラー (URTEnSTR1.URTEnFE = 1) が発生しても、最初のストップビットまでは受信を継続し、受信データを URTEnRX へ転送します。

受信エラーが発生した場合、受信割り込み INTUAEnTIR ではなくステータス割り込み INTUAEnTIS および受信/ステータス割り込み INTUAEnTRA が発生します。

受信データ順序、パリティ、データ・キャラクタ長、または受信データの論理レベルを変更する場合は、パワー・ビットをクリア (URTEnCTL0.URTEnPW = 0) したあとに行います。

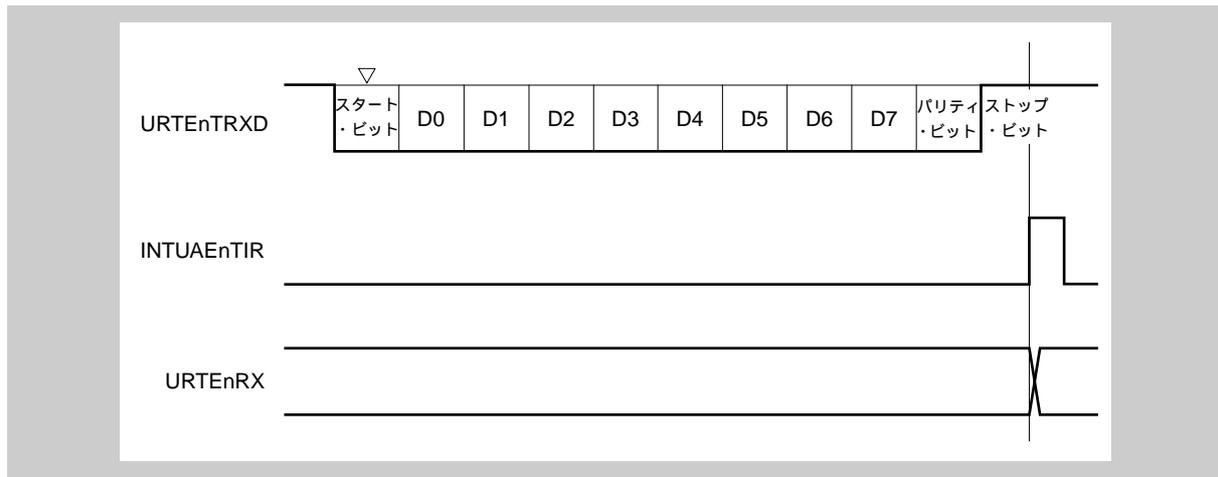


図 15-18 UARTEn の受信

- 注意**
1. 受信エラー発生時にも、URTEnRX レジスタは必ずを読み出してください。URTEnRX レジスタを読み出さないと、次のデータ受信中にオーバラン・エラーが発生します。
 2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2 ビット目のストップ・ビットは無視されます。
 3. 受信完了後は、受信割り込み INTUAEnTIR が発生したあとに URTEnRX レジスタを読み出し、URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE をクリア (0) してください。INTUAEnTIR が発生する前に URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE をクリア (0) した場合、URTEnRX レジスタからの読み出し値は保証されません。
 4. 受信完了処理 (INTUAEnTIR 割り込み発生) と URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE のクリア (0) が同時に起こった場合、URTEnRX レジスタにデータが格納されていないにも関わらず INTUAEnTIR が発生することがあります。

- 備考**
1. URTEnTRXD 端子への入力が常にロウ・レベルの場合、その入力はスタート・ビットとして見なされません。
 2. 連続受信では、最初の受信ビットでストップ・ビットが検出 (受信割り込み発生) された直後に次のスタート・ビットが検出されることがあります。

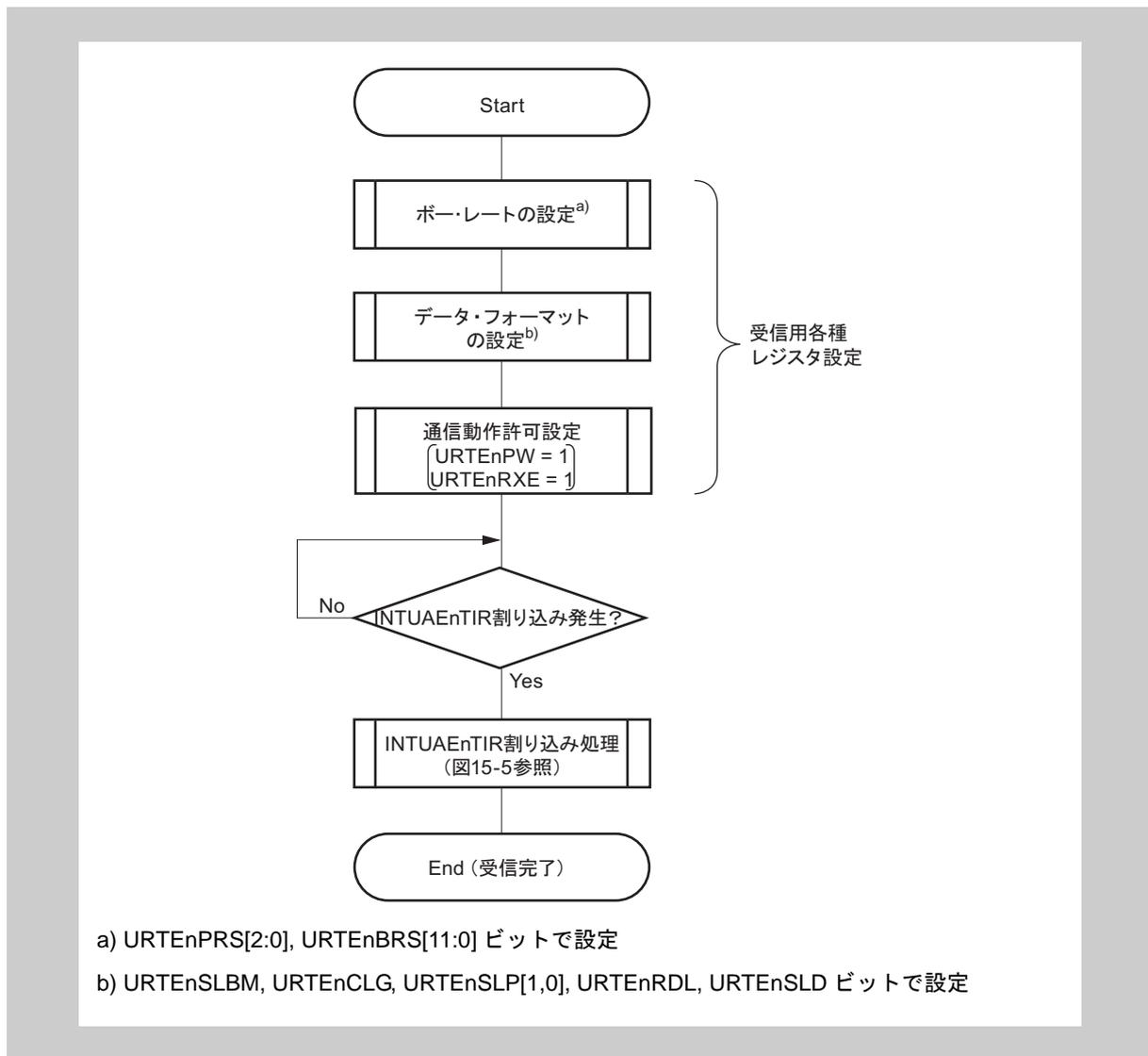


図 15-19 データ受信のフロー (URTEenSLBM = 0, URTEenSSBR = 0)

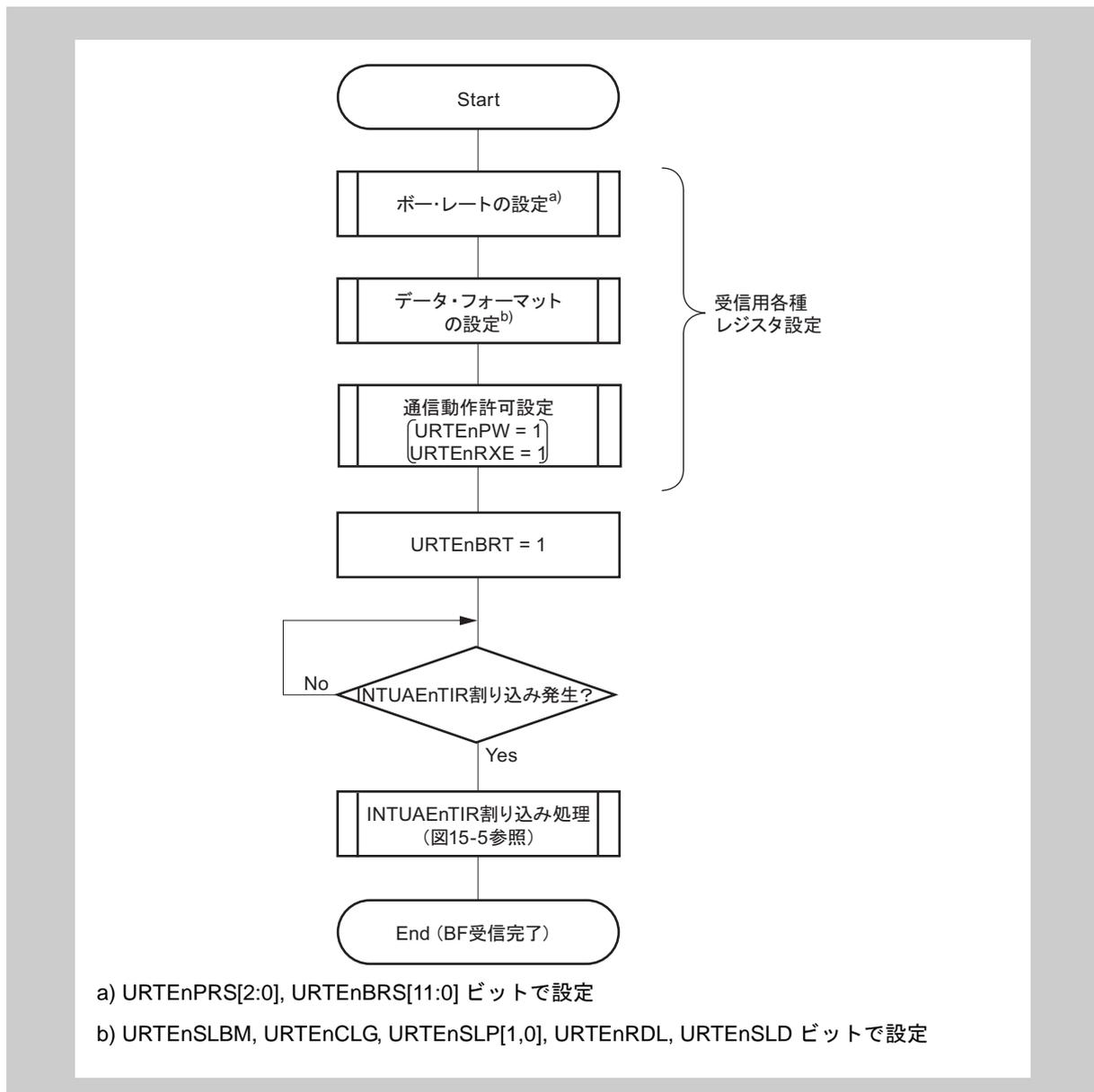


図 15-20 データ受信のフロー (URTEenSLBM = 0, URTEenSSBR = 1)

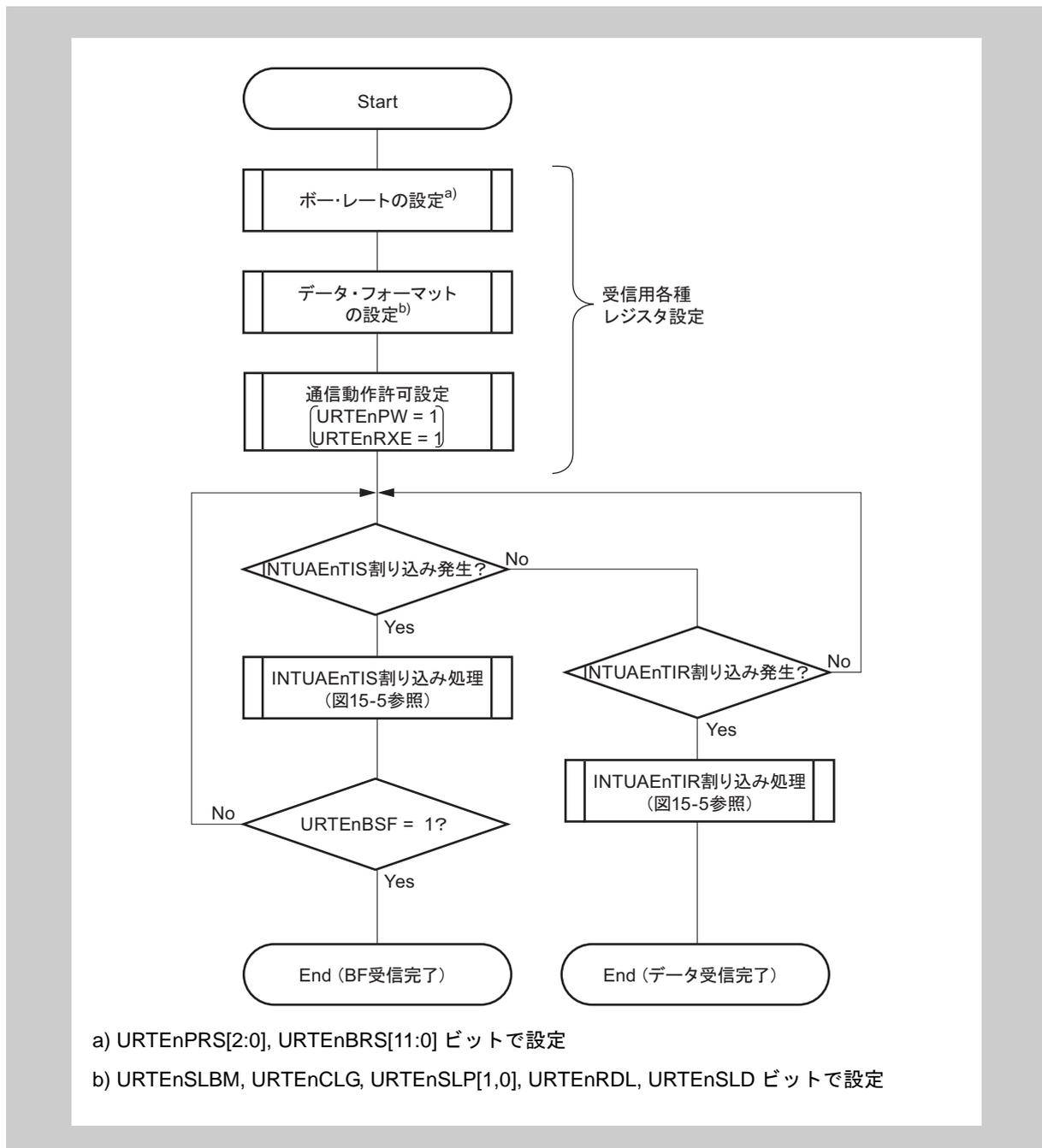


図 15-21 データ受信のフロー (URTEenSLBM = 1, URTEenSSBR = 0)

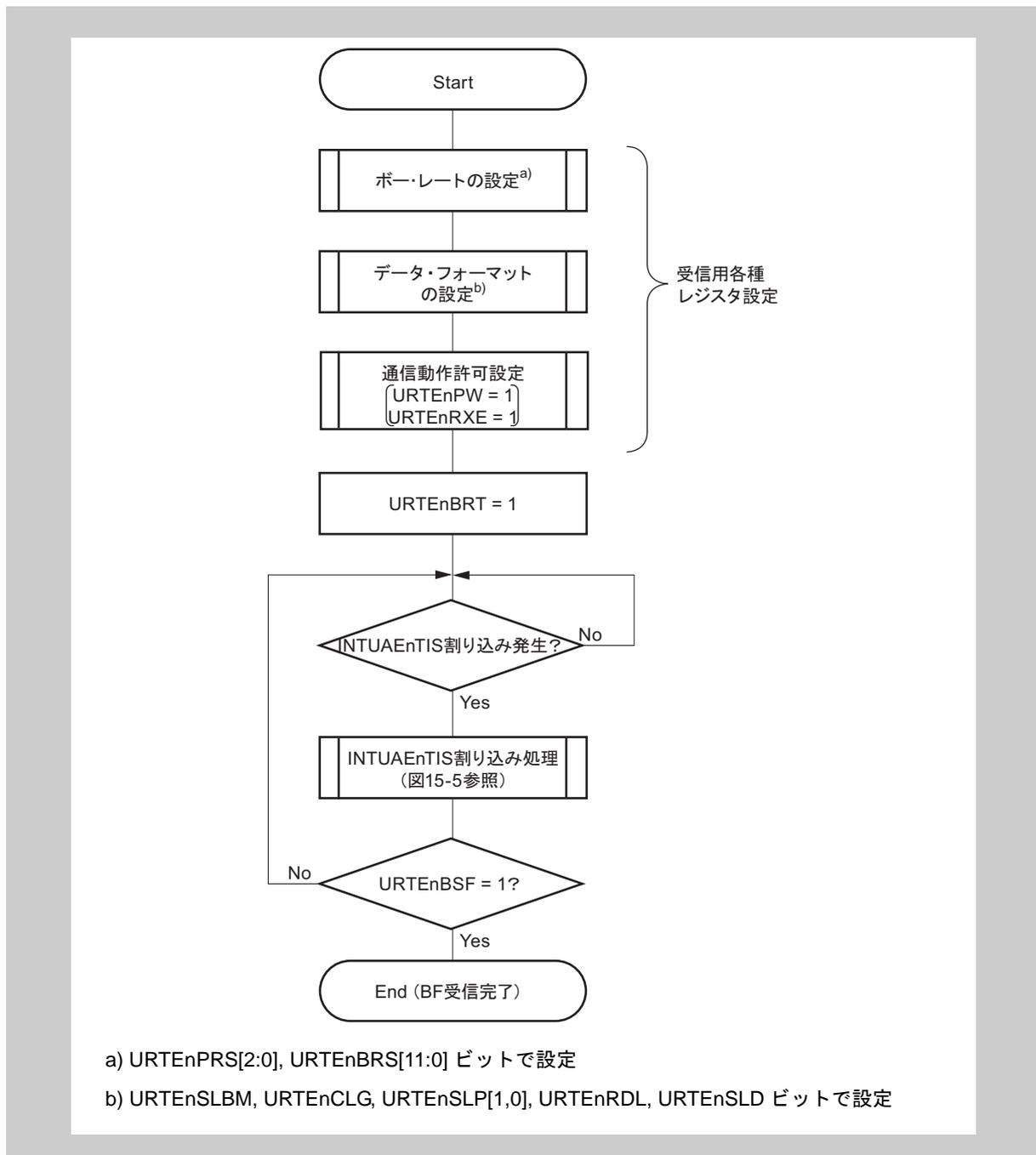


図 15-22 データ受信のフロー (URTEenSLBM = 1, URTEenSSBR = 1)

15.6.9 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。URTEnSTR1レジスタにはいくつかのデータ受信結果エラー・フラグが用意されており、エラーが発生するとステータス割り込み要求信号INTUAEnTISが発生します。

URTEnSTR1レジスタの内容を読み出すことによって、受信時にどのエラーが発生したのかを検出することができます。

受信エラー・フラグは、ステータス・クリア・レジスタURTEnSTC内の対応ビットをセット(1)することでクリア(0)できます。

表 15-20 受信エラーの要因

URTEnSTR1 内の エラー・フラグ	受信エラー	要因
URTEnPE	パリティ・エラー	受信パリティ・ビットが設定と一致しない
URTEnFE	フレーミング・エラー	ストップ・ビットが検出されない
URTEnOVE	オーバーラン・エラー	受信バッファからデータを読み出す前に次のデータの受信が完了した

備考 パリティ・エラーまたはフレーミング・エラーが発生した場合であっても、受信シフトレジスタから受信データレジスタURTEnRXへデータが転送されます。したがって、URTEnRXからデータを読み出す必要があります。読み出しを行わない場合、次のデータの受信時にオーバーラン・エラー(URTEnSTR1.URTEnOVE = 1)が発生します。

オーバーラン・エラーが発生した場合、受信シフトレジスタのデータはURTEnRXへ転送されないため、前のデータは上書きされません。

15.6.10 パリティの種類と動作

注意 LIN機能を使用するときは、URTEnCTL1.URTEnSLP[1:0]を00_Bに固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は、送信側と受信側で同じパリティが使用されます。

偶数パリティと奇数パリティの場合は、奇数カウント・ビット・エラーを検出することができます。0パリティとパリティなしの場合は、エラーを検出できません。

(1) 偶数パリティ

- 送信中：
パリティ・ビットを含めた送信データ中の、値が1のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が1のビット数が奇数個：1
 - 送信データ中に、値が1のビット数が偶数個：0
- 受信中：
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

- 送信中：
偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が1のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が1のビット数が奇数個：0
 - 送信データ中に、値が1のビット数が偶数個：1
- 受信中：
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信中、送信データに関係なくパリティ・ビットを常に0にします。

受信時にはパリティ・ビットのチェックを行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

15.6.11 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTEnTRXD は、ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。

このフィルタはプリスケアラ出力クロック PRSCLK を使用して URTEnTRXD 端子信号をサンプリングします。

サンプリング値が同じ値を 2 回取ると、URTEnTRXD 信号は有効入力データと見なされます。

したがって、データ幅が 2 プリスケアラ出力クロック未満のデータはノイズと判断され、除去されます。

ノイズ・フィルタを使用すると、シリアル・データ URTEnTRXD をキャプチャするときに、キャプチャしたデータを有効と見なして転送するまで、プリスケアラ出力クロック PRSCLK の 4 サイクル分の遅延が発生します。

注意 上記説明は、FCLAxCTLy.FCLAxBYPSy ビット = 1 に設定した場合です。詳細は、2.5「ポート・フィルタ」を参照ください。

15.7 ボー・レート・ジェネレータ

送受信のボー・レート・クロック BRCLK は、プリスケアラとボー・レート・ジェネレータを使用して APB バス・クロック PCLK から生成されます (次の図参照)。

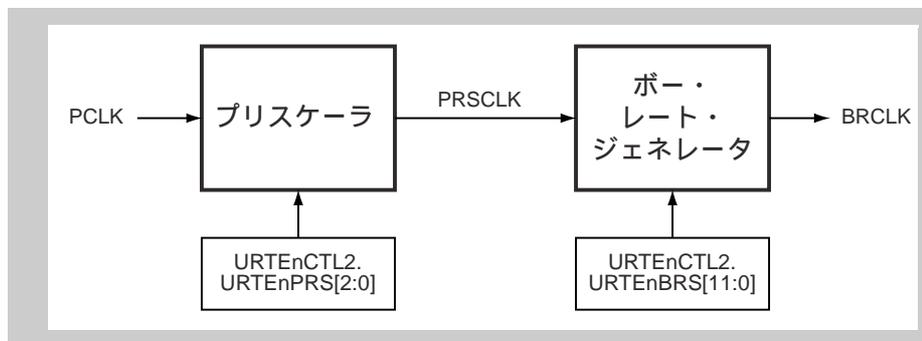


図 15-23 ボー・レート・ジェネレータの構成

プリスケアラ出力クロック PRSCLK は PCLK を分子とする分数であり、分母は URTEnCTL2.URTEnPRS[2:0] の設定によって決定されます。

$$\text{PRSCLK} = \text{PCLK} / 2^{\text{URTEnPRS}[2:0]}$$

ボー・レート・ジェネレータは、URTEnCTL2.URTEnBRS[11:0] の設定によって決定される値で PRSCLK をさらに分周します。

ボー・レート・ジェネレータは、データ・フレーム用のボー・レートと BF 受信のボー・レートを次の表のように区別します。BF 受信クロックは、ボー・レート・クロック BRCLK の 2 倍です。

表 15-21 ボー・レート・ジェネレータ・クロック出力

URTEnCTL2.URTEnBRS[11:0]	送受信用 BRCLK	BF 受信クロック
000 _H	PRSCLK / (2 × 4)	PRSCLK / 4
001 _H		
002 _H		
003 _H		
004 _H		
005 _H	PRSCLK / (2 × 5)	PRSCLK / 5
...	PRSCLK / (2 × URTEnBRS[11:0])	PRSCLK / URTEnBRS[11:0]
FFE _H	PRSCLK / (2 × 4094)	PRSCLK / 4094
FFF _H	PRSCLK / (2 × 4095)	PRSCLK / 4095

第16章 LIN マスタ・コントローラ (LMA)

この章では、LIN マスタ・コントローラ全般について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特徴について説明します。

以降の節で、LIN マスタ・コントローラ搭載製品に共通の特徴について説明します。

16.1 V850E2/Fx4-L の LMA_n の特徴

LMA_n のユニット数 この製品は次のユニット数の LIN マスタ・コントローラ LMA_n を搭載しています。

表 16-1 LMA_n ユニット

LIN マスタ・コントローラ	V850E2/FE4-L V850E2/FF4-L V850E2/FF4-G	V850E2/FG4-L V850E2/FJ4-L-384K V850E2/FG4-G	V850E2/FJ4-L-512K V850E2/FJ4-L-768K V850E2/FJ4-L-1M
ユニット数	2	3	5
名称	LMA10, LMA11	LMA2, LMA10, LMA11	LMA2-LMA4, LMA10, LMA11

LMA_n の n の意味 この章では、LIN マスタ・コントローラの各ユニットを「n」で識別します (n = 2-4, 10, 11)。たとえば、LMA_n 制御レジスタ L (LMA_nCTLL) のように記述しています。

CNTA_m のチャンネル数 この製品は、次のチャンネル数の LIN マスタ・スケジューラ・カウンタ CNTA_m を搭載しています。

表 16-2 LIN マスタ・スケジューラ・カウンタ CNTA_m のチャンネル

LIN マスタ・スケジューラ・カウンタ	V850E2/FE4-L V850E2/FF4-L V850E2/FF4-G	V850E2/FG4-L V850E2/FJ4-L V850E2/FG4-G
チャンネル数	1	2
名称	CNTA2	CNTA1, CNTA2

CNTA_m の m の意味 この章では、LIN マスタ・スケジューラ・カウンタの各チャンネルを「m」で識別します。たとえば、CNTA_m 制御レジスタ (CNTA_mCTL) のように記述しています。

LMA_n レジスタ・アドレス LMA_n レジスタのアドレスは、それぞれベース・アドレス <LMA_n_base> からのオフセットで示します。
各 LMA_n のレジスタ・ベース・アドレスを次の表に示します。

表 16-3 LMA_n レジスタ・ベース・アドレス <LMA_n_base>

LMA _n	<LMA _n _base> アドレス
LMA2	FF5E 0000 _H
LMA3	FF5F 0000 _H
LMA4	FF60 0000 _H
LMA10	FF66 0000 _H
LMA11	FF67 0000 _H

CNTA_m レジスタ・アドレス CNTA_m レジスタのアドレスは、それぞれベース・アドレス <CNTA_m_base> からのオフセットで示します。
各 CNTA_m のレジスタ・ベース・アドレスを次の表に示します。

表 16-4 CNTA_m レジスタ・ベース・アドレス <CNTA_m_base>

CNTA _m	<CNTA _m _base> アドレス
CNTA1	FF5D 4000 _H
CNTA2	FF5E 4000 _H

クロック供給 LIN マスタ・コントローラと LIN マスタ・スケジューラ・カウンタには次の表のクロックを入力します。

表 16-5 LMA_n, CNTA_m のクロック供給

LMA _n /CNTA _m	クロック	接続先
LMA2	PCLK	クロック・コントローラの CKSCLK_034
LMA3	PCLK	クロック・コントローラの CKSCLK_034
LMA4	PCLK	クロック・コントローラの CKSCLK_034
LMA10	PCLK	クロック・コントローラの CKSCLK_011
LMA11	PCLK	クロック・コントローラの CKSCLK_011
CNTA1	PCLK	クロック・コントローラの CKSCLK_034
CNTA2	PCLK	クロック・コントローラの CKSCLK_011

割り込み LINマスタ・コントローラの割り込みを次の表に示します。

表 16-6 LMA_n の割り込み

LMA _n 信号	機能	接続先
LMA2 :		
INTLMA2TIT	送信割り込み	割り込みコントローラ INTLMA2IT DMA 開始要因の優先順位 : 52
INTLMA2TIR	受信割り込み	割り込みコントローラ INTLMA2IR
INTLMA2TIS	状態割り込み	割り込みコントローラ INTLMA2IS
LMA3 :		
INTLMA3TIT	送信割り込み	割り込みコントローラ INTLMA3IT DMA 開始要因の優先順位 : 53
INTLMA3TIR	受信割り込み	割り込みコントローラ INTLMA3IR
INTLMA3TIS	状態割り込み	割り込みコントローラ INTLMA3IS
LMA4 :		
INTLMA4TIT	送信割り込み	割り込みコントローラ INTLMA4IT DMA 開始要因の優先順位 : 55
INTLMA4TIR	受信割り込み	割り込みコントローラ INTLMA4IR DMA 開始要因の優先順位 : 54
INTLMA4TIS	状態割り込み	割り込みコントローラ INTLMA4IS
LMA10 :		
INTLMA10TIT	送信割り込み	割り込みコントローラ INTLMA10IT DMA 開始要因の優先順位 : 59
INTLMA10TIR	受信割り込み	割り込みコントローラ INTLMA10IR DMA 開始要因の優先順位 : 58
INTLMA10TIS	状態割り込み	割り込みコントローラ INTLMA10IS
LMA11 :		
INTLMA11TIT	送信割り込み	割り込みコントローラ INTLMA11IT DMA 開始要因の優先順位 : 61
INTLMA11TIR	受信割り込み	割り込みコントローラ INTLMA11IR DMA 開始要因の優先順位 : 60
INTLMA11TIS	状態割り込み	割り込みコントローラ INTLMA11IS

内部信号 LIN マスタ・コントローラ (LMA_n) の内部信号は、アシンクロナス・シリアル・インタフェース E (UART_{En}) の URTE_n 信号と、LIN スケジューラ・カウンタ (CNT_{Am}) に接続しています。

LIN マスタ・コントローラの内部信号の接続先を次の表に示します。

信号名	機能	接続先
LMA10:		
INTUAE10TIT	送信割り込み	URTE _n INTUAE10TIT
INTUAE10TIR	受信割り込み	URTE _n INTUAE10TIR
INTUAE10TIS	状態割り込み	URTE _n INTUAE10TIS
CNT _{Am} CNT[15:0]	フリーランニング・カウンタ値	CNTA2 CNT2CNT[15:0]
LMA11:		
INTUAE11TIT	送信割り込み	URTE _n INTUAE11TIT
INTUAE11TIR	受信割り込み	URTE _n INTUAE11TIR
INTUAE11TIS	状態割り込み	URTE _n INTUAE11TIS
CNT _{Am} CNT[15:0]	フリーランニング・カウンタ値	CNTA2 CNT2CNT[15:0]

LIN マスタ・スケジューラ・カウンタ LIN マスタ・スケジューラへの LIN マスタ・コントローラの割り当てを次の表に示します。

CNT _{Am}	LMA _n
CNTA1	LMA2 to LMA4
CNTA2	LMA10 to LMA11

LIN マスタ・スケジューラ・カウンタ CNT_{Am} の詳細に関しては、16.2 「LIN マスタ・スケジューラ・カウンタ (CNTA)」を参照してください。

16.2 LIN マスタ・スケジューラ・カウンタ (CNTA)

LIN マスタ・スケジューラ・カウンタは、16 ビットのフリーランニング・カウンタで構成しています。カウント・クロックは、CNTA 入カクロック PCLK をプリスケータで分周して生成します。

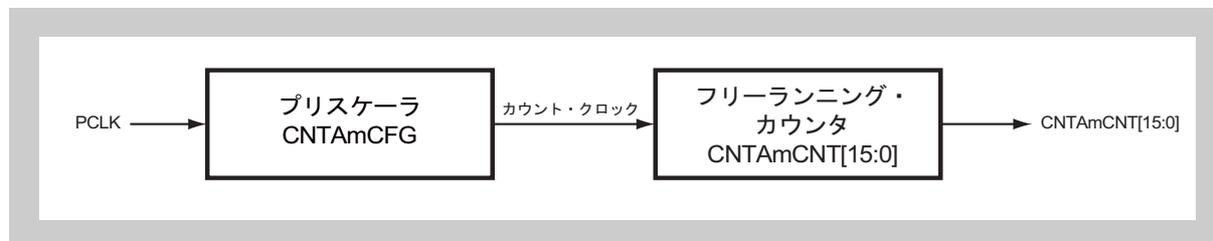


図 16-1 LIN マスタ・スケジューラ・カウンタ

CNTAm の動作許可 LIN マスタ・コントローラがスケジューラの動作を許可する前に、CNTAmCTL.CNTAmPW を 1 にセットしてカウンタ CNTAm の動作を許可する必要があります。

プリスケータによる分周 プリスケータの分周比は、CNTAmCFG.CNTAmPRS[15:0] の値によって決まります。

- CNTAmPRS[15:0] = FFFF_H: カウント・クロック = PCLK/1
- その他の設定 : カウント・クロック = PCLK/(CNTAmPRS[15:0] + 2)

16.2.1 CNTAm レジスタ

CNTAm は、次のレジスタで制御、動作します。

表 16-7 CNTAm レジスタ

レジスタ機能	名称	アドレス
制御レジスタ	CNTAmCTL	<CNTAm_base> + 00 _H
設定レジスタ	CNTAmCFG	<CNTAm_base> + 04 _H
テストレジスタ	CNTAmTCR3	<CNTAm_base> + 10 _H

<CNTAm_base> CNTAm のベース・アドレス <CNTAm_base> は、表 16-4 「CNTAm レジスタ・ベース・アドレス <CNTAm_base>」を参照してください。

(1) CNTAmCTL - CNTAm 制御レジスタ

CNTAm の動作を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CNTAm_base> + 00_H

初期値 0000_H どのリセット要因でも初期化します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTAmPW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-8 CNTAmCTL レジスタの内容

ビット位置	ビット名	機能
15	CNTAmPW	CNTAm の動作許可 0: CNTAm の動作禁止 1: CNTAm の動作許可

(2) CNTAmCFG - CNTAm 設定レジスタ

クロック・プリスケアラの分周比を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CNTAm_base> + 04_H

初期値 FFFF_H どのリセット要因でも初期化します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTAmPRS[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-9 CNTAmCFG レジスタの内容

ビット位置	ビット名	機能
15-0	CNTAmPRS [15:0]	CNTAm プリスケアラの分周比 FFFF _H : PCLK/1 (初期値) 0000 _H : PCLK/2 0001 _H : PCLK/3 n _H : PCLK/(n+2) ... FFFE _H : PCLK/65536

(3) CNTAmTCR3 - CNTAm テストレジスタ (m = 1, 2)

このレジスタは、オンチップ・デバッグによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、CNTAmのカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 16ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <CNTAm_base> + 10_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CNTAm SVSDIS	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

表 16-10 CNTAmTCR3 レジスタの内容

ビット位置	ビット名	機能
7	CNTAm SVSDIS	デバッグ時のカウント・クロックの継続/停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

16.3 機能概要

LMA_n モジュールは、UART_n モジュールに接続しています。この組み合わせにより、バッファ付き UART_n として使用可能な LIN マスタ・インタフェースを提供します。

- UART スルー・モード
- UART バッファ・モード, 全二重動作
 - 12 バイト送信バッファ
 - 12 バイト受信バッファ
- LIN マスタ・モード
 - チェック・サム自動生成/チェック機能
 - Break Field (BF), Sync Field (SF), チェック・サムの自動送信機能
 - スケジューラと自動フレーム開始機能

LIN マスタ・コントローラ的环境を次のブロック図に示します。

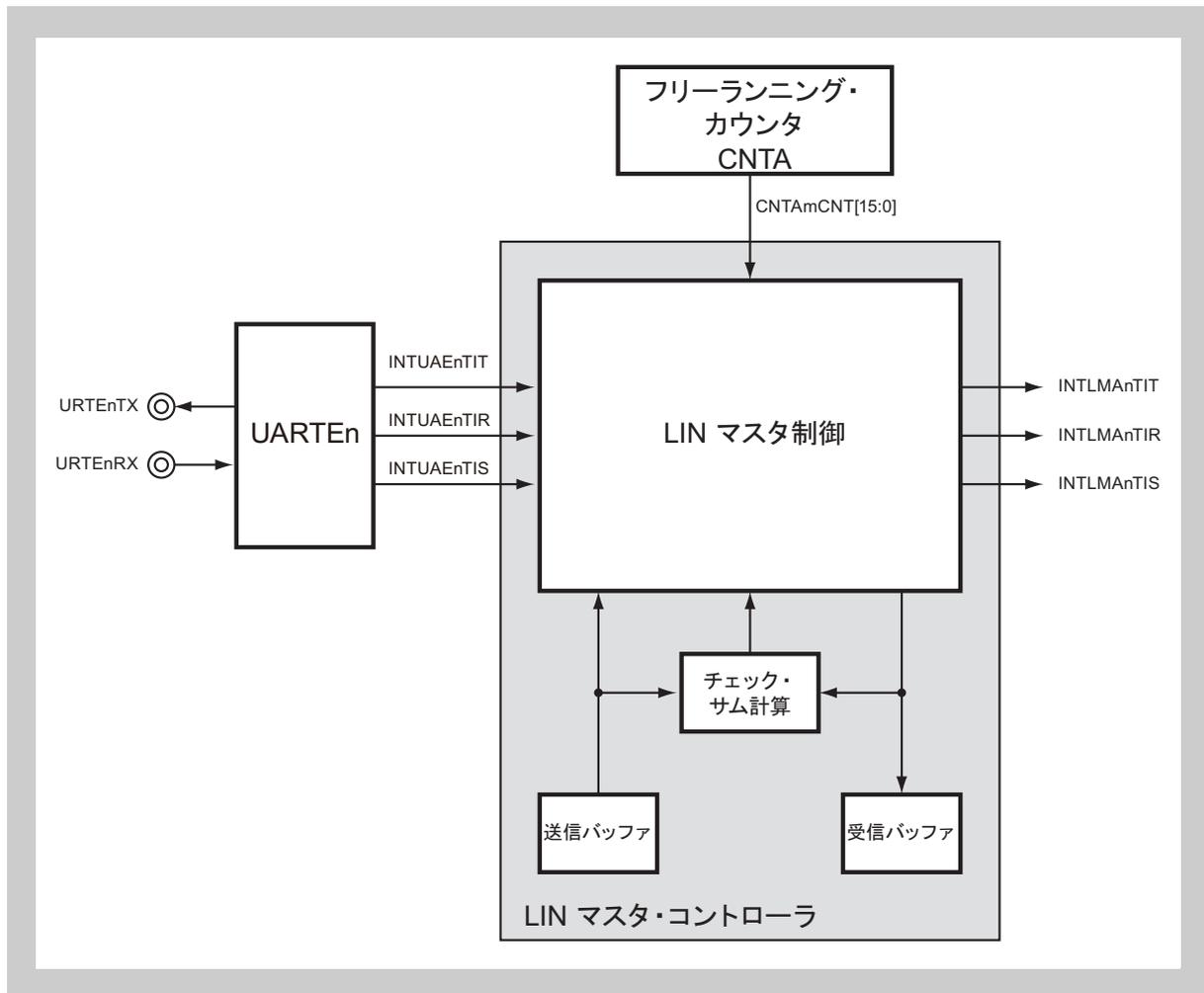


図 16-2 LIN マスタ・コントローラ的环境

LIN マスタ・コントローラは、UARTE と連動することで、UARTE を LIN 機能を有する非同期シリアル・インタフェースとして活用します。

LIN マスタ・モード時、UARTE は LIN マスタ・コントローラによって制御します。また、送信バッファと受信バッファ間のデータ転送も LIN マスタ・コントローラによって管理します。

UARTE 割り込み信号 INTUAEnTIT, INTUAEnTIR, INTUAEnTIS は、LIN マスタ・コントローラによって処理します。LIN マスタ・コントローラは、割り込み信号 INTLMAntIT, INTLMAntIR, INTLMAntIS を発行します。

UARTE の詳細は、第 15 章「アシンクロナス・シリアル・インタフェース E (UARTEn)」を参照してください。

スケジューラと自動フレーム開始機能を使用するためには、フリーランニング・カウンタを LIN マスタ・コントローラに接続します。詳細は、16.2「LIN マスタ・スケジューラ・カウンタ (CNTA)」を参照してください。

16.4 機能説明

LIN マスタは、LMA_nCTLL.LMA_nMD[1:0] ビットを設定することで3つの異なる基本モードに設定できます。

- LMA_nCTLL.LMA_nMD[1:0] = 00_B : UART スルー・モード
LMA_n をバイパスして、UARTE_n が動作します。
- LMA_nCTLL.LMA_nMD[1:0] = 01_B : UART バッファ・モード
LMA_n は、UARTE_n と組み合わせて、送受信バッファ（それぞれ 12 バイト）付きの UART として動作します。
- LMA_nCTLL.LMA_nMD[1:0] = 1x_B : LIN マスタ・モード
LMA_n は、UARTE_n と組み合わせて、LIN マスタ・コントローラとして動作します。LIN マスタ・モードは、CPU の干渉を受けずに LIN フレーム単位で処理することができます。

16.4.1 UART スルー・モード

UART スルー・モード (LMA_nCTLL.LMA_nMD[1:0] = 00_B) では、LMA_n 機能を使わずに UART を使用します。

リセット後の初期状態では、LMA_nCTLL.LMA_nMD[1:0] が UART スルー・モードであるため、LMA_n の制御を行わなくても、UARTE の制御のみで、このモードを使用できます。

備考 消費電力を最小限に抑えるためには、LMA_nCTLL.LMA_nPW を 0 にすることを推奨します。

割り込み LMA_n 割り込み要求はすべて UARTE_n 割り込み要求と同等です。

- 送信割り込み要求 : INTLMA_nTIT = INTUAEnTIT
- 受信割り込み要求 : INTLMA_nTIR = INTUAEnTIR
- 状態割り込み要求 : INTLMA_nTIS = INTUAEnTIS

データ送信 送信するデータを UARTE_n 送信データ・レジスタ URTE_nTX に書き込みます。

データ受信 受信したデータを UARTE_n 受信データ・レジスタ URTE_nRX から読み出します。

UARTE 状態レジスタ URTE_nSTR0 および URTE_nSTR1 は、データ転送状態とエラー検出に関する情報を提供します。

16.4.2 UART バッファ・モード

LMA_n は、UARTE_n と組み合わせて、送受信バッファ（それぞれ 12 バイト）付きの UARTE_n として動作します。

UART バッファ・モードは全二重通信であるため、受信と送信は個別動作します。

(1) 初期化

UARTE_n 設定 UARTE_n を次のように設定する必要があります。

- URTE_nCTL2
 - URTE_nPRS[2:0], URTE_nBRS[11:0] : ボー・レート設定
 - URTE_nCTL1
 - URTE_nSLBM = 1 : データ受信中は BF を受信する
 - URTE_nSLIT = 0 : 送信開始時に送信割り込み要求を発生
 - URTE_nCTL0
 - URTE_nPW = 1 : UARTE_n の動作許可
 - URTE_nTXE = x : 送信を許可／禁止
 - URTE_nRXE = x : 受信を許可／禁止
 - URTE_nSLDC = 0 : データの整合性をチェックしない
- 他の UARTE_n 設定はすべて必要に応じて指定できます。

LMA_n 設定 LMA_n を次のように設定する必要があります。

- LMA_nCTLH
 - LMA_nPW = 1 : LMA_n の動作許可
- LMA_nCTLL
 - LMA_nMD[1:0] = 01_B : UART バッファ・モード
 - LMA_nACSE = 0 : 自動チェック・サム無効
 - LMA_nSCHE = 0 : スケジューラ無効
 - LMA_nAFE = 0 : 自動フレーム開始機能無効
 - LMA_nITMK = 0 : INTLMA_nTIT をマスクしない
 - LMA_nIRMK = 0 : INTLMA_nTIR をマスクしない

(2) 割り込み

- INTLMAntIT** LMAntCTLL.LMAntTLG[3:0] により送信バッファに指定された数のデータ・バイトを転送すると、送信割り込み要求が発生します。
- INTLMAntIR** LMAntRCTLL.LMAntRLG[3:0] により指定された数のデータ・バイトが受信バッファに格納されると、受信割り込み要求が発生します。
 継続して受信を行う場合 (LMAntRCTLL.LMAntRLG[3:0] = 0000_B)、12 番目のデータが格納される (受信バッファがフル) と、受信割り込み要求が発生します。
- INTLMAntIS** 次の条件下で状態割り込み要求が発生します。
- 受信中に UART が以下のエラーを検出
 - パリティ・エラー : URTEnSTR1.URTEnPE = 1
 - フレーミング・エラー : URTEnSTR1.URTEnFE = 1
 - オーバラン・エラー : URTEnSTR1.URTEnOVE = 1

(3) データ送信

データを送信するには、送信するデータを送信バッファに書き込み (LMAntTX01-LMAntTXAB レジスタを使用)、送信バッファ長を LMAntCTLL.LMAntTLG[3:0] で指定したあとに、送信要求ビット LMAntCTLL.LMAntTRQ をセットします。

送信割り込み要求 INTLMAntIT は、最終データ・バイトの送信を示します。

次の値を送信バッファとして指定できます。

- LMAntCTLL.LMAntTLG[3:0] = 0000_B : 12 データ・バイトを送信
- LMAntCTLL.LMAntTLG[3:0] = 0001_B - 1100_B : 1 - 12 データ・バイトを送信

LMAntCTLL.LMAntTLG[3:0] > 1100_B の設定は禁止です。

主な送信処理を次の図に示します。

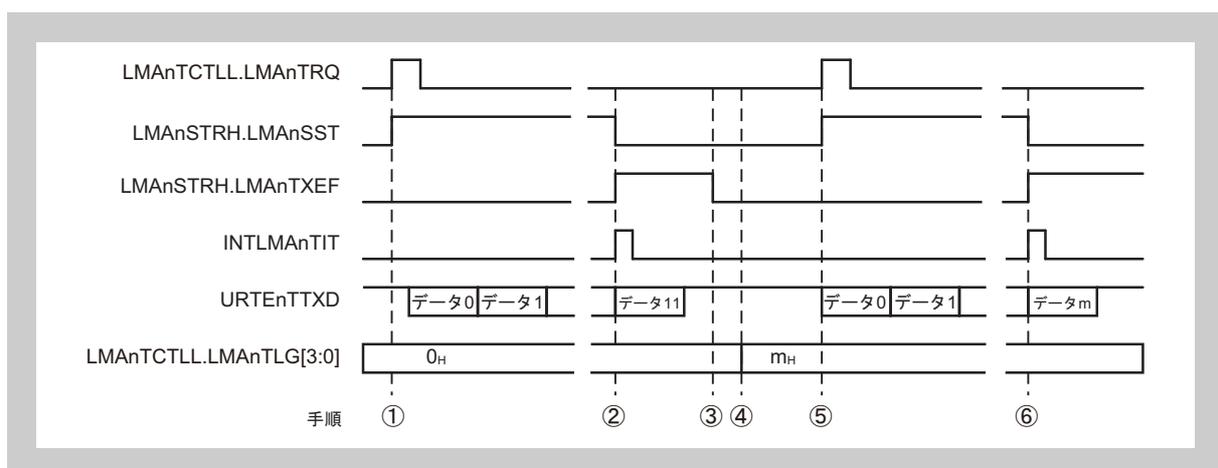


図 16-3 UART バッファ・モード時のデータ送信

- 前提条件**
- LMA_n の動作許可 (LMA_nCTLH.LMA_nPW = 1)
 - LMA_n を UART バッファ・モードに設定 (LMA_nCTLL.LMA_nMD[1:0] = 01_B)
 - 送信バッファ・エンプティ・フラグ LMA_nSTRH.LMA_nTXEF をクリア
- 手順**
- ① 送信バッファ LMA_nTX01-LMA_nTXAB に 12 バイトのデータを書き込み、送信要求ビット LMA_nTCTLL.LMA_nTRQ をセットしてください。データ送信を開始します。
LMA_nSTRH.LMA_nSST = 1 によってデータ送信の開始が示されます。
LMA_nTCTLL.LMA_nTLG[3:0] = 0000_B の設定により、送信データ・バイトのサイズは 12 バイトになります。
 - ② 最終データ・バイト Data11 の送信を開始すると、送信割り込み要求 INTLMA_nTIT が発生します。また、LMA_nSTRH.LMA_nTXEF が 1 (送信バッファが空)、LMA_nSTRH.LMA_nSST が 0 (送信要求なし) になります。
 - ③ LMA_nSTCH.LMA_nCLTXEF をセットして、送信バッファ・エンプティ・フラグをクリアしてください。
 - ④ m データ・バイトを送信バッファに書き込み、LMA_nTCTLL.LMA_nTLG[3:0] = m を設定することで、次の送信バッファによる m バイトのデータ送信を準備します。
 - ⑤ LMA_nTCTLL.LMA_nTRQ = 1 により、次の送信を開始します。
 - ⑥ m 番目のデータ・バイト Data_m の送信を開始すると、送信割り込み要求 INTLMA_nTIT が発生します。また、LMA_nSTRH.LMA_nTXEF が 1 (送信バッファが空)、LMA_nSTRH.LMA_nSST が 0 (送信要求なし) になります。
- 備考** 送信バッファが空 (LMA_nSTRH.LMA_nTXEF = 1) の場合、または送信バッファ長に不正な値が設定された場合 (LMA_nTCTLL.LMA_nTLG[3:0] に 1101_B - 1111_B を設定) に送信要求を発生させてもエラーを検出いたしません。
- 送信中止** 実行中のデータ送信を停止するには、LMA_nTCTLL.LMA_nTAB をセットします。送信バッファから UARTE に新しいデータは送信されず、LMA_nSTRH.LMA_nSST をクリアします。UARTE は、実行中のすべてのデータ送信を完了します。URTE_nSTR0.URTE_nSST = 0 によって UARTE 送信の完了を確認できます。
- 注意** 送信中止要求ビット LMA_nTCTLL.LMA_nTAB をセットした後で送信割り込み要求が発生する場合があります。送信中止要求を発行する前に割り込み (INTLMA_nTIT) をマスクしてください。

(4) データ受信

データを受信するには、受信バッファ長を LMA_nRCTLL.LMA_nRLG[3:0] で指定したあとに、受信要求ビット LMA_nRCTLL.LMA_nRRQ をセットします。

受信割り込み要求 INTLMA_nTIR は、最終データ・バイトの受信を示します。

次の値を受信バッファ長として指定できます。

- LMA_nRCTLL.LMA_nRLG[3:0] = 0000_B : 連続受信モード

以降の受信要求をセット (LMA_nRCTLL.LMA_nRRQ = 1) することなく、受信データを連続して受信バッファに格納します。12 データ・バイト分の受信が完了するたびに受信割り込み要求 INTLMA_nTIR が発生します。

- LMA_nRCTLL.LMA_nRLG[3:0] = 0001_B - 1100_B : 1 - 12 データ・バイトを受信バッファに格納

LMA_nRCTLL.LMA_nRLG[3:0] > 1100_B の設定は禁止です。

主な受信処理を次の図に示します。

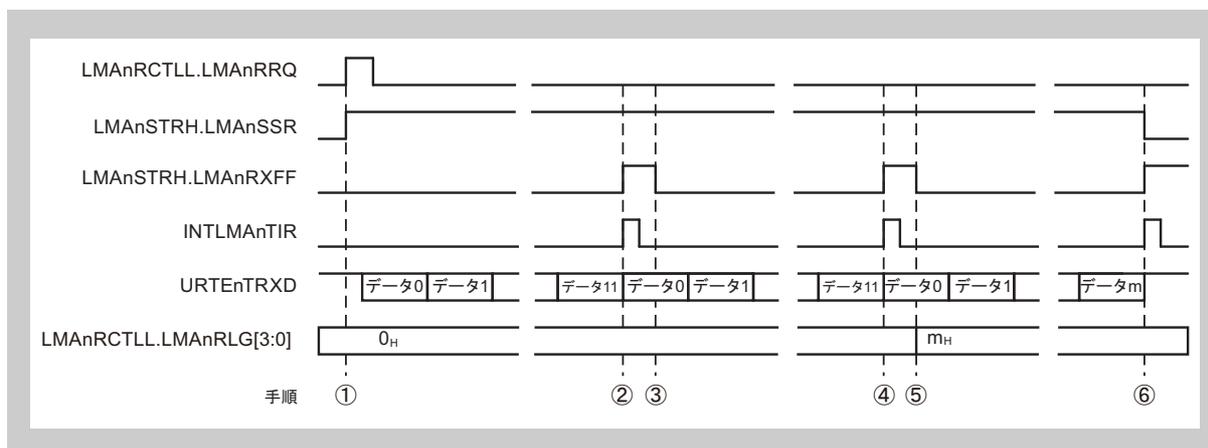


図 16-4 UART バッファ・モード時のデータ受信

- 前提条件**
- LMA_n の動作許可 (LMA_nCTLH.LMA_nPW = 1)
 - LMA_n を UART バッファ・モードに設定 (LMA_nCTLL.LMA_nMD[1:0] = 01_B)
 - 受信バッファ・フル・フラグ LMA_nSTRH.LMA_nRXFF をクリア

- 手順**
- ① 受信要求ビット LMA_nRCTLL.LMA_nRRQ をセットし、受信を開始します。LMA_nSTRH.LMA_nSSR ビットでデータ受信の開始を確認することができます。LMA_nRCTLL.LMA_nRLG[3:0] = 0000_B の設定により、連続受信モードで 12 バイトの受信を開始します。
 - ② データ・バイト Data11 を受信バッファに格納すると、受信割り込み要求 INTLMA_nTIR が発生します。また、LMA_nSTRH.LMA_nRXFF = 1 (受信バッファがフル) になります。連続受信モード動作により、受信開始要求を設定せずに次のデータを受信することができます。
 - ③ LMA_nRX01 - LMA_nRXAB レジスタを読み出し、受信バッファ・フル・フラグをクリアします (LMA_nSTCH.LMA_nCLR_XFF = 1)。
 - ④ データ・バイト Data11 を受信バッファに格納すると、受信割り込み要求 INTLMA_nTIR が発生し、LMA_nSTRH.LMA_nRXFF = 1 になります。LMA_nRCTLL.LMA_nRLG[3:0] に m を書き込むことで、m データ・バイト受信後に受信を停止します (連続受信モードの終了)。
 - ⑤ LMA_nRX01 - LMA_nRXAB レジスタを読み出し、受信バッファ・フル・フラグをクリアします (LMA_nSTCH.LMA_nCLR_XFF = 1)。
 - ⑥ m データ・バイトを受信バッファに格納すると、受信を停止します (LMA_nSTRH.LMA_nSSR = 0)。

受信中止 データ受信を停止するには、LMA_nRCTLH.LMA_nRAB をセットしてください。UARTE_n は実行中のすべてのデータ受信を完了しますが、最後に受信したデータは受信バッファに格納しません。URTE_nSTR0.URTE_nSSR = 0 によって、UARTE_n 受信の完了を確認できます。

注意 受信中止要求ビット LMA_nRCTLH.LMA_nRAB をセットした後で受信割り込み要求が発生する場合があります。受信中止要求を発行する前に割り込み (INTLMA_nTIR) をマスクしてください。

(5) UARTE 受信エラー

UARTEn および LMA_n で、データ受信中にエラー検出を開始できます。

UARTE_n エラー データ受信中に UARTE がパリティ、フレーミング、またはオーバラン・エラーを検出すると、受信データを受信バッファに格納し、対応する受信データ・フラグ (LMA_nSTRL.LMA_nRXBE[11:0]) をセットします。LMA_nRXBE[11:0] の値は受信バッファのデータ・バイトに関連付けられています。

- LMA_nRX01.LMA_nRX0B[7:0] エラー : LMA_nSTRL.LMA_nRXBE[0] = 1

...

- LMA_nRXAB.LMA_nRX11B[7:0] エラー : LMA_nSTRL.LMA_nRXBE[11] = 1

LMA_nRCTLL.LMA_nRLG[3:0] により指定したデータ・バイトを受信バッファに格納すると、連続受信モードで動作中 (LMA_nSTRH.LMA_nSSR = 1) であっても、割り込み要求 INTLMA_nTIS を発生して受信を停止します (LMA_nSTRH.LMA_nSSR = 0)。

この場合、受信割り込み要求 INTLMA_nTIR は発生しません。

指定したデータ・バイトを受信するまでに発生した受信エラー・フラグは状態を保持しています。受信終了時 (INTLMA_nTIS により判定)、LMA_nSTRL.LMA_nRXBE[11:0] を読み出すことで受信エラーの発生を確認することができます。

連続受信モード (LMA_nRCTLL.LMA_nRLG[3:0] = 0000_B) の例を次の図に示します。

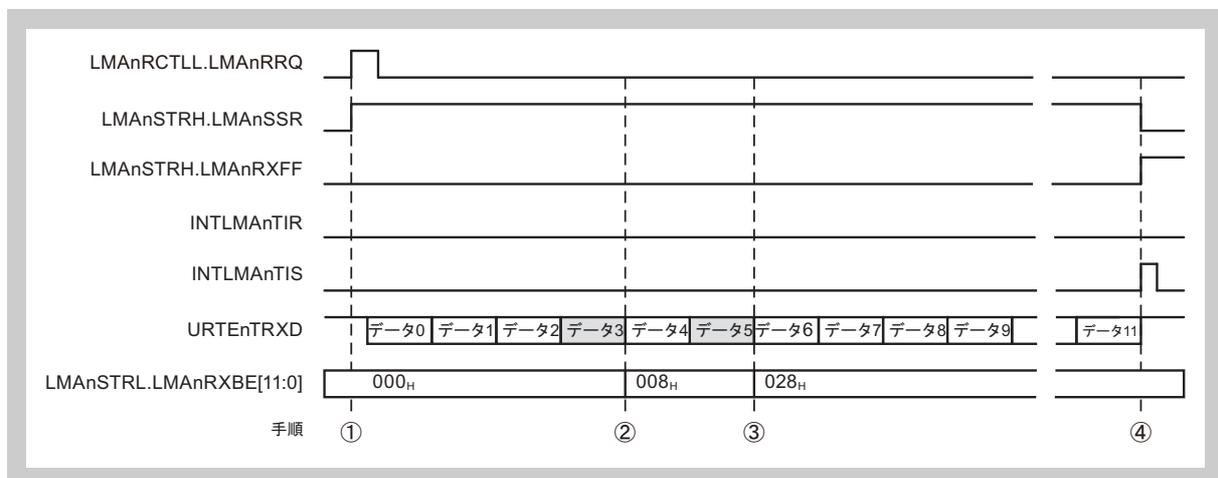


図 16-5 UART バッファ・モード時のデータ受信と UART 受信エラーの発生

- 前提条件**
- LMAの動作許可 (LMACTLH.LMAPW = 1)
 - LMAをUARTバッファ・モードに設定 (LMACTLL.LMAMD[1:0] = 01_B)
 - 受信バッファ・フル・フラグ LMASTRH.LMARXFF をクリア
 - 受信エラー・フラグ LMASTRL.LMARXBE[11:0] をクリア

- 手順**
- ① LMARCTLL.LMARRRQ をセットして受信を開始します。
 - ② Data3 の受信中に UARTE_n がエラーを検出した場合、受信データを受信バッファ (LMARX23.LMARX3B[7:0]) に格納するタイミングで、対応するエラー・フラグをセットします。
(LMARSTRL.LMARXBE[11:0] = 008_H になります。)
 - ③ Data5 の受信中に UARTE_n がエラーを検出した場合、受信データを受信バッファ (LMARX45.LMARX5B[7:0]) に格納するタイミングで、対応するエラー・フラグをセットします。
(LMARSTRL.LMARXBE[11:0] = 028_H になります。)
 - ④ 最終データ・バイト Data11 の受信後、INTLMANTIR の代わりに状態割り込み INTLMANTIS を発生し、受信処理を停止します
(LMARSTRH.LMARSSR = 0)。

LMA 受信バッファのオーバーフロー・エラー 受信バッファがフル (LMARSTRH.LMARXFF = 1) の状態で次の受信を開始した場合、以下の動作になります。

- 受信バッファ・オーバーフロー・フラグ LMASTRH.LMARROVE をセット
- 状態割り込み要求 INTLMANTIS を発生
- 受信データは受信バッファに格納しない
- 受信処理を停止 (LMARSTRH.LMARSSR = 0)

オーバーフロー発生時の受信データは UARTE_n の受信レジスタ (URTE_nRX) に保持しています。本レジスタを読み出すことで、受信データを確認することができます。ただし、この状態で次のデータを受信した場合、UARTE_n はオーバーラン・エラーが発生するため、URTE_nRX レジスタは更新しません。

16.4.3 LIN マスタ・モード

LMA_nと接続している UARTE_nをLINのマスタとして制御します。LIN マスタ・フレーム転送を開始するための Break Field (BF) と Sync Field (SF) の送信、自動チェック・サム機能、スケジューラ、および自動フレーム開始機能を含む自動LINマスタ送受信フレーム転送を行うLINマスタ・インタフェースを提供します。独立した12バイトの送信バッファと受信バッファにより、CPUからの干渉を受けずにLINフレーム転送を処理できます。

動作方法 LINマスタ・フレームの転送は、フレーム・ヘッダ (BF と SF) を送信することで開始します。この送信は転送開始時に自動的に行います。

LINマスタ送信/受信モード時、PIDを送信バッファに書き込みます。

送信モード時には、送信するデータ (最大8データ・バイト) を送信バッファに書き込み、送信バッファ長をLMA_nTCTLL.LMA_nTLG[3:0]に設定してください。

自動チェック・サム機能が有効の場合、チェック・サムを自動で算出し、送信バッファの送信データ・バイトに付加します。自動チェック・サム機能が無効の場合、チェック・サムはCPUによって計算して送信バッファに書き込む必要があります。

送信要求ビットLMA_nTCTLL.LMA_nTRQをセットすることによってフレームの送信を開始したあと、BF、SF、PID、送信データ・バイト、送信チェック・サムを送信します。

LINフレーム全体の送信中にデータ整合性チェックを行うため、送信したデータは同時に受信し、受信バッファに格納します。

自動チェック・サム機能が有効の場合、受信したデータのチェック・サムを自動で算出し、受信バッファ内の受信チェック・サムと比較します。不一致の場合、チェック・サム・エラーが発生します。自動チェック・サム機能が無効の場合、受信したデータのチェック・サムの計算と受信チェック・サムとの比較はCPUによって行う必要があります。

受信モード時は、受信バッファ長 (最大8データ・バイト) をLMA_nRCTLL.LMA_nRLG[3:0]で指定してください。フレーム受信は、LMA_nRCTLL.LMA_nRRQ = 1 (受信要求設定) により開始します。LINマスタはBF、SF、PIDの送信を開始し、LINスレーブから指定したデータ・バイトとチェック・サムを受信します。

自動チェック・サム機能が有効の場合、受信したデータのチェック・サムを自動で算出し、受信バッファ内の受信チェック・サムと比較します。

不一致の場合、チェック・サム・エラーが発生します。

自動チェック・サム機能が無効の場合、受信したデータのチェック・サムの計算と受信チェック・サムとの比較はCPUによって行う必要があります。

備考 LINマスタ送信/受信モード時、フレームの転送は送信制御レジスタLMA_nTCTLL、LMA_nTCTLHにより制御します。

スケジューラが有効の場合、最小限のLINインタフェース空間 (LINフレーム間の時間) を確保するために状態割り込みを一定の周期で発生します。スレーブによってはこの最小限のLINインタフェース空間が必要な場合があります。

そのため、LINフレームの転送を開始する前に、LINフレームとフレーム間のスペースを合わせたLINフレーム・スロット長FRSLを送信バッファに指定します。

スケジューラと自動フレーム開始機能が有効の場合、LIN フレーム・スロット長 FRSL に続いて新しい LIN フレームの転送を自動的に開始します。

LIN フレーム・ヘッダ・エラー LIN フレーム・ヘッダ (BF : Break Field, SF : Sync Field) 送信中のエラーに対処するモードとして2つのモードが用意されています。

- LMAAnCTLL.LMAAnMD[1:0] = 10_B : ヘッダにブ레이크がない LIN マスタ・モード
ヘッダ送信中にエラーを検出した場合でも、データ転送を継続します。
- LMAAnCTLL.LMAAnMD[1:0] = 11_B : ヘッダにブ레이크がある LIN マスタ・モード
ヘッダ送信中にエラーを検出すると、データ転送を停止します。

強化チェック・サム 自動チェック・サムは2つの方法で計算することができます。

- LMAAnTCTLL.LMAAnSLEC = 0 : データ・バイトのみを使用してチェック・サムを計算します (標準チェック・サム)。
- LMAAnTCTLL.LMAAnSLEC = 1 : PID とデータ・バイトを使用してチェック・サムを計算します (強化チェック・サム)。

LIN フレーム長 送信バッファ長 (LIN フレームの長さ) を LMAAnTCTLL.LMAAnTLG[3:0] で指定してください。
LMAAnTCTLL.LMAAnTLG[3:0] の値は、データ・バイト数 (最大 8)、PID、チェック・サムを含みます。したがって、LMAAnTCTLL.LMAAnTLG[3:0] の設定範囲は次のようになります。

$$\text{LMAAnTCTLL.LMAAnTLG}[3:0] = 0010_{\text{B}} \sim 1010_{\text{B}} \quad (2 \sim 10)$$

他の値はすべて設定禁止です。

送信/受信中止 データ転送を停止するには、LMAAnTCTLLH.LMAAnTAB をセットしてください。送信動作を停止し、送信状態フラグ LMAAnSTRH.LMAAnSST をクリアします。
UARTE は、実行中のデータ送信をすべて完了します。UARTE の送信/受信の完了は、それぞれ URTEEnSTR0.URTEEnSST = 0, URTEEnSTR0.URTEEnSST = 0 で確認できます。

注意 送信中止要求ビット LMAAnTCTLLH.LMAAnTAB をセットした後で送信割り込み、受信割り込み要求が発生する場合があります。送信中止要求を発行する前に割り込み (INTLMAnTIT, INTLMAnTIR, INTLMAnTIS) をマスクしてください。

(1) 初期化

CNTAm 設定 スケジューラを使用する場合、スケジューラ・カウンタを次のように設定する必要があります。

- CNTAmCTL
 - CNTAmPW = 1 : カウンタ有効
- CNTAmCFG
 - CNTAmPRS[15:0] : 分周比

UARTEn 設定 UARTEn を次のように設定する必要があります。

- URTEnCTL2
 - URTEnPRS[2:0] および URTEnBRS[11:0] : ボー・レート設定
- URTEnCTL1
 - URTEnSLBM = 1 : データ受信中は BF を受信する
 - URTEnBLG[2:0] : BF ビット長
 - URTEnCLG = 1 : 8 ビット・データ
 - URTEnSLP[1:0] = 00_B : パリティなし
 - URTEnTDL = 0 : 送信データを反転しない
 - URTEnRDL = 0 : 受信データを反転しない
 - URTEnSLG = 0 : ストップ・ビット数 1
 - URTEnSLD = 1 : LSB ファースト
 - URTEnSLIT = 0 : 送信開始時に送信割り込み要求を発生
- URTEnCTL0
 - URTEnPW = 1 : UARTEn の動作許可
 - URTEnCTL0.URTEnTXE = 1 : 送信を許可
 - URTEnCTL0.URTEnRXE = 1 : 受信を許可
 - URTEnCTL0.URTEnSLDC = 1 : データ整合性チェック有効

LMAAn 設定 LMAAn を次のように設定する必要があります。

- LMAAnCTLH
 - LMAAnPW = 1 : LMAAn の動作許可
- LMAAnCTLL
 - LMAAnMD[1:0] = 1x_B : LIN マスタ・モード
 - LMAAnACSE = x : 自動チェック・サム機能有効/無効
 - LMAAnSCHE = x : スケジューラ有効/無効
 - LMAAnAFE = x : 自動フレーム開始機能有効/無効
 - LMAAnITMK = x : INTLMAAnTIT をマスクする/しない
 - LMAAnIRMK = x : INTLMAAnTIR をマスクする/しない

(2) 割り込み

LINマスタ・フレーム転送は送受信を伴うため、送信モードおよび受信モードではそれぞれ送信割り込み (INTLMAntIT) と受信割り込み (INTLMAntIR) が発生します。

備考 送信割り込みと受信割り込みの要求は個別に制御できます。

- LMAntCTLL.LMAntITMK = 1 : INTLMAntIT をマスク
- LMAntCTLL.LMAntIRMK = 1 : INTLMAntIR をマスク

- INTLMAntIT**
- 送信モード時 (LMAntCTLL.LMAntSLRT = 0)
チェック・サム・フィールド (CSF) の送信を開始すると、INTLMAntIT を発生します。
 - 受信モード時 (LMAntCTLL.LMAntSLRT = 1)
PID の送信を開始すると、INTLMAntIT が発生します。
- INTLMAntIR**
- 送信モード時 (LMAntCTLL.LMAntSLRT = 0)
INTLMAntIR の発生は、自動チェック・サム機能の有効/無効に依存します。
チェック・サム制御によってチェック・サムを受信したとき、INTLMAntIR の発生は次のように異なります。
 - 自動チェック・サム機能無効時 (LMAntCTLL.LMAntACSE = 0) : 必ず INTLMAntIR が発生します。
 - 自動チェック・サム機能有効時 (LMAntCTLL.LMAntACSE = 1) : 受信したチェック・サムと自動的に算出するチェック・サムが一致すると INTLMAntIR を発生します。不一致の場合、チェック・サム・エラーを示し (LMAntSTRH.LMAntFCSE = 1)、代わりに状態割り込み要求 INTLMAntIS を発生します。
 - 受信モード時 (LMAntCTLL.LMAntSLRT = 1)
LMAntRCTL.LMAntRLG[3:0] によって指定した数のデータ・バイトを受信し、受信バッファに格納すると、INTLMAntIR を発生します。
- INTLMAntIS** 状態割り込み要求は、さまざまな条件に応じて発生します。
- UARTE がフレーミング・エラーを検出
 - UARTE がオーバラン・エラーを検出
 - UARTE がデータ整合性エラーを検出
 - UARTE が BF 送信エラーを検出
 - UARTE が SF 送信エラーを検出
 - LMAnt が自動チェック・サム・エラーを検出
 - LMAnt がバッファ準備エラーを検出
 - LMAnt スケジューラ準備完了イベントが発生

(3) データ送信

LMAAnCTLL.LMAAnMD[1:0] = 1x_B と LMAAnTCTLL.LMAAnSLRT = 0 を設定して LIN マスタ送信モードを選択します。

LIN マスタ・フレームを送信するためには、フレームの送信を開始する前に、送信バッファを次に示すフォーマットで準備してください。

表 16-11 LIN マスタ送信モード時の送信バッファの準備

送信バッファ・レジスタ		8 データ・バイト用 送信バッファ	5 データ・バイト用 送信バッファ
LMAAnTXAB.	LMAAnTX11B[7:0]	FRSLH ^a	FRSLH ^a
	LMAAnTX10B[7:0]	FRSLL ^a	FRSLL ^a
LMAAnTX89.	LMAAnTX9B[7:0]	送信チェック・サム ^b	—
	LMAAnTX8B[7:0]	TxDat7	—
LMAAnTX67.	LMAAnTX7B[7:0]	TxDat6	—
	LMAAnTX6B[7:0]	TxDat5	送信チェック・サム ^b
LMAAnTX45.	LMAAnTX5B[7:0]	TxDat4	TxDat4
	LMAAnTX4B[7:0]	TxDat3	TxDat3
LMAAnTX23.	LMAAnTX3B[7:0]	TxDat2	TxDat2
	LMAAnTX2B[7:0]	TxDat1	TxDat1
LMAAnTX01.	LMAAnTX1B[7:0]	TxDat0	TxDat0
	LMAAnTX0B[7:0]	PID	PID

a) フレーム・スロット長 FRSLH/FRSLL は、スケジューラが有効 (LMAAnCTLL.LMAAnSCHE = 1) の場合のみ有効です。

b) 送信チェック・サムは、自動チェック・サム機能が有効 (LMAAnCTLL.LMAAnACSE = 1) の場合、自動的に格納します。自動チェック・サム機能が無効 (LMAAnCTLL.LMAAnACSE = 0) の場合、チェック・サムの計算と格納はソフトウェアで行ってください。

LIN フレームの送信開始後、送信したデータはチェック・サムを確認するために受信バッファに格納します。フレーム全体を送信後、受信バッファは次のようになります。

表 16-12 LIN フレーム送信後の受信バッファ

受信バッファ・レジスタ		8 データ・バイト用 受信バッファ	5 データ・バイト用 受信バッファ
LMA _n RXAB.	LMA _n RX11B[7:0]	—	—
	LMA _n RX10B[7:0]	—	—
LMA _n RX89.	LMA _n RX9B[7:0]	受信チェック・サム ^a	—
	LMA _n RX8B[7:0]	RxDat7	—
LMA _n RX67.	LMA _n RX7B[7:0]	RxDat6	—
	LMA _n RX6B[7:0]	RxDat5	受信チェック・サム ^a
LMA _n RX45.	LMA _n RX5B[7:0]	RxDat4	RxDat4
	LMA _n RX4B[7:0]	RxDat3	RxDat3
LMA _n RX23.	LMA _n RX3B[7:0]	RxDat2	RxDat2
	LMA _n RX2B[7:0]	RxDat1	RxDat1
LMA _n RX01.	LMA _n RX1B[7:0]	RxDat0	RxDat0
	LMA _n RX0B[7:0]	PID	PID

a) 受信チェック・サムは、自動チェック・サム機能が有効 (LMA_nCTLL.LMA_nACSE = 1) の場合、LMA_nTCTLL.LMA_nSLEC で選択された形式でチェック・サムを計算し、受信したチェック・サムと比較します。自動チェック・サム機能が無効 (LMA_nCTLL.LMA_nACSE = 0) の場合、チェック・サムの計算と比較はソフトウェアで行ってください。

8 データ・バイト時の LIN フレーム送信処理を次の図に示します。

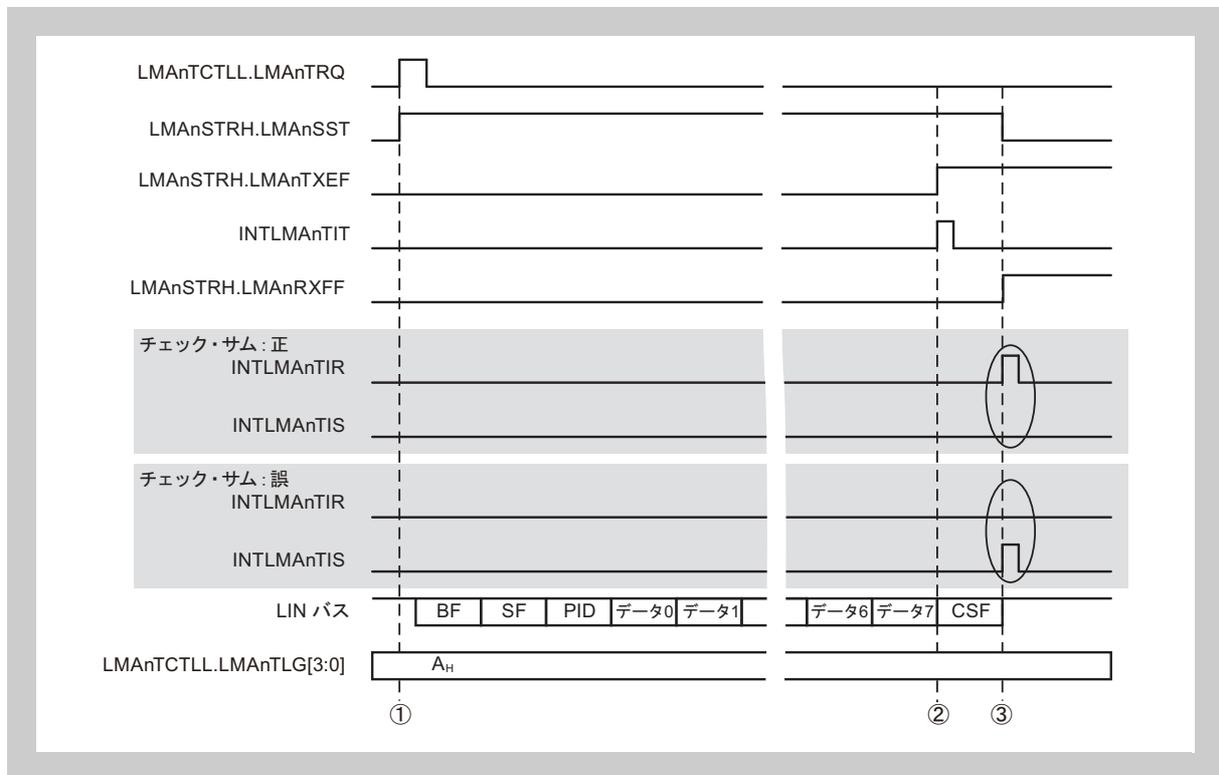


図 16-6 LIN マスタ送信モード時の LIN フレーム送信

- 前提条件**
- LMAの動作許可 (LMACTLH.LMAPW = 1)
 - LMAをLINマスタ送信モードに設定 (LMACTLL.LMAMD[1:0] = 1xB, LMACTLL.LMASLRT = 0)
 - スケジューラを未使用。したがって自動フレーム開始機能も未使用 (LMACTLLレジスタのLMA SCHE, LMAAFEをクリア)
 - 送信バッファ・エンプティ・フラグ LMASTRH.LMATXEFをクリア
 - 受信バッファ・フル・フラグ LMASTRH.LMARXFFをクリア
- 手順**
- ① 送信バッファ LMATX01.LMATX0B[7:0]にPID, 送信バッファ LMATX01.LMATX1B[7:0] - LMATX89.LMATX8B[7:0]にデータを8バイト書き込んでください。
自動チェック・サム機能が無効 (LMACTLL.LMACSE = 0) の場合, (LMACTLL.LMASLECにより, PIDを含む, または含まないバイトの) チェック・サムCSFを計算し, 受信したチェック・サムと比較します。自動チェック・サム機能が有効の場合, CSFは(ハードウェアで)自動算出し付加します。
フレーム長 LMACTLL.LMATLG[3:0] = 1010B (10 = PID + 8データ・バイト + CSF)を設定してください。
LMACTLL.LMATRQをセットしてフレーム送信を開始します。送信開始は, LMASTRH.LMASST = 1で確認できます。
 - ② チェック・サム・フィールド (CSF) の送信を開始すると, LMASTRH.LMATXEFが1(送信バッファが空)になり, 送信割り込み要求 INTLMAntITが発生します。
 - ③ チェック・サム・フィールドの送信後, 自動チェック・サム機能が有効 (LMACTLL.LMACSE = 1) の場合, 受信バッファ・フル・フラグ LMASTRH.LMARXFFが1になり, チェック・サム制御を行います。チェック・サムが正しい場合, 受信割り込み要求 INTLMAntIRが発生します。チェック・サムが正しくない場合, 受信割り込み要求は発生せず状態割り込み INTLMAntISが発生します。

(4) データ受信

LMACTLL.LMAMD[1:0] = 1xB, LMACTLL.LMASLRT = 1を設定してLINマスタ受信モードを選択します。

LINマスタ・モードでデータを受信するためには, フレームの受信を開始する前に, 送信バッファを次に示すフォーマットで準備してください。

表 16-13 LIN マスタ受信モード時の送信バッファの準備

送信バッファ・レジスタ		送信バッファ
LMAntXAB.	LMAntX11B[7:0]	FRSLH ^a
	LMAntX10B[7:0]	FRSLL ^a
LMAntX89.	LMAntX9B[7:0]	—
	LMAntX8B[7:0]	—
LMAntX67.	LMAntX7B[7:0]	—
	LMAntX6B[7:0]	—
LMAntX45.	LMAntX5B[7:0]	—
	LMAntX4B[7:0]	—
LMAntX23.	LMAntX3B[7:0]	—
	LMAntX2B[7:0]	—
LMAntX01.	LMAntX1B[7:0]	—
	LMAntX0B[7:0]	PID

a) フレーム・スロット長 FRSL/FRSLL は、スケジューラが有効 (LMAntCTLL.LMAntSCHE = 1) の場合のみ有効です。

LIN フレームの送信開始後、LIN マスタ・フレーム・ヘッダ (BF, SF, PID) をスレーブに送信し、その後スレーブから受信したデータを受信バッファに格納します。フレーム全体を送信後、受信バッファは次のようになります。

表 16-14 LIN フレーム受信後の LIN マスタ受信バッファ

受信バッファ・レジスタ		8 データ・バイト用 受信バッファ	5 データ・バイト用 受信バッファ
LMAntRXAB.	LMAntRX11B[7:0]	—	—
	LMAntRX10B[7:0]	—	—
LMAntRX89.	LMAntRX9B[7:0]	受信チェック・サム ^a	—
	LMAntRX8B[7:0]	RxData7	—
LMAntRX67.	LMAntRX7B[7:0]	RxData6	—
	LMAntRX6B[7:0]	RxData5	受信チェック・サム ^a
LMAntRX45.	LMAntRX5B[7:0]	RxData4	RxData4
	LMAntRX4B[7:0]	RxData3	RxData3
LMAntRX23.	LMAntRX3B[7:0]	RxData2	RxData2
	LMAntRX2B[7:0]	RxData1	RxData1
LMAntRX01.	LMAntRX1B[7:0]	RxData0	RxData0
	LMAntRX0B[7:0]	PID	PID

a) 受信チェック・サムは、自動チェック・サム機能が有効 (LMAntCTLL.LMAntACSE = 1) の場合、LMAntTCTL.LMAntSLEC で選択された形式でチェック・サムを計算し、受信したチェック・サムと比較します。自動チェック・サム機能が無効 (LMAntCTLL.LMAntACSE = 0) の場合、チェック・サムの計算と比較はソフトウェアで行ってください。

8 データ・バイト時の LIN フレーム受信処理を次の図に示します。

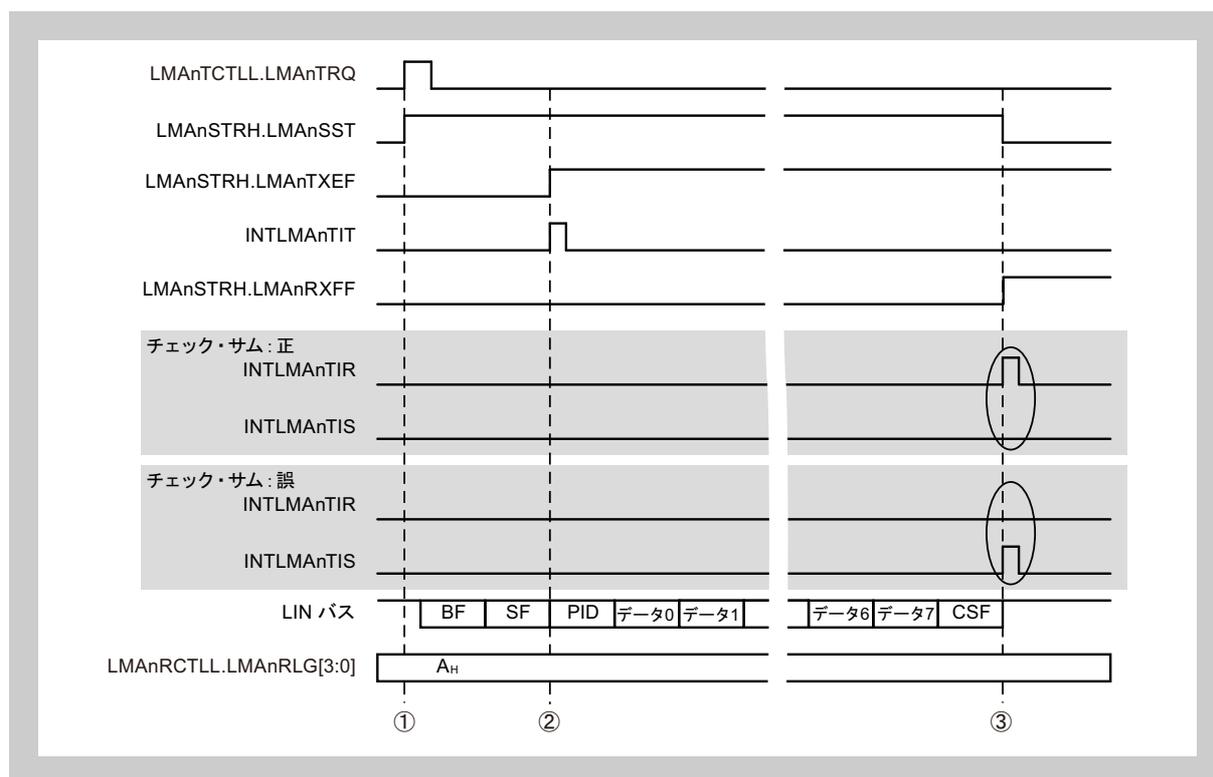


図 16-7 LIN マスタ送信モード時の LIN フレーム受信

- 前提条件**
- LMAAn の動作許可 (LMAAnCTLH.LMAAnPW = 1)
 - LMAAn を LIN マスタ受信モードに設定 (LMAAnCTL.LMAAnMD[1:0] = 1xB, LMAAnTCTLL.LMAAnSLRT = 1)
 - スケジューラを未使用。したがって自動フレーム開始機能も未使用 (LMAAnCTL レジスタの LMAAnSCHE, LMAAnAFE をクリア)
 - 送信バッファ・エンpty・フラグ LMAAnSTRH.LMAAnTXEF をクリア
 - 受信バッファ・フル・フラグ LMAAnSTRH.LMAAnRXFF をクリア
- 手順**
- ① 送信バッファ LMAAnTX01.LMAAnTX0B[7:0] に PID を書き込みます。LMAAnTCTLL.LMAAnTRQ をセットしてフレーム受信を開始します。フレーム・ヘッダの送信開始は、LMAAnSTRH.LMAAnSST = 1 で確認できます。
 - ② PID の送信を開始すると、LMAAnSTRH.LMAAnTXEF が 1 (送信バッファが空) になり、送信割り込み要求 INTLMAAnTIT が発生します。
 - ③ チェック・サム・フィールドの送信後、自動チェック・サム機能が有効 (LMAAnCTL.LMAAnACSE = 1) の場合、受信バッファ・フル・フラグ LMAAnSTRH.LMAAnRXFF が 1 になり、チェック・サム制御を行います。チェック・サムが正しい場合、受信割り込み要求 INTLMAAnTIR が発生します。チェック・サムが正しくない場合、受信割り込み要求は発生せず状態割り込み INTLMAAnTIS が発生します。

(5) LIN マスタ・モード転送エラー

LIN マスタ・モードで転送時、UARTE_n と LMA_n はさまざまな転送エラーを検出します。発生したエラーは各エラー・フラグで確認することができます。

表 16-15 LIN マスタ・モード転送エラー

検出モジュール	エラー	表示ビット	エラー要因
UARTE _n	フレーミング・エラー	URTE _n STR1.URTE _n FE = 1	SF, PID, データ, または CSF (チェック・サム) バイトの 8 番目のビットの受信後, ストップ・ビットを検出できない場合。フレーミング・エラー発生時は, データ整合性エラーも発生します。
	オーバラン・エラー	URTE _n STR1.URTE _n OVE = 1	UARTE 受信レジスタ URTE _n RX がデータを保持している間, 受信バッファに未格納の新しいデータを受信した場合。
	データ整合性エラー	URTE _n STR1.URTE _n DCE = 1	送信したデータが不正の場合。BF 送信中または SF 送信中のデータ整合性エラーは, それぞれ BF 送信エラー, SF 送信エラーで確認できます。
	BF 送信エラー	URTE _n STR1.URTE _n BSF = 0 LMA _n STRH.LMA _n BFE = 1	BF 送信中にデータ整合性エラーが発生した場合。
	SF 送信エラー	URTE _n STR1.URTE _n DCE = 1 LMA _n STRH.LMA _n SFE = 1	SF 送信中にデータ整合性エラーが発生した場合。
LMA _n	自動チェック・サム・エラー	LMA _n STRH.LMA _n FCSE = 1	LMA _n CTLL.LMA _n ACSE をセットして自動チェック・サム機能を有効にした状態で, LIN フレーム転送の完了後, 計算したチェック・サムが受信したチェック・サムと一致しない場合。
	送信/受信バッファ準備エラー	LMA _n STRH.LMA _n PIE = 1	送信バッファおよび受信バッファが正しく設定されていない以下のような状態で, LMA _n TCTLL.LMA _n TRQ = 1 の設定または自動フレーム開始モード時に LIN フレーム転送が開始した場合。 <ul style="list-style-type: none"> 送信バッファが空 (LMA_nSTRH.LMA_nTXEF = 1) 受信バッファがフル (LMA_nSTRH.LMA_nRXFF = 1) 送信バッファ長が不正 (LMA_nTCTLL.LMA_nTLG[3:0] が 0010_B - 1010_B 以外)

UARTE エラー検出後の動作は, LMA_n の動作モードと不正データの種類によって異なります。

ヘッダにブレークがある LIN マスタ・モードとブレークがない LIN マスタ・モードとでは, 受信モードで LIN フレーム・ヘッダ (BF/SF) 内にデータ整合性エラーを検出した際の動作が異なります。ヘッダにブレークがある LIN マスタ・モード時は後続の転送は停止しますが, ヘッダにブレークのない LIN マスタ・モード時は転送を継続します。

- ヘッダにブ레이크がある LIN マスタ・モード

任意の種類でデータでデータ整合性エラーを検出した場合、以降の転送は停止します。その際、対応する受信バッファ・エラー・フラグ LMAAnSTR.LMAAnRXBE[11:0] をセットし、状態割り込み要求 INTLMAAnTIS が発生します。

BF/ SF 送信時にフレーミング・エラー / オーバラン・エラーを検出した場合、転送を継続します。

受信モード時にフレーミング・エラー / オーバラン・エラーを伴う PID, データ, またはチェック・サムを受信した場合、以降の転送は停止します。その際、対応する受信バッファ・エラー・フラグ LMAAnSTR.LMAAnRXBE[11:0] をセットし、状態割り込み要求 INTLMAAnTIS が発生します。

- ヘッダにブ레이크がない LIN マスタ・モード

PID, データ, チェック・サム, または BF/ SF 送信時にデータ整合性エラーを検出した場合、以降の転送は停止します。その際、対応する受信バッファ・エラー・フラグ LMAAnSTR.LMAAnRXBE[11:0] をセットし、状態割り込み要求 INTLMAAnTIS が発生します。

受信モード時に BF/ SF でデータ整合性エラーが発生した場合、転送を継続します。その際、対応する受信バッファ・エラー・フラグ LMAAnSTR.LMAAnRXBE[11:0] をセットし、状態割り込み要求 INTLMAAnTIS が発生します。

BF/ SF 送信時にフレーミング・エラー / オーバラン・エラーを検出した場合、転送を継続します。

受信モード時にフレーミング・エラー / オーバラン・エラーを伴う PID, データ, またはチェック・サムを受信した場合、以降の転送は停止します。その際、対応する受信バッファ・エラー・フラグ LMAAnSTR.LMAAnRXBE[11:0] をセットし、状態割り込み要求 INTLMAAnTIS が発生します。

これら一連の動作の概要を次の表に示します。

表 16-16 LIN マスタ送信モード時の UARTE エラー

送信/受信モード	フレーミング・エラー ^a / オーバーラン・エラー		データ整合性エラー	
	BF/SF 内 ^b	PID / データ / CSF 内	BF/SF 内	PID / データ / CSF 内
ヘッダにブレークがある LIN マスタ・モード時 (LMAAnCTLL.LMAAnMD[1:0] = 11_B)				
送信モード (LMAAnTCTLL. LMAAnSLRT = 0)	転送継続		<ul style="list-style-type: none"> 不正フィールドのストップ・ビットで転送停止 LMAAnSTRL.LMAAnRXBE[i] = 1 INTLMAAnTIS 発生 	
受信モード (LMAAnTCTLL. LMAAnSLRT = 1)	転送継続	<ul style="list-style-type: none"> 不正フィールドのストップ・ビットで転送停止 LMAAnSTRL.LMAAnRXBE[i] = 1 INTLMAAnTIS 発生 		
ヘッダにブレークがない LIN マスタ・モード時 (LMAAnCTLL.LMAAnMD[1:0] = 10_B)				
送信モード (LMAAnTCTLL. LMAAnSLRT = 0)	転送継続		<ul style="list-style-type: none"> PID 送信後に転送停止 LMAAnSTRL.LMAAnRXBE[i] = 1 PID 送信後に INTLMAAnTIS 発生 	<ul style="list-style-type: none"> 不正フィールドのストップ・ビットで転送停止 LMAAnSTRL.LMAAnRXBE[i] = 1 INTLMAAnTIS 発生
受信モード (LMAAnTCTLL. LMAAnSLRT = 1)	転送継続	<ul style="list-style-type: none"> 不正フィールドのストップ・ビットで転送停止 LMAAnSTRL.LMAAnRXBE[i] = 1 INTLMAAnTIS 発生 	<ul style="list-style-type: none"> 転送継続 LMAAnSTRL.LMAAnRXBE[i] = 1 CSF 受信完了後に INTLMAAnTIS 発生 	

- a) 任意の種類データを送信中に発生したフレーミング・エラーは、データ整合性エラーと同時に検出します (送信モード: BF, SF, PID, データ, CSF を送信, 受信モード: BF, SF, PID を送信)。
- b) BF または SF でエラーを検出すると、それぞれに対応するエラー・フラグ LMAAnSTRH.LMAAnBFE, LMAAnSTRH.LMAAnSFE をセットします。

16.4.4 自動チェック・サム機能

自動チェック・サム機能により、チェック・サムを自動的に生成、制御することができます。

自動チェック・サム機能の有効/無効は、LMA_nCTLL.LMA_nACSE で設定します。

- LMA_nCTLL.LMA_nACSE = 0 : 自動チェック・サム機能無効
- LMA_nCTLL.LMA_nACSE = 1 : 自動チェック・サム機能有効

LMA_nCTLL.LMA_nACSE = 1 の場合、自動チェック・サム機能を有効にし、次の動作を行います。

- 送信モード** 送信モード (LMA_nTCTLL.LMA_nSLRT = 0) の場合、チェック・サムは LIN フレームの転送開始時に自動的に計算し、送信バッファの送信データに付加します。
送信完了後、チェック・サムに対して受信モードと同じ動作を行います (次の段落参照)。
- 受信モード** 受信完了後、チェック・サムは受信したデータから計算し、受信したチェック・サムと自動で比較します。一致した場合、受信割り込み要求 INTLMA_nTIR を発生します。一致しない場合、状態割り込み要求 INTLMA_nTIS を発生し、チェック・サム・エラー・フラグ LMA_nSTRH.LMA_nFCSE をセットします。

- チェック・サムの形式** 自動チェック・サム・モード時にチェック・サムの計算に使用するデータを選ぶことができます。
- LMA_nTCTLL.LMA_nSLEC = 0 : 標準チェック・サム
送信/受信バッファに格納したデータ・バイトのみを使用してチェック・サムを計算します。
 - LMA_nTCTLL.LMA_nSLEC = 1 : 強化チェック・サム
送信/受信バッファに格納したデータ・バイトと PID を使用してチェック・サムを計算します。

16.4.5 スケジューラ

スケジューラ機能を使用することで、一定の時間間隔で状態割り込み INTLMAnTIS が発生します。INTLMAnTIS を使用して次の LIN マスタ・フレームの転送を開始することができます。これにより、最小限のインターフレーム・スペース (LIN フレーム間の時間) を確保できます。スレーブによってはこの最小限の LIN インタフェース空間が必要な場合があります。

そのため、LIN フレームの転送を開始する前に、LIN フレームとフレーム間のスペースを合わせた LIN フレーム・スロット長 FRSL を送信バッファに指定します。

スケジューラ・カウンタ スケジューラは、スケジューラ・カウンタ CNTAm を使用します。CNTAm はフリーランニング・カウンタです。CNTAm のクロックは、プリスケアラ CNTAmCFG.CNTAmPRS[15:0] で選択できます。スケジューラ・カウンタ CNTAm の詳細は、この章の最初の節 16.2 「LIN マスタ・スケジューラ・カウンタ (CNTA)」を参照してください。

(1) スケジューラ動作

備考 スケジューラで LIN マスタ・フレームの転送を開始する前に、使用するスケジューラ・カウンタ CNTAm の動作を許可 (CNTAmCTL.CNTAmPW = 1) して、CNTAm のプリスケアラを設定する必要があります。スケジューラ・クロック SCHECLK は、CNTAmCFG.CNTAmPRS[15:0] で決定します。スケジューラ・クロックは、スケジューラ・カウンタ値 CNTAmCNT をカウント・アップします。

LMAnCTLL.LMAnSCHE をセットしてスケジューラを有効にしてください。

スケジューラ機能で LIN マスタ・フレームの転送を開始 (LMAnTCTLL.LMAnTRQ = 1) する前に、16 ビットの LIN フレーム・スロット長 FRSL[15:0] を送信バッファに書き込む必要があります。

- LMAnTXAB.LMAnTX10B[7:0] = FRSL = FRSL[7:0]
- LMAnTXAB.LMAnTX11B[7:0] = FRSLH = FRSL[15:8]

FRSL[15:0] は、フレーム・スロット長をスケジューラ・クロック SCHECLK の数で定義します。

LIN マスタ・フレームの転送を開始すると、定義したフレーム・スロット長 FRSL[15:0] にスケジューラ・カウンタ CNTAmCNT[15:0] の現在値を加算し、コンペア・レジスタ LMAnCMPL.LMAnCMP[15:0] に格納します。

スケジューラ・カウンタ値 CNTAmCNT[15:0] はコンペア・レジスタ LMAnCMP[15:0] と継続的に比較します。一致した場合、状態割り込み要求 INTLMAnTIS を発生し、スケジューラ準備完了フラグ LMAnSTRH.LMAnSRF をセットします。

注意 CNTAm の動作許可時 (CNTAmCTL.CNTAmPWR = 1)、LMAn の受信割り込み処理 (INTLMAnTIR) 及び LMA 状態割り込み処理 (INTLMAnTIS) 発生後、次の処理を追加してください。

1. URTECTL0.URTEenPW = 0
2. URTECTL0.URTEenPW = 1

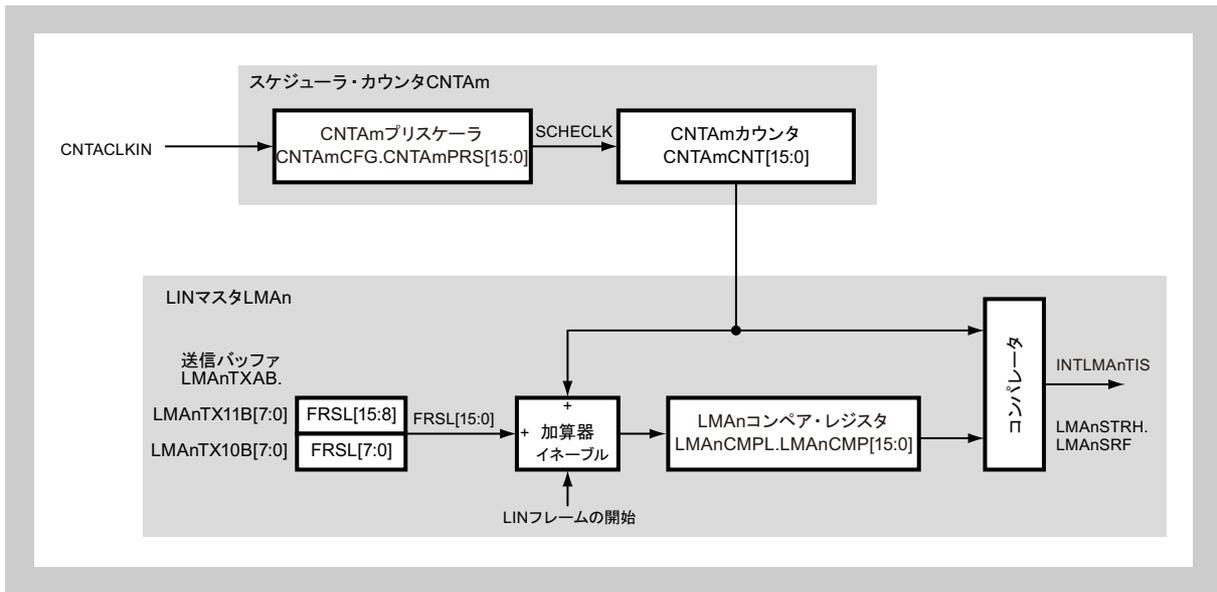


図 16-8 スケジューラ機能の概要

割り込み処理 状態割り込み INTLMAmTIS 発生時、フレーム・スロット長 FRSL が最小限のインターフレーム・スペースを含む場合、ただちに次の LIN マスタ・フレームの転送を開始できます。そのため、送信割り込みや受信割り込みを処理する必要がない場合があります。それらの割り込みを LMAmCTLL.LMAmITMK ビットまたは LMAmCTLL.LMAmIRMK ビットをセットすることでマスクし、制御することができます。

スケジューラを使用した LIN フレーム送信のタイミングを次の図に示します。

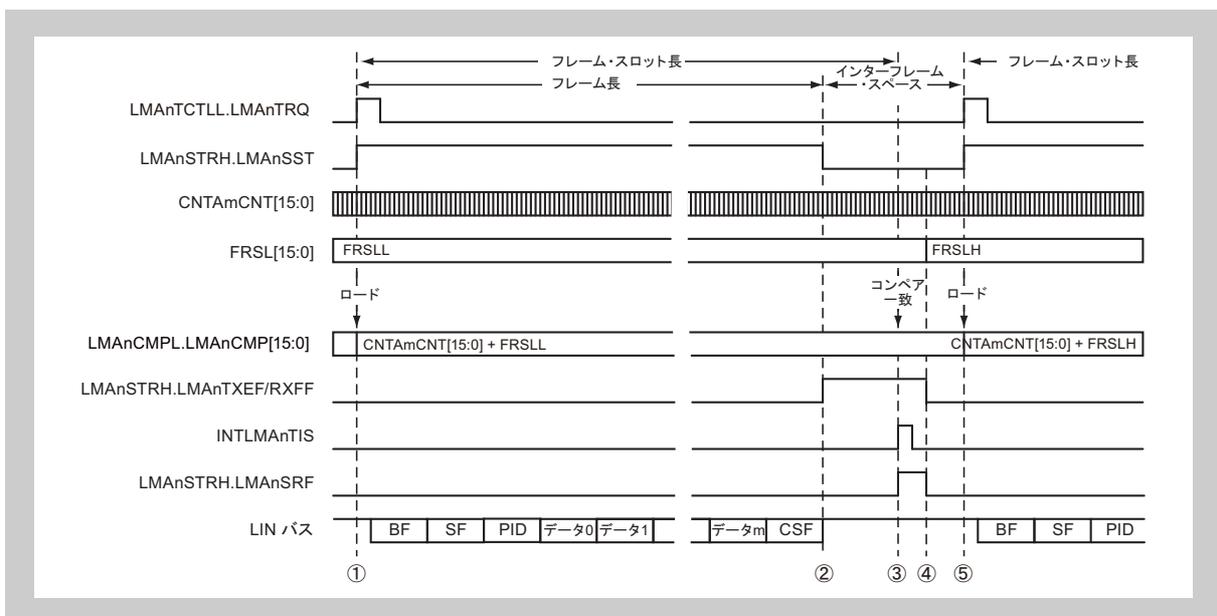


図 16-9 スケジューラを使用した LIN フレーム転送

前提条件 スケジューラ・カウンタ動作中で、かつスケジューラ・クロック周波数が設定済みである必要があります。

- LMA_n の動作許可 (LMA_nCTLH.LMA_nPW = 1)
- LMA_n を LIN マスタ・モードに設定 (LMA_nCTLL.LMA_nMD[1:0] = 1x_B)
- スケジューラ有効 (LMA_nCTLL.LMA_nSCHE = 1)
- 自動フレーム開始機能無効 (LMA_nCTLL.LMA_nAFE = 0)
- 送信バッファ・エンプティ・フラグ LMA_nSTRH.LMA_nTXEF, 受信バッファ・フル・フラグ LMA_nSTRH.LMA_nRXFF をクリア
- 送信バッファをフレーム・スロット長 FRSL_L で設定済み

- 手順**
- ① LMA_nTCTLL.LMA_nTRQ をセットしてフレーム送信を開始します。送信開始は、LMA_nSTRH.LMA_nSST = 1 で確認できます。
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL_L の合計値を LMA_nCMPL.LMA_nCMP[15:0] に格納します。
 - ② チェック・サム・フィールド CSF の送信後 (1 フレーム分のデータを送信後), 送信バッファが空 (LMA_nSTRH.LMA_nTXEF = 1) で, 受信バッファがフル (LMA_nSTRH.LMA_nRXFF = 1) になります。
 - ③ スケジューラ・カウンタ CNTAmCNT[15:0] と LMA_nCMPL.LMA_nCMP[15:0] が一致すると, 1 フレーム分のデータ送信終了を示す状態割り込み要求 INTLMA_nTIS が発生し, スケジューラ準備完了フラグ LMA_nSTRH.LMA_nSRF をセットします。
フレーム・スロット長 FRSL_L を定義する際に十分なインターフレーム・スペースを考慮していれば, その時点ですでに次のフレーム転送を開始することが可能です。
 - ④ バッファ状態フラグとスケジューラ準備完了フラグをクリアします (LMA_nSTCH レジスタの LMA_nCLTXEF, LMA_nCLR_XFF, LMA_nCLSRF に 1 を設定)。
次のフレーム転送 (フレーム・スロット長 FRSL_H) のために, 送信バッファと制御レジスタ LMA_nTCTLL を設定します。
 - ⑤ LMA_nTCTLL.LMA_nTRQ をセットして次のフレーム転送を開始します。送信開始は, LMA_nSTRH.LMA_nSST = 1 で確認できます。
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL_H の合計値を LMA_nCMPL.LMA_nCMP[15:0] に格納します。

(2) 自動フレーム開始機能を使用したスケジューラ動作

自動フレーム開始機能有効 (LMA_nCTLL.LMA_nAFE = 1) およびスケジューラ機能を有効 (LMA_nCTLL.LMA_nSCHE = 1) に設定し, インターフレーム・スペースの間に CPU で次の転送準備を行うことで, インターフレーム・スペースに続いて次の LIN フレーム転送を自動で開始することができます。LIN バス上で最大限のデータ送信性能を実現できます。

自動フレーム開始機能を使用して LIN フレーム転送を開始するには, 送信要求ビット LMA_nTCTLL.LMA_nTRQ のほかに最初の送信要求ビット LMA_nTCTLL.LMA_nFRQ をセットする必要があります。LMA_nTRQ は, フレームの転送中 (LMA_nSTRH.LMA_nSST = 1) でも, 0 にクリアした後で,

再び1に設定することができます。これにより、次のインターフレーム・スペースの直後に次のフレーム転送を開始することができます。

次のフレーム転送のために必要な準備（受信／送信バッファの設定等）はすべてインターフレーム・スペースで行う必要があります。これらの準備は、受信割り込み要求 INTLMAntIR をトリガとして処理することができます。

スケジューラと自動フレーム開始機能を使用した LIN フレーム送信のタイミングを次の図に示します。

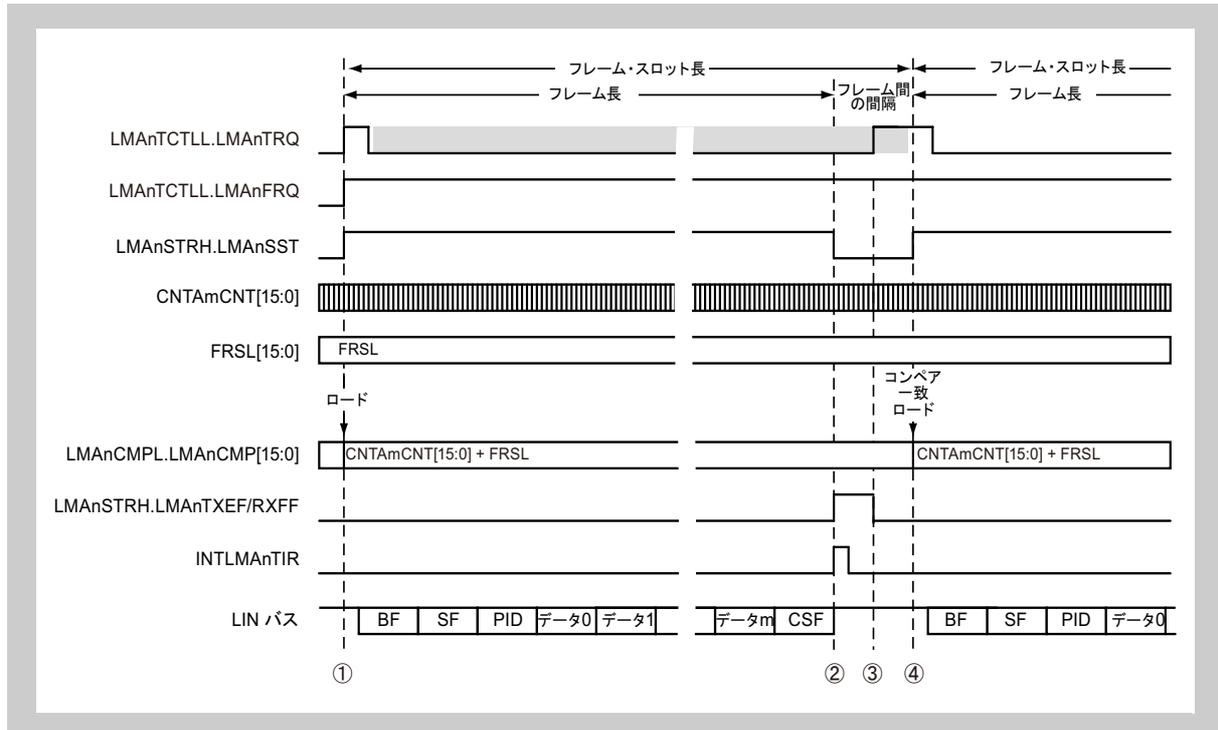


図 16-10 スケジューラと自動フレーム開始機能を使用した LIN フレーム送信

前提条件 スケジューラ・カウンタ動作中で、かつスケジューラ・クロック周波数が設定済みである必要があります。

- LMA の動作許可 (LMAntCTLH.LMAntPW = 1)
- LMA を LIN マスタ・モードに設定 (LMAntCTLL.LMAntMD[1:0] = 1x_B)
- スケジューラ有効 (LMAntCTLL.LMAntSCHE = 1)
- 自動フレーム開始機能有効 (LMAntCTLL.LMAntAFE = 1)
- 送信バッファ・エンpty・フラグ LMAntSTRH.LMAntTXEF, 受信バッファ・フル・フラグ LMAntSTRH.LMAntRXFF をクリア
- 送信バッファを正しいフレーム・スロット長 FRSL で設定済み

- 手順**
- ① LMA_nTCTLL レジスタの LMA_nTRQ, LMA_nFRQ ビットを 1 に設定し, 自動フレーム開始機能で最初の送信を開始します。
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL の合計値を LMA_nCMPL.LMA_nCMP[15:0] に格納します。
LMA_nTCTLL.LMA_nTRQ が 0 になった後で, 次の送信要求を設定することができます。インターフレーム・スペースが終わるまでに設定してください。
(例に示した図では LMA_nTRQ ビットは, インターフレーム・スペースで設定しています。)
 - ② チェック・サム・フィールド CSF の送信後 (1 フレーム分のデータを送信後), 送信バッファが空 (LMA_nSTRH.LMA_nTXEF = 1), 受信バッファがフル (LMA_nSTRH.LMA_nRXFF = 1) になり, 受信割り込み要求 INTLMA_nTIR が発生します。
 - ③ 次のフレーム送信に必要なすべての準備を行います。
バッファ状態フラグとスケジューラ準備完了フラグをクリアします (LMA_nSTCH レジスタの LMA_nCLTXEF, LMA_nCLRXXFF に 1 を設定)。
次の送信要求を設定します (LMA_nTCTLL.LMA_nTRQ = 1)。
 - ④ スケジューラ・カウンタ値 CNTAmCNT[15:0] とコンペア・レジスタ値 LMA_nCMPL.LMA_nCMP[15:0] が一致すると, 次のフレーム送信を開始します。

準備エラー 次のフレームを完全かつ正しく準備しない場合, 以下の動作になります。

- LMA_nTCTLL.LMA_nTRQ と LMA_nSTRH.LMA_nSST をクリアし, フレーム転送が開始しない
- LMA_nCMPL.LMA_nCMP[15:0] に CNTAmCNT[15:0] + FRSL をロード
- バッファ準備エラー・フラグ LMA_nSTRH.LMA_nPIE をセット
- 状態割り込み要求 INTLMA_nTIS が発生

次のフレームの開始時にフレームの準備を完了すると (CNTAmCNT[15:0] = LMA_nCMPL.LMA_nCMP[15:0]), フレーム送信を開始します。フレームの準備が完了していない場合, 別のバッファ準備エラーを示す INTLMA_nTIS 割り込み要求が発生します。

16.5 LMAn レジスタ

この節では、LIN マスタ・コントローラのすべてのレジスタについて説明します。

16.5.1 LMAn レジスタの概要

LMAn は、次のレジスタによって制御します。

表 16-17 LMAn レジスタ一覧

レジスタ機能	16 ビット・アクセス		32 ビット・アクセス	
	名称	アドレス	名称	アドレス
制御, 状態レジスタ :				
制御レジスタ L	LMAnCTL L	<LMAn_base> + 80 _H	LMAnCTL0W	<LMAn_base> + 180 _H
制御レジスタ H	LMAnCTLH	<LMAn_base> + 84 _H		
状態レジスタ L	LMAnSTRL	<LMAn_base> + 88 _H	LMAnSTR0W	<LMAn_base> + 188 _H
状態レジスタ H	LMAnSTRH	<LMAn_base> + 8C _H		
状態クリア・レジスタ L	LMAnSTCL	<LMAn_base> + 90 _H	LMAnSTC0W	<LMAn_base> + 190 _H
状態クリア・レジスタ H	LMAnSTCH	<LMAn_base> + 94 _H		
コンペア・レジスタ L	LMAnCMPL	<LMAn_base> + 98 _H	LMAnCMP0W	<LMAn_base> + 198 _H
コンペア・レジスタ H	LMAnCMPH	<LMAn_base> + 9C _H		
送信制御レジスタ L	LMAnTCTL L	<LMAn_base> + D8 _H	LMAnTCTL0W	<LMAn_base> + 1D8 _H
送信制御レジスタ H	LMAnTCTLH	<LMAn_base> + DC _H		
受信制御レジスタ L	LMAnRCTL L	<LMAn_base> + F8 _H	LMAnRCTL0W	<LMAn_base> + 1F8 _H
受信制御レジスタ H	LMAnRCTLH	<LMAn_base> + FC _H		
送信バッファ・レジスタ :				
送信バッファ・レジスタ 01	LMAnTX01	<LMAn_base> + C0 _H	LMAnTX00W	<LMAn_base> + 1C0 _H
送信バッファ・レジスタ 23	LMAnTX23	<LMAn_base> + C4 _H		
送信バッファ・レジスタ 45	LMAnTX45	<LMAn_base> + C8 _H	LMAnTX04W	<LMAn_base> + 1C8 _H
送信バッファ・レジスタ 67	LMAnTX67	<LMAn_base> + CC _H		
送信バッファ・レジスタ 89	LMAnTX89	<LMAn_base> + D0 _H	LMAnTX08W	<LMAn_base> + 1D0 _H
送信バッファ・レジスタ AB	LMAnTXAB	<LMAn_base> + D4 _H		
受信バッファ・レジスタ :				
受信バッファ・レジスタ 01	LMAnRX01	<LMAn_base> + E0 _H	LMAnRX00W	<LMAn_base> + 1E0 _H
受信バッファ・レジスタ 23	LMAnRX23	<LMAn_base> + E4 _H		
受信バッファ・レジスタ 45	LMAnRX45	<LMAn_base> + E8 _H	LMAnRX04W	<LMAn_base> + 1E8 _H
受信バッファ・レジスタ 67	LMAnRX67	<LMAn_base> + EC _H		
受信バッファ・レジスタ 89	LMAnRX89	<LMAn_base> + F0 _H	LMAnRX08W	<LMAn_base> + 1F0 _H
受信バッファ・レジスタ AB	LMAnRXAB	<LMAn_base> + F4 _H		

- <LMA_base>** LMAのベース・アドレス <LMA_base> は、表 16-3 「LMAレジスタ・ベース・アドレス <LMA_base>」を参照してください。
- レジスタへのアクセス** すべてのレジスタは、16ビットまたは32ビットでアクセス可能です。存在しないレジスタ・ビットへの書き込みは無視します。読み出すと常に0を返します。

16.5.2 LMA_n レジスタの詳細

(1) LMA_nCTLL - LMA_n 制御レジスタ L

LMA_n の動作を許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。
LMA_nCTLL, LMA_nCTLH を 32 ビット単位でリード/ライト可能です。

アドレス <LMA_n_base> + 80_H, 32 ビット・アクセス時は <LMA_n_base> + 180_H

初期値 0000_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	LMA _n MD[1:0]	LMA _n ACSE	LMA _n SCHE	LMA _n AFE	LMA _n ITMK	LMA _n IRMK	
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	

表 16-18 LMA_nCTLL レジスタの内容 (1/2)

ビット位置	ビット名	機能										
6, 5	LMA _n MD[1:0]	LMA _n 動作モードの選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>MD[1:0]</th><th>動作モード</th></tr> </thead> <tbody> <tr> <td>00_B</td><td>UART スルー・モード LMA_n をバイパスして、接続した UART を単体で使します。</td></tr> <tr> <td>01_B</td><td>UART バッファ・モード 接続した UART をバッファ付き UART として使します。</td></tr> <tr> <td>10_B</td><td>ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を続けます。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。</td></tr> <tr> <td>11_B</td><td>ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使します。 LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、状態割り込み要求信号 INTLMA_nTIS を発生します。その後、BF で新しいフレーム転送を開始できます。</td></tr> </tbody> </table>	MD[1:0]	動作モード	00 _B	UART スルー・モード LMA _n をバイパスして、接続した UART を単体で使します。	01 _B	UART バッファ・モード 接続した UART をバッファ付き UART として使します。	10 _B	ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を続けます。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。	11 _B	ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使します。 LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、状態割り込み要求信号 INTLMA _n TIS を発生します。その後、BF で新しいフレーム転送を開始できます。
MD[1:0]	動作モード											
00 _B	UART スルー・モード LMA _n をバイパスして、接続した UART を単体で使します。											
01 _B	UART バッファ・モード 接続した UART をバッファ付き UART として使します。											
10 _B	ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を続けます。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。											
11 _B	ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使します。 LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、状態割り込み要求信号 INTLMA _n TIS を発生します。その後、BF で新しいフレーム転送を開始できます。											

表 16-18 LMAAnCTLH レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	LMAAnACSE	<p>自動チェック・サム機能有効/無効 0: 自動チェック・サム機能を無効 1: 自動チェック・サム機能を有効 UART スルー・モードまたは UART バッファ・モード (LMAAnMD[1:0] = 0xB) では、このビットを 0 にしてください。</p> <p>自動チェック・サム機能を無効にした場合、以下の動作になります。</p> <ul style="list-style-type: none"> 受信チェック・サムをソフトウェアで計算し、受信したチェック・サムと比較してください。 データ送信を開始する前に、送信チェック・サムをソフトウェアで計算し、送信バッファに設定してください。 <p>自動チェック・サム機能を有効にした場合、以下の動作になります。</p> <ul style="list-style-type: none"> 受信チェック・サムを受信したデータから計算し、受信したチェック・サムと比較します。 データ送信の開始時、送信チェック・サムを自動的に計算し、送信バッファに設定します。
3	LMAAnSCHE	<p>スケジューラの有効/無効 0: スケジューラ無効 1: スケジューラ有効 UART スルー・モードまたは UART バッファ・モード (LMAAnMD[1:0] = 0xB) では、このビットを 0 にしてください。 スケジューラを有効にする前に、LMAAn に接続したスケジューラ・カウンタの動作を開始してください。</p>
2	LMAAnAFE	<p>自動フレーム開始機能の有効/無効 0: 自動フレーム開始機能無効 1: 自動フレーム開始機能有効 UART スルー・モードまたは UART バッファ・モード (LMAAnMD[1:0] = 0xB) では、このビットを 0 にしてください。 自動フレーム開始機能を無効にした場合、LMAAnTCTLL.LMAAnTRQ をセットすると、ソフトウェアによりフレーム送信を開始します。 自動フレーム開始機能を有効にした場合、LMAAnTCTLL.LMAAnTRQ をセットすると、インターフレーム・スペースの直後にスケジューラがフレーム送信を自動的に開始します。</p>
1	LMAAnITMK	<p>送信割り込み要求 (INTLMAAnTIT) のマスク 0: INTLMAAnTIT をマスクしない (INTLMAAnTIT を発生) 1: INTLMAAnTIT をマスク (INTLMAAnTIT を発生しない) UART スルー・モードまたは UART バッファ・モード (LMAAnMD[1:0] = 0xB) では、このビットを 0 にしてください。</p>
0	LMAAnIRMK	<p>受信割り込み要求 (INTLMAAnTIR) のマスク 0: INTLMAAnTIR をマスクしない (INTLMAAnTIR を発生) 1: INTLMAAnTIR をマスク (INTLMAAnTIR を発生しない) UART スルー・モードまたは UART バッファ・モード (LMAAnMD[1:0] = 0xB) では、このビットを 0 にしてください。</p>

注意 LMAAnCTLH レジスタの値を変更する場合、LMAAnCTLH.LMAAnPW = 0 (LMAAn動作禁止) の時に実施してください。ただし、LMAAnPW ビットを 0 から 1 (LMAAn動作許可) に設定する場合に、32 ビット・アクセスによる同時設定は可能です。

(2) LMA_nCTLH - LMA_n 制御レジスタ H

LMA_n の動作を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
LMA_nCTLL, LMA_nCTLH を 32 ビット単位でリード／ライト可能です。

アドレス <LMA_n_base> + 84_H, 32 ビット・アクセス時は <LMA_n_base> + 180_H

初期値 0000_H どのリセット要因でも初期化します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA _n PW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-19 LMA_nCTLH レジスタの内容

ビット位置	ビット名	機能
15	LMA _n PW	LMA _n の動作許可／禁止 0: LMA _n 動作禁止 (内部信号停止) 1: LMA _n 動作許可 (内部信号動作) LMA _n PW を 0 に設定すると、すべての動作を停止し、LMA _n をリセットします。 本ビットを 1 から 0 に変更する場合、以下の状態で設定してください。 <ul style="list-style-type: none"> • LMA_nTCTLL.LMA_nTRQ = 0 • LMA_nSTRH.LMA_nSST = 0 • LMA_nRCTLL.LMA_nRRQ = 0 • LMA_nSTRH.LMA_nSSR = 0

(3) LMA_nSTRL - LMA_n 状態レジスタ L

受信状態を示します。

アクセス 16ビット単位でリード可能です。
LMA_nSTRL, LMA_nSTRH を 32ビット単位でリード可能です。

アドレス <LMA_n_base> + 88_H, 32ビット・アクセス時は <LMA_n_base> + 188_H

初期値 0000_H すべてのリセット要因および LMA_nCTLH.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA _n SSB[2:0]			0	LMA _n RXBE[11:0]											
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-20 LMA_nSTRL レジスタの内容

ビット位置	ビット名	機能								
15-13	LMA _n SSB[2:0]	受信バッファ・モード状態フラグ <table border="1" data-bbox="560 853 1369 1144"> <thead> <tr> <th>LMA_nSSB [2:0]</th> <th>受信バッファ・モード</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>アイドル状態 (受信データなし)</td> </tr> <tr> <td>101_B</td> <td>データを受信したが、受信バッファ長に未達。LMA_nRCTLH.LMA_nRAB をセットして受信を中止する必要があります。</td> </tr> <tr> <td>その他</td> <td>異常動作が発生。LMA_nRCTLH.LMA_nRAB をセットして受信を中止する必要があります。</td> </tr> </tbody> </table> 受信処理停止中、診断のために LMA _n SSB[2:0] を読み出すことができます。	LMA _n SSB [2:0]	受信バッファ・モード	000 _B	アイドル状態 (受信データなし)	101 _B	データを受信したが、受信バッファ長に未達。LMA _n RCTLH.LMA _n RAB をセットして受信を中止する必要があります。	その他	異常動作が発生。LMA _n RCTLH.LMA _n RAB をセットして受信を中止する必要があります。
LMA _n SSB [2:0]	受信バッファ・モード									
000 _B	アイドル状態 (受信データなし)									
101 _B	データを受信したが、受信バッファ長に未達。LMA _n RCTLH.LMA _n RAB をセットして受信を中止する必要があります。									
その他	異常動作が発生。LMA _n RCTLH.LMA _n RAB をセットして受信を中止する必要があります。									
11-0	LMA _n RXBE[11:0]	受信バッファ・エラー・フラグ <ul style="list-style-type: none"> 0: UART エラーなし 1: UART エラーを検出 ビット値 [11:0] は、受信バッファ番号に対応しています。 <ul style="list-style-type: none"> 0: 受信バイト 0 (LMA_nRX01.LMA_nRX0B[7:0]) エラー発生 ... 11: 受信バイト 11 (LMA_nRXAB.LMA_nRX11B[7:0]) エラー発生 LMA _n STCL.LMA _n CLR _n RXBE[11:0] = 1 でクリアするまで、1 (エラーあり) を保持します。								

(4) LMA_nSTRH - LMA_n 状態レジスタ H

受信状態を示します。

アクセス 16ビット単位でリード可能です。
LMA_nSTRL, LMA_nSTRH を 32ビット単位でリード可能です。

アドレス <LMA_n_base> + 8C_H, 32ビット・アクセス時は <LMA_n_base> + 188_H

初期値 0000_H すべてのリセット要因および LMA_nCTLH.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA _n SST	LMA _n SSR	LMA _n TXEF	LMA _n RXFF	LMA _n ROVE	LMA _n FCSE	LMA _n SRF	LMA _n PIE	LMA _n BFE	LMA _n SFE	LMA _n SSL[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-21 LMA_nSTRH レジスタの内容 (1/3)

ビット位置	ビット名	機能
15	LMA _n SST	送信状態フラグ 0: 送信要求未発生 1: 送信要求発生 LMA _n TCTLL.LMA _n TRQ = 1 で送信要求を設定した場合, LMA _n SST は自動的にセットします。 LIN モードで自動フレーム開始機能を使用した場合 (LMA _n CTLL.LMA _n AFE = 1), 新しいフレームの自動開始時に, このフラグを自動的にセットします。 UART スルー・モード時はセットしません。 次の場合にクリアします。 • LMA _n CTLH.LMA _n PW = 0 • 送信処理完了時 (LIN マスタ・モードでフレーム送信完了)
14	LMA _n SSR	受信状態フラグ 0: 受信要求未発生 1: 受信要求発生 LMA _n RCTLL.LMA _n RRQ = 1 で受信要求を設定した場合, LMA _n SSR は自動的にセットします。 UART スルー・モードおよび LIN マスタ・モード時はセットしません。 次の場合にクリアします。 • LMA _n CTLH.LMA _n PW = 0 • 受信処理完了時
13	LMA _n TXEF ^a	送信バッファ・エンpty・フラグ 0: 送信バッファに送信すべきデータが残っている 1: 送信バッファが空: 最終送信データ送信済み UART スルー・モード時はセットしません。 次の場合にクリアされます。 • LMA _n CTLH.LMA _n PW = 0 • LMA _n STCH.LMA _n CLTXEF = 1

表 16-21 LMAAnSTRH レジスタの内容 (2/3)

ビット位置	ビット名	機能
12	LMAAnRXFF ^a	<p>受信バッファ・フル・フラグ 0: 受信バッファに受信, 格納すべきデータが残っている 1: 受信バッファがフル: 最終受信データを受信済み</p> <p>UART スルー・モード時はセットしません。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLRxFF = 1
11	LMAAnROVE ^a	<p>受信バッファ・オーバフロー・フラグ 0: 受信バッファ・オーバフロー未発生 1: 受信バッファ・オーバフロー発生</p> <p>データの受信中にオーバフローが発生すると, 新しいデータは破棄します。</p> <p>UART スルー・モードおよび LIN マスタ・モード時はセットしません。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLROVE = 1
10	LMAAnFCSE ^a	<p>チェック・サム・エラー・フラグ 0: チェック・サム・エラー未発生 1: チェック・サム・エラー発生</p> <p>LMAAnFCSE は, LIN フレーム受信中のチェック・サム制御の結果を示します。受信したデータから計算したチェック・サムが受信したチェック・サムと一致しない場合, エラーを示します。</p> <p>このフラグは, LIN マスタ・モードで自動チェック・サム機能を有効 (LMAAnCTLL.LMAAnACSE = 1) にした場合のみ有効です。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLFCSE = 1
9	LMAAnSRF ^a	<p>スケジューラ準備完了フラグ 0: スケジューラ準備完了イベント未発生 1: スケジューラ準備完了イベント発生</p> <p>コンペア・レジスタ LMAAnCMPL.LMAAnCMP[15:0] の値とスケジューラ・カウンタの値が一致すると, スケジューラ準備完了イベントが発生します。このとき, 状態割り込み要求 INTLMAAnTIS も発生します。</p> <p>このフラグは, LIN マスタ・モードで自動フレーム開始機能を無効 (LMAAnCTLL.LMAAnAFE = 0) にしたままスケジューラ機能を有効 (LMAAnCTLL.LMAAnSCHE = 1) にした場合のみ有効です。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLSRF = 1

表 16-21 LMAAnSTRH レジスタの内容 (3/3)

ビット位置	ビット名	機能								
8	LMAAnPIE ^a	<p>バッファ準備エラー・フラグ</p> <p>0: 送信バッファ/受信バッファが正しく準備されている 1: 送信バッファ/受信バッファが正しく準備されていない</p> <p>送信バッファ、受信バッファを正しく準備せずに LIN マスタ・フレームの転送を開始するとセットします。次の条件が発生すると、バッファ準備不完全エラーを検出します。</p> <ul style="list-style-type: none"> • LMAAnSTRH.LMAAnTXEF = 1 (送信バッファが空) • LMAAnSTRH.LMAAnRXFF = 1 (受信バッファがフル) • LMAAnTCTLL.LMAAnTLG[3:0] が不正な値 <p>このフラグは LIN マスタ・モード時のみ有効です。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLPIE = 1 								
7	LMAAnBFE ^a	<p>BF (Break Field) エラー・フラグ</p> <p>0: BF 送信成功 1: BF 送信失敗</p> <p>LIN フレーム送信開始時の BF 送信中にフレーミング・エラー、オーバラン・エラー、またはデータ整合性エラーを検出した場合にセットします。エラーを検出した場合、状態割り込み要求 INTLMAAnTIS を発生します。</p> <p>このフラグは LIN マスタ・モード時のみ有効です。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLBFE = 1 								
6	LMAAnSFE ^a	<p>SF (Sync Field) エラー・フラグ</p> <p>0: SF 送信成功 1: SF 送信失敗</p> <p>LIN フレーム送信開始時の SF 送信中にフレーミング・エラー、オーバラン・エラー、またはデータ整合性エラーを検出した場合にセットします。エラーを検出した場合、状態割り込み要求 INTLMAAnTIS を発生します。</p> <p>このフラグは LIN マスタ・モード時のみ有効です。</p> <p>次の場合にクリアします。</p> <ul style="list-style-type: none"> • LMAAnCTLH.LMAAnPW = 0 • LMAAnSTCH.LMAAnCLSFE = 1 								
5-0	LMAAnSSL [5:0]	<p>LIN マスタ・モード状態フラグ</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">LMAAnSSL[5:0]</th> <th style="text-align: center;">LIN マスタ・モード状態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">000000_B</td> <td>アイドル状態 (動作なし)</td> </tr> <tr> <td style="text-align: center;">011001_B</td> <td>スレーブからの応答なし。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。</td> </tr> <tr> <td style="text-align: center;">その他</td> <td>異常動作が発生。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。</td> </tr> </tbody> </table> <p>受信処理停止中、診断のために LMAAnSSL[5:0] を読み出すことができます。</p>	LMAAnSSL[5:0]	LIN マスタ・モード状態	000000 _B	アイドル状態 (動作なし)	011001 _B	スレーブからの応答なし。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。	その他	異常動作が発生。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。
LMAAnSSL[5:0]	LIN マスタ・モード状態									
000000 _B	アイドル状態 (動作なし)									
011001 _B	スレーブからの応答なし。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。									
その他	異常動作が発生。LMAAnTCTLL.LMAAnTAB をセットして送信を中止する必要があります。									

a) これらのフラグは、データ送信処理を開始する前に、LMAAnSTCH レジスタの対応する状態クリア・ビットを 1 に設定してクリアしてください。

(5) LMA_nSTCL - LMA_n 状態クリア・レジスタ L

LMA_n 状態レジスタ L (LMA_nSTRL) の状態とエラー・ビットをクリアします。

アクセス 16 ビット単位でライト可能です。
LMA_nSTCL, LMA_nSTCH を 32 ビット単位でライト可能です。
LMA_nCLR_XBE[11:0] ビットは読み出すと不定値を返します。

アドレス <LMA_n_base> + 90_H, 32 ビット・アクセス時は <LMA_n_base> + 190_H

初期値 0000_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	LMA _n CLR _X BE[11:0]											
R	R	R	R	W	W	W	W	W	W	W	W	W	W	W	W

表 16-22 LMA_nSTCL レジスタの内容

ビット位置	ビット名	機能
11-0	LMA _n CLR _X BE [11:0]	受信バッファ・エラー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n RXBE[11:0] をクリア

(6) LMA_nSTCH - LMA_n 状態クリア・レジスタ H

LMA_n 状態レジスタ H (LMA_nSTRH) の状態とエラー・ビットをクリアします。

アクセス 16 ビット単位でライト可能です。
LMA_nSTCL, LMA_nSTCH を 32 ビット単位でライト可能です。
LMA_nSTCH[13:6] の各ビットは読み出すと不定値を返します。

アドレス <LMA_n_base> + 94_H, 32 ビット・アクセス時は <LMA_n_base> + 190_H

初期値 0000_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	LMA _n CL TXEF	LMA _n CL RXFF	LMA _n CL ROVE	LMA _n CL FCSE	LMA _n CL SRF	LMA _n CL PIE	LMA _n CL BFE	LMA _n CL SFE	0	0	0	0	0	0
R	R	W	W	W	W	W	W	W	W	R	R	R	R	R	R

表 16-23 LMA_nSTCH レジスタの内容

ビット位置	ビット名	機能
13	LMA _n CLTXEF	送信バッファ・エンプティ・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n TXEF をクリア
12	LMA _n CLRXFF	受信バッファ・フル・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n RXFF をクリア
11	LMA _n CLROVE	受信バッファ・オーバフロー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n ROVE をクリア
10	LMA _n CLFCSE	チェック・サム・エラー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n FCSE をクリア
9	LMA _n CLSRF	スケジューラ準備完了フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n SRF をクリア
8	LMA _n CLPIE	準備不完全エラー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n PIE をクリア
7	LMA _n CLBFE	BF (Break Field) エラー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n BFE をクリア
6	LMA _n CLSFE	SF (Sync Field) エラー・フラグのクリア 0: 0 の書き込みは無視 1: 1 の書き込みで LMA _n SFE をクリア

(7) LMAAnCMPL - LMAAn コンペア・レジスタ L

スケジューラの比較値を保持します。

アクセス 16 ビット単位でリード可能です。
LMAAnCMPL, LMAAnCMPH を 32 ビット単位でリード可能です。

アドレス <LMAAn_base> + 98_H, 32 ビット・アクセス時は <LMAAn_base> + 198_H

初期値 0000_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMAAnCMP[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-24 LMAAnCMPL レジスタの内容

ビット位置	ビット名	機能
15-0	LMAAn CMP[15:0]	現在のスケジューラ比較値 LIN マスタ・フレームの開始時, 現在のフリーランニング・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL の合計値を LMAAnCMP[15:0] に格納します。

(8) LMAAnCMPH - LMAAn コンペアレジスタ H

スケジューラの比較値を保持します。

アクセス 16 ビット単位でリード可能です。
LMAAnCMPL, LMAAnCMPH を 32 ビット単位でリード可能です。

アドレス <LMAAn_base> + 9C_H, 32 ビット・アクセス時は <LMAAn_base> + 198_H

初期値 0000_H どのリセット要因でも初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(9) LMA_nTCTLL - LMA_n 送信制御レジスタ L

LMA_n 送信バッファを制御します。

アクセス 16 ビット単位でリード/ライト可能です。
LMA_nTCTLL, LMA_nTCTLH を 32 ビット単位でリード/ライト可能です。

アドレス <LMA_n_base> + D8_H, 32 ビット・アクセス時は <LMA_n_base> + 1D8_H

初期値 0000_H すべてのリセット要因および LMA_nCTLH.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	LMA _n SLEC	LMA _n SLRT	LMA _n FRQ	LMA _n TRQ	LMA _n TLG[3:0]			
R	R	R	R	R	R	R	R	R/W	R/W	W	R/W	R/W	R/W	R/W	R/W

表 16-25 LMA_nTCTLL レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	LMA _n SLEC	強化チェック・サム制御 0: 標準チェック・サム データ・バイトのみを使用してチェック・サムを計算します。 1: 強化チェック・サム データ・バイトと PID を使用してチェック・サムを計算します。 LMA _n SLEC は自動チェック・サムが有効 (LMA _n CTLL.LMA _n ACSE = 1) の場合のみ有効です。
6	LMA _n SLRT	LIN マスタ・モード動作制御 0: 送信モード 1: 受信モード LMA _n SLRT は LIN マスタ・モード時のみ有効です。
5	LMA _n FRQ	最初の送信要求の制御 0: スケジューラ準備完了イベントで LIN フレーム転送を開始 1: 送信動作を要求していない場合 (LMA _n STRH.LMA _n SST = 0), 送信要求を発生 (LMA _n TRQ = 1) した直後に LIN フレーム転送を開始 LMA _n STRH.LMA _n SST = 1 時に LMA _n FRQ をセットした場合, 次のスケジューラ・イベントの発生で LIN フレーム転送を開始し, LMA _n FRQ = 0 の場合と同様の動作をします。 LMA _n FRQ は, LMA _n TRQ と同時にセットしてください。 LMA _n FRQ は, LIN マスタ・モードでスケジューラを使用 (LMA _n CTLL.LMA _n SCHE = 1) し, かつ自動フレーム開始が有効 (LMA _n CTLL.LMA _n AFE = 1) の場合のみ有効です。それ以外のモードでは, 0 に設定する必要があります。
4	LMA _n TRQ	送信要求制御 0: 送信動作を開始しているか, または要求していない 1: 送信動作を要求 LIN マスタ・モード時は, LIN マスタ受信モード (LMA _n SLRT = 1) と同じく, LMA _n TRQ = 1 で LIN フレーム転送をトリガします。 LMA _n TRQ = 1 設定後に送信を開始すると, LMA _n TRQ は自動的に 0 を返します。 LMA _n TRQ への 0 書き込みは無効です。 UART スルー・モード (LMA _n CTLL.LMA _n MD[1:0] = 00 _B) 時は, このビットを 0 に設定してください。 注意: LIN マスタモードでスケジューラと自動フレーム開始を有効にした状態 (LMA _n CTLL レジスタの LMA _n SCHE, LMA _n AFE を 1 に設定) で LMA _n を使用している場合を除き, 送信要求を保留している間は LMA _n TRQ = 1 の設定は禁止です。

表 16-25 LMA_nTCTLL レジスタの内容 (2/2)

ビット位置	ビット名	機能																
3-0	LMA _n TLG[3:0]	<p>送信バッファ長の指定 LMA_nTLG[3:0] は UART バッファ・モードと LIN マスタ・モード時のみ有効です。</p> <ul style="list-style-type: none"> UART バッファ・モード時 <table border="1"> <thead> <tr> <th>LMA_nTLG[3:0]</th> <th>送信バッファ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>12 バイト送信</td> </tr> <tr> <td>0001_B - 1100_B</td> <td>1 ~ 12 バイト送信</td> </tr> <tr> <td>1101_B - 1111_B</td> <td>設定禁止</td> </tr> </tbody> </table> LIN マスタ・モード時 <table border="1"> <thead> <tr> <th>LMA_nTLG[3:0]</th> <th>送信バッファ長</th> </tr> </thead> <tbody> <tr> <td>0000_B, 0001_B</td> <td>設定禁止</td> </tr> <tr> <td>0010_B - 1010_B</td> <td>2 ~ 10 バイト送信</td> </tr> <tr> <td>1011_B - 1111_B</td> <td>設定禁止</td> </tr> </tbody> </table> <p>LMA_nTLG[3:0] に設定した値は、PID とチェック・サムのバイトを含みます。したがって、最大 8 データ・バイトを送信することができます。 LMA_nTLG[3:0] に禁止する値を設定した場合、準備不完全エラーを検出し、LMA_nSTRH.LMA_nPIE = 1 でそのエラーを示します。</p>	LMA _n TLG[3:0]	送信バッファ長	0000 _B	12 バイト送信	0001 _B - 1100 _B	1 ~ 12 バイト送信	1101 _B - 1111 _B	設定禁止	LMA _n TLG[3:0]	送信バッファ長	0000 _B , 0001 _B	設定禁止	0010 _B - 1010 _B	2 ~ 10 バイト送信	1011 _B - 1111 _B	設定禁止
LMA _n TLG[3:0]	送信バッファ長																	
0000 _B	12 バイト送信																	
0001 _B - 1100 _B	1 ~ 12 バイト送信																	
1101 _B - 1111 _B	設定禁止																	
LMA _n TLG[3:0]	送信バッファ長																	
0000 _B , 0001 _B	設定禁止																	
0010 _B - 1010 _B	2 ~ 10 バイト送信																	
1011 _B - 1111 _B	設定禁止																	

(10) LMA_nTCTLH - LMA_n 送信制御レジスタ H

送信中断処理を制御します。

アクセス 16 ビット単位でリード / ライト可能です。
LMA_nTCTL, LMA_nTCTLH を 32 ビット単位でリード / ライト可能です。

アドレス <LMA_n_base> + DC_H, 32 ビット・アクセス時は <LMA_n_base> + 1D8_H

初期値 0000_H すべてのリセット要因および LMA_nCTLH.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LMA _n TAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 16-26 LMA_nTCTLH レジスタの内容

ビット位置	ビット名	機能
0	LMA _n TAB	<p>送信中断要求</p> <p>0: 読み出しは常に 0 を返し, 0 書き込みは無効</p> <p>1: 1 書き込みで送信中断を要求</p> <p>LMA_nTAB を 1 に設定した場合, 送信動作を停止し, 送信状態フラグ LMA_nSTRH.LMA_nSST をクリアします。</p> <p>このビットは UART スルー・モード時は 0 に設定してください。</p> <p>このビットは LIN マスタ・モードの受信処理で有効です。</p>

備考 LMA_nTAB = 1 で送信を中断した場合, LMA_n は UARTE_n へのデータ送信を停止します。ただし, UARTE_n の送信中のデータは送信完了するまで停止しません。
URTE_nSTR0.URTE_nSST = 0 で送信動作が完全に停止していることを確認できます。

(11) LMA_nRCTL_L - LMA_n 受信制御レジスタ L

LMA_n 受信バッファを制御します。

アクセス 16 ビット単位でリード/ライト可能です。
LMA_nRCTL_L, LMA_nRCTL_H を 32 ビット単位でリード/ライト可能です。

アドレス <LMA_n_base> + F8_H, 32 ビット・アクセス時は <LMA_n_base> + 1F8_H

初期値 0000_H すべてのリセット要因および LMA_nCTL_H.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	LMA _n RRQ	LMA _n RLG[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 16-27 LMA_nRCTL_L レジスタの内容

ビット位置	ビット名	機能								
4	LMA _n RRQ	受信要求制御 0: 受信動作を開始しているか、または要求していない 1: 受信動作を要求 LMA _n RRQ = 1 設定後に受信バッファへの受信データの格納を開始すると、LMA _n RRQ は自動的に 0 を返します。 LMA _n RRQ への 0 書き込みは無効です。 このビットは UART バッファ・モード時のみ有効です。それ以外のモードでは、このビットを 1 に設定しないでください。								
3-0	LMA _n RLG[3:0]	受信バッファ長の指定 LMA _n RLG[3:0] は UART バッファ・モード時のみ有効です。 <table border="1" style="margin: 10px 0;"> <thead> <tr> <th>LMA_nRLG[3:0]</th> <th>受信バッファ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>連続データ受信</td> </tr> <tr> <td>0001_B - 1100_B</td> <td>受信バッファで 1 ~ 12 データ・バイトを受信</td> </tr> <tr> <td>1101_B - 1111_B</td> <td>設定禁止</td> </tr> </tbody> </table> 連続してデータを受信する場合、LMA _n RLG = 0000 _B を設定してください。受信したデータを連続で受信バッファに格納します。12 バイト分のデータを格納するたびに受信割り込み要求 INTLMA _n TIR または状態割り込み要求 INTLMA _n TIS が発生します。連続データ受信を停止するには、LMA _n RLG[3:0] に 0001 _B - 1100 _B を設定してください。	LMA _n RLG[3:0]	受信バッファ長	0000 _B	連続データ受信	0001 _B - 1100 _B	受信バッファで 1 ~ 12 データ・バイトを受信	1101 _B - 1111 _B	設定禁止
LMA _n RLG[3:0]	受信バッファ長									
0000 _B	連続データ受信									
0001 _B - 1100 _B	受信バッファで 1 ~ 12 データ・バイトを受信									
1101 _B - 1111 _B	設定禁止									

(12) LMA_nRCTLH - LMA_n 受信制御レジスタ H

受信中断処理を制御します。

アクセス 16 ビット単位でリード/ライト可能です。
LMA_nRCTL, LMA_nRCTLH を 32 ビット単位でリード/ライト可能です。

アドレス <LMA_n_base> + FC_H, 32 ビット・アクセス時は <LMA_n_base> + 1F8_H

初期値 0000_H すべてのリセット要因および LMA_nCTLH.LMA_nPW = 0 で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LMA _n RAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 16-28 LMA_nRCTLH レジスタの内容

ビット位置	ビット名	機能
0	LMA _n RAB	<p>受信中断要求 0: 読み出しは常に 0 を返し、0 書き込みは無効 1: 1 書き込みで受信中断を要求 LMA_nRAB を 1 に設定した場合、受信動作を停止し、受信状態フラグ LMA_nSTRH.LMA_nSSR をクリアします。</p> <p>このビットは UART バッファ・モード時のみ有効です。それ以外のモードでは、このビットを 1 に設定しないでください。 LIN マスタ・モードの受信処理で中断要求する場合は、このビットを 0 に設定し、受信処理であっても、LMA_nTCTLH.LMA_nTAB で送信中断要求を実行してください。</p>

備考 LMA_nRAB = 1 で受信を中断した場合、LMA_n は受信バッファへのデータの格納を停止します。ただし、UART が実行中の受信動作は完了するまで停止しません。
URTE_nSTR0.URTE_nSSR = 0 で受信動作が完全に停止していることを確認できます。

(13) LMA_nTX01 - LMA_nTXAB - LMA_n 送信バッファ・レジスタ

これらのレジスタは、送信メッセージのデータを格納します。

アクセス 16ビット単位でリード/ライト可能です。
LMA_nTX01 と LMA_nTX23, LMA_nTX45 と LMA_nTX67,
LMA_nTX89 と LMA_nTXAB をあわせて 32 ビット単位でリード/ライト可能です。

アドレス <LMA_n_base> + i (i = C0_H, C4_H, C8_H, CC_H, D0_H, D4_H)
32 ビット・アクセス時は i = 1C0_H, 1C8_H, 1D0_H

初期値 0000_H すべてのリセット要因で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA _n TX1B[7:0], LMA _n TX3B[7:0], LMA _n TX5B[7:0], LMA _n TX7B[7:0], LMA _n TX9B[7:0], LMA _n TX11B[7:0]								LMA _n TX0B[7:0], LMA _n TX2B[7:0], LMA _n TX4B[7:0], LMA _n TX6B[7:0], LMA _n TX8B[7:0], LMA _n TX10B[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 LMA_n が動作禁止時 (LMA_nCTLH.LMA_nPW = 0), これらのレジスタにデータを書き込むことはできません。

(14) LMA_nRX01 - LMA_nRXAB - LMA_n 受信バッファ・レジスタ

これらのレジスタは、受信メッセージのデータを格納します。

アクセス 16ビット単位でリード可能です。
LMA_nRX01 と LMA_nRX23, LMA_nRX45 と LMA_nRX67,
LMA_nRX89 と LMA_nRXAB をあわせて 32 ビット単位でリード可能です。

アドレス <LMA_n_base> + i (i = E0_H, E4_H, E8_H, EC_H, F0_H, F4_H)
32 ビット・アクセス時は i = 1E0_H, 1E8_H, 1F0_H

初期値 0000_H すべてのリセット要因で初期化します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA _n RX1B[7:0], LMA _n RX3B[7:0], LMA _n RX5B[7:0], LMA _n RX7B[7:0], LMA _n RX9B[7:0], LMA _n RX11B[7:0]								LMA _n RX0B[7:0], LMA _n RX2B[7:0], LMA _n RX4B[7:0], LMA _n RX6B[7:0], LMA _n RX8B[7:0], LMA _n RX10B[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

第17章 CANコントローラ (FCN)

この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN (Controller Area Network) コントローラを搭載しています。

この章では、CAN コントローラ (FCN) 全般について説明します。

最初の節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-L に固有の特性について説明します。

17.1 V850E2/Fx4-L の FCN 機能

チャンネル この製品は次のチャンネル数の CAN コントローラを搭載しています。

表 17-1 FCN のチャンネル

製品	V850E2/FE4-L V850E2/FF4-L	V850E2/FG4-L V850E2/FJ4-L	V850E2/FF4-G-256K V850E2/FG4-G-256K	V850E2/FF4-G-512K V850E2/FG4-G-512K
チャンネル数 n	1	2	3	6
名称	FCN0	FCN0, FCN1	FCN0-FCN2	FCN0-FCN5

n の意味 本章では、CAN コントローラの各チャンネルを「n」(n = 0-5) で識別します。たとえば、FCNn グローバル制御レジスタ (FCNnGMCLCTL) のように記述しています。

表 17-2 FCN チャンネルのメッセージ・バッファ

チャンネル	メッセージ・バッファの数 m
FCN0	32
FCN1	32
FCN2	32
FCN3	32
FCN4	32
FCN5	32

m の意味 本章では、FCN メッセージ・バッファ・レジスタを「m」(m = 0 - 31) で識別します。たとえば、FCN チャンネル n, FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、FCNnMmDAT4B と記述します。

レジスタ・アドレス CANコントローラのレジスタ・アドレスは、FCNnのベース・アドレス <FCNn_base> からのオフセットで表されます。

FCNnの<FCNn_base>アドレスを次の表に示します。

表 17-3 FCNnのレジスタ <FCNn_base> アドレス

チャンネル	<FCNn_base> アドレス
FCN0	FF48 0000 _H
FCN1	FF4A 0000 _H
FCN2	FF4C 0000 _H
FCN3	FF4E 0000 _H
FCN4	FF50 0000 _H
FCN5	FF52 0000 _H

クロック供給 CANコントローラは1つのクロック入力を使用します。CANコントローラはAPBバス・クロックPCLKに接続されています。

表 17-4 CANコントローラのクロック供給

チャンネル	FCNn クロック	接続先
FCN0	PCLK	クロック・コントローラ CKSCLK_033
FCN1	PCLK	クロック・コントローラ CKSCLK_033
FCN2	PCLK	クロック・コントローラ CKSCLK_033
FCN3	PCLK	クロック・コントローラ CKSCLK_033
FCN4	PCLK	クロック・コントローラ CKSCLK_033
FCN5	PCLK	クロック・コントローラ CKSCLK_033

割り込み CANコントローラの割り込みを次の表に示します。

表 17-5 CANコントローラの割り込み (1/2)

FCNn の割り込み	機能	接続先
FCN0:		
INTC0ERR	エラー検出	割り込みコントローラ INTFCN0ERR DMA 開始要因の優先順位 : 53 ^a
INTC0REC	受信完了	割り込みコントローラ INTFCN0REC DMA 開始要因の優先順位 : 20 ^a
INTC0TRX	送信完了	割り込みコントローラ INTFCN0TRX DMA 開始要因の優先順位 : 28
INTC0WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP
FCN1:		
INTC1ERR	エラー検出	割り込みコントローラ INTFCN1ERR DMA 開始要因の優先順位 : 54 ^a
INTC1REC	受信完了	割り込みコントローラ INTFCN1REC DMA 開始要因の優先順位 : 21 ^a
INTC1TRX	送信完了	割り込みコントローラ INTFCN1TRX DMA 開始要因の優先順位 : 29
INTC1WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP
FCN2:		
INTC2ERR	エラー検出	割り込みコントローラ INTFCN2ERR DMA 開始要因の優先順位 : 55 ^a
INTC2REC	受信完了	割り込みコントローラ INTFCN2REC DMA 開始要因の優先順位 : 23 ^a
INTC2TRX	送信完了	割り込みコントローラ INTFCN2TRX DMA 開始要因の優先順位 : 22 ^a
INTC2WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP
FCN3:		
INTC3ERR	エラー検出	割り込みコントローラ INTFCN3ERR
INTC3REC	受信完了	割り込みコントローラ INTFCN3REC DMA 開始要因の優先順位 : 25 ^a
INTC3TRX	送信完了	割り込みコントローラ INTFCN3TRX DMA 開始要因の優先順位 : 24 ^a
INTC3WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP
FCN4:		
INTC4ERR	エラー検出	割り込みコントローラ INTFCN4ERR
INTC4REC	受信完了	割り込みコントローラ INTFCN4REC DMA 開始要因の優先順位 : 27 ^a
INTC4TRX	送信完了	割り込みコントローラ INTFCN4TRX DMA 開始要因の優先順位 : 26 ^a
INTC4WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP

表 17-5 CANコントローラの割り込み (2/2)

FCNn の割り込み	機能	接続先
FCN5:		
INTC5ERR	エラー検出	割り込みコントローラ INTFCN5ERR
INTC5REC	受信完了	割り込みコントローラ INTFCN5REC DMA 開始要因の優先順位 : 51 ^a
INTC5TRX	送信完了	割り込みコントローラ INTFCN5TRX DMA 開始要因の優先順位 : 50 ^a
INTC5WUP	スリープ・ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP

a) これらの DMA 開始要因は、V850E2/Fx4-L では使用できません。

I/O 信号 CANコントローラの I/O 信号を次の表に示します。

表 17-6 CANコントローラの I/O 信号

FCNn の信号	機能	接続先
FCN0:		
CRXD0	CAN バス受信入力	FCN0RX, FCN1RX
CTXD0	CAN バス送信出力	FCN0TX, FCN1TX
FCN1:		
CRXD1	CAN バス受信入力	FCN1RX
CTXD1	CAN バス送信出力	FCN1TX
FCN2:		
CRXD2	CAN バス受信入力	FCN2RX
CTXD2	CAN バス送信出力	FCN2TX
FCN3:		
CRXD3	CAN バス受信入力	FCN3RX
CTXD3	CAN バス送信出力	FCN3TX
FCN4:		
CRXD4	CAN バス受信入力	FCN4RX
CTXD4	CAN バス送信出力	FCN4TX
FCN5:		
CRXD5	CAN バス受信入力	FCN5RX
CTXD5	CAN バス送信出力	FCN5TX

タイム・スタンプ 下記の FCNn タイム・スタンプ出力信号は TAUB のキャプチャ入力に内部接続できます。

表 17-7 FCNn タイム・スタンプ信号

FCNn の信号	機能	接続先
FCN0:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN0, TAUB0TTIN10
FCN1:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN1, TAUB0TTIN11
FCN2:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN12
FCN3:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN13
FCN4:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN14
FCN5:		
TSOUT	CAN タイム・スタンプ出力	TAUB0 TAUB0TTIN15

17.2 FCN0 と FCN1 の接続

FCN0 モジュールと FCN1 モジュールには、同じ CAN バス信号に接続するオプションがあります。これにより、同じ CAN バス上で 2 つの FCN モジュール (FCN1 信号) が動作でき、このバス上で 64 メッセージ・バッファをサポートできます。

次の図に FCN0 と FCN1 の接続を表します。

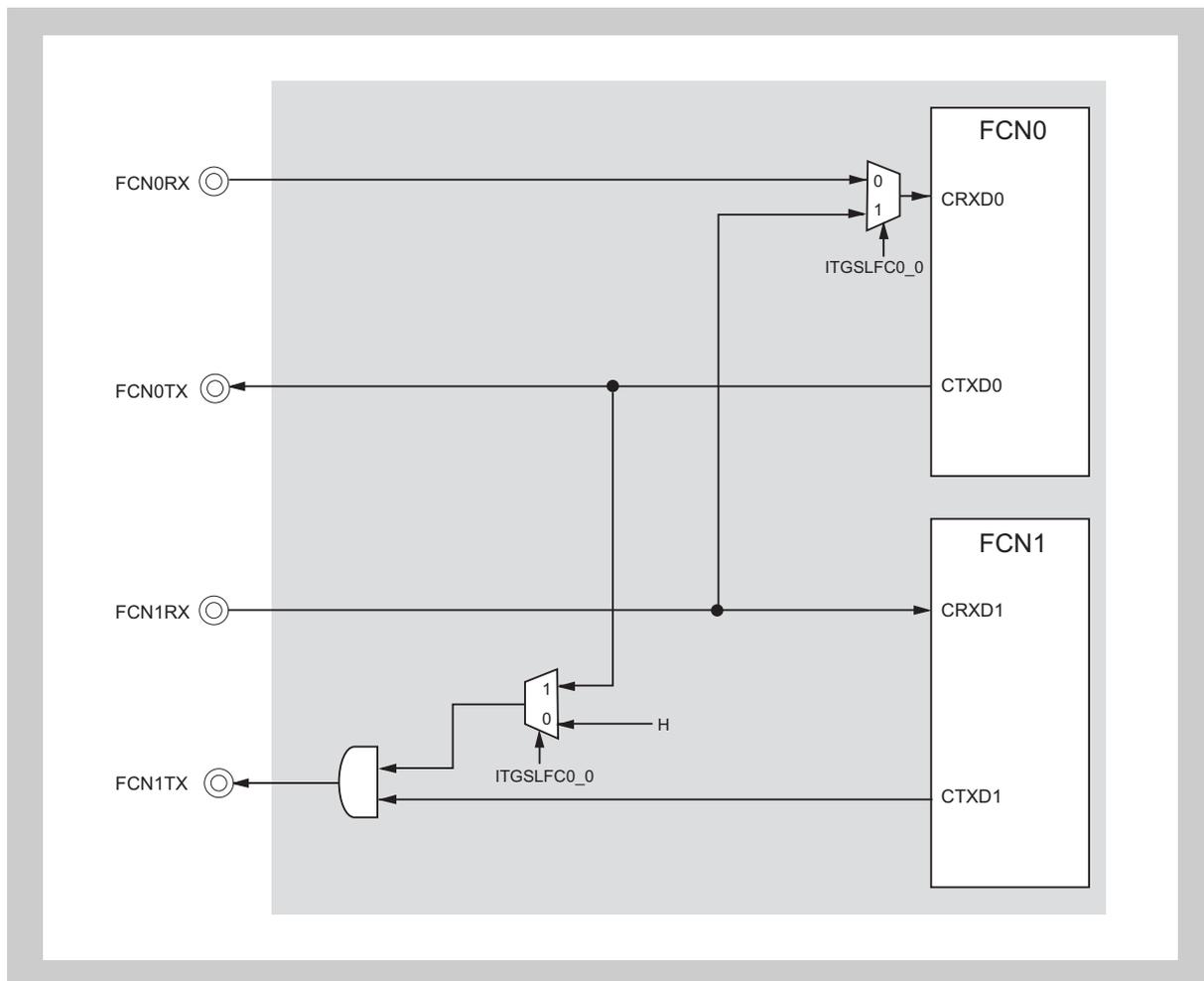


図 17-1 FCN0 と FCN1 の接続図

(1) ITGSLFC0 - FCN0 信号接続選択レジスタ

FCN0 の信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 2008_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ITGSLFC 0_0
R	R	R	R	R	R	R	R/W

表 17-8 ITGSLFC0 レジスタの内容

ビット位置	ビット名	機能
0	ITGSLFC0_0	FCN0 信号選択 0: FCN0 バス信号を使用 (FCN0RX, FCN0TX) 1: FCN1 バス信号を使用 (FCN1RX, FCN1TX) 組み合わせ動作

17.3 特徴

- ISO 11898 に準拠し, ISO/DIS 16845 (CAN コンフォーマンス・テスト) に従ってテスト済み
- 標準フレームと拡張フレームの送受信が可能
- 転送速度: 最大 1 Mbps (FCN クロック入力が 16 MHz 以上の場合)
- 1 チャンネルにつき 32 個のメッセージ・バッファ
- 送受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)
- 自動ブロック送信機能
- マルチ・バッファ受信ブロック機能
- データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能
- FCN モジュール・ビット・レート・プリスケアラ・レジスタ (FCNnCMRPRS) およびビット・レート・レジスタ (FCNnCMBCTL) により, データ・ビット・タイム, 通信ポー・レート, サンプル・ポイントを制御可能
 - たとえば, 以下のサンプル・ポイントを設定可能:
 - 66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%
 - 10 kbps ~ 1 Mbps のポー・レートを設定可能
- 拡張機能:
 - 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能
 - 対象となるメッセージ・バッファの送信要求フラグをクリアすることで送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応
 - 自動ブロック送信動作モード (ABT)
 - タイマ・キャプチャ・チャンネルと連携する FCN チャンネル 0 ~ 5 のタイム・スタンプ機能
 - 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により, 一箇所ですべてのデータ更新ビットを確認可能

17.3.1 機能の概要

CANコントローラの機能の概要を表 17-9「機能の概要」に示します。

表 17-9 機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO 11898 (標準フレームおよび拡張フレームの送受信)
ポー・レート	最大 1 Mbps (最小 FCN クロック入力 = 16 MHz)
データの保存	FCN RAM にメッセージを保存
メッセージ数	<ul style="list-style-type: none"> 1 チャンネルにつき 32 個のメッセージ・バッファ 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> 個々のメッセージ・バッファに固有の ID を設定可能 データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能 メッセージを受信し、メッセージ・バッファに保存するたびに受信完了割り込みを発生 (メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能) 複数の受信メッセージ・バッファを 1 つの FIFO 受信バッファとして使用可能 (マルチ・バッファ受信ブロック機能) 受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能) 一元管理されるグローバル・データ更新ビット・モニタ・レジスタ
メッセージ送信	<ul style="list-style-type: none"> 個々のメッセージ・バッファに固有の ID を設定可能 メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能 メッセージ・バッファごとの送信中断割り込みおよび送信完了フラグ (いずれのバッファについても、同時に中断可能な送信は 1 つに限られる) 送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0 ~ 7 は、自動ブロック転送用として使用可能。メッセージ送信間隔をプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABT と記述)) 送信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)
リモート・フレーム処理	<ul style="list-style-type: none"> 送信メッセージ・バッファによるリモート・フレーム処理 受信メッセージ・バッファによるリモート・フレーム受信 (8 個のマスクの 1 つを適用可能)
タイム・スタンプ機能	<ul style="list-style-type: none"> 16 ビット・タイマと組み合わせて使用することで、メッセージ受信時のタイム・スタンプ機能を設定可能 タイム・スタンプ・キャプチャ・トリガを選択可能 (CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能)
診断機能	<ul style="list-style-type: none"> 読み出し可能なエラー・カウンタ バス接続確認用の「有効プロトコル動作フラグ」 受信オンリー・モード シングル・ショット・モード CAN プロトコル・エラーの判別 セルフ・テスト・モード
バスオフ復帰機能	<ul style="list-style-type: none"> ソフトウェアによりバスオフからの強制復帰が可能 バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> CAN スリープ・モード (CAN バスによりウエイクアップ可能) CAN ストップ・モード (CAN バスによりウエイクアップ不可)

17.3.2 構成

CANコントローラは以下の4つのブロックから構成されています。

- PBUS インタフェース
PBUS インタフェースおよび FCN モジュールとホスト CPU の間でメッセージを送受信するための機能ブロックです。
- MCM (Message Control Module)
FCN モジュール内の CAN プロトコル・レイヤと CAN RAM へのアクセスを制御している機能ブロックです。
- CAN プロトコル・レイヤ
CAN プロトコルの動作とそれに関連する設定を行う機能ブロックです。
- CAN RAM
メッセージ ID, メッセージ・データなどの保存に使用される CAN メモリ機能ブロックです。

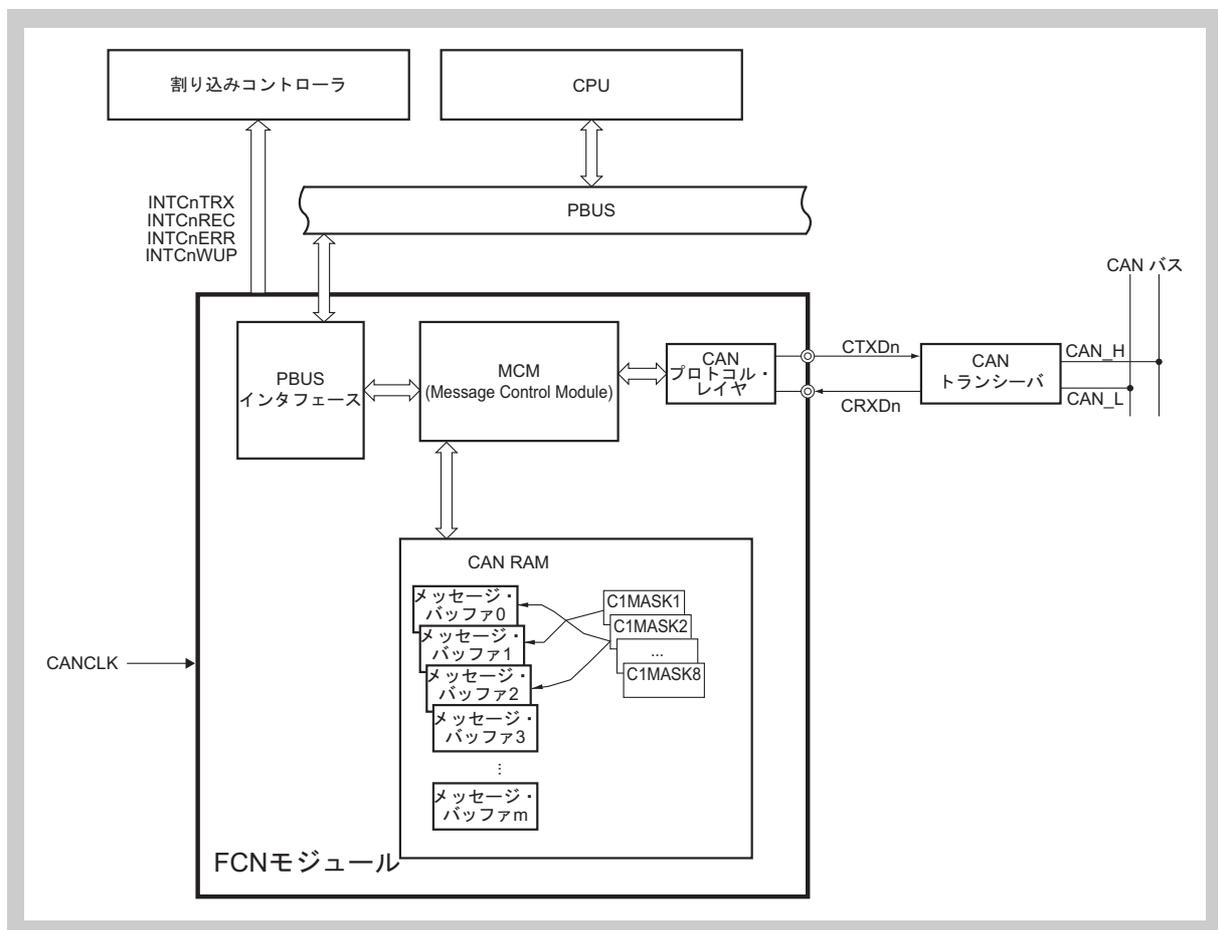


図 17-2 CANコントローラのブロック図

17.4 FCN の内部レジスタ

17.4.1 CAN コントローラの構成

表 17-10 FCN レジスタ一覧 (1/2)

項目	レジスタ名
FCNn グローバル・レジスタ	FCNn グローバル制御レジスタ (FCNnGMCLCTL)
	FCNn グローバル・クロック選択レジスタ (FCNnGMCSPRE)
	FCNn グローバル自動ブロック送信制御レジスタ (FCNnGMABCTL)
	FCNn グローバル自動ブロック送信遅延設定レジスタ (FCNnGMADCTL)
	FCNn グローバル・データ更新ビット・モニタ・レジスタ (FCNnDNBMRX0)
FCNn モジュール・レジスタ	FCNn モジュール・マスク 1 レジスタ (FCNnCMMKCTL01H, FCNnCMMKCTL02H, FCNnCMMKCTL01W)
	FCNn モジュール・マスク 2 レジスタ (FCNnCMMKCTL03H, FCNnCMMKCTL04H, FCNnCMMKCTL03W)
	FCNn モジュール・マスク 3 レジスタ (FCNnCMMKCTL05H, FCNnCMMKCTL06H, FCNnCMMKCTL05W)
	FCNn モジュール・マスク 4 レジスタ (FCNnCMMKCTL07H, FCNnCMMKCTL08H, FCNnCMMKCTL07W)
	FCNn モジュール・マスク 5 レジスタ (FCNnCMMKCTL09H, FCNnCMMKCTL10H, FCNnCMMKCTL09W)
	FCNn モジュール・マスク 6 レジスタ (FCNnCMMKCTL11H, FCNnCMMKCTL12H, FCNnCMMKCTL11W)
	FCNn モジュール・マスク 7 レジスタ (FCNnCMMKCTL13H, FCNnCMMKCTL14H, FCNnCMMKCTL13W)
	FCNn モジュール・マスク 8 レジスタ (FCNnCMMKCTL15H, FCNnCMMKCTL16H, FCNnCMMKCTL15W)
	FCNn モジュール制御レジスタ (FCNnCMCLCTL)
	FCNn モジュール最終エラー情報レジスタ (FCNnCMLCSTR)
	FCNn モジュール情報レジスタ (FCNnCMINSTR)
	FCNn モジュール・エラー・カウンタ・レジスタ (FCNnCMERCNT)
	FCNn モジュール割り込み許可レジスタ (FCNnCMIECTL)
	FCNn モジュール割り込みステータス・レジスタ (FCNnCMISCTL)
	FCNn モジュール・ビット・レート・プリスケアラ・レジスタ (FCNnCMBRPRS)
	FCNn モジュール・ビット・レート・レジスタ (FCNnCMBTCTL)
	FCNn モジュール最終受信ポインタ・レジスタ (FCNnCMLISTR)
	FCNn モジュール受信履歴・リスト・レジスタ (FCNnCMRGRX)
	FCNn モジュール最終送信ポインタ・レジスタ (FCNnCMLOSTR)
	FCNn モジュール送信履歴・リスト・レジスタ (FCNnCMTGTX)
	FCNn モジュール・タイム・スタンプ・レジスタ (FCNnCMTSCTL)

表 17-10 FCN レジスタ一覧 (2/2)

項目	レジスタ名
FCN メッセージ・ バッファ・レジスタ	FCNn メッセージ・データ・バイト 0 ~ 3 レジスタ m (FCNnMmDAT0W, FCNnMmDAT0H, FCNnMmDAT2H, FCNnMmDAT0B, FCNnMmDAT1B, FCNnMmDAT2B, FCNnMmDAT3B)
	FCNn メッセージ・データ・バイト 4 ~ 7 レジスタ m (FCNnMmDAT4W, FCNnMmDAT4H, FCNnMmDAT6H, FCNnMmDAT4B, FCNnMmDAT5B, FCNnMmDAT6B, FCNnMmDAT7B)
	FCNn メッセージ・データ長レジスタ m (FCNnMmDTLGB)
	FCNn メッセージ・コンフィギュレーション・レジスタ m (FCNnMmSTRB)
	FCNn メッセージ ID レジスタ m (FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W)
	FCNn メッセージ制御レジスタ m (FCNnMmCTL)

17.4.2 CANコントローラ・レジスタの概要

備考 レジスタ・アドレスはベース・アドレス <FCNn_base> からのオフセットとして表されます。レジスタの <FCNn_base> アドレスは、本章第1節のキーワード「レジスタ・アドレス」で定義されています。

(1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ

表 17-11 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (1/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 0008 _H	FCNn グローバル・クロック選択レジスタ	FCNnGMCSPRE	R/W	8	0F _H
0 0020 _H	FCNn グローバル自動ブロック送信遅延設定レジスタ	FCNnGMADCTL	R/W	8	00 _H
0 8000 _H	FCNn グローバル制御レジスタ	FCNnGMCLCTL	R/W	16	00X0 _H ^a
0 8018 _H	FCNn グローバル自動ブロック送信制御レジスタ	FCNnGMABCTL	R/W	16	0000 _H
1 00C0 _H	FCNn グローバル・データ更新ビット・モニタ・レジスタ 0	FCNnDNBMRX0	R	32	^b
0 8300 _H	FCNn モジュール・マスク 1 レジスタ	FCNnCMMKCTL01H	R/W	16	b
0 8308 _H		FCNnCMMKCTL02H			
1 0300 _H		FCNnCMMKCTL01W		32	
0 8310 _H	FCNn モジュール・マスク 2 レジスタ	FCNnCMMKCTL03H	R/W	16	b
0 8318 _H		FCNnCMMKCTL04H			
1 0310 _H		FCNnCMMKCTL03W		32	
0 8320 _H	FCNn モジュール・マスク 3 レジスタ	FCNnCMMKCTL05H	R/W	16	b
0 8328 _H		FCNnCMMKCTL06H			
1 0320 _H		FCNnCMMKCTL05W		32	
0 8330 _H	FCNn モジュール・マスク 4 レジスタ	FCNnCMMKCTL07H	R/W	16	b
0 8338 _H		FCNnCMMKCTL08H			
1 0330 _H		FCNnCMMKCTL07W		32	
0 8340 _H	FCNn モジュール・マスク 5 レジスタ	FCNnCMMKCTL09H	R/W	16	b
0 8348 _H		FCNnCMMKCTL10H			
1 0340 _H		FCNnCMMKCTL09W		32	
0 8350 _H	FCNn モジュール・マスク 6 レジスタ	FCNnCMMKCTL11H	R/W	16	b
0 8358 _H		FCNnCMMKCTL12H			
1 0350 _H		FCNnCMMKCTL11W		32	
0 8360 _H	FCNn モジュール・マスク 7 レジスタ	FCNnCMMKCTL13H	R/W	16	b
0 8368 _H		FCNnCMMKCTL14H			
1 0360 _H		FCNnCMMKCTL13W		32	
0 8370 _H	FCNn モジュール・マスク 8 レジスタ	FCNnCMMKCTL15H	R/W	16	b
0 8378 _H		FCNnCMMKCTL16H			
1 0370 _H		FCNnCMMKCTL15W		32	
0 0248 _H	FCNn モジュール最終エラー情報レジスタ	FCNnCMLCSTR	R/W	8	00 _H
0 024C _H	FCNn モジュール情報レジスタ	FCNnCMINSTR	R	8	00 _H
0 0268 _H	FCNn モジュール・ビット・レート・プリスケアラ・レジスタ	FCNnCMBRPRS	R/W	8	FF _H
0 0278 _H	FCNn モジュール最終受信ポインタ・レジスタ	FCNnCMLISTR	R	8	不定
0 0288 _H	FCNn モジュール最終送信ポインタ・レジスタ	FCNnCMLOSTR	R	8	不定
0 8240 _H	FCNn モジュール制御レジスタ	FCNnCMCLCTL	R/W	16	0000 _H

表 17-11 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (2/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 8250 _H	FCNn モジュール・エラー・カウンタ・レジスタ	FCNnCMERCNT	R	16	0000 _H
0 8258 _H	FCNn モジュール割り込み許可レジスタ	FCNnCMIECTL	R/W	16	0000 _H
0 8260 _H	FCNn モジュール割り込みステータス・レジスタ	FCNnCMISCTL	R/W	16	0000 _H
0 8270 _H	FCNn モジュール・ビット・レート・レジスタ	FCNnCMBTCTL	R/W	16	370F _H
0 8280 _H	FCNn モジュール受信履歴・リスト・レジスタ	FCNnCMRGRX	R/W	16	xx02 _H
0 8290 _H	FCNn モジュール送信履歴・リスト・レジスタ	FCNnCMTGTX	R/W	16	xx02 _H
0 8298 _H	FCNn モジュール・タイム・スタンプ・レジスタ	FCNnCMTSCTL	R/W	16	0000 _H

- a) 初期値は、メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については、FCNnGMCLCTL レジスタの説明を参照してください。
- b) リセット後の値は、0000_H または 00000000_H です。

(2) レジスタのビット構成

表 17-12 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/ 15/31/23	ビット 6/ 14/30/22	ビット 5/ 13/29/21	ビット 4/ 12/28/20	ビット 3/ 11/27/19	ビット 2/ 10/26/18	ビット 1/ 9/25/17	ビット 0/ 8/24/16
0 8000 _H	FCNnGMCLCTL (W)	0	0	FCNnGMCLCLMB	0	0	0	0	FCNnGMCLCLOM
		0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSEDE	FCNnGMCLSEOM
	FCNnGMCLCTL (R)	0	0	FCNnGMCLCF	FCNnGMCLSRF	0	0	FCNnGMCLSEDE	FCNnGMCLPWOM
		FCNnGMCLSSMO	0	0	0	0	0	0	0
0 0008 _H	FCNnGMCSPRE	0	0	0	0	FCNnGMCSPRSC[3:0]			
0 8018 _H	FCNnGMABCTL (W)	0	0	0	0	0	0	0	FCNnGMABCLAT
		0	0	0	0	0	0	FCNnGMABSEAC	FCNnGMABSEAT
	FCNnGMABCTL (R)	0	0	0	0	0	0	FCNnGMABCLRF	FCNnGMABABTT
		0	0	0	0	0	0	0	0
0 0020 _H	FCNnGMADCTL	0	0	0	0	FCNnGMADSSAD[3:0]			
1 00C0 _H	FCNnDNBMRX0(R)	FCNnDNBMSSDN[7:0]							
		FCNnDNBMSSDN[15:8]							
		FCNnDNBMSSDN[23:16]							
		FCNnDNBMSSDN[31:24]							

表 17-13 FCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12 ~ 0
0 8300 _H	FCNnCMMKCTL01H	FCNnCMMKSSID[15:0]			
0 8308 _H	FCNnCMMKCTL02H	0	0	0	FCNnCMMKSSID[28:16]
0 8310 _H	FCNnCMMKCTL03H	FCNnCMMKSSID[15:0]			
0 8318 _H	FCNnCMMKCTL04H	0	0	0	FCNnCMMKSSID[28:16]
0 8320 _H	FCNnCMMKCTL05H	FCNnCMMKSSID[15:0]			
0 8328 _H	FCNnCMMKCTL06H	0	0	0	FCNnCMMKSSID[28:16]
0 8330 _H	FCNnCMMKCTL07H	FCNnCMMKSSID[15:0]			
0 8338 _H	FCNnCMMKCTL08H	0	0	0	FCNnCMMKSSID[28:16]
0 8340 _H	FCNnCMMKCTL09H	FCNnCMMKSSID[15:0]			
0 8348 _H	FCNnCMMKCTL10H	0	0	0	FCNnCMMKSSID[28:16]
0 8350 _H	FCNnCMMKCTL11H	FCNnCMMKSSID[15:0]			
0 8358 _H	FCNnCMMKCTL12H	0	0	0	FCNnCMMKSSID[28:16]
0 8360 _H	FCNnCMMKCTL13H	FCNnCMMKSSID[15:0]			
0 8368 _H	FCNnCMMKCTL14H	0	0	0	FCNnCMMKSSID[28:16]
0 8370 _H	FCNnCMMKCTL15H	FCNnCMMKSSID[15:0]			
0 8378 _H	FCNnCMMKCTL16H	0	0	0	FCNnCMMKSSID[28:16]

表 17-14 FCN モジュール・マスク制御 32 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ~ 0
1 0300 _H	FCNnCMM KCTL01W	0	0	0	FCNnCMMKSSID[28:0]
1 0310 _H	FCNnCMM KCTL03W	0	0	0	FCNnCMMKSSID[28:0]
1 0320 _H	FCNnCMM KCTL05W	0	0	0	FCNnCMMKSSID[28:0]
1 0330 _H	FCNnCMM KCTL07W	0	0	0	FCNnCMMKSSID[28:0]
1 0340 _H	FCNnCMM KCTL09W	0	0	0	FCNnCMMKSSID[28:0]
1 0350 _H	FCNnCMM KCTL11W	0	0	0	FCNnCMMKSSID[28:0]
1 0360 _H	FCNnCMM KCTL13W	0	0	0	FCNnCMMKSSID[28:0]
1 0370 _H	FCNnCMM KCTL15W	0	0	0	FCNnCMMKSSID[28:0]

表 17-15 FCN モジュール・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8240 _H	FCNnCM CLCTL (W)	0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCMCLCLPS[1:0]		FCNnCMCLCLOP[2:0]		
		FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCMCLSEPS[1:0]		FCNnCMCLSEOP[2:0]		
	FCNnCM CLCTL (R)	FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCMCLMDPF[1:0]		FCNnCMCLMDOF[2:0]		
0 00248 _H	FCNnCM LCSTR (W)	0	0	0	0	0	0	FCNnCM CLSSRS	FCNnCM CLSSTS
	FCNnCM LCSTR (R)	0	0	0	0	0	FCN0CMLCSSLIC[2:0]		
0 024CH	FCNnCM INSTR	0	0	0	FCNnCM NBOFF	FCNnCMINSSTE[1:0]		FCNnCMINSSRE[1:0]	
0 8250 _H	FCNnCM ERCNT	FCNnCMERTECF[7:0]							
		FCNnCM ERRPSF	FCNnCMERRECF[6:0]						
0 8258 _H	FCNnCM IECTL (W)	0	FCNnCMIECLIE[6:0]						
		0	FCNnCMIESEIE[6:0]						
	FCNnCM IECTL (R)	0	FCNnCMIEINTF[6:0]						
0 8260 _H	FCNnCM ISCTL (W)	0	FCNnCMISCLTS[6:0]						
		0	0	0	0	0	0	0	0
	FCNnCM ISCTL (R)	0	FCNnCMISITSF[6:0]						
		0	0	0	0	0	0	0	0

表 17-15 FCN モジュール・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 0268 _H	FCNnCM BRPRS	FCNnCMBRPRS[7:0]							
0 8270 _H	FCNnCM BTCTL	0	0	0	0	FCNnCMBTS1LG[3:0]			
		0	0	FCNnCMBTJWLJG[1:0]		0	FCNnCMBTS2LG[2:0]		
0 0278 _H	FCNnCM LISTR	FCNnCMLISSLR[7:0]							
0 8280 _H	FCNnCM RGRX (W)	0	0	0	0	0	0	0	FCNnCM RGCLR V
		0	0	0	0	0	0	0	0
	FCNnCM RGRX (R)	0	0	0	0	0	0	FCNnCM RGSSPM	FCNnCM RGRVFF
		FCNnCMRDSSPT[7:0]							
0 0288 _H	FCNnCM LOSTR	FCNnCMLOSSLT[7:0]							
0 8290 _H	FCNnCM TGTX (W)	0	0	0	0	0	0	0	FCNnCM TGCLTV
		0	0	0	0	0	0	0	0
	FCNnCM TGTX (R)	0	0	0	0	0	0	FCNnCM TGSSPM	FCNnCM TGT VFF
		FCNnCMTGSSPT[7:0]							
0 8298 _H	FCNnCM TSCTL (W)	0	0	0	0	0	FCNnCM TSCLK	FCNnCM TSCLSL	FCNnCM TSCLTS
		0	0	0	0	0	FCNnCM TSSELK	FCNnCM TSSESL	FCNnCM TSSETS
	FCNnCM TSCTL (R)	0	0	0	0	0	FCNnCM TSLOKE	FCNnCM TSSELE	FCNnCM TSTSGE
		0	0	0	0	0	0	0	0

表 17-16 FCN メッセージ・バッファ・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/ 15/31/23	ビット 6/ 14/30/22	ビット 5/ 13/29/21	ビット 4/ 12/28/20	ビット 3/ 11/27/19	ビット 2/ 10/26/18	ビット 1/ 9/25/17	ビット 0/ 8/24/16
1 1000 _H + m × 40 _H	FCNnMm DAT0W	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
		FCNnMmSSD[27:00]							
		FCNnMmSSD[37:30]							
0 9000 _H + m × 40 _H	FCNnMm DAT0H	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
0 1000 _H + m × 40 _H	FCNnMm DAT0B	FCNnMmSSD[07:00]							
0 1004 _H + m × 40 _H	FCNnMm DAT1B	FCNnMmSSD[17:10]							
0 9008 _H + m × 40 _H	FCNnMm DAT2H	FCNnMmSSD[27:20]							
		FCNnMmSSD[37:30]							
0 1008 _H + m × 40 _H	FCNnMm DAT2B	FCNnMmSSD[27:20]							
0 100C _H + m × 40 _H	FCNnMm DAT3B	FCNnMmSSD[37:30]							

表 17-16 FCN メッセージ・バッファ・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/ 15/31/23	ビット 6/ 14/30/22	ビット 5/ 13/29/21	ビット 4/ 12/28/20	ビット 3/ 11/27/19	ビット 2/ 10/26/18	ビット 1/ 9/25/17	ビット 0/ 8/24/16	
1 1010 _H + m × 40 _H	FCNnMm DAT4W	FCNnMmSSD[47:40]								
		FCNnMmSSD[57:50]								
		FCNnMmSSD[67:60]								
		FCNnMmSSD[77:70]								
0 9010 _H + m × 40 _H	FCNnMm DAT4H	FCNnMmSSD[47:40]								
		FCNnMmSSD[57:50]								
0 1010 _H + m × 40 _H	FCNnMm DAT4B	FCNnMmSSD[47:40]								
0 1014 _H + m × 40 _H	FCNnMm DAT5B	FCNnMmSSD[57:50]								
0 9018 _H + m × 40 _H	FCNnMm DAT6H	FCNnMmSSD[67:60]								
		FCNnMmSSD[77:70]								
0 1018 _H + m × 40 _H	FCNnMm DAT6B	FCNnMmSSD[67:60]								
0 101C _H + m × 40 _H	FCNnMm DAT7B	FCNnMmSSD[77:70]								
0 1020 _H + m × 40 _H	FCNnMm DTLGB	0				FCNnMmDTLG[3:0]				
0 1024 _H + m × 40 _H	FCNnMm STRB	FCNnMm SSOW	FCNnMmSSMT[3:0]				FCNnMm SSRT	0	FCNnMm SSAM	
0 9028 _H + m × 40 _H	FCNnMm MID0H	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
0 9030 _H + m × 40 _H	FCNnMm MID1H	FCNnMmSSID[23:16]								
		FCNnMm SSIE	0	0	FCNnMmSSID[28:24]					
1 1028 _H + m × 40 _H	FCNnMm MID0W	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
		FCNnMmSSID[23:16]								
		FCNn MmSSIE	0	0	FCNnMmSSID[28:24]					
0 9038 _H + m × 40 _H	FCNnMm CTL (W)	0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY	
		0	FCNnMm SENH	0	0	FCNnMm SEIE	0	FCNnMm SETR	FCNnMm SERY	
	FCNnMm CTL (R)	0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF	
		0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0	

17.5 ビットのセット／クリア機能

FCN 制御レジスタには、CPU および CAN コントローラを介してビットをセットまたはクリアできるレジスタが含まれています。これらのレジスタ・ビットを SET1, CLR1, NOT1 などのビット操作命令によって CPU が直接変更することはできません。レジスタ・ビットの変更には、特殊なビット・セット／ビット・クリア・メカニズムが使用されます。

ビット操作演算が禁止されているレジスタでは、CPU による変更が許可されているすべてのビットが下位バイト（下記のレジスタ・レイアウトの RWx）に配置されており、上位バイト（下記のレジスタ・レイアウトの ROx）には情報が配置されていないか、読み出し専用情報が配置されています。

レジスタの説明にあるように、現在設定されている 16 個のデータ・ビットすべてを取得する通常の方法でレジスタを読み出すことができます。下位 8 ビットのセットまたはクリアには、以下のメカニズムが使用されます。

レジスタ・アドレスに 16 ビット・データを書き込む場合

- ビット・クリア**
- 下位 8 データ・ビット（下記のレジスタ・レイアウトの CLx）を使用して、各ビット位置に対応するレジスタ・ビット RWx が次のいずれの状態になるかを示します。
 - クリアされる、つまり 0 にセットされる：CLx = 1 であれば、対応する RWx は 0 にクリアされます。
 - 変化しない：CLx = 0 であれば、対応する RWx は変化しません。
- ビット・セット**
- 上位 8 データ・ビット（下記のレジスタ・レイアウトの SEx）を使用して、各ビット位置に対応するレジスタ・ビットが次のいずれの状態になるかを示します。
 - セットされる、つまり 1 にセットされる：SEx = 1 であれば、対応する RWx が 1 にセットされます。
 - 変化しない：SEx = 0 であれば、対応する RWx は変化しません。

読み出しアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO7	RO6	RO5	RO4	RO3	RO2	RO1	RO0	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0
CPU による変更が不可能								SE7 ~ SE0 および CL7 ~ CL0 を介した CPU によるビット操作が可能							

書き込みアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0
SEx = 1 であれば、対応する RW7 ~ RW0 をセットします。								CLx = 1 であれば、対応する RW7 ~ RW0 をクリアします。							

RWx ビットに適用される操作を以下の表に示します。

表 17-17 ビットのセット/クリア操作

CLx	SEx	RWx に対する操作
0	0	RWx を変更しません。
0	1	RWx を 1 にセットします。
1	0	RWx を 0 にクリアします。
1	1	RWx を変更しません。

例 以下に例を示します。

内容が 1883_H であるレジスタを以下のように変更する場合

- ビット 3 を 1 に設定 : SE3 = 1
- ビット 1 を 0 にクリア : CL1 = 1

ビット操作前のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	1	1
任意の値に設定することができます。 この例では 18 _H です。								RW7 ~ RW0 : 83 _H							

レジスタ書き込みアクセス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
SE3 = 1 : 08 _H								CL1 = 1 : 02 _H							

ビット操作後のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
任意の値にすることができます。 この例では 18 _H です。								RW7 ~ RW0 : 89 _H							

17.6 制御レジスタ

17.6.1 FCN グローバル・レジスタ

(1) FCNnGMCLCTL - FCNn グローバル制御レジスタ

本レジスタはFCN モジュールの動作の制御に使用されます。

アクセス 16 ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0 8000_H

初期値 00x0_H^a。本レジスタは各種リセットにより初期化されます。

- a) ハード・リセット後、ソフト・リセットが自動的に開始されます。したがって、初期値は以下のようになります。
- ソフト・リセット後にエラーが検出されなければ 0000_H。
 - ソフト・リセット中にエラーが検出されなければ 0010_H。
 - ソフト・リセット後にエラーが検出されれば 0020_H。
 - ソフト・リセット中にエラーが検出されれば 0030_H。

(a) FCNnGMCLCTL の読み出し値

	15	14	13	12	11	10	9	8
FCNnGM CLSSMO	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
0	0	FCNnGM CLECCF	FCNnGM CLSORF	0	0	FCNnGM CLESDE	FCNnGM CLPWOM	

FCNnGMCLSSMO	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・レジスタへのアクセス有効ビット
0	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは無効です。
1	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは有効です。

- 注意**
- FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されている間、ソフトウェアによる FCN メッセージ・バッファ・レジスタ (FCNnMm であるすべてのレジスタ) または送信ヒストリ、受信ヒストリに関連したレジスタ (FCNnCMLOSTR, FCNnCMGTGX, FCNnCMLISTR, FCNnCMRGRX) へのアクセスは無効です。
 - FCNnGMCLCTL.FCNnGMCLSSMO はリード・オンリーです。本ビットが 0 の状態で 1 を書き込んでも、ビットの値は変わらず、FCN メッセージ・バッファ・レジスタまたは送信ヒストリ、受信ヒストリに関連したレジスタへのアクセスは無効のままです。

備考 FCN モジュールが FCN スリープ・モードまたは FCN ストップ・モードに移行した場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) された場合に、FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されます。

FCN スリープ・モードまたは FCN ストップ・モードが解除された場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がセット (1) された場合に、FCNnGMCLSSMO がセット (1) されます。

FCNnGMCLECCF	メッセージ・バッファ RAM 読み出しエラー検出ビット
0	メッセージ・バッファ RAM からの読み出しでエラーが検出されなかったことを示します。
1	メッセージ・バッファ RAM からの読み出しでエラーが検出されたことを示します。

- 備考**
- ソフト・リセットの実行中、メッセージ・バッファ RAM からの読み出しでメモリ・エラーが検出されると、FCNnGMCLCTL.FCNnGMCLECCF がセット (1) されます。FCNnGMCLECCF がセット (1) されると、クリア (0) されるまで、セット状態が保たれます。
 - 本ビットは、ソフト・リセット実行後にメモリ・エラーを確認する用途以外で使用しないでください。
 - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間 (ソフト・リセットの実行中)、FCNnGMCLECCF をクリア (0) することはできません。

FCNnGMCLSORF	ソフト・リセット実行ステータス・ビット
0	ソフト・リセットを実行していないことを示します。
1	ソフト・リセットを実行中であることを示します。

- 備考**
- ソフト・リセットを実行中 (FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間)、FCNnGMCLCTL.FCNnGMCLPWOM および FCNnGMCLCTL.EFSD をセットすることはできません。FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) されている間は、FCNnGMCLCTL.FCNnGMCLSESR = 1 にすることで、ソフトウェア・リセットの開始を設定することができます。
 - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されると、メッセージ・バッファ RAM の初期化が開始されます。FCNnGMCLSORF をセットする前に FCNnGMCLCTL.FCNnGMCLECCF がクリアされれば、メッセージ・バッファ RAM の初期化中にエラーを検出することができます。
 - すでにセット (1) されている FCNnGMCLCTL.FCNnGMCLSORF を再びセット (1) しても、ソフト・リセット処理は再開されず、処理が継続されるだけです。
 - ハードウェア・リセットの解除後、FCNnGMCLCTL.FCNnGMCLSORF が自動的にセット (1) され、メッセージ・バッファ RAM の初期化が開始されます。
 - FCNnGMCLCTL.FCNnGMCLPWOM のクリア (0) と FCNnGMCLCTL.FCNnGMCLSORF のセット (1) を同時に行うことはできません。
 - FCNnGMCLCTL.FCNnGMCLSORF = 1 の間、ハードウェア・リセットが行われると、ソフト・リセット処理が中断され、ハードウェア・リセットが開始されます。

FCNnGMCLESDE	強制シャットダウン有効ビット
0	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは無効です。
1	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは有効です。

注意 強制シャットダウンを要求するには、FCNnGMCLCTL.FCNnGMCLESDE がセット (1) された直後に行われるアクセスで FCNnGMCLCTL.FCNnGMCLPWOM をクリア (0) する必要があります。FCNnGMCLESDE がセット (1) された直後に FCNnGMCLPWOM をクリア (0) することなく、ほかのレジスタへの何らかのアクセス (FCNnGMCLCTL レジスタの読み出しを含む) を実行すると、FCNnGMCLESDE は強制的にクリア (0) され、強制シャットダウン要求が無効になります。

FCNnGMCLPWOM	グローバル動作モード・ビット
0	FCN モジュールの動作を禁止します。
1	FCN モジュールの動作を許可します。

注意 FCNnGMCLCTL.FCNnGMCLPWOM は、初期化モード中、または FCNnGMCLCTL.FCNnGMCLESDE がセットされた (強制シャットダウン) 直後にだけクリアすることができます。

(b) FCNnGMCLCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	FCNnGM CLSESR	0	0	FCNnGM CLSESD	FCNnGM CLSEOM
7	6	5	4	3	2	1	0
0	0	FCNnGM CLCLMB	0	0	0	0	FCNnGM CLCLOM

FCNnGMCLSESR	ソフトウェア・リセット開始
0	変化しません。
1	ソフト・リセットを開始します。

FCNnGMCLSESD	FCNnGMCLESDE ビットの設定
0	FCNnGMCLESDE ビットを変更しません。
1	FCNnGMCLESDE ビットを 1 にセットします。

FCNnGMCLSEOM	FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定
0	1	FCNnGMCLCTL.FCNnGMCLPWOM ビットを0にクリアします。
1	0	FCNnGMCLCTL.FCNnGMCLPWOM ビットを1にセットします。
上記以外の値		FCNnGMCLCTL.FCNnGMCLPWOM ビットを変更しません。

注意 FCNnGMCLCTL.FCNnGMCLPWOM ビットと FCNnGMCLCTL.FCNnGMCLSEDE ビットは必ず別々にセットしてください。

FCNnGMCLCLMB	FCNnGMCLCTL.FCNnGMCLSECCF ビットのクリア
0	FCNnGMCLCTL.FCNnGMCLSECCF ビットを変更しません。
1	FCNnGMCLCTL.FCNnGMCLSECCF ビットを0にクリアします。

(2) FCNnGMCSPRE - FCNn グローバル・クロック選択レジスタ

本レジスタはFCN モジュール・システム・クロックの選択に使用されます。

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0008_H

初期値 0F_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMCSPRSC[3:0]			

FCNnGMCSPRSC[3:0]	プレCAN プロトコル・レイヤ基本システム・クロック (f _{CANPRE})
0000 _B	f _{CAN} /1
0001 _B	f _{CAN} /2
0010 _B	f _{CAN} /3
0011 _B	f _{CAN} /4
0100 _B	f _{CAN} /5
0101 _B	f _{CAN} /6
0110 _B	f _{CAN} /7
0111 _B	f _{CAN} /8
1000 _B	f _{CAN} /9
1001 _B	f _{CAN} /10
1010 _B	f _{CAN} /11
1011 _B	f _{CAN} /12
1100 _B	f _{CAN} /13
1101 _B	f _{CAN} /14
1110 _B	f _{CAN} /15
1111 _B	f _{CAN} /16 (デフォルト値)

備考 f_{CAN} = システム・レベルでFCNに供給されるクロック (クロックの生成, 分配, 選択)

(3) FCNnGMABCTL - FCNn グローバル自動ブロック送信制御レジスタ

本レジスタは、自動ブロック送信 (ABT) 操作の制御に使用されます。

アクセス 16 ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0 8018_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnGMABCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnGM ABCLRF	FCNnGM ABABTT

FCNnGMABCLRF	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動送信エンジンのクリアが完了していることを示します。
1	自動送信エンジンをクリア中であることを示します。

備考 FCNnGMABCLRF は FCNnGMABABTT がクリア (0) されている状態でセット (1) してください。
FCNnGMABABTT がセット (1) されている状態で、FCNnGMABCLRF をセット (1) した場合の動作は保証いたしません。

FCNnGMABABTT	自動ブロック送信ステータス・ビット
0	自動ブロック送信が停止していることを示します。
1	自動ブロック送信が実行されていることを示します。

(b) FCNnGMABCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnGM ABSEAC	FCNnGM ABSEAT
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnGM ABCLAT

備考 FCNnGMABCTL.FCNnGMABSEAC を 1 にセットして自動ブロック送信エンジンをクリアすると、FCNnGMABCLRF が自動的にセットされ、要求されたクリア処理が完了すると同時に FCNnGMABCLRF が 0 にクリアされます。

- 注意**
1. ABT 付き通常動作モードから初期化モードへ変更する前に、必ず FCNnGMABCTL レジスタをデフォルト値 (0000_H) に設定し、FCNnGMABCTL レジスタがデフォルト値 (0000_H) に確実に初期化されたことを確認してください。
 2. 初期化モード中に自動ブロック送信を開始しないでください。初期化モード中に自動ブロック送信を開始した場合、CAN コントローラが ABT 付き通常動作モードに入ったときの動作は保証されません。
 3. FCNnCMCLCTL.FCNnCMCLSSTS が 1 にセットされている間 (送信中) に自動ブロック送信を開始しないでください。自動ブロック送信を開始する前に、あらかじめ FCNnCMCLSSTS = 0 になっていることを直接確認してください。

FCNnGMABSEAC	自動ブロック送信エンジン・クリア要求ビット
0	自動ブロック送信エンジンがアイドル状態または動作中であることを示します。
1	自動ブロック送信エンジンのクリアを要求します。自動ブロック送信エンジンがクリアされたあと、FCNnGMABCTL.FCNnGMABABTT = 1 にセットすることで、メッセージ・バッファ 0 からの自動ブロック送信が開始されます。

FCNnGMABSEAT	FCNnGMABCLAT	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求します。
1	0	自動ブロック送信の開始を要求します。
上記以外の値		FCNnGMABCTL.FCNnGMABABTT ビットを変更しません。

(4) FCNnGMADCTL - FCNn グローバル自動ブロック送信遅延設定レジスタ

本レジスタは、ABT 付き通常動作モード中に、ABT に割り当てられたメッセージ・バッファのデータを送信するインターバルの設定に使用されます。

アクセス 8 ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0020_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMADSSAD[3:0]			

FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル (DBT 単位) ^a
0000 _B	0 DBT (デフォルト値)
0001 _B	2 ⁵ DBT
0010 _B	2 ⁶ DBT
0011 _B	2 ⁷ DBT
0100 _B	2 ⁸ DBT
0101 _B	2 ⁹ DBT
0110 _B	2 ¹⁰ DBT
0111 _B	2 ¹¹ DBT
1000 _B	2 ¹² DBT
上記以外の値	設定禁止

a) 単位 : DBT (データ・ビット・タイム)

- 注意**
1. FCNnGMABCTL.FCNnGMABABTT = 1 である間 (ABT の実行中) に FCNnGMADCTL レジスタの内容を変更しないでください。
 2. ABT メッセージが実際に CAN バスに送信されるタイミングは、ほかのステーションからの送信の状態または ABT メッセージ以外のメッセージの送信要求が行われた方法によって異なります。

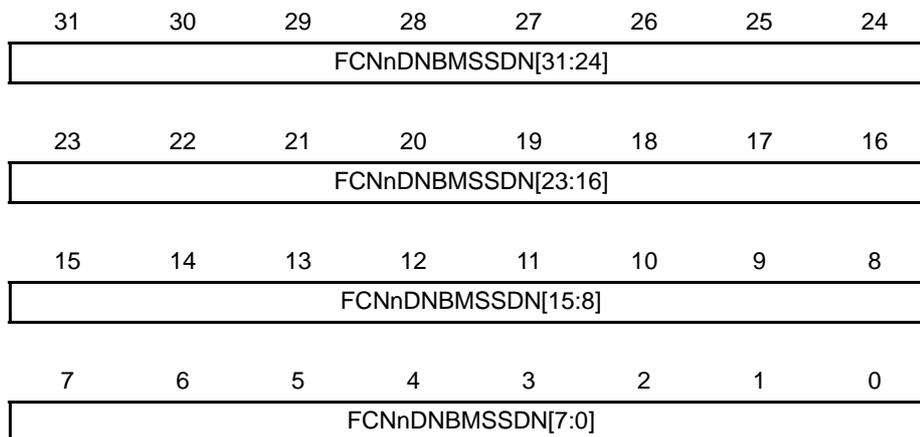
(5) FCNnDNBMRX0 - FCNn グローバル・データ更新ビット・モニタ・レジスタ

本レジスタは、同時に複数のメッセージ・バッファのデータ更新ビットをグローバルに読み出すために使用されます。

アクセス 32 ビット単位でリード可能です。

アドレス <FCNn_base> + 1 00C0_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。



FCNnDNBMSSDN[31:0]	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

17.6.2 FCN モジュール・レジスタ

(1) FCNnCMMKCTLaH - FCNn モジュール・マスク制御レジスタ

これらのレジスタは、比較されるメッセージ識別子 (ID) の一部をマスクし、マスクされた部分の ID を無効にすることで、同じメッセージ・バッファに保存できるメッセージの数を増やすために使用されます。

レジスタ FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15) への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ FCNnCMMKCTLaH (a = 01 ~ 16) にアクセスすることもできます。

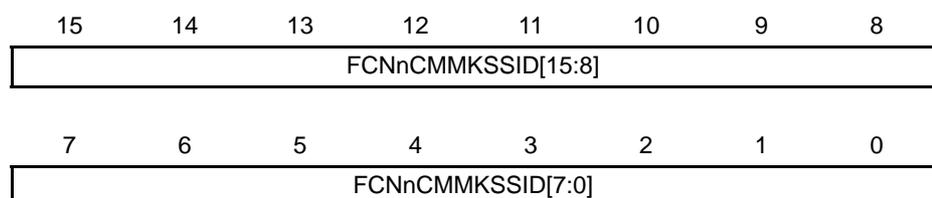
アクセス FCNnCMMKCTLaH レジスタは 16 ビット単位でリード/ライト可能です。
FCNnCMMKCTLaW レジスタは 32 ビット単位でリード/ライト可能です。

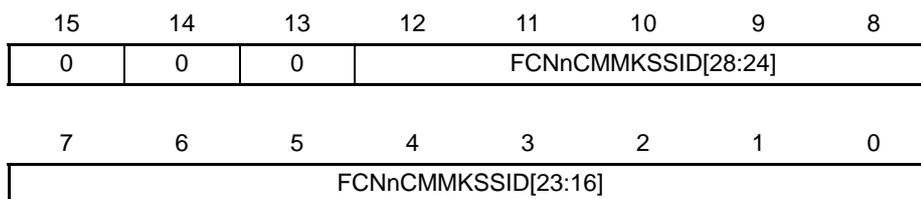
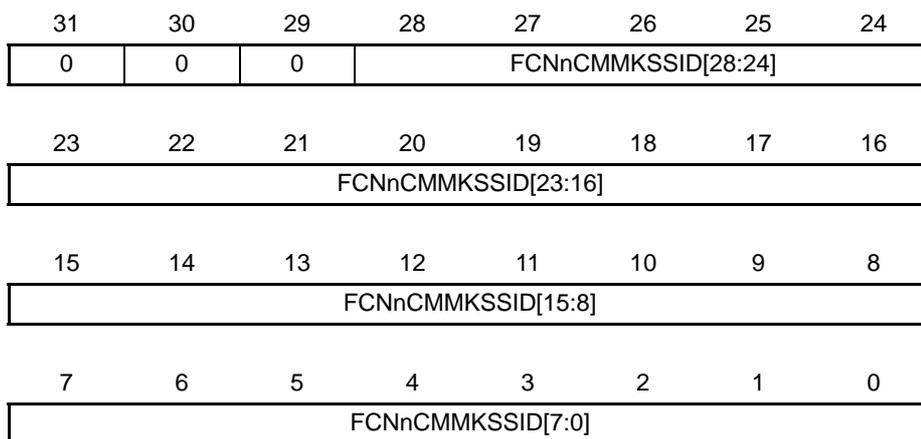
アドレス FCNnCMMKCTL01H: <FCNn_base> + 0 8300_H
FCNnCMMKCTL02H: <FCNn_base> + 0 8308_H
FCNnCMMKCTL03H: <FCNn_base> + 0 8310_H
FCNnCMMKCTL04H: <FCNn_base> + 0 8318_H
FCNnCMMKCTL05H: <FCNn_base> + 0 8320_H
FCNnCMMKCTL06H: <FCNn_base> + 0 8328_H
FCNnCMMKCTL07H: <FCNn_base> + 0 8330_H
FCNnCMMKCTL08H: <FCNn_base> + 0 8338_H
FCNnCMMKCTL09H: <FCNn_base> + 0 8340_H
FCNnCMMKCTL10H: <FCNn_base> + 0 8348_H
FCNnCMMKCTL11H: <FCNn_base> + 0 8350_H
FCNnCMMKCTL12H: <FCNn_base> + 0 8358_H
FCNnCMMKCTL13H: <FCNn_base> + 0 8360_H
FCNnCMMKCTL14H: <FCNn_base> + 0 8368_H
FCNnCMMKCTL15H: <FCNn_base> + 0 8370_H
FCNnCMMKCTL16H: <FCNn_base> + 0 8378_H

FCNnCMMKCTL01W: <FCNn_base> + 1 0300_H
FCNnCMMKCTL03W: <FCNn_base> + 1 0310_H
FCNnCMMKCTL05W: <FCNn_base> + 1 0320_H
FCNnCMMKCTL07W: <FCNn_base> + 1 0330_H
FCNnCMMKCTL09W: <FCNn_base> + 1 0340_H
FCNnCMMKCTL11W: <FCNn_base> + 1 0350_H
FCNnCMMKCTL13W: <FCNn_base> + 1 0360_H
FCNnCMMKCTL15W: <FCNn_base> + 1 0370_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMMKCTLaH (a = 01, 03, 05, 07, 09, 11, 13, 15)



(b) FCNnCMMKCTLaH (a = 02, 04, 06, 08, 10, 12, 14, 16)**(c) FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15)**

FCNnCMMKSSID[i] ^a	IDビットのマスク・パターン設定
0	FCNnMmSSID[i]によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較します。
1	FCNnMmSSID[i]によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較しません (マスクします)。

a) i = [28:0]

備考 マスクは常に 29 ビットの ID 長で定義されます。マスクが標準 ID を持つメッセージに割り当てられている場合、FCNnCMMKSSID[17:0]は無視されます。したがって、受信 ID の FCNnCMMKSSID[28:18]のみがマスクされます。同じマスクを標準 ID と拡張 ID の両方に使用できます。

(2) FCNnCMCLCTL - FCNn モジュール制御レジスタ

本レジスタは FCN モジュールの動作モードの制御に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8240_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMCLCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnCM CLSSRS	FCNnCM CLSSTS
7	6	5	4	3	2	1	0
FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCM CLMDPF[1:0]		FCNnCM CLMDOF[2:0]		

FCNnCMCLSSRS	受信ステータス・ビット
0	受信が停止していることを示します。
1	受信中であることを示します。

- 備考**
- FCNnCMCLSSRS は以下の条件 (タイミング) で 1 にセットされます。
 - 受信フレームの SOF ビットが検出されたとき
 - 送信フレームにアービトレーション・ロストが生じたとき
 - FCNnCMCLSSRS は以下の条件 (タイミング) で 0 にクリアされます。
 - インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき
 - インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLSSTS	送信ステータス・ビット
0	送信が停止していることを示します。
1	送信中であることを示します。

- 備考**
- FCNnCMCLSSTS は以下の条件 (タイミング) で 1 にセットされます。
 - 送信フレームの SOF ビットが検出されたとき
 - FCNnCMCLSSTS は以下の条件 (タイミング) で 0 にクリアされます。
 - バスオフ移行時
 - 送信フレームにアービトレーション・ロストが生じたとき
 - インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき
 - インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLERCF	エラー・カウンタ・クリア・ビット
0	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアしません。
1	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアします。

- 備考**
- FCNnCMCLERCF は、再初期化またはバスオフ状態からの強制復帰のときに FCNnCMERCNT レジスタと FCNnCMINSTR レジスタをクリアするために使用されます。このビットは下記条件でのみ 1 にセットすることができます。
 - バスオフ期間中の初期化モード状態時
 - FCN モジュール起動 (FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM を 1 にセット) 後の初期化モード状態時
 - 動作モード中に図 17-25「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」に従った全ての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 17-26「ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)」に従って全ての送信要求をクリアしてください。)
 - FCNnCMERCNT レジスタと FCNnCMINSTR レジスタがクリアされると、FCNnCMCLERCF も自動的に 0 にクリアされます。
 - 初期化モードから動作モードへの移行要求が発行されると同時に、FCNnCMCLERCF を 1 にセットすることができます。
 - FCN スリープ・モード中または FCN ストップ・モード中、FCNnCMCLERCF は読み出し専用になります。
 - エラー・カウンタは CAN コントローラの通常シャット・ダウンまたは強制シャット・ダウンでもクリアされます。

FCNnCMCLALBF	アービトレーション・ロストが発生したときの動作を設定するビット
0	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行しません。
1	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行します。

備考 FCNnCMCLALBF はシングル・ショット・モード中にのみ有効です。

FCNnCMCLVALF	有効受信メッセージ・フレーム検出ビット
0	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されていないことを示します。
1	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されたことを示します。

- 備考**
- 有効受信メッセージ・フレームの検出は、受信メッセージ・バッファ (データ・フレーム/リモート・フレーム) または送信メッセージ・バッファ (リモート・フレーム) にフレームが保存されているかどうかにかかわらず、行われます。
 - 受信オンリー・モードでは確認応答が生成されないため、2つの CAN ノードのみが CAN バスに接続されていて、一方が通常モードでメッセージ・フレームを送信しており、もう一方が受信オンリー・モードになっている場合は、送信側ノードがエラー・パッシブ状態に入るまで FCNnCMCLVALF は 1 にセットされません。
 - FCNnCMCLVALF をクリアするには、まず FCNnCMCLLVL を 1 にセットしたあと、FCNnCMCLVALF がクリアされたかどうかを確認してください。FCNnCMCLVALF がクリアされていない場合は、クリア処理を再び実行してください。

FCNnCMCLMDPF[1:0]	パワー・セーブ・モード
00 _B	パワー・セーブ・モードが選択されていないことを示します。
01 _B	FCN スリープ・モード
10 _B	設定禁止
11 _B	FCN ストップ・モード

- 注意**
1. FCN ストップ・モードからほかのモードへ、またはほかのモードから FCN ストップ・モードへ移行するときは、FCN スリープ・モードを経由する必要があります。ほかのモードから FCN ストップ・モードへの直接の移行または FCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。
 2. パワー・セーブ・モードを解除した場合は、メッセージ・バッファへのアクセスを再開する前に、FCNnGMCLCTL の FCNnGMCLSSMO フラグをチェックする必要があります。
 3. FCN スリープ・モード要求は、ソフトウェアによって要求がキャンセルされるか、適切なバス状態（バス・アイドル状態）に移行するまで保留されます。ソフトウェアで FCNnCMCLMDPF[1:0] を読み出すことで、実際のステータスを確認することができます。
 4. パワー・セーブ・モードは動作モード変更と組み合わせるはなりません。これらのアクセスはステップを分けて実行しなければなりません。

備考 初期化モードからいずれかの通信モードに遷移する場合、FCN モジュールは CAN バスのアイドル期間を確認した後で通信に参加します。アイドル期間確認前でもスリープ・モードに移行することは可能ですが、ウェイクアップ条件は常にレセシブ・レベルからドミナント・レベル方向への変化です。

FCNnCMCLMDOF[2:0]	動作モード
000 _B	いずれの動作モードも選択されていない (FCN モジュールが初期化モード中である) ことを示します。
001 _B	通常動作モード
010 _B	自動ブロック送信機能付き通常動作モード (ABT 付き通常動作モード)
011 _B	受信オンリー・モード
100 _B	シングル・ショット・モード
101 _B	セルフ・テスト・モード
上記以外の値	設定禁止

- 注意**
1. 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に、値を読み出すことによって、モードの変更が成功したかどうかを必ず確認してください。
 2. 動作モードで受信中に初期化モードを設定したとき、メッセージ・バッファの FCNnMmCTL.FCNnMmDTNF ビットをセットする最後の受信が発生する可能性があります。また、動作モードへ戻る遷移は受信履歴・リストもクリアします。
従って、初期化モードに達したことを動作モードを読み込んで確認してください。
また、動作モードを再開する前に、全ての有効な受信メッセージ・バッファの全てのセットされた FCNnMmCTL.FCNnMmDTNF ビットをクリアしてください。

備考 FCN スリープ・モード中または FCN ストップ・モード中、FCNnCM.FCNnCMCLMDOF[2:0] は読み出し専用になります。

(b) FCNnCMCLCTL の書き込み値

15	14	13	12	11	10	9	8
FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCM CLSEPS[1:0]			FCNnCM CLSEOP[2:0]	
7	6	5	4	3	2	1	0
0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCM CLCLPS[1:0]			FCNnCM CLCLOP[2:0]	

FCNnCMCLSERC	FCNnCMCLERCF ビットの設定
1	FCNnCMCLERCF を 1 にセットします。
上記以外の値	FCNnCMCLERCF を変更しません。

FCNnCMCLSEAL	FCNnCMCLCLAL	FCNnCMCLALBF ビットの設定
0	1	FCNnCMCLALBF を 0 にクリアします。
1	0	FCNnCMCLALBF を 1 にセットします。
上記以外の値		FCNnCMCLALBF を変更しません。

FCNnCMCLCLVL	FCNnCMCLVALF ビットの設定
0	FCNnCMCLVALF を変更しません。
1	FCNnCMCLVALF を 0 にクリアします。

FCNnCMCLSEPS0	FCNnCMCLCLPS0	FCNnCMCLMDPF0 ビットの設定
0	1	FCNnCMCLMDPF0 を 0 にクリアします。
1	0	FCNnCMCLMDPF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF0 を変更しません。

FCNnCMCLSEPS1	FCNnCMCLCLPS1	FCNnCMCLMDPF1 ビットの設定
0	1	FCNnCMCLMDPF1 を 0 にクリアします。
1	0	FCNnCMCLMDPF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF1 を変更しません。

FCNnCMCLSEOP0	FCNnCMCLCLOP0	FCNnCMCLMDOF0 ビットの設定
0	1	FCNnCMCLMDOF0 を 0 にクリアします。
1	0	FCNnCMCLMDOF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF0 を変更しません。

FCNnCMCLSEOP1	FCNnCMCLCLOP1	FCNnCMCLMDOF1 ビットの設定
0	1	FCNnCMCLMDOF1 を 0 にクリアします。
1	0	FCNnCMCLMDOF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF1 を変更しません。

FCNnCMCLSEOP2	FCNnCMCLCLOP2	FCNnCMCLMDOF2 ビットの設定
0	1	FCNnCMCLMDOF2 を 0 にクリアします。
1	0	FCNnCMCLMDOF2 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF2 を変更しません。

(3) FCNnCMCSTR - FCNn モジュール最終エラー情報レジスタ

本レジスタは CAN プロトコルのエラー情報を提供します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 0248_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMCSSL[2:0]		

- 備考**
1. FCN モジュールが動作モードから初期化モードへ移行しても FCNnCMCSTR レジスタの内容はクリアされません。
 2. ソフトウェアで 00_H 以外の値を FCNnCMCSTR レジスタに書き込もうとしても、そのアクセスは無視されます。

FCNnCMCSSL[2:0]	最終 FCN プロトコル・エラー情報
000 _B	エラーなし
001 _B	スタッフ・エラー
010 _B	フォーム・エラー
011 _B	ACK エラー
100 _B	ビット・エラー (FCN モジュールがレセシブ・レベルのビットを (アービトレーション・フィールド以外の) 送信メッセージの一部として送信しようとしたが、CAN バス上の値がドミナント・レベルのビットだった)
101 _B	ビット・エラー (FCN モジュールがドミナント・レベルのビットを送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として送信しようとしたが、CAN バス上の値がレセシブ・レベルのビットだった)
110 _B	CRC エラー
111 _B	不定

(4) FCNnCMINSTR - FCNn モジュール情報レジスタ

本レジスタはFCN モジュールの状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 024C_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	FCNnCM INBOFF	FCNnCM INSSTE[1:0]	FCNnCM INSSRE[1:0]		

FCNnCMINBOFF	バスオフ状態ビット
0	バスオフ状態でないこと（送信エラー・カウンタが 255 以下）を示します（送信エラー・カウンタの値が 256 未満）。
1	バスオフ状態であること（送信エラー・カウンタが 255 を上回っている）を示します（送信エラー・カウンタの値が 256 以上）。

FCNnCMINSSTE[1:0]	送信エラー・カウンタ状態ビット
00 _B	送信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 _B	送信エラー・カウンタの値が警告レベルの範囲内（96 ~ 127）であることを示します。
10 _B	不定
11 _B	送信エラー・カウンタの値がエラー・パッシブ状態またはバスオフ状態の範囲にあること（128 以上）を示します。

FCNnCMINSSRE[1:0]	受信エラー・カウンタ状態ビット
00 _B	受信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 _B	受信エラー・カウンタの値が警告レベルの範囲内（96 ~ 127）であることを示します。
10 _B	不定
11 _B	受信エラー・カウンタの値がエラー・パッシブ状態の範囲にあること（128 以上）を示します。

(5) FCNnCMERCNT - FCNn モジュール・エラー・カウンタ・レジスタ

本レジスタは送受信エラー・カウンタのカウント値を示します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 8250_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
FCNnCM ERRPSF		FCNnCM ERRECF[6:0]					

7	6	5	4	3	2	1	0
FCNnCM ERTECF[7:0]							

FCNnCMERRPSF	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタがエラー・パッシブ範囲にないこと (128 未満) を示します。
1	受信エラー・カウンタがエラー・パッシブ範囲にあること (128 以上) を示します。

FCNnCMERRECF[6:0]	受信エラー・カウンタ・ビット
0 ~ 127	受信エラー・カウント数を示します。これらのビットは受信エラー・カウンタの 状態 を反映します。 カウント 数は CAN プロトコルによって定義されています。

備考 受信エラー・パッシブ状態 (FCNnCMINSTR.FCNnCMINSSRE[1:0] = 11_B) では、FCNnCMERRECF[6:0] は無効です。

FCNnCMERTECF[7:0]	送信エラー・カウンタ・ビット
0 ~ 255	送信エラー・カウント数を示します。これらのビットは送信エラー・カウンタの 状態 を反映します。 カウント 数は CAN プロトコルによって定義されています。

備考 バスオフ状態 (FCNnCMINSTR.FCNnCMINBOFF = 1) では、FCNnCMERTECF[7:0] は無効です。

(6) FCNnCMIECTL - FCNn モジュール割り込み許可レジスタ

本レジスタはFCN モジュールの割り込みの許可または禁止に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8258_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMIECTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMIEINTF[6:0]						

FCNnCMIEINTF[6:0]	FCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を許可します。

(b) FCNnCMIECTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnCMIESEIE[6:0]						
7	6	5	4	3	2	1	0
0	FCNnCMIECLIE[6:0]						

FCNnCMIESEIE[6:0]	FCNnCMIECLIE[6:0]	FCNnCMIEINTF[6:0] ビットの 設定
0	1	FCNnCMIEINTF[6:0] ビットを 0 にクリアします。
1	0	FCNnCMIEINTF[6:0] ビットを 1 にセットします。
上記以外の値		FCNnCMIEINTF[6:0] ビットを変更しません。

(7) FCNnCMISCTL - FCNn モジュール割り込みステータス・レジスタ

本レジスタはFCN モジュールの割り込みステータスを示します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8260_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMISCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

FCNnCMISITSF[6:0]	FCN 割り込みステータス・ビット
0	関連する割り込みソース・イベントが保留中でないことを示します。
1	関連する割り込みソース・イベントが保留中であることを示します。

割り込みステータス・ビット	関連する割り込みソース・イベント
FCNnCMISITSF6	FCN モジュール送信中断割り込みステータス・ビット
FCNnCMISITSF5	FCN スリープ・モードからのウェイクアップ割り込み ^a
FCNnCMISITSF4	アービトレーション・ロスト割り込み
FCNnCMISITSF3	CAN プロトコル・エラー割り込み
FCNnCMISITSF2	CAN エラー・ステータス割り込み
FCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
FCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み

a) FCNnCMISITSF5 は、FCN モジュールが CAN バス上の動作によって FCN スリープ・モードからウェイクアップされたときにのみセットされます。FCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。

(b) FCNnCMISCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMISCLTS[6:0]						

FCNnCMISCLTS[6:0]	FCNnCMISITSF[6:0] のクリア
0	FCNnCMISITSF[6:0] ビットを変更しません。
1	FCNnCMISITSF[6:0] ビットを0にクリアします。

注意 これらのビットは自動的にクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

(8) FCNnCMBRPRS - FCNn モジュール・ビット・レート・プリスケラ・レジスタ

本レジスタはCAN プロトコル・レイヤの基本システム・クロック (f_{TQ}) の選択に使用されます。通信ポー・レートはFCNnCMBTCTL レジスタに合わせて設定されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 0268_H

初期値 FF_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnCMBRPRS[7:0]							

FCNnCMBRPRS	CAN プロトコル・レイヤの基本システム・クロック (f_{TQ})
0	$f_{CANPRE}/1$
1	$f_{CANPRE}/2$
n	$f_{CANPRE}/(n+1)$
:	:
255	$f_{CANPRE}/256$ (デフォルト値)

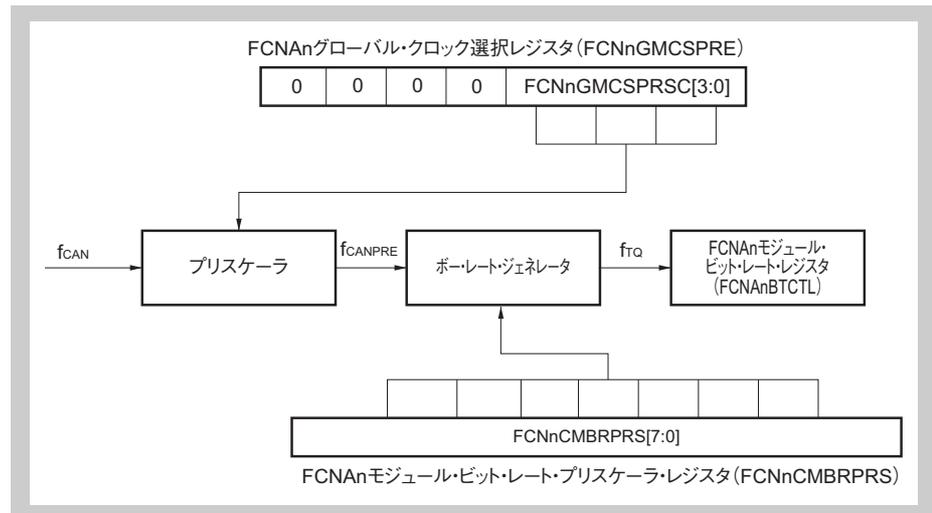


図 17-3 FCN モジュール・クロック

- 備考** f_{CAN} : FCN へ供給されるクロック
 f_{CANPRE} : プレ CAN プロトコル・レイヤ基本システム・クロック
 f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック

注意 FCNnCMBRPRS へは、初期化モード中のみ書き込みアクセスが可能です。

(9) FCNnCMBTCTL - FCNn モジュール・ビット・レート・レジスタ

本レジスタは、通信ポー・レートのデータ・ビット・タイムの制御に使用されます。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8270_H

初期値 0370F_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
0	0	FCNnCM BTJWL[1:0]		0	FCNnCM BTS2LG[2:0]		
7	6	5	4	3	2	1	0
0	0	0	0	FCNnCMBTS1LG[3:0]			

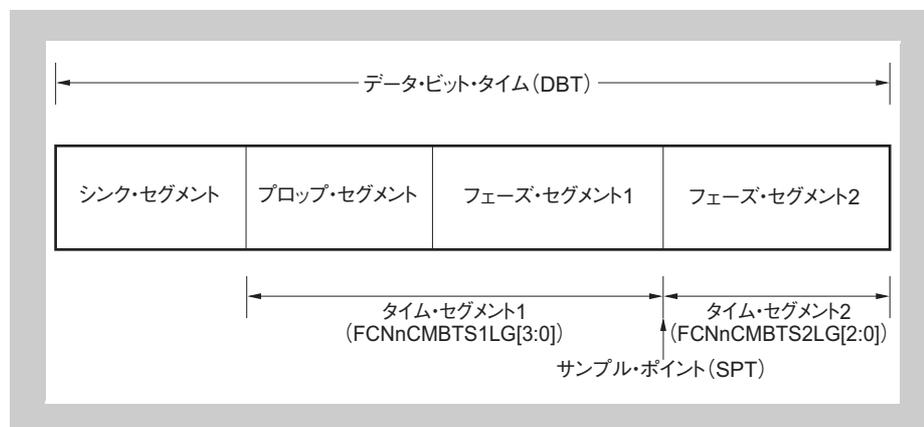


図 17-4 データ・ビット・タイム

FCNnCMBTJWL[1:0]	同期ジャンプ幅の長さ
00 _B	1T _Q
01 _B	2T _Q
10 _B	3T _Q
11 _B	4T _Q (デフォルト値)

FCNnCMBTS2LG[2:0]	タイム・セグメント2の長さ
000 _B	1T _Q
001 _B	2T _Q
010 _B	3T _Q
011 _B	4T _Q
100 _B	5T _Q
101 _B	6T _Q
110 _B	7T _Q
111 _B	8T _Q (デフォルト値)

FCNnCMBTS1LG[3:0]	タイム・セグメント1の長さ
0000 _B	設定禁止
0001 _B	2T _Q ^a
0010 _B	3T _Q ^a
0011 _B	4T _Q
0100 _B	5T _Q
0101 _B	6T _Q
0110 _B	7T _Q
0111 _B	8T _Q
1000 _B	9T _Q
1001 _B	10T _Q
1010 _B	11T _Q
1011 _B	12T _Q
1100 _B	13T _Q
1101 _B	14T _Q
1110 _B	15T _Q
1111 _B	16T _Q (デフォルト値)

a) FCNnCMBRPRS = 00_H のときにこの設定を行わないでください。

備考 $T_Q = 1/f_{TQ}$ (f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック)

(10) FCNnCMLISTR - FCNn モジュール最終受信ポインタ・レジスタ

本レジスタは、データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 0278_H

初期値 不定

7	6	5	4	3	2	1	0
FCNnCMLISSLR[7:0]							

FCNnCMLISSLR [7:0]	受信ヒストリ・リストの最終受信ポインタ
0 ~ 31	FCNnCMLISTR レジスタをリードすると、データ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、FCNnCMLISTR の読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に FCNnCMRGRX.FCNnCMRGSSPM がセットされている場合には、FCNnCMLISTR の読み出し値は不定となります。

(11) FCNnCMRGRX - FCNn モジュール受信履歴・リスト・レジスタ

本レジスタは受信履歴・リスト (RHL) の読み出しに使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8280_H

初期値 xx02_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMRGRX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMRGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMRGSSPM	FCNnCMRGRVFF

FCNnCMRGSSPT[7:0]	受信履歴・リスト読み出しポインタ
0 ~ 31	FCNnCMRGRX をリードすると、受信履歴・リストの読み出しポインタ (FCNnCMRGRX.FCNnCMRGSSPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

FCNnCMRGSSPM ^a	受信履歴・リストのポインタ一致
0	受信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMRGSSPM = 1 のとき、FCNnCMRGSSPT[7:0] の読み出し値は無効です。

FCNnCMRGRVFF ^a	受信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信履歴・リストに記録されます (受信履歴・リストに空きのエLEMENTが存在します)。
1	ホスト・プロセッサが受信履歴・リスト (RHL) を最後に使用 (たとえば, FCNnCMRGRX の読み込みなど) してから少なくとも 23 個のエントリが格納されています。 FCNnCMRGRVFF がセットされていると, すべてのメッセージ・バッファ番号は位置 23 に格納されるため, 最初の 22 個のエントリは順番に格納されていますが, 最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって, 受信した順番を完全に回復することができません。

- a) FCNnCMRGRVFF が 1 にセットされている状態で, FCNnCMRGRX レジスタによりすべての受信履歴が読み出されている場合, FCNnCMRGSSPM は新たな受信格納があってもクリアされず 1 にセットされたままになります。

(b) FCNnCMRGRX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMRGCLR

FCNnCMRGCLR	FCNnCMRGRVFF ビットのクリア
0	FCNnCMRGRVFF ビットを変更しません。
1	FCNnCMRGRVFF ビットを 0 にクリアします。

(12) FCNnCMLOSTR - FCNn モジュール最終送信ポインタ・レジスタ

本レジスタは、データ・フレームまたはリモート・フレームを最後に送信したメッセージ・バッファの番号を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 0288_H

初期値 不定



FCNnCMLOSSLT [7:0]	送信ヒストリ・リストの最終送信ポインタ
0 ~ 31	FCNnCMLOSTR をリードすると、データ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

注意 メッセージ・バッファからデータ・フレームまたはリモート・フレームが送信されることがない場合、FCNnCMLOSTR レジスタの読み出し値は不定になります。したがって、初期化モードから任意の動作モードへ移行後に FCNnCMTGTX.FCNnCMTGSSPM がセットされている場合には、FCNnCMLOSTR の読み出し値は不定となります。

(13) FCNnCMTGTX - FCNn モジュール送信履歴・リスト・レジスタ

本レジスタは送信履歴・リスト (THL) の読み出しに使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8290_H

初期値 xx02_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTGTX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMTGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCM TGSSPM	FCNnCM TGTVFF

FCNnCMTGSSPT[7:0]	送信履歴・リスト読み出しポインタ
0 ~ 31	FCNnCMTGTX をリードすると、送信履歴・リストの読み出しポインタ (FCNnCMTGSSPT [7:0]) でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

FCNnCMTGSSPM ^a	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMTGSSPM = 1 のとき、FCNnCMTGSSPT[7:0] の読み出し値は無効です。

FCNnCMTGTVFF ^a	送信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエLEMENTが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば, FCNnCMTGTX の読み込みなど) してから少なくとも7個のエントリが格納されています。FCNnCMTGTVFF がセットされていると、すべてのメッセージ・バッファ番号は位置7に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

- a) FCNnCMTGTVFF が1にセットされている状態で、FCNnCMTGTX レジスタによりすべての送信履歴が読み出されている場合、FCNnCMTGSSPM は新たな送信完了があってもクリアされず1にセットされたままになります。

備考 メッセージ・バッファ0～7からの送信は、ABT 付きの通常動作モード中には送信履歴・リストに記録されません。

(b) FCNnCMTGTX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCM TGCLTV

FCNnCMTGCLTV	FCNnCMTGTVFF ビットの設定
0	FCNnCMTGTVFF ビットを変更しません。
1	FCNnCMTGTVFF ビットを0にクリアします。

(14) FCNnCMTSCTL - FCNn モジュール・タイム・スタンプ・レジスタ

本レジスタはタイム・スタンプ機能の制御に使用されます。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8298_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTSCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSLOKE	FCNnCM TSSELE	FCNnCM TSTSGE

備考 FCN モジュールが ABT 付き通常動作モードを実行している間は、タイム・スタンプ機能のロック機能を使用しないでください。

FCNnCMTSLOKE	タイム・スタンプ・ロック機能許可ビット
0	タイム・スタンプ・ロック機能を停止させます。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。
1	タイム・スタンプ・ロック機能を許可します。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。 ただし、データ・フレームがメッセージ・バッファ 0 で正しく受信されれば、TSOUT 出力信号はロックされます。 ^{a)}

a) FCNnCMTTSGE は自動的に 0 にクリアされます。

FCNnCMTSSELE	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントは SOF です。
1	タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。

FCNnCMTTSGE	TSOUT 動作設定ビット
0	TSOUT のトグル動作を禁止します。
1	TSOUT のトグル動作を許可します。

(b) FCNnCMTSCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	FCNnCM TSSELK	FCNnCM TSSESL	FCNnCM TSSETS
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSCLK	FCNnCM TSCLSL	FCNnCM TSLCTS

FCNnCMTSSELK	FCNnCMTSCLK	FCNnCMTSLOKE ビットの設定
0	1	FCNnCMTSLOKE を 0 にクリアします。
1	0	FCNnCMTSLOKE を 1 にセットします。
上記以外の値		FCNnCMTSLOKE を変更しません。

FCNnCMTSSESL	FCNnCMTSCLSL	FCNnCMTSSELE ビットの設定
0	1	FCNnCMTSSELE を 0 にクリアします。
1	0	FCNnCMTSSELE を 1 にセットします。
上記以外の値		FCNnCMTSSELE を変更しません。

FCNnCMTSSETS	FCNnCMTSCLTS	FCNnCMTSTSGE ビットの設定
0	1	FCNnCMTSTSGE を 0 にクリアします。
1	0	FCNnCMTSTSGE を 1 にセットします。
上記以外の値		FCNnCMTSTSGE を変更しません。

17.6.3 FCN メッセージ・バッファ・レジスタ

(1) FCNnMmDATxB/H/W - FCNn メッセージ・データ・バイト・レジスタ

これらのレジスタは送受信メッセージのデータの保存に使用されます。

アクセス FCNnMmDATxW レジスタは、32 ビット単位でリード/ライト可能です。
FCNnMmDATxH レジスタは、16 ビット単位でリード/ライト可能です。
FCNnMmDATxB レジスタは、8 ビット単位でリード/ライト可能です。

アドレス FCNnMmDAT0B: $\langle \text{FCNn_base} \rangle + 0\ 1000_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT1B: $\langle \text{FCNn_base} \rangle + 0\ 1004_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT2B: $\langle \text{FCNn_base} \rangle + 0\ 1008_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT3B: $\langle \text{FCNn_base} \rangle + 0\ 100C_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT4B: $\langle \text{FCNn_base} \rangle + 0\ 1010_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT5B: $\langle \text{FCNn_base} \rangle + 0\ 1014_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT6B: $\langle \text{FCNn_base} \rangle + 0\ 1018_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT7B: $\langle \text{FCNn_base} \rangle + 0\ 101C_{\text{H}} + m \times 40_{\text{H}}$

FCNnMmDAT0H: $\langle \text{FCNn_base} \rangle + 0\ 9000_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT2H: $\langle \text{FCNn_base} \rangle + 0\ 9008_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT4H: $\langle \text{FCNn_base} \rangle + 0\ 9010_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT6H: $\langle \text{FCNn_base} \rangle + 0\ 9018_{\text{H}} + m \times 40_{\text{H}}$

FCNnMmDAT0W: $\langle \text{FCNn_base} \rangle + 1\ 1000_{\text{H}} + m \times 40_{\text{H}}$
FCNnMmDAT4W: $\langle \text{FCNn_base} \rangle + 1\ 1010_{\text{H}} + m \times 40_{\text{H}}$

初期値 $0x00_{\text{H}}$ 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmDATxB (x = 0 ~ 7)

7 6 5 4 3 2 1 0

FCNnMmSSDx0, FCNnMmSSDx1, FCNnMmSSDx2, FCNnMmSSDx3, FCNnMmSSDx4, FCNnMmSSDx5, FCNnMmSSDx6, FCNnMmSSDx7

(b) FCNnMmDATyH (y = 0, 2, 4, 6)

15 14 13 12 11 10 9 8

FCNnMmSSD(y+1)0, FCNnMmSSD(y+1)1, FCNnMmSSD(y+1)2, FCNnMmSSD(y+1)3, FCNnMmSSD(y+1)4, FCNnMmSSD(y+1)5, FCNnMmSSD(y+1)6, FCNnMmSSD(y+1)7

7 6 5 4 3 2 1 0

FCNnMmSSDy0, FCNnMmSSDy1, FCNnMmSSDy2, FCNnMmSSDy3, FCNnMmSSDy4, FCNnMmSSDy5, FCNnMmSSDy6, FCNnMmSSDy7

(c) FCNnMmDATzW (z = 0, 4)

31	30	29	28	27	26	25	24
FCNnMmSSD(z+3)0, FCNnMmSSD(z+3)1, FCNnMmSSD(z+3)2, FCNnMmSSD(z+3)3, FCNnMmSSD(z+3)4, FCNnMmSSD(z+3)5, FCNnMmSSD(z+3)6, FCNnMmSSD(z+3)7							
23	22	21	20	19	18	17	16
FCNnMmSSD(z+2)0, FCNnMmSSD(z+2)1, FCNnMmSSD(z+2)2, FCNnMmSSD(z+2)3, FCNnMmSSD(z+2)4, FCNnMmSSD(z+2)5, FCNnMmSSD(z+2)6, FCNnMmSSD(z+2)7							
15	14	13	12	11	10	9	8
FCNnMmSSD(z+1)0, FCNnMmSSD(z+1)1, FCNnMmSSD(z+1)2, FCNnMmSSD(z+1)3, FCNnMmSSD(z+1)4, FCNnMmSSD(z+1)5, FCNnMmSSD(z+1)6, FCNnMmSSD(z+1)7							
7	6	5	4	3	2	1	0
FCNnMmSSDz0, FCNnMmSSDz1, FCNnMmSSDz2, FCNnMmSSDz3, FCNnMmSSDz4, FCNnMmSSDz5, FCNnMmSSDz6, FCNnMmSSDz7							

備考 レジスタ別に独立したアドレスを持っていますが、ひとつのレジスタに書き込みを行うと、他のサイズが異なるレジスタに対しても値が反映されます。

(2) FCNnMmDTLGB - FCNn メッセージ・データ長レジスタ m

本レジスタはメッセージ・バッファのデータ・フィールドのバイト数 (DLC) の設定に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 1020_H + m × 40_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnMmDTLG[3:0]			

FCNnMmDTLG[3:0]	送受信メッセージのデータ長
0000 _B	0バイト
0001 _B	1バイト
0010 _B	2バイト
0011 _B	3バイト
0100 _B	4バイト
0101 _B	5バイト
0110 _B	6バイト
0111 _B	7バイト
1000 _B	8バイト
1001 _B	設定禁止 (送信時に設定した場合、データ・フレームが送信される ときに、FCNnMmDTLG [3:0] の設定値に関係なく、8バ イト・データが送信されます。しかし、実際に CAN バス に送信される DLC は、このレジスタに対して設定された 値です)。備考
1010 _B	
1011 _B	
1100 _B	
1101 _B	
1110 _B	
1111 _B	

備考 データと DLC 値は、実際は以下のように CAN バスに送信されます。

送信フレームのタイプ	送信データ長	送信される DLC
データ・フレーム	FCNnMmDTLG [3 : 0] によって指定されたバイト数 (ただし、設定値が 8 以上のときは 8 バイト)	FCNnMmDTLGB.FC NnMmDTLG[3:0] ビットの設定値
リモート・フレーム	0 バイト	

- 注意**
1. ビット 7 ~ 4 を必ず 0000_B に設定してください。
 2. 受信データは、受信フレームの DLC に対応するバイト数と同じ数 (ただし、上限は 8 個) の FCNnMmDATxB レジスタに保存されます。データが保存されない FCNnMmDATxB レジスタは不定になります。
 3. 受信時、FCNnMmDTLGB は受信フレームに従って更新されます。

(3) FCNnMmSTRB - FCNn メッセージ・コンフィギュレーション・レジスタ m

本レジスタはメッセージ・バッファのタイプの指定およびマスクの設定に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 1024_H + m × 40_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnMmSSOW	FCNnMmSSMT[3:0]			FCNnMmSSRT	0	FCNnMmSSAM	

FCNnMmSSOW	オーバライト制御ビット
0	すでにデータ・フレームを受信しているメッセージ・バッファ ^a を新たに受信されたデータ・フレームによって上書きしません。新たに受信されたデータ・フレームは破棄されます。
1	すでにデータ・フレームを受信しているメッセージ・バッファ ^a を新たに受信されたデータ・フレームによって上書きします。

a) 「すでにデータ・フレームを受信しているメッセージ・バッファ」とは、FCNnMmCTL.FCNnMmDTNF ビットが1にセットされている受信メッセージ・バッファです。

備考 リモート・フレームの送信用メッセージ・バッファへの受信格納に際しては、FCNnMmCTL.FCNnMmSSOW および FCNnMmCTL.FCNnMmDTNF の設定には依存せず、その他の条件が合致 (ID が一致、FCNnMmSTRB.FCNnMmSSRT = 0, FCNnMmCTL.FCNnMmTRQF = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成, FCNnMmDTNF フラグのセット, FCNnMmDTLGB.FCNnMmDTLG[3:0] ビットの更新, および受信履歴・リストへの記録) されます。

FCNnMmSSRT	リモート・フレーム要求ビット
0	データ・フレームを送信または受信します。
1	リモート・フレームを送信または受信します。

FCNnMmSTRB.FCNnMmSSRT は、メッセージ・バッファで送信または受信するメッセージ・フレームのタイプを指定します。

備考

1. メッセージ・バッファが送信メッセージ・バッファとして定義されており、そのバッファでリモート・フレームを受信する場合は、FCNnMmSSRT ビットをクリアする必要があります。
2. 送信メッセージ・バッファが有効なリモート・フレームを受信した場合でも、フレームを受信した送信メッセージ・バッファの FCNnMmSSRT ビットは0にクリアされた状態にとどまります。
3. ID が一致するリモート・フレームを CAN バスから受信した場合でも、送信メッセージ・バッファの FCNnMmSSRT ビットが1にセットされていれば (リモート・フレームを送信するように設定されていれば)、そのリモート・フレームは、その送信メッセージ・バッファには保存されません。

4. メッセージ・バッファが受信メッセージ・バッファとして定義されている場合、そのメッセージ・バッファでデータ・フレームの代わりにリモート・フレームを受信するには、FCNnMmSSRT ビットをセットする必要があります。

FCNnMmSSMT[3:0]	メッセージ・バッファ・タイプ設定ビット
0000 _B	送信メッセージ・バッファ
0001 _B	受信メッセージ・バッファ (マスク設定なし)
0010 _B	受信メッセージ・バッファ (マスク 1 設定)
0011 _B	受信メッセージ・バッファ (マスク 2 設定)
0100 _B	受信メッセージ・バッファ (マスク 3 設定)
0101 _B	受信メッセージ・バッファ (マスク 4 設定)
0110 _B	受信メッセージ・バッファ (マスク 5 設定)
0111 _B	受信メッセージ・バッファ (マスク 6 設定)
1000 _B	受信メッセージ・バッファ (マスク 7 設定)
1001 _B	受信メッセージ・バッファ (マスク 8 設定)
上記以外の値	設定禁止

備考 FCNnMmSSMT を設定することで、リモート・フレームの受信と併せてマスクを選択することもできます。受信メッセージ・バッファでリモート・フレームを受信するには、メッセージ・バッファの FCNnMmSSRT フラグをセットする必要があります。

FCNnMmSSAM	メッセージ・バッファ割り当てビット
0	メッセージ・バッファを使用しません。
1	メッセージ・バッファを使用します。

注意 ビット 1 に必ず 0 を書き込んでください。

(4) FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W - FCNn メッセージ ID レジスタ m

これらのレジスタは識別子 (ID) の設定に使用されます。

アクセス FCNnMmMID0H と FCNnMmMID1H は 16 ビット単位でリード/ライト可能です。

FCNnMmMID0W は 32 ビット単位でリード/ライト可能です。

アドレス FCNnMmMID0H: <FCNn_base> + 0 9028_H + m × 40_H

FCNnMmMID1H: <FCNn_base> + 0 9030_H + m × 40_H

FCNnMmMID0W: <FCNn_base> + 1 1028_H + m × 40_H

初期値 0x0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmMID0H

15	14	13	12	11	10	9	8
FCNnMmSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnMmSSID[7:0]							

(b) FCNnMmMID1H

15	14	13	12	11	10	9	8	
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]					
7	6	5	4	3	2	1	0	
FCNnMmSSID[23:16]								

(c) FCNnMmMID0W

31	30	29	28	27	26	25	24	
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]					
23	22	21	20	19	18	17	16	
FCNnMmSSID[23:16]								
15	14	13	12	11	10	9	8	
FCNnMmSSID[15:8]								
7	6	5	4	3	2	1	0	
FCNnMmSSID[7:0]								

FCNnMmSSIE	フォーマット・モード指定ビット
0	標準フォーマット・モード (FCNnMmSSID[28:18] : 11 ビット。FCNnMmSSID[17:0] は使用しません)
1	拡張フォーマット・モード (FCNnMmSSID[28:0] : 29 ビット)

FCNnMmSSID[28:0]	メッセージ ID
FCNnMmSSID[28:18]	11 ビットの標準 ID 値 (FCNnMmSSIE = 0 の場合)
FCNnMmSSID[28:0]	29 ビットの拡張 ID 値 (FCNnMmSSIE = 1 の場合)

- 注意**
1. FCNnMmMID1H のビット 14 とビット 13 および FCNnMmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。
 2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合、FCNnMmSSID[28:18] ビット位置に ID 値を合わせるには、ID 値をシフトする必要がある点に注意してください。

備考 レジスタ別に独立したアドレスを持っていますが、ひとつのレジスタに書き込みを行うと、他のサイズが異なるレジスタに対しても値が反映されます。

(5) FCNnMmCTL - FCNn メッセージ制御レジスタ m

本レジスタはメッセージ・バッファの動作の制御に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 9038_H + m × 40_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	FCNnMmMUCF	0	0	0	FCNnMmTCPF	0
7	6	5	4	3	2	1	0
0	FCNnMmNHMF	0	FCNnMmMOWF	FCNnMmIENF	FCNnMmDTNF	FCNnMmTRQF	FCNnMmRDYF

FCNnMmMUCF	メッセージ・バッファへのデータ更新中ビット
0	FCN モジュールがメッセージ・バッファを更新していない (受信と保存を行っていない) ことを示します。
1	FCN モジュールがメッセージ・バッファを更新している (受信と保存を行っている) ことを示します。

FCNnMmTCPF ^a	送信完了フラグ
0	送信が失敗したことを示します。 ^b
1	送信が完了したことを示します。

a) FCNnMmRDYF が変更されるか、FCNnMmTRQF がセットされると、FCNnMmTCPF はクリアされます。

b) アプリケーションが FCNnMmTRQF フラグをクリアすることで送信中断を要求した場合、0 は送信の中断が成功したことを示します。

FCNnMmNHMF	履歴マスク・フラグ
0	受信／送信履歴・リスト・レジスタ FCNnCMRGRX/ FCNnCMTGTX の更新をマスクしません。
1	受信／送信履歴・リスト・レジスタ FCNnCMRGRX/ FCNnCMTGTX の更新をマスクします。

備考 更新がマスクされると、対象となるメッセージ・バッファ上の受信動作または送信動作が完了しても送受信履歴・リストは更新されません。

FCNnMmMOWF	メッセージ・バッファ・オーバライト・ステータス・ビット
0	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていないことを示します。
1	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていることを示します。

備考 FCNnMmDTNF = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、本ビットはセット (1) されません。

FCNnMmIENF	メッセージ・バッファ割り込み要求許可ビット
0	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを禁止します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを禁止します。
1	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを許可します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを許可します。

注意 FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。

FCNnMmDTNF	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていないことを示します。
1	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていることを示します。

注意 FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。

FCNnMmTRQF	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

- 注意**
1. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
 2. 送信メッセージ・バッファ以外 (FCNnMmSSMT [3:0] ≠ 4'b0000 もしくは FCNnMmSSAM = 0 のバッファ) に対し、FCNnMmTRQF を 1 にセットしないでください。

FCNnMmRDYF	メッセージ・バッファ準備ビット
0	ソフトウェアによるメッセージ・バッファへの書き込みが可能です。FCN モジュールがメッセージ・バッファへ書き込みむことはできません。
1	ソフトウェアによるメッセージ・バッファへの書き込みが無視されます (FCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNF, FCNnMmMOWF への書き込みアクセスを除く)。FCN モジュールはメッセージ・バッファへ書き込むことができます。

- 注意**
1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
 2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
 3. メッセージの送信中に FCNnMmRDYF を 0 にクリアしないでください。メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには、送信中断処理を実行してください。
 4. CAN コントローラの動作状況によっては、FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで、クリア・アクセスを繰り返してください。
 5. FCNnMmRDYF のステータスをチェックすることによって、FCNnMmRDYF がクリアされていることを確認するまで、ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。

(b) FCNnMmCTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnMm SENH	0	0	FCNnMm SEIE	0	FCNnMm SETR	FCNnMm SERY
7	6	5	4	3	2	1	0
0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY

FCNnMmSENH	FCNnMmCLNH	FCNnMmNHMF ビットの設定
0	1	FCNnMmNHMF を 0 にクリアします。
1	0	FCNnMmNHMF を 1 にセットします。
上記以外の値		FCNnMmNHMF を変更しません。

FCNnMmCLMW	FCNnMmMOWF ビットの設定
0	FCNnMmMOWF を変更しません。
1	FCNnMmMOWF を 0 にクリアします。

FCNnMmSEIE	FCNnMmCLIE	FCNnMmIENF ビットの設定
0	1	FCNnMmIENF を 0 にクリアします。
1	0	FCNnMmIENF を 1 にセットします。
上記以外の値		FCNnMmIENF を変更しません。

FCNnMmCLDN	FCNnMmDTNF ビットの設定
0	FCNnMmDTNF を変更しません。
1	FCNnMmDTNF を 0 にクリアします。

備考 ID フィールドの受信が完了した時点で FCNnMmDTNF がクリアされていた場合、そのメッセージ・バッファは受信中のフレームを保存する対象となります。

FCNnMmSETR	FCNnMmCLTR	FCNnMmTRQF ビットの設定
0	1	FCNnMmTRQF を 0 にクリアします。
1	0	FCNnMmTRQF を 1 にセットします。
上記以外の値		FCNnMmTRQF を変更しません。

FCNnMmSERY	FCNnMmCLRY	FCNnMmRDYF ビットの設定
0	1	FCNnMmRDYF を 0 にクリアします。
1	0	FCNnMmRDYF を 1 にセットします。
上記以外の値		FCNnMmRDYF を変更しません。

17.7 CANコントローラの初期化

17.7.1 FCNモジュールの初期化

FCNモジュールを動作可能状態にするには、ソフトウェアでFCNnGMCSPRE.FCNnGMCSPRSC[3:0]をセットすることによってFCNモジュールのシステム・クロックを決定する必要があります。FCNモジュールの動作が許可されたあとでFCNモジュールのシステム・クロックの設定を変更しないでください。

FCNモジュールの動作はFCNnGMCLCTL.FCNnGMCLPWOMをセットすることによって許可されます。

FCNモジュールを初期化する手順については、17.15「CANコントローラの動作」を参照してください。

17.7.2 メッセージ・バッファの初期化

FCNモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります（ただし、ソフトウェア・リセット実行後を除く）。FCNモジュールを初期化モードからいずれかの動作モードへ切り換える前に、アプリケーションで使用されないものも含めて、すべてのメッセージ・バッファの最小限の初期化を行う必要があります。

- FCNnMmCTLレジスタのFCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNFを0にクリアします。
- すべてのFCNnMmSTRB.FCNnMmSSAMを0にクリアします。

17.7.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージを受信中または送信中に、ほかの送信、受信の動作に影響を与えることなく、メッセージ・バッファのIDと制御情報を変更することです。

(1) 初期化モード中のメッセージ・バッファの再定義

FCNモジュールを初期化モードに設定したあと、初期化モード中にメッセージ・バッファのIDと制御情報を変更します。IDと制御情報を変更したあと、FCNモジュールを動作モードに設定します。

(2) 受信中のメッセージ・バッファの再定義

図17-18「受信中のメッセージ・バッファの再定義」に従って再定義を実行します。

(3) 送信中のメッセージ・バッファの再定義

送信要求が設定されている送信メッセージ・バッファの内容を書き換えるには、送信中断処理を実行します（17.9.4(1)「自動ブロック送信（ABT）以外の送信中断処理」および17.9.4(2)「自動ブロック送信（ABT）の送信中断処理」を参照してください）。送信が中断されたか、完了したことを確認したあと、メッセージ・バッファを再定義します。送信メッセージ・バッファを再定義したあと、以下の手順に従って送信要求を設定します。

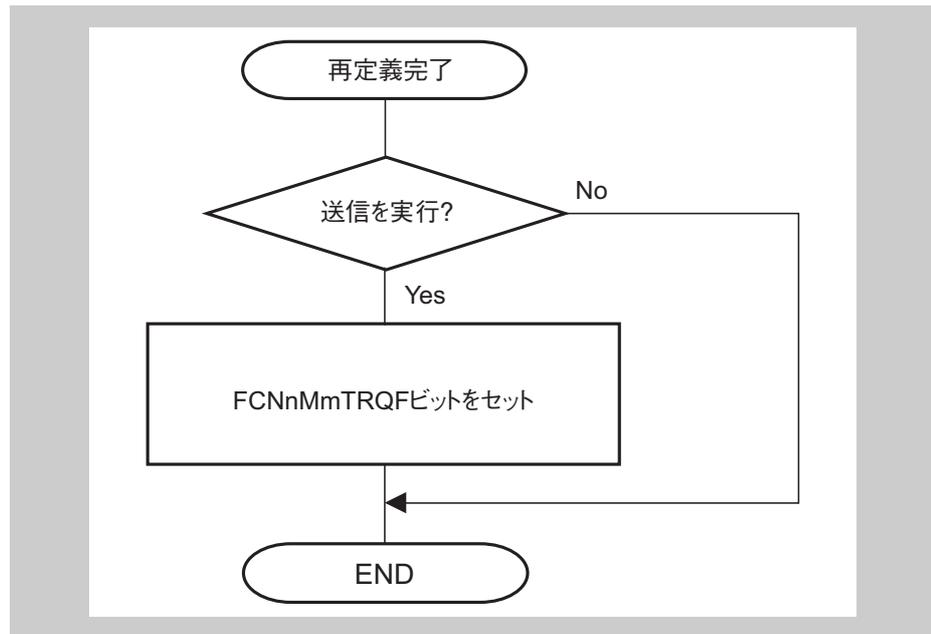


図 17-5 再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)

- 注意**
1. メッセージを受信すると、個々の受信メッセージ・バッファに対して設定されている ID とマスクに従って受信フィルタリングが行われます。図 17-18「受信中のメッセージ・バッファの再定義」の手順を守らないと、メッセージ・バッファを再定義したあとのメッセージ・バッファの内容が受信の結果（受信フィルタリングの結果）と矛盾することがあります。その場合は、再定義後、はじめて受信され、メッセージ・バッファに保存された ID と IDE が、メッセージ・バッファが再定義されたあとで保存されたものであるかどうかを確認してください。再定義後、ID と IDE が保存されていない場合は、メッセージ・バッファを再び再定義してください。
 2. メッセージが送信されると、送信要求が設定された個々の送信メッセージ・バッファで設定されている ID、IDE および FCNnMmSTRB.FCNnMmSSRT に従って送信優先度をチェックします。優先度の最も高い送信メッセージ・バッファが選択され、送信に使用されます。図 17-5「再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)」の手順を守らないと、優先度の最も高い ID を持つメッセージが再定義後に送信されないことがあります。

17.7.4 初期化モードから動作モードへの移行

FCN モジュールは以下の動作モードに切り換えることができます。

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

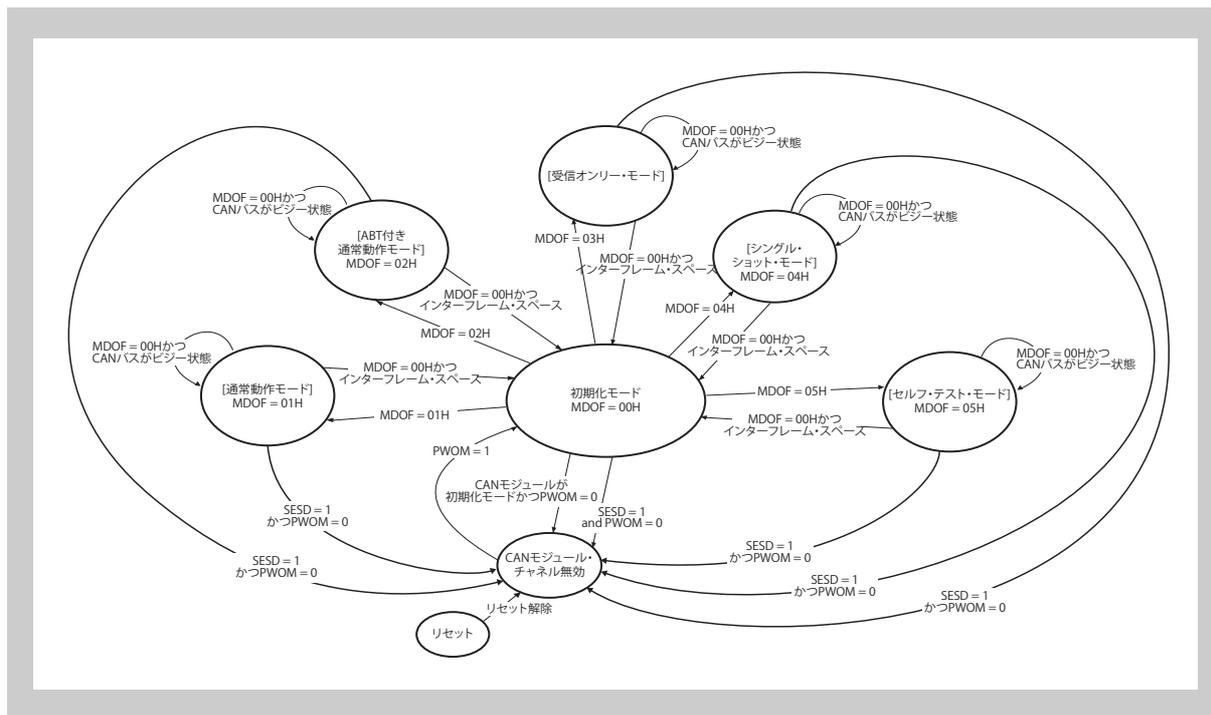


図 17-6 動作モードへの移行

備考 上の図では以下の略号を使用しています。

- MDOF = FCNnCMCLCTL.FCNnCMCLMDOF[2:0]
- PWOM = FCNnGMCLCTL.FCNnGMCLPWOM
- SESD = FCNnGMCLCTL.FCNnGMCLSESD

初期化モードから動作モードへの移行は FCNnCMCLCTL.FCNnCMCLMDOF[2:0] によって制御されます。

1つの動作モードから別の動作モードへ移行するには、いったん初期化モードに切り換える必要があります。1つの動作モードから別の動作モードへ直接切り換えしないでください。動作モードを直接切り換えたときの動作は保証されません。

CANバスがインターフレーム・スペースにない場合（つまり、フレームを受信中または送信中）は、動作モードから初期化モードへの移行要求が保留され、FCNモジュールはインターフレーム・スペースの第1ビットで初期化モードに入ります（FCNnCMCLCTL.FCNnCMCLMDOF[2:0]の値が000_Bに変更されます）。初期化モードへの移行要求を発行したら、モジュールが初期化モードに入ったことを確認するために、読み出し値が000_BになるまでFCNnCMCLCTL.FCNnCMCLMDOF[2:0]を読み出してください（図17-15「再初期化」を参照してください）。

17.8 メッセージ受信

17.8.1 メッセージの受信

すべての動作モードで、新たに受信したメッセージの保存に適したバッファを見つけるために、メッセージ・バッファの全領域が解析されます。その評価 (RX 検索プロセス) の対象には、以下の条件を満たすすべてのメッセージ・バッファが含まれます。

- メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 受信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B to 1001_B)
- 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)

FCN モジュールの複数のメッセージ・バッファをメッセージの受信に使用できる場合は、以下で説明する優先度に従ってメッセージが保存されます。メッセージは常に優先度が最も高いメッセージ・バッファに保存され、優先度の低いメッセージ・バッファにメッセージが保存されることはありません。たとえば、同じ ID を持つマスクされていない受信メッセージ・バッファとマスク 1 にリンクされている受信メッセージ・バッファがある場合は、マスク 1 にリンクされているメッセージ・バッファがメッセージを受信したことがなく、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していても、受信メッセージはマスク 1 にリンクされているメッセージ・バッファには保存されません。つまり、異なる特性を持つ複数のメッセージ・バッファに同じ条件が設定されている場合は、優先度の最も高いメッセージ・バッファが常にメッセージを保存します。優先度の低いメッセージ・バッファにメッセージが保存されることはありません。この規則は、優先度の最も高いメッセージ・バッファがメッセージを保存できない場合 (つまり、FCNnMmCTL.FCNnMmDTNF = 1 になっていて、メッセージがすでに受信されていることを示しているのに、FCNnMmSTRB.FCNnMmSSOW = 0 であるため、書き換えが禁止されている場合) にも適用されます。その場合、メッセージは、実際に優先度の最も高いメッセージ・バッファ候補に保存されませんが、優先度の低いメッセージ・バッファにも保存されません。

表 17-18 MBRB の優先度

優先度	同じ ID が設定されている場合の保存条件	
1 (高い)	マスクされていないメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
2	マスク 1 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
3	マスク 2 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
...
9 (低い)	マスク 8 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1

17.8.2 受信データの読み出し

FCN メッセージ・バッファを読み出すときのデータの整合性を保つために、図 17-32「割り込みを利用した受信 (FCNnCMLISTR レジスタを利用)」から図 17-35「ソフトウェア・ポーリングを利用した受信」の手順に従ってデータの読み出しを行ってください。

メッセージの受信中、FCN モジュールは、メッセージ・バッファへのデータの保存プロセスの開始時と保存プロセスの終了時の 2 回にわたって FCNnMmCTL.FCNnMmDTNF をセットします。保存プロセスの実行中は、メッセージ・バッファの FCNnMmCTL.FCNnMmMUCF がセットされます (図 17-7「受信タイミング」を参照してください)。

保存プロセスの開始直前に受信履歴・リストも更新されます。さらに、保存プロセスの実行中 (FCNnMmCTL.FCNnMmMUCF = 1 である間)、CPU によるデータ書き込みが行われないように、メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がロックされます。CPU がメッセージ・バッファにアクセスすると、保存プロセスが妨害される (遅延する) 可能性がある点に注意してください。

注意 メッセージを確実にメッセージ・バッファに格納したい場合、バッファの FCNnMmCTL.FCNnMmDTNF ビットをメッセージ・サーチ処理が開始される前 (フレームの ID がバス上に出力される前) にクリアする必要があります。これは最短で前のフレームの EOF の後の 15CAN ビット目となります。CAN フレームがバス上に連続して現れ、確実に受信したい場合、フレーム受信用のメッセージ・バッファを 1 個より多く使用することを推奨します。

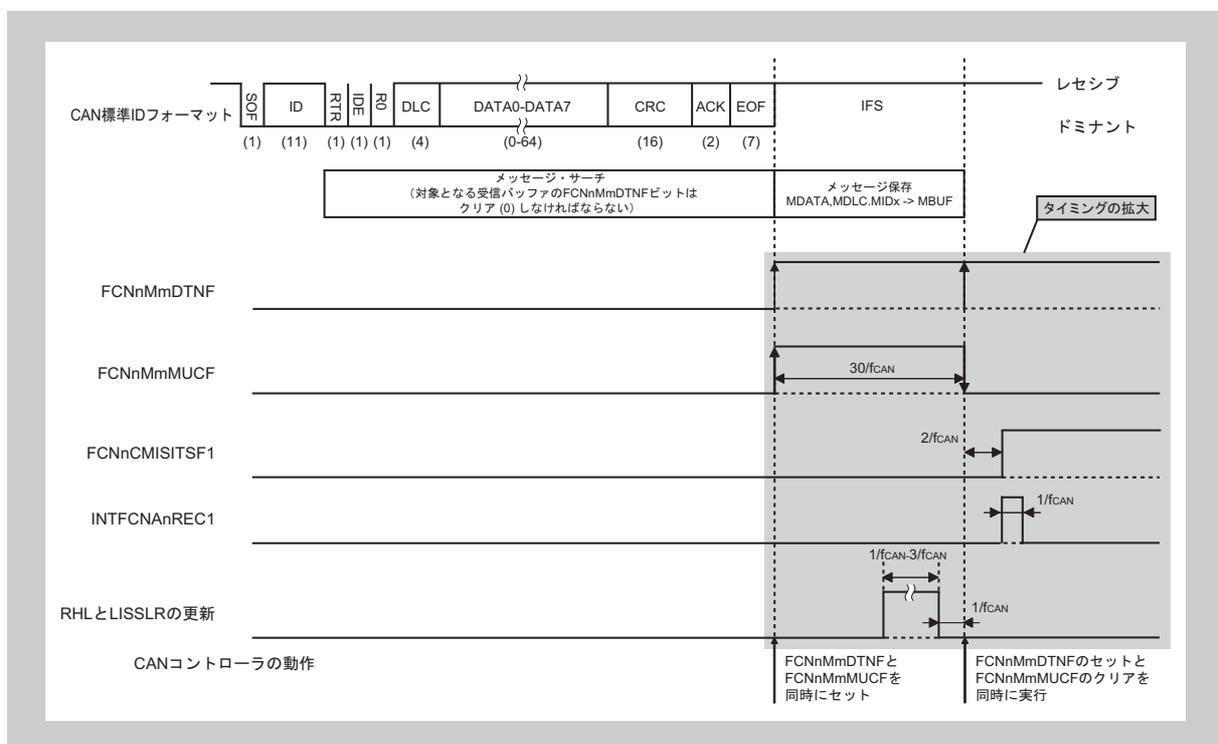


図 17-7 受信タイミング

17.8.3 受信履歴・リスト機能

受信履歴・リスト (RHL) 機能では、個々のデータ・フレームまたはリモート・フレームが受信され、保存された受信メッセージ・バッファの番号を受信履歴・リストに記録する機能です。RHL は、最大 23 個のメッセージに相当する保存要素、最終受信メッセージ・ポインタ FCNnCMLISLR[7:0] とそれに対応する FCNnCMLISTR レジスタおよび受信履歴・リスト取得ポインタ FCNnCMRGSSPT とそれに対応する FCNnCMRGRX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の RHL は不定です。

FCNnCMLISTR レジスタには、FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタから 1 を引いた値が示す RHL 要素の内容が格納されています。したがって、FCNnCMLISTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号をチェックすることができます。FCNnCMLISLR[7:0] ポインタは、RHL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが受信され、保存されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLISLR[7:0] ポインタの示す RHL 要素に記録されます。RHL への記録が完了するたびに、FCNnCMLISLR[7:0] ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは受信履歴・リストに記録されません。

FCNnCMRGRX.FCNnCMRGSSPT は、記録されているメッセージ・バッファ番号を RHL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない RHL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMRGRX レジスタを読み出すことによって、データ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号を読み出すことができます。FCNnCMRGRX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMRGSSPT ポインタが自動的にインクリメントされます。

FCNnCMRGRX.FCNnCMRGSSPT ポインタの値が FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタの値と一致すると、FCNnCMRGRX.FCNnCMRGSSPM (受信履歴・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLISLR[7:0] ポインタがインクリメントされ、その値が FCNnCMRGSSPT ポインタの値と一致しなくなるため、FCNnCMRGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に存在することを意味しています。

FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタがインクリメントされた結果、FCNnCMRGRX.FCNnCMRGSSPT ポインタから 1 を引いた値と一致すると、FCNnCMRGRX.FCNnCMRGRVFF (受信履歴・リスト・オーバフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって RHL が満杯になったことを示します。それ以降、メッセージの受信と保存が行われると、新たに受信されたメッセージを受信し、保存したメッセージ・バッファの番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMRGRVFF が (1 に) セットされたあとは、RHL に記録されたメッセージ・バッファ番号が時系列

順を完全に反映しなくなります。ただし、FCNnMmCTL.FCNnMmDTNF を利用した CPU によるメッセージ・バッファ・メモリ内の検索またはグローバル・レジスタ FCNnDNBMRX0 の読み出しを実行できるため、メッセージ自体が失われることはなく、メッセージを見つけることは可能です。

注意 受信履歴・リストがオーバフロー状態になっても (FCNnCMRGRX.FCNnCMRGRVFF がセットされても)、受信履歴・リストが空になるまで (FCNnCMRGRX.FCNnCMRGSSPM フラグがセットされるまで)、受信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMRGRVFF がソフトウェアによってクリアされるまで、受信履歴・リストはオーバフロー状態にとどまります。FCNnCMRGRVFF がクリアされないと、新たに受信されたフレームのメッセージが保存されても、FCNnCMRGSSPM フラグは更新 (クリア) されません。その場合は、受信履歴・リストがオーバフロー状態で受信が行われたときにもかかわらず、受信履歴・リストが空であることを FCNnCMRGSSPM が示す (FCNnCMRGRVFF と FCNnCMRGSSPM がセットされる) 可能性があります。

RHL に空のエントリがある限り、受信の順番は保たれます。ホスト・プロセッサが RHL を読み出さないうちに、さらに受信が行われると、受信の順番を完全に元に戻すことができなくなります。

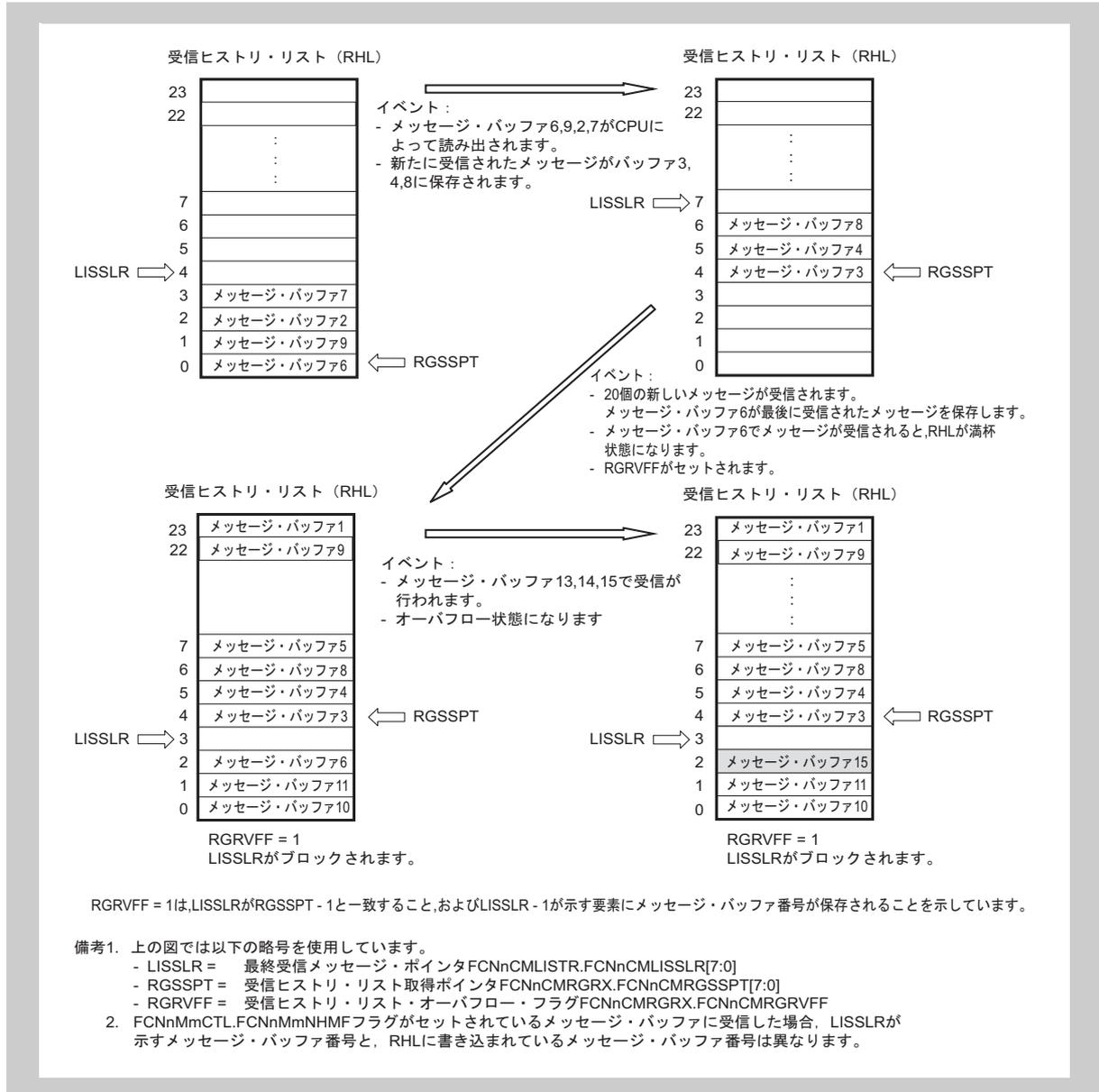


図 17-8 受信履歴・リスト

17.8.4 マスク機能

受信に使用される任意のメッセージ・バッファを8つのグローバル受信マスクの1つ（またはマスクなし）に割り当てることができます。

マスク機能を使用すると、マスクされるビットによってメッセージIDの比較対象となるビットが減るため、複数の異なるIDを1つのバッファで受信することができます。

マスク機能が有効になっていると、マスクによって1と定義されている受信メッセージ内の識別子ビットと、それに対応するメッセージ・バッファ内の識別子ビットとの比較が行われません。

しかし、マスクによって値が0と定義されているビットについては、比較が行われます。

たとえば、ID27～25のビットが0で、ID24とID22のビットが1の標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に保存する例を考えてみましょう。その場合は、以下のように設定します。

(1) メッセージ・バッファに保存される識別子

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

(2) メッセージ・バッファ14で設定する識別子（例） (FCNnM014MID0Wレジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

- 備考
1. ID27～25のビットが0にクリアされており、ID24とID22のビットが1にセットされているIDがメッセージ・バッファ14に登録（初期化）されます。
 2. メッセージ・バッファ14は、マスク1にリンクされた標準フォーマット識別子として設定されます（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0010_B）。

(3) FCN モジュールのマスク設定 (マスク 1) (例)
 (FCNn モジュール・マスク 1 レジスタ FCNnCMMKCTL01 を使用)

FCNnCMMKSSID[..]										
ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
1	0	0	0	0	1	0	1	1	1	1
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
1	1	1	1	1	1	1	1	1	1	1
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
1	1	1	1	1	1	1				

1: 比較されない (マスクされる)

0: 比較される

FCNnCMMKSSID[27:24] と FCNnCMMKSSID[22] は 0 にクリアし,
 FCNnCMMKSSID[28], FCNnCMMKSSID[23], FCNnCMMKSSID[21:0] を 1
 にセットします。

17.8.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能の目的は、同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することで、CPU の介入なしに、データのブロックを複数のメッセージ・バッファに順番に保存することです。保存に使用されるメッセージ・バッファは、メッセージ・バッファ・メモリ内の任意の場所に割り当てることができ、互いに隣接している必要もありません。

たとえば、メッセージ・バッファ 10 ~ 19 からなる 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されており、それらのメッセージ・バッファで同じ ID が設定されているとします。メッセージ・バッファの ID と一致する ID を持つ最初のメッセージを受信すると、そのメッセージはメッセージ・バッファ 10 に保存されます。この時点で、メッセージ・バッファ 10 の FCNnMmCTL.FCNnMmDTNF がセットされるため、それ以降の受信メッセージでこのメッセージ・バッファを上書きすることは禁止されます。

ID の一致する次のメッセージを受信すると、そのメッセージはメッセージ・バッファ 11 で受信され、保存されます。ID の一致するメッセージを受信するたびに、メッセージはメッセージ・バッファ 12, 13... の順 (昇順) に保存されます。複数のメッセージから構成されるデータ・ブロックを受信した場合でも、以前に受信した ID の一致するデータを上書きすることなく、メッセージを保存し、受信することができます。

各メッセージ・バッファの FCNnMmCTL.FCNnMmIENF をセットすることによって、データ・ブロックが受信され、保存されたかどうかを確認することができます。たとえば、データ・ブロックが k 個のメッセージから構成される場合は、k 個のメッセージ・バッファをそのデータ・ブロックの受信用として初期化します。メッセージ・バッファ 0 ~ (k-2) の FCNnMmIENF を 0 にクリアし (割り込み禁止)、メッセージ・バッファ k-1 の FCNnMmIENF を 1 にセットします (割り込み許可)。その場合は、メッセージ・バッファ k-1 でメッセージが受信され、保存されると、受信完了割り込みが発生するので、MBRB が満杯になったことがわかります。あるいは、メッセージ・バッファ 0 ~ (k-3) の FCNnMmIENF を 0 にクリアし、メッセージ・バッファ k-2 の FCNnMmIENF をセットすることで、MBRB がオーバフロー直前であるという警告を発することもできます。

MBRB で利用する個々のメッセージ・バッファに受信データを保存するための基本条件は、1 つのメッセージ・バッファにデータを保存するときの条件と同じです。

- 注意**
1. MBRB はメッセージ・バッファ・タイプごとに設定することができます。したがって、ID は一致するものの、メッセージ・バッファ・タイプが異なる別の MBRB のメッセージ・バッファが空いていても、受信メッセージはそのメッセージ・バッファには保存されず、破棄されます。
 2. MBRB はリング・バッファ構造を持っていません。したがって、MBRB 用として設定されているメッセージ・バッファのうち、番号が最大のメッセージ・バッファにメッセージが保存されたあとは、新たにメッセージを受信しても、そのメッセージはメッセージ・バッファ番号が最小のメッセージ・バッファには保存されません。
 3. MBRB は受信と保存の条件に基づいて動作します。機能許可ビットなど、MBRB 専用の設定はありません。複数のメッセージ・バッファで同じメッセージ・バッファ・タイプと ID を設定することで、MBRB は自動的に設定されます。

4. MBRB でいう「一致する ID」とは、「マスクを適用したあと、一致する ID」です。メッセージ・バッファで設定されている ID が同じでなくても、マスク・レジスタによってマスクされた ID が一致すれば、ID が一致すると見なされ、その ID を持つバッファはメッセージの保存先として扱われます。
 5. MBRB 間の優先度については、表 17-18 「MBRB の優先度」を参照してください。
-

17.8.6 リモート・フレームの受信

すべての動作モードで、リモート・フレームを受信すると、以下の条件（条件1と2。条件1のほうが受信条件として優先される）を満たすすべてのメッセージ・バッファの中からリモート・フレームを保存するメッセージ・バッファを見つけるための検索が行われます。条件1が満たされない場合は、条件2を満たすものがあるかどうかを確認するために残りのメッセージ・バッファを検索します。

- 条件1：
 - 送信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)
 - メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
 - 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)
 - データ・フレーム・メッセージ・タイプ用に設定されている
(FCNnMmSTRB.FCNnMmSSRT = 0)
 - 送信要求が設定されていない
(FCNnMmCTL.FCNnMmTRQF = 0)
- 条件2：
 - 受信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ... 1001_B)
 - メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
 - 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)
 - リモート・フレーム・メッセージ・タイプ用に設定されている
(FCNnMmSTRB.FCNnMmSSRT = 1)
 - バッファがメッセージを保存できる状態にある
(FCNnMmCTL.FCNnMmDTNF = 0, または
FCNnMmSTRB.FCNnMmSSOW = 1 かつ FCNnMmCTL.FCNnMmDTNF = 1)

リモート・フレームを受信し、受信したリモート・フレームのIDが上記の条件を満たすメッセージ・バッファのIDと一致すると、以下の処理が行われます。

- FCNnMmDTLGBレジスタのFCNnMmDTLG[3:0]ビット文字列が受信したDLC値を保存します。
- 送信メッセージ・バッファへの受信の場合、データ領域のFCNnMmDAT0B～FCNnMmDAT7Bレジスタは更新しません（受信前のデータを保存します）。
- FCNnMmCTL.FCNnMmDTNFを1にセットします。
- FCNnCMISCTL.FCNnCMISITSF1を1にセットします（フレームを受信し、保存するメッセージ・バッファのFCNnMmCTL.FCNnMmiENFが1にセットされている場合）。
- 受信完了割り込み（INTCnREC）を出力します（フレームを受信し、保存するメッセージ・バッファのFCNnMmCTL.FCNnMmiENFが1にセットされており、かつ、FCNnCMIECTL.FCNnCMIESEIE1が1にセットされている場合）。

- FCNnMmCTL.FCNnMmNHMF フラグがセットされていなければ、メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

注意 リモート・フレームの受信、保存用のメッセージ・バッファとして送信メッセージ・バッファが見つかった場合、メッセージ・バッファの FCNnMmSTRB.FCNnMmSSOW による上書き制御および FCNnMmCTL.FCNnMmDTNF はチェックされません。FCNnMmSSOW の設定は無視され、FCNnMmDTNF はいずれの場合もセットされます。

- 備考**
1. 複数の送信メッセージ・バッファが同じ ID を持っていて、受信したリモート・フレームの ID がその ID と一致する場合、リモート・フレームはメッセージ・バッファ番号の最も小さい送信メッセージ・バッファに保存されます。
 2. リモート・フレームの ID と ID が一致し、リモート・フレームを受信可能な送信メッセージ・バッファと受信メッセージ・バッファが見つかった場合は、メッセージ・バッファがマスクされている場合も、マスクされていない場合も、リモート・フレームは送信メッセージ・バッファに保存されます。
 3. リモート・フレームの受信条件を満たす複数の受信メッセージ・バッファがあるときの受信優先度は、データ・フレームの受信優先度と同じです。
 4. リモート・フレームの受信に適した受信メッセージ・バッファが見つかり、保存用として選択されたにもかかわらず、FCNnMmDTNF がセットされていて、FCNnMmSSOW がセットされていないため、その受信メッセージ・バッファにフレームを保存できない場合、そのリモート・フレームはどこにも保存されません。

17.9 メッセージ送信

17.9.1 メッセージの送信

FCNnMmCTL.FCNnMmTRQF ビットが1にセットされたメッセージ・バッファは、以下の条件を満たしていれば、優先度の最も高いメッセージを送信するメッセージ・バッファを検索するときの対象になります。この処理はすべての動作モードで有効です。

- メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 送信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)
- 送信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)

CAN システムはマルチ・マスタ通信システムです。この種のシステムでは、メッセージ識別子 (ID) に基づいてメッセージ送信の優先度が決まります。送信を待機しているメッセージが複数ある場合にソフトウェアによる送信処理を容易にするために、FCN モジュールではハードウェアを使用して優先度の最も高いメッセージの ID をチェックし、そのメッセージを自動的に識別します。そうすることで、ソフトウェアを利用した優先度制御を行う必要がなくなります。

送信優先度は識別子 (ID) によって制御されます。

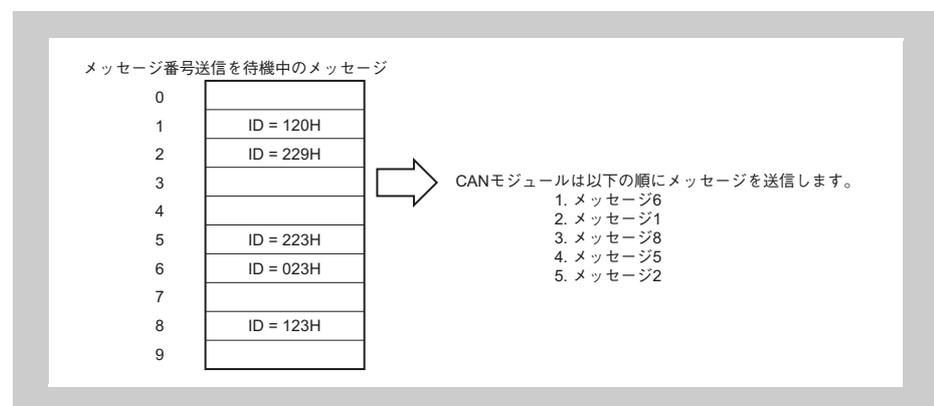


図 17-9 メッセージ処理の例

送信メッセージの検索が完了すると、送信要求を保留している（あらかじめFCNnMmCTL.FCNnMmTRQF ビットが1にセットされている）送信メッセージ・バッファのうち、優先度の最も高い送信メッセージ・バッファを使用して送信メッセージが送信されます。

新しい送信要求が設定されると、新しい送信要求が設定された送信メッセージ・バッファと送信要求を保留している送信メッセージ・バッファとの比較が行われます。優先度の低いメッセージの送信がすでに開始されていない限り、新しい送信要求のほうが優先度が高ければ、新しい送信要求が送信されます。しかし、優先度の低いメッセージの送信がすでに開始されていれば、新しい送信要求はあとで送信されます。このように優先度が逆転する問題を解決するために、ソフトウェアで優先度の低いメッセージの送信中断要求を実行することができます。優先度の順位は以下の規則によって決まります。

優先度	条件	説明
1 (高い)	ID の上位 11 ビットの値 (ID28 ~ 18)	ID の上位 11 ビットが表す値が最も小さいメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の上位 11 ビットの値以下である場合は、29 ビット拡張 ID を持つメッセージ・フレームより 11 ビット標準 ID のほうが優先度が高くなります。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム (FCNnMmSTRB.FCNnMmSSRT が 0 にクリアされている) のほうが標準 ID を持つリモート・フレームおよび拡張 ID を持つメッセージ・フレームより優先度が高くなります。
3	ID タイプ	標準 ID を持つメッセージ・フレーム (メッセージ・バッファ識別子レジスタ FCNnMmMID... のビット FCNnMmSSIE が 0 にクリアされている) のほうが拡張 ID を持つメッセージ・フレームより優先度が高くなります。
4	ID の下位 18 ビットの値 (ID17 ~ 0)	ID の上位 11 ビットが同じで、同じフレーム・タイプの (FCNnMmSTRB.FCNnMmSSRT ビット値が等しい) 送信保留中の拡張 ID メッセージ・フレームが複数ある場合は、拡張 ID の下位 18 ビットの値が最も小さいメッセージ・フレームが最初に送信されます。
5 (低い)	メッセージ・バッファ番号	複数のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信を要求した場合は、メッセージ・バッファ番号の最も小さいメッセージ・バッファのメッセージが最初に送信されます。

備考 1. ABT 付き通常動作モードで、自動ブロック送信要求ビット FCNnGMABCTL.FCNnGMABABTT が 1 にセットされている場合は、ABT メッセージ・バッファ・グループ内の 1 つのメッセージ・バッファでのみ FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。

FCNnGMABCTL.FCNnGMABSEAT = 1 によって ABT モードがトリガされた場合は、ABT 領域内 (バッファ 0 ~ 7) の 1 つの FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。この送信要求以降、アプリケーションは、ABT 領域に属さないほかの送信メッセージ・バッファに対して送信を要求する (FCNnMmTRQF を 1 にセットする) ことができます。その場合、インターバル調停プロセス (送信検索) は、FCNnMmTRQF が 1 にセットされているすべての送信メッセージ・バッファを評価し、優先度の最も高い識別子を持つメッセージ・バッファを次の送信用バッファとして選択します。優先度が最も高い識別子が複数ある (同じ識別子が複数ある) 場合は、番号の最も小さいメッセージ・バッファに格納されているメッセージが最初に送信されます。

メッセージ・フレームの送信が成功すると、以下の処理が実行されます。

- ・対応する送信メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF フラグが自動的に 0 にクリアされます。
- ・送信完了ステータス・ビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます (対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合)。
- ・割り込み要求信号 INTnTRX が出力されます (FCNnCMIECTL.FCNnCMIESEIE0 が 1 にセットされており、かつ、対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合)。

- 送信バッファの内容を変更するときは、内容を更新する前に、そのバッファの FCNnMmCTL.FCNnMmRDYF フラグをクリアする必要があります。内部転送動作中などに FCNnMmRDYF フラグが一時的にロックされることがあるため、FCNnMmRDYF を変更したときは、あとでフラグの状態をソフトウェアで確認する必要があります。

17.9.2 送信ヒストリ・リスト機能

送信ヒストリ・リスト (THL) 機能は、データ・フレームまたはリモート・フレームの送信元となった送信メッセージ・バッファの番号を送信ヒストリ・リストに記録する機能です。THL は、最大 7 個のメッセージに相当する保存要素、最終送信メッセージ・ポインタ FCNnCMLOSTR[7:0] とそれに対応する FCNnCMLOSTR レジスタおよび送信ヒストリ・リスト取得ポインタ FCNnCMTGSSPT[7:0] とそれに対応する FCNnCMTGTX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の THL は不定です。

FCNnCMLOSTR レジスタには、FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタから 1 を引いた値が示す THL 要素の内容が格納されています。したがって、FCNnCMLOSTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを送信したメッセージ・バッファの番号をチェックすることができます。FCNnCMLOSTR[7:0] ポインタは、THL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが送信されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLOSTR[7:0] ポインタの示す THL 要素に記録されます。THL への記録が完了するたびに、FCNnCMLOSTR[7:0] ポインタは自動的にインクリメントされます。そうすることで、送信を完了したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは送信ヒストリ・リストに記録されません。

FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタは、記録されているメッセージ・バッファ番号を THL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない THL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMTGTX レジスタを読み出すことにより、送信を完了したメッセージ・バッファの番号を読み取ることができます。FCNnCMTGTX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMTGSSPT[7:0] ポインタが自動的にインクリメントされます。

FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタの値が FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタの値と一致すると、FCNnCMTGTX.FCNnCMTGSSPM (送信ヒストリ・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLOSTR[7:0] ポインタがインクリメントされ、その値が FCNnCMTGSSPT[7:0] ポインタの値と一致なくなるため、FCNnCMTGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に存在することを意味しています。

FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタがインクリメントされた結果、FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタから 1 を引いた値と一致すると、FCNnCMTGTX.FCNnCMTGTVFF (送信履歴・リスト・オーバーフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって THL が満杯になったことを示します。新しいメッセージの送信が完了すると、あとで送信したメッセージ・バッファ番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMTGTVFF が (1 に) セットされたあとは、THL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPU が送信再設定を行う前に実行)。FCNnCMTGTX.FCNnCMTVFF に関わらず 6 個の送信メッセージ・バッファ番号は THL に保存されます。

注意 送信履歴・リストがオーバーフロー状態になっても (FCNnCMTGTX.FCNnCMTGTVFF がセットされても)、送信履歴・リストが空になるまで (FCNnCMTGTX.FCNnCMTGSSPM フラグがセットされるまで)、送信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMTGTVFF がソフトウェアによってクリアされるまで、送信履歴・リストはオーバーフロー状態にとどまります。FCNnCMTGTVFF がクリアされないと、新しいメッセージの送信が成功しても FCNnCMTGTX.FCNnCMTGSSPM フラグは更新 (クリア) されません。その場合は、送信履歴・リストがオーバーフローしている状態で送信が成功したにもかかわらず、送信履歴・リストが空であることを FCNnCMTGSSPM が示す (FCNnCMTGTVFF と FCNnCMTGSSPM がセットされる) 可能性があります。

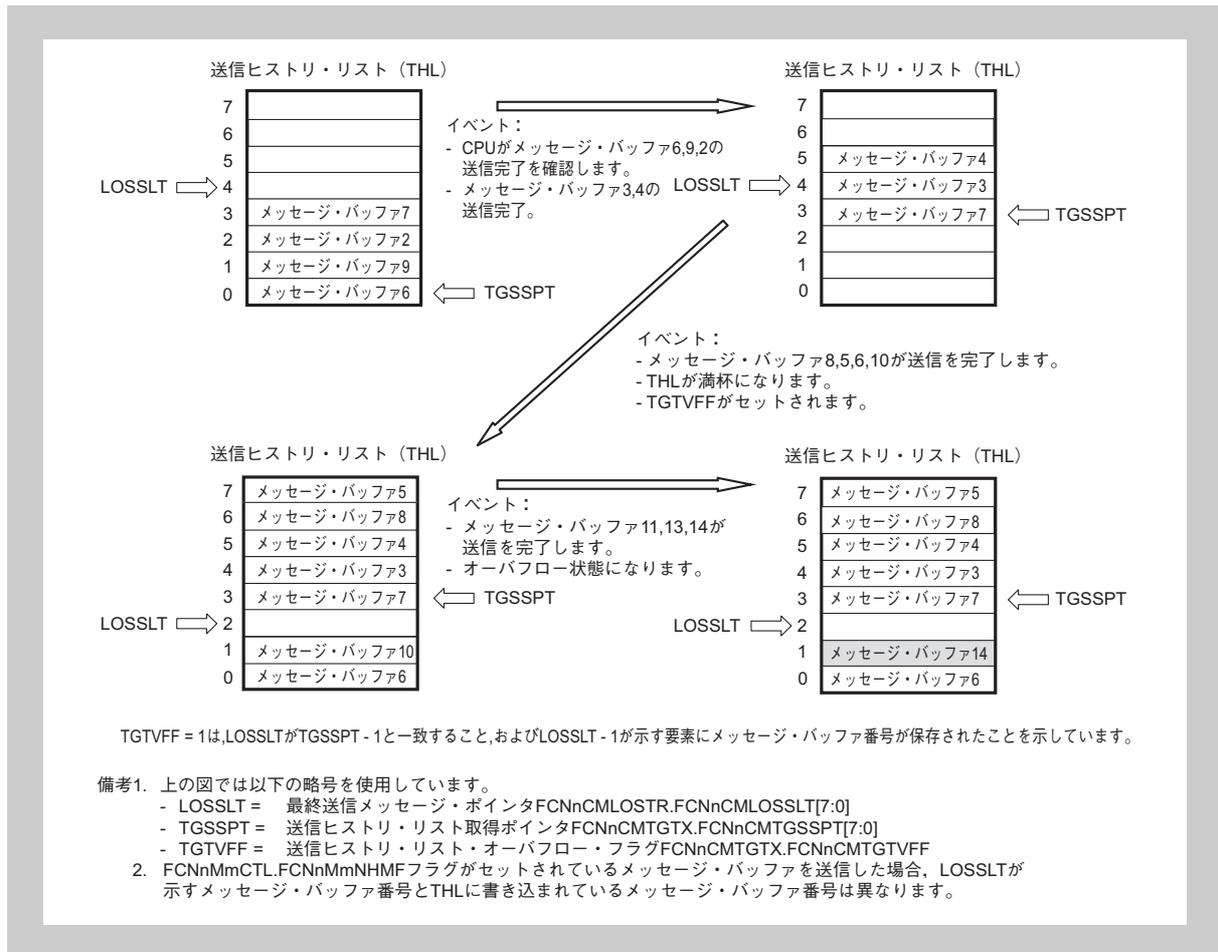


図 17-10 送信履歴・リスト

17.9.3 自動ブロック送信機能 (ABT)

自動ブロック送信 (ABT) 機能は、CPU の介入なしに、複数のデータ・フレームを連続的に送信する目的に使用されます。ABT 機能に割り当てられる送信メッセージ・バッファは、最大 8 個であり、常に番号の最も小さいメッセージ・バッファから順に割り当てられます。

FCNnCMCLCTL.FCNnCMCLMDOF[2:0] を 010_B に設定することで、「自動ブロック送信機能付き通常動作モード」(これ以降 ABT モードと言う) を選択することができます。

ABT 送信要求を発行するには、まずソフトウェアでメッセージ・バッファを定義します。ABT に使用するすべてのメッセージ・バッファで FCNnMmSTRB.FCNnMmSSAM = 1 に設定し、FCNnMmSTRB.FCNnMmSSMT[3:0] ビットを 0000_B に設定することによって、それらすべてのバッファを送信メッセージ・バッファとして定義します。ABT 用のメッセージ・バッファで使用される ID は、すべてのメッセージ・バッファの ID が同一として使用する場合でも、必ず各メッセージ・バッファに ID を設定してください。複数の ID を使用するには、FCNnMmMID0H レジスタと FCNnMmMID1H レジスタまたは FCNnMmMID0W レジスタを使用して、各メッセージ・バッファの ID を設定します。ABT 機能を利用した送信要求を発行する前に、FCN メッセージ・バッファ・データ・バイト・レジスタを設定します。

ABT 用のメッセージ・バッファの初期化が完了したあと、FCNnMmCTL.FCNnMmRDYF を 1 にセットする必要があります。ABT モードでは、FCNnMmCTL.FCNnMmTRQF をソフトウェアで操作する必要はありません。

ABT メッセージ・バッファ用のデータを用意したあと、FCNnGMABCTL.FCNnGMABSEAT = 1 にセットします。そうすると、自動ブロック送信が開始されます。ABT が開始されると、最初のメッセージ・バッファ (メッセージ・バッファ 0) の FCNnMmCTL.FCNnMmTRQF が自動的に 1 にセットされます。メッセージ・バッファ 0 のデータの送信が完了すると、次のメッセージ・バッファであるメッセージ・バッファ 1 の FCNnMmTRQF が自動的にセットされます。このようにして、送信が連続的に実行されます。

送信が連続的に実行されている間、送信要求 FCNnMmCTL.FCNnMmTRQF が自動的にセットされるインターバルに、プログラムを利用して遅延時間を挿入することができます。挿入される遅延時間は FCNnGMADCTL レジスタによって定義されます。遅延時間の単位は DBT (データ・ビット・タイム) です。DBT は、FCNnCMBRPRS レジスタと FCNnCMBTCTL レジスタの設定によって決まります。

ABT 領域内の送信オブジェクトについては、送信 ID の優先度は評価されません。メッセージ・バッファ 0 からメッセージ番号順に送信されます。最後のメッセージ・バッファからのデータ・フレームの送信が完了すると、FCNnGMABCTL.FCNnGMABABTT が自動的に 0 にクリアされ、ABT 動作が完了します。

ABT の実行中に ABT メッセージ・バッファの中に FCNnMmCTL.FCNnMmRDYF がクリアされたメッセージ・バッファがあると、そのバッファからのデータ・フレームの送信は実行されず、ABT が中断され、FCNnGMABCTL.FCNnGMABABTT がクリアされます。その後、ソフトウェアで FCNnMmRDYF と FCNnGMABABTT を 1 にセットすることによって、ABT が中断されたメッセージ・バッファから送信を再開することが

できます。ABT が中断されたメッセージ・バッファから送信を再開したくない場合は、ABT モードが停止中であり、FCNnGMABABTT が 0 にクリアされている間に、FCNnGMABCTL.FCNnGMABCLRf ビットを 1 にセットすることによって内部 ABT エンジンのリセットします。その場合は、FCNnGMABCTL.FCNnGMABCLRf が 0 にクリアされたあと、FCNnGMABABTT が 1 にセットされていれば、メッセージ・バッファ 0 から送信が開始されます。

割り込みを利用して、ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたかどうかを確認することができます。それには、最後のメッセージ・バッファを除くすべてのメッセージ・バッファの FCNnMmCTL.FCNnMmIENF を (0 に) クリアする必要があります。

ABT 機能が使用している送信メッセージ・バッファ以外のメッセージ・バッファが送信メッセージ・バッファに割り当てられている場合、次に送信されるメッセージは、現在送信を保留中の ABT メッセージ・バッファの送信 ID の優先度と ABT 機能によって使用されていないメッセージ・バッファの送信 ID の優先度を比較したうえで決定されます。

ABT メッセージ・バッファからのデータ・フレームの送信は送信履歴・リスト (THL) に記録されません。

-
- 注意**
1. バッファ No.0 から ABT 動作を再開するには、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされている間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットします。FCNnGMABABTT が 1 にセットされている間に FCNnGMABSEAC を 1 にセットした場合、それ以降の動作は保証されません。
 2. FCNnGMABCTL.FCNnGMABSEAC = 1 に設定することによって自動ブロック送信エンジンをクリアすると、クリア要求の処理が完了した直後に FCNnGMABCLRf が自動的にクリアされます。
 3. 初期化モード中に自動ブロック送信をトリガしないでください。初期化モード中に FCNnGMABCTL.FCNnGMABABTT をセットした場合、モードを初期化モードから ABT モードへ変更したあとの正しい動作は保証されません。
 4. ABT 付き通常動作モードの実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF をソフトウェアで 1 にセットしないでください。セットした場合の動作は保証されません。
 5. ABT モードで連続的に送信される ABT メッセージのメッセージ番号順に送信要求が設定されている場合、FCNnGMADCTL レジスタは、1 つの ABT メッセージの送信が完了してから次の ABT メッセージの FCNnMmCTL.FCNnMmTRQF がセットされるまでの間に挿入される遅延時間の設定に使用されます。メッセージが実際に CAN バス上で送信されるタイミングは、ほかのステーションからの送信の状態および ABT メッセージ以外のメッセージの送信要求の設定の状態によって異なります。
 6. ABT メッセージ以外のメッセージの送信要求が発行されており、ABT の送信要求が自動的に設定されるインターバルに遅延時間が挿入されていない場合は (FCNnGMADCTL = 00_H)、ABT メッセージ以外のメッセージが、ABT メッセージとの優先度の差異に関係なく送信される可能性があります。
 7. FCNnGMABCTL.FCNnGMABABTT = 1 のときに FCNnMmCTL.FCNnMmRDYF を 0 にクリアしないでください。
-

17.9.4 送信中断処理

(1) 自動ブロック送信 (ABT) 以外の送信中断処理

ユーザは FCNnMmCTL.FCNnMmTRQF を 0 にクリアすることで送信要求を中断することができます。中断が成功すると、FCNnMmTRQF がただちにクリアされます。送信の中断が成功したかどうかは、CAN バス上の送信の状態を示す FCNnCMCLCTL.FCNnCMCLSSTS と FCNnCMGTGX レジスタまたは FCNnMmCTL.FCNnMmTCPF フラグを使用することで確認できます (詳細については、図 17-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順を参照してください)。

(2) 自動ブロック送信 (ABT) の送信中断処理

すでに開始されている ABT を中断するには、FCNnGMABCTL.FCNnGMABABTT をクリア (0) します。その場合、ABT メッセージを現在送信中であれば、その送信が完了するまで (送信の成功、失敗にかかわらず)、FCNnGMABCTL.FCNnGMABABTT は 1 にセットされたまま変わらず、送信が完了すると同時に 0 にクリアされます。それによって ABT が中断されます。

(ABT が中断される前の) 最後の送信が成功した場合、ABT 付き通常動作モードの内部 ABT ポインタは、次に送信されるメッセージ・バッファを指します。

送信が失敗した場合の内部 ABT ポインタの位置は、最後に送信されたメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態によって異なります。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 1 にセットされていれば、内部 ABT ポインタは最後に送信されたメッセージ・バッファを指します (詳細については、図 17-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」の手順を参照してください)。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 0 にクリアされていれば、内部 ABT ポインタはインクリメント (+1) され、ABT 領域内の次のメッセージ・バッファを指します (詳細については、図 17-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順を参照してください)。

注意 必ず FCNnGMABCTL.FCNnGMABABTT をクリア (0) することによって ABT を中断してください。FCNnMmCTL.FCNnMmRDYF をクリアすることで送信の中断を要求した場合の動作は保証されません。

ABT が中断されたあと、FCNnGMABCTL.FCNnGMABABTT が 1 にセットされて、ABT 付き通常動作モードが再開されたとき、次に送信される ABT メッセージ・バッファは、以下の表に示す仕組みで決まります。

ABT メッセージ・ バッファの FCNnMmCTL.FCNnMmTRQF の状態	送信が成功したあと、 ABT が中断された場合	送信が失敗したあと、 ABT が中断された場合
セットされている (1)	ABT 領域内の次のメッセージ・ バッファ ^a	ABT 領域内の同じメッセージ・ バッファ
クリアされている (0)	ABT 領域内の次のメッセージ・ バッファ ^a	ABT 領域内の次のメッセージ・ バッファ ^a

- a) 上記の再開操作は、ABT を実行可能な状態のメッセージ・バッファが ABT 領域内に存在するときのみ実行できます。たとえば、番号が最大のメッセージ・バッファの ABT を実行中に中断要求を発行した結果、そのメッセージ・バッファの送信が成功した場合は、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされていても、ABT は中断されたと見なされず、完了したと見なされます。ABT 領域内の次のメッセージ・バッファの FCNnMmCTL.FCNnMmRDYF が 0 にクリアされている場合は、内部 ABT ポインタは保持されますが、FCNnGMABABTT が 1 にセットされていても再開操作は実行されず、ABT はただちに終了します。

17.9.5 リモート・フレームの送信

リモート・フレームは送信メッセージ・バッファからのみ送信できます。FCNnMmSTRB.FCNnMmSSRT を使用してデータ・フレームまたはリモート・フレームのどちらを送信するかを設定します。FCNnMmSSRT = 1 にセットすれば、リモート・フレームの送信が設定されます。

17.10 パワー・セーブ・モード

17.10.1 FCN スリープ・モード

FCN スリープ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールはいずれの動作モードからも FCN スリープ・モードに入ることができます。FCN スリープ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入る前と同じ動作モードに戻ります。

FCN スリープ・モードでは、送信要求が発行されたり保留されたりしても、FCN モジュールはメッセージを送信しません。

(1) FCN スリープ・モードへの移行

FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B に設定することで、CPU は FCN スリープ・モードへの移行要求を発行します。

この移行要求は以下の条件が満たされている場合にのみ承認されます。

1. FCN モジュールがすでに以下のいずれかの動作モードに入っている
 - 通常動作モード
 - ABT 付き通常動作モード
 - 受信オンリー・モード
 - シングル・ショット・モード
 - セルフ・テスト・モード
 - 上記すべての動作モードでの FCN ストップ・モード
2. CAN バスの状態がバス・アイドル（インターフレーム・スペースの第 4 ビットがレセシブ）である。
CAN バスがドミナントに固定されていると、FCN スリープ・モードへの移行要求は保留されます。FCN ストップ・モードから FCN スリープ・モードへの移行は CAN バスの状態と関係なく行われます。
3. 保留中の送信要求がない。
4. パワー・セーブ・モードは動作モード変更と組み合わせではありません。
これらのアクセスはステップを分けて実行しなければなりません。

備考 スリープ・モード要求が保留中でメッセージの受信が終了すると、スリープ・モード要求はキャンセルされず、メッセージの保存が終了すると同時に実行されてスリープ・モードへ移行します。その結果、CPU が受信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって、スリープ・モードが使用されている場合、割り込みルーチンは、FCNnGMCLSSMO フラグを利用して、メッセージ・バッファへのアクセスと同時に受信ヒストリ・リスト・レジスタへのアクセスもチェックする必要があります。同様に、スリープ・モード要求が保留中でメッセージの送信が終了すると、スリープ・モード要求はキャンセルされず、スリープ・モードへ移行します。その結果、CPU が送信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって、スリープ・モードが使用されている場合、割り込みルーチンは、FCNnGMCLSSMO フラグを利用して、メッセージ・バッファへのアクセスと同時に送信ヒストリ・リスト・レジスタへのアクセスもチェックする必要があります。

上記の条件のうち 1 つでも満たされない場合、FCN モジュールは以下のように動作します。

- 初期化モードから FCN スリープ・モードが要求された場合、FCN スリープ・モードへの移行要求は無視され、FCN モジュールは初期化モードにとどまります。
- CAN バスの状態がバス・アイドルでないときに (CAN バスの状態が送信中または受信中に) いずれかの動作モードから FCN スリープ・モードへの移行要求を発行しても、ただちに FCN スリープ・モードへ移行することはできません。その場合は、CAN バスの状態がバス・アイドルになる (インターフレーム・スペースの第 4 ビットがレセシブになる) まで FCN スリープ・モードへの移行要求は保留されます。FCN スリープ・モードへの移行要求が発行されてから移行が成功するまでの間、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] は 00_B にとどまります。モジュールが FCN スリープ・モードに入ると、FCNnCMCLMDPF[1:0] ビットは 01_B に設定されます。
- FCN モジュールがいずれかの動作モードを実行中に初期化モードへの移行要求と FCN スリープ・モードへの移行要求が同時に発行された場合は、初期化モードへの移行要求が許可されます。その場合、FCN モジュールは、あらかじめ決められたタイミングで初期化モードに入ります。FCN スリープ・モードへの移行要求は保留されず、無視されます。
- 初期化モードとスリープ・モードへの移行要求が同時に発行されなかった場合でも (最初の要求が承認されず、2 回目の要求が発行された場合など)、初期化モードへの移行要求のほうがスリープ・モードへの移行要求より優先されます。初期化モードへの移行要求が発行されると、スリープ・モードへの移行要求はキャンセルされます。初期化モードへの移行要求が保留されている間に発行されたスリープ・モードへの移行要求は、要求が発行された時点でただちにキャンセルされます。

(2) FCN スリープ・モードの状態

FCN モジュールは、FCN スリープ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CAN バスから FCN モジュールをウェイクアップできるように、FCN 受信端子 (CRXDn) の立ち下がりを検出する機能は有効な状態を保ちます。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできませんが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN スリープ・モードの解除

FCN スリープ・モードは以下のイベントによって解除されます。

- CPU が FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 00_B に設定したとき
- FCN 受信端子 CRXDn の立ち下がり時 (CAN バス・レベルがレセシブからドミナントへ移行したとき)

注意 立ち下がりが受信メッセージの SOF に属していても、そのメッセージが受信され、保存されることはありません。FCN モジュールがスリープ・モードに入っている間、CPU が FCN モジュールへのクロック供給を停止した場合は、FCN モジュールへのクロック供給が再開されない限り、FCN スリープ・モードを解除することはできず、FCNnCMCLMDPF[1:0] の値は 01_B にとどまります。クロック供給を停止したあとは、受信メッセージも受信されなくなります。

スリープ・モードが解除されると、FCN モジュールは FCN スリープ・モードへの移行要求が発行されたときの動作モードに戻ります。その後、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] は 00_B にリセットされます。CAN バスの状態の変化によって FCN スリープ・モードが解除された場合は、FCNnCMIECTL.FCNnCMIEINTF[6:0] の値に関係なく、FCNnCMISCTL.FCNnCMISITSF5 は 1 にセットされます。FCN スリープ・モードから解除された FCN モジュールは、CAN バス上で 11 個の連続するレセシブ・レベルのビットを自動的に検出することにより、再び CAN バス通信に参加します。FCNnGMCLCTL.FCNnGMCLSSMO = 1 になるまで、ユーザ・アプリケーションはメッセージ・バッファへのアクセスを再開できません。

FCN モジュールが FCN スリープ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。初期化モードへ移行するには、まず FCN モジュールをソフトウェアでスリープ・モードから解除する必要があります。

- 注意**
1. スリープ・モードへの移行を要求した直後であっても、CAN バス・イベントが発生すれば、CAN バス・イベントによる FCN スリープ・モードの解除、つまりウェイクアップ割り込みがいつでも発生する可能性がある点に注意してください。
 2. FCN スリープ・モードからのウェイクアップが行われたときは、必ず割り込みフラグ FCNnCMISCTL.FCNnCMISITSF5 をクリアしてください。

17.10.2 FCN ストップ・モード

FCN ストップ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールは FCN スリープ・モードからのみ FCN ストップ・モードに入ることができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除する (FCN スリープ・モードへ移行する) ことができます。CAN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。FCN ストップ・モードに入っている間は、送信要求が発行されたり保留されたりしても、メッセージは送信されません。

(1) FCN ストップ・モードへの移行

FCN ストップ・モードへの移行要求を発行するには、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 11_B に設定します。

FCN ストップ・モードへの移行要求は、FCN モジュールが FCN スリープ・モードに入っている間のみ承認されます。ほかのどのモードでも要求は無視されます。

注意 FCN モジュールを FCN ストップ・モードに設定するには、モジュールが FCN スリープ・モードに入っている必要があります。FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B であることチェックし、モジュールがスリープ・モードに入っていることを確認してから、FCN ストップ・モードへの移行要求を発行してください。この処理の実行中に FCN 受信端子 CRXDn でバス状態が変化した場合、FCN スリープ・モードは自動的に解除されます。その場合、FCN ストップ・モードへの移行要求は承認されません。

(2) FCN ストップ・モードの状態

FCN モジュールは、FCN ストップ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできませんが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN ストップ・モードの解除

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] に 01_B を書き込むことによってのみ解除することができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN モジュールが FCN ストップ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。CPU が初期化モードに入るには、ストップ・モードを解除したあと、FCN スリープ・モードを解除する必要があります。FCN ストップ・モードから FCN スリープ・モードを経ずに別の動作モードへ直接移行することはできません。そのような移行要求は無視されます。

17.10.3 パワー・セーブ・モードの使用例

一部のアプリケーション・システムでは、消費電力を節約するために CPU をパワー・セーブ・モードにする必要が生じることがあります。FCN モジュール固有のパワー・セーブ・モードと CPU 固有のパワー・セーブ・モードを併用することで、CAN バスによって CPU をパワー・セーブ状態からウェイクアップすることができます。

パワー・セーブ・モードの使用例を以下に示します。

- まず、FCN モジュールを FCN スリープ・モードにします (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B)。スリープ・モード状態を読み出すことで、スリープ・モード状態への移行を確認したら、CPU をパワー・セーブ・モードにします。FCN モジュールがスリープ・モードに入ったあと、残りのタスクを処理し、FCN ウェイクアップ割り込みが承認されないように、CPU への割り込みを禁止します。この状態で、FCN 受信端子 FCNnRX でレセシブからドミナントへのエッジの立ち下がりが検出されると、FCN モジュールの FCNnCMISCTL.FCNnCMISITSF5 が 1 にセットされます。FCNnCMIECTL.FCNnCMIEINTE5 が 1 にセットされると、ウェイクアップ割り込み (INTCnWUP) が発生します。FCN モジュールが FCN スリープ・モードから自動的に解除され (FCNnCMCLMDPF[1:0] = 00_B)、通常の動作モードに戻ります。
- CPU は、INTCnWUP に応答して、CPU のパワー・セーブ・モードを解除し、通常の動作モードに戻ることができます。FCN モジュールのクロックを含む内部クロックを停止させることで、CPU の消費電力をさらに節約することができます。その場合、FCN モジュールに供給される動作クロックは、FCN モジュールが FCN スリープ・モードに入ったあと、停止します。その後、CPU はパワー・セーブ・モードに入り、CPU に供給されるクロックも停止します。
- この状態で、FCN 受信端子 CRXDn でレセシブからドミナントへのエッジの立ち下がりが検出された場合、FCN モジュールは、クロックの供給を受けていなくても、FCNnCMISCTL.FCNnCMISITSF5 を 1 にセットし、ウェイクアップ割り込み INTCnWUP を生成することができます。
- ただし、FCN モジュールへのクロックの供給が停止しているため、それ以外の機能は動作せず、モジュールは FCN スリープ・モード状態にとどまります。

- CPU は INTCnWUP に応答して以下の処理を行います。
 - CPU のパワー・セーブ・モードを解除します。
 - 発振安定時間の経過後、FCN モジュールへ供給されるクロックを含む内部クロックの供給を再開します。
 - 命令の実行を開始します。
- クロックの供給が再開されると、FCN モジュールはただちに FCN スリープ・モードから解除され、通常の動作モードに戻ります (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 00_B)。

17.11 割り込み機能

FCN モジュールは7個の異なる割り込みソースを持っています。

これらの割り込みソースの発生は、割り込みステータス・レジスタに保存されます。7個の割り込みソースから4個の別々の割り込み要求信号が生成されます。複数の割り込みソースに対応する割り込み要求信号が生成されれば、割り込みステータス・レジスタを使用して、割り込みソースを識別することができます。割り込みソースが発生したあとは、それに対応する割り込みステータス・ビットをソフトウェアで0にクリアする必要があります。

表 17-19 FCN モジュール割り込みソースの一覧

番号	割り込みステータスビット FCNnCMISCTL	割り込み許可ビット FCNnCMIECTL ^a	割り込み要求信号	割り込みソースの説明
1	FCNnCMISITSF0	FCNnCMIEINTF0	INTCnTRX	メッセージ・バッファ m からのメッセージ・フレームの送信が成功したことを示します。
2	FCNnCMISITSF1	FCNnCMIEINTF1	INTCnREC	メッセージ・バッファ m が有効なメッセージ・フレームを受信したことを示します。
3	FCNnCMISITSF2	FCNnCMIEINTF2	INTCnERR	FCN モジュール・エラー状態割り込み <ul style="list-style-type: none"> この割り込みは、送信エラー・カウンタまたは受信エラー・カウンタが警告レベル、エラー・パッシブ状態またはバスオフ状態に達したときに生成されます。
4	FCNnCMISITSF3	FCNnCMIEINTF3		FCN モジュール・プロトコル・エラー割り込み <ul style="list-style-type: none"> この割り込みは、スタッフ・エラー、フォーム・エラー、ACK エラー、ビット・エラーまたは CRC エラーが発生すると生成されます。
5	FCNnCMISITSF4	FCNnCMIEINTF4		FCN モジュールアービトレーション・ロスト割り込み
6	FCNnCMISITSF5	FCNnCMIEINTF5	INTCnWUP	FCN スリープ・モードからの FCN モジュール・ウェイクアップ割り込み <ul style="list-style-type: none"> この割り込みは、FCN 受信端子で立ち下がり（レセンプからドミナントへの CAN バスの変化）が検出されたために、FCN モジュールが FCN スリープ・モードからウェイクアップされると生成されます。
7	FCNnCMISITSF6	FCNnCMIEINTF6		FCN モジュール送信中断割り込みステータス <ul style="list-style-type: none"> この割り込みは、送信の中断が成功すると（送信を中断されたメッセージが送信されないと）生成されます。

a) メッセージ・バッファを割り込み生成プロセスに参加させるには、対象となるメッセージ・バッファのメッセージ・バッファ割り込み許可ビット FCNnMmCTL.FCNnMmIENF を 1 にセットする必要があります。

17.12 診断機能と特殊な動作モード

FCN モジュールは、CAN バス診断機能または特殊な CAN 通信方式の利用に対応するために、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを備えています。

17.12.1 受信オンリー・モード

受信オンリー・モードは、CAN バスに干渉することなく、受信メッセージをモニタするために使用され、CAN バス解析ノードで利用することができます。

たとえば、このモードを自動ボー・レート検出に利用することができます。FCN モジュールのボー・レートは、モジュールの受信ボー・レートが送信ボー・レートと一致するように、「有効な受信」が検出されるまで変化します（「有効な受信」とは、CAN プロトコル・レイヤでエラーなしにメッセージ・フレームが受信され、CAN バスに接続されたノード間で適切な ACK が生成されたことを意味します）。メッセージ・フレームが受信メッセージ・バッファ（データ・フレームまたはリモート・フレーム）または送信メッセージ・バッファ（リモート・フレーム）に保存されなくても有効な受信は成立します。有効な受信は、FCNnCMCLCTL.FCNnCMCLVALF がセット（1）されることで確認できます。

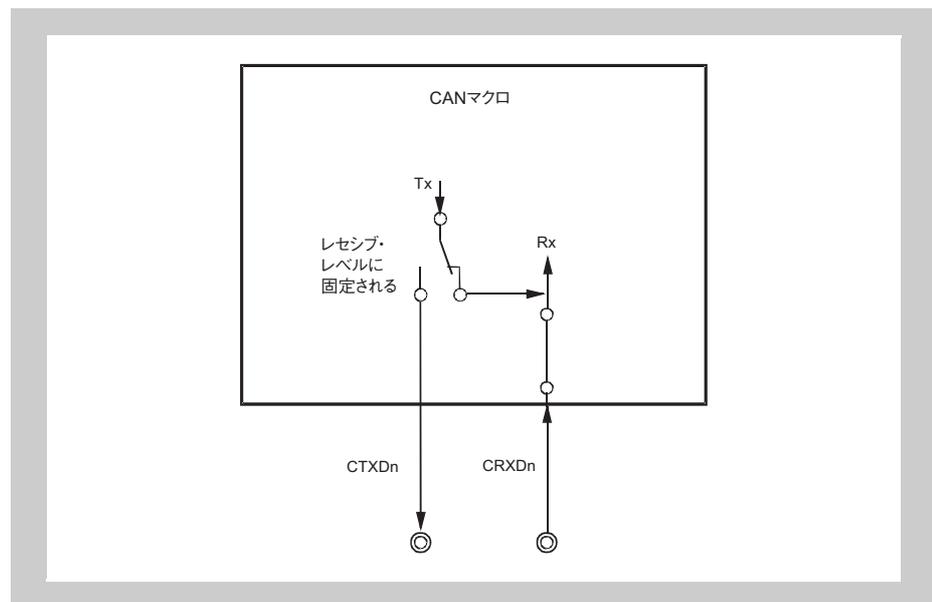


図 17-11 受信オンリー・モードでの FCN モジュール端子の接続

受信オンリー・モードの実行中に FCN モジュールから CAN バスへメッセージ・フレームを送信することはできません。送信メッセージ・バッファとして定義されたメッセージ・バッファに対して発行された送信要求は保留されます。

受信オンリー・モードでは、FCN モジュールの FCN 送信端子 CTXDn がレセプ・レベルに固定されます。したがって、メッセージ・フレームの受信中に CAN バス・エラーが検出されても、FCN モジュールから CAN バスへアクティブ・エラー・フラグを送信することはできません。FCN モジュールから何も送信することができないため、送信エラー・カウンタ FCNnCMERCNT.FCNnCMERTECF[7:0] ビットが更新されることはありません。

ん。したがって、受信オンリー・モードを実行中のFCNモジュールがバスオフ状態に入ることはありません。

また、受信オンリー・モードでは、メッセージ・フレームの有効な受信が行われても、CANバスへACKが返されることはありません。内部的には、ローカル・ノードは自分がACKを送信したことを認識します。オーバーロード・フレームをCANバスに送信することはできません。

注意 2つのCANノードのみがCANバスに接続されている状態で、一方のノードが受信オンリー・モードで動作している場合、CANバス上でACKが送信されることはありません。ACKが検出されないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードはメッセージ・フレームを16回送信したあと、エラー・パッシブ状態になります（最初にエラー・カウンタが0になっていて、ほかのエラーが発生しなかった場合）。17回目にメッセージ・フレームを送信したあと、送信ノードはパッシブ・エラー・フラグを生成します。受信オンリー・モードを実行中の受信ノードは、この時点で初めて有効なメッセージ・フレームを検出し、FCNnCMCLCTL.FCNnCMCLVALFビットが初めて1にセットされます。

17.12.2 シングル・ショット・モード

シングル・ショット・モードでは、CANプロトコルで定義されている自動再送信がオフになります（CANプロトコルによれば、アービトレーション・ロストまたはエラーの発生によって中断されたメッセージ・フレームの送信は、ソフトウェアによる制御なしに、繰り返す必要があります）。シングル・ショット・モードのそれ以外のすべての動作は通常動作モードと同じです。シングル・ショット・モードの機能をABT付き通常動作モードと組み合わせることはできません。

シングル・ショット・モードでは、送信を中断されたメッセージ・フレームの再送信をFCNnCMCLCTL.FCNnCMCLALBFの設定に従って禁止します。FCNnCMCLALBFが0にクリアされていると、アービトレーション・ロストおよびエラーが発生したときの再送信が禁止されます。FCNnCMCLALBFが1にセットされていると、エラーが発生したときの再送信が禁止されますが、アービトレーション・ロストが発生したときの再送信は許可されます。したがって、送信メッセージ・バッファとして定義されているメッセージ・バッファのFCNnMmCTL.FCNnMmTRQFは、以下のイベントが発生すると0にクリアされます。

- メッセージ・フレームの送信が成功したとき
- メッセージ・フレームの送信中にアービトレーション・ロストが発生したとき
- メッセージ・フレームの送信中にエラーが発生したとき

アービトレーション・ロスト・イベントとエラー発生イベントは、それぞれFCNnCMISCTL.FCNnCMISITSF4とFCNnCMISCTL.FCNnCMISITSF3をチェックすることで識別でき、エラーのタイプはFCNnCMCLCSTR.FCNnCMCLCSSLC[2:0]を読み出すことで識別できます。

メッセージ・フレームの送信が成功すると、送信完了割り込みビットFCNnCMISCTL.FCNnCMISITSF0が1にセットされます。そのとき、

FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされていれば、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイムトリガ型通信方式 (TTCAN レベル 1) のエミュレートに利用できます。

注意 FCNnCMCLCTL.FCNnCMCLALBF はシングル・ショット・モードでのみ有効です。ほかの動作モードでアービトラジョン・ロストが発生したときの再送信にこのビットが影響を及ぼすことはありません。

17.12.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CAN バスに CAN ノードを接続することなく、または CAN バスに影響を与えることなく、メッセージ・フレームの送信と受信をテストすることができます。

セルフ・テスト・モードでは、FCN モジュールが CAN バスから完全に切り離され、送信と受信が内部でループバックします。FCN 送信端子 CTXDn はレセシブ・レベルに固定されます。

ただし、FCN モジュールがセルフ・テスト・モードから FCN スリープ・モードへ入ったあと、FCN 受信端子 CRXDn で立ち下がりが検出されれば、モジュールは、ほかの動作モードからスリープ・モードに入ったときと同様に、FCN スリープ・モードから解除されます。モジュールを FCN スリープ・モードの状態に保つには、FCN 受信端子 CRXDn をポート端子として使用します。

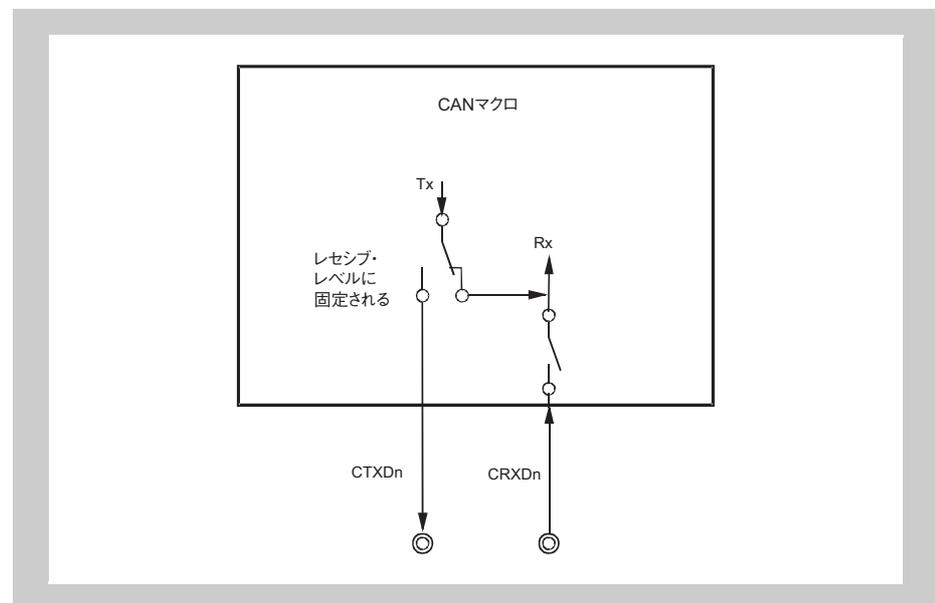


図 17-12 セルフ・テスト・モードでの FCN モジュール端子の接続

17.12.4 各動作モードでの送受信動作

各動作モードでの受信／送信動作の概要を以下の表に示します。

表 17-20 各動作モードでの受信／送信の概要

動作モード	データ・フレーム/ リモート・フレーム の送信	ACKの 送信	エラー・フレーム/ オーバーロード・ フレームの送信	送信の 再試行	自動 ブロック 送信 (ABT)	FCNnCMCLVALF ビットのセット	メッセージ・ バッファへの データの保存
初期化モード	不可能	不可能	不可能	不可能	不可能	不可能	不可能
通常動作モード	可能	可能	可能	可能	不可能	可能	可能
ABT 付き通常 動作モード	可能	可能	可能	可能	可能	可能	可能
受信オンリー・ モード	不可能	不可能	不可能	不可能	不可能	可能	可能
シングル・ ショット・ モード	可能	可能	可能	不可能 ^{a)}	不可能	可能	可能
セルフ・ テスト・モード	可能 ^{b)}	可能 ^{b)}	可能 ^{b)}	可能 ^{b)}	不可能	可能 ^{b)}	可能 ^{b)}

a) アービトレーション・ロストが発生した場合は、FCNnCMCLCTL.FCNnCMCLALBF によって再送信を制御することができます。

b) 生成される信号は外部へ出力されず、FCN モジュール内にとどまります。

17.13 タイム・スタンプ機能

CAN は非同期のシリアル通信プロトコルです。CAN バスに接続されたすべてのノードは、それぞれが独自のローカルなクロックを使用しています。したがって、各ノードで使用しているクロックの間には何の相互関係もありません（つまり、ノードのクロックは非同期であり、ノードによってクロック周波数が異なる可能性があります）。

しかし、一部のアプリケーションは、ネットワークをまたがる共通のタイム・ベース（グローバル・タイム・ベース）を必要とします。グローバル・タイム・ベースを構築するためにタイム・スタンプ機能を利用します。タイム・スタンプ機能は、基本的に、CANバス上の信号によってトリガされるタイム値をキャプチャすることによって動作します。

17.13.1 タイム・スタンプ機能

CAN コントローラは特定のフレームによってトリガされるタイム値のキャプチャに対応しています。マイクロコントローラ・システム内のオンチップの16ビット・キャプチャ・タイマ・ユニットをCANコントローラと組み合わせて使用します。16ビット・キャプチャ・タイマ・ユニットは、CANコントローラから送信されたデータ・フレームを受信したときに出力されるキャプチャ用のトリガ信号（TSOUT）に従ってタイム値をキャプチャします。CPUは、キャプチャされた値を読み出すことで、キャプチャ・イベントが発生した時刻、つまりCANバスから送信されたメッセージの受信時のタイム・スタンプを取り出すことができます。以下の2つのイベント・ソースからTSOUT信号を選択することができます。TSOUT信号はFCNnCMTSCTL.FCNnCMTSSELEによって指定します。

- SOF イベント（フレームの先頭）
(FCNnCMTSCTL.FCNnCMTSSELE = 0)
- EOF イベント（フレームの末尾の最下位ビット）
(FCNnCMTSCTL.FCNnCMTSSELE = 1)

TSOUT信号は、FCNnCMTSCTL.FCNnCMTSTSGE = 1にセットすることによって許可されます。

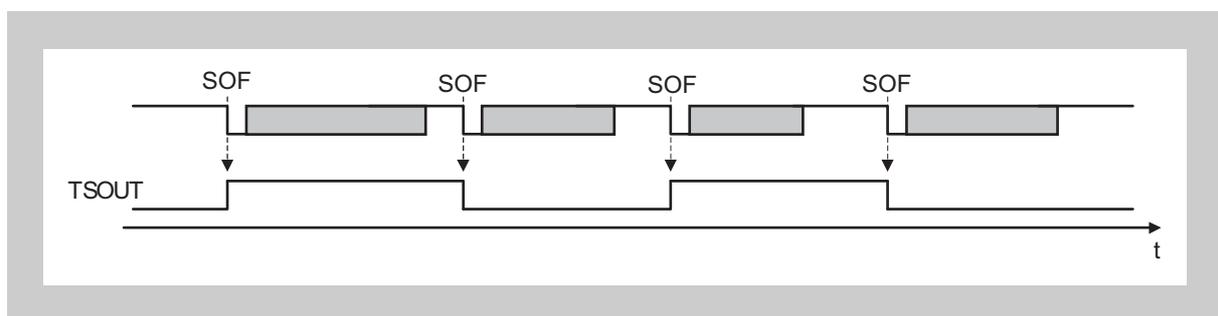


図 17-13 キャプチャ信号 TSOUT のタイミング図

データ・フレームの受信時、選択されているイベントが発生するたびに、TSOUT信号のレベルがトグルします（図 17-13「キャプチャ信号 TSOUT のタイミング図」では、SOF がトリガ・イベント・ソースとして使用されています）。TSOUT信号を利用してタイム値をキャプチャするには、キャプチャ・タイマ・ユニットがキャプチャ信号の立ち上がりと立ち下りの両方を検出する必要があります。

このタイム・スタンプ機能は、FCNnCMTSCTL レジスタの FCNnCMTSLOKE ビットによって制御されます。FCNnCMTSLOKE が 0 にクリアされている場合、TSOUT 信号は、選択されているイベントが発生するたびにトグルします。FCNnCMTSLOKE が 1 にセットされている場合も、TSOUT 信号は選択されているイベントが発生するたびにトグルしますが、メッセージ・バッファ 0 へのメッセージの保存が始まると同時に FCNnCMTSCTL.FCNnCMTSTSGE が自動的に 0 にクリアされ、信号のトグルが停止します。そのため、それ以降は TSOUT 信号のトグルが停止し、最後に信号がトグルしたときの（最後にキャプチャされた）タイム・スタンプ値をメッセージ・バッファ 0 でデータ・フレームを受信したときのタイム・スタンプ値として保存することができます。

注意 FCNnCMTSLOKE ビットを使用するタイム・スタンプ機能では、メッセージ・バッファ 0 でデータ・フレームを受信したときに TSOUT 信号のトグルを停止させます。メッセージ・バッファ 0 以外のメッセージ・バッファでデータ・フレームを受信した場合、TSOUT 信号のトグルは停止しません。FCN モジュールが ABT 付き通常動作モードを実行中は、メッセージ・バッファ 0 を送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ 0 でデータ・フレームを受信することはできません。したがって、この動作モードでは、FCNnCMTSLOKE ビットを利用して TSOUT 信号のトグルを停止させる機能は利用できません。

17.14 ボー・レートの設定

17.14.1 ボー・レートの設定条件

CANコントローラが正しく動作するように、設定値が以下に示す制限値を超えないようにしてください。

- $5 TQ \leq SPT$ (サンプル・ポイント) $\leq 17 TQ$

$$SPT = TSEG1 + 1$$

- $8 TQ \leq DBT$ (データ・ビット・タイム) $\leq 25 TQ$

$$DBT = TSEG1 + TSEG2 + 1 TQ = TSEG2 + SPT$$

- $1 TQ \leq SJW$ (同期ジャンプ幅) $\leq 4 TQ$

$$SJW \leq DBT - SPT$$

- $4 \leq TSEG1 \leq 16$

- $1 \leq TSEG2 \leq 8$

- 備考
1. $TQ = 1/f_{TQ}$ (f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック)
 2. TSEG1, TSEG2, SJW の値は以下のレジスタのビットにより定義されます。
 $TSEG1 = FCNnCMBTCTL.FCNnCMBTS1LG[3:0] + 1$
 $TSEG2 = FCNnCMBTCTL.FCNnCMBTS2LG[2:0] + 1$
 $SJW = FCNnCMBTCTL.FCNnCMBTJWLG[1:0] + 1$

上記の条件を満たすビット・レートの組み合わせを表 17-21 「設定可能なビット・レートの組み合わせ」に示します。

表 17-21 設定可能なビット・レートの組み合わせ (1/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1 LG[3:0]	FCNnCMBTS2 LG[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0

表 17-21 設定可能なビット・レートの組み合わせ (2/3)

有効なビット・レートの設定					FCNnCBTCTL レジスタの 設定値		サンプル・ ポイント (単位%)
DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント1	フェーズ・ セグメント2	FCNnCBTCTL1 LG[3:0]	FCNnCBTCTL2 LG[2:0]	
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0

表 17-21 設定可能なビット・レートの組み合わせ (3/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの 設定値		サンプル・ ポイント (単位%)
DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント1	フェーズ・ セグメント2	FCNnCMBTS1 LG[3:0]	FCNnCMBTS2 LG[2:0]	
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^a	1	2	2	2	0011	001	71.4
7 ^a	1	4	1	1	0100	000	85.7
6 ^a	1	1	2	2	0010	001	66.7
6 ^a	1	3	1	1	0011	000	83.3
5 ^a	1	2	1	1	0010	000	80.0
4 ^a	1	1	1	1	0001	000	75.0

a) 7以下のDBT値の設定は、FCNnCMBRPRSレジスタの値が00_H以外のときにのみ有効です。

注意 表 17-21 「設定可能なビット・レート of の組み合わせ」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

17.14.2 代表的なボー・レートの設定例

表 17-22 「代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$)」と表 17-23 「代表的なボー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$)」は、代表的なボー・レートの設定例を示しています。

表 17-22 代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0

表 17-22 代表的なポー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$) (2/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

- 注意**
- 表 17-22 「代表的なポー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$)」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。
 - $f_{CANPRE} \leq 8 \text{ MHz}$ のとき、500 kbit/s を上回るポー・レートは設定できません。

表 17-23 代表的なポー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$) (1/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCM BRPRS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0

表 17-23 代表的なポー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$) (2/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表 17-23 「代表的なポー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$)」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

17.15 CANコントローラの動作

本章で示す処理手順は、FCNを運用するときの推奨処理手順です。

本章で推奨されている処理手順を参考にしてプログラムを開発してください。

17.15.1 初期化

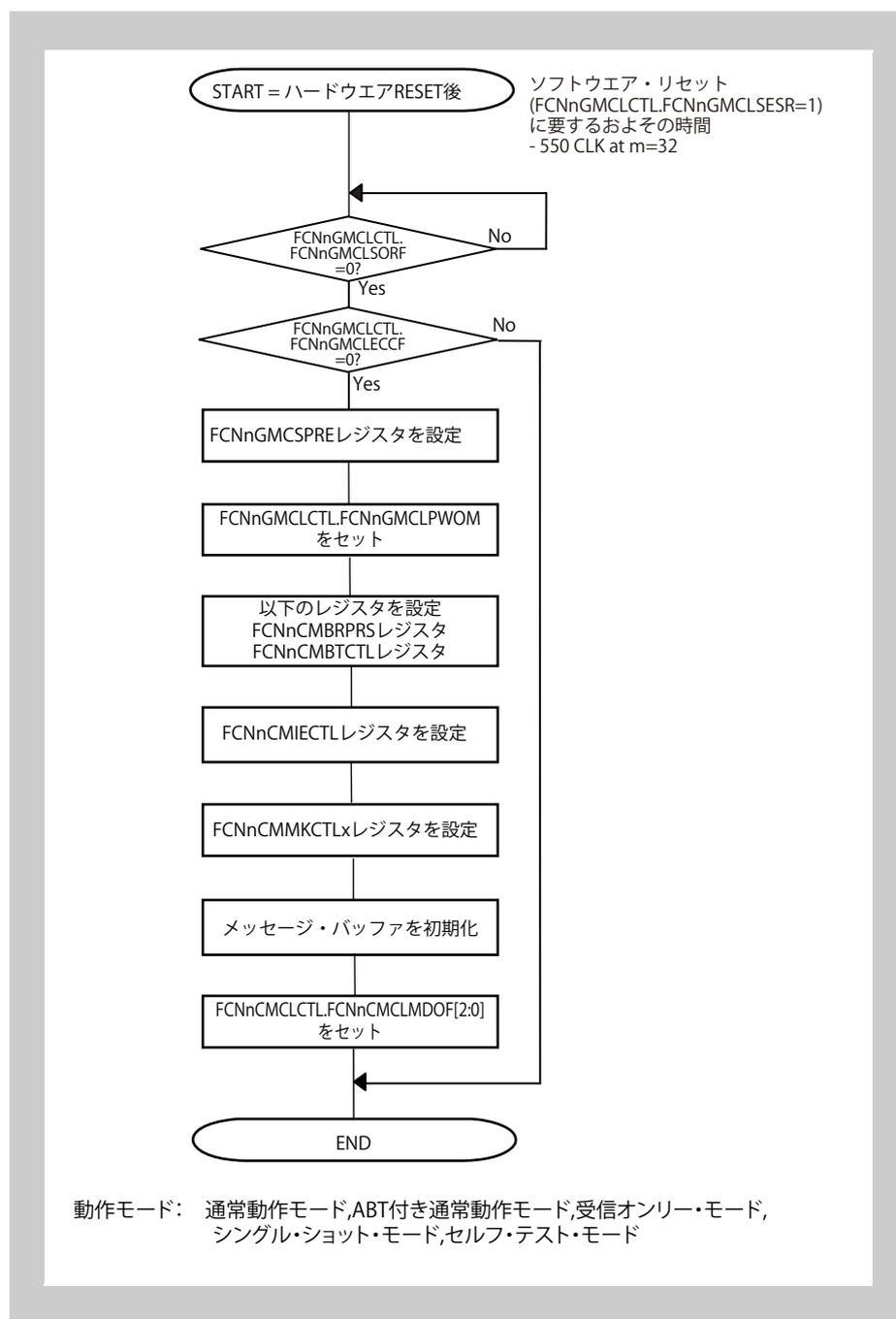


図 17-14 初期化

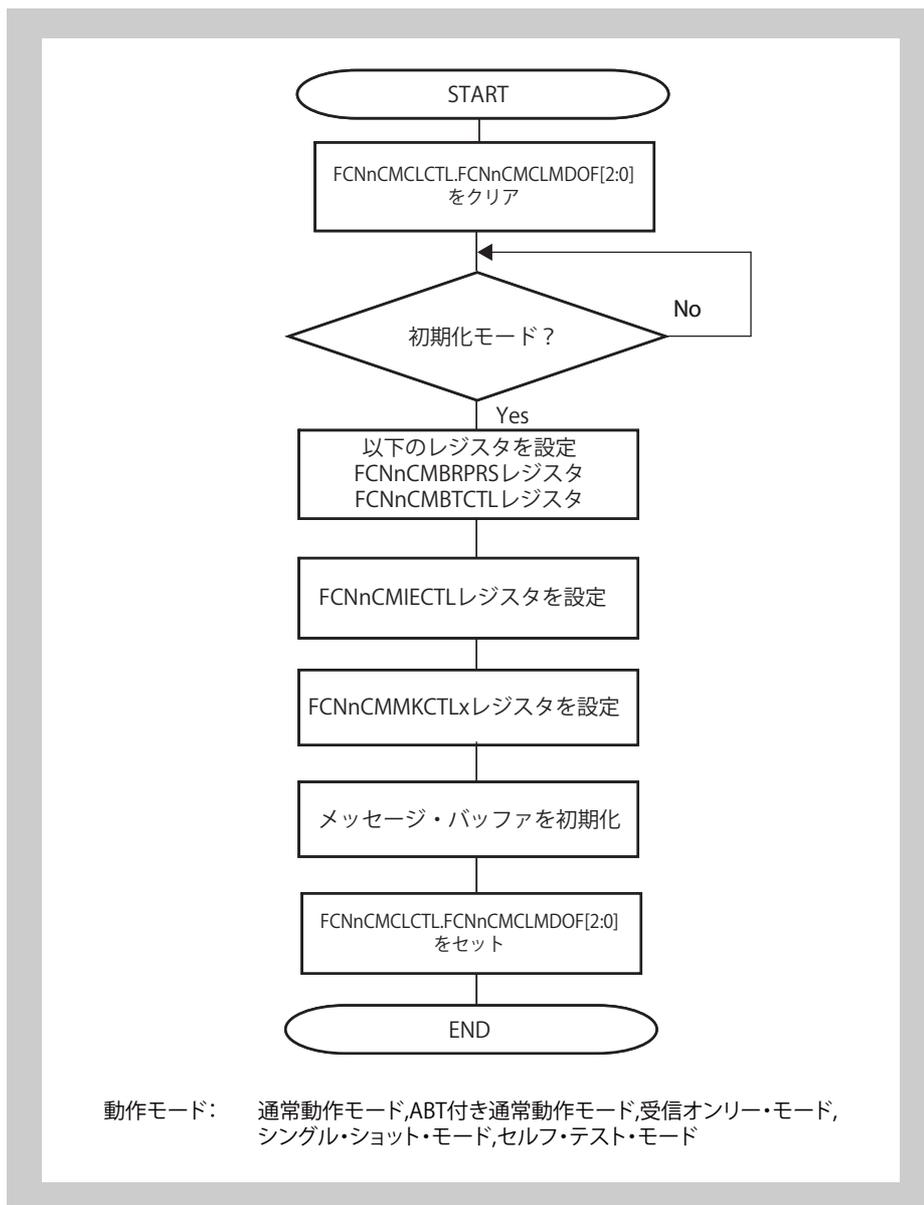


図 17-15 再初期化

注意 再初期化中にエラー・カウンタをクリア (FCNnCMCLERCF をセット) する場合には、以下のいずれかの状態で行ってください。

- FCN モジュール起動 (FCNnGMCLPWOM = 0 状態から FCNnGMCLPWOM をセット) 後の初期化モード状態時
- 動作モード中に図 17-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」に従った全ての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 17-26 「ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)」に従って全ての送信要求をクリアしてください。)

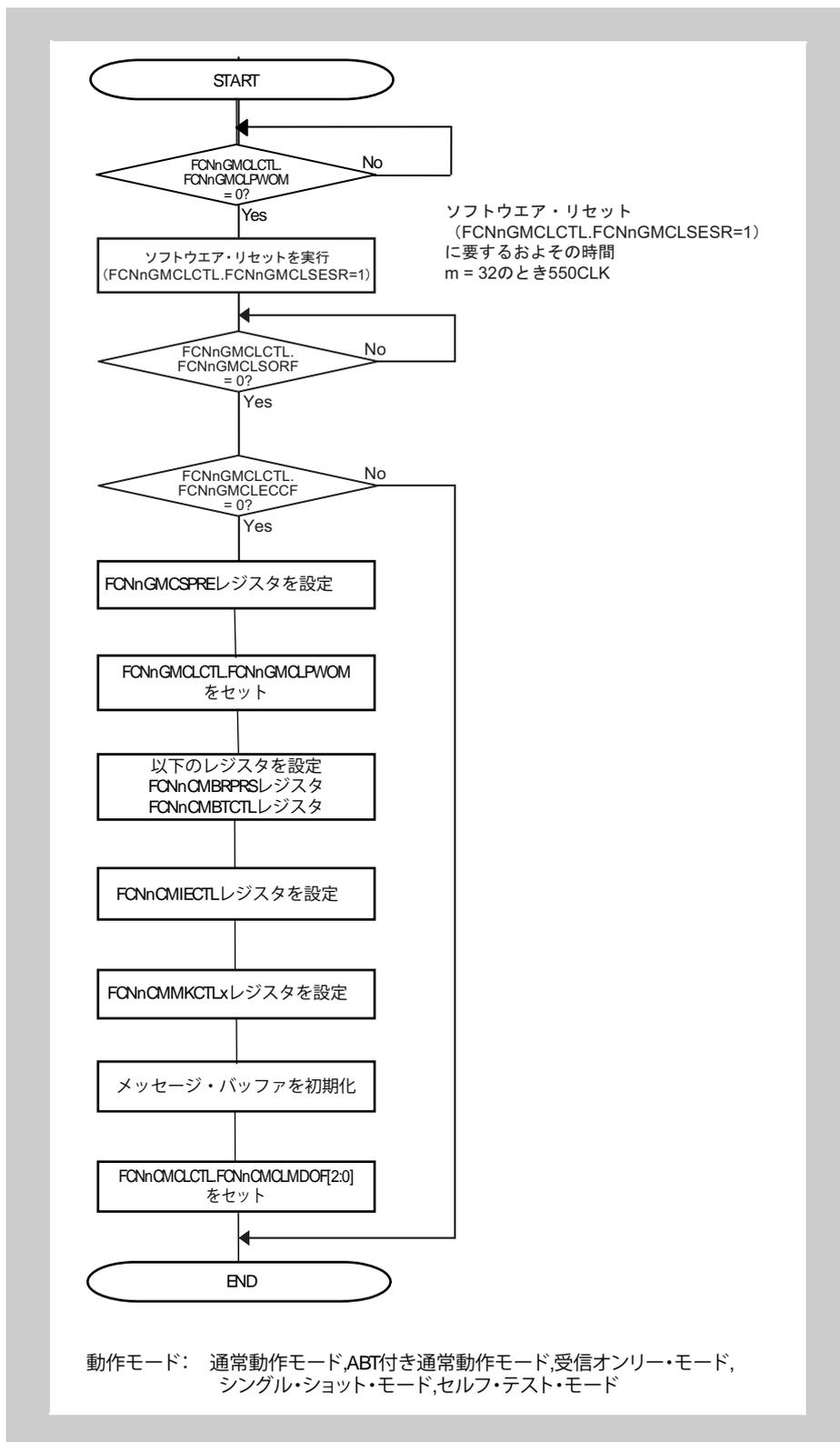


図 17-16 ソフトウェア・リセット機能を利用する再初期化

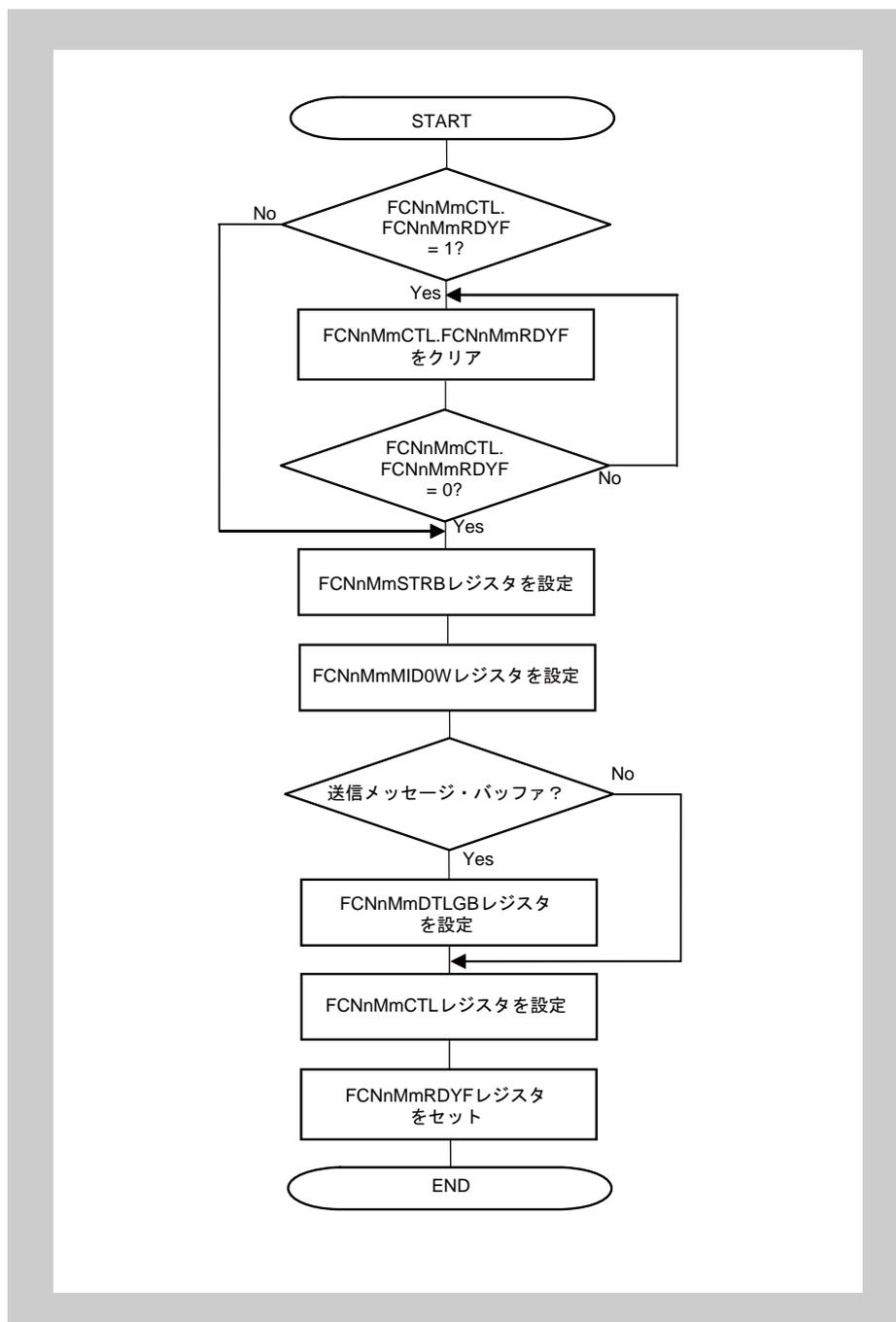
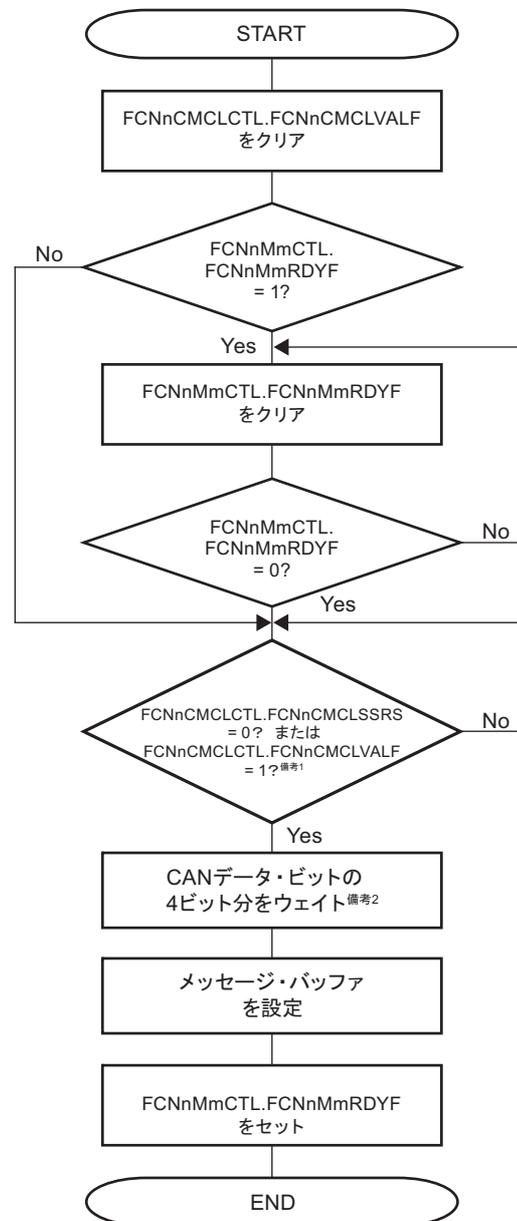


図 17-17 メッセージ・バッファの初期化

- 注意**
1. メッセージ・バッファを初期化する前に、FCNnMmCTL.FCNnMmRDYF をクリアする必要があります。
 2. アプリケーションが使用しないメッセージ・バッファは以下のように設定してください。
 - FCNnMmCTL レジスタの FCNnMmRDYF ビット、FCNnMmTRQF ビット、FCNnMmDTNF ビットを 0 にクリアします。
 - FCNnMmSTRB.FCNnMmSSAM を 0 にクリアします。

図 17-18 「受信中のメッセージ・バッファの再定義」は、受信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ~ 1001_B)。



備考1. メッセージの受信が完了したあとでFCNnMmCTL.FCNnMmRDYFをセットする必要があるため、メッセージを受信中であることを確認してください。

2. 受信メッセージの保存中にメッセージ・バッファが再定義されないように、CANデータ・ビットの4ビット分をウェイトしてください。

図 17-18 受信中のメッセージ・バッファの再定義

図 17-19 「送信中のメッセージ・バッファの再定義」は、送信中の送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

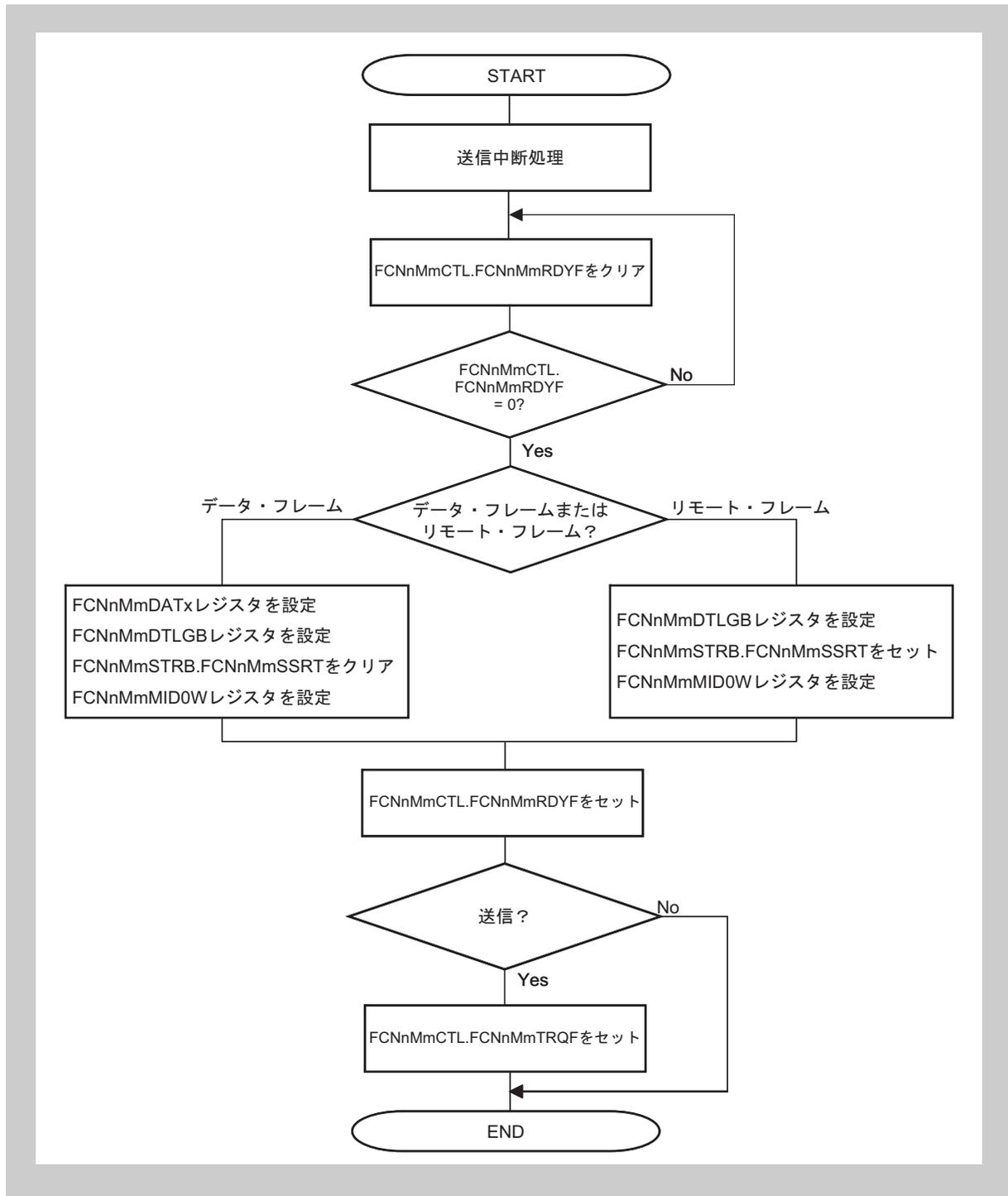


図 17-19 送信中のメッセージ・バッファの再定義

17.15.2 メッセージの送信

図 17-20 「メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

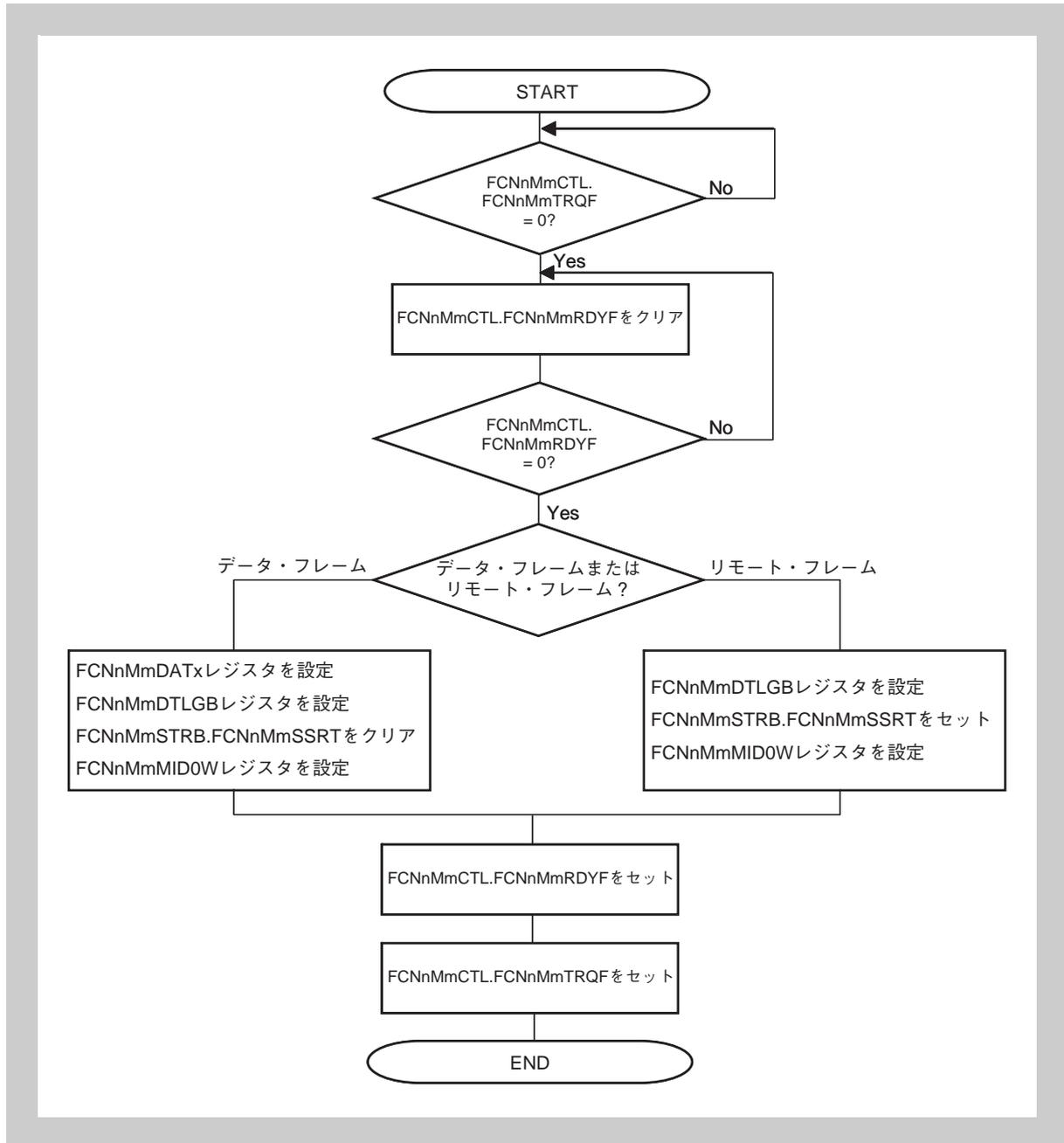


図 17-20 メッセージ送信処理

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に
FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時に
セットしないでください。

図 17-21 「ABT メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

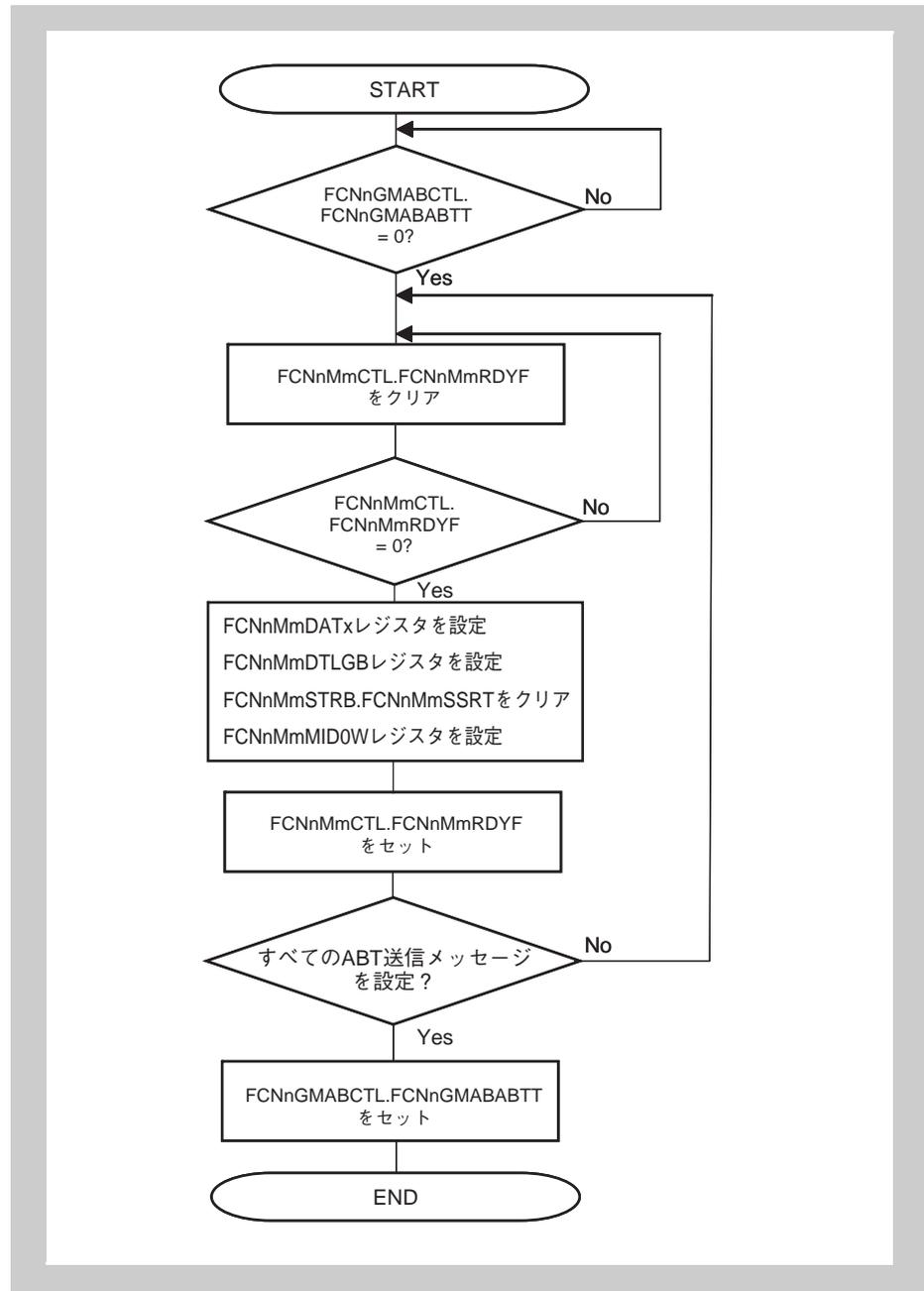


図 17-21 ABT メッセージ送信処理

注意 FCNnCMCLCTL.FCNnCMCLSSTS が 0 にクリアされてから FCNnGMABCTL.FCNnGMABSEAT に 1 をセットしてください。この FCNnCMCLCTL.FCNnCMCLSSTS のクリアの確認と FCNnGMABCTL.FCNnGMABSEAT = 1 の設定は、連続して行ってください。

備考 この処理 (ABT 付き通常動作モード) は、ABT モードで利用可能なメッセージ・バッファにのみ適用することができます。ABT メッセージ・バッファ以外のメッセージ・バッファについては、図 17-20 「メッセージ送信処理」を参照してください。

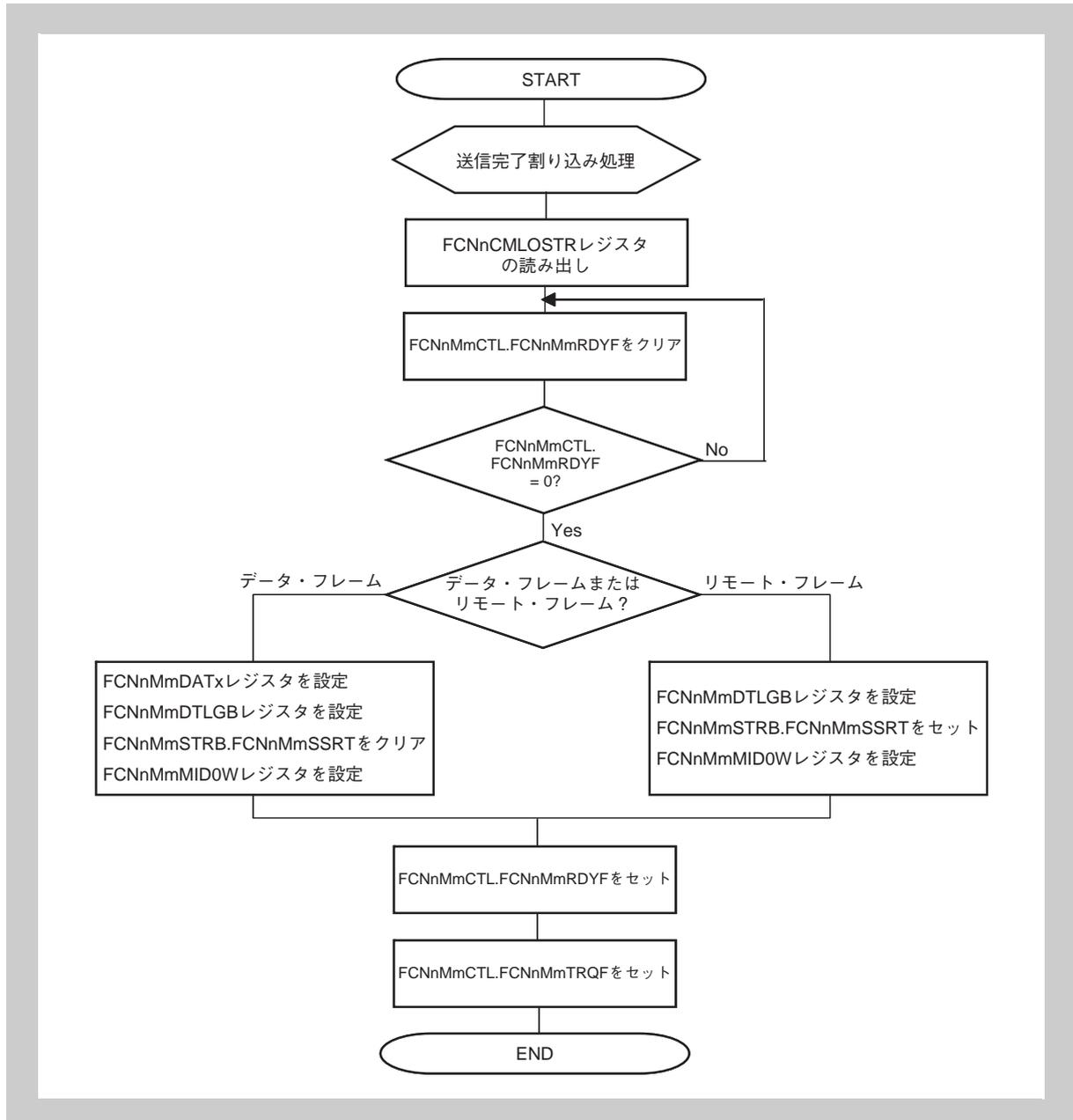


図 17-22 割り込みを利用した送信 (FCNnCMLOSTR レジスタを利用)

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 保留中のスリープ・モード要求が実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

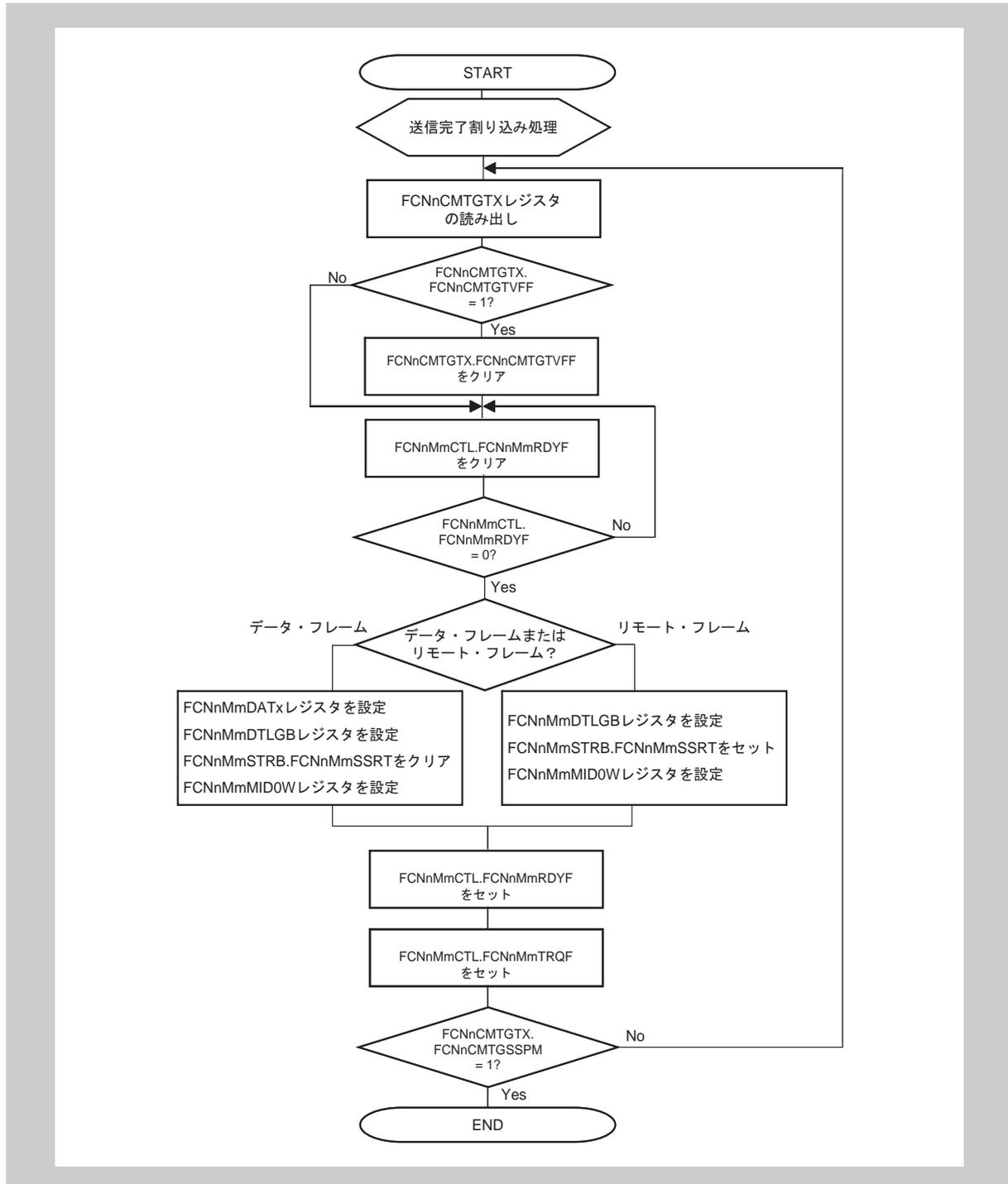


図 17-23 割り込みを利用した送信 (FCNnCMTGTX レジスタを利用)

-
- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。
-

- 備考**
1. 保留中のスリープ・モード要求が実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 2. いったん FCNnCMTGTX.FCNnCMTGTVFF がセットされると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

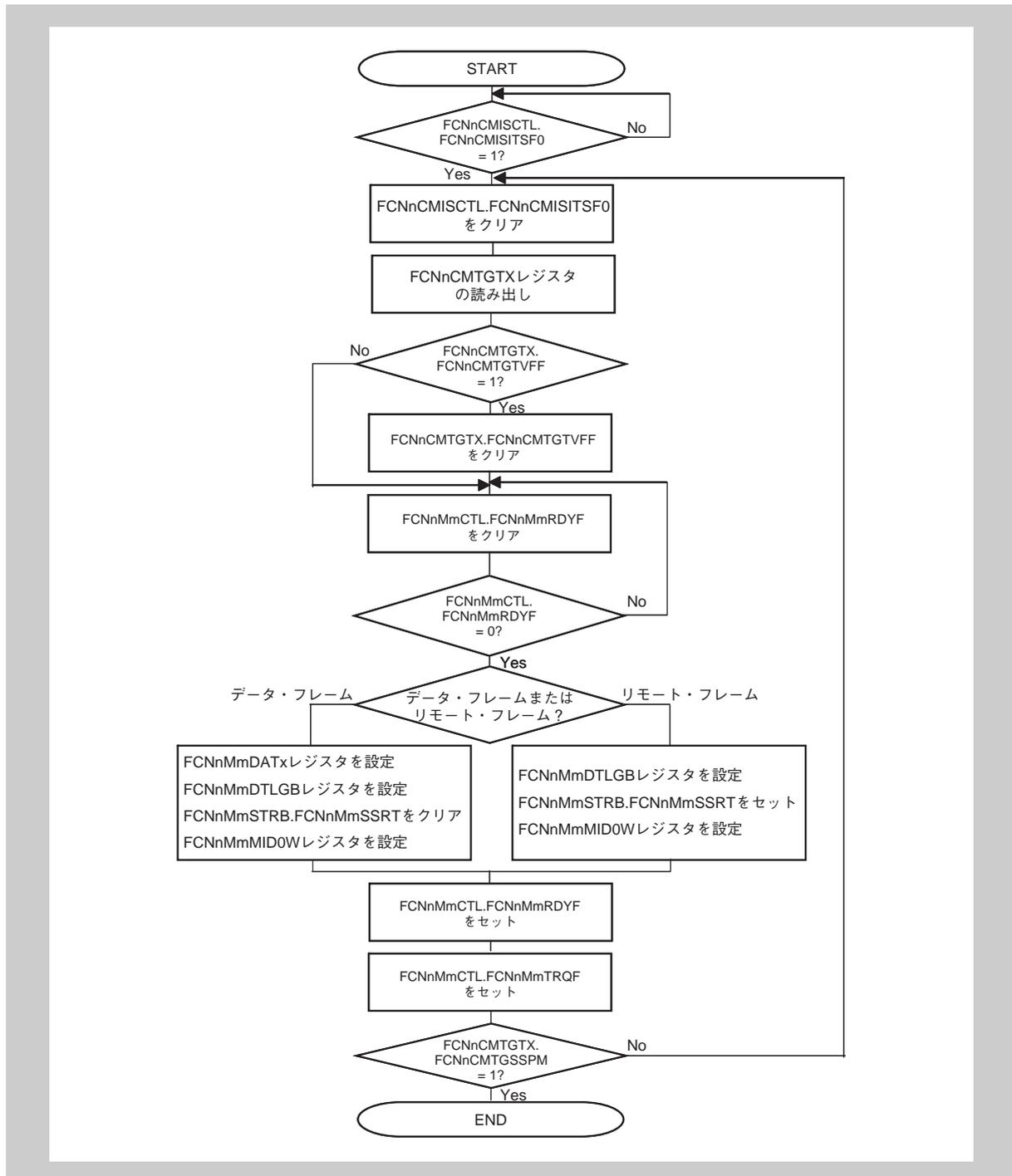


図 17-24 ソフトウェア・ポーリングを利用した送信

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

- 備考**
1. 保留中のスリープ・モード要求が実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
 2. いったん FCNnCMTGTX.FCNnCMTGTVFF がセットされると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

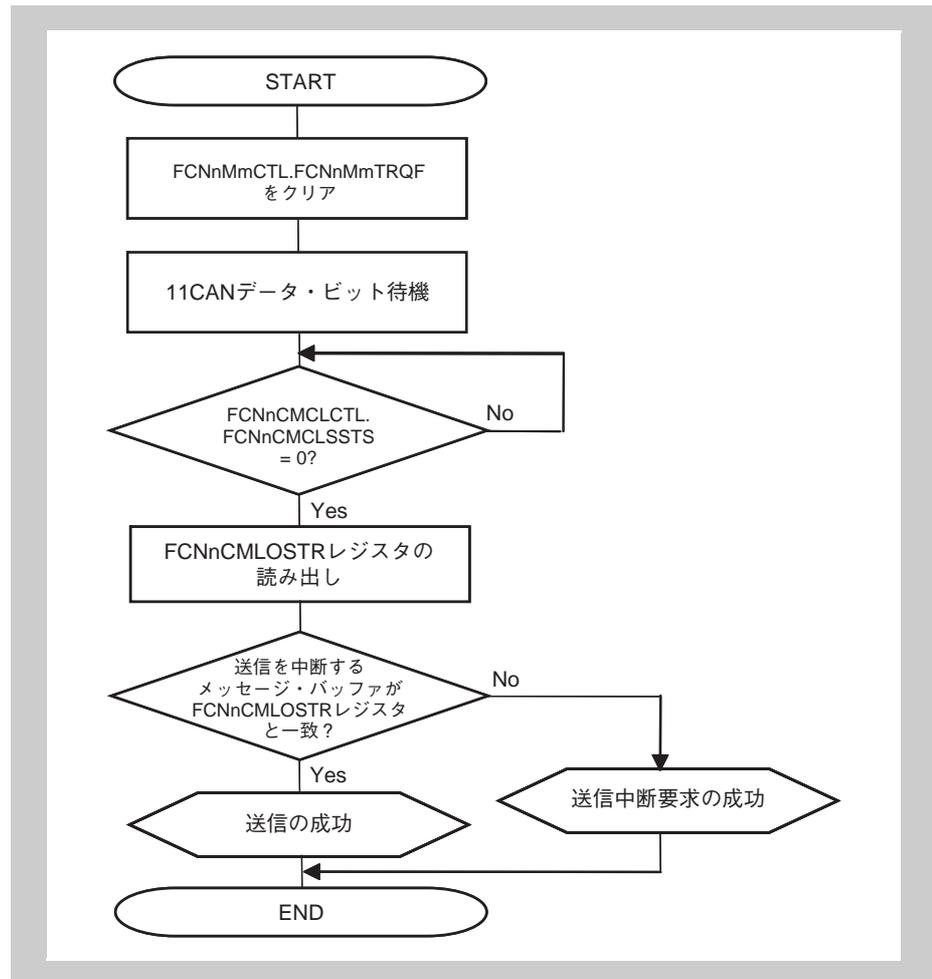


図 17-25 送信中断処理 (ABT 付き通常動作モードの実行中を除く)

- 注意**
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
 2. スリープ・モードへの移行要求を発行する前に、この処理を利用することにより送信要求が残っていないことを確認してください。
 3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
 4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

備考 インターフレーム・スペース (3 ビット) とサスペンド・トランス・ミッション (8 ビット) の合計 11 ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、FCNnMmCTL.FCNnMmTRQF をクリアしても中断されずに送信を開始してしまう可能性があります。

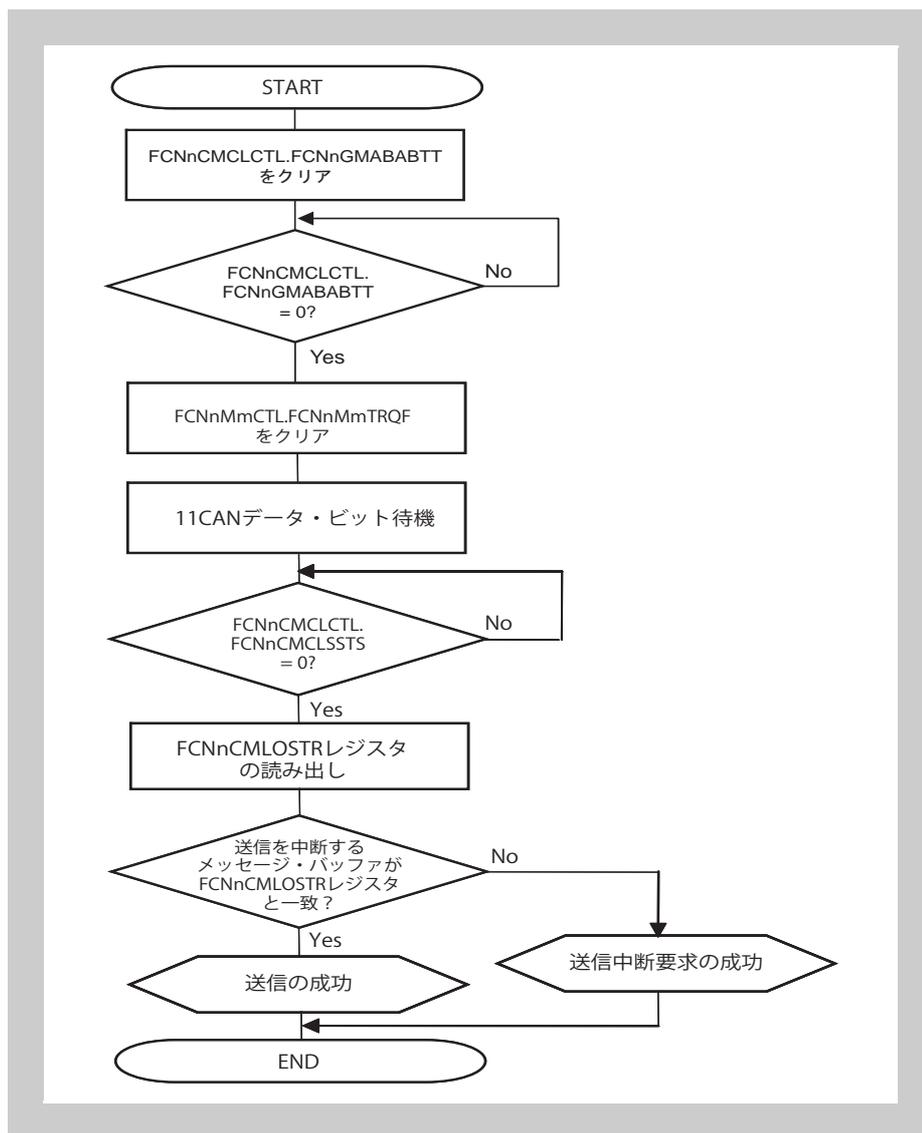


図 17-26 ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)

- 注意**
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
 2. スリープ・モードへの移行要求を発行する前に、この処理を利用することにより送信要求が残っていないことを確認してください。
 3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
 4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

備考 インターフレーム・スペース (3 ビット) とサスペンド・トランス・ミッション (8 ビット) の合計 11 ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、FCNnMmCTL.FCNnMmTRQF をクリアしても中断されずに送信を開始してしまう可能性があります。

図 17-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

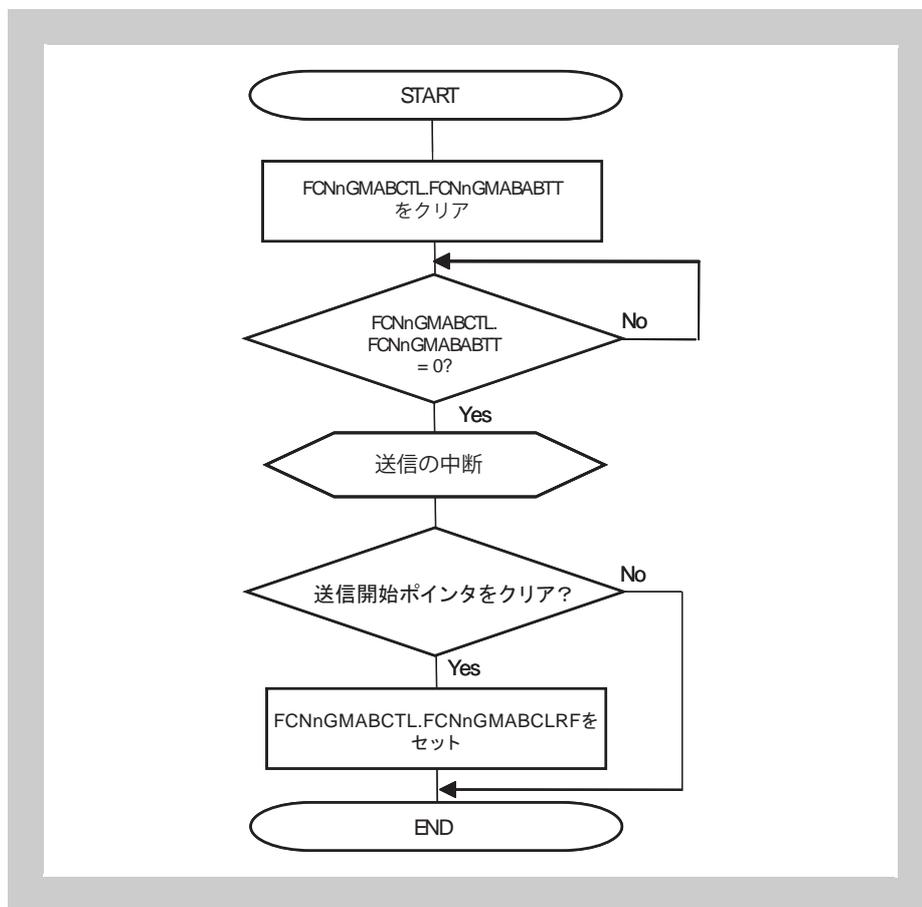


図 17-27 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 17-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 17-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 17-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図 17-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップする処理を示しています。

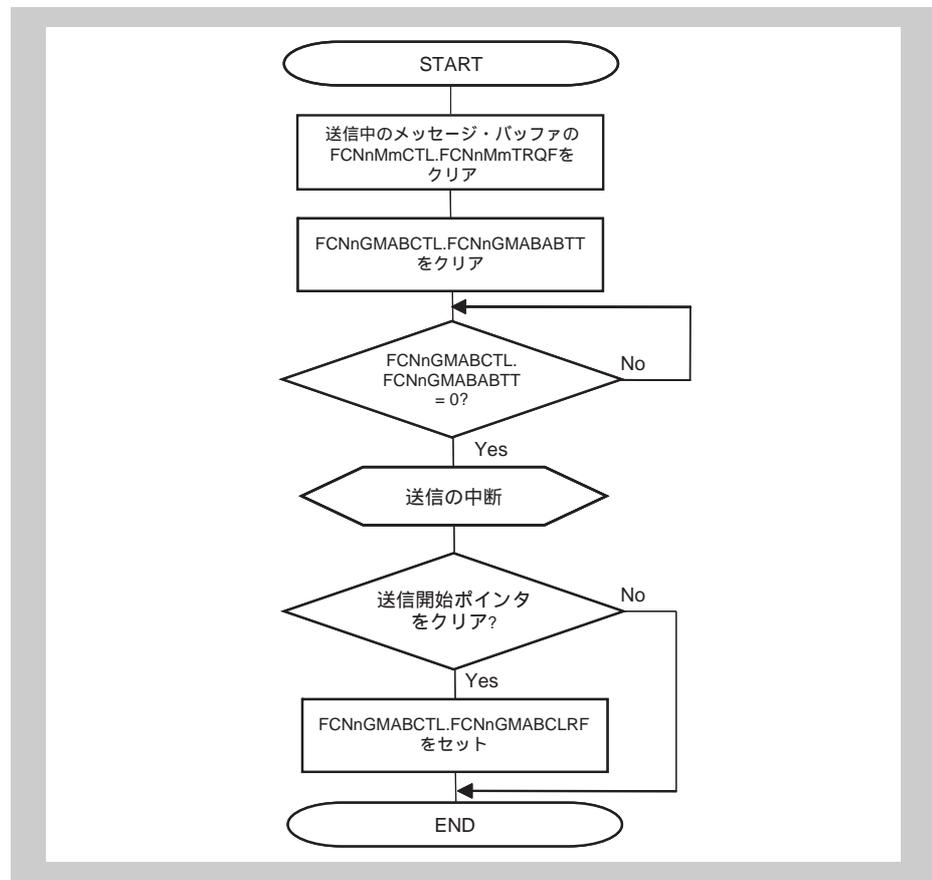


図 17-28 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 17-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 17-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 17-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図 17-29 「送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)」は、送信中断機能 (送信完了フラグ) を利用した ABT モードの処理を示しています。「送信中断の成功」というボックスは、ABT メッセージ・バッファ内の FCNnMmTCPF フラグをチェックすることによって送信中断が成功した状態を示しています。

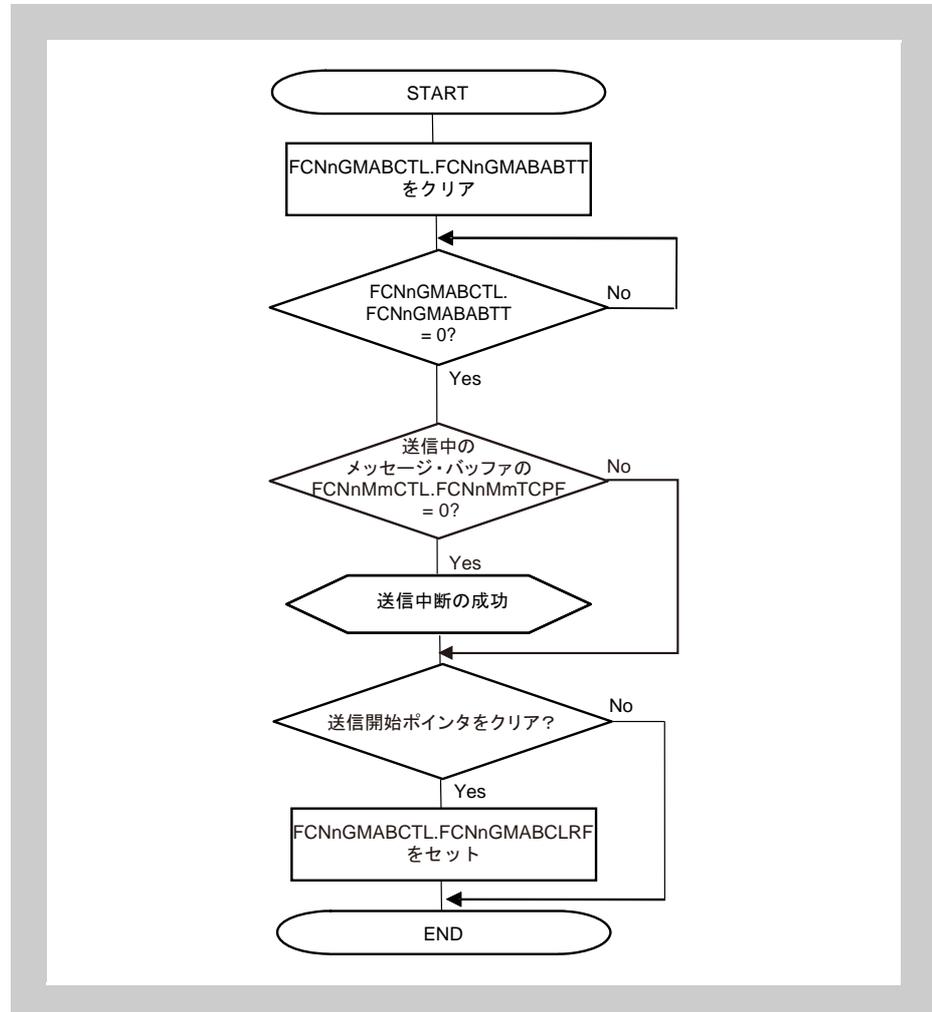


図 17-29 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 17-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 17-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 17-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

備考 ATB 送信中断処理が成功したにもかかわらず、すべての ABT が完全に送信されることがあります。その場合は、どのメッセージの送信が完了したかを調べるができます。

図 17-30 「送信中断割り込みと送信完了フラグによる送信中断処理」は、送信中断機能（送信中断割り込み）を利用した処理を示しています。

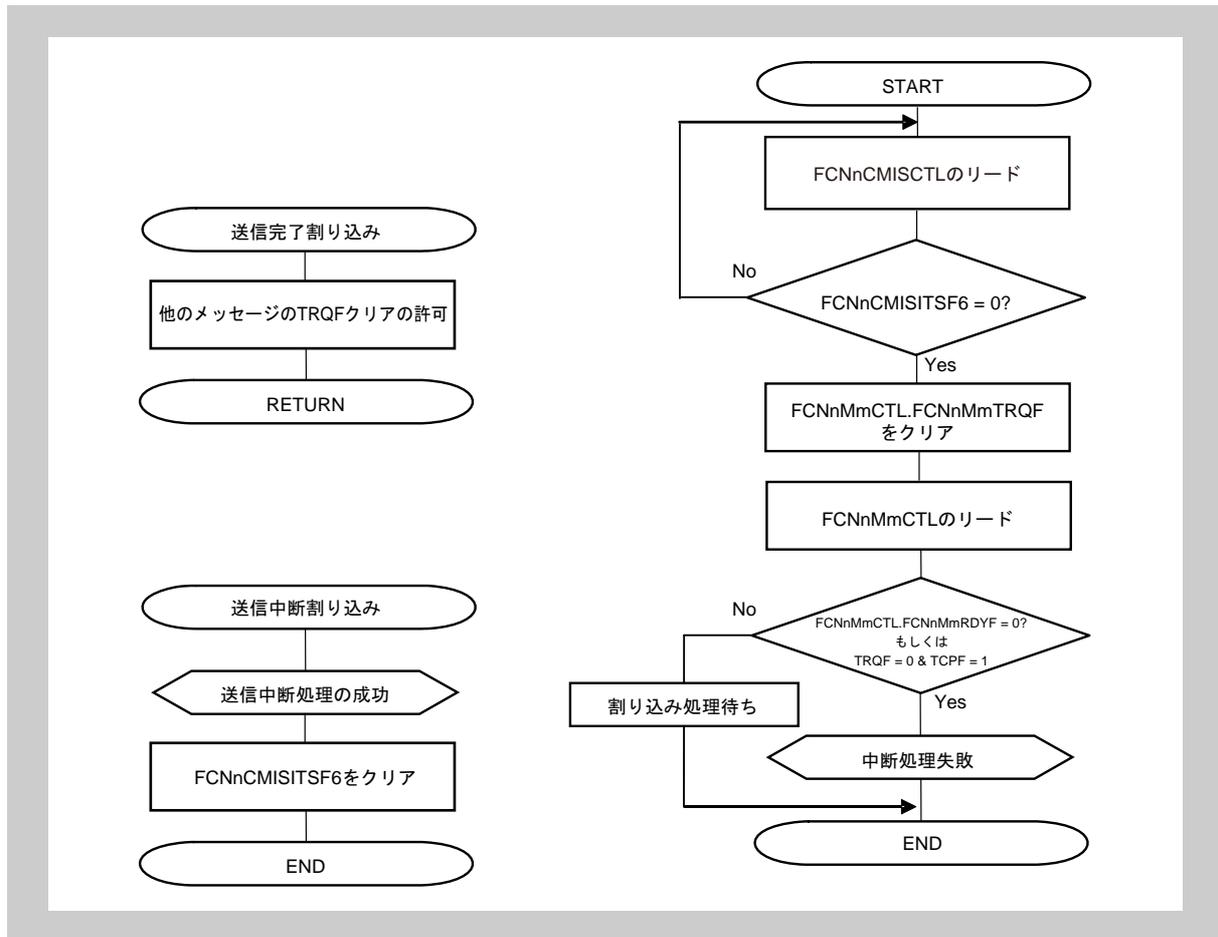


図 17-30 送信中断割り込みと送信完了フラグによる送信中断処理

備考 FCNnMmRDYF = 0 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
 2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われないようにしてください。
 4. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
 5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
 6. FCNnMmRDYF, FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

図 17-31 「送信完了フラグによる送信中断処理」は、送信中断機能（送信完了フラグ FCNnMmTCPF）を利用した処理を示しています。

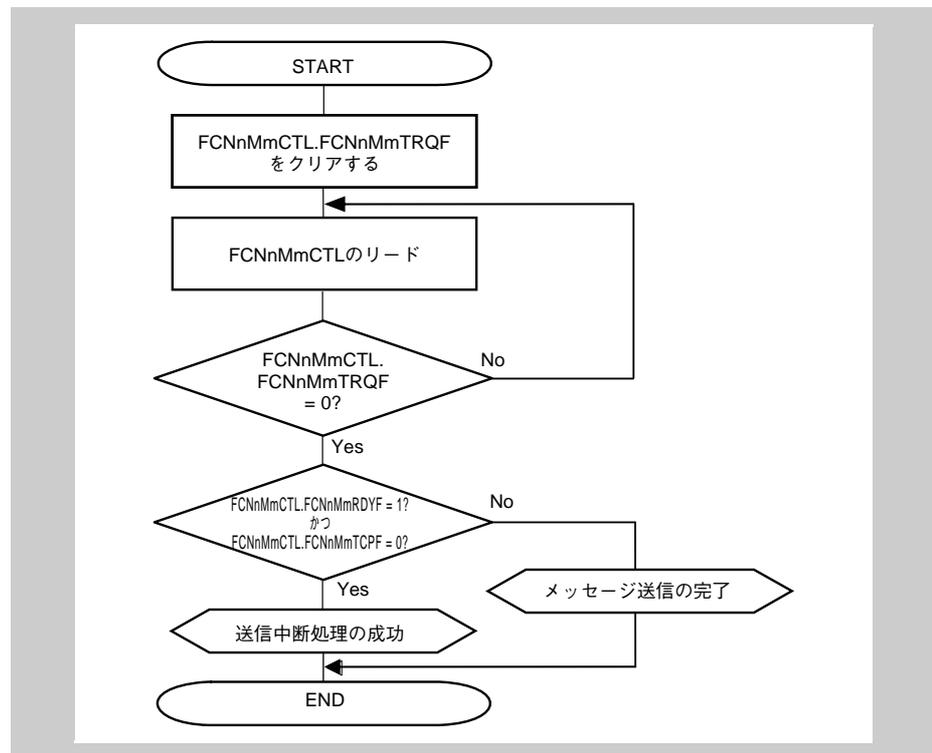


図 17-31 送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=1 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
 2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われないようにしてください。
 4. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
 5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
 6. FCNnMmRDYF, FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

17.15.3 メッセージの受信

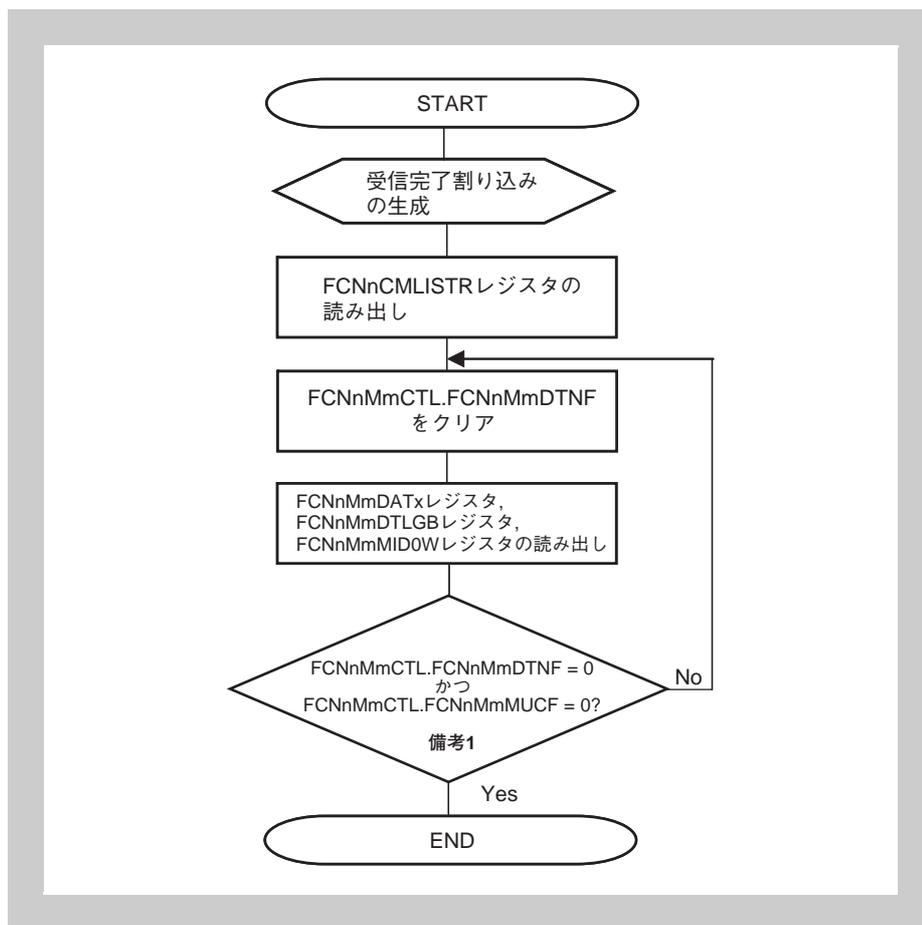


図 17-32 割り込みを利用した受信 (FCNnCMLISTR レジスタを利用)

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
 2. 保留中のスリープ・モード要求が実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

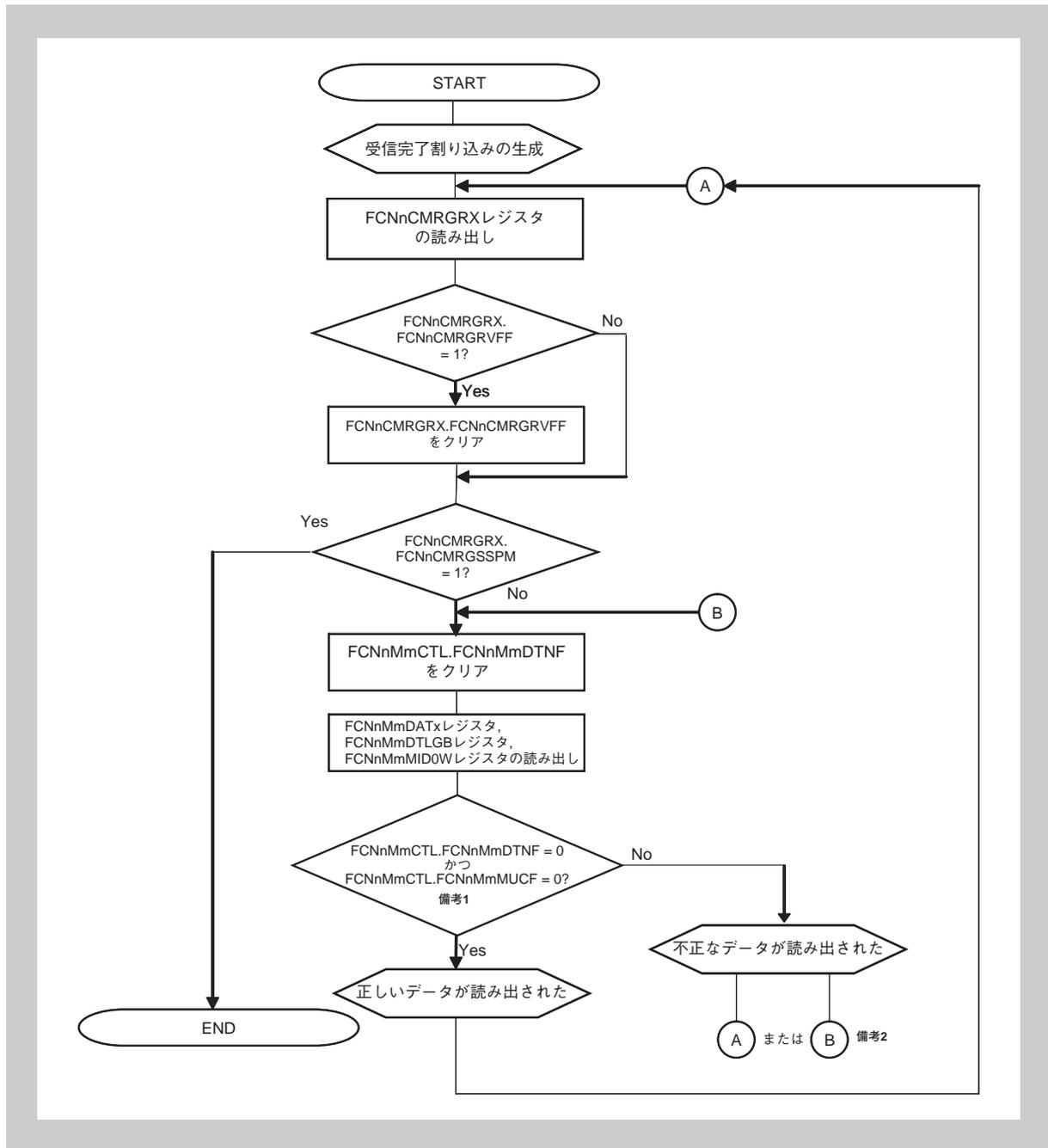


図 17-33 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
 2. アプリケーションの処理対象によって2つの方法があります。
 - 方法 A：現在のパスではなく、次のパスでメッセージが処理されます。タイミングによっては、次の受信割り込みで最も遅くメッセージが処理されます。ほかのメッセージはその前に処理されます。
 - 方法 B：現在のパスでメッセージが処理され、現在のメッセージでループが待機状態に入ります。ほかのメッセージは、あとで処理されます。
 3. 保留中のスリープ・モード要求が実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 4. いったん FCNnCMRGRX.FCNnCMRGRVFF がセットされると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
 5. 図 17-33 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)」の方法は、代わりに図 17-34 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法」の方法を利用することができます。

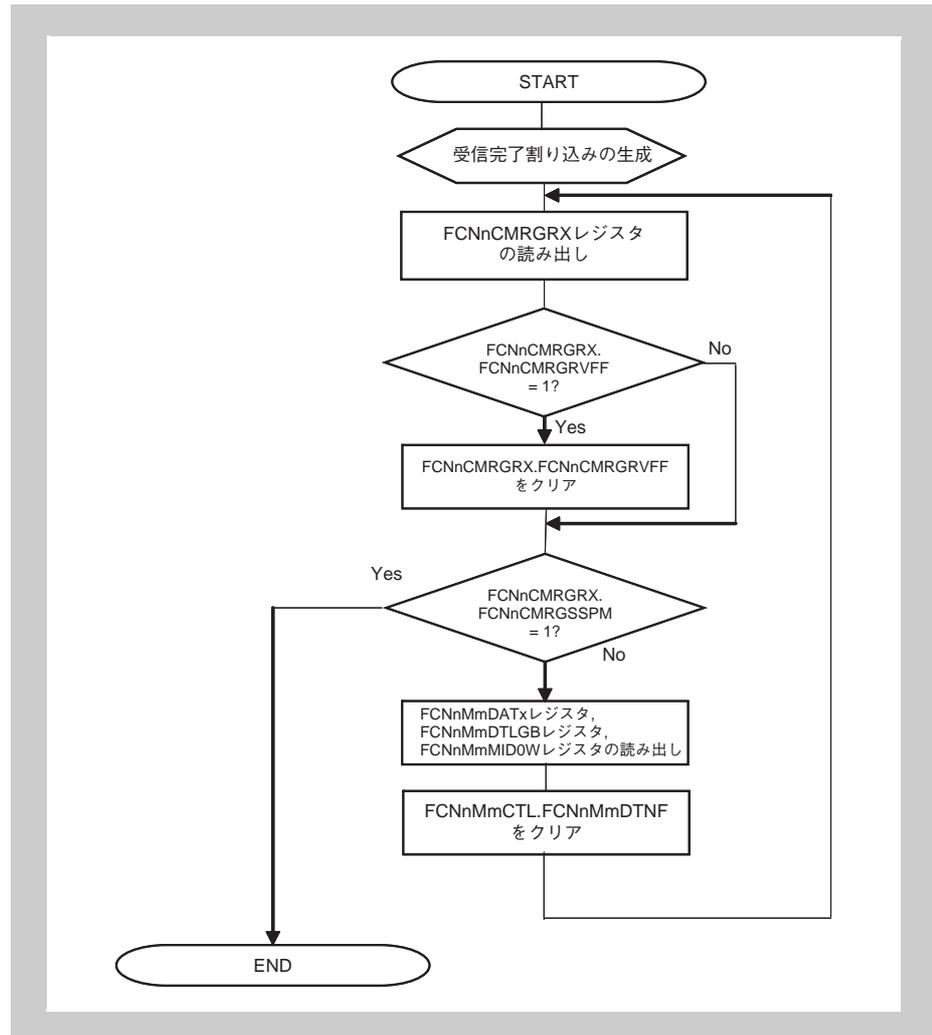


図 17-34 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法

- 備考**
1. 保留中のスリープ・モード要求が実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 2. いったん FCNnCMRGRX.FCNnCMRGRVFF がセットされると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
 3. このフローを利用する場合、アプリケーションは最新の受信データを取得できません。ただし、処理量が少ないため、割り込み負荷が軽減されます。
 4. このフローで上書き機能 (FCNnMmSTRB.FCNnMmSSOW = 1) を使用しないでください。使用した場合は、データの整合性が失われる可能性があります。

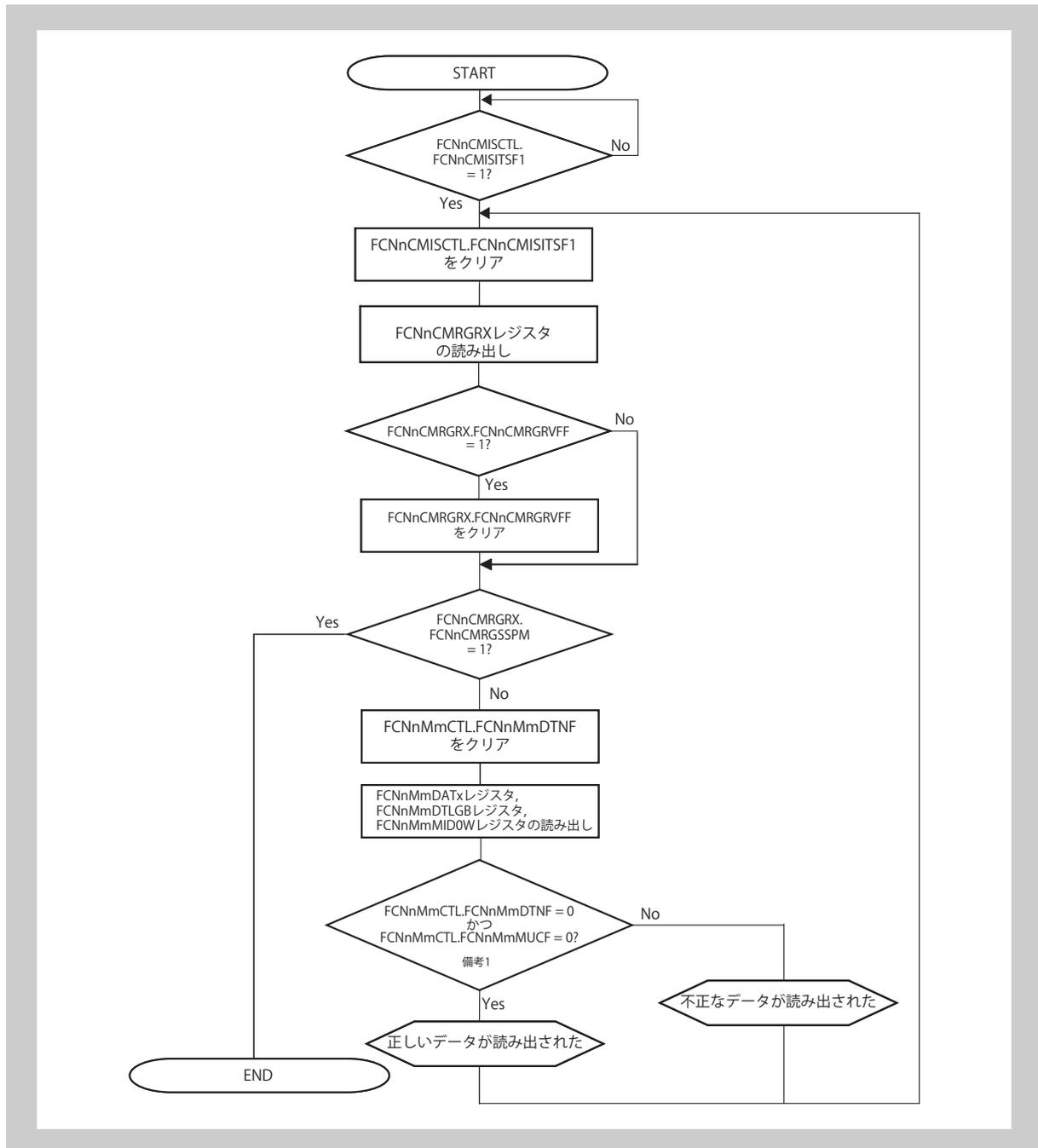


図 17-35 ソフトウェア・ポーリングを利用した受信

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
 2. 保留中のスリープ・モード要求が実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、実行中の処理を中止し、FCNnGMCLSSMO が再びセットされてから、再び処理を実行してください。
 3. いったん FCNnCMRGRX.FCNnCMRGRVFF がセットされると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。

17.15.4 パワー・セーブ・モード

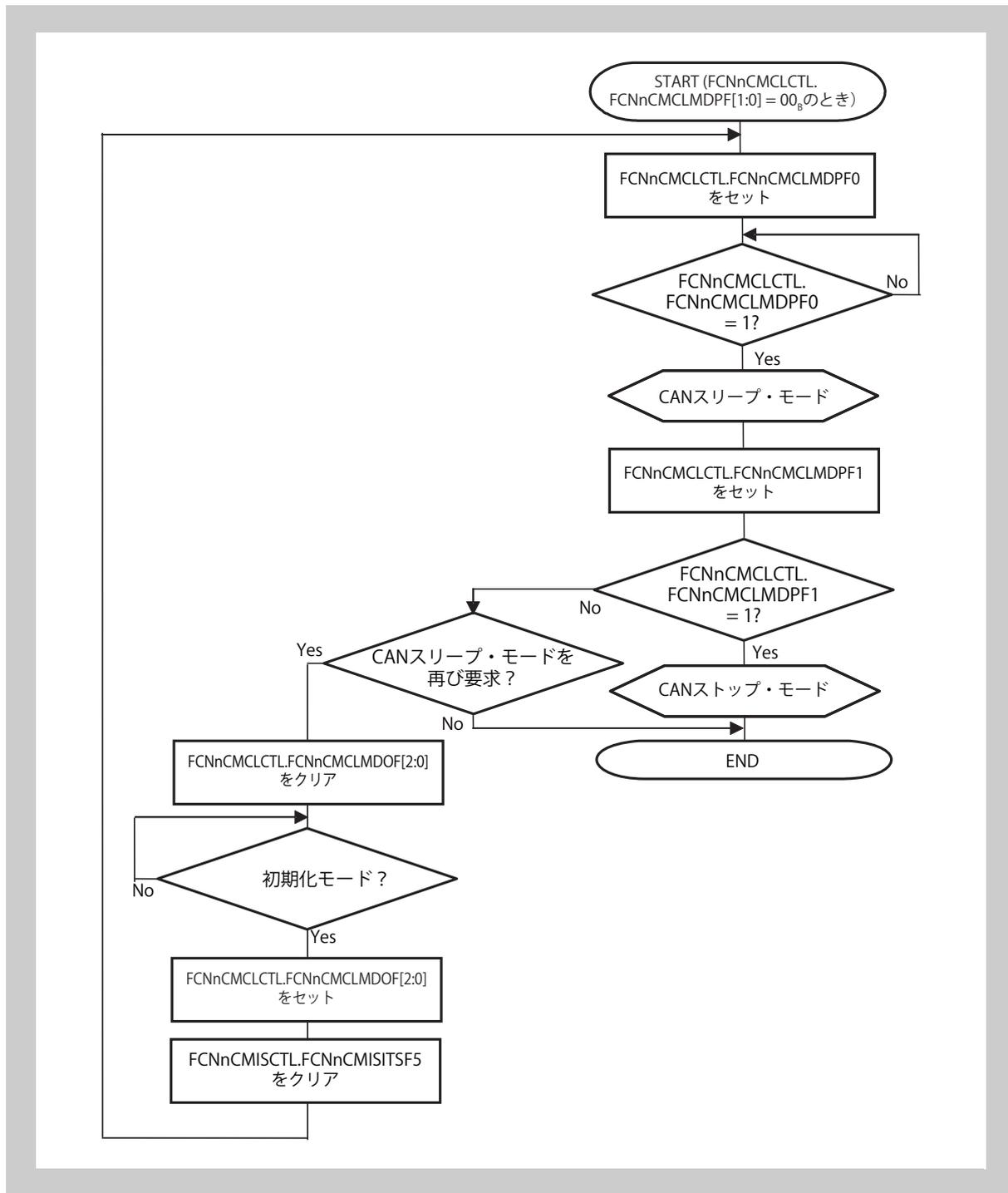


図 17-36 FCN スリープ・モード/ストップ・モードの設定

注意 FCN スリープ・モードへの移行要求を発行する前に送信を中断するには、前
に示したフローチャートに従って送信中断処理を実行してください。

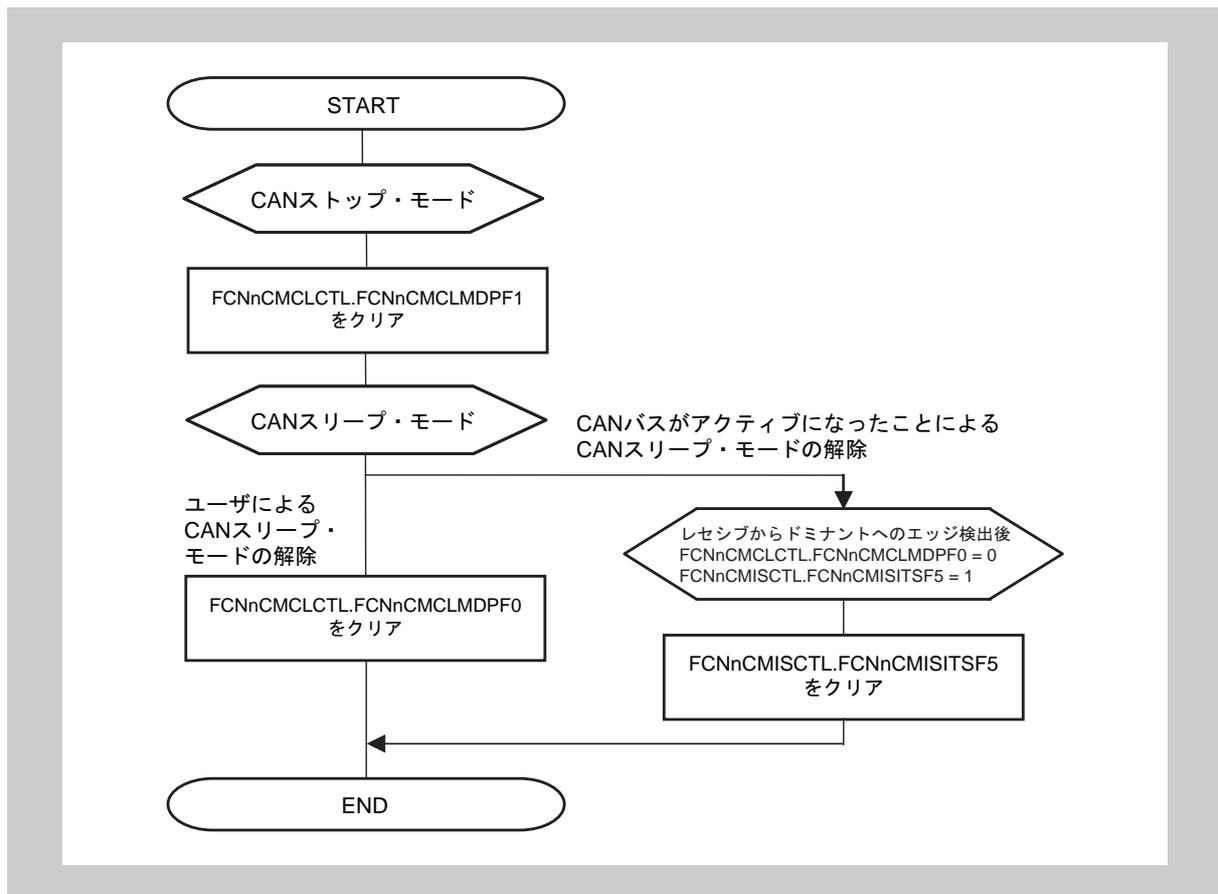


図 17-37 FCN スリープ/ストップ・モードの解除

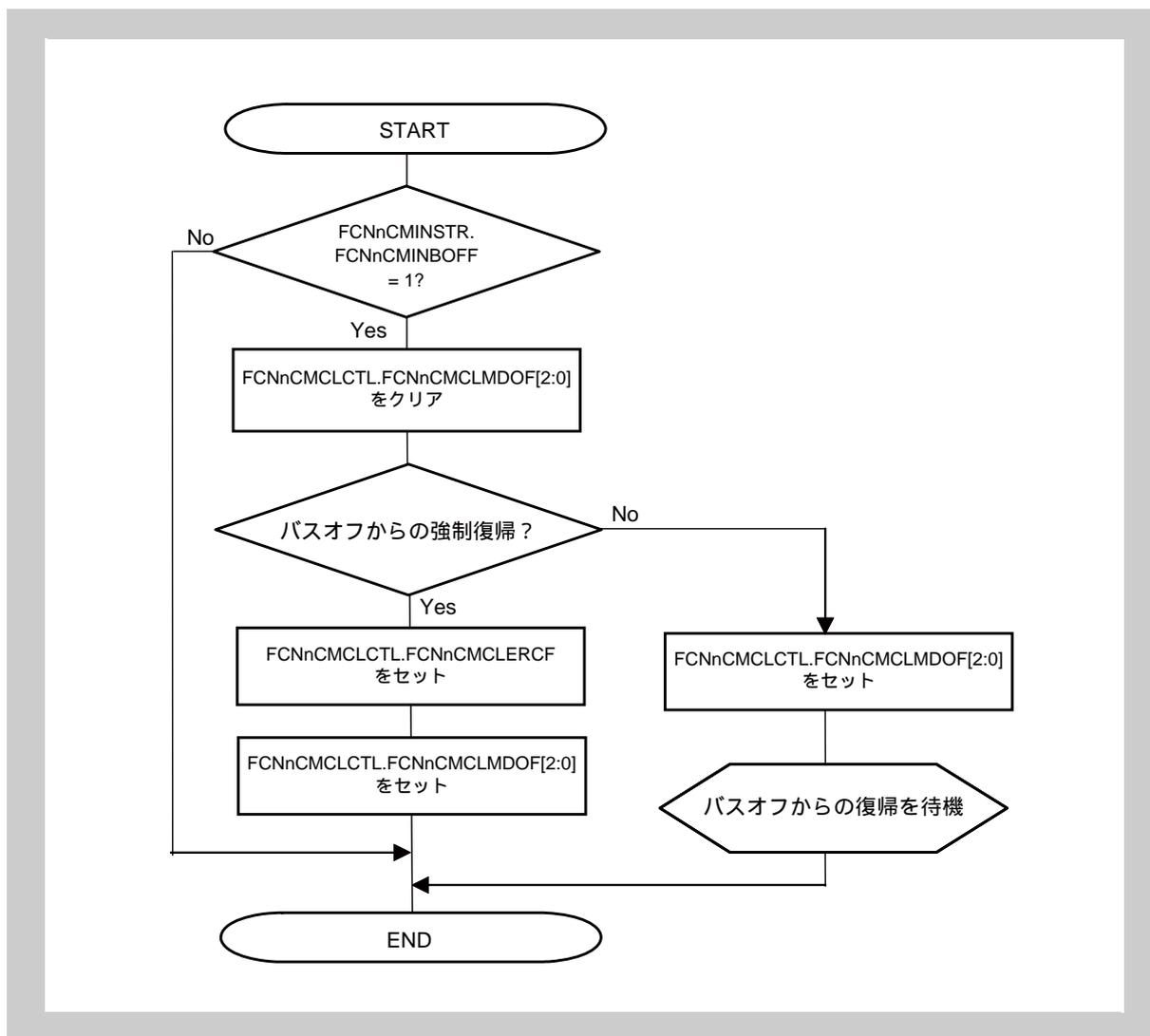


図 17-38 バスオフからの復帰

注意 バスオフ復帰シーケンス中に初期化モードからいずれかの動作モードへの移行要求が発行され、再びバスオフ復帰シーケンスが実行されると、受信エラー・カウンタがクリアされます。したがって、連続する 11 個のレセシブ・レベル・ビットを再びバス上で 128 回検出する必要があります。

備考 動作モード：通常動作モード、ABT 付き通常動作モード、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モード

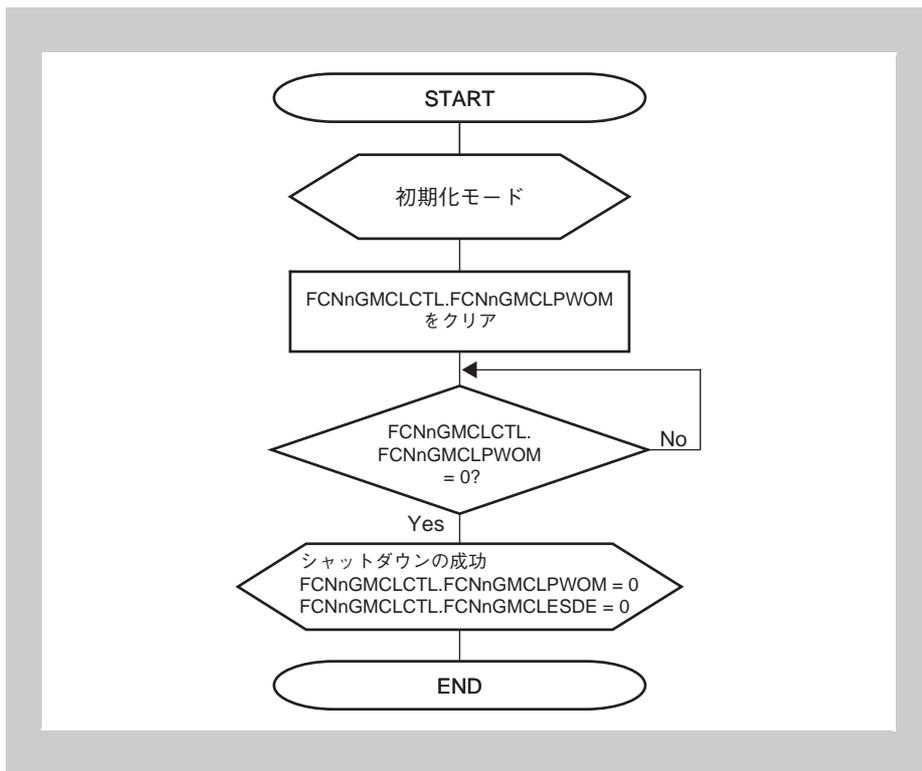


図 17-39 通常のシャットダウン処理

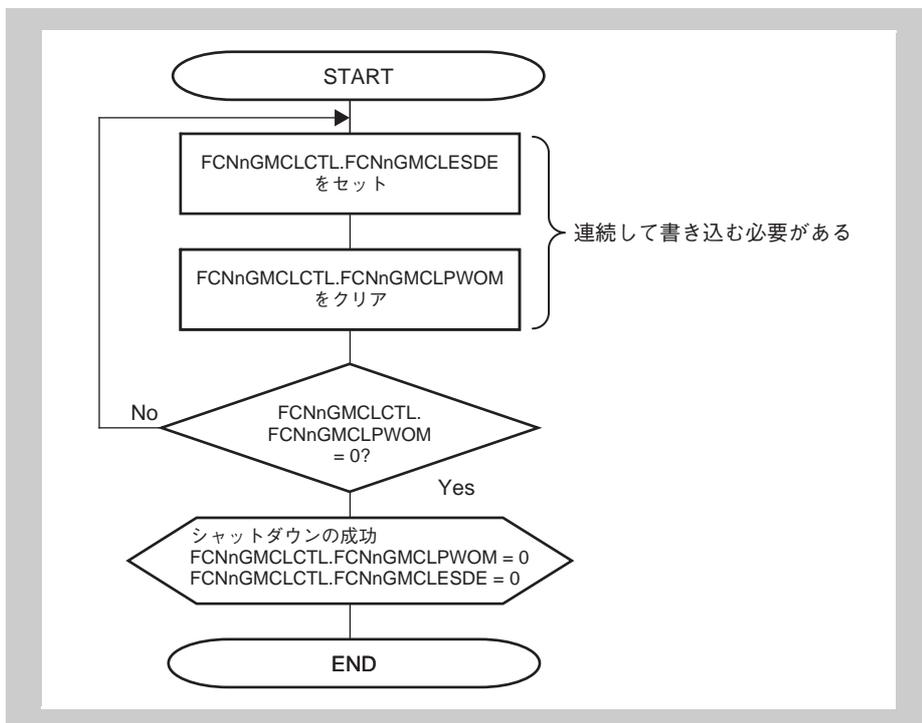


図 17-40 強制シャットダウン処理

注意 FCNnGMCLSEDE ビットをセットしてから FCNnGMCLPWOM ビットをクリアするまでの間は、いずれのレジスタへもソフトウェアによる読み出しアクセスまたは書き込みアクセスを行わないでください。

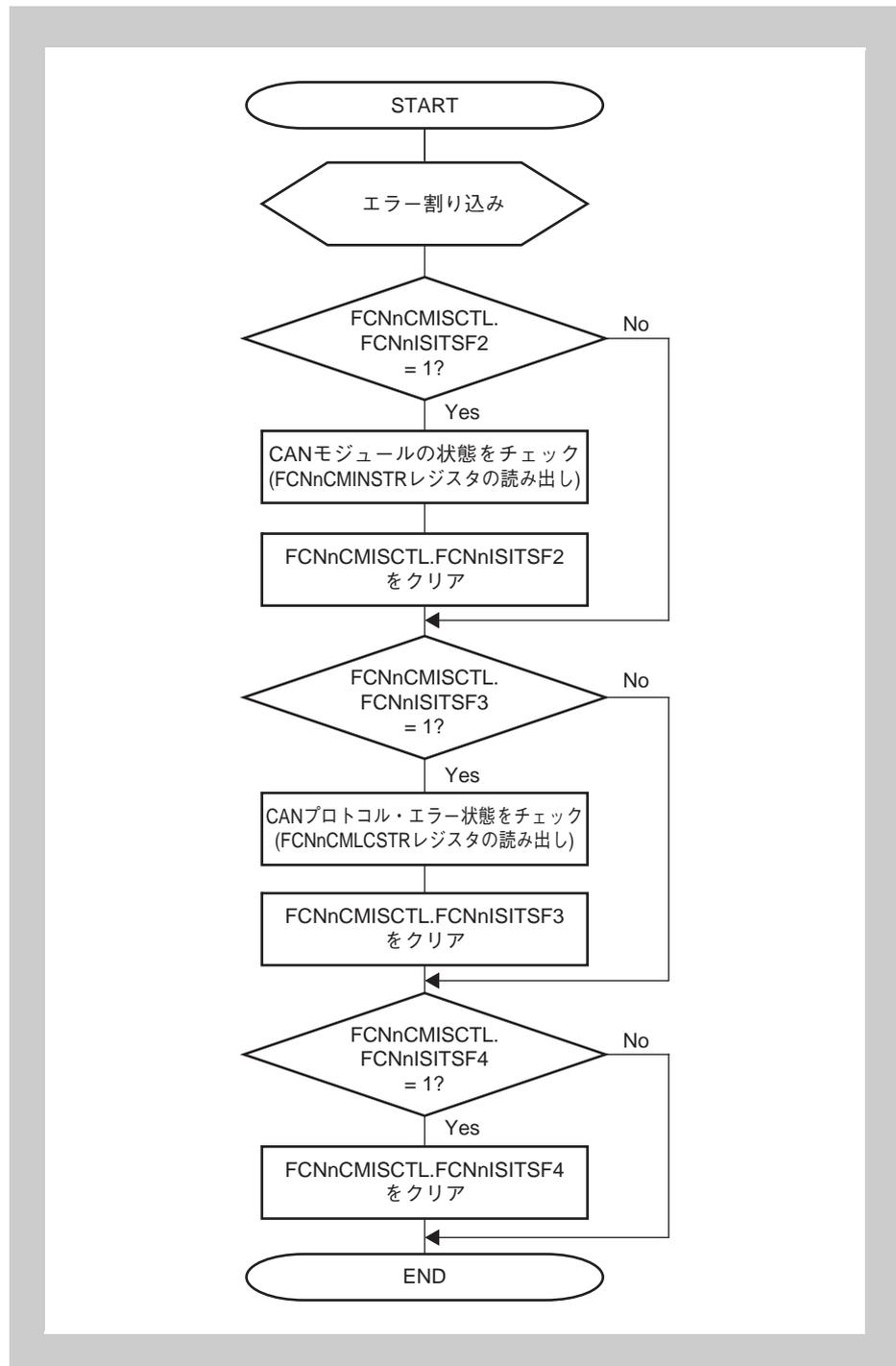


図 17-41 エラー処理

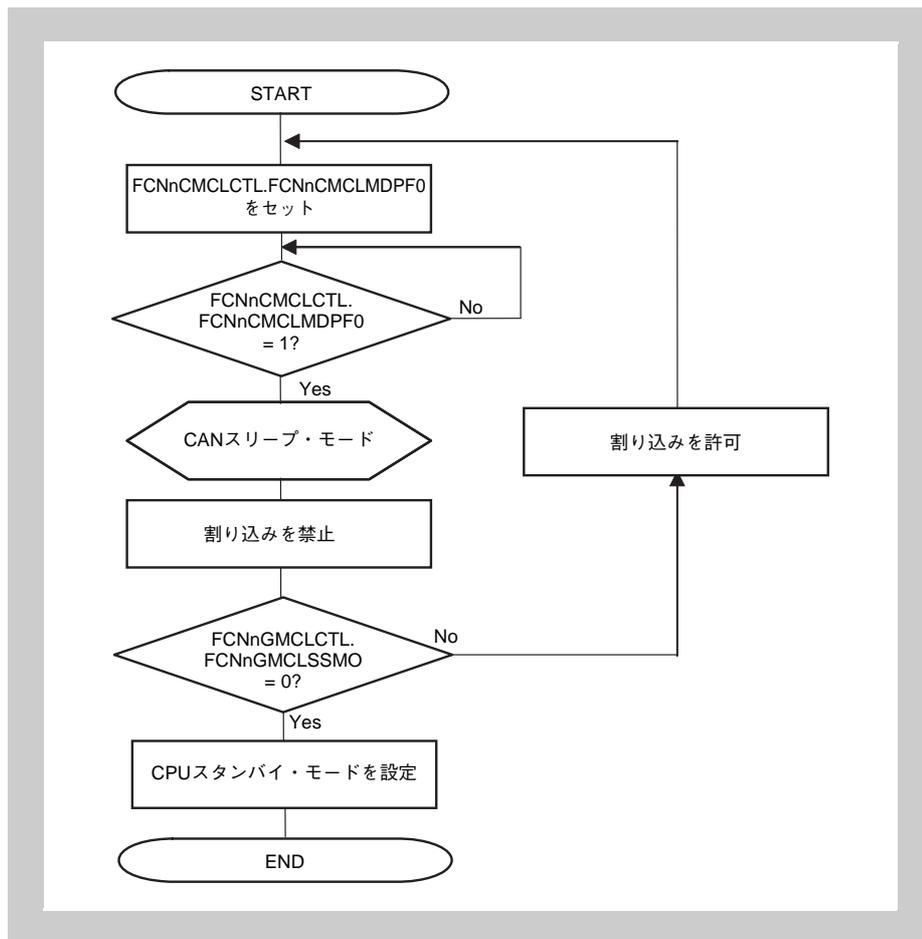


図 17-42 CPU スタンバイの設定 (FCN スリープ・モードから)

- 備考
1. CPU を CPU スタンバイ・モードに設定する前に、FCN スリープ・モードに入っているかどうかをチェックしてください。
ただし、FCN スリープ・モードをチェックしてから、CPU スタンバイ・モードに設定されるまでに、CAN バスからのウェイクアップによって FCN スリープ・モードがキャンセルされる可能性があります。
 2. FCNnGMCLSSMO = 0 をチェックしてから CPU スタンバイ・モードを設定するまでの間に、CAN バス上でウェイクアップ状態が発生する可能性があります。その場合は、CAN モジュールがスリープ・モードを解除し、FCNnCMISITSF5 ビットがセットされ、割り込みが許可されていればウェイクアップ割り込みが発生します。

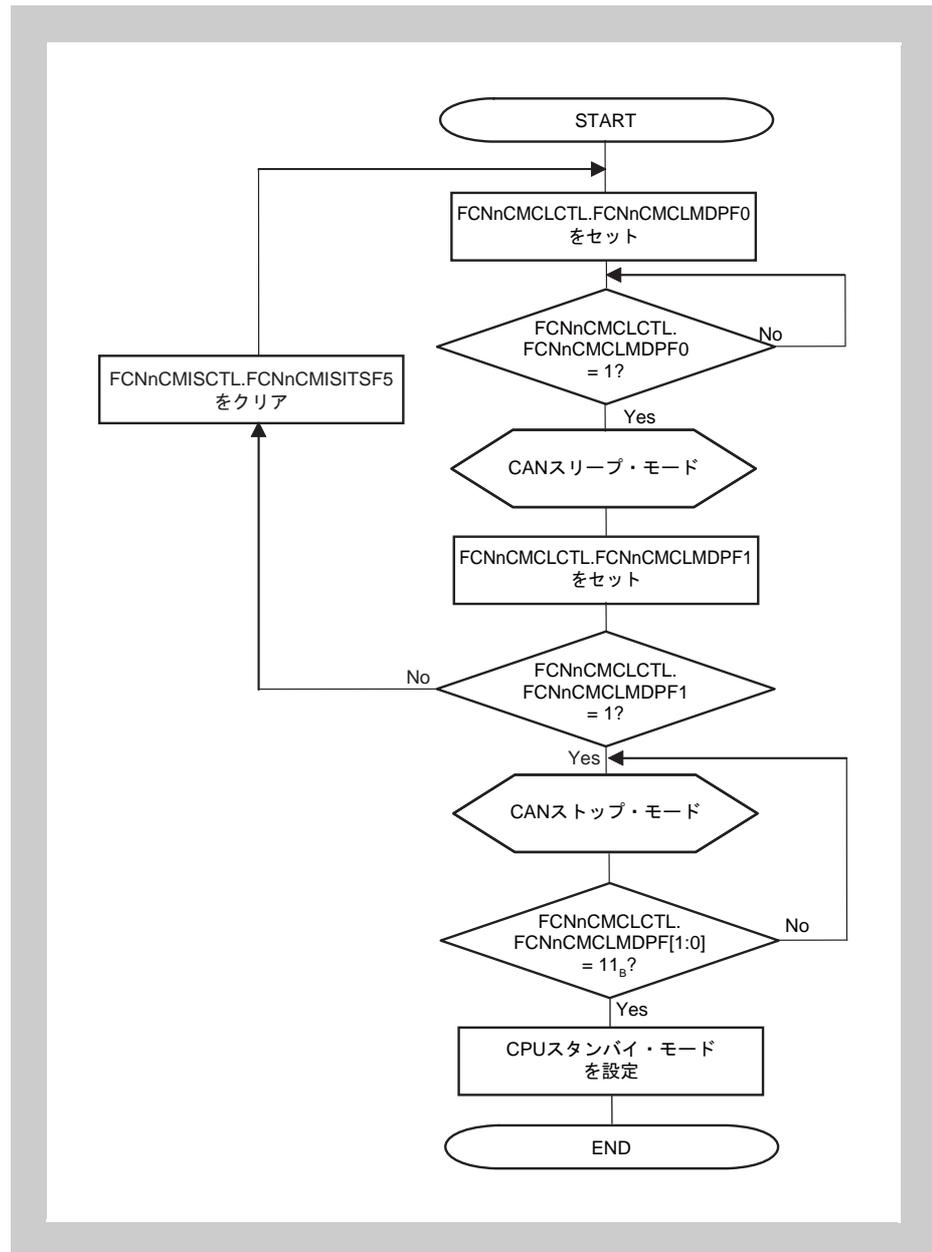


図 17-43 CPU スタンバイの設定 (FCN ストップ・モードから)

注意 FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除することができます。FCN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。

第18章 クロック同期シリアル・インタフェース G (CSIG)

本章では、クロック同期シリアル・インタフェース G (CSIG) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/Fx4-L に固有の特性について説明します。

それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。

18.1 V850E2/Fx4-L CSIG の特徴

チャンネル数 V850E2/Fx4-L は以下のチャンネル数のクロック同期シリアル・インタフェース G を搭載しています。

表 18-1 CSIG のチャンネル

クロック同期シリアル・インタフェース G	V850E2/FE4-L V850E2/FF4-L V850E2/FF4-G	V850E2/FG4-L V850E2/FJ4-L V850E2/FG4-G
チャンネル数	2	3
名称	CSIG0, CSIG4	CSIG0, CSIG4, CSIG7

n の意味 本章では、クロック同期シリアル・インタフェース G の各チャンネルを「n」(n = 0, 4, 7) で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0 と記述します。

レジスタ・アドレス CSIGn のレジスタ・アドレスは、ベース・アドレス <CSIGn_base> からのオフセットで表されます。各 CSIGn のベース・アドレス <CSIGn_base> を以下の表に示します。

表 18-2 レジスタ・ベース・アドレス <CSIGn_base>

CSIGn のチャンネル	<CSIGn_base> アドレス
CSIG0	FF70 0000 _H
CSIG4	FF74 0000 _H
CSIG7	FF69 0000 _H

クロック供給 クロック同期シリアル・インタフェース G は次のクロック入力供給されません。

表 18-3 CSIGn のクロック・ソース

CSIGn のチャンネル	CSIGn のクロック	接続先
CSIG0	PCLK	クロック・ジェネレータ CKSCLK_028
CSIG4	PCLK	クロック・ジェネレータ CKSCLK_011
CSIG7	PCLK	クロック・ジェネレータ CKSCLK_029

割り込み クロック同期シリアル・インタフェース G は以下の割り込み要求を生成することができます。

表 18-4 CSIGn の割り込み要求

CSTGn の信号	機能	接続先
CSIG0		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG0IC DMA コントローラ・トリガ 35
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG0IR DMA コントローラ・トリガ 34
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG0IRE
CSIG4		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG4IC DMA コントローラ・トリガ 49
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG4IR DMA コントローラ・トリガ 48
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG4IRE
CSIG7		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG7IC DMA コントローラ・トリガ 57
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG7IR DMA コントローラ・トリガ 56
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG7IRE

内部信号 クロック同期シリアル・インタフェース G の内部信号の接続を以下の表に示します。

表 18-5 CSIGn の内部信号の接続

CSIGn の信号	機能	接続先
CSIG0		
CSIGTSSO	CSIGTSSO 出力バッファ制御	ポート CSIG0SO 出力バッファ制御
CSIG4		
CSIGTSSO	CSIGTSSO 出力バッファ制御	ポート CSIG4SO 出力バッファ制御
CSIG7		
CSIGTSSO	CSIGTSSO 出力バッファ制御	ポート CSIG7SO 出力バッファ制御

**CSIG ハードウェア
・リセット** CSIG とそのレジスタは次のリセット信号によって初期化されます。

表 18-6 CSIGn リセット信号 I

CSIGn	リセット信号
CSIGn	リセット・コントローラ SYSRES

I/O 信号 クロック同期シリアル・インタフェース G の I/O 信号を以下の表に示します。

表 18-7 CSIGn の I/O 信号

CSIGn の信号	機能	接続先
CSIG0		
CSIGTSCK	シリアル・クロック信号	ポート CSIG0SC
CSIGTSI	シリアル・データ入力信号	ポート CSIG0SI
CSIGTSO	シリアル・データ出力信号	ポート CSIG0SO
CSIGTSSI	スレーブ選択入力信号	ポート CSIG0SSI
CSIGTSHSG	ハンドシェーク入力信号	ポート CSIG0RYI
	ハンドシェーク出力信号	ポート CSIG0RYO
CSIG4		
CSIGTSCK	シリアル・クロック信号	ポート CSIG4SC
CSIGTSI	シリアル・データ入力信号	ポート CSIG4SI
CSIGTSO	シリアル・データ出力信号	ポート CSIG4SO
CSIGTSSI	スレーブ選択入力信号	ポート CSIG4SSI
CSIGTSHSG	ハンドシェーク入力信号	ポート CSIG4RYI
	ハンドシェーク出力信号	オープン
CSIG7		
CSIGTSCK	シリアル・クロック信号	ポート CSIG7SC
CSIGTSI	シリアル・データ入力信号	ポート CSIG7SI
CSIGTSO	シリアル・データ出力信号	ポート CSIG7SO
CSIGTSSI	スレーブ選択入力信号	ポート CSIG7SSI
CSIGTSHSG	ハンドシェーク入力信号	ポート CSIG7RYI
	ハンドシェーク出力信号	ポート CSIG7RYO

注意 クロック同期シリアル・インタフェース (CSIGn) の入力端子にポート・フィルタが割り当てられています (初期値が有効です) が、フィルタの使用により通信異常が発生する可能性がありますので、CSIGn を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

CSIG0SC : FCLA24CTL0 = 80_H

CSIG0RYI : FCLA24CTL1 = 80_H

CSIG0SI : FCLA24CTL2 = 80_H

CSIG0SSI : FCLA24CTL3 = 80_H

CSIG4SC : FCLA7CTL2 = 80_H

CSIG4SI : FCLA7CTL3 = 80_H

CSIG4RYI : FCLA7CTL4 = 80_H

CSIG4SSI : FCLA7CTL5 = 80_H

CSIG7SC : FCLA23CTL0 = 80_H

CSIG7RYI : FCLA23CTL1 = 80_H

CSIG7SI : FCLA23CTL2 = 80_H

CSIG7SSI : FCLA23CTL3 = 80_H

データ整合性チェック CSIGnSO の兼用ポートとデータ整合性チェックの対応可否を以下の表に示します。データ整合性チェックの詳細は、18.3.11「エラー検出」を参照してください。

表 18-8 CSIGn のデータセキュリティ・チェックの対応

CSIGn の I/O ポート	機能	兼用機能	データ整合性チェック
CSIG0			
CSIG0SO	P0_14	ALT_OUT4	対応
	P3_6	ALT_OUT4	対応
	P4_4	ALT_OUT2	非対応
CSIG4			
CSIG4SO	P0_1	ALT_OUT2	対応
	P4_7	ALT_OUT2	非対応
	P25_4	ALT_OUT3	非対応
CSIG7			
CSIG7SO	P1_3	ALT_OUT4	対応
	P21_3	ALT_OUT2	対応

18.2 機能の概要

- 特徴の概要**
- 3線式シリアル同期データ転送
 - マスタ・モードとスレーブ・モードを選択可能
 - スレーブ選択入力信号 ($\overline{\text{CSIGTSSI}}$)
 - ボー・レート・ジェネレータを内蔵
 - ボー・レートを調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
 - 最大転送速度：
 - マスタ・モード：10.0Mbps (ただし, PCLK/4 以下)
 - スレーブ・モード：5.0Mbps (ただし, PCLK/6 以下)
 - クロック位相とデータ位相が調整可能
 - MSB ファーストまたは LSB ファーストでのデータ転送
 - 7ビットから 16ビットまでの転送データ長を 1ビット単位で選択可能
 - 16ビットを上回るデータを転送するための拡張データ長 (EDL : Extended Data Length) 機能
 - 以下の 3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
 - ハンドシェイク機能を内蔵
 - 送信バッファと受信バッファが別々 (16ビット・レジスタを 2個搭載)
 - エラー検出 (データ整合性チェック, パリティ, オーバラン)
 - 3つの割り込み要求信号 (CSIGTIC, CSIGTIR, CSIGTIRE)
 - さまざまな割り込み生成条件を設定可能
 - 自己テスト用のループ・バック・モード (LBM : Loop Back Mode) 機能

以下のブロック図はCSIGの主要なコンポーネントを示しています。

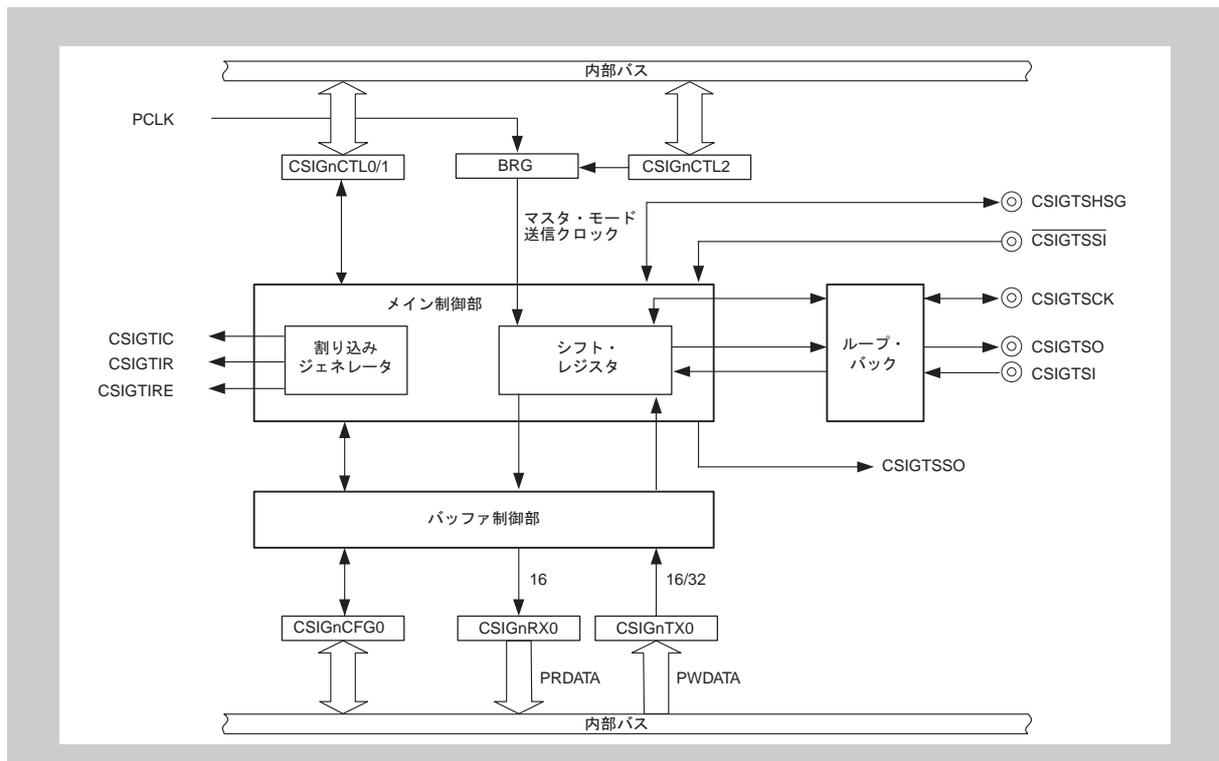


図 18-1 CSIG のブロック図

マスタ・モードでは、送信クロック CSIGTSSCK が内蔵のボー・レート・ジェネレータ (BRG) によって生成されます。スレーブ・モードでは、外部ソースから送信クロックが供給されます。

18.3 機能の説明

クロック同期シリアル・インタフェースでは以下の3つの信号を通信に使用します。

- 送信クロック CSIGTSCK (マスタ・モードでは出力, スレーブ・モードでは入力)
- データ出力信号 CSIGTSO
- データ入力信号 CSIGTSI

CSIGnCTL2 レジスタによって, CSIG をマスタ・モードまたはスレーブ・モードのどちらで動作させるかを選択します。

データ送信は, 1 ビットずつシリアルに行われ, 送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし, データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング, 拡張データ長, データ整合性チェック, ループ・バック・モード, ハンドシェイクなどのオプション機能を制御します。
CSIGnCTL2	マスタ・モードまたはスレーブ・モードを選択し, マスタ・モードでは内蔵のポー・レート・ジェネレータ (BRG) のポー・レートを選択します。
CSIGnCFG0	通信プロトコルを設定します。

18.3.1 マスタ/スレーブ・モード

マスタ/スレーブの選択は CSIGNCTL2.PRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソース・クロックも選択する必要があります。

(1) マスタ・モード

マスタ・モードでは、内蔵のポー・レート・ジェネレータ (BRG) によってシリアル通信クロックが生成され、CSIGTSCK 信号を介して供給されます。

マスタ・モードは、CSIGNCTL2.CSIGNPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIGNCTL2.CSIGNPRS[2:0] ビット CSIGNCTL2.CSIGNBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

CSIGNSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。CSIGTSCK のデフォルト・レベルは、CSIGNCTL1.CSIGNCKR = 0 であればハイであり、CSIGNCTL1.CSIGNCKR = 1 であればロウです。

以下の例は、8 データ・ビット、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0、MSB ファーストのときのマスタ・モードの通信を示しています。

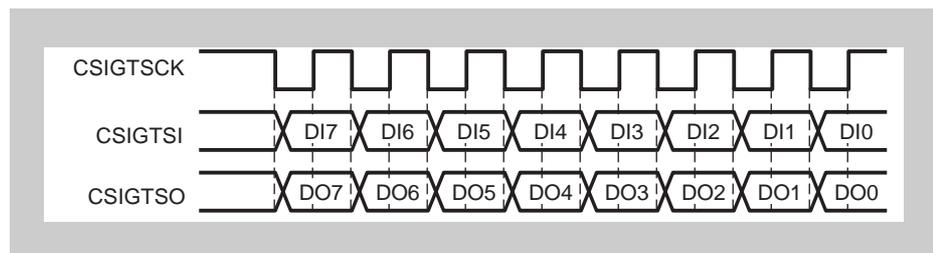


図 18-2 マスタ・モードでの送受信

(2) スレーブ・モード

スレーブ・モードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブ・モードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって選択されます。

備考 スレーブ・モードを使用するときは、ビット CSIGnCTL2.CSIGnBRS[11:0] をクリアすることによってポー・レート・ジェネレータ (BRG) を無効にします。BRG が無効になると、CSIGTSCK は、CSIGnCTL1.CSIGnCKR によって指定されたレベルにとどまります。

以下の例は、8 データ・ビット、CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0, MSB ファーストのときのスレーブ・モードの通信を示しています。

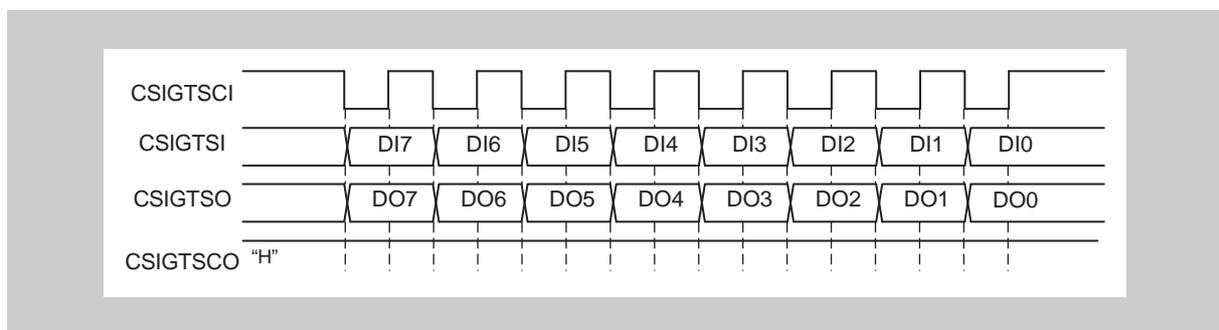


図 18-3 スレーブ・モードでの送受信

18.3.2 マスタ/スレーブの接続

(1) マスタ1, スレーブ1の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

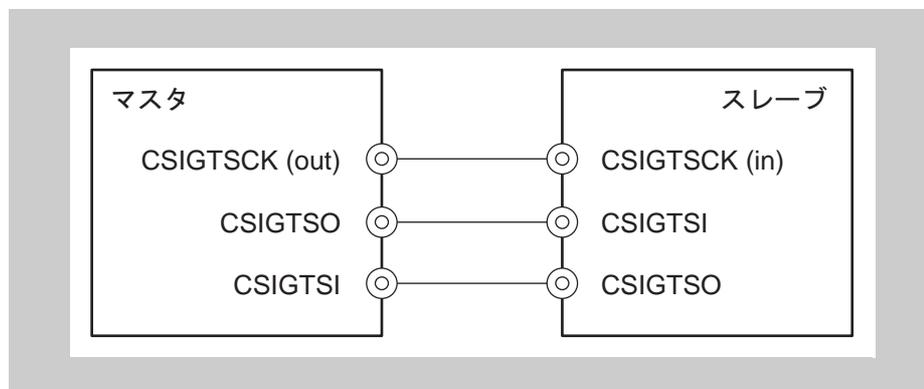


図 18-4 単純なマスタ/スレーブ間接続

(2) マスタ 1, スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この場合、マスタは各スレーブに1つずつスレーブ選択 (SS : Slave Select) 信号を供給する必要があります。この信号は、スレーブのスレーブ選択入力 CSIGTSSI に接続されます。

CSIGTSSI 信号は、ビット CSIGNCTL1.CSIGNSSE を使用して有効または無効にすることができます。

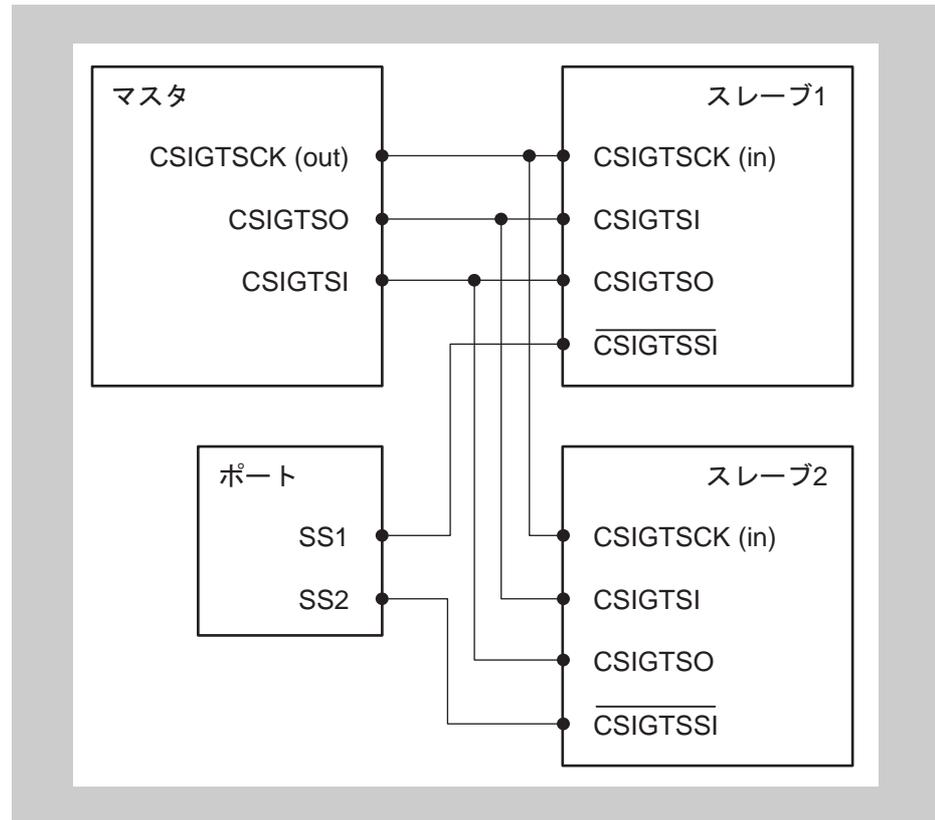


図 18-5 1つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの $\overline{\text{CSIGTSSI}}$ 信号がロウのときに選択されます (有効になります)。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの CSIGTSO 出力バッファは、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定され、無効になります。

- CSIGTSO バッファの制御** CSIG は CSIGTSO 出力を制御するための信号 CSIGTSSO を供給します。この信号を利用することで、以下の条件が満たされたときに CSIGTSO 出力が可能になります。
- CSIG が有効になっている (CSIGnCTL0.CSIGnPWR = 1)。
 - CSIG が送信専用モードまたは送受信モードで動作している (CSIGnCTL0.CSIGnTXE = 1)。
 - CSIG がスレーブ選択有効状態で動作している (CSIGnCTL1.CSIGnSSE = 1)。
 - スレーブ・モード選択信号 $\overline{\text{CSIGTSSI}}$ がアクティブ、つまりロウ・レベルになっている。
- 出力バッファを無効にすることで、外部 CSIGTSO 信号回線の輻輳を回避することができます。

18.3.3 送信クロックの選択

マスタ・モードでは, CSIGNCTL2 レジスタの CSIGNPRS[2:0] ビットと CSIGNBRS[11:0] ビットを使用して送信ポー・レートを選択できます。

BRG のブロック図を以下に示します。

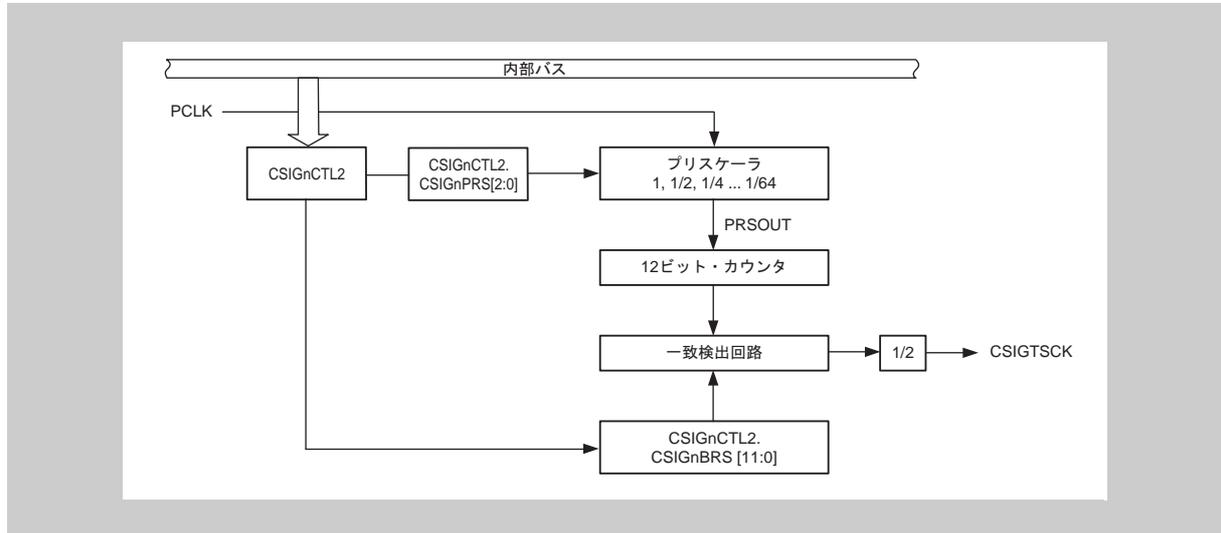


図 18-6 BRG のブロック図

CSIGNCTL2.CSIGNBRS[11:0] をクリアすると, BRG が無効になります。

ポー・レートの計算 ポー・レートの計算式は, $PCLK / (2^m \times k \times 2)$ です。ただし, m と k は以下の値であるとしてします。

$$m = CSIGNPRS[2:0] = 0 \sim 6$$

$$k = CSIGNBRS[11:0] = 1 \sim 4095$$

ポー・レートの上限と下限 ポー・レートを設定するときは, 以下のことに注意してください。

- マスタ・モードで使用できる最大ポー・レートは 10.0Mbps(ただし, PCLK/4 Mbps 以下) です。
- スレーブ・モードで使用できる最大ポー・レートは 5.0Mbps(ただし, PCLK/6 Mbps 以下) です(外部マスタのポー・レートがこの範囲に収まっていることを確認する必要があります)。
- いずれのモードでも最小ポー・レートは PCLK/524160 です。

18.3.4 データ転送モード

(1) 送信専用モード

CSIGNCTL0.CSIGNTXE = 1, CSIGNCTL0.CSIGNRXE = 0 に設定すると、CSIG は送信専用モードになります。CSIGNTX0W レジスタまたは CSIGNTX0H レジスタに送信データが書き込まれると、送信が開始されます。

注意 いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGNRX0 バッファのデータが未定義になります。したがって、送信専用モードに切り換える前に受信レジスタ CSIGNRX0 を読み出す必要があります。

(2) 受信専用モード

CSIGNCTL0.CSIGNTXE = 0, CSIGNCTL0.CSIGNRXE = 1 に設定すると、CSIG は受信専用モードになります。

マスタ・モードでは、CSIGNRX0 レジスタのダミー・データを読み出すと受信が開始されます。

CSIGNBCTL0.CSIGNSCE = 1 であれば、それ以降のすべての受信は受信レジスタ CSIGNRX0 からの読み出しによってトリガされます。

スレーブ・モードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGNTX0W レジスタまたは CSIGNTX0H レジスタにデータを書き込む必要はありません。

備考 受信専用モードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGNRX0 から読み出す必要があります。

さらに、最後に受信したデータを CSIGNRX0 から読み出す前に、通信開始ビット CSIGNBCTL0.CSIGNSCE を 1 にセットしたあと、0 に戻す必要があります。

推奨されている手順を以下に示します。

1. CSIGNBCTL0.CSIGNSCE = 1 に設定します
2. CSIGNRX0 (ダミー・データ) を読み出します。
3. 受信割り込み CSIGTIR を待機します。
4. CSIGNRX0 (受信データ) を読み出します。
手順3でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。
最後に受信したデータを CSIGNRX0 から読み出す前に、CSIGNBCTL0.CSIGNSCE = 0 に設定します。

(3) 送受信モード

CSIGNCTL0.CSIGNTXE = 1 かつ CSIGNCTL0.CSIGNRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGNTX0W レジスタまたは CSIGNTX0H レジスタに送信データが書き込まれると、データ転送 (送信と受信) が開始されます。

18.3.5 データ長の選択

(1) データ長が拡張されていない場合のデータ長の選択

CSIGNCFG0 レジスタの CSIGNDLS[3:0] ビットを使用して、送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は、MSB ファースト (CSIGNCFG0.CSIGNDIR = 0) での通信を示しています。

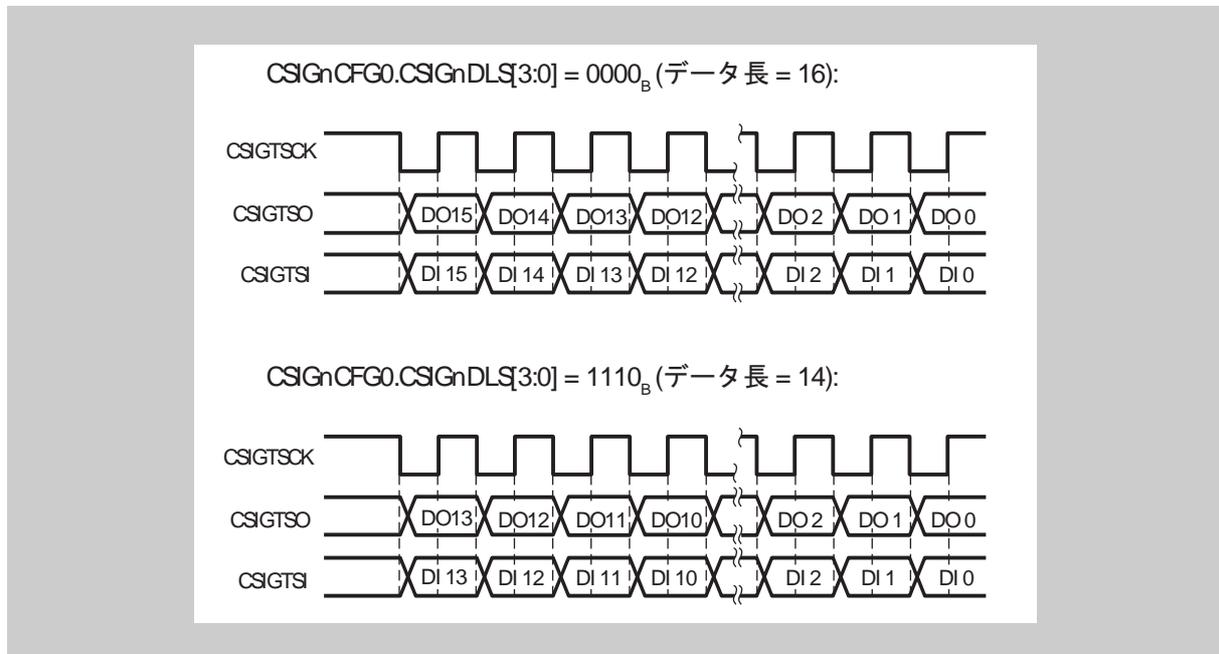


図 18-7 データ長選択機能

(2) データ長が拡張されている場合のデータ長の選択

16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は、ビット CSIGNCTL1.CSIGNEDLE を 1 にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割されます。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分は CSIGNCFG0.CSIGNDLS[3:0] ビットで指定する「データ長」で設定します。
- 16 ビットのブロックを送信するときは、CSIGNTX0W.CSIGNEDL ビットをセット (1) してください。この場合、CSIGNTX0W レジスタに書き込まれるデータは、CSIGNCFG0.CSIGNDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIGNTX0W.CSIGNEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例 123456789A_H という 40 ビットのデータを送信する例

40 ビットを 2×16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に初期化します。
- 文字列 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
 - 2000 1234_H (CSIGnTX0W.CSIGnEDL = 1)
 - 2000 5678_H (CSIGnTX0W.CSIGnEDL = 1)
 - 0000 009A_H (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

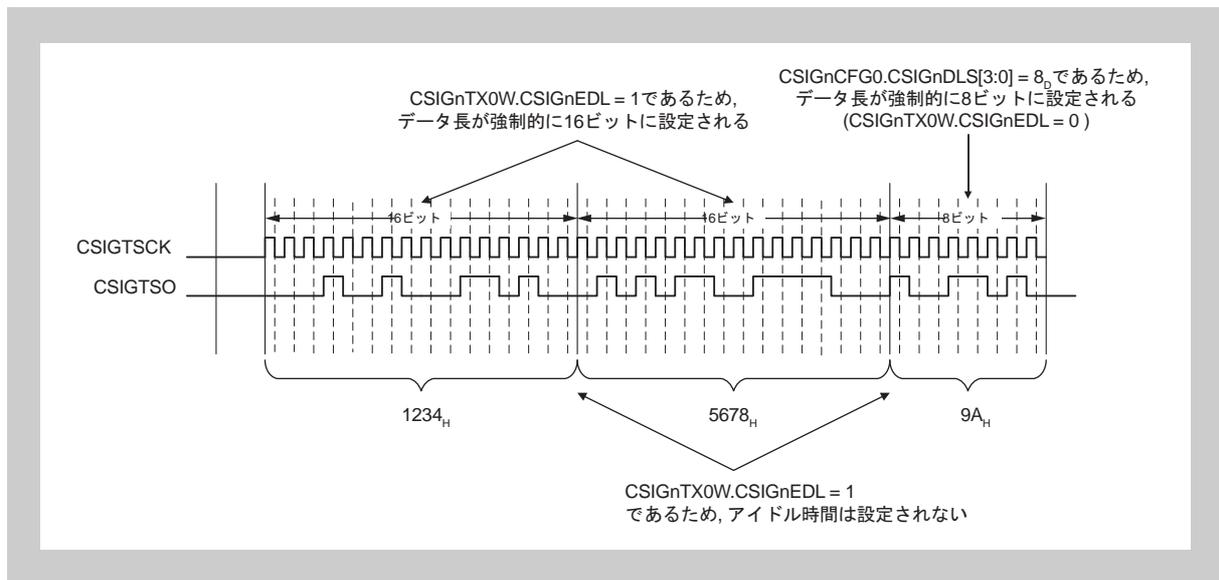


図 18-8 EDL のタイミング図

- 備考
1. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
 2. CSIGnCFG0.CSIGnDLS[3:0] ビットによるデータ長が 7 ビット未満の設定は、EDL モードでの組み合わせの場合のみ可能です。
 3. パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。
 4. LSB ファースト・モードで送信するには、以下のシーケンスで CSIGnTX0 レジスタに書き込みます (送信データが 123456_H である場合)。
 - CSIGnCFG0.CSIGnDIR = 1 : LSB ファースト
 - CSIGnTX0 = 2000 3456_H (EDL ビット = 1)
 - CSIGnTX0 = 0000 0012_H (EDL ビット = 0)
 5. MSB ファースト・モードで送信するには、以下のシーケンスで CSIGnTX0 レジスタに書き込みます (送信データが 123456_H である場合)。
 - CSIGnCFG0.CSIGnDIR = 0 : MSB ファースト
 - CSIGnTX0 = 2000 1234_H (EDL ビット = 1)
 - CSIGnTX0 = 0000 0056_H (EDL ビット = 0)

6. ELD 機能は、スレーブ・モード (CSIGnCTL1.CSIGnPRS[2:0] = 1,1,1), または受信専用モード (CSIGnCTL0.CSIGnTXE = 0, CSIGnCTL0.CSIGnRXE = 1) では使用できません。

18.3.6 シリアル・データ方向選択機能

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアル・データの方
向を選択できます。以下の例は 8 ビット・データ
(CSIGnCFG0.CSIGnDLS[3:0] = 1000_B) の通信を示しています。

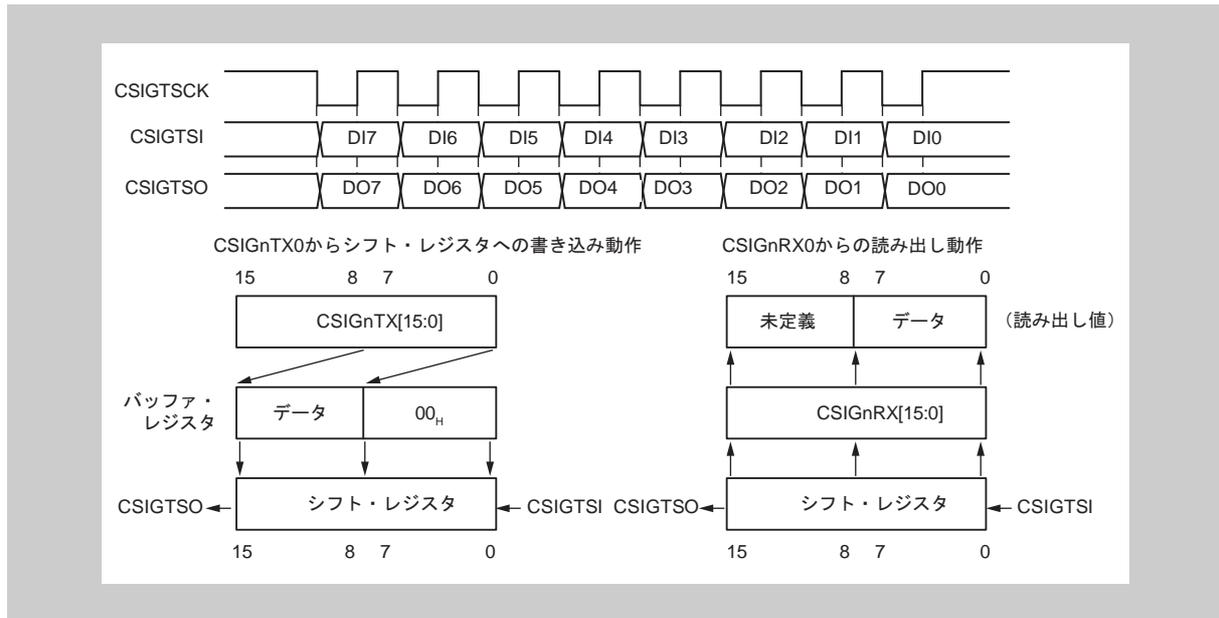


図 18-9 シリアル・データ方向選択機能 - MSB ファースト (CSIGnDIR = 0)

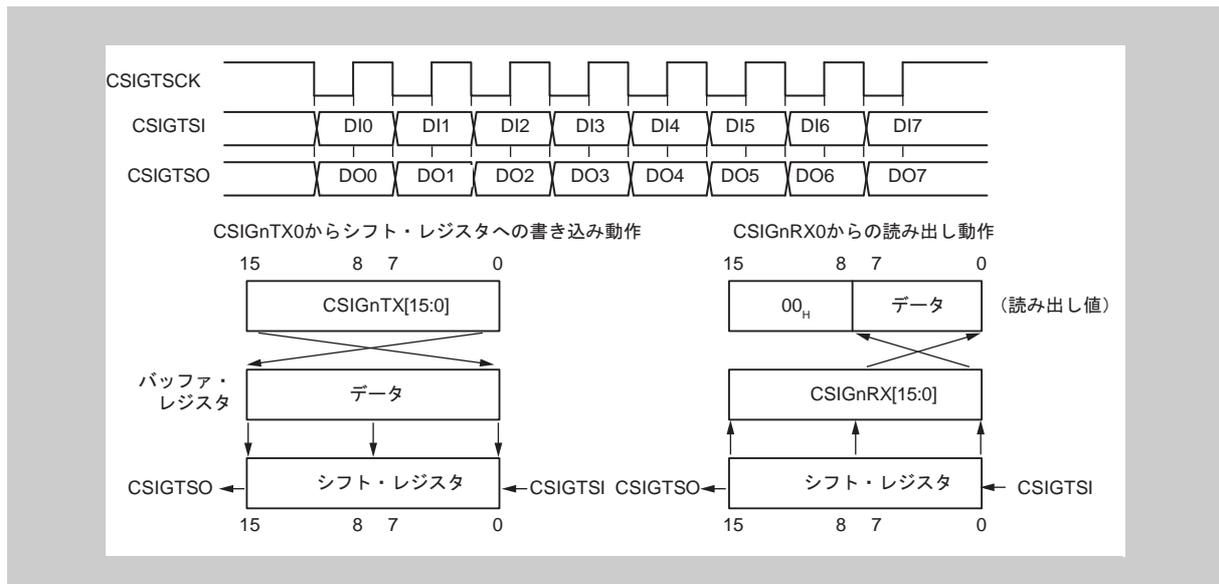


図 18-10 シリアル・データ方向選択機能 - LSB ファースト (CSIGnDIR = 1)

18.3.8 CSIG の割り込み

CSIG は以下の割り込みを生成することができます。

- CSIGTIC
- CSIGTIR
- CSIGTIRE

割り込みの遅延 マスタ・モードでは、マスタが生成するすべての割り込みを送信クロック CSIGTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIGnCTL1.CSIGnSIT = 1 に設定します（スレーブ・モードでは CSIGnSIT ビットの設定は無効です）。

CSIGnCTL1.CSIGnSIT = 1（割り込み遅延有効）、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

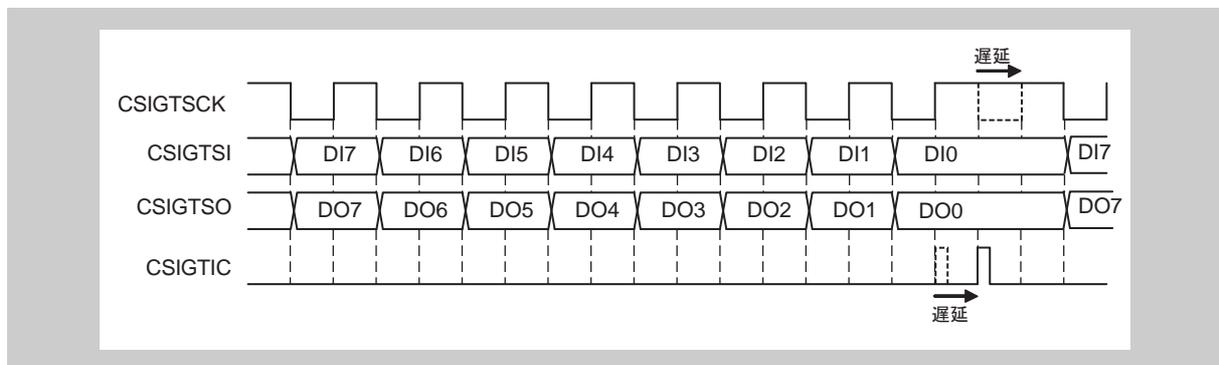


図 18-12 割り込み遅延機能 (CSIGnCTL1.CSIGnSIT = 1)

(1) CSIGTIC (通信割り込み)

この割り込みは、通常、データ転送が行われるたびに生成されます。この割り込みを利用して、CSIGNTX0W レジスタまたは CSIGNTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタ・モード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット)、CSIGNCTL1.CSIGNSLIT = 0 (通常の割り込みタイミング) を想定しています。

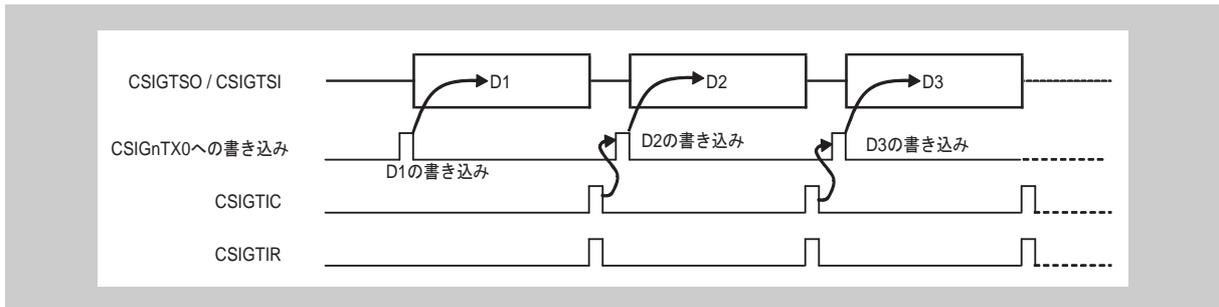


図 18-13 通信終了後の CSIGTIC の生成 (CSIGNCTL1.CSIGNSLIT = 0)

ただし、CSIGNTX0 レジスタが空になり、次のデータの受け入れが可能になったときに CSIGTIC を生成するように設定することもできます。そうするには、CSIGNCTL1.CSIGNSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

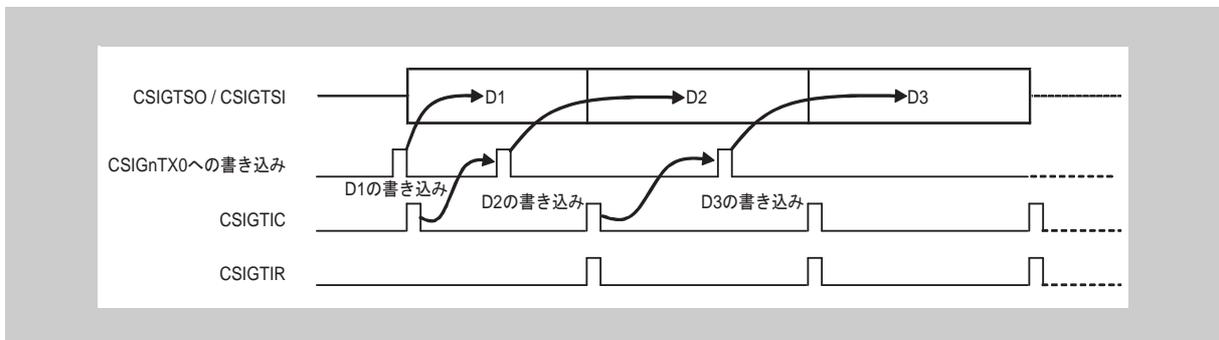


図 18-14 通信開始時の CSIGTIC の生成

(2) CSIGTIR (受信割り込み)

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると生成されます。この割り込みを利用して、CSIGNRX0 レジスタから受信データを読み出すための DMA をトリガすることができます。

以下の図の例では、マスタ・モード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット) を想定しています。

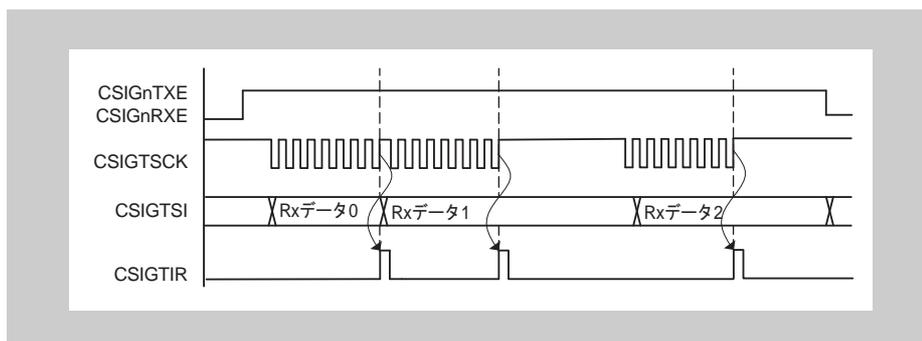


図 18-15 CSIGTIR の生成

(3) CSIGTIRE (受信エラー割り込み)

この割り込みはエラーが検出されるたびに生成されます。

表 18-9 データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス
パリティ・エラー	割り込みが生成されても通信は継続します。
データ整合性エラー	割り込みが生成されても通信は継続します。
オーバーラン・エラー	割り込みが生成されても通信は継続します。 ^{a)}

^{a)} マスターモードではオーバーラン・エラーは発生しません。
スレーブモードでは通信を停止させることはできません。

CSIGTIRE が生成される原因となったエラーのタイプは、CSIGNSTR0 レジスタによって識別されます。

さまざまなエラー・タイプの詳細については、18.3.11「エラー検出」を参照してください。

18.3.9 ハンドシェーク機能

CSIG はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIGnCTL1.CSIGnHSE で有効または無効にすることができます。ハンドシェークでは、CSIGTSHSG 信号を使用します。

タイミングはデータ位相選択ビット CSIGnCFG0.CSIGnDAP の設定によって異なります。

(1) スレーブ・モード

CSIGnCTL1.CSIGnHSE = 1 のとき、スレーブはビジー状態になると CSIGTSHSG がロウ・レベルを出力します。すでに受信したデータがまだ CSIGnRX0 レジスタにあるため、シフト・レジスタから CSIGnRX0 へ新しいデータをコピーできないと、この状態になります (CSIGnRX0 フル状態)。

以下の例では、8 ビットのデータ長を想定しています。

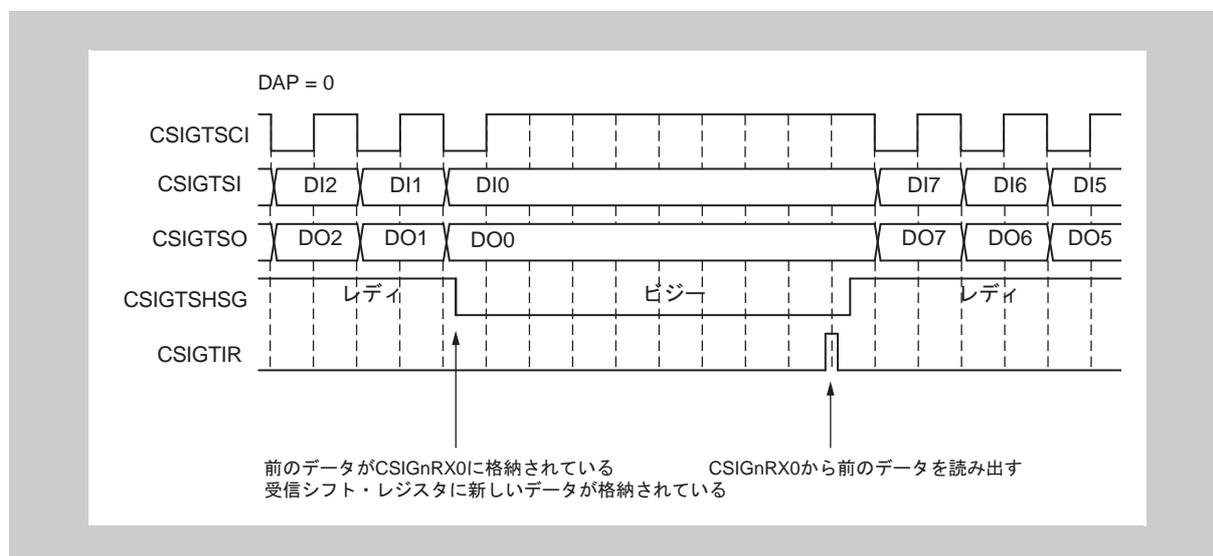


図 18-16 スレーブからのレディ/ビジー信号 (CSIGnCFG0.CSIGnDAP = 0)

スレーブがビジーである間、マスタは待機する (送信クロックを停止させる) 必要があります。受信レジスタ CSIGnRX0 からの読み出しが完了すると、ただちにスレーブは CSIGTSHSG をハイ (「レディ」) に設定します。

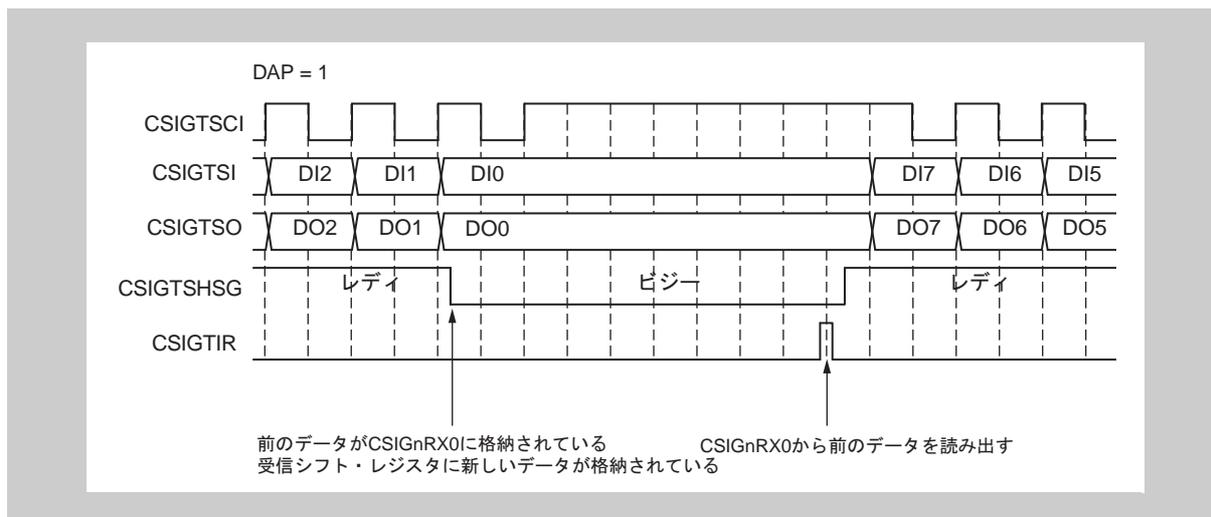


図 18-17 スレーブからのレディ/ビジー信号 (CSIGnCFG0.CSIGnDAP = 1)

(2) マスタ・モード

マスタが CSIGTSHSG のロウ・レベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCCK へのクロックの出力を停止します。

CSIGTSHSG のレベルは、CSIGTSCCK の半周期ごとにチェックされます。

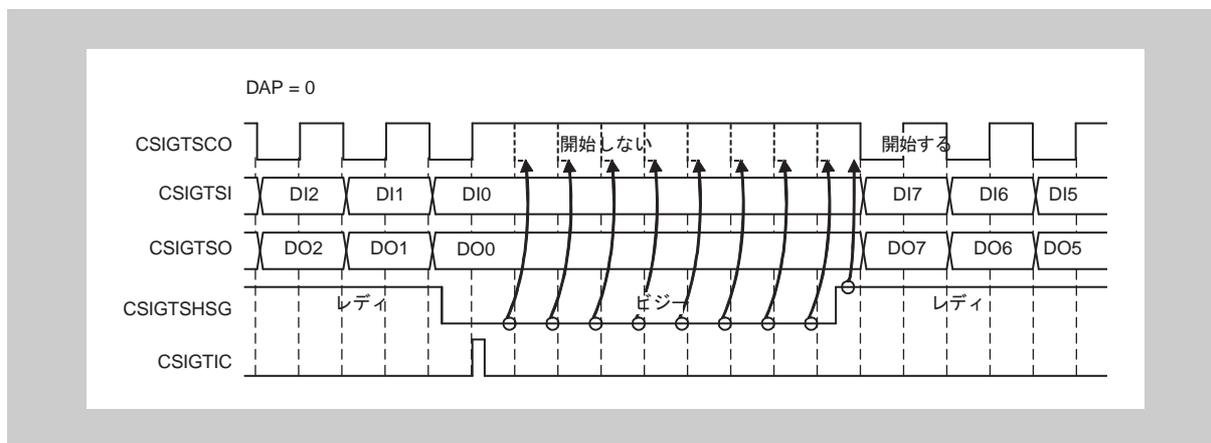


図 18-18 CSIGTSHSG に対するマスタの反応 (CSIGnCFG0.CSIGnDAP = 0)

データの転送中に CSIGTSHSG ロウ信号がスレーブから送信されると、転送が完了したあと、シリアル・クロックが停止します。

マスタは CSIGTSHSG がハイになる (スレーブが「レディ」状態になると、ただちに通信を再開します。

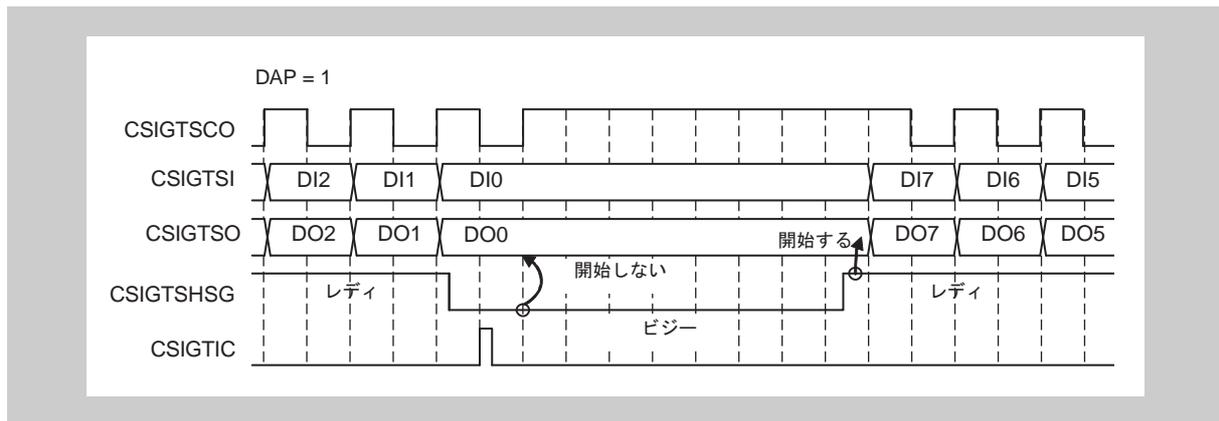


図 18-19 CSIGTSHSG に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 1)

注意 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIGTSHSG 信号を検出する必要があります。

次の転送が始まる前にスレーブは CSIGTSHSG をロウ・レベルに下げる必要があります。転送中にスレーブがこの信号をロウ・レベルに下げても、転送は完了するまで継続します。

18.3.10 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSCK 信号、CSIGTSO 信号、CSIGTSI 信号は切り離されます。さらに、CSIGTSO の出力レベルがロウ・レベルに固定され、CSIGTSCK は非アクティブになります。ハンドシェイク機能は使用できません。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループ・バック・モードを有効にし、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

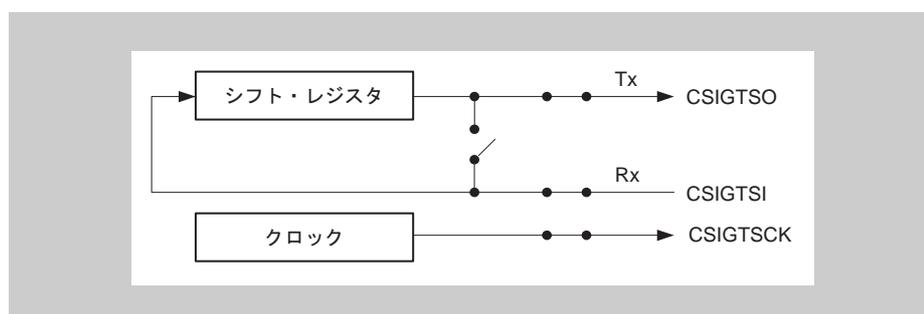


図 18-20 通常の動作

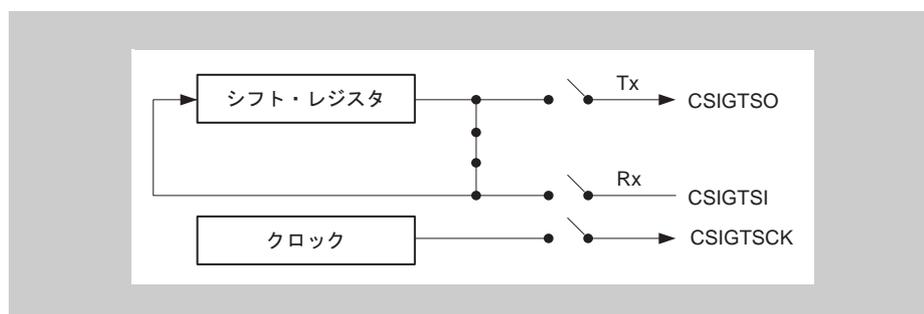


図 18-21 ループ・バック・モードでの動作

18.3.11 エラー検出

CSIG は3つのエラー・タイプを検出することができます。

- データ整合性チェック・エラー (送信データ)
- パリティ・エラー (受信データ)
- オーバラン・エラー

エラー・チェックはエラーのタイプごとに有効または無効にすることができます。

いずれかのエラーが検出されると、割り込み CSIGTIRE が生成されます。

(1) データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックはビット CSIGnCTL1.CSIGnDCS で有効または無効にすることができます。データ送信が禁止されていると (CSIGnCTL0.CSIGnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGnTX0W または CSIGnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフト・レジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われず。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGnSTR0.CSIGnDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

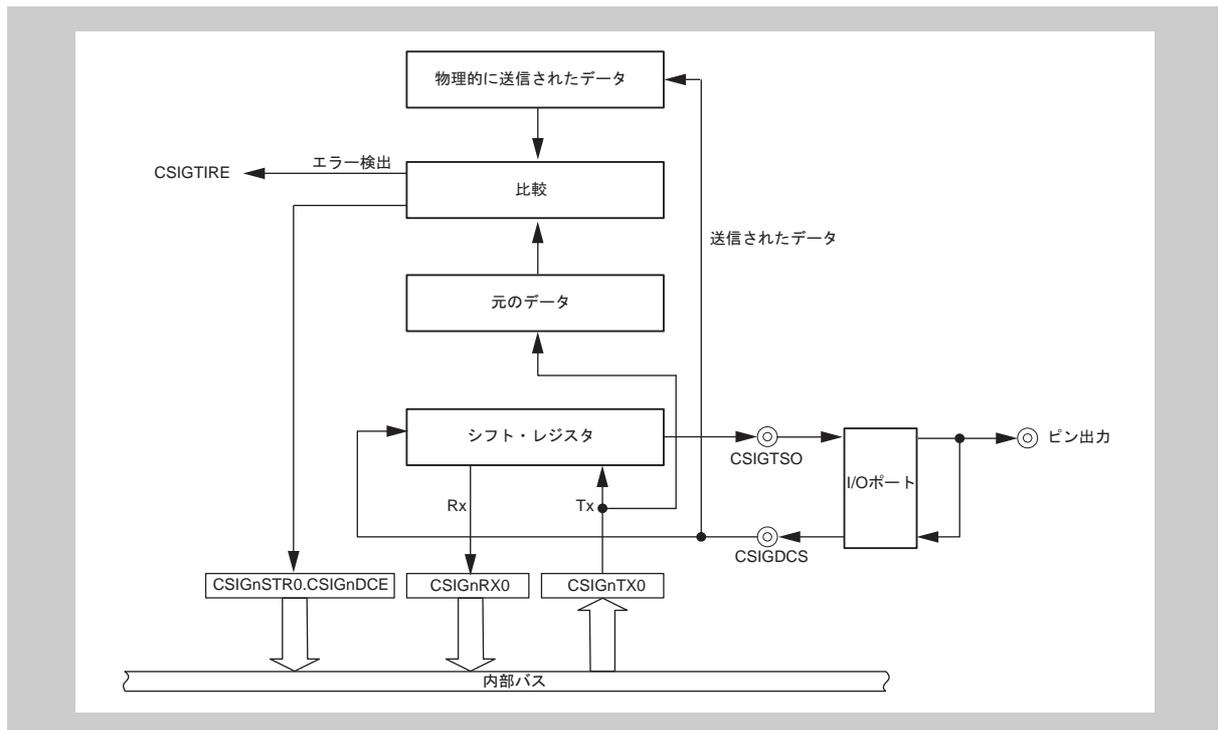


図 18-22 データ整合性チェックの機能ブロック図

(2) パリティ・チェック

パリティはデータ送信中の単一ビット・エラーを検出する手段としてよく使われます。CSIGでは、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプはCSIGnCFG0.CSIGnPS[1:0]で指定されます。

CSIGnCFG0.CSIGnPS[1] = 1であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGnSTR0.CSIGnPE がセットされます。

以下の図に例を示します。

データ長は8ビットです。送信されるデータは05_Hと35_Hです。パリティ・タイプは奇数です。

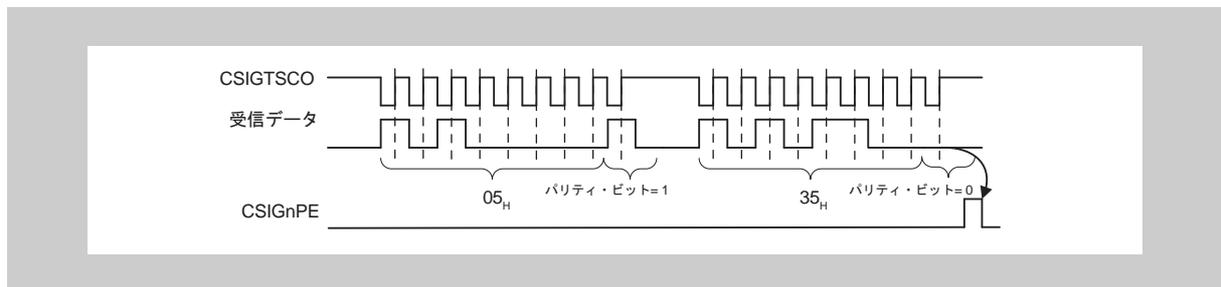


図 18-23 パリティ・チェックの例

先頭8ビットのパリティ・ビットは1です。1の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

次の8ビットのパリティ・ビットは0です。1の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

(3) オーバラン・エラー

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると（CSIGnCTL0.CSIGnRXE = 0）、オーバラン・エラーは発生しません。

オーバラン・エラーが発生すると、以下のことが行われます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGnSTR0.CSIGnOVE がセットされます。
- 通信が停止します。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

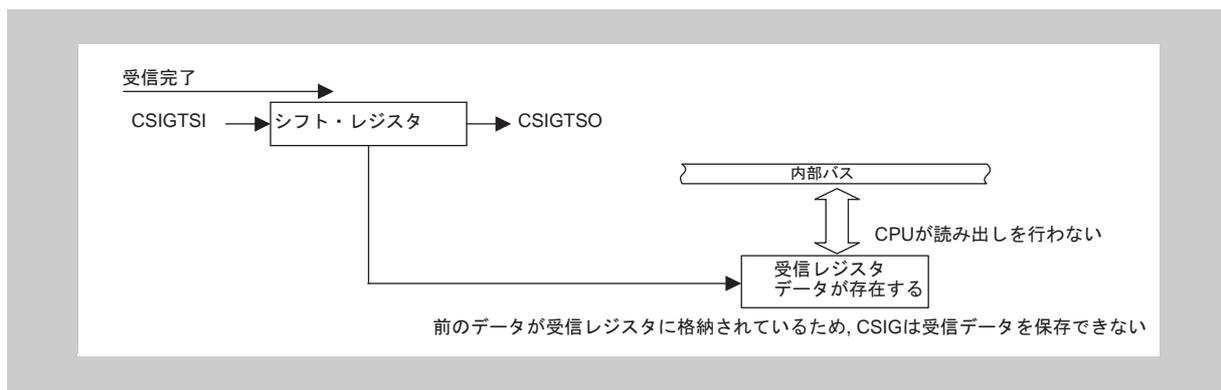


図 18-24 オーバラン・エラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 は受信されていますが、そのデータを保存することはできません。

したがって、オーバラン・エラーが発生します。

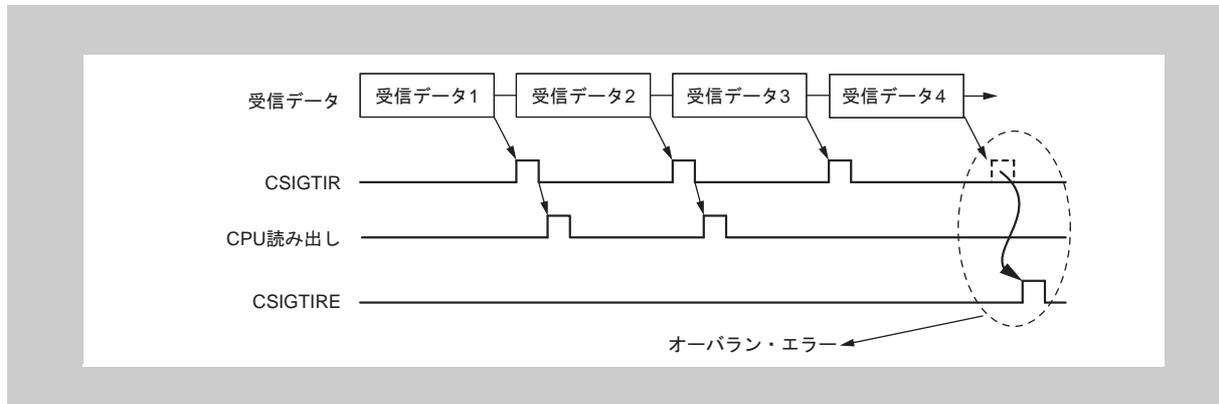


図 18-25 オーバラン・エラーの検出の例

備考 オーバラン・エラーは、ハンドシェイクを利用することで回避できます。

スレーブ・モードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、18.3.9「ハンドシェイク機能」を参照してください。

18.4 CSIG 制御レジスタ

CSIGn は、以下のレジスタによって制御され、操作されます。

表 18-10 CSIGn のレジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 00 _H
制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 10 _H
制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 14 _H
ステータス・レジスタ 0	CSIGnSTR0	<CSIGn_base> + 04 _H
ステータス・クリア・レジスタ 0	CSIGnSTCR0	<CSIGn_base> + 08 _H
受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000 _H
コンフィギュレーション・レジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010 _H
ワード・アクセス用送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004 _H
ハーフ・ワード・アクセス用送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008 _H
受信レジスタ 0	CSIGnRX0	<CSIGn_base> + 100C _H
CSIGn エミュレーション・レジスタ	CSIGnEMU	<CSIGn_base> + 18 _H

(1) CSIGNCTL0 - CSIG 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス 1ビット単位と8ビット単位でリード／ライト可能です。

アドレス <CSIGN_base> + 00_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

注意 ビット4-1には必ず0を設定してください。ビット0は初期値は0ですが必ず1を設定してください。

7	6	5	4	3	2	1	0
CSIGN PWR	CSIGN TXE	CSIGN RXE	0	0	0	0	0/1
R/W	R/W	R/W	R	R	R	R	R/W

表 18-11 CSIGNCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGNPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIGNPWR を0にクリアすると、内部回路がリセットされ、動作が停止し、CSIGがスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中にCSIGNPWRがクリアされると、実行中の通信は中断されます。その場合は、通信を最初からやり直す必要があります。
6	CSIGNTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIGNRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。

- 注意**
- CSIGNPWR = 0 である間に CSIGNRXE または CSIGNTXE を変更しないでください。
ただし、CSIGNPWR = 1 に設定したときは、両方のビットを同じ書き込み操作で変更することができます。
 - データ送信が保留中または進行中、つまり CSIGNSTR0.CSIGNTSF = 1 のときに、CSIGNRXE または CSIGNTXE を変更しないでください。

(2) CSIGNCTL1 - CSIG 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループ・バック・モード、ハンドシェイク機能、スレーブ選択機能を有効または無効する機能も持っています。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 10_H

初期値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIGNCKR	CSIGNSLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGNEDLE	0	CSIGNDCS	0	CSIGNLBM	CSIGNSIT	CSIGNHSE	CSIGNSSE
R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときのみ変更することができます。

表 18-12 CSIGNCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIGNCKR	CSIGNTSCK のクロック位相を選択します。 0: CSIGNTSCK のデフォルト・レベルは、ハイ 1: CSIGNTSCK のデフォルト・レベルは、ロウ CSIGNCKR ビットは CSIGNCFG0.CSIGNDAP ビットと組み合わせて使用します。詳細については、18.4 (7) 「CSIGNCFG0 - CSIG コンフィギュレーション・レジスタ 0」を参照してください。
16	CSIGNSLIT	割り込み CSIGTIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを生成します)。 1: CSIGNTX0 が空になり、次のデータを格納できる状態になったときに割り込みを生成します。 詳細については、18.3.8 (1) 「CSIGTIC (通信割り込み)」を参照してください。
7	CSIGNEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、18.3.5 (2) 「データ長が拡張されている場合のデータ長の選択」を参照してください。
5	CSIGNDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、18.3.11 (1) 「データ整合性チェック」を参照してください。
3	CSIGNLBM	ループ・バック・モード (LBM) を制御します。 0: ループ・バック・モードを非アクティブにします。 1: ループ・バック・モードをアクティブにします。 ループ・バック・モードはマスタ・モードでのみ設定可能です。スレーブ・モードでは 0 に設定してください。 詳細については、18.3.10 「ループ・バック・モード」を参照してください。

表 18-12 CSIGNCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CSIGNSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については、18.3.8「CSIGの割り込み」を参照してください。
1	CSIGNHSE	ハンドシェイク・モードを有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、18.3.9「ハンドシェイク機能」を参照してください。
0	CSIGNSSE	スレーブ選択 (SS) 機能を有効または無効にします。 0: 入力信号 CSIGTSSI を無視します。 1: 入力信号 CSIGTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを0に設定する必要があります (18.3.2「マスタ/スレーブの接続」も参照してください)。

CSIGNCTL1.CSIGNSSE の詳細を次に示します。

表 18-13 受信中の SS 機能の動作

CSIGNCTL0. CSIGNRXE	CSIGNCTL1. CSIGNSSE	$\overline{\text{CSIGTSSI}}$	受信動作
0	-	-	受信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	不可能

表 18-14 送信中の SS 機能の動作

CSIGNCTL0. CSIGNTXE	CSIGNCTL1. CSIGNSSE	$\overline{\text{CSIGTSSI}}$	送信動作
0	-	-	送信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	不可能

(3) CSIGNCTL2 - CSIG 制御レジスタ 2

本レジスタでは通信クロックを選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 14_H

初期値 E000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGN PRS[2:0]			0	CSIGN BRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときにのみ変更することができます。

表 18-15 CSIGNCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIGNPRS [2:0]	<p>プリスケアラの値を選択します。</p> <table border="1"> <thead> <tr> <th>CSIGN PRS2</th> <th>CSIGN PRS1</th> <th>CSIGN PRS0</th> <th>プリスケアラの出力 (PRSOUT)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>PCLK (マスタ・モード)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>PCLK / 2 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>PCLK / 4 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>PCLK / 8 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>PCLK / 16 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>PCLK / 32 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>PCLK / 64 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>CSIGTSCI 経由の外部クロック (スレーブ・モード)</td></tr> </tbody> </table>	CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	プリスケアラの出力 (PRSOUT)	0	0	0	PCLK (マスタ・モード)	0	0	1	PCLK / 2 (マスタ・モード)	0	1	0	PCLK / 4 (マスタ・モード)	0	1	1	PCLK / 8 (マスタ・モード)	1	0	0	PCLK / 16 (マスタ・モード)	1	0	1	PCLK / 32 (マスタ・モード)	1	1	0	PCLK / 64 (マスタ・モード)	1	1	1	CSIGTSCI 経由の外部クロック (スレーブ・モード)
CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	プリスケアラの出力 (PRSOUT)																																			
0	0	0	PCLK (マスタ・モード)																																			
0	0	1	PCLK / 2 (マスタ・モード)																																			
0	1	0	PCLK / 4 (マスタ・モード)																																			
0	1	1	PCLK / 8 (マスタ・モード)																																			
1	0	0	PCLK / 16 (マスタ・モード)																																			
1	0	1	PCLK / 32 (マスタ・モード)																																			
1	1	0	PCLK / 64 (マスタ・モード)																																			
1	1	1	CSIGTSCI 経由の外部クロック (スレーブ・モード)																																			
11 ~ 0	CSIGNBRS [11:0]	<p>ポー・レートを選択します。 CSIGNBRS[11:0] ビットの設定はマスタ・モードでのみ有効となり、スレーブ・モードでは無視されます。</p> <table border="1"> <thead> <tr> <th>CSIGNBRS[11:0]</th> <th>CSIGTSCK のポー・レート</th> </tr> </thead> <tbody> <tr><td>0</td><td>BRG の停止</td></tr> <tr><td>1</td><td>PCLK / (2^m×1×2)</td></tr> <tr><td>2</td><td>PCLK / (2^m×2×2)</td></tr> <tr><td>3</td><td>PCLK / (2^m×3×2)</td></tr> <tr><td>4</td><td>PCLK / (2^m×4×2)</td></tr> <tr><td>...</td><td>...</td></tr> <tr><td>4095</td><td>PCLK / (2^m×4095×2)</td></tr> </tbody> </table> <p>備考 m = 0-6 : CSIGNPRS[2:0] で設定した値</p>	CSIGNBRS[11:0]	CSIGTSCK のポー・レート	0	BRG の停止	1	PCLK / (2 ^m ×1×2)	2	PCLK / (2 ^m ×2×2)	3	PCLK / (2 ^m ×3×2)	4	PCLK / (2 ^m ×4×2)	4095	PCLK / (2 ^m ×4095×2)																				
CSIGNBRS[11:0]	CSIGTSCK のポー・レート																																					
0	BRG の停止																																					
1	PCLK / (2 ^m ×1×2)																																					
2	PCLK / (2 ^m ×2×2)																																					
3	PCLK / (2 ^m ×3×2)																																					
4	PCLK / (2 ^m ×4×2)																																					
...	...																																					
4095	PCLK / (2 ^m ×4095×2)																																					

(4) CSIGNSTR0 - CSIG ステータス・レジスタ 0

本レジスタはCSIGの状態を示します。

アクセス 32ビット単位でリード可能です。

アドレス <CSIGN_base> + 04_H

初期値 0000 0010_H 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGN TSF	0	0	1	CSIGN DCE	0	CSIGN PE	CSIGN OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18-16 CSIGNSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																		
7	CSIGNTSF	転送ステータス・フラグ 0: アイドル状態 1: 送信中または送信の準備中 このビットがセットまたはクリアされる条件を以下に示します。 <table border="1" data-bbox="539 1064 1350 1236"> <thead> <tr> <th>マスタ・モード</th><th>セットされる条件</th><th>クリアされる条件</th></tr> </thead> <tbody> <tr> <td>送信専用モード</td><td rowspan="2">送信レジスタへの書き込み</td><td rowspan="3">最後のシリアル・クロックのエッジから半クロック以内</td></tr> <tr> <td>送受信モード</td></tr> <tr> <td>受信専用モード</td><td>受信レジスタの読み込み</td></tr> </tbody> </table> <table border="1" data-bbox="539 1279 1350 1507"> <thead> <tr> <th>スレーブ・モード</th><th>セットされる条件</th><th>クリアされる条件</th></tr> </thead> <tbody> <tr> <td>送信専用モード</td><td rowspan="2">送信レジスタへの書き込み</td><td rowspan="3">最後のシリアル・クロックのエッジから半クロック以内</td></tr> <tr> <td>送受信モード</td></tr> <tr> <td>受信専用モード</td><td>CSIGNTSCI 入力タイミング</td></tr> </tbody> </table>	マスタ・モード	セットされる条件	クリアされる条件	送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内	送受信モード	受信専用モード	受信レジスタの読み込み	スレーブ・モード	セットされる条件	クリアされる条件	送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内	送受信モード	受信専用モード	CSIGNTSCI 入力タイミング
マスタ・モード	セットされる条件	クリアされる条件																		
送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内																		
送受信モード																				
受信専用モード	受信レジスタの読み込み																			
スレーブ・モード	セットされる条件	クリアされる条件																		
送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内																		
送受信モード																				
受信専用モード	CSIGNTSCI 入力タイミング																			

表 18-16 CSIGNSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGNDCE	<p>データ整合性チェック・エラー・フラグ</p> <p>0: データ整合性チェック・エラーが検出されていません。</p> <p>1: データ整合性チェック・エラーが検出されています。</p> <p>このビットは CSIGNSTCR0.CSIGNDCEC に 1 を書き込むことによってクリアされます。ただし、データ整合性チェック・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNDCEC による (0 への) クリアが同時に発生した場合、データ整合性チェック・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>
1	CSIGNPE	<p>パリティ・エラー・フラグ</p> <p>0: パリティ・エラーが検出されていません。</p> <p>1: パリティ・エラーが検出されています。</p> <p>このビットは CSIGNSTCR0.CSIGNPEC に 1 を書き込むことによってクリアされます。ただし、パリティ・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNPE による (0 への) クリアが同時に発生した場合、パリティ・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>
0	CSIGNOVE	<p>オーバラン・エラー・フラグ</p> <p>0: オーバラン・エラーが検出されていません。</p> <p>1: オーバラン・エラーが検出されています。</p> <p>このビットは CSIGNSTCR0.CSIGNOVEC に 1 を書き込むことによってクリアされます。ただし、オーバラン・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNOVE による (0 への) クリアが同時に発生した場合、オーバラン・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>

(5) CSIGNSTCR0 - CSIG ステータス・クリア・レジスタ 0

本レジスタはCSIGNSTR0 ステータス・レジスタのステータス・フラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。

リードを行うと、常に値 0000_H が返されます。

アドレス <CSIGN_base> + 08_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	CSIGN DCEC	0	CSIGN PEC	CSIGN OVEC
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 18-17 CSIGNSTCR0 レジスタの内容

ビット位置	ビット名	機能
3	CSIGNDCEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: データ整合性チェック・エラー・フラグ (CSIGNSTR0.CSIGNDCE) をクリアします。
1	CSIGNPEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: パリティ・エラー・フラグ (CSIGNSTR0.CSIGNPE) をクリアします。
0	CSIGNOVEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバラン・エラー・フラグ (CSIGNSTR0.CSIGNOVE) をクリアします。

(6) CSIGNBCTL0 - CSIG 受信専用モード制御レジスタ 0

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス 1ビット単位と8ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1000_H

初期値 01_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CSIGNSCE
R	R	R	R	R	R	R	R/W

表 18-18 CSIGNBCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CSIGNSCE	CSIGNRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0: 次回の受信を禁止します。 1: 次回の受信を許可します。 詳細については、(2)「受信専用モード」および 18.3.7「スレーブ・モードでの通信」を参照してください。

- 注意**
- CSIGTIR 割り込みが発生する 1 クロック前までに、CSIGNSCE ビットに書き込みをしてください。
 - 動作モードが、送信専用モードまたは、送受信モードのときは CSIGNSCE ビットは 0 に固定してください。

(7) CSIGNCFG0 - CSIG コンフィギュレーション・レジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1010_H

初期値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN PS[1:0]		CSIGN DLS[3:0]				0	0	0	0	0	CSIGN DIR	0	CSIGN DAP
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注意 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときのみ変更することができます。

表 18-19 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
29 ~ 28	CSIGNPS [1:0]	<p>パリティを指定します。</p> <table border="1"> <thead> <tr> <th>CSIGN PS1</th><th>CSIGN PS0</th><th>送信</th><th>受信</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr> <tr> <td>0</td><td>1</td><td>0に固定されたパリティ・ビットを追加します。</td><td>パリティ・ビットの受信を待機しますが、パリティの判定は行いません。</td></tr> <tr> <td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティ・ビットの受信を待機します。</td></tr> <tr> <td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティ・ビットの受信を待機します。</td></tr> </tbody> </table>	CSIGN PS1	CSIGN PS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。
CSIGN PS1	CSIGN PS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。																			
27 ~ 24	CSIGNDLS [3:0]	<p>データ長を指定します。</p> <p>0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。</p> <p>注意: 7 ビット未満のデータ長は、拡張データ長モードが無効 (CSIGNCTL1.CSIGNEDLE ビット = 0) のときは CSIGNCFG0.CSIGNDLS[3:0] ビットを 1 ~ 6 の値に設定しないでください。データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。</p>																				
18	CSIGNDIR	<p>シリアル・データ方向を選択します。</p> <p>0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。</p>																				

表 18-19 CSIGNCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
16	CSIGNDAP	<p>データ位相選択ビット CSIGNCTL1.CSIGNCKR ビットと合わせ、データ位相を選択します。クロック／データ位相については、下表を参照ください。</p> <table border="1"> <thead> <tr> <th>CSIGNCKR</th> <th>CSIGNDAP</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIGNCKR ビットの詳細は、(2)「CSIGNCTL1 - CSIG 制御レジスタ 1」</p>	CSIGNCKR	CSIGNDAP	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
CSIGNCKR	CSIGNDAP	クロック位相とデータ位相の選択															
0	0																
0	1																
1	0																
1	1																

(8) CSIGNTX0W - ワード・アクセス用 CSIG 送信レジスタ 0

本レジスタは送信データを保存します。拡張データ長機能が有効になっている場合は (CSIGNCTL1.CSIGNEDLE = 1), 本レジスタを使用する必要があります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1004_H

初期値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

注意 CSIGNCTL0.CSIGNTXE=CSIGNCTL0.CSIGNRXE=0 とき、CSIGNTX0W レジスタへの書き込みは禁止です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN EDL	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGNTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-20 CSIGNTX0W レジスタの内容

ビット位置	ビット名	機能
29	CSIGNEDL	拡張データ長を指定します。 0: 通常の動作 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビット・データとして送信されます。 このビットは CSIGNCTL1.CSIGNEDLE = 1 のときにのみセットできます。 CSIGNCTL1.CSIGNEDLE がクリアされると、このビットも自動的にクリアされます。
15 ~ 0	CSIGNTX[15:0]	送信されるデータ

(9) CSIGnTX0H - ハーフ・ワード・アクセス用 CSIG 送信レジスタ 0

本レジスタは送信データを保存します。本レジスタは、拡張データ長機能が無効 (CSIGnCTL1.CSIGnEDLE = 0) になっているときに使用できます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 1008_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

注意 CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、CSIGnTX0H レジスタへの書き込みは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-21 CSIGnTX0H レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIGnTX[15:0]	送信されるデータ

(10) CSIGnRX0 - CSIG 受信レジスタ 0

本レジスタは受信データを保存します。

アクセス 16 ビット単位でリード可能です。

アドレス <CSIGn_base> + 100C_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

注意 CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、CSIGnRX0 レジスタへの読み出しは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18-22 CSIGnRX0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIGnRX[15:0]	受信データ 本ビット CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

(11) CSIGNEMU - CSIGN エミュレーション・レジスタ

このレジスタは、オンチップ・デバッガによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、CSIGNのカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8/1 ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <CSIGN_base> + 18_H

初期値 00_H

	7	6	5	4	3	2	1	0
CSIGN SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 18-23 CSIGNEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIGN SVSDIS	デバッグ時のカウント・クロックの継続/停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

18.5 操作手順の例

ここでは、マスタ・モードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 転送の最後に CSIGTIC 割り込みを生成 (CSIGnCTL1.CSIGnSLIT = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- データ・フレームの数は 10 個 (0 ~ 9)

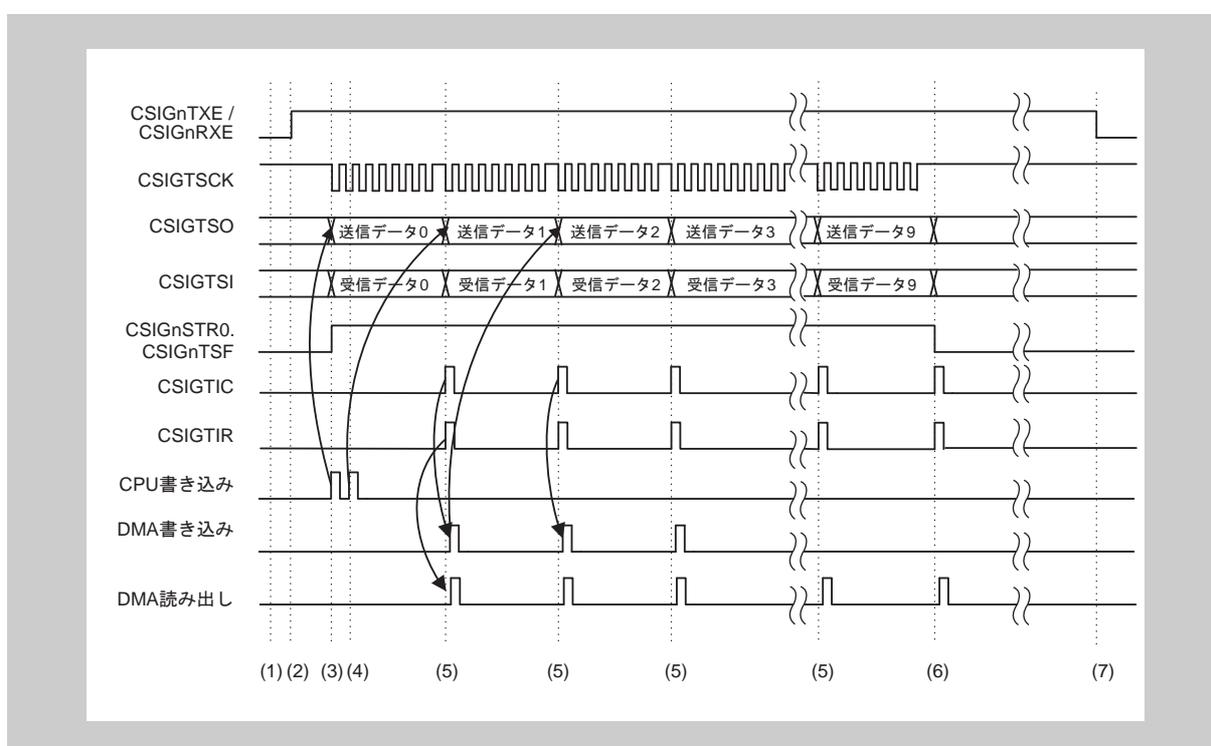


図 18-26 マスタ・モードでの通信

手順：

1. CSIGNCFG0 レジスタで通信プロトコルを設定します。
2. CSIGNCTL0 レジスタで、ビット CSIGNPWR = 1 (クロック有効)、ビット CSIGNTXE = 1 (送信許可)、ビット CSIGNRXE = 1 (受信許可) に設定します。
データ出力 CSIGTSO が有効になります。
3. 最初の送信データ・フレームを送信レジスタ CSIGNTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2番目のデータを CSIGNTX0H に書き込みます。最初のパケットを書き込んだ直後に2番目のデータ・フレームを書き込むことで、データ・フレーム間の不要な遅延を回避できます。
5. データ・フレームが1つ送信されるたびに割り込み CSIGTIC と CSIGTIR が生成されます。CSIGTIC は、次のデータ・フレームを CSIGNTX0H に書き込めることを示します。CSIGTIR は、受信レジスタ CSIGNRX0 を読み出す必要があることを示します。
この例では、CPU 書き込みと DMA 書き込みを同じものと見なしていません。
6. データ・フレーム8の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ・フレーム9 (最後のデータ・フレーム) は、その前に書き込まれています。
ただし、データ・フレーム8とデータ・フレーム9の書き込みが完了したあと、受信レジスタ CSIGNRX0 を読み出す必要があります。
7. 最後に、CSIGNCTL0.CSIGNTXE と CSIGNCTL0.CSIGNRXE をクリアして、送受信動作を禁止します。

第19章 I²Cバス (I²CB)

注意 この機能を使用する場合は、SCLn, SDAn 端子を使用し、N-ch オープン・ドレイン出力に設定してください。

19.1 V850E2/Fx4-L の I²CB の特徴

チャンネル数 V850E2/Fx4-L は 1 チャンネルの I²CB を搭載しています。

表 19-1 I²CB のチャンネル数

I ² CB	
チャンネル数	1
名称	IICB0

n の意味 この章では、I²CB のチャンネルを「n」で識別します。

たとえば IICBn データ・レジスタ (IICBnDAT) (n = 0) のように記述しています。

レジスタ・アドレス I²CBn のレジスタ・アドレスは、ベース・アドレス <I²CBn_base> からのオフセットで表します。

各 I²CBn のレジスタ・ベース・アドレスを表 19-2 「I²CBn のレジスタ・ベース・アドレス」に示します。

表 19-2 I²CBn のレジスタ・ベース・アドレス

I ² CBn	<I ² CBn_base>
IICB0	FF82 0000 _H

クロック供給 I²CBn は、クロック入力として PCLK を使用します。PCLK は、クロック・ジェネレータに接続されています。

表 19-3 I²CBn のクロック

I ² CBn	クロック	接続先
IICB0	PCLK	クロック・コントローラの CKSCLK_028

割り込み要求信号 I²CBn は、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA_n) があります。

表 19-4 I²CBn の割り込み要求信号

割り込み要求信号	機 能	接続先
IICBTIA	IICB0 割り込み要求信号	割り込みコントローラ INTIICB0IA DMA 開始要因の優先順位 : 43

IICB ハードウェア・リセット I²C インタフェースとそのレジスタは、下表に示すリセット信号で初期化されます。

表 19-5 IICBn のリセット信号

IICBn	Reset signal
IICBn	Reset Controller SYSRES

I 入出力信号 I²C インタフェースの入出力信号を下表に示します。

表 19-6 IICB の入出力信号

IICBn signals	Function	Connected to
IICB0:		
SCL	IICB0 clock signal	Port IICB0SCL
SDA	IICB0 data/address signal	Port IICB0SDA

19.2 I²C インタフェースポートの設定

I²C インタフェース機能では、IICBnSCL 信号と IICBnSDA 信号用にポートの設定をする必要があります。

I²C インタフェース信号 IICBnSCL, IICBnSDA を使用する場合、ポートグループ n のポート m を以下の表のように設定します。

灰色のセルは、リセット解除後の初期値と異なるので変更する必要があります。

表 19-6 I²C インタフェースポートの設定

レジスタ	設定値	初期値	機能
ポート機能設定レジスタ :			
PMCn_m	= 1	0	兼用モード
PIPC_m	= 0	0	ソフト入出力制御
PMn_m	= 0	1	出力モード
PIBCn_m	= x	0	PMCn_m = 1 の場合、無効
PFCn_m, PFCEn_m	= 1 または 0	0	適切な兼用機能を選択
ポートデータ入出力レジスタ :			
PBDCn_m	= 1	0	双方向入出力
電気的特性レジスタの設定 :			
PUn_m	= x	0	プルアップ抵抗なし, PMn_m = 0 の場合、無効
PDn_m	= x	0	プルダウン抵抗なし, PMn_m = 0 の場合、無効
PODCn_m	= 1	0	オープン・ドレイン出力
PISn_m, PISEn_m	= 1 または 0	0	入力特性は、アプリケーションの信号品質に基づいて選択されます

19.3 機能概要

動作モード	標準モード (SCL クロック周波数 : Max. 100 kHz) 高速モード (SCL クロック周波数 : Max. 400 kHz)
転送モード	シングル転送モード
端子構成	SCLn : シリアル・クロック端子 SDAn : シリアル送受信データ端子
割り込み要求信号	データ送受信割り込み要求信号 (IICBTIA _n)
通信データ長	8 ビット
SCLn のレベル幅 変更可能	シリアル・クロック信号 (SCLn) のハイ・レベル幅/ロウ・レベル幅の設定 を変更可能
自動検出可能	スタート・コンディションおよびストップ・コンディションの自動検出が 可能
備考	スレーブの場合、リスタート・コンディションの検出はできません。相手先 のマスターがリスタート・コンディションを発行させた場合は、通信を停止さ せる必要があります。

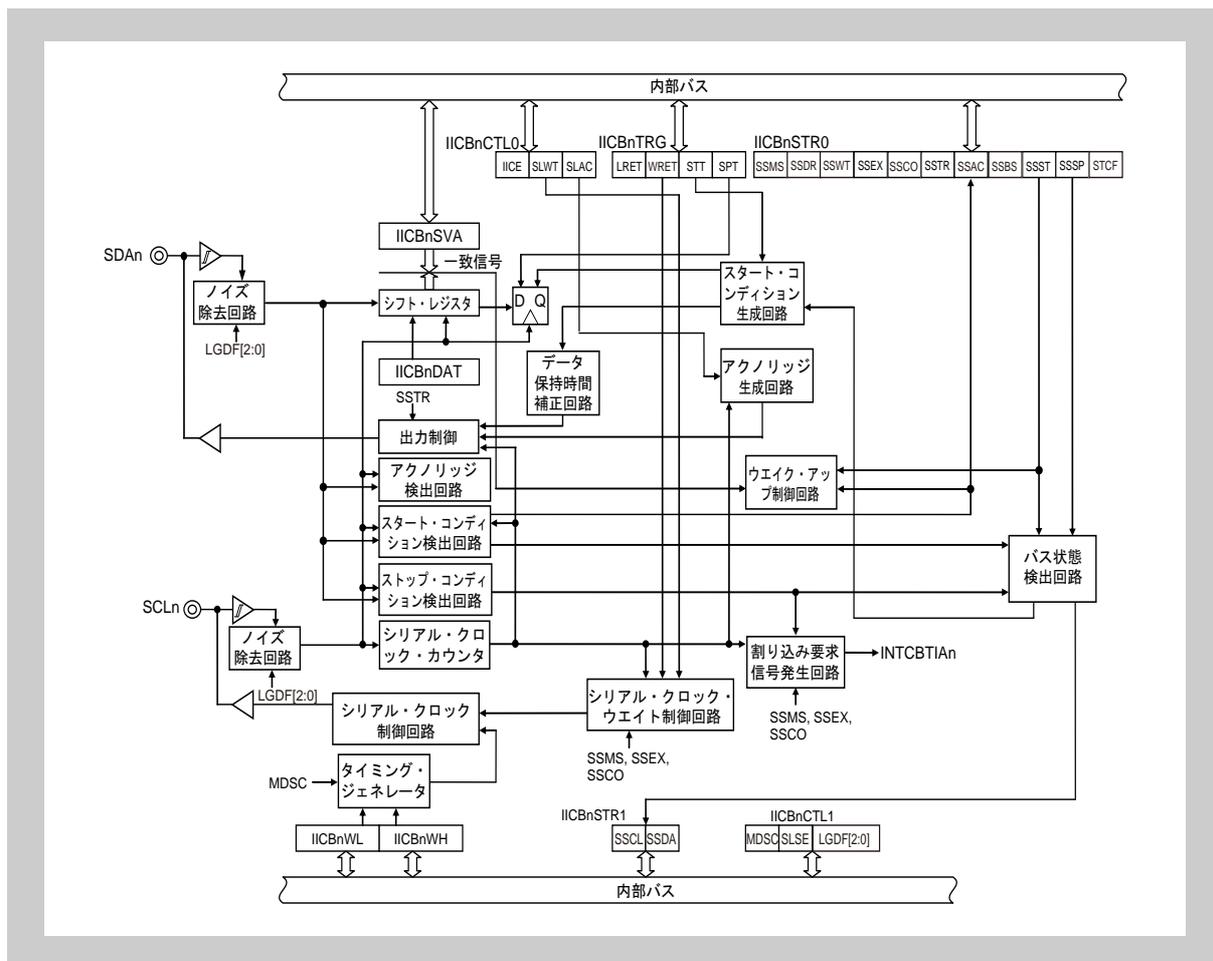


図 19-1 I²CBn のブロック図

19.4 I²Cバス・モードの機能

19.4.1 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています。

SCLn ... シリアル・クロックを入出力するための端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

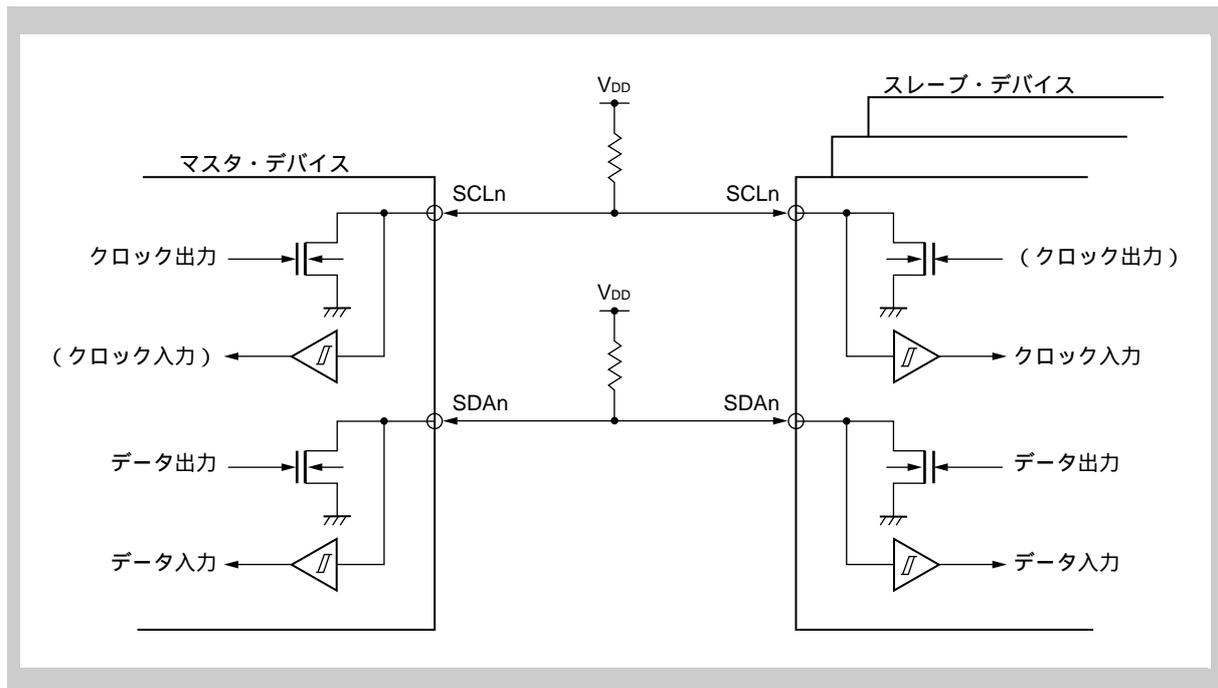


図 19-2 端子構成図

19.5 I²Cバスの定義

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

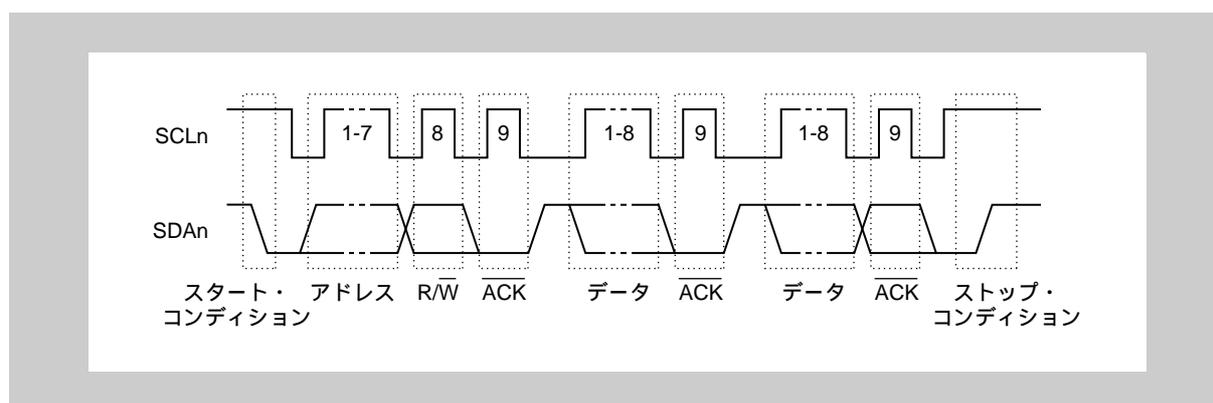


図 19-3 I²Cバスのシリアル・データ転送タイミング

スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

アクトリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が生成します）。

シリアル・クロック (SCLn) は、マスタが出力し続けます。ただし、スレーブは SCLn 端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

19.5.1 スタート・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。スタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できません。

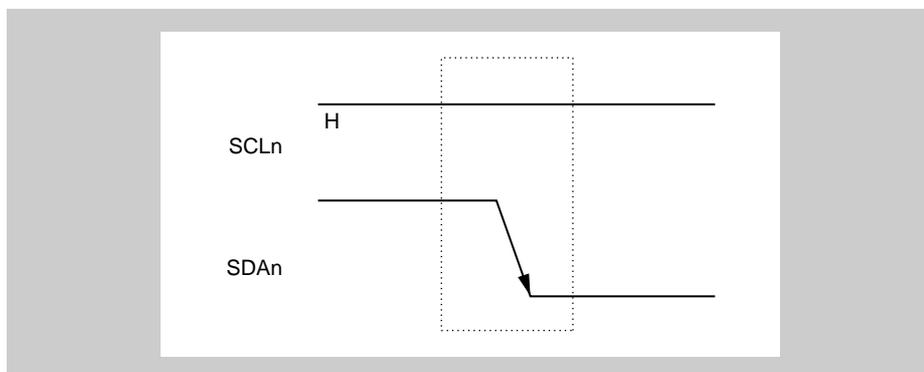


図 19-4 スタート・コンディション

19.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、7ビット・データが自身のアドレスと一致しているかを調べます。このとき、自身のアドレスと一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

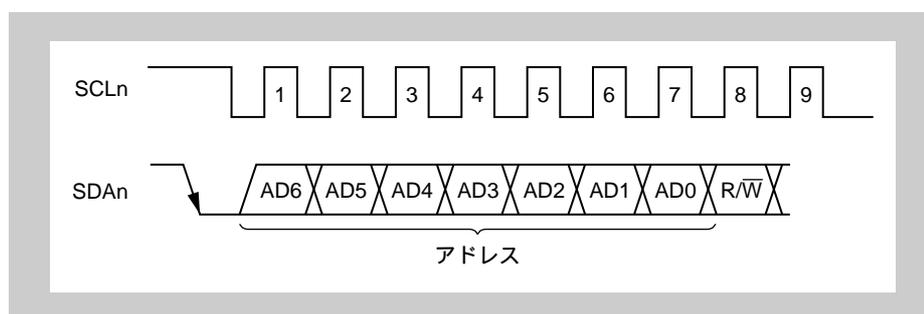


図 19-5 アドレス

19.5.3 拡張コード

アドレスの上位4ビットが“0000”と“1111”のとき、このビットのことを拡張コードと呼びます。表 19-7「拡張コードのビット定義」に拡張コード時のビット定義を示します。

表 19-7 拡張コードのビット定義

スレーブ・アドレス	R/W ビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUS アドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
0000 011	x	将来の利用のために予約
0000 1xx	x	HS モード・マスタ・コード ^{a)}
1111 0xx	x	10 ビット・スレーブ・アドレス指定
1111 1xx	x	将来の利用のために予約

a) I²CB では、HS モードは使用できません。

19.5.4 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

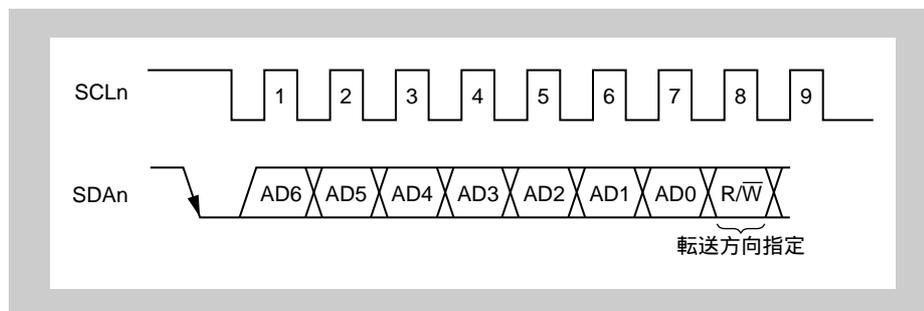


図 19-6 転送方向指定

19.5.5 アクノリッジ ($\overline{\text{ACK}}$)

アドレス転送時の転送方向ビット ($\overline{\text{R/W}}$) に続く 1 ビット・データおよび 8 ビット・データに続く 1 ビット・データはアクノリッジ ($\overline{\text{ACK}}$) と定義されています。

アクノリッジによって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ①受信が正しく行われていない。
- ②最終データの受信が終わっている。
- ③アドレス指定した受信側が存在しない。

アクノリッジ生成は、受信側が 9 クロック目に SDA_n ラインをロウ・レベルにすることによって行われます (正常受信)。

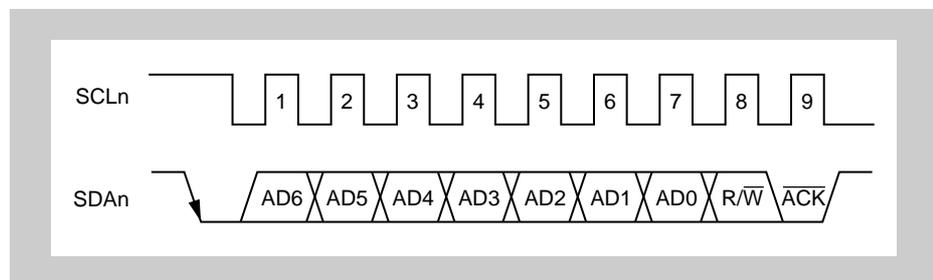


図 19-7 アクノリッジ ($\overline{\text{ACK}}$)

19.5.6 データ

スタート・コンディションに続く9ビット（アドレス（7ビット）、R/W（1ビット）、アクノリッジ（ACK）（1ビット））とアクノリッジを除くビットはデータと定義されています。

拡張コードを使用した10ビット・アドレス指定時は、アドレス転送に続く8ビットのデータをアドレス（セカンド・アドレス）として利用します。

19.5.7 ストップ・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。

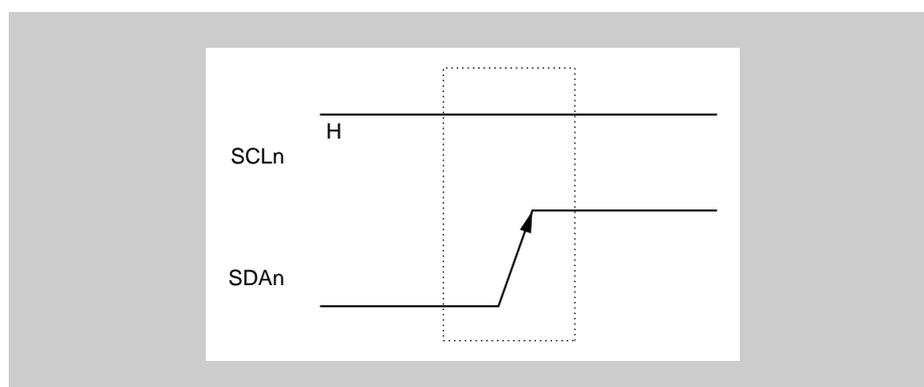


図 19-8 ストップ・コンディション

19.5.8 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCLn 端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

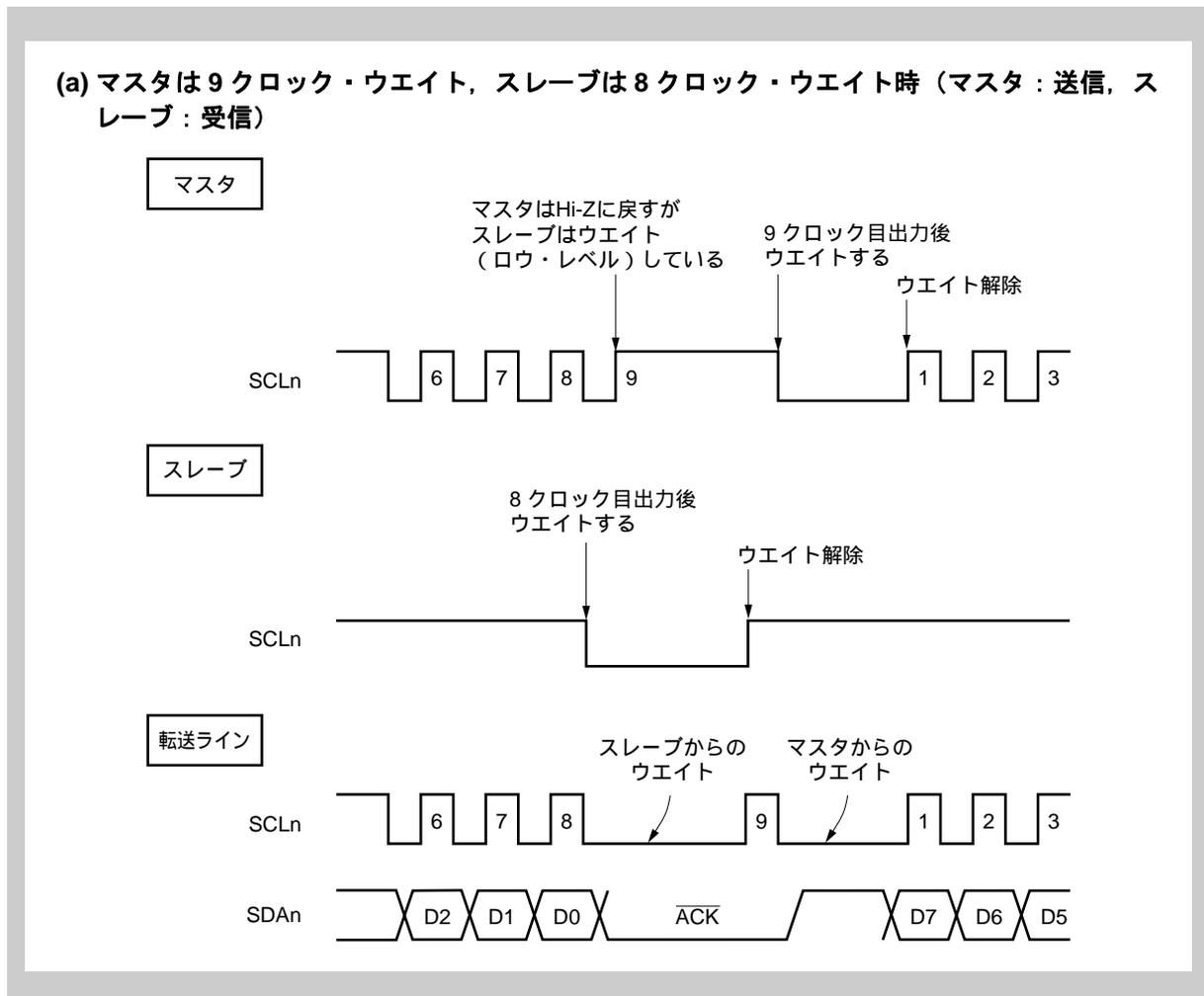


図 19-9 ウェイト (1/2)

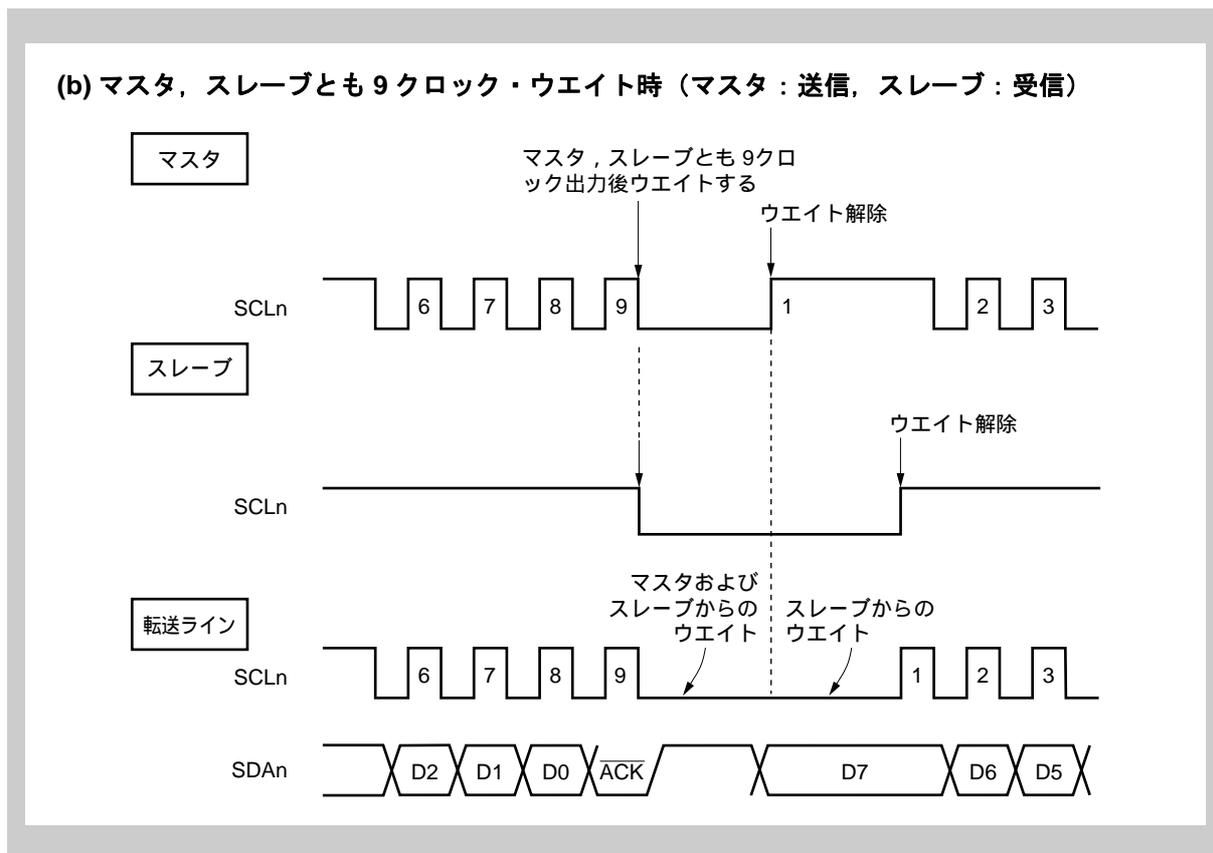


図 19-9 ウェイト (2/2)

19.6 レジスタ

注意 拡張コード受信時の動作は説明を省略しています。詳細は、19.7.3「拡張コード」を参照してください。

(1) IICBn データ・レジスタ (IICBnDAT)

IICBnDAT レジスタは、転送データを送受信するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0000_H

初期値 00_H

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0, IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

- 注意**
1. シングル転送モード時にマスタになる場合は、IICBnTRG.IICBnSTT ビット = 1 設定後、アドレスと通信方向を転送するため、IICBnDAT レジスタへ1回だけライトを許可します。
 2. シングル転送モード時にデータを転送する場合は、ウエイト期間を除く通信状態でのIICBnDAT レジスタへのライトは禁止します。
 3. 送信動作を行っているときにIICBnDAT レジスタをリードしないでください。
また同様に受信動作を行っているときにIICBnDAT レジスタへライトしないでください。

7	6	5	4	3	2	1	0
IICBn DAT7	IICBn DAT6	IICBn DAT5	IICBn DAT4	IICBn DAT3	IICBn DAT2	IICBn DAT1	IICBn DAT0
R/W							

表 19-8 IICBnDAT の内容

ビット位置	ビット名	意味
7-0	IICBn DAT[7-0]	<p>受信時には、受信データを保持します。 送信時には、送信データを書き込みます。</p> <p>IICBnDAT レジスタへのアクセス（リード、ライト）は、手順に従って行う必要があります。 設定手順については、19.10「設定手順」を参照してください。 IICBnDAT レジスタへのアクセスによりウエイト状態の解除を行います。</p> <p>○シングル転送モードの場合</p> <ul style="list-style-type: none"> • IICBnDAT レジスタへライトが行われたとき

(2) IICBn スレーブ・アドレス・レジスタ (IICBnSVA)

IICBnSVA レジスタは、I²CBn バスのスレーブ・アドレスを格納するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0004_H

初期値 00_H どのリセット要因でも初期化されます。

注意 IICBnSVA レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn SVA7	IICBn SVA6	IICBn SVA5	IICBn SVA4	IICBn SVA3	IICBn SVA2	IICBn SVA1	0
R/W	R						

表 19-9 IICBnSVA の内容

ビット位置	ビット名	意味
7-1	IICBn SVA[7-1]	I ² CBn バスのスレーブ・アドレスを格納します。 受信したアドレスと IICBnSVA レジスタを比較することで、アドレス一致/アドレス不一致の判定を行います。 受信したアドレスが IICBnSVA レジスタと一致した場合は、IICBnSTR0.IICBnSSCO ビットがセット (1) されます。

(3) IICBn コントロール・レジスタ 0 (IICBnCTL0)

IICBnCTL0 レジスタは、I²CBn の動作を制御するレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0008_H

初期値 00_H どのリセット要因でも初期化されます。

ビット 4-2 には必ず 0 を設定してください。

	7	6	5	4	3	2	1	0
IICBn IICE	0	0	0	0	0	0	IICBn SLWT	IICBn SLAC
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 19-10 IICBnCTL0 の内容 (1/2)

ビット位置	ビット名	意味
7	IICBnIICE	<p>IICBn の動作許可/動作停止を指定します。</p> <p>0 : IICBn の動作停止 1 : IICBn の動作許可</p> <p>IICBnCTL0.IICBnIICE ビット = 1 → 0, または IICBnCTL0.IICBnIICE ビット = 0 → 1 の動作により次に示すレジスタの同期リセットを行います。</p> <ul style="list-style-type: none"> IICBnDAT, IICBnSTR0 レジスタ <p>IICBnCTL0.IICBnIICE = 0 のとき, SCLn, SDA_n 端子はハイ・インピーダンス状態になります。</p>
1	IICBnSLWT	<p>ウェイトおよび割り込み要求発生時のタイミングを制御します。</p> <p>0 : シングル転送時の 8 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生 1 : シングル転送時の 9 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生</p> <p>IICBnCTL0.IICBnSLWT ビットは次に示すタイミングでのウェイトへの遷移および割り込み要求発生を制御するビットです。</p> <ul style="list-style-type: none"> データ転送中の 8 クロック目および 9 クロック目 <p>ウェイト状態への遷移条件については, 19.7.2 「ウェイトとウェイト解除方法」を参照してください。</p> <p>なお, アドレス転送中は IICBnCTL0.IICBnSLWT ビットの設定によらず, ウェイトへの遷移および割り込み要求発生条件は次のようになります。</p> <p>○シングル転送モードの場合</p> <ul style="list-style-type: none"> マスタ時 : 9 クロック目の立ち下がり検出時にデータ送受信割り込み要求信号 (IICBTIA_n) を発生し, ウェイト状態となります。 スレーブ時 : アドレス一致時は, 9 クロック目の立ち下がり検出時に IICBTIA_n 信号を発生しウェイト状態となります。 アドレス不一致時は, IICBTIA_n 信号は発生せずウェイト状態にもなりません。 <p>注意 シングル転送モード時は, IICBnCE ビット = 0 時またはウェイト期間のみ書き換えを許可します。</p>

表 19-10 IICBnCTL0 の内容 (2/2)

ビット位置	ビット名	意味
0	IICBnSLAC	<p>アクノリッジを制御します。</p> <p>0: アクノリッジ禁止 マスタ時: データ受信中のアクノリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。 スレーブ時: アドレスが一致したデータ転送中のアクノリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。</p> <p>1: アクノリッジ許可 マスタ時: データ受信中のアクノリッジを生成します (SDAn 端子をロウ・レベル)。 スレーブ時: アドレスが一致したデータ転送中のアクノリッジを生成します (SDAn 端子をロウ・レベル)。</p> <p>スレーブ時は、アドレス一致の場合、アドレス転送中のアクノリッジは IICBnCTL0.IICBnSLAC ビットの値に関係なく生成します (SDAn 端子をロウ・レベル)。 データを送信または通信不参加のときは、アクノリッジは常に生成しません (SDAn 端子はハイ・インピーダンス状態)。</p>

(4) IICBn コントロール・レジスタ 1 (IICBnCTL1)

IICBnCTL1 レジスタは、I²CBn の動作を制御するレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0020_H

初期値 00_H どのリセット要因でも初期化されます。
ビット 3, 0 には必ず 0 を設定してください。

注意 IICBnCTL1 レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn MDSC	IICBn LGDF2	IICBn LGDF1	IICBn LGDF0	0	0	IICBn SLSE	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 19-11 IICBnCTL1 の内容 (1/2)

ビット位置	ビット名	意味														
7	IICBn MDSC	I ² CBn の動作モードを指定します。 0 : 標準モード (最大転送レート : 100 kbps) 1 : 高速モード (最大転送レート : 400 kbps)														
6-4	IICBnLGDF [2-0]	デジタル・フィルタ・サンプリング周期を指定します。 デジタル・フィルタは、高速モード時のみ使用できます。 000 : デジタル・フィルタ未使用 I ² CBn 内部でデジタル・フィルタを通過しない SCLn および SDAn を使用します。 デジタル・フィルタ回路は動作を停止します。 上記以外 : デジタル・フィルタ使用 I ² CBn 内部でデジタル・フィルタを通過した SCLn および SDAn を使用します。 デジタル・フィルタを使用する場合、IICBnCTL1.IICBnLGDF[2:0] ビットの設定は次のようにしてください。 <table border="1" data-bbox="513 1424 1382 1724"> <thead> <tr> <th>IICBnCTL1.IICBnLGDF[2:0] ビット</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td>001</td> <td>最低周波数^a ≤ PCLK ≤ 20 MHz</td> </tr> <tr> <td>010</td> <td>20 MHz < PCLK ≤ 40 MHz</td> </tr> <tr> <td>011</td> <td>40 MHz < PCLK ≤ 60 MHz</td> </tr> <tr> <td>100</td> <td>60 MHz < PCLK ≤ 80 MHz</td> </tr> <tr> <td>101</td> <td>80 MHz < PCLK ≤ 100 MHz</td> </tr> <tr> <td>110, 111</td> <td>設定禁止</td> </tr> </tbody> </table>	IICBnCTL1.IICBnLGDF[2:0] ビット	周波数	001	最低周波数 ^a ≤ PCLK ≤ 20 MHz	010	20 MHz < PCLK ≤ 40 MHz	011	40 MHz < PCLK ≤ 60 MHz	100	60 MHz < PCLK ≤ 80 MHz	101	80 MHz < PCLK ≤ 100 MHz	110, 111	設定禁止
IICBnCTL1.IICBnLGDF[2:0] ビット	周波数															
001	最低周波数 ^a ≤ PCLK ≤ 20 MHz															
010	20 MHz < PCLK ≤ 40 MHz															
011	40 MHz < PCLK ≤ 60 MHz															
100	60 MHz < PCLK ≤ 80 MHz															
101	80 MHz < PCLK ≤ 100 MHz															
110, 111	設定禁止															
a) 設定別の最低周波数一覧を次に示します																
<table border="1" data-bbox="513 1765 1382 1953"> <thead> <tr> <th>動作モード (IICBnCTL1.IICBnMDSC ビット)</th> <th>フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)</th> <th>フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)</th> </tr> </thead> <tbody> <tr> <td>標準モード (0)</td> <td>1.0 MHz</td> <td>使用禁止</td> </tr> <tr> <td>高速モード (1)</td> <td>3.5 MHz</td> <td>4.0 MHz</td> </tr> </tbody> </table>			動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)	標準モード (0)	1.0 MHz	使用禁止	高速モード (1)	3.5 MHz	4.0 MHz					
動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)														
標準モード (0)	1.0 MHz	使用禁止														
高速モード (1)	3.5 MHz	4.0 MHz														

表 19-11 IICBnCTL1 の内容 (2/2)

ビット位置	ビット名	意味
1	IICBnSLSE	<p>通信初期状態でのスタート・コンディション発行の許可/禁止を指定します。 0: 通信初期状態でのスタート・コンディション発行を禁止 1: 通信初期状態でのスタート・コンディション発行を許可</p> <p>IICBnCTL1.IICBnSLSE ビットをセット (1) することで、通信初期状態 (IICBnCTL0.IICBnIICE ビット = 1 設定後からストップ・コンディション検出まで) で IICBnTRG.IICBnSTT ビット = 1 の設定によりスタート・コンディションを発行できます。</p> <p>IICBnCTL1.IICBnSLSE ビットはスタート・コンディションを検出した場合には自動的に (0 ライト動作を行わなくても) クリア (0) します。</p> <p>注意 他の通信に遅れて通信に参加する場合には、IICBnCTL1.IICBnSLSE ビットは "0" を設定してください。 他の通信が行われているときに、IICBnCTL1.IICBnSLSE ビットをセット (1) としてから IICBnTRG.IICBnSTT ビット = 1 の設定を行った場合、他の通信を破壊することがあります。</p>

(5) IICBn ロウ・レベル幅設定レジスタ (IICBnWL)

IICBnWL レジスタは、シリアル・クロック信号 (SCLn) のロウ・レベル幅を設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0024_H

初期値 03FF_H どのリセット要因でも初期化されます。

注意 IICBnWL レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWL9	IICBnWL8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWL7	IICBnWL6	IICBnWL5	IICBnWL4	IICBnWL3	IICBnWL2	IICBnWL1	IICBnWL0
R/W							

表 19-11 IICBnWL の内容

ビット位置	ビット名	意味
9-0	IICBnWL [9-0]	I ² C バス規格の t _{LOW} (SCLn クロックのロウ・レベル幅) 区間を指定します。IICBnWL レジスタの値を使用して、その他の I ² C バス規格のシリアル出カタイミングを決定します。シリアル出カタイミング生成条件については、19.6 (5) (a) 「IICBnWL, IICBnWH レジスタによる転送クロック設定方法」を参照してください。

(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法

IICBnWL レジスタおよび IICBnWH レジスタの値より I²C バス規格における各種タイミングの生成を行います。

● マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{\text{IICBnWL} + \text{IICBnWH} + \text{PCLK} (t_R + t_F)}{f_{\text{CLK}}}$$

このとき、最適な IICBnWL と IICBnWH の設定値は次のようになります。
(設定値はすべて小数点以下切り上げ)

• 高速モード時

$$\text{IICBnWL} = \frac{0.52}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

• 標準モード時

$$\text{IICBnWL} = \frac{0.47}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

● スレーブ側の IICBnWL, IICBnWH 設定方法

(設定値はすべて小数点以下切り上げ)

• 高速モード時

$$\text{IICBnWL} = 1.3\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (1.2\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

• 標準モード時

$$\text{IICBnWL} = 4.7\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (5.3\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

備考 IICBnWL : IICBn ロウ・レベル幅設定レジスタ
 IICBnWH : IICBn ハイ・レベル幅設定レジスタ
 t_F : SDA_n, SCL_n 信号の立ち下がり時間
 t_R : SDA_n, SCL_n 信号の立ち上がり時間
 PCLK : I²CBn への供給クロック周波数

(6) IICBn ハイ・レベル幅設定レジスタ (IICBnWH)

IICBnWH レジスタは、シリアル・クロック信号 (SCLn) のハイ・レベル幅を設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 0028_H

初期値 03FF_H どのリセット要因でも初期化されます。

注意 IICBnWH レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWH9	IICBnWH8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWH7	IICBnWH6	IICBnWH5	IICBnWH4	IICBnWH3	IICBnWH2	IICBnWH1	IICBnWH0
R/W							

表 19-12 IICBnWH の内容

ビット位置	ビット名	意味
9-0	IICBnWH [9-0]	I ² C バス規格の t _{HIGH} (SCLn クロックのハイ・レベル幅) 区間を指定します。IICBnWH レジスタの値を使用して、その他の I ² C バス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、19.6 (5) (a) 「IICBnWL, IICBnWH レジスタによる転送クロック設定方法」を参照してください。

(7) IICBn トリガ・レジスタ (IICBnTRG)

IICBnTRG レジスタは、I²CBn のトリガを設定するレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base> + 000C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	IICBn LRET	IICBn WRET	IICBn STT	IICBn SPT
R	R	R	R	R/W	R/W	R/W	R/W

表 19-13 IICBnTRG の内容 (1/4)

ビット位置	ビット名	意味
3	IICBnLRET	<p>通信退避トリガ・ビット</p> <p>0: 通常動作 1: 現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。</p> <p>IICBnTRG.IICBnLRET ビット = 1 時には、次のことを行います。</p> <ul style="list-style-type: none"> • SCLn, SDA_n をそれぞれハイ・インピーダンス状態（通信待機状態）にする。 • IICBnSTR0 レジスタの IICBnSSMS, IICBnSSDR, IICBnSSWT, IICBnSSEX, IICBnSSC0, IICBnSSSTR, IICBnSSAC, IICBnSSST ビットがクリアされる。 • IICBnTRG.IICBnSTT ビット = 1（スタート・コンディション発行準備）または IICBnTRG.IICBnSPT ビット = 1（ストップ・コンディション発行準備）を設定していた場合、スタート・コンディションおよびストップ・コンディションの生成を中止する <p>注意 マスタ動作（IICBnSTR0.IICBnSSMS ビット = 1）時に IICBnTRG.IICBnLRET ビット = 1 を設定した場合、バスを解放します。シリアル・クロックを出力しなくなるため、スレーブ側の通信で不整合を起こします。</p> <p>備考 IICBnLRET ビットは、データ設定後に読み出すと 0 が読めます。</p>
2	IICBn WRET	<p>ウェイト状態を解除するためのトリガ・ビット</p> <p>0: ウェイトを解除しない 1: ウェイト解除し、通信を再開する。実行後、自動的にクリアされる。</p> <p>9 クロック目出力後のウェイト期間中で IICBnTRG.IICBnWRET ビット = 1 の設定によりウェイト解除した場合は、IICBnSTR0.IICBnSSSTR ビット = 0 に設定し、SDA_n = ハイ・インピーダンスとします（これにより外部マスタがストップ・コンディション、またはスタート・コンディションを発行できる状態になります）。ウェイト状態でない場合（IICBnSTR0.IICBnSSWT ビット = 0）のセット (1) は意味を持ちません。</p> <p>また、IICBnTRG.IICBnWRET ビット = 1 以外にもウェイト解除条件があります。詳細については 19.7.2 「ウェイトとウェイト解除方法」を参照してください。</p> <p>備考 IICBnWRET ビットは、データ設定後に読み出すと 0 が読めます。</p>

表 19-13 IICBnTRG の内容 (2/4)

ビット位置	ビット名	意味
1	IICBnSTT	<p>スタート・コンディション・トリガ・ビット 0: スタート・コンディションを生成しない 1: スタート・コンディションを生成する (セット (1) 後, 自動的にクリアされます)</p> <p>次の条件のとき IICBnTRG.IICBnSTT ビットをセット (1) できます。</p> <p>① マスタ状態 (IICBnSTR0.IICBnSSMS ビット = 1) ○ シングル転送モード</p> <ul style="list-style-type: none"> 9 クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。ただし, 9 クロック目のウエイト期間中であっても, 受信でアクノリッジを検出している状態では, セット (1) は禁止します。 <p>9 クロック目出力後のウエイト期間中の場合はウエイトを解除後, それ以外の場合は 9 クロック目の立ち下がりを検出したときに, t_{LOW} (SCLn クロックのロウ・レベル幅) 期間確保後 SDA_n および SCLn をハイ・レベルとし, I²C バス規格の $t_{SU:STA}$ (スタート/リスタート・コンディションのセットアップ時間) 時間を待ってから SDA_n = ロウ・レベルにするとスタート・コンディションを生成します。 その後, I²C バス規格の $t_{HD:STA}$ (ホールド時間) 時間を確保し, SCLn = ロウ・レベルとします。</p> <p>② スレーブ状態または通信待機状態 (IICBnSTR0.IICBnSSMS ビット = 0)</p> <ul style="list-style-type: none"> IICBnSTR0.IICBnSSBS ビット = 0 (バス解放状態) スタート・コンディションを生成します。 I²C バス規格の t_{BUF} (バス・フリー・タイム (ストップ・スタート・コンディション間)) 時間確認後 (未経過時: 経過後, 経過時: ただちに), SCLn = ハイ・レベルの状態, SDA_n をハイ・レベルからロウ・レベルに変化させることでスタート・コンディションを生成します (このとき SCLn はハイ・レベルを出力しています)。 その後, I²C バス規格の $t_{HD:STA}$ 時間を確保し, SCLn をロウ・レベルとします。 IICBnSTR0.IICBnSSBS ビット = 1 (バス通信状態) この状態は, I²CBn がマスタではなく, バス上で通信が行われている場合を指します。 <p>バスが開放状態 (ストップ・コンディションを検出) となった後, I²C バス規格の t_{BUF} 時間確保後, スタート・コンディションを生成します。 ただし, t_{BUF} 時間経過していない場合でも, スタート・コンディションを検出した場合は t_{BUF} 時間を待たず, ただちに SDA_n をロウ・レベルとします。</p> <p>注意 ②は IICBnSTR0.IICBnSTT ビット = 0 設定時の IICBnSTR0.IICBnSSBS ビット値での動作です。 注意レジスタ・リードにより IICBnSTR0.IICBnSSBS ビット値を確認後に IICBnSTR0.IICBnSTT ビット = 1 に設定しても, IICBnSTR0.IICBnSSBS ビット値は確認したときの値とは異なる場合があります。</p>

表 19-13 IICBnTRG の内容 (3/4)

ビット位置	ビット名	意味
1	IICBnSTT	<p>IICBnTRG.IICBnSTT ビット = 1 に設定することにより、スタート・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、スタート・コンディションの生成処理を中止し、スタート・コンディションの生成はしません。</p> <ul style="list-style-type: none"> • IICBnCTL0.IICBnIICE ビット = 0 ライト • IICBnTRG.IICBnLRET ビット = 1 ライト <p>注意 通信初期状態でのスタート許可 (IICBnCTL1.IICBnSLSE ビット = 1) 時、IICBnTRG.IICBnSTT ビットをセット (1) した場合は、バス状態に関係なくスタート・コンディションの生成を行います。このとき他の通信が行われていた場合は、その通信を破壊することがあります。</p> <p>備考 IICBnTRG.IICBnSPT ビットとの同時セットは禁止です。 IICBnSTT ビットは、データ設定後に読み出すと 0 が読めます。</p>
0	IICBnSPT	<p>ストップ・コンディション・トリガ</p> <p>0 : ストップ・コンディションを生成しない 1 : ストップ・コンディションを生成する (セット (1) 後、自動的にクリア)</p> <p>IICBnTRG.IICBnSPT ビットはマスタとして通信中の次の条件のときにセット (1) できます。</p> <p>○シングル転送モード</p> <ul style="list-style-type: none"> • 9クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。 ただし、9クロック目のウエイト期間中であっても、受信でアクノリッジを検出している状態では、セット (1) は禁止します。 <p>ストップ・コンディションは次の手順で生成できます。 (ウエイト状態の場合は、ウエイトを解除後、) SDA_n = ロウ・レベルを出力した状態で SCL_n を解放し、SCL_n = ハイ・レベル、SDA_n = ロウ・レベルとなるのを待ちます。その後、$t_{SU:STO}$ 時間が経過後 SDA_n = ハイ・レベルとすることで生成されます。</p> <p>備考 IICBnSPT ビットは、データ設定後に読み出すと 0 が読めます。</p>

表 19-13 IICBnTRG の内容 (4/4)

ビット位置	ビット名	意味
0	IICBnSPT	<p>IICBnTRG.IICBnSPT ビット = 1 に設定することにより、ストップ・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、ストップ・コンディションの生成処理を中止し、ストップ・コンディションの生成はしません。</p> <ul style="list-style-type: none"> • IICBnCTL0.IICBnIICE ビット = 0 ライト • IICBnTRG.IICBnLRET ビット = 1 ライト • ストップ・コンディション検出 <p>注意 IICBnTRG.IICBnSPT ビットはスレーブ時 (IICBnSTR0.IICBnSSMS ビット = 0) のセット (1) を禁止します。</p> <p>備考 IICBnTRG.IICBnSTT ビットとの同時セットは禁止です。</p>

(8) IICBn ステータス・レジスタ 0 (IICBnSTR0)

IICBnSTR0 レジスタは、I²CBn の状態およびバスの状態を示すレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <I²CBn_base> + 0010_H

初期値 0000_H

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0, IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

15	14	13	12	11	10	9	8
IICBnSSMS	0	IICBnSSDR	IICBnSSWT	IICBnSSEX	IICBnSSCO	IICBnSSTR	IICBnSSAC
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0 ^a	IICBnSSBS	IICBnSSST	IICBnSSSP	0	0	0	0
R	R	R	R	R	R	R	R

a) 通信状態により、1 にセットされますが、通信に影響はありません。

表 19-14 IICBnSTR0 の内容 (1/4)

ビット位置	ビット名	意味
15	IICBnSSMS	<p>マスタ状態確認フラグ 1: マスタとして動作中</p> <p>セット条件: IICBnTRG.IICBnSTT ビット = 1 ライト後, スタート・コンディションを検出時。 クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 セット条件とクリア条件が重なった場合は, クリア条件を優先します。</p>
13	IICBnSSDR	<p>IICBnDAT レジスタ・ステータス・フラグ 1: IICBnDAT レジスタに未処理のデータが残っている 受信動作時: 受信したデータが未読み出しのまま IICBnDAT レジスタに残っている。 送信動作時: IICBnDAT レジスタに書き込んだデータがシフト・レジスタへ転送されていない。</p> <p>セット条件:</p> <ul style="list-style-type: none"> • アドレス転送中およびデータ転送中で IICBnSTR0.IICBnSSWT ビット = 0 の場合の IICBnDAT レジスタ・ライト時 (マスタ時, IICBnDAT レジスタにアドレスをデータ・ライトする際は, 直接, シフト・レジスタへ転送されるため, IICBnSTR0.IICBnSSWT ビット = 0 の場合でもセット (1) されません)。 • スレーブでアドレス一致した 9 クロック目の立ち下がり時。 • IICBnCTL0.IICBnSLWT ビット = 0 かつシングルモード受信時は, データ受信中の 8 クロック目の立ち下がり時。 • IICBnCTL0.IICBnSLWT ビット = 1 時は, データ受信中の 9 クロック目の立ち下がり時。 • シングルモード送信状態では, このビットがセットされることはありません (シングル送信モードでは, ウェイト期間中のみの DAT ライトが許可されているため)。

表 19-14 IICBnSTR0 の内容 (2/4)

ビット位置	ビット名	意味
13	IICBnSSDR	<p>クリア条件 :</p> <ul style="list-style-type: none"> ○セット条件よりも優先されるクリア条件 <ul style="list-style-type: none"> • IICBnLRET ビット = 1 ライト時。 • マスタでアドレス転送中の 9 クロック目の立ち下がり時。 • IICBnCTL0.IICBnSLWT ビット = 0 は、データ送信中の 8 クロック目の立ち下がり時。 • IICBnCTL0.IICBnSLWT ビット = 1 は、データ送信中の 9 クロック目の立ち下がり時。 ○セット条件が優先されるクリア条件 <ul style="list-style-type: none"> • シフト・レジスタに IICBnDAT レジスタへの未格納受信データがない場合の IICBnDAT レジスタ・リード時。
12	IICBnSSWT	<p>ウェイト状態フラグ 1 : ウェイト状態</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ■シングル転送モードの場合 <マスタ/スレーブ共通> <ul style="list-style-type: none"> ○データ転送中, IICBnCTL0.IICBnSLWT ビット = 0 で 8 クロック目の立ち下がり検出時。 ○データ転送中, IICBnCTL0.IICBnSLWT ビット = 1 で 9 クロック目の立ち下がり検出時。 <マスタ> <ul style="list-style-type: none"> ○ IICBnCTL0.IICBnSTT ビット = 1 ライト後にマスタ (IICBnSTR.IICBnSSMS ビット = 1) となり, IICBnDAT レジスタへライト・アクセスが行われず, 最初の SCLn の立ち下がり検出時。 ○アドレス転送中の 9 クロック目の立ち下がり検出時。 <スレーブ> <ul style="list-style-type: none"> ○アドレス一致したアドレス転送中の 9 クロック目の立ち下がり検出時。
12	IICBnSSWT	<p>クリア条件 :</p> <ul style="list-style-type: none"> ○セット条件より優先されるクリア条件 <ul style="list-style-type: none"> • IICBnTRG.IICBnLRET ビット = 1 ライト時。 ○セット条件が優先されるクリア条件 <ul style="list-style-type: none"> • IICBnTRG.IICBnWRET ビット = 1 ライト時。 • マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSTT ビット = 1 ライト時。 • マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSPT ビット = 1 ライト時。 • シングル転送モードで送信の場合の IICBnTRG.IICBnDAT レジスタ・ライト時。 <p>注意 9 クロック目のウェイト期間中に IICBnWRET ビット = 1 ライトによるウェイト解除を行った場合は, IICBnSTR0.IICBnSSWT ビットをクリア (0) し, バスを解放 (SCLn, SDA_n をそれぞれハイ・インピーダンス状態にする) します。</p>
11	IICBnSSEX	<p>拡張コード受信検出フラグ 1 : 拡張コードを受信している</p> <p>セット条件 : 受信したアドレス・データの上位 4 ビットが "0000" または "1111" の場合のアドレス転送中の 8 クロック目の立ち下がり検出時。</p> <p>クリア条件 : • IICBnTRG.IICBnLRET ビット = 1 ライト時。</p> <ul style="list-style-type: none"> • ストップ・コンディション検出時。 • スタート・コンディション検出時。 <p>注意 拡張コードが一致している場合の割り込み後の処理は, 拡張コードに続くデータにより異なるため, ソフトウェア処理に依存します。</p>

表 19-14 IICBnSTR0 の内容 (3/4)

ビット位置	ビット名	意味
10	IICBnSSCO	<p>アドレス一致検出フラグ 1: IICBnSVA レジスタと一致したアドレスを検出</p> <p>セット条件: 受信アドレスが IICBnSVA レジスタと一致したアドレス転送中の 8 クロック目の立ち下がり検出時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • スタート・コンディション検出時。</p>
9	IICBnSSTR	<p>送信状態検出フラグ 1: シリアル・データ・バスヘータを送信中</p> <p>セット条件: <マスタ> • IICBnTRG.IICBnSTT ビット = 1 ライト後, スタート・コンディションを検出時。 <スレーブ> • アドレス一致したアドレス転送の $\overline{R/W}$ ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。</p> <p>クリア条件: <マスタ/スレーブ共通> • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • 9 クロック目のウェイト期間中で IICBnTRG.IICBnWRET ビット = 1 ライト時</p> <p><マスタ> • アドレス転送中の $\overline{R/W}$ ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。</p> <p><スレーブ> • スタート・コンディション検出時。</p>
8	IICBnSSAC	<p>アクノリッジ (ACK) 検出フラグ 1: アクノリッジを検出している</p> <p>セット条件: 通信に参加中で, \overline{ACK} ビットにロウ・レベルを受信したときの SCL の立ち下がり検出時。</p> <p>クリア条件: • IICBnLRET ビット = 1 ライト時。 • SCLn の立ち上がり検出時。</p> <p>注意 IICBnSTR0.IICBnSSAC ビットは割り込み発生の有無に関係なく値は変化しません。</p>
6	IICBnSSBS	<p>I²CBn バス状態フラグ 0: バス解放状態, または IICBnCTL1.IICBnSLSE ビット = 1 時の通信初期状態 1: バス通信状態, または IICBnSLSE ビット = 0 時の通信初期状態</p> <p>セット条件: • スタート・コンディション検出時。 • IICBnCTL1.IICBnSLSE ビット = 0 で IICBnCTL0.IICBnIICE ビット = 1 ライト時。</p> <p>クリア条件: ストップ・コンディション検出時。</p> <p>備考 IICBnSTR0.IICBnSSBS ビットは, 通信への参加, 不参加に関係なく動作しません。</p>
5	IICBnSSST	<p>スタート・コンディション検出フラグ 1: スタート・コンディションを検出している</p> <p>セット条件: スタート・コンディション検出時。</p> <p>クリア条件: • IICBnTRG. IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • アドレス転送終了後の SCLn の立ち上がり検出時。</p> <p>備考 IICBnSTR0.IICBnSSST ビットは, 通信への参加, 不参加に関係なく動作しません。</p>

表 19-14 IICBnSTR0 の内容 (4/4)

ビット位置	ビット名	意味
4	IICBnSSSP	ストップ・コンディション検出フラグ 1: ストップ・コンディションを検出している セット条件: ストップ・コンディション検出時。 クリア条件: スタート・コンディション検出後の最初の SCLn の立ち下がり検出時。 備考 IICBnSTR0.IICBnSSSP ビットは、通信への参加、不参加に関係なく動作します。

(9) IICBn ステータス・レジスタ 1 (IICBnSTR1)

IICBnSTR1 レジスタは、シリアル・バスの状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <I²CBn_base> + 0014_H

初期値 03_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IICBn SSCL	IICBn SSDA
R	R	R	R	R	R	R	R

表 19-15 IICBnSTR1 の内容

ビット位置	ビット名	意味
1	IICBnSSCL	SCLn 端子 (入力) の端子レベルの状態を示します。 0 : SCLn 端子 (入力) はロウ・レベル 1 : SCLn 端子 (入力) はハイ・レベル
0	IICBnSSDA	SDAn 端子 (入力) の端子レベルの状態を示します。 0 : SDAn 端子 (入力) はロウ・レベル 1 : SDAn 端子 (入力) はハイ・レベル

(10) IICBn エミュレーション・レジスタ (IICBnEMU)

このレジスタは、オンチップ・デバグによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、I²CBn の送受信動作を継続するか、停止するかを選択することができます。

アクセス 8/1 ビット単位でリード／ライト可能です。

このレジスタへの書き込みは、デバグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <I²CBn_base> + 0034_H

初期値 00_H

	7	6	5	4	3	2	1	0
IICBn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 19-16 IICBnEMU の内容

ビット位置	ビット名	機能
7	IICBn SVSDIS	デバグ時の送受信動作の継続 / 停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、送受信動作を継続します。 (EPC.SVSTOP = 1 のとき) : 0 : 送受信動作を停止 1 : 送受信動作を継続

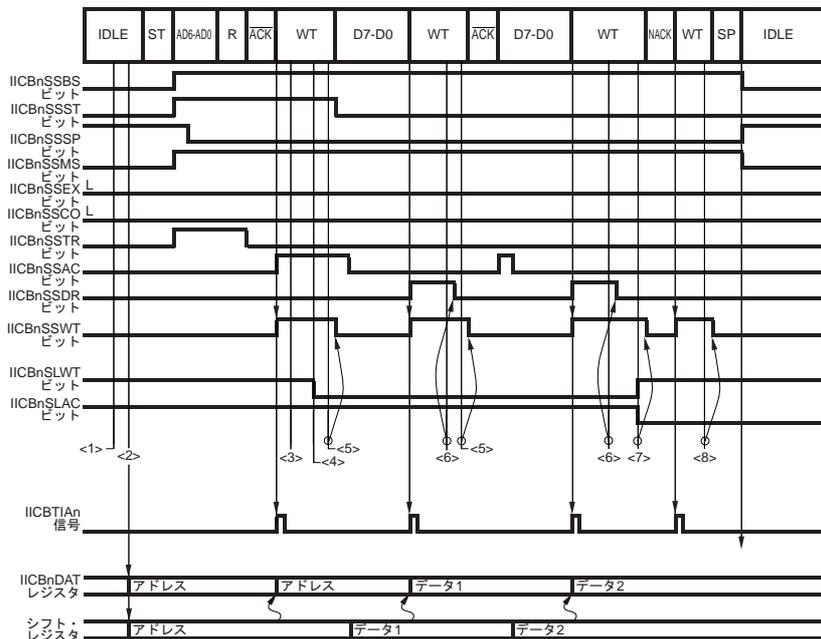
19.7 動作

19.7.1 シングル転送モード

シングル転送モードは、IICBnCTL0.IICBnSLWT ビットで設定したタイミングで、データ送受信割り込み要求信号 (IICBTIA_n) を発生させウエイト状態とし、このウエイト期間中に送受信データ処理を行う転送モードです。

各処理の動作を以下に示します。

(1) シングル転送モード (マスタ受信) の通信例



<1> スタート・コンディション出力

I2CnTRG. I2CnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて 8 ビットとして I2CnDAT レジスタへ設定

<3> アクノリッジ結果確認

I2CBTIAn 割り込みで I2CnSTR0.I2CnSSAC ビットをリードし確認

<4> ウェイト・タイミング設定

データ受信時は 8 クロック目の立ち下がりでウェイト状態とするため
I2CnCTL0.I2CnSLWT ビットをクリア (0)

<5> データ受信

ウェイト期間中に I2CnTRG.I2CnWRET ビットをセット (1) することでウェイト解除
し受信開始

<6> 受信データ取り込み

I2CBTIAn 割り込みで I2CnDAT レジスタから受信データをリード

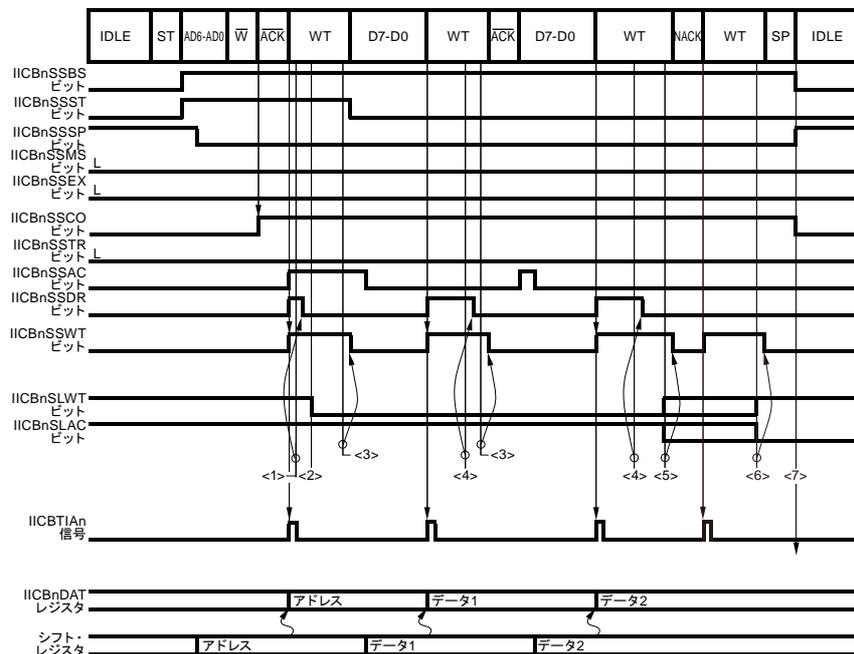
<7> データ受信完了処理

- ウェイト期間中に I2CnCTL0.I2CnSLWT ビット =1, I2CnSLAC ビット =0 に設定
- その後, I2CnTRG.I2CnWRET ビットをセット (1) することでウェイト解除し, アクノリッジが生成されず, 送信側にデータの終わりを通知

<8> ストップ・コンディション出力

I2CnTRG. I2CnSPT ビットをセット (1)

(3) シングル転送モード (スレーブ受信) の通信例



<1> スレーブ時の動作モード確認

- IICBTIAn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSSCO, IICBnSSTR ビットでアドレス転送、アドレス一致、受信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

<2> ウェイト・タイミング設定

データ受信時は 8 クロック目の立ち下がりウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをクリア (0)

<3> データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し、受信開始

<4> 受信データ取り込み

IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード

<5> データ受信完了処理

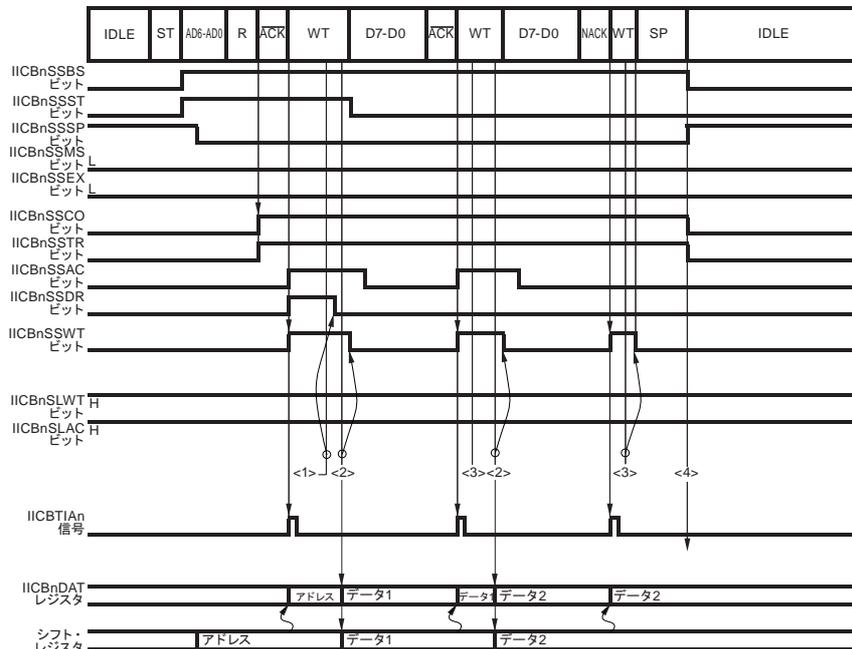
- ウェイト期間中に IICBnCTL0.IICBnSLWT ビット = 1, IICBnSLAC ビット = 0 に設定
- その後、IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除しアクリッジが生成されず、送信側にデータの終わりを通知

<6> ウェイト解除

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除

<7> ストップ・コンディション検出

(4) シングル転送モード (スレーブ送信) の通信例



備考 データ送信時は9クロック目の立ち下がりでウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをセット (1) してください。

<1> スレーブ時の動作モード確認

- IICBTIA 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSSCO, IICBnSSTR ビットでアドレス転送, アドレス一致, 送信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

<2> データ送信

ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し, 送信開始

<3> アクノリッジ結果確認

IICBTIA 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし, 確認

アクノリッジが生成されなかった場合は送信完了と判断し, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除

<4> ストップ・コンディション検出

19.7.2 ウェイトとウェイト解除方法

I²CBn は、次に示すタイミングでウェイト状態へ遷移できます。

表 19-17 ウェイト状態への遷移タイミング

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
0			1		2	3

発生タイミング	説明	参照箇所
△ 0	マスタとしてスタート・コンディション検出後、最初の SCLn の立ち下がり検出時	(1)
△ 1	スタート・コンディション後のアドレス転送中における SCLn の 9 クロック目の立ち下がり検出時	(2)
△ 2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	(3)
△ 3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	(4)

備考 ST : スタート・コンディション
 AD6-AD0 : アドレス
 R/W: : 転送方向指定
 ACK: : アクノリッジ
 D7-D0 : データ
 SP : ストップ・コンディション

ウェイトの解除方法は、ウェイトしている状態により異なります。

(1) - (4) に記載した各ウェイト状態での解除条件に従って、解除してください。

注意 拡張コード受信時の動作は説明を省略しています。詳細は、19.7.3「拡張コード」を参照してください。

(1) マスタとなった最初の SCLn 立ち下がりのウエイト

$\Delta 0$ は、IICBnTRG.IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出したとき、転送すべきデータがライト (IICBnDAT レジスタへのライト) されていない場合のウエイト状態です。

(a) ウエイト遷移条件

IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出時、IICBnSTT ビット = 1 ライト後から $\Delta 0$ タイミングまでに IICBnDAT レジスタへライト動作が行われていなければウエイト状態となります。

図 19-10 「有効な IICBnDAT レジスタへのライト・タイミング」にそれぞれの設定で有効な IICBnDAT レジスタへのライト・タイミングを示します。

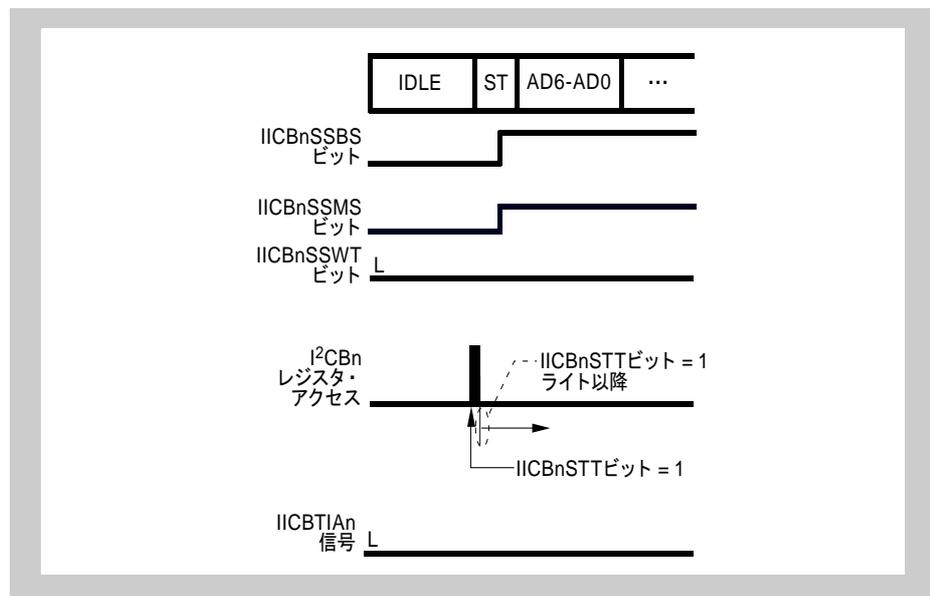


図 19-10 有効な IICBnDAT レジスタへのライト・タイミング

(b) ウエイト解除条件

IICBnDAT ライトでウエイト解除を行ってください。

(2) アドレス転送完了時のウェイト状態

△1は、アドレス転送完了したことによるウェイト状態です。

(a) ウェイト遷移条件

<シングル転送モード>

シングル転送モード時は、マスタ時は必ずウェイト状態となります。

スレーブ時はアドレス一致、または拡張コード検出かつ IICBnSLWT ビット = 1 の場合にウェイト状態となります。

(b) ウェイト解除条件

<シングル転送モード>

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnWRET ビット = 1 ライトによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット = 0 または送信であれば、IICBnTRG.IICBnSTT ビット = 1 ライトおよび IICBnTRG.IICBnSPT ビット = 1 ライトによるウェイト解除が可能です。

(3) データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態

△2 はデータ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態です。

(a) ウェイト遷移条件

<シングル転送モード>

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット = 0 で、SCLn の 8 回目の立ち下がり検出時にウェイト状態へ遷移します。

(b) ウェイト解除条件

<シングル転送モード>

受信動作時は IICBnTRG.IICBnWRET = 1 ライト，送信動作時は IICBnDAT レジスタへのライトによりウェイトを解除してください。

(4) データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態

△ 3 は、データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態です。

(a) ウェイト遷移条件

<シングル転送モード>

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット = 1 で SCLn の 9 回目の立ち下がり検出時にウェイト状態へ遷移します。

(b) ウェイト解除条件

表 19-18 「ウェイト解除条件」にモードごとのウェイト解除条件を示します。

表 19-18 ウェイト解除条件

マスタ/ スレーブ	転送モード	送信/ 受信	IICBnSTR0. IICBnSSAC ビット	解除動作
マスタ	シングル転送 モード	受信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT = 1
			1	IICBnTRG.IICBnWRET = 1
		送信	0	IICBnSTT ビット = 1 または IICBnSPT = 1
			1	IICBnDAT レジスタへのライトまたは IICBnSTT ビット = 1 または IICBnSPT ビット = 1
スレーブ	シングル転送 モード	受信	—	IICBnWRET ビット = 1
		送信	0	IICBnWRET ビット = 1
			1	IICBnDAT レジスタへのライト ^{a)}

^{a)} 送信データがデータレジスタにライトされていないことによるウェイト状態の解除条件です。

19.7.3 拡張コード

拡張コードを受信した場合の処理は、拡張コードに続くデータにより異なるため、ユーザのソフトウェア処理で行う必要があります。

そのため、通常のスレーブ・アドレス受信時と動作が異なります。違いは次のとおりです。

- (1) 受信アドレスの上位4ビットが“0000”または“1111”のとき、拡張コード受信として拡張コード受信フラグ (IICBnSTR0.IICBnSSEX ビット) をセットし、ウェイト状態 (IICBnTRG.IICBnSSWT = 1) となります。
また IICBnSTR0.IICBnSSDR ビットおよび IICBnSSTR ビットがセット (1) されます。
- (2) アドレス転送中のアクノリッジ出力では、IICBnCTL0.IICBnSLAC ビットの設定により、アクノリッジを制御可能です (通常のスレーブ・アドレス受信時におけるアドレス転送中では、アドレス一致の場合、IICBnCTL0.IICBnSLAC の設定に関係なくアクノリッジを出力します)。
- (3) 拡張コード検出によるウェイトの解除方法を示します。
IICBnCTL0.IICBnSLWT ビット = 0 で送信する場合は、IICBnDAT レジスタへのライトによりウェイト解除してください。IICBnSLWT ビット = 1 で送信する場合、または、受信する場合は、IICBnTRG.IICBnWRET ビット = 1 ライトによりウェイト解除してください。
- (4) その後の9クロック目の立ち下がり時は、IICBnSLWT ビット = 1 の場合は、割り込み要求信号 (IICBTIA_n) を発生しウェイト状態 (IICBnTRG.IICBnSSWT=1)、IICBnCTL0.IICBnSLWT ビット = 0 の場合は、割り込み要求信号 (IICBTIA_n) を発生せずウェイト状態にもなりません。
- (5) 拡張コードを受信した場合は、アドレス不一致でも通信に参加します。
たとえば、拡張コード受信後、スレーブとして動作したくない場合は、IICBnTRG.IICBnLRET ビット = 1 に設定してください。次の通信待機状態となります。

19.8 割り込み要求信号

注意 拡張コード受信時の動作は説明を省略しています。詳細は、19.7.3「拡張コード」を参照してください。

I²CBnには、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA_n) があります。いずれも PCLK で1クロック幅のパルスです。ここでは、それぞれの割り込み要求信号について転送モード別に説明します。

19.8.1 シングル転送モード

次にシングル転送モード時の割り込み要求信号発生タイミングを示します。シングル転送モードの場合、IICBTIA_n 割り込み要求信号は、バス・サイクルの SCL_n 立ち下がり検出時の I²CBn の状態により割り込み発生の判定を行います。

表 19-19 割り込み要求信号発生タイミング (シングル転送モード)



発生タイミング	説 明	参照箇所
△ 1	アドレス転送中における SCL _n の9クロック目の立ち下がり検出時	(1)
△ 2	データ転送中における SCL _n の8クロック目の立ち下がり検出時	(2)
△ 3	データ転送中における SCL _n の9クロック目の立ち下がり検出時	(2)

備考 ST : スタート・コンディション
 AD6-AD0 : アドレス
 R/W: : 転送方向指定
 ACK: : アクノリッジ
 D7-D0 : データ
 SP : ストップ・コンディション

(1) アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 19-19 「割り込み要求信号発生タイミング (シングル転送モード)」の $\Delta 1$ はアドレス転送中の割り込み要求信号発生タイミングです。表 19-20 「アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)」に $\Delta 1$ での割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA_n)を示します。

表 19-20 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICB _n SSMS	IICB _n SLWT	IICB _n SSCO	$\Delta 1$		備 考
			割り込み	ウエイト	
1	x	x	IICBTIA _n	ウエイト	—
0	x	0	—	—	—
0	x	1	IICBTIA _n	ウエイト	—

備考 x : 任意

(2) データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 19-19 「割り込み要求信号発生タイミング (シングル転送モード)」の△2 および△3 はデータ転送中の割り込み要求信号発生タイミングです。△2 および△3 での割り込み要求信号発生タイミングは、IICBnCTL0.IICBnSLWT ビットの設定により決定されます。表 19-21 「データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)」に△2 および△3 のタイミングでの割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA_n) を示します。

表 19-21 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICBn SSMS	IICBn SLWT	IICBn SSCO	△ 2		△ 3		備 考
			割り込み	ウエイト	割り込み	ウエイト	
1	0	x	IICBTIA _n	ウエイト	—	—	—
1	1	x	—	—	IICBTIA _n	ウエイト	—
0	x	0	—	—	—	—	通信不参加
0	0	1	IICBTIA _n	ウエイト	—	—	—
0	1	1	—	—	IICBTIA _n	ウエイト	—

備考 x : 任意

19.9 割り込み出力とステータス

次に、通信フロー別での割り込み出力発生時の IICBnSTR0 レジスタのステータス状態を示します。

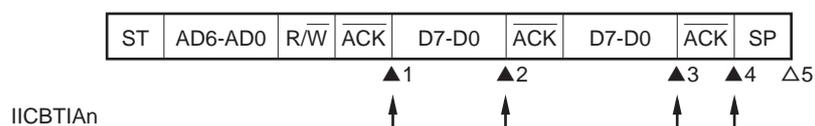
図中で用いる略号の意味は次のとおりです。

ST	: スタート・コンディション
AD6-AD0	: アドレス
R, \overline{W} , $\overline{R/W}$: 転送方向指定
\overline{ACK}	: アクノリッジ
\overline{NACK}	: 非アクノリッジ
D7-D0	: データ
SP	: ストップ・コンディション

19.9.1 シングル転送モード (マスタ動作)

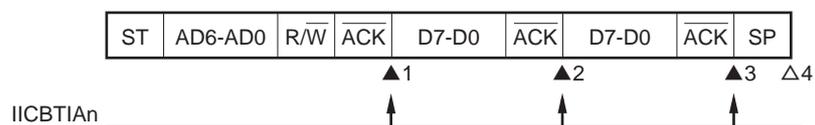
(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

① IICBnCTL0.IICBnSLWT ビット = 0 のとき

▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00_B▲ 3 : IICBnSTR0 レジスタ = 1-0100X0 0100--00_B (IICBnSLWT ビット = 1)▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnTRG.IICBnSPT ビット = 1)Δ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 Δ 割り込み発生しない
 - 不定
 X 任意

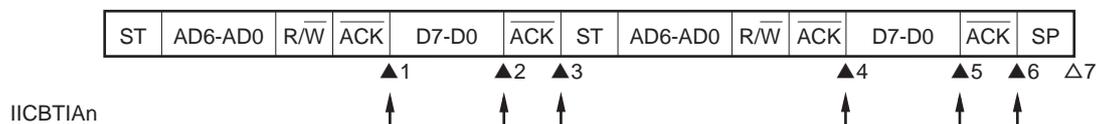
② IICBnSLWT ビット = 1 のとき

▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00_B▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnSPT ビット = 1)Δ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 Δ 割り込み発生しない
 - 不定
 X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop
(リスタート)

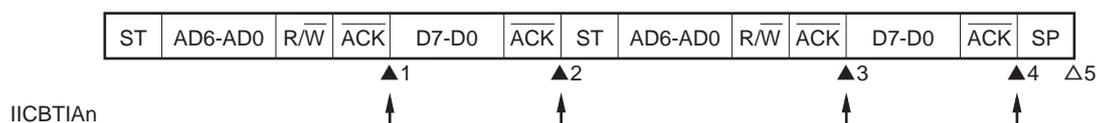
① IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00_B (IICBnSLWT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnTRG.IICBnSTT ビット = 1, IICBnSLWT ビット = 0)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B
- ▲ 5 : IICBnSTR0 レジスタ = 1-0100X0 0100--00_B (IICBnSLWT ビット = 1)
- ▲ 6 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnSPT ビット = 1)
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

② IICBnSLWT ビット = 1 のとき

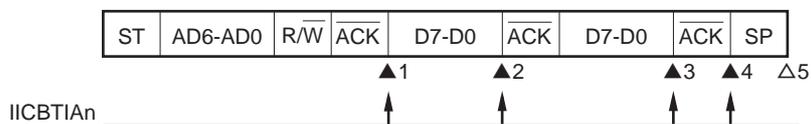


- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnSTT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100X1 0110--00_B
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00_B (IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

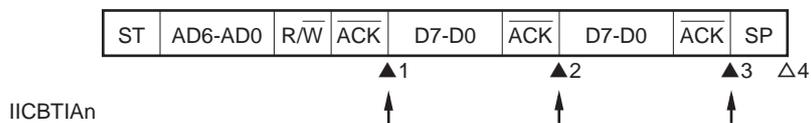
(3) Start ~ ExCode ~ Data ~ Data ~ Stop (拡張コード送信)

① IICBnSLWT ビット = 0 のとき

▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00_B▲ 2 : IICBnSTR0 レジスタ = 1-0110X0 0100--00_B▲ 3 : IICBnSTR0 レジスタ = 1-0110X0 0100--00_B (IICBnSLWT ビット = 1)▲ 4 : IICBnSTR0 レジスタ = 1-0110XX 0100--00_B (IICBnSPT ビット = 1)Δ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 Δ 割り込み発生しない
 - 不定
 X 任意

② IICBnSLWT ビット = 1 のとき

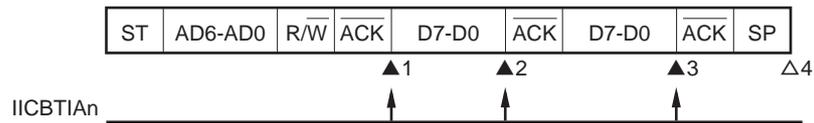
▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00_B▲ 2 : IICBnSTR0 レジスタ = 1-0110X1 0100--00_B▲ 3 : IICBnSTR0 レジスタ = 1-0110XX 0100--00_B (IICBnSPT ビット = 1)Δ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 Δ 割り込み発生しない
 - 不定
 X 任意

19.9.2 シングル転送モード (スレーブ動作 : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

(1) Start ~ Address ~ Data ~ Data ~ Stop

① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00_B

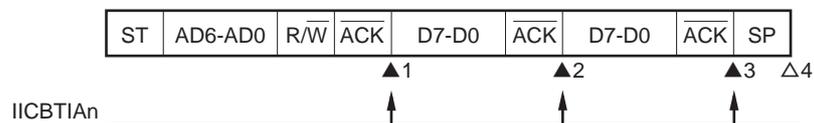
▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00_B

▲ 3 : IICBnSTR0 レジスタ = 0-0101X0 0100--00_B

Δ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00_B

▲ 2 : IICBnSTR0 レジスタ = 0-0101X1 0100--00_B

▲ 3 : IICBnSTR0 レジスタ = 0-0101XX 0100--00_B

Δ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

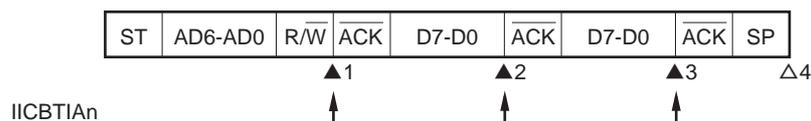
備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

19.9.3 シングル転送モード (スレーブ動作 : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00_B

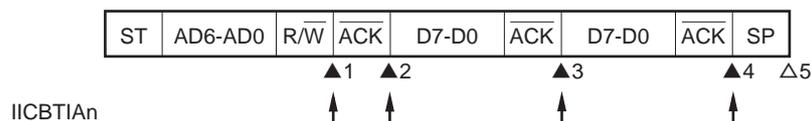
▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00_B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00_B

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00_B

▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00_B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00_B

▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00_B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00_B

備考 ▲ 割り込み発生する
 △ 割り込み発生しない
 - 不定
 X 任意

19.9.4 シングル転送モード（通信不参加の動作）

(1) Start ~ Code ~ Data ~ Data ~ Stop



19.10 設定手順

19.10.1 シングルマスタ環境

(1) シングル転送モード時のマスタ動作設定手順

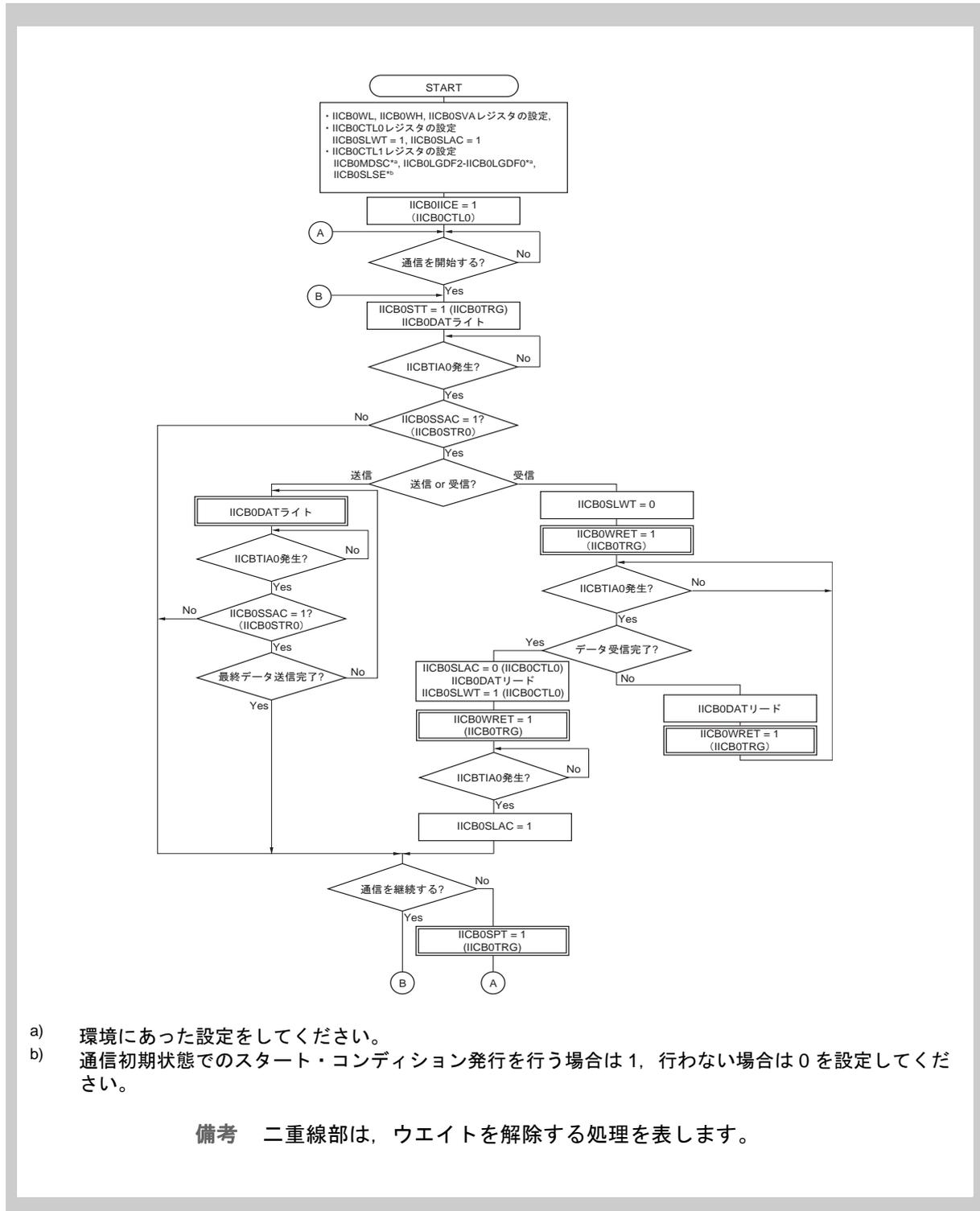
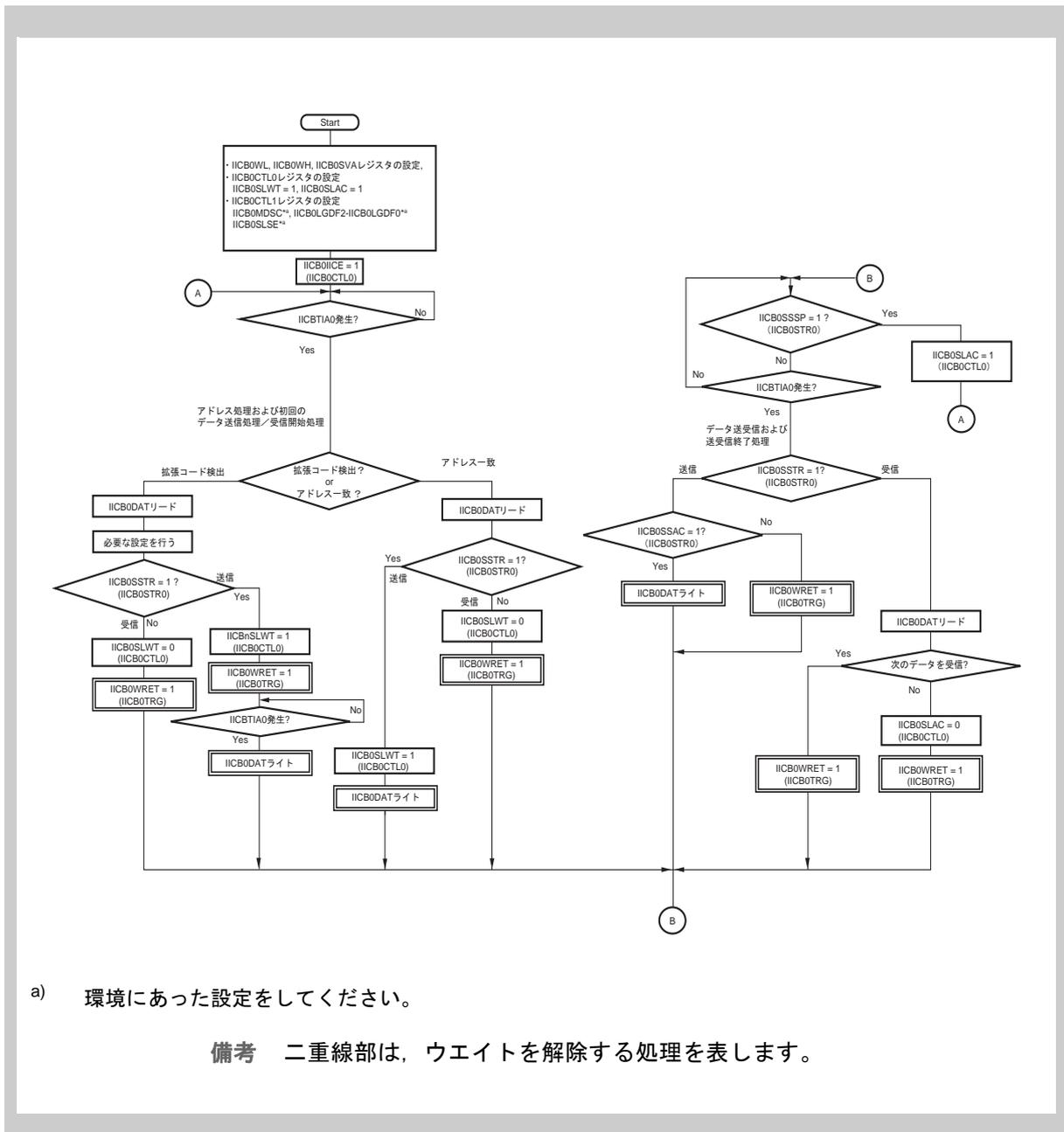


図 19-11 シングル転送モード時のマスタ動作設定手順 (シングルマスタ環境)

(2) シングル転送モード時のスレーブ動作設定手順



a) 環境にあった設定をしてください。

備考 二重線部は、ウェイトを解除する処理を表します。

図 19-12 シングル転送モード時のスレーブ動作設定手順 (シングルマスタ環境)

第20章 キー・リターン機能 (KR)

本章では、キー・リターン機能全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-Lに固有の特性について説明します。

それ以降の節では、共通の特徴について説明します。

20.1 V850E2/Fx4-L KR の機能

チャンネル数 本マイクロコントローラは以下のチャンネル数のキー・リターン機能を搭載しています。

表 20-1 KR のチャンネル数

キー・リターン機能	
チャンネル数	1
名称	KR0

レジスタ・アドレス KR0 レジスタのアドレスは、ベース・アドレス <KR0_base> からのオフセットで表されます。
KR0 のレジスタ・ベース・アドレス <KR0_base> を以下の表に示します。

表 20-2 レジスタ・ベース・アドレス <KR0_base>

チャンネル	<KR0_base> アドレス
KR0	FF82 B000 _H

クロック供給 キー・リターン機能には次の表で示すクロックを供給します。

表 20-3 KR0 のクロック供給

チャンネル	KR0 のクロック	接続先
KR0	PCLK	クロック・コントローラの CKSCLK_A02

割り込み キー・リターン機能は以下の割り込み要求を生成します。

表 20-4 KR0 の割り込み要求

KR0 の信号	機能	接続先
KR0TIKR	キー割り込み	割り込みコントローラ INTKR0

I/O 信号 キー・リターン機能の内部信号接続を次の表に示します。

表 20-5 KR0 の I/O 信号

KR0 の信号	機能	接続先
KR0TPKR7 ~ KR0TPKR0	キー入力信号	ポート KR0I0 ~ KR0I7

20.2 機能の概要

機能の概要 キー・リターン機能は以下の特徴を持っています。

8つのキー入力ピン (KR0TPKR0 ~ KR0TPKR7) のいずれかにロウ・レベルを入力することによってキー割り込み要求信号 (KR0TIKR) を生成します。

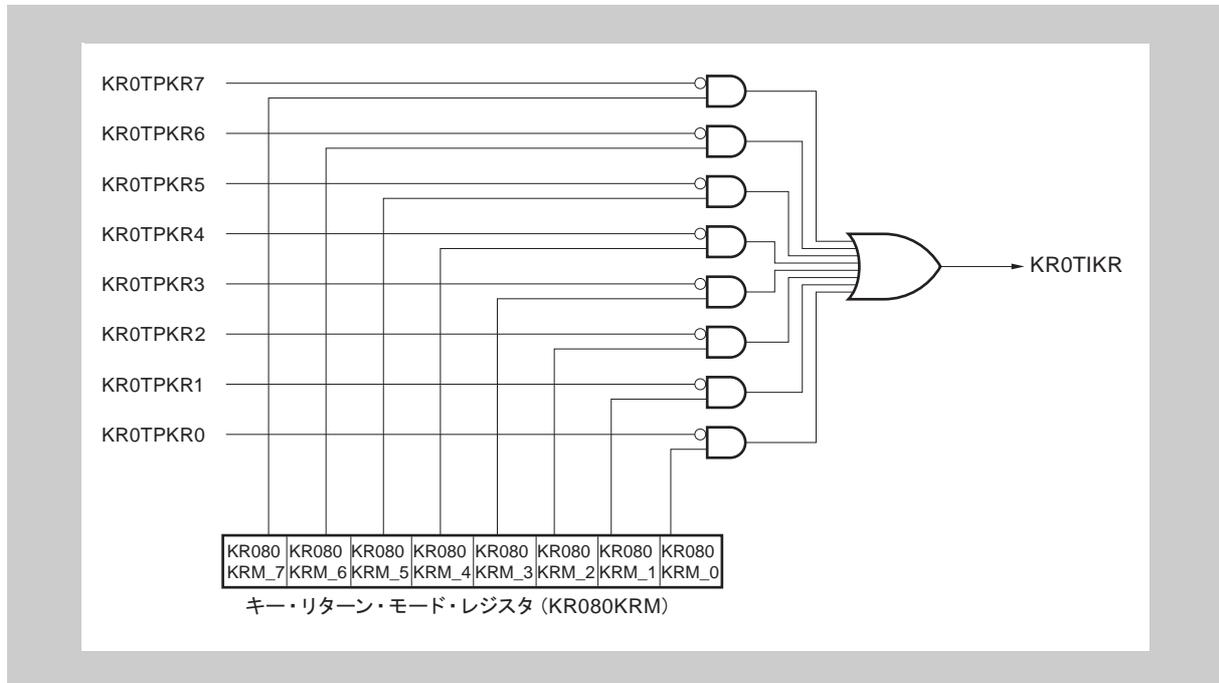


図 20-1 キー・リターン機能のブロック図

20.3 機能の説明

20.3.1 割り込み要求 KR0TIKR

KR0TPKR0 ~ KR0TPKR7 の入力を許可 (KR080KRM.KR080KRM[7:0] = 1) しているときに、対応するキー入力端子 KR0I0 ~ KR0I7 にロウ・レベルを入力すると、割り込み要求 KR0TIKR が発生します。

以下の図は割り込み要求が生成される仕組みを示しています。

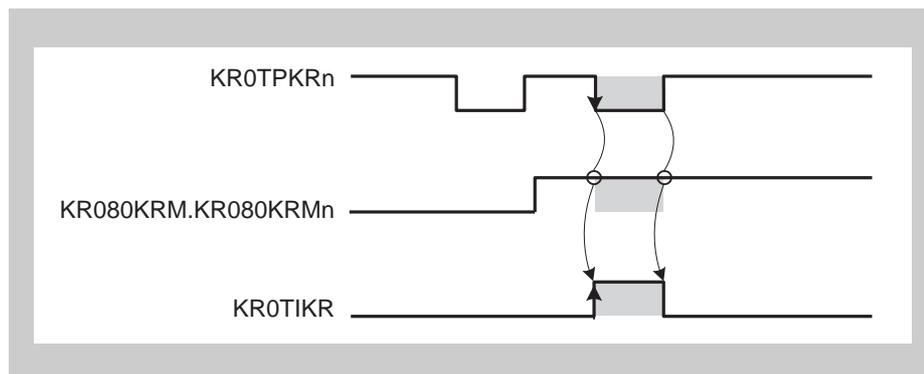


図 20-2 割り込み要求の生成

- 注意**
1. キー入力端子 (KR0I0 ~ KR0I7) のいずれかが、ロウ・レベルを入力している場合、他のキー入力端子がロウ・レベルを検出しても、キー入力割り込み信号 KR0TIKR は発生しません。
 2. KR080KRM.KR080KRM[7:0] の設定変更と同時にキー入力端子のレベルが変化すると、意図しないキー割り込み要求が発生する場合があります。KR080KRM レジスタの値を書き換える場合、割り込み (ICKR0) をマスクしてください。

20.4 レジスタ

本節ではキー・リターン機能のレジスタについて説明します。

20.4.1 キー・リターン機能レジスタの概要

キー・リターン機能は以下のレジスタによって制御します。

表 20-6 キー・リターン機能のレジスタの概要

レジスタ名	略号	アドレス
キー・リターン・モード・レジスタ	KR080KRM	<KR0_base> + 00 _H

<KR0_base> KR0 の <KR0_base> は、本章 第 1 節の「レジスタ・アドレス」で定義しています。

20.4.2 キー・リターン機能レジスタの詳細

(1) KR080KRM - キー・リターン・モード・レジスタ

本レジスタでは、キー入力信号の検出を許可または禁止します。

アクセス 8 ビット単位または 1 ビット単位でリード/ライト可能です。

アドレス <KR0_base> + 00_H

初期値 00_H 本レジスタは各種リセットにより初期化します。

7	6	5	4	3	2	1	0
KR080KRMn (n = 0 ~ 7)							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20-7 KR080KRM レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	KR080KRMn	キー入力信号 (KR0TPKRn) の検出を許可または禁止します。 0: 禁止 1: 許可

第21章 A/Dコンバータ (ADCA)

この章では、A/Dコンバータの一般的な内容について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Lに固有の特徴について説明します。

以降の節で、ADCA搭載製品に共通の特徴について説明します。

21.1 V850E2/Fx4-L ADCA の特徴

チャンネル この製品は次のチャンネル数のA/DコンバータAを搭載しています。

表 21-1 ADCA のユニット

A/Dコンバータ A	
ユニット数	1
名称	ADCA0

n の意味 この章では、ADCAの各ユニットを「n」で識別します。たとえば、ADCA_n、ADCA_nのA/Dコンバータ・モード制御レジスタ0 (ADCA_nCTL0) (n = 0) のように記述しています。

i の意味 A/Dコンバータには3つのA/D変換チャンネル・グループ (略号はCG) があります。本章では、各チャンネル・グループを「i」 (i = 0-2) で識別します。たとえば、A/Dコンバータ割り込み制御レジスタi (ADCA_nIOC_i) のように記述しています。

m の意味 各A/Dコンバータには複数の変換チャンネルがあります。この章では、各ADCAの各チャンネルを「m」で識別します。たとえば、A/Dコンバータ変換結果レジスタm (ADCA_nCmCR) のように記述しています。各デバイスのADCAのチャンネル数を次の表に示します。

表 21-2 ADCA チップ・セレクト・インデックス

ADCA _n	V850E2/FE4-L チャンネル・ インデックス	V850E2/FF4-L チャンネル・ インデックス	V850E2/FG4-L チャンネル・ インデックス	V850E2/FJ4-L チャンネル・ インデックス	V850E2/FF4-G チャンネル・イン デックス	V850E2/FG4-G チャンネル・イン デックス
ADCA0	m = 0-11	m = 0-13	m = 0-19	m = 0-23	m = 3-12	m = 0-15

レジスタ・アドレス ADCAn レジスタのアドレスは、それぞれのベース・アドレス <ADCAn_base> からのオフセットで示します。
各 ADCAn のレジスタ・ベース・アドレス <ADCAn_base> を次の表に示します。

表 21-3 レジスタ・ベース・アドレス <ADCAn_base>

ADCMn	<ADCAn_base> アドレス
ADCA0	FF81 D000 _H

クロック供給 A/D コンバータは、次のクロックを供給します。

表 21-4 ADCAn クロック供給

ADCMn	ADCAn クロック	接続先
ADCA0	PCLK	クロック・コントローラ CKSCLK_012

注意 ADCA システム・クロック ADCATCLK は特定の範囲内である必要があります。詳細は、7.4.2 (5) 「クロック・ドメイン ISO0_12」を参照してください。

割り込みと DMA A/D コンバータは次の割り込み要求と DMA 要求を発生できます。

表 21-5 ADCAn 割り込み要求と DMA 要求

ADCAn 信号	機能	接続先
ADCA0:		
INTADCAnT0	変換 CG0 の終了	割り込みコントローラ INTADCAnI0 DMA コントローラ・トリガ 30
INTADCAnT1	変換 CG1 の終了	割り込みコントローラ INTADCAnI1 DMA コントローラ・トリガ 31
INTADCAnT2	変換 CG2 の終了	割り込みコントローラ INTADCAnI2 DMA コントローラ・トリガ 32
INTADCAnTLLT	最後の変換	割り込みコントローラ INTADCAnLLT DMA コントローラ・トリガ 33
INTADCAnTERR	変換結果上下限逸脱 A/D 変換結果の読み出し前 上書き	割り込みコントローラ INTADCAnERR

ADCA ハードウェア・リセット A/D コンバータとレジスタは、次に示すリセット信号で初期化します。

表 21-6 ADCA_n リセット信号

ADCA _n	リセット信号
ADCA0	リセット・コントローラ SYSRES

入出力信号 A/D コンバータの入出力信号を次の表に示します。

表 21-7 ADCA_n 入出力信号

ADCA _n 信号	機能	接続先
ADCA0:		
ANIm	アナログ入力	ポート ADCA0Im
ADCATTRGi	CGi のハードウェア・トリガ	ハードウェア・トリガ拡張 i, 21.1.1 「ハードウェア・トリガ拡張」を参照してください。
AVREFP	正相アナログ基準電圧	ポート A0VREFP

一斉サンプリング 次の入力チャンネルでは、複数の A/D コンバータ入力信号を一斉にサンプリングすることができます。

表 21-8 一斉サンプリング・チャンネル

ADCA _n	一斉サンプリング・チャンネル
ADCA0	チャンネル n = 0-5

21.1.1 ハードウェア・トリガ拡張

A/Dコンバータのハードウェア・トリガ入力 ADCATTRGi は、ハードウェア・トリガ拡張モジュールを備えており、最大 12 の信号 ADCAnTTINi[11:00] の A/D 変換プロセスをトリガできます。

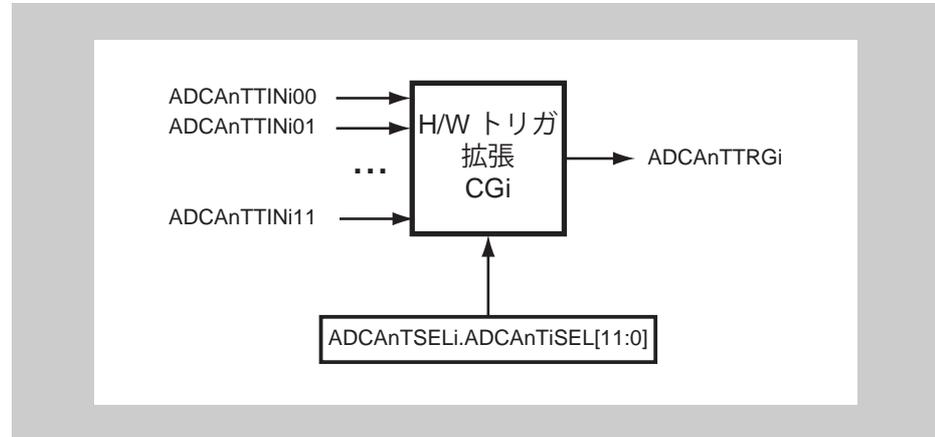


図 21-1 ハードウェア・トリガ拡張モジュール

(1) ADCAn ハードウェア・トリガの選択

アクティブなハードウェア・トリガの選択には、ADCAn レジスタの ADCAnTSELi.TISEL[11:0] ビットを使用します。

注意 ADCAn ハードウェア・トリガ入力 ADCATTRGi ごとに唯一のハードウェア・トリガを選択できます。したがって、各 ADCAnTSELi レジスタの 2 つ以上のビットに“1”を同時に設定しないでください。

(2) ADCAn ハードウェア・トリガの設定

ADCAnTTRGi の立ち上がりエッジをハードウェア・トリガとして有効にするには ADCAnCTL1.ADCAnTiETS[1:0] を設定する必要があります。

(3) ADCAn ハードウェア・トリガー一覧

表 21-9 ADCA0 ハードウェア・トリガの接続先

ADCA0 チャンネル・ グループ	トリガ入力信号			ADCA0 トリガ 信号
	名称	制御ビット	接続先	
CG0	ADCA0TTIN000	ADCA0TSEL0.ADCA0T0SEL[00]	Port ADCA0TRG0	ADCA0TTRG0
	ADCA0TTIN001	ADCA0TSEL0.ADCA0T0SEL[01]	Port INTP2	
	ADCA0TTIN002	ADCA0TSEL0.ADCA0T0SEL[02]	Port INTP5	
	ADCA0TTIN003	ADCA0TSEL0.ADCA0T0SEL[03]	TAUB0 INTTAUB0I15	
	ADCA0TTIN004	ADCA0TSEL0.ADCA0T0SEL[04]	TAUB1 INTTAUB1I15	
	ADCA0TTIN005	ADCA0TSEL0.ADCA0T0SEL[05]	not connected	
	ADCA0TTIN006	ADCA0TSEL0.ADCA0T0SEL[06]	not connected	
	ADCA0TTIN007	ADCA0TSEL0.ADCA0T0SEL[07]	not connected	
	ADCA0TTIN008	ADCA0TSEL0.ADCA0T0SEL[08]	INTTAUJ0I3	
	ADCA0TTIN009	ADCA0TSEL0.ADCA0T0SEL[09]	not connected	
	ADCA0TTIN010	ADCA0TSEL0.ADCA0T0SEL[10]	not connected	
	ADCA0TTIN011	ADCA0TSEL0.ADCA0T0SEL[11]	not connected	
CG1	ADCA0TTIN100	ADCA0TSEL1.ADCA0T1SEL[00]	Port ADCA0TRG1	ADCA0TTRG1
	ADCA0TTIN101	ADCA0TSEL1.ADCA0T1SEL[01]	Port INTP1	
	ADCA0TTIN102	ADCA0TSEL1.ADCA0T1SEL[02]	Port INTP4	
	ADCA0TTIN103	ADCA0TSEL1.ADCA0T1SEL[03]	TAUB0 INTTAUB0I15	
	ADCA0TTIN104	ADCA0TSEL1.ADCA0T1SEL[04]	TAUB1 INTTAUB1I15	
	ADCA0TTIN105	ADCA0TSEL1.ADCA0T1SEL[05]	not connected	
	ADCA0TTIN106	ADCA0TSEL1.ADCA0T1SEL[06]	not connected	
	ADCA0TTIN107	ADCA0TSEL1.ADCA0T1SEL[07]	not connected	
	ADCA0TTIN108	ADCA0TSEL1.ADCA0T1SEL[08]	INTTAUJ0I3	
	ADCA0TTIN109	ADCA0TSEL1.ADCA0T1SEL[09]	not connected	
	ADCA0TTIN110	ADCA0TSEL1.ADCA0T1SEL[10]	not connected	
	ADCA0TTIN111	ADCA0TSEL1.ADCA0T1SEL[11]	not connected	
CG2	ADCA0TTIN200	ADCA0TSEL2.ADCA0T2SEL[00]	Port ADCA0TRG2	ADCA0TTRG2
	ADCA0TTIN201	ADCA0TSEL2.ADCA0T2SEL[01]	Port INTP0	
	ADCA0TTIN202	ADCA0TSEL2.ADCA0T2SEL[02]	Port INTP3	
	ADCA0TTIN203	ADCA0TSEL2.ADCA0T2SEL[03]	TAUB0 INTTAUB0I15	
	ADCA0TTIN204	ADCA0TSEL2.ADCA0T2SEL[04]	TAUB1 INTTAUB1I15	
	ADCA0TTIN205	ADCA0TSEL2.ADCA0T2SEL[05]	not connected	
	ADCA0TTIN206	ADCA0TSEL2.ADCA0T2SEL[06]	not connected	
	ADCA0TTIN207	ADCA0TSEL2.ADCA0T2SEL[07]	not connected	
	ADCA0TTIN208	ADCA0TSEL2.ADCA0T2SEL[08]	INTTAUJ0I3	
	ADCA0TTIN209	ADCA0TSEL2.ADCA0T2SEL[09]	not connected	
	ADCA0TTIN210	ADCA0TSEL2.ADCA0T2SEL[10]	not connected	
	ADCA0TTIN211	ADCA0TSEL2.ADCA0T2SEL[11]	not connected	

21.2 機能概要

A/Dコンバータ A (ADCA_n) は、アナログ入力信号をデジタル値に変換します。

機能概要 ADCA_nには次の機能があります。

- 10ビット分解能をサポート
- 逐次比較変換方式
- 最大24本のアナログ入力信号
- 優先順位の異なる最大3つのチャンネル・グループ
- ワンショット変換モード, 連続変換モード (チャンネル・グループ0のみ)
- チャンネル変換繰り返し機能
- ソフトウェア・トリガ・モードとハードウェア・トリガ・モード
- ハードウェア・トリガ・ソースに複数の入力信号から選択可能
- A/D変換終了時のA/D変換終了割り込み発生チャンネルを設定可能
- 3種類の変換結果確認機能
- 新しいサンプリング値で変換する前にコンデンサを放電するディスチャージ機能
- 自己診断機能

ADCA_n の主な構成要素を次の図に示します。

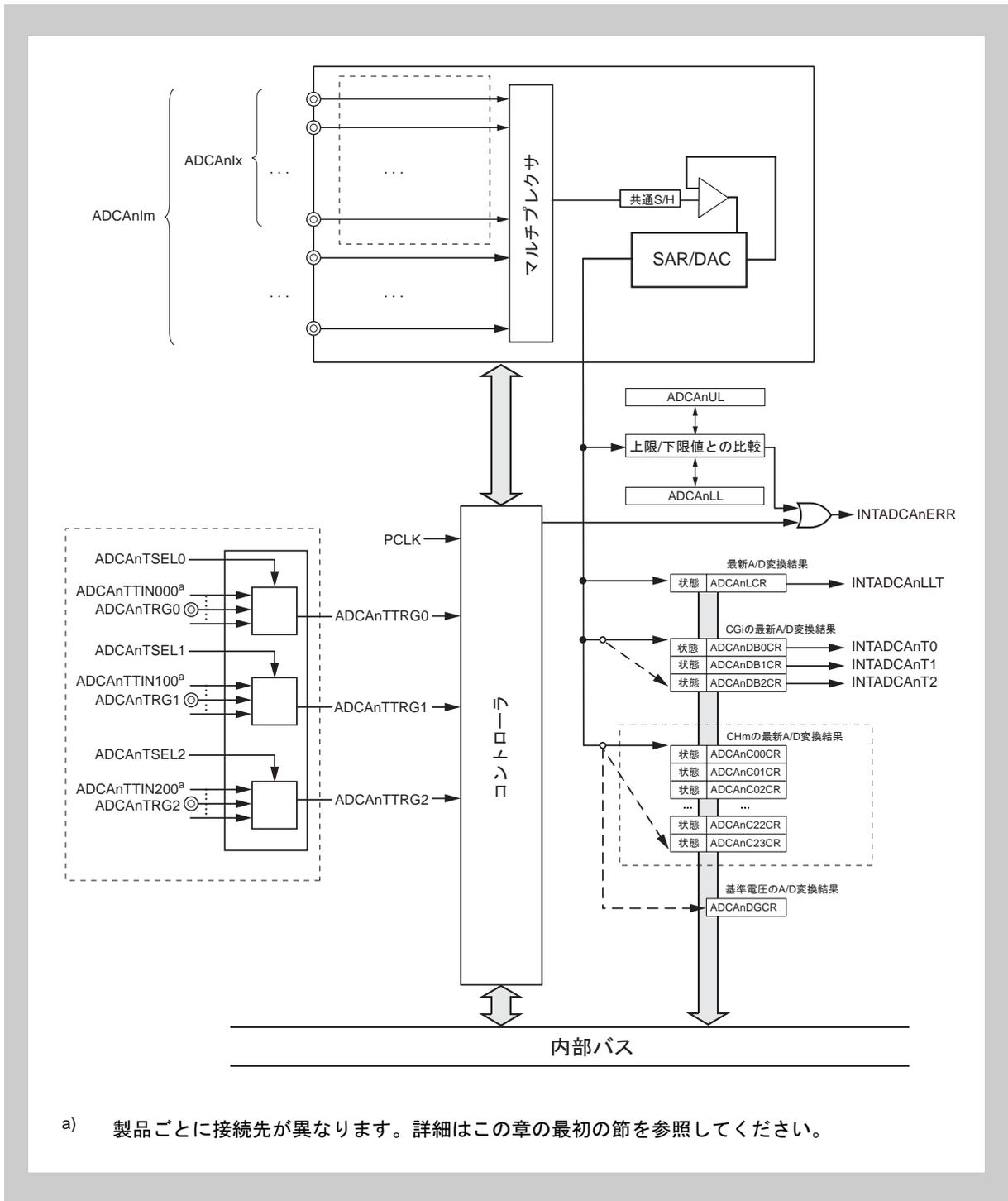


図 21-2 ADCAn のブロック図

備考 点線で囲まれた部分は製品依存の機能です。

21.3 機能説明

A/D コンバータ A (ADCAn) は、最大 24 本のアナログ入力信号をデジタル値に変換し、10 ビット分解能をサポートします。

チャンネルとチャンネル・グループ

各入力チャンネルは、3 種類のチャンネル・グループ (CG) にそれぞれ割り当てられます。各 CG に割り当てた入力チャンネルのリストをスキャン・リストと呼びます (CG0 の診断 A/D 変換を含む)。スキャン・リストは 1 つのレジスタで容易に設定できます。また、動作中スキャン・リストを再設定できます。なお、スキャン・リストすべての A/D 変換をスキャン・リスト変換と呼びます。

ADCAn は、優先順位の異なる最大 3 つのチャンネル・グループと 2 つの変換モードをサポートしています。

- ワンショット変換モード：スキャン・リスト変換を一度だけ実行します。
- 連続変換モード：スキャン・リスト変換を繰り返し実行します。

A/D 変換

ソフトウェアまたはハードウェアを起動トリガとし変換を開始できます。マルチプレクサで変換するチャンネルを選択します。

逐次変換レジスタ (SAR) は、アナログ入力の電圧値と比較する D/A コンバータの出力電圧の値を、10 ビットのデジタル値として保持します。

変換が終了するごとに、INTADCAnLLT 割り込みを発生します。

A/D 変換結果レジスタ

A/D 変換が終了すると、SAR レジスタの内容が 3 つのレジスタに格納され、最新 A/D 変換結果、CGi の最新 A/D 変換結果、チャンネル m の最新 A/D 変換結果をそれぞれ読み出すことができます。

ADCAn は、特定チャンネルの A/D 変換終了後、またはチャンネル・グループに属するすべてのチャンネルの A/D 変換終了後に、設定に応じて変換終了割り込みを発生します。

変換結果確認機能

ADCAn では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

ディスチャージ機能

必要に応じて、各変換前に共通 S/H 回路の内部コンデンサを放電できます。

自己診断機能

ADCAn が正しく機能していることを確認するために、A/D 変換回路の自己診断機能を用意しています。

設定可能な安定時間

安定カウンタに任意の値を設定することで、パワー・オン後に最適な安定時間を確保できます。

21.3.1 基本動作

A/D 変換の基本的な手順について説明します。詳細は後続の各節を参照してください。

1. パワーオン後とスタンバイ・モード解除後の起動時間を最適化する場合は、安定カウンタ ADCAnCNT レジスタを設定して安定時間を調整します。
2. A/D コンバータを有効 (ADCAnCTL0.ADCAnCE = 1 に設定) にする前に、次の各レジスタで、パワーオン、分解能、ADCAn クロック、トリガ・モード、変換モード、割り込み発生、チャンネル・グループなどを設定してください。
 - ADCAnCTL1 レジスタ
 - ADCAnCGi レジスタ
 - ADCAnIOCi レジスタ
 - ADCAnTSELi レジスタ (製品依存)
3. A/D 変換結果が特定の範囲内にあることを確認する場合は、該当するチャンネルの変換結果上下限比較機能を有効にし (ADCAnCTL2.ADCAnRCKm), ADCAnLL レジスタと ADCAnUL レジスタで下限値と上限値を指定します。
4. 変換前に共通 S/H 回路のコンデンサを放電する場合は、ADCAnCTL1.ADCAnDISC に 1 を設定してディスチャージ機能を有効にします。
5. A/D コンバータを有効にするには、ADCAnCTL0.ADCAnCE を 1 に設定します。
A/D コンバータは、パワーオン後またはスタンバイ・モード解除後に安定時間が経過すると、A/D 変換が可能な状態になります。
6. 設定したトリガ・モードに応じて、チャンネル・グループに関連する次のいずれかの起動トリガによって A/D 変換が開始します。
 - ソフトウェア・トリガ (ADCAnTRGi.ADCAnSTTi に 1 を設定)
 - ハードウェア・トリガ (入力信号 ADCAnTTRGi)
 複数の CG に対して A/D 変換が起動した場合、変換の順序は CG の優先順位によって決まります。
7. A/D 変換結果レジスタ ADCAnLCR, ADCAnDBiCR, ADCAnCmCR から結果を読み出します。
8. 次のレジスタをモニタします。
 - ADCAnSTR1 : 用途に応じて A/D 変換結果を読み出す前に上書きされていないかどうかを確認します。
 - ADCAnSTR0 : A/D 変換結果を設定した範囲内にあるかどうかを確認します (変換結果上下限比較機能が有効の場合のみ)。
9. HALT を使用して動作を再開し、A/D コンバータの動作を制御します。
10. A/D コンバータを再設定する場合、ADCAnCTL0.ADCAnCE を 0 に設定して A/D コンバータを無効にします。

備考 自己診断機能については、21.3.13「自己診断機能」で説明します。

21.3.2 クロックの使用

ADCA_n クロック ADCA_nTCLK は PCLK から生成します。分周比は ADCA_nCTL1.ADCA_nFR[3:0] で指定します。

21.3.3 チャンネルとチャンネル・グループ

各入力チャンネルはチャンネル・グループ (CG) として構成されます。レジスタの設定により各 CG のスキャン・リストを作成でき、また動作中の再設定も可能です。CG の変換設定はグループ内のすべてのチャンネルに適用されます。

ADCA_n は、最大 3 つのチャンネル・グループ CG_i (i = 0-2) をサポートします。CG_i のチャンネルは ADCA_nCG_i レジスタで指定します。

備考 ADCA_n は CG に対する A/D 変換要求のみを処理します。CG に入力チャンネルを 1 つだけ割り当てることで単一チャンネルの変換ができます。

(1) A/D 変換の順序

CG の起動トリガが発生すると、スキャン・リストに設定したチャンネルを昇順に (CH00 から CH23 まで) 変換します。

複数の CG に対する A/D 変換要求が保留された場合、CG は次の順序で変換されます。

CG2 (最高優先順位) > CG1 > CG0 (最低優先順位)

より優先順位の高い CG の起動トリガ、または ADCHALT モードのトリガを設定した場合、現在の A/D 変換は中断されます。A/D 変換の中断に関しては、ADCACTL1.ADCANTRMi の設定に応じて、次の 2 つの方法が選択できます。

- CG の A/D 変換をすぐに中断
(ADCACTL1.ADCANTRMi に 0 を設定)
より優先順位の高い CG の A/D 変換がすべて終了したあと、中断されたチャンネルから A/D 変換を再開します。
- 現在のチャンネルの A/D 変換を終了したあとで、より優先順位の高い CG の変換を開始 (ADCACTL1.ADCANTRMi に 1 を設定)
より優先順位の高い CG の A/D 変換がすべて終了したあと、次のチャンネルから A/D 変換を再開します。

変換状態は ADCANSTR2.ADCANST[2:0] で示されます。

例 A/D 変換中断の例を次の図に示します。この例では、CH3, CH9, CH20 が CG0 に、CH5 と CH9 が CG2 に割り当てられています。

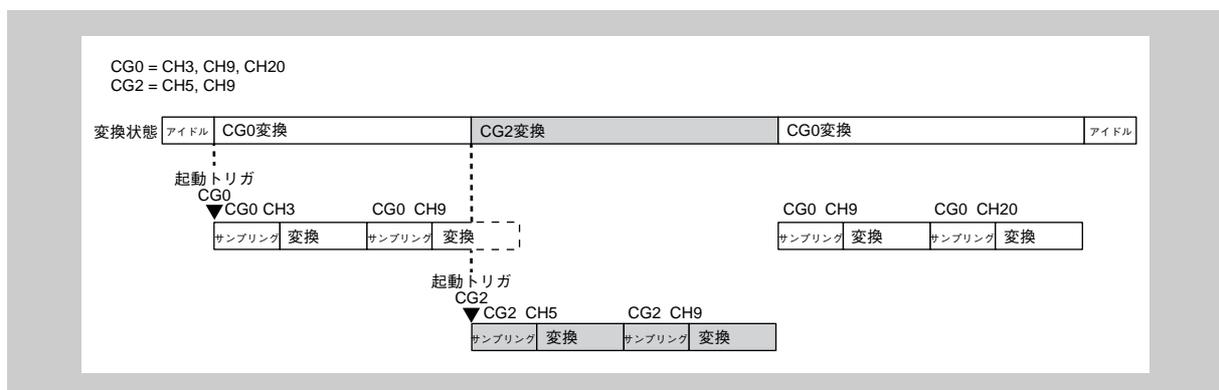


図 21-3 CG0 の A/D 変換をすぐに中断する場合
(ADCACTL1.ADCANTRM0 に 0 を設定)

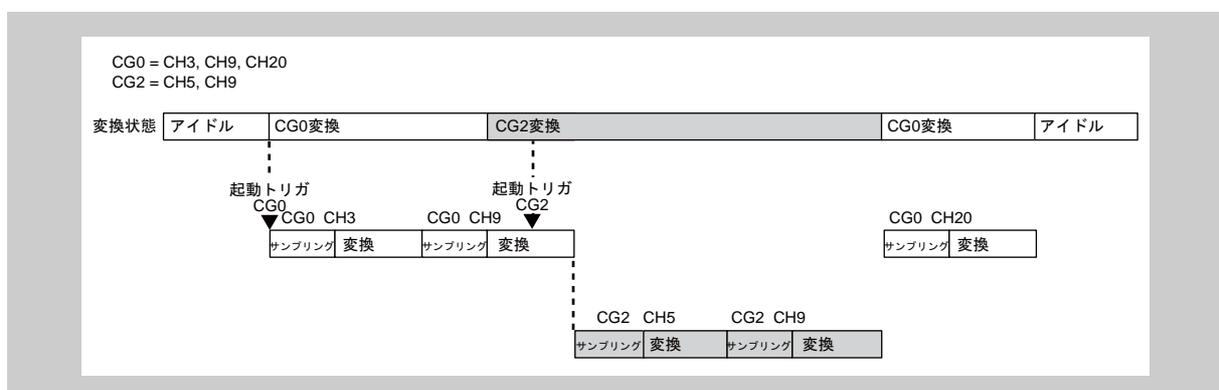


図 21-4 現在のチャンネルの A/D 変換が終了するまで待機する場合
(ADCACTL1.ADCANTRM0 に 1 を設定)

21.3.4 A/D 変換モード

A/D コンバータには次の 2 つの変換モードがあります。

モード	動作	チャンネル・グループ
ワンショット変換モード	スキャン・リスト変換を一度だけ実行します。	CG0, CG1, CG2
連続変換モード	スキャン・リスト変換を繰り返し実行します。	CG0

- 備考**
- より優先順位の高い CG の A/D 変換要求によって、実行中の A/D 変換が中断された場合、優先順位の高い CG の要求がすべて終了したあと、自動的に元の変換を継続します (21.3.3 (1) 「A/D 変換の順序」を参照)。
 - CG1 と CG2 は、変換モードの設定にかかわらずワンショット変換モードで動作します。CG0 の A/D 変換モードは、ADCA_nCTL1.ADCA_nMD0 で設定できます。

(1) ワンショット変換モード

ワンショット変換モードでは、起動トリガによってCGiのスキャン・リスト変換を行います。

変換終了前起動トリガ入力時の動作

A/Dコンバータは同一CGの変換終了前起動トリガを1つまで保持できます。したがって、最初の起動トリガによるCGiのA/D変換が終了するまでに、後続の起動トリガが1つ以上（2つ目以降は無視）入力された場合、連続してA/D変換を実行します。

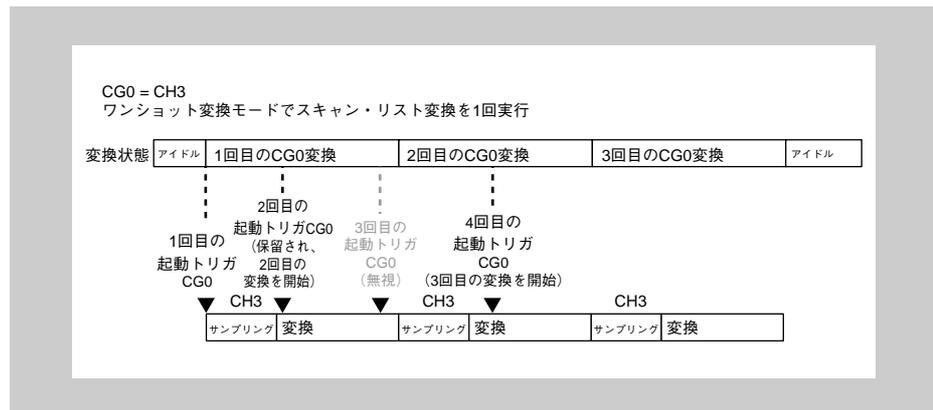


図 21-5 変換終了前起動トリガ入力時の動作

注意 高優先度CGの変換期間中は、それよりも低優先度のCGの変換終了前起動トリガが無視されます。逆に高優先度CGの変換開始前に入力した低優先度CGの変換終了前起動トリガは保持されます。なお、起動トリガが発生していない時は高優先度CGの変換期間中でも受け付けます。

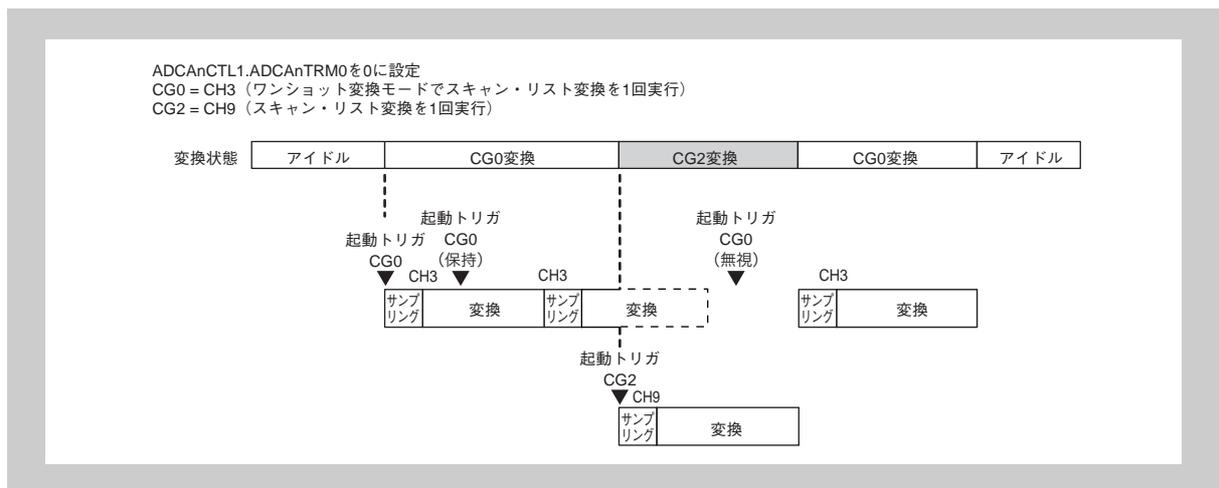


図 21-6 変換終了前起動トリガ入力時の動作（高優先度CGの起動トリガ発生時）

(2) 連続変換モード

連続変換モードは CG0 のみで使用可能です (ADCA_nCTL1.ADCA_nMD0 に 1 を設定)。

連続変換モードで起動トリガが発生すると、チャンネル CG0 のサンプリングと変換を開始し、停止トリガが発生するか別の停止条件が発生するまで繰り返して実行します (21.3.6 「A/D 変換の停止 (停止トリガ)」を参照)。

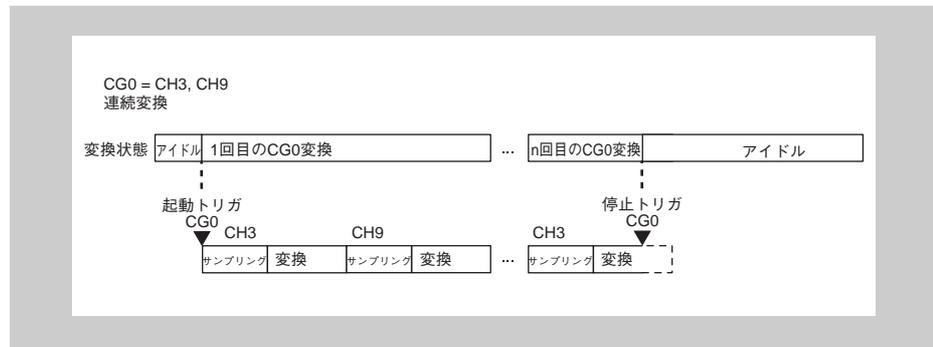


図 21-7 連続変換モード

注意 停止トリガ後はアイドルとなり、サンプリング／変換は行いません。

備考 連続変換モード中、CG0 への起動トリガは無視されます。

21.3.5 A/D 変換の開始 (起動トリガ)

A/D 変換は、ADCA_nCTL1.ADCA_nMD1 で指定したソフトウェア・トリガまたはハードウェア・トリガによって開始できます。

複数の CG に対して A/D 変換が起動された場合、変換の順序は CG の優先順位によって決まります (21.3.3 (1) 「A/D 変換の順序」を参照)。

- 備考**
- CG_i のスキャン・リストにチャンネルが割り当てられていない場合 (ADCA_nCG_i レジスタ = 0000 0000_H)、ADCA_n はその CG_i に対する起動トリガを無視します。
 - ワンショット変換モードでは、A/D コンバータは起動トリガを 1 つまで保持できます。
起動した CG_i の A/D 変換が終了するまでに、後続の起動トリガが 1 つ以上 (2 つ目以降は無視) 入力された場合、連続して A/D 変換を実行します (図 21-5 「変換終了前起動トリガ入力時の動作」を参照)。
 - 連続変換モードでは、停止トリガが発生する前に発生した後続の起動トリガは無視されます。

(1) ソフトウェア起動トリガ

A/D 変換が有効な場合 (ADCA_nCTL0.ADCA_nCE に 1 を設定),
ADCA_nTRGi.ADCA_nSTTi を 1 に設定すると CGi の A/D 変換が起動されます。

**ソフトウェア起動
トリガのタイミング
例**

次の条件下でのソフトウェア起動トリガのタイミングを次の図に示します。

- ADCA_nTCLK クロック = PCLK/2 (ADCA_nCTL1.ADCA_nFR[3:0] = 0000_B)

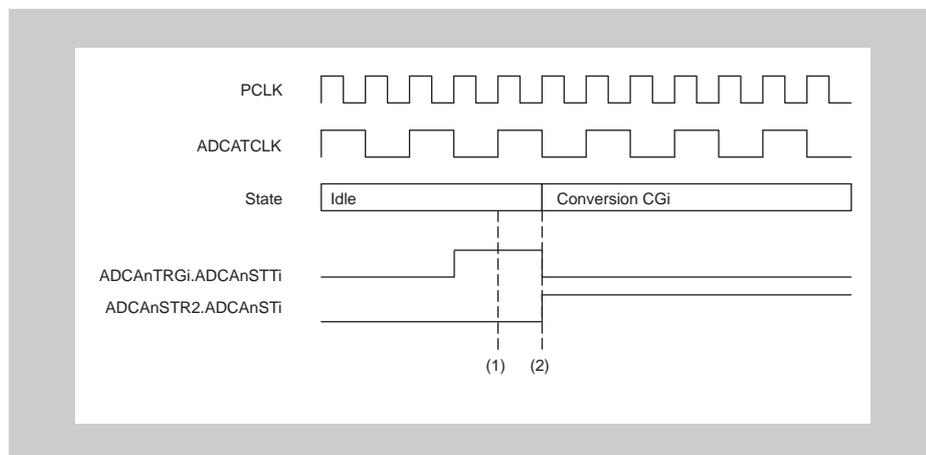


図 21-8 ソフトウェア起動トリガのタイミング例

- (1) CGi に対するソフトウェア起動トリガの書き込み
- (2) ADCA_nTCLK クロックの次の立ち下がりエッジで A/D 変換を開始,
ADCA_nSTR2.ADCA_nSTi がセットされ, CGi の A/D 変換を処理していることを示します。

(2) ハードウェア起動トリガ

A/Dコンバータが有効であり (ADCA_nCTL0.ADCA_nCE に 1 を設定), かつハードウェア・トリガ・モードを設定している場合 (ADCA_nCTL1.ADCA_nMD1 に 1 を設定), ADCA_nTTRGi 信号の有効エッジ検出によって CGi の A/D 変換が起動されます。

有効エッジは, CG ごとに ADCA_nCTL1.ADCA_nTiETS[1:0] で指定します。

ハードウェア・トリガ拡張 ハードウェア・トリガ拡張がサポートされている場合, 最大 16 のハードウェア・トリガ・ソースを ADCA_nTTRGi 信号入力ごとに指定できます。ADCA_nTSELi レジスタは ADCA_nTTRGi 信号として使用する入力信号を指定します。

備考 ハードウェア起動トリガ機能の接続先は, 表 21-9 「ADCA0 ハードウェア・トリガの接続先」を参照してください。

ハードウェア起動トリガのタイミング A/Dコンバータは ADCA_nTTRGi 信号の有効エッジ検出によって A/D 変換を開始します。

次の条件下でのハードウェア起動トリガのタイミングを次の図に示します。

- ADCA_nTCLK クロック = PCLK/2 (ADCA_nCTL1.ADCA_nFR[3:0] = 0000_B)
- ADCA_nTTRGi 信号の有効エッジを立ち上がりに指定 (ADCA_nCTL1.ADCA_nTiETS[1:0] = 01_B)

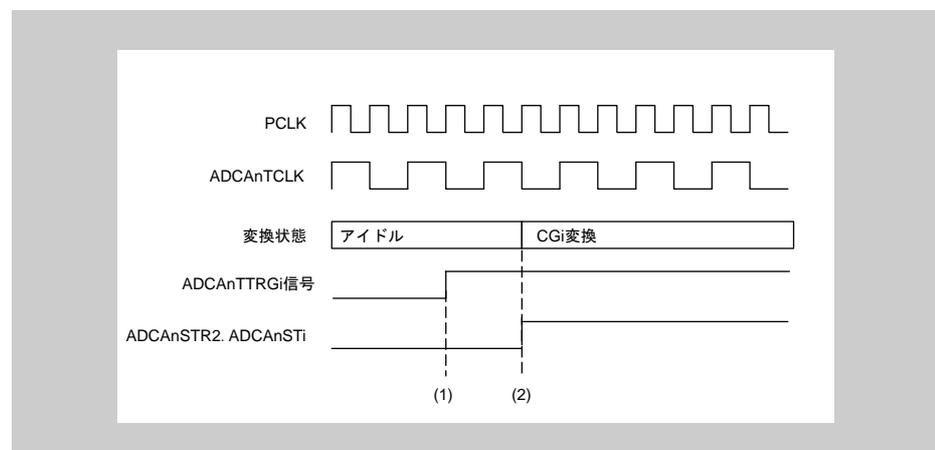


図 21-9 ハードウェア起動トリガのタイミング

- (1) 入力信号 ADCA_nTTRGi の立ち上がり
- (2) ADCA_nTCLK クロックの次の立ち下がりエッジで A/D 変換を開始, ADCA_nSTR2.ADCA_nSTi がセットされ, CGi の A/D 変換を処理していることを示します。

21.3.6 A/D 変換の停止 (停止トリガ)

(1) 停止トリガ

CGi の停止トリガ・ビットを 1 にセットすると (ADCA_nTRG4+i.ADCAnSPi に 1 を設定), CGi の A/D 変換が停止します。停止トリガが A/D 変換完了より早いタイミングで発生した場合, A/D 変換終了割り込み INTADCA_nTi は発生せず, A/D 変換結果レジスタは更新されません。停止トリガによる A/D 変換停止後, 再度起動トリガが入力された場合はスキャン・リスト変換を最初から行います。

ハードウェア起動トリガを使用している場合は, 以下の手順に従ってください。

1. ハードウェア起動トリガの発生を停止させる。
2. 停止トリガ・ビット (ADCA_nTRG4+i.ADCAnSPi) を 1 に設定する。
3. ADCA_nSTR2.ADCAnSTi の状態を確認する。

上記の手順を実行しない場合, ハードウェア起動トリガと, 停止トリガが競合し, 停止しない可能性があります。

停止トリガの タイミング

1. CGi に対する停止トリガを書き込み
2. ADCA_nTCLK クロックの次の立ち上がりエッジで CGi の A/D 変換を停止
ADCA_nSTR2.ADCAnSTi がクリアされ, CGi の A/D 変換を停止していることを示します。
ADCA_nIm のデジタル値がすでに使用可能な場合, 次のように動作します。
 - すべての A/D 変換結果レジスタを更新
 - ADCA_nIOCi レジスタの設定に従って変換終了割り込み INTADCA_nTi を発生 (21.3.10 「割り込み発生」を参照)
 - ADCA_nCTL2 レジスタの設定に応じて, A/D 変換結果が設定範囲内にあるかどうかを確認 (21.3.12 「変換結果確認機能」を参照)
 ほかの CG に対する A/D 変換要求が保留されている場合, これを処理します。

次の条件下での停止トリガのタイミングを次の図に示します。

- ADCA_nTCLK クロック = PCLK/2 (ADCA_nCTL1.ADCAnFR[3:0] = 0000_B)
- CGi の A/D 変換終了時に A/D 変換終了割り込み INTADCA_nTi が発生 (ADCA_nIOCi レジスタ = 0000 0000_H)

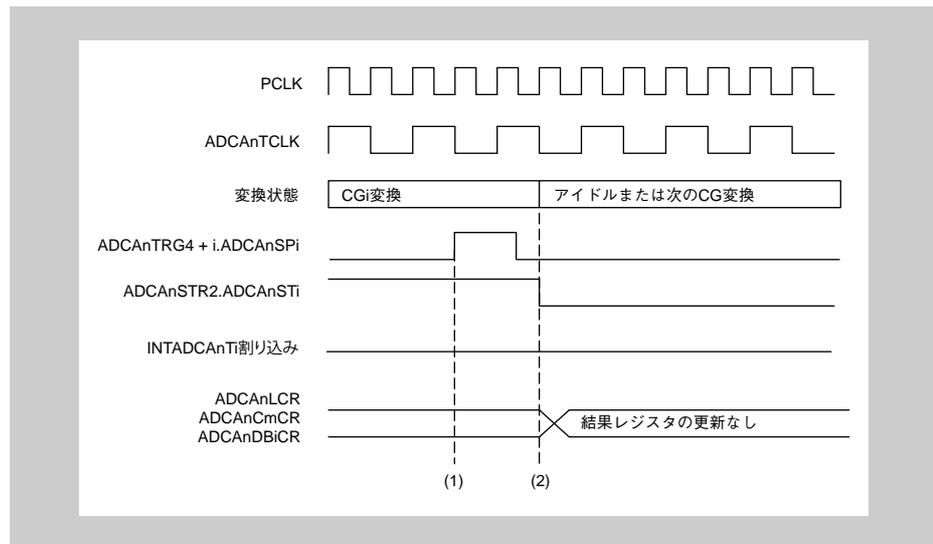


図 21-10 停止トリガのタイミング (A/D 変換完了より早い場合)

- (1) 停止トリガ・ビット (ADCA_nTRG4+i.ADCA_nSPi) を 1 にセット。
- (2) 状態ビット (ADCA_nSTR2.ADCA_nSTi) がクリア。

A/D 変換終了割り込み INTADCA_nTi は発生せず、A/D 変換結果レジスタは更新されません。

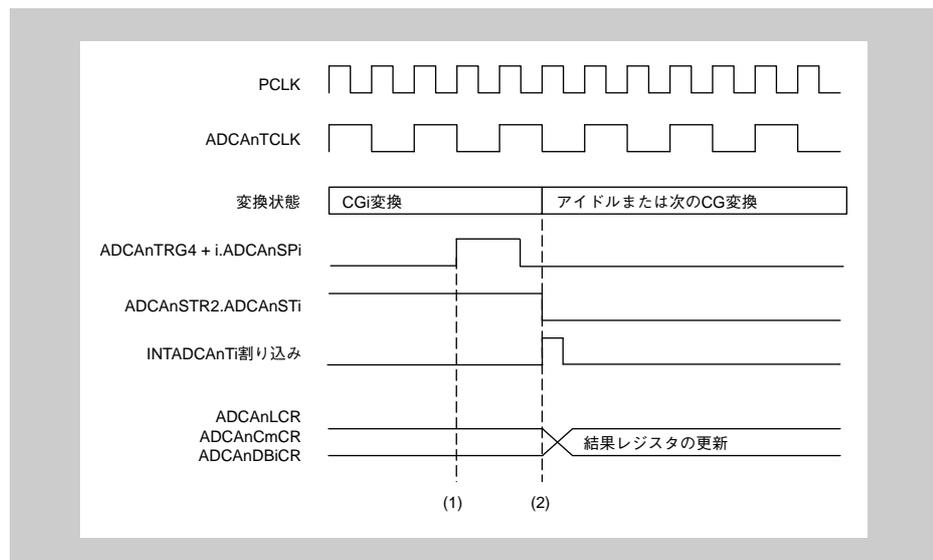


図 21-11 停止トリガのタイミング (A/D 変換完了より遅い場合)

- (1) 停止トリガ・ビット (ADCA_nTRG4+i.ADCA_nSPi) を 1 にセット。
- (2) 状態ビット (ADCA_nSTR2.ADCA_nSTi) がクリア。

A/D 変換終了割り込み INTADCA_nTi が発生し、A/D 変換結果レジスタも更新されます。

(2) その他の停止条件

ソフトウェア停止トリガとは別に、次の条件で A/D 変換が停止します。

- A/D コンバータ無効時 (ADCA_nCTL0.ADCA_nCE に 0 を設定)

21.3.7 スタンバイ・モード

関連システムが、スタンバイ・モードに入ったとき、A/Dコンバータもスタンバイ・モードに入ります。

スタンバイ・モード時、A/Dコンバータは自動的に無効になります (ADCA_nCTL0.ADCAnCE に 0 を設定)。

スタンバイ・モードを解除するには次の手順を行います。

1. 関連システムのスタンバイ・モードを解除
2. ADCA_nCTL0.ADCAnCE を 1 に設定して A/Dコンバータを有効にする

備考 スタンバイ・モード解除後、起動トリガは受け付けますが、安定時間が経過する (安定カウンタ ADCAnCNT = 00_H) まで変換は開始されません。詳細は 21.3.15 「安定制御」を参照してください。

21.3.8 A/D変換の休止と再開 (ADCHALT モード)

A/Dコンバータは、すべての CG に対する A/D変換を休止/一時停止にできません (ADCHALT モード)。

手順：

1. ADCA_nTRG3.ADCAnSTT3 を 1 に設定して ADCHALT モードへ遷移させます (中断動作の詳細は 21.3.3 (1) 「A/D変換の順序」を参照)。
 - ADCHALT モード中、起動トリガは無視されます。
 - サンプリング・クロック ADCAnTCLK をロウ・レベルにすることで、内部回路を停止し、消費電力を低減できます。
 - ADCHALT モード中はアナログ入力端子 ADCAnIm の兼用端子機能が使用可能です。
2. ADCA_nTRG7.ADCAnSP3 を 1 に設定して ADCHALT モードを解除し A/D変換を再開します。

備考 ADCHALT モードは最高位の優先順位を持ち、すべての CG_i 変換より優先します。

21.3.9 分解能, サンプリング時間と変換時間

総変換時間はサンプリング時間と A/D 変換時間の合計です。



図 21-12 総変換時間

- サンプリング時間はアナログ入力電圧が共通 S/H 回路に接続されている時間です。A/D 変換時間はアナログ入力電圧から 1 つのデジタル値を取得するために必要な時間です。
A/D 変換時間と総変換時間は、次のようになります。

表 21-10 サンプリング時間と変換時間

10 ビット分解能 ADCA0CTL1.ADCA0FR[3:0] (下記以外設定禁止)	サンプリング時間 (PCLK [クロック数])	総変換時間 (PCLK [クロック数])	
		ディスチャージ: 無効時	総変換時間
0000B	13	38	45
0001B	20	45	52
0010B	26	51	58
0011B	33	58	65
0100B	39	64	71
0110B	52	77	84
1000B	65	90	97
1010B	78	103	110
1100B	91	116	123
1110B	104	129	136

備考 上記総変換時間には、A/D コントローラが処理するオーバーヘッド時間が含まれていません。オーバーヘッド時間として、下記時間が必要となります。

変換開始要求受付 1クロック (PCLK クロック)
 変換開始前初期化 1クロック (PCLK クロック)
 変換結果格納処理 1クロック (PCLK クロック)

表 21-11 変換時間 (10 ビット分解能, ディスチャージ機能 : 無効の場合) [μ s]

10 ビット分解能モード時 ADCAnCTL1. ADCAnFR[3:0]	PCLK [MHz]						
	48	40	32	24	16	8	4
0000B	設定禁止	設定禁止	設定禁止	設定禁止	2.38	4.75	9.50
0001B	設定禁止	設定禁止	設定禁止	設定禁止	2.81	5.63	設定禁止
0010B	設定禁止	設定禁止	設定禁止	2.13	3.19	6.38	設定禁止
0011B	設定禁止	設定禁止	設定禁止	2.42	3.63	7.25	設定禁止
0100B	設定禁止	設定禁止	2.00	2.67	4.00	8.00	設定禁止
0110B	設定禁止	設定禁止	2.41	3.21	4.81	9.63	設定禁止
1000B	設定禁止	2.25	2.81	3.75	5.63	設定禁止	設定禁止
1010B	2.15	2.58	3.22	4.29	6.44	設定禁止	設定禁止
1100B	2.42	2.90	3.63	4.83	7.25	設定禁止	設定禁止
1110B	2.69	3.23	4.03	5.38	8.06	設定禁止	設定禁止

備考 上記総変換時間には、A/D コントローラが処理するオーバーヘッド時間が含まれていません。オーバーヘッド時間として、下記時間が必要となります。
 変換開始要求受付 1クロック (PCLK クロック)
 変換開始前初期化 1クロック (PCLK クロック)
 変換結果格納処理 1クロック (PCLK クロック)

表 21-12 変換時間 (10 ビット分解能, ディスチャージ機能 : 有効の場合) [μ s]

10 ビット分解能モード時 ADCAnCTL1. ADCAnFR[3:0]	PCLK [MHz]						
	48	40	32	24	16	8	4
0000B	設定禁止	設定禁止	設定禁止	設定禁止	2.81	5.63	設定禁止
0001B	設定禁止	設定禁止	設定禁止	2.17	3.25	6.50	設定禁止
0010B	設定禁止	設定禁止	設定禁止	2.42	3.63	7.25	設定禁止
0011B	設定禁止	設定禁止	2.03	2.71	4.06	8.13	設定禁止
0100B	設定禁止	設定禁止	2.22	2.96	4.44	8.88	設定禁止
0110B	設定禁止	2.10	2.63	3.50	5.25	設定禁止	設定禁止
1000B	2.02	2.43	3.03	4.04	6.06	設定禁止	設定禁止
1010B	2.29	2.75	3.44	4.58	6.88	設定禁止	設定禁止
1100B	2.56	3.08	3.84	5.13	7.69	設定禁止	設定禁止
1110B	2.83	3.40	4.25	5.67	8.50	設定禁止	設定禁止

備考 上記総変換時間には、A/D コントローラが処理するオーバーヘッド時間が含まれていません。オーバーヘッド時間として、下記時間が必要となります。
 変換開始要求受付 1クロック (PCLK クロック)
 変換開始前初期化 1クロック (PCLK クロック)
 変換結果格納処理 1クロック (PCLK クロック)

21.3.10 割り込み発生

(1) A/D 変換終了割り込み INTADCA_nTi

INTADCA_nTi 割り込みは、新しい A/D 変換結果が変換結果レジスタに格納されたことを通知します。

ADCA_nIOCi レジスタで指定した CGi の任意のチャンネルの A/D 変換が終了したとき、A/D 変換終了割り込みを発生します。

特定チャンネルなどの指定がない場合 (ADCA_nIOCi レジスタ = 0000 0000_H)、割り込み INTADCA_nTi は CGi の A/D 変換終了時に発生します。

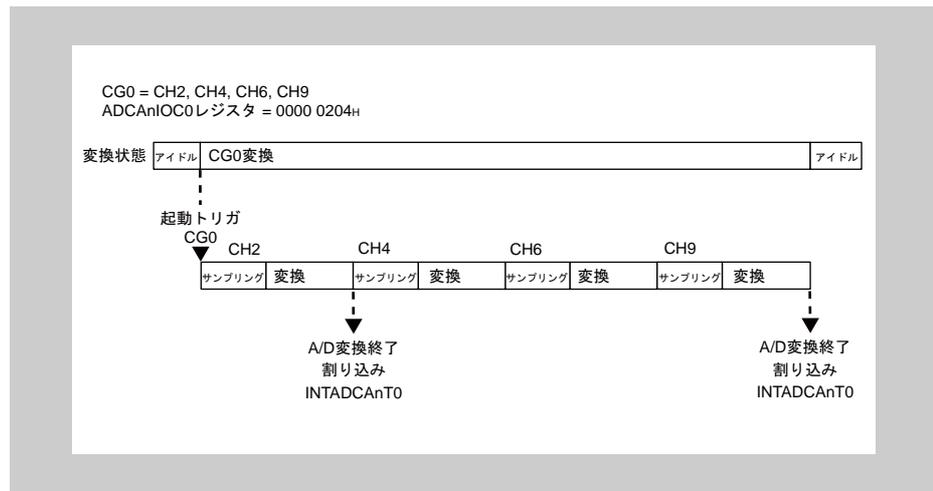


図 21-13 A/D 変換終了割り込み INTADCA_nTi の発生

- 備考**
1. A/D コンバータが有効 (ADCA_nCTL0.ADCA_nCE に 1 を設定) の場合でも、ADCA_nIOCi レジスタへの書き込みは任意のタイミングで行うことができます。新しく設定した値は、CGi の現在の A/D 変換が終了したあとに有効になります。
 2. ADCA_nIOCi レジスタは ADCA_nCGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はまとめて行う必要があります。更新は ADCA_nCGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCA_nCGi レジスタの前に ADCA_nIOCi レジスタの書き込みを行ってください。

(2) エラー割り込み INTADCA_nTERR

エラー割り込み INTADCA_nTERR は次の場合に発生します。

- 変換結果上下限比較機能が有効な状態で、指定チャンネルの A/D 変換結果が設定範囲を外れた場合
詳細は 21.3.12 (3) 「変換結果上下限比較機能」を参照してください。
- ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、または ADCA_nCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合
レジスタへの上書きによるエラー割り込み INTADCA_nTERR の発生は、ADCA_nCTL0.ADCA_nOEM[4:0] を設定することによってレジスタごとに個別に制御できます。
詳細は 21.3.12 (1) 「変換結果上書きチェック機能」を参照してください。

21.3.11 A/D 変換結果の格納

(1) A/D 変換結果レジスタ

A/D 変換結果は、次のレジスタに格納されます。

- ADCAnLCR レジスタ
最新 A/D 変換結果を格納します。
- ADCAnDBiCR レジスタ
CGi の最新 A/D 変換結果を格納します。
- ADCAnCmCR レジスタ
チャンネル m の最新 A/D 変換結果を格納します。

これらレジスタのビット 15-00 に、サンプリングされたアナログ入力電圧のデジタル値が格納されます。また、各レジスタは、A/D 変換結果の状態フラグも格納します (21.3.12 「変換結果確認機能」を参照)。

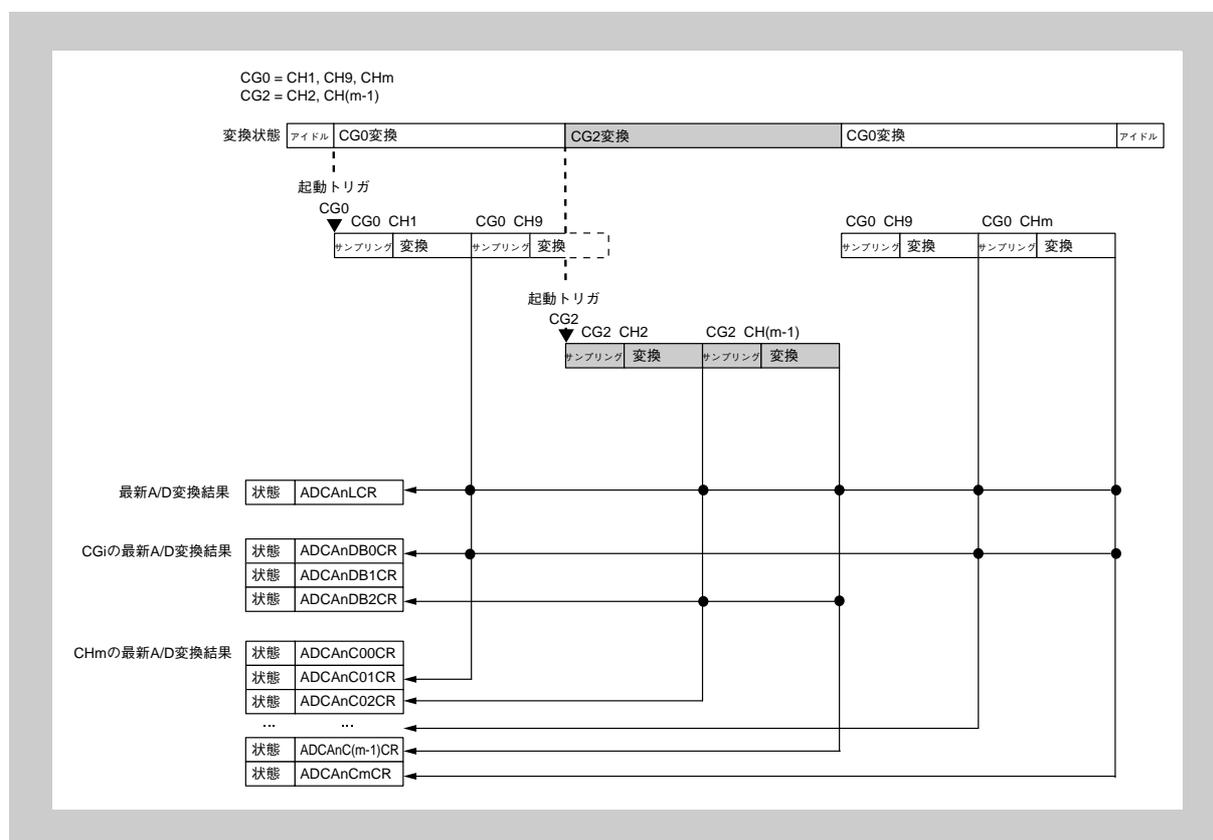


図 21-14 A/D 変換結果の格納

(2) 変換結果の格納に関する設定**(a) 変換結果 ビット位置指定機能**

ADCA_nCTL1.ADCA_nCRACによって、A/D変換結果（10ビット）の揃え位置を右揃え（ADCA_nCRACビット=0）か左揃え（ADCA_nCRACビット=1）に指定できます。

(b) 変換結果リード&クリア機能

ADCA_nCTL1.ADCA_nRCLによって、A/D変換結果レジスタADCA_nCmCRを読み出したあとその値を保持するかクリアするかを指定できます。

(3) アナログ入力電圧と A/D 変換結果の関係

アナログ入力端子（ADCA_nIm）に入力されたアナログ入力電圧と A/D 変換結果値（ADCA_nLCR[15:00] ビット, ADCA_nCmCR[15:00] ビット, ADCA_nDBiCR[15:00] ビットの値）には次式に示す関係があります。

$$\text{A/D 変換結果値} = \text{INT} \left(\frac{V_{\text{IAN}} - AV_{\text{REFMn}}}{AV_{\text{REFPn}} - AV_{\text{REFMn}}} \times 2^k + 0.5 \right)$$

または

$$(A/D \text{ 変換結果値} - 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k} \leq V_{\text{IAN}} - AV_{\text{REFMn}} < (A/D \text{ 変換結果値} + 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k}$$

INT () : () 内の値の整数部を返す関数

V_{IAN} : アナログ入力電圧

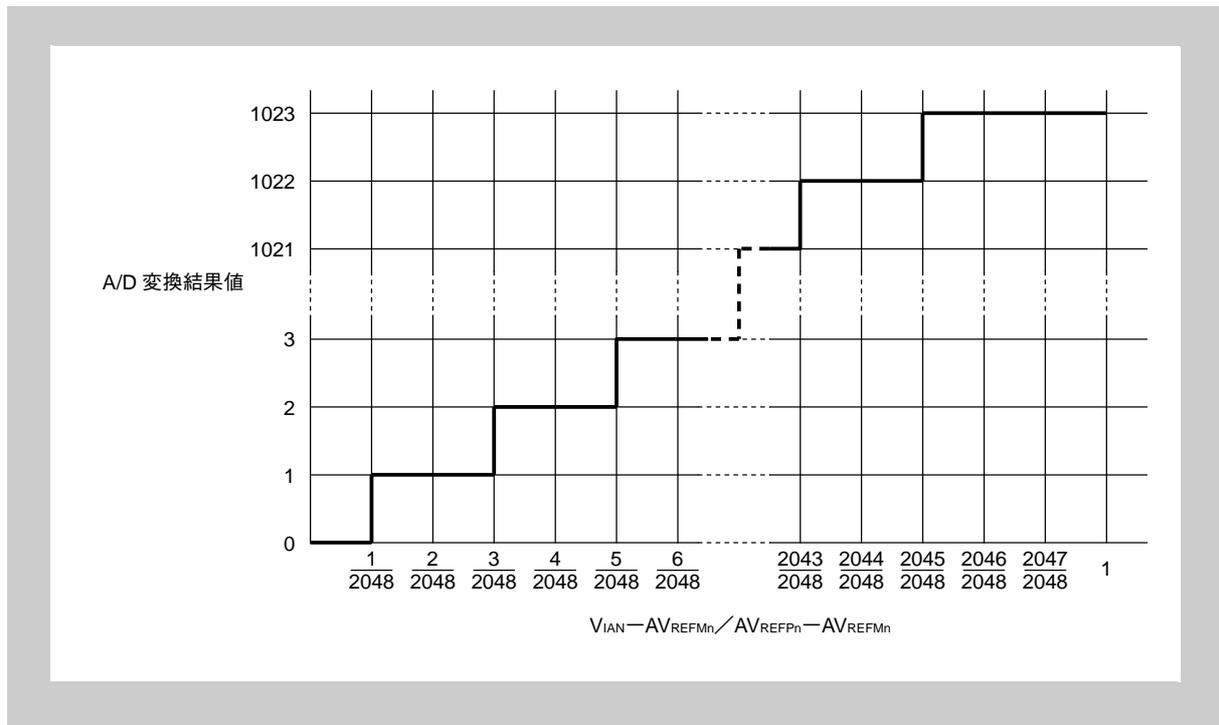
AV_{REFPn} : AV_{REFPn} 端子電圧

AV_{REFMn} : AV_{REFMn} 端子電圧

A/D 変換結果値 : ADCA_nLCR[15:00] ビット, ADCA_nCmCR[15:00] ビット, ADCA_nDBiCR[15:00] ビットの値

k : 分解能

図 21-15 「アナログ入力電圧と A/D 変換結果の関係」にアナログ入力電圧と A/D 変換結果の関係を示します。



21.3.12 変換結果確認機能

ADCA_n では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

(1) 変換結果上書きチェック機能

A/D 変換結果を読み出す前に上書きされたかどうかを確認できます。

エラー・フラグ A/D 変換結果レジスタは、それぞれ下記の上書きエラー・フラグを持っています。

ADCA_nLCR.ADCA_nLER1

ADCA_nDBiCR.ADCA_nDBiER1

ADCA_nCmCR.ADCA_nCmER1

たとえば、ADCA_nCmCR レジスタに格納された A/D 変換結果を読み出す前に上書きされた場合、ADCA_nCmCR.ADCA_nCmER1 に 1 をセットします。

ADCA_nLCR レジスタと ADCA_nDBiCR レジスタについても同様です。

また、ADCA_nCmCR.ADCA_nCmER1 の値は ADCA_nSTR1.ADCA_nOWEm にも反映されます。

エラー割り込み ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、ADCA_nCmCR レジスタの A/D 変換結果が読み出される前に上書きされると、エラー割り込み INTADCA_nTERR が発生します。

変換結果を読み出さない変換結果レジスタに対しては、ADCA_nCTL0.ADCA_nOEM[4:0] を設定することでマスク処理ができます。

例：

- CH7 を CG1 に割り当て
- ADCA_nCTL0.ADCA_nOEM[4:0] を 00000_B に設定し、ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、ADCA_nCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に必ずエラー割り込み INTADCA_nTERR を発生させるようにする

(2) 変換結果読み出しフラグ機能

A/D 変換結果をすでに読み出したか、それとも新規でありまだ読み出していないかを確認できます。

状態フラグ A/D 変換結果レジスタには下記の更新状態フラグが用意されています。

ADCA_nLCR.ADCA_nLUR

ADCA_nDBiCR.ADCA_nDBiUR

ADCA_nCmCR.ADCA_nCmUR

このフラグが 1 に設定されている場合、A/D 変換結果は新規です。更新状態フラグは、読み出し後 0 にクリアされます。

(3) 変換結果上下限比較機能

A/D 変換結果が設定可能な範囲内にあるかどうかを確認できます。

本機能の有効/無効は、ADCA_nCTL2 レジスタによってチャンネルごとに設定できます。

有効にしたチャンネルの変換結果を、あらかじめ設定した下限値 (ADCA_nLL レジスタ) および上限値 (ADCA_nUL レジスタ) と比較します。

- エラー・フラグ** 指定チャンネルの A/D 変換結果が下限値を下回るか上限値を上回った場合、そのチャンネルに対応するエラー・フラグ ADCA_nSTR0.ADCA_nRCE が 1 にセットされます。
- ADCA_nSTR0 レジスタは、各チャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。この ADCA_nSTR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。
- また、結果確認エラー・フラグ ADCA_nSTR0.ADCA_nRCE の値は ADCA_nCmCR.ADCA_nCmER0 にも反映されます。
- エラー割り込み** 指定チャンネルの A/D 変換結果が設定範囲を外れている場合、エラー割り込み INTADCA_nTERR が発生します。

21.3.13 自己診断機能

ADCA_n が機能しているかどうかを確認するために、A/D 変換回路の自己診断機能が使用できます。

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

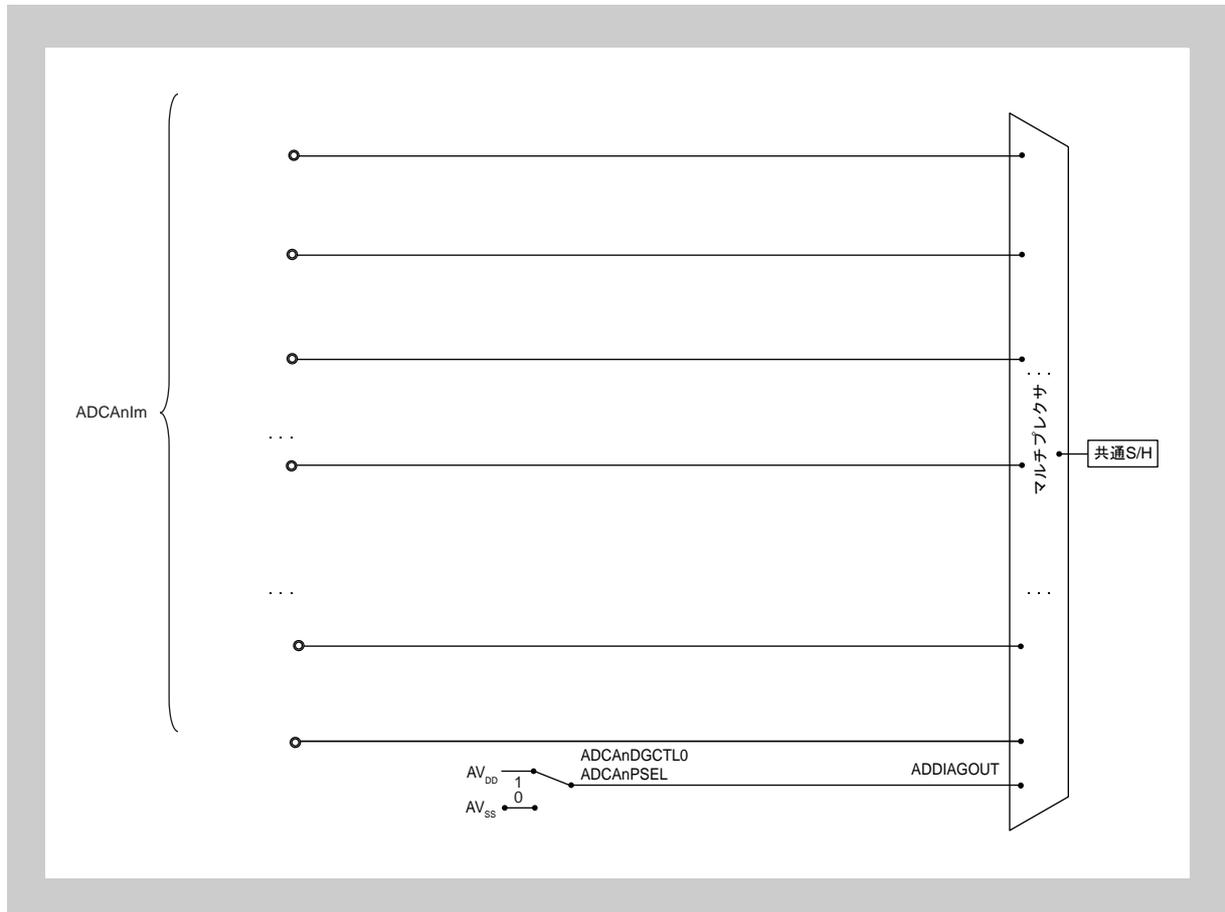


図 21-16 自己診断機能の概要

(1) A/D 変換回路の診断

A/D 変換回路の動作を診断できます。

A/D 変換回路の診断は、通常の A/D 変換動作中に行うことができます。CG0 の A/D 変換終了後、続けて基準電圧 ADDIAGOUT 信号を変換します。この診断 A/D 変換の結果が期待値から大きくはずれた場合は、ハードウェアに異常が発生または誤動作した可能性があります。

診断 A/D 変換を有効にするには、ADCA_nCG0.ADCA_nDIAG を 1 に設定します。

備考 A/D 変換回路の診断は、CG0 にのみ使用できます。

診断 A/D 変換は、CG0 の最後のチャネルの A/D 変換が終了したあとに開始されます。

- CG0 の A/D 変換結果は、通常の A/D 変換結果レジスタに格納されます (21.3.3 (1)「A/D 変換結果レジスタ」を参照)。
- 診断 A/D 変換の結果は、ADCA_nDGCR レジスタに格納されます。

- 診断手順**
1. ADCA_nCTL1.ADCA_nGPS を 1 に設定し、ADCA_n のパワーをオンにします。
 2. 次の手順で、CG0 と A/D 変換モードを設定します。
 - ADCA_nCG0.ADCA_nDIAG を 1 に設定して、基準電圧の診断 A/D 変換を有効にしてください。
たとえば、8000 000E_H を設定して、最初に CH1, CH2, CH3 のアナログ入力電圧を変換し、続いて診断用に基準電圧 ADDIAGOUT 信号を変換するようにします。
 - ADCA_nIOC0.ADCA_nCG0IDG を 1 に設定して、診断 A/D 変換終了時に A/D 変換終了割り込み INTADCA_nT0 を発生するようにします。
 3. ADCA_nDGCTL0.ADCA_nPSEL に基準電圧 ADDIAGOUT 信号を指定します。
たとえば、ADCA_nDGCTL0.ADCA_nPSEL を 1_B に設定して、基準電圧 AV_{DD} を適用します。
 4. ADCA_nCTL0.ADCA_nCE を 1 に設定して ADCA_n を有効にします。
 5. ソフトウェア起動トリガまたはハードウェア起動トリガを発生させて、A/D 変換を開始します。
 6. A/D 変換終了割り込み INTADCA_nT0 が発生したら、ADCA_nDGCR レジスタから診断 A/D 変換結果を読み出します。

ADCA_nDGCTL0.ADCA_nPSEL は、A/D 変換中でも書き込み可能です。
A/D 変換中に書き込みを行った場合の動作を下図に示します。

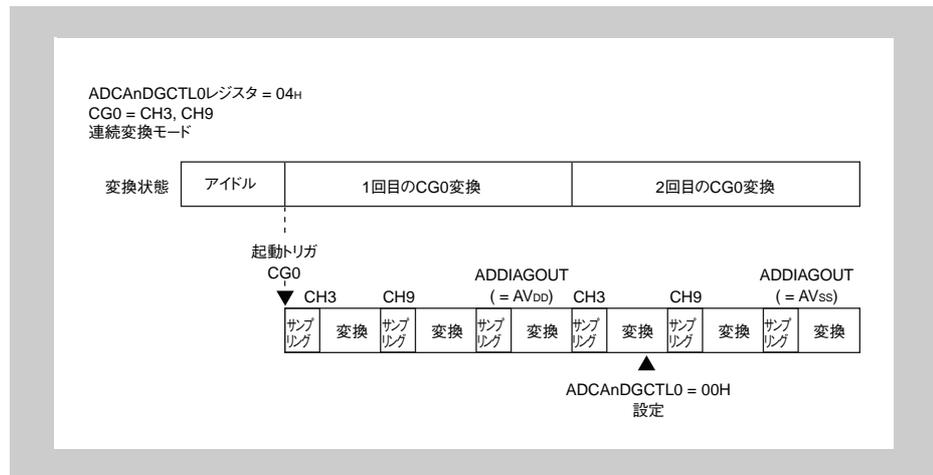


図 21-17 A/D 変換中の書き込み

備考 ADCAnDGCTL0.ADCA_nPSEL で設定した値は、現在のチャネルの変換終了後に反映されます。したがって、次の診断 A/D 変換の基準電圧は、その診断 A/D 変換が開始する前までに設定してください。

21.3.14 ディスチャージ機能

必要に応じて、各変換の前に共通 S/H 回路の内部コンデンサを放電できます。

備考 ディスチャージ機能を有効にすると、総変換時間が7クロック (PCLK) 分長くなります (21.3.9「分解能, サンプル時間と変換時間」を参照)。

設定 ディスチャージ機能を有効にするには、ADCA_nCTL1.DCA_nDISC を1に設定します。

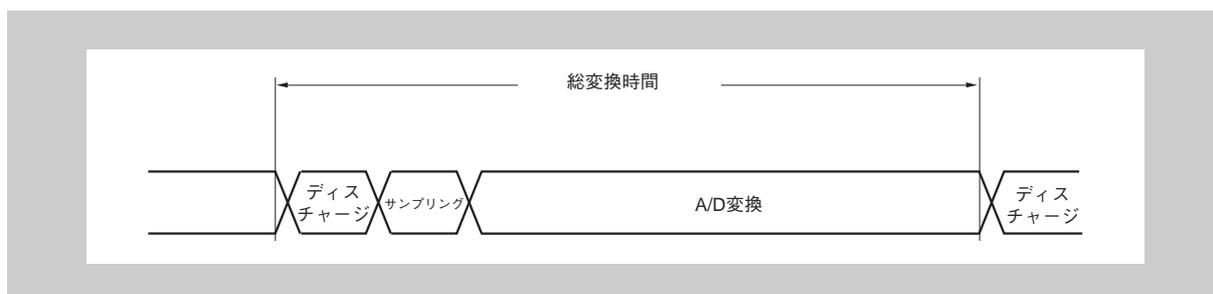


図 21-18 ディスチャージ機能有効時の変換タイミング

21.3.15 安定制御

A/D コンバータには、次の場合に動作安定のための時間が必要です。

- A/D コンバータ・オン時 (ADCA_nCTL1.ADC_nGPS に1を設定)
- スタンバイ・モード終了時

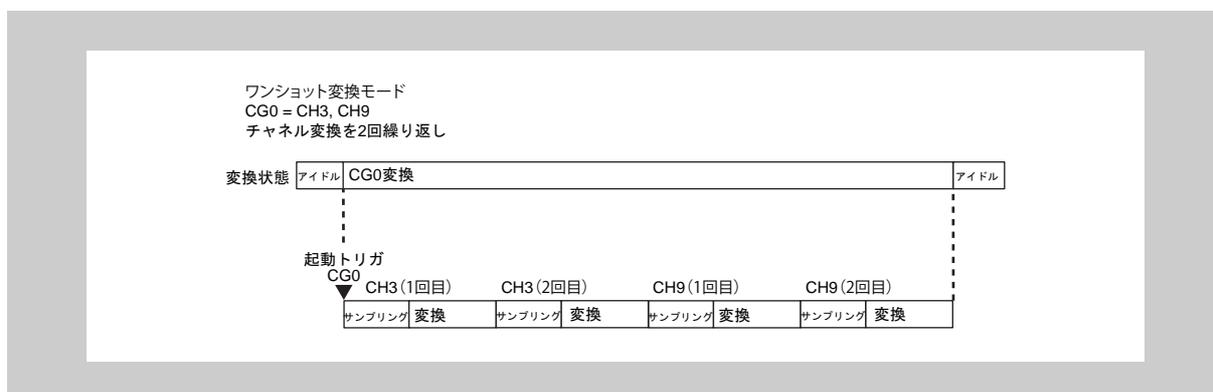
安定時間の確保中でも起動トリガは受け付けますが、安定時間が経過するまでは変換は開始されません。

最小安定時間を確保するために、安定時間カウンタ ADCA_nCNT を設定する必要があります (「電気的特性 (ターゲット)」を参照)。

21.3.16 チャネル変換繰り返し機能

A/D コンバータには、CG_i の各チャンネルを指定回数 (2-4 回) 繰り返し変換できる機能があります。

ワンショット変換 / 連続変換モードによらず使用可能です。



21.4 レジスタ

この節では、ADCA_nのすべてのレジスタについて説明します。

21.4.1 ADCA_n レジスタの概要

ADCA_nは、次の表に示すレジスタで制御、動作します。

- チャンネルごとに1つのレジスタが用意されている場合は、チャンネル番号を "m" で示します。
- CG ごとに1つのレジスタが用意されている場合は、CG 番号を "i" (i = 0-2) で示します。

表 21-13 ADCA_n レジスタ一覧 (1/2)

レジスタ名	略号	アドレス
制御レジスタ		
A/D コンバータ・モード制御レジスタ 0	ADCA _n CTL0	<ADCA _n _base> + 100 _H
A/D コンバータ・モード制御レジスタ 1	ADCA _n CTL1	<ADCA _n _base> + 104 _H
A/D コンバータ CG レジスタ i	ADCA _n CGi	<ADCA _n _base> + i × 4 _H
A/D コンバータ割り込み制御レジスタ i	ADCA _n IOCi	<ADCA _n _base> + C _H + i × 4 _H
A/D コンバータ・トリガ選択制御レジスタ i	ADCA _n TSELi	<ADCA _n _base> + 108 _H + i × 4 _H
A/D コンバータ安定カウンタ	ADCA _n CNT	<ADCA _n _base> + 114 _H
変換状態レジスタ		
A/D コンバータ上書きエラー・フラグ・レジスタ	ADCA _n STR1	<ADCA _n _base> + 28 _H
ADCA _n STR1 フラグ・クリア・レジスタ	ADCA _n STC1	<ADCA _n _base> + 34 _H
A/D コンバータ状態フラグ・レジスタ 2	ADCA _n STR2	<ADCA _n _base> + 2C _H
ADCA _n STR2 フラグ・クリア・レジスタ	ADCA _n STC2	<ADCA _n _base> + 38 _H
ソフトウェア・トリガ・レジスタ		
A/D コンバータ・ソフトウェア・トリガ・レジスタ i	ADCA _n TRGi	<ADCA _n _base> + A4 _H + i × 4 _H
A/D コンバータ・ソフトウェア・トリガ・レジスタ 3	ADCA _n TRG3	<ADCA _n _base> + B0 _H
A/D コンバータ・ソフトウェア・トリガ・レジスタ 4+i	ADCA _n TRG4+i	<ADCA _n _base> + B4 _H + i × 4 _H
A/D コンバータ・ソフトウェア・トリガ・レジスタ 7	ADCA _n TRG7	<ADCA _n _base> + C0 _H
A/D 変換結果レジスタ		
A/D コンバータ最新変換結果レジスタ	ADCA _n LCR	<ADCA _n _base> + A0 _H
A/D コンバータ変換結果レジスタ m	ADCA _n CmCR	<ADCA _n _base> + 3C _H + m × 4 _H
A/D コンバータ CGi バッファ結果レジスタ	ADCA _n DBiCR	<ADCA _n _base> + C4 _H + i × 4 _H
A/D コンバータ診断変換結果レジスタ	ADCA _n DGCR	<ADCA _n _base> + 9C _H
A/D 上下限比較レジスタ		
A/D コンバータ結果確認レジスタ	ADCA _n CTL2	<ADCA _n _base> + 18 _H
A/D コンバータ結果確認 (上限値)	ADCA _n UL	<ADCA _n _base> + 1C _H
A/D コンバータ結果確認 (下限値)	ADCA _n LL	<ADCA _n _base> + 20 _H
A/D コンバータ結果確認エラー・フラグ	ADCA _n STR0	<ADCA _n _base> + 24 _H
ADCA _n STR0 フラグ・クリア・レジスタ	ADCA _n STC0	<ADCA _n _base> + 30 _H

表 21-13 ADCAn レジスタ一覧 (2/2)

レジスタ名	略号	アドレス
診断機能制御レジスタ		
A/D コンバータ 自己診断機能制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base> + DC _H
CGi バッファ結果レジスタの変換結果部ミラー・レジスタ	ADCAnDBiCRL	<ADCAn_base> + D0 _H + i × 4 _H
ADCAn エミュレーション・レジスタ		
ADCAn エミュレーション・レジスタ	ADCAnEMU	<ADCAn_base> + 128 _H

21.4.2 制御レジスタ

(1) ADCAnCTL0 - A/Dコンバータ・モード制御レジスタ 0

A/Dコンバータの有効/無効を設定します。さらに、ワンショット変換モードの繰り返し回数と、A/D変換結果を読み出す前に上書きされた場合にエラー割り込み要求を発生させるかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <ADCAn_base> + 100_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnSIC[2:0]		ADCAnOEM4	ADCAnOEM[3:1]			ADCAnOEM0	ADCAnCE	0	ADCAnSCT2[1:0]		ADCAnSCT1[1:0]		ADCAnSCT0[1:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-14 ADCAnCTL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15-13	ADCAnSIC[2:0]	A/D変換CGiの終了時にADCATINTi信号を発生させるかどうかを指定します。 0: A/D変換CGiの終了時にADCATINTi信号を発生 1: ADCATINTi信号を発生させない
12	ADCAnOEM4	ADCAnLCRレジスタのA/D変換結果を読み出す前に上書きされた場合に、エラー割り込みINTADCAnTERRを発生させるかどうかを指定します。 0: A/D変換結果が上書きされた場合にエラー割り込みINTADCAnTERRを発生 1: エラー割り込みINTADCAnTERRを発生しない 詳細は21.3.12(1)「変換結果上書きチェック機能」を参照してください。
11-9	ADCAnOEM[3:1]	いずれかのADCAnDBiCRレジスタのA/D変換結果を読み出す前に上書きされた場合に、エラー割り込みINTADCAnTERRを発生させるかどうかを指定します。 0: A/D変換結果が上書きされた場合にエラー割り込みINTADCAnTERR発生 1: エラー割り込みINTADCAnTERRを発生しない CGiはADCAnOEM(i+1)ビットによって制御されます。 詳細は21.3.12(1)「変換結果上書きチェック機能」を参照してください。
8	ADCAnOEM0	ADCAnCmCRレジスタのA/D変換結果を読み出す前に上書きされた場合に、エラー割り込みINTADCAnTERRを発生させるかどうかを指定します。 0: A/D変換結果が上書きされた場合にエラー割り込みINTADCAnTERRを発生 1: エラー割り込みINTADCAnTERRを発生しない 詳細は21.3.12(1)「変換結果上書きチェック機能」を参照してください。
7	ADCAnCE	A/Dコンバータの有効/無効を設定します。 0: A/Dコンバータ無効 1: A/Dコンバータ有効 ADCAnCTL0.ADCAnCEを1に設定した場合、A/D変換はハードウェア・トリガまたはソフトウェア・トリガ(ADCAnTRGi.ADCAnSTTi)でのみ開始します。また、A/Dコンバータ有効後には安定するための時間が必要です。パワーオンの直後でも起動トリガは受け付けます。安定カウンタADCAnCNT = 00 _H のあと、A/D変換を開始します。

表 21-14 ADCAnCTL0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
5-0	ADCAn SCTi[1:0]	CGi のチャンネル変換繰り返し回数 <table border="1" data-bbox="550 369 1385 616"> <thead> <tr> <th>ADCAn SCTi1</th> <th>ADCAn SCTi0</th> <th>CGi のチャンネル変換繰り返し回数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </tbody> </table>	ADCAn SCTi1	ADCAn SCTi0	CGi のチャンネル変換繰り返し回数	0	0	1	0	1	2	1	0	3	1	1	4
ADCAn SCTi1	ADCAn SCTi0	CGi のチャンネル変換繰り返し回数															
0	0	1															
0	1	2															
1	0	3															
1	1	4															

(2) ADCAnCTL1 - A/Dコンバータ・モード制御レジスタ 1

変換モードを指定し、変換動作を制御します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ADCAn_base> + 104_H

初期値 0100 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn T2ETS[1:0]	ADCAn T1ETS[1:0]	ADCAn T0ETS[1:0]	0	ADCAn CRAC	0	0	ADCAn MD1	ADCAn MD0	0	0	ADCAn DISC	ADCAn RCL			
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	ADCAnFR[3:0]			0	ADCAnTRM[2:0]		0	0	0	ADCAn GPS		
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 21-15 ADCAnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
31-26	ADCAn TiETS[1:0]	ハードウェア・トリガ ADCAnTTRGi 信号の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAn TiETS1</th><th>ADCAn TiETS0</th><th>有効エッジ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>エッジ検出なし (受け付けない)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	ADCAn TiETS1	ADCAn TiETS0	有効エッジ	0	0	エッジ検出なし (受け付けない)	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	設定禁止
ADCAn TiETS1	ADCAn TiETS0	有効エッジ															
0	0	エッジ検出なし (受け付けない)															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	設定禁止															
24	ADCAn CRAC	A/D 変換結果および診断変換結果の揃え位置を指定します。 0: 右揃え 1: 左揃え															
21	ADCAn MD1	すべての CG の A/D 変換の起動トリガを指定します。 0: ソフトウェア・トリガ 1: ハードウェア・トリガとソフトウェア・トリガ この設定はすべての CG に対して有効です。 トリガは、A/D コンバータが有効な場合のみ検出されます。 詳細は 21.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。															
20	ADCAn MD0	CG0 の A/D 変換モードを指定します。 0: ワンショット変換モード 繰返し回数は、CG ごとに ADCAnCTL0.ADCAnSCTi[1:0] で指定します。 1: 連続変換モード この設定は CG0 の A/D 変換のみに適用します。 CG1 と CG2 は、常にワンショット変換モードで動作します。 詳細は 21.3.4 「A/D 変換モード」を参照してください。															
17	ADCAn DISC	ディスチャージ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 21.3.14 「ディスチャージ機能」を参照してください。															

表 21-15 ADCAnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																																						
16	ADCAnRCL	A/D 変換結果 ADCAnCmCR と ADCAnDBiCR, ADCAnDBiCRL, ADCAnLCR を読み出したあと、その値を保持するかどうかを指定します。 0: 次の A/D 変換結果によって上書きされるまで保持 1: 読み出し後にクリア																																						
15	-	機能は割り当てられていません。 "0" のままで問題ありません。ライト時は "0" を書き込むことを推奨します。																																						
11-8	ADCAnFR[3:0]	総変換時間 (PCLK[クロック数]) を指定します。 <table border="1" data-bbox="560 573 1385 1126"> <thead> <tr> <th rowspan="2">ADCAnFR[3:0]</th> <th colspan="2">総変換時間 (PCLK[クロック数])</th> </tr> <tr> <th>ディスチャージ: 無効時</th> <th>ディスチャージ: 有効時</th> </tr> </thead> <tbody> <tr><td>0000</td><td>38</td><td>45</td></tr> <tr><td>0001</td><td>45</td><td>52</td></tr> <tr><td>0010</td><td>51</td><td>58</td></tr> <tr><td>0011</td><td>58</td><td>65</td></tr> <tr><td>0100</td><td>64</td><td>71</td></tr> <tr><td>0110</td><td>77</td><td>84</td></tr> <tr><td>1000</td><td>90</td><td>97</td></tr> <tr><td>1010</td><td>103</td><td>110</td></tr> <tr><td>1100</td><td>116</td><td>123</td></tr> <tr><td>1110</td><td>129</td><td>136</td></tr> <tr><td>上記以外</td><td colspan="2">設定禁止</td></tr> </tbody> </table>	ADCAnFR[3:0]	総変換時間 (PCLK[クロック数])		ディスチャージ: 無効時	ディスチャージ: 有効時	0000	38	45	0001	45	52	0010	51	58	0011	58	65	0100	64	71	0110	77	84	1000	90	97	1010	103	110	1100	116	123	1110	129	136	上記以外	設定禁止	
ADCAnFR[3:0]	総変換時間 (PCLK[クロック数])																																							
	ディスチャージ: 無効時	ディスチャージ: 有効時																																						
0000	38	45																																						
0001	45	52																																						
0010	51	58																																						
0011	58	65																																						
0100	64	71																																						
0110	77	84																																						
1000	90	97																																						
1010	103	110																																						
1100	116	123																																						
1110	129	136																																						
上記以外	設定禁止																																							
6-4	ADCAnTRMi	より優先順位の高い CG の A/D 変換の起動トリガが入力された場合 (または ADCHALT モードへの遷移が要求された場合) の中断動作を指定します。 0: CGi の現在の A/D 変換はただちに中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 1: CGi の現在のチャネルの変換を終了してから CG の A/D 変換を中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 より優先順位の高い CG の A/D 変換がすべて終了した (または ADCHALT モードから復帰した) あと、CGi の A/D 変換を継続します。 優先順位は、ADCHALT > CG2 > CG1 > CG0 です。 詳細は 21.3.3 (1) 「A/D 変換の順序」を参照してください。																																						
0	ADCAnGPS	ADCAn のパワーオン/オフを切り替えます。 0: パワーオフ 1: パワーオン A/D コンバータは、パワーオンにしたあとで動作を安定させるための時間が必要です (21.3.15 「安定制御」を参照)。																																						

(3) ADCAnCGi - A/D コンバータ・チャンネル・グループ・レジスタ i

各 CG のスキャン・リストを作成します。スキャン・リストに設定したチャンネルは昇順に変換されます。詳細は 21.3.3 「チャンネルとチャンネル・グループ」を参照してください。

また、ADCAnCG0.ADCAnDIAG を使用して、基準電圧 ADDIAGOUT 信号を用いた A/D 変換の診断の有効・無効を選択することができます。詳細は 21.3.13 (1) 「A/D 変換回路の診断」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

本レジスタは、マスタ／スレーブ構成のレジスタのため、A/D 変換動作中に新たな A/D 変換チャンネルをマスタ・レジスタに設定できます。マスタ・レジスタの値がスレーブ・レジスタに転送されるタイミングは次のとおりです。

- CGi が A/D 変換中でない場合は、マスタ・レジスタに書き込まれた 1 クロック (PCLK) 後に転送されます。
- CGi が A/D 変換中の場合は、現在実行されている CGi のスキャン・リスト変換が終了したときに転送されます。
- 本レジスタに書き込みを行ったあとで CGi の停止トリガビット (ADCAnSPi ビット) をセットした場合は、A/D 変換停止時に転送されます。

アドレス <ADCAn_base> + i × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn DIAG	0	0	0	0	0	0	0	ADCAnCGiS[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGiS[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-16 ADCAnCGi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn DIAG	CG0 の A/D 変換終了時に行う基準電圧 ADDIAGOUT 信号の診断 A/D 変換の有効／無効を設定します。 0: ADDIAGOUT 信号の A/D 変換無効 1: ADDIAGOUT 信号を変換 このビットは ADCAnCG0 のみ設定できます。ADCAnCG1 と ADCAnCG2 は 0 としてください。
23-00	ADCAn CGiS[23:00]	変換対象の CGi のアナログ入力信号を指定します。 0: アナログ入力 ADCAnIm を変換しない 1: アナログ入力 ADCAnIm を変換する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

(4) ADCAnIOCi - A/D コンバータ割り込み制御レジスタ i

特定のチャンネルの A/D 変換が終了したときに、A/D 変換終了割り込み INTADCAnTi を発生させることができます。

このレジスタは、A/D 変換終了時に割り込み INTADCAnTi を発生させるチャンネルを指定します。

ADCAnIOCi = 0000 0000_H を設定した場合（特定チャンネルの指定がない場合）、CGi の A/D 変換終了時に自動的に割り込み INTADCAnTi が発生します（21.3.10 「割り込み発生」参照）。

アクセス 32 ビット単位でリード/ライト可能です。
A/D コンバータが有効（ADCAnCTL0.ADCAnCE に 1 を設定）の場合でも、任意のタイミングで書き込むことができます。新しい値は CGi の現在の A/D 変換が終了したあとに有効になります。

アドレス <ADCAn_base> + 0C_H + i × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn CG0 IDG	0	0	0	0	0	0	0	ADCAnCGil[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGil[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-17 ADCAnIOCi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn CG0IDG	CG0 の診断モードが有効な場合（ADCAnCG0.ADCAnDIAG に 1 を設定）、基準電圧の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnTi を発生しない 1: A/D 変換終了割り込み INTADCAnTi を発生する このビットは ADCAnIOC0 レジスタのみ設定できます。ADCAnIOC1 レジスタと ADCAnIOC2 レジスタは 0 としてください。 詳細は 21.3.13(1) 「A/D 変換回路の診断」を参照してください。
23-00	ADCAn CGil[23:00]	チャンネル m の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnTi を発生しない 1: A/D 変換終了割り込み INTADCAnTi を発生する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnIOCi レジスタは ADCAnCGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はあわせて行う必要があります。更新は ADCAnCGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCAnCGi レジスタの前に ADCAnIOCi レジスタの書き込みを行ってください。

(5) ADCAnCNT - A/D コンバータ安定カウンタ

安定時間を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCAn_base> + 114_H

初期値 00_H どのリセット要因でも初期化されます。

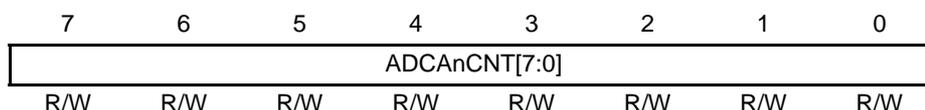


表 21-18 ADCAnCNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCAnCNT[7:0]	安定カウンタ値を指定します。 安定時間 = ADCAnCNT[7:0] × クロック (PCLK)

備考 安定時間が 1.5 μ s 以上となるようにカウンタ値を指定してください。

(6) ADCAnTSELi - A/D コンバータ・トリガ選択制御レジスタ i

ハードウェア起動トリガ ADCAnTTRGi 信号と組み合わせて使用する入力信号を指定します。

アクセス 16ビット単位でリード/ライト可能です。

A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base> + 108_H + i × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

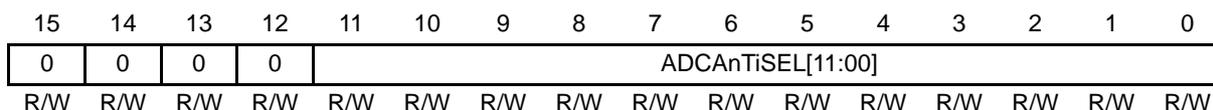


表 21-19 ADCAnTSELi レジスタの内容

ビット位置	ビット名	機能
11-0	ADCAnTSEL[11:00]	対応する入力信号をハードウェア起動トリガとして使用するかどうかを指定します。 0: ハードウェア起動トリガとして使用しない 1: ハードウェア起動トリガとして使用する 備考 本製品に実装されていないトリガに対するビットは 0 に設定してください。

備考 ハードウェア起動トリガの接続先は、表 21-9 「ADCA0 ハードウェア・トリガの接続先」を参照してください。

21.4.3 変換状態レジスタ

(1) ADCAnSTR1 - A/D コンバータ上書きエラー・フラグ

ADCAnCmCR レジスタに対し、最新の A/D 変換結果を読み出す前に上書きされたかどうかを示します。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base> + 28_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-20 ADCAnSTR1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWE[23:00]	チャンネル m の A/D 変換結果を読み出す前に上書きされたかどうかを示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは、ADCAnSTC1.ADCAnOWECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnSTR1.ADCAnOWEm の値は、次の上書きエラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER1)

(2) ADCAnSTC1 - ADCAnSTR1 フラグ・クリア・レジスタ

ADCAnSTR1 レジスタのクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。

読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base> + 34_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWEC[23:16]							
R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 21-21 ADCAnSTC1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWEC[23:00]	0: 機能なし 1: 対応する ADCAnSTR1.ADCAnOWEm をクリア 備考 本製品に実装されていないチャネルに対応するビットは0に設定してください。

(3) ADCAnSTR2 - A/Dコンバータ状態フラグ2

現在の変換状態を示します。

アクセス 16ビット単位でリード可能です。

アドレス <ADCAn_base> + 2C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	ADCAnRQ3	ADCAnRQ[2:0]			0	0	0	0	ADCAnST3	ADCAnST[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-22 ADCAnSTR2 レジスタの内容

ビット位置	ビット名	機能
11	ADCAnRQ3	ADCHALT 要求が保留されているかどうかを示します。 0: 保留 ADCHALT 要求なし 1: 保留 ADCHALT 要求あり
10-8	ADCAnRQ[2:0]	CGi の A/D 変換要求が保留されているかどうかを示します。 0: 保留 A/D 変換要求なし 1: 保留 A/D 変換要求あり
3	ADCAnST3	A/D 変換が、ソフトウェア・トリガ (ADCAnTRG3.ADCAnSTT3) によって現在 ADCHALT 状態であるかどうかを示します。 0: ADCHALT 状態ではない 1: ADCHALT 状態 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。
2-0	ADCAnST[2:0]	CGi の A/D 変換が現在実行中かどうかを示します。 0: A/D 変換実行中ではない (より優先順位の高い CG の A/D 変換による中断も含む) 1: A/D 変換実行中 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。

(4) ADCAnSTC2 - ADCAnSTR2 フラグ・クリア・レジスタ

ADCAnLCR レジスタと ADCAnDBiCR レジスタの上書き状態フラグと結果確認状態フラグをクリアします。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base> + 38_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAn LERC1	ADCAn LERC0	ADCAn DB2ERC1	ADCAn DB2ERC0	ADCAn DB1ERC1	ADCAn DB1ERC0	ADCAn DB0ERC1	ADCAn DB0ERC0
W	W	W	W	W	W	W	W

表 21-23 ADCAnSTC2 レジスタの内容

ビット位置	ビット名	機能
7	ADCAn LERC1	上書きフラグ ADCAnLCR.ADCAnLER1 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER1 をクリア
6	ADCAn LERC0	結果確認エラー・フラグ ADCAnLCR.ADCAnLER0 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER0 をクリア
5, 3, 1	ADCAn DBiERC1	上書きフラグ ADCAnDBiCR.ADCAnDBiER1 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER1 をクリア
4, 2, 0	ADCAn DBiERC0	結果確認エラー・フラグ ADCAnDBiCR.ADCAnDBiER0 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER0 をクリア

21.4.4 ソフトウェア・トリガ・レジスタ

(1) ADCAnTRGi - A/D コンバータ・ソフトウェア・トリガ・レジスタ i

CGi の A/D 変換を開始するためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base> + A4_H + i × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STTi
R	R	R	R	R	R	R	W

表 21-24 ADCAnTRGi レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTTi	CGi の A/D 変換を開始します。 0: 機能なし 1: CGi の A/D 変換を開始

詳細は 21.3.5 「A/D 変換の開始（起動トリガ）」を参照してください。

(2) ADCAnTRG3 - A/D コンバータ・ソフトウェア・トリガ・レジスタ 3

ADCHALT モードへ遷移させるためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base> + B0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STT3
R	R	R	R	R	R	R	W

表 21-25 ADCAnTRG3 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTT3	0: 機能なし 1: ADCHALT モードへ遷移

詳細は 21.3.8 「A/D 変換の休止と再開（ADCHALT モード）」を参照してください。

(3) ADCAnTRG4+i - A/D コンバータ・ソフトウェア・トリガ・レジスタ 4+i

CGi の A/D 変換を停止するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base> + B4_H + i × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSPi
R	R	R	R	R	R	R	W

表 21-26 ADCAnTRG4 + i レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSPi	0: 機能なし 1: CGi の A/D 変換を停止

詳細は 21.3.6 「A/D 変換の停止 (停止トリガ)」を参照してください。

(4) ADCAnTRG7 - A/D コンバータ・ソフトウェア・トリガ・レジスタ 7

ADCHALT モードを解除し A/D 変換を再開するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base> + C0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSP3
R	R	R	R	R	R	R	W

表 21-27 ADCAnTRG7 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSP3	0: 機能なし 1: A/D 変換を再開

詳細は 21.3.8 「A/D 変換の休止と再開 (ADCHALT モード)」を参照してください。

21.4.5 A/D 変換結果レジスタ

(1) ADCAnLCR - A/D コンバータ最新変換結果レジスタ

最新の A/D 変換の結果と状態を格納します。

最新の A/D 変換結果を、読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base> + A0_H

初期値 0300 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn LCG[1:0]	ADCAn LER1	ADCAn LER0	ADCAn LUR	ADCAnLCR[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-28 ADCAnLCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCAn LCG[1:0]	ADCAnLCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1"> <thead> <tr> <th>ADCAn LCG1</th><th>ADCAn LCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCAn LCG1	ADCAn LCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAn LCG1	ADCAn LCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCAn LER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnLERC1 を 1 に設定するとクリアされ ます。															
22	ADCAn LER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnLERC0 を 1 に設定するとクリアされ ます。															
21	ADCAn LUR	A/D 変換結果の更新状態を示します。 0: ADCAnLCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnLCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

表 21-28 ADCAnLCR レジスタの内容 (2/2)

ビット位置	ビット名	機能									
20-16	ADCAnLCN[4:0]	ADCAnLCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 00001xm = CHm									
15-0	ADCAnLCR[15:00]	A/D 変換の結果を示します。 分解能は 10 ビット分解能固定です。揃え位置は ADCAnCTL1.ADCAnCRAC によって決まります。 <table border="1" data-bbox="497 533 1385 748"> <thead> <tr> <th>ADCAnCTL1. ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値の ビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1. ADCAnCRAC	分解能と揃え位置	A/D 変換結果値の ビット位置	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]
ADCAnCTL1. ADCAnCRAC	分解能と揃え位置	A/D 変換結果値の ビット位置									
0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]									
1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]									

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません (21.4.5(4)「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

(2) ADCAnCmCR - チャネル m の A/D コンバータ変換結果レジスタ

チャネル m の最新の A/D 変換の結果と状態を格納します。

指定チャネル (m) の A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base> + 3C_H + m × 4_H

初期値 0300 0000_H + m × 0001 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn CmCG[1:0]	ADCAn CmER1	ADCAn CmER0	ADCAn CmUR	ADCAnCmCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCmCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 備考**
1. 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全チャネルであるのに対し、このレジスタは指定チャネルの最新の A/D 変換結果を示します (表 21-28 「ADCAnLCR レジスタの内容」を参照)。
 2. リセット後、ADCAnCmCG[1:0] ビットは 11_B に設定されます。
 3. ADCAnCTL1.ADCAnRCL に 0 を設定の場合は、ADCAnCmCR[15:00] ビットの A/D 変換結果は次の A/D 変換結果によって上書きされるまで保持されます。
ADCAnCTL1.ADCAnRCL に 1 を設定の場合、ADCAnCmCR[15:00] ビットの A/D 変換結果は読み出し後クリアされます。

表 21-29 ADCAnCmCR レジスタの内容

ビット位置	ビット名	機能															
25, 24	ADCAnCmCG[1:0]	ADCAnCmCR[15:00]に格納されている変換結果の対象CGを示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAnCmCG1</th> <th>ADCAnCmCG0</th> <th>チャンネル・グループ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CG0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CG1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CG2</td> </tr> <tr> <td>1</td> <td>1</td> <td>なし</td> </tr> </tbody> </table>	ADCAnCmCG1	ADCAnCmCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAnCmCG1	ADCAnCmCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCAnCmER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグはADCAnSTR1.ADCAnOWEmの値を反映しADCAnSTC1.ADCAnQWECmを1に設定するとクリアされます。															
22	ADCAnCmER0	A/D変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグはADCAnSTR0.ADCAnRCEmの値を反映しADCAnSTC0.ADCAnRCECmを1に設定するとクリアされます。															
21	ADCAnCmUR	A/D変換結果の更新状態を示します。 0: ADCAnCmCRレジスタからA/D変換結果読み出し済み 1: 新規の値で、ADCAnCmCRレジスタからのA/D変換結果読み出し未処理 このビットは、読み出し後クリアされます。															
20-16	ADCAnCmCN[4:0]	ADCAnCmCR[15:00]ビットに格納されている変換結果の対象チャンネル番号を示します。 $00001 \times m = CHm$															
15-0	ADCAnCmCR[15:00]	A/D変換の結果を示します。 分解能は10ビット分解能固定です。揃え位置はADCAnCTL1.ADCAnCRACによって決まります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>10ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00]の[09:00]</td> </tr> <tr> <td>1</td> <td>10ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00]の[15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D変換結果値のビット位置	0	10ビット分解能, 右揃え	ADCAnCmCR[15:00]の[09:00]	1	10ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:06]						
ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D変換結果値のビット位置															
0	10ビット分解能, 右揃え	ADCAnCmCR[15:00]の[09:00]															
1	10ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:06]															

備考 内部基準電圧を用いてA/D変換を行った場合、A/D変換結果はADCAnDGCRレジスタに格納されます。ADCAnLCRレジスタ、ADCAnCmCRレジスタ、ADCAnDBiCRレジスタには格納されません(21.4.5(4)「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

(3) ADCAnDBiCR - CGi の DMA バッファ・レジスタ

CGi の最新の A/D 変換の結果と状態を格納します。CGi のすべてのチャンネルの A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは、A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base> + C4_H + i × 4_H

初期値 0000 0000_H + i × 0100 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn DBiCG[1:0]	ADCAn DBiER1	ADCAn DBiER0	ADCAn DBiUR	ADCAnDBiCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全 CG であるのに対し、このレジスタは CGi の最新の A/D 変換結果を示します（表 21-28 「ADCAnLCR レジスタの内容」を参照）。

表 21-30 ADCAnDBiCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCAn DBiCG[1:0]	ADCAnDBiCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ADCAn DBiCG1</th><th>ADCAn DBiCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table> 常に同じ CG の変換結果と状態を格納するため、このビットの値は固定されます。	ADCAn DBiCG1	ADCAn DBiCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAn DBiCG1	ADCAn DBiCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCAn DBiER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnDBiERC1 を 1 に設定するとクリアされます。															
22	ADCAn DBiER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnDBiERC0 を 1 に設定するとクリアされます。															
21	ADCAn DBiUR	A/D 変換結果の更新状態を示します。 0: ADCAnDBiCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnDBiCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

表 21-30 ADCAnDBiCR レジスタの内容 (2/2)

ビット位置	ビット名	機能									
20-16	ADCAnDBiCN[4:0]	ADCAnDBiCR[15:00] ビットに格納されている変換結果の対象チャネル番号を示します。 $00001 \times m = CHm$									
15-0	ADCAnDBiCR[15:00]	A/D 変換の結果を示します。 分解能は 10 ビット分解能固定です。揃え位置は ADCAnCTL1.ADCAnCRAC によって決まります。 <table border="1" data-bbox="497 501 1383 719"> <thead> <tr> <th>ADCAnCTL1. ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値の ビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1. ADCAnCRAC	分解能と揃え位置	A/D 変換結果値の ビット位置	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]
ADCAnCTL1. ADCAnCRAC	分解能と揃え位置	A/D 変換結果値の ビット位置									
0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]									
1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]									

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ, ADCAnCmCR レジスタ, ADCAnDBiCR レジスタには格納されません (21.4.5(4)「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

(4) ADCAnDGCR - 診断変換結果レジスタ

基準電圧 ADDIAGOUT 信号の A/D 変換結果を格納します
(ADCAnCG0.ADCAnDIAG に 1 を設定の場合)。

診断 A/D 変換は、CG0 の最後のチャネルの A/D 変換が終了したあとに開始
されます。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base> + 9C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDGCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-31 ADCAnDGCR レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAn DGCR[15:00]	診断 A/D 変換の結果を示します。 揃え位置は、通常の A/D 変換結果レジスタと同様、ADCAnCTL1.ADCAnCRAC によって決まります。

21.4.6 A/D 変換結果上下限比較レジスタ

(1) ADCAnCTL2 - A/D コンバータ結果確認レジスタ

変換結果上下限比較機能の有効/無効をチャンネルごとに設定できます。

詳細は 21.3.12 「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base> + 18_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCK[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCK[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-32 ADCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
23-00	ADCAnRCK[23:00]	CHm の結果上下限比較の有効/無効を設定します。 0: CHm の A/D 変換結果を上下限比較しない 1: CHm の A/D 変換結果を上下限比較する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 この設定は各 CG の A/D 変換に対して有効です。

(2) ADCAnUL - A/D コンバータ結果上下限比較 (上限値)

A/D 変換結果の上限値を指定します。

詳細は 21.3.12 「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base> + 1C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnUL[09:00]										0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-33 ADCAnUL レジスタの内容

ビット位置	ビット名	機能
15-6	ADCAnUL[09:00]	A/D 変換結果の上限値を指定します。

(3) ADCAnLL - A/D コンバータ結果上下限比較 (下限値)

A/D 変換結果の下限値を指定します。

詳細は 21.3.12 「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base> + 20_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLL[09:00]										0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-34 ADCAnLL レジスタの内容

ビット位置	ビット名	機能
15-6	ADCAnLL[09:00]	A/D 変換結果の下限値を指定します。

(4) ADCAnSTR0 - A/D コンバータ結果上下限比較エラー・フラグ

ADCAnCTL2 レジスタに設定されたチャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。ADCAnSTR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。

詳細は 21.3.12 「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base> + 24_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-35 ADCAnSTR0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCE[23:00]	A/D 変換結果が設定範囲内にあるかどうかを示します。 0: 変換結果は設定範囲内 1: 1 つ以上の変換結果が設定範囲外 このエラー・フラグは、ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnSTR0.ADCAnRCEm の値は、次の A/D 変換結果エラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER0)

(5) ADCAnSTC0 - ADCAnSTR0 フラグ・クリア・レジスタ

ADCAnSTR0 のクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。
読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base> + 30_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCEC[23:16]							
R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 21-36 ADCAnSTC0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCEC[23:00]	0: 機能なし 1: 対応する ADCAnSTR0.ADCAnRCEm をクリア 備考 本製品に実装されていないチャンネルに対応するビットは0に設定してください。

21.4.7 診断機能制御レジスタ

(1) ADCAnDGCTL0 - 自己診断機能制御レジスタ 0

A/D 変換回路の動作を診断するために適用する基準電圧を指定します。

このレジスタは、ADCAnCTL0.ADCAnCE に 1 を設定のときでも書き込み可能です。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCAn_base> + DC_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	ADCAn PSEL	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 21-37 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能						
2	ADCAn PSEL	基準電圧を指定します。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ADCAn PSEL</th><th>ADDIAGOUT 信号</th></tr> </thead> <tbody> <tr> <td>0</td><td>AV_{SS}</td></tr> <tr> <td>1</td><td>AV_{DD}</td></tr> </tbody> </table>	ADCAn PSEL	ADDIAGOUT 信号	0	AV _{SS}	1	AV _{DD}
ADCAn PSEL	ADDIAGOUT 信号							
0	AV _{SS}							
1	AV _{DD}							

詳細は 21.3.13(1) 「A/D 変換回路の診断」を参照してください。

(2) ADCAnDBiCRL - CGi バッファ結果レジスタの変換結果部ミラー・レジスタ

このレジスタは ADCAnDBiCR[15:0] のバッファ用で、ADCAnDBiCR[15:0] と同内容となります (最新の変換結果)。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base> + D0_H + i × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCRL[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-38 ADCAnDBiCRL レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAnDBi CRL[15:0]	ADCAnDBiCR[15:0] 変換結果のチェックに用います。

21.4.8 ADCAn エミュレーション・レジスタ

(1) ADCAnEMU - ADCAn エミュレーション・レジスタ

このレジスタは、オンチップ・デバッガによりマイクロ・コントローラの動作を停止させる場合（ブレーク等）、ADCAnのカウント・クロックを継続するか、停止するかを選択することができます。

アクセス 8ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、デバッグ時カウント継続（EPC.SVSTOP = 0）のときに書き換えてください。

アドレス <ADCAn_base> + 128_H

初期値 00_H

	7	6	5	4	3	2	1	0
ADCAn SVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21-39 ADCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	ADCAn SVSDIS	デバッグ時のカウント・クロックの継続/停止を選択します。 (EPC.SVSTOP = 0 のとき) : 本ビットの設定にかかわらず、カウント・クロックを継続します。 (EPC.SVSTOP = 1 のとき) : 0 : カウント・クロックを停止 1 : カウント・クロックを継続

21.5 使用上の注意事項

21.5.1 チャネル入力電圧の範囲

注意 ADCAnIm 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が AV_{DD} を上回るか AV_{SS} を下回ると、そのチャネルの変換値が飽和し、ほかのチャネルの電気的特性にも影響を与えることがあります。

21.5.2 変換動作の停止

変換動作中に $ADCA_{nCTL0}.ADCA_{nCE}$ に "0" を書き込むと変換動作を停止し、 $ADCA_{nCmCR}$ レジスタへの変換結果を格納しません。

21.5.3 アプリケーション設計上の注意事項

(1) アナログ入力端子 (ADCAnIm)

- (a) ADCAnIm 端子の入力電圧は規格の範囲内でご使用ください。 AV_{REFPn} 以上または AV_{REFMn} 以下の電圧が入力されることを避けるため、 V_F が 0.3 V 以下のダイオードでクランプすることを推奨します。特に AV_{REFPn} 以上、 AV_{REFMn} 以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- (b) アナログ入力端子 (ADCAnIm) は、外部のアナログ信号入力源との間に抵抗 R_e を接続、 AV_{SSn} 端子間にコンデンサ C_e を接続しノイズを除去してください。
- (c) アナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- (d) ADCAnIm 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。

(2) 電源の配線

デジタル回路のスイッチング・ノイズなどが、A/D コンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- (a) 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。
- (b) 電源端子 (EV_{DD} , $OSCV_{DD}$, FV_{DD} , AV_{DDn}) とグランド端子 (EV_{SS} , $OSCV_{SS}$, AV_{SSn}) 間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1 μ F (参考値) 程度の積層セラミック・コンデンサ、および 4.7 μ F (参考値) 以上のタンタル電解コンデンサを推奨します。
- (c) アナログ電源 (AV_{DDn}) は、デジタル電源 (EV_{DD} , $OSCV_{DD}$, FV_{DD} ,) から分離し、シリーズ・レギュレータより供給することを推奨します。

デジタル電源と共通にする場合、電源供給元でアナログ電源、デジタル電源と電解コンデンサを1点ショートし、ボード上のパターンを別々に配線してください。

さらに、アナログ電源入口にチップ・インダクタの挿入を推奨します。また、アナログ・グランドも、電源グランド元でアナログ・グランド、デジタル・グランドと電解コンデンサを1点アースし、ボード上のパターンを別々に配線してください。

(3) アナログ基準電圧入力端子 (AVREFPn, AVREFMn)

AVREFPn 端子と AVREFMn 端子間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1 μF (参考値) の積層セラミック・コンデンサと 4.7 μF (参考値) 以上のタンタル電解コンデンサを推奨します。

(4) A/D 変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子 (ADCAnIm) および基準電圧入力端子 (AVREFPn, AVREFMn) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(5) 兼用入出力について

アナログ入力 (ANI0-ANI23) 端子はポート端子と兼用になっています。ANI0-ANI23 端子のいずれかを選択して A/D 変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

また、A/D 変換中に出力ポートに設定している端子でポートに接続される外部回路の影響で出力電流が変動する場合も、変換分解能が低下することがあります。A/D 変換中の端子に隣接する端子へデジタル・パルスを印加したりデジタル・パルスを出力したりすると、カップリング・ノイズによって A/D 変換値が期待どおりに得られないこともあります。したがって、A/D 変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(6) A/D 変換のヒステリシス特性について

逐次比較型 A/D コンバータは、内部の共通 S/H 用コンデンサにアナログ入力電圧を保持し、そのあと、A/D 変換を行います。A/D 変換が終了したあとも、内部の共通 S/H 用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- (a) 同一チャンネルで A/D 変換を実行する場合、直前の A/D 変換時よりも高い電圧、または低い電圧に変化していると、変換結果が直前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。参考に、アナログ入力端子の外部回路における信号源インピー

ダンスや抵抗 R_e の値が大きい場合、またはコンデンサ C_e の値が小さい場合に、ヒステリシス特性は大きくなる傾向があります。

- (b) アナログ入力チャンネルを切り換える場合、1つの A/D コンバータを用いて A/D 変換を行っているため、変換結果が直前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続 A/D 変換を行い、1回目の変換結果を廃棄してください。

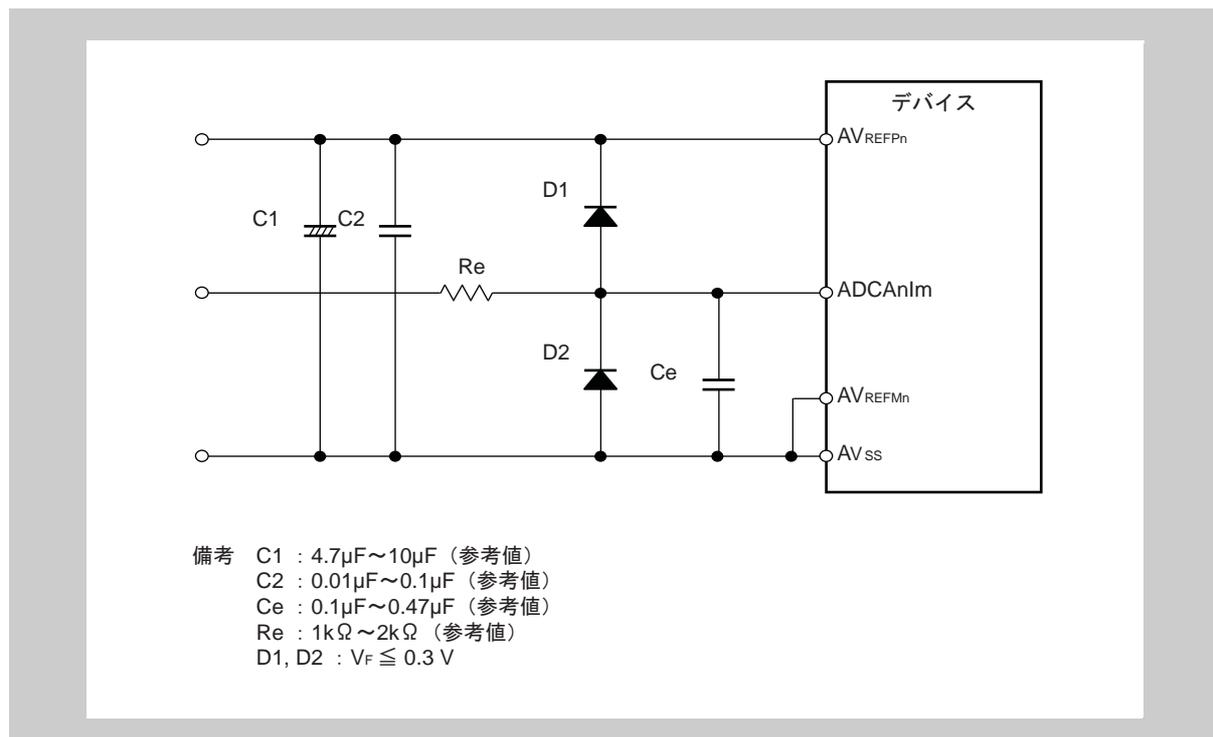


図 21-19 アナログ入力回路のノイズ対策例

コンデンサ C1 は低周波のノイズに、コンデンサ C2, Ce は高周波のノイズに効果があります。

なお、A/D 変換動作を停止した状態から動作開始した直後は AV_{DDn} 端子や AV_{REFPn} 端子にかかる電圧が不安定になり、A/D 変換精度の悪化が生じる場合があります。このような場合には AV_{DDn} 端子と AV_{REFPn} 端子にコンデンサ C1 と C2 を接続してください。

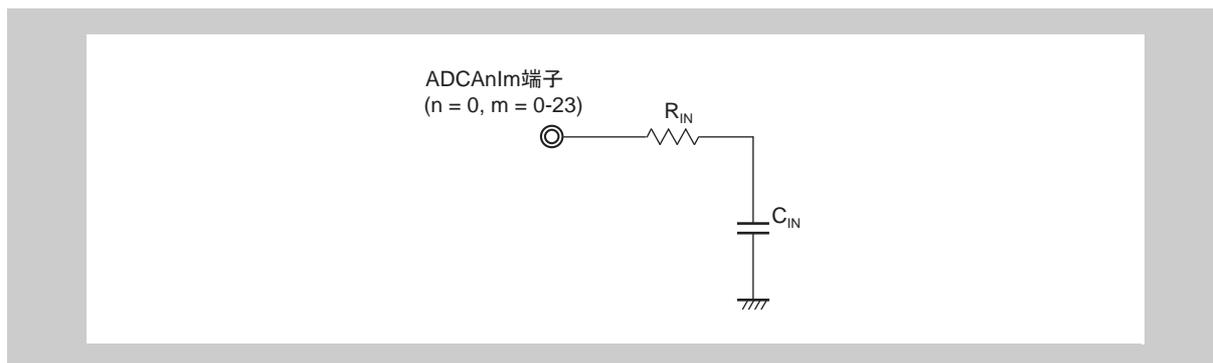


図 21-20 ADCAnIm 端子内部等価回路

備考 回路定数の参考値は以下のとおりです。

端子	R_{IN} [k Ω]	C_{IN} [pF]
ADCA0I0-ADCA0I23	1.2	11.9

21.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまりデジタル出力1あたりのアナログ入力電圧の比率を、1 LSB (Least Significant Bit) といいます。1 LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。%FSR とは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので、分解能に関係なく次の式で表されます。

$$\begin{aligned} 1 \%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ} \\ &\quad \text{入力電圧の最小値}) / 100 \\ &= (AV_{REFP} - AV_{REFM}) / 100 \end{aligned}$$

1 LSB は分解能 10 ビットのとき、次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} \\ &= 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差, フルスケール誤差, 直線性誤差, およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお, 特性表の総合誤差には量子化誤差は含まれていません。

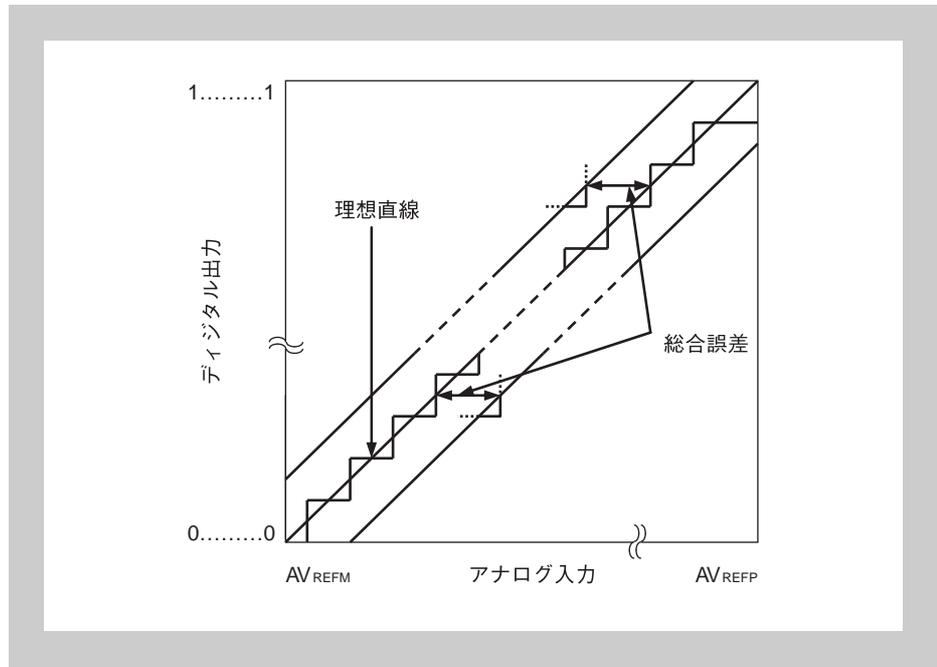


図 21-21 総合誤差

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSB の誤差です。A/Dコンバータでは、 $\pm 1/2$ LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

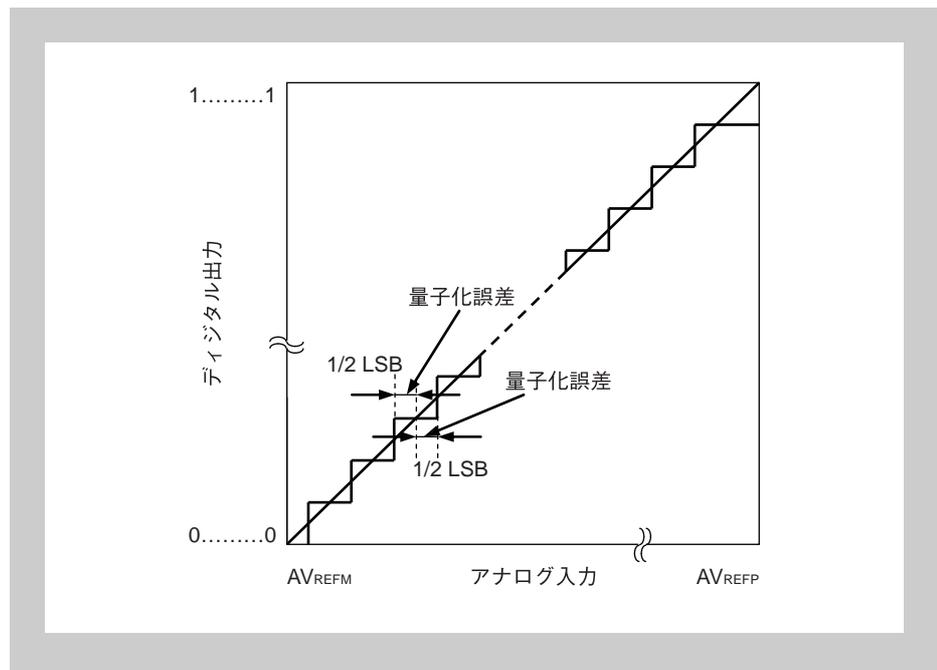


図 21-22 量子化誤差

(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。

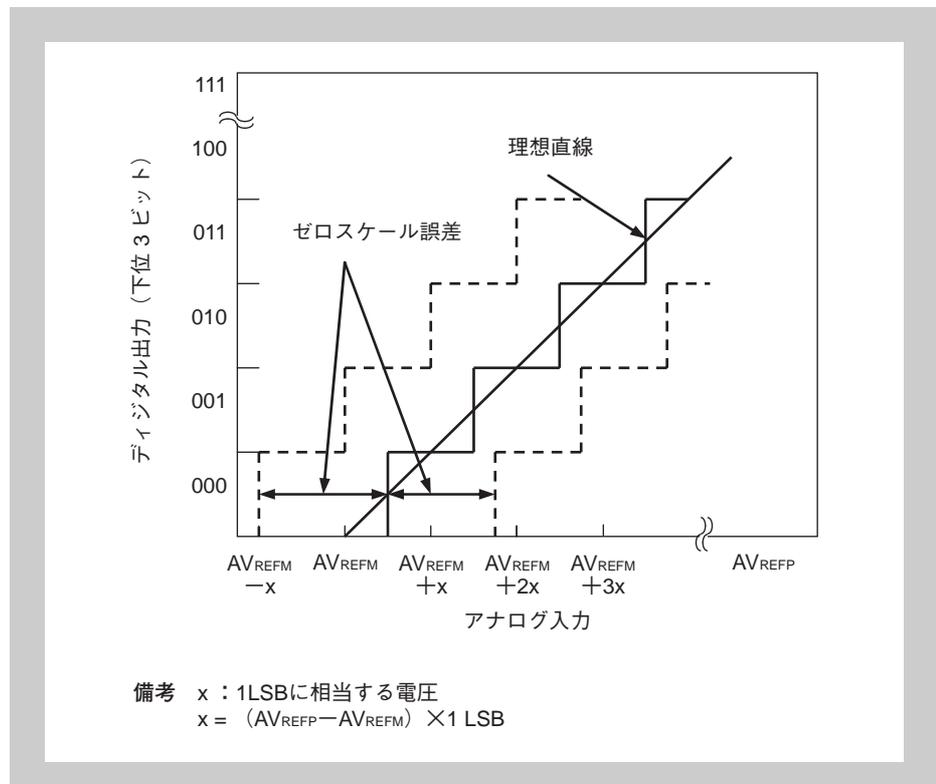


図 21-23 ゼロスケール誤差

(5) フルスケール誤差

デジタル出力が 1.....110 から 1.....111 に変化するときの、アナログ入力電圧の実測値と理論値

(フルスケール $- 3/2$ LSB) との差を表します。

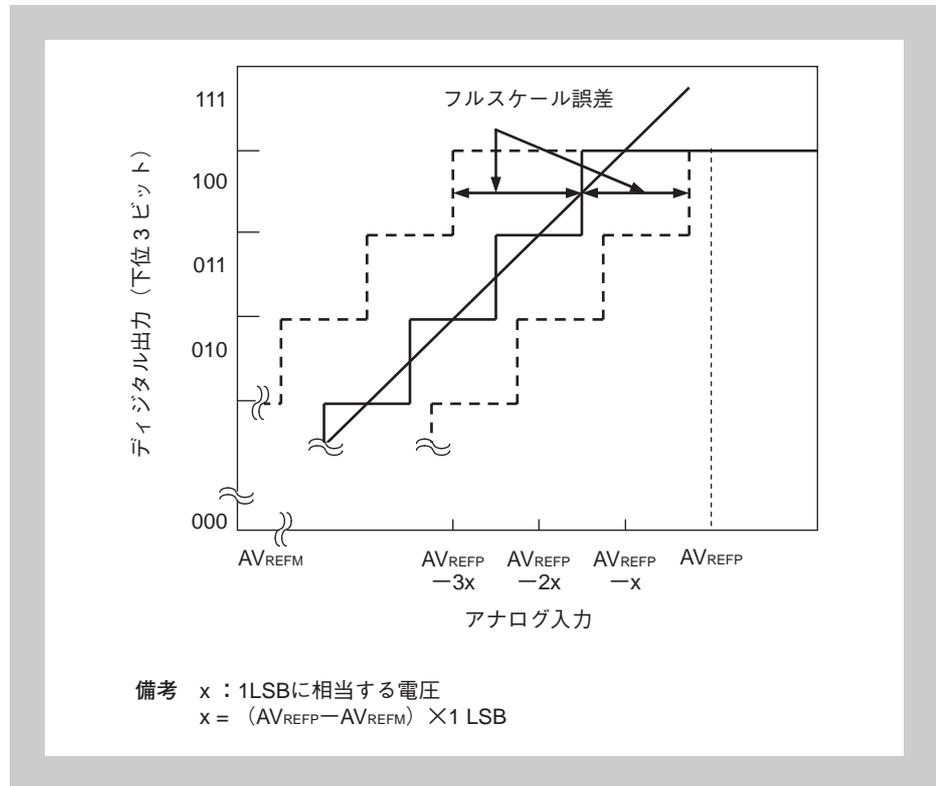


図 21-24 フルスケール誤差

(6) 微分直線性誤差

理想的には、あるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

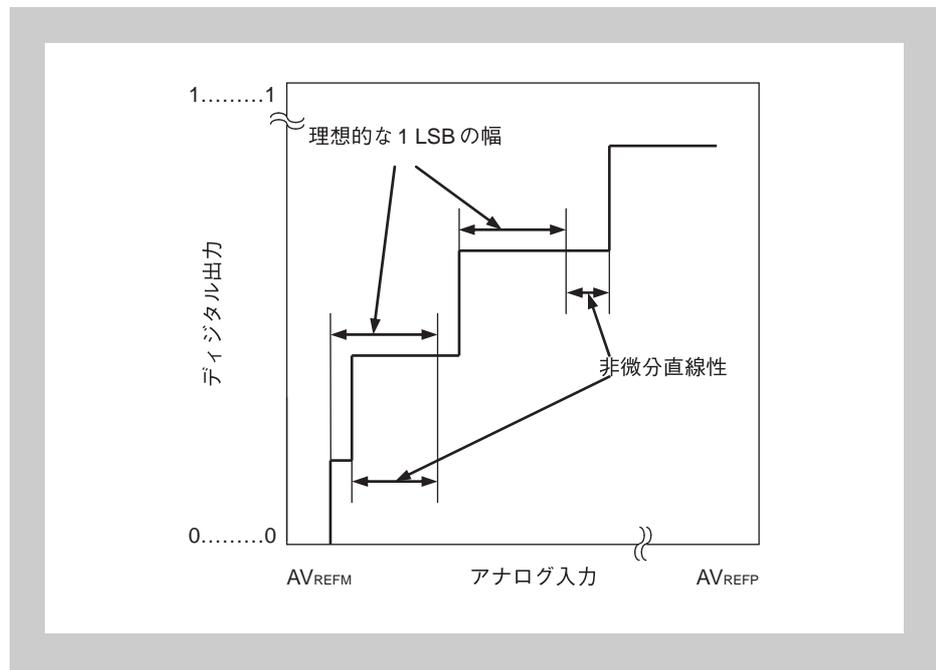


図 21-25 微分直線性誤差

(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

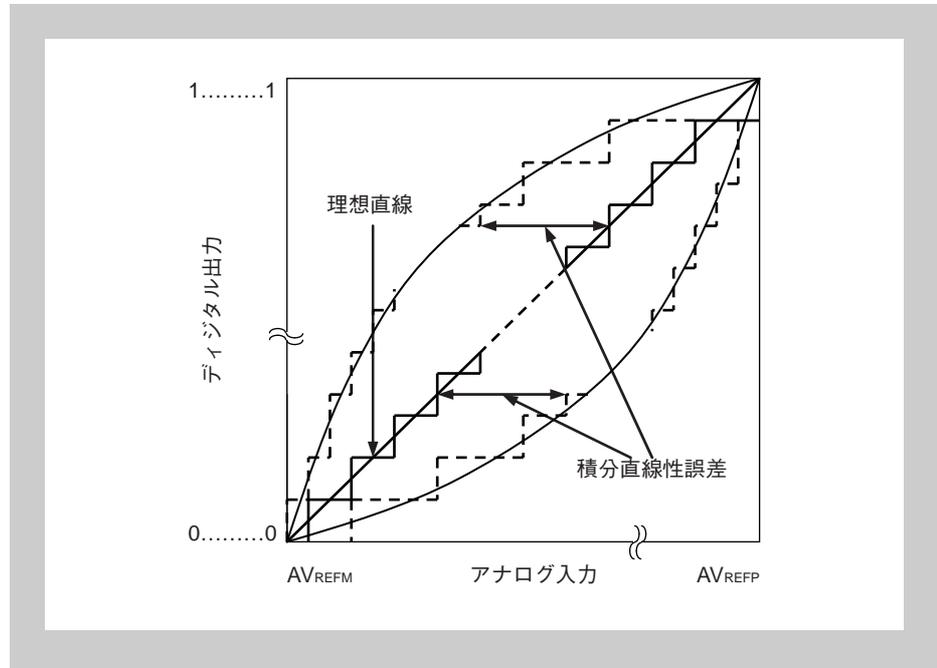


図 21-26 積分直線性誤差

(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧を共通 S/H 回路に取り込むため、アナログ・スイッチがオンしている時間です。

(10) A/D 起動時間

A/D 変換トリガから、A/D 変換開始までの時間です。

第 22 章 オンチップ・デバッグ・ユニット (OCD)

このマイクロコントローラには、オンチップ・デバッグ機能があります。オンチップ・デバッグ・エミュレータの使用により、ターゲット・システムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、IEEE-ISTO 5001TM-2003 クラス 1, Nexus デバッグ・インタフェース標準に準拠しています。

注意 この章で説明するデバッグ機能を使用するかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズ・マニュアルを参照してください。

22.1 V850E2/Fx4-L オンチップ・デバッグ機能

22.1.1 エミュレーション・ブレークのマジュールの動作

エミュレーション・ブレーク時にデバッガがマイクロコントローラの動作を停止した場合のマジュールの動作は次のようになります。

- 必ず停止する（無条件のエミュレーション・ブレーク）
- オプションで停止できる（エミュレーション・ブレーク機能）
- 動作を継続する

エミュレーション・ブレーク エミュレーション・ブレークは、デバッグ・セッション中に以下を参照します。

- ブレークポイントのヒット
- 手動ブレーク

(1) 無条件のエミュレーション・ブレークのマジュール

エミュレーション・ブレーク時に必ず停止するすべてのマジュールを次に示します。

表 22-1 無条件のエミュレーション・ブレークのマジュール

マジュール
ウインドウ・ウォッチドッグ・タイマ A (WDTAn)

(2) エミュレーション・ブレーク時に動作を継続するマジュール

エミュレーション・ブレーク時に動作を継続するすべてのマジュールを次に示します。

表 22-2 エミュレーション・ブレーク時に動作を継続するマジュール

マジュール
CAN コントローラ (FCNn)
キー・リターン機能 (KR)

22.1.2 信号マスク

以下の V850E2/Fx4-L 外部信号はマスクできるため、影響はありません。マイクロコントローラはオンチップ・デバッグ・ユニットで制御されます。

- $\overline{\text{RESET}}$
- NMI

22.2 機能概要

オンチップ・デバッグ機能の概要を次に示します。

(1) デバッグ・インタフェース

このインタフェースは、信号 DCUTRST, DCUTCK, DCUTMS, DCUTDI, DCUTDO, DCURDY を使用してオンチップ・デバッグ・エミュレータ経由でホストと通信するために使用します。

(2) デバッグ・モニタ機能

メモリ空間内のモニタ・プログラムを実行し、ユーザ作成プログラムが実行休止中にデバッグすることにより、次の基本的なデバッグ機能を使用できます。

- ユーザ作成プログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザ作成プログラムの実行

(3) ハードウェア・ブレーク機能

データに関する最大4つのブレークポイントを指定できます。データに関するブレークポイントが指定された場合は、指定されたアドレスのデータにアクセスしたときに実行を中断できます。

さらに、最大2レベルのシーケンスを使用してブレークの条件を組み合わせることができます。

(4) ソフトウェア・ブレーク機能

RAMに格納されたユーザ作成プログラムの実行は、指定されたアドレスで中断できます。

(5) 強制ブレーク機能

ユーザ作成プログラムの実行を強制的に中断できます。

(6) 強制リセット機能

マイクロコントローラを強制的にリセットできます。

(7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリード・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(8) ダイナミック・メモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライト・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) タイマ機能

32ビット・カウンタを使用し、DCUTCK 信号周波数を2で割ることによって取得したクロックに基づいて、ユーザ作成プログラムの実行時間を測定できます。

(10) マスク機能

いくつかの専用の外部信号はマスクできるため、影響はありません。マイクロコントローラはオンチップ・デバッグ・ユニットで制御されます。

この章の最初の節内「信号マスク」に、これらの信号の一覧を示します。

(11) ブレーク時の周辺モジュールの実行/停止の選択

ブレークポイントに達したときに、マイクロコントローラのモジュールは次のように動作します。

- ブレーク時に必ず動作を停止
- ブレーク時のモジュールの動作はユーザのオプション、モジュールのエミュレーション・レジスタを使用して指定可能
- ブレーク時に必ず動作を継続

このマイクロコントローラのモジュールの動作は、この章の最初の節内「ブレーク時に停止」で説明しています。

(12) ホット・アタッチ機能

オンチップ・デバッグ・エミュレータを接続すると、動作中の CPU をリセットせずにデバッグを開始することができます。

(13) セキュリティ機能

フラッシュ・メモリの内容が権限のないユーザにリードされないように、96ビットの ID コードをマイクロコントローラにライトすることができます。デバッグ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュ・メモリにアクセスできません。最後のビット（ビット 95）が 0 に設定された場合は、ID コードに一致してもフラッシュ・メモリにアクセスできません。

ID コードの設定方法の詳細は、ご使用のソフトウェア・ツールのマニュアルと、このマニュアルの第 9 章「コード保護とセキュリティ」の 9.3「オンチップ・デバッグ・インタフェースの保護」を参照してください。

22.3 エミュレーション・ブレークの制御

エミュレーション・ブレーク機能は、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）、マイクロコントローラのモジュールへの停止要求を生成します。

以下の場合、エミュレーション・ブレーク時にこれらのモジュールが動作を停止します。

- モジュールがエミュレーション・ブレーク機能をサポートする場合（このようなモジュールの一覧は、この章の最初の節にある「エミュレーション・ブレーク時のモジュールの動作」を参照）
- モジュールでエミュレーション・ブレークが有効な場合（モジュールのエミュレーション・レジスタの設定による）
- EPC.SVSTOP = 1 の設定によって一般的にエミュレーション・ブレークが有効な場合（以下の EPC レジスタの説明を参照）

(1) EPC- エミュレーション・ブレーク制御レジスタ

デバッグ時の各マクロ（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止（SVSTOP）や、デバッガからのレジスタ操作による特定シーケンスアクセスの妨害を抑制する（SVACCESS）機能を持ちます。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF43 E000_H

初期値 00_H

	7	6	5	4	3	2	1	0
SVACC ESS	SVSTOP	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 22-3 EPC レジスタの内容

ビット位置	ビット名	機能
7	SVACCESS	デバッガからのレジスタ操作による特定シーケンスアクセスの妨害を抑制する 0: ユーザ・プログラム・アクセス中 1: デバッガ・アクセス中
6	SVSTOP	デバッグ時の各マクロ（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止 0: カウント動作停止しない 1: デバッグ・モードに入るとカウント動作を停止する。

22.4 オンチップ・デバッグ・エミュレータとの接続

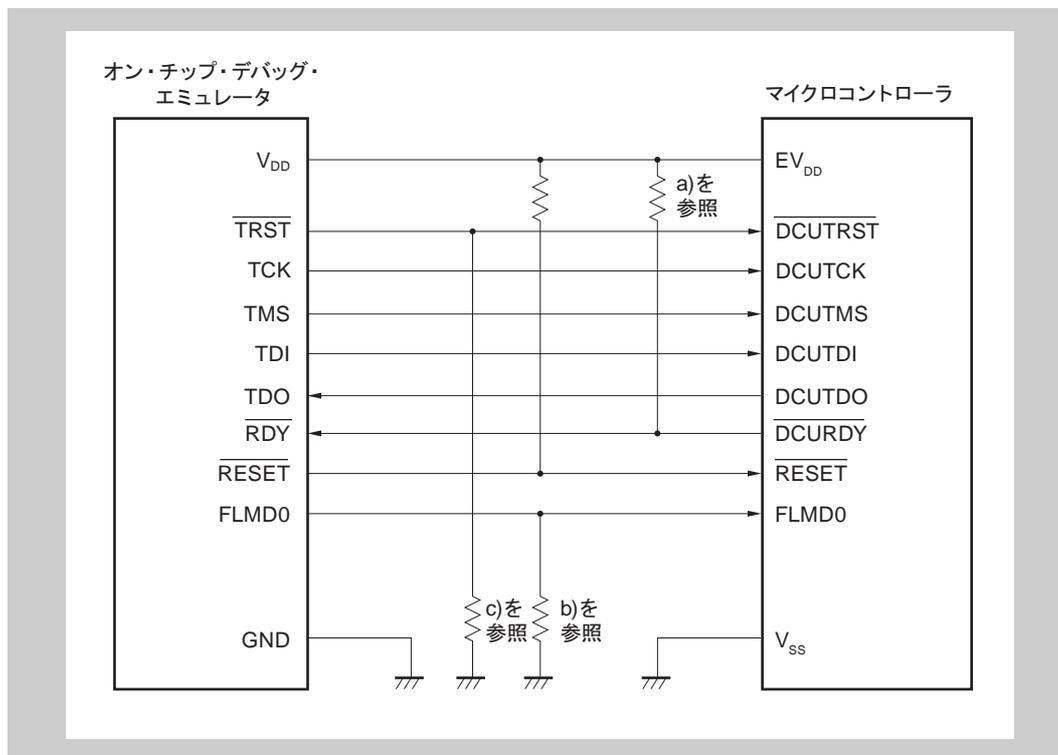


図 22-1 オンチップ・デバッグ・エミュレータとの接続

- a) $\overline{\text{DCURDY}}$ プルアップ抵抗
RESET 時にマイクロコントローラの $\overline{\text{DCURDY}}$ 出力がハイ・インピーダンス状態にあるため、オンチップ・デバッグの RDY 入力時にこのレジスタはハイ・レベルに維持されます。
- b) FLMD0 プルダウン抵抗
82k Ω 以上のプルダウン抵抗を介して V_{SS} に接続してください。
- c) $\overline{\text{DCUTRST}}$ プルダウン抵抗
このレジスタ（抵抗）は、オンチップ・デバッグ・エミュレータが接続されている際は必須ではありません。

表 22-4 オンチップ・デバッグ・エミュレータの接続に使用する端子

端子名	説明
VDD	ターゲット・システムの電源またはオンチップ・デバッグ・エミュレータ内のバッファの電源を検出するための信号
DCUTRST	マイクロコントローラのデバッグ機能を非同期でリセットする信号
DCUTCK	デバッグに使用するクロック信号
DCUTMS	データ通信の転送モードを選択するための信号
DCUTDI	マイクロコントローラに入力するデータ信号
DCUTDO	マイクロコントローラから出力するデータ信号
DCURDY	データ通信の同期信号
RESET	マイクロコントローラのリセット信号。この端子を接続し、システムの電源が投入されてからデバッグが起動するまで、マイクロコントローラをリセットの状態に維持します。
FLMD0	マイクロコントローラのフラッシュ・メモリを書き換えるためのモード信号

22.5 オンチップ・デバッグ使用上の注意

(1) デバッグに使用したデバイスの処理

製品量産時は、デバッグに使用したデバイスを使用しないでください。デバッグ中にフラッシュ・メモリを書き換えるため、フラッシュ・メモリの書き換え回数を保証できません。

第23章 電源

23.1 電源スキーム

以降の節では、電源スキームすなわち電源端子とそのモジュールについて説明します。

電源端子の電圧範囲とそれに関連するすべての条件については、「電気的特性(ターゲット)」を参照してください。このドキュメントでは、ポート端子の電気的特性の詳細も説明します。

23.1.1 V850E2/FE4-L の電源スキーム

以下の表と図に V850E2/FE4-L デバイスの電源スキームを示します。

表 23-1 V850E2/FE4-L の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V _{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V _{REG1} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0
E1VDD/E1VSS	-	P1, P4
OSCVDD/OSCVSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10
I0VDD	Flash memory	-

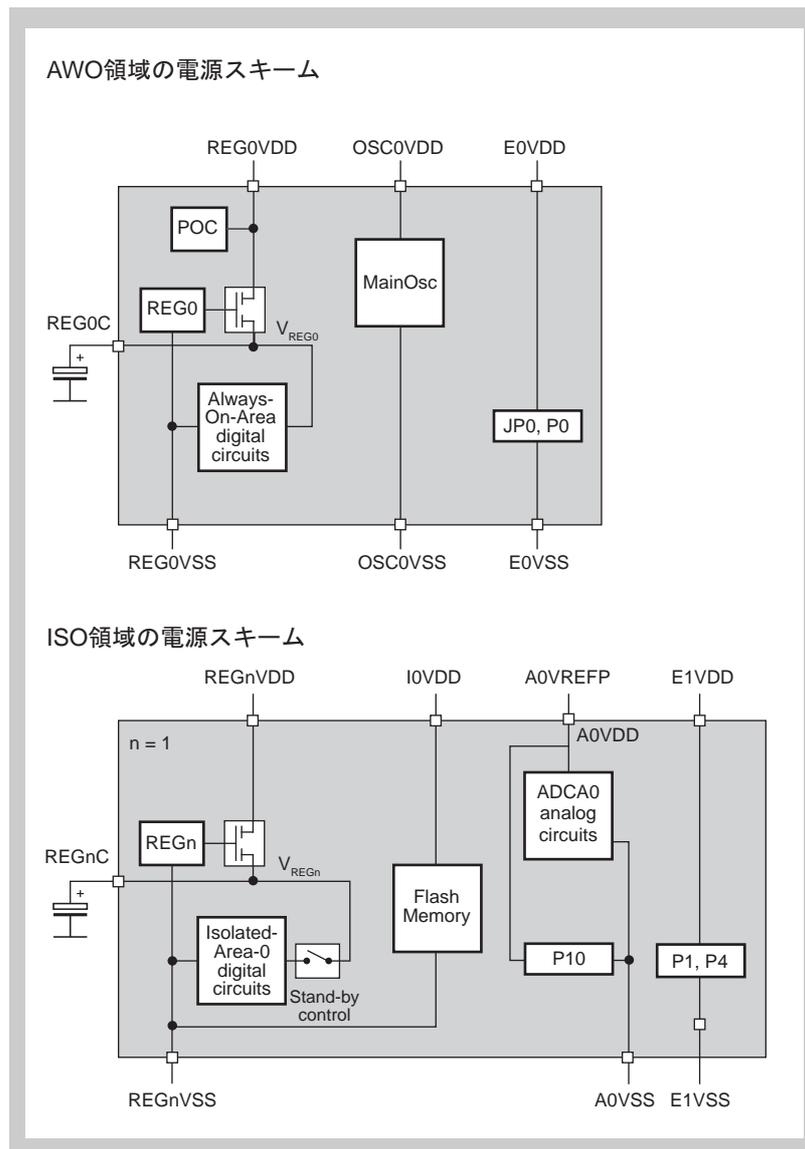


図 23-1 V850E2/FE4-L の電源スキーム

23.1.2 V850E2/FF4-L の電源スキーム

以下の表と図に V850E2/FF4-L デバイスの電源スキームを示します。

表 23-2 V850E2/FF4-L の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V_{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V_{REG1} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0
E1VDD/E1VSS	-	P1, P3, P4
OSCVDD/OSCVSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10
I0VDD	Flash memory	-

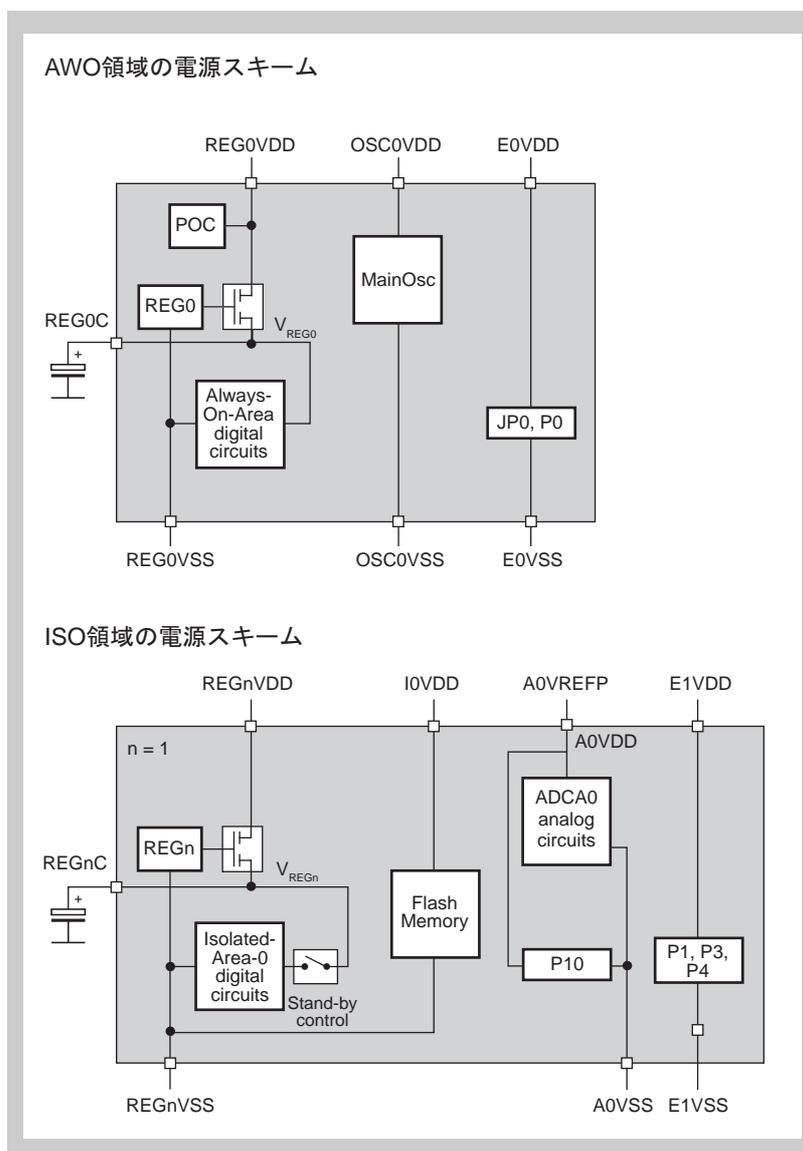


図 23-2 V850E2/FF4-L の電源スキーム

23.1.3 V850E2/FG4-L の電源スキーム

以下の表と図に V850E2/FG4-L デバイスの電源スキームを示します。

表 23-3 V850E2/FG4-L の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V_{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V_{REG1} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0
E1VDD/E1VSS	-	P1, P3, P4
OSC0VDD/OSC0VSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10, P11
I0VDD	Flash memory	-

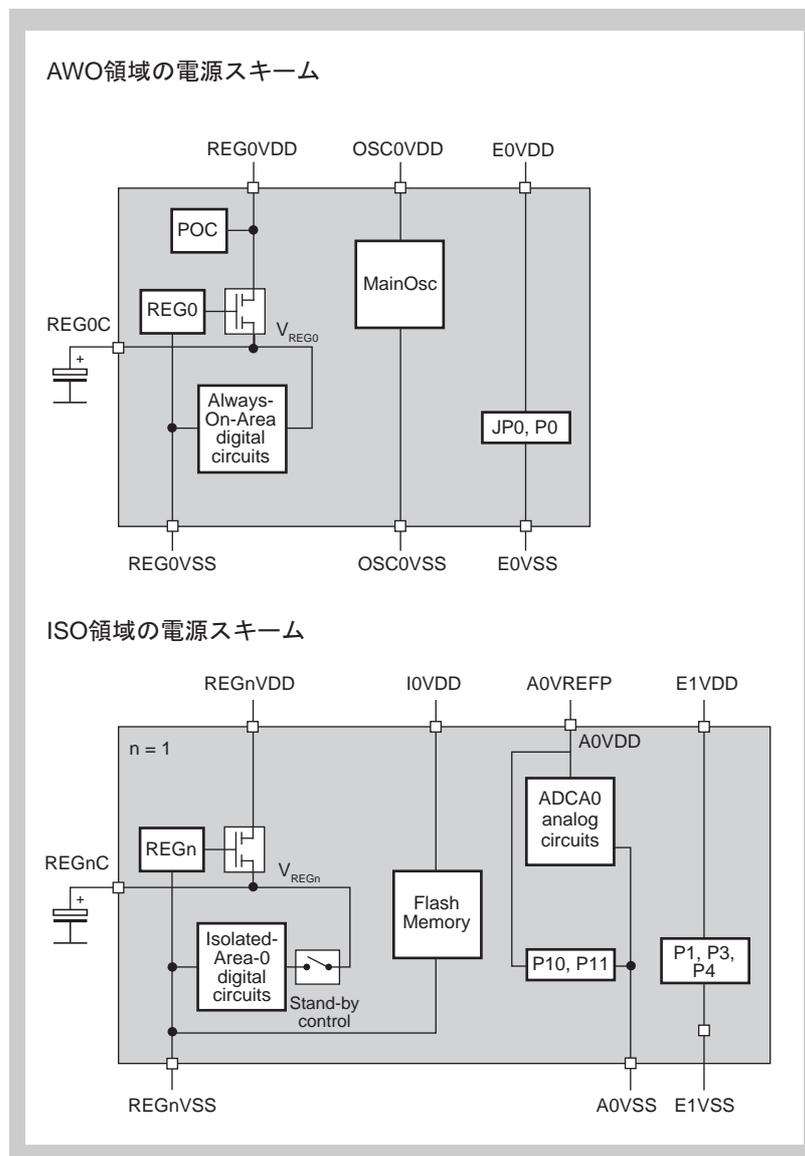


図 23-3 V850E2/FG4-L の電源スキーム

23.1.4 V850E2/FJ4-L の電源スキーム

以下の表と図に V850E2/FJ4-L デバイスの電源スキームを示します。

表 23-4 V850E2/FJ4-L の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V _{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V _{REG1} supplies digital circuits of Isolated-Area-0 modules	-
REG2VDD/REG2VSS/ REG2C	Internal voltage regulator REG2 V _{REG2} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0, P5
E1VDD/E1VSS	-	P1 to P4, P21, P25, P27
OSCVDD/OSCVSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10, P11
I0VDD	Flash memory	-

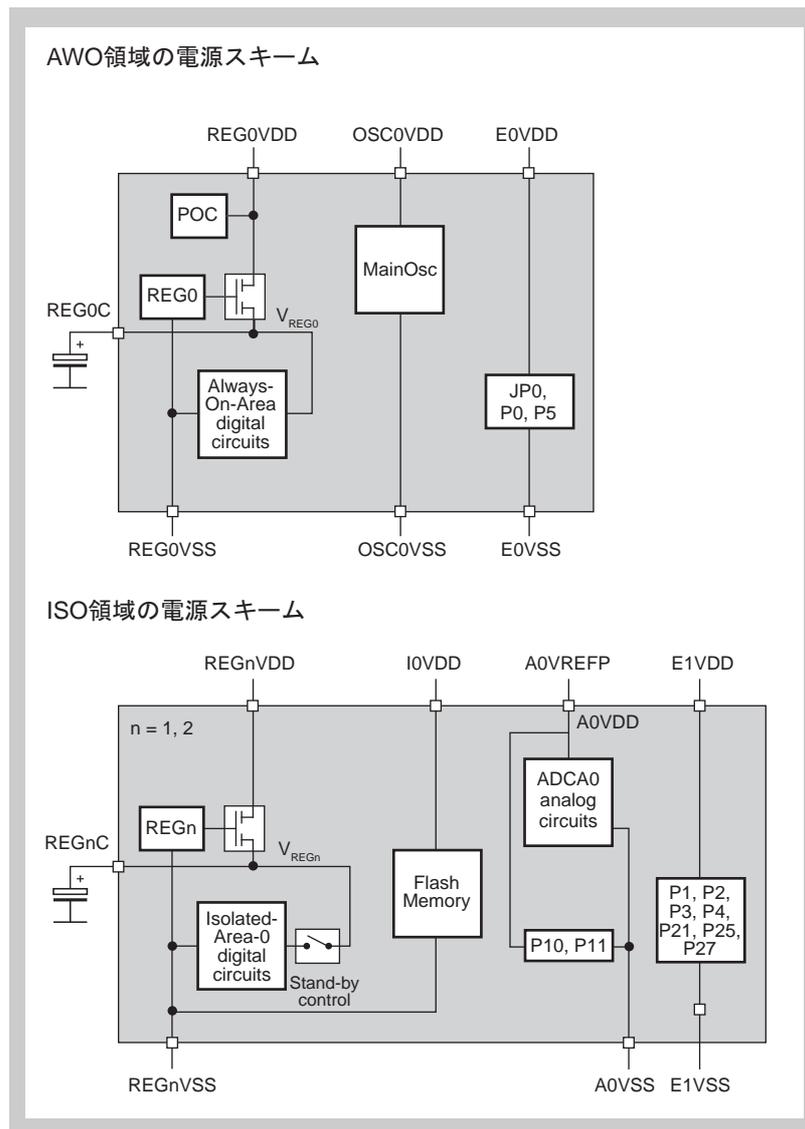


図 23-4 V850E2/FJ4-L の電源スキーム

23.1.5 V850E2/FF4-G の電源スキーム

以下の表と図に V850E2/FF4-G デバイスの電源スキームを示します。

表 23-5 V850E2/FF4-G の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V_{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V_{REG1} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0
E1VDD/E1VSS	-	P1, P3, P4
OSC0VDD/OSC0VSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10
I0VDD	Flash memory	-

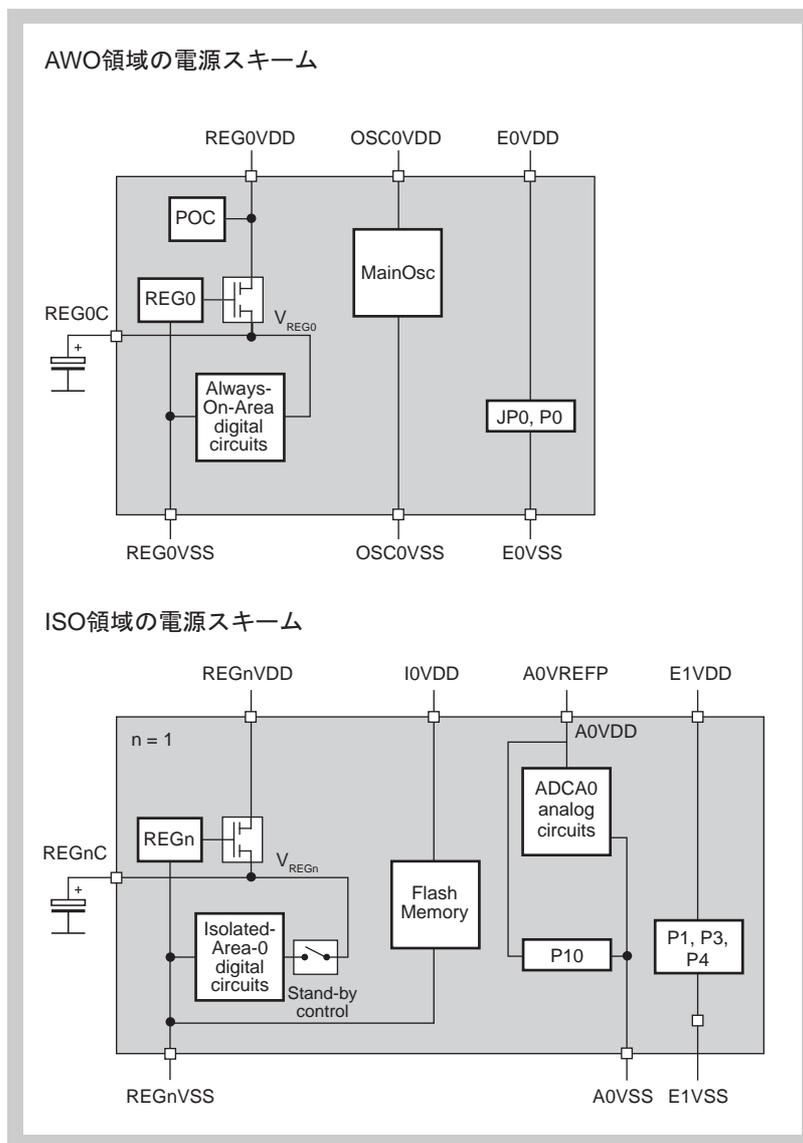


図 23-5 V850E2/FF4-G の電源スキーム

23.1.6 V850E2/FG4-G の電源スキーム

以下の表と図に V850E2/FG4-G デバイスの電源スキームを示します。

表 23-6 V850E2/FG4-G の電源端子

Pin	Modules	Ports buffers
REG0VDD/REG0VSS/ REG0C	Internal voltage regulator REG0 V_{REG0} supplies digital circuits of Always-On-Area modules	-
REG1VDD/REG1VSS/ REG1C	Internal voltage regulator REG1 V_{REG1} supplies digital circuits of Isolated-Area-0 modules	-
E0VDD/E0VSS	-	JP0, P0
E1VDD/E1VSS	-	P1, P3, P4, P27
OSCVDD/OSCVSS	MainOsc	-
A0VREFP/A0VSS	Analog circuits of A/D Converter ADCA0	P10
I0VDD	Flash memory	-

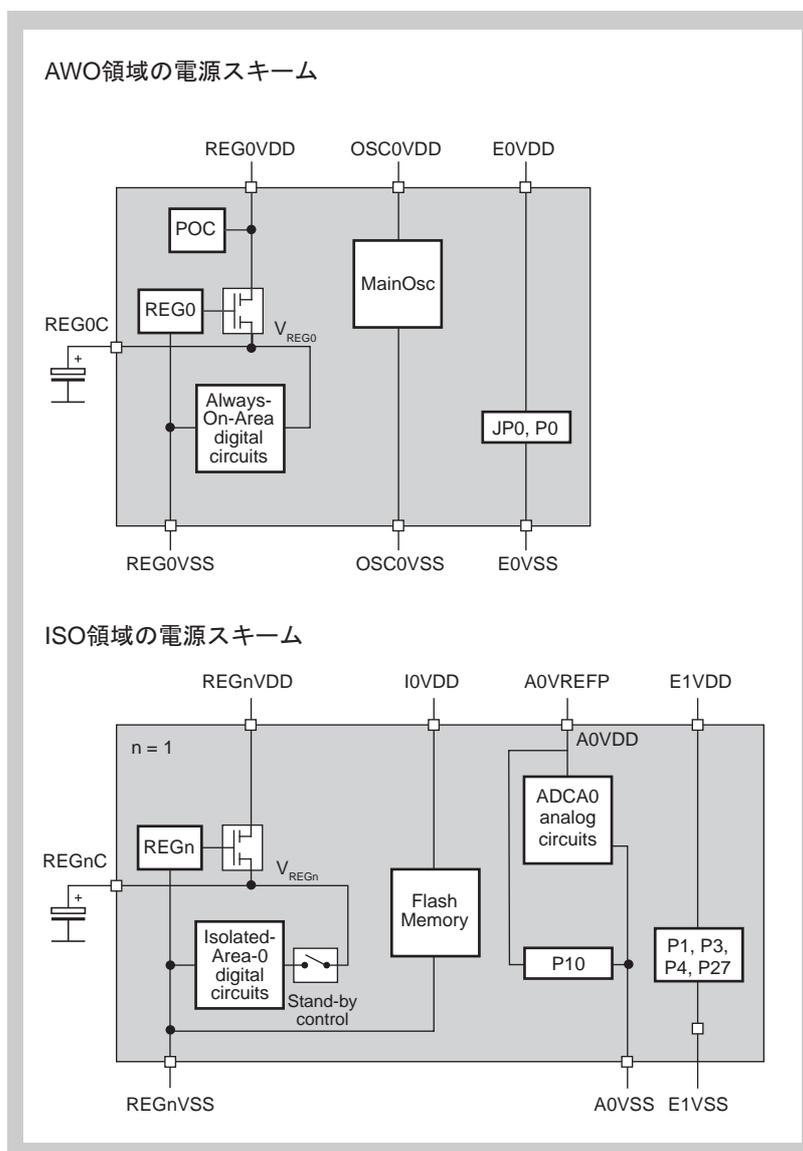


図 23-6 V850E2/FG4-G の電源スキーム

改訂記録

V850E2/Fx4-L ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.11.30	—	初版発行
1.10	2013.08.05	第1章 概説	
		18	表 1-1 V850E2/FE4-L 製品一覧 Voltage supply 変更
		20	表 1-2 V850E2/FF4-L 製品一覧 Voltage supply 変更
		22	表 1-3 V850E2/FG4-L 製品一覧 Voltage supply 変更
		24	表 1-4 V850E2/FJ4-L 製品一覧 Voltage supply 変更、脚注 1) 追加
		26	表 1-5 V850E2/FF4-G 製品一覧 Voltage supply 変更
		28	表 1-6 V850E2/FG4-G 製品一覧 Voltage supply 変更
		第2章 端子機能	
		38	図 2-1 ポート制御論理図 修正
		57	(4) PISn 説明変更、備考 削除
		58	表 2-24 PISEn レジスタの内容 <JP0_4> タイトル修正
		—	表 2-29 PIPCn.PIPCnm = 1 のときの兼用モード 削除
		84	表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (1/4) DPIN5-DPIN13, DPO, APO 注(d) 追加
		85	表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (2/4) Port group 10 注(f) 追加
		86	表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (3/4) ALT_OUT2 追加、Port group 11 注(f) 追加、IICB0SDA, IICB0SCL 注(e) 追加、CSIG7SC 注(a) 追加
		87	表 2-38 V850E2/FJ4-L 汎用 I/O 機能 (4/4) IICB0SDA, IICB0SCL 注(e) 追加、脚注 d), e), f) 追加
		109	2.4.9 リセット期間中／解除後、スタンバイ・モード期間中／解除後 説明削除、2.4.10 未使用端子の推奨接続 表の「端子」修正
		113	表 2-51 デジタル・フィルタ D 付き入力信号 注意 追加
		115	2.6.1 アナログ・フィルタ アナログ・フィルタ特性 削除
		116	表 2-53 アナログ・フィルタ・イベント検出条件 修正
		120	2.6.2 デジタル・フィルタ スタンバイ・モードのデジタル・フィルタ 修正
		123	表 2-56 FCLAnCTLm レジスタの内容 ビット 1 修正
		127	2.7 注意事項 追加
		第3章 CPU システム機能	
		129	3.1 概要 プロセッサ保護機能 注意 削除
		133	表 3-2 V850E2/Fx4-L CPU サブシステム・データ／命令バス ローカル RAM 変更、表 3-4 ローカル RAM アクセス タイトル・項目 変更
		134	表 3-7 CPU サブシステム・バス・アービトレーション・ポリシー ローカル RAM 変更
		135	表 3-8 DCLKWAIT レジスタの内容 説明追加、修正
		136	3.4 動作モード 備考 修正
		139	3.5.2 (2) プログラム空間でのラップアラウンド 説明、図 3-4 修正
		141	図 3-5 V850E2/Fx4-L メモリ・マップ Note 2-4 変更
		142	図 3-6 V850E2/FF4-G, FG4-G メモリ・マップ Note 2-4 変更
		143	3.6.3 メモリ領域 変更、(1) コード・フラッシュ領域 タイトル変更
144	(2) データ・フラッシュ領域、表 3-11 データ・フラッシュ領域 タイトル変更		
145	(3) ローカル RAM 領域 タイトル変更、注意 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	146	(4) バックアップRAM領域 タイトル変更
		153	3.7.4 (1) ポート保護クラスタ レジスタ幅 説明変更
		156	表3-21 PROTCMDnレジスタの内容 説明変更
		157	表3-24 CLMAnPSレジスタの内容 不要文削除
		159	3.7.9 (1) FLMDPCMD アクセス 説明追加、初期値 修正
		160	表3-29 SEG_CONT, SEG_CONTLレジスタの内容 ビット7の説明変更
		161	表3-30 SEG_FLAG, SEG_FLAGLレジスタの内容 ビット7の説明変更、備考追加
		第4章 割り込み機能	
		162	表4-1 例外要因一覧 備考 追加
		167-173	表4-3～表4-5 「予約」に注(a)追加、脚注a) 追加
		174-176	表4-6 「予約」に注(b)追加、脚注b) 追加
		177-183	表4-7、表4-8 「予約」に注(c)追加、脚注c) 追加
		184	表4-9 WDTNMIFレジスタの内容 変更
		187	4.4 (1) EICn アクセス・注意 変更
		188	4.4 (2) IMRm 注意 変更、表4-13 IMRm レジスタの内容 変更
		196	4.5.3 EIINT 割り込み要求による EI レベル・マスクブル割り込み 説明削除
		200	4.6.2 割り込み優先度判断 変更
		第5章 DMA機能	
		222	5.5.5 DDAnH アドレス 変更
		225-226	5.5.7 DTCTn レジスタ図変更、脚注a)追加、表 5-12 DTCTn レジスタの内容 変更、注意2 変更、注意3 削除
		227	表 5-13 DTSn レジスタの内容 (1/2) ビット7 変更
		第6章 フラッシュ・メモリ	
		243	6.1.2 コード・フラッシュ・メモリ・マッピング 説明変更、表6-1 512 KB 以下のコード・フラッシュを備えるV850E2/Fx4-Lデバイスのコード・フラッシュ・メモリ構成 修正
		244	表6-2 768 KB 以上のコード・フラッシュを備えるV850E2/Fx4-Lデバイスのコード・フラッシュ・メモリ構成 修正
		245	表6-3 512 KB 以下のコード・フラッシュを備えるV850E2/FF4-G, FG4-G デバイスのコード・フラッシュ・メモリ構成 修正
		251	6.2.1 コード・フラッシュ・メモリの消去と書き換え 書き換え 修正
		270	表6-13 ブート・ブロックとブート・スワップ・クラスタの関係 修正
		—	6.5.4 安全なセルフ・プログラミング ブート・ブロック保護 削除
		274-275	6.6.1 OPBT0 レジスタ図、表6-15 OPBT0レジスタの内容 修正
		277	6.7 (2) PRDSELHレジスタ レジスタ図 修正
		278	6.7 (3) PRDSELLレジスタ レジスタ図 修正
		第7章 クロック・コントローラ	
		289	図7-6 PLL0 のクロック発生回路 修正
		292	7.3.5 保護レジスタへの書き込み 5 修正
294	7.4.1 (1) クロック・ドメインAWO_2 説明追加		
295	7.4.1 (2) クロック・ドメインAWO_3、(3) クロック・ドメインAWO_5 説明追加		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2013.08.05	297	7.4.2 (1) クロック・ドメインISO0_0 説明追加		
		298	7.4.2 (2) クロック・ドメインISO0_6 説明追加		
		299	7.4.2 (4) クロック・ドメインISO0_11 説明追加		
		300	7.4.2 (5) クロック・ドメインISO0_12 説明追加		
		301	7.4.2 (7) クロック・ドメインISO0_28、(8) クロック・ドメインISO0_29 説明追加		
		302	7.4.2 (9) クロック・ドメインISO0_32、(10) クロック・ドメインISO0_33 説明追加		
		303	7.4.2 (11) クロック・ドメインISO0_34		
		311	表7-11 PLLE0レジスタの内容 変更		
		312	7.5.2 (8) PLLS0 初期値 修正		
		313	7.5.2 (9) PLLC0 レジスタ図 脚注a) 追加		
		316	表7-17 CKSC_mnレジスタの内容 ビット31-1 変更		
		321	7.6.3 機能概要 注意 追加		
		330	7.6.6 (1) CLMAnPCMD アクセス 説明追加		
				第8章 スタンバイ・コントローラ (STBC)	
		332	表8-3 ウェイクアップ要因レジスタの割り当て (WUFL0/WUFMSKL0/WUFCL0) 電力ドメイン、注意 変更		
		333	表8-4 ウェイクアップ要因レジスタの割り当て (WUFM0/WUFMSKM0/WUFM0) 電力ドメイン、注意 変更		
		334	表8-5 ウェイクアップ要因レジスタの割り当て (WUFH0/WUFMSKH0/WUFCH0) 電力ドメイン、注意 変更		
		335	8.2 スタンバイ・コントローラの機能 HALT 変更		
		337	表8-8 ウェイクアップ・イベント 電力ドメインの周辺機能 変更		
		338	8.2.1 (2) ウェイクアップ制御 備考 変更		
		340	8.2.2 入出力バッファ制御 変更		
		343	図8-2 STOP モード遷移例 変更		
		345	図8-3 DEEPSTOP モード遷移例 変更		
		347	表8-10 スタンバイ・コントローラ・レジスタの概要 不要文字削除		
		348	8.3.2 (1) PSC0 初期値 説明追加、レジスタ図、表8-11 PSC0レジスタの内容 ビット0 修正		
		350	8.3.2 (2) PWS0 初期値 説明追加		
		351	8.3.3 (1) WUFL0/WUFM0/WUFH0 初期値 説明追加		
		352	8.3.3 (2) WUFMSKL0/WUFMSKM0/WUFMSKH0 アクセス・初期値 説明追加		
		369	8.4.4.2 (4) SEQnSCR 説明追加		
				第9章 コード保護とセキュリティ	
		376	9.2 フラッシュ・メモリ・プログラマとセルフ・プログラミングの保護 説明追加		
		379	表9-2 オンチップ・デバッグ制御レジスタの概要 タイトル修正		
				第11章 OSタイマ (OSTM)	
		403	11.1 V850E2/Fx4-LのOSTMの特徴 入出力信号 修正		
		413	11.3.5 (2) OSTMnCMP = 0000 0000 _H の場合の動作 説明4 修正		
		416	11.4.2 (2) OSTMnCNT 説明削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	第12章 ウィンドウ・ウォッチドッグ・タイマA (WDTA)	
		421	12.1 V850E2/Fx4-LのWDTAの特徴 割り込み 変更
		424	図12-1 WDTAのブロック図 修正
		427	図12-2 デフォルト・スタート・モード時のWDTAスタートのタイミング図 修正
		428	図12-2 デフォルト・スタート・モード時のWDTAスタートのタイミング図 説明1, 3修正、 図12-3 ソフトウェア・トリガ・スタート・モード時のWDTAスタートのタイミング図 修正
		431	図12-4 WDTA NMI要求/リセット発生のタイミング図 修正
		432	図12-5 WDTA 75%割り込み出力のタイミング図 修正
		433	図12-6 WDTAウィンドウ機能のタイミング図 修正
		437	表12-13 WDTAnMDレジスタの内容 (1/2) 修正
		440	12.5.2 (4) WDTA基準値レジスタ 改行位置変更
		第13章 タイマ・アレイ・ユニットB (TAUB)	
		全版	TAUBnCCS→TAUBnCCS0 変更
		445	表13-6 TAUBn入出力信号 (2/2) TAUBnTSSTm 追加
		448	図13-2 TAUB0入力の選択 修正
		449	表13-7 TAUB0入力選択 (TAUB0TTIN0 - TAUB0TTIN2) 修正
		452	表13-11 TRXSLTA0レジスタ ビット1,0 修正
		453	13.2.1 (3) TSOSLTA0 脚注a) 削除、 表13-12 TSOSLTA0レジスタ ビット0 修正
		454	表13-13 TJOSLTB0レジスタ ビット0 表項目修正
		456	表13-14 TAUB1入力選択 TAUB1TTIN14 修正
		468	表 3-17 一斉書き換え方法とトリガ・タイミング 方式B 修正
		475	13.8.4 (2)、図13-8 マスタ・チャネルの三角波周期の[山]のタイミングで一斉書き換え タイトル修正、 設定 修正
		485	13.10.1、図13-13 インターバル・タイマ・モード、ジャッジ・モード、キャプチャ・モード、アップ/ダウン・カウント・モード、カウント・キャプチャ・モード タイトル修正
		492	13.12.3 カウント・キャプチャ・モード タイミング図 図13-23 修正、説明 削除
		493	13.12.4 キャプチャ&ゲート・カウント・モード タイミング図 図13-25 修正、説明 削除
		498	表13-21 インターバル・タイマ機能のTAUBnCMORm 設定 TAUBnMAS 修正
		499	表13-23 チャネル単体出力モード1時の制御ビット設定 TAUBnTOL.TAUBnTOLm 修正
		503	図13-33 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 0) 修正
		506	表13-26 TAUBnTTINm入インターバル・タイマ機能のTAUBnCMORm 設定 TAUBnMAS 修正
		507	表13-28 チャネル単体出力モード1時の制御ビット設定 TAUBnTOL.TAUBnTOLm 修正
		510	13.15.3 (1) 概要 前提条件 修正
		512	表13-31 ワンパルス出力機能のTAUBnCMORm 設定 TAUBnMAS 修正

改訂記録

V850E2/Fx4-L ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	513	表 13-33 チャンネル単体出力モード2時の制御ビット設定 タイトル修正
		516	表 13-36 オーバフローの影響 修正
		517	13.16.1 (1) 概要 機能説明 一部削除、備考 修正
		519	表 13-37 TAUBnTTINm入力パルス・インターバル測定機能のTAUBnCMORm 設定 TAUBnMAS 修正
		521	表 13-40 TAUBnTTINm入力パルス・インターバル測定機能の操作手順 修正
		526	表 13-41 オーバフローの影響 修正
		528	表 13-42 TAUBnTTINm入力信号幅測定機能のTAUBnCMORm 設定 TAUBnMAS 修正
		530	表 13-45 TAUBnTTINm入力信号幅測定機能の操作手順 修正
		537	表 13-46 オーバフロー割り込み出力機能のTAUBnCMORm 設定 TAUBnMAS 修正
		538	表 13-49 オーバフロー割り込み出力機能の操作手順 修正
		539	13.16.4 (1) 概要 機能説明、(2) 算出式 修正
		540	図 13-53 TAUBnTTINm入力期間カウント検出機能のブロック図、図 13-54 TAUBnTTINm入力期間カウント検出機能の基本タイミング図 修正
		541	表 13-50 TAUBnTTINm入力期間カウント検出機能のTAUBnCMORm 設定 TAUBnMAS, TAUBnCOS[1:0] 修正
		542	表 13-53 TAUBnTTINm入力期間カウント検出機能の操作手順 修正
		543	図 13-55 動作の停止と再開 修正
		546	表 13-54 オーバフロー割り込み出力機能のTAUBnCMORm 設定 TAUBnMAS 修正
		547	表 13-57 オーバフロー割り込み出力機能の操作手順 修正
		550	表 13-58 TAUBnTTINm入力パルス・インターバル判定機能のTAUBnCMORm 設定 TAUBnMAS 修正
		551	表 13-61 TAUBnTTINm入力パルス・インターバル判定機能の操作手順 修正
		554	表 13-62 TAUBnTTINm入力信号幅判定機能のTAUBnCMORm 設定 TAUBnMAS 修正
		555	表 13-65 TAUBnTTINm 入力信号幅判定機能の操作手順 修正
		559	図 13-63 一斉書き換えトリガ生成機能タイプ1の基本タイミング図 修正
		560	表 13-66 一斉書き換えトリガ生成機能タイプ1のTAUBnCMORm 設定 TAUBnMAS 修正
		562	表 13-69 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定 TAUBnRDC.TAUBnRDCm 修正
		564	13.18.1 (1) 概要 概要 修正
		566	表 13-71 外部イベント・カウント機能のTAUBnCMORm 設定 TAUBnMAS 修正
		569	13.18.1 (c) 強制リスタート 修正
		572	表 13-75 クロック分周機能のTAUBnCMORm 設定 TAUBnMAS 修正
		573	表 13-77 チャンネル単体出力モード1時の制御ビット設定 TAUBnTOL.TAUBnTOLm 変更
		576	図 13-73 強制リスタート 修正
577	13.18.3 (1) 概要 機能説明、(2) 算出式 修正		
578	図 13-75 TAUBnTTINm入力位置検出機能の基本タイミング図 修正		

改訂記録

V850E2/Fx4-L ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	579	表 13-80 TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定 TAUBnMAS, TAUBnCOS[1:0] 修正
		580	表 13-83 TAUBnTTINm 入力位置検出機能の操作手順 修正
		581	図 13-76 動作の停止と再開 修正
		588	表 13-86 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定 修正
		590	表 13-90 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定 修正
		592	13.20.1 (7) (a) デューティ・サイクル=0% 修正
		598	スレーブ・チャンネル1,3 修正
		600	表 13-94 ディレイ・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定 修正
		602	表 13-98 ディレイ・パルス出力機能時のスレーブ・チャンネル1の一斉書き換え設定 修正
		604	表 13-101 ディレイ・パルス出力機能時のスレーブ・チャンネル2の一斉書き換え設定 修正
		606	表 13-105 ディレイ・パルス出力機能時のスレーブ・チャンネル3の一斉書き換え設定 修正
		608	表 13-106 ディレイ・パルス出力機能時の操作手順 (2/2) 修正
		610	13.20.2 (8) (b) TAUBnTTOUtm (スレーブ1) = TAUBnTTOUtm (スレーブ3) 説明削除
		612	13.20.3 (3) 基本タイミング図 説明削除
		613	13.21.1 (1) 概要 前提条件 修正
		614	13.21.1 (1) 概要 算出式 修正
		618	表 13-109 ワンショット・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定 修正
		620	表 13-112 チャンネル単体出力モード2の時の制御ビット設定 タイトル修正、 表 13-113 ワンショット・パルス出力機能時のスレーブ・チャンネルの一斉書き換え設定 修正
		621	表 13-114 ワンショット・パルス出力機能時の操作手順 修正
		622	図 13-90 TAUBnCDRm (マスタ) = 0000 _H 修正
		623	13.21.1 (6) (b) TAUBnCDRm (スレーブ) = 0000 _H 図 13-91 修正、説明削除
		625	図 13-93 TAUBnTTINm 入力間隔 ≤ ディレイ時間 + パルス幅 + 1 修正
		631	表 13-117 チャンネル単体出力モード1時の制御ビット設定 TAUBnTOL.TAUBnTOLm 修正、 表 13-118 三角波PWM出力機能時のマスタ・チャンネルの一斉書き換え設定 TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm 修正
		633	表 13-122 三角波PWM出力機能時のスレーブ・チャンネルの一斉書き換え設定 TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm 修正
		637	13.22.2 (1) 概要 前提条件 修正
		641	13.22.2 (3) ブロック図と基本タイミング図 スレーブ・チャンネル3 修正、 図 13-99 デッド・タイム付き三角波PWM出力機能の基本タイミング図 修正
		643	表 13-127 チャンネル単体出力モード1時の制御ビット設定 TAUBnTOL.TAUBnTOLm 修正、 表 13-128 デッド・タイム付き三角波PWM出力機能時のマスタ・チャンネルの一斉書き換え設定 TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	645	表 13-132 三角波PWM出力機能時のスレーブ・チャンネル2の一斉書き換え設定 TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm 修正
		647	表 13-136 三角波PWM出力機能時のスレーブ・チャンネル3の一斉書き換え設定 TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm 修正
		672	表 13-143 TAUBnCMORmレジスタの内容(4/5) モード 修正
		675	表 13-145 TAUBnCSRm レジスタの内容 TAUBnOVF 修正
		678	表 13-150 TAUBnTOE レジスタの内容 修正
		684	表 13-161 TAUBnRDT レジスタの内容 説明追加
		第14章 タイマ・アレイ・ユニットJ (TAUJ)	
		687	表 14-5 TAUJn入出力信号 TAUJnTSSTm 追加
		706	14.9.1、図 14-6 インターバル・タイマ・モード, キャプチャ・モード, カウント・ キャプチャ・モード タイトル修正
		712	14.11.3 カウント・キャプチャ・モード タイミング図 図 14-15 修正、説明削除
		713	14.11.4 キャプチャ&ゲート・カウント・モード タイミング図 図 14-17 修正、 説明削除
		718	表 14-9 インターバル・タイマ機能のTAUJnCMORm 設定 TAUJnMAS 修正
		719	表 14-11 チャンネル単体出力モード1時の制御ビット設定 TAUJnTOL.TAUJnTOLm 修正
		725	表 14-14 TAUJnTTINm入力インターバル・タイマ機能のTAUJnCMORm 設定 TAUJnMAS 修正
		726	表 14-16 チャンネル単体出力モード1時の制御ビット設定 TAUJnTOL.TAUJnTOLm 修正
		728	図 14-27 立ち上がりTAUJnTTINm入力エッジ 修正
		730	表 14-19 オーバフローの影響 修正
		731	14.15.1 (1) 概要 機能説明 一部削除
		733	表 14-20 TAUJnTTINm入力パルス・インターバル測定機能のTAUJnCMORm設定 TAUJnMAS 修正
		734	表 14-23 TAUJnTTINm入力パルス・インターバル測定機能の操作手順 修正
		739	表 14-24 オーバフローの影響 修正
		741	表 14-25 TAUJnTTINm入力信号幅測定機能のTAUJnCMORm 設定 TAUJnMAS 修 正
		743	表 14-28 TAUJnTTINm入力信号幅測定機能の操作手順 修正
		749	表 14-29 オーバフロー割り込み出力機能のTAUJnCMORm 設定 TAUJnMAS 修正
		750	表 14-32 オーバフロー割り込み出力機能の操作手順 修正
		751	14.15.4 (1) 概要 機能説明、(2) 算出式 修正
		752	図 14-42 TAUJnTTINm入力期間カウント検出機能のブロック図、図 14-43 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図 修正
		753	表 14-33 TAUJnTTINm入力期間カウント検出機能のTAUJnCMORm 設定 TAUJnMAS, TAUJnCOS[1:0] 修正
		754	表 14-36 TAUJnTTINm入力期間カウント検出機能の操作手順 修正
		755	図 14-44 動作の停止と再開 修正
		758	表 14-37 オーバフロー割り込み出力機能のTAUJnCMORm 設定 TAUJnMAS 修正
		759	表 14-40 オーバフロー割り込み出力機能の操作手順 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	760	14.16.1 (1) 概要 機能説明、(2) 算出式 修正
		761	図 14-48 TAUJnTTINm 入力位置検出機能の基本タイミング図 修正
		762	表 14-41 TAUJnTTINm 入力位置検出機能のTAUJnCMORm 設定 TAUJnMAS, TAUJnCOS[1:0] 修正
		763	表 14-44 TAUJnTTINm 入力位置検出機能の操作手順 修正
		764	図 14-49 動作の停止と再開 修正
		773	14.17.1 (7) (a) デューティ・サイクル=0% 修正
		783	表 14-58 カウント再許可後のTAUJnCNTm リード値 ワンカウント・モード 修正
		787	表 14-59 TAUJnCMORm レジスタの内容(4/4) モード 修正
		789	表 14-61 TAUJnCSRm レジスタの内容 修正
		792	表 14-66 TAUJnTOE レジスタの内容 修正
		796	表 14-73 TAUJnRDT レジスタの内容 説明追加
		793	表 14-67 TAUJnTO レジスタの内容 修正
			第15章 アシクロナス・シリアル・インタフェースE (UARTE_n)
		799	15.1 V850E2/Fx4-LのUARTE _n の機能 入出力信号 注意 追加
		801	15.2 機能の概要 説明追加
		817	15.4 (9) URTE _n TX 7ビット転送 説明追加
		825	15.6.2 BFの送信/受信フォーマット LINについて b) 修正
		827	図 15-8 BFの送信 修正
		830	図 15-11 BF受信エラー 修正
		831	図 15-12 データ貫性エラーのタイミング例 修正
		836	15.6.8 UARTE _n 受信 受信の開始、受信エラー 修正
		838	図 15-19 データ受信のフロー 修正
		844	15.6.11 デジタル受信データ・ノイズ・フィルタ 注意 追加
			第16章 LINマスタ・コントローラ (LMA)
		846	表 16-1 LMA _n ユニット 項目修正
		850	図 16-1 LINマスタ・スケジューラ・カウンタ 修正
		865	16.4.3 (1) 初期化 UARTE _n 設定 修正
		868	表 16-12 LINフレーム送信後の受信バッファ 注a 表記変更
		877	図 16-9 スケジューラを使用したLINフレーム転送 レジスタ名修正
		878	16.4.5 (1) スケジューラ動作 手順 レジスタ名修正
		879	図 16-10 スケジューラと自動フレーム開始機能を使用したLIN フレーム送信 レジスタ名修正
		880	16.4.5 (2) 自動フレーム開始機能を使用したスケジューラ動作 手順 レジスタ名修正
		886	表 16-20 LMA _n STRLレジスタの内容 ビット11-0 修正
			第17章 CANコントローラ (FCN)
		904	図 17-1 FCN0とFCN1の接続図 グレイ領域追加
		905	17.2 (1) ITGSLFC0 レジスタ図、表 17-8 ITGSLFC0 レジスタの内容 ビット名修正
		966	17.8.3 受信ヒストリ・リスト機能 説明追加
		1023	図 17-31 送信完了フラグによる送信中断処理 注意 一連の項目に編集

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	第18章 クロック同期シリアル・インタフェースG (CSIG)	
		1039	表 18-7 CSIGNのI/O信号 注意 追加
		1048	18.3.2 (2) マスタ1, スレーブ複数の場合 CSIGTSOパッファの制御 修正
		1052	図 18-8 EDL のタイミング図、備考4 修正
		1057	表 18-9 データ・エラーのタイプ 修正、脚注a) 追加
		1072	表 18-16 CSIGNSTR0 レジスタの内容 (2/2) ビット1, 0 修正
		1078	18.4 (10) CSIGNRX0 注意 修正
		第19章 I²Cバス (I²CB)	
		1084	19.2 I ² Cインタフェースポートの設定
		1086	図 19-1 I ² CBn のブロック図 SLWT ビット名修正
		1097	19.6 レジスタ 注意 一部削除、表 19-8 IICBnDAT の内容 説明削除
		1103	表 19-11 IICBnWL の内容 タイトル追加
		1106-1107	表 19-13 IICBnTRG の内容 ビット3, 2, 1 修正
		1116	19.6 (9) IICBn ステータス・レジスタ1 初期値 修正
		1118	19.6 (11) IICBn エミュレーション・レジスタ 説明、表 19-17 修正
		1132	表 19-21 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 修正
		第20章 キー・リターン機能 (KR)	
		1155	20.3.1 割り込み要求KR0TIKR 説明、図20-2、注意2 修正
		1156	20.4.1 キー・リターン機能レジスタの概要 修正
		第21章 A/Dコンバータ (ADCA)	
		1162	21.2 機能概要 修正
		1164	21.3 機能説明 チャンネルとチャンネル・グループ、自己診断機能 修正
		1165	21.3.1 基本動作 修正
		1168	21.3.4 A/D 変換モード 説明削除
		1169	21.3.4 (1) ワンショット変換モード 説明、図 削除
		1187	21.3.16 チャンネル変換繰り返し機能 追加
		1191	表 21-14 ADCAnCTL0 レジスタの内容 (2/2) 修正
		1192	表 21-15 ADCAnCTL1 レジスタの内容 (1/2) ビット31-26 修正
		1196	21.4.2 (6) ADCAnTSELi - A/D コンバータ・トリガ選択制御レジスタi タイトル、レジスタ図、表 21-19 修正
		1200	21.4.2 (4) ADCAnSTC2 タイトル修正、アクセス 説明追加
		1204	表 21-28 ADCAnLCR レジスタの内容 (2/2) ビット15-0 修正
		1206	表 21-29 ADCAnCmCR レジスタの内容 ビット15-0 修正
		1208	表 21-30 ADCAnDBiCR レジスタの内容 (2/2) ビット15-0 修正
		1218	図 21-20 アナログ入力回路のノイズ対策例 備考 変更
		第22章 オンチップ・デバッグ・ユニット (OCD)	
		1228	表 22-2 エミュレーション・ブレーク時に動作を継続するモジュール 修正
1232	22.4 オンチップ・デバッグ・エミュレータとの接続 a), b), c) 変更		

改訂記録	V850E2/Fx4-L ユーザーズマニュアル ハードウェア編
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.05	第23章 電源	
		1235-1237, 1239-1241	図 23-1 V850E2/FE4-L の電源スキーム～図 23-6 V850E2/FG4-G の電源スキーム 修正
		1238	表 23-4 V850E2/FJ4-L の電源端子 タイトル変更、Ports buffers 修正
		1241	表 23-6 V850E2/FG4-G の電源端子 Ports buffers 修正
1.20	2014.01.14	全版	V850E2/Fx4-G 追加
		第1章 概説	
		17-27	表 1-1 V850E2/FE4-L 製品一覧～表 1-6 V850E2/FG4-G 製品一覧 LVI 追加
		第2章 端子機能	
		31	2.2 概説 - 機能概要 修正
		42, 45, 47, 48, 50-52, 54-57	2.3.2 (1) PMCn, (4) PMn, (6) PIBCn, (7) PFCn, 2.3.3 (1) PBDCn, (2) PPRn ～ (4) PNOTn, 2.3.4 (1) PUn, (2) PDn, (4) PISn, (5) PISEn 備考 追加
		62	2.4.2 ポート機能概要 - 特殊 I/O 制御 説明を削除
		63-64, 70-71, 76-78, 83-86, 93-95, 100-103	表 2-29 V850E2/FE4-L 汎用 I/O 機能、表 2-32 V850E2/FF4-L 汎用 I/O 機能、表 2-35 V850E2/FG4-L 汎用 I/O 機能、表 2-38 V850E2/FJ4-L 汎用 I/O 機能、表 2-42 V850E2/FF4-G 汎用 I/O 機能、表 2-45 V850E2/FG4-G 汎用 I/O 機能 変更
		72	表 2-33 V850E2/FF4-L ポート制御レジスタ (グループ 0, 1, 3, 4) (1/2) PFCn, PFCEn 変更
		81, 98, 106	表 2-37 V850E2/FG4-L ポート制御レジスタ (グループ 10, 11, JP0) (1/2)、表 2-44 V850E2/FF4-G ポート制御レジスタ (グループ 10, JP0) (1/2)、表 2-47 V850E2/FG4-G ポート制御レジスタ (グループ 10, 27, JP0) (1/2) PFCEn, PIPCn 削除
		97	表 2-43 V850E2/FF4-G ポート制御レジスタ (グループ 0, 1, 3, 4) (2/2) PMSRn 変更
		98	表 2-44 V850E2/FF4-G ポート制御レジスタ (グループ 10, JP0) (1/2) PPRn 変更
		108	2.4.10 未使用端子の推奨接続 説明、表 Port10, 11 変更
		112	表 2-51 デジタル・フィルタ D 付き入力信号 (2/2) 注意 1 変更
		115-117	2.6.1 アナログ・フィルタ スタンバイ・モードでのアナログ・フィルタ サブタイトル削除 スタンバイモードのアナログ・フィルタ・タイプ A タイトル変更 スタンバイモードのアナログ・フィルタ・タイプ B、スタンバイモードのアナログ・フィルタ・タイプ C タイトル、説明変更
		118-119	2.6.2 デジタル・フィルタ デジタル・フィルタ特性 式を修正 デジタル・フィルタ・グループ 注意 変更
		121	図 2-7 デジタル・フィルタ・タイプ D のブロック図 変更
		122	2.6.3 (1) FCLAnCTLm 変更
		125	2.6.3 (3) (a) DNFAEnENH, (b) DNFAEnENL 備考 削除
		第3章 CPU システム機能	
		131	図 3-1 V850E2/Fx4-L CPU サブシステム 変更
		132	3.2.3 (2) ローカル RAM アクセス タイトル変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2014.01.14	152	3.7.4 (1) ポート保護クラスタ 変更
		154	表 3-20 保護コマンド・レジスタ概要 (2/2) PPCMD5, PPROTS5 削除
		第4章 割り込み機能	
		161	表 4-1 例外要因一覧 備考 説明を追加
		164-165	4.2.1 (2) EI レベル・マスカブル割り込み 表番号 修正
		175	表 4-6 V850E2/FJ4-L EI レベル・マスカブル割り込み要因 (3/3) 注釈 a) 追加
		184	4.2.2 (2) WDTNMIFC レジスタ図 変更
		194	図 4-1 FENMI 割り込み要求時の処理 変更
		第5章 DMA 機能	
		207	5.1 (1) DMA 開始要因 変更
		226	表 5-13 DTsn レジスタの内容 (1/2) ビット 6 変更
		232	表 5-14 チャンネル n の DMA 転送要求有効条件 変更
		235	5.7 DTFR 機能、5.7.1 特徴 変更
		237	5.8.2 DRQCLR- 初期値 変更
		第6章 フラッシュ・メモリ	
		242	表 6-1 512 KB 以下のコード・フラッシュを備える V850E2/Fx4-L デバイスのコード・フラッシュ・メモリ構成 変更
		244	表 6-3 512 KB 以下のコード・フラッシュを備える V850E2/FF4-G, FG4-G デバイスのコード・フラッシュ・メモリ構成 変更
		246	6.2 コード・フラッシュ・メモリの機能概要 - セルフ・プログラミング、保護 変更
		248	表 6-6 フラッシュ・メモリを変更するための基本機能 変更
		249	表 6-7 保護機能 注釈 a) 変更
		256	表 6-8 マイクロコントローラ・フラッシュ・メモリ・プログラマ PG-FP5 の接続 変更
		265	6.5.1 (1) FLMDCNT- 保護 変更
		268	6.5.4 安全なセルフ・プログラミング - ブート・ブロックの保護 変更
		269	表 6-13 ブート・ブロックとブート・スワップ・クラスタの関係 項目名を修正 注釈 a), b) 追加
		272	表 6-14 フラッシュ・マスク・オプションと設定 - フラッシュ・マスク・オプション 変更
		第7章 クロック・コントローラ	
		281	図 7-2 クロック・コントローラの構成 変更
		284	7.3.1 メイン発振回路 (MainOsc) のクロック発生回路 追加
		289	図 7-6 PLL0 のクロック発生回路 変更
		312	7.5.2 (8) PLLS0 レジスタ図変更
		323	7.6.4 (1) (a) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法 備考 追加
		第8章 スタンバイ・コントローラ (STBC)	
		332, 334	表 8-3、表 8-4 ウェイクアップ要因レジスタの割り当て 注釈 a) 追加
335	表 8-5 ウェイクアップ要因レジスタの割り当て (WUFH0/WUFMSKH0/WUFCHO) ビット 15 変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2014.01.14	340	8.2.1 ウェイクアップ (3) 発振回路のウェイクアップ 変更、追加		
		341	8.2.2 (4) スタンバイ・モードの入出力バッファの状態 変更		
		355	8.3.3 (3) WUFCL0/WUFCLM0/WUFCH0 レジスタ図変更		
		359	表 8-25 SEQn ポート設定 変更		
		362	8.4.3.1 ウェイクアップ・シーケンサ動作時のクロック設定 変更		
				第9章 コード保護とセキュリティ	
		379	9.3.3 オンチップ・デバッグ保護レベルの概要 備考1, 2 変更		
				第10章 リセット・コントローラ	
		全版	WDTATRTYPE 削除		
		391	10.2.5 外部RESET - クロック発生回路 変更		
		393	10.2.10 リセット・コントローラ・レジスタ保護 追加		
		395, 400	10.3.2 (1) RESF, 10.3.4 (1) LVICNT - 初期値 変更		
		401	10.3.5 (2) VLVFC - アクセス、レジスタ図 変更		
				第13章 タイマ・アレイ・ユニットB (TAUB)	
		478	図 13-9 TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え 変更		
		552, 556	表 13-61 TAUBnTTINm 入力パルス・インターバル判定機能の操作手順、表 13-65 TAUBnTTINm 入力信号幅判定機能の操作手順 変更		
		611	図 13-85 TAUBnTTOUTm (スレーブ1) = TAUBnTTOUTm (スレーブ3) 変更		
		670	13.23.3 (3) TAUBnCMORm 変更		
				第14章 タイマ・アレイ・ユニットJ (TAUJ)	
		785	14.18.3 (3) TAUJnCMORm 変更		
				第16章 LIN マスタ・コントローラ (LMA)	
		852	16.2.1 (1) CNTAmCTL レジスタ図 変更		
		857	16.4.2 (1) 初期化 - UARTEn 設定 変更		
		861	16.4.2 (4) データ受信 - 受信中止 変更		
		864, 865	16.4.3 LIN マスタ・モード - 動作方法、LIN フレーム長 変更		
		867	16.4.3 (2) 割り込み - INTLMAntIT 変更		
		869	表 16-12 LIN フレーム送信後の受信バッファ 注釈 a) 変更		
		870	16.4.3 (3) データ送信 - 手順 ① 変更		
		871	16.4.3 (4) データ受信 変更		
		872	図 16-7 LIN マスタ送信モード時の LIN フレーム受信 変更		
		875	表 16-16 LIN マスタ送信モード時の UARTE エラー データ整合性エラー (BF/SF 内) 変更		
		876	16.4.4 自動チェック・サム機能 変更		
		877	16.4.5 (1) スケジューラ動作 変更、注意 追加		
		878	図 16-8 スケジューラ機能の概要 変更		
		880	図 16-10 スケジューラと自動フレーム開始機能を使用した LIN フレーム送信 変更		
		881	16.4.5 (2) 自動フレーム開始機能を使用したスケジューラ動作 - 手順 ③ 変更		
		886	16.5.2 (2) LMAntLH - 初期値 変更		
		887, 888	16.5.2 (3) LMAntSTRL, (4) LMAntSTRH - 初期値 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2014.01.14	887	表 16-20 LMAAnSTRL レジスタの内容 変更
		890	表 16-21 LMAAnSTRH レジスタの内容 (3/3) 変更
		896	16.5.2 (10) LMAAnTCTLH 備考 変更
		898	16.5.2 (12) LMAAnRCTLH 備考 変更
		899	16.5.2 (13) LMAAnTX01, (14) LMAAnRX01 レジスタ図 変更
		第17章 CANコントローラ (FCN)	
		903	表 17-6 CANコントローラのI/O信号 CTXD0 変更
		904	表 17-7 FCNnタイム・スタンプ信号 変更
		908	表 17-9 機能の概要 メッセージ送信 変更
		909	17.3.2 構成 変更
		910	表 17-10 FCN レジスタ一覧(1/2) 変更
		912	表 17-11 FCNnグローバル・レジスタとFCNnモジュール・レジスタ(1/2) 変更
		916	表 17-15 FCNモジュール・レジスタのビット構成(2/2) 変更
		927	17.6.1 (4) FCNnGMADCTL 注意1 変更
		928	17.6.1 (5) FCNnDNBMRX0 変更
		932	17.6.2 (2) FCNnCMCLCTL 上部の備考2 変更
		942	17.6.2 (7) (b) FCNnCMISCTLの書き込み値 ビット名変更
		946	17.6.2 (11) (a) FCNnCMRGRXの読み出し値 注釈a) 変更
		948	17.6.2 (12) FCNnCMLOSTR 注意 追加
		950	17.6.2 (13) (a) FCNnCMTGTXの読み出し値 注釈a) 変更
		953-954	17.6.3 (1) FCNnMmDATxB/H/W 変更
		954, 959	17.6.3 (1) FCNnMmDATxB/H/W, (4) FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W 備考 追加
		954	17.6.3 (2) FCNnMmDTLGB 表 変更
		960	17.6.3 (5) FCNnMmCTL FCNnMmNHMFビットの表 変更
		965	17.7.4 初期化モードから動作モードへの移行 変更
		967	図 17-7 受信タイミング 変更
		969	17.8.3 受信履歴・リスト機能 変更
		970	図 17-8 受信履歴・リスト 変更
		979-980	17.9.2 送信履歴・リスト機能 変更
		982-983	17.9.3 自動ブロック送信機能 変更
		984-985	17.9.4 (2) 自動ブロック送信 (ABT) の送信中断処理 変更
		986	17.10.1 (1) FCNスリープ・モードへの移行 備考 変更
		988	17.10.1 (3) FCNスリープ・モードの解除 変更
		990	17.10.3 パワー・セーブ・モードの使用例 変更
		992	17.11 割り込み機能 変更
		993	17.12.1 受信オンリー・モード 変更
1002-1005	17.14.2 代表的なポー・レートの設定例 変更		
1010	17.15.1 初期化 説明を修正		
1011	図 17-19 送信中のメッセージ・バッファの再定義 変更		

改訂記録

V850E2/Fx4-L ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2014.01.14	1015	図 17-22 割り込みを利用した送信 備考 変更
		1016	図 17-23 割り込みを利用した送信 備考 1, 2 変更
		1018	図 17-24 ソフトウェア・ポーリングを利用した送信 備考 1, 2 変更
		1019, 1020	図 17-25 送信中断処理、図 17-26 ABT 送信以外の送信中断処理 備考 追加、注意 2 変更
		1023	図 17-29 送信完了フラグを利用した ABT 送信要求中断処理 変更
		1024	図 17-30 送信中断割り込みと送信完了フラグによる送信中断処理 変更
		1024, 1025	図 17-30、図 17-31 注意 6 変更
		1026	図 17-32 割り込みを利用した受信 備考 2 変更
		1028	図 17-33 割り込みを利用した受信 備考 2~4 変更
		1029	図 17-34 割り込みを利用した受信の別の方法 備考 1, 2 変更
		1030	図 17-35 ソフトウェア・ポーリングを利用した受信 備考 2, 3 変更
		1032	図 17-37 FCN スリープ/ストップ・モードの解除 変更
		1036	図 17-42 CPU スタンバイの設定 (FCN スリープ・モードから) 備考 1 変更
		1037	図 17-43 CPU スタンバイの設定 (FCN ストップ・モードから) 変更
		第 19 章 I²C バス (I²CB)	
		全版	アービトレーション関連記述を削除
		1087	19.3 機能概要 マルチマスタ対応 削除、自動検出可能 備考 追加
		1088	図 19-1 I ² CBn のブロック図 変更
		1100, 1102	19.6 (3) IICBn コントロール・レジスタ 0、(4) IICBn コントロール・レジスタ 1 - 初期値、レジスタ図 変更
		1105	19.6 (5) (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法 - スレーブ側の IICBnWL, IICBnWH 設定方法 変更
		1107, 1109	表 19-13 IICBnTRG の内容 (1/4), (3/4) IICBnLRET, IICBnWRET, IICBnSTT, IICBnSPT ビット 備考 追加
		1108, 1109	表 9-13 IICBnTRG の内容 (2/4), (3/4) IICBnSTT, IICBnSPT ビット 説明を変更
		1111-1114	19.6 (8) IICBn ステータス・レジスタ 0 変更
		—	19.6 (10) IICBn ステータス・クリア・レジスタ (IICBnSTRC) 削除
		1120	19.7.1 (3) シングル転送モード (スレーブ受信) の通信例 変更
		1122	19.7.2 ウェイトとウェイト解除方法 表の参照箇所の表記変更、注意 追加
		1123	19.7.2 (1) (a) ウェイト遷移条件 注意 削除、図 19-10 有効な IICBnDAT レジスタへのライト・タイミング 変更
		1126	表 19-18 ウェイト解除条件 変更
		1127	19.7.3 拡張コード (2) 変更
		1128	19.8.1 シングル転送モード 説明削除 表 19-19 割り込み要求信号発生タイミング Δ4 削除
		1129	19.8.1 (1) アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 変更 表 19-20 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード) 変更

改訂記録

V850E2/Fx4-L ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2014.01.14	1130	19.8.1 (2) データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 変更 表 19-21 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード) 変更
		1132-1137	19.9 割り込み出力とステータス 備考 追加
		1138	図 19-11 シングル転送モード時のマスタ動作設定手順 変更
		1139	図 19-12 シングル転送モード時のスレーブ動作設定手順 変更

V850E2/Fx4-L ユーザーズマニュアル
ハードウェア編

発行年月日 2014年 01月14日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850E2/Fx4-L



ルネサスエレクトロニクス株式会社

R01UH0291JJ0120