

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD789467サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789462

μPD789464

μPD789466

μPD789467

μPD78F9468

〔メモ〕

目次要約

第1章 概 説 ...	21
第2章 端子機能 ...	30
第3章 CPUアーキテクチャ ...	37
第4章 ポート機能 ...	64
第5章 クロック発生回路 ...	75
第6章 8ビット・タイマ30, 40 ...	87
第7章 時計用タイマ ...	116
第8章 ウォッチドッグ・タイマ ...	121
第9章 8ビットA/Dコンバータ ...	127
第10章 LCDコントローラ/ドライバ ...	140
第11章 パワーオン・クリア回路 ...	154
第12章 割り込み機能 ...	156
第13章 スタンバイ機能 ...	169
第14章 リセット機能 ...	177
第15章 μ PD78F9468 ...	181
第16章 マスク・オプション ...	189
第17章 命令セットの概要 ...	190
第18章 電気的特性 ...	201
第19章 外形図 ...	211
第20章 半田付け推奨条件 ...	212
付録A 開発ツール ...	215
付録B レジスタ索引 ...	223
付録C 改版履歴 ...	227

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9468

ユーザ判定品: μ PD789462, 789464, 789466, 789467

- ・本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準: コンピュータ, OA機器, 通信機器, 計測機器, AV機器, 家電, 工作機械, パーソナル機器, 産業用ロボット

特別水準: 輸送機器（自動車, 電車, 船舶等）, 交通用信号機器, 防災・防犯装置, 各種安全装置, 生命維持を目的として設計されていない医療機器

特定水準: 航空機器, 航空宇宙機器, 海底中継機器, 原子力制御システム, 生命維持のための医療機器, 生命維持のための装置またはシステム等

当社製品のデータ・シート, データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

箇 所	内 容
全 般	μ PD789466, 789467を開発済みに変更
p.34	2. 2. 15 VPP (μ PD78F9468のみ) に端子処理の説明文を追加
p.54	表3 - 3 特殊機能レジスタ一覧 ・ポート8 (P8) の属性をリードのみにし, リセット時の値を不定に修正 ・発振安定時間選択レジスタ (OSTS) を1ビット操作命令も使用可能に修正
p.78	図5 - 3 サブ発振モード・レジスタのフォーマット に, フィードバック抵抗に関する注を追加
p.91	6. 2 8ビット・タイマ30, 40の構成 ・図6 - 3 出力制御回路 (タイマ40) のブロック図を修正 ・(2) 8ビット・コンペア・レジスタ40 (CR40) に説明文を追加 ・(3) 8ビットH幅コンペア・レジスタ40 (CRH40) に説明文を追加
p.96	図6 - 6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット に注意文を追加
p.109, 110	6. 4. 3 キャリア・ジェネレータとしての動作に注意文を追加
p.115	6. 5 8ビット・タイマ30, 40の注意事項の内容を変更
p.138	9. 5 8ビットA/Dコンバータの注意事項に(8) ANI0端子の入カインピーダンスについてを追加
p.143	図10 - 2 LCD表示モード・レジスタ0のフォーマット に注意文を追加
p.160	図12 - 2 割り込み要求フラグ・レジスタ0のフォーマット に注意文を追加
p.162	図12 - 6 キー・リターン・モード・レジスタ00のフォーマット に注意文を追加
p.170	13. 1. 2 スタンバイ機能を制御するレジスタで, 発振安定時間選択レジスタ (OSTS) を1ビット操作命令も使用可能に修正
p.183	表15 - 3 通信方式一覧 を修正
p.201, 203, 205, 206, 210	第18章 電気的特性 ・ターゲット・スペックから正式スペックに変更 ・絶対最大定格に注意文を追加 ・マスクROM製品の推奨発振回路定数を追加 ・書き込み消去特性を変更
p.213	第20章 半田付け推奨条件 にμ PD789466, 789467の推奨条件を追加
p.219	A. 5 デバッグ用ツール (ハードウェア) で, 変換コネクタと変換ソケットを, 変換アダプタ (TGB-052SBP) として名称変更
p.227	付録C 改版履歴 を追加
修正版 (U15552JJ2V1UD00) で改訂された主な箇所	
p.73	図4 - 10 ポート・ファンクション・レジスタ8のフォーマット の注意文変更
p.142	図10 - 2 LCD表示モード・レジスタ0のフォーマット の注釈文追加
修正版 (U15552JJ2V2UD00) で改訂された主な箇所	
p.22, 23	第1章 概説 に鉛フリー製品を追加
p.214	表20 - 1 表面実装タイプの半田付け条件 で, 鉛フリー製品の半田付け条件を追加

本文欄外の★印は, 本版で改訂された主な箇所を示しています。

はじめに

対 象 者 このマニュアルは μ PD789467サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。

・ μ PD789467サブシリーズ : μ PD789462, 789464, 789466, 789467, 78F9468

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD789467サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789467サブシリーズ ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
● 端子機能 ● 内部ブロック機能 ● 割り込み ● その他の内蔵周辺機能 ● 電気的特性	● CPU機能 ● 命令セット ● 命令の説明

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→ 目次に従って読んでください。

□レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□レジスタ名が分かっていてレジスタの詳細を確認するとき

→ 付録B レジスタ索引を利用してください。

□78K/0Sシリーズの命令機能の詳細を知りたいとき

→ 別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

□ μ PD789467サブシリーズの電気的特性を知りたいとき

→ 第18章 電気的特性を参照してください。

凡 例 データ表記の重み：左が上位桁、右が下位桁

アクティブ・ロウの表記 : $\overline{\times \times \times}$ （端子、信号名称に上線）

注 : 本文中につけた注の説明

注意 : 気をつけて読んでいただきたい内容

備考 : 本文の補足説明

数の表記 : 2進数... $\times \times \times \times$ または $\times \times \times \times$ B

10進数... $\times \times \times \times$

16進数... $\times \times \times \times$ H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μ PD789467サブシリーズ ユーザーズ・マニュアル	このマニュアル	U15552E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編（Windows®ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）		U14610J	U14610E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789468-NS-EM1 エミュレーション・ボード	作成予定	作成予定

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 21

- 1.1 特 徴 ... 21
- 1.2 応用分野 ... 21
- 1.3 オータ情報 ... 22
- 1.4 端子接続図 (Top View) ... 23
- 1.5 78K/0Sシリーズの展開 ... 24
- 1.6 ブロック図 ... 27
- 1.7 機能概要 ... 28

第2章 端子機能 ... 30

- 2.1 端子機能一覧 ... 30
- 2.2 端子機能の説明 ... 32
 - 2.2.1 P00-P03 (Port0) ... 32
 - 2.2.2 P10, P11 (Port1) ... 32
 - 2.2.3 P40-P43 (Port 4) ... 32
 - 2.2.4 P60, P61 (Port 6) ... 32
 - 2.2.5 P80-P85 (Port 8) ... 33
 - 2.2.6 S0-S16 ... 33
 - 2.2.7 COM0-COM3 ... 33
 - 2.2.8 VLc0-VLc2 ... 33
 - 2.2.9 CAPH, CAPL ... 33
 - 2.2.10 RESET ... 33
 - 2.2.11 X1, X2 ... 33
 - 2.2.12 XT1, XT2 ... 33
 - 2.2.13 VDD ... 34
 - 2.2.14 VSS ... 34
 - 2.2.15 VPP (μ PD78F9468のみ) ... 34
 - 2.2.16 IC0 (マスクROM製品のみ) ... 34
- 2.3 端子の入出力回路と未使用端子の処理 ... 35

第3章 CPUアーキテクチャ ... 37

- 3.1 メモリ空間 ... 37
 - 3.1.1 内部プログラム・メモリ空間 ... 42
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 43
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 43
 - 3.1.4 データ・メモリ・アドレッシング ... 44
- 3.2 プロセッサ・レジスタ ... 49
 - 3.2.1 制御レジスタ ... 49
 - 3.2.2 汎用レジスタ ... 52
 - 3.2.3 特殊機能レジスタ (SFR) ... 53

3.3	命令アドレスのアドレッシング	...	55
3.3.1	レラティブ・アドレッシング	...	55
3.3.2	イミディエイト・アドレッシング	...	56
3.3.3	テーブル・インダイレクト・アドレッシング	...	57
3.3.4	レジスタ・アドレッシング	...	57
3.4	オペランド・アドレスのアドレッシング	...	58
3.4.1	ダイレクト・アドレッシング	...	58
3.4.2	ショート・ダイレクト・アドレッシング	...	59
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	60
3.4.4	レジスタ・アドレッシング	...	61
3.4.5	レジスタ・インダイレクト・アドレッシング	...	62
3.4.6	ベースト・アドレッシング	...	63
3.4.7	スタック・アドレッシング	...	63
第4章	ポート機能	...	64
4.1	ポートの機能	...	64
4.2	ポートの構成	...	65
4.2.1	ポート0	...	65
4.2.2	ポート1	...	66
4.2.3	ポート4	...	67
4.2.4	ポート6	...	68
4.2.5	ポート8	...	70
4.3	ポート機能を制御するレジスタ	...	71
4.4	ポート機能の動作	...	74
4.4.1	入出力ポートへの書き込み	...	74
4.4.2	入出力ポートからの読み出し	...	74
4.4.3	入出力ポートでの演算	...	74
第5章	クロック発生回路	...	75
5.1	クロック発生回路の機能	...	75
5.2	クロック発生回路の構成	...	75
5.3	クロック発生回路を制御するレジスタ	...	77
5.4	システム・クロック発振回路	...	80
5.4.1	メイン・システム・クロック発振回路	...	80
5.4.2	サブシステム・クロック発振回路	...	81
5.4.3	発振子の接続の悪い例	...	82
5.4.4	分周回路	...	83
5.4.5	サブシステム・クロックを使用しない場合	...	83
5.5	クロック発生回路の動作	...	84
5.6	システム・クロックとCPUクロックの設定の変更	...	85
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	85
5.6.2	システム・クロックとCPUクロックの切り替え手順	...	86
第6章	8ビット・タイマ30, 40	...	87
6.1	8ビット・タイマ30, 40の機能	...	87
6.2	8ビット・タイマ30, 40の構成	...	88

6.3	8ビット・タイマ30, 40を制御するレジスタ	...	93
6.4	8ビット・タイマ30, 40の動作	...	98
6.4.1	8ビット・タイマ・カウンタ・モードとしての動作	...	98
6.4.2	16ビット・タイマ・カウンタ・モードとしての動作	...	105
6.4.3	キャリア・ジェネレータとしての動作	...	109
6.4.4	PWM出力モードとしての動作（タイマ40のみ）	...	113
6.5	8ビット・タイマ30, 40の注意事項	...	115
第7章 時計用タイマ ... 116			
7.1	時計用タイマの機能	...	116
7.2	時計用タイマの構成	...	117
7.3	時計用タイマを制御するレジスタ	...	118
7.4	時計用タイマの動作	...	119
7.4.1	時計用タイマとしての動作	...	119
7.4.2	インターバル・タイマとしての動作	...	119
第8章 ウォッチドッグ・タイマ ... 121			
8.1	ウォッチドッグ・タイマの機能	...	121
8.2	ウォッチドッグ・タイマの構成	...	122
8.3	ウォッチドッグ・タイマを制御するレジスタ	...	123
8.4	ウォッチドッグ・タイマの動作	...	125
8.4.1	ウォッチドッグ・タイマとしての動作	...	125
8.4.2	インターバル・タイマとしての動作	...	126
第9章 8ビットA/Dコンバータ ... 127			
9.1	8ビットA/Dコンバータの機能	...	127
9.2	8ビットA/Dコンバータの構成	...	127
9.3	8ビットA/Dコンバータを制御するレジスタ	...	130
9.4	8ビットA/Dコンバータの動作	...	132
9.4.1	8ビットA/Dコンバータの基本動作	...	132
9.4.2	入力電圧と変換結果	...	133
9.4.3	8ビットA/Dコンバータの動作モード	...	135
9.5	8ビットA/Dコンバータの注意事項	...	136
第10章 LCDコントローラ/ドライバ ... 140			
10.1	LCDコントローラ/ドライバの機能	...	140
10.2	LCDコントローラ/ドライバの構成	...	140
10.3	LCDコントローラ/ドライバを制御するレジスタ	...	142
10.4	LCDコントローラ/ドライバの設定	...	146
10.4.1	表示開始までの設定	...	146
10.4.2	表示オフ, 昇圧停止までの設定	...	146
10.5	LCD表示データ・メモリ	...	147
10.6	コモン信号とセグメント信号	...	148
10.7	表示モード	...	150
10.7.1	4時分割表示例	...	150

10.8	LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給	...	153
第11章 パワーオン・クリア回路 ... 154			
11.1	パワーオン・クリア回路の機能	...	154
11.2	パワーオン・クリア回路の構成	...	154
11.3	パワーオン・クリア回路の動作	...	155
第12章 割り込み機能 ... 156			
12.1	割り込み機能の種類	...	156
12.2	割り込み要因と構成	...	156
12.3	割り込み機能を制御するレジスタ	...	159
12.4	割り込み処理動作	...	163
12.4.1	ノンマスカブル割り込み要求の受け付け動作	...	163
12.4.2	マスカブル割り込み要求の受け付け動作	...	165
12.4.3	多重割り込み処理	...	167
12.4.4	割り込み要求の保留	...	168
第13章 スタンバイ機能 ... 169			
13.1	スタンバイ機能と構成	...	169
13.1.1	スタンバイ機能	...	169
13.1.2	スタンバイ機能を制御するレジスタ	...	170
13.2	スタンバイ機能の動作	...	171
13.2.1	HALTモード	...	171
13.2.2	STOPモード	...	174
第14章 リセット機能 ... 177			
第15章 μPD78F9468 ... 181			
15.1	フラッシュ・メモリの特徴	...	182
15.1.1	プログラミング環境	...	182
15.1.2	通信方式	...	183
15.1.3	オンボード上の端子処理	...	185
15.1.4	フラッシュ書き込み用アダプタ上の接続	...	188
第16章 マスク・オプション ... 189			
第17章 命令セットの概要 ... 190			
17.1	オペレーション	...	190
17.1.1	オペランドの表現形式と記述方法	...	190
17.1.2	オペレーション欄の説明	...	191
17.1.3	フラグ動作欄の説明	...	191
17.2	オペレーション一覧	...	192
17.3	アドレッシング別命令一覧	...	198

第18章 電気的特性 ... 201

第19章 外形図 ... 211

第20章 半田付け推奨条件 ... 212

付録A 開発ツール ... 215

- A.1 ソフトウェア・パッケージ ... 217
- A.2 言語処理用ソフトウェア ... 217
- A.3 制御ソフトウェア ... 218
- A.4 フラッシュ・メモリ書き込み用ツール ... 219
- A.5 デバッグ用ツール（ハードウェア） ... 219
- A.6 デバッグ用ツール（ソフトウェア） ... 220
- A.7 ターゲット・システム設計上の注意 ... 221

付録B レジスタ索引 ... 223

- B.1 レジスタ索引（50音順） ... 223
- B.2 レジスタ索引（アルファベット順） ... 225

★ 付録C 改版履歴 ... 227

図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 35
3 - 1	メモリ・マップ (μ PD789462) ... 37
3 - 2	メモリ・マップ (μ PD789464) ... 38
3 - 3	メモリ・マップ (μ PD789466) ... 39
3 - 4	メモリ・マップ (μ PD789467) ... 40
3 - 5	メモリ・マップ (μ PD78F9468) ... 41
3 - 6	データ・メモリのアドレッシング (μ PD789462) ... 44
3 - 7	データ・メモリのアドレッシング (μ PD789464) ... 45
3 - 8	データ・メモリのアドレッシング (μ PD789466) ... 46
3 - 9	データ・メモリのアドレッシング (μ PD789467) ... 47
3 - 10	データ・メモリのアドレッシング (μ PD78F9468) ... 48
3 - 11	プログラム・カウンタの構成 ... 49
3 - 12	プログラム・ステータス・ワードの構成 ... 49
3 - 13	スタック・ポインタの構成 ... 51
3 - 14	スタック・メモリへ退避されるデータ ... 51
3 - 15	スタック・メモリから復帰されるデータ ... 51
3 - 16	汎用レジスタの構成 ... 52
4 - 1	ポートの種類 ... 64
4 - 2	P00-P03のブロック図 ... 65
4 - 3	P10, P11のブロック図 ... 66
4 - 4	P40-P43のブロック図 ... 67
4 - 5	P60のブロック図 ... 68
4 - 6	P61のブロック図 ... 69
4 - 7	P80-P85のブロック図 ... 70
4 - 8	ポート・モード・レジスタのフォーマット ... 71
4 - 9	プルアップ抵抗オプション・レジスタ0のフォーマット ... 72
4 - 10	ポート・ファンクション・レジスタ8のフォーマット ... 73
5 - 1	クロック発生回路のブロック図 ... 76
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 77
5 - 3	サブ発振モード・レジスタのフォーマット ... 78
5 - 4	サブクロック・コントロール・レジスタのフォーマット ... 79
5 - 5	メイン・システム・クロック発振回路の外付け回路 ... 80
5 - 6	サブシステム・クロック発振回路の外付け回路 ... 81
5 - 7	発振子の接続の悪い例 ... 82
5 - 8	システム・クロックとCPUクロックの切り替え例 ... 86

図の目次 (2/4)

図番号	タイトル, ページ
6 - 1	タイマ30のブロック図 ... 89
6 - 2	タイマ40のブロック図 ... 90
6 - 3	出力制御回路 (タイマ40) のブロック図 ... 91
6 - 4	8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット ... 94
6 - 5	8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット ... 95
6 - 6	キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット ... 96
6 - 7	ポート・モード・レジスタ6のフォーマット ... 97
6 - 8	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 99
6 - 9	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時) ... 100
6 - 10	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時) ... 100
6 - 11	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N < M) 変更時) ... 101
6 - 12	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N > M) 変更時) ... 101
6 - 13	8ビット分解能のインターバル・タイマ動作のタイミング (タイマ30のカウント・クロックにタイマ40一致信号選択時) ... 102
6 - 14	8ビット分解能の方形波出力のタイミング ... 104
6 - 15	16ビット分解能のインターバル・タイマ動作のタイミング ... 106
6 - 16	16ビット分解能の方形波出力のタイミング ... 108
6 - 17	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M > N) 設定時) ... 110
6 - 18	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時) ... 111
6 - 19	キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N 設定時) ... 112
6 - 20	PWM出力モードのタイミング (基本動作) ... 114
6 - 21	PWM出力モードのタイミング (CR40, CRH40を書き換えた場合) ... 114
6 - 22	8ビット・タイマ・カウンタのスタート・タイミング ... 115
7 - 1	時計用タイマのブロック図 ... 116
7 - 2	時計用タイマ・モード・コントロール・レジスタのフォーマット ... 118
7 - 3	時計用タイマ / インターバル・タイマの動作タイミング ... 120
8 - 1	ウォッチドッグ・タイマのブロック図 ... 122
8 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 123
8 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 124
9 - 1	8ビットA/Dコンバータのブロック図 ... 128
9 - 2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 130
9 - 3	A/D入力選択レジスタ0のフォーマット ... 131
9 - 4	8ビットA/Dコンバータの基本動作 ... 132
9 - 5	アナログ入力電圧とA/D変換結果の関係 ... 134

図の目次 (3/4)

図番号	タイトル, ページ
9 - 6	ソフトウェア・スタートによるA/D変換動作 ... 135
9 - 7	スタンバイ・モード時の消費電流を低減させる方法例 ... 136
9 - 8	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 137
9 - 9	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 137
9 - 10	アナログ入力端子の処理 ... 138
9 - 11	A/D変換終了割り込み要求発生タイミング ... 139
10 - 1	LCDコントローラ/ドライバのブロック図 ... 141
10 - 2	LCD表示モード・レジスタ0のフォーマット ... 142
10 - 3	LCDクロック制御レジスタ0のフォーマット ... 144
10 - 4	LCD昇圧制御レジスタ0のフォーマット ... 145
10 - 5	ポート・ファンクション・レジスタ8のフォーマット ... 145
10 - 6	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 ... 147
10 - 7	コモン信号波形 ... 149
10 - 8	コモン信号とセグメント信号の電圧と位相 ... 149
10 - 9	4時分割LCD表示パターンと電極結線 ... 150
10 - 10	4時分割LCDパネルの結線例 ... 151
10 - 11	4時分割LCD駆動波形例 ... 152
10 - 12	LCDドライバ用端子接続例 ... 153
11 - 1	パワーオン・クリア回路のブロック図 ... 154
11 - 2	POC回路の内部リセット信号発生のタイミング ... 155
12 - 1	割り込み機能の基本構成 ... 158
12 - 2	割り込み要求フラグ・レジスタ0のフォーマット ... 160
12 - 3	割り込みマスク・フラグ・レジスタ0のフォーマット ... 160
12 - 4	外部割り込みモード・レジスタ0のフォーマット ... 161
12 - 5	プログラム・ステータス・ワードの構成 ... 161
12 - 6	キー・リターン・モード・レジスタ00のフォーマット ... 162
12 - 7	立ち下がりエッジの検出回路のブロック図 ... 162
12 - 8	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 164
12 - 9	ノンマスクابل割り込み要求の受け付けタイミング ... 164
12 - 10	ノンマスクابل割り込み要求の受け付け動作 ... 164
12 - 11	割り込み要求受け付け処理アルゴリズム ... 165
12 - 12	割り込み要求の受け付けタイミング (MOV A, rの例) ... 166
12 - 13	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 166
12 - 14	多重割り込みの例 ... 167

図の目次 (4/4)

図番号	タイトル, ページ
13 - 1	発振安定時間選択レジスタのフォーマット ... 170
13 - 2	HALTモードの割り込み発生による解除 ... 172
13 - 3	HALTモードのRESET入力による解除 ... 173
13 - 4	STOPモードの割り込み発生による解除 ... 175
13 - 5	STOPモードのRESET入力による解除 ... 176
14 - 1	リセット機能のブロック図 ... 177
14 - 2	RESET入力によるリセット・タイミング ... 178
14 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 178
14 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 178
14 - 5	パワーオン・クリアによるリセット・タイミング ... 179
15 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 182
15 - 2	通信方式選択フォーマット ... 183
15 - 3	専用フラッシュ・ライタとの接続例 ... 184
15 - 4	VPP端子の接続例 ... 185
15 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 186
15 - 6	ほかのデバイスの異常動作 ... 186
15 - 7	信号の衝突 (RESET端子) ... 187
15 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 188
A - 1	開発ツール構成 ... 216
A - 2	ターゲット・システムの接続条件図 ... 222

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 35
3 - 1	内部ROM容量 ... 42
3 - 2	ベクタ・テーブル ... 42
3 - 3	特殊機能レジスタ一覧 ... 54
4 - 1	ポートの機能 ... 64
4 - 2	ポートの構成 ... 65
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 72
5 - 1	クロック発生回路の構成 ... 75
5 - 2	CPUクロックの切り替えに要する最大時間 ... 85
6 - 1	モード一覧 ... 87
6 - 2	8ビット・タイマ30, 40の構成 ... 88
6 - 3	タイマ30のインターバル時間 (fx = 5.0 MHz動作時) ... 99
6 - 4	タイマ40のインターバル時間 (fx = 5.0 MHz動作時) ... 99
6 - 5	タイマ40の方形波出力範囲 (fx = 5.0 MHz動作時) ... 103
6 - 6	16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時) ... 105
6 - 7	16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時) ... 107
7 - 1	インターバル・タイマのインターバル時間 ... 117
7 - 2	時計用タイマの構成 ... 117
7 - 3	インターバル・タイマのインターバル時間 ... 119
8 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 121
8 - 2	ウォッチドッグ・タイマのインターバル時間 ... 121
8 - 3	ウォッチドッグ・タイマの構成 ... 122
8 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 125
8 - 5	ウォッチドッグ・タイマのインターバル時間 ... 126
9 - 1	8ビットA/Dコンバータの構成 ... 127
10 - 1	最大表示画素数 ... 140
10 - 2	LCDコントローラ/ドライバの構成 ... 140
10 - 3	フレーム周波数 (Hz) ... 144
10 - 4	COM信号 ... 148
10 - 5	選択, 非選択電圧 (COM0-COM3) ... 150
10 - 6	V _{LC0} -V _{LC2} 端子の出力電圧 ... 153

表の目次 (2/2)

表番号	タイトル, ページ
12 - 1	割り込み要因一覧 ... 157
12 - 2	割り込み要求信号名に対する各種フラグ ... 159
12 - 3	マスカブル割り込み要求発生から処理までの時間 ... 165
13 - 1	HALTモード時の動作状態 ... 171
13 - 2	HALTモードの解除後の動作 ... 173
13 - 3	STOPモード時の動作状態 ... 174
13 - 4	STOPモードの解除後の動作 ... 176
14 - 1	各ハードウェアのリセット後の状態 ... 180
15 - 1	μPD78F9468とマスクROM製品の違い ... 181
15 - 2	μPD78F9468とマスクROM製品のLCDコントローラ / ドライバの違い ... 182
15 - 3	通信方式一覧 ... 183
15 - 4	端子接続一覧 ... 184
17 - 1	オペランドの表現形式と記述方法 ... 190
20 - 1	表面実装タイプの半田付け条件 ... 212

第1章 概 説

1.1 特 徴

○ ROM, RAM容量

項 目 品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	LCD表示用RAM
μ PD789462	マスクROM	4 Kバイト	256バイト	23 × 4ビット
μ PD789464		8 Kバイト		
μ PD789466		16 Kバイト	512バイト	
μ PD789467		24 Kバイト		
μ PD78F9468	フラッシュ・メモリ	32 Kバイト		

- 高速 (0.4 μ s : メイン・システム・クロック5.0 MHz動作時) から超低速 (122 μ s : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能
- I/Oポート : 18本
- 8ビット分解能A/Dコンバータ : 1チャンネル
- タイマ : 4チャンネル
 - ・ 8ビット・タイマ : 2チャンネル
 - ・ 時計用タイマ : 1チャンネル
 - ・ ウォッチドッグ・タイマ : 1チャンネル
- LCDコントローラ / ドライバ (昇圧回路内蔵)
 - セグメント信号 : 23本 , コモン信号 : 4本
- ベクタ割り込み要因 : 9
- パワーオン・クリア回路内蔵 (マスクROM製品はマスク・オプション)
- 電源電圧 : $V_{DD} = 1.8 \sim 5.5$ V^注
- 動作周囲温度 : $T_A = -40 \sim +85$

注 マスクROM製品でPOC使用を選択した場合もしくはフラッシュ・メモリ製品の場合は , 動作電源電圧の最小値がPOC検出電圧 (1.9 ± 0.1 V) となります。

1.2 応用分野

リモコン機器 , 健康機器など

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789462GB- × × × -8ET	52ピン・プラスチックLQFP (10 × 10)	マスクROM
μPD789464GB- × × × -8ET	52ピン・プラスチックLQFP (10 × 10)	"
μPD789466GB- × × × -8ET	52ピン・プラスチックLQFP (10 × 10)	"
μPD789467GB- × × × -8ET	52ピン・プラスチックLQFP (10 × 10)	"
μPD78F9468GB-8ET	52ピン・プラスチックLQFP (10 × 10)	フラッシュ・メモリ
μPD789462GB- × × × -8ET-A	52ピン・プラスチックLQFP (10 × 10)	マスクROM
μPD789464GB- × × × -8ET-A	52ピン・プラスチックLQFP (10 × 10)	"
μPD789466GB- × × × -8ET-A	52ピン・プラスチックLQFP (10 × 10)	"
μPD789467GB- × × × -8ET-A	52ピン・プラスチックLQFP (10 × 10)	"
μPD78F9468GB-8ET-A	52ピン・プラスチックLQFP (10 × 10)	フラッシュ・メモリ

備考1．オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2．× × × はROMコード番号です。

1.4 端子接続図 (Top View)

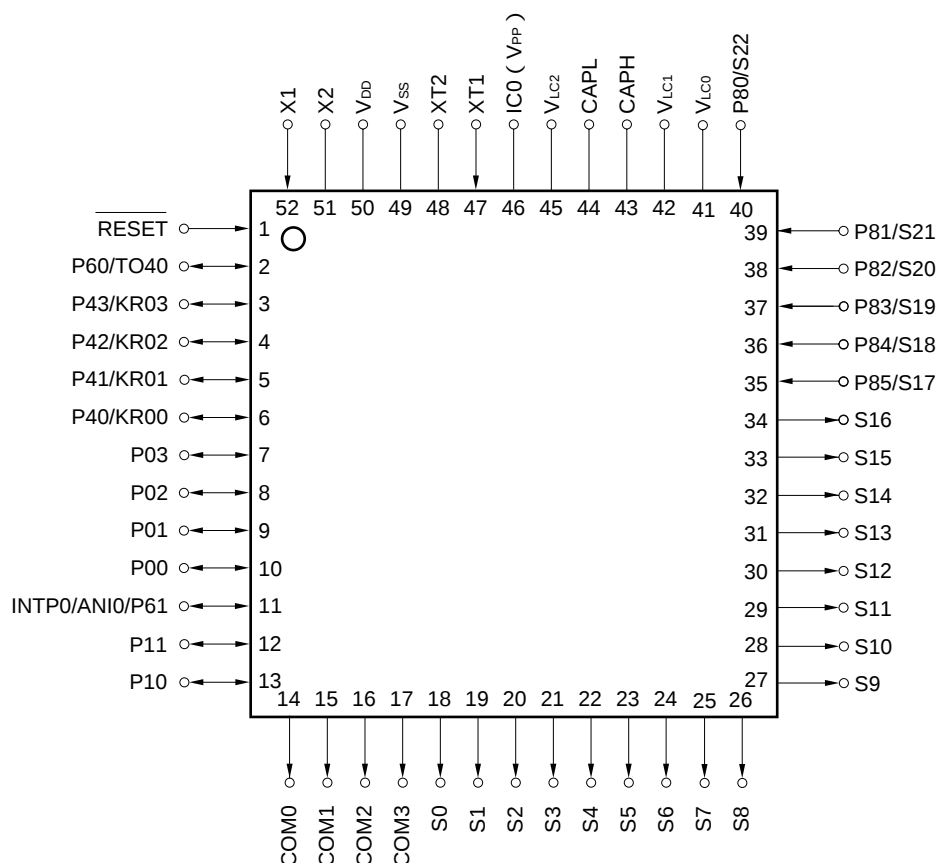
52ピン・プラスチックLQFP (10×10)

μ PD789462GB-×××-8ET μ PD789464GB-×××-8ET μ PD789466GB-×××-8ET

μ PD789467GB-×××-8ET μ PD78F9468GB-8ET

★ μ PD789462GB-×××-8ET-A μ PD789464GB-×××-8ET-A μ PD789466GB-×××-8ET-A

★ μ PD789467GB-×××-8ET-A μ PD78F9468GB-8ET-A



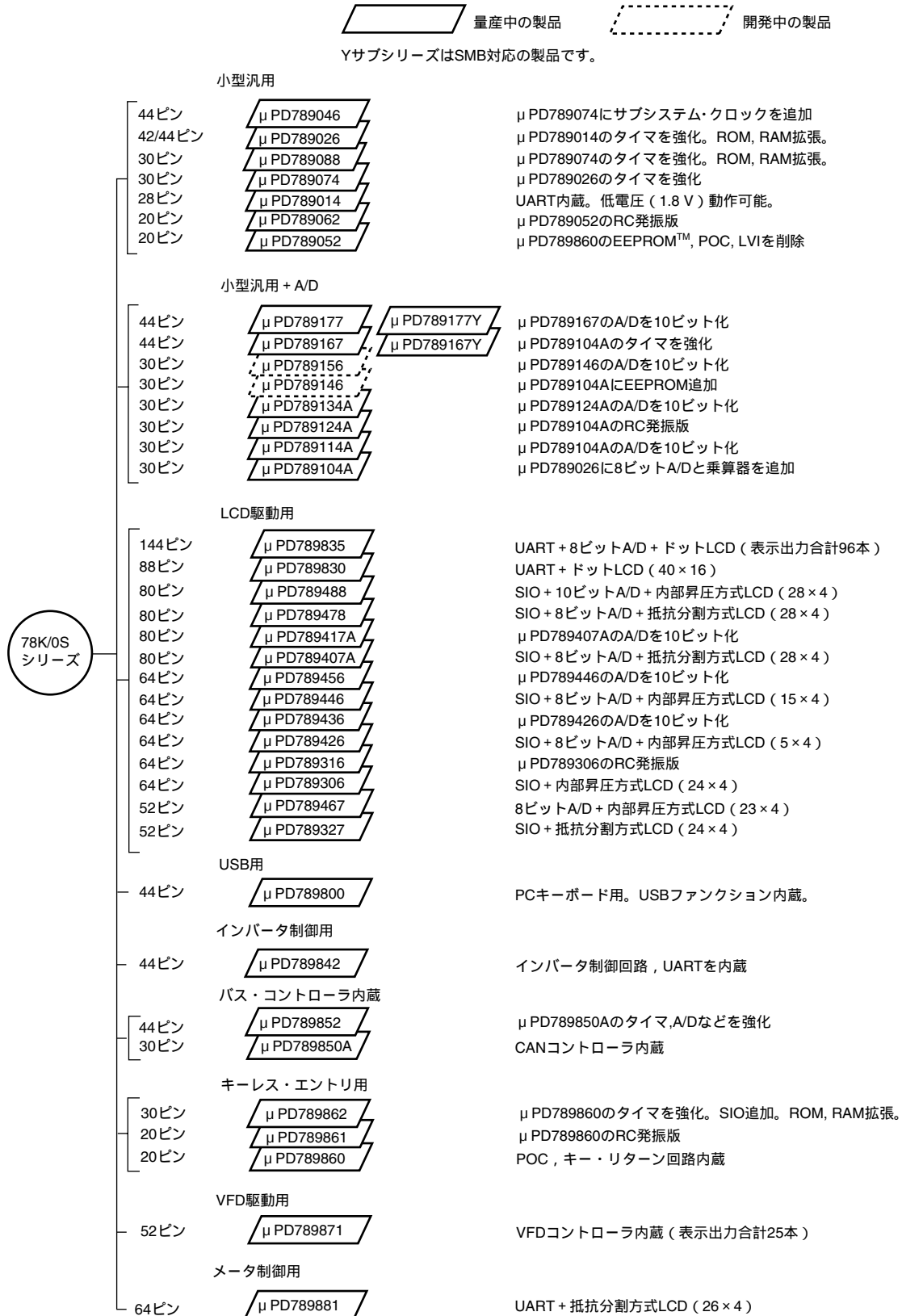
注意 IC0 (Internally Connected) 端子はV_{SS}に直接接続してください。

備考 () 内は, μ PD78F9468のとき

ANI0	: Analog Input	P80-P85	: Port 8
CAPH, CAPL	: LCD Power Supply Capacitance Control	RESET	: Reset
COM0-COM3	: Common Output	S0-S22	: Segment Output
IC0	: Internally connected	TO40	: Timer Output
INTP0	: External Interrupt Input	V _{DD}	: Power Supply
KR00-KR03	: Key Return	V _{LC0} -V _{LC2}	: Power Supply for LCD
P00-P03	: Port 0	V _{PP}	: Programming Power Supply
P10, P11	: Port 1	V _{SS}	: Ground
P40-P43	: Port 4	X1, X2	: Crystal (Main system clock)
P60, P61	: Port 6	XT1, XT2	: Crystal (Subsystem clock)

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを示します。

汎用，LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K			-							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789014	2 K-4 K	2 ch	-						22本		
	μPD789062	4 K							-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789156	8 K-16 K	1 ch		-		-	4 ch		20本		EEPROM内蔵
	μPD789146						4 ch	-				
	μPD789134A	2 K-8 K					-	4 ch				RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789488	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789478	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

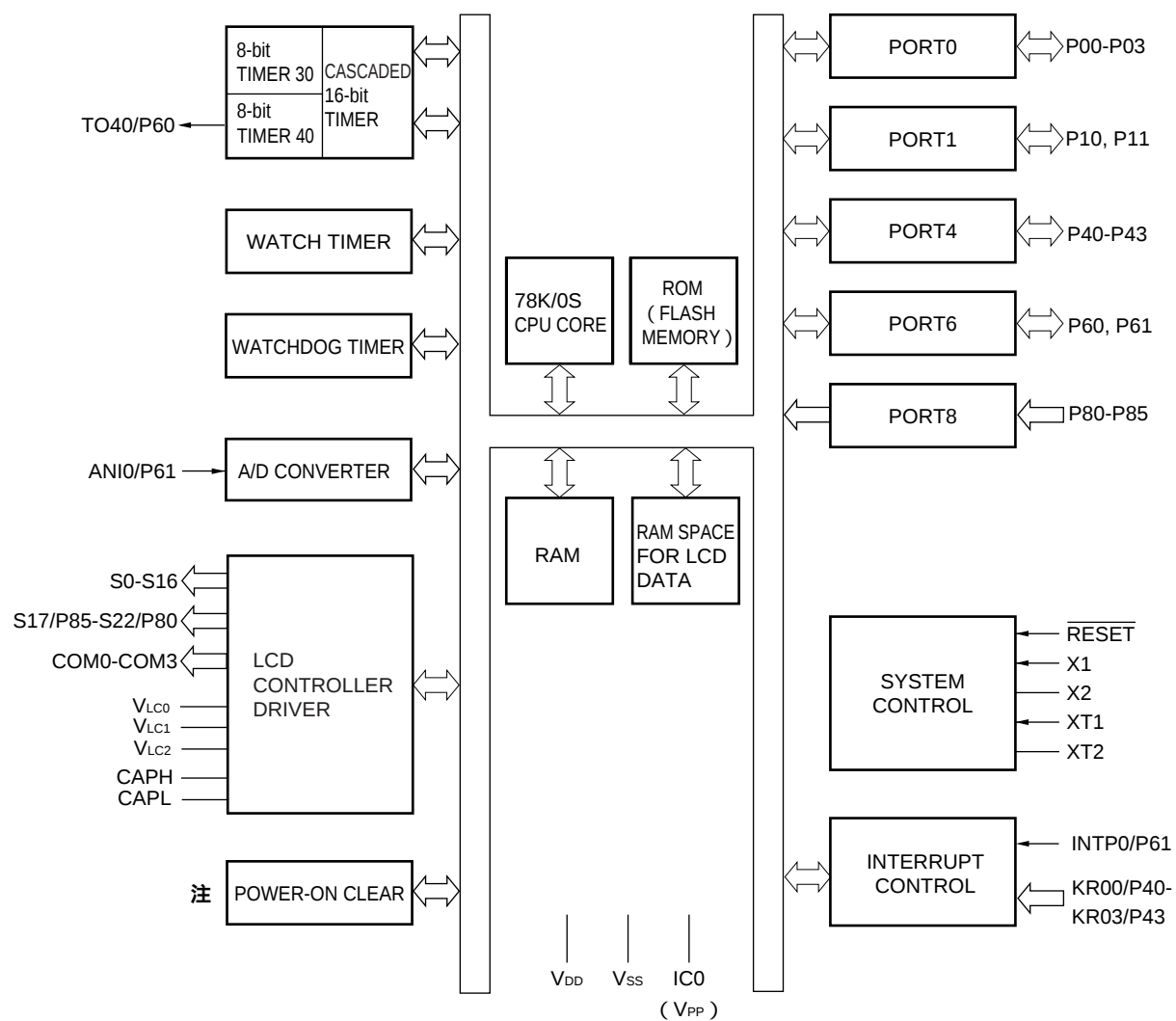
ASSP用シリーズ

機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μ PD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μ PD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μ PD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μ PD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キーレス ・エント リ用 μ PD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵
μ PD789860											EEPROM内蔵
μ PD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用 μ PD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μ PD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ：1チャンネル

2. フラッシュ・メモリ版：3.0 V

1.6 ブロック図



- ★ 注 マスクROM製品 (μ PD789462, 789464, 789466, 789467) の場合は , マスク・オプションによりPOC回路の使用を選択時のみ

備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は , μ PD78F9468のとき

1.7 機能概要

機能概要

品 名		μ PD789462	μ PD789464	μ PD789466	μ PD789467	μ PD78F9468	
項 目							
内部メモリ	ROM	マスクROM				フラッシュ・メモリ	
		4 Kバイト	8 Kバイト	16 Kバイト	24 Kバイト		32 Kバイト
	高速RAM	256バイト		512バイト			
	LCD表示用RAM	23×4ビット					
メイン・システム・クロック (発振周波数)		セラミック / クリスタル発振 (1.0 ~ 5.0 MHz)					
サブシステム・クロック (発振周波数)		クリスタル発振 (32.768 kHz)					
最小命令実行時間		0.4 μs / 1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)					
		122 μs (サブシステム・クロック : 32.768 kHz動作時)					
汎用レジスタ		8ビット×8レジスタ					
命令セット		・ 16ビット演算 ・ ビット操作 (セット , リセット , テスト) など					
I/Oポート		合計 : 18本 ^{注1}					
		CMOS入出力 : 12本					
		CMOS入力 : 6本 ^{注1}					
タイマ		・ 8ビット・タイマ : 2チャンネル					
		・ 時計用タイマ : 1チャンネル					
		・ ウォッチドッグ・タイマ : 1チャンネル					
タイマ出力		1本					
A/Dコンバータ		8ビット分解能×1チャンネル					
LCDコントローラ / ドライバ		・ セグメント信号出力 : 23本 ^{注1}					
		・ コモン信号出力 : 4本					
ベクタ割り込み 要因	マスカブル	内部 : 6 , 外部 : 2					
	ノンマスカブル	内部 : 1					
リセット		・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリア回路によるリセット ^{注2}					
電源電圧		V _{DD} = 1.8 ~ 5.5 V ^{注3}					
動作周囲温度		T _A = - 40 ~ + 85					
パッケージ		52ピン・プラスチックLQFP (10×10)					

注1. うち6本は、ポート機能がLCDセグメント出力のどちらかを、ポート・ファンクション・レジスタで選択する端子です。

- マスクROM製品 (μ PD789462, 789464, 789466, 789467) の場合は、マスク・オプションによりPOC回路の使用を選択時のみ
- マスクROM製品でPOC使用を選択した場合もしくはフラッシュ・メモリ製品の場合は、動作電源電圧の最小値がPOC検出電圧 (1.9 ± 0.1 V) となります。

次にタイマの概要を示します。

		8ビット・タイマ30	8ビット・タイマ40	時計用タイマ	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・カウンタ	-	-	-	-
機能	タイマ出力	-	1出力	-	-
	方形波出力	-	1出力	-	-
	キャプチャ	-	-	-	-
	割り込み要因	1	1	2	2

注1．時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2．ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ0 (PU0) により，内蔵プルアップ抵抗をポート単位で使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ0 (PU0) により，内蔵プルアップ抵抗をポート単位で使用可能。	入力	-
P40-P43	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ0 (PU0) または，キー・リターン・モード・レジスタ (KRM00) により，内蔵プルアップ抵抗をポート単位で使用可能。	入力	KR00-KR03
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	TO40
P61				INTP0/ANI0
P80-P85	入力	ポート8。 6ビット入力ポート。	入力	S22-S17

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力	入力	P61/ANI0
KR00-KR03	入力	キー・リターン信号検出	入力	P40-P43
TO40	出力	8ビット・タイマ40の出力	入力	P60
ANI0	入力	A/Dコンバータのアナログ入力	入力	P61/INTP0
S0-S16	出力	LCDコントローラ / ドライバのセグメント信号出力	ロウ・レベル出力	-
S17-S22			入力	P85-P80
COM0-COM2	出力	LCDコントローラ / ドライバのコモン信号出力	ロウ・レベル出力	-
COM3	出力	マスクROM製品	ロウ・レベル出力	-
		フラッシュ・メモリ製品	ハイ・レベル出力	
CAPH, CAPL	-	LCD駆動用昇圧回路コンデンサ接続端子	-	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グラウンド電位	-	-
IC0	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。プログラム書き込み / ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.3 P40-P43 (Port 4)

4ビットの入出力ポートです。入出力ポートのほかにキー・リターン信号検出機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) またはキー・リターン・モード・レジスタ00 (KRM00) により内蔵プルアップ抵抗をポート単位で使用できます。

(2) コントロール・モード

キー・リターン信号検出端子 (KR00-KR03) として機能します。

2.2.4 P60, P61 (Port 6)

2ビット入出力ポートです。入出力ポートのほかにタイマ出力、外部割り込み入力、アナログ入力があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

タイマ出力、外部割り込み入力、アナログ入力として機能します。

(a) TO40

タイマ40のタイマ出力端子です。

(b) INTP0

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がり立ち下がり両エッジ）指定可能な外部割り込み入力端子です。

(c) ANI0

A/Dコンバータのアナログ入力端子です。

2.2.5 P80-P85 (Port 8)

6ビット入力ポートです。入力ポートのほかにLCDコントローラ／ドライバのセグメント信号出力があります。ポート・ファンクション・レジスタ8 (PF8) により，1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入力ポートとして機能します。

(2) コントロール・モード

LCDコントローラ／ドライバのセグメント信号出力 (S17-S22) として機能します。

2.2.6 S0-S16

LCDコントローラ／ドライバのセグメント信号出力端子です。

2.2.7 COM0-COM3

LCDコントローラ／ドライバのコモン信号出力端子です。

2.2.8 VLC0-VLC2

LCD駆動用電源電圧端子です。

2.2.9 CAPH, CAPL

LCD駆動用昇圧回路のコンデンサを接続する端子です。

2.2.10 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.11 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

2.2.12 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは，XT1に入力し，XT2にその反転信号を入力してください。

2.2.13 VDD

正電源供給端子です。

2.2.14 VSS

グランド電位端子です。

2.2.15 VPP (μ PD78F9468のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- 個別に10 k Ω のプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はVSSに直接接続するように切り替える

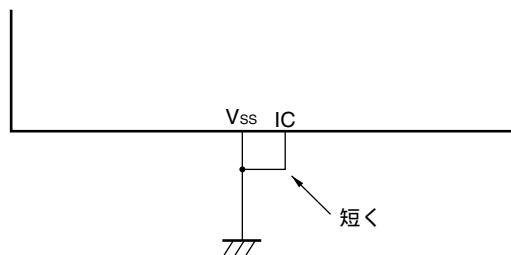
★ VPP端子とVSS端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.16 IC0 (マスクROM製品のみ)

IC0 (Internally Connected) 端子は、当社出荷時に μ PD789462, 789464, 789466, 789467を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子をVSSに直接接続し、その配線長を極力短くしてください。

IC0端子とVSS端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子とVSS端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○ IC0端子をVSS端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

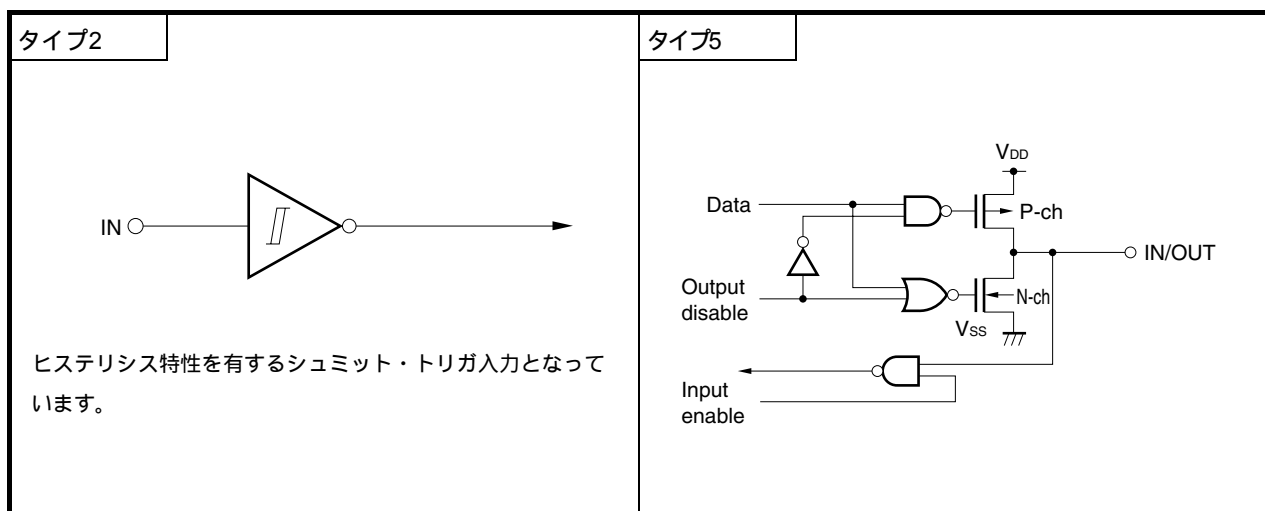
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

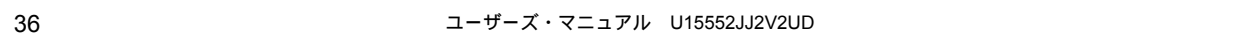
また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P03	5 - A	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P10, P11			
P40/KR00-P43/KR03	8-A		
P60/TO40	5	入出力	入力時：個別に抵抗を介して、 V_{SS} に接続してください。 出力時：オープンにしてください。
P61/INTP0/ANI0	33		
P80/S22-P85/S17	17 - O		
S0-S16	17 - D	出力	オープンにしてください。
COM0-COM3	18 - B		
V_{LC0} - V_{LC2}	-	-	
CAPH, CAPL		-	オープンにしてください。
XT1		入力	
XT2	2	-	V _{SS} に接続してください。
RESET		入力	
IC0 (マスクROM製品)		-	
V_{PP} (μ PD78F9468)	-	-	V _{SS} に直接接続してください。
			個別に10 k Ω のプルダウン抵抗を接続するか、V _{SS} に直接接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)





第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD789467サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 5に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μPD789462)

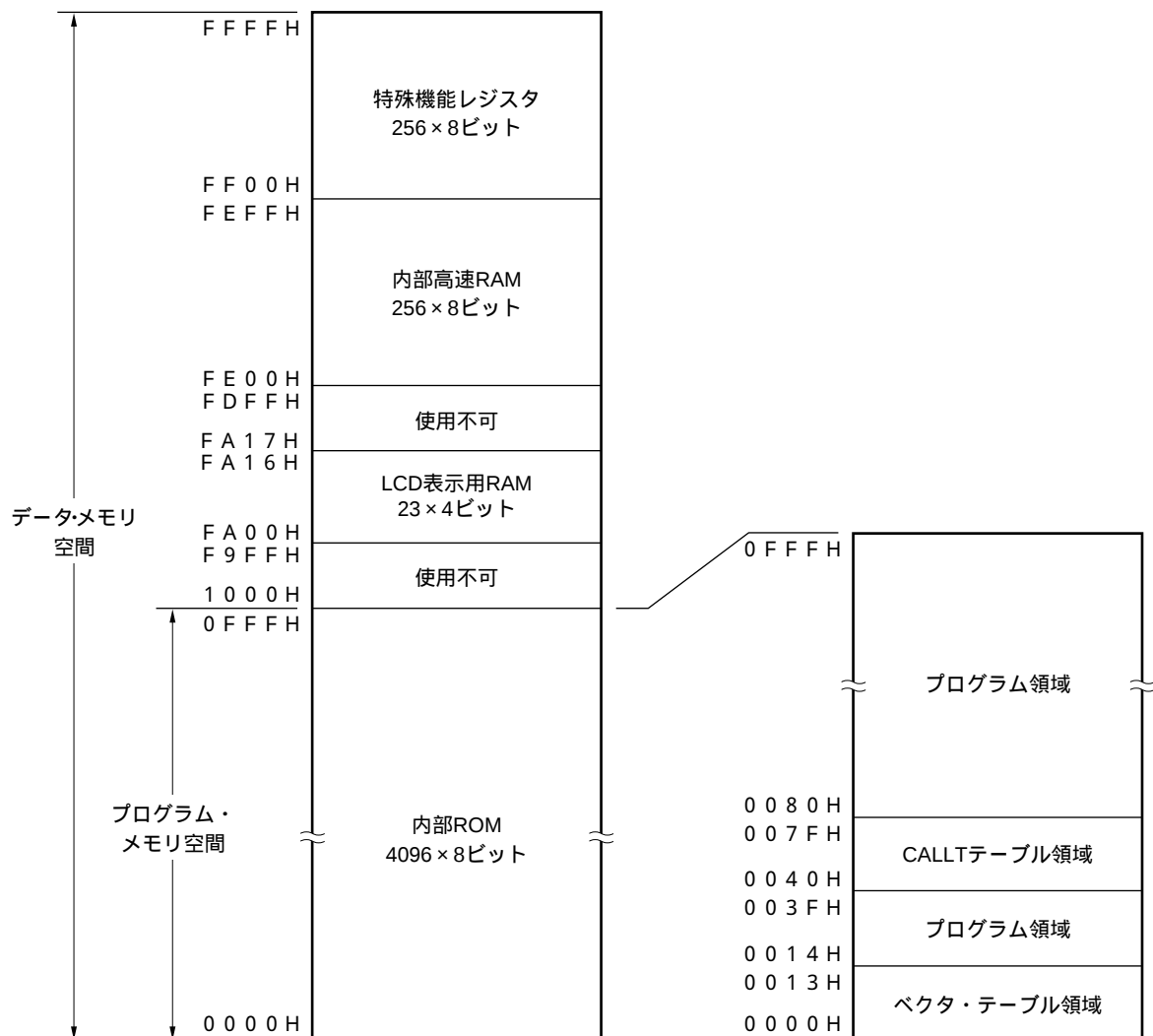


図3 - 2 メモリ・マップ (μ PD789464)

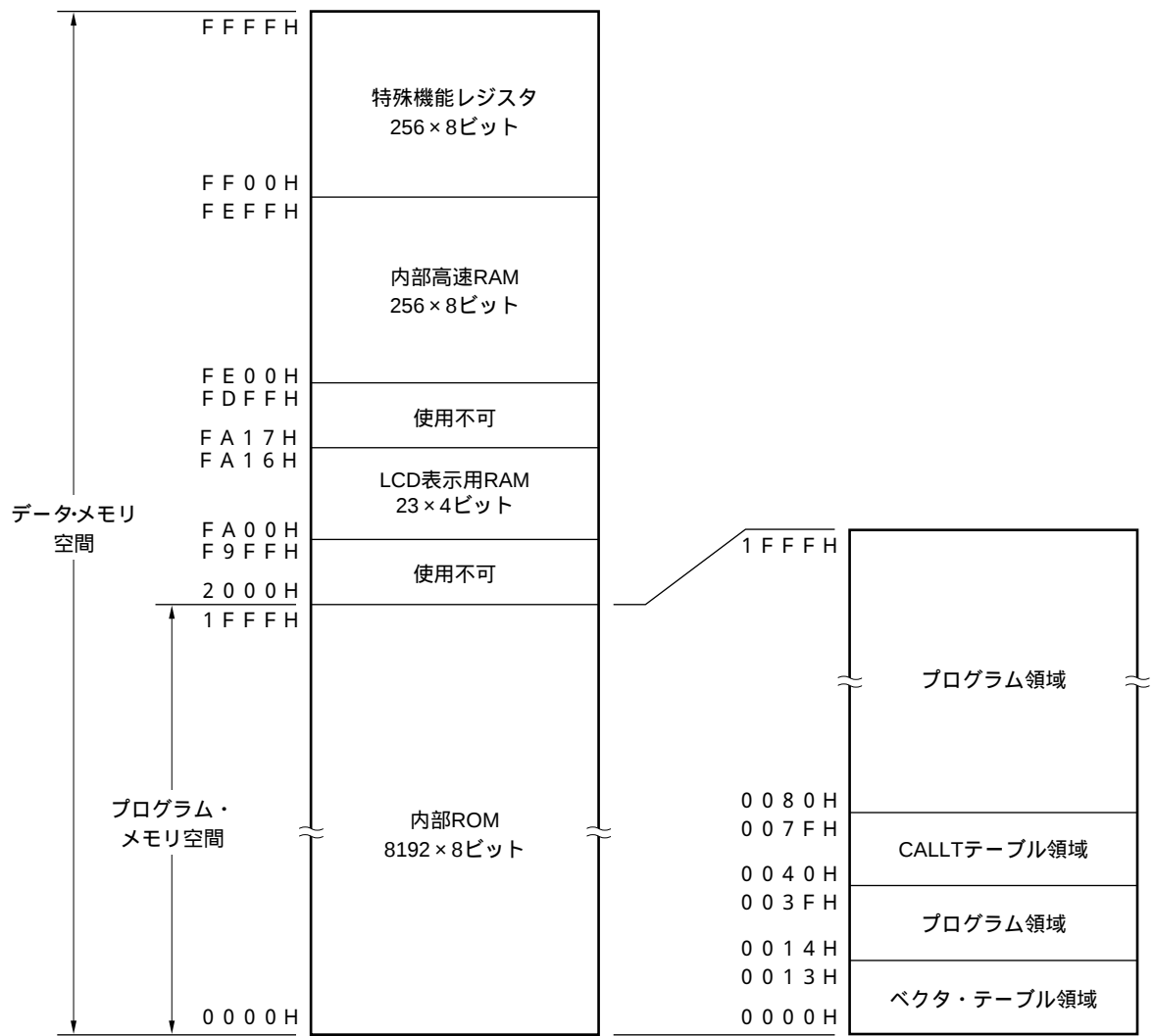


図3 - 3 メモリ・マップ (μ PD789466)

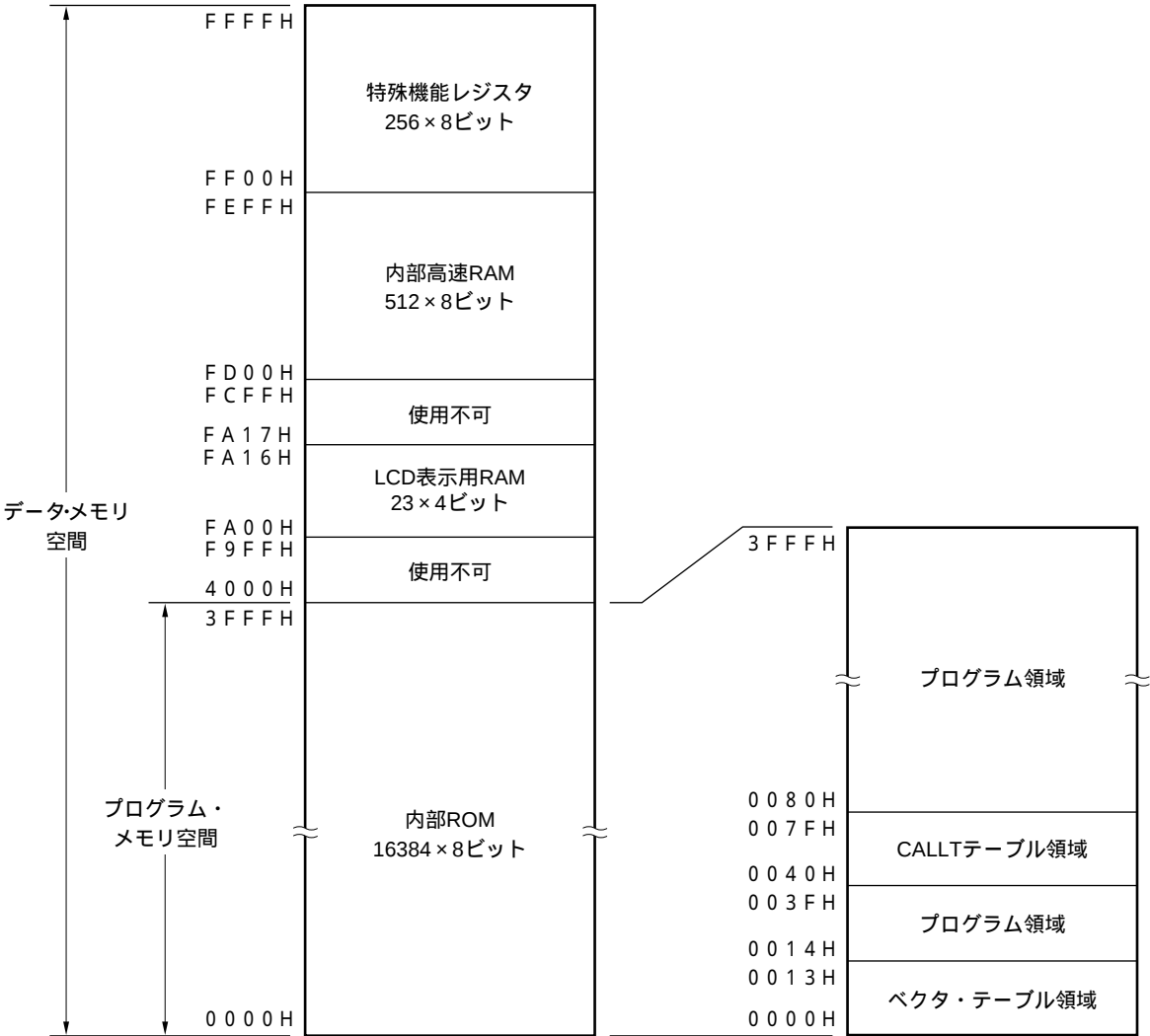


図3 - 4 メモリ・マップ (μ PD789467)

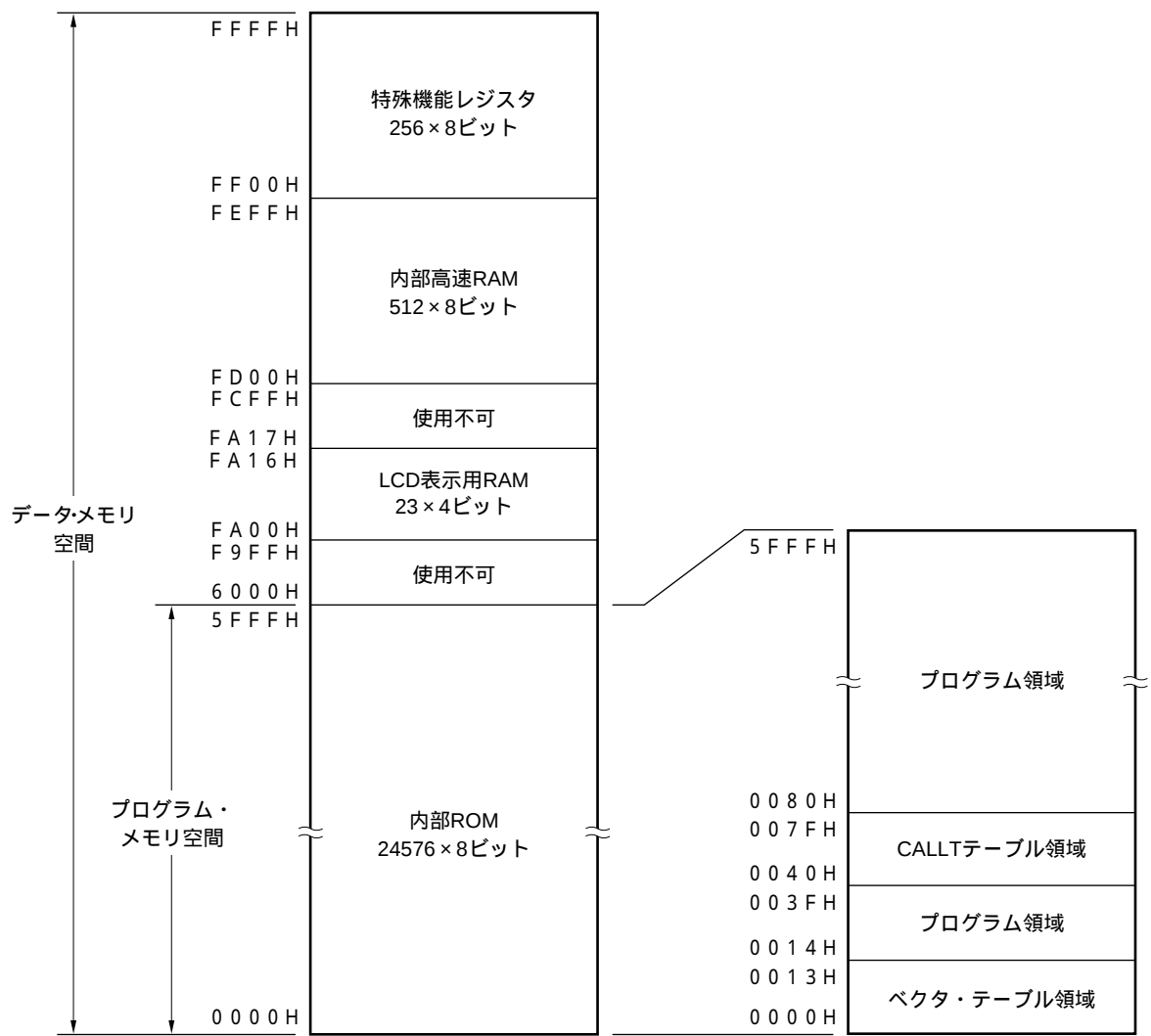
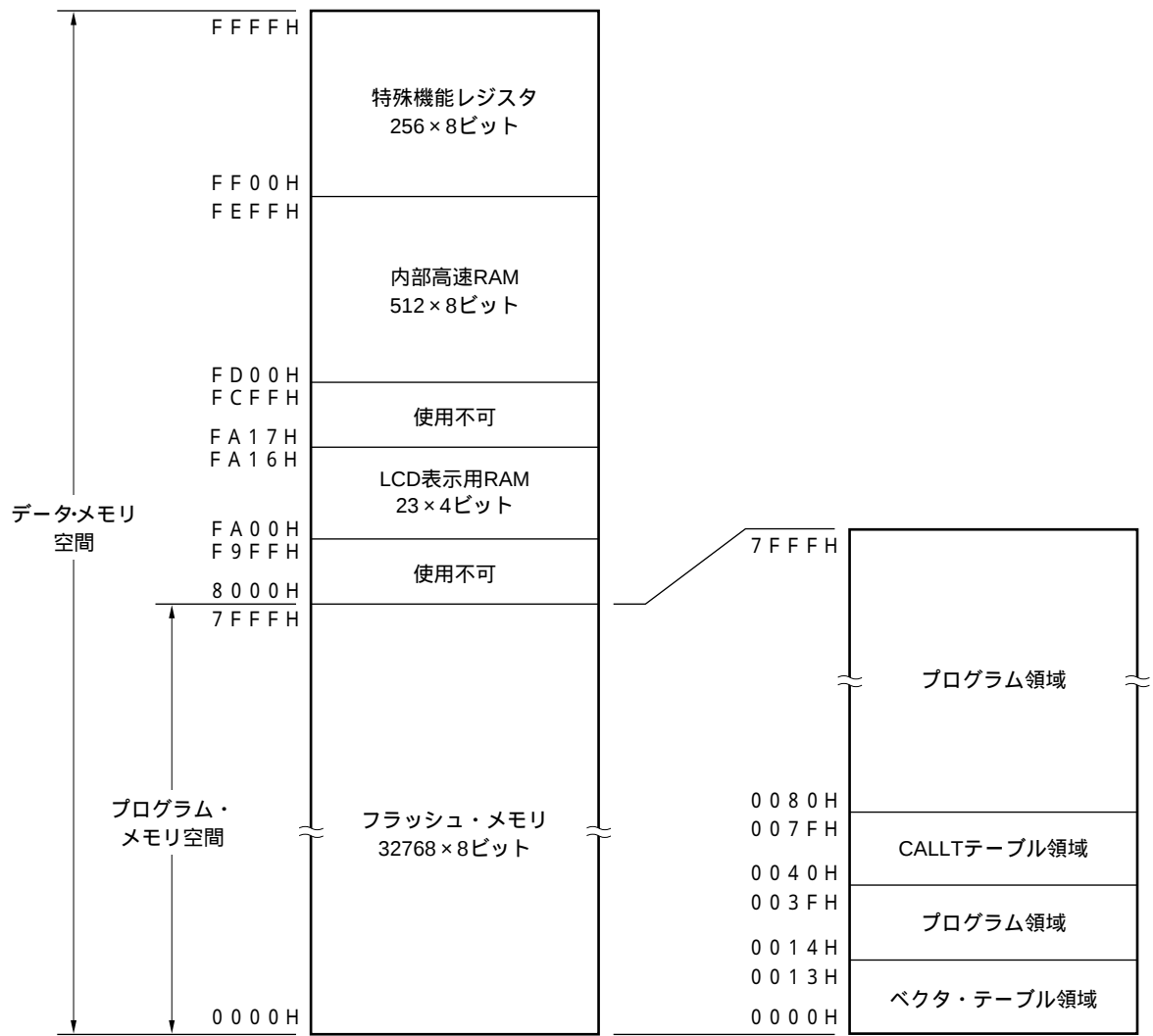


図3 - 5 メモリ・マップ (μ PD78F9468)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789467サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789462	マスクROM	4096×8ビット
μPD789464		8192×8ビット
μPD789466		16384×8ビット
μPD789467		24576×8ビット
μPD78F9468	フラッシュ・メモリ	32768×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

0000H-0013Hの20バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0 0 0 0 H	RESET入力	0 0 0 C H	INTTM30
0 0 0 4 H	INTWDT	0 0 0 E H	INTTM40
0 0 0 6 H	INTP0	0 0 1 0 H	INTKR00
0 0 0 8 H	INTAD0	0 0 1 2 H	INTWTI
0 0 0 A H	INTWT		

（2）CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789467サブシリーズの製品には、次に示すRAMを内蔵しています。

（1）内部高速RAM

μ PD789462, 789464はFE00H-FEFFFH, μ PD789466, 789467, 78F9468はFD00H-FEFFFHの領域に、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

（2）LCD表示用RAM

FA00H-FA16Hの領域には、LCD表示用RAMを内蔵しています。

LCD表示用RAMは、通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 3参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789467サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 6から図3 - 10にデータ・メモリのアドレッシングを示します。

図3 - 6 データ・メモリのアドレッシング (μ PD789462)

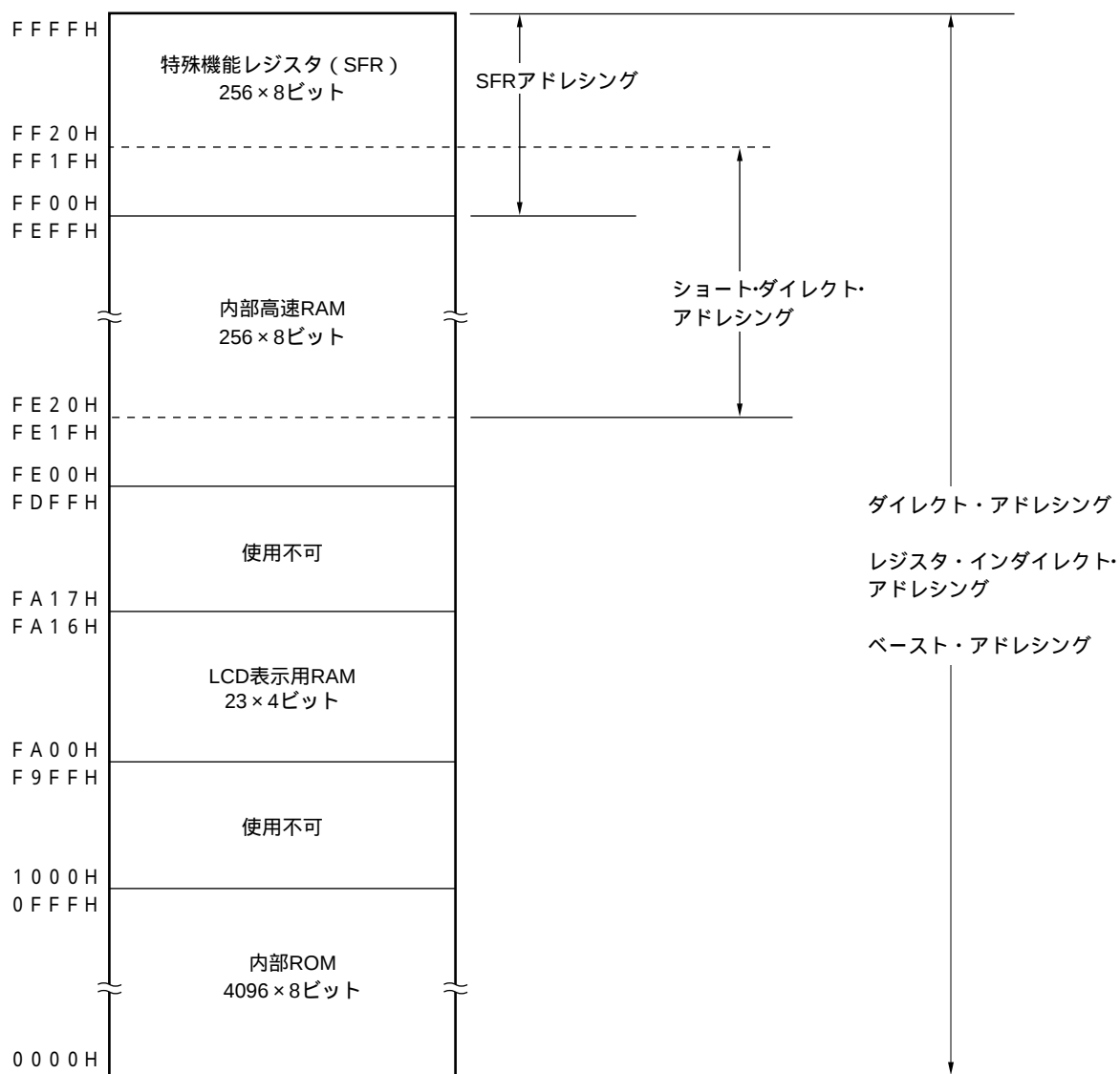


図3 - 7 データ・メモリのアドレッシング (μ PD789464)

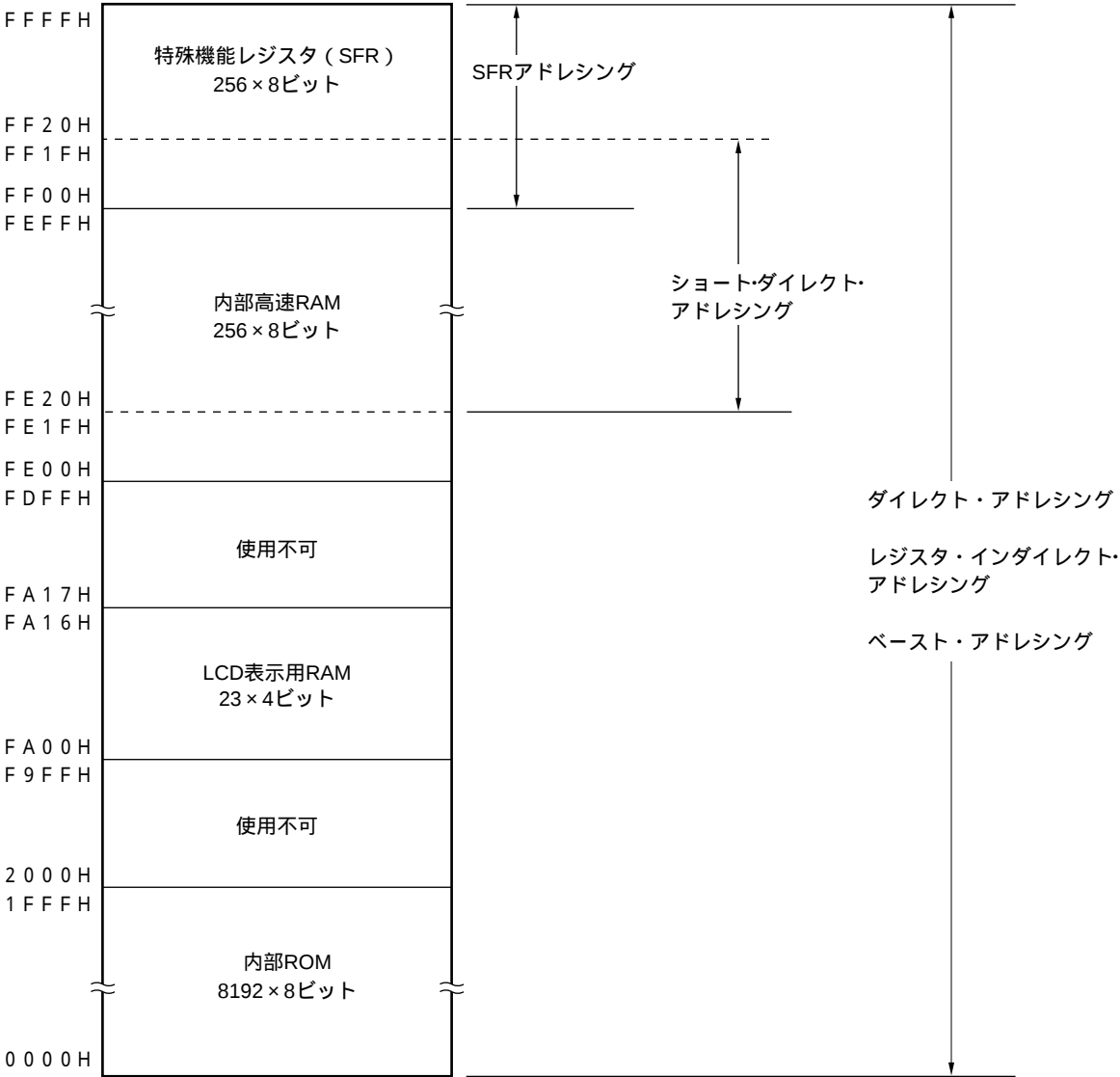


図3 - 8 データ・メモリのアドレッシング (μ PD789466)

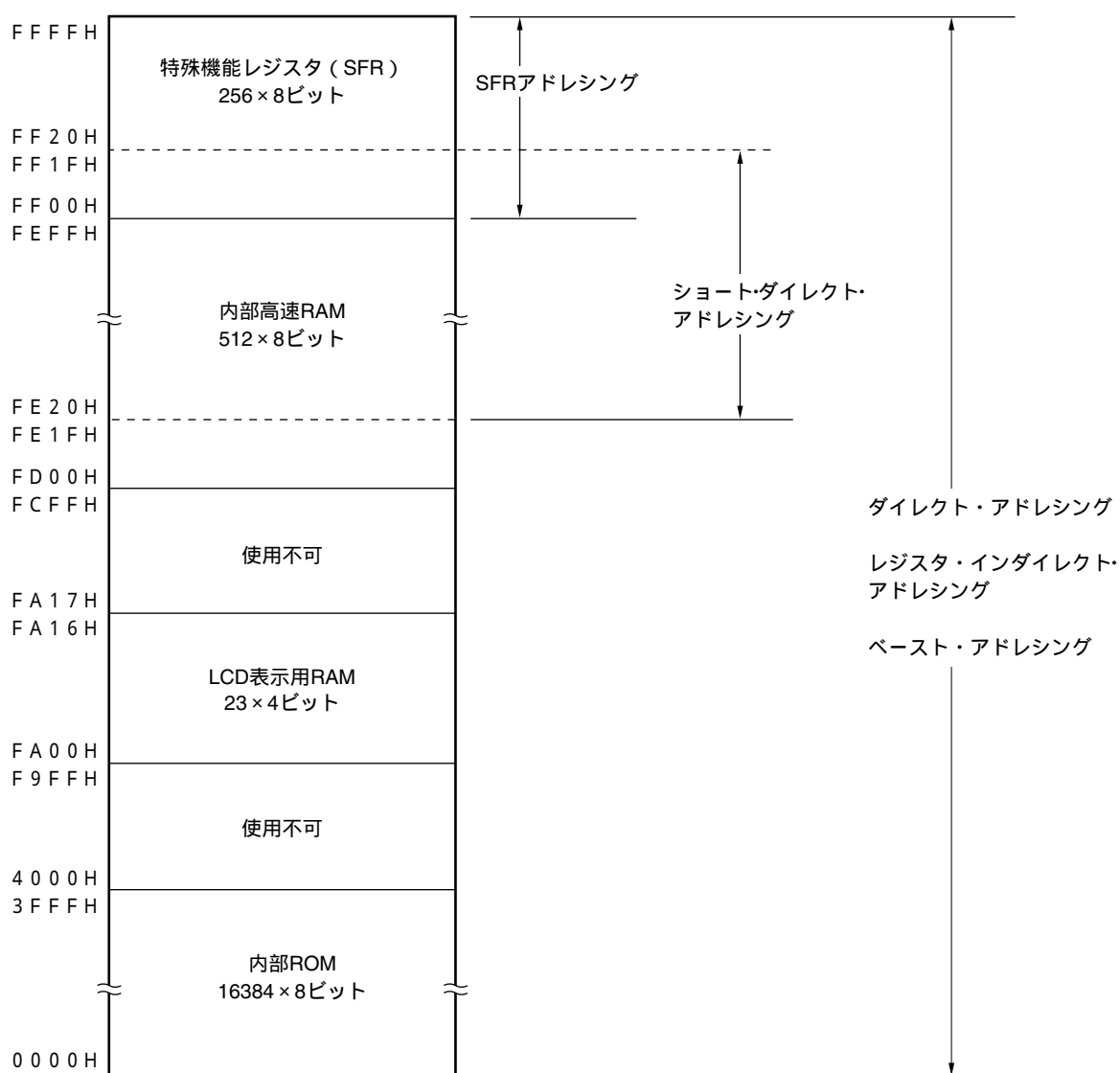


図3 - 9 データ・メモリのアドレッシング (μ PD789467)

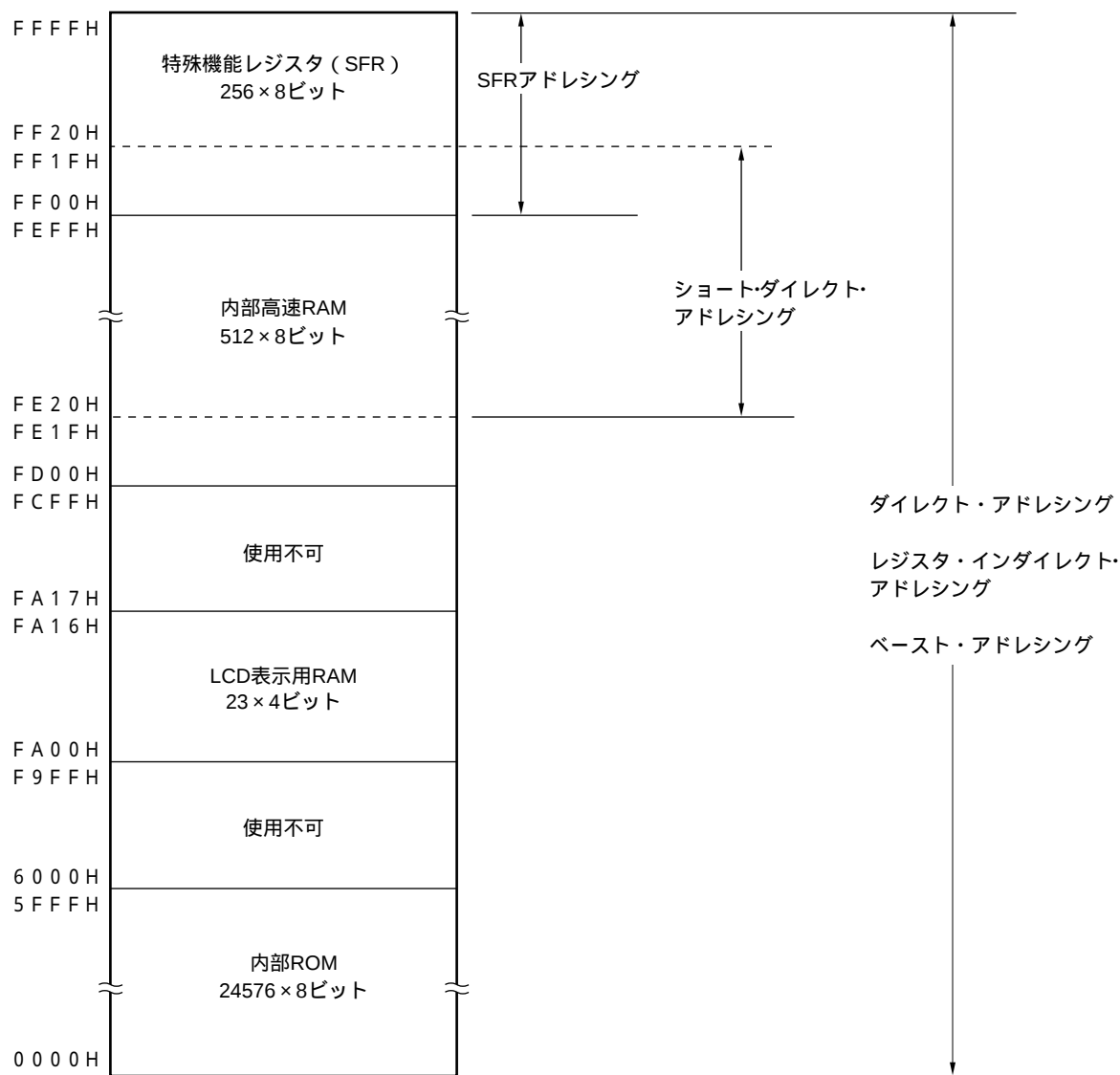
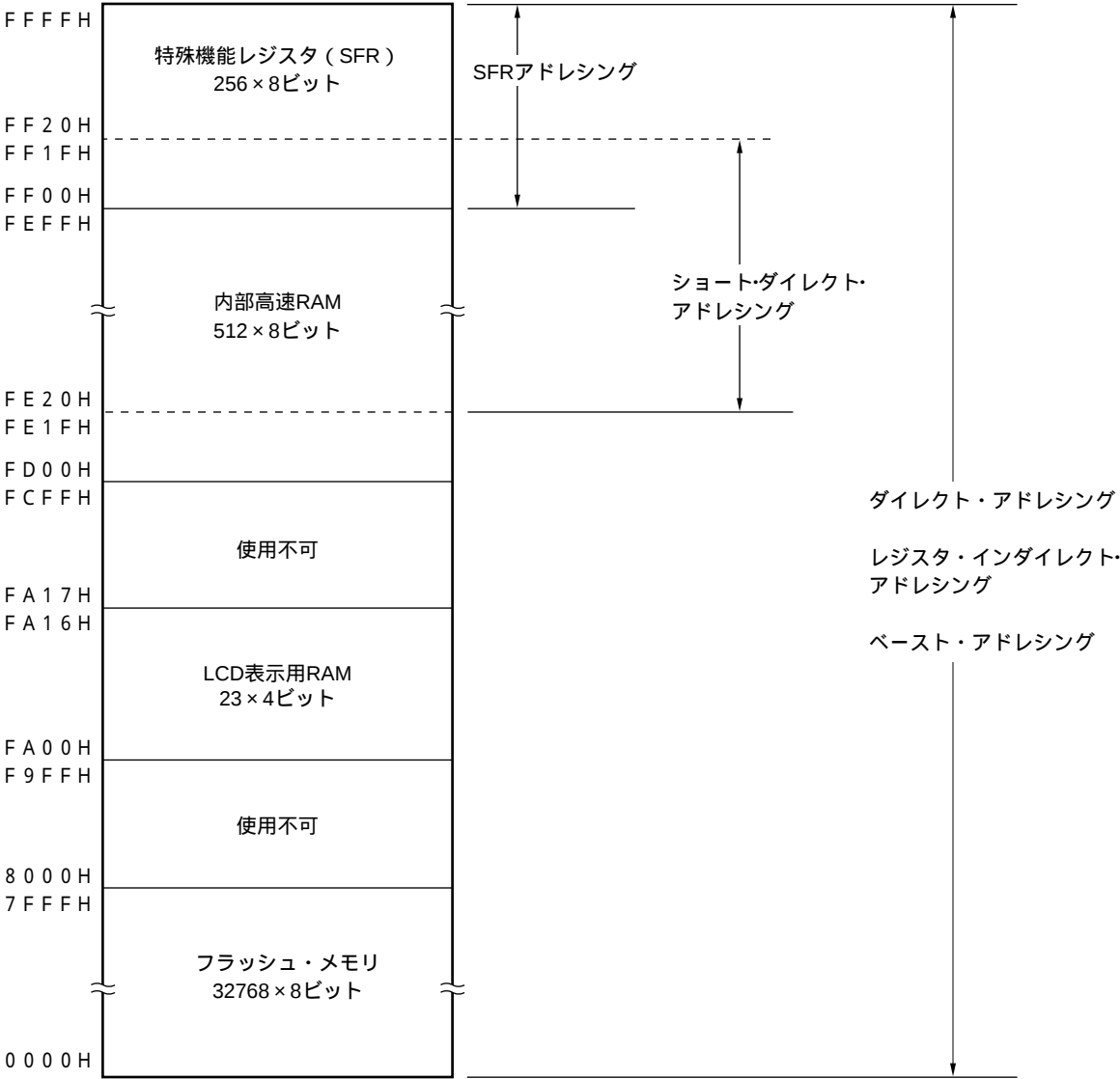


図3 - 10 データ・メモリのアドレッシング (μ PD78F9468)



3.2 プロセッサ・レジスタ

μ PD789467サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

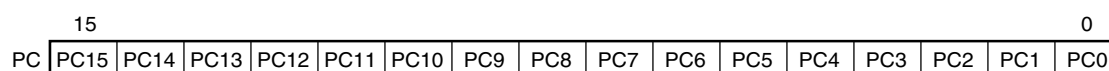
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



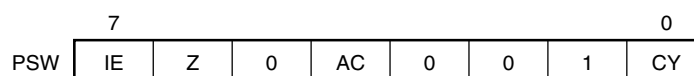
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

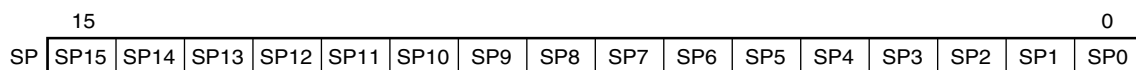
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 13 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 14、3 - 15のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

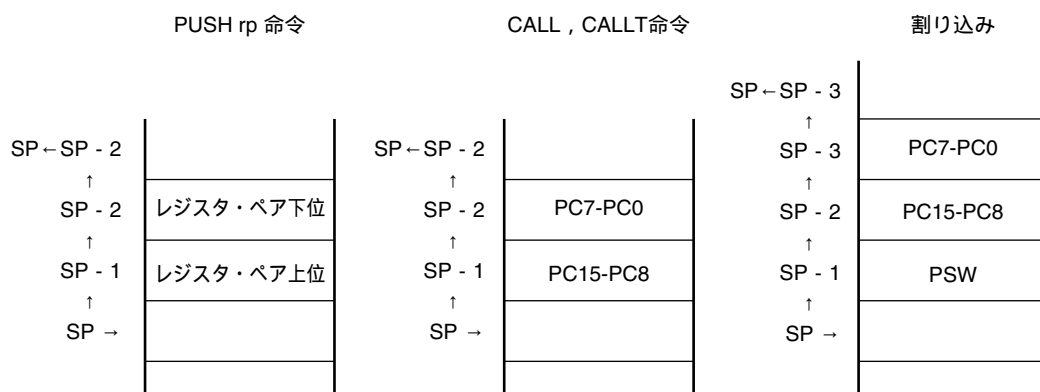
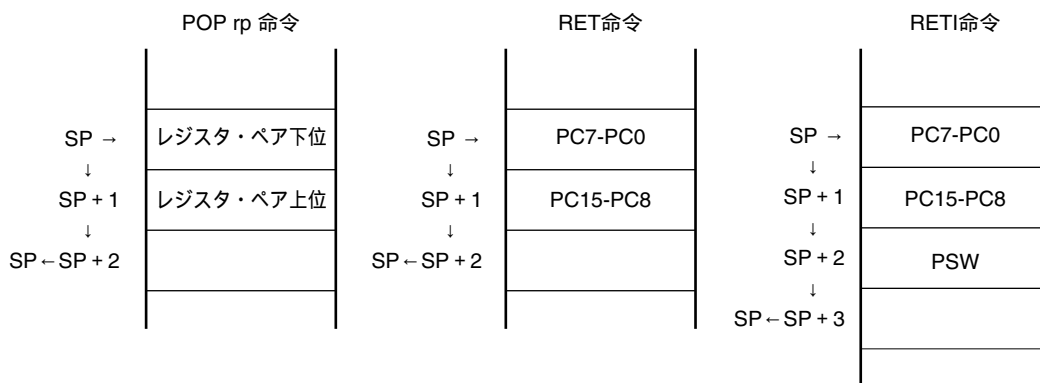


図3 - 15 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

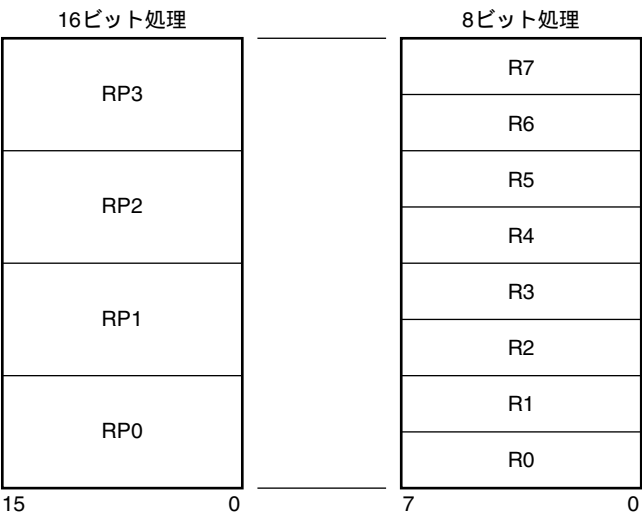
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

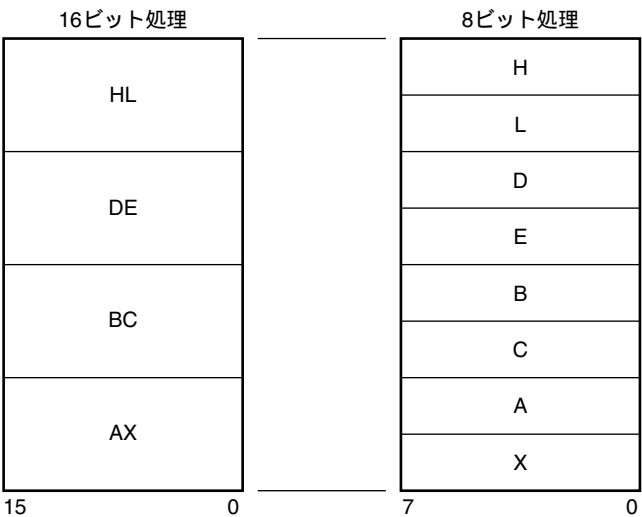
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3 - 3 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W	○	○	-	00H
FF01H	ポート1	P1		○	○	-	
FF04H	ポート4	P4		○	○	-	
FF06H	ポート6	P6		○	○	-	
★ FF08H	ポート8	P8	R	○	○	-	不定
FF15H	A/D変換結果レジスタ	ADCR0		-	○	-	
FF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	-	FFH
FF21H	ポート・モード・レジスタ1	PM1		○	○	-	
FF24H	ポート・モード・レジスタ4	PM4		○	○	-	
FF26H	ポート・モード・レジスタ6	PM6		○	○	-	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	TCL2		-	○	-	00H
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM		○	○	-	
FF58H	ポート・ファンクション・レジスタ8	PF8		○	○	-	
FF63H	8ビット・コンペア・レジスタ30	CR30	W	-	○	-	不定
FF64H	8ビット・タイマ・カウンタ30	TM30	R	-	○	-	00H
FF65H	8ビット・タイマ・モード・コントロール・レジスタ30	TMC30	R/W	○	○	-	
FF66H	8ビット・コンペア・レジスタ40	CR40	W	-	○	-	不定
FF67H	8ビットH幅コンペア・レジスタ40	CRH40		-	○	-	
FF68H	8ビット・タイマ・カウンタ40	TM40	R	-	○	-	00H
FF69H	8ビット・タイマ・モード・コントロール・レジスタ40	TMC40	R/W	○	○	-	
FF6AH	キャリア・ジェネレータ出力コントロール・レジスタ40	TCA40	W	-	○	-	
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W	○	○	-	
FF84H	A/D入力選択レジスタ0	ADS0		○	○	-	00H ^注
FFB0H	LCD表示モード・レジスタ0	LCDM0		○	○	-	
FFB2H	LCDクロック制御レジスタ0	LCDC0		○	○	-	00H
FFB3H	LCD昇圧制御レジスタ0	LCDVA0		○	○	-	
FFE0H	割り込み要求フラグ・レジスタ0	IF0		○	○	-	FFH
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0		○	○	-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-	○	-	00H
FFF0H	サブ発振モード・レジスタ	SCKM		○	○	-	
FFF2H	サブクロック・コントロール・レジスタ	CSS		○	○	-	
FFF5H	キー・リターン・モード・レジスタ00	KRM00		○	○	-	
FFF7H	ブルアップ抵抗オプション・レジスタ0	PU0		○	○	-	04H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		○	○	-	
★ FFFAH	発振安定時間選択レジスタ	OSTS		○	○	-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		○	○	-	02H

注 リセット後は、必ずビット2 (LCDM02) を1に設定してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

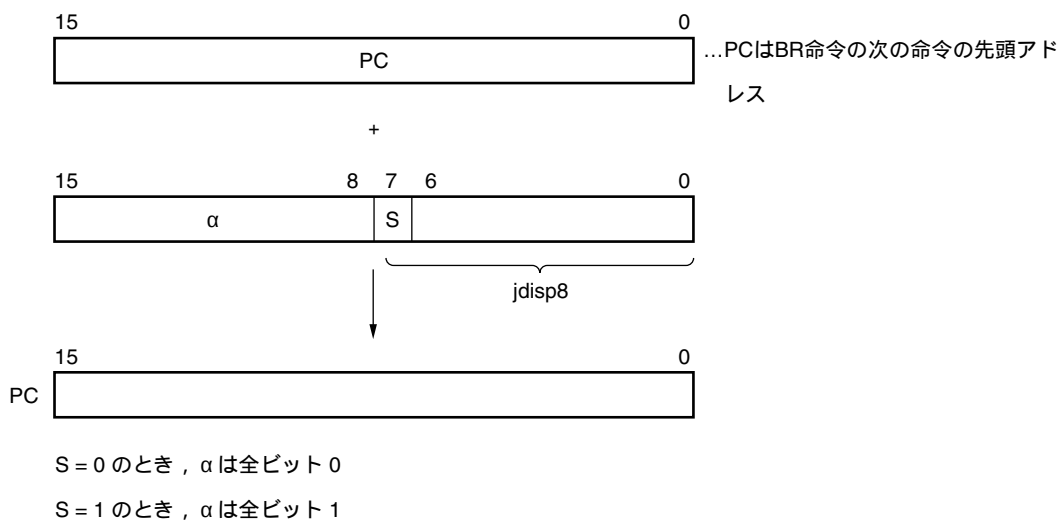
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

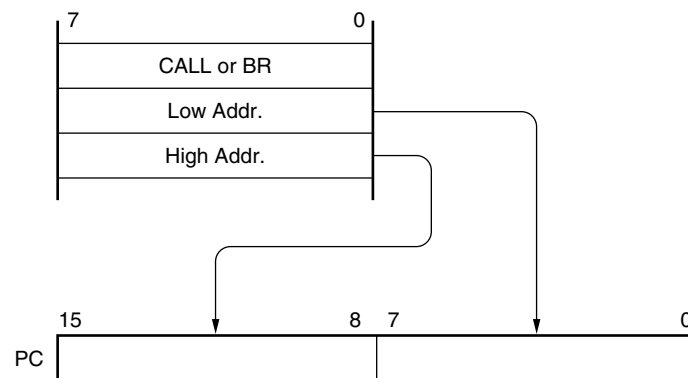
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



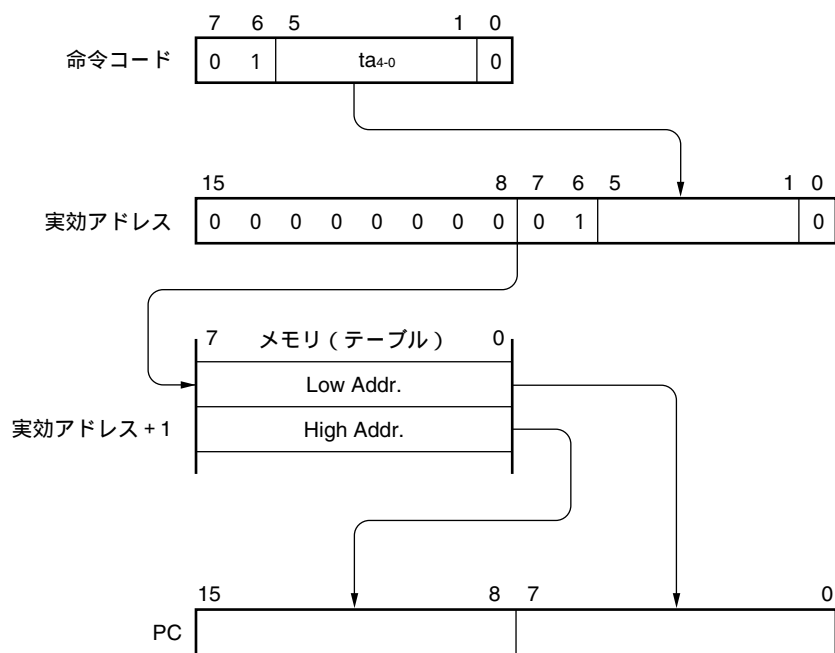
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



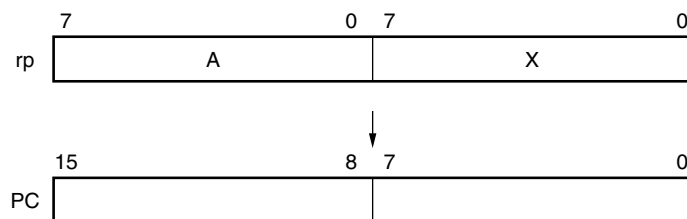
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

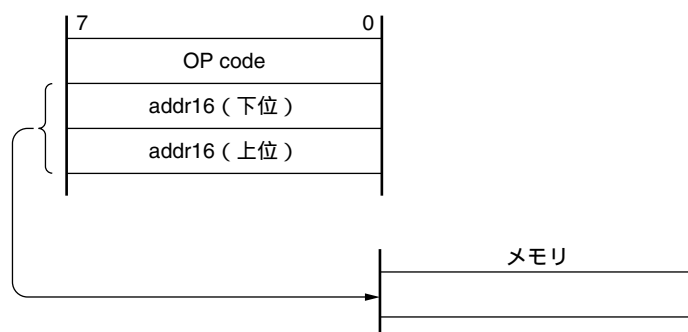
表現形式	記述方法
addr16	レーベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	0 0 1 0 1 0 0 1	OPコード
	0 0 0 0 0 0 0 0	0 0 H
	1 1 1 1 1 1 1 0	F E H

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

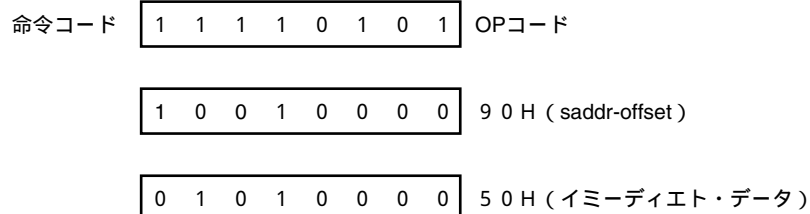
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

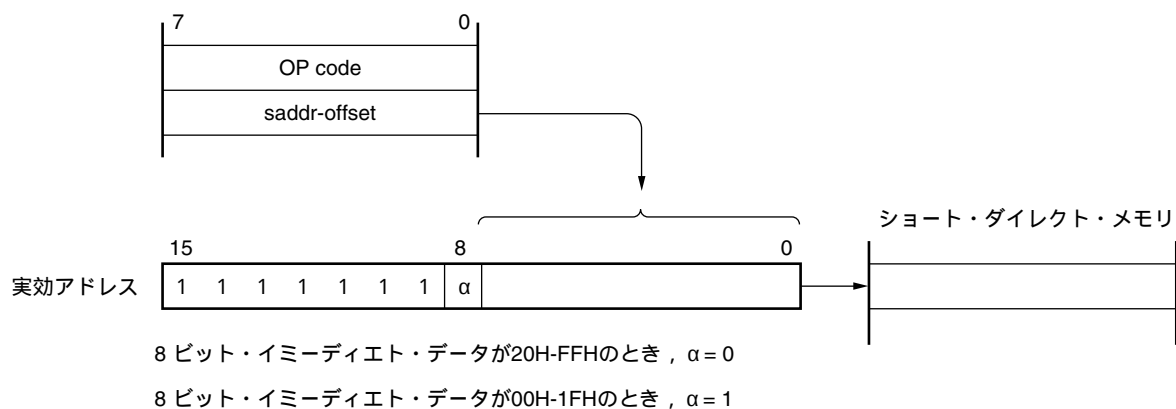
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

表現形式	記 述 方 法
sfr	特殊機能レジスタ名

【記 述 例】

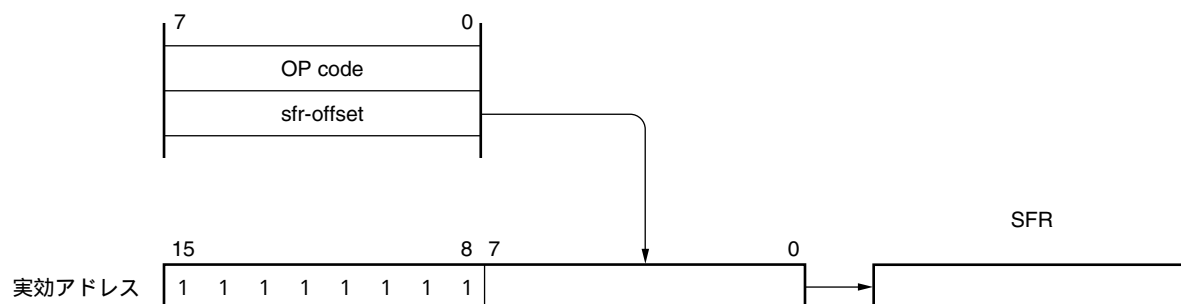
MOV PM0, A ; sfrにPM0を選択する場合

命令コード

1	1	1	0	0	1	1	1
---	---	---	---	---	---	---	---

0	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---

【図 解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

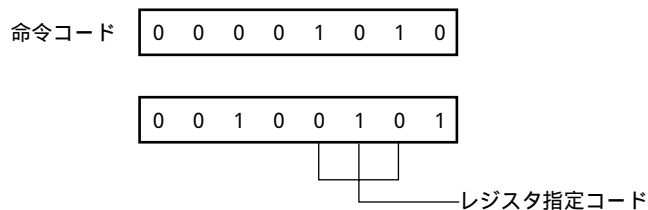
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

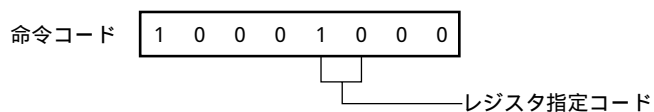
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

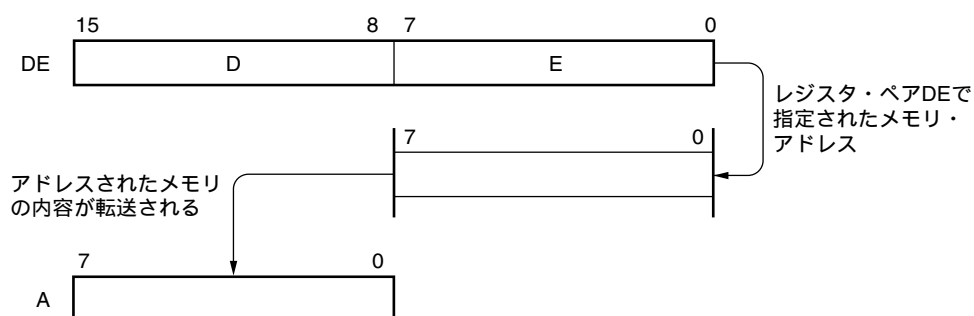
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD789467サブシリーズは、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

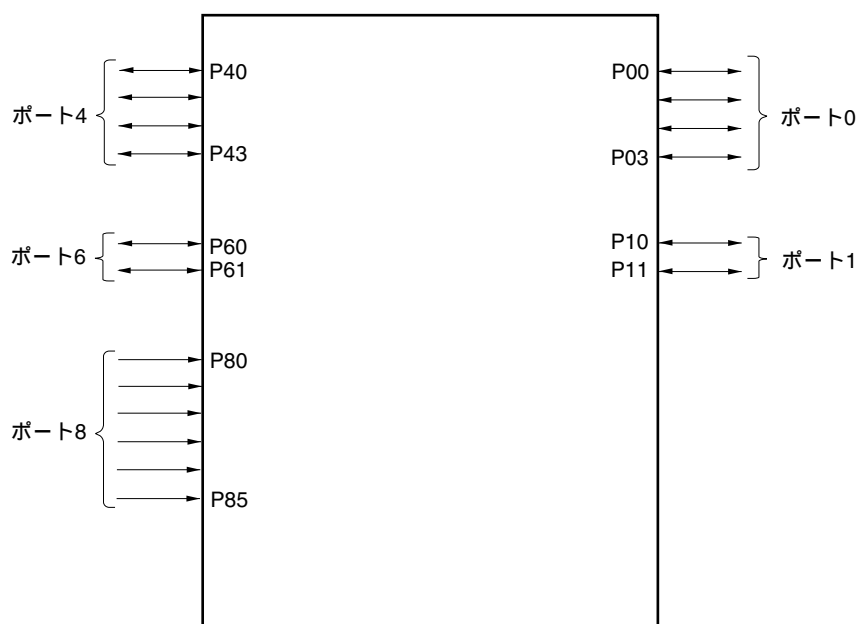


表4 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P03	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
ポート1	P10, P11	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
ポート4	P40-P43	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) または、キー・リターン・モード・レジスタ00 (KRM00) により、内蔵プルアップ抵抗を使用可能。
ポート6	P60, P61	入出力ポート。1ビット単位で入力 / 出力の指定可能。
ポート8	P80-P85	入力ポート

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0, 1, 4, 6) プルアップ抵抗オプション・レジスタ0 (PU0) ポート・ファンクション・レジスタ8 (PF8)
ポート	合計：18本 (CMOS入出力：12本, CMOS入力：6本 (LCD兼用端子))
プルアップ抵抗	合計：10本 (ソフトウェア制御：10本)

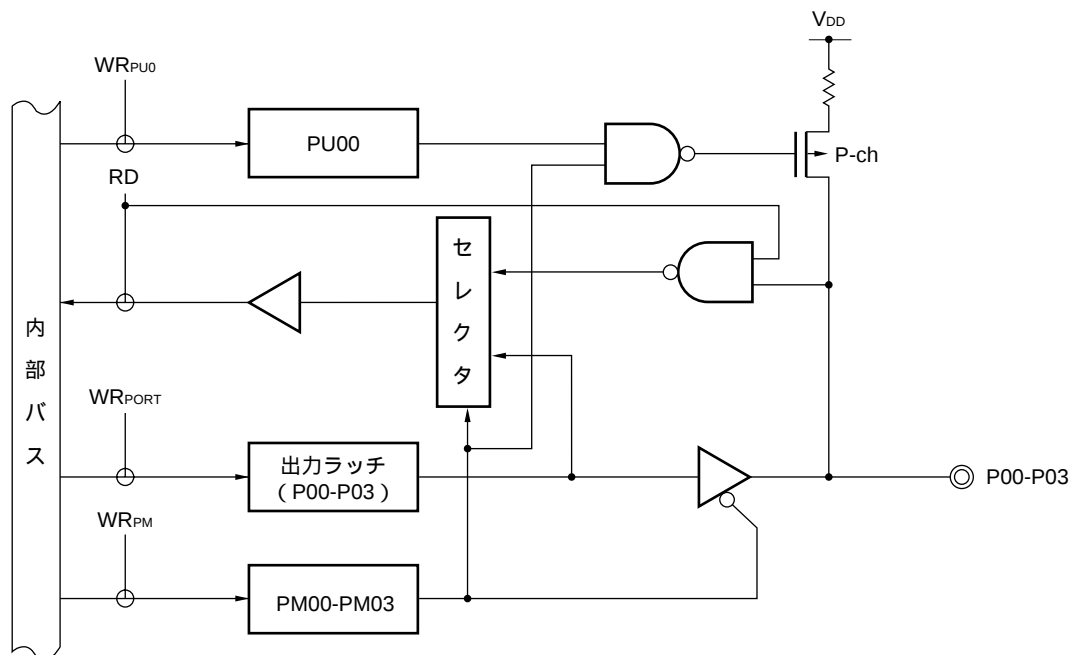
4.2.1 ポート0

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により4ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

図4 - 2 P00-P03のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

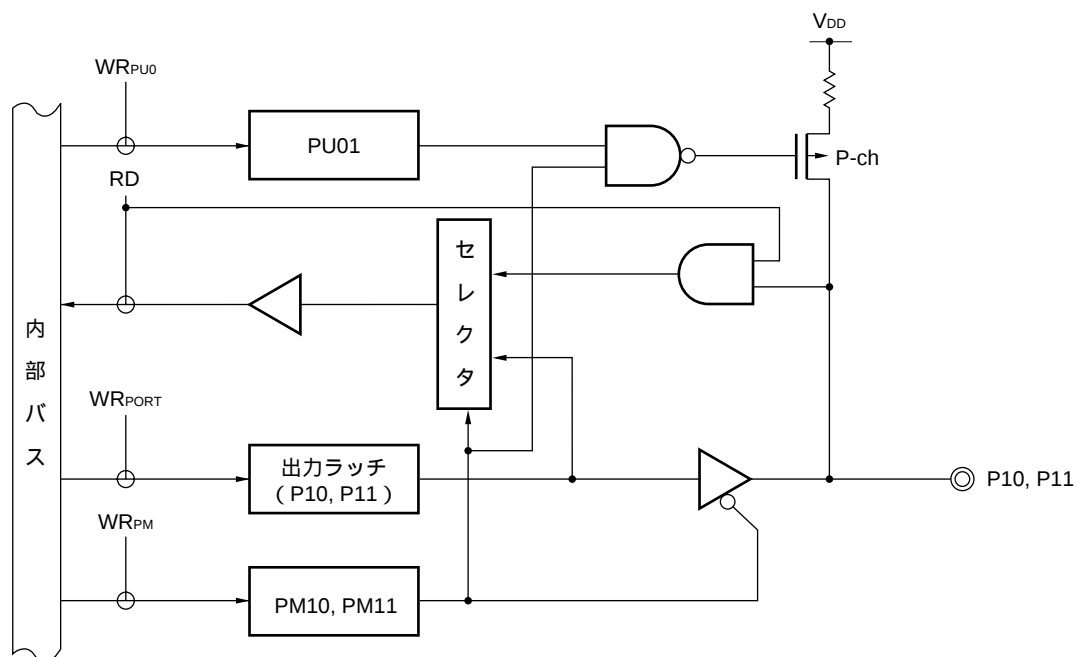
4.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) により2ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10, P11のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート4

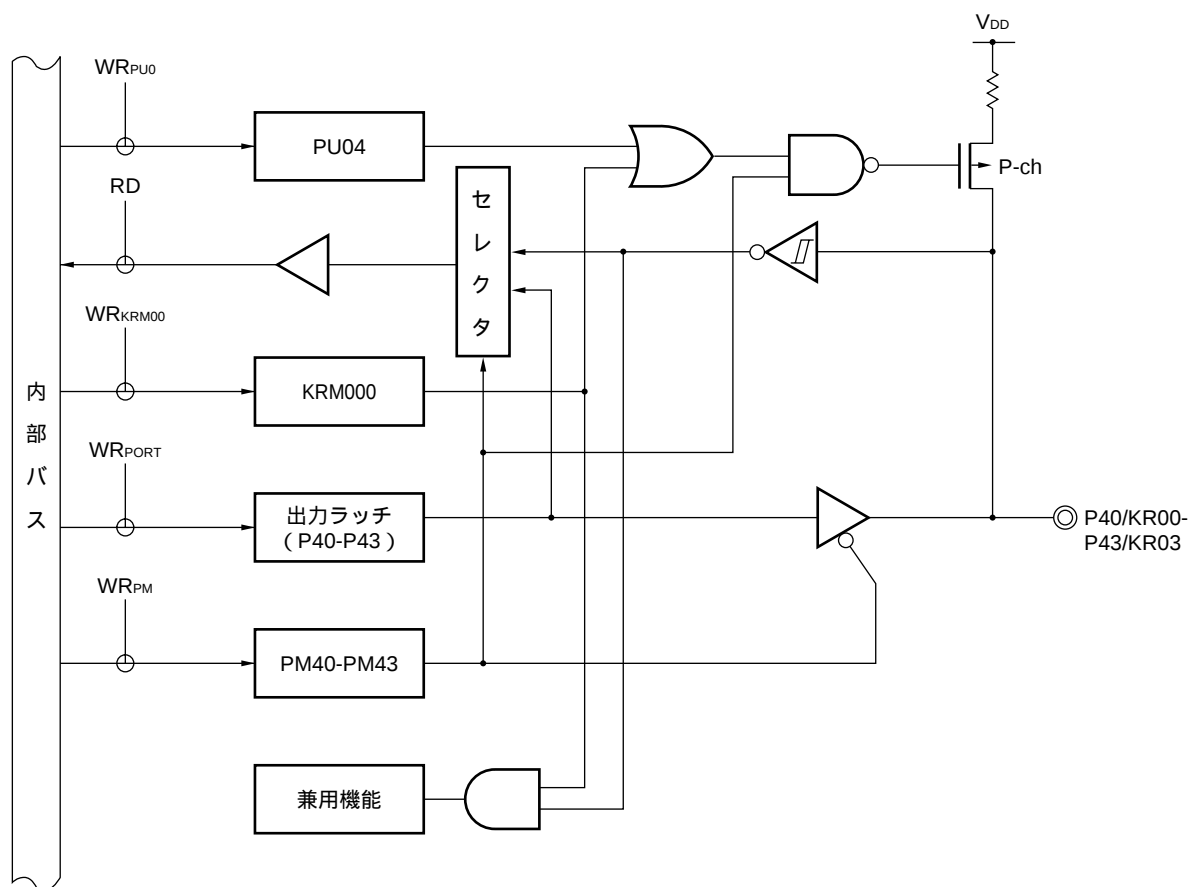
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により4ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 4にポート4のブロック図を示します。

図4 - 4 P40-P43のブロック図



KRM00 : キー・リターン・モード・レジスタ00

PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

4.2.4 ポート6

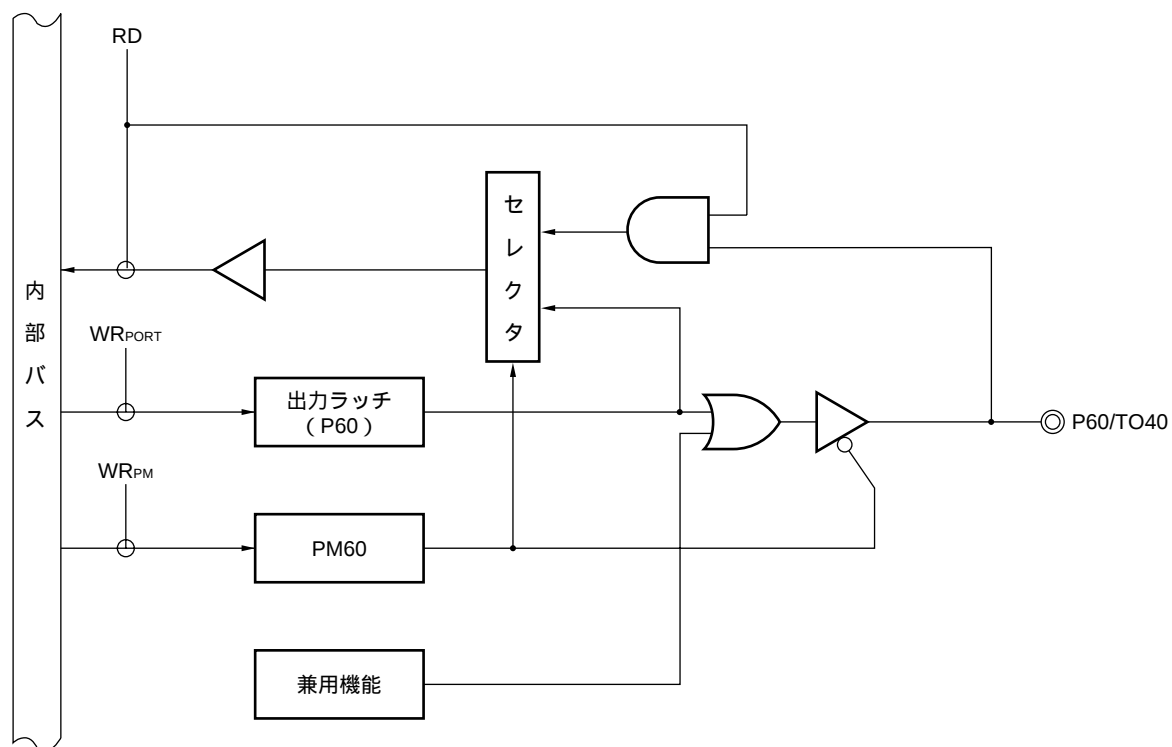
出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ6 (PM6) により, 1ビット単位で入力モード / 出力モードの指定ができます。

また, 兼用機能としてタイマ出力, 外部割り込み入力, アナログ入力があります。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 5, 図4 - 6にポート6のブロック図を示します。

図4 - 5 P60のブロック図

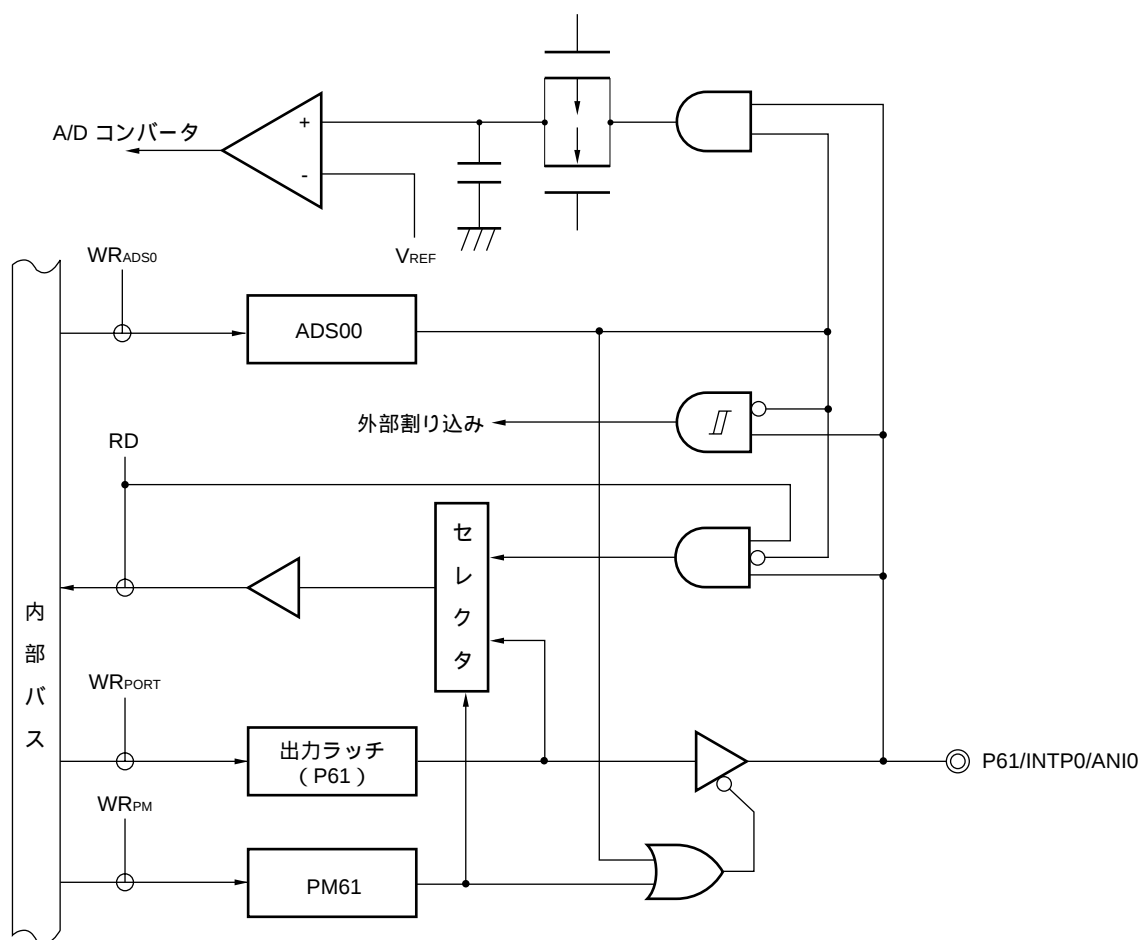


PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

図4 - 6 P61のブロック図



ADS0 : A/D入力選択レジスタ0

PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

4.2.5 ポート8

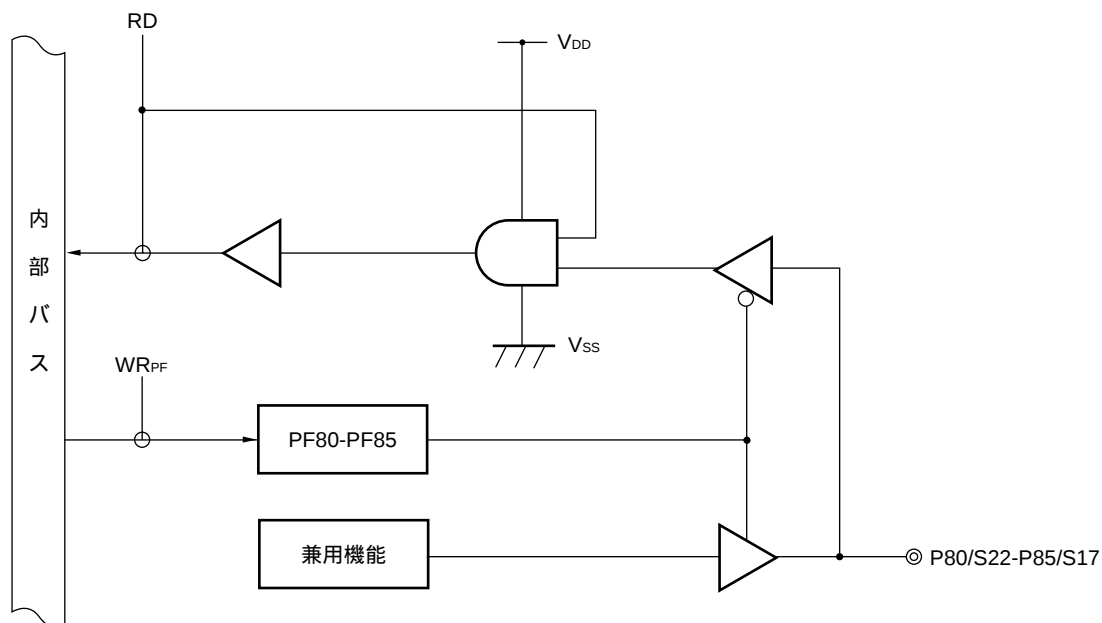
6ビット入力ポートです。

また、兼用機能としてセグメント出力があり、ポート・ファンクション・レジスタ8 (PF8) により、1ビット単位でポート機能/セグメント出力を選択できます。

RESET入力により，入力モードになります。

図4 - 7にポート8のブロック図を示します。

図4 - 7 P80-P85のブロック図



PF : ポート・ファンクション・レジスタ

RD : ポート8のリード信号

WR：ポート8のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1, PM4, PM6)
- ・プルアップ抵抗オプション・レジスタ0 (PU0)
- ・ポート・ファンクション・レジスタ8 (PF8)

(1) ポート・モード・レジスタ (PM0, PM1, PM4, PM6)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 P61は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0) に1を設定してください。

図4-8 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 4, 6 n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×	ADS00
	名 称	入出力			
P40-P43	KR00-KR03	入力	1	×	×
P60	TO40	出力	0	0	×
P61	INTP0	入力	1	×	0
	ANI0	入力	1	×	1

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

ADS00 : A/D入力選択レジスタ0 (ADS0) のビット0

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

ポート0, 1, 4の内蔵プルアップ抵抗を使用するか，しないかをポート単位で設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで，入力モードに設定したビットにのみ，内部でプルアップ抵抗が使用できます。出力モードに設定したビットは，PU0の設定にかかわらず，内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図4 - 9 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5		3	2		0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	0	0	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1, 4)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 ビット2, 3, 5-7には必ず0を設定してください。

(3) ポート・ファンクション・レジスタ8 (PF8)

1ビット単位でポート8のポート機能を設定するレジスタです。

兼用機能のLCDセグメント信号出力として使用するか、汎用ポートとして使用するかを選択します。

PF8は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 10 ポート・ファンクション・レジスタ8のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF8	0	0	PF85	PF84	PF83	PF82	PF81	PF80	FF58H	00H	R/W

PF8n	P8nのポート機能 (n = 0-5)
0	汎用ポートとして動作
1	LCDセグメント信号出力として動作

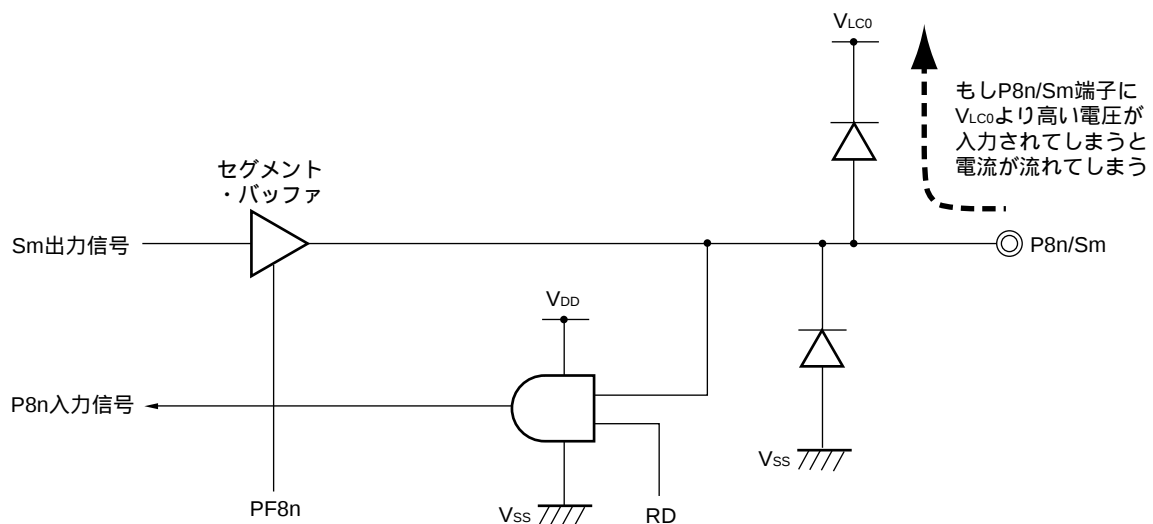
注意1. ビット6, 7には必ず0を設定してください。

★

2. P80/S22-P85/S17のうち1つでも汎用ポートとして使用するときは、次の2つの制限事項をお守りください (LCD端子のESD保護回路が V_{LC0} 側で接続されているため)。

- ・昇圧回路を動作許可 ($VAON0 = 1$) にしてください。
- ・ $V_{LC0} = 3.0 \text{ V}$ モード ($GAIN=1$) のとき ... $V_{DD} = 1.8 \sim 3.0 \text{ V}$ の範囲内でご使用ください。
- ・ $V_{LC0} = 4.5 \text{ V}$ モード ($GAIN=0$) のとき ... $V_{DD} = 1.8 \sim 4.5 \text{ V}$ の範囲内でご使用ください。

なお、P80/S22-P85/S17をすべてLCDセグメント端子として使用する場合は、 $V_{DD} = 1.8 \sim 5.5 \text{ V}$ の範囲内で使用可能です。



備考 Sm : LCDセグメント出力 (m = 22-17)
P8n : ポート8のビットn (n = 0-5)
PF8n : ポート・ファンクション・レジスタ8のビットn (n = 0-5)
RD : ポート8nのリード信号

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発生回路には、次の2種類があります。

- ・メイン・システム・クロック（セラミック／クリスタル）発振回路

1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

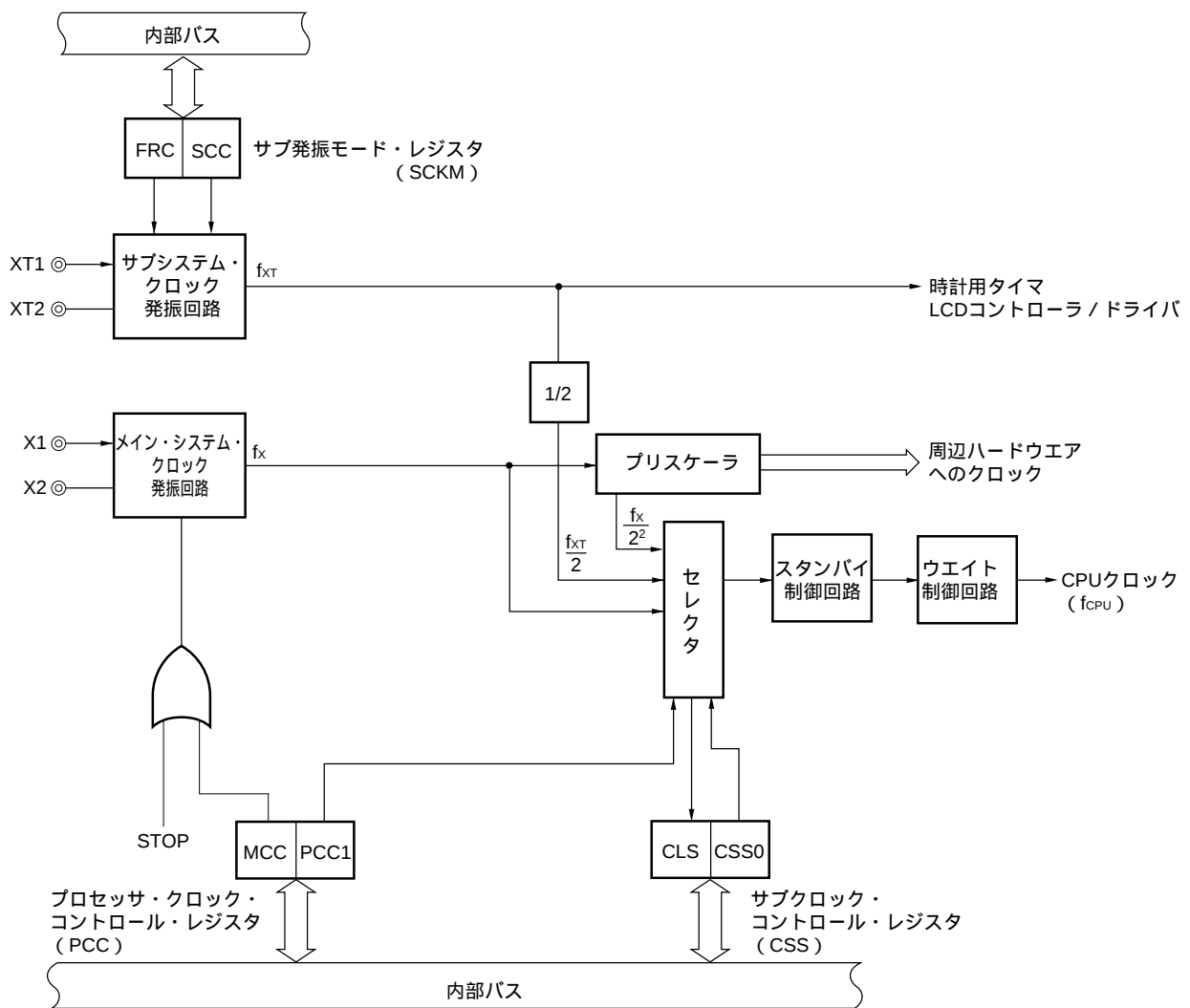
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の3種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ サブ発振モード・レジスタ (SCKM)
- ・ サブクロック・コントロール・レジスタ (CSS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 5.0 \text{ MHz}$ または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	f_x	$0.4 \mu\text{s}$
0	1	$f_x/2^2$	$1.6 \mu\text{s}$
1	×	$f_{\text{XT}}/2$	$122 \mu\text{s}$

注 CPUクロックの選択は、プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (5.3 (3) サブクロック・コントロール・レジスタ (CSS) を参照)。

注意 1. ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。
メイン・システム・クロックで動作中にMCCを“1”にセットしても無効となります。

備考 1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. × : Don't care

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。

SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 ^注
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

- ★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの（分周）出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の（分周）出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

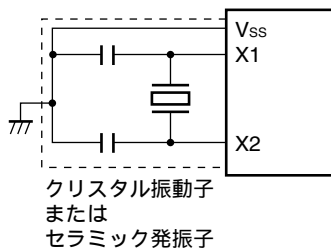
メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

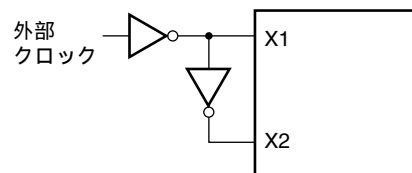
図5 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル，セラミック発振



(b) 外部クロック



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5, 5 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

5.4.2 サブシステム・クロック発振回路

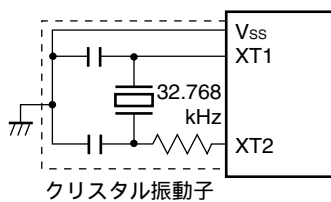
サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

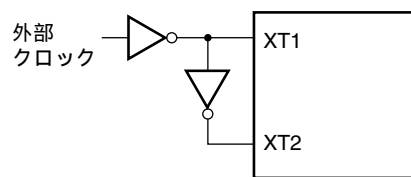
図5 - 6にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 6 サブシステム・クロック発振回路の外付け回路

(a) クリスタル発振



(b) 外部クロック



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量の影響を避けるために、図5 - 5、5 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

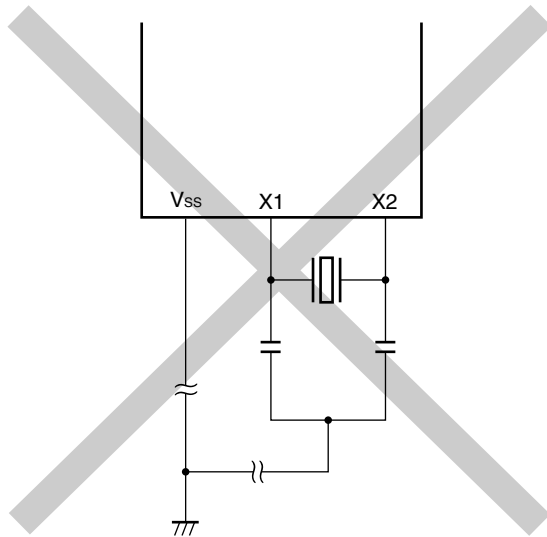
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

5.4.3 発振子の接続の悪い例

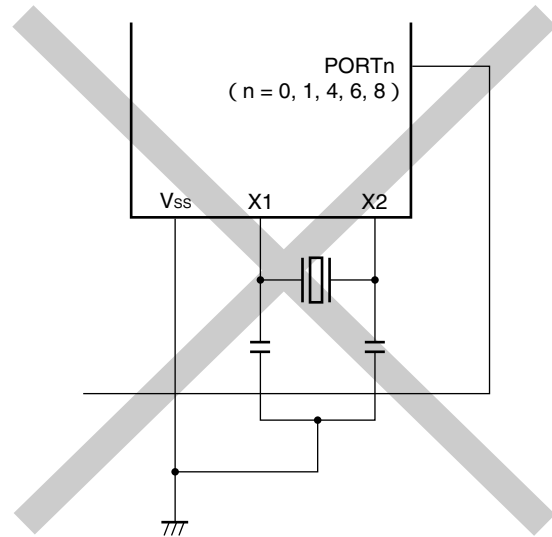
図5 - 7に発振子の接続の悪い例を示します。

図5 - 7 発振子の接続の悪い例 (1/2)

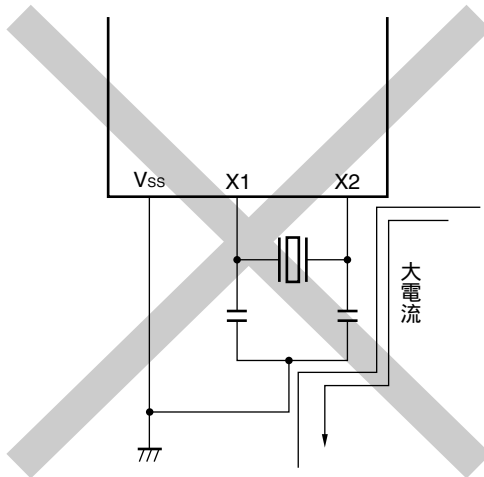
(a) 接続回路の配線が長い



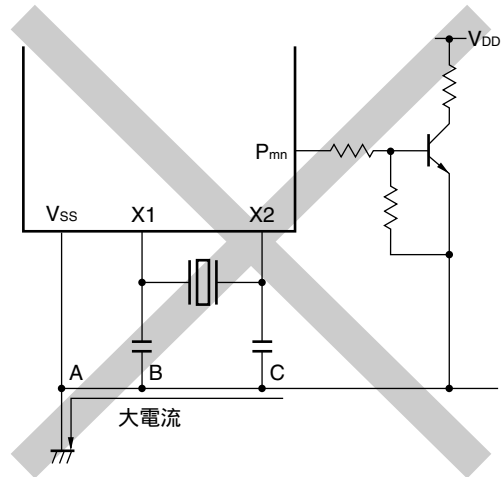
(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している

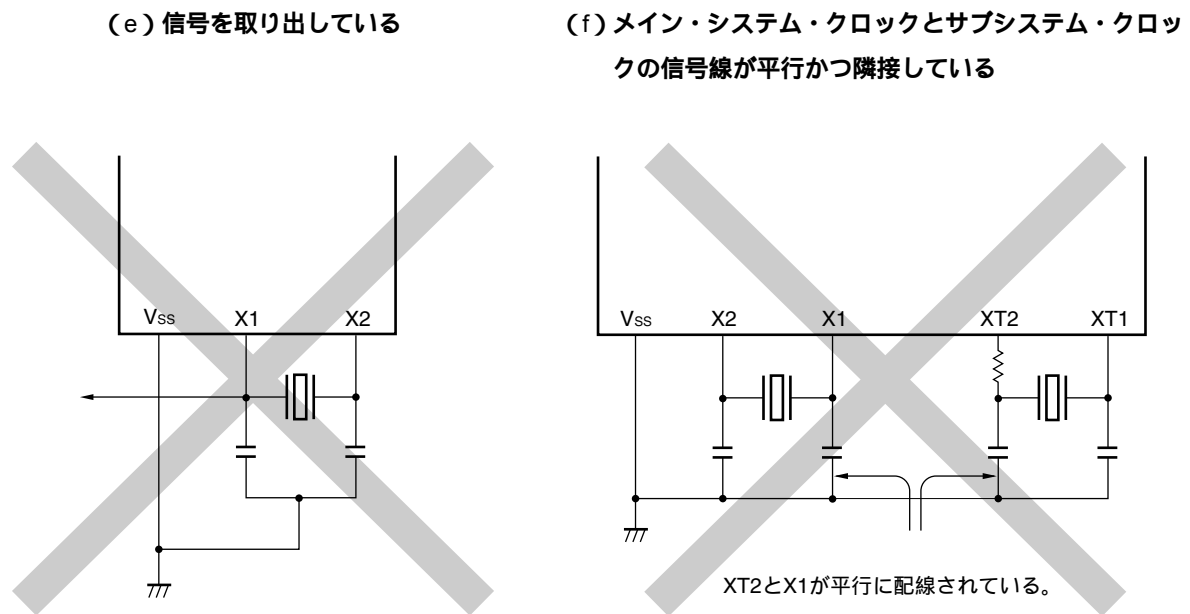


(d) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を接続してください。

図5 - 7 発振子の接続の悪い例 (2/2)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

注意 X1とXT2が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、X1とXT2の配線を平行にしないでください。

5.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : Vssに接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）、サブ発振モード・レジスタ（SCKM）、サブクロック・コントロール・レジスタ（CSS）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード（ $1.6 \mu\text{s}$: 5.0 MHz動作時）が選択されます（PCC = 02H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間（ $0.4 \mu\text{s}$, $1.6 \mu\text{s}$: メイン・システム・クロック（5.0 MHz動作時）、 $122 \mu\text{s}$: サブシステム・クロック（32.768 kHz動作時））を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1（FRC）で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4（CSS0）により、サブシステム・クロックを選択し、低消費電流で動作（ $122 \mu\text{s}$: 32.768 kHz動作時）できます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7（MCC）によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、時計用タイマ、LCDコントローラ/ドライバにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも時計用タイマ、LCDコントローラ/ドライバは、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）により切り替えることができます。

実際にCPUクロックが切り替わるまでには、最大で表5 - 2に示す時間を要します（PCCを書き換えた直後ではありません）。よって、PCCを書き換えてから表5 - 2に示す時間は、切り替え前後のどちらのクロックで動作しているのか不定になります。

表5 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	×
0	0			4クロック		2fx/f _{XT} クロック (306クロック)	
	1			2クロック		fx/2f _{XT} クロック (76クロック)	
1	×	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

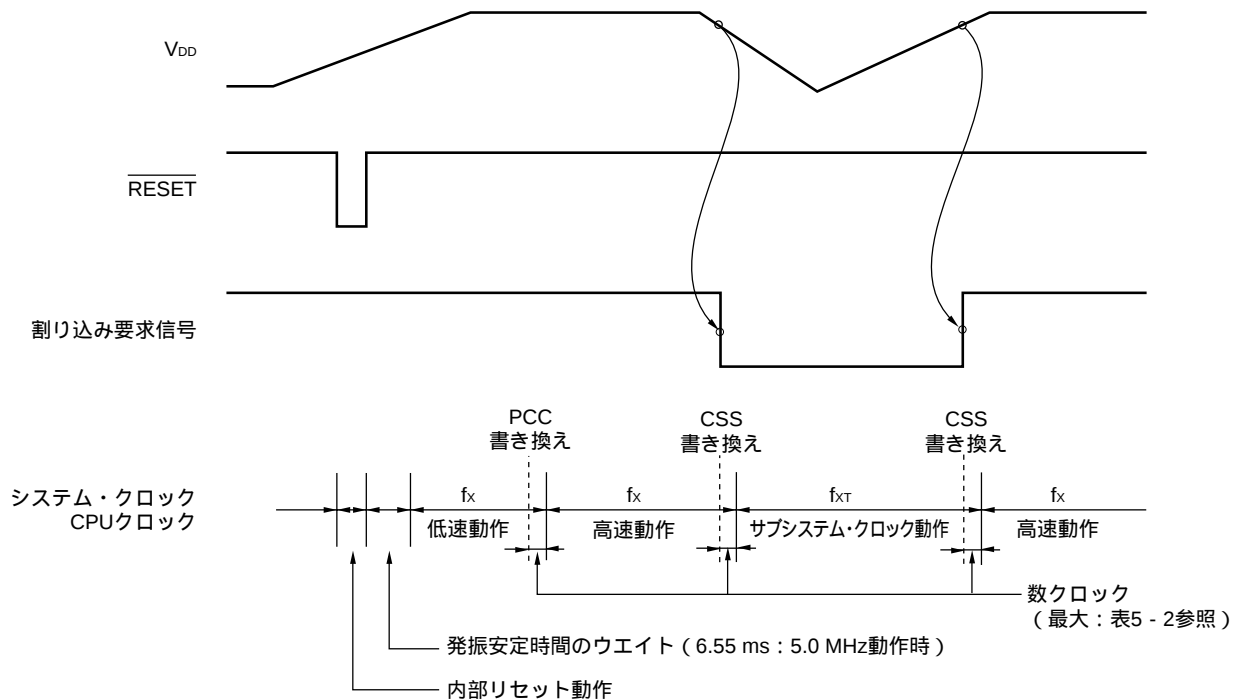
2. () 内は、fx = 5.0 MHz動作時またはf_{XT} = 32.768 kHz動作時

3. × : don't care

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 8 システム・クロックとCPUクロックの切り替え例



電源投入後、 $\overline{RESET}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{RESET}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($1.6 \mu s : 5.0 \text{ MHz動作時}$) で命令の実行を開始します。

V_{DD} 電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) を書き換えます。

数クロック後、CPUクロックが高速 ($0.4 \mu s : 5.0 \text{ MHz動作時}$) に切り替わり、高速動作を開始します。 V_{DD} 電圧が低下したことを割り込み要求信号などにより検出したら、サブシステム・クロックに切り替えるためにサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

数クロック後、CPUクロックがサブシステム・クロック動作 ($122 \mu s : 32.768 \text{ kHz動作時}$) に切り替わります (このあと、PCCのビット7 (MCC) に1を設定してメイン・システム・クロックを停止させることも可能です)。

V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出したら、メイン・システム・クロックに切り替えるためにCSS0を書き換えます。(メイン・システム・クロックを停止させていた場合は、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振安定時間経過したあとでCSS0を書き換えてください)。

数クロック後、CPUクロックが高速 ($0.4 \mu s : 5.0 \text{ MHz動作時}$) に切り替わり、高速動作に戻ります。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 8ビット・タイマ30, 40

6.1 8ビット・タイマ30, 40の機能

μPD789467サブシリーズは8ビット・タイマを2チャンネル（タイマ30，タイマ40）内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表6 - 1 モード一覧

モード \ チャンネル	タイマ30	タイマ40
8ビット・タイマ・カウンタ・モード (単体モード)	○	○
16ビット・タイマ・カウンタ・モード (カスケード接続モード)	○	
キャリア・ジェネレータ・モード	○	
PWM出力モード	×	○

(1) 8ビット・タイマ・カウンタ・モード (単体モード)

次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の方形波出力（タイマ40のみ）

(2) 16ビット・タイマ・カウンタ・モード (カスケード接続モード)

カスケード接続することにより，16ビット・タイマとして動作します。

次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマ40で生成されるキャリア・クロックをタイマ30で設定した周期で出力します。

(4) PWM出力モード (タイマ40のみ)

タイマ40で設定した任意のデューティ比のパルスを出力します。

6.2 8ビット・タイマ30, 40の構成

8ビット・タイマ30, 40は、次のハードウェアで構成しています。

表6 - 2 8ビット・タイマ30, 40の構成

項 目	構 成
タイマ・カウンタ	8ビット×2本 (TM30, TM40)
レジスタ	コンペア・レジスタ : 8ビット×3本 (CR30, CR40, CRH40)
タイマ出力	1本 (TO40)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ポート・モード・レジスタ6 (PM6) ポート6 (P6)

図6 - 1 タイマ30のブロック図

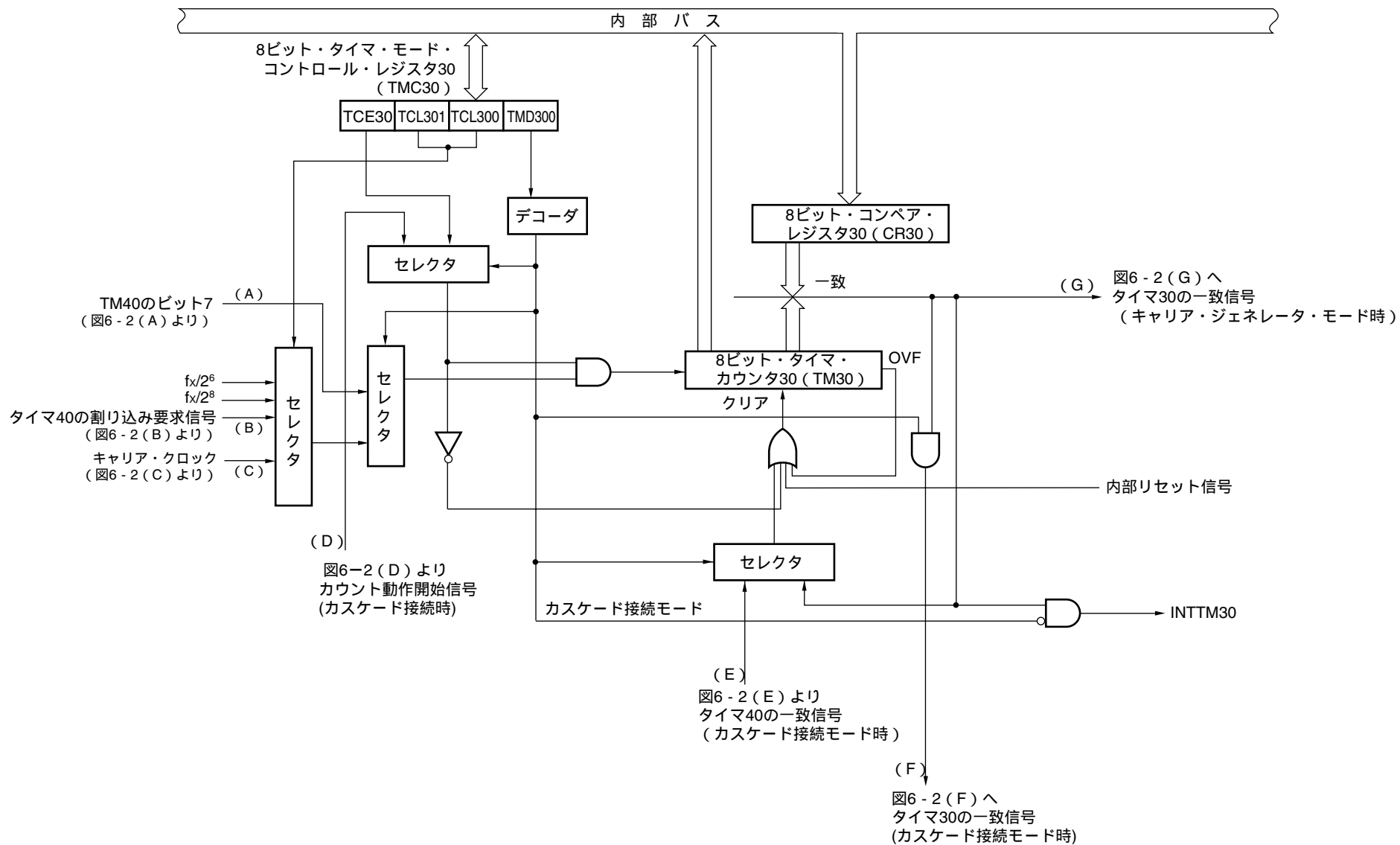
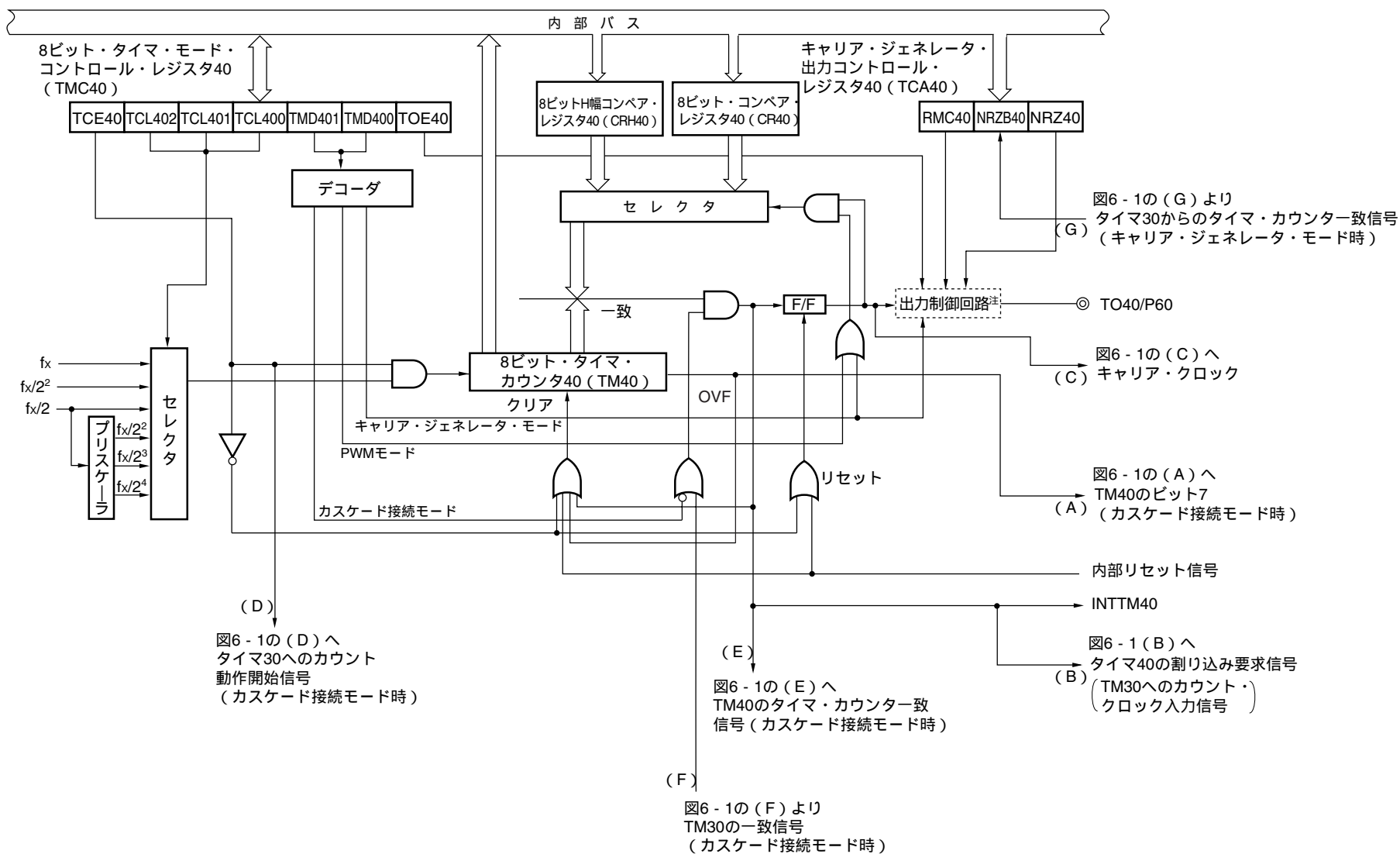


図6 - 2 タイマ40のブロック図



注 詳細については図6 - 3を参照してください。

★



(3) 8ビットH幅コンペア・レジスタ40 (CRH40)

RESET入力により、不定になります。

(4) 8ビット・タイマ・カウンタ30, 40 (TM30, TM40)

カウント・パルスをカウントする8ビットのレジスタです。

TM30, TM40は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TM30, TM40が00Hにクリアされる条件を次に示します。

(a) 単体モード**() TM30の場合**

- ・リセット
- ・TCE30 (8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) のビット7) を0にクリア
- ・TM30とCR30の一致
- ・TM30のカウント値のオーバーフロー

() TM40の場合

- ・リセット
- ・TCE40 (8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) のビット7) を0にクリア
- ・TM40とCR40の一致
- ・TM40のカウント値のオーバーフロー

(b) カスケード接続モード (TM30, TM40同時に00Hにクリア)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM30とCR30およびTM40とCR40が同時に一致したとき
- ・TM30とTM40のカウント値が同時にオーバーフロー

(c) キャリア・ジェネレータ / PWM出力モード (TM40のみ)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM40とCR40の一致
- ・TM40とCRH40の一致
- ・TM40のカウント値のオーバーフロー

6.3 8ビット・タイマ30, 40を制御するレジスタ

8ビット・タイマ30, 40は、次の5種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)
- ・8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)
- ・キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート6 (P6)

(1) 8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)

8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) は、タイマ30のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6 - 4 8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
TMC30	TCE30	0	0	TCL301	TCL300	0	TMD300	0	FF65H	00H	R/W						

TCE30	TM30のカウント動作の制御 ^{注1}
0	TM30のカウント値をクリアし、動作停止
1	カウント動作開始

TCL301	TCL300	タイマ30のカウント・クロックの選択
0	0	$f_x/2^6$ (78.1 kHz)
0	1	$f_x/2^8$ (19.5 kHz)
1	0	タイマ40一致信号
1	1	タイマ40で作成したキャリア・クロック

TMD300	TMD401	TMD400	タイマ30、タイマ40の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード (単体モード)
1	0	1	16ビット・タイマ・カウンタ・モード (カスケード接続モード)
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマ40 : PWM出力モード タイマ30 : 8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウント動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせで設定します。

注意1. カスケード接続モード時では、カウント・クロックは強制的にタイマ40出力信号が選択されます。

2. ビット0, 2, 5, 6には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

(2) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)

8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) は、タイマ40のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC40は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6 - 5 8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
TMC40	TCE40	0	TCL402	TCL401	TCL400	TMD401	TMD400	TOE40	FF69H	00H							R/W

TCE40	TM40のカウント動作の制御 ^{注1}
0	TM40のカウント値をクリアし、動作停止（カスケード接続モード時ではTM30も同時にカウント値をクリア）
1	カウント動作開始（カスケード接続モード時ではTM30も同時にカウント動作開始）

TCL402	TCL401	TCL400	タイマ40のカウント・クロックの選択
0	0	0	f_x (5 MHz)
0	0	1	$f_x/2^2$ (1.25 MHz)
0	1	0	$f_x/2$ (2.5 MHz)
0	1	1	$f_x/2^2$ (1.25 MHz)
1	0	0	$f_x/2^3$ (625 kHz)
1	0	1	$f_x/2^4$ (313 kHz)
上記以外			設定禁止

TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード（単体モード）
1	0	1	16ビット・タイマ・カウンタ・モード（カスケード接続モード）
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマ40 : PWM出力モード タイマ30 : 8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

TOE40	タイマ出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注1．カスケード接続モード時ではTCE40でカウント動作を制御するため、TCE30（TMC30のビット7）に設定しても無視されます。

2．動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせで設定します。

注意 ビット6には、必ず0を設定してください。

備考1． f_x : メイン・システム・クロック発振周波数

2．（ ）内は、 $f_x = 5.0$ MHz動作時

(3) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA40は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCA40	0	0	0	0	0	RMC40	NRZB40	NRZ40	FF6AH	00H	R/W

RMC40	リモコン出力の制御
0	NRZ40 = 1のとき、TO40/P60端子にキャリア・パルスを出力する
1	NRZ40 = 1のとき、TO40/P60端子にハイ・レベルを出力する

NRZB40	次に出力するNRZ40のデータを格納するビット。タイマ30の一致信号の立ち上がりエッジで、NRZ40にデータを転送します。NRZB40にはあらかじめプログラムによって必要な値を入力しておいてください。
--------	--

NRZ40	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する（キャリア・クロックは停止）
1	キャリア・パルスまたはハイレベルを出力する

注意1. ビット3-7には、必ず0を設定してください。

2. TCA40は、1ビット・メモリ操作命令を使用できません。必ず8ビット・メモリ操作命令で設定してください。

3. NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。

TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。

★ 4. キャリア・ジェネレータ動作をいったん停止し、その後再度キャリア・ジェネレータ動作にすると、NRZB40は以前のデータを保持していませんので再設定してください。また、このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

★ 5. キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ (CR30, CR40, CRH40) に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。

(4) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/TO40端子をタイマ出力として使用するときはPM60およびP60の出力ラッチに0を設定してください。

PM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図6 - 7 ポート・モード・レジスタ6のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W

PM6n	P6n端子の入出力モード (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 8ビット・タイマ30, 40の動作

6.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の方形波出力（タイマ40のみ）

(1) 8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは、あらかじめ8ビット・コンペア・レジスタn0 (CRn0) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマn0をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタn0 (TMn0) を動作禁止 (TCEn0 = 0) に設定

TOEn0のタイマ出力を禁止 (TOEn0 = 0) に設定

CRn0にカウント値を設定

タイマn0の動作モードを8ビット・タイマ・カウンタ・モードに設定 (図6 - 4, 図6 - 5参照)

タイマn0のカウント・クロックを設定 (表6 - 3, 表6 - 4参照)

TMn0を動作許可 (TCEn0 = 1) に設定

8ビット・タイマ・カウンタn0 (TMn0) のカウント値がCRn0に設定した値と一致したとき, TMn0の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMn0) を発生します。

表6 - 3, 表6 - 4にインターバル時間を, 図6 - 8 ~ 図6 - 13にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 n = 3, 4

表6 - 3 タイマ30のインターバル時間 (fx = 5.0 MHz動作時)

TCL301	TCL300	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 ms)	$2^6/f_x$ (12.8 μ s)
0	1	$2^8/f_x$ (51.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$2^8/f_x$ (51.2 μ s)
1	0	タイマ40一致信号の入力周期	タイマ40一致信号の入力周期 $\times 2^8$	タイマ40一致信号の入力周期
1	1	タイマ40で作成したキャリア・クロック周期	タイマ40で作成したキャリア・クロック周期 $\times 2^8$	タイマ40で作成したキャリア・クロック周期

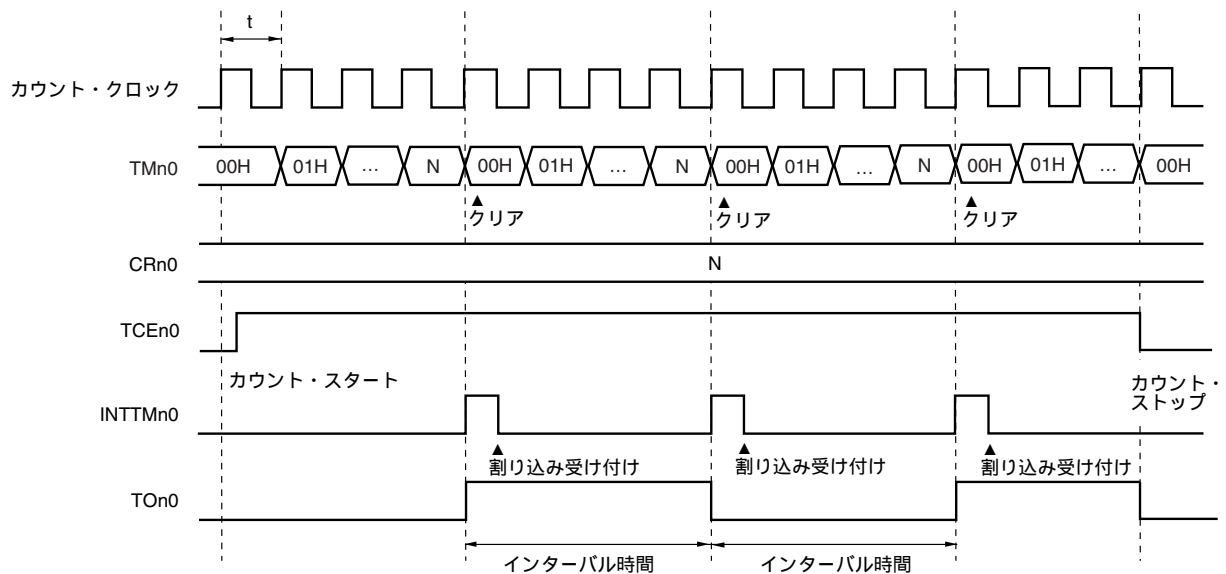
備考 fx : メイン・システム・クロック発振周波数

表6 - 4 タイマ40のインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (205 μ s)	$2^2/f_x$ (0.8 μ s)
0	1	0	$2/f_x$ (0.4 μ s)	$2^9/f_x$ (102 μ s)	$2/f_x$ (0.4 μ s)
0	1	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (205 μ s)	$2^2/f_x$ (0.8 μ s)
1	0	0	$2^3/f_x$ (1.6 μ s)	$2^{11}/f_x$ (410 μ s)	$2^3/f_x$ (1.6 μ s)
1	0	1	$2^4/f_x$ (3.2 μ s)	$2^{12}/f_x$ (819 μ s)	$2^4/f_x$ (3.2 μ s)

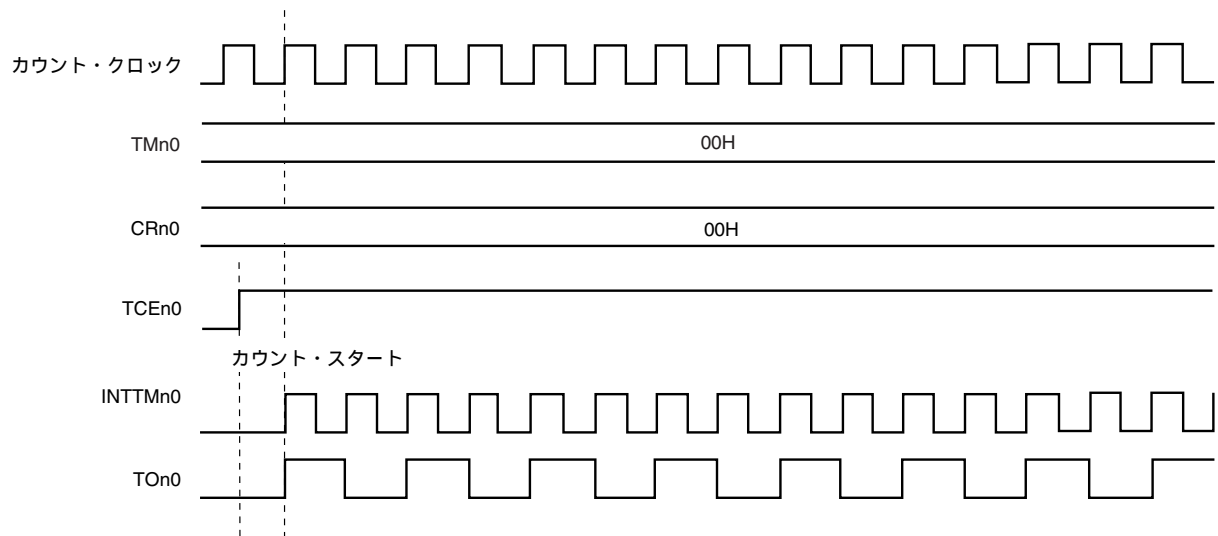
備考 fx : メイン・システム・クロック発振周波数

図6 - 8 8ビット分解能のインターバル・タイマ動作のタイミング (基本動作)

備考1. インターバル時間 = $(N + 1) \times t$: N = 00H-FFH

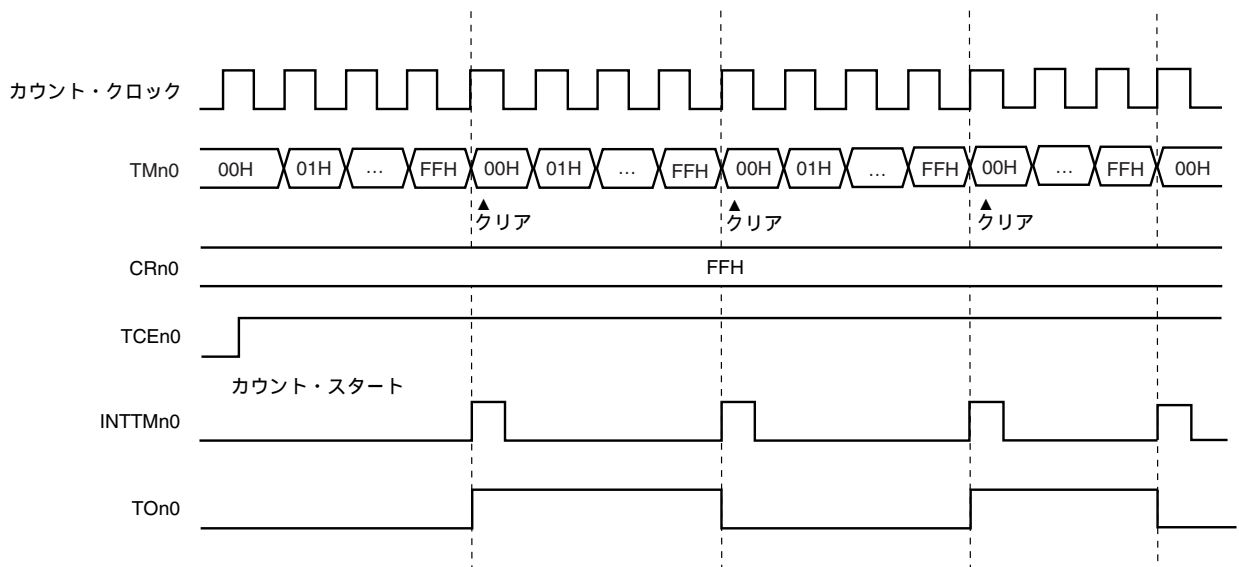
2. n = 3, 4

図6 - 9 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時)



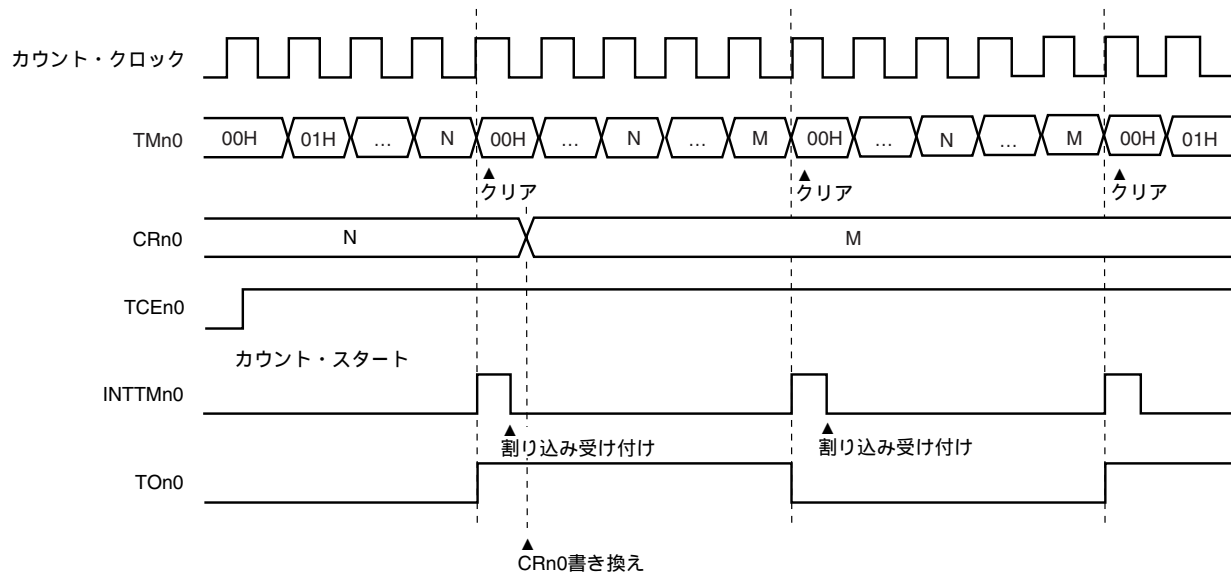
備考 n = 3, 4

図6 - 10 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時)



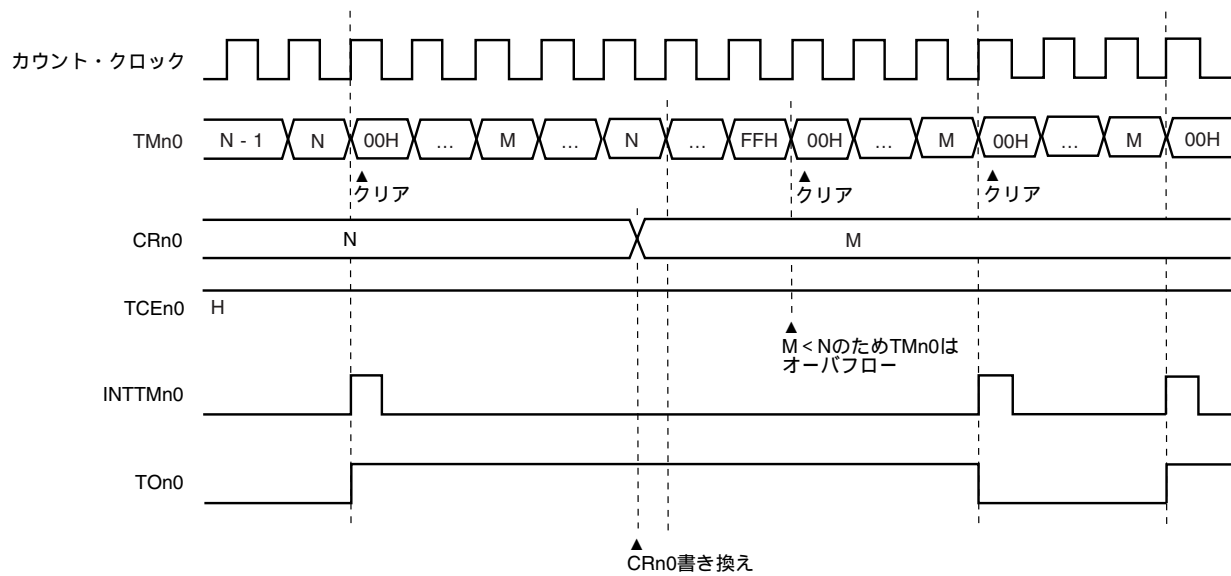
備考 n = 3, 4

図6 - 11 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N < M) 変更時)



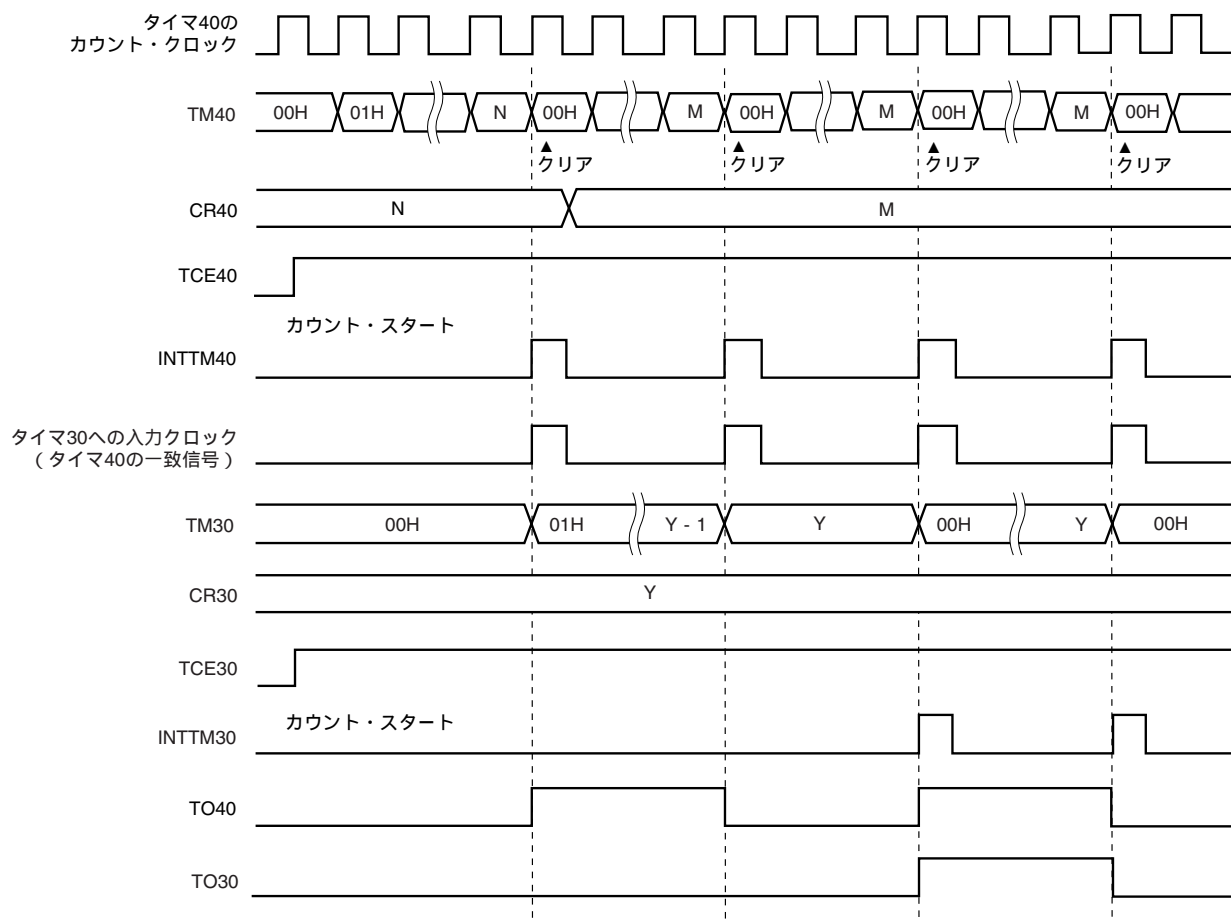
備考 n = 3, 4

図6 - 12 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N > M) 変更時)



備考 n = 3, 4

図6 - 13 8ビット分解能のインターバル・タイマ動作のタイミング
(タイマ30のカウンタ・クロックにタイマ40一致信号選択時)



備考 n = 3, 4

(2) 8ビット分解能の方形波出力としての動作 (タイマ40のみ)

8ビット・コンペア・レジスタ40 (CR40) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマ40を方形波出力として動作させるには次の設定をします。

P60を出力モード (PM60 = 0) に設定

P60の出力ラッチに0を設定

タイマ・カウンタ40 (TM40) を動作禁止 (TCE40 = 0) に設定

タイマ40のカウント・クロックを設定し、TO40を出力許可 (TOE40 = 1) に設定

CR40にカウント値を設定

TM40を動作許可 (TCE40 = 1) に設定

TM40のカウント値がCR40に設定した値と一致したとき、TO40端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM40の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM40) を発生します。

方形波出力は、TCE40に0を設定するとクリア (0) されます。

表6 - 5に方形波出力範囲を、図6 - 14に方形波出力のタイミングを示します。

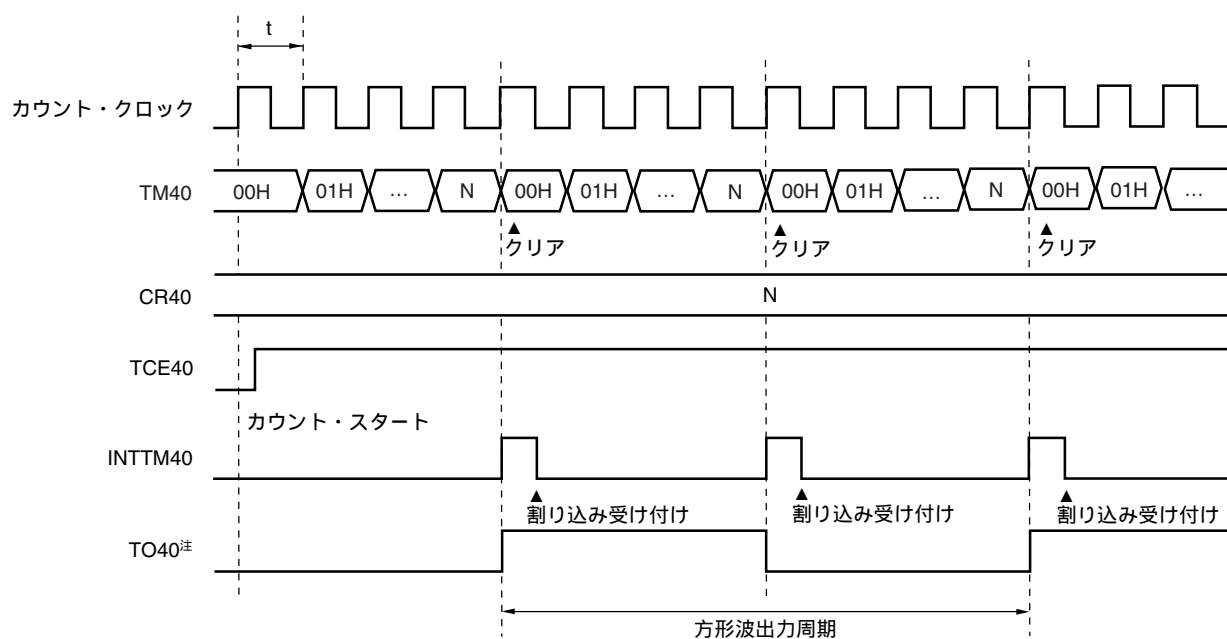
注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

表6 - 5 タイマ40の方形波出力範囲 ($f_x = 5.0 \text{ MHz}$ 動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x (0.2 \mu s)$	$2^8/f_x (51 \mu s)$	$1/f_x (0.2 \mu s)$
0	0	1	$2^2/f_x (0.8 \mu s)$	$2^{10}/f_x (205 \mu s)$	$2^2/f_x (0.8 \mu s)$
0	1	0	$2/f_x (0.4 \mu s)$	$2^9/f_x (102 \mu s)$	$2/f_x (0.4 \mu s)$
0	1	1	$2^2/f_x (0.8 \mu s)$	$2^{10}/f_x (205 \mu s)$	$2^2/f_x (0.8 \mu s)$
1	0	0	$2^3/f_x (1.6 \mu s)$	$2^{11}/f_x (410 \mu s)$	$2^3/f_x (1.6 \mu s)$
1	0	1	$2^4/f_x (3.2 \mu s)$	$2^{12}/f_x (819 \mu s)$	$2^4/f_x (3.2 \mu s)$

備考 f_x : メイン・システム・クロック発振周波数

図6 - 14 8ビット分解能の方形波出力のタイミング



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

備考 方形波出力周期 = $2(N + 1) \times t$: N = 00H-FFH

6.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタ30 (TM30) が上位8ビット, 8ビット・タイマ・カウンタ40 (TM40) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマ40で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタ30 (CR30) および8ビット・コンペア・レジスタ40 (CR40) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ30 (TM30), 8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TO40のタイマ出力を禁止 (TOE40 = 0) に設定

タイマ40のカウント・クロックを設定 (表6 - 4参照)

タイマ30, タイマ40の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図6 - 4, 図6 - 5参照)

CR30, CR40にカウント値を設定

TM30, TM40を動作許可 (TCE40 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30とTM40のカウント値がそれぞれCR30, CR40に設定した値と一致したとき, TM30, TM40の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

表6 - 6にインターバル時間を, 図6 - 15にインターバル・タイマ動作のタイミングを示します。

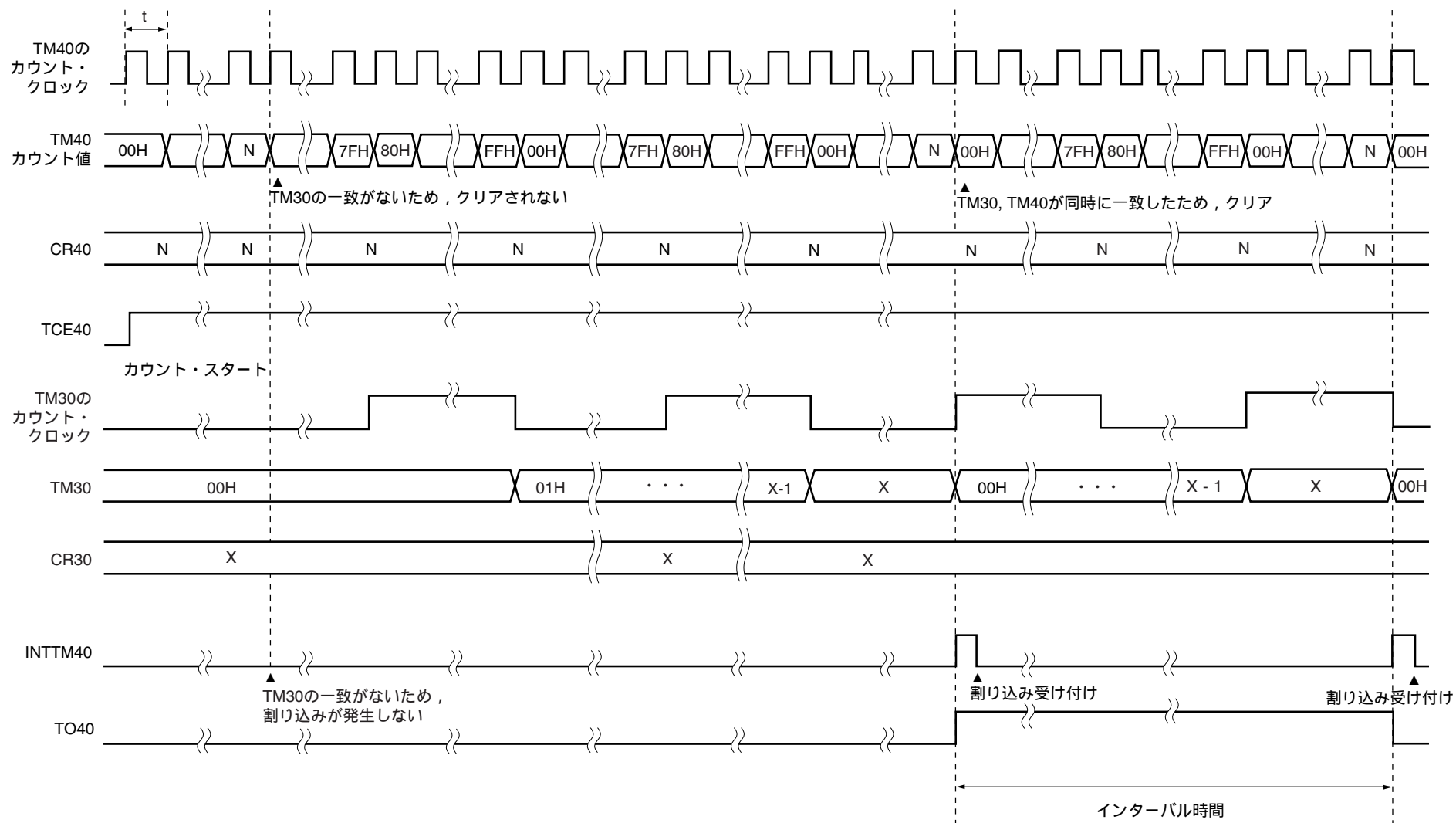
注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表6 - 6 16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	$2/f_x$ (0.4 μ s)	$2^{17}/f_x$ (26.2 ms)	$2/f_x$ (0.4 μ s)
0	1	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
1	0	0	$2^3/f_x$ (1.6 μ s)	$2^{19}/f_x$ (105 ms)	$2^3/f_x$ (1.6 μ s)
1	0	1	$2^4/f_x$ (3.2 μ s)	$2^{20}/f_x$ (210 ms)	$2^4/f_x$ (3.2 μ s)

備考 fx: メイン・システム・クロック発振周波数

図6 - 15 16ビット分解能のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(256X + N + 1) \times t$: $X = 00H-FFH$, $N = 00H-FFH$

(2) 16ビット分解能の方形波出力としての動作

CR30, CR40にあらかじめ設定した値をインターバルとし, 任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TO40を出力禁止 (TOE40 = 0) に設定

タイマ40のカウント・クロックを設定する

P60を出力モード (PM60 = 0), P60の出力ラッチに0を設定し, TO40を出力許可 (TOE40 = 1) に設定

CR30, CR40にカウント値を設定

TM40を動作許可 (TCE40 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30, TM40のカウント値がそれぞれCR30, CR40に設定した値と同時に一致したとき, TO40端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TM30, TM40の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

方形波出力は, TCE40に0を設定するとクリア (0) されます。

表6 - 7に方形波出力範囲を, 図6 - 16に方形波出力のタイミングを示します。

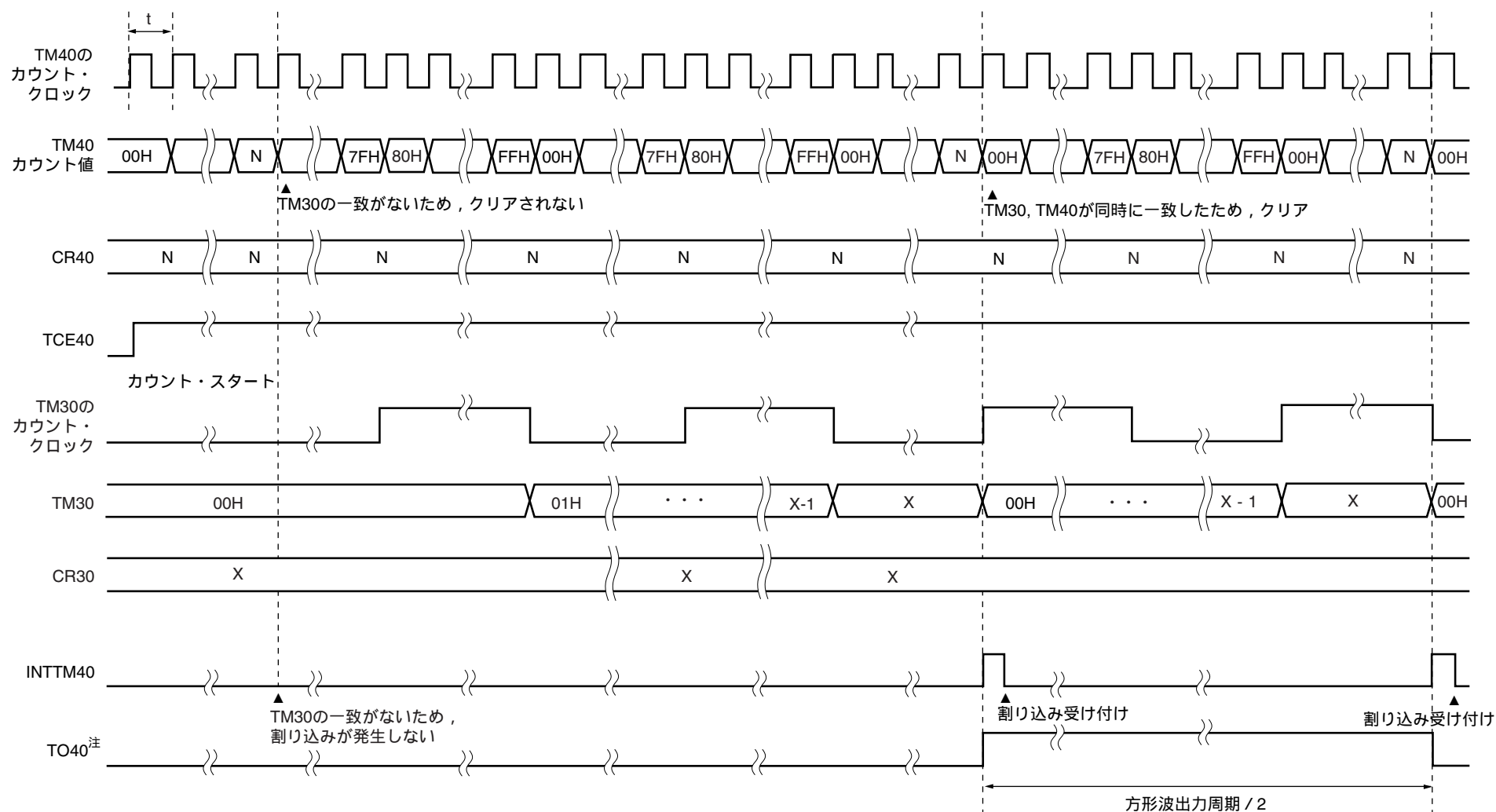
注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表6 - 7 16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	$2/f_x$ (0.4 μ s)	$2^{17}/f_x$ (26.2 ms)	$2/f_x$ (0.4 μ s)
0	1	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
1	0	0	$2^3/f_x$ (1.6 μ s)	$2^{19}/f_x$ (105 ms)	$2^3/f_x$ (1.6 μ s)
1	0	1	$2^4/f_x$ (3.2 μ s)	$2^{20}/f_x$ (210 ms)	$2^4/f_x$ (3.2 μ s)

備考 fx: メイン・システム・クロック発振周波数

図6 - 16 16ビット分解能の方形波出力のタイミング



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

備考 方形波出力周期 = $2(256X + N + 1) \times t$: $X = 00H-FFH$, $N = 00H-FFH$

6.4.3 キャリア・ジェネレータとしての動作

TM40で生成される任意のキャリア・クロックをTM30に設定した周期で出力できます。

タイマ30, タイマ40をキャリア・ジェネレータとして動作させるには次の設定をします。

TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TO40のタイマ出力を禁止に設定 (TOE40 = 0)

CR30, CR40, CRH40にカウント値を設定

タイマ30, タイマ40の動作モードをキャリア・ジェネレータ・モードに設定 (図6 - 4, 図6 - 5参照)

タイマ30, タイマ40のカウント・クロックを設定

リモコン出力をキャリア・パルスに設定 (RMC40 (キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) のビット2) = 0)

NRZB40 (TCA40のビット1) にプログラムによって必要な値を入力する。

NRZ40 (TCA40のビット0) にNRZB40からリロードするまでの値を入力する。

P60を出力モード (PM60 = 0), P60の出力ラッチに0を設定し, TOE40 = 1としてTO40の出力を許可する

TM30, TM40を動作許可 (TCE30 = 1, TCE40 = 1) に設定

★ NRZB40の値を汎用レジスタに退避しておく

★ INTTM30が立ち上がると, NRZB40の値がNRZ40に転送されます。その後, TCA40を8ビット・メモリ操作命令で書き換えます。NRZB40には次回NRZ40に転送する値を入力し, NRZ40には 退避しておいた値を入力します。

★ , の繰り返しにより, 希望するキャリア信号を生成します。

キャリア・ジェネレータの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40→CRH40に切り替わります。

その後, TM40のカウント値がCRH40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40→CR40に切り替わります。

, の繰り返しにより, キャリア・クロックが生成されます。

TM30のカウント値がCR30に設定した値と一致したとき, 割り込み要求信号 (INTTM30) が発生します。このINTTM30の立ち上がりエッジがNRZB40のデータ・リロード信号となり, NRZ40へ転送されます。NRZ40が1のとき, キャリア・クロックがTO40端子より出力されます。

注意1 . TCA40は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。

★ 2 . NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。

TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。

3 . キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にするとき, NRZB40は以前のデータを保持していませんので再設定してください。また, このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

- ★ 注意4 . キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ（CR30, CR40, CRH40）に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。

キャリア・ジェネレータの動作タイミングを図6 - 17～図6 - 19に示します。

図6 - 17 キャリア・ジェネレータの動作タイミング（CR40 = N, CRH40 = M（M > N）設定時）

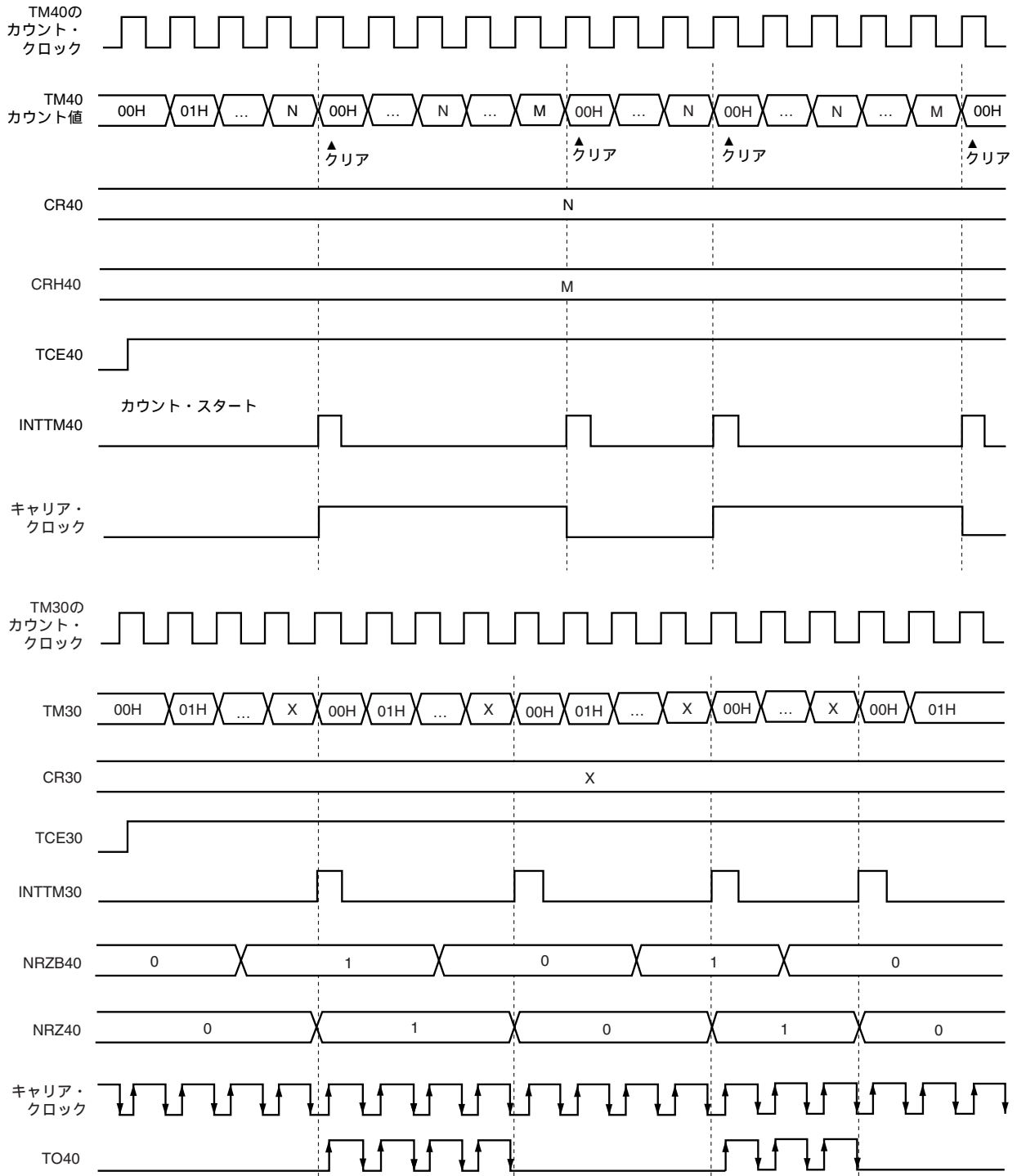
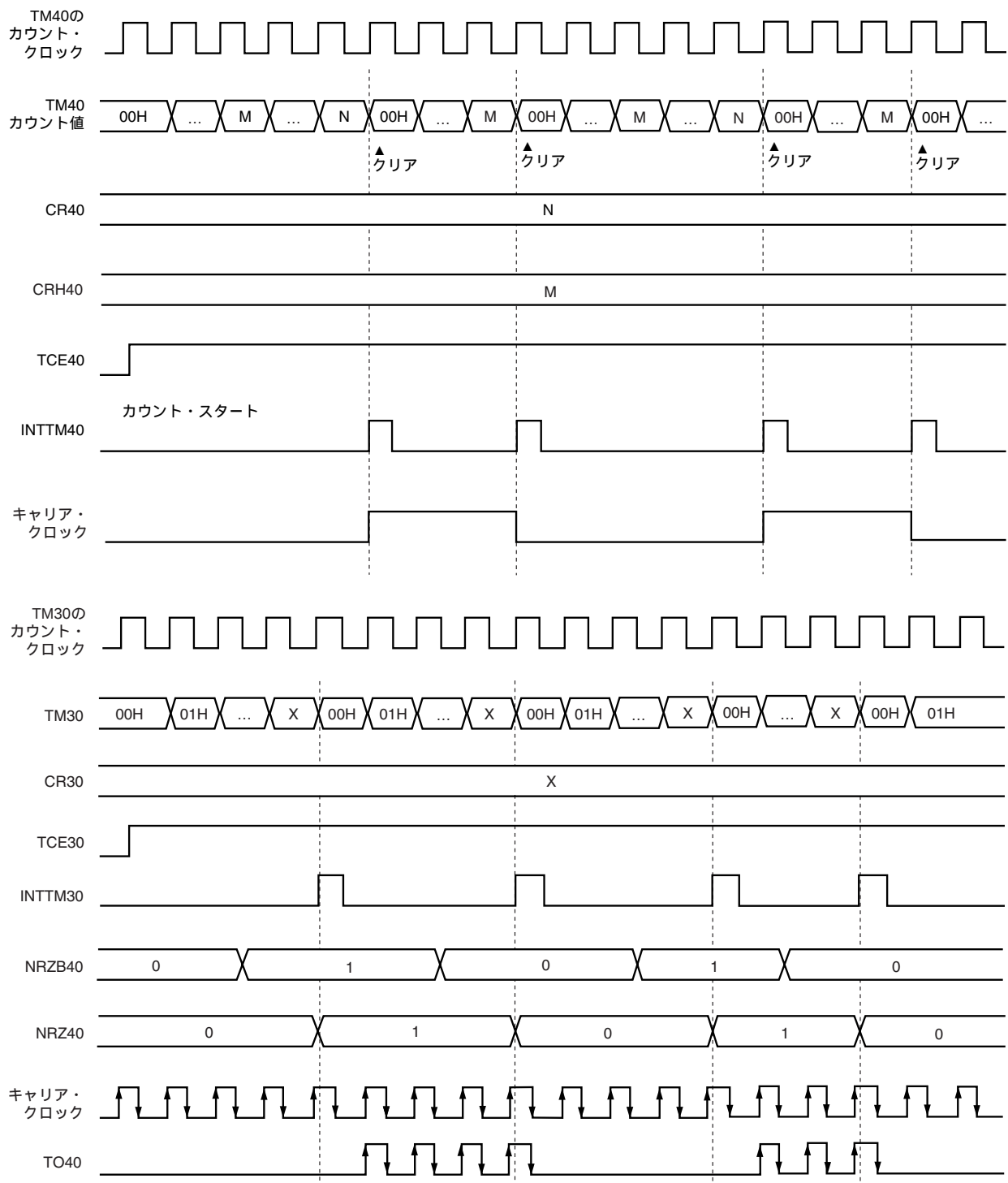
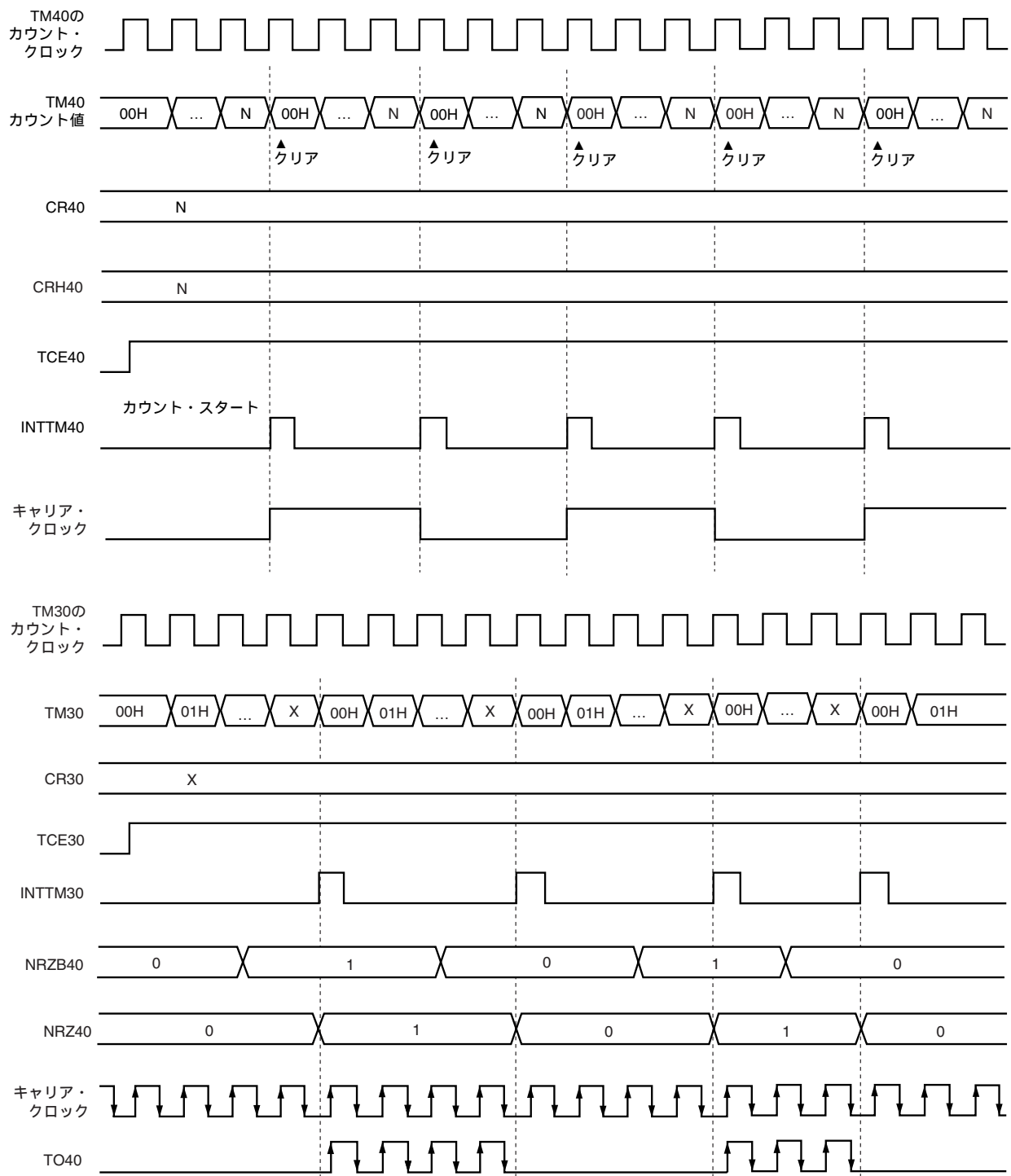


図6 - 18 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時)



備考 この図では、キャリア・クロックのハイ・レベル時にNRZ40の値が切り替わった場合の例を示しています。

図6 - 19 キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N設定時)



6.4.4 PWM出力モードとしての動作（タイマ40のみ）

PWM出力モードでは、ロウ・レベル幅をCR40で、ハイ・レベル幅をCRH40で設定させることにより、任意のデューティ比のパルスを出力させることができます。

タイマ40をPWM出力モードとして動作させるには次の設定をします。

TM40を動作禁止（TCE40 = 0）に設定

TO40のタイマ出力を禁止（TOE40 = 0）に設定

CR40, CRH40にカウント値を設定

タイマ40の動作モードをPWM出力モードに設定（図6 - 5参照）

タイマ40のカウント・クロックを設定

P60を出力モード（PM60 = 0）、P60の出力ラッチに0を設定し、TO40のタイマ出力を許可（TOE40 = 1）に設定

TM40を動作許可（TCE40 = 1）に設定

PWM出力モードの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40→CRH40に切り替わります。

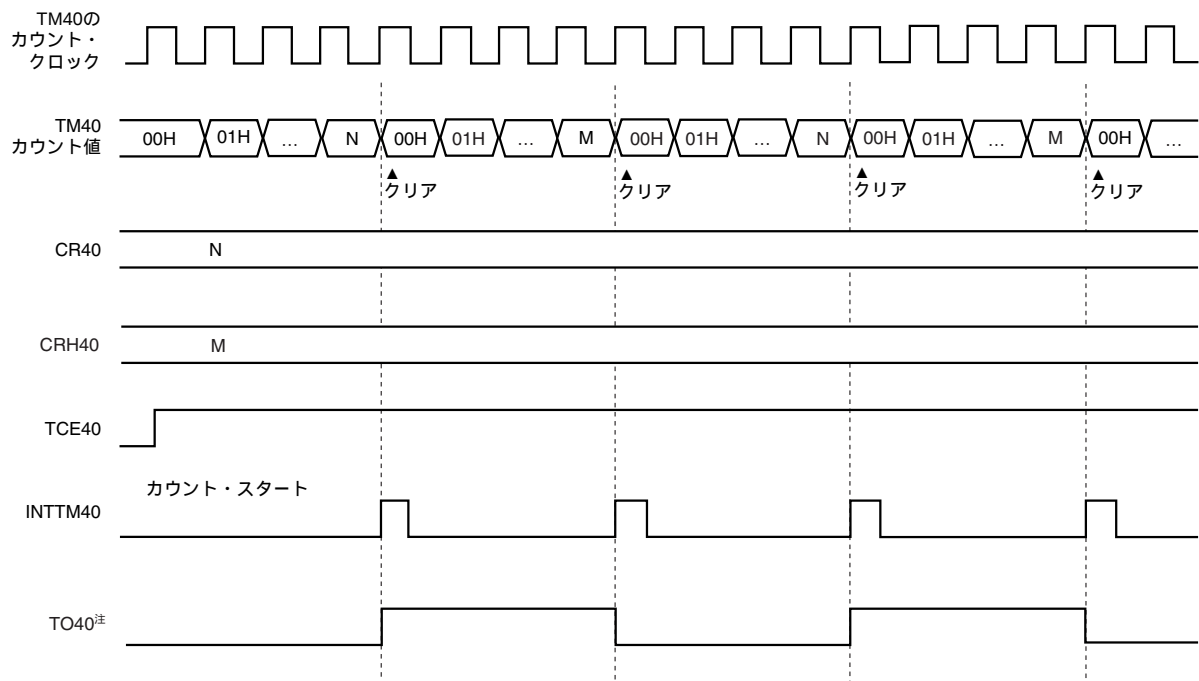
TM40とCR40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

その後、TM40のカウント値がCRH40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40→CR40に切り替わります。

TM40とCRH40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

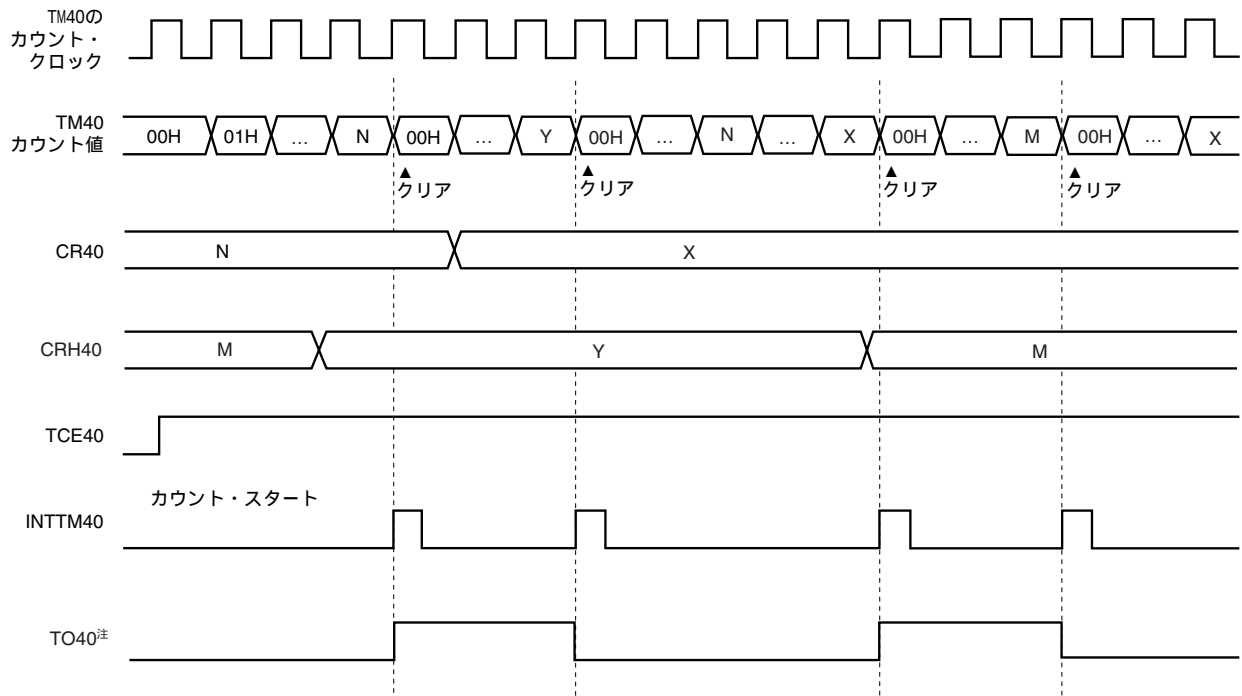
以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWM出力モードの動作タイミングを図6 - 20、図6 - 21に示します。

図6 - 20 PWM出力モードのタイミング（基本動作）



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

図6 - 21 PWM出力モードのタイミング（CR40, CRH40を書き換えた場合）



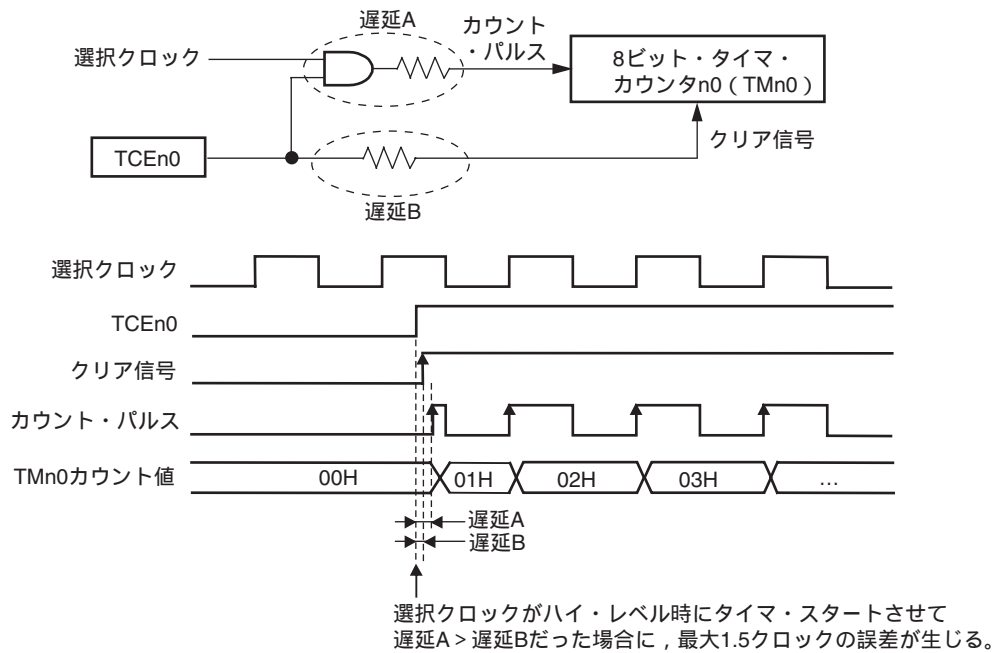
注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

6.5 8ビット・タイマ30, 40の注意事項

★ (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これは、カウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです。（図6 - 22参照）

図6 - 22 1.5クロック（最大）の誤差が出るケース



備考 n = 3, 4

第7章 時計用タイマ

7.1 時計用タイマの機能

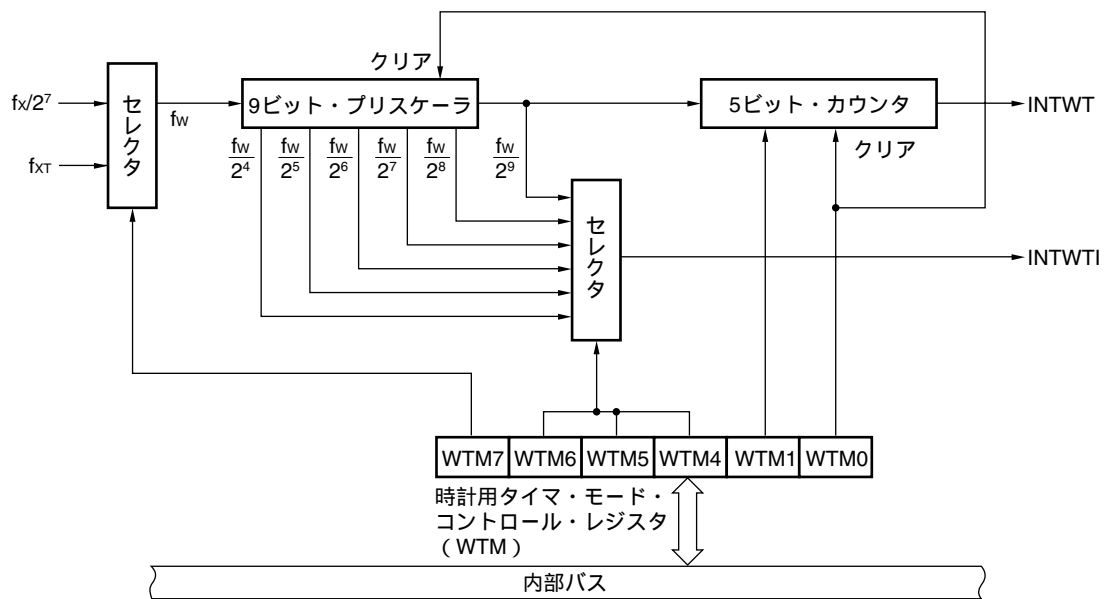
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図7 - 1に、時計用タイマのブロック図を示します。

図7 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求（INTWT）を発生します。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求（INTWT）を発生します。

表7 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_W$	409.6 μs	488 μs	488 μs
$2^5 \times 1/f_W$	819.2 μs	977 μs	977 μs
$2^6 \times 1/f_W$	1.64 ms	1.95 ms	1.95 ms
$2^7 \times 1/f_W$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_W$	6.55 ms	7.81 ms	7.81 ms
$2^9 \times 1/f_W$	13.1 ms	15.6 ms	15.6 ms

備考1. f_W : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

7.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表7 - 2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

7.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	0		アドレス	リセット時	R/W
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウント・クロック (f_w) 選択
0	$f_x/2^7$ (39.1 kHz)
1	f_{XT} (32.768 kHz)

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ、タイマともにクリア)
1	動作許可

注意 ビット2, 3には必ず0を設定してください。

備考1 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時

7.4 時計用タイマの動作

7.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

7.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表7-3 インターバル・タイマのインターバル時間

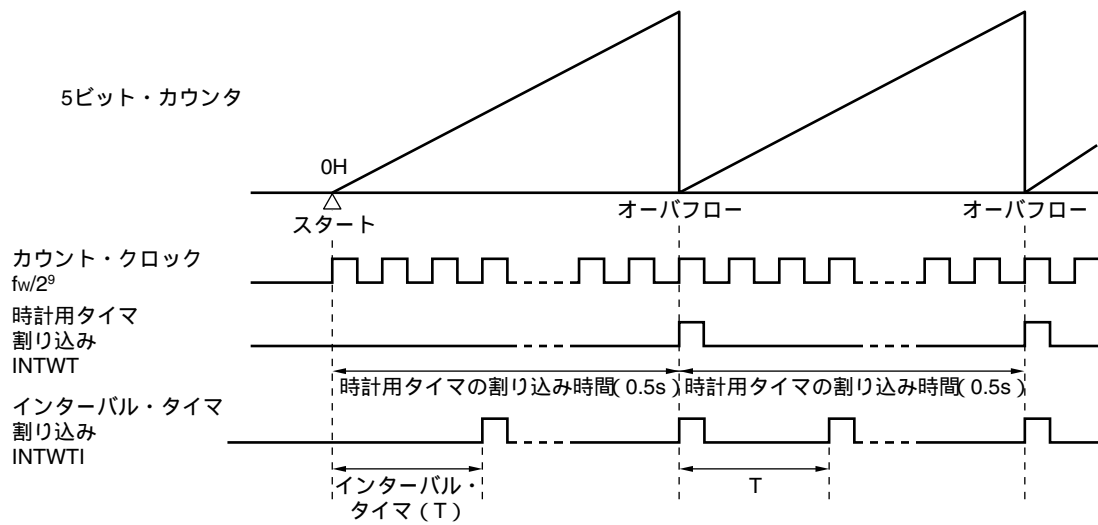
インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	409.6 μs	488 μs	488 μs
$2^5 \times 1/f_w$	819.2 μs	977 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

図7-3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

備考1 f_w : 時計用タイマ・クロック周波数

2. () 内は, $f_w = 32.768 \text{ kHz}$ 動作時

第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表8 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

備考 f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表8 - 2 ウォッチドッグ・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

備考 f_x : メイン・システム・クロック発振周波数

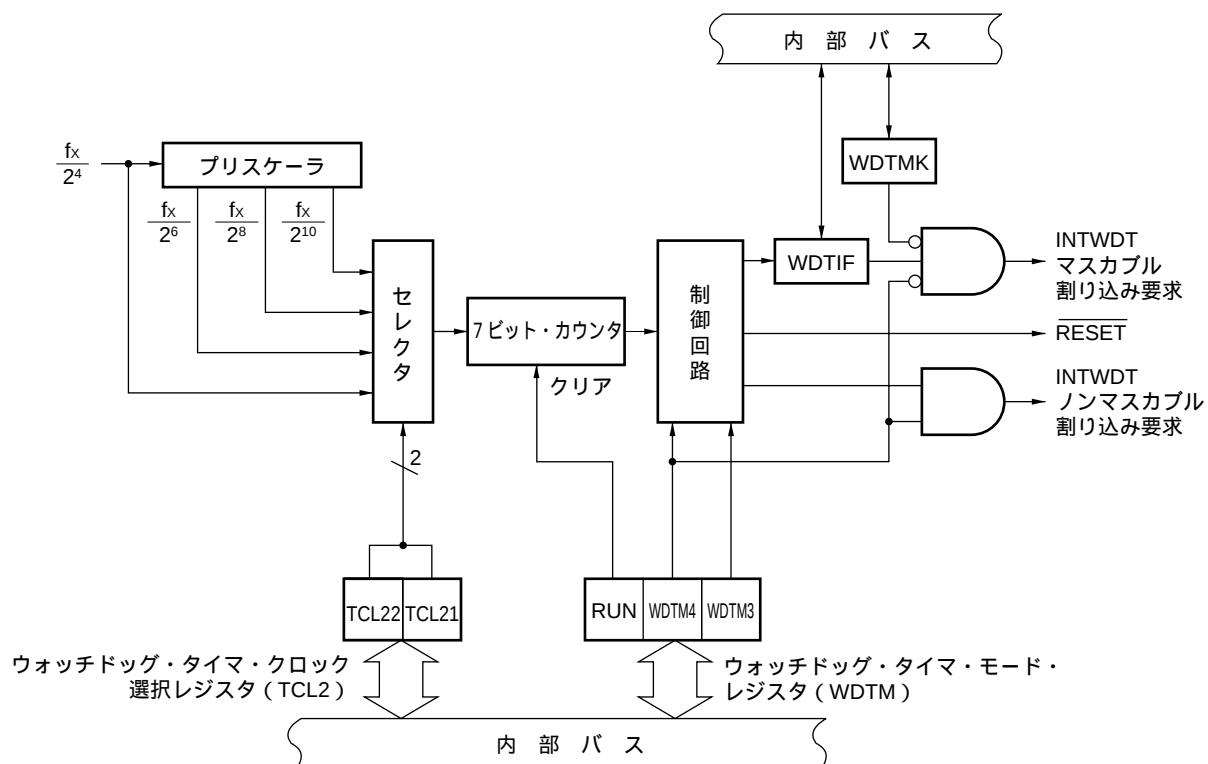
8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表8-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	0	FF42H	00H	R/W

TCL22	TCL21	ウォッチドッグ・タイマのカウント・クロックの 選択	暴走検出時間またはインターバル時間
0	0	$f_x/2^4$ (313 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)

注意 ビット0, 3-7には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可 / 禁止を設定するレジスタです。

WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時、マスカブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作を起動)

注1. RUNは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2) で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、WDTIF (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態で、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2) のビット1, 2 (TCL21, TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1．実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

2．CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表8 - 4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	$2^{11} \times 1/f_x$	410 μs
0	1	$2^{13} \times 1/f_x$	1.64 ms
1	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	$2^{17} \times 1/f_x$	26.2 ms

備考 f_x : メイン・システム・クロック発振周波数

8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2) のビット1, 2 (TCL21, TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8%短くなる場合があります。

表8 - 5 ウォッチドッグ・タイマのインターバル時間

TCL22	TCL21	インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	$2^{11} \times 1/f_x$	410 μs
0	1	$2^{13} \times 1/f_x$	1.64 ms
1	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	$2^{17} \times 1/f_x$	26.2 ms

備考 f_x : メイン・システム・クロック発振周波数

第9章 8ビットA/Dコンバータ

9.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、1チャンネル（ANI0）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

注意 STOPモード時、A/Dコンバータは動作停止となります。

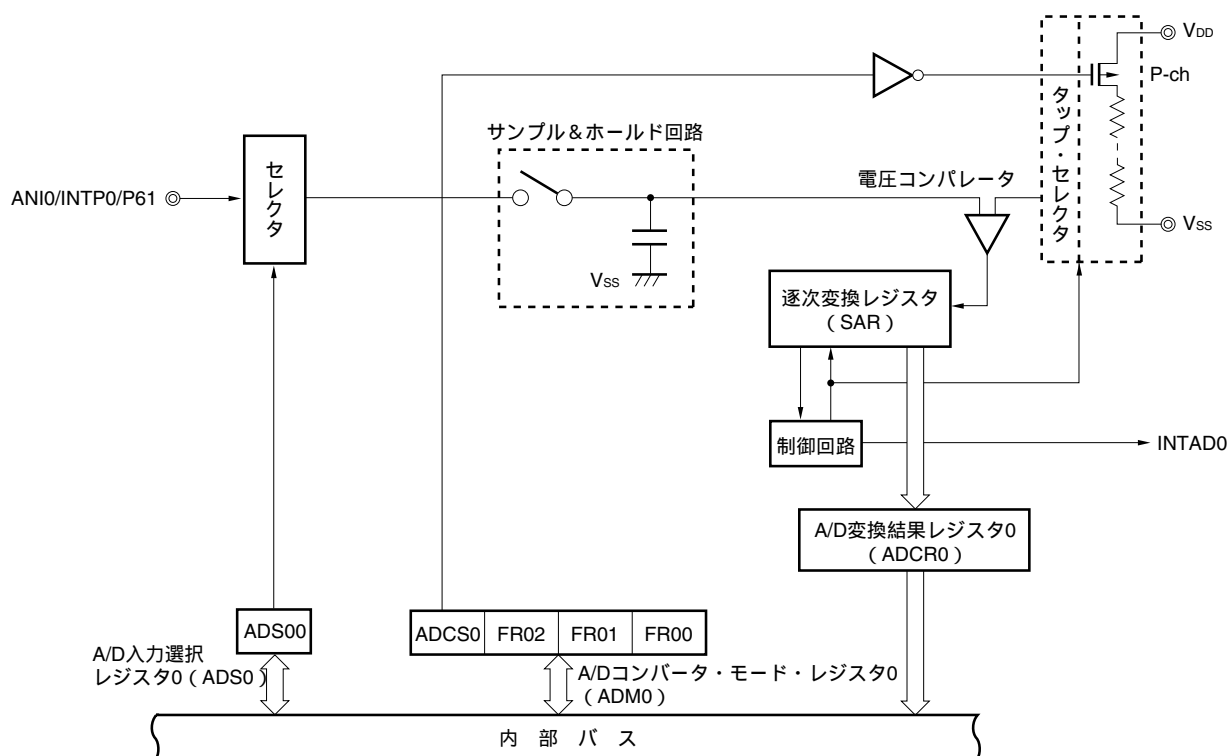
9.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表9 - 1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	1チャンネル（ANI0）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） A/D入力選択レジスタ0（ADS0）

図9 - 1 8ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し，その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D変換終了），SARの内容はA/D変換結果レジスタ0（ADCR0）に転送されます。

(2) A/D変換結果レジスタ0（ADCR0）

A/D変換結果を保持します。A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/Dの変換結果を保持する8ビットのレジスタです。

ADCR0は，8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により，不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は，入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし，電圧コンパレータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは V_{DD} - V_{SS} 間に入っており，アナログ入力と比較する電圧を発生します。

(6) ANI0端子

A/Dコンバータへの1チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、または V_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。

9.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/D入力選択レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	0	0	0	0	0	FF80H	00H	R/W	

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}
0	0	0	72/f _x (14.4 μ s)
0	0	1	60/f _x (設定禁止 ^{注2})
0	1	0	48/f _x (設定禁止 ^{注2})
1	0	0	144/f _x (28.8 μ s)
1	0	1	120/f _x (24 μ s)
1	1	0	96/f _x (19.2 μ s)
上記以外			設定禁止

注1．A/D変換時間が14 μ s以上になるように設定してください。

2．f_x = 5.0 MHzの場合は、A/D変換時間が14 μ s未満となりますので、設定禁止です。

- 注意1. ビット7 (ADCS0) をセット直後の1回目の変換結果は不定になります。2回目以降の変換結果をご使用ください。
2. ADCS0のクリア後の変換結果は不定になることがあります。変換結果を読み出す場合は、A/D動作中に行ってください。またA/D変換を停止してから変換結果を読み出す場合は、A/D変換終了後、次の変換が終了するまでにA/D変換動作を停止してから行ってください。
3. ビット0-2, 6には、必ず0を設定してください。

備考1．f_x：メイン・システム・クロック発振周波数

2．() 内は、f_x = 5.0 MHz動作時

(2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。
ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 3 A/D入力選択レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	0	0	ADS00	FF84H	00H	R/W

ADS00	P61のポート機能
0	P61（汎用ポート端子）またはINTP0（外部割り込み端子）として動作
1	ANI0（アナログ入力端子）として動作。外部割り込みは禁止。

注意 ビット1-7には、必ず0を設定してください。

9.4 8ビットA/Dコンバータの動作

9.4.1 8ビットA/Dコンバータの基本動作

A/D入力選択レジスタ0 (ADS0) のビット0をセットし、P61/INTP0/ANI0端子をアナログ入力として使用するように選択します。

アナログ入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) V_{DD}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が $(1/2) V_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) V_{DD}$ よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ ビット7 = 1 : $(3/4) V_{DD}$
- ・ ビット7 = 0 : $(1/4) V_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

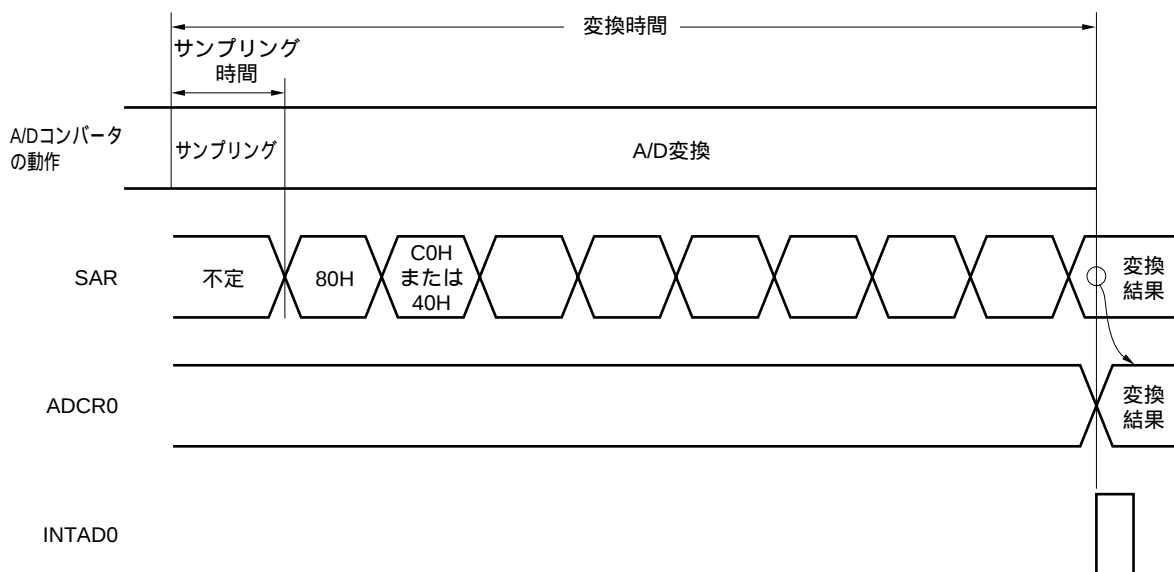
- ・ アナログ入力電圧 > 電圧タップ : ビット6 = 1
- ・ アナログ入力電圧 < 電圧タップ : ビット6 = 0

このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残ります、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

図9 - 4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, A/D入力選択レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

- 注意1.** A/D変換動作をスタートした直後の最初の1回目のA/D変換値は不定になります。2回目以降の変換値をご使用ください。
- 2.** スタンバイ・モード時、A/Dコンバータは動作停止となります。

9.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{V_{\text{DD}}} \times 256 + 0.5 \right)$$

または、

$$\left(\text{ADCR0} - 0.5 \right) \times \frac{V_{\text{DD}}}{256} \leq V_{\text{IN}} < \left(\text{ADCR0} + 0.5 \right) \times \frac{V_{\text{DD}}}{256}$$

INT () : () 内の値の整数部を返す関数

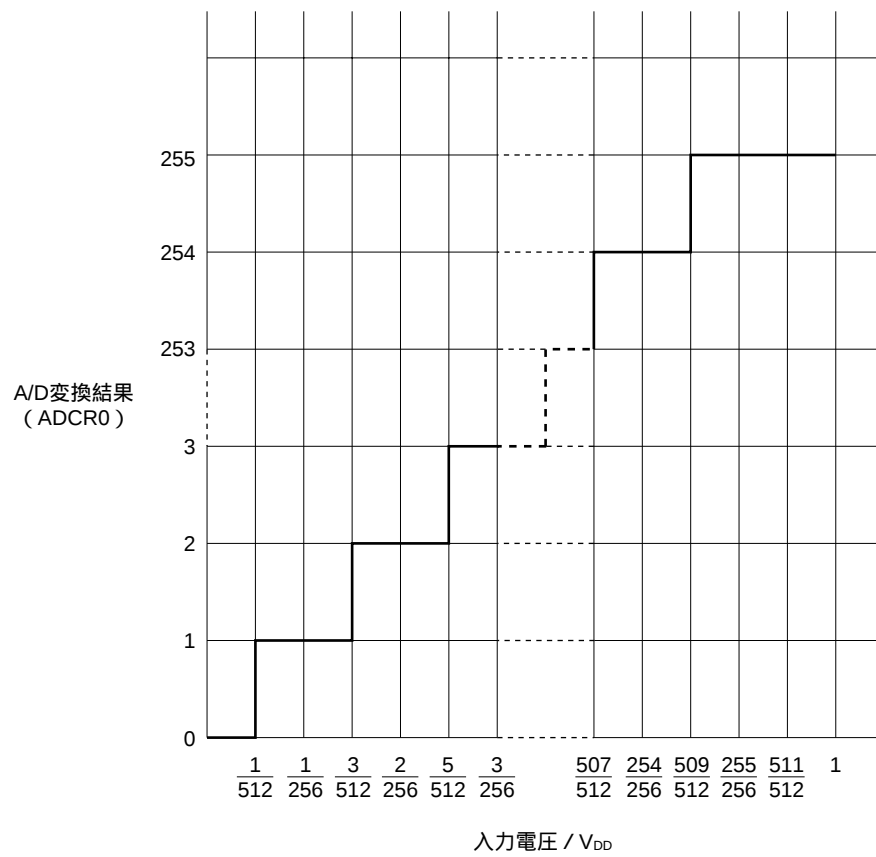
V_{IN} : アナログ入力電圧

V_{DD} : 電源電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図9 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図9 - 5 アナログ入力電圧とA/D変換結果の関係



9.4.3 8ビットA/Dコンバータの動作モード

A/D入力選択レジスタ0 (ADS0) によって、P61/INTP0/ANI0端子をアナログ入力として使用するように選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

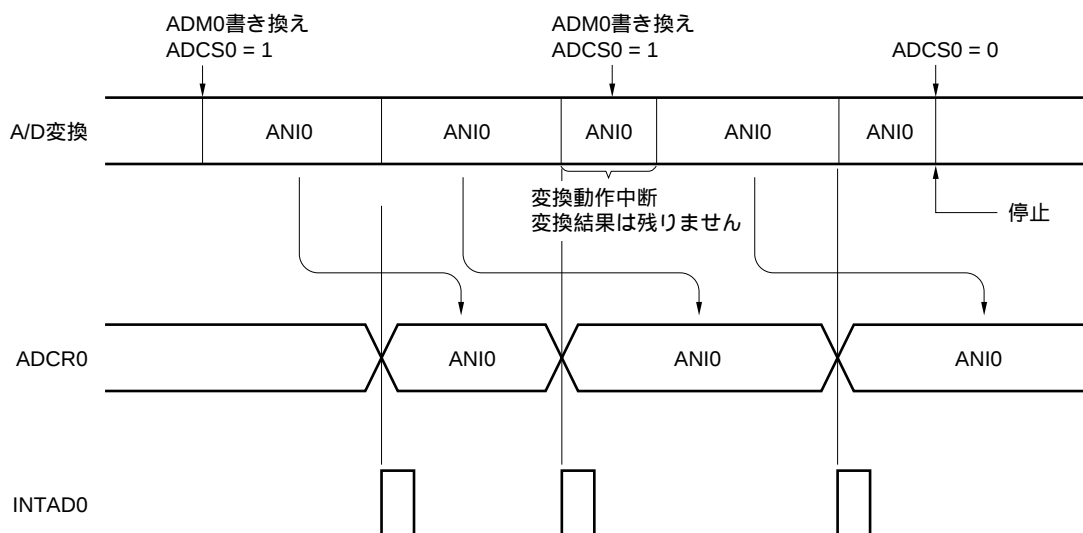
・ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、A/D入力選択レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図9 - 6 ソフトウェア・スタートによるA/D変換動作



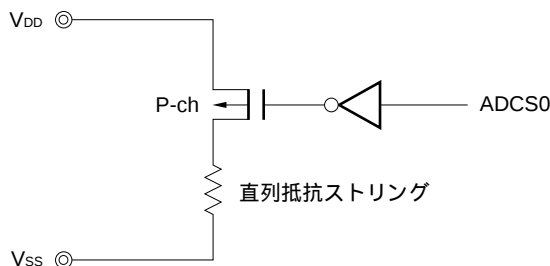
9.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図9 - 7に示します。

図9 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0入力範囲について

ANI0入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、または V_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはA/D入力選択レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初の1回目のA/D変換値は不定になります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄して2回目以降の変換結果を採用してください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図9 - 8、図9 - 9に示します。

図9 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

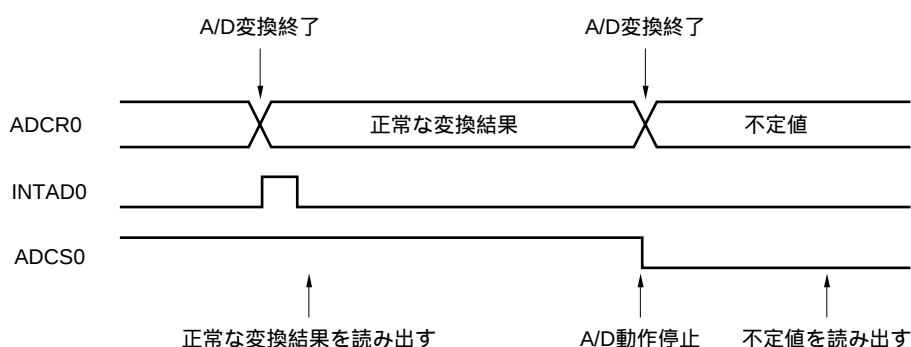
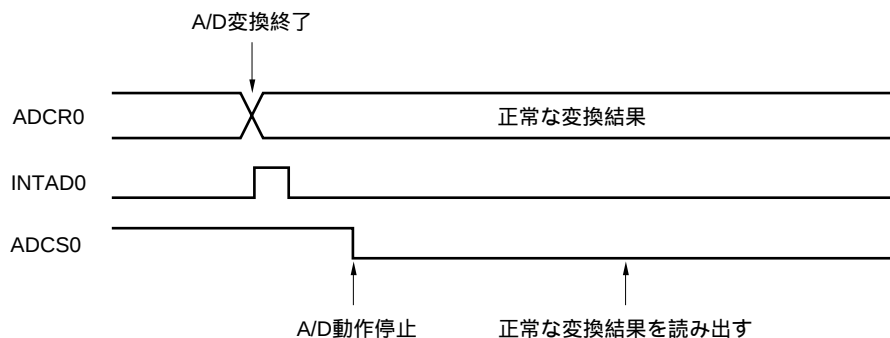


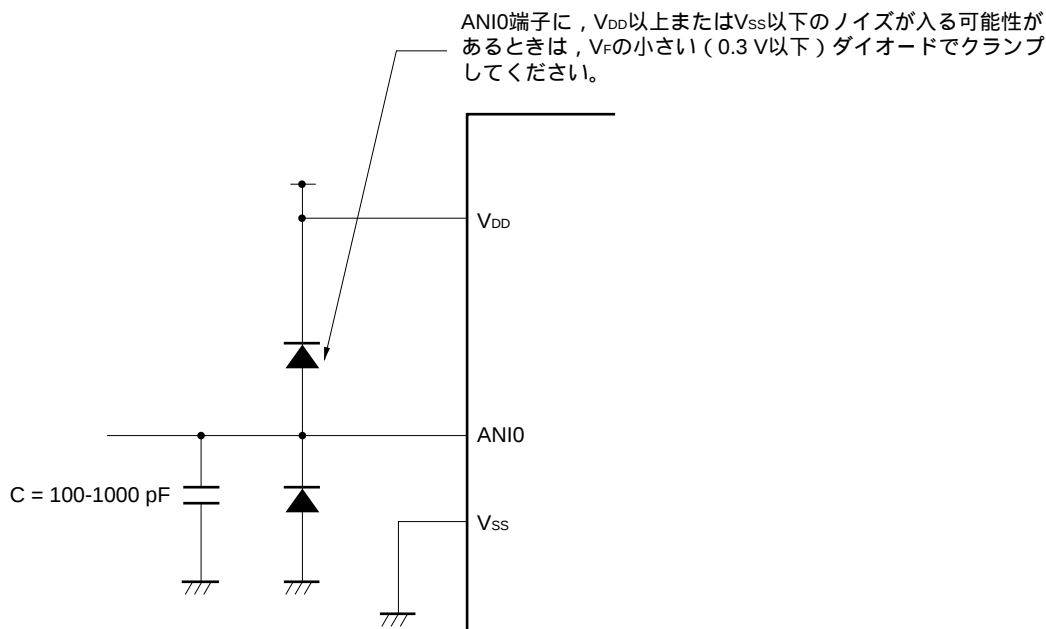
図9 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 V_{DD} 、ANI0端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図9 - 10のようにCを外付けすることを推奨します。

図9 - 10 アナログ入力端子の処理



(7) ANI0について

アナログ入力（ANI0）端子はポート端子（P61）と兼用になっています。

ANI0を選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (8) ANI0端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k Ω 以下にするか、ANI0端子に100 pF程度のコンデンサを付けることを推奨します（図9 - 10参照）。

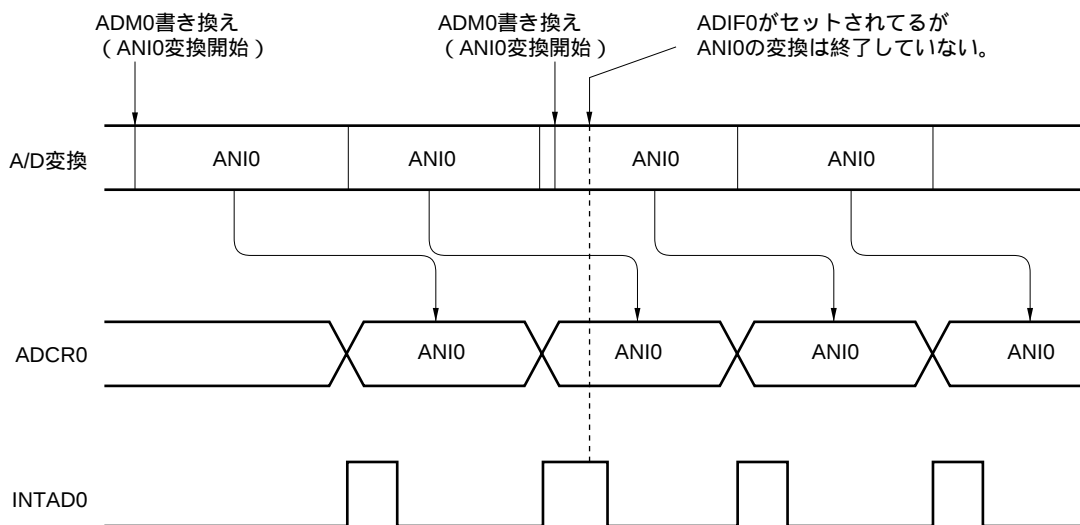
(9) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図9 - 11 A/D変換終了割り込み要求発生タイミング

(10) V_{DD} 端子の入カインピーダンスについて

V_{DD} 端子と V_{SS} 端子の間には数十 k Ω の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、 V_{DD} 端子と V_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

第10章 LCDコントローラ／ドライバ

10.1 LCDコントローラ／ドライバの機能

μ PD789467サブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 4種類のフレーム周波数を選択可能
- (3) セグメント信号出力は最大23本 (S0-S22) , コモン信号出力は4本 (COM0-COM3)
- (4) サブシステム・クロックによる動作も可能
- (5) 昇圧回路を内蔵

各表示モードにおける表示可能な最大画素数を表10 - 1に示します。

表10 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
1/3	4	COM0-COM3	92 (23セグメント×4コモン) ^注

注 呂形のLCDパネルで2セグメント／桁のもの11桁

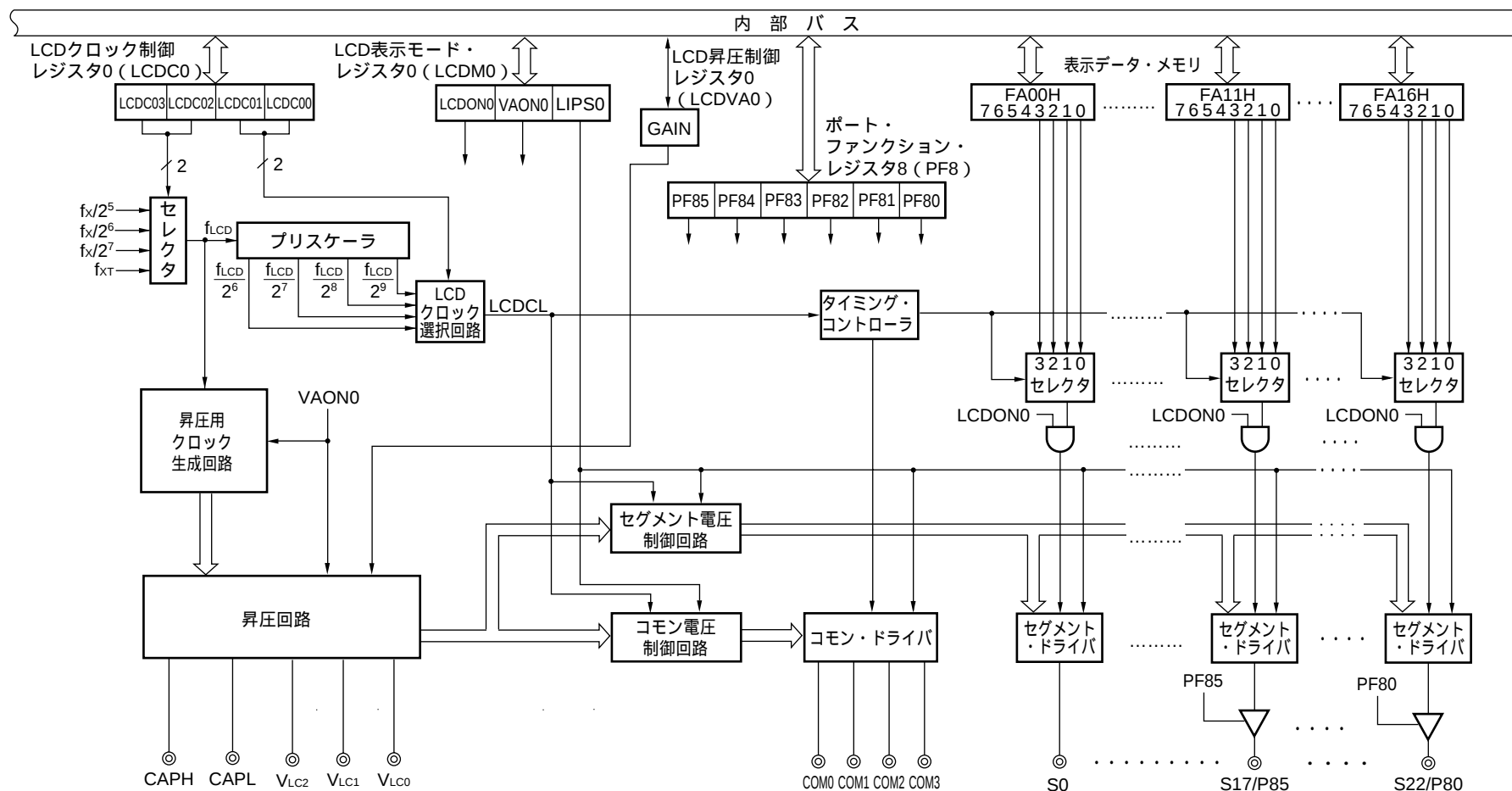
10.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表10 - 2 LCDコントローラ／ドライバの構成

項 目	構 成
表示出力	セグメント信号 : 23本 コモン信号 : 4本
制御レジスタ	LCD表示モード・レジスタ0 (LCDM0) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧制御レジスタ0 (LCDVA0) ポート・ファンクション・レジスタ8 (PF8)

図10 - 1 LCDコントローラ/ドライバのブロック図



10.3 LCDコントローラ/ドライバを制御するレジスタ

- ・LCD表示モード・レジスタ0 (LCDM0)
- ・LCDクロック制御レジスタ0 (LCDC0)
- ・LCD昇圧制御レジスタ0 (LCDVA0)
- ・ポート・ファンクション・レジスタ8 (PF8)

(1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可/禁止, 昇圧回路の許可/停止, セグメント/コモン端子出力を設定するレジスタです。

LCDM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図10-2 LCD表示モード・レジスタ0のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDM0	LCDON0	VAON0	0	LIPS0	0	LCDM02	0	0	FFB0H 00H R/W

LCDON0	LCD表示の許可/禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

VAON0	昇圧回路の動作許可/停止 ^{注1}
0	昇圧回路動作停止
1	昇圧回路動作許可

LIPS0	セグメント端子/コモン端子出力の制御 ^{注1, 2}
0	セグメント端子/コモン端子にグラウンド・レベルを出力
1	セグメント端子に非選択レベル, コモン端子にLCD波形を出力

LCDM02	表示モードの選択 ^{注3}
0	4時分割, 1/3バイアス・モード
1	スタティック・モード

注1. LCD表示を行わないとき, 消費電力を低減させるため, VAON0に0, LIPS0に0を設定してください。

ただし, P80-P85を1本でも汎用ポートとして使用する場合は, VAON0 = 1でご使用ください。

2. LIPS0はマスクROM製品でのみ有効となりますが, μ PD78F9468でライトしてもエラーにはなりません。

3. 通常は4時分割, 1/3バイアス・モード (LCDM02=0) でご使用ください。

ただし, 次のいずれかの場合はスタティック・モード (LCDM02=1) に切り替えてください。

- ・LCDソース・クロックにメイン・システム・クロックを選択していて, STOPモードにするとき
- ・リセット後から昇圧開始までの間
- ・表示オフかつ昇圧オフにするとき

★

注意1. ビット0, 1, 3, 5には, 必ず0を設定してください。

2. LCDソース・クロックにメイン・システム・クロックを選択しているときは, STOPモードにすると異常表示することがあります。STOPモードにする前に必ず, 表示オフかつスタティック・モードの設定 (LCDON0=0かつLCDM02=1) にしてください。LCDソース・クロックにサブシステム・クロックを選択しているときは, STOPモード中も正常動作します。
3. リセット後は「表示オフかつ昇圧オフ」になっているので, LCDM02=1を設定してスタティック・モードにしてください。さもないと昇圧開始までの間, 異常表示することがあります。
4. VAON0を操作する場合は, 次の手順をお守りください。

A. 表示オン状態から表示オフ状態にして昇圧停止するとき

- 1) LCDON0=0により, 表示オフ状態にする。
- 2) LIPS0=0により, すべてのセグメント・バッファ, コモン・バッファを出力禁止にする。
- 3) LCDM02=1により, スタティック・モードにする。
- 4) VAON0=0により, 昇圧停止にする。

B. 表示オン状態で昇圧停止するとき

設定禁止です。必ず表示オフにしてから昇圧停止してください。

C. 昇圧停止状態から表示オンにするとき

- 1) VAON0=1により昇圧開始して, 約500 ms待つ。
- 2) LCDM02=0により, 4時分割1/3バイアス・モードにする。
- 3) LIPS0=1により, すべてのセグメント・バッファ, コモン・バッファを非表示出力状態にする。
- 4) LCDON0=1により, 表示オン状態にする。

- ★ 5. LCDON0, VAON0, LIPS0の設定において, デバイス・ファイルで許可/禁止されている組み合わせは次のとおりです。

LCDON0	VAON0	LIPS0	組み合わせの許可/禁止
0	0	0	デバイス・ファイルにて許可
0	1	0	
0	1	1	
1	1	1	
0	0	1	デバイス・ファイルにて禁止 (この設定をした場合, エラーになります。)
1	0	0	
1	0	1	
1	1	0	

(2) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図10 - 3 LCDクロック制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC0	0	0	0	0	LCDC03	LCDC02	LCDC01	LCDC00	FFB2H	00H	R/W

LCDC03	LCDC02	LCDソース・クロック (f_{LCD}) の選択 ^注
0	0	f_{XT} (32.768 kHz)
0	1	$f_X/2^5$ (156.3 kHz)
1	0	$f_X/2^6$ (78.1 kHz)
1	1	$f_X/2^7$ (39.1 kHz)

LCDC01	LCDC00	LCDクロック (LCDCL) の選択
0	0	$f_{LCD}/2^6$
0	1	$f_{LCD}/2^7$
1	0	$f_{LCD}/2^8$
1	1	$f_{LCD}/2^9$

注 LCDソース・クロック (f_{LCD}) には，32 kHz以上のクロックを設定してください。

備考1. f_X : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は， $f_X = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時

注意1. ビット4-7には，必ず0を設定してください。

2. LCDC0の設定を変更する場合は，必ず表示オフ (LCDON0 = 0) かつ昇圧停止 (VAON0=0) にしてから行ってください。

例として，LCDソース・クロック (f_{LCD}) に f_{XT} (32.768 kHz) をつないだときのフレーム周波数を表10 - 3に示します。

注意 フレーム周波数は，128 Hz以下に設定してください。

表10 - 3 フレーム周波数 (Hz)

LCDクロック (LCDCL)	$f_{XT}/2^9$ (64 Hz)	$f_{XT}/2^8$ (128 Hz)	$f_{XT}/2^7$ (256 Hz)	$f_{XT}/2^6$ (512 Hz)
時分割数				
4	16	32	64	128

(3) LCD昇圧制御レジスタ0 (LCDVA0)

昇圧回路動作時の昇圧レベルを選択するレジスタです。

LCDVA0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 4 LCD昇圧制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDVA0	0	0	0	0	0	0	0	GAIN	FFB3H	00H	R/W

GAIN	基準電圧 (V _{LC2}) レベルの選択 ^注
0	1.5 V (使用LCDパネルが4.5 V仕様)
1	1.0 V (使用LCDパネルが3 V仕様)

注 使用LCDパネルの仕様によって切り替えてください。

注意1. ビット1-7には、必ず0を設定してください。

2. LCDVA0の値を変更する場合は、必ず昇圧停止 (VAON0 = 0) にしてから行ってください。

備考 基準電圧 (V_{LC2}) の値は、TYP.値を示しています。

(4) ポート・ファンクション・レジスタ8 (PF8)

1ビット単位で、S17/P85-S22/P80をLCDセグメント信号出力として使用するか、汎用ポートとして使用するかを選択します。

PF8は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 5 ポート・ファンクション・レジスタ8のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF8	0	0	PF85	PF84	PF83	PF82	PF81	PF80	FF58H	00H	R/W

PF8n	P8nのポート機能 (n = 0-5)
0	汎用ポートとして動作
1	LCDセグメント信号出力として動作

(注意事項は図4 - 10を参照)

10.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

なお、LCDクロックまたは昇圧レベルを変更するときは、必ず表示オフ、昇圧停止にしてから設定してください。

10.4.1 表示開始までの設定

リセット後の初期設定で、LCDM0のビット2をセット (LCDM02=1) して、スタティック・モードにしておく。

LCD表示データ・メモリに初期データを入力する。

LCDクロック制御レジスタ0 (LCDC0) でLCDクロックを設定する。

LCD昇圧制御レジスタ0 (LCDVA0) で昇圧レベルを設定する。

GAIN=0 : $V_{LC0} = 4.5V$, $V_{LC1} = 3.0V$, $V_{LC2} = 1.5V$

GAIN=1 : $V_{LC0} = 3.0V$, $V_{LC1} = 2.0V$, $V_{LC2} = 1.0V$

LCD表示モード・レジスタ0 (LCDM0) のビット6をセット (VAON0=1) して、昇圧を許可させる。

VAON0のセットから500ms以上ウエイトしてください。

LCDM0のビット2をクリア (LCDM02=0) して、4時分割、1/3バイアス・モードに設定する。

LCDM0のビット4をセット (LIPS0=1) して、非選択電位を出力させる。

LCDM0のビット7をセット (LCDON0=1) して、各データ・メモリに対応した出力を開始する。

10.4.2 表示オフ、昇圧停止までの設定

LCDM0のビット7をクリア (LCDON0=0) して、表示オフ状態にする。

LCDM0のビット4をクリア (LIPS0=0) して、すべてのセグメント・バッファ、コモン・バッファを出力禁止にする。

LCDM0のビット2をセット (LCDM02=1) して、スタティック・モードにする。

LCDM0のビット6をクリア (VAON0=0) して、昇圧停止にする。

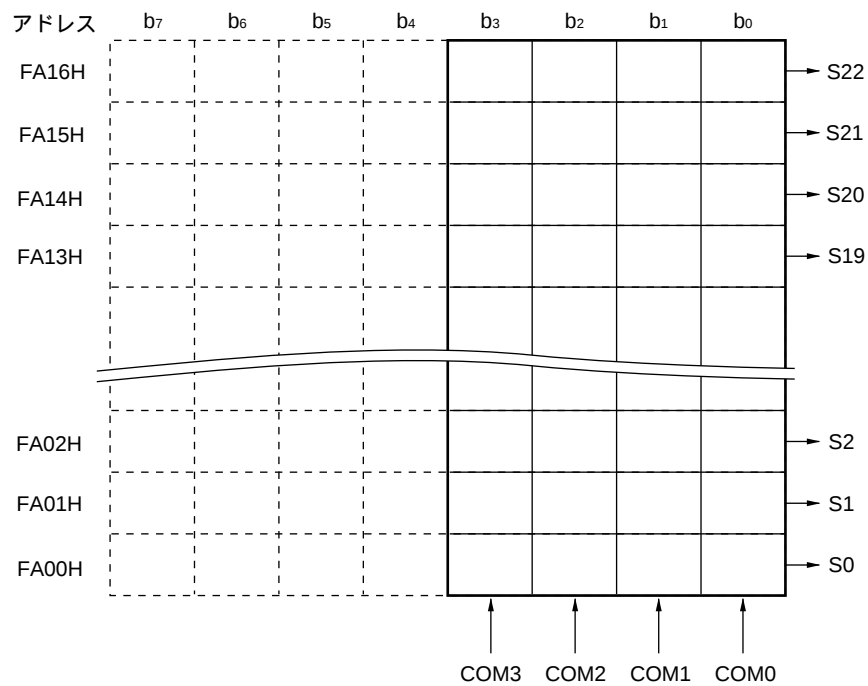
10.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA16H番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図10 - 6にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図10 - 6 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

10.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

（1）コモン信号

コモン信号は、設定する時分割数に応じて表10 - 4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。

表10 - 4 COM信号

COM信号	COM0	COM1	COM2	COM3
時分割数				
4時分割				

（2）セグメント信号

セグメント信号は、23バイトのLCD表示データ・メモリ（FA00H-FA16H）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S22）に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

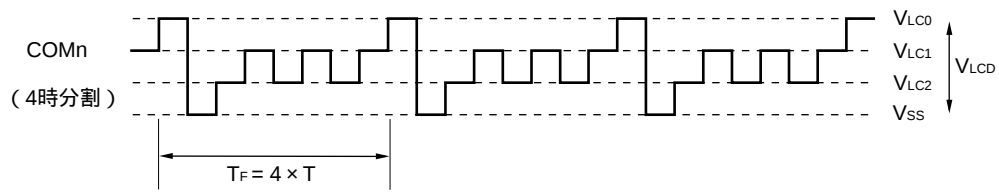
なお、ビット4-7は0固定となっています。

（3）コモン信号とセグメント信号の出力波形

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

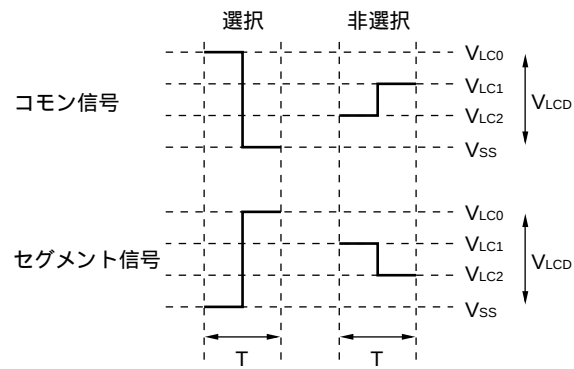
図10 - 7にコモン信号波形を、図10 - 8にコモン信号とセグメント信号の電圧と位相を示します。

図10 - 7 コモン信号波形



T : LCDクロックの1周期分 T_F : フレーム周波数

図10 - 8 コモン信号とセグメント信号の電圧と位相



T : LCDクロックの1周期分

10.7 表示モード

10.7.1 4時分割表示例

図10 - 10は、図10 - 9の表示パターンを持つ4時分割方式の11桁LCDパネルと μ PD789467サブシリーズのセグメント信号 (S0-S21) およびコモン信号 (COM0-COM3) との接続を示します。表示例は23456.789012で、表示データ・メモリ (FA00H-FA15H番地) の内容はこれに対応しています。

ここでは7桁目の6. (E.) を例にとって説明します。図10 - 9の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表10 - 5に示すような選択、非選択電圧をS12, S13端子に出力する必要があります。

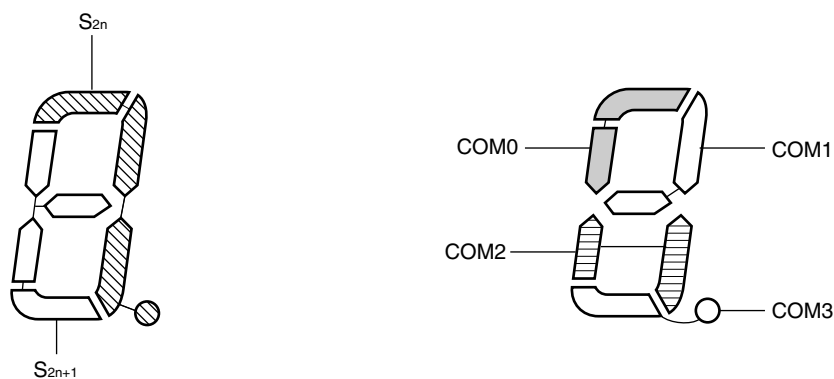
表10 - 5 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S12	S13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS12に対応する表示データ・メモリ (FA0CH番地) には、1101を用意すればよいことが分かります。

S12と各コモン信号間のLCD駆動波形例を図10 - 11に示します。COM0の選択タイミングでS12が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図10 - 9 4時分割LCD表示パターンと電極結線



備考 n = 0-10

図10 - 10 4時分割LCDパネルの結線例

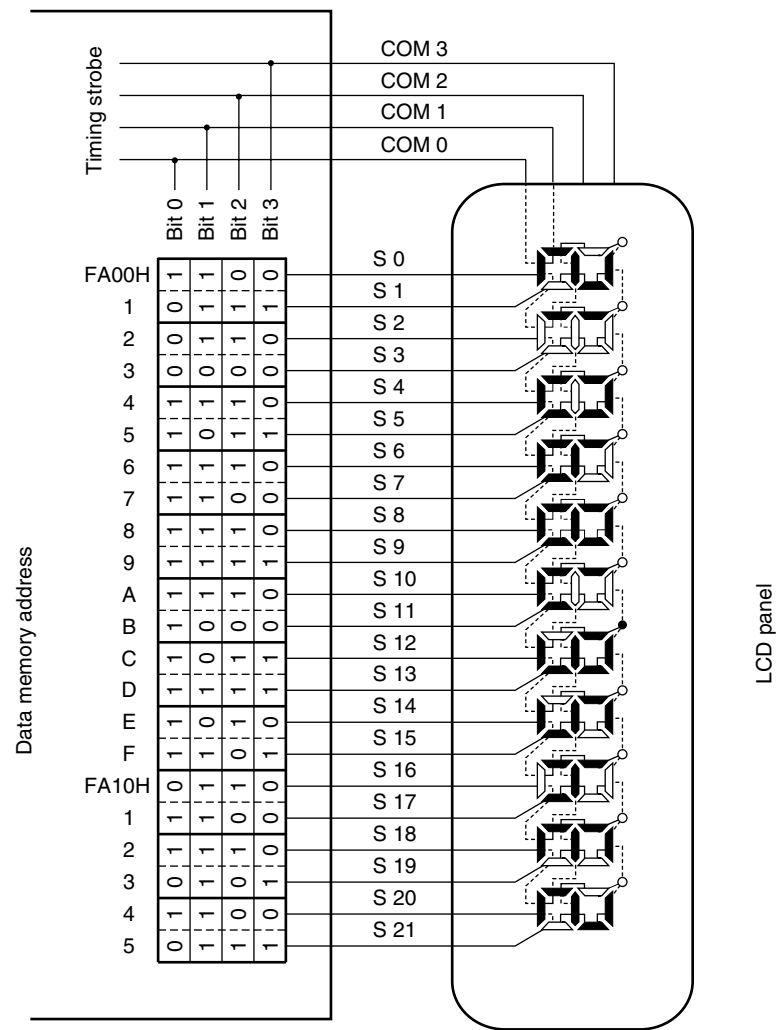
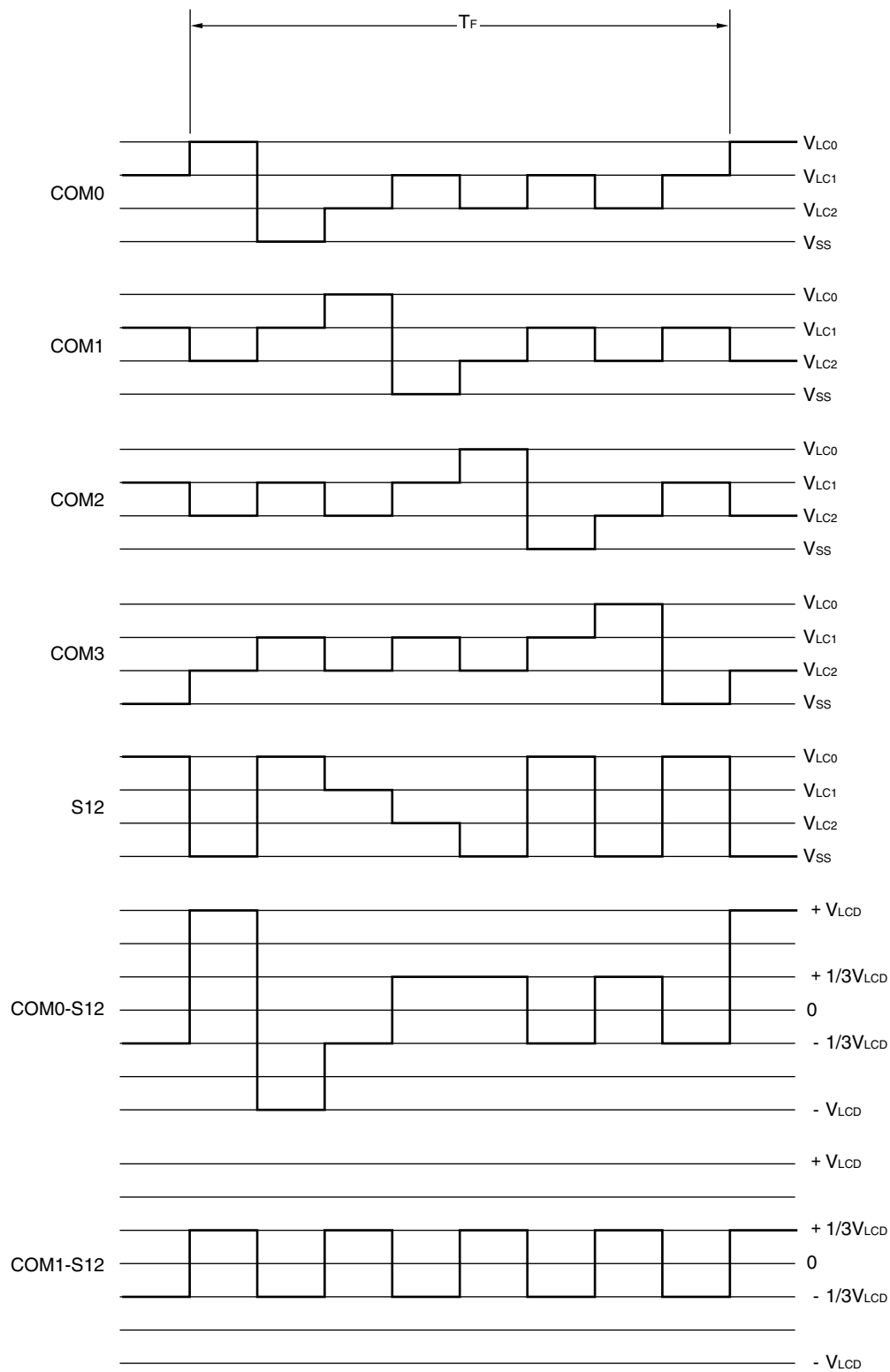


図10 - 11 4時分割LCD駆動波形例



備考 COM2-S12とCOM3-S12の波形は省略

10.8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

μ PD789467サブシリーズは、LCD駆動電源用に内部昇圧回路（3倍昇圧のみ）を内蔵しています。

内部LCD基準電圧は V_{LC2} から出力され、 V_{LC1} 端子からは V_{LC2} の2倍の出力電圧が、 V_{LC0} 端子からは V_{LC2} の3倍の出力電圧が出力されます。

LCD昇圧制御レジスタ0（LCDVA0）の設定によりLCD基準電圧（ V_{LC2} ）を選択できます。

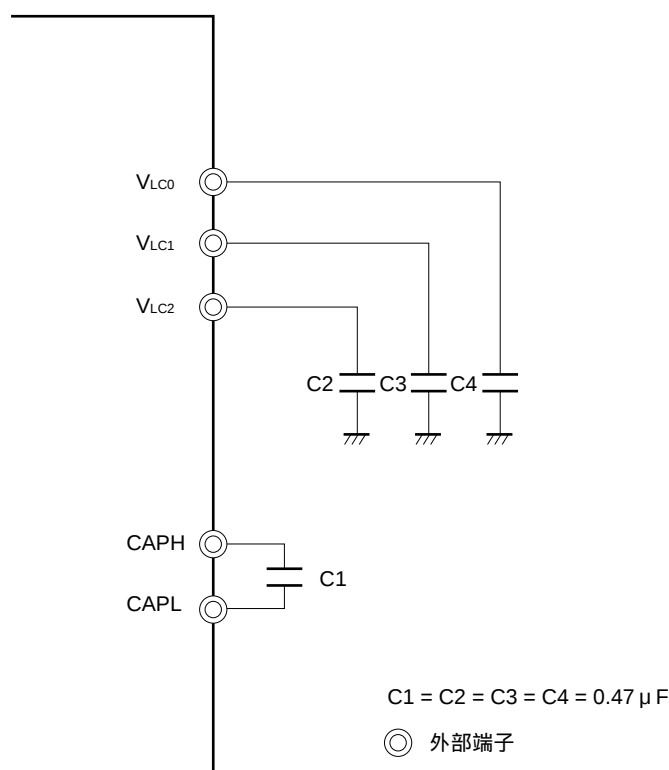
また、 μ PD789467サブシリーズは、LCD駆動用電源を作るために容量分割方式を採用しているため、外付けにコンデンサ（推奨：0.47 μ F）が必要となります。

表10 - 6 V_{LC0} - V_{LC2} 端子の出力電圧

LCDVA0 \ LCD駆動用電源端子	GAIN = 0	GAIN = 1
V_{LC0}	4.5 V	3.0 V
V_{LC1}	3.0 V	2.0 V
V_{LC2} (LCD基準電圧)	1.5 V	1.0 V

- 注意1. LCD機能を使用する際は、必ず V_{LC0} , V_{LC1} , V_{LC2} 端子をオープンにしないでください。接続例は、図10 - 12を参照してください。
2. LCD駆動電源は、本体の電源とは別の電源なので、 V_{DD} の変化に関わらず一定の電圧を供給できます。

図10 - 12 LCDドライバ用端子接続例



備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

第11章 パワーオン・クリア回路

μ PD789467サブシリーズにはパワーオン・クリア回路があります。

フラッシュ・メモリ製品(μ PD78F9468)はPOC回路は常時動作ですが、マスクROM製品(μ PD789462, 789464, 789466, 789467)はマスク・オプションで選択した場合のみ使用できます(第16章 マスク・オプション参照)。

11.1 パワーオン・クリア回路の機能

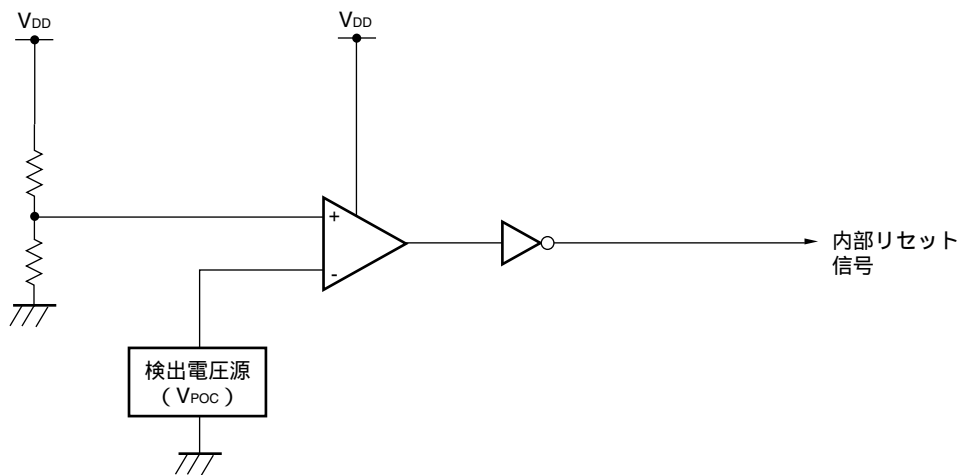
パワーオン・クリア回路は次のような機能を持ちます。

- ・電源電圧(V_{DD})と検出電圧(V_{POC})を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。
- ・STOPモード時でも動作可能です。

11.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図11 - 1に示します。

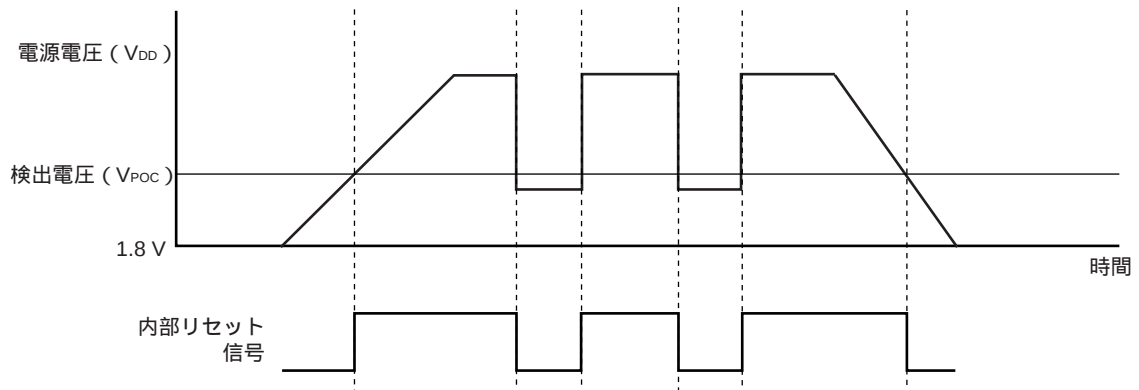
図11 - 1 パワーオン・クリア回路のブロック図



11.3 パワーオン・クリア回路の動作

POC回路では、電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ のとき内部リセット信号を発生します。

図11 - 2 POC回路の内部リセット信号発生タイミング



第12章 割り込み機能

12.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表12 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが2要因、内部割り込みが6要因あります。

12.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて合計9要因あります(表12 - 1参照)。

表12 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTAD0	A/D変換完了信号	内部	0008H	(B)
	3	INTWT	時計用タイマ割り込み		000AH	
	4	INTTM30	8ビット・タイマ30の一致信号発生		000CH	
	5	INTTM40	8ビット・タイマ40の一致信号発生		000EH	
	6	INTKR00	キー・リターン信号検出	外部	0010H	(C)
	7	INTWTI	時計用タイマのインターバル・タイマ割 り込み	内部	0012H	(B)

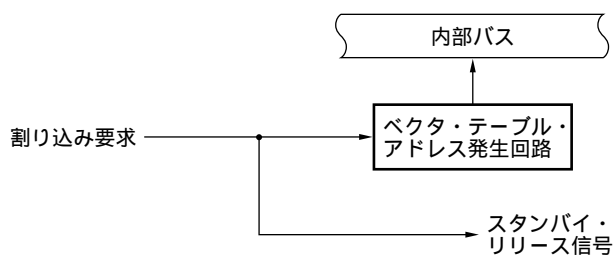
注1．プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位，7が最低順位です。

2．基本構成タイプの (A) — (C) は、それぞれ図12 - 1の (A) — (C) に対応しています。

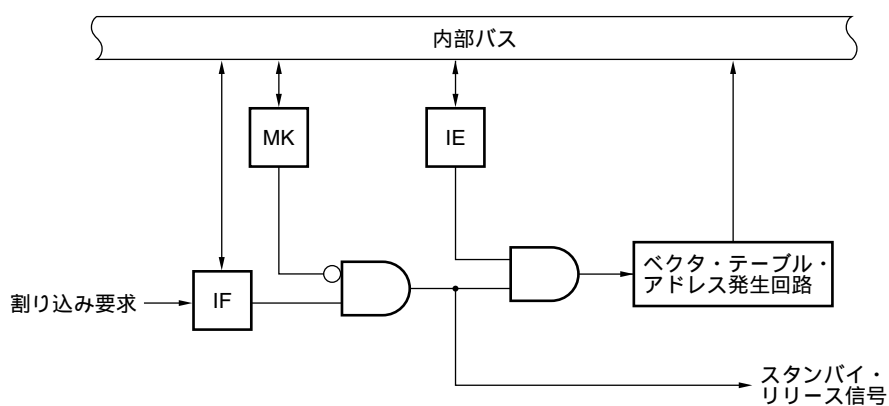
備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスクابل割り込みとマスクابل割り込み (内部) の2種類があり、どちらか1種類のみ選択できます。

図12 - 1 割り込み機能の基本構成

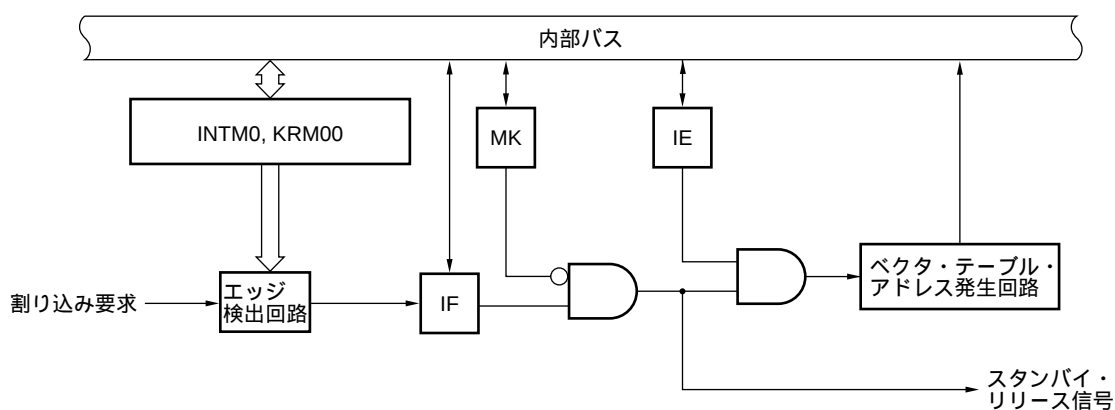
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



INTP0 : 外部割り込みモード・レジスタ0

KRM00 : キー・リターン・モード・レジスタ00

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

12.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ00 (KRM00)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表12 - 2に示します。

表12 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTAD0	ADIF0	ADMK0
INTWT	WTIF	WTMK
INTTM30	TMIF30	TMMK30
INTTM40	TMIF40	TMMK40
INTKR00	KRIF00	KRMK00
INTWTI	WTIIF	WTIMK

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア（0）されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 2 割り込み要求フラグ・レジスタ0のフォーマット

略号	0							アドレス	リセット時	R/W	
IF0	WTIF	KRIF00	TMIF40	TMIF30	WTIF	ADIF0	PIF0	WDTIF	FFE0H	00H	R/W

× × IF ×	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。

2 . P61は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ（PMK0）に1を設定してください。

★

3 . 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図12 - 3 割り込みマスク・フラグ・レジスタ0のフォーマット

略号	0								アドレス	リセット時	R/W
MK0	WTIMK	KRMK00	TMMK40	TMMK30	WTMK	ADMK0	PMK0	WDTMK	FFE4H	FFH	R/W

× × MK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意1 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。

2 . P61は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ（PMK0）に1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	0	0	ES01	ES00	0	0	FFECH	00H	R/W

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1, 4-7には、必ず0を設定してください。

2. INTM0レジスタの設定は、必ず割り込みマスク・フラグ (PMK0) に1を設定し、割り込みを禁止してから行ってください。

その後、割り込み要求フラグ (PIF0) をクリア (0) してから、割り込みマスク・フラグ (PMK0) に0を設定し、割り込みを許可してください。

(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図12 - 5 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H
									通常の命令実行時に使用

IE	割り込み受け付けの許可 / 禁止
0	禁止
1	許可

(5) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号（ポート4の立ち下がりエッジ）を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 6 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	0	0	0	0	0	0	0	KRM000	FFF5H	00H	R/W

KRM000	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（ポート4の立ち下がりエッジ検出）

注意1．ビット1-7には、必ず0を設定してください。

2．KRM00の設定は、必ずMK0のビット6をセット（KRMK00 = 1）し、割り込みを禁止してから行ってください。KRM00の設定後、IF0のビット6をクリア（KRIF00 = 0）にしてから、KRMK00をクリアし、割り込みを許可してください。

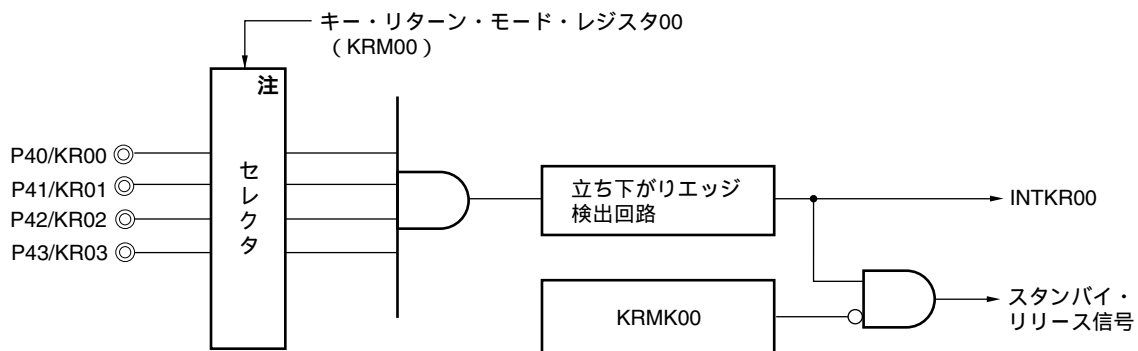
3．入力モードでキー・リターン信号の検出を指定した端子（P40-P43）は、自動的に内蔵プルアップ抵抗が接続されます。しかし、その後、出力モードに切り替えた端子は内蔵プルアップ抵抗が切断されます。ただしこの場合、立ち下がりエッジの検出はそのまま継続するので、その端子の出力データが立ち下がると割り込み（INTKR00）が発生します。

★

4．P40-P43がすべてハイ・レベルのときのみ、キー・リターン信号を検出できます。

P40-P43のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。

図12 - 7 立ち下がりエッジの検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクタ

12.4 割り込み処理動作

12.4.1 ノンマスカブル割り込み要求の受け付け動作

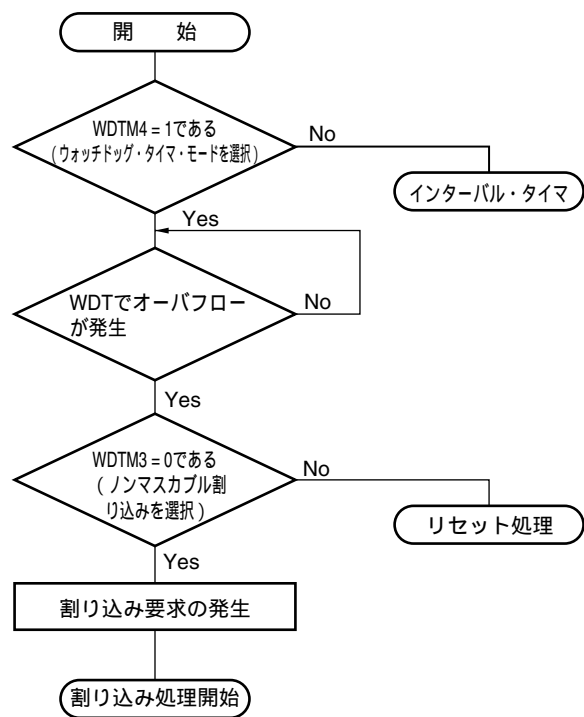
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図12 - 8に、ノンマスカブル割り込み要求の受け付けタイミングを図12 - 9に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図12 - 10に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図12 - 8 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート

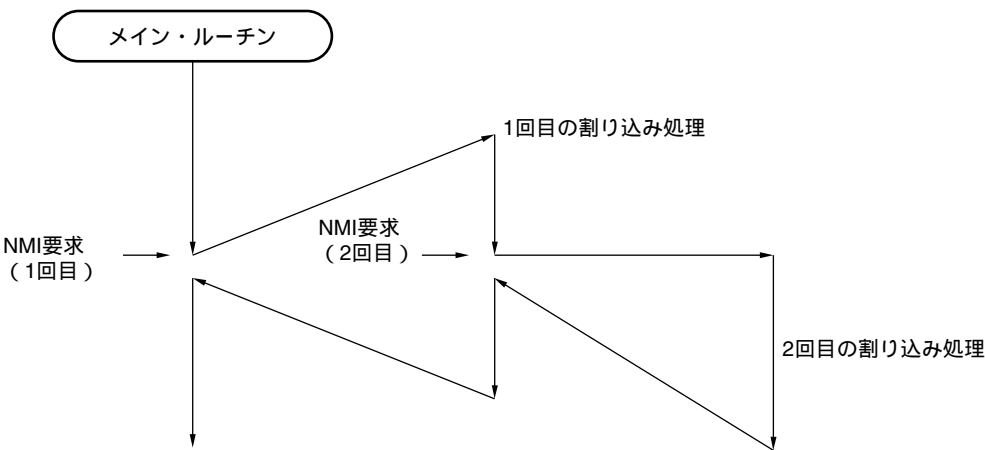


WDTM : ウォッチドッグ・タイマ・モード・レジスタ
WDT : ウォッチドッグ・タイマ

図12 - 9 ノンマスカブル割り込み要求の受け付けタイミング



図12 - 10 ノンマスカブル割り込み要求の受け付け動作



12.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表12-3のようになります。

割り込み要求の受け付けのタイミングについては、図12-12、12-13を参照してください。

表12-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

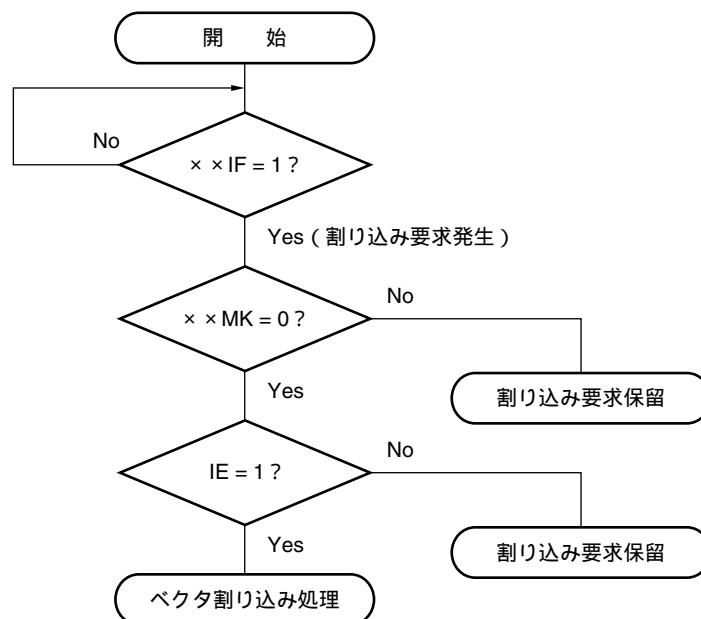
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図12-11に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図12-11 割り込み要求受け付け処理アルゴリズム

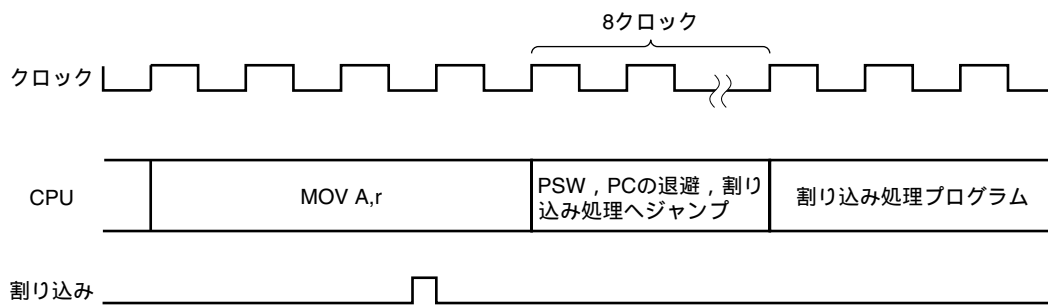


××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

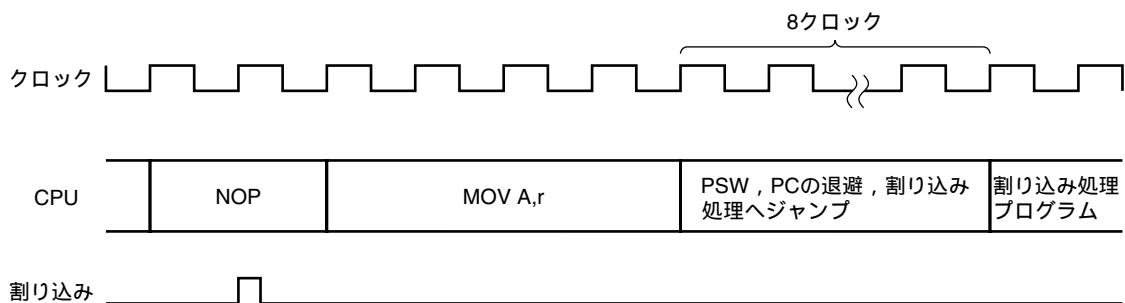
図12 - 12 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図12 - 12では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図12 - 13 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図12 - 13ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

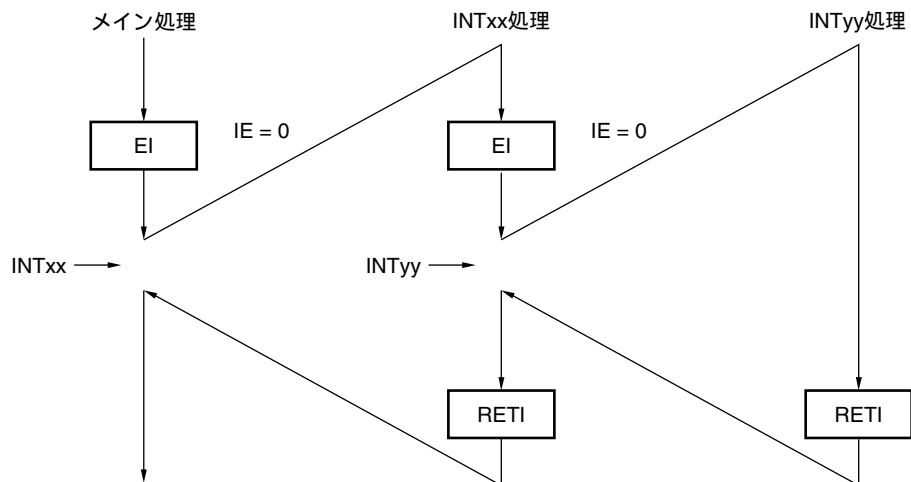
注意 割り込み要求フラグ・レジスタ0 (IF0) または割り込みマスク・フラグ・レジスタ0 (MK0) にアクセス中は割り込み要求は保留されます。

12.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表12 - 1参照）。

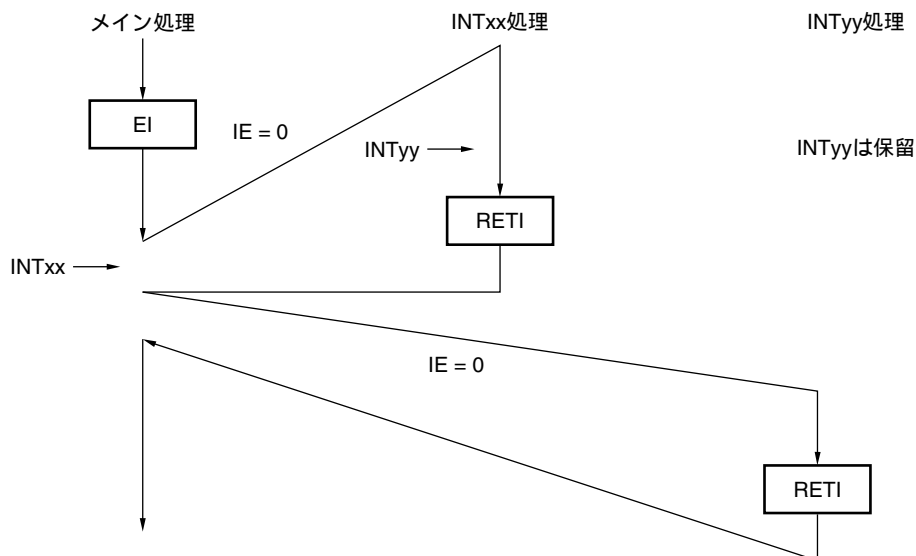
図12 - 14 多重割り込みの例

例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

12.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0（IF0）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0（MK0）に対する操作命令

第13章 スタンバイ機能

13.1 スタンバイ機能と構成

13.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

13.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

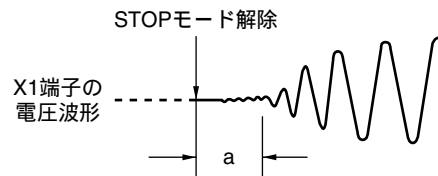
- ★ OSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間はOSTSに依存せず $2^{15}/f_x$ になります。

図13 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μs)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

13.2 スタンバイ機能の動作

13.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表13 - 1 HALTモード時の動作状態

項 目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
メイン・システム・クロック	発振可能			発振停止
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
8ビット・タイマ30, 40	動作可能			動作停止
時計用タイマ	動作可能	動作可能 ^{注1}	動作可能	動作可能 ^{注2}
ウォッチドッグ・タイマ	動作可能		動作停止	
パワーオン・クリア回路	動作可能			
キー・リターン回路	動作可能 ^{注3}			
A/Dコンバータ	動作可能			動作停止
LCDコントローラ／ドライバ	動作可能 ^{注4}	動作可能 ^{注1, 4}	動作可能 ^{注4}	動作可能 ^{注2, 4}
外部割り込み	動作可能 ^{注3}			

注1．メイン・システム・クロック選択時は動作可能

2．サブシステム・クロック選択時は動作可能

3．マスクされていないマスカブル割り込みのみ動作可能

4．表示命令実行後、HALT命令設定可能

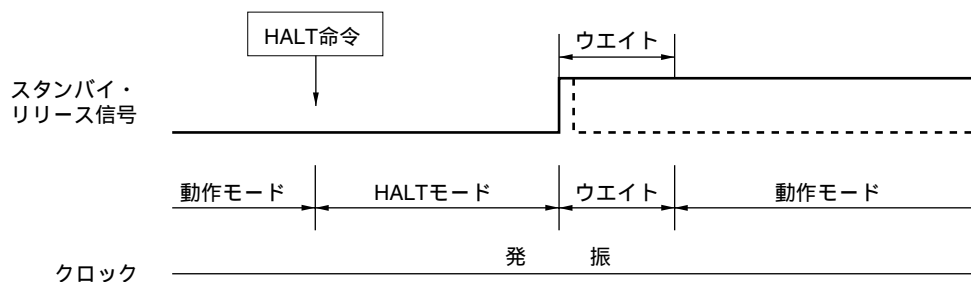
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図13 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

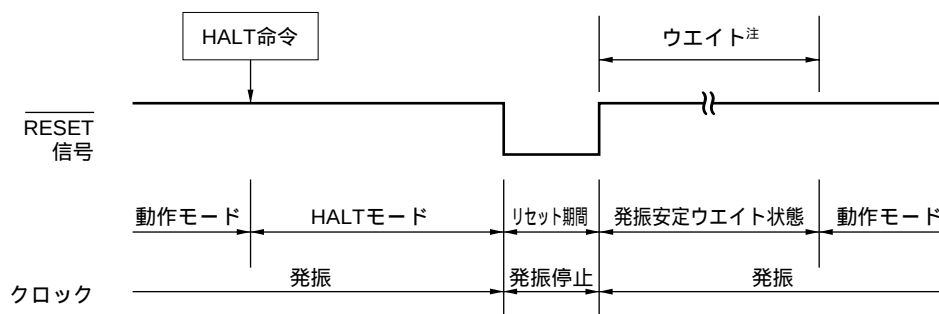
- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図13 - 3 HALTモードのRESET入力による解除

注 $2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時)

備考 f_x : メイン・システム・クロック発振周波数

表13 - 2 HALTモードの解除後の動作

解除ソース	MK × ×	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
ノンマスカブル割り込み要求	-	×	割り込み処理実行
<u>RESET</u> 入力	-	-	リセット処理

× : don't care

13.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表13 - 3 STOPモード時の動作状態

項 目	メイン・システム・クロック動作中のSTOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック	発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
8ビット・タイマ30, 40	動作停止	
時計用タイマ	動作可能 ^{注1}	動作停止
ウォッチドッグ・タイマ	動作停止	
パワーオン・クリア回路	動作可能	
キー・リターン回路	動作可能 ^{注2}	
A/Dコンバータ	動作停止	
LCDコントローラ/ドライバ	動作可能 ^{注1}	動作停止 ^{注3}
外部割り込み	動作可能 ^{注2}	

注1．サブシステム・クロック選択時は動作可能

2．マスクされていないマスカブル割り込みのみ動作可能

3．STOPモードにする前に必ず、表示オフかつスタティック・モードの設定にしてください（10.3（1）LCD表示モード・レジスタ0（LCDM0）参照）

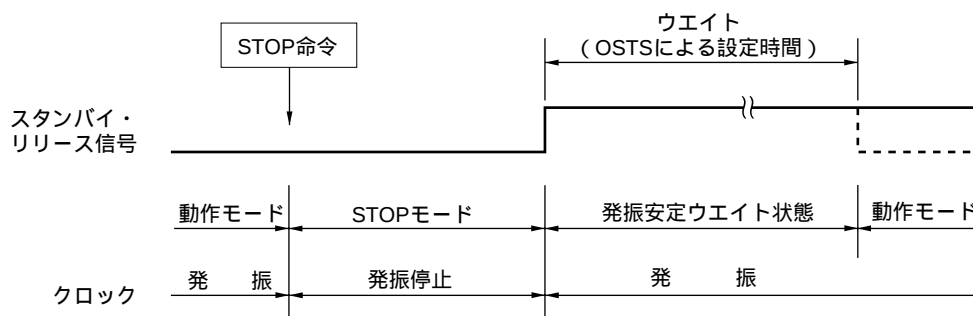
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

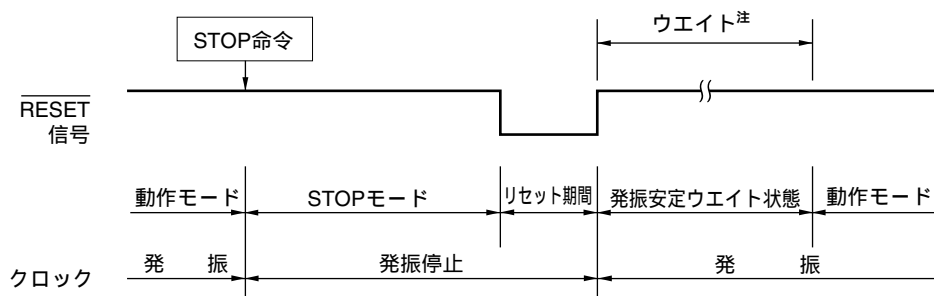
図13 - 4 STOPモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図13 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除

注 $2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時)

備考 f_x : メイン・システム・クロック発振周波数

表13 - 4 STOPモードの解除後の動作

解除ソース	MK × ×	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

× : don't care

第14章 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) パワーオン・クリア (POC) による内部リセット

外部リセットと内部リセットは機能面での差はなく、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

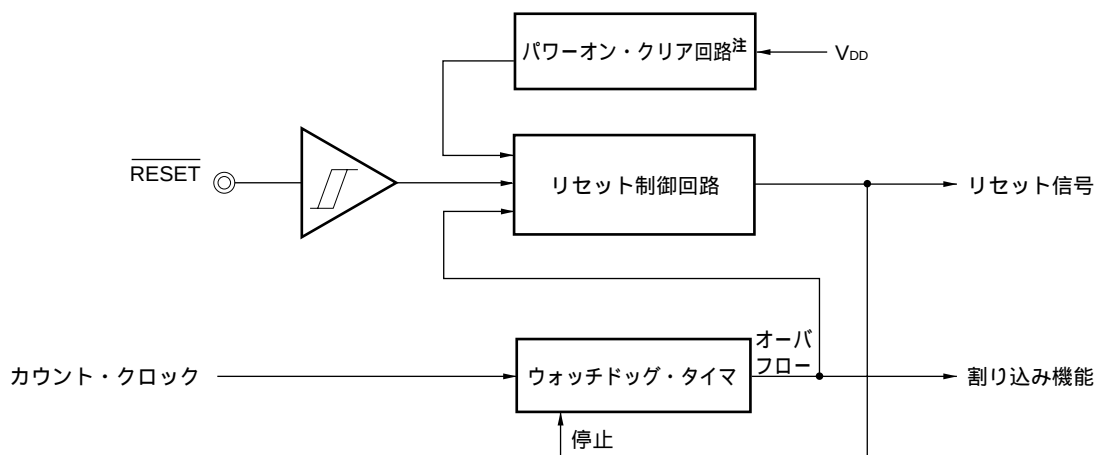
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表14 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後にプログラムの実行を開始します。パワーオン・クリア (POC^注) によるリセットは、電源が一定電圧以上になると解除され、発振安定時間経過後にプログラムの実行を開始します。

注 マスクROM製品 (μ PD789462, 789464, 789466, 789467) の場合は、マスク・オプションによりPOC回路使用を選択時のみ

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図14 - 1 リセット機能のブロック図



注 マスクROM製品 (μ PD789462, 789464, 789466, 789467) の場合は、マスク・オプションによりPOC回路使用を選択時のみ

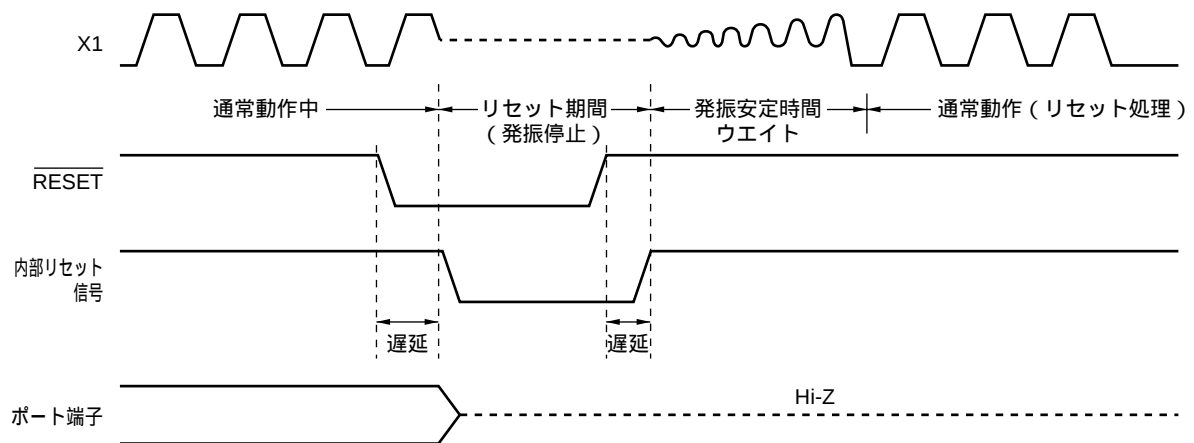
図14 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図14 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

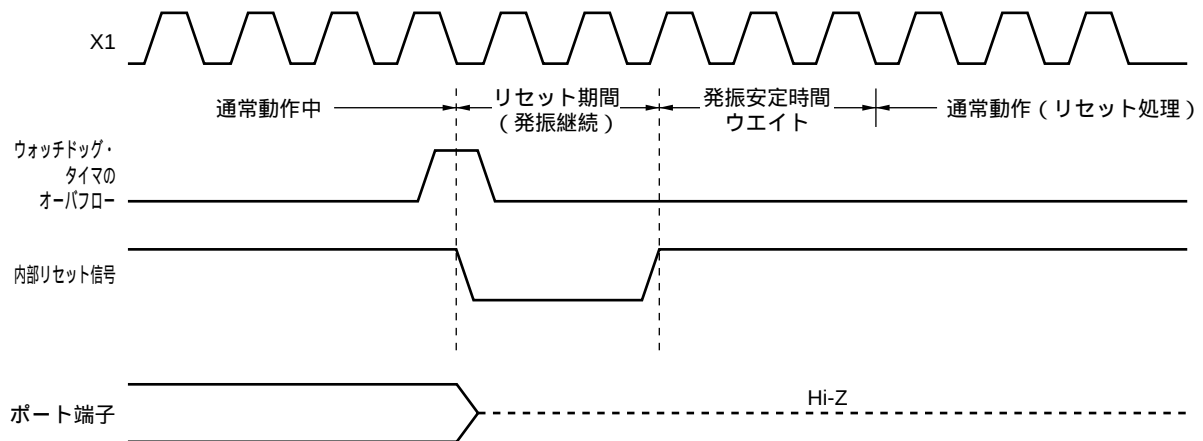
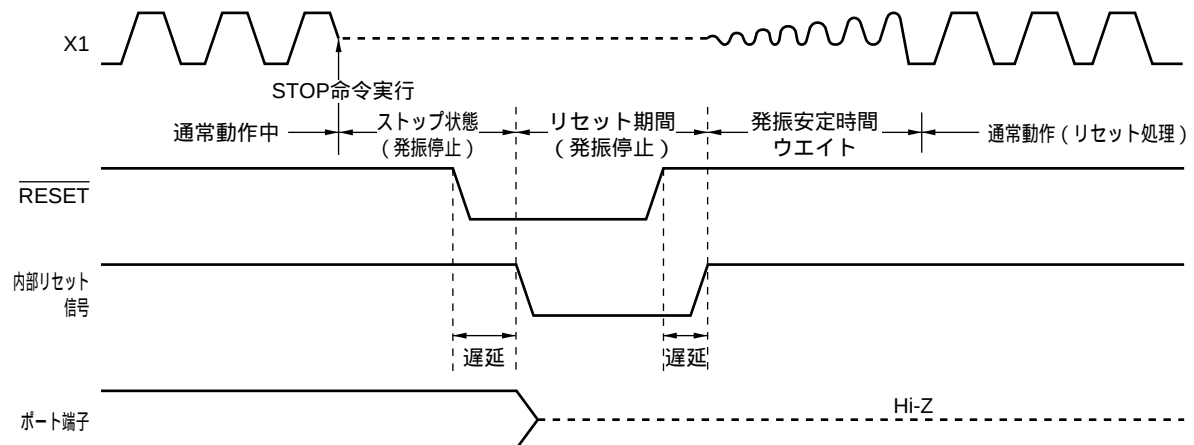
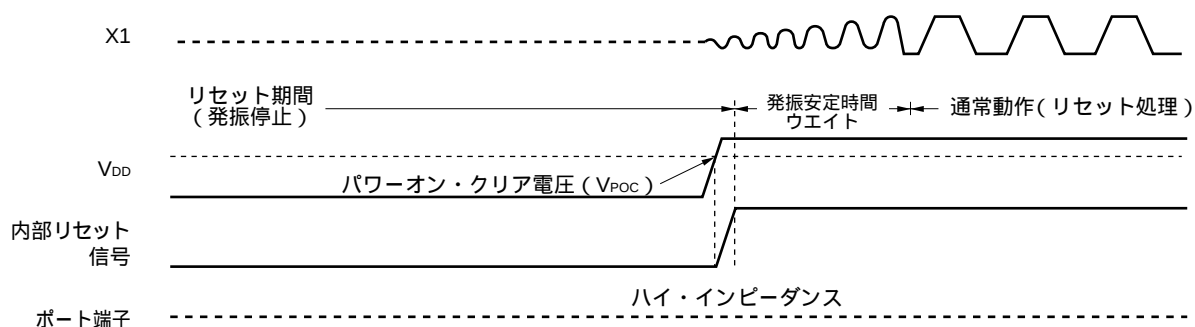
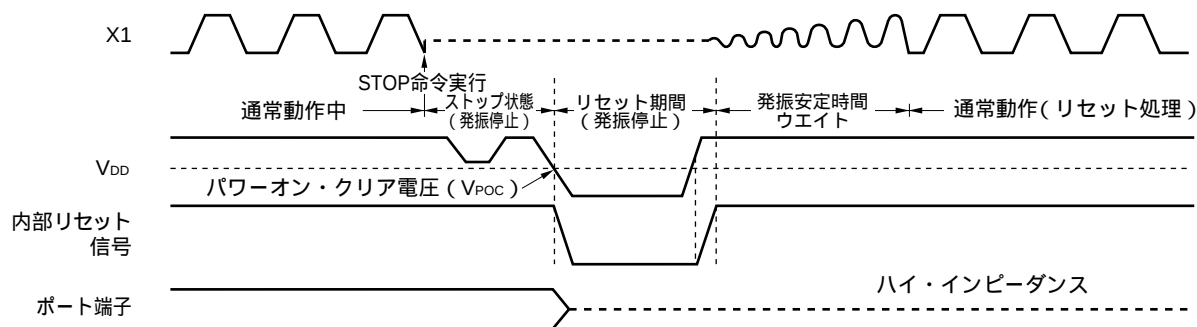
図14 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図14 - 5 パワーオン・クリアによるリセット・タイミング

(a) 電源電圧投入時



(b) STOPモード時



(c) 通常モード時 (HALTモード時も含む)

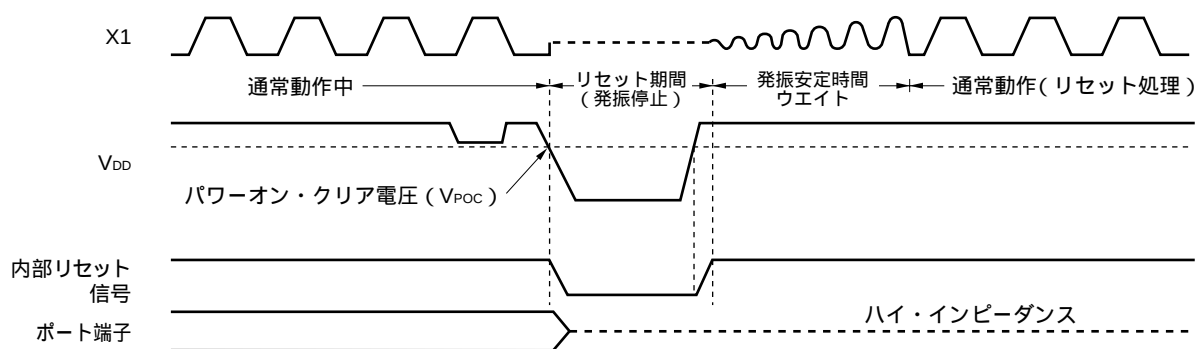


表14 - 1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0, P1, P4, P6) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM1, PM4, PM6)		FFH
ポート・ファンクション・レジスタ8 (PF8)		00H
プルアップ抵抗オプション・レジスタ0 (PU0)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
発振安定時間選択レジスタ (OSTS)		04H
8ビット・タイマ30, 40	タイマ・カウンタ (TM30, TM40)	00H
	コンペア・レジスタ (CR30, CR40, CRH40)	不定
	モード・コントロール・レジスタ (TMC30, TMC40)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA40)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	モード・レジスタ (WDTM)	00H
	クロック選択レジスタ (TCL2)	00H
A/Dコンバータ	モード・レジスタ0 (ADM0)	00H
	入力選択レジスタ0 (ADS0)	00H
	変換結果レジスタ0 (ADCR0)	不定
LCDコントローラ/ドライバ	表示モード・レジスタ0 (LCDM0)	00H ^{注3}
	クロック制御レジスタ0 (LCDC0)	00H
	昇圧制御レジスタ0 (LCDVA0)	00H
割り込み	要求フラグ・レジスタ0 (IF0)	00H
	マスク・フラグ・レジスタ0 (MK0)	FFH
	外部割り込みモード・レジスタ0 (INTM0)	00H
	キー・リターン・モード・レジスタ00 (KRM00)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. リセット後は、必ずビット2 (LCDM02) を1に設定してください。

第15章 μ PD78F9468

μ PD789467サブシリーズのフラッシュ・メモリ製品には、 μ PD78F9468があります。

μ PD78F9468は、 μ PD789462, 789464, 789466, 789467の内部ROMをそれぞれフラッシュ・メモリに置き換えた製品です。 μ PD78F9468とマスクROM製品の違いを表15 - 1に示します。

表15 - 1 μ PD78F9468とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品			
		μ PD78F9468	μ PD789462	μ PD789464	μ PD789466	μ PD789467
内部メモリ	ROM	32 Kバイト (フラッシュ・メモリ)	4 Kバイト	8 Kバイト	16 Kバイト	24 Kバイト
	高速RAM	512バイト	256バイト		512バイト	
	LCD表示用RAM	23×4ビット				
LCDコントローラ / ドライバ		表15 - 2 μ PD78F9468とマスクROM製品のLCDコントローラ / ドライバの違いを参照してください。				
パワーオン・クリア (POC) 回路		常時動作	使用する / しないをマスク・オプションにより選択			
IC0端子		なし	あり			
VPP端子		あり	なし			
電気的特性		第18章 電気的特性を参照してください。				

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

また、 μ PD78F9468とマスクROM製品では、内蔵しているLCDコントローラ / ドライバのマクロが違います。LCDコントローラ / ドライバに関する μ PD78F9468とマスクROM製品の違いを表15 - 2に示します。

表15 - 2 μ PD78F9468とマスクROM製品のLCDコントローラ / ドライバの違い

項 目	フラッシュ・メモリ製品 (μ PD78F9468)	マスクROM製品
リセット時のCOM0-COM3端子出力	COM0-COM2端子 : GNDレベル出力 COM3端子 : V _{LC0} レベル出力	COM0-COM3端子 : GNDレベル出力
LCD表示モード・レジスタ0 (LCDM0) のビット4 (LIPS0)	設定可能だが、無効	有効。 表示オンにする際にセット (LIPS0=1) , 表示オフにする際にクリア (LIPS0=0) してください。
表示オフかつ昇圧オフ設定時のセグメント / コモン端子出力	セグメント端子 : GNDレベル出力 コモン端子 : V _{LC0} とGNDの2値出力 よって、表示オフの設定になっていても異常表示されてしまう場合がありますので、スタティック・モード (LCDM02=1) に切り替えてください。	セグメント端子 : GNDレベル出力 コモン端子 : GNDレベル出力 よって、表示オフとなります。
操作手順	10.4 LCDコントローラ / ドライバの設定の手順に従ったプログラムにすれば、フラッシュ・メモリ製品もマスクROM製品も同一プログラムで動作します。	

15.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

15.1.1 プログラミング環境

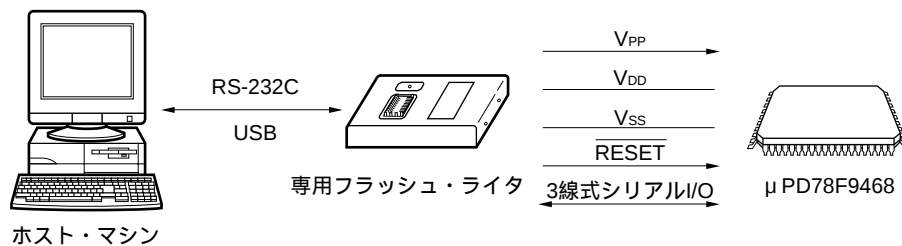
μ PD78F9468のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro またはFlashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図15 - 1 フラッシュ・メモリにプログラムを書き込むための環境



15.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9468との通信は、表15 - 3に示す通信方式から選択して行います。

★

表15 - 3 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアルI/O	SIO ch-1 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注3, 4}	1-5 MHz ^{注3}	1.0	P00 P01 P02	1

注1. 専用フラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））上のTYPE設定における選択項目です。

2. V_{DD} = 2.7 ~ 5.5 Vの場合。V_{DD} = 1.8 ~ 2.7 Vの場合は100 Hz-312.5 kHz。

3. 電圧により設定可能な範囲が異なります。詳細は第18章 電気的特性を参照してください。

4. Flashpro の場合は、2 MHzまたは4 MHzのみ選択可能です。

注意 通信方式は、必ず表15 - 3に示すV_{PP}パルス数で選択してください。

図15 - 2 通信方式選択フォーマット

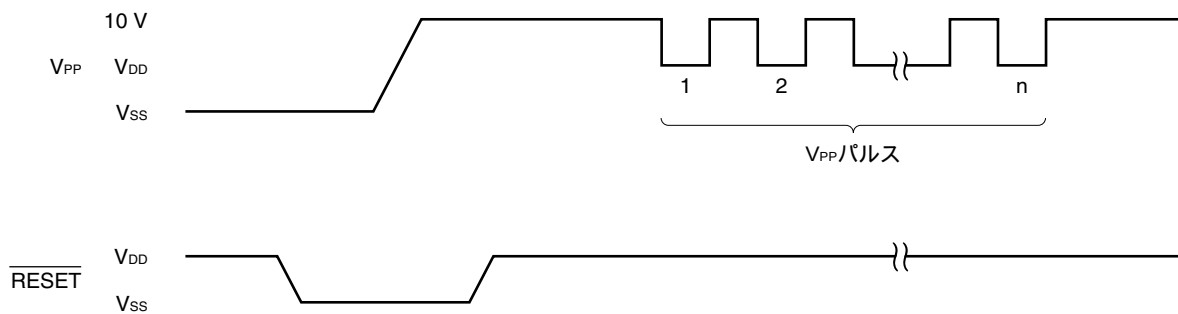
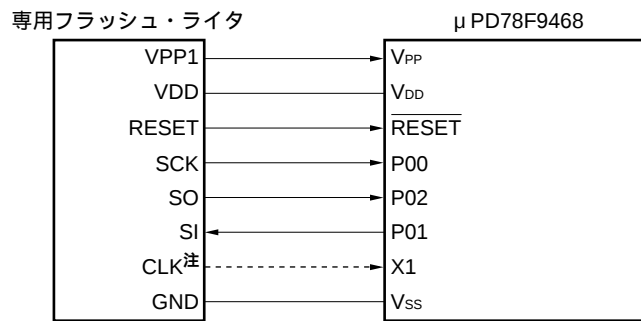


図15 - 3 専用フラッシュ・ライタとの接続例



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続しないでください。

注意 V_{DD} 端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタの V_{DD} 端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro またはFlashpro を使用した場合、 μ PD78F9468に対して次の信号を生成します。詳細はFlashpro またはFlashpro のマニュアルを参照してください。

表15 - 4 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O
VPP1	出力	書き込み電圧	V_{PP}	
VPP2	-	-	-	×
VDD	入出力	V_{DD} 電圧生成 / 電圧監視	V_{DD}	注
GND	-	グランド	V_{SS}	
CLK	出力	クロック出力	X1	○
RESET	出力	リセット信号	$\overline{RESET}$	
SI	入力	受信信号	P01	
SO	出力	送信信号	P02	
SCK	出力	転送クロック	P00	
HS	-	-	-	×

注 V_{DD} 電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

○ : ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

15.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

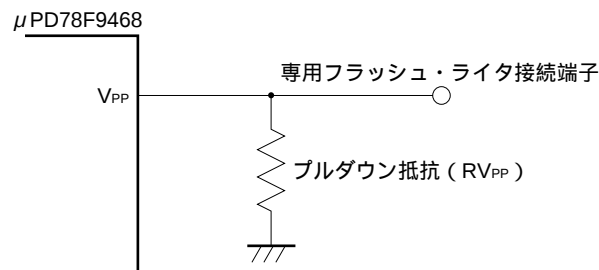
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライタ側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図15 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

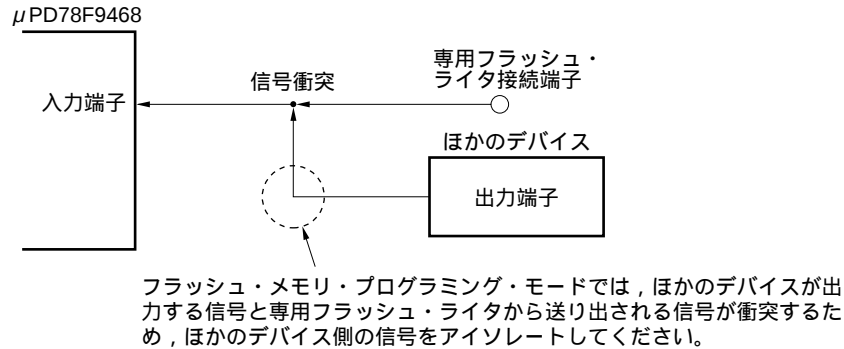
シリアル・インタフェース	使用端子
3線式シリアルI/O	P00, P01, P02

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

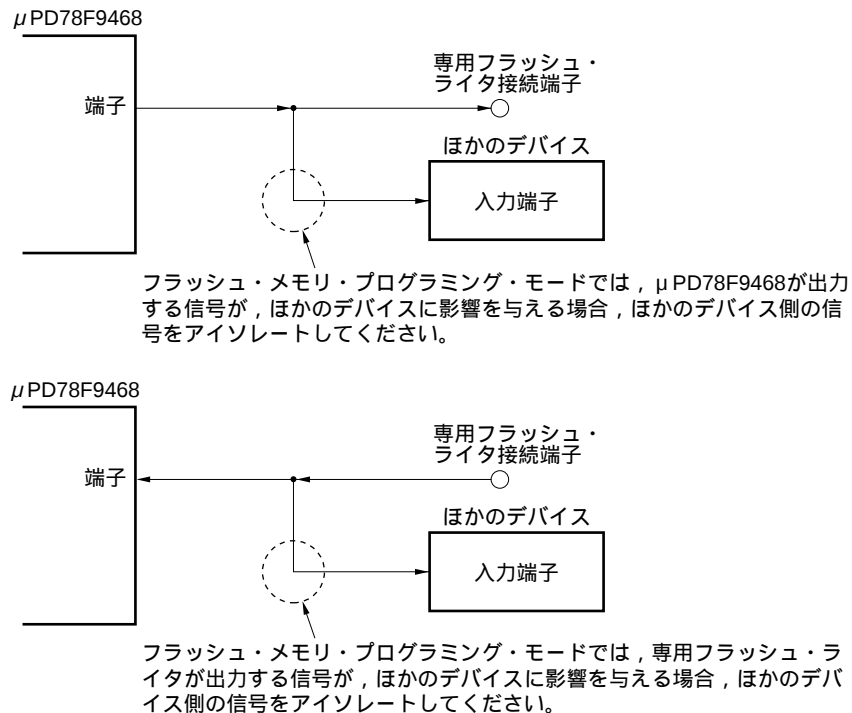
図15 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図15 - 6 ほかのデバイスの異常動作

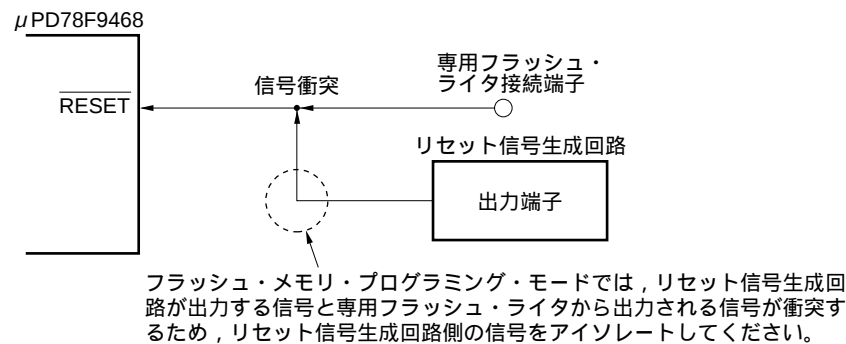


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図15 - 7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

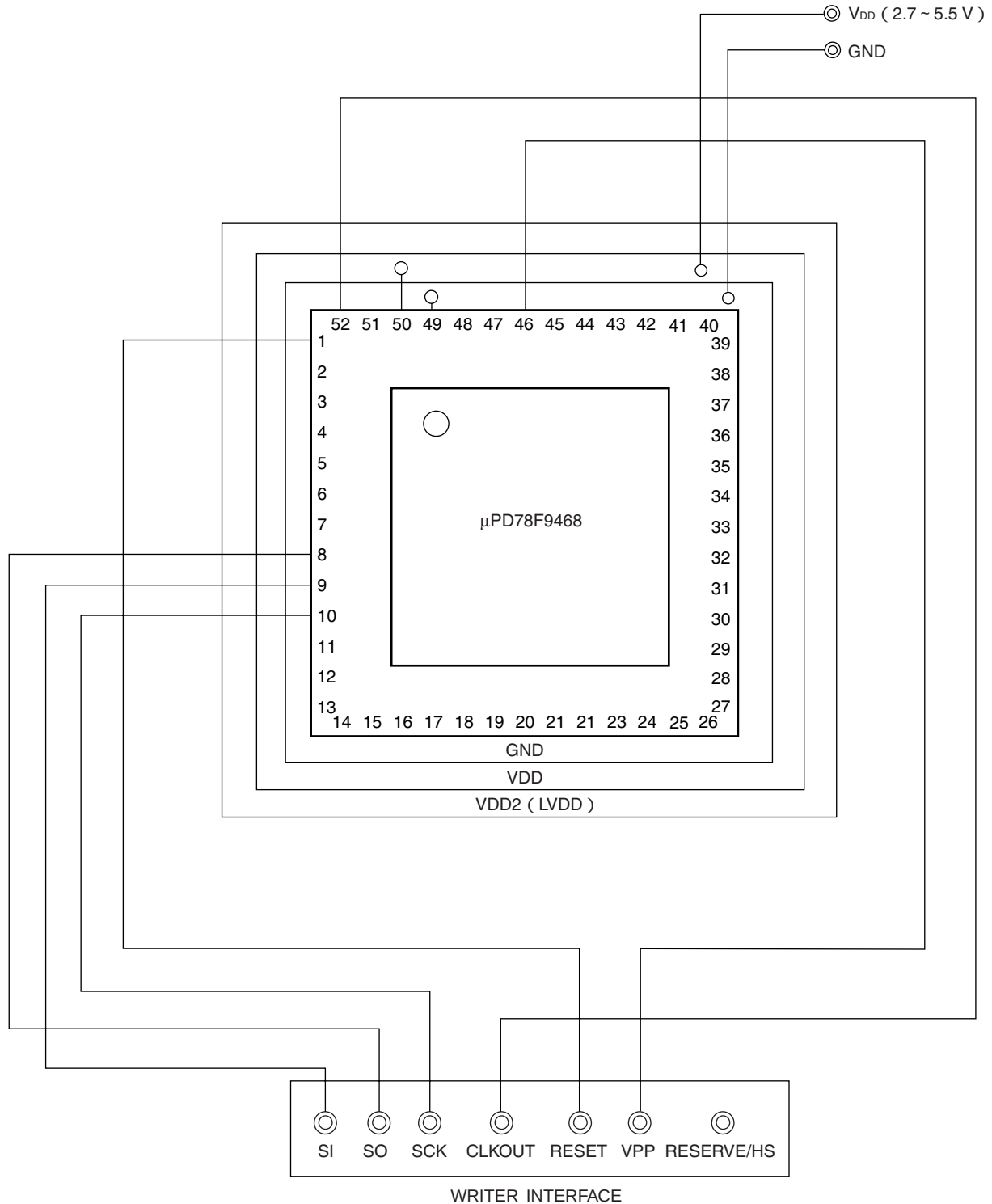
フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

15.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図15 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例



第16章 マスク・オプション

マスクROM製品（ μ PD789462, 789464, 789466, 789467）には、次のマスク・オプションがあります。

- パワーオン・クリア（POC）回路

POC回路を使用する / しないを選択可能

POC回路を使用する

POC回路を使用しない

注意 フラッシュ・メモリ製品（ μ PD78F9468）は、POC回路は常時動作です。

第17章 命令セットの概要

μPD789467サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

17.1 オペレーション

17.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表17-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはレーベル
saddrp	FE20H-FF1FH イミディエト・データまたはレーベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはレーベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはレーベル
byte	8ビット・イミディエト・データまたはレーベル
bit	3ビット・イミディエト・データまたはレーベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

17.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
$\wedge$	: 論理積 (AND)
$\vee$	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdsp8	: 符号付き8ビット・データ (ディスプレイメント値)

17.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

17.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r ← byte			
	saddr, #byte	3	6	(saddr) ← byte			
	sfr, #byte	3	6	sfr ← byte			
	A, r 注1	2	4	A ← r			
	r, A 注1	2	4	r ← A			
	A, saddr	2	4	A ← (saddr)			
	saddr, A	2	4	(saddr) ← A			
	A, sfr	2	4	A ← sfr			
	sfr, A	2	4	sfr ← A			
	A, laddr16	3	8	A ← (addr16)			
	laddr16, A	3	8	(addr16) ← A			
	PSW, #byte	3	6	PSW ← byte	x	x	x
	A, PSW	2	4	A ← PSW			
	PSW, A	2	4	PSW ← A	x	x	x
	A, [DE]	1	6	A ← (DE)			
	[DE], A	1	6	(DE) ← A			
	A, [HL]	1	6	A ← (HL)			
	[HL], A	1	6	(HL) ← A			
	A, [HL + byte]	2	6	A ← (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) ← A			
XCH	A, X	1	4	A ↔ X			
	A, r 注2	2	6	A ↔ r			
	A, saddr	2	6	A ↔ (saddr)			
	A, sfr	2	6	A ↔ sfr			
	A, [DE]	1	8	A ↔ (DE)			
	A, [HL]	1	8	A ↔ (HL)			
	A, [HL, byte]	2	8	A ↔ (HL + byte)			

注1 . r = Aを除く。

2 . r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp ← word			
	AX, saddrp	2	6	AX ← (saddrp)			
	saddrp, AX	2	8	(saddrp) ← AX			
	AX, rp 注	1	4	AX ← rp			
	rp, AX 注	1	4	rp ← AX			
XCHW	AX, rp 注	1	8	AX ↔ rp			
ADD	A, #byte	2	4	A, CY ← A + byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte	×	×	×
	A, r	2	4	A, CY ← A + r	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte)	×	×	×
ADDC	A, #byte	2	4	A, CY ← A + byte + CY	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte + CY	×	×	×
	A, r	2	4	A, CY ← A + r + CY	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr) + CY	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16) + CY	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL) + CY	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte) + CY	×	×	×
SUB	A, #byte	2	4	A, CY ← A - byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) - byte	×	×	×
	A, r	2	4	A, CY ← A - r	×	×	×
	A, saddr	2	4	A, CY ← A - (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A - (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A - (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A - (HL + byte)	×	×	×

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	6	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
	A, r	2	4	$A, CY \leftarrow A - r - CY$	×	×	×
	A, saddr	2	4	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
	A, !addr16	3	8	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
	A, [HL]	1	6	$A, CY \leftarrow A - (HL) - CY$	×	×	×
	A, [HL + byte]	2	6	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \wedge r$	×		
	A, saddr	2	4	$A \leftarrow A \wedge (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \wedge (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \wedge (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \wedge (HL + \text{byte})$	×		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		
XOR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	×	×	×
	saddr, #byte	3	6	(saddr) - byte	×	×	×
	A, r	2	4	A - r	×	×	×
	A, saddr	2	4	A - (saddr)	×	×	×
	A, laddr16	3	8	A - (addr16)	×	×	×
	A, [HL]	1	6	A - (HL)	×	×	×
	A, [HL + byte]	2	6	A - (HL + byte)	×	×	×
ADDW	AX, #word	3	6	AX, CY ← AX + word	×	×	×
SUBW	AX, #word	3	6	AX, CY ← AX - word	×	×	×
CMPW	AX, #word	3	6	AX - word	×	×	×
INC	r	2	4	r ← r + 1	×	×	
	saddr	2	4	(saddr) ← (saddr) + 1	×	×	
DEC	r	2	4	r ← r - 1	×	×	
	saddr	2	4	(saddr) ← (saddr) - 1	×	×	
INCW	rp	1	4	rp ← rp + 1			
DECW	rp	1	4	rp ← rp - 1			
ROR	A, 1	1	2	(CY, A ₇ ← A ₀ , A _{m-1} ← A _m) × 1回			×
ROL	A, 1	1	2	(CY, A ₀ ← A ₇ , A _{m+1} ← A _m) × 1回			×
RORC	A, 1	1	2	(CY ← A ₀ , A ₇ ← CY, A _{m-1} ← A _m) × 1回			×
ROLC	A, 1	1	2	(CY ← A ₇ , A ₀ ← CY, A _{m+1} ← A _m) × 1回			×
SET1	saddr.bit	3	6	(saddr.bit) ← 1			
	sfr.bit	3	6	sfr.bit ← 1			
	A.bit	2	4	A.bit ← 1			
	PSW.bit	3	6	PSW.bit ← 1	×	×	×
	[HL].bit	2	10	(HL).bit ← 1			
CLR1	saddr.bit	3	6	(saddr.bit) ← 0			
	sfr.bit	3	6	sfr.bit ← 0			
	A.bit	2	4	A.bit ← 0			
	PSW.bit	3	6	PSW.bit ← 0	×	×	×
	[HL].bit	2	10	(HL).bit ← 0			
SET1	CY	1	2	CY ← 1			1
CLR1	CY	1	2	CY ← 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$	×
CALL	laddr16	3	6	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$ $PC \leftarrow \text{laddr16}, SP \leftarrow SP - 2$	
CALLT	[addr5]	1	8	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP - 2$	
RET		1	6	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
RETI		1	8	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3,$ $NMIS \leftarrow 0$	R R R
PUSH	PSW	1	2	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$	
	rp	1	4	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$ $SP \leftarrow SP - 2$	
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R R R
	rp	1	6	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
MOVW	SP, AX	2	8	$SP \leftarrow AX$	
	AX, SP	2	6	$AX \leftarrow SP$	
BR	laddr16	3	6	$PC \leftarrow \text{laddr16}$	
	\$addr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$	
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$	
BC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1	
BNC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0	
BZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1	
BNZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0	
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$addr16	4	10	PC ← PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$addr16	4	10	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$addr16	3	8	PC ← PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$addr16	4	10	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$addr16	2	6	B ← B - 1, then PC ← PC + 2 + jdisp8 if B ≠ 0			
	C, \$addr16	2	6	C ← C - 1, then PC ← PC + 2 + jdisp8 if C ≠ 0			
	saddr, \$addr16	3	8	(saddr) ← (saddr) - 1, then PC ← PC + 3 + jdisp8 if (saddr) ≠ 0			
NOP		1	2	No Operation			
EI		3	6	IE ← 1 (Enable Interrupt)			
DI		3	6	IE ← 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

17.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注 ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第18章 電気的特性

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V
	V_{PP}	μ PD78F9468のみ 注1	- 0.3 ~ + 10.5	V
入力電圧	V_I		- 0.3 ~ $V_{DD} + 0.3$ ^{注2}	V
出力電圧	V_{O1}	P00-P03, P10, P11, P40-P43, P60, P61	- 0.3 ~ $V_{DD} + 0.3$ ^{注2}	V
	V_{O2}	COM0-COM3, S0-S16, P80/S22-P85/S17	- 0.3 ~ $V_{LC0} + 0.3$ ^{注2}	V
ハイ・レベル出力電流	I_{OH}	P60/TO40端子	- 30	mA
		1端子 (P60/TO40除く)	- 10	mA
		全端子合計 (P60/TO40除く)	- 30	mA
ロウ・レベル出力電流	I_{OL}	1端子	30	mA
		全端子合計	80	mA
動作周囲温度	T_A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T_{stg}	マスクROM製品	- 65 ~ + 150	
		フラッシュ・メモリ製品	- 40 ~ + 125	

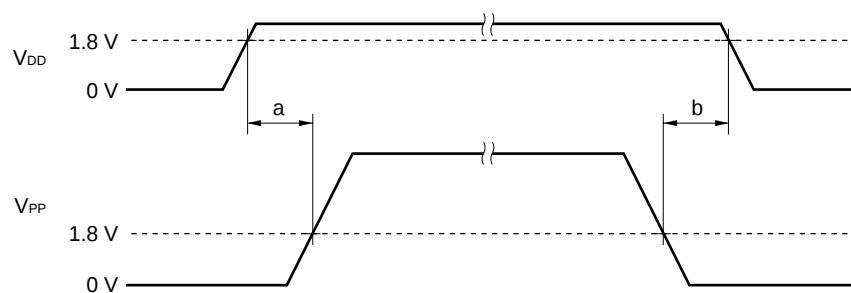
★ 注1. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること (下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること (下図のb)。



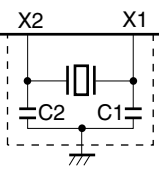
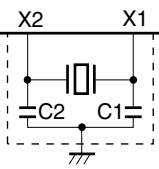
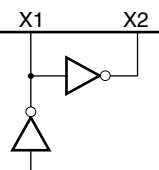
2. ただし, 6.5 V以下であること

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。

つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	4.5 V_{DD} 5.5 V			10	ms
			1.8 V_{DD} 5.5 V			30	ms
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- 2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意1．メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

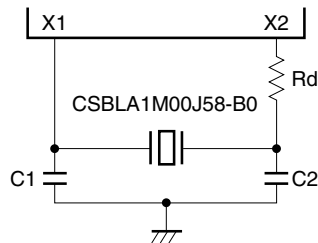
- 2．メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

★ 推奨発振回路定数

セラミック発振子 (TA = -40 ~ +85) (マスクROM製品)

メーカー	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 ^注	1.0	100	100	2.0	5.5	Rd = 3.3 kΩ
	CSTCC2M00G53-R0	2.0	-	-	1.8	5.5	コンデンサ内蔵品
	CSTCR4M00G53-R0	4.0					
	CSTLS4M00G53-B0						
	CSTCR4M19G53-R0	4.194					
	CSTLS4M19G53-B0						
	CSTCR4M91G53-R0	4.915					
	CSTLS4M91G53-B0						
	CSTCR5M00G53-R0	5.0					
	CSTLS5M00G53-B0						
京セラ	PBRC4.00HR	4.0	-	-	1.8	5.5	コンデンサ内蔵品
	PBRC4.19HR	4.19					
	PBRC4.91HR	4.91					
	PBRC5.00HR	5.0					
TDK	FCR4.0MC5	4.0	-	-	2.0	5.5	コンデンサ内蔵品
	FCR5.0MC5	5.0					

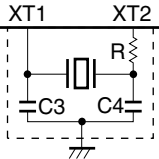
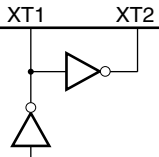
注 セラミック発振子として村田製作所のCSBLA1M00J58-B0(1.0 MHz)を使用する場合には、制限抵抗(Rd = 3.3 kΩ)が必要です(下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD78946xの内部動作条件についてはDC、AC特性の規格内で使用してください。

備考 μPD78F9468の場合の発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	4.5 V_{DD} 5.5 V		1.2	2	s
			1.8 V_{DD} 5.5 V			10	s
外部クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μ s

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- 2． V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を実線のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- 2．サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流	IOL	1端子			10	mA
		全端子			80	mA
★ ハイ・レベル出力電流	IOH	1端子 (P60/TO40除く)			- 1	mA
		P60/TO40 VDD = 3.0 V, VOH = 2.0 V	- 7	- 15	- 24	mA
		全端子 (P60/TO40除く)			- 15	mA
ハイ・レベル入力電圧	VIH1	P00-P03, P10, P11, P60, P80-P85	2.7 VDD 5.5 V	0.7 VDD	VDD	V
			1.8 VDD 5.5 V	0.9 VDD	VDD	V
	VIH2	RESET, P40-P43, P61	2.7 VDD 5.5 V	0.8 VDD	VDD	V
			1.8 VDD 5.5 V	0.9 VDD	VDD	V
	VIH3	X1, X2	VDD - 0.1		VDD	V
	VIH4	XT1, XT2	VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P03, P10, P11, P60, P80-P85	2.7 VDD 5.5 V	0	0.3 VDD	V
			1.8 VDD 5.5 V	0	0.1 VDD	V
	VIL2	RESET, P40-P43, P61	2.7 VDD 5.5 V	0	0.2 VDD	V
			1.8 VDD 5.5 V	0	0.1 VDD	V
	VIL3	X1, X2	0		0.1	V
	VIL4	XT1, XT2	0		0.1	V
ハイ・レベル出力電圧	VOH11	P00-P03, P10, P11, P40-P43, P61	1.8 VDD 5.5 V, IOH = - 100 μ A	VDD - 0.5		V
	VOH12		1.8 VDD 5.5 V, IOH = - 500 μ A	VDD - 0.7		V
	VOH21	P60/TO40	1.8 VDD 5.5 V, IOH = - 400 μ A	VDD - 0.5		V
	VOH22		1.8 VDD 5.5 V, IOH = - 2 mA	VDD - 0.7		V
ロウ・レベル出力電圧	VOL1	P00-P03, P10, P11, P40-P43, P60, P61	1.8 VDD 5.5 V, IOL = 400 μ A		0.5	V
	VOL2		1.8 VDD 5.5 V, IOL = 2 mA		0.7	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	ILI1	VIN = VDD	P00-P03, P10, P11, P40-P43, P60, P61, P80-P85, RESET			3	μA
	ILI2		X1, X2, XT1, XT2			20	μA
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	P00-P03, P10, P11, P40-P43, P60, P61, P80-P85, RESET			- 3	μA
	ILIL2		X1, X2, XT1, XT2			- 20	μA
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V				- 3	μA
ソフトウェア・プルアップ抵抗	R1	VIN = 0 V	P00-P03, P10, P11, P40-P43	50	100	200	kΩ
★ 電源電流 ^{注1} (マスキングROM製品)	IDD1	5.0 MHz 水晶発振動作モード	VDD = 5.5 V ^{注2}		1.5	3.0	mA
			VDD = 3.3 V ^{注3}		0.6	1.2	mA
	IDD2	5.0 MHz 水晶発振HALTモード	VDD = 5.5 V		0.8	2.0	mA
			VDD = 3.3 V		0.4	0.8	mA
	IDD3	32.768 kHz 水晶発振動作モード ^{注4}	VDD = 5.5 V		50	100	μA
			VDD = 3.3 V		30	60	μA
	IDD4	32.768 kHz 水晶発振HALTモード ^{注4}	VDD = 5.5 V		25	50	μA
			VDD = 3.3 V		7	25	μA
	IDD5	STOPモード (POC非動作時)	VDD = 5.5 V		0.1	10	μA
			VDD = 3.3 V		0.05	5	μA
★ 電源電流 ^{注1} (μPD78F9468)	IDD1	5.0 MHz 水晶発振動作モード	VDD = 5.5 V ^{注2}		5.0	15.0	mA
			VDD = 3.3 V ^{注3}		2.0	5.0	mA
	IDD2	5.0 MHz 水晶発振HALTモード	VDD = 5.5 V		1.2	3.6	mA
			VDD = 3.3 V		0.5	1.5	mA
	IDD4	32.768 kHz 水晶発振HALTモード ^{注4}	VDD = 5.5 V		25	70	μA
			VDD = 3.3 V		10	35	μA
	IDD5	STOPモード	VDD = 5.5 V		2	20	μA
			VDD = 3.3 V		1	10	μA

注1．ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

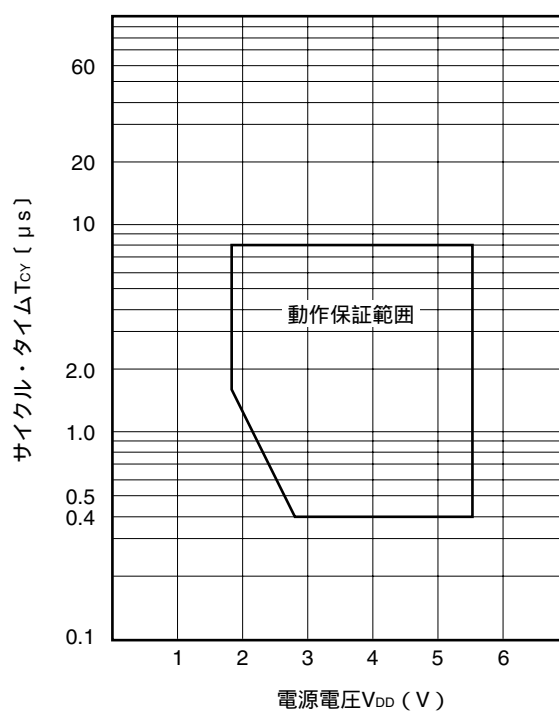
- 2．高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
- 3．低速モード動作時（PCCを02Hに設定したとき）
- 4．メイン・システム・クロック停止時

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

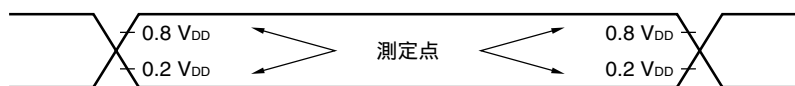
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

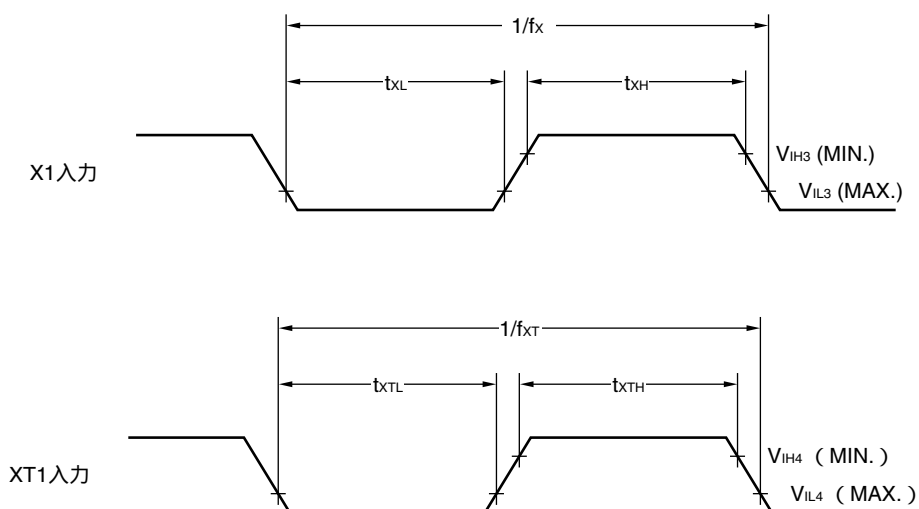
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	2.7 V_{DD} 5.5 V	0.4		8.0	μs
		1.8 V_{DD} 5.5 V	1.6		8.0	μs
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0	10			μs
キー入力端子 ロウ・レベル幅	t_{KRIL}	KR00-KR03	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

 T_{CY} vs V_{DD} (メイン・システム・クロック)

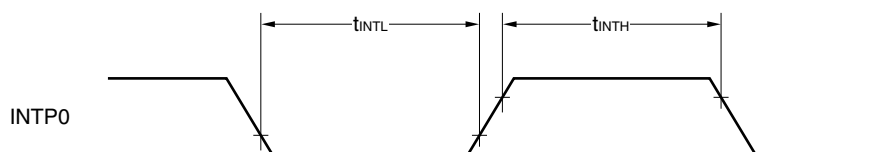
ACタイミング測定点 (X1, XT1入力を除く)



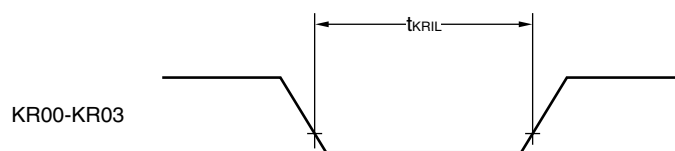
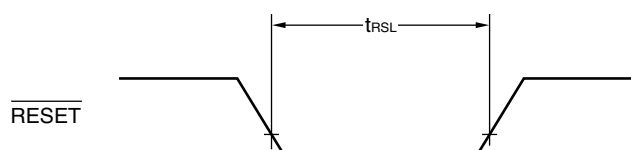
クロック・タイミング



割り込み入力タイミング



キー・リターン入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

8ビットA/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1,2}		2.7 V_{DD} 5.5 V			± 0.6	%FSR
		1.8 V_{DD} 5.5 V			± 1.2	%FSR
変換時間	t_{CONV}	2.7 V_{DD} 5.5 V	14		100	μ s
		1.8 V_{DD} 5.5 V	28		100	μ s

注1．量子化誤差 (± 0.2 %FSR)を含みません。

2．フルスケール値に対する比率 (%FSR) で表します。

備考 FSR：フル・スケール・レンジ

LCD特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
LCD昇圧出力電圧	V _{LC20}	GAIN = 0	V _{LC2} 端子	1.35	1.5	1.65	V
	V _{LC10}		V _{LC1} 端子		3.0		V
	V _{LC00}		V _{LC0} 端子		4.5		V
	V _{LC21}	GAIN = 1	V _{LC2} 端子	0.9	1.0	1.1	V
	V _{LC11}		V _{LC1} 端子		2.0		V
	V _{LC01}		V _{LC0} 端子		3.0		V
LCD出力電圧偏差 [※] (コモン)	V _{ODC}	I _o = ± 5 μA		0		± 0.2	V
LCD出力電圧偏差 [※] (セグメント)	V _{ODS}	I _o = ± 1 μA		0		± 0.2	V

注 電圧偏差とは、セグメント、コモン信号出力の理想値に対する出力電圧との差です。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
低電圧検出(POC)電圧 ^{注1}	V_{POC}	応答時間: 2 ms ^{注2}	1.8	1.9	2.0	V
リリース信号セット時間	t_{SREL}	$\overline{RESET}$ 端子によるSTOP解除	10			μ s
発振安定ウエイト時間 ^{注3}	t_{WAIT}	$\overline{RESET}$ 端子による解除		$2^{15}/f_x$		s
		割り込み要求による解除		注4		s

注1．マスクROM製品は、マスク・オプションによりPOC回路使用を選択時のみ（第16章 マスク・オプション参照）

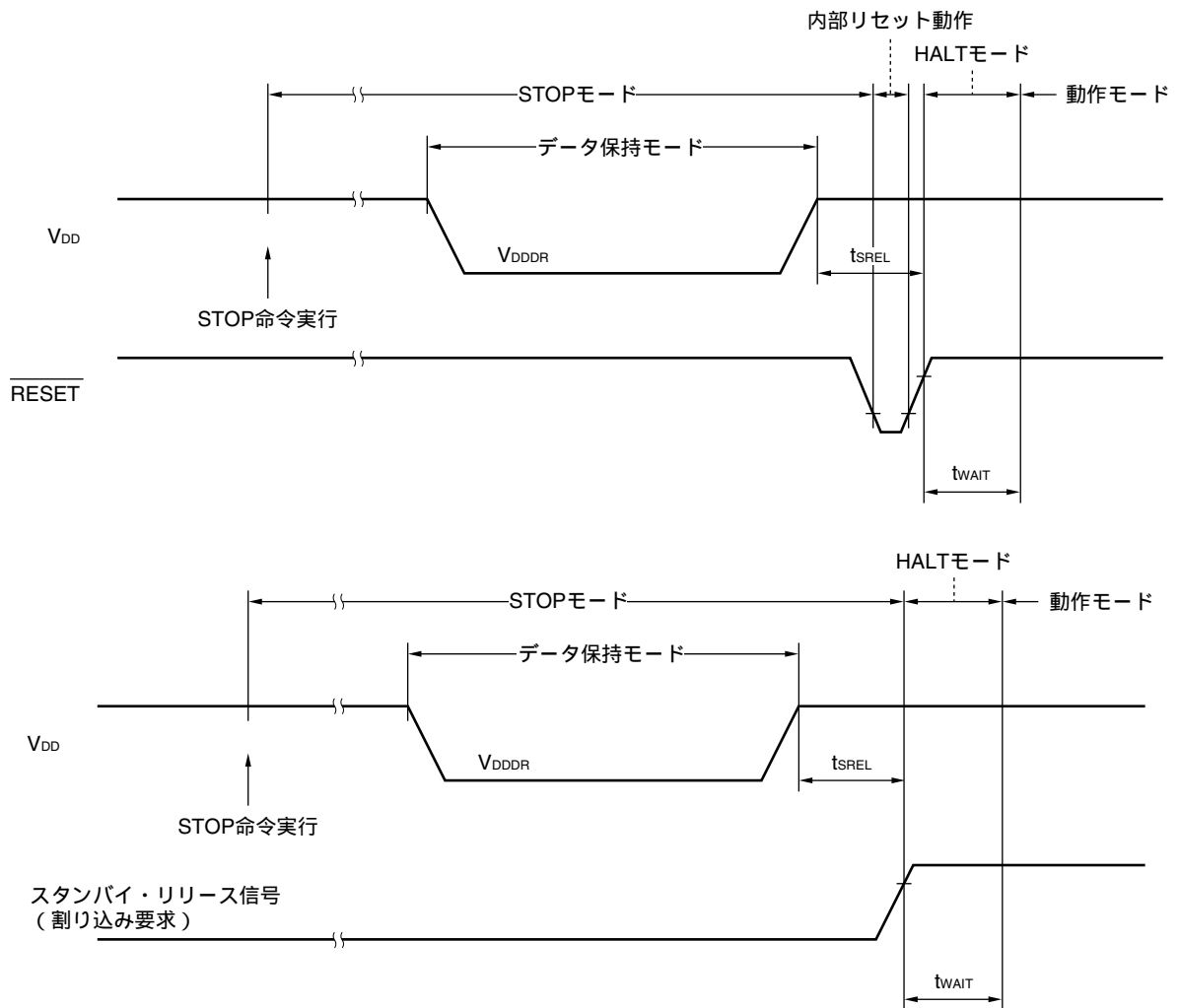
2．応答時間とは、POCが電圧を検出してから出力が反転するまでの時間、または停止状態から動作状態へ遷移したときの安定動作までの時間です。

3．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。プログラムが動作するまでには、発振安定ウエイト時間に加えて発振成長の時間がかかります。

4．発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です（13.1.2 スタンバイ機能を制御するレジスタを参照）。

備考 f_x ：メイン・システム・クロック発振周波数

データ保持タイミング

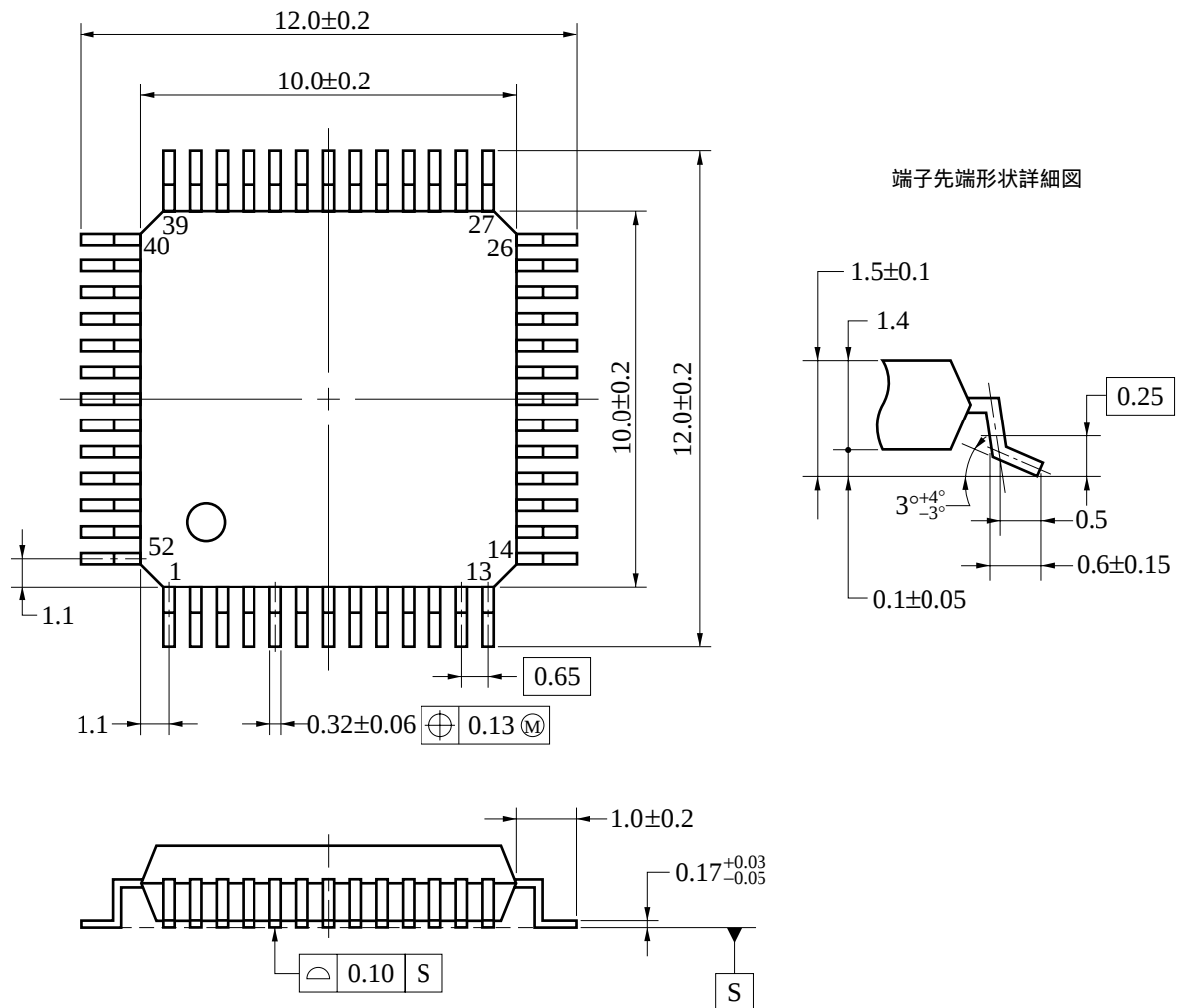
★ 書き込み消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み動作周波数	f_x	$V_{DD} = 2.7 \sim 5.5$ V	1.0		5	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	1.0		1.25	MHz
書き込み電流 (V_{DD} 端子) ^注	I_{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
書き込み電流 (V_{PP} 端子) ^注	I_{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			13	mA
消去電流 (V_{DD} 端子) ^注	I_{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
消去電流 (V_{PP} 端子) ^注	I_{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			100	mA
単位消去時間	t_{er}		0.5	1	1	s
Total消去時間	t_{era}				20	s
書き換え回数		消去 / 書き込みを1サイクルとする			20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		0.2 V_{DD}	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

第19章 外形図

52ピン・プラスチック LQFP (10x10) 外形図 (単位 : mm)



S52GB-65-8ET-2

第20章 半田付け推奨条件

μ PD789467サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表20 - 1 表面実装タイプの半田付け条件 (1/3)

μ PD789462GB- × × × -8ET : 52ピン・プラスチックLQFP (10x10)

μ PD789464GB- × × × -8ET :

〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内	VP15-00-2
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表20 - 1 表面実装タイプの半田付け条件 (2/3)

★ μ PD789466GB- $\times \times \times$ -8ET : 52ピン・プラスチックLQFP (10x10)★ μ PD789467GB- $\times \times \times$ -8ET : " μ PD78F9468GB-8ET :

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

★

表20 - 1 表面実装タイプの半田付け条件 (3/3)

μ PD789462GB- × × × -8ET-A : 52ピン・プラスチックLQFP (10x10)

μ PD789464GB- × × × -8ET-A : "

μ PD789466GB- × × × -8ET-A : "

μ PD789467GB- × × × -8ET-A : "

μ PD78F9468GB-8ET-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上）， 回数：3回以内，制限日数：7日間 ^注 （以降は125℃プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーク キングができません。	IR60-207-3
ウェーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウェーブ・ソルダリングも対応可能です。 詳細については，当社販売員にご相談ください。	—
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25℃，65 %RH以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μ PD789467サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

- PC98-NXシリーズへの対応について

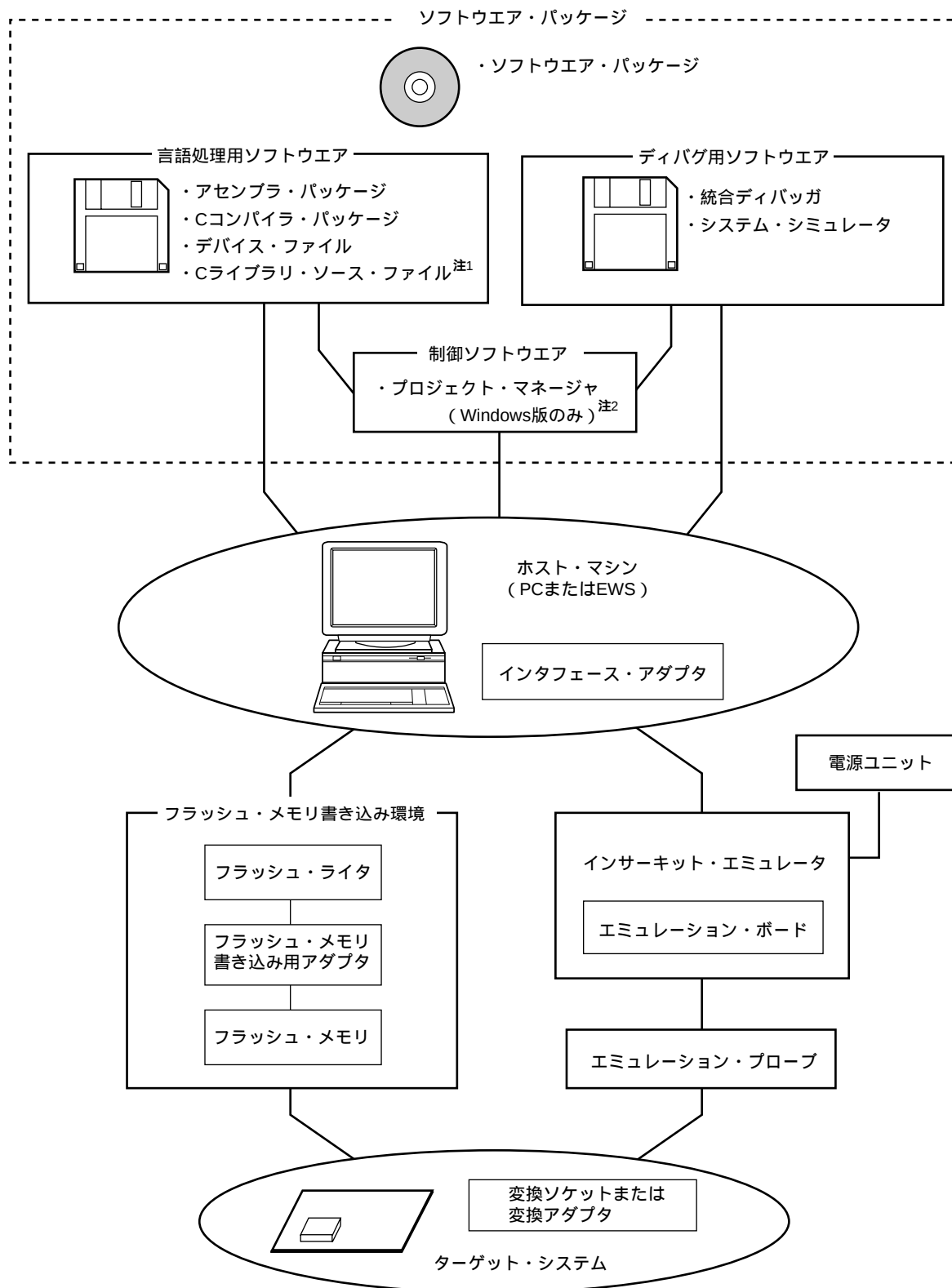
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

- Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, 98, 2000
- ・ Windows NTTM Version 4.0

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789468) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789468) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789468 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789468
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789468は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789468

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。Windows以外の環境では使用できません。
--------------	---

A.4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-52GB-8ET フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-52GB-8ET: 52ピン・プラスチックLQFP (GB-8ETタイプ) 用

備考 FL-PR3, FL-PR4, FA-52GB-8ETは株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 デバッグ用ツール (ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合デバッグ (ID78K0S-NS) に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100 ~ 240 Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです
IE-789468-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-H52GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。TGB-052SBPと組み合わせて使用します。
★ TGB-052SBP 変換アダプタ	52ピン・プラスチックLQFP (GB-8ETタイプ) を実装できるように作られたターゲット・システムの基板とNP-H52GB-TQを接続するための変換アダプタです

備考1 . NP-H52GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2 . TGB-052SBPは、東京エレクトック株式会社の製品です。

問い合わせ先: 大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 デバッグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789468）と組み合わせて使用します。
	オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789468）と組み合わせて使用します。
	オーダ名称：μS××××SM78K0S
DF789468 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。
	オーダ名称：μS××××DF789468

注 DF789468は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

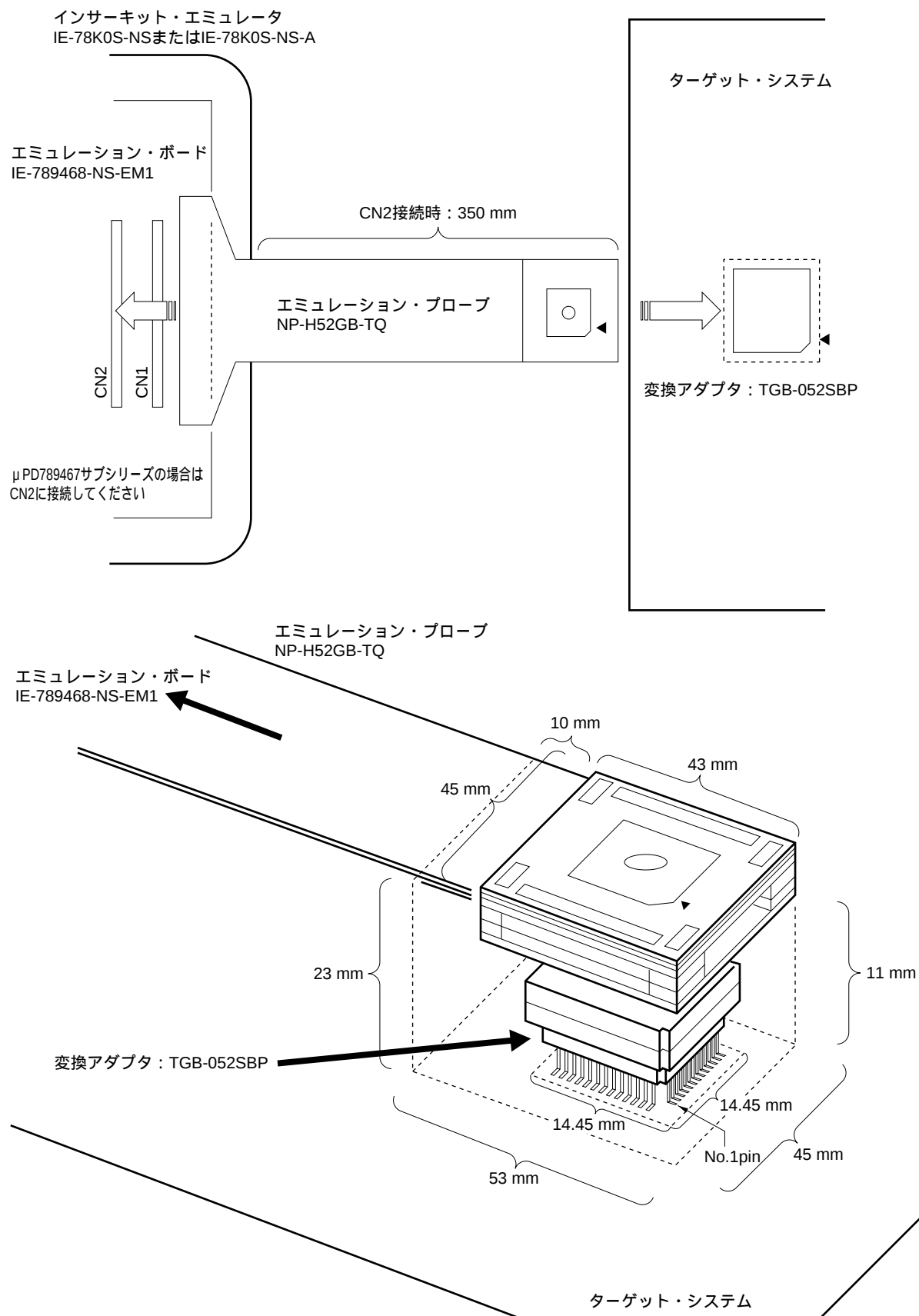
μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

A.7 ターゲット・システム設計上の注意

エミュレーション・プローブと変換コネクタ，変換ソケットの接続条件図を図A - 2に示します。この構成によってターゲット・システム上に実装する部品の形状等を考慮してシステム設計をしてください。

図A - 2 ターゲット・システムの接続条件図



付録B レジスタ索引

B.1 レジスタ索引（50音順）

【あ行】

ウォッチドッグ・タイマ・クロック選択レジスタ (TCL2)	...	123
ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	124
A/Dコンバータ・モード・レジスタ0 (ADM0)	...	130
A/D入力選択レジスタ0 (ADS0)	...	131
A/D変換結果レジスタ0 (ADCR0)	...	128
LCDクロック制御レジスタ0 (LCDC0)	...	144
LCD昇圧制御レジスタ0 (LCDVA0)	...	145
LCD表示モード・レジスタ0 (LCDM0)	...	142

【か行】

外部割り込みモード・レジスタ0 (INTM0)	...	161
キー・リターン・モード・レジスタ00 (KRM00)	...	162
キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)	...	96

【さ行】

サブクロック・コントロール・レジスタ (CSS)	...	79
サブ発振モード・レジスタ (SCKM)	...	78

【た行】

時計用タイマ・モード・コントロール・レジスタ (WTM)	...	118
------------------------------	-----	-----

【は行】

8ビット・コンペア・レジスタ30 (CR30)	...	91
8ビット・コンペア・レジスタ40 (CR40)	...	91
8ビットH幅コンペア・レジスタ40 (CRH40)	...	91
8ビット・タイマ・カウンタ30 (TM30)	...	92
8ビット・タイマ・カウンタ40 (TM40)	...	92
8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)	...	94
8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)	...	95
発振安定時間選択レジスタ (OSTS)	...	170
ブルアップ抵抗オプション・レジスタ0 (PU0)	...	72
プロセッサ・クロック・コントロール・レジスタ (PCC)	...	77
ポート・ファンクション・レジスタ8 (PF8)	...	73, 145
ポート・モード・レジスタ0 (PM0)	...	71
ポート・モード・レジスタ1 (PM1)	...	71

ポート・モード・レジスタ4 (PM4) ...	71
ポート・モード・レジスタ6 (PM6) ...	71
ポート0 (P0) ...	65
ポート1 (P1) ...	66
ポート4 (P4) ...	67
ポート6 (P6) ...	68
ポート8 (P8) ...	70

[わ行]

割り込みマスク・フラグ・レジスタ0 (MK0) ...	160
割り込み要求フラグ・レジスタ0 (IF0) ...	160

B.2 レジスタ索引（アルファベット順）

【A】

ADCR0	: A/D変換結果レジスタ0 ...	128
ADM0	: A/Dコンバータ・モード・レジスタ0 ...	130
ADS0	: A/D入力選択レジスタ0 ...	131

【C】

CR30	: 8ビット・コンペア・レジスタ30 ...	91
CR40	: 8ビット・コンペア・レジスタ40 ...	91
CRH40	: 8ビットH幅コンペア・レジスタ40 ...	91
CSS	: サブクロック・コントロール・レジスタ ...	79

【I】

IF0	: 割り込み要求フラグ・レジスタ0 ...	160
INTM0	: 外部割り込みモード・レジスタ0 ...	161

【K】

KRM00	: キー・リターン・モード・レジスタ00 ...	162
-------	--------------------------	-----

【L】

LCDC0	: LCDクロック制御レジスタ0 ...	144
LCDM0	: LCD表示モード・レジスタ0 ...	142
LCDVA0	: LCD昇圧制御レジスタ0 ...	145

【M】

MK0	: 割り込みマスク・フラグ・レジスタ0 ...	160
-----	-------------------------	-----

【O】

OSTS	: 発振安定時間選択レジスタ ...	170
------	--------------------	-----

【P】

P0	: ポート0 ...	65
P1	: ポート1 ...	66
P4	: ポート4 ...	67
P6	: ポート6 ...	68
P8	: ポート8 ...	70
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	77
PF8	: ポート・ファンクション・レジスタ8 ...	73, 145
PM0	: ポート・モード・レジスタ0 ...	71
PM1	: ポート・モード・レジスタ1 ...	71
PM4	: ポート・モード・レジスタ4 ...	71
PM6	: ポート・モード・レジスタ6 ...	71

PU0 : プルアップ抵抗オプション・レジスタ0 ... 72

[S]

SCKM : サブ発振モード・レジスタ ... 78

[T]

TCA40 : キャリア・ジェネレータ出力コントロール・レジスタ40 ... 96

TCL2 : ウォッチドッグ・タイマ・クロック選択レジスタ ... 123

TM30 : 8ビット・タイマ・カウンタ30 ... 92

TM40 : 8ビット・タイマ・カウンタ40 ... 92

TMC30 : 8ビット・タイマ・モード・コントロール・レジスタ30 ... 94

TMC40 : 8ビット・タイマ・モード・コントロール・レジスタ40 ... 95

[W]

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 124

WTM : 時計用タイマ・モード・コントロール・レジスタ ... 118

付録C 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版数	前版からの改版内容	適用箇所
第2版	μ PD789466, 789467を開発済みに変更	全 般
	2. 2. 15 V _{PP} (μ PD78F9468のみ) に端子処理の説明文を追加	第2章 端子機能
	表3 - 3 特殊機能レジスタ一覧 ・ポート8 (P8) の属性をリードのみにし，リセット時の値を不定に修正 ・発振安定時間選択レジスタ (OSTS) を1ビット操作命令も使用可能に修正	第3章 CPUアーキテクチャ
	図5 - 3 サブ発振モード・レジスタのフォーマットに，フィードバック抵抗に関する注を追加	第5章 クロック発生回路
	6. 2 8ビット・タイマ30, 40の構成 ・図6 - 3 出力制御回路 (タイマ40) のブロック図を修正 ・(2) 8ビット・コンペア・レジスタ40 (CR40) に説明文を追加 ・(3) 8ビットH幅コンペア・レジスタ40 (CRH40) に説明文を追加	第6章 8ビット・タイマ30, 40
	図6 - 6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマットに注意文を追加	
	6. 4. 3 キャリア・ジェネレータとしての動作に注意文を追加	
	6. 5 8ビット・タイマ30, 40の注意事項の内容を変更	第9章 8ビットA/Dコンバータ
	9. 5 8ビットA/Dコンバータの注意事項に (8) ANI0端子の入カインピーダンスについてを追加	
	図10 - 2 LCD表示モード・レジスタ0のフォーマットに注意文を追加	第10章 LCDコントローラ / ドライバ
	図12 - 2 割り込み要求フラグ・レジスタ0のフォーマットに注意文を追加	第12章 割り込み機能
	図12 - 6 キー・リターン・モード・レジスタ00のフォーマットに注意文を追加	
	13. 1. 2 スタンバイ機能を制御するレジスタで，発振安定時間選択レジスタ (OSTS) を1ビット操作命令も使用可能に修正	第13章 スタンバイ機能
	表15 - 3 通信方式一覧を修正	第15章 μ PD78F9468
	・ターゲット・スペックから正式スペックに変更 ・絶対最大定格に注意文を追加 ・マスクROM製品の推奨発振回路定数を追加 ・書き込み消去特性を変更	第18章 電気的特性
	μ PD789466, 789467の推奨条件を追加	第20章 半田付け推奨条件
	A. 5 デバッグ用ツール (ハードウェア) で，変換コネクタと変換ソケットを，変換アダプタ (TGB-052SBP) として名称変更	付録A 開発ツール
	改版履歴を追加	付録C 改版履歴
第2版 (修正1版)	図4 - 10 ポート・ファンクション・レジスタ8のフォーマットの注意文変更	第4章 ポート機能
	図10 - 2 LCD表示モード・レジスタ0のフォーマットに注釈文追加	第10章 LCDコントローラ / ドライバ

(2/2)

版数	前版からの改版内容	適用箇所
第2版（修正2版）	鉛フリー製品を追加	第1章 概 説
	表20 - 1 表面実装タイプの半田付け条件で，鉛フリー製品の半田付け条件を追加	第20章 半田付け推奨条件

〔メ モ〕

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。