

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD789426, 789436, 789446, 789456サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789425

μPD789426

μPD789435

μPD789436

μPD78F9436

μPD789445

μPD789446

μPD789455

μPD789456

μPD78F9456

[メ モ]

目次要約

第1章	概 説	...	26
第2章	端子機能	...	38
第3章	CPUアーキテクチャ	...	48
第4章	ポート機能	...	78
第5章	クロック発生回路	...	104
第6章	16ビット・タイマ90	...	121
第7章	8ビット・タイマ50, 60	...	138
第8章	時計用タイマ	...	179
第9章	ウォッチドッグ・タイマ	...	184
第10章	8ビットA/Dコンバータ (μPD789426, 789446サブシリーズ)	...	190
第11章	10ビットA/Dコンバータ (μPD789436, 789456サブシリーズ)	...	203
第12章	シリアル・インタフェース20	...	216
第13章	LCDコントローラ/ドライバ	...	253
第14章	割り込み機能	...	269
第15章	スタンバイ機能	...	284
第16章	リセット機能	...	292
第17章	μPD78F9436, 78F9456	...	296
第18章	マスク・オプション	...	306
第19章	命令セットの概要	...	307
第20章	電気的特性	...	318
第21章	LCDコントローラ/ドライバ特性曲線 (参考値)	...	336
第22章	外形図	...	338
第23章	半田付け推奨条件	...	340
付録A	開発ツール	...	343
付録B	ターゲット・システム設計上の注意	...	349
付録C	レジスタ索引	...	353
付録D	改版履歴	...	358

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9436, 78F9456

ユーザ判定品 : μ PD789425, 789426, 789435, 789436, 789445,
789446, 789455, 789456

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

[メモ]

はじめに

対 象 者 このマニュアルは μ PD789426, 789436, 789446, 789456サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

- ・ μ PD789426サブシリーズ : μ PD789425, 789426
- ・ μ PD789436サブシリーズ : μ PD789435, 789436, 78F9436
- ・ μ PD789446サブシリーズ : μ PD789445, 789446
- ・ μ PD789456サブシリーズ : μ PD789455, 789456, 78F9456

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD789426, 789436, 789446, 789456サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789426, 789436, 789446,
789456サブシリーズ
ユーザーズ・マニュアル

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

78K/0Sシリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→ 目次に従って読んでください。

□レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□レジスタ名が分かっているレジスタの詳細を確認するとき

→ 付録C レジスタ索引を利用してください。

□78K/0Sシリーズの命令機能の詳細を知りたいとき

→ 別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

□ μ PD789426, 789436, 789446, 789456サブシリーズの電気的特性を知りたいとき

→ 第20章 電気的特性を参照してください。

□メイン・システム・クロックの発振周波数は、クリスタル/セラミック発振をfx、RC発振をfccとしています。また、特に断りがない限り、代表してクリスタル/セラミック発振（fx）の場合について記載しています。

凡 例	データ表記の重み：左が上位桁，右が下位桁
	アクティブ・ロウの表記： $\overline{\times \times \times}$ （端子，信号名称に上線）
	注：本文中につけた注の説明
	注意：気をつけて読んでいただきたい内容
	備考：本文の補足説明
	数の表記：2進数... $\times \times \times \times$ または $\times \times \times \times B$
	10進数... $\times \times \times \times$
	16進数... $\times \times \times \times H$

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μ PD789426, 789436, 789446, 789456サブシリーズ ユーザーズ・マニュアル	このマニュアル	U15075E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編（Windows [®] ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）		U14610J	U14610E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789456-NS-EM1 エミュレーション・ボード	U16289J	U16289E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 26

- 1.1 特 徴 ... 26
- 1.2 応用分野 ... 26
- 1.3 オーダ情報 ... 27
- 1.4 端子接続図 (Top View) ... 28
 - 1.4.1 μ PD789426, 789436サブシリーズの端子接続図 (Top View) ... 28
 - 1.4.2 μ PD789446, 789456サブシリーズの端子接続図 (Top View) ... 29
- 1.5 78K/0Sシリーズの展開 ... 31
- 1.6 ブロック図 ... 34
 - 1.6.1 μ PD789426, 789436サブシリーズのブロック図 ... 34
 - 1.6.2 μ PD789446, 789456サブシリーズのブロック図 ... 35
- 1.7 機能概要 ... 36

第2章 端子機能 ... 38

- 2.1 端子機能一覧 ... 38
- 2.2 端子機能の説明 ... 41
 - 2.2.1 P00-P03 (Port 0) ... 41
 - 2.2.2 P10, P11 (Port 1) ... 41
 - 2.2.3 P20-P26 (Port 2) ... 41
 - 2.2.4 P30-P33 (Port 3) ... 42
 - 2.2.5 P50-P53 (Port 5) ... 42
 - 2.2.6 P60-P65 (Port 6) ... 43
 - 2.2.7 P70-P72 (Port 7) ... 43
 - 2.2.8 P80, P81 (Port 8) ... 43
 - 2.2.9 P90-P97 (Port 9) ... 43
 - 2.2.10 S0-S14 ... 43
 - 2.2.11 COM0-COM3 ... 43
 - 2.2.12 V_{LC0}-V_{LC2} ... 43
 - 2.2.13 CAPH, CAPL ... 43
 - 2.2.14 $\overline{\text{RESET}}$... 44
 - 2.2.15 X1, X2 ... 44
 - ★ 2.2.16 CL1, CL2 (RC発振 (マスク・オプション) の場合のみ) ... 44
 - 2.2.17 XT1, XT2 ... 44
 - 2.2.18 V_{DD} ... 44
 - 2.2.19 V_{SS} ... 44
 - 2.2.20 V_{PP} (μ PD78F9436, 78F9456のみ) ... 44

2. 2. 21 IC (マスクROM製品のみ)	...	45
2. 3 端子の入出力回路と未使用端子の処理	...	46

第3章 CPUアーキテクチャ ... 48

3. 1 メモリ空間	...	48
3. 1. 1 内部プログラム・メモリ空間	...	54
3. 1. 2 内部データ・メモリ (内部高速RAM) 空間	...	55
3. 1. 3 特殊機能レジスタ (SFR : Special Function Register) 領域	...	55
3. 1. 4 データ・メモリ・アドレッシング	...	56
3. 2 プロセッサ・レジスタ	...	62
3. 2. 1 制御レジスタ	...	62
3. 2. 2 汎用レジスタ	...	65
3. 2. 3 特殊機能レジスタ (SFR)	...	66
3. 3 命令アドレスのアドレッシング	...	69
3. 3. 1 レラティブ・アドレッシング	...	69
3. 3. 2 イミディエト・アドレッシング	...	70
3. 3. 3 テーブル・インダイレクト・アドレッシング	...	71
3. 3. 4 レジスタ・アドレッシング	...	71
3. 4 オペランド・アドレスのアドレッシング	...	72
3. 4. 1 ダイレクト・アドレッシング	...	72
3. 4. 2 ショート・ダイレクト・アドレッシング	...	73
3. 4. 3 特殊機能レジスタ (SFR) アドレッシング	...	74
3. 4. 4 レジスタ・アドレッシング	...	75
3. 4. 5 レジスタ・インダイレクト・アドレッシング	...	76
3. 4. 6 ベースト・アドレッシング	...	77
3. 4. 7 スタック・アドレッシング	...	77

第4章 ポート機能 ... 78

4. 1 ポートの機能	...	78
4. 2 ポートの構成	...	81
4. 2. 1 ポート0	...	82
4. 2. 2 ポート1	...	83
4. 2. 3 ポート2	...	84
4. 2. 4 ポート3	...	90
4. 2. 5 ポート5	...	92
4. 2. 6 ポート6	...	93
4. 2. 7 ポート7	...	94
4. 2. 8 ポート8 (μ PD789426, 789436サブシリーズのみ)	...	95
4. 2. 9 ポート9 (μ PD789426, 789436サブシリーズのみ)	...	96
4. 3 ポート機能を制御するレジスタ	...	97
4. 4 ポート機能の動作	...	103

- 4.4.1 入出力ポートへの書き込み ... 103
- 4.4.2 入出力ポートからの読み出し ... 103
- 4.4.3 入出力ポートでの演算 ... 103

第5章 クロック発生回路 ... 104

- 5.1 クロック発生回路の機能 ... 104
- 5.2 クロック発生回路の構成 ... 104
- 5.3 クロック発生回路を制御するレジスタ ... 106
- 5.4 システム・クロック発振回路 ... 110
 - 5.4.1 メイン・システム・クロック発振回路（クリスタル／セラミック発振） ... 110
 - ★ 5.4.2 メイン・システム・クロック発振回路（RC発振）（マスク・オプション） ... 111
 - 5.4.3 サブシステム・クロック発振回路 ... 111
 - 5.4.4 発振子の接続の悪い例 ... 112
 - 5.4.5 分周回路 ... 116
 - 5.4.6 サブシステム・クロックを使用しない場合 ... 116
- 5.5 クロック発生回路の動作 ... 117
- 5.6 システム・クロックとCPUクロックの設定の変更 ... 118
 - 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間 ... 118
 - 5.6.2 システム・クロックとCPUクロックの切り替え手順 ... 119

第6章 16ビット・タイマ90 ... 121

- 6.1 16ビット・タイマ90の機能 ... 121
- 6.2 16ビット・タイマ90の構成 ... 121
- 6.3 16ビット・タイマ90を制御するレジスタ ... 124
- 6.4 16ビット・タイマ90の動作 ... 128
 - 6.4.1 タイマ割り込みとしての動作 ... 128
 - 6.4.2 タイマ出力としての動作 ... 130
 - 6.4.3 キャプチャ動作 ... 131
 - 6.4.4 16ビット・タイマ・カウンタ90の読み出し ... 132
 - 6.4.5 ブザー出力としての動作 ... 133
- 6.5 16ビット・タイマ90の注意事項 ... 134
 - 6.5.1 16ビット・タイマ90の使用上の注意 ... 134
 - ★ 6.5.2 16ビット・コンペア・レジスタ90を書き換える際の制限事項 ... 136

第7章 8ビット・タイマ50, 60 ... 138

- 7.1 8ビット・タイマ50, 60の機能 ... 138
- 7.2 8ビット・タイマ50, 60の構成 ... 139
- 7.3 8ビット・タイマ50, 60を制御するレジスタ ... 145
- 7.4 8ビット・タイマ50, 60の動作 ... 151
 - 7.4.1 8ビット・タイマ・カウンタ・モードとしての動作 ... 151

7.4.2	16ビット・タイマ・カウンタ・モードとしての動作	...	159
7.4.3	キャリア・ジェネレータとしての動作	...	167
7.4.4	PWMフリー・ランニング・モードとしての動作 (タイマ50)	...	172
7.4.5	PWMパルス・ジェネレータ・モードとしての動作 (タイマ60)	...	176
7.5	8ビット・タイマ50, 60の注意事項	...	178

第8章 時計用タイマ ... 179

8.1	時計用タイマの機能	...	179
8.2	時計用タイマの構成	...	180
8.3	時計用タイマを制御するレジスタ	...	181
8.4	時計用タイマの動作	...	182
8.4.1	時計用タイマとしての動作	...	182
8.4.2	インターバル・タイマとしての動作	...	182

第9章 ウォッチドッグ・タイマ ... 184

9.1	ウォッチドッグ・タイマの機能	...	184
9.2	ウォッチドッグ・タイマの構成	...	185
9.3	ウォッチドッグ・タイマを制御するレジスタ	...	186
9.4	ウォッチドッグ・タイマの動作	...	188
9.4.1	ウォッチドッグ・タイマとしての動作	...	188
9.4.2	インターバル・タイマとしての動作	...	189

第10章 8ビットA/Dコンバータ (μ PD789426, 789446サブシリーズ) ... 190

10.1	8ビットA/Dコンバータの機能	...	190
10.2	8ビットA/Dコンバータの構成	...	190
10.3	8ビットA/Dコンバータを制御するレジスタ	...	193
10.4	8ビットA/Dコンバータの動作	...	195
10.4.1	8ビットA/Dコンバータの基本動作	...	195
10.4.2	入力電圧と変換結果	...	196
10.4.3	8ビットA/Dコンバータの動作モード	...	198
10.5	8ビットA/Dコンバータの注意事項	...	199

第11章 10ビットA/Dコンバータ (μ PD789436, 789456サブシリーズ) ... 203

11.1	10ビットA/Dコンバータの機能	...	203
11.2	10ビットA/Dコンバータの構成	...	203
11.3	10ビットA/Dコンバータを制御するレジスタ	...	206
11.4	10ビットA/Dコンバータの動作	...	208
11.4.1	10ビットA/Dコンバータの基本動作	...	208
11.4.2	入力電圧と変換結果	...	210

11.4.3	10ビットA/Dコンバータの動作モード	...	211
11.5	10ビットA/Dコンバータの注意事項	...	212

第12章 シリアル・インタフェース20 ... 216

12.1	シリアル・インタフェース20の機能	...	216
12.2	シリアル・インタフェース20の構成	...	216
12.3	シリアル・インタフェース20を制御するレジスタ	...	220
12.4	シリアル・インタフェース20の動作	...	228
12.4.1	動作停止モード	...	228
12.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	230
12.4.3	3線式シリアルI/Oモード	...	242

第13章 LCDコントローラ/ドライバ ... 253

13.1	LCDコントローラ/ドライバの機能	...	253
13.2	LCDコントローラ/ドライバの構成	...	253
13.3	LCDコントローラ/ドライバを制御するレジスタ	...	255
13.4	LCDコントローラ/ドライバの設定	...	259
13.5	LCD表示データ・メモリ	...	259
13.6	コモン信号とセグメント信号	...	260
13.7	表示モード	...	262
13.7.1	3時分割表示例	...	262
13.7.2	4時分割表示例	...	265
★ 13.8	LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給	...	268

第14章 割り込み機能 ... 269

14.1	割り込み機能の種類	...	269
14.2	割り込み要因と構成	...	269
14.3	割り込み機能を制御するレジスタ	...	272
14.4	割り込み処理動作	...	278
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	278
14.4.2	マスカブル割り込み要求の受け付け動作	...	280
14.4.3	多重割り込み処理	...	282
14.4.4	割り込み要求の保留	...	283

第15章 スタンバイ機能 ... 284

15.1	スタンバイ機能と構成	...	284
15.1.1	スタンバイ機能	...	284
15.1.2	スタンバイ機能を制御するレジスタ	...	285
15.2	スタンバイ機能の動作	...	286

15. 2. 1	HALTモード	...	286
15. 2. 2	STOPモード	...	289

第16章 リセット機能 ... 292

第17章 μ PD78F9436, 78F9456 ... 296

★	17. 1	フラッシュ・メモリの特徴	...	297
	17. 1. 1	プログラミング環境	...	297
	17. 1. 2	通信方式	...	298
	17. 1. 3	オンボード上の端子処理	...	301
	17. 1. 4	フラッシュ書き込み用アダプタ上の接続	...	304

第18章 マスク・オプション ... 306

第19章 命令セットの概要 ... 307

	19. 1	オペレーション	...	307
	19. 1. 1	オペランドの表現形式と記述方法	...	307
	19. 1. 2	オペレーション欄の説明	...	308
	19. 1. 3	フラグ動作欄の説明	...	308
	19. 2	オペレーション一覧	...	309
	19. 3	アドレッシング別命令一覧	...	315

★ 第20章 電気的特性 ... 318

★ 第21章 LCDコントローラ / ドライバ特性曲線 (参考値) ... 336

★ 第22章 外形図 ... 338

★ 第23章 半田付け推奨条件 ... 340

付録A 開発ツール ... 343

★	A. 1	ソフトウェア・パッケージ	...	345
	A. 2	言語処理用ソフトウェア	...	345
★	A. 3	制御ソフトウェア	...	346
	A. 4	フラッシュ・メモリ書き込み用ツール	...	346
	A. 5	デバッグ用ツール (ハードウェア)	...	347
	A. 6	デバッグ用ツール (ソフトウェア)	...	348

★ 付録B ターゲット・システム設計上の注意 ... 349

付録C レジスタ索引 ... 353

C.1 レジスタ索引（50音順） ... 353

C.2 レジスタ索引（アルファベット順） ... 355

★ 付録D 改版履歴 ... 358

図の目次 (1/6)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 47
3 - 1	メモリ・マップ (μ PD789425, 789435) ... 48
3 - 2	メモリ・マップ (μ PD789426, 789436) ... 49
3 - 3	メモリ・マップ (μ PD78F9436) ... 50
3 - 4	メモリ・マップ (μ PD789445, 789455) ... 51
3 - 5	メモリ・マップ (μ PD789446, 789456) ... 52
3 - 6	メモリ・マップ (μ PD78F9456) ... 53
3 - 7	データ・メモリのアドレッシング (μ PD789425, 789435) ... 56
3 - 8	データ・メモリのアドレッシング (μ PD789426, 789436) ... 57
3 - 9	データ・メモリのアドレッシング (μ PD78F9436) ... 58
3 - 10	データ・メモリのアドレッシング (μ PD789445, 789455) ... 59
3 - 11	データ・メモリのアドレッシング (μ PD789446, 789456) ... 60
3 - 12	データ・メモリのアドレッシング (μ PD78F9456) ... 61
3 - 13	プログラム・カウンタの構成 ... 62
3 - 14	プログラム・ステータス・ワードの構成 ... 62
3 - 15	スタック・ポインタの構成 ... 64
3 - 16	スタック・メモリへ退避されるデータ ... 64
3 - 17	スタック・メモリから復帰されるデータ ... 64
3 - 18	汎用レジスタの構成 ... 65
4 - 1	ポートの種類 (μ PD789426, 789436サブシリーズ) ... 78
4 - 2	ポートの種類 (μ PD789446, 789456サブシリーズ) ... 79
4 - 3	P00-P03のブロック図 ... 82
4 - 4	P10, P11のブロック図 ... 83
4 - 5	P20のブロック図 ... 84
4 - 6	P21, P26のブロック図 ... 85
4 - 7	P22のブロック図 ... 86
4 - 8	P23のブロック図 ... 87
4 - 9	P24のブロック図 ... 88
4 - 10	P25のブロック図 ... 89
4 - 11	P30のブロック図 ... 90
4 - 12	P31-P33のブロック図 ... 91
4 - 13	P50-P53のブロック図 ... 92
4 - 14	ポート6のブロック図 ... 93
4 - 15	P70-P72のブロック図 ... 94
4 - 16	P80, P81のブロック図 ... 95
4 - 17	P90-P97のブロック図 ... 96
4 - 18	ポート・モード・レジスタのフォーマット ... 98

図の目次 (2/6)

図番号	タイトル, ページ
4 - 19	ブルアップ抵抗オプション・レジスタ0のフォーマット ... 99
4 - 20	ブルアップ抵抗オプション・レジスタB2のフォーマット ... 100
4 - 21	ブルアップ抵抗オプション・レジスタB3のフォーマット ... 100
4 - 22	ブルアップ抵抗オプション・レジスタB7のフォーマット ... 101
4 - 23	ブルアップ抵抗オプション・レジスタB8のフォーマット ... 101
4 - 24	ブルアップ抵抗オプション・レジスタB9のフォーマット ... 102
5 - 1	クロック発生回路のブロック図 ... 105
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 107
5 - 3	サブ発振モード・レジスタのフォーマット ... 108
5 - 4	サブクロック・コントロール・レジスタのフォーマット ... 109
5 - 5	メイン・システム・クロック発振回路（クリスタル/セラミック発振）の外付け回路 ... 110
5 - 6	メイン・システム・クロック発振回路（RC発振）の外付け回路 ... 111
5 - 7	サブシステム・クロック発振回路の外付け回路 ... 111
5 - 8	クリスタル/セラミック発振時の接続の悪い例 ... 112
5 - 9	RC発振時の接続の悪い例 ... 114
5 - 10	システム・クロックとCPUクロックの切り替え（クリスタル/セラミック発振） ... 119
5 - 11	システム・クロックとCPUクロックの切り替え（RC発振） ... 120
6 - 1	16ビット・タイマ90のブロック図 ... 122
6 - 2	16ビット・タイマ・モード・コントロール・レジスタ90のフォーマット ... 125
6 - 3	ブザー出力コントロール・レジスタ90のフォーマット ... 126
6 - 4	ポート・モード・レジスタ2,3のフォーマット ... 127
6 - 5	タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容 ... 128
6 - 6	タイマ割り込み動作のタイミング ... 129
6 - 7	タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容 ... 130
6 - 8	タイマ出力のタイミング ... 130
6 - 9	キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容 ... 131
6 - 10	キャプチャ動作のタイミング（CPT90端子の両エッジ指定時） ... 131
6 - 11	16ビット・タイマ・カウンタ90の読み出しのタイミング ... 132
6 - 12	ブザー出力動作時のブザー出力コントロール・レジスタ90の設定内容 ... 133
7 - 1	タイマ50のブロック図 ... 140
7 - 2	タイマ60のブロック図 ... 141
7 - 3	出力制御回路（タイマ60）のブロック図 ... 142
7 - 4	8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット ... 146
7 - 5	8ビット・タイマ・モード・コントロール・レジスタ60のフォーマット ... 148
7 - 6	キャリア・ジェネレータ出力コントロール・レジスタ60のフォーマット ... 149
7 - 7	ポート・モード・レジスタ3のフォーマット ... 150

図の目次 (3/6)

図番号	タイトル, ページ
7 - 8	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 153
7 - 9	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時) ... 153
7 - 10	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時) ... 154
7 - 11	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N < M) 変更時) ... 154
7 - 12	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N > M) 変更時) ... 155
7 - 13	8ビット分解能のインターバル・タイマ動作のタイミング (タイマ50のカウント・クロックにタイマ60一致信号選択時) ... 155
7 - 14	8ビット分解能の外部イベント・カウンタ動作のタイミング ... 156
7 - 15	8ビット分解能の方形波出力のタイミング ... 158
7 - 16	16ビット分解能のインターバル・タイマ動作のタイミング ... 161
7 - 17	16ビット分解能の外部イベント・カウンタ動作のタイミング ... 163
7 - 18	16ビット分解能の方形波出力のタイミング ... 166
7 - 19	キャリア・ジェネレータの動作タイミング (CR60 = N, CRH = M (M > N) 設定時) ... 169
7 - 20	キャリア・ジェネレータの動作タイミング (CR60 = N, CRH = M (M < N) 設定時) ... 170
7 - 21	キャリア・ジェネレータの動作タイミング (CR60 = CRH60 = N設定時) ... 171
7 - 22	PWMフリー・ランニング・モード動作時の動作タイミング (立ち上がりエッジ選択時) ... 173
7 - 23	CR50書き換え時の動作タイミング (立ち上がりエッジ選択時) ... 173
7 - 24	PWMフリー・ランニング・モード動作時の動作タイミング (両エッジ選択時) ... 174
7 - 25	PWMフリー・ランニング・モード動作時の動作タイミング (両エッジ選択時) (CR50を書き換えた場合) ... 175
7 - 26	PWMパルス・ジェネレータ・モードのタイミング (基本動作) ... 177
7 - 27	PWMパルス・ジェネレータ・モードのタイミング (CR60, CRH60を書き換えた場合) ... 177
7 - 28	8ビット・タイマ・カウンタのスタート・タイミング ... 178
7 - 29	外部イベント・カウンタとしての動作時のタイミング (8ビット分解能時) ... 178
8 - 1	時計用タイマのブロック図 ... 179
8 - 2	時計用タイマ・モード・コントロール・レジスタのフォーマット ... 181
8 - 3	時計用タイマ/インターバル・タイマの動作タイミング ... 183
9 - 1	ウォッチドッグ・タイマのブロック図 ... 185
9 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 186
9 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 187
10 - 1	8ビットA/Dコンバータのブロック図 ... 191
10 - 2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 193
10 - 3	アナログ入力チャネル指定レジスタ0のフォーマット ... 194
10 - 4	8ビットA/Dコンバータの基本動作 ... 196
10 - 5	アナログ入力電圧とA/D変換結果の関係 ... 197
10 - 6	ソフトウエア・スタートによるA/D変換動作 ... 198
10 - 7	スタンバイ・モード時の消費電流を低減させる方法例 ... 199

図の目次 (4/6)

図番号	タイトル, ページ
10 - 8	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 200
10 - 9	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 200
10 - 10	アナログ入力端子の処理 ... 201
10 - 11	A/D変換終了割り込み要求発生タイミング ... 202
10 - 12	AV _{DD} 端子の処理 ... 202
11 - 1	10ビットA/Dコンバータのブロック図 ... 204
11 - 2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 206
11 - 3	アナログ入力チャンネル指定レジスタ0のフォーマット ... 207
11 - 4	10ビットA/Dコンバータの基本動作 ... 209
11 - 5	アナログ入力電圧とA/D変換結果の関係 ... 210
11 - 6	ソフトウェア・スタートによるA/D変換動作 ... 211
11 - 7	スタンバイ・モード時の消費電流を低減させる方法例 ... 212
11 - 8	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 213
11 - 9	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 213
11 - 10	アナログ入力端子の処理 ... 214
11 - 11	A/D変換終了割り込み要求発生タイミング ... 215
11 - 12	AV _{DD} 端子の処理 ... 215
12 - 1	シリアル・インタフェース20のブロック図 ... 217
12 - 2	ポー・レート・ジェネレータ20のブロック図 ... 218
12 - 3	シリアル動作モード・レジスタ20のフォーマット ... 221
12 - 4	アシンクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット ... 222
12 - 5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット ... 224
12 - 6	ポー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット ... 225
12 - 7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 236
12 - 8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 238
12 - 9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 239
12 - 10	受信エラー・タイミング ... 240
12 - 11	3線式シリアルI/Oモードのタイミング ... 246
13 - 1	LCDコントローラ/ドライバのブロック図 ... 254
13 - 2	LCD表示モード・レジスタ0のフォーマット ... 256
13 - 3	LCDクロック制御レジスタ0のフォーマット ... 257
13 - 4	LCD昇圧制御レジスタ0のフォーマット ... 258
13 - 5	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 (μPD789446, 789456サブシリーズの場合) ... 259
13 - 6	コモン信号波形 ... 261
13 - 7	コモン信号とセグメント信号の電圧と位相 ... 261

図の目次 (5/6)

図番号	タイトル, ページ
13 - 8	3時分割LCD表示パターンと電極結線 ... 262
13 - 9	3時分割LCDパネルの結線例 ... 263
13 - 10	3時分割LCD駆動波形例 ... 264
13 - 11	4時分割LCD表示パターンと電極結線 ... 265
13 - 12	4時分割LCDパネルの結線例 ... 266
13 - 13	4時分割LCD駆動波形例 ... 267
13 - 14	LCDドライバ用端子接続例 ... 268
14 - 1	割り込み機能の基本構成 ... 271
14 - 2	割り込み要求フラグ・レジスタのフォーマット ... 273
14 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 274
14 - 4	外部割り込みモード・レジスタ0のフォーマット ... 275
14 - 5	外部割り込みモード・レジスタ1のフォーマット ... 276
14 - 6	プログラム・ステータス・ワードの構成 ... 276
14 - 7	キー・リターン・モード・レジスタ00のフォーマット ... 277
14 - 8	立ち上がりエッジの検出回路のブロック図 ... 277
14 - 9	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 279
14 - 10	ノンマスクابل割り込み要求の受け付けタイミング ... 279
14 - 11	ノンマスクابل割り込み要求の受け付け動作 ... 279
14 - 12	割り込み要求受け付け処理アルゴリズム ... 280
14 - 13	割り込み要求の受け付けタイミング (MOV A, rの例) ... 281
14 - 14	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 281
14 - 15	多重割り込みの例 ... 282
15 - 1	発振安定時間選択レジスタのフォーマット ... 285
15 - 2	HALTモードの割り込み発生による解除 ... 287
15 - 3	HALTモードのRESET入力による解除 ... 288
15 - 4	STOPモードの割り込み発生による解除 ... 290
15 - 5	STOPモードのRESET入力による解除 ... 291
16 - 1	リセット機能のブロック図 ... 292
16 - 2	RESET入力によるリセット・タイミング ... 293
16 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 293
16 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 293
17 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 297
17 - 2	通信方式選択フォーマット ... 298
17 - 3	専用フラッシュ・ライタとの接続例 ... 299
17 - 4	V _{PP} 端子の接続例 ... 301

図の目次（6/6）

図番号	タイトル, ページ
17 - 5	信号の衝突（シリアル・インタフェースの入力端子） ... 302
17 - 6	ほかのデバイスの異常動作 ... 302
17 - 7	信号の衝突（ $\overline{\text{RESET}}$ 端子） ... 303
17 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 304
17 - 9	UART方式でのフラッシュ書き込み用アダプタ配線例 ... 305
A - 1	開発ツール構成 ... 344
B - 1	インサークット・エミュレータから変換アダプタまでの距離（64GBの場合） ... 349
B - 2	ターゲット・システムの接続条件（NP-64GB-TQの場合） ... 350
B - 3	ターゲット・システムの接続条件（NP-H64GB-TQの場合） ... 350
B - 4	インサークット・エミュレータから変換アダプタまでの距離（64GKの場合） ... 351
B - 5	ターゲット・システムの接続条件（NP-64GKの場合） ... 351
B - 6	ターゲット・システムの接続条件（NP-H64GK-TQの場合） ... 352

表の目次 (1/3)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 46
3 - 1	内部ROM容量 ... 54
3 - 2	ベクタ・テーブル ... 54
3 - 3	LCD表示用RAM容量 ... 55
3 - 4	特殊機能レジスタ一覧 ... 67
4 - 1	ポートの機能 ... 80
4 - 2	ポートの構成 ... 81
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 99
5 - 1	クロック発生回路の構成 ... 104
5 - 2	CPUクロックの切り替えに要する最大時間 (クリスタル/セラミック発振選択時) ... 118
5 - 3	CPUクロックの切り替えに要する最大時間 (RC発振選択時) ... 118
6 - 1	16ビット・タイマ90の構成 ... 121
6 - 2	16ビット・タイマ90のインターバル時間 ... 128
6 - 3	キャプチャ・エッジの設定内容 ... 131
6 - 4	16ビット・タイマ90のブザー周波数 ... 133
7 - 1	モード一覧 ... 138
7 - 2	8ビット・タイマ/イベント・カウンタの構成 ... 139
7 - 3	タイマ50のインターバル時間 ... 152
7 - 4	タイマ60のインターバル時間 ... 152
7 - 5	タイマ50の方形波出力範囲 (fx = 5.0 MHz動作時) ... 157
7 - 6	タイマ60の方形波出力範囲 (fx = 5.0 MHz動作時) ... 158
7 - 7	16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時) ... 160
7 - 8	16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時) ... 165
8 - 1	インターバル・タイマのインターバル時間 ... 180
8 - 2	時計用タイマの構成 ... 180
8 - 3	インターバル・タイマのインターバル時間 ... 182
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 184
9 - 2	インターバル時間 ... 184
9 - 3	ウォッチドッグ・タイマの構成 ... 185
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 188
9 - 5	インターバル・タイマのインターバル時間 ... 189

表の目次 (2/3)

表番号	タイトル, ページ
10 - 1	8ビットA/Dコンバータの構成 ... 190
11 - 1	10ビットA/Dコンバータの構成 ... 203
12 - 1	シリアル・インタフェース20の構成 ... 216
12 - 2	シリアル・インタフェース20の動作モードの設定一覧 ... 223
12 - 3	システム・クロックとボー・レートの関係例 ... 226
12 - 4	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) ... 227
12 - 5	システム・クロックとボー・レートの関係例 ... 235
12 - 6	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) ... 235
12 - 7	受信エラーの要因 ... 240
13 - 1	セグメント出力本数と最大表示画素数 ... 253
13 - 2	LCDコントローラ / ドライバの構成 ... 253
13 - 3	フレーム周波数 (Hz) ... 257
13 - 4	COM信号 ... 260
13 - 5	選択, 非選択電圧 (COM0-COM2) ... 262
13 - 6	選択, 非選択電圧 (COM0-COM3) ... 265
13 - 7	V _{LC0} -V _{LC2} 端子の出力電圧 ... 268
14 - 1	割り込み要因一覧 ... 270
14 - 2	割り込み要求信号名に対する各種フラグ ... 272
14 - 3	マスカブル割り込み要求発生から処理までの時間 ... 280
15 - 1	HALTモード時の動作状態 ... 286
15 - 2	HALTモードの解除後の動作 ... 288
15 - 3	STOPモード時の動作状態 ... 289
15 - 4	STOPモードの解除後の動作 ... 291
16 - 1	各ハードウェアのリセット後の状態 ... 294
17 - 1	μPD78F9436, 78F9456とマスクROM製品の違い ... 296
17 - 2	通信方式一覧 ... 298
17 - 3	端子接続一覧 ... 300
19 - 1	オペランドの表現形式と記述方法 ... 307
23 - 1	表面実装タイプの半田付け条件 ... 340

表の目次（3/3）

表番号	タイトル, ページ
B - 1	IEシステムから変換アダプタまでの距離 ... 349

第1章 概 説

1.1 特 徴

○ ROM, RAM容量

品 名 \ 項 目	プログラム・メモリ		データ・メモリ	
			内部高速RAM	LCD表示用RAM
μ PD789425, 789435	マスクROM	12 Kバイト	512バイト	5バイト
μ PD789426, 789436		16 Kバイト		
μ PD78F9436	フラッシュ・メモリ			15バイト
μ PD789445, 789455	マスクROM	12 Kバイト		
μ PD789446, 789456		16 Kバイト		
μ PD78F9456	フラッシュ・メモリ			

- ★ ○ マスク・オプションにより，発振回路にクリスタル／セラミック発振またはRC発振を選択可能
- 高速（0.4 μ s：メイン・システム・クロック5.0 MHz動作時）から超低速（122 μ s：サブシステム・クロック32.768 kHz動作時）に最小命令実行時間を変更可能（クリスタル／セラミック発振時）
- ★ ○ 高速（0.5 μ s：メイン・システム・クロック4.0 MHz動作時）から超低速（122 μ s：サブシステム・クロック32.768 kHz動作時）に最小命令実行時間を変更可能（RC発振時）
- I/Oポート：40本（ μ PD789426, 789436サブシリーズ）
：30本（ μ PD789446, 789456サブシリーズ）
- タイマ：5チャンネル
 - ・ 16ビット・タイマ：1チャンネル
 - ・ 8ビット・タイマ：2チャンネル
 - ・ 時計用タイマ：1チャンネル
 - ・ ウォッチドッグ・タイマ：1チャンネル
- A/Dコンバータ
 - 8ビット分解能：6チャンネル（ μ PD789426, 789446サブシリーズ）
 - 10ビット分解能：6チャンネル（ μ PD789436, 789456サブシリーズ）
- シリアル・インタフェース：1チャンネル
- LCDコントローラ／ドライバ
 - セグメント信号：5本，コモン信号：4本（ μ PD789426, 789436サブシリーズ）
 - セグメント信号：15本，コモン信号：4本（ μ PD789446, 789456サブシリーズ）
- ベクタ割り込み要因：15
- 電源電圧：V_{DD} = 1.8 ~ 5.5 V
- 動作周囲温度：T_A = - 40 ~ + 85

1.2 応用分野

ポータブル・オーディオ，カメラ，健康機器など

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789425GK- x x x -9ET	64ピン・プラスチックTQFP (ファインピッチ) (12×12)	マスクROM
μPD789426GK- x x x -9ET	"	"
μPD789435GK- x x x -9ET	"	"
μPD789436GK- x x x -9ET	"	"
μPD789445GK- x x x -9ET	"	"
μPD789446GK- x x x -9ET	"	"
μPD789455GK- x x x -9ET	"	"
μPD789456GK- x x x -9ET	"	"
μPD789425GB- x x x -8EU	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	"
μPD789426GB- x x x -8EU	"	"
μPD789435GB- x x x -8EU	"	"
μPD789436GB- x x x -8EU	"	"
μPD789445GB- x x x -8EU	"	"
μPD789446GB- x x x -8EU	"	"
μPD789455GB- x x x -8EU	"	"
μPD789456GB- x x x -8EU	"	"
μPD78F9436GK-9ET	64ピン・プラスチックTQFP (ファインピッチ) (12×12)	フラッシュ・メモリ
μPD78F9456GK-9ET	"	"
μPD78F9436GB-8EU	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	"
μPD78F9456GB-8EU	"	"
μPD789425GK- x x x -9ET-A	64ピン・プラスチックTQFP (ファインピッチ) (12×12)	マスクROM
μPD789426GK- x x x -9ET-A	"	"
μPD789435GK- x x x -9ET-A	"	"
μPD789436GK- x x x -9ET-A	"	"
μPD789445GK- x x x -9ET-A	"	"
μPD789446GK- x x x -9ET-A	"	"
μPD789455GK- x x x -9ET-A	"	"
μPD789456GK- x x x -9ET-A	"	"
μPD789425GB- x x x -8EU-A	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	"
μPD789426GB- x x x -8EU-A	"	"
μPD789435GB- x x x -8EU-A	"	"
μPD789436GB- x x x -8EU-A	"	"
μPD789445GB- x x x -8EU-A	"	"
μPD789446GB- x x x -8EU-A	"	"
μPD789455GB- x x x -8EU-A	"	"
μPD789456GB- x x x -8EU-A	"	"
μPD78F9436GK-9ET-A	64ピン・プラスチックTQFP (ファインピッチ) (12×12)	フラッシュ・メモリ
μPD78F9456GK-9ET-A	"	"
μPD78F9436GB-8EU-A	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	"
μPD78F9456GB-8EU-A	"	"

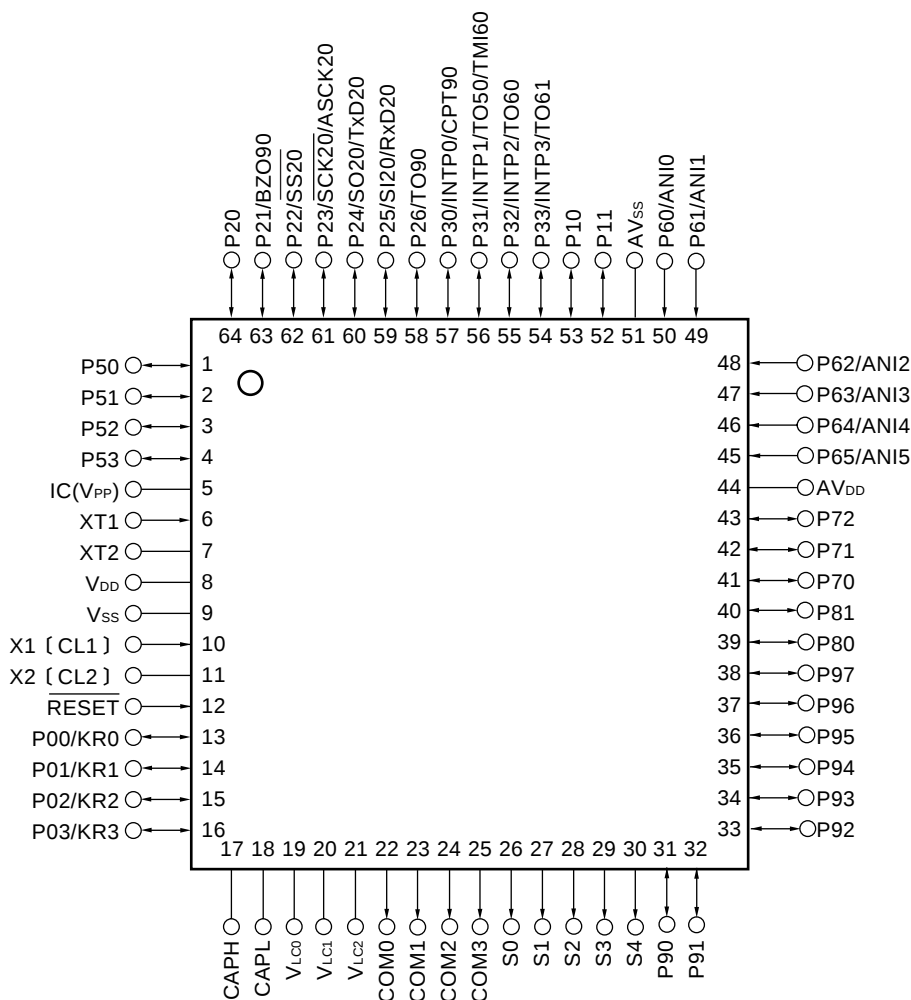
備考1. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2. x x x はROMコード番号です。

1.4 端子接続図 (Top View)

1.4.1 μ PD789426, 789436サブシリーズの端子接続図 (Top View)

- ★ ・ 64ピン・プラスチックTQFP (ファインピッチ) (12×12)
- | | | |
|------------------------------|--------------------------------|-------------------------|
| μ PD789425GK- × × × -9ET | μ PD789425GK- × × × -9ET-A | μ PD78F9436GK-9ET |
| μ PD789426GK- × × × -9ET | μ PD789426GK- × × × -9ET-A | μ PD78F9436GK-9ET-A |
| μ PD789435GK- × × × -9ET | μ PD789435GK- × × × -9ET-A | |
| μ PD789436GK- × × × -9ET | μ PD789436GK- × × × -9ET-A | |
- ★ ・ 64ピン・プラスチックLQFP (ファインピッチ) (10×10)
- | | | |
|------------------------------|--------------------------------|-------------------------|
| μ PD789425GB- × × × -8EU | μ PD789425GB- × × × -8EU-A | μ PD78F9436GB-8EU |
| μ PD789426GB- × × × -8EU | μ PD789426GB- × × × -8EU-A | μ PD78F9436GB-8EU-A |
| μ PD789435GB- × × × -8EU | μ PD789435GB- × × × -8EU-A | |
| μ PD789436GB- × × × -8EU | μ PD789436GB- × × × -8EU-A | |



注意1．IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2．AV_{DD}端子はV_{DD}に接続してください。

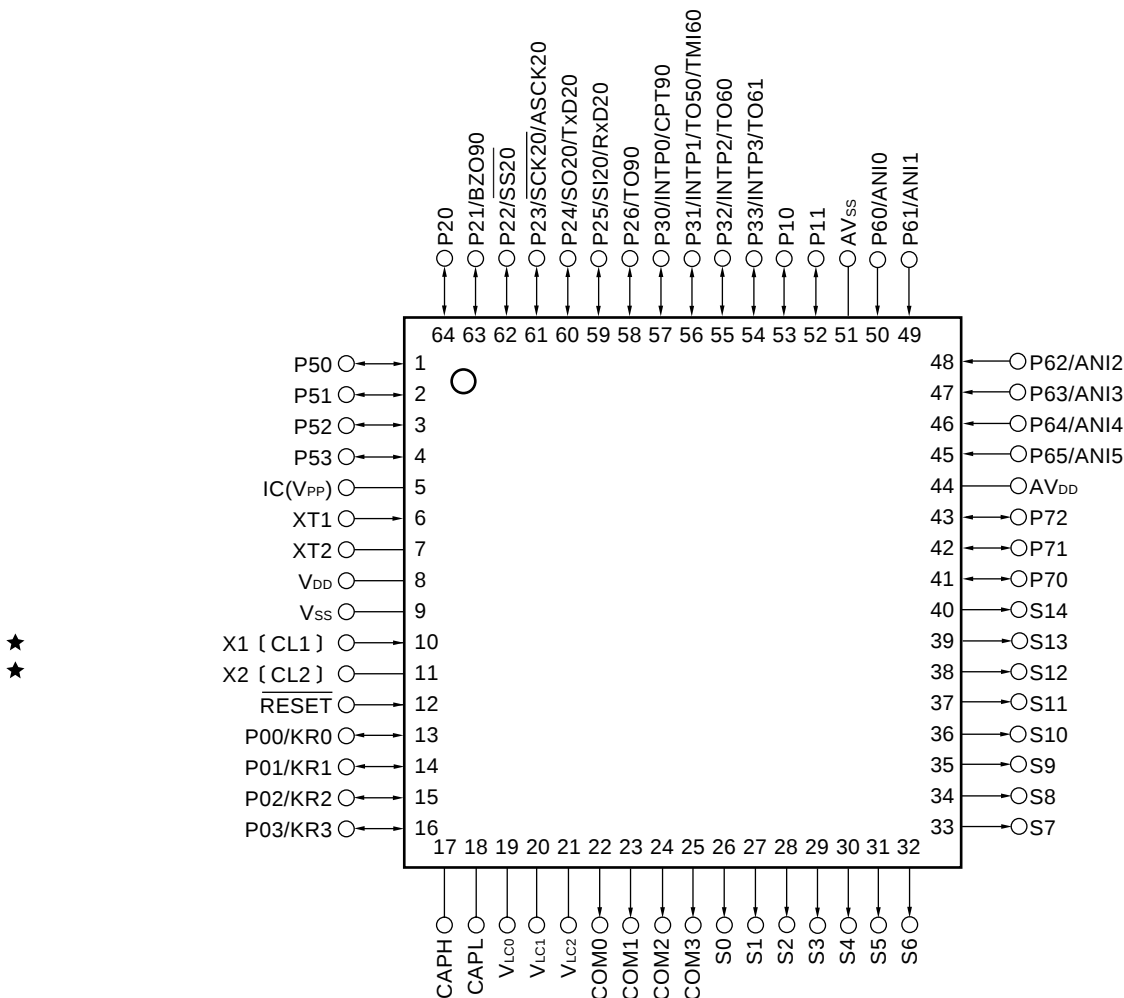
3．AV_{SS}端子はV_{SS}に接続してください。

備考1．() 内は, μ PD78F9436の場合

2．[] 内は, RC発振 (マスク・オプション) の場合

1. 4. 2 μ PD789446, 789456サブシリーズの端子接続図 (Top View)

- ★ ・ 64ピン・プラスチックTQFP (ファインピッチ) (12×12)
- | | | |
|------------------------------|--------------------------------|-------------------------|
| μ PD789445GK- × × × -9ET | μ PD789445GK- × × × -9ET-A | μ PD78F9456GK-9ET |
| μ PD789446GK- × × × -9ET | μ PD789446GK- × × × -9ET-A | μ PD78F9456GK-9ET-A |
| μ PD789455GK- × × × -9ET | μ PD789455GK- × × × -9ET-A | |
| μ PD789456GK- × × × -9ET | μ PD789456GK- × × × -9ET-A | |
- ★ ・ 64ピン・プラスチックLQFP (ファインピッチ) (10×10)
- | | | |
|------------------------------|--------------------------------|-------------------------|
| μ PD789445GB- × × × -8EU | μ PD789445GB- × × × -8EU-A | μ PD78F9456GB-8EU |
| μ PD789446GB- × × × -8EU | μ PD789446GB- × × × -8EU-A | μ PD78F9456GB-8EU-A |
| μ PD789455GB- × × × -8EU | μ PD789455GB- × × × -8EU-A | |
| μ PD789456GB- × × × -8EU | μ PD789456GB- × × × -8EU-A | |



注意1 . IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

備考1 . () 内は , μ PD78F9456の場合

2 . [] 内は , RC発振 (マスク・オプション) の場合

端子名称

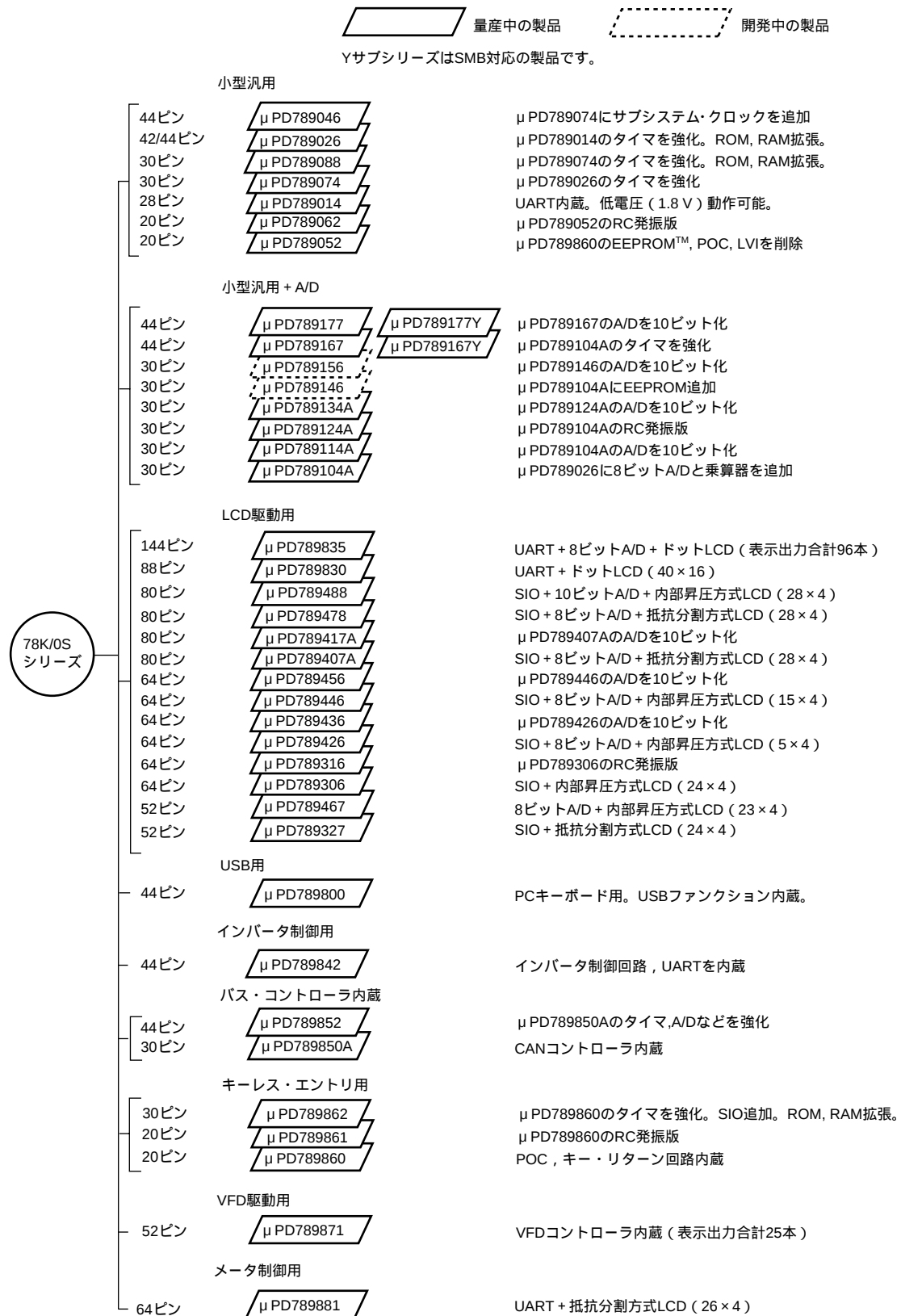
ANI0-ANI5	: Analog input	P80, P81 ^{注1}	: Port8
ASCK20	: Asynchronous Serial Input	P90-P97 ^{注1}	: Port9
AV _{DD}	: Analog Power Supply	$\overline{\text{RESET}}$	: Reset
AV _{SS}	: Analog Ground	RxD20	: Receive Data
BZO90	: Buzzer output	$\overline{\text{SS20}}$	: Serial Chip Select
CAPH, CAPL	: LCD Power Supply Capacitance Control	S0-S4, S5-S14 ^{注2}	: Segment Output
★ CL1, CL2	: RC Oscillator (Main System Clock)	$\overline{\text{SCK20}}$	: Serial Clock
COM0-COM3	: Common Output	SI20	: Serial Input
CPT90	: Capture Trigger Input	SO20	: Serial Output
IC	: Internally Connected	TMI60	: Timer Input
INTP0-INTP3	: External Interrupt Input	TO90, TO50, TO60,	
KR0-KR3	: Key Return	TO61	: Timer Output
P00-P03	: Port0	TxD20	: Transmit Data
P10, P11	: Port1	V _{DD}	: Power Supply
P20-P26	: Port2	V _{LC0-V_{LC2}}	: LCD Power Supply
P30-P33	: Port3	V _{PP}	: Programming Power Supply
P50-P53	: Port5	V _{SS}	: Ground
P60-P65	: Port6	X1, X2	: Crystal (Main System Clock)
P70-P72	: Port7	XT1, XT2	: Crystal (Subsystem Clock)

注1 . μ PD789426, 789436サブシリーズのみ

2 . μ PD789446, 789456サブシリーズのみ

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit A/D	10-bit A/D	シリアル・ インタフェース	I/O	V _{DD} 最小値	備考
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K			-							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789014	2 K-4 K	2 ch	-						22本		
	μPD789062	4 K							-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789156	8 K-16 K	1 ch		-		-	4 ch		20本		EEPROM内蔵
	μPD789146						4 ch	-				
	μPD789134A	2 K-8 K					-	4 ch				RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789488	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789478	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

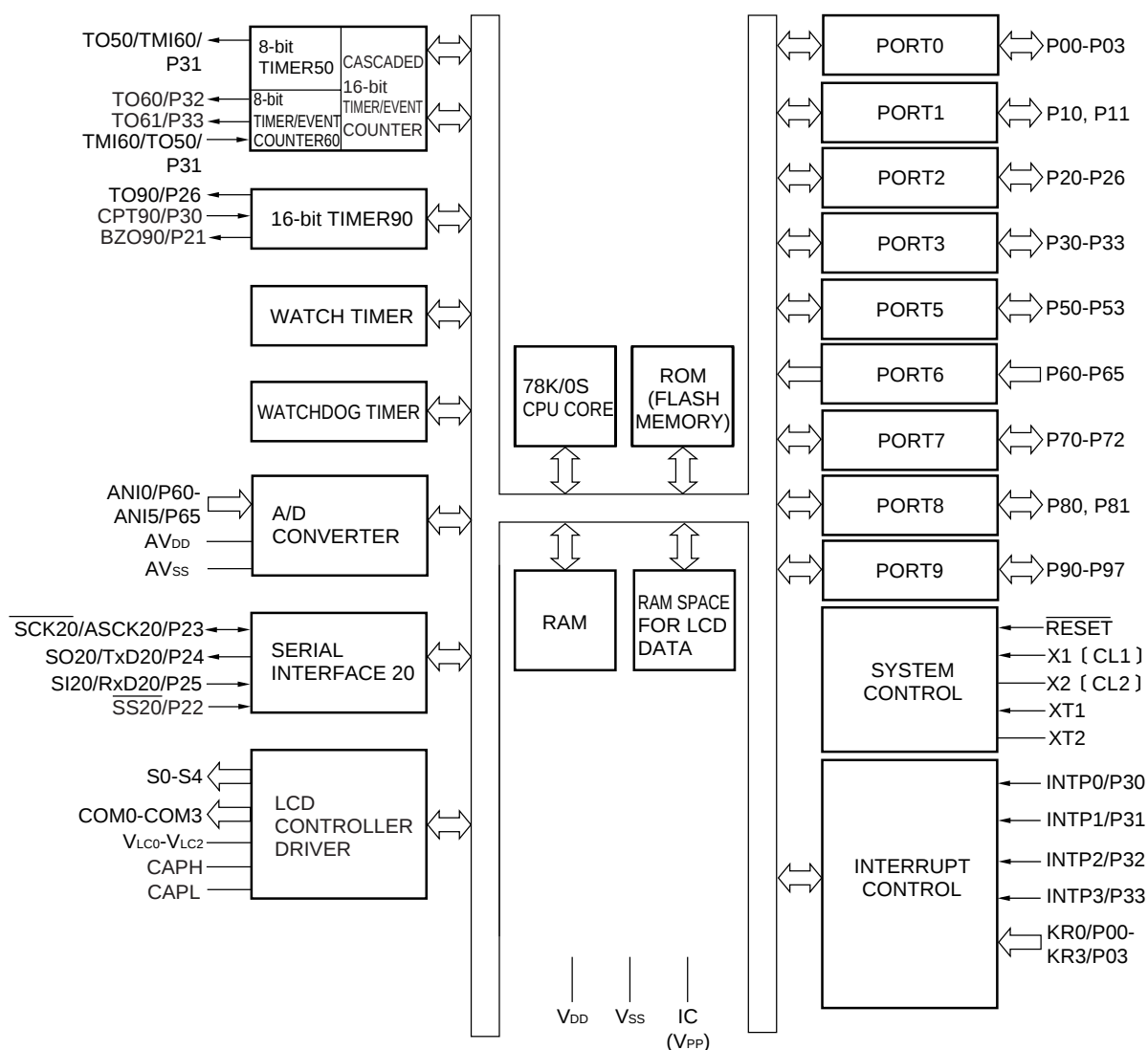
機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μ PD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μ PD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μ PD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μ PD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キーレス ・エント リ用 μ PD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵
μ PD789860											EEPROM内蔵
μ PD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用 μ PD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μ PD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ：1チャンネル

2. フラッシュ・メモリ版：3.0 V

1.6 ブロック図

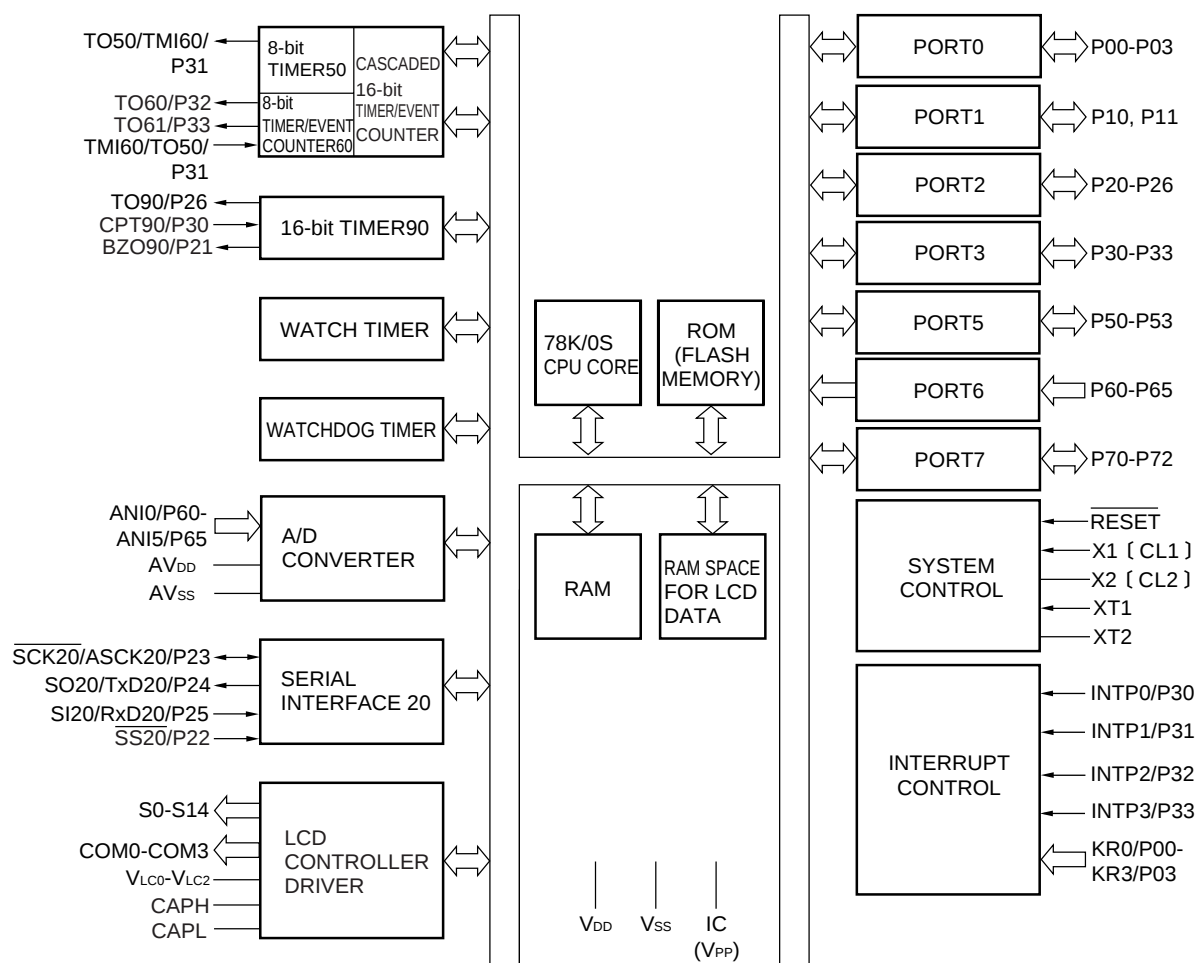
1.6.1 μ PD789426, 789436サブシリーズのブロック図



備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μ PD78F9436の場合

3. [] 内は, RC発振 (マスク・オプション) の場合

1. 6. 2 μ PD789446, 789456サブシリーズのブロック図

備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μ PD78F9456の場合

3. [] 内は, RC発振 (マスク・オプション) の場合

1.7 機能概要

項 目		μ PD789425, 789435	μ PD789426, 789436	μ PD78F9436	μ PD789445, 789455	μ PD789446, 789456	μ PD78F9456
内部メモリ	ROM	マスクROM		フラッシュ・メモリ	マスクROM		フラッシュ・メモリ
		12 Kバイト	16 Kバイト		12 Kバイト	16 Kバイト	
	高速RAM	512バイト					
	LCD表示用RAM	5バイト			15バイト		
最小命令実行時間	クリスタル / セラミック発振	0.4 μs / 1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)					
	RC発振 ^注	0.5 μs / 2.0 μs (メイン・システム・クロック : 4.0 MHz動作時)					
		122 μs (サブシステム・クロック : 32.768 kHz動作時)					
汎用レジスタ		8ビット×8レジスタ					
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など					
I/Oポート		合計 : 40本			合計 : 30本		
		・ CMOS入出力 : 30本			・ CMOS入出力 : 20本		
		・ CMOS入力 : 6本			・ CMOS入力 : 6本		
		・ N-chオープン・ドレイン : 4本			・ N-chオープン・ドレイン : 4本		
タイマ		・ 16ビット・タイマ : 1チャンネル ・ 8ビット・タイマ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル					
A/Dコンバータ		・ 8ビット分解能×6チャンネル : μ PD789426, 789446サブシリーズ ・ 10ビット分解能×6チャンネル : μ PD789436, 789456サブシリーズ					
シリアル・インタフェース		3線式シリアルI/Oモード / UARTモード切り替え可能 : 1チャンネル					
LCDコントローラ / ドライバ		・ セグメント信号出力 : 最大5本 ・ コモン信号出力 : 最大4本			・ セグメント信号出力 : 最大15本 ・ コモン信号出力 : 最大4本		
ベクタ割り込み	マスカブル	内部 : 9, 外部 : 5					
要因	ノンマスカブル	内部 : 1					
電源電圧		V _{DD} = 1.8 ~ 5.5 V					
動作周囲温度		T _A = - 40 ~ + 85					
パッケージ		・ 64ピン・プラスチックTQFP (ファインピッチ) (12×12) ・ 64ピン・プラスチックLQFP (ファインピッチ) (10×10)					

★ 注 マスク・オプションにて選択可能。μ PD78F9436, 78F9456ではRC発振不可。

次にタイマの概要を示します。

		16ビット・ タイマ	8ビット・タイマ50	8ビット・タイマ60	時計用タイマ	ウォッチドッ グ・タイマ
動作モード	インターバル・ タイマ	-	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・ カウンタ	-	-	1チャンネル	-	-
機能	タイマ出力	1出力	1出力	2出力	-	-
	方形波出力	-	1出力	2出力	-	-
	キャプチャ	1入力	-	-	-	-
	割り込み要因	1	1	1	2	2

注1．時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2．ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) または、キー・リターン・モード・レジスタ00 (KRM00) の設定により、内蔵プルアップ抵抗を使用可能。	入力	KR0-KR3
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P21				BZO90
P22				SS20
P23				SCK20/ASCK20
P24				SO20/TxD20
P25				SI20/RxD20
P26				TO90
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) の設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/CPT90
P31				INTP1/TO50/TMI60
P32				INTP2/TO60
P33				INTP3/TO61
P50-P53	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P65	入力	ポート6。 6ビット入力ポート。	入力	ANI0-ANI5
P70-P72	入出力	ポート7 3ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB7 (PUB7) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P80, P81 ^注	入出力	ポート8 2ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB8 (PUB8) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P90-P97 ^注	入出力	ポート9 8ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB9 (PUB9) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-

注 μ PD789426, 789436サブシリーズのみ

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がり の両エッジ）指定可能な外部割り込み入力	入力	P30/CPT90
INTP1				P31/TO50/TMI60
INTP2				P32/TO60
INTP3				P33/TO61
KR0-KR3	入力	キー・リターン信号検出	入力	P00-P03
SS20	入力	シリアル・インタフェース（SIO20）のチップ・セレクト	入力	P22
SCK20	入出力	シリアル・インタフェース（SIO20）のシリアル・クロック入力 ／出力	入力	P23/ASCK20
SI20	入力	SIO20のシリアル・インタフェースのシリアル・データ入力	入力	P25/RxD20
SO20	出力	SIO20のシリアル・インタフェースのシリアル・データ出力	入力	P24/TxD20
ASCK20	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック 入力	入力	P23/SCK20
RxD20	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P25/SI20
TxD20	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P24/SO20
TO90	出力	16ビット・タイマ（TM90）出力	入力	P26
CPT90	入力	キャプチャ・エッジ入力	入力	P30/INTP0
TO50	出力	8ビット・タイマ（TM50）出力	入力	P31/INTP1/TMI60
TO60	出力	8ビット・タイマ（TM60）出力	入力	P32/INTP2
TO61	出力		入力	P33/INTP3
TMI60	入力	8ビット・タイマ（TM60）への外部カウント・クロック入力	入力	P31/INTP1/TO50
ANI0-ANI5	入力	A/Dコンバータのアナログ入力	入力	P60-P65
S0-S4	出力	LCDコントローラ / ドライバのセグメント信号出力	出力	-
S5-S14 ^{注1}	出力		出力	-
COM0-COM3	出力	LCDコントローラ / ドライバのコモン信号出力	出力	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
CAPH	-	LCD駆動用コンデンサ接続端子	-	-
CAPL	-		-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
★ CL1 ^{注2}	入力	メイン・システム・クロック発振用抵抗（R），コンデンサ（C） 接続	-	-
★ CL2 ^{注2}	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	グランド電位	-	-
AV _{DD}	-	A/Dコンバータのアナログ電位	-	-
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み / ベリファイ時の高電圧印加。	-	-

注1．μPD789446, 789456サブシリーズのみ

2．RC発振（マスク・オプション）の場合のみ

2.2 端子機能の説明

2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。入出力ポートのほかに、キー・リターン信号検出機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗をポート単位で使用できます

(2) コントロール・モード

キー・リターン信号検出端子 (KR0-KR3) として機能します。

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.3 P20-P26 (Port 2)

7ビット入出力ポートです。入出力ポートのほかにブザー出力、タイマ出力、シリアル・インタフェースのデータ入出力、シリアル・クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

ブザー出力、タイマ出力、シリアル・インタフェースのデータ入出力、シリアル・クロック入出力として機能します。

(a) BZO90

16ビット・タイマ90のブザー出力端子です。

(b) TO90

16ビット・タイマ90のタイマ出力端子です。

(c) SI20, SO20

シリアル・インタフェースのシリアル・データの入出力端子です。

(d) $\overline{\text{SCK20}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(e) RxD20, TxD20

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(f) ASCK20

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表12-2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

2.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) の設定により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み入力として機能します。

(a) TMI60

タイマ60への外部クロック入力端子です。

(b) TO50, TO60, TO61

タイマ50、タイマ60のタイマ出力端子です。

(c) CPT90

16ビット・タイマ90のキャプチャ・エッジ入力端子です。

(d) INTP0-INTP3

有効エッジ (立ち上がりエッジ、立ち下がりエッジ、立ち上がり立ち下がり両エッジ) 指定可能な外部割り込み入力端子です。

2.2.5 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵をビット単位で指定可能です。

2.2.6 P60-P65 (Port 6)

6ビットの入力専用ポートです。汎用入力ポートのほかに、A/Dコンバータ入力機能があります。

(1) ポート・モード

6ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI5) として機能します。

2.2.7 P70-P72 (Port 7)

3ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB7 (PUB7) の設定により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.8 P80, P81 (Port 8)^注

2ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB8 (PUB8) の設定により、内蔵プルアップ抵抗をポート単位で使用できます。

注 μ PD789426, 789436サブシリーズのみ

2.2.9 P90-P97 (Port 9)^注

8ビットの入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB9 (PUB9) の設定により、内蔵プルアップ抵抗をポート単位で使用できます。

注 μ PD789426, 789436サブシリーズのみ

2.2.10 S0-S14^注

LCDコントローラ / ドライバのセグメント信号出力端子です。

注 μ PD789426, 789436サブシリーズの場合、S0-S4になります。

2.2.11 COM0-COM3

LCDコントローラ / ドライバのコモン信号出力端子です。

2.2.12 VLC0-VLC2

LCD駆動用電源電圧端子です。

2.2.13 CAPH, CAPL

LCD駆動用コンデンサ接続端子です。

2. 2. 14 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2. 2. 15 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

★ 2. 2. 16 CL1, CL2 (RC発振 (マスク・オプション) の場合のみ)

RC発振 (マスク・オプション) を選択した場合のメイン・システム・クロック発振用抵抗 (R)、コンデンサ (C) 接続端子です。外部クロックを供給するときは、CL1に入力し、CL2はオープンにしてください。

2. 2. 17 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2. 2. 18 V_{DD}

正電源供給端子です。

2. 2. 19 V_{SS}

グランド電位端子です。

2. 2. 20 V_{PP} (μ PD78F9436, 78F9456のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み / ベリファイ時の高電圧印加端子です。

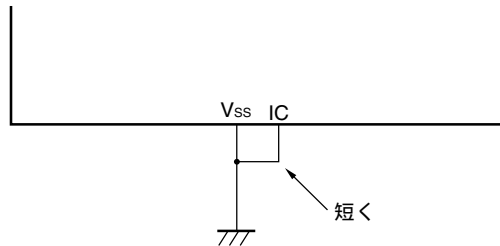
- ★ 次のどちらかの端子処理をしてください。
- ・個別に10 k Ω のプルダウン抵抗を接続する
 - ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はV_{SS}に直接接続するように切り替える

2. 2. 21 IC（マスクROM製品のみ）

IC（Internally Connected）端子は、当社出荷時に μ PD789426, 789436, 789446, 789456サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS}に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○ IC端子をV_{SS}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

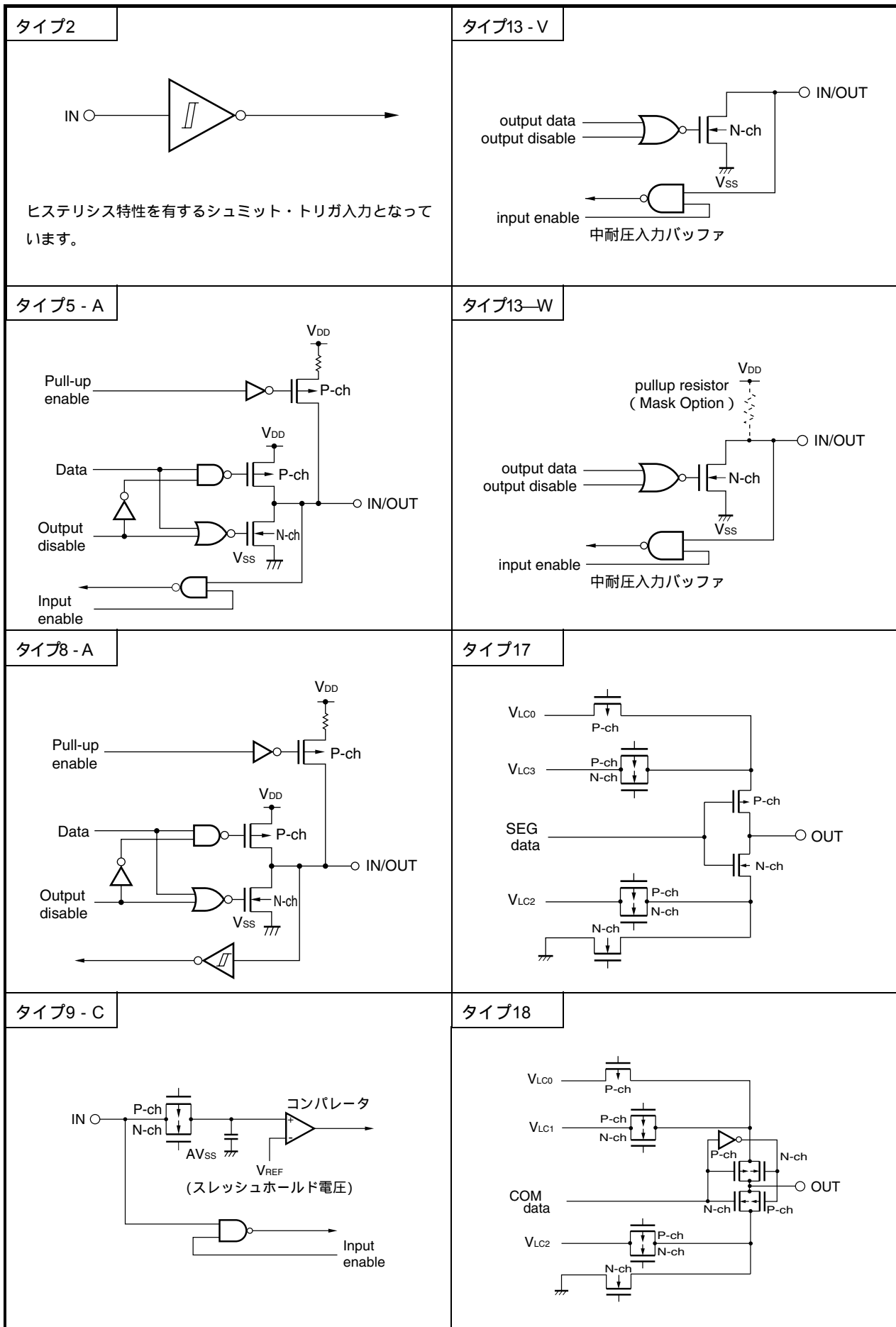
表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/KR0-P03/KR3	8 - A	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P10, P11	5 - A				
P20	8 - A				
P21/BZO90					
P22/SS20					
P23/SCK20/ASCK20					
P24/SO20/TxD20					
P25/SI20/RxD20					
P26/TO90					
P30/INTP0/CPT90			入力時：個別に抵抗を介して，V _{SS} に接続してください。 出力時：オープンにしてください。		
P31/INTP1/TO50/TMI60					
P32/INTP2/TO60					
P33/INTP3/TO61					
P50-P53 (マスクROM製品)	13 - W		入力時：V _{SS} に直接接続してください。 出力時：ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。		
P50-P53 (フラッシュ・メモリ製品)	13 - V				
P60/ANI0-P65/ANI5	9 - C	入力	V _{DD} またはV _{SS} に直接接続してください。		
P70-P72	5 - A	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P80, P81 ^{注1}					
P90-P97 ^{注1}					
S0-S4 ^{注1}	17	出力	オープンにしてください。		
S0-S14 ^{注2}					
COM0-COM3	18	-			
V _{LC0} -V _{LC2}	-				
CAPH, CAPL					
XT1				入力	V _{SS} に直接接続してください。
XT2				-	オープンにしてください。
AV _{SS}					V _{SS} に直接接続してください。
AV _{DD}					V _{DD} に直接接続してください。
RESET	2	入力	-		
IC	-	-	V _{SS} に直接接続してください。		
V _{PP}			個別に10 kΩのブルダウン抵抗を接続するか，V _{SS} に直接接続してください。		

注1 . μ PD789426, 789436サブシリーズのとき

2 . μ PD789446, 789456サブシリーズのとき

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789426, 789436, 789446, 789456サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。

図3 - 1から図3 - 6に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789425, 789435)

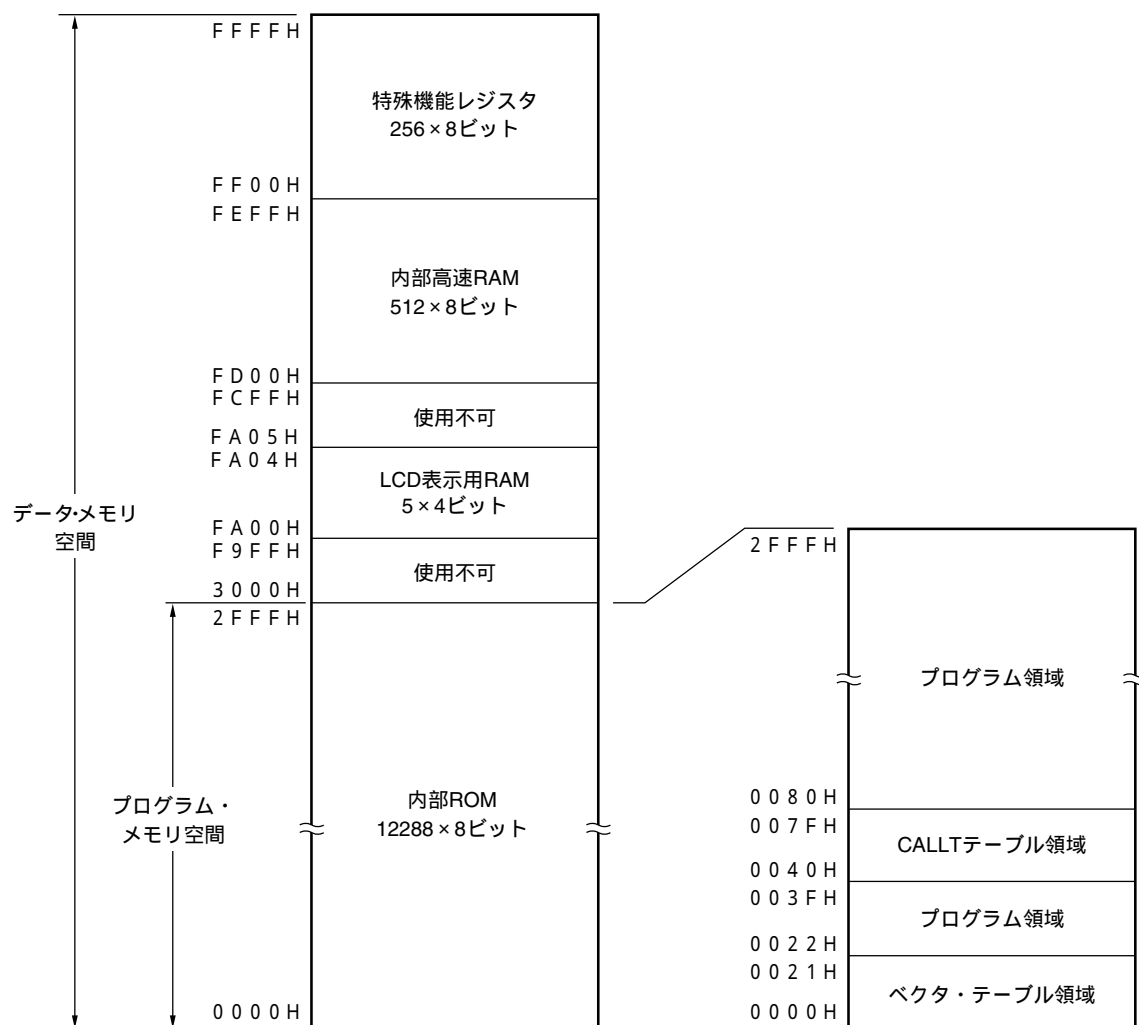


図3 - 2 メモリ・マップ (μ PD789426, 789436)

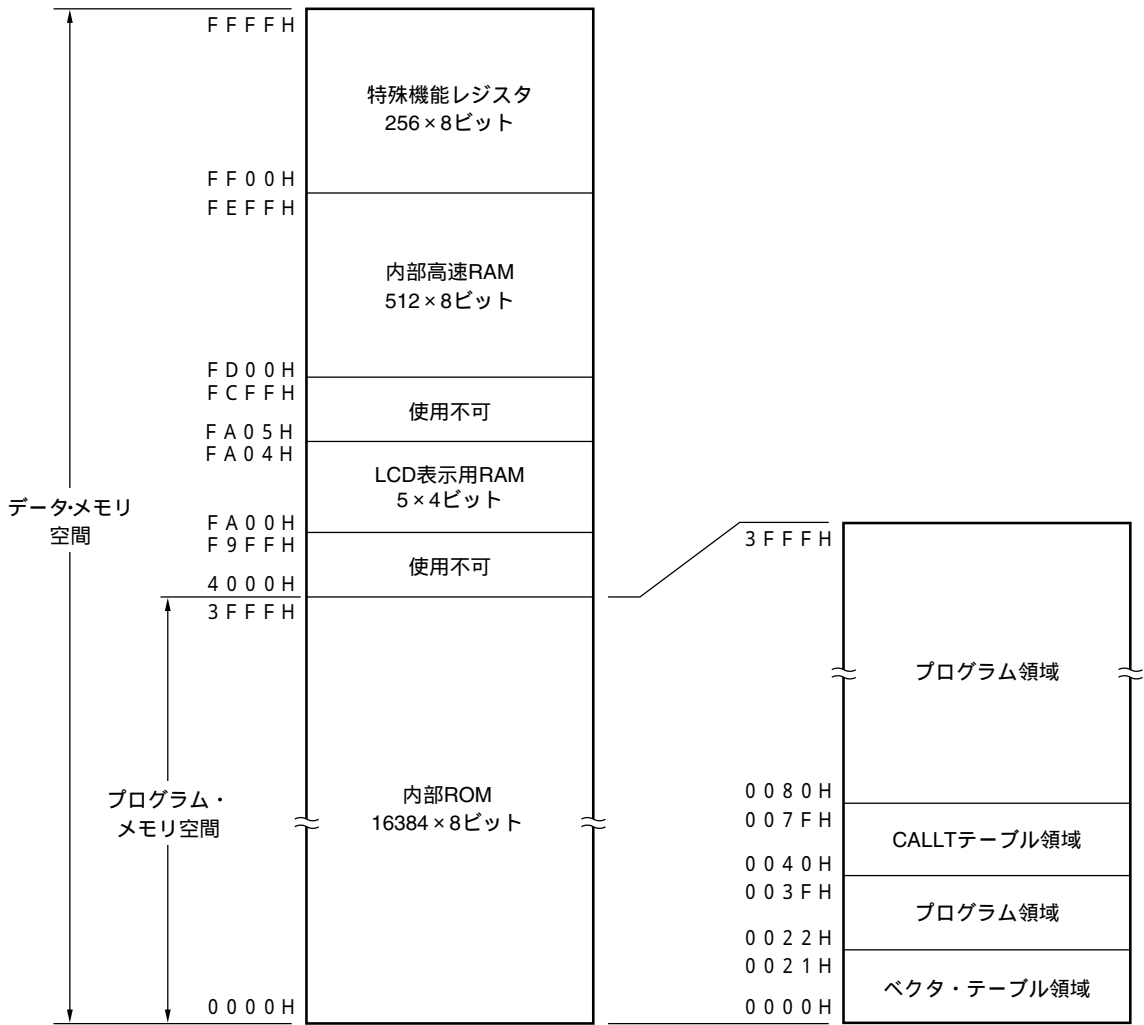


図3 - 3 メモリ・マップ (μ PD78F9436)

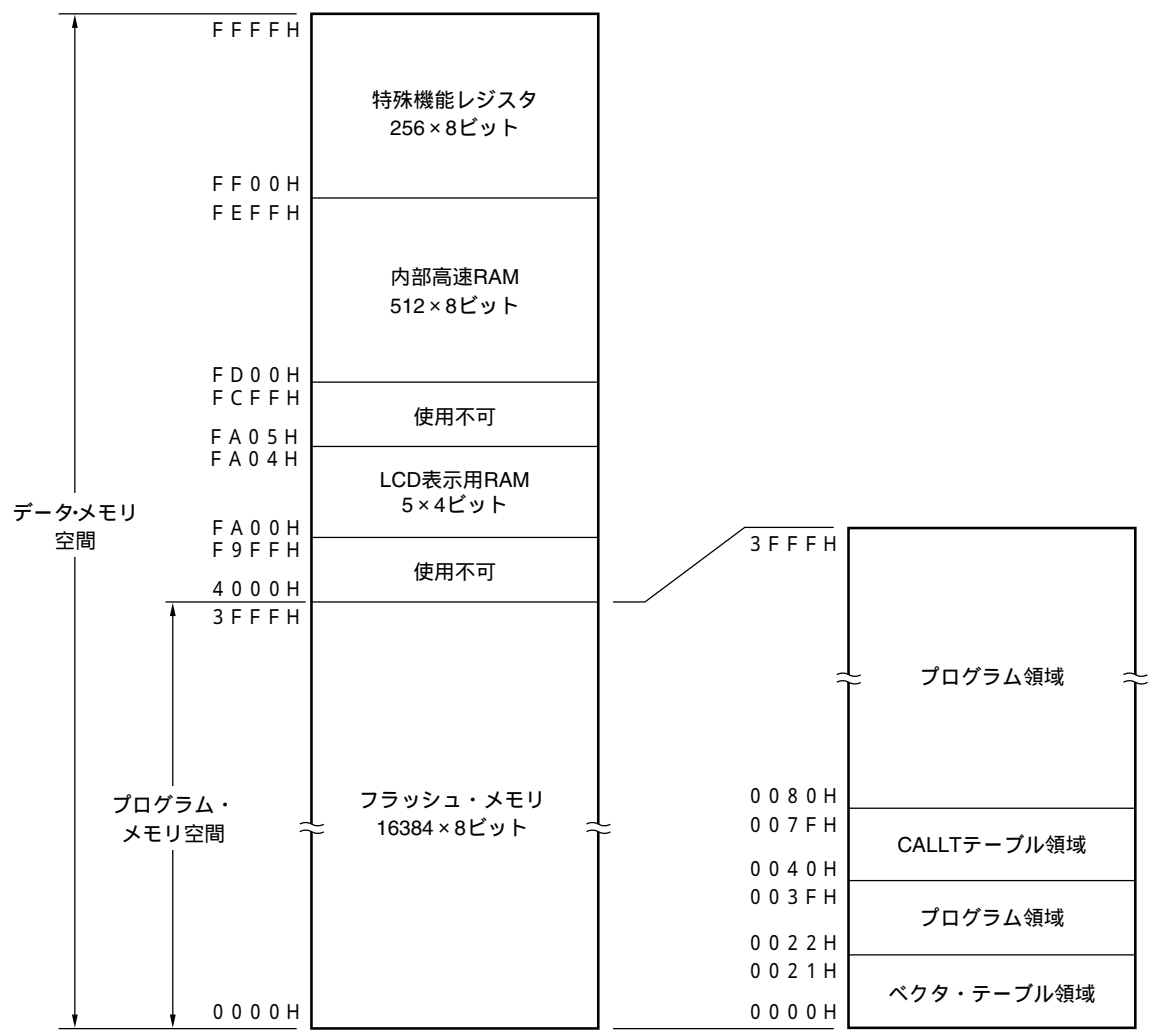


図3 - 4 メモリ・マップ (μ PD789445, 789455)

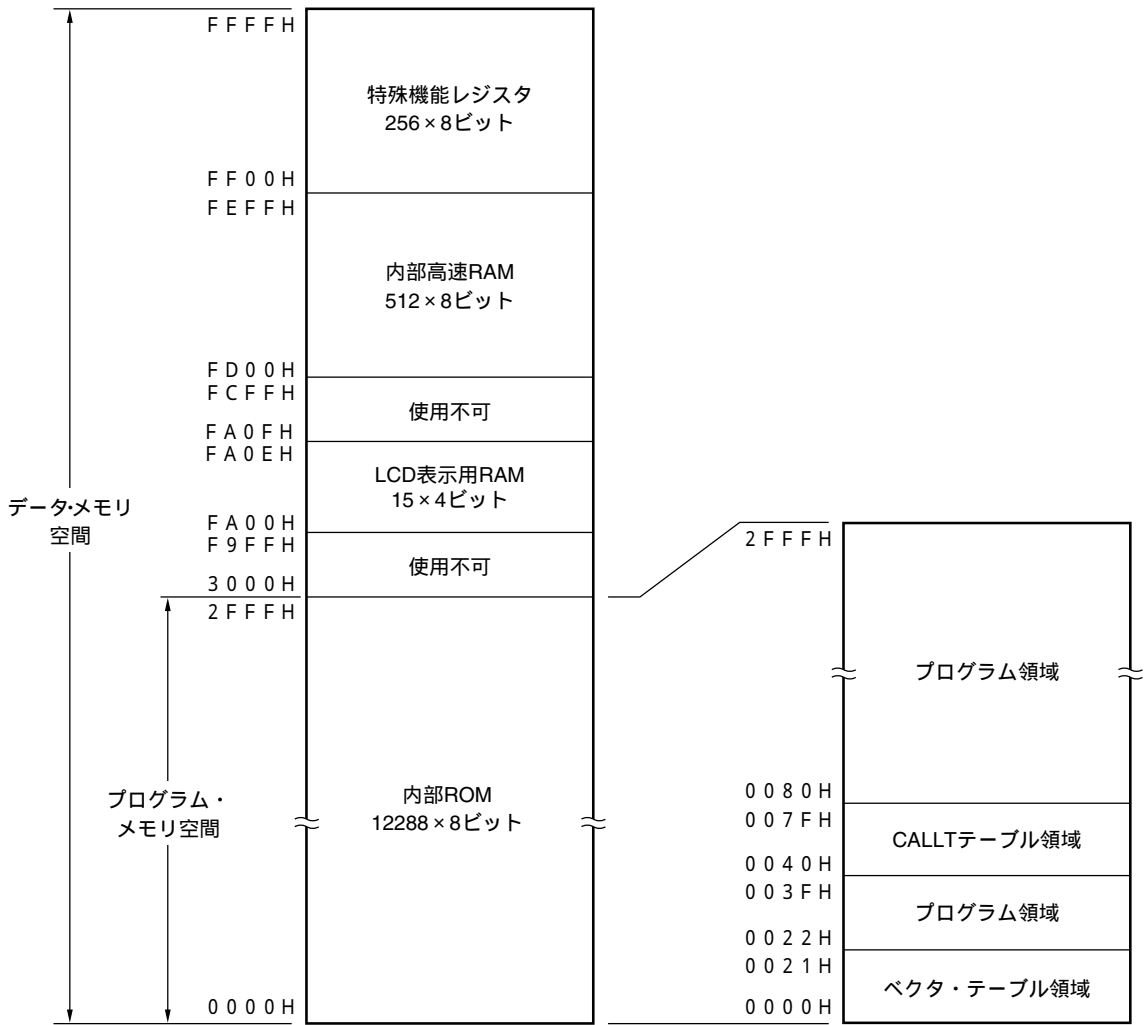


図3 - 5 メモリ・マップ (μPD789446, 789456)

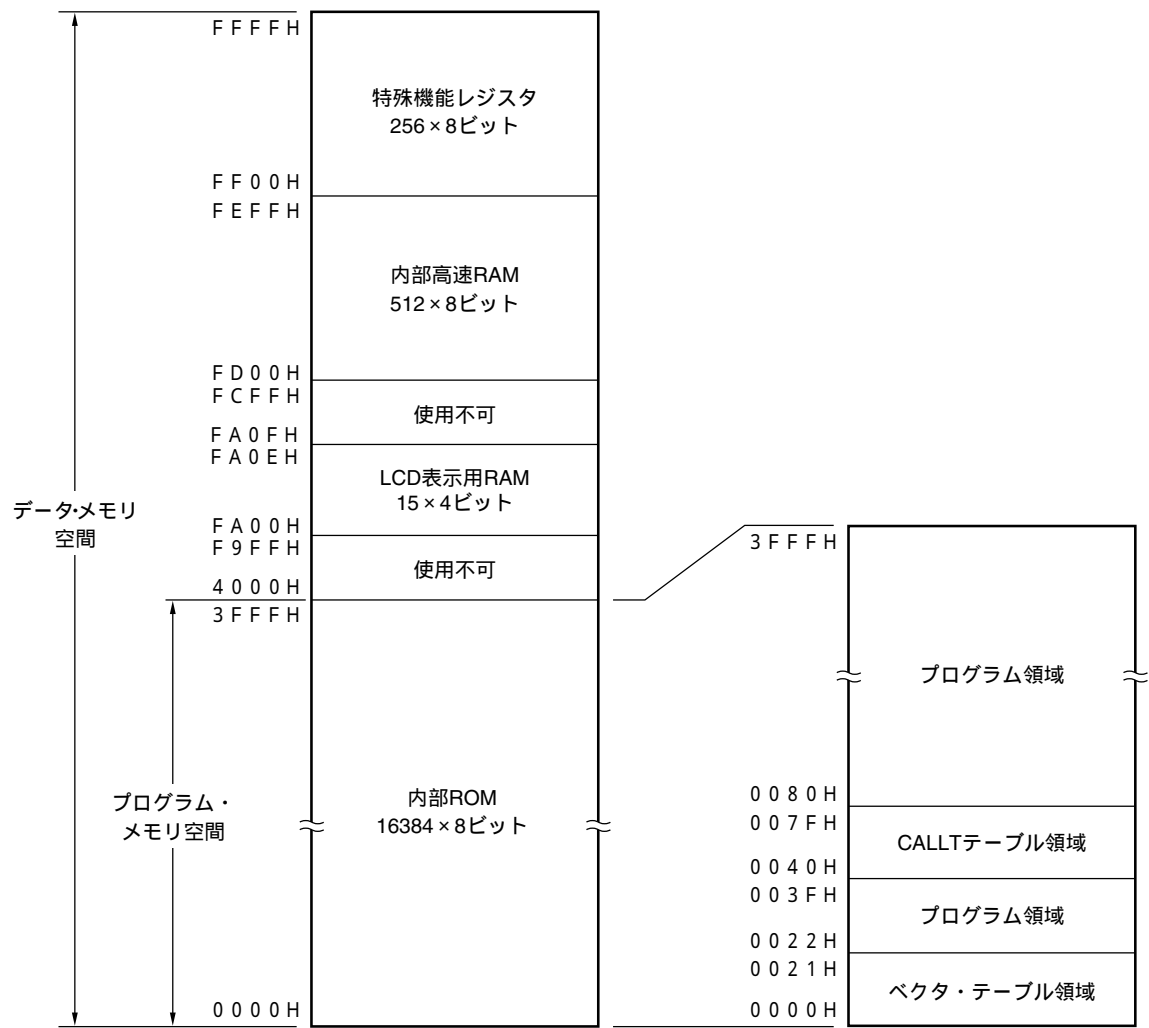
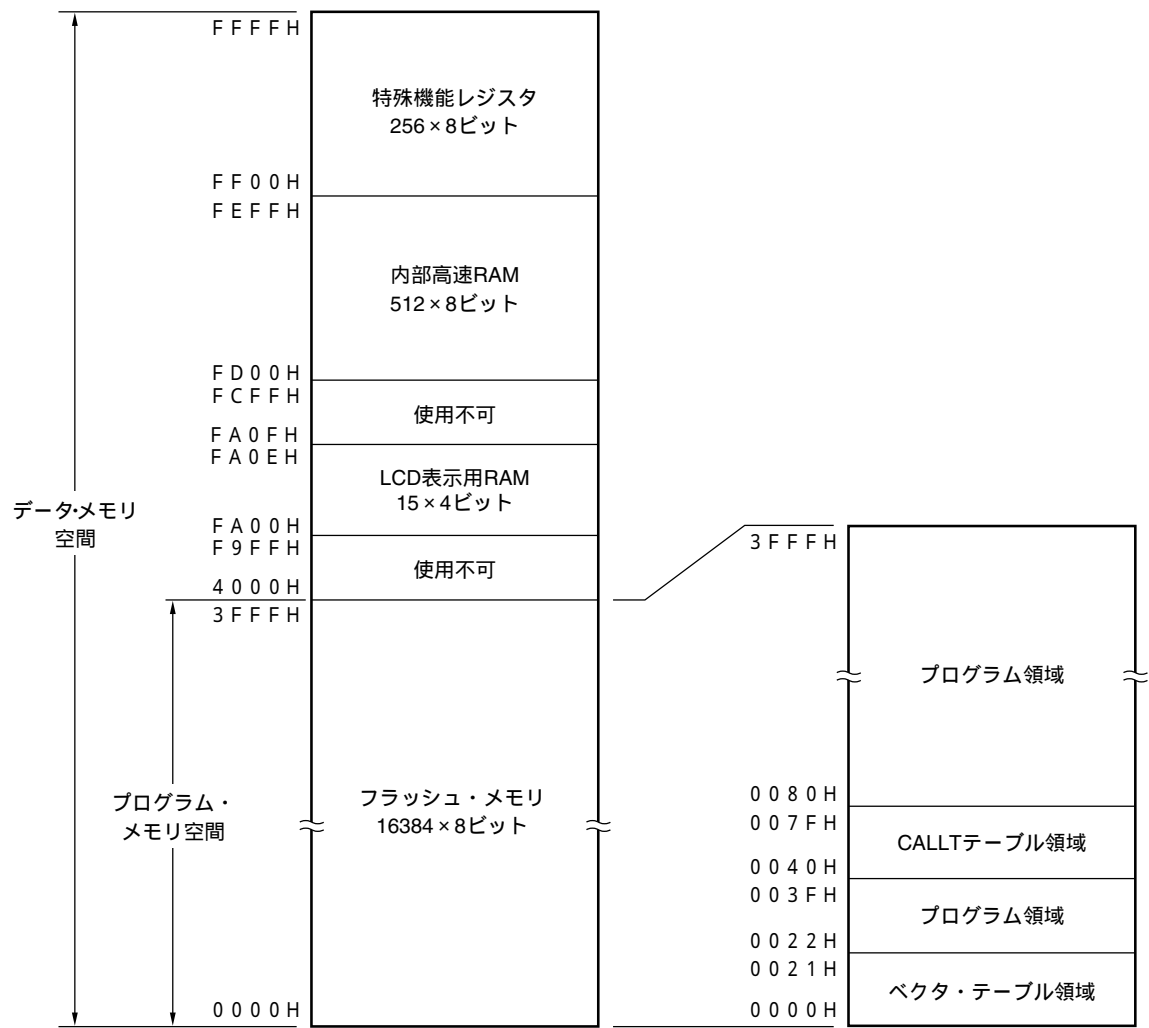


図3 - 6 メモリ・マップ (μ PD78F9456)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789426, 789436, 789446, 789456サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789425, 789435, 789445, 789455	マスクROM	12288 × 8ビット
μPD789426, 789436, 789446, 789456		16384 × 8ビット
μPD78F9436, 78F9456	フラッシュ・メモリ	16384 × 8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

0000H-0021Hの34バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0 0 0 0 H	$\overline{\text{RESET}}$ 入力	0 0 1 4 H	INTWTI
0 0 0 4 H	INTWDT	0 0 1 6 H	INTTM90
0 0 0 6 H	INTP0	0 0 1 8 H	INTTM50
0 0 0 8 H	INTP1	0 0 1 A H	INTTM60
0 0 0 A H	INTP2	0 0 1 C H	INTAD0
0 0 0 C H	INTP3	0 0 1 E H	INTWT
0 0 0 E H	INTSR20/INTCSI20	0 0 2 0 H	INTKR00
0 0 1 2 H	INTST20		

（2）CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789426, 789436, 789446, 789456サブシリーズの製品には、次に示すRAMを内蔵しています。

（１）内部高速RAM

FD00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

（２）LCD表示用RAM

LCD表示用RAMを内蔵しています。

LCD表示用RAMは、通常のRAMとしても使用できます。

各サブシリーズごとに次の容量のLCD表示用RAMを内蔵しています。

表3 - 3 LCD表示用RAM容量

サブシリーズ名	領 域	容 量
μ PD789426, 789436サブシリーズ	FA00H-FA04H	5×4ビット
μ PD789446, 789456サブシリーズ	FA00H-FA0EH	15×4ビット

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 4参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789426, 789436, 789446, 789456サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FD00H-FFFFH）では、特殊機能レジスタ(SFR)など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 7から図3 - 12にデータ・メモリのアドレッシングを示します。

図3 - 7 データ・メモリのアドレッシング (μ PD789425, 789435)

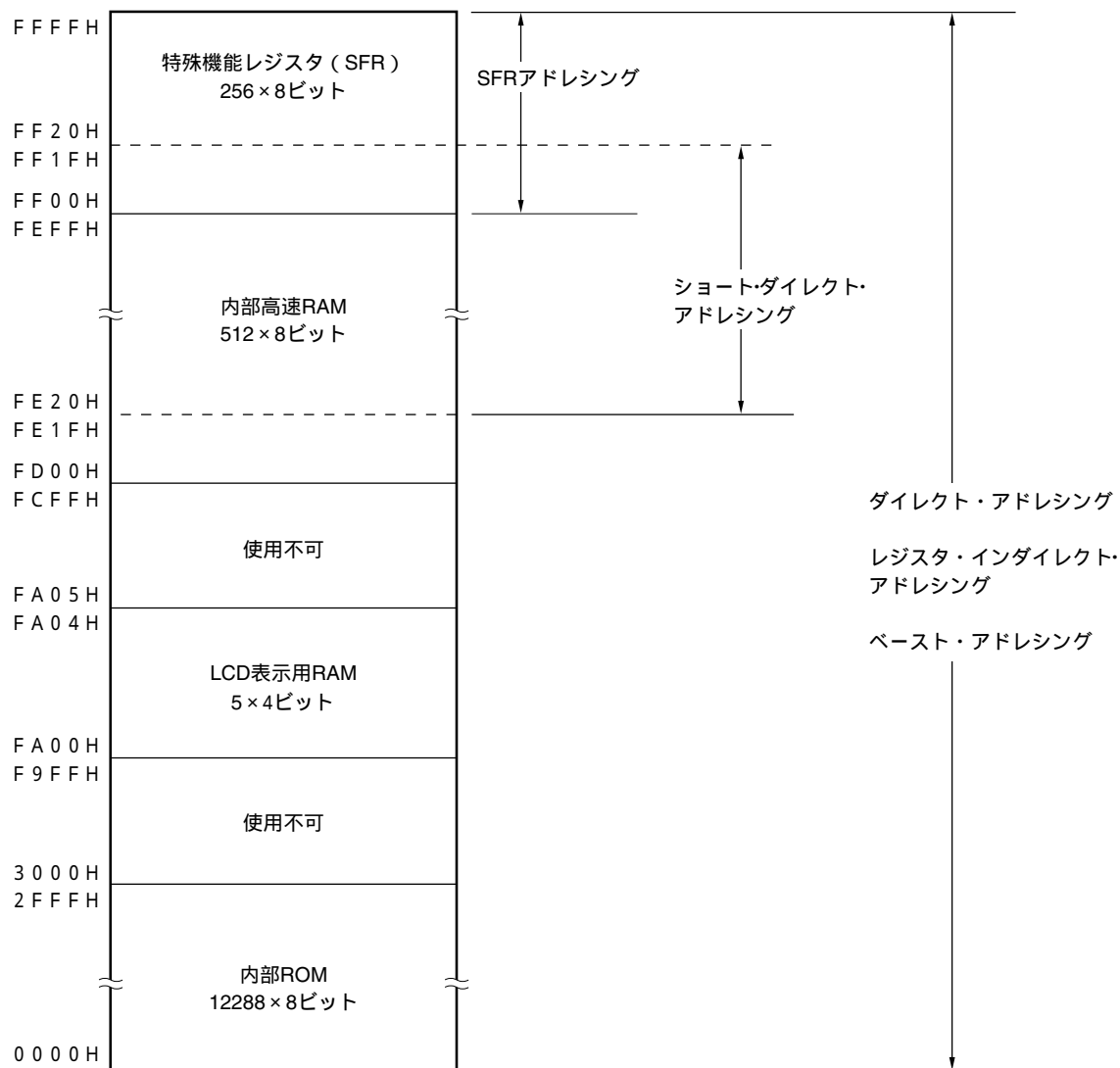


図3 - 8 データ・メモリのアドレッシング (μ PD789426, 789436)

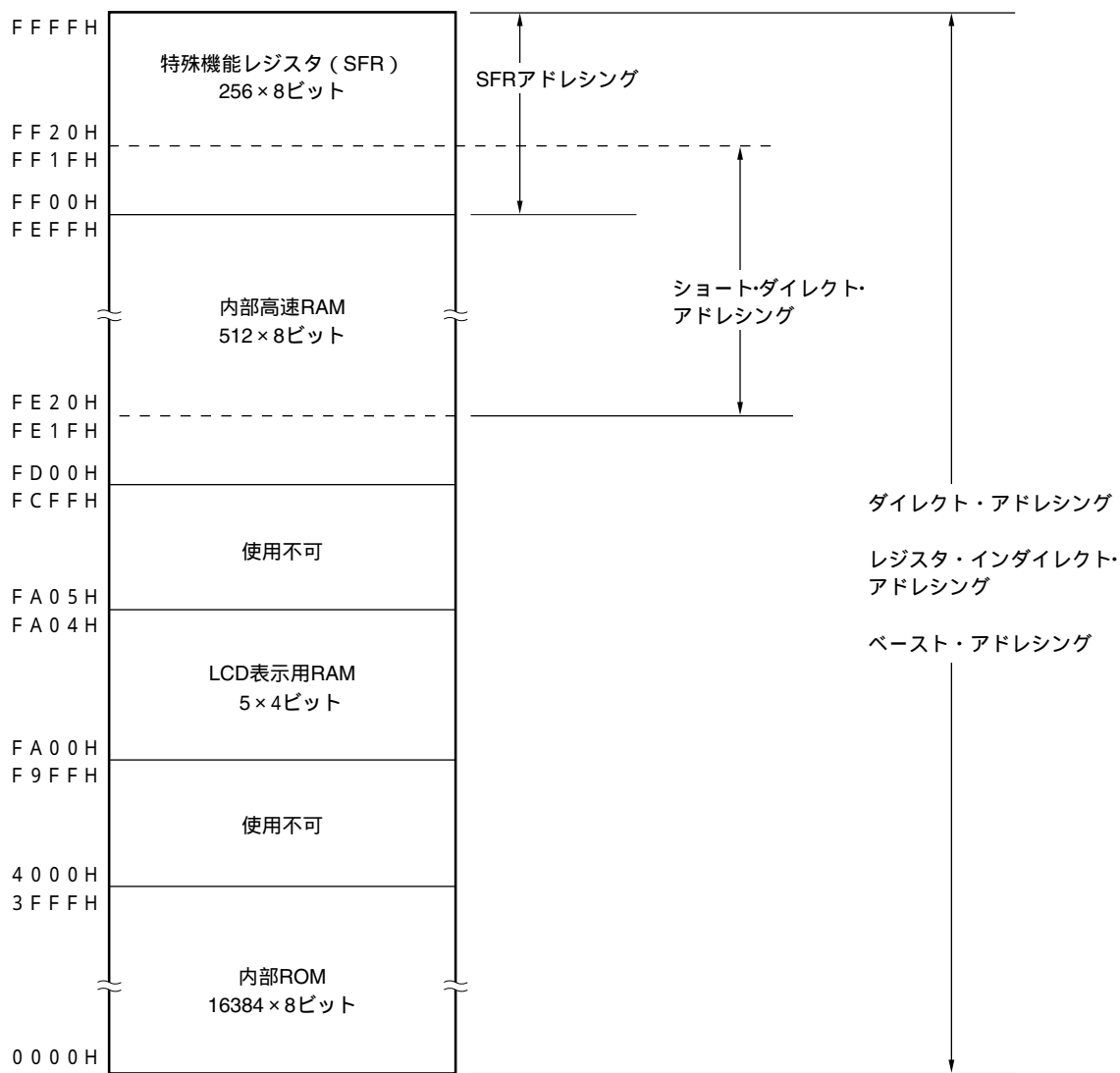


図3 - 9 データ・メモリのアドレッシング (μ PD78F9436)

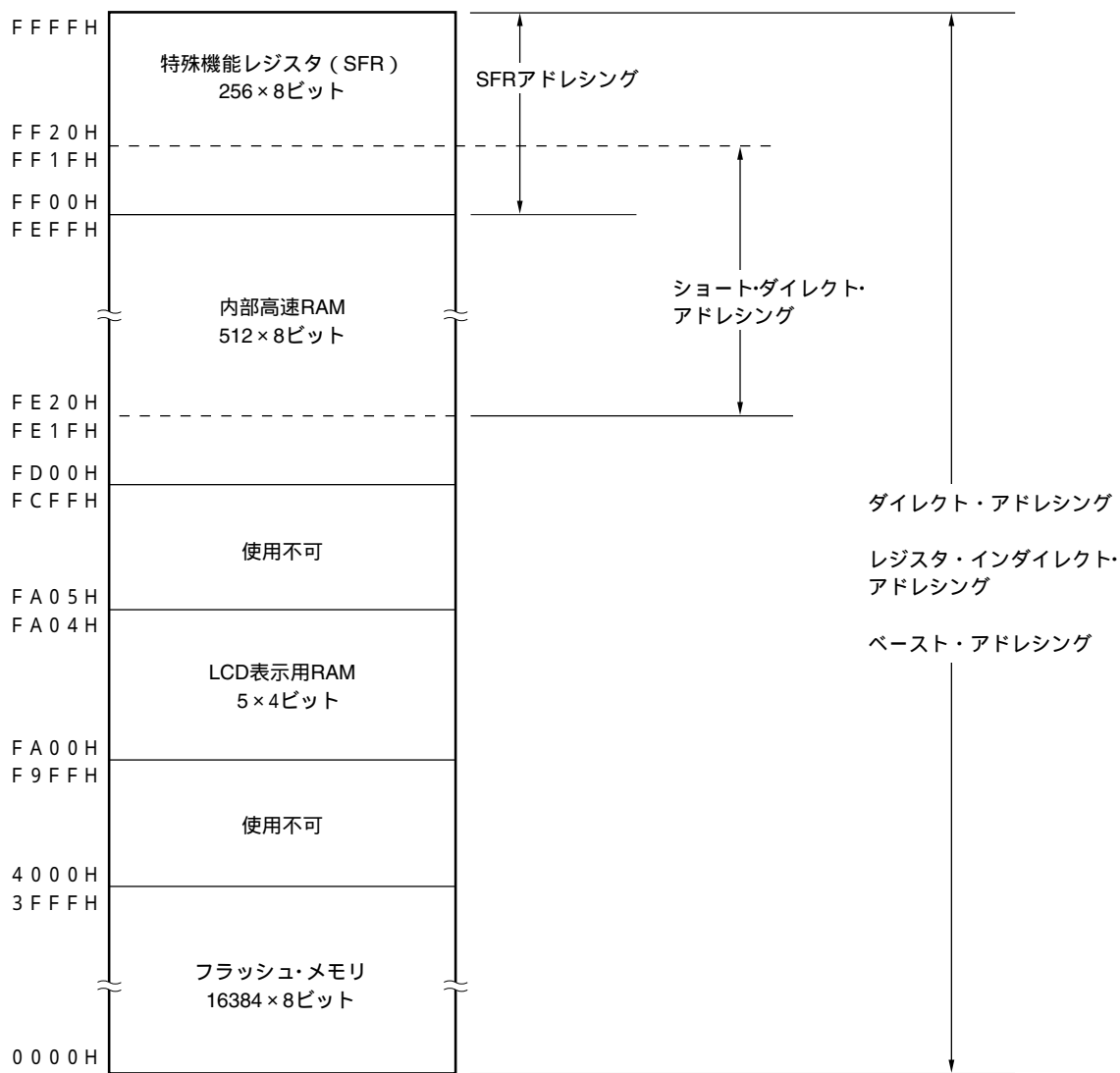


図3 - 10 データ・メモリのアドレッシング (μ PD789445, 789455)

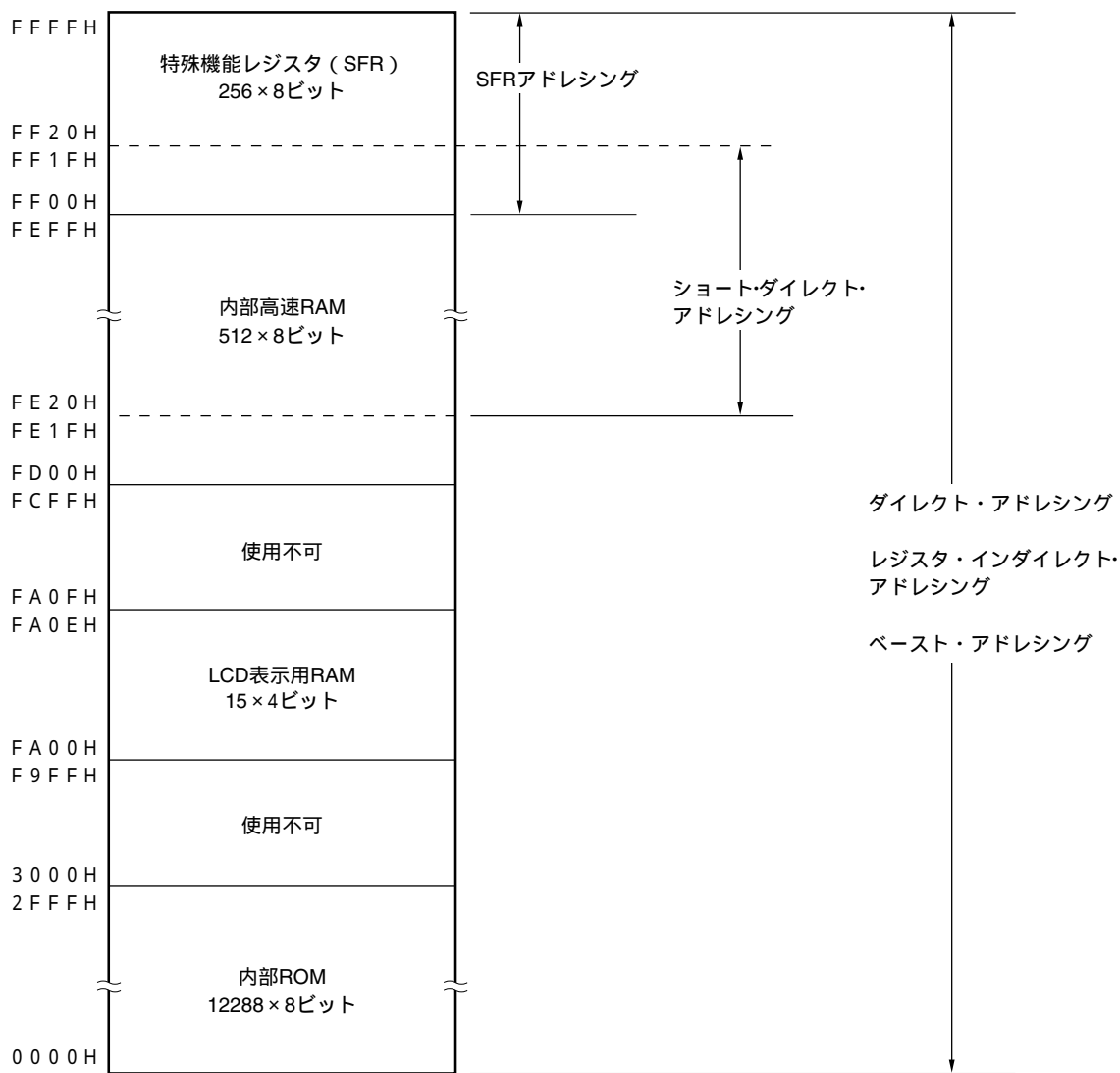


図3 - 11 データ・メモリのアドレッシング (μ PD789446, 789456)

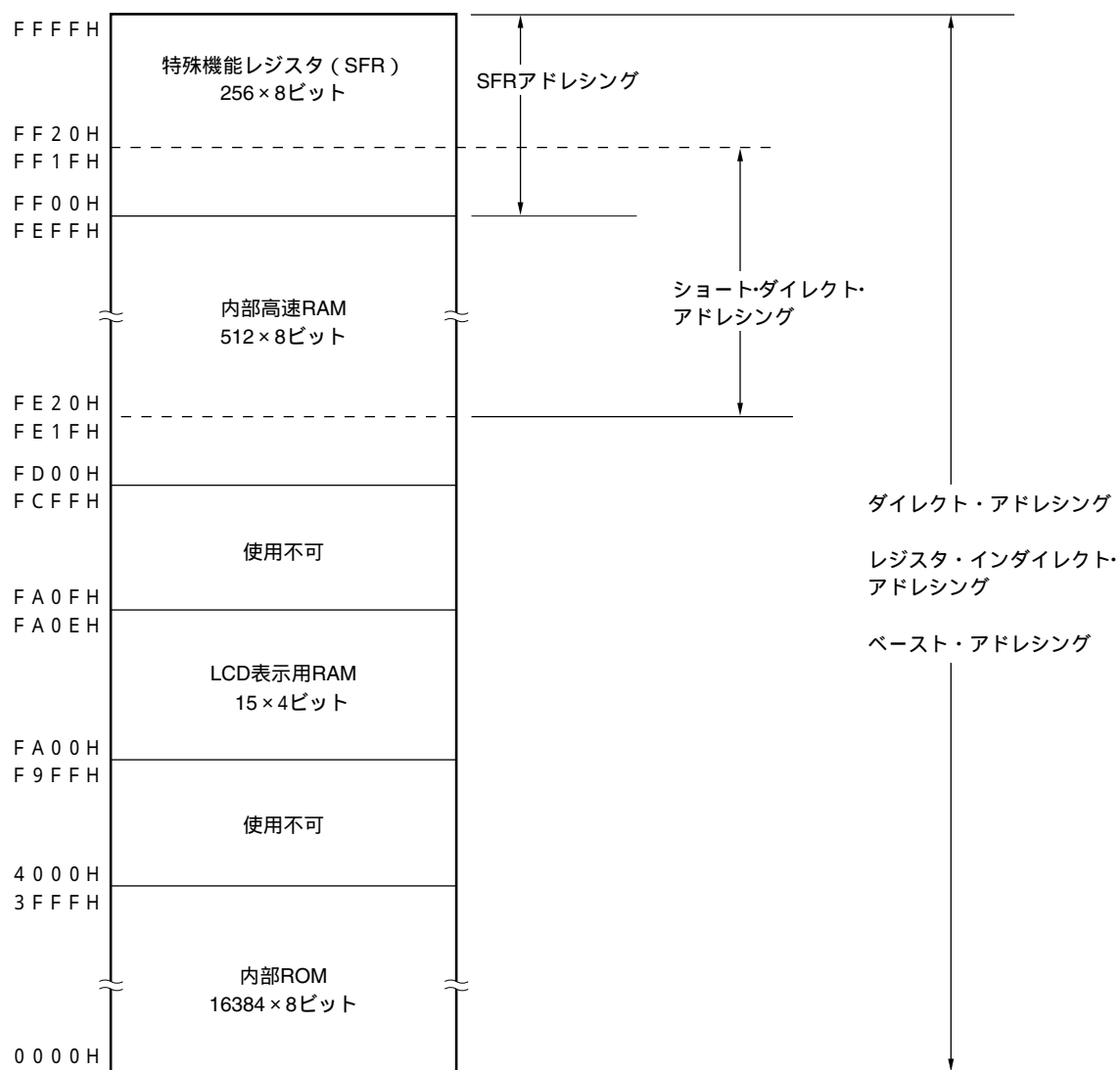
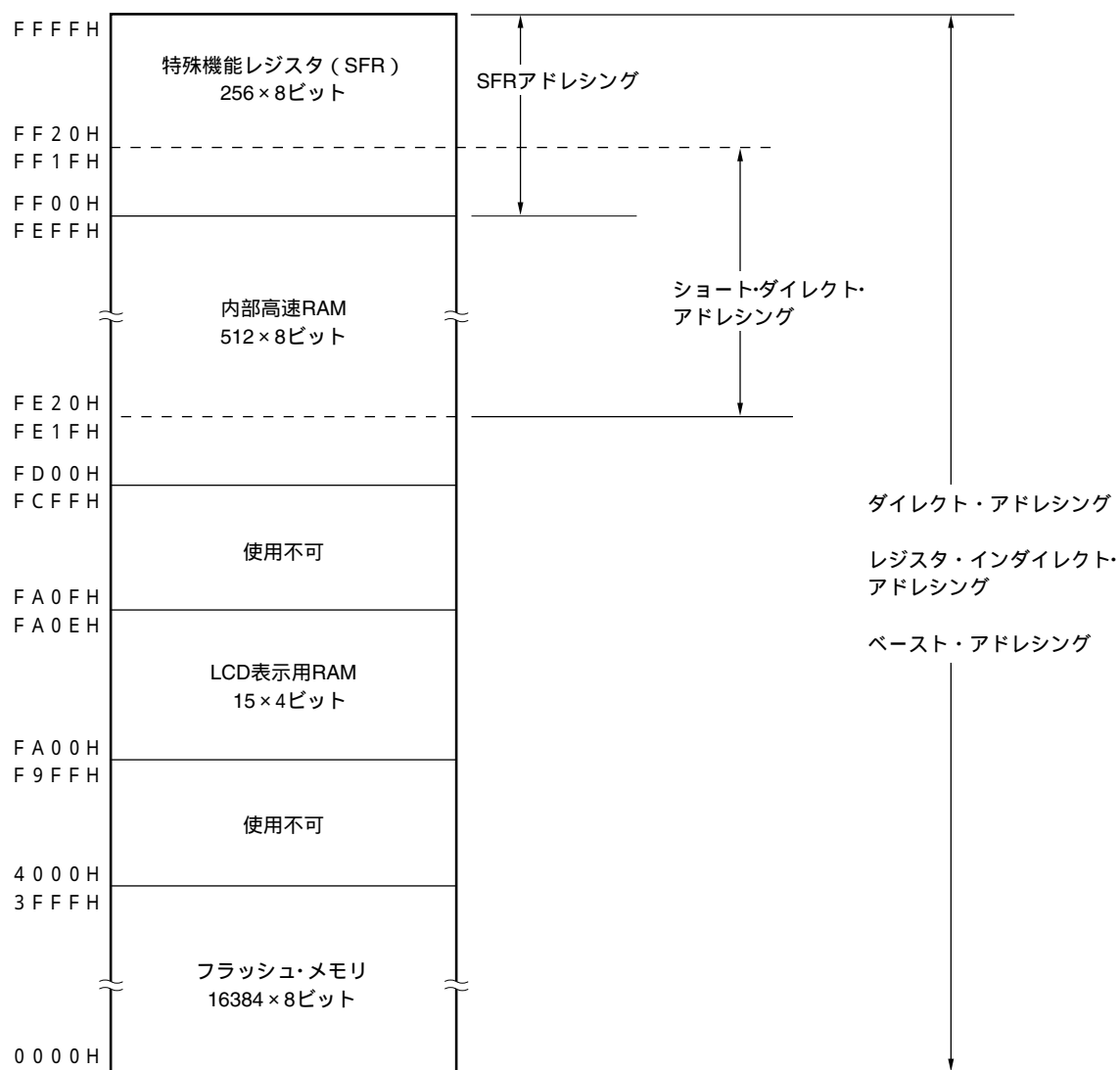


図3 - 12 データ・メモリのアドレッシング (μ PD78F9456)



3.2 プロセッサ・レジスタ

μ PD789426, 789436, 789446, 789456サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

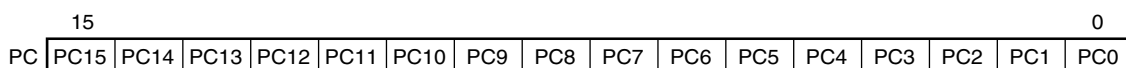
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 13 プログラム・カウンタの構成



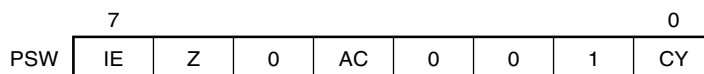
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 14 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

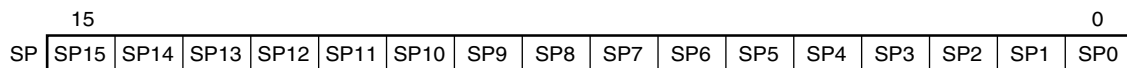
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 15 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 16，図3 - 17のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 16 スタック・メモリへ退避されるデータ

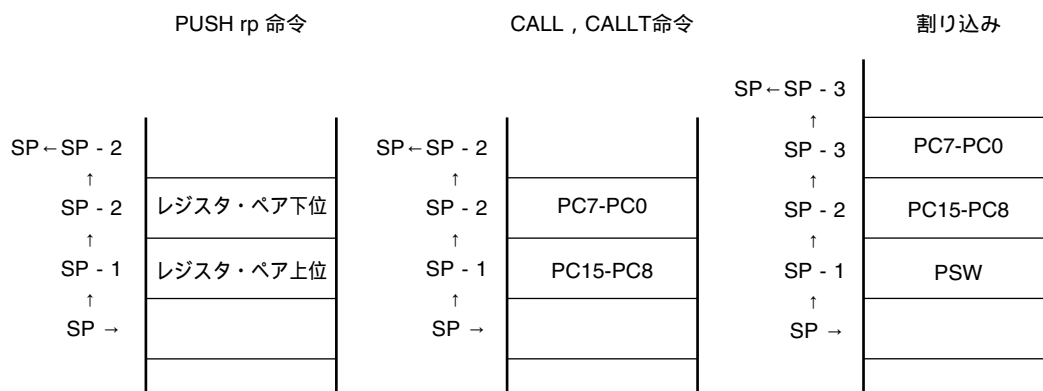
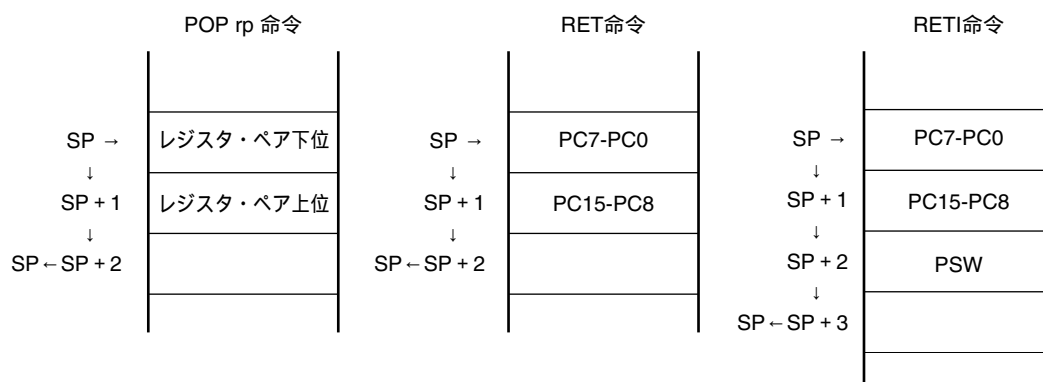


図3 - 17 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

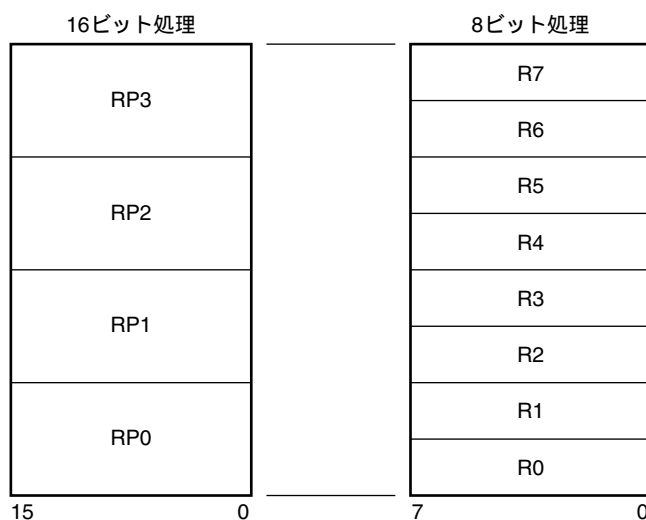
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

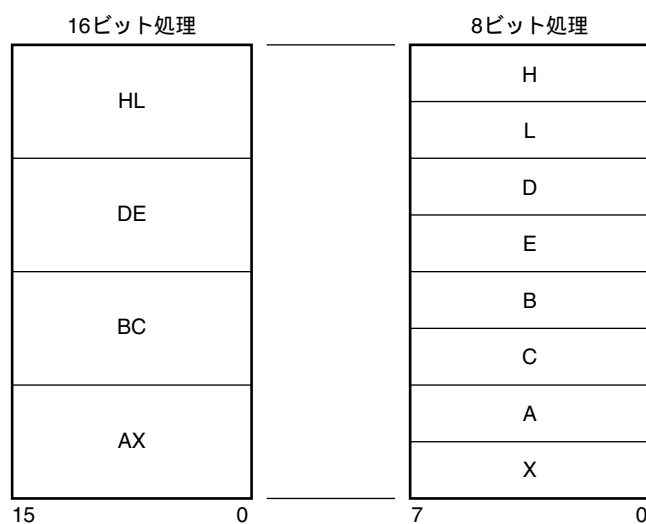
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 18 汎用レジスタの構成

（a）絶対名称



（b）機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3 - 4 特殊機能レジスタ一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W	○	○	-	00H
FF01H	ポート1	P1			○	○	-	
FF02H	ポート2	P2			○	○	-	
FF03H	ポート3	P3			○	○	-	
FF05H	ポート5	P5			○	○	-	
FF06H	ポート6	P6		R	○	○	-	
FF07H	ポート7	P7		R/W	○	○	-	
FF08H	ポート8 ^{注1}	P8			○	○	-	
FF09H	ポート9 ^{注1}	P9			○	○	-	
FF0CH	8ビット・コンペア・レジスタ60	CR60	CR6 ^{注2}	W	-	○	○ ^{注3,4}	不定
FF0DH	8ビット・コンペア・レジスタ50	CR50			-	○		
FF0EH	8ビット・タイマ・カウンタ60	TM60	TM6 ^{注2}	R	-	○	○ ^{注3,4}	00H
FF0FH	8ビット・タイマ・カウンタ50	TM50			-	○		
FF10H	送信シフト・レジスタ20	TXS20	SIO20	W	-	○	-	FFH
	受信バッファ・レジスタ20	RXB20		R	-	○	-	不定
FF14H	A/D変換結果レジスタ0	ADCR0 ^{注5}		R	-	○	○ ^{注3}	0000H
FF15H								
FF16H	16ビット・コンペア・レジスタ90	CR90 ^{注2}		W	-	-	○ ^{注3,4}	FFFFH
FF17H								
FF18H	16ビット・タイマ・カウンタ90	TM90 ^{注2}		R	-	-	○ ^{注3,4}	0000H
FF19H								
FF1AH	16ビット・キャプチャ・レジスタ90	TCP90 ^{注2}		R	-	-	○ ^{注3}	不定
FF1BH								
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	-	FFH
FF21H	ポート・モード・レジスタ1	PM1			○	○	-	
FF22H	ポート・モード・レジスタ2	PM2			○	○	-	
FF23H	ポート・モード・レジスタ3	PM3			○	○	-	
FF25H	ポート・モード・レジスタ5	PM5			○	○	-	
FF27H	ポート・モード・レジスタ7	PM7			○	○	-	

注1. μ PD789426, 789436サブシリーズのみ

2. 16ビット・アクセス専用のSFR名称です。

3. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。

4. 16ビット・アクセスのほかに8ビット・アクセスも可能です。この場合、ダイレクト・アドレッシングで行ってください。

5. 8ビットA/Dコンバータ (μ PD789426, 789446サブシリーズ) として使用する場合、8ビット・アクセスのみ可能です。このときアドレスはFF15Hとなります。

10ビットA/Dコンバータ (μ PD789436, 789456サブシリーズ) として使用する場合、16ビット・アクセスのみ可能です。 μ PD78F9436を μ PD789425, 789426のフラッシュ・メモリとして使用する場合、または μ PD78F9456を μ PD789445, 789446のフラッシュ・メモリとして使用する場合、8ビット・アクセスが可能です。ただし、 μ PD78F9436は μ PD789425, 789426でアセンブルしたオブジェクト・ファイル、 μ PD78F9456は μ PD789445, 789446でアセンブルしたオブジェクト・ファイルに限ります。

表3-4 特殊機能レジスタ一覧(2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF28H	ポート・モード・レジスタ8 ^注	PM8	R/W	○	○	-	FFH
FF29H	ポート・モード・レジスタ9 ^注	PM9		○	○	-	
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2		○	○	-	00H
FF33H	ブルアップ抵抗オプション・レジスタB3	PUB3		○	○	-	
FF37H	ブルアップ抵抗オプション・レジスタB7	PUB7		○	○	-	
FF38H	ブルアップ抵抗オプション・レジスタB8 ^注	PUB8		○	○	-	
FF39H	ブルアップ抵抗オプション・レジスタB9 ^注	PUB9		○	○	-	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-	○	-	
FF48H	16ビット・タイマ・モード・コントロール・レジスタ90	TMC90		○	○	-	
FF49H	ブザー出力コントロール・レジスタ90	BZC90		○	○	-	
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM		○	○	-	
FF4CH	8ビット・コンペア・レジスタH60	CRH60	W	-	○	-	不定
FF4DH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W	○	○	-	00H
FF4EH	8ビット・タイマ・モード・コントロール・レジスタ60	TMC60		○	○	-	
FF4FH	キャリア・ジェネレータ出力コントロール・レジスタ60	TCA60	W	-	○	-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	ASIM20	R/W	○	○	-	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20	ASIS20	R	○	○	-	
FF72H	シリアル動作モード・レジスタ20	CSIM20	R/W	○	○	-	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ20	BRGC20		-	○	-	
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0		○	○	-	
FF84H	アナログ入力チャネル指定レジスタ0	ADS0		○	○	-	
FFB0H	LCD表示モード・レジスタ0	LCDM0		○	○	-	
FFB2H	LCDクロック制御レジスタ0	LCDC0		○	○	-	
FFB3H	LCD昇圧制御レジスタ0	LCDVA0		○	○	-	
FFE0H	割り込み要求フラグ・レジスタ0	IF0		○	○	-	
FFE1H	割り込み要求フラグ・レジスタ1	IF1		○	○	-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0	R/W	○	○	-	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1		○	○	-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-	○	-	00H
FFEDH	外部割り込みモード・レジスタ1	INTM1		-	○	-	
FFF0H	サブ発振モード・レジスタ	SCKM		○	○	-	
FFF2H	サブクロック・コントロール・レジスタ	CSS		○	○	-	
FFF5H	キー・リターン・モード・レジスタ00	KRM00		○	○	-	
FFF7H	ブルアップ抵抗オプション・レジスタ0	PU0		○	○	-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		○	○	-	
FFFAH	発振安定時間選択レジスタ	OSTS		-	○	-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		○	○	-	02H

注 μPD789426,789436サブシリーズのみ

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

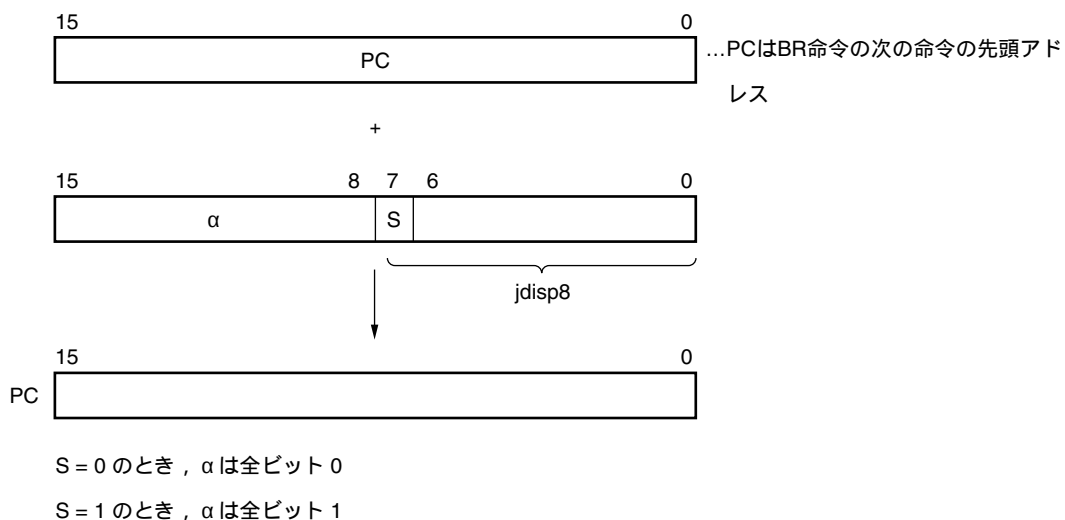
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

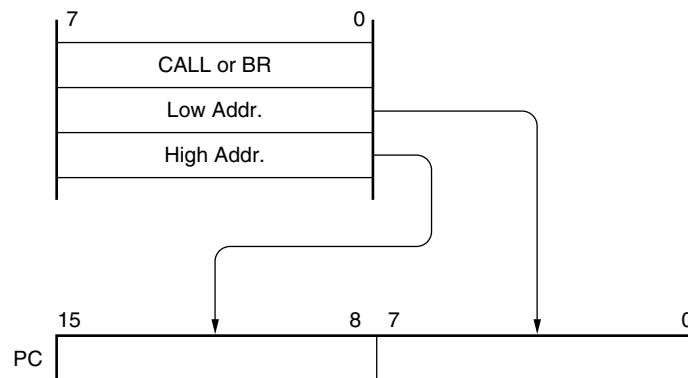
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



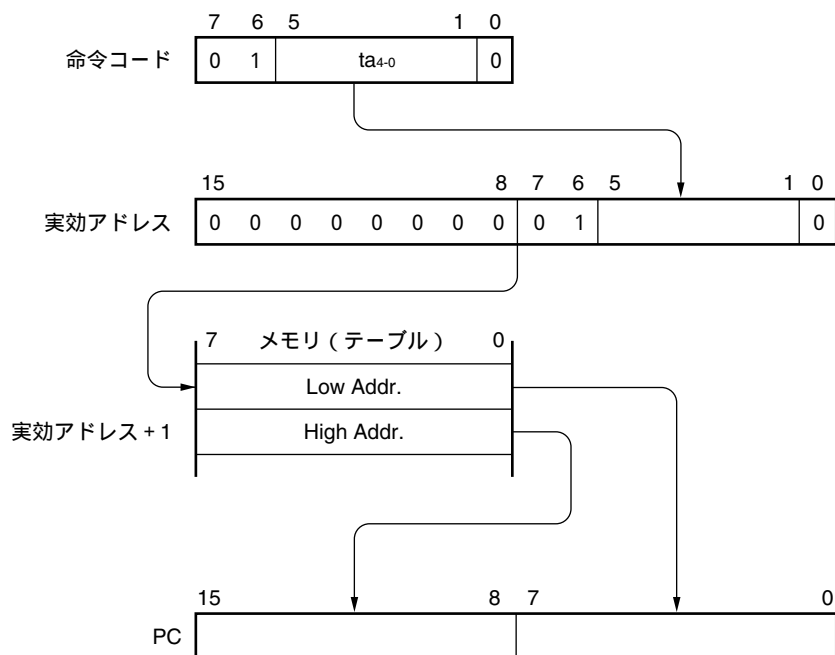
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



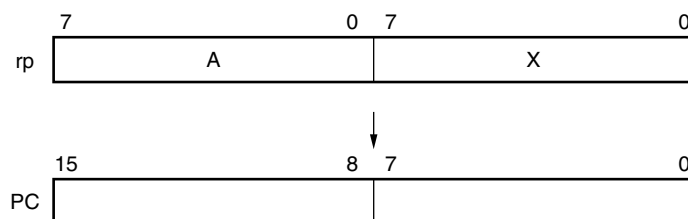
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

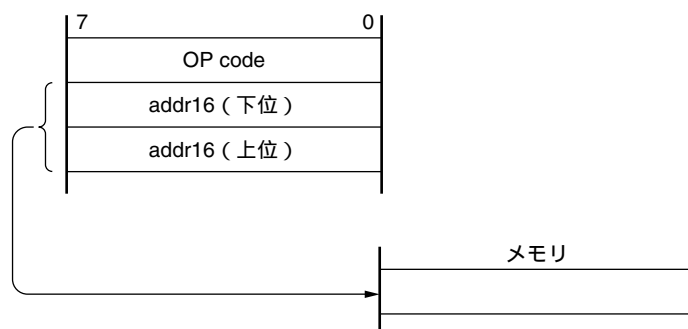
表現形式	記述方法
addr16	レーベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	0 0 1 0 1 0 0 1	OPコード
	0 0 0 0 0 0 0 0	0 0 H
	1 1 1 1 1 1 1 0	F E H

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

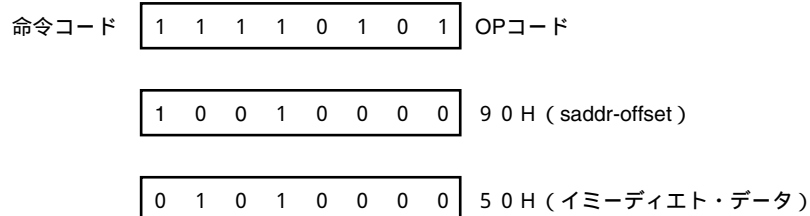
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

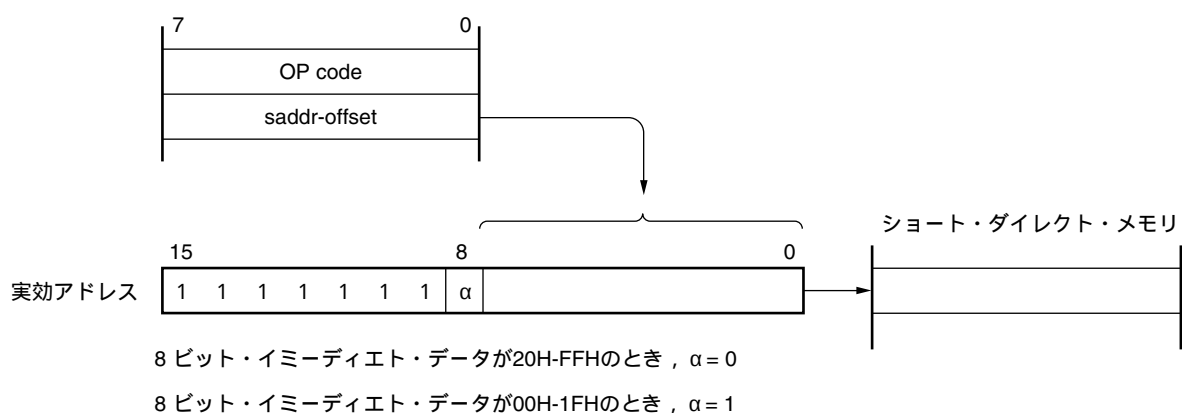
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機 能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

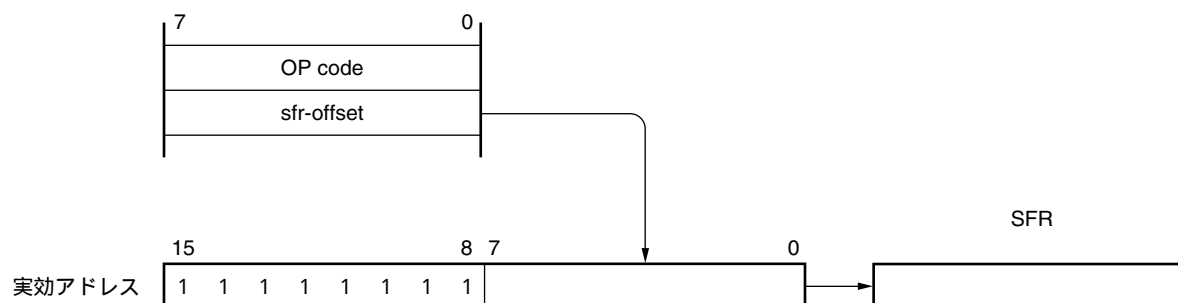
表現形式	記 述 方 法
sfr	特殊機能レジスタ名

【記 述 例】

MOV PM0, A ; sfrにPM0を選択する場合

命令コード	1 1 1 0 0 1 1 1
	0 0 1 0 0 0 0 0

【図 解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

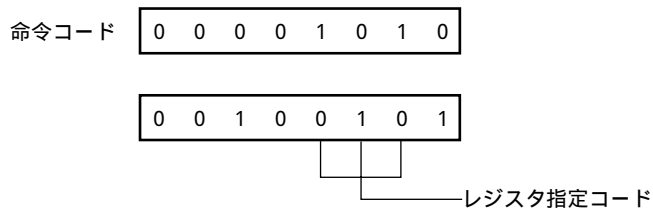
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

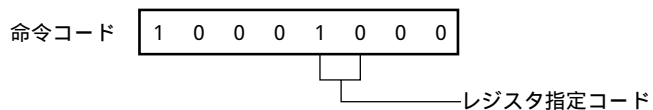
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

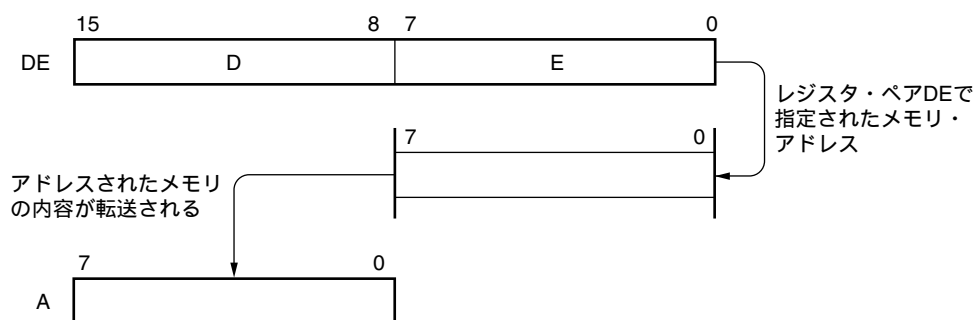
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	0	1
---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD789426, 789436, 789446, 789456サブシリーズは、図4 - 1、図4 - 2に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類 (μ PD789426, 789436サブシリーズ)

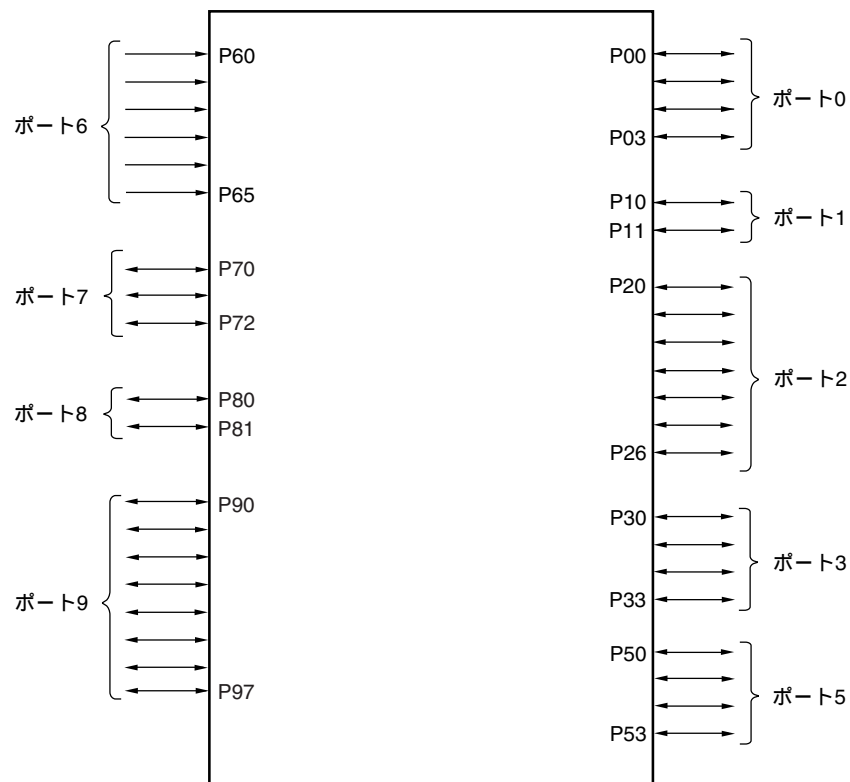


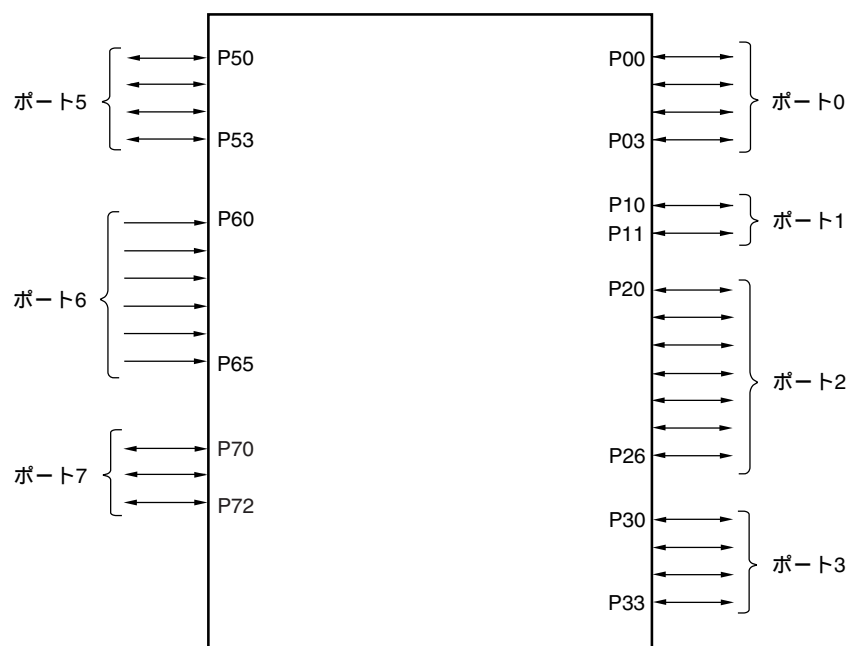
図4 - 2 ポートの種類 (μ PD789446, 789456サブシリーズ)

表4 - 1 ポートの機能 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) または、キー・リターン・モード・レジスタ00 (KRM00) の設定により、内蔵プルアップ抵抗を使用可能。	入力	KR0-KR3
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P21				BZO90
P22				SS20
P23				SCK20/ASCK20
P24				SO20/TxD20
P25				SI20/RxD20
P26				TO90
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) の設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/CPT90
P31				INTP1/TO50/TMI60
P32				INTP2/TO60
P33				INTP3/TO61
P50-P53	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P65	入力	ポート6。 6ビット入力ポート。	入力	ANI0-ANI5
P70-P72	入出力	ポート7 3ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB7 (PUB7) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-

表4 - 1 ポートの機能 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P80, P81 ^注	入出力	ポート8 2ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB8 (PUB8) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P90-P97 ^注	入出力	ポート9 8ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB9 (PUB9) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-

注 μ PD789426, 789436サブシリーズのみ

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目		構 成
制御レジスタ		ポート・モード・レジスタ (PMm : m = 0-3, 5, 7-9) プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3, PUB7-PUB9)
ポート	μ PD789426, 789436サブシリーズ	合計 : 40本 (CMOS入出力 : 30本, CMOS入力 : 6本, N-chオープン・ドレイン入出力 : 4本)
	μ PD789446, 789456サブシリーズ	合計 : 30本 (CMOS入出力 : 20本, CMOS入力 : 6本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	μ PD789426, 789436サブシリーズ	合計 : 34本 (ソフトウェア制御 : 30本, マスク・オプション指定 : 4本)
	μ PD789446, 789456サブシリーズ	合計 : 24本 (ソフトウェア制御 : 20本, マスク・オプション指定 : 4本)

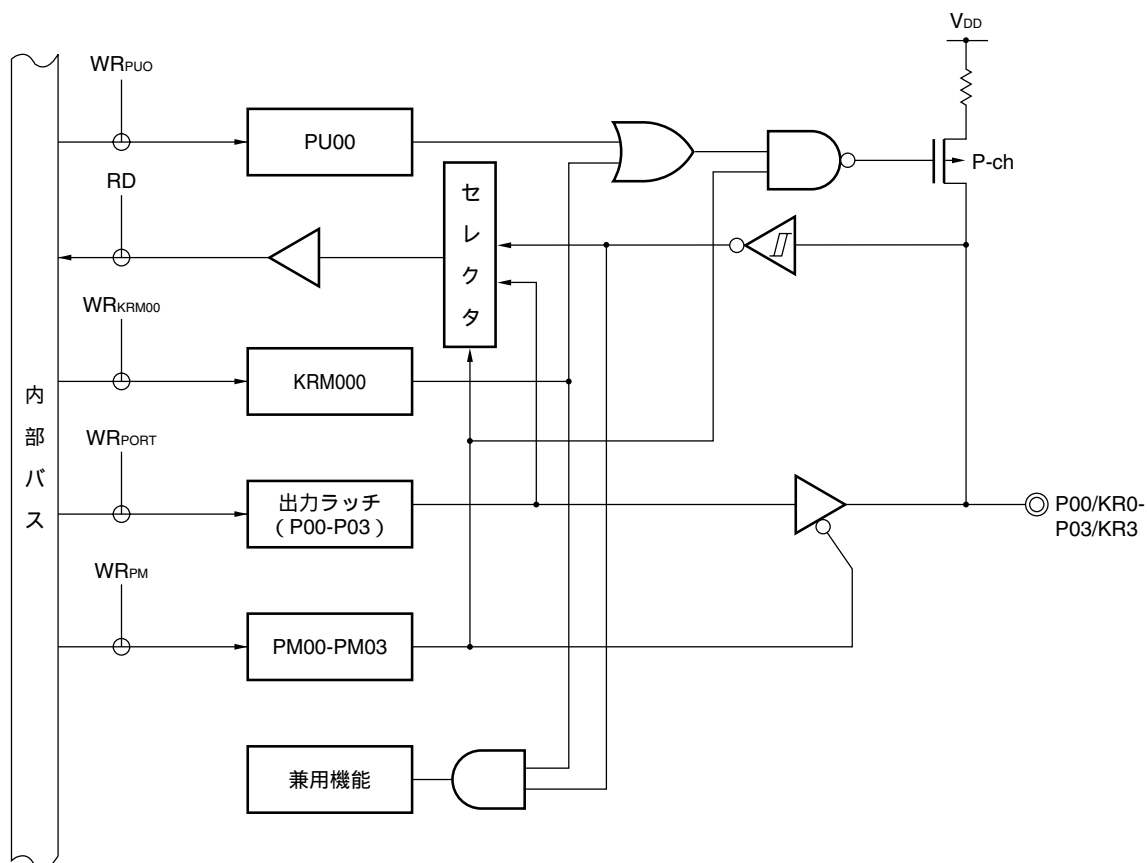
4.2.1 ポート0

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により4ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3にポート0のブロック図を示します。

図4 - 3 P00-P03のブロック図



KRM00 : キー・リターン・モード・レジスタ00

PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

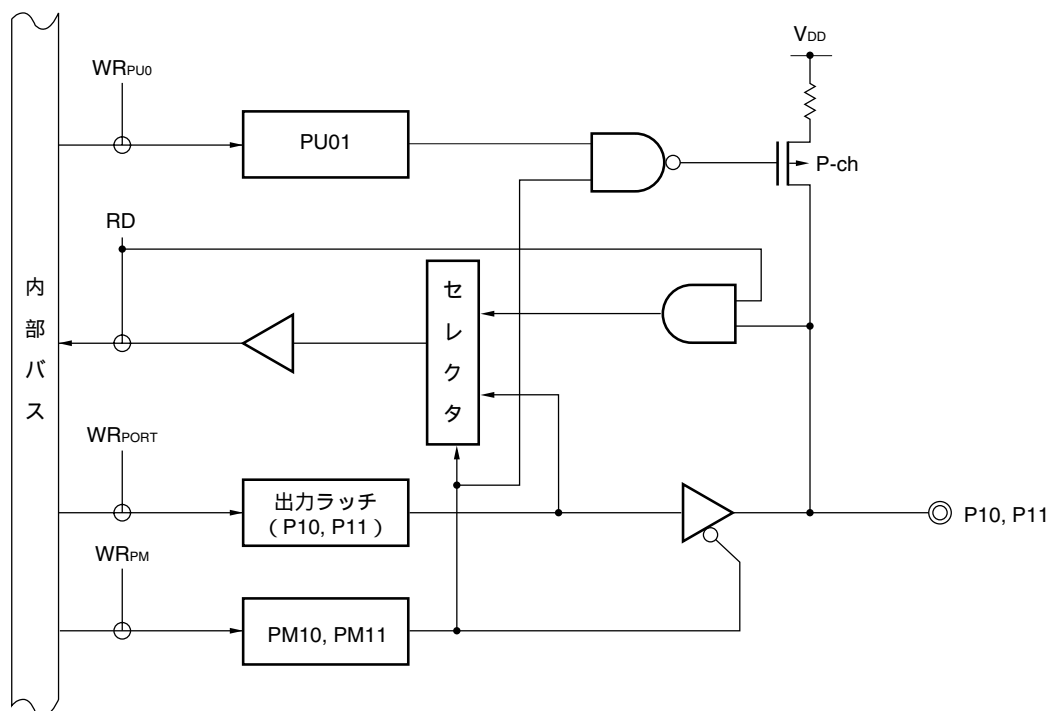
4.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) の設定により2ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 4にポート1のブロック図を示します。

図4 - 4 P10, P11のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

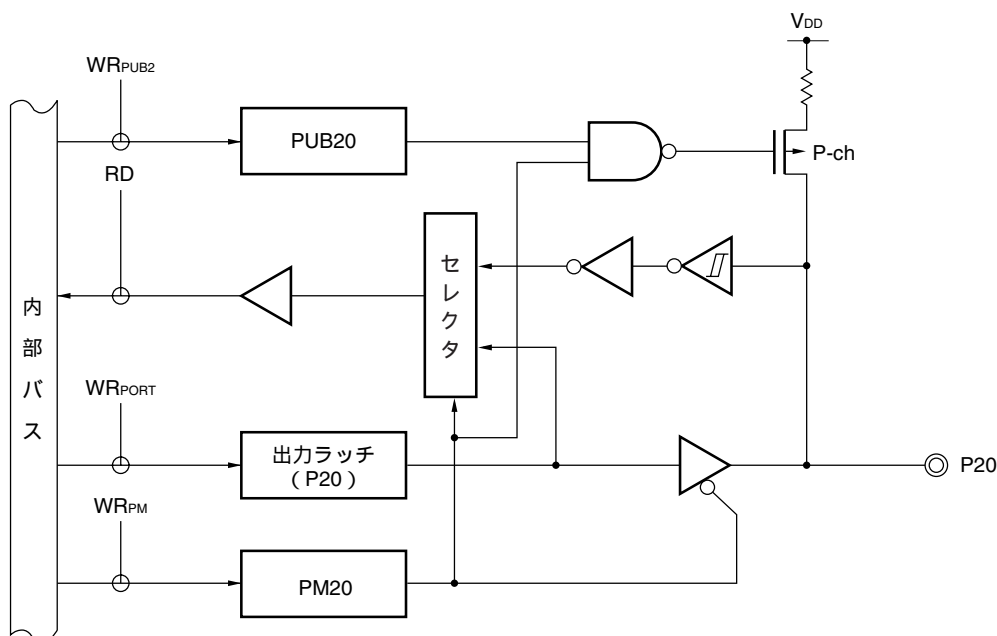
また、兼用機能としてシリアル・インタフェースの入出力、ブザー出力、タイマ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 5から図4 - 10にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表12 - 2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

図4 - 5 P20のブロック図



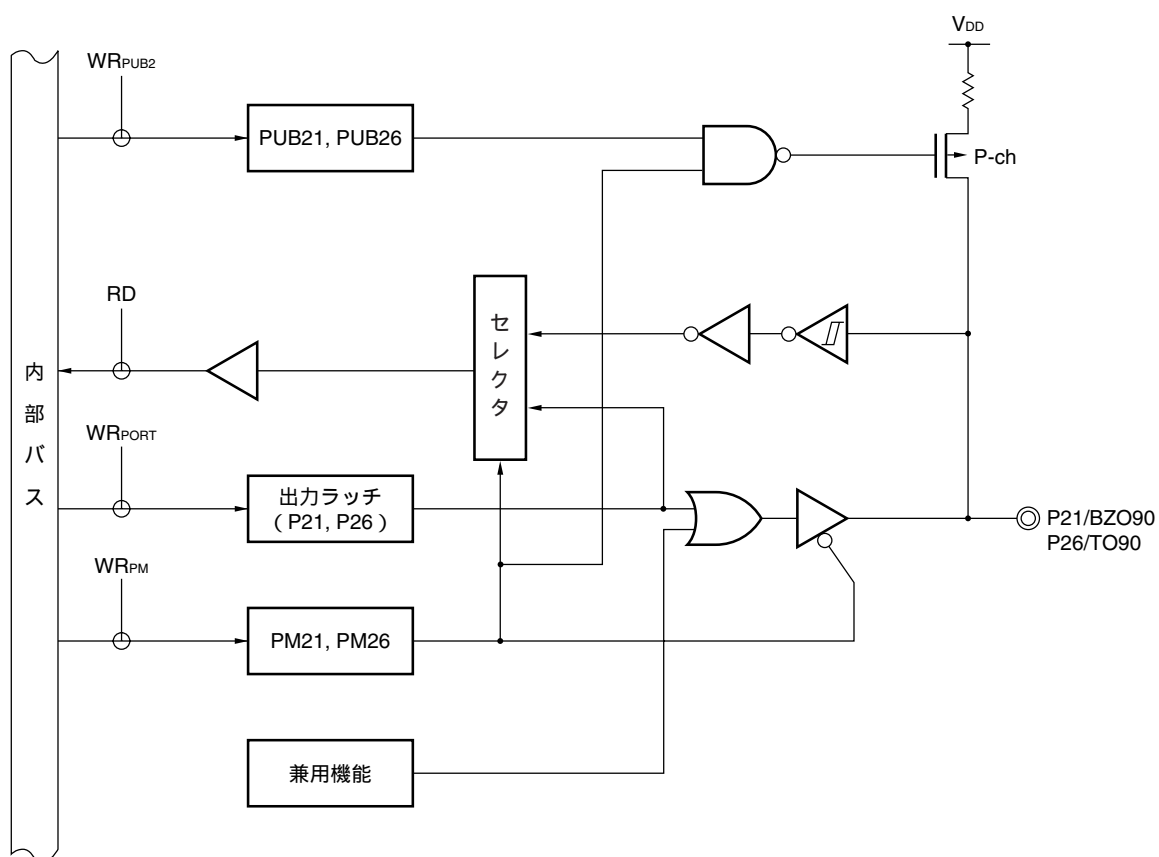
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P21, P26のブロック図



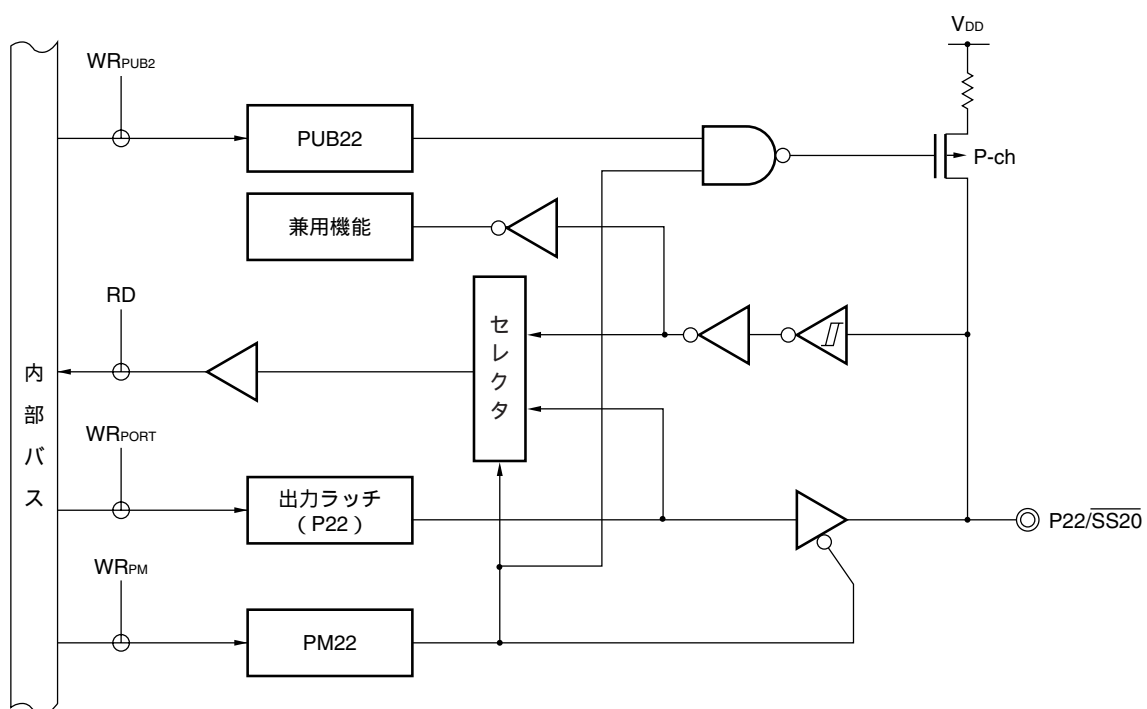
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 7 P22のブロック図



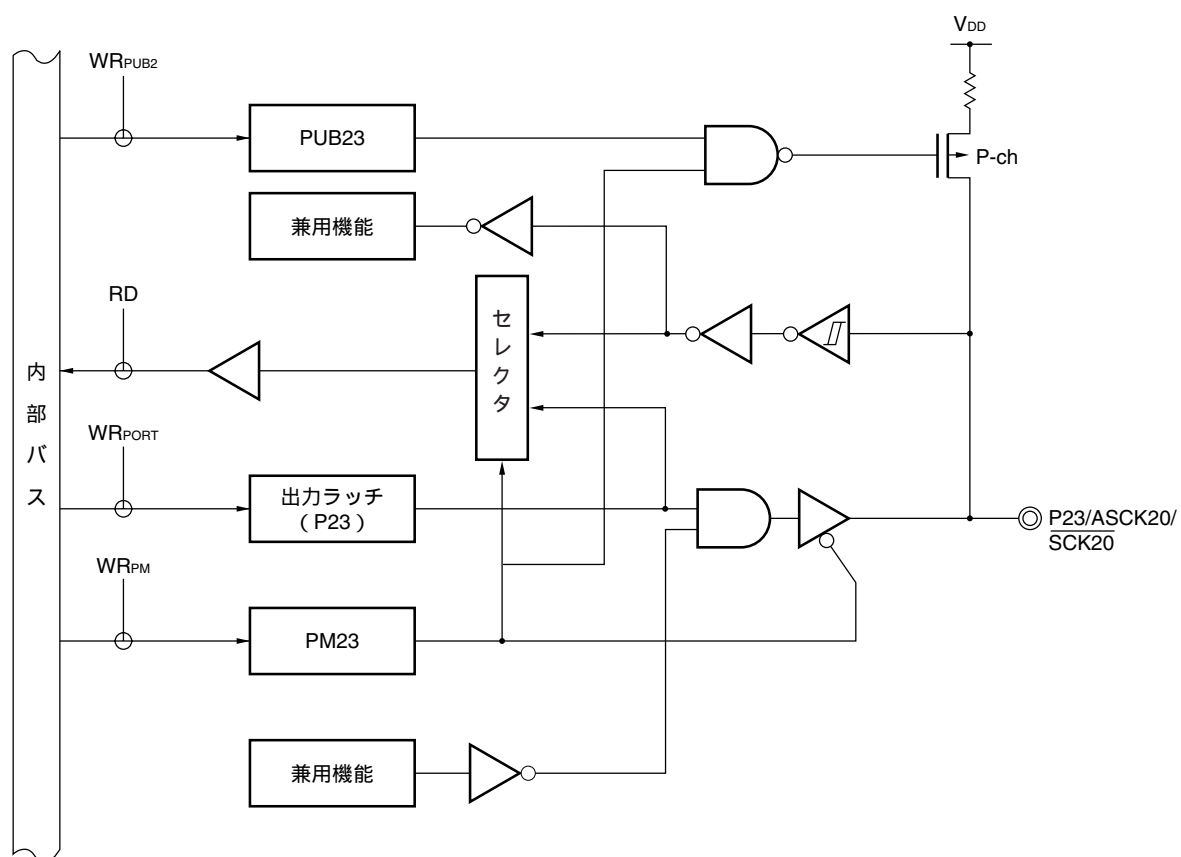
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 8 P23のブロック図



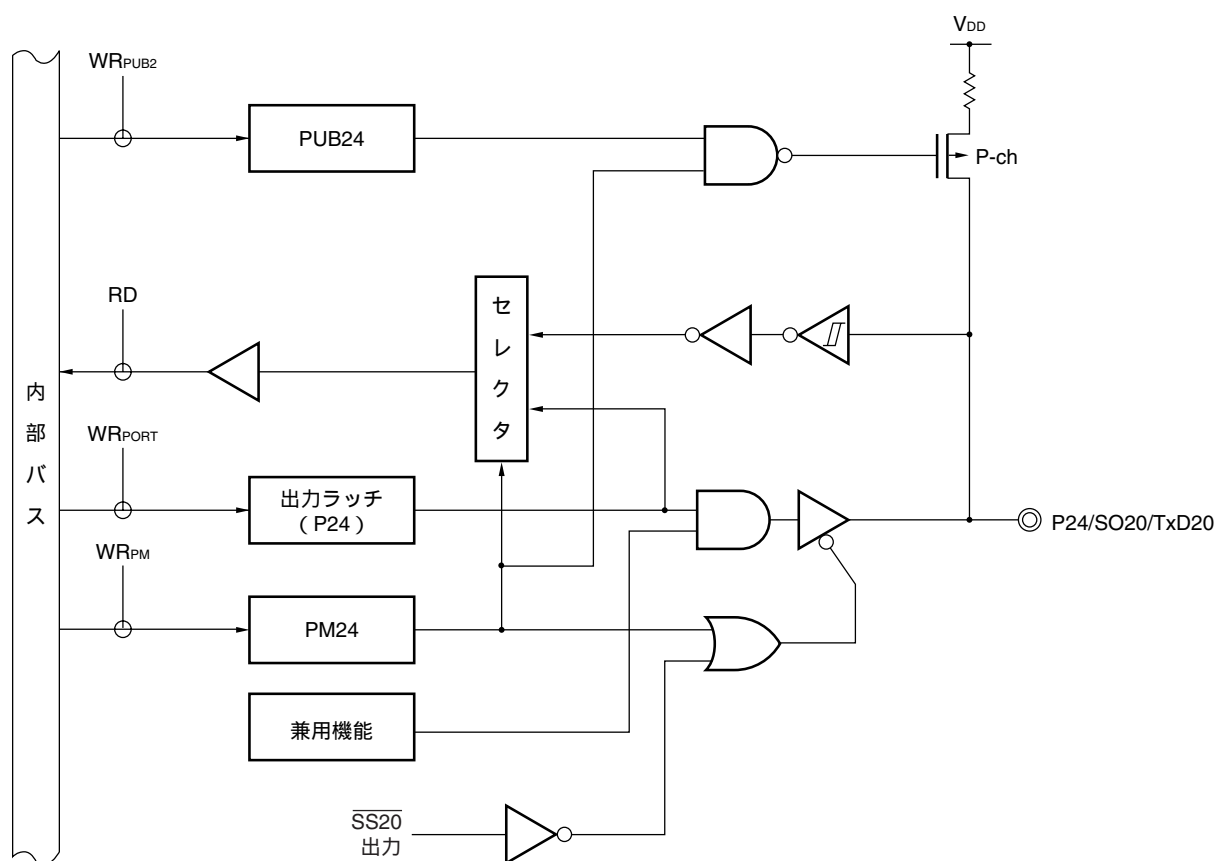
PUB2 : ブルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 9 P24のブロック図



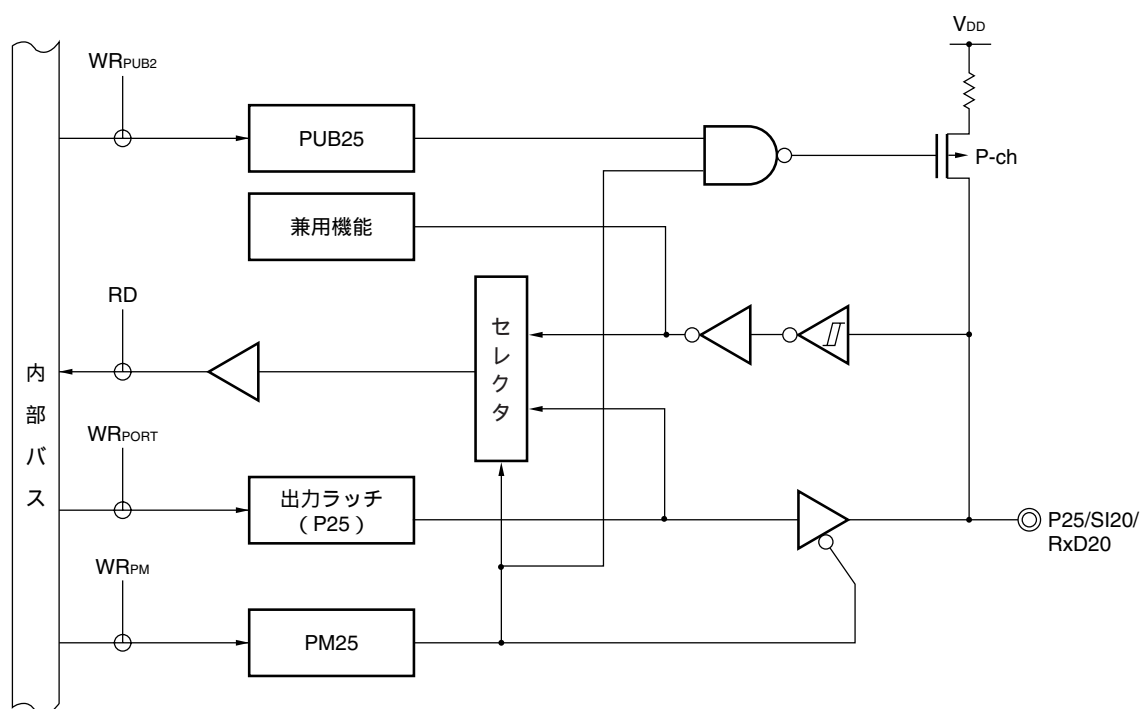
PUB2 : ブルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 10 P25のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

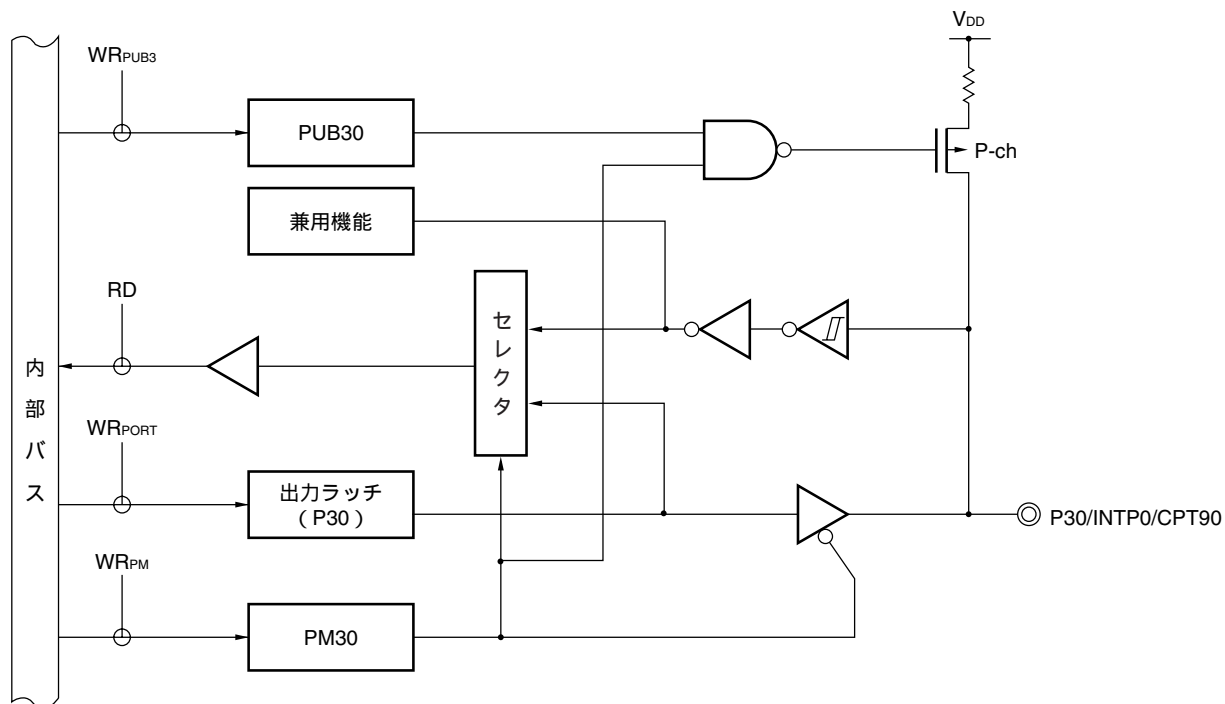
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み入力、キャプチャ入力、タイマ入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 11, 図4 - 12にポート3のブロック図を示します。

図4 - 11 P30のブロック図



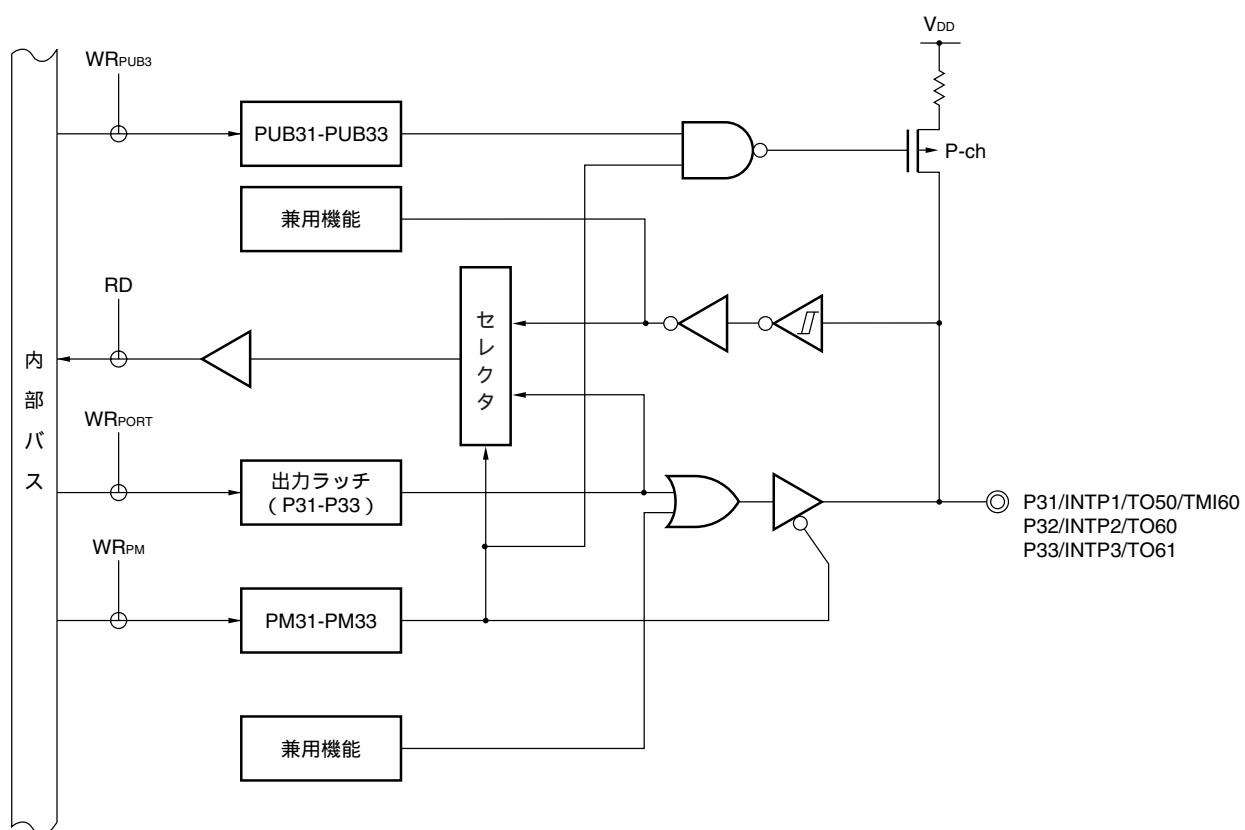
PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 12 P31-P33のブロック図



PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

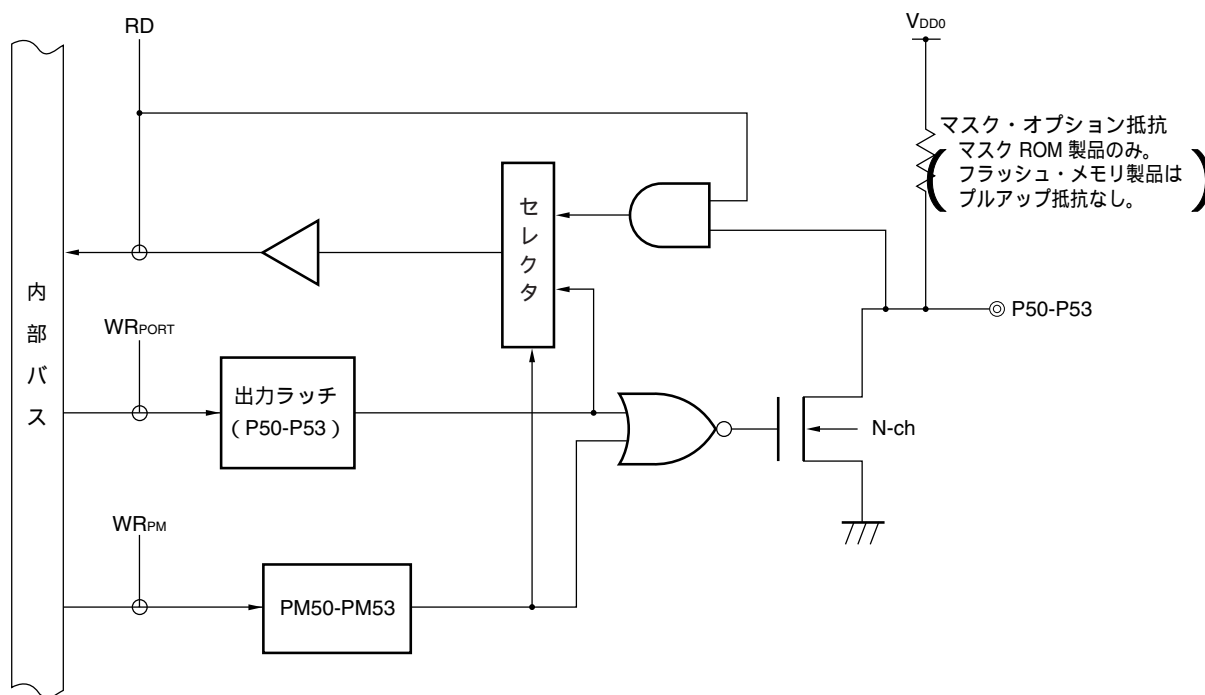
4.2.5 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により, 1ビット単位で入力モード/出力モードの指定ができます。マスクROM製品はマスク・オプションにより, プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 13にポート5のブロック図を示します。

図4 - 13 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

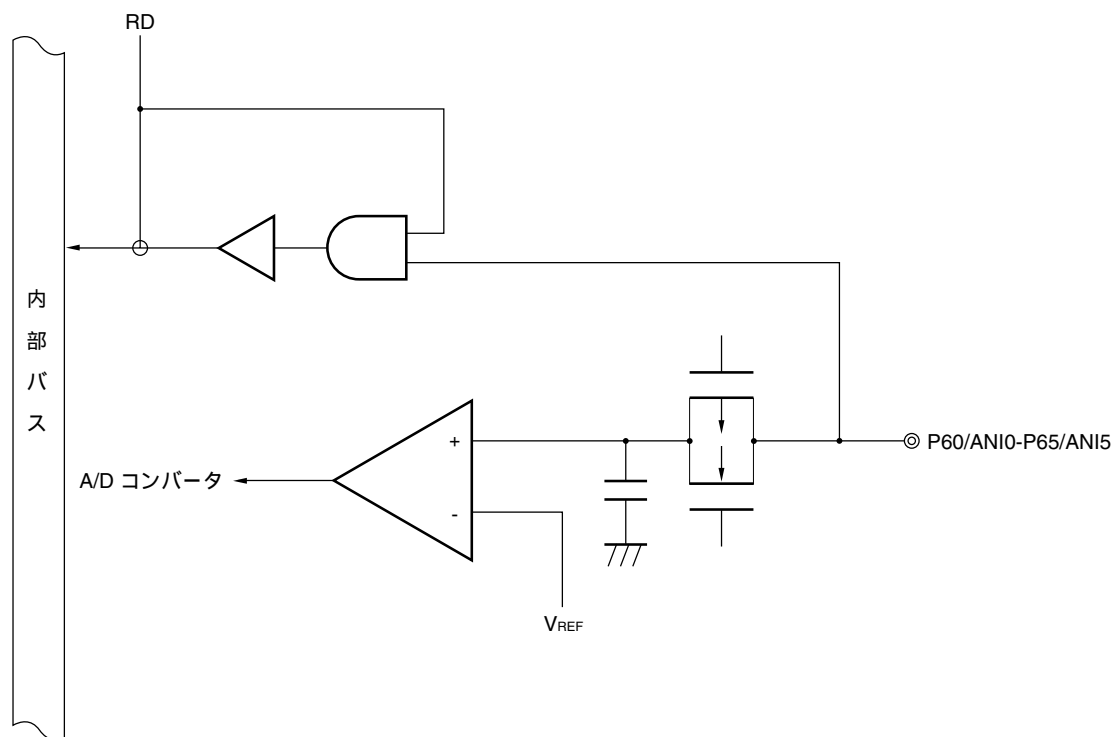
4.2.6 ポート6

6ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 14にポート6のブロック図を示します。

図4 - 14 ポート6のブロック図



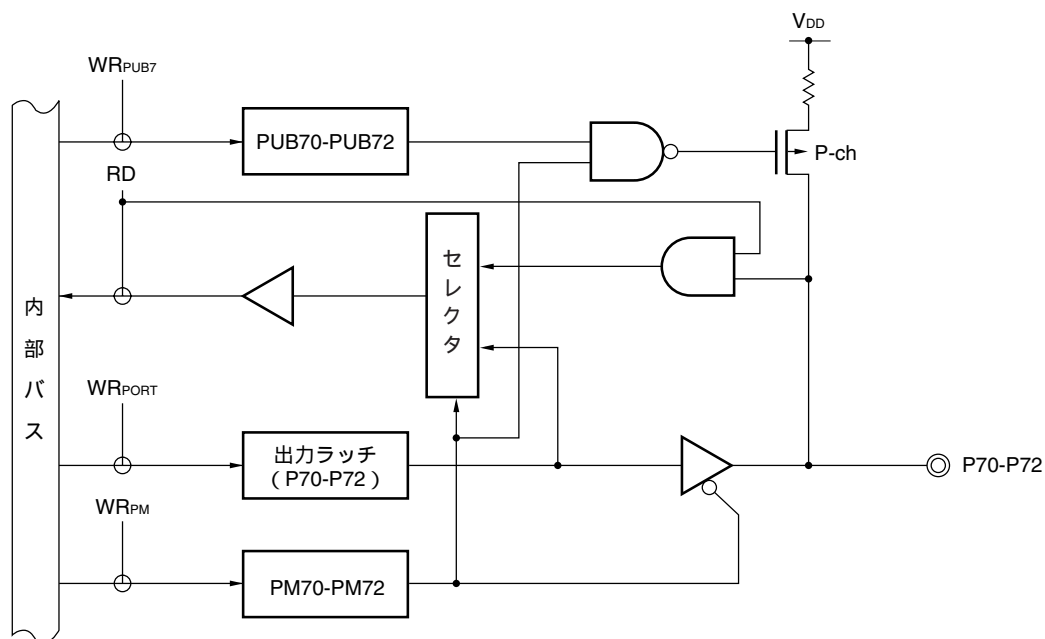
4.2.7 ポート7

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。P70-P72端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタB7 (PUB7) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 15にポート7のブロック図を示します。

図4 - 15 P70-P72のブロック図



PUB7 : プルアップ抵抗オプション・レジスタB7

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

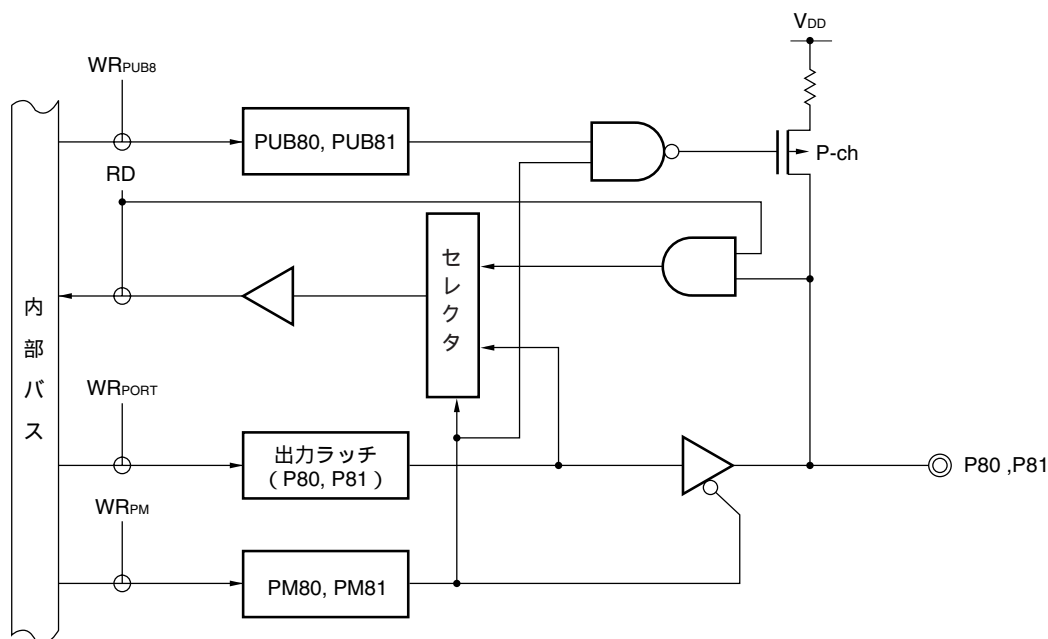
4.2.8 ポート8 (μPD789426, 789436サブシリーズのみ)

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。P80, P81端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタB8 (PUB8) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 16にポート8のブロック図を示します

図4 - 16 P80, P81のブロック図



PUB8 : プルアップ抵抗オプション・レジスタB8

PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

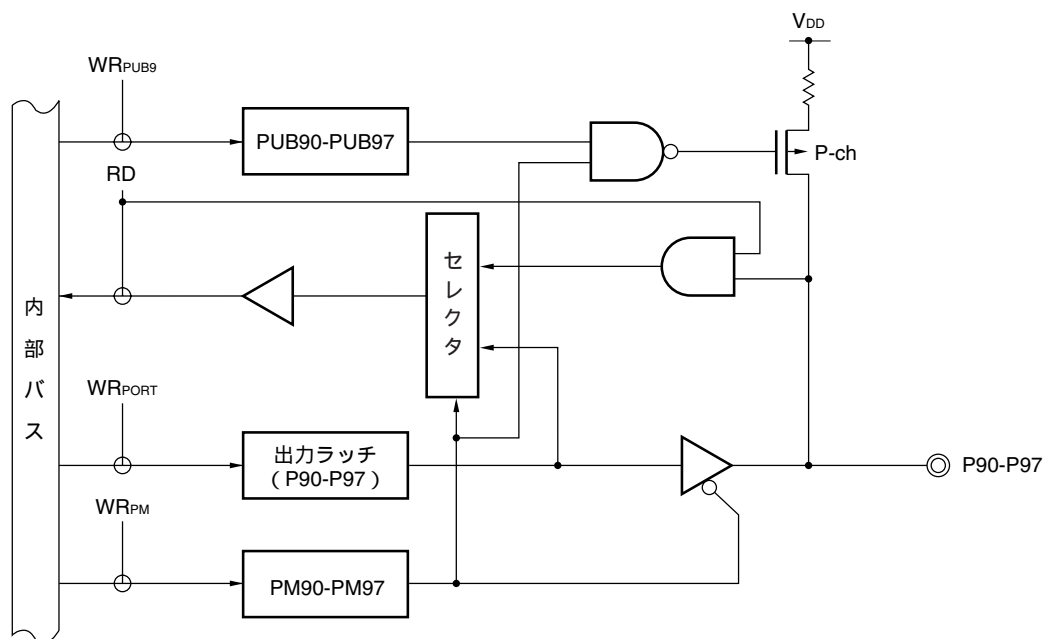
4.2.9 ポート9 (μ PD789426, 789436サブシリーズのみ)

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード / 出力モードの指定ができます。P90-P97端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタB9 (PUB9) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 17にポート9のブロック図を示します

図4 - 17 P90-P97のブロック図



PUB9 : プルアップ抵抗オプション・レジスタB9

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM5, PM7-PM9)
- ・プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3, PUB7-PUB9)

(1) ポート・モード・レジスタ (PM0-PM3, PM5, PM7-PM9)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4 - 3のように設定してください。

注意 ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図4 - 18 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM7	1	1	1	1	1	PM72	PM71	PM70	FF27H	FFH	R/W
PM8 ^注	1	1	1	1	1	1	PM81	PM80	FF28H	FFH	R/W
PM9 ^注	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5, 7-9 n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注 μ PD789426, 789436サブシリーズのみ内蔵されています。

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00-P03	KR0-KR3	入力	1	×
P26	TO90	出力	0	0
P30	INTP0	入力	1	×
	CPT90	入力	1	×
P31	INTP1	入力	1	×
	TO50	出力	0	0
	TMI60	入力	1	×
P32	INTP2	入力	1	×
	TO60	出力	0	0
P33	INTP3	入力	1	×
	TO61	出力	0	0
P60-P65	ANI0-ANI5	入力	1	×

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，表12 - 2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

ポート0, 1の内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで，入力モードに設定したビットにのみ，内部でプルアップ抵抗が使用できます。出力モードに設定したビットは，PU0の設定にかかわらず，内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図4 - 19 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01, PU00	FFF7H	00H	R/W

PU0m	ポートmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット2-7には，必ず0を設定してください。

(3) ブルアップ抵抗オプション・レジスタB2 (PUB2)

P20-P26の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB2で内蔵ブルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、内部でブルアップ抵抗が使用できます。出力モードに設定したビットは、PUB2の設定にかかわらず、内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 20 ブルアップ抵抗オプション・レジスタB2のフォーマット

略号	7							0	アドレス	リセット時	R/W
PUB2	0	PUB26	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W

PUB2n	P2nの内蔵ブルアップ抵抗の選択 (n = 0-6)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(4) ブルアップ抵抗オプション・レジスタB3 (PUB3)

P30-P33の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB3で内蔵ブルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、内部でブルアップ抵抗が使用できます。出力モードに設定したビットは、PUB3の設定にかかわらず、内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB3は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 21 ブルアップ抵抗オプション・レジスタB3のフォーマット

略号	7	6	5	4				0	アドレス	リセット時	R/W
PUB3	0	0	0	0	PUB33	PUB32	PUB31	PUB30	FF33H	00H	R/W

PUB3n	P3nの内蔵ブルアップ抵抗の選択 (n = 0-3)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(5) ブルアップ抵抗オプション・レジスタB7 (PUB7)

P70-P72の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB7で内蔵ブルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、内部でブルアップ抵抗が使用できます。出力モードに設定したビットは、PUB7の設定にかかわらず、内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB7は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 22 ブルアップ抵抗オプション・レジスタB7のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUB7	0	0	0	0	0	PUB72	PUB71	PUB70	FF37H	00H	R/W

PUB7n	P7nの内蔵ブルアップ抵抗の選択 (n = 0-2)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(6) ブルアップ抵抗オプション・レジスタB8 (PUB8)^注

P80, P81の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB8で内蔵ブルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、内部でブルアップ抵抗が使用できます。出力モードに設定したビットは、PUB8の設定にかかわらず、内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB8は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注 μ PD789426, 789436サブシリーズのみ内蔵されています。

図4 - 23 ブルアップ抵抗オプション・レジスタB8のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUB8	0	0	0	0	0	0	PUB81	PUB80	FF38H	00H	R/W

PUB8n	P8nの内蔵ブルアップ抵抗の選択 (n = 0, 1)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(7) プルアップ抵抗オプション・レジスタB9 (PUB9)^注

P90-P97の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB9で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PUB9の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB9は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注 μPD789426, 789436サブシリーズのみ内蔵されています。

図4 - 24 プルアップ抵抗オプション・レジスタB9のフォーマット

略号	0							アドレス	リセット時	R/W	
PUB9	PUB97	PUB96	PUB95	PUB94	PUB93	PUB92	PUB91	PUB90	FF39H	00H	R/W

PUB9n	P9nの内蔵プルアップ抵抗の選択 (n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

4. 4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4. 4. 1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4. 4. 2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4. 4. 3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

- ★ システム・クロック発振回路には、メイン・システム・クロック発振回路とサブシステム・クロック発振回路の2種類があります。

また、メイン・システム・クロック発振回路にはクリスタル/セラミック発振とRC発振があり、マスク・オプションにより選択できます。

・メイン・システム・クロック発振回路（クリスタル/セラミック発振）

1.0～5.0 MHzの周波数のクロックを発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

- ★ ・メイン・システム・クロック発振回路（RC発振）（マスク・オプション）

2.0～4.0 MHzの周波数のクロックを発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

・サブシステム・クロック発振回路

32.768 kHzの周波数のクロックを発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

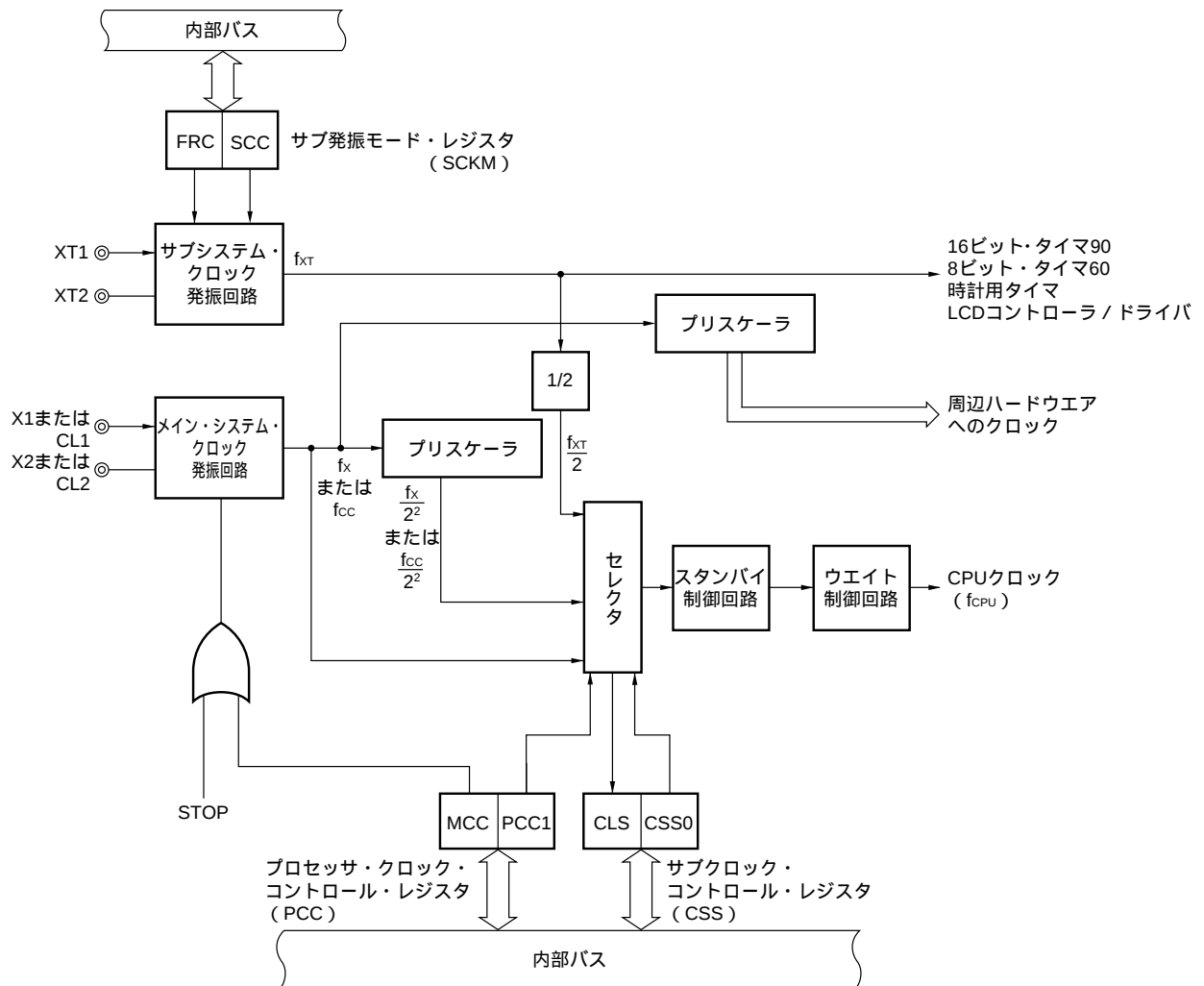
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ サブ発振モード・レジスタ (SCKM)
- ・ サブクロック・コントロール・レジスタ (CSS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

★

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時	$f_{\text{CC}} = 4.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x (0.2 \mu\text{s})$	$f_{\text{CC}} (0.25 \mu\text{s})$
0	1	$f_x/2^2 (0.8 \mu\text{s})$	$f_{\text{CC}}/2^2 (1.0 \mu\text{s})$
1	0	$f_{\text{XT}}/2 (61 \mu\text{s})$	
1	1		

注 CPUクロックの選択は, プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (5. 3 (3) サブクロック・コントロール・レジスタ (CSS) を参照)。

注意 1. ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。

備考 1. f_x : メイン・システム・クロック発振周波数 (クリスタル/セラミック発振)

2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{XT} : サブシステム・クロック発振周波数

最小命令実行時間はCPUクロック (f_{CPU}) $\times 2$ で表します。次に各設定値による最小命令実行時間を示します。

★

CSS0	PCC1	最小命令実行時間	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時	$f_{\text{CC}} = 4.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	$0.4 \mu\text{s}$	$0.5 \mu\text{s}$
0	1	$1.6 \mu\text{s}$	$2.0 \mu\text{s}$
1	0	$122 \mu\text{s}$	
1	1		

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。

SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 [※]
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

- ★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの（分周）出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の（分周）出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

5.4 システム・クロック発振回路

- ★ システム・クロック発振回路には、メイン・システム・クロック発振回路とサブシステム・クロック発振回路の2種類があります。また、メイン・システム・クロックをクリスタル/セラミック発振またはRC発振（マスク・オプション）の2種類から選択することができます。

5.4.1 メイン・システム・クロック発振回路（クリスタル/セラミック発振）

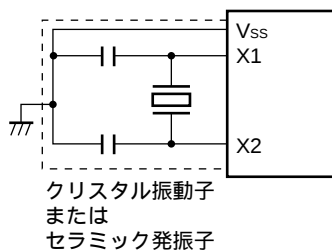
X1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

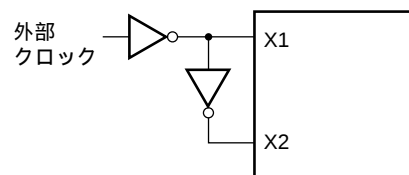
図5 - 5にメイン・システム・クロック発振回路（クリスタル/セラミック発振）の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路（クリスタル/セラミック発振）の外付け回路

(a) クリスタル，セラミック発振



(b) 外部クロック



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量の影響を避けるために、図5 - 5、図5 - 6、図5 - 7の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

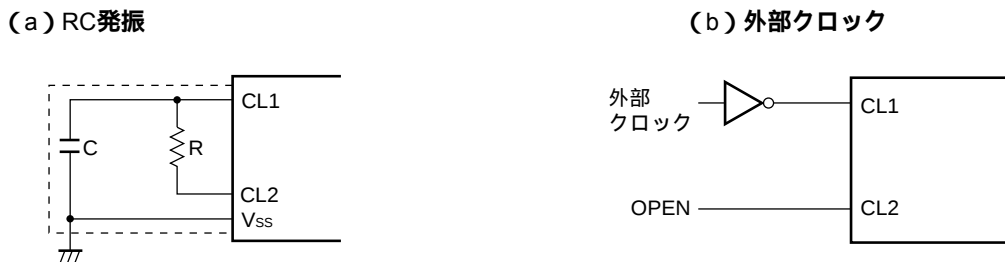
★ 5.4.2 メイン・システム・クロック発振回路 (RC発振) (マスク・オプション)

CL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) (標準: 4.0 MHz) によって発振します。

また, 外部クロックを入力することもできます。その場合, CL1端子にクロック信号を入力し, CL2端子はオープンにしてください。

図5 - 6にメイン・システム・クロック発振回路 (RC発振) の外付け回路を示します。

図5 - 6 メイン・システム・クロック発振回路 (RC発振) の外付け回路



5.4.3 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子 (標準: 32.768 kHz) によって発振します。

また, 外部クロックを入力することもできます。その場合, XT1端子にクロック信号を入力し, XT2端子には, その反転した信号を入力してください。

図5 - 7にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 7 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は, 配線容量の影響を避けるために, 図5 - 5, 図5 - 6, 図5 - 7の破線の部分を次のように配線してください。

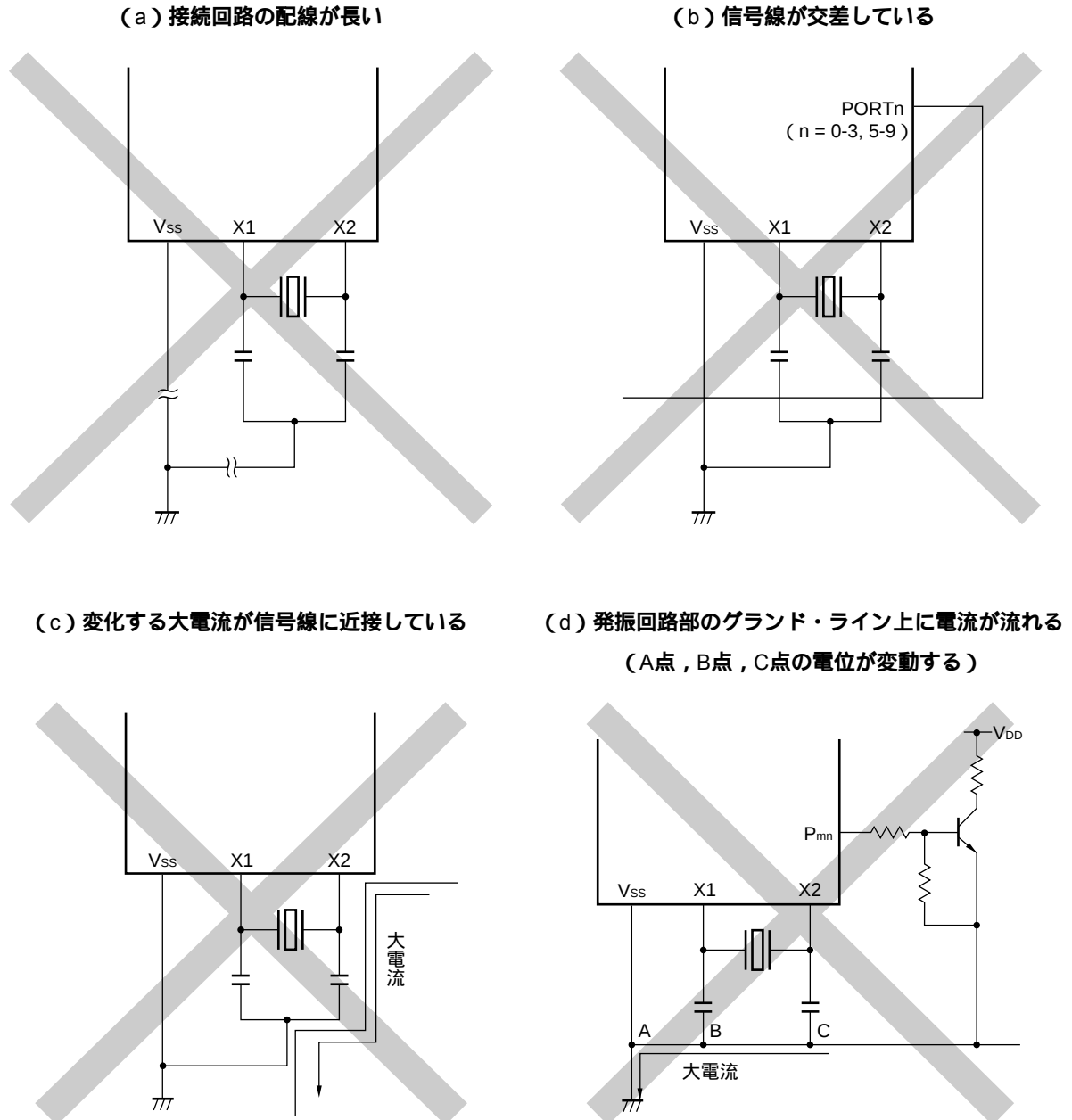
- ・配線は極力短くする。
- ・他の信号線と交差させない。また, 変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は, 常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に, サブシステム・クロック発振回路は, 低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

★ 5.4.4 発振子の接続の悪い例

図5 - 8にクリスタル／セラミック発振時の接続の悪い例，図5 - 9にRC発振時の接続の悪い例を示します。

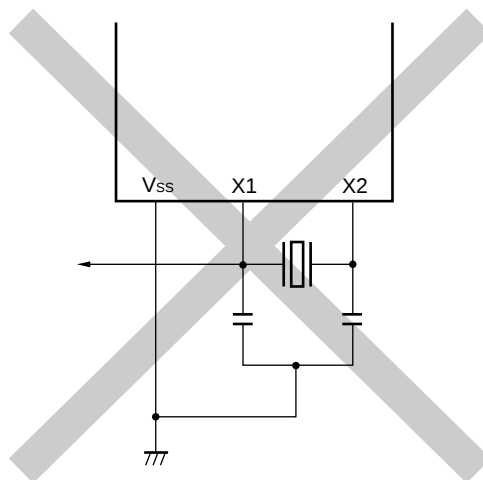
図5 - 8 クリスタル／セラミック発振時の接続の悪い例 (1/2)



備考 サブシステム・クロックをご使用の場合は，X1，X2をXT1，XT2と読み替えてください。また，XT2側に直列に抵抗を接続してください。

図5 - 8 クリスタル/セラミック発振時の接続の悪い例 (2/2)

(e) 信号を取り出している

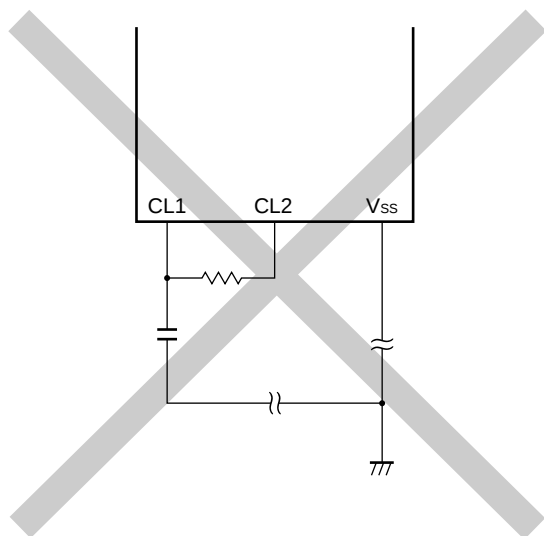


備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

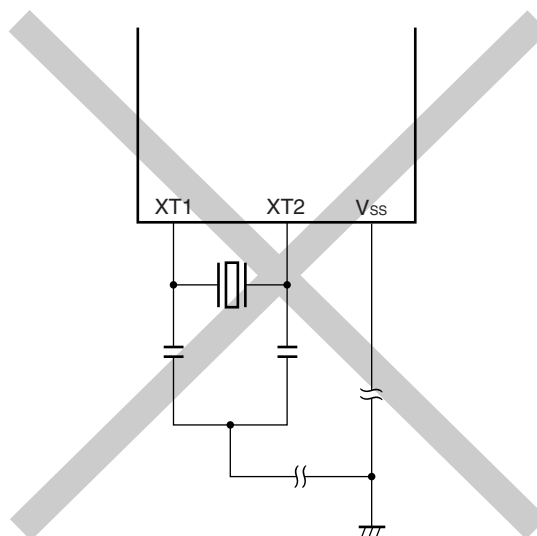
図5 - 9 RC発振時の接続の悪い例 (1/3)

(a) 接続回路の配線が長い

・メイン・システム・クロックの場合

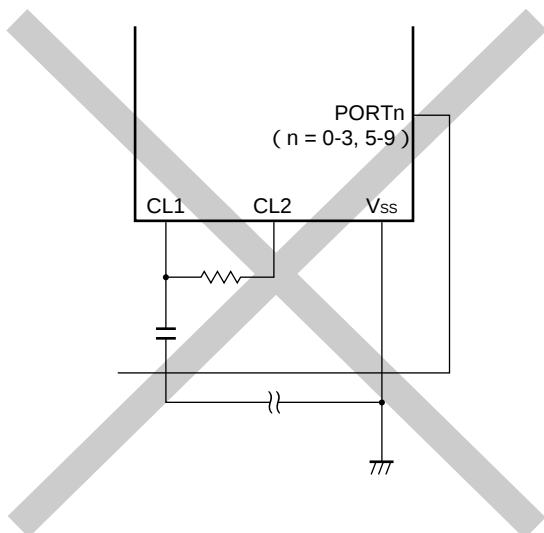


サブシステム・クロックの場合



(b) 信号線が交差している

・メイン・システム・クロックの場合



・サブシステム・クロックの場合

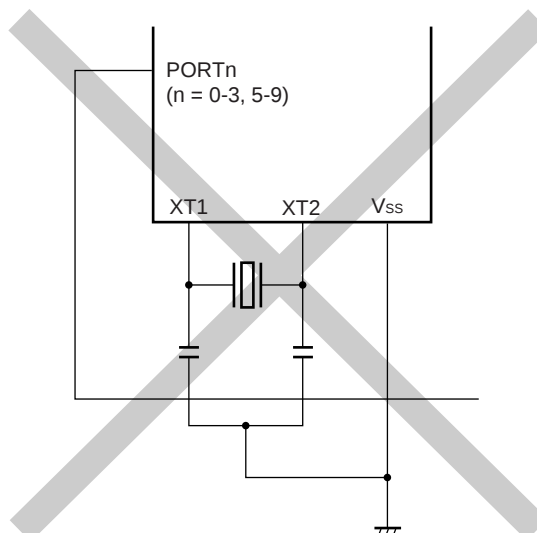
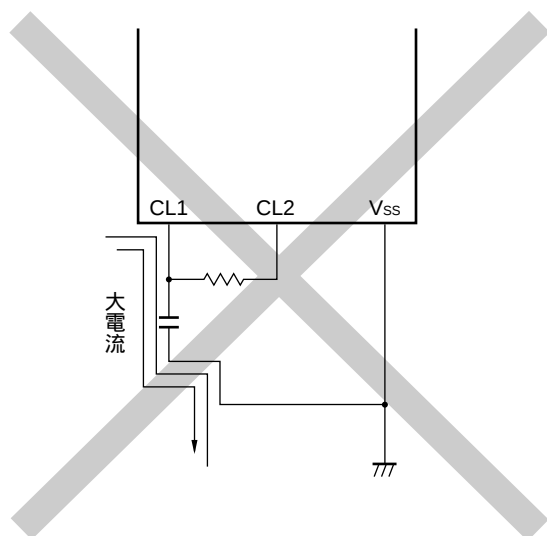


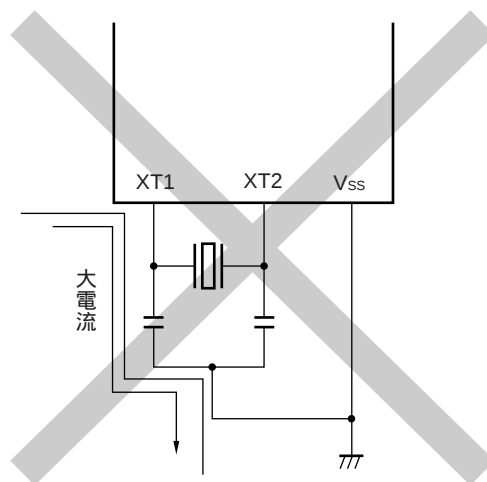
図5 - 9 RC発振時の接続の悪い例 (2/3)

(c) 変化する大電流が信号線に近接している

・メイン・システム・クロックの場合

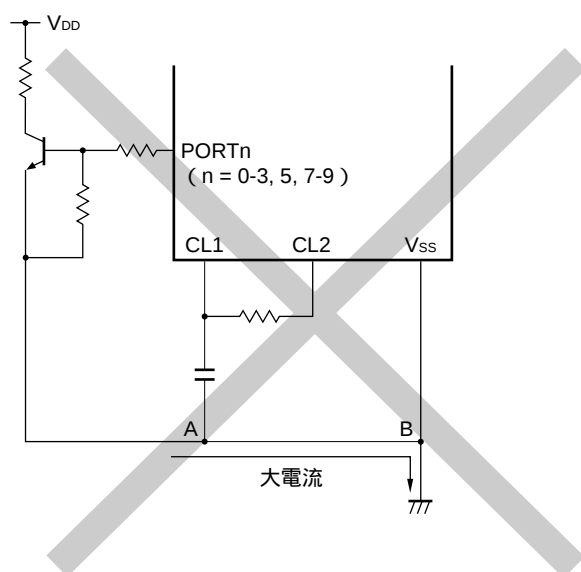


・サブシステム・クロックの場合



(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)

・メイン・システム・クロックの場合



・サブシステム・クロックの場合

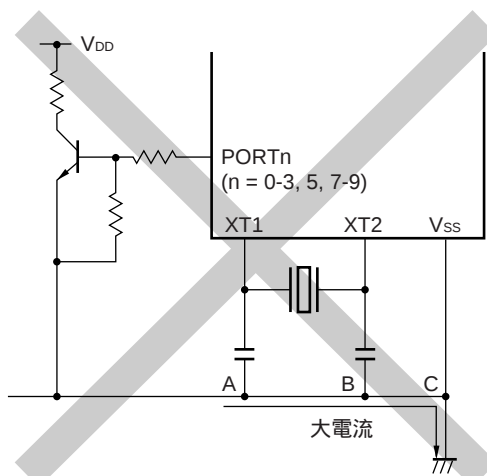
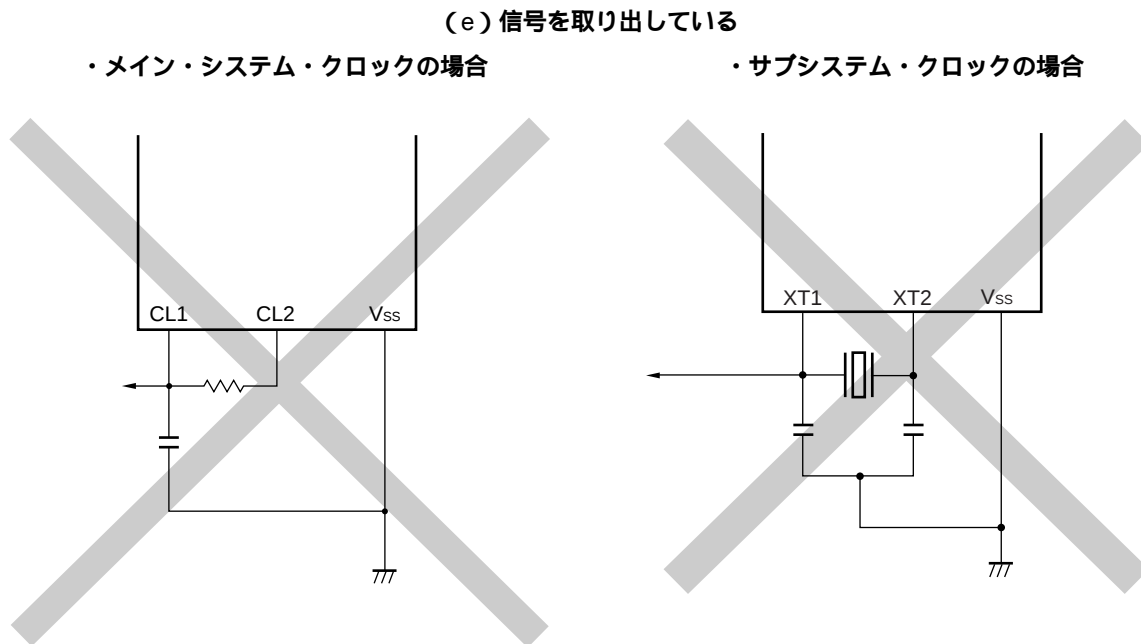


図5 - 9 RC発振時の接続の悪い例 (3/3)



5. 4. 5 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx, fcc) を分周して、各種クロックを生成します。

5. 4. 6 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : Vssに接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x または f_{CC}
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）、サブ発振モード・レジスタ（SCKM）、サブクロック・コントロール・レジスタ（CSS）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード $2f_{CPU}$ が選択されます（PCC = 02H）。
なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階のCPUクロック f_{CPU} （詳細は、**図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット**参照）を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1（FRC）で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電力をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4（CSS0）により、サブシステム・クロックを選択し、低消費電流で動作（ $122\ \mu\text{s} : 32.768\ \text{kHz}$ 動作時）ができます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7（MCC）によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16ビット・タイマ、8ビット・タイマ、時計用タイマ、LCDコントローラ／ドライバにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも16ビット・タイマ、8ビット・タイマ、時計用タイマ、LCDコントローラ／ドライバは、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 2、表5 - 3参照）。

表5 - 2 CPUクロックの切り替えに要する最大時間（クリスタル/セラミック発振選択時）

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	×
0	0			4クロック		2f _x /f _{xT} クロック (306クロック)	
	1			2クロック		f _x /2f _{xT} クロック (76クロック)	
1	×	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は、f_x = 5.0 MHz動作時またはf_{xT} = 32.768 kHz動作時

3. × : don't care

★

表5 - 3 CPUクロックの切り替えに要する最大時間（RC発振選択時）

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	×
0	0			4クロック		2f _{cc} /f _{xT} クロック (244クロック)	
	1			2クロック		f _{cc} /2f _{xT} クロック (61クロック)	
1	×	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は、f_{cc} = 4.0 MHz動作時またはf_{xT} = 32.768 kHz動作時

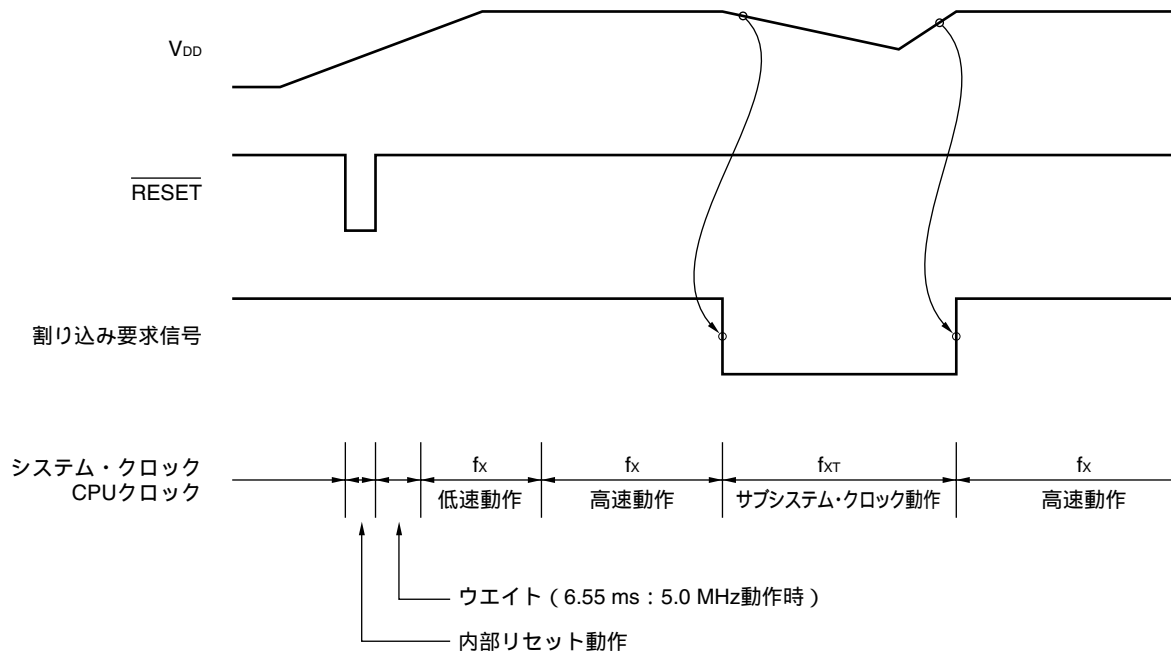
3. × : don't care

5.6.2 システム・クロックとCPUクロックの切り替え手順

(1) クリスタル/セラミック発振選択時

メイン・システム・クロックにクリスタル/セラミック発振を選択したときのシステム・クロックとCPUクロックの切り替えについて説明します。

図5 - 10 システム・クロックとCPUクロックの切り替え（クリスタル/セラミック発振）



電源投入後、 $\overline{RESET}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{RESET}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($1.6 \mu s$: 5.0 MHz動作時) で命令の実行を開始します。

V_{DD} 電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

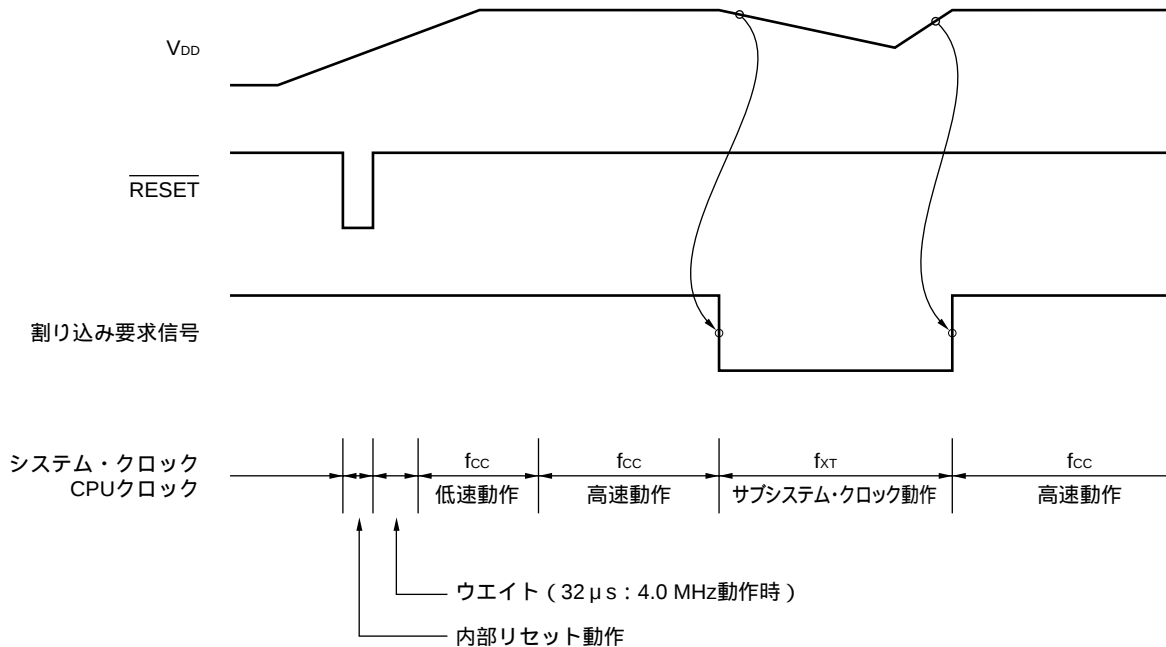
V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

★ (2) RC発振選択時

メイン・システム・クロックにRC発振を選択したときのシステム・クロックとCPUクロックの切り替えについて説明します。

図5 - 11 システム・クロックとCPUクロックの切り替え (RC発振)



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^7/f_{cc}$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($2.0 \mu\text{s}$: 4.0 MHz動作時) で命令の実行を開始します。

V_{DD} 電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 16ビット・タイマ90

6.1 16ビット・タイマ90の機能

16ビット・タイマ90には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・ブザー出力
- ・カウント値のキャプチャ

(1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

(2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

(3) ブザー出力

ソフトウェアの設定によりブザー出力制御が可能です。

(4) カウント値のキャプチャ

キャプチャ・トリガに同期して16ビット・タイマ・カウンタ90 (TM90) のカウント値をキャプチャ・レジスタに取り込み、保持します。

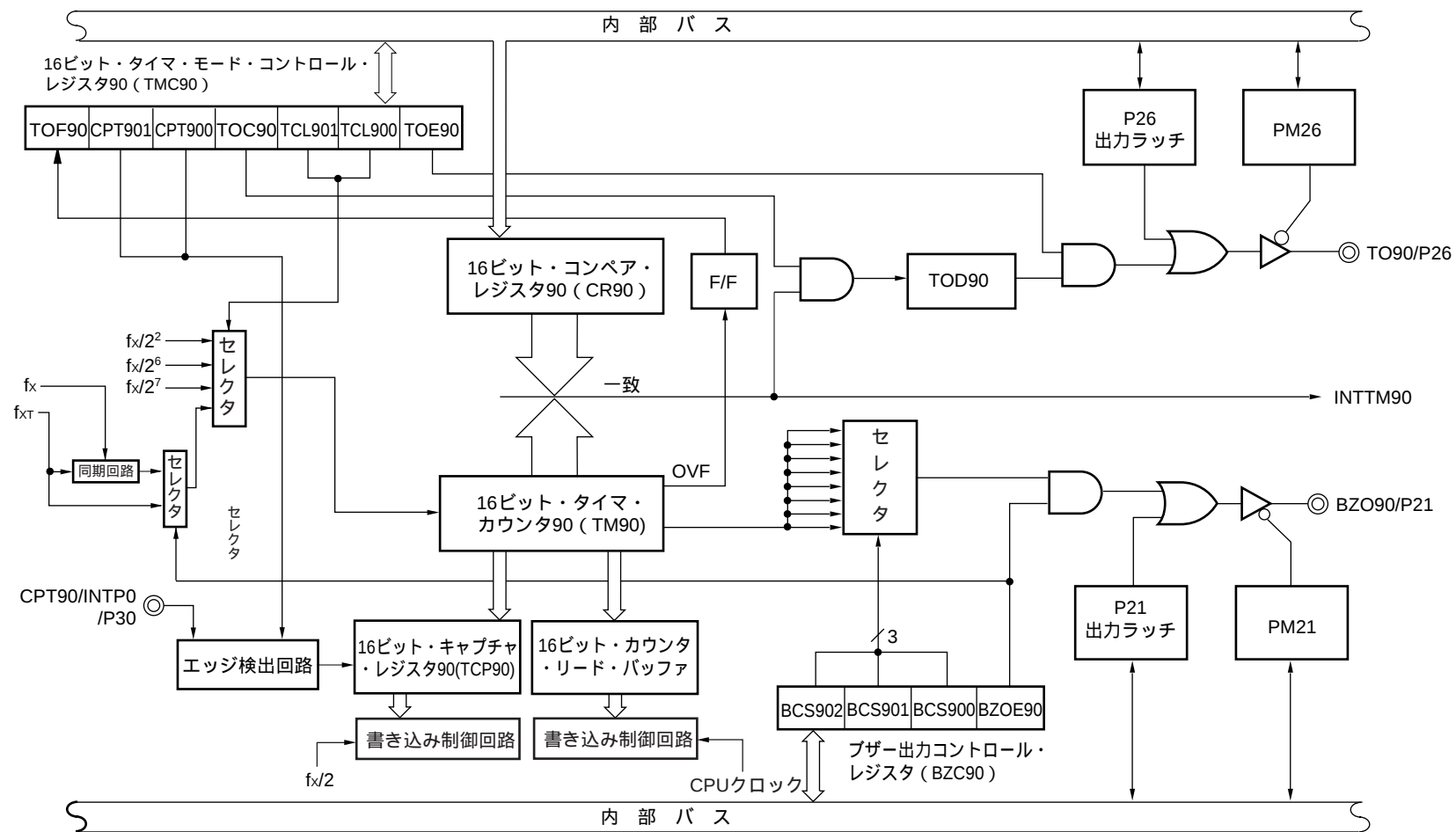
6.2 16ビット・タイマ90の構成

16ビット・タイマ90は、次のハードウェアで構成しています。

表6 - 1 16ビット・タイマ90の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM90)
レジスタ	コンペア・レジスタ : 16ビット×1本 (CR90) キャプチャ・レジスタ : 16ビット×1本 (TCP90)
タイマ出力	1本 (TO90)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) ブザー出力コントロール・レジスタ90 (BZC90) ポート・モード・レジスタ2, 3 (PM2, PM3) ポート2 (P2)

図6-1 16ビット・タイマ90のブロック図



(1) 16ビット・コンペア・レジスタ90 (CR90)

CR90に設定した値と16ビット・タイマ・カウンタ90 (TM90) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM90) を発生する16ビットのレジスタです。

CR90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

$\overline{\text{RESET}}$ 入力により、FFFFHになります。

注意1 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

2 カウント動作中にCR90を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ1 (MK1) で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) でタイマ出力データを反転禁止に設定してください。

割り込みを許可している状態でCR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) 16ビット・タイマ・カウンタ90 (TM90)

カウント・パルスをカウントする16ビットのレジスタです。

TM90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

注意1 ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。

2 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

3 8ビット・メモリ操作命令を使用する場合、下位バイト→上位バイトの順で必ずペアで読み出してください。

(3) 16ビット・キャプチャ・レジスタ90 (TCP90)

TM90の内容をキャプチャする16ビットのレジスタです。

TCP90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(4) 16ビット・カウンタ・リード・バッファ90

TM90のカウント値をラッチし、カウント値を保持します。

6.3 16ビット・タイマ90を制御するレジスタ

16ビット・タイマ90は、次の4種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90)
- ・ プザー出力コントロール・レジスタ90 (BZC90)
- ・ ポート・モード・レジスタ2, 3 (PM2, PM3)
- ・ ポート2 (P2)

(1) 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90)

16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) は、カウント・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC90は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ90のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC90	TOD90	TOF90	CPT901	CPT900	TOC90	TCL901	TCL900	TOE90	FF48H 00H R/W ^注

TOD90	タイマ出力データ
0	タイマ出力データが“0”
1	タイマ出力データが“1”

TOF90	オーバフロー・フラグのセット
0	リセットおよびソフトウェアでクリア
1	16ビット・タイマのオーバフローでセット

CPT901	CPT900	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT90端子の立ち上がりエッジ
1	0	CPT90端子の立ち下がりエッジ
1	1	CPT90端子の両エッジ

TOC90	タイマ出力データの反転制御
0	反転禁止
1	反転許可

TCL901	TCL900	16ビット・タイマ・カウンタ90のカウント・クロックの選択
0	0	$f_x/2^2$ (1.25 MHz)
0	1	$f_x/2^6$ (78.1 kHz)
1	0	$f_x/2^7$ (39.1 kHz)
1	1	f_{XT} (32.768 kHz)

TOE90	16ビット・タイマ・カウンタ90の出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注 ビット7は、Read Onlyです。

注意 TCL901, TCL900を同一データ以外に書き換えるには、あらかじめ、割り込みマスク・フラグ・レジスタ1（MK1）で割り込み禁止にしてください。またタイマ出力データを反転禁止（TOC90 = 0）にしてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は、 $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

(2) ブザー出力コントロール・レジスタ90 (BZC90)

カウント・クロック選択ビット (TCL901, TCL900) で選択したfclをもとにブザー出力コントロール・レジスタ90 (BZC90) でブザー周波数を設定し, 方形波を出力するレジスタです。

BZC90は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図6 - 3 ブザー出力コントロール・レジスタ90のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BZC90	0	0	0	0	BCS902	BCS901	BCS900	BZOE90	FF49H	00H	R/W ^注

BCS902	BCS901	BCS900	ブザー周波数			
			$fcl = fx/2^2$	$fcl = fx/2^6$	$fcl = fx/2^7$	$fcl = f_{XT}$
0	0	0	$fcl/2^4$ (78.1 kHz)	$fcl/2^4$ (4.88 kHz)	$fcl/2^4$ (2.44 kHz)	$fcl/2^4$ (2.05 kHz)
0	0	1	$fcl/2^5$ (39.1 kHz)	$fcl/2^5$ (2.44 kHz)	$fcl/2^5$ (1.22 kHz)	$fcl/2^5$ (1.02 kHz)
0	1	0	$fcl/2^8$ (4.88 kHz)	$fcl/2^8$ (305 Hz)	$fcl/2^8$ (153 Hz)	$fcl/2^8$ (128 Hz)
0	1	1	$fcl/2^9$ (2.44 kHz)	$fcl/2^9$ (153 Hz)	$fcl/2^9$ (76 Hz)	$fcl/2^9$ (64 Hz)
1	0	0	$fcl/2^{10}$ (1.22 kHz)	$fcl/2^{10}$ (76 Hz)	$fcl/2^{10}$ (38 Hz)	$fcl/2^{10}$ (32 Hz)
1	0	1	$fcl/2^{11}$ (610 Hz)	$fcl/2^{11}$ (38 Hz)	$fcl/2^{11}$ (19 Hz)	$fcl/2^{11}$ (16 Hz)
1	1	0	$fcl/2^{12}$ (305 Hz)	$fcl/2^{12}$ (19 Hz)	$fcl/2^{12}$ (10 Hz)	$fcl/2^{12}$ (8 Hz)
1	1	1	$fcl/2^{13}$ (153 Hz)	$fcl/2^{13}$ (10 Hz)	$fcl/2^{13}$ (5 Hz)	$fcl/2^{13}$ (4 Hz)

BZOE90	ブザーのポート出力の制御
0	ブザーのポート出力禁止
1	ブザーのポート出力許可

注 ビット4-7には必ず0を設定してください。

注意 カウント・クロックとしてサブクロックを選択した場合 (TCL901 = 1, TCL900 = 1 : 図6 - 2 16ビット・タイマ・モード・コントロール・レジスタ90のフォーマット参照), ブザーのポート出力許可にするとサブクロックを同期化しません。このため, キャプチャ機能, TM90のリード機能は使えなくなります。またTM90のカウント値は不定となります。

備考1 fx : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は, $fx = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

★ (3) ポート・モード・レジスタ2, 3 (PM2, PM3)

ポート2, 3の入力 / 出力を1ビット単位で設定するレジスタです。

P26/TO90端子をタイマ出力として使用するとき, PM26およびP26の出力ラッチに0を, P21/BZO90端子をブザー出力として使用するとき, PM21およびP21の出力ラッチに0を設定してください。

P30/INTP0/CPT90端子をキャプチャ入力として使用するとき, PM30に1を設定してください。

PM2, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図6 - 4 ポート・モード・レジスタ2, 3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PMmn	Pmn端子の入出力モード (mn = 20-26, 30-33)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ90の動作

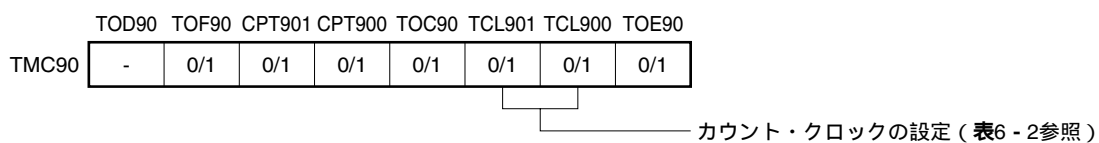
6.4.1 タイマ割り込みとしての動作

★ フリー・ランニングのカウンタの値が、CR90に設定した値になるたびに繰り返し割り込みを発生することができます。割り込み発生後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL901とTCL900で設定したカウント・クロックの1周期分となります。

16ビット・タイマ90をタイマ割り込みとして動作させるには次の設定をします。

- ・CR90にカウンタ値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) を図6 - 5のように設定

図6 - 5 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容



注意 CPT901フラグとCPT900フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ90 (TM90) のカウンタ値がCR90に設定した値と一致したとき、TM90のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM90) を発生します。

表6 - 2にインターバル時間を、図6 - 6にタイマ割り込み動作のタイミングを示します。

注意 カウント動作中にCR90を書き換える場合は必ず次の処理を行ってください。

割り込みを禁止 (TMMK90 (割り込みマスク・フラグ・レジスタ1 (MK1) のビット4) = 1) に設定

タイマ出力データの反転制御を禁止 (TOC90 = 0) に設定

割り込みを許可している状態でCR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

表6 - 2 16ビット・タイマ90のインターバル時間

TCL901	TCL900	カウント・クロック	インターバル時間
0	0	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)
0	1	$2^6/f_x$ (12.8 μ s)	$2^{22}/f_x$ (838.9 ms)
1	0	$2^7/f_x$ (25.6 μ s)	$2^{23}/f_x$ (1.68 s)
1	1	$1/f_{XT}$ (30.5 μ s)	$2^{16}/f_{XT}$ (2.0 s)

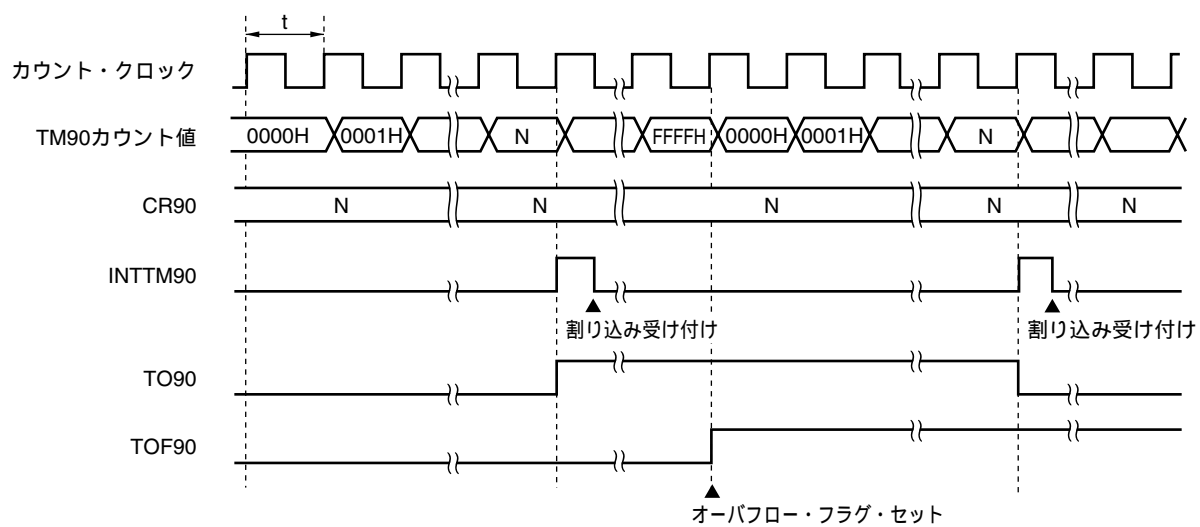
備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は、 $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

★

図6 - 6 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

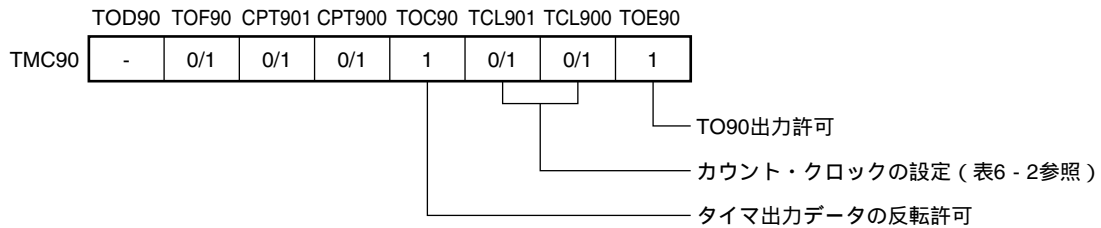
6.4.2 タイマ出力としての動作

★ フリー・ランニングのカウンタの値が、CR90に設定した値になるたびに繰り返しタイマ出力を反転することができます。タイマ出力を反転後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL901とTCL900で設定したカウント・クロックの1周期分となります。

16ビット・タイマ90をタイマ出力として動作させるには次の設定をします。

- ・ P26を出力モード (PM26 = 0) に設定
- ・ P26の出力ラッチに0を設定
- ・ CR90にカウント値を設定
- ・ 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) を図6-7のように設定

図6-7 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容

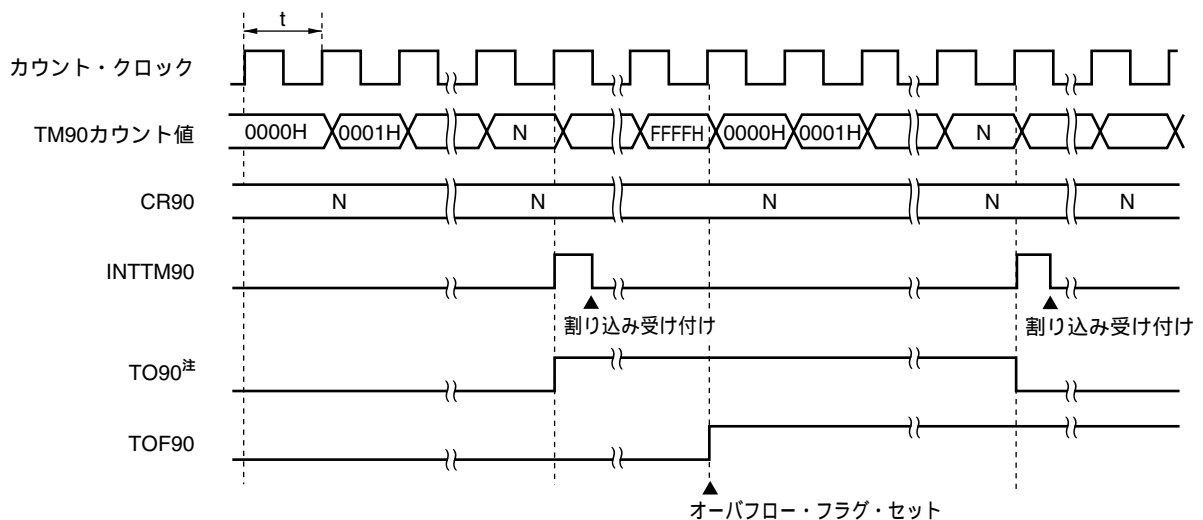


注意 CPT901フラグとCPT900フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ90 (TM90) のカウント値がCR90に設定した値と一致したとき、TO90/P26端子の出力状態が反転します。これによりタイマ出力が可能です。また、このとき、TM90のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM90) を発生します。

図6-8にタイマ出力のタイミングを示します (16ビット・タイマのインターバル時間は表6-2を参照してください)。

★ 図6-8 タイマ出力のタイミング



注 出力許可 (TOE90 = 1) 時のTO90の初期値はロウ・レベルになります。

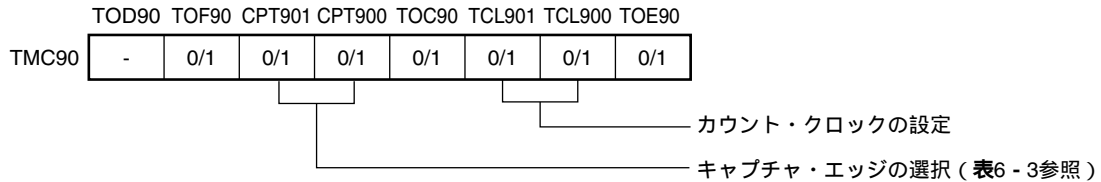
備考 N = 0000H-FFFFH

6.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ90 (TM90) のカウント値をキャプチャ・レジスタに取り込み、カウント値を保持するキャプチャ動作を行います。

16ビット・タイマ90をキャプチャ動作させるには図6 - 9のように設定します。

図6 - 9 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容



16ビット・キャプチャ・レジスタ90 (TCP90) は、CPT90のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ90のカウント値をラッチし、保持します。TCP90は、2クロック以内にカウント値をフェッチし、次のキャプチャ・エッジが検出されるまでカウント値を保持します。

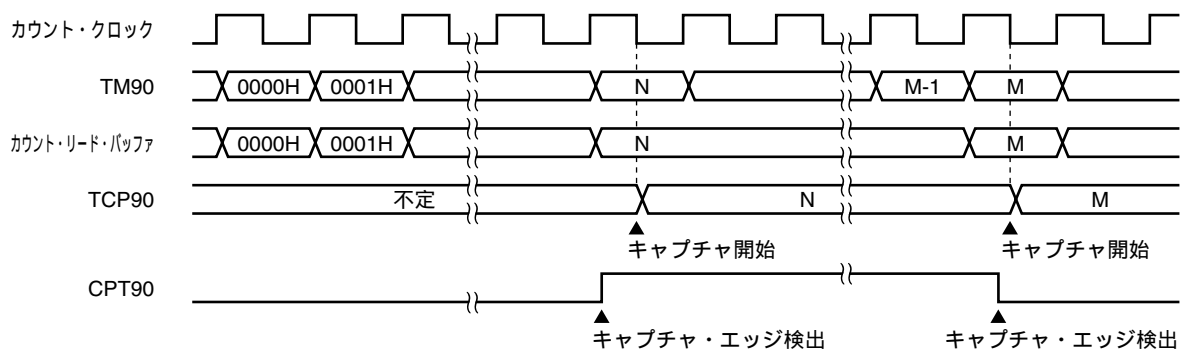
表6 - 3にキャプチャ・エッジの設定内容を、図6 - 10にキャプチャ動作のタイミングを示します。

表6 - 3 キャプチャ・エッジの設定内容

CPT901	CPT900	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT90端子の立ち上がりエッジ
1	0	CPT90端子の立ち下がりエッジ
1	1	CPT90端子の両エッジ

注意 TCP90のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP90は書き換えられるので、TCP90のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図6 - 10 キャプチャ動作のタイミング (CPT90端子の両エッジ指定時)



6.4.4 16ビット・タイマ・カウンタ90の読み出し

16ビット・タイマ・カウンタ90 (TM90) のカウント値は16ビット操作命令で読み出します。

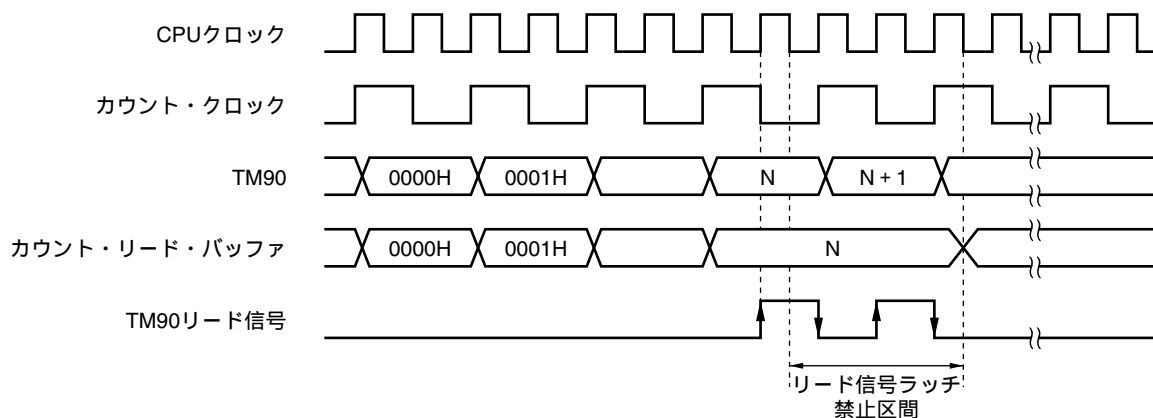
TM90の読み出しは、カウンタ・リード・バッファを介して行います。16ビット・カウンタ・リード・バッファはTM90のカウント値をラッチします。そして、TM90の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりによってバッファ動作を保留し、カウント値を保持します。この保持状態のカウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM90の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM90は、 $\overline{\text{RESET}}$ 入力により0000Hになり、再びフリー・ランニングします。

図6-11に16ビット・タイマ・カウンタ90の読み出しのタイミングを示します。

- 注意1. ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
2. TM90は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。
- 8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
3. 8ビット転送命令を使用するとき、下位バイト→上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図6-11 16ビット・タイマ・カウンタ90の読み出しのタイミング



6.4.5 ブザー出力としての動作

TMC90のTCL901とTCL900で設定したカウント・クロックをソース・クロックとし、ブザー出力コントロール・レジスタ90（BZC90）でブザー周波数を設定し、ブザー周波数の方形波を出力します。

表6 - 4にブザー周波数を示します。

16ビット・タイマ90をブザー出力として動作させるには次の設定をします。

- ・ P21を出力モード（PM21 = 0）に設定
- ・ P21の出力ラッチに0を設定
- ・ TCL901とTCL900でカウント・クロックを設定
- ・ BZC90を図6 - 12のように設定

図6 - 12 ブザー出力動作時のブザー出力コントロール・レジスタ90の設定内容

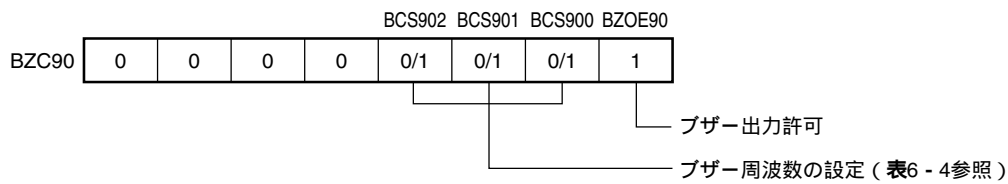


表6 - 4 16ビット・タイマ90のブザー周波数

BCS902	BCS901	BCS900	ブザー周波数			
			$f_{cl} = f_x/2^2$	$f_{cl} = f_x/2^6$	$f_{cl} = f_x/2^7$	$f_{cl} = f_{xT}$
0	0	0	$f_{cl}/2^4$ (78.1 kHz)	$f_{cl}/2^4$ (4.88 kHz)	$f_{cl}/2^4$ (2.44 kHz)	$f_{cl}/2^4$ (2.05 kHz)
0	0	1	$f_{cl}/2^5$ (39.1 kHz)	$f_{cl}/2^5$ (2.44 kHz)	$f_{cl}/2^5$ (1.22 kHz)	$f_{cl}/2^5$ (1.02 kHz)
0	1	0	$f_{cl}/2^8$ (4.88 kHz)	$f_{cl}/2^8$ (305 Hz)	$f_{cl}/2^8$ (153 Hz)	$f_{cl}/2^8$ (128 Hz)
0	1	1	$f_{cl}/2^9$ (2.44 kHz)	$f_{cl}/2^9$ (153 Hz)	$f_{cl}/2^9$ (76 Hz)	$f_{cl}/2^9$ (64 Hz)
1	0	0	$f_{cl}/2^{10}$ (1.22 kHz)	$f_{cl}/2^{10}$ (76 Hz)	$f_{cl}/2^{10}$ (38 Hz)	$f_{cl}/2^{10}$ (32 Hz)
1	0	1	$f_{cl}/2^{11}$ (610 Hz)	$f_{cl}/2^{11}$ (38 Hz)	$f_{cl}/2^{11}$ (19 Hz)	$f_{cl}/2^{11}$ (16 Hz)
1	1	0	$f_{cl}/2^{12}$ (305 Hz)	$f_{cl}/2^{12}$ (19 Hz)	$f_{cl}/2^{12}$ (10 Hz)	$f_{cl}/2^{12}$ (8 Hz)
1	1	1	$f_{cl}/2^{13}$ (153 Hz)	$f_{cl}/2^{13}$ (10 Hz)	$f_{cl}/2^{13}$ (5 Hz)	$f_{cl}/2^{13}$ (4 Hz)

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{xT} : サブシステム・クロック発振周波数

3. () 内は, $f_x = 5.0$ MHz動作時または $f_{xT} = 32.768$ kHz動作時

6.5 16ビット・タイマ90の注意事項

6.5.1 16ビット・タイマ90の使用上の注意

カウント・クロックの選択，CPUクロックの動作，システム・クロックの発振状態，BZOE90（ブザー出力コントロール・レジスタ90（BZC90）のビット0）の設定によって16ビット・タイマ90の使用できる機能が異なります。

次の表を参照してください。

カウント・クロック	CPU クロック	システム・クロック		BZOE90	キャブ チャ	TM90 リード	ブザー 出力	タイマ 出力	タイマ 割り込み	
		メイン・クロック	サブクロック							
f _x /2 ² , f _x /2 ⁶ , f _x /2 ⁷	メイン	発振	発振 / 停止	1/0	○	○注 ¹	注2	○	○	
		停止			×	×	×	×	×	
	サブ	発振	発振		○	×	注2	○	○	
		停止			×	×	×	×	×	
f _{XT}	メイン	発振	発振	0	○	○	×	○	○	
			1	×	×	○	○	○		
		停止 (STOPモード)	停止	1/0	×	×	×	×	×	×
			発振	0	×	×	×	×	×	×
				1	×	×	○	○	○	
			停止	1/0	×	×	×	×	×	×
	サブ	発振	発振	0	○	○	×	○	○	
				1	×	×	○	○	○	
		停止		0	×	×	×	×	×	×
				1	×	×	○	○	○	

注1．CPUクロックが高速モード時のみ可能

2．BZOE90 = 1のとき出力可能

注意1．キャプチャ機能は，制御に $f_x/2$ を使用します（図6 - 1 16ビット・タイマ90のブロック図参照）。

したがって，メイン・システム・クロックが停止しているとき，キャプチャ機能は使用できません。

2．TM90のリード機能は，制御にCPUクロックを使用し（図6 - 1参照），CPUクロックがカウント・クロックより遅いときは不定をリードします（値を保証できません）。TM90をリードするときはカウント・クロックをCPUクロックと同じにするが（CPUクロックがメイン・システム・クロックのときは高速モードにする），CPUクロックより遅いものを選択してください。

3．カウント・クロックにサブシステム・クロックを選択し，BZOE90に0を設定したとき，TM90のカウント・クロックとしてサブシステム・クロックをメイン・システム・クロックで同期化したクロックが選択されます（図6 - 1参照）。したがって，このときメイン・システム・クロックの発振が停止していた場合，16ビット・タイマに供給されるクロックが停止するため，タイマそのものが動作停止になります（タイマ割り込みも発生しません）。

また，カウント・クロックにサブシステム・クロックを選択し，BZOE90に1を設定したとき，サブシステム・クロックが同期化されないため，キャプチャ，TM90リード値が保証されません。したがって，キャプチャ，TM90リード機能を使用するときは必ずBZOE90に0を設定してください（カウント・クロックにサブシステム・クロックを選択した場合，ブザー出力とキャプチャ，TM90リード機能を同時に使用することはできません）。

低消費電流対応でメイン・システム・クロックの発振を停止し、HALTモードの解除を行う場合、次に示す設定をしてください。

カウント・クロック	: サブシステム・クロック
CPUクロック	: サブシステム・クロック
メイン・システム・クロック	: 発振停止
BZOE90	: 1 (ブザー出力許可)

このとき、ブザー出力兼用端子であるP21の設定が“ PM21 = 0, P21 = 0 ” の場合、P21からブザー周波数の方形波を出力します。もし、ブザー周波数を出力したくない場合は、次の対応のいずれかを行ってください。

- ・ P21を入力モード (PM21 = 1) にする
- ・ P21を入力モードにできない場合、P21のポート・ラッチの値を1 (P21 = 1) にする
(この場合、P21からハイ・レベルが出力されます)

★ 6.5.2 16ビット・コンペア・レジスタ90を書き換える際の制限事項

(1) コンペア・レジスタ (CR90) を書き換える場合は、必ず割り込みを禁止 (TMMK90 = 1) し、タイマ出力の反転制御を禁止 (TOC90 = 0) してから行ってください。

割り込みを許可している状態で、CR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) コンペア・レジスタ (CR90) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。

これを回避するために、次のどちらかの手順で書き換えを行ってください。

<回避策A> 8ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK90 = 1) し、タイマ出力の反転制御を禁止 (TOC90 = 0) に設定

先にCR90 (16ビット) の上位1バイトを書き換える

次にCR90 (16ビット) の下位1バイトを書き換える

割り込み要求フラグ (TMIF90) をクリアする

割り込みの先頭からカウント・クロックの半周期分以上経過したあとで、

タイマ割り込み許可 / タイマ出力反転許可する

<プログラム例A> (カウント・クロック = 64/f_x, CPUクロック = f_xの場合)

TM90_VCT:	SET1	TMMK90	; タイマ割り込み禁止 (6クロック)	} 合計32クロック 以上 ^注
	CLR1	TMC90.3	; タイマ出力反転禁止 (6クロック)	
	MOV	A, #xxH	; 上位バイト書き換え値設定 (6クロック)	
	MOV	!0FF17H, A	; CR90 上位バイト書き換え (8クロック)	
	MOV	A, #yyH	; 下位バイト書き換え値設定 (6クロック)	
	MOV	!0FF16H, A	; CR90 下位バイト書き換え (8クロック)	
	CLR1	TMIF90	; 割り込み要求フラグをクリア (6クロック)	
	CLR1	TMMK90	; タイマ割り込み許可 (6クロック)	
	SET1	TMC90.3	; タイマ出力反転許可	

注 INTTM90信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC90を1にセットすると出力が反転してしまうため。

<回避策B> 16ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK90 = 1) し, タイマ出力の反転制御を禁止 (TOC90 = 0) に設定
 CR90 (16ビット) を書き換える
 カウント・クロックの1周期分以上ウエイトする
 割り込み要求フラグ (TMIF90) をクリアする
 タイマ割り込み許可 / タイマ出力反転許可する

<プログラム例B> (カウント・クロック = $64/f_x$, CPUクロック = f_x の場合)

```

TM90_VCT  SET1    TMMK90      ;タイマ割り込み禁止
          CLR1    TMC90.3     ;タイマ出力反転禁止
          MOVW    AX, #xyyH   ;CR90 書き換え値設定
          MOVW    CR90, AX    ;CR90 書き換え

          NOP
          NOP
          :
          NOP
          NOP
          }                ;NOP32個 (64/fx分のウエイト) 注
          CLR1    TMIF90      ;割り込み要求フラグをクリア
          CLR1    TMMK90      ;タイマ割り込み許可
          SET1    TMC90.3     ;タイマ出力反転許可

```

注 CR90を書き換える命令 (MOVW CR90,AX) から, カウント・クロックの1周期分以上ウエイトしたあとで, 割り込み要求フラグ (TMIF90) をクリアしてください。

第7章 8ビット・タイマ50, 60

7.1 8ビット・タイマ50, 60の機能

μPD789426, 789436, 789446, 789456サブシリーズは8ビット・タイマを1チャンネル(タイマ50), 8ビット・タイマ/イベント・カウンタを1チャンネル(タイマ60)内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表7-1 モード一覧

モード \ チャンネル	タイマ50	タイマ60
8ビット・タイマ・カウンタ・モード (単体モード)	○	○
16ビット・タイマ・カウンタ・モード (カスケード接続モード)	○	
キャリア・ジェネレータ・モード	○	
PWM出力モード	○ (フリーランニング・モード)	○ (パルス・ジェネレータ・モード)

(1) 8ビット・タイマ/イベント・カウンタを単体で使用するモード(単体モード)

次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の外部イベント・カウンタ(タイマ60のみ)
- ・8ビット分解能の方形波出力

(2) タイマ50とタイマ60をカスケード接続して使用するモード(16ビット分解能: カスケード接続)

カスケード接続することにより, 16ビット・タイマ/イベント・カウンタとして動作します。

次のような機能を使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマ60で生成されるキャリア・クロックをタイマ50で設定した周期で出力します。

(4) PWM出力モード

(a) タイマ50: フリーランニング・モード

TM50とCR50の一致およびTM50のオーバフローにより, タイマ出力状態が繰り返し反転し, これにより, 任意のデューティ比のパルスを出力します。

(b) タイマ60：パルス・ジェネレータ・モード

TM60, CR60, CRH60の設定により、タイマ出力状態が繰り返し反転し、これにより、任意のデューティ比のパルスを出力します（タイマ出力端子はP32/INTP2/TO60, P33/INTP3/TO61のどちらか一方をソフトウェアで選択可能）。

7.2 8ビット・タイマ50, 60の構成

8ビット・タイマ50, 60は、次のハードウェアで構成しています。

表7-2 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・カウンタ	8ビット×2本（TM50, TM60）
レジスタ	コンペア・レジスタ：8ビット×3本（CR50, CR60, CRH60）
タイマ出力	3本（TO50, TO60, TO61）
制御レジスタ	8ビット・タイマ・コントロール・レジスタ50（TMC50） 8ビット・タイマ・コントロール・レジスタ60（TMC60） キャリア・ジェネレータ出力コントロール・レジスタ60（TCA60） ポート・モード・レジスタ3（PM3） ポート3（P3）

図7-1 タイマ50のブロック図

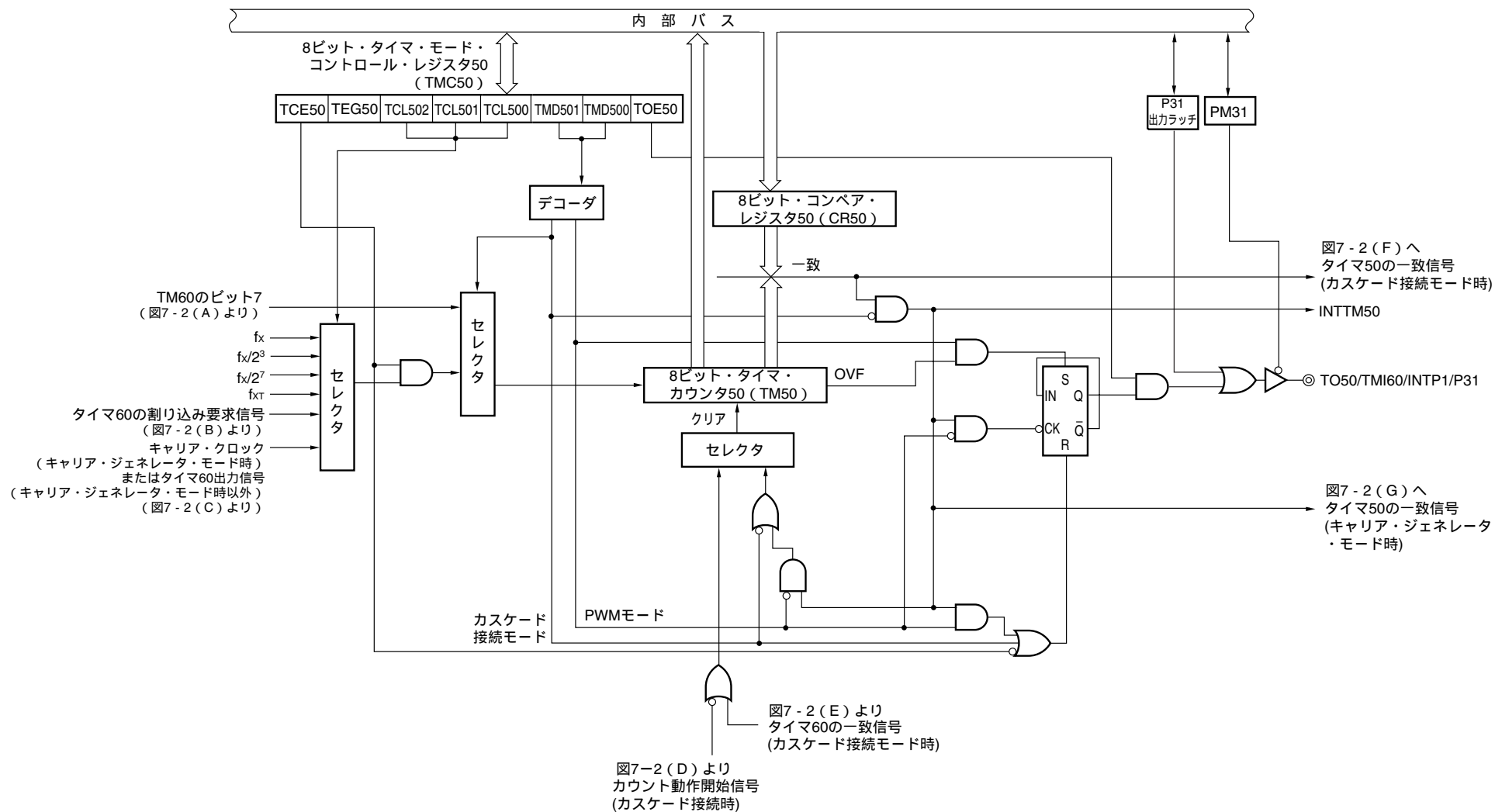
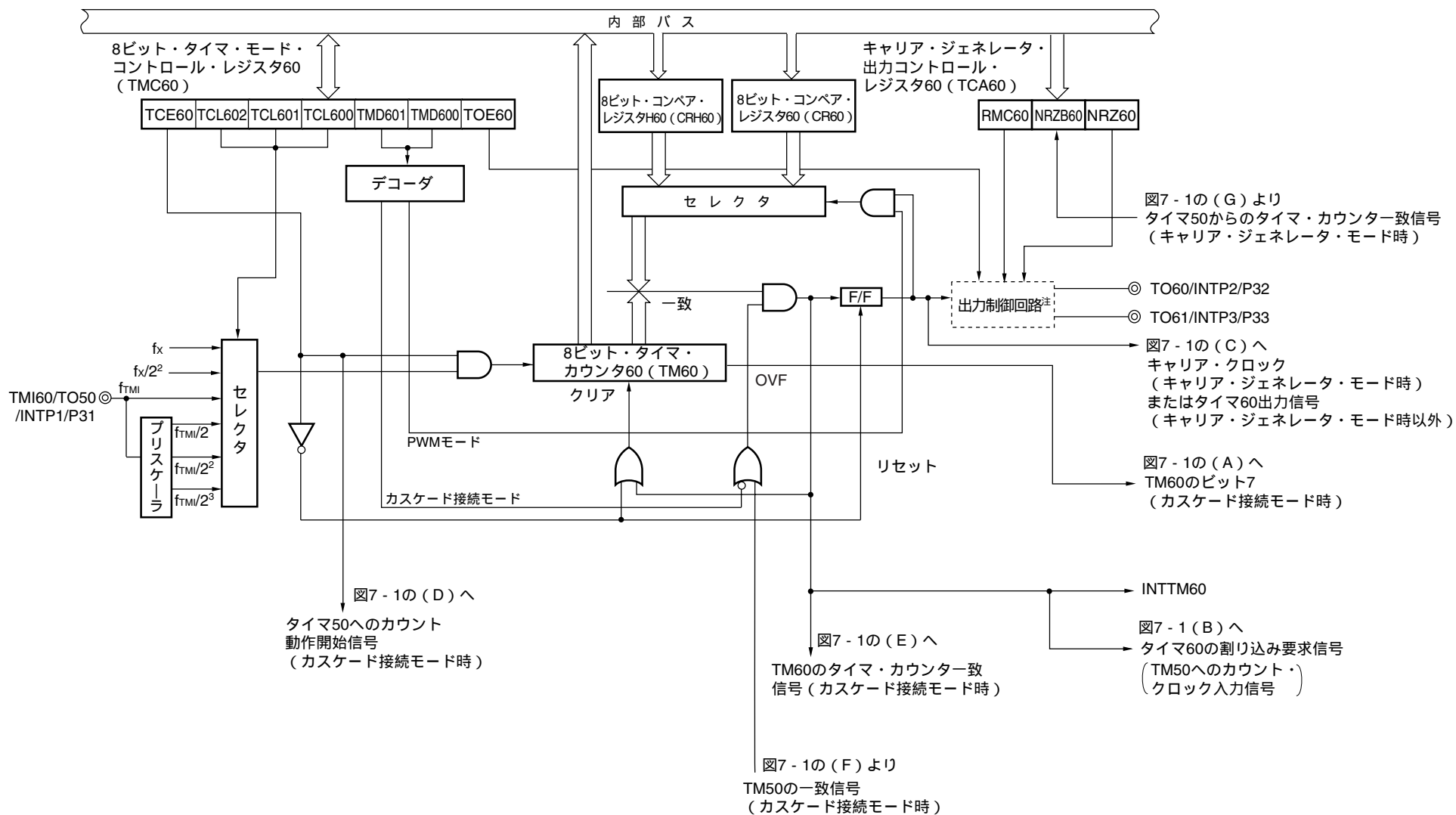
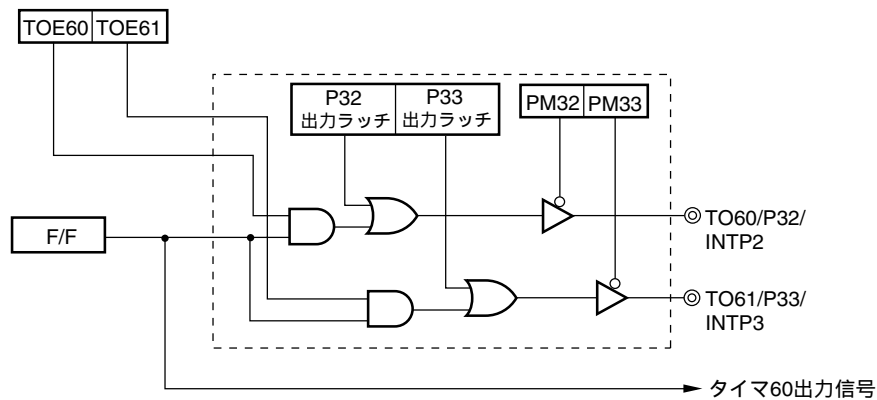


図7 - 2 タイマ60のブロック図



注 詳細については図7 - 3を参照してください。

図7-3 出力制御回路(タイマ60)のブロック図



(1) 8ビット・コンペア・レジスタ50 (CR50)

CR50に設定した値と8ビット・タイマ・カウンタ50 (TM50) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM50) を発生する8ビットのレジスタです。

CR50は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意1. PWM出力モード時 (TMD501 = 1, TMD500 = 0)、タイマ動作中にCR50を書き換えると、書き換えた直後の1周期の間ハイ・レベルが出力される場合があります。アプリケーション上、この波形が問題となる場合は、CR50を書き換える場合はタイマを停止する TOE50をクリアした状態でCR50を書き換える のどちらかの処理をしてください。

2. PWM出力モード時、カウント・クロックの有効エッジを両エッジに選択した場合 (TEG50 = 1)

CR50に00H, 01H, FFHを設定しないでください。また立ち上がりエッジを選択した場合 (TEG50 = 0) CR50に00Hを設定しないでください。

(2) 8ビット・コンペア・レジスタ60 (CR60)

CR60に設定した値と8ビット・タイマ・カウンタ60 (TM60) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM60) を発生する8ビットのレジスタです。また、TM50とカスケード接続して、16ビット・タイマ/イベント・カウンタとして使用する場合、CR50とTM50、CR60とTM60が同時に一致した場合のみ割り込み要求 (INTTM60) が発生します (INTTM50は発生しません)。

CR60は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 8ビット・コンペア・レジスタH60 (CRH60)

PWM出力モード時、CRH60に値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

CRH60は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(4) 8ビット・タイマ・カウンタ50, 60 (TM50, TM60)

カウント・パルスをカウントする8ビットのレジスタです。

TM50, TM60は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TM50, TM60が00Hにクリアされる条件を次に示します。

(a) 単体モード**() TM50の場合**

- ・リセット
- ・TCE50 (8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット7) を0にクリア
- ・TM50とCR50の一致
- ・TM50のカウント値のオーバフロー

() TM60の場合

- ・リセット
- ・TCE60 (8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) のビット7) を0にクリア
- ・TM60とCR60の一致
- ・TM60のカウント値のオーバフロー

(b) カスケード接続モード (TM50, TM60同時に00Hにクリア)

- ・リセット
- ・TCE60フラグを0にクリア
- ・TM50とCR50およびTM60とCR60が同時に一致したとき
- ・TM50とTM60のカウント値が同時にオーバフロー

(c) キャリア・ジェネレータ・モード**() TM50の場合**

- ・リセット
- ・TCE50フラグを0にクリア
- ・TM50とCR50の一致

() TM60の場合

- ・リセット
- ・TCE60フラグを0にクリア
- ・TM60とCR60の一致
- ・TM60とCRH60の一致

(d) PWM出力モード

() TM50の場合

- ・リセット
- ・TCE50フラグを0にクリア
- ・TM50とCR50の一致
- ・TM50のカウント値のオーバーフロー

() TM60の場合

- ・リセット
- ・TCE60フラグを0にクリア
- ・TM60とCR60の一致
- ・TM60とCRH60の一致
- ・TM60のカウント値のオーバーフロー

7.3 8ビット・タイマ50, 60を制御するレジスタ

8ビット・タイマ50, 60は、次の5種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)
- ・8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60)
- ・キャリア・ジェネレータ・モード・コントロール・レジスタ60 (TCA60)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート3 (P3)

(1) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) は、タイマ50のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	TEG50	TCL502	TCL501	TCL500	TMD501	TMD500	TOE50	FF4DH 00H R/W

TCE50	TM50のカウンタ動作の制御 ^{注1}
0	TM50のカウンタ値をクリアし、動作停止
1	カウンタ動作開始

TEG50	TM50のカウンタ・クロックの有効エッジ選択
0	カウンタ・クロックの立ち上がりエッジでカウンタ
1	カウンタ・クロックの両エッジでカウンタ ^{注2}

TCL502	TCL501	TCL500	タイマ50のカウンタ・クロックの選択
0	0	0	f_x (5.0 MHz)
0	0	1	$f_x/2^3$ (625 kHz)
0	1	0	$f_x/2^7$ (39.1 kHz)
0	1	1	f_{XT} (32.768 kHz)
1	0	0	タイマ60一致信号
1	0	1	キャリア・クロック (キャリア・ジェネレータ・モード時) またはタイマ60出力信号 (キャリア・ジェネレータ・モード時以外)
上記以外			設定禁止

TMD501	TMD500	TMD601	TMD600	タイマ50, タイマ60の動作モードの選択 ^{注3}
0	0	0	0	単体モード (8ビット・カウンタ・モード)
0	1	0	1	16ビット・カウンタ・モード (カスケード接続モード)
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	タイマ50 : 単体モード (8ビット・カウンタ・モード) タイマ60 : PWMパルス・ジェネレータ・モード
1	0	1	0	タイマ50 : PWMフリー・ランニング・モード タイマ60 : PWMパルス・ジェネレータ・モード
1	0	0	0	タイマ50 : PWMフリー・ランニング・モード タイマ60 : 単体モード (8ビット・カウンタ・モード)
上記以外				設定禁止

TOE50	タイマ出力の制御
0	出力禁止
1	出力許可

注1. カスケード接続モード時ではTCE60 (TMC60のビット7) でカウンタ動作を制御するため、TCE50に設定しても無視されます。

2. 両エッジでの選択はPWMモード時のみ有効となります。8ビット・カウンタ・モード時またはカスケード接続モード時ではTEG50を“1”に設定しても立ち上がりエッジでカウンタされます。

3. 動作モードの選択は、TMC50とTMC60の両方のレジスタを組み合わせで設定します。

注意 1. カスケード接続モード時では、カウント・クロックは強制的にタイマ60出力信号が選択されます。

2. TMC50を操作する場合は必ず次の順序で設定してください。

TM50のカウント動作を停止に設定

動作モード、カウント・クロックを設定

カウント動作開始

備考 1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(2) 8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60)

8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) は、タイマ60のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC60は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 5 8ビット・タイマ・モード・コントロール・レジスタ60のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC60	TCE60	TOE61	TCL602	TCL601	TCL600	TMD601	TMD600	TOE60	FF4EH 00H R/W

TCE60	TM60のカウンタ動作の制御 ^{注1}
0	TM60のカウンタ値をクリアし、動作停止（カスケード接続モード時ではTM50も同時にカウンタ値をクリア）
1	カウンタ動作開始（カスケード接続モード時ではTM50も同時にカウンタ動作開始）

TCL602	TCL601	TCL600	タイマ60のカウンタ・クロックの選択
0	0	0	f_x (5.0 MHz)
0	0	1	$f_x/2^2$ (1.25 MHz)
0	1	0	f_{TMI} (外部入力クロック)
0	1	1	$f_{TMI}/2$ (外部入力クロック)
1	0	0	$f_{TMI}/2^2$ (外部入力クロック)
1	0	1	$f_{TMI}/2^3$ (外部入力クロック)
上記以外			設定禁止

TMD501	TMD500	TMD601	TMD600	タイマ50, タイマ60の動作モードの選択 ^{注2}
0	0	0	0	単体モード (8ビット・カウンタ・モード)
0	1	0	1	16ビット・カウンタ・モード (カスケード接続モード)
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	タイマ50 : 単体モード (8ビット・カウンタ・モード) タイマ60 : PWMパルス・ジェネレータ・モード
1	0	1	0	タイマ50 : PWMフリー・ランニング・モード タイマ60 : PWMパルス・ジェネレータ・モード
1	0	0	0	タイマ50 : PWMフリー・ランニング・モード タイマ60 : 単体モード (8ビット・カウンタ・モード)
上記以外				設定禁止

TOE61	TOE60	タイマ出力の制御
0	0	出力禁止
0	1	TO60のみに出力許可
1	0	TO61のみに出力許可
1	1	設定禁止

注1．カスケード接続モード時ではTCE60（TMC60のビット7）でカウンタ動作を制御するため、TCE50に設定しても無視されます。

2．動作モードの選択は、TMC50とTMC60の両方のレジスタを組み合わせで設定します。

注意 TMC60を操作する場合は必ず次の順序で設定してください。

TM60のカウンタ動作を停止に設定

動作モード、カウンタ・クロックを設定

カウンタ動作開始

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時

(3) キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA60は, 8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図7-6 キャリア・ジェネレータ出力コントロール・レジスタ60のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCA60	0	0	0	0	0	RMC60	NRZB60	NRZ60	FF4FH	00H	W

RMC60	リモコン出力の制御
0	NRZB60 = 1のとき, キャリア・パルスを出力 NRZB60 = 0のとき, ロウ・レベルを出力
1	NRZB60 = 1のとき, キャリア・パルスを出力 NRZB60 = 0のとき, ロウ・レベルを出力

NRZB60	次に出力するNRZ60のデータを格納するビット。タイマ50の一致信号発生時, NRZ60にデータを転送します。 NRZB60にはあらかじめプログラムによって必要な値を入力しておいてください。
--------	--

NRZ60	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する(キャリア・クロックは停止)
1	キャリア・パルスを出力する

★

注意1. ビット3-7には, 必ず0を設定してください。

2. TCA60は, 1ビット・メモリ操作命令を使用できません。必ず8ビット・メモリ操作命令で設定してください。

3. NRZ60フラグはキャリア・ジェネレータ出力停止 (TOE60 = 0) 時のみ書き換え可能です。

TOE60 = 1のときに書き込み命令を実行してもデータは書き換わりません。

4. キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にすると, NRZB60は以前のデータを保持していませんので再設定してください。また, このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

5. INTTM50 (タイマ50の一致信号による割り込み) が出力されている期間は, TCA60へのアクセスは禁止です。

6. 8ビット・タイマ・カウンタ50 (TM50) が00Hのときは, TCA60へのアクセスは禁止です。

もしTM50 = 00Hのときにアクセスする場合は, TM50カウント・クロックの1/2周期以上ウエイトしてからTCA60を書き換えてください。

7. キャリア・ジェネレータ・モードの動作を許可する場合は, 事前にコンペア・レジスタ (CR50, CR60, CRH60) に値を設定し, NRZB60フラグとNRZ60フラグに必要な値を入力してから動作を開始してください。さもないと, タイマ一致回路の信号が不定となり, NRZ60フラグが不定になってしまいます。

(4) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を 1 ビット単位で設定するレジスタです。

P31/TO50/INTP1/TMI60端子をタイマ出力として使用するときはPM31およびP31の出力ラッチに0を設定してください。タイマ入力として使用するとき、PM31に1を設定してください。

P32/TO60/INTP2端子をタイマ出力として使用するときはPM32およびP32の出力ラッチに0を設定してください。

P33/TO61/INTP3端子をタイマ出力として使用するときはPM33およびP33の出力ラッチに0を設定してください。

PM3は、1 ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図7 - 7 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モード (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ50, 60の動作

7.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマ50, タイマ60はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の外部イベント・カウンタ（タイマ60のみ）
- ・8ビット分解能の方形波出力

(1) 8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ $n0$ （CR $n0$ ）に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ $n0$ をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ $n0$ （TM $n0$ ）を動作禁止（TCEn 0 = 0）に設定

TO $n0$ のタイマ出力を禁止（TOEn 0 = 0）に設定

CR $n0$ にカウント値を設定

タイマ $n0$ の動作モードを8ビット・タイマ・カウンタ・モードに設定（図7 - 4, 図7 - 5参照）

タイマ $n0$ のカウント・クロックを設定（表7 - 3, 表7 - 4参照）

TM $n0$ を動作許可（TCEn 0 = 1）に設定

8ビット・タイマ・カウンタ $n0$ （TM $n0$ ）のカウント値がCR $n0$ に設定した値と一致したとき、TM $n0$ の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号（INTTM $n0$ ）を発生します。

表7 - 3, 表7 - 4にインターバル時間を、図7 - 8 ~ 図7 - 13にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

備考 $n = 5, 6$

表7 - 3 タイマ50のインターバル時間

TCL502	TCL501	TCL500	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^3/f_x$ (1.6 μ s)	$2^{11}/f_x$ (409.6 μ s)	$2^3/f_x$ (1.6 μ s)
0	1	0	$2^7/f_x$ (25.6 μ s)	$2^{15}/f_x$ (6.55 ms)	$2^7/f_x$ (25.6 μ s)
0	1	1	$1/f_{XT}$ (30.5 μ s)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
★ 1	0	0	タイマ60一致信号の入力周期	タイマ60一致信号の入力周期 $\times 2^8$	タイマ60一致信号の入力周期
★ 1	0	1	タイマ60出力の入力周期	タイマ60出力の入力周期 $\times 2^8$	タイマ60の入力周期

備考 1. f_x : メイン・システム・クロック発振周波数

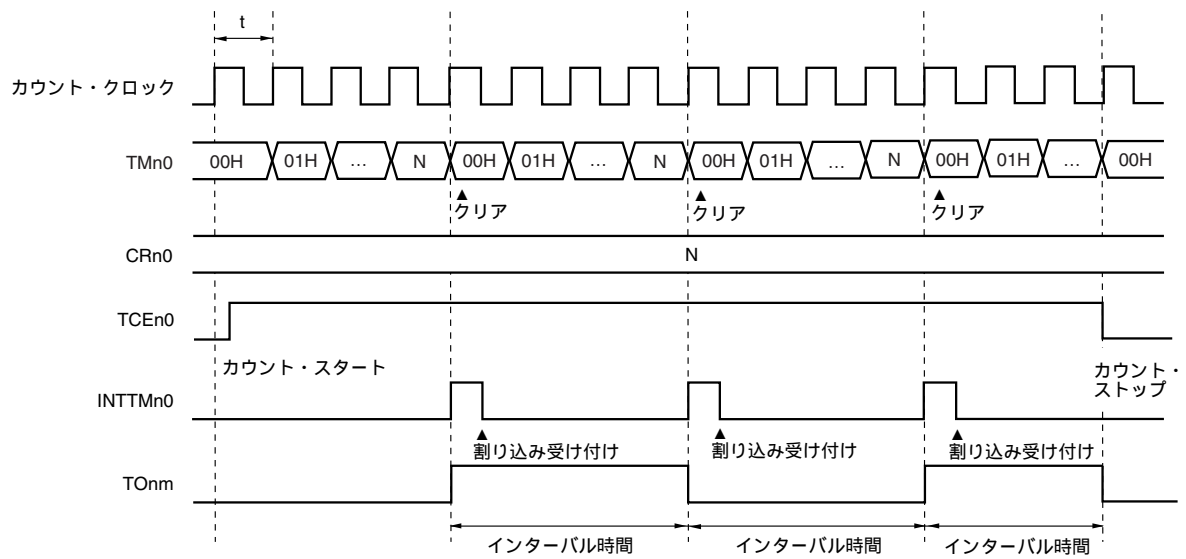
2. f_{XT} : サブシステム・クロック発振周波数

表7 - 4 タイマ60のインターバル時間

TCL602	TCL601	TCL600	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^9/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
★ 0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (2.04 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考 f_x : メイン・システム・クロック発振周波数

図7-8 8ビット分解能のインターバル・タイマ動作のタイミング（基本動作）

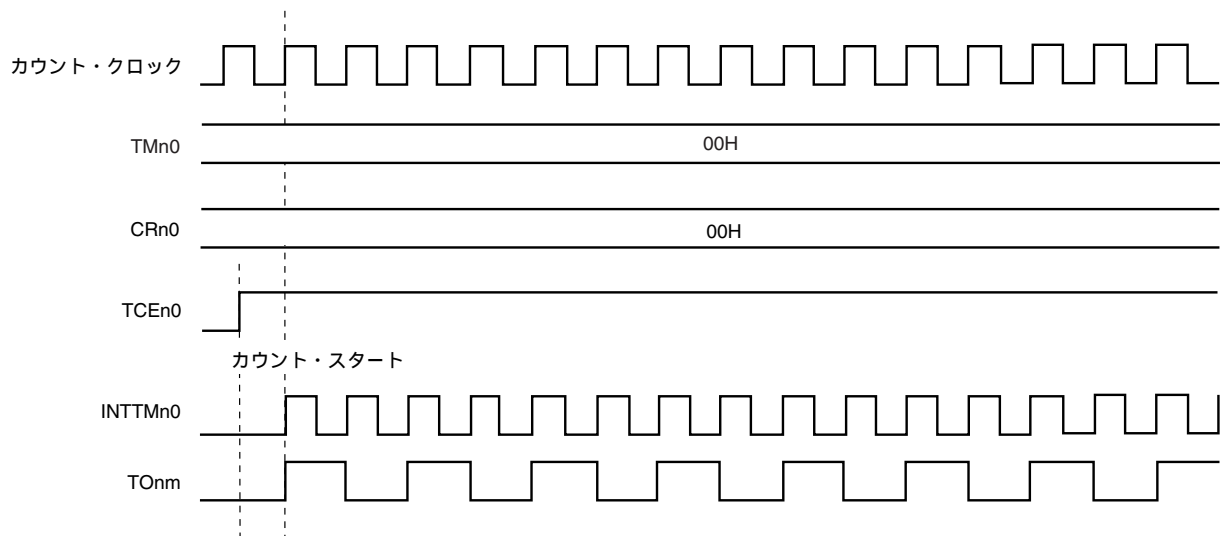


備考1．インターバル時間 = $(N + 1) \times t$: $N = 00H\text{--}FFH$

2． $n = 5, 6$

$nm = 50, 60, 61$

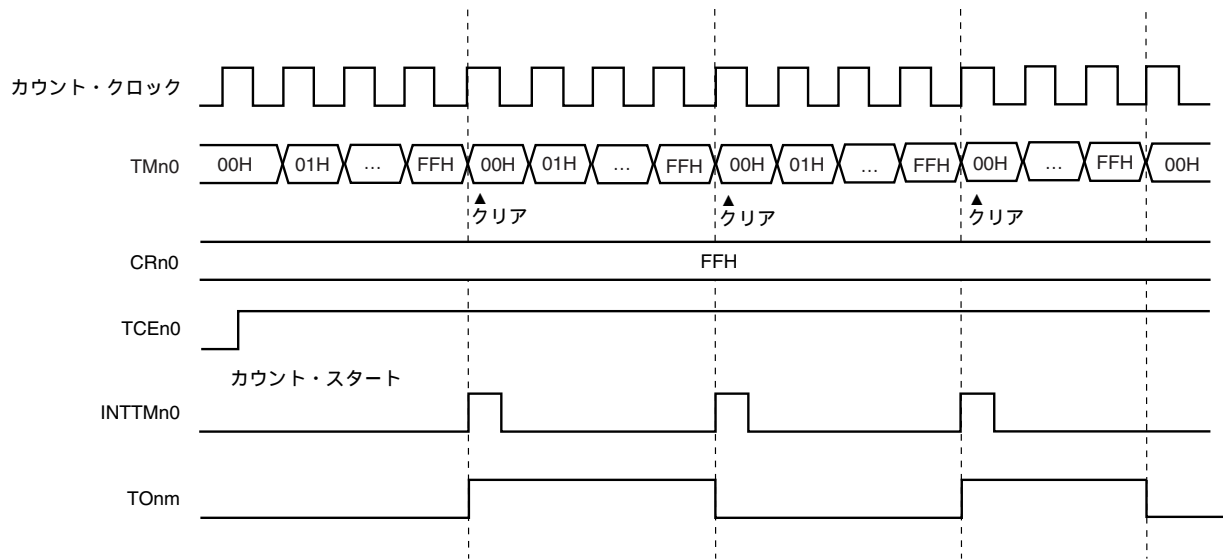
図7-9 8ビット分解能のインターバル・タイマ動作のタイミング（CRn0 = 00H設定時）



備考 $n = 5, 6$

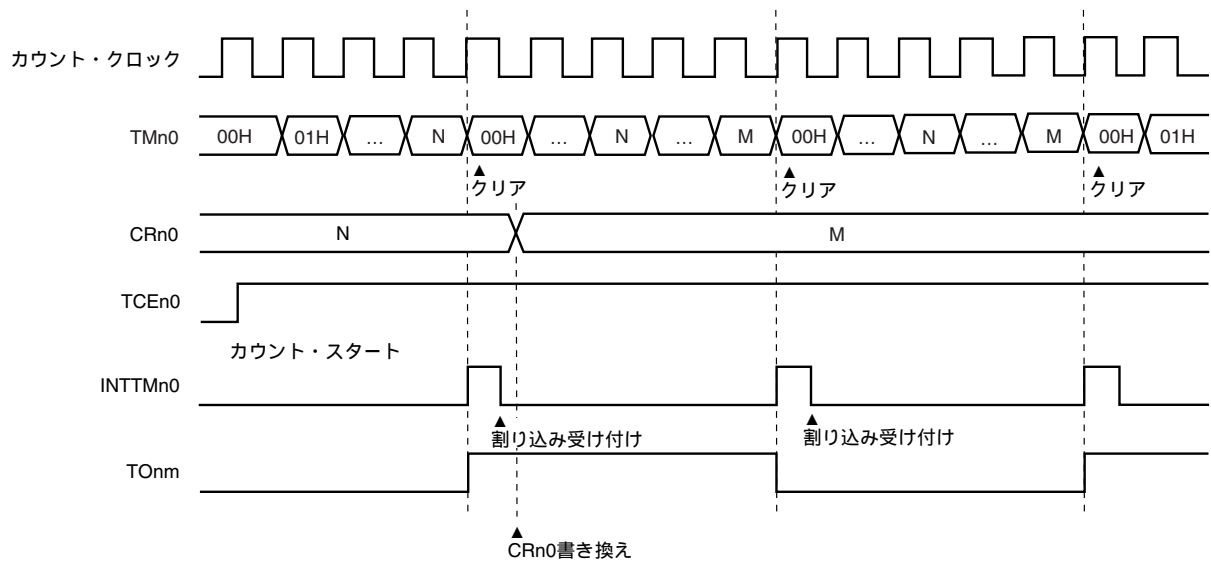
$nm = 50, 60, 61$

図7 - 10 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時)



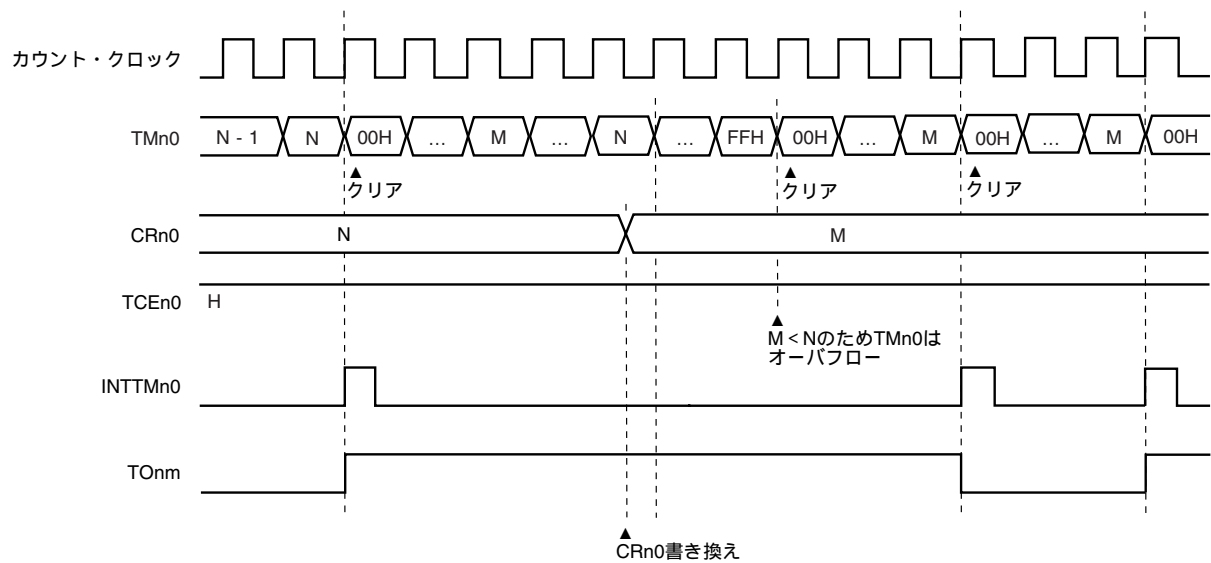
備考 n = 5, 6
nm = 50, 60, 61

図7 - 11 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N < M) 変更時)



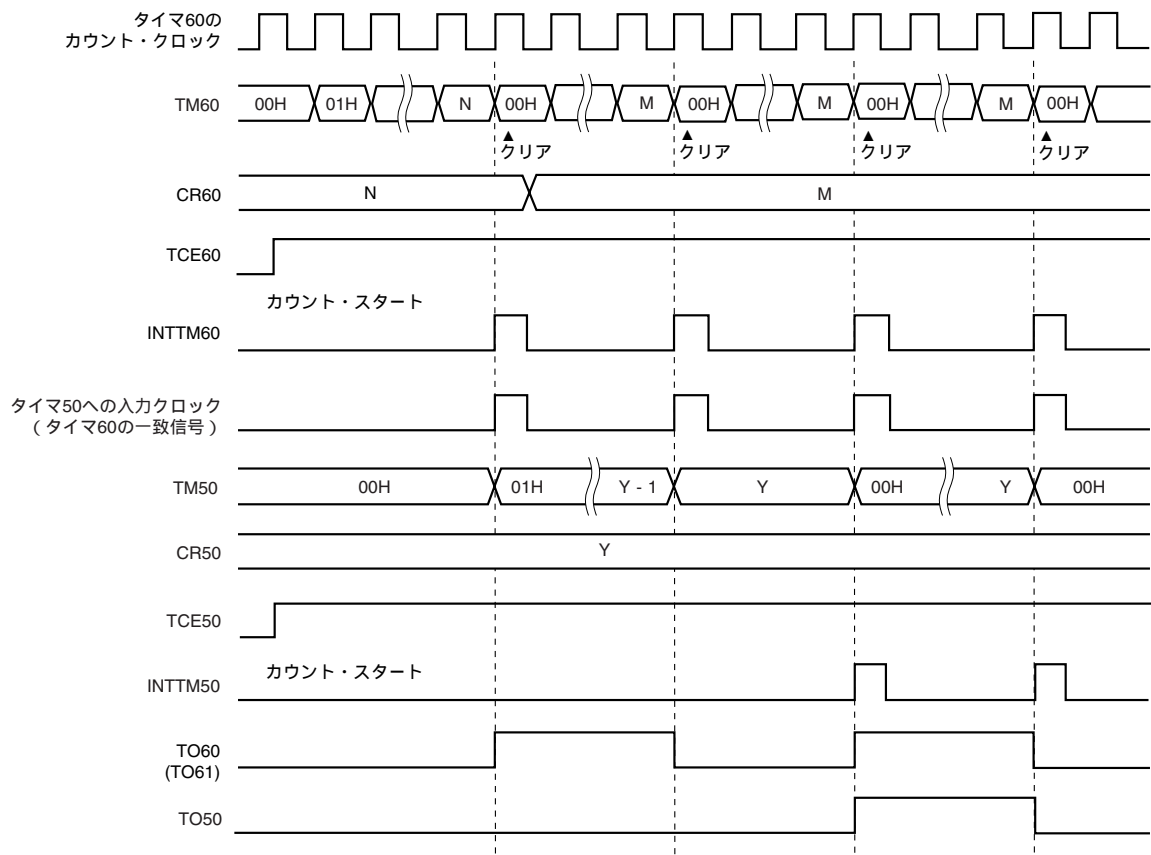
備考 n = 5, 6
nm = 50, 60, 61

図7 - 12 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N → M (N > M) 変更時)



備考 n = 5, 6
nm = 50, 60, 61

図7 - 13 8ビット分解能のインターバル・タイマ動作のタイミング
(タイマ50のカウント・クロックにタイマ60一致信号選択時)



(2) 8ビット分解能の外部イベント・カウンタとしての動作（タイマ60のみ）

外部イベント・カウンタは、TMI60/P31/INTP1/TO50端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ60（TM60）でカウントするものです。

タイマ60を外部イベント・カウンタとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ60（TM60）を動作禁止（TCE60 = 0）に設定

TO60のタイマ出力を禁止（TOE60 = 0）に設定

P31を入力モード（PM31 = 1）に設定

タイマ60の外部入力クロックを選択（図7 - 5参照）

タイマ60の動作モードを8ビット・タイマ・カウンタ・モードに設定（図7 - 4，図7 - 5参照）

CR60にカウント値を設定

TM60を動作許可（TCE60 = 1）に設定

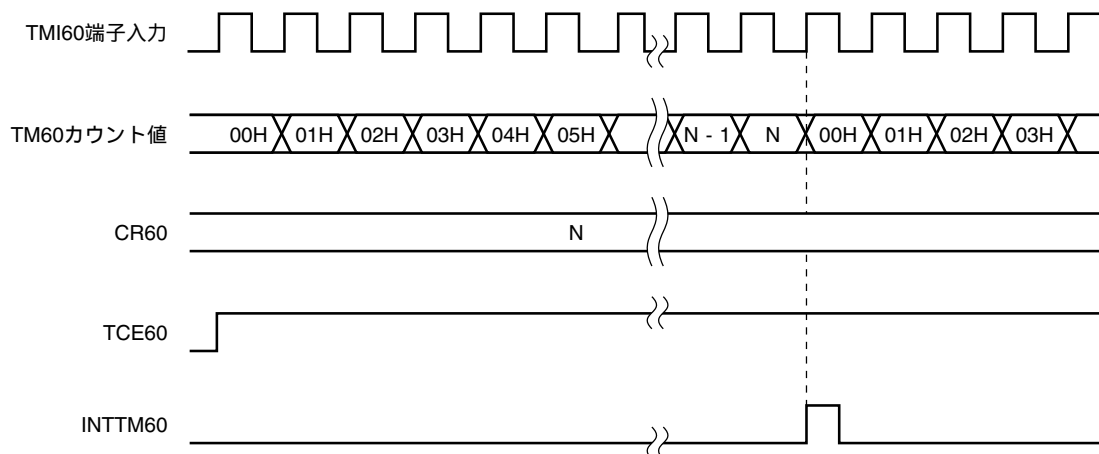
有効エッジが入力されるたびにTM60がインクリメントされます。

TM60のカウント値がCR60に設定した値と一致したとき，TM60の値を00Hにクリアしてカウントを継続するとともに，割り込み要求信号（INTTM60）を発生します。

図7 - 14に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は，必ずタイマ動作を停止させたのちに行ってください。

図7 - 14 8ビット分解能の外部イベント・カウンタ動作のタイミング



備考 N = 00H-FFH

(3) 8ビット分解能の方形波出力としての動作

8ビット・コンペア・レジスタn0 (CRn0) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマn0を方形波出力として動作させるには次の設定をします。

タイマ50の場合、P31を出力モード (PM31 = 0) に設定

タイマ60の場合、P32を出力モード (PM32 = 0) に設定 (タイマ出力をTO60選択時) またはP33を出力モード (PM33 = 0) に設定 (タイマ出力をTO61選択時)

P31, P32, P33の出力ラッチに0を設定

タイマ・カウンタn0 (TMn0) を動作禁止 (TCEn0 = 0) に設定

タイマn0のカウント・クロックを設定し、TOn0を出力許可 (TOEn0 = 1) に設定^注

CRn0にカウント値を設定

TMn0を動作許可 (TCEn0 = 1) に設定

TMn0のカウント値がCRn0に設定した値と一致したとき、TOn0端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TMn0の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTMn0) を発生します。

方形波出力は、TCEn0に0を設定するとクリア (0) されます。

表7 - 5、表7 - 6に方形波出力範囲を、図7 - 15に方形波出力のタイミングを示します。

注 タイマ60の場合、タイマ出力端子をTO60またはTO61どちらかに選択することができます。TO61を選択した場合はTOE61 = 1に設定してください。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

備考 n = 5, 6

表7 - 5 タイマ50の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL502	TCL501	TCL500	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fx (0.2 μs)	2 ⁸ /fx (51.2 μs)	1/fx (0.2 μs)
0	0	1	2 ³ /fx (1.6 μs)	2 ¹¹ /fx (409.6 μs)	2 ³ /fx (1.6 μs)
0	1	0	2 ⁷ /fx (25.6 μs)	2 ¹⁵ /fx (6.55 ms)	2 ⁷ /fx (25.6 μs)
0	1	1	1/fxT (30.5 μs)	2 ⁸ /fxT (7.81 ms)	1/fxT (30.5 μs)
★ 1	0	0	タイマ60一致信号の入力周期	タイマ60一致信号の入力周期 × 2 ⁸	タイマ60一致信号の入力周期
★ 1	0	1	タイマ60出力の入力周期	タイマ60出力の入力周期 × 2 ⁸	タイマ60の入力周期

備考 1. fx : メイン・システム・クロック発振周波数

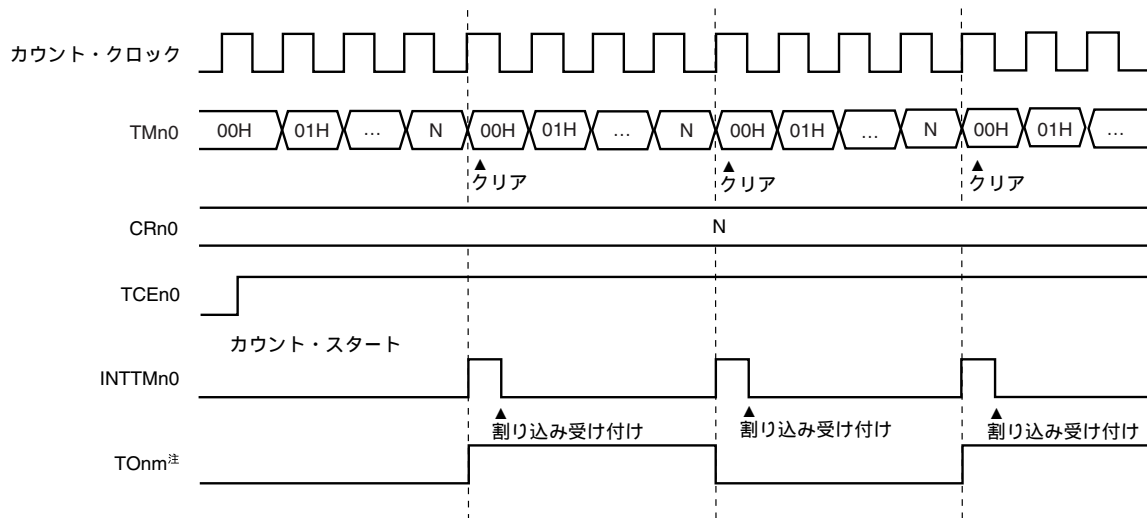
2. fxT : サブシステム・クロック発振周波数

表7 - 6 タイマ60の方形波出力範囲 ($f_x = 5.0 \text{ MHz}$ 動作時)

★	TCL602	TCL601	TCL600	最小パルス幅	最大パルス幅	分解能
★	0	0	0	$1/f_x (0.2 \mu s)$	$2^8/f_x (51.2 \mu s)$	$1/f_x (0.2 \mu s)$
	0	0	1	$2^2/f_x (0.8 \mu s)$	$2^{10}/f_x (2.04 \text{ ms})$	$2^2/f_x (0.8 \mu s)$
	0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
	0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
	1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
	1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考 f_x : メイン・システム・クロック発振周波数

図7 - 15 8ビット分解能の方形波出力のタイミング



注 出力許可 ($TOEnm = 1$) 時のTOnmの初期値は、ロウ・レベルになります。

備考 $n = 5, 6$

$nm = 50, 60, 61$

7.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマ50, タイマ60をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタ50 (TM50) が上位8ビット, 8ビット・タイマ・カウンタ60 (TM60) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマ60で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタ50 (CR50) および8ビット・コンペア・レジスタ60 (CR60) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ50 (TM50), 8ビット・タイマ・カウンタ60 (TM60) を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO60のタイマ出力を禁止 (TOE60 = 0) に設定

タイマ60のカウント・クロックを設定 (表7 - 7参照)

タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 4, 図7 - 5参照)

CR50, CR60にカウント値を設定

TM50, TM60を動作許可 (TCE60 = 1[※]) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

TM50とTM60のカウント値がそれぞれCR50, CR60に設定した値と一致したとき, TM50, TM60の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

表7 - 7にインターバル時間を, 図7 - 16にインターバル・タイマ動作のタイミングを示します。

注意1. カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

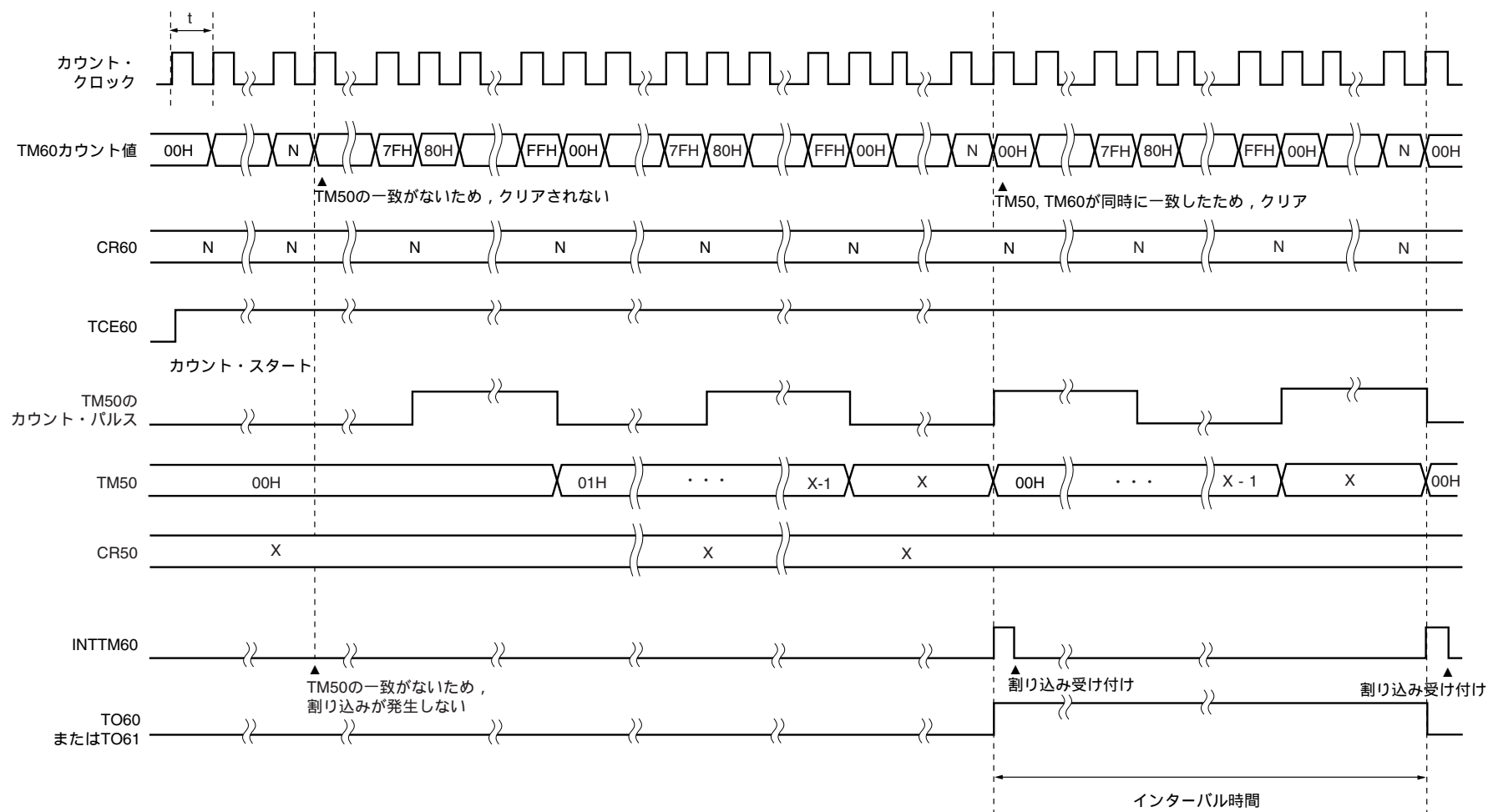
2. 16ビット・タイマ・カウンタ・モード時, TO50は使用禁止になります。必ずTOE50 = 0に設定し, TO50を出力禁止にしてください。

表7 - 7 16ビット分解能でのインターバル時間 ($f_x = 5.0 \text{ MHz}$ 動作時)

TCL602	TCL601	TCL600	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x (0.2 \mu\text{s})$	$2^{16}/f_x (13.1 \text{ ms})$	$1/f_x (0.2 \mu\text{s})$
0	0	1	$2^2/f_x (0.8 \mu\text{s})$	$2^{18}/f_x (52.4 \text{ ms})$	$2^2/f_x (0.8 \mu\text{s})$
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{\text{TMI}}/2$ 入力周期	$f_{\text{TMI}}/2$ 入力周期 $\times 2^{16}$	$f_{\text{TMI}}/2$ 入力周期
1	0	0	$f_{\text{TMI}}/2^2$ 入力周期	$f_{\text{TMI}}/2^2$ 入力周期 $\times 2^{16}$	$f_{\text{TMI}}/2^2$ 入力周期
1	0	1	$f_{\text{TMI}}/2^3$ 入力周期	$f_{\text{TMI}}/2^3$ 入力周期 $\times 2^{16}$	$f_{\text{TMI}}/2^3$ 入力周期

★ 備考 f_x : メイン・システム・クロック発振周波数

図7 - 16 16ビット分解能のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(256X + N + 1) \times t$: $X = 00H\text{--}FFH$, $N = 00H\text{--}FFH$

(2) 16ビット分解能の外部イベント・カウンタとしての動作

外部イベント・カウンタは、TMI60/P31/INTP1/TO50端子に入力される外部からのクロック・パルス数をTM50, TM60でカウントするものです。

16ビット分解能の外部イベント・カウンタとして動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO60のタイマ出力を禁止 (TOE60 = 0) に設定

P31を入力モード (PM31 = 1) に設定

タイマ60の外部入力クロックを選択 (表7 - 5, 表7 - 6参照)

タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 4, 図7 - 5参照)

CR50, CR60にカウント値を設定

TM50, TM60を動作許可 (TCE60 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

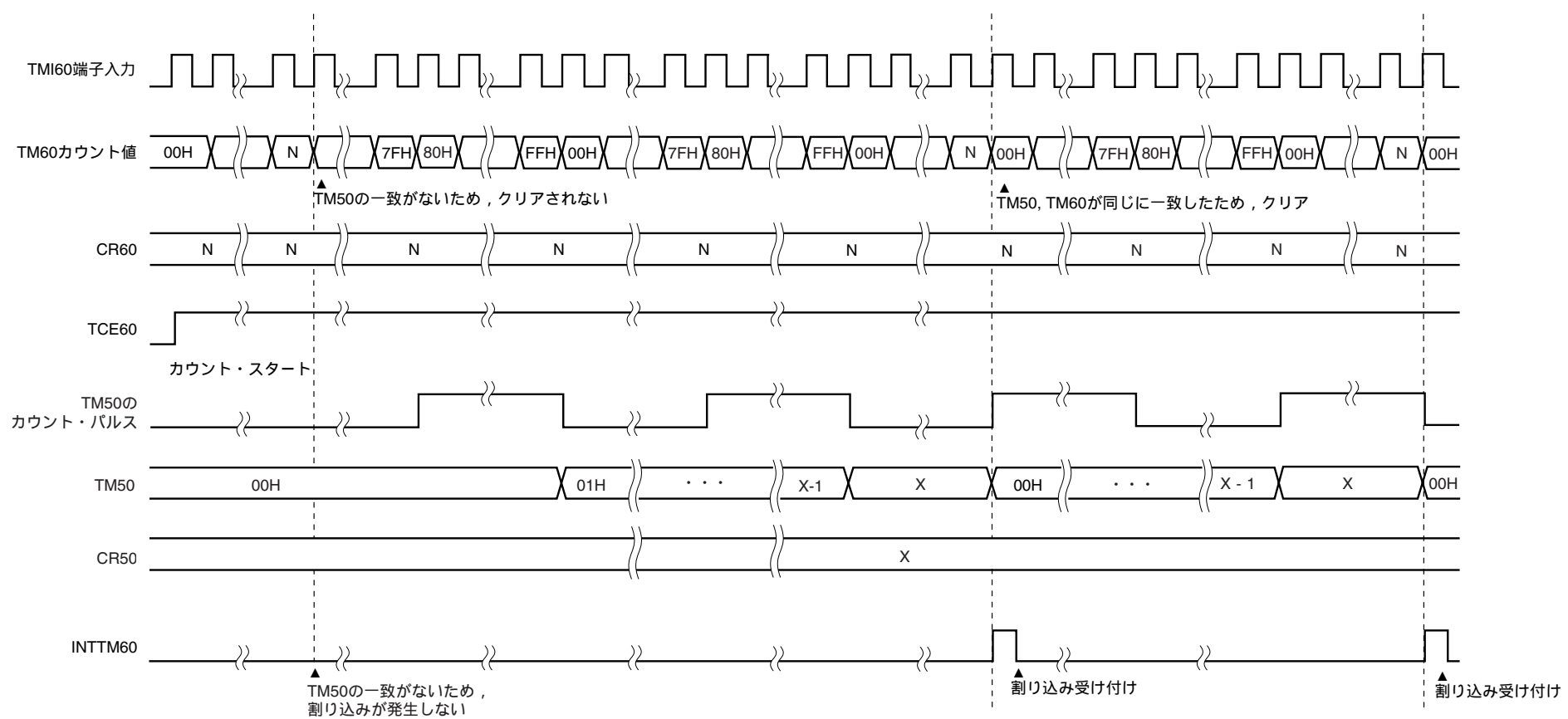
有効エッジが入力されるたびにTM50, TM60がインクリメントされます。

TM50, TM60のカウント値がそれぞれCR50, CR60に設定した値と同時に一致したとき, TM50, TM60の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

図7 - 17に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

図7 - 17 16ビット分解能の外部イベント・カウンタ動作のタイミング



備考 X = 00H-FFH, N = 00H-FFH

(3) 16ビット分解能の方形波出力としての動作

CR50, CR60にあらかじめ設定した値をインターバルとし, 任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO50, TO60, TO61を出力禁止 (TOE50 = 0, TOE60 = 0, TOE61 = 0) に設定

タイマ60のカウント・クロックを設定 (表7 - 7参照)

タイマ出力端子をTO60, TO61どちらか一方を選択します。

TO60を選択する場合: P32を出力モード (PM32 = 0), P32の出力ラッチに0を設定し, TO60を出力許可 (TOE60 = 1) に設定 (TO50は使用禁止)

TO61を選択する場合: P33を出力モード (PM33 = 0), P33の出力ラッチに0を設定し, TO61を出力許可 (TOE61 = 1) に設定 (TO50は使用禁止)

★ タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 4, 図7 - 5参照)

CR50, CR60にカウント値を設定

TM60を動作許可 (TCE60 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

TM50, TM60のカウント値がそれぞれCR50, CR60に設定した値と同時に一致したとき, TO60端子 (またはTO61端子) の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TM50, TM60の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

方形波出力は, TCE60 (またはTCE61) に0を設定するとクリア (0) されます。

表7 - 8に方形波出力範囲を, 図7 - 18に方形波出力のタイミングを示します。

注意1 . カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

2 . 16ビット・タイマ・カウンタ・モード時, TO50は使用禁止になります。必ずTOE50 = 0に設定し, TO50を出力禁止にしてください。

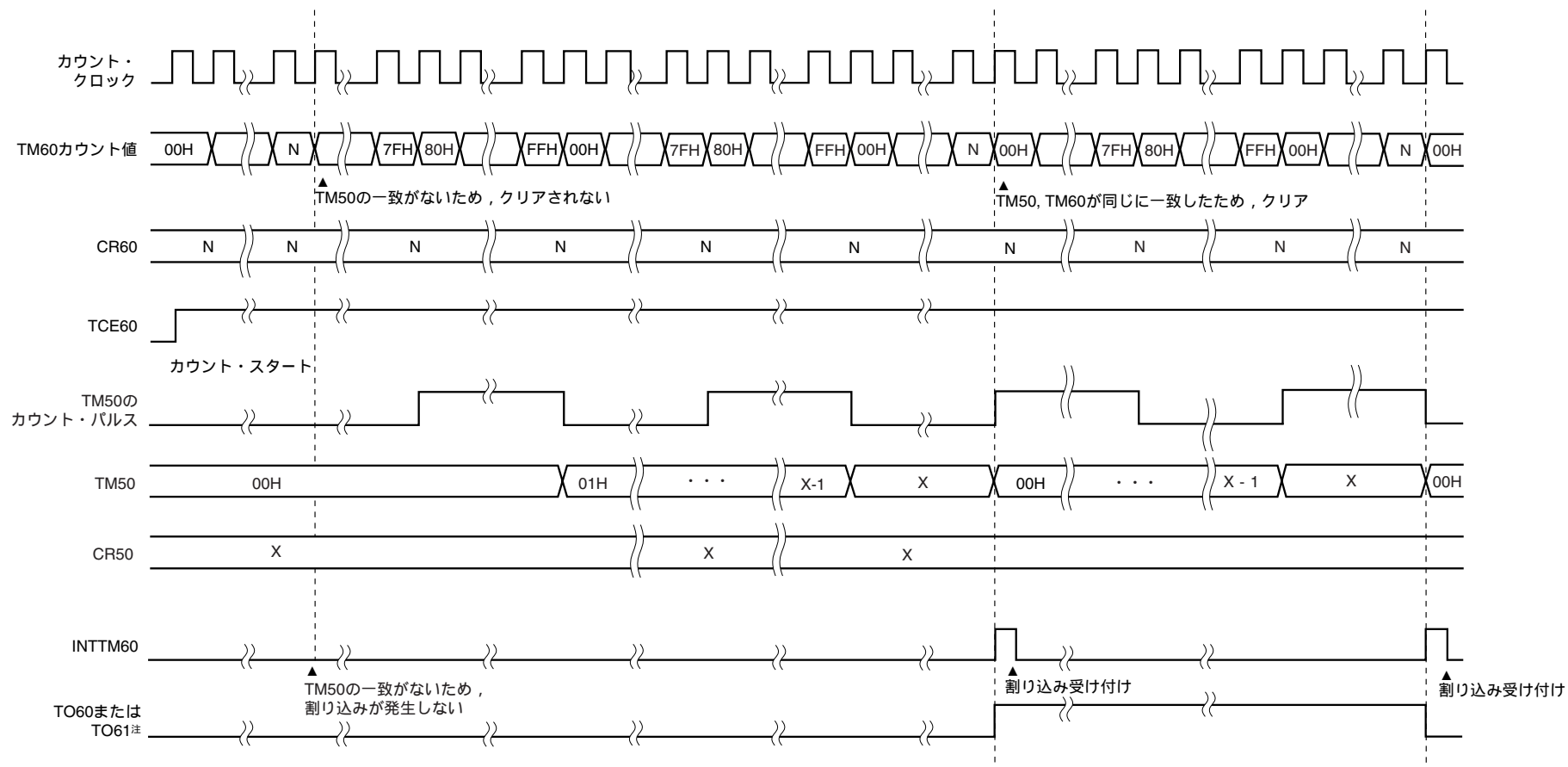
備考 () 内は, タイマ出力をTO61端子選択時

表7 - 8 16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL602	TCL601	TCL600	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

★ 備考 fx : メイン・システム・クロック発振周波数

図7 - 18 16ビット分解能の方形波出力のタイミング



注 出力許可時のTO60またはTO61の初期値は、ロウ・レベルになります。

備考 X = 00H-FFH, N = 00H-FFH

7.4.3 キャリア・ジェネレータとしての動作

TM60で生成される任意のキャリア・クロックをTM50に設定した周期で出力できます。

タイマ50, タイマ60をキャリア・ジェネレータとして動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO50, TO60, TO61のタイマ出力を禁止に設定 (TOE50 = 0, TOE60 = 0, TOE61 = 0)

CR50, CR60, CRH60にカウント値を設定

タイマ50, タイマ60の動作モードをキャリア・ジェネレータ・モードに設定 (図7-4, 図7-5参照)

タイマ50, タイマ60のカウント・クロックを設定

リモコン出力をキャリア・パルスに設定 (RMC60 (キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60) のビット2) = 0)

NRZB60 (TCA60のビット1) にプログラムによって必要な値を入力する。

NRZ60 (TCA60のビット0) にNRZB60からリロードするまでの値を入力する。

タイマ出力端子をTO60, TO61どちらか一方を選択します。

TO60を選択する場合: P32を出力モード (PM32 = 0), P32の出力ラッチに0を設定し, TOE60 = 1としてTO60の出力を許可する。

TO61を選択する場合: P33を出力モード (PM33 = 0), P33の出力ラッチに0を設定し, TOE61 = 1としてTO61の出力を許可する。

TM50, TM60を動作許可 (TCE50 = 1, TCE60 = 1) に設定

キャリア・ジェネレータの動作は次のようになります。

TM60のカウント値がCR60に設定した値と一致したとき, 割り込み要求信号 (INTTM60) が発生するとともにタイマ60の出力状態が反転します。これによりコンペア・レジスタがCR60→CRH60に切り替わります。

その後, TM60のカウント値がCRH60に設定した値と一致したとき, 割り込み要求信号 (INTTM60) が発生するとともにタイマ60の出力状態が再び反転します。これによりコンペア・レジスタがCRH60→CR60に切り替わります。

, の繰り返しにより, キャリア・クロックが生成されます。

TM50のカウント値がCR50に設定した値と一致したとき, 割り込み要求信号 (INTTM50) が発生します。このINTTM50の立ち上がりエッジがNRZB60のデータ・リロード信号となり, NRZ60へ転送されます。NRZ60が1のとき, キャリア・クロックがTO60端子 (またはTO61端子) より出力されます。

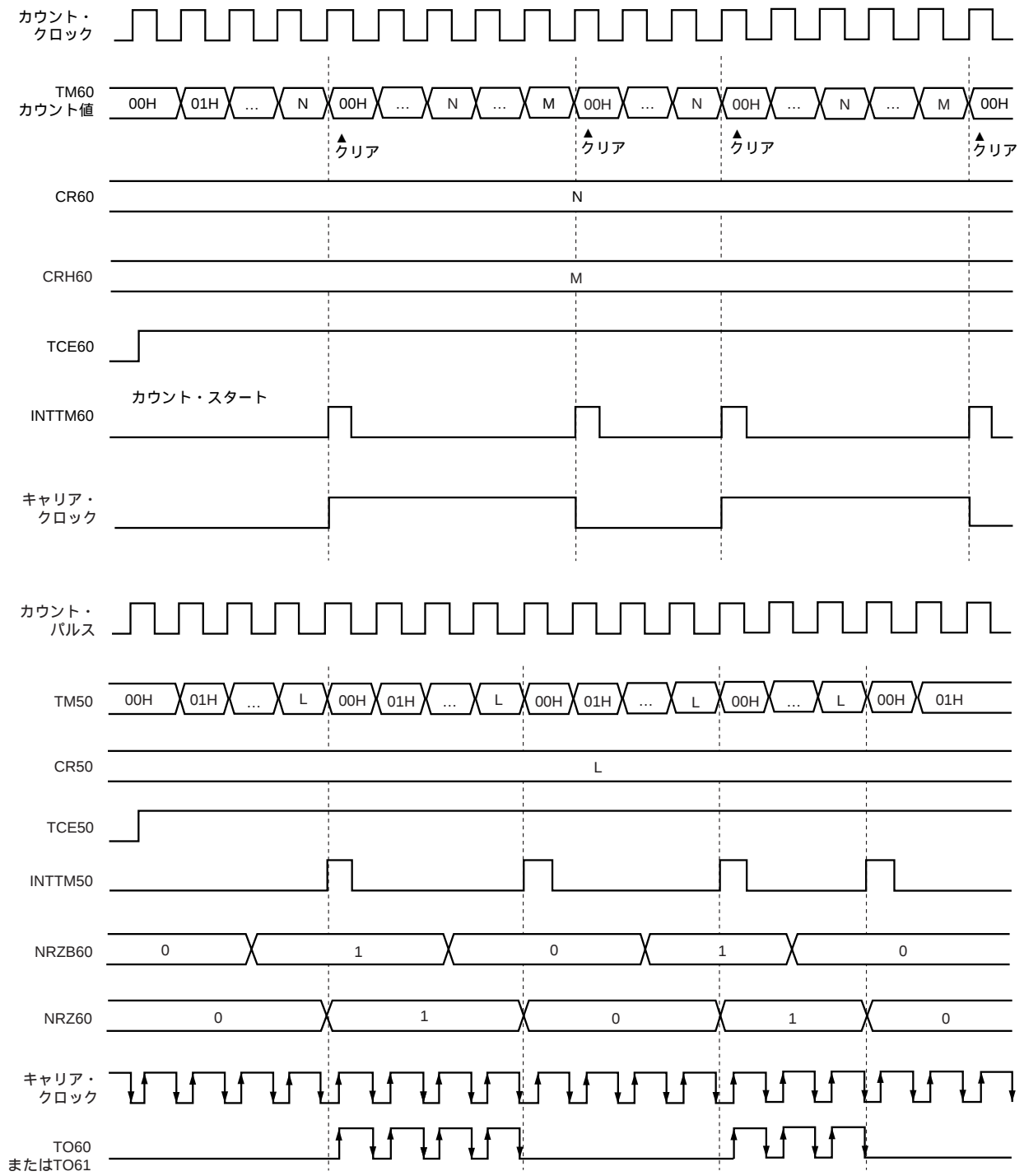
★

- 注意1. TCA60は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。
2. NRZ60フラグはキャリア・ジェネレータ出力停止 (TOE60 = 0) 時のみ書き換え可能です。
TOE60 = 1のときに書き込み命令を実行してもデータは書き換わりません。
 3. キャリア・ジェネレータ動作をいったん停止し、その後再度キャリア・ジェネレータ動作にすると、NRZB60は以前のデータを保持していませんので再設定してください。また、このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。
 4. INTTM50 (タイマ50の一致信号による割り込み) が出力されている期間は、TCA60へのアクセスは禁止です。
 5. 8ビット・タイマ・カウンタ50 (TM50) が00Hのときは、TCA60へのアクセスは禁止です。
もしTM50 = 00Hのときにアクセスする場合は、TM50カウント・クロックの1/2周期以上ウエイトしてからTCA60を書き換えてください。
 6. キャリア・ジェネレータ・モードの動作を許可する場合は、事前にコンペア・レジスタ (CR50, CR60, CRH60) に値を設定し、NRZB60フラグとNRZ60フラグに必要な値を入力してから動作を開始してください。さもないと、タイマ一致回路の信号が不定となり、NRZ60フラグが不定になってしまいます。

キャリア・ジェネレータの動作タイミングを図7 - 19 ~ 図7 - 21に示します。

★

図7 - 19 キャリア・ジェネレータの動作タイミング (CR60 = N, CRH = M (M > N) 設定時)



★

図7 - 20 キャリア・ジェネレータの動作タイミング (CR60 = N, CRH = M (M < N) 設定時)

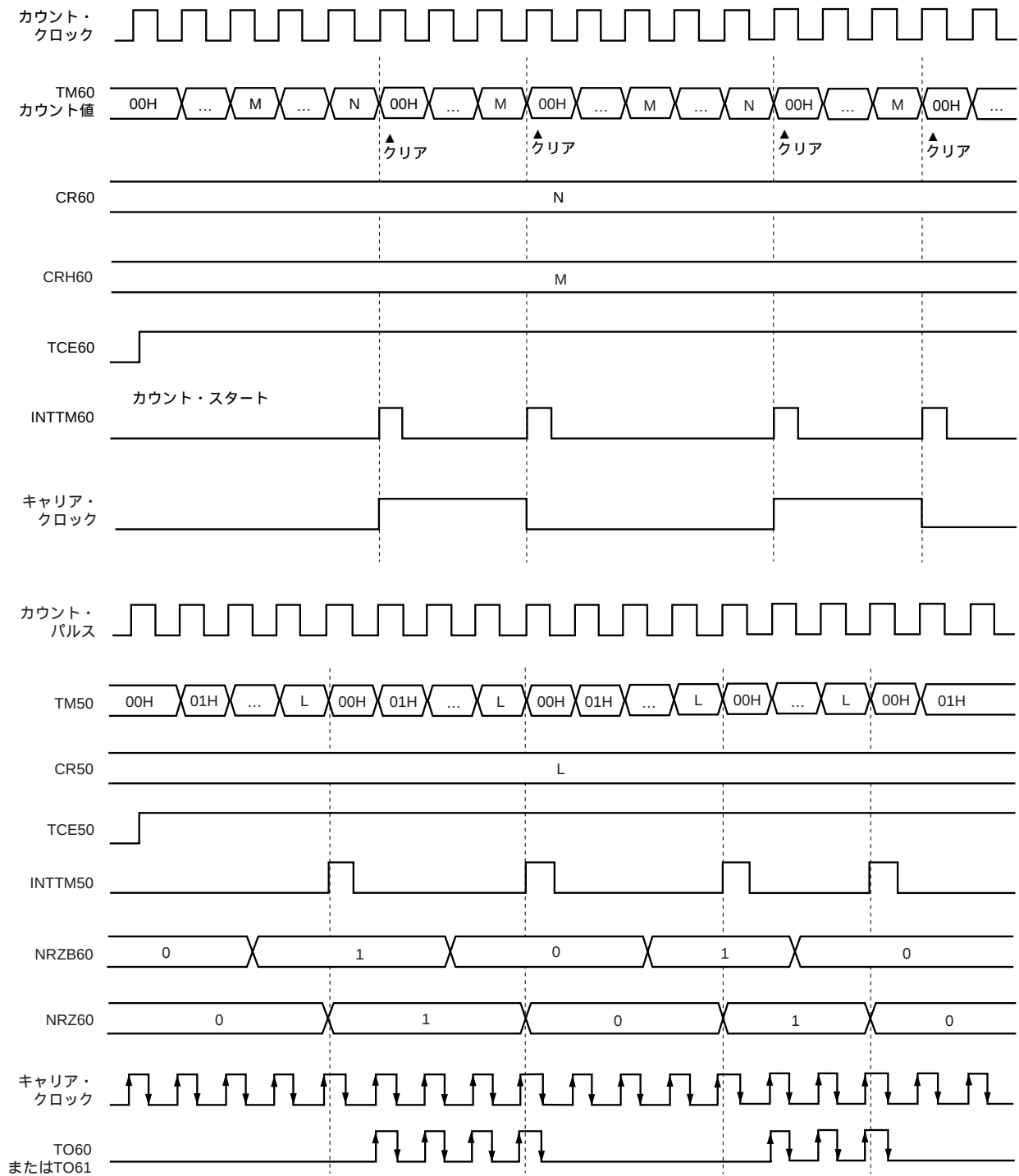
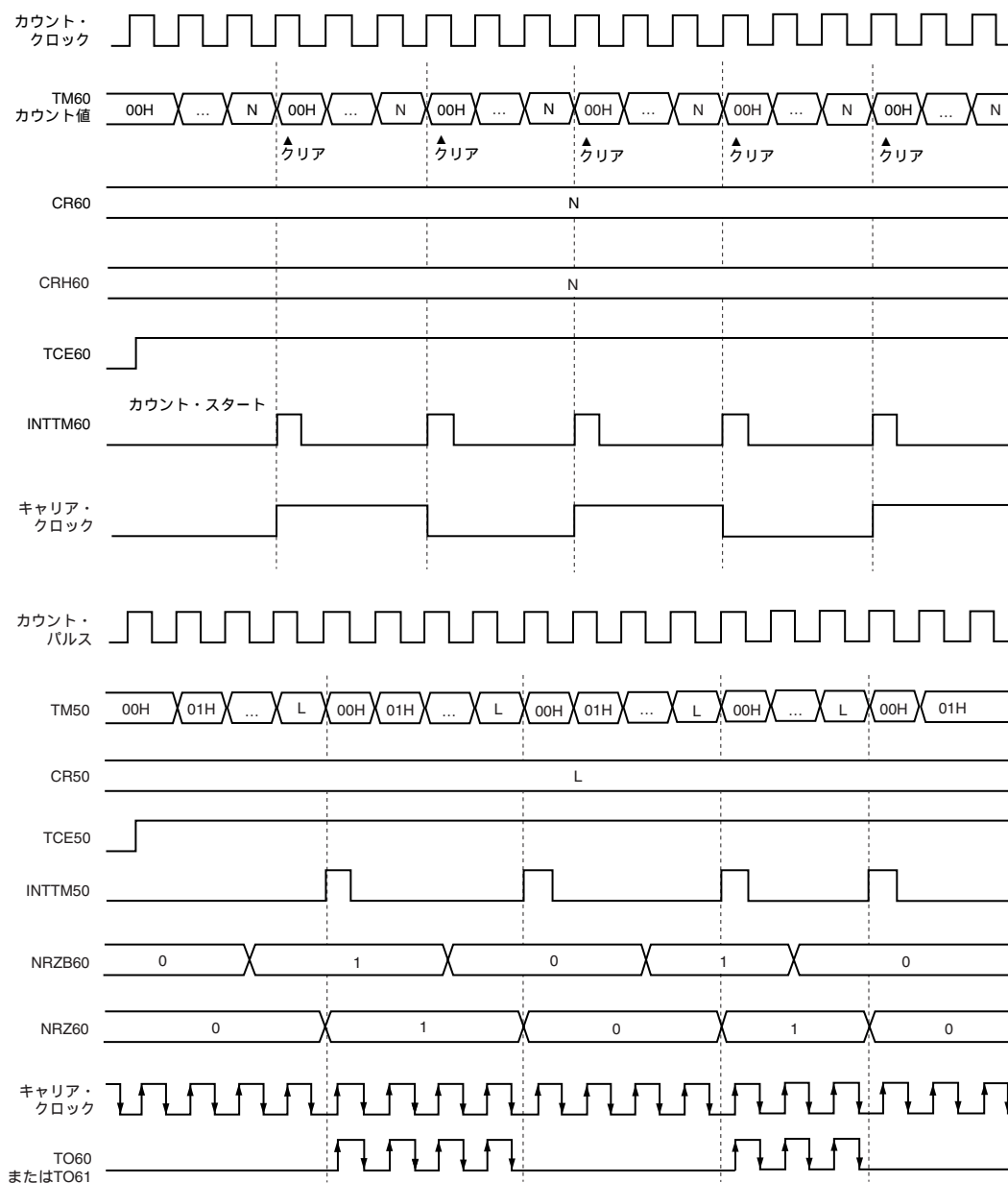


図7 - 21 キャリア・ジェネレータの動作タイミング (CR60 = CRH60 = N設定時)



7.4.4 PWMフリー・ランニング・モードとしての動作（タイマ50）

PWMフリー・ランニング・モードでは、TM50のオーバーフローによりTO50がハイ・レベル、CR50とTM50の一致によりTO50がロウ・レベルになり、それにより任意のデューティ比のパルスを出力させることができます。タイマ50をPWMフリー・ランニング・モードとして動作させるには次の設定をします。

TM50を動作禁止（TCE50 = 0）に設定

TO50のタイマ出力を禁止（TOE50 = 0）に設定

CR50にカウント値を設定

タイマ50の動作モードをPWMフリー・ランニング・モードに設定（図7 - 4参照）

タイマ50のカウント・クロックを設定

P31を出力モード（PM31 = 0）、P31の出力ラッチに0を設定し、TO50のタイマ出力を許可（TOE50 = 1）に設定

TM50を動作許可（TCE50 = 1）に設定

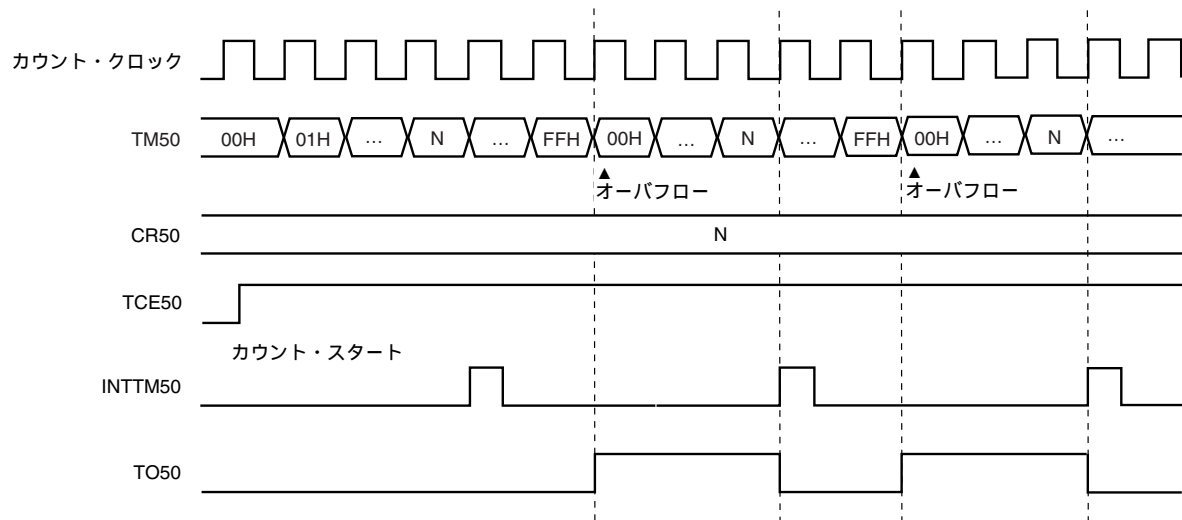
PWMフリー・ランニング・モードの動作は次のようになります。

TM50のカウント値がCR50に設定した値と一致したとき、割り込み要求信号（INTTM50）が発生するとともにTO50よりロウ・レベルを出力します。TM50はクリアされずカウントを続けます。

TM50のオーバーフローにより、TO50はハイ・レベルを出力します。

以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWMフリー・ランニング・モードの動作タイミングを図7 - 22～図7 - 25に示します。

図7 - 22 PWMフリー・ランニング・モード動作時の動作タイミング（立ち上がりエッジ選択時）



注意 立ち上がりエッジ選択時，CR50に00Hを設定しないでください。CR50に00Hを設定した場合，PWM出力が正常に発生しないことがあります。

図7 - 23 CR50書き換え時の動作タイミング（立ち上がりエッジ選択時）（1/2）

（1）オーバーフロー後，CR50 > TM50に値を設定した場合

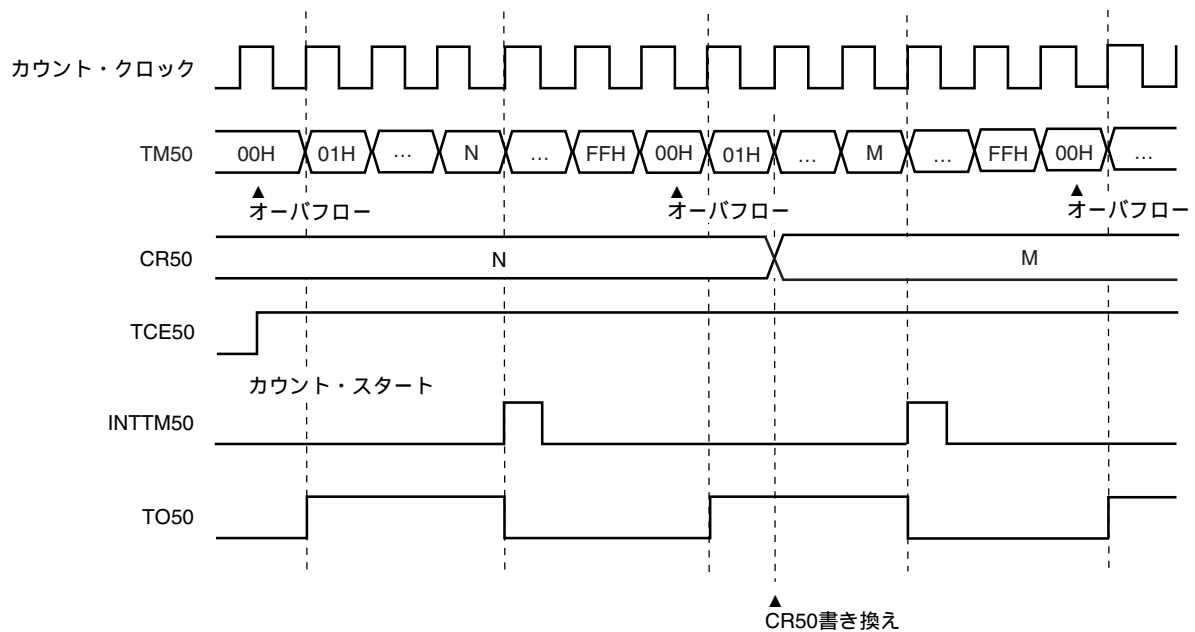


図7 - 23 CR50書き換え時の動作タイミング（立ち上がりエッジ選択時）（2/2）

（2）オーバーフロー後，CR50 < TM50に値を設定した場合

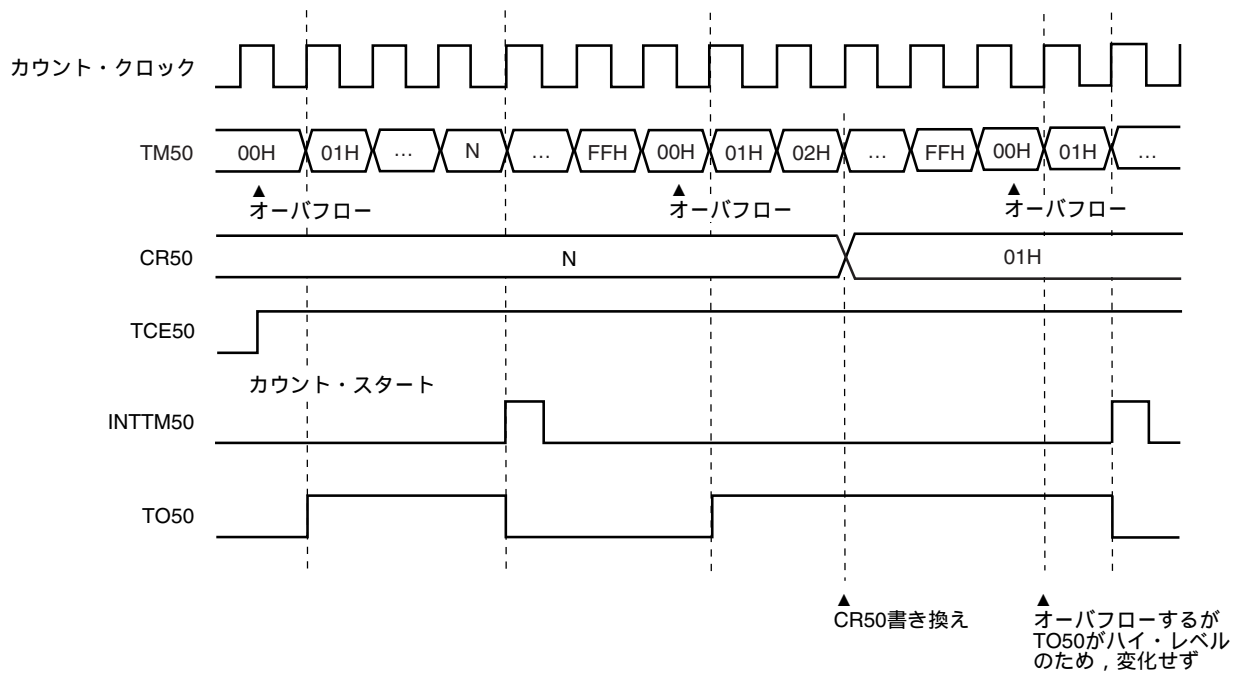


図7 - 24 PWMフリー・ランニング・モード動作時の動作タイミング（両エッジ選択時）（1/2）

（1）CR50 = 偶数のとき

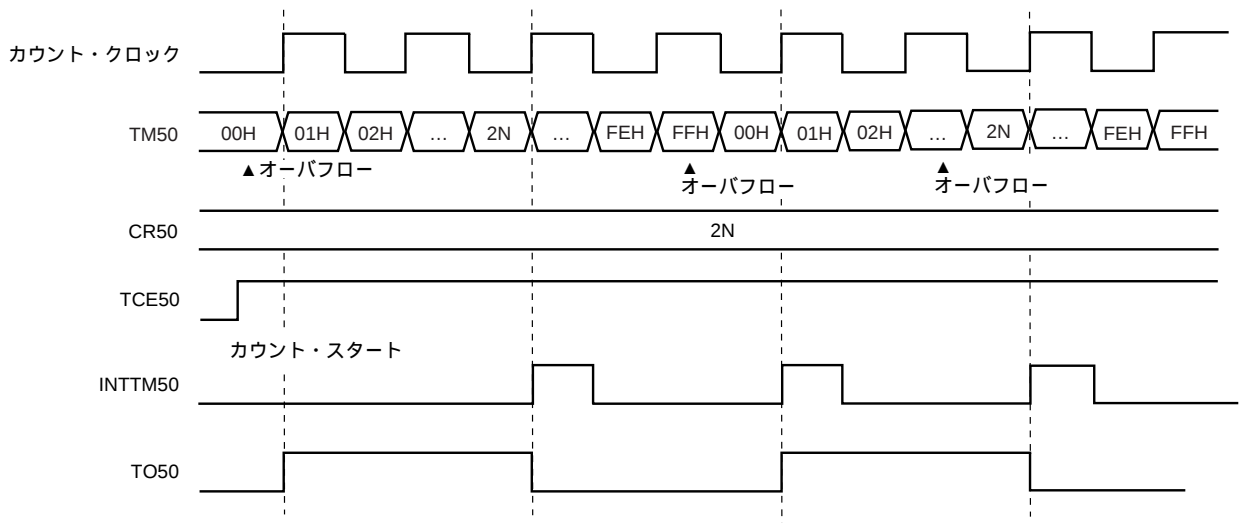
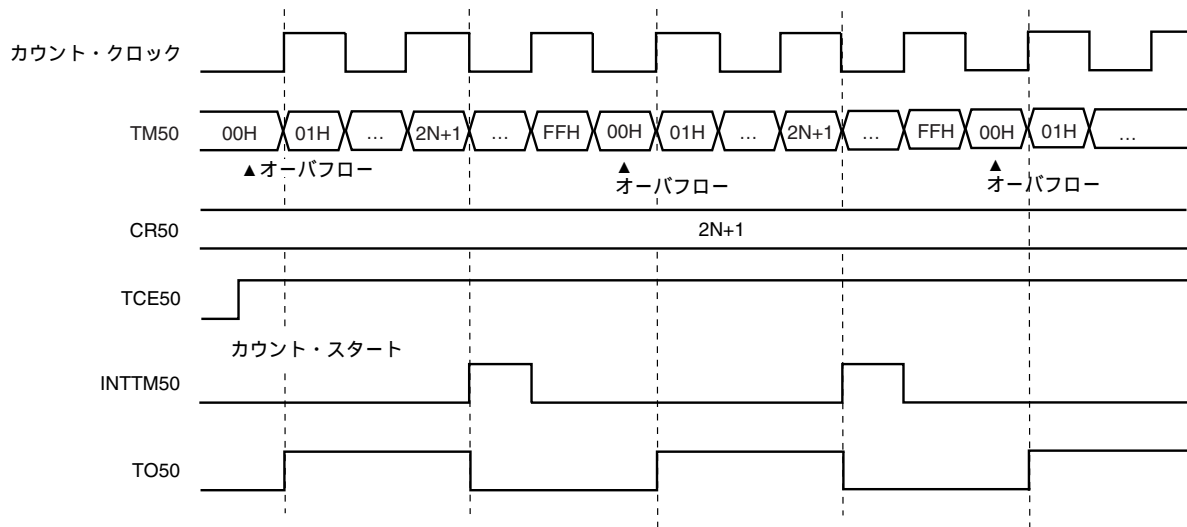


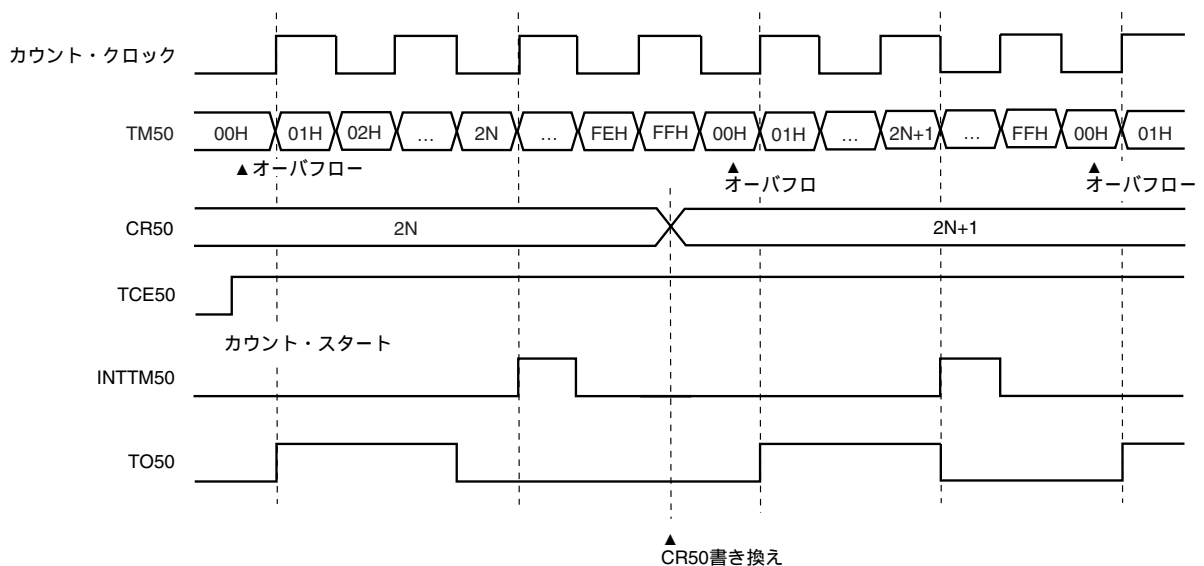
図7 - 24 PWMフリー・ランニング・モード動作時の動作タイミング（両エッジ選択時）（2/2）

（2）CR50 = 奇数のとき



注意 両エッジ選択時、CR50に00H, 01H, FFHを設定しないでください。CR50にこれらの値を設定した場合、PWM出力が正常に発生しないことがあります。

図7 - 25 PWMフリー・ランニング・モード動作時の動作タイミング（両エッジ選択時）
（CR50を書き換えた場合）



7.4.5 PWMパルス・ジェネレータ・モードとしての動作（タイマ60）

PWMパルス・ジェネレータ・モードでは、ロウ・レベル幅をCR60で、ハイ・レベル幅をCRH60で設定させることにより、任意のデューティ比のパルスを出力させることができます。

タイマ60をPWMパルス・ジェネレータ・モードとして動作させるには次の設定をします。

TM60を動作禁止（TCE60 = 0）に設定

TO60のタイマ出力を禁止（TOE60 = 0）に設定

CR60, CRH60にカウント値を設定

タイマ60の動作モードをPWMパルス・ジェネレータ・モードに設定（図7 - 5参照）

タイマ60のカウント・クロックを設定

P32を出力モード（PM32 = 0）、P32の出力ラッチに0を設定し、TO60のタイマ出力を許可（TOE60 = 1）に設定

TM60を動作許可（TCE60 = 1）に設定

PWM出力モードの動作は次のようになります。

TM60のカウント値がCR60に設定した値と一致したとき、割り込み要求信号（INTTM60）が発生するとともにタイマ60の出力状態が反転します。これによりコンペア・レジスタがCR60→CRH60に切り替わります。

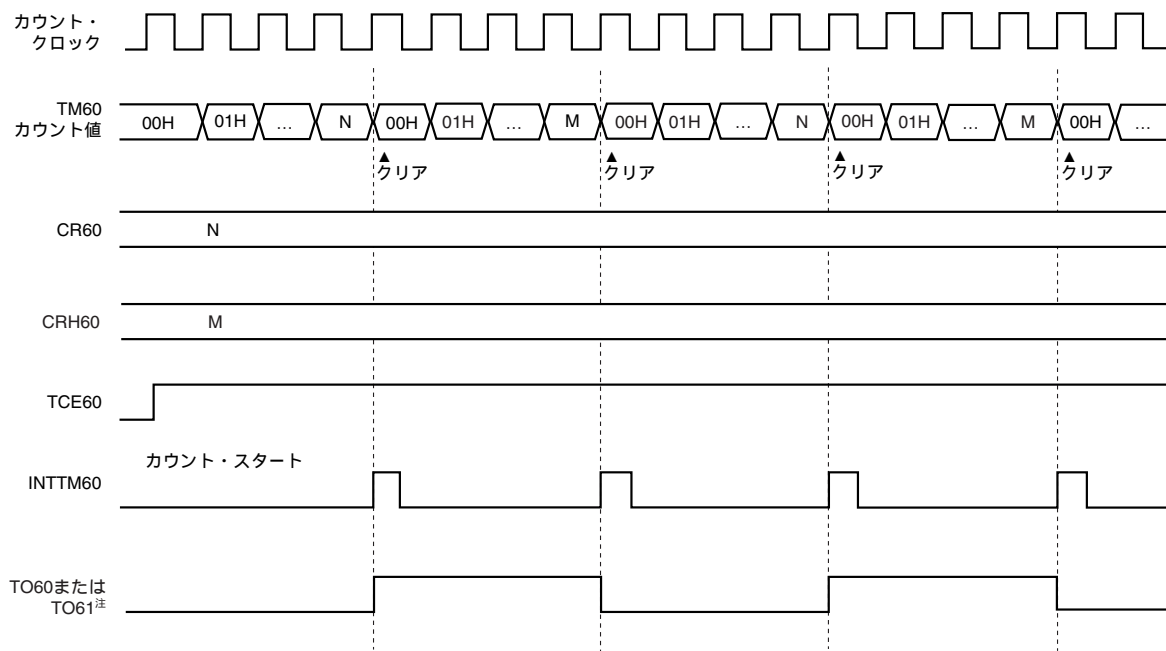
TM60とCR60の一致により、TM60の値が00Hにクリアされ、再びカウントを開始します。

その後、TM60のカウント値がCRH60に設定した値と一致したとき、割り込み要求信号（INTTM60）が発生するとともにタイマ60の出力状態が再び反転します。これによりコンペア・レジスタがCRH60→CR60に切り替わります。

TM60とCRH60の一致により、TM60の値が00Hにクリアされ、再びカウントを開始します。

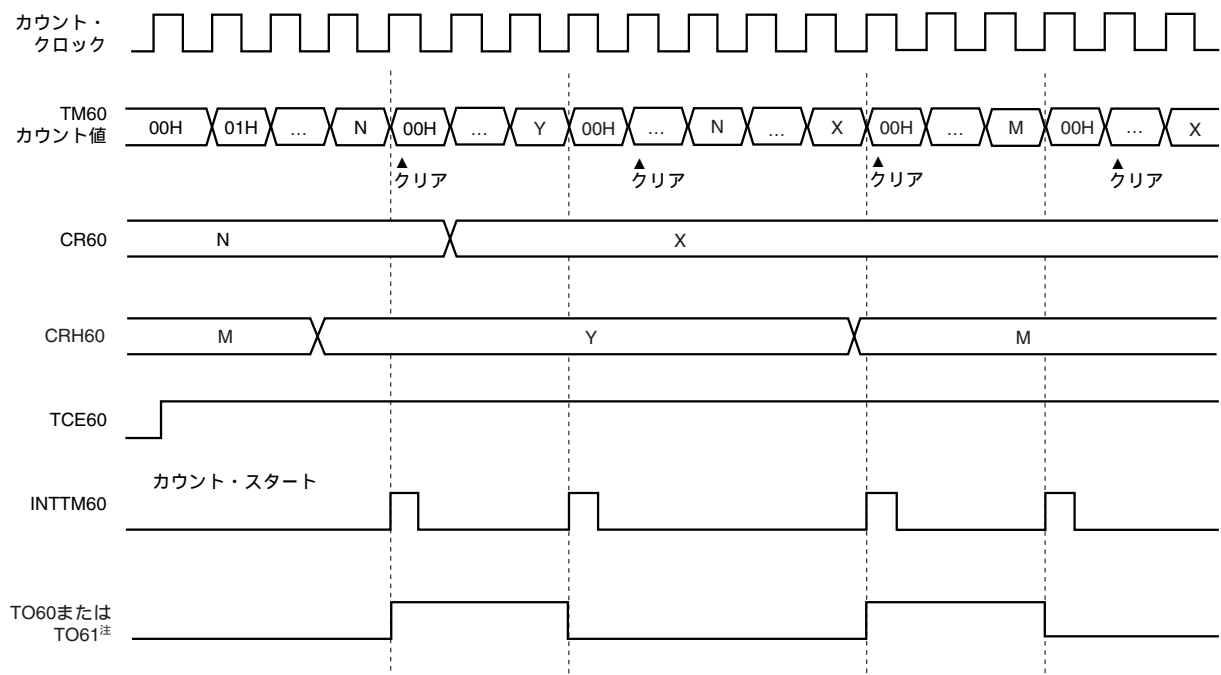
以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWMパルス・ジェネレータ・モードの動作タイミングを図7 - 26、図7 - 27に示します。

図7 - 26 PWMパルス・ジェネレータ・モードのタイミング（基本動作）



注 出力許可 (TOE60 = 1) 時のTO60の初期値は、ロウ・レベルになります。

図7 - 27 PWMパルス・ジェネレータ・モードのタイミング（CR60, CRH60を書き換えた場合）



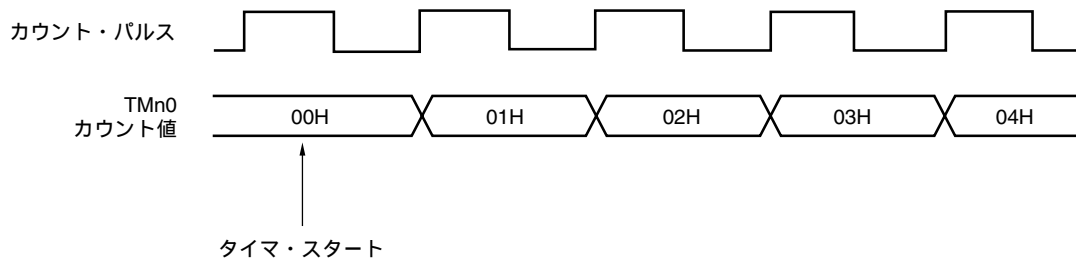
注 出力許可 (TOE60 = 1) 時のTO60の初期値は、ロウ・レベルになります。

7.5 8ビット・タイマ50, 60の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ $n0$ (TM $n0$) のスタートが非同期で行われるためです。

図7 - 28 8ビット・タイマ・カウンタのスタート・タイミング



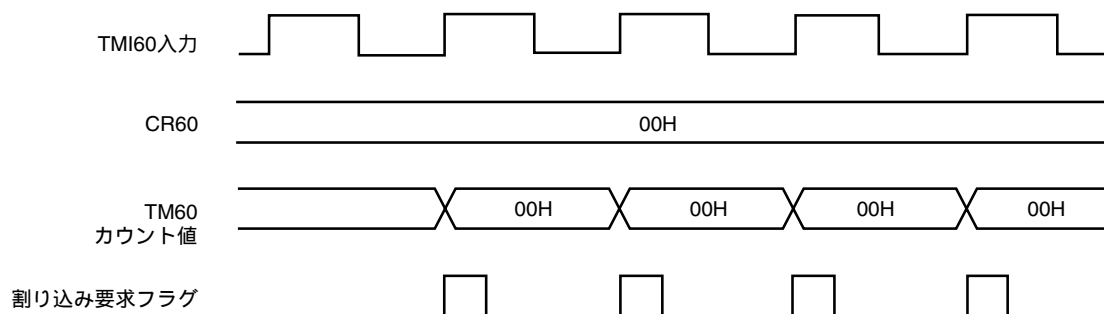
備考 $n = 5, 6$

(2) 8ビット・コンペア・レジスタ $n0$ の設定

8ビット・コンペア・レジスタ $n0$ (CR $n0$) には，00Hの設定が可能です。
したがって，イベント・カウンタとして使用時，1パルスのカウント動作が可能です。

備考 $n = 5, 6$

図7 - 29 外部イベント・カウンタとしての動作時のタイミング (8ビット分解能時)



第8章 時計用タイマ

8.1 時計用タイマの機能

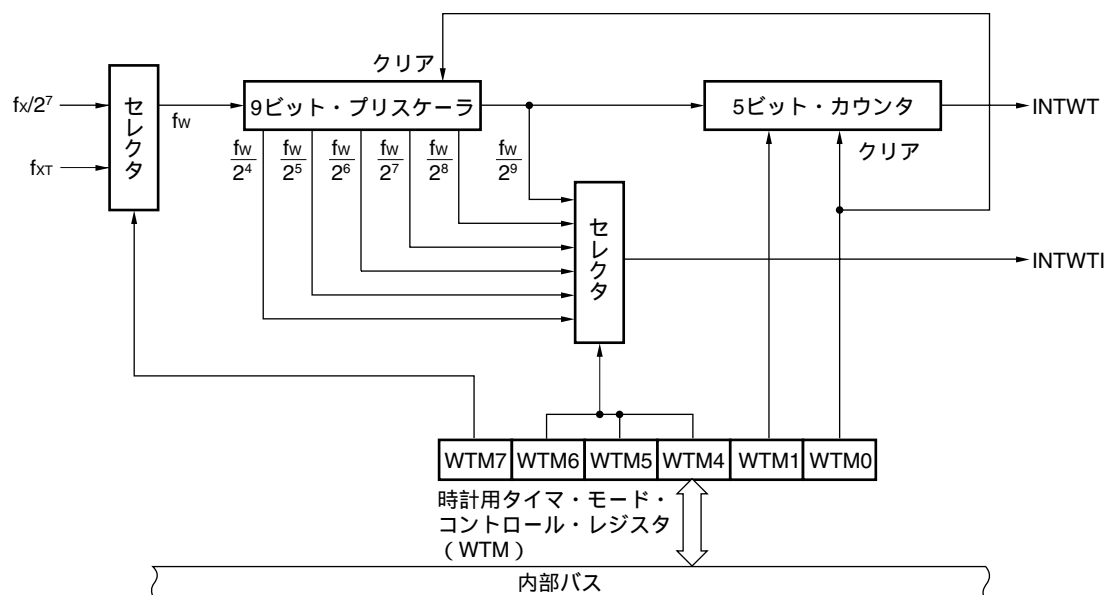
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求（INTWT）を発生します。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。
32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求（INTWT）を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	409.6 μs	489 μs	488 μs
$2^5 \times 1/f_w$	819.2 μs	978 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.96 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.82 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウント・クロック選択
0	$f_x/2^7$ (39.1 kHz)
1	f_{XT} (32.768 kHz)

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ、タイマともにクリア)
1	動作許可

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は、 $f_w = 32.768$ kHz動作時

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

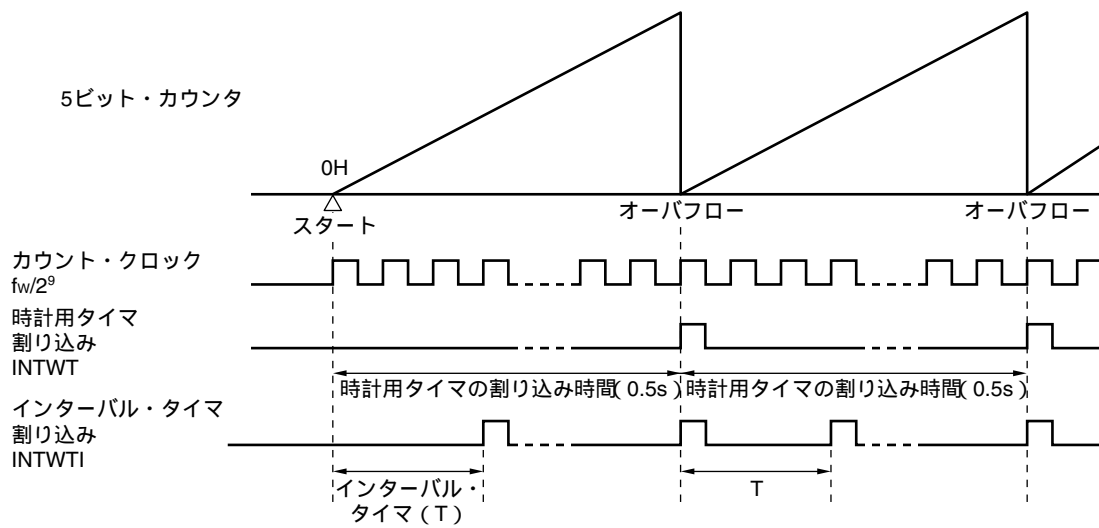
WTM6	WTM5	WTM4	インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	409.6 μs	489 μs	488 μs
0	0	1	$2^5 \times 1/f_w$	819.2 μs	978 μs	977 μs
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.96 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.82 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止			

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

図8 - 3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

備考1 f_w : 時計用タイマ・クロック周波数

2. () 内は、 $f_w = 32.768 \text{ kHz}$ 動作時

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表9 - 2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

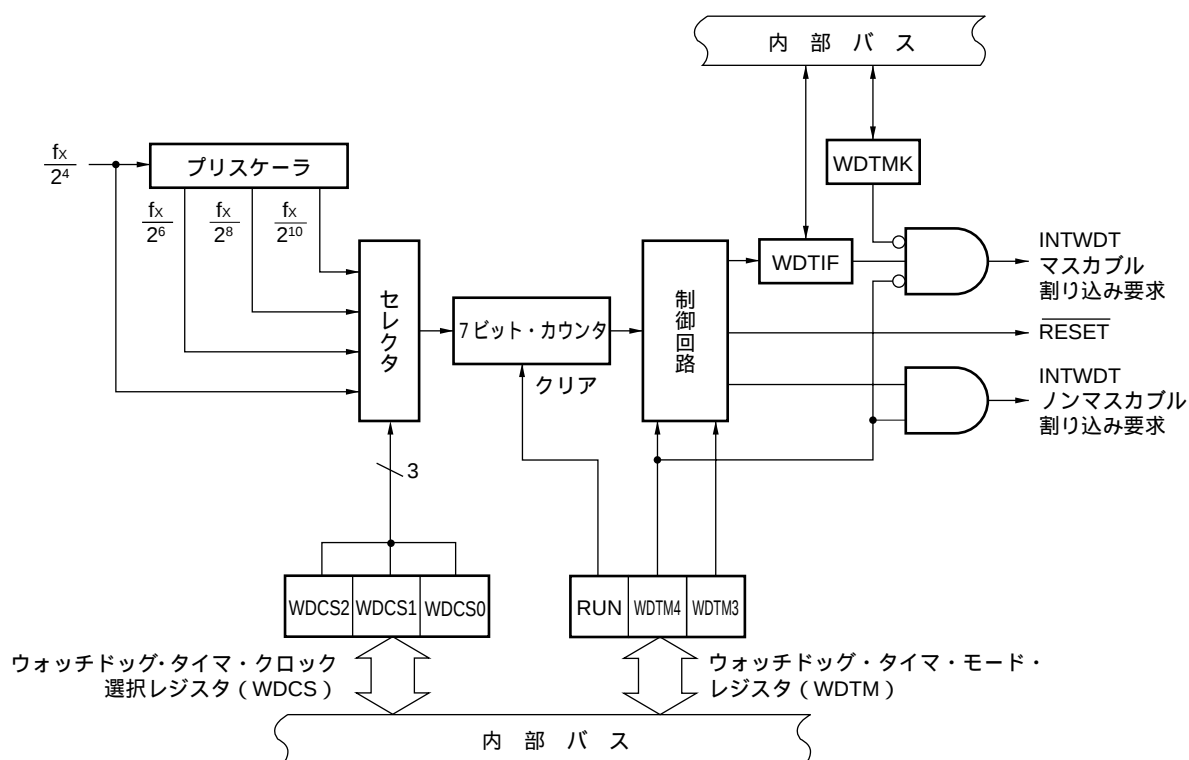
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止	

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可 / 禁止を設定するレジスタです。

WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
WDTM	RUN	0	0	0	WDTM4	WDTM3	0	0	0	0	0	0	0	FFF9H	00H	R/W	

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時、マスカブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作を起動)

注1. RUNは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大0.8 %短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、WDTIF (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態で、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1．実際の暴走検出時間は設定時間に対して最大0.8 %短くなる場合があります。

2．CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

WDCS2	WDCS1	WDCS0	暴走検出時間	fx = 5.0 MHz時
0	0	0	$2^{11} \times 1/f_x$	410 μ s
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

fx: メイン・システム・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなるときがあります。

表9 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μs
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

第10章 8ビットA/Dコンバータ (μ PD789426, 789446サブシリーズ)

10.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、6チャンネル (ANI0-ANI5) のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI5から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求 (INTAD0) を発生します。

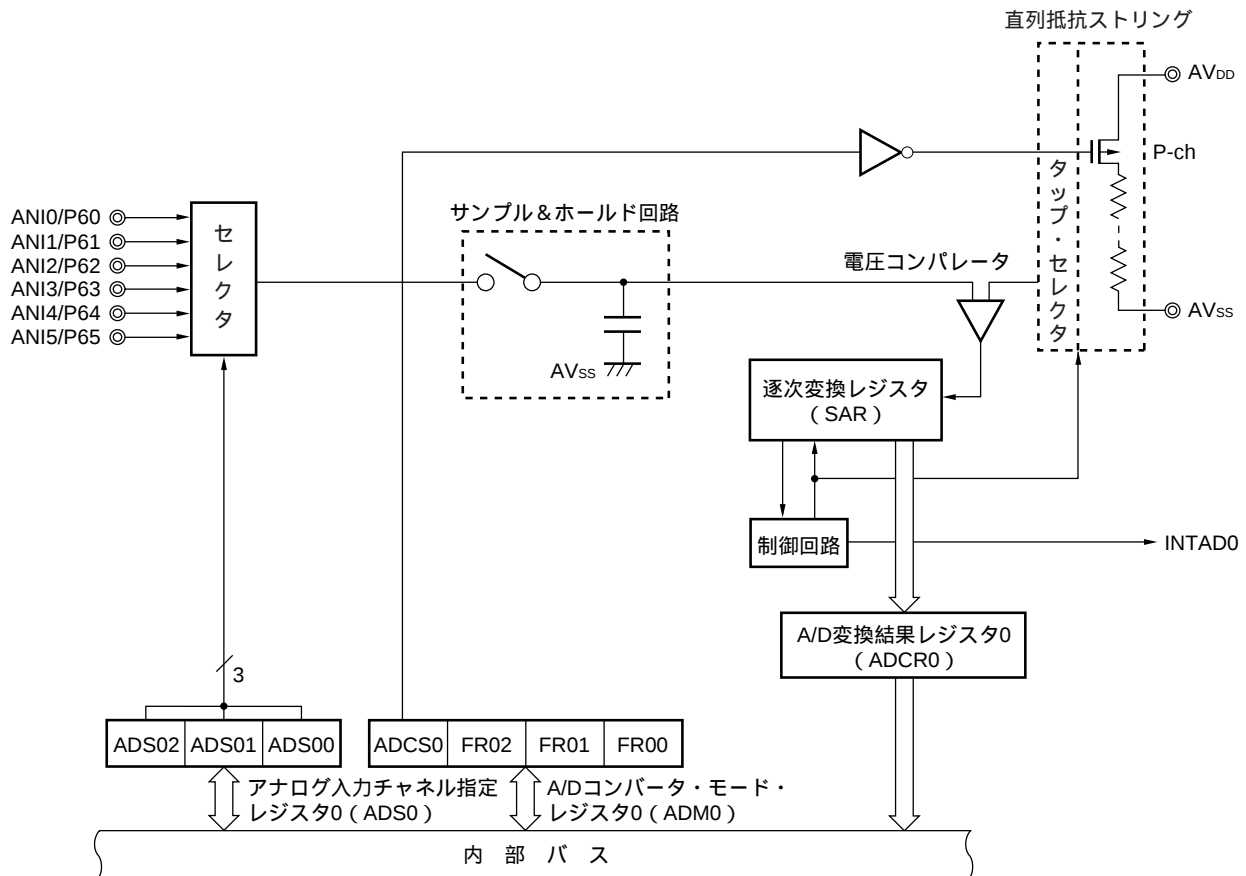
10.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	6チャンネル (ANI0-ANI5)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) アナログ入力チャンネル指定レジスタ0 (ADS0)

図10 - 1 8ビットA/Dコンバータのブロック図

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し，その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D変換終了），SARの内容はA/D変換結果レジスタ0（ADCR0）に転送されます。

(2) A/D変換結果レジスタ0（ADCR0）

A/D変換結果を保持します。A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/Dの変換結果を保持する8ビットのレジスタです。

ADCR0は，8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により，不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は，入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし，電圧コンパレータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{DD} - AV_{SS} 間に入っており，アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI5端子

A/Dコンバータへの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上, AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

10.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	0	0	0	0	0	0	FF80H	00H	R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}
0	0	0	144/f _x (28.8 μs)
0	0	1	120/f _x (24 μs)
0	1	0	96/f _x (19.2 μs)
1	0	0	72/f _x (14.4 μs)
1	0	1	60/f _x (設定禁止 ^{注2})
1	1	0	48/f _x (設定禁止 ^{注2})
上記以外			設定禁止

注1．A/D変換時間が14 μs以上になるように設定してください。

2．A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1．ビット0-2, 6には、必ず0を設定してください。

2．ADCS0をセット直後の変換結果は不定になります。

3．ADCS0をクリア後の変換結果が不定になることがあります。

備考1．f_x：メイン・システム・クロック発振周波数

2．() 内は、f_x = 5.0 MHz動作時

(2) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 3 アナログ入力チャネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
上記以外			設定禁止

注意 ビット3-7には、必ず0を設定してください。

10.4 8ビットA/Dコンバータの動作

10.4.1 8ビットA/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) AV_{DD}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) AV_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{DD}$ よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ ビット7 = 1 : $(3/4) AV_{DD}$
- ・ ビット7 = 0 : $(1/4) AV_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・ アナログ入力電圧 $>$ 電圧タップ : ビット6 = 1
- ・ アナログ入力電圧 $<$ 電圧タップ : ビット6 = 0

このような比較をSARのビット0まで続けます。

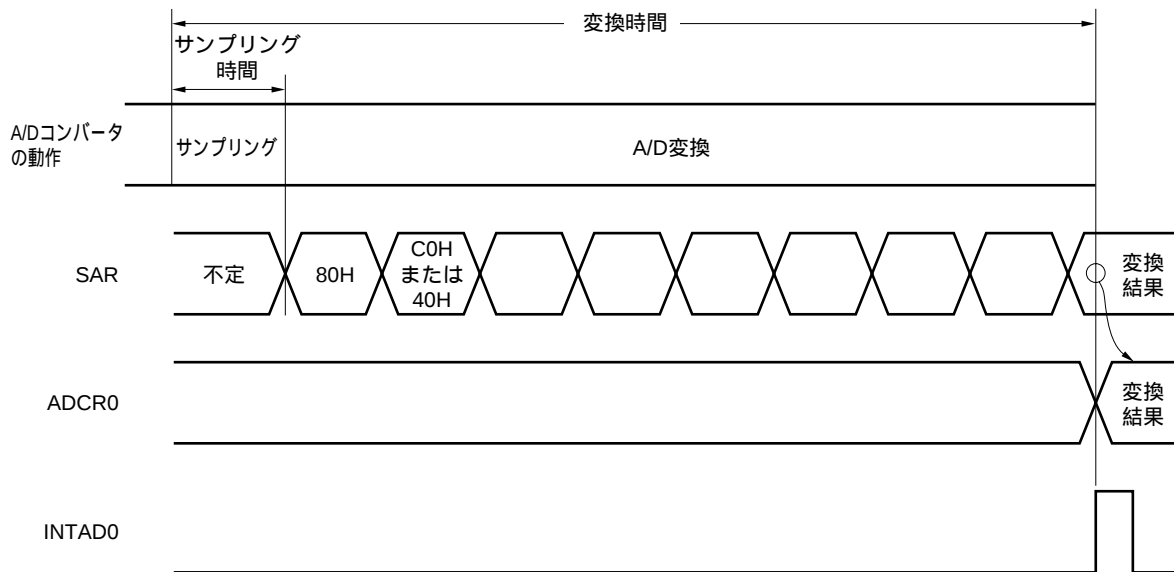
8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図10 - 4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

10. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI5) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{AV_{\text{DD}}} \times 256 + 0.5 \right)$$

または、

$$\left(\text{ADCR0} - 0.5 \right) \times \frac{AV_{\text{DD}}}{256} \leq V_{\text{IN}} < \left(\text{ADCR0} + 0.5 \right) \times \frac{AV_{\text{DD}}}{256}$$

INT () : () 内の値の整数部を返す関数

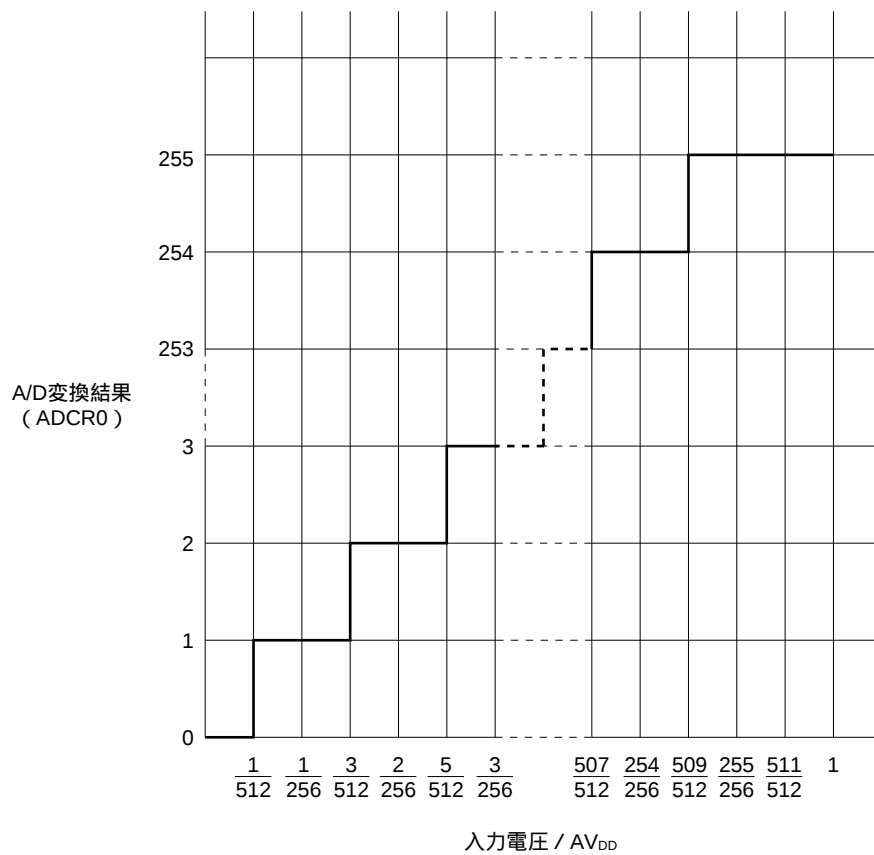
V_{IN} : アナログ入力電圧

AV_{DD} : A/Dコンバータの電源電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図10 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 5 アナログ入力電圧とA/D変換結果の関係



10.4.3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ0 (ADS0) によって ANI0-ANI5からアナログ入力を1チャネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

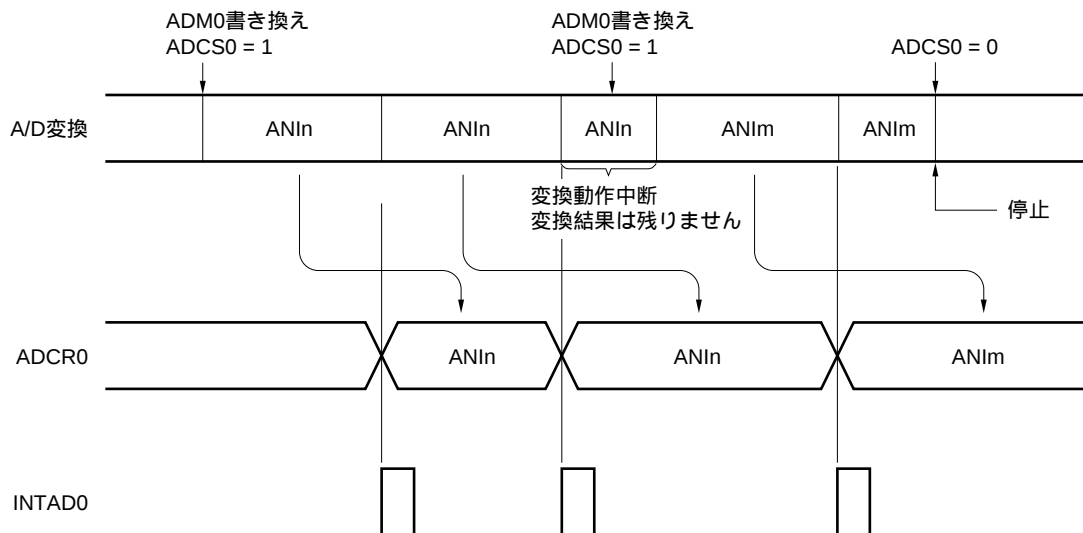
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図10 - 6 ソフトウェア・スタートによるA/D変換動作



備考1. n = 0-5

2. m = 0-5

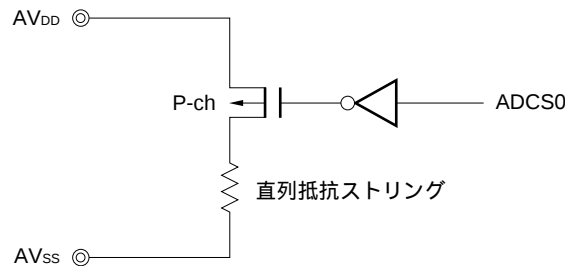
10.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図10 - 7に示します。

図10 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI5入力範囲について

ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャネル指定レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図10 - 8、図10 - 9に示します。

図10 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

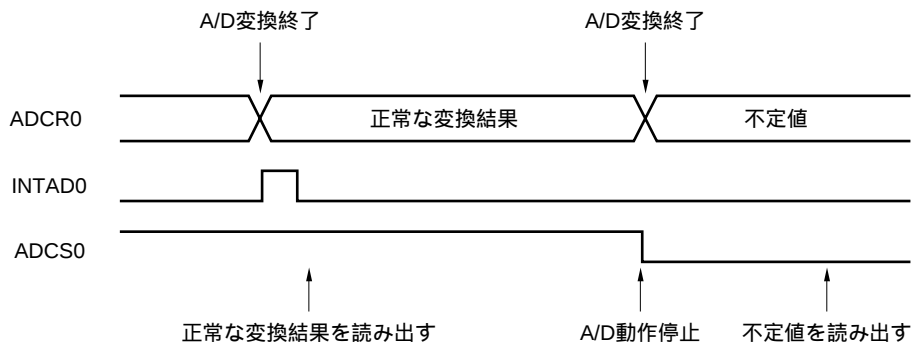
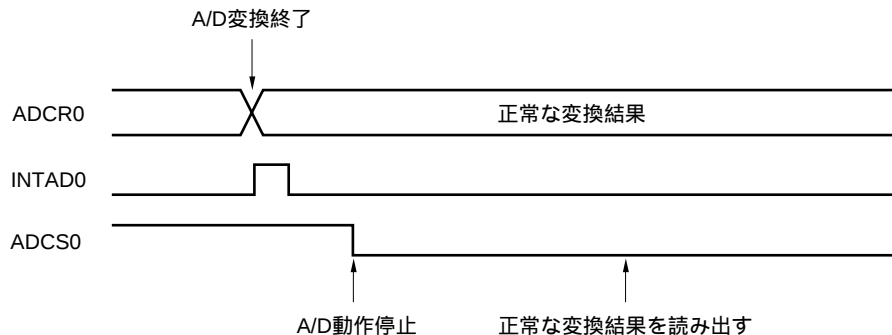


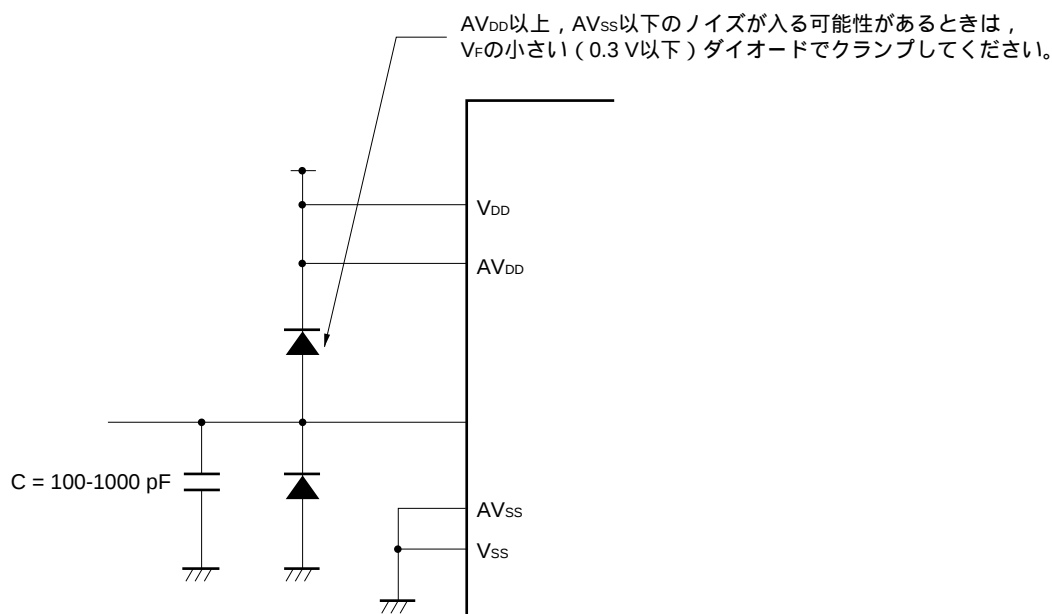
図10 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI5端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 10のようにCを外付けすることを推奨します。

図10 - 10 アナログ入力端子の処理

**(7) ANI0-ANI5**

アナログ入力 (ANI0-ANI5) 端子はポート端子 (P60-P65) と兼用になっています。

ANI0-ANI5のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

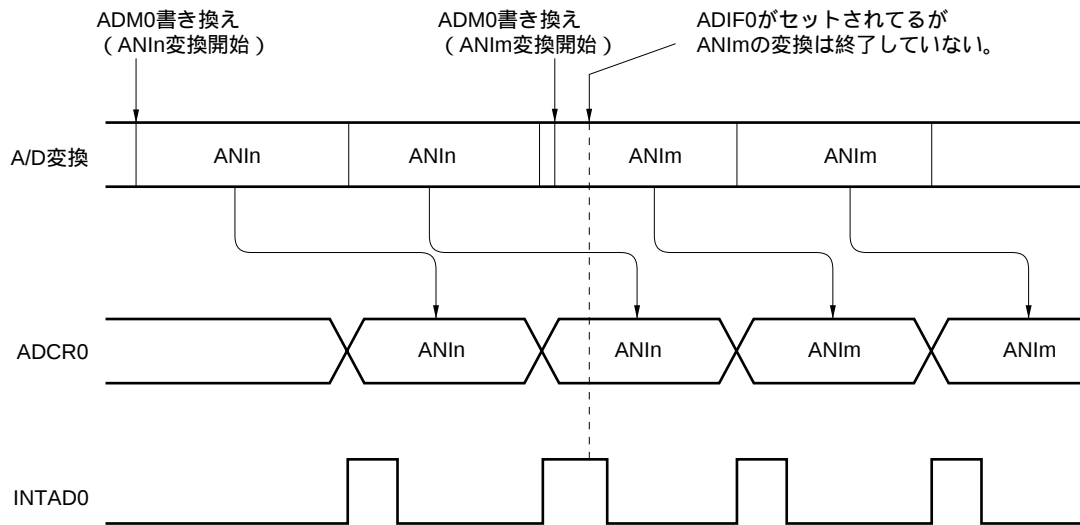
(8) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図10 - 11 A/D変換終了割り込み要求発生タイミング

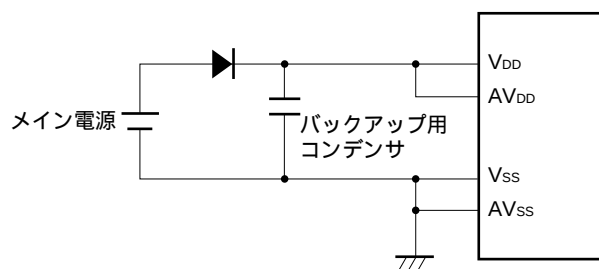


- 備考1. $n = 0-5$
2. $m = 0-5$

(9) AV_{DD} 端子について

AV_{DD} 端子はアナログ回路の電源端子であり、 $ANI0-ANI5$ の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図10 - 12のように必ず V_{DD} 端子と同レベルの電位を印加してください。

図10 - 12 AV_{DD} 端子の処理


(10) AV_{DD} 端子の入力インピーダンスについて

AV_{DD} 端子と AV_{SS} 端子の間には数十 $k\Omega$ の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

第11章 10ビットA/Dコンバータ (μ PD789436, 789456サブシリーズ)

11.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、6チャンネル (ANI0-ANI5) のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI5から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求 (INTAD0) を発生します。

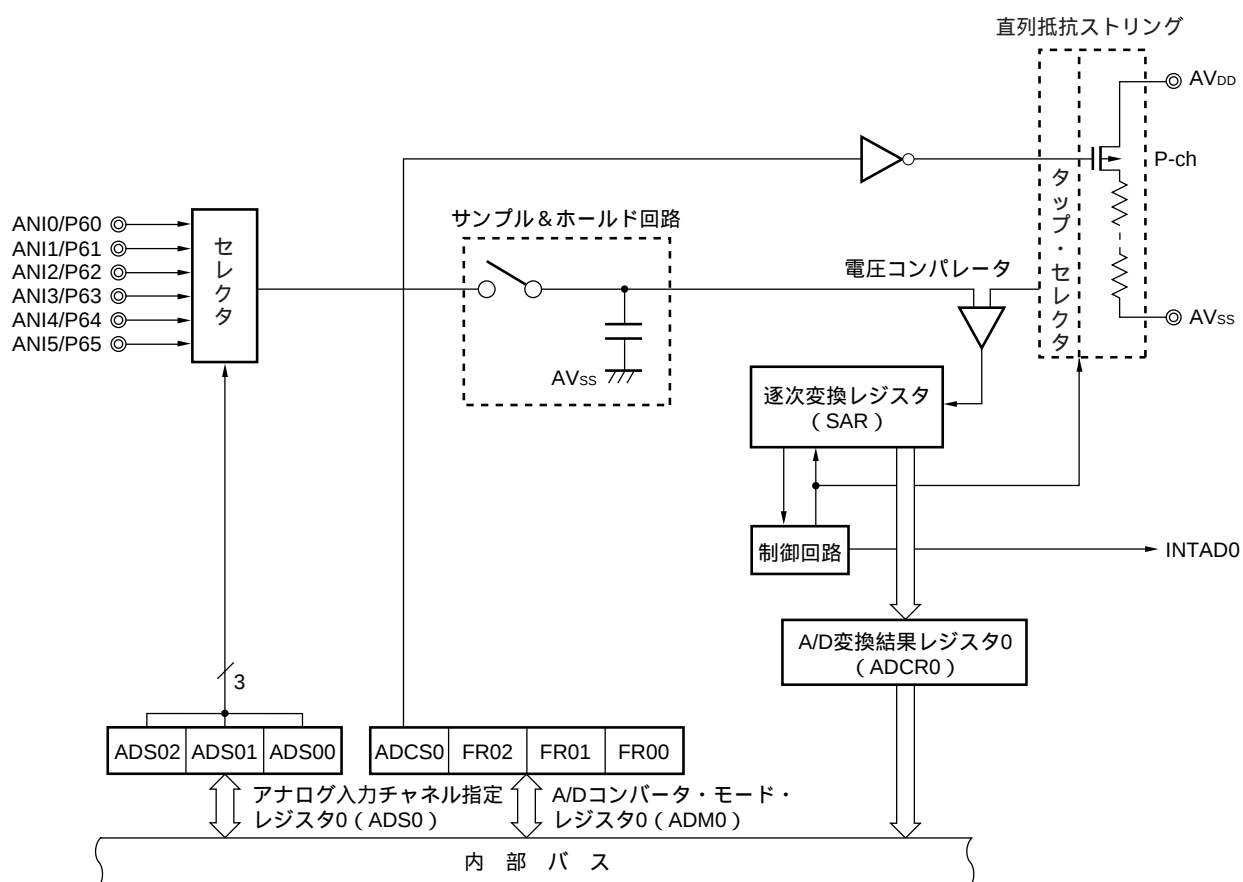
11.2 10ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表11 - 1 10ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	6チャンネル (ANI0-ANI5)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) アナログ入力チャンネル指定レジスタ0 (ADS0)

図11 - 1 10ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

★ (2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは、0固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果はADCR0のビット15を最上位ビット (MSB) として、FF15Hには変換結果の上位8ビットが、FF14Hには変換結果の下位2ビットが入ります。

ADCR0は、16ビット・メモリ操作命令で読み出します。

RESET入力により、0000Hになります。

略号	FF15H						FF14H						アドレス	リセット時	R/W		
ADCR0									0	0	0	0	0	0	FF14H, FF15H	0000H	R

注意 μPD78F9436をμPD789425, 789426のフラッシュ・メモリとして使用する場合、またはμPD78F9456をμPD789445, 789446のフラッシュ・メモリとして使用する場合は8ビット・アクセスが可能です。

ただし、μPD789425, 789426でアセンブルしたオブジェクト・ファイルまたはμPD789445, 789446でアセンブルしたオブジェクト・ファイルに限ります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングはAVDD-AVSS間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI5端子

A/Dコンバータへの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AVSS端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にVSS端子と同電位で使用してください。

(8) AVDD端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD端子と同電位で使用してください。

11.3 10ビットA/Dコンバータを制御するレジスタ

10ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	0	0	0	0	0	FF80H	00H	R/W	

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}
0	0	0	144/f _x (28.8 μs)
0	0	1	120/f _x (24 μs)
0	1	0	96/f _x (19.2 μs)
1	0	0	72/f _x (14.4 μs)
1	0	1	60/f _x (設定禁止 ^{注2})
1	1	0	48/f _x (設定禁止 ^{注2})
上記以外			設定禁止

注1．A/D変換時間が14 μs以上になるように設定してください。

2．A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1．ビット0-2, 6には、必ず0を設定してください。

2．ADCS0をセット直後の変換結果は不定になります。

3．ADCS0をクリア後の変換結果が不定になることがあります。

備考1．f_x：メイン・システム・クロック発振周波数

2．() 内は、f_x = 5.0 MHz動作時

(2) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 3 アナログ入力チャネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
上記以外			設定禁止

注意 ビット3-7には、必ず0を設定してください。

11.4 10ビットA/Dコンバータの動作

11.4.1 10ビットA/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2) AV_{DD} にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{DD} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{DD} よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ ビット9 = 1 : (3/4) AV_{DD}
- ・ ビット9 = 0 : (1/4) AV_{DD}

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

- ・ アナログ入力電圧 電圧タップ : ビット8 = 1
- ・ アナログ入力電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

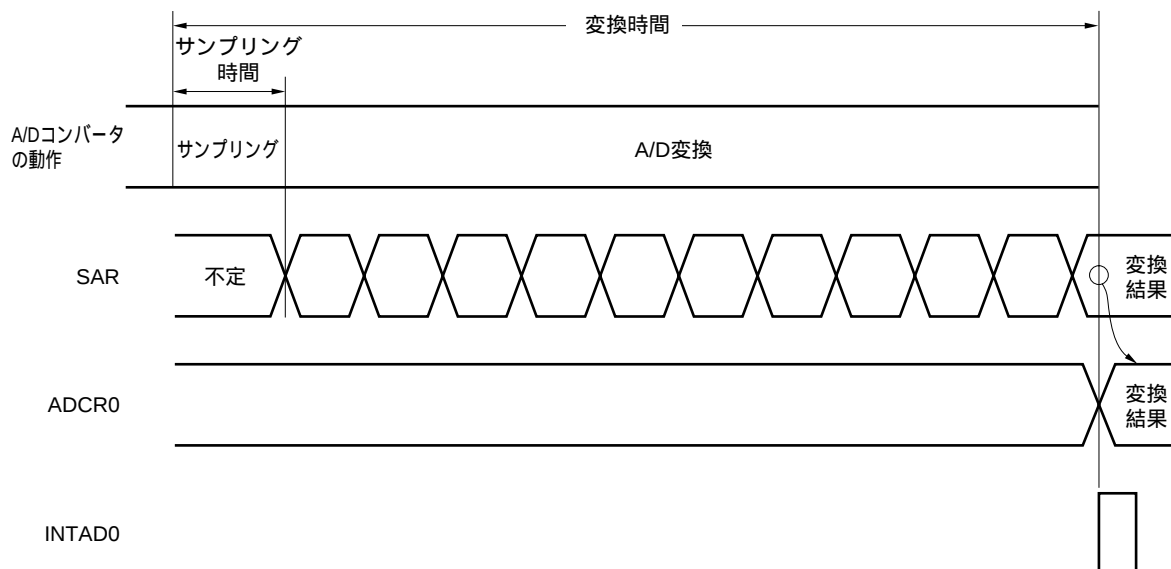
10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. A/D変換動作をスタートした直後のA/D変換値は不定になることがあります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図11 - 4 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI5) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{V_{\text{DD}}} \times 1024 + 0.5 \right)$$

または,

$$\left(\text{ADCR0} - 0.5 \right) \times \frac{V_{\text{DD}}}{1024} < V_{\text{IN}} < \left(\text{ADCR0} + 0.5 \right) \times \frac{V_{\text{DD}}}{1024}$$

INT () : () 内の値の整数部を返す関数

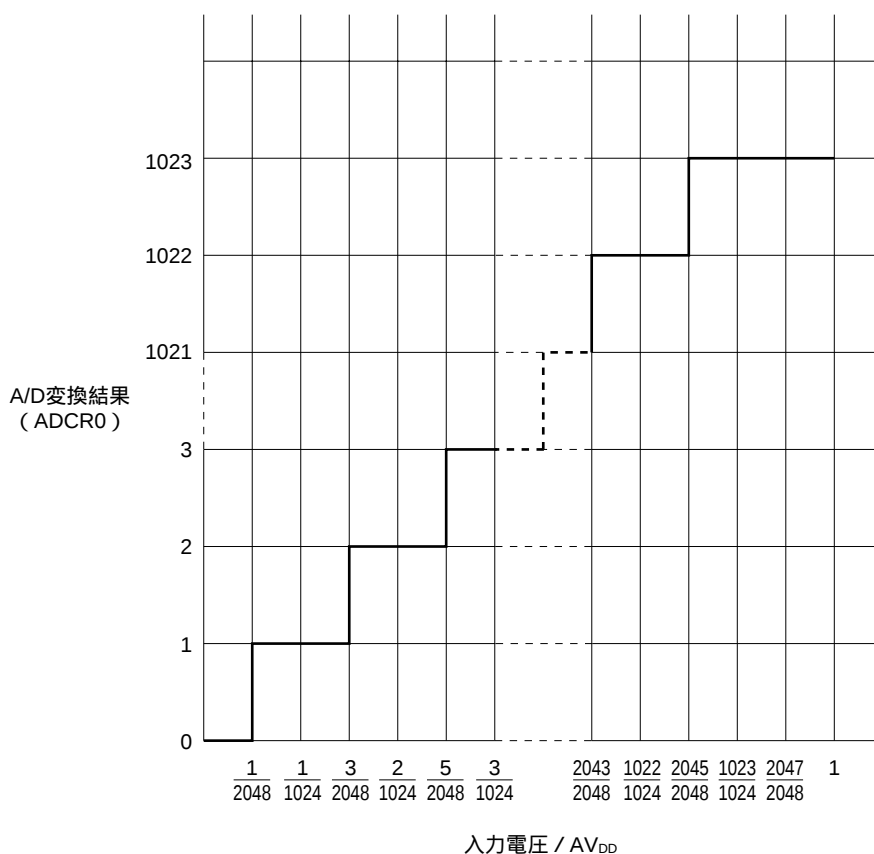
V_{IN} : アナログ入力電圧

V_{DD} : A/Dコンバータの電源電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図11 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 5 アナログ入力電圧とA/D変換結果の関係



11.4.3 10ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ0 (ADS0) によって ANI0-ANI5 からアナログ入力を1チャネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

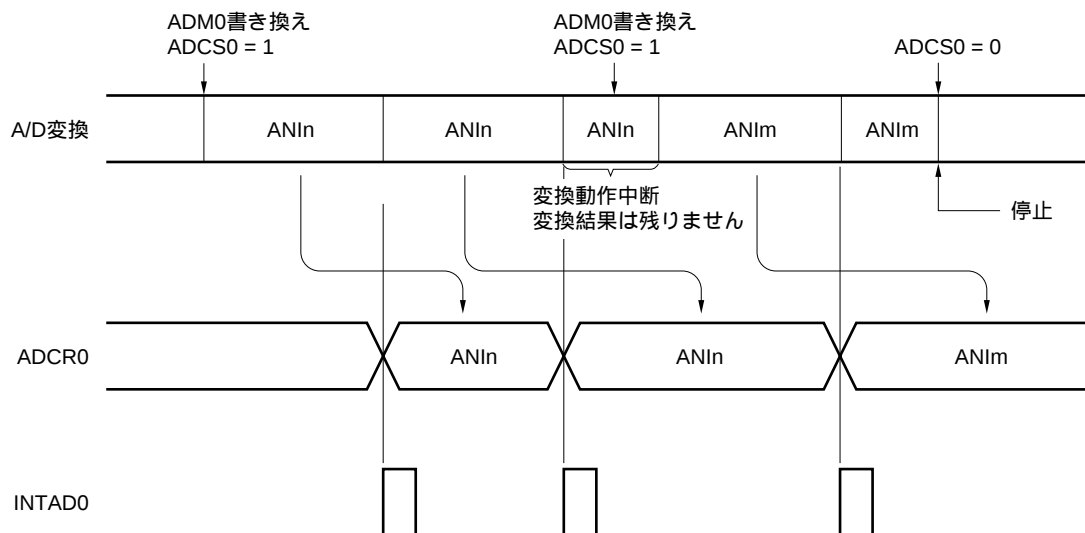
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図11-6 ソフトウェア・スタートによるA/D変換動作



備考1. n = 0-5

2. m = 0-5

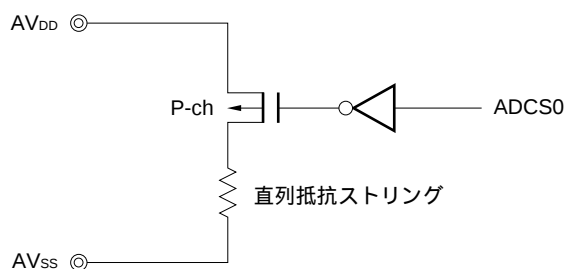
11.5 10ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図11 - 7に示します。

図11 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI5入力範囲について

ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャネル指定レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図11 - 8、図11 - 9に示します。

図11 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

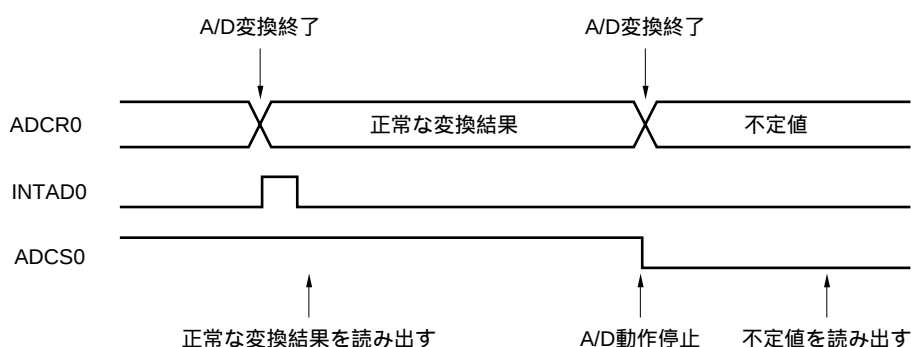
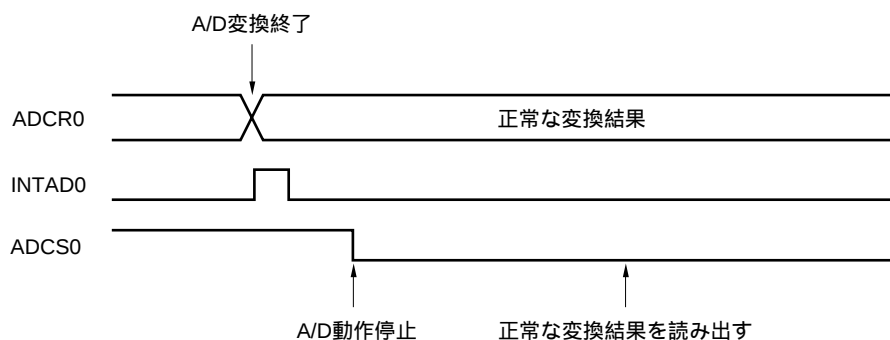


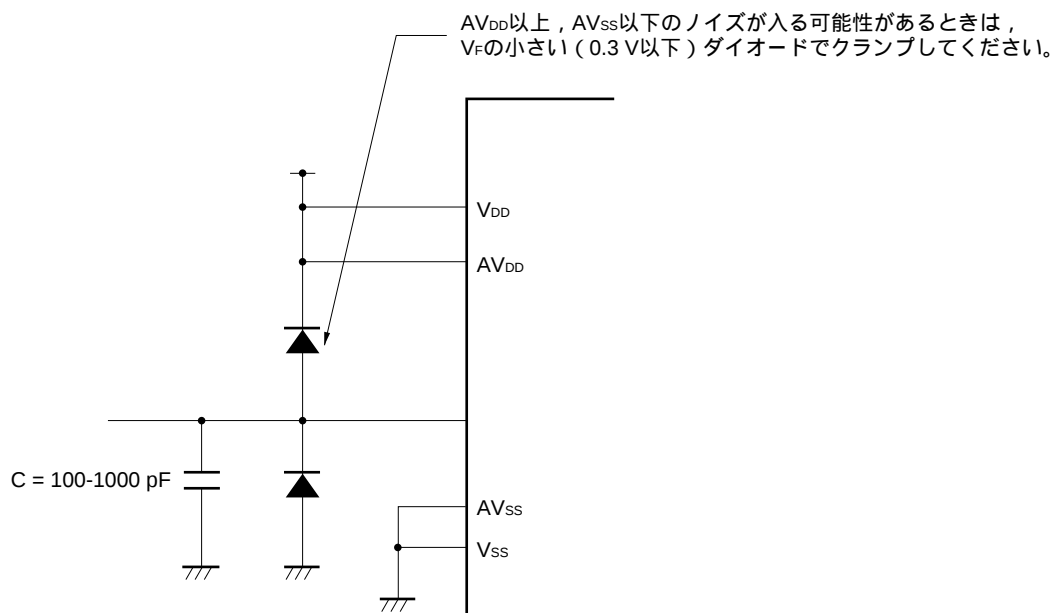
図11 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

10ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI5端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11 - 10のようにCを外付けることを推奨します。

図11 - 10 アナログ入力端子の処理

**(7) ANI0-ANI5**

アナログ入力 (ANI0-ANI5) 端子はポート端子 (P60-P65) と兼用になっています。

ANI0-ANI5のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

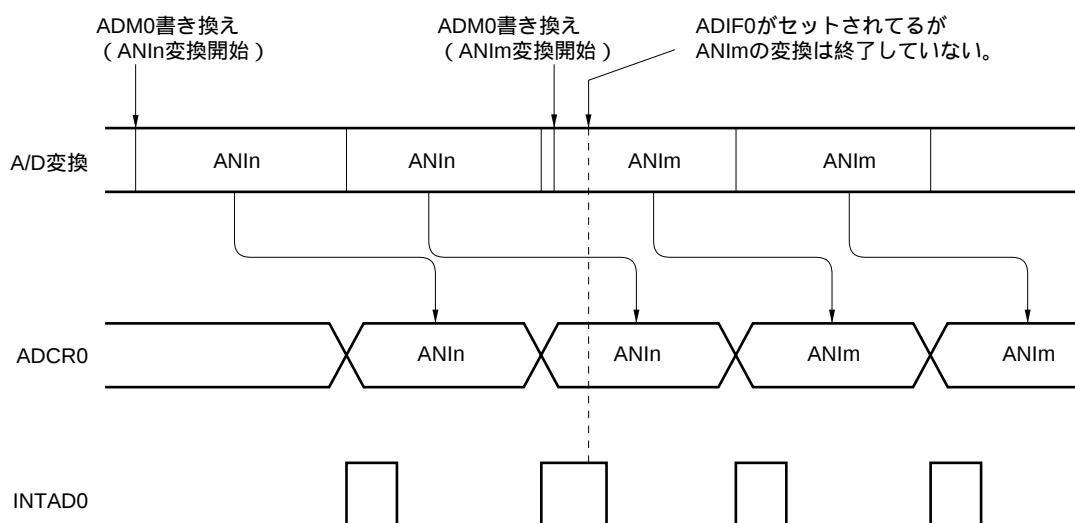
(8) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

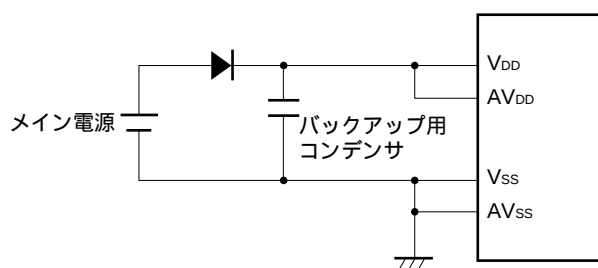
また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図11 - 11 A/D変換終了割り込み要求発生タイミング

備考1. $n = 0-5$ 2. $m = 0-5$ **(9) AV_{DD}端子について**

AV_{DD}端子はアナログ回路の電源端子であり，ANI0-ANI5の入力回路にも電源を供給しています。

したがって，バックアップ電源に切り替えるようなアプリケーションにおいても，図11 - 12のように必ずV_{DD}端子と同レベルの電位を印加してください。

図11 - 12 AV_{DD}端子の処理**(10) AV_{DD}端子の入ラインピーダンスについて**

AV_{DD}端子とAV_{SS}端子の間には数十 kΩの直列抵抗ストリングが接続されています。

したがって，基準電圧源の出カインピーダンスの高い場合，AV_{DD}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり，基準電圧の誤差が大きくなります。

第12章 シリアル・インタフェース20

12.1 シリアル・インタフェース20の機能

シリアル・インタフェース20には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK20) と、シリアル・データ (SI20, SO20) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

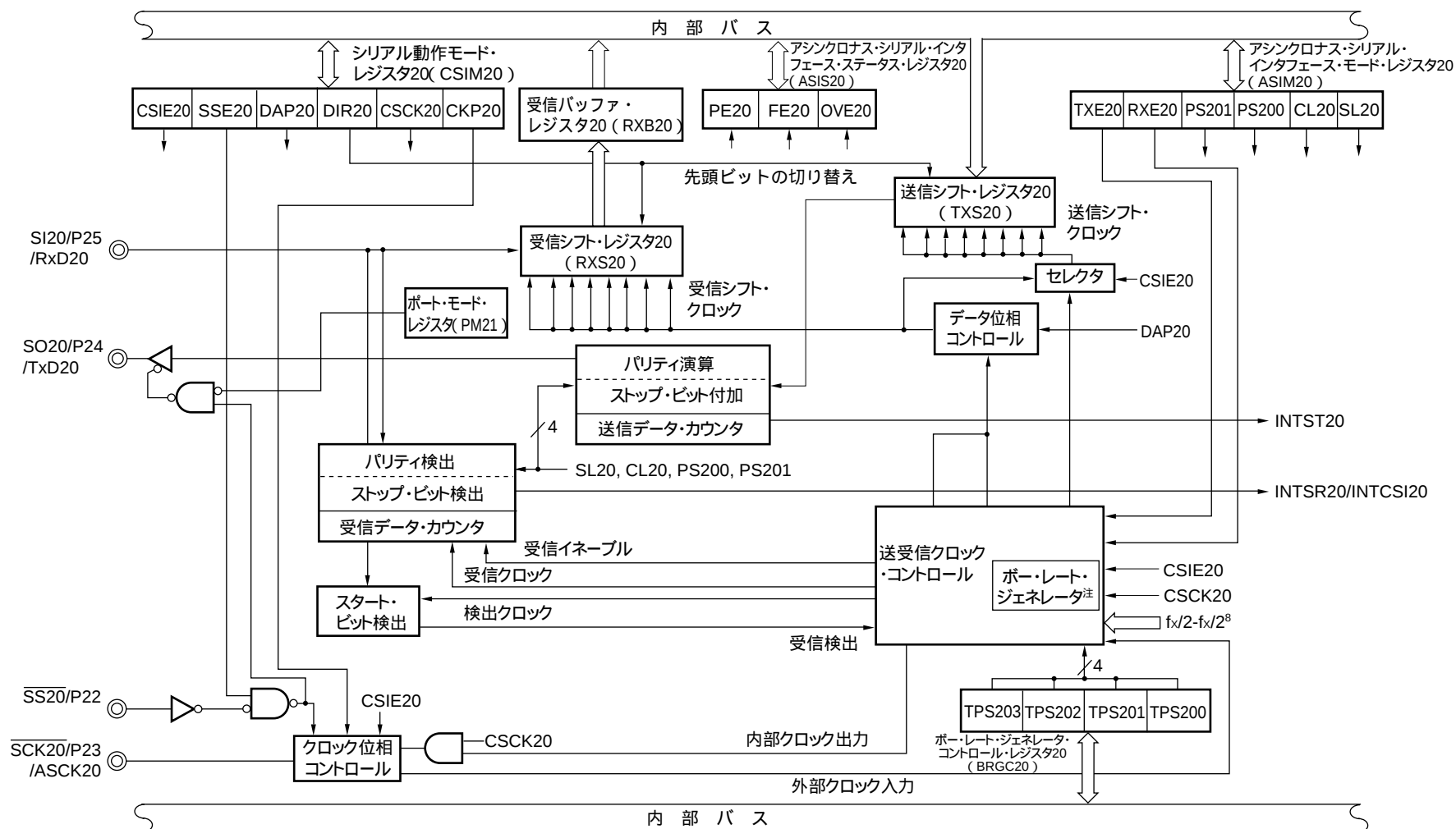
12.2 シリアル・インタフェース20の構成

シリアル・インタフェース20は、次のハードウェアで構成しています。

表12 - 1 シリアル・インタフェース20の構成

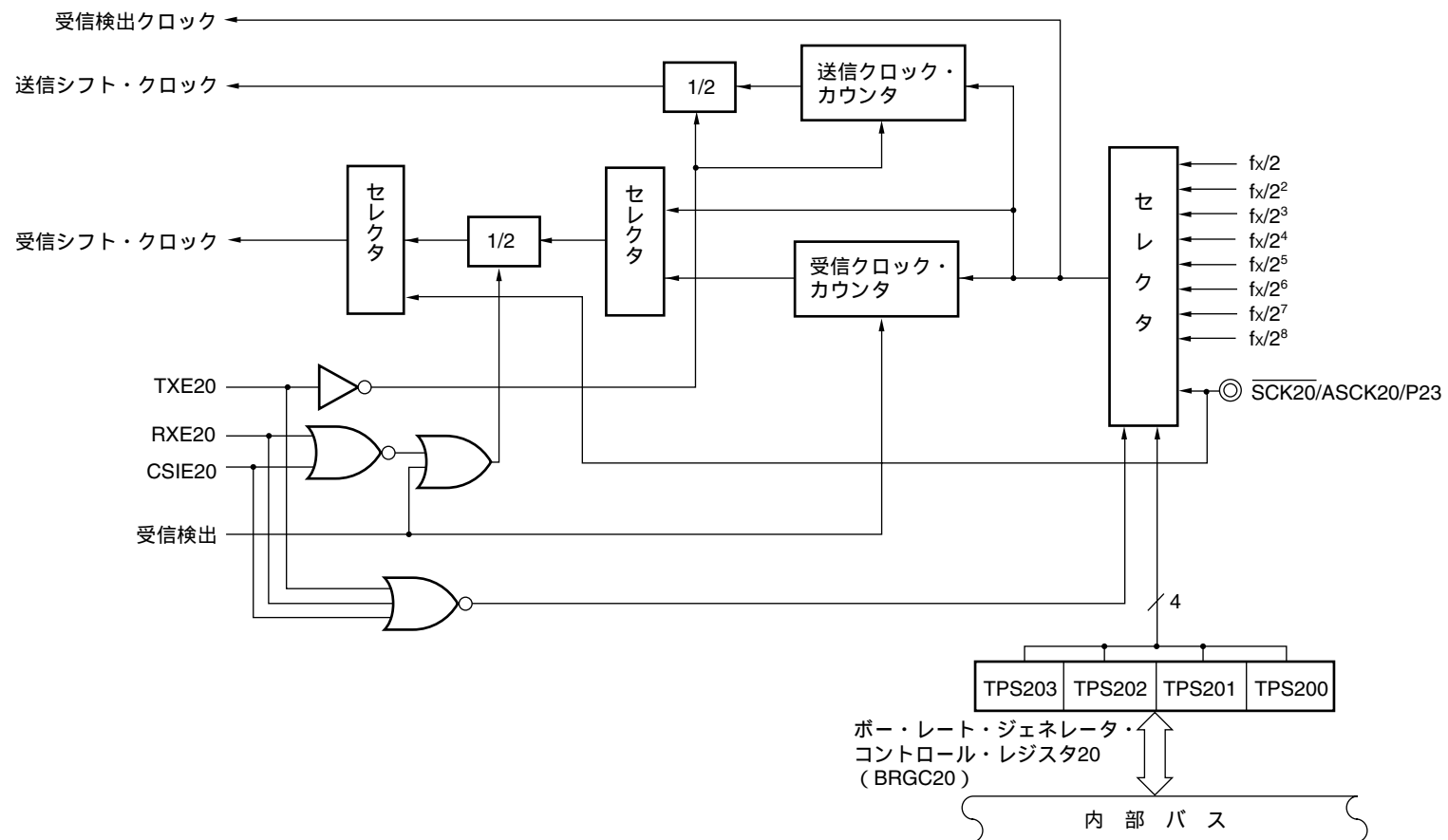
項 目	構 成
レジスタ	送信シフト・レジスタ20 (TXS20) 受信シフト・レジスタ20 (RXS20) 受信バッファ・レジスタ20 (RXB20)
制御レジスタ	シリアル動作モード・レジスタ20 (CSIM20) アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図12 - 1 シリアル・インタフェース20のブロック図



注 ボーマレート・ジェネレータの構成は、図12 - 2を参照してください。

図12-2 ポー・レート・ジェネレータ20のブロック図



(1) 送信シフト・レジスタ20 (TXS20)

送信データを設定するレジスタです。TXS20に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS20に書き込んだデータのビット0-6が送信データとして転送されます。TXS20にデータを書き込むことにより、送信動作を開始します。

TXS20は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS20への書き込みを行わないでください。

TXS20と受信バッファ・レジスタ20 (RXB20) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB20の値が読み出されます。

(2) 受信シフト・レジスタ20 (RXS20)

RxD20端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ20 (RXB20) へ転送します。

RXS20はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ20 (RXB20)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ20 (RXS20) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB20のビット0-6に転送され、RXB20のMSBは必ず0になります。

RXB20は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 RXB20と送信シフト・レジスタ20 (TXS20) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS20に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、送信シフト・レジスタ20 (TXS20) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) にセットします。

12.3 シリアル・インタフェース20を制御するレジスタ

シリアル・インタフェース20は、次の6種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ20 (CSIM20)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) シリアル動作モード・レジスタ20 (CSIM20)

シリアル・インタフェース20を3線式シリアルI/Oモードで使用するときに設定するレジスタです。

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 3 シリアル動作モード・レジスタ20のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P22端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ，アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ，アイドル時にSCK20はロウ・レベル

注意1．ビット4, 5には，必ず0を設定してください。

2．UARTモード選択時は，CSIM20に00Hを設定してください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

シリアル・インタフェース20をアシクロナス・シリアル・インタフェース・モードで使用するとき
設定するレジスタです。

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードは、シリアル送受信動作を停止させたのちに行ってください。

表12 - 2 シリアル・インタフェース20の動作モードの設定一覧

(1) 動作停止モード

ASIM20		CSIM20			PM25	P25	PM24	P24	PM23	P23	先頭ビット	シフト・クロック	P25/SI20/RxD20 端子の機能	P24/SO20/TxD20 端子の機能	P23/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSC20											
0	0	0	x	x	x注1	x注1	x注1	x注1	x注1	x注1	-	-	P25	P24	P23
上記以外											設定禁止				

(2) 3線式シリアル/Oモード

ASIM20		CSIM20			PM25	P25	PM24	P24	PM23	P23	先頭 ビット	シフト・ クロック	P25/SI20/RxD20 端子の機能	P24/SO20/TxD20 端子の機能	P23/ $\overline{\text{SCK20}}$ /ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
0	0	1	0	0	$\uparrow$ 注2	$\times$ 注2	0	1	1	$\times$	MSB	外部 クロック	SI20注2	SO20 (CMOS出力)	$\overline{\text{SCK20}}$ 入力
										内部 クロック		$\overline{\text{SCK20}}$ 出力			
		1	1	0					1	$\times$	LSB	外部 クロック			$\overline{\text{SCK20}}$ 入力
										内部 クロック		$\overline{\text{SCK20}}$ 出力			
上記以外											設定禁止				

(3) アシクロナス・シリアル・インタフェース・モード

ASIM20		CSIM20			PM25	P25	PM24	P24	PM23	P23	先頭 ビット	シフト・ クロック	P25/SI20/RxD20 端子の機能	P24/SO20/TxD20 端子の機能	P23/ $\overline{\text{SCK20}}$ /ASCK20 端子の機能	
TXE20	RXE20	CSIE20	DIR20	C $\overline{\text{SCK20}}$												
1	0	0	0	0	×注1	×注1	0	1	1	×	LSB	外部 クロック	P25	TxD20 (CMOS出力)	ASCK20入力	
									×注1	×注1		内部 クロック				
0	1	0	0	0	1	×	×注1	×注1	1	×		外部 クロック	RxD20	P24		ASCK20入力
										×注1						×注1
1	1	0	0	0	1	×	0	1	1	×		外部 クロック		TxD20 (CMOS出力)		ASCK20入力
										×注1						×注1
上記以外												設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P25 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS20の内容は不定となります。

RESET入力により、00Hになります。

図12 - 5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット

略号	7	6	5	4	3	0		アドレス	リセット時	R/W	
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) 注1

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 注2 (受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出してください。
RXB20を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

シリアル・インタフェース20のシリアル・クロックを設定するレジスタです。

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 6 ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^注	—
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

★

2. UARTモード時で $f_x > 2.5$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203の設定で決定される値 (1 ~ 8)

3. () 内は、 $f_x = 5.0$ MHz動作時

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用のUART送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{bps}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図12 - 6中の値 (2 ≤ n ≤ 8)

表12 - 3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC20の設定値	誤差 (%)	
			$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

★

注意 $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK20端子からの外部クロックによるボー・レート用のUART送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表12 - 4 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

★

(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK20端子にシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図12 - 6中の値 (1 ≤ n ≤ 8)

12.4 シリアル・インタフェース20の動作

シリアル・インタフェース20は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

12.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、動作停止モードでは、P23/SCK20/ASCK20, P24/SO20/TxD20, P25/SI20/RxD20端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ20（CSIM20）とアシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）で行います。

(a) シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	FF72H	00H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

12.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ20 (CSIM20)、アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)、ポート・モード・レジスタ2 (PM2)、ポート2 (P2)で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

UARTモード選択時は、CSIM20に00Hを設定してください。

略号	6		5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSC20	CKP20	FF72H	00H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P22端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSC20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ、アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ、アイドル時にSCK20はロウ・レベル

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	キャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3		0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生（送信パリティと受信パリティが一致しないとき）

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生（ストップ・ビットが検出されないとき） ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} （受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき）

注1．アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2．オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出してください。RXB20を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^注	—
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。

★

2. $f_x > 2.5$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203の設定で決定される値 (1 n 8)

3. () 内は、 $f_x = 5.0$ MHz動作時

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{bps}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (2 n 8)

表12 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC20の設定値	誤差 (%)	
			f _x = 5.0 MHz	f _x = 4.9152 MHz
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

★

注意 f_x > 2.5 MHzの場合 , n = 1はボー・レートの規格値を越えてしまうため選択しないでください。

(ii) ASCK20端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表12 - 6 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図12 - 7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) によって行います。

図12 - 7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

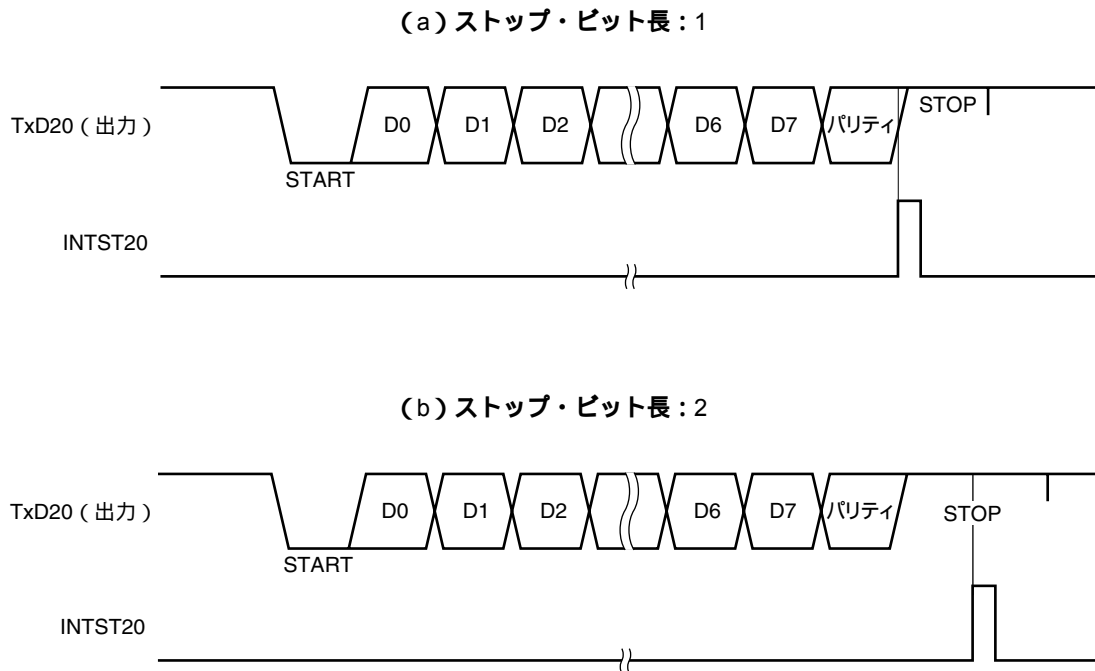
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ20 (TXS20) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS20内のデータがシフト・アウトされ, TXS20が空になると送信完了割り込み (INTST20) が発生します。

図12 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) の書き換えは行わないでください。送信中にASIM20レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。

送信中かどうかは, 送信完了割り込み (INTST20) またはINTST20によりセットされる割り込み要求フラグ (STIF20) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) がセット (1) されると許可状態となり、RxD20端子入力のサンプリングを行います。

RxD20端子入力のサンプリングはBRGC20で指定したシリアル・クロックで行います。

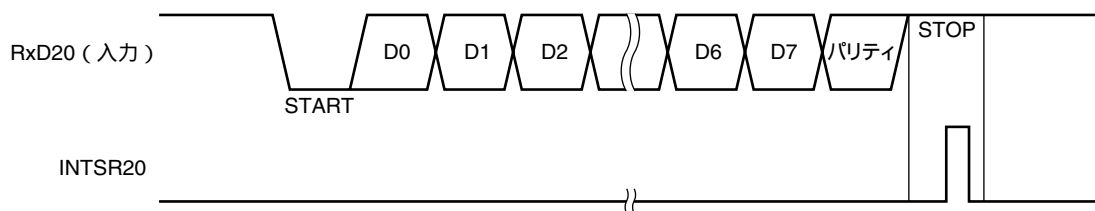
RxD20端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD20端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ20 (RXB20) に転送し、受信完了割り込み (INTSR20) を発生します。

また、エラーが発生しても、RXB20にエラーの発生した受信データを転送し、INTSR20を発生します。

なお、受信動作中にRXE20ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB20およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の内容は変化せず、また、INTSR20も発生しません。

図12 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ20 (RXB20) は必ず読み出してください。RXB20を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20（ASIS20）内に立ちます。受信エラーの要因を表12 - 7に示します。

受信エラー割り込み処理内で、ASIS20の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます（図12 - 5，図12 - 10参照）。

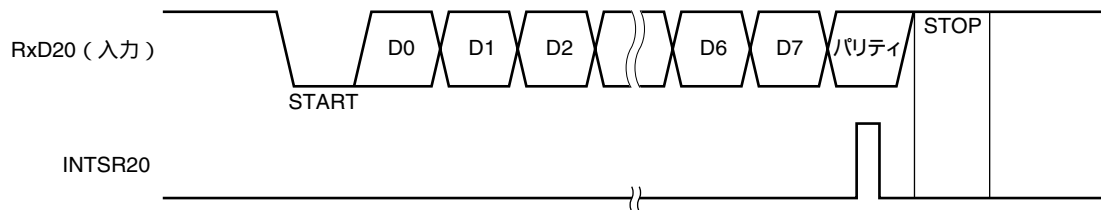
ASIS20の内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することでリセット（0）されます（次のデータにエラーがあれば、そのエラー・フラグがセットされます）。

表12 - 7 受信エラーの要因

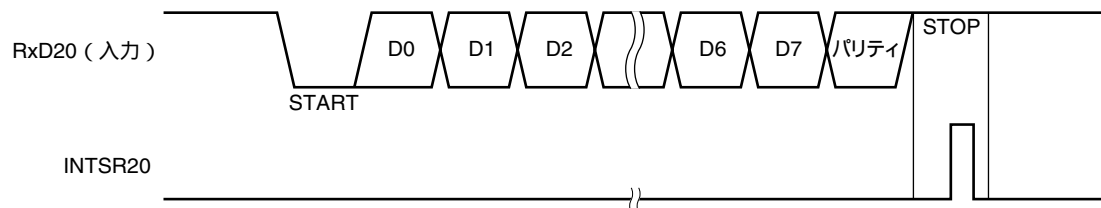
受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図12 - 10 受信エラー・タイミング

(a) パリティ・エラー発生時



(b) フレーミング・エラー，オーバラン・エラー発生時

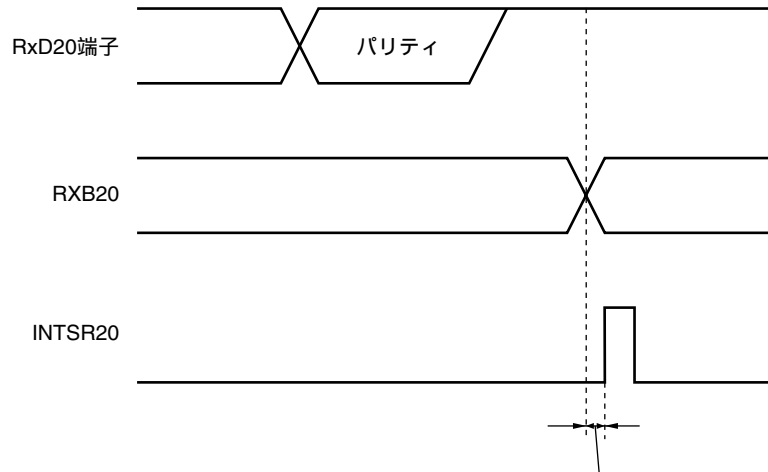


注意1．ASIS20レジスタの内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することにより、リセット（0）されます。エラーの内容が知りたい場合には、必ずRXB20を読み出す前にASIS20を読み出してください。

2．受信エラー発生時にも、受信バッファ・レジスタ20（RXB20）は必ず読み出してください。RXB20を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット7 (TXE20) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ20 (TXS20) にFFHを設定したのちに、TXE20に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) をクリアした場合、受信バッファ・レジスタ20 (RXB20)、受信完了割り込み (INTSR20) は、次のようになります。



の区間でRXE20に0を設定した場合、RXB20は前のデータを保持し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生します。

12. 4. 3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK20}}$ ）、シリアル出力（SO20）、シリアル入力（SI20）の3本のラインで通信を行います。

（1）レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ20（CSIM20）、アシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）、ポー・レート・ジェネレータ・コントロール・レジスタ20（BRGC20）、ポート・モード・レジスタ2（PM2）、ポート2（P2）で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6		5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P22端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック ^注
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ、アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ、アイドル時にSCK20はロウ・レベル

注 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
上記以外				設定禁止	

注意 通信動作中にBRGC20の書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203で決定される値 (1 ~ 8)

3. () 内は、 $f_x = 5.0$ MHz動作時

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS200-TPS203でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (1 ~ 8)

(2) 通信動作

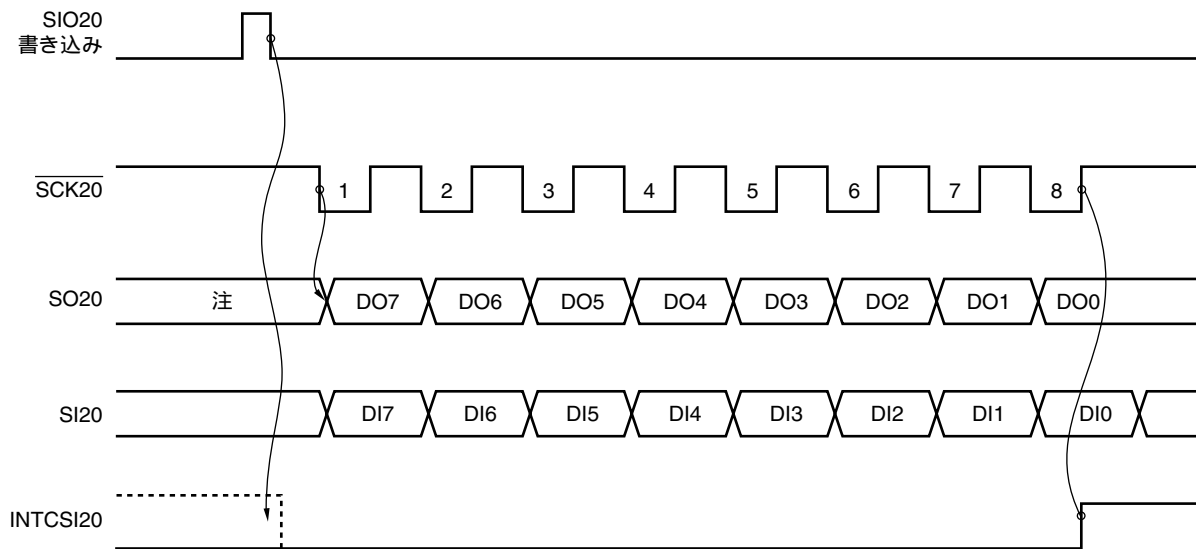
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ20 (TXS20/SIO20)、受信シフト・レジスタ20 (RXS20) のシフト動作は、シリアル・クロック ($\overline{\text{SCK20}}$) の立ち下がりに同期して行われます。そして、送信データがSO20ラッチに保持され、SO20端子から出力されます。また、 $\overline{\text{SCK20}}$ の立ち上がりで、SI20端子に入力された受信データが受信バッファ・レジスタ20 (RXB20/SIO20) にラッチされます。

8ビット転送終了により、TXS20/SIO20、RXS20の動作は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

図12 - 11 3線式シリアルI/Oモードのタイミング (1/7)

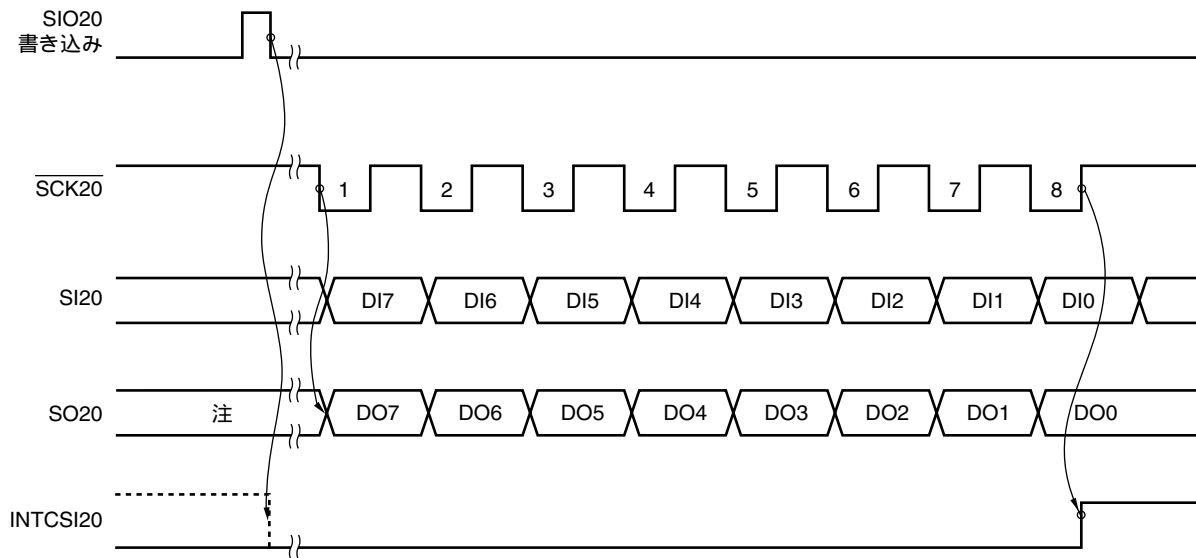
(i) マスタ動作 ($\text{DAP20} = 0$, $\text{CKP20} = 0$, $\text{SSE20} = 0$ 設定時)



注 前回出力した最終ビットの値が出力されます。

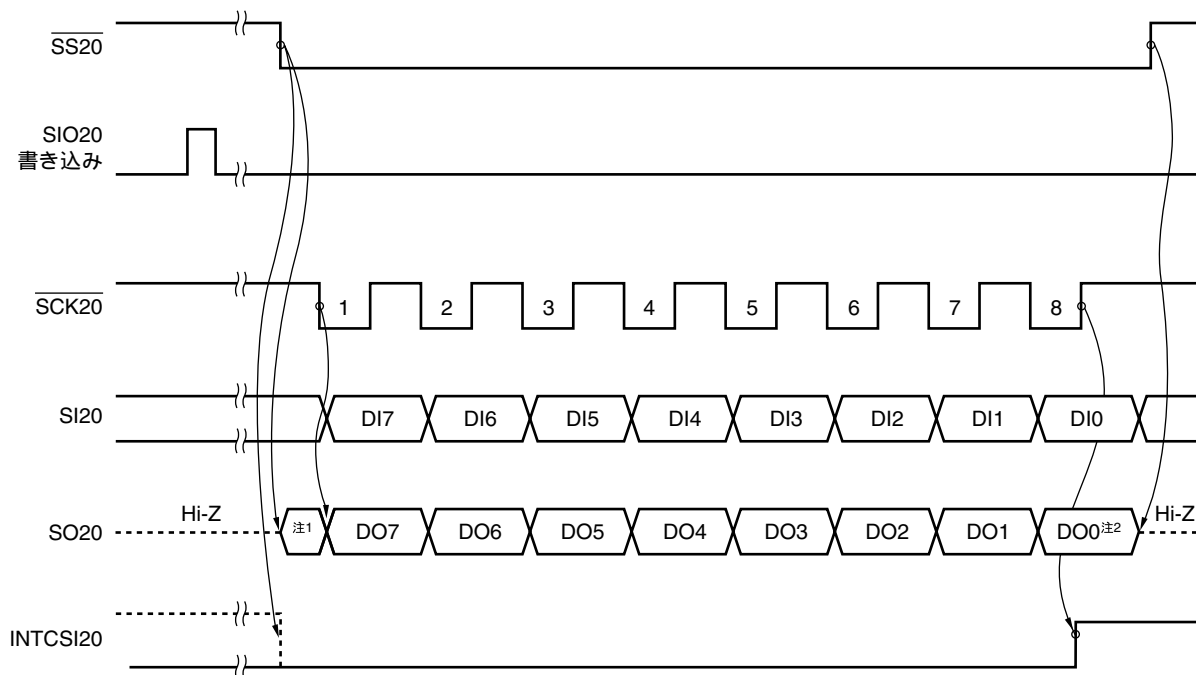
図12 - 11 3線式シリアルI/Oモードのタイミング (2/7)

(ii) スレープ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

(iii) スレープ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 1設定時)

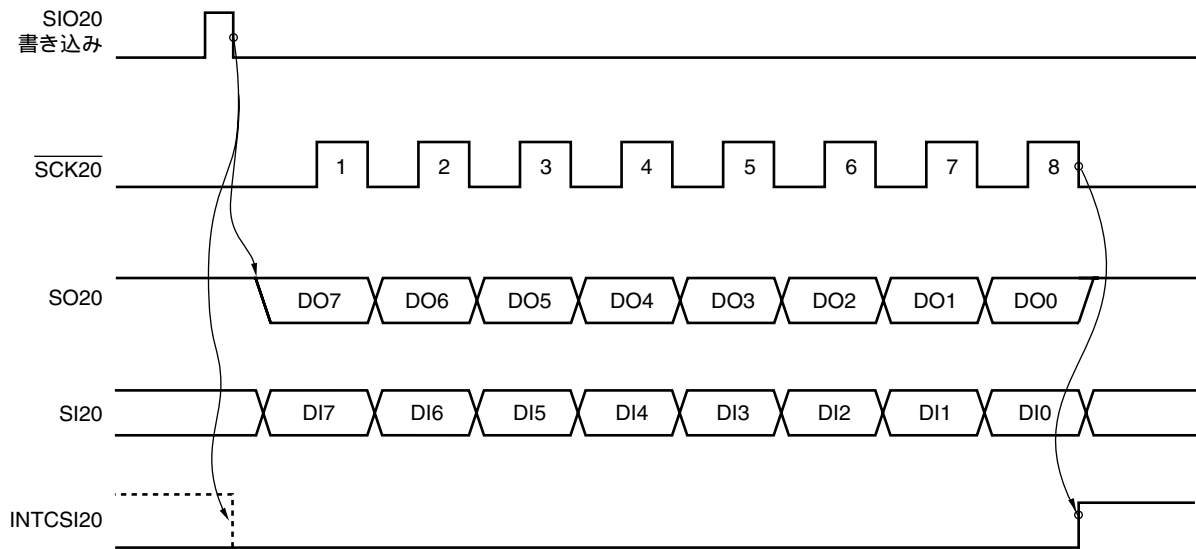


注1．前回出力した最終ビットの値が出力されます。

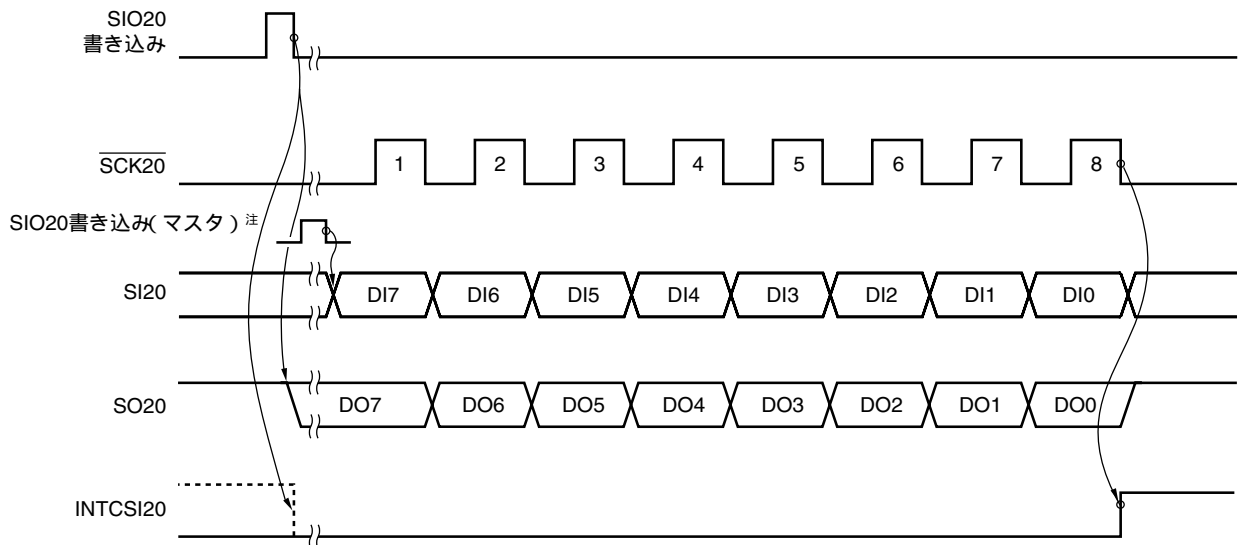
2． $\overline{SS20}$ が立ち上がるまでDO0を出力し続けます。 $\overline{SS20}$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

図12 - 11 3線式シリアルI/Oモードのタイミング (3/7)

(iv) マスタ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0設定時)



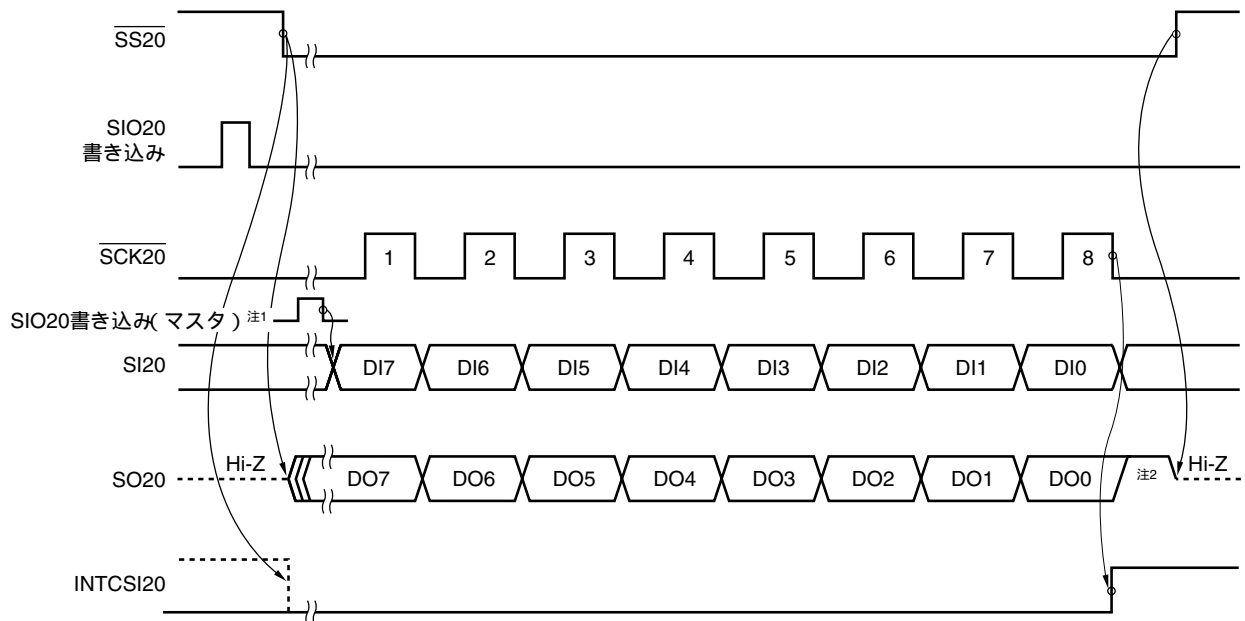
(v) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち上がり以前で行うようにしてください。

図12 - 11 3線式シリアルI/Oモードのタイミング (4/7)

(vi) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 1設定時)



注1 . SI20のデータの取り込みは、 $\overline{SCK20}$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{SCK20}$ の最初の立ち上がり以前で行うようにしてください。

2 . DO0の出力が終わってから $\overline{SS20}$ が立ち上がるまでSO20はハイ・レベルになります。 $\overline{SS20}$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(vii) マスタ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0設定時)

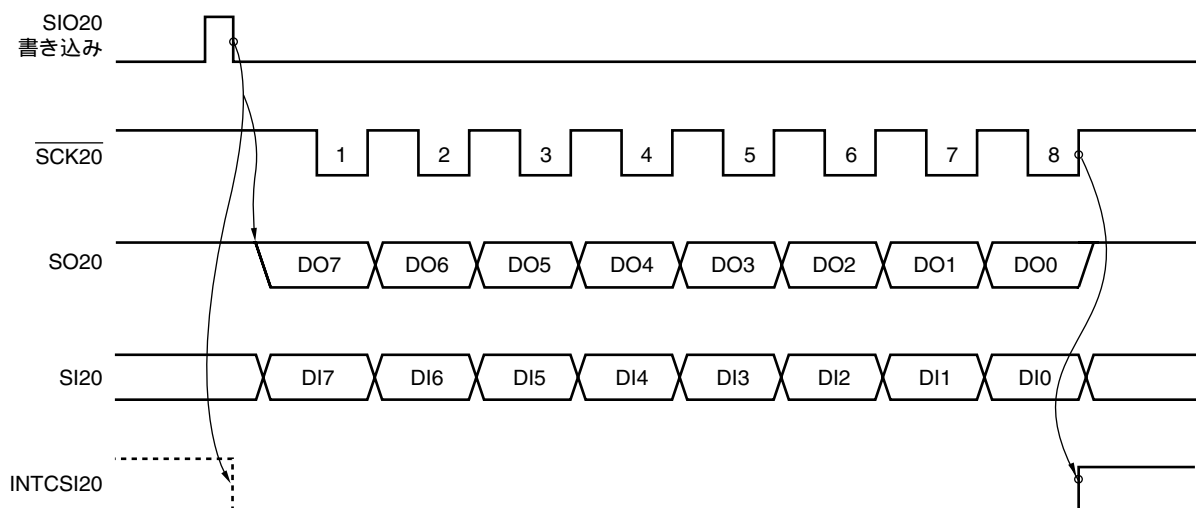
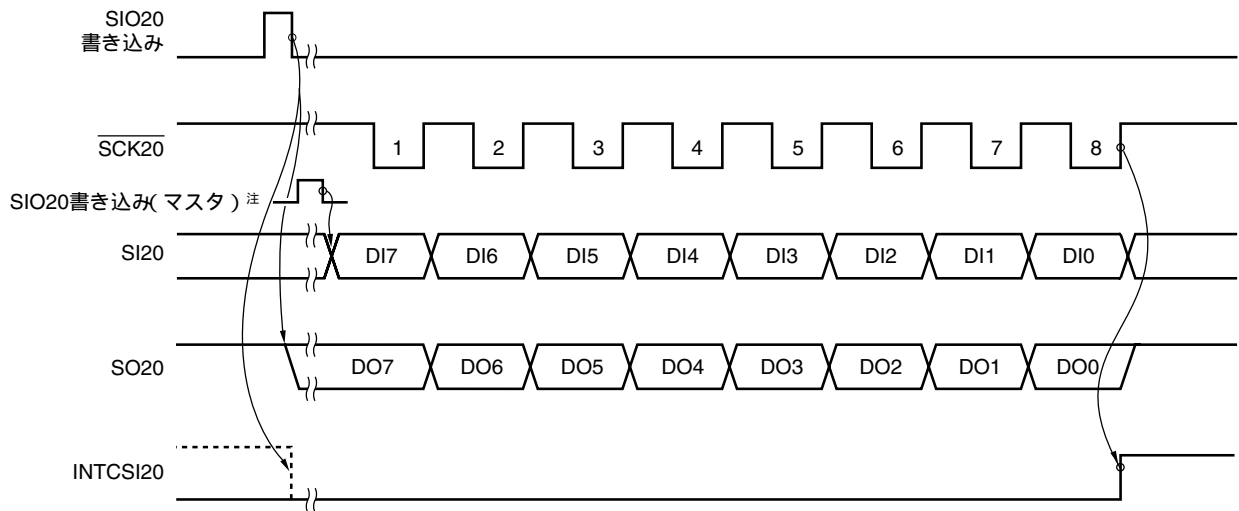


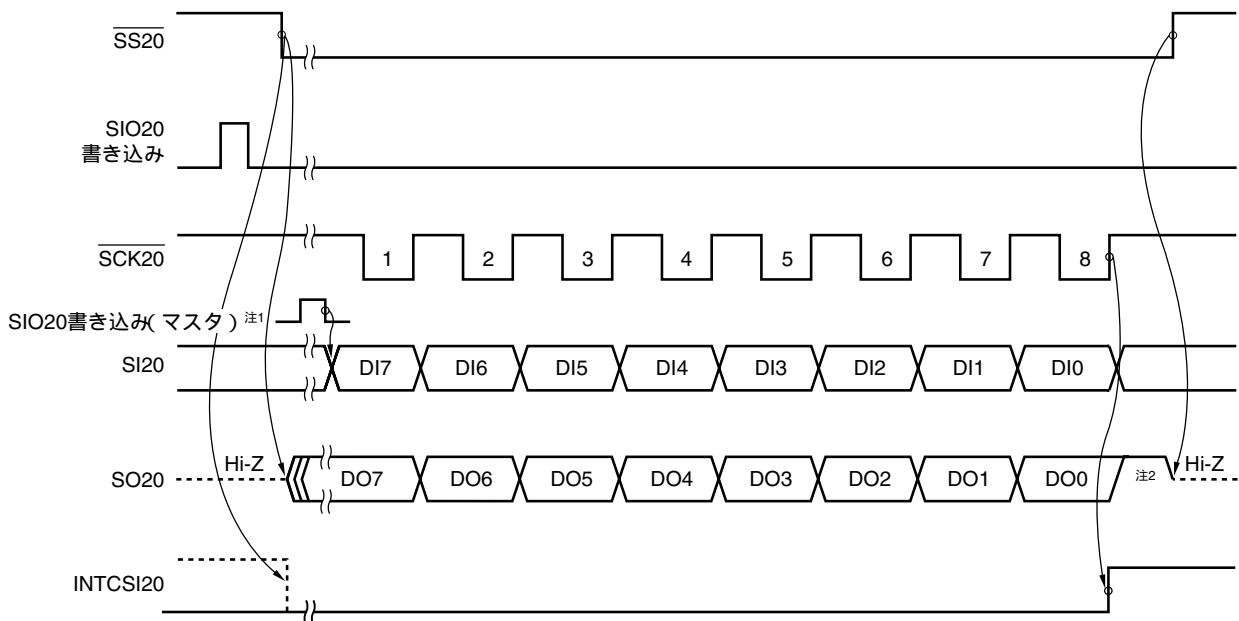
図12 - 11 3線式シリアルI/Oモードのタイミング (5/7)

(viii) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

(ix) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 1設定時)

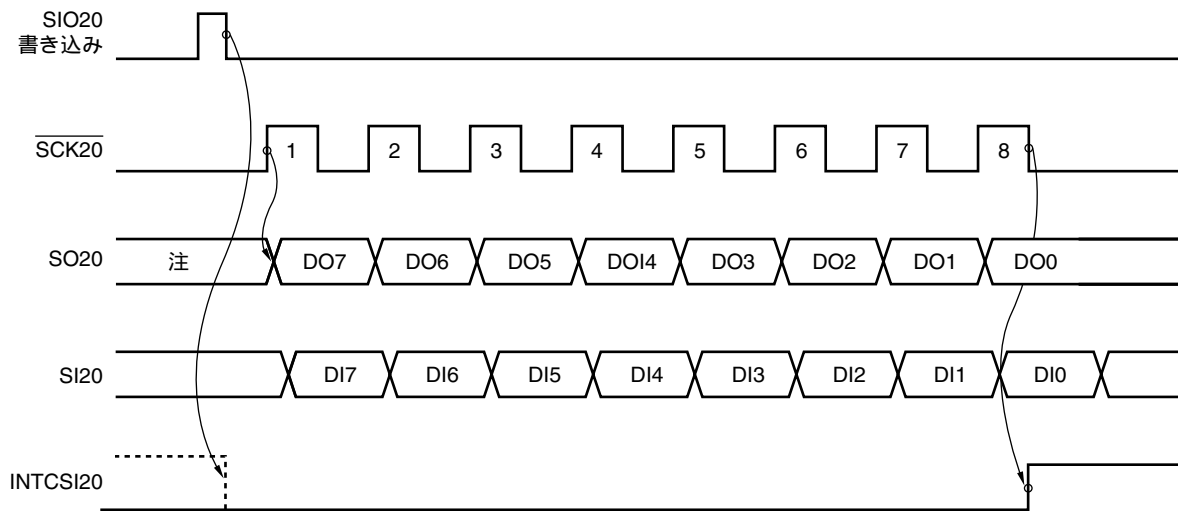


注1 . SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

2 . DO0の出力が終わってから $\overline{\text{SS20}}$ が立ち上がるまでSO20はハイ・レベルになります。 $\overline{\text{SS20}}$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

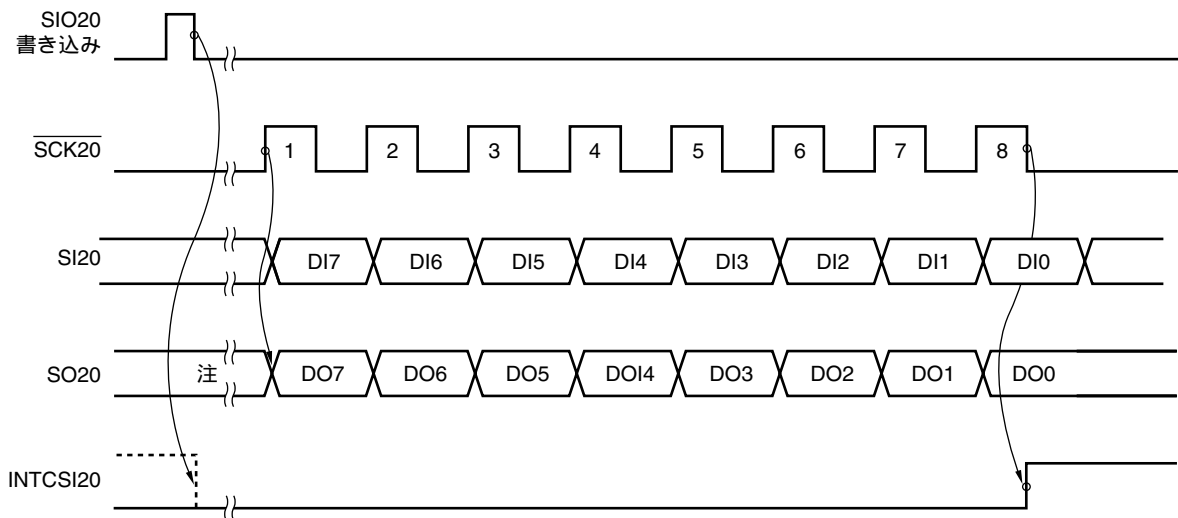
図12 - 11 3線式シリアルI/Oモードのタイミング (6/7)

(x) マスタ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

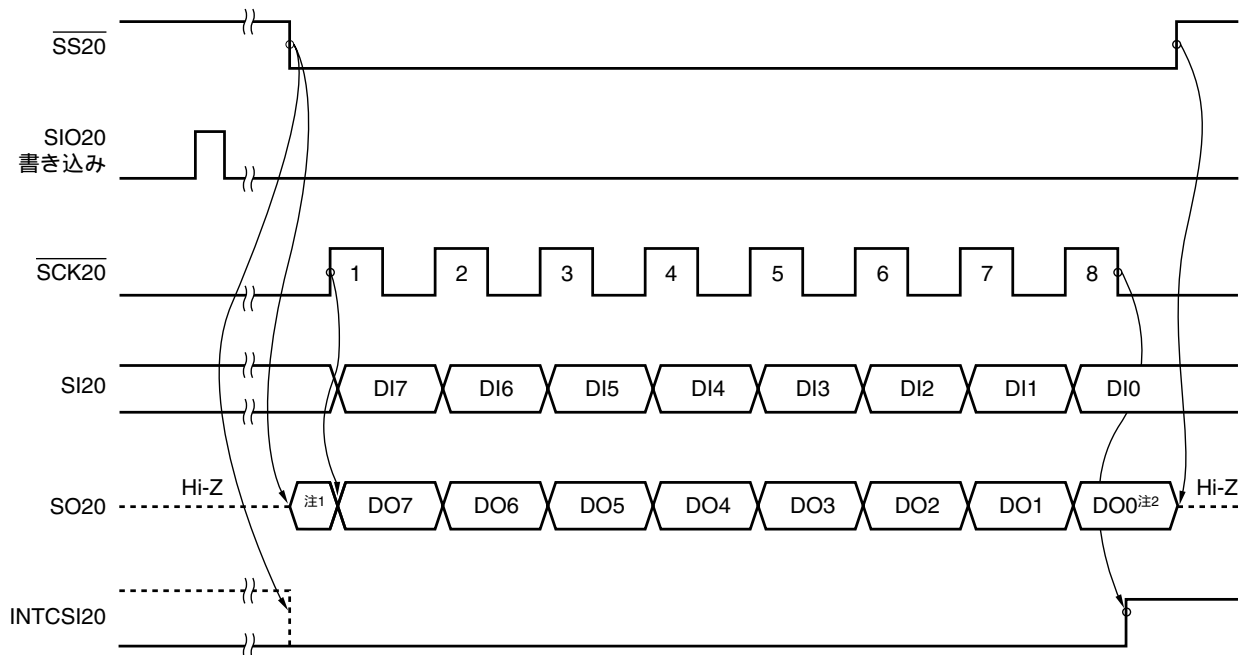
(xi) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

図12 - 11 3線式シリアルI/Oモードのタイミング (7/7)

(xii) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 1設定時)



注1．前回出力した最終ビットの値が出力されます。

2．SS20が立ち上がるまでDO0を出力し続けます。

SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ20 (TXS20/SIO20) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ20 (CSIM20) のビット7 (CSIE20) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK20がハイ・レベルの状態

注意 TXS20/SIO20にデータを書き込んだあと、CSIE20を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

第13章 LCDコントローラ／ドライバ

13.1 LCDコントローラ／ドライバの機能

μPD789426, 789436, 789446, 789456サブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 2種類の表示モードが選択可能
 - ・ 1/3デューティー (1/3バイアス)
 - ・ 1/4デューティー (1/3バイアス)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能
- (4) サブシステム・クロックによる動作も可能

セグメント出力本数は各製品によって異なります。各製品のセグメント出力本数と各表示モードにおける表示可能な最大画素数を表13 - 1に示します。

表13 - 1 セグメント出力本数と最大表示画素数

	バイアス法	時分割	使用コモン信号	最大セグメント本数	最大表示画素数
μ PD789426,789436 サブシリーズ	1/3	3	COM0-COM2	5本	15 (5セグメント×3コモン)
		4	COM0-COM3		20 (5セグメント×4コモン)
μ PD789446,789456 サブシリーズ		3	COM0-COM2	15本	45 (15セグメント×3コモン)
		4	COM0-COM3		60 (15セグメント×4コモン)

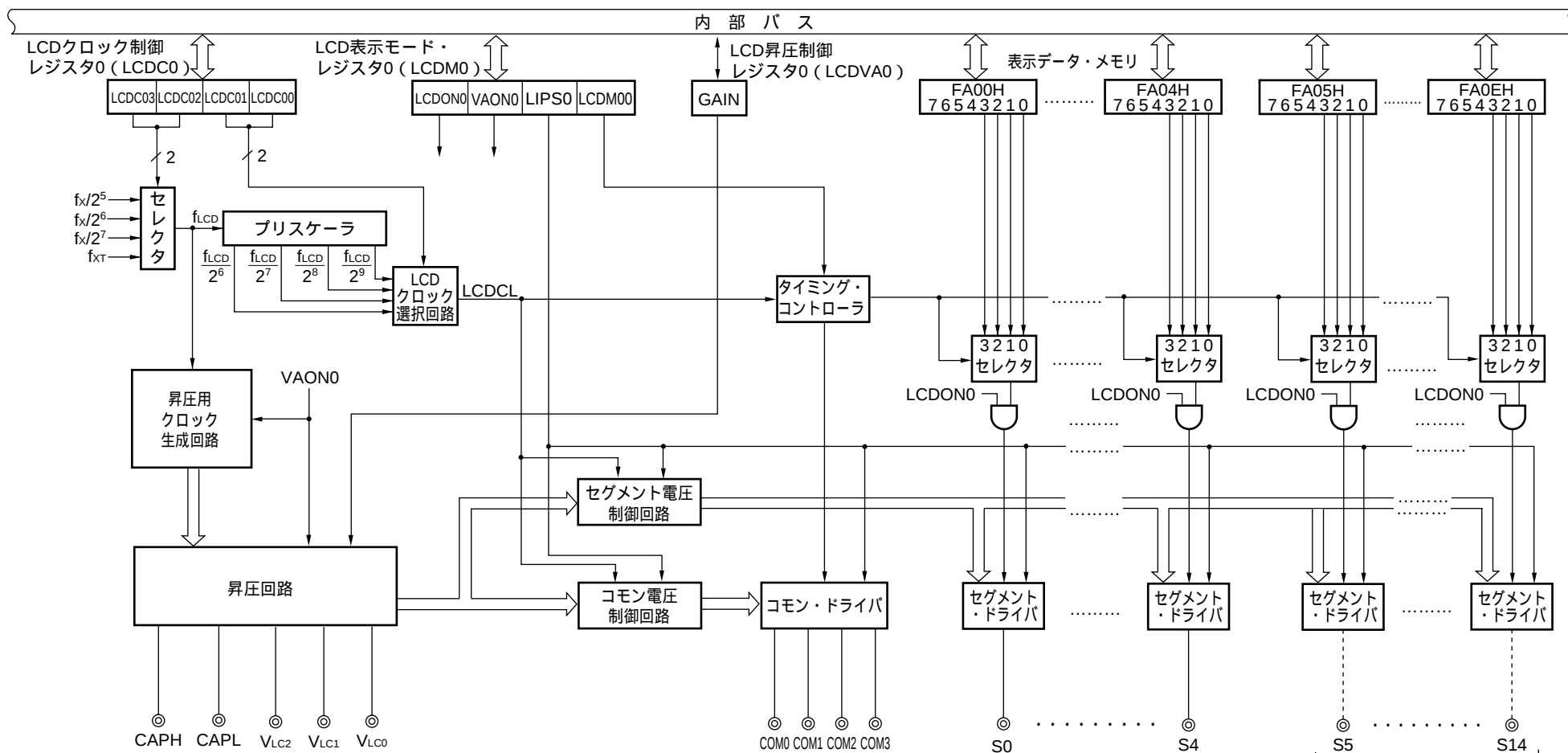
13.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表13 - 2 LCDコントローラ／ドライバの構成

項 目	構 成
表示出力	セグメント信号 : 5本 (μPD789426,789436サブシリーズ) 15本 (μPD789446,789456サブシリーズ) コモン信号 : 4本 (COM0-COM3)
制御レジスタ	LCD表示モード・レジスタ0 (LCDM0) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧制御レジスタ0 (LCDVA0)

★図13-1 LCDコントローラ/ドライバのブロック図



μ PD789446, 789456
サブシリーズのみ

13.3 LCDコントローラ/ドライバを制御するレジスタ

- ・ LCD表示モード・レジスタ0 (LCDM0)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ LCD昇圧制御レジスタ0 (LCDVA0)

(1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可/禁止, 動作モード, LCD駆動用電源, 表示モードを設定するレジスタです。

LCDM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図13 - 2 LCD表示モード・レジスタ0のフォーマット

略号	5		3		2	1	0	アドレス	リセット時	R/W	
LCDM0	LCDON0	VAON0	0	LIPS0	0	0	0	LCDM00	FFB0H	00H	R/W

LCDON0	LCD表示の許可 / 禁止
0	表示オフ（セグメント出力はすべて非選択信号出力）
1	表示オン

VAON0	LCDコントローラ / ドライバの動作モード ^注
0	昇圧回路動作停止
1	昇圧回路動作許可

LIPS0	セグメント端子 / コモン端子出力の制御 ^注
0	セグメント端子 / コモン端子にグラウンド・レベルを出力
1	セグメント端子に非選択レベル，コモン端子にLCD波形を出力

LCDM00	表示モードの選択	
	時分割数	バイアス法
0	4	1/3
1	3	1/3

注 LCD表示を行わないとき，消費電力を低減させるため，VAON0に0，LIPS0に0を設定してください。

注意1．ビット1-3, 5には，必ず0を設定してください。

2．VAON0を操作する場合は，次の手順をお守りください。

A．表示オン状態から表示オフ状態にして昇圧停止するとき

- 1) LCDON0 = 0により，表示オフ状態にする。
- 2) LIPS0 = 0により，すべてのセグメント・バッファ，コモン・バッファを出力禁止にする。
- 3) VAON0 = 0により，昇圧停止にする。

B．表示オン状態で昇圧停止するとき

設定禁止です。必ず表示オフにしてから昇圧停止してください。

C．昇圧停止状態から表示オンにするとき

- 1) VAON0 = 1により昇圧開始して，約500 ms待つ。
- 2) LIPS0 = 1により，すべてのセグメント・バッファ，コモン・バッファを非表示出力状態にする。
- 3) LCDON0 = 1により，表示オン状態にする。

(2) LCDクロック制御レジスタ0 (LCDC0)

★ LCDソース・クロック，LCDクロックを設定するレジスタです。LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図13 - 3 LCDクロック制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC0	0	0	0	0	LCDC03	LCDC02	LCDC01	LCDC00	FFB2H	00H	R/W

LCDC03	LCDC02	LCDソース・クロック (f_{LCD}) の選択 ^注
0	0	f_{XT} (32.768 kHz)
0	1	$f_X/2^5$ (156.3 kHz)
1	0	$f_X/2^6$ (78.1 kHz)
1	1	$f_X/2^7$ (39.1 kHz)

LCDC01	LCDC00	LCDクロック (LCDCL) の選択
0	0	$f_{LCD}/2^6$
0	1	$f_{LCD}/2^7$
1	0	$f_{LCD}/2^8$
1	1	$f_{LCD}/2^9$

注 LCDソース・クロック (f_{LCD}) には，32 kHz以上のクロックを設定してください。

注意1．ビット4-7には，必ず0を設定してください。

2．LCDC0の設定を変更する場合は，必ず昇圧停止 (VAON0 = 0) にしてから行ってください。

3．フレーム周波数は，128 Hz以下に設定してください。

備考1． f_X : メイン・システム・クロック発振周波数

2． f_{XT} : サブシステム・クロック発振周波数

3．() 内は $f_X = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

例として，LCDソース・クロック (f_{LCD}) に f_{XT} (32.768 kHz) をつないだときのフレーム周波数を表13 - 3に示します。

表13 - 3 フレーム周波数 (Hz)

LCDクロック (LCDCL)	$f_{XT}/2^9$ (64 Hz)	$f_{XT}/2^8$ (128 Hz)	$f_{XT}/2^7$ (256 Hz)	$f_{XT}/2^6$ (512 Hz)
表示デューティ				
1/3	21	43	85	171 ^注
1/4	16	32	64	128

注 フレーム周波数が128 Hzを超えるので，設定禁止です。

(3) LCD昇圧制御レジスタ0 (LCDVA0)

昇圧回路動作時の昇圧レベルを選択するレジスタです。

- ★ LCDVA0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

図13 - 4 LCD昇圧制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDVA0	0	0	0	0	0	0	0	GAIN	FFB3H	00H	R/W

GAIN	基準電圧 (V _{LC2}) レベルの選択 ^注
0	1.5 V (使用LCDパネルが4.5 V仕様)
1	1.0 V (使用LCDパネルが3 V仕様)

注 使用LCDパネルの仕様によって切り替えてください。

注意 LCDVA0の値を変更する場合は、必ず昇圧停止 (VAON0 = 0) にしてから行ってください。

備考 基準電圧 (V_{LC2}) の値は、TYP.値を示しています。

13.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

LCDクロック制御レジスタ0 (LCDC0) でフレーム周波数を設定する

LCD昇圧制御レジスタ0 (LCDVA0) で昇圧レベルを設定する

GAIN = 0 : $V_{LC0} = 4.5\text{ V}$, $V_{LC1} = 3\text{ V}$, $V_{LC2} = 1.5\text{ V}$

GAIN = 1 : $V_{LC0} = 3\text{ V}$, $V_{LC1} = 2\text{ V}$, $V_{LC2} = 1\text{ V}$

LCDM00 (LCD表示モード・レジスタ0 (LCDM0) のビット0) で時分割数を設定する

VAON0 (LCDM0のビット6) をセット (VAON0 = 1) して昇圧を許可させる

VAON0のセットから500 ms以上ウエイトしてください。

LIPS0 (LCDM0のビット4) をセット (LIPS0 = 1) し、非選択電位を出力させる

LCDON0 (LCDM0のビット7) をセット (LCDON0 = 1) により、各データ・メモリに対応した出力を開始

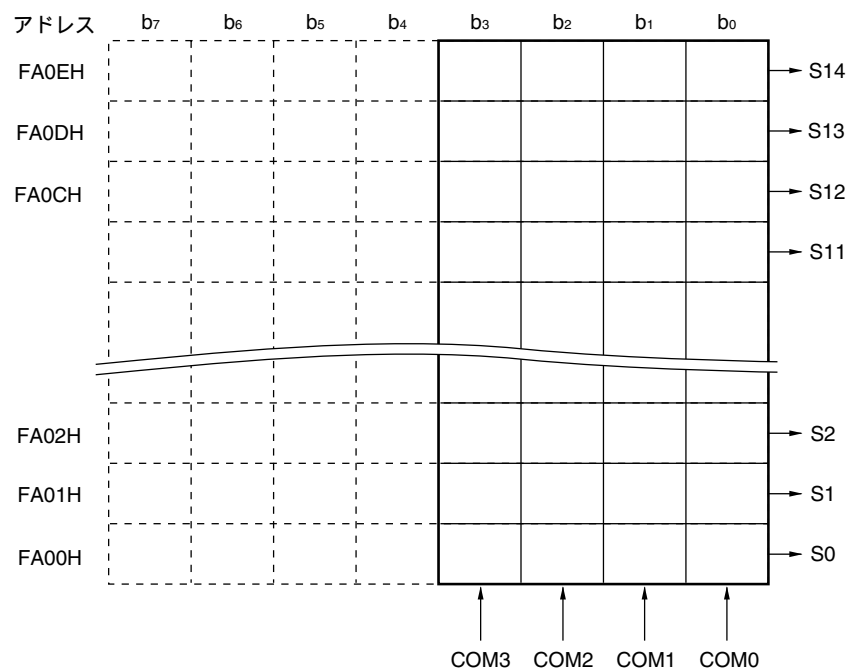
13.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA0EH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図13 - 5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図13 - 5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係
(μ PD789446, 789456サブシリーズの場合)



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

13.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 未満の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

（1）コモン信号

コモン信号は、設定する時分割数に応じて表13 - 4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。

なお、3時分割の場合のCOM3端子は、オープンにして使用してください。

表13 - 4 COM信号

COM信号	COM0	COM1	COM2	COM3
時分割数				
3時分割	←		→	オープン
4時分割	←			→

（2）セグメント信号

セグメント信号は、LCD表示データ・メモリに対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

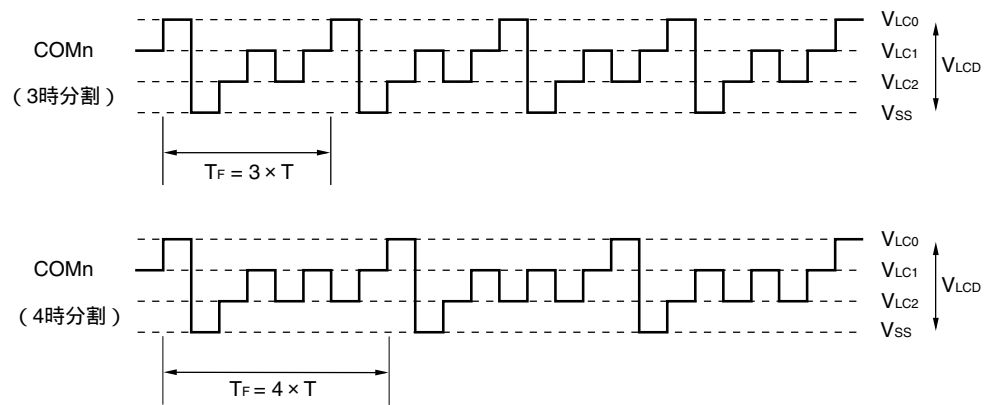
また、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

なお、ビット4-7は0固定となっています。

（3）コモン信号とセグメント信号の出力波形

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

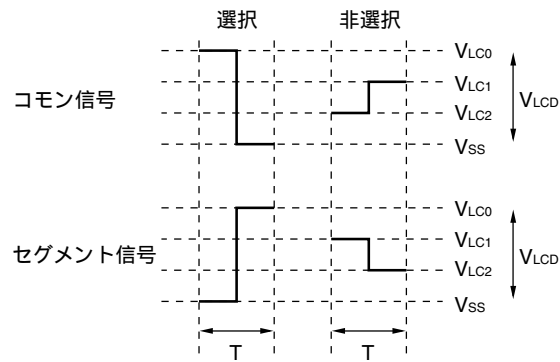
図13 - 6 コモン信号波形



T : LCDクロックの1周期分

T_F : フレーム周波数

図13 - 7 コモン信号とセグメント信号の電圧と位相



T : LCDクロックの1周期分

13.7 表示モード

13.7.1 3時分割表示例

図13 - 9は、図13 - 8の表示パターンを持つ3時分割方式の5桁LCDパネルと μ PD789446, 789456サブシリーズのセグメント信号(S0-S14)およびコモン信号(COM0-COM2)との接続を示します。表示例は123.45で、表示データ・メモリ(FA00H-FA0EH番地)の内容はこれに対応しています。

ここでは3桁目の3.を例にとって説明します。図13 - 8の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表13 - 5に示すような選択、非選択電圧をS6-S8端子に出力する必要があります。

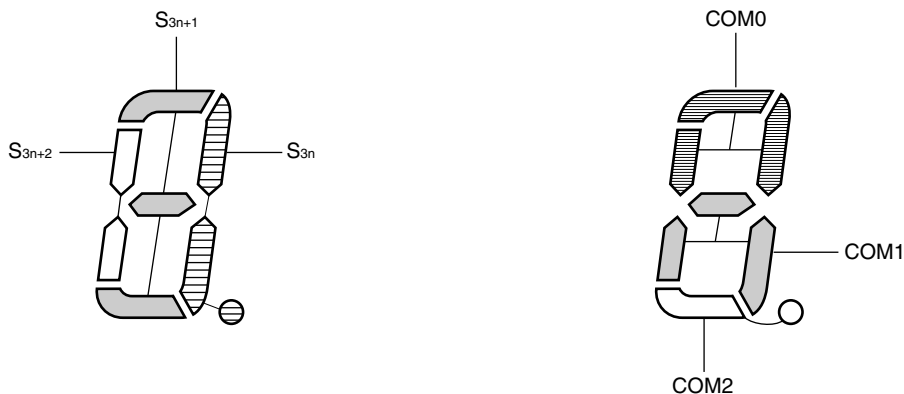
表13 - 5 選択、非選択電圧(COM0-COM2)

セグメント コモン	S6	S7	S8
COM0	選	選	非
COM1	選	選	非
COM2	選	選	—

これによりS6に対応する表示データ・メモリ(FA06H番地)には、 $\times 111$ を用意すればよいことが分かります。

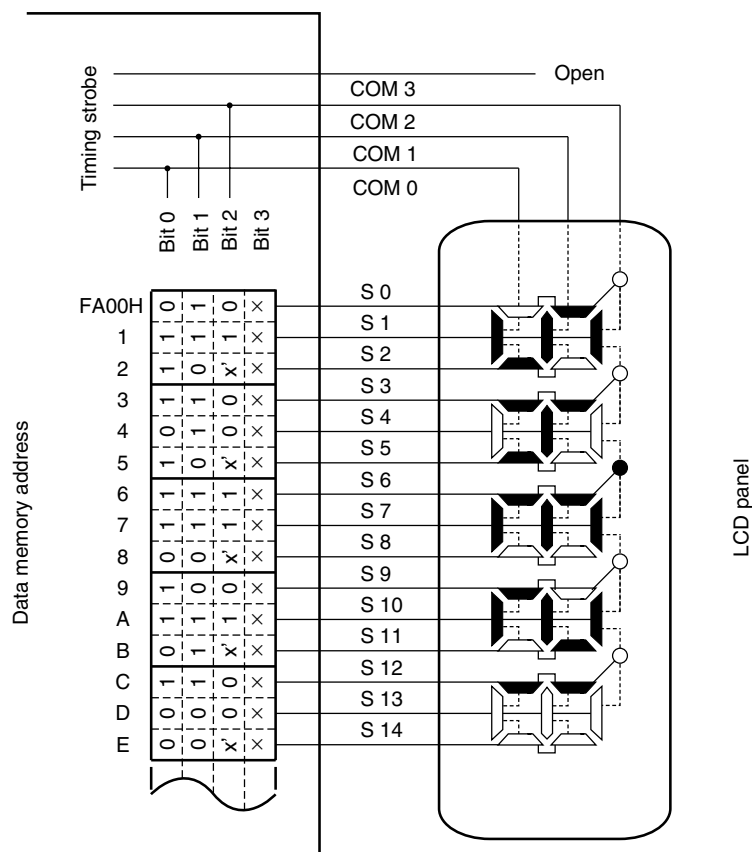
S6と各コモン信号間のLCD駆動波形例を図13 - 10に示します。COM1の選択タイミングでS6が選択電圧のとき、およびCOM2の選択タイミングでS6が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図13 - 8 3時分割LCD表示パターンと電極結線



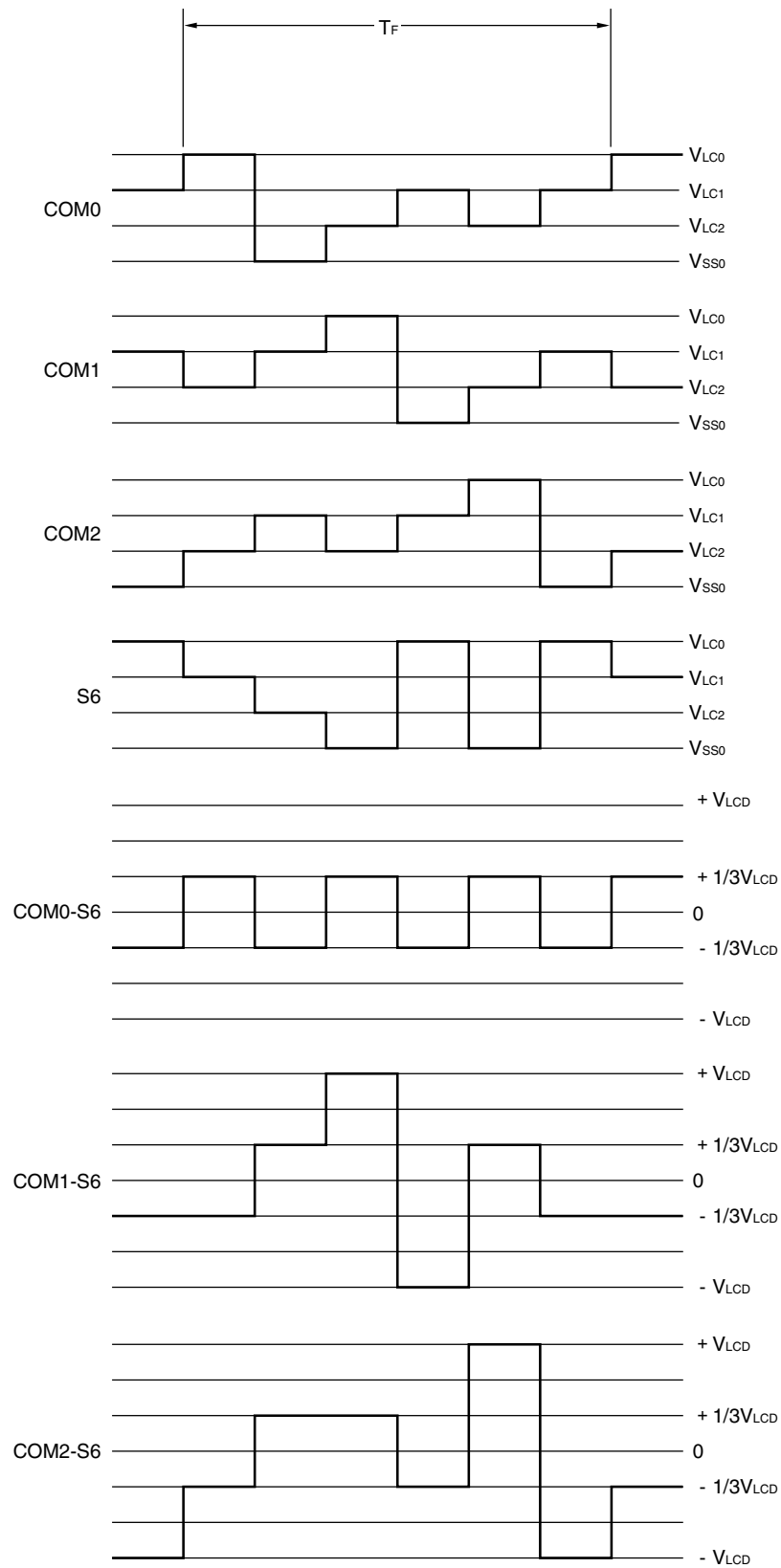
備考 $n = 0-4$

図13 - 9 3時分割LCDパネルの結線例



- × ' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- × : 3時分割表示のため、常に任意のデータをストア可能です。

図13 - 10 3時分割LCD駆動波形例



13.7.2 4時分割表示例

図13 - 12は、図13 - 11の表示パターンを持つ4時分割方式の7桁LCDパネルと μ PD789446, 789456サブシリーズのセグメント信号 (S0-S14) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.7で、表示データ・メモリ (FA00H-FA0EH番地) の内容はこれに対応しています。

ここでは7桁目の6.を例にとって説明します。図13 - 11の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表13 - 6に示すような選択、非選択電圧をS2, S3端子に出力する必要があります。

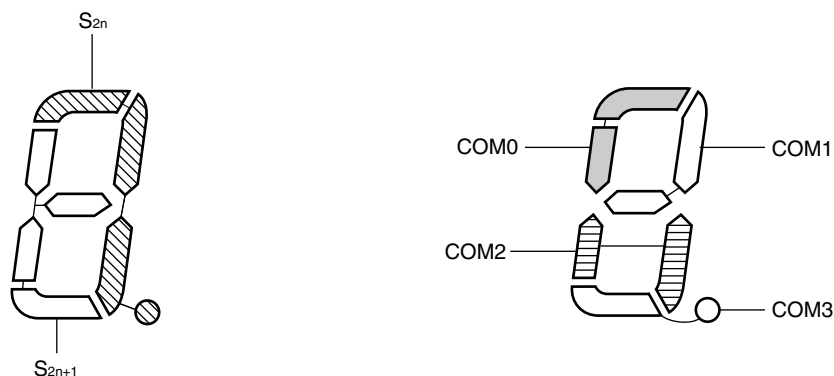
表13 - 6 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S2	S3
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS2に対応する表示データ・メモリ (FA02H番地) には、1101を用意すればよいことが分かります。

S2と各コモン信号間のLCD駆動波形例を図13 - 13に示します。COM0の選択タイミングでS2が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図13 - 11 4時分割LCD表示パターンと電極結線



備考 $n = 0-7$

図13 - 12 4時分割LCDパネルの結線例

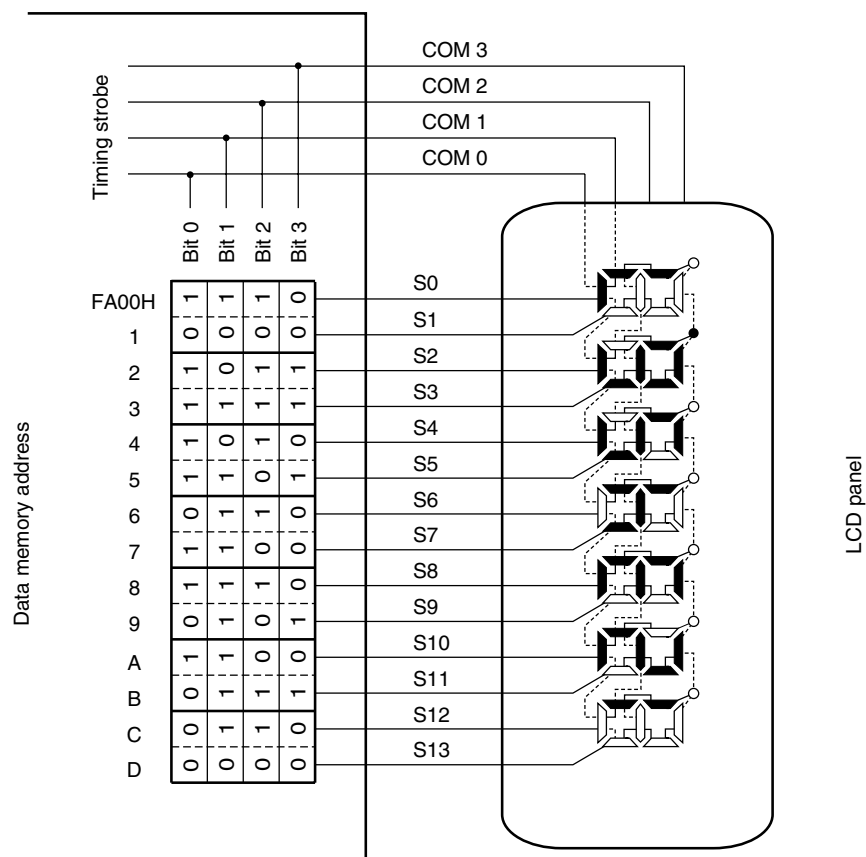
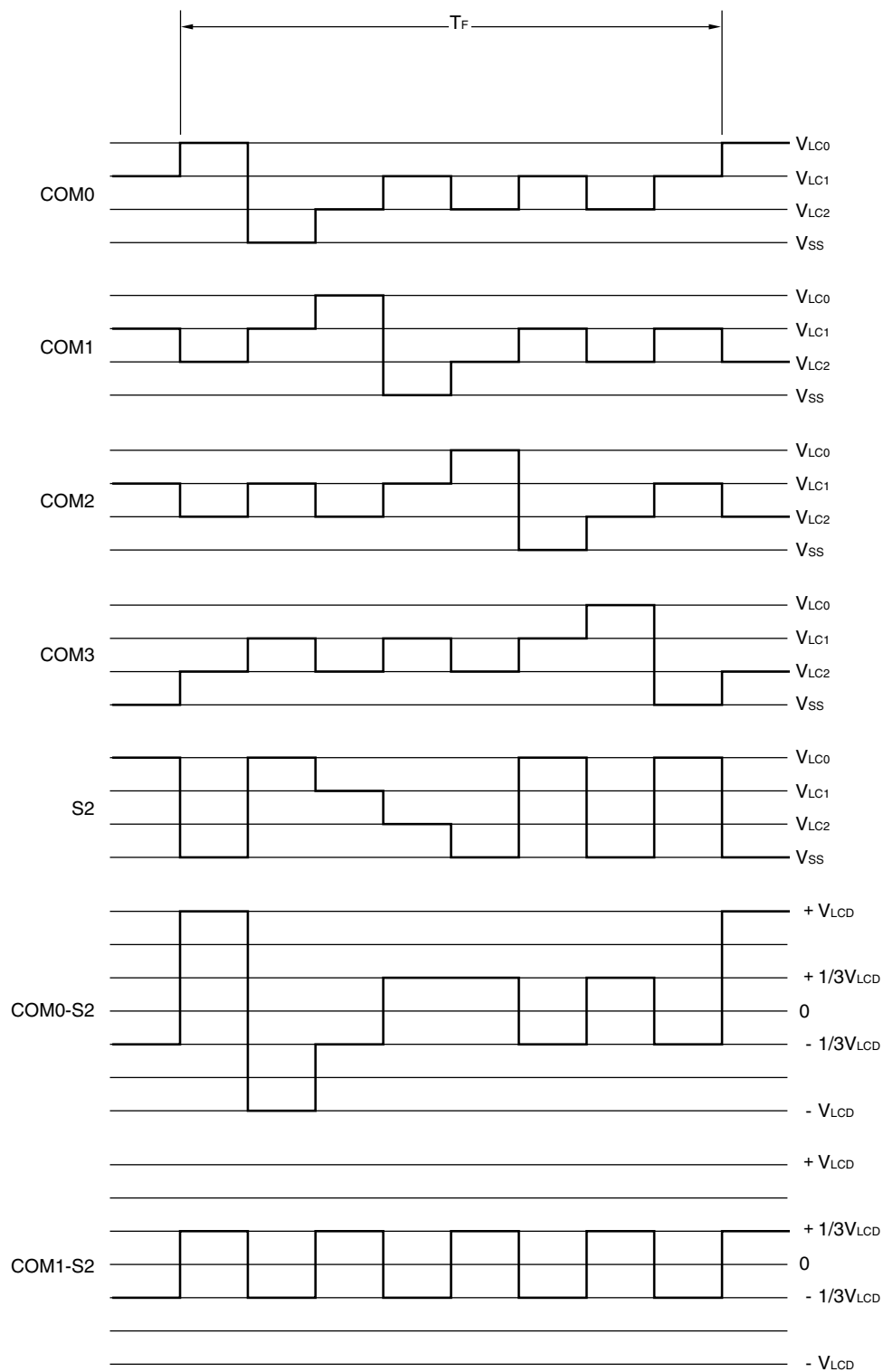


図13 - 13 4時分割LCD駆動波形例



備考 COM2-S2とCOM3-S2の波形は省略

★ 13.8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

μ PD789426, 789436, 789446, 789456サブシリーズは、LCD駆動電源用に内部昇圧回路（3倍昇圧のみ）を内蔵しています。

内部LCD基準電圧は V_{LC2} から出力され、 V_{LC1} 端子からは V_{LC2} の2倍の出力電圧が、 V_{LC0} 端子からは V_{LC2} の3倍の出力電圧が出力されます。

LCD昇圧制御レジスタ0（LCDVA0）の設定によりLCD基準電圧（ V_{LC2} ）を選択できます。

また、 μ PD789426, 789436, 789446, 789456サブシリーズは、LCD駆動用電源を作るために容量分割方式を採用しているため、外付けにコンデンサ（推奨： $0.47\mu\text{F}$ ）が必要となります。

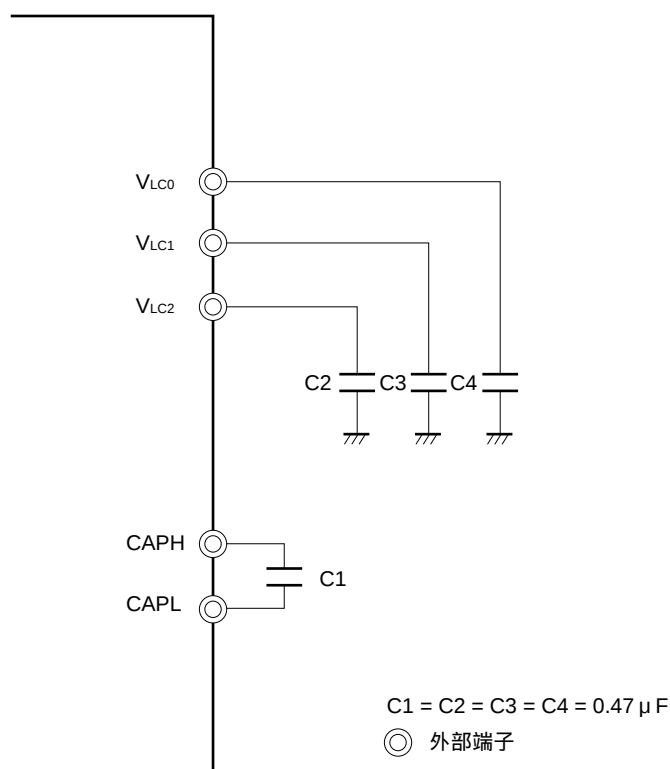
表13 - 7 V_{LC0} - V_{LC2} 端子の出力電圧

LCDVA0 \ LCD駆動用電源端子	GAIN = 0	GAIN = 1
V_{LC0}	4.5 V	3.0 V
V_{LC1}	3.0 V	2.0 V
V_{LC2} (LCD基準電圧)	1.5 V	1.0 V

注意1. LCD機能を使用する際は、必ず V_{LC0} , V_{LC1} , V_{LC2} 端子をオープンにしないでください。接続例は、図13 - 14を参照してください。

2. LCD駆動電圧は、本体の電源とは別の電源なので、 V_{DD} の変化にかかわらず一定の電圧を供給できます。

図13 - 14 LCDドライバ用端子接続例



備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表14 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが5要因、内部割り込みが9要因あります。

14.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて合計15要因あります(表14 - 1参照)。

表14 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTSR20	シリアル・インタフェース20のUART受信終了	内部	000EH	(B)
		INTCSI20	シリアル・インタフェース20の3線式SIO転送受信完了			
	6	INTST20	シリアル・インタフェース20のUART送信完了		0012H	
	7	INTWTI	時計用タイマのインターバル・タイマ割り込み		0014H	
	8	INTTM90	16ビット・タイマ90の一致信号発生		0016H	
	9	INTTM50	8ビット・タイマ50の一致信号発生		0018H	
	10	INTTM60	8ビット・タイマ60の一致信号発生		001AH	
	11	INTAD0	A/D変換完了信号		001CH	
	12	INTWT	時計用タイマ割り込み		001EH	
	13	INTKR00	キー・リターン信号検出	外部	0020H	(C)

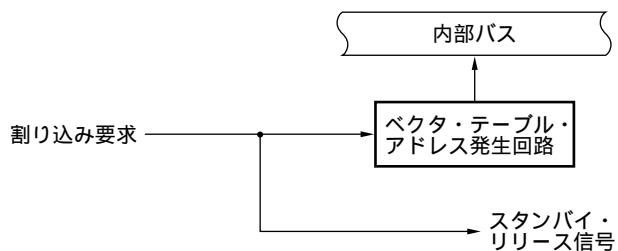
注1．プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，13が最低順位です。

2．基本構成タイプの(A)—(C)は、それぞれ図14 - 1の(A)—(C)に対応しています。

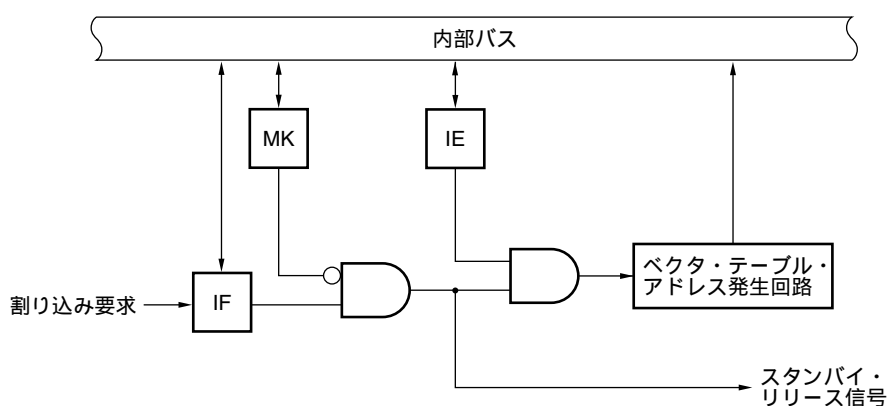
備考 ウォッチドッグ・タイマの割り込み要因(INTWDT)には、ノンマスカブル割り込みとマスカブル割り込み(内部)の2種類があり、どちらか1種類のみ選択できます。

図14 - 1 割り込み機能の基本構成

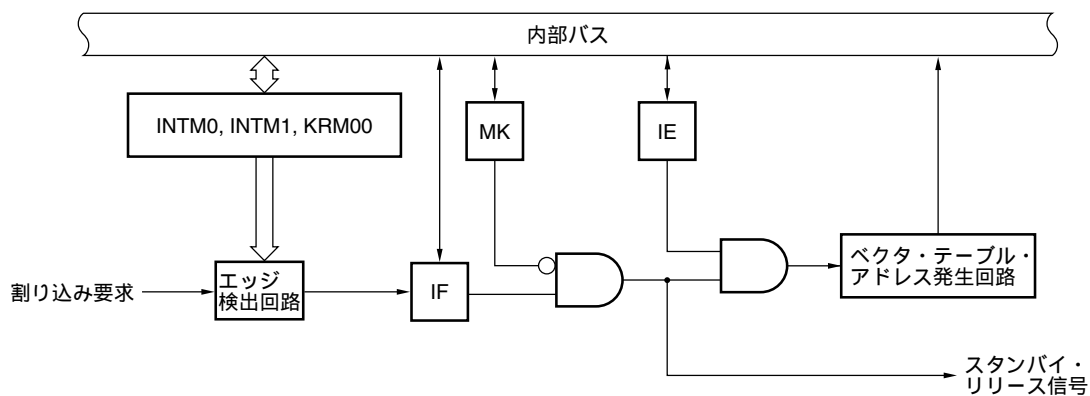
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



INTM0 : 外部割り込みモード・レジスタ0

INTM1 : 外部割り込みモード・レジスタ1

KRM00 : キー・リターン・モード・レジスタ00

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)
- ・外部割り込みモード・レジスタ0, 1 (INTM0, INTM1)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ00 (KRM00)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTSR20/INTCSI20	SRIF20	SRMK20
INTST20	STIF20	STMK20
INTWTI	WTIIF	WTIMK
INTTM90	TMIF90	TMMK90
INTTM50	TMIF50	TMMK50
INTTM60	TMIF60	TMMK60
INTAD0	ADIF0	ADMK0
INTWT	WTIF	WTMK
INTKR00	KRIF00	KRMK00

(1) 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア（0）されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	6							0	アドレス	リセット時	R/W
IF0	STIF20	0	SRIF20	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
IF1	0	KRIF00	WTIF	ADIF0	TMIF60	TMIF50	TMIF90	WTIF	FFE1H	00H	R/W

× × IF ×	割り込み要求フラグ										
0	割り込み要求信号が発生していない										
1	割り込み要求信号が発生し、割り込み要求状態										

- 注意1 . IF1のビット7 , IF0のビット6には、必ず0を設定してください。
- 2 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1 , 2で使用する場合は、WDTIFフラグに0を設定してください。
- 3 . ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。
MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号	6							0	アドレス	リセット時	R/W	
MK0	STMK20	1	SRMK20	PMK3	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W	
	7							6				
MK1	1	KRMK00	WTMK	ADMK0	TMMK60	TMMK50	TMMK90	WTIMK	FFE5H	FFH	R/W	

× × MK	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

- 注意1 . MK1のビット7, MK0のビット6には、必ず1を設定してください。
- 2 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
- 3 . ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には、必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグに1を設定し、割り込みを禁止してから行ってください。

その後、割り込み要求フラグをクリア(0)してから、割り込みマスク・フラグに0を設定し、割り込みを許可してください。

(4) 外部割り込みモード・レジスタ1 (INTM1)

INTP3の有効エッジを設定するレジスタです。

INTM1は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 5 外部割り込みモード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	0	0	ES31	ES30	FFEDH	00H	R/W

ES31	ES30	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1．ビット2-7には、必ず0を設定してください。

2．INTM1レジスタの設定は、必ずPMK3に1を設定し、割り込みを禁止してから行ってください。

その後、PIF3をクリア (0) してから、PMK3に0を設定し、割り込みを許可してください。

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図14 - 6 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H

→ 通常の命令実行時に使用

IE	割り込み受け付けの許可 / 禁止
0	禁止
1	許可

(6) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号（ポート0の立ち下がりエッジ）を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 7 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	0	0	0	0	0	0	0	KRM000	FFF5H	00H	R/W

KRM000	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（ポート0の立ち下がりエッジ検出）

注意1. ビット1-7には、必ず0を設定してください。

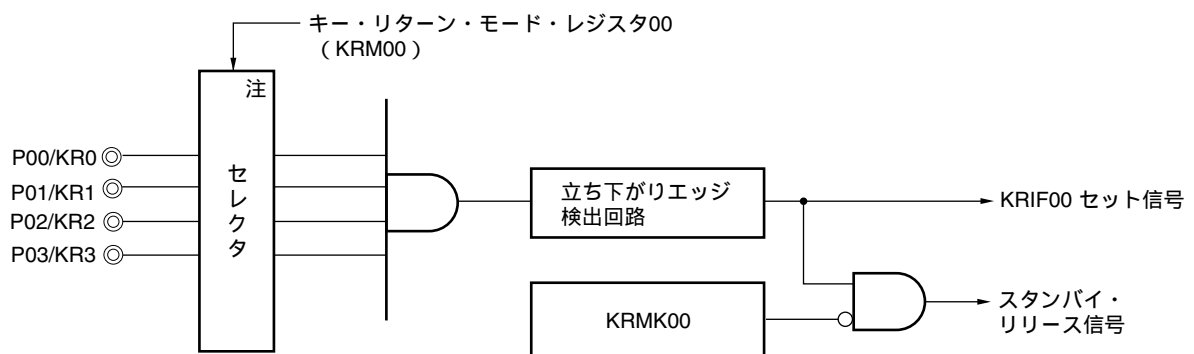
2. KRM00の設定は、必ずMK1のビット6をセット（KRMK00 = 1）し、割り込みを禁止してから行ってください。KRM00の設定後、IF1のビット6をクリア（KRIF00 = 0）にしてから、KRMK00をクリアし、割り込みを許可してください。

3. P00-P03が入力モードのとき、KRM000のセットによりP00-P03には内蔵プルアップ抵抗が接続されます。その後、出力モードに切り替えると内蔵プルアップ抵抗は切断されます。ただし、キー・リターン信号の検出はそのまま続きます。

★

4. キー・リターン信号の検出を指定した端子のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。

図14 - 8 立ち下がりエッジの検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクト

14.4 割り込み処理動作

14.4.1 ノンマスカブル割り込み要求の受け付け動作

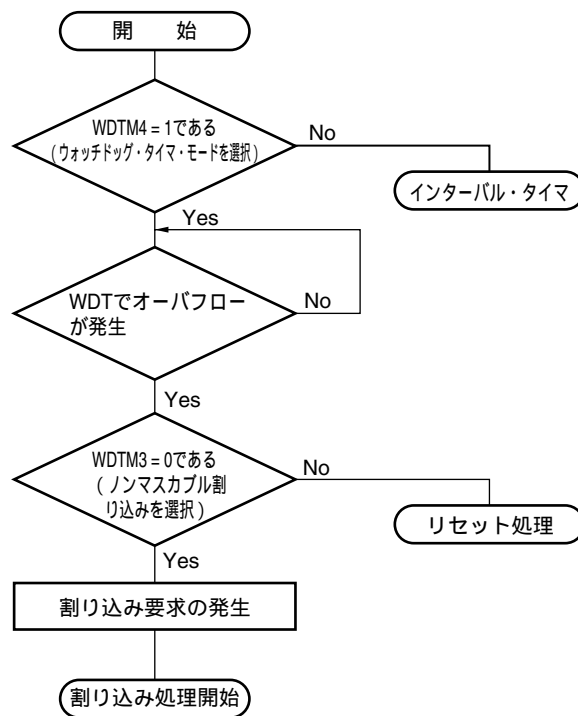
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図14 - 9に、ノンマスカブル割り込み要求の受け付けタイミングを図14 - 10に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図14 - 11に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図14 - 9 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



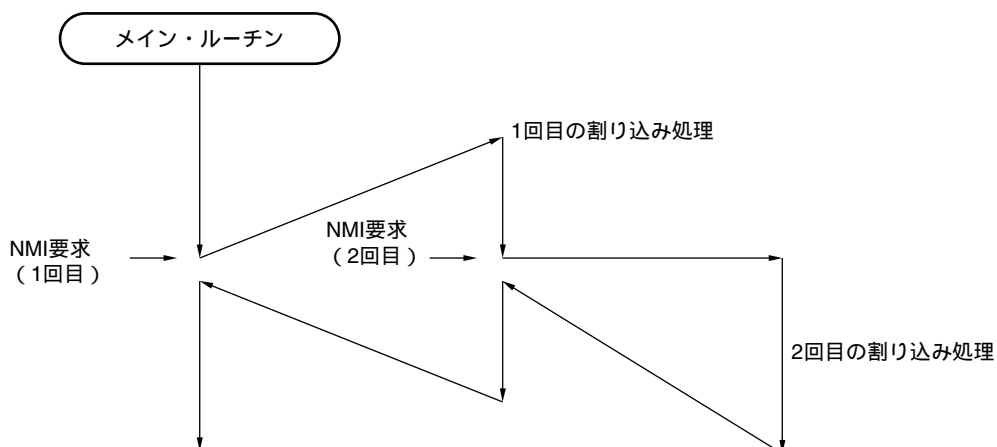
WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図14 - 10 ノンマスクابل割り込み要求の受け付けタイミング



図14 - 11 ノンマスクابل割り込み要求の受け付け動作



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表14 - 3のようになります。

割り込み要求の受け付けのタイミングについては、図14 - 13、図14 - 14を参照してください。

表14 - 3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

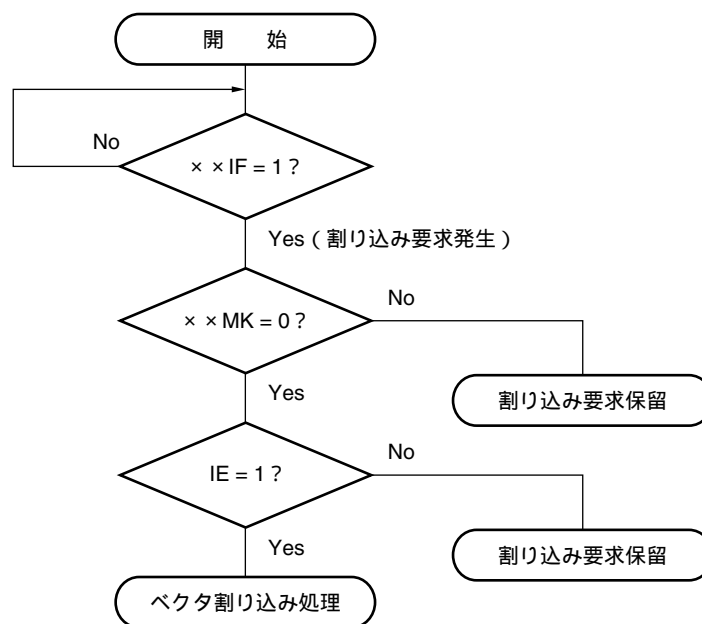
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14 - 12に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14 - 12 割り込み要求受け付け処理アルゴリズム

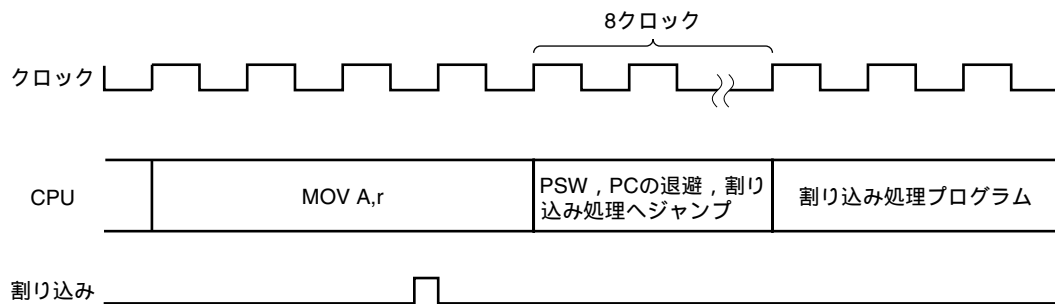


××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

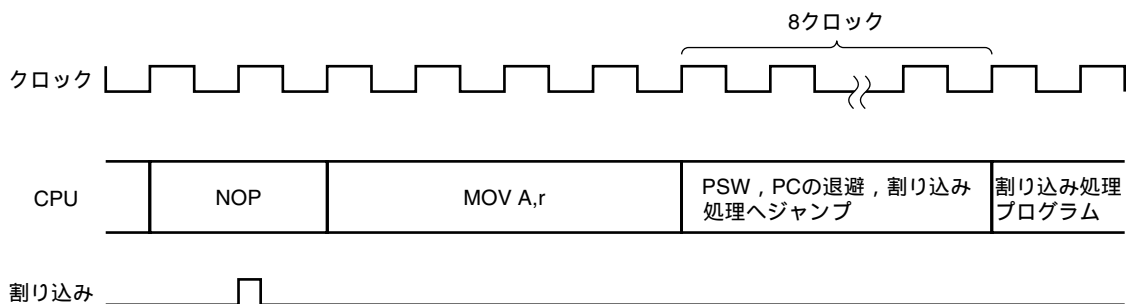
図14 - 13 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図14 - 13では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図14 - 14 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図14 - 14ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

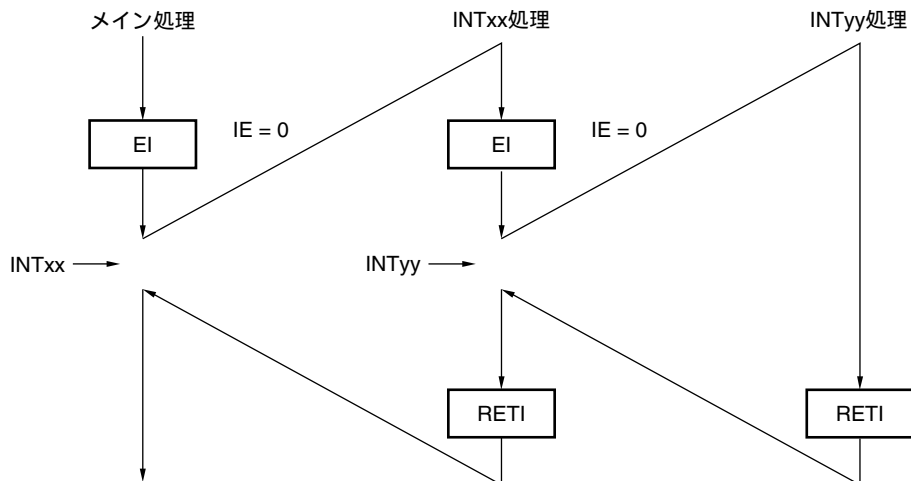
注意 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

14. 4. 3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表14 - 1参照）。

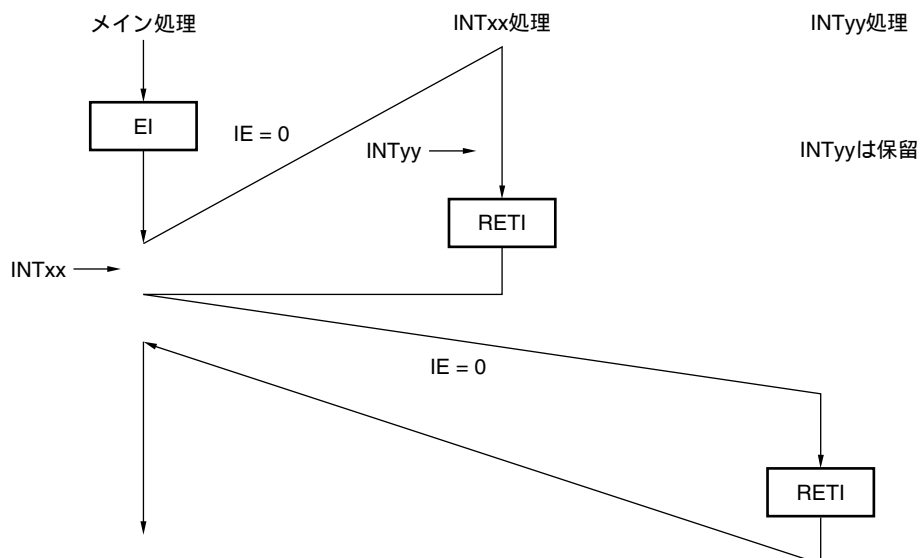
図14 - 15 多重割り込みの例

例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

14. 4. 4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1（MK0, MK1）に対する操作命令

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8\text{ V}$ まで) 保持が可能です。したがって、超低消費電力でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

15. 1. 2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

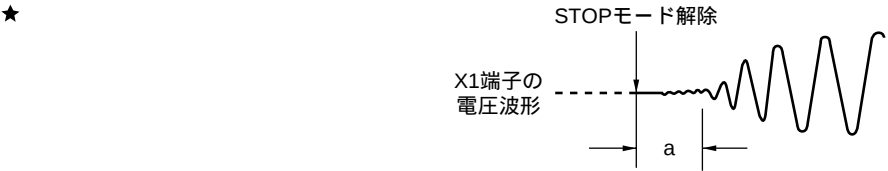
★ **注意** RC発振選択時は、OSTSで発振安定時間を選択できません。RC発振の場合、発振安定時間は $2^7/f_{cc}$ に固定されます。

図15 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考1． f_x ：メイン・システム・クロック発振周波数

2．（ ）内は、 $f_x = 5.0$ MHz動作時

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表15 - 1 HALTモード時の動作状態

項 目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
メイン・システム・クロック	発振可能			発振停止
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ	動作可能			動作停止
8ビット・タイマ	TM50	動作可能		動作可能 ^{注1}
	TM60			動作可能 ^{注2}
時計用タイマ	動作可能	動作可能 ^{注3}	動作可能	動作可能 ^{注4}
ウォッチドッグ・タイマ	動作可能		動作停止	
シリアル・インタフェース	動作可能			動作停止 ^{注5}
A/Dコンバータ	動作停止			
LCDコントローラ/ドライバ	動作可能	動作可能 ^{注3}	動作可能	動作可能 ^{注4}
外部割り込み	動作可能 ^{注6}			

注1．カウント・クロックにタイマ60からの入力信号（タイマ60が動作可能）を選択時のみ動作可能

2．カウント・クロックにTMI60選択時のみ動作可能

3．メイン・システム・クロック選択時は動作可能

4．サブシステム・クロック選択時は動作可能

5．外部クロック選択時のみ動作可能

6．マスクされていないマスカブル割り込み

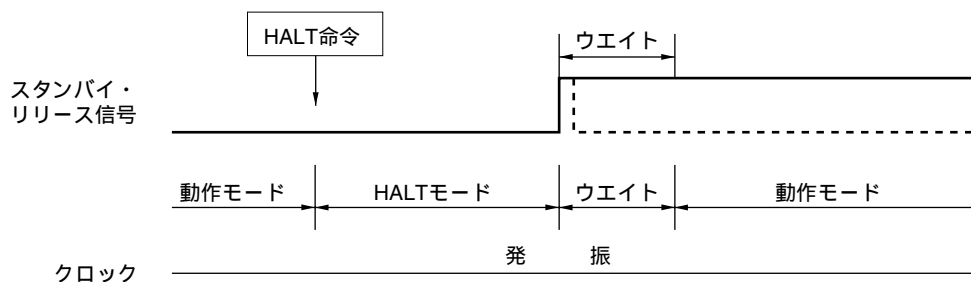
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

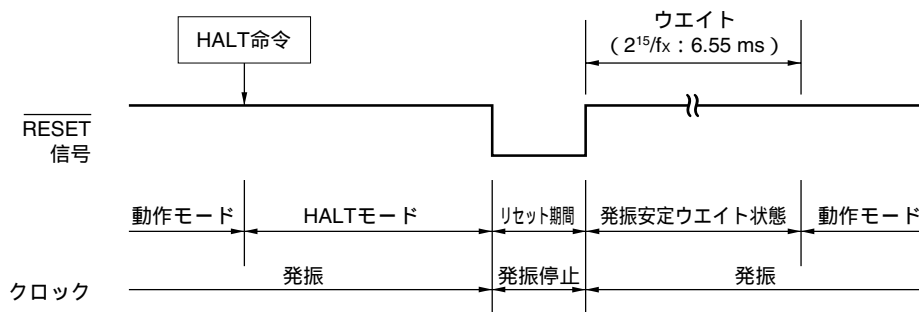
- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図15 - 3 HALTモードのRESET入力による解除

備考 f_x : メイン・システム・クロック発振周波数

表15 - 2 HALTモードの解除後の動作

解除ソース	MK × ×	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
ノンマスカブル割り込み要求	-	×	割り込み処理実行
<u>RESET</u> 入力	-	-	リセット処理

× : don't care

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15 - 3 STOPモード時の動作状態

項 目		メイン・システム・クロック動作中のSTOPモードの動作状態	
		サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック		発振停止	
CPU		動作停止	
ポート（出力ラッチ）		STOPモード設定前の状態を保持	
16ビット・タイマ		動作停止	
8ビット・タイマ	TM50	動作可能 ^{注1}	
	TM60	動作可能 ^{注2}	
時計用タイマ		動作可能 ^{注3}	動作停止
ウォッチドッグ・タイマ		動作可能	動作停止
シリアル・インタフェース		動作可能 ^{注4}	
A/Dコンバータ		動作停止	
LCDコントローラ / ドライバ		動作可能 ^{注3}	動作停止
外部割り込み		動作可能 ^{注5}	

注1．カウント・クロックにタイマ60からの入力信号（タイマ60が動作可能）を選択時のみ動作可能

2．カウント・クロックにTMI60選択時は動作可能

3．サブシステム・クロック選択時は動作可能

4．外部クロック選択時のみ動作可能

5．マスクされていないマスクブル割り込み

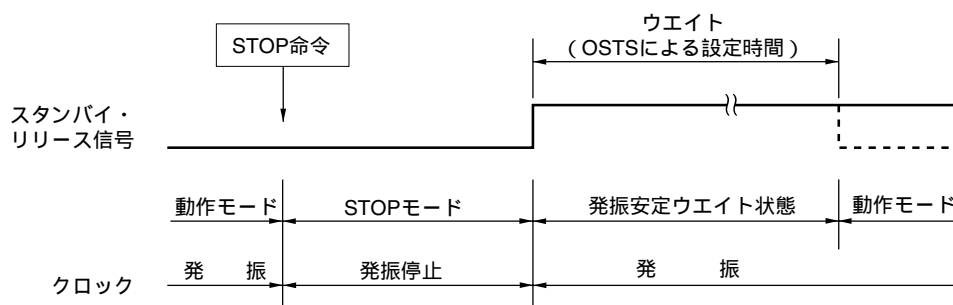
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 4 STOPモードの割り込み発生による解除

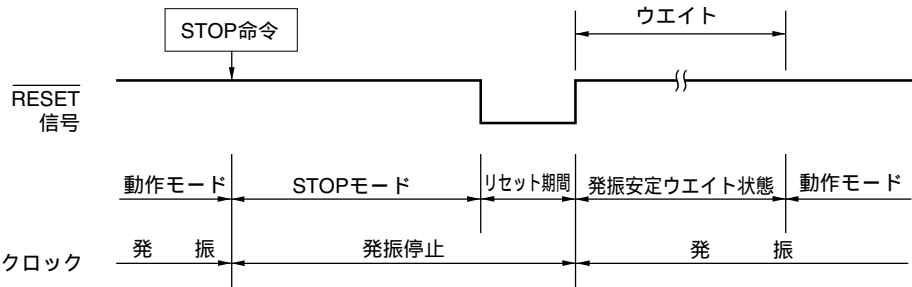


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図15 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考 f_x : メイン・システム・クロック発振周波数

表15 - 4 STOPモードの解除後の動作

解除ソース	MK × ×	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

× : don't care

第16章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後プログラムの実行を開始します（図16 - 2～図16 - 4参照）。

- 注意1．外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
- 2．リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図16 - 1 リセット機能のブロック図

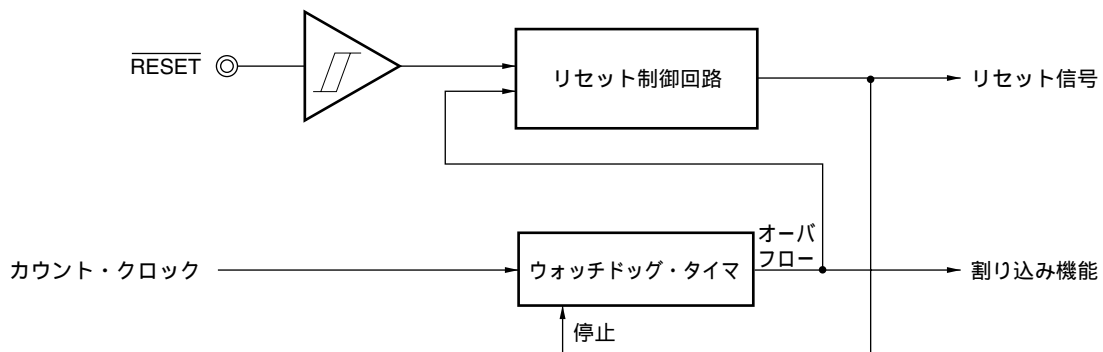


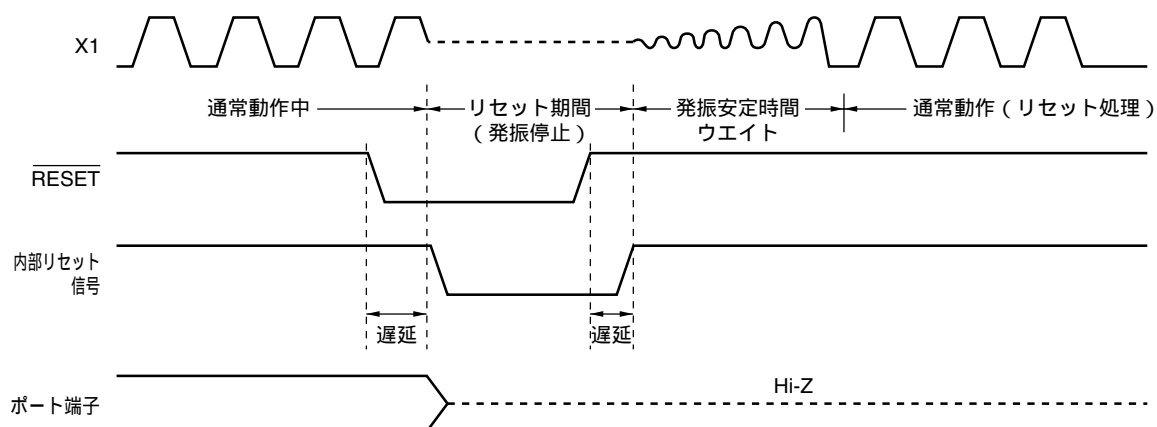
図16 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図16 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

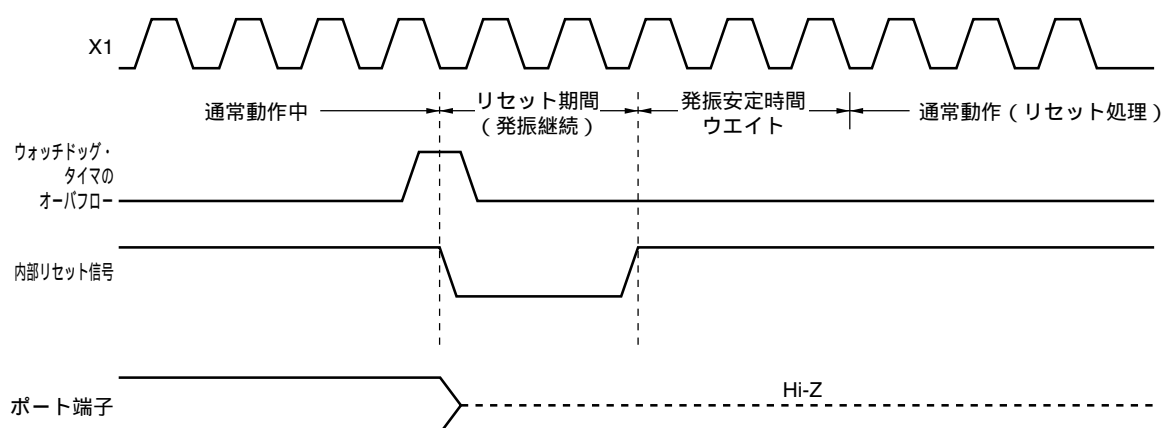
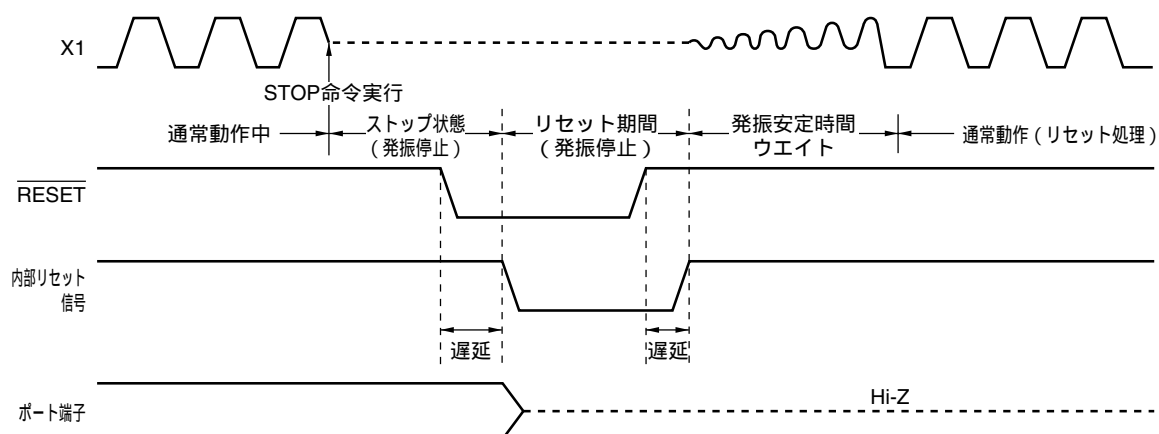
図16 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

表16 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3, P5, P7) (出力ラッチ)		00H
ポート (P8, P9) (出力ラッチ) ^{注3}		00H
ポート・モード・レジスタ (PM0-PM3, PM5, PM7)		FFH
ポート・モード・レジスタ (PM8, PM9) ^{注3}		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3, PUB7)		00H
ブルアップ抵抗オプション・レジスタ (PUB8 ^{注3} , PUB9 ^{注3})		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ	タイマ・カウンタ (TM90)	0000H
	コンペア・レジスタ (CR90)	FFFFH
	モード・コントロール・レジスタ (TMC90)	00H
	キャプチャ・レジスタ (TCP90)	不定
	ブザー出力コントロール・レジスタ (BZC90)	00H
8ビット・タイマ	タイマ・カウンタ (TM50, TM60)	00H
	コンペア・レジスタ (CR50, CR60, CRH60)	不定
	モード・コントロール・レジスタ (TMC50, TMC60)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA60)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	シリアル動作モード・レジスタ (CSIM20)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM20)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS20)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC20)	00H
	送信シフト・レジスタ (TXS20)	FFH
	受信バッファ・レジスタ (RXB20)	不定
A/Dコンバータ	A/D変換結果レジスタ (ADCR0)	0000H
	モード・レジスタ (ADM0)	00H
	アナログ入力チャネル・レジスタ (ADS0)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. μ PD789426, 789436サブシリーズのみ

表16 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
LCDコントローラ / ドライバ	表示モード・レジスタ (LCDM0)	00H
	クロック選択レジスタ (LCDC0)	00H
	昇圧制御レジスタ (LCDVA0)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H
	キー・リターン・モード・レジスタ (KRM00)	00H

第17章 μ PD78F9436, 78F9456

μ PD78F9436は、 μ PD789426, 789436サブシリーズのマスクROM製品の内部ROMを、 μ PD78F9456は、 μ PD789446, 789456サブシリーズのマスクROM製品の内部ROMをそれぞれフラッシュ・メモリに置き換えた製品です。

μ PD78F9436, 78F9456とマスクROM製品の違いを表17 - 1に示します。

表17 - 1 μ PD78F9436, 78F9456とマスクROM製品の違い

品 名 項 目		フラッシュ・メモリ製品		マスクROM製品			
		μ PD78F9436	μ PD78F9456	μ PD789425, 789435	μ PD789426, 789436	μ PD789445, 789455	μ PD789446, 789456
内部 メモリ	ROM	12 Kバイト	16 Kバイト	12 Kバイト	16 Kバイト	12 Kバイト	16 Kバイト
	高速RAM	512バイト					
	LCD 表示 用RAM	5×4ビット	15×4ビット	5×4ビット		15×4ビット	
IC端子		なし		あり			
V _{PP} 端子		あり		なし			
電気的特性		第20章 電気的特性を参照してください。					

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

★ 17.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9436, 78F9456を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

17.1.1 プログラミング環境

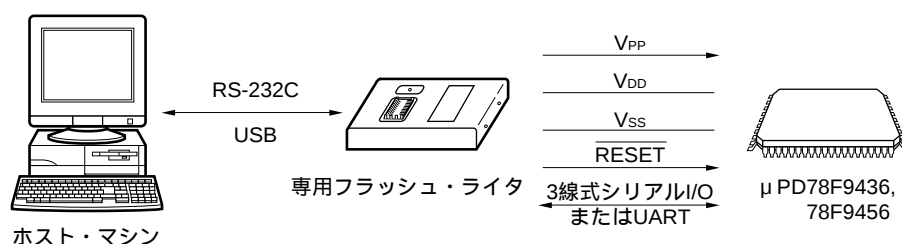
μ PD78F9436, 78F9456のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図17 - 1 フラッシュ・メモリにプログラムを書き込むための環境



17.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9436, 78F9456との通信は、表17 - 2に示す通信方式から選択して行います。

表17 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアルI/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注2, 3}	1-5 MHz ^{注2}	1.0	SI20/RxD20/P25 SO20/TxD20/P24 SCK20/ASCK20/P23	0
UART	UART ch-0 (Async.)	4800-76800 bps ^{注2, 4}	5 MHz ^{注5}	4.91, 5 MHz ^{注2}	1.0	RxD20/SI20/P25 TxD20/SO20/P24	8

注1. 専用フラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第20章 電気的特性を参照してください。
3. Flashpro の場合は、2, 4 MHzのみ
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
5. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。Flashpro から供給されるクロックでは対応できません。

図17 - 2 通信方式選択フォーマット

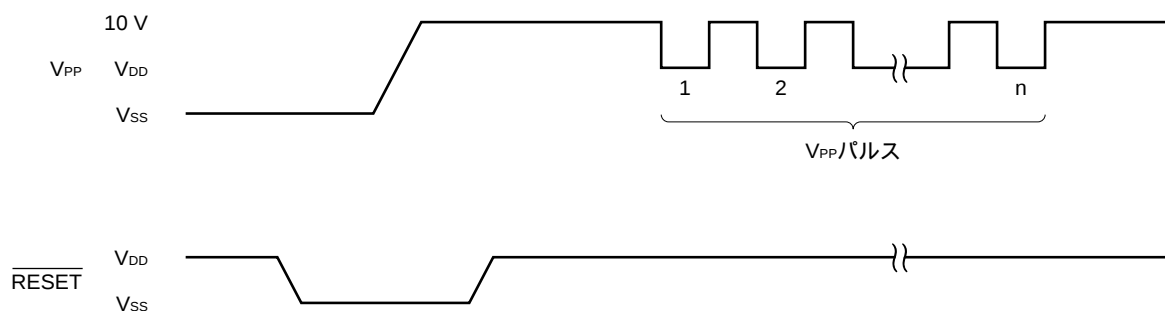
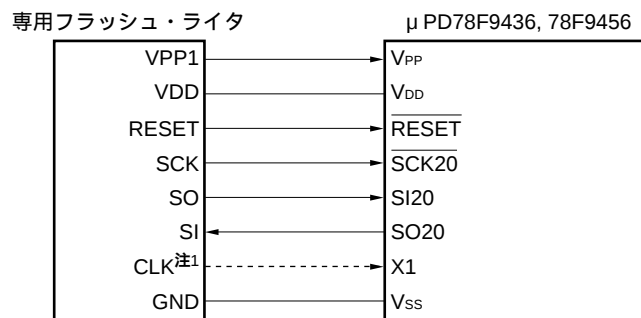
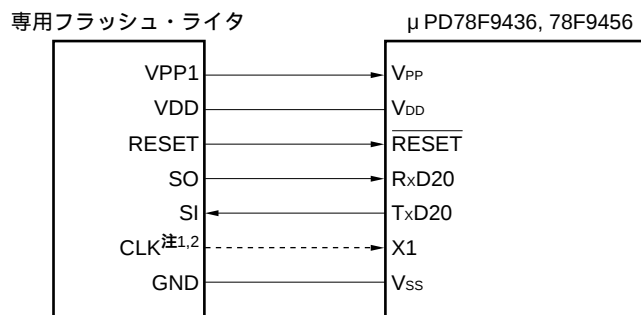


図17 - 3 専用フラッシュ・ライタとの接続例

(a) 3線式シリアルI/O



(b) UART



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合には, CLK端子とX1端子を接続し, オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は, CLK端子と接続しないでください。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので, CLK端子と接続しないでください。

注意 V_{DD}端子は, すでに電源が接続されている場合でも, 必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は, 必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78F9436, 78F9456に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表17 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	UART
VPP1	出力	書き込み電圧	V _{PP}		
VPP2	-	-	-	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注	注
GND	-	グランド	V _{SS}		
CLK	出力	クロック出力	X1	○	○
RESET	出力	リセット信号	RESET		
SI	入力	受信信号	SO20, TxD20		
SO	出力	送信信号	SI20, RxD20		
SCK	出力	転送クロック	SCK20		×
HS	入力	ハンドシェーク信号	-	×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

○ : ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

17.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

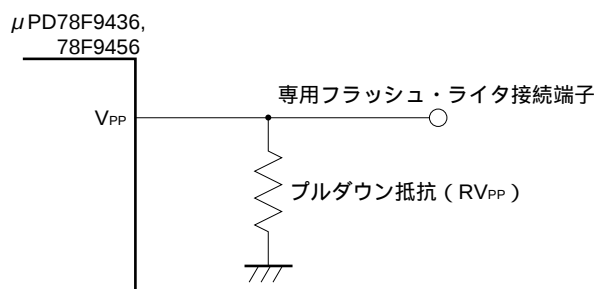
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDかに切り替えてください

V_{PP}端子の接続例を次に示します。

図17 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

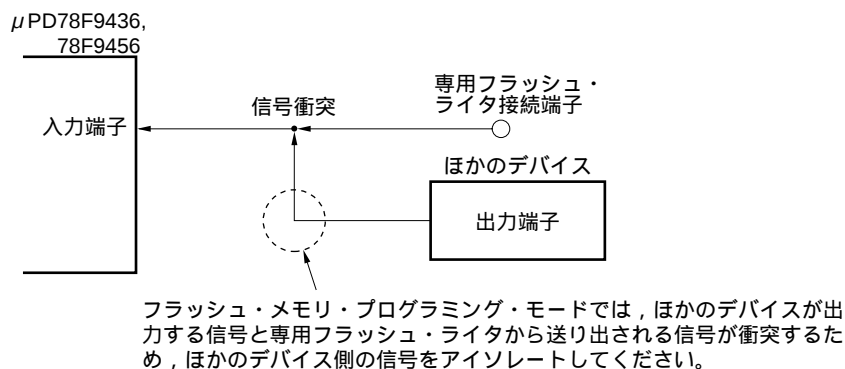
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI20, SO20, $\overline{\text{SCK20}}$
UART	RxD20, TxD20

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

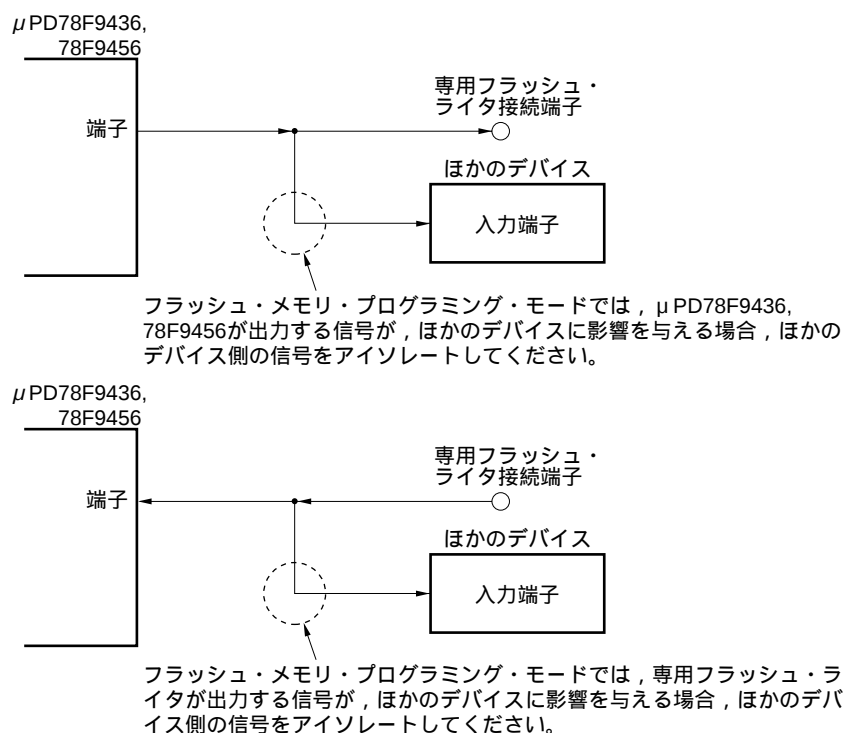
図17 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図17 - 6 ほかのデバイスの異常動作

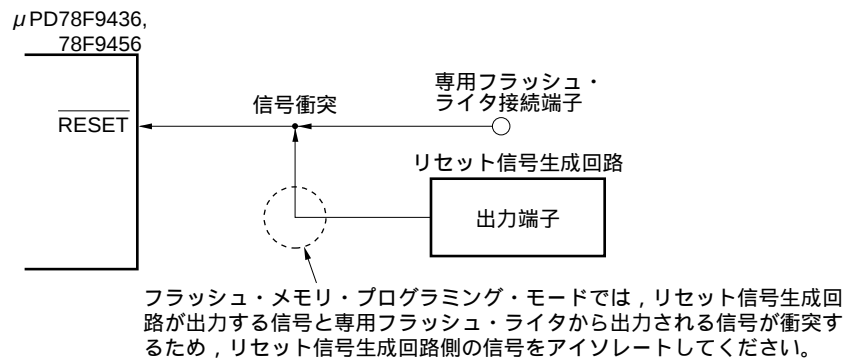


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図17-7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに移行すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上の発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

その他の電源 (AV_{DD}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

その他の端子 (S0-S14, COM0-COM3, V_{LC0}-V_{LC2}, CAPH, CAPL) は、通常動作モード時と同じ処理をしてください。

17.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図17 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

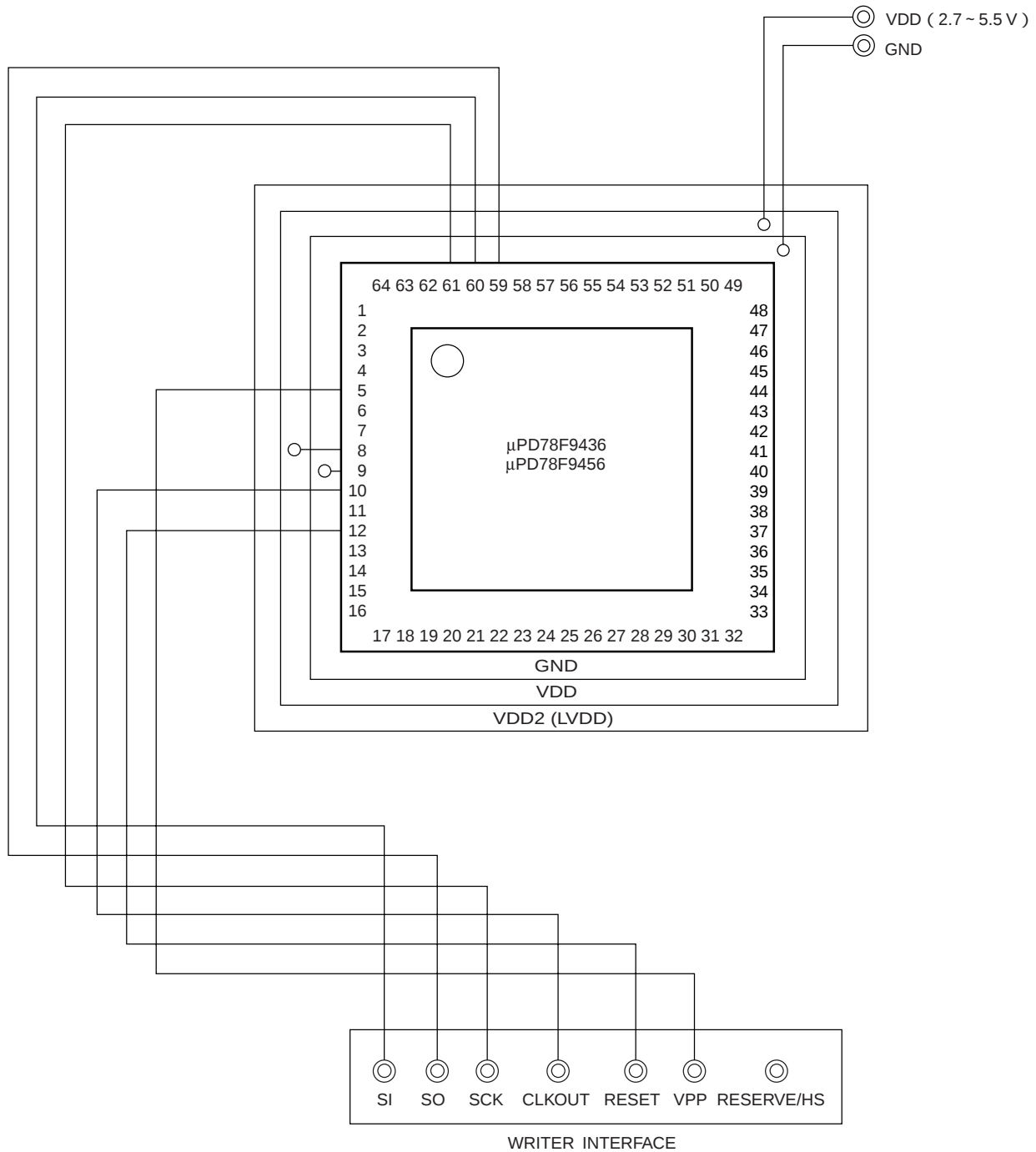
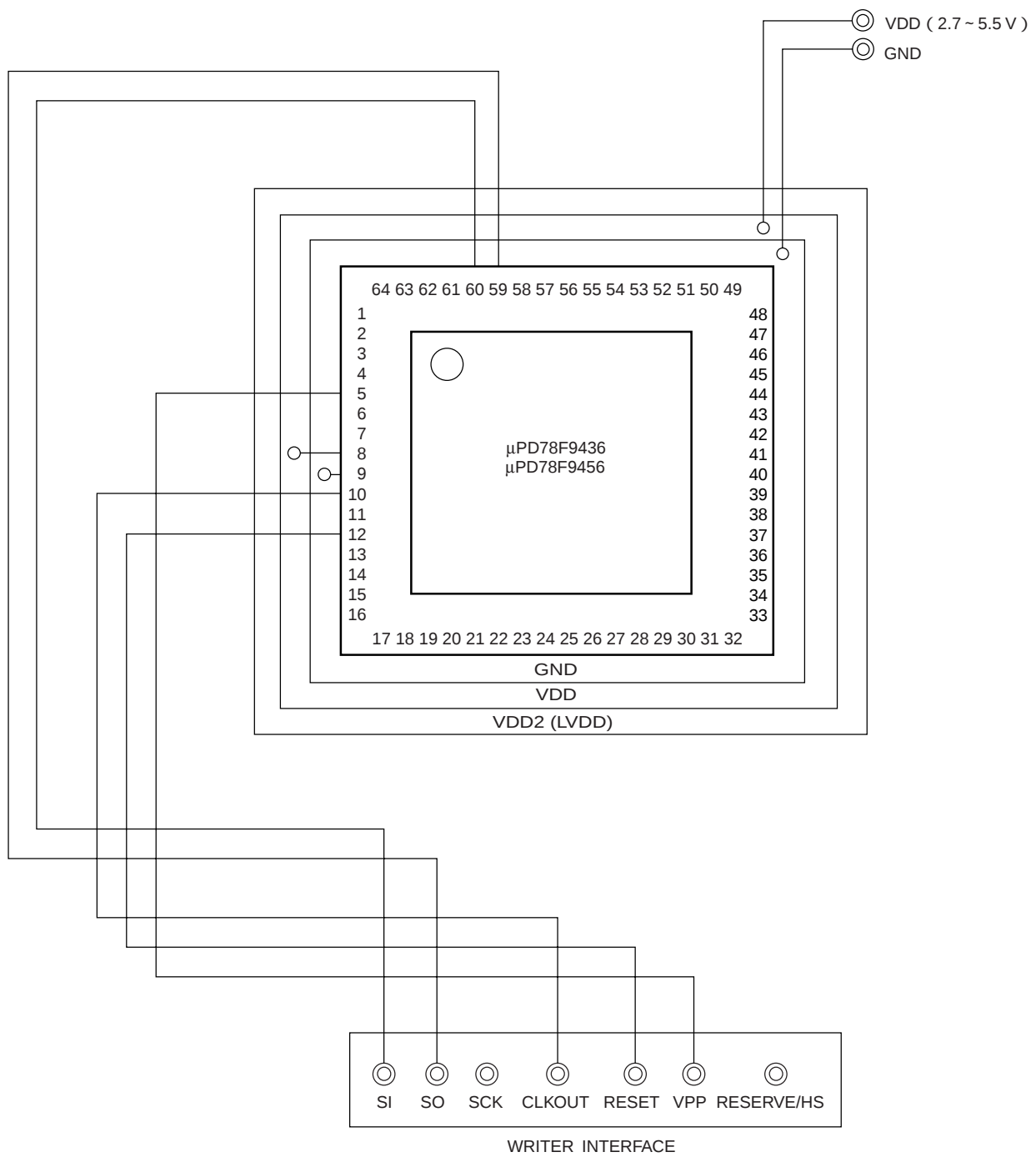


図17 - 9 UART方式でのフラッシュ書き込み用アダプタ配線例



第18章 マスク・オプション

μ PD789426, 789436, 789446, 789456サブシリーズのマスクROM製品には、次のマスク・オプションがあります。

- プルアップ抵抗

ポート5（入出力ポート）の内蔵プルアップ抵抗の接続を1ビットごとに選択できます。

プルアップ抵抗を接続しない

プルアップ抵抗を接続する

- ★ ●RC発振

メイン・システム・クロックをRC発振にすることができます。

クリスタル/セラミック発振

RC発振

注意 フラッシュ・メモリ製品にはマスク・オプションはありません。

第19章 命令セットの概要

μ PD789426, 789436, 789446, 789456サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

19.1 オペレーション

19.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表19 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r rp sfr	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7) AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3) 特殊機能レジスタ略号
saddr saddrp	FE20H-FF1FH イミディエト・データまたはラベル FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16 addr5	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ） 0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word byte bit	16ビット・イミディエト・データまたはラベル 8ビット・イミディエト・データまたはラベル 3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3 - 4 特殊機能レジスタ一覧を参照してください。

19. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
$\wedge$	: 論理積 (AND)
$\vee$	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
———	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

19. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット / クリアされる
R	: 以前に退避した値がストアされる

19.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r ← byte			
	saddr, #byte	3	6	(saddr) ← byte			
	sfr, #byte	3	6	sfr ← byte			
	A, r 注1	2	4	A ← r			
	r, A 注1	2	4	r ← A			
	A, saddr	2	4	A ← (saddr)			
	saddr, A	2	4	(saddr) ← A			
	A, sfr	2	4	A ← sfr			
	sfr, A	2	4	sfr ← A			
	A, laddr16	3	8	A ← (addr16)			
	laddr16, A	3	8	(addr16) ← A			
	PSW, #byte	3	6	PSW ← byte	x	x	x
	A, PSW	2	4	A ← PSW			
	PSW, A	2	4	PSW ← A	x	x	x
	A, [DE]	1	6	A ← (DE)			
	[DE], A	1	6	(DE) ← A			
	A, [HL]	1	6	A ← (HL)			
	[HL], A	1	6	(HL) ← A			
	A, [HL + byte]	2	6	A ← (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) ← A			
XCH	A, X	1	4	A ↔ X			
	A, r 注2	2	6	A ↔ r			
	A, saddr	2	6	A ↔ (saddr)			
	A, sfr	2	6	A ↔ sfr			
	A, [DE]	1	8	A ↔ (DE)			
	A, [HL]	1	8	A ↔ (HL)			
	A, [HL, byte]	2	8	A ↔ (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp ← word			
	AX, saddrp	2	6	AX ← (saddrp)			
	saddrp, AX	2	8	(saddrp) ← AX			
	AX, rp 注	1	4	AX ← rp			
	rp, AX 注	1	4	rp ← AX			
XCHW	AX, rp 注	1	8	AX ↔ rp			
ADD	A, #byte	2	4	A, CY ← A + byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte	×	×	×
	A, r	2	4	A, CY ← A + r	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte)	×	×	×
ADDC	A, #byte	2	4	A, CY ← A + byte + CY	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte + CY	×	×	×
	A, r	2	4	A, CY ← A + r + CY	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr) + CY	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16) + CY	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL) + CY	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte) + CY	×	×	×
SUB	A, #byte	2	4	A, CY ← A - byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) - byte	×	×	×
	A, r	2	4	A, CY ← A - r	×	×	×
	A, saddr	2	4	A, CY ← A - (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A - (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A - (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A - (HL + byte)	×	×	×

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	6	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
	A, r	2	4	$A, CY \leftarrow A - r - CY$	×	×	×
	A, saddr	2	4	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
	A, !addr16	3	8	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
	A, [HL]	1	6	$A, CY \leftarrow A - (HL) - CY$	×	×	×
	A, [HL + byte]	2	6	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \wedge r$	×		
	A, saddr	2	4	$A \leftarrow A \wedge (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \wedge (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \wedge (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \wedge (HL + \text{byte})$	×		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		
XOR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	×	×	×
	saddr, #byte	3	6	(saddr) - byte	×	×	×
	A, r	2	4	A - r	×	×	×
	A, saddr	2	4	A - (saddr)	×	×	×
	A, laddr16	3	8	A - (addr16)	×	×	×
	A, [HL]	1	6	A - (HL)	×	×	×
	A, [HL + byte]	2	6	A - (HL + byte)	×	×	×
ADDW	AX, #word	3	6	AX, CY ← AX + word	×	×	×
SUBW	AX, #word	3	6	AX, CY ← AX - word	×	×	×
CMPW	AX, #word	3	6	AX - word	×	×	×
INC	r	2	4	r ← r + 1	×	×	
	saddr	2	4	(saddr) ← (saddr) + 1	×	×	
DEC	r	2	4	r ← r - 1	×	×	
	saddr	2	4	(saddr) ← (saddr) - 1	×	×	
INCW	rp	1	4	rp ← rp + 1			
DECW	rp	1	4	rp ← rp - 1			
ROR	A, 1	1	2	(CY, A ₇ ← A ₀ , A _{m-1} ← A _m) × 1回			×
ROL	A, 1	1	2	(CY, A ₀ ← A ₇ , A _{m+1} ← A _m) × 1回			×
RORC	A, 1	1	2	(CY ← A ₀ , A ₇ ← CY, A _{m-1} ← A _m) × 1回			×
ROLC	A, 1	1	2	(CY ← A ₇ , A ₀ ← CY, A _{m+1} ← A _m) × 1回			×
SET1	saddr.bit	3	6	(saddr.bit) ← 1			
	sfr.bit	3	6	sfr.bit ← 1			
	A.bit	2	4	A.bit ← 1			
	PSW.bit	3	6	PSW.bit ← 1	×	×	×
	[HL].bit	2	10	(HL).bit ← 1			
CLR1	saddr.bit	3	6	(saddr.bit) ← 0			
	sfr.bit	3	6	sfr.bit ← 0			
	A.bit	2	4	A.bit ← 0			
	PSW.bit	3	6	PSW.bit ← 0	×	×	×
	[HL].bit	2	10	(HL).bit ← 0			
SET1	CY	1	2	CY ← 1			1
CLR1	CY	1	2	CY ← 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$	×
CALL	laddr16	3	6	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$ $PC \leftarrow \text{laddr16}, SP \leftarrow SP - 2$	
CALLT	[addr5]	1	8	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP - 2$	
RET		1	6	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
RETI		1	8	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3,$ $NMIS \leftarrow 0$	R R R
PUSH	PSW	1	2	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$	
	rp	1	4	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$ $SP \leftarrow SP - 2$	
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R R R
	rp	1	6	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
MOVW	SP, AX	2	8	$SP \leftarrow AX$	
	AX, SP	2	6	$AX \leftarrow SP$	
BR	laddr16	3	6	$PC \leftarrow \text{laddr16}$	
	\$addr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$	
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$	
BC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1	
BNC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0	
BZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1	
BNZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0	
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BF	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0	
DBNZ	B, \$addr16	2	6	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $B \neq 0$	
	C, \$addr16	2	6	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $C \neq 0$	
	saddr, \$addr16	3	8	$(\text{saddr}) \leftarrow (\text{saddr}) - 1$, then $PC \leftarrow PC + 3 + \text{jdisp8}$ if $(\text{saddr}) \neq 0$	
NOP		1	2	No Operation	
EI		3	6	$IE \leftarrow 1$ (Enable Interrupt)	
DI		3	6	$IE \leftarrow 0$ (Disable Interrupt)	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

19.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注 ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第20章 電気的特性

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = AV _{DD}	- 0.3 ~ + 6.5	V
	AV _{DD}			
	V _{PP}	μ PD78F9436, 78F9456のみ 注1	- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P00-P03, P10, P11, P20-P26, P30-P33, P60-P65, P70-P72, P80 ^{注2} , P81 ^{注2} , P90-P97 ^{注2} , X1 (CL1), X2 (CL2), XT1, XT2, RESET	- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
	V _{I2}	P50-P53	N-chオープン・ドレイン時	- 0.3 ~ + 13
			ブルアップ抵抗内蔵時	- 0.3 ~ V _{DD} + 0.3 ^{注3}
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		μ PD78F9436, 78F9456	- 40 ~ + 125	

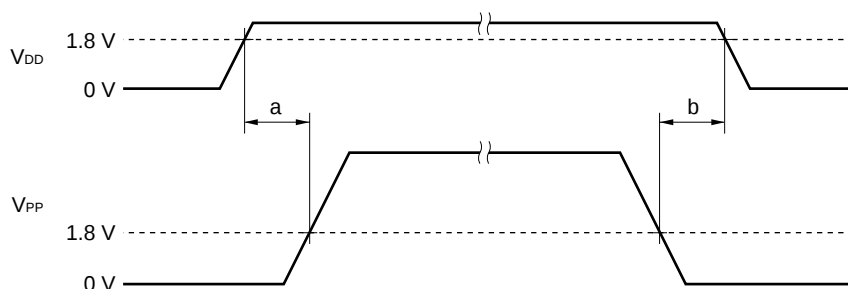
注1．フラッシュ・メモリ書き込み時，V_{PP}の電圧印加タイミングについては，必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(1.8 V)に達してから10 μs以上経過後，V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(1.8 V)を下回ってから10 μs以上経過後，V_{DD}を立ち下げること(下図のb)。



2．μ PD789425, 789426, 789435, 789436, 78F9436のとき

3．6.5 V以下

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

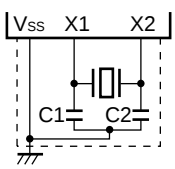
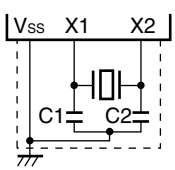
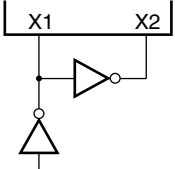
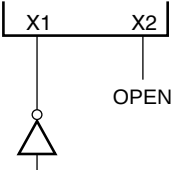
備考1．特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2．()内は、RC発振（マスク・オプション）の場合

メイン・システム・クロック発振回路特性

セラミック / クリスタル発振

(T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f _x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	V _{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f _x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	V _{DD} = 4.5 ~ 5.5 V V _{DD} = 1.8 ~ 5.5 V			10 30	ms ms
外部クロック		X1入力周波数 (f _x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ, ロウ・レベル幅 (t _{xH} , t _{xL})		85		500	ns
		X1入力周波数 (f _x) ^{注1}	V _{DD} = 2.7 ~ 5.5 V	1.0		5.0	MHz
		X1入力ハイ, ロウ・レベル幅 (t _{xH} , t _{xL})	V _{DD} = 2.7 ~ 5.5 V	85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1．メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

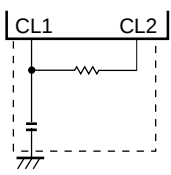
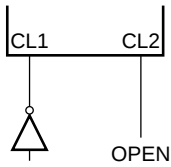
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

RC発振 (マスク・オプション)

(TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振子		発振周波数 (f _{CC}) ^{注1, 2}	V _{DD} = 発振電圧範囲	2.0		4.0	MHz
		発振安定時間 ^{注3}	V _{DD} = 2.7 ~ 5.5 V	32			μs
			V _{DD} = 1.8 ~ 5.5 V	128			μs
外部クロック		CL1入力周波数 (f _{CC}) ^{注1}		1.0		4.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})		100		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- 外部抵抗，外部容量のばらつきは含みません。
- リセットまたはSTOPモード解除後，発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

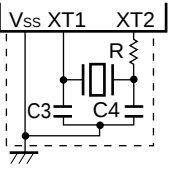
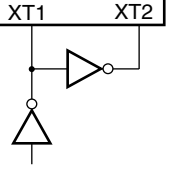
- メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに，再度メイン・システム・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

RC発振周波数特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
発振周波数	f _{cc1}	R = 11.0 kΩ,	V _{DD} = 2.7 ~ 5.5 V	1.5	2.0	2.5	MHz
	f _{cc2}	C = 22 pF	V _{DD} = 1.8 ~ 5.5 V	0.5	2.0	2.5	MHz
	f _{cc3}	R = 6.8 kΩ,	V _{DD} = 2.7 ~ 5.5 V	2.5	3.0	3.5	MHz
	f _{cc4}	C = 22 pF	V _{DD} = 1.8 ~ 5.5 V	0.75	3.0	3.5	MHz
	f _{cc5}	R = 4.7 kΩ,	V _{DD} = 2.7 ~ 5.5 V	3.5	4.0	4.7	MHz
	f _{cc6}	C = 22 pF	V _{DD} = 1.8 ~ 5.5 V	1.0	4.0	4.7	MHz

備考 発振周波数のTYP.値を2.0 ~ 4.0 MHzに収めるため，上記のいずれかの値でRCを設定してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5$ V			10	
外部クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μ s

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2． V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流	I _{OL}	1端子				10	mA
		全端子				80	mA
ハイ・レベル出力電流	I _{OH}	1端子				- 1	mA
		全端子				- 15	mA
ハイ・レベル入力電圧	V _{IH1}	P10, P11, P60-P65, P70-P72, P80 ^注 , P81 ^注 , P90-P97 ^注		V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時 ブルアップ抵抗内蔵時	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	12	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	12	V
				V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH3}	RESET, P00-P03, P20-P26, P30-P33		V _{DD} = 2.7 ~ 5.5 V	0.8 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1 (CL1) , X2 (CL2) , XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10, P11, P60-P65, P70-P72, P80 ^注 , P81 ^注 , P90-P97 ^注		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	
	V _{IL2}	P50-P53		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	
	V _{IL3}	RESET, P00-P03, P20-P26, P30-P33		V _{DD} = 2.7 ~ 5.5 V	0	0.2 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	
	V _{IL4}	X1 (CL1) , X2 (CL2) , XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	0	0.4	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH}	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA		V _{DD} - 1.0		V	
		V _{DD} = 1.8 ~ 5.5 V, I _{OH} = - 100 μA		V _{DD} - 0.5		V	
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P10, P11, P20-P26, P30-P33, P60-P65, P70-P72, P80 ^注 , P81 ^注 , P90-P97 ^注 , X1 (CL1) , X2 (CL2) , XT1, XT2		4.5 V _{DD} ~ 5.5 V, I _{OL} = 10 mA		1.0	V
				1.8 V _{DD} < 4.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53		4.5 V _{DD} < 5.5 V, I _{OL} = 10 mA		1.0	V
				1.8 V _{DD} < 4.5 V, I _{OL} = 1.6 mA		0.4	V

注 μ PD789425, 789426, 789435, 789436, 78F9436のみ

備考1. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

2. () 内は, RC発振 (マスク・オプション) の場合

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	I _{LH1}	V _I = V _{DD}	P00-P03, P10, P11, P20-P26, P30-P33, P60-P65, P70-72, P80 ^{注1} , P81 ^{注1} , P90-97 ^{注1} , $\overline{\text{RESET}}$			3	μ A
	I _{LH2}		X1 (CL1) , X2 (CL2) , XT1, XT2			20	μ A
	I _{LH3}	V _I = 12 V	P50-P53(N-chオープン・ドレイン時)			20	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P00-P03, P10, P11, P20-P26, P30-P33, P60-P65, P70-72, P80 ^{注1} , P81 ^{注1} , P90-97 ^{注1} , $\overline{\text{RESET}}$			- 3	μ A
	I _{LIL2}		X1 (CL1) , X2 (CL2) , XT1, XT2			- 20	μ A
	I _{LIL3}		P50-P53(N-chオープン・ドレイン時)			- 3 ^{注2}	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				- 3	μ A
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V	P00-P03, P10, P11, P20-P26, P30-P33, P70-P72, P80 ^{注1} , P81 ^{注1} , P90-P97 ^{注1}	50	100	200	k Ω
マスク・オプション・プルアップ抵抗 ^{注3}	R ₂	V _I = 0 V	P50-P53	10	30	60	k Ω

注1 . $\mu\text{PD789425}$, 789426 , 789435 , 789436 , $78F9436$ のみ

2 . P50-P53にプルアップ抵抗を内蔵しない場合 (マスク・オプションで指定) で, P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ, ロウ・レベル入力リーク電流が $-30 \mu\text{A}$ (MAX.) 流れます。これ以外では $-3 \mu\text{A}$ (MAX.) です。

3 . マスクROM製品のみ

備考1 . 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

2 . () 内は, RC発振 (マスク・オプション) の場合

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (マスクROM製品)	IDD1	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)		V _{DD} = 5.0 V ± 10 % ^{注2}		1.8	2.9	mA
				V _{DD} = 3.0 V ± 10 % ^{注3}		0.36	0.9	mA
				V _{DD} = 2.0 V ± 10 % ^{注3}		0.16	0.45	mA
	IDD2	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)		V _{DD} = 5.0 V ± 10 % ^{注2}		0.96	1.92	mA
				V _{DD} = 3.0 V ± 10 % ^{注3}		0.26	0.76	mA
				V _{DD} = 2.0 V ± 10 % ^{注3}		0.1	0.34	mA
	IDD3	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)		V _{DD} = 5.0 V ± 10 %		30	65	μA
				V _{DD} = 3.0 V ± 10 %		9	30	μA
				V _{DD} = 2.0 V ± 10 %		4	14.5	μA
	IDD4	32.768 kHz 水晶発振 HALTモード ^{注4}	LCD 非 動 作時	V _{DD} = 5.0 V ± 10 %		25	55	μA
				V _{DD} = 3.0 V ± 10 %		7	25	μA
				V _{DD} = 2.0 V ± 10 %		4	12.5	μA
			LCD 動 作 時 ^{注5}	V _{DD} = 5.0 V ± 10 %		28	64	μA
				V _{DD} = 3.0 V ± 10 %		9.6	32.8	μA
				V _{DD} = 2.0 V ± 10 %		6	18.5	μA
	IDD5	STOPモード ^{注6}		V _{DD} = 5.0 V ± 10 %		0.1	10	μA
				V _{DD} = 3.0 V ± 10 %		0.05	5	μA
				V _{DD} = 2.0 V ± 10 %		0.05	3	μA
	IDD6	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)		V _{DD} = 5.0 V ± 10 % ^{注2}		2.7	4.7	mA
				V _{DD} = 3.0 V ± 10 % ^{注3}		0.9	1.9	mA
				V _{DD} = 2.0 V ± 10 % ^{注3}		0.6	1.25	mA
IDD7	4.0 MHz RC発振動作モード (R = 4.7 kΩ, C = 22 pF)		V _{DD} = 5.0 V ± 10 %		1.65	3.0	mA	
			V _{DD} = 3.0 V ± 10 %		0.65	1.44	mA	
			V _{DD} = 2.0 V ± 10 %		0.38	1.05	mA	
IDD8	4.0 MHz RC発振HALTモード (R = 4.7 kΩ, C = 22 pF)		V _{DD} = 5.0 V ± 10 %		1.1	2.29	mA	
			V _{DD} = 3.0 V ± 10 %		0.6	1.28	mA	
			V _{DD} = 2.0 V ± 10 %		0.35	0.82	mA	
IDD9	4.0 MHz RC発振A/D動作モード ^{注7} (R = 4.7 kΩ, C = 22 pF)		V _{DD} = 5.0 V ± 10 %		2.4	4.8	mA	
			V _{DD} = 3.0 V ± 10 %		1.1	2.44	mA	
			V _{DD} = 2.0 V ± 10 %		0.71	1.85	mA	

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)

3. 低速モード動作時 (PCCを02Hに設定したとき)

4. メイン・システム・クロック停止時

5. LCDコントローラ/ドライバ動作時の電流です (LCDON0 = 1, VAON0 = 1, LIPS0 = 1)。

LCD非動作時 (LCDON0 = 1, VAON0 = 1, LIPS0 = 0) の電源電流はIDD2 (HALTモード) に含まれます。

6. LCD昇圧回路停止時 (LCDON0 = 0, VAON0 = 0のとき)

7. VDD, AVDDに流れるトータル電流です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (μ PD78F9436, 78F9456)	I _{DD1}	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注2}		4.5	9	mA	
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}		1	2	mA	
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注3}		0.65	1.5	mA	
	I _{DD2}	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注2}		1.4	2	mA	
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}		0.4	0.8	mA	
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注3}		0.19	0.42	mA	
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 k Ω)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		100	230	$\mu \text{ A}$	
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$		70	160	$\mu \text{ A}$	
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$		58	120	$\mu \text{ A}$	
	I _{DD4}	32.768 kHz 水晶発振 HALTモード ^{注4}	LCD 非 動 作時	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		25	65	$\mu \text{ A}$
				$V_{DD} = 3.0 \text{ V} \pm 10 \%$		7	29	$\mu \text{ A}$
				$V_{DD} = 2.0 \text{ V} \pm 10 \%$		4	20	$\mu \text{ A}$
			LCD 動作 時 ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		28	70	$\mu \text{ A}$
				$V_{DD} = 3.0 \text{ V} \pm 10 \%$		9.6	34	$\mu \text{ A}$
				$V_{DD} = 2.0 \text{ V} \pm 10 \%$		6	25	$\mu \text{ A}$
I _{DD5}	STOPモード ^{注6}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		0.1	17	$\mu \text{ A}$		
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$		0.05	5.5	$\mu \text{ A}$		
		$V_{DD} = 2.0 \text{ V} \pm 10 \%$		0.05	3.5	$\mu \text{ A}$		
I _{DD6}	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注2}		5.2	10.8	mA		
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}		1.4	3.8	mA		
		$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注3}		1.0	2.9	mA		

注1. ポート電流 (内蔵プリアップ抵抗に流れる電流も含む) は含みません。

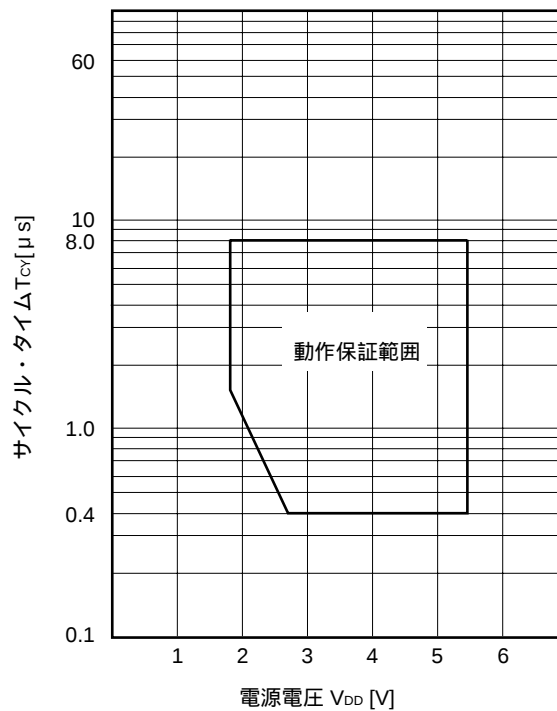
2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
3. 低速モード動作時 (PCCを02Hに設定したとき)
4. メイン・システム・クロック停止時
5. LCDコントローラ / ドライバ動作時の電流です (LCDON0 = 1, VAON0 = 1, LIPS0 = 1)。
LCD非動作時 (LCDON0 = 1, VAON0 = 1, LIPS0 = 0) の電源電流はI_{DD2} (HALTモード) に含まれます。
6. LCD昇圧回路停止時 (LCDON0 = 0, VAON0 = 0のとき)
7. V_{DD} , AV_{DD} に流れるトータル電流です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロック $V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8.0	μs
		動作 $V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8.0	μs
		サブシステム・クロック動作	114	122	125	μs
キャプチャ入力 ハイ, ロウ・レベル幅	t_{CPTH} , t_{CPTL}	CPT90	10			μs
TMI60入力周波数	f_{TMI}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
TMI60入力 ハイ, ロウ・レベル幅	t_{TIMH} , t_{TIML}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP3	10			μs
キー・リターン入力 ロウ・レベル幅	t_{KRL}	KR0-KR3	10			μs
RESET ロウ・レベル幅	t_{RSL}		10			μs

 T_{CY} vs V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース20 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

(a) 3線式シリアル/Oモード (内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5$ V	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5$ V	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20 $\uparrow$)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5$ V	150			ns
		$V_{DD} = 1.8 \sim 5.5$ V	500			ns
SI20ホールド時間 (対SCK20 $\uparrow$)	t_{SI1}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20 $\downarrow$ → SO20出力遅延時間	t_{SO1}	$R = 1$ k Ω , $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	250	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5$ V	1600			ns
SI20セットアップ時間 (対SCK20 $\uparrow$)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5$ V	100			ns
		$V_{DD} = 1.8 \sim 5.5$ V	150			ns
SI20ホールド時間 (対SCK20 $\uparrow$)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20 $\downarrow$ → SO20出力遅延時間	t_{KSO2}	$R = 1$ k Ω , $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	300	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20 $\downarrow$)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5$ V			120	ns
		$V_{DD} = 1.8 \sim 5.5$ V			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20 $\uparrow$)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5$ V			240	ns
		$V_{DD} = 1.8 \sim 5.5$ V			800	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

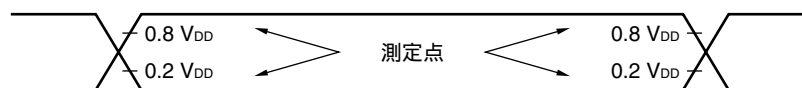
(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5$ V			78125	bps
		$V_{DD} = 1.8 \sim 5.5$ V			19531	bps

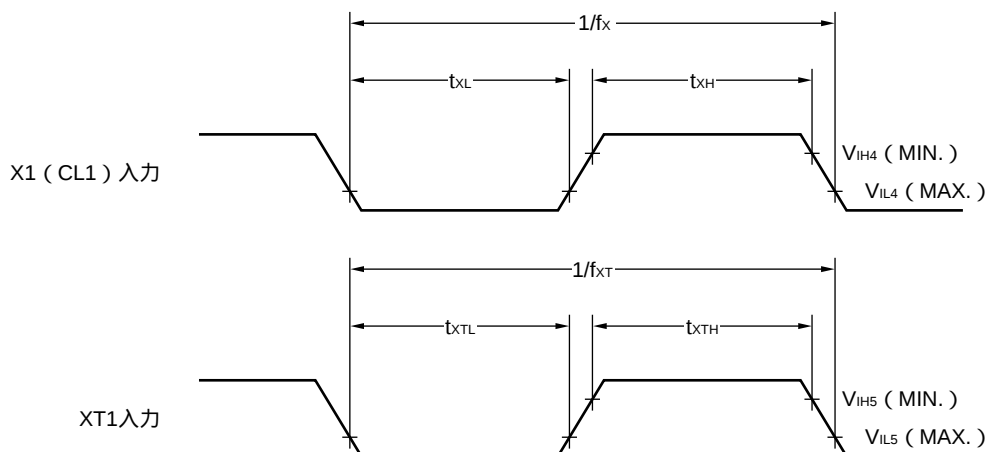
(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	800			ns
		V _{DD} = 1.8 ~ 5.5 V	3200			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7 ~ 5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	ns
		V _{DD} = 1.8 ~ 5.5 V			9766	ns
ASCK20立ち上がり時間, 立ち下がり時間	t _R , t _F				1	μs

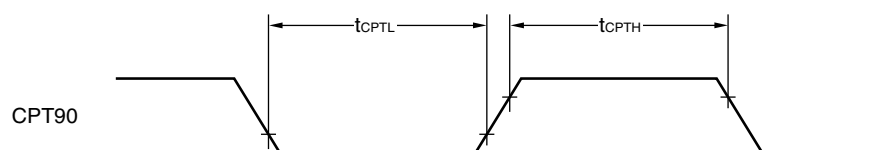
ACタイミング測定点 (X1 (CL1) , XT1入力を除く)



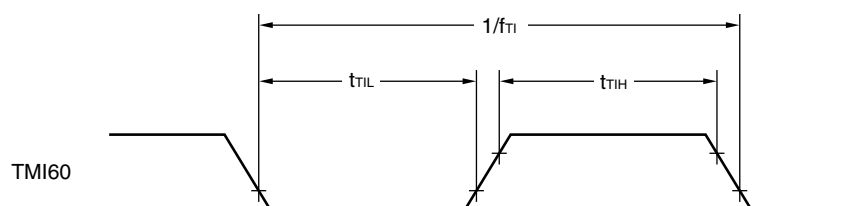
クロック・タイミング



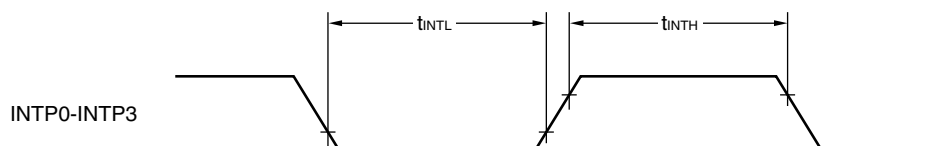
キャプチャ入力のタイミング



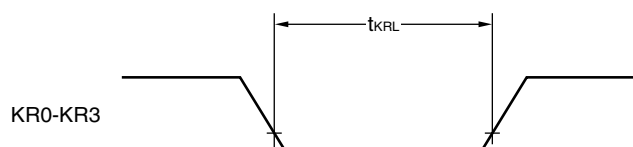
TMIタイミング



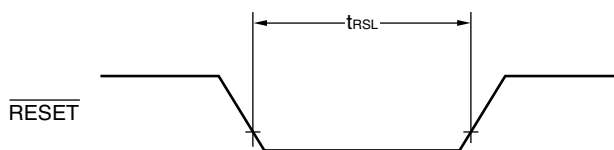
割り込み入力タイミング



キー・リターン入力タイミング

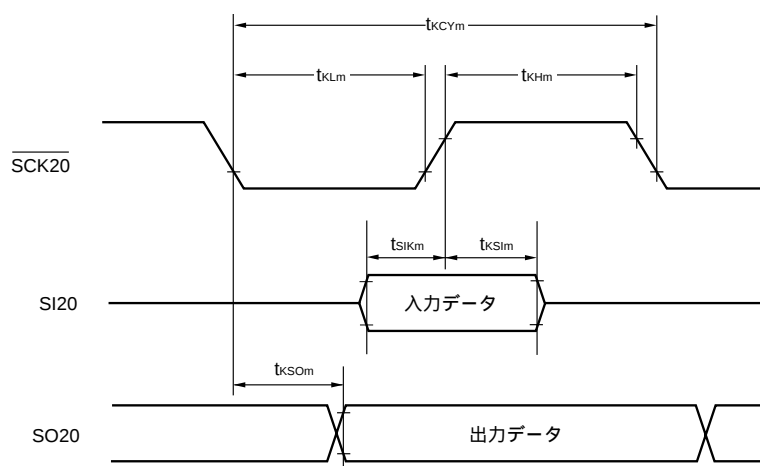


RESET入力タイミング

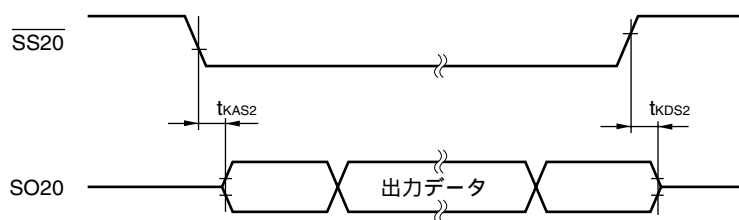


シリアル転送タイミング

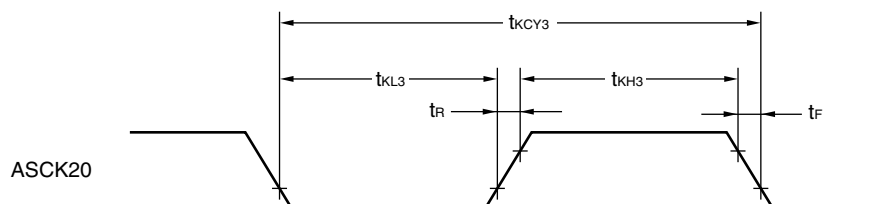
3線式シリアルI/Oモード：

備考 $m = 1, 2$

3線式シリアルI/Oモード（SS20使用時）：



UARTモード（外部クロック入力）：



8ビットA/Dコンバータ特性 (μ PD789425, 789426, 789445, 789446)(T_A = -40 ~ +85 , 1.8 V AV_{DD} = V_{DD} 5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^注		AV _{DD} = 2.7 ~ 5.5 V			± 0.6	%FSR
					± 1.2	%FSR
変換時間	t _{CONV}	AV _{DD} = 2.7 ~ 5.5 V	14		100	μs
			28		100	μs
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注 量子化誤差 (±0.2 %) を含みません。

備考 FSR : フルスケール・レンジ

10ビットA/Dコンバータ特性 (μ PD789435, 789436, 789455, 789456, 78F9436, 78F9456)(T_A = -40 ~ +85 , 1.8 V AV_{DD} = V_{DD} 5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注		4.5 V AV _{DD} 5.5 V		± 0.2	± 0.4	%FSR
		2.7 V AV _{DD} < 4.5 V		± 0.4	± 0.6	%FSR
		1.8 V AV _{DD} < 2.7 V		± 0.8	± 1.2	%FSR
変換時間	t _{CONV}	4.5 V AV _{DD} 5.5 V	14		100	μs
		2.7 V AV _{DD} < 4.5 V	19		100	μs
		1.8 V AV _{DD} < 2.7 V	28		100	μs
ゼロ・スケール誤差 ^注	AINL	4.5 V AV _{DD} 5.5 V			± 0.4	%FSR
		2.7 V AV _{DD} < 4.5 V			± 0.6	%FSR
		1.8 V AV _{DD} < 2.7 V			± 1.2	%FSR
フル・スケール誤差 ^注	AINL	4.5 V AV _{DD} 5.5 V			± 0.4	%FSR
		2.7 V AV _{DD} < 4.5 V			± 0.6	%FSR
		1.8 V AV _{DD} < 2.7 V			± 1.2	%FSR
非積分直線性 ^注	INL	4.5 V AV _{DD} 5.5 V			± 2.5	LSB
		2.7 V AV _{DD} < 4.5 V			± 4.5	LSB
		1.8 V AV _{DD} < 2.7 V			± 8.5	LSB
非微分直線性 ^注	DNL	4.5 V AV _{DD} 5.5 V			± 1.5	LSB
		2.7 V AV _{DD} < 4.5 V			± 2.0	LSB
		1.8 V AV _{DD} < 2.7 V			± 3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注 量子化誤差 (±0.05 %) を含みません。

備考 FSR : フルスケール・レンジ

LCD特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
LCD出力電圧可変範囲	V_{LCD2}	$C1-C4^{注1} = 0.47 \mu F$ GAIN = 1	0.84	1.0	1.165	V
		GAIN = 0	1.26	1.5	1.74	V
ダブル出力	V_{LCD1}	$C1-C4^{注1} = 0.47 \mu F$	$2 V_{LCD2} - 0.1$	$2.0 V_{LCD2}$	$2.0 V_{LCD2}$	V
トリプル出力	V_{LCD0}	$C1-C4^{注1} = 0.47 \mu F$	$3 V_{LCD2} - 0.15$	$3.0 V_{LCD2}$	$3.0 V_{LCD2}$	V
昇圧ウエイト時間 ^{注2}	t_{VWAIT}	GAIN = 0	0.5			s
		GAIN = 1	5.0 $V_{DD} \leq 5.5$ V	2.0		s
			4.5 $V_{DD} < 5.0$ V	1.0		s
			1.8 $V_{DD} < 4.5$ V	0.5		s
LCD出力電圧偏差 ^{注3} (コモン)	V_{ODC}	$I_O = \pm 5 \mu A$	0		± 0.2	V
LCD出力電圧偏差 ^{注3} (セグメント)	V_{ODC}	$I_O = \pm 1 \mu A$	0		± 0.2	V

注1．LCD駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサ

C2： V_{LC0} - V_{SS} 間に接続するコンデンサ

C3： V_{LC1} - V_{SS} 間に接続するコンデンサ

C4： V_{LC2} - V_{SS} 間に接続するコンデンサ

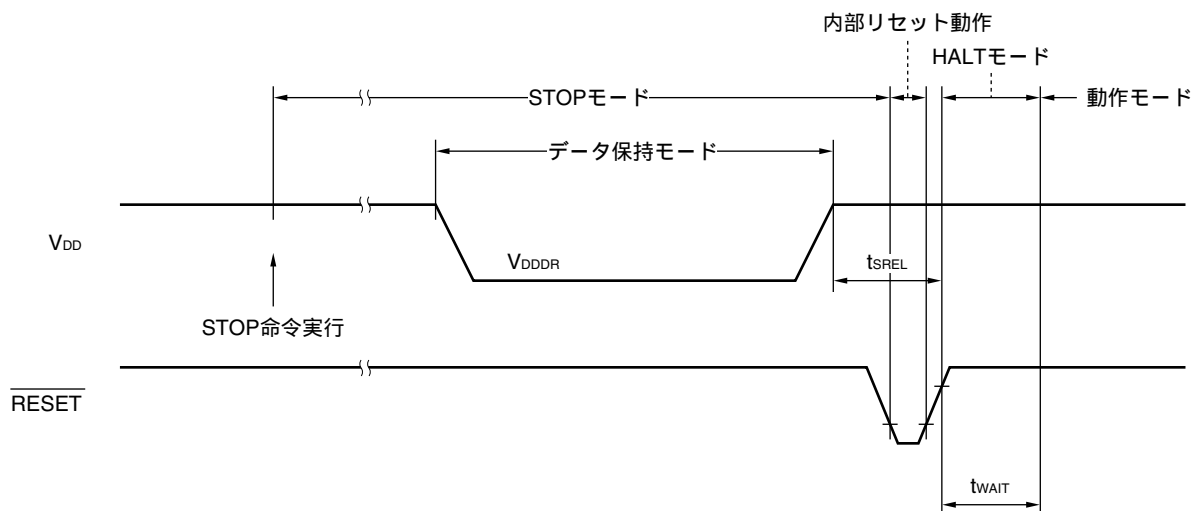
2．昇圧を開始 ($VAON0 = 1$) してから、表示が可能 ($LCDON0 = 0$) となるまでの間のウエイト時間です。

3．電圧偏差とは、セグメント、コモン信号出力の理想値に対する出力電圧との差です。

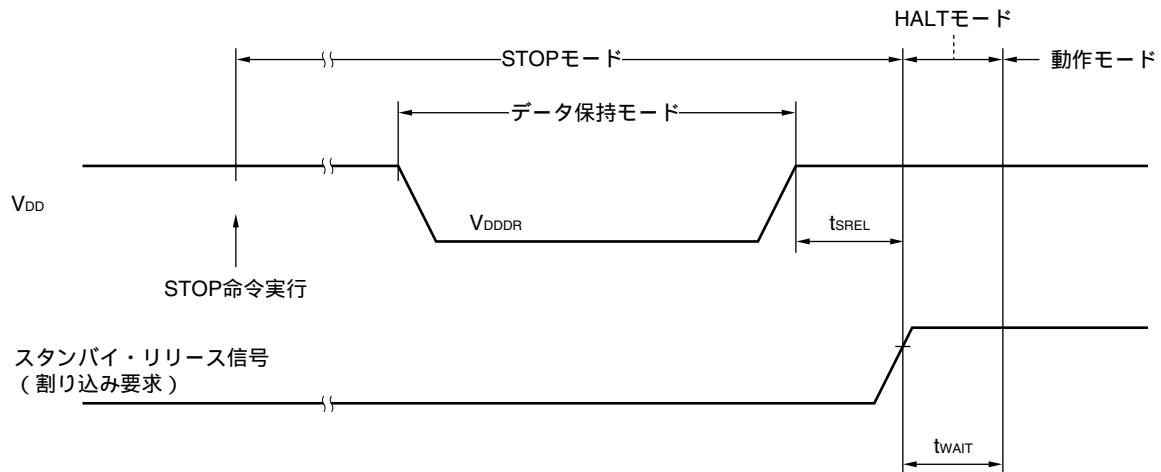
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

発振安定ウエイト時間 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除	クリスタル/ セラミック発振		$2^{15}/f_x$		s
			RC発振		$2^7/f_{CC}$		s
		割り込みによる解除	クリスタル/ セラミック発振		注2		s
			RC発振		$2^7/f_{CC}$		s

注1. 発振安定ウエイト時間内に発振安定する発振子または振動子を使用してください。

- 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考1. f_x : メイン・システム・クロック発振周波数 (クリスタル/セラミック発振)

- f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

フラッシュ・メモリ書き込み／消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 1.8 \sim 5.5$ V)

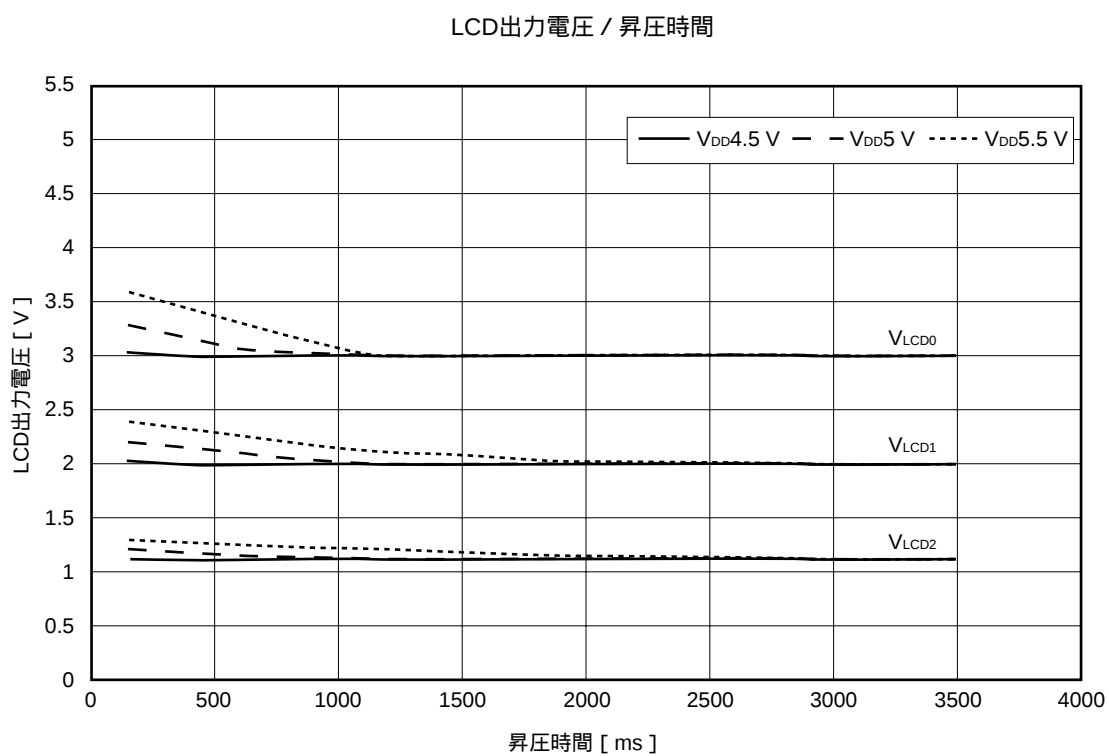
項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
動作周波数	f_X	$V_{DD} = 2.7 \sim 5.5$ V		1.0		5	MHz
		$V_{DD} = 1.8 \sim 5.5$ V		1.0		1.25	MHz
書き込み電流 ^注 (V_{DD} 端子)	I_{DDW}	V_{PP} 電源電圧= V_{PP1} 時	$f_X = 5.0$ MHz動作時			7	mA
書き込み電流 ^注 (V_{PP} 端子)	I_{PPW}	V_{PP} 電源電圧= V_{PP1} 時				12	mA
消去電流 ^注 (V_{DD} 端子)	I_{DDE}	V_{PP} 電源電圧= V_{PP1} 時	$f_X = 5.0$ MHz動作時			7	mA
消去電流 ^注 (V_{PP} 端子)	I_{PPE}	V_{PP} 電源電圧= V_{PP1} 時				100	mA
単位消去時間	t_{er}			0.5	1	1	s
Total消去時間	t_{era}					20	s
書き込み回数		消去／書き込みを1サイクルとする				20	回
V_{PP} 電源電圧	V_{PP0}	通常動作時		0		$0.2 V_{DD}$	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時		9.7	10.0	10.3	V

注 ポート電流（内蔵プルアップ抵抗に流れる電流を含む）は含みません。

★ 第21章 LCDコントローラ / ドライバ特性曲線 (参考値)

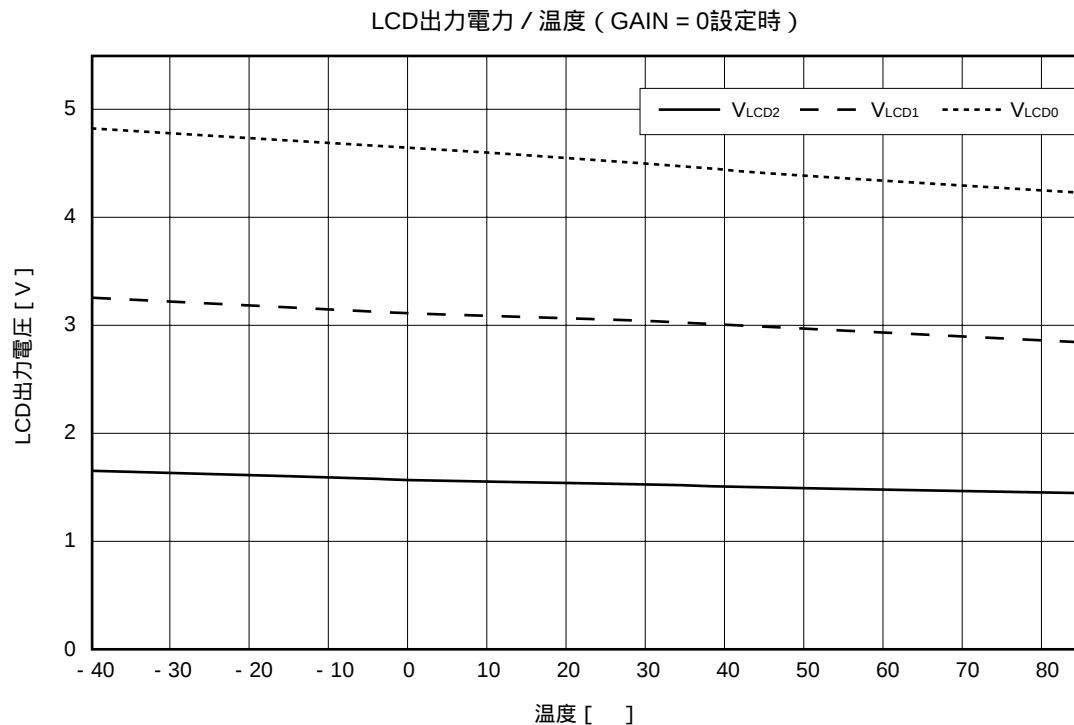
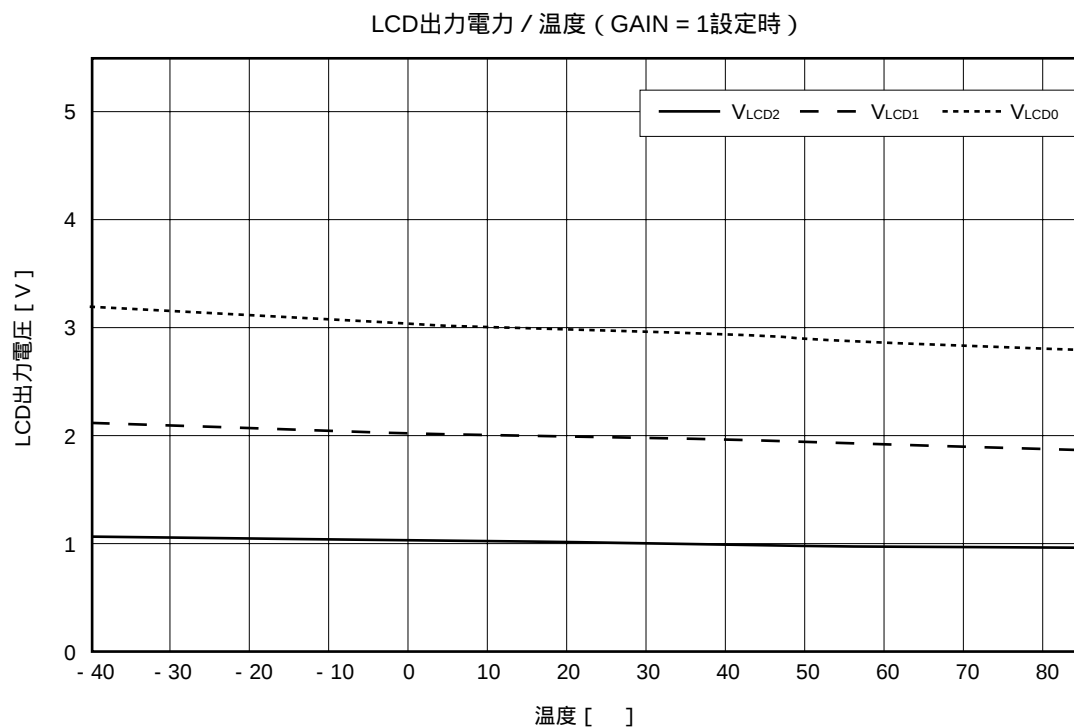
(1) 昇圧電圧安定時間の特性曲線

昇圧スタート (VAON0 = 1) からの時間とLCD出力電圧の変化についての特性曲線を次に示します (GAIN = 1 (3 V表示パネル使用) 設定時)。



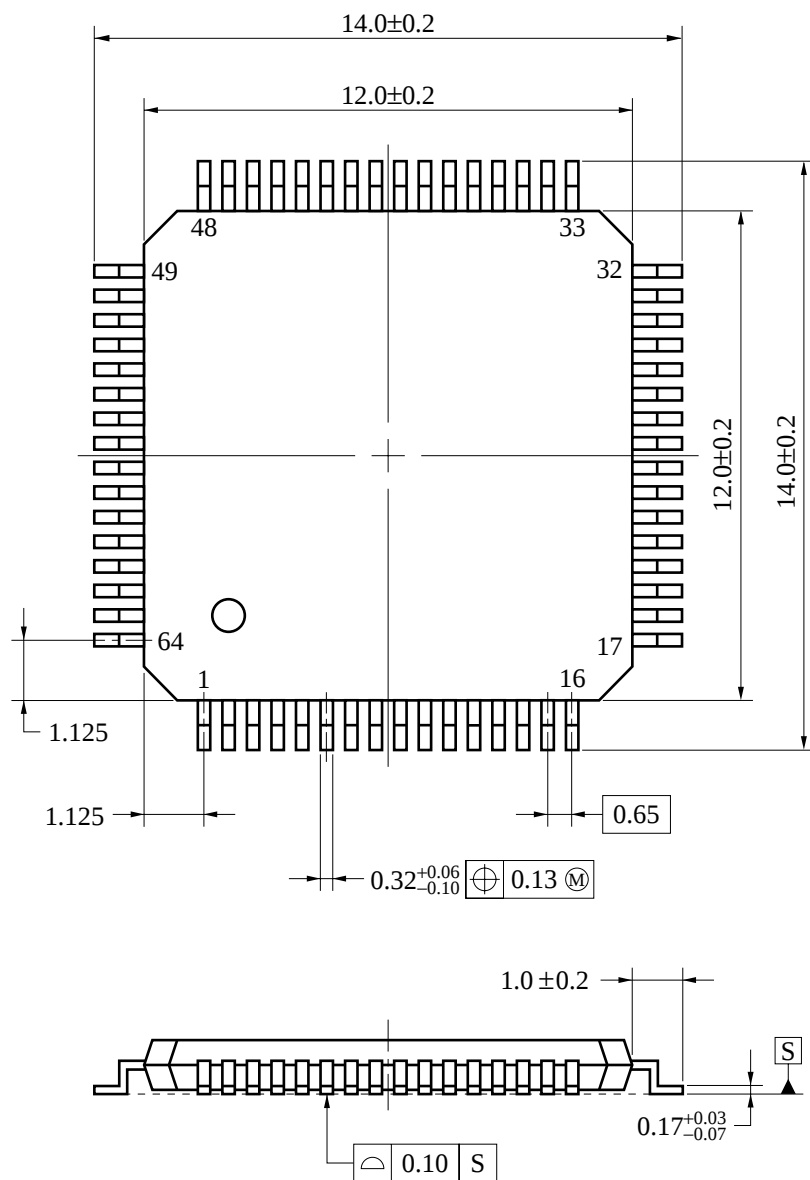
(2) LCD出力電圧の温度特性

LCD出力電圧の温度特性曲線を次に示します。

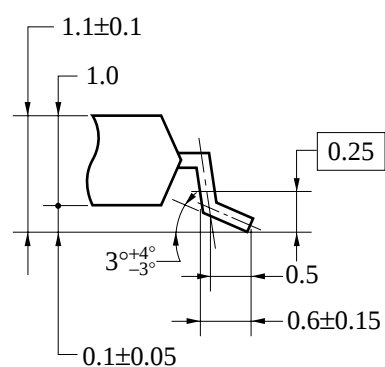


第22章 外形図

64ピン・プラスチック TQFP (12x12) 外形図 (単位: mm)



端子先端形状詳細図



P64GK-65-9ET-3

第23章 半田付け推奨条件

μPD789426, 789436, 789446, 789456サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表23 - 1 表面実装タイプの半田付け条件 (1/3)

(1) μPD789425GK- × × × -9ET : 64ピン・プラスチックTQFP (12x12)

μPD789426GK- × × × -9ET : //

μPD789435GK- × × × -9ET : //

μPD789436GK- × × × -9ET : //

μPD789445GK- × × × -9ET : //

μPD789446GK- × × × -9ET : //

μPD789455GK- × × × -9ET : //

μPD789456GK- × × × -9ET : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要）	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

表23 - 1 表面実装タイプの半田付け条件 (2/3)

(2) μ PD789425GB- $\times \times \times$ -8EU : 64ピン・プラスチックLQFP (10x10) μ PD789426GB- $\times \times \times$ -8EU : " μ PD789435GB- $\times \times \times$ -8EU : " μ PD789436GB- $\times \times \times$ -8EU : " μ PD789445GB- $\times \times \times$ -8EU : " μ PD789446GB- $\times \times \times$ -8EU : " μ PD789455GB- $\times \times \times$ -8EU : " μ PD789456GB- $\times \times \times$ -8EU : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内	VP15-00-2
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。(3) μ PD78F9436GK-9ET : 64ピン・プラスチックTQFP (12x12) μ PD78F9456GK-9ET : " μ PD78F9436GB-8EU : 64ピン・プラスチックLQFP (10x10) μ PD78F9456GB-8EU : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 [※] （以降は125℃プリベーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 [※] （以降は125℃プリベーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。**注意** 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表23 - 1 表面実装タイプの半田付け条件 (3/3)

(4) μ PD789425GK- $\times \times \times$ -9ET-A : 64ピン・プラスチックTQFP (12x12) μ PD789426GK- $\times \times \times$ -9ET-A : " μ PD789435GK- $\times \times \times$ -9ET-A : " μ PD789436GK- $\times \times \times$ -9ET-A : " μ PD789445GK- $\times \times \times$ -9ET-A : " μ PD789446GK- $\times \times \times$ -9ET-A : " μ PD789455GK- $\times \times \times$ -9ET-A : " μ PD789456GK- $\times \times \times$ -9ET-A : " μ PD789425GB- $\times \times \times$ -8EU-A : 64ピン・プラスチックLQFP (10x10) μ PD789426GB- $\times \times \times$ -8EU-A : " μ PD789435GB- $\times \times \times$ -8EU-A : " μ PD789436GB- $\times \times \times$ -8EU-A : " μ PD789445GB- $\times \times \times$ -8EU-A : " μ PD789446GB- $\times \times \times$ -8EU-A : " μ PD789455GB- $\times \times \times$ -8EU-A : " μ PD789456GB- $\times \times \times$ -8EU-A : " μ PD78F9436GK-9ET-A : 64ピン・プラスチックTQFP (12x12) μ PD78F9456GK-9ET-A : " μ PD78F9436GB-8EU-A : 64ピン・プラスチックLQFP (10x10) μ PD78F9456GB-8EU-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウェーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μ PD789426, 789436, 789446, 789456サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

- PC98-NXシリーズへの対応について

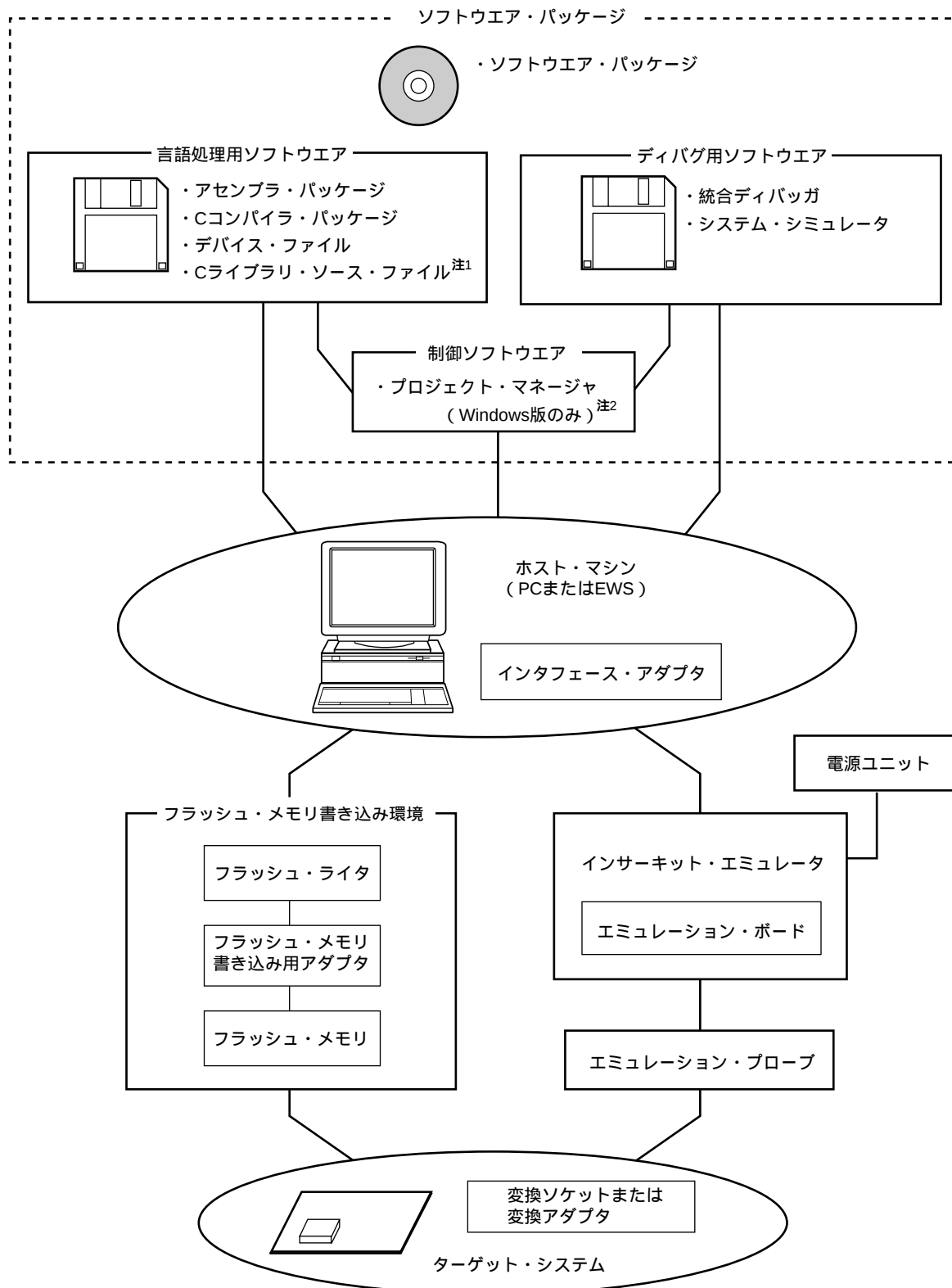
特に断りのないかぎり，IBM PC/ATTM互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

- Windowsについて

特に断りのないかぎり，「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, 98, 2000
- ・ Windows NTTMVersion 4.0

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

- プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A. 1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789456) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789456) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789456 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789456
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789456は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789456

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。Windows以外の環境では使用できません。
--------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-64GK-9ET FA-64GB-8EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-64GK-9ET : 64ピン・プラスチックTQFP (GK-9ETタイプ) 用 FA-64GB-8EU : 64ピン・プラスチックLQFP (GB-8EUタイプ) 用

備考 FL-PR3, FL-PR4, FA-64GK-9ET, FA-64GB-8EUは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール（ハードウェア）

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合ディバガ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100～240 Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル（PCMCIAソケット対応）
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789456-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-64GK NP-H64GK-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 TGK-064SBWと組み合わせて使用します。
TGK-064SBW 変換アダプタ	64ピン・プラスチックTQFP（GK-9ETタイプ）を実装できるように作られたターゲット・システムの基板と、NP-64GK/NP-H64GK-TQを接続するための変換アダプタです。
NP-64GB-TQ NP-H64GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 TGB-064SDPと組み合わせて使用します。
TGB-064SDP 変換アダプタ	64ピン・プラスチックLQFP（GK-8EUタイプ）を実装できるように作られたターゲット・システムの基板と、NP-64GB-TQ/NP-H64GB-TQを接続するための変換アダプタです。

備考1. NP-64GK, NP-H64GK-TQ, NP-64GB-TQ, NP-H64GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGK-064SBW, TGB-064SDPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A. 6 デバッグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789456）と組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789456）と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
DF789456 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称：μS××××DF789456

注 DF789456は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

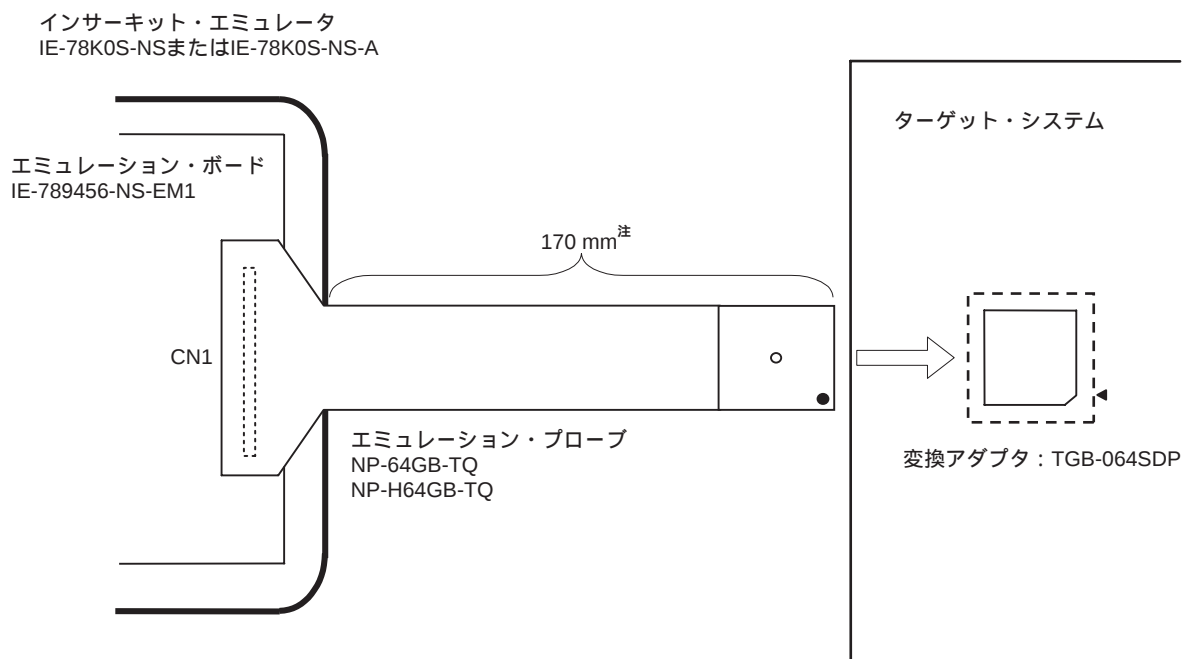
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

なお、この付録に記載されている製品名のうちNP-64GB-TQ, NP-H64GB-TQ, NP-64GK, NP-H64GK-TQは、株式会社内藤電誠町田製作所の製品です。また、TGB-064SDP, TGK-064SBWは、東京エレテック株式会社の製品です。

表B - 1 IEシステムから変換アダプタまでの距離

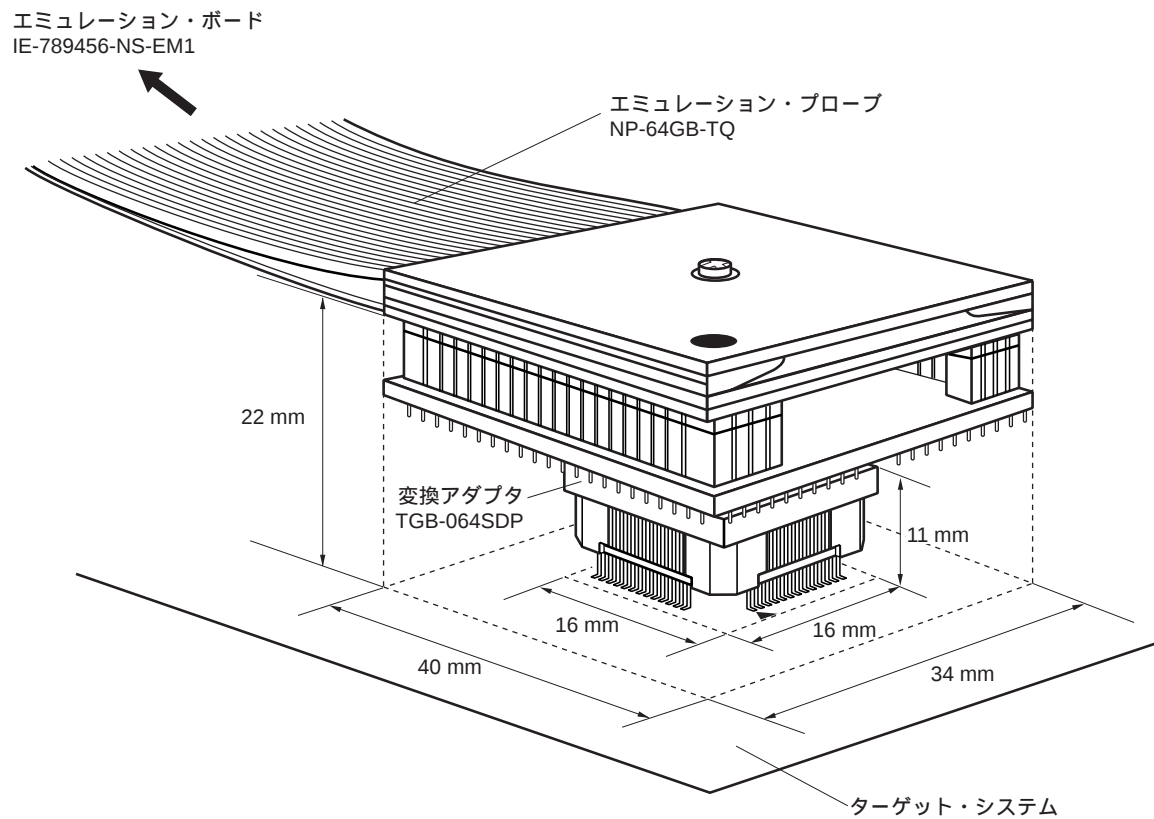
エミュレーション・プローブ	変換アダプタ	IEシステム～変換アダプタまでの距離
NP-64GB-TQ	TGB-064SDP	170 mm
NP-H64GB-TQ		370 mm
NP-64GK	TGK-064SBW	170 mm
NP-H64GK-TQ		370 mm

図B - 1 インサーキット・エミュレータから変換アダプタまでの距離（64GBの場合）

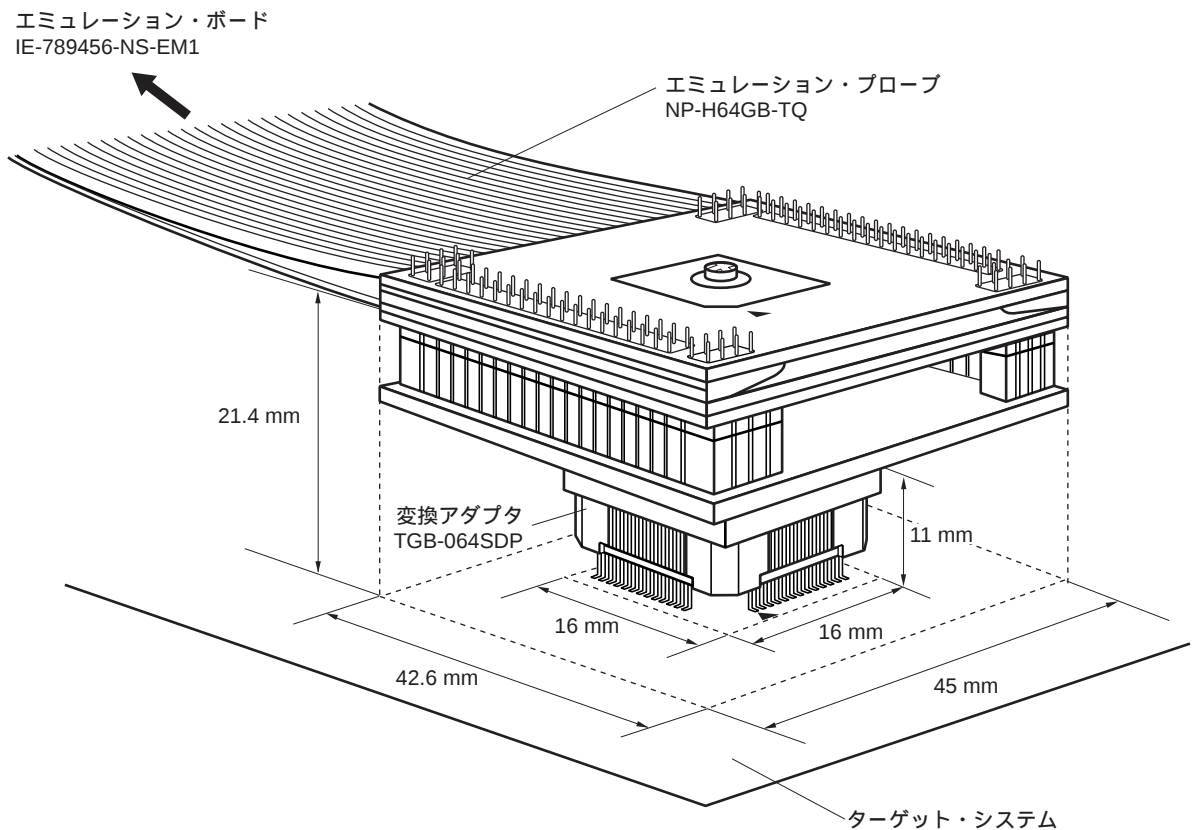


注 NP-64GB-TQの場合の距離です。NP-H64GB-TQの場合は、370 mmです。

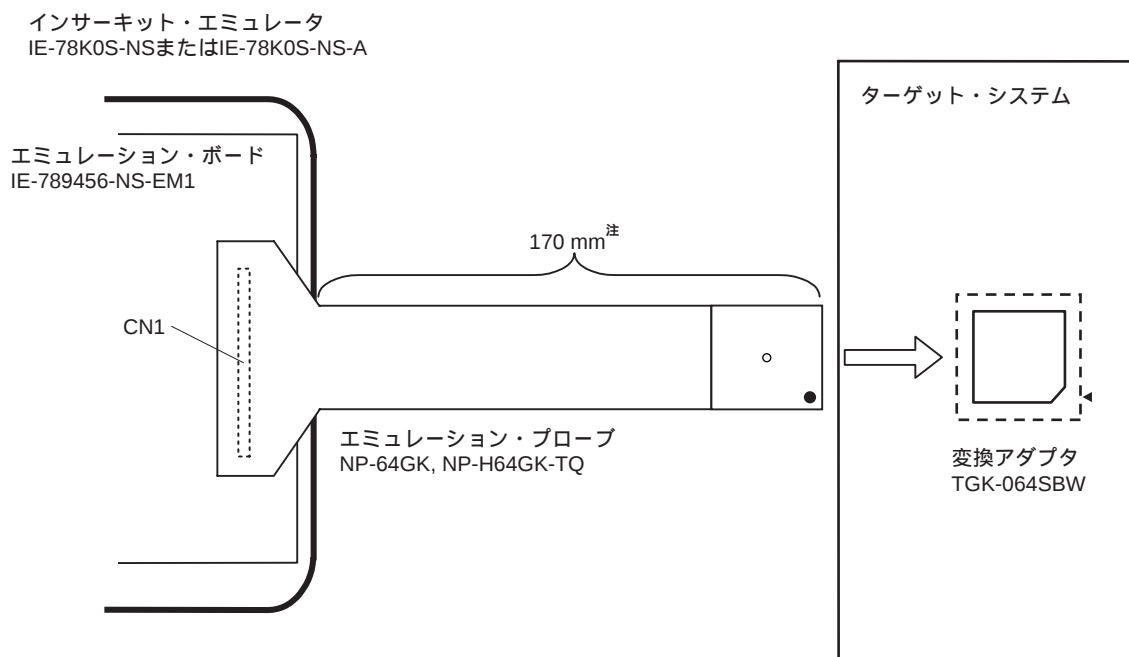
図B - 2 ターゲット・システムの接続条件 (NP-64GB-TQの場合)



図B - 3 ターゲット・システムの接続条件 (NP-H64GB-TQの場合)

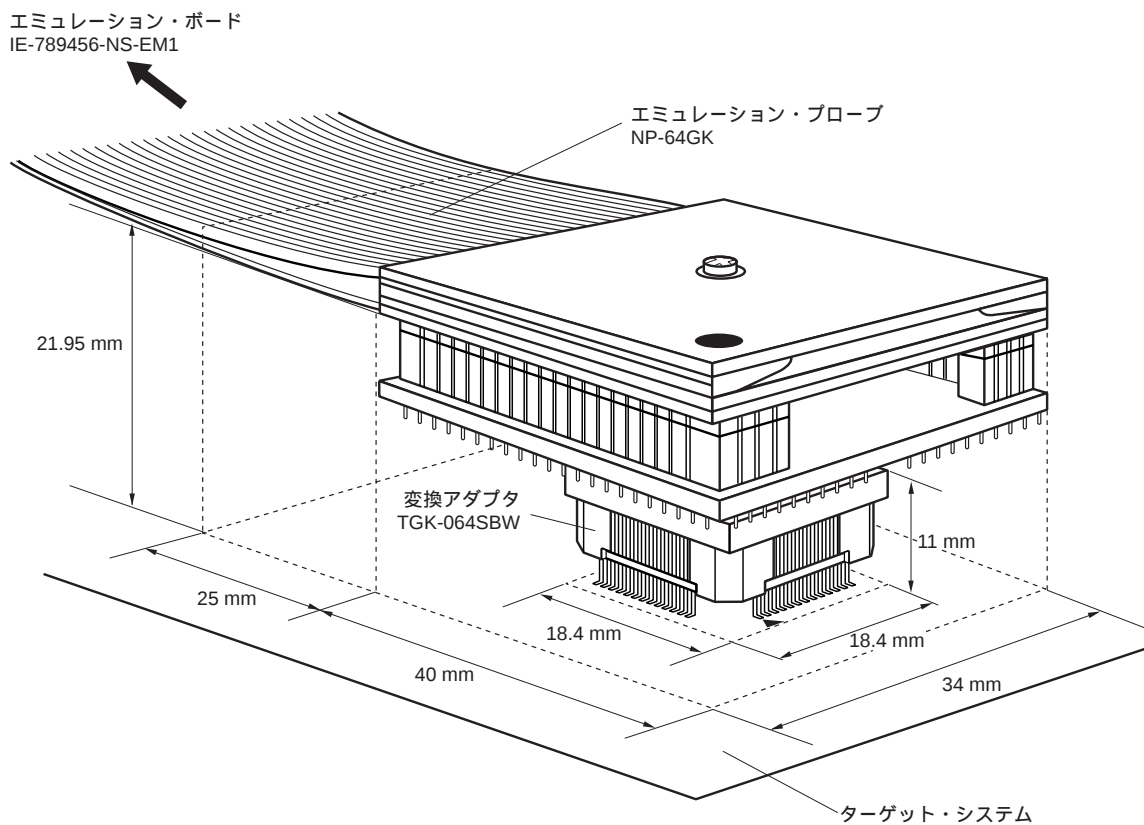


図B - 4 インサーキット・エミュレータから変換アダプタまでの距離（64GKの場合）

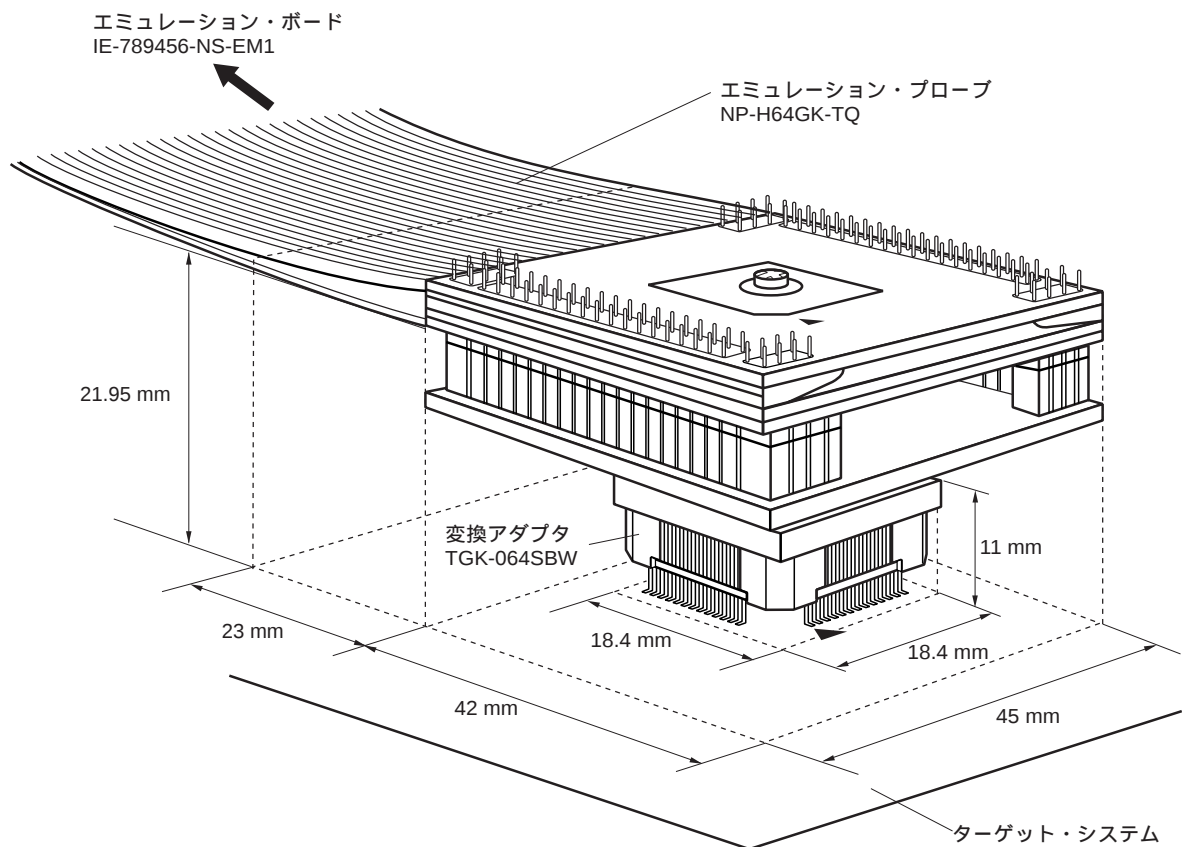


注 NP-64GKの場合の距離です。NP-H64GK-TQの場合は、370 mmです。

図B - 5 ターゲット・システムの接続条件（NP-64GKの場合）



図B - 6 ターゲット・システムの接続条件 (NP-H64GK-TQの場合)



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) ... 224, 233
アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) ... 222, 229, 232, 244
アナログ入力チャネル指定レジスタ0 (ADS0) ... 194, 207
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ... 186
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 187
A/Dコンバータ・モード・レジスタ0 (ADM0) ... 193, 206
A/D変換結果レジスタ0 (ADCR0) ... 191, 205
LCDクロック制御レジスタ0 (LCDC0) ... 257
LCD昇圧制御レジスタ0 (LCDVA0) ... 258
LCD表示モード・レジスタ0 (LCDM0) ... 255

【か行】

外部割り込みモード・レジスタ0 (INTM0) ... 275
外部割り込みモード・レジスタ1 (INTM1) ... 276
キー・リターン・モード・レジスタ00 (KRM00) ... 277
キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60) ... 149

【さ行】

サブクロック・コントロール・レジスタ (CSS) ... 109
サブ発振モード・レジスタ (SCKM) ... 108
16ビット・キャプチャ・レジスタ90 (TCP90) ... 123
16ビット・コンペア・レジスタ90 (CR90) ... 123
16ビット・タイマ・カウンタ90 (TM90) ... 123
16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) ... 124
受信バッファ・レジスタ20 (RXB20) ... 219
シリアル動作モード・レジスタ20 (CSIM20) ... 220, 228, 231, 243
送信シフト・レジスタ20 (TXS20) ... 219

【た行】

時計用タイマ・モード・コントロール・レジスタ (WTM) ... 181

【は行】

8ビット・コンペア・レジスタ50 (CR50) ... 142
8ビット・コンペア・レジスタ60 (CR60) ... 142
8ビット・コンペア・レジスタH60 (CRH60) ... 142

8ビット・タイマ・カウンタ50 (TM50) ...	143
8ビット・タイマ・カウンタ60 (TM60) ...	143
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	145
8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) ...	147
発振安定時間選択レジスタ (OSTS) ...	285
ブザー出力コントロール・レジスタ90 (BZC90) ...	126
ブルアップ抵抗オプション・レジスタ0 (PU0) ...	99
ブルアップ抵抗オプション・レジスタB2 (PUB2) ...	100
ブルアップ抵抗オプション・レジスタB3 (PUB3) ...	100
ブルアップ抵抗オプション・レジスタB7 (PUB7) ...	101
ブルアップ抵抗オプション・レジスタB8 (PUB8) ...	101
ブルアップ抵抗オプション・レジスタB9 (PUB9) ...	102
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	107
ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ...	225, 234, 245
ポート・モード・レジスタ0 (PM0) ...	97
ポート・モード・レジスタ1 (PM1) ...	97
ポート・モード・レジスタ2 (PM2) ...	97, 127
ポート・モード・レジスタ3 (PM3) ...	97, 127, 150
ポート・モード・レジスタ5 (PM5) ...	97
ポート・モード・レジスタ7 (PM7) ...	97
ポート・モード・レジスタ8 (PM8) ...	97
ポート・モード・レジスタ9 (PM9) ...	97
ポート0 (P0) ...	82
ポート1 (P1) ...	83
ポート2 (P2) ...	84
ポート3 (P3) ...	90
ポート5 (P5) ...	92
ポート6 (P6) ...	93
ポート7 (P7) ...	94
ポート8 (P8) ...	95
ポート9 (P9) ...	96

【わ行】

割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) ...	274
割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) ...	273

C.2 レジスタ索引 (アルファベット順)

[A]

- ASIM20 : アシクロナス・シリアル・インタフェース・モード・レジスタ20 ... 222, 229, 232, 244
 ASIS20 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 ... 224, 233
 ADCR0 : A/D変換結果レジスタ0 ... 191, 205
 ADM0 : A/Dコンバータ・モードレジスタ0 ... 193, 206
 ADS0 : アナログ入力チャネル指定レジスタ0 ... 194, 207

[B]

- BRGC20 : ボー・レート・ジェネレータ・コントロール・レジスタ20 ... 225, 234, 245
 BZC90 : ブザー出力コントロール・レジスタ90 ... 126

[C]

- CR50 : 8ビット・コンペア・レジスタ50 ... 142
 CR60 : 8ビット・コンペア・レジスタ60 ... 142
 CR90 : 16ビット・コンペア・レジスタ90 ... 123
 CRH60 : 8ビット・コンペア・レジスタH60 ... 142
 CSIM20 : シリアル動作モード・レジスタ20 ... 220, 228, 231, 243
 CSS : サブクロック・コントロール・レジスタ ... 109

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 273
 IF1 : 割り込み要求フラグ・レジスタ1 ... 273
 INTM0 : 外部割り込みモード・レジスタ0 ... 275
 INTM1 : 外部割り込みモード・レジスタ1 ... 276

[K]

- KRM00 : キー・リターン・モード・レジスタ00 ... 277

[L]

- LCDC0 : LCDクロック制御レジスタ0 ... 257
 LCDM0 : LCD表示モード・レジスタ0 ... 255
 LCDVA0 : LCD昇圧制御レジスタ0 ... 258

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 274
 MK1 : 割り込みマスク・フラグ・レジスタ1 ... 274

[O]

- OSTS : 発振安定時間選択レジスタ ... 285

[P]

P0	: ポート0 ...	82
P1	: ポート1 ...	83
P2	: ポート2 ...	84
P3	: ポート3 ...	90
P5	: ポート5 ...	92
P6	: ポート6 ...	93
P7	: ポート7 ...	94
P8	: ポート8 ...	95
P9	: ポート9 ...	96
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	107
PM0	: ポート・モード・レジスタ0 ...	97
PM1	: ポート・モード・レジスタ1 ...	97
PM2	: ポート・モード・レジスタ2 ...	97, 127
PM3	: ポート・モード・レジスタ3 ...	97, 127, 150
PM5	: ポート・モード・レジスタ5 ...	97
PM7	: ポート・モード・レジスタ7 ...	97
PM8	: ポート・モード・レジスタ8 ...	97
PM9	: ポート・モード・レジスタ9 ...	97
PU0	: プルアップ抵抗オプション・レジスタ0 ...	99
PUB2	: プルアップ抵抗オプション・レジスタB2 ...	100
PUB3	: プルアップ抵抗オプション・レジスタB3 ...	100
PUB7	: プルアップ抵抗オプション・レジスタB7 ...	101
PUB8	: プルアップ抵抗オプション・レジスタB8 ...	101
PUB9	: プルアップ抵抗オプション・レジスタB9 ...	102

[R]

RXB20	: 受信バッファ・レジスタ20 ...	219
-------	---------------------	-----

[S]

SCKM	: サブ発振モード・レジスタ ...	108
------	--------------------	-----

[T]

TCA60	: キャリア・ジェネレータ出力コントロール・レジスタ60 ...	149
TCP90	: 16ビット・キャプチャ・レジスタ90 ...	123
TM50	: 8ビット・タイマ・カウンタ50 ...	143
TM60	: 8ビット・タイマ・カウンタ60 ...	143
TM90	: 16ビット・タイマ・カウンタ90 ...	123
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ...	145
TMC60	: 8ビット・タイマ・モード・コントロール・レジスタ60 ...	147
TMC90	: 16ビット・タイマ・モード・コントロール・レジスタ90 ...	124
TXS20	: 送信シフト・レジスタ20 ...	219

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ...	186
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	187
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	181

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版 数	前版からの改版内容	適用箇所
第2版	・ RC発振に関する記述を全面追加	第1章 概 説
	・ 1. 3 オーダ情報に64ピン・プラスチックLQFP (10 × 10) を追加	
	2. 2. 16 CL1, CL2 (RC発振 (マスク・オプション) の場合のみ) を追加	第2章 端子機能
	・ RC発振に関する記述を全面追加	第5章 クロック発生回路
	・ 図5 - 3 サブ発振モード・レジスタのフォーマットに注を追加	
	・ 6. 4. 1 タイマ割り込みとしての動作の記述を修正	第6章 16ビット・タイマ90
	・ 図6 - 6 タイマ割り込み動作のタイミングを修正	
	・ 6. 4. 2 タイマ出力としての動作の記述を修正	
	・ 図6 - 8 タイマ出力のタイミングを修正	
	・ 6. 5. 2 16ビット・コンペア・レジスタ90を書き換える際の制限事項を追加	
	・ 図7 - 4 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマットを修正	第7章 8ビット・タイマ50, 60
	・ 図7 - 5 8ビット・タイマ・モード・コントロール・レジスタ60のフォーマットを修正	
	・ 図7 - 6 キャリア・ジェネレータ出力コントロール・レジスタ60のフォーマットに注意を追加	
	・ 表7 - 3 タイマ50のインターバル時間を修正	
	・ 表7 - 4 タイマ60のインターバル時間を修正	
	・ 表7 - 5 タイマ50の方形波出力範囲 ($f_x = 5.0$ MHz動作時) を修正	
	・ 表7 - 6 タイマ60の方形波出力範囲 ($f_x = 5.0$ MHz動作時) を修正	
	・ 表7 - 7 16ビット分解能でのインターバル時間 ($f_x = 5.0$ MHz動作時) を修正	
	・ 表7 - 8 16ビット分解能の方形波出力範囲 ($f_x = 5.0$ MHz動作時) を修正	
	12. 3 (4) に (C) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成を追加	第12章 シリアル・インタフェース20
	13. 8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給を追加	第13章 LCDコントローラ / ドライバ
	15. 1. 2 スタンバイ機能を制御するレジスタに注意を追加	第15章 スタンバイ機能
	章を全面改訂	第17章 μ PD78F9436, 78F9456
	RC発振に関する記述を追加	第18章 マスク・オプション
	章を追加	第20章 電気的特性 第21章 LCDコントローラ / ドライバ特性曲線 (参考値) 第22章 外形図 第23章 半田付け推奨条件
	付録を全面改訂	付録A 開発ツール
	付録を追加	付録B ターゲット・システム設計上の注意 付録D 改版履歴
	付録B 組み込み用ソフトウェアを削除	-

(2/2)

版 数	前版からの改版内容	適用箇所
第2版（修正版）	鉛フリー製品を追加	第1章 概 説
	表23 - 1 表面実装タイプの半田付け条件で，鉛フリー製品の半田付け条件を追加	第23章 半田付け推奨条件

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。