

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

**μPD780344, 780354, 780344Y,
780354Yサブシリーズ**

8ビット・シングルチップ・マイクロコンピュータ

μPD780343

μPD780343Y

μPD780344

μPD780344Y

μPD780353

μPD780353Y

μPD780354

μPD780354Y

μPD78F0354

μPD78F0354Y

μPD78F0354A

μPD78F0354AY

(X モ)

目次要約

第1章	概 説	…	31
第2章	端子機能	…	43
第3章	CPUアーキテクチャ	…	57
第4章	ポート機能	…	87
第5章	クロック発生回路	…	114
第6章	16ビット・タイマ／イベント・カウンタ0	…	128
第7章	8ビット・タイマA0, B0	…	157
第8章	8ビット・タイマ／イベント・カウンタ50, 51	…	190
第9章	時計用タイマ	…	207
第10章	ウォッチドッグ・タイマ	…	212
第11章	クロック出力制御回路	…	222
第12章	8ビットA/Dコンバータ (μPD780344, 780344Yサブシリーズ)	…	226
第13章	10ビットA/Dコンバータ (μPD780354, 780354Yサブシリーズ)	…	248
第14章	シリアル・インタフェースSIO3	…	271
第15章	シリアル・インタフェースCSI1	…	279
第16章	シリアル・インタフェースUART0	…	292
第17章	シリアル・インタフェースIIC0 (μPD780344Y, 780354Yサブシリーズのみ)	…	313
第18章	LCDコントローラ／ドライバ	…	371
第19章	割り込み機能	…	398
第20章	スタンバイ機能	…	419
第21章	リセット機能	…	428
第22章	ROMコレクション	…	432
第23章	μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY	…	443
第24章	命令セットの概要	…	458
第25章	電気的特性	…	473
第26章	LCDコントローラ／ドライバ特性曲線 (参考値)	…	491
第27章	外形図	…	493
第28章	半田付け推奨条件	…	495
付録A	開発ツール	…	498
付録B	ターゲット・システム設計上の注意	…	506
付録C	レジスタ索引	…	508
付録D	改版履歴	…	514

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非 該 当 品：μPD78F0354GC-8EU, 78F0354GC-8EU-A, 78F0354F1-DA3,
μPD78F0354AGC-8EU-A, 78F0354AF1-DA3,
μPD78F0354YGC-8EU, 78F0354YGC-8EU-A, 78F0354YF1-DA3,
μPD78F0354AYGC-8EU-A, 78F0354AYF1-DA3

ユーザ判定品：μPD780343GC-×××-8EU, 780343GC-×××-8EU-A, 780343F1-×××-DA3,
μPD780344GC-×××-8EU, 780344GC-×××-8EU-A, 780344F1-×××-DA3,
μPD780353GC-×××-8EU, 780353GC-×××-8EU-A, 780353F1-×××-DA3,
μPD780354GC-×××-8EU, 780354GC-×××-8EU-A, 780354F1-×××-DA3,
μPD780343YGC-×××-8EU, 780343YGC-×××-8EU-A, 780343YF1-×××-DA3,
μPD780344YGC-×××-8EU, 780344YGC-×××-8EU-A, 780344YF1-×××-DA3,
μPD780353YGC-×××-8EU, 780353YGC-×××-8EU-A, 780353YF1-×××-DA3,
μPD780354YGC-×××-8EU, 780354YGC-×××-8EU-A, 780354YF1-×××-DA3

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所 (1/3)

箇所	内 容
U15798JJ1V0UD00→U15798JJ2V0UD00	
全般	すべての対象製品が開発中→開発済み AV _{REF} 端子→AV _{DD} 端子 A/Dコンバータの動作可能電圧 AV _{REF} = 2.7~5.5 V → AV _{DD} = 2.2~5.5 V
p.34	1.4 端子接続図 (Top View) の113ピン・プラスチックFBGAパッケージの図を変更
p.53	表2-1 各端子の入出力回路タイプを変更
p.62	3.1.2. (1) 内部高速RAMと (2) 内部拡張RAMにプログラム領域についての説明文を追加
pp.68, 69	図3-10 スタック・メモリへ退避されるデータ, 図3-11 スタック・メモリから復帰されるデータを変更
p.81	3.4.4 ショート・ダイレクト・アドレッシングの【記述例】を変更
pp.84-86	3.4.7 ベースト・アドレッシング, 3.4.8 ベースト・インデクスト・アドレッシング, 3.4.9 スタック・アドレッシングに【図解】を追加
p.88	表4-1 ポートの機能のポート1とポート4の説明文を修正
p.92	図4-4 P10-P17のブロック図を変更
p.93	4.2.3 ポート2に注意を追加
p.108	図4-18 ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11) のフォーマットの注を変更
p.111	図4-21 兼用切り替えレジスタ (PF8-PF11) のフォーマットの設定内容を変更, 注意2を追加
p.124	5.5.1 メイン・システム・クロックの動作に説明文を追加
p.129	図6-1 16ビット・タイマ/イベント・カウンタ0のブロック図を変更
p.141	図6-11 PPG出力の構成図と図6-12 PPG出力動作のタイミングを追加
pp.153, 156	6.6 (4) キャプチャ・レジスタのデータ保持タイミングを変更, (13) STOPモードまたはメイン・システム・クロック停止モードの設定についてを追加
旧版のp.149	旧版の6.6 (7) 競合動作についての①を削除
p.166	図7-6 キャリア・ジェネレータ出力コントロール・レジスタB0のフォーマットを変更
p.180	表7-7 16ビット分解能の方形波出力範囲にTMIB0端子からの入力周波数を追加
p.192	8.3 (2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n : n = 0, 1) に説明文を追加
p.201	8.5.2 外部イベント・カウンタとしての動作に設定方法を追加
p.202	8.5.3 方形波としての動作の [設定方法] の説明文に, 周波数についての記述を追加
p.203	8.5.4 PWM出力としての動作の [設定方法] の記述を変更
p.210	図9-2 時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマットを修正
p.228	12.2 (3) サンプル&ホールド回路, (4) 電圧コンパレータの説明文を修正
pp.231, 232	図12-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットの注3の説明文を変更し, 表12-2 ADCS0とADCE0の設定と図12-3 昇圧基準電圧生成回路使用時のタイミング・チャートを追加
p.243	図12-12 アナログ入力端子の処理を変更
p.243	12.6 A/Dコンバータの注意事項に次の内容を追加 (6) ANI0-ANI7端子の入ラインピーダンスについて
p.246	(14) AV _{DD} 端子
p.246	旧版の図12-16 V _{DD1} 端子, AV _{REF} 端子とコンデンサの接続例をAV _{DD} 端子とコンデンサの接続例に変更
p.247	表12-3 等価回路の各抵抗と容量値 (参考値) を変更
p.250	13.2 (2) A/D変換結果レジスタ0 (ADCR0), (3) サンプル&ホールド回路, (4) 電圧コンパレータに説明文を追加, 修正
pp.253, 254	図13-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットの注3の説明文を変更し, 表13-2 ADCS0とADCE0の設定と図13-3 昇圧基準電圧生成回路使用時のタイミング・チャートを追加
p.266	図13-16 アナログ入力端子の処理を変更

本版で改訂された主な箇所 (2/3)

箇 所	内 容
p.266 p.269	13.6 A/Dコンバータの注意事項に次の内容を追加 (6) ANI0-ANI7端子の入力インピーダンスについて (14) AV _{DD} 端子
p.269	旧版の図13-20 V _{DD1} 端子, AV _{REF} 端子とコンデンサの接続例をAV _{DD} 端子とコンデンサの接続例に変更
p.270	表13-3 等価回路の各抵抗と容量値 (参考値) を変更
p.274	図14-2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマットのMODEフラグの説明文を変更
p.282	図15-3 シリアル・クロック選択レジスタ1 (CSIC1) のフォーマットの注意1を変更
旧版のp.287	旧版の15.4.2 (6) SCK1端子について, (7) SO1端子についてを削除
p.297	図16-3 アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマットの注意を変更
p.299	図16-5 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマットの備考にボー・レートの計算式を追加
p.311	16.4.2 (2) (d) 受信の説明文を変更
p.311	図16-9 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングの注意を変更
p.312	図16-10 受信エラー・タイミングの注意2を変更
p.316	17.2 (1) IICシフト・レジスタ0 (IIC0) , (2) スレーブ・アドレス・レジスタ0 (SVA0) と旧版の17.3 (5) IICシフト・レジスタ0 (IIC0) , (6) スレーブ・アドレス・レジスタ0 (SVA0) を一つにまとめる
pp.319, 323, 326	図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット, 図17-4 IIC状態レジスタ0 (IICS0) のフォーマット, 図17-5 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマットのアドレス値を修正
pp.333, 334	図17-14 ウェイト信号の「転送ライン」の図に説明文を追加
p.345	17.5.7 (3) (d) (ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外)) を修正
p.354	表17-2 INTIIC0発生タイミングおよびウェイト制御の注1, 2に説明文を追加
pp.365, 366	図17-21 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) の (1) スタート・コンディション→アドレス, (2) データを修正
pp.368-370	図17-22 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) を修正
p.373	図18-1 LCDコントローラ/ドライバのブロック図を修正
p.377	表18-4 フレーム周波数の注を変更
p.378	図18-6 LCDゲイン調整レジスタ0 (VLCG0) のフォーマットのGAINビットの説明文を変更
p.379	図18-7 スタティック/ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマットを変更
p.380	図18-8 兼用切り替えレジスタ (PF8-PF11) のフォーマットの設定内容を変更, 注意2を追加
pp.381, 382	旧版の18.4 LCDコントローラ/ドライバの設定と18.5 LCD表示用RAMの順番を入れ替え
旧版のp.381	旧版の表18-7 LCD駆動電圧を削除
pp.384-386	略号の統一 ・V _{LC0} 端子の出力電圧: V _{LC0} ・V _{LC1} 端子の出力電圧: V _{LC1} ・V _{LC2} 端子の出力電圧: V _{LC2}
p.386	表18-6 V _{LC0} -V _{LC2} 端子の出力電圧を変更
p.388	18.8.1 スタティック表示例に説明文を追加
p.389 p.392 p.395	LCDパネルの結線例を変更 ・図18-14 スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1) ・図18-17 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2) ・図18-20 4時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)
p.401	図19-1 割り込み機能の基本構成の (E) ソフトウェア割り込みを修正

本版で改訂された主な箇所 (3/3)

箇 所	内 容
p.406	図19－5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマットに注意を追加
p.408	19.4.1 ノンマスカブル割り込み要求の受け付け動作に説明文と備考を追加
p.411	19.4.2 マスカブル割り込み要求の受け付け動作に説明文を追加
p.415	表19－4 割り込み処理中に多重割り込み可能な割り込み要求に項目追加
pp.423, 424	20.2.1 (2) HALTモードの解除に注意と表20－3 サブクロック4通倍クロック使用時のHALTモードの解除条件とNOP命令設定の必要の有無 (μPD78F0354, 78F0354Yのみ) を追加
p.432	第22章 ROMコレクションの説明文にフラッシュ・メモリの記述を追加
p.445	図23－1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマットを修正
p.448	表23－3 通信方式一覧を変更
pp.449, 450	図23－5 専用フラッシュ・ライタとの接続例, 表23－4 端子接続一覧の専用フラッシュ・ライタの端子名または信号名を変更
p.454	フラッシュ書き込み用アダプタの配線例を修正
p.455	・ 図23－10 3線式シリアルI/O (SI03) でのフラッシュ書き込み用アダプタ配線例
p.456	・ 図23－11 3線式シリアルI/O (SI03) ハンドシェークありでのフラッシュ書き込み用アダプタ配線例
p.457	・ 図23－12 3線式シリアルI/O (CSI1) でのフラッシュ書き込み用アダプタ配線例
	・ 図23－13 UART (UART0) でのフラッシュ書き込み用アダプタ配線例
p.473	第25章 電気的特性を改訂
p.494	第27章 外形図に113ピン・プラスチックFBGAパッケージの図を追加
p.495	第28章 半田付け推奨条件を追加
p.502	A.5 デバッグ用ツール (ハードウェア) にエミュレーション・プローブの「NP-113F1-DA3」と変換ソケットの「LSPACK113A1110N01, CSSOCKET113A1110N01」を追加
p.506	付録B ターゲット・システム設計上の注意を追加
p.514	付録D 改版履歴を追加
U15798JJ2V0UD00→U15798JJ2V1UD00	
全般	μPD78F0354A, 78F0354AYを追加
p.32	1.3 オーダ情報を変更
p.495	第28章 半田付け推奨条件を変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

は じ め に

対 象 者 このマニュアルは、 μ PD780344, 780354, 780344Y, 780354Yサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。

- ・ μ PD780344サブシリーズ : μ PD780343, 780344
- ・ μ PD780354サブシリーズ : μ PD780353, 780354, 78F0354, 78F0354A
- ・ μ PD780344Yサブシリーズ : μ PD780343Y, 780344Y
- ・ μ PD780354Yサブシリーズ : μ PD780353Y, 780354Y, 78F0354Y, 78F0354AY

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD780344, 780354, 780344Y, 780354Yサブシリーズのマニュアルは、このマニュアルと命令編(78K/0シリーズ共通)の2冊に分かれています。

**μ PD780344, 780354, 780344Y, 780354Y
サブシリーズ ユーザーズ・マニュアル
(このマニュアル)**

**78K/0シリーズ
ユーザーズ・マニュアル
命令編**

- | | |
|-------------|--------|
| ●端子機能 | ●CPU機能 |
| ●内部ブロック機能 | ●命令セット |
| ●割り込み | ●命令の説明 |
| ●その他の内蔵周辺機能 | |
| ●電気的特性 | |

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

- ☐一通りの機能を理解しようとするとき
→目次に従って読んでください。
- ☐レジスタ・フォーマットの見方
→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。
- ☐レジスタ名が分かっていて、レジスタの詳細を確認するとき
→付録B レジスタ索引を利用してください。
- ☐78K/0シリーズの命令機能の詳細を知りたいとき
→別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。
- ☐ μ PD780344, 780354, 780344Y, 780354Yサブシリーズの電気的特性を知りたいとき
→第25章 電気的特性を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times\times\times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times B$ 10進数 $\cdots\times\times\times\times$ 16進数 $\cdots\times\times\times\times H$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

	資 料 名	資料番号	
		和 文	英 文
★	μPD780344, 780354, 780344Y, 780354Yサブシリーズ ユーザーズ・マニュアル	この資料	U15798E
	78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

	資 料 名		資料番号	
			和 文	英 文
	RA78K0 アセンブラ・パッケージ	操作編	U14445J	U14445E
		言語編	U14446J	U14446E
		構造化アセンブリ言語編	U11789J	U11789E
	CC78K0 Cコンパイラ	操作編	U14297J	U14297E
		言語編	U14298J	U14298E
★	SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編 (Windows®ベース)	U15373J	U15373E
★		外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
★	ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編 (Windowsベース)	U15185J	U15185E
★	ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	—
	RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
		インストール編	U11536J	U11536E
	プロジェクト・マネージャ Ver.3.12以上 (Windowsベース)		U14610J	U14610E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

	資 料 名	資料番号	
		和 文	英 文
	IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
	IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
	IE-780354-NS-EM1 エミュレーション・ボード	作成予定	作成予定

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
★ PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE-Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

★ 注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 31

- 1.1 特 徴 … 31
- 1.2 応用分野 … 32
- 1.3 オーダ情報 … 32
- 1.4 端子接続図 (Top View) … 33
- 1.5 78K/0シリーズの展開 … 36
- 1.6 ブロック図 … 39
- 1.7 機能概要 … 40
- 1.8 マスク・オプションについて … 42

第2章 端子機能 … 43

- 2.1 端子機能一覧 … 43
- 2.2 端子機能の説明 … 47
 - 2.2.1 P00-P07 (Port0) … 47
 - 2.2.2 P10-P17 (Port1) … 47
 - 2.2.3 P20-P27 (Port2) … 48
 - 2.2.4 P30-P35 (Port3) … 48
 - 2.2.5 P40-P43 (Port4) … 49
 - 2.2.6 P70-P73 (Port7) … 49
 - 2.2.7 P80-P87 (Port8) … 49
 - 2.2.8 P90-P97 (Port9) … 50
 - 2.2.9 P100-P107 (Port10) … 50
 - 2.2.10 P110-P113 (Port11) … 50
 - 2.2.11 AV_{DD} … 51
 - 2.2.12 AV_{SS} … 51
 - 2.2.13 S0-S39 … 51
 - 2.2.14 COM0-COM3 … 51
 - 2.2.15 SCOM0 … 51
 - 2.2.16 V_{LC0}-V_{LC2} … 51
 - 2.2.17 CAPH, CAPL … 51
 - 2.2.18 RESET … 51
 - 2.2.19 X1, X2 … 51
 - 2.2.20 XT1, XT2 … 52
 - 2.2.21 V_{DD0}, V_{DD1} … 52
 - 2.2.22 V_{SS0}, V_{SS1} … 52
 - 2.2.23 V_{PP} (フラッシュ・メモリ製品のみ) … 52
 - 2.2.24 IC (マスクROM製品のみ) … 52
- 2.3 端子の入出力回路と未使用端子の処理 … 53

第3章 CPUアーキテクチャ … 57

- 3.1 メモリ空間 … 57
 - 3.1.1 内部プログラム・メモリ空間 … 61
 - 3.1.2 内部データ・メモリ空間 … 62
 - 3.1.3 特殊機能レジスタ (SFR: Special Function Register) 領域 … 62
 - 3.1.4 データ・メモリ・アドレッシング … 63

3.2	プロセッサ・レジスタ	… 66
3.2.1	制御レジスタ	… 66
3.2.2	汎用レジスタ	… 69
3.2.3	特殊機能レジスタ (SFR : Special Function Register)	… 71
3.3	命令アドレスのアドレッシング	… 75
3.3.1	レラティブ・アドレッシング	… 75
3.3.2	イミディエイト・アドレッシング	… 76
3.3.3	テーブル・インダイレクト・アドレッシング	… 77
3.3.4	レジスタ・アドレッシング	… 77
3.4	オペランド・アドレスのアドレッシング	… 78
3.4.1	インプライド・アドレッシング	… 78
3.4.2	レジスタ・アドレッシング	… 79
3.4.3	ダイレクト・アドレッシング	… 80
3.4.4	ショート・ダイレクト・アドレッシング	… 81
3.4.5	特殊機能レジスタ (SFR) アドレッシング	… 82
3.4.6	レジスタ・インダイレクト・アドレッシング	… 83
3.4.7	ベースト・アドレッシング	… 84
3.4.8	ベースト・インデクスト・アドレッシング	… 85
3.4.9	スタック・アドレッシング	… 86

第4章 ポート機能 … 87

4.1	ポートの機能	… 87
4.2	ポートの構成	… 89
4.2.1	ポート0	… 89
4.2.2	ポート1	… 92
4.2.3	ポート2	… 93
4.2.4	ポート3	… 96
4.2.5	ポート4	… 100
4.2.6	ポート7	… 102
4.2.7	ポート8	… 103
4.2.8	ポート9	… 104
4.2.9	ポート10	… 105
4.2.10	ポート11	… 106
4.3	ポート機能を制御するレジスタ	… 107
4.4	ポート機能の動作	… 112
4.4.1	入出力ポートへの書き込み	… 112
4.4.2	入出力ポートからの読み出し	… 112
4.4.3	入出力ポートでの演算	… 112
4.5	マスク・オプションの選択	… 113

第5章 クロック発生回路 … 114

5.1	クロック発生回路の機能	… 114
5.2	クロック発生回路の構成	… 114
5.3	クロック発生回路を制御するレジスタ	… 116
5.4	システム・クロック発振回路	… 119
5.4.1	メイン・システム・クロック発振回路	… 119
5.4.2	サブシステム・クロック発振回路	… 120
5.4.3	発振子の接続の悪い例	… 121
5.4.4	分周回路	… 122
5.4.5	サブシステム・クロックを使用しない場合	… 122

5.5	クロック発生回路の動作	...	123
5.5.1	メイン・システム・クロックの動作	...	124
5.5.2	サブシステム・クロックの動作	...	125
5.6	システム・クロックとCPUクロックの設定の変更	...	125
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	125
5.6.2	システム・クロックとCPUクロックの切り替え手順	...	127
第6章 16ビット・タイマ／イベント・カウンタ0 ... 128			
6.1	16ビット・タイマ／イベント・カウンタ0の概要	...	128
6.2	16ビット・タイマ／イベント・カウンタ0の機能	...	128
6.3	16ビット・タイマ／イベント・カウンタ0の構成	...	129
6.4	16ビット・タイマ／イベント・カウンタ0を制御するレジスタ	...	132
6.5	16ビット・タイマ／イベント・カウンタ0の動作	...	138
6.5.1	インターバル・タイマとしての動作	...	138
6.5.2	PPG出力としての動作	...	140
6.5.3	パルス幅測定としての動作	...	142
6.5.4	外部イベント・カウンタとしての動作	...	149
6.5.5	方形波出力としての動作	...	150
6.6	16ビット・タイマ／イベント・カウンタ0の注意事項	...	152
第7章 8ビット・タイマA0, B0 ... 157			
7.1	8ビット・タイマA0, B0の機能	...	157
7.2	8ビット・タイマA0, B0の構成	...	158
7.3	8ビット・タイマA0, B0を制御するレジスタ	...	163
7.4	8ビット・タイマA0, B0の動作	...	167
7.4.1	8ビット・タイマ・カウンタ・モードとしての動作	...	167
7.4.2	16ビット・タイマ・カウンタ・モードとしての動作	...	175
7.4.3	キャリア・ジェネレータとしての動作	...	182
7.4.4	PWM出力モードとしての動作（タイマB0のみ）	...	186
7.5	8ビット・タイマA0, B0の注意事項	...	188
第8章 8ビット・タイマ／イベント・カウンタ50, 51 ... 190			
8.1	8ビット・タイマ／イベント・カウンタ50, 51の概要	...	190
8.2	8ビット・タイマ／イベント・カウンタ50, 51の機能	...	190
8.3	8ビット・タイマ／イベント・カウンタ50, 51の構成	...	192
8.4	8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ	...	193
8.5	8ビット・タイマ／イベント・カウンタ50, 51の動作	...	197
8.5.1	インターバル・タイマとしての動作	...	197
8.5.2	外部イベント・カウンタとしての動作	...	201
8.5.3	方形波出力としての動作	...	202
8.5.4	PWM出力としての動作	...	203
8.6	8ビット・タイマ／イベント・カウンタ50, 51の注意事項	...	206
第9章 時計用タイマ ... 207			
9.1	時計用タイマの概要	...	207
9.2	時計用タイマの機能	...	207
9.3	時計用タイマの構成	...	209
9.4	時計用タイマを制御するレジスタ	...	209

9.5	時計用タイマの動作	...	212
9.5.1	時計用タイマとしての動作	...	212
9.5.2	インターバル・タイマとしての動作	...	212
第10章	ウォッチドッグ・タイマ	...	214
10.1	ウォッチドッグ・タイマの概要	...	214
10.2	ウォッチドッグ・タイマの機能	...	214
10.3	ウォッチドッグ・タイマの構成	...	216
10.4	ウォッチドッグ・タイマを制御するレジスタ	...	216
10.5	ウォッチドッグ・タイマの動作	...	220
10.5.1	ウォッチドッグ・タイマとしての動作	...	220
10.5.2	インターバル・タイマとしての動作	...	221
第11章	クロック出力制御回路	...	222
11.1	クロック出力制御回路の概要	...	222
11.2	クロック出力制御回路の機能	...	222
11.3	クロック出力制御回路の構成	...	223
11.4	クロック出力制御回路を制御するレジスタ	...	223
11.5	クロック出力制御回路の動作	...	225
第12章	8ビットA/Dコンバータ（μPD780344, 780344Yサブシリーズ）	...	226
12.1	8ビットA/Dコンバータの機能	...	226
12.2	8ビットA/Dコンバータの構成	...	228
12.3	8ビットA/Dコンバータを制御するレジスタ	...	230
12.4	8ビットA/Dコンバータの動作	...	234
12.4.1	8ビットA/Dコンバータの基本動作	...	234
12.4.2	入力電圧と変換結果	...	236
12.4.3	8ビットA/Dコンバータの動作モード	...	237
12.5	A/Dコンバータ特性表の読み方	...	240
12.6	A/Dコンバータの注意事項	...	242
第13章	10ビットA/Dコンバータ（μPD780354, 780354Yサブシリーズ）	...	248
13.1	10ビットA/Dコンバータの機能	...	248
13.2	10ビットA/Dコンバータの構成	...	250
13.3	10ビットA/Dコンバータを制御するレジスタ	...	252
13.4	10ビットA/Dコンバータの動作	...	256
13.4.1	10ビットA/Dコンバータの基本動作	...	256
13.4.2	入力電圧と変換結果	...	258
13.4.3	10ビットA/Dコンバータの動作モード	...	259
13.5	A/Dコンバータ特性表の読み方	...	262
13.6	A/Dコンバータの注意事項	...	265
第14章	シリアル・インタフェースSI03	...	271
14.1	シリアル・インタフェースSI03の機能	...	271
14.2	シリアル・インタフェースSI03の構成	...	272
14.3	シリアル・インタフェースSI03を制御するレジスタ	...	273
14.4	シリアル・インタフェースSI03の動作	...	275

14.4.1	動作停止モード	...	275
14.4.2	3線式シリアルI/Oモード	...	276
第15章 シリアル・インタフェースCSI1 ... 279			
15.1	シリアル・インタフェースCSI1の機能	...	279
15.2	シリアル・インタフェースCSI1の構成	...	279
15.3	シリアル・インタフェースCSI1を制御するレジスタ	...	280
15.4	シリアル・インタフェースCSI1の動作	...	283
15.4.1	動作停止モード	...	283
15.4.2	3線式シリアルI/Oモード	...	283
第16章 シリアル・インタフェースUART0 ... 292			
16.1	シリアル・インタフェースUART0の機能	...	292
16.2	シリアル・インタフェースUART0の構成	...	294
16.3	シリアル・インタフェースUART0を制御するレジスタ	...	296
16.4	シリアル・インタフェースUART0の動作	...	300
16.4.1	動作停止モード	...	300
16.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	301
第17章 シリアル・インタフェースIIC0(μPD780344Y, 780354Yサブシリーズのみ) ... 313			
17.1	シリアル・インタフェースIIC0の機能	...	313
17.2	シリアル・インタフェースIIC0の構成	...	316
17.3	シリアル・インタフェースIIC0を制御するレジスタ	...	318
17.4	I ² Cバス・モードの機能	...	328
17.4.1	端子構成	...	328
17.5	I ² Cバスの定義および制御方法	...	329
17.5.1	スタート・コンディション	...	329
17.5.2	アドレス	...	330
17.5.3	転送方向指定	...	330
17.5.4	アクノリッジ信号 (ACK)	...	331
17.5.5	ストップ・コンディション	...	332
17.5.6	ウェイト信号 (WAIT)	...	333
17.5.7	I ² C割り込み要求 (INTIIC0)	...	335
17.5.8	割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御	...	354
17.5.9	アドレスの一致検出方法	...	355
17.5.10	エラーの検出	...	355
17.5.11	拡張コード	...	356
17.5.12	アービトレーション	...	357
17.5.13	ウェイク・アップ機能	...	359
17.5.14	通信予約	...	359
17.5.15	その他の注意事項	...	361
17.5.16	通信動作	...	362
17.6	タイミング・チャート	...	364
第18章 LCDコントローラ／ドライバ ... 371			
18.1	LCDコントローラ／ドライバの機能	...	371
18.2	LCDコントローラ／ドライバの構成	...	372
18.3	LCDコントローラ／ドライバを制御するレジスタ	...	374

18.4	LCD表示用RAM	...	381
18.5	LCDコントローラ／ドライバの設定	...	382
18.6	コモン信号とセグメント信号	...	383
18.7	LCD駆動電圧V _{LCD0} , V _{LCD1} , V _{LCD2} の供給	...	386
18.8	表示モード	...	388
18.8.1	スタティック表示例	...	388
18.8.2	3時分割表示例	...	391
18.8.3	4時分割表示例	...	394
18.8.4	スタティック表示およびダイナミック表示の同時駆動	...	397
第19章 割り込み機能 ... 398			
19.1	割り込み機能の種類	...	398
19.2	割り込み要因と構成	...	398
19.3	割り込み機能を制御するレジスタ	...	402
19.4	割り込み処理動作	...	408
19.4.1	ノンマスカブル割り込み要求の受け付け動作	...	408
19.4.2	マスカブル割り込み要求の受け付け動作	...	411
19.4.3	ソフトウェア割り込み要求の受け付け動作	...	414
19.4.4	多重割り込み処理	...	414
19.4.5	割り込み要求の保留	...	418
第20章 スタンバイ機能 ... 419			
20.1	スタンバイ機能と構成	...	419
20.1.1	スタンバイ機能	...	419
20.1.2	スタンバイ機能を制御するレジスタ	...	420
20.2	スタンバイ機能の動作	...	421
20.2.1	HALTモード	...	421
20.2.2	STOPモード	...	425
第21章 リセット機能 ... 428			
21.1	リセット機能	...	428
第22章 ROMコレクション ... 432			
22.1	ROMコレクションの機能	...	432
22.2	ROMコレクションの構成	...	432
22.3	ROMコレクションを制御するレジスタ	...	434
22.4	ROMコレクションの使用方法	...	436
22.5	ROMコレクションの使用例	...	439
22.6	プログラム実行フロー	...	440
22.7	ROMコレクションの注意事項	...	442
第23章 μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY ... 443			
23.1	メモリ・サイズ切り替えレジスタ	...	445
23.2	内部拡張RAMサイズ切り替えレジスタ	...	446
23.3	フラッシュ・メモリの特徴	...	447
23.3.1	プログラミング環境	...	447
23.3.2	通信方式	...	448

23.3.3	オンボード上の端子処理	...	451
23.3.4	フラッシュ書き込み用アダプタの接続	...	454

第24章 命令セットの概要 ... 458

24.1	凡 例	...	459
24.1.1	オペランドの表現形式と記述方法	...	459
24.1.2	オペレーション欄の説明	...	460
24.1.3	フラグ動作欄の説明	...	460
24.2	オペレーション一覧	...	461
24.3	アドレッシング別命令一覧	...	469

第25章 電気的特性 ... 473

第26章 LCDコントローラ／ドライバ特性曲線（参考値） ... 491

第27章 外形図 ... 493

★ 第28章 半田付け推奨条件 ... 495

付録A 開発ツール ... 498

A.1	ソフトウェア・パッケージ	...	500
A.2	言語処理用ソフトウェア	...	500
A.3	制御ソフトウェア	...	501
A.4	フラッシュ・メモリ書き込み用ツール	...	501
A.5	ディバグ用ツール（ハードウェア）	...	502
A.6	ディバグ用ツール（ソフトウェア）	...	503
A.7	組み込み用ソフトウェア	...	504
A.8	変換アダプタ（TGC-100SDW）の外形図	...	505

★ 付録B ターゲット・システム設計上の注意 ... 506

付録C レジスタ索引 ... 508

C.1	レジスタ索引（50音順）	...	508
C.2	レジスタ索引（アルファベット順）	...	511

★ 付録D 改版履歴 ... 514

図の目次 (1/8)

図番号	タイトル, ページ
2-1	端子の入出力回路一覧 ... 55
3-1	メモリ・マップ (μPD780343, 780353, 780343Y, 780353Y) ... 58
3-2	メモリ・マップ (μPD780344, 780354, 780344Y, 780354Y) ... 59
3-3	メモリ・マップ (μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY) ... 60
3-4	データ・メモリとアドレッシングの対応 (μPD780343, 780353, 780343Y, 780353Y) ... 63
3-5	データ・メモリとアドレッシングの対応 (μPD780344, 780354, 780344Y, 780354Y) ... 64
3-6	データ・メモリとアドレッシングの対応 (μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY) ... 65
3-7	プログラム・カウンタの構成 ... 66
3-8	プログラム・ステータス・ワードの構成 ... 66
3-9	スタック・ポインタの構成 ... 67
3-10	スタック・メモリへ退避されるデータ ... 68
3-11	スタック・メモリから復帰されるデータ ... 69
3-12	汎用レジスタの構成 ... 71
4-1	ポートの種類 ... 87
4-2	P00-P04のブロック図 ... 90
4-3	P05-P07のブロック図 ... 91
4-4	P10-P17のブロック図 ... 92
4-5	P20, P23, P26のブロック図 ... 93
4-6	P21, P24, P27のブロック図 ... 94
4-7	P22, P25のブロック図 ... 95
4-8	P30, P31のブロック図 ... 97
4-9	P32-P34のブロック図 ... 98
4-10	P35のブロック図 ... 99
4-11	P40-P43のブロック図 ... 100
4-12	立ち下がりエッジ検出回路のブロック図 ... 101
4-13	P70-P73のブロック図 ... 102
4-14	P80-P87のブロック図 ... 103
4-15	P90-P97のブロック図 ... 104
4-16	P100-P107のブロック図 ... 105
4-17	P110-P113のブロック図 ... 106
4-18	ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11) のフォーマット ... 108
4-19	プルアップ抵抗オプション・レジスタ (PU0, PU2-PU4) のフォーマット ... 109
4-20	メモリ拡張モード・レジスタ (MEM) のフォーマット ... 110
4-21	兼用切り替えレジスタ (PF8-PF11) のフォーマット ... 111
5-1	クロック発生回路のブロック図 ... 115
5-2	サブシステム・クロックのフィードバック抵抗 ... 116
5-3	プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット ... 117

図の目次 (2/8)

図番号	タイトル, ページ
5-4	サブクロック選択レジスタのフォーマット … 118
5-5	メイン・システム・クロック発振回路の外付け回路 … 119
5-6	サブシステム・クロック発振回路の外付け回路 … 120
5-7	発振子の接続の悪い例 … 121
5-8	メイン・システム・クロックの停止機能 … 124
5-9	システム・クロックとCPUクロックの切り替え … 127
6-1	16ビット・タイマ／イベント・カウンタ0のブロック図 … 129
6-2	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット … 133
6-3	キャプチャ／コンペア・コントロール・レジスタ0 (CRC0) のフォーマット … 134
6-4	16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット … 135
6-5	プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット … 136
6-6	ポート・モード・レジスタ3 (PM3) のフォーマット … 137
6-7	インターバル・タイマ動作時の制御レジスタ設定内容 … 138
6-8	インターバル・タイマの構成図 … 139
6-9	インターバル・タイマ動作のタイミング … 139
6-10	PPG出力動作時の制御レジスタ設定内容 … 140
6-11	PPG出力の構成図 … 141
6-12	PPG出力動作のタイミング … 141
6-13	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 … 142
6-14	フリーランニング・カウンタによるパルス幅測定の構成図 … 143
6-15	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) … 143
6-16	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 … 144
6-17	立ち上がりエッジ指定時のCR01キャプチャ動作 … 145
6-18	フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) … 145
6-19	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 … 146
6-20	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) … 147
6-21	リスタートによるパルス幅測定時の制御レジスタ設定内容 … 148
6-22	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) … 148
6-23	外部イベント・カウンタ・モード時の制御レジスタ設定内容 … 149
6-24	外部イベント・カウンタの構成図 … 150
6-25	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) … 150
6-26	方形波出力モード時の制御レジスタ設定内容 … 151
6-27	方形波出力動作のタイミング … 151
6-28	16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング … 152
6-29	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 152
6-30	キャプチャ・レジスタのデータ保持タイミング … 153
6-31	OVF0フラグの動作タイミング … 154

図の目次 (3/8)

図番号	タイトル, ページ
7-1	タイマA0のブロック図 ... 159
7-2	タイマB0のブロック図 ... 160
7-3	出力制御回路 (タイマB0) のブロック図 ... 161
7-4	8ビット・タイマ・モード・コントロール・レジスタA0のフォーマット ... 164
7-5	8ビット・タイマ・モード・コントロール・レジスタB0のフォーマット ... 165
7-6	キャリア・ジェネレータ出力コントロール・レジスタB0のフォーマット ... 166
7-7	ポート・モード・レジスタ0のフォーマット ... 166
7-8	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 168
7-9	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時) ... 169
7-10	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時) ... 169
7-11	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N→M (N<M) 変更時) ... 170
7-12	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N→M (N>M) 変更時) ... 170
7-13	8ビット分解能のインターバル・タイマ動作のタイミング (タイマA0のカウント・クロックにタイマB0一致信号選択時) ... 171
7-14	8ビット分解能の外部イベント・カウンタ動作のタイミング ... 172
7-15	8ビット分解能の方形波出力のタイミング ... 174
7-16	16ビット分解能のインターバル・タイマ動作のタイミング ... 177
7-17	16ビット分解能の外部イベント・カウンタ動作のタイミング ... 179
7-18	16ビット分解能の方形波出力のタイミング ... 181
7-19	キャリア・ジェネレータの動作タイミング (CRB0 = N, CRHB0 = M (M>N) 設定時) ... 183
7-20	キャリア・ジェネレータの動作タイミング (CRB0 = N, CRHB0 = M (M<N) 設定時) ... 184
7-21	キャリア・ジェネレータの動作タイミング (CRB0 = CRHB0 = N設定時) ... 185
7-22	PWM出力モードのタイミング (基本動作) ... 187
7-23	PWM出力モードのタイミング (CRB0, CRHB0を書き換えた場合) ... 187
7-24	8ビット・タイマ・カウンタのスタート・タイミング ... 188
7-25	1パルスのカウント動作時のタイミング (8ビット分解能時) ... 188
8-1	8ビット・タイマ/イベント・カウンタ50のブロック図 ... 191
8-2	8ビット・タイマ/イベント・カウンタ51のブロック図 ... 191
8-3	タイマ・クロック選択レジスタ50 (TCL50) のフォーマット ... 193
8-4	タイマ・クロック選択レジスタ51 (TCL51) のフォーマット ... 194
8-5	8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のフォーマット ... 195
8-6	ポート・モード・レジスタ3 (PM3) のフォーマット ... 196
8-7	インターバル・タイマ動作のタイミング ... 198
8-8	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 201
8-9	方形波出力動作のタイミング ... 202
8-10	PWM出力の動作タイミング ... 204
8-11	CR5n変更による動作のタイミング ... 205
8-12	8ビット・タイマ・カウンタのスタート・タイミング ... 206
8-13	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 206

図の目次 (4/8)

図番号	タイトル, ページ
9-1	時計用タイマのブロック図 … 207
9-2	時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマット … 210
9-3	時計用タイマ割り込み時間選択レジスタ (WTIM) のフォーマット … 211
9-4	時計用タイマ/インターバル・タイマの動作タイミング … 213
10-1	ウォッチドッグ・タイマのブロック図 … 214
10-2	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット … 217
10-3	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット … 218
10-4	発振安定時間選択レジスタ (OSTS) のフォーマット … 219
11-1	クロック出力制御回路のブロック図 … 222
11-2	クロック出力選択レジスタ (CKS) のフォーマット … 224
11-3	ポート・モード・レジスタ0 (PM0) のフォーマット … 225
11-4	リモコン出力応用例 … 225
12-1	8ビットA/Dコンバータのブロック図 … 227
12-2	A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット … 231
12-3	昇圧基準電圧生成回路使用時のタイミング・チャート … 232
12-4	アナログ入力チャネル指定レジスタ0 (ADS0) のフォーマット … 233
12-5	8ビットA/Dコンバータの基本動作 … 235
12-6	アナログ入力電圧とA/D変換結果の関係 … 236
12-7	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) … 238
12-8	ソフトウェア・スタートによるA/D変換動作 … 239
12-9	総合誤差 … 240
12-10	量子化誤差 … 240
12-11	直列抵抗ストリングの回路構成 … 242
12-12	アナログ入力端子の処理 … 243
12-13	A/D変換終了割り込み要求発生タイミング … 244
12-14	変換結果を読み出すタイミング (変換結果が不定値の場合) … 245
12-15	変換結果を読み出すタイミング (変換結果が正常値の場合) … 245
12-16	AV _{DD} 端子とコンデンサの接続例 … 246
12-17	AV _{DD} 端子の処理 … 246
12-18	ANIO-ANI7端子内部等価回路 … 247
12-19	信号源インピーダンスが高い場合の回路例 … 247
13-1	10ビットA/Dコンバータのブロック図 … 249
13-2	A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット … 253
13-3	昇圧基準電圧生成回路使用時のタイミング・チャート … 254
13-4	アナログ入力チャネル指定レジスタ0 (ADS0) のフォーマット … 255
13-5	10ビットA/Dコンバータの基本動作 … 257

図の目次 (5/8)

図番号	タイトル, ページ
13-6	アナログ入力電圧とA/D変換結果の関係 … 258
13-7	ハードウェア・スタートによるA/D変換動作（立ち下がりエッジ指定時） … 260
13-8	ソフトウェア・スタートによるA/D変換動作 … 261
13-9	総合誤差 … 262
13-10	量子化誤差 … 262
13-11	ゼロスケール誤差 … 263
13-12	フルスケール誤差 … 263
13-13	積分直線性誤差 … 264
13-14	微分直線性誤差 … 264
13-15	直列抵抗ストリングの回路構成 … 265
13-16	アナログ入力端子の処理 … 266
13-17	A/D変換終了割り込み要求発生タイミング … 267
13-18	変換結果を読み出すタイミング（変換結果が不定値の場合） … 268
13-19	変換結果を読み出すタイミング（変換結果が正常値の場合） … 268
13-20	AVDD端子とコンデンサの接続例 … 269
13-21	AVDD端子の処理 … 269
13-22	ANI0-ANI7端子内部等価回路 … 270
13-23	信号源インピーダンスが高い場合の回路例 … 270
14-1	シリアル・インタフェースSIO3のブロック図 … 271
14-2	シリアル動作モード・レジスタ3（CSIM3）のフォーマット … 274
14-3	3線式シリアルI/Oモードのタイミング … 278
15-1	シリアル・インタフェースCSI1のブロック図 … 280
15-2	シリアル動作モード・レジスタ1（CSIM1）のフォーマット … 281
15-3	シリアル・クロック選択レジスタ1（CSIC1）のフォーマット … 282
15-4	3線式シリアルI/Oモードのタイミング … 287
15-5	クロック／データ位相のタイミング … 289
15-6	先頭ビットの出力動作 … 290
15-7	SO1端子への出力値（最終ビット） … 291
16-1	シリアル・インタフェースUART0のブロック図 … 293
16-2	ボー・レート・ジェネレータのブロック図 … 293
16-3	アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）のフォーマット … 297
16-4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）のフォーマット … 298
16-5	ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）のフォーマット … 299
16-6	サンプリング誤差を考慮したボー・レートの許容誤差（k = 0の場合） … 307
16-7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 308
16-8	アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング … 310
16-9	アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング … 311

図の目次 (6/8)

図番号	タイトル, ページ
16-10	受信エラー・タイミング … 312
17-1	シリアル・インタフェースIIC0のブロック図 … 314
17-2	I ² Cバスによるシリアル・バス構成例 … 315
17-3	IICコントロール・レジスタ0 (IICC0) のフォーマット … 319
17-4	IIC状態レジスタ0 (IICS0) のフォーマット … 323
17-5	IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット … 326
17-6	IIC機能拡張レジスタ0 (IICX0) のフォーマット … 327
17-7	端子構成図 … 328
17-8	I ² Cバスのシリアル・データ転送タイミング … 329
17-9	スタート・コンディション … 329
17-10	アドレス … 330
17-11	転送方向指定 … 330
17-12	アクノリッジ信号 … 331
17-13	ストップ・コンディション … 332
17-14	ウエイト信号 … 334
17-15	アービトレーション・タイミング例 … 357
17-16	通信予約のタイミング … 360
17-17	通信予約受け付けタイミング … 360
17-18	通信予約の手順 … 361
17-19	マスタ動作手順 … 362
17-20	スレーブ動作手順 … 363
17-21	マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) … 365
17-22	スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) … 368
18-1	LCDコントローラ／ドライバのブロック図 … 373
18-2	LCD表示モード・レジスタ3 (LCDM3) のフォーマット … 375
18-3	点滅機能 … 376
18-4	LCDクロック制御レジスタ3 (LCDC3) のフォーマット … 377
18-5	フレーム周波数を作成する基準クロックとフレーム周波数との関係 … 378
18-6	LCDゲイン調整レジスタ0 (VLCG0) のフォーマット … 378
18-7	スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマット … 379
18-8	兼用切り替えレジスタ (PF8-PF11) のフォーマット … 380
18-9	LCD表示データおよび点滅選択ビットの内容とセグメント出力／コモン出力の関係 (4時分割) … 381
18-10	コモン信号波形 … 384
18-11	コモン信号とセグメント信号の電圧と位相 … 385
18-12	LCDドライバ用基準電圧調整回路例 … 387
18-13	スタティックLCDパネルの表示パターンと電極結線 … 388
18-14	スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1) … 389
18-15	スタティックLCD駆動波形例 … 390

図の目次 (7/8)

図番号	タイトル, ページ
18-16	3 時分割LCD表示パターンと電極結線 ... 391
18-17	3 時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2) ... 392
18-18	3 時分割LCD駆動波形例 (1/3バイアス法) ... 393
18-19	4 時分割LCD表示パターンと電極結線 ... 394
18-20	4 時分割LCDパネルの結線例 (SDSEL3n = 0, n = 0-2) ... 395
18-21	4 時分割LCD駆動波形例 (1/3バイアス法) ... 396
19-1	割り込み機能の基本構成 ... 400
19-2	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット ... 403
19-3	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット ... 404
19-4	優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット ... 405
19-5	外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット ... 406
19-6	プログラム・ステータス・ワードの構成 ... 407
19-7	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート ... 409
19-8	ノンマスカブル割り込み要求の受け付けタイミング ... 409
19-9	ノンマスカブル割り込み要求の受け付け動作 ... 410
19-10	割り込み要求受け付け処理アルゴリズム ... 412
19-11	割り込み要求の受け付けタイミング (最小時間) ... 413
19-12	割り込み要求の受け付けタイミング (最大時間) ... 413
19-13	多重割り込みの例 ... 416
19-14	割り込み要求の保留 ... 418
20-1	発振安定時間選択レジスタ (OSTS) のフォーマット ... 420
20-2	HALTモードの割り込み要求発生による解除 ... 422
20-3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 ... 423
20-4	STOPモードの割り込み要求発生による解除 ... 426
20-5	STOPモードの $\overline{\text{RESET}}$ 入力による解除 ... 427
21-1	リセット機能のブロック図 ... 428
21-2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 429
21-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 429
21-4	STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 429
22-1	ROMコレクションのブロック図 ... 433
22-2	コレクション・アドレス・レジスタ0, 1のフォーマット ... 433
22-3	コレクション・コントロール・レジスタ (CORCN) のフォーマット ... 435
22-4	EEPROMへの格納例 (修正箇所が1つの場合) ... 436
22-5	初期設定ルーチン ... 437
22-6	ROMコレクションの動作 ... 438

図の目次 (8/8)

図番号	タイトル, ページ
22-7	ROMコレクションの使用例 … 439
22-8	プログラム遷移図（修正箇所が1つの場合） … 440
22-9	プログラム遷移図（修正箇所が2つの場合） … 441
23-1	メモリ・サイズ切り替えレジスタ（IMS）のフォーマット … 445
23-2	内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット … 446
23-3	フラッシュ・メモリにプログラムを書き込むための環境 … 447
23-4	通信方式選択フォーマット … 448
23-5	専用フラッシュ・ライターとの接続例 … 449
23-6	V _{PP} 端子の接続例 … 451
23-7	信号の衝突（シリアル・インタフェースの入力端子） … 452
23-8	ほかのデバイスの異常動作 … 452
23-9	信号の衝突（RESET端子） … 453
23-10	3線式シリアルI/O（SIO3）でのフラッシュ書き込み用アダプタ配線例 … 454
23-11	3線式シリアルI/O（SIO3）ハンドシェークありでのフラッシュ書き込み用アダプタ配線例 … 455
23-12	3線式シリアルI/O（CSI1）でのフラッシュ書き込み用アダプタ配線例 … 456
23-13	UART（UART0）でのフラッシュ書き込み用アダプタ配線例 … 457
A-1	開発ツール構成 … 499
A-2	TGC-100SDW 外形図（参考）（単位：mm） … 505
B-1	IEシステムから変換アダプタまでの距離（100ピン・プラスチックLQFPの場合） … 506
B-2	ターゲット・システムの接続条件（NP-100GCを使用する場合） … 507
B-3	ターゲット・システムの接続条件（NP-H100GC-TQを使用する場合） … 507

表の目次 (1/3)

表番号	タイトル, ページ
1-1	μPD780344, 780354サブシリーズのマスクROM製品のマスク・オプション … 42
1-2	μPD780344Y, 780354YサブシリーズのマスクROM製品のマスク・オプション … 42
2-1	各端子の入出力回路タイプ … 53
3-1	内部メモリ容量 … 61
3-2	ベクタ・テーブル … 61
3-3	特殊機能レジスタ一覧 … 72
4-1	ポートの機能 … 88
4-2	ポートの構成 … 89
4-3	各製品ごとのポート3の端子機能 … 96
4-4	マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較 … 113
5-1	クロック発生回路の構成 … 114
5-2	CPUクロックと最小命令実行時間の関係 … 118
5-3	CPUクロックの切り替えに要する最大時間 … 126
6-1	16ビット・タイマ／イベント・カウンタ0の構成 … 129
6-2	TI00/P35端子の有効エッジとCR00, CR01のキャプチャ・トリガ … 130
6-3	TI01/TO00/P34端子の有効エッジとCR00のキャプチャ・トリガ … 130
7-1	モード一覧 … 157
7-2	8ビット・タイマA0, B0の構成 … 158
7-3	タイマA0のインターバル時間 … 168
7-4	タイマB0のインターバル時間 … 168
7-5	タイマB0の方形波出力範囲 … 173
7-6	16ビット分解能でのインターバル時間 … 176
7-7	16ビット分解能の方形波出力範囲 … 180
8-1	8ビット・タイマ／イベント・カウンタ50, 51の構成 … 192
9-1	時計用タイマの割り込み要求時間 … 208
9-2	インターバル・タイマのインターバル時間 … 208
9-3	時計用タイマの構成 … 209
10-1	ウォッチドッグ・タイマの暴走検出時間 … 215
10-2	インターバル時間 … 215
10-3	ウォッチドッグ・タイマの構成 … 216
10-4	ウォッチドッグ・タイマの暴走検出時間 … 220

表の目次 (2/3)

表番号	タイトル, ページ
10-5	インターバル・タイマのインターバル時間 … 221
11-1	クロック出力制御回路の構成 … 223
12-1	8ビットA/Dコンバータの構成 … 228
12-2	ADCS0とADCE0の設定 … 232
12-3	等価回路の各抵抗と容量値 (参考値) … 247
13-1	10ビットA/Dコンバータの構成 … 250
13-2	ADCS0とADCE0の設定 … 254
13-3	等価回路の各抵抗と容量値 (参考値) … 270
14-1	シリアル・インタフェースSIO3の構成 … 272
15-1	シリアル・インタフェースCSI1の構成 … 279
16-1	シリアル・インタフェース (UART0) の構成 … 294
16-2	5ビット・カウンタのソース・クロックとnの値との関係 … 305
16-3	メイン・システム・クロックとポー・レートの関係 … 306
16-4	受信エラーの要因 … 312
17-1	シリアル・インタフェースIIC0の構成 … 316
17-2	INTIIC0発生タイミングおよびウェイト制御 … 354
17-3	拡張コードのビットの定義 … 356
17-4	アービトレーション発生時の状態と割り込み要求発生タイミング … 358
17-5	ウェイト時間 … 359
18-1	セグメント信号とコモン信号 … 371
18-2	最大表示画素数 … 372
18-3	LCDコントローラ／ドライバの構成 … 372
18-4	フレーム周波数 … 377
18-5	COM信号 … 383
18-6	V _{LC0} -V _{LC2} 端子の出力電圧 … 386
18-7	選択, 非選択電圧 (SCOM0) … 388
18-8	選択, 非選択電圧 (COM0-COM2) … 391
18-9	選択, 非選択電圧 (COM0-COM3) … 394
19-1	割り込み要因一覧 … 399
19-2	割り込み要求ソースに対応する各種フラグ … 402
19-3	マスカブル割り込み要求発生から処理までの時間 … 411

表の目次 (3/3)

表番号	タイトル, ページ
19- 4	割り込み処理中に多重割り込み可能な割り込み要求 … 415
20- 1	HALTモード時の動作状態 … 421
20- 2	HALTモードの解除後の動作 … 423
20- 3	サブクロック 4 通倍クロック使用時のHALTモードの解除条件とNOP命令設定の必要の有無（フラッシュ・メモリ製品） … 424
20- 4	STOPモード時の動作状態 … 425
20- 5	STOPモードの解除後の動作 … 427
21- 1	各ハードウェアのリセット後の状態 … 430
22- 1	ROMコレクションの構成 … 432
23- 1	μPD78F0354, 78F0354A, 78F0354Y, 78F0354AYとマスクROM製品の違い … 444
23- 2	メモリ・サイズ切り替えレジスタの設定値 … 445
23- 3	通信方式一覧 … 448
23- 4	端子接続一覧 … 450
24- 1	オペランドの表現形式と記述方法 … 459
28- 1	表面実装タイプの半田付け条件 … 495
B- 1	IEシステムから変換アダプタまでの距離（100ピン・プラスチックLQFPの場合） … 506

第1章 概 説

1.1 特 徴

○内部メモリ

	プログラム・メモリ (ROM／フラッシュ・メモリ)	データ・メモリ		LCD表示用RAM
		高速RAM	拡張RAM	
μ PD780343, 780353, 780343Y, 780353Y	24 Kバイト	512バイト	512バイト	40×8ビット
μ PD780344, 780354, 780344Y, 780354Y	32 Kバイト			
μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AY	32 Kバイト ^注	1024バイト		

注 メモリ・サイズ切り替えレジスタ（IMS）により、内部フラッシュ・メモリ容量の変更可能。

○高速（0.2 μs：メイン・システム・クロック10 MHz動作時）から超低速（122 μs：サブシステム・クロック 32.768 kHz動作時）まで最小命令実行時間変更可能

○サブシステム・クロック 4 逓倍回路の使用を選択可能

（30.52 μs：サブシステム・クロック32.768 kHzの 4 逓倍クロック131 kHz動作時）

○I/Oポート：66本（N-chオープン・ドレイン：6本（うち、中耐圧は4本））

○10ビット分解能A/Dコンバータ：8チャンネル（μ PD780353, 780354, 78F0354, 78F0354A, 780353Y, 780354Y, 78F0354Y, 78F0354AYのみ）

○8ビット分解能A/Dコンバータ：8チャンネル（μ PD780343, 780344, 780343Y, 780344Yのみ）

○LCDコントローラ／ドライバ

・セグメント信号出力：最大40本，コモン信号出力：最大4本

・LCD基準電圧生成回路：昇圧タイプ（3倍昇圧のみ）

・点滅表示可能（点滅時間切り換え可能：0.5秒または1秒）

○シリアル・インタフェース

・3線式シリアルI/Oモード（SI03）：1チャンネル

・3線式シリアルI/Oモード（CSI1）：1チャンネル

・UART：1チャンネル

・I²Cバス：1チャンネル（μ PD780344Y, 780354Yサブシリーズのみ）

○タイマ

・16ビット・タイマ／イベント・カウンタ：1チャンネル

・8ビット・タイマ／イベント・カウンタ：3チャンネル

・8ビット・タイマ：1チャンネル

・時計用タイマ：1チャンネル

・ウォッチドッグ・タイマ：1チャンネル

○ROMコレクション

○ベクタ割り込み要因：26

○電源電圧：V_{DD} = 1.8～5.5 V

1.2 応用分野

APSカメラ, デジタル・カメラ, AV機器, 家電など

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD780343GC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	マスクROM
μ PD780343GC-×××-8EU-A	"	"
μ PD780343F1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780344GC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780344GC-×××-8EU-A	"	"
μ PD780344F1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780353GC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780353GC-×××-8EU-A	"	"
μ PD780353F1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780354GC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780354GC-×××-8EU-A	"	"
μ PD780353F1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD78F0354GC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	フラッシュ・メモリ
μ PD78F0354GC-8EU-A	"	"
μ PD78F0354F1-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD78F0354AGC-8EU-A ^注	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F0354AF1-DA3 ^注	113ピン・プラスチックFBGA (10x10)	"
μ PD780343YGC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	マスクROM
μ PD780343YGC-×××-8EU-A	"	"
μ PD780343YF1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780344YGC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780344YGC-×××-8EU-A	"	"
μ PD780344YF1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780353YGC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780353YGC-×××-8EU-A	"	"
μ PD780353YF1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD780354YGC-×××-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD780354YGC-×××-8EU-A	"	"
μ PD780353YF1-×××-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD78F0354YGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	フラッシュ・メモリ
μ PD78F0354YGC-8EU-A	"	"
μ PD78F0354YF1-DA3	113ピン・プラスチックFBGA (10x10)	"
μ PD78F0354AYGC-8EU-A ^注	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F0354AYF1-DA3 ^注	113ピン・プラスチックFBGA (10x10)	"

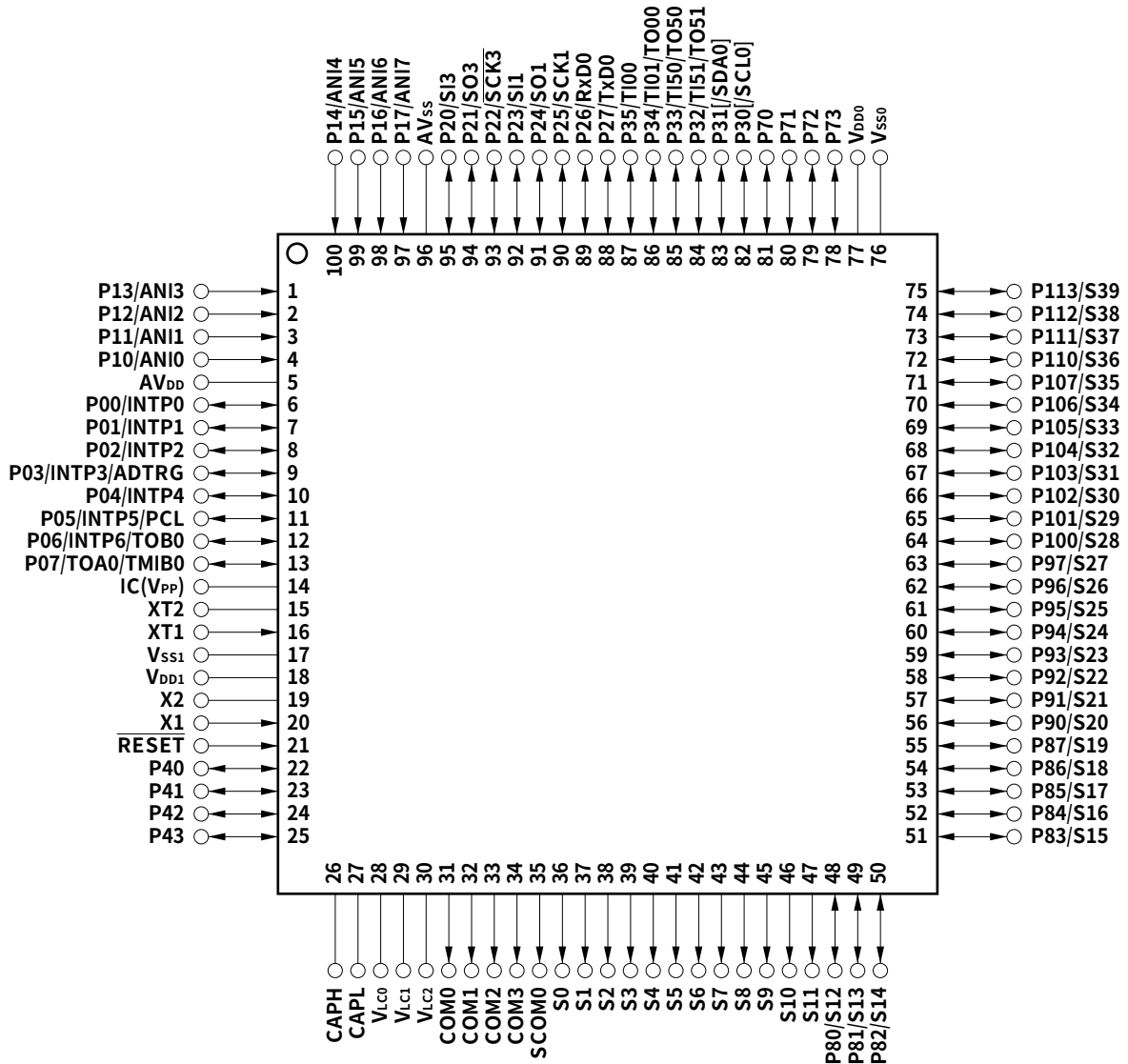
注 開発中

備考1. ×××はROMコード番号です。

2. オーダ名称末尾「-A」の製品は鉛フリー製品です。

1.4 端子接続図 (Top View)

・100ピン・プラスチックLQFP (ファインピッチ) (14x14)



注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

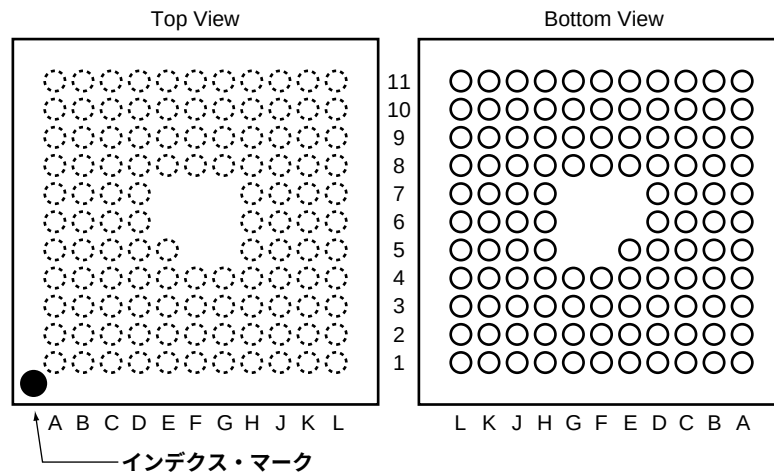
2. AV_{SS}端子はV_{SS0}に接続してください。

備考 1. () 内は, μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYのとき

2. [] 内は, μ PD780344Y, 780354Yサブシリーズのとき

3. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合, V_{DD0}とV_{DD1}に個別の電源を供給し, V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

★ ・113ピン・プラスチックFBGA (10x10)



ピン 番号	名 称	ピン 番号	名 称	ピン 番号	名 称	ピン 番号	名 称	ピン 番号	名 称	ピン 番号	名 称
A1	NC	C1	NC	E1	P02/INTP2	G1	XT2	J1	NC	L1	NC
A2	P14/ANI4	C2	P11/ANI1	E2	P01/INTP1	G2	XT1	J2	P42	L2	CAPL
A3	NC	C3	P16/ANI6	E3	P04/INTP4	G3	RESET	J3	P41	L3	NC
A4	P21/SO3	C4	P17/ANI7	E4	P07/TOA0/TMIB0	G4	V _{DD1}	J4	COM3	L4	COM0
A5	P25/SCK1	C5	AV _{SS}	E5	NC	G5	—	J5	SCOM0	L5	COM2
A6	P35/TI00	C6	P23/SI1	E6	—	G6	—	J6	S6	L6	S1
A7	P31 [SDA0]	C7	P33/TI50/TO50	E7	—	G7	—	J7	S10	L7	S4
A8	P70	C8	P32/TI51/TO51	E8	P104/S32	G8	P97/S27	J8	S11	L8	S8
A9	NC	C9	P111/S37	E9	P107/S35	G9	P94/S24	J9	P80/S12	L9	NC
A10	V _{DD0}	C10	P112/S38	E10	P102/S30	G10	P91/S21	J10	P85/S17	L10	P82/S14
A11	NC	C11	NC	E11	P101/S29	G11	P92/S22	J11	NC	L11	NC
B1	P12/ANI2	D1	P00/INTP0	F1	P06/INTP6/T0B0	H1	X2	K1	P43		
B2	P13/ANI3	D2	P10/ANI0	F2	P05/INTP5/PCL	H2	X1	K2	CAPH		
B3	P15/ANI5	D3	P03/INTP3/ADTRG	F3	V _{SS1}	H3	P40	K3	V _{LC0}		
B4	P20/SI3	D4	AV _{DD}	F4	IC (V _{PP})	H4	V _{LC2}	K4	V _{LC1}		
B5	P24/SO1	D5	P22/SCK3	F5	—	H5	S2	K5	COM1		
B6	P34/TI01/TO00	D6	P26/RxD0	F6	—	H6	S3	K6	S0		
B7	P30 [SCL0]	D7	P27/TxD0	F7	—	H7	S7	K7	S5		
B8	P72	D8	P71	F8	P100/S28	H8	P87/S19	K8	S9		
B9	P73	D9	P110/S36	F9	P103/S31	H9	P93/S23	K9	P81/S13		
B10	V _{SS0}	D10	P106/S34	F10	P95/S25	H10	P86/S18	K10	P83/S15		
B11	P113/S39	D11	P105/S33	F11	P96/S26	H11	P90/S20	K11	P84/S16		

注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

備考 1. () 内は, μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYのとき

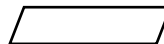
2. [] 内は, μ PD780344Y, 780354Yサブシリーズのとき

3. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合, V_{DD0}とV_{DD1}に個別の電源を供給し, V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ADTRG	: AD Trigger Input	$\overline{\text{RESET}}$	: Reset
ANI0-ANI7	: Analog Input	RxD0	: Receive Data
★ AV _{DD}	: Analog Power Supply	S0-S39	: Segment Output
AV _{SS}	: Analog Ground	SCK1, $\overline{\text{SCK3}}$,	
CAPH, CAPL	: Capacitor for LCD	SCL0	: Serial Clock
COM0-COM3	: Common Output for Dynamic display	SCOM0	: Common Output for Static display
IC	: Internally Connected	SDA0	: Serial Data
INTP0-INTP6	: External Interrupt Input	SI1, SI3	: Serial Input
P00-P07	: Port0	SO1, SO3	: Serial Output
P10-P17	: Port1	TI00, TI01, TMIB0,	
P20-P27	: Port2	TI50, TI51	: Timer Input
P30-P35	: Port3	TO0, TOA0, TOB0,	
P40-P43	: Port4	TO50, TO51	: Timer Output
P70-P73	: Port7	TxD0	: Transmit Data
P80-P87	: Port8	V _{DD0} , V _{DD1}	: Power Supply
P90-P97	: Port9	V _{LC0} -V _{LC2}	: LCD Power Supply
★ P100-P107	: Port10	V _{PP}	: Programming Power Supply
P110-P113	: Port11	V _{SS0} , V _{SS1}	: Ground
PCL	: Programmable Clock	X1, X2	: Crystal (Main System Clock)
		XT1, XT2	: Crystal (Subsystem Clock)

★ 1.5 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品

 開発中の製品

Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

・ Yなしサブシリーズ

機能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch (UART:1ch)	88本	1.8 V	○
	μ PD78078	48 K-60 K									61本	2.7 V	
	μ PD78070A	—											
	μ PD780058	24 K-60 K	2ch	3ch (時分割UART:1ch)	68本	1.8 V							
	μ PD78058F	48 K-60 K		3ch (UART:1ch)	69本	2.7 V							
	μ PD78054	16 K-60 K		2.0 V									
	μ PD780065	40 K-48 K	—	4ch (UART:1ch)	60本	2.7 V							
	μ PD780078	48 K-60K		2ch	3ch (UART:2ch)	52本	1.8 V						
	μ PD780034A	8 K-32 K		1ch	3ch (UART:1ch)	51本							
	μ PD780024A	8 K-32 K	8ch	—	39本								
	μ PD780034AS		—	4ch									
	μ PD780024AS		4ch	—									
	μ PD78014H		8ch	2ch		53本							
	μ PD78018F	8 K-60 K	—	—	1ch (UART:1ch)	33本	—						
μ PD78083	8 K-16 K												
インバータ 制御用	μ PD780988	16 K-60 K	3ch	注	—	1ch	—	8ch	—	3ch (UART:2ch)	47本	4.0 V	○
VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	2ch	74本	2.7 V	—
	μ PD780232	16 K-24 K	3ch	—	—		4ch				40本	4.5 V	
	μ PD78044H	32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V	
	μ PD78044F	16 K-40 K	2ch										
LCD 駆動用	μ PD780354	24K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	3ch (UART:1ch)	66本	1.8 V	—
	μ PD780344						8ch	—					
	μ PD780338	48 K-60 K	3ch	2ch			—	10ch	1ch	2ch (UART:1ch)	54本		
	μ PD780328										62本		
	μ PD780318										70本		
	μ PD780308	48 K-60 K	2ch	1ch			8ch	—	—	3ch (時分割UART:1ch)	57本	2.0 V	
	μ PD78064B	32 K								2ch (UART:1ch)			
	μ PD78064	16 K-32 K											
バス・イン タフェース 対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	—	—	3ch (UART:1ch)	79本	4.0 V	○
	μ PD78098B	40 K-60 K		1ch	—		2ch		69本		2.7 V	—	
	μ PD780816	32 K-60 K		2ch	12ch		—		2ch (UART:1ch)	46本	4.0 V	—	
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	—	1ch	—	—	—	2ch (UART:1ch)	69本	2.2 V	—
ダッシュ ボード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	—	—	3ch (UART:1ch)	56本	4.0 V	—
	μ PD780828B	32 K-60 K									59本		

注 16ビット・タイマ：2チャンネル

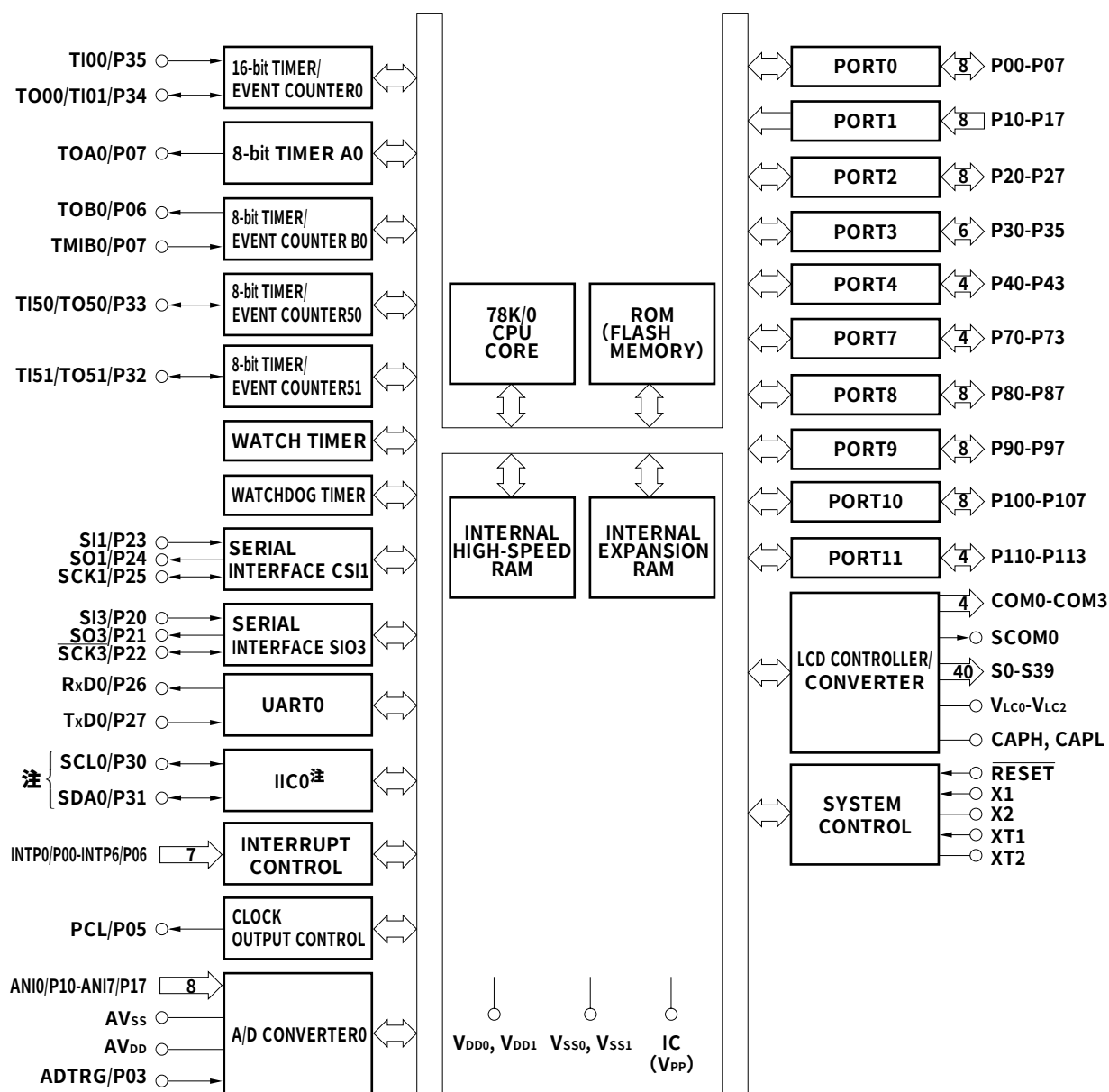
10ビット・タイマ：1チャンネル

・ Yサブシリーズ

機能		ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
サブシリーズ名			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μ PD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch(UART:1ch, I ² C:1ch)	88本	1.8 V	○
	μ PD78070AY	—									61本	2.7 V	
	μ PD780018AY	48 K-60 K									88本		
	μ PD780058Y	24 K-60 K	2ch	—	3ch(時分割UART: 1ch, I ² C:1ch)	68本	1.8 V						
	μ PD78058FY	48 K-60 K				3ch(UART:1ch, I ² C:1ch)	69本	2.7 V					
	μ PD78054Y	16 K-60 K				I ² C:1ch	2.0 V						
	μ PD780078Y	48 K-60 K	2ch	—	4ch(UART:2ch, I ² C:1ch)	52本	1.8 V						
	μ PD780034AY	8 K-32 K				3ch(UART:1ch, I ² C:1ch)	51本						
	μ PD780024AY	—				I ² C:1ch	—						
	μ PD78018FY	8 K-60 K	2ch(I ² C:1ch)	53本									
LCD 駆動用	μ PD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	4ch(UART:1ch, I ² C:1ch)	66本	1.8 V	—
	μ PD780344Y						8ch	—					
	μ PD780308Y	48 K-60 K	2ch	—	3ch(時分割UART: 1ch, I ² C:1ch)	57本	2.0 V						
	μ PD78064Y	16 K-32 K				2ch(UART:1ch, I ² C:1ch)	—						
バス・イン タフェース 対応	μ PD780701Y	60 K	3ch	2ch	1ch	1ch	16ch	—	—	4ch(UART:1ch, I ² C:1ch)	67本	3.5 V	—
	μ PD780703Y										—	—	
	μ PD780833Y										65本	4.5 V	

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です（Yなしサブシリーズがある場合）。

1.6 ブロック図



★ 注 μPD780344Y, 780354Yサブシリーズのみ

備考 内部ROM, RAM容量は製品によって異なります。

1.7 機能概要

(1/2)

品 名		μ PD780343 μ PD780343Y	μ PD780344 μ PD780344Y	μ PD780353 μ PD780353Y	μ PD780354 μ PD780354Y	μ PD78F0354 μ PD78F0354A μ PD78F0354Y μ PD78F0354AY
項 目						
内部メモリ	ROM	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)	32 Kバイト ^{注1} (フラッシュ・メモリ)
	高速RAM	512バイト 1024バイト				
	拡張RAM	512バイト				
	LCD表示用RAM	40×8ビット				
メモリ空間		64 Kバイト				
汎用レジスタ		8ビット×32レジスタ（8ビット×8レジスタ×4バンク）				
最小命令実行時間		最小命令実行時間の可変機能内蔵				
	メイン・システム・クロック選択時	0.2 μs/0.4 μs/0.8 μs/1.6 μs/3.2 μs（V _{DD} = 5 V, f _X = 10 MHz動作時）				
	サブシステム・クロック選択時	122 μs（f _{XT} = 32.768 kHz動作時） 30.52 μs（f _{XT} = 32.768 kHzの4逓倍クロック（131 kHz）動作時）				
サブシステム・クロック逓倍機能		4逓倍回路（動作電源電圧：V _{DD} = 2.7～5.5 V） ^{注2}				
命令セット		・16ビット演算 ・乗除算（8ビット×8ビット，16ビット÷8ビット） ・ビット操作（セット，リセット，テスト，ブール演算） ・BCD補正など				
I/Oポート		66本				
	CMOS入力	8本				
	CMOS入出力	52本 ^{注3}				
	N-chオープン・ドレイン入出力	6本（うち，4本が中耐圧）				
A/Dコンバータ		・8ビット分解能×8チャネル ・動作可能電圧：AV _{DD} = 2.2～5.5 V		・10ビット分解能×8チャネル ・動作可能電圧：AV _{DD} = 2.2～5.5 V		
LCDコントローラ／ドライバ		・LCD基準電圧生成回路：昇圧タイプ（3倍昇圧のみ） ・点滅表示可能（点滅時間切り替え可能：0.5秒または1秒） ・スタティク表示およびダイナミック表示（1/3バイアスのみ）の同時使用可能（スタティク表示は最大12セグメントまで）				
	セグメント信号出力	最大40本 ^{注3}				
	コモン信号出力	最大4本（ダイナミック表示），1本（スタティク表示）				
シリアル・インタフェース		・3線式シリアルI/Oモード（SIO3）：1チャネル ・3線式シリアルI/Oモード（CSI1）：1チャネル ・UART：1チャネル ・I ² Cバス：1チャネル（μ PD780344Y, 780354Yサブシリーズのみ）				

注1．メモリ・サイズ切り替えレジスタ（IMS）により，内部フラッシュ・メモリ容量の変更可能。

2．4逓倍回路の使用可否を，サブクロック選択レジスタ（SSCK）で決定します。

3．うち28本は，ポート機能がLCDセグメント出力のどちらかを，兼用切り替えレジスタで選択する端子です。

(2/2)

品 名		μ PD780343 μ PD780343Y	μ PD780344 μ PD780344Y	μ PD780353 μ PD780353Y	μ PD780354 μ PD780354Y	μ PD78F0354 μ PD78F0354A μ PD78F0354Y μ PD78F0354AY
項 目						
タイマ		・ 16ビット・タイマ／イベント・カウンタ：1チャンネル ・ 8ビット・タイマ／イベント・カウンタ：3チャンネル ・ 8ビット・タイマ：1チャンネル ・ 時計用タイマ：1チャンネル ・ ウォッチドッグ・タイマ：1チャンネル				
タイマ出力		5本（8ビットPWM出力可能：3本）				
クロック出力		・ 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：10 MHz動作時） ・ 32.768 kHz（サブシステム・クロック：32.768 kHz動作時）				
ベクタ	マスカブル	内部：16, 外部：8				
割り込み	ノンマスカブル	内部：1				
要因	ソフトウェア	1				
ROMコレクション		内蔵				
電源電圧		V _{DD} = 1.8～5.5 V				
動作周囲温度		T _A = -40～+85 °C				

パッケージ

- ・100ピン・プラスチックLQFP（ファインピッチ）（14x14）
- ・113ピン・プラスチックFBGA（10x10）

タイマ／イベント・カウンタの概要を次に示します（詳細は、第6章 16ビット・タイマ／イベント・カウンタ0，第7章 8ビット・タイマA0, B0，第8章 8ビット・タイマ／イベント・カウンタ50, 51，第9章 時計用タイマ，第10章 ウォッチドッグ・タイマを参照）。

		16ビット・タイマ／ イベント・カウンタ0	8ビット・タイマ A0, B0		8ビット・タイマ／ イベント・カウンタ 50, 51	時計用タイマ	ウォッチドッグ・ タイマ
			タイマA0	タイマB0			
動作	インターバル・タイマ	1チャンネル	2チャンネル		2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	—	○	○	—	—
機能	タイマ出力	○	○		○	—	—
	PPG出力	○	—		—	—	—
	PWM出力	—	—	○	○	—	—
	パルス幅測定	○	—		—	—	—
	方形波出力	○	○		○	—	—
	割り込み要求	○	○		○	○	○

注1．時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2．ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1.8 マスク・オプションについて

マスクROM製品（ μ PD780343, 780344, 780353, 780354, 780343Y, 780344Y, 780353Y, 780354Y）には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表1-1に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小を図ることができます。

μ PD780344, 780354サブシリーズで用意されているマスク・オプションを表1-1に、 μ PD780344Y, 780354Yサブシリーズで用意されているマスク・オプションを表1-2に示します。

表1-1 μ PD780344, 780354サブシリーズのマスクROM製品のマスク・オプション

端子名	マスク・オプション
P30, P31, P70-P73	1ビット単位でプルアップ抵抗を内蔵できます。

表1-2 μ PD780344Y, 780354YサブシリーズのマスクROM製品のマスク・オプション

端子名	マスク・オプション
P70-P73	1ビット単位でプルアップ抵抗を内蔵できます。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子		
P00	入出力	ポート 0。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。		入力	INTP0		
P01					INTP1		
P02					INTP2		
P03					INTP3/ADTRG		
P04					INTP4		
P05					INTP5/PCL		
P06					INTP6/TOB0		
P07					TOA0/TMIB0		
P10-P17	入力	ポート 1。 8 ビット入力専用ポート。		入力	ANI0-ANI7		
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。		入力	SI3		
P21					SO3		
P22					SCK3		
P23					SI1		
P24					SO1		
P25					SCK1		
P26					RxD0		
P27					TxD0		
P30	入出力	ポート 3。 6 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。	5 V 耐圧N-chオープン・ドレイン入出力ポート。LEDを直接駆動可能。μPD780344, 780354サブシリーズのマスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能 ^{注1} 。	入力	SCL0 ^{注2}		
P31							SDA0 ^{注2}
P32							TI51/TO51
P33			ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。		TI50/TO50		
P34					TI01/TO00		
P35					TI00		
P40-P43	入出力	ポート 4。 4 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を 1 にセット。		入力	—		
P70-P73	入出力	ポート 7。 4 ビット中耐圧N-chオープン・ドレイン入出力ポート。 1 ビット単位で入力／出力の指定可能。LEDを直接駆動可能。 マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。		入力	—		

注1. μPD780344Y, 780354Y サブシリーズおよびフラッシュ・メモリ製品は内蔵プルアップ抵抗を使用できません。

2. μPD780344Y, 780354Y サブシリーズのみ

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P80-P87 ^注	入出力	ポート8。 8ビット入出力ポート。	入力	S12-S19 ^注
P90-P97 ^注	入出力	ポート9。 8ビット入出力ポート。	入力	S20-S27 ^注
P100-P107 ^注	入出力	ポート10。 8ビット入出力ポート。	入力	S28-S35 ^注
P110-P113 ^注	入出力	ポート11。 4ビット入出力ポート。	入力	S36-S39 ^注

注 ポート機能がLCDセグメント出力のどちらかを，兼用切り替えレジスタで選択する端子です。

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりエッジの両エッジ）指定可能な外部割り込み要求入力。	入力	P00
INTP1				P01
INTP2				P02
INTP3				P03/ADTRG
INTP4				P04
INTP5				P05/PCL
INTP6				P06/TOB0
SI1	入力	シリアル・インタフェースのシリアル・データ入力	入力	P23
SI3				P20
SO1	出力	シリアル・インタフェースのシリアル・データ出力	入力	P24
SO3				P21
SCK1	入出力	シリアル・インタフェースのシリアル・クロック入力／出力	入力	P25
SCK3				P22
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P26
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P27
SCL0	入出力	シリアル・インタフェースのシリアル・クロック入力／出力 (μ PD780344Y, 780354Yサブシリーズのみ)	入力	P30
SDA0		シリアル・インタフェースのシリアル・データ入出力 (μ PD780344Y, 780354Yサブシリーズのみ)		P31
TI00	入力	16ビット・タイマ／イベント・カウンタ0への外部カウント・クロック入力 16ビット・タイマ／イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ入力	入力	P35
TI01		16ビット・タイマ／イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ入力		P34/TO00
TO00		16ビット・タイマ／イベント・カウンタ0出力		P34/TI01
TMIB0	入力	8ビット・タイマ／イベント・カウンタB0への外部カウント・クロック入力	入力	P07/TOA0
TOA0	出力	8ビット・タイマA0出力	入力	P07/TMIB0
TOB0		8ビット・タイマ／イベント・カウンタB0出力		P06/INTP6
TI50	入力	8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力	入力	P33/TO50
TI51		8ビット・タイマ／イベント・カウンタ51への外部カウント・クロック入力		P34/TO51
TO50	出力	8ビット・タイマ／イベント・カウンタ50出力	入力	P33/TI50
TO51		8ビット・タイマ／イベント・カウンタ51出力		P34/TI51
PCL	出力	クロック出力（メイン・システム・クロック，サブシステム・クロックのトリミング用）	入力	P05/INTP5
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P10-P17
ADTRG	入力	A/Dコンバータのトリガ信号入力	入力	P03/INTP3
★ AV _{DD}	入力	A/Dコンバータのアナログ電源。V _{DD0} またはV _{DD1} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS0} またはV _{SS1} と同電位にしてください。	—	—

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
S0-S11	出力	LCDコントローラ／ドライバのセグメント信号出力 (スタティック／ダイナミック表示切り替え可能)	出力	—
S12-S19		LCDコントローラ／ドライバのセグメント信号出力 (ダイナミック表示用)		P80-P87
S20-S27				P90-P97
S28-S35				P100-P107
S36-S39				P110-P113
COM0- COM3	出力	LCDコントローラ／ドライバのコモン信号出力 (ダイナミック表示用)	出力	—
SCOM0	出力	LCDコントローラ／ドライバのコモン信号出力 (スタティック表示用)	出力	—
V _{LC0} -V _{LC2}	—	LCD駆動用電圧 ・ V _{LC0} : V _{LC2} の3倍の出力電圧 ・ V _{LC1} : V _{LC2} の2倍の出力電圧 ・ V _{LC2} : 基準電圧	—	—
CAPH, CAPL	—	LCDドライブ電圧の昇圧用コンデンサ接続	—	—
RESET	入力	システム・リセット入力	—	—
X1	入力	メイン・システム・クロック発振用水晶接続	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用水晶接続	—	—
XT2	—		—	—
V _{DD0}	—	ポート部の正電源	—	—
V _{DD1}	—	正電源（ポート部を除く）	—	—
V _{SS0}	—	ポート部のグランド電位	—	—
V _{SS1}	—	グランド電位（ポート部を除く）	—	—
IC	—	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	—	—
V _{PP}	—	プログラム書き込み／ベリファイ時の高電圧印加		

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、ブザー出力として機能します。

(a) INTP0-INTP6

INTP0-INTP6は、有効エッジ（立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) ADTRG

A/Dコンバータの外部トリガ入力端子です。

注意 P03をA/Dコンバータの外部トリガ入力として使用する場合は、A/Dコンバータ・モード・レジスタ (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込み要求マスク・フラグ (PMK3) を1に設定してください。

(c) PCL

クロック出力端子です。

(d) TOA0, TOB0

8ビット・タイマA0, B0のタイマ出力端子です。

(e) TMIB0

8ビット・タイマ／イベント・カウンタB0への外部カウント・クロック入力端子です。

2.2.2 P10-P17 (Port1)

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

2.2.3 P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI1, SI3, SO1, SO3

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) SCK1, $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

2.2.4 P30-P35 (Port3)

6ビットの入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P30, P31は5 V耐圧N-chオープン・ドレインです。LEDを直接駆動可能です。μPD780343, 780344, 780353, 780354はマスク・オプションにより、内蔵プルアップ抵抗を使用できます。

P32-P35はプルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SDA0

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) SCL0

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) TI00

16ビット・タイマ／イベント・カウンタ0への外部カウント・クロック入力端子および16ビット・タイマ／イベント・カウンタ0のキャプチャ・レジスタ（CR00, CR01）へのキャプチャ・トリガ信号入力端子です。

(d) TI01

16ビット・タイマ／イベント・カウンタ0のキャプチャ・レジスタ（CR00）へのキャプチャ・トリガ信号入力端子です。

(e) TI50, TI51

8ビット・タイマ／イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(f) T000, T050, T051

タイマ出力端子です。

2.2.5 P40-P43 (Port4)

4ビットの入出力ポートです。ポート・モード・レジスタ4（PM4）により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4（PU4）により、内蔵プルアップ抵抗を使用できます。

また、立ち下がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセットできます。立ち下がりエッジを検出するポートの本数は、4本です。

注意 立ち下がりエッジ検出割り込み（INTKR）を使用する場合、メモリ拡張モード・レジスタ（MEM）を必ず01Hに設定してください。

2.2.6 P70-P73 (Port7)

4ビットの入出力ポートです。ポート・モード・レジスタ7（PM7）により、1ビット単位で入力ポートまたは出力ポートに指定できます。LEDを直接駆動可能です。

P70-P73は中耐圧N-chオープン・ドレインです。マスクROM製品はマスク・オプションにより、内蔵プルアップ抵抗を使用できます。

2.2.7 P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかに、LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ8（PF8）により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8（PM8）により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）端子（S12-S19）として機能します。

2.2.8 P90-P97 (Port9)

8ビットの入出力ポートです。入出力ポートのほかに、LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ9（PF9）により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

（1）ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9（PM9）により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロール・モード

LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）端子（S20-S27）として機能します。

2.2.9 P100-P107 (Port10)

8ビットの入出力ポートです。入出力ポートのほかに、LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ10（PF10）により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

（1）ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ10（PM10）により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロール・モード

LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）端子（S28-S35）として機能します。

2.2.10 P110-P113 (Port11)

4ビットの入出力ポートです。入出力ポートのほかに、LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ11（PF11）により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

（1）ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ11（PM11）により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロール・モード

LCDコントローラ／ドライバのセグメント信号出力（ダイナミック表示用）端子（S36-S39）として機能します。

★ 2.2.11 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD0}端子またはV_{DD1}端子と同電位で使用してください。

2.2.12 AVss

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、V_{SS0}端子またはV_{SS1}端子と同電位で使用してください。

2.2.13 S0-S39^注

LCDコントローラ／ドライバのセグメント信号出力端子です。

S0-S11 : スタティック／ダイナミック表示用切り替え可能

S12-S39 : ダイナミック表示用

注 S12-S19はP80-P87と、S20-S27はP90-P97と、S28-S35はP100-P107と、S36-S39はP110-P113と兼用。ポートとの切り替えは、1ビット単位で兼用切り替えレジスタにより指定。

2.2.14 COM0-COM3

LCDコントローラ／ドライバのコモン信号出力端子（ダイナミック表示用）です。

2.2.15 SCOM0

LCDコントローラ／ドライバのコモン信号出力端子（スタティック表示用）です。

2.2.16 V_{LC0}-V_{LC2}

LCD駆動用電圧端子です。V_{LC0}-V_{LC2}端子の内部に各バイアスに応じたLCD駆動用電圧を供給するために、V_{LC0}-GND, V_{LC1}-GND, V_{LC2}-GND間には個別にコンデンサ（推奨：0.47 μ F）を外部に接続してください。

- V_{LC0} : V_{LC2}の3倍の出力電圧
- V_{LC1} : V_{LC2}の2倍の出力電圧
- V_{LC2} : 基準電圧

2.2.17 CAPH, CAPL

LCDドライブ電圧の昇圧用コンデンサ接続端子です。CAPH-CAPL間にコンデンサ（推奨：0.47 μ F）を接続します。

2.2.18 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.19 X1, X2

メイン・システム・クロック発振用水晶振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.20 XT1, XT2

サブシステム・クロック発振用水晶振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2.2.21 VDD0, VDD1

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート部以外の正電源供給端子です。

2.2.22 VSS0, VSS1

VSS0は、ポート部のグランド電位端子です。

VSS1は、ポート部以外のグランド電位端子です。

2.2.23 VPP（フラッシュ・メモリ製品のみ）

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。

以下のどちらかの端子処理をしてください。

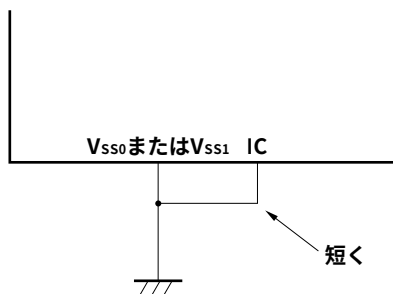
- 個別に10 k Ω のプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はVSS0に直接接続するように切り替える

2.2.24 IC（マスクROM製品のみ）

IC（Internally Connected）端子は、当社出荷時に μ PD780344, 780354, 780344Y, 780354Yサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をVSS0端子またはVSS1端子に直接接続し、その配線長を極力短くしてください。

IC端子とVSS0端子またはVSS1端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVSS0端子またはVSS1端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をVSS0端子またはVSS1端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-1に示します。
また、各タイプの入出力回路の構成は、図2-1を参照してください。

★

表2-1 各端子の入出力回路タイプ (1/2)

端 子 名 称		入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P02/INTP2		8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} またはV _{SS1} に接続してください。 出力時：オープンにしてください。
P03/INTP3/ADTRG				
P04/INTP4				
P05/INTP5/PCL				
P06/INTP6/TOB0				
P07/TOA0/TMIB0				
P10/ANI0-P17/ANI7		25	入力	V _{DD0} またはV _{SS0} に直接接続してください。
P20/SI3		8-C	入出力	入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P21/SO3		5-H		
P22/ $\overline{\text{SCK3}}$		8-C		
P23/SI1				
P24/SO1		5-H		
P25/SCK1		8-C		
P26/RxD0				
P27/TxD0		5-H		
P30, P31	μ PD780343, 780344, 780353, 780354のみ	13-S		
	μ PD78F0354, 78F0354Aのみ	13-R		
P30/SCL0	μ PD780344Y, 780354Y			
P31/SDA0	サブシリーズのみ			
P32/TI51/TO51		8-C		
P33/TO50/TI50				
P34/TI01/TO00				
P35/TI00				
P40-P43		5-H		
P70-P73	マスクROM製品	13-Q	入力時：V _{SS0} またはV _{SS1} に直接接続してください。 出力時：ロウ・レベル出力でオープンにしてください。	
	フラッシュ・メモリ製品	13-P		
P80/S12-P87/S19		17-G	入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P90/S20-P97/S27				
P100/S28-P107/S35				
P110/S36-P113/S39				
S0-S11		17-D	出力	オープンにしてください。

★

表2-1 各端子の入出力回路タイプ (2/2)

端 子 名 称	入出力回路タイプ	入出力	未使用時の推奨接続方法
COM0-COM3	18-B	出力	オープンにしてください。
SCOM0			
V _{LC0} -V _{LC2}			
CAPH, CAPL			
RESET	2	入力	—
XT1	16	入力	V _{DD0} またはV _{DD1} に直接接続してください。
XT2		—	オープンにしてください。
AV _{DD}	—	入力	V _{DD0} またはV _{DD1} に直接接続してください。
AV _{SS}		—	V _{SS0} またはV _{SS1} に直接接続してください。
IC			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください。
V _{PP}			

図2-1 端子の入出力回路一覧 (1/2)

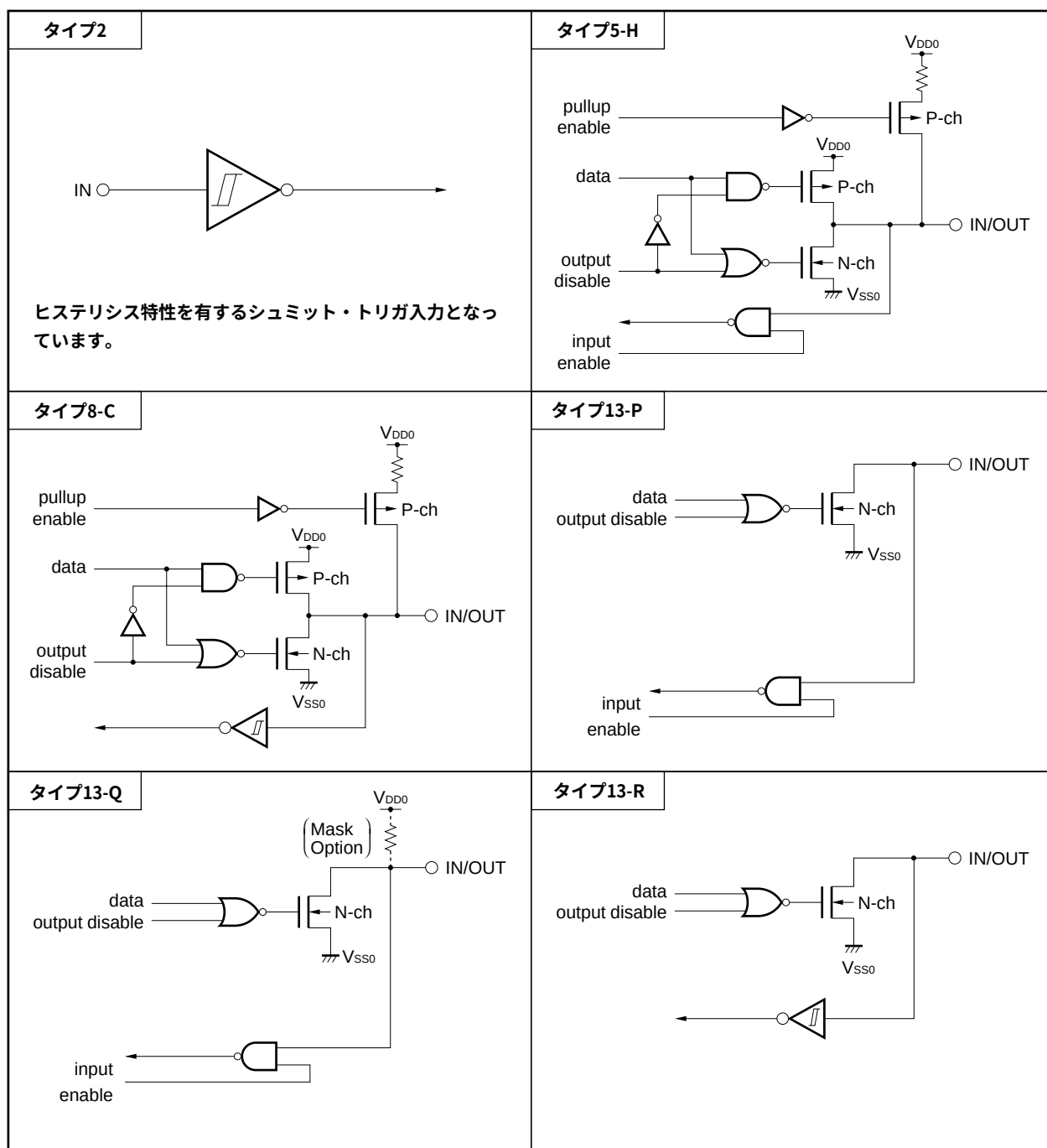
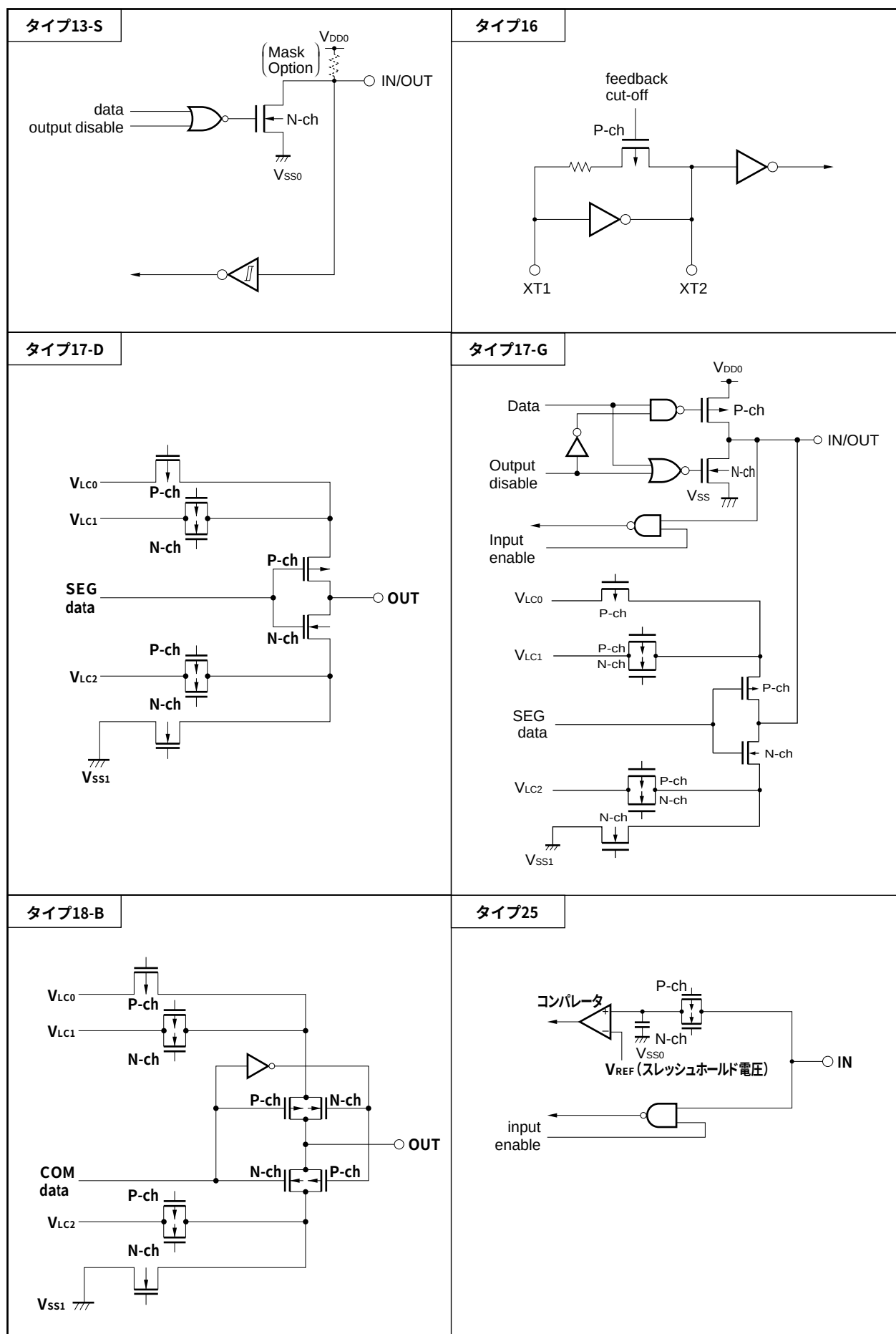


図2-1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

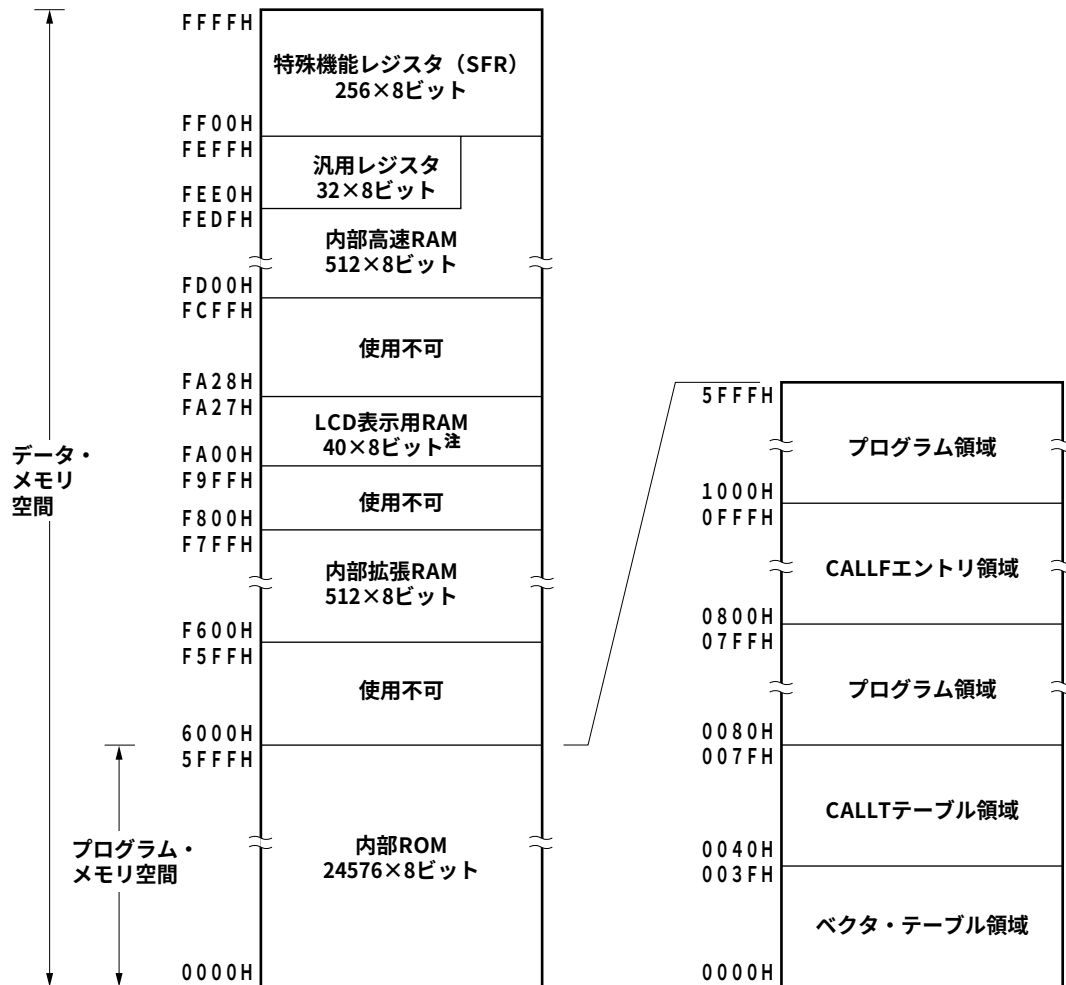
μPD780344, 780354, 780344Y, 780354Yサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1～図3-3に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ（IMS）および内部拡張RAMサイズ切り替えレジスタ（IXS）の初期値は、μPD780344, 780354, 780344Y, 780354Yサブシリーズすべての製品において一定（IMS = CFH, IXS = 0CH）となっています。したがって、各製品ごとに次に示す値を設定して使用してください。

	IMSの設定値	IXSの設定値
μPD780343, 780353, 780343Y, 780353Y	46H	0BH
μPD780344, 780354, 780344Y, 780354Y	48H	
μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY	C8H または マスクROM製品に対応した値	

(1) μ PD780343, 780353, 780343Y, 780353Y

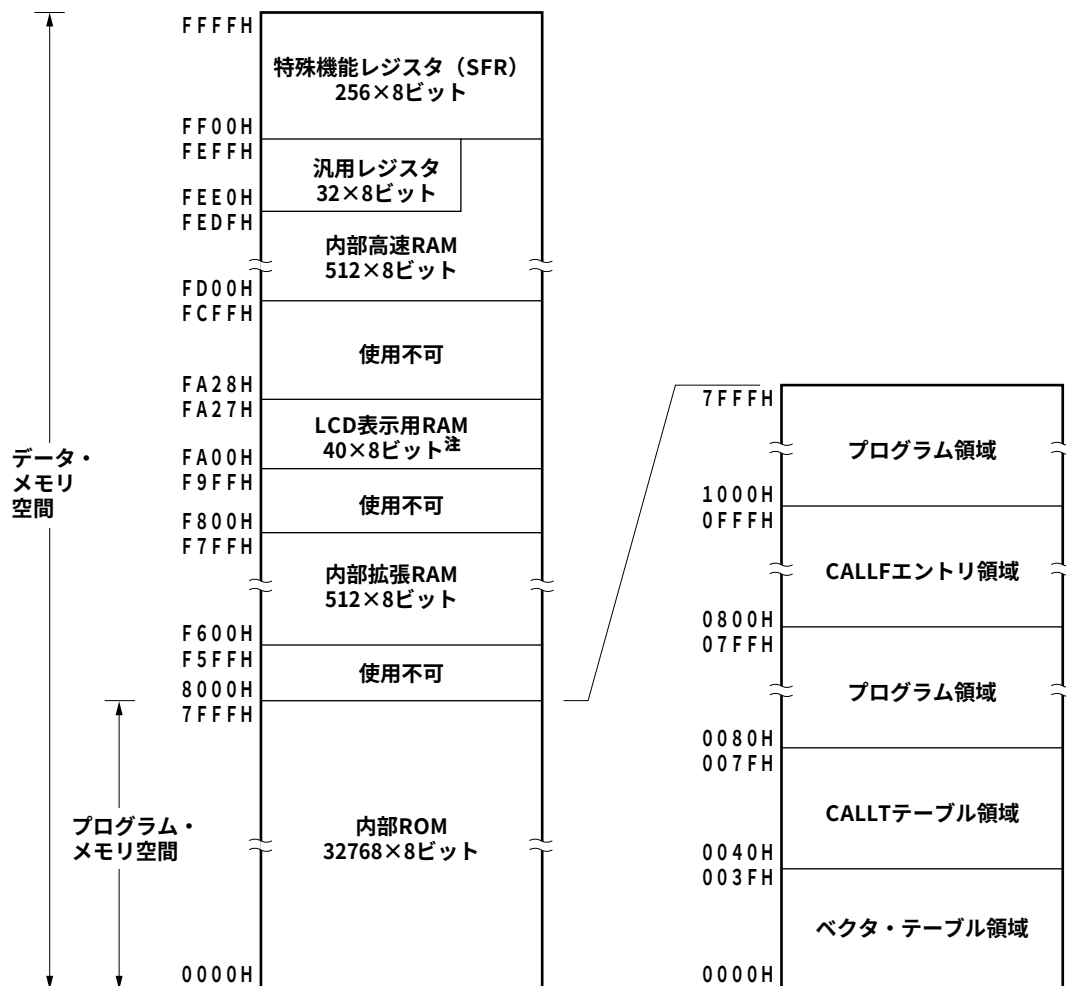
メモリ・サイズ切り替えレジスタ（IMS）の値を46Hに，内部拡張RAMサイズ切り替えレジスタ（IXS）の値を0BHに設定して使用してください（初期値は，IMS = CFH, IXS = 0CH）。

図3-1 メモリ・マップ（ μ PD780343, 780353, 780343Y, 780353Y）

注 LCD表示データとして使用しない領域は通常のRAMとして使用できます。

(2) μ PD780344, 780354, 780344Y, 780354Y

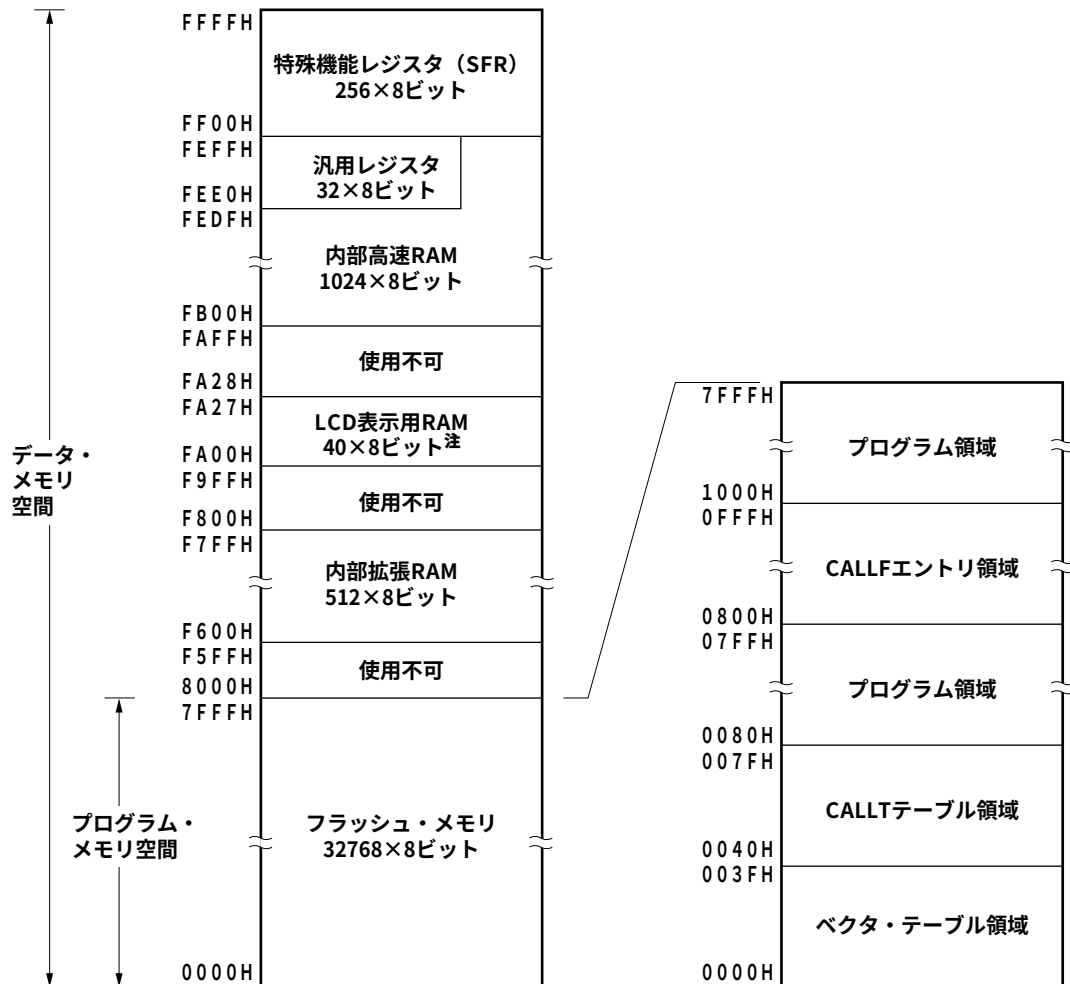
メモリ・サイズ切り替えレジスタ (IMS) の値を48Hに、内部拡張RAMサイズ切り替えレジスタ (IXS) の値を0BHに設定して使用してください (初期値は、IMS = CFH, IXS = 0CH)。

図3-2 メモリ・マップ (μ PD780344, 780354, 780344Y, 780354Y)

注 LCD表示データとして使用しない領域は通常のRAMとして使用できます。

(3) μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AY

メモリ・サイズ切り替えレジスタ（IMS）の値をC8HまたはマスクROM製品に対応した値に，内部拡張RAMサイズ切り替えレジスタ（IXS）の値を0BHに設定して使用してください（初期値は，IMS = CFH, IXS = 0CH）。

図3-3 メモリ・マップ（ μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AY）

注 LCD表示データとして使用しない領域は通常のRAMとして使用できます。

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD780344, 780354, 780344Y, 780354Yサブシリーズは、各製品ごとに次に示す内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3-1 内部メモリ容量

製 品	構 造	容 量
μPD780343, 780353, 780343Y, 780353Y	マスクROM	24576×8ビット (0000H-5FFFH)
μPD780344, 780354, 780344Y, 780354Y		32768×8ビット (0000H-7FFFH)
μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY	フラッシュ・メモリ	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力	001CH	INTCSI1
0004H	INTWDT	001EH	INTCSI3
0006H	INTP0	0020H	INTIIC0 ^注
0008H	INTP1	0022H	INTWTNIO
000AH	INTP2	0024H	INTTM00
000CH	INTP3	0026H	INTTM01
000EH	INTP4	0028H	INTTMA0
0010H	INTP5	002AH	INTTMB0
0012H	INTP6	002CH	INTTM50
0014H	INTKR	002EH	INTTM51
0016H	INTSER0	0030H	INTAD0
0018H	INTSR0	0032H	INTWTN0
001AH	INTST0	003EH	BRK

注 μPD780344Y, 780354Yサブシリーズのみ

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1 バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2 バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD780344, 780354 780344Y, 780354Yサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

マスクROM製品はFD00H-FEFFFHの512バイトの領域に、フラッシュ・メモリ製品はFB00H-FEFFFHの1024バイトの領域に、内部高速RAMが割り付けられています。

このうちFEE0H-FEFFFHの32バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられています。

- ★ プログラム領域として命令を書いて実行することはできません。
また、内部高速RAMはスタックとしても使用できます。

(2) 内部拡張RAM

F600H-F7FFFHの512バイトの領域には、内部拡張RAMが割り付けられています。

- ★ 内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

(3) LCD表示用RAM

FA00H-FA27Hの40バイトの領域には、LCD表示用RAMが割り付けられています。

LCD表示用RAMは通常のRAMとしても使用できます。したがって、LCD表示データとして使用しない領域は、同様に通常のRAMとして使用できます。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 特殊機能レジスタ（SFR：Special Function Register）の表3-3 特殊機能レジスタ一覧参照）。

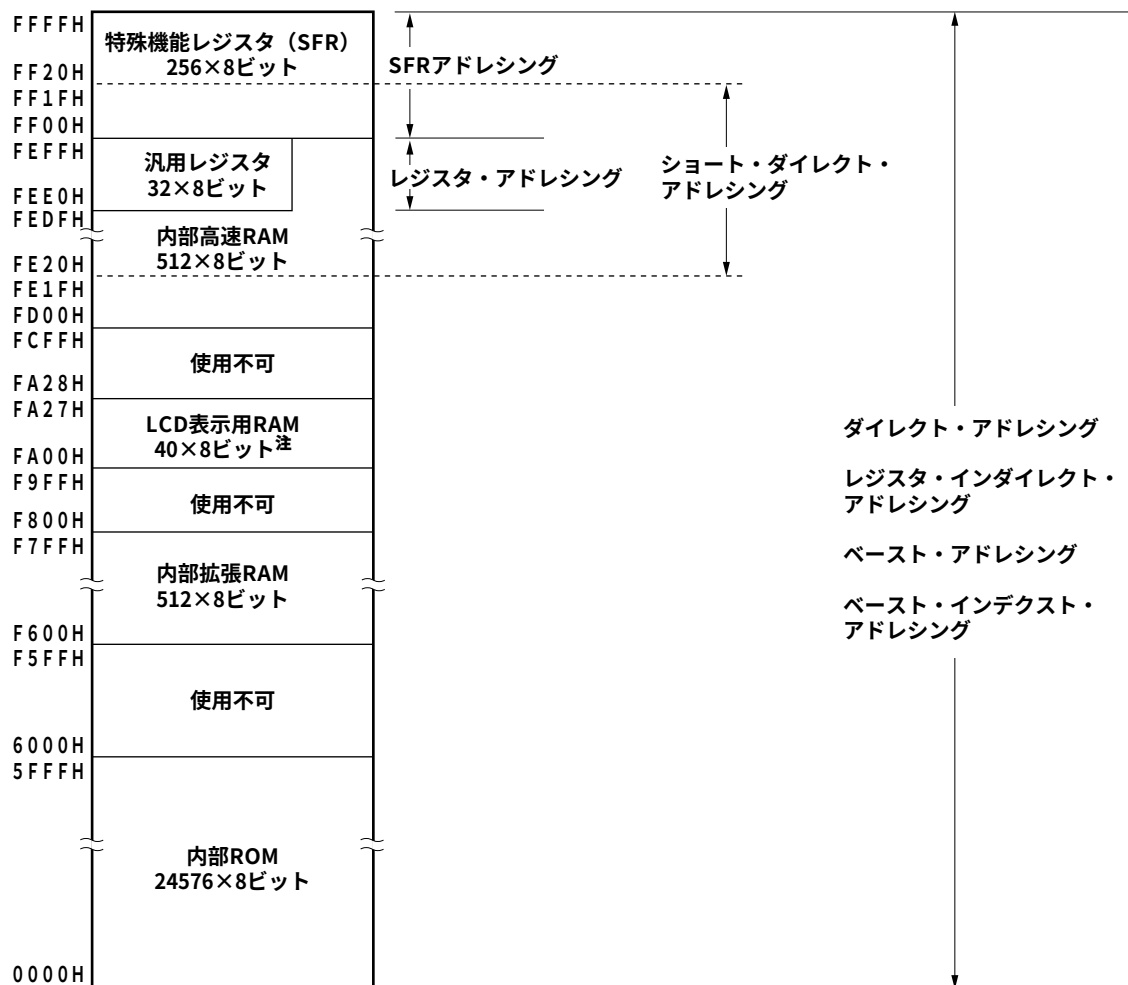
注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて， μ PD780344, 780354, 780344Y, 780354Y サブシリーズでは，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3－4から図3－6にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については，3.4 オペランド・アドレスのアドレッシングを参照してください。

図3－4 データ・メモリとアドレッシングの対応（ μ PD780343, 780353, 780343Y, 780353Y）



注 LCD表示データとして使用しない領域は通常のRAMとして使用できます。

図3-5 データ・メモリとアドレッシングの対応 (μPD780344, 780354, 780344Y, 780354Y)

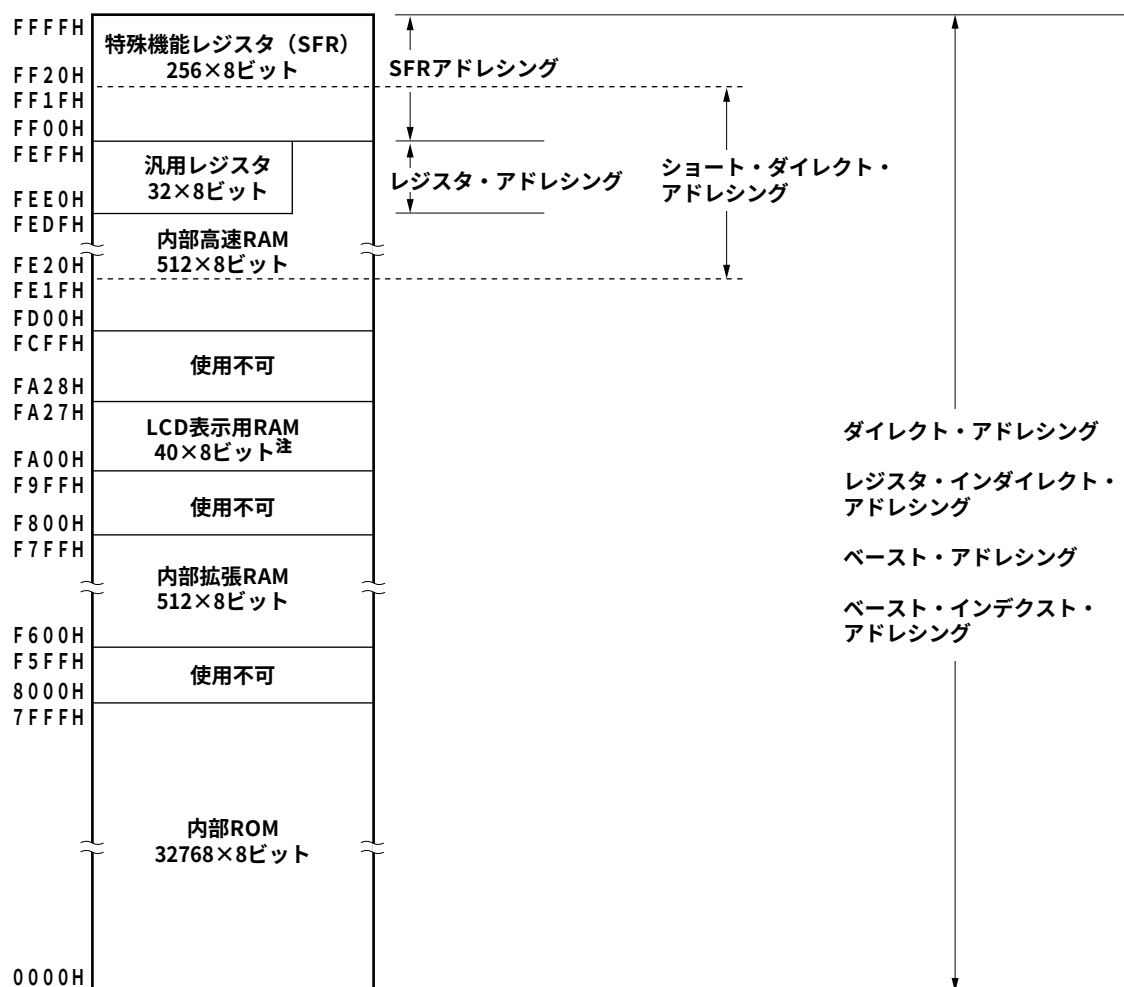
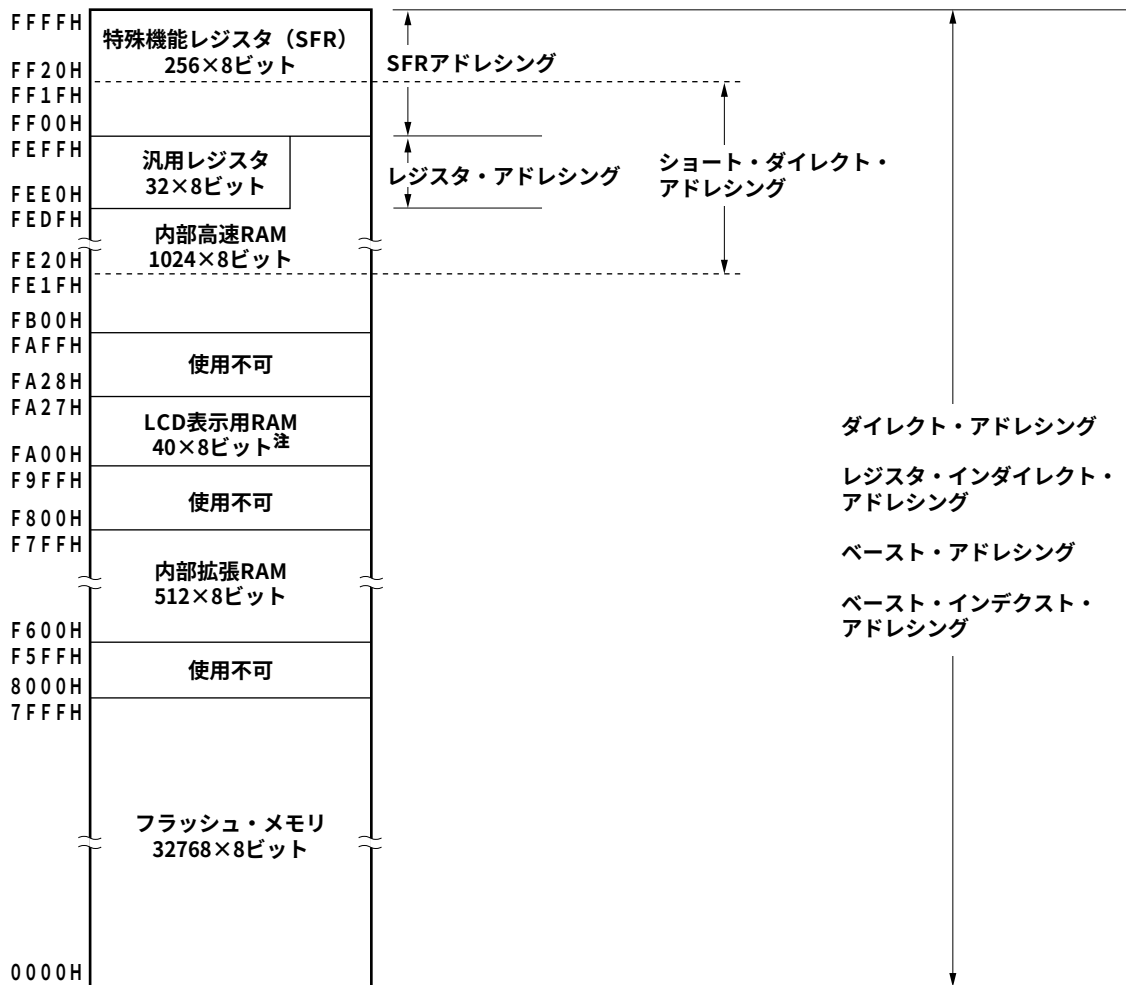


図3-6 データ・メモリとアドレッシングの対応 (μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY)



注 LCD表示データとして使用しない領域は通常のRAMとして使用できます。

3.2 プロセッサ・レジスタ

μPD780344, 780354, 780344Y, 780354Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

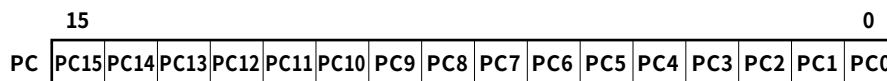
（1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

RESET入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



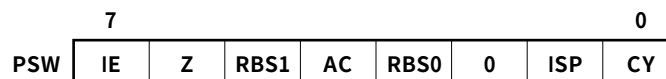
（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

RESET入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサート・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (18.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

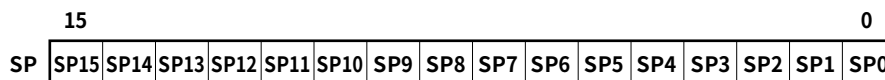
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3-9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

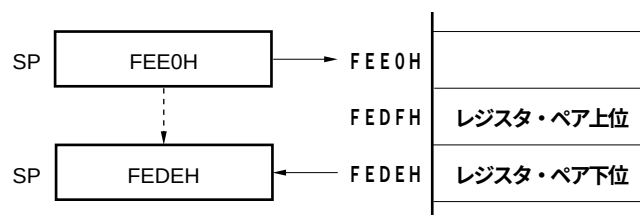
各スタック動作によって退避/復帰されるデータは図3-10、3-11のようになります。

★ **注意** SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

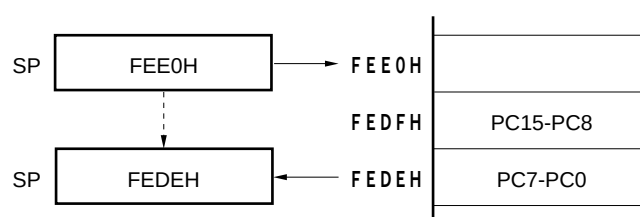
★

図3-10 スタック・メモリへ退避されるデータ

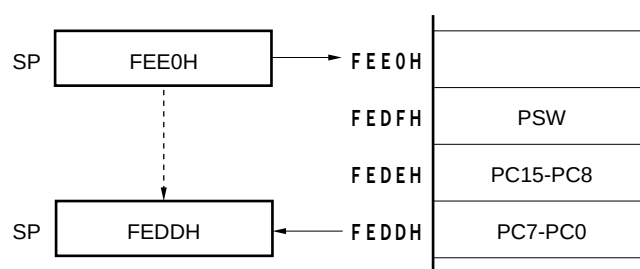
(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



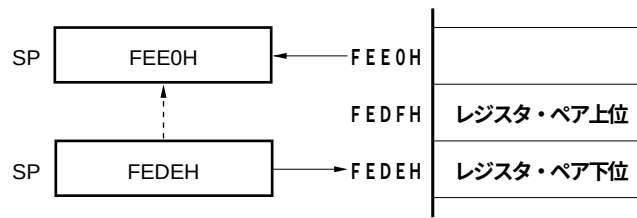
(c) 割り込み, BRK命令 (SPがFEE0Hの場合)



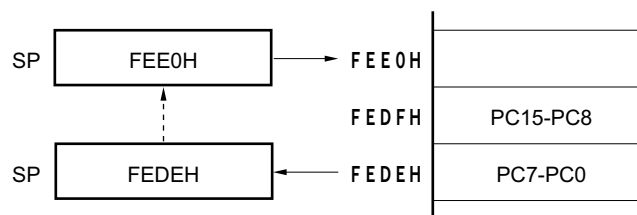
★

図3-11 スタック・メモリから復帰されるデータ

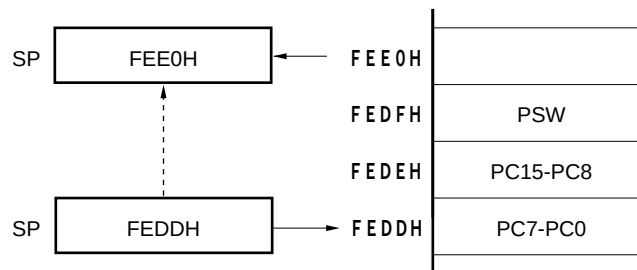
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

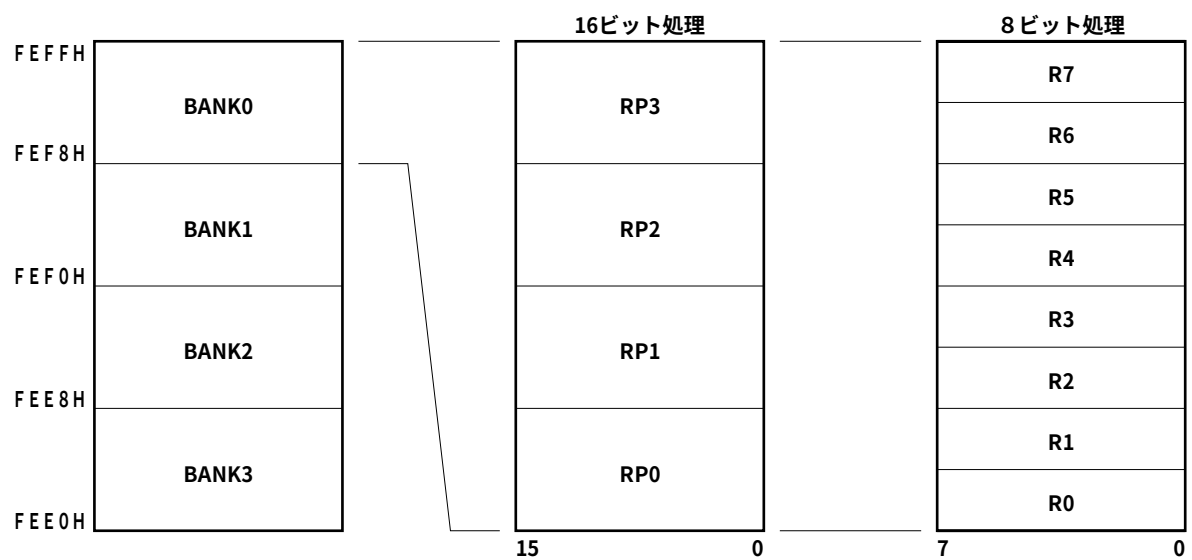
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

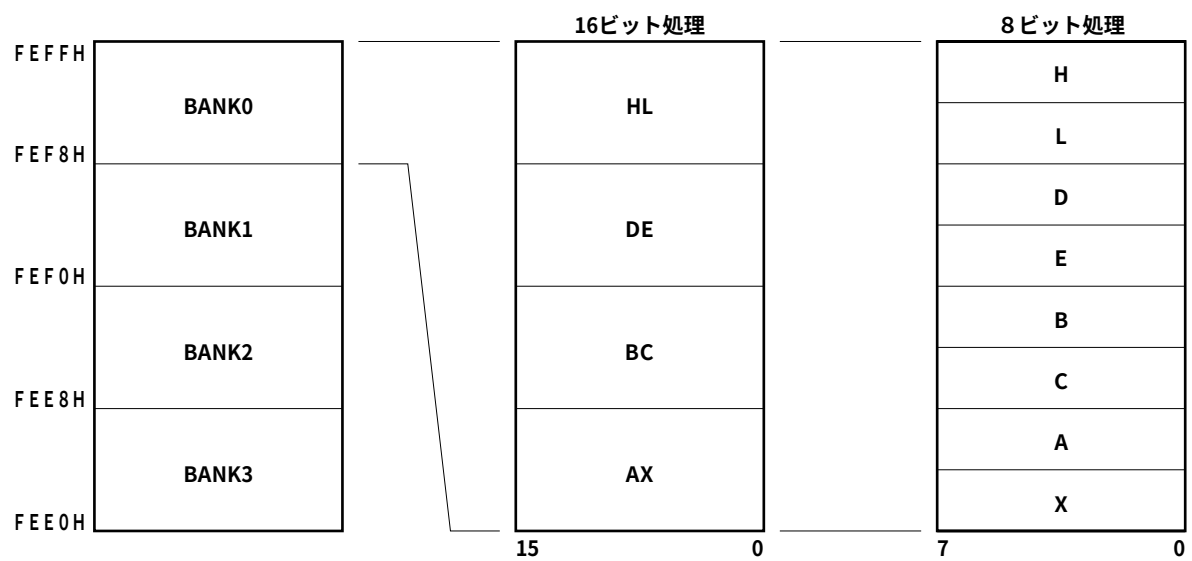
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3-12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NSおよびSM78K0使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- **リセット時**

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット値
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W	○	○	—	00H
FF01H	ポート1	P1	R	○	○	—	00H
FF02H	ポート2	P2	R/W	○	○	—	00H
FF03H	ポート3	P3	R/W	○	○	—	00H
FF04H	ポート4	P4	R/W	○	○	—	00H
FF07H	ポート7	P7	R/W	○	○	—	00H
FF08H	ポート8 ^{注1}	P8	R/W	○	○	—	00H
FF09H	ポート9 ^{注1}	P9	R/W	○	○	—	00H
FF0AH	ポート10 ^{注1}	P10	R/W	○	○	—	00H
FF0BH	ポート11 ^{注1}	P11	R/W	○	○	—	00H
FF0CH	送信バッファ・レジスタ1	SOTB1	R/W	—	○	—	不定
FF0DH	シリアルI/Oシフト・レジスタ1	SIO1	R	—	○	—	不定
FF0EH	A/D変換結果レジスタ0 ^{注2}	ADCR0 ^{注2}	R	—	—	○	0000H
FF0FH	A/D変換結果レジスタ1 ^{注3}	ADCR1 ^{注3}	R	—	○	—	00H
FF10H	16ビット・タイマ・キャプチャ／	CR00	R/W	—	—	○	不定
FF11H	コンペア・レジスタ00						
FF12H	16ビット・タイマ・キャプチャ／	CR01	R/W	—	—	○	不定
FF13H	コンペア・レジスタ01						
FF14H	16ビット・タイマ・カウンタ0	TM0	R	—	—	○	0000H
FF15H							
FF16H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	—	○	—	不定
FF17H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	—	○	—	不定
FF18H	8ビット・タイマ・カウンタ50	TM50	R	—	○	○	00H
FF19H	8ビット・タイマ・カウンタ51	TM51					00H
FF1AH	シリアルI/Oシフト・レジスタ3	SIO3	R/W	—	○	—	不定
FF1BH	送信シフト・レジスタ0	TXS0	W	—	○	—	FFH
	受信バッファ・レジスタ0	RXB0	R	—	○	—	FFH
FF1FH	IICシフト・レジスタ0 ^{注4}	IIC0	R/W	—	○	—	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH
FF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH
FF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH
FF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	—	FFH
FF28H	ポート・モード・レジスタ8 ^{注1}	PM8	R/W	○	○	—	FFH
FF29H	ポート・モード・レジスタ9 ^{注1}	PM9	R/W	○	○	—	FFH
FF2AH	ポート・モード・レジスタ10 ^{注1}	PM10	R/W	○	○	—	FFH
FF2BH	ポート・モード・レジスタ11 ^{注1}	PM11	R/W	○	○	—	FFH
FF30H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
FF32H	プルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	—	00H
FF33H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
FF34H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	00H

注1. 兼用切り替えレジスタ (PF8-PF11) でポート機能を選択した端子に対してのみ、有効となります。

2. μPD780354, 780354Yサブシリーズのみ

3. μPD780344, 780344Yサブシリーズのみ

★ 4. μPD780344Y, 780354Yサブシリーズのみ

表3-3 特殊機能レジスタ一覧 (2/3)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット単位			リセット値
					1ビット	8ビット	16ビット	
FF38H	コレクション・アドレス・レジスタ0	CORAD0		R/W	—	—	○	0000H
FF39H								
FF3AH	コレクション・アドレス・レジスタ1	CORAD1		R/W	—	—	○	0000H
FF3BH								
FF40H	クロック出力選択レジスタ	CKS		R/W	○	○	—	00H
FF41H	時計用タイマ動作モード・レジスタ0	WTNM0		R/W	○	○	—	00H
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		R/W	—	○	—	00H
FF47H	メモリ拡張モード・レジスタ	MEM		R/W	○	○	—	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP		R/W	○	○	—	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN		R/W	○	○	—	00H
FF58H	兼用切り替えレジスタ8	PF8		R/W	○	○	—	00H
FF59H	兼用切り替えレジスタ9	PF9		R/W	○	○	—	00H
FF5AH	兼用切り替えレジスタ10	PF10		R/W	○	○	—	00H
FF5BH	兼用切り替えレジスタ11	PF11		R/W	○	○	—	00H
FF60H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0		R/W	○	○	—	00H
FF61H	プリスケアラ・モード・レジスタ0	PRM0		R/W	—	○	—	00H
FF62H	キャプチャ／コンペア・コントロール・レジスタ0	CRC0		R/W	○	○	—	00H
FF63H	16ビット・タイマ出力コントロール・レジスタ0	TOC0		R/W	○	○	—	00H
FF68H	8ビット・タイマ・カウンタB0	TMB0	TMB	R	—	○	○	00H
FF69H	8ビット・タイマ・カウンタA0	TMA0		R	—	○		00H
FF6AH	8ビット・コンペア・レジスタB0	CRB0	CRB	W	—	○	○	不定
FF6BH	8ビット・コンペア・レジスタA0	CRA0		W	—	○		不定
FF6CH	8ビットH幅コンペア・レジスタB0	CRHB0		W	—	○	—	不定
FF6DH	8ビット・タイマ・モード・コントロール・レジスタA0	TMCA0		R/W	○	○	—	00H
FF6EH	8ビット・タイマ・モード・コントロール・レジスタB0	TMCB0		R/W	○	○	—	00H
FF6FH	キャリア・ジェネレータ出力コントロール・レジスタB0	TCAB0		R/W	—	○	—	00H
FF70H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W	○	○	—	00H
FF71H	タイマ・クロック選択レジスタ50	TCL50		R/W	—	○	—	00H
FF73H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51		R/W	○	○	—	00H
FF74H	タイマ・クロック選択レジスタ51	TCL51		R/W	—	○	—	00H
FF78H	サブクロック選択レジスタ	SSCK		R/W	○	○	—	00H
FF79H	時計用タイマ割り込み時間選択レジスタ	WTIM		R/W	○	○	—	00H
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FF81H	アナログ入力チャネル指定レジスタ0	ADS0		R/W	—	○	—	00H
FF8AH	コレクション・コントロール・レジスタ	CORCN		R/W	○	○	—	00H
FF90H	LCD表示モード・レジスタ3	LCDM3		R/W	○	○	—	00H
FF91H	LCDクロック制御レジスタ3	LCDC3		R/W	—	○	—	00H
FF92H	スタティック／ダイナミック表示切り替えレジスタ3	SDSEL3		R/W	—	○	—	00H
FF94H	LCDゲイン調整レジスタ0	VLCG0		R/W	○	○	—	00H
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0		R/W	○	○	—	00H
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0		R	—	○	—	00H
FFA2H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0		R/W	—	○	—	00H

表3-3 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット単位			リセット値
					1ビット	8ビット	16ビット	
FFA4H	IICコントロール・レジスタ0 ^{注1}	IICC0		R/W	○	○	—	00H
FFA5H	IIC状態レジスタ0 ^{注1}	IICS0		R	○	○	—	
FFA6H	IIC転送クロック選択レジスタ0 ^{注1}	IICCL0		R/W	○	○	—	
FFA7H	スレーブ・アドレス・レジスタ0 ^{注1}	SVA0			—	○	—	
FFA8H	IIC機能拡張レジスタ0 ^{注1}	IICX0			○	○	—	
FFAFH	シリアル動作モード・レジスタ3	CSIM3		R/W	○	○	—	00H
FFB0H	シリアル動作モード・レジスタ1	CSIM1		R/W	○	○	—	00H
FFB1H	シリアル・クロック選択レジスタ1	CSIC1		R/W	○	○	—	10H
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W	○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W	○	○		00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		R/W	○	○	—	00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W	○	○	○	FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W	○	○		FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		R/W	○	○	—	FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W	○	○	○	FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W	○	○		FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		R/W	○	○	—	FFH
FFF0H	メモリ・サイズ切り替えレジスタ ^{注2}	IMS		R/W	—	○	—	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注3}	IXS		R/W	—	○	—	0CH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		R/W	○	○	—	00H
FFFAH	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W	○	○	—	04H

★ 注1. μPD780344Y, 780354Yサブシリーズのみ。

2. 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780343, 780353, 780343Y, 780353Y : 46H

μPD780344, 780354, 780344Y, 780354Y : 48H

μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY : C8HまたはマスクROM製品に対応した値

3. 初期値は0CHですが、0BHを設定して使用してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

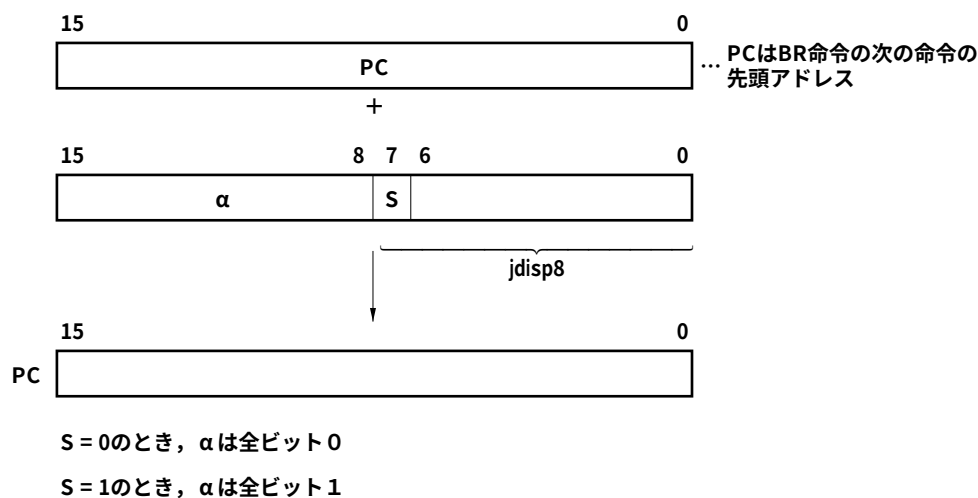
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエート・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図 解】



3.3.2 イミディエト・アドレッシング

【機能】

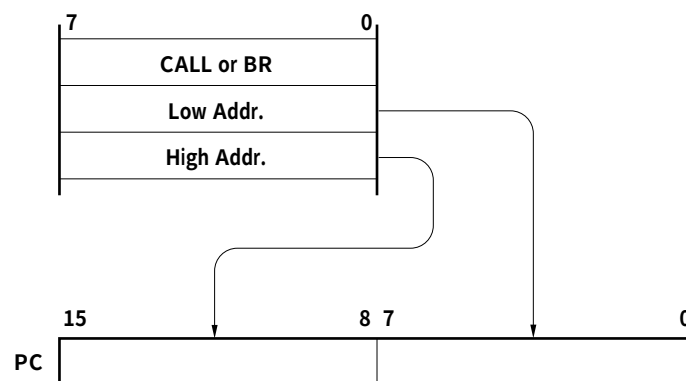
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

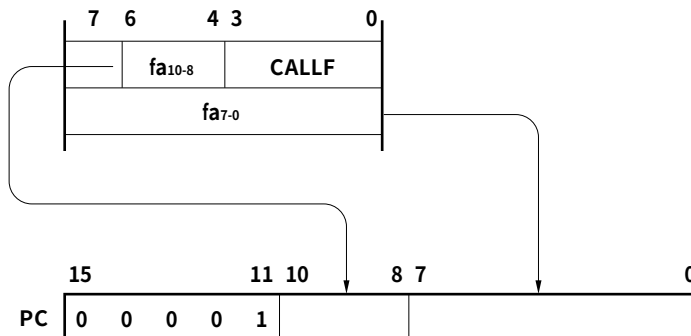
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



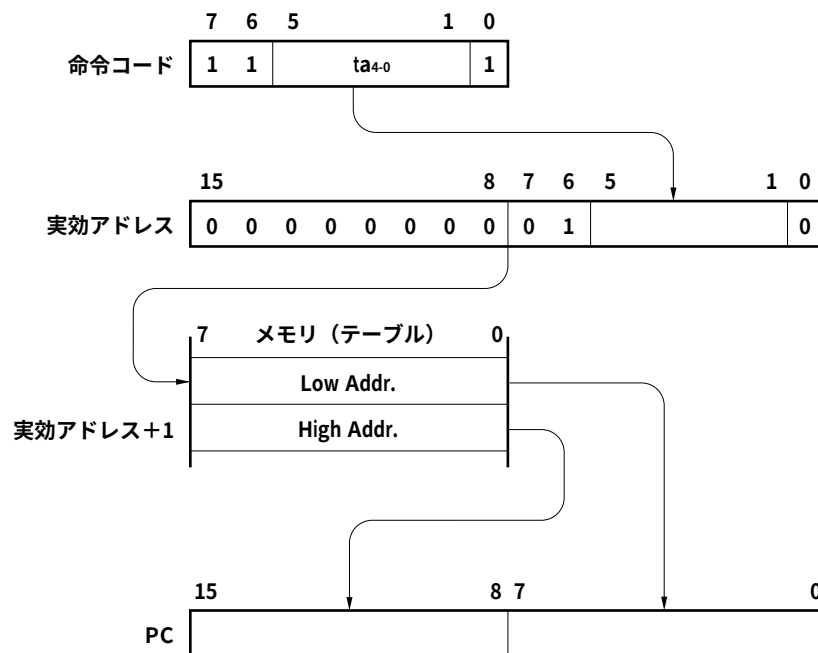
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエイト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



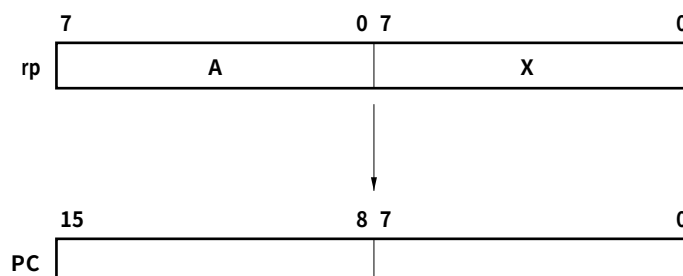
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的（暗黙的）にアドレスするアドレッシングです。

μPD780344, 780354, 780344Y, 780354Yサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ指定コード（Rn, PRn）により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

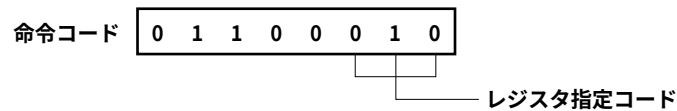
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

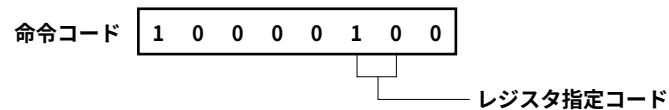
r, rpは、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

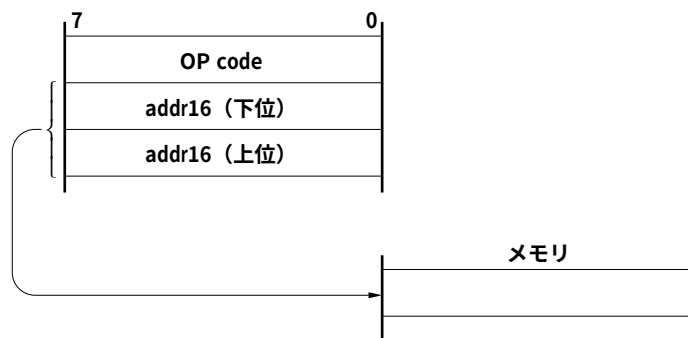
表現形式	記述方法
addr16	レーベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合

命令コード	1 0 0 0 1 1 1 0	OPコード
	0 0 0 0 0 0 0 0	00H
	1 1 1 1 1 1 1 0	FEH

【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ／イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

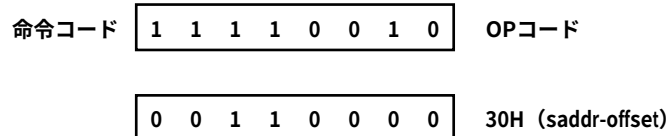
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

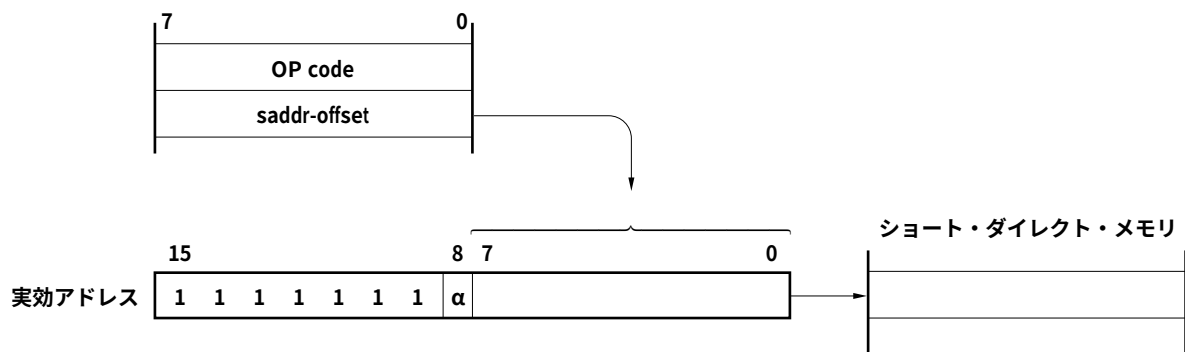
表現形式	記 述 方 法
saddr	レーベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

★ 【記 述 例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図 解】



8ビット・イミディエト・データが20H-FFHのとき、 $\alpha = 0$

8ビット・イミディエト・データが00H-1FHのとき、 $\alpha = 1$

3.4.5 特殊機能レジスタ（SFR）アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレッシングです。

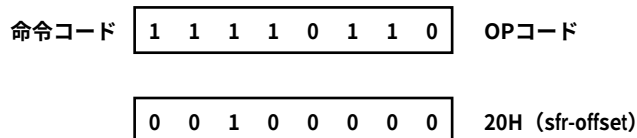
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

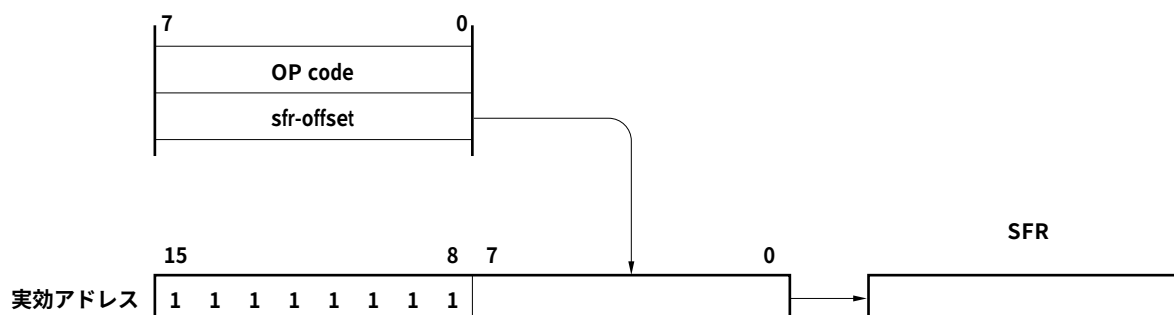
表現形式	記 述 方 法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名（偶数アドレスのみ）

【記 述 例】

MOV PM0, A ; sfrにPM0（FF20H）を選択する場合



【図 解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE] , [HL]

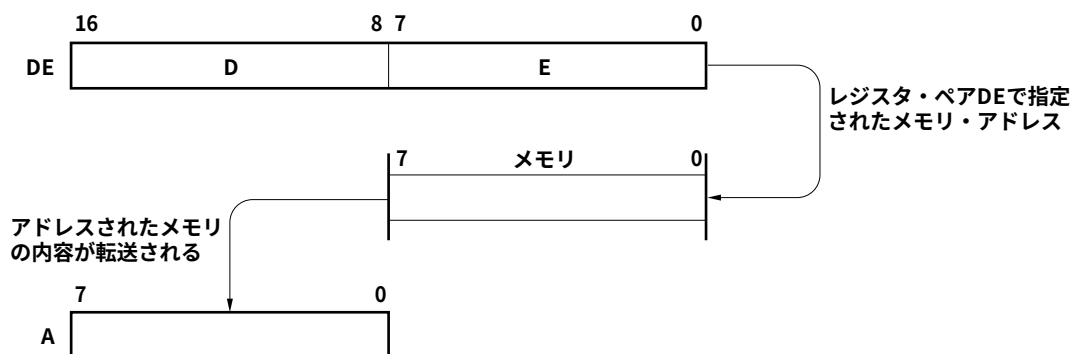
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

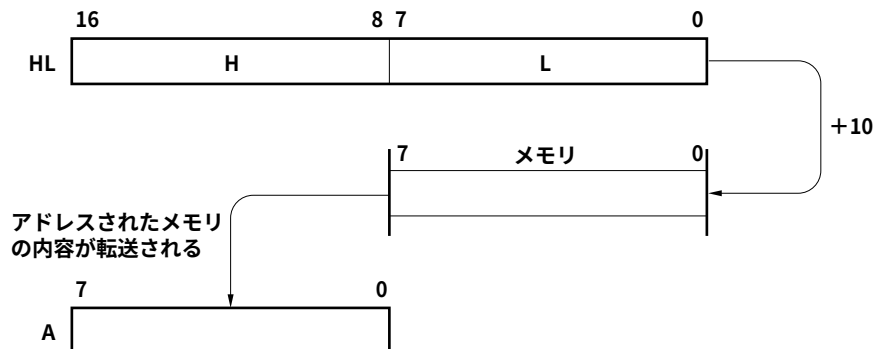
表現形式	記 述 方 法
—	[HL+byte]

【記 述 例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード	1 0 1 0 1 1 1 0
	0 0 0 1 0 0 0 0

★ 【図 解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
—	[HL+B] , [HL+C]

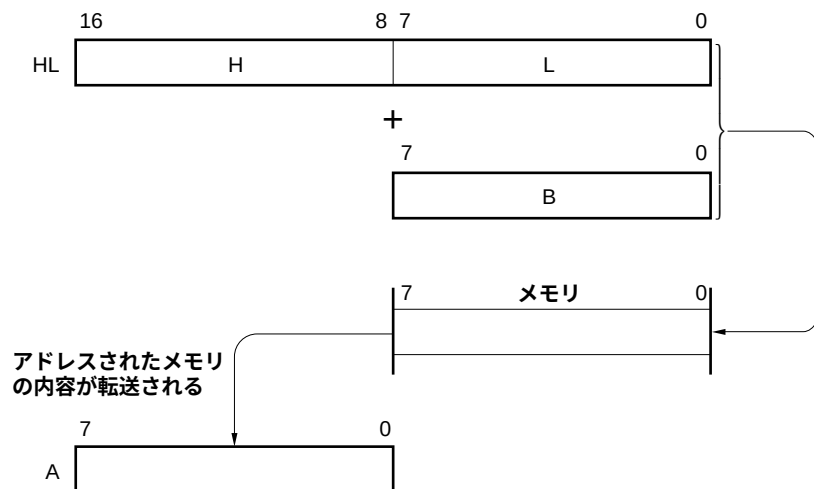
【記 述 例】

MOV A, [HL+B] （Bレジスタを選択）の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

★ 【図 解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール，リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

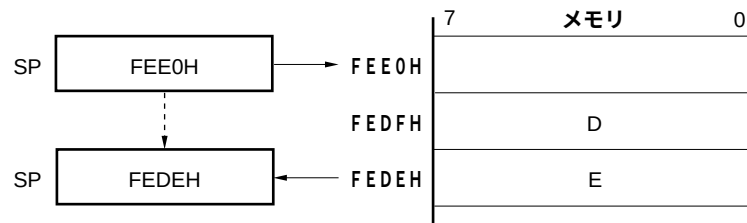
【記述例】

PUSH DE（DEレジスタをセーブ）の場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

★ 【図解】



第4章 ポート機能

4.1 ポートの機能

μPD780344, 780354, 780344Y, 780354Yサブシリーズは、図4-1に示すポートを備えています。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様に制御できます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

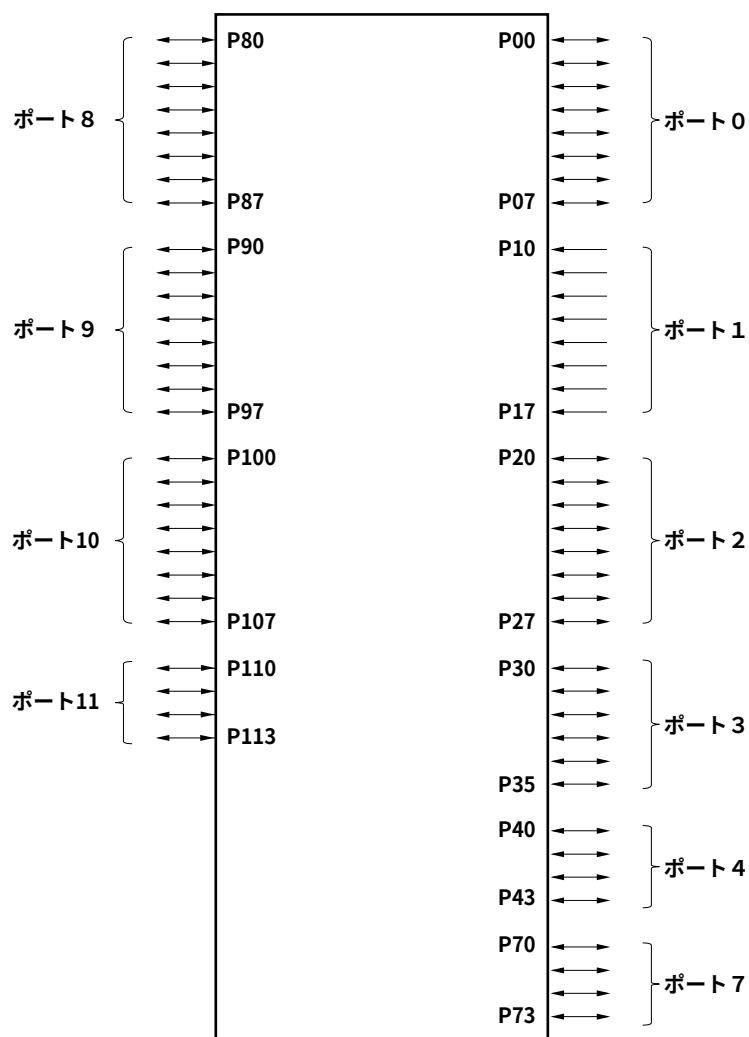


表4-1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力／出力の指定可能。 プルアップ抵抗オプション・レジスタ0（PU0）の設定により、内蔵プルアップ抵抗を1ビット単位で使用可能。
★ポート1	P10-P17	入力専用ポート
ポート2	P20-P27	入出力ポート。1ビット単位で入力／出力の指定可能。 プルアップ抵抗オプション・レジスタ2（PU2）の設定により、内蔵プルアップ抵抗を1ビット単位で使用可能。
ポート3	P30-P35	入出力ポート。1ビット単位で入力／出力の指定可能。 P30, P31は5 V耐圧N-chオープン・ドレイン入出力ポート。μPD780344, 780354サブシリーズのマスクROM製品は、マスク・オプションによりプルアップ抵抗の内蔵を1ビット単位で指定可能。 P32-P35は、プルアップ抵抗オプション・レジスタ3（PU3）の設定により、内蔵プルアップ抵抗を1ビット単位で使用可能。
★ポート4	P40-P43	入出力ポート。1ビット単位で入力／出力の指定可能。 プルアップ抵抗オプション・レジスタ4（PU4）の設定により、内蔵プルアップ抵抗を1ビット単位で使用可能。 立ち上がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセット。
ポート7	P70-P73	中耐圧N-chオープン・ドレイン入出力ポート。1ビット単位で入力／出力の指定可能。 マスクROM製品は、マスク・オプションによりプルアップ抵抗の内蔵を1ビット単位で指定可能。
ポート8 ^注	P80-P87	入出力ポート。（兼用切り替えレジスタ8（PF8）で入出力ポートを選択した端子のみ）
ポート9 ^注	P90-P97	入出力ポート。（兼用切り替えレジスタ9（PF9）で入出力ポートを選択した端子のみ）
ポート10 ^注	P100-P107	入出力ポート。（兼用切り替えレジスタ10（PF10）で入出力ポートを選択した端子のみ）
ポート11 ^注	P110-P113	入出力ポート。（兼用切り替えレジスタ11（PF11）で入出力ポートを選択した端子のみ）

注 兼用切り替えレジスタにより、入出力ポートとして使うか、セグメント出力として使うかを1ビット単位で選択できます。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0, 2-4, 8-11) プルアップ抵抗オプション・レジスタ (PUm : m = 0, 2-4) メモリ拡張レジスタ (MEM) 兼用切り替えレジスタ (PF8-PF11)
ポート	合計：66本（入力：8本，入出力：58本）
プルアップ抵抗	・ μPD780343, 780344, 780353, 780354 合計：30本（ソフトウェア制御：24本，マスク・オプション指定：6本） ・ μPD780343Y, 780344Y, 780353Y, 780354Y 合計：28本（ソフトウェア制御：24本，マスク・オプション指定：4本） ・ μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY 合計：24本（ソフトウェア制御：24本）

4.2.1 ポート0

出力ラッチ付き8ビット入出力ポートです。P00-P07端子は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

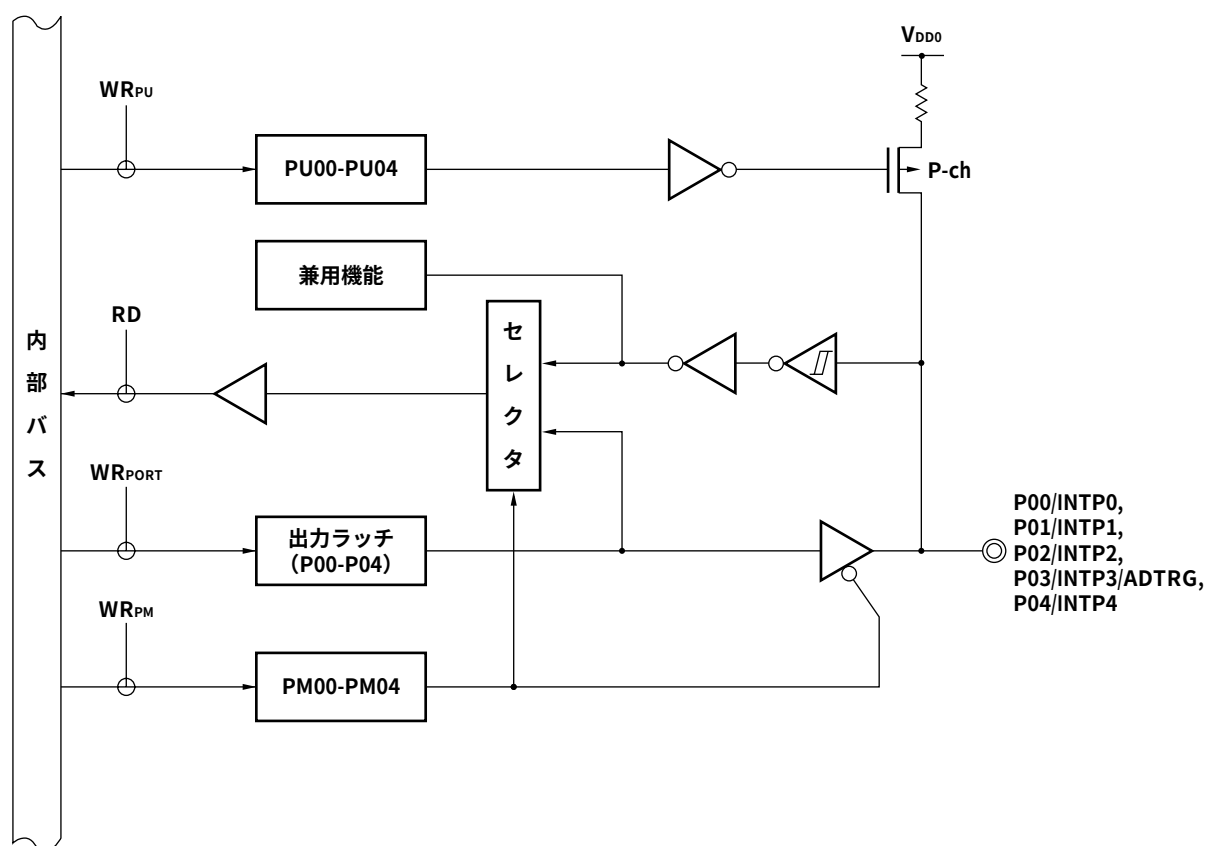
また、兼用機能として外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、タイマ入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2，4-3にポート0のブロック図を示します。

注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4-2 P00-P04のブロック図



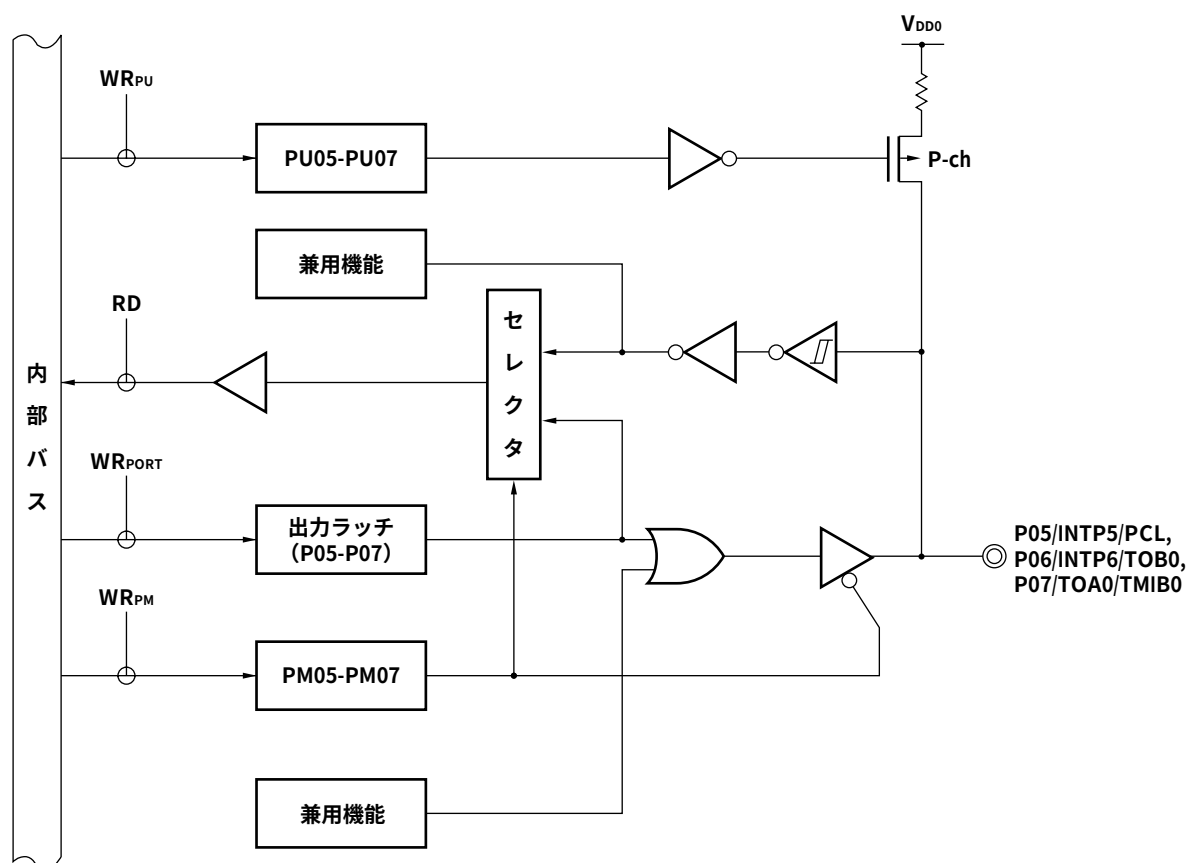
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

図4-3 P05-P07のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

4.2.2 ポート1

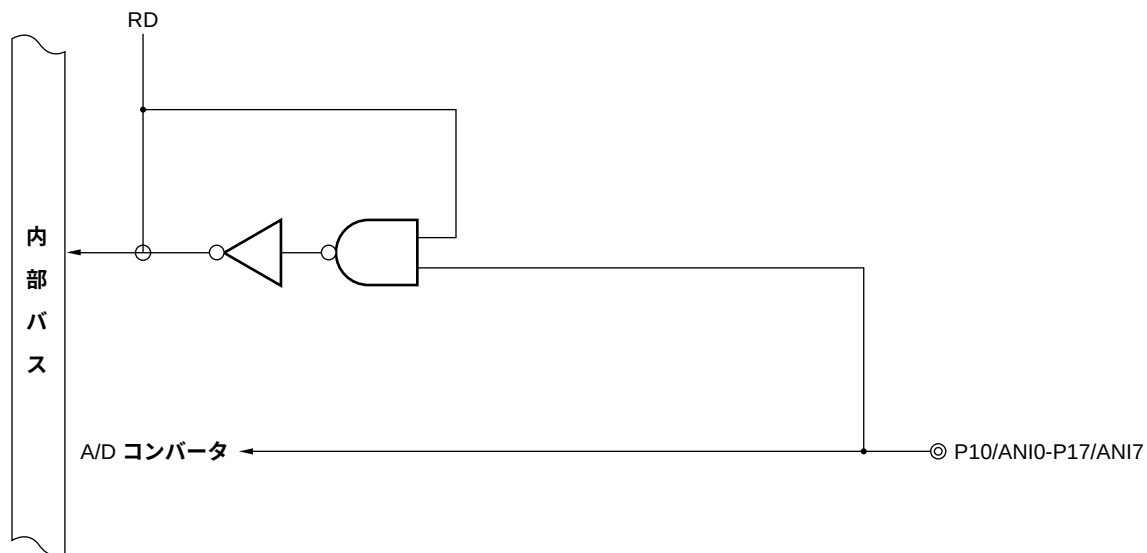
8ビット入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4-4にポート1のブロック図を示します。

★

図4-4 P10-P17のブロック図



RD：ポート1のリード信号

4.2.3 ポート2

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2（PM2）により、1ビット単位で入力モード／出力モードの指定ができます。P20-P27端子は、プルアップ抵抗オプション・レジスタ2（PU2）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

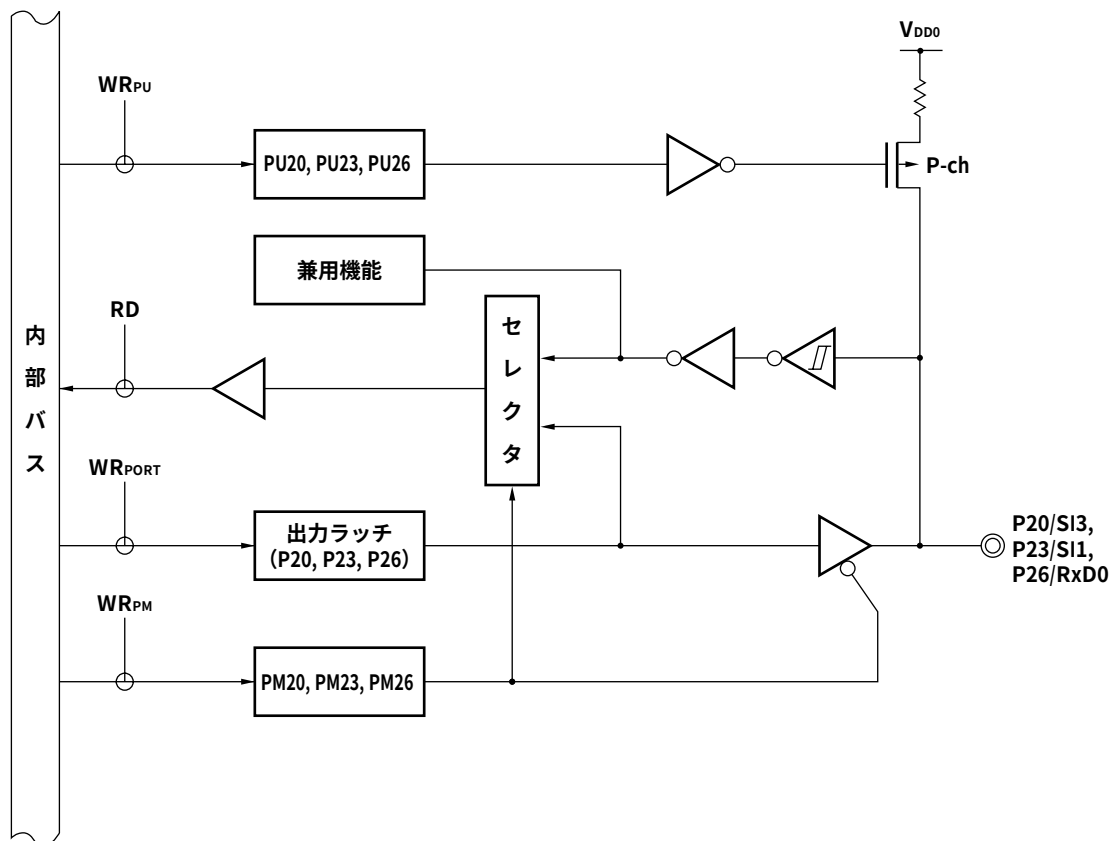
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

RESET入力により、入力モードになります。

図4-5～図4-7にポート2のブロック図を示します。

- ★ **注意** P23/SI1, P24/SO1, P25/SCK1を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ（CSIC1）への書き込みは行わないでください。

図4-5 P20, P23, P26のブロック図



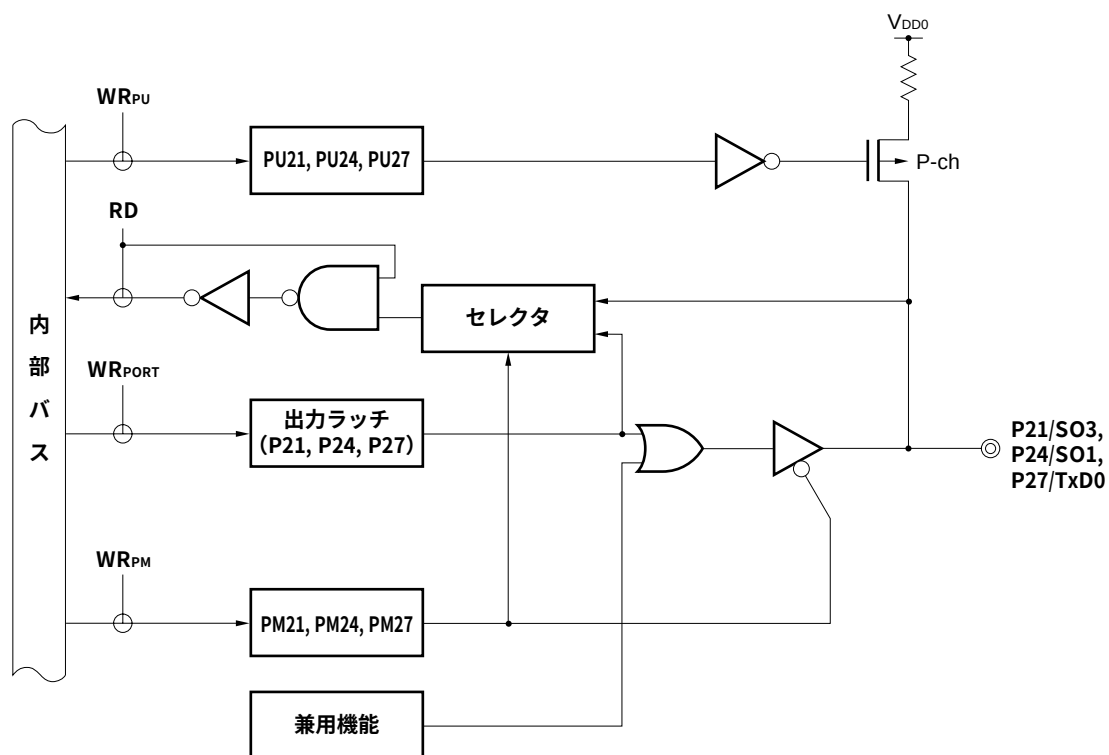
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4-6 P21, P24, P27のブロック図



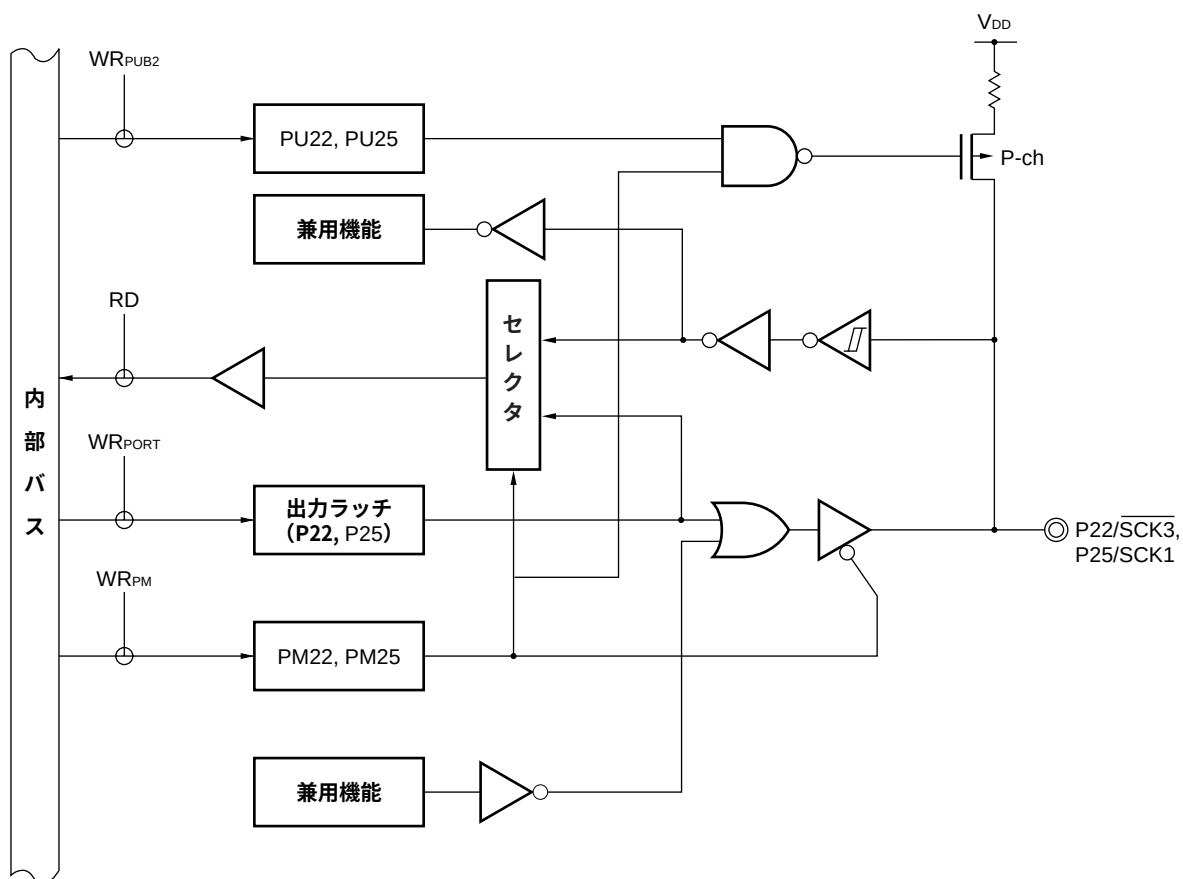
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4-7 P22, P25のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

出力ラッチ付き6ビット入出力ポートです。P30-P35端子は、ポート・モード・レジスタ3（PM3）により、1ビット単位で入力モード／出力モードの指定ができます。

P30, P31端子は5 V耐圧N-chオープン・ドレインです。LEDを直接駆動可能です。μPD780344Y, 780354Yサブシリーズの場合は、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

P32-P35端子は、プルアップ抵抗オプション・レジスタ3（PU3）により、1ビット単位で内蔵プルアップ抵抗を使用できます。また、兼用機能としてタイマの入出力があります。

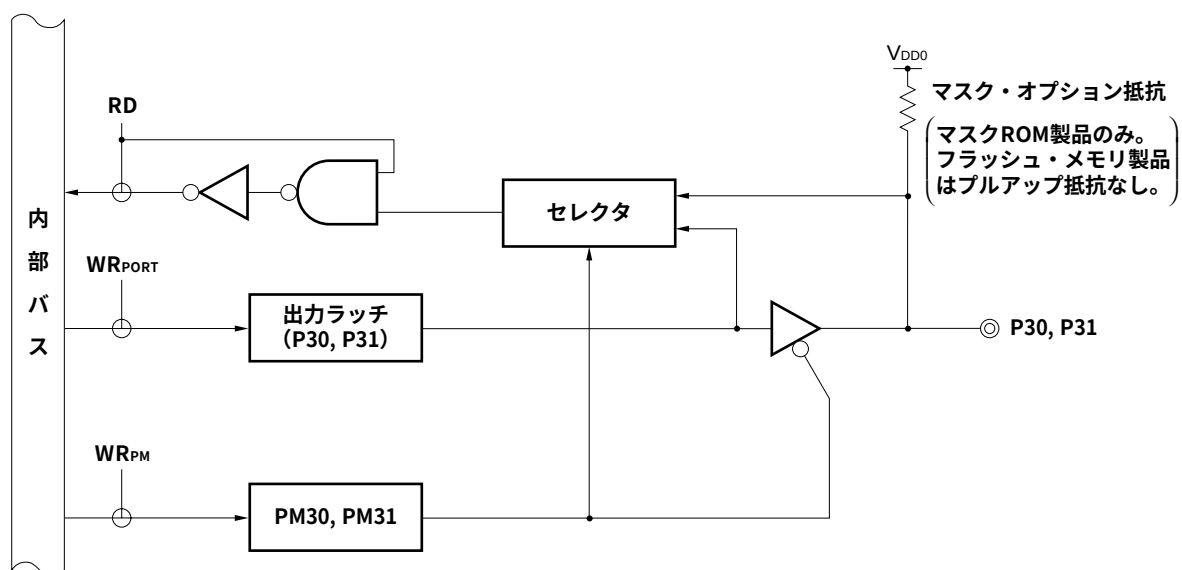
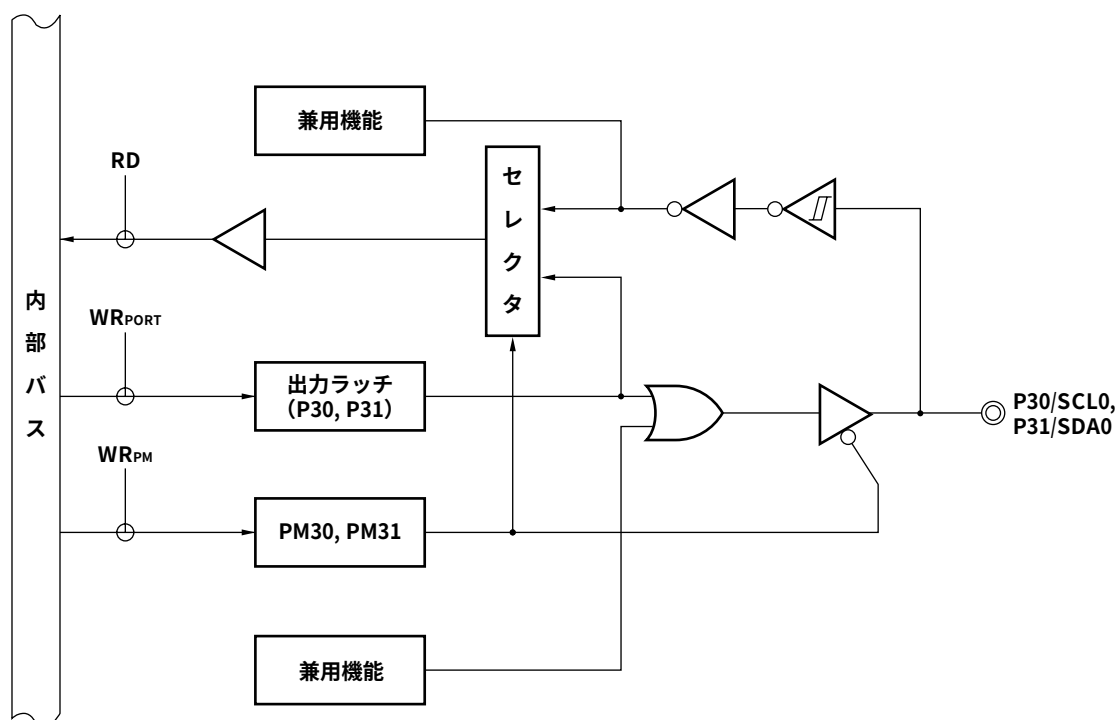
RESET入力により、入力モードになります。

表4-3に各製品ごとのポート3の機能を、図4-8～図4-10にポート3のブロック図を示します。

表4-3 各製品ごとのポート3の端子機能

品名 端子名	μ PD780343, 780344, 780353, 780354	μ PD78F0354, 78F0354A	μ PD780343Y, 780344Y, 780353Y, 780354Y	μ PD78F0354Y, 78F0354AY
P30, P31	・ N-chオープン・ドレイン入出力 ・ LEDを直接駆動可能			
	兼用機能なし		シリアル・インタフェースのデータ入出力, クロック入出力の機能を兼用	
	マスク・オプションにより1 ビット単位でプルアップ抵抗 内蔵可能	プルアップ抵抗なし		
P32-P35	・ CMOS入出力 ・ タイマ入出力の機能を兼用 ・ PU3により1ビット単位でプルアップ抵抗内蔵可能			

図4-8 P30, P31のブロック図

(a) μ PD780344, 780354サブシリーズ(b) μ PD780344Y, 780354Yサブシリーズ

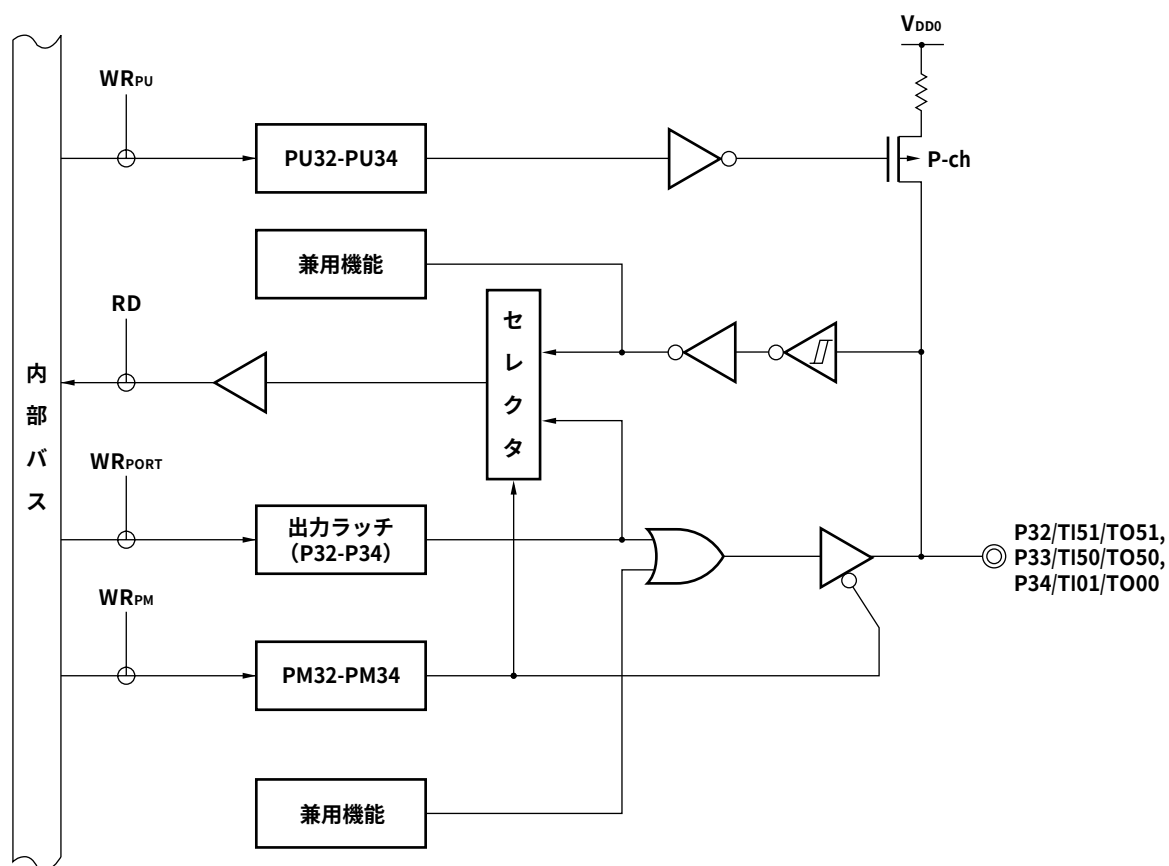
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4-9 P32-P34のブロック図



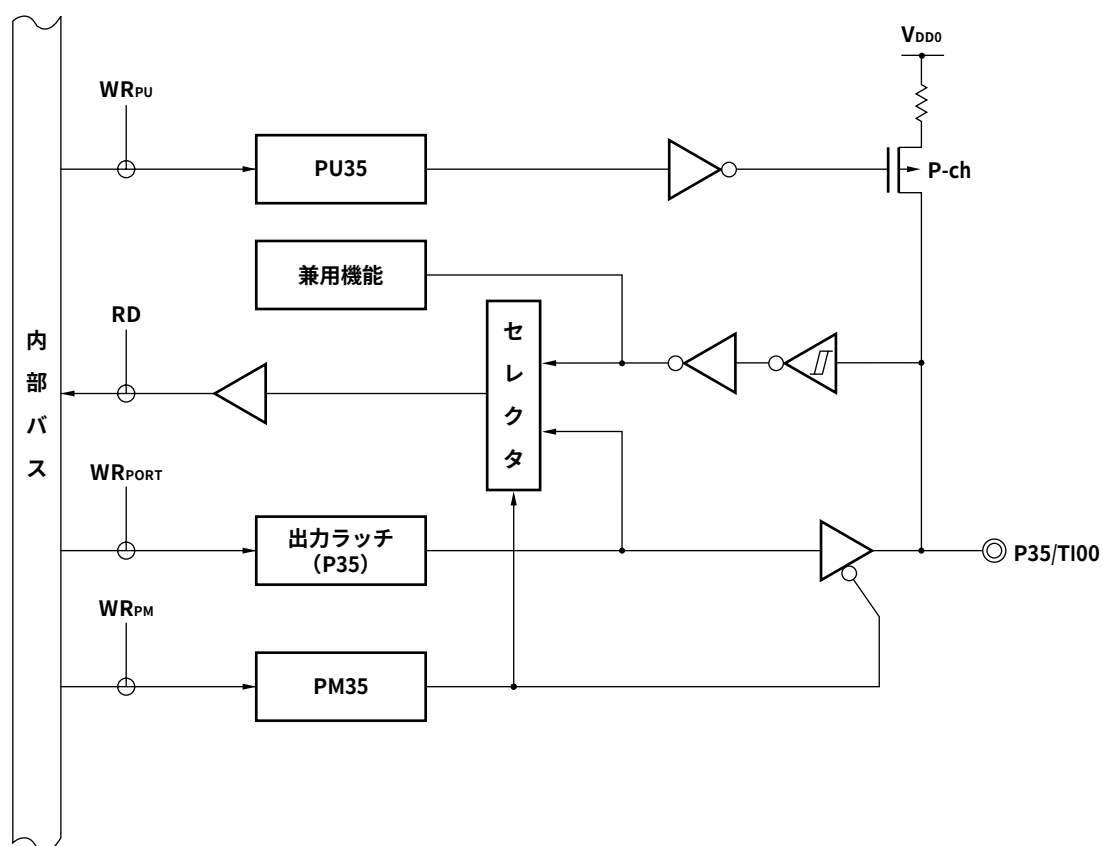
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4-10 P35のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

4.2.5 ポート4

出力ラッチ付き4ビット入出力ポートです。P40-P43端子は、ポート・モード・レジスタ4（PM4）により、1ビット単位で入力モード／出力モードの指定ができます。

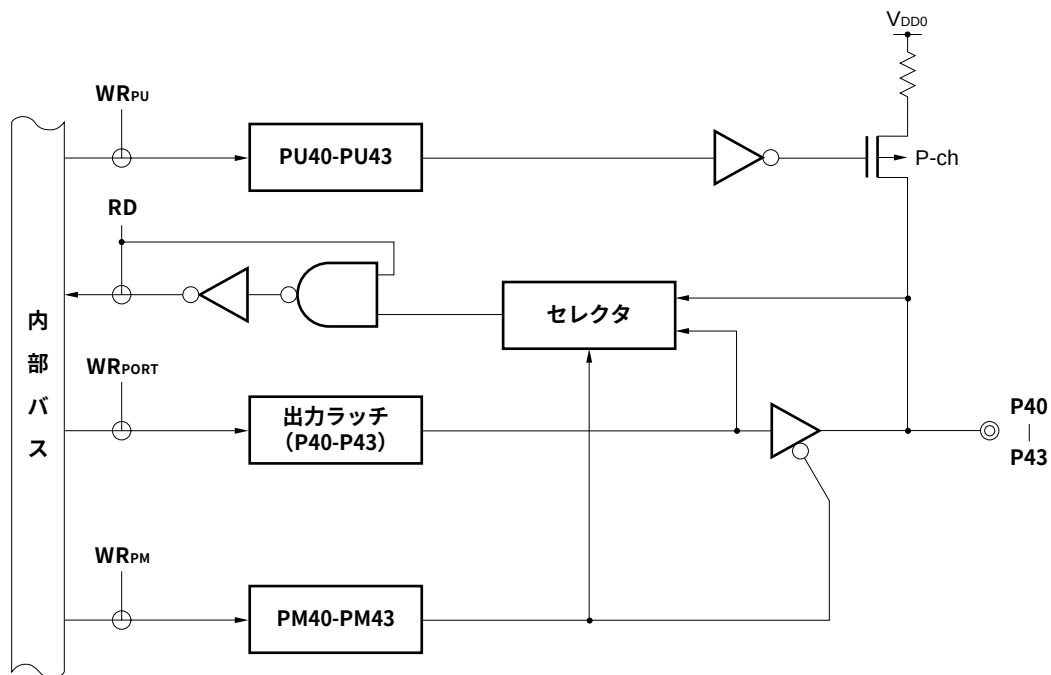
また、P40-P43のいずれかの端子の立ち下がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセットできます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-11にポート4のブロック図、図4-12に立ち下がりエッジ検出回路のブロック図を示します。

- 注意1.** 立ち下がりエッジ検出割り込み（INTKR）を使用する場合、メモリ拡張モード・レジスタ（MEM）を必ず01Hに設定してください。
- 2.** P40-P43端子のすべてがハイ・レベルになっている状態から立ち下がりエッジが発生した場合のみ検出できます。
- P40-P43端子のうち1本でもロウ・レベルになっている間は他の端子に立ち下がりエッジが発生しても検出できません。

図4-11 P40-P43のブロック図



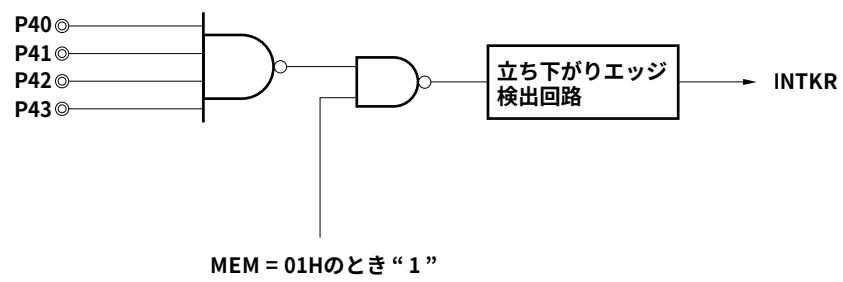
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

図4-12 立ち下がりエッジ検出回路のブロック図



4.2.6 ポート7

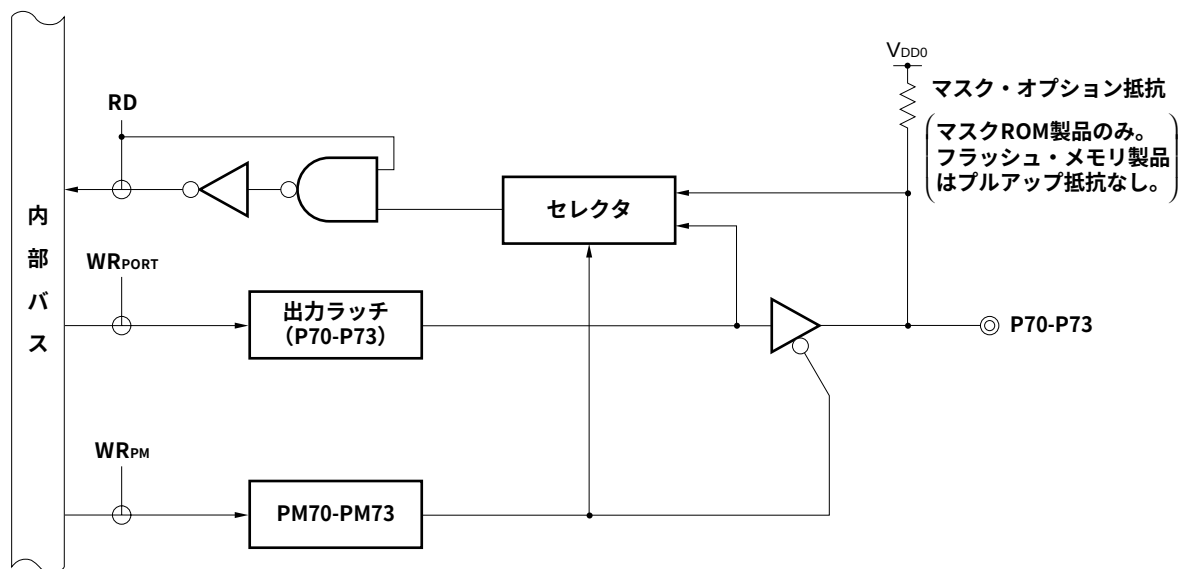
出力ラッチ付き4ビット入出力ポートです。P70-P73端子は、ポート・モード・レジスタ7（PM7）により、1ビット単位で入力モード／出力モードの指定ができます。マスクROM製品は、マスク・オプションによりプルアップ抵抗を使用できます。

P70-P73端子はLEDを直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-13にポート7のブロック図を示します。

図4-13 P70-P73のブロック図



PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

4.2.7 ポート8

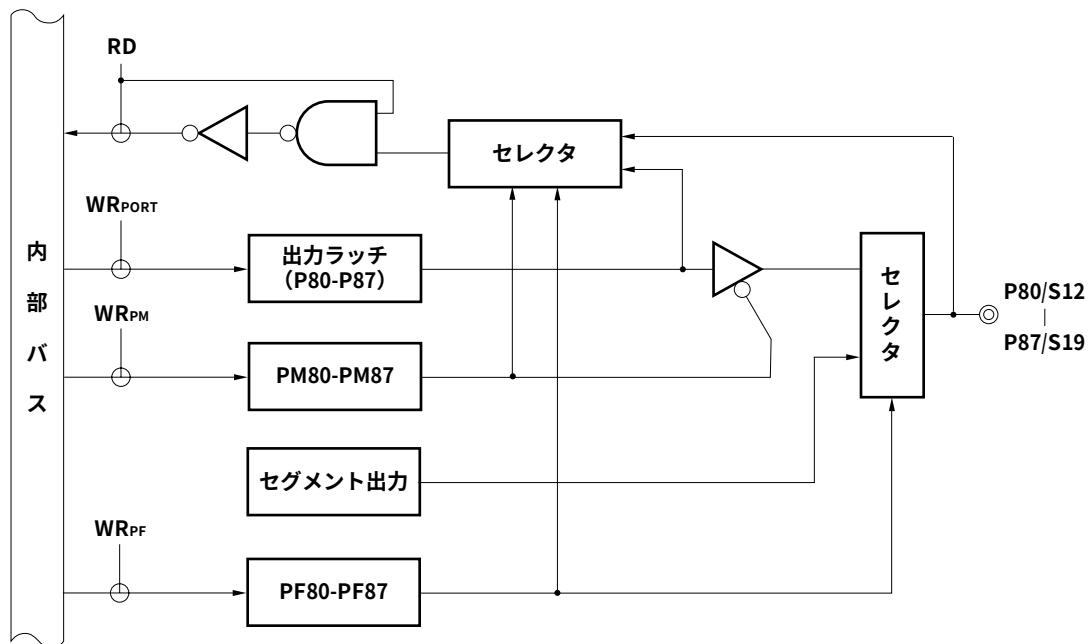
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ8（PM8）により、1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力があります。兼用切り替えレジスタ8 (PF8) により、1ビット単位で入出力ポートまたはセグメント出力機能のどちらかを選択できます。

RESET入力により，入力モードになります。

図 4-14にポート 8 のブロック図を示します。

図 4-14 P80-P87のブロック図



PF : 兼用切り替えレジスタ

PM : ポート・モード・レジスタ

RD : ポート 8 のリード信号

WR : ポート 8 のライト信号

ユーザーズ・マニュアル U15798JJ2V1UD

PF : 兼用切り替えレジスタ
PM : ポート・モード・レジスタ
RD : ポート9のリード信号
WR : ポート9のライト信号

4.2.9 ポート10

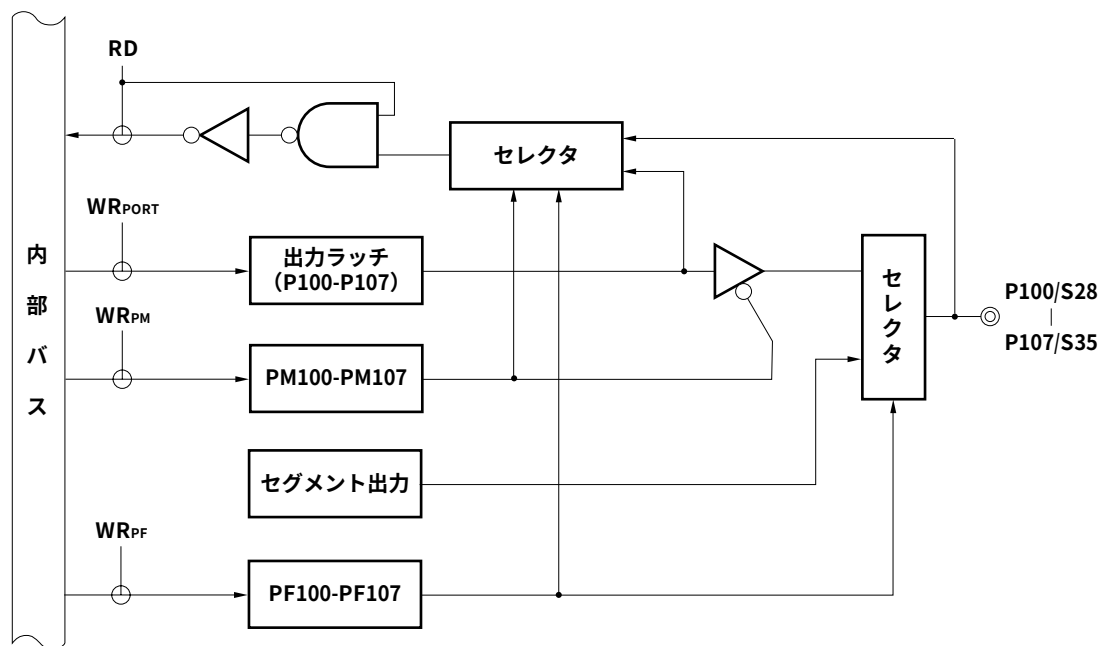
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ10 (PM10) により、1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力があります。兼用切り替えレジスタ10 (PF10) により、1ビット単位で入出力ポートまたはセグメント出力機能のどちらかを選択できます。

RESET入力により、入力モードになります。

図4-16にポート10のブロック図を示します。

図4-16 P100-P107のブロック図



- PF : 兼用切り替えレジスタ
- PM : ポート・モード・レジスタ
- RD : ポート10のリード信号
- WR : ポート10のライト信号

4.2.10 ポート11

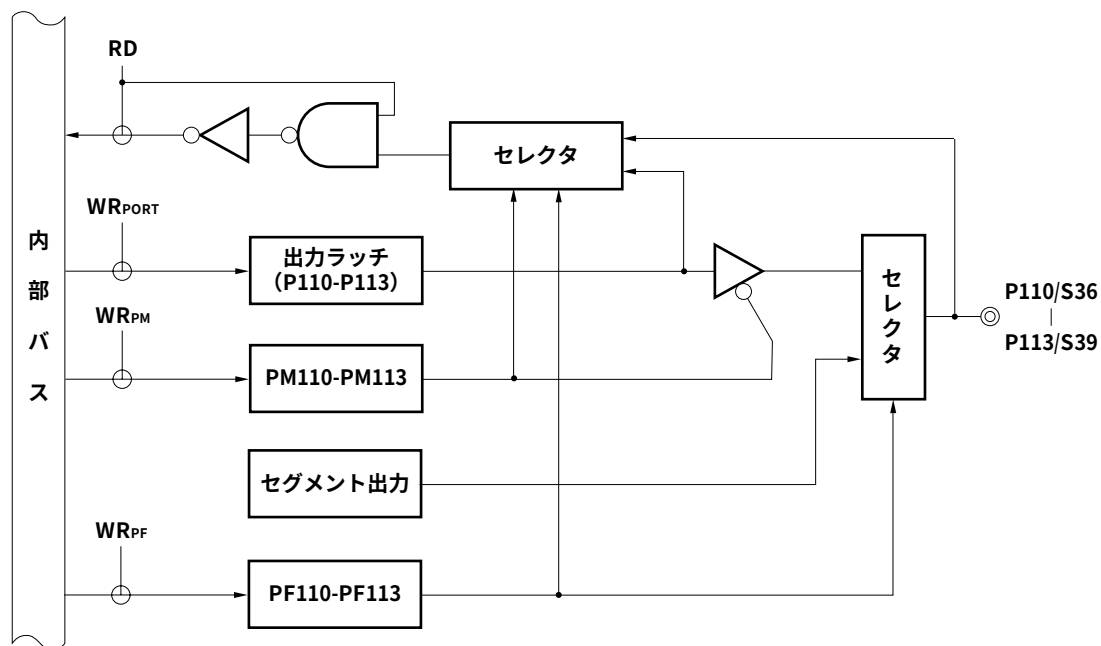
出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ11（PM11）により、1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力があります。兼用切り替えレジスタ11（PF11）により、1ビット単位で入出力ポートまたはセグメント出力機能のどちらかを選択できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-17にポート11のブロック図を示します。

図4-17 P110-P113のブロック図



- PF : 兼用切り替えレジスタ
- PM : ポート・モード・レジスタ
- RD : ポート11のリード信号
- WR : ポート11のライト信号

4.3 ポート機能を制御するレジスタ

ポートは次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2-PU4)
- ・メモリ拡張レジスタ (MEM)
- ・兼用切り替えレジスタ (PF8-PF11)

(1) ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11)

ポートの入力／出力を1ビット単位で指定するレジスタです。

PM0, PM2-PM4, PM7-PM11は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

注意1. P10-P17端子は、入力専用端子です。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. ポート0, 2, 3の兼用端子を兼用出力機能として使用するときは、対応する出力ラッチ (P0, P2, P3) に0を設定してください。

図4-18 ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11) のフォーマット

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	PM43	PM42	PM41	PM40

アドレス：FF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM73	PM72	PM71	PM70

アドレス：FF28H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM8 ^注	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

アドレス：FF29H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM9 ^注	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

アドレス：FF2AH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM10 ^注	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100

アドレス：FF2BH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM11 ^注	1	1	1	1	PM113	PM112	PM111	PM110

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2-4, 7-11 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

★

注 ポート8-11をポート端子として使用する場合、兼用切り替えレジスタ (PF8-PF11) の対応するビットに0を設定してください。

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU4)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかをビット単位で設定するレジスタです。PU0, PU2-PU4を設定することにより、PU0, PU2-PU4内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2-PU4は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注意 1. P10-P17端子は、プルアップ抵抗を内蔵していません。

2. P70-P73端子は、マスクROM製品のみマスク・オプションでプルアップ抵抗を内蔵できます。
3. P30, P31端子は、 μ PD780344, 780354サブシリーズのマスクROM製品のみマスク・オプションでプルアップ抵抗を内蔵できます。
4. PUmに1を設定すると、入力／出力モードにかかわらず、内蔵プルアップ抵抗が接続されます。
よって、出力モードで使用する場合は対応するPUmのビットを0にしてください (m = 0, 2-4)。

図 4-19 プルアップ抵抗オプション・レジスタ (PU0, PU2-PU4) のフォーマット

アドレス：FF30H		リセット時：00H		R/W				
略号	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00
アドレス：FF32H		リセット時：00H		R/W				
略号	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20
アドレス：FF33H		リセット時：00H		R/W				
略号	7	6	5	4	3	2	1	0
PU3	0	0	PU35	PU34	PU33	PU32	0	0
アドレス：FF34H		リセット時：00H		R/W				
略号	7	6	5	4	3	2	1	0
PU4	0	0	0	0	PU43	PU42	PU41	PU40

PUmn	Pmn端子の内蔵プルアップ抵抗の選択（m = 0, 2-4 ; n = 0-7）
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) メモリ拡張モード・レジスタ (MEM)

ポート4をポート端子として使用するかキー入力端子として使用するかを設定するレジスタです。

MEMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4-20 メモリ拡張モード・レジスタ (MEM) のフォーマット

アドレス：FF47H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MEM	0	0	0	0	0	MM2	MM1	MM0

MM2	MM1	MM0	シングルチップ／キー・リターン・モードの選択
0	0	0	シングルチップ・モード (ポート端子として使用)
0	0	1	キー・リターン・モード (キー入力端子として使用)
上記以外			設定禁止

注意 MM1, MM2には必ず0を設定してください。

(4) 兼用切り替えレジスタ (PF8-PF11)

ポート8-11をポート端子として使用するか、セグメント端子として使用するかを1ビット単位で選択するレジスタです。

PF8-PF11はそれぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4-21 兼用切り替えレジスタ (PF8-PF11) のフォーマット

アドレス：FF58H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80

アドレス：FF59H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF9	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

アドレス：FF5AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF10	PF107	PF106	PF105	PF104	PF103	PF102	PF101	PF100

アドレス：FF5BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF11	0	0	0	0	PF113	PF112	PF111	PF110

PFmn	端子の設定
0	入出力ポート
1	セグメント出力

★

★

注意 1. PF8-PF11でセグメント出力に設定した端子は、ポート・モード・レジスタ (PM8-PM11) の値によらず、出力できます。

★

2. PF8-PF11はリセット後に1回のみ設定可能です。設定を変更する場合は、リセットしてから行ってください。

備考 m = 8-11, n = 0-7

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

★ リセットによって、出力ラッチはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

★ リセットによって、出力ラッチはクリアされます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.5 マスク・オプションの選択

マスクROM製品には、次のマスク・オプションがあります。フラッシュ・メモリ製品には、マスク・オプションはありません。また、μPD780344, 780354サブシリーズと、μPD780344Y, 780354Yサブシリーズとでは、マスク・オプションが異なりますのでご注意ください。

表4-4 マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較

端 子 名	μPD780344, 780354サブ シリーズのマスクROM製品	μPD780344Y, 780354Yサブ シリーズのマスクROM製品	フラッシュ・メモリ製品
P30, P31端子	1ビット単位でプルアップ抵抗の内蔵を指定できます。	プルアップ抵抗を内蔵できません。	プルアップ抵抗を内蔵できません。
P70-P73端子	1ビット単位でプルアップ抵抗の内蔵を指定できます。	1ビット単位でプルアップ抵抗の内蔵を指定できます。	プルアップ抵抗を内蔵できません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

- ★ 2～10 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

また、サブクロック選択レジスタ（SSCK）によりサブクロック4連倍回路も使用できます。

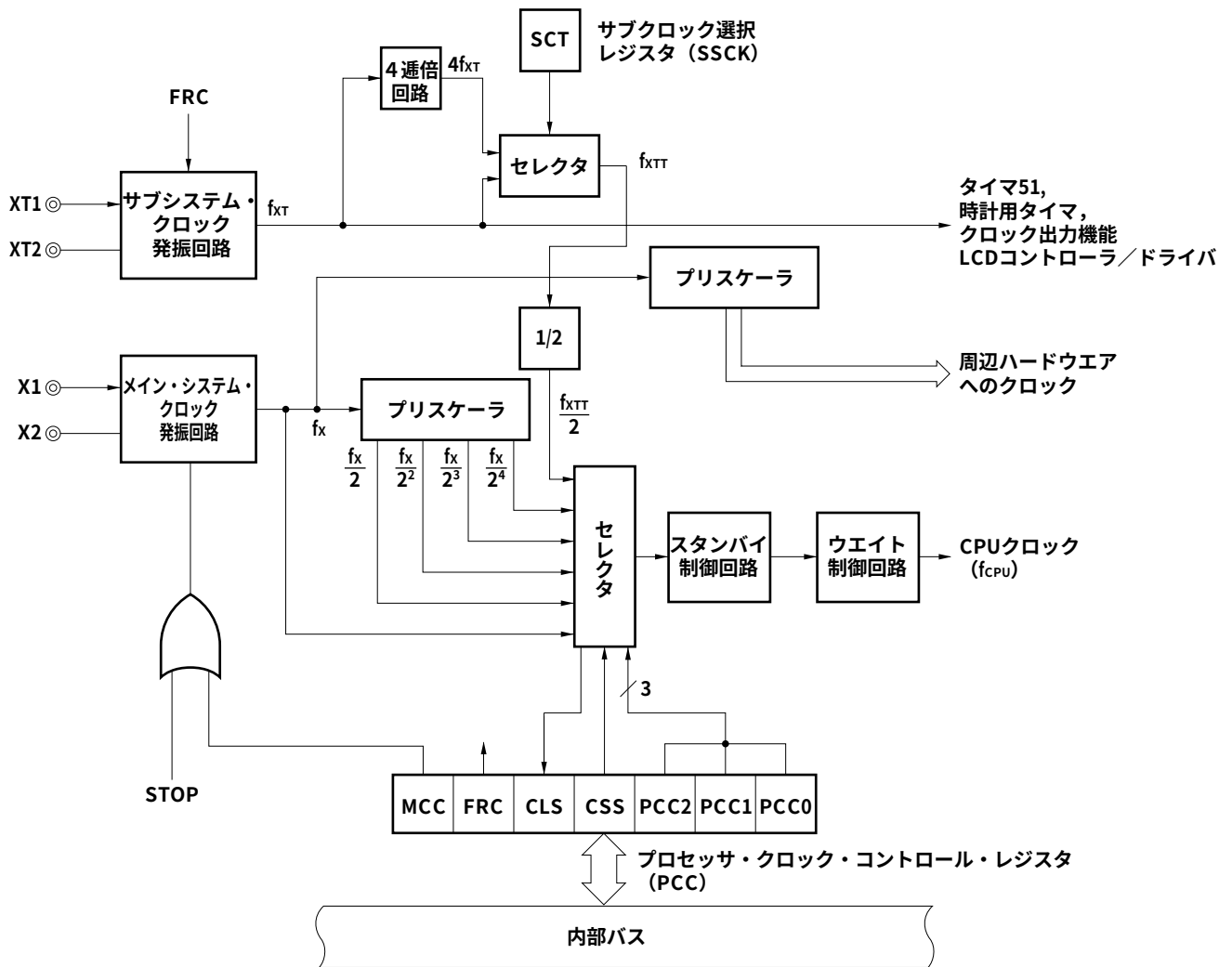
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5－1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブクロック選択レジスタ（SSCK）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5-1 クロック発生回路のブロック図



備考 f_{XTT} : f_{XT} または $4f_{XT}$

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ（PCC）
- ・サブクロック選択レジスタ（SSCK）

（1）プロセッサ・クロック・コントロール・レジスタ（PCC）

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作／停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗[※]を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、04Hになります。

★

注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブシステム・クロックを使用しない場合のみ、PCCのビット6（FRC）に1を設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

図5-2 サブシステム・クロックのフィードバック抵抗

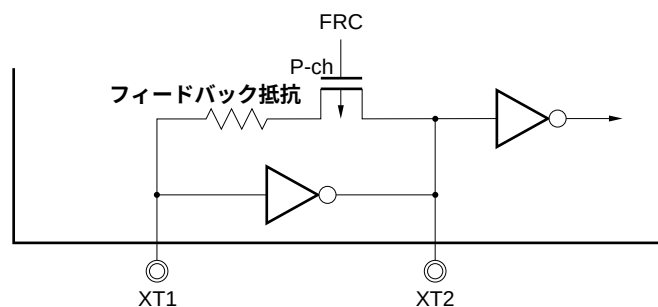


図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：04H R/W^{注1}

略号	7	6	5	4	3	2	1	0
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0

MCC	メイン・システム・クロックの発振の制御 ^{注2}
0	発振可能
1	発振停止

FRC	サブシステム・クロックのフィードバック抵抗の選択
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない ^{注3}

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _x
	0	0	1	f _x /2
	0	1	0	f _x /2 ²
	0	1	1	f _x /2 ³
	1	0	0	f _x /2 ⁴
1	0	0	0	f _{XT} /2
	0	0	1	2f _{XT} (4 通倍回路使用時)
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止はMCCを使用してください。STOP命令は使用しないでください。

★ 3. サブシステム・クロックを使用しない場合のみ1に設定可能です。

注意1. ビット3には、必ず0を設定してください。

2. 外部クロックを入力しているとき、MCCをセットしないでください。これはX2端子がV_{DD1}にプルアップされるためです。

3. 4通倍回路使用時のサブシステム・クロックとメイン・システム・クロックの切り替えが必要な場合には、メイン・システム・クロックのときのCPUクロックは必ず280 kHz以上に設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

μPD780344, 780354, 780344Y, 780354Yサブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$
f_X	0.2 μs
$f_X/2$	0.4 μs
$f_X/2^2$	0.8 μs
$f_X/2^3$	1.6 μs
$f_X/2^4$	3.2 μs
$f_{XT}/2$	122 μs
$2f_{XT}$ (4 通倍回路使用時)	30.5 μs

$f_X = 10 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$

f_X : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) サブクロック選択レジスタ (SSCK)

サブシステム・クロック4通倍回路の動作を制御するレジスタです。

SSCKは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5-4 サブクロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SSCK	0	0	0	0	0	0	0	SCT	FF78H	保持 ^注	R/W

SCT	サブシステム・クロック4通倍回路の制御
0	動作停止 (サブシステム・クロックの原発 (32.768 kHz) をCPUに供給)
1	動作許可 (サブシステム・クロックの4通倍クロック (131 kHz) をCPUに供給)

注 RESET入力のみ、00Hとなります。

注意1. ビット1-7には、必ず0を設定してください。

2. SCTフラグへの書き込みは、リセット解除後からCSSフラグに“1”をセットする前に行ってください。2回目以降の書き込みは無効です (書き換えたいときは、RESET入力してください)。

3. SCTフラグで動作許可しているときでも、HALT期間中は消費電力削減のため4通倍回路は動作停止になります。

HALT解除後はサブシステム・クロックの原発1クロック分のウェイト後、4通倍クロックとなります。

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

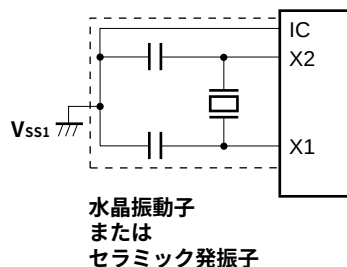
メイン・システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：10 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

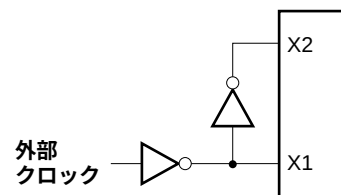
図5-5にメイン・システム・クロック発振回路の外付け回路を示します。

図5-5 メイン・システム・クロック発振回路の外付け回路

(a) 水晶、セラミック発振



(b) 外部クロック



注意1. 外部クロックを入力しているとき、STOP命令の実行およびMCC（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7）に1を設定しないでください。これは、STOP命令およびMCCに1を設定すると、メイン・システム・クロックの動作が停止され、X2端子が V_{DD1} にプルアップされるためです。

2. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-5、5-6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

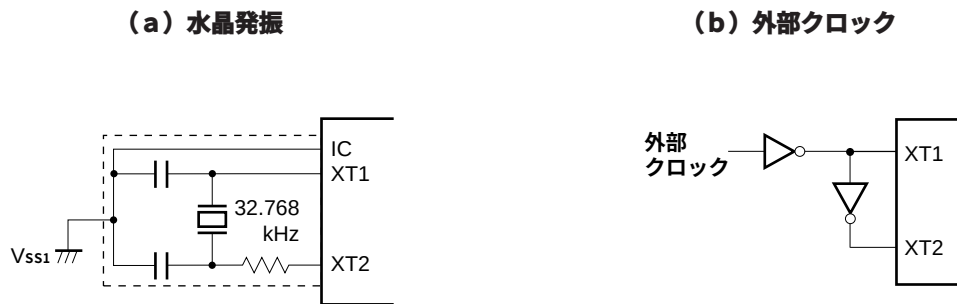
5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図5-6にサブシステム・クロック発振回路の外付け回路を示します。

図5-6 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-5，5-6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS1}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

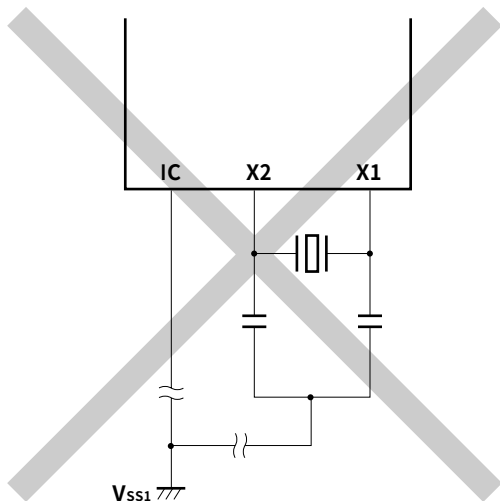
特に、サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

5.4.3 発振子の接続の悪い例

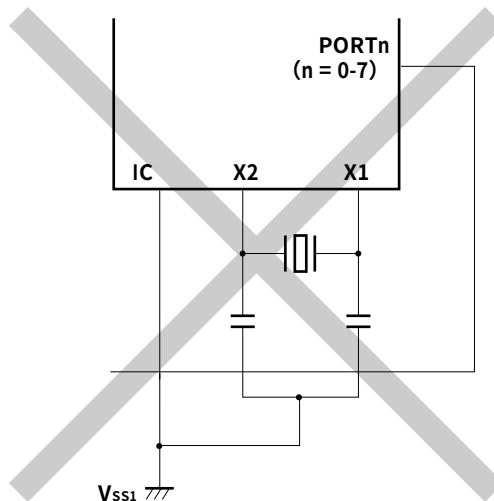
図5-7に発振子の接続の悪い例を示します。

図5-7 発振子の接続の悪い例 (1/2)

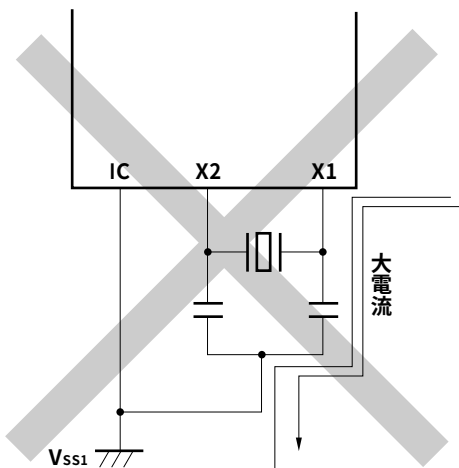
(a) 接続回路の配線が長い



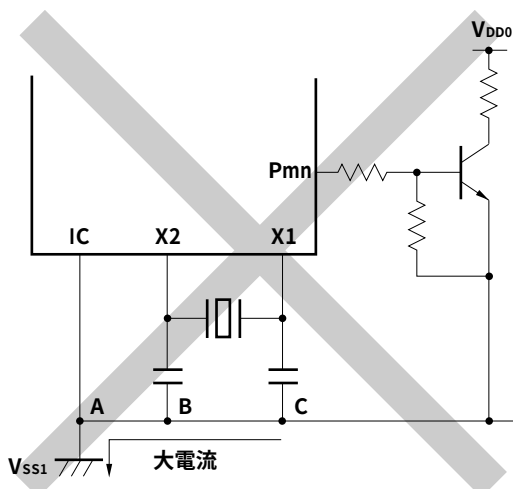
(b) 信号線が交差している



(c) 変化する大電流が信号線に
近接している



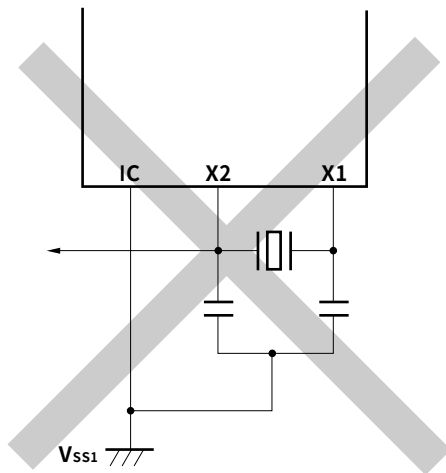
(d) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-7 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

これを避けるために、X2とXT1の配線を平行にしないでください。

5.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : V_{DD0} または V_{DD1} に直接接続してください

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_X
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの最低速モード（ $3.2\mu\text{s}$ ：10 MHz動作時）が選択されます（PCC = 04H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- ★ (b) メイン・システム・クロックを選択した状態でPCCの設定により5段階の最小命令実行時間（ $0.2\mu\text{s}$, $0.4\mu\text{s}$, $0.8\mu\text{s}$, $1.6\mu\text{s}$, $3.2\mu\text{s}$ ：10 MHz動作時）を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6（FRC）で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電力をさらに低減できます。
- (d) PCCにより、サブシステム・クロックを選択し、低消費電力で動作（ $122\mu\text{s}$ ：32.768 kHz動作時）できます。また、サブシステム・クロックは、サブクロック選択レジスタ（SSCK）により、4逓倍回路を使用したクロックに変更することもできます（ $15.3\mu\text{s}$ ：サブシステム・クロック4逓倍回路使用時）。
- (e) サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません（サブシステム・クロックの発振を停止させることはできません）。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、8ビット・タイマ51、時計用タイマ、クロック出力機能、LCDコントローラ／ドライバにのみサブシステム・クロックも供給しています。このため、スタンバイ状態でも8ビット・タイマ51、時計機能、クロック出力機能、LCDコントローラ／ドライバは、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

5.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき），PCCの設定により次のように動作します。

（a）電源電圧により動作保証命令実行速度が異なるため，PCCのビット0-2（PCC0-PCC2）により最小命令実行時間を変更できます。

★ （b）メイン・システム・クロックで動作しているとき，PCCのビット4（CSS）を1に設定し，サブシステム・クロック動作に切り替わったあと（CLS = 1），PCCのビット7（MCC）を1に設定すると，メイン・システム・クロックの発振が停止します（図5-8（1）参照）。

（c）メイン・システム・クロックで動作しているときPCCのビット7（MCC）を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4（CSS）を1に設定し，サブシステム・クロック動作に切り替わったあと（CLS = 1），メイン・システム・クロックの発振が停止します（図5-8（2）参照）。

図5-8 メイン・システム・クロックの停止機能（1/2）

（1）メイン・システム・クロック動作時にCSSをセットしたあと，MCCをセットしたときの動作

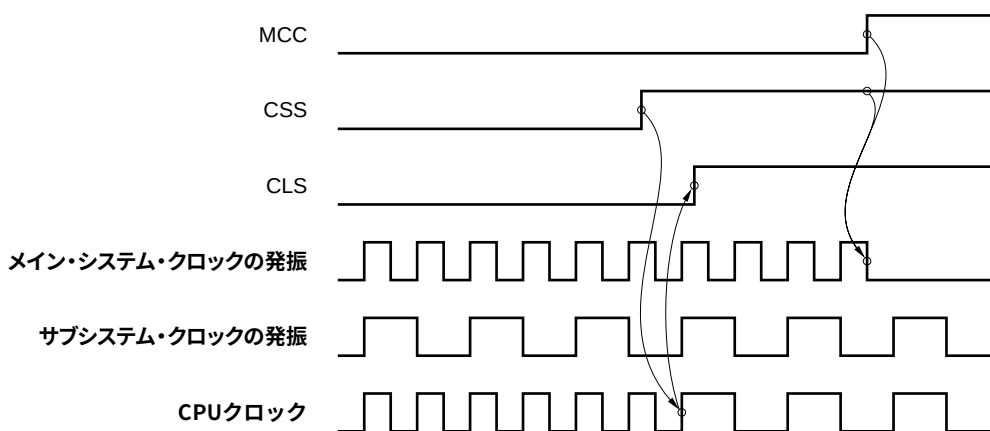
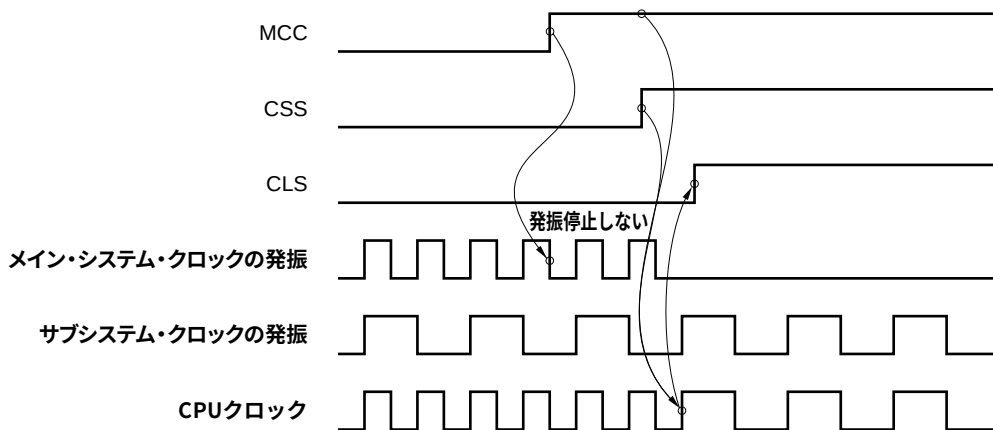


図5-8 メイン・システム・クロックの停止機能 (2/2)

(2) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



5.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が1のとき）、次のように動作します。

(a) サブクロック選択レジスタ（SSCK）の設定により、最小命令実行時間は以下のどちらかになります。

- ・ 122 μ s : 32.768 kHz動作時
- ・ 30.5 μ s : 32.768 kHzの4通倍動作時

PCCのビット0-2（PCC0-PCC2）には依存しません。

(b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）とビット4（CSS）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-3参照）。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかは、PCCのビット5（CLS）で判定できます。

表5-3 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0					16命令				16命令				16命令				16命令				f _x /2f _{XT} 命令 (153命令)			
	0	0	1					8命令				8命令				8命令				8命令				f _x /4f _{XT} 命令 (77命令)			
	0	1	0					4命令				4命令				4命令				4命令				f _x /8f _{XT} 命令 (39命令)			
	0	1	1					2命令				2命令				2命令				2命令				f _x /16f _{XT} 命令 (20命令)			
	1	0	0					1命令				1命令				1命令				1命令				f _x /32f _{XT} 命令 (10命令)			
1	×	×	×	1命令				1命令				1命令				1命令				1命令							

備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は $f_X = 10 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 時。

注意1. CPUクロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0→1) を同時に設定しないでください。

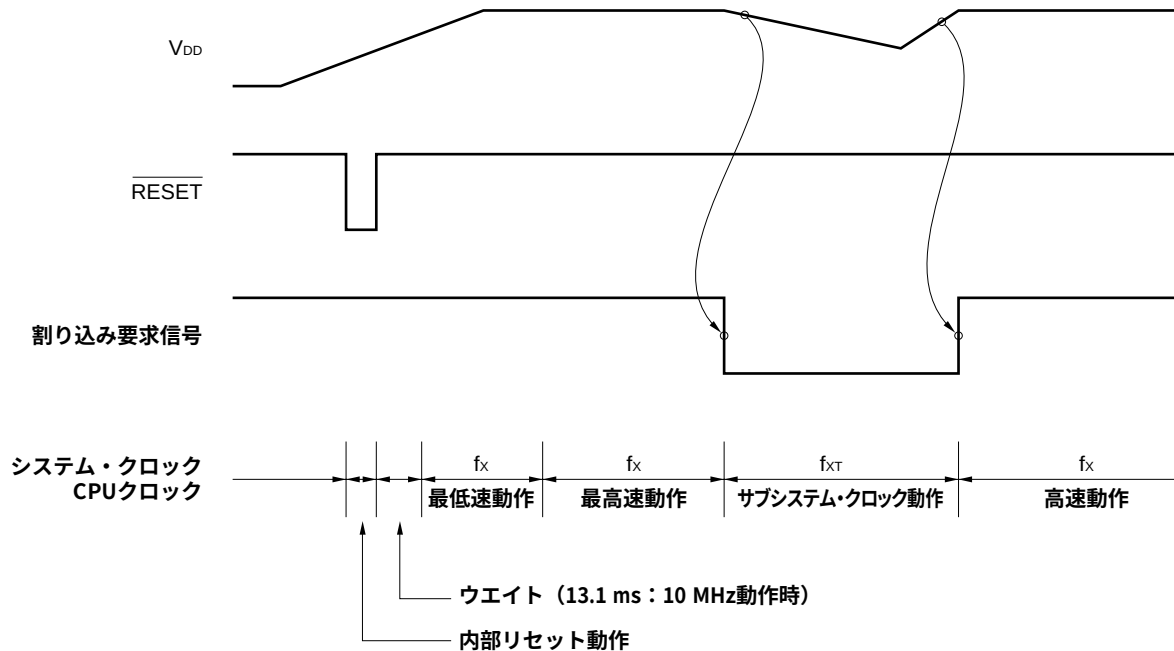
ただし、CPUクロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1→0) は同時に設定可能です。

2. 4逓倍回路使用時のサブシステム・クロックとメイン・システム・クロックの切り替えが必要な場合には、メイン・システム・クロックのときのCPUクロックは必ず280 kHz以上に設定してください。

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5-9 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{RESET}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{RESET}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。
その後、CPUはメイン・システム・クロックの最低速 ($3.2\mu s : 10\text{ MHz動作時}$) で命令の実行を開始します。
- ② V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。
- ③ V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。
- ④ V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCCを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 16ビット・タイマ／イベント・カウンタ0

6.1 16ビット・タイマ／イベント・カウンタ0の概要

インターバル・タイマ，PPG出力，パルス幅測定（赤外線リモコン受信機能），外部イベント・カウンタ，任意の周波数の方形波出力などに使用できます。

6.2 16ビット・タイマ／イベント・カウンタ0の機能

16ビット・タイマ／イベント・カウンタ0には，次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力

（1）インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

（2）PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

（3）パルス幅測定

外部から入力される信号のパルス幅を測定できます。

（4）外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

（5）方形波出力

任意の周波数の方形波出力が可能です。

6.3 16ビット・タイマ／イベント・カウンタ0の構成

16ビット・タイマ／イベント・カウンタ0は、次のハードウェアで構成されています。

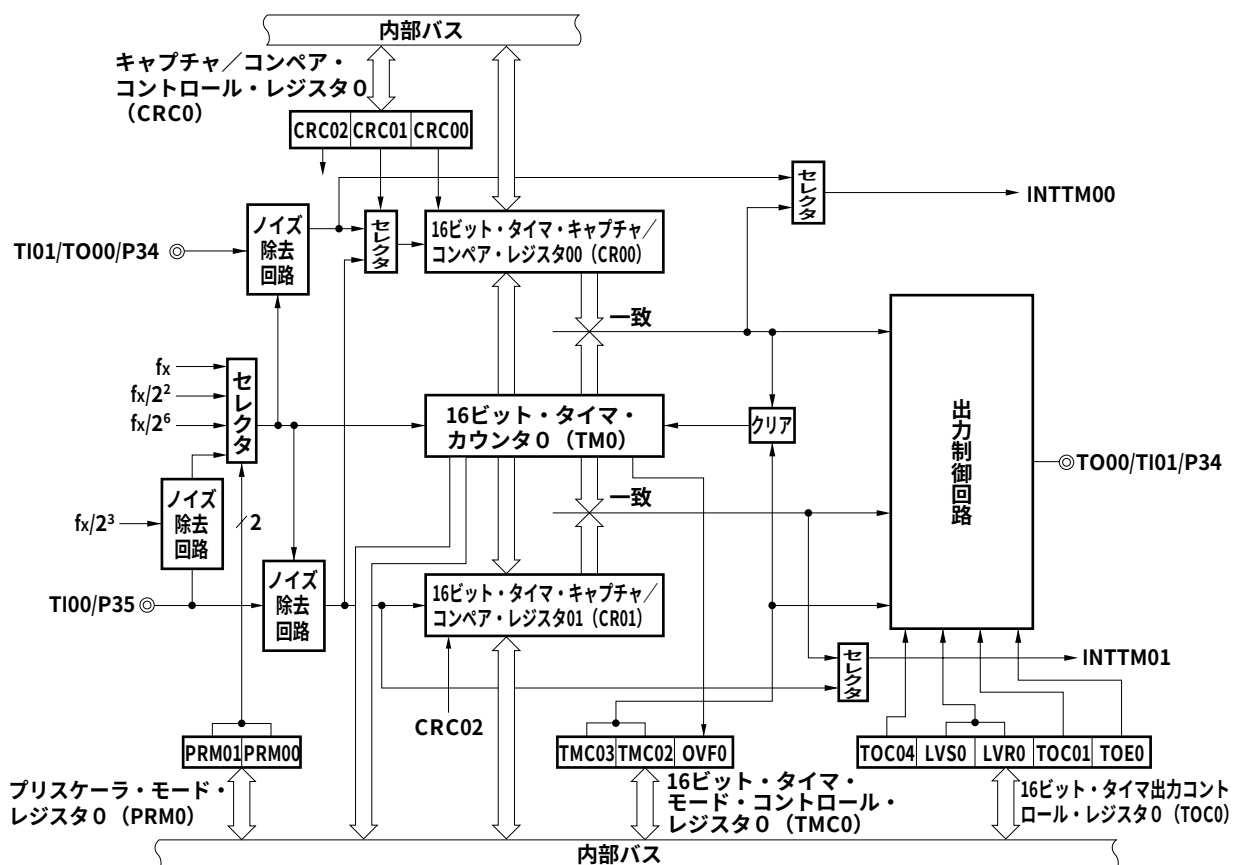
表6-1 16ビット・タイマ／イベント・カウンタ0の構成

項 目	構 成
タイマ／カウンタ	16ビット×1本 (TM0)
レジスタ	16ビット・タイマ・キャプチャ／コンペア・レジスタ：16ビット×2本 (CR00,CR01)
タイマ出力	1本 (TO00)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) キャプチャ／コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) プリスケラ・モード・レジスタ0 (PRM0) ポート・モード・レジスタ3 (PM3) 注

注 図4-9 P32-P34のブロック図、図4-10 P35のブロック図を参照してください。

図6-1にブロック図を示します。

図6-1 16ビット・タイマ／イベント・カウンタ0のブロック図



(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入カクロックの立ち上がり同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TMC03, TMC02をクリア
- ③ TI00有効エッジ入力でクリア&スタート・モード時のTI00有効エッジが入力されたとき
- ④ CR00の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/P35端子、またはTI01/TO00/P34端子の有効エッジが選択できます。TI00, TI01の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/P35端子の有効エッジに指定したときは表6-2、キャプチャ・トリガをTI01/TO00/P34端子の有効エッジに指定したときは表6-3のようになります。

表6-2 TI00/P35端子の有効エッジとCR00, CR01のキャプチャ・トリガ

ES01	ES00	TI00/P35端子の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がり両エッジ

表6-3 TI01/TO00/P34 端子の有効エッジとCR00のキャプチャ・トリガ

ES11	ES10	TI01/TO00/P34端子の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 1. TM0とCR00の一致でクリア&スタート・モードでは、CR00には0000H以外の値を設定してください。ただし、フリーランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバフロー（FFFFH）後に割り込み要求（INTTM00）が発生します。

2. CR00の変更後の値が16ビット・タイマ・カウンタ0（TM0）の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値が変更前の値より小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。

（3）16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ0（CRC0）のビット2（CRC02）により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0（TM0）のカウント値を常に比較し、一致したときに割り込み要求（INTTM01）が発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/P35端子の有効エッジが選択できます。TI00/P35の有効エッジは、プリスケアラ・モード・レジスタ0（PRM0）で設定します。キャプチャ・トリガをTI00/P35端子の有効エッジに指定したときは表6-2のようになります。

CR01は、16ビット・メモリ操作命令で設定します。

RESET入力により不定になります。

注意 TM0とCR00の一致でクリア&スタート・モードでは、CR01には0000H以外の値を設定してください。ただし、フリーランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR01に0000Hを設定した場合は、オーバフロー（FFFFH）後に割り込み要求（INTTM01）が発生します。

6.4 16ビット・タイマ／イベント・カウンタ0を制御するレジスタ

16ビット・タイマ／イベント・カウンタ0を制御するレジスタには、次の5種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・キャプチャ／コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケアラ・モード・レジスタ0 (PRM0)
- ・ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ0 (TM0) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ0 (TM0) は、TMC02, TMC03に0,0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC02, TMC03に0,0を設定してください。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス：FF60H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC0	0	0	0	0	TMC03	TMC02	0	OVF0

TMC03	TMC02	動作モードおよび クリア・モードの選択	TO00の出力 タイミングの選択	割り込み要求の発生
0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	1	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR00の一致 または TM0とCR01の一致 で発生
1	0	TI00の有効エッジで クリア&スタート	—	
1	1	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	

OVF0	16ビット・タイマ・カウンタ0 (TM0) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意1. OVF0フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

2. TI00/P35端子の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。

3. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

備考 TO00：16ビット・タイマ／イベント・カウンタ0の出力端子

TI00：16ビット・タイマ／イベント・カウンタ0の入力端子

TM0：16ビット・タイマ・カウンタ0

CR00：16ビット・タイマ・キャプチャ／コンペア・レジスタ00

CR01：16ビット・タイマ・キャプチャ／コンペア・レジスタ01

(2) キャプチャ／コンペア・コントロール・レジスタ0 (CRC0)

16ビット・タイマ・キャプチャ／コンペア・レジスタ00, 01 (CR00, CR01) の動作を制御するレジスタです。

CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-3 キャプチャ／コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス: FF62H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00
CRC02	CR01の動作モードの選択							
0	コンペア・レジスタとして動作							
1	キャプチャ・レジスタとして動作							
CRC01	CR00のキャプチャ・トリガの選択							
0	TI01の有効エッジでキャプチャする							
1	TI00の有効エッジの逆相でキャプチャする							
CRC00	CR00の動作モードの選択							
0	コンペア・レジスタとして動作							
1	キャプチャ・レジスタとして動作							

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
3. TI00の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。
4. キャプチャを確実に行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

★

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ／イベント・カウンタ0の出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット／リセット, 出力の反転許可／禁止, 16ビット・タイマ／イベント・カウンタ0のタイマ出力許可／禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6－4に, TOC0のフォーマットを示します。

図6－4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス：FF63H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01	TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS0	LVR0	16ビット・タイマ／イベント・カウンタ0のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE0	16ビット・タイマ／イベント・カウンタ0の出力の制御
0	出力禁止 (出力は0レベルに固定)
1	出力許可

- 注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。
2. データ設定後にLVS0, LVR0を読み出すと, 0になっています。
3. TOC0のビット5-7には, 必ず0を設定してください。

(4) プリスケアラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-5 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	f_x (10 MHz)
0	1	$f_x/2^2$ (2.5 MHz)
1	0	$f_x/2^6$ (156.25 kHz)
1	1	TI00有効エッジ ^注

★

注 外部クロックは内部クロック ($f_x/2^3$) の2周期分より長いパルスを必要とします。

注意1. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。

2. PRM0は、必ずタイマ動作を停止させてからデータを設定してください。

3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

備考1. f_x ：メイン・システム・クロック発振周波数

2. TI00, TI01：16ビット・タイマ／イベント・カウンタ0の入力端子

3. () 内は、 $f_x = 10 \text{ MHz}$ 動作時。

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力／出力を1ビット単位で設定するレジスタです。

P34/TI01/TO00端子をタイマ出力として使用するとき、PM30およびP30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図6-6 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.5 16ビット・タイマ／イベント・カウンタ0の動作

6.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）と、キャプチャ／コンペア・コントロール・レジスタ0（CRC0）を図6-7のように設定することにより、インターバル・タイマとして動作します。16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

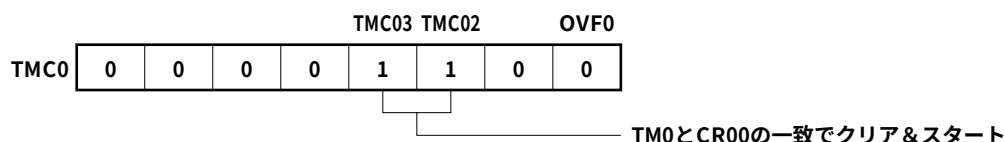
16ビット・タイマ・カウンタ0（TM0）のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号（INTTM00）を発生します。

プリスケアラ・モード・レジスタ0（PRM0）のビット0，1（PRM00, PRM01）で16ビット・タイマ／イベント・カウンタ0のカウント・クロックを選択できます。

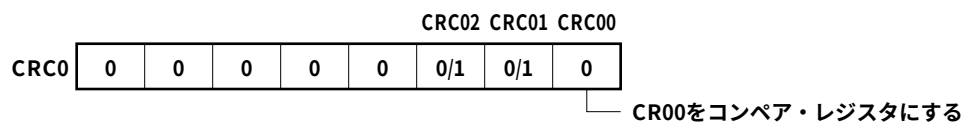
なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.6 16ビット・タイマ／イベント・カウンタ0の注意事項（2）を参照してください。

図6-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）



(b) キャプチャ／コンペア・コントロール・レジスタ0（CRC0）



備考 0/1：0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。
詳細は、図6-3を参照してください。

図6-8 インターバル・タイマの構成図

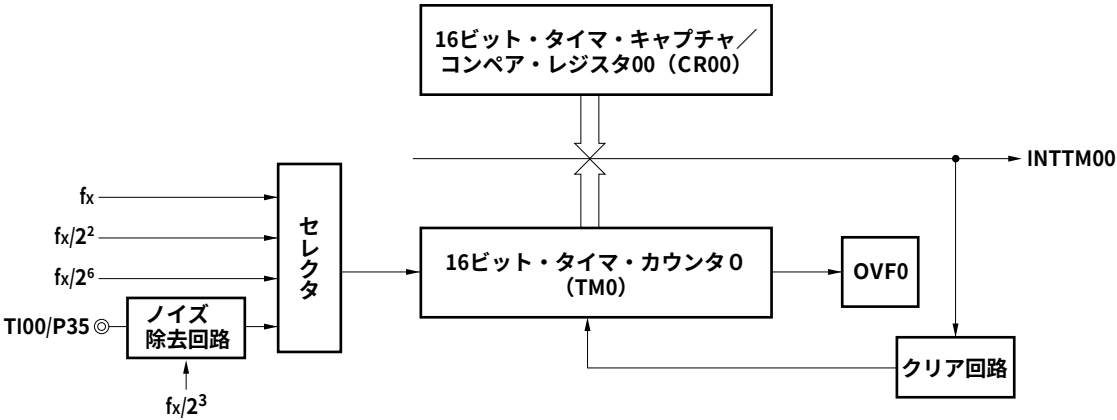
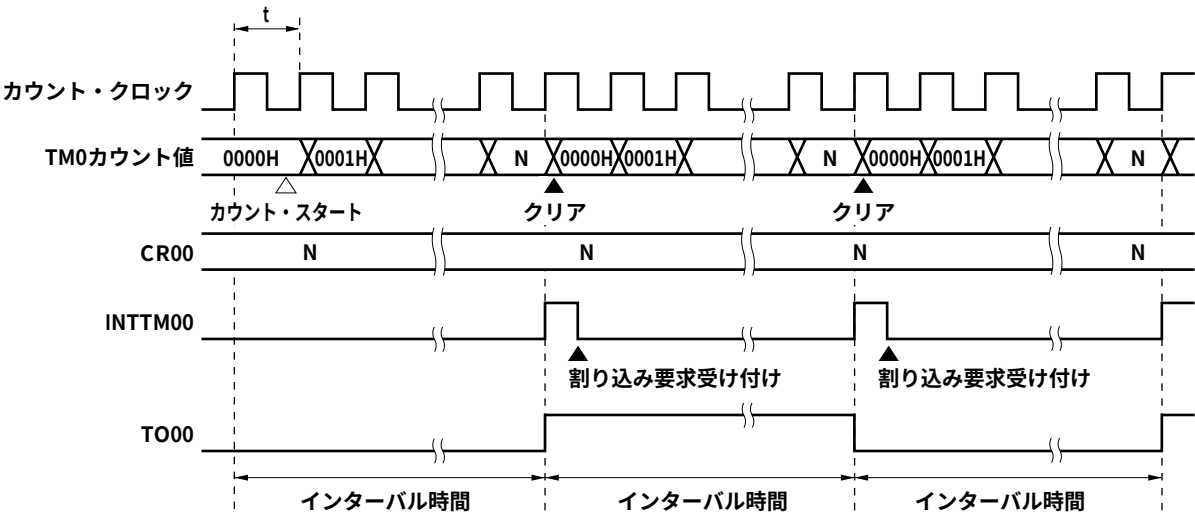


図6-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N+1) × t
N = 0001H-FFFFH

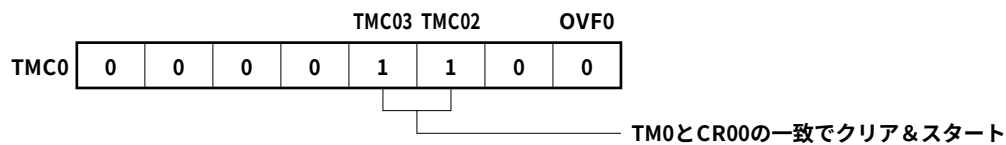
6.5.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）と、キャプチャ／コンペア・コントロール・レジスタ0（CRC0）を図6-10のように設定することにより、PPG（Programmable Pulse Generator）出力として動作します。

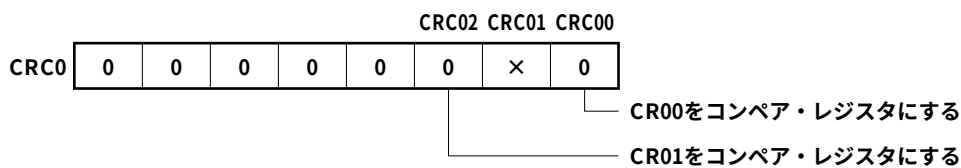
PPG出力パルスは、16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00/TI01/P34端子から出力します。

図6-10 PPG出力動作時の制御レジスタ設定内容

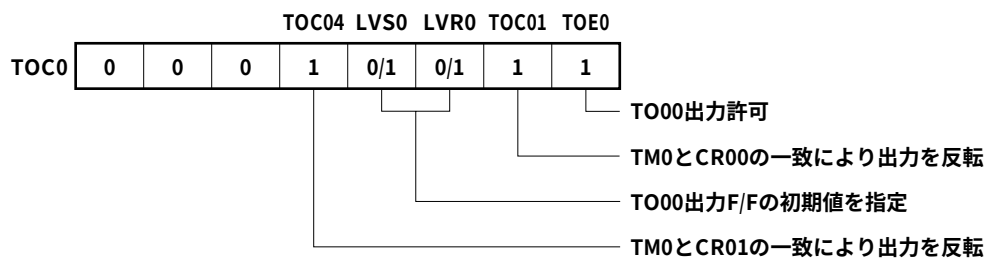
(a) 16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）



(b) キャプチャ／コンペア・コントロール・レジスタ0（CRC0）



(c) 16ビット・タイマ出力コントロール・レジスタ0（TOC0）



注意1. CR00とCR01には次の範囲の値を設定してください。

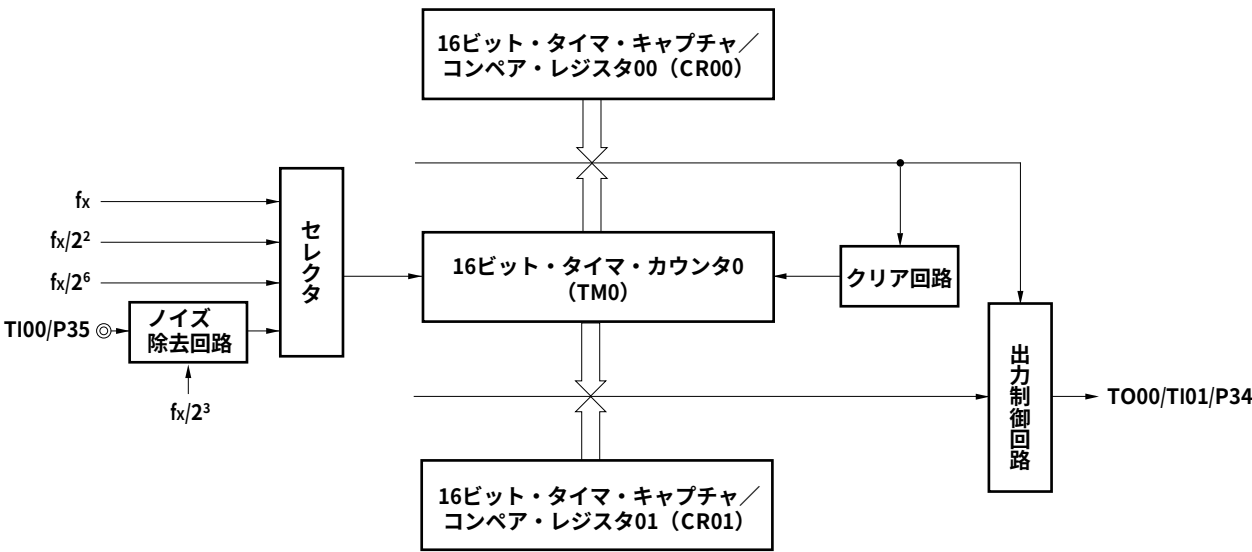
$$0000H < CR01 < CR00 \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は（CR00の設定値+1），デューティは（CR01の設定値+1）／（CR00の設定値+1）になります。

備考 ×：don't care

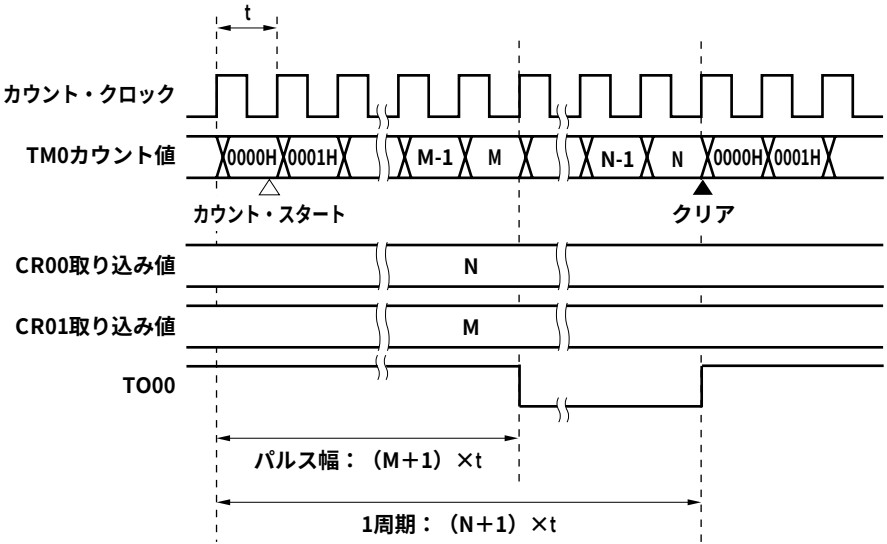
★

図6-11 PPG出力の構成図



★

図6-12 PPG出力動作のタイミング



備考 0000H < M < N ≤ FFFFH

6.5.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0（TM0）を使用し、TI00/P35端子およびTI01/TO00/P34端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI00/P35端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

（1）フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

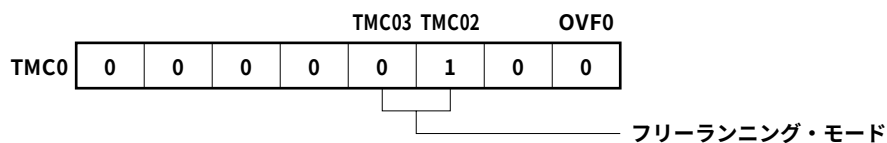
16ビット・タイマ・カウンタ0（TM0）をフリーランニングで動作させているとき（図6-13のレジスタの設定参照），TI00/P35端子にプリスケアラ・モード・レジスタ0（PRM0）で指定したエッジが入力されるとTM0の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）に取り込み、外部割り込み要求信号（INTTM01）をセットします。

エッジはPRM0のビット4，5（ES00, ES01）で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

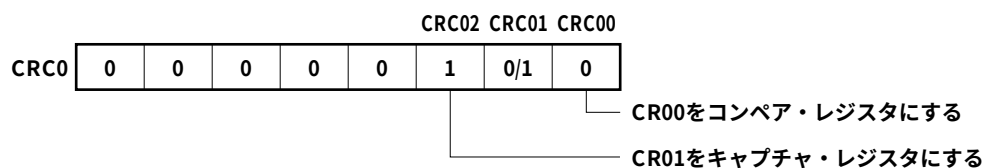
PRM0で選択したカウント・クロックでサンプリングを行い、TI00/P35端子またはTI01/TO00/P34端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-13 フリーランニング・カウンタとキャプチャ・レジスタ1本による
パルス幅測定時の制御レジスタ設定内容

（a）16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）



（b）キャプチャ／コンペア・コントロール・レジスタ0（CRC0）



備考 0/1：0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図6-3を参照してください。

図6-14 フリーランニング・カウンタによるパルス幅測定構成図

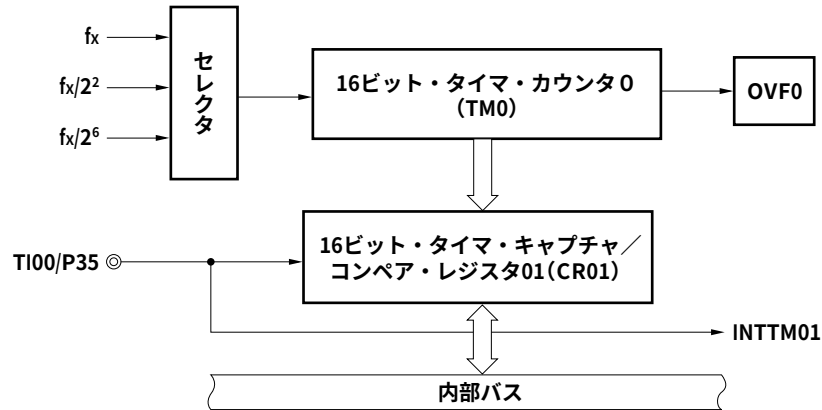
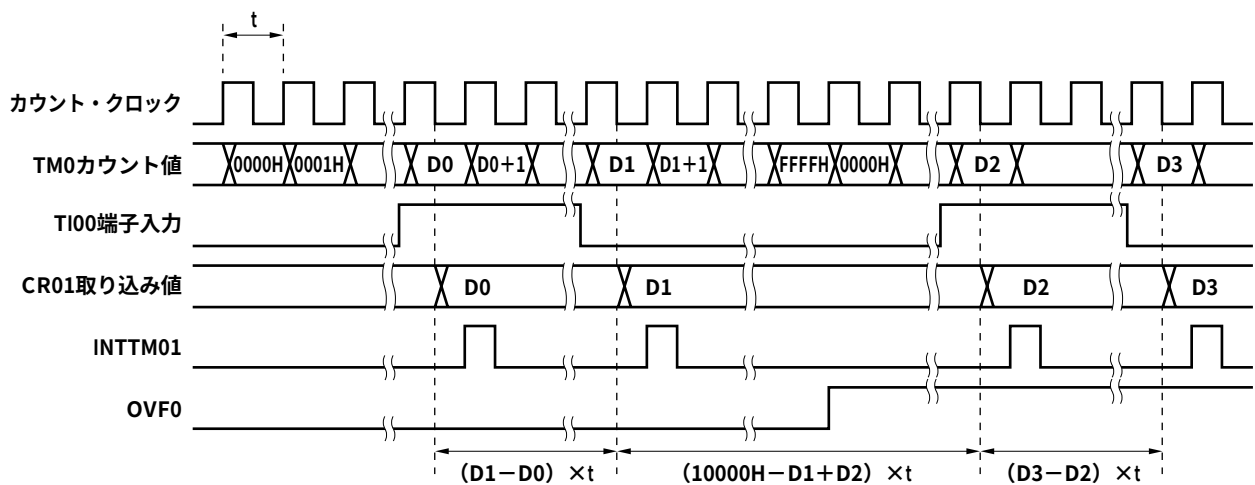


図6-15 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6-16参照), TI00/P35端子およびTI01/TO00/P34端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/P35端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

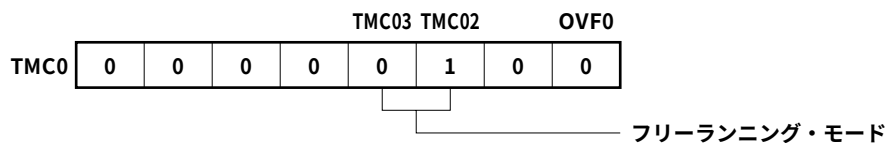
また, TI01/TO00/P34端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) に取り込み, 割り込み要求信号 (INTTM00) をセットします。

TI00/P35端子とTI01/TO00/P34端子のエッジは, PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

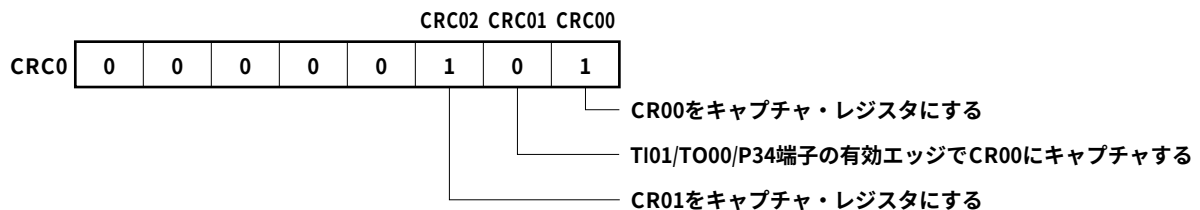
プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/P35またはTI01/TO00/P34端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図6-16 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ／コンペア・コントロール・レジスタ0 (CRC0)



・キャプチャ動作について（フリーランニング・モード）

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図6-17 立ち上がりエッジ指定時のCR01キャプチャ動作

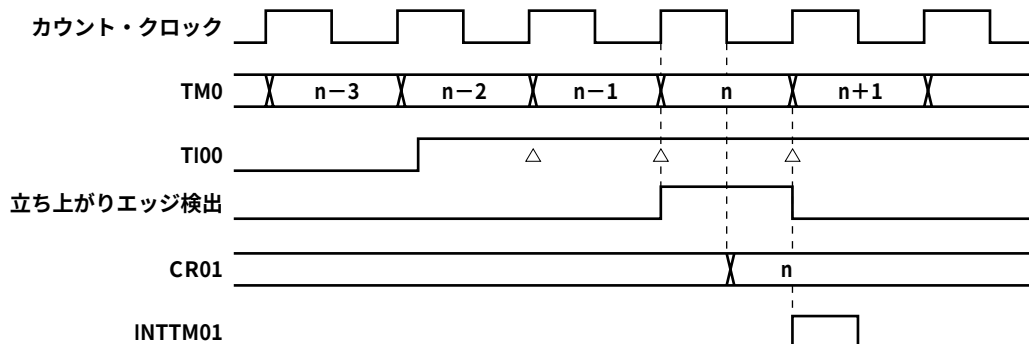
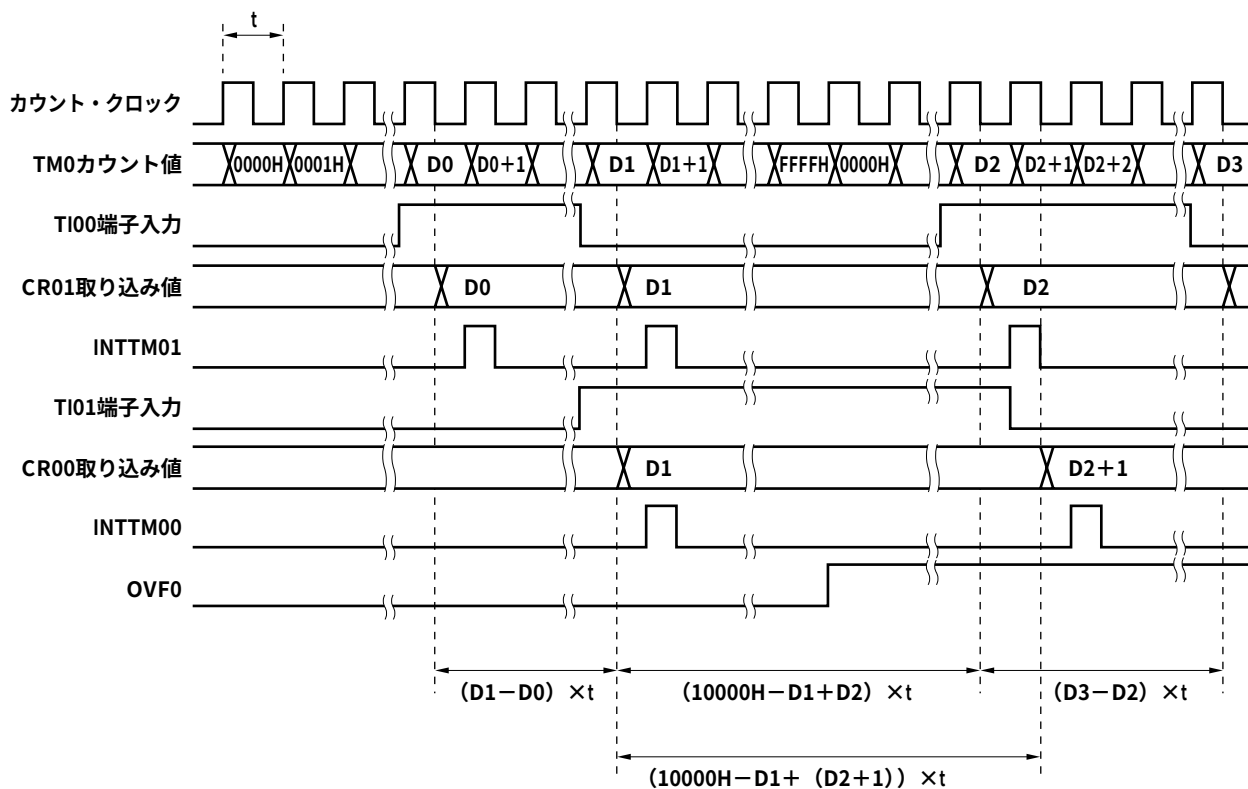


図6-18 フリーランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6-19参照), TI00/P35端子に入力する信号のパルス幅を測定できます。

TI00/P35端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力で, TM0の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) に取り込みます。

TI00/P35端子のエッジは, プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/P35端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI00/P35端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, 16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図6-19 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

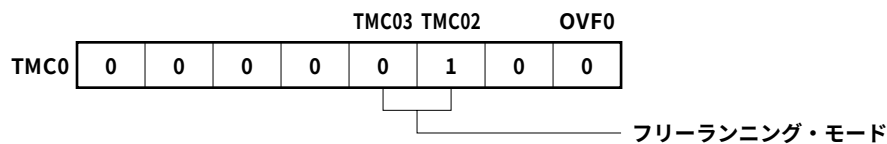
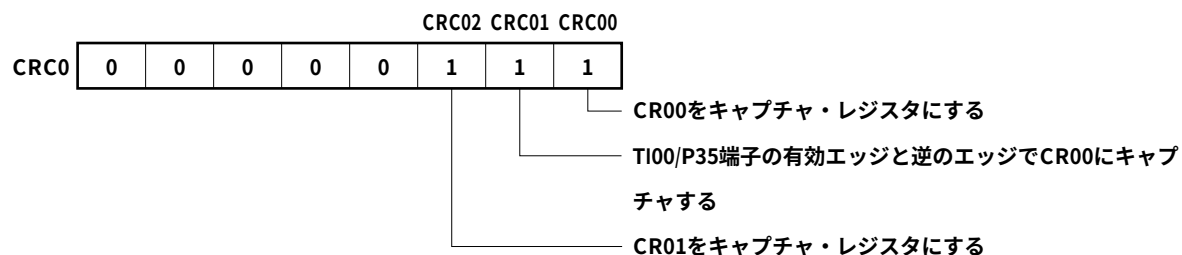
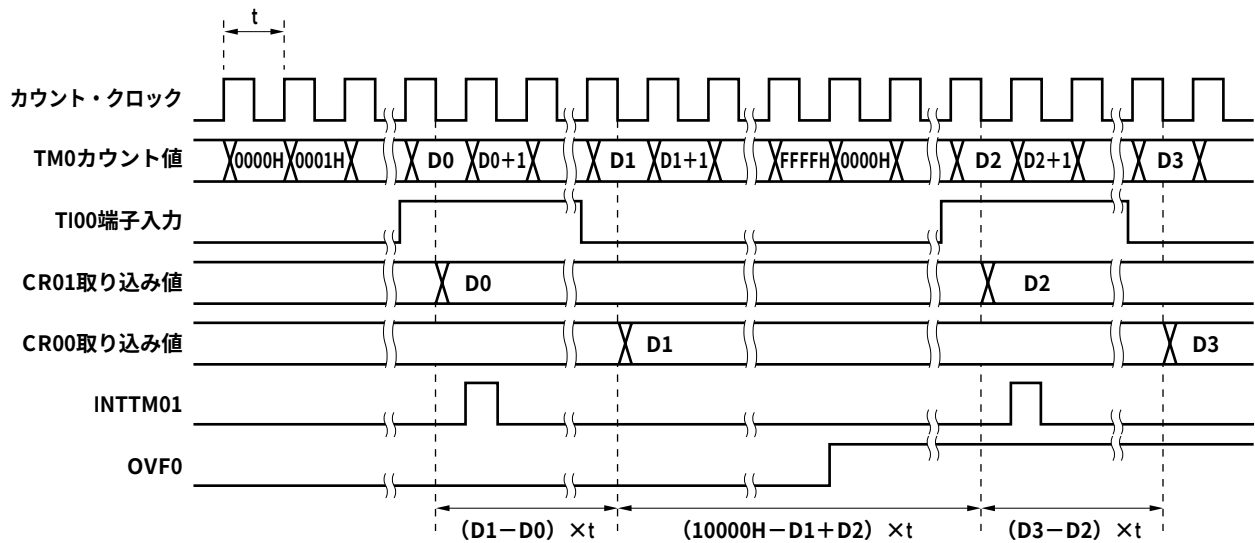
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)**(b) キャプチャ／コンペア・コントロール・レジスタ0 (CRC0)**

図6-20 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/P35端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウンタを再開することにより、TI00/P35端子に入力された信号のパルス幅を測定します (図6-21参照)。

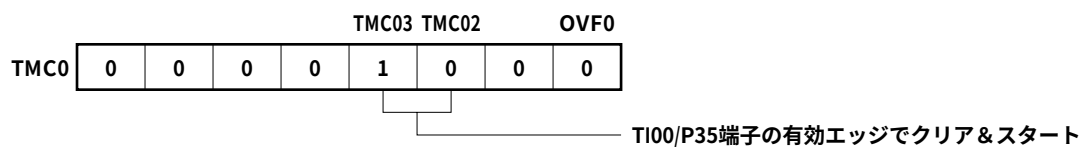
エッジ指定は、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/P35端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI00/P35端子の有効エッジを、立ち上がり、立ち下りの両エッジに指定した場合、16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図6-21 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

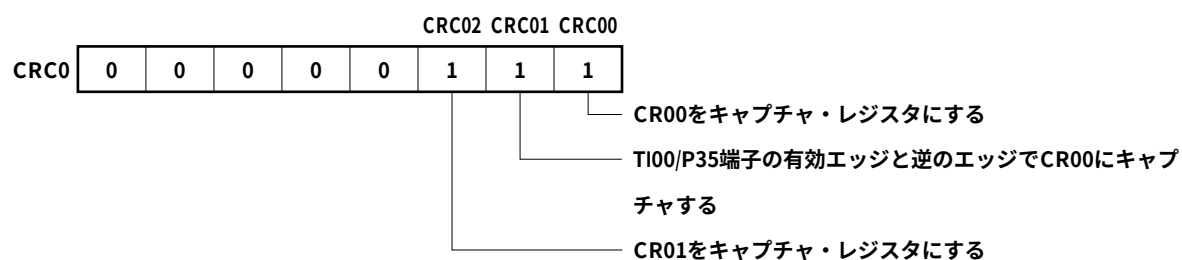
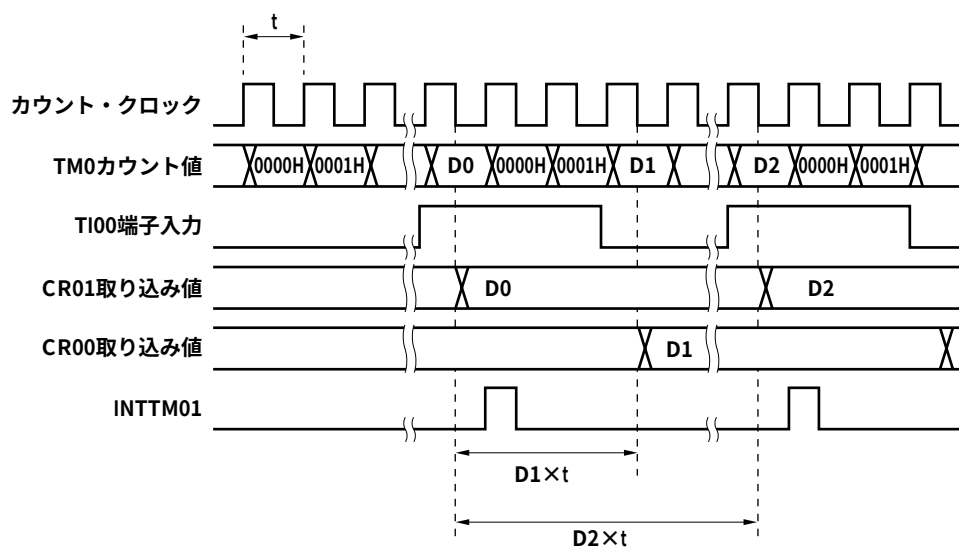


図6-22 リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）



6.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P35端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0（TM0）でカウントするものです。

プリスケアラ・モード・レジスタ0（PRM0）で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）の値と一致すると、TM0は0にクリアされ、割り込み要求信号（INTTM00）が発生します。

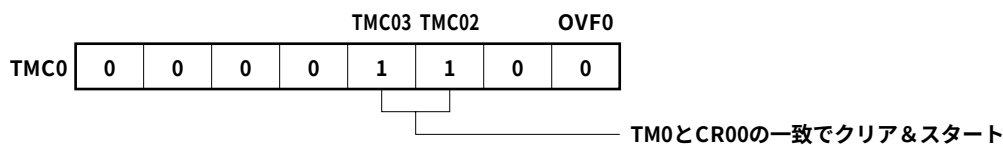
なお、CR00には0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ0（PRM0）のビット4，5（ES00, ES01）により、立ち上がり，立ち下がり，両エッジの3種類から選択できます。

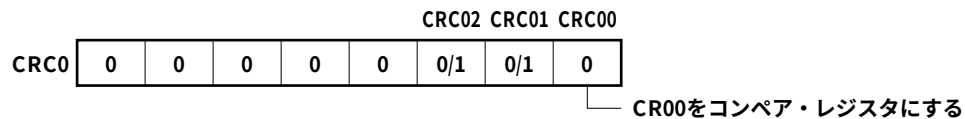
内部クロック（ $f_x/2^3$ ）でサンプリングを行い、TI00/P35端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

図6-23 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）



(b) キャプチャ／コンペア・コントロール・レジスタ0（CRC0）



備考 0/1：0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は、図6-3を参照してください。

図 6-24 外部イベント・カウンタの構成図

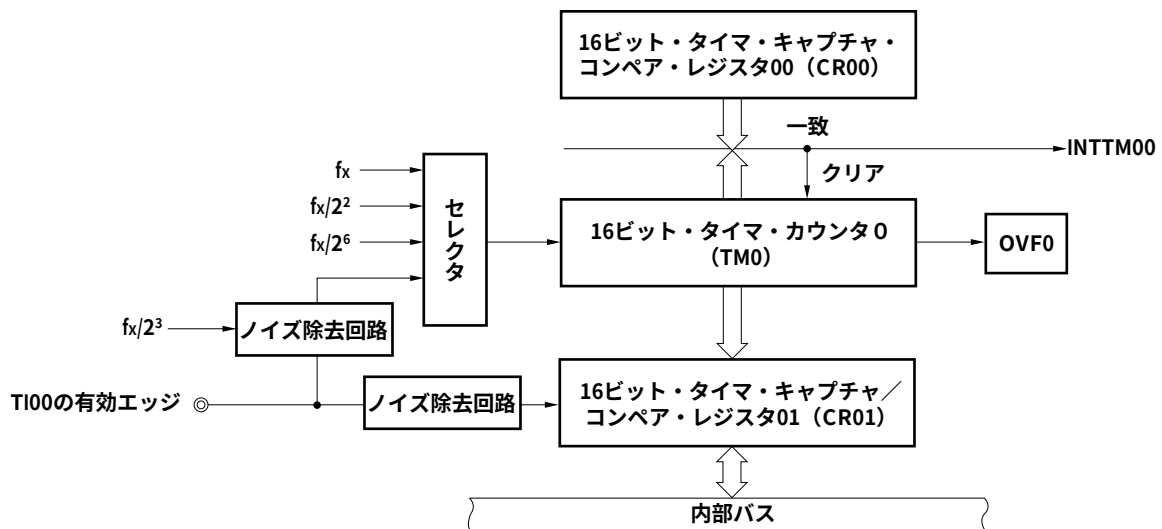
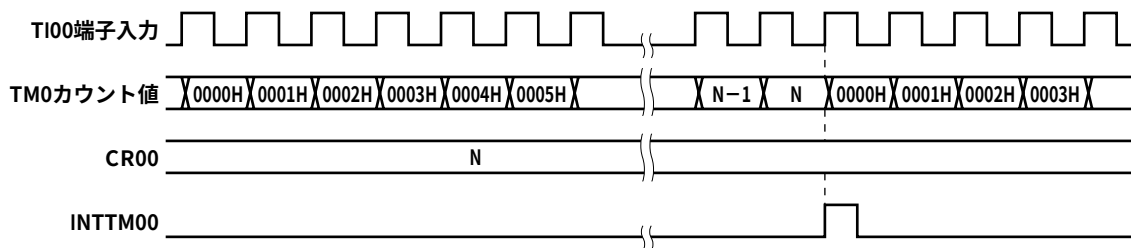


図6-25 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



注意 外部イベント・カウンタのカウント値を読み出す場合は、TM0を読み出してください。

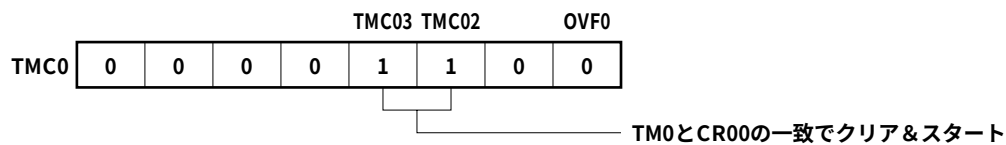
6.5.5 方形波出力としての動作

16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力として動作します。

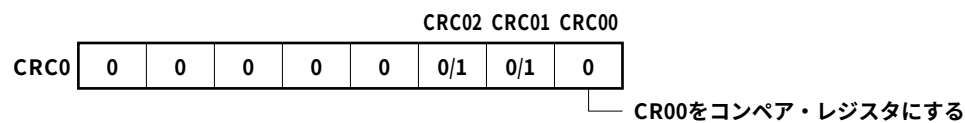
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウント値をインターバルとしてTO00端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6-26 方形波出力モード時の制御レジスタ設定内容

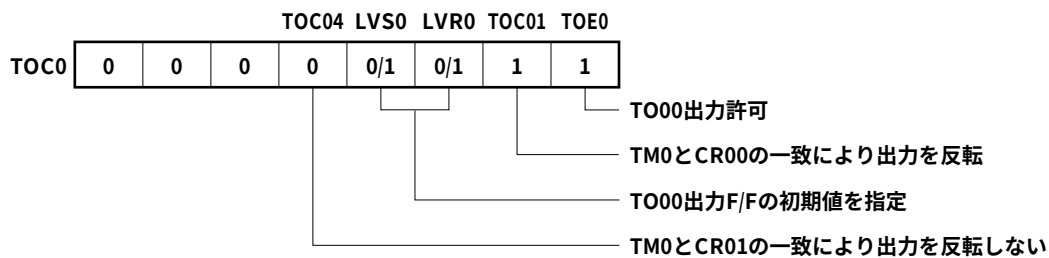
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

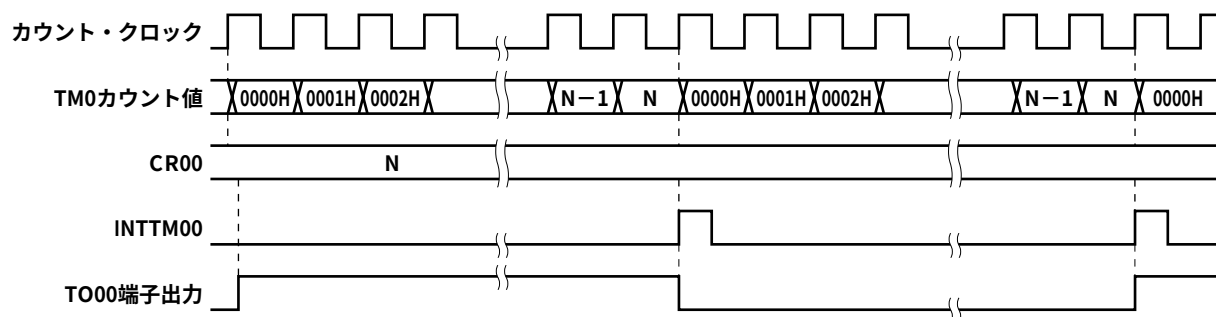


(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



備考 0/1: 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、図6-3および図6-4を参照してください。

図6-27 方形波出力動作のタイミング

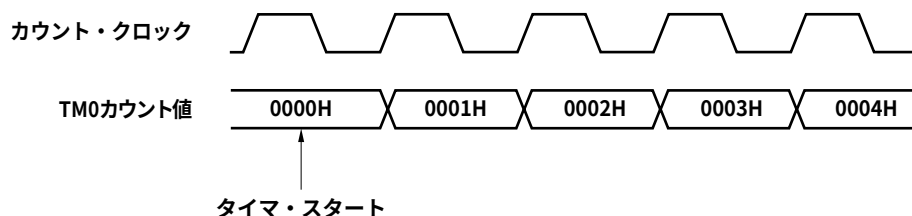


6.6 16ビット・タイマ／イベント・カウンタ0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図6-28 16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング



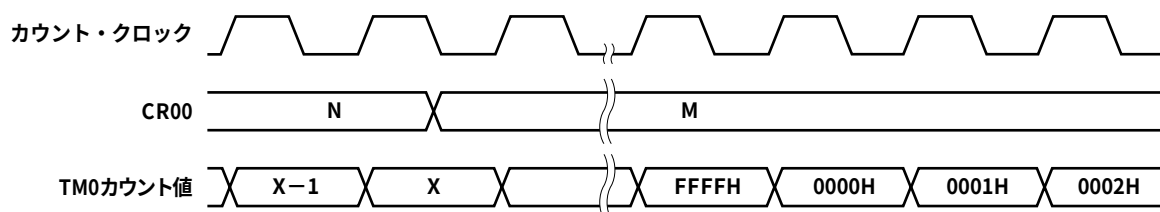
(2) 16ビット・タイマ・コンペア・レジスタの設定 (TM0とCR00一致でクリア&スタート・モードの場合)

16ビット・タイマ・キャプチャ／コンペア・レジスタ00, 01 (CR00, CR01) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。

図6-29 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

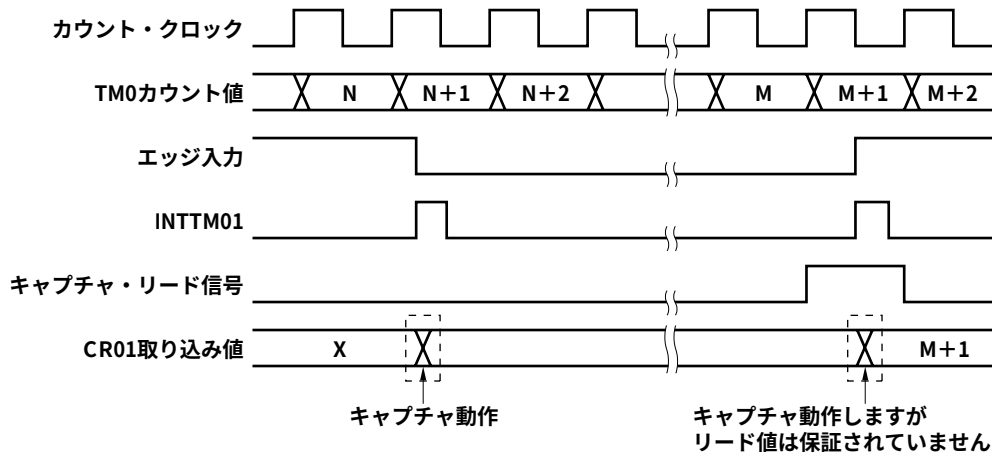


備考 $N > X > M$

★ (4) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）の読み出し中にTI00/P35端子の有効エッジが入力したとき、CR01はキャプチャ動作を行います。このときのリード値は保証されません。ただし、有効エッジの検出による割り込み要求信号（INTTM01）は発生します。

★ 図6-30 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI00/P35端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）のビット2,3（TMC02, TMC03）に0,0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0（PRM0）のビット4,5（ES00, ES01）で設定します。

(6) OVF0フラグの動作

- ① OVF0フラグは、次のときに“1”に設定されます。

TM0とCR00の一致でクリア&スタートするモード，TI00の有効エッジでクリア&スタート，フリー・ランニング・モードのいずれかを選択

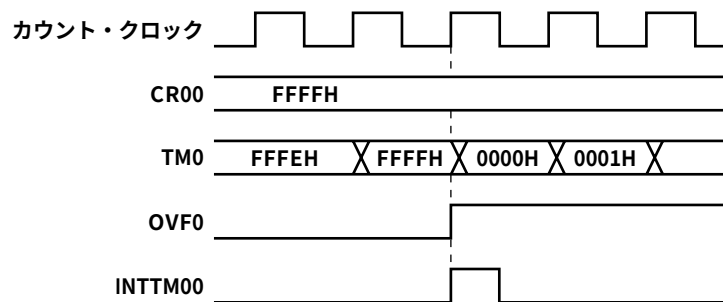


CR00をFFFFHに設定



TM0がFFFFHから0000Hにカウント・アップするとき

図6-31 OVF0フラグの動作タイミング



- ② TM0がオーバーフロー後，次のカウント・クロックが来る前（TM0が0001Hになる前）にOVF0フラグをクリアしても，再度セットされ，クリアは無効となります。

(7) 競合動作について

16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00/CR01）のライト期間と16ビット・タイマ・カウンタ0（TM0）との一致タイミングの競合（CR00/CR01はコンペア・レジスタとして使用）

一致判別は正常に行われません。一致タイミング付近でCR00/CR01のライト動作は行わないでください。

(8) タイマ動作について

- ① 16ビット・タイマ・カウンタ0 (TM0) をリードしても、16ビット・タイマ・キャプチャ／コンペア・レジスタ01 (CR01) にはキャプチャしません。
- ② CPUの動作モードに関係なく、タイマが停止していると、TI00/TI01端子への入力信号は受け付けられません。

(9) キャプチャ動作について

- ① カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。
- ② TI00の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャ動作しません。
- ③ 確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスが必要とします。
- ④ キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n) は次のカウント・クロックの立ち上がりで発生します。

★

(10) コンペア動作について

- ① 16ビット・タイマ・キャプチャ00, 01 (CR00, CR01) の設定値と16ビット・タイマ・カウンタ0 (TM0) のカウント値が一致し、INTTM0が発生するタイミングでCR00, CR01に値を書き込むと、INTTM0が発生しないことがあります。したがって同じ値の場合でも、CR00, CR01に何度も書き込まないでください。
- ② コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(11) エッジ検出について

- ① システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0（TM0）の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
- ② TI00端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_x/2^3$ で、メイン・システム・クロックを使用するため、メイン・システム・クロックが動作時のみ使用可能です。後者はプリスケアラ・モード・レジスタ0（PRM0）で選択したカウント・クロックでサンプリングします。有効エッジ検出は、有効エッジをサンプリングして、2回有効レベルを検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

(12) TI01入力とTO00出力について

TI01入力端子とTO00出力端子は同一端子（P34/TI01/TO00）に割り当てられているため、TI01入力とTO00出力を同時に使用することはできません。

★ (13) STOPモードまたはメイン・システム・クロック停止モードの設定について

TI00, TI01入力を選択している場合を除き、STOPモードまたはメイン・システム・クロック停止モードに設定する前に必ずタイマ動作を停止してください。メイン・システム・クロック開始時に、タイマが誤動作する可能性があります。

第7章 8ビット・タイマA0, B0

7.1 8ビット・タイマA0, B0の機能

μPD780344, 780354, 780344Y, 780354Yサブシリーズは8ビット・タイマA0と8ビット・タイマ／イベント・カウンタB0を内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表7-1 モード一覧

モード \ チャンネル	タイマA0	タイマB0
8ビット・タイマ・カウンタ・モード (単体モード)	○	○
16ビット・タイマ・カウンタ・モード (カスケード接続モード)	○	
キャリア・ジェネレータ・モード	○	
PWM出力モード	×	○

(1) 8ビット・タイマ・カウンタ・モード (単体モード)

次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の外部イベント・カウンタ (タイマB0のみ)
- ・ 8ビット分解能の方形波出力

(2) 16ビット・タイマ・カウンタ・モード (カスケード接続モード)

カスケード接続することにより、16ビット・タイマ／イベント・カウンタとして動作します。

次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマB0で生成されるキャリア・クロックをタイマA0で設定した周期で出力します。

(4) PWM出力モード (タイマB0のみ)

タイマB0で設定した任意のデューティ比のパルスを出力します。

7.2 8ビット・タイマA0, B0の構成

8ビット・タイマA0, B0は、次のハードウェアで構成しています。

表7-2 8ビット・タイマA0, B0の構成

項 目	構 成
タイマ・カウンタ	8ビット×2本 (TMA0, TMB0)
レジスタ	コンペア・レジスタ：8ビット×3本 (CRA0, CRB0, CRHB0)
タイマ入力	1本 (TMIB0)
タイマ出力	2本 (TOA0, TOB0)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0) 8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0) キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0) ポート・モード・レジスタ0 (PM0)

図7-1 タイマA0のブロック図

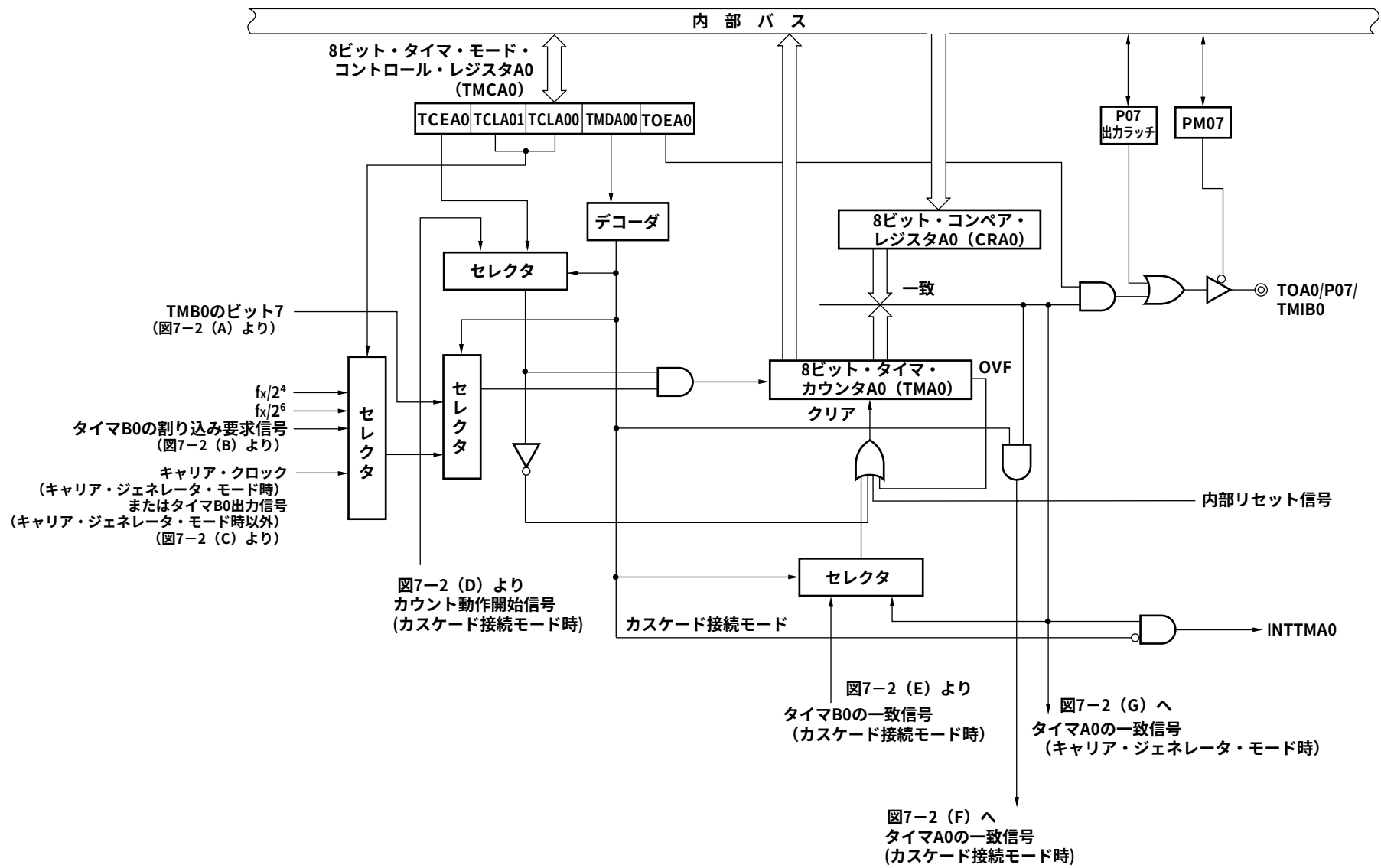
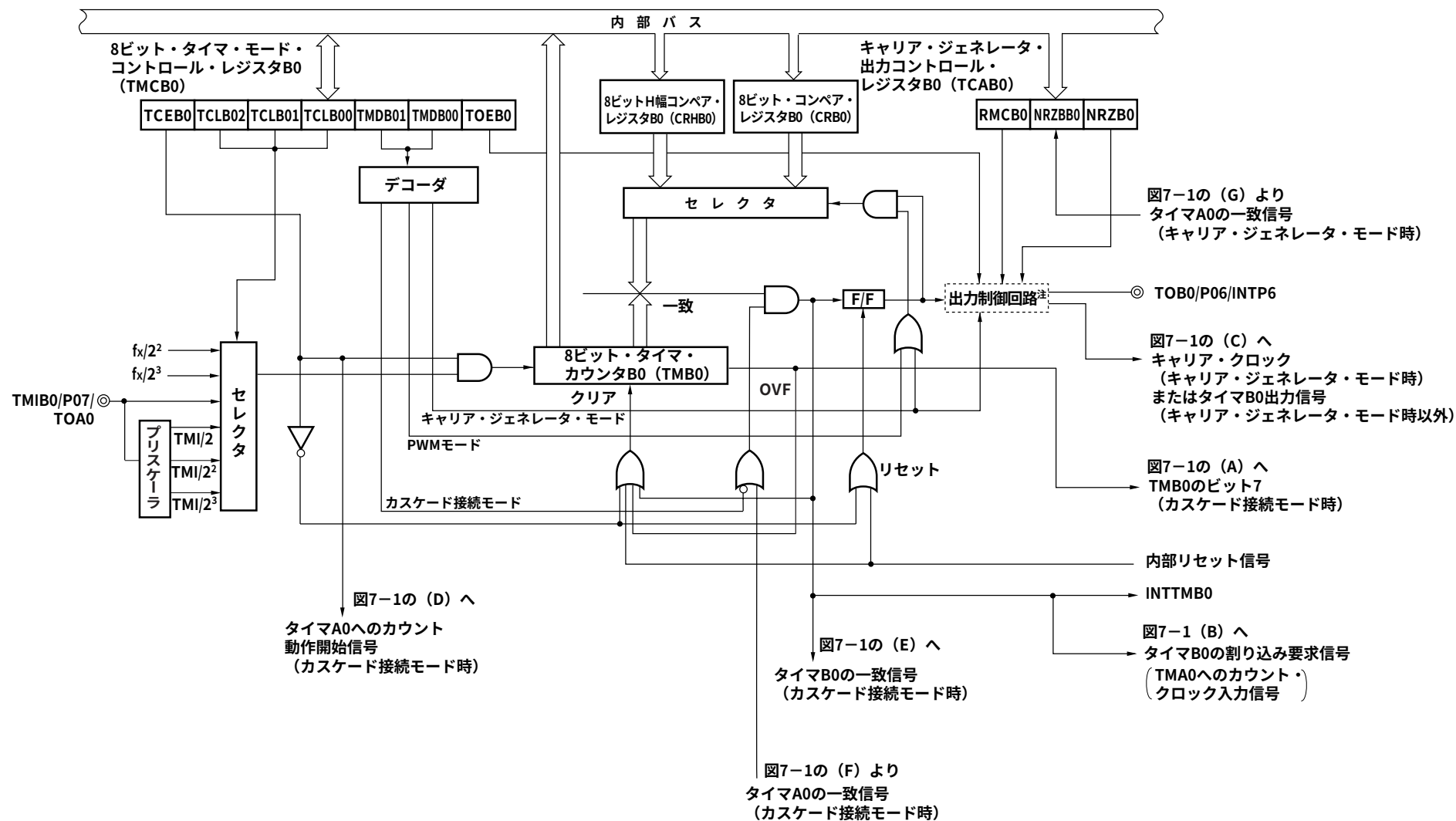
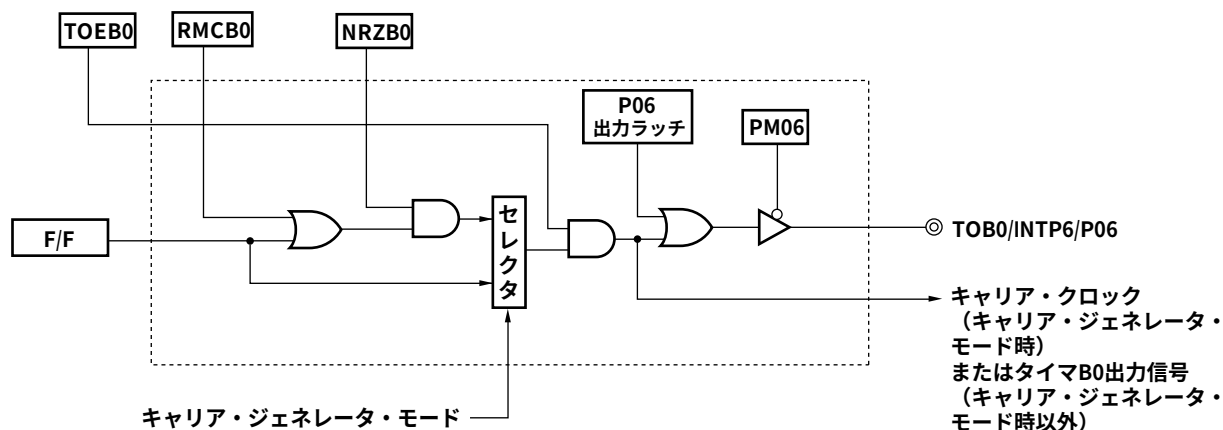


図7-2 タイマB0のブロック図



注 詳細については図7-3を参照してください。

図7-3 出力制御回路（タイマB0）のブロック図



(1) 8ビット・コンペア・レジスタA0（CRA0）

CRA0に設定した値と8ビット・タイマ・カウンタA0（TMA0）のカウンタ値を常に比較し、一致したときに割り込み要求（INTTMA0）を発生する8ビットのレジスタです。

- ★ CRA0は、8ビット・メモリ操作命令で書き込みます。
RESET入力により、不定になります。

注意 PWM出力モード時、CRA0は使用しません。

(2) 8ビット・コンペア・レジスタB0（CRB0）

CRB0に設定した値と8ビット・タイマ・カウンタB0（TMB0）のカウンタ値を常に比較し、一致したときに割り込み要求（INTTMB0）を発生する8ビットのレジスタです。また、TMA0とカスケード接続して、16ビット・タイマとして使用する場合、CRA0とTMA0、CRB0とTMB0が同時に一致した場合のみ割り込み要求（INTTMB0）が発生します（INTTMA0は発生しません）。

- ★ CRB0は、8ビット・メモリ操作命令で書き込みます。
RESET入力により、不定になります。

(3) 8ビットH幅コンペア・レジスタB0（CRHB0）

キャリア・ジェネレータ／PWM出力モード時、CRHB0に値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

- ★ CRHB0は、8ビット・メモリ操作命令で書き込みます。
RESET入力により、不定になります。

(4) 8ビット・タイマ・カウンタA0, B0 (TMA0, TMB0)

カウント・パルスをカウントする8ビットのレジスタです。

TMA0, TMB0は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TMA0, TMB0が00Hにクリアされる条件を次に示します。

(a) 単体モード**(i) TMA0の場合**

- ・リセット
- ・TCEA0 (8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0) のビット7) を0にクリア
- ・TMA0とCRA0の一致
- ・TMA0のカウント値のオーバーフロー

(ii) TMB0の場合

- ・リセット
- ・TCEB0 (8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0) のビット7) を0にクリア
- ・TMB0とCRB0の一致
- ・TMB0のカウント値のオーバーフロー

(b) カスケード接続モード (TMA0, TMB0同時に00Hにクリア)

- ・リセット
- ・TCEB0フラグを0にクリア
- ・TMA0とCRA0およびTMB0とCRB0が同時に一致したとき
- ・TMA0とTMB0のカウント値が同時にオーバーフロー

(c) キャリア・ジェネレータ/PWM出力モード (TMB0のみ)

- ・リセット
- ・TCEB0フラグを0にクリア
- ・TMB0とCRB0の一致
- ・TMB0とCRHB0の一致
- ・TMB0のカウント値のオーバーフロー

7.3 8ビット・タイマA0, B0を制御するレジスタ

8ビット・タイマA0, B0は、次の4種類のレジスタで制御します。

- ・ 8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0)
- ・ 8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0)
- ・ キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0)
- ・ ポート・モード・レジスタ0 (PM0)

(1) 8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0)

8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0) は、タイマA0のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMCA0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタA0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMCA0	TCEA0	0	0	TCLA01	TCLA00	0	TMDA00	TOEA0	FF6DH	00H	R/W

TCEA0	TMA0のカウント動作の制御 ^{注1}
0	TMA0のカウント値をクリアし、動作停止
1	カウント動作開始

TCLA01	TCLA00	タイマA0のカウント・クロックの選択
0	0	$f_x/2^4$ (625 kHz)
0	1	$f_x/2^6$ (156 kHz)
1	0	タイマB0一致信号
1	1	キャリア・クロック (キャリア・ジェネレータ・モード時) またはタイマB0出力信号 (キャリア・ジェネレータ・モード時以外)

TMDA00	TMDB01	TMDB00	タイマA0, タイマB0の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード (単体モード)
1	0	1	16ビット・タイマ・カウンタ・モード (カスケード接続モード)
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマB0: PWM出力モード タイマA0: 8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

TOEA0	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注1. カスケード接続モード時ではTCEB0 (TMCB0のビット7) でカウント動作を制御するため、TCEA0に設定しても無視されます。

2. 動作モードの選択は、TMCA0とTMCB0の両方のレジスタを組み合わせで設定します。

注意 カスケード接続モード時では、カウント・クロックは強制的にタイマB0出力信号が選択されます。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10.0 \text{ MHz}$ 動作時

(2) 8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0)

8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0) は、タイマB0のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMCB0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-5 8ビット・タイマ・モード・コントロール・レジスタB0のフォーマット

略号	⑦	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMCB0	TCEB0	0	TCLB02	TCLB01	TCLB00	TMDB01	TMDB00	TOEB0	FF6EH	00H	R/W

TCEB0	TMB0のカウント動作の制御 ^{注1}
0	TMB0のカウント値をクリアし、動作停止（カスケード接続モード時ではTMA0も同時にカウント値をクリア）
1	カウント動作開始（カスケード接続モード時ではTMA0も同時にカウント動作開始）

TCLB02	TCLB01	TCLB00	タイマB0のカウント・クロックの選択
0	0	0	$f_x/2^2$ (2.5 MHz)
0	0	1	$f_x/2^3$ (1.25 MHz)
0	1	0	f_{TMI}
0	1	1	$f_{\text{TMI}}/2$
1	0	0	$f_{\text{TMI}}/2^2$
1	0	1	$f_{\text{TMI}}/2^3$
上記以外			設定禁止

TMDB00	TMDB01	TMDB02	タイマA0, タイマB0の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード（単体モード）
1	0	1	16ビット・タイマ・カウンタ・モード（カスケード接続モード）
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマB0：PWM出力モード タイマA0：8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

TOEB0	タイマ出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注1. カスケード接続モード時ではTCEB0でカウント動作を制御するため、TCEA0（TMCA0のビット7）に設定しても無視されます。

2. 動作モードの選択は、TMCA0とTMCB0の両方のレジスタを組み合わせで設定します。

備考1. f_x ：メイン・システム・クロック発振周波数

2. f_{TMI} ：TMIB0端子からの入力周波数

3. () 内は、 $f_x = 10.0 \text{ MHz}$ 動作時

(3) キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCAB0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★

図7-6 キャリア・ジェネレータ出力コントロール・レジスタB0のフォーマット

略号	7	6	5	4	3	②	①	①	アドレス	リセット時	R/W
TCAB0	0	0	0	0	0	RMCB0	NRZBB0	NRZB0	FF6FH	00H	R/W

RMCB0	リモコン出力の制御
0	NRZB0 = 1のとき、TOB0/INTP6/P06端子にキャリア・クロックを出力する
1	NRZB0 = 1のとき、TOB0/INTP6/P06端子にハイ・レベルを出力する

NRZBB0	次に出力するNRZB0のデータを格納するビット。タイマA0の一致信号の立ち上がりエッジで、NRZB0にデータを転送します。NRZBB0にはあらかじめプログラムによって必要な値を入力しておいてください。
--------	--

NRZB0	ノー・リターン・ゼロ・データ
0	TOB0/INTP6/P06端子にロウ・レベルを出力する（キャリア・クロックは停止）
1	TOB0/INTP6/P06端子にキャリア・クロックまたはハイレベルを出力する

注意1. TCAB0は、1ビット・メモリ操作命令を使用できません。必ず8ビット・メモリ操作命令で設定してください。

2. NRZB0フラグはキャリア・ジェネレータ出力停止（TOEB0 = 0）時のみ書き換え可能です。

TOEB0 = 1のときに書き込み命令を実行してもデータは書き換わりません。

(4) ポート・モード・レジスタ0 (PM0)

ポート0の入力／出力を1ビット単位で設定するレジスタです。

P06/INTP6/TOB0端子をタイマB0出力として使用するときはPM06およびP06の出力ラッチに0を設定してください。

P07/TOA0/TMIB0端子をタイマB0入力として使用するときはPM07に1を、タイマA0出力として使用するときにはPM07およびP07の出力ラッチに0を設定してください。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図7-7 ポート・モード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W

PM0n	P0n端子の入出力モード (n = 0-7)
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

7.4 8ビット・タイマA0, B0の動作

7.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマA0, タイマB0はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の外部イベント・カウンタ（タイマB0のみ）
- ・ 8ビット分解能の方形波出力

（1）8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは、あらかじめ8ビット・コンペア・レジスタn0（CRn0）に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマn0をインターバル・タイマとして動作させるには次の設定をします。

- ① 8ビット・タイマ・カウンタn0（TMn0）を動作禁止（TCEn0 = 0）に設定
- ② TOn0のタイマ出力を禁止（TOEn0 = 0）に設定
- ★ ③ タイマn0のカウント・クロックを設定（表7-3, 表7-4参照）
- ★ ④ タイマn0の動作モードを8ビット・タイマ・カウンタ・モードに設定（図7-4, 図7-5参照）
- ⑤ CRn0にカウント値を設定
- ⑥ TMn0を動作許可（TCEn0 = 1）に設定

8ビット・タイマ・カウンタn0（TMn0）のカウント値がCRn0に設定した値と一致したとき、TMn0の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号（INTTMn0）を発生します。

表7-3, 表7-4にインターバル時間を, 図7-8～図7-13にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

備考 n = A, B

表7-3 タイマA0のインターバル時間

TCLA01	TCLA00	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_x$ (1.6 μ s)	$2^{12}/f_x$ (410 μ s)	$2^4/f_x$ (1.6 μ s)
0	1	$2^6/f_x$ (6.4 μ s)	$2^{14}/f_x$ (1.64 ms)	$2^6/f_x$ (6.4 μ s)
1	0	タイマB0一致信号の入力周期	タイマB0一致信号の入力周期 $\times 2^8$	タイマB0一致信号の入力周期
1	1	タイマB0出力の入力周期	タイマB0出力の入力周期 $\times 2^8$	タイマB0の入力周期

備考1. f_x : メイン・システム・クロック発振周波数2. () 内は, $f_x = 10.0$ MHz動作時

表7-4 タイマB0のインターバル時間

TCLB02	TCLB01	TCLB00	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2^2/f_x$ (0.4 μ s)	$2^{10}/f_x$ (102 ms)	$2^2/f_x$ (0.4 μ s)
0	0	1	$2^3/f_x$ (0.8 μ s)	$2^{11}/f_x$ (205 ms)	$2^3/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数2. f_{TMI} : TMIB0端子からの入力周波数3. () 内は, $f_x = 10.0$ MHz動作時

図7-8 8ビット分解能のインターバル・タイマ動作のタイミング (基本動作)

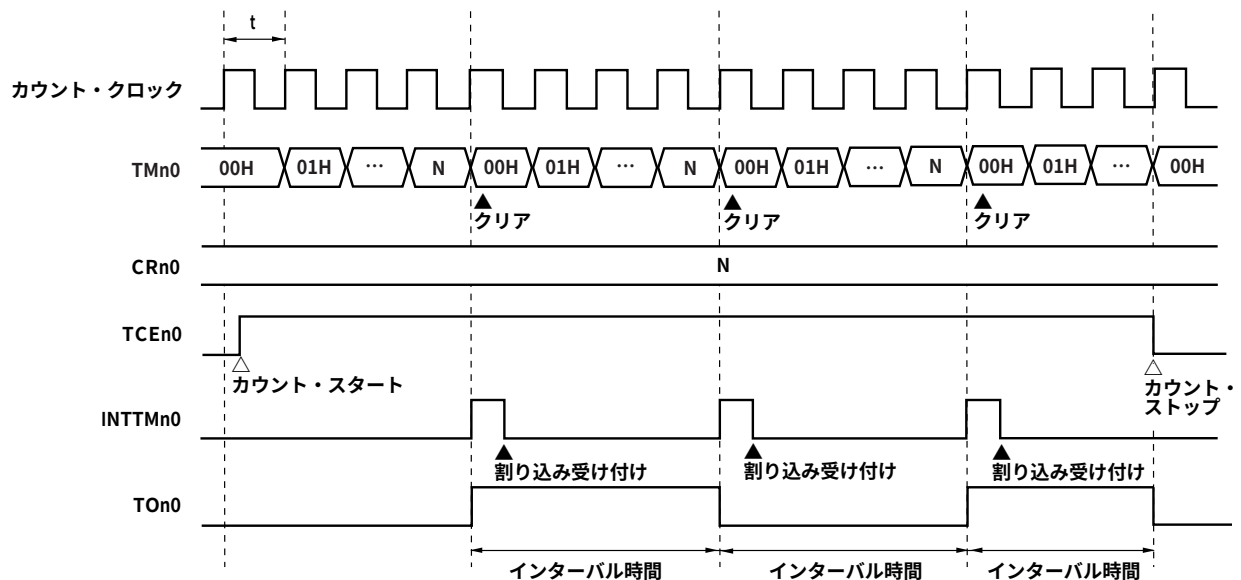
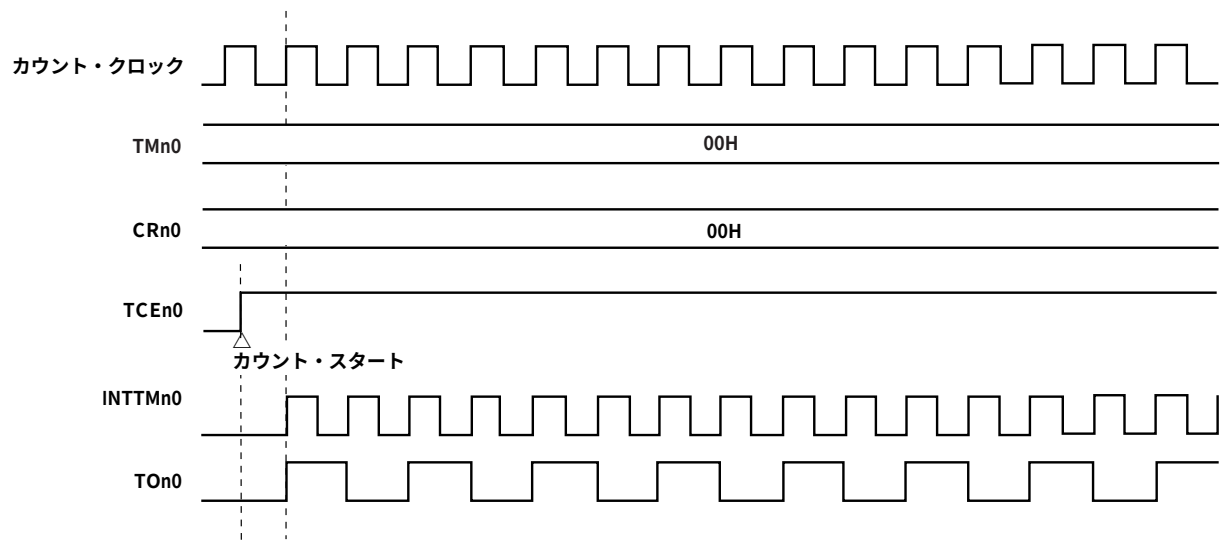
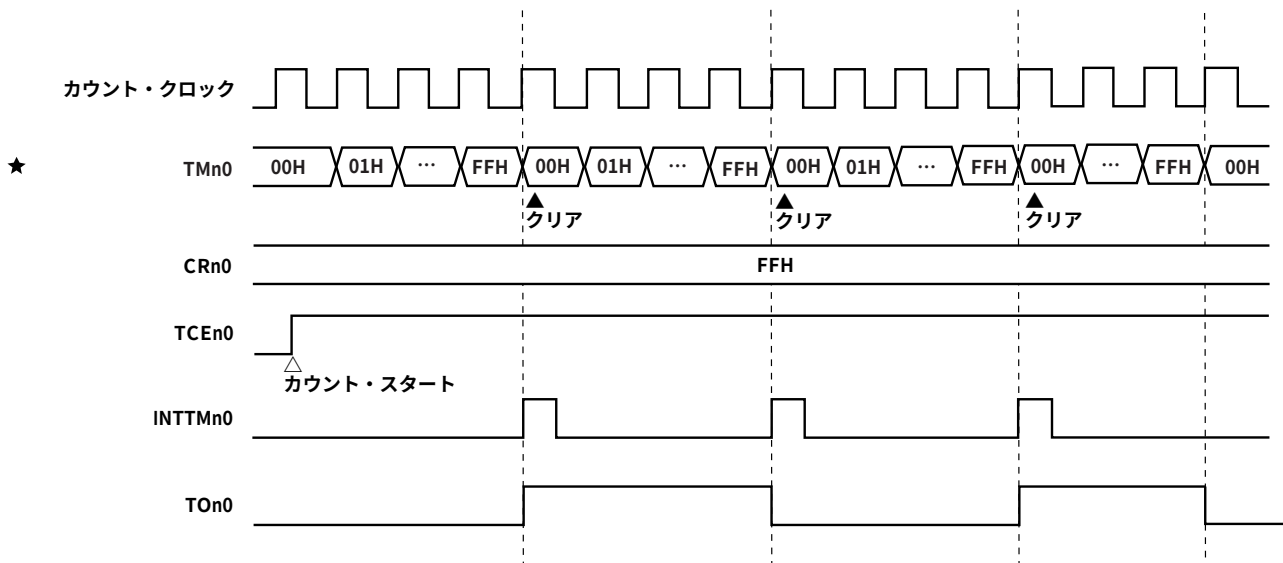
備考1. インターバル時間 = $(N+1) \times t$: $N = 00H-FFH$ 2. $n = A, B$

図7-9 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時)



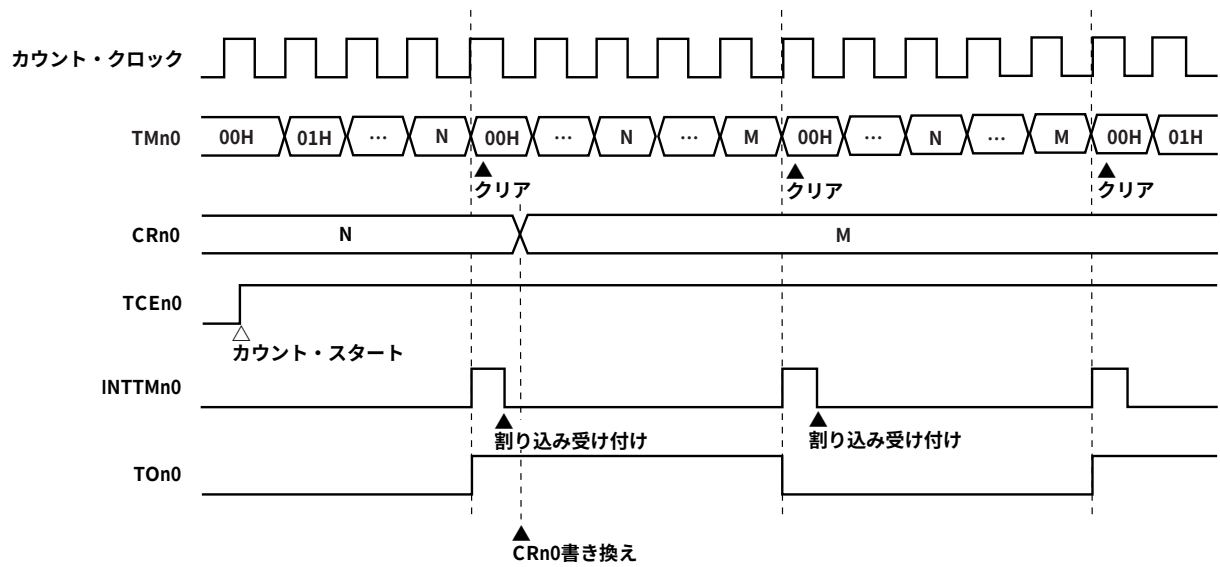
備考 n = A, B

図7-10 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時)



備考 n = A, B

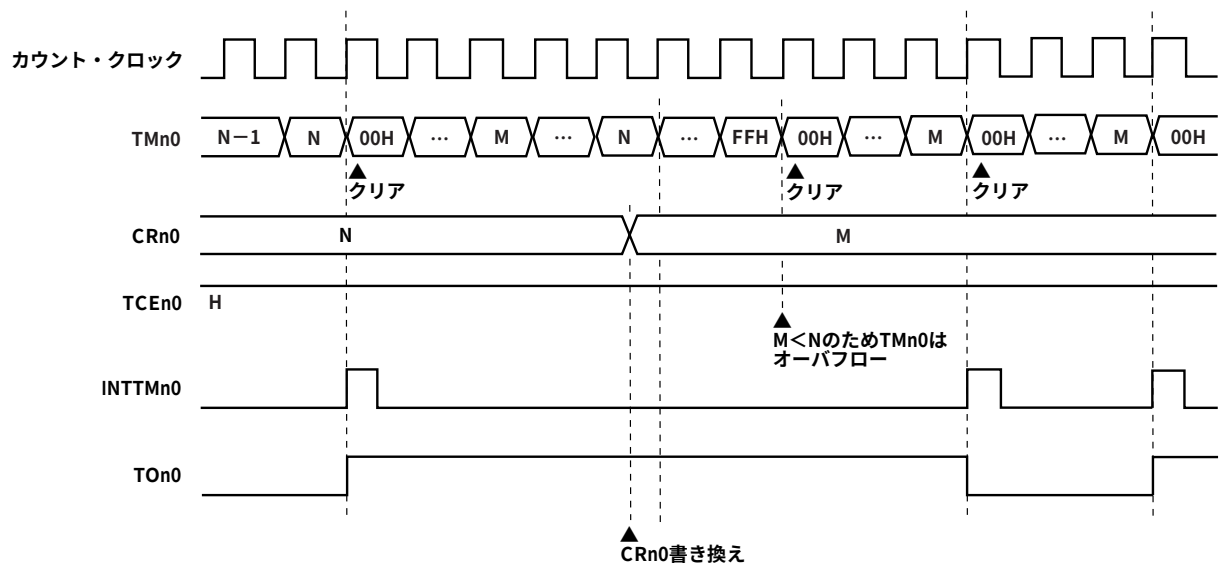
図7-11 8ビット分解能のインターバル・タイマ動作のタイミング（CRn0 = N→M（N<M）変更時）



備考1. n = A, B

2. 00H ≤ N < M ≤ FFH

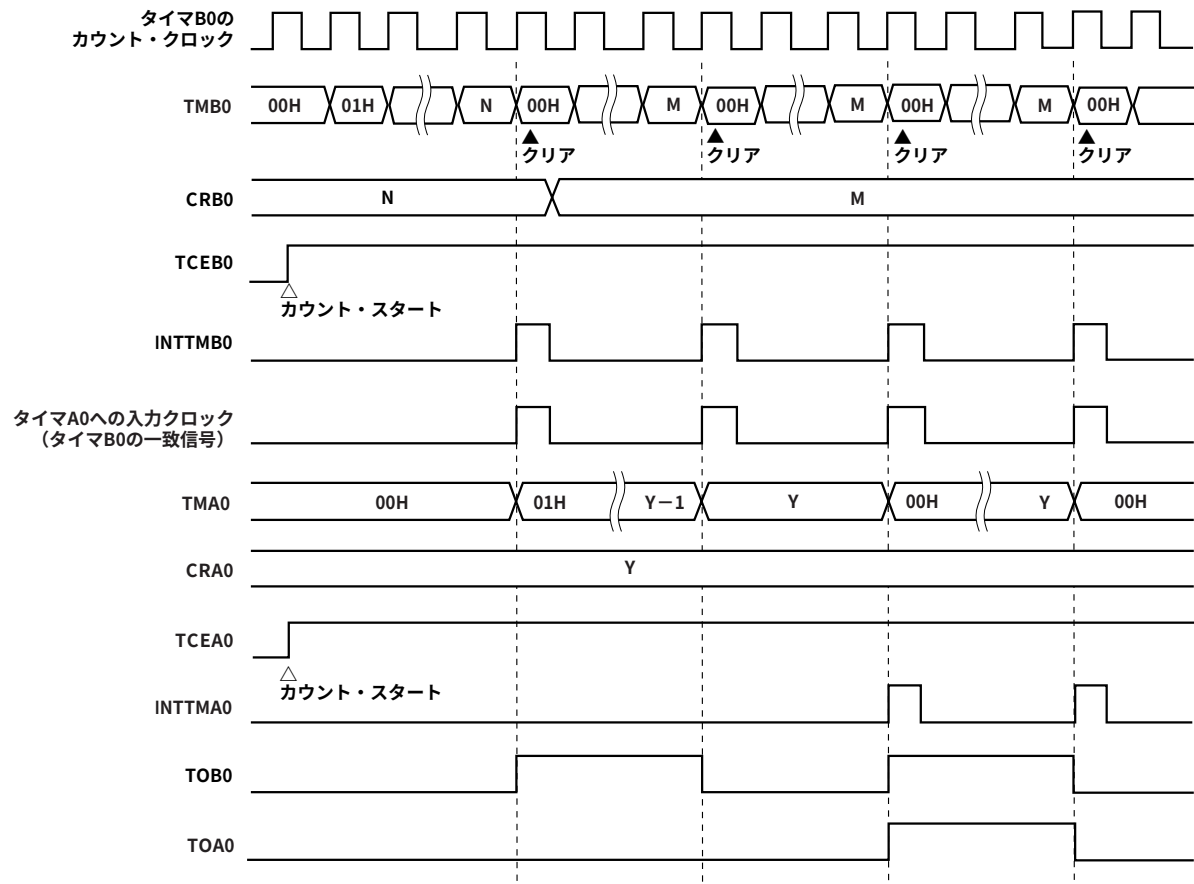
図7-12 8ビット分解能のインターバル・タイマ動作のタイミング（CRn0 = N→M（N>M）変更時）



備考1. n = A, B

2. 00H ≤ M < N ≤ FFH

図7-13 8ビット分解能のインターバル・タイマ動作のタイミング
(タイマA0のカウント・クロックにタイマB0一致信号選択時)



備考1. $n = A, B$

2. $N, M, Y = 00H\text{--}FFH$

(2) 8ビット分解能の外部イベント・カウンタとしての動作（タイマB0のみ）

外部イベント・カウンタは、TMIB0/P07/TOA0端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタB0（TMB0）でカウントするものです。

タイマB0を外部イベント・カウンタとして動作させるには次の設定をします。

- ① 8ビット・タイマ・カウンタB0（TMB0）を動作禁止（TCEB0 = 0）に設定
- ② TOB0のタイマ出力を禁止（TOEB0 = 0）に設定
- ③ P07を入力モード（PM07 = 1）に設定
- ④ タイマB0の外部入力クロックを選択（表7－4参照）
- ⑤ タイマB0の動作モードを8ビット・タイマ・カウンタ・モードに設定（図7－4，図7－5参照）
- ⑥ CRB0にカウント値を設定
- ⑦ TMB0を動作許可（TCEB0 = 1）に設定

注意 タイマB0のみの機能です。タイマA0はタイマ入力端子がないので、外部イベント・カウンタとしては使えません。

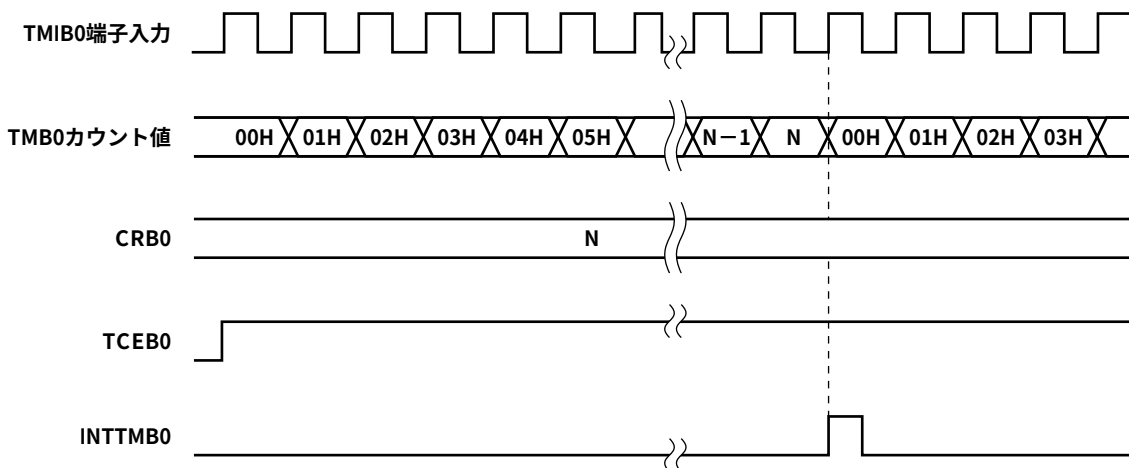
有効エッジが入力されるたびにTMB0がインクリメントされます。

TMB0のカウント値がCRB0に設定した値と一致したとき、TMB0の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号（INTTMB0）を発生します。

図7－14に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

図7－14 8ビット分解能の外部イベント・カウンタ動作のタイミング



備考 N = 00H-FFH

(3) 8ビット分解能の方形波出力としての動作

8ビット・コンペア・レジスタn0 (CRn0) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマn0を方形波出力として動作させるには次の設定をします。

- ★ ① 8ビット・タイマ・カウンタn0 (TMn0) を動作禁止 (TCEn0 = 0) に設定
- ★ ② TOn0のタイマ出力を禁止 (TOEn0 = 0) に設定
- ★ ③ タイマn0のカウント・クロックを設定 (表7-5 参照)
- ★ ④ タイマn0の動作モードを8ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5 参照)
- ★ ⑤ CRn0にカウント値を設定
- ⑥ TOn0を出力許可 (TOEn0 = 1) に設定
- ⑦ タイマA0の場合, P07を出力モード (PM07 = 0) に設定
タイマB0の場合, P06を出力モード (PM06 = 0) に設定
- ⑧ タイマA0の場合, P07の出力ラッチに0を設定
タイマB0の場合, P06の出力ラッチに0を設定
- ⑨ TMn0を動作許可 (TCEn0 = 1) に設定

TMn0のカウント値がCRn0に設定した値と一致したとき, TOn0端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TMn0の値は, 00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTMn0) を発生します。

方形波出力は, TCEn0に0を設定するとクリア (0) されます。

表7-5に方形波出力範囲を, 図7-15に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 n = A, B

表7-5 タイマB0の方形波出力範囲

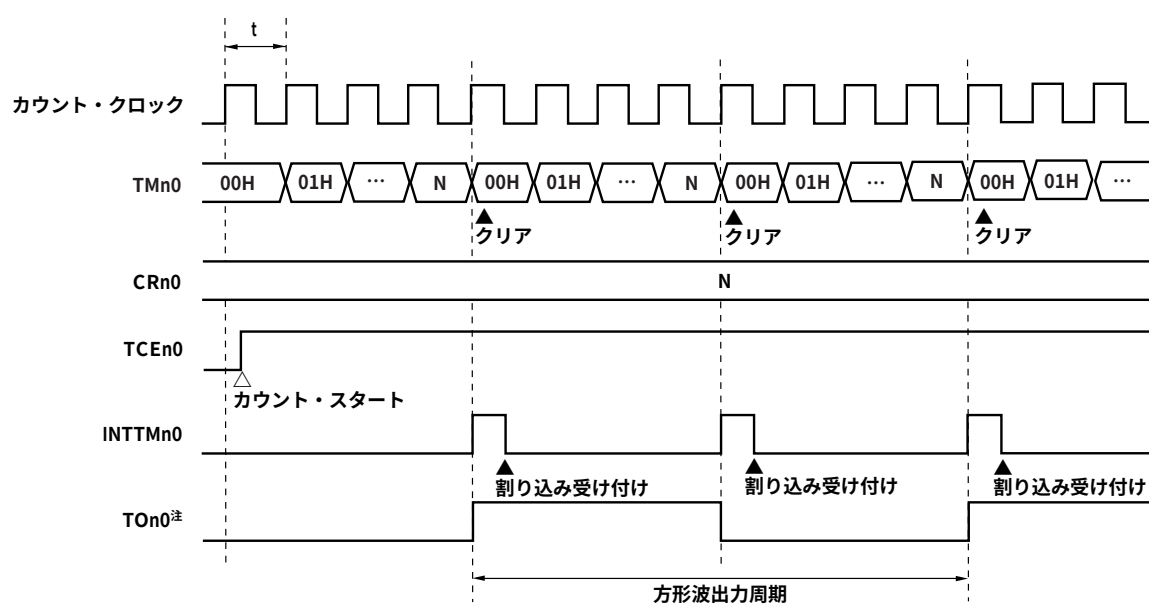
TCLB02	TCLB01	TCLB00	最小パルス幅	最大パルス幅	分解能
0	0	0	$2^2/f_x$ (0.4 μ s)	$2^{10}/f_x$ (102 ms)	$2^2/f_x$ (0.4 μ s)
0	0	1	$2^3/f_x$ (0.8 μ s)	$2^{11}/f_x$ (205 ms)	$2^3/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : TMIB0端子からの入力周波数

3. () 内は, $f_x = 10.0$ MHz動作時

図7-15 8ビット分解能の方形波出力のタイミング



注 出力許可（TOEn0 = 1）時のTOn0の初期値は、ロウ・レベルになります。

備考1．方形波出力周期 = $2(N+1) \times t$: $N = 00H-FFH$

2． $n = A, B$

7.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマA0, タイマB0をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタA0 (TMA0) が上位8ビット, 8ビット・タイマ・カウンタB0 (TMB0) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマB0で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタA0 (CRA0) および8ビット・コンペア・レジスタB0 (CRB0) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

- ① 8ビット・タイマ・カウンタA0 (TMA0) , 8ビット・タイマ・カウンタB0 (TMB0) を動作禁止 (TCEA0 = 0, TCEB0 = 0) に設定
- ② TOA0, TOB0のタイマ出力を禁止 (TOEA0 = 0, TOEB0 = 0) に設定
- ③ タイマB0のカウント・クロックを設定 (表7-6 参照)
- ④ タイマA0, 8ビット・タイマB0の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5 参照)
- ⑤ CRA0, CRB0にカウント値を設定
- ⑥ TMA0, TMB0を動作許可 (TCEB0 = 1[※]) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCEB0で制御します (TCEA0の値は無効となります)。

TMA0とTMB0のカウント値がそれぞれCRA0, CRB0に設定した値と一致したとき, TMA0, TMB0の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMB0) を発生します (INTTMA0は発生しません)。

表7-6にインターバル時間を, 図7-16にインターバル・タイマ動作のタイミングを示します。

注意1. カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・カウンタ・モード時, TOA0は使用禁止になります。必ずTOEA0 = 0に設定し, TOA0を出力禁止にしてください。

表7-6 16ビット分解能でのインターバル時間

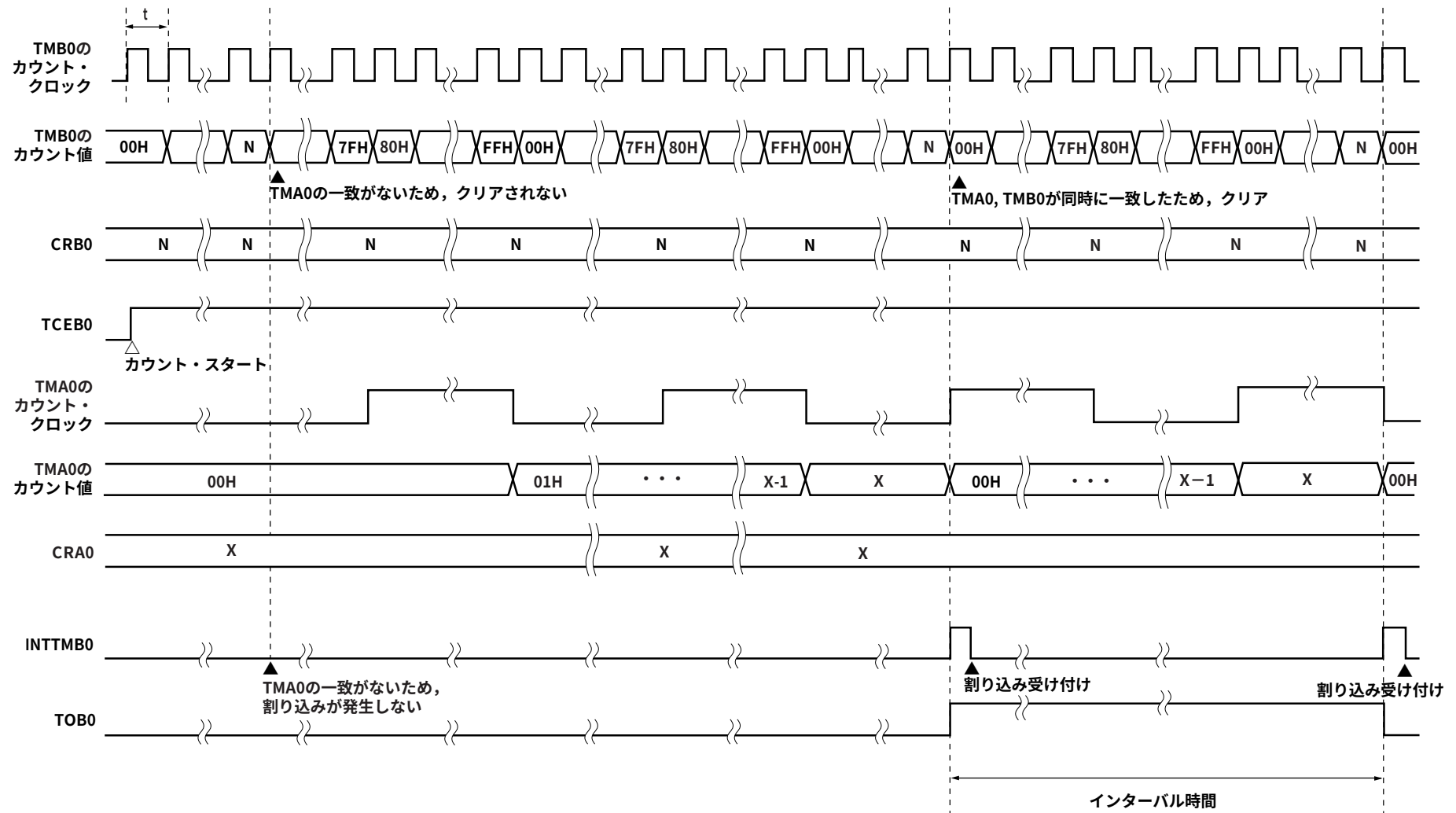
TCLB02	TCLB01	TCLB00	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2^2/f_X$ (0.4 μ s)	$2^{18}/f_X$ (26.2 ms)	$2^2/f_X$ (0.4 μ s)
0	0	1	$2^3/f_X$ (0.8 μ s)	$2^{19}/f_X$ (52.4 ms)	$2^3/f_X$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

備考1. f_X : メイン・システム・クロック発振周波数

2. f_{TMI} : TMIB0端子からの入力周波数

3. () 内は, $f_X = 10.0$ MHz動作時

★ 図7-16 16ビット分解能のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(256X + N + 1) \times t$: $X = 00H-FFH$, $N = 00H-FFH$

(2) 16ビット分解能の外部イベント・カウンタとしての動作

外部イベント・カウンタは、TMIB0/P07/TOA0端子に入力される外部からのクロック・パルス数をTMA0, TMB0でカウントするものです。

16ビット分解能の外部イベント・カウンタとして動作させるには次の設定をします。

- ★ ① 8ビット・タイマ・カウンタA0 (TMA0) , 8ビット・タイマ・カウンタB0 (TMB0) を動作禁止 (TCEA0 = 0, TCEB0 = 0) に設定
- ★ ② TOA0, TOB0のタイマ出力を禁止 (TOEA0 = 0, TOEB0 = 0) に設定
- ③ P07を入力モード (PM07 = 1) に設定
- ④ タイマB0の外部入力クロックを選択 (表7-6 参照)
- ⑤ タイマA0, タイマB0の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5 参照)
- ⑥ CRA0, CRB0にカウント値を設定
- ⑦ TMA0, TMB0を動作許可 (TCEB0 = 1[※]) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCEB0で制御します (TCEA0の値は無効となります)。

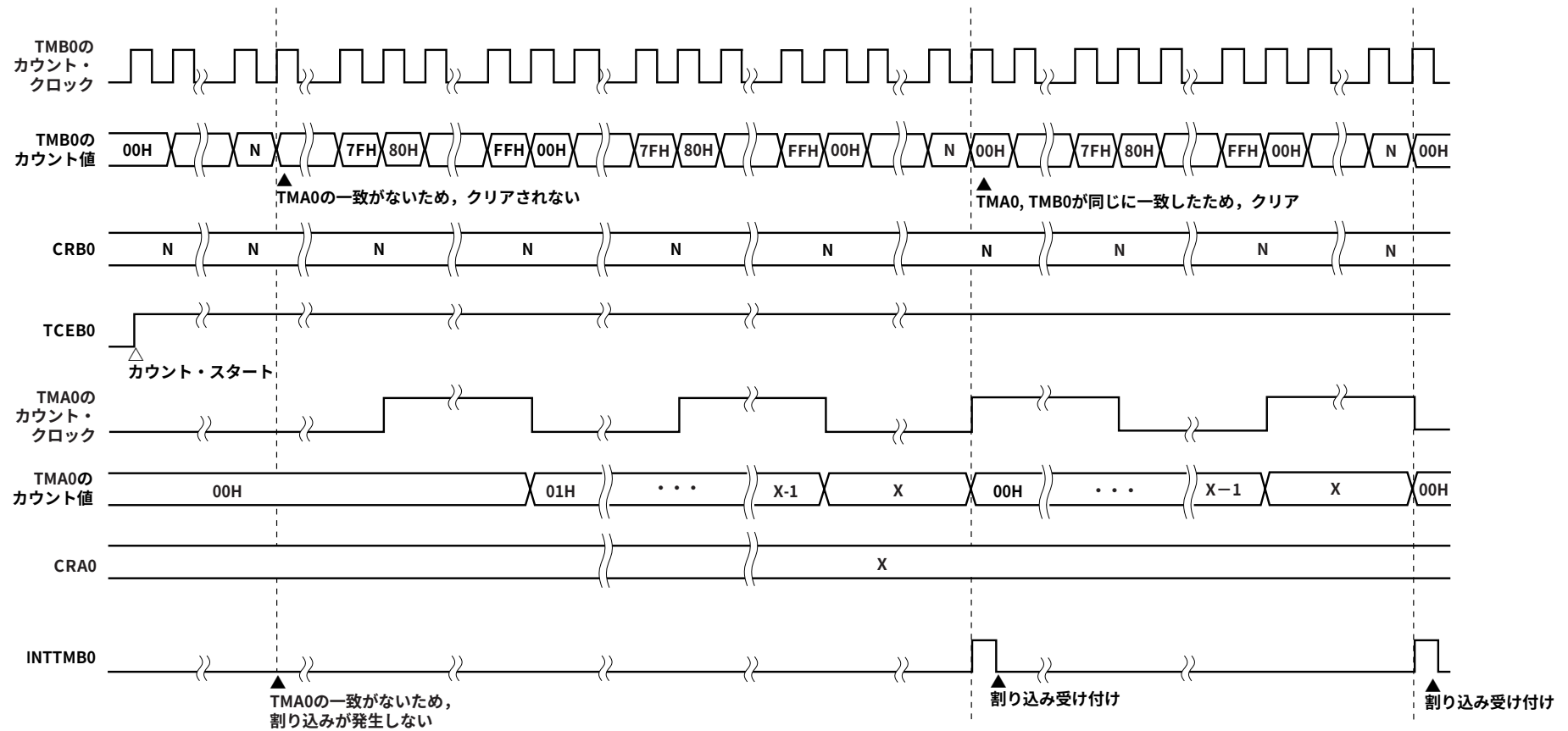
有効エッジが入力されるたびにTMA0, TMB0がインクリメントされます。

TMA0, TMB0のカウント値がそれぞれCRA0, CRB0に設定した値と同時に一致したとき, TMA0, TMB0の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMB0) を発生します (INTTMA0は発生しません)。

図7-17に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

★ 図7-17 16ビット分解能の外部イベント・カウンタ動作のタイミング



備考 X = 00H-FFH, N = 00H-FFH

(3) 16ビット分解能の方形波出力としての動作

CRA0, CRB0にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

- ★ ① 8ビット・タイマ・カウンタA0 (TMA0), 8ビット・タイマ・カウンタB0 (TMB0) を動作禁止 (TCEA0 = 0, TCEB0 = 0) に設定
- ★ ② TOA0, TOB0のタイマ出力を禁止 (TOEA0 = 0, TOEB0 = 0) に設定
- ③ タイマB0のカウント・クロックを設定する
- ④ タイマA0, タイマB0の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5 参照)
- ⑤ CRA0, CRB0にカウント値を設定
- ⑥ P06を出力モード (PM06 = 0), P06の出力ラッチに0を設定し, TOB0を出力許可 (TOEB0 = 1) に設定 (TOA0は使用禁止)
- ⑦ TMB0を動作許可 (TCEB0 = 1[※]) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCEB0で制御します (TCEA0の値は無効となります)。

TMA0, TMB0のカウント値がそれぞれCRA0, CRB0に設定した値と同時に一致したとき, TOB0端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TMA0, TMB0の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTMB0) を発生します (INTTMA0は発生しません)。

方形波出力は, TCEB0に0を設定するとクリア (0) されます。

表7-7に方形波出力範囲を, 図7-18に方形波出力のタイミングを示します。

注意1. カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・カウンタ・モード時, TOA0は使用禁止になります。必ずTOEA0 = 0に設定し, TOA0を出力禁止にしてください。

表7-7 16ビット分解能の方形波出力範囲

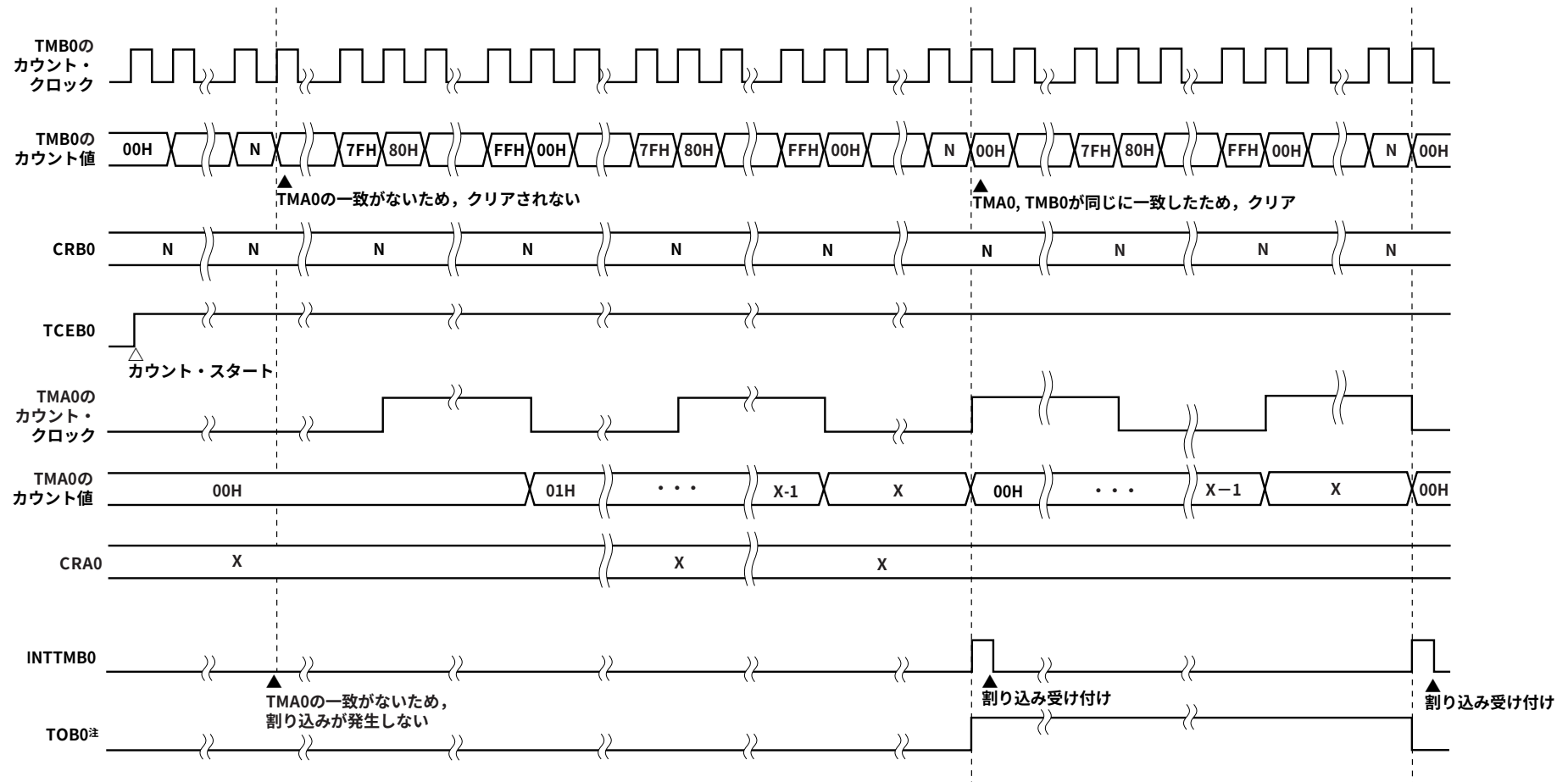
TCLB02	TCLB01	TCLB00	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2^2/f_x$ (0.4 μ s)	$2^{18}/f_x$ (26.2 ms)	$2^2/f_x$ (0.4 μ s)
0	0	1	$2^3/f_x$ (0.8 μ s)	$2^{19}/f_x$ (52.4 ms)	$2^3/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : TMIB0端子からの入力周波数

3. () 内は, $f_x = 10.0$ MHz動作時

★ 図7-18 16ビット分解能の方形波出力のタイミング



注 出力許可 (TOEB0 = 1) 時のTOB0の初期値は、ロウ・レベルになります。

備考 X = 00H-FFH, N = 00H-FFH

7.4.3 キャリア・ジェネレータとしての動作

TMB0で生成される任意のキャリア・クロックをTMA0に設定した周期で出力できます。

タイマA0, タイマB0をキャリア・ジェネレータとして動作させるには次の設定をします。

- ★ ① 8ビット・タイマ・カウンタA0 (TMA0), 8ビット・タイマ・カウンタB0 (TMB0) を動作禁止 (TCEA0 = 0, TCEB0 = 0) に設定
- ★ ② TOA0, TOB0のタイマ出力を禁止 (TOEA0 = 0, TOEB0 = 0) に設定
- ★ ③ タイマA0, タイマB0のカウント・クロックを設定
- ★ ④ タイマA0, タイマB0の動作モードをキャリア・ジェネレータ・モードに設定 (図7-4, 図7-5参照)
- ★ ⑤ CRA0, CRB0, CRHB0にカウント値を設定
- ⑥ リモコン出力をキャリア・クロックに設定 (RMCB0 (キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0) のビット2) = 0)
NRZBB0 (TCAB0のビット1) にプログラムによって必要な値を入力する。
NRZB0 (TCAB0のビット0) にNRZBB0からリロードするまでの値を入力する。
- ⑦ P06を出力モード (PM06 = 0), P06の出力ラッチに0を設定し, TOEB0 = 1としてTOB0の出力を許可する
- ⑧ TMA0, TMB0を動作許可 (TCEA0 = 1, TCEB0 = 1) に設定

キャリア・ジェネレータの動作は次のようになります。

- ① TMB0のカウント値がCRB0に設定した値と一致したとき, 割り込み要求信号 (INTTMB0) が発生するとともにタイマB0の出力状態が反転します。これによりコンペア・レジスタがCRB0→CRHB0に切り替わります。
- ② その後, TMB0のカウント値がCRHB0に設定した値と一致したとき, 割り込み要求信号 (INTTMB0) が発生するとともにタイマB0の出力状態が再び反転します。これによりコンペア・レジスタがCRHB0→CRB0に切り替わります。
- ③ ①, ②の繰り返しにより, キャリア・クロックが生成されます。
- ④ TMA0のカウント値がCRA0に設定した値と一致したとき, 割り込み要求信号 (INTTMA0) が発生します。このINTTMA0の立ち上がりエッジがNRZBB0のデータ・リロード信号となり, NRZB0へ転送されます。
- ⑤ NRZB0が1のとき, キャリア・クロックがTOB0端子より出力されます。

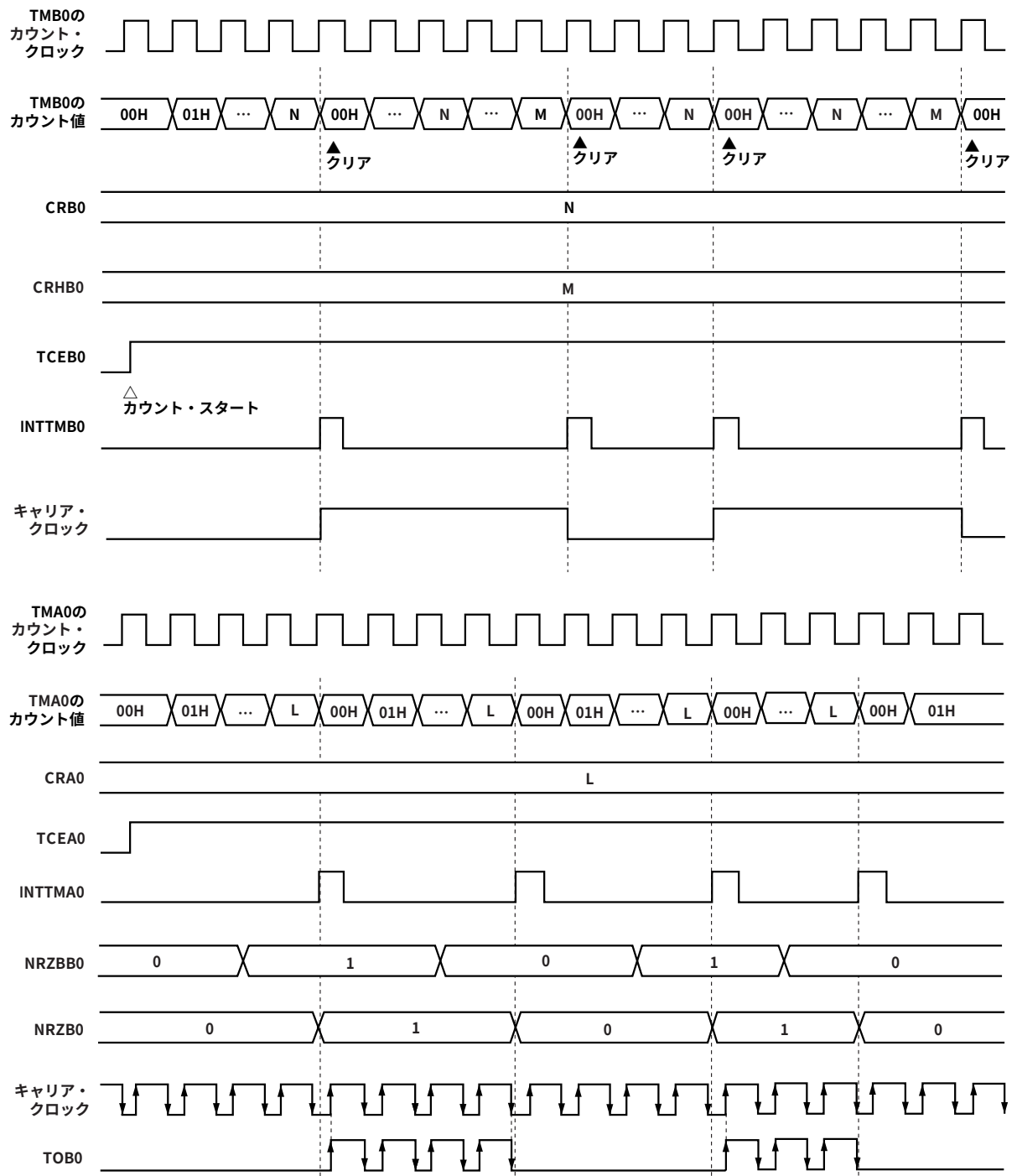
注意1. TCAB0は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。

2. キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にするとき, NRZBB0は以前のデータを保持していませんので再設定してください。また, このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

キャリア・ジェネレータの動作タイミングを図7-19～図7-21に示します。

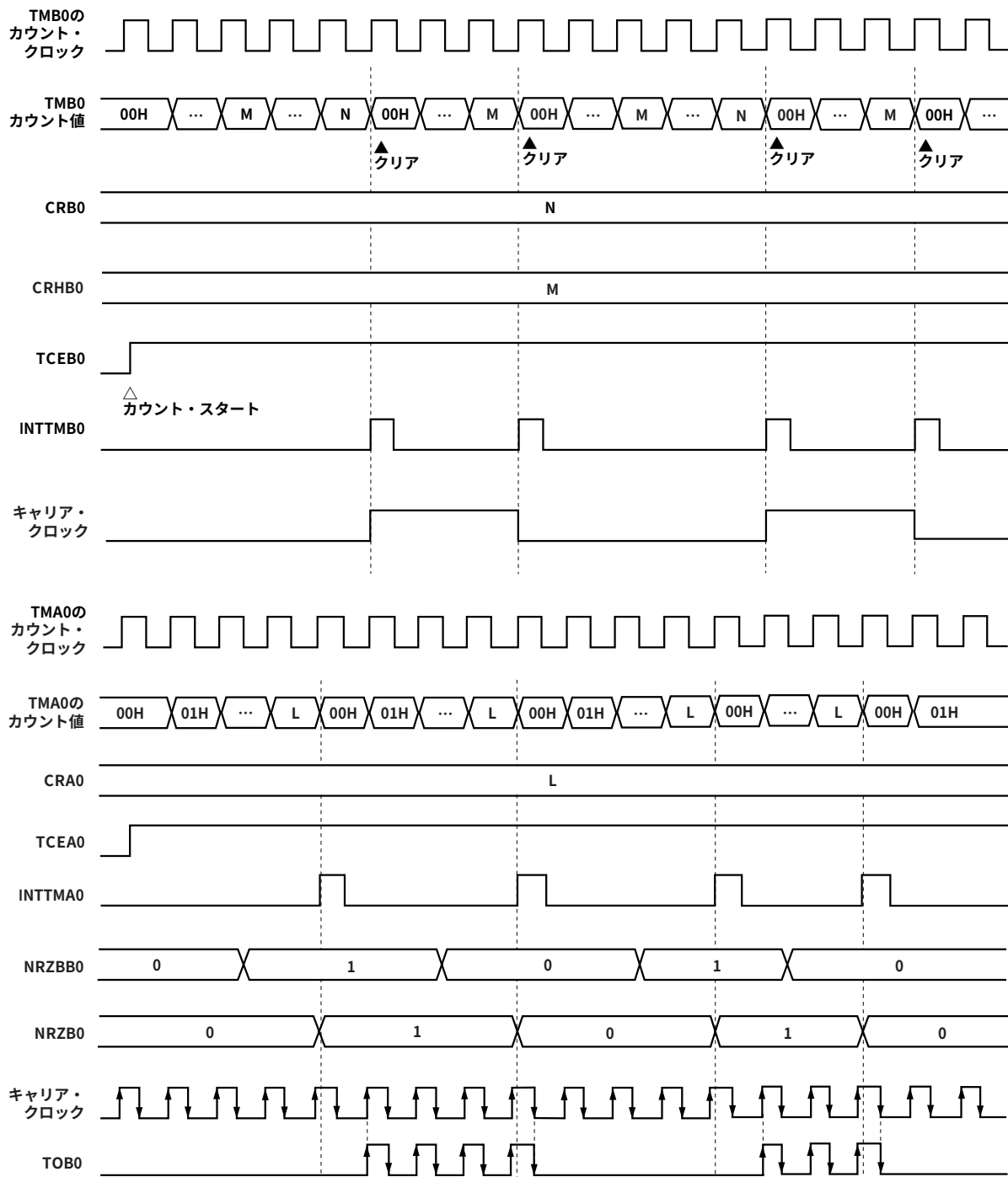
★

図7-19 キャリア・ジェネレータの動作タイミング (CRB0 = N, CRHB0 = M (M>N) 設定時)

備考1. $00H \leq N < M \leq FFH$ 2. $L = 00H-FFH$

★

図7-20 キャリア・ジェネレータの動作タイミング
(CRB0 = N, CRHB0 = M (M < N) 設定時)

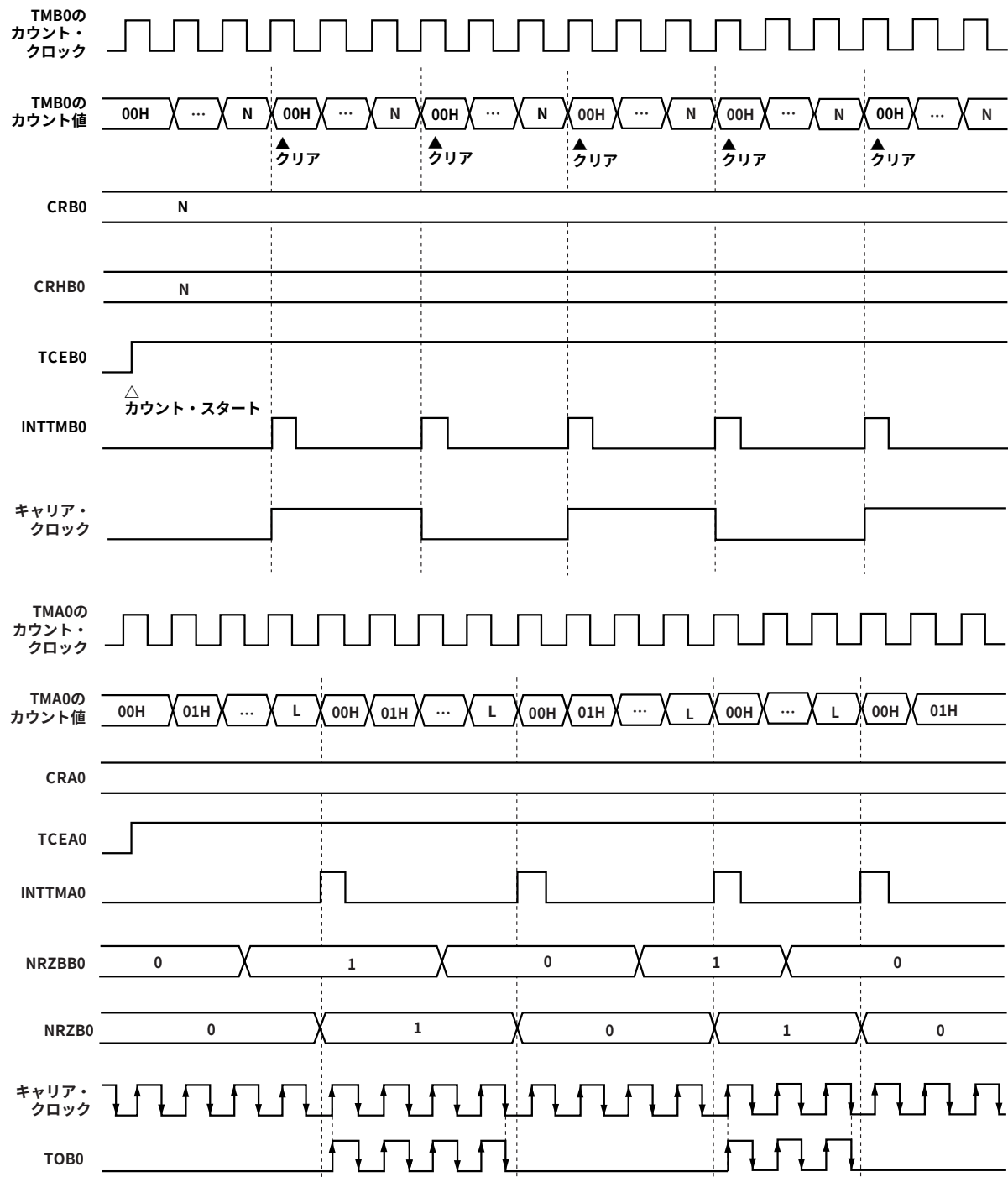


備考1. $00H \leq M < N \leq FFH$

2. $L = 00H-FFH$

★

図7-21 キャリア・ジェネレータの動作タイミング (CRB0 = CRHB0 = N設定時)



備考 N, L = 00H-FFH

7.4.4 PWM出力モードとしての動作（タイマB0のみ）

PWM出力モードでは、ロウ・レベル幅をCRB0で、ハイ・レベル幅をCRHB0で設定させることにより、任意のデューティ比のパルス出力させることができます。

タイマB0をPWM出力モードとして動作させるには次の設定をします。

- ★ ① 8ビット・タイマ・カウンタB0（TMB0）を動作禁止（TCEB0 = 0）に設定
- ② TOB0のタイマ出力を禁止（TOEB0 = 0）に設定
- ★ ③ タイマB0のカウント・クロックを設定
- ★ ④ タイマB0の動作モードをPWM出力モードに設定（図7-5参照）
- ★ ⑤ CRB0, CRHB0にカウント値を設定
- ⑥ P06を出力モード（PM06 = 0），P06の出力ラッチに0を設定し，TOB0のタイマ出力を許可（TOEB0 = 1）に設定
- ⑦ TMB0を動作許可（TCEB0 = 1）に設定

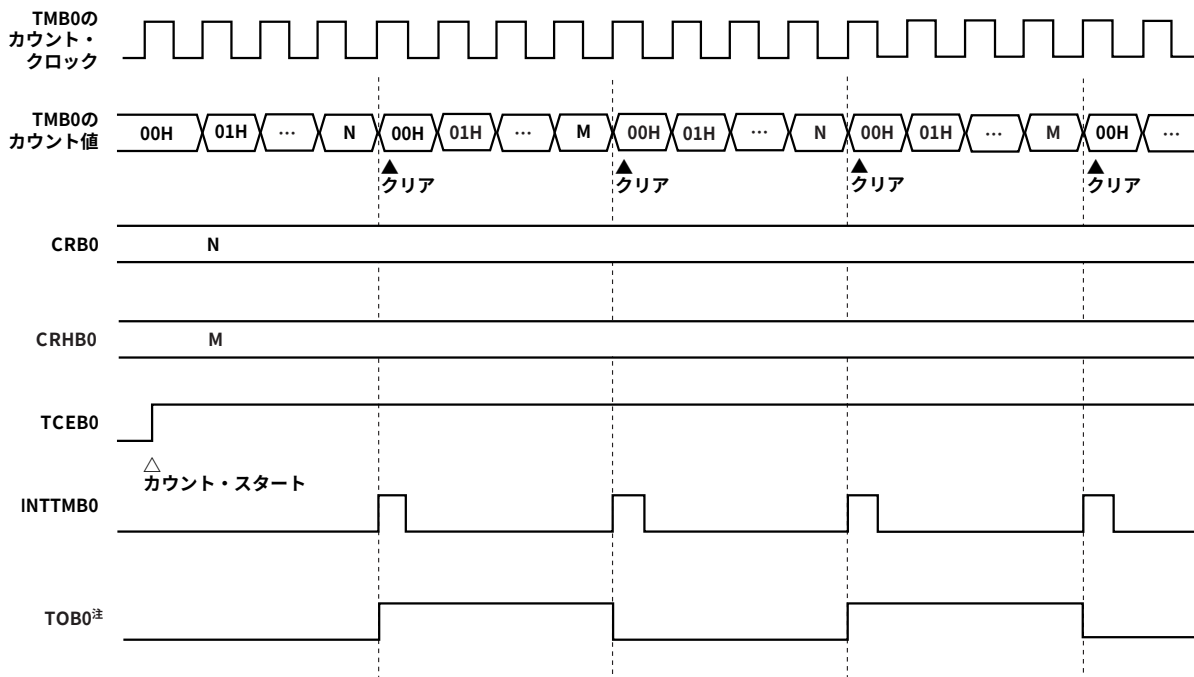
PWM出力モードの動作は次のようになります。

- ① TMB0のカウント値がCRB0に設定した値と一致したとき、割り込み要求信号（INTTMB0）が発生するとともにタイマB0の出力状態が反転します。これによりコンペア・レジスタがCRB0→CRHB0に切り替わります。
- ② TMB0とCRB0の一致により，TMB0の値が00Hにクリアされ，再びカウントを開始します。
- ③ その後，TMB0のカウント値がCRHB0に設定した値と一致したとき，割り込み要求信号（INTTMB0）が発生するとともにタイマB0の出力状態が再び反転します。これによりコンペア・レジスタがCRHB0→CRB0に切り替わります。
- ④ TMB0とCRHB0の一致により，TMB0の値が00Hにクリアされ，再びカウントを開始します。

以上の繰り返しにより，任意のデューティ比のパルス出力させます。PWM出力モードの動作タイミングを図7-22，図7-23に示します。

★

図7-22 PWM出力モードのタイミング（基本動作）

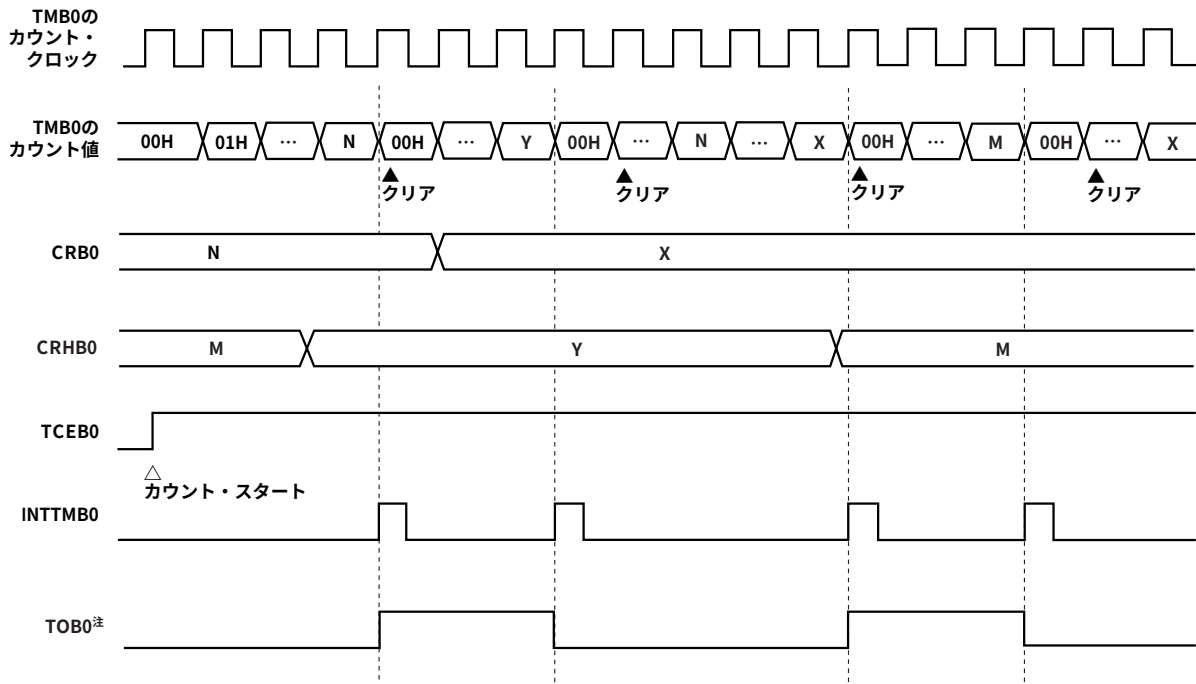


注 出力許可 (TOEB0 = 1) 時のTOB0の初期値は、ロウ・レベルになります。

備考 N, M = 00H-FFH

★

図7-23 PWM出力モードのタイミング（CRB0, CRHB0を書き換えた場合）



注 出力許可 (TOEB0 = 1) 時のTOB0の初期値は、ロウ・レベルになります。

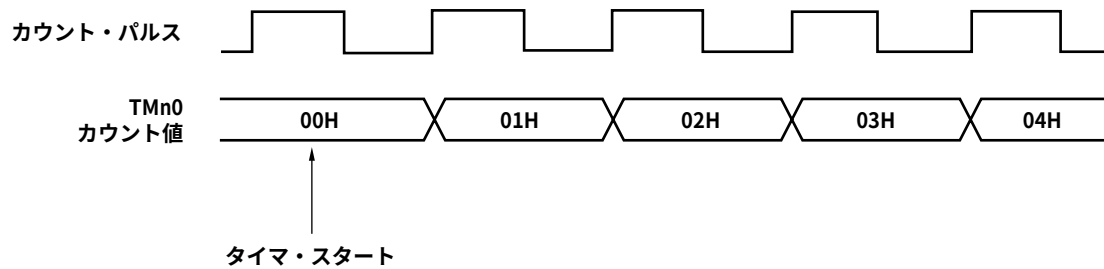
備考 N, M, X, Y = 00H-FFH

7.5 8ビット・タイマA0, B0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ $n0$ (TM $n0$) のスタートが非同期で行われるためです。

図7-24 8ビット・タイマ・カウンタのスタート・タイミング

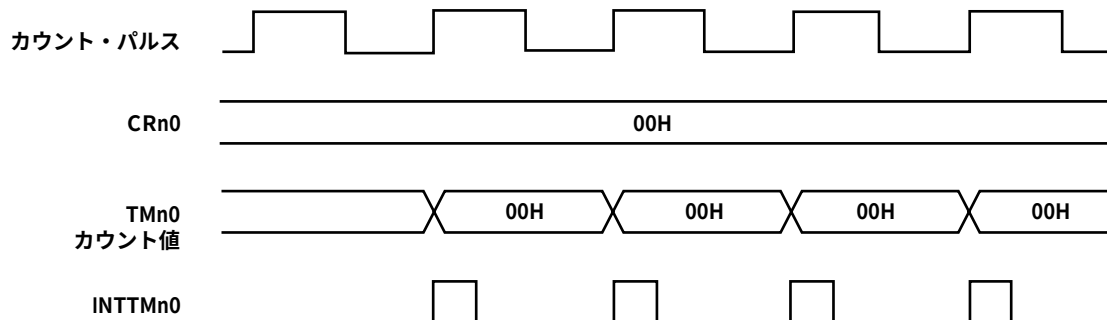


備考 $n = A, B$

(2) 8ビット・コンペア・レジスタ $n0$ の設定

8ビット・コンペア・レジスタ $n0$ (CR $n0$) には、00Hの設定が可能です。
したがって、1パルスのカウント動作が可能です。

図7-25 1パルスのカウント動作時のタイミング（8ビット分解能時）

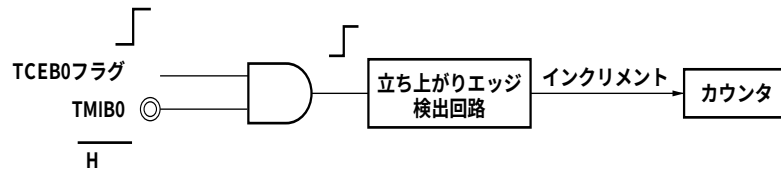


備考 $n = A, B$

(3) TMIB0端子がハイ・レベルのときに、タイマ・スタートした場合のカウント値

カウント・クロックとしてTMIB0端子からの外部入力を選択した際に、TMIB0端子がハイ・レベル期間中にタイマを動作許可（TCEB0 = 0→1）にすると、カウント値が01Hから始まります。これはTMIB0端子からの入力とTCEB0信号とが内部でAND回路になっているので、TCEB0をセットした直後に立ち上がりエッジがタイマに入り、カウンタがインクリメントされるためです。カウント値+1となっていることを認識して使用するか、TMIB0端子がロウ・レベルのときにタイマ・スタートするようにしてください。

★



第8章 8ビット・タイマ／イベント・カウンタ50, 51

8.1 8ビット・タイマ／イベント・カウンタ50, 51の概要

インターバル・タイマ，外部イベント・カウンタ，任意の周波数の方形波出力，PWM出力などに使用できます。

8.2 8ビット・タイマ／イベント・カウンタ50, 51の機能

8ビット・タイマ／イベント・カウンタ50, 51には，次のような機能があります。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

(4) PWM出力

PWM出力ができます。

図8-1，8-2に，8ビット・タイマ／イベント・カウンタのブロック図を示します。

図8-1 8ビット・タイマ/イベント・カウンタ50のブロック図

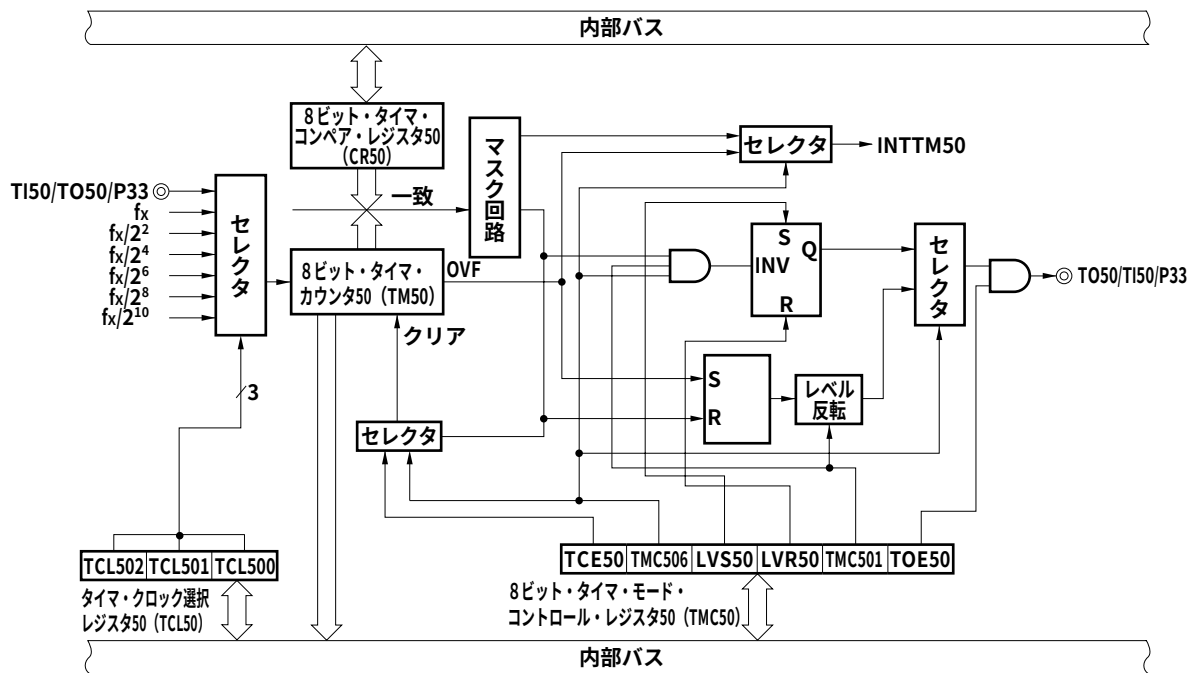
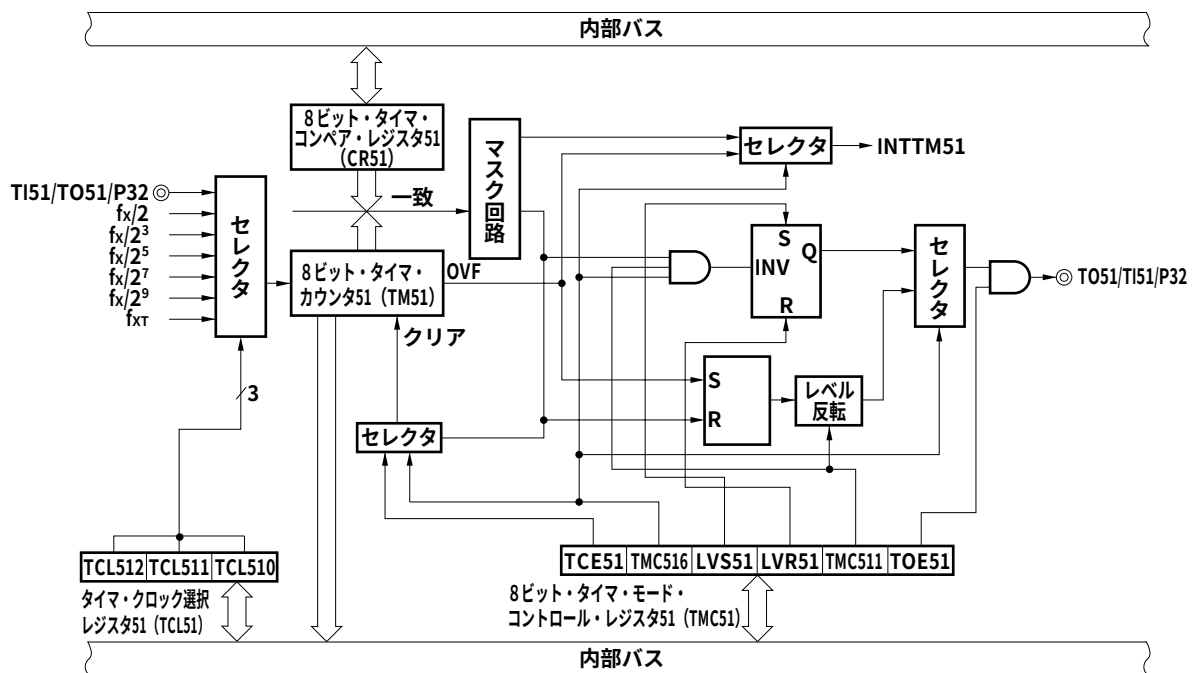


図8-2 8ビット・タイマ/イベント・カウンタ51のブロック図



8.3 8ビット・タイマ／イベント・カウンタ50, 51の構成

8ビット・タイマ／イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表8-1 8ビット・タイマ／イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ出力	2本 (TO5n)
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ3 (PM3) 注

注 図4-9 P32-P34のブロック図を参照してください。

備考 n = 0, 1

(1) 8ビット・タイマ・カウンタ5n (TM5n : n = 0, 1)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

- ① RESET入力
- ② TCE5nをクリア
- ③ TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

備考 n = 0, 1

★ (2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n : n = 0, 1)

CR5nは、8ビット・メモリ操作でリード／ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nのオーバフローによりTO5n端子がアクティブ・レベルになり、TM5nとCR5nの値が一致するとTO5n端子はインアクティブ・レベルになります。

CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

RESET入力により、不定になります。

備考 n = 0, 1

8.4 8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタには、次の3種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ3 (PM3)

備考 n = 0, 1

(1) タイマ・クロック選択レジスタ5n (TCL5n : n = 0, 1)

8ビット・タイマ／イベント・カウンタ5nのカウント・クロックおよびTI5n入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-3 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF71H	リセット時：00H	R/W						
略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択
0	0	0	TI50の立ち下がりエッジ
0	0	1	TI50の立ち上がりエッジ
0	1	0	f_x (10 MHz)
0	1	1	$f_x/2^2$ (2.5 MHz)
1	0	0	$f_x/2^4$ (625 kHz)
1	0	1	$f_x/2^6$ (156 kHz)
1	1	0	$f_x/2^8$ (39.1 kHz)
1	1	1	$f_x/2^{10}$ (9.77 kHz)

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x ：メイン・システム・クロック発振周波数

2. ()内は、 $f_x = 10$ MHz動作時。

図8-4 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス: FF74H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択
0	0	0	TI51の立ち下がりエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	$f_x/2$ (5 MHz)
0	1	1	$f_x/2^3$ (1.25 MHz)
1	0	0	$f_x/2^5$ (313 kHz)
1	0	1	$f_x/2^7$ (78.1 kHz)
1	1	0	$f_x/2^9$ (19.5 kHz)
1	1	1	f_{XT} (32.768 kHz)

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n: n=0, 1)

TMC5nは、次の5種類の設定を行うレジスタです。

- ① 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- ② 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- ③ タイマ出力F/F (フリップフロップ) の状態設定
- ④ タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択
- ⑤ タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-5に、TMC5nのフォーマットを示します。

図8-5 8ビット・タイマ・モード・コントロール・レジスタ 5n (TMC5n) のフォーマット

アドレス：FF70H (TMC50) FF73H (TMC51) リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

TMC5n	TCE5n	TMC5n6	0	0	LVS5n	LVR5n	TMC5n1	TOE5n
-------	-------	--------	---	---	-------	-------	--------	-------

TCE5n	TM5nのカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止(プリスケアラ禁止)
1	カウント動作開始

TMC5n6	TM5nの動作モード選択
0	TM5nとCR5nの一致でクリア&スタート・モード
1	PWM (フリーランニング) モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC5n1	PWMモード以外 (TMC5n6 = 0)	PWMモード (TMC5n6 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5n	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

備考1. PWMモード時は、TCE5n = 0により、PWM出力はインアクティブ・レベルになります。

2. データ設定後にLVS5n, LVR5nを読み出すと、0が読み出せます。

3. n = 0, 1

(3) ポート・モード・レジスタ3 (PM3)

ポート3の入力／出力を1ビット単位で設定するレジスタです。

P33/TO50/TI50, P32/TO51/TI51端子をタイマ出力として使用するとき、PM33, PM32およびP33, P32の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図8-6 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H		リセット時：FFH		R/W				
略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.5 8ビット・タイマ／イベント・カウンタ50, 51の動作

8.5.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、8.6 8ビット・タイマ／イベント・カウンタ50, 51の注意事項 (2) を参照してください。

[設定方法]

- ① 各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ★ ・ TMC5n : カウント動作停止、TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000×××0B × = don't care)

- ② TCE5n = 1を設定すると、カウント動作を開始します。

- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

- ④ 以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

備考 n = 0, 1

図8-7 インターバル・タイマ動作のタイミング (1/3)

★ (a) 基本動作

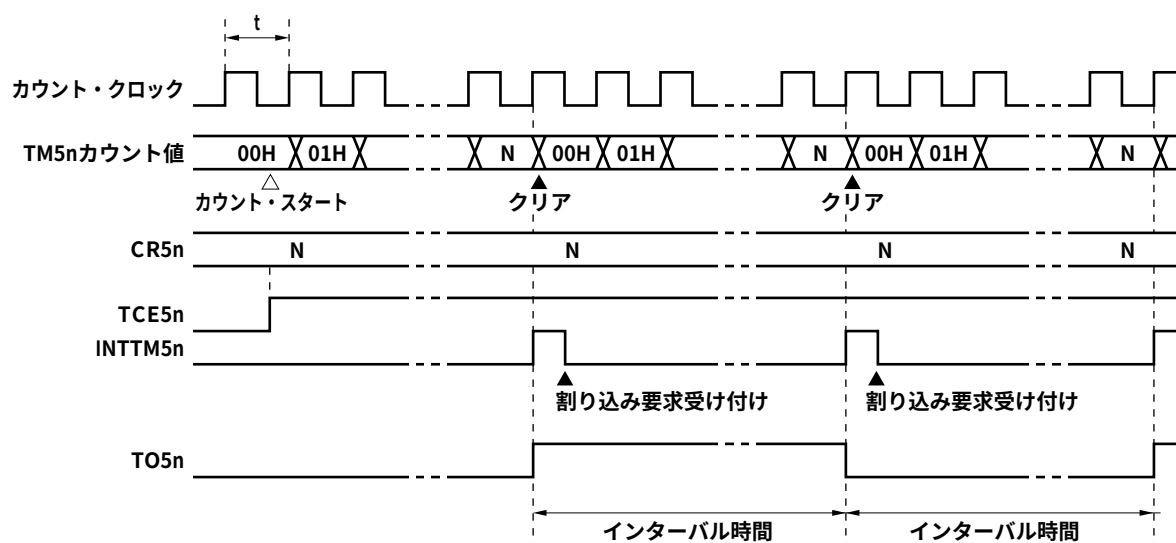
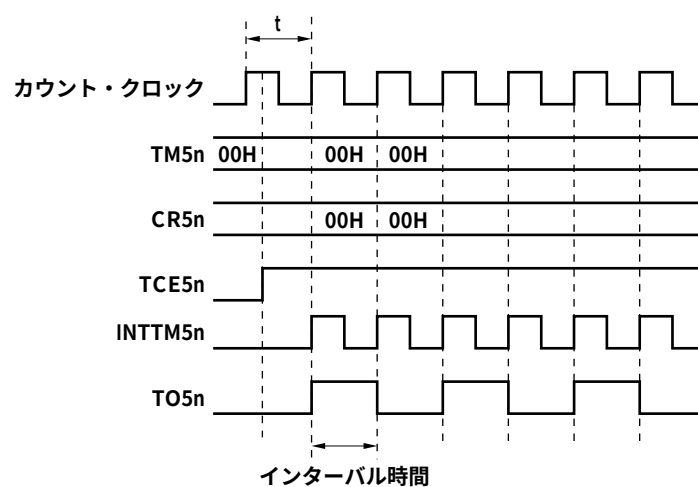
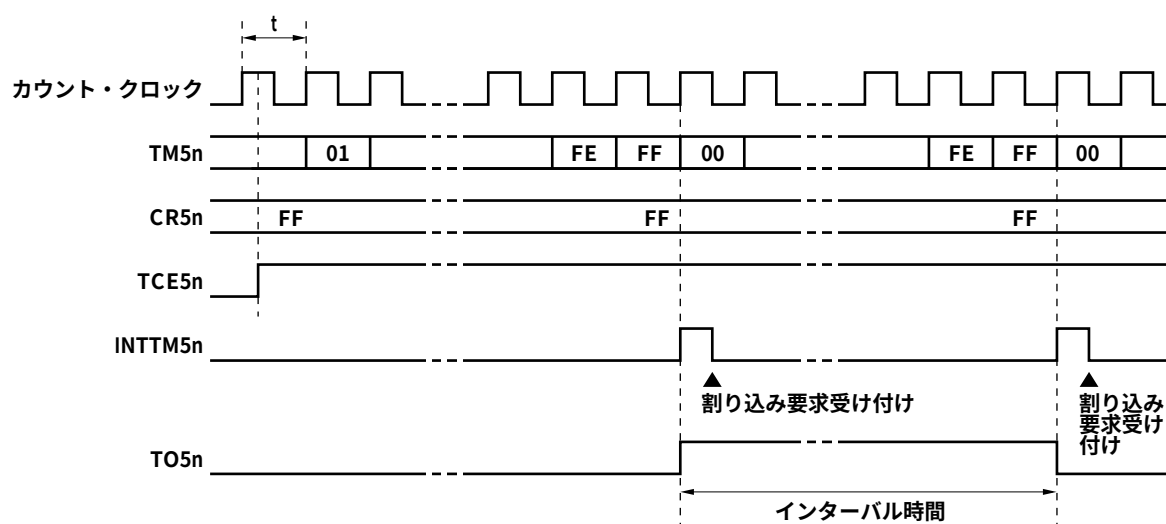
備考1. インターバル時間 = $(N+1) \times t$ $N = 00H-FFH$ 2. $n = 0, 1$

図8-7 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



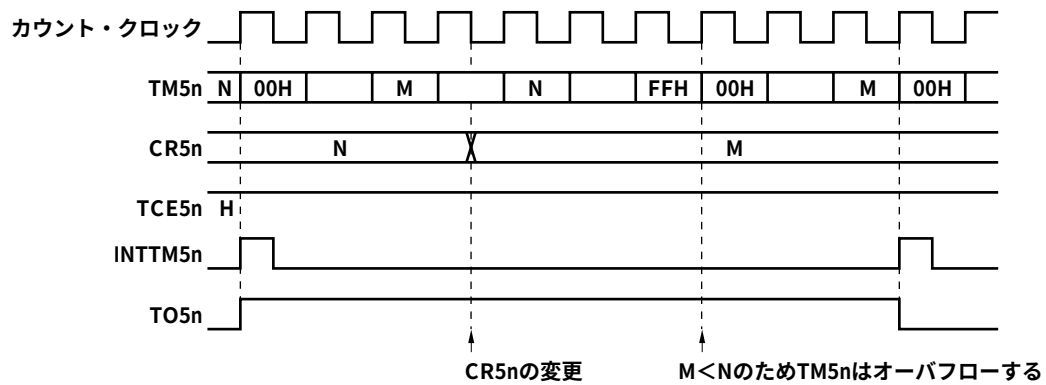
(c) CR5n = FFHの場合



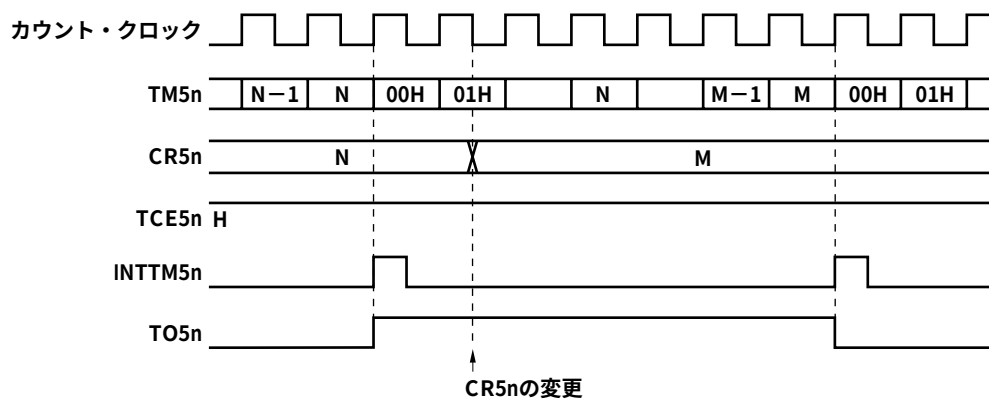
備考 n = 0, 1

図 8-7 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 ($M < N$)



(e) CR5n変更による動作 ($M > N$)



備考 $n = 0, 1$

8.5.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5nに入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

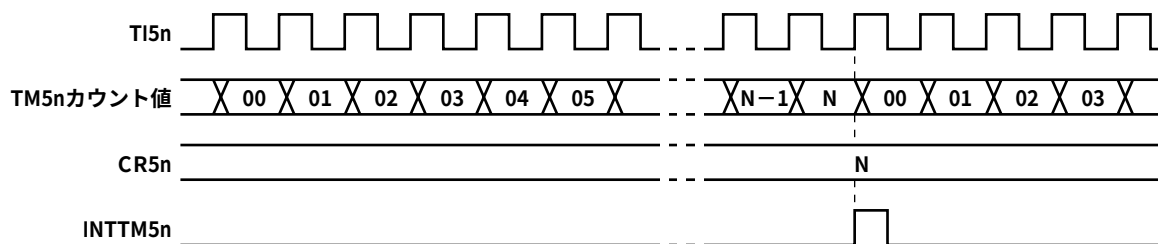
TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

★ [設定方法]

- ① 各レジスタの設定を行います。
 - ・ TCL5n : TI5n入力のエッジ選択
 TI5nの立ち下がり→TCL5n = 00H
 TI5nの立ち上がり→TCL5n = 01H
 - ・ CR5n : コンペア値
 - ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
 (TMC5n = 0000××00B × = don't care)
- ② TCE5n = 1を設定すると, TI5nから入力されるパルス数をカウントします。
- ③ TM5nとCR5nの値が一致すると, INTTM5nが発生します (TM5nは00Hにクリアされます)。
- ④ 以後, TM5nとCR5nの値が一致するたびに, INTTM5nが発生します。

図8-8 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



- ★ **備考** n = 00H-FFH
 n = 0, 1

8.5.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値で決まるインターバルの任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ= 50 %）が可能です。

★

〔設定方法〕

① 各レジスタの設定を行います。

- ・ポート・ラッチ（P32, P33）[※], ポート・モード・レジスタ（PM32, PM33）[※]に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可→TOE5n = 1

(TMC5n = 00001011Bまたは00000111B)

② TCE5n = 1を設定すると、カウント動作を開始します。

③ TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

④ 以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

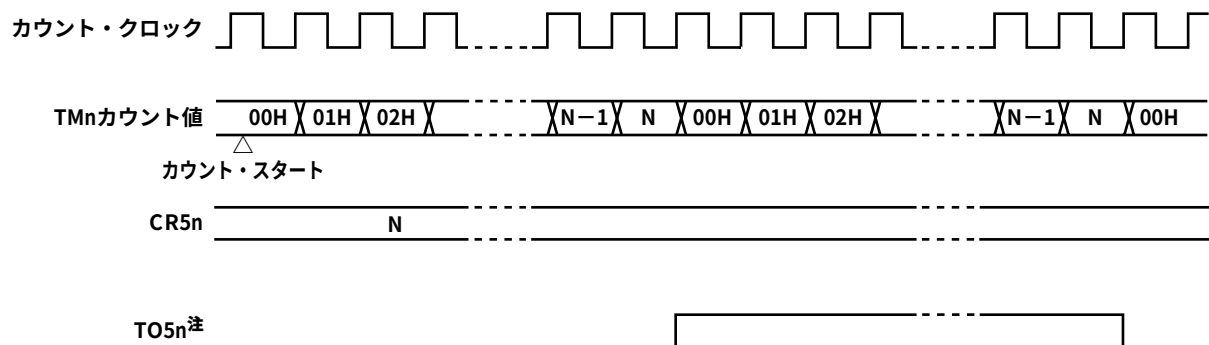
$$\text{周波数} = f_{\text{CNT}} / 2 (N + 1)$$

(N : 00H-FFH, f_{CNT} : カウント・クロック)

注 8ビット・タイマ／イベント・カウンタ50 : P33, PM33

8ビット・タイマ／イベント・カウンタ51 : P32, PM32

図8-9 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット2, 3（LVR5n, LVS5n）で設定できます。

備考 n = 0, 1

8.5.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可／禁止が選択できます。

注意 PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

備考 n = 0, 1

(1) PWM出力の基本動作

★

[設定方法]

① 各レジスタの設定を行います。

- ・ポート・ラッチ (P32, P33) 注, ポート・モード・レジスタ (PM32, PM33) 注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

② TCE5n = 1に設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE5nに“0”を設定してください。

注 8ビット・タイマ／イベント・カウンタ50 : P33, PM33

8ビット・タイマ／イベント・カウンタ51 : P32, PM32

[PWM出力の動作]

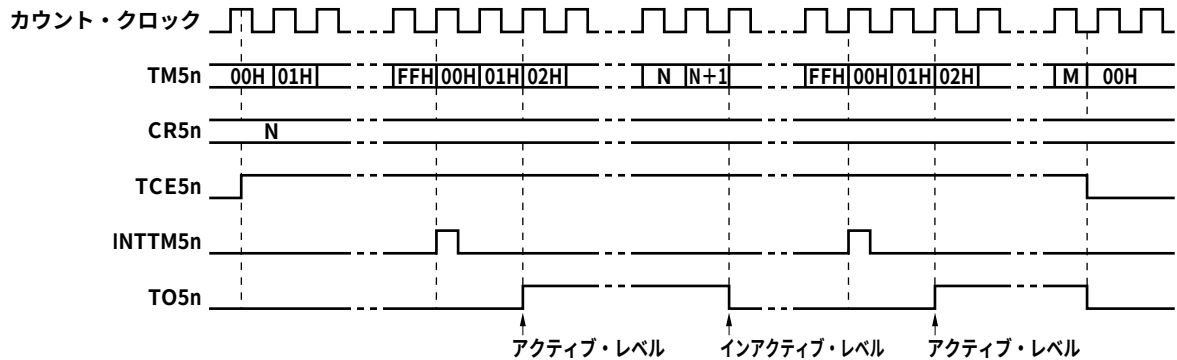
- ① カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると、設定方法①で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されません。
- ③ CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後、カウント動作が停止されるまで②, ③を繰り返します。

- ⑤ TCE5n = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

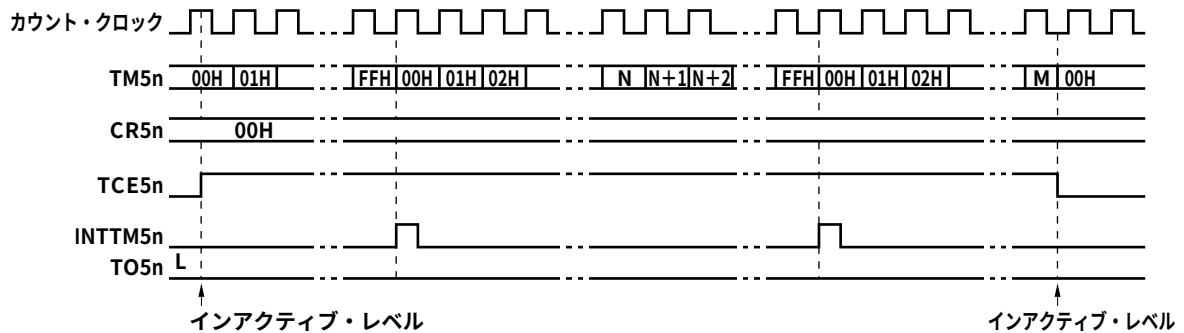
備考 n = 0, 1

図8-10 PWM出力の動作タイミング

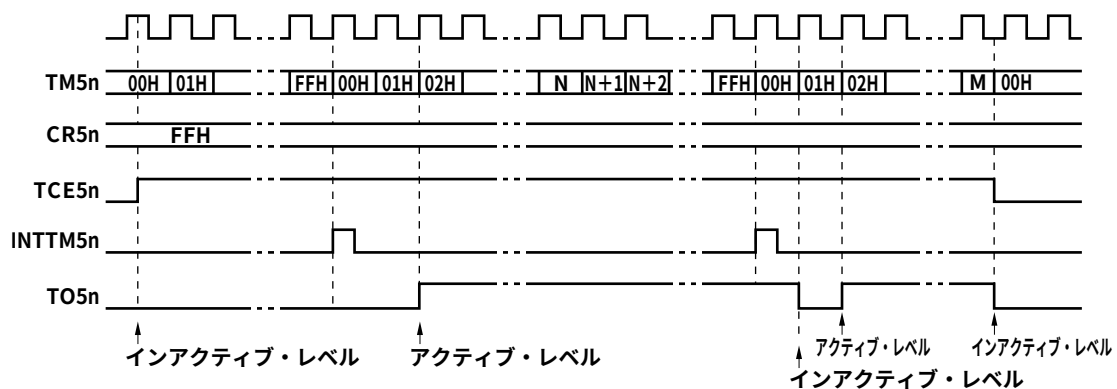
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 0の場合



(c) CR5n = FFHの場合

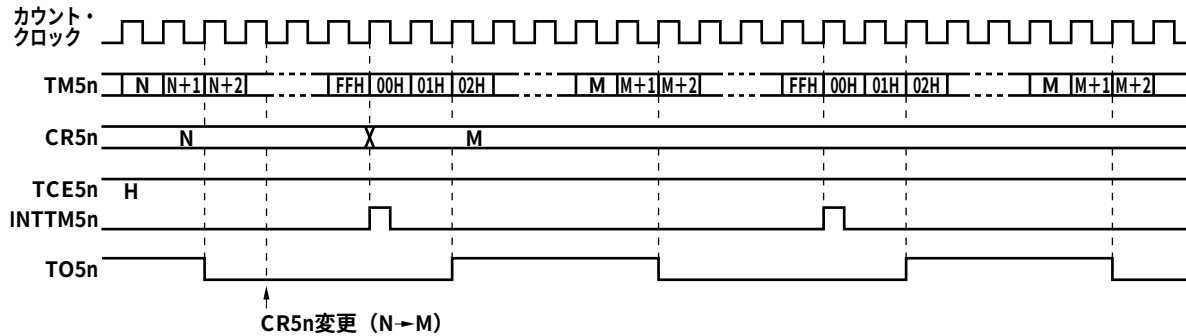


備考 n = 0, 1

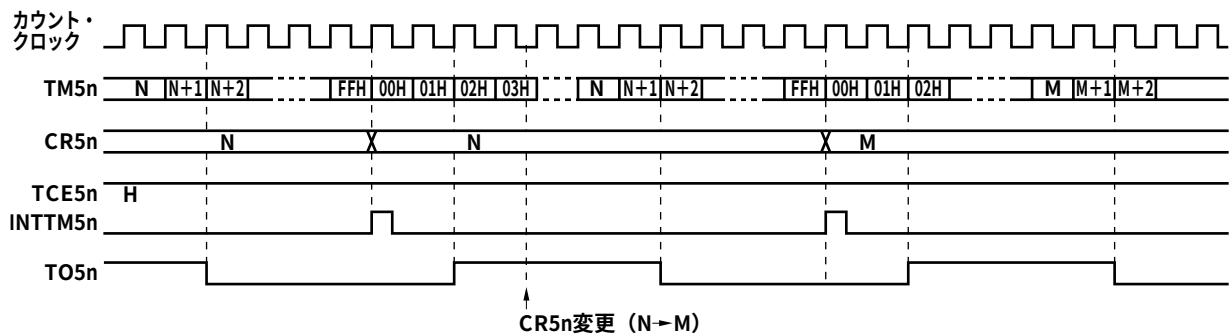
(2) CR5n変更による動作

図8-11 CR5n変更による動作のタイミング

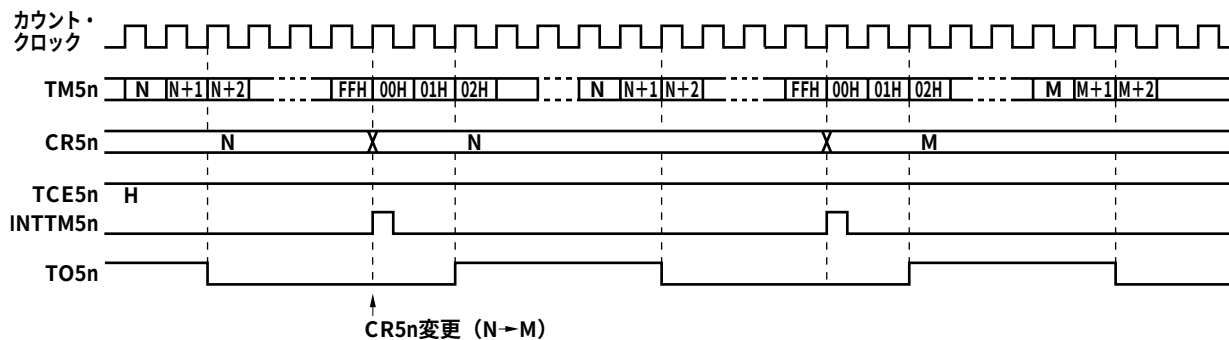
(a) CR5nの値をTM5nのオーバーフロー前にN→Mに変更した場合



(b) CR5nの値をTM5nのオーバーフロー後にN→Mに変更した場合



(c) CR5nの値をTM5nのオーバーフロー直後の2クロック間 (00H, 01H) にN→Mに変更した場合



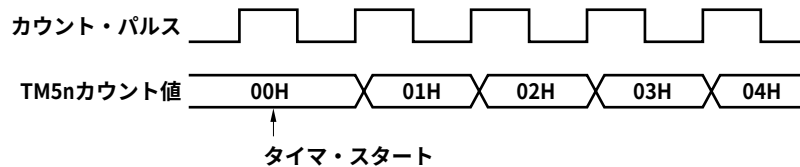
備考 n = 0, 1

8.6 8ビット・タイマ／イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5n (TM5n) が非同期でスタートするためです。

図8-12 8ビット・タイマ・カウンタのスタート・タイミング

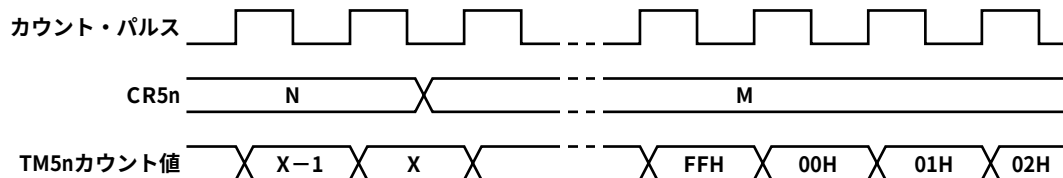


備考 n = 0, 1

(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) の変更後の値が、8ビット・タイマ・カウンタ5n (TM5n) の値よりも小さいときはカウントを継続し、オーバフローして0から再カウントします。したがって、CR5nの変更後の値 (M) が、変更前の値 (N) より小さいときは、CR5nを変更したあと、タイマを再スタートさせる必要があります。

図8-13 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



注意 TI5n入力を選択している場合を除き、STOP状態に設定する前は必ずTCE5n = 0にしてください。

備考 1. $N > X > M$

2. n = 0, 1

(3) タイマ動作中のTM5n (n = 0, 1) 読み出しについて

動作中のTM5nを読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ／ロウ・レベルのある波形を選択してください。たとえば、CPUクロック (f_{CPU}) が f_x のとき、選択するカウント・クロックが $f_x/4$ 以下であれば読み出すことができます。

備考 n = 0, 1

第9章 時計用タイマ

9.1 時計用タイマの概要

あらかじめ設定した時間間隔で割り込み要求（INTWTN0とINTWTNIO）を発生できます。

9.2 時計用タイマの機能

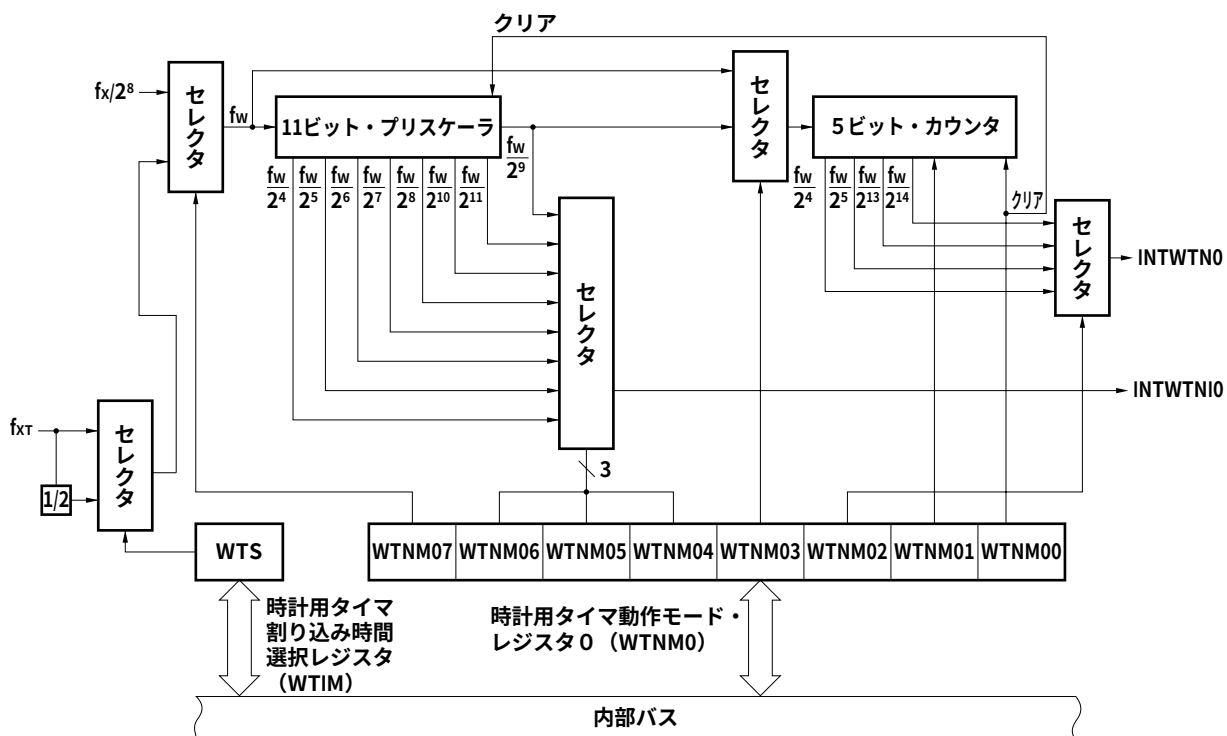
時計用タイマには、次のような機能があります。

- ・ 時計用タイマ
- ・ インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図9－1に、時計用タイマのブロック図を示します。

図9－1 時計用タイマのブロック図



備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

(1) 時計用タイマ

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWTN0) を発生します。

32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWTN0) を発生することができます。

また、時計用タイマ割り込み時間選択レジスタ (WTIM) の設定により、32.768 kHzのサブシステム・クロックを使って1.0秒の時間間隔で割り込み要求 (INTWTN0) を発生することもできます。

表9-1 時計用タイマの割り込み要求時間

割り込み要求時間	$f_x = 10 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT}/2 = 16.384 \text{ kHz}$ 動作時
$2^4/f_w$	409.6 μs	488 μs	977 μs
$2^5/f_w$	819.2 μs	977 μs	1.95 ms
$2^{13}/f_w$	0.2 s	0.25 s	0.5 s
$2^{14}/f_w$	0.41 s	0.5 s	1.0 s

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$, f_{XT} , $f_{XT}/2$ のいずれか)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) インターバル・タイマ

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWTN10) を発生します。

表9-2 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 10 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT}/2 = 16.384 \text{ kHz}$ 動作時
$2^4/f_w$	409.6 μs	488 μs	977 μs
$2^5/f_w$	819.2 μs	977 μs	1.95 ms
$2^6/f_w$	1.64 ms	1.95 ms	3.91 ms
$2^7/f_w$	3.28 ms	3.91 ms	7.81 ms
$2^8/f_w$	6.56 ms	7.81 ms	15.6 ms
$2^9/f_w$	13.1 ms	15.6 ms	31.2 ms
$2^{10}/f_w$	26.2 ms	31.2 ms	62.4 ms
$2^{11}/f_w$	52.4 ms	62.4 ms	125 ms

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$, f_{XT} , $f_{XT}/2$ のいずれか)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

9.3 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表 9-3 時計用タイマの構成

項 目	構 成
プリスケアラ	11ビット×1本, 5ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ 0 (WTNM0)
	時計用タイマ割り込み時間選択レジスタ (WTIM)

9.4 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、次の2種類があります。

- ・ 時計用タイマ動作モード・レジスタ 0 (WTNM0)
- ・ 時計用タイマ割り込み時間選択レジスタ (WTIM)

(1) 時計用タイマ動作モード・レジスタ 0 (WTNM0)

時計用タイマの動作の許可／禁止, 11ビット・プリスケアラのインターバル時間, 5ビット・カウンタの動作制御を設定するレジスタです。

WTNM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図9-2 時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマット

アドレス：FF41H リセット時：00H R/W

略号 7 6 5 4 3 2 ① ②

WTNM0 WTNM07 WTNM06 WTNM05 WTNM04 WTNM03 WTNM02 WTNM01 WTNM00

WTNM07	時計用タイマのカウンタ・クロック選択
0	$f_x/2^8$ (39.1 kHz)
1	f_{XT} (32.768 kHz) または $f_{XT}/2$ (16.384 kHz) 注

WTNM06	WTNM05	WTNM04	11ビット・プリスケアラのインターバル時間の選択			
			WTNM07 = 0		WTNM07 = 1	
					WTS = 0	WTS = 1
0	0	0	$2^4/f_w$	$2^{12}/f_x$ (409.6 μ s)	$2^4/f_{XT}$ (488 μ s)	$2^5/f_{XT}$ (977 μ s)
0	0	1	$2^5/f_w$	$2^{13}/f_x$ (819.2 μ s)	$2^5/f_{XT}$ (977 μ s)	$2^6/f_{XT}$ (1.95 ms)
0	1	0	$2^6/f_w$	$2^{14}/f_x$ (1.64 ms)	$2^6/f_{XT}$ (1.95 ms)	$2^7/f_{XT}$ (3.91 ms)
0	1	1	$2^7/f_w$	$2^{15}/f_x$ (3.28 ms)	$2^7/f_{XT}$ (3.91 ms)	$2^8/f_{XT}$ (7.81 ms)
1	0	0	$2^8/f_w$	$2^{16}/f_x$ (6.56 ms)	$2^8/f_{XT}$ (7.81 ms)	$2^9/f_{XT}$ (15.6 ms)
1	0	1	$2^9/f_w$	$2^{17}/f_x$ (13.1 ms)	$2^9/f_{XT}$ (15.6 ms)	$2^{10}/f_{XT}$ (31.2 ms)
1	1	0	$2^{10}/f_w$	$2^{18}/f_x$ (26.2 ms)	$2^{10}/f_{XT}$ (31.2 ms)	$2^{11}/f_{XT}$ (62.4 ms)
1	1	1	$2^{11}/f_w$	$2^{19}/f_x$ (52.4 ms)	$2^{11}/f_{XT}$ (62.4 ms)	$2^{12}/f_{XT}$ (125 ms)

WTNM03	WTNM02	時計用タイマの割り込み要求時間の選択			
		WTNM07 = 0		WTNM07 = 1	
				WTS = 0	WTS = 1
0	0	$2^{14}/f_w$	$2^{22}/f_x$ (0.41 s)	$2^{14}/f_{XT}$ (0.5 s)	$2^{15}/f_{XT}$ (1.0 s)
0	1	$2^{13}/f_w$	$2^{21}/f_x$ (0.2 s)	$2^{13}/f_{XT}$ (0.25 s)	$2^{14}/f_{XT}$ (0.5 s)
1	0	$2^5/f_w$	$2^{13}/f_x$ (819.2 μ s)	$2^5/f_{XT}$ (977 μ s)	$2^6/f_{XT}$ (1.95 ms)
1	1	$2^4/f_w$	$2^{12}/f_x$ (409.6 μ s)	$2^4/f_{XT}$ (488 μ s)	$2^5/f_{XT}$ (977 μ s)

WTNM01	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTNM00	時計用タイマの動作許可
0	動作停止 (11ビット・プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注 時計用タイマ割り込み時間選択レジスタ (WTIM) のビット0 (WTS) で設定した周波数 (f_{XT} または $f_{XT}/2$) になります。

注意 時計用タイマ動作中に、カウンタ・クロック、インターバル時間、割り込み要求時間の変更 (WTNM0のビット2-7 (WTNM02-WTNM07) で設定) をしないでください。

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$, f_{XT} , $f_{XT}/2$ のいずれか)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

2. () 内は, $f_x = 10$ MHz, $f_{XT} = 32.768$ kHz動作時

(2) 時計用タイマ割り込み時間選択レジスタ (WTIM)

時計用タイマへ入力するサブシステム・クロックを原発か2分周か選択することで、割り込み時間を設定するレジスタです。

WTIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図9-3 時計用タイマ割り込み時間選択レジスタ (WTIM) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WTIM	0	0	0	0	0	0	0	WTS	FF79H	00H	R/W

WTS	時計用タイマの割り込み時間の選択 ^注
0	0.5 s (f_{XT})
1	1.0 s ($f_{XT}/2$)

注 時計用タイマ動作モード・レジスタ0 (WTNM0) のビット7 (WTNM07) = 1のときのみ有効です。

備考 f_{XT} : サブシステム・クロック発振周波数

9.5 時計用タイマの動作

9.5.1 時計用タイマとしての動作

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔の時計用タイマとして動作します。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット2, 3, 7 (WTNM02, WTNM03, WTNM07) により、時計用タイマの時間を選択できます。

時計用タイマは、一定の時間間隔ごとに、割り込み要求 (INTWTN0) を発生します。

32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWTN0) を発生することができます。

また、時計用タイマ割り込み時間選択レジスタ (WTIM) の設定により、32.768 kHzのサブシステム・クロックを使って1.0秒の時間間隔で割り込み要求 (INTWTN0) を発生することもできます。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット0 (WTNM00) とビット1 (WTNM01) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

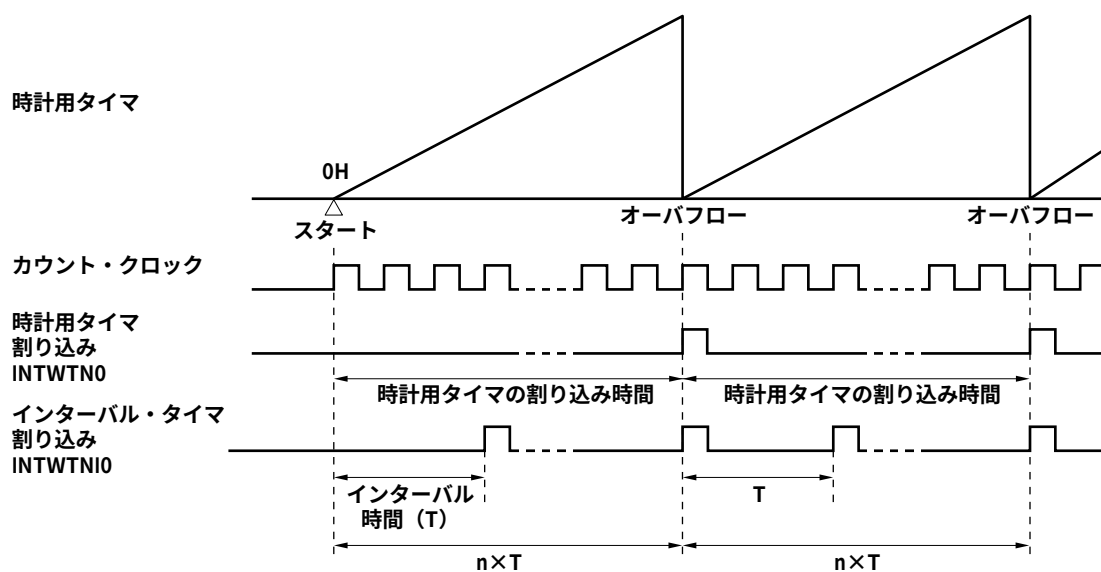
また、インターバル・タイマを同時に動作させているときは、WTNM01に0を設定することにより、ゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバフロー (INTWTN0) には、最大で $2^{11} \times 1/f_w$ 秒の誤差が発生します。

9.5.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTN0) を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット4-6, 7 (WTNM04-WTNM06, WTNM07) により、インターバル時間を選択できます。

図9-4 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ動作モード・レジスタ0 (WTNM0) で時計用タイマおよび5ビット・カウンタを動作許可 (WTNM0のビット0 (WTNM00) およびビット1 (WTNM01) を1にセット) したとき、設定後の最初の割り込み要求 (INTWTN0) までの時間は、正確にWTNM0のビット2, 3 (WTNM02, WTNM03) の設定時間にはなりません。これは5ビット・カウンタのカウント開始が11ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWTN0信号が発生します。

備考 n : インターバル・タイマ動作の回数

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの概要

ウォッチドッグ・タイマ,あるいは,あらかじめ設定した任意の時間間隔でノンマスカブル割り込み要求,マスカブル割り込み要求,RESETを発生できます。

10.2 ウォッチドッグ・タイマの機能

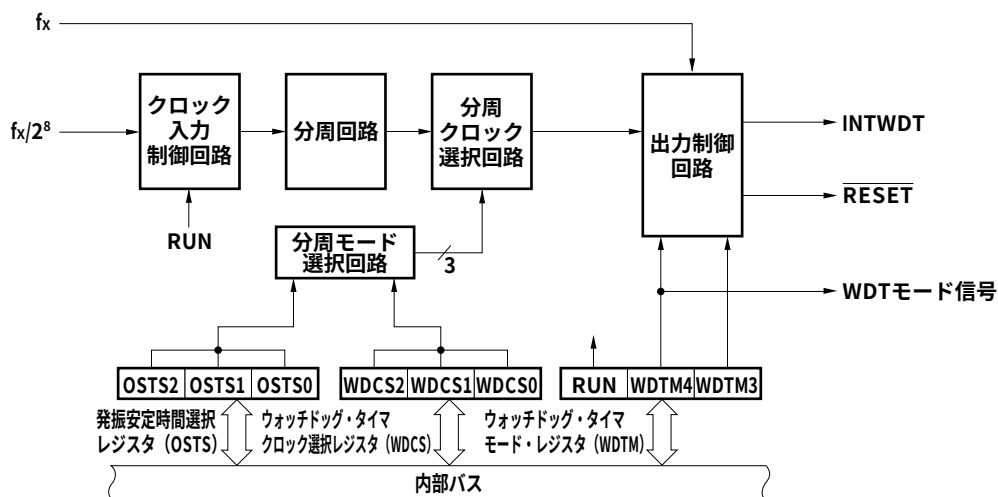
ウォッチドッグ・タイマには,次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか,インターバル・タイマ・モードとして使用するかは,ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください(ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

図10-1にブロック図を示します。

図10-1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求または $\overline{\text{RESET}}$ を発生できます。

表10-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12} \times 1/f_x$ (410 μs)
$2^{13} \times 1/f_x$ (819 μs)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考 1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10 \text{ MHz}$ 動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で、割り込み要求を発生します。

表10-2 インターバル時間

インターバル時間
$2^{12} \times 1/f_x$ (410 μs)
$2^{13} \times 1/f_x$ (819 μs)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考 1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10 \text{ MHz}$ 動作時。

10.3 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

10.4 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図10-2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

アドレス：FF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{13}/f_x$ (819 μ s)
0	1	0	$2^{14}/f_x$ (1.64 ms)
0	1	1	$2^{15}/f_x$ (3.28 ms)
1	0	0	$2^{16}/f_x$ (6.55 ms)
1	0	1	$2^{17}/f_x$ (13.1 ms)
1	1	0	$2^{18}/f_x$ (26.2 ms)
1	1	1	$2^{20}/f_x$ (105 ms)

備考1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可／禁止を設定するレジスタです。
WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FFF9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	×	インターバル・タイマ・モード ^{注3} (オーバフロー発生時、マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時、ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時、リセット動作を起動)

注1. RUNは、一度1にセットされると、ソフトウェアで0にクリアすることはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアすることはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^8/f_x$ 秒短くなります。

備考 × : don't care

(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図10-4 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFAH リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{14}/f_x$ (1.64 ms)
0	1	0	$2^{15}/f_x$ (3.28 ms)
0	1	1	$2^{16}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (13.1 ms)
上記以外			設定禁止

備考1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

10.5 ウォッチドッグ・タイマの動作

10.5.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内に RUN に再度 1 を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUN に 1 がセットされず、暴走検出時間を越えてしまった場合は、WDTM のビット 3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に RUN を 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP 命令を実行してください。

注意 1. 実際の暴走検出時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。

2. CPU クロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表10-4 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12} \times 1/f_x$ (410 μ s)
$2^{13} \times 1/f_x$ (819 μ s)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考 1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz 動作時。

10.5.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・レジスタ (WDTM) のビット 4 (WDTM4) に 0 を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDT のディフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に RUN を 1 に設定し、インターバル・タイマをクリアしたあと、STOP 命令を実行してください。

- 注意 1.** 一度 WDTM のビット 4 (WDTM4) に 1 を設定する (ウォッチドッグ・タイマ・モードを選択する) と、**RESET** 入力されないかぎり、インターバル・タイマ・モードにはなりません。
- 2.** WDTM で設定した直後のインターバル時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。
- 3.** CPU クロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表10-5 インターバル・タイマのインターバル時間

インターバル時間
$2^{12} \times 1/f_x$ (410 μ s)
$2^{13} \times 1/f_x$ (819 μ s)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考 1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz 動作時。

第11章 クロック出力制御回路

11.1 クロック出力制御回路の概要

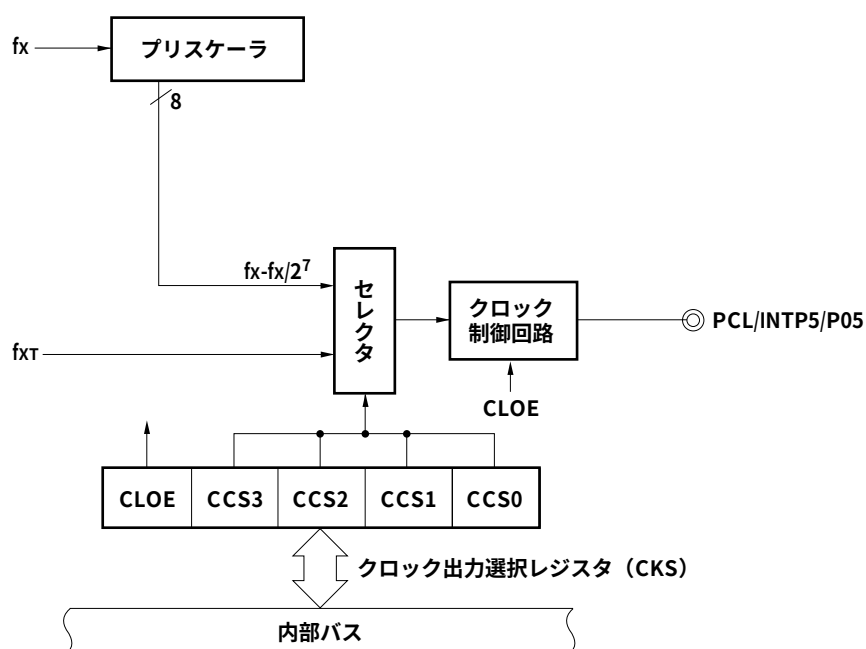
クロック出力は、メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給する回路です。

11.2 クロック出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

図11-1にクロック出力制御回路のブロック図を示します。

図11-1 クロック出力制御回路のブロック図



11.3 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成されています。

表11-1 クロック出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ 0 (PM0) 注

注 図 4-3 P05-P07のブロック図を参照してください。

11.4 クロック出力制御回路を制御するレジスタ

クロック出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ 0 (PM0)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-2 クロック出力選択レジスタ（CKS）のフォーマット

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	0	0	0	CLOE	CCS3	CCS2	CCS1	CCS0

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択
0	0	0	0	f_x (10 MHz)
0	0	0	1	$f_x/2$ (5 MHz)
0	0	1	0	$f_x/2^2$ (2.5 MHz)
0	0	1	1	$f_x/2^3$ (1.25 MHz)
0	1	0	0	$f_x/2^4$ (625 kHz)
0	1	0	1	$f_x/2^5$ (312.5 kHz)
0	1	1	0	$f_x/2^6$ (156.3 kHz)
0	1	1	1	$f_x/2^7$ (78.1 kHz)
1	0	0	0	f_{XT} (32.768 kHz)
上記以外				設定禁止

備考 1. f_x : メイン・システム・クロック発振周波数2. f_{XT} : サブシステム・クロック発振周波数3. () 内は, $f_x = 10 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時。

(2) ポート・モード・レジスタ0 (PM0)

ポート0の入力／出力を1ビット単位で設定するレジスタです。

PCL/INTP5/P05端子をクロック出力機能として使用するとき、PM05およびP05の出力ラッチに0を設定してください。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図11-3 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

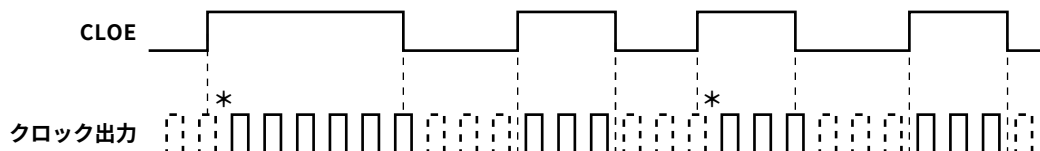
11.5 クロック出力制御回路の動作

クロック・パルスは、次の手順で出力します。

- ① クロック出力選択レジスタ (CKS) のビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。
- ② CKSのビット4 (CLOE) に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図11-4に示すように、必ずクロックのロウ期間から出力を開始します (図中の*印参照)。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図11-4 リモコン出力応用例



第12章 8ビットA/Dコンバータ (μ PD780344, 780344Yサブシリーズ)

12.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、最大8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

(1) ハードウェア・スタート

トリガ入力（ADTRG：立ち上がり、立ち下がり、立ち上がりと立ち下がりの両エッジの指定が可能）により変換開始。

(2) ソフトウェア・スタート

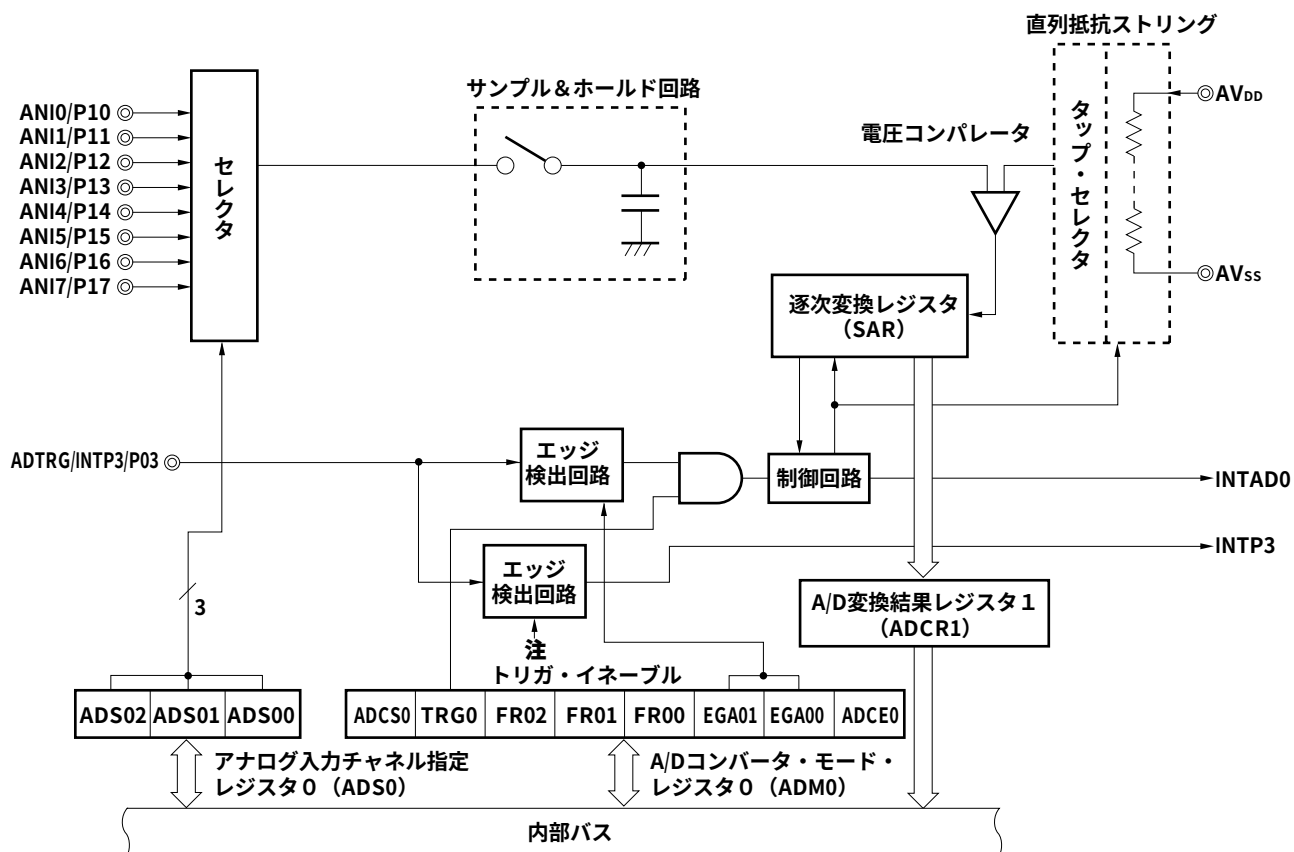
A/Dコンバータ・モード・レジスタ0（ADM0）を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求（INTAD0）が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTAD0が発生されます。

注意 μ PD78F0354, 78F0354Yは10ビットA/Dコンバータを内蔵していますが、 μ PD780344, 780344Yサブシリーズの製品でアセンブルしたオブジェクト・ファイルを使用することにより、8ビットA/Dコンバータとして動作可能になります。

★

図12-1 8ビットA/Dコンバータのブロック図



注 EGP, EGNレジスタのビット3で外部割り込みの有効エッジ指定（図19-5 外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット参照）。

12.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表12-1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	8 チャンネル（ANIO-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ 1（ADCR1）
制御レジスタ	A/Dコンバータ・モード・レジスタ 0（ADM0） アナログ入力チャンネル指定レジスタ 0（ADS0）

（1）逐次変換レジスタ（SAR）

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ 0（ADCR0）に転送されます。

（2）A/D変換結果レジスタ 1（ADCR1）

A/D変換結果を格納する 8 ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR1は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	アドレス	リセット時	R/W
ADCR1		FF15H 00H	R

注意 A/Dコンバータ・モード・レジスタ 0（ADM0）、アナログ入力チャンネル指定レジスタ 0（ADS0）に対して書き込み動作を行ったとき、ADCR1の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

（3）サンプル&ホールド回路

- ★ サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

（4）電圧コンパレータ

- ★ 電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

（5）直列抵抗ストリング

- ★ 直列抵抗ストリングはAV_{DD}-AV_{SS}間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI7は、ディジタル入力兼用のアナログ入力端子です。

- ★ **注意 1.** ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
3. A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ **(7) AV_{DD} 端子**

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} 端子または V_{DD1} 端子と同電位で使用してください。

AV_{DD} 、 AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をディジタル信号に変換します。

注意 AV_{DD} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。したがって、基準電圧源の出カインピーダンスが高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} または V_{SS1} 端子と同電位で使用してください。

12.3 8ビットA/Dコンバータを制御するレジスタ

★ 8ビットA/Dコンバータは、次の2種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0（ADM0）
- ・アナログ入力チャネル指定レジスタ0（ADS0）

（1）A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間、変換動作の開始／停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	ADCE0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート／ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	変換時間の選択 ^{注1}
0	0	0	144/f _x (14.4 μs)
0	0	1	120/f _x (設定禁止 ^{注2})
0	1	0	96/f _x (設定禁止 ^{注2})
1	0	0	576/f _x (57.6 μs)
1	0	1	480/f _x (48.0 μs)
1	1	0	384/f _x (38.4 μs)
上記以外			設定禁止

EGA01	EGA00	外部トリガ信号のエッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり，立ち上がりの両エッジ検出

ADCE0	A/Dコンバータ回路用昇圧回路動作の制御 ^{注3}
0	動作停止
1	動作許可

注1．A/D変換時間が14 μs以上になるように設定してください。

2．f_x = 10 MHzのときは，A/D変換時間が14 μs未満となりますので，設定禁止です。

★

3．低電圧動作を実現するために，昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は，ADCE0で動作制御され，動作開始から安定するまでに，14 μsかかります。このため，ADCE0に1を設定してから14 μs以上経過したあとに，ADCS0に1を設定することで，最初の変換結果より有効となります。

備考1．f_x：メイン・システム・クロック発振周波数

2．（ ）内は，f_x = 10 MHz動作時。

★

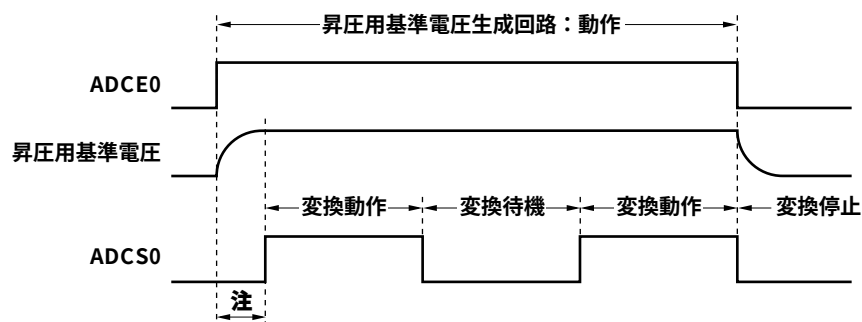
表12-2 ADCS0とADCE0の設定

ADCS0	ADCE0	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止 ^注 ）
1	1	変換モード（基準電圧生成回路動作）

注 A/D変換スタート直後の1変換目のデータは使用禁止です。

★

図12-3 昇圧基準電圧生成回路使用時のタイミング・チャート



注 基準電圧安定のため14μs以上必要です。

注意1. FR00-FR02を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

2. ADCE0をクリアする場合は、ADCS0をクリアしてから行ってください。

(2) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-4 アナログ入力チャネル指定レジスタ0 (ADS0) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

12.4 8ビットA/Dコンバータの動作

12.4.1 8ビットA/Dコンバータの基本動作

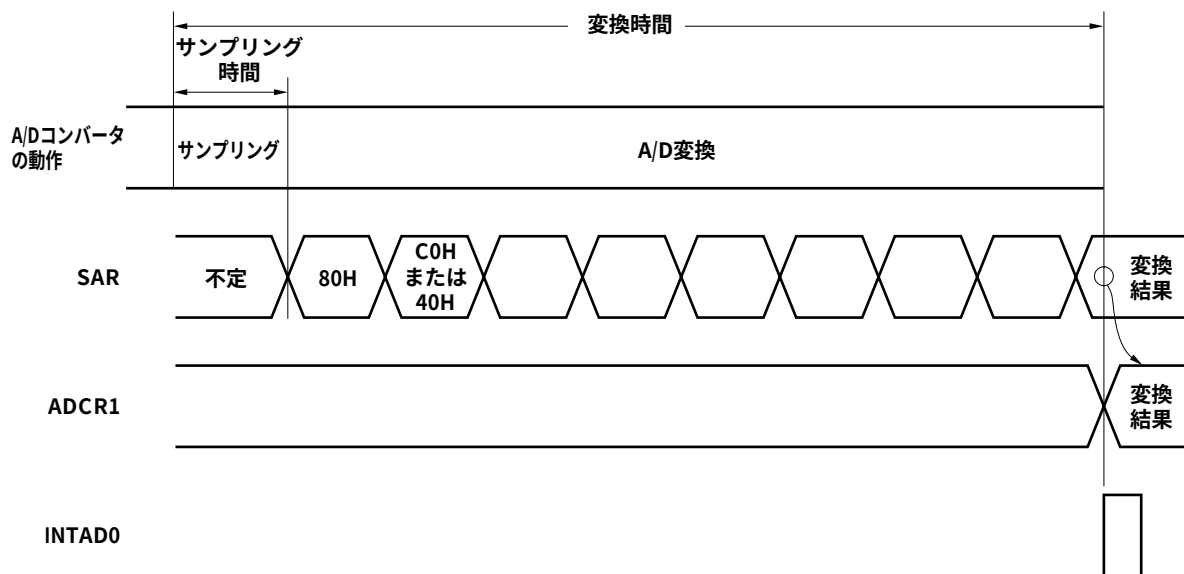
- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
 - ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
 - ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
 - ④ 逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セレクトにより直列抵抗ストリングの電圧タップが (1/2) AV_{DD} にされます。
 - ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力が (1/2) AV_{DD} よりも大きければ、SARのMSBがセットされたままです。また、(1/2) AV_{DD} よりも小さければMSBをリセットします。
 - ⑥ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ★ ・ビット7 = 1 : (3/4) AV_{DD}
 - ★ ・ビット7 = 0 : (1/4) AV_{DD}
 この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ★ ・アナログ入力電圧 $\geq$ 電圧タップ : ビット6 = 1
 - ★ ・アナログ入力電圧 < 電圧タップ : ビット6 = 0
 - ⑦ このような比較をSARのビット0まで続けます。
 - ⑧ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ1 (ADCR1) に転送され、ラッチされます。
- 同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. ADCE0をセットして14 μ s以上経過してから、変換を開始 (ADCS0 = 1) してください。

ADCE0を使用しない場合は、ADCS0をセット直後の最初の変換結果は不定になります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図12-5 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ1 (ADCR1) は、 $\overline{\text{RESET}}$ により00Hとなります。

★ A/D変換終了は、A/D変換終了割り込み要求フラグ (ADIF0) で確認してください。

12.4.2 入力電圧と変換結果

- ★ アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ1 (ADCR1)) には次式に示す関係があります。

$$\star \quad ADCR1 = \text{INT} \left(\frac{V_{IN}}{AV_{DD}} \times 256 + 0.5 \right)$$

または,

$$\star \quad (ADCR1 - 0.5) \times \frac{AV_{DD}}{256} \leq V_{AIN} < (ADCR1 + 0.5) \times \frac{AV_{DD}}{256}$$

INT () : () 内の値の整数部を返す関数

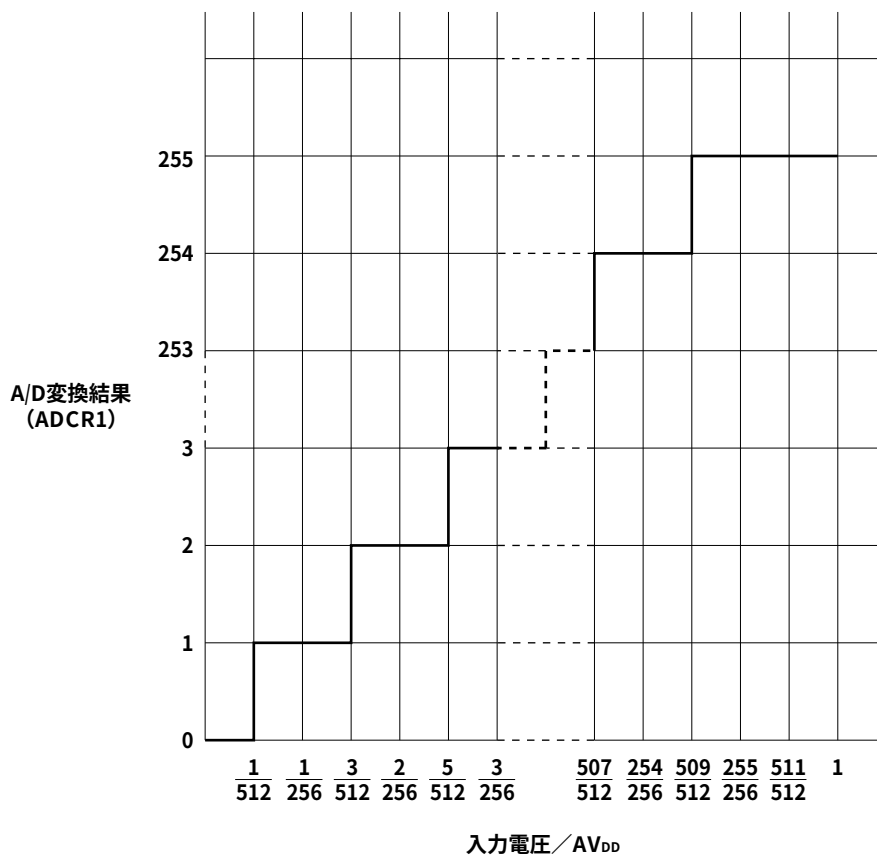
V_{AIN} : アナログ入力電圧

AV_{DD} : AV_{DD} 端子電圧

ADCR1 : A/D変換結果レジスタ1 (ADCR1) の値

図12-6 にアナログ入力電圧とA/D変換結果の関係を示します。

図12-6 アナログ入力電圧とA/D変換結果の関係



12.4.3 8ビットA/Dコンバータの動作モード

アナログ入力チャネル指定レジスタ0（ADS0）によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力（立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジ指定可能）
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0（ADM0）を設定することにより開始

また、A/D変換結果は、A/D変換結果レジスタ1（ADCR1）に格納され、同時に割り込み要求信号（INTAD0）が発生されます。

（1）ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE0）に1を設定したあと、ビット6（TRG0）に1、ビット7（ADCS0）に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号（ADTRG）が入力されると、アナログ入力チャネル指定レジスタ0（ADS0）で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

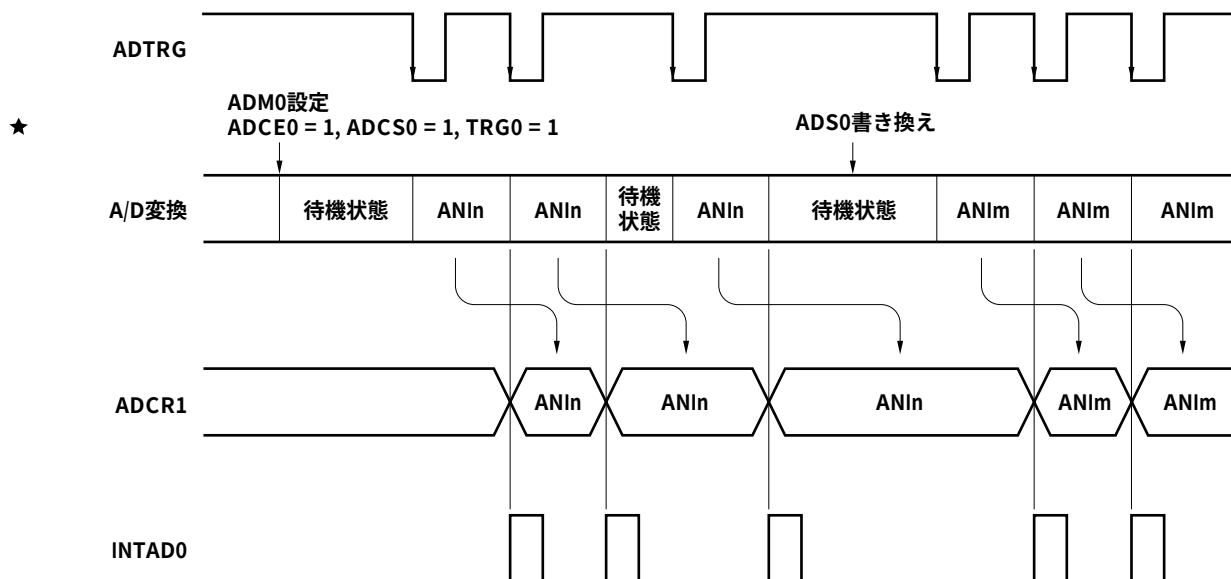
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ1（ADCR1）に格納し、割り込み要求信号（INTAD0）が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

★ また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力（ADTRG）として使用するとき、A/Dコンバータ・モード・レジスタ0（ADM0）のビット1, 2（EGA00, EGA01）で有効エッジを指定し、割り込みマスク・フラグ（PMK3）を1に設定してください。

図12-7 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)

備考 1. $n = 0, 1, \dots, 7$ 2. $m = 0, 1, \dots, 7$

(2) ソフトウェア・スタートによるA/D変換動作

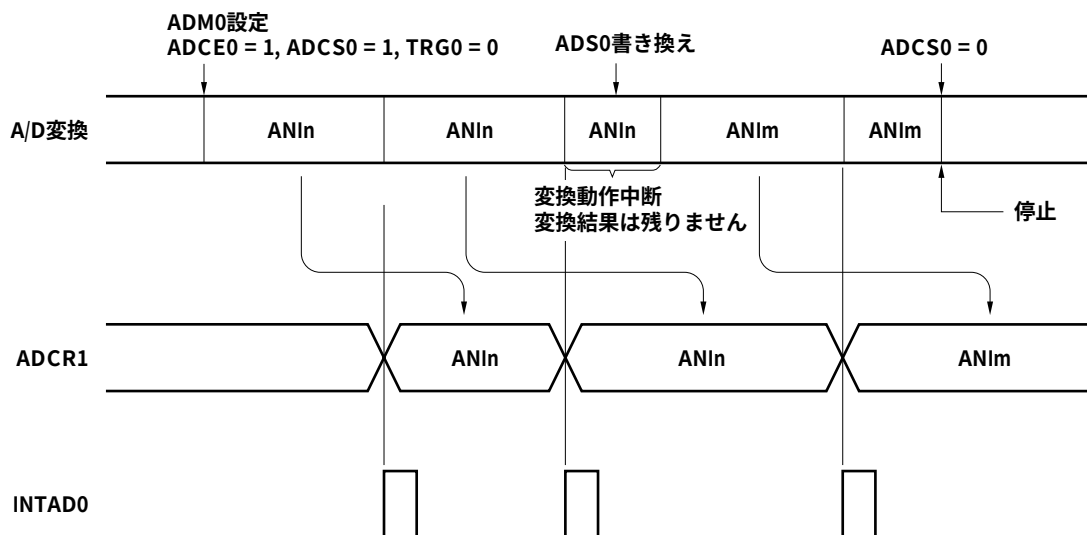
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) に1を設定したあと、ビット6 (TRG0) に0、ビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ1 (ADCR1) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中にADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに選択したアナログ入力チャネルのA/D変換動作を開始します。

★ また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

図12-8 ソフトウェア・スタートによるA/D変換動作



備考 1. $n = 0, 1, \dots, 7$

2. $m = 0, 1, \dots, 7$

12.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能8ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^8 = 1/256 \\ &= 0.4\%\text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-9 総合誤差

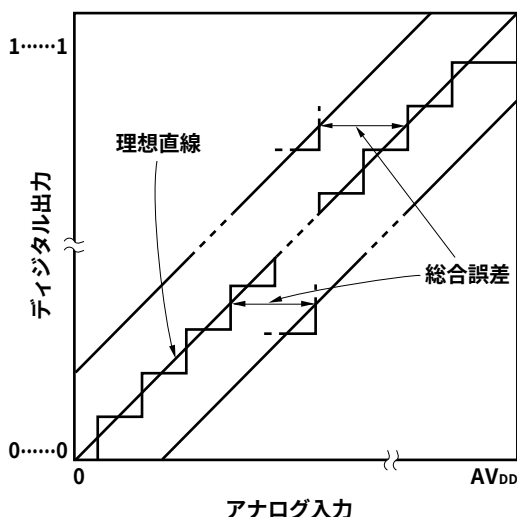
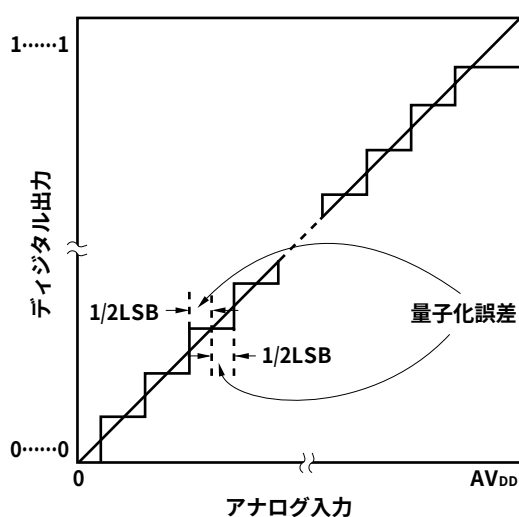


図12-10 量子化誤差

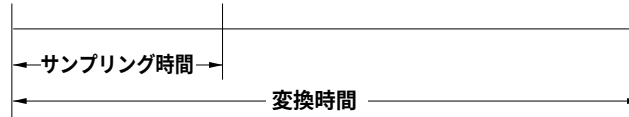


(4) 変換時間

- ★ サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(5) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 A/Dコンバータの注意事項

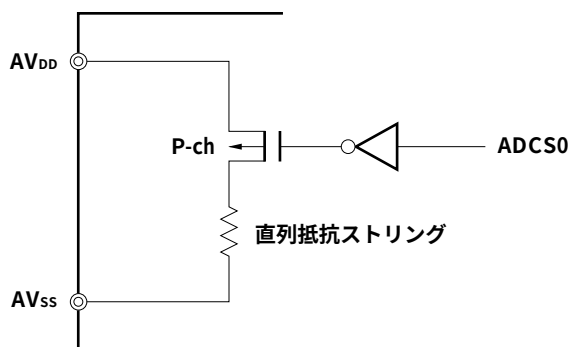
（1）スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS0）=0にすることにより、消費電力を低減させることができます。

直列抵抗ストリングの回路構成を図12-11に示します。

★

図12-11 直列抵抗ストリングの回路構成



（2）ANI0-ANI7入力範囲について

★

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

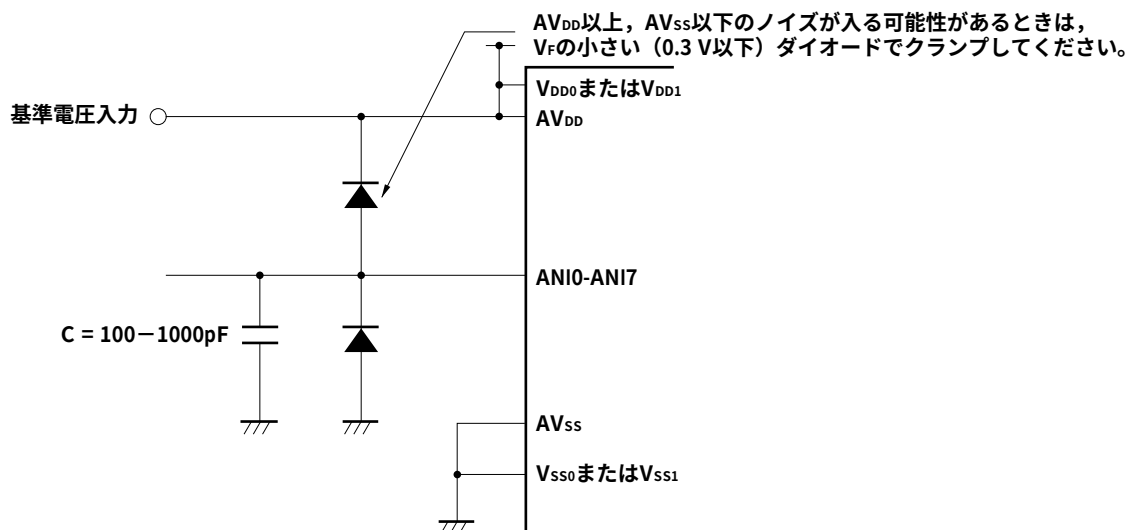
（3）競合動作について

- ① 変換終了時のA/D変換結果レジスタ1（ADCR1）ライトと命令によるADCR1リードとの競合
ADCR1リードが優先されます。リードしたあと、新しい変換結果がADCR1にライトされます。
- ② 変換終了時のADCR1ライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCR1ライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCR1ライトとA/Dコンバータ・モード・レジスタ0（ADM0）ライト、またはアナログ入力チャネル指定レジスタ0（ADS0）ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR1へのライトはされません。また、変換終了割り込み要求信号（INTAD0）も発生しません。

(4) ノイズ対策について

- ★ 8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-12のようにCを外付けすることを推奨します。

図12-12 アナログ入力端子の処理



(5) ANI0/P10-ANI7/P17

アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図12-12参照)。

★ (7) AV_{DD} 端子の入力インピーダンスについて

AV_{DD} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

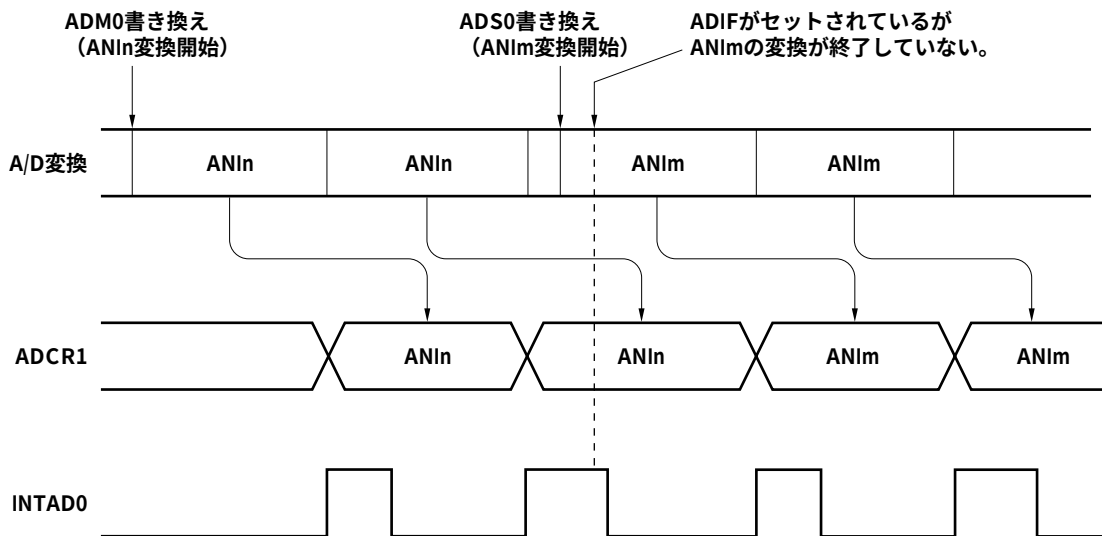
(8) 割り込み要求フラグ (ADIF0) について

アナログ入力チャネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図12-13 A/D変換終了割り込み要求発生タイミング



備考 1. $n = 0, 1, \dots, 7$

2. $m = 0, 1, \dots, 7$

(9) A/D変換スタート直後の変換結果について

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) をセット (1) せずに、ビット7 (ADCS0) をセット (1) すると、A/D変換動作をスタートした直後の1回目のA/D変換値だけは定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄して2回目以降の変換結果を採用してください。

またADCE0をセット (1) 後、14 μ s (MIN.) のウエイト時間を確保せずにADCS0をセット (1) した場合、同様なことが起こる恐れがありますので、十分にウエイト時間を確保してください。

(10) A/D変換結果レジスタ1 (ADCR1) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR1の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図12-14、図12-15に示します。

図12-14 変換結果を読み出すタイミング (変換結果が不定値の場合)

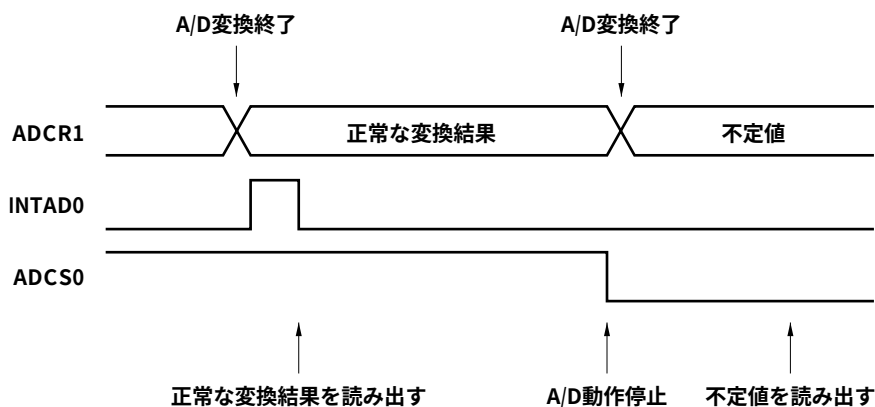
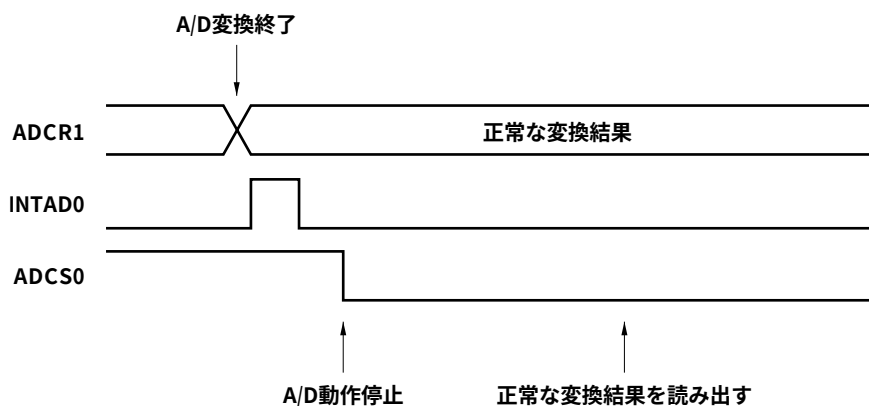


図12-15 変換結果を読み出すタイミング (変換結果が正常値の場合)

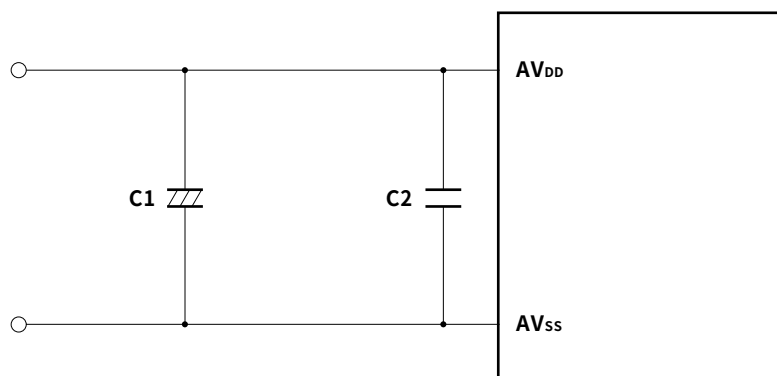
**(12) ボード設計上の注意**

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AV_{SS}とV_{SS1}はボード上で安定しているところで1箇所、接続してください。

★ (13) AV_{DD}端子とAV_{SS}端子

ノイズによる変換誤差を小さく抑えるため、AV_{DD}端子とAV_{SS}端子の間にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AV_{DD}端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAV_{DD}端子とAV_{SS}端子の間にコンデンサを接続してください。コンデンサの接続例を図12-16に示します。

★ 図12-16 AV_{DD}端子とコンデンサの接続例

備考 C1 : 4.7 μF ~ 10 μF (参考値)

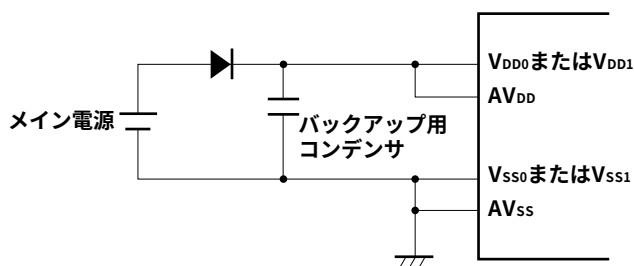
C2 : 0.01 μF ~ 0.1 μF (参考値)

C2は端子のできるだけ近くに接続してください。

★ (14) AV_{DD}端子

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図12-17のように必ずV_{DD0}端子またはV_{DD1}端子と同レベルの電位を印加してください。

図12-17 AV_{DD}端子の処理

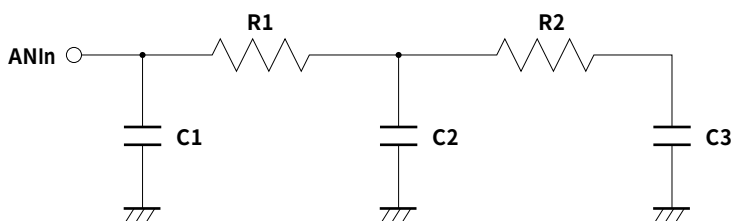
(15) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図12-18にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図12-19に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図12-18 ANI0-ANI7端子内部等価回路



備考 n = 0-7

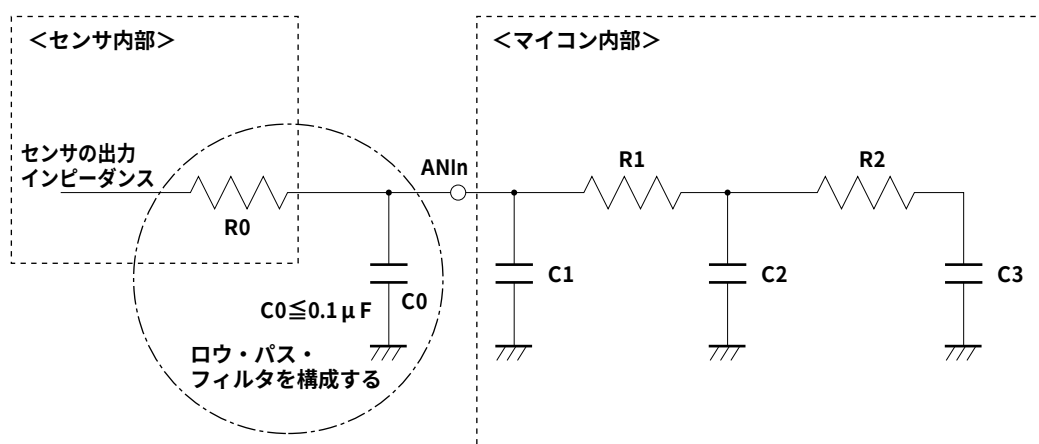
★

表12-3 等価回路の各抵抗と容量値 (参考値)

AV _{DD}	R1	R2	C1	C2	C3
2.7 V	12 kΩ	8 kΩ	8 pF	3 pF	2 pF
4.5 V	4 kΩ	2.7 kΩ	8 pF	1.4 pF	2 pF

注意 表12-3の各抵抗と容量値は保証値ではありません。

図12-19 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

第13章 10ビットA/Dコンバータ (μ PD780354, 780354Yサブシリーズ)

13.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、最大8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

（1）ハードウェア・スタート

トリガ入力（ADTRG：立ち上がり，立ち下がり，立ち上がりと立ち下がりの両エッジの指定が可能）により変換開始。

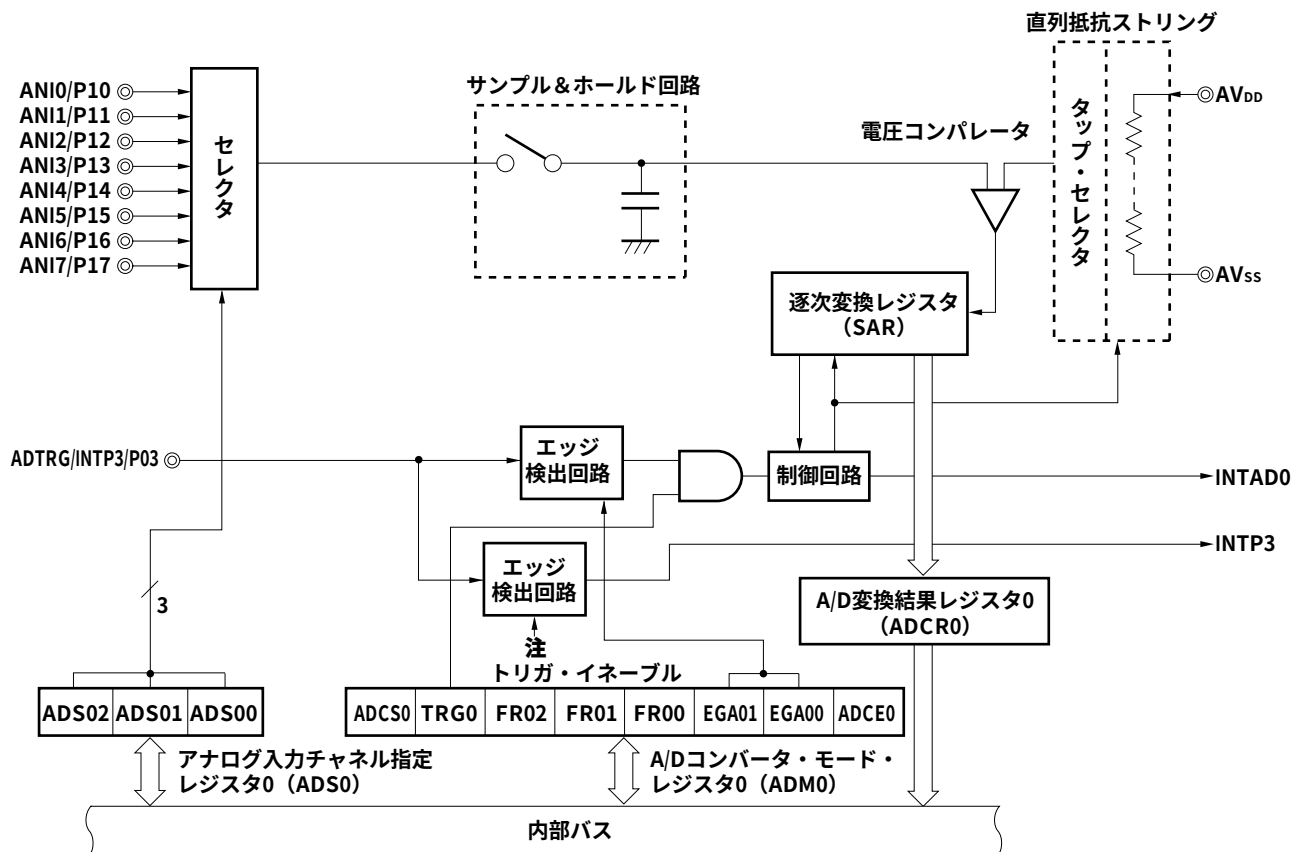
（2）ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0（ADM0）を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し，A/D変換を行ってください。A/D変換の動作は，ハードウェア・スタート時ではA/D変換動作終了後停止し，割り込み要求（INTAD0）が発生されます。ソフトウェア・スタート時では，A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに，INTAD0が発生されます。

★

図13-1 10ビットA/Dコンバータのブロック図



注 EGP, EGNレジスタのビット3で外部割り込みの有効エッジ指定（図19-5 外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット参照）。

13.2 10ビットA/Dコンバータの構成

10ビットA/Dコンバータは、次のハードウェアで構成しています。

表13-1 10ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	8 チャンネル（ANIO-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ 0（ADCR0）
制御レジスタ	A/Dコンバータ・モード・レジスタ 0（ADM0） アナログ入力チャンネル指定レジスタ 0（ADS0）

（1）逐次変換レジスタ（SAR）

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ 0（ADCR0）に転送されます。

（2）A/D変換結果レジスタ 0（ADCR0）

A/D変換結果を格納する16ビットのレジスタです。下位 6 ビットは“ 0 ” 固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCR0には最上位ビット（MSB）から順に格納されます。FF0FHには変換結果の上位 8 ビットが入ります。FF0EHには変換結果の下位 2 ビットが入ります。

ADCR0は16ビット・メモリ操作命令で読み出します。

RESET 入力により、0000Hになります。

略号	FF0FH	FF0EH	アドレス	リセット時	R/W
ADCR0		0 0 0 0 0 0	FF0EH, FF0FH	0000H	R

注意 A/Dコンバータ・モード・レジスタ 0（ADM0）、アナログ入力チャンネル指定レジスタ 0（ADS0）に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

（3）サンプル&ホールド回路

サンプル&ホールド回路は、セレクトで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

（4）電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

（5）直列抵抗ストリング

直列抵抗ストリングはAV_{DD}-AV_{SS}間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI7端子は、アナログ入力チャンネル指定レジスタ0 (ADS0) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- ★ **注意 1.** ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAV_{DD}以上、AV_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
3. A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ **(7) AV_{DD}端子**

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD0}端子またはV_{DD1}端子と同電位で使用してください。

AV_{DD}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

注意 AV_{DD}端子とAV_{SS}端子の間には直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、AV_{DD}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS}端子

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS0}またはV_{SS1}端子と同電位で使用してください。

13.3 10ビットA/Dコンバータを制御するレジスタ

★ 10ビットA/Dコンバータは、次の2種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス: FF80H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	ADCE0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート／ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	変換時間の選択 ^{注1}
0	0	0	144/f _x (14.4 μs)
0	0	1	120/f _x (設定禁止 ^{注2})
0	1	0	96/f _x (設定禁止 ^{注2})
1	0	0	576/f _x (57.6 μs)
1	0	1	480/f _x (48.0 μs)
1	1	0	384/f _x (38.4 μs)
上記以外			設定禁止

EGA01	EGA00	外部トリガ信号のエッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

ADCE0	A/Dコンバータ回路用昇圧回路動作の制御 ^{注3}
0	動作停止
1	動作許可

注1. A/D変換時間が14 μs以上になるように設定してください。

2. f_x = 10 MHzのときは, A/D変換時間が14 μs未満となりますので, 設定禁止です。

★

3. 低電圧動作を実現するために, 昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は, ADCE0で動作制御され, 動作開始から安定するまでに, 14 μsかかります。このため, ADCE0に1を設定してから14 μs以上経過したあとに, ADCS0に1を設定することで, 最初の変換結果より有効となります。

備考1. f_x: メイン・システム・クロック発振周波数

2. () 内は, f_x = 10 MHz動作時。

★

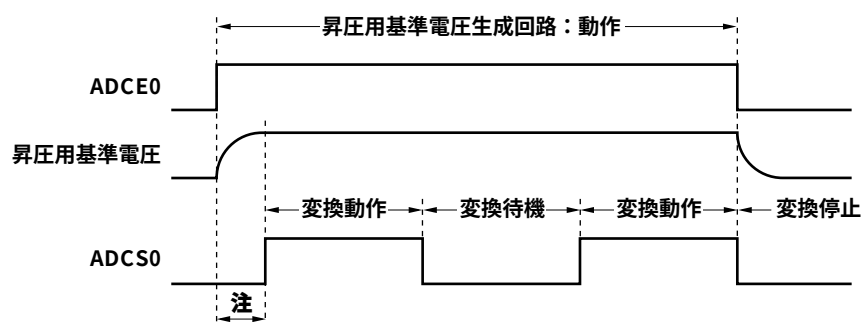
表13-2 ADCS0とADCE0の設定

ADCS0	ADCE0	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止 ^注 ）
1	1	変換モード（基準電圧生成回路動作）

注 A/D変換スタート直後の1変換目のデータは使用禁止です。

★

図13-3 昇圧基準電圧生成回路使用時のタイミング・チャート



注 基準電圧安定のため14 μ s以上必要です。

注意1. FR00-FR02を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

2. ADCE0をクリアする場合は、ADCS0をクリアしてから行ってください。

(2) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-4 アナログ入力チャネル指定レジスタ0 (ADS0) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

13.4 10ビットA/Dコンバータの動作

13.4.1 10ビットA/Dコンバータの基本動作

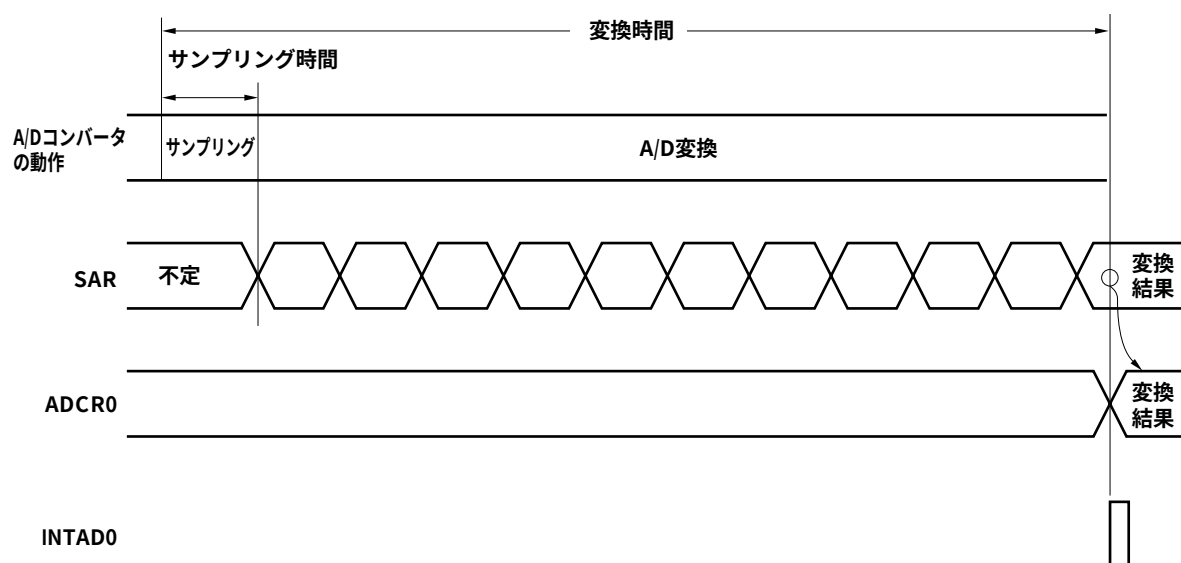
- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
 - ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
 - ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
 - ④ 逐次変換レジスタ (SAR) のビット9がセットされます。タップ・セレクトにより直列抵抗ストリングの電圧タップが (1/2) AV_{DD} にされます。
 - ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力が (1/2) AV_{DD} よりも大きければ、SARのMSBがセットされたままです。また、(1/2) AV_{DD} よりも小さければMSBをリセットします。
 - ⑥ 次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ★ ・ビット9 = 1 : (3/4) AV_{DD}
 - ★ ・ビット9 = 0 : (1/4) AV_{DD}
- この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。
- ・アナログ入力電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・アナログ入力電圧 < 電圧タップ : ビット8 = 0
- ⑦ このような比較をSARのビット0まで続けます。
 - ⑧ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。
- 同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. ADCE0をセットして14 μ s以上経過してから、変換を開始 (ADCS0 = 1) してください。

ADCE0を使用しない場合は、ADCS0をセット直後の最初の変換結果は不定になります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図13-5 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により00Hとなります。

★ A/D変換終了は、A/D変換終了割り込み要求フラグ (ADIF0) で確認してください。

13.4.2 入力電圧と変換結果

- ★ アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\star \quad ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{DD}} \times 1024 + 0.5 \right)$$

または,

$$\star \quad (ADCR0 - 0.5) \times \frac{AV_{DD}}{1024} \leq V_{AIN} < (ADCR0 + 0.5) \times \frac{AV_{DD}}{1024}$$

INT () : () 内の値の整数部を返す関数

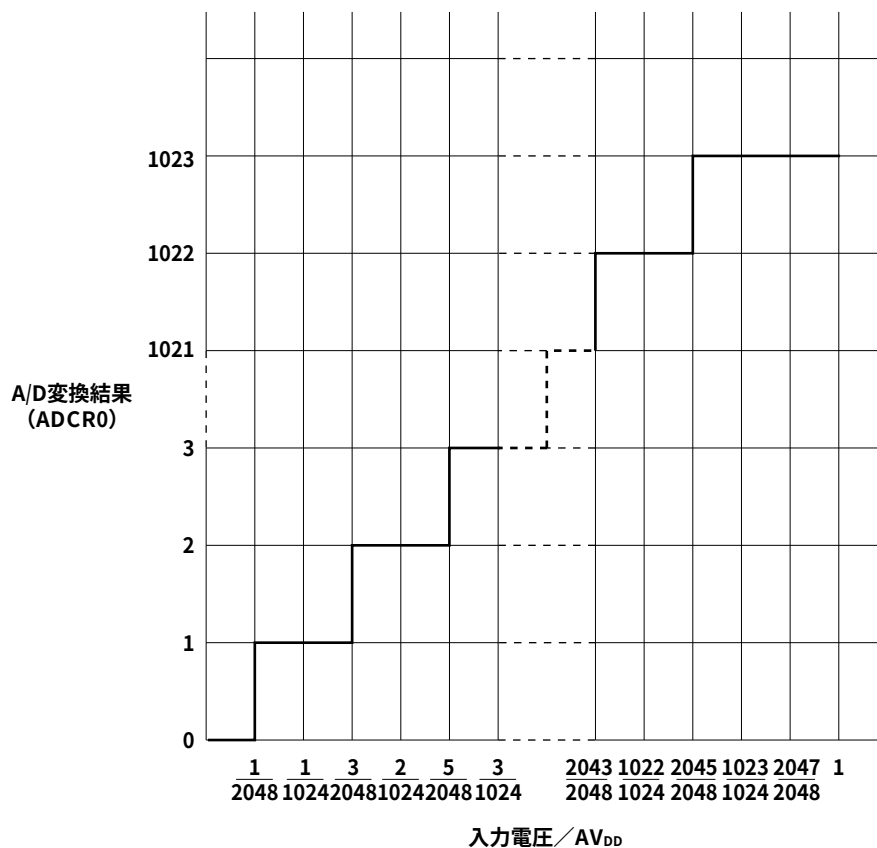
V_{AIN} : アナログ入力電圧

AV_{DD} : AV_{DD} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図13-6 にアナログ入力電圧とA/D変換結果の関係を示します。

図13-6 アナログ入力電圧とA/D変換結果の関係



13.4.3 10ビットA/Dコンバータの動作モード

アナログ入力チャネル指定レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力（立ち上がり，立ち下がり，立ち上がりとしち下がりの両エッジ指定可能）
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) に1を設定したあと、ビット6 (TRG0) に1，ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (ADTRG) が入力されると、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

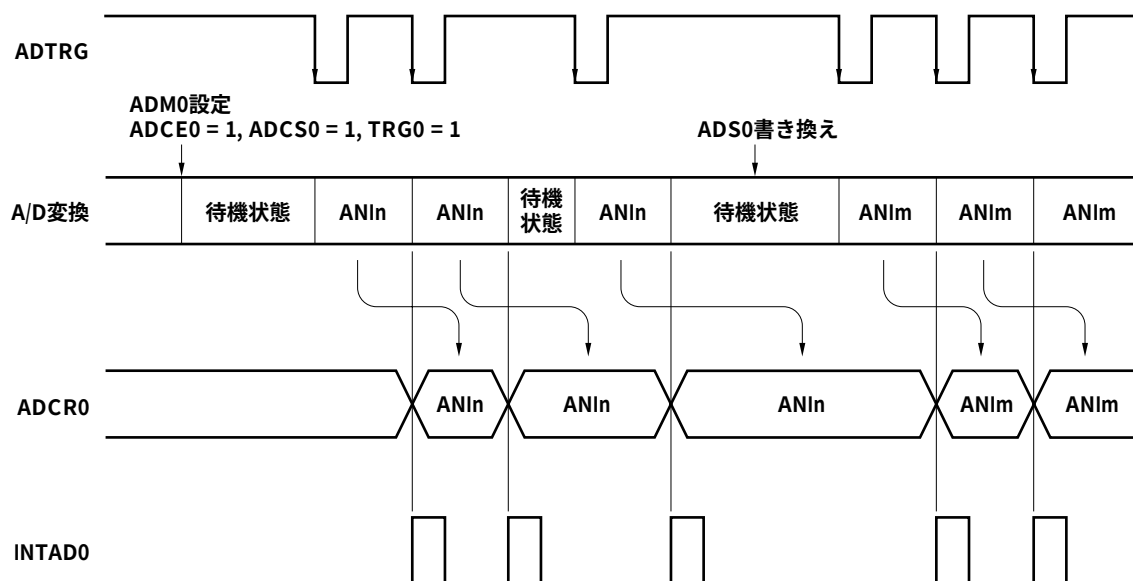
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

★ また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力 (ADTRG) として使用するとき、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1，2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

図13-7 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)

備考 1. $n = 0, 1, \dots, 7$ 2. $m = 0, 1, \dots, 7$

(2) ソフトウェア・スタートによるA/D変換動作

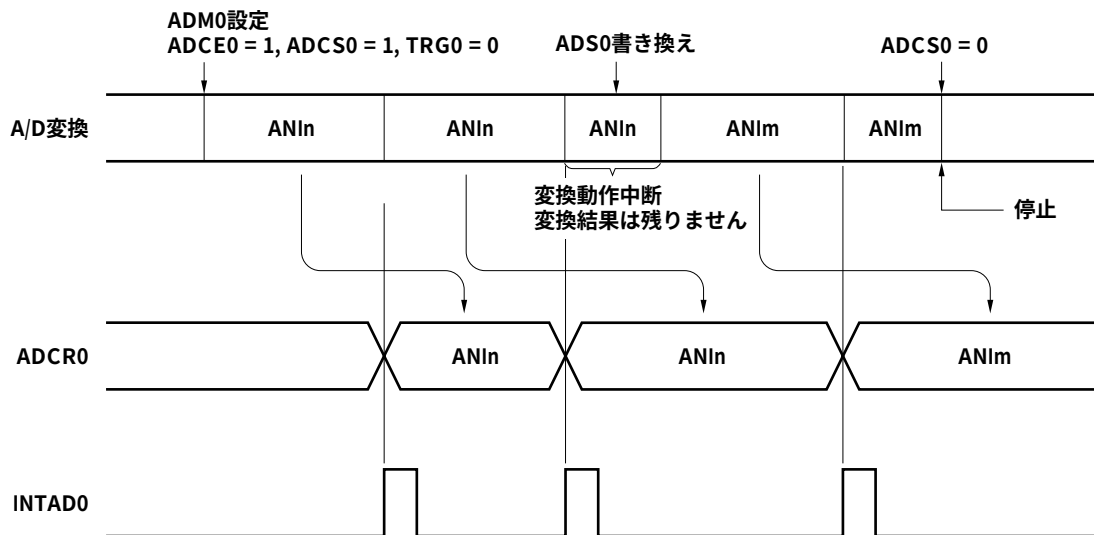
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) に1を設定したあと、ビット6 (TRG0) に0、ビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中にADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに選択したアナログ入力チャネルのA/D変換動作を開始します。

★ また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

図13-8 ソフトウェア・スタートによるA/D変換動作



備考 1. $n = 0, 1, \dots, 7$

2. $m = 0, 1, \dots, 7$

13.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%\text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図13-9 総合誤差

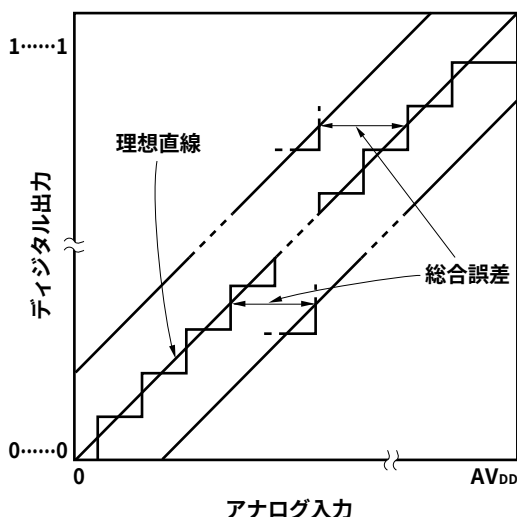
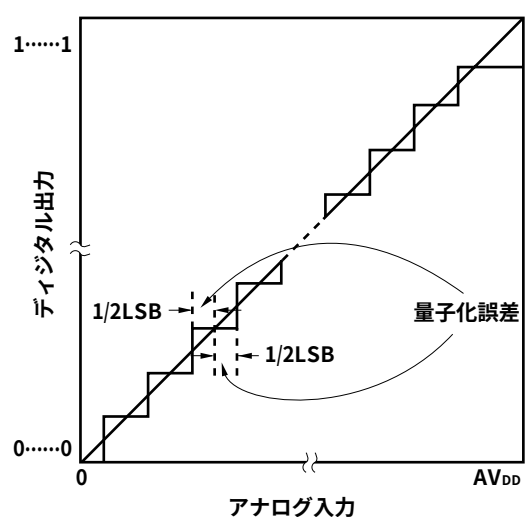


図13-10 量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0………000から0………001に変化するとき、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。実測値が理論値よりも大きい場合は、ディジタル出力が0………001から0………010に変化するとき、アナログ入力電圧の実測値と理論値 (3/2LSB) との差を表します。

(5) フルスケール誤差

ディジタル出力が1………110から1………111に変化するとき、アナログ入力電圧の実測値と理論値 (フルスケール-3/2LSB) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図13-11 ゼロスケール誤差

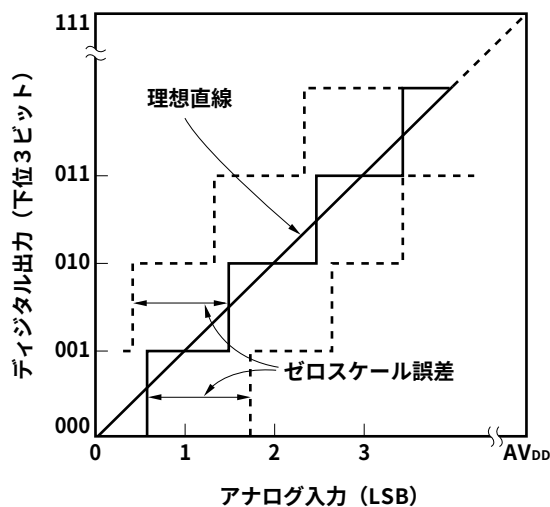


図13-12 フルスケール誤差

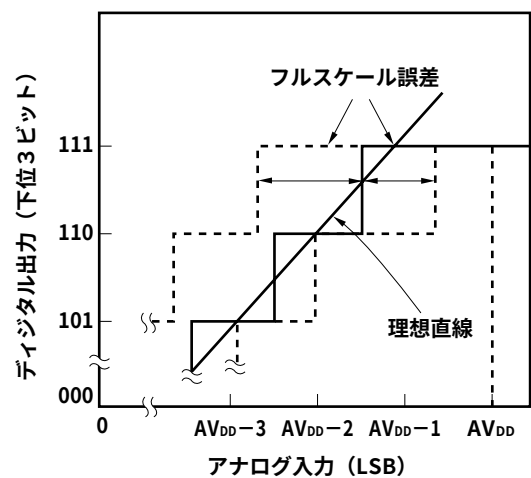


図13-13 積分直線性誤差

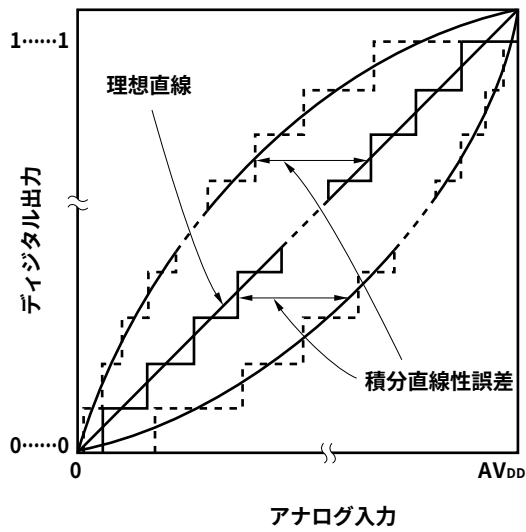
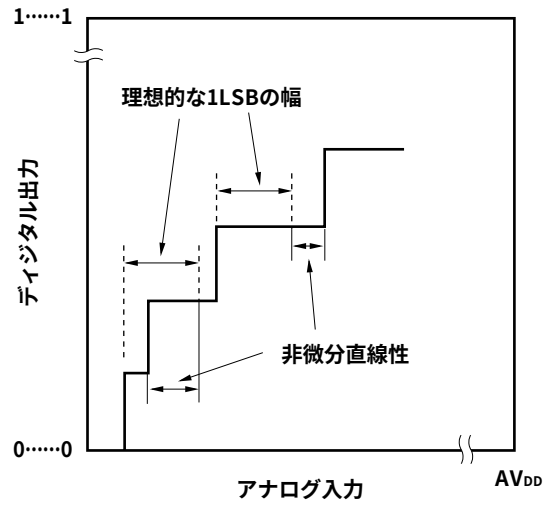


図13-14 微分直線性誤差



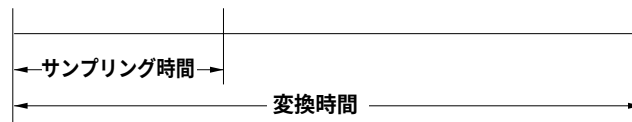
(8) 変換時間

★

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



13.6 A/Dコンバータの注意事項

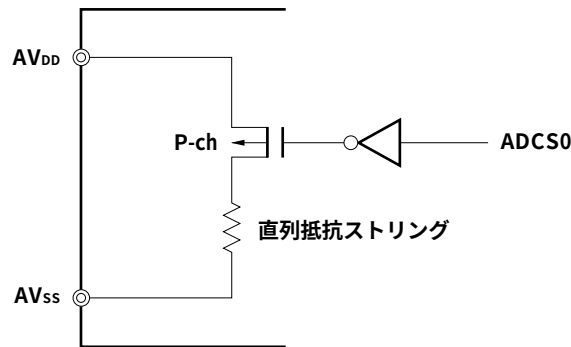
(1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0 にすることにより、消費電力を低減させることができます。

直列抵抗ストリングの回路構成を図13-15に示します。

★

図13-15 直列抵抗ストリングの回路構成



(2) ANI0-ANI7入力範囲について

★

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

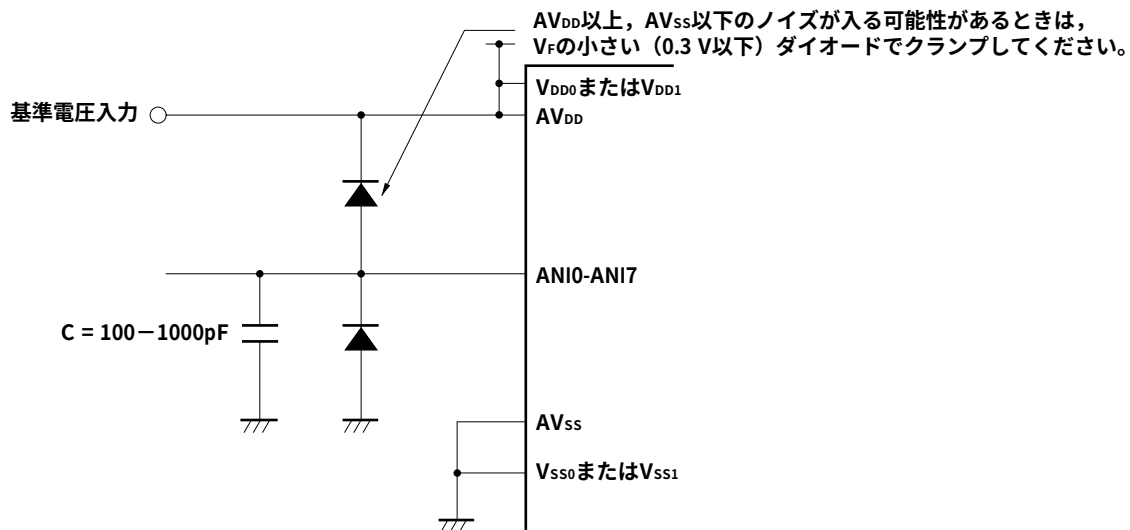
(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCR0ライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) ノイズ対策について

- ★ 10ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-16のようにCを外付けすることを推奨します。

図13-16 アナログ入力端子の処理



(5) ANI0/P10-ANI7/P17

アナログ入力（ANI0-ANI7）端子はポート端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中に他のアナログ入力端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中に他のアナログ入力端子へのパルス印加はしないようにしてください。

★ (6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図13-16参照）。

★ (7) AV_{DD} 端子の入力インピーダンスについて

AV_{DD} 端子と AV_{SS} 端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

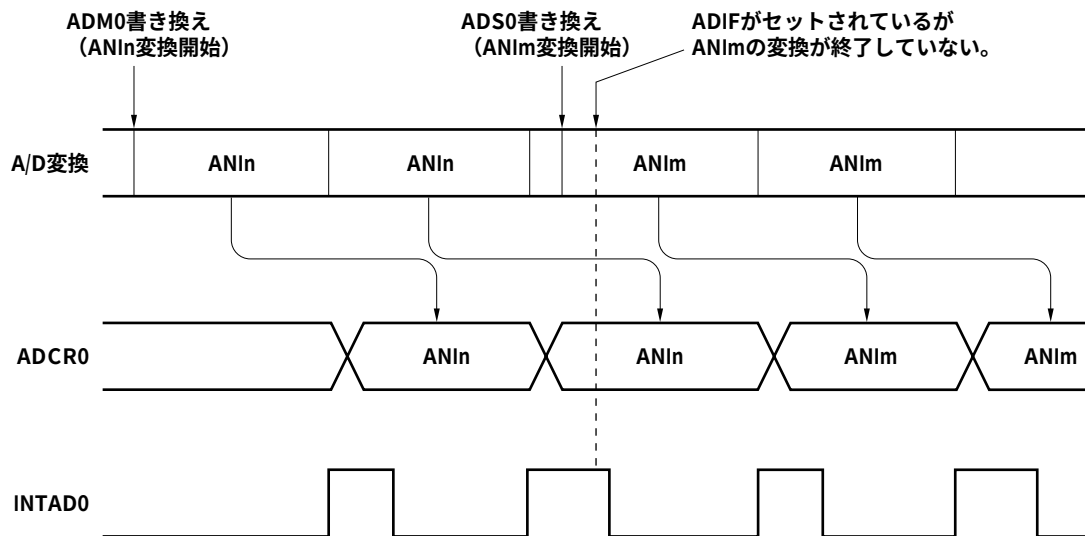
(8) 割り込み要求フラグ (ADIF0) について

アナログ入力チャネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図13-17 A/D変換終了割り込み要求発生タイミング



備考 1. $n = 0, 1, \dots, 7$

2. $m = 0, 1, \dots, 7$

(9) A/D変換スタート直後の変換結果について

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) をセット (1) せずに、ビット7 (ADCS0) をセット (1) すると、A/D変換動作をスタートした直後の1回目のA/D変換値だけは定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄して2回目以降の変換結果を採用してください。

またADCE0をセット (1) 後、14 μ s (MIN.) のウエイト時間を確保せずにADCS0をセット (1) した場合、同様なことが起こる恐れがありますので、十分にウエイト時間を確保してください。

(10) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図13-18、図13-19に示します。

図13-18 変換結果を読み出すタイミング（変換結果が不定値の場合）

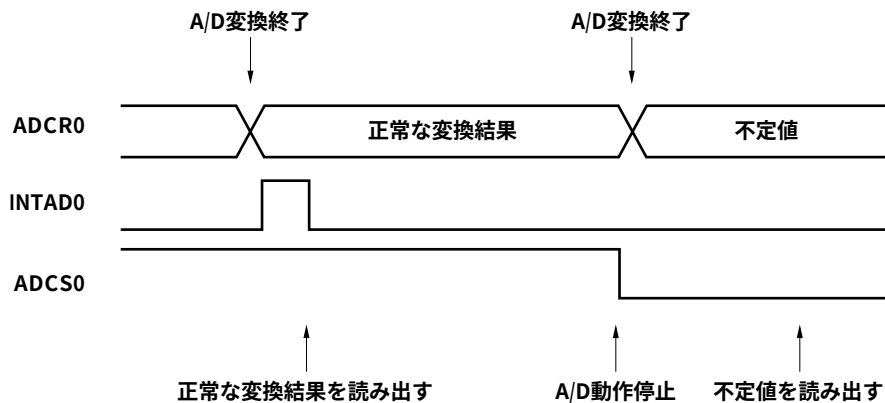
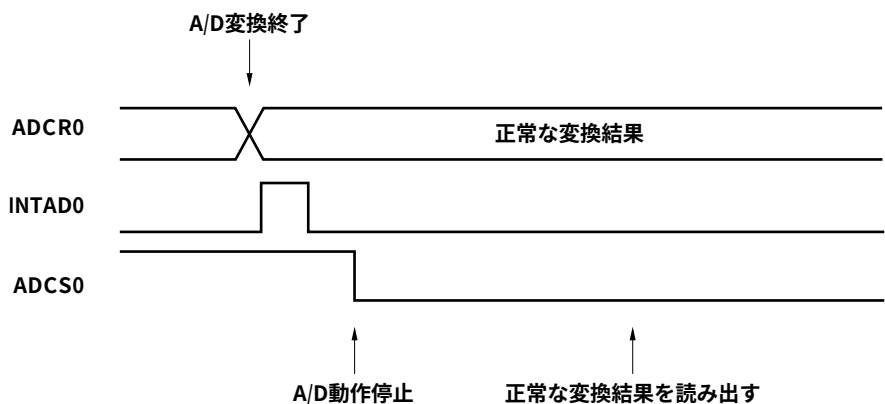


図13-19 変換結果を読み出すタイミング（変換結果が正常値の場合）

**(12) ボード設計上の注意**

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

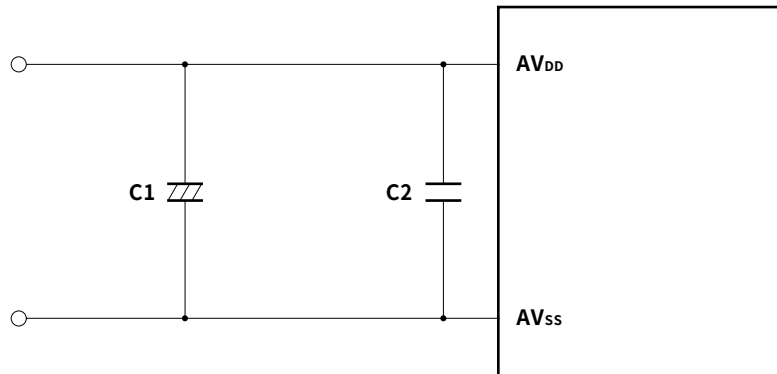
AV_{SS}とV_{SS1}はボード上で安定しているところで1箇所、接続してください。

★ (13) AV_{DD}端子とAV_{SS}端子

ノイズによる変換誤差を小さく抑えるため、AV_{DD}端子とAV_{SS}端子の間にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AV_{DD}端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAV_{DD}端子とAV_{SS}端子の間にコンデンサを接続してください。コンデンサの接続例を図13-20に示します。

★

図13-20 AV_{DD} 端子とコンデンサの接続例



備考 C1 : 4.7 μ F ~ 10 μ F (参考値)

C2 : 0.01 μ F ~ 0.1 μ F (参考値)

C2は端子のできるだけ近くに接続してください。

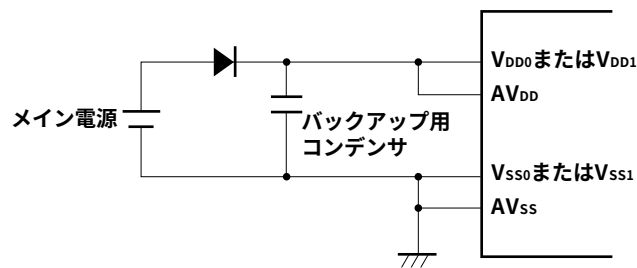
★

(14) AV_{DD} 端子

AV_{DD} 端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図13-21のように必ず V_{DD0} 端子または V_{DD1} 端子と同レベルの電位を印加してください。

図13-21 AV_{DD} 端子の処理



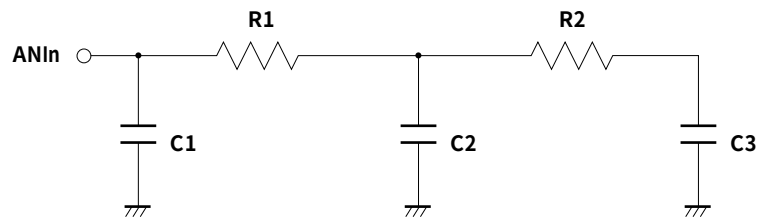
(15) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図13-22にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図13-23に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図13-22 ANI0-ANI7端子内部等価回路



備考 n = 0-7

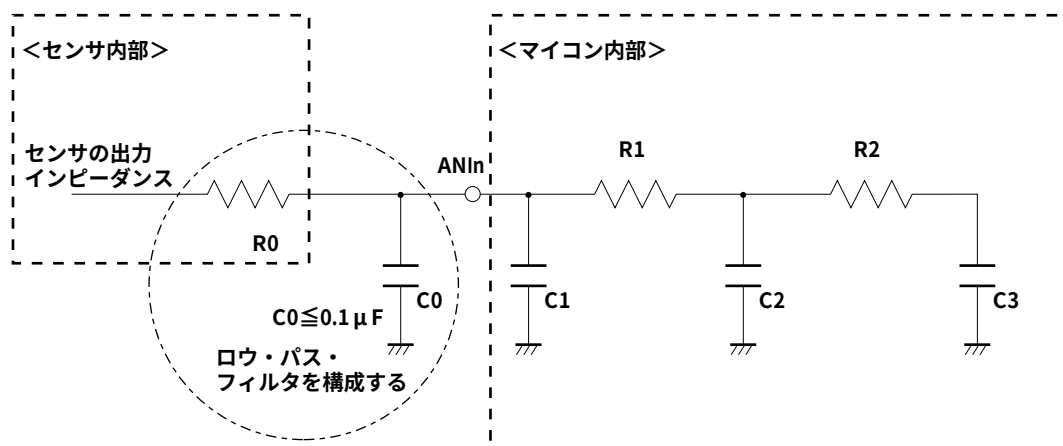
★

表13-3 等価回路の各抵抗と容量値 (参考値)

AV _{DD}	R1	R2	C1	C2	C3
2.7 V	12 kΩ	8 kΩ	8 pF	3 pF	2 pF
4.5 V	4 kΩ	2.7 kΩ	8 pF	1.4 pF	2 pF

注意 表13-3の各抵抗と容量値は保証値ではありません。

図13-23 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

第14章 シリアル・インタフェースSI03

14.1 シリアル・インタフェースSI03の機能

シリアル・インタフェースSI03には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については14.4.1 動作停止モードを参照してください。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCK3}}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

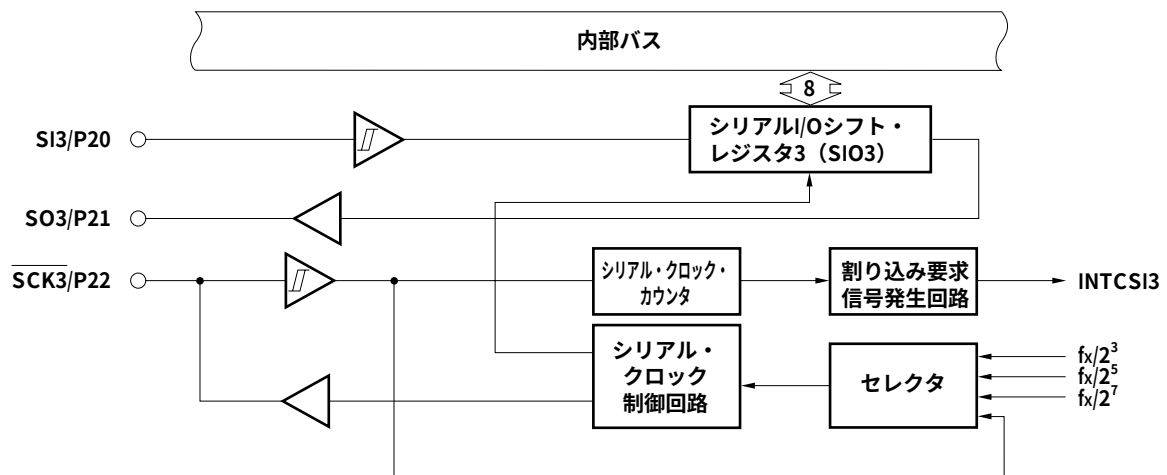
3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。詳細については14.4.2 3線式シリアルI/Oモードを参照してください。

図14-1に、シリアル・インタフェースSI03のブロック図を示します。

図14-1 シリアル・インタフェースSI03のブロック図



14.2 シリアル・インタフェースSIO3の構成

シリアル・インタフェースSIO3は、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースSIO3の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

(1) シリアルI/O シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

SIO3は、8ビット・メモリ操作命令で設定します。

RESET 入力により、不定になります。

注意 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0のときリード動作が、MODE = 1のときはライト動作が禁止となります)。

14.3 シリアル・インタフェースSIO3を制御するレジスタ

シリアル・インタフェースSIO3は、シリアル動作モード・レジスタ3（CSIM3）で制御します。

（1）シリアル動作モード・レジスタ3（CSIM3）

シリアル動作モード・レジスタ3（CSIM3）は、SIO3のシリアル・クロック、動作モード、動作の許可／停止を設定するレジスタです。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ（PMXX）を次のように設定してください。また、出力モード（PMXX = 0）に設定したポートの出力ラッチはそれぞれ0に設定してください。

シリアル・クロック出力時 （マスタ送信またはマスタ受信）	PM22 = 0 ; P22 ($\overline{\text{SCK3}}$) を出力モードに設定 P22 = 0 ; P22の出力ラッチを0に設定
シリアル・クロック入力時 （スレーブ送信またはスレーブ受信）	PM22 = 1 ; P22 ($\overline{\text{SCK3}}$) を入力モードに設定
送信／送受信モード	PM21 = 0 ; P21 (SO3) を出力モードに設定 P21 = 0 ; P21の出力ラッチを0に設定 PM20 = 1 ; P20 (SI3) を入力モードに設定
受信モード	PM20 = 1 ; P20 (SI3) を入力モードに設定

★

図14-2 シリアル動作モード・レジスタ3（CSIM3）のフォーマット

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3/P21端子の機能
0	送信／送受信モード	SIO3ライト	SO3
1	受信専用モード	SIO3リード	P21

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^3$ (1.25 MHz)
1	0	$f_x/2^5$ (312.5 kHz)
1	1	$f_x/2^7$ (78.125 kHz)

注1．CSIE3 = 0（SIO3動作停止状態）のときは、SI3, SO3, SCK3端子は、ポート機能として使用できません。

2．CSIE3 = 1（SIO3動作許可状態）のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

備考1． f_x ：メイン・システム・クロック発振周波数

2．（ ）内は、 $f_x = 10$ MHz動作時。

14.4 シリアル・インタフェースSIO3の動作

シリアル・インタフェースSIO3の持つ2種類のモードについて説明します。

14.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

注1. CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3, $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できます。

2. CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

14.4.2 3線式シリアル/Oモード

3線式シリアル/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK3}}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアル/Oモードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアル/Oモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

シリアル・クロック出力時 (マスタ送信またはマスタ受信)	PM22 = 0 ; P22 ($\overline{\text{SCK3}}$) を出力モードに設定 P22 = 0 ; P22の出力ラッチを0に設定
シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)	PM22 = 1 ; P22 ($\overline{\text{SCK3}}$) を入力モードに設定
送信／送受信モード	PM21 = 0 ; P21 (SO3) を出力モードに設定 P21 = 0 ; P21の出力ラッチを0に設定 PM20 = 1 ; P20 (SI3) を入力モードに設定
受信モード	PM20 = 1 ; P20 (SI3) を入力モードに設定

★

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3/P21端子の機能
0	送信／送受信モード	SIO3ライト	SO3
1	受信専用モード	SIO3リード	P21

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^3$ (1.25 MHz)
1	0	$f_x/2^5$ (312.5 kHz)
1	1	$f_x/2^7$ (78.125 kHz)

注1．CSIE3 = 0（SIO3動作停止状態）のときは、SI3, SO3, SCK3端子は、ポート機能として使用できます。

2．CSIE3 = 1（SIO3動作許可状態）のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

備考1． f_x ：メイン・システム・クロック発振周波数

2．（ ）内は、 $f_x = 10$ MHz動作時。

(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3（SIO3）のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSIO3ラッチに保持され、SIO3端子から出力されます。また、シリアル・クロックの立ち上がりで、SIO3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により、SIO3の動作は自動的に停止し、割り込み要求フラグ（CSIF3）がセットされます。

図14-3 3線式シリアルI/Oモードのタイミング

**(3) 転送スタート**

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3（SIO3）に転送データをセットする（またはリードする）ことで開始します。

- ・ SIO3の動作制御ビット（CSIE3） = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK3}}$ がハイ・レベルの状態
- ・ 送信／送受信モード
 - CSIE3 = 1, MODE = 0のとき、SIO3ライトで転送スタート
- ・ 受信専用モード
 - CSIE3 = 1, MODE = 1のとき、SIO3のリードで転送スタート

注意 SIO3にデータを書き込んだあと、CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ（CSIF3）がセットされます。

第15章 シリアル・インタフェースCSI1

15.1 シリアル・インタフェースCSI1の機能

シリアル・インタフェースCSI1には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK1) とシリアル・データ (SI1, SO1) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

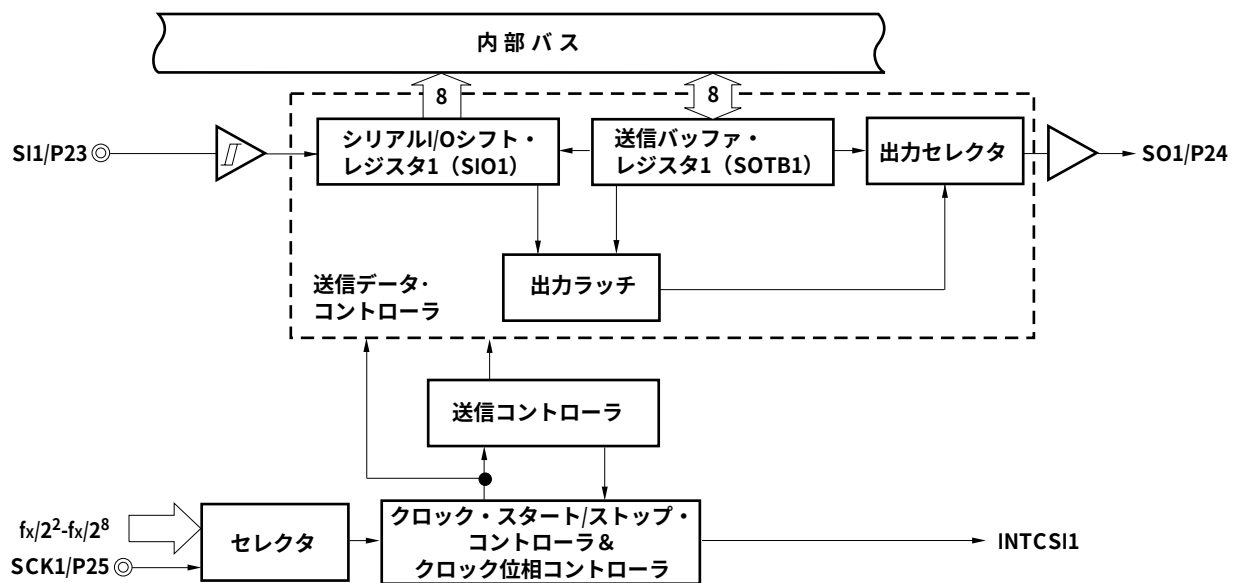
15.2 シリアル・インタフェースCSI1の構成

シリアル・インタフェースCSI1は、ハードウェアで構成しています。

表15-1 シリアル・インタフェースCSI1の構成

項 目	構 成
レジスタ	送信バッファ・レジスタ1 (SOTB1) シリアルI/Oソフト・レジスタ1 (SIO1)
制御レジスタ	シリアル動作モード・レジスタ1 (CSIM1) シリアル・クロック選択レジスタ1 (CSIC1)

図15-1 シリアル・インタフェースCSI1のブロック図

**(1) 送信バッファ・レジスタ1 (SOTB1)**

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1 (CSIM1) のビット6 (TRMD1) が1のとき、SOTB1にデータを書き込むことにより送受信動作が開始されます。

SOTB1に書き込まれたデータは、シリアルI/Oシフト・レジスタ1でパラレル・データからシリアル・データに変換され、シリアル出力 (SO1) に出力されます。

SOTB1は、8ビット・メモリ操作命令で書き込みと読み出しができます。

RESET入力により、不定になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、SOTB1へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ1 (SIO1)

パラレル-シリアルの変換を行う8ビットのレジスタです。

シリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が0のとき、SIO1からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1) からSIO1に読み込まれます。

SIO1は、8ビット・メモリ操作命令で読み出しができます。

RESET入力により、不定になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、SIO1へのアクセスは行わないでください。

15.3 シリアル・インタフェースCSI1を制御するレジスタ

シリアル・インタフェースCSI1は、次の2種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1 (CSIM1)
- ・シリアル・クロック選択レジスタ1 (CSIC1)

(1) シリアル動作モード・レジスタ1 (CSIM1)

動作モード，動作の許可／不許可を設定するレジスタです。

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図15-2 シリアル動作モード・レジスタ1 (CSIM1) のフォーマット

アドレス：FFB0H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアルI/Oモード時の動作の制御
0	動作停止 (SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能)
1	動作許可 (SI1/P23, SO1/P24, SCK1/P25端子は3線式シリアルI/Oモードで使用可能)

TRMD1 ^{注2}	送受信モードの制御
0 ^{注3}	受信モード (送信禁止)
1	送受信モード

DIR1 ^{注4}	先頭ビットの指定
0	MSB
1	LSB

CSOT1 ^{注5}	動作モード・フラグ
0	通信停止
1	通信中

注1．ビット0はRead Onlyです。

2．CSOT1 = 1 (シリアル通信中) のとき，TRMD1を書き換えな
いでください。

3．TRMD1が0のとき，SO1出力はロウ・レベルに固定されま
す。SI01からデータを読み出すと受信が開始します。

4．CSOT1 = 1 (シリアル通信中) のとき，上書きをしないでくだ
さい。

5．CSIE1を0 (動作停止) にセットすると，CSOT1はクリアさ
れます。

注意 ビット5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ1 (CSIC1)

データ・クロックの位相，転送クロックを設定するレジスタです。

CSIC1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，10Hになります。

図15-3 シリアル・クロック選択レジスタ1 (CSIC1) のフォーマット

アドレス：FFB1H リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10

CKP1	DAP1	データ・クロック位相の選択		タイプ
0	0	SCK1 SO1 SI1入力タイミング		1
0	1	SCK1 SO1 SI1入力タイミング		2
1	0	SCK1 SO1 SI1入力タイミング		3
1	1	SCK1 SO1 SI1入力タイミング		4

CKS12	CKS11	CKS10	CSI1の転送クロックの選択
0	0	0	$f_x/2^2$ (2.5 MHz)
0	0	1	$f_x/2^3$ (1.25 MHz)
0	1	0	$f_x/2^4$ (625 kHz)
0	1	1	$f_x/2^5$ (312.5 kHz)
1	0	0	$f_x/2^6$ (156.25 kHz)
1	0	1	$f_x/2^7$ (78.125 kHz)
1	1	0	$f_x/2^8$ (39.0625 kHz)
1	1	1	外部クロック

★

注意1．CSIE1 = 1（動作許可）のとき，またはP23/SI1，P24/SO1，P25/SCK1を汎用ポートとして使用する場合，CSIC1への書き込みを行わないでください。

2．リセット後のデータ・クロックの位相タイプは，タイプ3になります。

備考 () 内は $f_x = 10$ MHz動作時

15.4 シリアル・インタフェースCSI1の動作

シリアル・インタフェースCSI1は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P23/SI1, P24/SO1, P25/SCK1を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ1（CSIM1）で行います。

(a) シリアル動作モード・レジスタ1（CSIM1）

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアルI/Oモード時の動作の制御
0	動作停止（SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能）
1	動作許可（SI1/P23, SO1/P24, SCK1/P25端子は3線式シリアルI/Oモードで使用可能）

★

15.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック（SCK1），シリアル出力（SO1），シリアル入力（SI1）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1（CSIM1）とシリアル・クロック選択レジスタ（CSIC1）で行います。

(a) シリアル動作モード・レジスタ1 (CSIM1)

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアルI/Oモード時の動作の制御
0	動作停止 (SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能)
1	動作許可 (SI1/P23, SO1/P24, SCK1/P25端子は3線式シリアルI/Oモードで使用可能)

TRMD1 ^{注2}	送受信モードの制御
0 ^{注3}	受信モード (送信禁止)
1	送受信モード

DIR1 ^{注4}	先頭ビットの指定
0	MSB
1	LSB

CSOT1 ^{注5}	動作モード・フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- CSOT1 = 1 (シリアル通信中) のとき、TRMD1を書き換えな
いでください。
- TRMD1が0のとき、SO1出力はロウ・レベルに固定されま
す。SIO1からデータを読み出すと受信が開始します。
- CSOT1 = 1 (シリアル通信中) のとき、上書きをしないでくだ
さい。
- CSIE1を0 (動作停止) にセットすると、CSOT1はクリアさ
れます。

注意 ビット5には必ず0を設定してください。

(b) シリアル・クロック選択レジスタ1 (CSIC1)

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、10Hになります。

アドレス：FFB1H リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10

CKP1	DAP1	データ・クロック位相の選択		タイプ
0	0	SCK1 SO1 SI1入力タイミング		1
0	1	SCK1 SO1 SI1入力タイミング		2
1	0	SCK1 SO1 SI1入力タイミング		3
1	1	SCK1 SO1 SI1入力タイミング		4

CKS12	CKS11	CKS10	CSI1の転送クロックの選択
0	0	0	$f_x/2^2$ (2.5 MHz)
0	0	1	$f_x/2^3$ (1.25 MHz)
0	1	0	$f_x/2^4$ (625 kHz)
0	1	1	$f_x/2^5$ (312.5 kHz)
1	0	0	$f_x/2^6$ (156.25 kHz)
1	0	1	$f_x/2^7$ (78.125 kHz)
1	1	0	$f_x/2^8$ (39.0625 kHz)
1	1	1	外部クロック

★

注意1. CSIE1 = 1 (動作許可) のとき、またはP23/SI1, P24/SO1, P25/SCK1を汎用ポートとして使用する場合、CSIC1への書き込みを行わないでください。

2. リセット後のデータ・クロックの位相タイプは、タイプ3になります。

備考 () 内は $f_x = 10$ MHz動作時

(2) ポートの設定

① 送受信モード

(a) システム・クロック (SCK1) に外部入力クロックを使用する場合

{	ポート・モード・レジスタ2のビット3 (PM23)	: 1を設定
	" のビット4 (PM24)	: 0を設定
	" のビット5 (PM25)	: 1を設定
	ポート2のビット4 (P24)	: 0を設定

(b) システム・クロック (SCK1) に内部クロックを使用する場合

{	ポート・モード・レジスタ2のビット3 (PM23)	: 1を設定
	" のビット4 (PM24)	: 0を設定
	" のビット5 (PM25)	: 0を設定
	ポート2のビット4 (P24)	: 0を設定
	" のビット5 (P25)	: 0を設定

② 受信モード (送信禁止)

(a) システム・クロック (SCK1) に外部入力クロックを使用する場合

{	ポート・モード・レジスタ2のビット3 (PM23)	: 1を設定
	" のビット5 (PM25)	: 1を設定

(b) システム・クロック (SCK1) に内部クロックを使用する場合

{	ポート・モード・レジスタ2のビット3 (PM23)	: 1を設定
	" のビット5 (PM25)	: 0を設定
	ポート2のビット5 (P25)	: 0を設定

備考 送受信モードまたは受信モードの選択は、シリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) で設定します。

(3) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1 (SOTB1) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1 (SIO1) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM1のビット0 (CSOT1) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF1) がセットされ、CSOT1は0にクリアされます。そして次の通信が可能になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図15-4 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD1 = 1, DIR1 = 0, CKP1 = 0, DAP1 = 0)

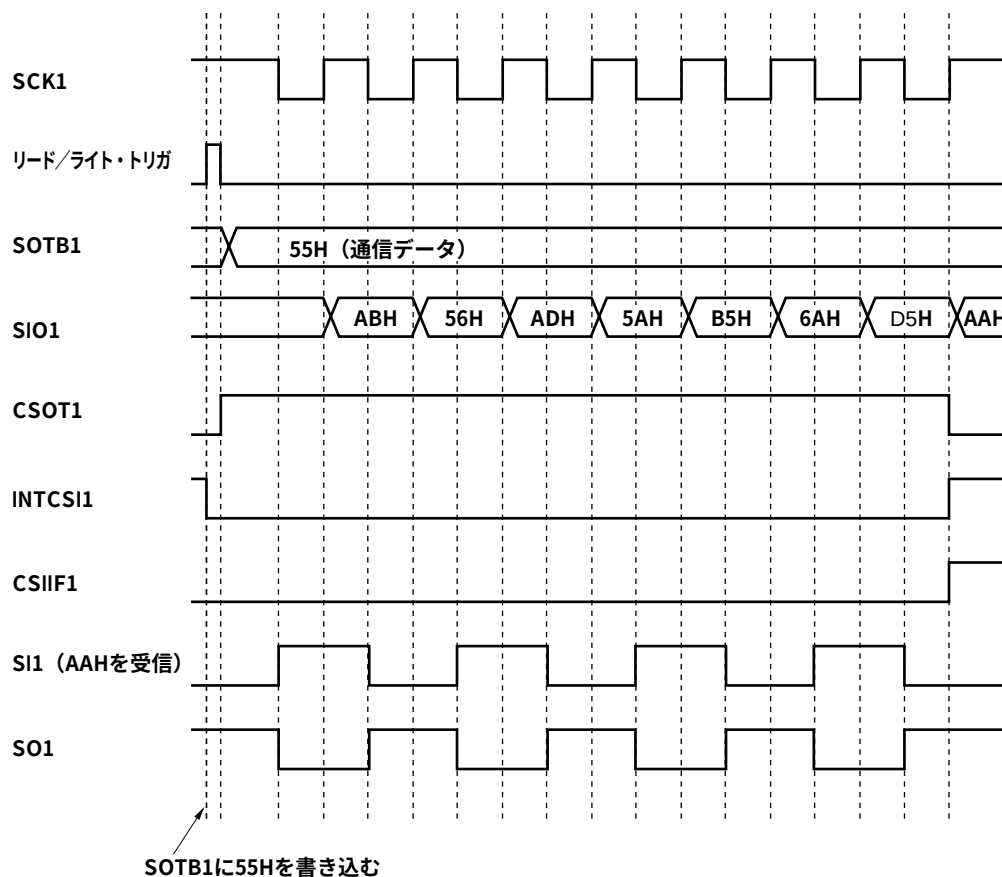


図15-4 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD1 = 1, DIR1 = 0, CKP1 = 0, DAP1 = 1)

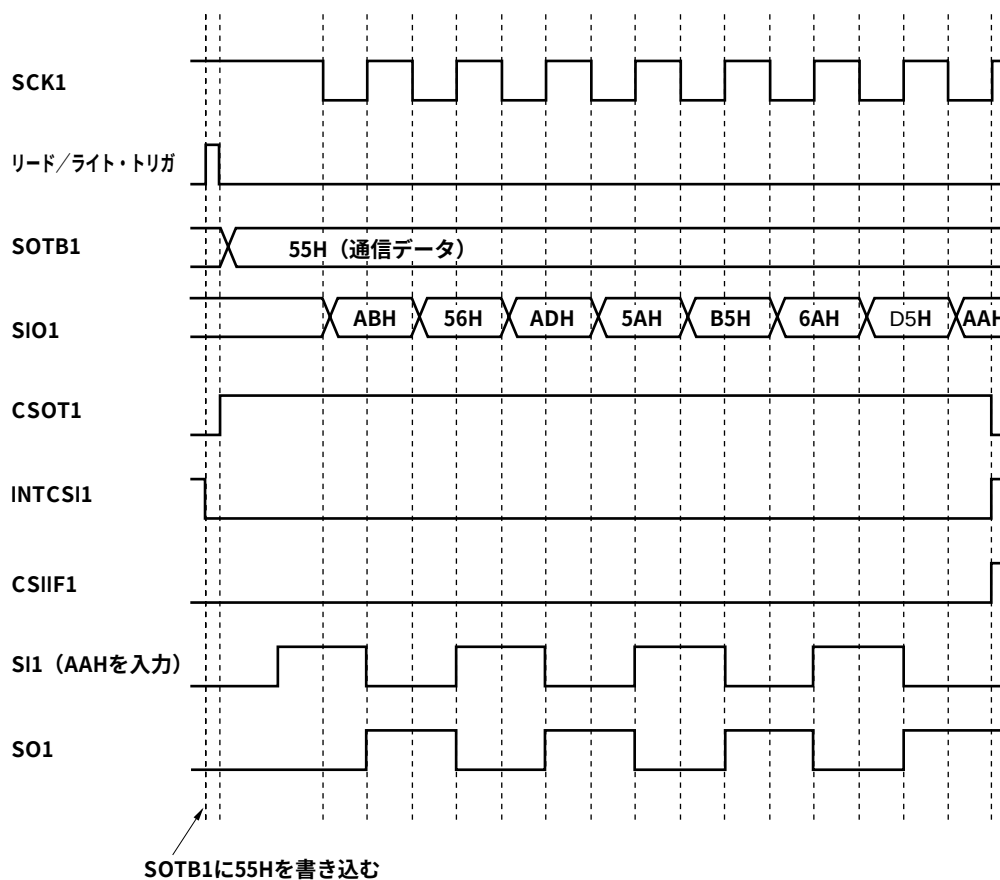
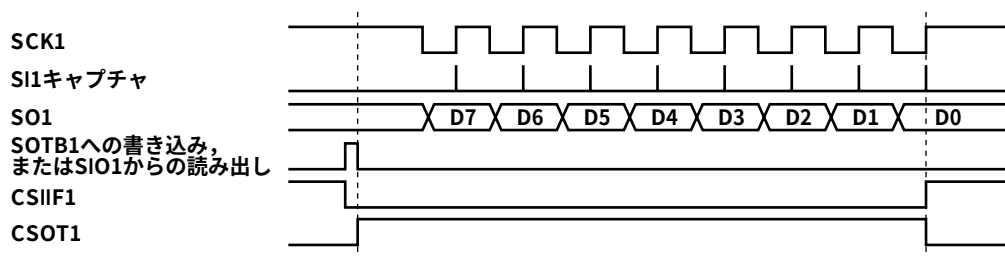
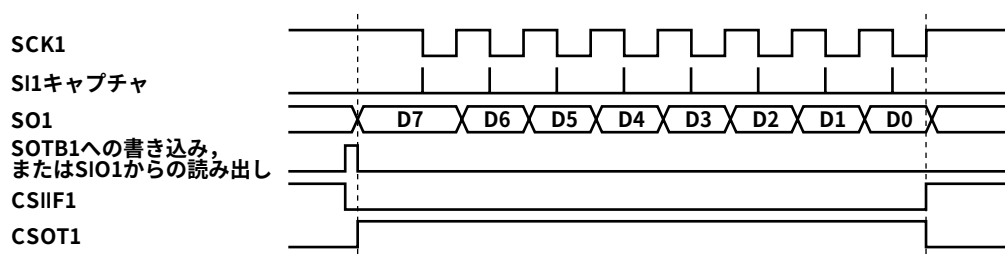


図15-5 クロック／データ位相のタイミング

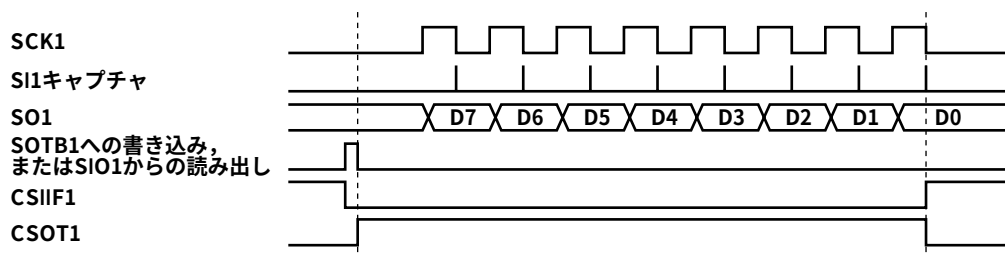
(a) タイプ1 ; CKP1 = 0, DAP1 = 0



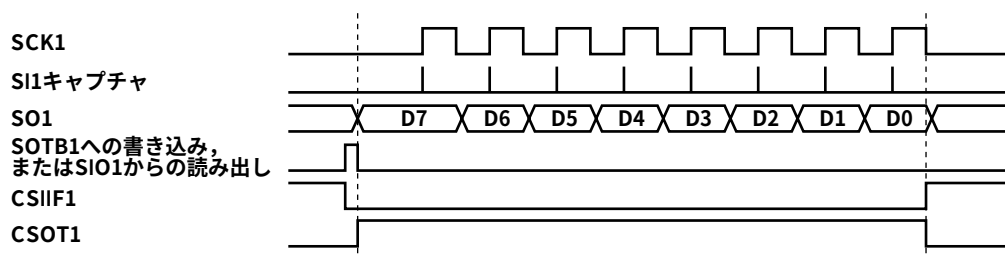
(b) タイプ2 ; CKP1 = 0, DAP1 = 1



(c) タイプ3 ; CKP1 = 1, DAP1 = 0



(d) タイプ4 ; CKP = 1, DAP1 = 1

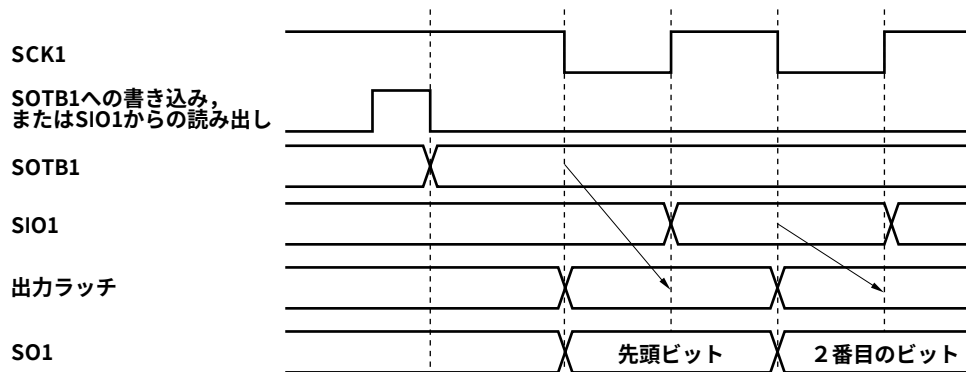


(4) SO1端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ 1 (SOTB1) の値は、SO1端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図15-6 先頭ビットの出力動作

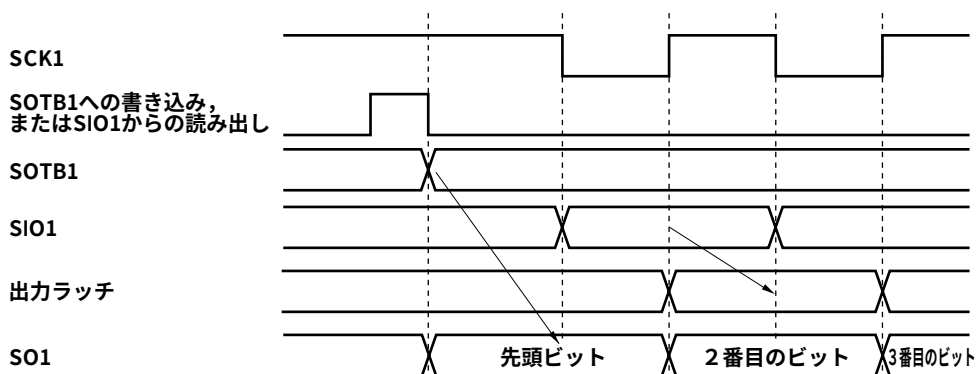
(1) CKP1 = 0, DAP1 = 0 (またはCKP1 = 1, DAP1 = 0)



先頭ビットは、SCK1の立ち下がり（または立ち上がり）エッジでSOTB1レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO1端子から出力されます。次のSCK1の立ち上がり（または立ち下がり）エッジでSOTB1レジスタの値がSIO1レジスタに転送され、1ビット分シフトします。同時にSIO1端子を通して、受信データの先頭ビットがSIO1レジスタに格納されます。

2番目のビット以降は、次のSCK1の立ち下がり（または立ち上がり）エッジでSIO1から出力ラッチにラッチされ、データがSO1端子から出力されます。

(2) CKP1 = 0, DAP1 = 1 (またはCKP1 = 1, DAP1 = 1)



先頭ビットは、SOTB1のライト信号またはSIO1レジスタのリード信号の立ち下がりエッジでSOTB1レジスタから直接、出力セレクタを通してSO1端子から出力されます。次のSCK1の立ち下がり（または立ち上がり）エッジでSOTB1レジスタの値がSIO1レジスタに転送され、1ビット分シフトします。同時にSIO1端子を通して、受信データの先頭ビットがSIO1レジスタに格納されます。

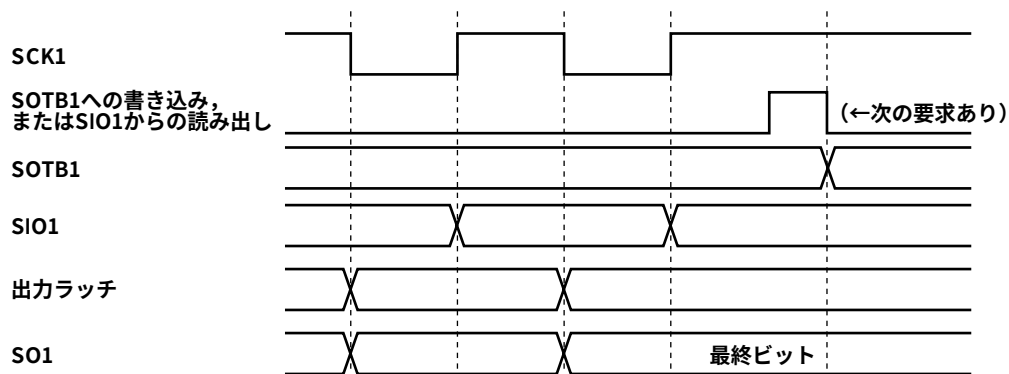
2番目のビット以降は、次のSCK1の立ち上がり（または立ち下がり）エッジでSIO1から出力ラッチにラッチされ、データがSO1端子から出力されます。

(5) S01端子の出力値（最終ビット）

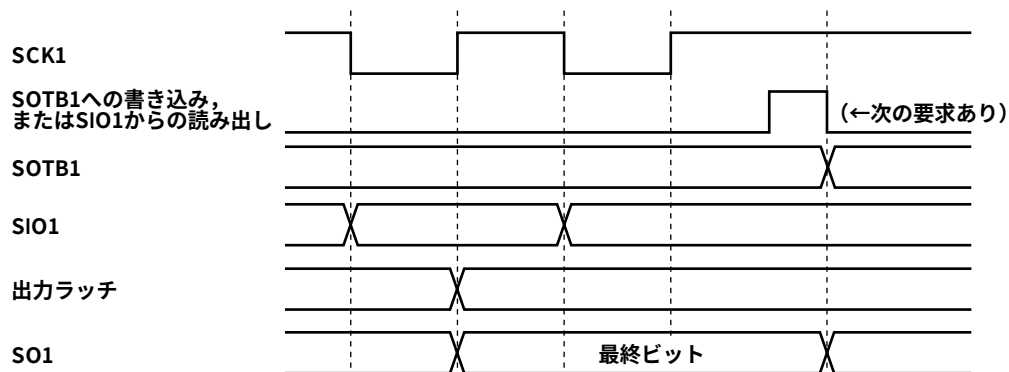
通信終了後，S01端子の出力は，最終ビットの出力値を保持します。

図15－7 S01端子の出力値（最終ビット）

(1) タイプ1；CKP1 = 0, DAP1 = 0（またはCKP1 = 1, DAP1 = 0）



(2) タイプ2；CKP1 = 0, DAP1 = 1（またはCKP1 = 1, DAP1 = 1）



第16章 シリアル・インタフェースUART0

16.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については**16.4.1 動作停止モード**を参照してください。

★ (2) アシンクロナス・シリアル・インタフェース (UART) モード (LSB先頭固定)

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

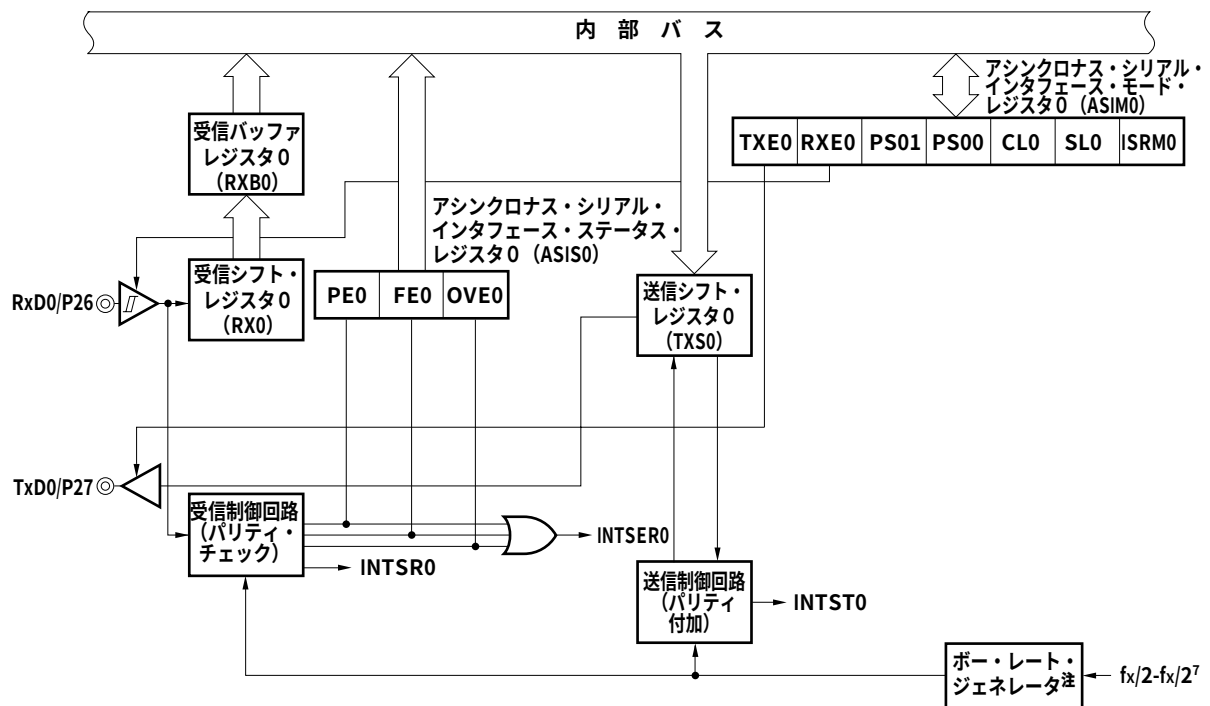
UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

詳細については**16.4.2 アシンクロナス・シリアル・インタフェース (UART) モード**を参照してください。

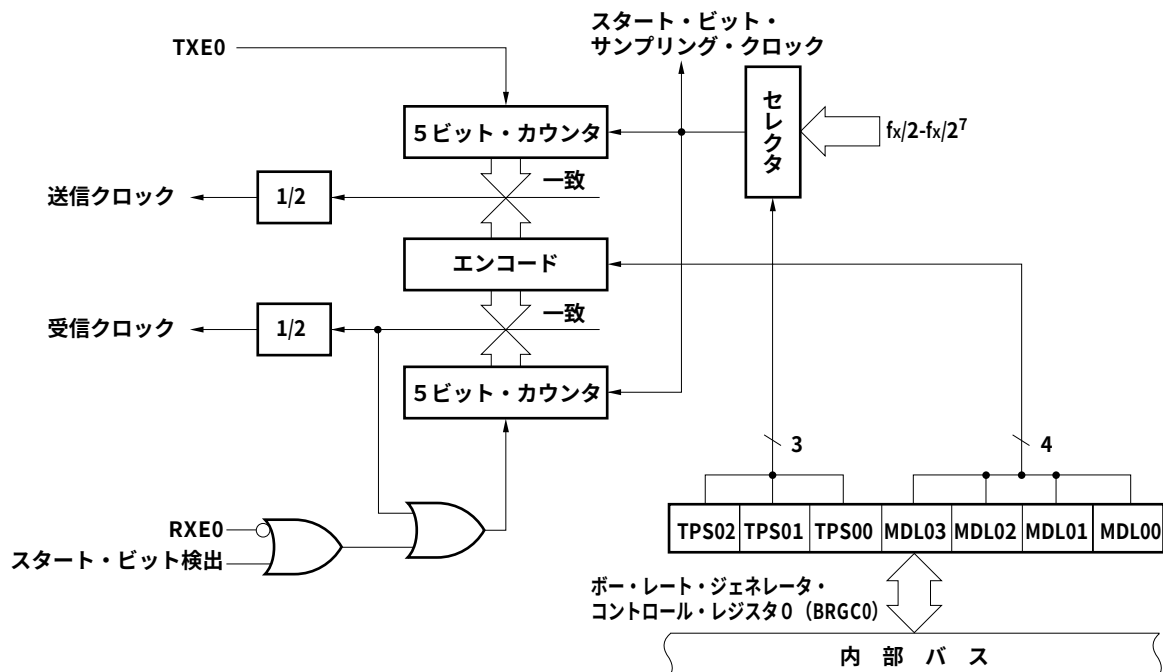
図16-1に、シリアル・インタフェースUART0のブロック図を示します。

図16-1 シリアル・インタフェースUART0のブロック図



注 ボー・レート・ジェネレータの構成は、図16-2を参照してください。

図16-2 ボー・レート・ジェネレータのブロック図



備考 TXE0：アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）のビット7

RXE0： // のビット6

16.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成されています。

表16-1 シリアル・インタフェース（UART0）の構成

項 目	構 成
レジスタ	送信シフト・レジスタ0（TXS0） 受信シフト・レジスタ0（RX0） 受信バッファ・レジスタ0（RXB0）
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0） アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0） ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）

（1）送信シフト・レジスタ0（TXS0）

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0に書き込んだデータのビット0-6が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0への書き込みを行わないでください。

TXS0と受信バッファ・レジスタ0（RXB0）は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0の値が読み出されます。

（2）受信シフト・レジスタ0（RX0）

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ0（RXB0）へ転送します。

RX0はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ0 (RXB0)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ (RX0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET 入力により、FFHになります。

注意 RXB0と送信シフト・レジスタ0 (TXS0) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

16.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図16-3にASIM0のフォーマットを示します。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

- ・受信時
P26 (RxD0) を入力モード (PM26 = 1) に設定
- ・送信時
P27 (TxD0) を出力モード (PM27 = 0) に設定
- ・送受信時
P26を入力モード、P27を出力モードにそれぞれ設定

図16-3 アシncロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマット

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P26端子の機能	TxD0/P27端子の機能
0	0	動作停止	ポート機能 (P26)	ポート機能 (P27)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P26)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

★ **注意** ASIM0を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

★ **2.** オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を読み出すまで、オーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-5にBRGC0のフォーマットを示します。

図16-5 ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

MDL03	MDL02	MDL01	MDL00	ポー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{sck} : 5ビット・カウンタのソース・クロック

3. n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)

4. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

5. ポー・レートの計算式

$$[\text{ポー・レート}] = \frac{f_x}{2^{n+1} (k+16)} [\text{Hz}]$$

★

16.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0の持つ2種類のモードについて説明します。

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P26端子の機能	TxD0/P27端子の機能
0	0	動作停止	ポート機能（P26）	ポート機能（P27）
0	1	UARTモード（受信のみ）	シリアル機能（RxD0）	
1	0	UARTモード（送信のみ）	ポート機能（P26）	シリアル機能（TxD0）
1	1	UARTモード（送受信）	シリアル機能（RxD0）	

★

注意 ASIM0を同一データ以外に書き換える場合は、いったん動作停止してから書き換えてください。

16.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) , アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) , ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

- ・受信時

P26 (RxD0) を入力モード (PM26 = 1) に設定

- ・送信時

P27 (TxD0) を出力モード (PM27 = 0) に設定

- ・送受信時

P26を入力モード, P27を出力モードにそれぞれ設定

アドレス：FFA0H リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0
-------	------	------	------	------	-----	-----	-------	---

TXE0	RXE0	動作モード	RxD0/P26端子の機能	TxD0/P27端子の機能
0	0	動作停止	ポート機能 (P26)	ポート機能 (P27)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P26)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

★ **注意** ASIM0を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

★

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を読み出すまで、オーバラン・エラーが発生し続けます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考**
- 1. f_x : メイン・システム・クロック発振周波数
 - 2. f_{sck} : 5ビット・カウンタのソース・クロック
 - 3. n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)
 - 4. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

・メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} (k+16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)

詳細は表16-2を参照してください。

k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

BRGC0のビット4-6 (TPS00-TPS02) に割り当てた5ビット・カウンタのソース・クロックと n の値との関係を表16-2に、メイン・システム・クロックとボー・レートの関係を表16-3に示します。

表16-2 5ビット・カウンタのソース・クロックと n の値との関係

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

備考 f_x : メイン・システム・クロック発振周波数

表16-3 メイン・システム・クロックとボー・レートの関係

★

ボー・レート [bps]	$f_x = 10 \text{ MHz}$		$f_x = 9.8304 \text{ MHz}$		$f_x = 8.3886 \text{ MHz}$		$f_x = 8 \text{ MHz}$	
	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)
600	—	—	—	—	—	—	—	—
1200	—	—	—	—	7BH	1.10	7AH	0.16
2400	70H	1.73	70H	0.00	6BH	1.10	6AH	0.16
4800	60H	1.73	60H	0.00	5BH	1.10	5AH	0.16
9600	50H	1.73	50H	0.00	4BH	1.10	4AH	0.16
19200	40H	1.73	40H	0.00	3BH	1.10	3AH	0.16
31250	34H	0.00	34H	−1.70	31H	−3.14	30H	0.00
38400	30H	1.73	30H	0.00	2BH	1.10	2AH	0.16
76800	20H	1.73	20H	0.00	1BH	1.10	1AH	0.16
115200	16H	−1.36	16H	−3.03	12H	1.10	11H	2.12
153600	10H	1.73	10H	0.00	—	—	—	—

ボー・レート [bps]	$f_x = 7.3728 \text{ MHz}$		$f_x = 5 \text{ MHz}$		$f_x = 4.194304 \text{ MHz}$	
	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)
600	—	—	—	—	7BH	1.14
1200	78H	0.00	70H	1.73	6BH	1.14
2400	68H	0.00	60H	1.73	5BH	1.14
4800	58H	0.00	50H	1.73	4BH	1.14
9600	48H	0.00	40H	1.73	3BH	1.14
19200	38H	0.00	30H	1.73	2BH	1.14
31250	2DH	1.69	24H	0.00	21H	−1.31
38400	28H	0.00	20H	1.73	1BH	1.14
76800	18H	0.00	10H	1.73	—	—
115200	10H	0.00	—	—	—	—
153600	—	—	—	—	—	—

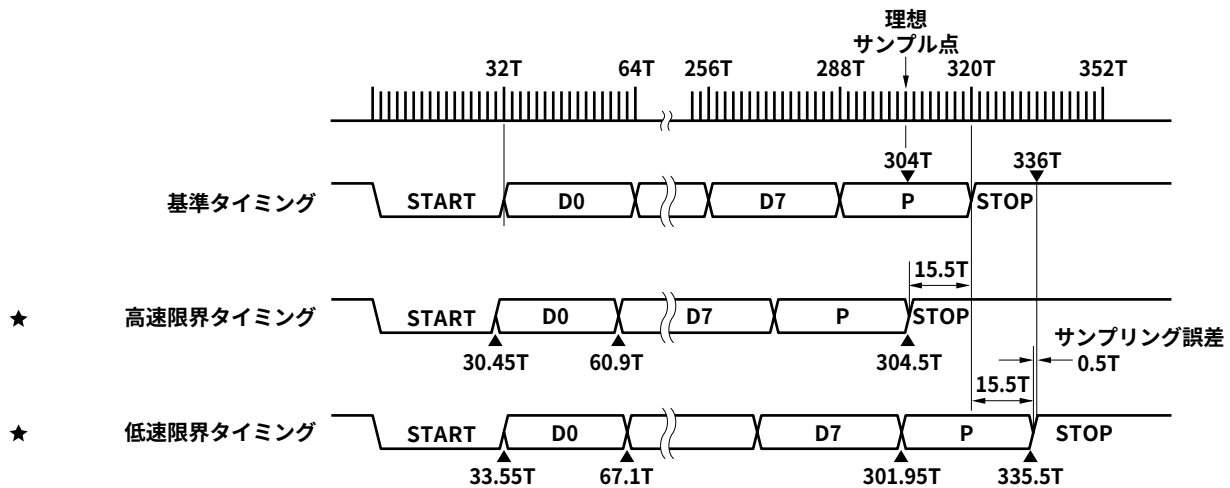
備考 f_x : メイン・システム・クロック発振周波数 n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$) k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は，1 フレームのビット数，およびカウンタの分周比 $[1/(16+k)]$ に依存します。

図16－6 にボー・レートの許容誤差の例を示します。

図16－6 サンプルング誤差を考慮したボー・レートの許容誤差 (k = 0の場合)



備考 T：5ビット・カウンタのソース・クロック周期

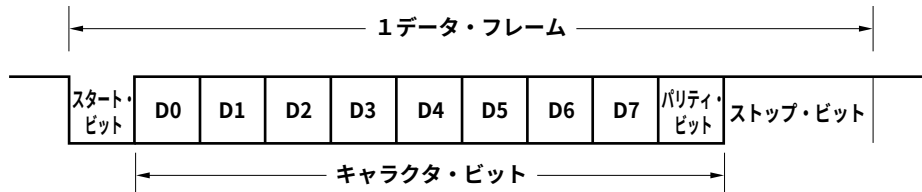
$$\text{ボー・レート許容誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図16-7に示します。

図16-7 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ★ ・スタート・ビット……1ビット
- ★ ・キャラクタ・ビット…7ビット／8ビット（先頭LSB）
- ★ ・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ★ ・ストップ・ビット……1ビット／2ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット（ビット0-6）のみが有効となり、送信の場合は最上位ビット（ビット7）は無視され、受信の場合は必ず最上位ビット（ビット7）は“0”になります。

- ★ シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）によって行います。

また、シリアル・データの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出できます。0パリティとパリティなしとは、誤りを検出できません。

★

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“ 1 ”のキャラクタ・ビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“ 1 ”のキャラクタ・ビットの数が奇数個： 1

送信データ中に、値が“ 1 ”のキャラクタ・ビットの数が偶数個： 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“ 1 ”のキャラクタ・ビットの数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

★

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“ 1 ”のキャラクタ・ビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“ 1 ”のキャラクタ・ビットの数が奇数個： 0

送信データ中に、値が“ 1 ”のキャラクタ・ビットの数が偶数個： 1

・受信時

パリティ・ビットを含めた受信データ中の、値が“ 1 ”のキャラクタ・ビットの数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“ 0 ”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“ 0 ”でも“ 1 ”でもパリティ・エラーが発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

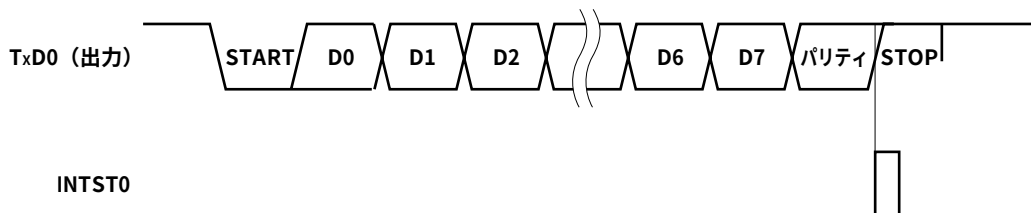
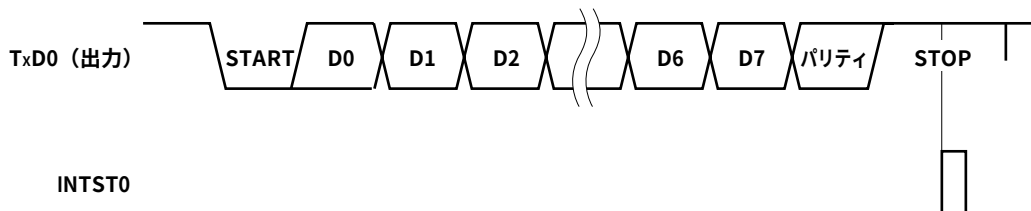
(c) 送 信

送信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）のビット7（TXE0）がセット（1）されると許可状態となり、送信シフト・レジスタ0（TXS0）に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS0内のデータがシフト・アウトされTXS0が空になると、送信完了割り込み要求（INTST0）が発生します。

送信完了割り込みのタイミングを図16-8に示します。

図16-8 アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

(i) ストップ・ビット長：1**(ii) ストップ・ビット長：2**

注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）を書き換えしないでください。送信中にASIM0レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります。（RESET入力により、正常になります）。

(d) 受 信

★

受信動作はレベル検出を行っています。

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット6 (RXE0) がセット (1) されると許可状態となり, RxD0端子入力のサンプリングを行います。

RxD0端子入力のサンプリングは, BRGC0で指定したシリアル・クロックで行います。

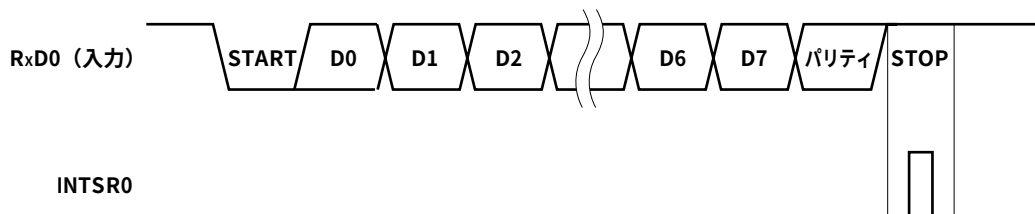
RxD0端子入力がロウ・レベルになると, ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し, INTSR0 (受信完了割り込み要求) を発生します。

なお, 受信動作中にRXE0ビットをリセット (0) すると, ただちに受信動作を停止します。このとき, RXB0およびASIS0の内容は変化せず, また, INTSR0, INTSER0 (受信エラー割り込み要求) も発生しません。

図16-9にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図16-9 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



★

注意 RxD0端子入力がロウ・レベルの状態を受信動作を許可すると, ただちに受信動作を開始してしまいますので, 必ずハイ・レベルにしてから受信動作を許可してください。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）内に立つと、受信エラー割り込み要求（INTSER0）が発生します。受信エラー割り込みは、受信完了割り込み要求（INTSR0）より先に発生します。受信エラー要因を表16-4に示します。

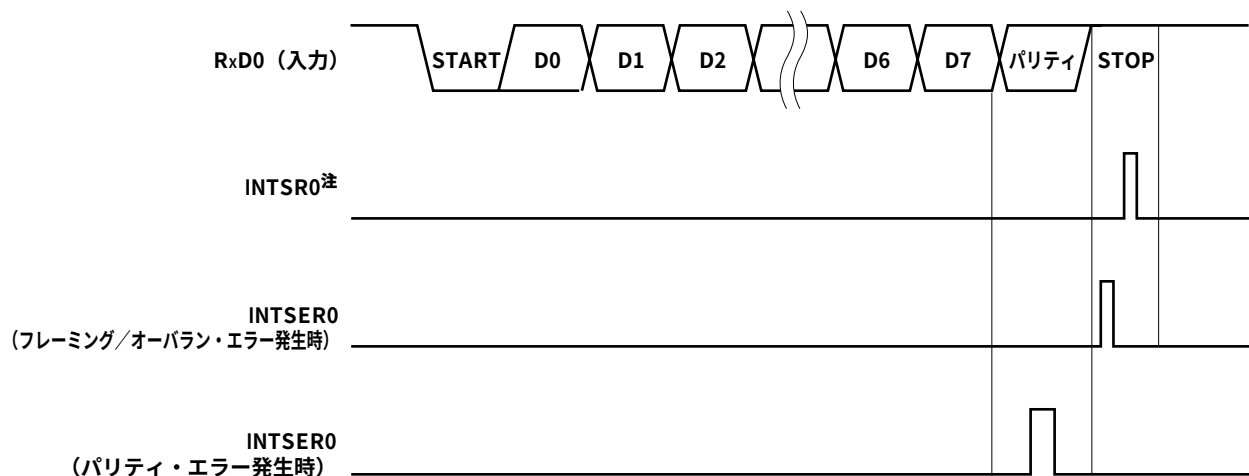
受信エラー割り込み処理（INTSER0）内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます（表16-4，図16-10参照）。

ASIS0の内容は、受信バッファ・レジスタ0（RXB0）を読み出すか、次のデータを受信することでリセット（0）されます（次のデータにエラーがあれば、そのエラー・フラグがセットされます）。

表16-4 受信エラーの要因

受信エラー	要 因	ASIS0の値
★ パリティ・エラー	パリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ0（RXB0）からデータを読み出す前に次のデータ受信完了	01H

図16-10 受信エラー・タイミング



★ 注 ISRM0ビットがセット（1）されている場合に受信エラーが発生しても、INTSR0は発生しません。

注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）の内容は、受信バッファ・レジスタ0（RXB0）を読み出すか、次のデータを受信することにより、リセット（0）されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。

★ 2. 受信エラー発生時にも、受信完了割り込み要求発生後に受信バッファ・レジスタ0（RXB0）を必ず読み出してください。受信完了割り込み要求発生後にRXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

第17章 シリアル・インタフェースIIC0 (μ PD780344Y,780354Yサブシリーズのみ)

17.1 シリアル・インタフェースIIC0の機能

シリアル・インタフェースIIC0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”, “データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

IIC0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図17-1に、シリアル・インタフェースIIC0のブロック図を示します。

図17-1 シリアル・インタフェースIIC0のブロック図

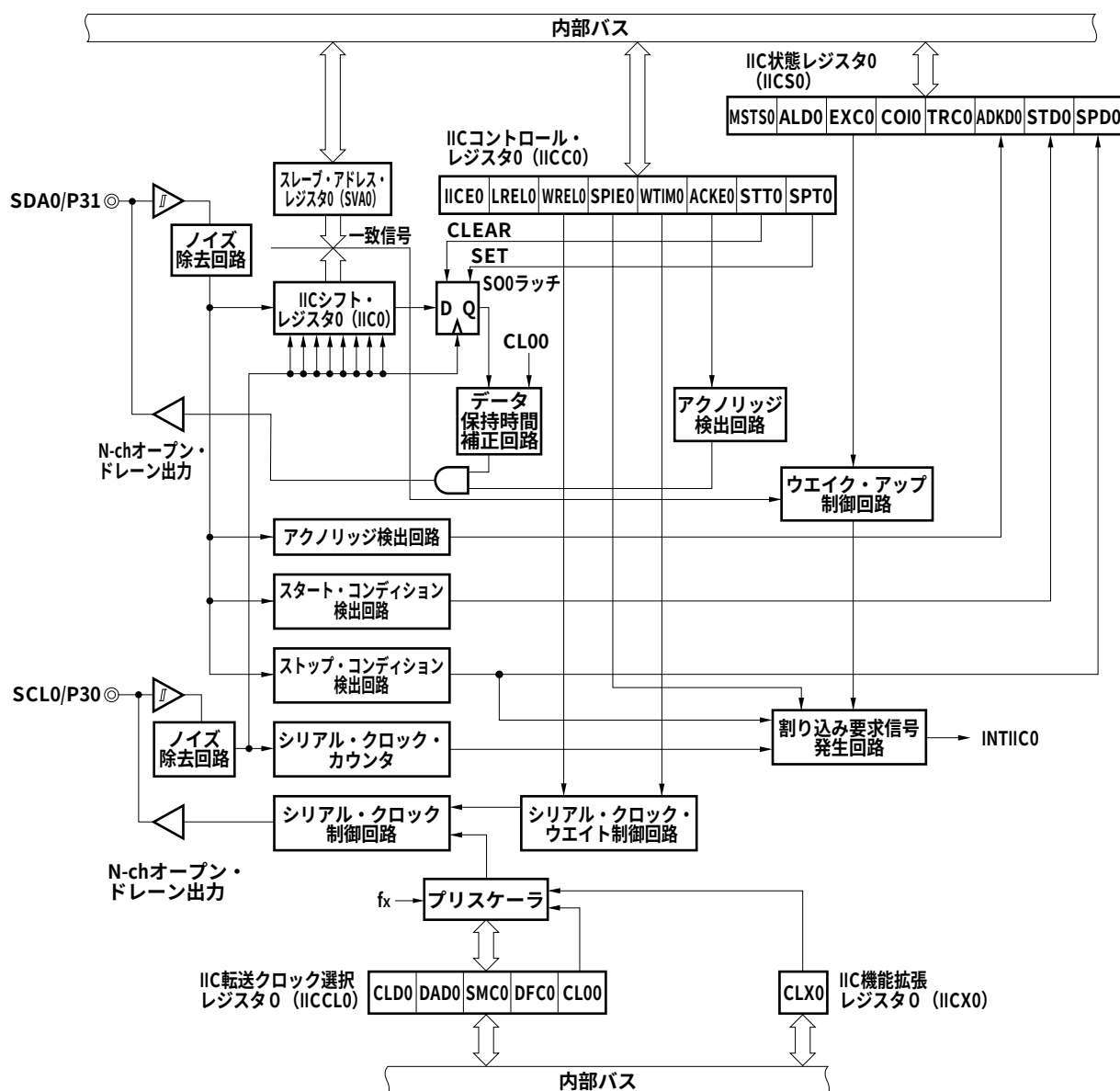
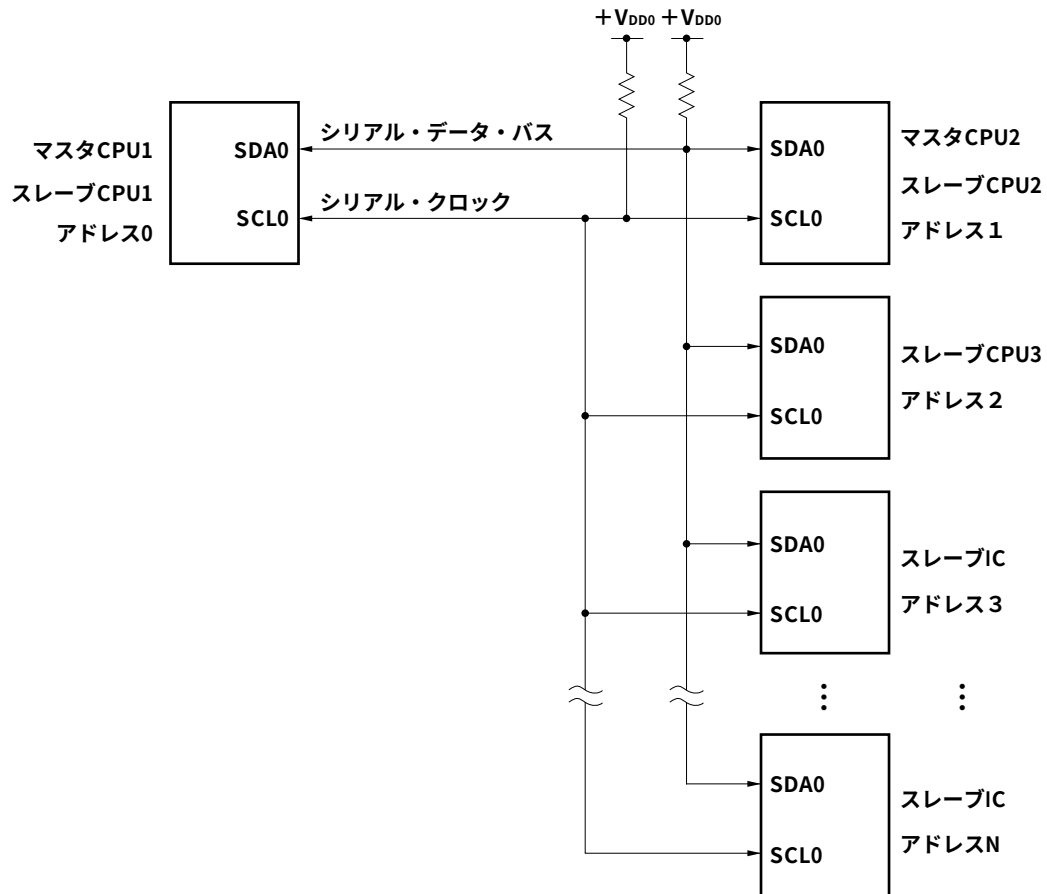


図17-2 にシリアル・バス構成例を示します。

図17-2 I²Cバスによるシリアル・バス構成例



17.2 シリアル・インタフェースIIC0の構成

シリアル・インタフェースIIC0は、次のハードウェアで構成されています。

表17-1 シリアル・インタフェースIIC0の構成

項 目	構 成
レジスタ	IICシフト・レジスタ0（IIC0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	IICコントロール・レジスタ0（IICC0） IIC状態レジスタ0（IICS0） IIC転送クロック選択レジスタ0（IICCL0） IIC機能拡張レジスタ0（IICX0）

★ (1) IICシフト・レジスタ0（IIC0）

IIC0は、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み／読み出しにより、実際の送受信動作が制御されます。

IIC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF1FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IIC0								

注意 データ転送中にIIC0ヘデータを書き込まないでください。

★ (2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFABH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SVA0								0 ^注

注 ビット0は0に固定されています。

(3) S00ラッチ

S00ラッチは、SDA0端子出力レベルを保持するラッチです。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

割り込み要求信号（INTIIC0）の発生を制御します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定※）
- ・ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定※）

(8) シリアル・クロック制御回路

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

各種制御信号の出力および検出を行います。

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

17.3 シリアル・インタフェースIIC0を制御するレジスタ

シリアル・インタフェースIIC0は、次の4種類のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IIC転送クロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)

(1) IICコントロール・レジスタ0 (IICC0)

I²Cの動作許可／禁止、ウェイト・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 I²Cバス・モード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

- ・ P31 (SDA0) を出力モード (PM31 = 0) に設定
- ・ P30 (SCL0) を出力モード (PM30 = 0) に設定

図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4)

★ アドレス：FFA4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

★

IICE0	IICの動作許可
0	動作停止。IIC状態レジスタ0 (IICS0) をリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICE0 = 0)	
・ 命令によるクリア ・ RESET入力時	
セットされる条件 (IICE0 = 1)	
・ 命令によるセット	

LREL0	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 ・ STD0 ・ ACKD0 ・ TRC0 ・ COI0 ・ EXC0 ・ MST0 ・ STT0 ・ SPT0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL0 = 0) 注	
・ 実行後、自動的にクリア ・ RESET入力時	
セットされる条件 (LREL0 = 1)	
・ 命令によるセット	

WREL0	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWREL0をセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WREL0 = 0) 注	
・ 実行後、自動的にクリア ・ RESET入力時	
セットされる条件 (WREL0 = 1)	
・ 命令によるセット	

SPIE0	ストップ・コンディション検出による割り込み要求発生許可／禁止
0	禁止
1	許可
クリアされる条件 (SPIE0 = 0) 注	
・ 命令によるクリア ・ RESET入力時	
セットされる条件 (SPIE0 = 1)	
・ 命令によるセット	

注 IICE0 = 0により、このフラグの信号を無効にします。

図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット (2/4)

WTIM0	ウェイトおよび割り込み要求発生制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合：8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合：9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件（WTIM0 = 0） 注	セットされる条件（WTIM0 = 1）
・ 命令によるクリア ・ RESET入力時	・ 命令によるセット

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXC0 = 1の場合は有効。	
クリアされる条件 (ACKE0 = 0) 注		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ RESET入力時		・ 命令によるセット

注 IICE0 = 0により、このフラグの信号を無効にします。

図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4)

STT0	スタート・コンディション・トリガ				
0	スタート・コンディションを生成しない。				
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0をロウ・レベルにする。 バスに参加していないとき： スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。				
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセットは禁止です。ACKE0 = 0 に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット可能です。 ・マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されないことがあります。ウェイト期間中にセットしてください。 ・SPT0と同時セットすることは禁止です。					
<table><tr><th>クリアされる条件（STT0 = 0）</th><th>セットされる条件（STT0 = 1）</th></tr><tr><td> ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0 = 1によるクリア ・IICE0 = 0のとき ・RESET入力時 </td><td> ・命令によるセット </td></tr></table>		クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）	・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0 = 1によるクリア ・IICE0 = 0のとき ・RESET入力時	・命令によるセット
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）				
・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0 = 1によるクリア ・IICE0 = 0のとき ・RESET入力時	・命令によるセット				

図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセットは禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット可能です。 ・マスタ送信の場合：ACK0期間中は、正常にストップ・コンディションが生成されないことがあります。ウェイト期間中にセットしてください。 ・STT0と同時にセットすることは禁止です。 ・SPT0のセットは、マスタのときのみ行ってください。 ^注 ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0をセットすると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。 9クロック目を出力する必要がある場合には、8クロック出力後のウェイト期間中にWTIM0 = 0→1に設定し、9クロック目出力後のウェイト期間中にSPT0をセットしてください。	
クリアされる条件 (SPT0 = 0)	セットされる条件 (SPT0 = 1)
・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0 = 1によるクリア ・IICE0 = 0のとき ・RESET入力時	・命令によるセット

注 SPT0のセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPT0をセットしてストップ・コンディションを生成する必要があります。詳細は、17.5.15 その他の注意事項を参照してください。

注意 IIC状態レジスタ0 (IICS0)のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセットしてウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考 1. STD0 : IIC状態レジスタ0 (IICS0) のビット1
 ACKD0 : " のビット2
 TRC0 : " のビット3
 COI0 : " のビット4
 EXC0 : " のビット5
 MSTS0 : " のビット7

2. ビット0, 1 (SPT0, STT0) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

IICのステータスを表すレジスタです。

IICS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-4 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

★ アドレス：FFA5H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0 = 0)	
・ストップ・コンディション検出時 ・ALD0 = 1のとき ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時	
セットされる条件 (MSTS0 = 1)	
・スタート・コンディション生成時	

ALD0	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0がクリアされる。
クリアされる条件 (ALD0 = 0)	
・IICS0読み出し後、自動的にクリア^注 ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時	
セットされる条件 (ALD0 = 1)	
・アービトレーションに負けたとき	

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC0 = 0)	
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時	
セットされる条件 (EXC0 = 1)	
・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）	

注 IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

図17-4 IIC状態レジスタ0（IICS0）のフォーマット（2/3）

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件（COI0 = 0）		セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・RESET入力時		・受信アドレスが自局アドレス（SVA0）と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出	
0	受信状態（送信状態以外）。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにS00ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。	
クリアされる条件（TRC0 = 0）		セットされる条件（TRC0 = 1）
<マスタ、スレーブ共通> ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・WREL0 = 1によるクリア^注 ・ALD0 = 0→1のとき ・RESET入力時 <マスタの場合> ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき <スレーブの場合> ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき 通信不参加の場合		<マスタの場合> ・スタート・コンディション生成時 <スレーブの場合> ・1バイト目のLSB（転送方向指定ビット）で“1”を入力したとき

ACKD0	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出する。	
クリアされる条件（ACKD0 = 0）		セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・RESET入力時		・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

注 IIC状態レジスタ0（IICS0）のビット3（TRC0）= 1のとき、9クロック目にIICコントロール・レジスタ0（IICC0）のビット5（WREL0）をセットしてウェイトを解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

(3) IIC転送クロック選択レジスタ0 (IICCL0)

I²Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-5 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット (1/2)

★ アドレス：FFA6H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	0	CL00

CLD0	SCL0ラインのレベル検出 (IICE0 = 1のときのみ有効)
0	SCL0ラインがロウ・レベルであることを検出
1	SCL0ラインがハイ・レベルであることを検出
クリアされる条件 (CLD0 = 0)	
・ SCL0ラインがロウ・レベルのとき ・ IICE0 = 0のとき ・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (CLD0 = 1)	
・ SCL0ラインがハイ・レベルのとき	

DAD0	SDA0ラインのレベル検出 (IICE0 = 1のときのみ有効)
0	SDA0ラインがロウ・レベルであることを検出
1	SDA0ラインがハイ・レベルであることを検出
クリアされる条件 (DAD0 = 0)	
・ SDA0ラインがロウ・レベルのとき ・ IICE0 = 0のとき ・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (DAD0 = 1)	
・ SDA0ラインがハイ・レベルのとき	

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作
クリアされる条件 (SMC0 = 0)	
・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (SMC0 = 1)	
・ 命令によるセット	

DFC0	デジタル・フィルタの動作の制御 ^{注2}
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

注1. ビット4, 5はRead Onlyです。

2. デジタル・フィルタは高速モード時に使用できます。デジタル・フィルタを使用すると反応は遅くなります。

備考 IICE0: IICコントロール・レジスタ0 (IICC0) のビット7

図17-5 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット (2/2)

CL00	転送レートの選択		
	標準モード	高速モード	
		CLX0 = 0	CLX0 = 1
0	$f_x/88$ (95.2 kHz) 注1	$f_x/48$ (175 kHz) 注3	$f_x/24$ (350 kHz) 注4
1	$f_x/172$ (48.7 kHz) 注2		

注1. $f_x = 4.0 \sim 8.38$ MHzの場合のみ使用できます。

2. $f_x = 8.38 \sim 10$ MHzの場合のみ使用できます。

3. $f_x = 8.0 \sim 10$ MHzの場合のみ使用できます。

4. $f_x = 8.0 \sim 8.38$ MHzの場合のみ使用できます。

注意 CL00を同一値以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. CLX0: IIC機能拡張レジスタ0 (IICX0) のビット0

2. f_x : メイン・システム・クロック発振周波数

3. () 内は, $f_x = 8.38$ MHz動作時

(4) IIC機能拡張レジスタ0 (IICX0)

I²Cの機能拡張を設定するレジスタです。

IICX0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図17-6 IIC機能拡張レジスタ0 (IICX0) のフォーマット

アドレス: FFA8H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
IICX0	0	0	0	0	0	0	0	CLX0

CLX0	高速モード時の転送レートの選択
0	$f_x/48$ (175 kHz) 注1
1	$f_x/24$ (350 kHz) 注2

注1. $f_x = 8.0 \sim 10$ MHzの場合のみ使用できます。

2. $f_x = 8.0 \sim 8.38$ MHzの場合のみ使用できます。

注意1. このレジスタは高速モード時のみ有効となります。標準モード時は無効です。

2. IICX0を同一値以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 8.38$ MHz動作時

17.4 I²Cバス・モードの機能

17.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0……シリアル・クロックを入出力するための端子。

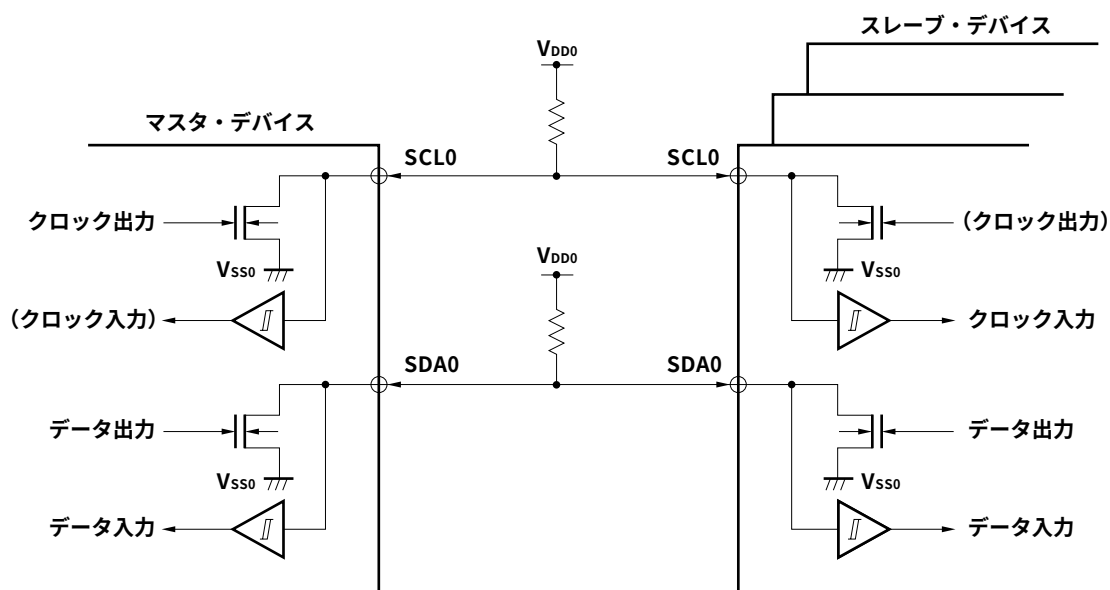
マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

(2) SDA0……シリアル・データの入出力兼用端子。

マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図17-7 端子構成図

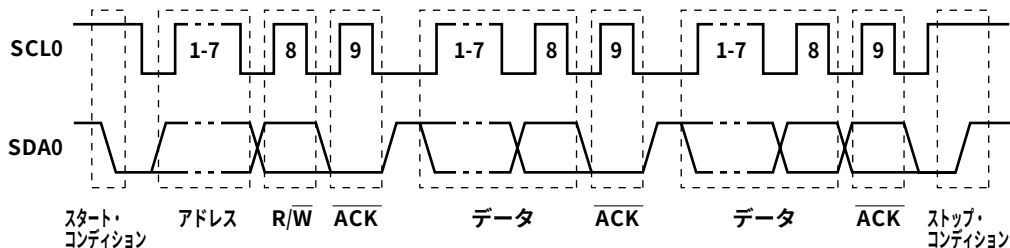


17.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”、“データ”および“ストップ・コンディション”の各転送タイミングを図17-8に示します。

図17-8 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

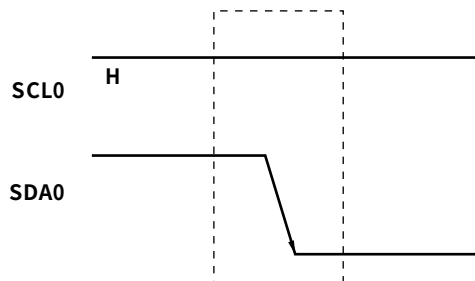
アクノリッジ信号 ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも出力できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

17.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出る信号です。スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図17-9 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0: IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICS0のビット1 (STD0) がセット (1) されます。

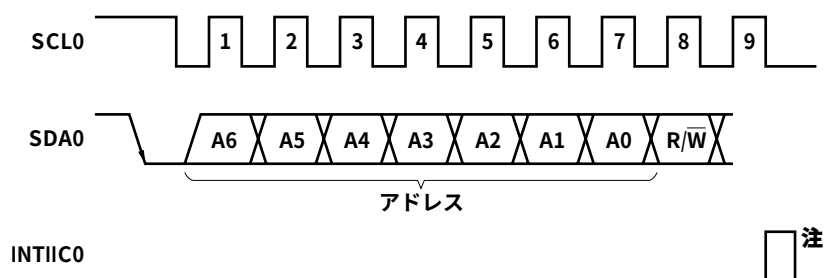
17.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図17-10 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと17.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

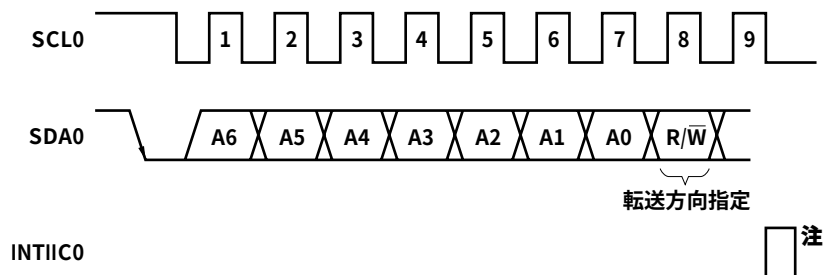
17.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17-11 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

17.5.4 アクノリッジ信号 (ACK)

アクノリッジ信号 ($\overline{\text{ACK}}$) は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたかを検出します。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。

受信側が9クロック目にSDA0ラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります（正常受信返答）。

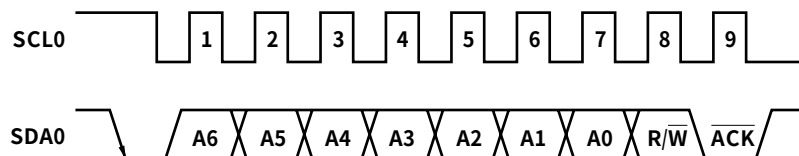
IICコントロール・レジスタ0 (IIC0) のビット2 (ACKE0) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタ0 (IIC0) のビット3 (TRC0) が設定されますが、TRC0ビットの値が“0”の場合は受信状態なので、ACKE0 = 1にしてください。

スレーブ受信動作時 (TRC0 = 0)，スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0 = 0にすると、マスタ側が次の転送を開始しないようにできます。

同様に、マスタ受信動作時 (TRC0 = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0 = 0にしてください。これは、スレーブ送信動作中に、SDA0ラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図17-12 アクノリッジ信号



自局アドレス受信時は、ACKE0の値にかかわらずSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ受信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

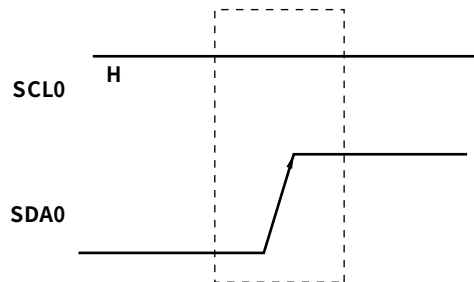
- ・ 8クロック・ウェイト選択時：ウェイトを解除する前にACKE0 = 1とすることでアクノリッジ信号を出力します。
- ・ 9クロック・ウェイト選択時：あらかじめACKE0 = 1とすることでSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

17.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図17-13 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

17.5.6 ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信のための準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図17-14 ウェイト信号 (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

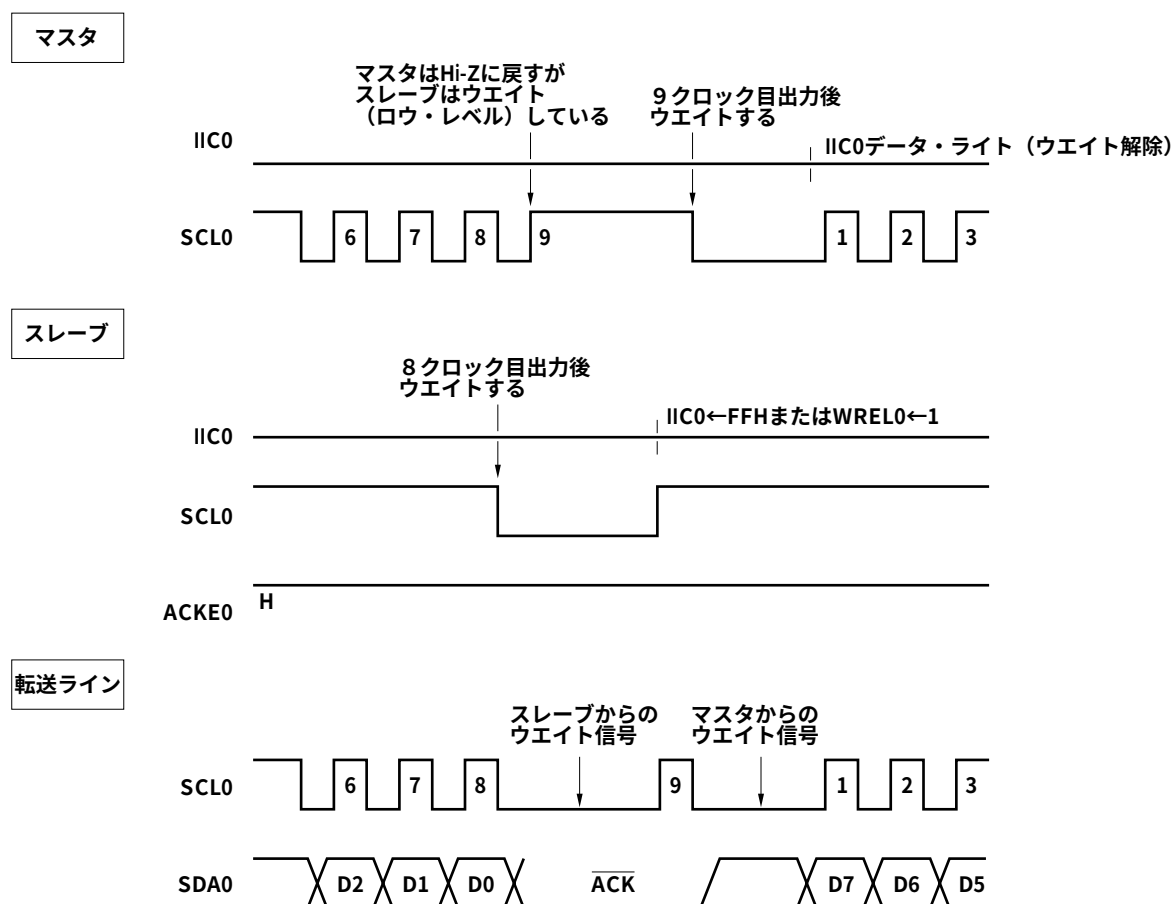
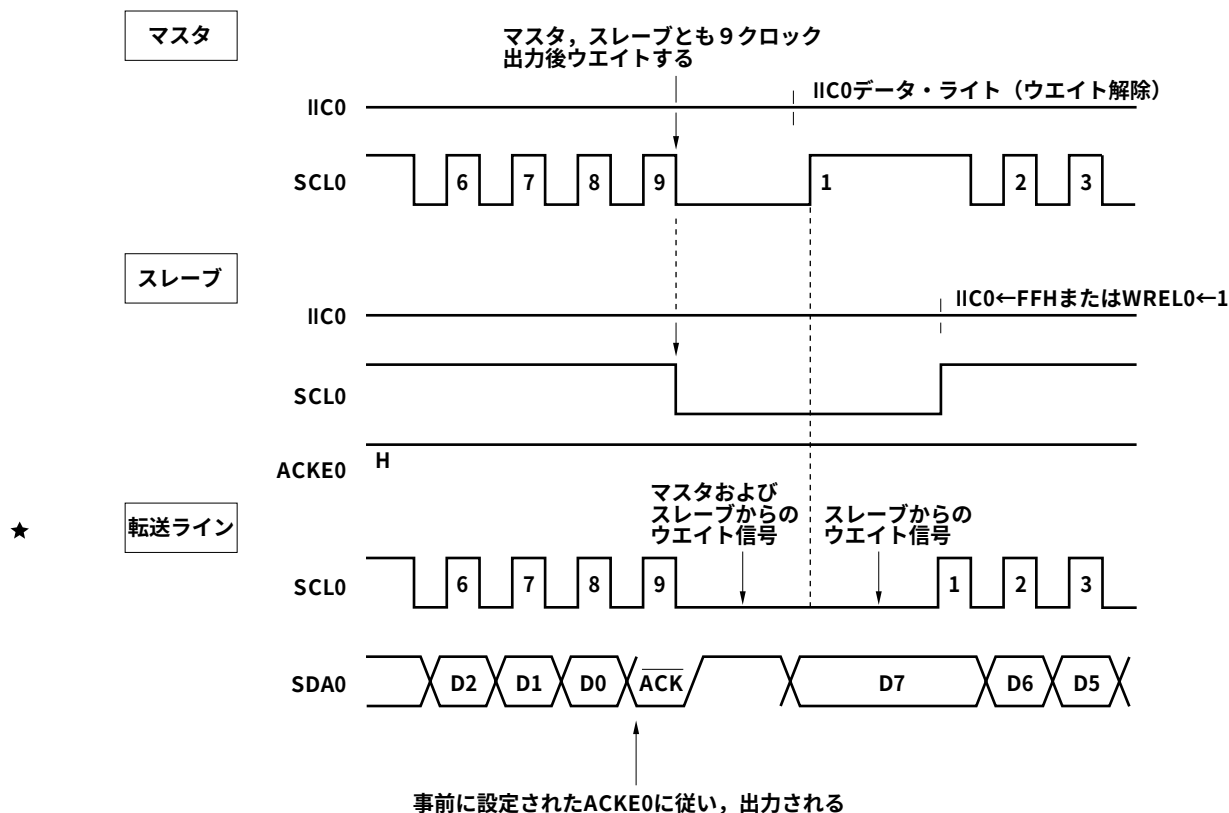


図17-14 ウェイト信号 (2/2)

(2) マスタ、スレーブとも9クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)



備考 ACKE0 : IICコントロール・レジスタ0 (IICC0) のビット2

WRELO : " のビット5

ウェイトは，IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定により自動的に発生します。
通常，受信側はIICC0のビット5 (WRELO) = 1またはIICシフト・レジスタ0 (IIC0) ← FFHライトにするとウェイトを解除し，送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は，次の方法でもウェイトを解除できます。

- IICC0のビット1 (STT0) = 1
- IICC0のビット0 (SPT0) = 1

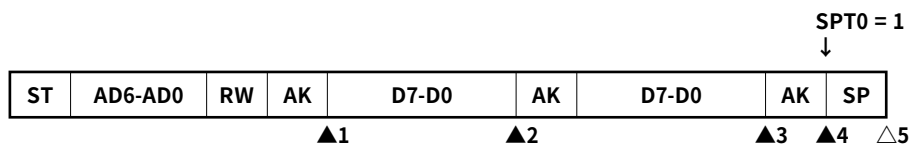
17.5.7 I²C割り込み要求 (INTIIC0)

以下に、INTIIC0割り込み要求発生タイミングと、INTIIC0割り込みタイミングでのIIC状態レジスタ0 (IICS0)の値を示します。

(1) マスタ動作

(a) Start～Address～Data～Data～Stop (通常送受信)

(i) WTIM0 = 0のとき



▲1 : IICS0 = 1000×110B

▲2 : IICS0 = 1000×000B

▲3 : IICS0 = 1000×000B (WTIM0をセット)

▲4 : IICS0 = 1000××00B (SPT0をセット)

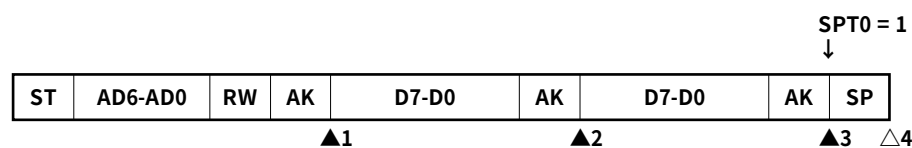
△5 : IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 1000×110B

▲2 : IICS0 = 1000×100B

▲3 : IICS0 = 1000××00B (SPT0をセット)

△4 : IICS0 = 00000001B

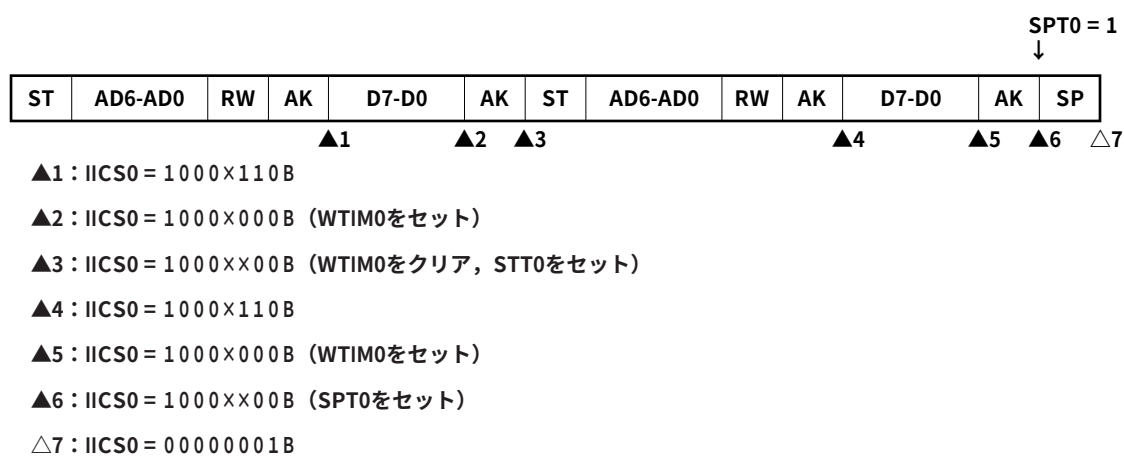
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start～Address～Data～Start～Address～Data～Stop (リスタート)

(i) WTIM0 = 0のとき

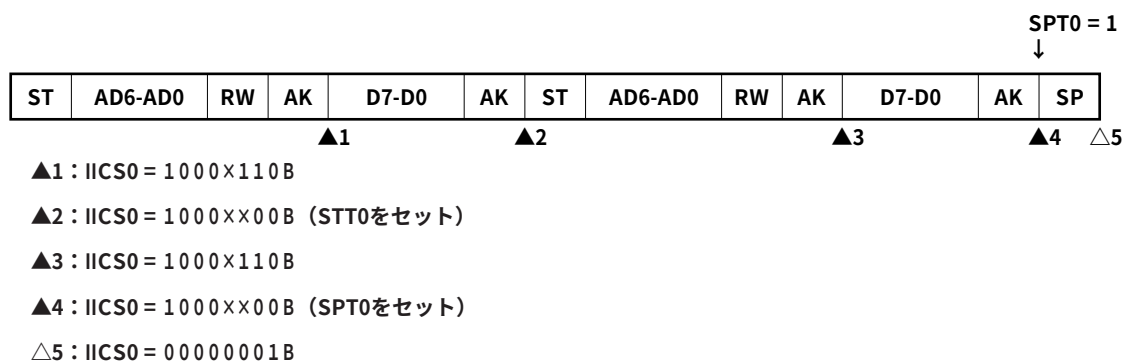


備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



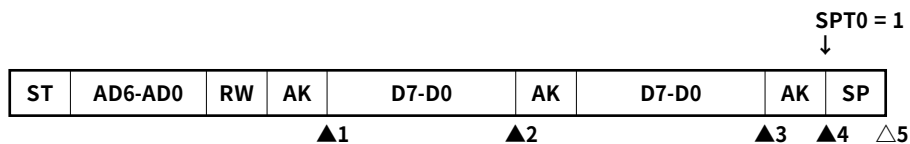
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) Start～Code～Data～Data～Stop (拡張コード送信)

(i) WTIM0 = 0のとき



▲1: IIC50 = 1010×110B

▲2: IIC50 = 1010×000B

▲3: IIC50 = 1010×000B (WTIM0をセット)

▲4: IIC50 = 1010××00B (SPT0をセット)

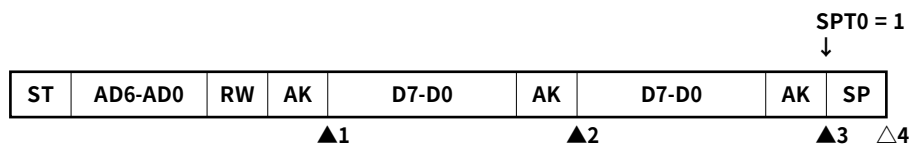
△5: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1: IIC50 = 1010×110B

▲2: IIC50 = 1010×100B

▲3: IIC50 = 1010××00B (SPT0をセット)

△4: IIC50 = 00001001B

備考 ▲ 必ず発生

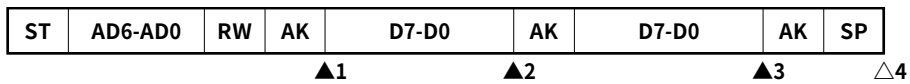
△ SPIE0 = 1のときだけ発生

× 任意

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(a) Start~Address~Data~Data~Stop

(i) WTIM0 = 0のとき



▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×000B

▲3: IICS0 = 0001×000B

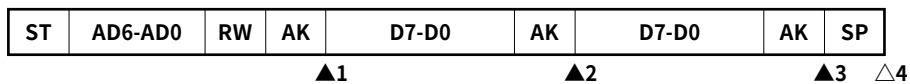
△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×100B

▲3: IICS0 = 0001××00B

△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×000B

▲3: IICS0 = 0001×110B

▲4: IICS0 = 0001×000B

△5: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001××00B

▲3: IICS0 = 0001×110B

▲4: IICS0 = 0001××00B

△5: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) Start～Address～Data～Start～Code～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IIC50 = 0001×110B

▲2: IIC50 = 0001×000B

▲3: IIC50 = 0010×010B

▲4: IIC50 = 0010×000B

△5: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3 ▲4		▲5	△6

▲1: IIC50 = 0001×110B

▲2: IIC50 = 0001××00B

▲3: IIC50 = 0010×010B

▲4: IIC50 = 0010×110B

▲5: IIC50 = 0010××00B

△6: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(d) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3			△4

▲1: IIC50 = 0001×110B

▲2: IIC50 = 0001×000B

▲3: IIC50 = 00000×10B

△4: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3			△4

▲1: IIC50 = 0001×110B

▲2: IIC50 = 0001××00B

▲3: IIC50 = 00000×10B

△4: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(3) スレーブ動作 (拡張コード受信時)

(a) Start~Code~Data~Data~Stop

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×000B

▲3: IIC50 = 0010×000B

△4: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1 ▲2		▲3		▲4	△5

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×110B

▲3: IIC50 = 0010×100B

▲4: IIC50 = 0010××00B

△5: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0001×110B

▲4: IICS0 = 0001×000B

△5: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1	▲2		▲3			▲4		▲5	△6

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×110B

▲3: IICS0 = 0010××00B

▲4: IICS0 = 0001×110B

▲5: IICS0 = 0001××00B

△6: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) Start～Code～Data～Start～Code～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×000B

▲3: IIC50 = 0010×010B

▲4: IIC50 = 0010×000B

△5: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			▲1	▲2		▲3			▲4	▲5		▲6	△7

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×110B

▲3: IIC50 = 0010××00B

▲4: IIC50 = 0010×010B

▲5: IIC50 = 0010×110B

▲6: IIC50 = 0010××00B

△7: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(d) Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3			△4

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×000B

▲3: IIC50 = 00000×10B

△4: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

★

(ii) WTIM0 = 1のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1	▲2		▲3						△4

▲1: IIC50 = 0010×010B

▲2: IIC50 = 0010×110B

▲3: IIC50 = 0010××00B

△4: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

（４）通信不参加の動作

（a）Start～Code～Data～Data～Stop

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

△1

△1：IICS0 = 00000001B

備考 △ SPIE0 = 1のときだけ発生

（５）アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

▲1

▲2

▲3

△4

▲1：IICS0 = 0101×110B（例 割り込み処理中にALD0をリード）

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

△4：IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS0 = 0101×110B (例 割り込み処理中にALD0をリード)

▲2: IICS0 = 0001×100B

▲3: IICS0 = 0001××00B

△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS0 = 0110×010B (例 割り込み処理中にALD0をリード)

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0010×000B

△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1 ▲2		▲3		▲4	△5

▲1: IIC50 = 0110×010B (例 割り込み処理中にALD0をリード)

▲2: IIC50 = 0010×110B

▲3: IIC50 = 0010×100B

▲4: IIC50 = 0010××00B

△5: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1のとき)

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

▲1: IIC50 = 01000110B (例 割り込み処理中にALD0をリード)

△2: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

▲1: IIC50 = 0110×010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

△2: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2			△3

▲1: IIC50 = 10001110B

▲2: IIC50 = 01000000B (例 割り込み処理中にALD0をリード)

△3: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2			△3

▲1: IIC S0 = 10001110B

▲2: IIC S0 = 01000100B (例 割り込み処理中にALD0をリード)

△3: IIC S0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致, WTIM0 = 1)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1					▲2			△3

▲1: IIC S0 = 1000×110B

▲2: IIC S0 = 01000110B (例 割り込み処理中にALD0をリード)

△3: IIC S0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(ii) 拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
▲1				▲2				△3			

▲1: IIC50 = 1000×110B

▲2: IIC50 = 0110×010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

△3: IIC50 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	RW	AK	D7-Dn	SP
▲1				△2	

▲1: IIC50 = 1000×110B

△2: IIC50 = 01000001B

備考 ▲ 必ず発生

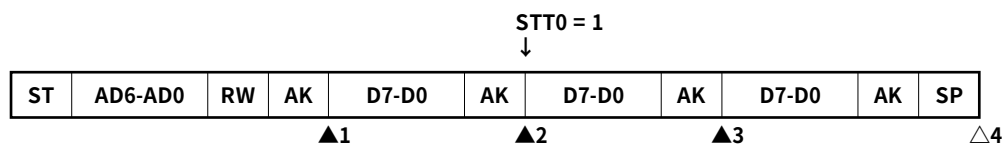
△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 1のとき



▲1 : IIC50 = 1000×110B

▲2 : IIC50 = 1000×100B (STT0をセット)

▲3 : IIC50 = 01000100B (例 割り込み処理中にALD0をリード)

△4 : IIC50 = 00000001B

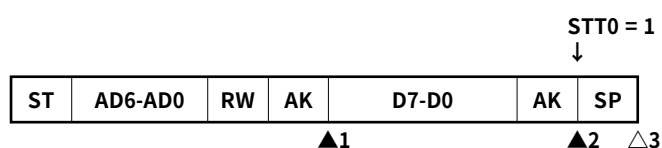
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 1のとき



▲1 : IIC50 = 1000×110B

▲2 : IIC50 = 1000××00B (STT0をセット)

△3 : IIC50 = 01000001B

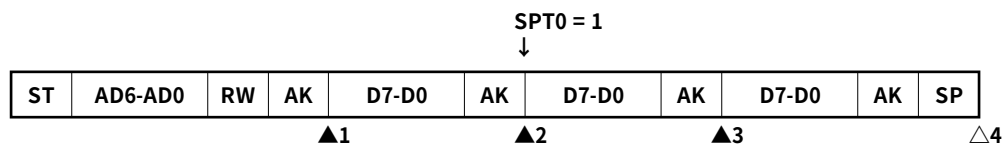
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 1のとき



▲1 : IICS0 = 1000×110B

▲2 : IICS0 = 1000××00B (SPT0をセット)

▲3 : IICS0 = 01000000B (例 割り込み処理中にALD0をリード)

△4 : IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

17.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表17-2に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表17-2 INTIIC0発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、 $\overline{ACK}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。

★ ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIIC0が発生しますが、ウェイトは発生しません。

★ 2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ★ ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) =1
- ・IICシフト・レジスタ0 (IIC0) のライト動作
- ・スタート・コンディションのセット (IICC0) のビット1 (STT0) =1^注
- ・ストップ・コンディションのセット (IICC0) のビット0 (SPT0) =1^注

★

注 マスタのみ

8クロック・ウェイト選択 (WTIM0=0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します。

17.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

17.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

17.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ（EXC0）をセットし、8クロック目の立ち下がりで割り込み要求（INTIIC0）を発生します。

スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVA0に“111110××”を設定し、マスタから“111110××”が転送されてきた場合は、次のようになります。ただし割り込み要求（INTIIC0）は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXC0 = 1^注

・7ビット・データの一致 ：COI0 = 1^注

注 EXC0：IIC状態レジスタ0（IICS0）のビット5

COI0： // のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0（IICC0）のビット6（LREL0）= 1に設定することで次の通信待機状態にします。

表17-3 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0××	×	10ビット・スレーブ・アドレス指定

17.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STD0 = 1になる前にSTT0 = 1にしたとき^注），データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IIC状態レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し、SCL0, SDA0ラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては、17.5.7 I²C割り込み要求（INTIIC0）を参照してください。

注 STD0：IIC状態レジスタ0（IICS0）のビット1

STT0：IICコントロール・レジスタ0（IICC0）のビット1

図17-15 アービトレーション・タイミング例

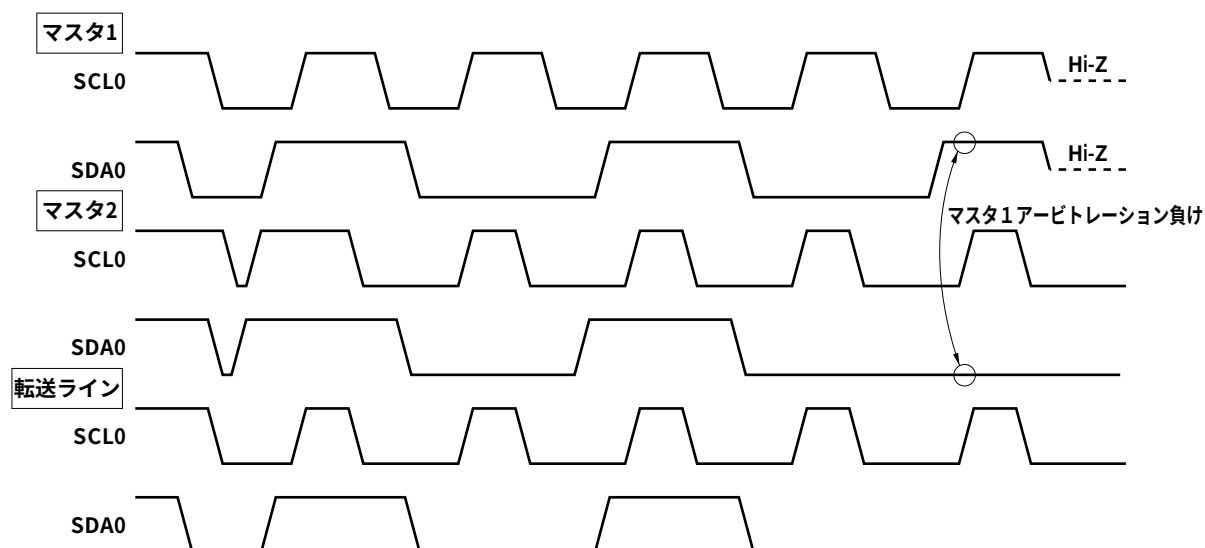


表17-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション出力時（SPIE0 = 1時） ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時（SPIE0 = 1時） ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL0がロウ・レベル	

注1．WTIM0（IICコントロール・レジスタ0（IICC0）のビット3）= 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2．アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

★ 備考 SPIE0：IICコントロール・レジスタ0（IICC0）のビット4

17.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求（INTIIC0）を発生する機能です。

アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを出力した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

★ ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICコントロール・レジスタ0（IICC0）のビット4（SPIE0）の設定によって、割り込み要求の発生許可／禁止が決定します。

17.5.14 通信予約

バスに不参加の状態では、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（ACKを返さず、IICコントロール・レジスタ0（IICC0）のビット6（LRELO）＝1でバスを解放した）とき

バスに不参加の状態では、IICC0のビット1（STT0）をセット（1）すると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。バスの解放を検出（ストップ・コンディション検出）すると、IICシフト・レジスタ0（IIC0）ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0のビット4（SPIE0）をセット（1）しておいてください。

STT0をセット（1）したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するかどうかは、STT0をセットし、ウェイト時間をとったあと、MSTS0（IIC状態レジスタ0（IICS0）のビット7）で確認します。

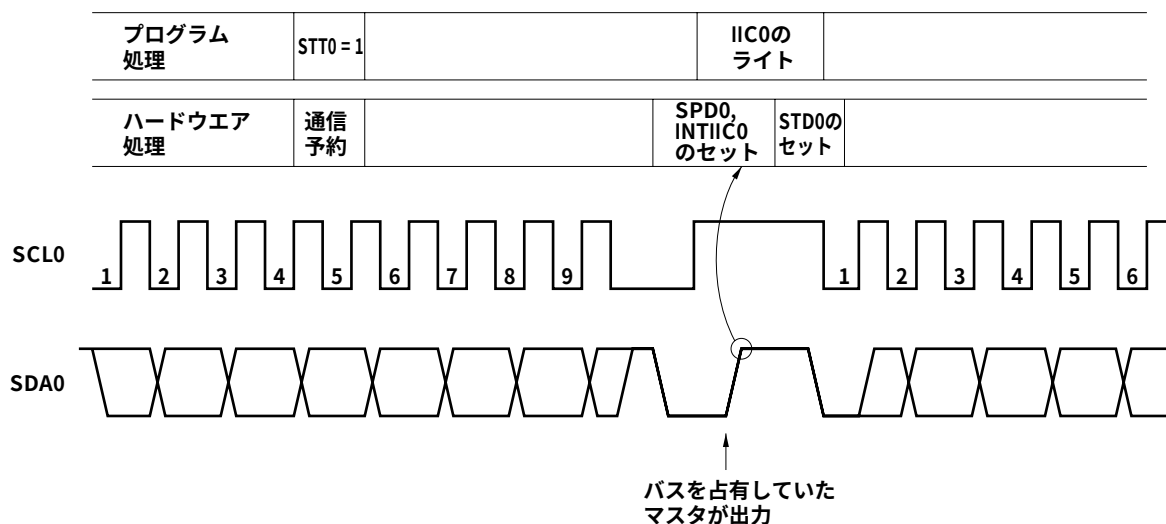
ウェイト時間は、表17-5に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIIC転送クロック選択レジスタ0（IICCL0）のビット3,0（SMC0, CL00）により設定できます。

表17-5 ウェイト時間

SMC0	CL00	ウェイト時間
0	0	26クロック
0	1	46クロック
1	0	16クロック
1	1	

通信予約のタイミングを図17-16に示します。

図17-16 通信予約のタイミング



備考 IIC0 : IICシフト・レジスタ0

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

STD0 : IIC状態レジスタ0 (IICS0) のビット1

SPD0 : // のビット0

通信予約は次のタイミングで受け付けられます。IIC状態レジスタ0 (IICS0) のビット1 (STD0) = 1 になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) = 1 で通信予約をします。

図17-17 通信予約受け付けタイミング

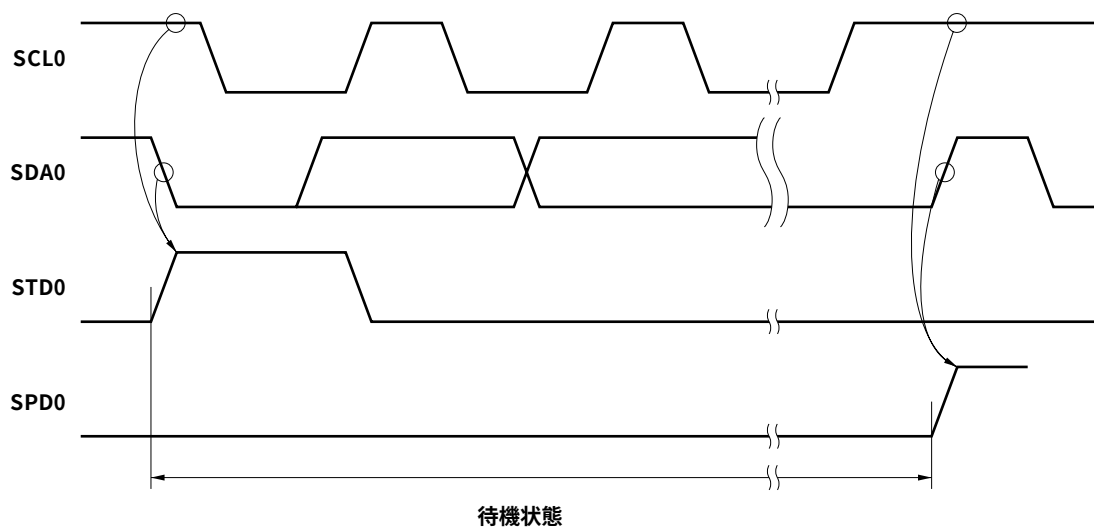
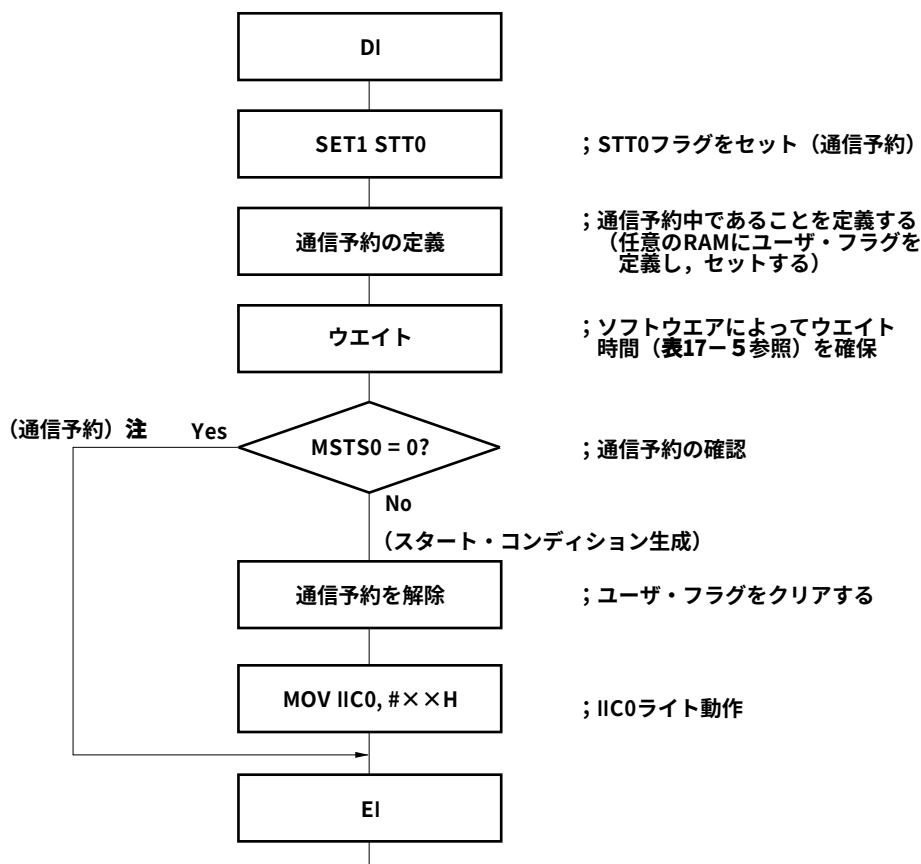


図17-18に通信予約の手順を示します。

図17-18 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0（IIC0）への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0（IICC0）のビット1

MSTS0 : IIC状態レジスタ0（IICS0）のビット7

IIC0 : IICシフト・レジスタ0

17.5.15 その他の注意事項

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は以下の順番で行ってください。

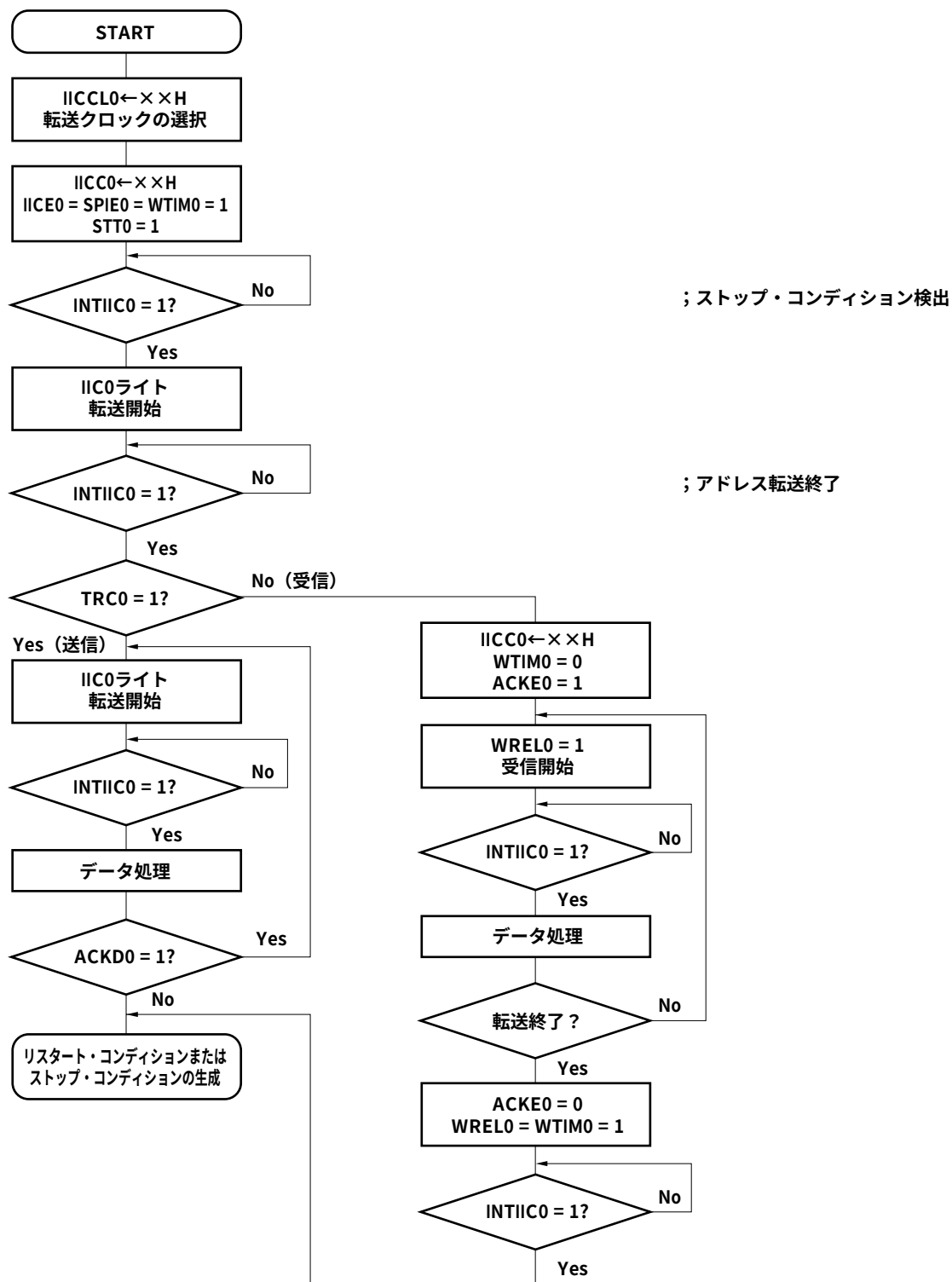
- ① IIC転送クロック選択レジスタ0（IICCL0）の設定
- ② IICコントロール・レジスタ0（IICC0）のビット7（IICE0）のセット
- ③ IICC0のビット0（SPT0）のセット

17.5.16 通信動作

(1) マスタ動作

マスタ動作手順の例を次に示します。

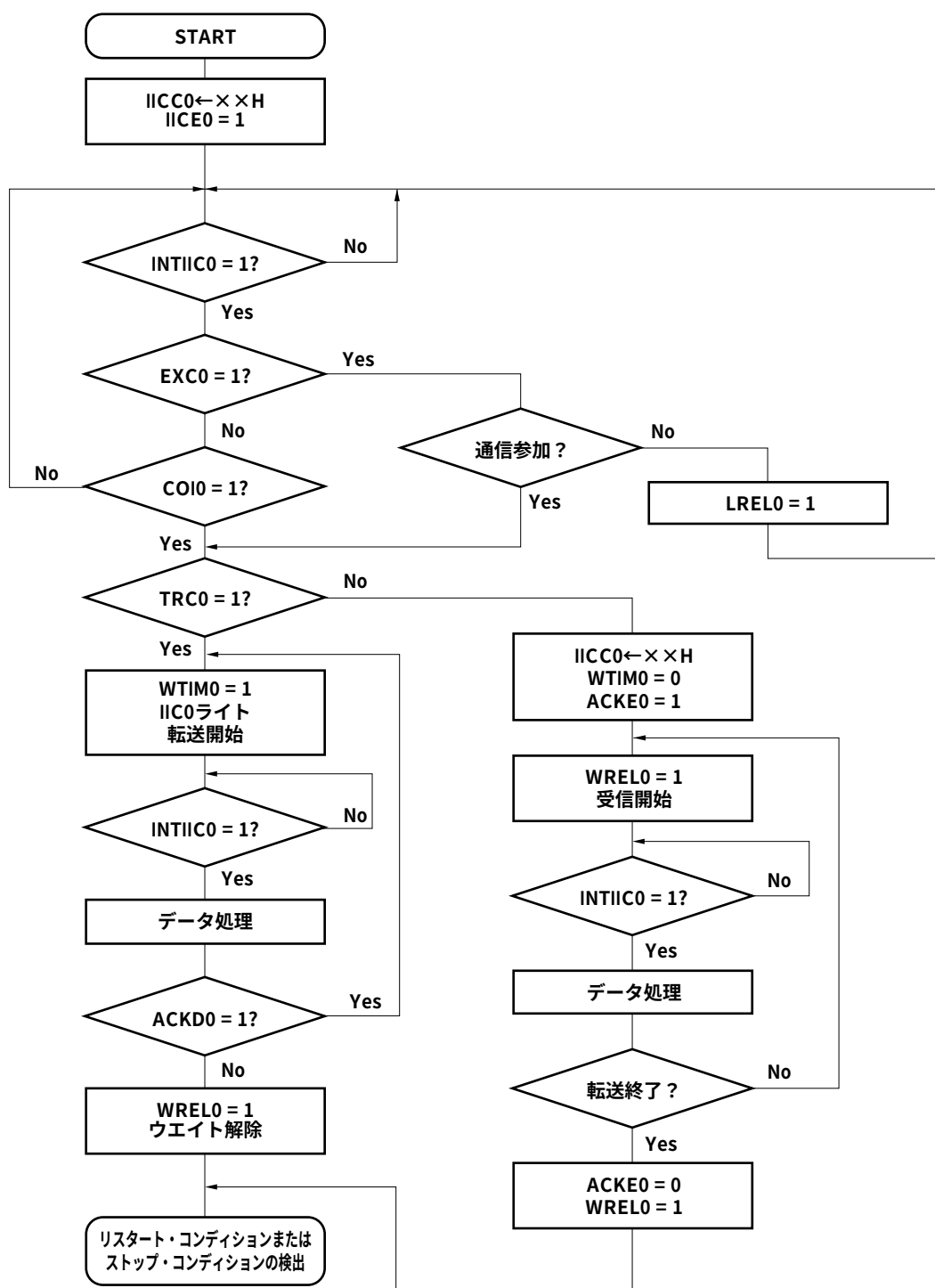
図17-19 マスタ動作手順



(2) スレーブ動作

スレーブ動作手順の例を次に示します。

図17-20 スレーブ動作手順



17.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット (IIC状態レジスタ0 (IIC0) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図17-21, 図17-22に示します。

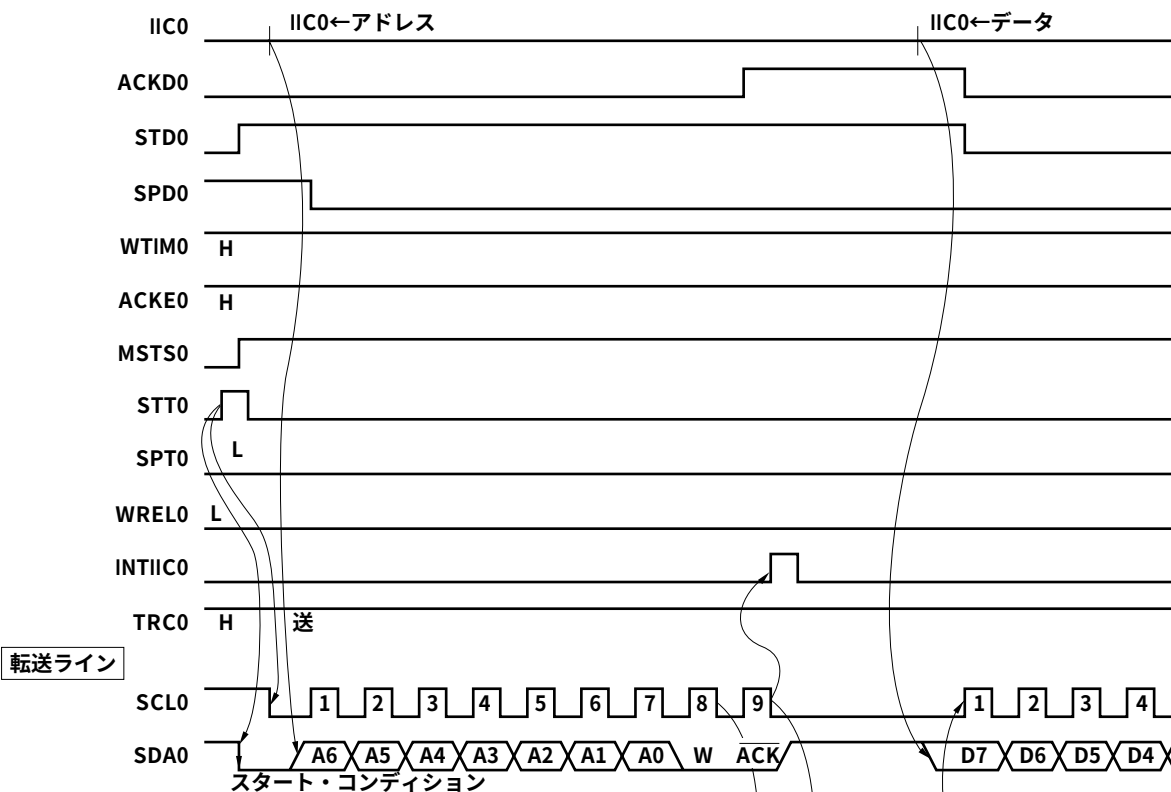
シリアル・クロック (SCL0) の立ち下がりに同期してIICシフト・レジスタ0 (IIC0) のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

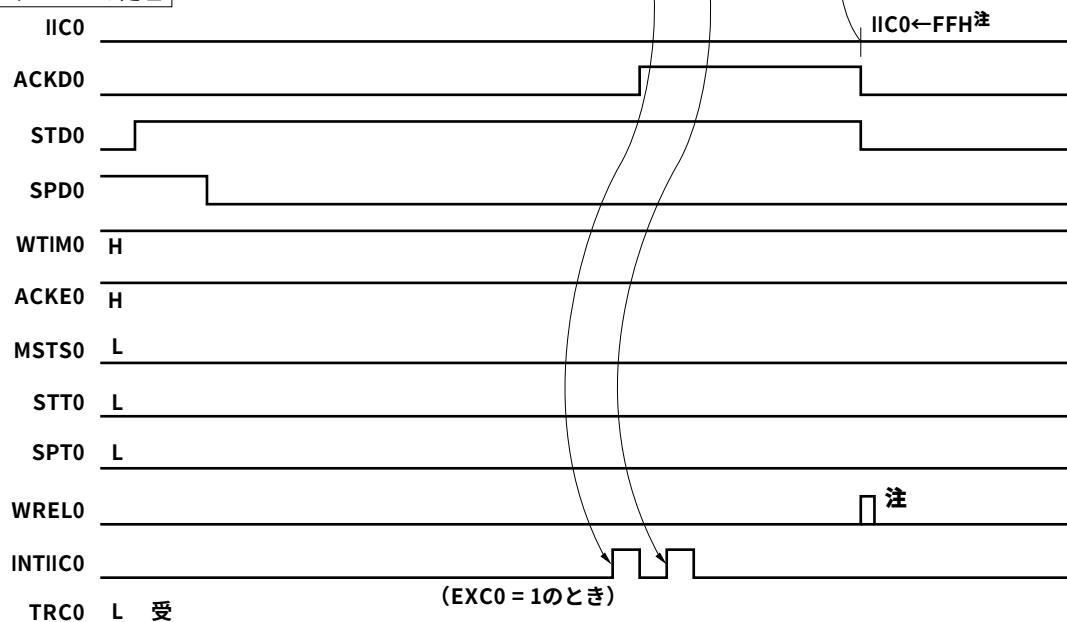
図17-21 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (1/3)

(1) スタート・コンディション～アドレス

マスタ・デバイスの処理



スレーブ・デバイスの処理

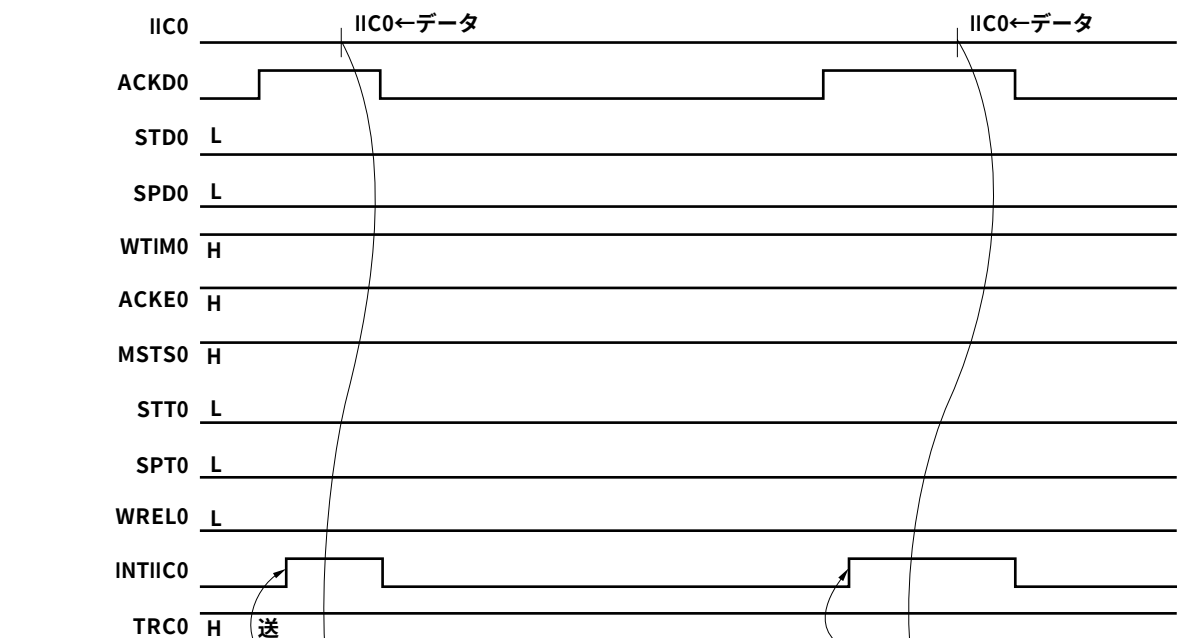


注 スレーブ・ウェイト解除は、IIC0←FFHまたはWRELO0のセットのどちらかで行ってください。

図17-21 マスタ→スレーブ通信例 (マスタ、スレーブとも9クロック・ウェイト選択時) (2/3)

(2) データ

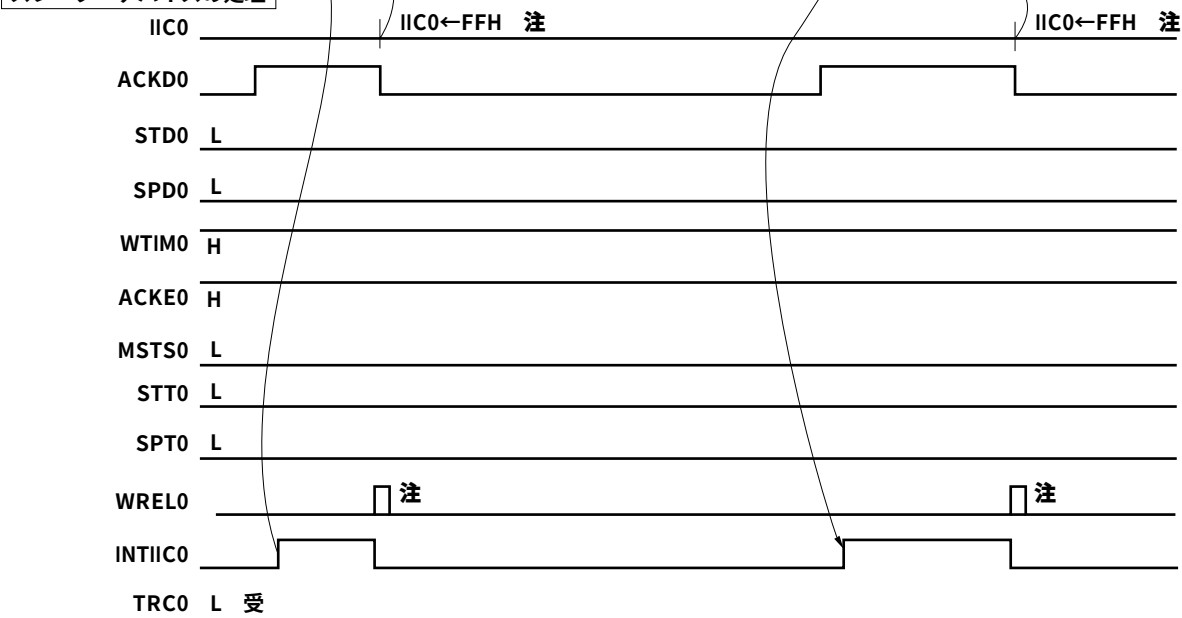
マスタ・デバイスの処理



転送ライン

★

スレーブ・デバイスの処理

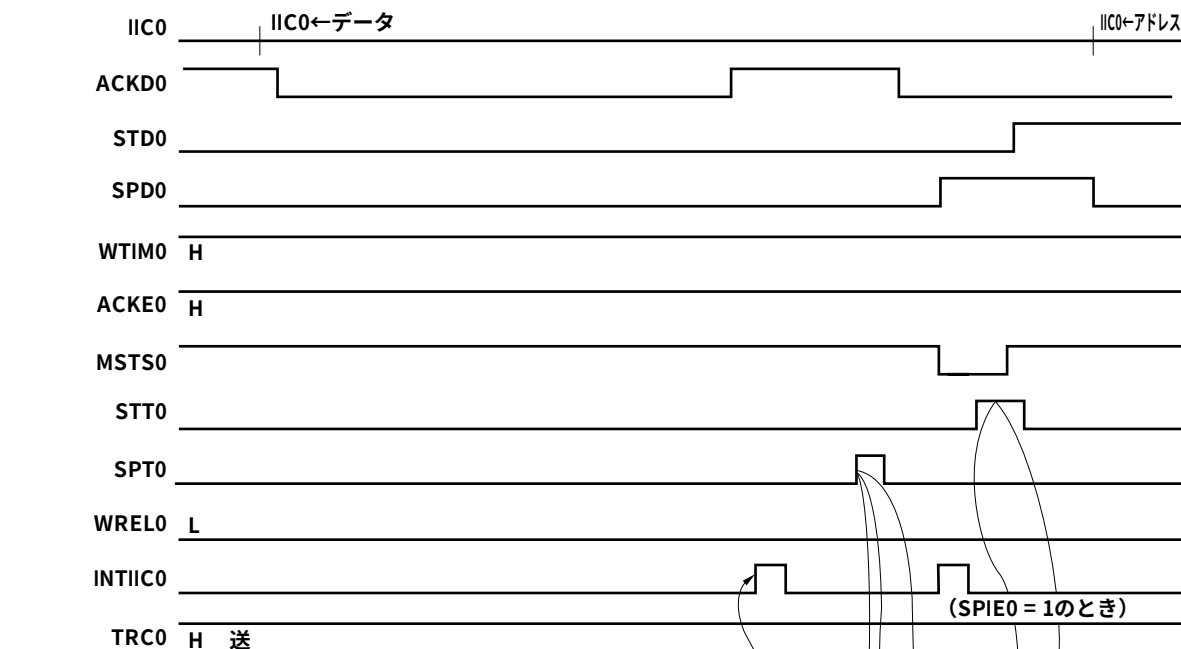


注 スレーブ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

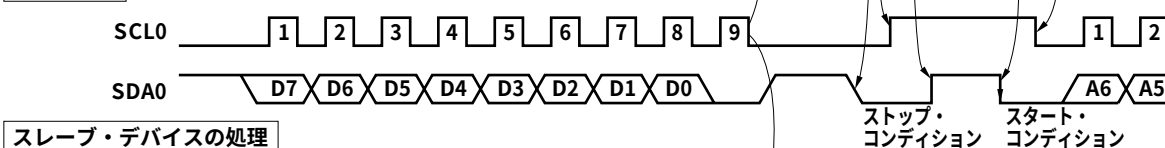
図17-21 マスタ→スレーブ通信例 (マスタ、スレーブとも9クロック・ウェイト選択時) (3/3)

(3) ストップ・コンディション

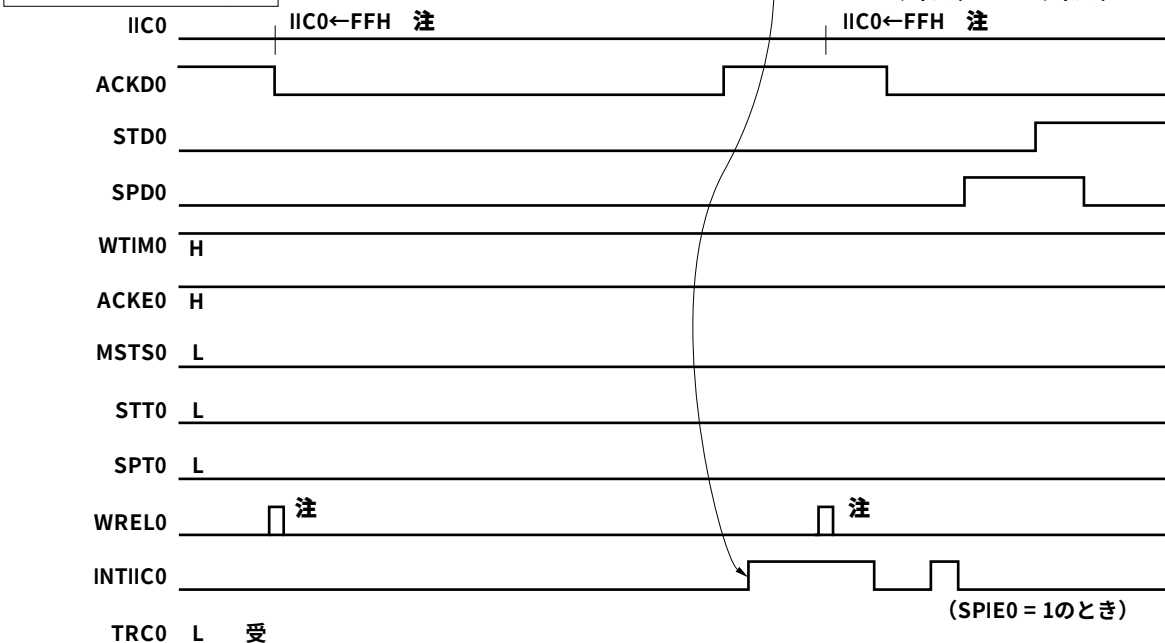
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理

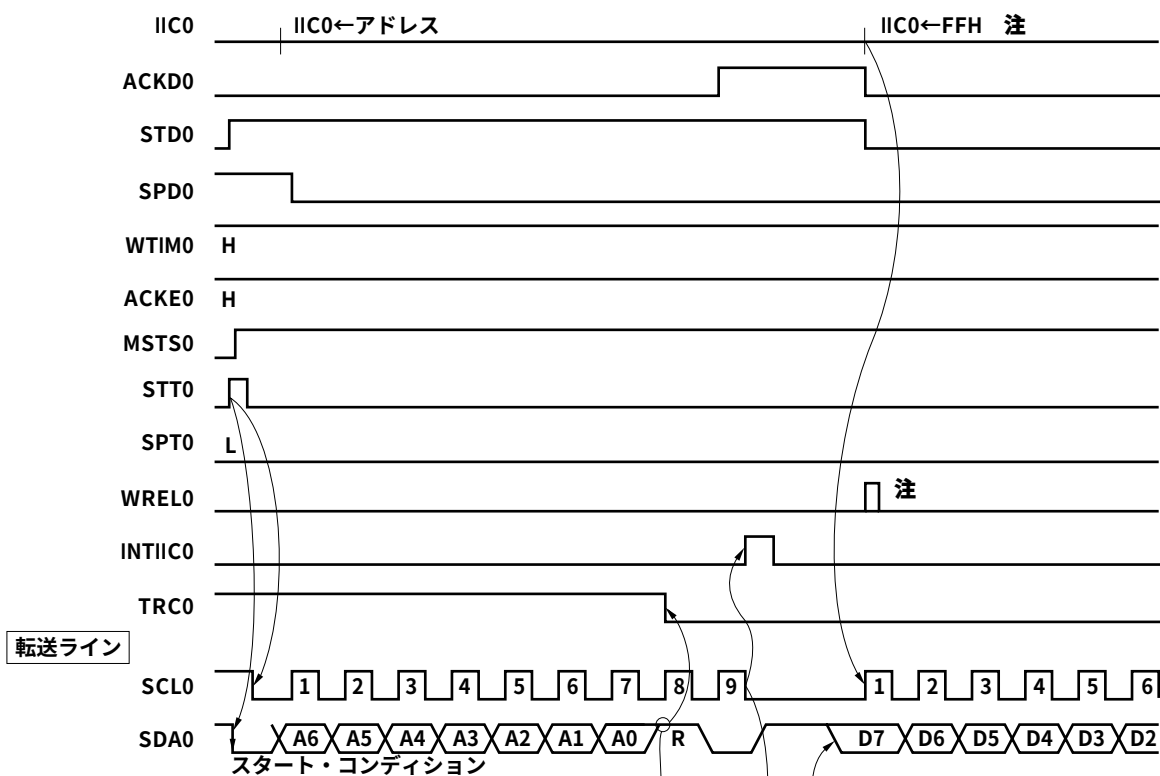


注 スレーブ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

図17-22 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (1/3)

(1) スタート・コンディション～アドレス

マスタ・デバイスの処理



スレーブ・デバイスの処理

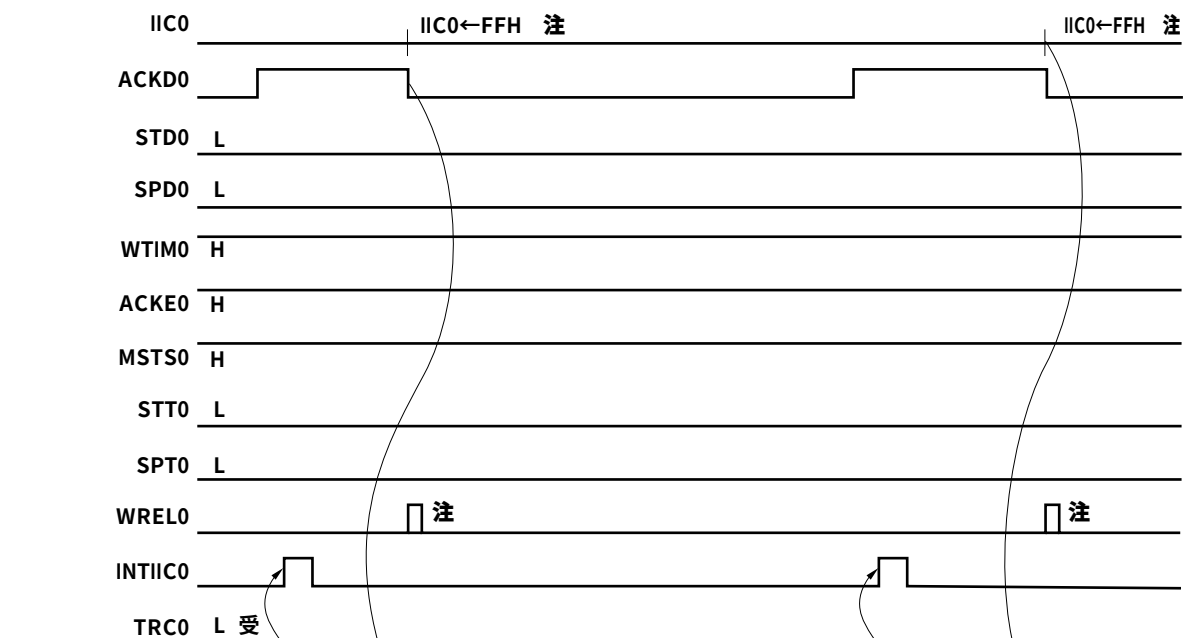


★ 注 マスタ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

図17-22 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (2/3)

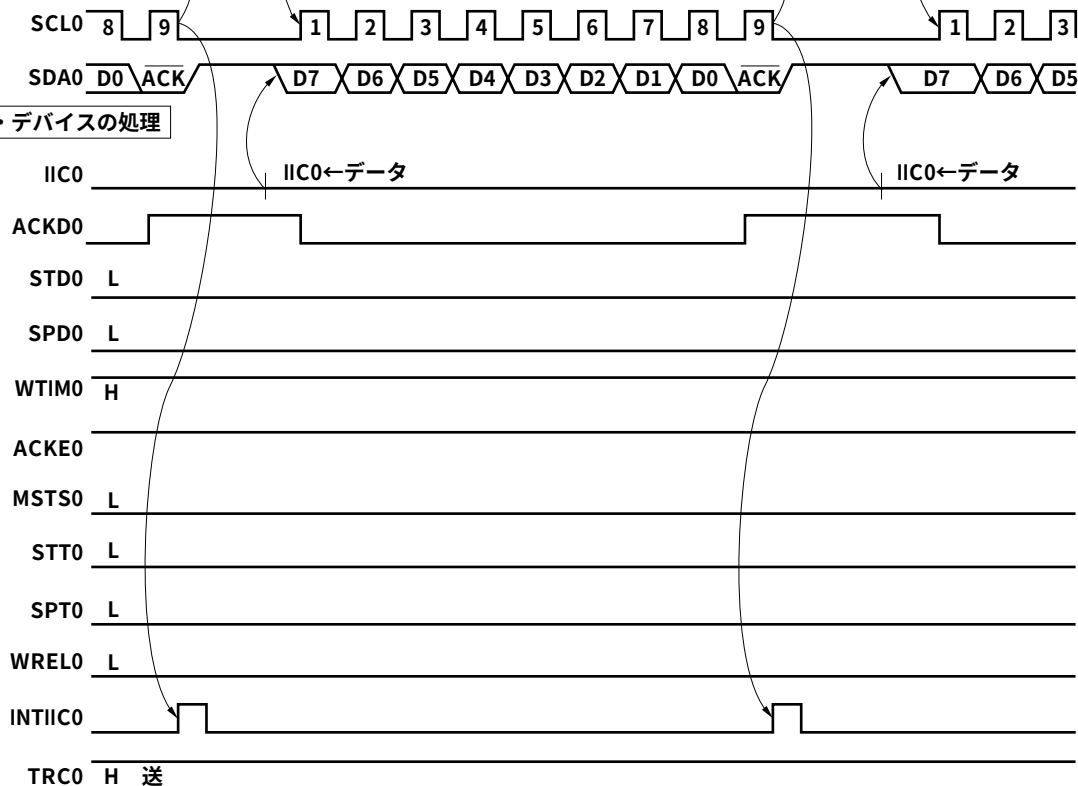
(2) データ

マスタ・デバイスの処理



転送ライン

スレーブ・デバイスの処理

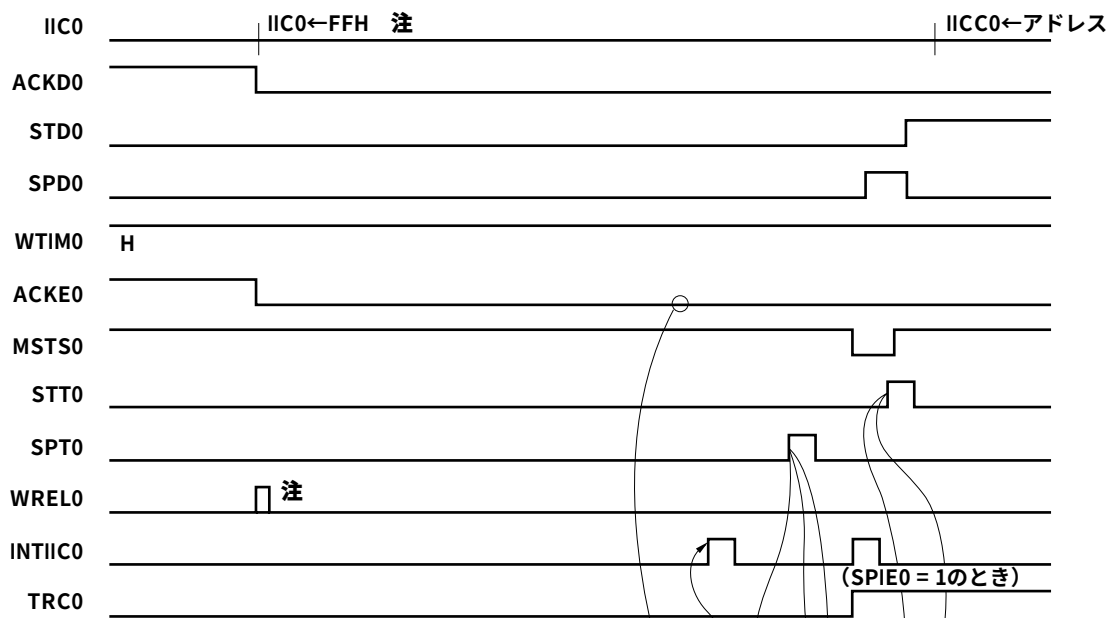


★ 注 マスタ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

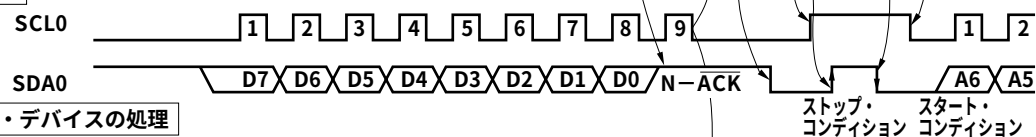
図17-22 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (3/3)

(3) ストップ・コンディション

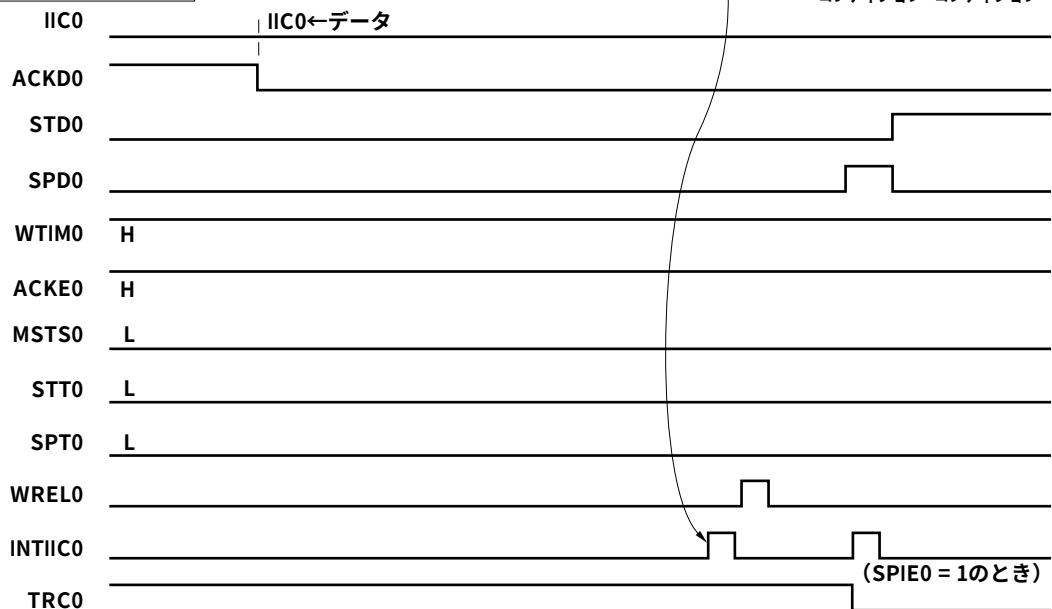
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理



★ 注 マスタ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

第18章 LCDコントローラ／ドライバ

18.1 LCDコントローラ／ドライバの機能

μPD780344, 780345, 780344Y, 780354Yサブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) LCDドライバ用基準電圧生成回路は内部昇圧回路を採用。(3倍昇圧のみ)
これにより、バッテリー電圧の低下により電源電圧が低下しても、安定的なLCD表示が実現できます。
また、LCDゲイン調整レジスタ0によりLCDドライバ用基準電圧を2種類から選択することが可能。
- (3) 3種類の表示モードが選択可能
 - ・スタティック (最大12本)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (4) 各表示モードにおいて、4種類のフレーム周波数を選択可能。
- (5) スタティック表示 (最大12セグメント) とダイナミック表示の同時駆動が可能。
スタティック／ダイナミック表示兼用端子 (S0-S11) は4本単位で切り替え可能。
- (6) LCD表示点滅が可能 (サブシステム・クロック使用時のみ)。
 - 1セグメントごとに点滅／非点滅を選択可能。
 - 点滅周期は0.5 s／1.0 sを選択可能。
- (7) サブシステム・クロックによる動作も可能。
- (8) 動作電圧範囲は1.8～5.5 V。

表18-1 セグメント信号とコモン信号

最大セグメント信号	コモン信号
40本 (S0-S39)。 12本 (S0-S11) はスタティック表示用に選択可能。 28本 (S12-S39) は入出力ポート (P80-P87, P90-P97, P100-P107, P110-P113) と兼用 ^注 。	ダイナミック表示: COM0-COM3 スタティック表示: SCOM0

注 兼用切り替えレジスタ (PF8-PF11) にて、1本ごとにポート端子とセグメント端子の切り替えが可能です。

各表示モードにおける表示可能な最大画素数を表18－2に示します。

表18－2 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
－	スタティック	SCOM0	12 (12セグメント×1コモン)
1/3	3	COM0-COM2	120 (40セグメント×3コモン)
	4	COM0-COM3	160 (40セグメント×4コモン)

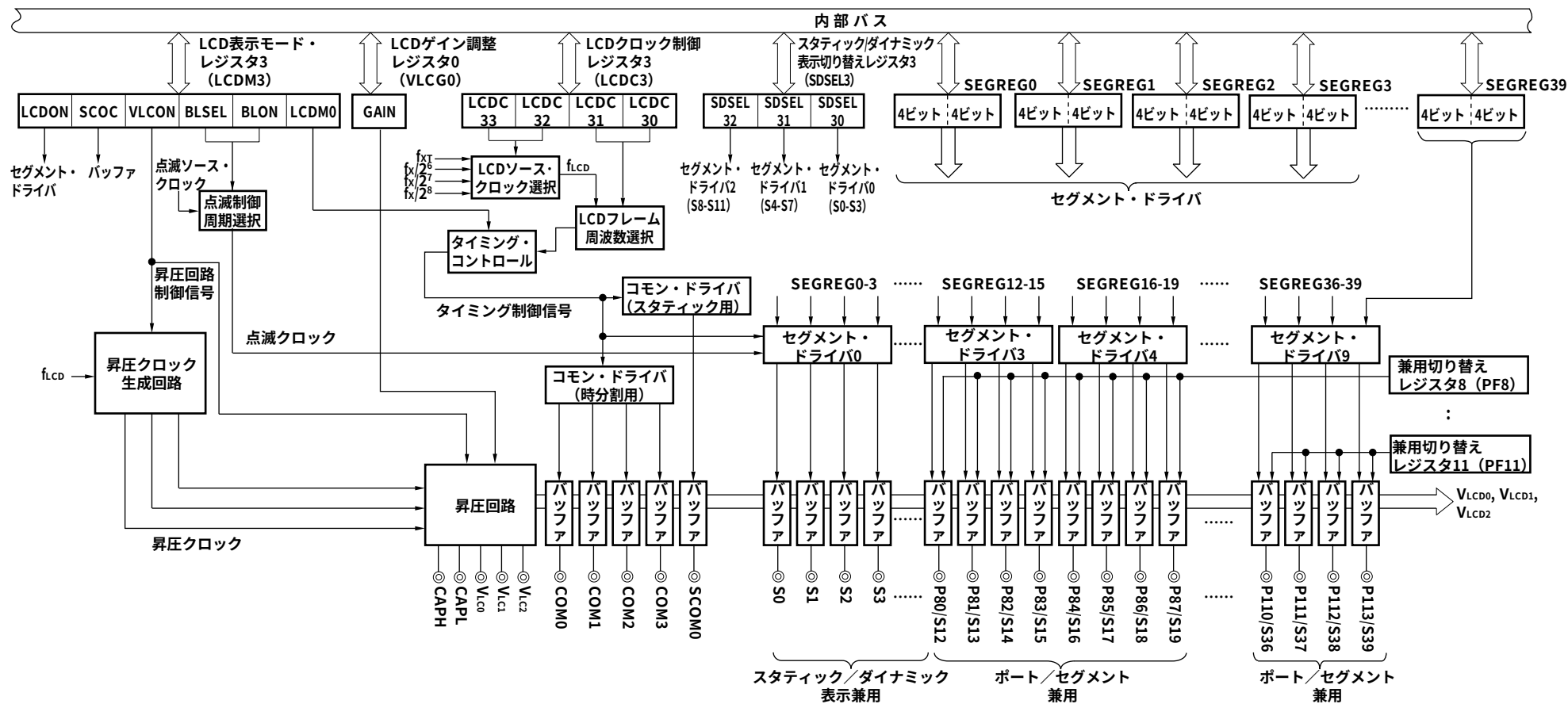
18.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表18－3 LCDコントローラ／ドライバの構成

項 目	構 成
表示出力	セグメント信号：40本 ダイナミック／スタティック兼用：12本 セグメント／出力ポート兼用：28本 コモン信号 ：4本（ダイナミック表示用） 1本（スタティック表示用）
制御レジスタ	LCD表示モード・レジスタ3（LCDM3） LCDクロック制御レジスタ3（LCDC3） LCDゲイン調整レジスタ0（VLCG0） スタティック／ダイナミック表示切り替えレジスタ3（SDSEL3） 兼用切り替えレジスタ（PF8-PF11）

★図18-1 LCDコントローラ／ドライバのブロック図



18.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の5種類のレジスタで制御します。

- ・LCD表示モード・レジスタ3 (LCDM3)
- ・LCDクロック制御レジスタ3 (LCDC3)
- ・LCDゲイン調整レジスタ0 (VLCG0)
- ・スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3)
- ・兼用切り替えレジスタ (PF8-PF11)

(1) LCD表示モード・レジスタ3 (LCDM3)

表示動作の許可／禁止，昇圧回路，表示点滅，表示モードなどを設定するレジスタです。

LCDM3は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図18-2 LCD表示モード・レジスタ3 (LCDM3) のフォーマット

アドレス：FF90H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM3	LCDON	SCOC	VLCON	BLSEL	BLON	0	0	LCDM0

LCDON	表示の制御（表示データの出力イネーブル）
0	表示OFF（セグメント出力はすべて非選択信号出力）
1	表示ON

SCOC	セグメント端子／コモン端子の出力制御
0	セグメント端子／コモン端子にGNDレベルを出力
1	セグメント端子／コモン端子に選択信号を出力

VLCON	昇圧回路の制御
0	昇圧回路の停止
1	昇圧回路の動作

BLSEL ^{注1}	点滅クロックの選択
0	点滅周期0.5 s
1	点滅周期1.0 s

BLON ^{注2}	点滅表示の制御
0	点滅表示OFF
1 ^{注3}	点滅表示ON

LCDM0 ^{注4}	ダイナミック表示／スタティック表示兼用端子 ^{注5, 6}		ダイナミック専用端子	
	時分割数	バイアス法	時分割数	バイアス法
0	4	1/3	4	1/3
1	3	1/3	3	1/3

注1．BLSELビットは、サブシステム・クロックを使用した場合のみ有効です。

2．点滅用データ・メモリ（FA00-FA27Hの上位4ビット）に1が設定されている場合のみ、対応するセグメント端子の点滅動作が可能です。

3．BLON = 1のときに、点滅用データ・メモリのデータを書き換えないでください。

4．LCD動作中に、LCDM0の書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。

5．ダイナミック／スタティック表示兼用端子はスタティック／ダイナミック表示切り替えレジスタ3（SDSEL3）レジスタでスタティック表示モードに設定している場合にはスタティック表示となります。

6．スタティック表示を使用しない場合、スタティック表示用コモン出力端子（SCOM0）はGND出力になります。

注意 1. LCDON, SCOC, VLCONビットを設定する場合は、次の順序で設定してください。

・LCD昇圧回路停止状態からLCD表示状態への移行フロー

- (1) VLCONを1に設定してください。すべてのセグメント端子、コモン端子はGND出力状態 (SCOC = 0) になっています。



- (2) VLCONを1に設定してから、ソフトウェアで500 ms以上待機してください。



- (3) SCOCを1に設定してください。すべてのセグメント端子、コモン端子から非選択波形が出力され、非表示状態となります。



- (4) LCDONを1に設定してください。表示RAMの値がセグメント出力波形に反映され、表示状態になります。

・LCD表示状態からLCD昇圧回路停止までの移行フロー

- (1) LCDONを0に設定してください。すべてのセグメント端子、コモン端子は非表示状態になります。



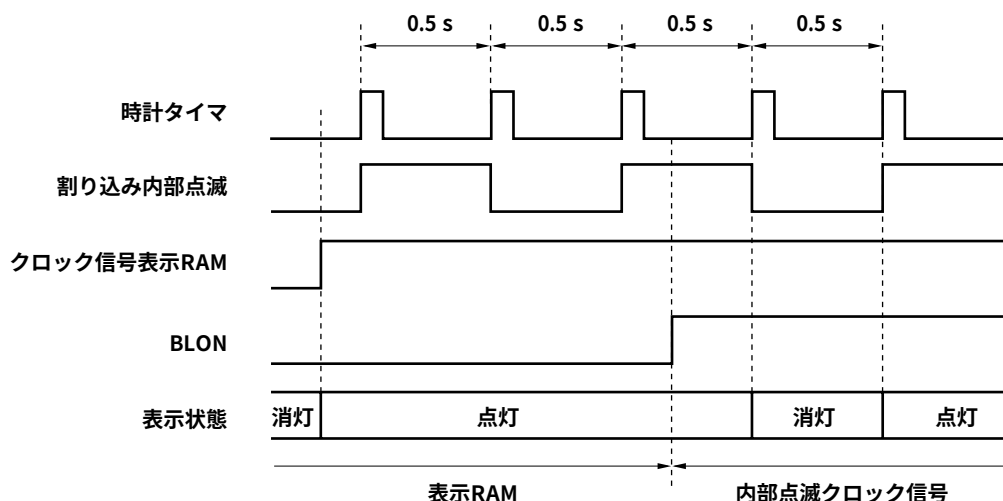
- (2) SCOCを0に設定してください。すべてのセグメント端子、コモン端子はGND出力状態になります。



- (3) VLCONを0に設定してください。LCD昇圧回路が停止します。

2. 点滅周期は、時計タイマのインターバル時間 (32.768 kHz使用時: 0.5 s) を利用して生成しています。図17-3に示すように、点滅機能を使用しない場合 (BLON = 0) は、表示RAMの設定で点灯／消灯を切り替えます。点滅機能を使用する場合 (BLON = 1) は、内部点滅クロック信号 (BLSELの設定値) で点灯／消灯が切り替わります。この場合、BLON = 1に設定したときの内部点滅クロックの状態が“1”のときは点灯、“0”のときは消灯となります。

図18-3 点滅機能



注意 3．点滅機能を使用する場合、消灯周期（0.5 sまたは1.0 s）に表示データを書き換えても、点灯周期に移行しないと有効になりません。

（2）LCDクロック制御レジスタ3（LCDC3）

LCDソース・クロック、フレーム周波数を設定するレジスタです。

LCDC3は8ビット・メモリ操作命令で設定します。

RESET入力により、00Hとなります。

図18－4 LCDクロック制御レジスタ3（LCDC3）のフォーマット

アドレス：FF91H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC3	0	0	0	0	LCDC33	LCDC32	LCDC31	LCDC30

LCDC33	LCDC32	ソース・クロックの選択 (f_{LCD})
0	0	f_{XT} (32.768 kHz)
0	1	$f_X/2^6$ (156.25 kHz)
1	0	$f_X/2^7$ (78.125 kHz)
1	1	$f_X/2^8$ (39.0625 kHz)

LCDC31	LCDC30	フレーム周波数を作成する基準クロックの選択
0	0	$f_{LCD}/2^6$
0	1	$f_{LCD}/2^7$
1	0	$f_{LCD}/2^8$
1	1	$f_{LCD}/2^9$

注意 LCD動作中に、LCDC3の書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。

備考 () 内は $f_X = 10$ MHzまたは $f_{XT} = 32.768$ kHzのとき。

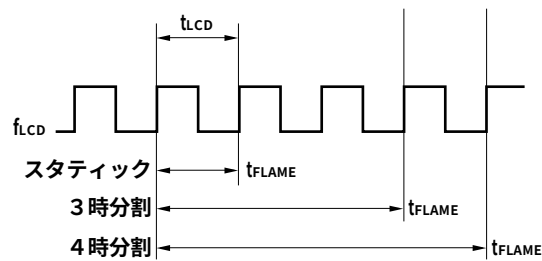
ソース・クロック (f_{LCD}) に f_{XT} (32.768 kHz) を使用したときのフレーム周波数を表18－4に、フレーム周波数を作成する基準クロックとフレーム周波数との関係を図18－5に示します。

表18－4 フレーム周波数

フレーム周波数を作成する基準クロック		$f_{XT}/2^9$	$f_{XT}/2^8$	$f_{XT}/2^7$	$f_{XT}/2^6$
フレーム周波数					
表示デューティ	スタティック	64 Hz	128 Hz	256 Hz ^注	512 Hz ^注
	1/3デューティ	21 Hz	43 Hz	85 Hz	171 Hz ^注
	1/4デューティ	16 Hz	32 Hz	64 Hz	128 Hz

★ 注 フレーム周波数が128 Hz以下になるように設定してください。

図18－5 フレーム周波数を作成する基準クロックとフレーム周波数との関係



備考 f_{LCD} : フレーム周波数を作成する基準クロック
 t_{LCD} : LCDクロック周期
 t_{FLAME} : フレーム周期

(3) LCDゲイン調整レジスタ0 (VLCG0)

昇圧回路動作時の昇圧レベルを選択するレジスタです。
VLCG0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hとなります。

図18－6 LCDゲイン調整レジスタ0 (VLCG0) のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
VLCG0	0	0	0	0	0	0	0	GAIN	FF94H	00H	R/W

GAIN	基準電圧 (V _{LCD2}) レベルの選択 ^注
0	1.0 V (使用LCDパネルが3 V仕様)
1	1.5 V (使用LCDパネルが4.5 V仕様)

注 使用LCDパネルの仕様によって切り替えてください。

注意 VLCG0の値を変更する場合は、必ず昇圧停止 (VLCON = 0) にしてから行ってください。

備考 基準電圧 (V_{LCD2}) の値は、TYP.値を示しています。

(4) スタティク／ダイナミック表示切り替えレジスタ3 (SDSEL3)

セグメント端子 (S0-S11) のLCD表示モードをスタティク表示またはダイナミック表示に切り替えるレジスタです。

SDSEL3は8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

★ 図18-7 スタティク／ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマット

アドレス：FF92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SDSEL3	0	0	0	0	0	SDSEL32	SDSEL31	SDSEL30

SDSEL32	SDSEL31	SDSEL30	セグメント数 (スタティク表示モード用)	セグメント数 (ダイナミック表示モード用)
0	0	0	—	S0-S39
0	0	1	S0-S3	S4-S39
0	1	1	S0-S7	S8-S39
1	1	1	S0-S11	S12-S39
上記以外の設定は不可			—	

注意 LCD動作中に、SDSEL3の書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。また、SDSEL3の設定は、リセット後に一度だけしか設定できません。

(5) 兼用切り替えレジスタ (PF8-PF11)

ポート8-11をポート端子として使用するか、セグメント端子として使用するかを1ビット単位で選択するレジスタです。

PF8-PF11は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hとなります。

図18－8 兼用切り替えレジスタ (PF8-PF11) のフォーマット

アドレス：FF58H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80

アドレス：FF59H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF9	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

アドレス：FF5AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF10	PF107	PF106	PF105	PF104	PF103	PF102	PF101	PF100

アドレス：FF5BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF11	0	0	0	0	PF113	PF112	PF111	PF110

PFmn	端子の設定
0	入出力ポート
1	セグメント出力

★
★

注意1. PF8-PF11でセグメント出力に設定した端子は、ポート・モード・レジスタ (PM8-PM11) の値によらず、出力できます。

★
2. PF8-PF11はリセット後に1回のみ設定可能です。設定を変更する場合は、リセットしてから行ってください。

備考 m = 8-11, n = 0-7

18.4 LCD表示用RAM

LCD表示データおよびその表示データに対応したLCD点滅選択ビットは、FA00H-FA27H番地にマッピングされています。FF00H-FA27H番地の各アドレスの下位4ビットはLCD表示データ領域、上位4ビットはLCD点滅選択ビット領域となっています。LCD点滅選択ビットは、LCD表示データと対応（ビット0⇔ビット4、ビット1⇔ビット5、ビット2⇔ビット6、ビット3⇔ビット7）しています。

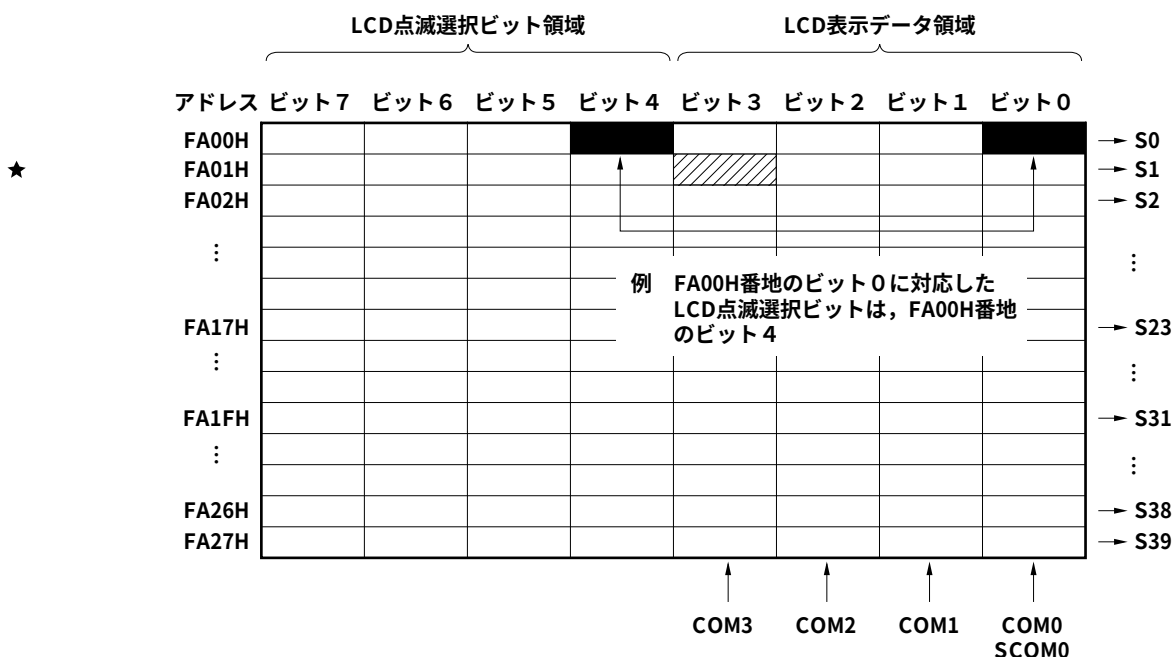
- ★ LCD表示データに格納したデータは、LCDパネルに表示することができます。たとえば、FA01H番地のビット3（図18－9の斜線部分）はS1端子にCOM3のタイミングで出力されます。

LCD点滅選択ビットは、点滅対象となるビットに1を設定し、LCD表示モード・レジスタ3（LCDM3）のビット3（BLON）に1を設定することにより、対応するセグメントが点滅します。ただし、対象となるセグメントの表示データが1であることが必要です。

図18－9にLCD表示データおよび点滅選択ビットの内容とセグメント出力／コモン出力の関係を示します。

また、表示に使用しない領域は通常のRAMとして使用できます。

図18－9 LCD表示データおよび点滅選択ビットの内容とセグメント出力／コモン出力の関係（4時分割）



注意 FA00H-FA27H番地の各アドレスの上位4ビット（LCD点滅選択ビット領域）は、下位4ビット（LCD表示データ領域）と対応しています。したがって点滅動作を行わない場合は、点滅選択ビット領域の対象ビットに必ず0を設定してください。

18.5 LCDコントローラ／ドライバの設定

LCDコントローラ／ドライバの設定は、次のように行ってください。

- ★ (1) 兼用切り替えレジスタ (PF8-PF11) でP80/S12-P87/S19, P90/S20-S97/S27, P100/S28-P107/S35, P110/S36-P113/S39をセグメント出力またはポート出力として使用するかを設定してください。
- (2) スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3) でセグメント出力端子 (S0-S11) の表示モードを設定してください。
- (3) LCD表示用RAM内のLCD表示データ領域 (ビット0-3) に表示の初期値を設定してください。使用できるLCD表示用RAMはFA00H-FA27H (40バイト) です。
点滅機能を使用する場合は、LCD表示用RAM内の点滅選択ビット領域 (ビット4-7) の該当ビットに1を設定してください。
- (4) LCD表示モード・レジスタ3 (LCDM3) のビット0 (LCDM0) で表示モードを設定してください。
- (5) LCDクロック制御レジスタ3 (LCDC3) でLCDのソース・クロック、フレーム周波数を設定してください。
- (6) LCDゲイン調整レジスタ0 (VLCG0) でLCD基準電圧を選択してください。
- (7) LCD表示モード・レジスタ3 (LCDM3) のビット5 (VLCON) に1を設定し、昇圧回路の動作を開始してください。
- (8) ソフトウェアによって500 ms以上のウェイト時間を確保してください。
- (9) LCD表示モード・レジスタ3 (LCDM3) のビット6 (SCOC) に1を設定し、セグメント端子／コモン端子に非選択波形を出力してください。
- (10) 点滅機能を使用する場合は、LCD表示モード・レジスタ3 (LCDM3) のビット4 (BLSEL) で点滅周期0.5 s/1.0 sを選択してください。
- (11) LCD表示モード・レジスタ3 (LCDM3) のビット7 (LCDON) に1を設定し、表示ON状態にしてください。点滅表示をさせる場合は、LCD表示モード・レジスタ3 (LCDM3) のビット3 (BLON) に1を設定し、表示ON状態にしてください。

以後、表示内容などに応じて表示データ・メモリのデータや点滅表示のタイミングを設定してください。

18.6 コモン信号とセグメント信号

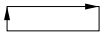
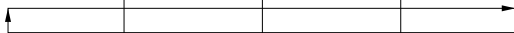
- ★ LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（パネルに依存）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

（1）コモン信号

コモン信号は、設定する時分割数に応じて表18-5に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はSCOM0に同一信号が出力されます。

なお、3時分割の場合のCOM3端子は、オープンにして使用してください。

表18-5 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	SCOM0
スタティック	—	—	—	—	
3時分割		—	—	オープン	—
4時分割		—	—	—	—

（2）セグメント信号

セグメント信号は、40バイトのLCD表示用RAM（FA00H-FA27H[※]）に対応しており、各表示データ・メモリのビット0がSCOM0とCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S39[※]）に出力されます。

以上のことから、LCD表示用RAMには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示用RAMのビット1-3はLCD表示に使用しませんので、表示以外の目的に使用できます。

LCD表示用RAMのビット4-ビット7は、LCD点滅選択ビットとなります。LCD点滅機能を使用する場合は、対象ビットに1を設定してください。

注 ポート8-11をセグメント信号出力として使用時

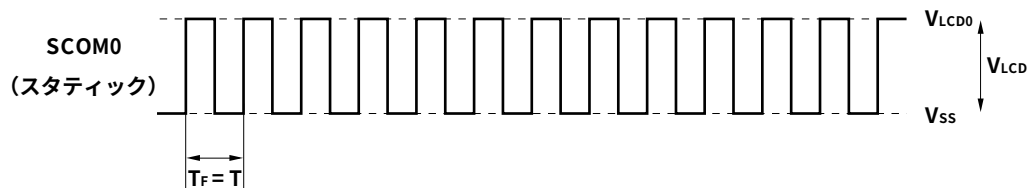
(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には図18-10, 18-11に示す電圧が出力されます。

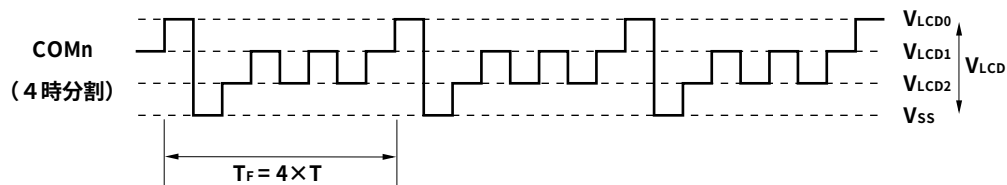
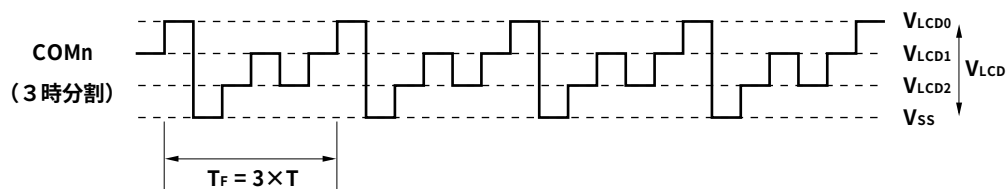
コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

図18-10 コモン信号波形

(a) スタティック表示モード



(b) ダイナミック表示モード (1/3バイアス法)

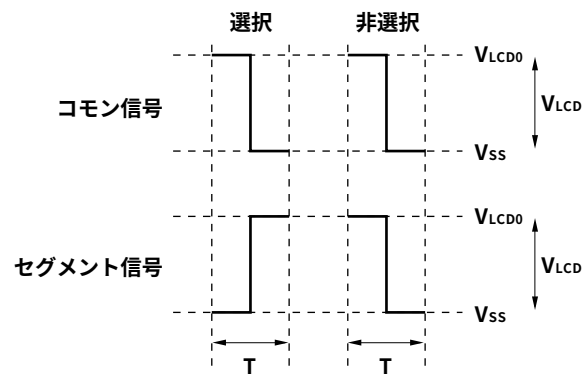


T : LCDCLの1周期分

T_F : フレーム周波数

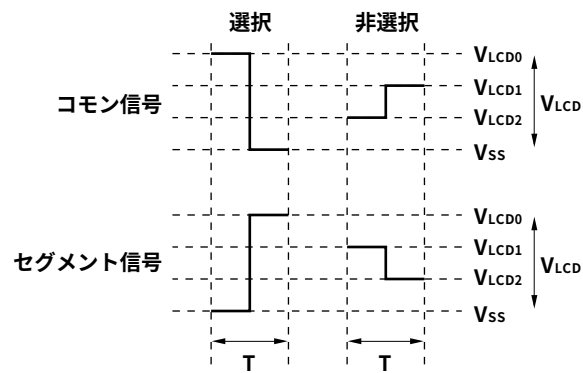
図18-11 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



T : LCDCLの1周期分

(b) ダイナミック表示モード (1/3バイアス法)



T : LCDCLの1周期分

18.7 LCD駆動電圧 V_{LCD0} , V_{LCD1} , V_{LCD2} の供給

μ PD780344, 780354, 780344Y, 780354Yサブシリーズは、LCD駆動電源用に内部昇圧回路（3倍昇圧のみ）を内蔵しています。

内部LCD基準電圧（ V_{LCD2} ）は、 V_{LC2} 端子から出力され、 V_{LC1} 端子からは V_{LCD2} の2倍の出力電圧（ V_{LCD1} ）が、 V_{LC0} 端子からは V_{LCD2} の3倍の出力電圧（ V_{LCD0} ）が出力されます。

表18-6に示すように、LCDゲイン調整レジスタ0（ V_{LCG0} ）の設定によりLCD基準電圧（ V_{LCD2} ）を可変することができます。

また、LCD駆動用電源を作るために容量分割方式を採用しているため、外付けにコンデンサ（推奨：0.47 μ F）が必要となります。

★ 表18-6 V_{LC0} - V_{LC2} 端子の出力電圧

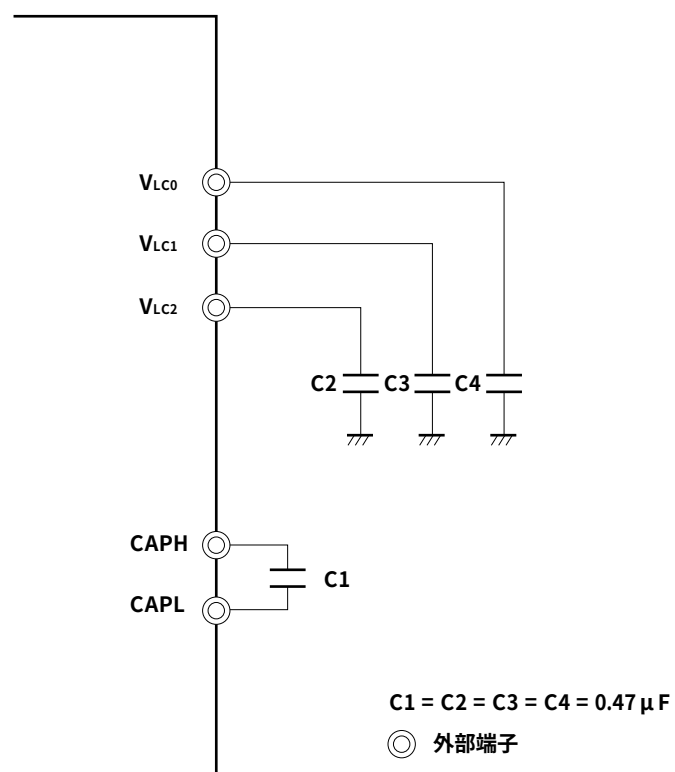
V_{LCG0}	GAIN = 0	GAIN = 1
LCD駆動用電源端子		
V_{LC0} 端子	3.0 V	4.5 V
V_{LC1} 端子	2.0 V	3.0 V
V_{LC2} 端子（LCD基準電圧）	1.0 V	1.5 V

注意1. LCD機能を使用する際は、必ず V_{LC0} , V_{LC1} , V_{LC2} 端子をオープンにしないでください。接続例は、図18-12を参照してください。

★ 2. LCD駆動電圧は、 V_{DD} の変化にかかわらず一定の電圧を供給できます。

★ 備考 LCD基準電圧（ V_{LCD2} ）については、第25章 電気的特性のLCDコントローラ／ドライバ特性を参照してください。

図18-12 LCDドライバ用端子接続例



備考 なるべくリークの少ないコンデンサをご使用ください。なおC1は無極性コンデンサにしてください。

18.8 表示モード

18.8.1 スタティック表示例

図18－14は、図18－13の表示パターンを持つスタティック方式の1桁のLCDパネルとセグメント信号（S0-S11）およびコモン信号（SCOM0）との接続を示します。表示例は5で、表示データ・メモリ（FA00H-FA07H番地）の内容はこれに対応しています。

★ 図18－13の表示パターンに従って、SCOM0のコモン信号のタイミングで表18－7に示すような選択、非選択電圧をS0-S7端子に出力する必要があります。このとき、S0-S7端子をスタティック表示にするために、SDSEL3レジスタに03Hを設定してください。

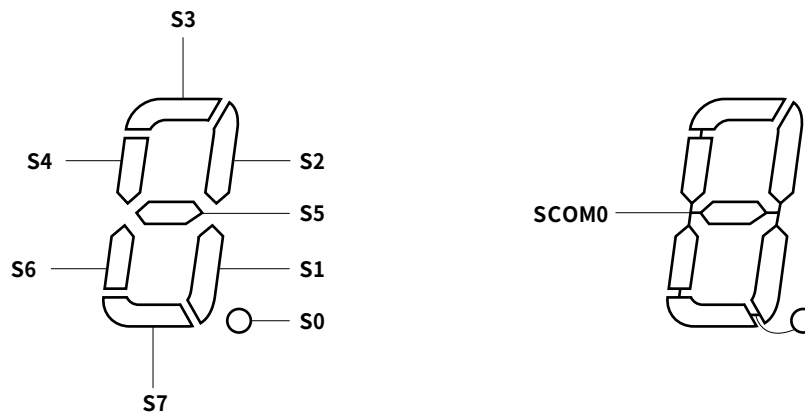
表18－7 選択、非選択電圧（SCOM0）

セグメント コモン	S0	S1	S2	S3	S4	S5	S6	S7
SCOM0	非	選	非	選	選	選	非	選

これによりS0-S7に対応する表示データ・メモリ（FA00H-FA07H番地）のビット0には、01011101を用意すればよいことが分かります。

S1, S2とSCOM0とのLCD駆動波形を図18－15に示します。SCOM0との選択タイミングでS1が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18－13 スタティックLCDパネルの表示パターンと電極結線



★

図18-14 スタティックLCDパネルの結線例（SDSEL3n = 1 : n = 0, 1）

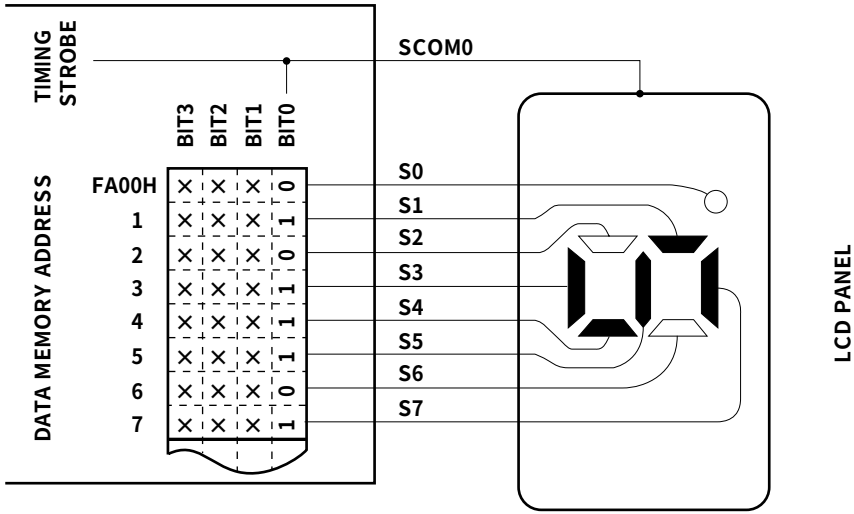
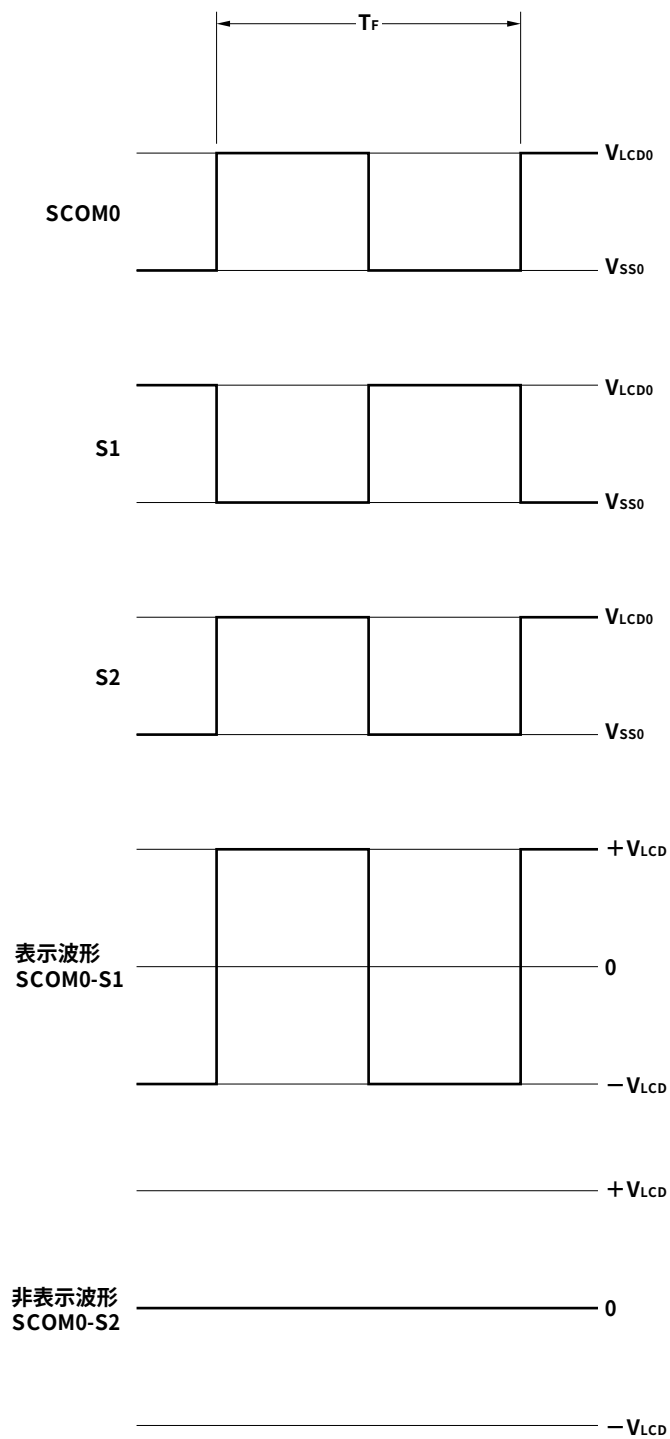


図18-15 スタティックLCD駆動波形例



18.8.2 3時分割表示例

図18-17は、図18-16の表示パターンを持つ3時分割方式の13桁LCDパネルとセグメント信号（S0-S38）およびコモン信号（COM0-COM2）との接続を示します。表示例は123456.7890123で、表示データ・メモリ（FA00H-FA26H番地）の内容はこれに対応しています。

ここでは8桁目の6. (5.) を例にとって説明します。図18-16の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表18-8に示すような選択、非選択電圧をS21-S23端子に出力する必要があります。

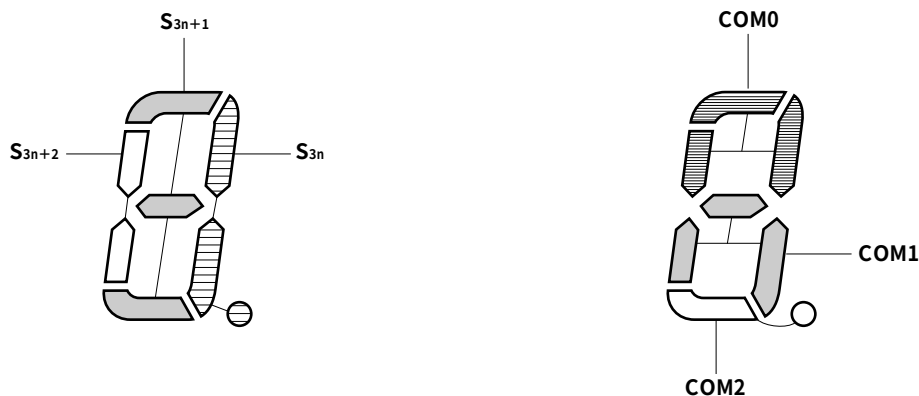
表18-8 選択、非選択電圧（COM0-COM2）

セグメント コモン	S21	S22	S23
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりS21に対応する表示データ・メモリ（FA15H番地）には、×110を用意すればよいことが分かります。

S21と各コモン信号間のLCD駆動波形例を図18-18に示します。COM1の選択タイミングでS21が選択電圧のとき、およびCOM2の選択タイミングでS21が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18-16 3時分割LCD表示パターンと電極結線



備考 n = 0-12

★

図18-17 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)

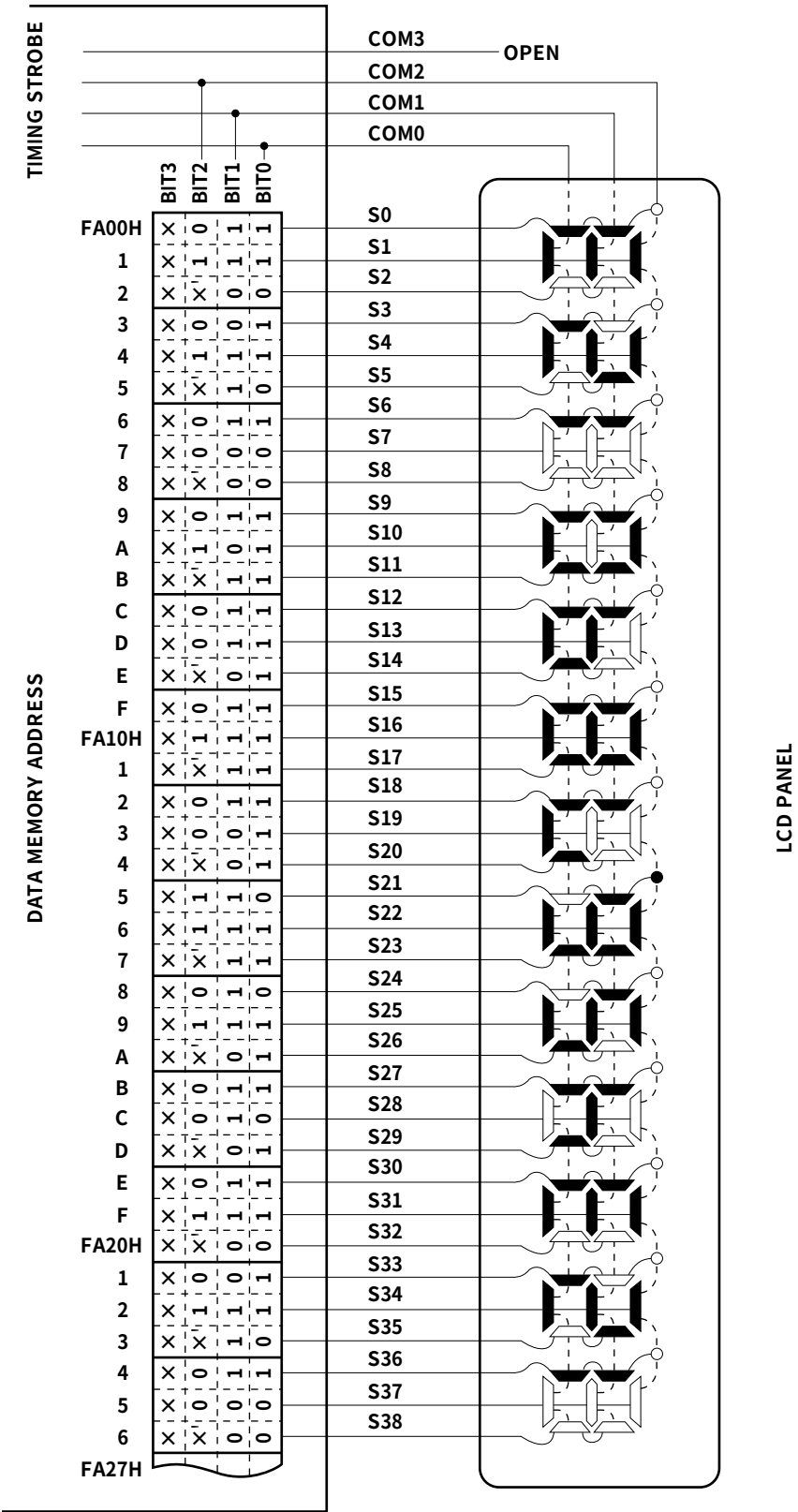
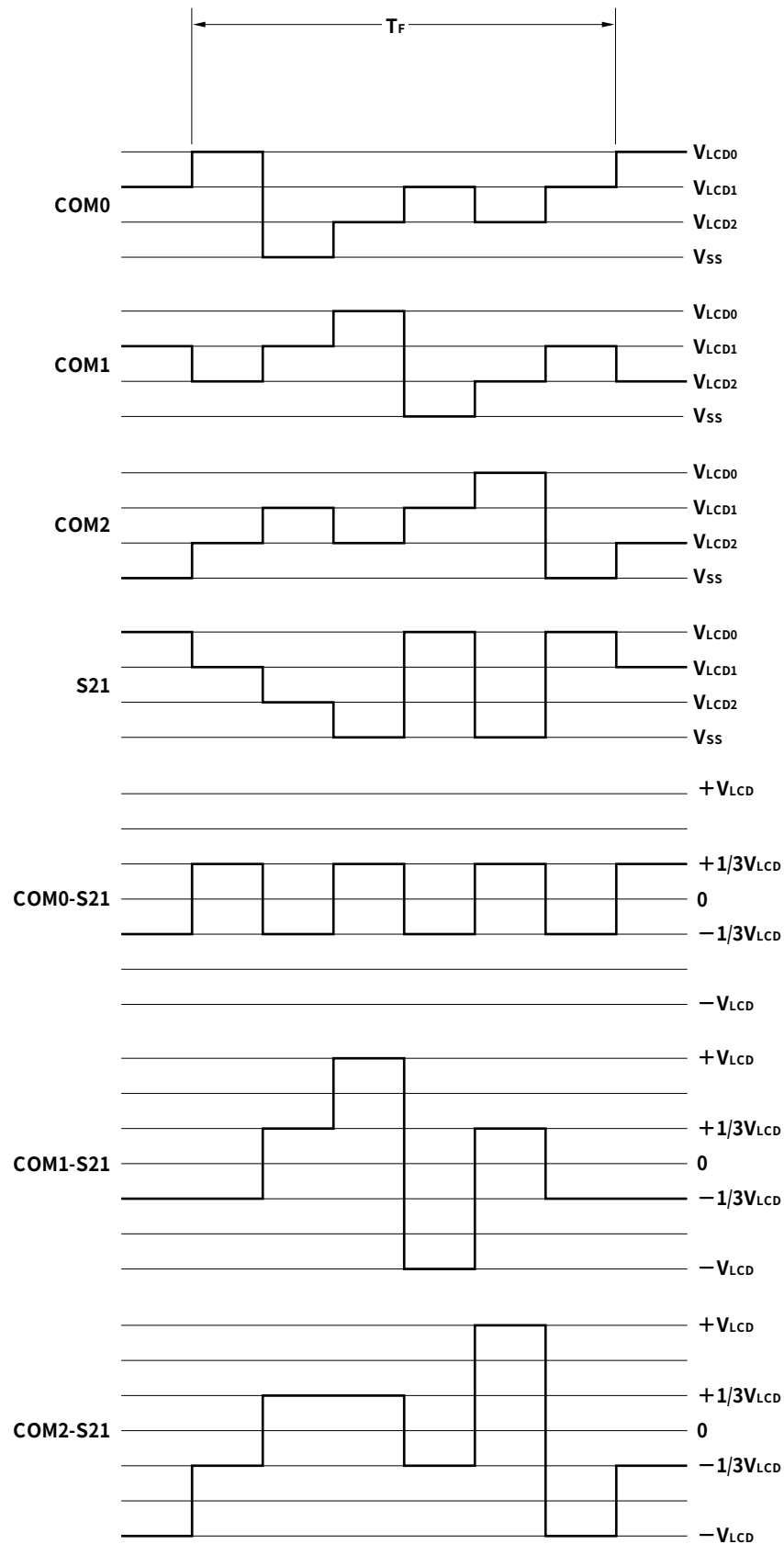


図18-18 3時分割LCD駆動波形例 (1/3バイアス法)



18.8.3 4時分割表示例

図18-20は、図18-19の表示パターンを持つ4時分割方式の20桁LCDパネルとセグメント信号（S0-S39）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.78901234567890で、表示データ・メモリ（FA00H-FA27H番地）の内容はこれに対応しています。

ここでは15桁目の6.（ $\bar{6}$ ）を例にとって説明します。図18-19の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表18-9に示すような選択、非選択電圧をS28, S29の端子に出力する必要があります。

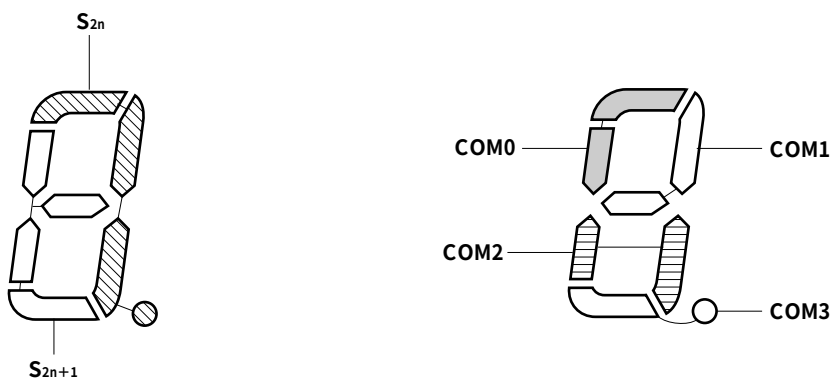
表18-9 選択、非選択電圧（COM0-COM3）

セグメント コモン	S28	S29
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

★ これによりS28に対応する表示データ・メモリ（FA1CH番地）には、1101を用意すればよいことが分かります。

S28と各コモン信号間のLCD駆動波形を図18-21に示します。COM0の選択タイミングでS28が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18-19 4時分割LCD表示パターンと電極結線



備考 n = 0-18

★

図18-20 4時分割LCDパネルの結線例 (SDSEL3n = 0, n = 0-2)

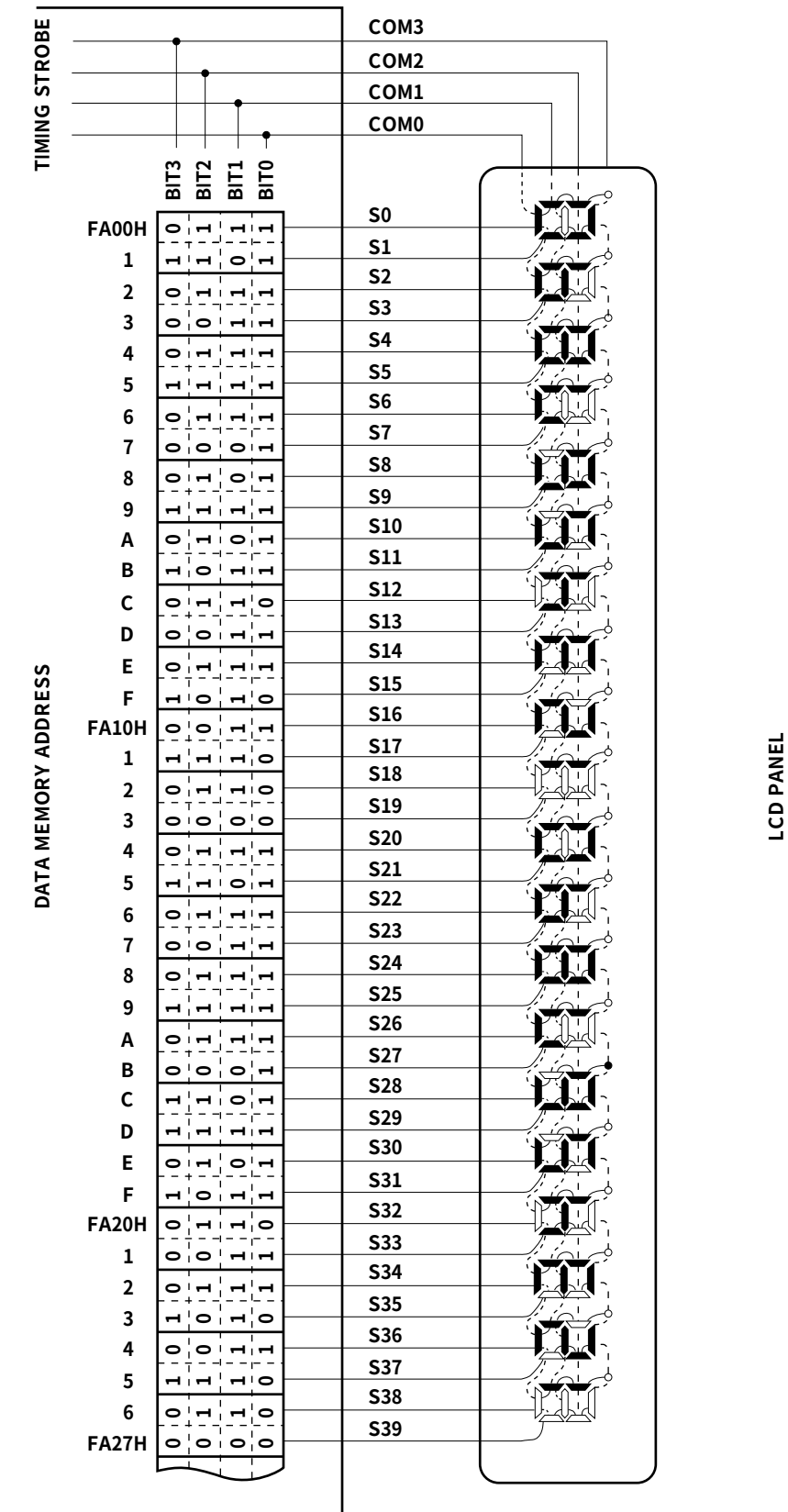
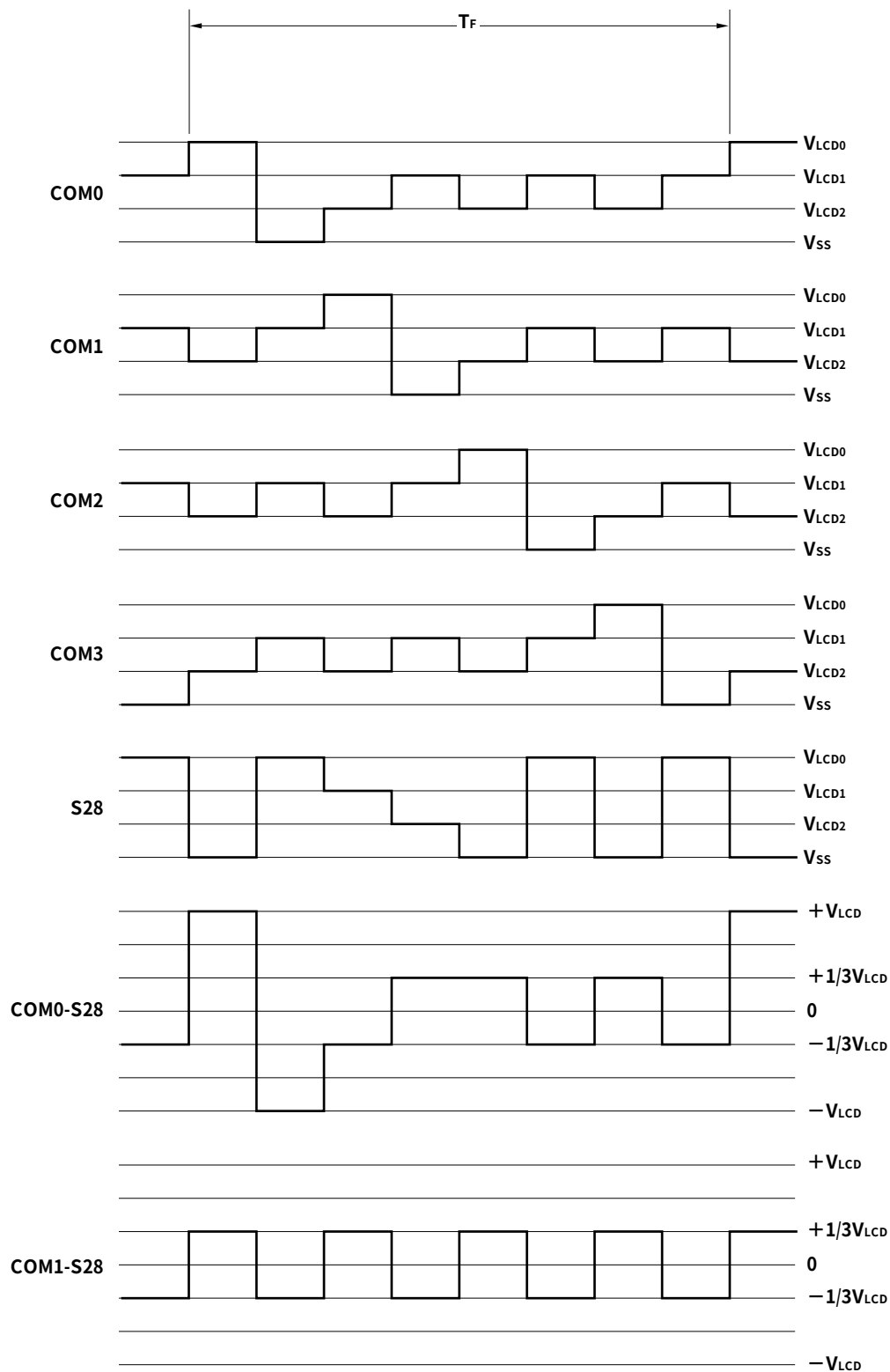


図18-21 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-S28とCOM3-S28の波形は省略

18.8.4 スタティック表示およびダイナミック表示の同時駆動

μPD780344, 780354, 780344Y, 780354Yサブシリーズは、スタティック表示（S0-S11）とダイナミック表示の同時駆動が可能です。

- ★ レジスタの設定は図18-7を参照してください。

第19章 割り込み機能

19.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

- ★ 割り込み禁止状態でも受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。ただしノンマスカブル割り込み中は保留されます。
- ★ スタンバイ・リリース信号を発生し、HALTモードを解除します。
ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込み要求だけです。

(2) マスカブル割り込み

- マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L）の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています（表19－1参照）。
- ★ スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。
マスカブル割り込みには、外部割り込み要求が8要因、内部割り込み要求が16要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

19.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計26要因あります（表19－1参照）。

備考 ウォッチドッグ・タイマの割り込み（INTWDT）は、ノンマスカブル割り込みかマスカブル割り込み（内部）のどちらかを選択できます。

表19-1 割り込み要因一覧

割り込みの種類	デフォルト・注 ¹ プライオリティ	割り込み要因		内部／ 外部	ベクタ・ テーブル・ アドレス	基本構成注 ² タイプ
		名 称	トリガ			
ノンマスクابل	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTP6			0012H	
	8	INTKR	ポート4の立ち下がりエッジ検出	内部	0014H	(D)
	9	INTSER0	シリアル・インタフェースUART0の受信エラー発生		0016H	(B)
	10	INTSR0	シリアル・インタフェースUART0の受信終了		0018H	
	11	INTST0	シリアル・インタフェースUART0の送信終了		001AH	
	12	INTCSI1	シリアル・インタフェースCSI1の転送終了		001CH	
	13	INTCSI3	シリアル・インタフェースSIO3の転送終了		001EH	
	14	INTIIC0	シリアル・インタフェースIIC0の転送終了 (μPD780344Y, 780354Yサブシリーズのみ)		0020H注 ³	
	15	INTWTNIO	時計用タイマからの基準時間間隔信号		0022H	
	16	INTTM00	TM00とCR00の一致 (CR00をコンペア・レジスタに指定したとき) TI01端子の有効エッジ検出 (CR00をキャプチャ・レジスタに指定したとき)		0024H	
	17	INTTM01	TM00とCR01の一致 (CR01をコンペア・レジスタに指定したとき) TI00端子の有効エッジ検出 (CR01をキャプチャ・レジスタに指定したとき)		0026H	
	18	INTTMA0	TMA0とCRA0の一致		0028H	
	19	INTTMB0	TMB0とCRB0の一致		002AH	
	20	INTTM50	TM50とCR50の一致		002CH	
	21	INTTM51	TM51とCR51の一致		002EH	
	22	INTAD0	A/Dコンバータの変換終了		0030H	
	23	INTWTN0	時計用タイマのオーバフロー		0032H	
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

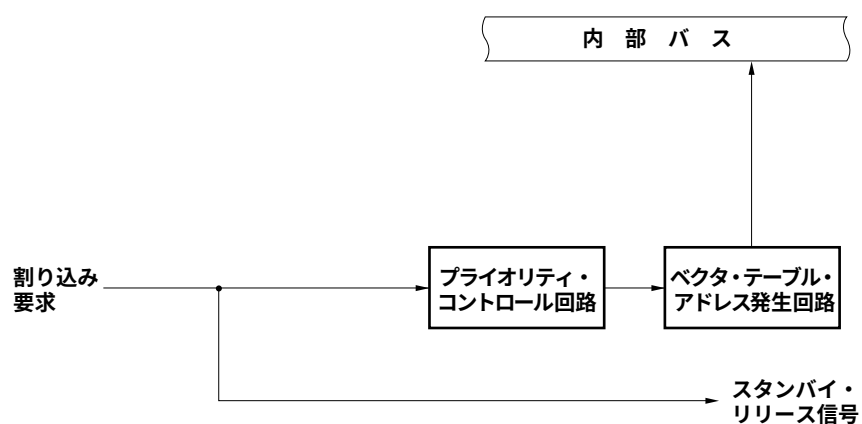
注1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、23が最低順位です。

2. 基本構成タイプの (A) - (E) は、それぞれ図19-1の (A) - (E) に対応しています。

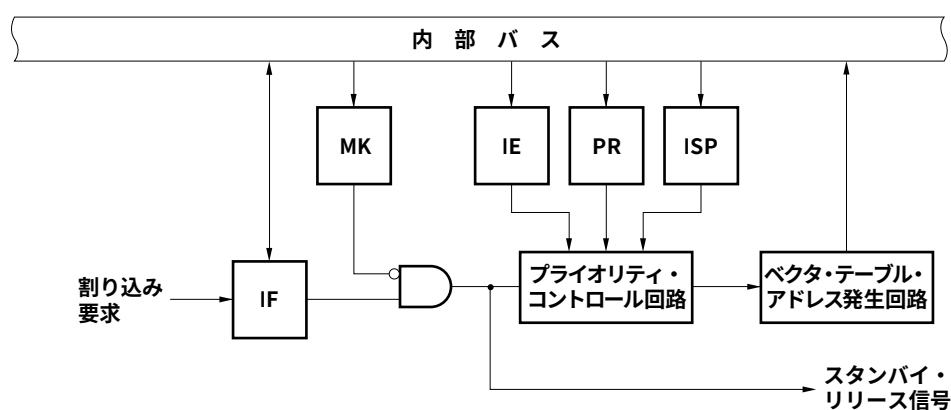
3. μPD780344, 780354サブシリーズはベクタ・テーブル・アドレスの0020Hに該当する割り込み要因はありません。

図19-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスカブル割り込み



(B) 内部マスカブル割り込み



(C) 外部マスカブル割り込み (INTP0-INTP6)

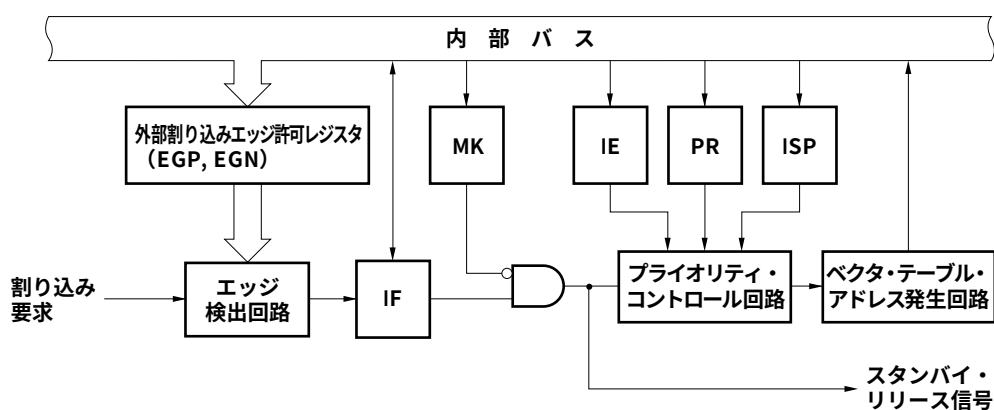
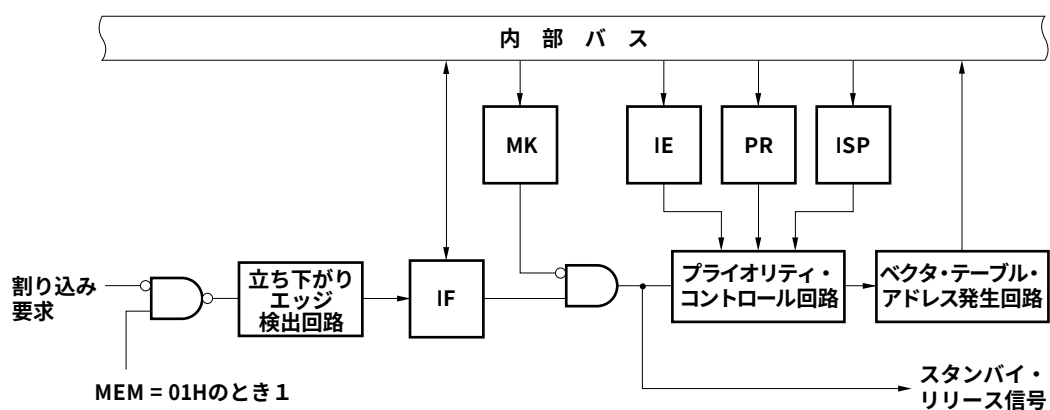
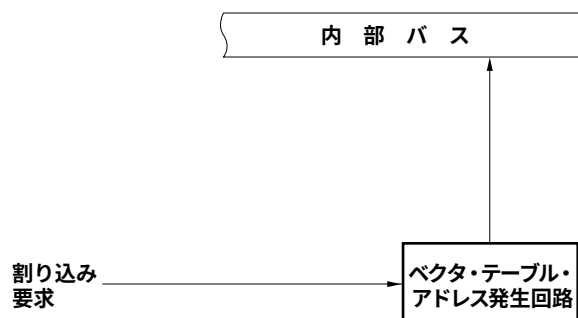


図19-1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み(INTKR)



★ (E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサースビス・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ
 MEM : メモリ拡張モード・レジスタ

19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表19-2に示します。

表19-2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込み要求マスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^{注1}	IF0L	WDTMK ^{注1}	MK0L	WDTPR ^{注1}	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTP6	PIF6		PMK6		PPR6	
INTKR	KRIF	IF0H	KRMK	MK0H	KRPR	PR0H
INTSER0	SERIF0		SERMK0		SERPR0	
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0		STMK0		STPR0	
INTCSI1	CSIF1		CSIMK1		CSIPR1	
INTCSI3	CSIF3		CSIMK3		CSIPR3	
INTIIC0 ^{注2}	IICIF0 ^{注2}		IICMK0 ^{注2}		IICPR0 ^{注2}	
INTWTNIO	WTNIF0		WTNIMK0		WTNIPR0	
INTTM00	TMIF00	IF1L	TMMK00	MK1L	TMPR00	PR1L
INTTM01	TMIF01		TMMK01		TMPR01	
INTTMA0	TMIFA0		TMMKA0		TMpra0	
INTTMB0	TMIFB0		TMMKB0		TMPRB0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51		TMMK51		TMPR51	
★ INTAD0	ADIF0		ADMK0		ADPR0	
INTWTN0	WTNIF0		WTNMK0		WTNPR0	

注1. ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

2. μPD780344Y, 780354Yサブシリーズのみ

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア（0）されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	WDTIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	WTNIF0	IICIF0 ^注	CSIF3	CSIF1	STIF0	SRIF0	SERIF0	KRIF

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	WTNIF0	ADIF0	TMIF51	TMIF50	TMIFB0	TMIFA0	TMIF01	TMIF00

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μ PD780344Y, 780354Yサブシリーズのみ

- 注意1.** WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。
- 2.** タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
- 3.** 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図19-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	WTNIMK0	IICMK0 ^注	CSIMK3	CSIMK1	STMK0	SRMK0	SERMK0	KRMK

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	WTNIMK0	ADMK0	TMMK51	TMMK50	TMMKB0	TMMKA0	TMMK01	TMMK00

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD780344Y, 780354Yサブシリーズのみ

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図19-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	PPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	WDTPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	WTNIPR0	IICPR0 ^注	CSIPR3	CSIPR1	STPR0	SRPR0	SERPR0	KRPR

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	WTNPR0	ADPR0	TMPR51	TMPR50	TMPRB0	TMPRA0	TMPR01	TMPR00

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 μPD780344Y, 780354Yサブシリーズのみ

注意 ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグに1を設定してください。

- (4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)
INTP0-INTP6の有効エッジを設定するレジスタです。
EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス: FF48H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス: FF49H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-6)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

- ★ 注意 外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

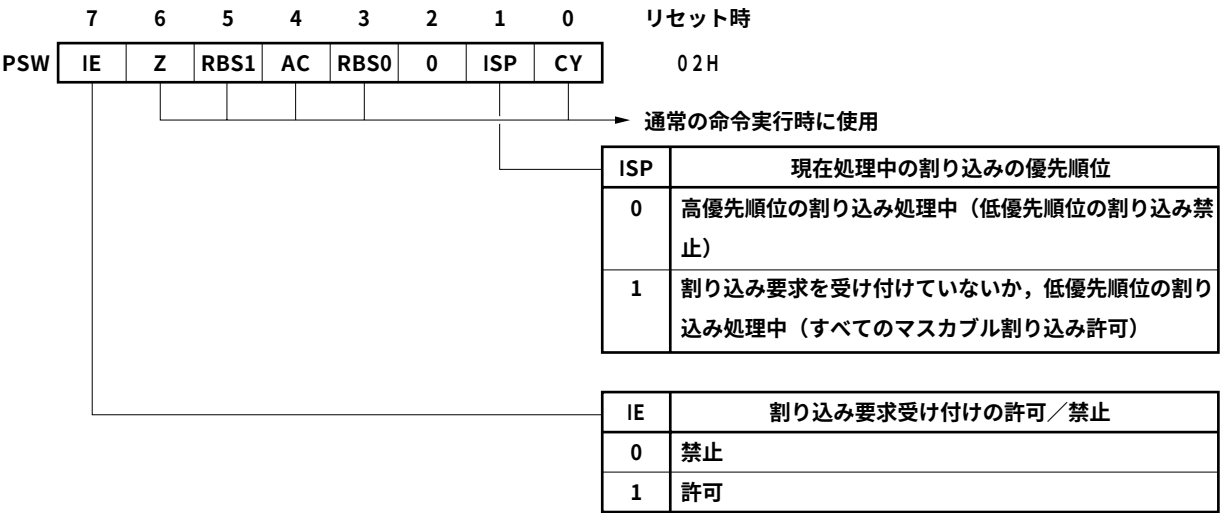
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図19-6 プログラム・ステータス・ワードの構成



19.4 割り込み処理動作

19.4.1 ノンマスカブル割り込み要求の受け付け動作

ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

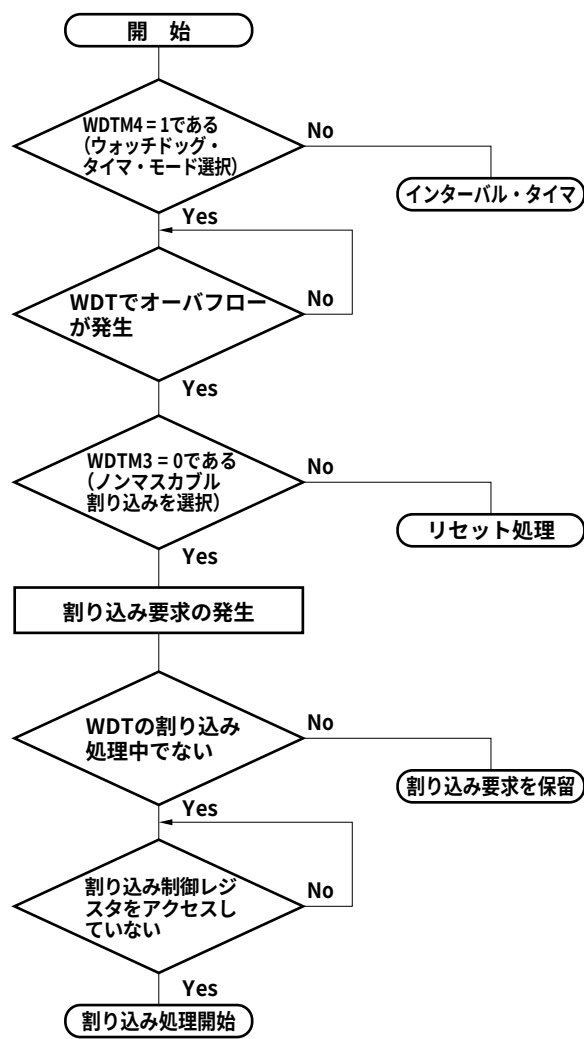
- ★ ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット（0）し、ベクタ・テーブルの内容をPCへロードし分岐します。このとき、多重割り込みの受け付けを禁止するために、NMISフラグがセット（1）されます。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了（RETI命令実行後）し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図19-7に、ノンマスカブル割り込み要求の受け付けタイミングを図19-8に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図19-9に示します。

- ★ **備考** NMISフラグはノンマスカブル割り込みの受け付けにより、セット（1）されます。RET命令またはRETI命令により、クリア（0）されます。ノンマスカブル割り込み発生時はRETI命令によって、割り込みから復帰してください。

図19－7 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ
WDT ：ウォッチドッグ・タイマ

図19－8 ノンマスカブル割り込み要求の受け付けタイミング

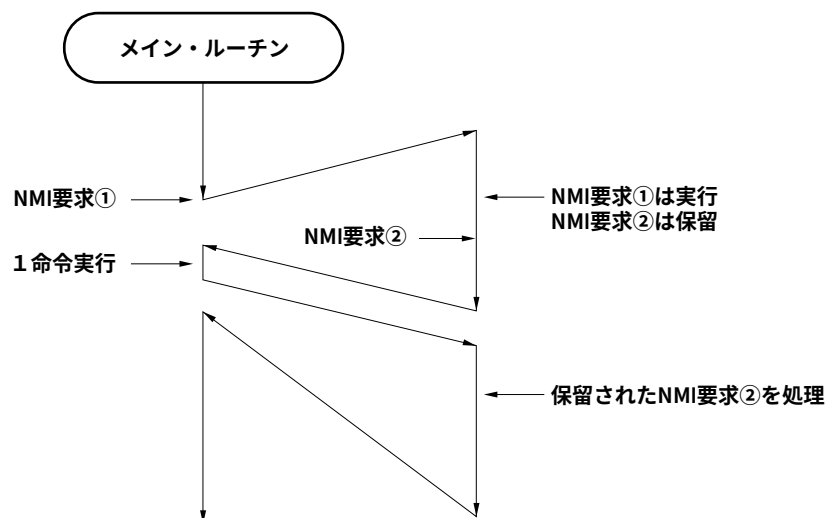


この間に発生した割り込みは↑のタイミングで受け付けられます。

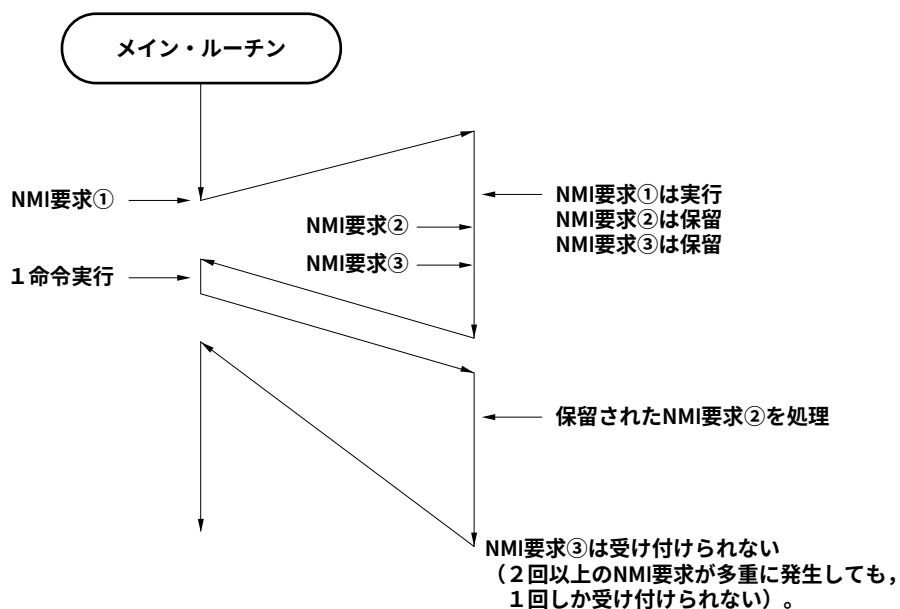
WDTIF：ウォッチドッグ・タイマ割り込み要求フラグ

図19-9 ノンマスカブル割り込み要求の受け付け動作

(a) ノンマスカブル割り込みサービス・プログラム実行中に
新たなノンマスカブル割り込み要求が発生した場合



(b) ノンマスカブル割り込みサービス・プログラム実行中に
新たに2回のノンマスカブル割り込み要求が発生した場合



19.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

★ また、ノンマスカブル割り込みサービス・プログラム実行中（NMIS = 1）にEI命令を実行しても、ノンマスカブル割り込み要求およびマスカブル割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19－3のようになります。

割り込み要求の受け付けタイミングについては、図19－11、19－12を参照してください。

表19－3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR=0のとき	7クロック	32クロック
××PR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

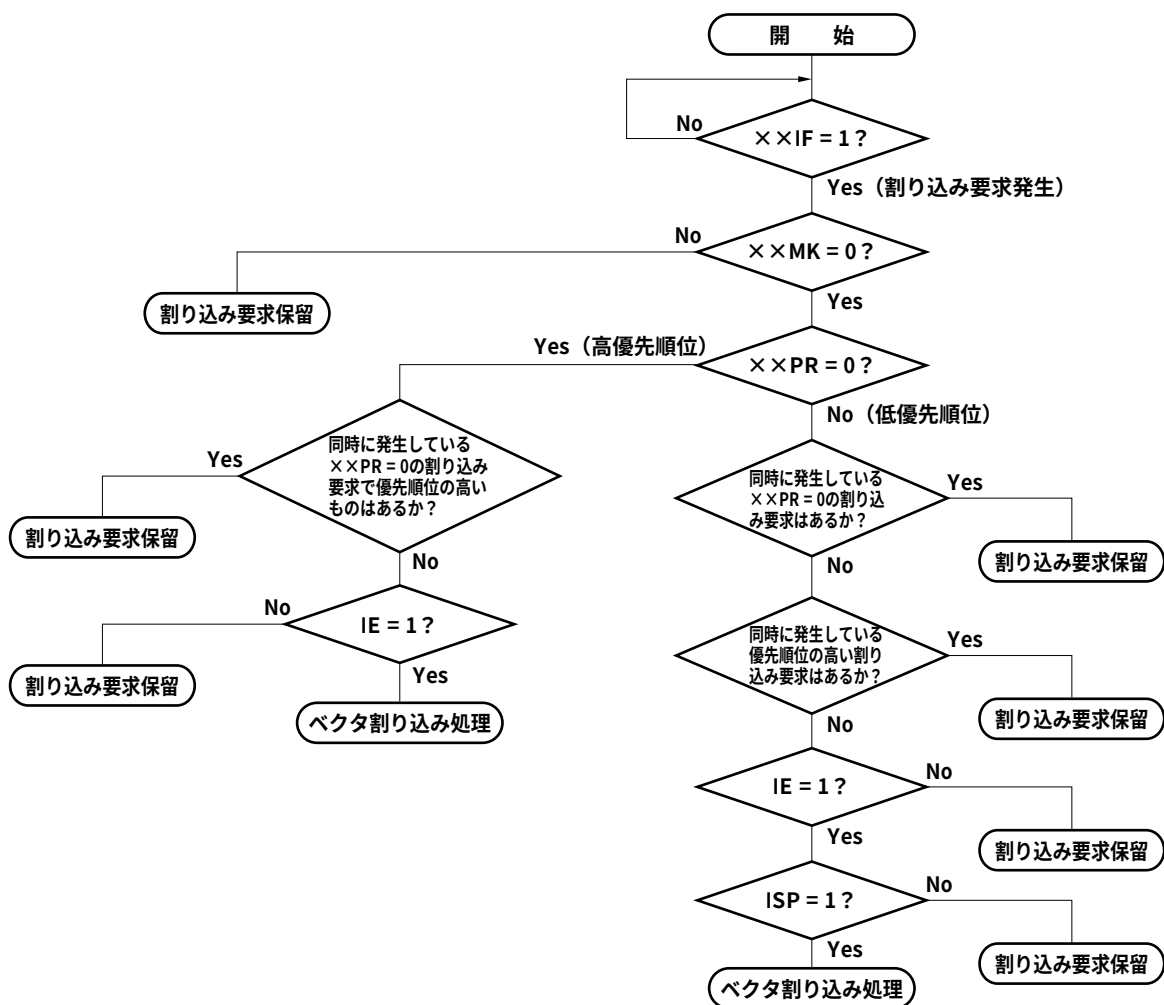
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19－10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図19-10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

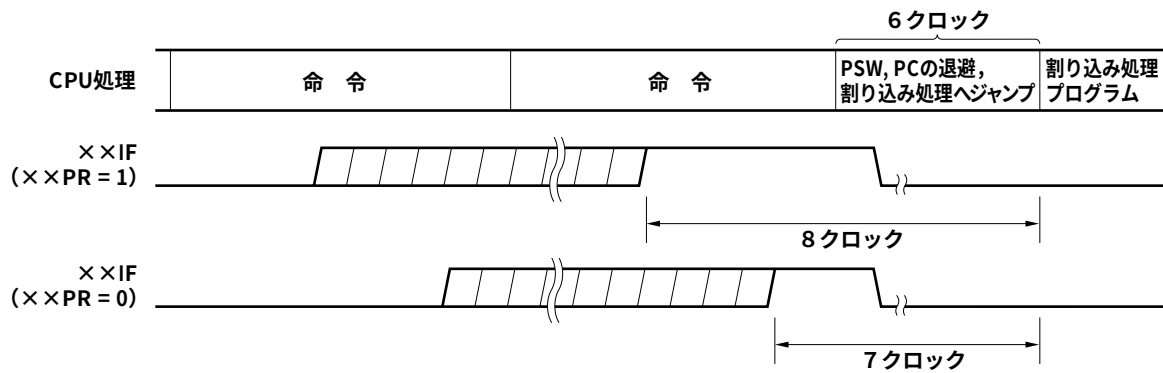
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

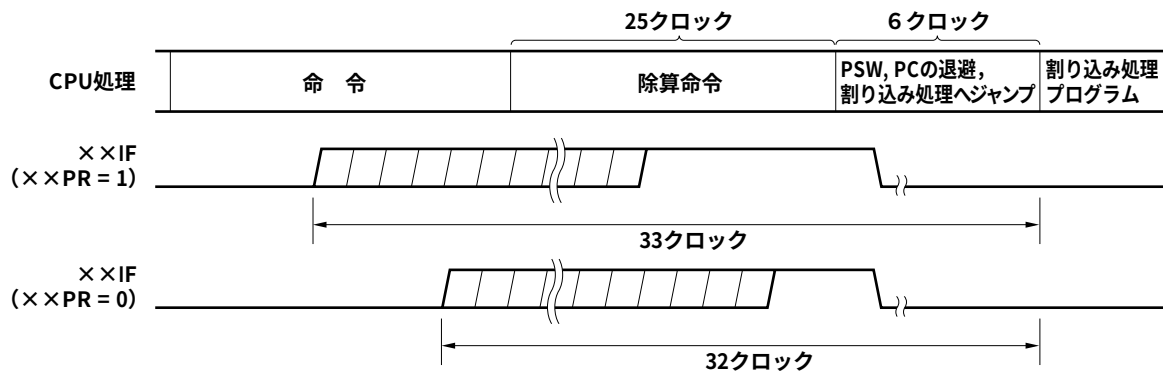
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図19-11 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック： $1/f_{CPU}$ (f_{CPU} ：CPUクロック)

図19-12 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック： $1/f_{CPU}$ (f_{CPU} ：CPUクロック)

19.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

19.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスカブル割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

★ なお、ノンマスカブル割り込み処理中には、多重割り込みは許可されません。

表19-4に多重割り込み可能な割り込み要求を、図19-13に多重割り込みの例を示します。

★

表19－4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクابل 割り込み要求	マスクابل割り込み要求				ソフトウェア 割り込み要求
			PR = 0		PR = 1		
			IE = 1	IE = 0	IE = 1	IE = 0	
ノンマスクابل割り込み		×	×	×	×	×	○
マスクابل割り込み	ISP = 0	○	○	×	×	×	○
	ISP = 1	○	○	×	○	×	○
ソフトウェア割り込み		○	○	×	○	×	○

備考 1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

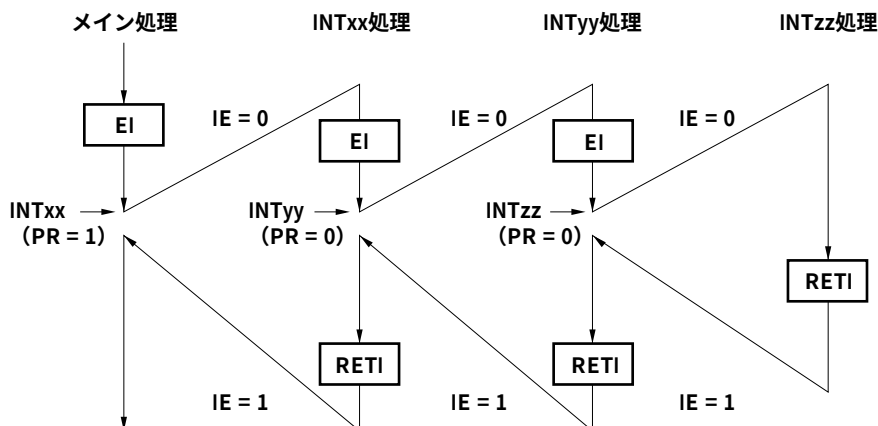
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0：高優先順位レベル

PR = 1：低優先順位レベル

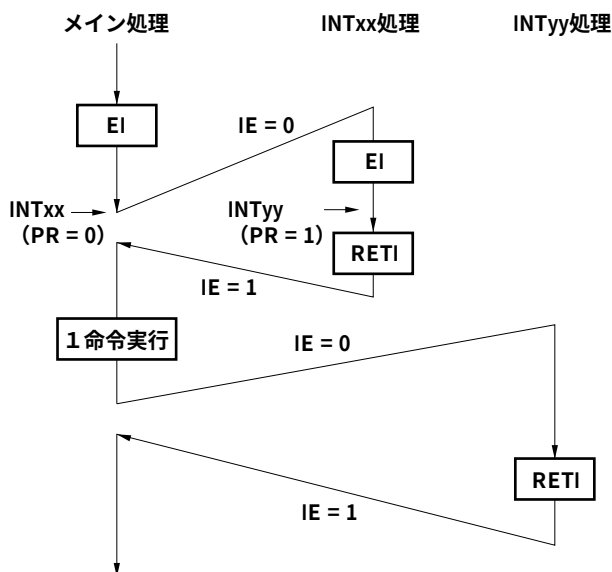
図19-13 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

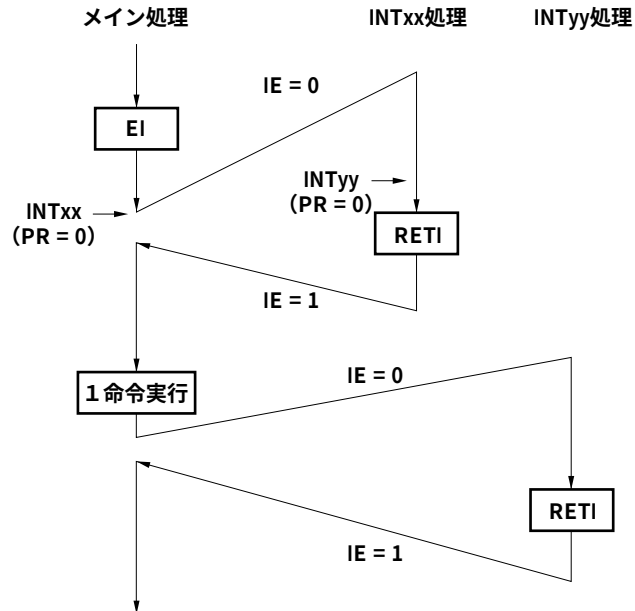
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図19-13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

19.4.5 割り込み要求の保留

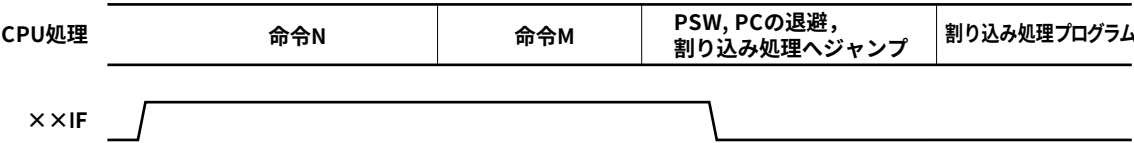
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図19－14に示します。

図19－14 割り込み要求の保留



- 備考 1.** 命令N：割り込み要求の保留命令
- 2.** 命令M：割り込み要求の保留命令以外の命令
- 3.** ××IF（割り込み要求）の動作は、××PR（優先順位レベル）の値の影響を受けません。

第20章 スタンバイ機能

20.1 スタンバイ機能と構成

20.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD} = 1.6 \text{ V}$ まで) 保持が可能です。したがって、超低消費電力でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます（サブシステム・クロックの発振を停止させることができません）。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。

- ★ 2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- 3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

20.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

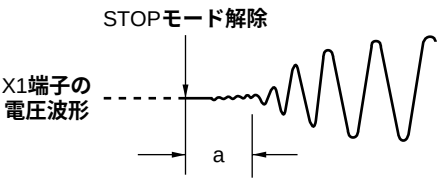
$\overline{\text{RESET}}$ 入力により、04Hになります。

図20－1 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFAH	リセット時：04H	R/W						
略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{14}/f_x$ (1.64 ms)
0	1	0	$2^{15}/f_x$ (3.28 ms)
0	1	1	$2^{16}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (13.1 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間（下図 a）は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

20.2 スタンバイ機能の動作

20.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表20-1 HALTモード時の動作状態

項目	HALTモードの設定		サブシステム・クロック動作中のHALT命令実行時	
	メイン・システム・クロック動作中のHALT命令実行時	サブシステム・クロック動作中のHALT命令実行時	メイン・システム・クロック	メイン・システム・クロック
	サブシステム・クロックがない場合 ^{注1}	サブシステム・クロックがある場合 ^{注2}	発振継続時	発振停止時
クロック発生回路	メイン・システム・クロック、サブシステム・クロックとも発振可能 CPUへのクロック供給は停止			
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
サブシステム・クロック4逓倍回路	動作停止			
16ビット・タイマ／イベント・カウンタ0	動作可能			動作停止
8ビット・タイマA0	動作可能			カウント・クロックにINTTMB0、キャリア・クロック、タイマB0出力選択時、動作可能
8ビット・タイマ／イベント・カウンタB0	動作可能			カウント・クロックにTMIB0選択時、動作可能
8ビット・タイマ／イベント・カウンタ50, 51	動作可能			カウント・クロックにTI50, TI51選択時、動作可能
時計用タイマ	カウント・クロックに $f_x/2^8$ 選択時、動作可能	動作可能		カウント・クロックに f_{XT} 選択時、動作可能
ウォッチドッグ・タイマ	動作可能		動作停止	
クロック出力	動作可能			カウント・クロックに f_{XT} 選択時、動作可能
A/Dコンバータ	動作停止			
シリアル・インタフェースSIO3	動作可能			外部SCK時は、動作可能
シリアル・インタフェースCSI1				動作停止
シリアル・インタフェースUART0				
シリアル・インタフェースIIC0 ^{注3}				
LCDコントローラ／ドライバ	カウント・クロックに $f_x/2^6$ - $f_x/2^8$ 選択時、動作可能	動作可能		カウント・クロックに f_{XT} 選択時、動作可能

注1．外部クロックを供給しない場合を含む。

2．外部クロックを供給する場合を含む。

3．μPD780344Y, 780354Yサブシリーズのみ

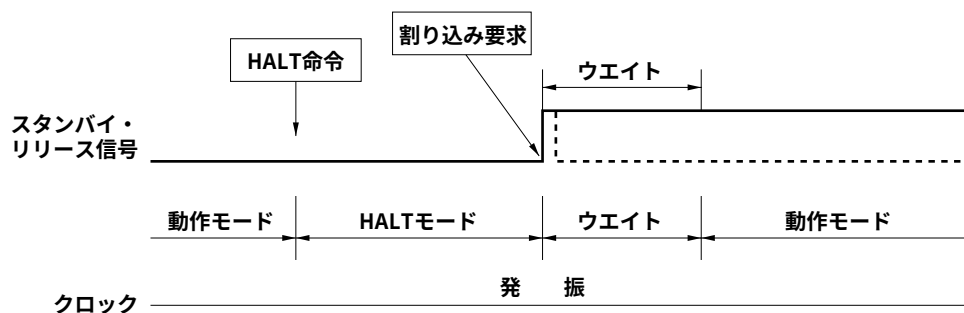
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8～9クロック
- ・ベクタ割り込み処理を行わない場合 : 2～3クロック

(b) ノンマスカブル割り込み要求による解除

ノンマスカブル割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

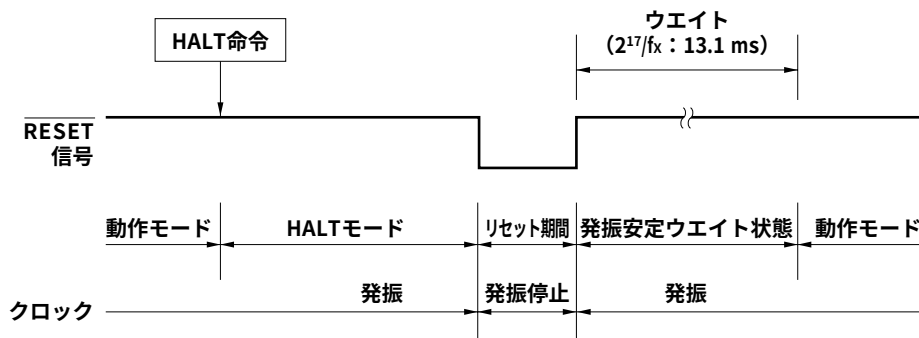
★

ただし、サブシステム・クロック動作時は、ノンマスカブル割り込み要求を発生しません。

(c) RESET入力による解除

RESET信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20-3 HALTモードのRESET入力による解除



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10 \text{ MHz}$ 動作時

表20-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	—	—	×	×	割り込み処理実行
RESET入力	—	—	×	×	リセット処理

× : don't care

★

注意 フラッシュ・メモリ製品（ μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AY）でサブクロック4通倍クロック使用時に、割り込み処理中のHALTモードを、処理中の割り込みよりも優先順位が低い割り込みで解除する場合は、HALT命令直後にNOP命令を1命令分設定してください（マスクROM製品は設定不要です）。

★

表20-3 サブクロック4逡倍クロック使用時のHALTモードの解除条件と
NOP命令設定の必要の有無（フラッシュ・メモリ製品のみ）

クロック	状態	解除条件	NOP命令の1命令分設定
サブクロック4逡倍クロック使用時	メイン処理中のHALTモード	RESET入力	不要
		割り込み	
	割り込み処理中のHALTモード	RESET入力	
		処理中の割り込みより優先順位が高い割り込み	必要
		処理中の割り込みより優先順位が低い割り込み	

20.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

注意 1. STOPモードに設定すると、水晶発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表20-4 STOPモード時の動作状態

項目 \ STOPモードの設定	サブシステム・クロックがある場合	サブシステム・クロックがない場合
クロック発生回路	メイン・システム・クロックのみ発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
サブシステム・クロック 4 通倍回路	動作停止	
16ビット・タイマ/イベント・カウンタ0	動作停止	
8ビット・タイマA0	カウント・クロックにINTTMB0、キャリア・クロック、タイマB0出力選択時、動作可能	
8ビット・タイマ/イベント・カウンタB0	カウント・クロックにTMIB0選択時、動作可能	
8ビット・タイマ/イベント・カウンタ50, 51	カウント・クロックにTI50, TI51選択時、動作可能	
時計用タイマ	カウント・クロックにf _{XT} 選択時、動作可能	動作停止
ウォッチドッグ・タイマ	動作停止	
クロック出力	PCLはロウ・レベル	
A/Dコンバータ	動作停止	
シリアル・インタフェースSIO3	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能	
シリアル・インタフェースCSI1		
シリアル・インタフェースUART0	動作停止（送信シフト・レジスタ0（TXS0）、受信シフト・レジスタ0（RX0）、受信バッファ・レジスタ0（RXB0）はクロック停止直前の値を保持）	
シリアル・インタフェースIIC0 ^注	動作停止	
LCDコントローラ／ドライバ	カウント・クロックにf _{XT} 選択時、動作可能	動作停止

注 μPD780344Y, 780354Yサブシリーズのみ

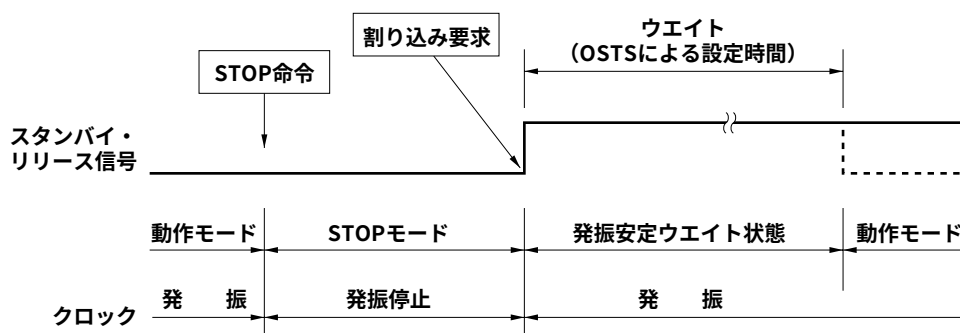
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

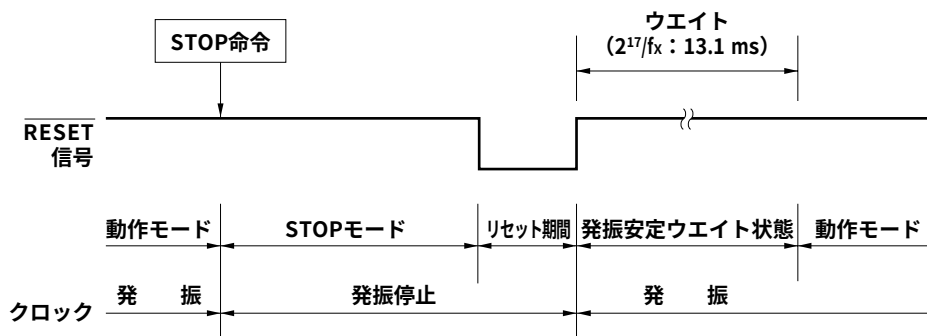
図20-4 STOPモードの割り込み要求発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) RESET入力による解除

RESET信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図20-5 STOPモードのRESET入力による解除

備考 1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10 \text{ MHz}$ 動作時

表20-5 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
<u>RESET</u> 入力	—	—	×	×	リセット処理

× : don't care

第21章 リセット機能

21.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表21-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図21-2から図21-4参照)。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図21-1 リセット機能のブロック図

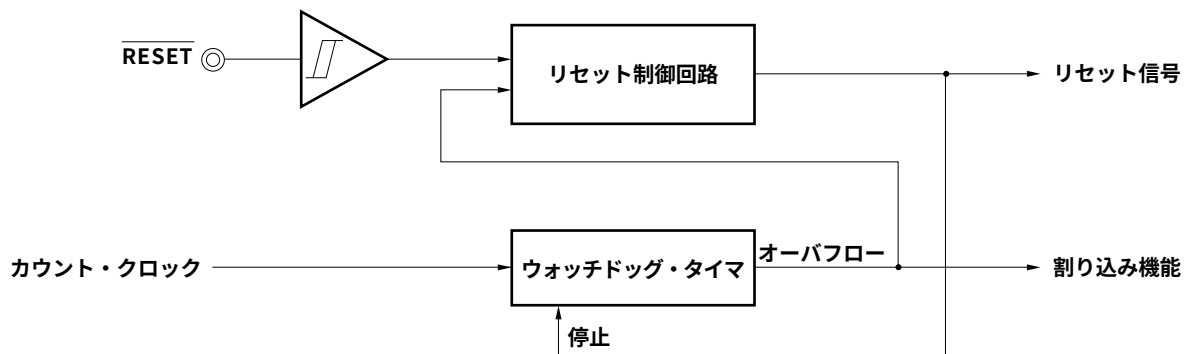


図21-2 RESET入力によるリセット・タイミング

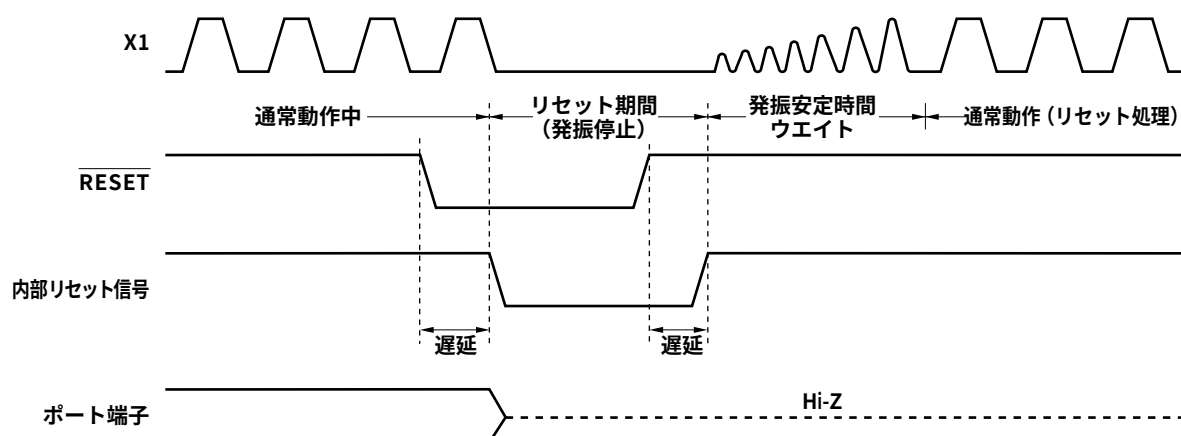


図21-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

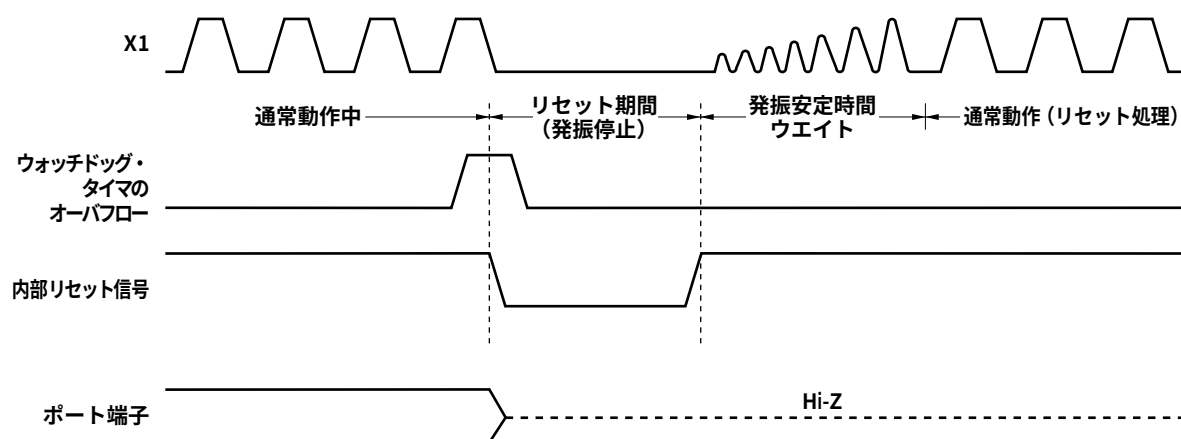


図21-4 STOPモード中のRESET入力によるリセット・タイミング

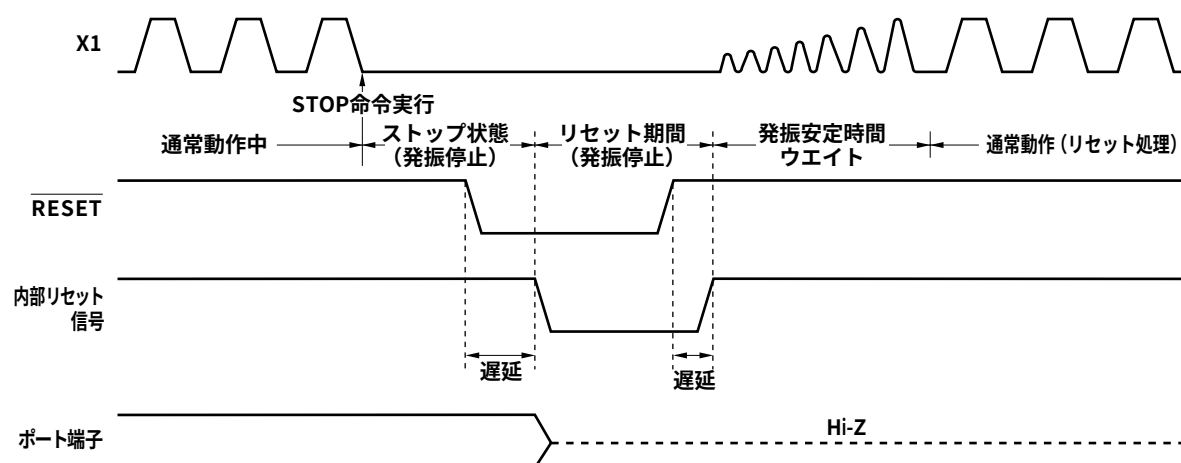


表21-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセット される
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定注2
	汎用レジスタ	不定注2
ポート (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM2-PM4, PM8-PM11)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU2-PU4)		00H
兼用切り替えレジスタ (PF8-PF11)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注3
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH注4
メモリ拡張モード・レジスタ (MEM)		00H
サブクロック選択レジスタ (SSCK)		00H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/ イベント・カウンタ0	タイマ・カウンタ0 (TM0)	0000H
	キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)	不定
	プリスケアラ・モード・レジスタ0 (PRM0)	00H
	モード・コントロール・レジスタ0 (TMC0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)	00H
	出力コントロール・レジスタ0 (TOC0)	00H
8ビット・タイマ/ イベント・カウンタA0, B0	タイマ・カウンタ (TMA0, TMB0)	00H
	コンペア・レジスタ (CRA0, CRB0, CRHB0)	不定
	モード・コントロール・レジスタ (TMCA0, TMCB0)	00H
	キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0)	00H
8ビット・タイマ/ イベント・カウンタ50, 51	タイマ・カウンタ (TM50, TM51)	00H
	コンペア・レジスタ (CR50, CR51)	不定
	クロック選択レジスタ (TCL50, TCL51)	00H
	モード・コントロール・レジスタ (TMC50, TMC51)	00H
時計用タイマ	動作モード・レジスタ0 (WTNM0)	00H
	割り込み時間選択レジスタ (WTIM)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
クロック出力制御回路	クロック出力選択レジスタ (CKS)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。そ

の他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3. 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780343, 780353, 780343Y, 780353Y : 46H

μPD780344, 780354, 780344Y, 780354Y : 48H

μPD78F0354, 78F0354A, 78F0354Y, 78F0354AY : C8HまたはマスクROM製品に対応した値

4. 初期値は0CHですが、0BHを設定して使用してください。

表21-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
A/Dコンバータ	変換結果レジスタ0 (ADCR0) 注1	0000H
	変換結果レジスタ1 (ADCR1) 注2	00H
	モード・レジスタ0 (ADM0)	00H
	アナログ入力チャネル指定レジスタ0 (ADS0)	00H
シリアル・インタフェースSI03	シフト・レジスタ3 (SI03)	不定
	動作モード・レジスタ3 (CSIM3)	00H
シリアル・インタフェースCSI1	シフト・レジスタ1 (SI01)	不定
	送信バッファ・レジスタ1 (SOTB1)	不定
	動作モード・レジスタ1 (CSIM1)	00H
	クロック選択レジスタ1 (CSIC1)	10H
シリアル・インタフェースUART0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	00H
	送信シフト・レジスタ0 (TXS0)	FFH
	受信バッファ・レジスタ0 (RXB0)	
シリアル・インタフェースIIC0注3	転送クロック選択レジスタ0 (IICCL0)	00H
	シフト・レジスタ0 (IIC0)	00H
	コントロール・レジスタ0 (IICC0)	00H
	状態レジスタ0 (IICS0)	00H
	スレーブ・アドレス・レジスタ0 (SVA0)	00H
	機能拡張レジスタ0 (IICX0)	00H
LCDコントローラ／ドライバ	表示モード・レジスタ3 (LCDM3)	00H
	クロック制御レジスタ3 (LCDC3)	00H
	ゲイン調整レジスタ0 (VLCG0)	00H
	スタティック／ダイナミック切り替えレジスタ3 (SDSEL3)	00H
割り込み	要求フラグ・レジスタ (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H
ROMコレクション	コレクション・アドレス・レジスタ (CORAD0, CORAD1)	0000H
	コレクション・コントロール・レジスタ (CORCN)	00H

注1. μPD780354, 780354Yサブシリーズのみ

2. μPD780344, 780344Yサブシリーズのみ

3. μPD780344Y, 780354Yサブシリーズのみ

第22章 ROMコレクション

22.1 ROMコレクションの機能

- ★ μ PD780344, 780354, 780344Y, 780354Yサブシリーズは、マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内部拡張RAM内のプログラムに置き換えて実行できます。
- ★ ROMコレクションを使用することにより、マスクROMまたはフラッシュ・メモリで発見された命令バグを回避したり、プログラムの流れを変更できます。
- ★ ROMコレクションは内部ROMまたは内部フラッシュ・メモリ（プログラム）中、最大2箇所使用できます。

注意 ROMコレクションはインサーキット・エミュレータ（IE-78K0-NS, IE-78K0-NS-A）でエミュレーションできません。あらかじめご了承ください。

22.2 ROMコレクションの構成

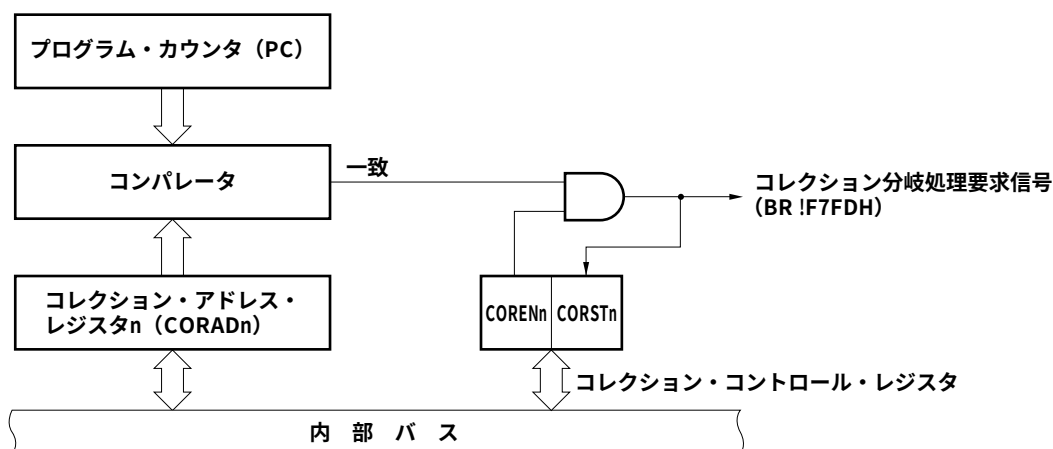
ROMコレクションは、次のハードウェアで構成しています。

表22-1 ROMコレクションの構成

項 目	構 成
レジスタ	コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1)
制御レジスタ	コレクション・コントロール・レジスタ (CORCN)

図22-1にROMコレクションのブロック図を示します。

図22-1 ROMコレクションのブロック図



備考 n=0, 1

(1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)

- ★ マスクROMまたはフラッシュ・メモリ中の修正したい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

ROMコレクションでは、プログラムを最大2箇所修正できます。アドレスは、CORAD0とCORAD1の2箇所に設定できます。1箇所だけ修正したい場合はどちらかにアドレスを設定してください。

CORAD0, CORAD1に指定した先頭アドレスに対するROMコレクションの動作は、コレクション・コントロール・レジスタ (CORCN) のビット1 (COREN0), ビット3 (COREN1) が1のときに有効になります。

CORAD0, CORAD1は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図22-2 コレクション・アドレス・レジスタ0, 1のフォーマット

略号	15	0	アドレス	リセット時	R/W
CORAD0			FF38H/FF39H	0000H	R/W
CORAD1			FF3AH/FF3BH	0000H	R/W

注意 1. CORAD0, CORAD1は、コレクション・コントロール・レジスタ（CORCN）のビット1（COREN0）、ビット3（COREN1）が0のときに設定してください。

2. CORAD0, CORAD1には、命令コードの先頭アドレスのみ設定可能です。

3. 次のアドレスをCORAD0, CORAD1に設定しないでください。

- ・ テーブル参照命令（CALLT命令）のテーブル領域のアドレス値：0040H-007FH
- ・ ベクタ・テーブル領域のアドレス値：0000H-003FH

（2）コンパレータ

コレクション・アドレス・レジスタ0, 1（CORAD0, CORAD1）に設定した修正アドレス値とフェッチ・アドレス値を常に比較します。コレクション・コントロール・レジスタ（CORCN）のビット1（COREN0）またはビット3（COREN1）が1のとき、修正アドレスとフェッチ・アドレスの値が一致すると、ROMコレクション回路からコレクション分岐処理要求信号（BR !F7FDH）が発生されます。

22.3 ROMコレクションを制御するレジスタ

ROMコレクションはコレクション・コントロール・レジスタ（CORCN）で制御します。

（1）コレクション・コントロール・レジスタ（CORCN）

コレクション・アドレス・レジスタ0, 1に設定した修正アドレスとフェッチ・アドレスが一致したときに、コレクション分岐処理要求信号を発生するかどうかを制御するレジスタです。コンパレータでの一致検出の許可／禁止を設定するコレクション・イネーブル・フラグ（COREN0, COREN1）と、一致したことを表示するコレクション・ステータス・フラグ（CORST0, CORST1）で構成されています。

CORCNは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図22-3 コレクション・コントロール・レジスタ（CORCN）のフォーマット

アドレス：FF8AH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
CORCN	0	0	0	0	COREN1	CORST1	COREN0	CORST0

COREN1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

COREN0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

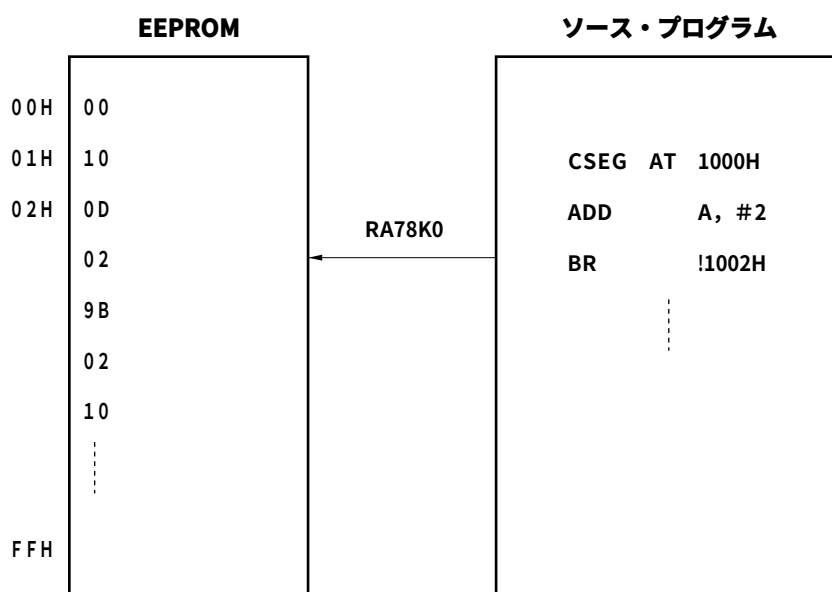
注 ビット0，2はRead Onlyです。ビット0，2がセット（1）されるのは、コンパレータによる一致時のみです。ソフトウェアで1を設定しないでください。

22.4 ROMコレクションの使用方法

- ① マイコン外部の不揮発性メモリ（EEPROM™など）に、修正アドレスおよび修正後の命令（修正プログラム）を格納します。

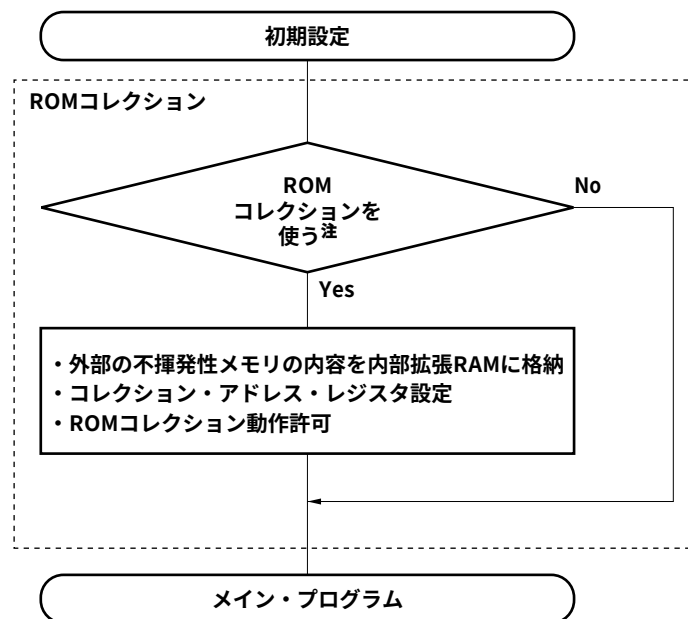
修正箇所が2つの場合は、コレクション・アドレス・レジスタ0, 1（CORAD0, CORAD1）に設定したアドレスのうち、どちらでコレクション分岐処理が発生したかチェックする分岐先判断プログラムも格納します。

図22-4 EEPROMへの格納例（修正箇所が1つの場合）



- ② プログラムの修正ができるように、あらかじめ図22-5のような初期ルーチンを組んでおいてください。

図22-5 初期設定ルーチン



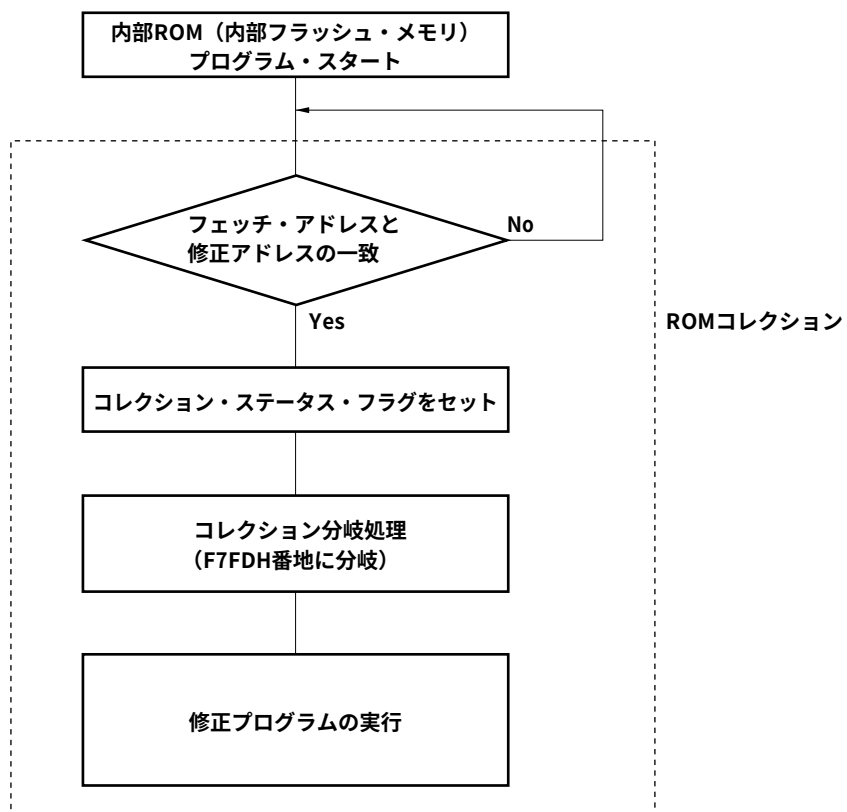
注 ROMコレクションを使用するかどうかは、ポートの入力レベルで判断するなどの方法をとります。
たとえば、P20の入力レベルが「ハイ・レベルなら使用する／ロウ・レベルなら使用しない」とします。

- ③ リセット後、あらかじめユーザのROMコレクション用初期ルーチンで外部の不揮発性メモリなどに格納しておいた内容を内部拡張RAMに格納します（図22-5参照）。
- また、修正したい命令の先頭アドレスをCORAD0, CORAD1に設定し、コレクション・コントロール・レジスタ（CORCN）のビット1, ビット3（COREN0, COREN1）を1にセットします。
- ④ メイン・プログラムで内部拡張RAMの所定アドレス（F7FDH）に全空間分岐命令（BR !addr16）を設定します。
- ⑤ メイン・プログラムのスタート後は、ROMコレクション回路内のコンパレータで、CORAD0, CORAD1に設定した値とフェッチ・アドレス値が常に比較され、一致するとコレクション分岐処理要求信号が発生されます。同時にコレクション・ステータス・フラグ（CORST0, CORST1）が1にセットされます。

- ⑥ コレクション分岐処理要求信号によりF7FDH番地に分岐します。
- ⑦ F7FDH番地の全空間分岐命令により、メイン・プログラムで設定した内部拡張RAMのアドレスに分岐します。
- ⑧ 修正箇所が1つの場合は、そのまま修正プログラムを実行します。
修正箇所が2つの場合は、分岐先判断プログラムでコレクション・ステータス・フラグをチェックして修正プログラムに分岐します。

図22-6 ROMコレクションの動作

★

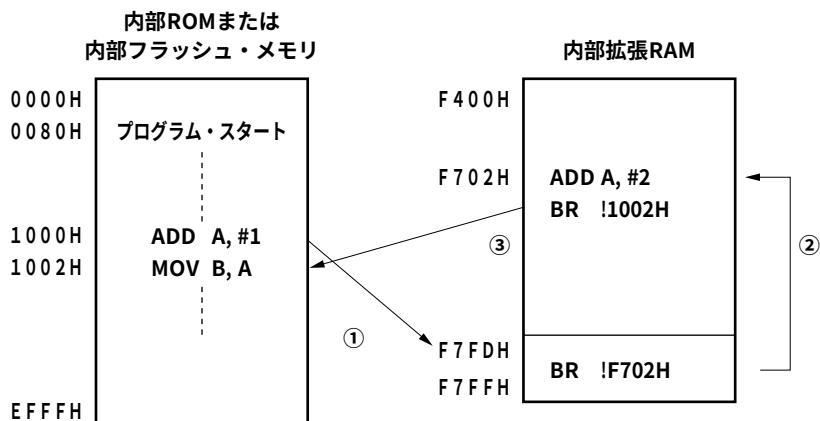


22.5 ROMコレクションの使用例

1000H番地の命令“ADD A, #1”を“ADD A, #2”に変更する場合のROMコレクションの使用例を次に示します。

図22-7 ROMコレクションの使用例

★



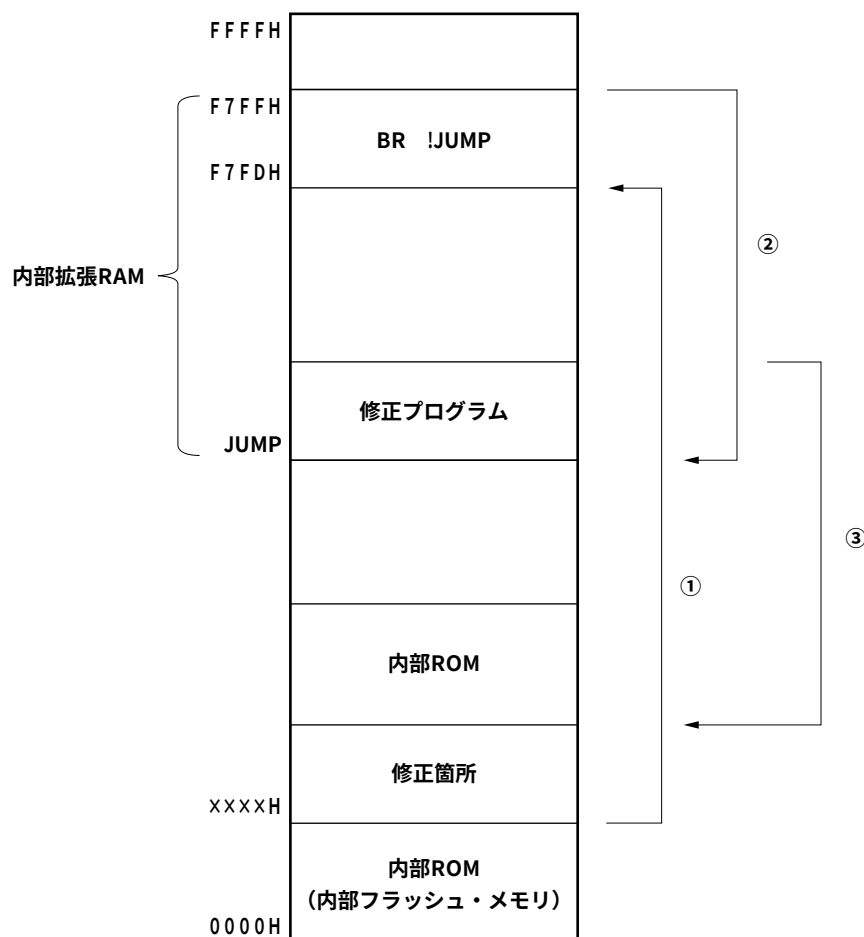
- ① メイン・プログラム・スタート後、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) にあらかじめ設定しておいた1000Hとフェッチ・アドレスの値が一致したとき、F7FDH番地に分岐します。
- ② F7FDH番地に全空間分岐命令 (BR !addr16) をメイン・プログラムで設定しておくことにより任意のアドレス (この例ではF702H番地) に分岐します。
- ③ 代替命令ADD A, #2を実行したあと、内部ROM (内部フラッシュ・メモリ) プログラムに復帰します。

★

22.6 プログラム実行フロー

図22-8, 図22-9にROMコレクションを使用する場合のプログラム遷移図を示します。

図22-8 プログラム遷移図（修正箇所が1つの場合）



① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐

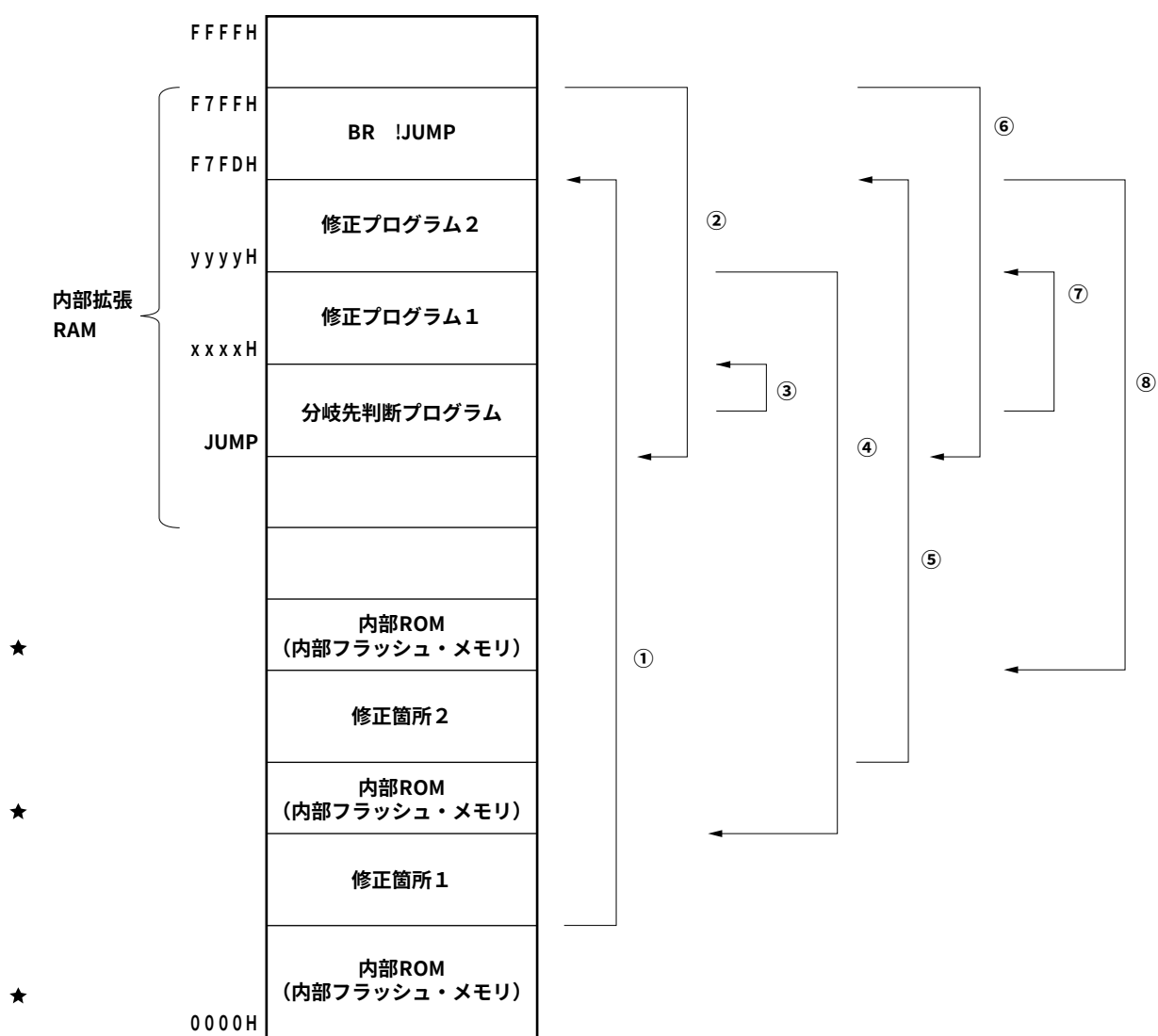
② 修正プログラムに分岐

③ 内部ROMプログラム（内部フラッシュ・メモリ）に復帰

注意 内部高速RAM, LCD表示用RAMをROMコレクション領域に使用しないでください。

備考 JUMP : 修正プログラム・スタート・アドレス

図22-9 プログラム遷移図（修正箇所が2つの場合）



- ① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ② 分岐先判断プログラムに分岐
- ③ 分岐先判断プログラム (BTCLR !CORST0, \$xxxxH) により修正プログラム1に分岐
- ★ ④ 内部ROM (内部フラッシュ・メモリ) プログラムに復帰
- ⑤ フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ⑥ 分岐先判断プログラムに分岐
- ⑦ 分岐先判断プログラム (BTCLR !CORST1, \$yyyyH) により修正プログラム2に分岐
- ★ ⑧ 内部ROM (内部フラッシュ・メモリ) プログラムに復帰

注意 内部高速RAM, LCD表示用RAMをROMコレクション領域に使用しないでください。

備考 JUMP : 修正プログラム・スタート・アドレス

22.7 ROMコレクションの注意事項

- (1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定するアドレス値は、必ず命令コードが格納してあるアドレス値にしてください。また設定するアドレス値は、必ず命令コードの先頭アドレスにしてください。
- (2) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) は、コレクション・イネーブル・フラグ (COREN0, COREN1) が0のときに設定してください (コレクション分岐処理禁止状態のときに設定してください)。COREN0, COREN1が1のとき (コレクション分岐処理許可状態のとき) にCORAD0, CORAD1にアドレスを設定すると、設定したアドレス値とは異なるアドレスでコレクション分岐処理が起動される可能性があります。
- (3) コレクション・イネーブル・フラグ (COREN0, COREN1) を1にセットする命令の直後にある命令のアドレス値をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (コレクション分岐処理が起動されない場合があります)。
- (4) テーブル参照命令 (CALLT命令) のテーブル領域のアドレス値 (0040H-007FH), ベクタ・テーブル領域のアドレス値 (0000H-003FH) をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください。
- (5) 次を示す命令の直後の2アドレスを、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (これらの命令がマッピングされている終端アドレスをNとすると、N+1, N+2のアドレス値は設定しないでください)。
 - RET
 - RETI
 - RETB
 - BR \$addr16
 - STOP
 - HALT
- (6) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) の設定するアドレス値にF7FDH番地を設定しないでください。

第23章 μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AY

μ PD780344, 780354, 780344Y, 780354Yサブシリーズのフラッシュ・メモリ製品には、 μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYがあります。

μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵した製品です。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムに μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYとマスクROM製品の違いを表23-1に示します。

表23-1 μPD78F0354, 78F0354A, 78F0354Y, 78F0354AYとマスクROM製品の違い

項 目		フラッシュ・メモリ製品		マスクROM製品			
		μ PD78F0354, 78F0354A	μ PD78F0354Y, 78F0354AY	μ PD780343, μ PD780344	μ PD780353, μ PD780354	μ PD780343Y, μ PD780344Y	μ PD780353Y, μ PD780354Y
内 部 メ モ リ	ROM構造	フラッシュ・メモリ		マスクROM			
	ROM容量	32 Kバイト ^注		μ PD780343, 780353, 780343Y, 780353Y : 24 Kバイト μ PD780344, 780354, 780344Y, 780354Y : 32 Kバイト			
	高速RAM容量	1024バイト ^注		512バイト			
	拡張RAM容量	512バイト					
	LCD表示用 RAM容量	40×8ビット					
P30, P31端子の 兼用機能		なし	あり	なし		あり (SCL0, SDA0)	
P30, P31端子の プルアップ抵抗		なし (SCL0, SDA0)		マスク・オプションにより, 1 ビット単位で内蔵可能		なし	
P70- P73端子の プルアップ抵抗		なし		マスク・オプションにより, 1ビット単位で内蔵可能			
A/Dコンバータの分 解能		10ビット		8ビット	10ビット	8ビット	10ビット
シリアル・インタ フェースIIC0		なし	あり	なし		あり	
サブクロック4通倍 クロック使用時の HALTモードの制限 事項		20.2.1 (2) HALTモードの解除の 注意文を参照してください。		なし			
IC端子		なし		あり			
V _{PP} 端子		あり		なし			
電氣的特性		第25章 電氣的特性を参照してください。					

注 メモリ・サイズ切り替えレジスタ (IMS) により, マスク製品と同一の容量に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分に評価してください。

23.1 メモリ・サイズ切り替えレジスタ

μPD78F0354, 78F0354A, 78F0354Y, 78F0354AYは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

注意 プログラムの初期設定として、IMSには必ずC8Hまたは46Hまたは48Hを設定してください。なお、リセットによりIMSはCFHになりますので、リセット後は必ずC8Hまたは46Hまたは48Hに設定してください。

図23－1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H	リセット時：CFH	R/W					
略号	7	6	5	4	3	2	1 0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1 ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表23－2に示します。

表23－2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μPD780343, 780353, 780343Y, 780353Y	46H
μPD780344, 780354, 780344Y, 780354Y	48H

注意 マスクROM製品を使用する場合、IMSには表23－2に示す値を必ず設定してください。

23.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）は、内部拡張RAM容量を設定するレジスタです。

IXSは、8ビット・メモリ操作命令で設定します。

リセット時は、0CHになります。

注意 プログラムの初期設定としてIXSには必ず0BHを設定してください。なお、リセットによりIXSは0CHになりますので、リセット後は必ず0BHに設定してください。マスクROM製品も同様に設定してください。

図23－2 内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	0	1	1	512バイト
上記以外				設定禁止

23.3 フラッシュ・メモリの特徴

- ★ フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（FlashproIII（型番 FL-PR3, PG-FP3）／FlashproIV（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

23.3.1 プログラミング環境

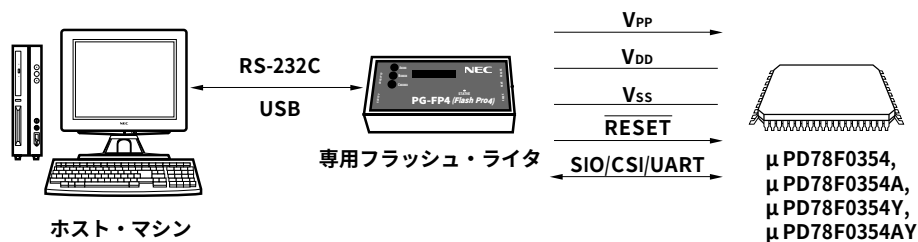
μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashproIII/FlashproIVを使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashproIII/FlashproIVのマニュアルを参照してください。

備考 USBはFlashproIVのみ対応

図23-3 フラッシュ・メモリにプログラムを書き込むための環境



23.3.2 通信方式

専用フラッシュ・ライタと μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYとの通信は、表23-3に示す通信方式から選択して行います。

★

表23-3 通信方式一覧

通信方式	Standard (TYPE) 設定 ^{注1}					使用端子	V _{PP} パルス数
	Port (COMM PORT)	Speed (SIO CLOCK)	On Target (CPU CLOCK)	Frequency (Flash Clock)	Multiply rate (Multiple Rate)		
3線式シリアルI/O (SIO3)	SIO-ch0 (SIO ch-0)	2.4 kHz-625 kHz ^{注2} (100 Hz-1.25 MHz) ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI3/P20 SO3/P21 SCK3/P22	0
3線式シリアルI/O (SIO3) ハンドシェークあり	SIO-HS (SIO ch-3+ handshake)					SI3/P20 SO3/P21 SCK3/P22 P33 (HS)	3
3線式シリアルI/O (CSI1)	SIO-ch1 (SIO ch-1)	2.4 kHz-625 kHz ^{注2} (100 Hz-2 MHz) ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI1/P23 SO1/P24 SCK1/P25	1
UART (UART0)	UART-ch0 (UART ch-0)	4800-76800 bps ^{注2, 3}	任意	1-10 MHz ^{注2}	1.0	RxD0/P26 TxD0/P27	8

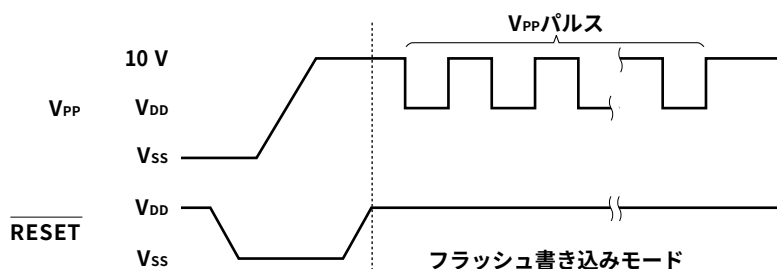
注1．FlashproIV上のStandard設定（FlashproIII上ではTYPE設定）における選択項目です。

2．電圧により設定可能な範囲が異なります。詳細は第25章 電気的特性を参照してください。

3．UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

備考 設定項目の（ ）内はFlashproIVと異なる場合のFlashproIIIの設定値および設定項目です。

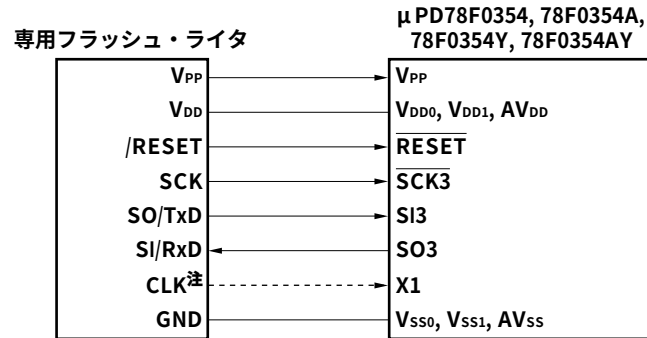
図23-4 通信方式選択フォーマット



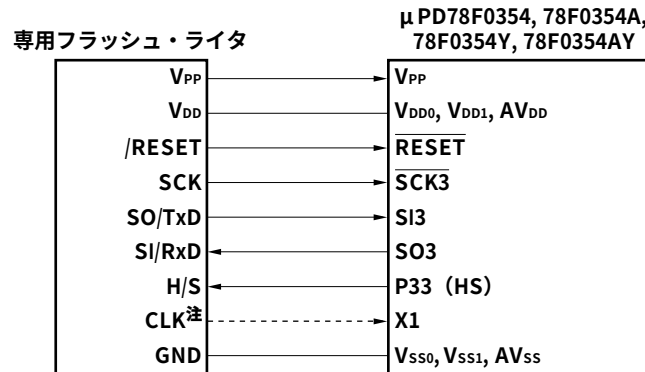
★

図23-5 専用フラッシュ・ライタとの接続例 (1/2)

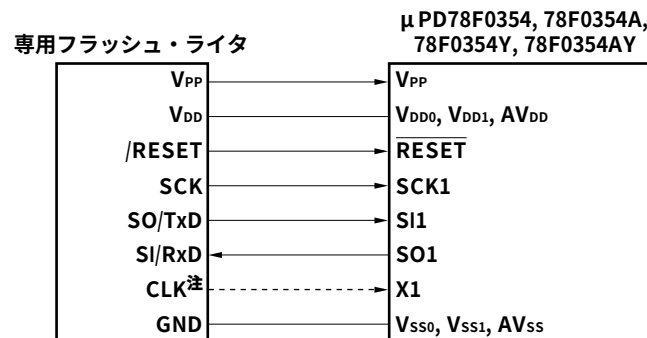
(a) 3線式シリアル/O (SI03)



(b) 3線式シリアル/O (SI03) ハンドシェークあり



(c) 3線式シリアル/O (CS11)



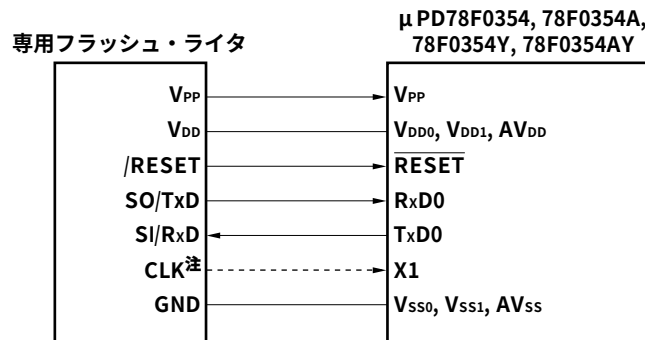
注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 V_{DD0}, V_{DD1}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

★

図23-5 専用フラッシュ・ライタとの接続例 (2/2)

(d) UART (UART0)



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 V_{DD0}, V_{DD1}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashproIII/FlashproIVを使用した場合、
 μ PD78F0354, 78F0354A, 78F0354Y, 78F0354AYに対して次の信号を生成します。詳細はFlashproIII/FlashproIVのマニュアルを参照してください。

★

表23-4 端子接続一覧

信号名	入出力	端子機能	端子名	SIO3	SIO3 (HS)	CSI1	UART0
V _{PP}	出力	書き込み電圧	V _{PP}	◎	◎	◎	◎
V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD0} , V _{DD1} , AV _{DD}	◎注	◎注	◎注	◎注
GND	—	グランド	V _{SS0} , V _{SS1} , AV _{SS}	◎	◎	◎	◎
CLK	出力	クロック出力	X1	○	○	○	○
/RESET	出力	リセット信号	RESET	◎	◎	◎	◎
SI/RxD	入力	受信信号	SO3/SO1/TxD0	◎	◎	◎	◎
SO/TxD	出力	送信信号	SI3/SI1/RxD0	◎	◎	◎	◎
SCK	出力	転送クロック	SCK3/SCK1	◎	◎	◎	×
H/S	入力	ハンドシェイク信号	P33 (HS)	×	◎	×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 ◎：必ず接続してください。

○：ターゲット・ボード上で供給されていれば、接続の必要はありません。

×

23.3.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

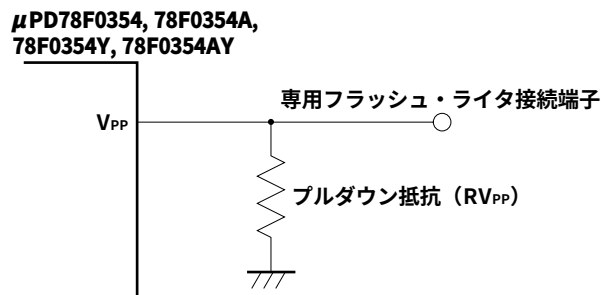
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V（TYP.）の書き込み電圧を供給しますので、次に示す（１）か（２）の端子処理を行ってください。

- （１）V_{PP}端子にプルダウン抵抗 $RV_{PP} = 10\text{ k}\Omega$ を接続してください
- （２）ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください

V_{PP}端子の接続例を次に示します。

図23－6 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

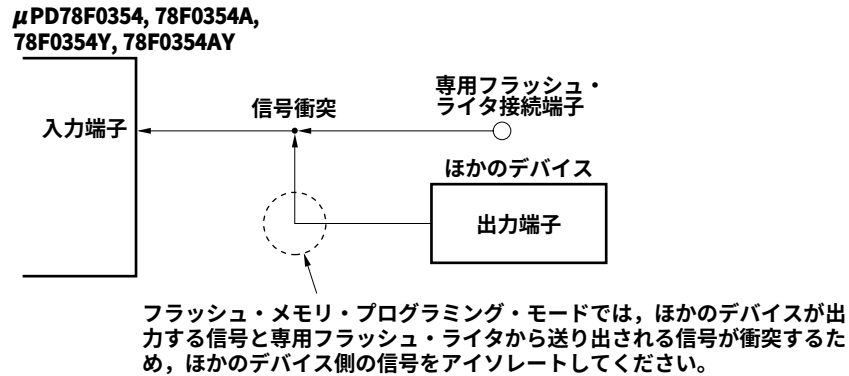
シリアル・インタフェース	使用端子
3線式シリアル/I/O (SIO3)	SI3, SO3, $\overline{\text{SCK3}}$
3線式シリアル/I/O (SIO3) ハンドシェイクあり	SI3, SO3, SCK3, P33 (HS)
3線式シリアル/I/O (CSI1)	SI1, SO1, SCK1
UART (UART0)	RxD0, TxD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

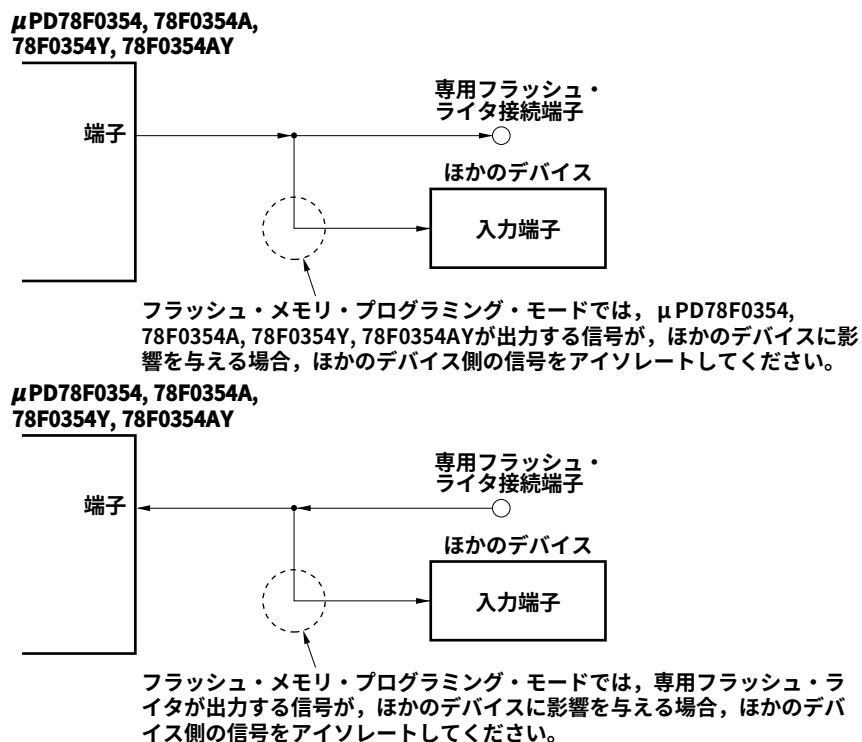
図23-7 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図23-8 ほかのデバイスの異常動作

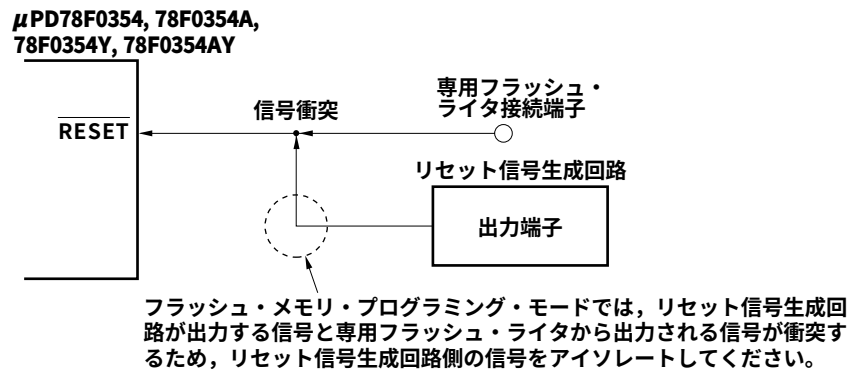


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図23-9 信号の衝突 (RESET端子)



<ポート端子>

- ★ フラッシュ・メモリ・プログラミング・モードに移行すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} に接続する、または抵抗を介して V_{SS0} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} , V_{DD1} 端子はフラッシュ・ライタの V_{DD} に、 V_{SS0} , V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタの V_{DD} は必ず接続してください。

- ★ その他の電源 (AV_{DD} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

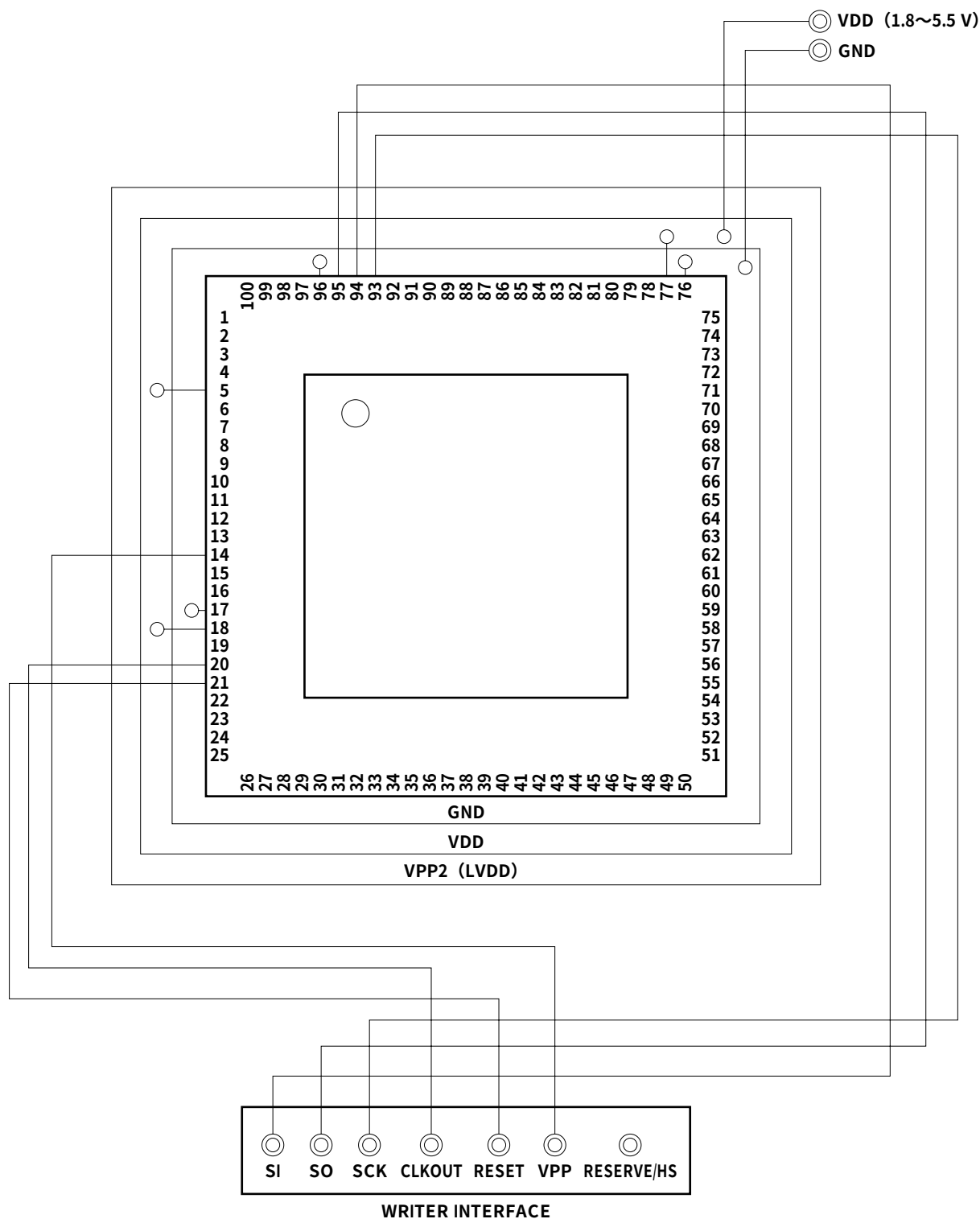
- ★ その他の端子 (S0-S39, COM0-COM3, SCOMO, V_{LC0} - V_{LC2} , CAPH, CAPL) は、通常動作モード時と同じ処理をしてください。

23.3.4 フラッシュ書き込み用アダプタの接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

★

図23-10 3線式シリアルI/O (SI03) でのフラッシュ書き込み用アダプタ配線例



★ 図23-11 3線式シリアルI/O (SI03) ハンドシェークありでのフラッシュ書き込み用アダプタ配線例

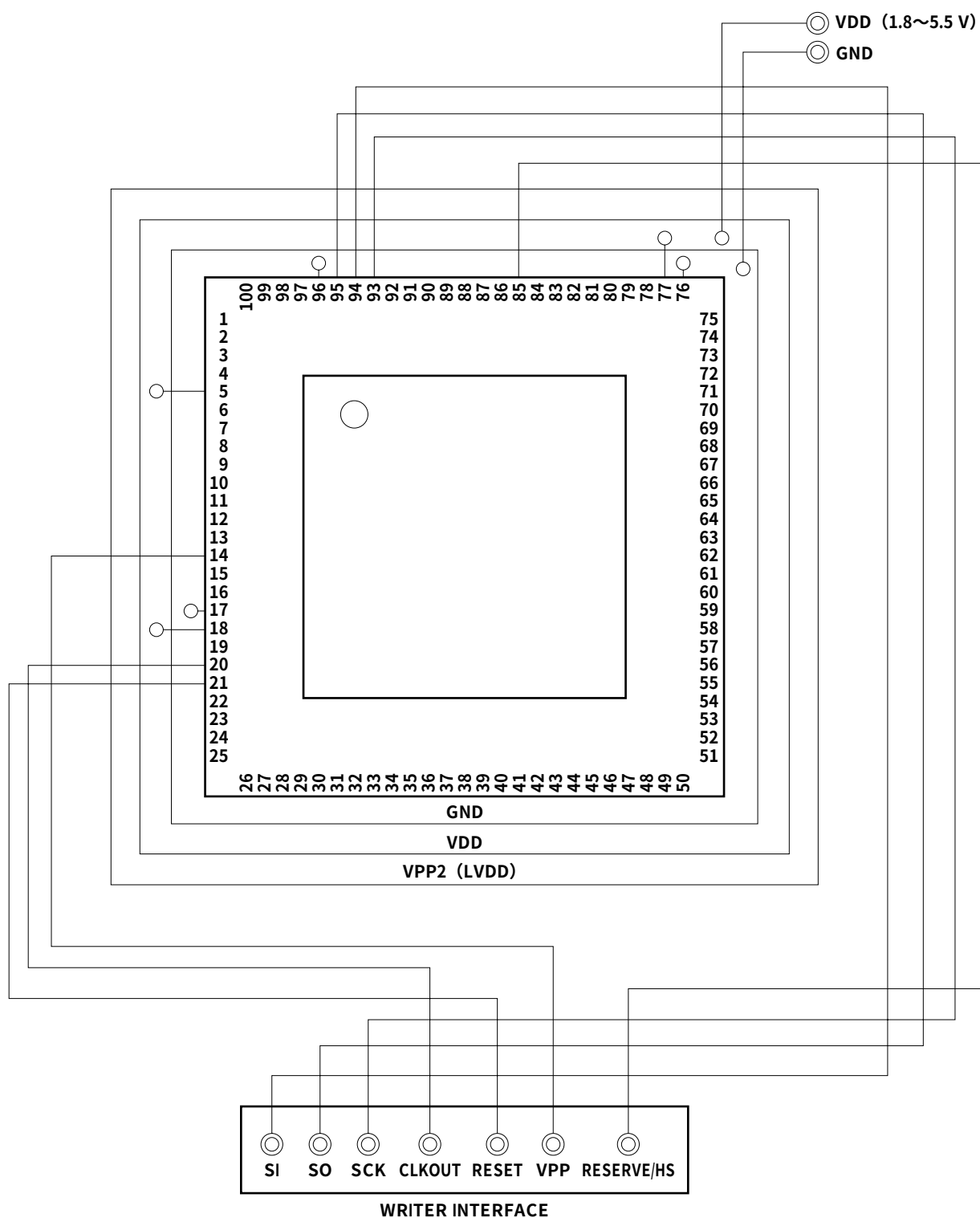
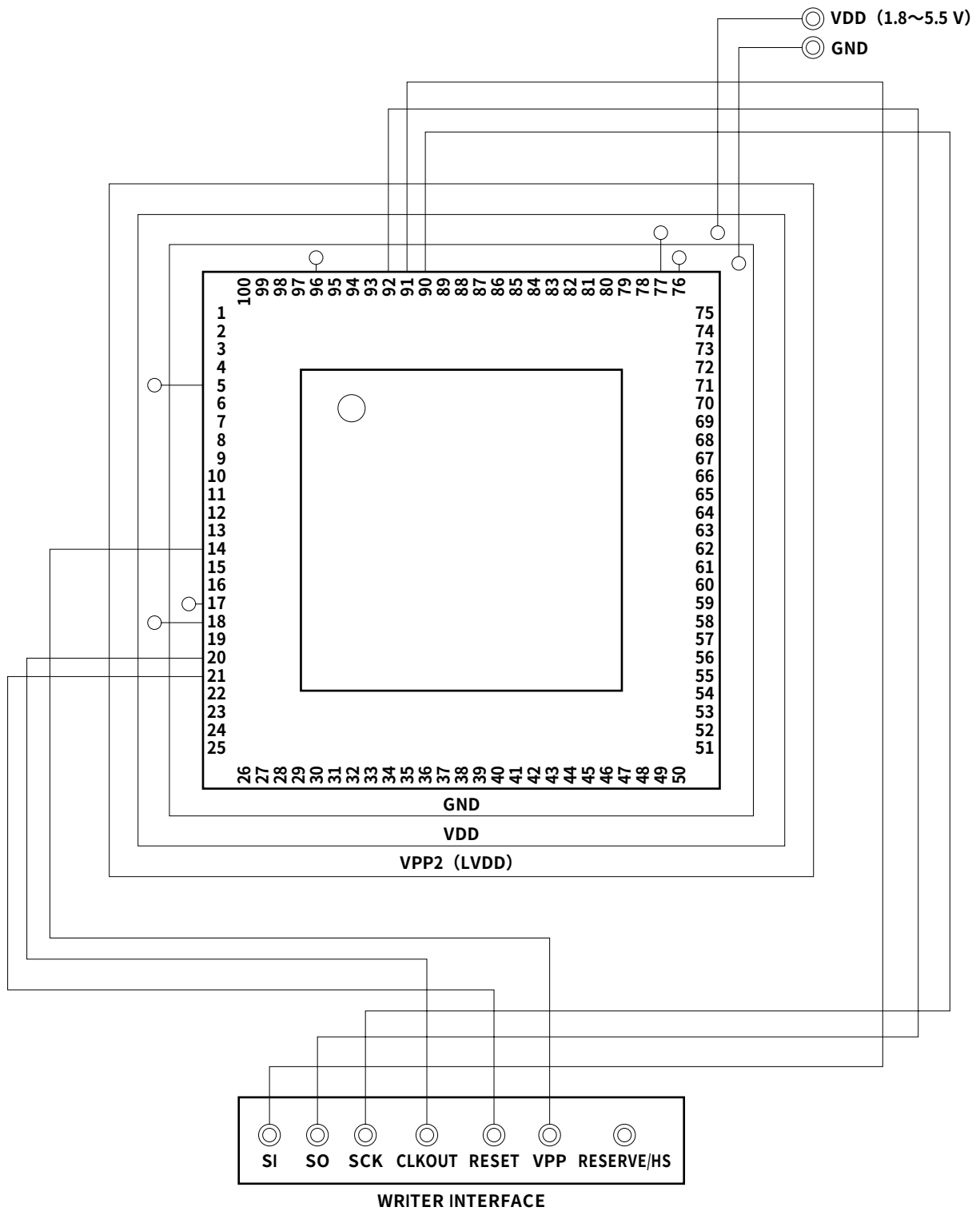
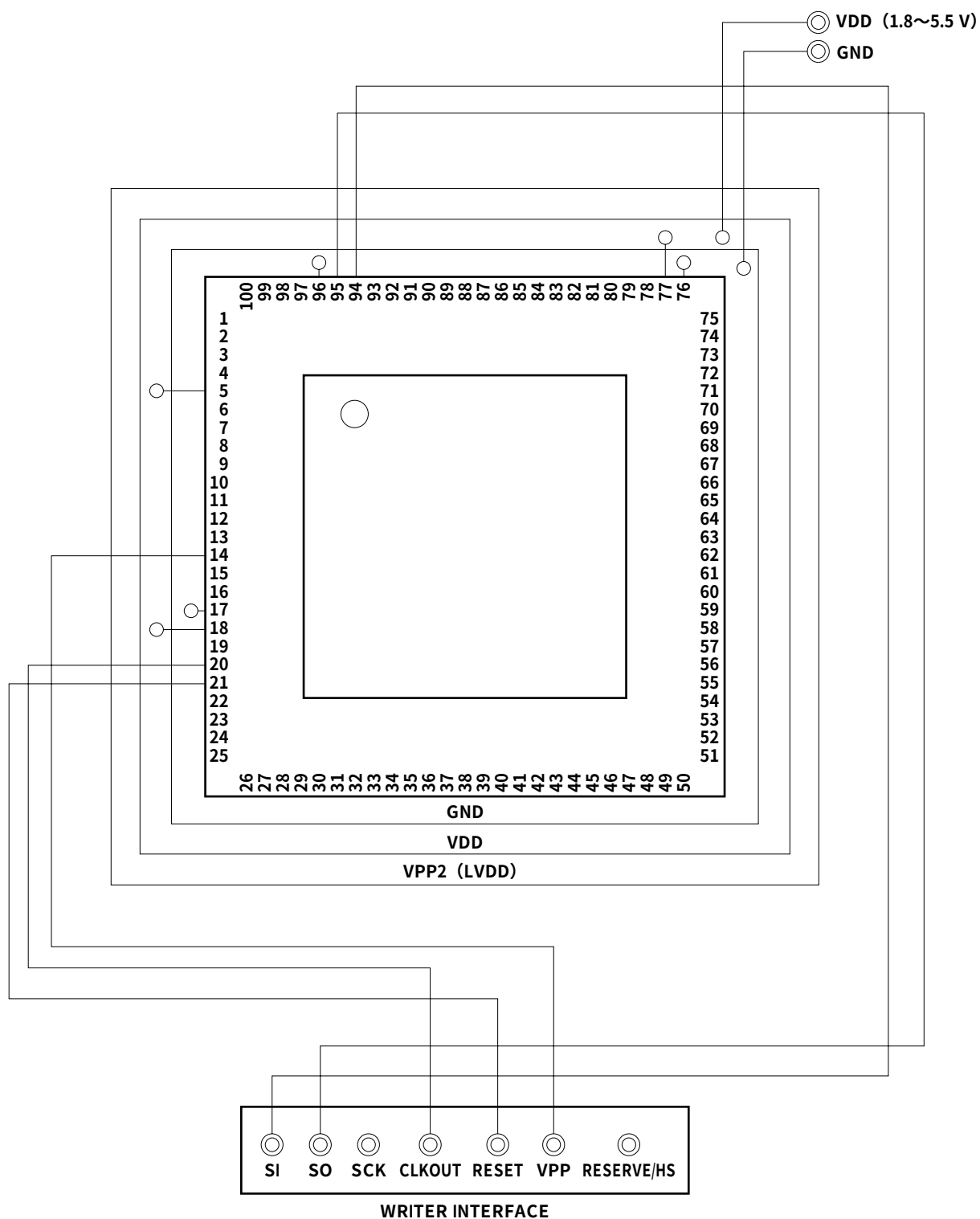


図23-12 3線式シリアルI/O (CSI1) でのフラッシュ書き込み用アダプタ配線例



★

図23-13 UART (UART0) でのフラッシュ書き込み用アダプタ配線例



第24章 命令セットの概要

μPD780344, 780354, 780344Y, 780354Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

24.1 凡 例

24.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#，！，\$，[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#，！，\$，[] 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r，rp には、機能名称（X，A，C など）、絶対名称（下表の中のカッコ内の名称，R0，R1，R2 など）のいずれの形式でも記述可能です。

表24－1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0)，A (R1)，C (R2)，B (R3)，E (R4)，D (R5)，L (R6)，H (R7)
rp	AX (RP0)，BC (RP1)，DE (RP2)，HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） ^注
saddr	FE20H-FF1FH イミーディエト・データまたはレーベル
saddrp	FE20H-FF1FH イミーディエト・データまたはレーベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH イミーディエト・データまたはレーベル
addr5	0040H-007FH イミーディエト・データまたはレーベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3－3 特殊機能レジスタ一覧を参照してください。

24.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
$\wedge$	: 論理積 (AND)
$\vee$	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdsp8	: 符号付き8ビット・データ (ディスプレイメント値)

24.1.3 フラグ動作欄の説明

(blank)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット／クリアされる
R	: 以前に退避した値がストアされる

24.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	—	r←byte			
		saddr, #byte	3	6	7	(saddr)←byte			
		sfr, #byte	3	—	7	sfr←byte			
		A, r 注3	1	2	—	A←r			
		r, A 注3	1	2	—	r←A			
		A, saddr	2	4	5	A←(saddr)			
		saddr, A	2	4	5	(saddr)←A			
		A, sfr	2	—	5	A←sfr			
		sfr, A	2	—	5	sfr←A			
		A, !addr16	3	8	9	A←(addr16)			
		!addr16, A	3	8	9	(addr16)←A			
		PSW, #byte	3	—	7	PSW←byte	×	×	×
		A, PSW	2	—	5	A←PSW			
		PSW, A	2	—	5	PSW←A	×	×	×
		A, [DE]	1	4	5	A←(DE)			
		[DE], A	1	4	5	(DE)←A			
		A, [HL]	1	4	5	A←(HL)			
		[HL], A	1	4	5	(HL)←A			
		A, [HL+byte]	2	8	9	A←(HL+byte)			
		[HL+byte], A	2	8	9	(HL+byte)←A			
		A, [HL+B]	1	6	7	A←(HL+B)			
		[HL+B], A	1	6	7	(HL+B)←A			
		A, [HL+C]	1	6	7	A←(HL+C)			
		[HL+C], A	1	6	7	(HL+C)←A			
	XCH	A, r 注3	1	2	—	A↔r			
		A, saddr	2	4	6	A↔(saddr)			
		A, sfr	2	—	6	A↔sfr			
		A, !addr16	3	8	10	A↔(addr16)			
		A, [DE]	1	4	6	A↔(DE)			
		A, [HL]	1	4	6	A↔(HL)			
		A, [HL+byte]	2	8	10	A↔(HL+byte)			
		A, [HL+B]	2	8	10	A↔(HL+B)			
		A, [HL+C]	2	8	10	A↔(HL+C)			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r=Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp←word			
		saddrp, #word	4	8	10	(saddrp)←word			
		sfrp, #word	4	—	10	sfrp←word			
		AX, saddrp	2	6	8	AX←(saddrp)			
		saddrp, AX	2	6	8	(saddrp)←AX			
		AX, sfrp	2	—	8	AX←sfrp			
		sfrp, AX	2	—	8	sfrp←AX			
		AX, rp 注3	1	4	—	AX←rp			
		rp, AX 注3	1	4	—	rp←AX			
		AX, !addr16	3	10	12	AX←(addr16)			
		!addr16, AX	3	10	12	(addr16)←AX			
	XCHW	AX, rp 注3	1	4	—	AX↔rp			
8ビット演算	ADD	A, #byte	2	4	—	A, CY←A+byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte	×	×	×
		A, r 注4	2	4	—	A, CY←A+r	×	×	×
		r, A	2	4	—	r, CY←r+A	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)	×	×	×
		A, !addr16	3	8	9	A, CY←A+(addr16)	×	×	×
		A, [HL]	1	4	5	A, CY←A+(HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A+(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY←A+(HL+B)	×	×	×
		A, [HL+C]	2	8	9	A, CY←A+(HL+C)	×	×	×
	ADDC	A, #byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r 注4	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9	A, CY←A+(HL+B)+CY	×	×	×
		A, [HL+C]	2	8	9	A, CY←A+(HL+C)+CY	×	×	×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．rp = BC, DE, HLのときのみ。

4．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	—	A, CY←A−byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)−byte	×	×	×
		A, r 注3	2	4	—	A, CY←A−r	×	×	×
		r, A	2	4	—	r, CY←r−A	×	×	×
		A, saddr	2	4	5	A, CY←A−(saddr)	×	×	×
		A, !addr16	3	8	9	A, CY←A−(addr16)	×	×	×
		A, [HL]	1	4	5	A, CY←A−(HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A−(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY←A−(HL+B)	×	×	×
		A, [HL+C]	2	8	9	A, CY←A−(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A−byte−CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)−byte−CY	×	×	×
		A, r 注3	2	4	—	A, CY←A−r−CY	×	×	×
		r, A	2	4	—	r, CY←r−A−CY	×	×	×
		A, saddr	2	4	5	A, CY←A−(saddr)−CY	×	×	×
		A, !addr16	3	8	9	A, CY←A−(addr16)−CY	×	×	×
		A, [HL]	1	4	5	A, CY←A−(HL)−CY	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A−(HL+byte)−CY	×	×	×
		A, [HL+B]	2	8	9	A, CY←A−(HL+B)−CY	×	×	×
		A, [HL+C]	2	8	9	A, CY←A−(HL+C)−CY	×	×	×
	AND	A, #byte	2	4	—	A←A ∧ byte	×		
		saddr, #byte	3	6	8	(saddr)←(saddr) ∧ byte	×		
		A, r 注3	2	4	—	A←A ∧ r	×		
		r, A	2	4	—	r←r ∧ A	×		
		A, saddr	2	4	5	A←A ∧ (saddr)	×		
		A, !addr16	3	8	9	A←A ∧ (addr16)	×		
		A, [HL]	1	4	5	A←A ∧ (HL)	×		
		A, [HL+byte]	2	8	9	A←A ∧ (HL+byte)	×		
		A, [HL+B]	2	8	9	A←A ∧ (HL+B)	×		
		A, [HL+C]	2	8	9	A←A ∧ (HL+C)	×		

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r=Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（fCPU）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL+byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL+B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL+C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$	×		
	XOR	A, #byte	2	4	—	$A \leftarrow A \nabla \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
		A, r 注3	2	4	—	$A \leftarrow A \nabla r$	×		
		r, A	2	4	—	$r \leftarrow r \nabla A$	×		
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \nabla (\text{HL})$	×		
		A, [HL+byte]	2	8	9	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×		
		A, [HL+B]	2	8	9	$A \leftarrow A \nabla (\text{HL} + B)$	×		
		A, [HL+C]	2	8	9	$A \leftarrow A \nabla (\text{HL} + C)$	×		
	CMP	A, #byte	2	4	—	$A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(\text{saddr}) - \text{byte}$	×	×	×
		A, r 注3	2	4	—	$A - r$	×	×	×
		r, A	2	4	—	$r - A$	×	×	×
		A, saddr	2	4	5	$A - (\text{saddr})$	×	×	×
		A, !addr16	3	8	9	$A - (\text{addr16})$	×	×	×
		A, [HL]	1	4	5	$A - (\text{HL})$	×	×	×
		A, [HL+byte]	2	8	9	$A - (\text{HL} + \text{byte})$	×	×	×
		A, [HL+B]	2	8	9	$A - (\text{HL} + B)$	×	×	×
		A, [HL+C]	2	8	9	$A - (\text{HL} + C)$	×	×	×
16ビット演算	ADDW	AX, #word	3	6	—	$AX, CY \leftarrow AX + \text{word}$	×	×	×
	SUBW	AX, #word	3	6	—	$AX, CY \leftarrow AX - \text{word}$	×	×	×
	CMPW	AX, #word	3	6	—	$AX - \text{word}$	×	×	×
乗除算	MULU	X	2	16	—	$AX \leftarrow A \times X$			
	DIVUW	C	2	25	—	$AX(\text{商}), C(\text{余り}) \leftarrow AX \div C$			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（fCPU）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	—	$r \leftarrow r + 1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) + 1$	×	×	
	DEC	r	1	2	—	$r \leftarrow r - 1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) - 1$	×	×	
	INCW	rp	1	4	—	$rp \leftarrow rp + 1$			
	DECW	rp	1	4	—	$rp \leftarrow rp - 1$			
ローテート	ROR	A, 1	1	2	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROL	A, 1	1	2	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	RORC	A, 1	1	2	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROLC	A, 1	1	2	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	ROR4	[HL]	2	10	12	$A_{3-0} \leftarrow (HL)_{3-0}, (HL)_{7-4} \leftarrow A_{3-0}, (HL)_{3-0} \leftarrow (HL)_{7-4}$			
	ROL4	[HL]	2	10	12	$A_{3-0} \leftarrow (HL)_{7-4}, (HL)_{3-0} \leftarrow A_{3-0}, (HL)_{7-4} \leftarrow (HL)_{3-0}$			
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr.bit	3	6	7	$CY \leftarrow (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow (HL).bit$			×
		saddr.bit, CY	3	6	8	$(saddr.bit) \leftarrow CY$			
		sfr.bit, CY	3	—	8	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	4	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	—	8	$PSW.bit \leftarrow CY$	×	×	
		[HL].bit, CY	2	6	8	$(HL).bit \leftarrow CY$			
	AND1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \wedge (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \wedge (HL).bit$			×
	OR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \vee (HL).bit$			×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（ f_{CPU} ）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \nabla (\text{saddr.bit})$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \nabla \text{sfr.bit}$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \nabla A.\text{bit}$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \nabla \text{PSW.bit}$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \nabla (\text{HL}).\text{bit}$			×
	SET1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 1$			
		sfr.bit	3	—	8	$\text{sfr.bit} \leftarrow 1$			
		A.bit	2	4	—	$A.\text{bit} \leftarrow 1$			
		PSW.bit	2	—	6	$\text{PSW.bit} \leftarrow 1$	×	×	×
		[HL].bit	2	6	8	$(\text{HL}).\text{bit} \leftarrow 1$			
	CLR1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 0$			
		sfr.bit	3	—	8	$\text{sfr.bit} \leftarrow 0$			
		A.bit	2	4	—	$A.\text{bit} \leftarrow 0$			
		PSW.bit	2	—	6	$\text{PSW.bit} \leftarrow 0$	×	×	×
		[HL].bit	2	6	8	$(\text{HL}).\text{bit} \leftarrow 0$			
	SET1	CY	1	2	—	$CY \leftarrow 1$			1
	CLR1	CY	1	2	—	$CY \leftarrow 0$			0
	NOT1	CY	1	2	—	$CY \leftarrow \overline{CY}$			×
コール・リターン	CALL	!addr16	3	7	—	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP-2$			
	CALLF	!addr11	2	5	—	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11}, SP \leftarrow SP-2$			
	CALLT	[addr5]	1	6	—	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (00000000, \text{addr5}+1),$ $PC_L \leftarrow (00000000, \text{addr5}), SP \leftarrow SP-2$			
	BRK		1	6	—	$(SP-1) \leftarrow \text{PSW}, (SP-2) \leftarrow (PC+1)_H,$ $(SP-3) \leftarrow (PC+1)_L, PC_H \leftarrow (003FH),$ $PC_L \leftarrow (003EH), SP \leftarrow SP-3, IE \leftarrow 0$			
	RET		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), SP \leftarrow SP+2$			
	RETI		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), \text{PSW} \leftarrow (SP+2),$ $SP \leftarrow SP+3, \text{NMIS} \leftarrow 0$	R	R	R
	RETB		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), \text{PSW} \leftarrow (SP+2),$ $SP \leftarrow SP+3$	R	R	R

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	—	$(SP-1) \leftarrow PSW, SP \leftarrow SP-1$			
		rp	1	4	—	$(SP-1) \leftarrow r_{pH}, (SP-2) \leftarrow r_{pL}, SP \leftarrow SP-2$			
	POP	PSW	1	2	—	$PSW \leftarrow (SP), SP \leftarrow SP+1$	R	R	R
		rp	1	4	—	$r_{pH} \leftarrow (SP+1), r_{pL} \leftarrow (SP), SP \leftarrow SP+2$			
	MOVW	SP, #word	4	—	10	$SP \leftarrow word$			
		SP, AX	2	—	8	$SP \leftarrow AX$			
		AX, SP	2	—	8	$AX \leftarrow SP$			
無条件分岐	BR	!addr16	3	6	—	$PC \leftarrow addr16$			
		\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$			
		AX	2	8	—	$PC_H \leftarrow A, PC_L \leftarrow X$			
条件付き分岐	BC	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if CY = 1			
	BNC	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if CY = 0			
	BZ	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if Z = 1			
	BNZ	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	$PC \leftarrow PC+3+jdisp8$ if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	$PC \leftarrow PC+3+jdisp8$ if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	—	12	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr16	3	10	12	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 1 then reset (HL).bit			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{cpu}）の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $B \neq 0$			
		C, \$addr16	2	6	—	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $C \neq 0$			
		saddr, \$addr16	3	8	10	$(saddr) \leftarrow (saddr) - 1$, then $PC \leftarrow PC + 3 + jdisp8$ if $(saddr) \neq 0$			
CPU制御	SEL	R _{Bn}	2	4	—	$RBS1, 0 \leftarrow n$			
	NOP		1	2	—	No Operation			
	EI		2	—	6	$IE \leftarrow 1$ (Enable Interrupt)			
	DI		2	—	6	$IE \leftarrow 0$ (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

24.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL,
RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第25章 電気的特性

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD0} , V _{DD1}	-0.3~+6.5	V
	V _{PP}	μ PD78F0354, 78F0354Yのみ 注1	-0.5~+10.5	V
	AV _{DD}		-0.3~V _{DD} +0.3 ^{注2}	V
	AV _{SS}		-0.3~+0.3	V
入力電圧	V _{I1}	P00-P07, P10-P17 ^{注3} , P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113, X1, X2, XT1, XT2, RESET	-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P30, P31 (N-chオープン・ドレイン)	-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I3}	P70-P73 (N-chオープン・ドレイン)	マスク・オプションあり	-0.3~V _{DD} +0.3 ^{注2}
			マスク・オプションなし	-0.3~+16
出力電圧	V _O		-0.3~V _{DD} +0.3 ^{注2,4}	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} -0.3~AV _{DD} +0.3 かつ-0.3~V _{DD} +0.3
ハイ・レベル出力電流	I _{OH}	P00-P07, P20-P27, P30-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113の1端子	-10	mA
		P80-P87, P90-P97, P100-P107, P110-P113 合計	-15	mA
		P00-P07, P20-P27, P30-P35, P40-P43 合計	-15	mA
ロウ・レベル出力電流	I _{OL}	P00-P07, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113の1端子	20	mA
		P30, P31, P70-P73の1端子	30	mA
		P80-P87, P90-P97, P100-P107, P110-P113 合計	50	mA
		P00-P07, P20-P27, P32-P35, P40-P43 合計	30	mA
		P30, P31 合計	40	mA
		P70-P73 合計	80	mA
動作周囲温度	T _A		-40~+85	°C
保存温度	T _{stg}	μ PD78F0354, 78F0354Y	-40~+125	°C
		マスクROM製品	-40~+150	°C

注1．説明は次頁に示します。

- 2．6.5 V以下であること
- 3．V_{DD} = AV_{DD}
- 4．コモン端子，セグメント端子は-0.3~V_{LC0}+0.3 V

注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

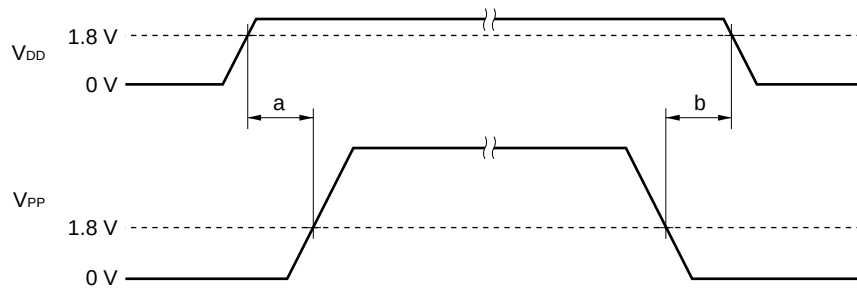
★ 注1. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

• 電源電圧立ち上がり時

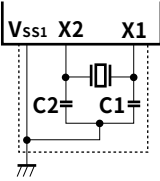
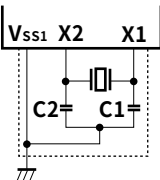
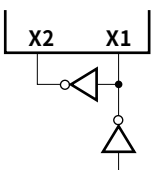
V_{DD} が動作電圧範囲の下限電圧（1.8 V）に達してから10 μ s以上経過後、 V_{PP} が V_{DD} を越えること（下図のa）。

• 電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧（1.8 V）を下回ってから10 μ s以上経過後、 V_{DD} を立ち下げること（下図のb）。



メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	2.0		10	MHz
		発振安定時間 注2	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注1	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	2.0		10	MHz
		発振安定時間 注2	$V_{DD} = 1.8 \sim 5.5 \text{ V}$			10	ms
外部クロック		X1入力周波数 (f_x) 注1	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	2.0		10	MHz
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	2.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	42.5		500	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	85		500	ns

注1．発振回路の特性だけを示すものです。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

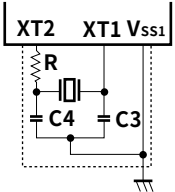
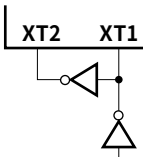
注意1．メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．メイン・システム・クロックを停止させてサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替えるには、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) 注1	$V_{DD} = 1.8 \sim 5.5\text{ V}$	32	32.768	35	kHz
		発振安定時間 注2	$V_{DD} = 4.5 \sim 5.5\text{ V}$		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5\text{ V}$			10	s
外部クロック		XT1入力周波数 (f_{XT}) 注1		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		5		15	μs

注1．発振回路の特性だけを示すものです。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特に注意してください。

備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容量 ($T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_{IN}	$f = 1\text{ MHz}$ 被測定端子以外は0 V			15	pF
入出力容量	C_{IO}	$f = 1\text{ MHz}$ 被測定端子以外は0 V			15	pF
		P00-P07, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113 P30, P31, P70-P73			20	pF

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1 端子			-1	mA
		全端子			-20	mA
ロウ・レベル出力電流	I _{OL}	P00-P07, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113 1 端子			10	mA
		P30, P31, P70-P73 1 端子			15	mA
		P80-P87, P90-P97, P100-P107, P110-P113 合計			40	mA
		P00-P07, P20-P27, P32-P35, P40-P43 合計			20	mA
		P30, P31 合計			30	mA
		P70-P73 合計			60	mA
★ ★	V _{IH1}	P10-P17, P21, P24, P27, P40-P43	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.7 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$0.8 V_{DD}$	V_{DD}	V
	V _{IH2}	P00-P07, P20, P22, P23, P25, P26, P32-P35, P80-P87, P90-P97, P100-P107, P110-P113, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$0.85 V_{DD}$	V_{DD}	V
	V _{IH3}	P30, P31 (N-chオープン・ドレイン)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.7 V_{DD}$	5.5	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$0.8 V_{DD}$	5.5	V
		P70-P73 (N-chオープン・ドレイン)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.7 V_{DD}$	12	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$0.8 V_{DD}$	12	V
	V _{IH4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$V_{DD} - 0.5$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$V_{DD} - 0.2$	V_{DD}	V
	V _{IH5}	XT1, XT2	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
★ ★	V _{IL1}	P10-P17, P21, P24, P27, P40-P43	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0	$0.2 V_{DD}$	V
	V _{IL2}	P00-P07, P20, P22, P23, P25, P26, P32-P35, P80-P87, P90-P97, P100-P107, P110-P113, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0	$0.15 V_{DD}$	V
	V _{IL3}	P30, P31, P70-P73 (N-chオープン・ドレイン)	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0	$0.1 V_{DD}$	V
	V _{IL4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0	0.4	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0	0.2	V
	V _{IL5}	XT1, XT2	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	0	$0.1 V_{DD}$	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$V_{DD} - 1.0$	V_{DD}	V
		I _{OH} = -100 μA	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$V_{DD} - 0.5$	V_{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	V_{OL1}	P30, P31	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL} = 15\text{ mA}$			2.0	V
	V_{OL2}	P70-P73	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL} = 15\text{ mA}$		0.4	1.0	
	V_{OL3}	P00-P07, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL} = 1.6\text{ mA}$			0.4	V
	V_{OL4}	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL} = 400\text{ }\mu\text{A}$				0.5	V
ハイ・レベル 入力リーク電流	I_{LIH1}	$V_{IN} = V_{DD}$	P00-P03, P10-P17, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-113, $\overline{\text{RESET}}$			3	μA
	I_{LIH2}		X1, X2, XT1, XT2			20	μA
	I_{LIH3}	$V_{IN} = 5.5\text{ V}$	P30, P31			3	μA
		$V_{IN} = 12\text{ V}$	P70-P73			10	μA
ロウ・レベル 入力リーク電流	I_{LIL1}	$V_{IN} = 0\text{ V}$	P00-P03, P10-P17, P20-P27, P32-P35, P40-P43, P80-P87, P90-P97, P100-P107, P110-P113, $\overline{\text{RESET}}$			-3	μA
	I_{LIL2}		X1, X2, XT1, XT2			-20	μA
	I_{LIL3}		P30, P31, P70-P73			-3	μA
ハイ・レベル 出力リーク電流	I_{LOH}	$V_{OUT} = V_{DD}$				3	μA
ロウ・レベル 出力リーク電流	I_{LOL}	$V_{OUT} = 0\text{ V}$				-3	μA
マスク・オプション・ ブルアップ抵抗 ^{注1}	R1	$V_{IN} = 0\text{ V}$	P30 ^{注2} , P31 ^{注2} , P70-P73	20	40	90	$\text{k}\Omega$
ソフトウエア・ ブルアップ抵抗	R2	$V_{IN} = 0\text{ V}$	P00-P07, P20-P27, P32-P35, P40-P43	15	30	90	$\text{k}\Omega$

注1. マスクROM製品のみ

2. $\mu\text{PD780343}$, 780344 , 780353 , 780354 ($I^2\text{C}$ バスを内蔵しないマスクROM製品) のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85\text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$) (フラッシュ・メモリ製品)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位			
電源電流 ^{注1}	I _{DD1} ^{注2}	10 MHz水晶発振 動作モード	V _{DD} = 5.0 V±10% ^{注3}	A/Dコンバータ停止時		15.0	30.0	mA			
				A/Dコンバータ動作時		16.0	32.0	mA			
		5.0 MHz水晶発振 動作モード	V _{DD} = 3.0 V±10% ^{注3}	A/Dコンバータ停止時		4.5	9.0	mA			
				A/Dコンバータ動作時		5.5	11.0	mA			
			V _{DD} = 2.0 V±10% ^{注4}	A/Dコンバータ停止時		2.8	5.6	mA			
				A/Dコンバータ動作時		3.8	7.6	mA			
	I _{DD2}	10 MHz水晶発振 HALTモード	V _{DD} = 5.0 V±10% ^{注3}	周辺機能停止時		1.25	2.5	mA			
				周辺機能動作時			5.7	mA			
		5.0 MHz水晶発振 HALTモード	V _{DD} = 3.0 V±10% ^{注3}	周辺機能停止時		0.4	0.8	mA			
				周辺機能動作時			1.7	mA			
			V _{DD} = 2.0 V±10% ^{注4}	周辺機能停止時		0.2	0.4	mA			
				周辺機能動作時			1.1	mA			
	I _{DD3}	32.768 kHz水晶発振 動作モード ^{注5}	V _{DD} = 5.0 V±10%				115	230	μA		
			V _{DD} = 3.0 V±10%				95	190	μA		
			V _{DD} = 2.0 V±10%				75	150	μA		
		32.768 kHz水晶発振 4 逓倍動作モード ^{注5}	V _{DD} = 5.0 V±10%				280	560	μA		
			V _{DD} = 3.0 V±10%				200	400	μA		
		I _{DD4}	32.768 kHz水晶発振 HALTモード ^{注5}	V _{DD} = 5.0 V±10%	LCD停止時 ^{注6}		25	45	μA		
	LCD昇圧機能のみ 動作時 ^{注7,9}					27	51	μA			
	LCD動作時 ^{注8,9}					30	60	μA			
	V _{DD} = 3.0 V±10%			LCD停止時 ^{注6}		6	18	μA			
				LCD昇圧機能のみ 動作時 ^{注7,9}		7.5	23	μA			
				LCD動作時 ^{注8,9}		10	30	μA			
	V _{DD} = 2.0 V±10%			LCD停止時 ^{注6}		3	10	μA			
				LCD昇圧機能のみ 動作時 ^{注7,9}		4	12	μA			
				LCD動作時 ^{注8,9}		6	18	μA			
	I _{DD5}			STOPモード	V _{DD} = 5.0 V±10%				0.1	30	μA
					V _{DD} = 3.0 V±10%				0.05	10	μA
					V _{DD} = 2.0 V±10%				0.05	10	μA

注1．内部電源 (V_{DD0} , V_{DD1}) に流れるトータル電流です。

2．周辺動作電流を含みます。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

3．プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき。

4．PCCを02Hに設定したとき。

5．メイン・システム・クロック停止時。

6．LCD停止時 (LCDON = 0, SCOC = 0, VLCON = 0)。

7．LCD昇圧機能のみ動作時 (LCDON = 0, SCOC = 0, VLCON = 1)。

8．LCD動作時 (LCDON = 1, SCOC = 1, VLCON = 1)。

9．LCD表示パネルを接続しない無負荷状態。かつ、昇圧用コンデンサC1-C4 = 0.47 μF を接続して、昇圧が安定した状態。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (マスクROM製品)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1}	I _{DD1} ^{注2}	10 MHz水晶発振 動作モード	V _{DD} = 5.0 V ± 10% ^{注3}	A/Dコンバータ停止時		6.3	12.6	mA	
				A/Dコンバータ動作時		7.3	14.6	mA	
		5.0 MHz水晶発振 動作モード	V _{DD} = 3.0 V ± 10% ^{注3}	A/Dコンバータ停止時		2.0	4.0	mA	
				A/Dコンバータ動作時		3.0	6.0	mA	
			V _{DD} = 2.0 V ± 10% ^{注4}	A/Dコンバータ停止時		0.4	1.5	mA	
				A/Dコンバータ動作時		1.4	4.2	mA	
	I _{DD2}	10 MHz水晶発振 HALTモード	V _{DD} = 5.0 V ± 10% ^{注3}	周辺機能停止時		1.15	2.3	mA	
				周辺機能動作時			5.7	mA	
		5.0 MHz水晶発振 HALTモード	V _{DD} = 3.0 V ± 10% ^{注3}	周辺機能停止時		0.35	0.7	mA	
				周辺機能動作時			1.7	mA	
			V _{DD} = 2.0 V ± 10% ^{注4}	周辺機能停止時		0.15	0.4	mA	
				周辺機能動作時			1.1	mA	
	I _{DD3}	32.768 kHz水晶発振 動作モード ^{注5}	V _{DD} = 5.0 V ± 10%				40	80	μA
			V _{DD} = 3.0 V ± 10%				20	40	μA
			V _{DD} = 2.0 V ± 10%				10	20	μA
		32.768 kHz水晶発振 4 通倍動作モード ^{注5}	V _{DD} = 5.0 V ± 10%				85	185	μA
			V _{DD} = 3.0 V ± 10%				62	106	μA
		I _{DD4}	32.768 kHz水晶発振 HALTモード ^{注5}	V _{DD} = 5.0 V ± 10%	LCD停止時 ^{注6}		25	45	μA
	LCD昇圧機能のみ 動作時 ^{注7,9}					27	51	μA	
	LCD動作時 ^{注8,9}					30	60	μA	
	V _{DD} = 3.0 V ± 10%			LCD停止時 ^{注6}		6	18	μA	
				LCD昇圧機能のみ 動作時 ^{注7,9}		7.5	23	μA	
				LCD動作時 ^{注8,9}		10	30	μA	
	V _{DD} = 2.0 V ± 10%			LCD停止時 ^{注6}		3	10	μA	
				LCD昇圧機能のみ 動作時 ^{注7,9}		4	12	μA	
				LCD動作時 ^{注8,9}		6	18	μA	
	I _{DD5}	STOPモード	V _{DD} = 5.0 V ± 10%				0.1	30	μA
			V _{DD} = 3.0 V ± 10%				0.05	10	μA
			V _{DD} = 2.0 V ± 10%				0.05	10	μA

注1．内部電源 (V_{DD0} , V_{DD1}) に流れるトータル電流です。

2．周辺動作電流を含みます。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

3．プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき。

4．PCCを02Hに設定したとき。

5．メイン・システム・クロック停止時。

6．LCD停止時 (LCDON = 0, SCOC = 0, VLCON = 0)。

7．LCD昇圧機能のみ動作時 (LCDON = 0, SCOC = 0, VLCON = 1)。

8．LCD動作時 (LCDON = 1, SCOC = 1, VLCON = 1)。

9．LCD表示パネルを接続しない無負荷状態。かつ、昇圧用コンデンサC1-C4 = 0.47 μF を接続して、昇圧が安定した状態。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・ クロック動作	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.2	16	μs
			$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	0.4	16	μs
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.6	16	μs
		サブシステム・ クロック動作	原発振動作時 ($1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$)	103.9 ^{注1}	122	μs
			4 逓倍動作時 ($2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$)	28.57	30.52	μs
TI00, TI01入力ハイ, ロウ・ レベル幅	$t_{TIH0},$ t_{TIL0}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{sam} +$ 0.1 ^{注2}			μs
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	$2/f_{sam} +$ 0.2 ^{注2}			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$2/f_{sam} +$ 0.5 ^{注2}			μs
TMIB0入力周波数	f_{TIB}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0		4	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0		275	kHz
TMIB0入力ハイ, ロウ・ レベル幅	$t_{TIHB},$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	125			ns
	t_{TILB}	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.8			μs
TI50, TI51入力周波数	f_{TI5}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0		4	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0		275	kHz
TI50, TI51入力 ハイ, ロウ・レベル幅	$t_{TIH5},$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	100			ns
	t_{TIL5}	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.8			μs
割り込み要求入力 ハイ, ロウ・レベル幅	$t_{INTH},$	INTP0-INTP6, P40-P43	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		μs
	t_{INTL}		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	2		μs
RESETロウ・レベル幅	t_{RSL}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	10			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	20			μs

注1．外部クロック使用時の値です。水晶振動子使用時は、114 μs (MIN.) です。

- 2．プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) により、 $f_{sam} = f_x, f_x/4, f_x/64$ の選択が可能です。ただし、カウント・クロックとしてTI00の有効エッジを選択した場合は、 $f_{sam} = f_x/8$ となります。

(2) シリアル・インタフェース ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$)(a) SI03 3線式シリアル/Oモード ($\overline{\text{SCK3}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK3サイクル・タイム	t_{KCY1}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	800			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	1600			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	$t_{KH1,}$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$1.8\text{ V} \leq V_{DD} < 4.5\text{ V}$	$t_{KCY1}/2 - 100$			ns
SI3セットアップ時間 (対SCK3↑)	t_{SIK1}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	100			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	150			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	300			ns
SI3ホールド時間 (対SCK3↑)	t_{KSI1}		400			ns
SCK3↓→ SO3出力遅延時間	t_{KSO1}	$C = 100\text{ pF}$ 注			300	ns

注 Cは、 $\overline{\text{SCK3}}$, SO3出力ラインの負荷容量です。

(b) SI03 3線式シリアル/Oモード ($\overline{\text{SCK3}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK3サイクル・タイム	t_{KCY2}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	800			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	1600			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	$t_{KH2,}$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	400			ns
	t_{KL2}	$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	800			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1600			ns
SI3セットアップ時間 (対SCK3↑)	t_{SIK2}		100			ns
SI3ホールド時間 (対SCK3↑)	t_{KSI2}		400			ns
SCK3↓→ SO3出力遅延時間	t_{KSO2}	$C = 100\text{ pF}$ 注			300	ns

注 Cは、SO3出力ラインの負荷容量です。

(c) CSI1 3線式シリアル/Oモード (SCK1…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
★ SCK1サイクル・タイム	t_{KCY3}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	200			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	500			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1			μs
SCK1ハイ, ロウ・レベル幅	$t_{KH3},$ t_{KL3}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY3}/2-5$			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	$t_{KCY3}/2-20$			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$t_{KCY3}/2-30$			ns
SI1セットアップ時間 (対SCK1↑)	t_{SIK3}		20			ns
SI1ホールド時間 (対SCK1↑)	t_{KSI3}		110			ns
SCK1↓→ SO1出力遅延時間	t_{KSO3}	$C = 100\text{ pF}^{\text{注}}$			150	ns

注 Cは, SCK1, SO1出力ラインの負荷容量です。

(d) CSI1 3線式シリアル/Oモード (SCK1…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1サイクル・タイム	t_{KCY4}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	200			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	500			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1			μs
SCK1ハイ, ロウ・レベル幅	$t_{KH4},$ t_{KL4}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	100			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	250			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	500			ns
SI1セットアップ時間 (対SCK1↑)	t_{SIK4}		25			ns
SI1ホールド時間 (対SCK1↑)	t_{KSI4}		110			ns
SCK1↓→ SO1出力遅延時間	t_{KSO4}	$C = 100\text{ pF}^{\text{注}}$			150	ns

注 Cは, SO1出力ラインの負荷容量です。

(e) UART0 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			156250	bps
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$			78125	bps
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			39063	bps

(f) I²Cバス・モード

項 目	略 号	標準モード		高速モード		単 位
		MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	—	1.3	—	μs
ホールド・タイム ^{注1}	t _{HD : STA}	4.0	—	0.6	—	μs
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	—	1.3	—	μs
SCL0クロックのハイ・レベル幅	t _{HIGH}	4.0	—	0.6	—	μs
スタート／リスタート・コンディションの セットアップ間	t _{SU : STA}	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	t _{HD : DAT}	5.0	—	—	μs
	I ² Cバスの場合	0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	250	—	100 ^{注4}	—	ns
SDA0およびSCL0信号の立ち上がり時間	t _r	—	1000	20+0.1Cb ^{注5}	300	ns
SDA0およびSCL0信号の立ち下がり時間	t _f	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	4.0	—	0.6	—	μs
各バス・ラインの容量性負荷	Cb	—	400	—	400	pF
入力フィルタによって抑制されるスパイクの パルス幅	t _{SP}	—	—	0	50	ns

注1．スタート・コンディション時に、この期間のあと、最初のクロック・パルスが生成されます。

2．装置は、SCL0の立ち下がり端の未定義領域を埋めるために（SCL0信号のV_{IHmin.}での）SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3．装置がSCL0信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間t_{HD : DAT}のみを満たすことが必要です。

4．高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

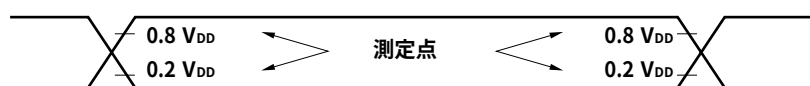
$$t_{SU : DAT} \geq 250 \text{ ns}$$

- ・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

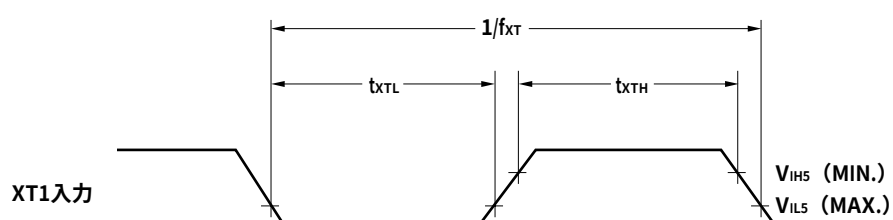
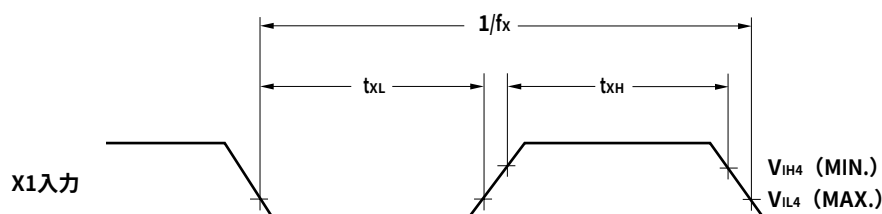
SCL0ラインが解放される（t_{rmax.}+t_{SU : DAT} = 1000+250 = 1250 ns：標準モードI²Cバス仕様による）前に、次のデータ・ビットをSDA0ラインに送出してください。

5．Cb：1つのバス・ラインの合計キャパシタンス（単位pF）

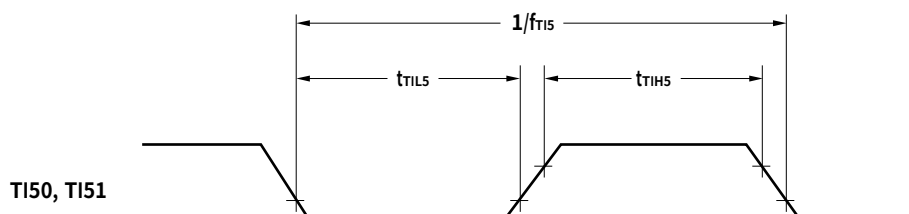
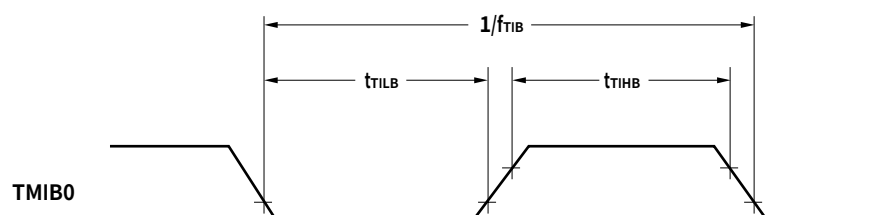
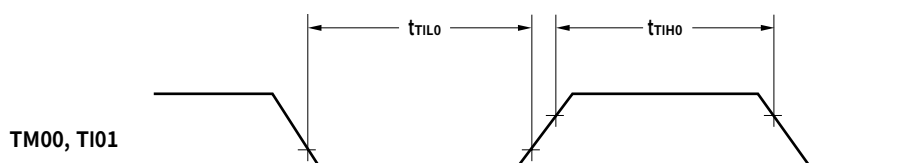
ACタイミング測定点 (X1, XT1入力を除く)



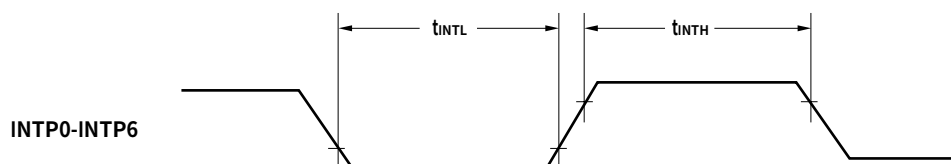
クロック・タイミング



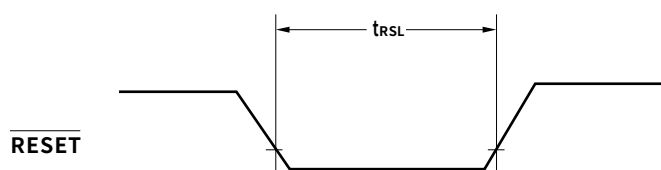
TIタイミング



割り込み要求入力タイミング

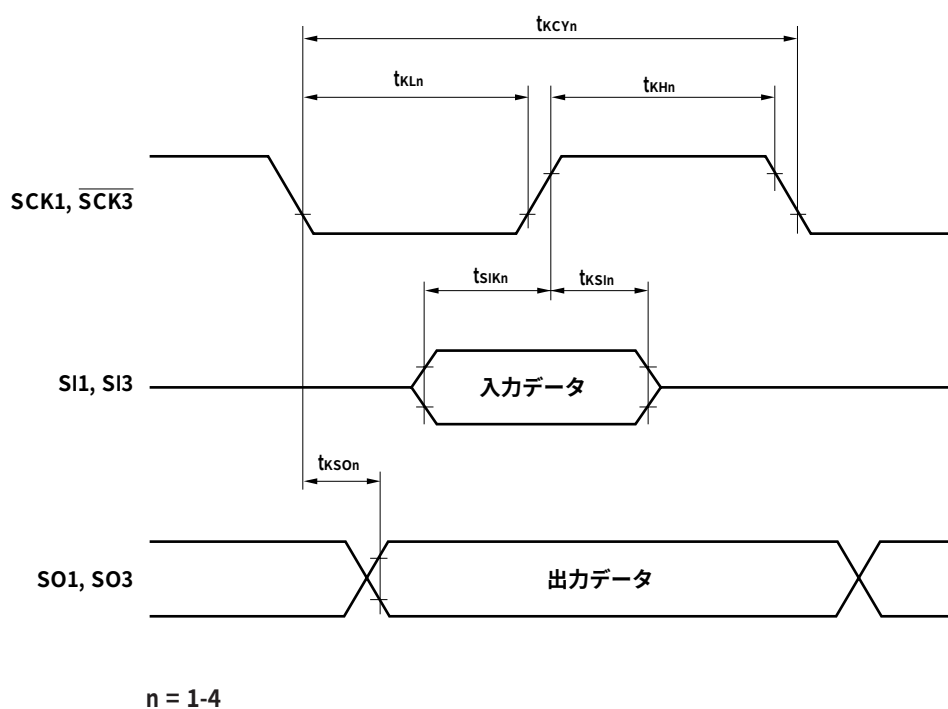


RESET入力タイミング

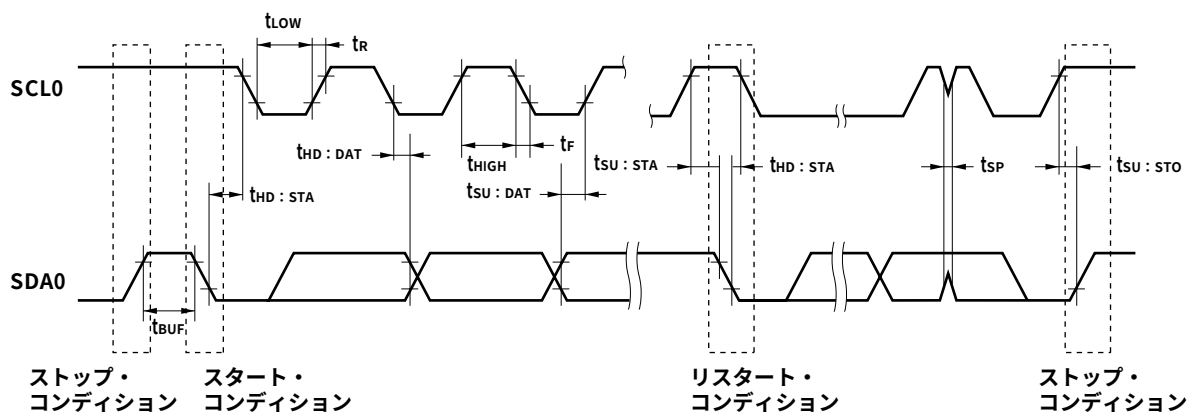


シリアル転送タイミング

3線式シリアル/I/Oモード (SIO3, CSI1) :



I²Cバス・モード:



★ 8ビットA/Dコンバータ特性 (μPD780344, 780344Yサブシリーズのみ)

(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 2.2~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^注		4.5 V ≤ AV _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ AV _{DD} < 4.5 V		±0.3	±0.6	%FSR
		2.2 V ≤ AV _{DD} < 2.7 V		±0.6	±1.2	%FSR
変換時間	t _{CONV}	4.5 V ≤ AV _{DD} ≤ 5.5 V	14		100	μs
		2.7 V ≤ AV _{DD} < 4.5 V	19		100	μs
		2.2 V ≤ AV _{DD} < 2.7 V			100	μs
アナログ入力電圧	V _{AIN}		0		AV _{DD}	V
直列抵抗ストリングの抵抗値	R _{REF}	A/D変換動作時	20	40		kΩ

注 量子化誤差 (±1/2 LSB) を含みません。フルスケール値に対する比率 (%FSR) で表します。

★ 10ビットA/Dコンバータ特性 (μPD780354, 780354Yサブシリーズのみ)

(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 2.2~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注		4.5 V ≤ AV _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ AV _{DD} < 4.5 V		±0.3	±0.6	%FSR
		2.2 V ≤ AV _{DD} < 2.7 V		±0.6	±1.2	%FSR
変換時間	t _{CONV}	4.5 V ≤ AV _{DD} ≤ 5.5 V	14		100	μs
		2.7 V ≤ AV _{DD} < 4.5 V	19		100	μs
		2.2 V ≤ AV _{DD} < 2.7 V	28		100	μs
ゼロスケール誤差 ^注		4.5 V ≤ AV _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AV _{DD} < 4.5 V			±0.6	%FSR
		2.2 V ≤ AV _{DD} < 2.7 V			±1.2	%FSR
フルスケール誤差 ^注		4.5 V ≤ AV _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AV _{DD} < 4.5 V			±0.6	%FSR
		2.2 V ≤ AV _{DD} < 2.7 V			±1.2	%FSR
積分直線性誤差		4.5 V ≤ AV _{DD} ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ AV _{DD} < 4.5 V			±4.5	LSB
		2.2 V ≤ AV _{DD} < 2.7 V			±8.5	LSB
微分直線性誤差		4.5 V ≤ AV _{DD} ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ AV _{DD} < 4.5 V			±2.0	LSB
		2.2 V ≤ AV _{DD} < 2.7 V			±3.5	LSB
アナログ入力インピーダンス		サンプリング時			100	kΩ
		非サンプリング時		10		MΩ
アナログ入力電圧	V _{AIN}		0		AV _{DD}	V
直列抵抗ストリングの抵抗値	R _{REF}	A/D変換動作時	20	40		kΩ

注 量子化誤差 (±1/2 LSB) を含みません。フルスケール値に対する比率 (%FSR) で表します。

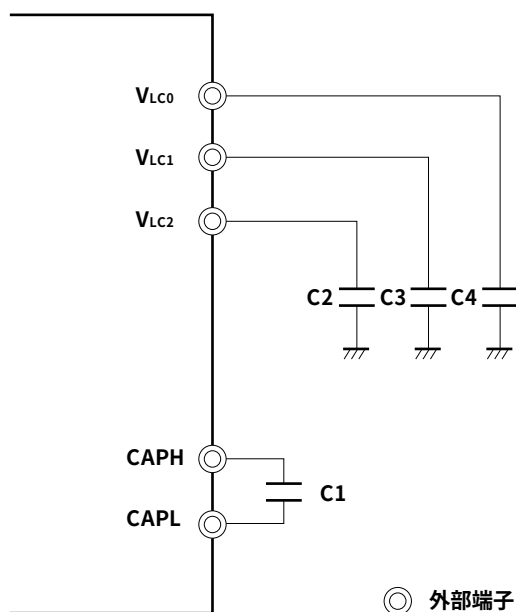
LCDコントローラ／ドライバ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
LCD基準電圧	V _{LCD2}	C1～C4 = 0.47 μF	ゲイン = 1	0.84	1	1.165	V
			ゲイン = 1.5	1.26	1.5	1.74	V
ゲイン調整				1.0		1.5	倍
ダブル出力電圧	V _{LCD1}	C1～C4 = 0.47 μF		2V _{LCD2} －0.1	2V _{LCD2}	2V _{LCD2}	V
トリプル出力電圧	V _{LCD0}	C1～C4 = 0.47 μF		3V _{LCD2} －0.15	3V _{LCD2}	3V _{LCD2}	V
昇圧ウエイト時間 ^{注1}	t _{VWAIT}	ゲイン = 1	4.5 V≦V _{DD} ≦5.5 V	4			s
			1.8 V≦V _{DD} <4.5 V	0.5			s
		ゲイン = 1.5	1.8 V≦V _{DD} ≦5.5 V	0.5			
LCD出力抵抗 ^{注2} (コモン)	R _{ODC}					40	kΩ
LCD出力抵抗 ^{注2} (セグメント)	R _{ODS}					200	kΩ

注1．昇圧ウエイト時間とは、昇圧を開始してから、表示が可能となるまでのウエイト時間です。

2．出力抵抗とは、 V_{LC0} 、 V_{LC1} 、 V_{LC2} 、 V_{SS} のいずれか1端子と、セグメント／コモン端子のいずれか1端子との間の抵抗です。

備考 C1は、CAPH-CAPL間、C2は V_{LC2} -GND間、C3は V_{LC1} -GND間、C4は V_{LC0} -GND間に接続するコンデンサのことです。



・ $C1 = C2 = C3 = C4 = 0.47 \text{ } [\mu\text{F}]$

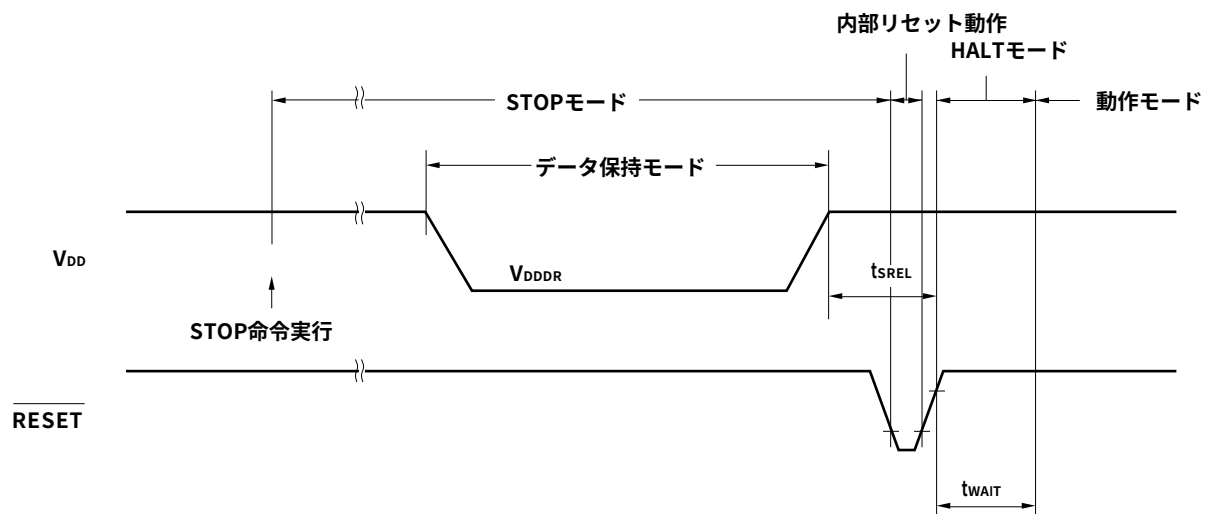
	$V_{LCD2} \text{ (V)}$	$V_{LCD1} \text{ (V)}$	$V_{LCD0} \text{ (V)}$
$V_{LCD0} = 3 \text{ V}$ の場合 (ゲイン = 1)	1	2	3
$V_{LCD0} = 4.5 \text{ V}$ の場合 (ゲイン = 1.5)	1.5	3	4.5

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

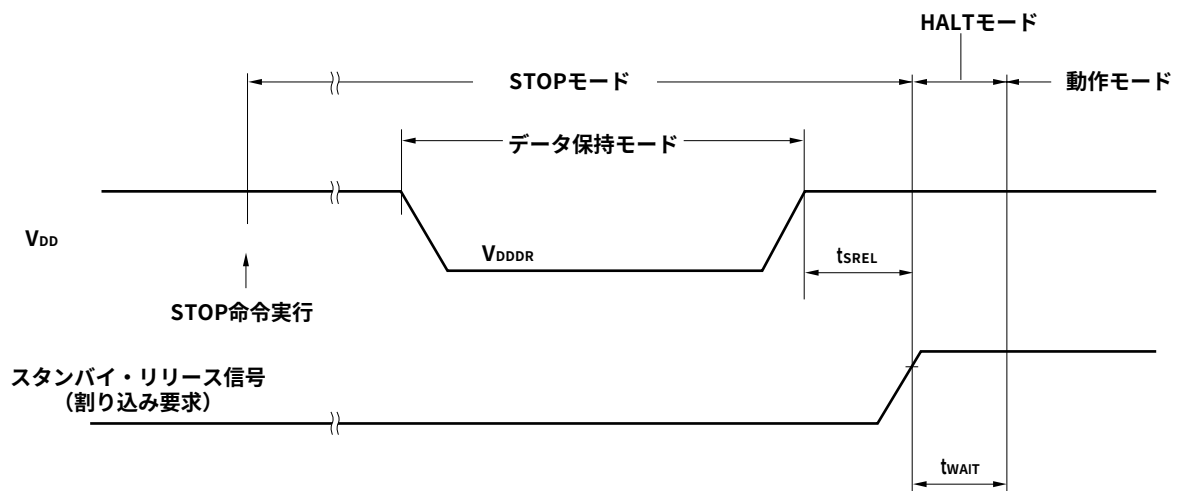
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.6		5.5	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.7 \text{ V}$		0.1	30	μA
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間	t_{WAIT}	RESETによる解除		$2^{17}/f_x$		s
		割り込み要求による解除		注		s

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{14}/f_x$, $2^{15}/f_x$, $2^{16}/f_x$, $2^{17}/f_x$ の選択が可能です。

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



フラッシュ・メモリ・プログラミング特性：μPD78F0354, 78F0354A, 78F0354Y, 78F0354AYのみ
($V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $V_{PP} = 9.7 \sim 10.3 \text{ V}$)

(1) 基本特性

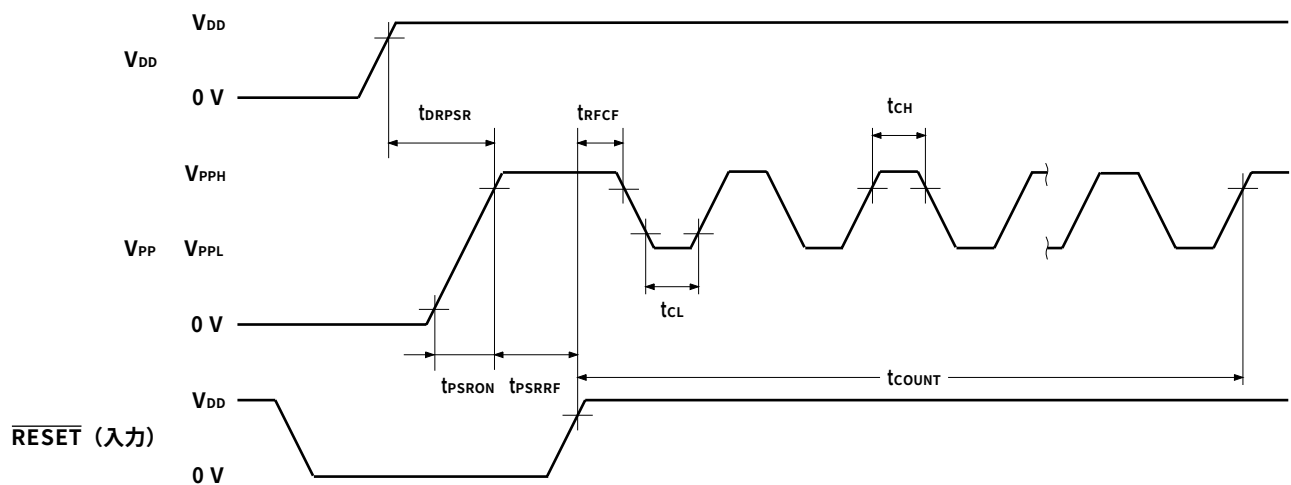
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	f_x	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.0		10.0	MHz
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	2.0		5.0	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	2.0		1.25	MHz
電源電圧	V_{DD}	書き込み時動作電圧	2.7		1.25	V
	V_{PPL}	V_{PP} ロウ・レベル検出時	0		$0.2 V_{DD}$	V
	V_{PP}	V_{PP} ハイ・レベル検出時	$0.8 V_{DD}$	V_{DD}	$1.2 V_{DD}$	V
	V_{PPH}	V_{PP} 高電圧検出時 ^注	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}				10	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = 10 \text{ V}$		75	100	mA
書き込み時間 (1バイトあたり)	T_{WRT}		50		500	μs
書き換え回数	C_{WRT}				20	回
消去時間	T_{ERASE}		0.2		20	s
プログラミング温度	T_{PRG}		10		40	$^{\circ}\text{C}$

注 入力／出力電圧と入力／出力リーク電流については、DC特性を参照してください。

(2) 書き込みオペレーション特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V_{PP} セット時間	t_{PSRON}	V_{PP} 高電圧	1.0			μs
$V_{DD} \uparrow \rightarrow V_{PP} \uparrow$ セット時間	t_{DRPSR}	V_{PP} 高電圧	10			μs
$V_{PP} \uparrow \rightarrow \text{RESET} \uparrow$ セット時間	t_{PSRRF}	V_{PP} 高電圧	1.0			μs
$\text{RESET} \uparrow \rightarrow V_{PP}$ カウント開始時間	t_{RFCF}		1.0			μs
カウント実行時間	t_{COUNT}				2.0	ms
V_{PP} カウンタ・ハイ、ロウ・レベル幅	t_{CH}, t_{CL}		8.0			μs
V_{PP} カウンタ・ノイズ除去幅	t_{NFW}			40		ns

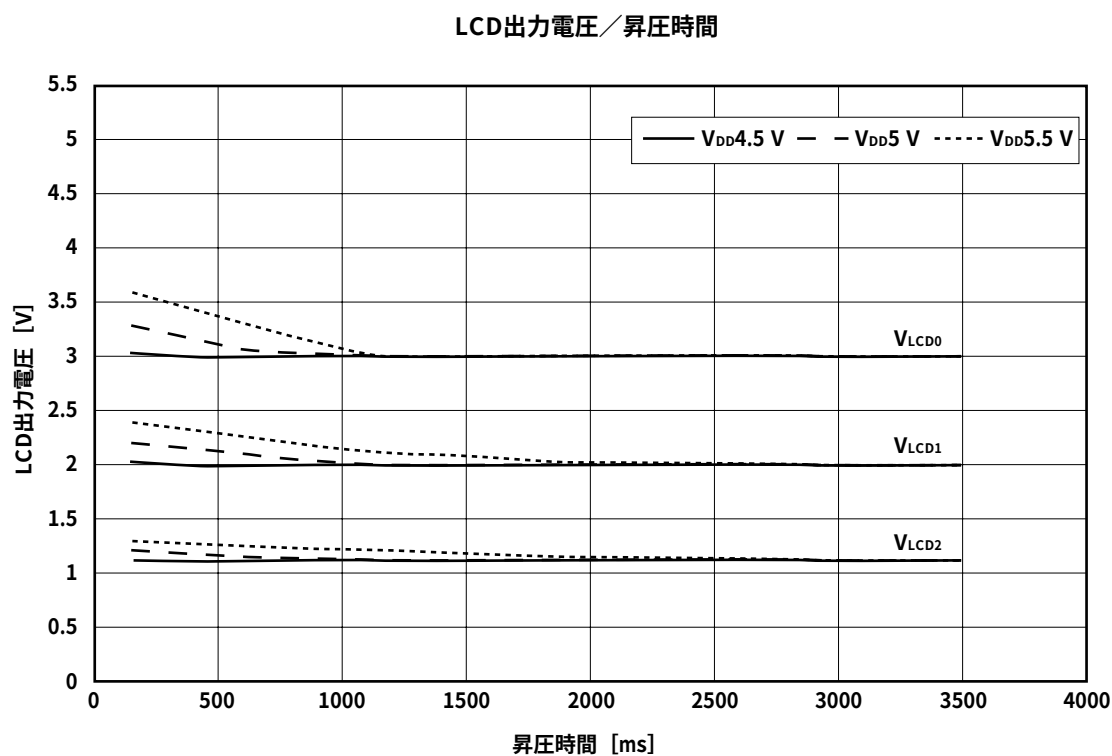
フラッシュ書き込みモード設定タイミング



第26章 LCDコントローラ／ドライバ特性曲線（参考値）

（1）昇圧電圧安定時間の特性曲線

- ★ 昇圧スタート（VLCON = 1）からの時間とLCD出力電圧の変化についての特性曲線を次に示します（GAIN = 0（3 V表示パネル使用）設定時）。

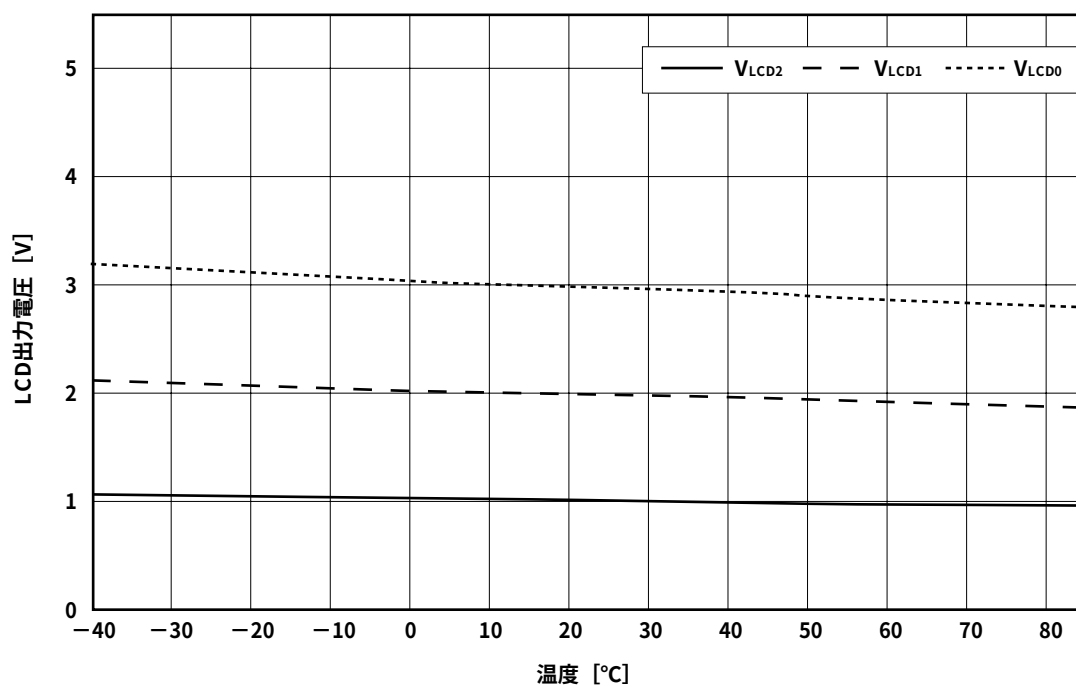


(2) LCD出力電圧の温度特性

LCD出力電圧の温度特性曲線を次に示します。

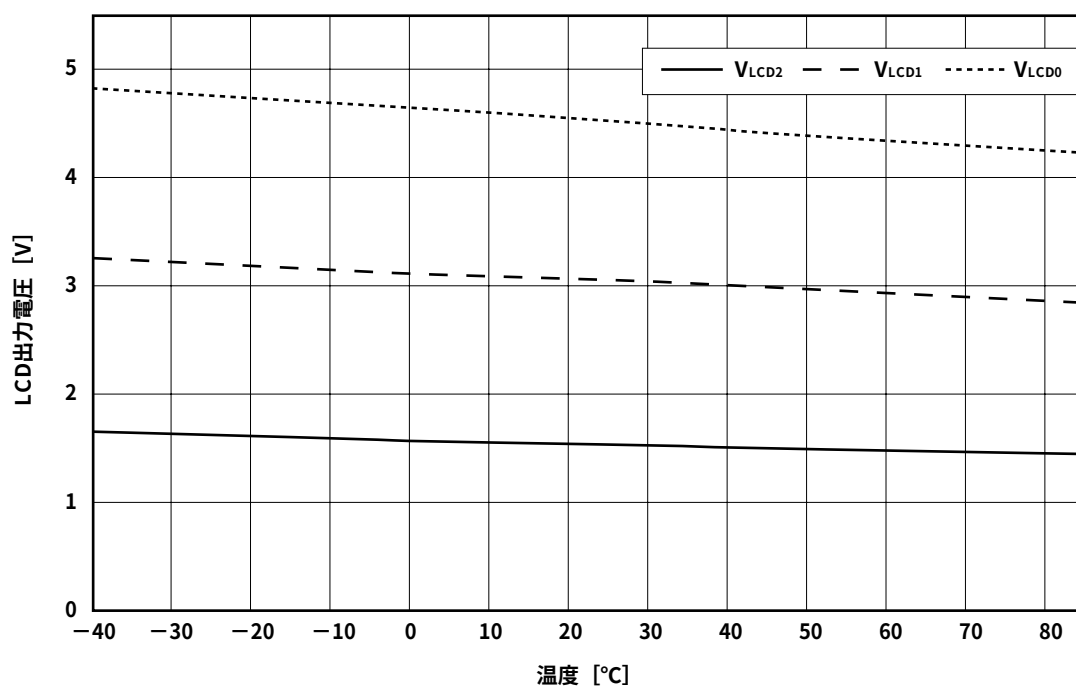
★

LCD出力電力／温度（GAIN = 0設定時）



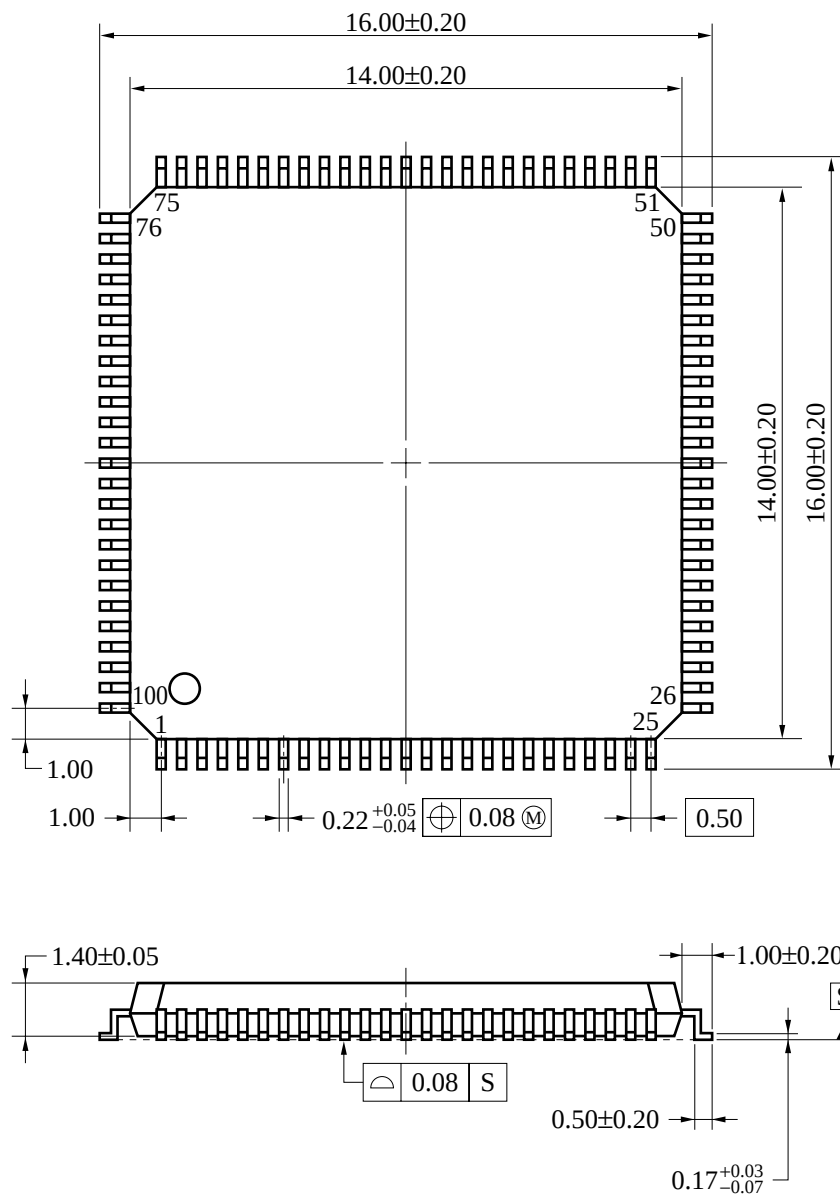
★

LCD出力電力／温度（GAIN = 1設定時）

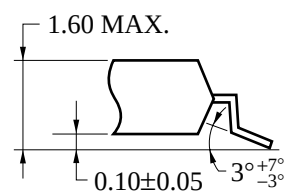


第27章 外形図

100ピン・プラスチック LQFP（ファインピッチ）（14x14）外形図（単位：mm）



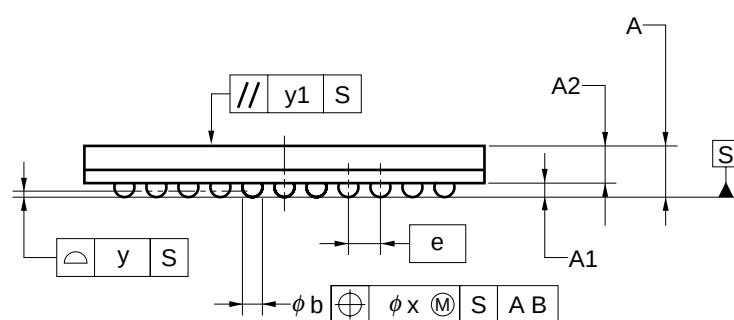
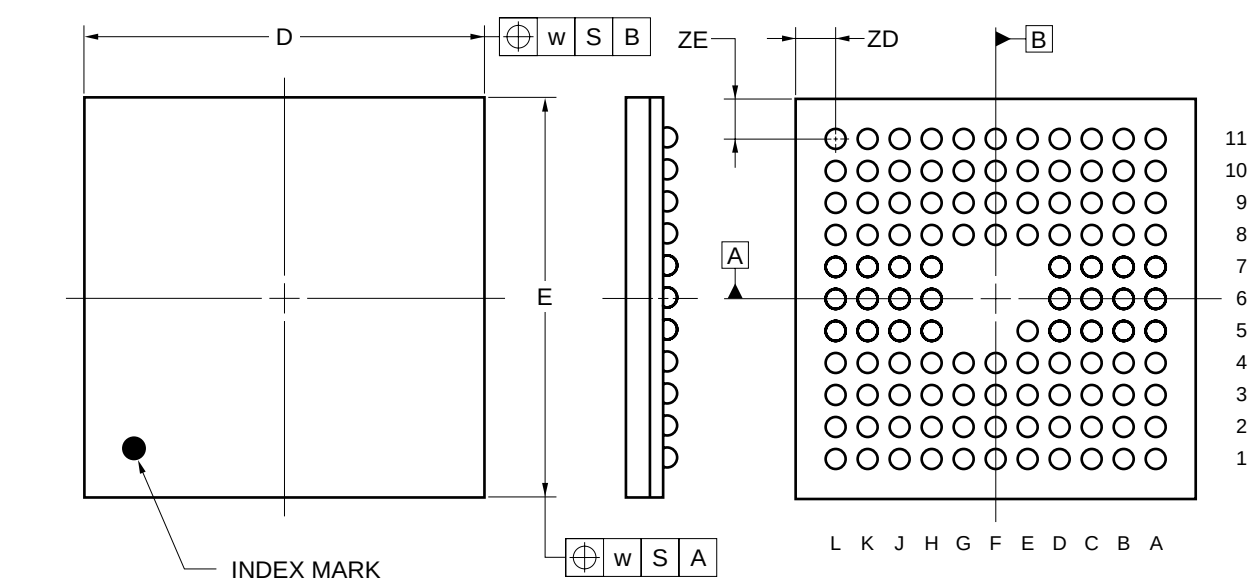
端子先端形状詳細図



S100GC-50-8EU, 8EA-2

備考 ES品の外形や材質は、量産品と同じです。

★ 113ピン・プラスチック FBGA (10x10) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.10
E	10.00±0.10
w	0.20
A	1.28±0.10
A1	0.35±0.06
A2	0.93
e	0.80
b	0.50 ^{+0.05} _{-0.10}
x	0.08
y	0.10
y1	0.20
ZD	1.00
ZE	1.00

P113F1-80-DA3

備考 ES品の外形や材質は、量産品と同じです。

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については、下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表28-1 表面実装タイプの半田付け条件 (1/3)

(1) μ PD780343GC- $\times\times\times$ -8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14x14)

μ PD780344GC- $\times\times\times$ -8EU : //

μ PD780353GC- $\times\times\times$ -8EU : //

μ PD780354GC- $\times\times\times$ -8EU : //

μ PD780343YGC- $\times\times\times$ -8EU : //

μ PD780344YGC- $\times\times\times$ -8EU : //

μ PD780353YGC- $\times\times\times$ -8EU : //

μ PD780354YGC- $\times\times\times$ -8EU : //

μ PD78F0354GC-8EU : //

μ PD78F0354YGC-8EU : //

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表28-1 表面実装タイプの半田付け条件 (2/3)

(2) μ PD780343F1- $\times\times\times$ -DA3 : 113ピン・プラスチックFBGA (10x10) μ PD780344F1- $\times\times\times$ -DA3 : // μ PD780353F1- $\times\times\times$ -DA3 : // μ PD780354F1- $\times\times\times$ -DA3 : // μ PD780343YF1- $\times\times\times$ -DA3 : // μ PD780344YF1- $\times\times\times$ -DA3 : // μ PD780353YF1- $\times\times\times$ -DA3 : // μ PD780354YF1- $\times\times\times$ -DA3 : // μ PD78F0354F1-DA3 : // μ PD78F0354YF1-DA3 : //

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください。

表28-1 表面実装タイプの半田付け条件 (3/3)

(3) μ PD780343GC- $\times\times\times$ -8EU-A : 100ピン・プラスチックLQFP (ファインピッチ) (14x14) μ PD780344GC- $\times\times\times$ -8EU-A :

//

 μ PD780353GC- $\times\times\times$ -8EU-A :

//

 μ PD780354GC- $\times\times\times$ -8EU-A :

//

 μ PD78F0354GC-8EU-A :

//

 μ PD780343YGC- $\times\times\times$ -8EU-A :

//

 μ PD780344YGC- $\times\times\times$ -8EU-A :

//

 μ PD780353YGC- $\times\times\times$ -8EU-A :

//

 μ PD78F0354YGC-8EU-A :

//

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 °Cプリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-207-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。**備考** オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μPD780344, 780354, 780344Y, 780354Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図A－1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

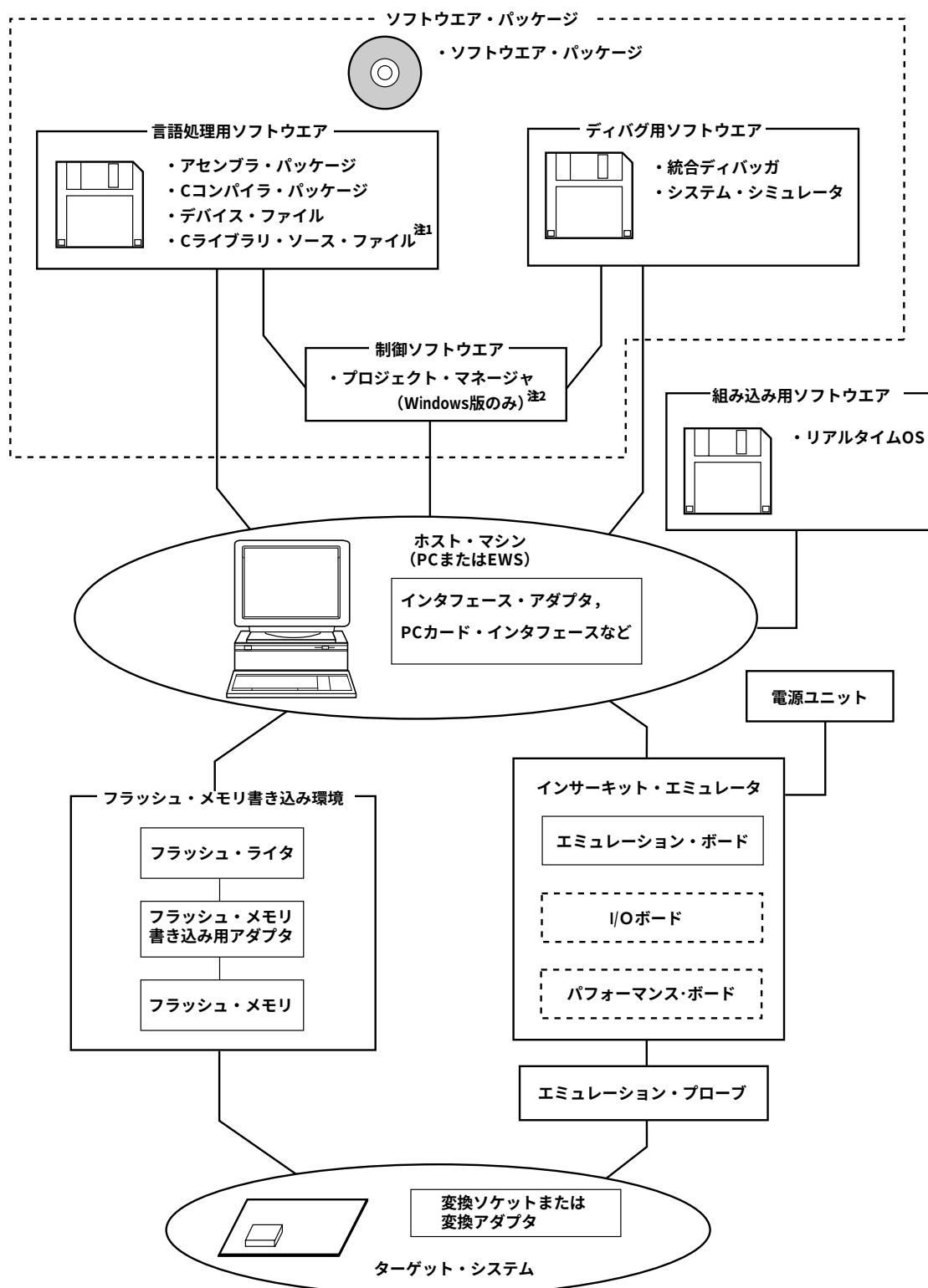
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- Windows 98
- Windows 2000
- Windows NTTM Ver.4.0

図A-1 開発ツール構成



★ 注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K/0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。
	RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
オーダ名称: μ S××××SP78K0	

備考 オーダ名称の××××は、使用するOSにより異なります。

μ S××××SP78K0

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF780354）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。
	オーダ名称: μ S××××RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。
	オーダ名称: μ S××××CC78K0
DF780354 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。
	オーダ名称: μ S××××DF780354
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。
	オーダ名称: μ S××××CC78K0-L

注1. DF780354は、RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0のすべての製品に共通に使用できます。

2. CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) , Solaris™ (Rel. 2.5.1)	

★

μS××××DF780354

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

★

A.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。Windows以外の環境では使用できません。
--------------	---

★ A.4 フラッシュ・メモリ書き込み用ツール

FlashproIII (型番 FL-PR3, PG-FP3) FlashproIV (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-100GC-8EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。FlashproIII/FlashproIVに接続して使用します。 ・FA-100GC-8EU：100ピン・プラスチックLQFP (GC-8EUタイプ) 用

備考 FL-PR3, FL-PR4, FA-100GC-8EUは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール（ハードウェア）

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K/0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780354-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-100GC NP-H100GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックLQFP（GC-8EUタイプ）用です。
TGC-100SDW 変換アダプタ (図A-2参照)	100ピン・プラスチックLQFP（GC-8EUタイプ）を実装できるように作られたターゲット・システムの基板と、NP-100GCまたはNP-H100GC-TQを接続するための変換ソケットです。
★ NP-113F1-DA3 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。113ピン・プラスチックFBGA（F1-DA3タイプ）用です。LSPACK113A1110N01とCSSOCKET113A1110N01を同梱しています。
★ LSPACK113A1110N01, CSSOCKET113A1110N01 変換ソケット	113ピン・プラスチックFBGA（F1-DA3タイプ）を実装できるように作られたターゲット・システムの基板と、NP-113F1-DA3を接続するための変換ソケットです。

備考1. NP-100GC, NP-H100GC-TQ, NP-113F1-DA3は、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGC-100SDW, LSPACK113A1110N01, CSSOCKET113A1110N01は、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A.6 デバッグ用ツール（ソフトウェア）

SM78K0 システム・シミュレータ	78K/0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF780354）と組み合わせて使用します。 オーダー名称：μS××××SM78K0
ID78K0-NS 統合デバッグ （インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A対応）	78K/0シリーズ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダー名称：μS××××ID78K0-NS

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0

μS××××ID78K0-NS

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

A.7 組み込み用ソフトウェア

RX78K0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780354）と組み合わせて使用します。 <PC環境で使用する場合の注意> リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS××××RX78013-△△△△
--------------------	--

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

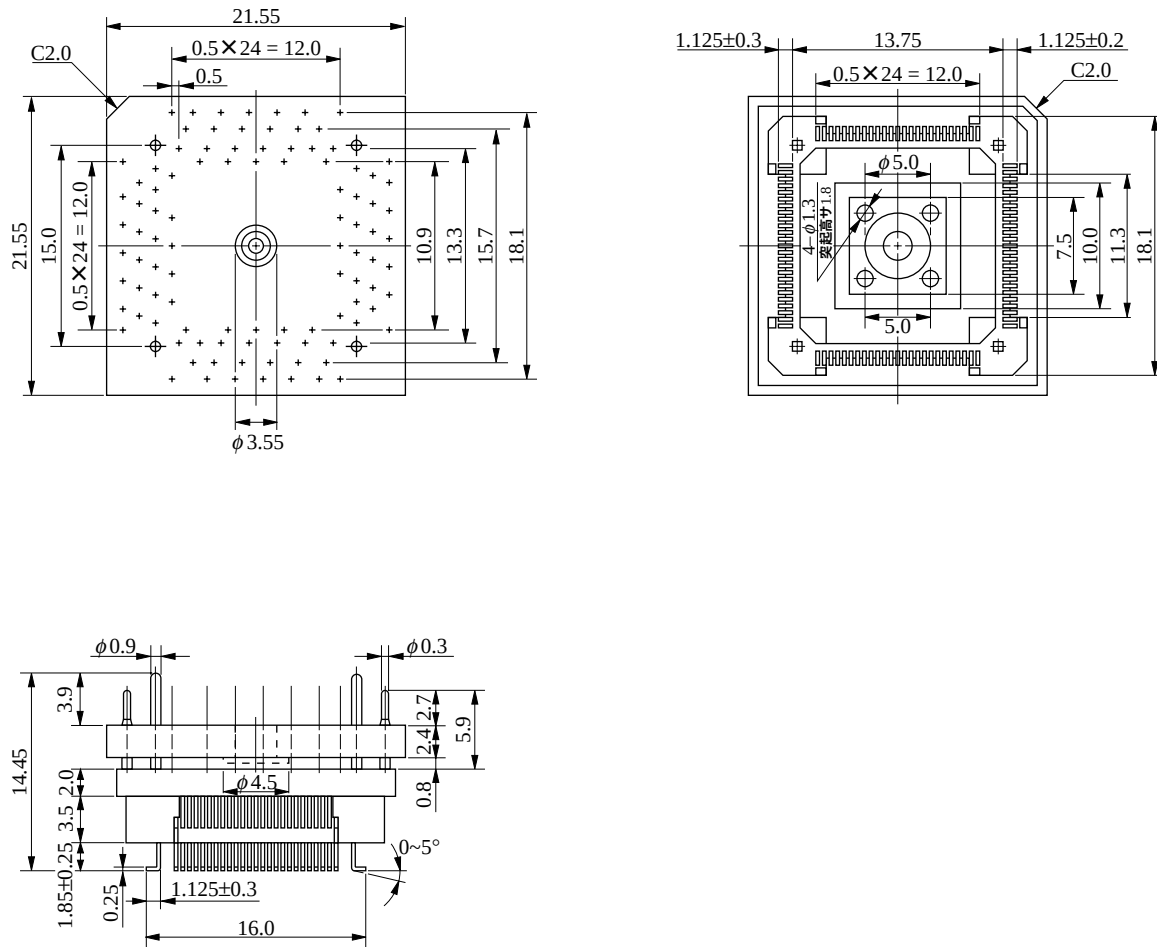
μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	
BB13		英語Windows	

A.8 変換アダプタ（TGC-100SDW）の外形図

図A-2 TGC-100SDW 外形図（参考）（単位：mm）



TGC-100SDW-G1

注：東京エレクトック（株）製

付録B ターゲット・システム設計上の注意

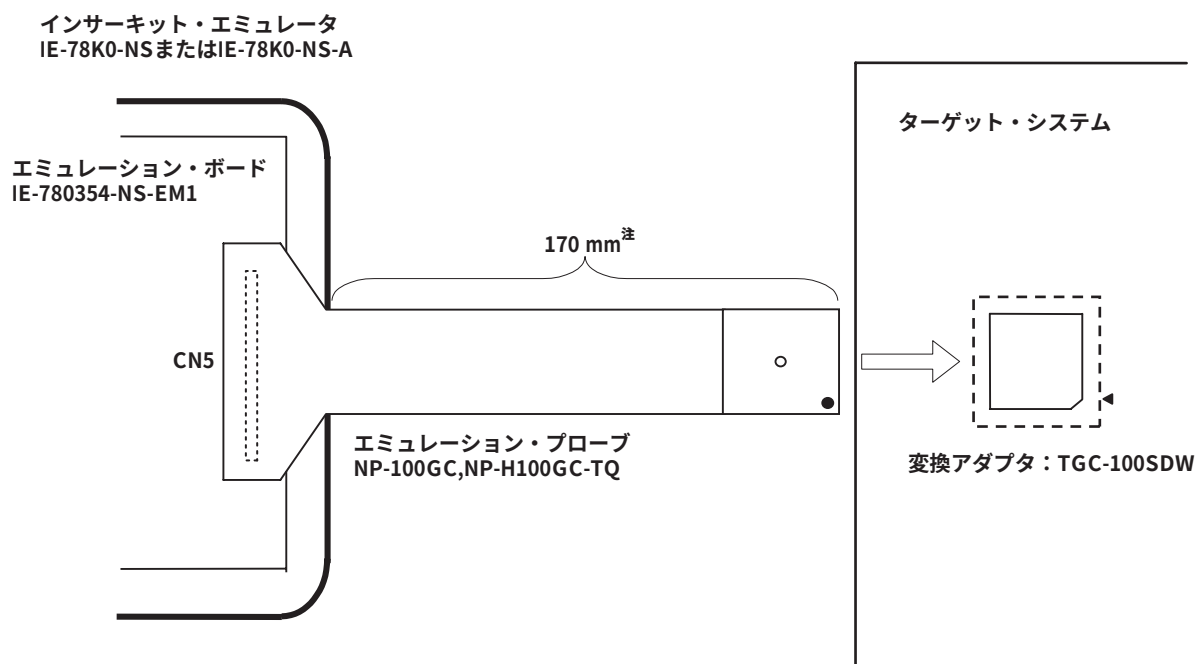
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

なお、この付録に記載されている製品名のうちNP-100GC, NP-H100GC-TQは株式会社内藤電誠町田製作所の製品です。また、TGC-100SDWは東京エレテック株式会社の製品です。

表B－1 IEシステムから変換アダプタまでの距離（100ピン・プラスチックLQFPの場合）

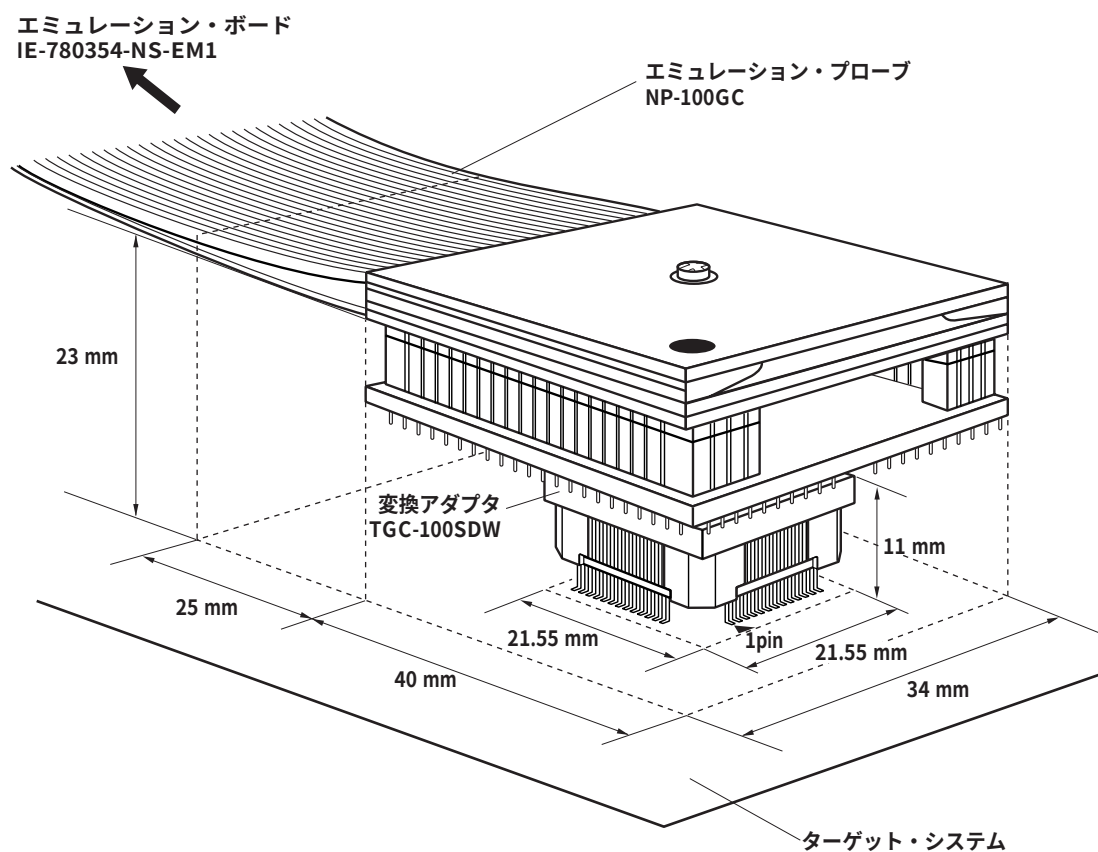
エミュレーション・プローブ	変換アダプタ	IEシステムから変換アダプタまでの距離
NP-100GC	TGC-100SDW	170 mm
NP-H100GC-TQ		370 mm

図B－1 IEシステムから変換アダプタまでの距離（100ピン・プラスチックLQFPの場合）

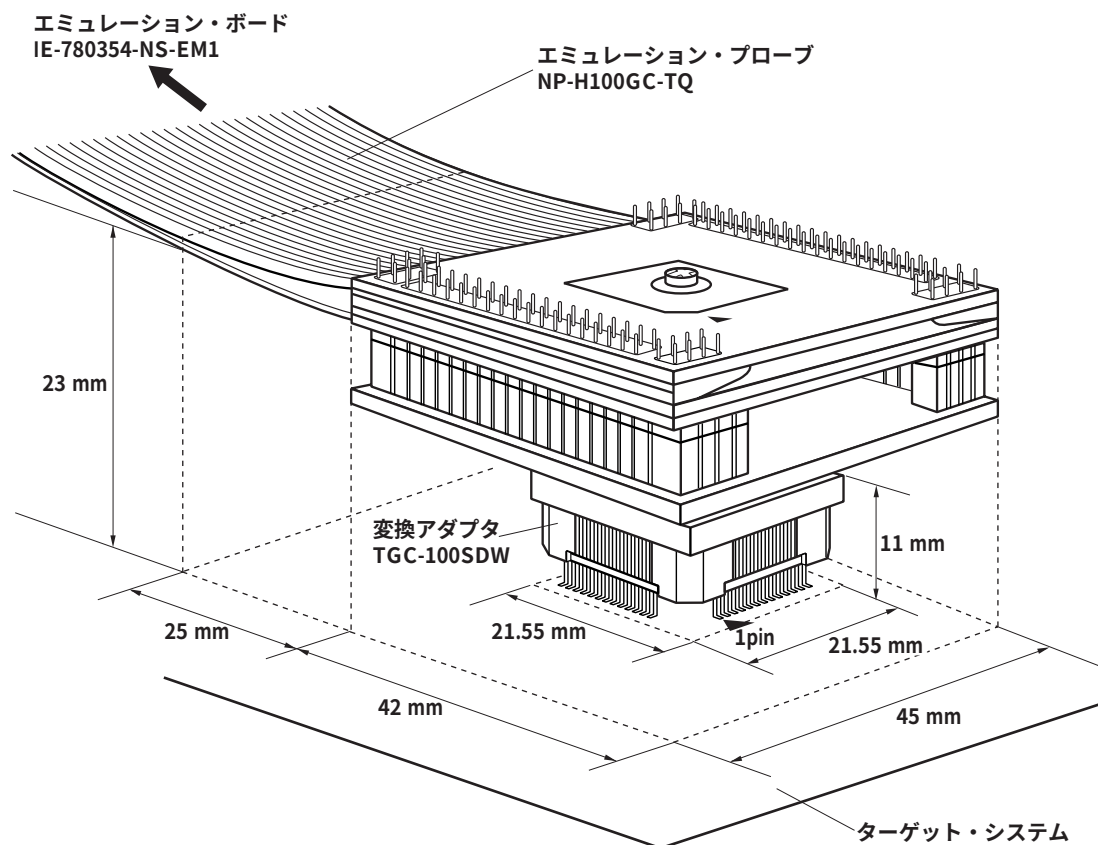


注 NP-100GCの場合の距離です。NP-H100GC-TQの場合は370 mmです。

図B-2 ターゲット・システムの接続条件（NP-100GCを使用する場合）



図B-3 ターゲット・システムの接続条件（NP-H100GC-TQを使用する場合）



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

IIC機能拡張レジスタ0 (IICX0) … 327
IICコントロール・レジスタ0 (IICC0) … 318
IICシフト・レジスタ0 (IIC0) … 316
IIC状態レジスタ0 (IICS0) … 323
IIC転送クロック選択レジスタ0 (IICCL0) … 326
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) … 298
アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) … 296
アナログ入力チャネル指定レジスタ0 (ADS0) … 233, 255
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) … 217
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 218
A/Dコンバータ・モード・レジスタ0 (ADM0) … 230, 252
A/D変換結果レジスタ0 (ADCR0) … 250
A/D変換結果レジスタ1 (ADCR1) … 228
LCDクロック制御レジスタ3 (LCDC3) … 377
LCDゲイン調整レジスタ0 (VLCG0) … 378
LCD表示モード・レジスタ3 (LCDM3) … 374

[か行]

外部割り込み立ち上がりエッジ許可レジスタ (EGP) … 406
外部割り込み立ち下がりエッジ許可レジスタ (EGN) … 406
キャプチャ／コンペア・コントロール・レジスタ0 (CRC0) … 134
キャリア・ジェネレータ出力コントロール・レジスタB0 (TCAB0) … 166
クロック出力選択レジスタ (CKS) … 223
兼用切り替えレジスタ8 (PF8) … 111, 380
兼用切り替えレジスタ9 (PF9) … 111, 380
兼用切り替えレジスタ10 (PF10) … 111, 380
兼用切り替えレジスタ11 (PF11) … 111, 380
コレクション・アドレス・レジスタ0 (CORAD0) … 433
コレクション・アドレス・レジスタ1 (CORAD1) … 433
コレクション・コントロール・レジスタ (CORCN) … 434

[さ行]

サブクロック選択レジスタ (SSCK) … 118
16ビット・タイマ・カウンタ0 (TM0) … 130
16ビット・タイマ・キャプチャ／コンペア・レジスタ00 (CR00) … 130
16ビット・タイマ・キャプチャ／コンペア・レジスタ01 (CR01) … 131

16ビット・タイマ出力コントロール・レジスタ0 (TOC0) … 135
16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) … 132
受信バッファ・レジスタ0 (RXB0) … 295
シリアルI/Oシフト・レジスタ1 (SIO1) … 280
シリアルI/Oシフト・レジスタ3 (SIO3) … 272
シリアル・クロック選択レジスタ1 (CSIC1) … 282
シリアル動作モード・レジスタ1 (CSIM1) … 281
シリアル動作モード・レジスタ3 (CSIM3) … 273
スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3) … 379
スレーブ・アドレス・レジスタ0 (SVA0) … 316
送信シフト・レジスタ0 (TXS0) … 294
送信バッファ・レジスタ1 (SOTB1) … 280

[た行]

タイマ・クロック選択レジスタ50 (TCL50) … 193
タイマ・クロック選択レジスタ51 (TCL51) … 193
時計用タイマ動作モード・レジスタ0 (WTNM0) … 209
時計用タイマ割り込み時間選択レジスタ (WTIM) … 211

[な行]

内部拡張RAMサイズ切り替えレジスタ (IXS) … 446

[は行]

8ビット・タイマH幅コンペア・レジスタB0 (CRHB0) … 161
8ビット・タイマ・カウンタ50 (TM50) … 192
8ビット・タイマ・カウンタ51 (TM51) … 192
8ビット・タイマ・カウンタA0 (TMA0) … 162
8ビット・タイマ・カウンタB0 (TMB0) … 162
8ビット・タイマ・コンペア・レジスタ50 (CR50) … 192
8ビット・タイマ・コンペア・レジスタ51 (CR51) … 192
8ビット・タイマ・コンペア・レジスタA0 (CRA0) … 161
8ビット・タイマ・コンペア・レジスタB0 (CRB0) … 161
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) … 194
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) … 194
8ビット・タイマ・モード・コントロール・レジスタA0 (TMCA0) … 164
8ビット・タイマ・モード・コントロール・レジスタB0 (TMCB0) … 165
発振安定時間選択レジスタ (OSTS) … 219, 420
プリスケアラ・モード・レジスタ0 (PRM0) … 136
プルアップ抵抗オプション・レジスタ0 (PU0) … 109
プルアップ抵抗オプション・レジスタ2 (PU2) … 109
プルアップ抵抗オプション・レジスタ3 (PU3) … 109
プルアップ抵抗オプション・レジスタ4 (PU4) … 109
プロセッサ・クロック・コントロール・レジスタ (PCC) … 116

ポート0 (P0) …	89
ポート1 (P1) …	92
ポート2 (P2) …	93
ポート3 (P3) …	96
ポート4 (P4) …	100
ポート7 (P7) …	102
ポート8 (P8) …	103
ポート9 (P9) …	104
ポート10 (P10) …	105
ポート11 (P11) …	106
ポート・モード・レジスタ0 (PM0) …	107, 166, 225
ポート・モード・レジスタ2 (PM2) …	107
ポート・モード・レジスタ3 (PM3) …	107, 137, 196
ポート・モード・レジスタ4 (PM4) …	107
ポート・モード・レジスタ7 (PM7) …	107
ポート・モード・レジスタ8 (PM8) …	107
ポート・モード・レジスタ9 (PM9) …	107
ポート・モード・レジスタ10 (PM10) …	107
ポート・モード・レジスタ11 (PM11) …	107
ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) …	298

[ま行]

メモリ拡張モード・レジスタ (MEM) …	110
メモリ・サイズ切り替えレジスタ (IMS) …	445

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) …	405
優先順位指定フラグ・レジスタ0L (PR0L) …	405
優先順位指定フラグ・レジスタ1L (PR1L) …	405

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) …	404
割り込みマスク・フラグ・レジスタ0L (MK0L) …	404
割り込みマスク・フラグ・レジスタ1L (MK1L) …	404
割り込み要求フラグ・レジスタ0H (IF0H) …	403
割り込み要求フラグ・レジスタ0L (IF0L) …	403
割り込み要求フラグ・レジスタ1L (IF1L) …	403

C.2 レジスタ索引（アルファベット順）

[A]

ADCR0	: A/D変換結果レジスタ0	…	250
ADCR1	: A/D変換結果レジスタ1	…	228
ADM0	: A/Dコンバータ・モード・レジスタ0	…	230, 252
ADS0	: アナログ入力チャネル指定レジスタ0	…	233, 255
ASIM0	: アシンクロナス・シリアル・インタフェース・モード・レジスタ0	…	296
ASIS0	: アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	…	298

[B]

BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0	…	298
-------	------------------------------	---	-----

[C]

CKS	: クロック出力選択レジスタ	…	223
CORAD0	: コレクション・アドレス・レジスタ0	…	433
CORAD1	: コレクション・アドレス・レジスタ1	…	433
CORCN	: コレクション・コントロール・レジスタ	…	434
CR00	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ00	…	130
CR01	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ01	…	131
CR50	: 8ビット・タイマ・コンペア・レジスタ50	…	192
CR51	: 8ビット・タイマ・コンペア・レジスタ51	…	192
CRA0	: 8ビット・タイマ・コンペア・レジスタA0	…	161
CRB0	: 8ビット・タイマ・コンペア・レジスタB0	…	161
CRC0	: キャプチャ／コンペア・コントロール・レジスタ0	…	134
CRHB0	: 8ビット・タイマH幅コンペア・レジスタB0	…	161
CSIC1	: シリアル・クロック選択レジスタ1	…	282
CSIM1	: シリアル動作モード・レジスタ1	…	281
CSIM3	: シリアル動作モード・レジスタ3	…	273

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ	…	406
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ	…	406

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H	…	403
IF0L	: 割り込み要求フラグ・レジスタ0L	…	403
IF1L	: 割り込み要求フラグ・レジスタ1L	…	403
IIC0	: IICシフト・レジスタ0	…	316
IICC0	: IICコントロール・レジスタ0	…	318
IICCL0	: IIC転送クロック選択レジスタ0	…	326
IICS0	: IIC状態レジスタ0	…	323
IICX0	: IIC機能拡張レジスタ0	…	327

IMS : メモリ・サイズ切り替えレジスタ ... 445
IXS : 内部拡張RAMサイズ切り替えレジスタ ... 446

[L]

LCDC3 : LCDクロック制御レジスタ3 ... 377
LCDM3 : LCD表示モード・レジスタ3 ... 374

[M]

MEM : メモリ拡張モード・レジスタ ... 110
MK0H : 割り込みマスク・フラグ・レジスタ0H ... 404
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 404
MK1L : 割り込みマスク・フラグ・レジスタ1L ... 404

[O]

OSTS : 発振安定時間選択レジスタ ... 219, 420

[P]

P0 : ポート0 ... 89
P1 : ポート1 ... 92
P2 : ポート2 ... 93
P3 : ポート3 ... 96
P4 : ポート4 ... 100
P7 : ポート7 ... 102
P8 : ポート8 ... 103
P9 : ポート9 ... 104
P10 : ポート10 ... 105
P11 : ポート11 ... 106
PCC : プロセッサ・クロック・コントロール・レジスタ ... 116
PF8 : 兼用切り替えレジスタ8 ... 111, 380
PF9 : 兼用切り替えレジスタ9 ... 111, 380
PF10 : 兼用切り替えレジスタ10 ... 111, 380
PF11 : 兼用切り替えレジスタ11 ... 111, 380
PM0 : ポート・モード・レジスタ0 ... 107, 166, 225
PM2 : ポート・モード・レジスタ2 ... 107
PM3 : ポート・モード・レジスタ3 ... 107, 137, 196
PM4 : ポート・モード・レジスタ4 ... 107
PM7 : ポート・モード・レジスタ7 ... 107
PM8 : ポート・モード・レジスタ8 ... 107
PM9 : ポート・モード・レジスタ9 ... 107
PM10 : ポート・モード・レジスタ10 ... 107
PM11 : ポート・モード・レジスタ11 ... 107
PR0H : 優先順位指定フラグ・レジスタ0H ... 405
PR0L : 優先順位指定フラグ・レジスタ0L ... 405

PR1L	: 優先順位指定フラグ・レジスタ1L	…	405
PRM0	: プリスケアラ・モード・レジスタ0	…	136
PU0	: プルアップ抵抗オプション・レジスタ0	…	109
PU2	: プルアップ抵抗オプション・レジスタ2	…	109
PU3	: プルアップ抵抗オプション・レジスタ3	…	109
PU4	: プルアップ抵抗オプション・レジスタ4	…	109

[R]

RXB0	: 受信バッファ・レジスタ0	…	295
------	----------------	---	-----

[S]

SDSEL3	: スタティック／ダイナミック表示切り替えレジスタ3	…	379
SIO1	: シリアルI/Oシフト・レジスタ1	…	280
SIO3	: シリアルI/Oシフト・レジスタ3	…	272
SOTB1	: 送信バッファ・レジスタ1	…	280
SSCK	: サブクロック選択レジスタ	…	118
SVA0	: スレーブ・アドレス・レジスタ0	…	316

[T]

TCAB0	: キャリア・ジェネレータ出力コントロール・レジスタB0	…	166
TCL50	: タイマ・クロック選択レジスタ50	…	193
TCL51	: タイマ・クロック選択レジスタ51	…	193
TM0	: 16ビット・タイマ・カウンタ0	…	130
TM50	: 8ビット・タイマ・カウンタ50	…	192
TM51	: 8ビット・タイマ・カウンタ51	…	192
TMA0	: 8ビット・タイマ・カウンタA0	…	162
TMB0	: 8ビット・タイマ・カウンタB0	…	162
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ0	…	132
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50	…	194
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51	…	194
TMCA0	: 8ビット・タイマ・モード・コントロール・レジスタA0	…	164
TMCB0	: 8ビット・タイマ・モード・コントロール・レジスタB0	…	165
TOC0	: 16ビット・タイマ出力コントロール・レジスタ0	…	135
TXS0	: 送信シフト・レジスタ0	…	294

[V]

VLCG0	: LCDゲイン調整レジスタ0	…	378
-------	-----------------	---	-----

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ	…	217
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	218
WTIM	: 時計用タイマ割り込み時間選択レジスタ	…	211
WTNM0	: 時計用タイマ動作モード・レジスタ0	…	209

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版 数	前版からの改版内容	適用箇所
第2版	すべての対象製品が開発中→開発済み	全般
	AV _{REF} 端子→AV _{DD} 端子	
	A/Dコンバータの動作可能電圧 AV _{REF} = 2.7~5.5 V → AV _{DD} = 2.2~5.5 V	
	1.4 端子接続図 (Top View) の113ピン・プラスチックFBGAパッケージの図を変更	第1章 概 説
	表2-1 各端子の入出力回路タイプを変更	第2章 端子機能
	3.1.2 (1) 内部高速RAMと (2) 内部拡張RAMにプログラム領域についての説明文を追加	第3章 CPUアーキテクチャ
	図3-10 スタック・メモリへ退避されるデータ、図3-11 スタック・メモリから復帰されるデータを変更	
	3.4.4 ショート・ダイレクト・アドレッシングの【記述例】を変更	
	3.4.7 ベースト・アドレッシング、3.4.8 ベースト・インデクスト・アドレッシング、3.4.9 スタック・アドレッシングに【図解】を追加	
	表4-1 ポートの機能のポート1とポート4の説明文を修正	第4章 ポート機能
	図4-4 P10-P17のブロック図を変更	
	4.2.3 ポート2に注意を追加	
	図4-18 ポート・モード・レジスタ (PM0, PM2-PM4, PM7-PM11) のフォーマットの注を変更	
	図4-21 兼用切り替えレジスタ (PF8-PF11) のフォーマットの設定内容を変更、注意2を追加	
	5.5.1 メイン・システム・クロックの動作に説明文を追加	第5章 クロック発生回路
	図6-1 16ビット・タイマ/イベント・カウンタ0のブロック図を変更	第6章 16ビット・タイマ/イベント・カウンタ0
	図6-11 PPG出力の構成図と図6-12 PPG出力動作のタイミングを追加	
	6.6 (4) キャプチャ・レジスタのデータ保持タイミングを変更、(13) STOPモードまたはメイン・システム・クロック停止モードの設定についてを追加	
	旧版の6.6 (7) 競合動作についての①を削除	
	図7-6 キャリア・ジェネレータ出力コントロール・レジスタB0のフォーマットを変更	第7章 8ビット・タイマA0, B0
	表7-7 16ビット分解能の方形波出力範囲にTMIB0端子からの入力周波数を追加	
	8.3 (2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n : n = 0, 1) に説明文を追加	第8章 8ビット・タイマ/イベント・カウンタ50, 51
	8.5.2 外部イベント・カウンタとしての動作に設定方法を追加	

(2/4)

版 数	前版からの改版内容	適用箇所
第2版	8.5.3 方形波としての動作の [設定方法] の説明文に、周波数についての記述を追加	第8章 8ビット・タイマ／イベント・カウンタ 50, 51
	8.5.4 PWM出力としての動作の [設定方法] の記述を変更	
	図9-2 時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマットを修正	第9章 時計用タイマ
	12.2 (3) サンプル&ホールド回路, (4) 電圧コンパレータの説明文を修正	第12章 8ビットA/Dコンバータ (μPD780344, 780344Yサブシリーズ)
	図12-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットの注3の説明文を変更し、表12-2 ADCS0とADCE0の設定と図12-3 昇圧基準電圧生成回路使用時のタイミング・チャートを追加	
	図12-12 アナログ入力端子の処理を変更	
	12.6 A/Dコンバータの注意事項に次の内容を追加 (6) ANI0-ANI7端子の入力インピーダンスについて (14) AV _{DD} 端子	
	旧版の図12-16 V _{DD1} 端子, AV _{REF} 端子とコンデンサの接続例をAV _{DD} 端子とコンデンサの接続例に変更	
	表12-3 等価回路の各抵抗と容量値 (参考値) を変更	
	13.2 (2) A/D変換結果レジスタ0 (ADCR0), (3) サンプル&ホールド回路, (4) 電圧コンパレータの説明文を追加, 修正	第13章 10ビットA/Dコンバータ (μPD780354, 780354Yサブシリーズ)
	図13-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットの注3の説明文を変更し、表13-2 ADCS0とADCE0の設定と図13-3 昇圧基準電圧生成回路使用時のタイミング・チャートを追加	
	図13-16 アナログ入力端子の処理を変更	
	13.6 A/Dコンバータの注意事項に次の内容を追加 (6) ANI0-ANI7端子の入力インピーダンスについて (14) AV _{DD} 端子	
	旧版の図13-20 V _{DD1} 端子, AV _{REF} 端子とコンデンサの接続例をAV _{DD} 端子とコンデンサの接続例に変更	
	表13-3 等価回路の各抵抗と容量値 (参考値) を変更	
	図14-2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマットのMODEフラグの説明文を変更	第14章 シリアル・インタフェースSIO3
	図15-3 シリアル・クロック選択レジスタ1 (CSIC1) のフォーマットの注意1を変更	第15章 シリアル・インタフェースCSI1
	旧版の15.4.2 (6) SCK1端子について, (7) SO1端子についてを削除	
	図16-3 アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマットの注意を変更	第16章 シリアル・インタフェースUART0
	図16-5 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマットの備考にボー・レートの計算式を追加	
	16.4.2 (2) (d) 受信の説明文を変更	

版 数	前版からの改版内容	適用箇所
第2版	図16-9 アシクロナス・シリアル・インタフェース受信完了割り込み要求タイミングの注意を変更	第16章 シリアル・インタフェースUART0
	図16-10 受信エラー・タイミングの注意2を変更	
	17.2 (1) IICシフト・レジスタ0 (IIC0) , (2) スレーブ・アドレス・レジスタ0 (SVA0) と旧版の17.3 (5) IICシフト・レジスタ0 (IIC0) , (6) スレーブ・アドレス・レジスタ0 (SVA0) を一つにまとめる	第17章 シリアル・インタフェースIIC0 (μPD780344Y, 780354Y サブシリーズのみ)
	図17-3 IICコントロール・レジスタ0 (IICC0) のフォーマット, 図17-4 IIC状態レジスタ0 (IICS0) のフォーマット, 図17-5 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマットのアドレス値を修正	
	図17-14 ウェイト信号の「転送ライン」の図に説明文を追加	
	17.5.7 (3) (d) (ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外)) を修正	
	表17-2 INTIIC0発生タイミングおよびウェイト制御の注1, 2に説明文を追加	
	図17-21 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) の (1) スタート・コンディション～アドレス, (2) データを修正	
	図17-22 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) を修正	
	図18-1 LCDコントローラ／ドライバのブロック図を修正	第18章 LCDコントローラ／ドライバ
	表18-4 フレーム周波数の注を変更	
	図18-6 LCDゲイン調整レジスタ0 (VLCG0) のフォーマットのGAINビットの説明文を変更	
	図18-7 スタティク／ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマットを変更	
	図18-8 兼用切り替えレジスタ (PF8-PF11) のフォーマットの設定内容を変更, 注意2を追加	
	旧版の18.4 LCDコントローラ／ドライバの設定と18.5 LCD表示用RAMの順番を入れ替え	
	旧版の表18-7 LCD駆動電圧を削除	
	略号の統一 ・V _{LC0} 端子の出力電圧: V _{LC0} ・V _{LC1} 端子の出力電圧: V _{LC1} ・V _{LC2} 端子の出力電圧: V _{LC2}	
	表18-6 V _{LC0} -V _{LC2} 端子の出力電圧を変更	
	18.8.1 スタティク表示例に説明文を追加	
	LCDパネルの結線例を変更 ・図18-14 スタティクLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1) ・図18-17 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2) ・図18-20 4時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)	

版 数	前版からの改版内容	適用箇所
第2版	図19-1 割り込み機能の基本構成の(E) ソフトウェア割り込みを修正	第19章 割り込み機能
	図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマットに注意を追加	
	19.4.1 ノンマスカブル割り込み要求の受け付け動作に説明文と備考を追加	
	19.4.2 マスカブル割り込み要求の受け付け動作に説明文を追加	
	表19-4 割り込み処理中に多重割り込み可能な割り込み要求に項目追加	
	20.2.1 (2) HALTモードの解除に注意と表20-3 サブクロック4通倍クロック使用時のHALTモードの解除条件とNOP命令設定の必要の有無 (μPD78F0354, 78F0354Yのみ) を追加	第20章 スタンバイ機能
	説明文にフラッシュ・メモリの記述を追加	第22章 ROMコレクション
	図23-1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマットを修正	第23章 μPD78F0354, 78F0354Y
	表23-3 通信方式一覧を変更	
	図23-5 専用フラッシュ・ライタとの接続例, 表23-4 端子接続一覧の専用フラッシュ・ライタの端子名または信号名を変更	
	フラッシュ書き込み用アダプタの配線例を修正	
	・ 図23-10 3線式シリアルI/O (SIO3) でのフラッシュ書き込み用アダプタ配線例	
	・ 図23-11 3線式シリアルI/O (SIO3) ハンドシェイクありでのフラッシュ書き込み用アダプタ配線例	
	・ 図23-12 3線式シリアルI/O (CSI1) でのフラッシュ書き込み用アダプタ配線例	
	・ 図23-13 UART (UART0) でのフラッシュ書き込み用アダプタ配線例	
	章を改訂	第25章 電気的特性
	113ピン・プラスチックFBGAパッケージの図を追加	第27章 外形図
	章を追加	第28章 半田付け推奨条件
	A.5 デバッグ用ツール (ハードウェア) にエミュレーション・プローブの「NP-113F1-DA3」と変換ソケットの「LSPACK113A1110N01, CSSOCKET113A1110N01」を追加	付録A 開発ツール
	付録を追加	付録B ターゲット・システム設計上の注意
		付録D 改版履歴
第2版 (修正版)	μPD78F0354A, 78F0354AYを追加	全般
	1.3 オータ情報を変更	第1章 概 説
	章を変更	第28章 半田付け推奨条件

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。