

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD780318, 780328, 780338サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780316

μPD780318

μPD780326

μPD780328

μPD780336

μPD780338

μPD78F0338

[× ㊦]

目次要約

第1章	概 説	…	29
第2章	端子機能	…	48
第3章	CPUアーキテクチャ	…	63
第4章	ポート機能	…	91
第5章	クロック発生回路	…	120
第6章	16ビット・タイマ/イベント・カウンタ0	…	134
第7章	16ビット・タイマ/イベント・カウンタ4	…	163
第8章	8ビット・タイマ/イベント・カウンタ50, 51, 52	…	174
第9章	時計用タイマ	…	193
第10章	ウォッチドッグ・タイマ	…	199
第11章	クロック出力/ブザー出力制御回路	…	207
第12章	A/Dコンバータ	…	212
第13章	D/Aコンバータ	…	235
第14章	シリアル・インタフェースUART0	…	240
第15章	シリアル・インタフェースSIO3	…	261
第16章	シリアル・インタフェースCSI1	…	269
第17章	LCDコントローラ/ドライバ	…	283
第18章	割り込み機能	…	311
第19章	スタンバイ機能	…	333
第20章	リセット機能	…	341
第21章	ROMコレクション	…	345
第22章	μPD78F0338	…	356
第23章	命令セットの概要	…	365
第24章	電気的特性	…	380
第25章	外形図	…	402
第26章	半田付け推奨条件	…	403
付 録		…	405

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。
 EEPROM, IEBusは、NECエレクトロニクス株式会社の商標です。
 WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
 PC/ATは、米国IBM社の商標です。
 HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。
 SPARCstationは、米国SPARC International, Inc.の商標です。
 Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。
 イーサネットは、米国ゼロックス社の商標です。
 OSF/Motifは、OpenSoftware Foundation, Inc.の商標です。
 TRONは、The Realtime Operating system Nucleusの略称です。
 ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78F0338GC-9EB, 78F0338GC-9EB-A
 ユーザ判定品：μPD780316GC-XXX-9EB, 780316GC-XXX-9EB-A, μPD780328GC-XXX-9EB, 780328GC-XXX-9EB-A,
 μPD780318GC-XXX-9EB, 780318GC-XXX-9EB-A, μPD780336GC-XXX-9EB, 780336GC-XXX-9EB-A,
 μPD780326GC-XXX-9EB, 780326GC-XXX-9EB-A, μPD780338GC-XXX-9EB, 780338GC-XXX-9EB-A

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
 - 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
 - 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
 - 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

箇 所	内 容
U14701JJ2V0UD00→U14701JJ3V0UD00	
p.59	表 2-1 各端子の入出力回路タイプの次の端子の未使用時の推奨接続方法を変更 <ul style="list-style-type: none"> ・ P60-P63 ・ P80/S32-P87/S39 (フラッシュ・メモリ製品) ・ P90/S24-P97/S31 (フラッシュ・メモリ製品)
p.68	3.1.2 内部データ・メモリ空間の(1)内部高速RAMと(2)内部拡張RAMに説明文を追加
p.77	表 3-4 特殊機能レジスタ一覧のポート 8 と 9 の操作可能ビット単位を変更
p.111	図 4-18 P80-P87, P90-P97のブロック図(フラッシュ・メモリ製品)を変更
p.112	4.2.11 ポート12の注意文を変更
p.164	7.3 (1) 16ビット・タイマ・カウンタ 4 (TM4) のクリア条件を変更
p.164	図 7-1 16ビット・タイマ/イベント・カウンタ 4 のブロック図を変更
p.289	表17-4 フレーム周波数の注の文を変更
p.291	図17-6 スタティック/ダイナミック表示切り替えレジスタ 3 (SDSEL3) のフォーマットを変更
p.293, 294	旧版の17.4 LCDコントローラ/ドライバの設定と17.5 LCD表示用RAMの順番を入れ替え
旧版のp.296	旧版の表17-7 LCD駆動電圧を削除
pp.297-300, 396	略号の統一 <ul style="list-style-type: none"> ・ V_{LC0}端子の出力電圧: V_{LC0} ・ V_{LC1}端子の出力電圧: V_{LC1} ・ V_{LC2}端子の出力電圧: V_{LC2}
p.301	17.8.1 スタティック表示例に説明文を追加
p.302	LCDパネルの結線例を変更 <ul style="list-style-type: none"> ・ 図17-13 スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1)
p.305	<ul style="list-style-type: none"> ・ 図17-16 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)
p.308	<ul style="list-style-type: none"> ・ 図17-19 4時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)
p.411, 415, 416	エミュレーション・プローブの名称変更 SWEX-120SE → SWEX-120SE-1
p.415	図D-1 インサーキット・エミュレータ～変換ソケットまでの距離を変更
p.416	図D-2 ターゲット・システムの接続条件を変更
U14701JJ3V0UD00→U14701JJ3V1UD00	
全般	120ピン・プラスチックTQFP (GC-9EVタイプ) を削除
p.30	1.3 オーダ情報を変更
p.404	表26-1 表面実装タイプの半田付け条件 (2/2) を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、 μ PD780318, 780328, 780338サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。

- μ PD780318サブシリーズ： μ PD780316, 780318
- μ PD780328サブシリーズ： μ PD780326, 780328
- μ PD780338サブシリーズ： μ PD780336, 780338, 78F0338

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780318, 780328, 780338サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780318, 780328, 780338サブシリーズ
ユーザズ・マニュアル
(このマニュアル)

78K/0シリーズ
ユーザズ・マニュアル
命令編

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性
- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□レジスタ名が分かっている、レジスタの詳細を確認するとき

→付録E レジスタ索引を利用してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{XXX}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数… $\text{XXX}\times\text{X}$ または $\text{XXX}\times\text{B}$ 10進数… $\text{XXX}\times\text{X}$ 16進数… $\text{XXX}\times\text{X}\text{H}$

- ★ **関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD780318, 780328, 780338サブシリーズ ユーザーズ・マニュアル	この資料	U14701E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 アセンブラ・パッケージ	操作編	U14445J	U14445E
	言語編	U14446J	U14446E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U14297J	U14297E
	言語編	U14298J	U14298E
SM78K0S, SM78K0 システム・シミュレータ Ver.2.10以上	操作編（Windows®ベース）	U14611J	U14611E
SM78Kシリーズ システム・シミュレータ Ver.2.10以上	外部部品ユーザ・オープン・ インタフェース仕様編	U15006J	U15006E
★ ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
★ ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	—
RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）		U14610J	U14610E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-780338-NS-EM1 エミュレーション・ボード	作成予定	作成予定

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
★ PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質/信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 29

- 1.1 特 徴 … 29
- 1.2 応用分野 … 30
- 1.3 オーダ情報 … 30
- 1.4 端子接続図 (Top View) … 31
 - 1.4.1 μ PD780316, 780318 … 31
 - 1.4.2 μ PD780326, 780328 … 33
 - 1.4.3 μ PD780336, 780338 … 35
 - 1.4.4 μ PD78F0338 … 37
- 1.5 78K/0シリーズの展開 … 39
- 1.6 ブロック図 … 41
 - 1.6.1 μ PD780316, 780318 … 41
 - 1.6.2 μ PD780326, 780328 … 42
 - 1.6.3 μ PD780336, 780338 … 43
 - 1.6.4 μ PD78F0338 … 44
- 1.7 機能概要 … 45
- 1.8 マスク・オプションについて … 47

第2章 端子機能 … 48

- 2.1 端子機能一覧 … 48
- 2.2 端子機能の説明 … 52
 - 2.2.1 P00-P05 (Port0) … 52
 - 2.2.2 P10-P17 (Port1) … 52
 - 2.2.3 P20-P25 (Port2) … 53
 - 2.2.4 P30-P34 (Port3) … 53
 - 2.2.5 P40-P47 (Port4) … 54
 - 2.2.6 P50-P57 (Port5) … 54
 - 2.2.7 P60-P67 (Port6) … 54
 - 2.2.8 P70-P73 (Port7) … 54
 - 2.2.9 P80-P87 (Port8) … 55
 - 2.2.10 P90-P97 (Port9) … 55
 - 2.2.11 P120 (Port12) … 56
 - 2.2.12 ANI0-ANI9 … 56
 - 2.2.13 AVREF0 … 56
 - 2.2.14 AVREF1 … 56
 - 2.2.15 AVSS0 … 56
 - 2.2.16 S0-S39 … 57
 - 2.2.17 COM0-COM3 … 57
 - 2.2.18 SCOM0 … 57
 - 2.2.19 V_{LC0}-V_{LC2} … 57
 - 2.2.20 V_{LCDC} … 57
 - 2.2.21 CAPH, CAPL … 57
 - 2.2.22 RESET … 57
 - 2.2.23 X1, X2 … 57
 - 2.2.24 XT1, XT2 … 58
 - 2.2.25 V_{DD0}, V_{DD1} … 58

- 2.2.26 V_{SS0}, V_{SS1} … 58
- 2.2.27 V_{PP} (フラッシュ・メモリ製品のみ) … 58
- 2.2.28 IC (マスクROM製品のみ) … 58
- 2.3 端子の入出力回路と未使用端子の処理 … 59

第3章 CPUアーキテクチャ … 63

- 3.1 メモリ空間 … 63
 - 3.1.1 内部プログラム・メモリ空間 … 67
 - 3.1.2 内部データ・メモリ空間 … 68
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 … 68
 - 3.1.4 データ・メモリ・アドレッシング … 69
- 3.2 プロセッサ・レジスタ … 72
 - 3.2.1 制御レジスタ … 72
 - 3.2.2 汎用レジスタ … 74
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) … 76
- 3.3 命令アドレスのアドレッシング … 80
 - 3.3.1 レラティブ・アドレッシング … 80
 - 3.3.2 イミディエイト・アドレッシング … 81
 - 3.3.3 テーブル・インダイレクト・アドレッシング … 82
 - 3.3.4 レジスタ・アドレッシング … 82
- 3.4 オペランド・アドレスのアドレッシング … 83
 - 3.4.1 インプライド・アドレッシング … 83
 - 3.4.2 レジスタ・アドレッシング … 84
 - 3.4.3 ダイレクト・アドレッシング … 85
 - 3.4.4 ショート・ダイレクト・アドレッシング … 86
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング … 87
 - 3.4.6 レジスタ・インダイレクト・アドレッシング … 88
 - 3.4.7 ベースト・アドレッシング … 89
 - 3.4.8 ベースト・インデクスト・アドレッシング … 90
 - 3.4.9 スタック・アドレッシング … 90

第4章 ポート機能 … 91

- 4.1 ポートの機能 … 91
- 4.2 ポートの構成 … 95
 - 4.2.1 ポート0 … 95
 - 4.2.2 ポート1 … 97
 - 4.2.3 ポート2 … 98
 - 4.2.4 ポート3 … 100
 - 4.2.5 ポート4 … 103
 - 4.2.6 ポート5 … 105
 - 4.2.7 ポート6 … 106
 - 4.2.8 ポート7 … 108
 - 4.2.9 ポート8, 9 (マスクROM製品) … 110
 - 4.2.10 ポート8, 9 (フラッシュ・メモリ製品) … 111
 - 4.2.11 ポート12 … 112
- 4.3 ポート機能を制御するレジスタ … 113
- 4.4 ポート機能の動作 … 118
 - 4.4.1 入出力ポートへの書き込み … 118
 - 4.4.2 入出力ポートからの読み出し … 118
 - 4.4.3 入出力ポートでの演算 … 118

4.5	マスク・オプションの選択	…	119
第5章 クロック発生回路 … 120			
5.1	クロック発生回路の機能	…	120
5.2	クロック発生回路の構成	…	120
5.3	クロック発生回路を制御するレジスタ	…	122
5.4	システム・クロック発振回路	…	124
5.4.1	メイン・システム・クロック発振回路	…	124
5.4.2	サブシステム・クロック発振回路	…	125
5.4.3	分周回路	…	128
5.4.4	サブシステム・クロックを使用しない場合	…	128
5.5	クロック発生回路の動作	…	129
5.5.1	メイン・システム・クロックの動作	…	130
5.5.2	サブシステム・クロックの動作	…	131
5.6	システム・クロックとCPUクロックの設定の変更	…	131
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	…	131
5.6.2	システム・クロックとCPUクロックの切り替え手順	…	133
第6章 16ビット・タイマ/イベント・カウンタ0 … 134			
6.1	16ビット・タイマ/イベント・カウンタ0の概要	…	134
6.2	16ビット・タイマ/イベント・カウンタ0の機能	…	134
6.3	16ビット・タイマ/イベント・カウンタ0の構成	…	135
6.4	16ビット・タイマ/イベント・カウンタ0を制御するレジスタ	…	138
6.5	16ビット・タイマ/イベント・カウンタ0の動作	…	144
6.5.1	インターバル・タイマとしての動作	…	144
6.5.2	PPG出力としての動作	…	146
6.5.3	パルス幅測定としての動作	…	147
6.5.4	外部イベント・カウンタとしての動作	…	154
6.5.5	方形波出力としての動作	…	155
6.6	16ビット・タイマ/イベント・カウンタ0の注意事項	…	158
第7章 16ビット・タイマ/イベント・カウンタ4 … 163			
7.1	16ビット・タイマ/イベント・カウンタ4の概要	…	163
7.2	16ビット・タイマ/イベント・カウンタ4の機能	…	163
7.3	16ビット・タイマ/イベント・カウンタ4の構成	…	163
7.4	16ビット・タイマ/イベント・カウンタ4を制御するレジスタ	…	165
7.5	16ビット・タイマ/イベント・カウンタ4の動作	…	168
7.5.1	インターバル・タイマとしての動作	…	168
7.5.2	方形波出力としての動作	…	171
7.5.3	外部イベント・カウンタとしての動作	…	172
7.6	16ビット・タイマ/イベント・カウンタ4の注意事項	…	172
第8章 8ビット・タイマ/イベント・カウンタ50, 51, 52 … 174			
8.1	8ビット・タイマ/イベント・カウンタ50, 51, 52の概要	…	174
8.2	8ビット・タイマ/イベント・カウンタ50, 51, 52の機能	…	174
8.3	8ビット・タイマ/イベント・カウンタ50, 51, 52の構成	…	177
8.4	8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ	…	178

8.5	8ビット・タイマ/イベント・カウンタ50, 51, 52の動作	…	183
8.5.1	インターバル・タイマとしての動作	…	183
8.5.2	外部イベント・カウンタとしての動作	…	187
8.5.3	方形波出力としての動作	…	188
8.5.4	PWM出力としての動作	…	189
8.6	8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項	…	192
第9章 時計用タイマ … 193			
9.1	時計用タイマの概要	…	193
9.2	時計用タイマの機能	…	193
9.3	時計用タイマの構成	…	195
9.4	時計用タイマを制御するレジスタ	…	195
9.5	時計用タイマの動作	…	197
9.5.1	時計用タイマとしての動作	…	197
9.5.2	インターバル・タイマとしての動作	…	197
第10章 ウォッチドッグ・タイマ … 199			
10.1	ウォッチドッグ・タイマの概要	…	199
10.2	ウォッチドッグ・タイマの機能	…	199
10.3	ウォッチドッグ・タイマの構成	…	201
10.4	ウォッチドッグ・タイマを制御するレジスタ	…	201
10.5	ウォッチドッグ・タイマの動作	…	205
10.5.1	ウォッチドッグ・タイマとしての動作	…	205
10.5.2	インターバル・タイマとしての動作	…	206
第11章 クロック出力/ブザー出力制御回路 … 207			
11.1	クロック出力/ブザー出力制御回路の概要	…	207
11.2	クロック出力/ブザー出力制御回路の機能	…	207
11.3	クロック出力/ブザー出力制御回路の構成	…	208
11.4	クロック出力/ブザー出力制御回路を制御するレジスタ	…	208
11.5	クロック出力/ブザー出力制御回路の動作	…	211
11.5.1	クロック出力としての動作	…	211
11.5.2	ブザー出力としての動作	…	211
第12章 A/Dコンバータ … 212			
12.1	A/Dコンバータの機能	…	212
12.2	A/Dコンバータの構成	…	214
12.3	A/Dコンバータを制御するレジスタ	…	216
12.4	A/Dコンバータの動作	…	220
12.4.1	A/Dコンバータの基本動作	…	220
12.4.2	入力電圧と変換結果	…	222
12.4.3	A/Dコンバータの動作モード	…	223
12.5	A/Dコンバータ特性表の読み方	…	226
12.6	A/Dコンバータの注意事項	…	229
第13章 D/Aコンバータ … 235			
13.1	D/Aコンバータの機能	…	235

13.2	D/Aコンバータの構成	…	235
13.3	D/Aコンバータを制御するレジスタ	…	237
13.4	D/Aコンバータの動作	…	238
13.4.1	D/Aコンバータの基本動作	…	238
13.4.2	スタンバイ・モード時の動作	…	238
13.4.3	リセット時の動作	…	238
13.5	D/Aコンバータの注意事項	…	238
第14章 シリアル・インタフェースUART0 … 240			
14.1	シリアル・インタフェースUART0の機能	…	240
14.2	シリアル・インタフェースUART0の構成	…	242
14.3	シリアル・インタフェースUART0を制御するレジスタ	…	244
14.4	シリアル・インタフェースUART0の動作	…	248
14.4.1	動作停止モード	…	248
14.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	…	249
第15章 シリアル・インタフェースSIO3 … 261			
15.1	シリアル・インタフェースSIO3の機能	…	261
15.2	シリアル・インタフェースSIO3の構成	…	262
15.3	シリアル・インタフェースSIO3を制御するレジスタ	…	263
15.4	シリアル・インタフェースSIO3の動作	…	265
15.4.1	動作停止モード	…	265
15.4.2	3線式シリアルI/Oモード	…	266
第16章 シリアル・インタフェースCSI1 … 269			
16.1	シリアル・インタフェースCSI1の機能	…	269
16.2	シリアル・インタフェースCSI1の構成	…	269
16.3	シリアル・インタフェースCSI1を制御するレジスタ	…	270
16.4	シリアル・インタフェースCSI1の動作	…	273
16.4.1	動作停止モード	…	273
16.4.2	3線式シリアルI/Oモード	…	273
第17章 LCDコントローラ／ドライバ … 283			
17.1	LCDコントローラ／ドライバの機能	…	283
17.2	LCDコントローラ／ドライバの構成	…	284
17.3	LCDコントローラ／ドライバを制御するレジスタ	…	286
17.4	LCD表示用RAM	…	293
17.5	LCDコントローラ／ドライバの設定	…	294
17.6	コモン信号とセグメント信号	…	295
17.7	LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給	…	299
17.8	表示モード	…	301
17.8.1	スタティック表示例	…	301
17.8.2	3時分割表示例	…	304
17.8.3	4時分割表示例	…	307
17.8.4	スタティック表示およびダイナミック表示の同時駆動	…	310

第18章 割り込み機能 … 311

- 18.1 割り込み機能の種類 … 311
- 18.2 割り込み要因と構成 … 311
- 18.3 割り込み機能を制御するレジスタ … 315
- 18.4 割り込み処理動作 … 321
 - 18.4.1 ノンマスカブル割り込み要求の受け付け動作 … 321
 - 18.4.2 マスカブル割り込み要求の受け付け動作 … 324
 - 18.4.3 ソフトウェア割り込み要求の受け付け動作 … 327
 - 18.4.4 多重割り込み処理 … 327
 - 18.4.5 割り込み要求の保留 … 331

第19章 スタンバイ機能 … 333

- 19.1 スタンバイ機能と構成 … 333
 - 19.1.1 スタンバイ機能 … 333
 - 19.1.2 スタンバイ機能を制御するレジスタ … 334
- 19.2 スタンバイ機能の動作 … 335
 - 19.2.1 HALTモード … 335
 - 19.2.2 STOPモード … 338

第20章 リセット機能 … 341

- 20.1 リセット機能 … 341

第21章 ROMコレクション … 345

- 21.1 ROMコレクションの機能 … 345
- 21.2 ROMコレクションの構成 … 345
- 21.3 ROMコレクションを制御するレジスタ … 347
- 21.4 ROMコレクションの使用方法 … 349
- 21.5 ROMコレクションの使用例 … 352
- 21.6 プログラム実行フロー … 353
- 21.7 ROMコレクションの注意事項 … 355

第22章 μ PD78F0338 … 356

- 22.1 メモリ・サイズ切り替えレジスタ … 357
- 22.2 内部拡張RAMサイズ切り替えレジスタ … 358
- 22.3 フラッシュ・メモリの特徴 … 359
 - 22.3.1 プログラミング環境 … 359
 - 22.3.2 通信方式 … 360
 - 22.3.3 オンボード上の端子処理 … 362

第23章 命令セットの概要 … 365

- 23.1 凡 例 … 366
 - 23.1.1 オペランドの表現形式と記述方法 … 366
 - 23.1.2 オペレーション欄の説明 … 367
 - 23.1.3 フラグ動作欄の説明 … 367
- 23.2 オペレーション一覧 … 368
- 23.3 アドレッシング別命令一覧 … 376

第24章	電気的特性	…	380
第25章	外形図	…	402
第26章	半田付け推奨条件	…	403
付録A	μPD780308, 780318, 780328, 780338サブシリーズ間の違い	…	405
付録B	開発ツール	…	407
B.1	言語処理用ソフトウェア	…	409
B.2	フラッシュ・メモリ書き込み用ツール	…	410
B.3	ディバグ用ツール	…	411
B.3.1	ハードウェア	…	411
B.3.2	ソフトウェア	…	412
付録C	組み込み用ソフトウェア	…	414
付録D	ターゲット・システム設計上の注意	…	415
付録E	レジスタ索引	…	417
E.1	レジスタ索引 (50音順)	…	417
E.2	レジスタ索引 (アルファベット順)	…	420
付録F	改版履歴	…	423

図の目次 (1/7)

図番号	タイトル, ページ
2-1	端子の入出力回路一覧 … 61
3-1	メモリ・マップ (μ PD780316, 780326, 780336) … 64
3-2	メモリ・マップ (μ PD780318, 780328, 780338) … 65
3-3	メモリ・マップ (μ PD78F0338) … 66
3-4	データ・メモリのアドレッシング (μ PD780316, 780326, 780336) … 69
3-5	データ・メモリのアドレッシング (μ PD780318, 780328, 780338) … 70
3-6	データ・メモリのアドレッシング (μ PD78F0338) … 71
3-7	プログラム・カウンタの構成 … 72
3-8	プログラム・ステータス・ワードの構成 … 72
3-9	スタック・ポインタの構成 … 73
3-10	スタック・メモリへ退避されるデータ … 74
3-11	スタック・メモリから復帰されるデータ … 74
3-12	汎用レジスタの構成 … 75
4-1	ポートの種類 … 92
4-2	P00-P04のブロック図 … 96
4-3	P05のブロック図 … 97
4-4	P10-P17のブロック図 … 97
4-5	P20, P22, P23, P25のブロック図 … 98
4-6	P21, P24のブロック図 … 99
4-7	P30のブロック図 … 100
4-8	P31, P32のブロック図 … 101
4-9	P33, P34のブロック図 … 102
4-10	P40-P47のブロック図 … 103
4-11	立ち下がリエッジ検出回路のブロック図 … 104
4-12	P50-P57のブロック図 … 105
4-13	P60-P63のブロック図 … 106
4-14	P64-P67のブロック図 … 107
4-15	P70, P72のブロック図 … 108
4-16	P71, P73のブロック図 … 109
4-17	P80-P87, P90-P97のブロック図 (マスクROM製品) … 110
4-18	P80-P87, P90-P97のブロック図 (フラッシュ・メモリ製品) … 111
4-19	P120のブロック図 … 112
4-20	ポート・モード・レジスタ (PM0, PM2-PM9, PM12) のフォーマット … 114
4-21	プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7, PU12) のフォーマット … 115
4-22	メモリ拡張モード・レジスタ (MEM) のフォーマット … 116
4-23	キー・リターン切り替えレジスタ (KRSEL) のフォーマット … 116
4-24	兼用切り替えレジスタ 8, 9 (PF8, PF9) のフォーマット … 117

図の目次 (2/7)

図番号	タイトル, ページ
5-1	クロック発生回路のブロック図 … 121
5-2	サブシステム・クロックのフィードバック抵抗 … 122
5-3	プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット … 123
5-4	メイン・システム・クロック発振回路の外付け回路 … 124
5-5	サブシステム・クロック発振回路の外付け回路 … 125
5-6	発振子の接続の悪い例 … 126
5-7	メイン・システム・クロックの停止機能 … 130
5-8	システム・クロックとCPUクロックの切り替え … 133
6-1	16ビット・タイマ/イベント・カウンタ0のブロック図 … 135
6-2	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット … 139
6-3	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット … 140
6-4	16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット … 141
6-5	プリスケラ・モード・レジスタ0 (PRM0) のフォーマット … 142
6-6	ポート・モード・レジスタ3 (PM3) のフォーマット … 143
6-7	インターバル・タイマ動作時の制御レジスタ設定内容 … 144
6-8	インターバル・タイマの構成図 … 145
6-9	インターバル・タイマ動作のタイミング … 145
6-10	PPG出力動作時の制御レジスタ設定内容 … 146
6-11	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 … 147
6-12	フリーランニング・カウンタによるパルス幅測定の構成図 … 148
6-13	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) … 148
6-14	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 … 149
6-15	立ち上がりエッジ指定時のCR01キャプチャ動作 … 150
6-16	フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) … 150
6-17	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 … 151
6-18	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) … 152
6-19	リスタートによるパルス幅測定時の制御レジスタ設定内容 … 153
6-20	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) … 153
6-21	外部イベント・カウンタ・モード時の制御レジスタ設定内容 … 154
6-22	外部イベント・カウンタの構成図 … 155
6-23	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) … 155
6-24	方形波出力モード時の制御レジスタ設定内容 … 156
6-25	方形波出力動作のタイミング … 157
6-26	16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング … 158
6-27	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 158
6-28	キャプチャ・レジスタのデータ保持タイミング … 159
6-29	OVF0フラグの動作タイミング … 160

図の目次 (3/7)

図番号	タイトル, ページ
7-1	16ビット・タイマ/イベント・カウンタ4のブロック図 … 164
7-2	16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のフォーマット … 166
7-3	ポート・モード・レジスタ7 (PM7) のフォーマット … 167
7-4	インターバル・タイマ動作のタイミング … 169
7-5	方形波出力動作のタイミング … 171
7-6	外部イベント・カウンタ動作のタイミング … 172
7-7	16ビット・タイマ・カウンタ4 (TM4) のスタート・タイミング … 172
7-8	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 173
8-1	8ビット・タイマ/イベント・カウンタ50のブロック図 … 175
8-2	8ビット・タイマ/イベント・カウンタ51のブロック図 … 175
8-3	8ビット・タイマ/イベント・カウンタ52のブロック図 … 176
8-4	タイマ・クロック選択レジスタ50 (TCL50) のフォーマット … 178
8-5	タイマ・クロック選択レジスタ51 (TCL51) のフォーマット … 179
8-6	タイマ・クロック選択レジスタ52 (TCL52) のフォーマット … 180
8-7	8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のフォーマット … 181
8-8	ポート・モード・レジスタ3, 7 (PM3, PM7) のフォーマット … 182
8-9	インターバル・タイマ動作のタイミング … 184
8-10	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) … 187
8-11	方形波出力動作のタイミング … 188
8-12	PWM出力の動作タイミング … 190
8-13	CR5n変更による動作のタイミング … 191
8-14	8ビット・タイマ・カウンタのスタート・タイミング … 192
8-15	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 192
9-1	時計用タイマのブロック図 … 193
9-2	時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマット … 196
9-3	時計用タイマ/インターバル・タイマの動作タイミング … 198
10-1	ウォッチドッグ・タイマのブロック図 … 199
10-2	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット … 202
10-3	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット … 203
10-4	発振安定時間選択レジスタ (OSTS) のフォーマット … 204
11-1	クロック出力/ブザー出力制御回路のブロック図 … 207
11-2	クロック出力選択レジスタ (CKS) のフォーマット … 209
11-3	ポート・モード・レジスタ0 (PM0) のフォーマット … 210
11-4	リモコン出力応用例 … 211
12-1	A/Dコンバータのブロック図 … 213

図の目次 (4/7)

図番号	タイトル, ページ
12-2	A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット … 217
12-3	アナログ入力チャンネル指定レジスタ0 (ADS0) のフォーマット … 218
12-4	外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)のフォーマット … 219
12-5	A/Dコンバータの基本動作 … 221
12-6	アナログ入力電圧とA/D変換結果の関係 … 222
12-7	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) … 224
12-8	ソフトウェア・スタートによるA/D変換動作 … 225
12-9	総合誤差 … 226
12-10	量子化誤差 … 226
12-11	ゼロスケール誤差 … 227
12-12	フルスケール誤差 … 227
12-13	積分直線性誤差 … 228
12-14	微分直線性誤差 … 228
12-15	スタンバイ・モード時の消費電流を低減させる方法例 … 229
12-16	アナログ入力端子の処理 … 230
12-17	A/D変換終了割り込み要求発生タイミング … 231
12-18	変換結果を読み出すタイミング (変換結果が不定値の場合) … 232
12-19	変換結果を読み出すタイミング (変換結果が正常値の場合) … 233
12-20	VDD1端子, AVREF0端子とコンデンサの接続例 … 233
12-21	ANI0-ANI9端子内部等価回路 … 234
12-22	信号源インピーダンスが高い場合の回路例 … 234
13-1	D/Aコンバータのブロック図 … 236
13-2	D/Aコンバータ・モード・レジスタ0 (DAM0) のフォーマット … 237
13-3	バッファ・アンプの挿入例 … 239
14-1	シリアル・インタフェースUART0のブロック図 … 241
14-2	ポー・レート・ジェネレータのブロック図 … 241
14-3	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマット … 245
14-4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット … 246
14-5	ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット … 247
14-6	サンプリング誤差を考慮したポー・レートの許容誤差 (k=0の場合) … 255
14-7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 256
14-8	アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング … 258
14-9	アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング … 259
14-10	受信エラー・タイミング … 260
15-1	シリアル・インタフェースSIO3のブロック図 … 261
15-2	シリアル動作モード・レジスタ3 (CSIM3) のフォーマット … 264

図の目次 (5/7)

図番号	タイトル, ページ
15-3	3線式シリアルI/Oモードのタイミング … 268
16-1	シリアル・インタフェースCSI1のブロック図 … 270
16-2	シリアル動作モード・レジスタ1 (CSIM1) のフォーマット … 271
16-3	シリアル・クロック選択レジスタ1 (CSIC1) のフォーマット … 272
16-4	3線式シリアルI/Oモードのタイミング … 277
16-5	クロック/データ位相のタイミング … 279
16-6	先頭ビットの出力動作 … 280
16-7	SO1端子への出力値 (最終ビット) … 281
17-1	LCDコントローラ/ドライバのブロック図 … 285
17-2	LCD表示モード・レジスタ3 (LCDM3) のフォーマット … 287
17-3	点滅機能 … 288
17-4	LCDクロック制御レジスタ3 (LCDC3) のフォーマット … 289
17-5	フレーム周波数を作成する基準クロックとフレーム周波数との関係 … 290
17-6	スタティック/ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマット … 291
17-7	兼用切り替えレジスタ8, 9 (PF8, PF9) のフォーマット … 292
17-8	LCD表示データおよび点滅選択ビットの内容とセグメント出力/コモン出力の関係 … 293
17-9	コモン信号波形 … 297
17-10	コモン信号とセグメント信号の電圧と位相 … 298
17-11	LCDドライバ用基準電圧調整回路例 … 300
17-12	スタティックLCDの表示パターンと電極結線 … 301
17-13	スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1) … 302
17-14	スタティックLCD駆動波形例 … 303
17-15	3時分割LCD表示パターンと電極結線 … 304
17-16	3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2) … 305
17-17	3時分割LCD駆動波形例 (1/3バイアス法) … 306
17-18	4時分割LCD表示パターンと電極結線 … 307
17-19	4時分割LCDパネルの結線例 (SDSEL3n = 0, n = 0-2) … 308
17-20	4時分割LCD駆動波形例 (1/3バイアス法) … 309
18-1	割り込み機能の基本構成 … 313
18-2	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット … 316
18-3	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット … 317
18-4	優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット … 318
18-5	外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット … 319
18-6	プログラム・ステータス・ワードの構成 … 320
18-7	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート … 322
18-8	ノンマスクابل割り込み要求の受け付けタイミング … 322

図の目次 (6/7)

図番号	タイトル, ページ
18-9	ノンマスクブル割り込み要求の受け付け動作 … 323
18-10	割り込み要求受け付け処理アルゴリズム … 325
18-11	割り込み要求の受け付けタイミング (最小時間) … 326
18-12	割り込み要求の受け付けタイミング (最大時間) … 326
18-13	多重割り込みの例 … 329
18-14	割り込み要求の保留 … 332
19-1	発振安定時間選択レジスタ (OSTS) のフォーマット … 334
19-2	HALTモードの割り込み要求発生による解除 … 336
19-3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 … 337
19-4	STOPモードの割り込み要求発生による解除 … 339
19-5	STOPモードの $\overline{\text{RESET}}$ 入力による解除 … 340
20-1	リセット機能のブロック図 … 341
20-2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング … 342
20-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 342
20-4	STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング … 342
21-1	ROMコレクションのブロック図 … 346
21-2	コレクション・アドレス・レジスタ0, 1のフォーマット … 346
21-3	コレクション・コントロール・レジスタ (CORCN) のフォーマット … 348
21-4	EEPROMへの格納例 (修正箇所が1つの場合) … 349
21-5	初期設定ルーチン … 350
21-6	ROMコレクションの動作 … 351
21-7	ROMコレクションの使用例 … 352
21-8	プログラム遷移図 (修正箇所が1つの場合) … 353
21-9	プログラム遷移図 (修正箇所が2つの場合) … 354
22-1	メモリ・サイズ切り替えレジスタ (IMS) のフォーマット … 357
22-2	内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット … 358
22-3	フラッシュ・メモリにプログラムを書き込むための環境 … 359
22-4	3線式シリアルI/O (SIO3) … 360
22-5	3線式シリアルI/O (CSI1) … 360
22-6	UART (UART0) … 361
22-7	V _{PP} 端子の接続例 … 362
22-8	信号の衝突 (シリアル・インタフェースの入力端子) … 363
22-9	ほかのデバイスの異常動作 … 363
22-10	信号の衝突 ($\overline{\text{RESET}}$ 端子) … 364
B-1	開発ツール構成 … 408

図の目次 (7/7)

図番号	タイトル, ページ
D-1	インサーキット・エミュレータ～変換ソケットまでの距離 … 415
D-2	ターゲット・システムの接続条件 … 416

表の目次 (1/3)

表番号	タイトル, ページ
1-1	マスクROM製品のマスク・オプション … 47
2-1	各端子の入出力回路タイプ … 59
3-1	内部メモリ容量 … 67
3-2	ベクタ・テーブル … 67
3-3	LCD表示データとして使用できる領域 … 68
3-4	特殊機能レジスタ一覧 … 77
4-1	ポートの種類 … 91
4-2	ポートの機能 … 93
4-3	ポートの構成 … 95
4-4	ポート6のプルアップ抵抗 … 106
4-5	マスクROM製品のポート8, 9 … 110
4-6	マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較 … 119
5-1	クロック発生回路の構成 … 120
5-2	CPUクロックと最小命令実行時間の関係 … 124
5-3	CPUクロックの切り替えに要する最大時間 … 132
6-1	16ビット・タイマ/イベント・カウンタ0の構成 … 135
6-2	TI00/P31端子の有効エッジとCR00, CR01のキャプチャ・トリガ … 136
6-3	TI01/P32端子の有効エッジとCR00のキャプチャ・トリガ … 136
7-1	16ビット・タイマ/イベント・カウンタ4の構成 … 163
8-1	8ビット・タイマ/イベント・カウンタ50, 51, 52の構成 … 177
9-1	時計用タイマの割り込み要求時間 … 194
9-2	インターバル・タイマのインターバル時間 … 194
9-3	時計用タイマの構成 … 195
10-1	ウォッチドッグ・タイマの暴走検出時間 … 200
10-2	インターバル時間 … 200
10-3	ウォッチドッグ・タイマの構成 … 201
10-4	ウォッチドッグ・タイマの暴走検出時間 … 205
10-5	インターバル・タイマのインターバル時間 … 206
11-1	クロック出力/ブザー出力制御回路の構成 … 208

表の目次 (2/3)

表番号	タイトル, ページ
12-1	A/Dコンバータの構成 … 214
12-2	等価回路の各抵抗と容量値 (参考値) … 234
13-1	D/Aコンバータの構成 … 235
14-1	シリアル・インタフェース (UART0) の構成 … 242
14-2	5ビット・カウンタのソース・クロックとnの値との関係 … 253
14-3	メイン・システム・クロックとボー・レートの関係 … 254
14-4	受信エラーの要因 … 260
15-1	シリアル・インタフェースSIO3の構成 … 262
16-1	シリアル・インタフェースCSI1の構成 … 269
16-2	SCK1端子の状態 … 282
16-3	SO1端子の状態 … 282
17-1	セグメント信号とコモン信号 … 283
17-2	最大表示画素数 … 284
17-3	LCDコントローラ/ドライバの構成 … 284
17-4	フレーム周波数 … 289
17-5	COM信号 … 295
17-6	V _{LC0} -V _{LC2} 端子の出力電圧 … 299
17-7	外付け回路の推奨値 … 300
17-8	選択, 非選択電圧 (SCOM0) … 301
17-9	選択, 非選択電圧 (COM0-COM2) … 304
17-10	選択, 非選択電圧 (COM0-COM3) … 307
18-1	割り込み要因一覧 … 312
18-2	割り込み要求ソースに対応する各種フラグ … 315
18-3	マスカブル割り込み要求発生から処理までの時間 … 324
18-4	割り込み処理中に多重割り込み可能な割り込み要求 … 328
19-1	HALTモード時の動作状態 … 335
19-2	HALTモードの解除後の動作 … 337
19-3	STOPモード時の動作状態 … 338
19-4	STOPモードの解除後の動作 … 340
20-1	各ハードウェアのリセット後の状態 … 343
21-1	ROMコレクションの構成 … 345

表の目次 (3/3)

表番号	タイトル, ページ
22-1	μ PD78F0338とマスクROM製品の違い … 356
22-2	メモリ・サイズ切り替えレジスタの設定値 … 357
22-3	通信方式一覧 … 360
22-4	端子接続一覧 … 361
23-1	オペランドの表現形式と記述方法 … 366
26-1	表面実装タイプの半田付け条件 … 403
A-1	μ PD780308, 780318, 780328, 780338サブシリーズ間の主な違い … 405

[× ㊦]

第1章 概 説

1.1 特 徴

○内部メモリ

	プログラム・メモリ (ROM/フラッシュ・メモリ)	データ・メモリ		LCD表示用RAM
		高速RAM	拡張RAM	
μPD780316, 780326, 780336	48 Kバイト	1024バイト	1536バイト	40×8ビット
μPD780318, 780328, 780338	60 Kバイト			
μPD78F0338	60 Kバイト ^注			

注 メモリ・サイズ切り替えレジスタ（IMS）により、内部フラッシュ・メモリ容量の変更可能。

○高速（0.2 μs：メイン・システム・クロック10 MHz動作時）から超低速（122 μs：サブシステム・クロック32.768 kHz動作時）まで最小命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/Oポート

- ・μPD780316, 780318, 78F0338 : 70本（中耐圧N-chオープン・ドレイン：4本）
- ・μPD780326, 780328 : 62本（◇）
- ・μPD780336, 780338 : 54本（◇）

○10ビット分解能A/Dコンバータ : 10チャンネル

○8ビット分解能D/Aコンバータ : 1チャンネル

○LCDコントローラ/ドライバ

- ・セグメント信号出力
 - ・μPD780316, 780318 : 最大24本
 - ・μPD780326, 780328 : 最大32本
 - ・μPD780336, 780338, 78F0338 : 最大40本
- ・コモン信号出力
 - ・ダイナミック表示 : 最大4本
 - ・スタティック表示 : 1本
- ・LCD基準電圧生成回路：昇圧タイプ（3倍昇圧のみ）
- ・外付け抵抗にてLCD基準電圧の微調整が可能
- ・点滅表示可能（点滅時間切り換え可能：0.5秒または1秒）
- ・スタティック表示およびダイナミック表示（1/3バイアスのみ）の同時使用可能
（ただし、スタティック表示は最大12本まで）

- シリアル・インタフェース
 - ・UARTモード／3線式シリアルI/Oモード : 1チャンネル^注
 - ・3線式シリアルI/Oモード : 1チャンネル
- タイマ
 - ・16ビット・タイマ／イベント・カウンタ : 2チャンネル
 - ・8ビット・タイマ／イベント・カウンタ : 3チャンネル
 - ・時計用タイマ : 1チャンネル
 - ・ウォッチドッグ・タイマ : 1チャンネル
- ROMコレクション
- ベクタ割り込み要因 : 25
- 2種類のクロック発振回路内蔵 (メイン・システム・クロックとサブシステム・クロック)
- 電源電圧 : $V_{DD} = 1.8 \sim 5.5 \text{ V}$

注 端子を兼用しているため、どちらかを選択して使用します。

1.2 応用分野

コードレス電話 (子機), コンパクト・カメラなど

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD780316GC- $\times\times\times$ -9EB	120ピン・プラスチックTQFP (ファインピッチ) (14 \times 14)	マスクROM
μ PD780316GC- $\times\times\times$ -9EB-A	〃	〃
μ PD780318GC- $\times\times\times$ -9EB	〃	〃
μ PD780318GC- $\times\times\times$ -9EB-A	〃	〃
μ PD780326GC- $\times\times\times$ -9EB	〃	〃
μ PD780326GC- $\times\times\times$ -9EB-A	〃	〃
μ PD780328GC- $\times\times\times$ -9EB	〃	〃
μ PD780328GC- $\times\times\times$ -9EB-A	〃	〃
μ PD780336GC- $\times\times\times$ -9EB	〃	〃
μ PD780336GC- $\times\times\times$ -9EB-A	〃	〃
μ PD780338GC- $\times\times\times$ -9EB	〃	〃
μ PD780338GC- $\times\times\times$ -9EB-A	〃	〃
μ PD78F0338GC-9EB	〃	フラッシュ・メモリ
μ PD78F0338GC-9EB-A	〃	〃

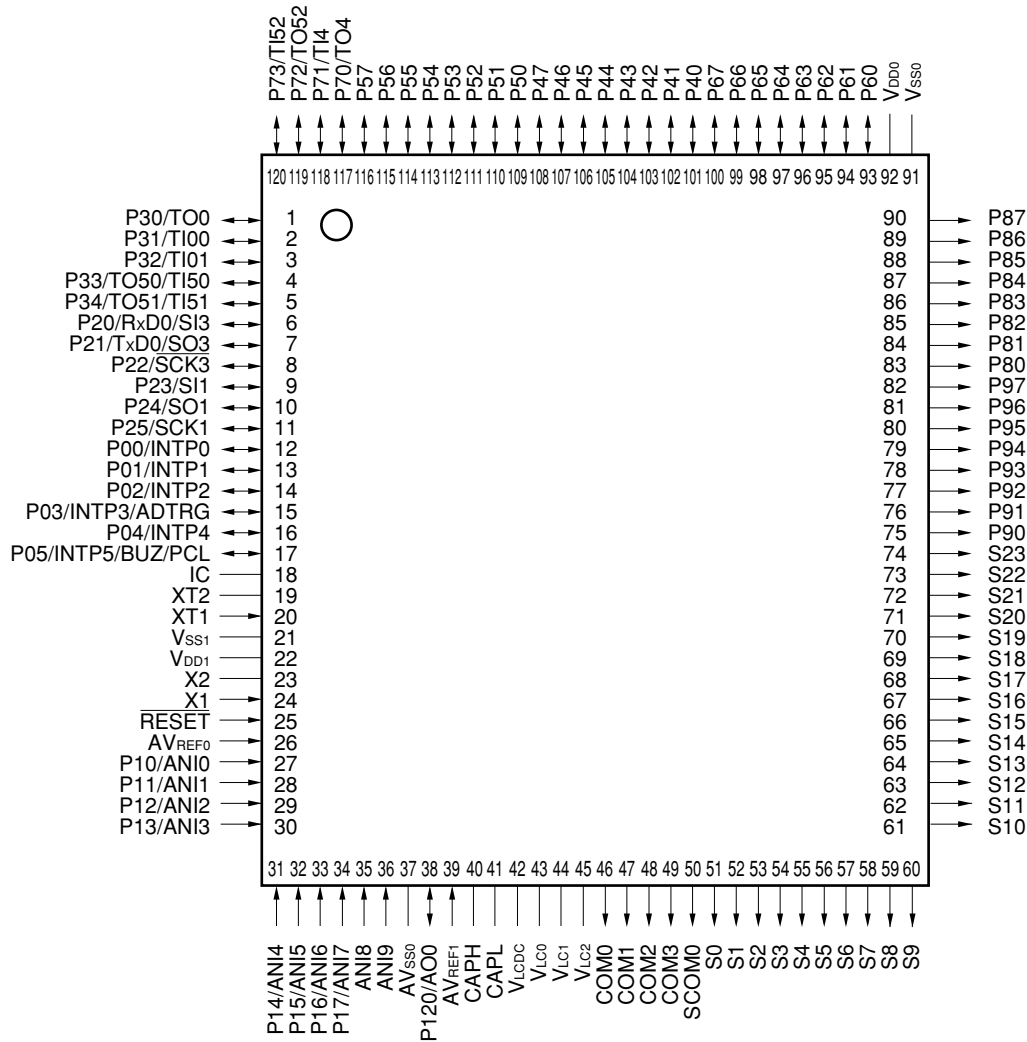
備考1. $\times\times\times$ はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.4 端子接続図 (Top View)

1.4.1 μ PD780316, 780318

・120ピン・プラスチックTQFP (ファインピッチ) (14×14)



注意 1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

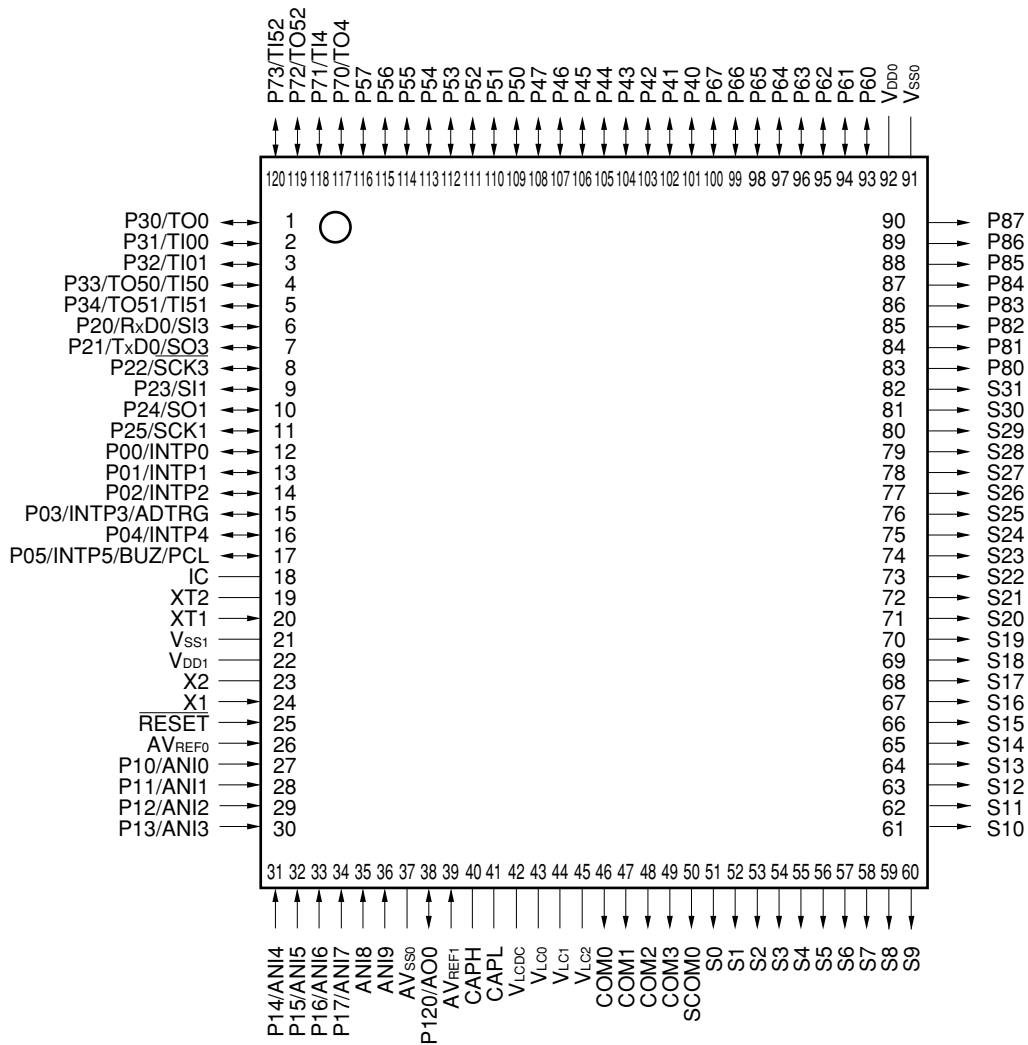
2. AVSS0端子はVSS0に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合は、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ADTRG	: AD Trigger Input	PCL	: Programmable Clock
ANI0-ANI9	: Analog Input	$\overline{\text{RESET}}$: Reset
AO0	: Analog Output	RxD0	: Receive Data
AVREF0, AVREF1	: Analog Reference Voltage	S0-S23	: Segment Output
AVSS0	: Analog Ground	SCK1, $\overline{\text{SCK3}}$: Serial Clock
BUZ	: Buzzer Output	SCOM0	: Common Output for Static display
CAPH, CAPL	: Capacitor for LCD	SI1, SI3	: Serial Input
COM0-COM3	: Common Output for Dynamic display	SO1, SO3	: Serial Output
IC	: Internally Connected	TI00, TI01, TI04,	
INTP0-INTP5	: External Interrupt Input	TI50, TI51, TI52	: Timer Input
P00-P05	: Port0	TO0, TO4, TO50,	
P10-P17	: Port1	TO51, TO52	: Timer Output
P20-P25	: Port2	TxD0	: Transmit Data
P30-P34	: Port3	VDD0, VDD1	: Power Supply
P40-P47	: Port4	VLc0-VLc2	: LCD Power Supply
P50-P57	: Port5	VLcDC	: Reference Voltage Control for LCD Driver
P60-P67	: Port6		
P70-P73	: Port7	VSS0, VSS1	: Ground
P80-P87	: Port8	X1, X2	: Crystal (Main System Clock)
P90-P97	: Port9	XT1, XT2	: Crystal (Subsystem Clock)
P120	: Port12		

1.4.2 μPD780326, 780328

・120ピン・プラスチックTQFP（ファインピッチ）（14×14）



注意 1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

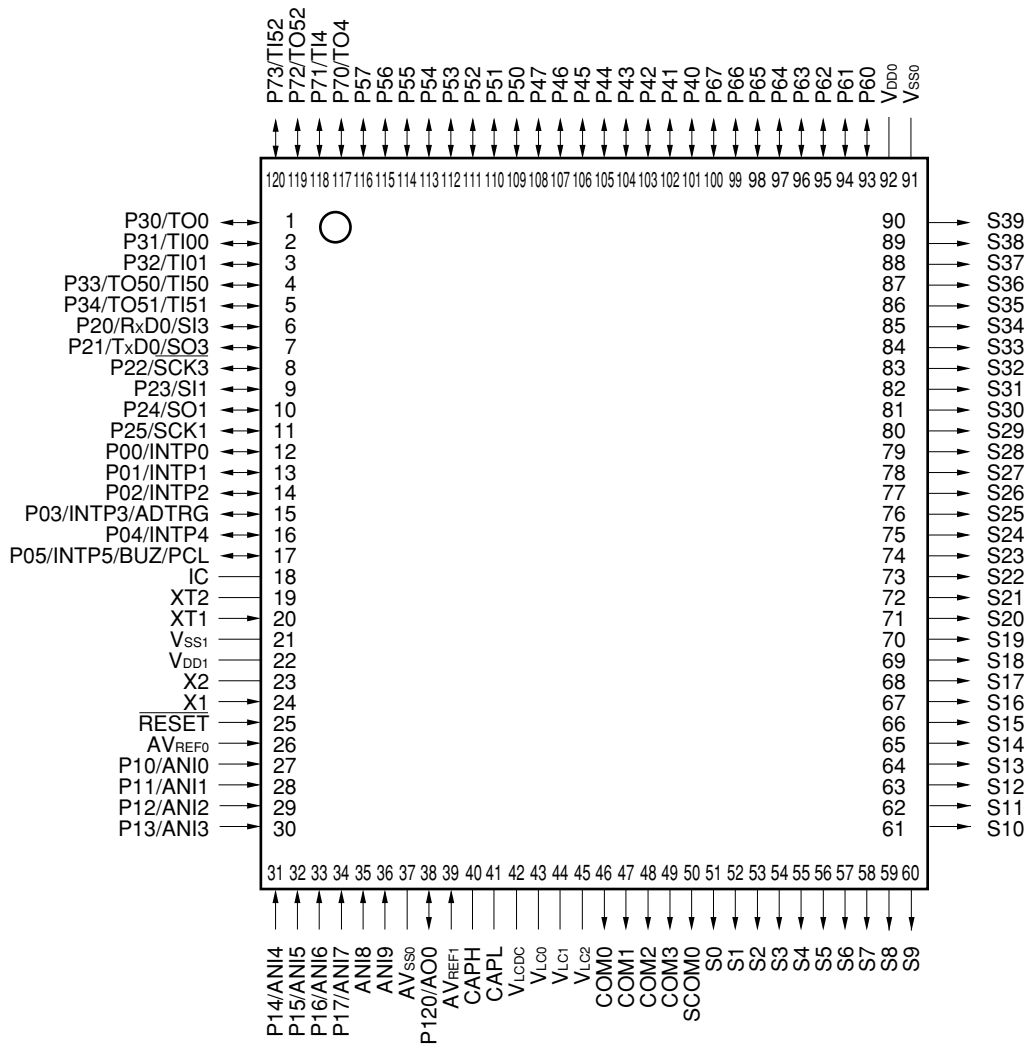
2. AVSS0端子はVSS0に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ADTRG	: AD Trigger Input	$\overline{\text{RESET}}$: Reset
ANI0-ANI9	: Analog Input	RxD0	: Receive Data
AO0	: Analog Output	S0-S31	: Segment Output
AVREF0, AVREF1	: Analog Reference Voltage	SCK1, $\overline{\text{SCK3}}$: Serial Clock
AVSS0	: Analog Ground	SCOM0	: Common Output for Static display
BUZ	: Buzzer Output		
CAPH, CAPL	: Capacitor for LCD	SI1, SI3	: Serial Input
COM0-COM3	: Common Output for Dynamic display	SO1, SO3	: Serial Output
IC	: Internally Connected	TI00, TI01, TI04, TI50, TI51, TI52	: Timer Input
INTP0-INTP5	: External Interrupt Input	TO0, TO4, TO50, TO51, TO52	: Timer Output
P00-P05	: Port0	TxD0	: Transmit Data
P10-P17	: Port1	VDD0, VDD1	: Power Supply
P20-P25	: Port2	VLc0-VLc2	: LCD Power Supply
P30-P34	: Port3	VLcDC	: Reference Voltage Control for LCD Driver
P40-P47	: Port4		
P50-P57	: Port5	VSS0, VSS1	: Ground
P60-P67	: Port6	X1, X2	: Crystal (Main System Clock)
P70-P73	: Port7	XT1, XT2	: Crystal (Subsystem Clock)
P80-P87	: Port8		
P120	: Port12		
PCL	: Programmable Clock		

1.4.3 μPD780336, 780338

・120ピン・プラスチックTQFP（ファインピッチ）（14×14）



注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

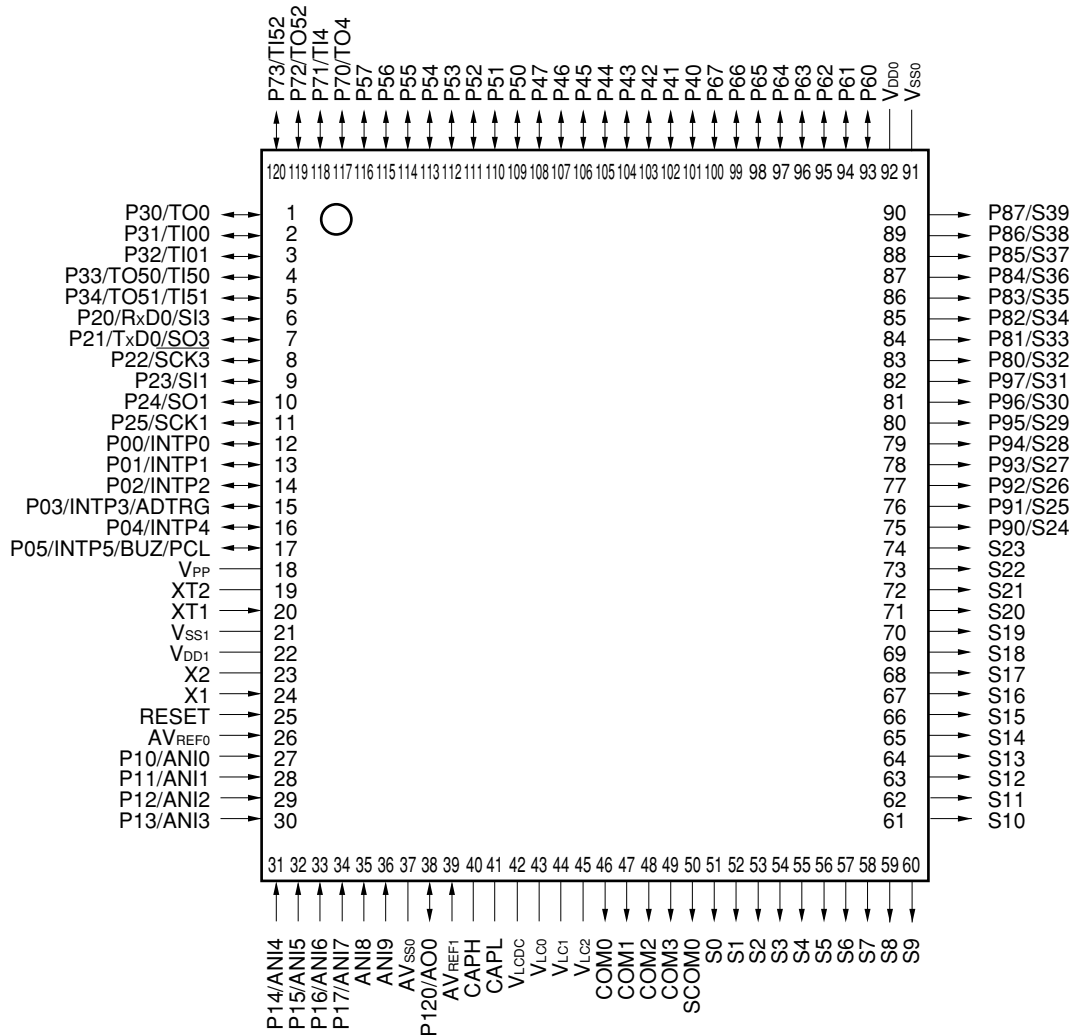
2. AV_{SS0}端子はV_{SS0}に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ADTRG	: AD Trigger Input	$\overline{\text{RESET}}$: Reset
ANI0-ANI9	: Analog Input	RxD0	: Receive Data
AO0	: Analog Output	S0-S39	: Segment Output
AVREF0, AVREF1	: Analog Reference Voltage	SCK1, $\overline{\text{SCK3}}$: Serial Clock
AVSS0	: Analog Ground	SCOM0	: Common Output for Static display
BUZ	: Buzzer Output		
CAPH, CAPL	: Capacitor for LCD	SI1, SI3	: Serial Input
COM0-COM3	: Common Output for Dynamic display	SO1, SO3	: Serial Output
IC	: Internally Connected	TI00, TI01, TI04, TI50, TI51, TI52	: Timer Input
INTP0-INTP5	: External Interrupt Input	TO0, TO4, TO50, TO51, TO52	: Timer Output
P00-P05	: Port0	TxD0	: Transmit Data
P10-P17	: Port1	VDD0, VDD1	: Power Supply
P20-P25	: Port2	VLC0-VLC2	: LCD Power Supply
P30-P34	: Port3	VLDC	: Reference Voltage Control for LCD Driver
P40-P47	: Port4		
P50-P57	: Port5	VSS0, VSS1	: Ground
P60-P67	: Port6	X1, X2	: Crystal (Main System Clock)
P70-P73	: Port7	XT1, XT2	: Crystal (Subsystem Clock)
P120	: Port12		
PCL	: Programmable Clock		

1.4.4 μPD78F0338

・120ピン・プラスチックTQFP（ファインピッチ）（14×14）



注意 1. VPP端子はVSS0またはVSS1に直接接続してください。

2. AVSS0端子はVSS0に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

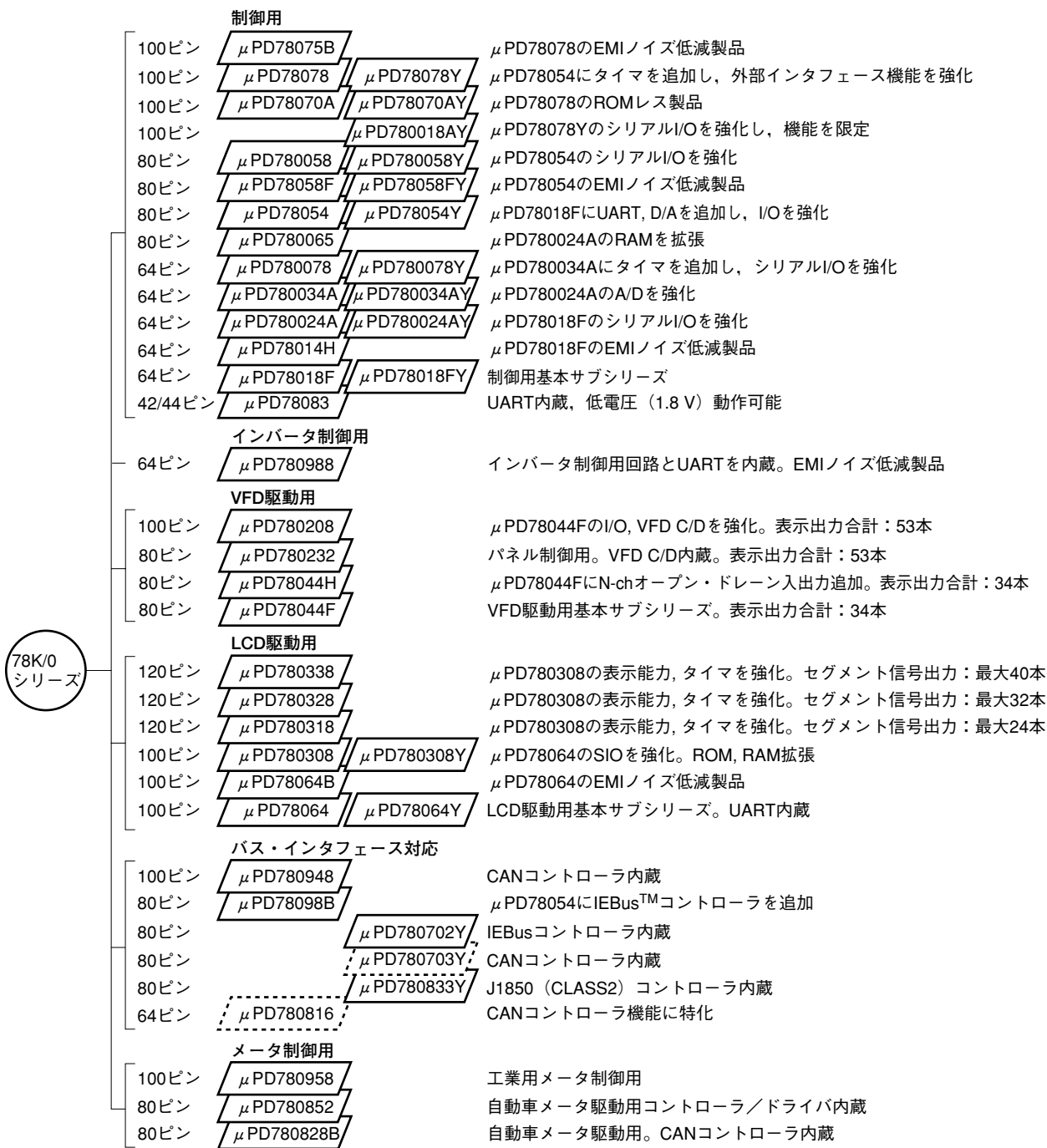
ADTRG	: AD Trigger Input	$\overline{\text{RESET}}$: Reset
ANI0-ANI9	: Analog Input	RxD0	: Receive Data
AO0	: Analog Output	S0-S39	: Segment Output
AVREF0, AVREF1	: Analog Reference Voltage	SCK1, $\overline{\text{SCK3}}$: Serial Clock
AVSS0	: Analog Ground	SCOM0	: Common Output for Static display
BUZ	: Buzzer Output		
CAPH, CAPL	: Capacitor for LCD	SI1, SI3	: Serial Input
COM0-COM3	: Common Output for Dynamic display	SO1, SO3	: Serial Output
INTP0-INTP5	: External Interrupt Input	TI00, TI01, TI04, TI50, TI51, TI52	: Timer Input
P00-P05	: Port0	TO0, TO4, TO50,	
P10-P17	: Port1	TO51, TO52	: Timer Output
P20-P25	: Port2	TxD0	: Transmit Data
P30-P34	: Port3	VDD0, VDD1	: Power Supply
P40-P47	: Port4	VLc0-VLc2	: LCD Power Supply
P50-P57	: Port5	VLcDC	: Reference Voltage Control for LCD Driver
P64-P67	: Port6		
P70-P73	: Port7	VPP	: Programming Power Supply
P80-P87	: Port8	VSS0, VSS1	: Ground
P90-P97	: Port9	X1, X2	: Crystal (Main System Clock)
P120	: Port12	XT1, XT2	: Crystal (Subsystem Clock)
PCL	: Programmable Clock		

1.5 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

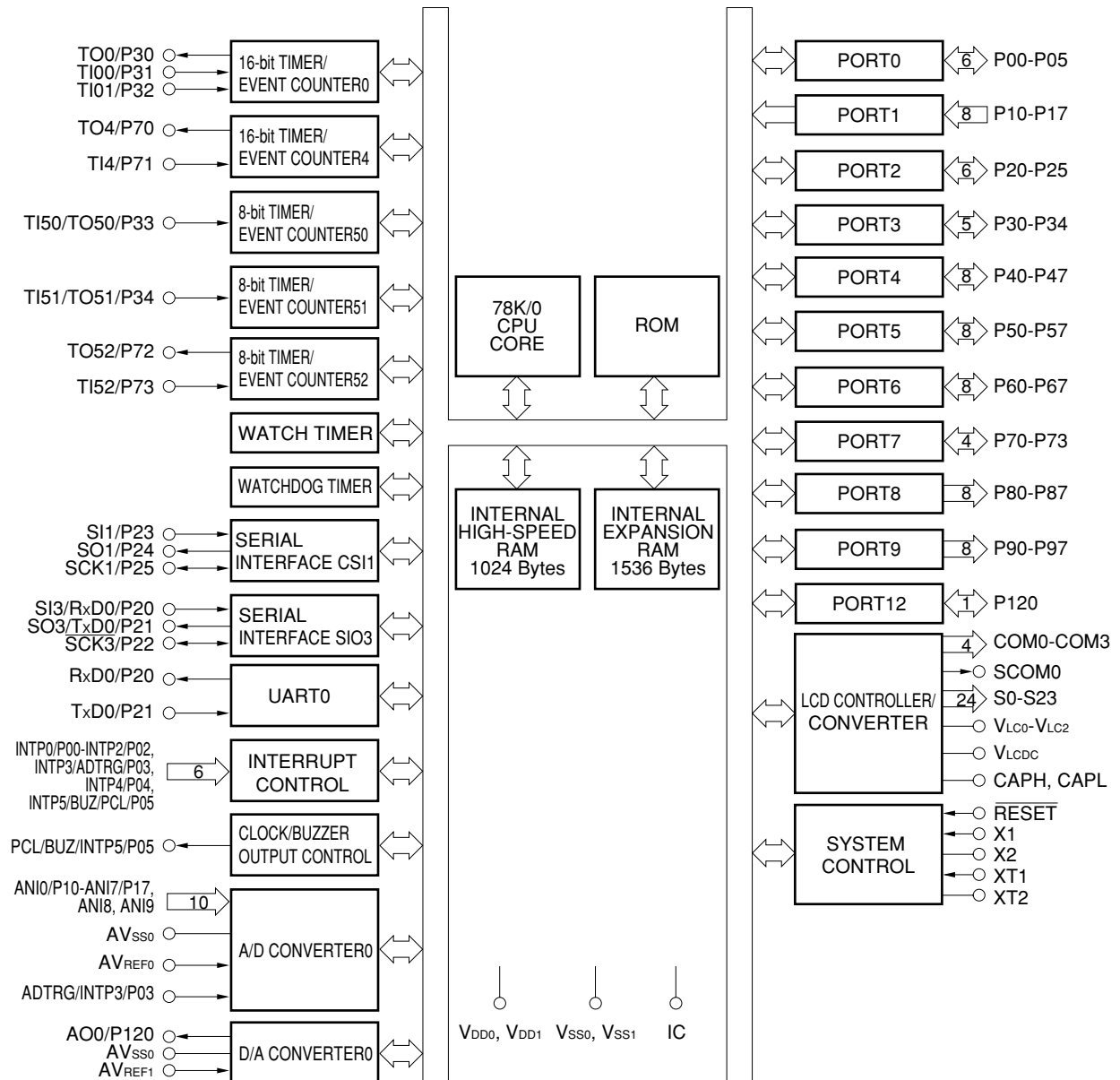
サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張	
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A					
制御用	μPD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch (UART:1ch)	88本	1.8 V	○	
	μPD78078	48 K-60 K									61本	2.7 V		
	μPD78070A	—									61本	2.7 V		
	μPD780058	24 K-60 K	2ch							3ch (時分割UART:1ch)	68本	1.8 V		
	μPD78058F	48 K-60 K								3ch (UART:1ch)	69本	2.7 V		
	μPD78054	16 K-60 K									2.0 V			
	μPD780065	40 K-48 K							—	4ch (UART:1ch)	60本	2.7 V		
	μPD780078	48 K-60K		2ch			—	8ch		3ch (UART:2ch)	52本	1.8 V		
	μPD780034A	8 K-32 K		1ch						3ch (UART:1ch)	51本			
	μPD780024A						8ch	—						
	μPD78014H									2ch	53本			
	μPD78018F	8 K-60 K												
μPD78083	8 K-16 K		—	—					1ch (UART:1ch)	33本		—		
インバータ 制御用	μPD780988	16 K-60 K	3ch	注	—	1ch	—	8ch	—	3ch (UART:2ch)	47本	4.0 V	○	
VFD 駆動用	μPD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	2ch	74本	2.7 V	—	
	μPD780232	16 K-24 K	3ch	—	—		4ch				40本	4.5 V		
	μPD78044H	32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V		
	μPD78044F	16 K-40 K								2ch				
LCD 駆動用	μPD780338	48 K-60 K	3ch	2ch	1ch	1ch	—	10ch	1ch	2ch (UART:1ch)	54本	1.8 V	—	
	μPD780328										62本			
	μPD780318										70本			
	μPD780308	48 K-60 K	2ch	1ch		8ch	—	—	3ch (時分割UART:1ch)	57本	2.0 V			
	μPD78064B	32 K							2ch (UART:1ch)					
μPD78064	16 K-32 K													
バス・イン タフェース 対応	μPD780948	60 K	2ch	2ch	1ch	1ch	8ch	—	—	3ch (UART:1ch)	79本	4.0 V	○	
	μPD78098B	40 K-60 K		1ch							2ch	69本	2.7 V	—
	μPD780816	32 K-60 K		2ch							—	2ch (UART:1ch)	46本	4.0 V
メータ 制御用	μPD780958	48 K-60 K	4ch	2ch	—	1ch	—	—	—	2ch (UART:1ch)	69本	2.2 V	—	
ダッシュ ボード制御用	μPD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	—	—	3ch (UART:1ch)	56本	4.0 V	—	
	μPD780828B	32 K-60 K									59本			

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

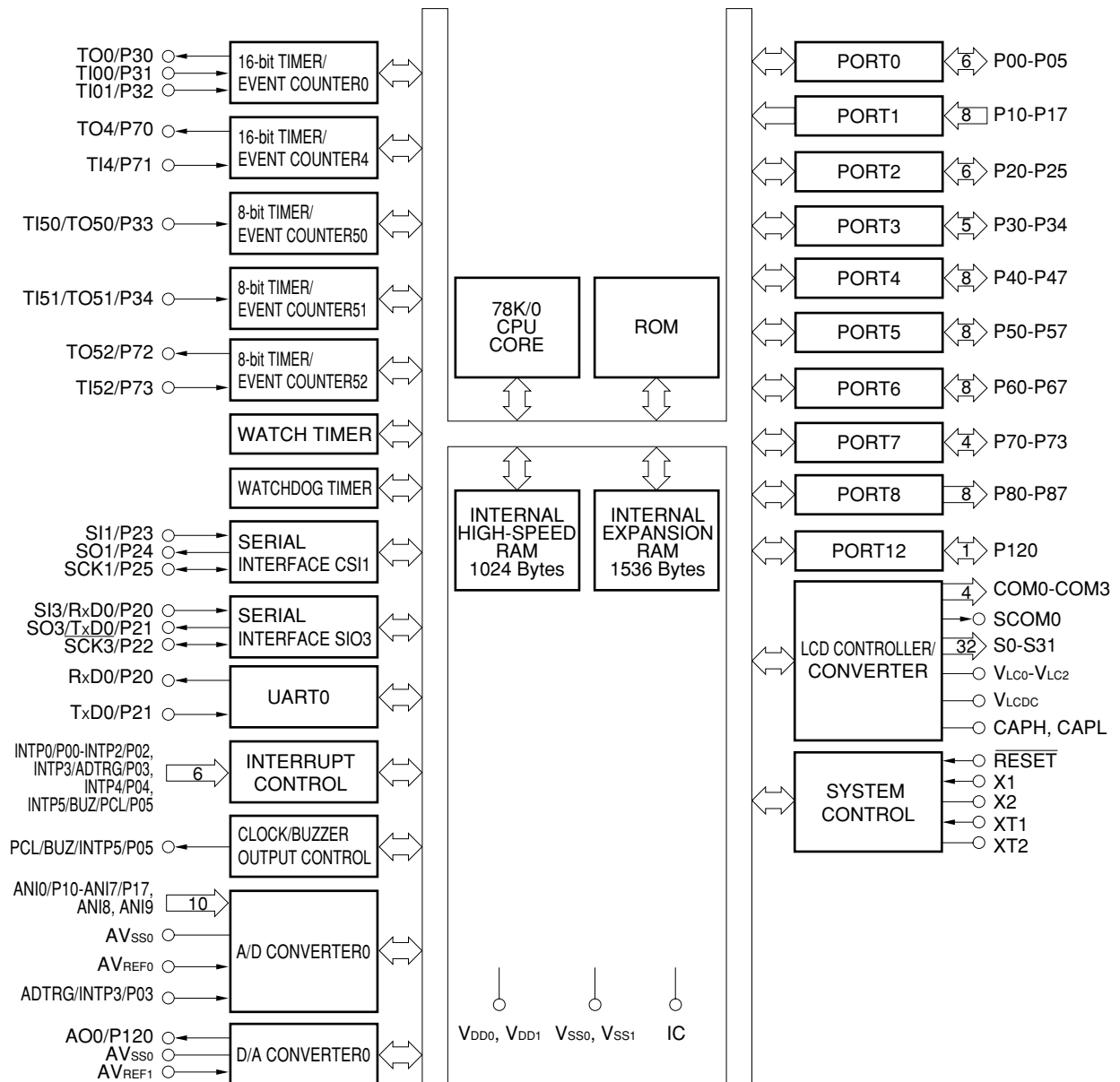
1.6 ブロック図

1.6.1 μ PD780316, 780318



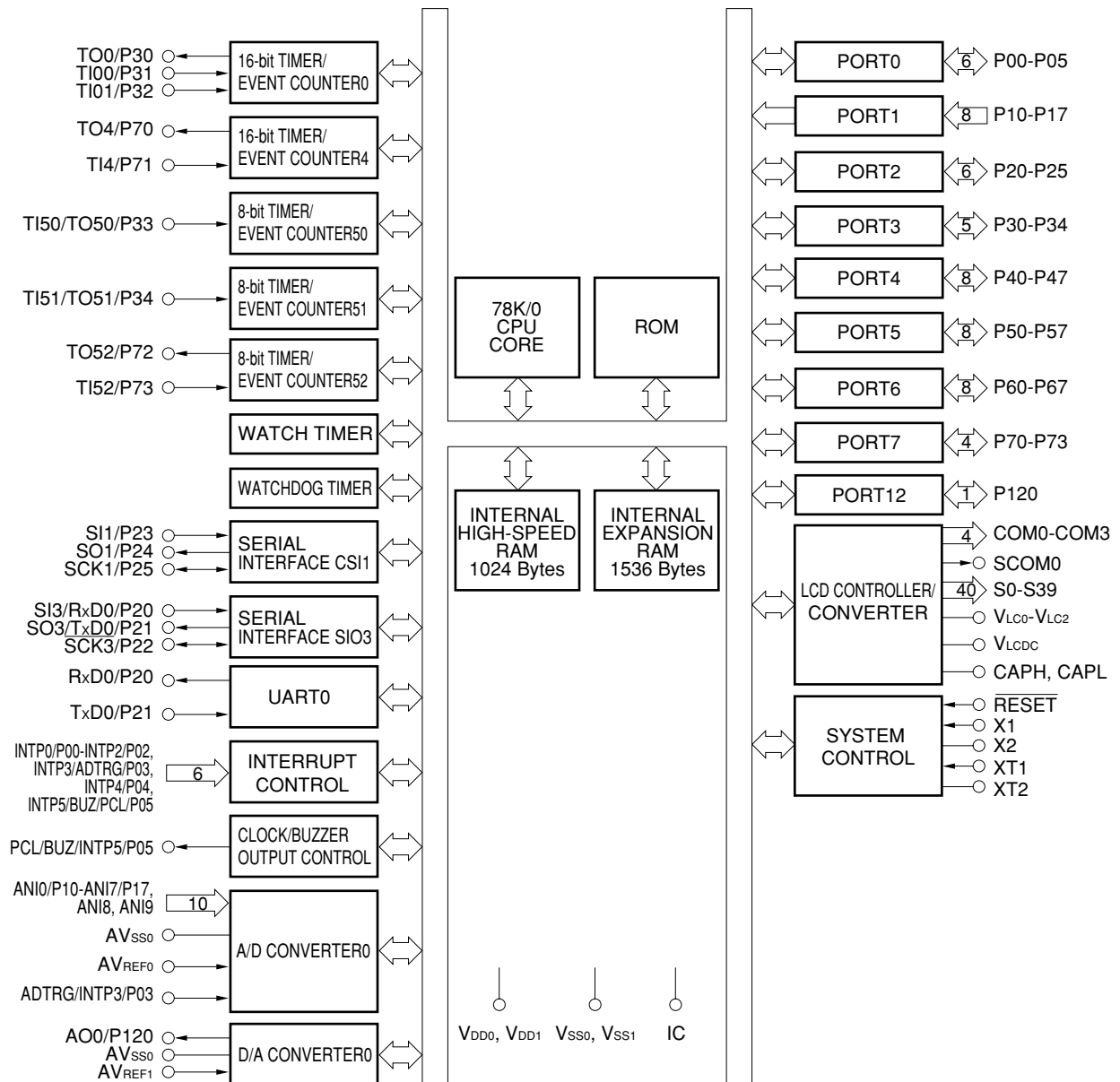
備考 内部ROM容量は製品によって異なります。

1.6.2 μ PD780326, 780328



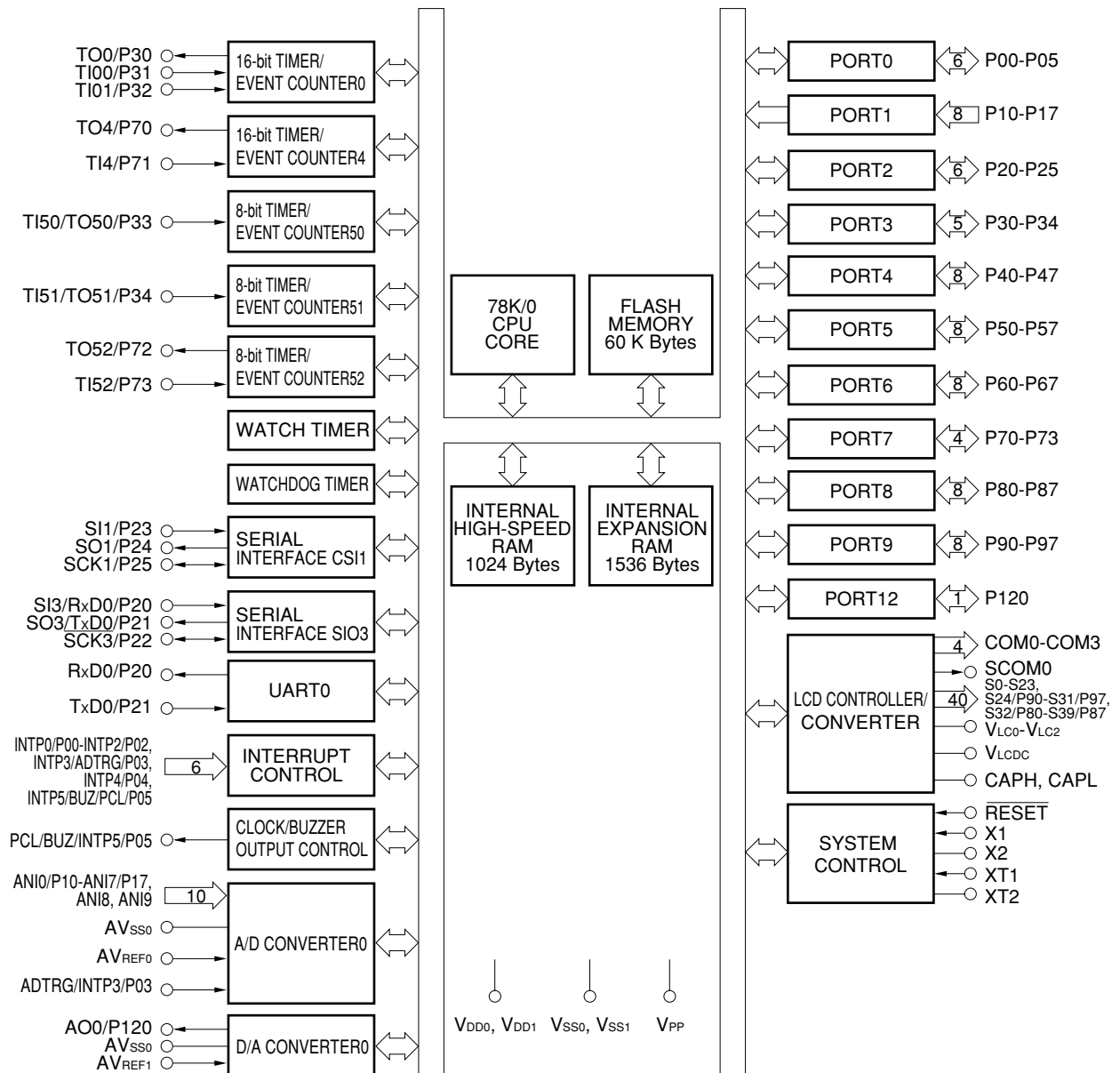
備考 内部ROM容量は製品によって異なります。

1.6.3 μ PD780336, 780338



備考 内部ROM容量は製品によって異なります。

1.6.4 μ PD78F0338



1.7 機能概要

(1/2)

品 名		μPD780316	μPD780318	μPD780326	μPD780328	μPD780336	μPD780338	μPD78F0338
内部メモリ	ROM	48 Kバイト (マスクROM)	60 Kバイト (マスクROM)	48 Kバイト (マスクROM)	60 Kバイト (マスクROM)	48 Kバイト (マスクROM)	60 Kバイト (マスクROM)	60 Kバイト ^注 (フラッシュ・メモリ)
	高速RAM	1024バイト						
	拡張RAM	1536バイト						
	LCD表示用RAM	40×8ビット						
メモリ空間		64 Kバイト						
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)						
最小命令実行時間		最小命令実行時間の可変機能内蔵						
メイン・システム・クロック選択時		0.2 μs/0.4 μs/0.8 μs/1.6 μs/3.2 μs (V _{DD} = 5 V, f _x = 10 MHz動作時)						
サブシステム・クロック選択時		122 μs (f _{xT} = 32.768 kHz動作時)						
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 						
I/Oポート		70本	62本	54本	70本			
CMOS入力		8本						
CMOS出力		16本	8本	なし	16本 (セグメント端子と兼用)			
CMOS入出力		42本						
N-chオープン・ドレイン入出力 (15 V耐圧)		4本						
A/Dコンバータ		<ul style="list-style-type: none"> ・10ビット分解能×10チャンネル ・低電圧動作可能: AV_{REF0} = 1.8~5.5 V 						
D/Aコンバータ		8ビット分解能×1チャンネル						
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・LCD基準電圧生成回路: 昇圧タイプ (3倍昇圧のみ) ・外付け抵抗にてLCD基準電圧の微調整が可能 ・点滅表示可能 (点滅時間切り替え可能: 0.5秒または1秒) ・スタティック表示およびダイナミック表示 (1/3バイアスのみ) の同時使用可能 (スタティック表示は最大12セグメントまで) 						
セグメント信号出力		最大24本	最大32本	最大40本	最大40本 (ポート端子と兼用: 16本)			
コモン信号出力		最大4本 (ダイナミック表示), 1本 (スタティック表示)						

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ容量の変更可能。

品名	μPD780316	μPD780318	μPD780326	μPD780328	μPD780336	μPD780338	μPD78F0338
シリアル・インタフェース	・ 3線式シリアルI/Oモード/UARTモード選択可能 ^注 ：1チャンネル ・ 3線式シリアルI/Oモード：1チャンネル						
タイマ	・ 16ビット・タイマ/イベント・カウンタ：2チャンネル ・ 8ビット・タイマ/イベント・カウンタ：3チャンネル ・ 時計用タイマ：1チャンネル ・ ウォッチドッグ・タイマ：1チャンネル						
タイマ出力	5本（8ビットPWM出力可能：3本）						
クロック出力	・ 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：10 MHz動作時） ・ 32.768 kHz（サブシステム・クロック：32.768 kHz動作時）						
ブザー出力	1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz（メイン・システム・クロック：10 MHz動作時）						
ベクタ	マスカブル	内部：15, 外部：7					
割り込み	ノンマスカブル	内部：1					
要因	ソフトウェア	1					
ROMコレクション	内蔵						
電源電圧	V _{DD} = 1.8~5.5 V						
動作周囲温度	T _A = -40~+85 °C						
パッケージ	120ピン・プラスチックTQFP（ファインピッチ）（14×14）						

注 端子を兼用しているため、どちらかを選択して使用します。

タイマ/イベント・カウンタの概要（詳細は、第6章 16ビット・タイマ/イベント・カウンタ0、第7章 16ビット・タイマ/イベント・カウンタ4、第8章 8ビット・タイマ/イベント・カウンタ50, 51, 52、第9章 時計用タイマ、第10章 ウォッチドッグ・タイマを参照）を次に示します。

		16ビット・タイマ/ イベント・カウンタ0	16ビット・タイマ/ イベント・カウンタ4	8ビット・タイマ/ イベント・カウンタ 50, 51, 52	時計用タイマ	ウォッチドッグ・ タイマ
動作	インターバル・タイマ	1チャンネル	1チャンネル	3チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	○	—	—
機能	タイマ出力	○	○	○	—	—
	PPG出力	○	—	—	—	—
	PWM出力	—	—	○	—	—
	パルス幅測定	○	—	—	—	—
	方形波出力	○	○	○	—	—
	割り込み要求	○	○	○	○	○

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1.8 マスク・オプションについて

マスクROM製品（ μ PD780316, 780318, 780326, 780328, 780336, 780338）には、マスク・オプションがあります。オーダーの際にマスク・オプションを指定することにより、表1-1に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小を図ることができます。

μ PD780318, 780328, 780338サブシリーズで用意されているマスク・オプションを表1-1に示します。

表1-1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P60-P63	1ビット単位でプルアップ抵抗を内蔵できます

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入出力	ポート0。		入力	INTP0
P01		6ビット入出力ポート。			INTP1
P02		1ビット単位で入力/出力の指定可能。			INTP2
P03		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			INTP3/ADTRG
P04					INTP4
P05					INTP5/BUZ/PCL
P10-P17	入力	ポート1。 8ビット入力専用ポート。		入力	ANI0-ANI7
P20	入出力	ポート2。		入力	RxD0/SI3
P21		6ビット入出力ポート。			TxD0/SO3
P22		1ビット単位で入力/出力の指定可能。			SCK3
P23		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			SI1
P24					SO1
P25					SCK1
P30	入出力	ポート3。		入力	TO0
P31		5ビット入出力ポート。			TI00
P32		1ビット単位で入力/出力の指定可能。			TI01
P33		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			TO50/TI50
P34					TO51/TI51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入力	—
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。		入力	—
P60-P63	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力		入力	—
P64-P67		の指定可能。 LEDを直接駆動可能。			
		中耐圧N-chオープン・ドレイン入出力ポート。マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			
P70	入出力	ポート7。		入力	TO4
P71		4ビット入出力ポート。			TI4
P72		1ビット単位で入力/出力の指定可能。			TO52
P73		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			TI52

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P80-P87 ^注	出力	ポート 8。 8 ビット出力専用ポート。	出力	S32-S39 ^注
P90-P97 ^注	出力	ポート 9。 8 ビット出力専用ポート。	出力	S24-S31 ^注
P120	入出力	ポート 12。 1 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。	入力	AO0

注 ポート 8, 9 は, 製品によって異なります。

	ポート 8	ポート 9
μPD780316, 780318	P80-P87 (兼用端子なし)	P90-P97 (兼用端子なし)
μPD780326, 780328		なし
μPD780336, 780338	なし	
μPD78F0338	P80/S32-P87/S39	P90/S24-P97/S31

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00
INTP1				P01
INTP2				P02
INTP3				P03/ADTRG
INTP4				P04
INTP5				P05/BUZ/PCL
SI1	入力	シリアル・インタフェースのシリアル・データ入力	入力	P23
SI3				P20/RxD0
SO1	出力	シリアル・インタフェースのシリアル・データ出力	入力	P24
SO3				P21/TxD0
SCK1	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P25
SCK3				P22
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P20/SI3
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21/SO3
TI00	入力	16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ入力	入力	P31
TI01		16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ入力		P32
TI4		16ビット・タイマ/イベント・カウンタ4への外部カウント・クロック入力		P71
TO0	出力	16ビット・タイマ/イベント・カウンタ0出力	入力	P30
TO4		16ビット・タイマ/イベント・カウンタ4出力		P70
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P33/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P34/TO51
TI52		8ビット・タイマ/イベント・カウンタ52への外部カウント・クロック入力		P73
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P33/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P34/TI51
TO52		8ビット・タイマ/イベント・カウンタ52出力		P72
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)	入力	P05/INTP5/BUZ
BUZ	出力	ブザー出力	入力	P05/INTP5/PCL
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P10-P17
ANI8, ANI9				—
ADTRG	入力	A/Dコンバータのトリガ信号入力	入力	P03/INTP3
AVREF0	入力	A/Dコンバータの基準電圧入力	—	—
AO0	出力	D/Aコンバータのアナログ出力	入力	P120
AVREF1	入力	D/Aコンバータの基準電圧入力	—	—
AVSS0	—	A/Dコンバータ, D/Aコンバータのグランド電位。V _{SS0} またはV _{SS1} と同電位にしてください。	—	—

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
S0-S11 ^注	出力	LCDコントローラ/ドライバのセグメント信号出力 (スタティック/ダイナミック表示切り替え可能)	出力	—
S12-S23 ^注		LCDコントローラ/ドライバのセグメント信号出力 (ダイナミック表示用)		—
S24-S31 ^注				P90-P97 ^注
S32-S39 ^注				P80-P87 ^注
COM0- COM3	出力	LCDコントローラ/ドライバのコモン信号出力 (ダイナミック表示用)	出力	—
SCOM0	出力	LCDコントローラ/ドライバのコモン信号出力 (スタティック表示用)	出力	—
V _{LC0} -V _{LC2}	—	LCD駆動用電圧 ・V _{LC0} : V _{LC2} の3倍の出力電圧 ・V _{LC1} : V _{LC2} の2倍の出力電圧 ・V _{LC2} : 基準電圧	—	—
V _{LCDC}	—	LCDコントローラ/ドライバ用基準電圧調整	—	—
CAPH, CAPL	—	LCDドライブ電圧の昇圧用コンデンサ接続	—	—
RESET	入力	システム・リセット入力	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続	—	—
XT2	—		—	—
V _{DD0}	—	ポート部の正電源	—	—
V _{DD1}	—	正電源 (ポート部を除く)	—	—
V _{SS0}	—	ポート部のグランド電位	—	—
V _{SS1}	—	グランド電位 (ポート部を除く)	—	—
IC	—	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、 V _{SS0} またはV _{SS1} に直接接続してください。	—	—

注 セグメント信号出力端子は、製品によって異なります。

- ・μPD780316, 780318 : S0-S23 (兼用端子なし)
- ・μPD780326, 780328 : S0-S31 (/)
- ・μPD780336, 780338 : S0-S39 (/)
- ・μPD78F0338 : S0-S39 (S24-S31はP90-P97と、S32-S39はP80-P87と兼用。ポートとの切り替えは8ビット単位)

2.2 端子機能の説明

2.2.1 P00-P05 (Port0)

6ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、ブザー出力として機能します。

(a) INTP0-INTP5

INTP0-INTP5は、有効エッジ（立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) ADTRG

A/Dコンバータの外部トリガ入力端子です。

注意 P03をA/Dコンバータの外部トリガ入力として使用する場合は、A/Dコンバータ・モード・レジスタ (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込み要求マスク・フラグ (PMK3) を1に設定してください。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

2.2.2 P10-P17 (Port1)

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

2.2.3 P20-P25 (Port2)

6ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI1, SI3, SO1, SO3

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) SCK1, $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

2.2.4 P30-P34 (Port3)

5ビットの入出力ポートです。入出力ポートのほかに、タイマの入出力機能があります。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できます。また、P31, P32は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子にもなりません。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI00

16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子です。

(b) TI01

16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(d) TO0, TO50, TO51

タイマ出力端子です。

2.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

また、立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセットできます。立ち下がりエッジを検出するポートの本数は、キー・リターン切り替えレジスタ (KRSEL) のビット0 (KRSEL0) により、4本 (P40-P43) または8本 (P40-P47) のどちらかを選択できます。

注意1. 立ち下がりエッジ検出割り込み (INTKR) を使用する場合、メモリ拡張モード・レジスタ (MEM) を必ず01Hに設定してください。

2. キー・リターン本数を4本に設定した場合、キー・リターン機能のインサーキット・エミュレータによる評価ができません。

2.2.6 P50-P57 (Port5)

8ビットの入出力ポートです。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) により、内蔵プルアップ抵抗を使用できます。

2.2.7 P60-P67 (Port6)

8ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。LEDを直接駆動可能です。

P60-P63は中耐圧N-chオープン・ドレインです。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵ができます。

P64-P67は、プルアップ抵抗オプション・レジスタ6 (PU6) により、内蔵プルアップ抵抗を使用できます。

2.2.8 P70-P73 (Port7)

4ビットの入出力ポートです。入出力ポートのほかに、タイマの入出力機能があります。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI4

16ビット・タイマ/イベント・カウンタ4への外部カウント・クロック入力端子です。

(b) TI52

8ビット・タイマ/イベント・カウンタ52への外部カウント・クロック入力端子です。

(c) TO4, TO52

タイマ出力端子です。

2.2.9 P80-P87 (Port8) 注1, 2

8ビットの出力専用ポートです。出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ8（PF8）により、出力ポートまたはセグメント信号出力機能のどちらかを選択できます注3。

(1) ポート・モード

8ビットの出力専用ポートとして機能します。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力（ダイナミック表示用）端子（S32-S39）として機能します。

★ 注1. μ PD780336, 780338にはありません。

★ 2. ポート8とセグメント信号出力端子は、製品によって異なります。

	端子機能
μ PD780316, 780318	P80-P87
μ PD780326, 780328	
μ PD780336, 780338	S32-S39
μ PD78F0338	P80/S32-P87/S39

3. 兼用切り替えレジスタ8（PF8）は、 μ PD78F0338にのみ内蔵しています。

2.2.10 P90-P97 (Port9) 注1, 2

8ビットの出力専用ポートです。出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力（ダイナミック表示用）機能があります。兼用切り替えレジスタ9（PF9）により、出力ポートまたはセグメント信号出力機能のどちらかを選択できます注3。

(1) ポート・モード

8ビットの出力専用ポートとして機能します。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力（ダイナミック表示用）端子（S24-S31）として機能します。

- ★ 注1. μ PD780326, 780328, 780336, 780338にはありません。
- ★ 2. ポート9とセグメント信号出力端子は、製品によって異なります。

	端子機能
μ PD780316, 780318	P90-P97
μ PD780326, 780328	S24-S31
μ PD780336, 780338	
μ PD78F0338	P90/S24-P97/S31

- 3. 兼用切り替えレジスタ9 (PF9) は、 μ PD78F0338にのみ内蔵しています。

2.2.11 P120 (Port12)

1ビットの入出力ポートです。入出力ポートのほかに、D/Aコンバータのアナログ出力機能があります。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

D/Aコンバータのアナログ出力端子 (AO0) として機能します。

注意 D/Aコンバータを使用するときは、ポート・モード・レジスタ12で入力モードに設定するとともに、プルアップ抵抗を切断してください。

2.2.12 ANI0-ANI9

A/Dコンバータのアナログ入力端子です。ANI0-ANI7はP10-P17と兼用しています。

2.2.13 AVREF0

A/Dコンバータの基準電圧入力端子です。またアナログ電源の機能を兼用していますので、A/Dコンバータを使用する場合は、電源を供給してください。

A/Dコンバータを使用しない場合は、 V_{SS0} 端子または V_{SS1} 端子に接続してください。

2.2.14 AVREF1

D/Aコンバータの基準電圧入力端子です。

D/Aコンバータを使用しない場合は、 V_{DD0} 端子または V_{DD1} 端子に接続してください。

2.2.15 AVSS0

A/Dコンバータ、D/Aコンバータのグランド電位端子です。A/Dコンバータ、D/Aコンバータを使用しないときでも、 V_{SS0} 端子または V_{SS1} 端子と同電位で使用してください。

2.2.16 S0-S39^注

LCDコントローラ／ドライバのセグメント信号出力端子です。

S0-S11：スタティック／ダイナミック表示用切り替え可能

S12-S39：ダイナミック表示用

注 セグメント信号出力端子は、製品によって異なります。

- ・ μ PD780316, 780318：S0-S23（兼用端子なし）
- ・ μ PD780326, 780328：S0-S31（ ϕ ）
- ・ μ PD780336, 780338：S0-S39（ ϕ ）
- ・ μ PD78F0338：S0-S39（S24-S31はP90-P97と、S32-S39はP80-P87と兼用。ポートとの切り替えは、8ビット単位）

2.2.17 COM0-COM3

LCDコントローラ／ドライバのコモン信号出力端子（ダイナミック表示用）です。

2.2.18 SCOM0

LCDコントローラ／ドライバのコモン信号出力端子（スタティック表示用）です。

2.2.19 VLc0-VLc2

LCD駆動用電圧端子です。VLc0-VLc2端子の内部に各バイアスに応じたLCD駆動用電圧を供給するために、VLc0-GND, VLc1-GND, VLc2-GND間には個別にコンデンサ（推奨：0.47 μ F）を外部に接続してください。

- ・ VLc0：VLc2の3倍の出力電圧
- ・ VLc1：VLc2の2倍の出力電圧
- ・ VLc2：基準電圧

2.2.20 VLcDC

LCDコントローラ／ドライバ用基準電圧調整端子です。VLc2-VLcDC間に抵抗を外部に接続し、LCD駆動電源電圧の微調整を行うために使用します。

2.2.21 CAPH, CAPL

LCDドライブ電圧の昇圧用コンデンサ接続端子です。CAPH-CAPL間にコンデンサ（推奨：0.47 μ F）を接続します。

2.2.22 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.23 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.24 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2.2.25 VDD0, VDD1

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート部以外の正電源供給端子です。

2.2.26 VSS0, VSS1

VSS0は、ポート部のグラウンド電位端子です。

VSS1は、ポート部以外のグラウンド電位端子です。

2.2.27 VPP (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。

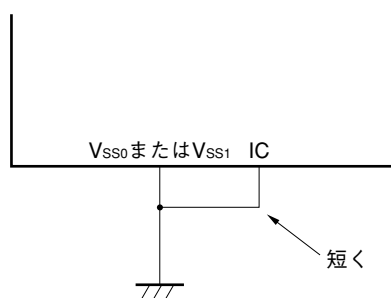
通常動作モード時は、VSS0またはVSS1に直接接続してください。

2.2.28 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD780318, 780328, 780338サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をVSS0端子またはVSS1端子に直接接続し、その配線長を極力短くしてください。

IC端子とVSS0端子またはVSS1端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVSS0端子またはVSS1端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をVSS0端子またはVSS1端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-1に示します。
また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプ (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法			
P00/INTP0-P02/INTP2	8-C	入出力	入力時：個別に抵抗を介して、 V_{SS0} に接続してください。 出力時：オープンにしてください。			
P03/INTP3/ADTRG						
P04/INTP4						
P05/INTP5/BUZ/PCL						
P10/ANI0-P17/ANI7	25	入力	V_{DD0} または V_{SS0} に接続してください。			
P20/RXD0/SI3	8-C	入出力	入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。			
P21/TXD0/SO3				5-H		
P22/SCK3				8-C		
P23/SI1						
P24/SO1				5-H		
P25/SCK1				8-C		
P30/TO0				5-H		
P31/TO10				8-C		
P32/TO1						
P33/TO50/TO150						
P34/TO51/TO151						
P40-P47				5-H		
P50-P57						
★ P60-P63 (マスクROM製品)				13-J		入力時： V_{SS0} に接続してください。 出力時：ロウ・レベル出力でオープンにしてください。
P60-P63 (フラッシュ・メモリ製品)				13-K		
P64-P67				5-H		入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P70/TO4						
P71/TO14						
P72/TO52						
P73/TO152	8-C					
P80-P87 ^注 (マスクROM製品)	4-B	出力	オープンにしてください。			
★ P80/S32-P87/S39 (フラッシュ・メモリ製品)	31		出力にし、オープンにしてください。			
P90-P97 ^注 (マスクROM製品)	4-B		オープンにしてください。			
★ P90/S24-P97/S31 (フラッシュ・メモリ製品)	31		出力にし、オープンにしてください。			
P120/AO0	12-C	入出力	入力時：個別に抵抗を介して、 V_{SS0} に接続してください。 出力時：オープンにしてください。			
ANI8, ANI9	25	入力	V_{DD0} または V_{SS0} に接続してください。			
S0-S23 ^注	17-D	出力	オープンにしてください。			
S24-S39 ^注 (マスクROM製品)						

表2-1 各端子の入出力回路タイプ (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
COM0-COM3	18-B	出力	オープンにしてください。
SCOM0			
V _{LC0} -V _{LC2}			
V _{LCDC}			
CAPH, CAPL			
RESET	2	入力	—
XT1	16	入力	V _{DD0} またはV _{DD1} に接続してください。
XT2		—	オープンにしてください。
AV _{REF0}	—	入力	V _{SS0} またはV _{SS1} に接続してください。
AV _{REF1}			V _{DD0} またはV _{DD1} に接続してください。
AV _{SS0}		—	V _{SS0} またはV _{SS1} に接続してください。
IC			V _{SS0} またはV _{SS1} に直接接続してください。
V _{PP}			

注 ポート8, 9とセグメント信号出力は、マスクROM製品によって異なります。

	ポート8	ポート9	セグメント信号出力
μPD780316, 780318	P80-P87	P90-P97	S0-S23
μPD780326, 780328		なし	S0-S31
μPD780336, 780338	なし		S0-S39

図2-1 端子の入出力回路一覧 (1/2)

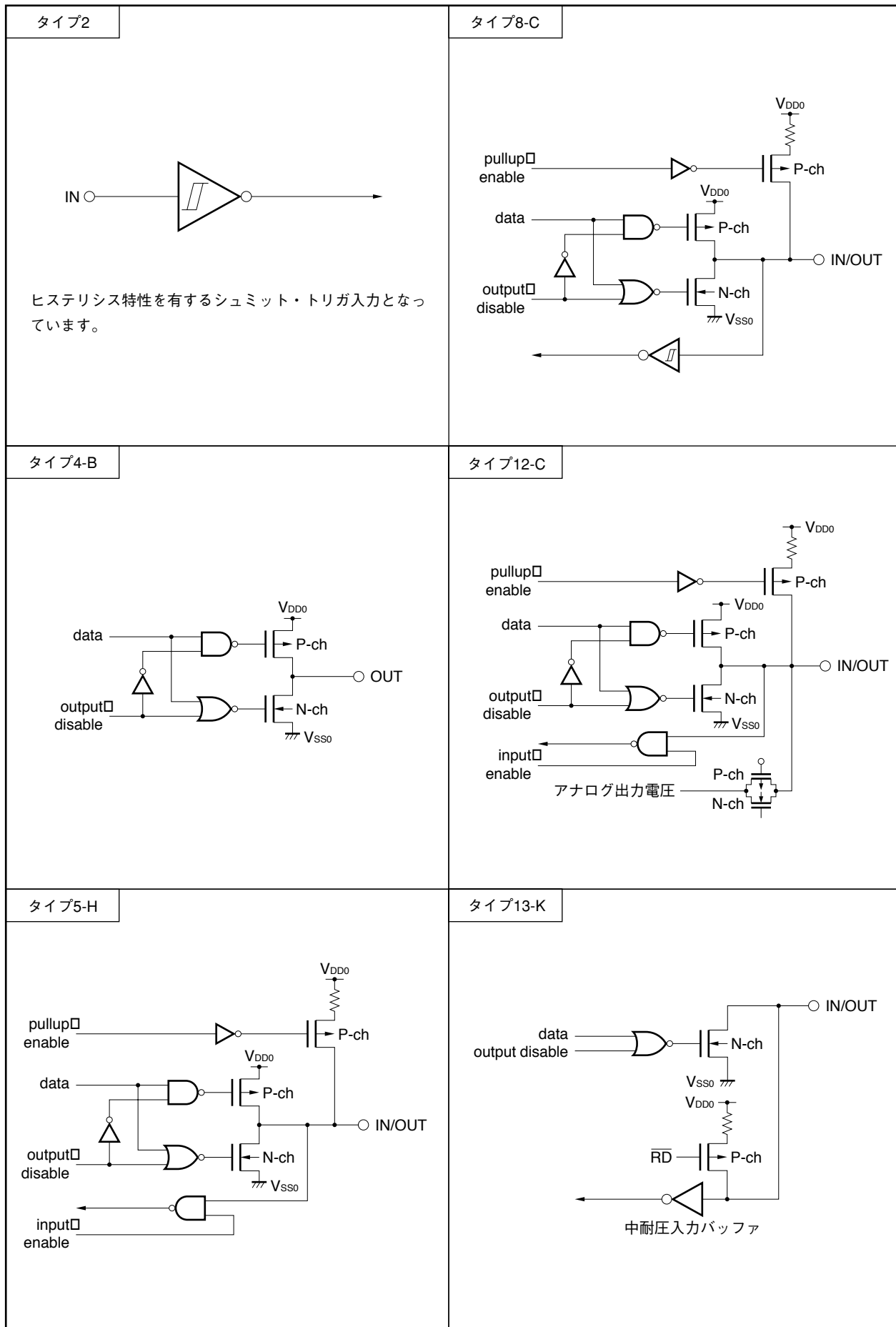
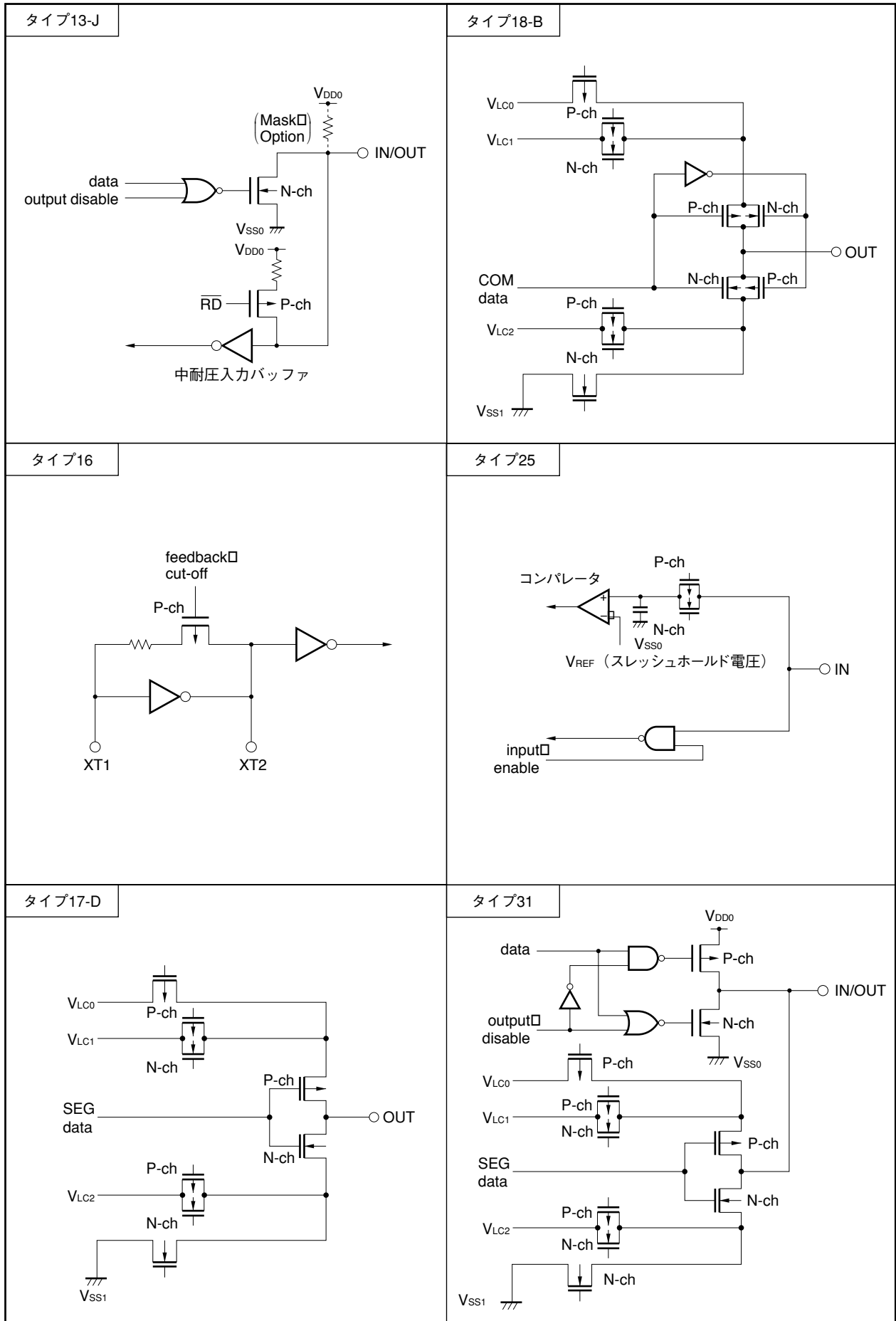


図2-1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD780318, 780328, 780338サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1から図3-3に、メモリ・マップを示します。

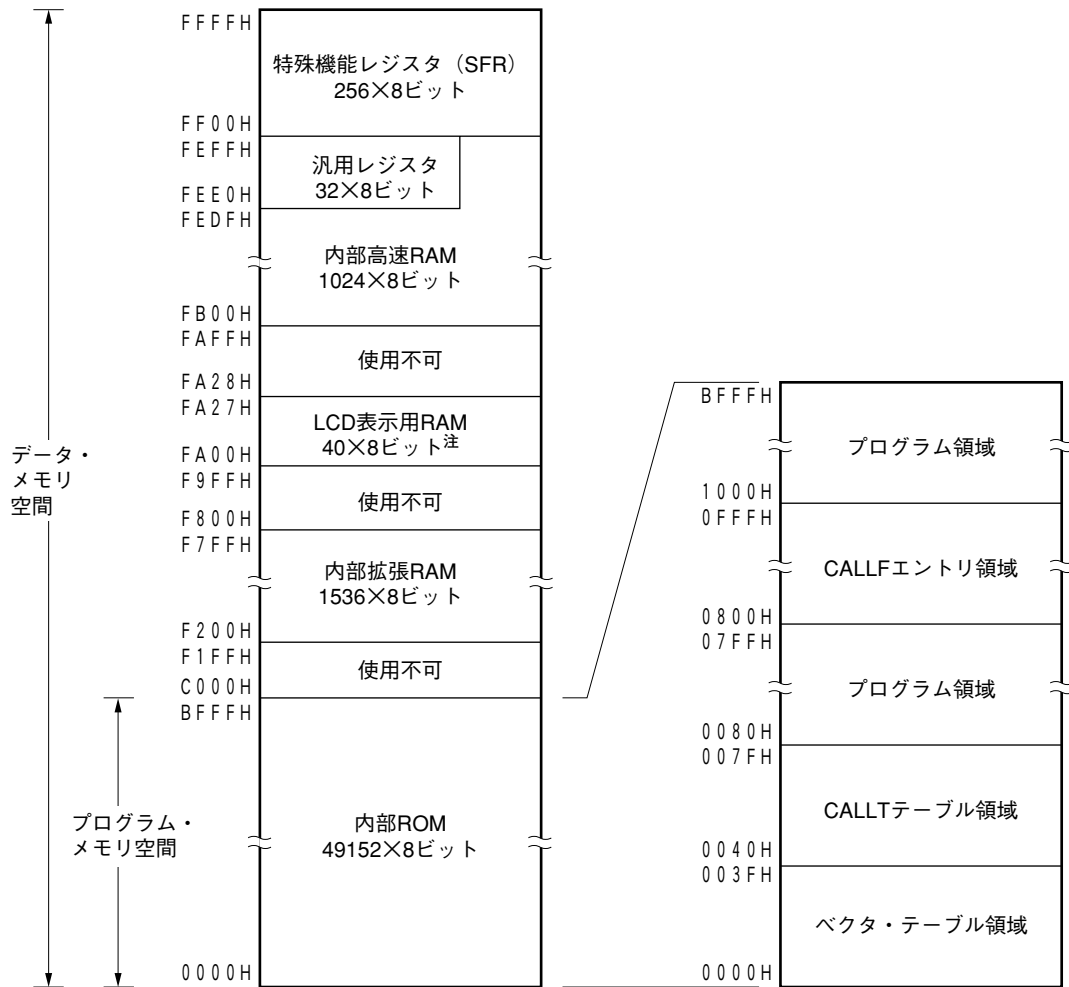
注意 メモリ・サイズ切り替えレジスタ (IMS) および内部拡張RAMサイズ切り替えレジスタ (IXS) の初期値は、μPD780318, 780328, 780338サブシリーズすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、各製品ごとに次に示す値を設定して使用してください。

	IMSの設定値	IXSの設定値
μPD780316, 780326, 780336	CCH	09H
μPD780318, 780328, 780338	CFH	
μPD78F0338	マスクROM製品に対応した値	

(1) μ PD780316, 780326, 780336

メモリ・サイズ切り替えレジスタ (IMS) の値をCCHに、内部拡張RAMサイズ切り替えレジスタ (IXS) の値を09Hに設定して使用してください (初期値は、IMS = CFH, IXS = 0CH)。

図3-1 メモリ・マップ (μ PD780316, 780326, 780336)



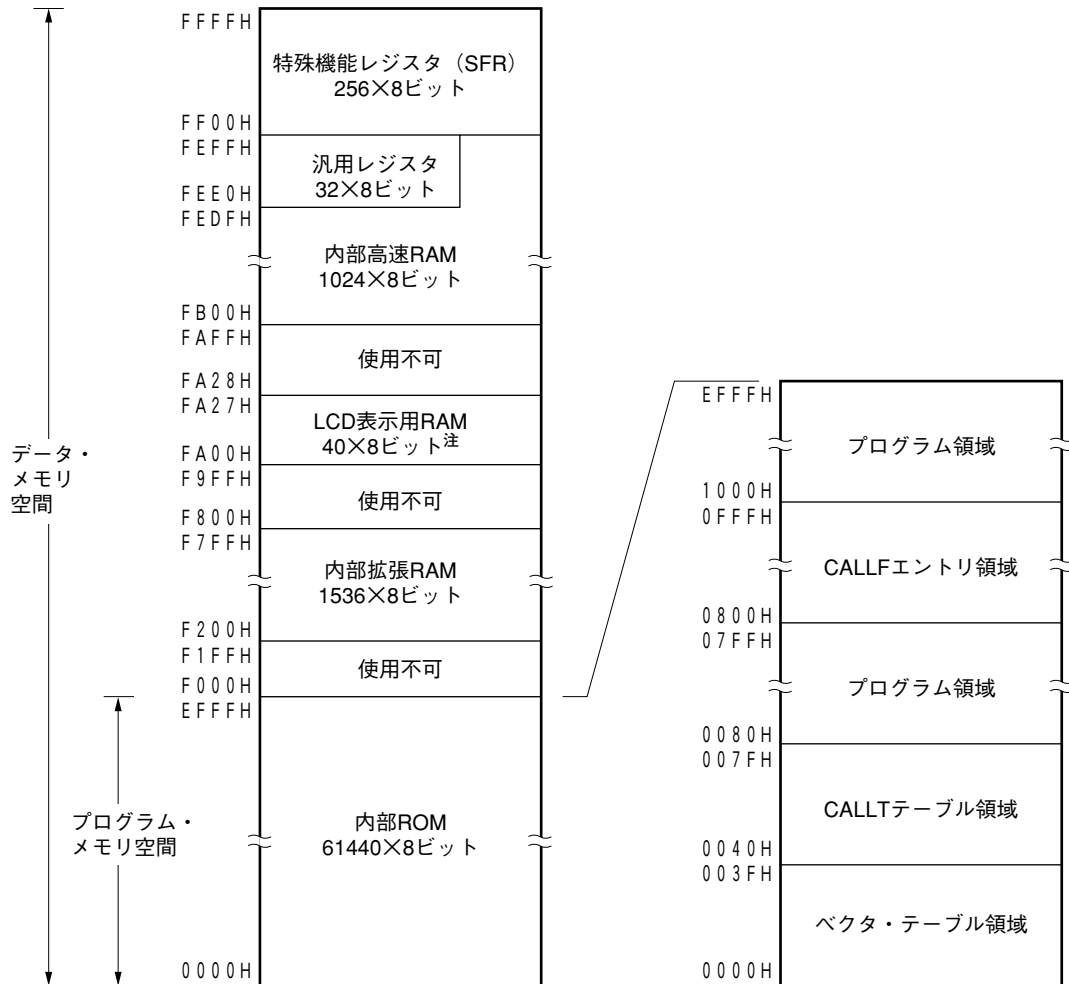
注 LCD表示データとして使用できる領域は、製品によって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- ・ μ PD780316 : FA00H-FA17H (24バイト)
- ・ μ PD780326 : FA00H-FA1FH (32バイト)
- ・ μ PD780336 : FA00H-FA27H (40バイト)

(2) μ PD780318, 780328, 780338

メモリ・サイズ切り替えレジスタ (IMS) の値をCFHに、内部拡張RAMサイズ切り替えレジスタ (IXS) の値を09Hに設定して使用してください (初期値は、IMS = CFH, IXS = 0CH)。

図3-2 メモリ・マップ (μ PD780318, 780328, 780338)



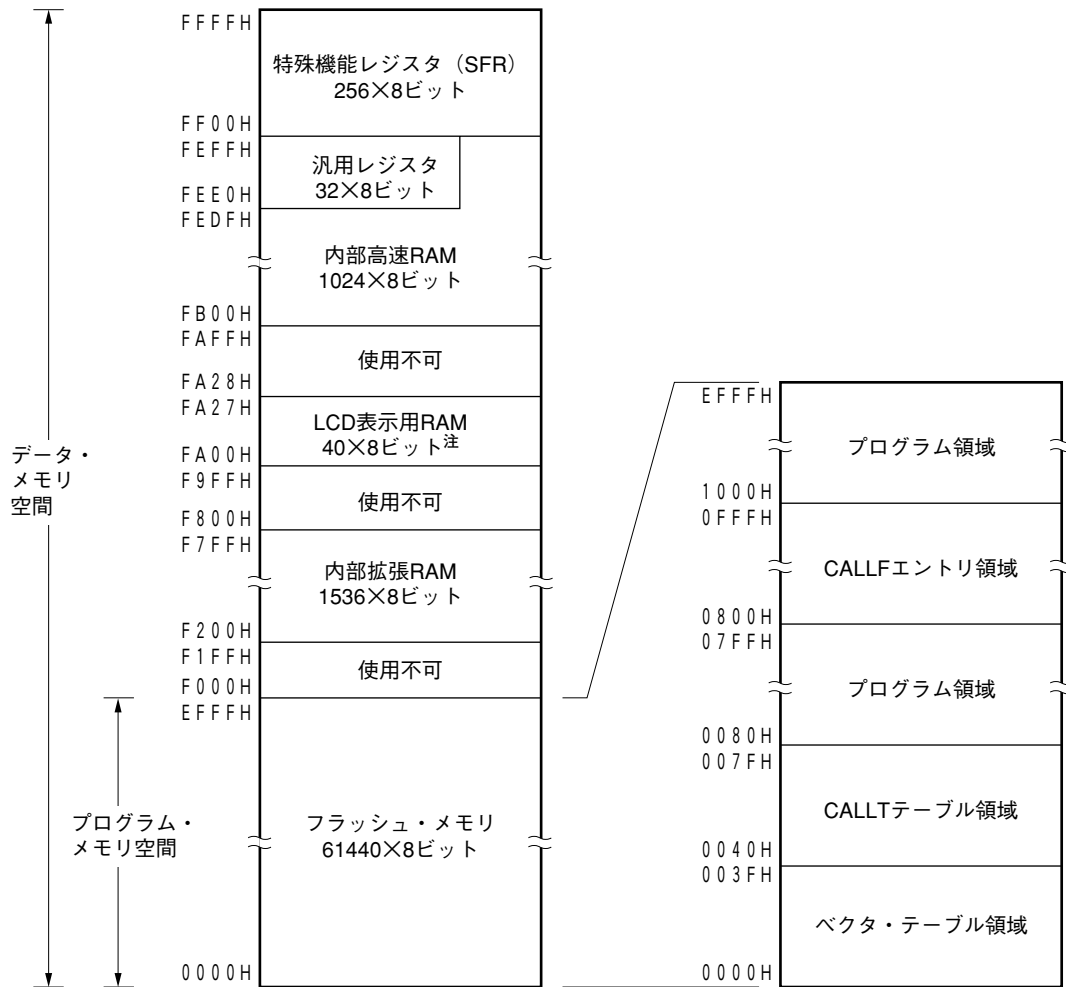
注 LCD表示データとして使用できる領域は、製品によって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- ・ μ PD780318 : FA00H-FA17H (24バイト)
- ・ μ PD780328 : FA00H-FA1FH (32バイト)
- ・ μ PD780338 : FA00H-FA27H (40バイト)

(3) μ PD78F0338

メモリ・サイズ切り替えレジスタ (IMS) の値をマスクROM製品に対応した値に、内部拡張RAMサイズ切り替えレジスタ (IXS) の値を09Hに設定して使用してください (初期値は、IMS = CFH, IXS = 0CH)。

図3-3 メモリ・マップ (μ PD78F0338)



注 LCD表示データとして使用できる領域は、P80/S32-S87/S39, P90/S24-P97/S31をポート出力として使用するか、セグメント出力として使用するかによって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- ・ P80/S32-S87/S39, P90/S24-P97/S31をポート出力として使用 : FA00H-FA17H (24バイト)
- ・ P80/S32-S87/S39またはP90/S24-P97/S31をポート出力として使用 : FA00H-FA1FH (32バイト)
- ・ P80/S32-S87/S39, P90/S24-P97/S31をセグメント出力として使用 : FA00H-FA27H (40バイト)

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD780318, 780328, 780338サブシリーズは、各製品ごとに次に示す内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表 3-1 内部メモリ容量

製 品	構 造	容 量
μPD780316, 780326, 780336	マスクROM	49152×8ビット（0000H-BFFFH）
μPD780318, 780328, 780338		61440×8ビット（0000H-EFFFH）
μPD78F0338	フラッシュ・メモリ	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表 3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力	001AH	INTCSI1
0004H	INTWDT	001CH	INTCSI3
0006H	INTP0	001EH	INTWTNIO
0008H	INTP1	0020H	INTTM00
000AH	INTP2	0022H	INTTM01
000CH	INTP3	0024H	INTTM4
000EH	INTP4	0026H	INTTM50
0010H	INTP5	0028H	INTTM51
0012H	INTKR	002AH	INTTM52
0014H	INTSER0	002CH	INTAD0
0016H	INTSR0	002EH	INTWTN0
0018H	INTST0	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エン트리・アドレスを格納できます。

(3) CALLF命令エン트리領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD780318, 780328, 780338サブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024バイト構成となっています。

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

- ★ プログラム領域として命令を書いて実行することはできません。
また、内部高速RAMはスタックとしても使用できます。

(2) 内部拡張RAM

- ★ F200H-F7FFFHの1536バイトの領域には、内部拡張RAMが割り付けられています。
内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

(3) LCD表示用RAM

FA00H-FA27Hの40×8ビットの領域には、LCD表示用RAMが割り付けられています。このうち、LCD表示データとして使用できる領域は、表3-3のように製品によって異なります。

LCD表示用RAMは通常のRAMとしても使用できます。したがって、LCD表示データとして使用しない領域は、同様に通常のRAMとして使用できます。

表3-3 LCD表示データとして使用できる領域

製品名	LCD表示データとして使用できる領域
μPD780316, 780318	FA00H-FA17H (24バイト)
μPD780326, 780328	FA00H-FA1FH (32バイト)
μPD780336, 780338	FA00H-FA27H (40バイト)
μPD78F0338	<ul style="list-style-type: none"> ・ P80/S32-S87/S39, P90/S24-P97/S31をポート出力として使用 ： FA00H-FA17H (24バイト) ・ P80/S32-S87/S39またはP90/S24-P97/S31をポート出力として使用 ： FA00H-FA1FH (32バイト) ・ P80/S32-S87/S39, P90/S24-P97/S31をセグメント出力として使用 ： FA00H-FA27H (40バイト)

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 特殊機能レジスタ（SFR：Special Function Register）の表3-4 特殊機能レジスタ一覧参照）。

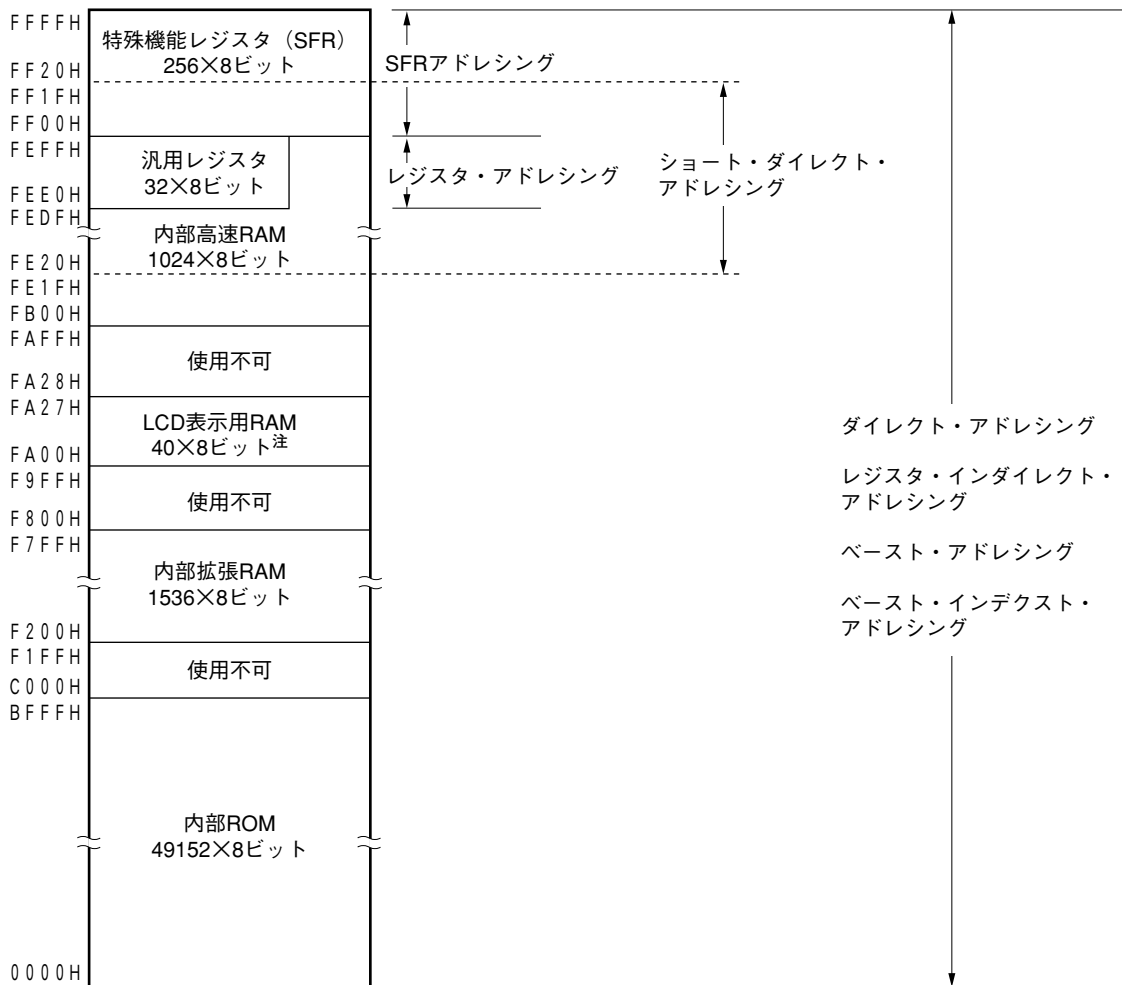
注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780318, 780328, 780338サブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-4から図3-6にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

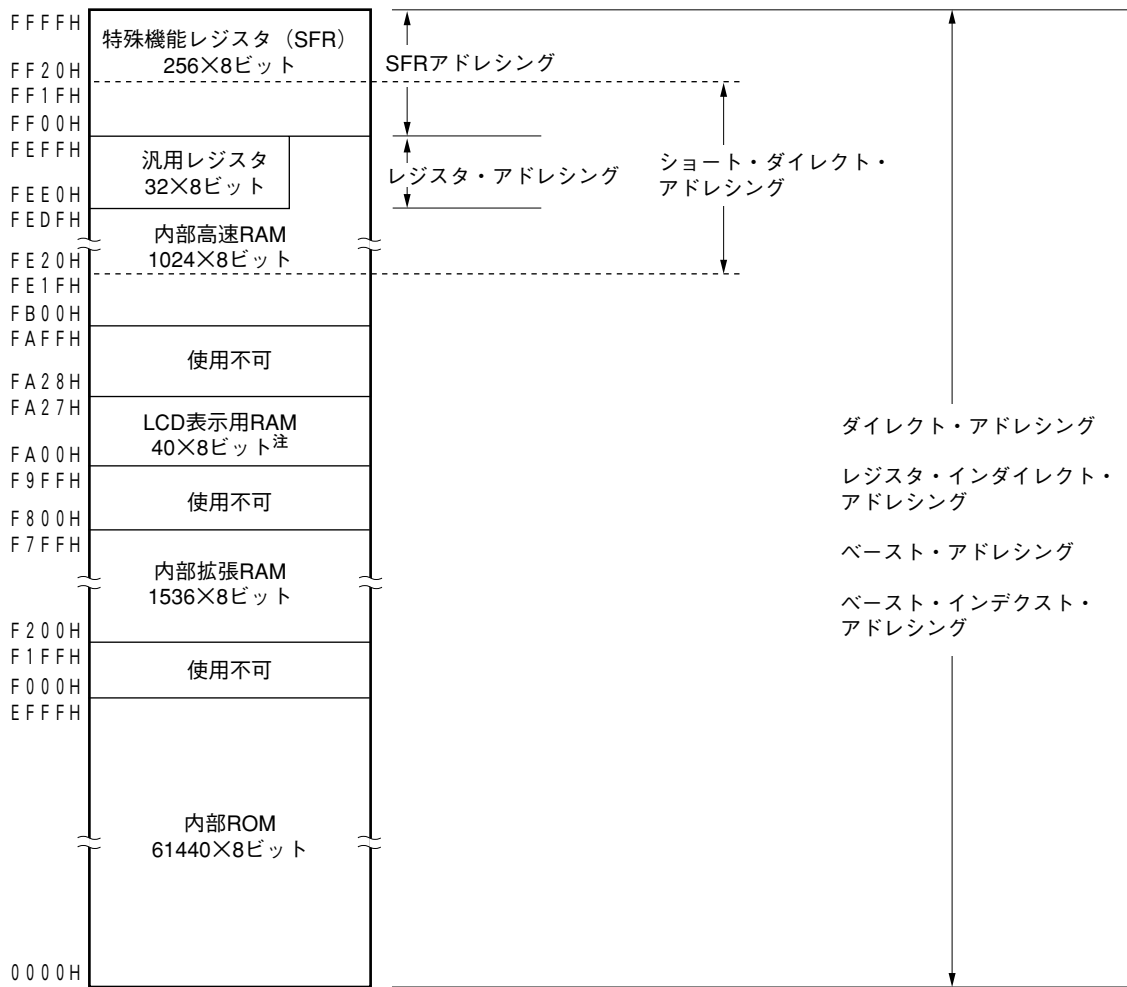
図3-4 データ・メモリのアドレッシング (μ PD780316, 780326, 780336)



注 LCD表示データとして使用できる領域は、製品によって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- μ PD780316 : FA00H-FA17H (24バイト)
- μ PD780326 : FA00H-FA1FH (32バイト)
- μ PD780336 : FA00H-FA27H (40バイト)

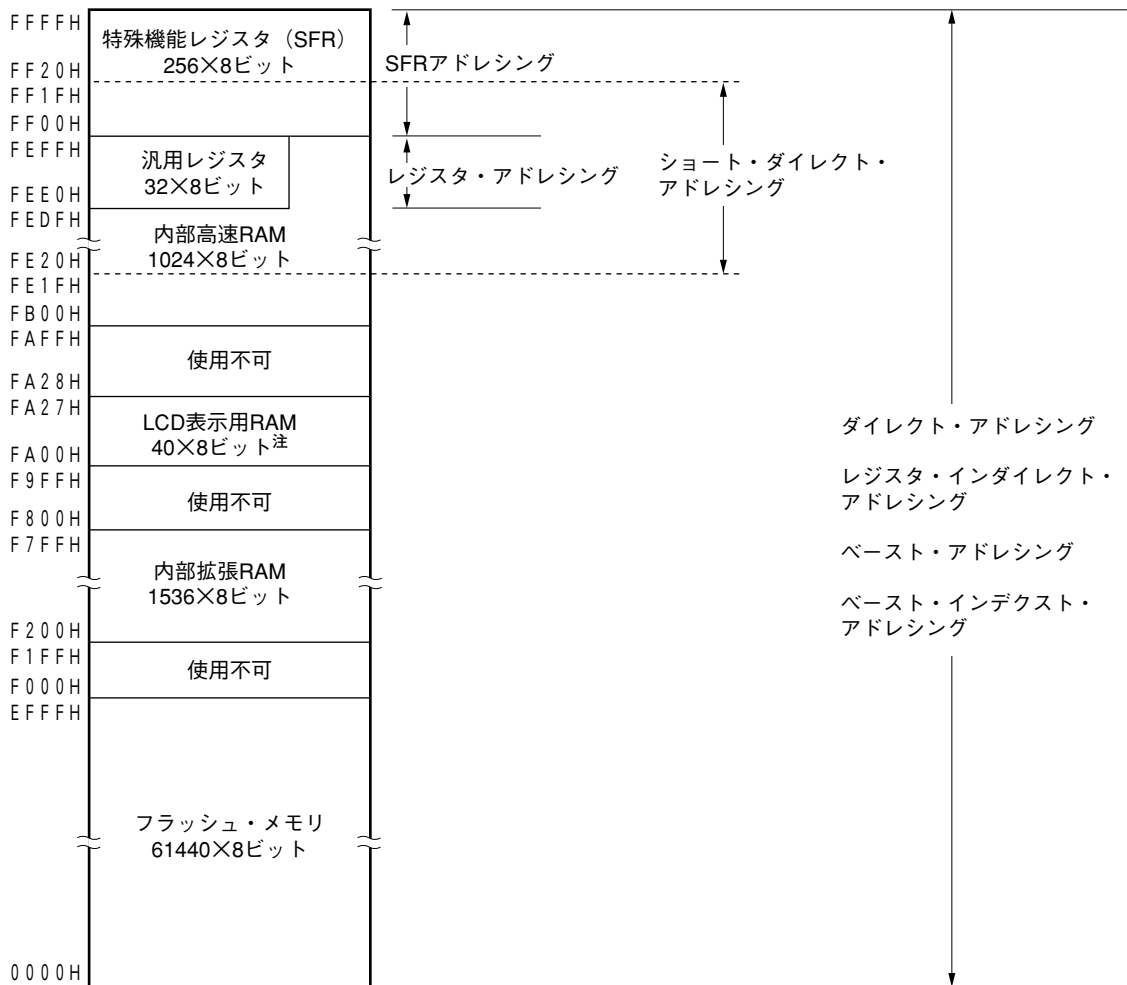
図3-5 データ・メモリのアドレッシング (μPD780318, 780328, 780338)



注 LCD表示データとして使用できる領域は、製品によって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- ・ μPD780318 : FA00H-FA17H (24バイト)
- ・ μPD780328 : FA00H-FA1FH (32バイト)
- ・ μPD780338 : FA00H-FA27H (40バイト)

図3-6 データ・メモリのアドレッシング (μPD78F0338)



注 LCD表示データとして使用できる領域は、P80/S32-S87/S39, P90/S24-P97/S31をポート出力として使用するか、セグメント出力として使用するかによって異なります。LCD表示データとして使用しない領域は通常のRAMとして使用できます。

- ・ P80/S32-S87/S39, P90/S24-P97/S31をポート出力として使用 : FA00H-FA17H (24バイト)
- ・ P80/S32-S87/S39またはP90/S24-P97/S31をポート出力として使用 : FA00H-FA1FH (32バイト)
- ・ P80/S32-S87/S39, P90/S24-P97/S31をセグメント出力として使用 : FA00H-FA27H (40バイト)

3.2 プロセッサ・レジスタ

μPD780318, 780328, 780338サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

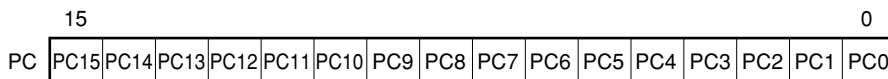
プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

RESET入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



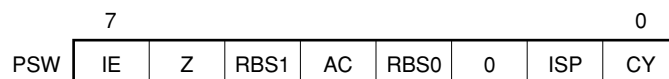
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

RESET入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサート・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ (ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (18.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

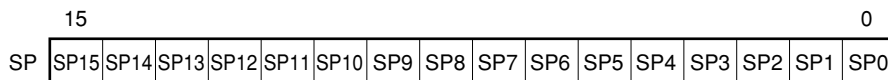
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FB00H-FEFFFH) のみ設定可能です。

図3-9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図3-10、3-11のようになります。

- ★ 注意 SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-10 スタック・メモリへ退避されるデータ

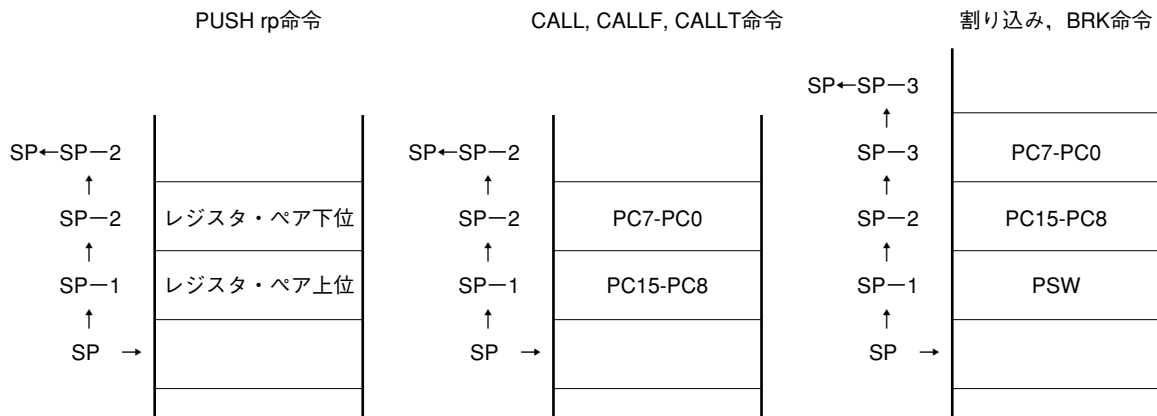
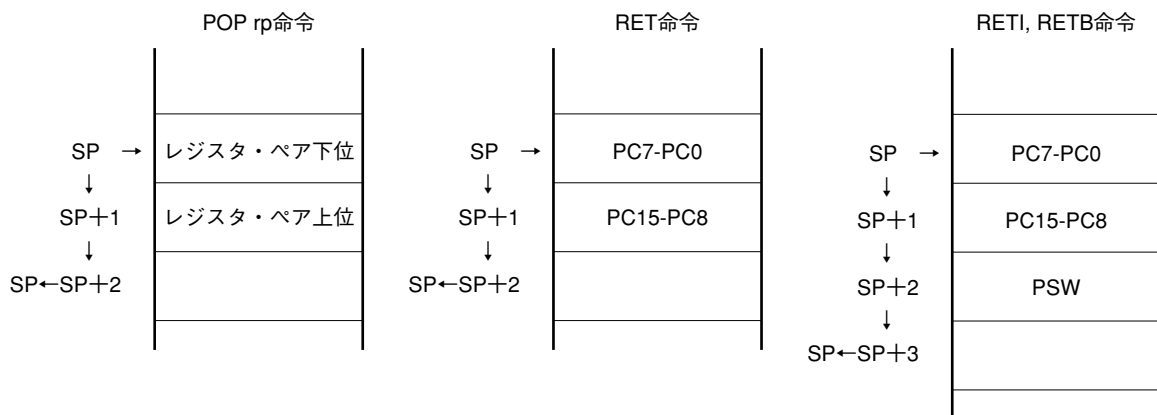


図3-11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

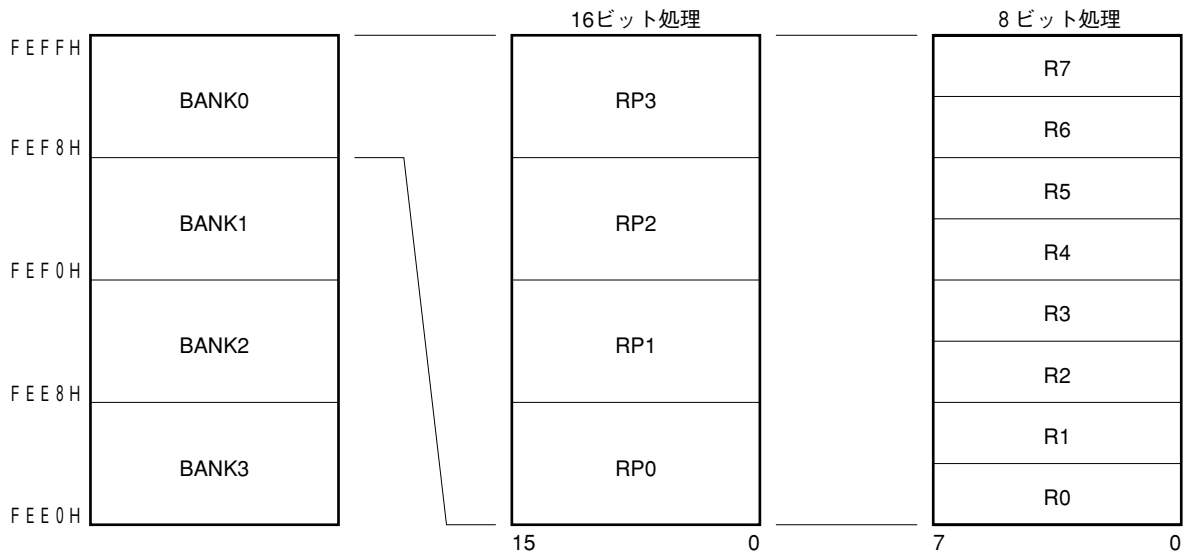
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

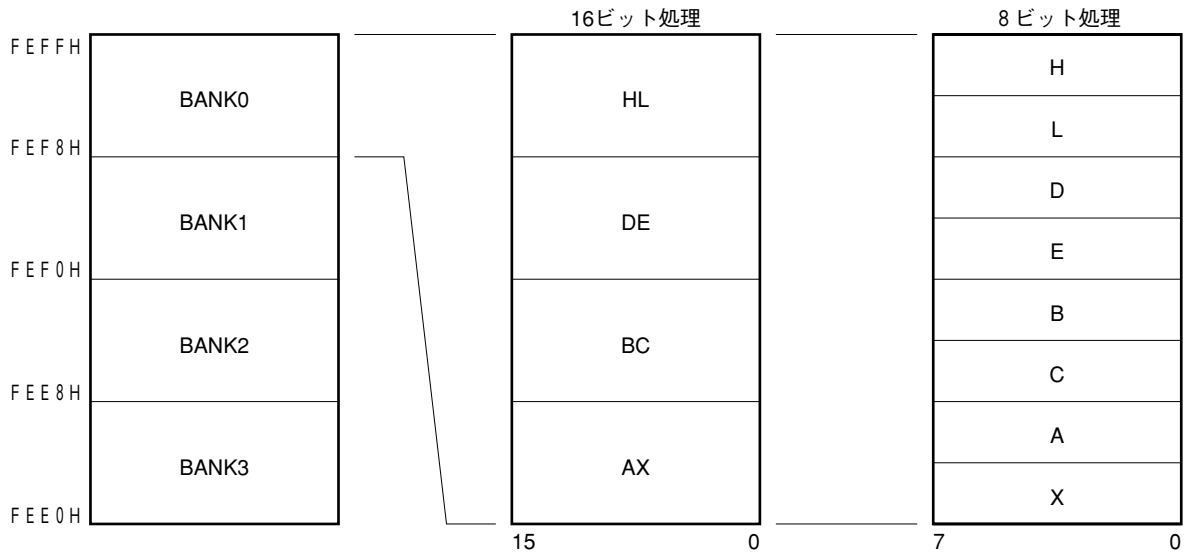
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3-12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。—は操作できないビット単位であることを示します。

- リセット時

RESET入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット値
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W	○	○	—	00H
FF01H	ポート1	P1	R	○	○	—	00H
FF02H	ポート2	P2	R/W	○	○	—	00H
FF03H	ポート3	P3	R/W	○	○	—	00H
FF04H	ポート4	P4	R/W	○	○	—	00H
FF05H	ポート5	P5	R/W	○	○	—	00H
FF06H	ポート6	P6	R/W	○	○	—	00H
FF07H	ポート7	P7	R/W	○	○	—	00H
★ FF08H	ポート8 ^{注1}	P8	R/W	○	○	—	00H
★ FF09H	ポート9 ^{注2}	P9	R/W	○	○	—	00H
FF0CH	ポート12	P12	R/W	○	○	—	00H
FF0EH	A/D変換結果レジスタ0	ADCR0	R	—	—	○	0000H
FF0FH							
FF10H	16ビット・タイマ・キャプチャ／	CR00	R/W	—	—	○	不定
FF11H	コンペア・レジスタ00						
FF12H	16ビット・タイマ・キャプチャ／	CR01	R/W	—	—	○	不定
FF13H	コンペア・レジスタ01						
FF14H	16ビット・タイマ・カウンタ0	TM0	R	—	—	○	0000H
FF15H							
FF16H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	—	○	—	不定
FF17H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	—	○	—	不定
FF18H	8ビット・タイマ・カウンタ50	TM50	R	—	○	—	00H
FF19H	8ビット・タイマ・カウンタ51	TM51	R	—	○	—	00H
FF1AH	シリアルI/Oシフト・レジスタ3	SIO3	R/W	—	○	—	不定
FF1BH	送信シフト・レジスタ0	TXS0	W	—	○	—	FFH
	受信バッファ・レジスタ0	RXB0	R	—	○	—	FFH
FF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH
FF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH
FF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH
FF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	—	FFH
FF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	—	FFH
FF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	—	FFH
FF28H	ポート・モード・レジスタ8 ^{注3}	PM8	W	—	○	—	FFH
FF29H	ポート・モード・レジスタ9 ^{注3}	PM9	W	—	○	—	FFH
FF2CH	ポート・モード・レジスタ12	PM12	R/W	○	○	—	FFH
FF30H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
FF32H	プルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	—	00H
FF33H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
FF34H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	00H
FF35H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
FF36H	プルアップ抵抗オプション・レジスタ6	PU6	R/W	○	○	—	00H
FF37H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H

注1. μ PD780316, 780318, 780326, 780328, 78F0338のみ2. μ PD780316, 780318, 78F0338のみ3. μ PD78F0338のみ

表3-4 特殊機能レジスタ一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット値
				1ビット	8ビット	16ビット	
FF38H	コレクション・アドレス・レジスタ0	CORAD0	R/W	—	—	○	0000H
FF39H							
FF3AH	コレクション・アドレス・レジスタ1	CORAD1	R/W	—	—	○	0000H
FF3BH							
FF3CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
FF40H	クロック出力選択レジスタ	CKS	R/W	○	○	—	00H
FF41H	時計用タイマ動作モード・レジスタ0	WTNM0	R/W	○	○	—	00H
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W	—	○	—	00H
FF47H	メモリ拡張モード・レジスタ	MEM	R/W	○	○	—	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W	○	○	—	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W	○	○	—	00H
FF58H	兼用切り替えレジスタ8 ^{注1}	PF8	W	—	○	—	00H
FF59H	兼用切り替えレジスタ9 ^{注1}	PF9	W	—	○	—	00H
FF60H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0	R/W	○	○	—	00H
FF61H	プリスケアラ・モード・レジスタ0	PRM0	R/W	—	○	—	00H
FF62H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0	R/W	○	○	—	00H
FF63H	16ビット・タイマ出力コントロール・レジスタ0	TOC0	R/W	○	○	—	00H
FF64H	16ビット・タイマ・コンペア・レジスタ4	CR4	R/W	—	—	○	不定
FF65H							
FF66H	16ビット・タイマ・カウンタ4	TM4	—	—	—	—	不定
FF67H							
FF68H	16ビット・タイマ・モード・コントロール・レジスタ4	TMC4	R/W	○	○	—	00H
FF70H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W	○	○	—	00H
FF71H	タイマ・クロック選択レジスタ50	TCL50	R/W	—	○	—	00H
FF73H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W	○	○	—	00H
FF74H	タイマ・クロック選択レジスタ51	TCL51	R/W	—	○	—	00H
FF76H	8ビット・タイマ・モード・コントロール・レジスタ52	TMC52	R/W	○	○	—	00H
FF77H	タイマ・クロック選択レジスタ52	TCL52	R/W	—	○	—	00H
FF79H	8ビット・タイマ・コンペア・レジスタ52	CR52	R/W	—	○	—	不定
FF7AH	8ビット・タイマ・カウンタ52	TM52	R	—	○	—	00H
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W	○	○	—	00H
FF81H	アナログ入力チャネル指定レジスタ0	ADS0	R/W	—	○	—	00H
FF82H	D/Aコンバータ・モード・レジスタ0	DAM0	R/W	○	○	—	00H
FF83H	D/A変換値設定レジスタ0	DA0	R/W	—	○	—	00H
FF8AH	コレクション・コントロール・レジスタ	CORCN	R/W	○	○	—	00H
FF8FH	キー・リターン切り替えレジスタ	KRSEL	R/W ^{注2}	○	○	—	00H
FF90H	LCD表示モード・レジスタ3	LCDM3	R/W	○	○	—	00H
FF91H	LCDクロック制御レジスタ3	LCDC3	R/W	—	○	—	00H
FF92H	スタティック/ダイナミック表示切り替えレジスタ3	SDSEL3	R/W	—	○	—	00H
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W	○	○	—	00H
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R	—	○	—	00H
FFA2H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W	—	○	—	00H

注1. μ PD78F0338のみ。PF8, PF9はリセット後に1回のみ設定可能です。設定を変更する場合は、リセットをしてから行ってください。

2. KRSELにアクセスできますが、リード値は保証しません。

表3-4 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット値
					1ビット	8ビット	16ビット	
FFAFH	シリアル動作モード・レジスタ3	CSIM3		R/W	○	○	—	00H
FFB0H	シリアル動作モード・レジスタ1	CSIM1		R/W	○	○	—	00H
FFB1H	シリアル・クロック選択レジスタ1	CSIC1		R/W	○	○	—	10H
FFB2H	シリアルI/Oシフト・レジスタ1	SIO1		R	—	○	—	不定
FFB4H	送信バッファ・レジスタ1	SOTB1		R/W	—	○	—	不定
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W	○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W	○	○		00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		R/W	○	○	—	00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W	○	○	○	FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W	○	○		FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		R/W	○	○	—	FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W	○	○	○	FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W	○	○		FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		R/W	○	○	—	FFH
FFF0H	メモリ・サイズ切り替えレジスタ ^{注2}	IMS		R/W	—	○	—	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注3}	IXS		R/W	○	○	—	0CH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		R/W	○	○	—	00H
FFFAH	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W	○	○	—	04H

注1. 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780316, 780326, 780336 : CCH

μPD780318, 780328, 780338 : CFH

μPD78F0338 : マスクROM製品に対応した値

2. 初期値は0CHですが、09Hを設定して使用してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

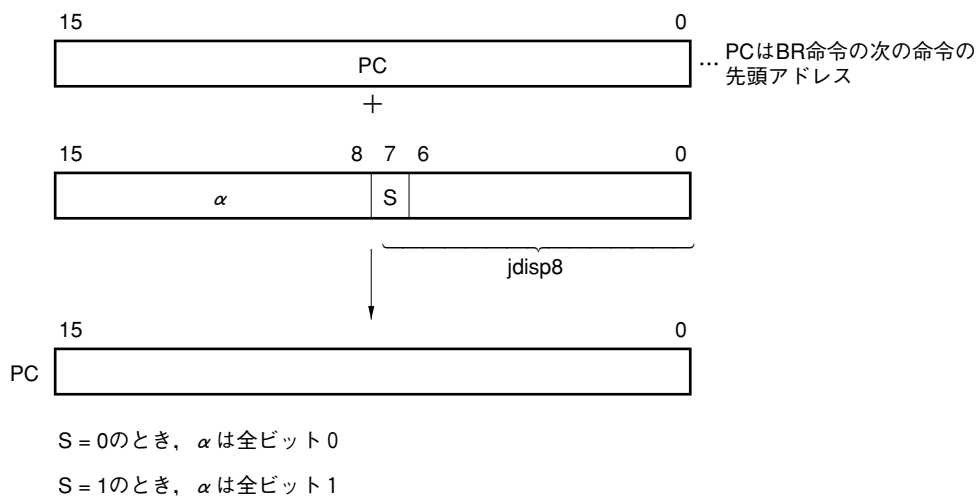
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

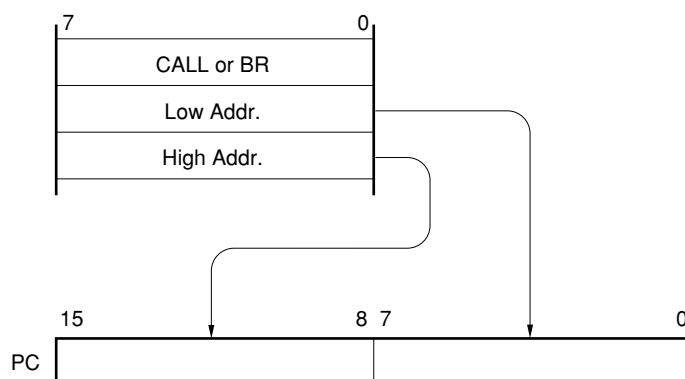
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

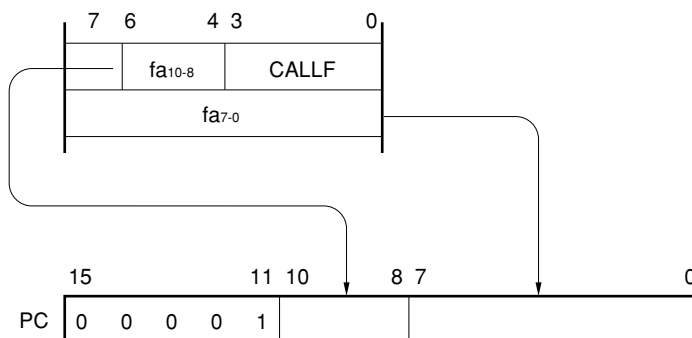
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



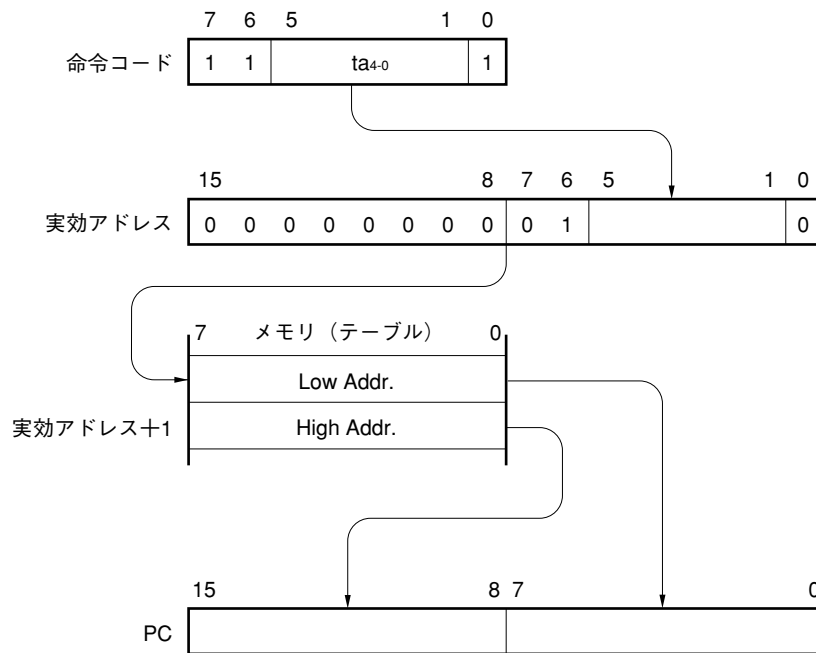
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



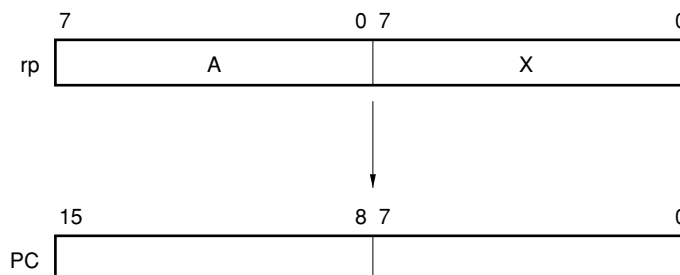
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780318, 780328, 780338サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

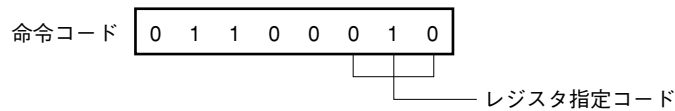
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

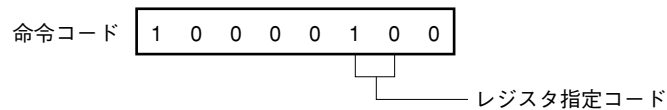
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

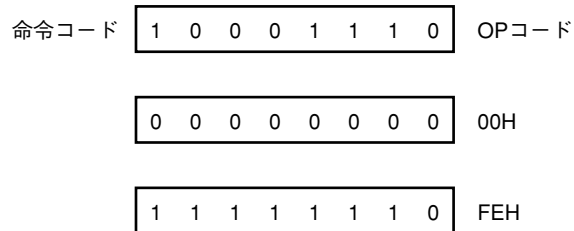
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

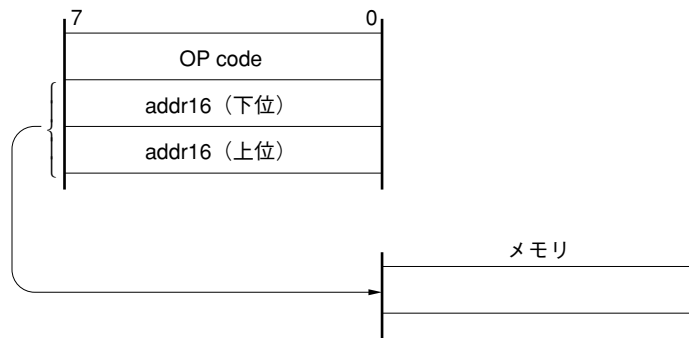
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

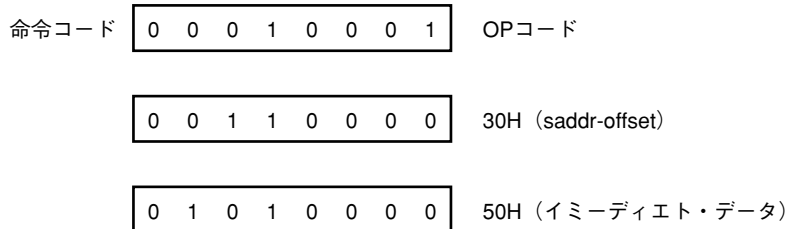
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

【オペランド形式】

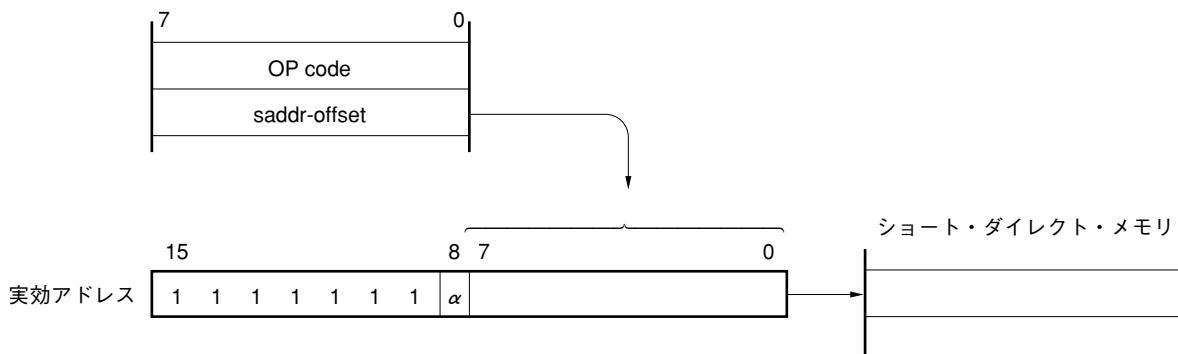
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき、α = 0

8ビット・イミディエト・データが00H-1FHのとき、α = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

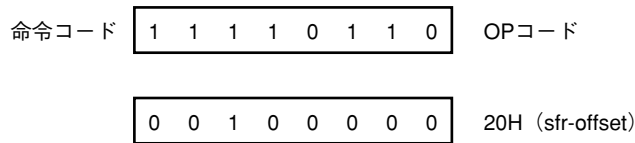
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

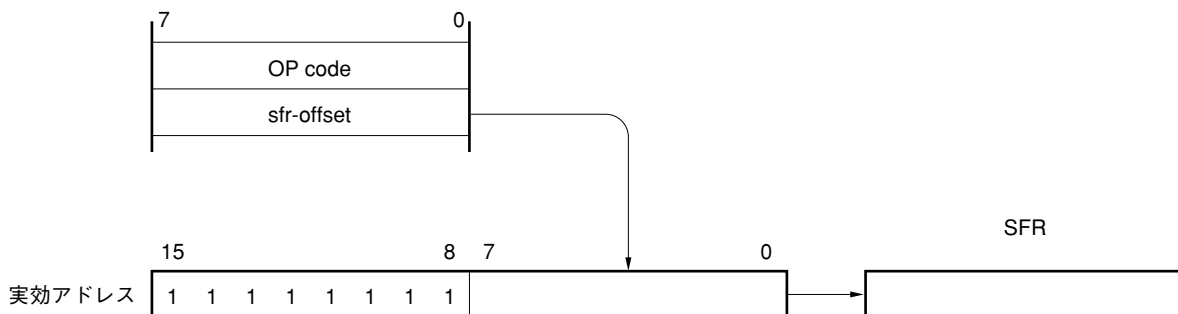
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]

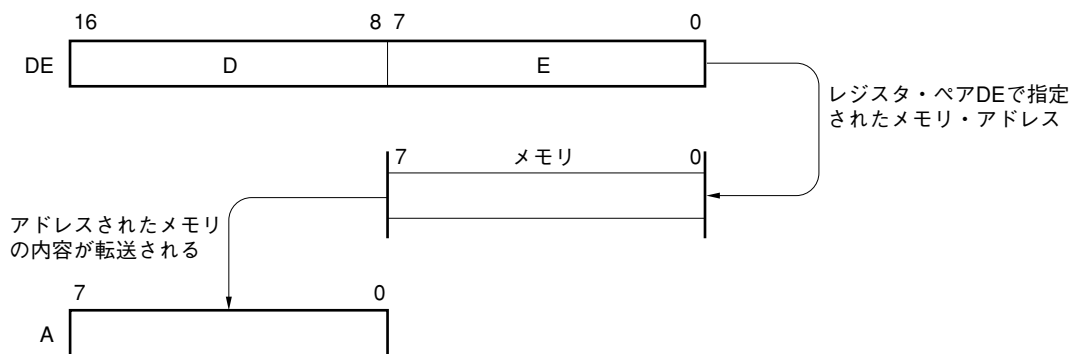
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード	1 0 1 0 1 1 1 0
	0 0 0 1 0 0 0 0

3.4.8 ベースト・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B] の場合

命令コード

1 0 1 0 1 0 1 1

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの回避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1 0 1 1 0 1 0 1

第4章 ポート機能

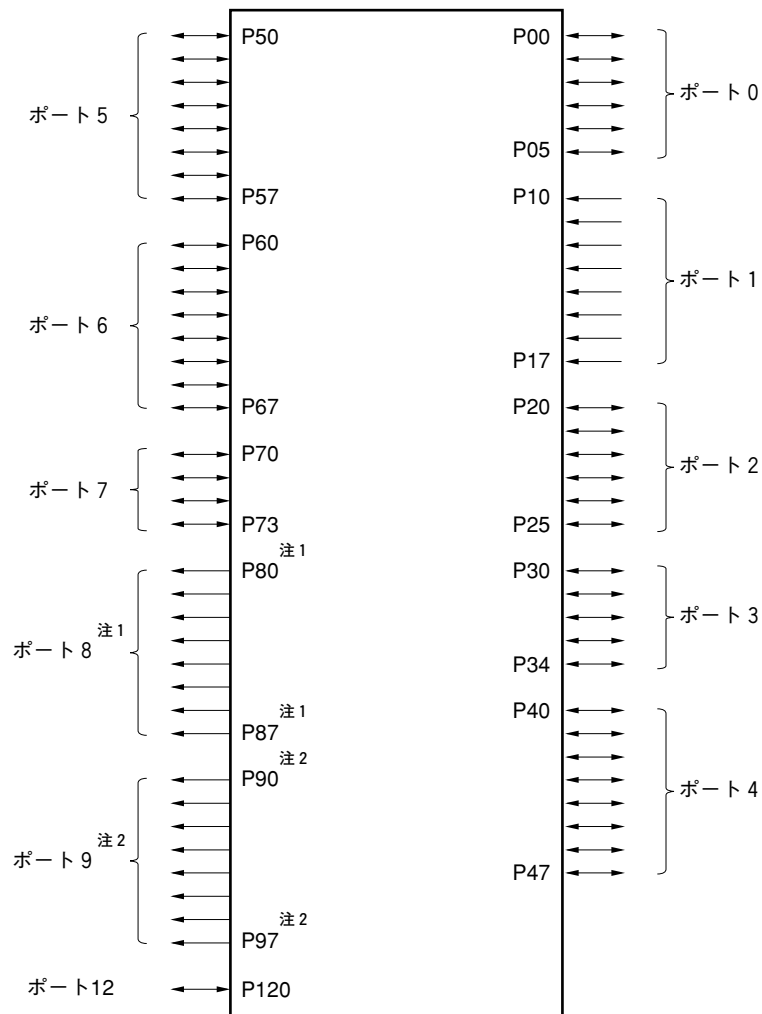
4.1 ポートの機能

μPD780318, 780328, 780338サブシリーズは、入力ポート、出力ポート、入出力ポートを表4-1のように内蔵しています。図4-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様に制御できます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

表4-1 ポートの種類

	入力端子	出力端子	入出力端子
μPD780316, 780318, 78F0338	8本	16本	46本
μPD780326, 780328		8本	
μPD780336, 780338		なし	

図4-1 ポートの種類



注1. μ PD780336, 780338はポート8を内蔵していません。

2. μ PD780326, 780328, 780336, 780338はポート9を内蔵していません。

表4-2 ポートの機能 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入出力	ポート0。		入力	INTP0
P01		6ビット入出力ポート。			INTP1
P02		1ビット単位で入力/出力の指定可能。			INTP2
P03		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			INTP3/ADTRG
P04					INTP4
P05					INTP5/BUZ/PCL
P10-P17	入力	ポート1。 8ビット入力専用ポート。		入力	ANI0-ANI7
P20	入出力	ポート2。		入力	RxD0/SI3
P21		6ビット入出力ポート。			TxD0/SO3
P22		1ビット単位で入力/出力の指定可能。			SCK3
P23		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			SI1
P24					SO1
P25					SCK1
P30	入出力	ポート3。		入力	TO0
P31		5ビット入出力ポート。			TI00
P32		1ビット単位で入力/出力の指定可能。			TI01
P33		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			TO50/TI50
P34					TO51/TI51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入力	—
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。		入力	—
P60-P63	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。LEDを直接駆動可能。		入力	—
P64-P67		中耐圧N-chオープン・ドレイン入出力ポート。マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			
P70	入出力	ポート7。		入力	TO4
P71		4ビット入出力ポート。			TI4
P72		1ビット単位で入力/出力の指定可能。			TO52
P73		ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。			TI52

表4-2 ポートの機能 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P80-P87 ^注	出力	ポート8。 8ビット出力専用ポート。	出力	S32-S39 ^注
P90-P97 ^注	出力	ポート9。 8ビット出力専用ポート。	出力	S24-S31 ^注
P120	入出力	ポート12。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により内蔵プルアップ抵抗を使用可能。	入力	AO0

注 ポート8, 9は, 製品によって異なります。

	ポート8	ポート9
μPD780316, 780318	P80-P87 (兼用端子なし)	P90-P97 (兼用端子なし)
μPD780326, 780328		なし
μPD780336, 780338	なし	
μPD78F0338	P80/S32-P87/S39	P90/S24-P97/S31

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm: m = 0, 2-7, 8 ^注 , 9 ^注 , 12) プルアップ抵抗オプション・レジスタ (PUm: m = 0, 2-7, 12) メモリ拡張レジスタ (MEM) キー・リターン切り替えレジスタ (KRSEL) 兼用切り替えレジスタ 8, 9 (PF8, PF9) ^注
ポート	<ul style="list-style-type: none"> ・ μPD780316, 780318, 78F0338 合計: 70本 (入力: 8本, 出力: 16本, 入出力: 46本) ・ μPD780326, 780328 合計: 62本 (入力: 8本, 出力: 8本, 入出力: 46本) ・ μPD780336, 780338 合計: 54本 (入力: 8本, 出力: 46本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ マスクROM製品 合計: 46本 (ソフトウェア制御: 42本, マスク・オプション指定: 4本) ・ フラッシュ・メモリ製品 合計: 42本 (ソフトウェア制御: 42本)

注 μ PD78F0338のみ

4.2.1 ポート0

出力ラッチ付き6ビット入出力ポートです。P00-P05端子は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード/出力モードの指定ができます。P00-P05端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

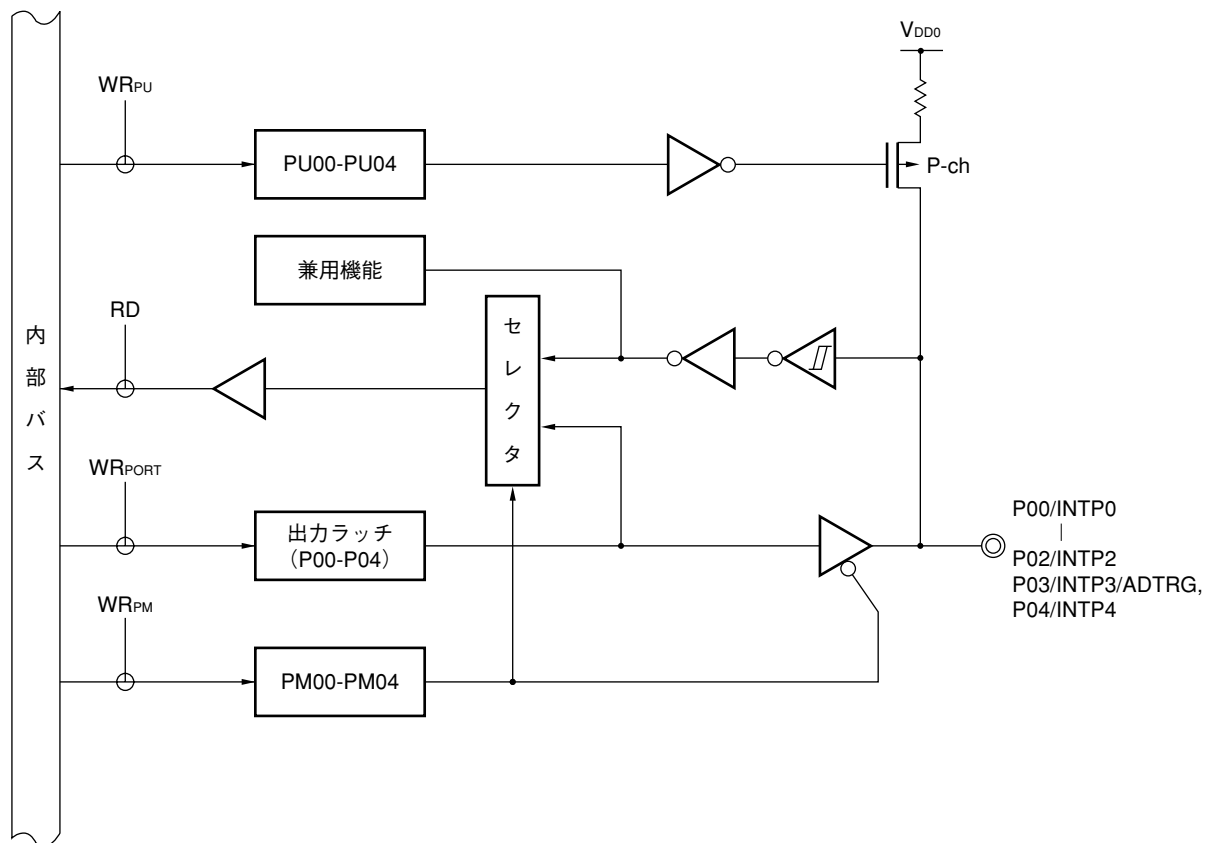
また、兼用機能として外部割り込み要求入力、A/Dコンバータの外部トリガ入力、クロック出力、ブザー出力があります。

RESET入力により、入力モードになります。

図4-2, 4-3にポート0のブロック図を示します。

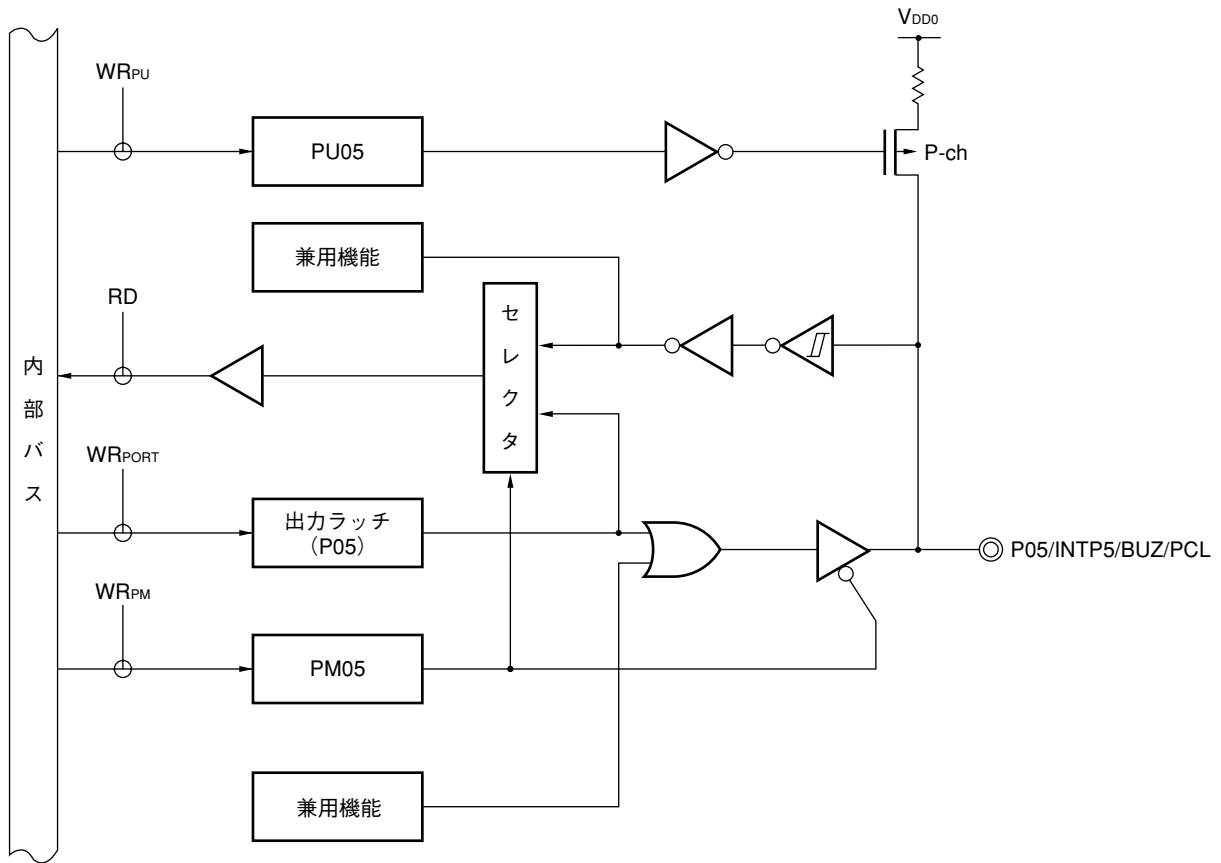
注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4-2 P00-P04のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

図4-3 P05のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

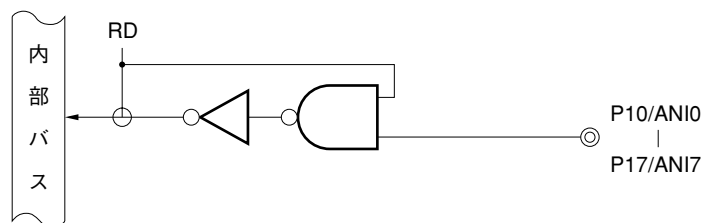
4.2.2 ポート1

8ビット入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4-4にポート1のブロック図を示します。

図4-4 P10-P17のブロック図



RD : ポート1のリード信号

4.2.3 ポート2

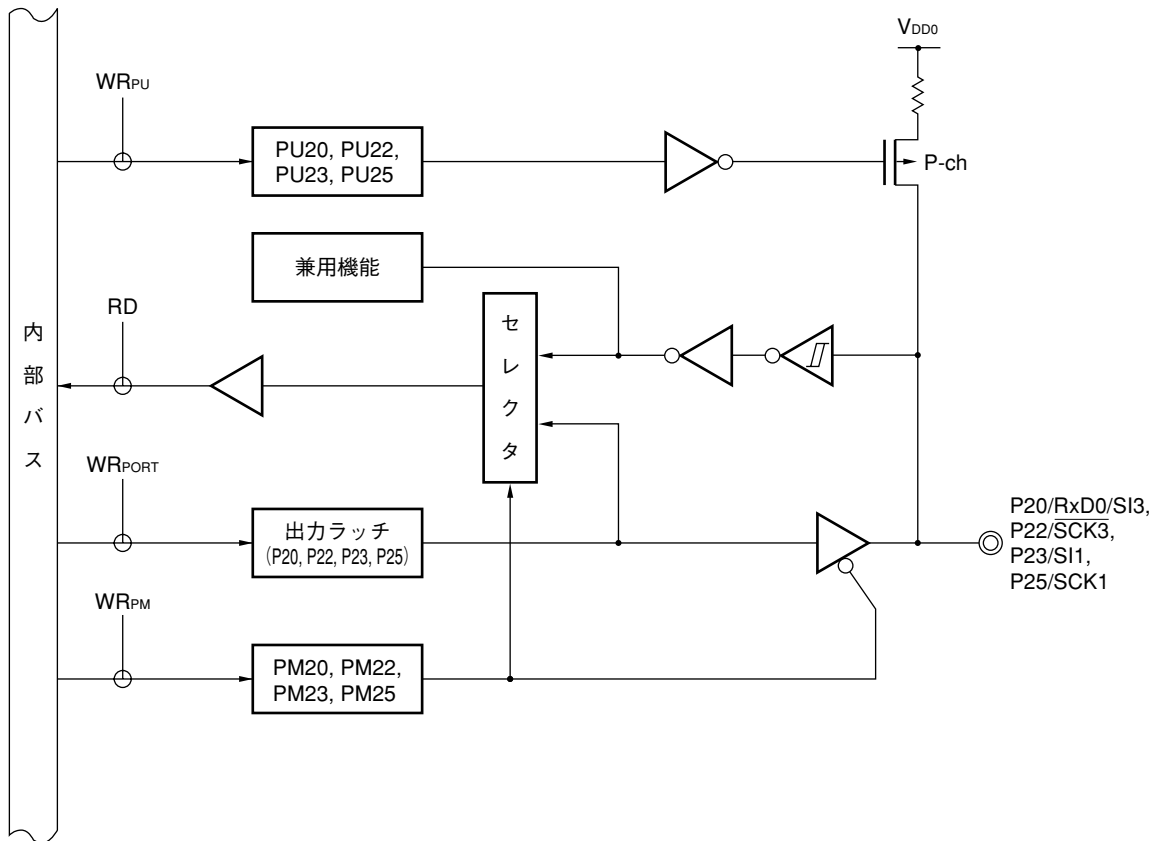
出力ラッチ付き6ビット入出力ポートです。P20-P25端子は、ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力モード/出力モードの指定ができます。P20-P25端子は、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-5、4-6にポート2のブロック図を示します。

図4-5 P20, P22, P23, P25のブロック図



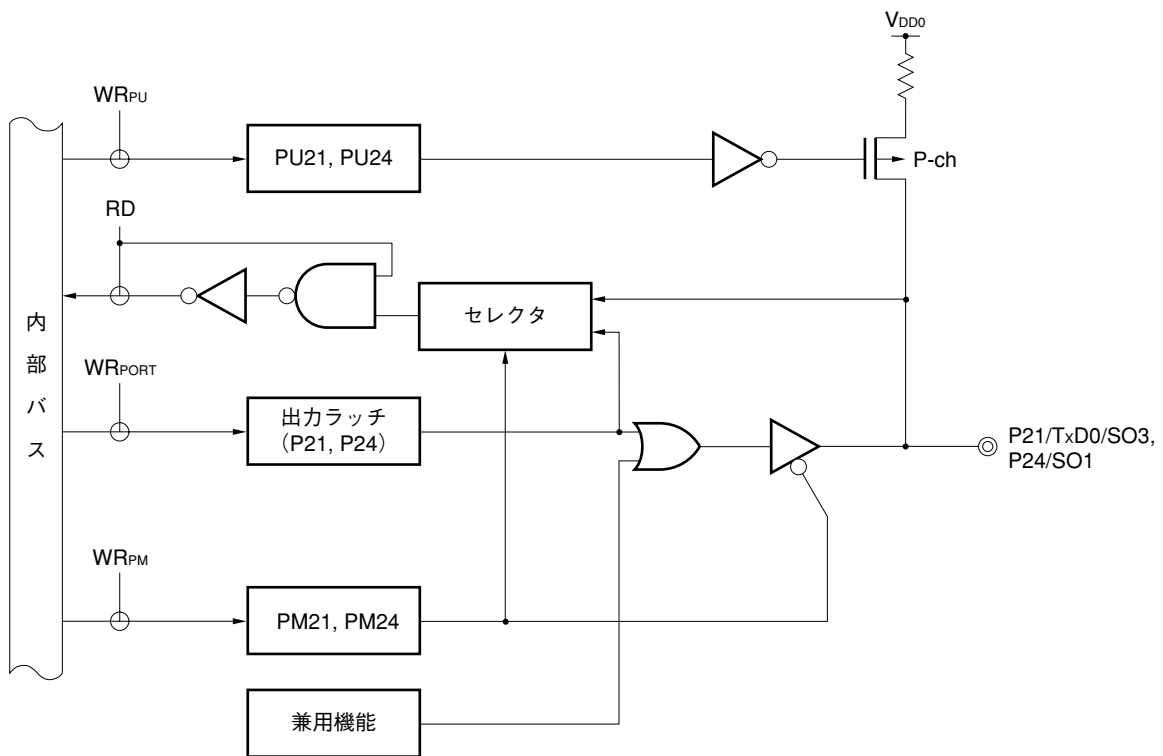
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4-6 P21, P24のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

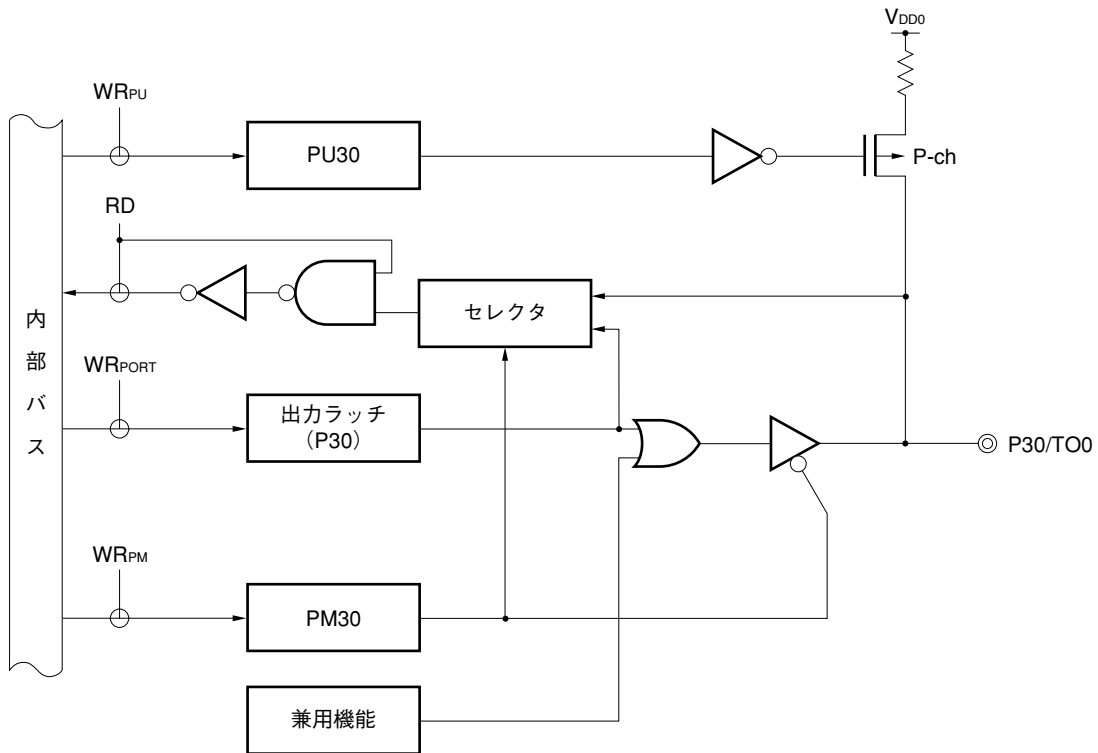
出力ラッチ付き5ビット入出力ポートです。P30-P34端子は、ポート・モード・レジスタ3（PM3）により、1ビット単位で入力モード／出力モードの指定ができます。P30-P34端子は、プルアップ抵抗オプション・レジスタ3（PU3）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-7～4-9にポート3のブロック図を示します。

図4-7 P30のブロック図



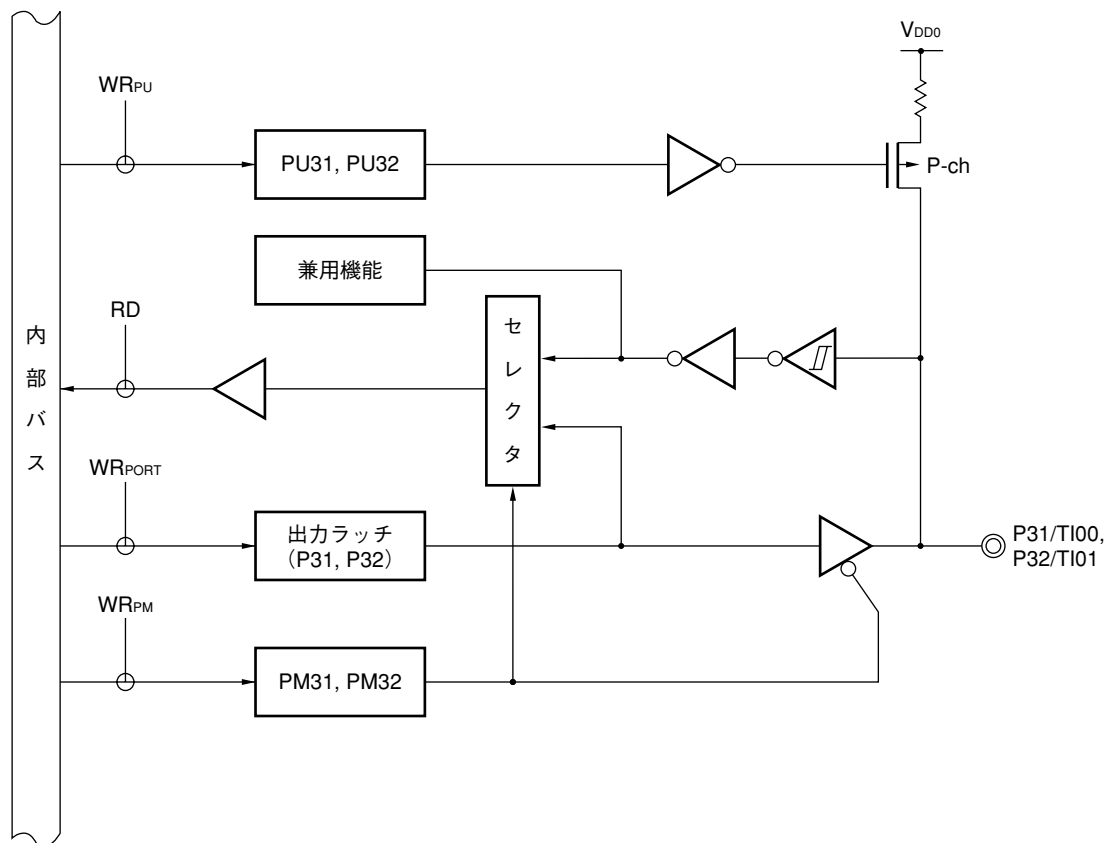
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

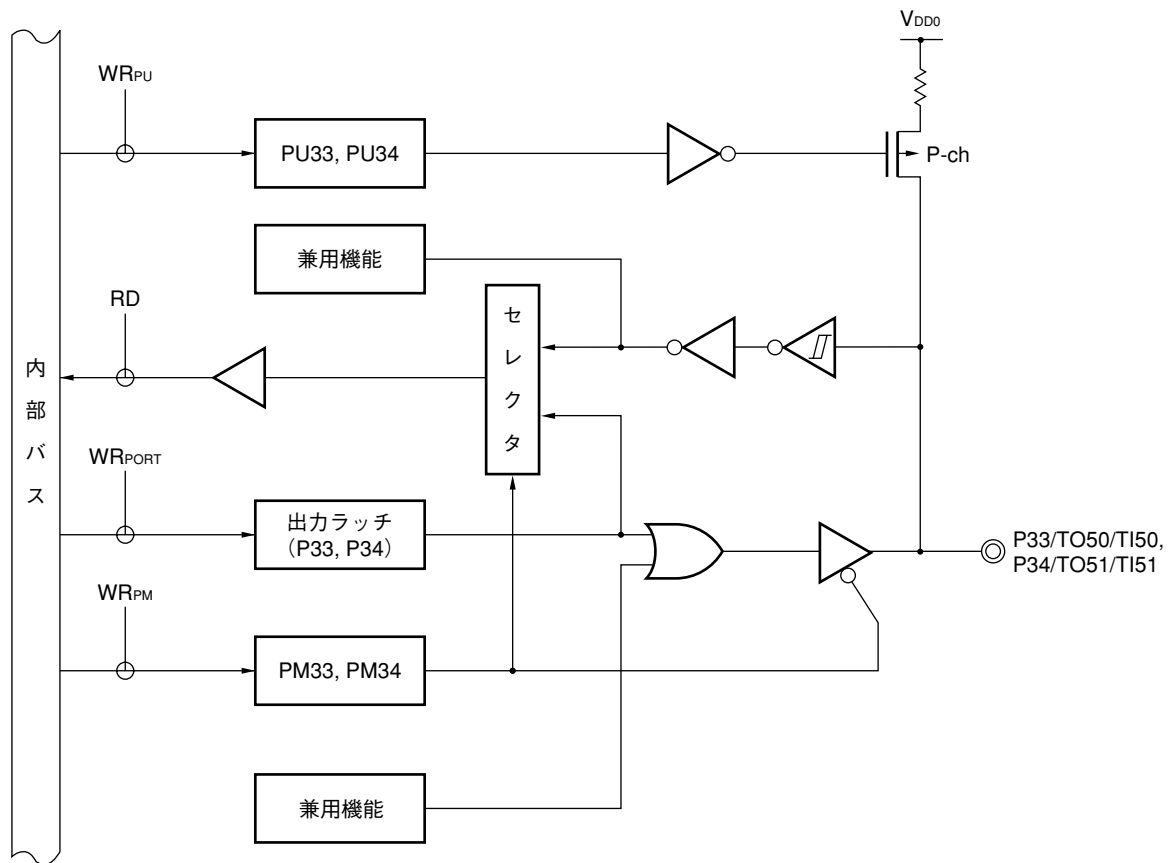
WR : ポート3のライト信号

図4-8 P31, P32のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図4-9 P33, P34のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

4.2.5 ポート4

出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4（PM4）により、1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子は、プルアップ抵抗オプション・レジスタ4（PU4）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

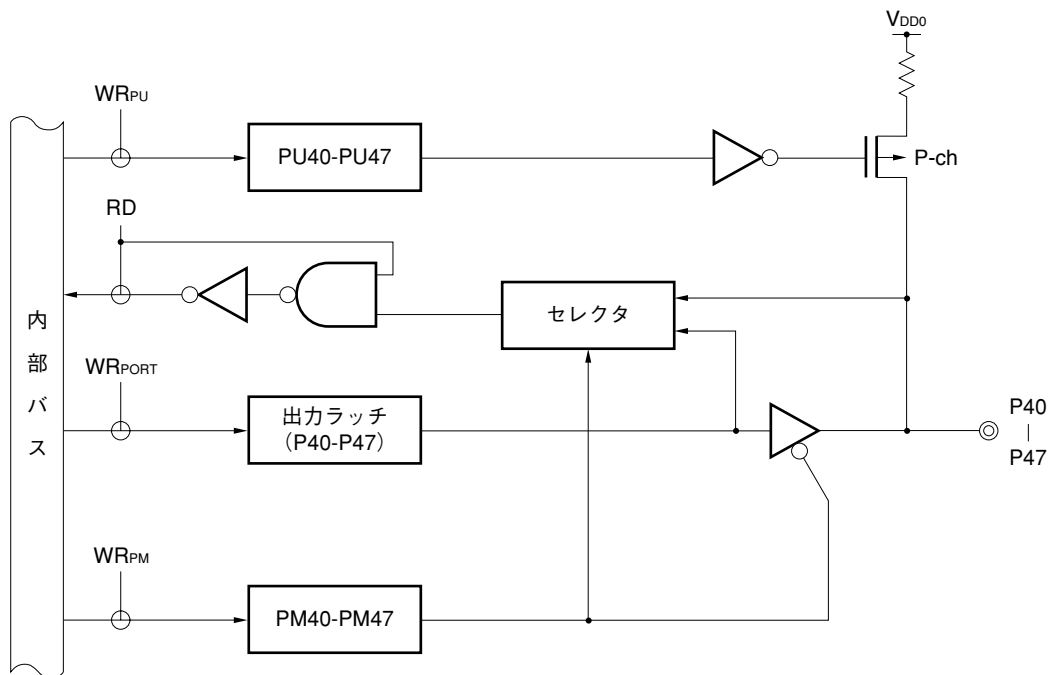
また、立ち下がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセットできます。立ち下がりエッジを検出するポートの本数は、キー・リターン切り替えレジスタ（KRSEL）のビット0（KRSEL0）により、4本（P40-P43）または8本（P40-P47）のどちらかを選択できます。

RESET入力により、入力モードになります。

図4-10にポート4のブロック図、図4-11に立ち下がりエッジ検出回路のブロック図を示します。

- 注意1. 立ち下がりエッジ検出割り込み（INTKR）を使用する場合、メモリ拡張モード・レジスタ（MEM）を必ず01Hに設定してください。
2. キー・リターン本数を4本に選択した場合、キー・リターン機能をインサーキット・エミュレータで評価できません。

図4-10 P40-P47のブロック図



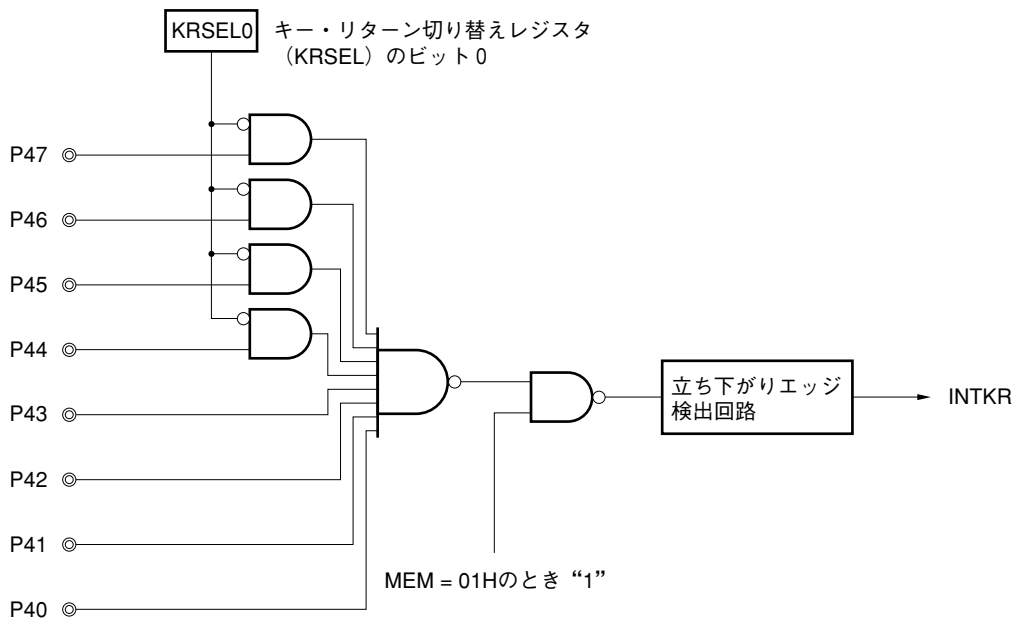
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

図4-11 立ち下がりエッジ検出回路のブロック図



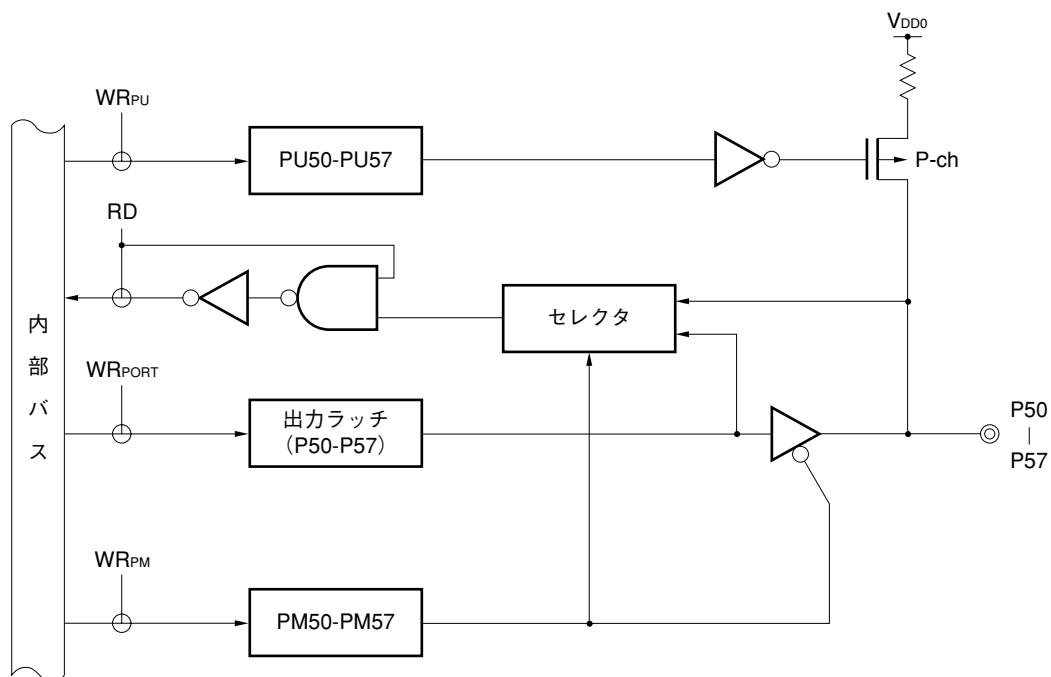
4.2.6 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5（PM5）により、1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子は、プルアップ抵抗オプション・レジスタ5（PU5）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-12にポート5のブロック図を示します。

図4-12 P50-P57のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.7 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6（PM6）により、1ビット単位で入力モード／出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートの上位4ビット／下位4ビット、およびマスクROM製品／フラッシュ・メモリ製品によって異なります。

表4-4 ポート6のプルアップ抵抗

	上位4ビット (P64-P67端子)	下位4ビット (P60-P63端子)
マスクROM製品	PU6により、1ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより1ビット単位でプルアップ抵抗内蔵可能
フラッシュ・メモリ製品		プルアップ抵抗を内蔵していない

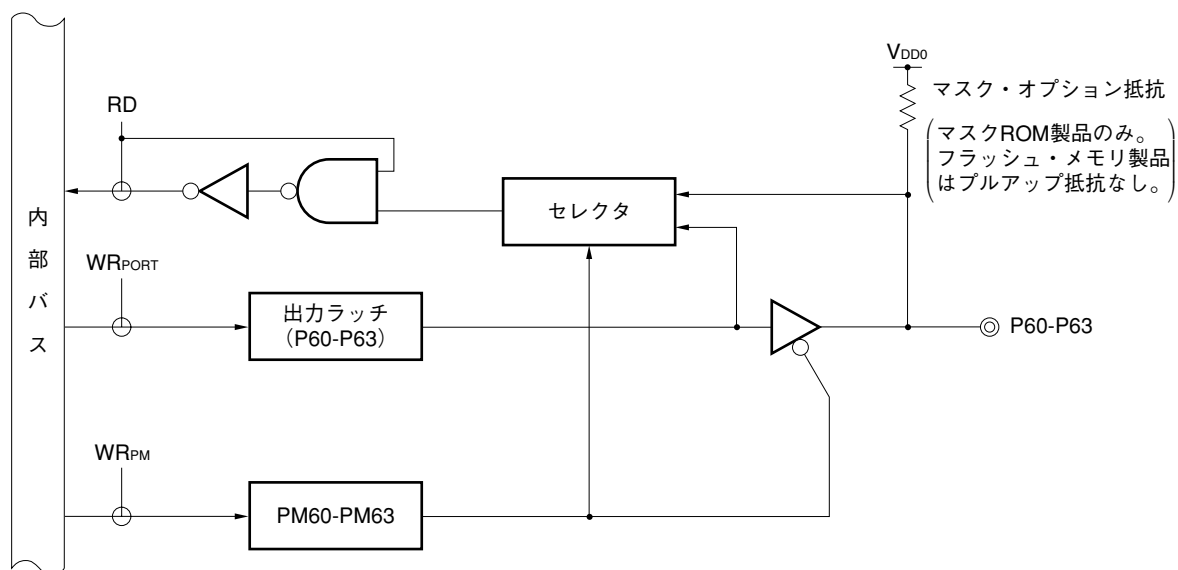
PU6：プルアップ抵抗オプション・レジスタ6

P60-P67端子はLEDを直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

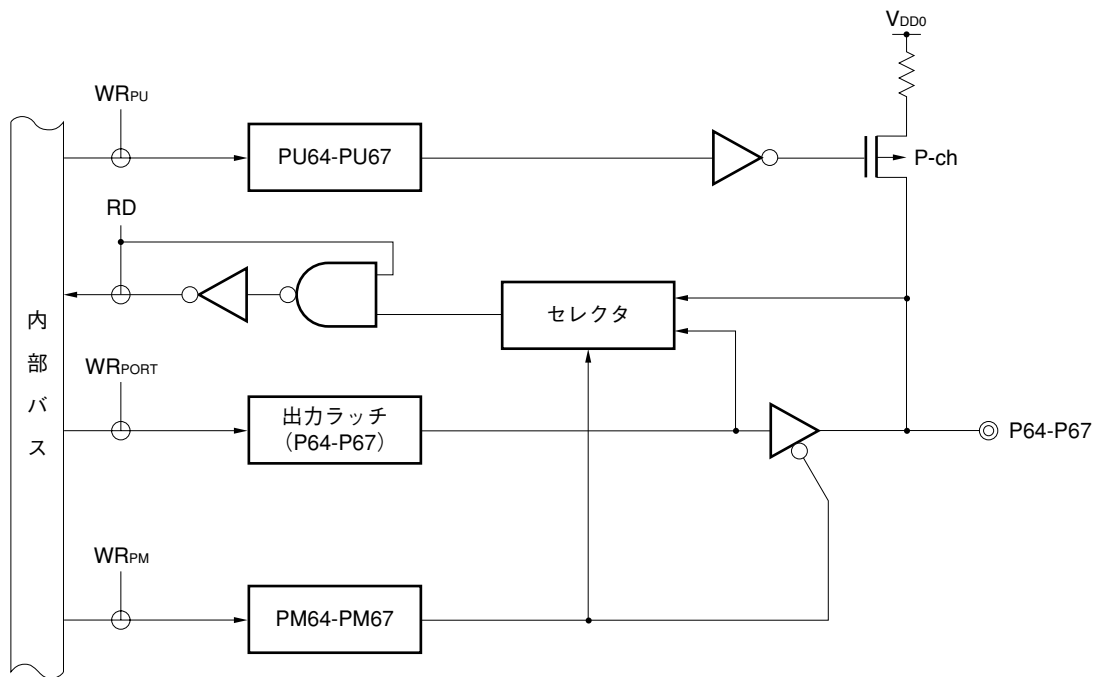
図4-13、4-14にポート6のブロック図を示します。

図4-13 P60-P63のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート6のリード信号
- WR : ポート6のライト信号

図4-14 P64-P67のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート6のリード信号
- WR : ポート6のライト信号

4.2.8 ポート7

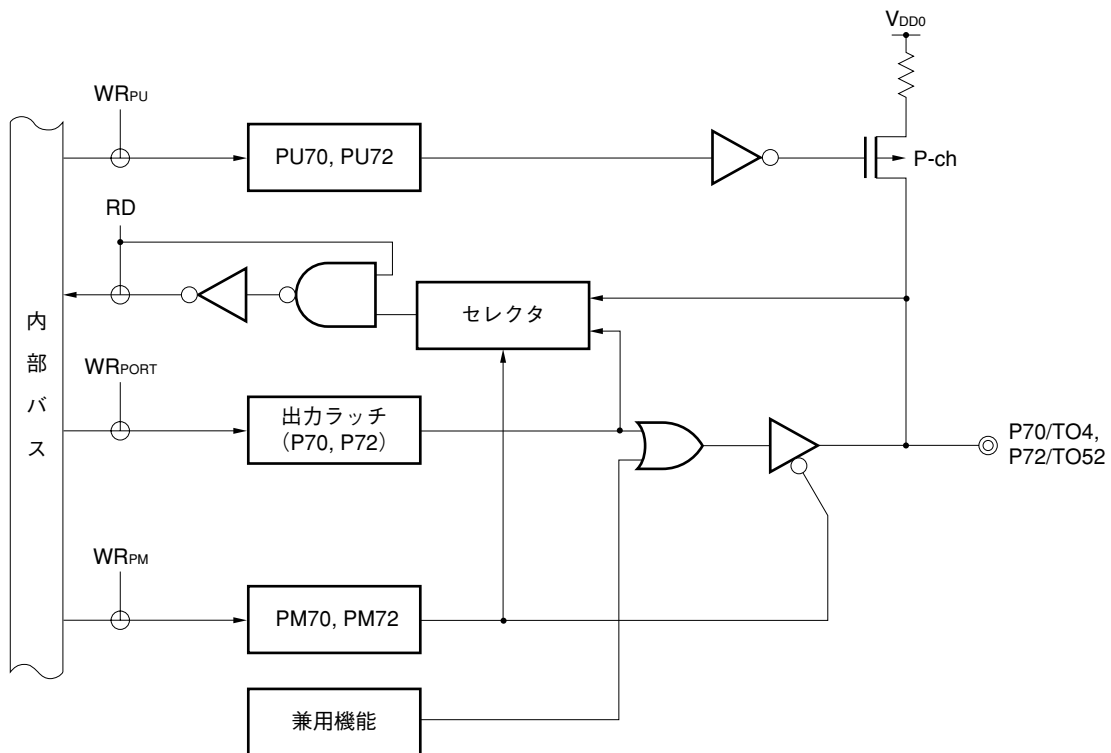
出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力モード/出力モードの指定ができます。P70-P73端子は、プルアップ抵抗オプション・レジスタ7 (PU7) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-15、4-16にポート7のブロック図を示します。

図4-15 P70, P72のブロック図



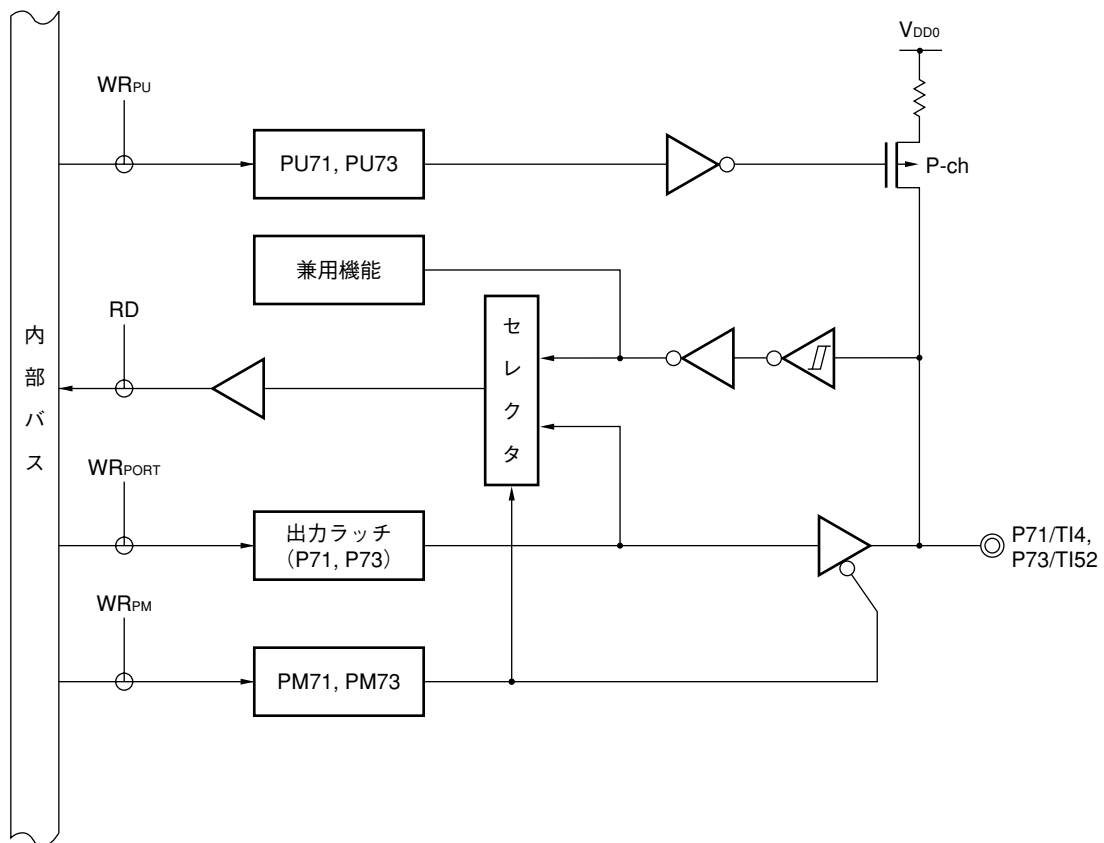
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

図4-16 P71, P73のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

4.2.9 ポート8, 9 (マスクROM製品)

8ビット出力専用ポートです。

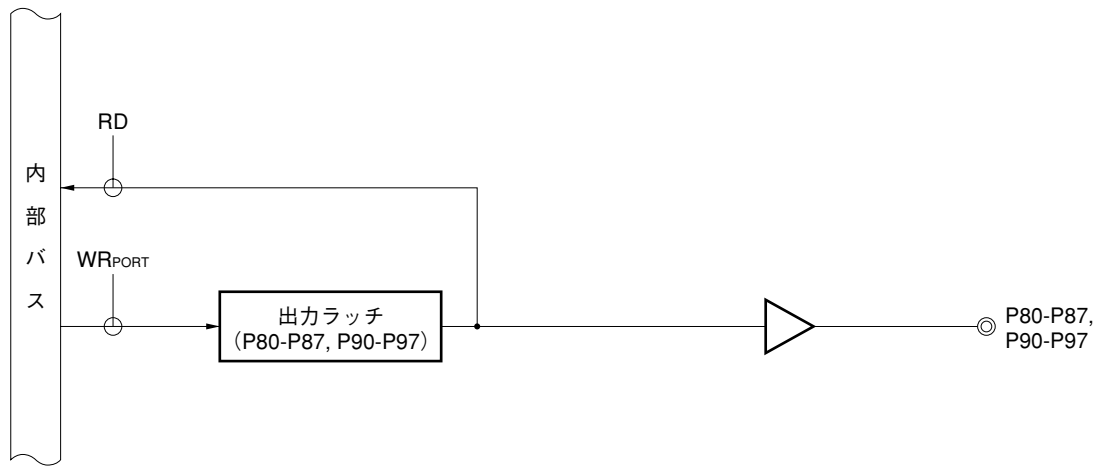
ポート8, 9は, 製品によって異なります。

表4-5 マスクROM製品のポート8, 9

	ポート8	ポート9
μPD780316, 780318	P80-P87 (兼用端子なし)	P90-P97 (兼用端子なし)
μPD780326, 780328		なし
μPD780336, 780338	なし	

図4-17にポート8, 9のブロック図を示します。

図4-17 P80-P87, P90-P97のブロック図 (マスクROM製品)



RD : ポート8, 9のリード信号

WR : ポート8, 9のライト信号

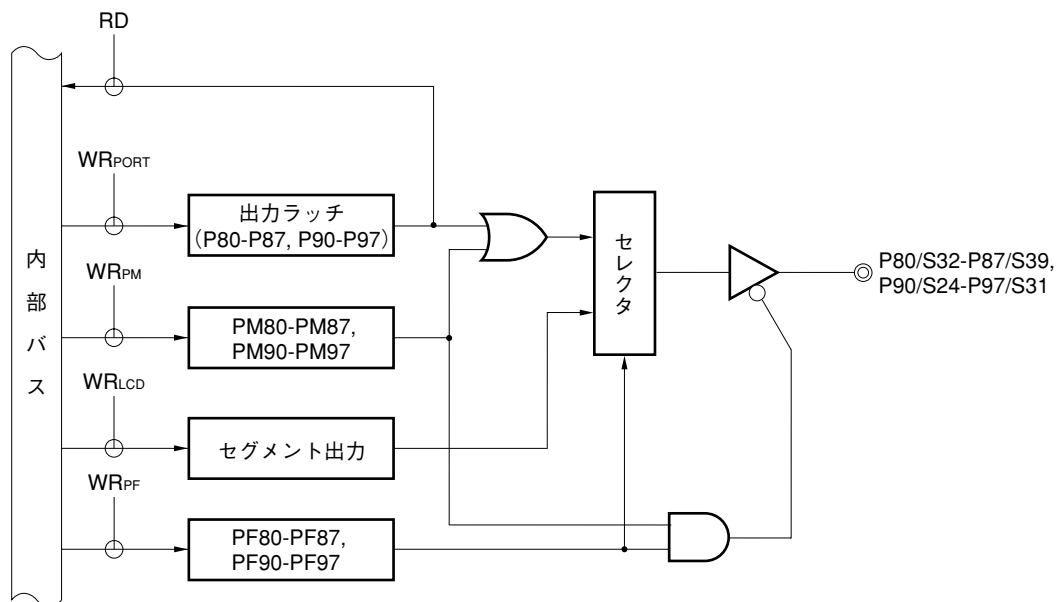
4.2.10 ポート8, 9 (フラッシュ・メモリ製品)

8ビット出力専用ポートです。

また、兼用機能としてLCDコントローラ/ドライバのセグメント出力があります。

図4-18にポート8, 9のブロック図を示します。

★ 図4-18 P80-P87, P90-P97のブロック図 (フラッシュ・メモリ製品)



- PF : 兼用切り替えレジスタ
- PM : ポート・モード・レジスタ
- RD : ポート8, 9のリード信号
- WR : ポート8, 9のライト信号

注意 ポート8, 9を出力専用のポート端子として使用する場合、使用するポートの兼用切り替えレジスタ (PF8, PF9) にFFHを、ポート・モード・レジスタ (PM8, PM9) に00Hを設定してください。

4.2.11 ポート12

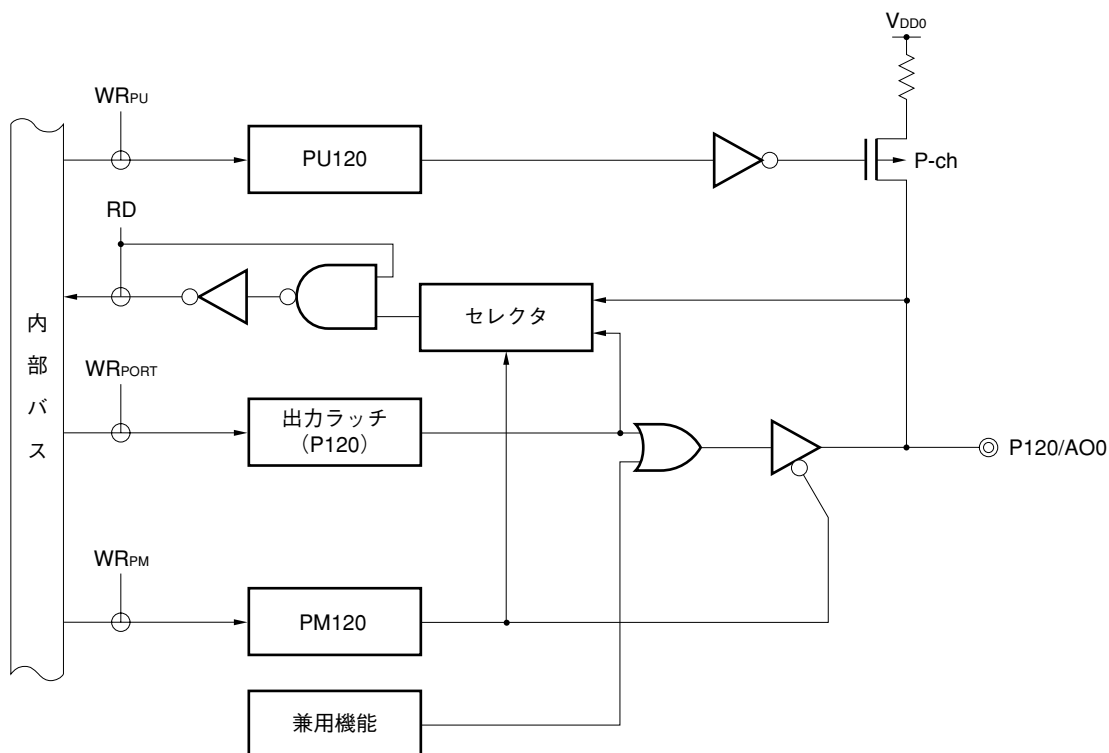
出力ラッチ付き1ビット入出力ポートです。P120端子は、ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。P120端子は、プルアップ抵抗オプション・レジスタ12 (PU12) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてD/Aコンバータのアナログ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-19にポート12のブロック図を示します。

図4-19 P120のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート12のリード信号

WR : ポート12のライト信号

注意 D/Aコンバータのアナログ出力として使用するときには、ポート・モード・レジスタ12 (PM12) およびプルアップ抵抗オプション・レジスタ12 (PU12) を次のように設定してください。

- ・PM12のビット0 (PM120) に1を設定し、入力モードにする
- ・PU12のビット0 (PU120) に0を設定し、プルアップ抵抗を接続しない

★

4.3 ポート機能を制御するレジスタ

ポートは次の5種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2-PM7, PM8^注, PM9^注, PM12)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7, PU12)
- ・メモリ拡張レジスタ (MEM)
- ・キー・リターン切り替えレジスタ (KRSEL)
- ・兼用切り替えレジスタ 8, 9 (PF8, PF9) ^注

注 μ PD78F0338のみ

(1) ポート・モード・レジスタ (PM0, PM2-PM7, PM8^注, PM9^注, PM12)

ポートの入力/出力を1ビット単位で指定するレジスタです。

PM0, PM2-PM7, PM12は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。PM8, PM9は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注 μ PD78F0338のみ

注意1. P10-P17端子は、入力専用端子です。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. ポートに兼用端子がある場合、兼用出力機能として使用するときは、出力ラッチ (P0, P2-P7, P12) に0を設定してください。

図4-20 ポート・モード・レジスタ (PM0, PM2-PM9, PM12) のフォーマット

アドレス：FF20H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	1	PM05	PM04	PM03	PM02	PM01	PM00
アドレス：FF22H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20
アドレス：FF23H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30
アドレス：FF24H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
アドレス：FF25H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
アドレス：FF26H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
アドレス：FF27H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM73	PM72	PM71	PM70
アドレス：FF28H	リセット時：FFH	W						
略号	7	6	5	4	3	2	1	0
PM8 ^注	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80
アドレス：FF29H	リセット時：FFH	W						
略号	7	6	5	4	3	2	1	0
PM9 ^注	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
アドレス：FF2CH	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2-9, 12 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 μPD78F0338のみ。μPD78F0338のポート8, 9を出力専用のポート端子として使用する場合、使用するポートの兼用切り替えレジスタ (PF8, PF9) にFFHを、ポート・モード・レジスタ (PM8, PM9) に00Hを設定してください。

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7, PU12)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PU0, PU2-PU7, PU12を設定することにより、PU0, PU2-PU7, PU12内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2-PU7, PU12は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意1. P10-P17端子は、プルアップ抵抗を内蔵していません。

2. P60-P63端子は、マスクROM製品のみマスク・オプションでプルアップ抵抗を内蔵できます。

3. PUmに1を設定すると、入力/出力モードにかかわらず、内蔵プルアップ抵抗が接続されます。よって、出力モードで使用する場合は対応するPUmのビットを0にしてください (m = 0, 2-7, 12)。

図4-21 プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7, PU12) のフォーマット

アドレス: FF30H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU0	0	0	PU05	PU04	PU03	PU02	PU01	PU00
アドレス: FF32H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU2	0	0	PU25	PU24	PU23	PU22	PU21	PU20
アドレス: FF33H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU3	0	0	0	PU34	PU33	PU32	PU31	PU30
アドレス: FF34H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40
アドレス: FF35H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50
アドレス: FF36H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU6	PU67	PU66	PU65	PU64	0	0	0	0
アドレス: FF37H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU7	0	0	0	0	PU73	PU72	PU71	PU70
アドレス: FF3CH	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU12	0	0	0	0	0	0	0	PU120

PUmn	Pmn端子の内蔵プルアップ抵抗の選択 (m = 0, 2-7, 12 ; n = 0-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) メモリ拡張モード・レジスタ (MEM)

ポート4のモードを設定するレジスタです。

MEMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4-22 メモリ拡張モード・レジスタ (MEM) のフォーマット

アドレス：FF47H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MEM	0	0	0	0	0	MM2	MM1	MM0

MM2	MM1	MM0	シングルチップ/キー・リターン・モードの選択
0	0	0	シングルチップ・モード (ポート端子として使用)
0	0	1	キー・リターン・モード (キー入力端子として使用 ^注)
上記以外			設定禁止

注 キー・リターン切り替えレジスタ (KRSEL) のビット0 (KRSEL0) に1を設定した場合、P44-P47はポート端子として使用できます。このとき、キー・リターン機能をインサーキット・エミュレータで評価できません。

注意 MM1, MM2には必ず0を設定してください。

(4) キー・リターン切り替えレジスタ (KRSEL)

キー・リターン信号 (ポート4の立ち下がリエッジ検出) に使用する端子を設定するレジスタです。

KRSELは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4-23 キー・リターン切り替えレジスタ (KRSEL) のフォーマット

アドレス：FF8FH リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
KRSEL	0	0	0	0	0	0	0	KRSEL0

KRSEL0	ポート4の立ち下がリエッジ検出に使用する端子の設定
0	P40-P47をキー・リターン信号 (ポート4の立ち下がリエッジ検出) として使用
1	P40-P43をキー・リターン信号 (ポート4の立ち下がリエッジ検出) として使用 ^{注2}

注1. KRSELにアクセスできますが、リード値は保証しません。

2. P44-P47はポート端子として使用できます。

注意 KRSEL0は、リセット後に1回のみ設定可能です。また、設定を変更する場合は、リセットをしてから行ってください。

(5) 兼用切り替えレジスタ 8, 9 (PF8, PF9) 注

ポート 8, 9 をポート端子として使用するか、セグメント端子として使用するかを選択するレジスタです。PF8, PF9は 8 ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

注 μ PD78F0338のみ

図 4-24 兼用切り替えレジスタ 8, 9 (PF8, PF9) のフォーマット

アドレス：FF58H リセット時：00H W

略号	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80

アドレス：FF59H リセット時：00H W

略号	7	6	5	4	3	2	1	0
PF9	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0	端子の設定
0	0	0	0	0	0	0	0	セグメント出力 (n = 8 : S32-S39, n = 9 : S24-S31)
1	1	1	1	1	1	1	1	出力専用ポート (n = 8 : P87-P80, n = 9 : P97-P90)
上記以外								設定禁止

- 注意 1. PF8, PF9は、00HまたはFFHのどちらかを、リセット後に 1 回のみ設定可能です。00HまたはFFH以外の値を設定しないでください。また、設定を変更する場合は、リセットをしてから行ってください。
2. ポート 8, 9 を出力専用のポート端子として使用する場合、使用するポートの兼用切り替えレジスタ (PF8, PF9) にFFHを、ポート・モード・レジスタ (PM8, PM9) に00Hを設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.5 マスク・オプションの選択

マスクROM製品には、次のマスク・オプションがあります。フラッシュ・メモリ製品には、マスク・オプションはありません。

表 4-6 マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較

端子名	マスクROM製品	フラッシュ・メモリ製品
P60-P63端子のマスク・オプション	1ビット単位でプルアップ抵抗の内蔵を指定できます。	プルアップ抵抗を内蔵できません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

1～10 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

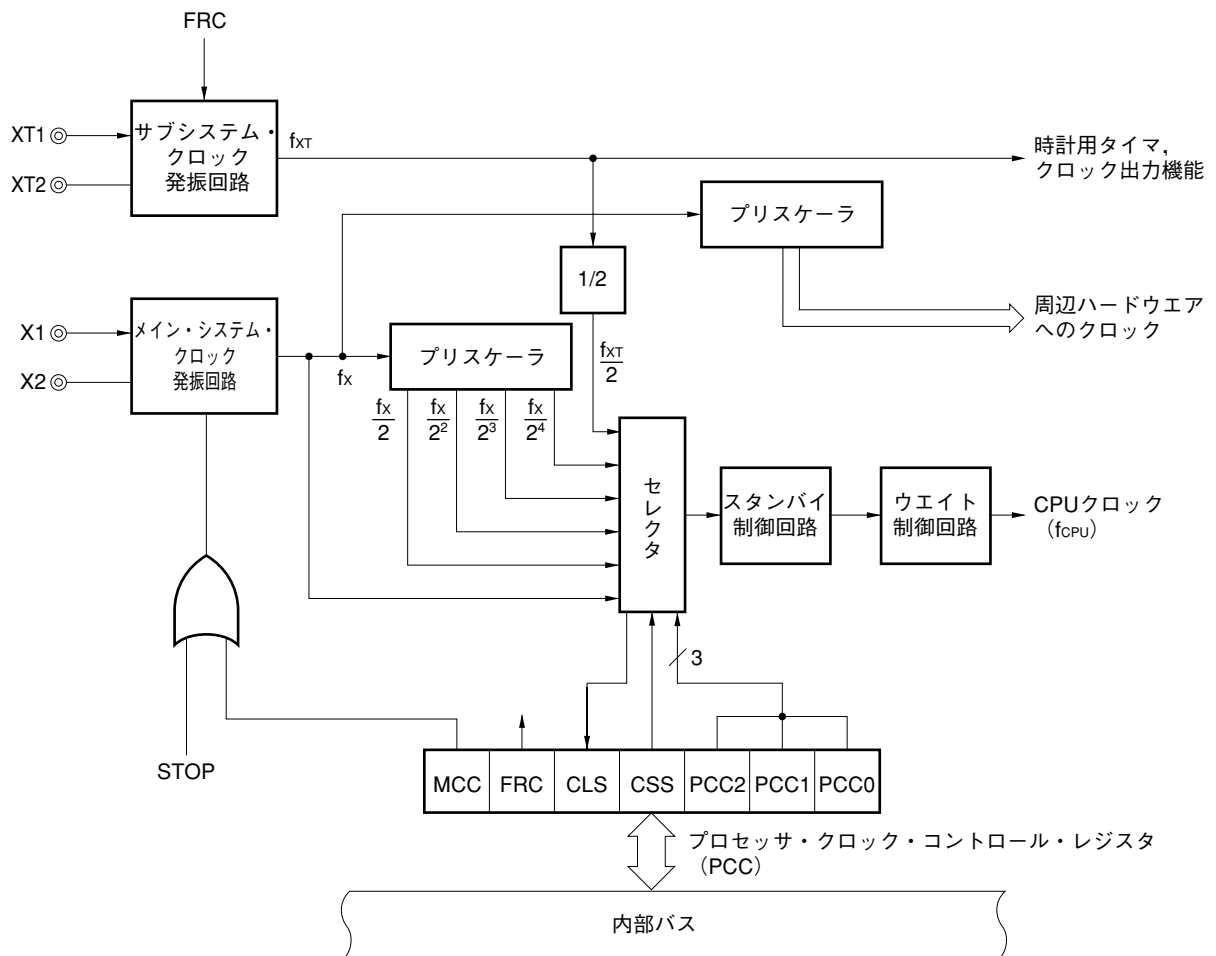
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5-1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作/停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図5-2 サブシステム・クロックのフィードバック抵抗

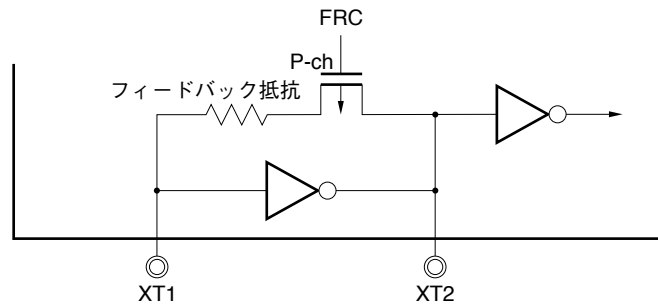


図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFF_{BH} リセット時：04H R/W^{注1}

略号	[7]	[6]	[5]	[4]	3	2	1	0
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0

MCC	メイン・システム・クロックの発振の制御 ^{注2}
0	発振可能
1	発振停止

FRC	サブシステム・クロックのフィードバック抵抗の選択 ^{注3}
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (fcPU) の選択
0	0	0	0	fx
	0	0	1	fx/2
	0	1	0	fx/2 ²
	0	1	1	fx/2 ³
	1	0	0	fx/2 ⁴
1	0	0	0	fx _T /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止はMCCを使用してください。STOP命令は使用しないでください。
3. フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブシステム・クロックを使用しない場合のみ、FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意1. ビット3には、必ず0を設定してください。

2. 外部クロックを入力しているとき、MCCをセットしないでください。これはX2端子がV_{DD1}にプルアップされるためです。

備考1. fx : メイン・システム・クロック発振周波数

2. fx_T : サブシステム・クロック発振周波数

μ PD780318, 780328, 780338サブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$
f_x	$0.2 \mu s$
$f_x/2$	$0.4 \mu s$
$f_x/2^2$	$0.8 \mu s$
$f_x/2^3$	$1.6 \mu s$
$f_x/2^4$	$3.2 \mu s$
$f_{XT}/2$	$122 \mu s$

$f_x = 10 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：10 MHz）によって発振します。

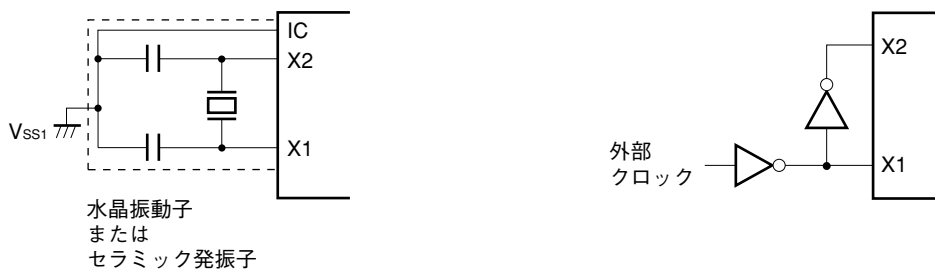
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5-4にメイン・システム・クロック発振回路の外付け回路を示します。

図5-4 メイン・システム・クロック発振回路の外付け回路

(a) 水晶, セラミック発振

(b) 外部クロック



注意 外部クロックを入力しているとき、STOP命令の実行およびMCC（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7）に1を設定しないでください。これは、STOP命令およびMCCに1を設定すると、メイン・システム・クロックの動作が停止され、X2端子が V_{DD1} にプルアップされるためです。

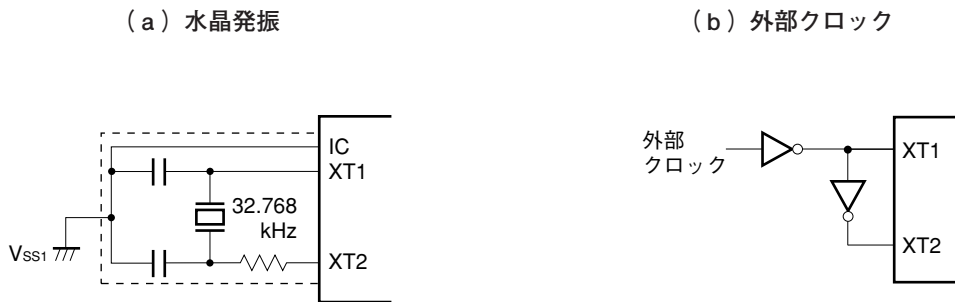
5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図5-5にサブシステム・クロック発振回路の外付け回路を示します。

図5-5 サブシステム・クロック発振回路の外付け回路



注意を次ページに示します。

注意1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-4, 5-5の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

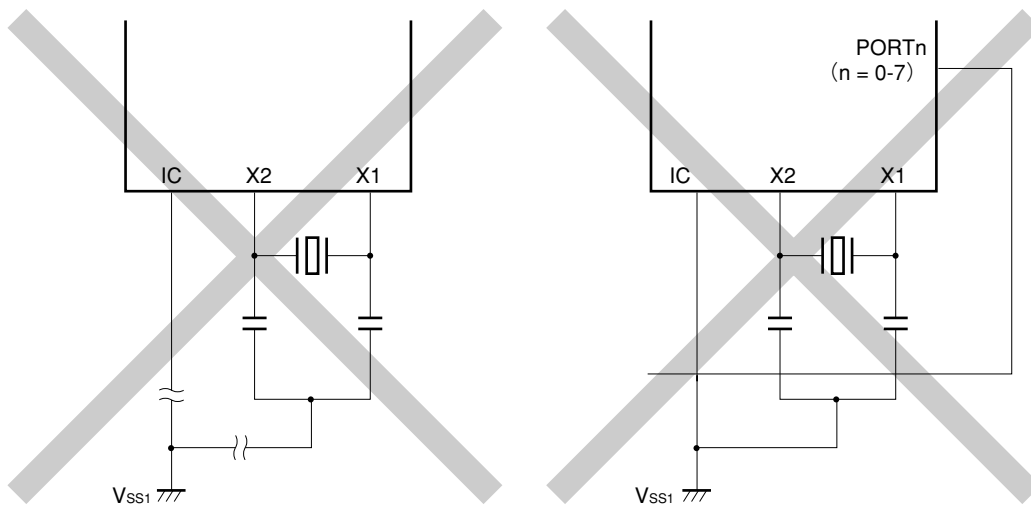
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

図5-6に発振子の接続の悪い例を示します。

図5-6 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

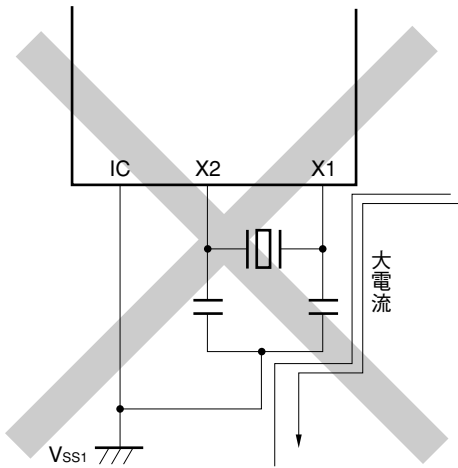
(b) 信号線が交差している



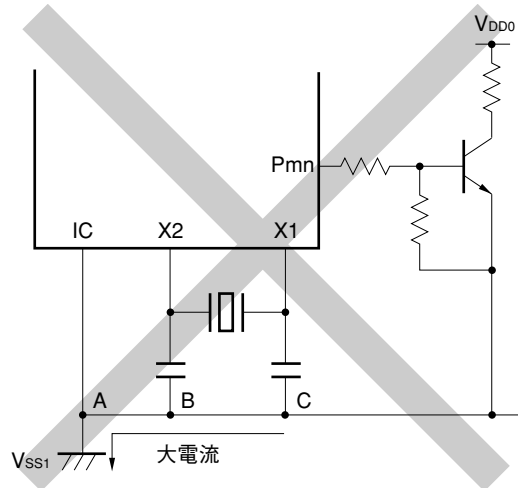
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-6 発振子の接続の悪い例 (2/2)

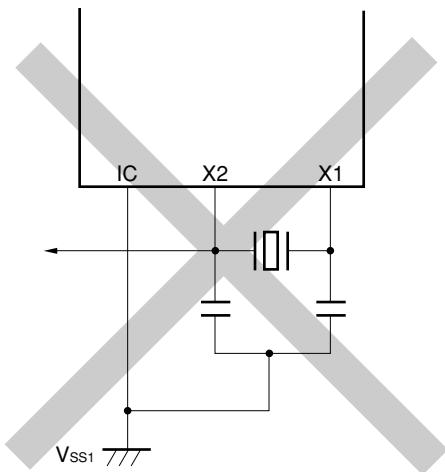
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意 2. X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

これを避けるために、X2とXT1の配線を平行にしないでください。

5.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1：V_{DD0}に接続してください

XT2：オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_X
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの最低速モード ($3.2\mu\text{s}$: 10 MHz動作時) が選択されます (PCC = 04H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- ★ (b) メイン・システム・クロックを選択した状態でPCCの設定により5段階の最小命令実行時間 ($0.2\mu\text{s}$, $0.4\mu\text{s}$, $0.8\mu\text{s}$, $1.6\mu\text{s}$, $3.2\mu\text{s}$: 10 MHz動作時) を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6 (FRC) で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電流をさらに低減できます。
- (d) PCCにより、サブシステム・クロックを選択し、低消費電流で動作 ($122\mu\text{s}$: 32.768 kHz動作時) できます。
- (e) サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません (サブシステム・クロックの発振を停止させることはできません)。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、時計用タイマ、クロック出力機能にのみサブシステム・クロックも供給しています。このため、スタンバイ状態でも時計機能、クロック出力機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

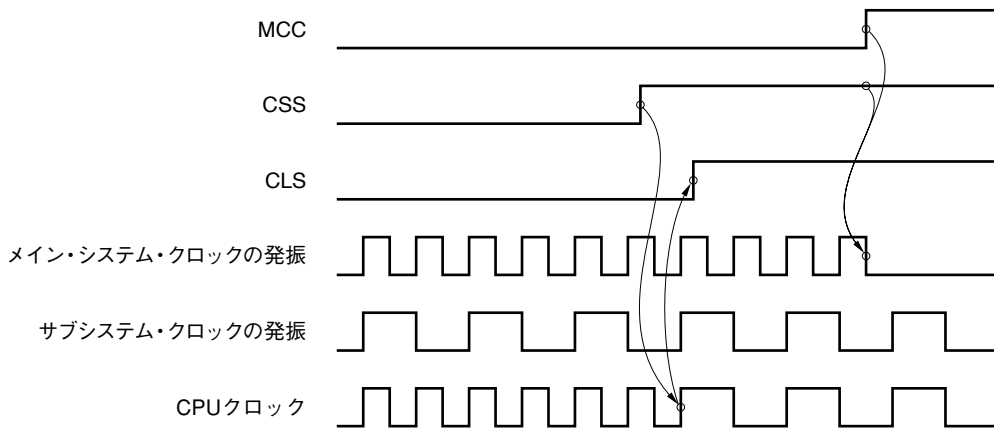
5.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき）、PCCの設定により次のように動作します。

- (a) 電源電圧により動作保証命令実行速度が異なるため、PCCのビット0-2（PCC0-PCC2）により最小命令実行時間を変更できます。
- (b) メイン・システム・クロックで動作しているときPCCのビット7（MCC）を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4（CSS）を1に設定し、サブシステム・クロック動作に切り替わったあと（CLS = 1）、メイン・システム・クロックの発振が停止します（図5-7参照）。

図5-7 メイン・システム・クロックの停止機能（1/2）

(a) メイン・システム・クロック動作時にCSSをセットしたあと、MCCをセットしたときの動作



(b) メイン・システム・クロック動作時にMCCをセットしたときの動作

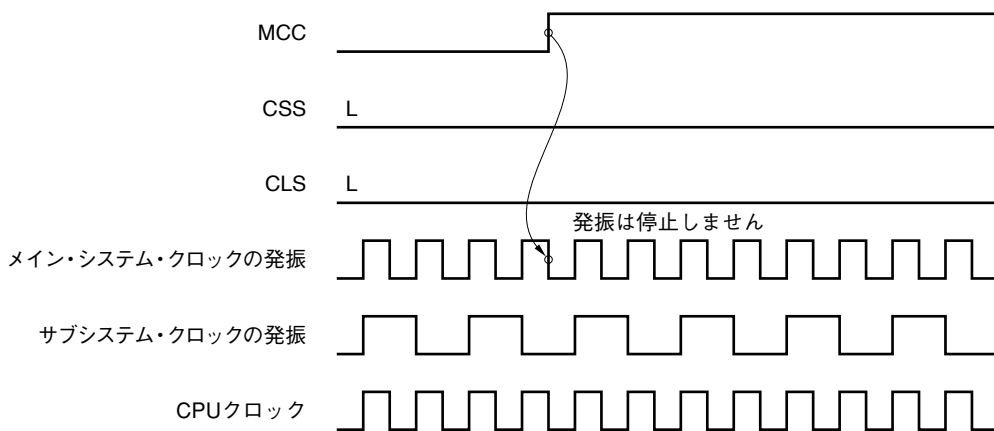
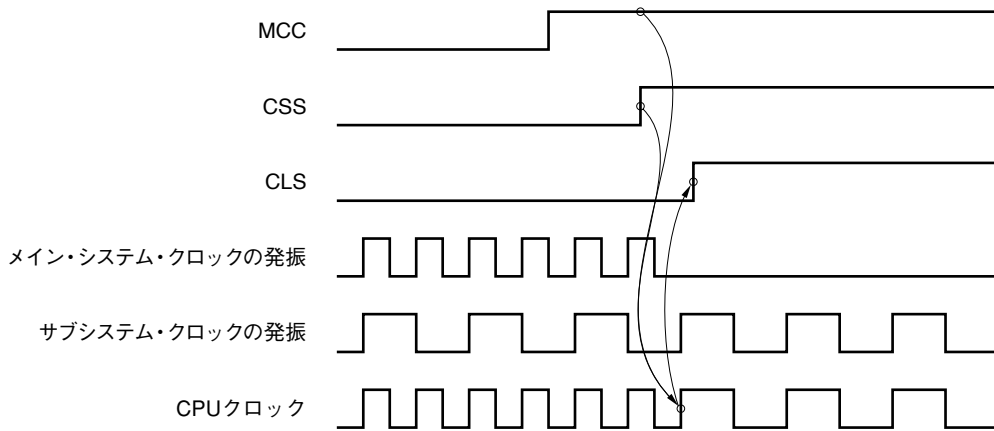


図5-7 メイン・システム・クロックの停止機能 (2/2)

(c) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



5.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が1のとき）、次のように動作します。

- (a) PCCのビット0-2（PCC0-PCC2）に関係なく最小命令実行時間は一定（ $122\ \mu\text{s}$ ：32.768 kHz動作時）です。
- (b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）とビット4（CSS）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-3参照）。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかは、PCCのビット5（CLS）で判定できます。

表5-3 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0	/				16命令				16命令				16命令				16命令				fx/2fxT命令 (153命令)			
	0	0	1					8命令				8命令				8命令				8命令				fx/4fxT命令 (77命令)			
	0	1	0					4命令				4命令				4命令				4命令				fx/8fxT命令 (39命令)			
	0	1	1					2命令				2命令				2命令				2命令				fx/16fxT命令 (20命令)			
	1	0	0					1命令				1命令				1命令				1命令				fx/32fxT命令 (10命令)			
1	×	×	×	1命令				1命令				1命令				1命令				1命令							

備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. ()内はfx = 10 MHz, fxT = 32.768 kHz時。

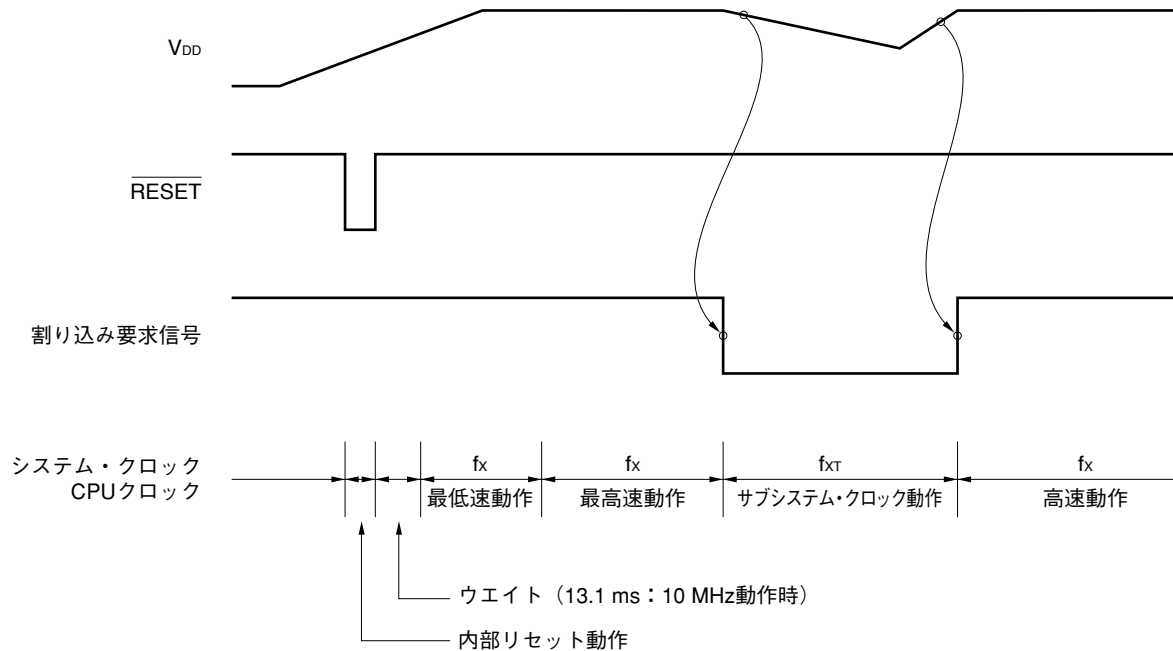
注意 CPUクロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0→1) を同時に設定しないでください。

ただし、CPUクロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1→0) は同時に設定可能です。

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5-8 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。
その後、CPUはメイン・システム・クロックの最低速 ($3.2 \mu\text{s}$: 10 MHz動作時) で命令の実行を開始します。
- ② V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。
- ③ V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。
- ④ V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCCを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 16ビット・タイマ／イベント・カウンタ0

6.1 16ビット・タイマ／イベント・カウンタ0の概要

インターバル・タイマ，PPG出力，パルス幅測定（赤外線リモコン受信機能），外部イベント・カウンタ，任意の周波数の方形波出力などに使用できます。

6.2 16ビット・タイマ／イベント・カウンタ0の機能

16ビット・タイマ／イベント・カウンタ0には，次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

6.3 16ビット・タイマ/イベント・カウンタ0の構成

16ビット・タイマ/イベント・カウンタ0は、次のハードウェアで構成されています。

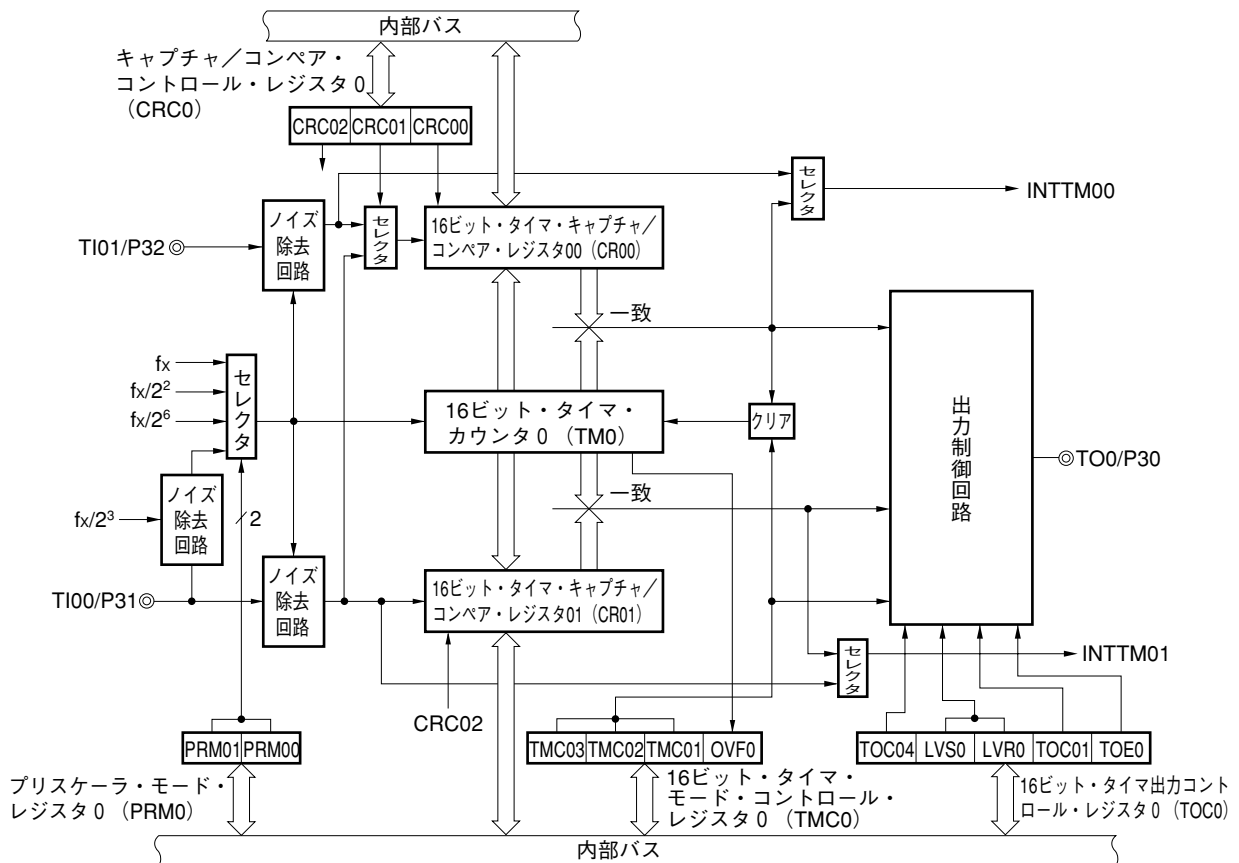
表6-1 16ビット・タイマ/イベント・カウンタ0の構成

項目	構成
タイマ/カウンタ	16ビット×1本 (TM0)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ: 16ビット×2本 (CR00,CR01)
タイマ出力	1本 (TO0)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) プリスケラ・モード・レジスタ0 (PRM0) ポート・モード・レジスタ3 (PM3) 注

注 図4-7 P30のブロック図, 図4-8 P31, P32のブロック図を参照してください。

図6-1 にブロック図を示します。

図6-1 16ビット・タイマ/イベント・カウンタ0のブロック図



(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入カクロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TMC03, TMC02をクリア
- ③ TI00有効エッジ入力でクリア&スタート・モード時のTI00有効エッジが入力されたとき
- ④ CR00の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/P31端子、またはTI01/P32端子の有効エッジが選択できます。TI00, TI01の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/P31端子の有効エッジに指定したときは表6-2、キャプチャ・トリガをTI01/P32端子の有効エッジに指定したときは表6-3のようになります。

表6-2 TI00/P31端子の有効エッジとCR00, CR01のキャプチャ・トリガ

ES01	ES00	TI00/P31端子の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がり両エッジ

表6-3 TI01/P32端子の有効エッジとCR00のキャプチャ・トリガ

ES11	ES10	TI01/P32端子の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

CR00は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意 1. TM0とCR00の一致でクリア&スタート・モードでは、CR00には0000H以外の値を設定してください。ただし、フリーランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバーフロー（FFFFH）後に割り込み要求（INTTM00）を発生します。
2. CR00の変更後の値が16ビット・タイマ・カウンタ0（TM0）の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値が変更前の値より小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。

(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01（CR01）

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0（CRC0）のビット2（CRC02）により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0（TM0）のカウント値を常に比較し、一致したときに割り込み要求（INTTM01）を発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/P31端子の有効エッジが選択できます。TI00/P31の有効エッジは、プリスケアラ・モード・レジスタ0（PRM0）で設定します。キャプチャ・トリガをTI00/P31端子の有効エッジに指定したときは表6-2のようになります。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により不定になります。

- 注意 TM0とCR00の一致でクリア&スタート・モードでは、CR01には0000H以外の値を設定してください。ただし、フリーランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR01に0000Hを設定した場合は、オーバーフロー（FFFFH）後に割り込み要求（INTTM01）を発生します。

6.4 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0を制御するレジスタには、次の5種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケアラ・モード・レジスタ0 (PRM0)
- ・ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ0 (TM0) のクリア・モード、出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ0 (TM0) は、TMC02, TMC03に0,0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC02, TMC03に0,0を設定してください。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス：FF60H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR00の一致 または TM0とCR01の一致 で発生
0	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	0	0	TI00の有効エッジで クリア&スタート	—	
1	0	1			
1	1	0	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	

OVF0	16ビット・タイマ・カウンタ0 (TM0) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意 1. OVF0フラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TI00/P31端子の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。
3. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

備考 TO0 : 16ビット・タイマ/イベント・カウンタ0の出力端子
 TI00 : 16ビット・タイマ/イベント・カウンタ0の入力端子
 TM0 : 16ビット・タイマ・カウンタ0
 CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00
 CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の動作を制御するレジスタです。

CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス：FF62H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00

CRC02	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジの逆相でキャプチャする

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
3. TI00の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合には、キャプチャは動作しません。
4. キャプチャを確実に行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ/イベント・カウンタ0の出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタ0のタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-4に, TOC0のフォーマットを示します。

図6-4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス: FF63H リセット時: 00H R/W

略号	7	6	5	4	③	②	1	①
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01	TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS0	LVR0	16ビット・タイマ/イベント・カウンタ0のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE0	16ビット・タイマ/イベント・カウンタ0の出力の制御	
0	出力禁止 (出力は0レベルに固定)	
1	出力許可	

- 注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。
2. データ設定後にLVS0, LVR0を読み出すと, 0になっています。
3. TOC0のビット5-7には, 必ず0を設定してください。

(4) プリスケアラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-5 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	f_x (10 MHz)
0	1	$f_x/2^2$ (2.5 MHz)
1	0	$f_x/2^6$ (156.25 kHz)
1	1	TI00有効エッジ ^注

注 外部クロックは内部クロック ($f_x/2^3$) の2回分より長いパルスが必要とします。

- 注意1. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM0は、必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. TI00, TI01: 16ビット・タイマ/イベント・カウンタ0の入力端子
3. () 内は、 $f_x = 10$ MHz動作時。

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TO0端子をタイマ出力として使用するとき、PM30およびP30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図6-6 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.5 16ビット・タイマ/イベント・カウンタ0の動作

6.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図6-7のように設定することにより、インターバル・タイマとして動作します。16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

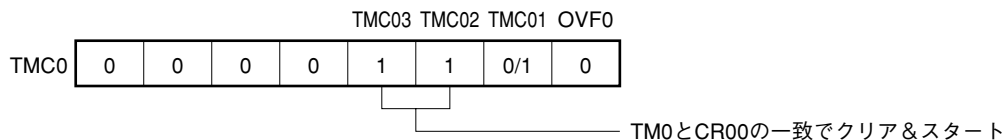
16ビット・タイマ・カウンタ0 (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で16ビット・タイマ/イベント・カウンタ0のカウント・クロックを選択できます。

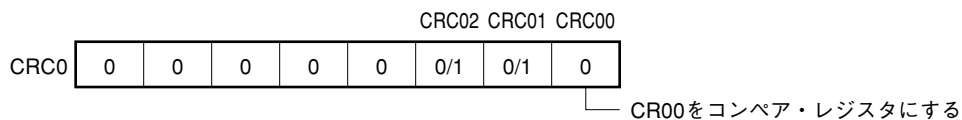
なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.6 16ビット・タイマ/イベント・カウンタ0の注意事項 (2) を参照してください。

図6-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。

詳細は、図6-2、図6-3を参照してください。

図6-8 インターバル・タイマの構成図

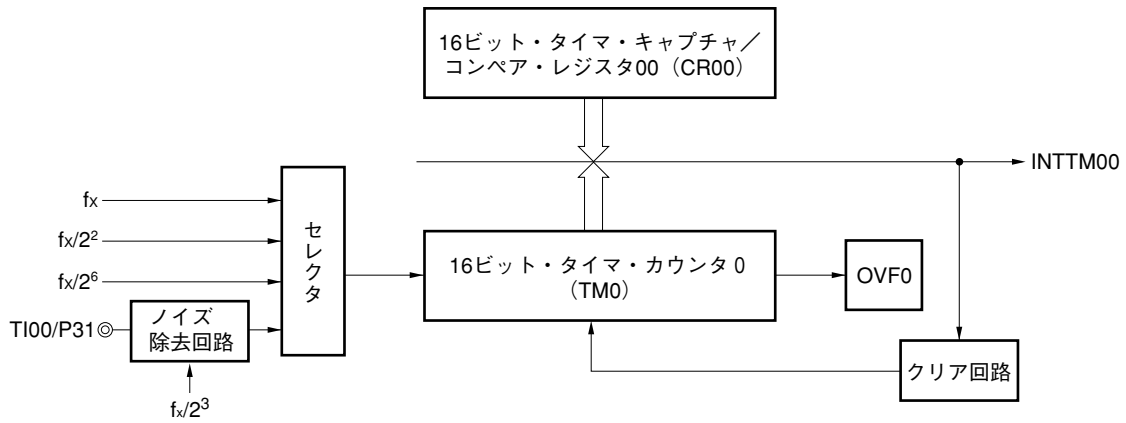
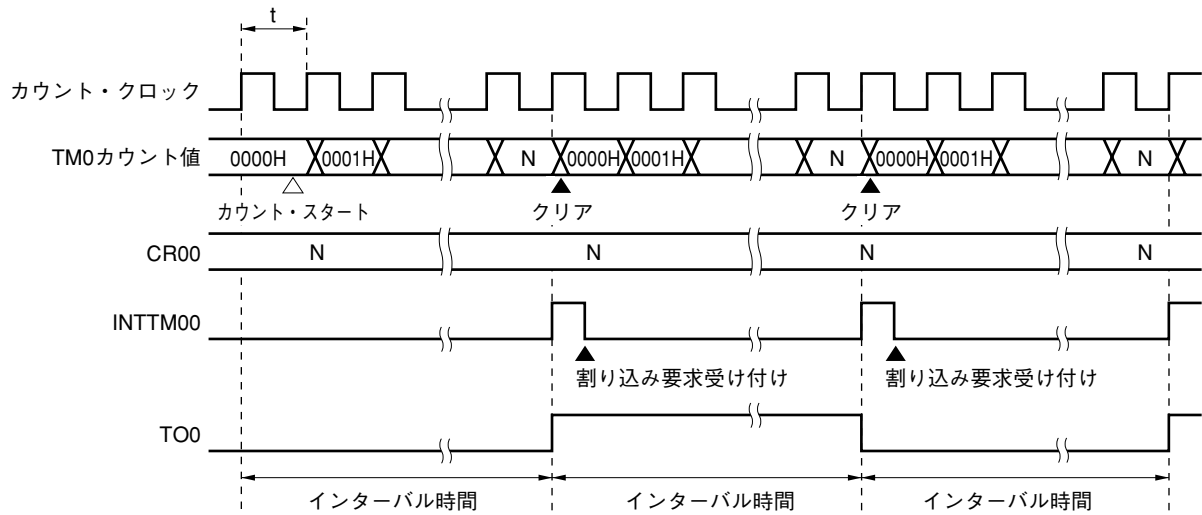


図6-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N+1) × t

N = 0001H-FFFFH

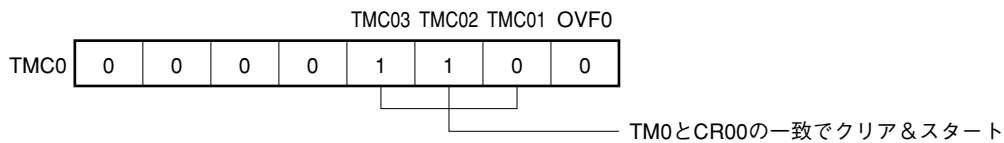
6.5.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図6-10のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

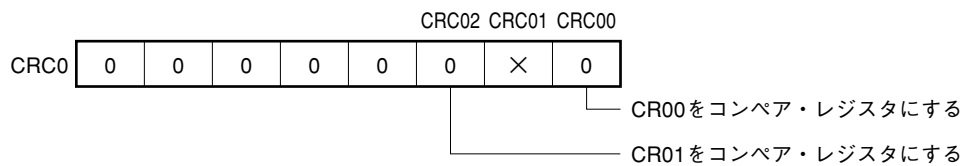
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/P30端子から出力します。

図6-10 PPG出力動作時の制御レジスタ設定内容

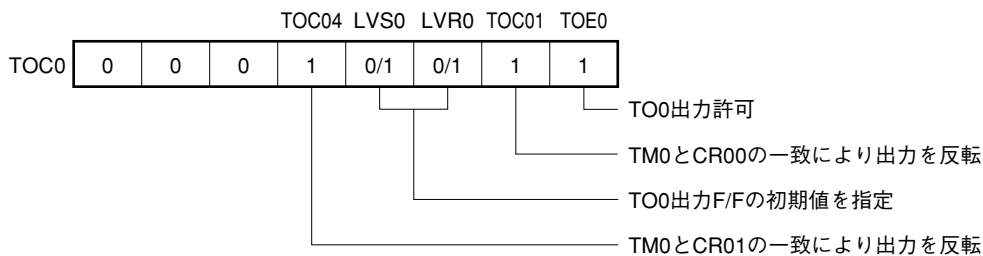
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



注意 1. CR00とCR01には次の範囲の値を設定してください。

$$0000H < CR01 < CR00 \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は (CR00の設定値+1) , デューティは (CR01の設定値+1) / (CR00の設定値+1) になります。

備考 X : don't care

6.5.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0 (TM0) を使用し、TI00/P31端子およびTI01/P32端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI00/P31端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

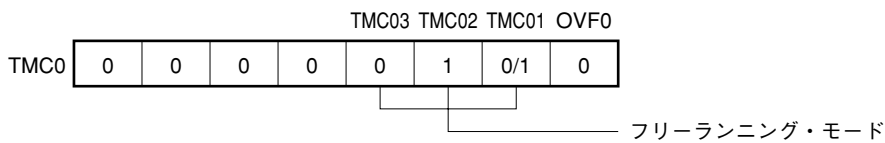
16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6-11のレジスタの設定参照)、TI00/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) で指定したエッジが入力されるとTM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTTM01) をセットします。

エッジはPRM0のビット4, 5 (ES00, ES01) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

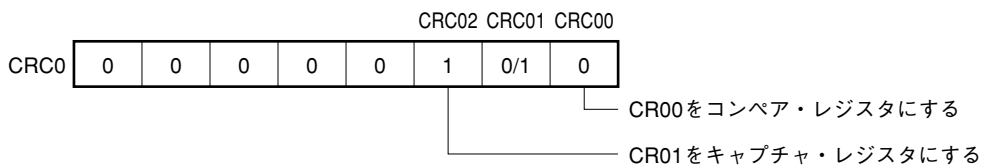
PRM0で選択したカウント・クロックでサンプリングを行い、TI00/P31端子またはTI01/P32端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-11 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図6-2, 図6-3を参照してください。

図6-12 フリーランニング・カウンタによるパルス幅測定の構成図

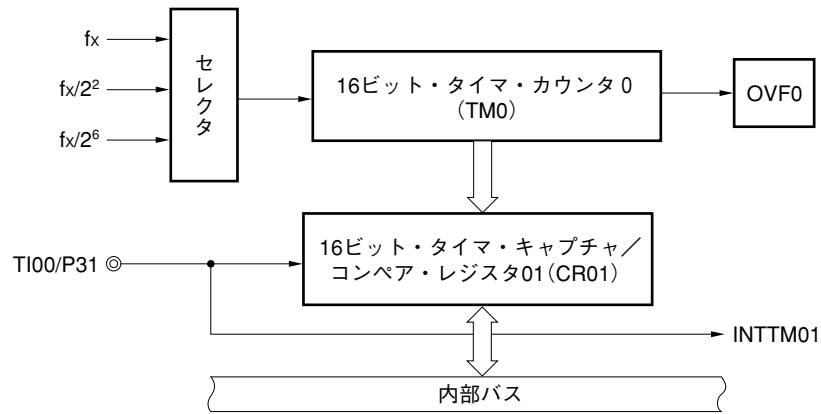
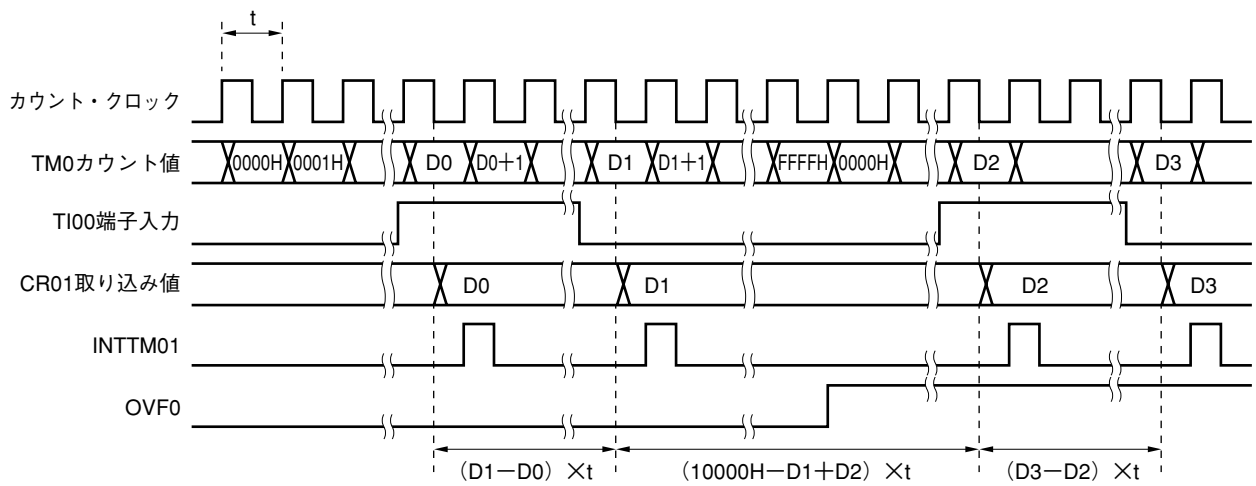


図6-13 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6-14参照), TI00/P31端子およびTI01/P32端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

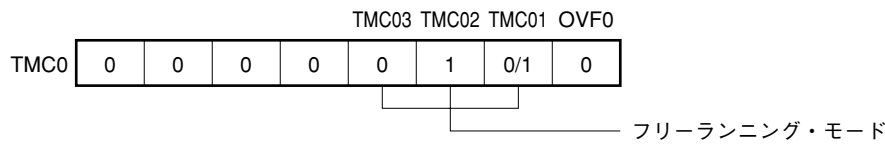
また, TI01/P32端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み, 割り込み要求信号 (INTTM00) をセットします。

TI00/P31端子とTI01/P32端子のエッジは, PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

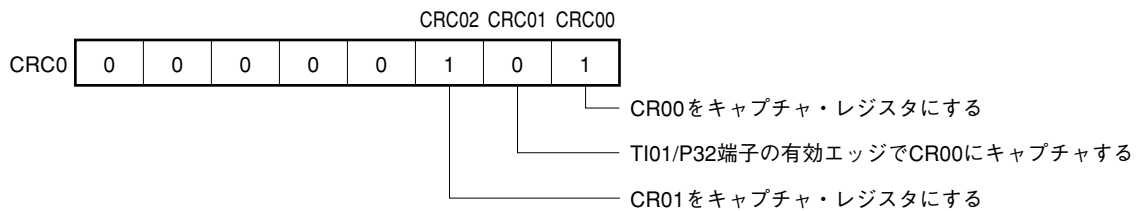
プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/P31またはTI01/P32端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図6-14 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6-2を参照してください。

・キャプチャ動作について (フリーランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図6-15 立ち上がりエッジ指定時のCR01キャプチャ動作

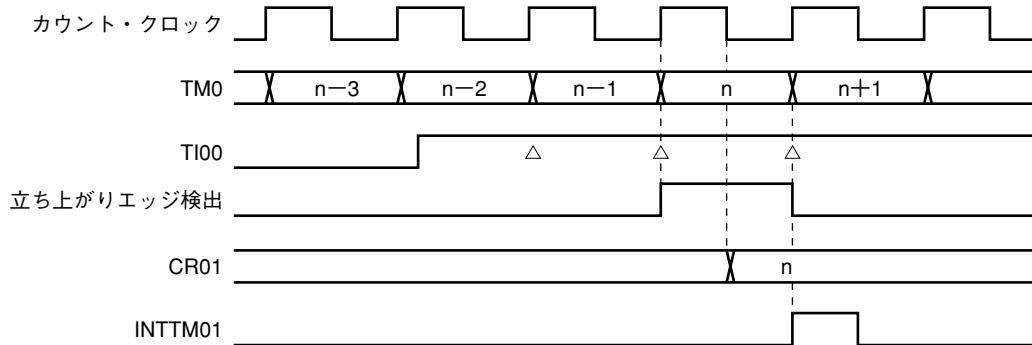
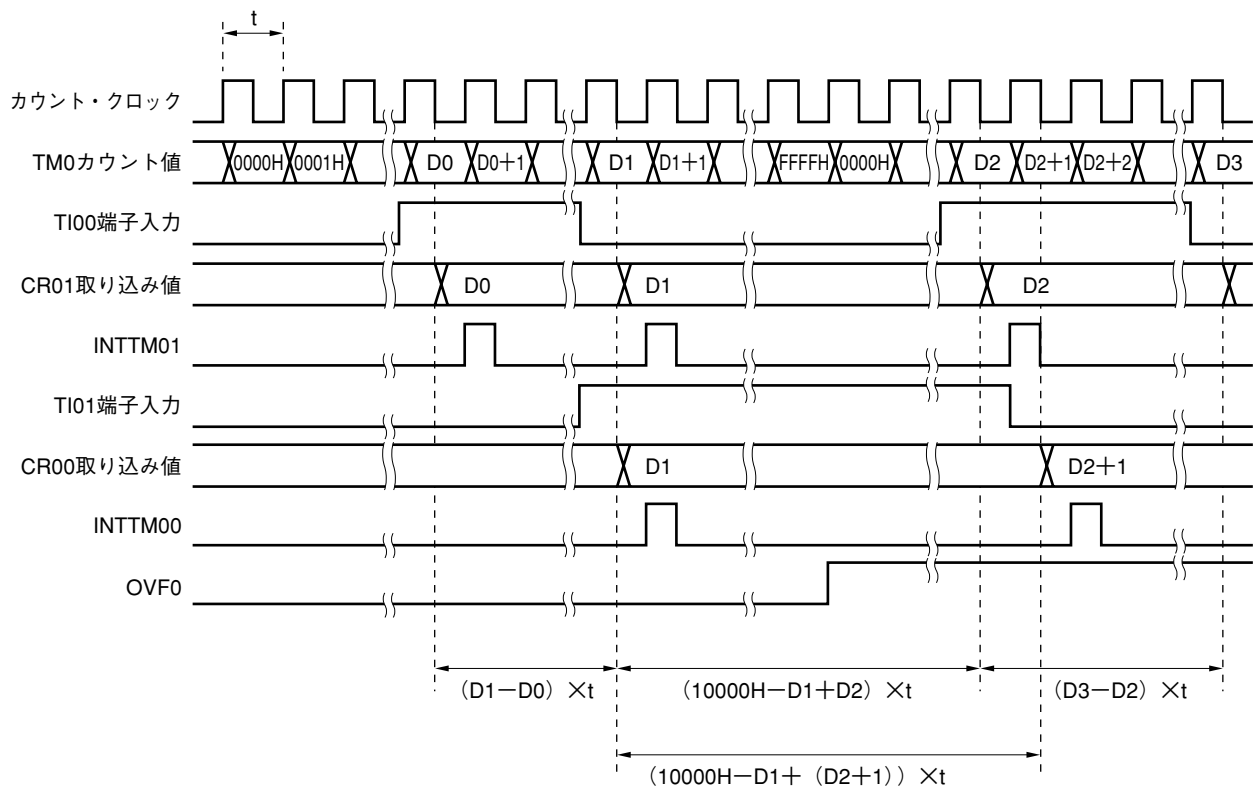


図6-16 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6-17参照), TI00/P31端子に入力する信号のパルス幅を測定できます。

TI00/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力で, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます。

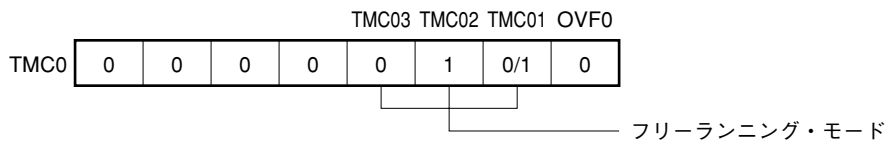
TI00/P31端子のエッジは, プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/P31端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

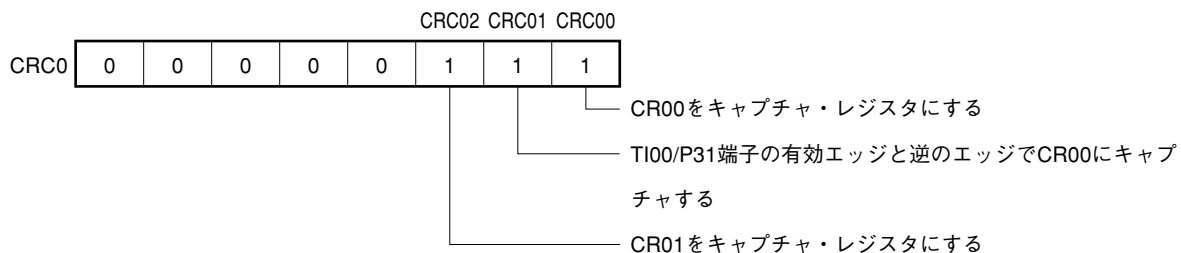
注意 TI00/P31端子の有効エッジを, 立ち上がり, 立ち下りの両エッジに指定した場合, 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図6-17 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

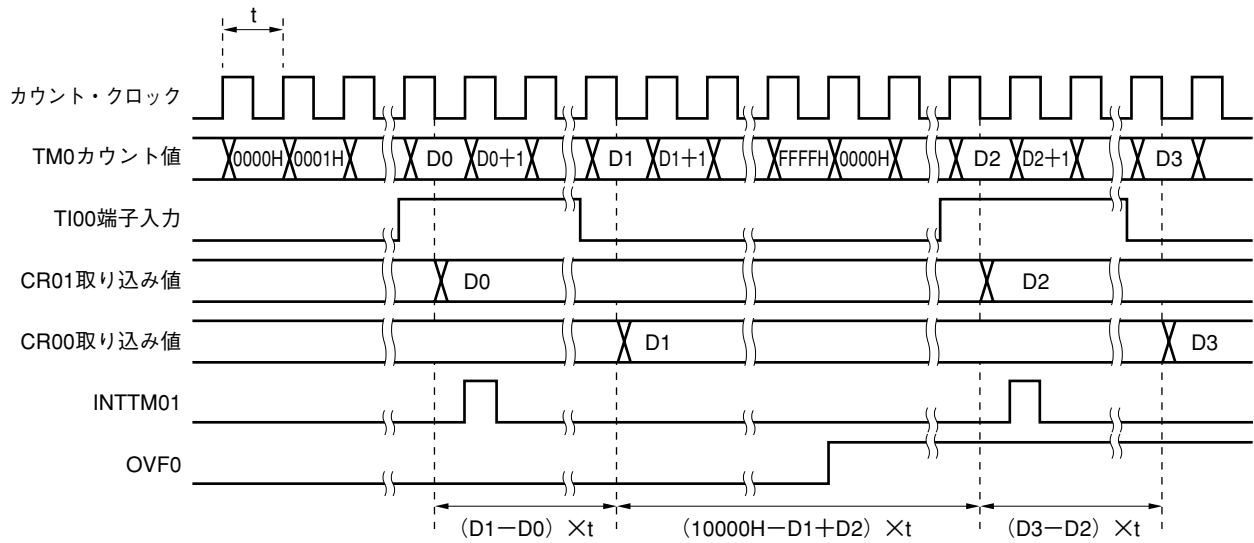


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0 または 1 を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図6-18 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/P31端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウントを再開することにより、TI00/P31端子に入力された信号のパルス幅を測定します (図6-19参照)。

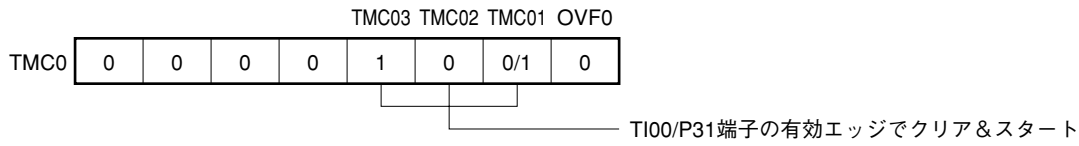
エッジ指定は、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/P31端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

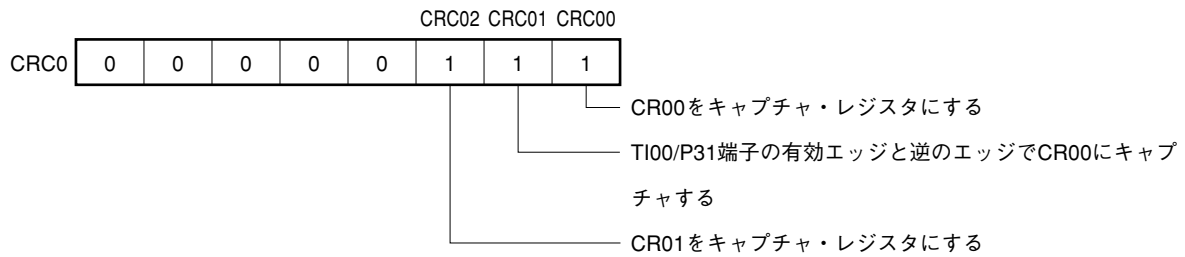
注意 TI00/P31端子の有効エッジを、立ち上がり、立ち下りの両エッジに指定した場合、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図6-19 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

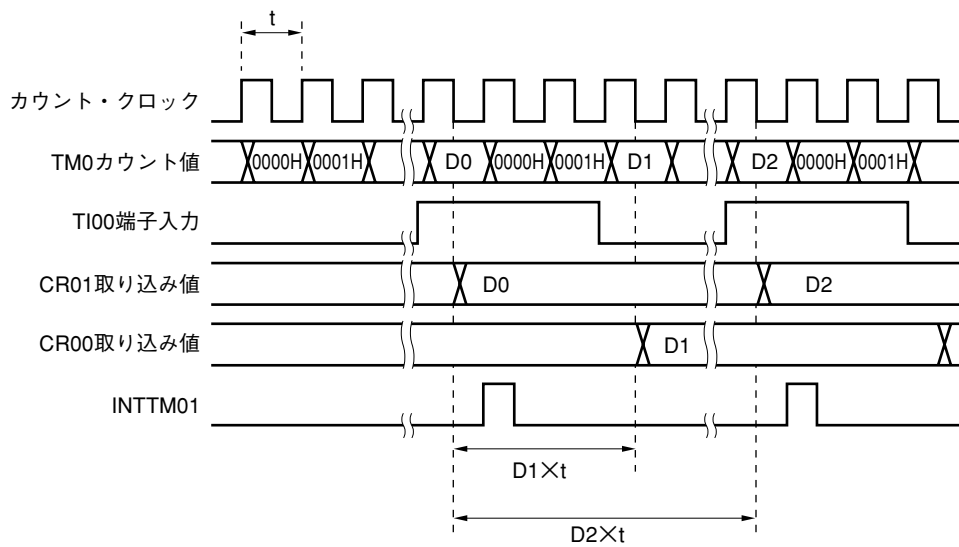


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0 または 1 を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図6-2を参照してください。

図6-20 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



6.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P31端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0 (TM0) でカウントするものです。

プリスケアラ・モード・レジスタ0 (PRM0) で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

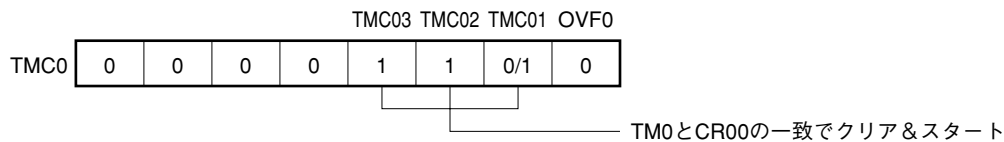
なお、CR00には0000H以外の値を入れてください (1パルスのカウント動作はできません)。

エッジ指定は、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がり, 立ち下がり, 両エッジの3種類から選択できます。

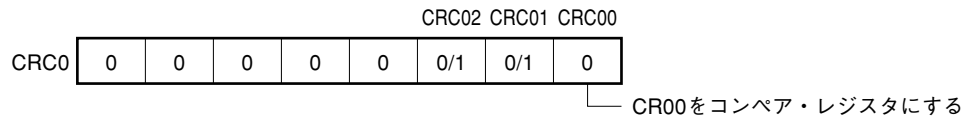
内部クロック ($f_x/2^3$) でサンプリングを行い、TI00/P31端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

図6-21 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。

詳細は、図6-2, 図6-3を参照してください。

図6-22 外部イベント・カウンタの構成図

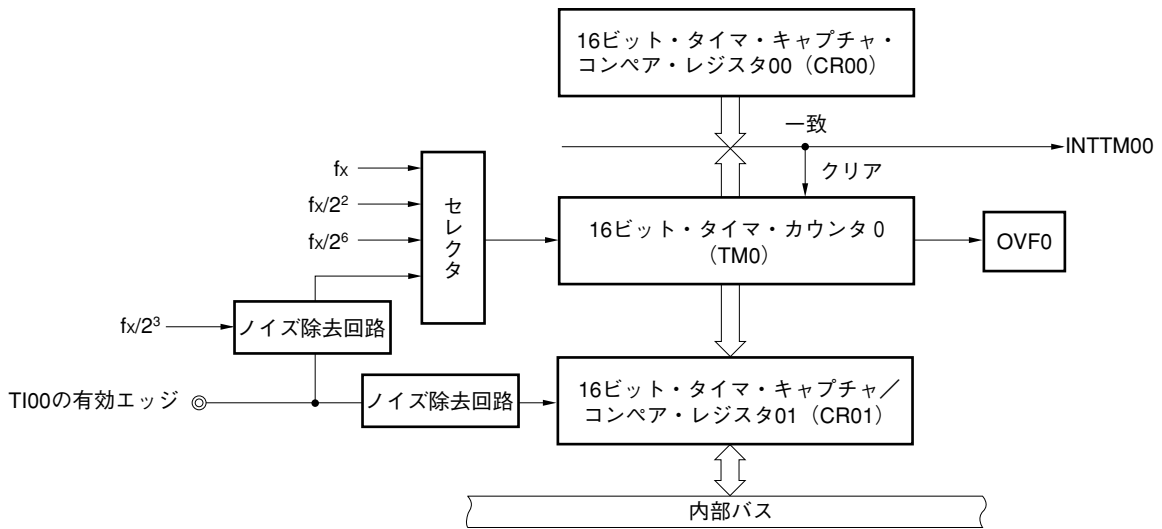
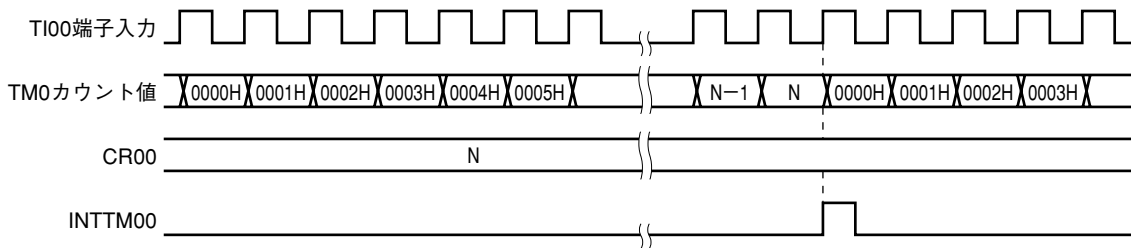


図6-23 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

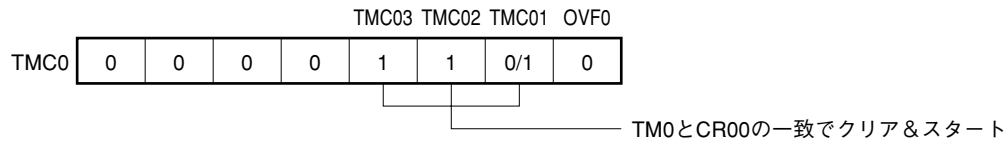
6.5.5 方形波出力としての動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウンタ値をインターバルとする、任意の周波数の方形波出力として動作します。

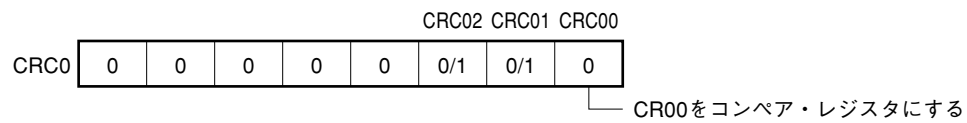
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウンタ値をインターバルとしてTO0端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6-24 方形波出力モード時の制御レジスタ設定内容

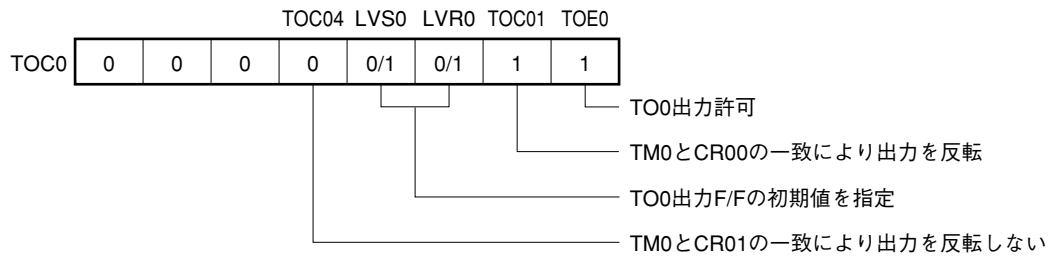
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

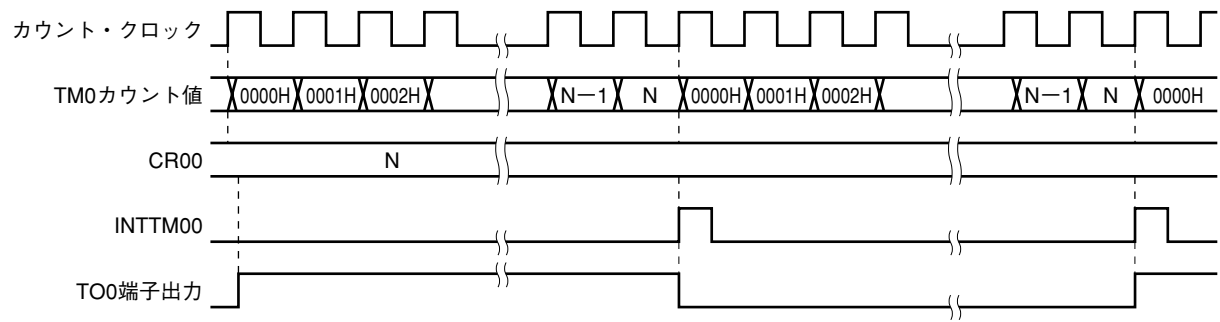


(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



備考 0/1：0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、図6-2、図6-3および図6-4を参照してください。

図6-25 方形波出力動作のタイミング

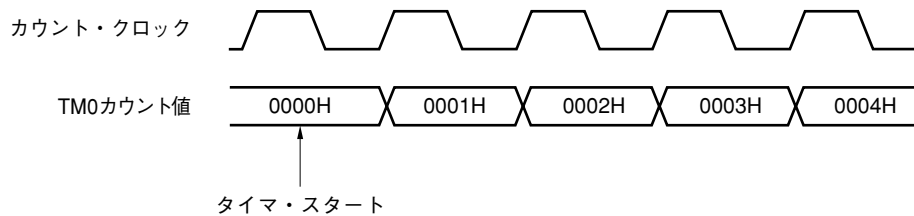


6.6 16ビット・タイマ/イベント・カウンタ0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図6-26 16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング



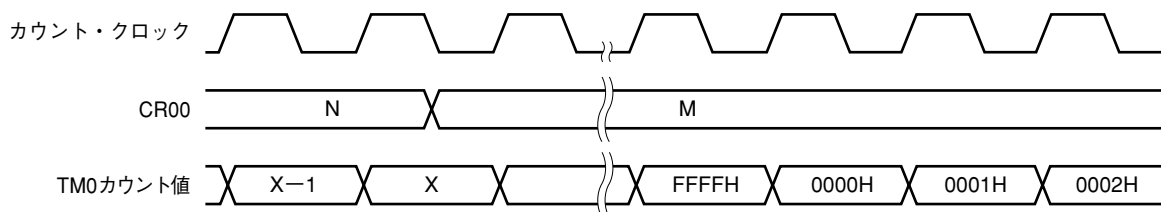
(2) 16ビット・タイマ・コンペア・レジスタの設定 (TM0とCR00一致でクリア&スタート・モードの場合)

16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。

図6-27 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

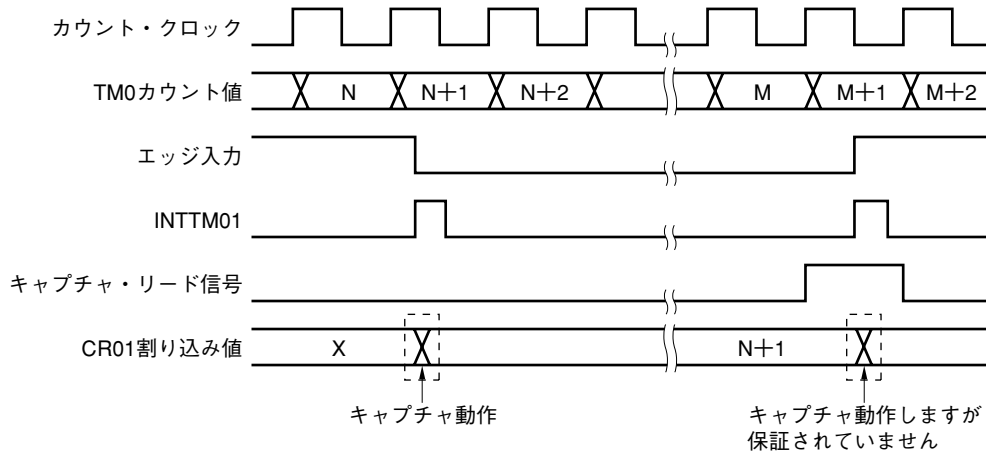


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) の読み出し中にTI00/P31端子の有効エッジが入力したとき、CR01はキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (TMIF01) はセットされます。

図6-28 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI00/P31端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2,3 (TMC02, TMC03) に0,0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4,5 (ES00, ES01) で設定します。

(6) OVF0フラグの動作

- ① OVF0フラグは、次のときに“1”に設定されます。

TM0とCR00の一致でクリア&スタートするモード、TI00の有効エッジでクリア&スタート、フリー・ランニング・モードのいずれかを選択

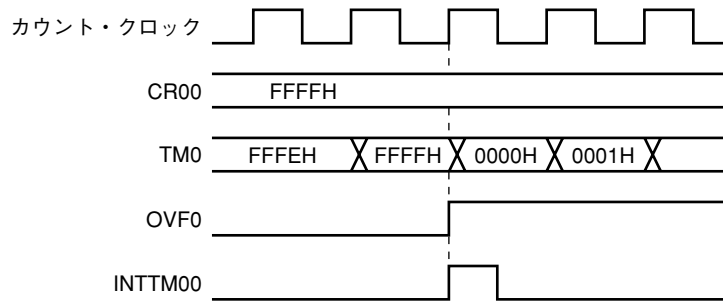
↓

CR00をFFFFHに設定

↓

TM0がFFFFHから0000Hにカウント・アップするとき

図6-29 OVF0フラグの動作タイミング



- ② TM0がオーバーフロー後、次のカウント・クロックが来る前（TM0が0001Hになる前）にOVF0フラグをクリアしても、再度セットされ、クリアは無効となります。

(7) 競合動作について

- ① 16ビット・タイマ・キャプチャ/コンペア・レジスタ（CR00/CR01）のリード期間とキャプチャ・トリガ入力の競合（CR00/CR01はキャプチャ・レジスタとして使用）
キャプチャ・トリガ入力が優先されます。CR00/CR01のリード・データは不定となります。
- ② 16ビット・タイマ・キャプチャ/コンペア・レジスタ（CR00/CR01）のライト期間と16ビット・タイマ・カウンタ0（TM0）との一致タイミングの競合（CR00/CR01はコンペア・レジスタとして使用）
一致判別は正常に行われません。一致タイミング付近でCR00/CR01のライト動作は行わないでください。

(8) タイマ動作について

- ① 16ビット・タイマ・カウンタ0 (TM0) をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にはキャプチャしません。
- ② CPUの動作モードに関係なく、タイマが停止していると、TI00/TI01端子への入力信号は受け付けられません。

(9) キャプチャ動作について

- ① カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。
- ② TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャ動作しません。
- ③ 確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。
- ④ キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n) は次のカウント・クロックの立ち上がりで発生します。

(10) コンペア動作について

- ① 16ビット・タイマ・キャプチャ00, 01 (CR00, CR01) の設定値と16ビット・タイマ・カウンタ0 (TM0) のカウント値が一致し、INTTM0が発生するタイミングでCR00, CR01に値を書き込むと、INTTM0が発生しないことがあります。したがって同じ値の場合でも、CR00, CR01に何度も書き込まないでください。
- ② コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(11) エッジ検出について

- ① システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
- ② TI00端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_x/2^3$ で、後者はプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックでサンプリングします。有効エッジ検出は、有効エッジをサンプリングして、2回有効レベルを検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

第7章 16ビット・タイマ／イベント・カウンタ 4

7.1 16ビット・タイマ／イベント・カウンタ 4 の概要

インターバル・タイマ、任意の周波数の方形波出力、外部イベント・カウンタなどに使用できます。

7.2 16ビット・タイマ／イベント・カウンタ 4 の機能

16ビット・タイマ／イベント・カウンタ 4 には、次のような機能があります。

- ・ インターバル・タイマ
- ・ 方形波出力
- ・ 外部イベント・カウンタ

(1) インターバル・タイマ

あらかじめ設定をした任意の時間間隔で割り込み要求を発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部入力パルス (TI4) をカウントできます。

7.3 16ビット・タイマ／イベント・カウンタ 4 の構成

16ビット・タイマ／イベント・カウンタ 4 は、次のハードウェアで構成されています。

表 7-1 16ビット・タイマ／イベント・カウンタ 4 の構成

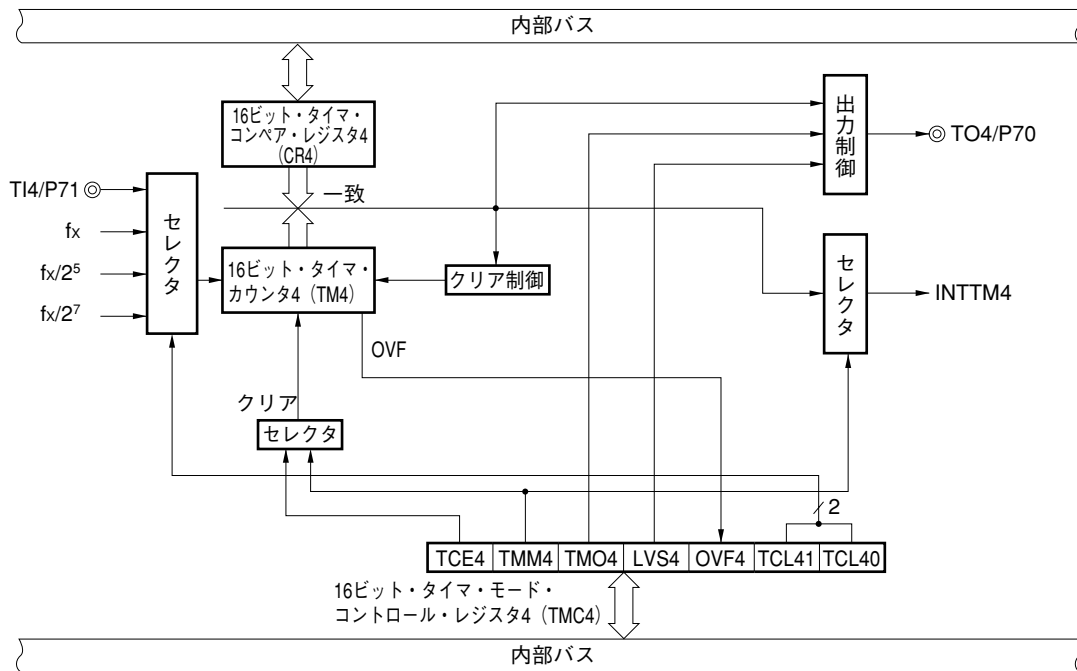
項目	構成
タイマ／カウンタ	16ビット×1本 (TM4)
レジスタ	16ビット・タイマ・コンペア・レジスタ：16ビット×1本 (CR4)
タイマ出力	1本 (TO4)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ (TMC4) ポート・モード・レジスタ 7 (PM7) 注

注 図 4-15 P70, P72のブロック図, 図 4-16 P71, P73のブロック図を参照してください。

図7-1にブロック図を示します。

★

図7-1 16ビット・タイマ/イベント・カウンタ4のブロック図



(1) 16ビット・タイマ・カウンタ4 (TM4)

TM4はカウント・パルスをカウントする16ビットのレジスタです。

入力クロックの立ち上がりに同期して、カウントをインクリメントします。TM4は書き込み、読み出しができません。

RESET入力により、不定になります。

次の場合、カウント値は0000Hになります。

- ① TCE4をクリア
- ② CR4の一致でクリア&スタート・モード時のTM4とCR4の一致
- ③ フリーランニング・モード時のTM4のオーバーフロー直後

(2) 16ビット・タイマ・コンペア・レジスタ4 (CR4)

CR4に設定した値と16ビット・タイマ・カウンタ4 (TM4) のカウント値を常に比較し、その2つの値が一致したときに割り込み要求 (INTTM4) を発生します。TM4をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

CR4は16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 TM4がカウント動作中のとき、CR4に書き込みをしないでください。同じ値を書き込む場合も、カウント動作を停止させてから行ってください。

7.4 16ビット・タイマ/イベント・カウンタ4を制御するレジスタ

16ビット・タイマ/イベント・カウンタ4を制御するレジスタには、次の2種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4)
- ・ポート・モード・レジスタ7 (PM7)

(1) 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4)

16ビット・タイマ・カウンタ4 (TM4) のカウント動作制御、動作モードの選択、タイマ出力 (TO4) の制御、TO4の初期値指定、TM4のカウント・クロックおよびTI4入力の有効エッジを設定するレジスタです。

TMC4は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-2 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のフォーマット

アドレス：FF68H リセット時：00H R/W^{注1}

略号	[7]	6	[5]	[4]	[3]	2	1	0
TMC4	TCE4	TMM4	TMO4	LVS4	OVF4	0	TCL41	TCL40

TCE4	TM4のカウンタ動作制御	
0	カウンタ動作停止 (TM4は0にクリア)	
1	カウンタ動作開始	

TMM4	TM4の動作モード選択	INTTM4の発生タイミング
0	TM4とCR4の一致でクリア&スタート・モード ^{注2}	TM4とCR4の一致
1	フリーランニング・モード	INTTM4は発生しない

TMO4	タイマ出力 (TO4) の制御
0	出力禁止 (出力は0レベルに固定)
1	出力許可

LVS4	タイマ出力 (TO4) の初期値設定
0	ロウ・レベル
1	ハイ・レベル

OVF4	オーバフロー発生たびに、OVF4の値は反転します (リセット値：OVF4 = 0)
------	---

TCL41	TCL40	カウンタ・クロックの選択
0	0	fx (10 MHz)
0	1	fx/2 ⁵ (312.5 kHz)
1	0	fx/2 ⁷ (78.125 kHz)
1	1	TI4の立ち上がりエッジ

注1. ビット3は、Read Onlyです。

2. TM4とCR4の一致でクリア&スタート・モードを選択した場合、オーバフローの検出は行いません。

注意 TMC4は、必ずタイマ動作を停止 (TCE4 = 0) させてから設定してください。

備考1. TO4の初期値とは、タイマ出力が許可状態 (TMO4 = 1) で、カウンタ動作が停止しているとき (TCE4 = 0) の、TO4のタイマ出力の値です。

2. fx：メイン・システム・クロック発振周波数

3. () 内は、fx = 10 MHz動作時

(2) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

TO4/P70端子をタイマ出力として使用するとき、PM70およびP70の出力ラッチに0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7-3 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス：FF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM73	PM72	PM71	PM70

PM7n	PM7n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.5 16ビット・タイマ/イベント・カウンタ4の動作

7.5.1 インターバル・タイマとしての動作

16ビット・タイマ・コンペア・レジスタ4 (CR4) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

16ビット・タイマ・カウンタ4 (TM4) のカウント値がCR4に設定した値と一致したとき、TM4の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM4) を発生します。

16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット0, 1 (TCL40, TCL41) でTM4のカウント・クロックを選択できます。

[設定方法]

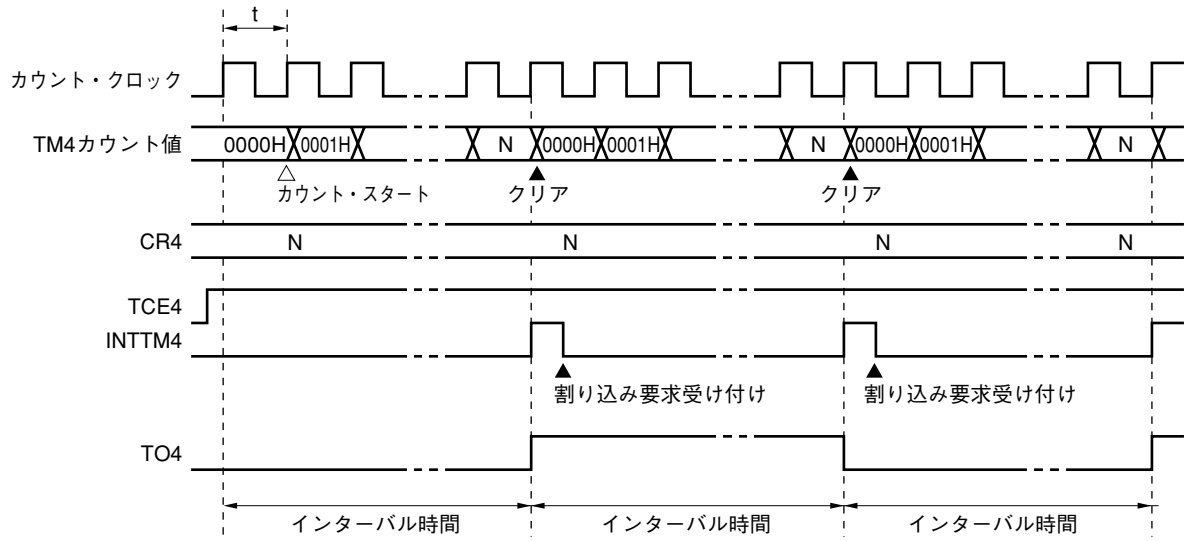
- ① 各レジスタの設定を行います。
 - ・ TCL41, TCL40 : カウント・クロックの選択
 - ・ CR4 : コンペア値
 - ・ TMM4 : TM4とCR4の一致でクリア&スタート・モードを選択 (TMM4 = 0)
 - ・ TMO4 : タイマ出力を禁止状態に設定 (TMO4 = 0)
- ② TCE4 = 1を設定すると、カウント動作を開始します。
- ③ TM4とCR4の値が一致すると、INTTM4が発生します (TM4は0000Hにクリアされます)。
- ④ 以後、同一間隔でINTTM4が繰り返し発生します。カウント動作を停止するときは、TCE4 = 0にしてください。

注意1. CR4 = 0000Hを設定した場合、INTTM4はカウント開始後にハイ・レベル固定となります。したがってINTTM4の有効エッジは最初の立ち上がりのみです。

2. TCE4 = 1に設定したあとの、1クロック目の立ち上がりエッジはカウントされません。2クロック目の立ち上がりエッジより、カウント動作を開始します。

図7-4 インターバル・タイマ動作のタイミング (1/2)

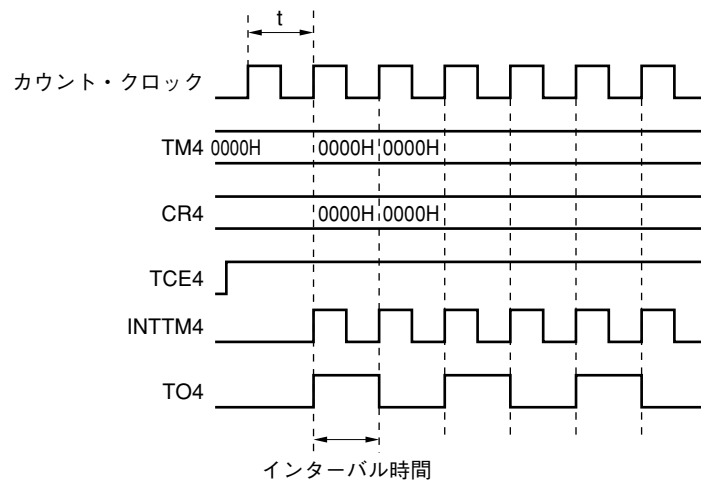
(a) 基本動作



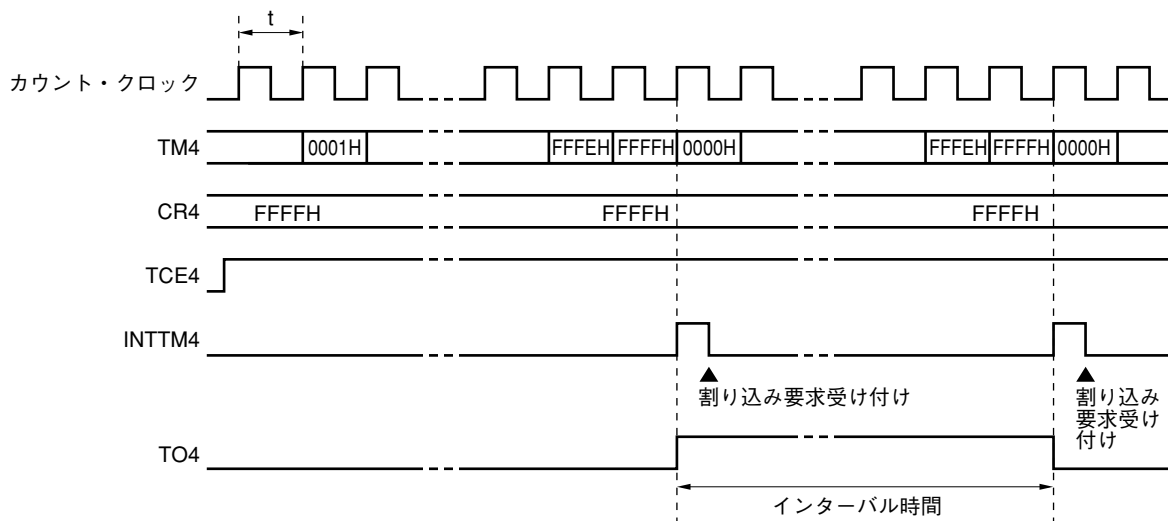
備考 インターバル時間 = $(N+1) \times t$
 $N = 0000H-FFFFH$

図7-4 インターバル・タイマ動作のタイミング (2/2)

(b) CR4 = 0000Hの場合



(c) CR4 = FFFFHの場合



7.5.2 方形波出力としての動作

16ビット・タイマ・コンペア・レジスタ4 (CR4) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

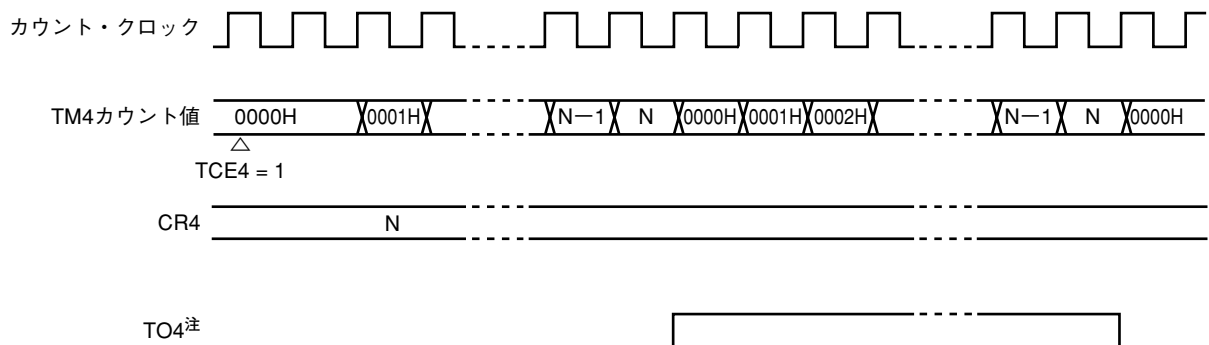
16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット7 (TCE4) に1を設定することにより、CR4にあらかじめ設定したカウント値をインターバルとしてTO4の出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ=50%) が可能です。

[設定方法]

- ① 各レジスタの設定を行います。
 - ・ポート・ラッチ, ポート・モード・レジスタに“0”を設定
 - ・TCL41, 40: カウント・クロックの選択
 - ・CR4 : コンペア値
 - ・TMM4 : TM4とCR4の一致でクリア&スタート・モードを選択 (TMM4 = 0)
 - ・LVS4 : タイマ出力 (TO4) の初期状態を設定
 - { 初期出力 = 1 ← LVS4 = 1
 - { 初期出力 = 0 ← LVS4 = 0
 - ・TMO4 : タイマ出力を許可に設定 (TMO4 = 1)
- ② TCE4 = 1を設定すると、カウント動作を開始します。
- ③ TM4とCR4の値が一致すると、タイマ出力F/Fが反転します。
また、INTTM4が発生し、TM4は00Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TO4から方形波が出力されます。

注意 TCE4 = 1に設定したあとの、1クロック目の立ち上がりエッジはカウントされません。
2クロック目の立ち上がりエッジより、カウント動作を開始します。

図7-5 方形波出力動作のタイミング



注 TO4出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット4 (LVS4) で設定できます。

7.5.3 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI4に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ4 (TM4) でカウントするものです。

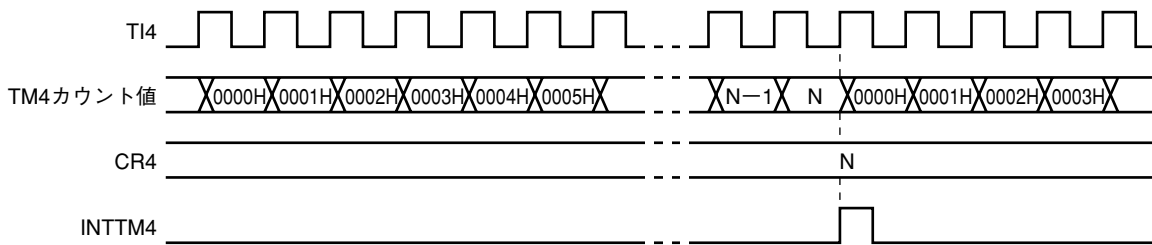
16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) で指定したTI4の立ち上がりエッジが入力されるたびに、TM4がインクリメントされます。

TM4の計数値が16ビット・タイマ・コンペア・レジスタ4 (CR4) の値と一致すると、TM4は0にクリアされ、割り込み要求信号 (INTTM4) が発生します。

以後、TM4の値とCR4の値が一致するたびに、INTTM4が発生します。

注意 TCE4 = 1に設定したあとの、1クロック目の立ち上がりエッジはカウントされません。
2クロック目の立ち上がりエッジより、カウント動作を開始します。

図7-6 外部イベント・カウンタ動作のタイミング

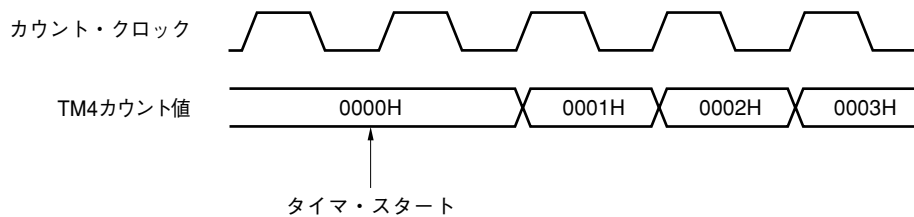


7.6 16ビット・タイマ/イベント・カウンタ4の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ4 (TM4) が非同期でスタートするためです。

図7-7 16ビット・タイマ・カウンタ4 (TM4) のスタート・タイミング



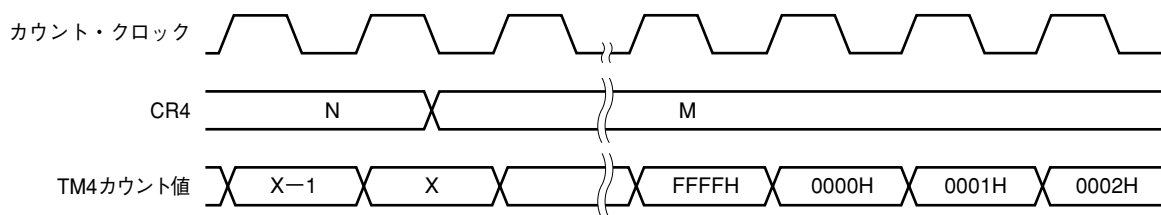
(2) 16ビット・タイマ・コンペア・レジスタの設定

16ビット・タイマ・コンペア・レジスタ4 (CR4) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・タイマ・コンペア・レジスタ4 (CR4) の変更後の値が、16ビット・タイマ・カウンタ4 (TM4) の値よりも小さいとき、TM4はカウントを継続しオーバーフローして0から再カウントします。したがって、CR4の変更後の値 (M) が変更前の値 (N) より小さいときは、CR4を変更後、タイマをリセットし、再スタートさせる必要があります。

図7-8 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

(4) 競合動作について

16ビット・タイマ・コンペア・レジスタ4 (CR4) のライト期間と16ビット・タイマ・カウンタ4 (TM4) との一致タイミングが競合する場合、一致判別は正常に行われません。一致タイミング付近でCR4のライト動作は行わないでください。

(5) タイマ動作について

CPUの動作モードに関係なく、タイマが停止していると、TI4端子への入力信号は受け付けられません。

第8章 8ビット・タイマ／イベント・カウンタ50, 51, 52

8.1 8ビット・タイマ／イベント・カウンタ50, 51, 52の概要

インターバル・タイマ、外部イベント・カウンタ、任意の周波数の方形波出力、PWM出力などに使用できます。

8.2 8ビット・タイマ／イベント・カウンタ50, 51, 52の機能

8ビット・タイマ／イベント・カウンタ50, 51, 52には、次のような機能があります。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

(4) PWM出力

PWM出力ができます。

図8-1～8-3に、8ビット・タイマ／イベント・カウンタのブロック図を示します。

図8-1 8ビット・タイマ/イベント・カウンタ50のブロック図

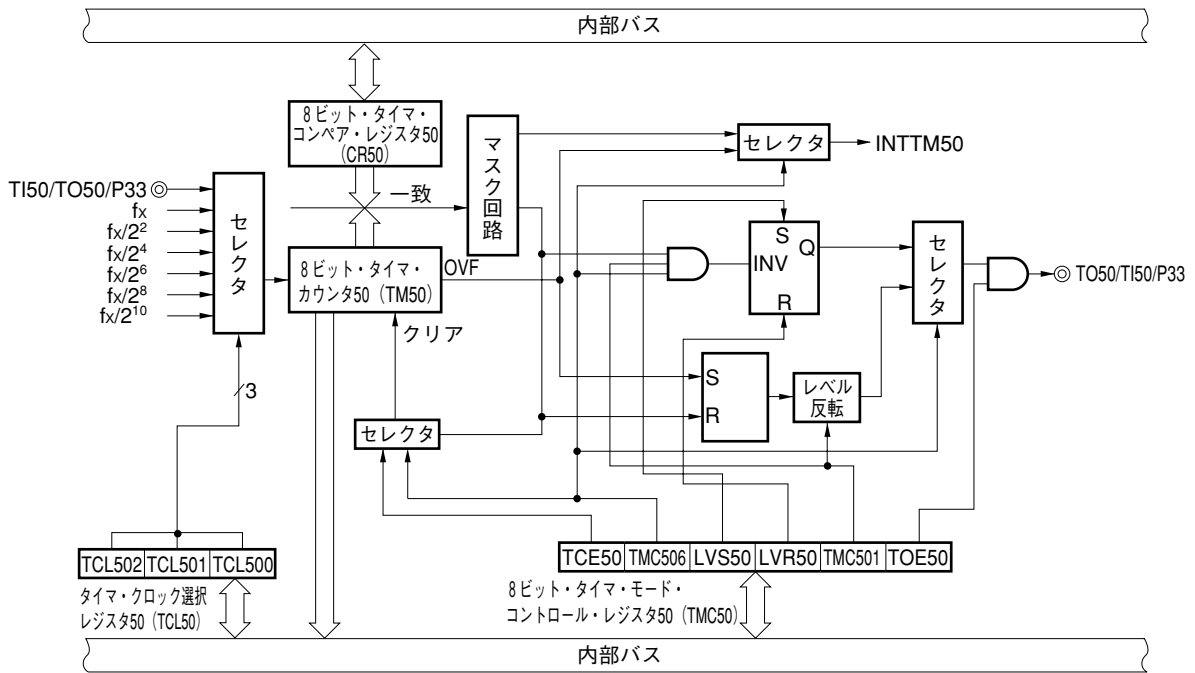


図8-2 8ビット・タイマ/イベント・カウンタ51のブロック図

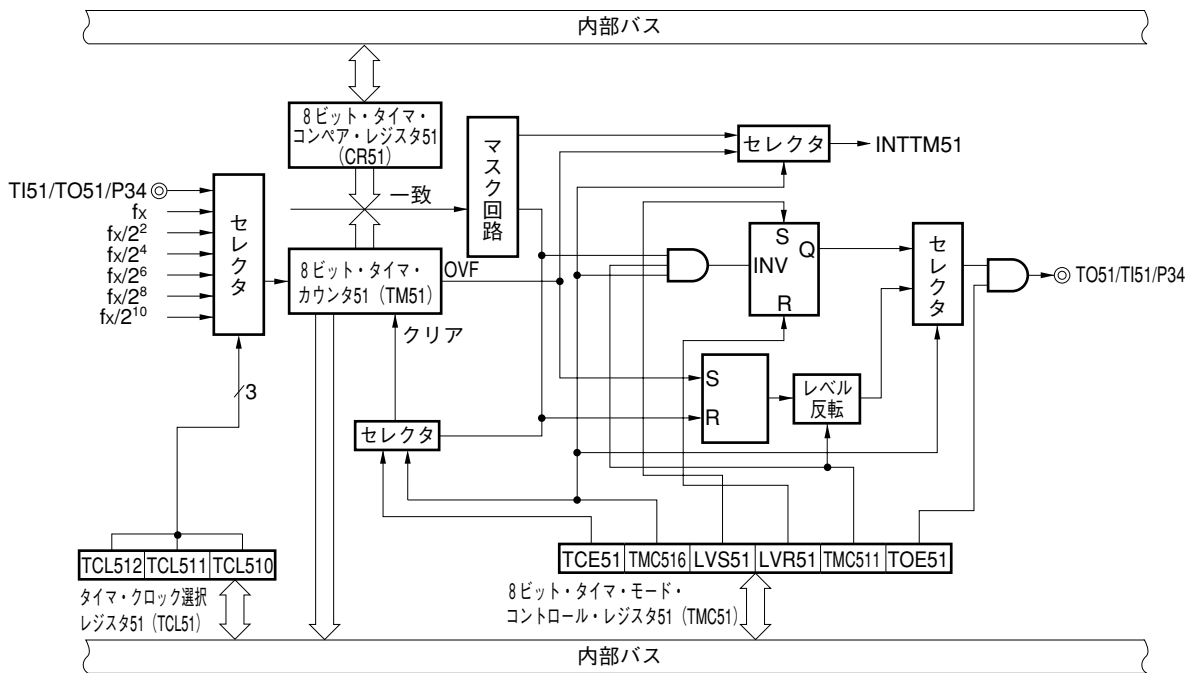
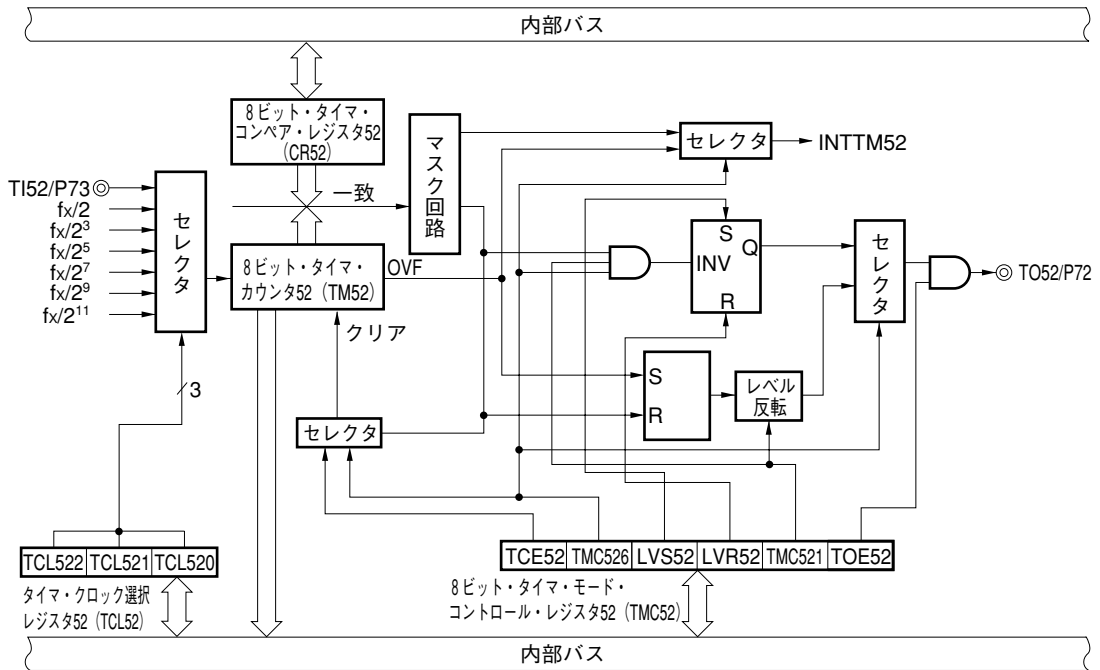


図8-3 8ビット・タイマ/イベント・カウンタ52のブロック図



8.3 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

8ビット・タイマ/イベント・カウンタ50, 51, 52は、次のハードウェアで構成されています。

表8-1 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ出力	3本 (TO5n)
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ3, 7 (PM3, PM7) 注

注 図4-9 P33, P34のブロック図, 図4-15 P70, P72のブロック図, 図4-16 P71, P73のブロック図を参照してください。

備考 n = 0-2

(1) 8ビット・タイマ・カウンタ5n (TM5n : n = 0-2)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

- ① RESET入力
- ② TCE5nをクリア
- ③ TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

備考 n = 0-2

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n : n = 0-2)

CR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します (PWMモード以外)。

CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

備考 n = 0-2

8.4 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタには、次の3種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ3, 7 (PM3, PM7)

備考 n=0-2

(1) タイマ・クロック選択レジスタ5n (TCL5n : n=0-2)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-4 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF71H	リセット時：00H	R/W						
略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択
0	0	0	TI50の立ち下がリエッジ
0	0	1	TI50の立ち上がりエッジ
0	1	0	f_x (10 MHz)
0	1	1	$f_x/2^2$ (2.5 MHz)
1	0	0	$f_x/2^4$ (625 kHz)
1	0	1	$f_x/2^6$ (156.2 kHz)
1	1	0	$f_x/2^8$ (39.1 kHz)
1	1	1	$f_x/2^{10}$ (9.77 kHz)

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x ：メイン・システム・クロック発振周波数

2. ()内は、 $f_x=10$ MHz動作時。

図8-5 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス：FF74H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択
0	0	0	TI51の立ち下がりエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	f_x (10 MHz)
0	1	1	$f_x/2^2$ (2.5 MHz)
1	0	0	$f_x/2^4$ (625 kHz)
1	0	1	$f_x/2^6$ (156.2 kHz)
1	1	0	$f_x/2^8$ (39.1 kHz)
1	1	1	$f_x/2^{10}$ (9.77 kHz)

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

図8-6 タイマ・クロック選択レジスタ52 (TCL52) のフォーマット

アドレス：FF77H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520

TCL522	TCL521	TCL520	カウント・クロックの選択
0	0	0	TI52の立ち下がリエッジ
0	0	1	TI52の立ち上がりエッジ
0	1	0	$f_x/2$ (5 MHz)
0	1	1	$f_x/2^3$ (1.25 MHz)
1	0	0	$f_x/2^5$ (312.5 kHz)
1	0	1	$f_x/2^7$ (78.1 kHz)
1	1	0	$f_x/2^9$ (19.5 kHz)
1	1	1	$f_x/2^{11}$ (4.88 kHz)

注意1. TCL52を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x ：メイン・システム・クロック発振周波数

2. ()内は、 $f_x = 10$ MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n：n=0-2)

TMC5nは、次の5種類の設定を行うレジスタです。

- ① 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- ② 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- ③ タイマ出力F/F (フリップフロップ) の状態設定
- ④ タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択
- ⑤ タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-7に、TMC5nのフォーマットを示します。

図8-7 8ビット・タイマ・モード・コントロール・レジスタ 5n (TMC5n) のフォーマット

アドレス：FF70H (TMC50) FF73H (TMC51) FF76H (TMC52) リセット時：00H R/W

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC5n	TCE5n	TMC5n6	0	0	LVS5n	LVR5n	TMC5n1	TOE5n

TCE5n	TM5nのカウンタ動作制御	
0	カウンタを0にクリア後、カウンタ動作禁止(プリスケアラ禁止)	
1	カウンタ動作開始	

TMC5n6	TM5nの動作モード選択	
0	TM5nとCR5nの一致でクリア&スタート・モード	
1	PWM (フリーランニング) モード	

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC5n1	PWMモード以外 (TMC5n6 = 0)	PWMモード (TMC5n6 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5n	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

- 備考1. PWMモード時は、TCE5n = 0により、PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVS5n, LVR5n読み出すと、0が読み出せます。
3. n = 0-2

(3) ポート・モード・レジスタ3, 7 (PM3, PM7)

ポート3, 7の入力/出力を1ビット単位で設定するレジスタです。

P33/TO50/TI50, P34/TO51/TI51, P72/TO52端子をタイマ出力として使用するとき, PM33, PM34, PM72およびP33, P34, P72の出力ラッチに0を設定してください。

PM3, PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図8-8 ポート・モード・レジスタ3, 7 (PM3, PM7) のフォーマット

アドレス:	FF23H	リセット時:	FFH	R/W				
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス:	FF27H	リセット時:	FFH	R/W				
略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM73	PM72	PM71	PM70

PMmn	Pmn端子の入出力モードの選択 (m=3:n=0-4, m=7:n=0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.5 8ビット・タイマ/イベント・カウンタ50, 51, 52の動作

8.5.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、8.6 8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項 (2) を参照してください。

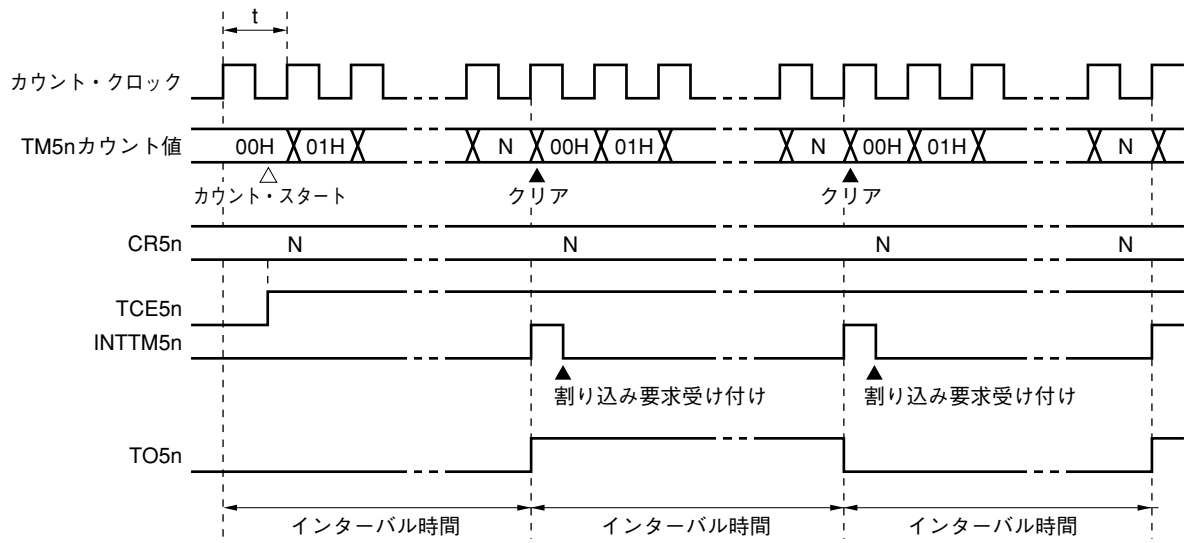
[設定方法]

- ① 各レジスタの設定を行います。
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000×××0B × = don't care)
- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。
- ④ 以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

備考 n = 0-2

図8-9 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作



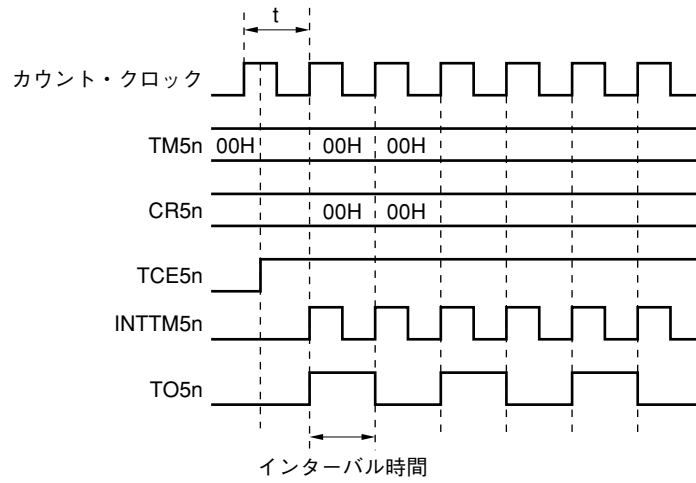
備考 1. インターバル時間 = $(N+1) \times t$

N = 00H-FFH

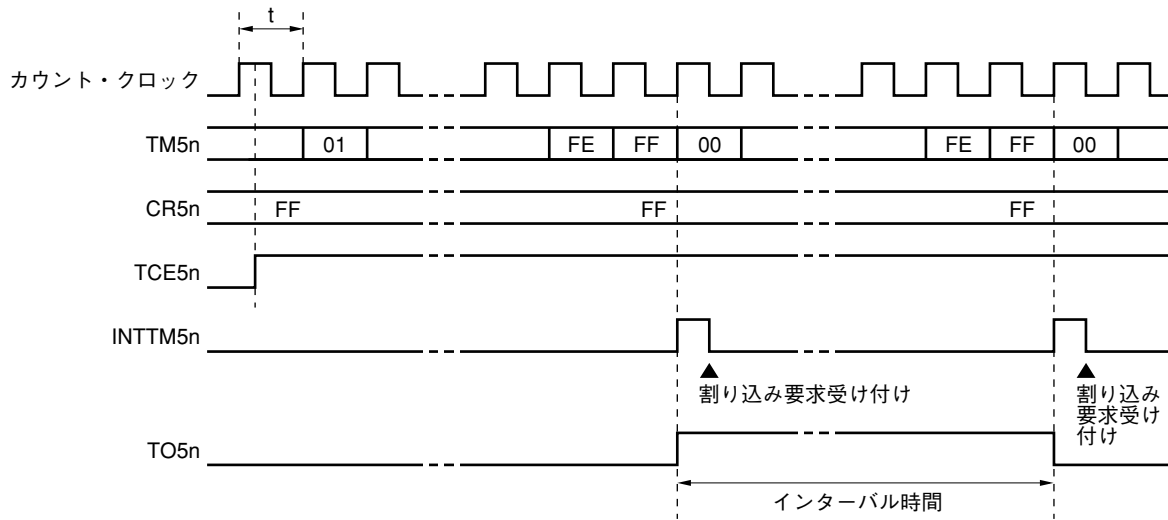
2. n = 0-2

図8-9 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



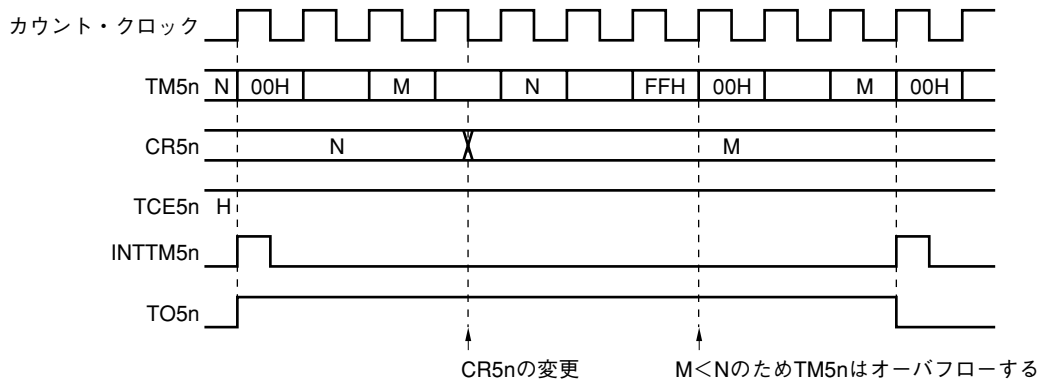
(c) CR5n = FFHの場合



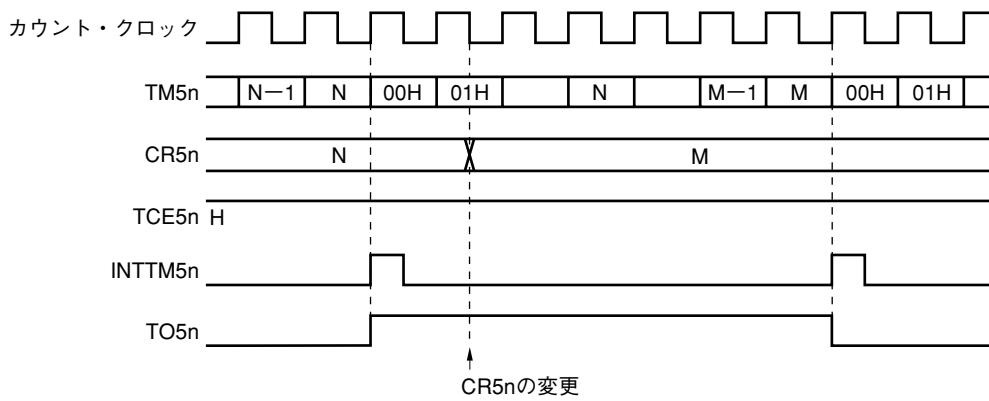
備考 n = 0-2

図8-9 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M<N)



(e) CR5n変更による動作 (M>N)



備考 n = 0-2

8.5.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5nに入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

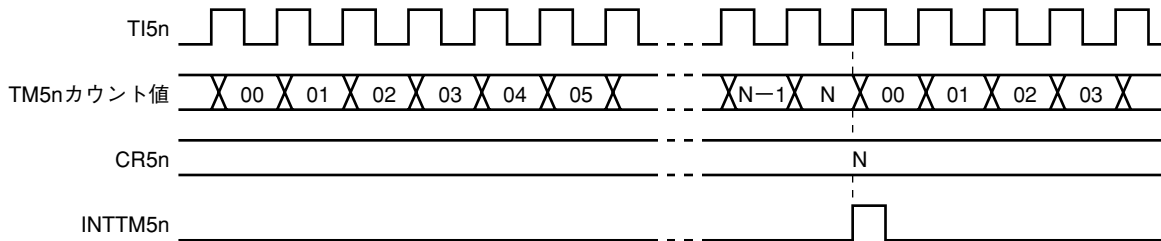
タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

備考 n = 0-2

図8-10 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 n = 0-2

8.5.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値をインターバルとしてTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ=50%) が可能です。

[設定方法]

- ① 各レジスタの設定を行います。
 - ・ポート・ラッチ, ポート・モード・レジスタに“0”を設定
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

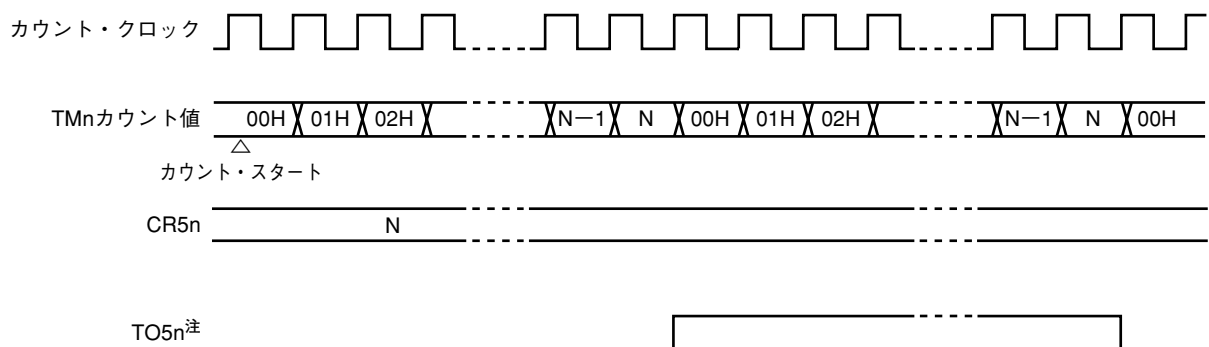
タイマ出力F/Fの反転許可

タイマ出力許可→TOE5n = 1

- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。
また、INTTM5nが発生し、TM5nは00Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

備考 n = 0-2

図8-11 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

備考 n = 0-2

8.5.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

備考 n = 0-2

(1) PWM出力の基本動作

[設定方法]

- ① ポート・ラッチ (P33, P34, P72) , ポート・モード・レジスタ 3, 7 (PM33, PM34, PM72) に“0”を設定します。
- ② 8ビット・タイマ・コンペア・レジスタ (CR5n) でアクティブ・レベル幅を設定します。
- ③ タイマ・クロック選択レジスタ5n (TCL5n) で、カウント・クロックを選択します。
- ④ TMC5nのビット1 (TMC5n1) で、アクティブ・レベルを設定します。
- ⑤ TMC5nのビット7 (TCE5n) に“1”を設定すると、カウント動作を開始します。
カウント動作を停止するときは、TCE5nに“0”を設定してください。

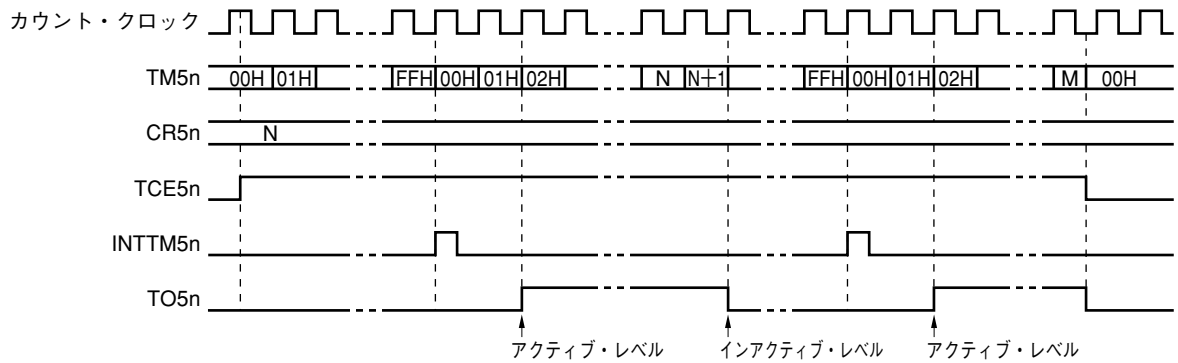
[PWM出力の動作]

- ① カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると、設定方法①で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されません。
- ③ CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後、カウント動作が停止されるまで②, ③を繰り返します。
- ⑤ TCE5n = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

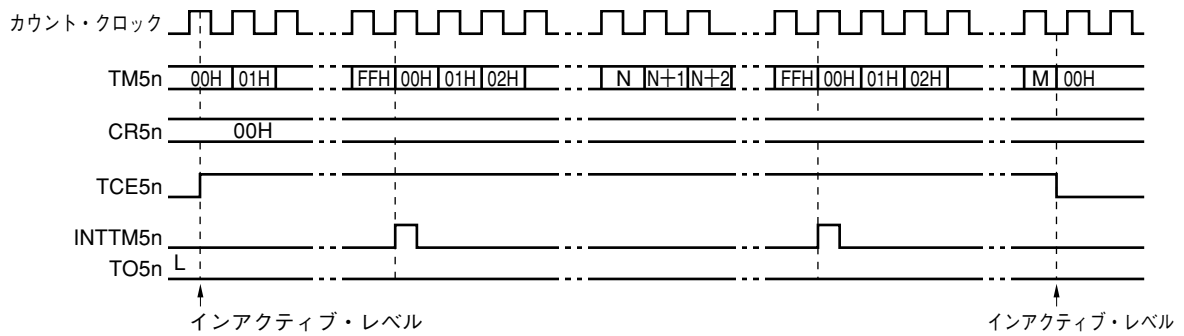
備考 n = 0-2

図8-12 PWM出力の動作タイミング

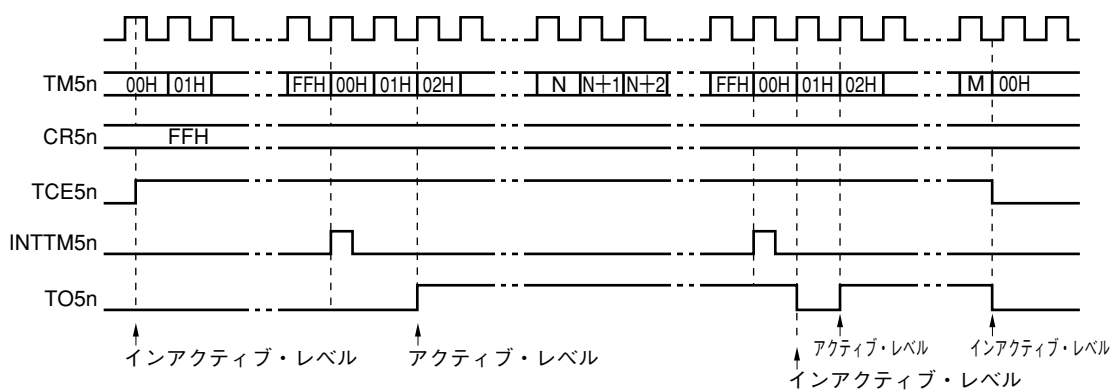
(a) 基本動作 (アクティブ・レベル = H のとき)



(b) CR5n = 0 の場合



(c) CR5n = FFH の場合

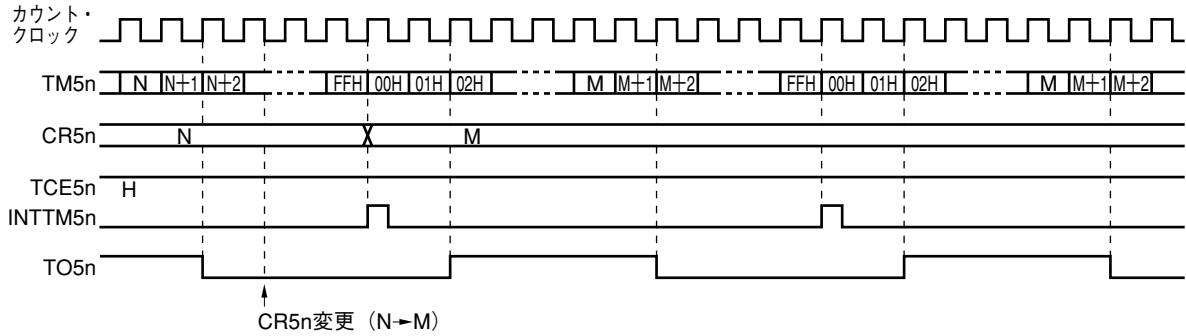


備考 n = 0-2

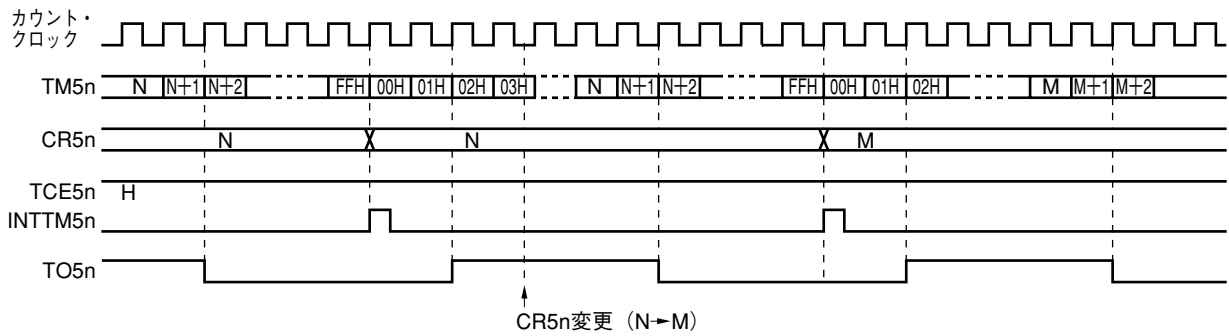
(2) CR5n変更による動作

図8-13 CR5n変更による動作のタイミング

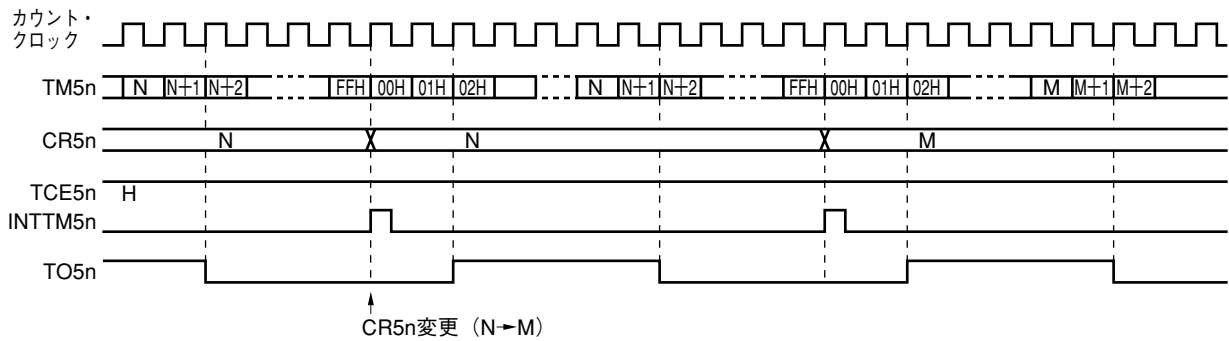
(a) CR5nの値をTM5nのオーバーフロー前にN→Mに変更した場合



(b) CR5nの値をTM5nのオーバーフロー後にN→Mに変更した場合



(c) CR5nの値をTM5nのオーバーフロー直後の2クロック間(00H, 01H)にN→Mに変更した場合



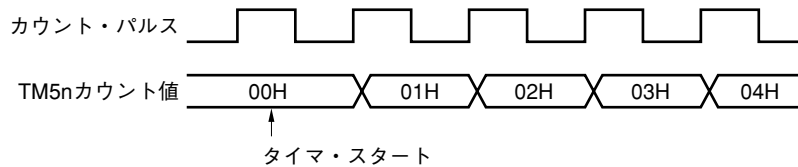
備考 n = 0-2

8.6 8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5n (TM5n) が非同期でスタートするためです。

図8-14 8ビット・タイマ・カウンタのスタート・タイミング

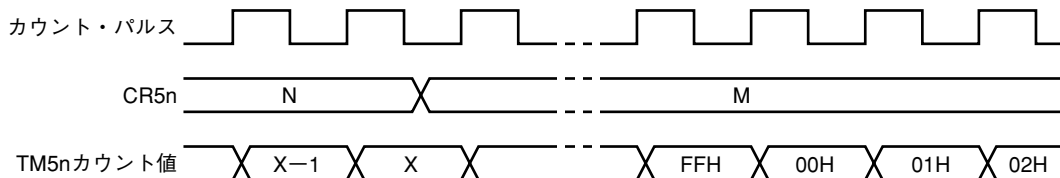


備考 n = 0-2

(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) の変更後の値が、8ビット・タイマ・カウンタ5n (TM5n) の値よりも小さいときはカウントを継続し、オーバフローして0から再カウントします。したがって、CR5nの変更後の値 (M) が、変更前の値 (N) より小さいときは、CR5nを変更したあと、タイマを再スタートさせる必要があります。

図8-15 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



注意 TI5n入力を選択している場合を除き、STOP状態に設定する前は必ずTCE5n = 0にしてください。

備考 1. $N > X > M$

2. n = 0-2

(3) タイマ動作中のTM5n (n = 0-2) 読み出しについて

動作中のTM5nを読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば、CPUクロック (fcPU) がfxのとき、選択するカウント・クロックがfx/4以下であれば読み出すことができます。

備考 n = 0-2

第9章 時計用タイマ

9.1 時計用タイマの概要

あらかじめ設定した時間間隔で割り込み要求 (INTWTN0とINTWTNIO) を発生できます。

9.2 時計用タイマの機能

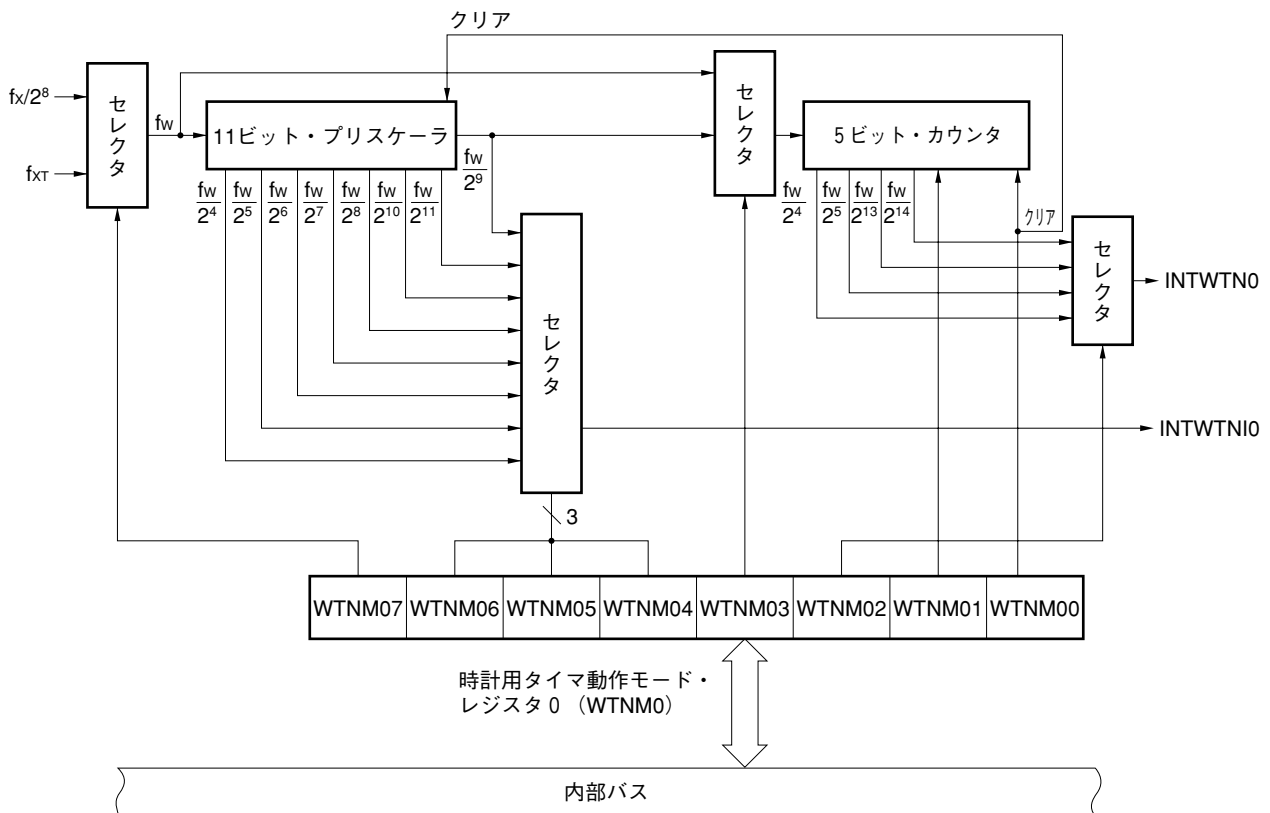
時計用タイマには、次のような機能があります。

- ・ 時計用タイマ
- ・ インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図9-1に、時計用タイマのブロック図を示します。

図9-1 時計用タイマのブロック図



- 備考 f_x : メイン・システム・クロック発振周波数
 f_{XT} : サブシステム・クロック発振周波数
 f_w : 時計用タイマ・クロック周波数

(1) 時計用タイマ

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWNTN0) を発生します。

表 9-1 時計用タイマの割り込み要求時間

割り込み要求時間	$f_x = 10 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4/f_w$	409.6 μs	488 μs
$2^5/f_w$	819.2 μs	977 μs
$2^{13}/f_w$	0.2 s	0.25 s
$2^{14}/f_w$	0.41 s	0.5 s

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) インターバル・タイマ

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWNTN10) を発生します。

表 9-2 インターバル・タイマのインターバル時間

割り込み要求時間	$f_x = 10 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4/f_w$	409.6 μs	488 μs
$2^5/f_w$	819.2 μs	977 μs
$2^6/f_w$	1.64 ms	1.95 ms
$2^7/f_w$	3.28 ms	3.91 ms
$2^8/f_w$	6.56 ms	7.81 ms
$2^9/f_w$	13.1 ms	15.6 ms
$2^{10}/f_w$	26.2 ms	31.2 ms
$2^{11}/f_w$	52.4 ms	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

9.3 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表 9-3 時計用タイマの構成

項 目	構 成
プリスケアラ	11ビット×1本, 5ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ 0 (WTNM0)

9.4 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ動作モード・レジスタ 0 (WTNM0) があります。

・時計用タイマ動作モード・レジスタ 0 (WTNM0)

時計用タイマの動作の許可／禁止, 11ビット・プリスケアラのインターバル時間, 5ビット・カウンタの動作制御を設定するレジスタです。

WTNM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図9-2 時計用タイマ動作モード・レジスタ0 (WTNM0) のフォーマット

アドレス：FF41H リセット時：00H R/W

略号 7 6 5 4 3 2 ① ②

WTNM0	WTNM07	WTNM06	WTNM05	WTNM04	WTNM03	WTNM02	WTNM01	WTNM00
-------	--------	--------	--------	--------	--------	--------	--------	--------

WTNM07	時計用タイマのカウント・クロック選択
0	$f_x/2^8$ (39.1 kHz)
1	f_{XT} (32.768 kHz)

WTNM06	WTNM05	WTNM04	11ビット・プリスケアラのインターバル時間の選択		
				WTNM07 = 0	WTNM07 = 1
0	0	0	$2^4/f_w$	$2^{12}/f_x$ (409.6 μ s)	$2^4/f_{XT}$ (488 μ s)
0	0	1	$2^5/f_w$	$2^{13}/f_x$ (819.2 μ s)	$2^5/f_{XT}$ (977 μ s)
0	1	0	$2^6/f_w$	$2^{14}/f_x$ (1.64 ms)	$2^6/f_{XT}$ (1.95 ms)
0	1	1	$2^7/f_w$	$2^{15}/f_x$ (3.28 ms)	$2^7/f_{XT}$ (3.91 ms)
1	0	0	$2^8/f_w$	$2^{16}/f_x$ (6.56 ms)	$2^8/f_{XT}$ (7.81 ms)
1	0	1	$2^9/f_w$	$2^{17}/f_x$ (13.1 ms)	$2^9/f_{XT}$ (15.6 ms)
1	1	0	$2^{10}/f_w$	$2^{18}/f_x$ (26.2 ms)	$2^{10}/f_{XT}$ (31.2 ms)
1	1	1	$2^{11}/f_w$	$2^{19}/f_x$ (52.4 ms)	$2^{11}/f_{XT}$ (62.4 ms)

WTNM03	WTNM02	時計用タイマの割り込み要求時間の選択		
			WTNM07 = 0	WTNM07 = 1
0	0	$2^{14}/f_w$	$2^{22}/f_x$ (0.41 s)	$2^{14}/f_{XT}$ (0.5 s)
0	1	$2^{13}/f_w$	$2^{21}/f_x$ (0.2 s)	$2^{13}/f_{XT}$ (0.25 s)
1	0	$2^5/f_w$	$2^{13}/f_x$ (819.2 μ s)	$2^5/f_{XT}$ (977 μ s)
1	1	$2^4/f_w$	$2^{12}/f_x$ (409.6 μ s)	$2^6/f_{XT}$ (488 μ s)

WTNM01	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTNM00	時計用タイマの動作許可
0	動作停止 (11ビット・プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注意 時計用タイマ動作中に、カウント・クロック、インターバル時間、割り込み要求時間の変更 (WTNM0のビット2-7 (WTNM02-WTNM07) で設定) をしないでください。

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz, $f_{XT} = 32.768$ kHz動作時

9.5 時計用タイマの動作

9.5.1 時計用タイマとしての動作

メイン・システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔の時計用タイマとして動作します。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット2, 3, 7 (WTNM02, WTNM03, WTNM07) により、時計用タイマの時間を選択できます。

時計用タイマは、一定の時間間隔ごとに、割り込み要求 (INTWTN0) を発生します。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット0 (WTNM00) とビット1 (WTNM01) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

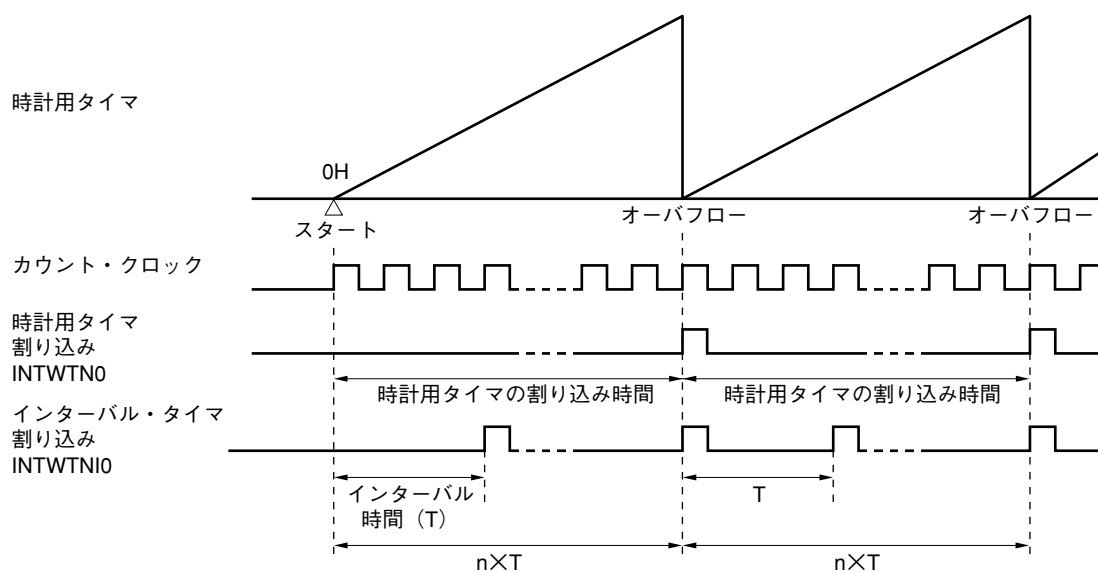
また、インターバル・タイマを同時に動作させているときは、WTNM01に0を設定することにより、ゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケーラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバーフロー (INTWTN0) には、最大で $2^{11} \times 1/f_w$ 秒の誤差が発生します。

9.5.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTNIO) を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ0 (WTNM0) のビット4-6, 7 (WTNM04-WTNM06, WTNM07) により、インターバル時間を選択できます。

図9-3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ動作モード・レジスタ0 (WTNM0) で時計用タイマおよび5ビット・カウンタを動作許可 (WTNM0のビット0 (WTNM00) およびビット1 (WTNM01) を1にセット) したとき、設定後の最初の割り込み要求 (INTWTN0) までの時間は、正確にWTNM0のビット2, 3 (WTNM02, WTNM03) の設定時間にはなりません。これは5ビット・カウンタのカウント開始が11ビット・プリケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWTN0信号が発生します。

備考 n : インターバル・タイマ動作の回数

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの概要

ウォッチドッグ・タイマ、あるいは、あらかじめ設定した任意の時間間隔でノンマスクابل割り込み要求、マスクابل割り込み要求、RESETを発生できます。

10.2 ウォッチドッグ・タイマの機能

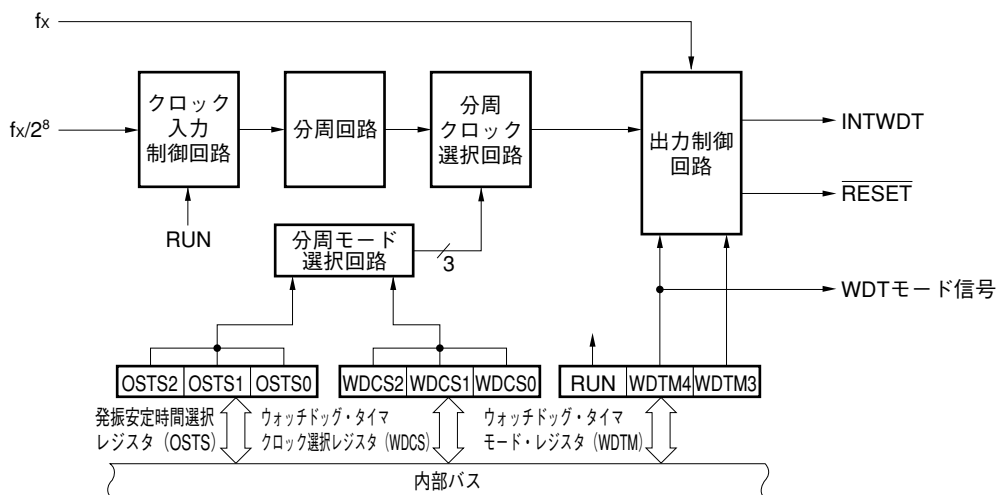
ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

図10-1 にブロック図を示します。

図10-1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求または $\overline{\text{RESET}}$ を発生できません。

表10-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12} \times 1/f_x$ (410 μs)
$2^{13} \times 1/f_x$ (819 μs)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10 \text{ MHz}$ 動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で、割り込み要求を発生します。

表10-2 インターバル時間

インターバル時間
$2^{12} \times 1/f_x$ (410 μs)
$2^{13} \times 1/f_x$ (819 μs)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10 \text{ MHz}$ 動作時。

10.3 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

10.4 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図10-2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

アドレス：FF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{13}/f_x$ (819 μ s)
0	1	0	$2^{14}/f_x$ (1.64 ms)
0	1	1	$2^{15}/f_x$ (3.28 ms)
1	0	0	$2^{16}/f_x$ (6.55 ms)
1	0	1	$2^{17}/f_x$ (13.1 ms)
1	1	0	$2^{18}/f_x$ (26.2 ms)
1	1	1	$2^{20}/f_x$ (105 ms)

備考 1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FFF9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	×	インターバル・タイマ・モード ^{注3} (オーバーフロー発生時、マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作を起動)

- 注1. RUNは、一度1にセットされると、ソフトウェアで0にクリアすることはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
- 2. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアすることはできません。
- 3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^8/f_x$ 秒短くなります。

備考 × : don't care

(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図10-4 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFAH リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{14}/f_x$ (1.64 ms)
0	1	0	$2^{15}/f_x$ (3.28 ms)
0	1	1	$2^{16}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (13.1 ms)
上記以外			設定禁止

備考1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

10.5 ウォッチドッグ・タイマの動作

10.5.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 1. 実際の暴走検出時間は、設定時間に対して最大2⁹/fx秒短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表10-4 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12} \times 1/f_x$ (410 μ s)
$2^{13} \times 1/f_x$ (819 μ s)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

備考 1. fx: メイン・システム・クロック発振周波数

2. () 内は、fx = 10 MHz動作時。

10.5.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスクブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのディフォルト優先順位は、マスクブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意 1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET 入力されないかぎり、インターバル・タイマ・モードにはなりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。
3. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表10-5 インターバル・タイマのインターバル時間

インターバル時間
$2^{12} \times 1/f_x$ (410 μ s)
$2^{13} \times 1/f_x$ (819 μ s)
$2^{14} \times 1/f_x$ (1.64 ms)
$2^{15} \times 1/f_x$ (3.28 ms)
$2^{16} \times 1/f_x$ (6.55 ms)
$2^{17} \times 1/f_x$ (13.1 ms)
$2^{18} \times 1/f_x$ (26.2 ms)
$2^{20} \times 1/f_x$ (105 ms)

- 備考 1. f_x : メイン・システム・クロック発振周波数
2. () 内は、 $f_x = 10$ MHz動作時。

第11章 クロック出力／ブザー出力制御回路

11.1 クロック出力／ブザー出力制御回路の概要

クロック出力は、メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給し、ブザー出力は、メイン・システム・クロックを分周したブザー周波数を出力する回路です。

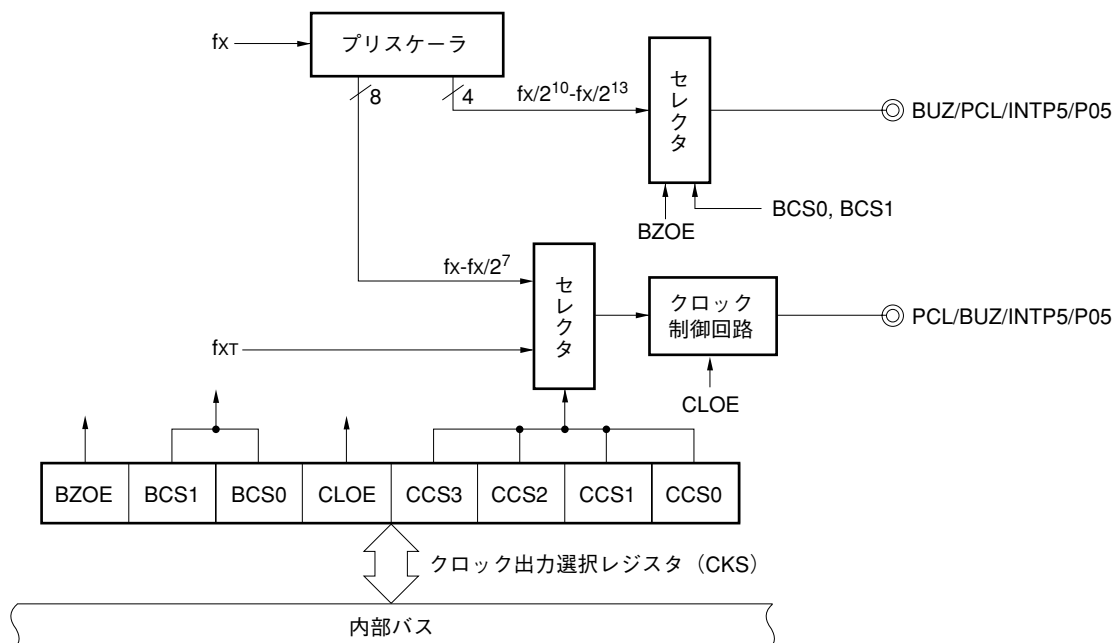
11.2 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図11-1にクロック出力／ブザー出力制御回路のブロック図を示します。

図11-1 クロック出力／ブザー出力制御回路のブロック図



11.3 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表11-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ 0 (PM0) 注

注 図 4-3 P05のブロック図を参照してください。

11.4 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ 0 (PM0)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図11-2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可／禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択
0	0	$f_x/2^{10}$ (9.77 kHz)
0	1	$f_x/2^{11}$ (4.88 kHz)
1	0	$f_x/2^{12}$ (2.44 kHz)
1	1	$f_x/2^{13}$ (1.22 kHz)

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択
0	0	0	0	f_x (10 MHz)
0	0	0	1	$f_x/2$ (5 MHz)
0	0	1	0	$f_x/2^2$ (2.5 MHz)
0	0	1	1	$f_x/2^3$ (1.25 MHz)
0	1	0	0	$f_x/2^4$ (625 kHz)
0	1	0	1	$f_x/2^5$ (312.5 kHz)
0	1	1	0	$f_x/2^6$ (156.3 kHz)
0	1	1	1	$f_x/2^7$ (78.1 kHz)
1	0	0	0	f_{XT} (32.768 kHz)
上記以外				設定禁止

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. () 内は, $f_x = 10$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ0 (PM0)

ポート0の入力／出力を1ビット単位で設定するレジスタです。

PCL/BUZ/INTP5/P05端子をクロック出力機能またはブザー出力機能として使用するとき、PM05およびP05の出力ラッチに0を設定してください。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図11-3 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.5 クロック出力／ブザー出力制御回路の動作

11.5.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。
- ② CKSのビット4（CLOE）に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図11-4に示すように、必ずクロックのロウ期間から出力を開始します（図中の*印参照）。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図11-4 リモコン出力応用例



11.5.2 ブザー出力としての動作

ブザー周波数は、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。
- ② CKSのビット7（BZOE）に1を設定し、ブザー出力を許可する。

第12章 A/Dコンバータ

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、最大10チャンネル (ANI0-ANI9) のアナログ入力を制御できる構成になっています。

(1) ハードウェア・スタート

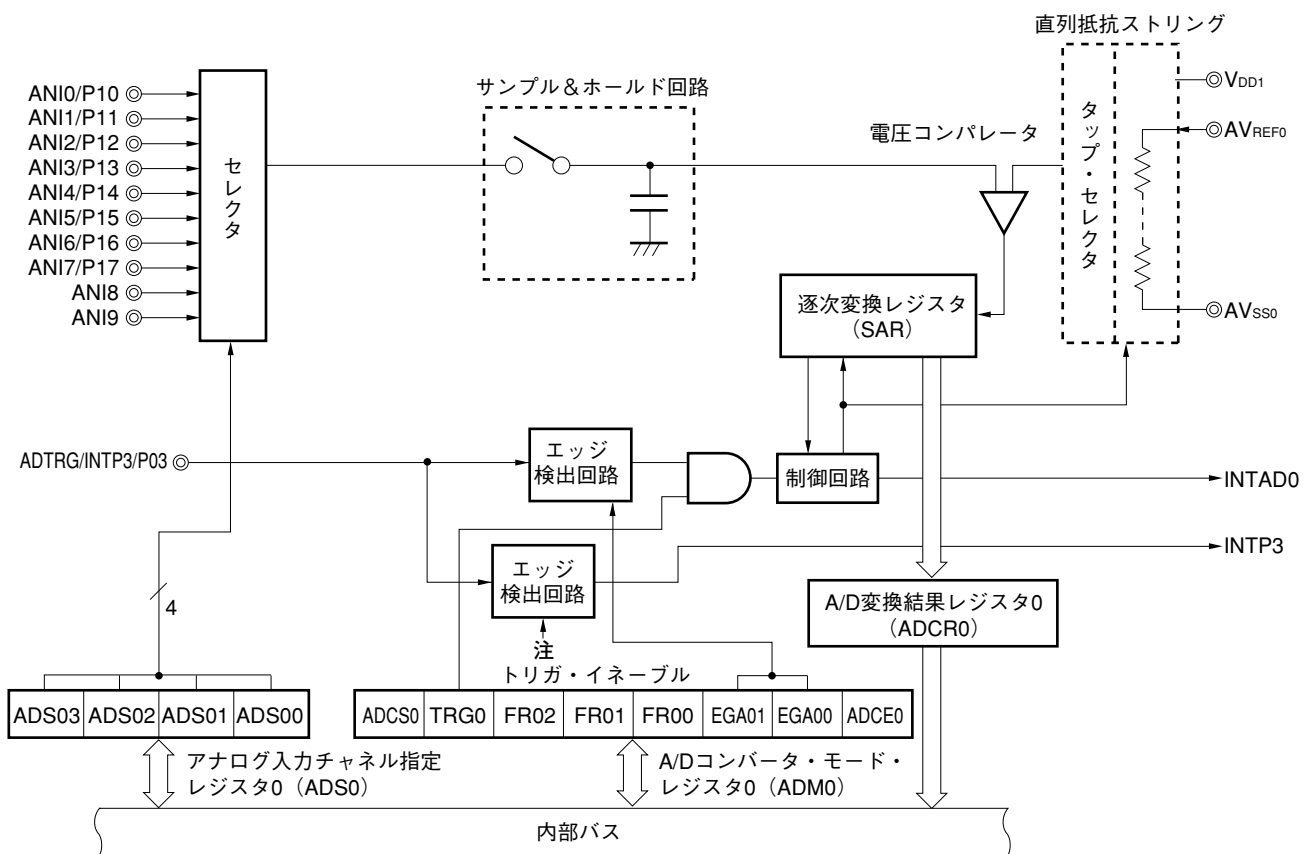
トリガ入力 (ADTRG：立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジの指定が可能) により変換開始。

(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより変換開始。

アナログ入力をANI0-ANI9から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求 (INTAD0) が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTAD0が発生されます。

図12-1 A/Dコンバータのブロック図



注 EGP, EGNレジスタのビット3で有効エッジ指定 (図18-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット参照)。

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表12-1 A/Dコンバータの構成

項目	構成
アナログ入力	10チャンネル (ANI0-ANI9)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ 0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ 0 (ADM0) アナログ入力チャンネル指定レジスタ 0 (ADS0) 外部割り込み立ち上がりエッジ許可レジスタ (EGP) 外部割り込み立ち下がりエッジ許可レジスタ (EGN)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ 0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ 0 (ADCR0)

A/D変換結果を格納する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR0は16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	FF0FH	FF0EH	アドレス	リセット時	R/W												
ADCR0	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	0	0	0	0	0	0	FF0EH, FF0FH	0000H	R

注意 A/Dコンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャンネル指定レジスタ 0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングはAV_{REF0}-AV_{SS0}間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI9端子

A/Dコンバータへの10チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI7端子は、アナログ入力チャンネル指定レジスタ0 (ADS0) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 1. ANI0-ANI9入力電圧は規格の範囲内でご使用ください。特に AV_{REF0} 以上、 AV_{SS0} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

2. アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF0} 、 AV_{SS0} 間にかかる電圧に基づいて、ANI0-ANI9に入力される信号をデジタル信号に変換します。

注意 AV_{REF0} 端子と AV_{SS0} 端子の間には直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF0} 端子と AV_{SS0} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS0} 端子

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

(9) V_{DD1} 端子

ポート部以外の正電源供給端子です。

12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の4種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャンネル指定レジスタ0 (ADS0)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	ADCE0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート/ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	変換時間の選択 ^{注1}
0	0	0	144/fx (14.4 μs)
0	0	1	120/fx (設定禁止 ^{注2})
0	1	0	96/fx (設定禁止 ^{注2})
1	0	0	576/fx (57.6 μs)
1	0	1	480/fx (48.0 μs)
1	1	0	384/fx (38.4 μs)
上記以外			設定禁止

EGA01	EGA00	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

ADCE0	A/Dコンバータ回路用昇圧回路動作の制御 ^{注3}
0	動作停止
1	動作許可

- 注1. A/D変換時間が14 μs以上になるように設定してください。
2. A/D変換時間が14 μs未満となりますので, 設定禁止です。
3. A/D変換する場合, 必ず昇圧回路を動作開始 (ADCE0 = 1) してから, A/D変換動作を開始 (ADCS0 = 1) してください。

- 注意1. FR00-FR02を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。
2. ADCE0をセットしたあと, ADCS0をセットするまでに14 μs (MIN.) のウェイト時間をソフトウェアなどで確保してください。
3. ADCE0をクリアする場合は, ADCS0をクリアしてから行ってください。

- 備考1. fx: メイン・システム・クロック発振周波数
2. () 内は, fx = 10 MHz動作時。

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-3 アナログ入力チャンネル指定レジスタ0 (ADS0) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	ADS03	ADS02	ADS01	ADS00

ADS03	ADS02	ADS01	ADS00	アナログ入力チャンネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	ANI7
1	0	0	0	ANI8
1	0	0	1	ANI9
上記以外				設定禁止

- (3) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) INTP0-INTP5の有効エッジを設定するレジスタです。
EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図12-4 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

12.4 A/Dコンバータの動作

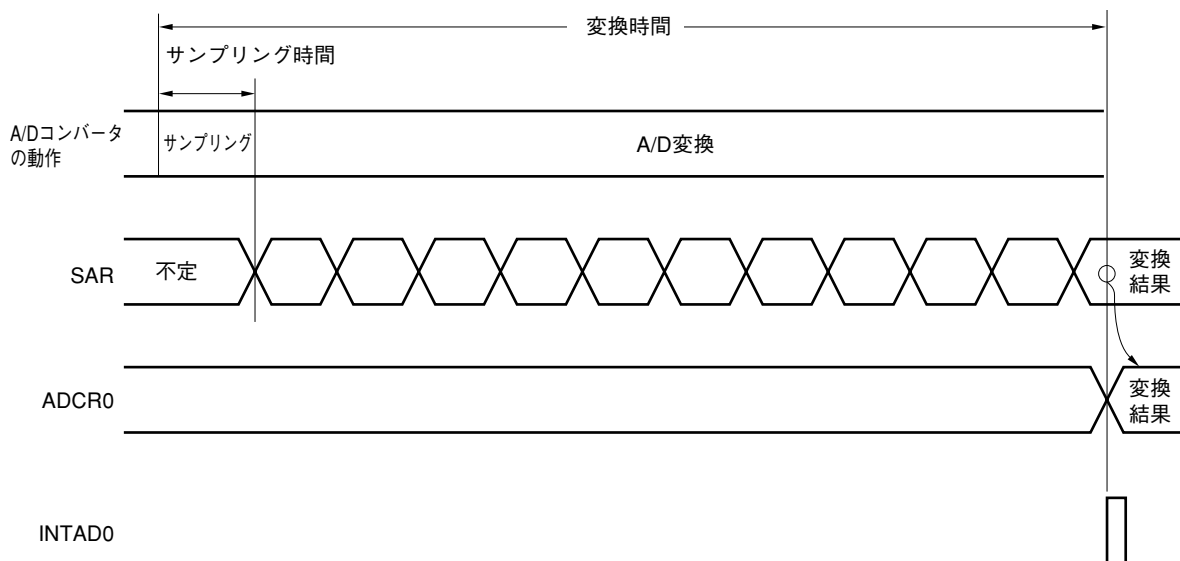
12.4.1 A/Dコンバータの基本動作

- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット9がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF0}$ にされます。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $>$ $(1/2) AV_{REF0}$ よりも大きければ、SARのMSBがセットされたままです。また、 $(1/2) AV_{REF0}$ よりも小さければMSBをリセットします。
- ⑥ 次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット9 = 1 : $(3/4) AV_{REF0}$
 - ・ビット9 = 0 : $(1/4) AV_{REF0}$この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。
 - ・アナログ入力電圧 \geq 電圧タップ : ビット8 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ : ビット8 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意 A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図12-5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により00Hとなります。

12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI9) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ 0 (ADCR0)) には次式に示す関係があります。

$$ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

または,

$$(ADCR0 - 0.5) \times \frac{AV_{REF0}}{1024} \leq V_{IN} < (ADCR0 + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

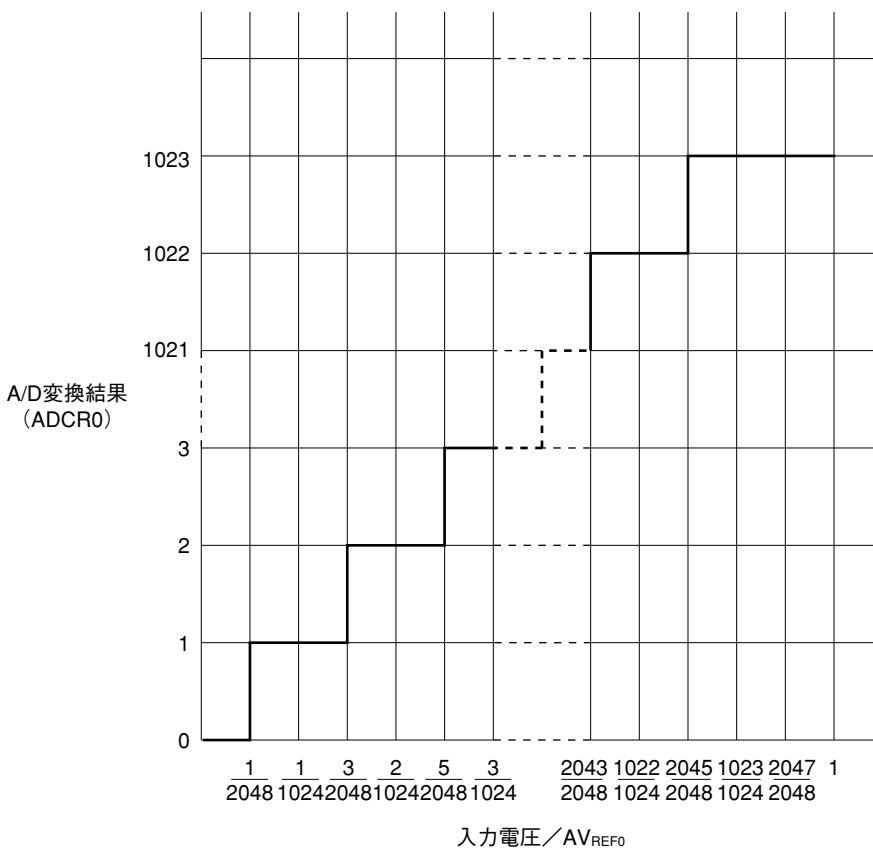
V_{IN} : アナログ入力電圧

AV_{REF0} : AV_{REF0} 端子電圧

ADCR0 : A/D変換結果レジスタ 0 (ADCR0) の値

図12-6 にアナログ入力電圧とA/D変換結果の関係を示します。

図12-6 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI9からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力（立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジ指定可能）
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) に1を設定したあと、ビット6 (TRG0) に1、ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (ADTRG) が入力されると、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

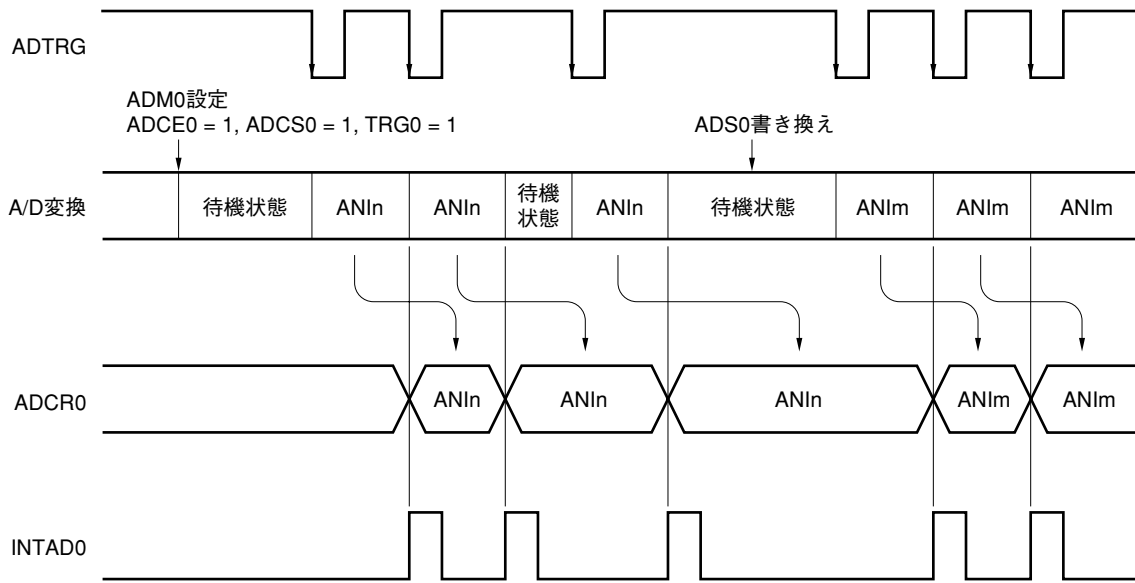
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力 (ADTRG) として使用するとき、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

図12-7 ハードウェア・スタートによるA/D変換動作（立ち下がリエッジ指定時）



- 備考 1. $n = 0, 1, \dots, 9$
 2. $m = 0, 1, \dots, 9$

(2) ソフトウェア・スタートによるA/D変換動作

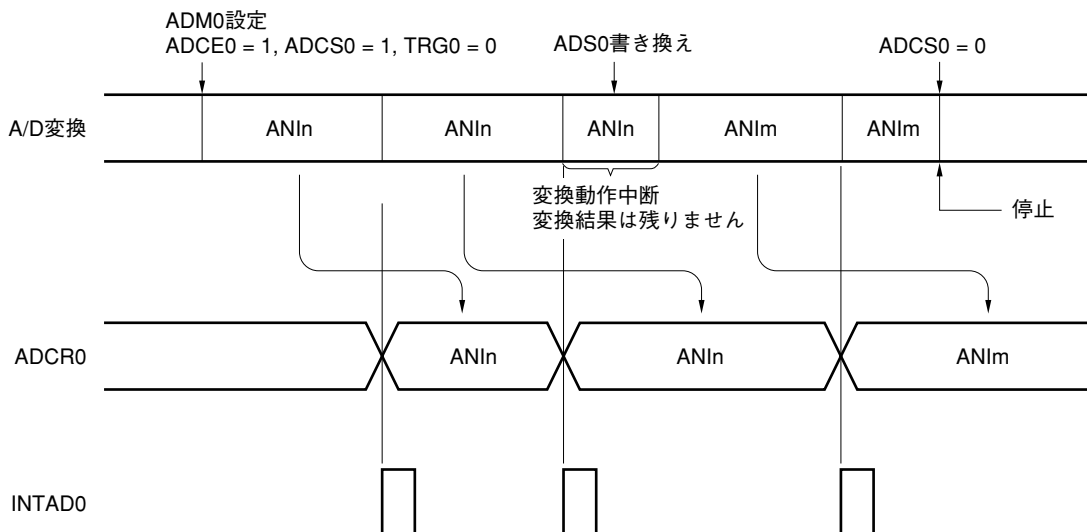
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) に1を設定したあと、ビット6 (TRG0) に0、ビット7 (ADCS0) に1を設定することにより、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中にADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図12-8 ソフトウェア・スタートによるA/D変換動作



- 備考 1. $n = 0, 1, \dots, 9$
 2. $m = 0, 1, \dots, 9$

12.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-9 総合誤差

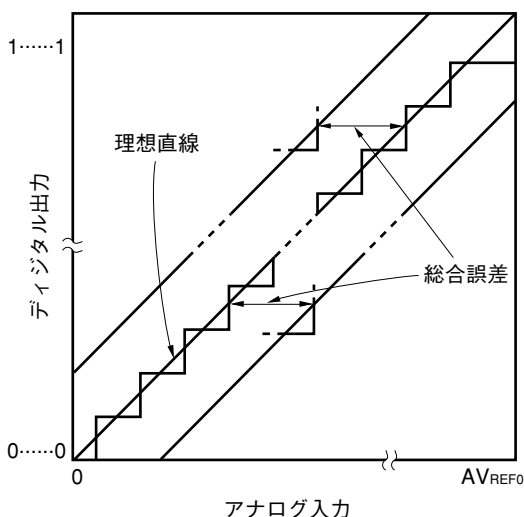
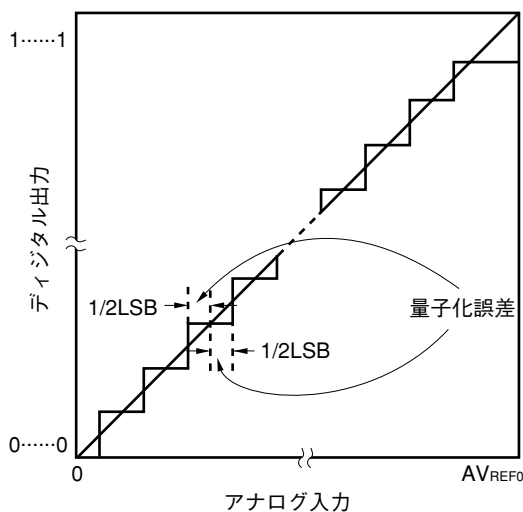


図12-10 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するとき、アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するとき、アナログ入力電圧の実測値と理論値（3/2LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するとき、アナログ入力電圧の実測値と理論値（フルスケール-3/2LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール・オフセット、フルスケール・オフセットを0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12-11 ゼロスケール誤差

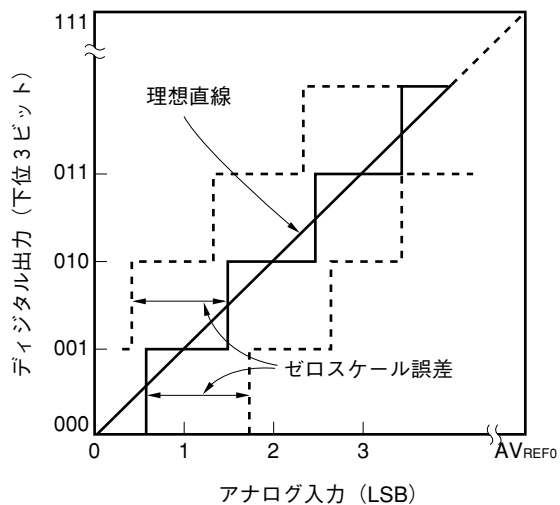


図12-12 フルスケール誤差

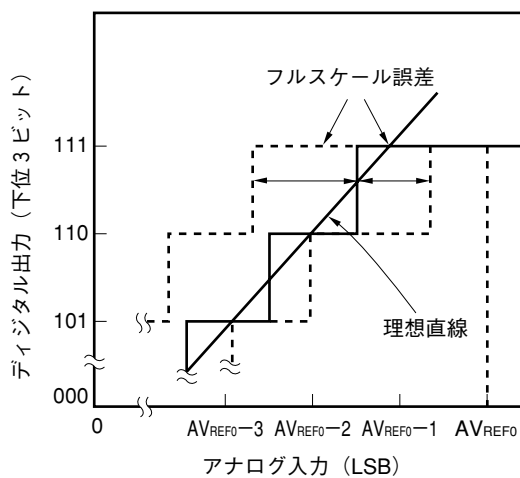


図12-13 積分直線性誤差

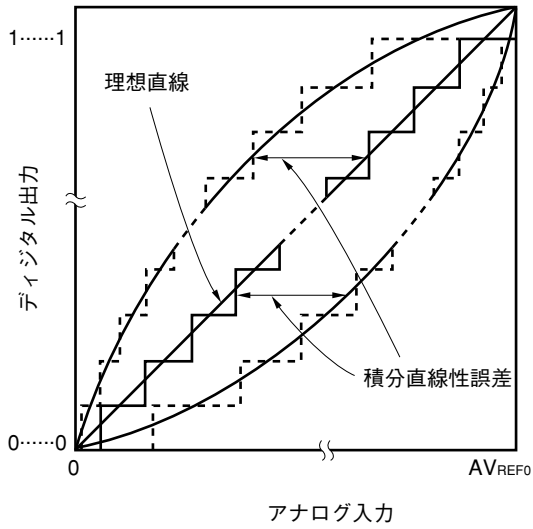
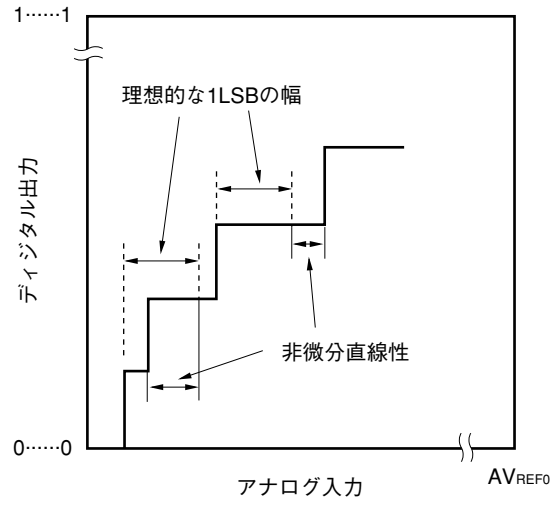


図12-14 微分直線性誤差

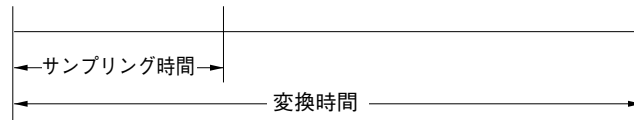


(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



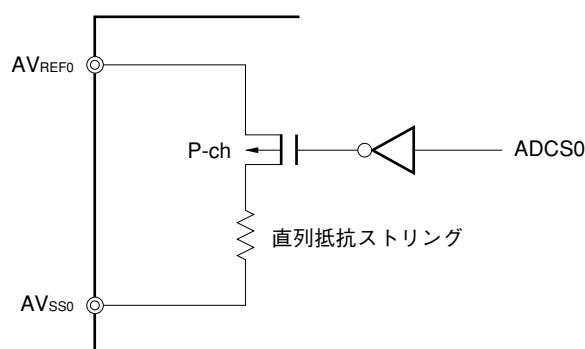
12.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図12-15に示します。

図12-15 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI9入力範囲について

ANI0-ANI9入力電圧は規格の範囲内でご使用ください。特に AV_{REF0} 以上、 AV_{SS0} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

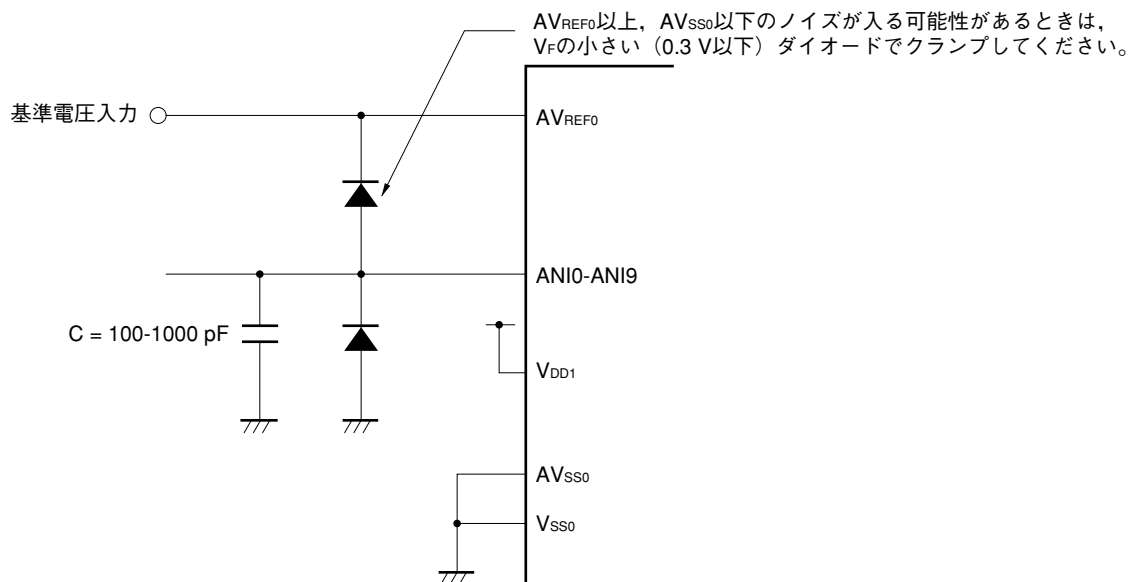
(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCR0ライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF0} 、 $ANI0$ - $ANI9$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-16のようにCを外付けすることを推奨します。

図12-16 アナログ入力端子の処理



(5) ANI0-ANI9

アナログ入力 (ANI0-ANI9) 端子はポート端子と兼用になっています。

ANI0-ANI9のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中に他のアナログ入力端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中に他のアナログ入力端子へのパルス印加はしないようにしてください。

(6) AV_{REF0}端子の入力インピーダンスについて

AV_{REF0}端子とAV_{SS0}端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF0}端子とAV_{SS0}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

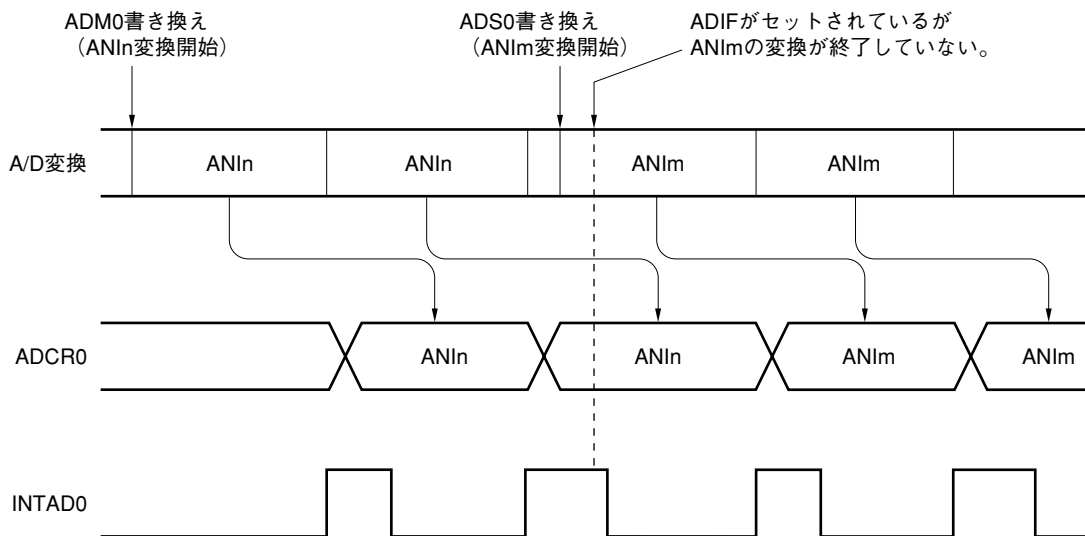
(7) 割り込み要求フラグ (ADIF0) について

アナログ入力チャンネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図12-17 A/D変換終了割り込み要求発生タイミング



備考 1. n = 0, 1, …, 9

2. m = 0, 1, …, 9

(8) A/D変換スタート直後の変換結果について

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCE0) をセット (1) せずに、ビット7 (ADCS0) をセット (1) すると、A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

またADCE0をセット (1) 後、14 μ s (MIN.) のウエイト時間を確保せずにADCS0をセット (1) した場合、同様なことが起こる恐れがありますので、十分にウエイト時間を確保してください。

(9) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出して下さい。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図12-18、図12-19に示します。

図12-18 変換結果を読み出すタイミング (変換結果が不定値の場合)

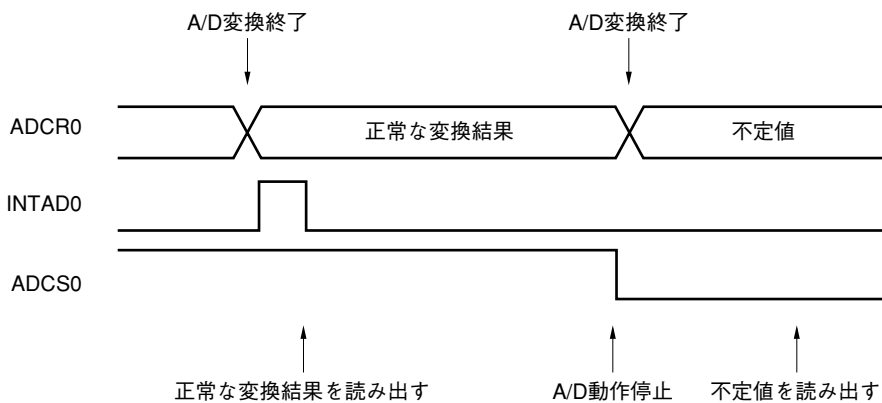
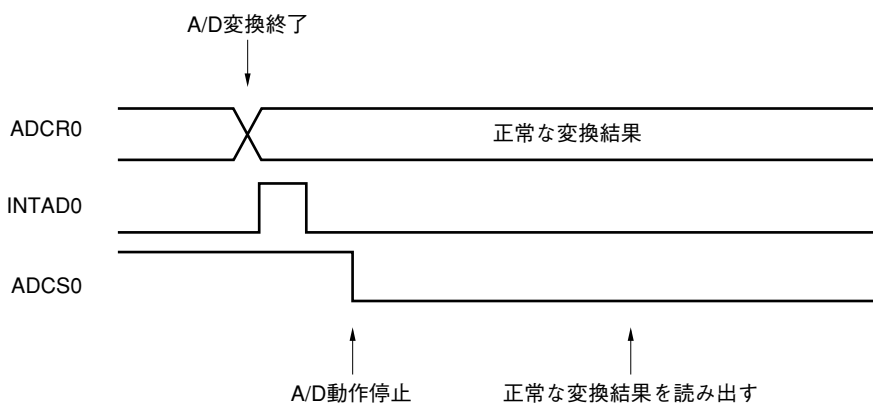


図12-19 変換結果を読み出すタイミング（変換結果が正常値の場合）



(11) ボード設計上の注意

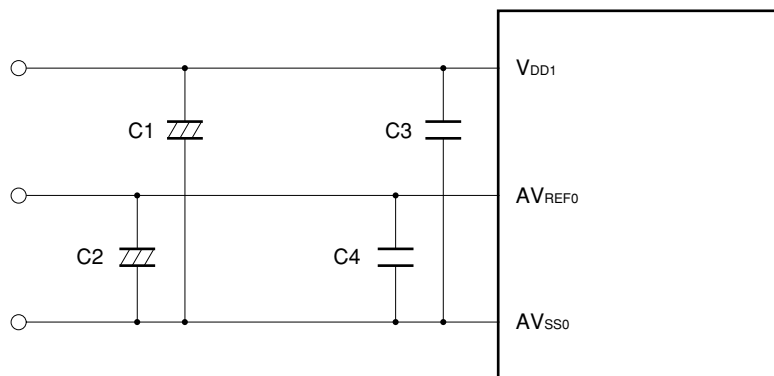
ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AVSS0とVSS0はボード上で安定しているところで1箇所、接続してください。

(12) VDD1端子, AVREF0端子

ノイズによる変換誤差を小さく抑えるため、VDD1端子とAVREF0端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、VDD1端子やAVREF0端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもVDD1端子とAVREF0端子にコンデンサを接続してください。コンデンサの接続例を図12-20に示します。

図12-20 VDD1端子, AVREF0端子とコンデンサの接続例



備考 C1, C2 : 4.7 μ F ~ 10 μ F (参考値)

C3, C4 : 0.01 μ F ~ 0.1 μ F (参考値)

C3とC4は端子のできるだけ近くに接続してください。

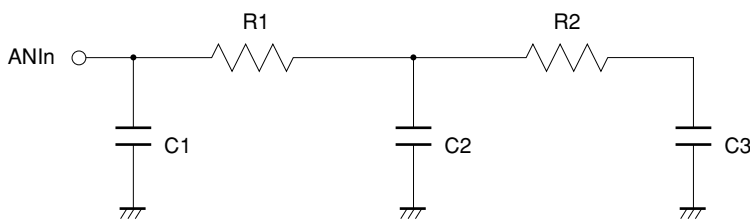
(13) ANI0-ANI9端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図12-21にANI0-ANI9端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI9端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図12-22に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図12-21 ANI0-ANI9端子内部等価回路



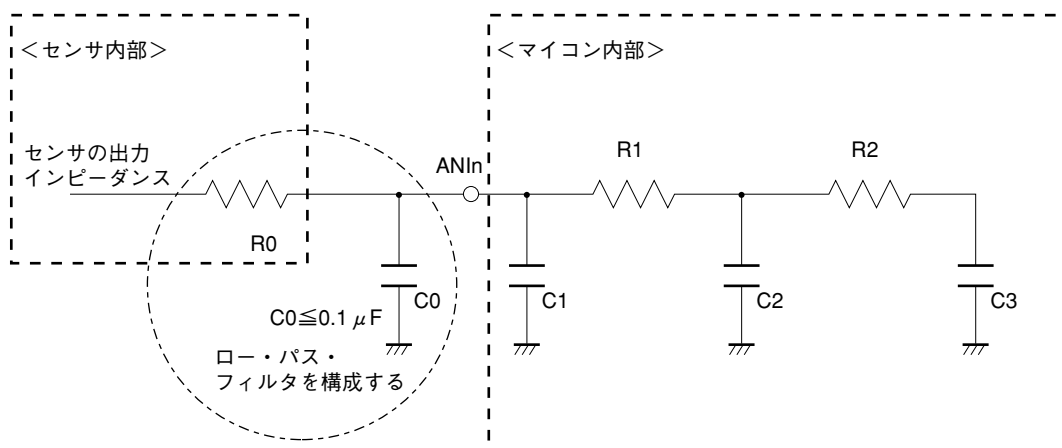
備考 n = 0-9

表12-2 等価回路の各抵抗と容量値 (参考値)

V _{DD1}	R1	R2	C1	C2	C3
1.8 V	75 kΩ	30 kΩ	8 pF	4 pF	2 pF
2.7 V	12 kΩ	8 kΩ	8 pF	3 pF	2 pF
4.5 V	4 kΩ	2.7 kΩ	8 pF	1.4 pF	2 pF

注意 表12-2の各抵抗と容量値は保証値ではありません。

図12-22 信号源インピーダンスが高い場合の回路例



備考 n = 0-9

第13章 D/Aコンバータ

13.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ値に変換するコンバータで、8ビット分解能の電圧出力型D/Aコンバータ1チャンネルの構成になっています。

変換方式は、R-2R抵抗ラダー方式です。

D/Aコンバータ・モード・レジスタ0（DAM0）のDACEをセットすることにより、D/A変換動作を開始し、D/A変換後はただちにアナログ電圧を出力します。

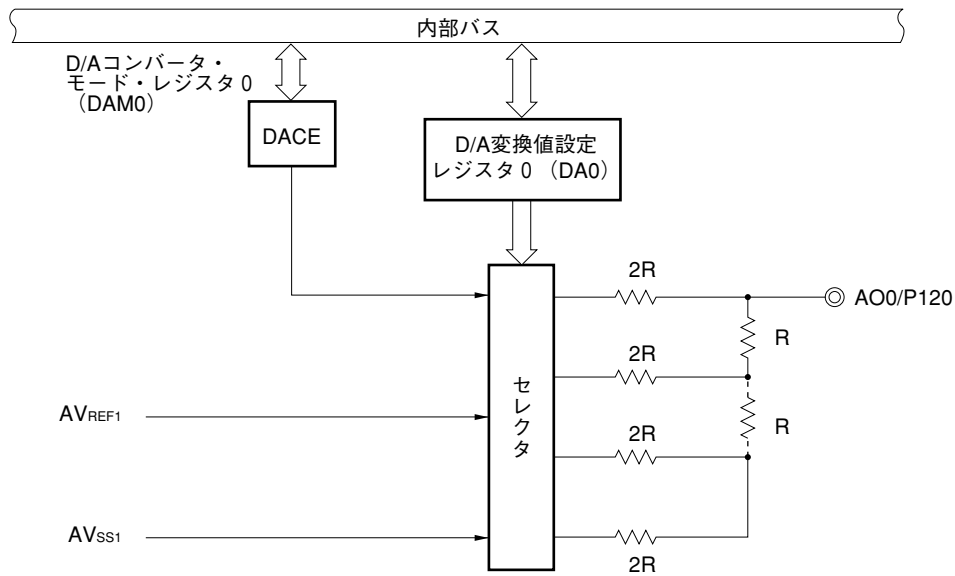
13.2 D/Aコンバータの構成

D/Aコンバータは、次のハードウェアで構成しています。

表13-1 D/Aコンバータの構成

項目	構成
レジスタ	D/A変換値設定レジスタ0（DA0）
制御レジスタ	D/Aコンバータ・モード・レジスタ0（DAM0）

図13-1 D/Aコンバータのブロック図



(1) D/A変換値設定レジスタ0 (DA0)

DA0は、AO0端子に出力するアナログ電圧値を設定するレジスタです。アナログ電圧はDA0に次の値を設定するまで保持されます。

DA0は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

AO0端子に出力されるアナログ電圧は次の式で決定されます。

$$\text{AO0出力電圧} = \text{AV}_{\text{REF1}} \times \frac{\text{DA0}}{256}$$

13.3 D/Aコンバータを制御するレジスタ

(1) D/Aコンバータ・モード・レジスタ0 (DAM0)

D/Aコンバータは、D/Aコンバータ・モード・レジスタ0 (DAM0) で制御します。D/Aコンバータの動作の許可/停止を設定するレジスタです。

DAM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 D/Aコンバータ・モード・レジスタ0 (DAM0) のフォーマット

アドレス：FF82H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DAM0	0	0	0	0	0	0	0	DACE

DACE	D/Aコンバータの制御
0	変換動作停止
1	変換動作許可

- 注意1. D/Aコンバータを使用するときには、兼用ポート端子を入力モードに設定するとともに、プルアップ抵抗を切断してください。
2. ビット1-7には、必ず0を設定してください。
3. D/A変換動作停止時の出力は、ハイ・インピーダンス状態になります。

13.4 D/Aコンバータの動作

13.4.1 D/Aコンバータの基本動作

- ① D/A変換値設定レジスタ0 (DA0) にAO0/P120端子に出力するアナログ電圧値に対応するデータを設定してください。
- ② D/Aコンバータ・モード・レジスタ0 (DAM0) のビット0 (DACE) をセットすることにより、D/A変換動作を開始できます。
- ③ D/A変換後、ただちにAO0/P120端子にアナログ電圧が出力されます。
- ④ 出力するアナログ電圧値は、DA0に新しいデータを設定するまで保持されます。

注意 DACEのセットはDA0にデータを設定したのちに行ってください。

13.4.2 スタンバイ・モード時の動作

スタンバイ・モード時は、D/Aコンバータ変換動作を保持します。

また、D/Aコンバータ・モード・レジスタ0 (DAM0) , D/A変換値設定レジスタ0 (DA0) は値を保持します。

注意 スタンバイ・モード時に消費電流を低減させるには、スタンバイ・モードに入る前にDAM0のビット0 (DACE) に0を設定し、DA0を停止させてください。

13.4.3 リセット時の動作

リセット入力によりDA0は初期化され、D/A変換動作を停止し、アナログ出力をハイ・インピーダンス状態にします。また、D/Aコンバータ・モード・レジスタ0 (DAM0) , D/A変換値設定レジスタ0 (DA0) は00Hになります。

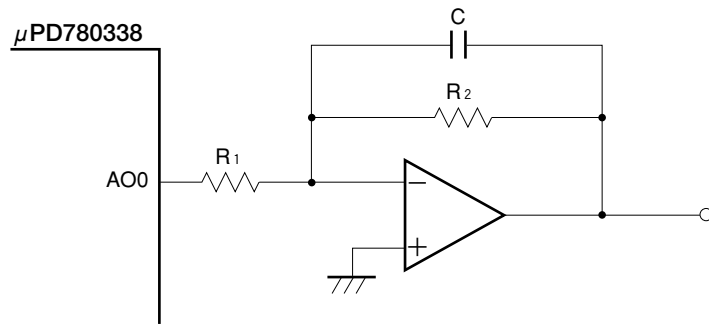
13.5 D/Aコンバータの注意事項

(1) D/Aコンバータの出力インピーダンスについて

D/Aコンバータの出力インピーダンスが高いため、AO0端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とAO0端子の間にバッファ・アンプを挿入して使用してください。また、バッファ・アンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処理を行ってください。

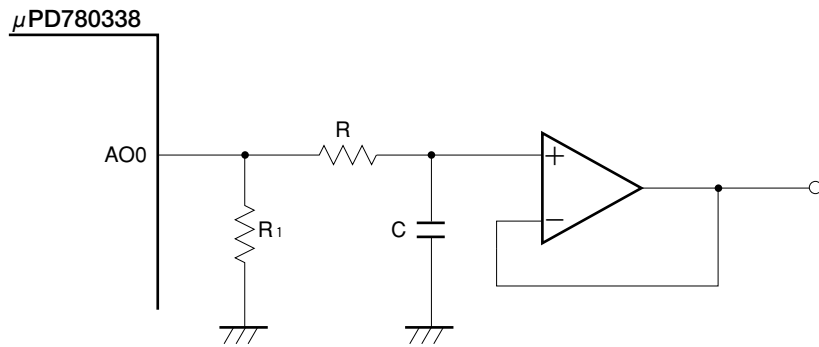
図13-3 バッファ・アンプの挿入例

(a) インバーティング・アンプ



・バッファ・アンプの入力インピーダンスは R_1

(b) ボルテージ・フォロワ



・バッファ・アンプの入力インピーダンスは R_1 。
 ・ R_1 がないとRESET がロウ・レベルのときの出力が不定になってしまいます。

(2) D/Aコンバータの出力電圧について

D/Aコンバータの出力電圧は階段状に変化しますので、一般的にはD/Aコンバータの出力する信号はロウ・パス・フィルタを通してから使用するようにしてください。

第14章 シリアル・インタフェースUART0

シリアル・インタフェースUART0/SIO3はアシンクロナス・シリアル・インタフェース（UART）モードか3線式シリアル/Oモードのどちらかを選択できます。

注意 UART0とSIO3の動作を同時に許可しないでください。

14.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の2種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については14.4.1 動作停止モードを参照してください。

（2）アシンクロナス・シリアル・インタフェース（UART）モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

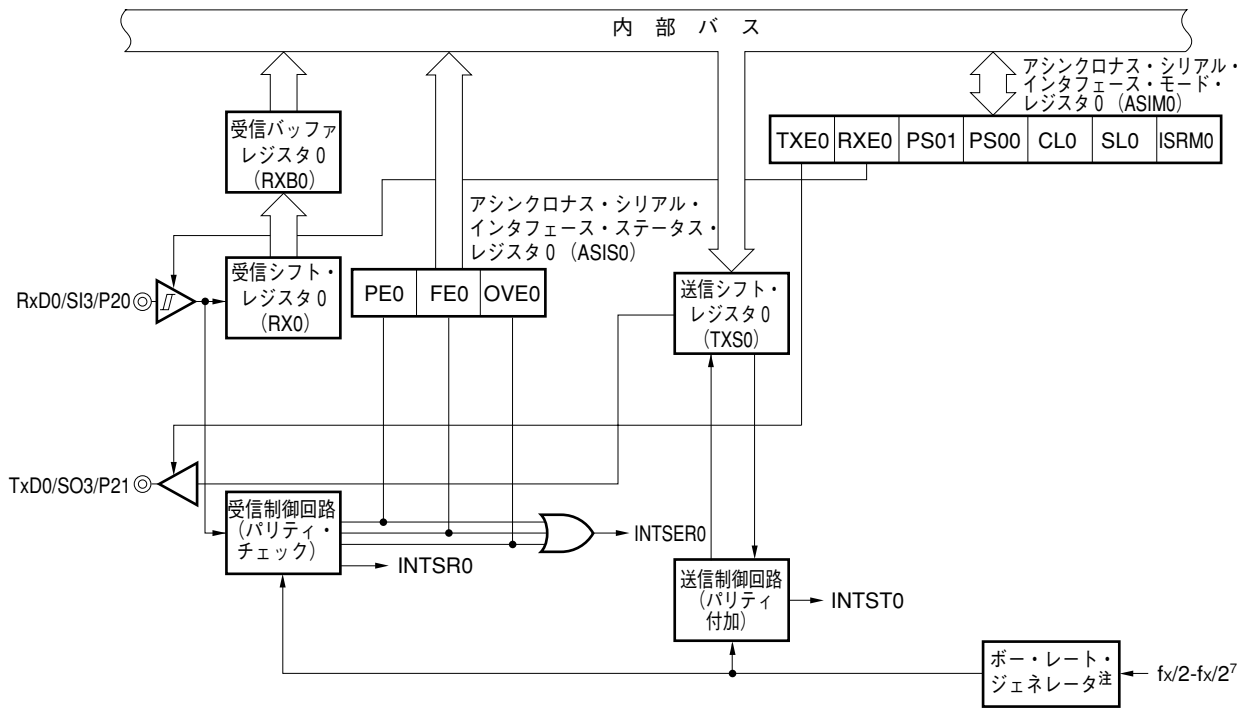
UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート（31.25 kbps）を使用することもできます。

詳細については14.4.2 アシンクロナス・シリアル・インタフェース（UART）モードを参照してください。

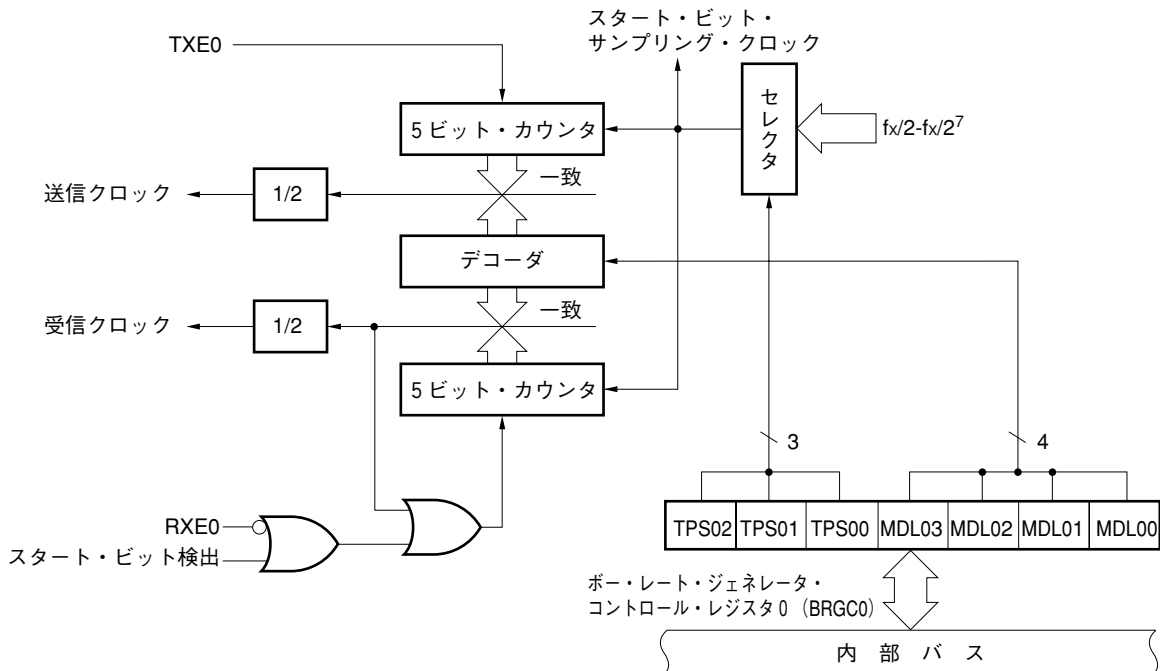
図14-1に、シリアル・インタフェースUART0のブロック図を示します。

図14-1 シリアル・インタフェースUART0のブロック図



注 ポー・レート・ジェネレータの構成は、図14-2を参照してください。

図14-2 ポー・レート・ジェネレータのブロック図



備考 TXE0：アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIMO) のビット7
 RXE0：〃 のビット6

14.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成されています。

表14-1 シリアル・インタフェース (UART0) の構成

項 目	構 成
レジスタ	送信シフト・レジスタ 0 (TXS0) 受信シフト・レジスタ 0 (RX0) 受信バッファ・レジスタ 0 (RXB0)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0) ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)

(1) 送信シフト・レジスタ 0 (TXS0)

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0に書き込んだデータのビット0-6が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0への書き込みを行わないでください。

TXS0と受信バッファ・レジスタ 0 (RXB0) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0の値が読み出されます。

(2) 受信シフト・レジスタ 0 (RX0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ 0 (RXB0) へ転送します。

RX0はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ0 (RXB0)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ (RX0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB0と送信シフト・レジスタ0 (TXS0) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

14.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-3にASIM0のフォーマットを示します。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

- ・受信時
P20 (RxD0) を入力モード (PM20 = 1) に設定
- ・送信時
P21 (TxD0) を出力モード (PM21 = 0) に設定
- ・送受信時
P20を入力モード、P21を出力モードにそれぞれ設定

図14-3 アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマット

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P20端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能 (P20)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P20)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-5 にBRGC0のフォーマットを示します。

図14-5 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考1. f_{sck} : 5ビット・カウンタのソース・クロック
 2. n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)
 3. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

14.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0の持つ2種類のモードについて説明します。

14.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P20端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能 (P20)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P20)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

14.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

- ・受信時

- P20 (RxD0) を入力モード (PM20 = 1) に設定

- ・送信時

- P21 (TxD0) を出力モード (PM21 = 0) に設定

- ・送受信時

- P20を入力モード、P21を出力モードにそれぞれ設定

アドレス：FFA0H リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

ASIM0	TXE0	RXE0	PS01	PS00	CLO	SL0	ISRM0	0
-------	------	------	------	------	-----	-----	-------	---

TXE0	RXE0	動作モード	RxD0/P20端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能 (P20)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	シリアル機能 (TxD0)
1	0	UARTモード (送信のみ)	ポート機能 (P20)	
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CLO	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

RESET 入力により、00Hになります。

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$fx/2$	1
0	1	0	$fx/2^2$	2
0	1	1	$fx/2^3$	3
1	0	0	$fx/2^4$	4
1	0	1	$fx/2^5$	5
1	1	0	$fx/2^6$	6
1	1	1	$fx/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考 1. f_{sck} : 5ビット・カウンタのソース・クロック
 2. n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)
 3. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

- ・メイン・システム・クロックによるボー・レート用の送受信クロックの生成
 メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} (k+16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS00-TPS02で設定した値 ($1 \leq n \leq 7$)

詳細は表14-2を参照してください。

k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

BRGC0のビット4-6 (TPS00-TPS02) に割り当てた5ビット・カウンタのソース・クロックと n の値との関係を表14-2に、メイン・システム・クロックとボー・レートの関係を表14-3に示します。

表14-2 5ビット・カウンタのソース・クロックと n の値との関係

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	設定禁止	—
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

備考 f_x : メイン・システム・クロック発振周波数

表14-3 メイン・システム・クロックとボー・レートの関係

ボー・レート [bps]	fx = 10 MHz		fx = 9.8304 MHz		fx = 8.386 MHz		fx = 8 MHz	
	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)
600	—	—	—	—	—	—	—	—
1200	—	—	—	—	7BH	1.10	7AH	0.16
2400	70H	1.73	70H	0.00	6BH	1.10	6AH	0.16
4800	60H	1.73	60H	0.00	5BH	1.10	5AH	0.16
9600	50H	1.73	50H	0.00	4BH	1.10	4AH	0.16
19200	40H	1.73	40H	0.00	3BH	1.10	3AH	0.16
31250	34H	0.00	34H	-1.70	31H	-3.14	30H	0.00
38400	30H	1.73	30H	0.00	2BH	1.10	2AH	0.16
76800	20H	1.73	20H	0.00	1BH	1.10	1AH	0.16
115200	16H	-1.36	16H	-3.03	12H	1.10	11H	2.12
153600	10H	1.73	10H	0.00	—	—	—	—

ボー・レート [bps]	fx = 7.3728 MHz		fx = 5 MHz		fx = 4.194304 MHz	
	BRGC0	誤差 (%)	BRGC0	誤差 (%)	BRGC0	誤差 (%)
600	—	—	—	—	7BH	1.14
1200	78H	0.00	70H	1.73	6BH	1.14
2400	68H	0.00	60H	1.73	5BH	1.14
4800	58H	0.00	50H	1.73	4BH	1.14
9600	48H	0.00	40H	1.73	3BH	1.14
19200	38H	0.00	30H	1.73	2BH	1.14
31250	2DH	1.69	24H	0.00	21H	-1.31
38400	28H	0.00	20H	1.73	1BH	1.14
76800	18H	0.00	10H	1.73	—	—
115200	10H	0.00	—	—	—	—
153600	—	—	—	—	—	—

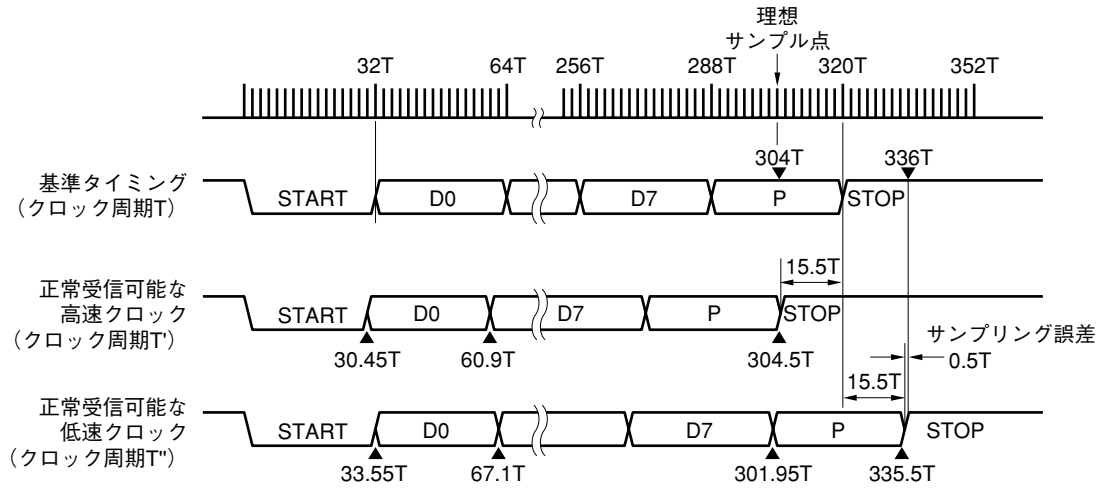
備考 fx : メイン・システム・クロック発振周波数
 n : TPS00-TPS02で設定した値 (1 ≤ n ≤ 7)
 k : MDL00-MDL03で設定した値 (0 ≤ k ≤ 14)

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 $[1/(16+k)]$ に依存します。

図14-6にボー・レートの許容誤差の例を示します。

図14-6 サンプルング誤差を考慮したボー・レートの許容誤差 (k=0の場合)



備考 T : 5ビット・カウンタのソース・クロック周期

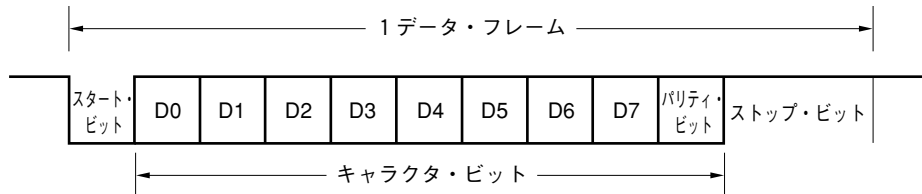
$$\text{ボー・レート許容誤差 (k=0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図14-7に示します。

図14-7 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット……1ビット
- ・キャラクタ・ビット…7ビット／8ビット
- ・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット……1ビット／2ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ASIM0とボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) に状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット (奇数個) の誤りを検出できます。0パリティとパリティなしとでは、誤りを検出できません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

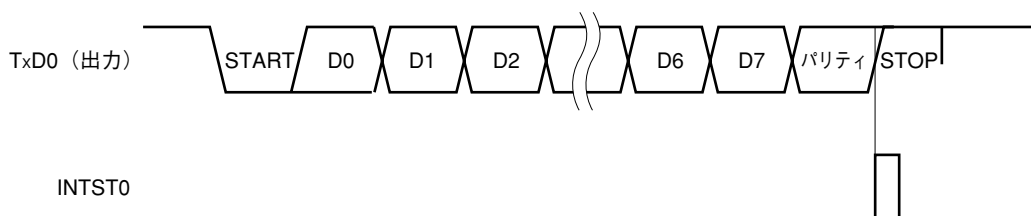
送信動作は、アシンクロナス・シリアル・インタフェース・モード0 (ASIM0) のビット7 (TXE0) がセット (1) されると許可状態となり、送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS0内のデータがシフト・アウトされTXS0が空になると、送信完了割り込み要求 (INTST0) が発生します。

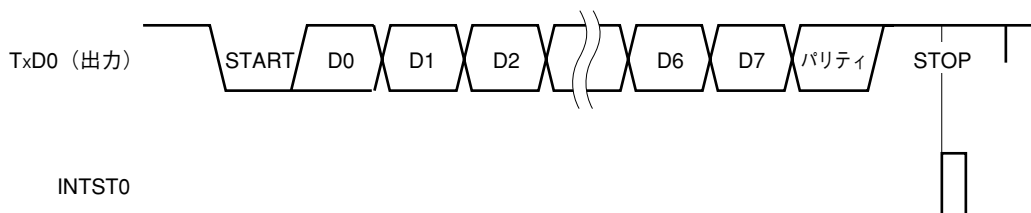
送信完了割り込みのタイミングを図14-8に示します。

図14-8 アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

(i) ストップ・ビット長：1



(ii) ストップ・ビット長：2



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) を書き換えないでください。送信中にASIM0レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET 入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTST0) またはINTST0によってセットされる割り込み要求フラグ (STIF0) を用いて、ソフトウェアにより判断できます。

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット6 (RXE0) がセット (1) されると許可状態となり、RxD0端子入力のサンプリングを行います。

RxD0端子入力のサンプリングは、BRGC0で指定したシリアル・クロックで行います。

RxD0端子入力が入ロウ・レベルになると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し、受信完了割り込み要求 (INTSR0) を発生します。

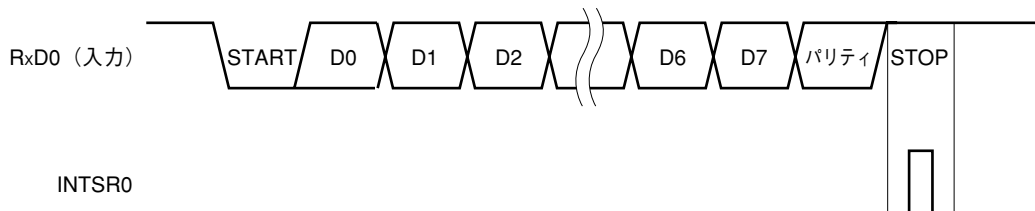
また、エラーが発生しても、RXB0にエラーの発生した受信データを転送します。エラー発生時、ASIM0のビット1 (ISRM0) がクリア (0) されている場合は、INTSR0を発生しません (図14-10参照)。

ISRM0ビットがセット (1) されている場合は、INTSR0は発生しません。

なお、受信動作中にRXE0ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB0およびASIS0の内容は変化せず、また、INTSR0, INTSER0も発生しません。

図14-9にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図14-9 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み要求 (INTSER0) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR0) より先に発生します。受信エラー要因を表14-4に示します。

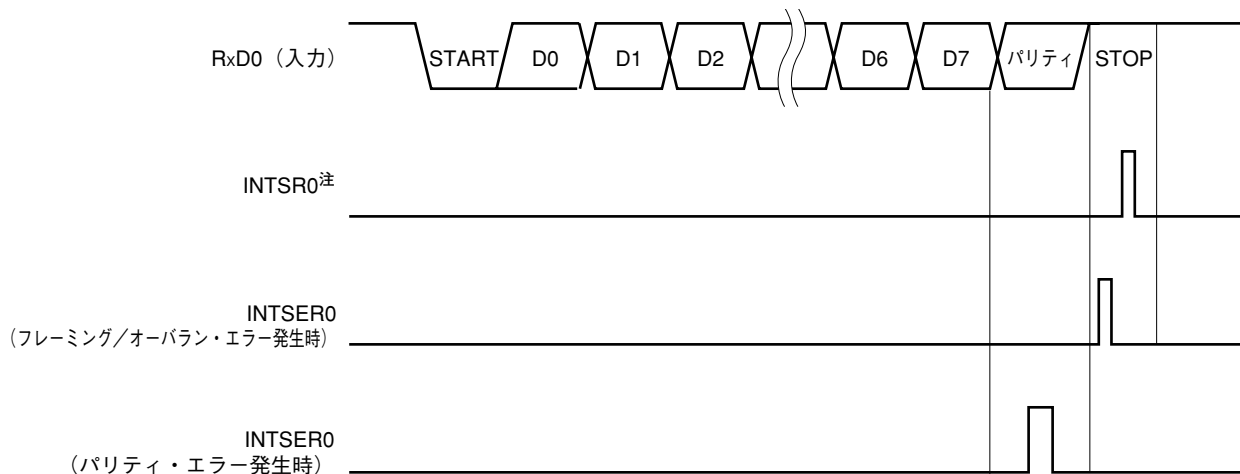
受信エラー割り込み処理 (INTSER0) 内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表14-4, 図14-10参照)。

ASIS0の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表14-4 受信エラーの要因

受信エラー	要 因	ASIS0の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了	01H

図14-10 受信エラー・タイミング



注 ISRM0ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR0は発生しません。

注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。

2. 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

第15章 シリアル・インタフェースSIO3

シリアル・インタフェースUART0/SIO3はアシンクロナス・シリアル・インタフェース (UART) モードか3線式シリアル/I/Oモードのどちらかを選択できます。

注意 UART0とSIO3の動作を同時に許可しないでください。

15.1 シリアル・インタフェースSIO3の機能

シリアル・インタフェースSIO3には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については15.4.1 動作停止モードを参照してください。

(2) 3線式シリアル/I/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCK3}}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

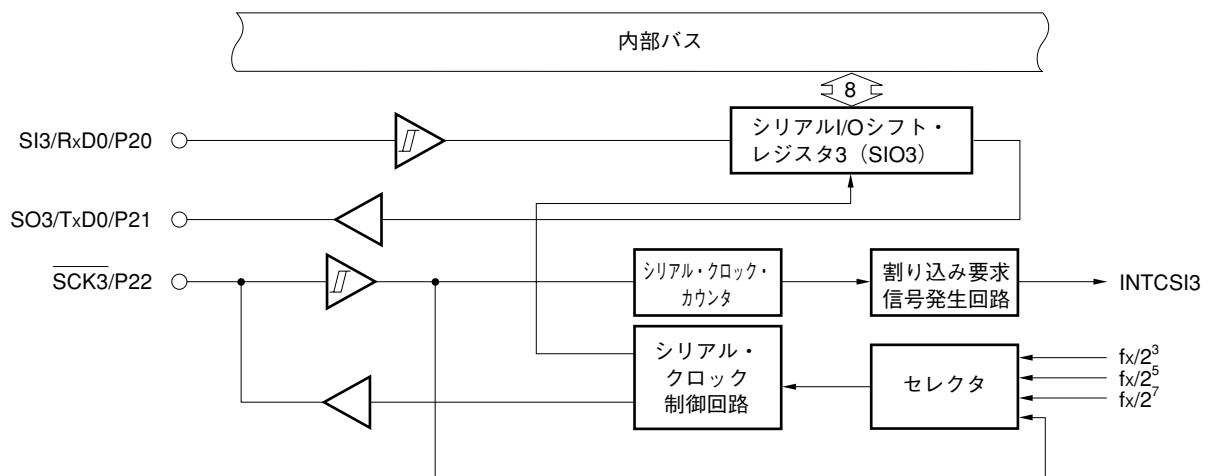
3線式シリアル/I/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアル/I/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。詳細については15.4.2 3線式シリアル/I/Oモードを参照してください。

図15-1に、シリアル・インタフェースSIO3のブロック図を示します。

図15-1 シリアル・インタフェースSIO3のブロック図



15.2 シリアル・インタフェースSIO3の構成

シリアル・インタフェースSIO3は、次のハードウェアで構成されています。

表15-1 シリアル・インタフェースSIO3の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

(1) シリアルI/O シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO3は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0のときリード動作が、MODE = 1のときはライト動作が禁止となります)。

15.3 シリアル・インタフェースSIO3を制御するレジスタ

シリアル・インタフェースSIO3は、シリアル動作モード・レジスタ3（CSIM3）で制御します。

(1) シリアル動作モード・レジスタ3（CSIM3）

シリアル動作モード・レジスタ3（CSIM3）は、SIO3のシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ（PMXX）を次のように設定してください。また、出力モード（PMXX = 0）に設定したポートの出力ラッチはそれぞれ0に設定してください。

シリアル・クロック出力時 （マスタ送信またはマスタ受信）	PM22 = 0 ; P22 ($\overline{\text{SCK3}}$) を出力モードに設定 P22 = 0 ; P22の出力ラッチを0に設定
シリアル・クロック入力時 （スレーブ送信またはスレーブ受信）	PM22 = 1 ; P22 ($\overline{\text{SCK3}}$) を入力モードに設定
送信/送受信モード	PM21 = 0 ; P21 (SO3) を出力モードに設定 P21 = 0 ; P21の出力ラッチを0に設定
受信モード	PM20 = 1 ; P20 (SI3) を入力モードに設定

図15-2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信／送受信モード	SIO3ライト	通常出力
1	受信専用モード	SIO3リード	ロウ・レベル固定

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^3$ (1.25 MHz)
1	0	$f_x/2^5$ (312.5 kHz)
1	1	$f_x/2^7$ (78.125 kHz)

- 注1. CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3, SCK3端子は、ポート機能として使用できません。
2. CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

- 備考1. f_x ：メイン・システム・クロック発振周波数
2. () 内は、 $f_x = 10$ MHz動作時。

15.4 シリアル・インタフェースSIO3の動作

シリアル・インタフェースSIO3の持つ2種類のモードについて説明します。

15.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

注1. CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3, $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できません。

2. CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

15.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK3}}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力モード (PMXX = 0) に設定したポートの出力ラッチはそれぞれ0に設定してください。

シリアル・クロック出力時 (マスタ送信またはマスタ受信)	PM22 = 0 ; P22 ($\overline{\text{SCK3}}$) を出力モードに設定 P22 = 0 ; P22の出力ラッチを0に設定
シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)	PM22 = 1 ; P22 ($\overline{\text{SCK3}}$) を入力モードに設定
送信/送受信モード	PM21 = 0 ; P21 (SO3) を出力モードに設定 P21 = 0 ; P21の出力ラッチを0に設定
受信モード	PM20 = 1 ; P20 (SI3) を入力モードに設定

アドレス：FFAFH リセット時：00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能＋ ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信／送受信モード	SIO3ライト	通常出力
1	受信専用モード	SIO3リード	ロウ・レベル固定

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^3$ (1.25 MHz)
1	0	$f_x/2^5$ (312.5 kHz)
1	1	$f_x/2^7$ (78.125 kHz)

注1．CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3, $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できません。

2．CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

備考1． f_x ：メイン・システム・クロック発振周波数

2．() 内は、 $f_x = 10$ MHz動作時。

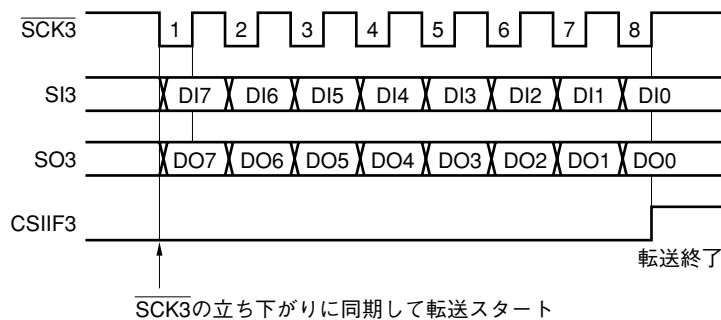
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3 (SIO3) のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO3ラッチに保持され、SO3端子から出力されます。また、シリアル・クロックの立ち上がりで、SI3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により、SIO3の動作は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

図15-3 3線式シリアルI/Oモードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3 (SIO3) に転送データをセットする (またはリードする) ことで開始します。

- SIO3の動作制御ビット (CSIE3) = 1
- 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK3}}$ がハイ・レベルの状態
- 送信/送受信モード
 - CSIE3 = 1, MODE = 0のとき、SIO3ライトで転送スタート
- 受信専用モード
 - CSIE3 = 1, MODE = 1のとき、SIO3のリードで転送スタート

注意 SIO3にデータを書き込んだあと、CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

第16章 シリアル・インタフェースCSI1

16.1 シリアル・インタフェースCSI1の機能

シリアル・インタフェースCSI1には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK1) とシリアル・データ (SI1, SO1) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

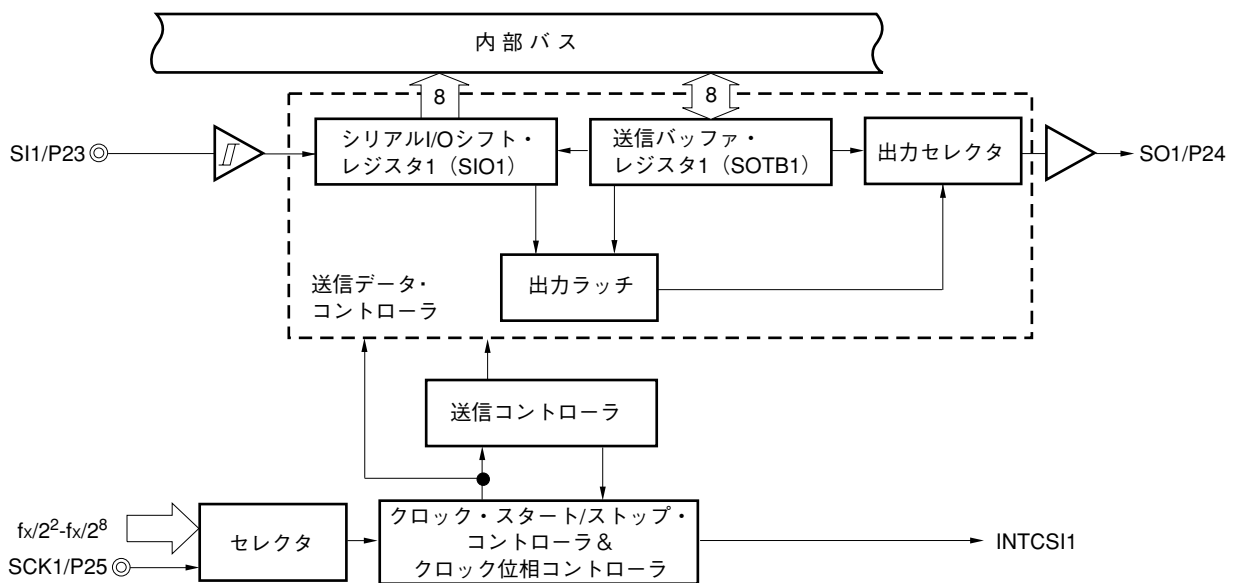
16.2 シリアル・インタフェースCSI1の構成

シリアル・インタフェースCSI1は、ハードウェアで構成しています。

表16-1 シリアル・インタフェースCSI1の構成

項目	構成
レジスタ	送信バッファ・レジスタ1 (SOTB1) シリアルI/Oシフト・レジスタ1 (SIO1)
制御レジスタ	シリアル動作モード・レジスタ1 (CSIM1) シリアル・クロック選択レジスタ1 (CSIC1)

図16-1 シリアル・インタフェースCSI1のブロック図



(1) 送信バッファ・レジスタ1 (SOTB1)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1 (CSIM1) のビット6 (TRMD1) が1のとき、SOTB1にデータを書き込むことにより送受信動作が開始されます。

SOTB1に書き込まれたデータは、シリアルI/Oシフト・レジスタ1でパラレル・データからシリアル・データに変換され、シリアル出力 (SO1) に出力されます。

SOTB1は、8ビット・メモリ操作命令で書き込みと読み出しができます。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、SOTB1へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ1 (SIO1)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が0のとき、SIO1からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1) からSIO1に読み込まれます。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、SIO1へのアクセスは行わないでください。

16.3 シリアル・インタフェースCSI1を制御するレジスタ

シリアル・インタフェースCSI1は、次の2種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1 (CSIM1)
- ・シリアル・クロック選択レジスタ1 (CSIC1)

(1) シリアル動作モード・レジスタ1 (CSIM1)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-2 シリアル動作モード・レジスタ1 (CSIM1) のフォーマット

アドレス：FFB0H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアル/Oモード時の動作の制御
0	動作停止 (SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能)
1	動作許可 (SI1/P23, SO1/P24, SCK1/P25端子はアクティブ・レベル)

TRMD1 ^{注2}	送受信モードの制御
0 ^{注3}	受信モード (送信禁止)
1	送受信モード

DIR1 ^{注4}	先頭ビットの指定
0	MSB
1	LSB

CSOT1 ^{注5}	動作モード・フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. CSOT1 = 1 (シリアル通信中) のとき、TRMD1を書き換えな
いでください。
3. TRMD1が0のとき、SO1端子はロウ・レベルに固定されま
す。SIO1からデータを読み出すと受信が開始します。
4. CSOT1 = 1 (シリアル通信中) のとき、上書きをしないでくだ
さい。
5. CSIE1を0 (動作停止) にセットすると、CSOT1はクリアさ
れます。

注意 ビット5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ1 (CSIC1)

データ・クロックの位相, カウント・クロックを設定するレジスタです。

CSIC1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 10Hになります。

図16-3 シリアル・クロック選択レジスタ1 (CSIC1) のフォーマット

アドレス: FFB1H リセット時: 10H R/W

略号	7	6	5	4	3	2	1	0
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10

CKP1	DAP1	データ・クロック位相の選択			タイプ
0	0	SCK1		1	
0	1	SCK1		2	
1	0	SCK1		3	
1	1	SCK1		4	

CKS12	CKS11	CKS10	CSI1のカウント・クロックの選択
0	0	0	$f_x/2^2$ (2.5 MHz)
0	0	1	$f_x/2^3$ (1.25 MHz)
0	1	0	$f_x/2^4$ (625 kHz)
0	1	1	$f_x/2^5$ (312.5 kHz)
1	0	0	$f_x/2^6$ (156.25 kHz)
1	0	1	$f_x/2^7$ (78.125 kHz)
1	1	0	$f_x/2^8$ (39.0625 kHz)
1	1	1	外部クロック

注意1. CSIE1 = 0 (動作停止) のとき, CSIC1の書き込みを行わないでください。

2. リセット後のデータ・クロックの位相タイプは, タイプ3になります。

備考 () 内は $f_x = 10$ MHz動作時

16.4 シリアル・インタフェースCSI1の動作

シリアル・インタフェースCSI1は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P23/SI1, P24/SO1, P25/SCK1を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ1 (CSIM1) で行います。

(a) シリアル動作モード・レジスタ1 (CSIM1)

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFB0H リセット時：00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアルI/Oモード時の動作の制御
0	動作停止 (SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能)
1	動作許可 (SI1/P23, SO1/P24, SCK1/P25端子はアクティブ・レベル)

16.4.2 3線式シリアルI/Oモード

75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック (SCK1)、シリアル出力 (SO1)、シリアル入力 (SI1) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1 (CSIM1) とシリアル・クロック選択レジスタ (CSIC1) で行います。

(a) シリアル動作モード・レジスタ1 (CSIM1)

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM1	CSIE1	TRMD1	0	DIR1	0	0	0	CSOT1

CSIE1	3線式シリアル/Oモード時の動作の制御
0	動作停止 (SI1/P23, SO1/P24, SCK1/P25端子は汎用ポートとして使用可能)
1	動作許可 (SI1/P23, SO1/P24, SCK1/P25端子はアクティブ・レベル)

TRMD1 ^{注2}	送受信モードの制御
0 ^{注3}	受信モード (送信禁止)
1	送受信モード

DIR1 ^{注4}	先頭ビットの指定
0	MSB
1	LSB

CSOT1 ^{注5}	動作モード・フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. CSOT1 = 1 (シリアル通信中) のとき、TRMD1を書き換えしないでください。
3. TRMD1が0のとき、SO1端子はロウ・レベルに固定されます。SIO1からデータを読み出すと受信が開始します。
4. CSOT1 = 1 (シリアル通信中) のとき、上書きをしないでください。
5. CSIE1を0 (動作停止) にセットすると、CSOT1はクリアされます。

注意 ビット5には必ず0を設定してください。

(b) シリアル・クロック選択レジスタ1 (CSIC1)

CSIM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、10Hになります。

アドレス：FFB1H リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10

CKP1	DAP1	データ・クロック位相の選択			タイプ
0	0	SCK1			1
0	1	SCK1			2
1	0	SCK1			3
1	1	SCK1			4

CKS12	CKS11	CKS10	CSI1のカウンタ・クロックの選択
0	0	0	$f_x/2^2$ (2.5 MHz)
0	0	1	$f_x/2^3$ (1.25 MHz)
0	1	0	$f_x/2^4$ (625 kHz)
0	1	1	$f_x/2^5$ (312.5 kHz)
1	0	0	$f_x/2^6$ (156.25 kHz)
1	0	1	$f_x/2^7$ (78.125 kHz)
1	1	0	$f_x/2^8$ (39.0625 kHz)
1	1	1	外部クロック

- 注意 1. CSIE1 = 0 (動作停止) のとき、CSIC1の書き込みを行わないでください。
2. リセット後のデータ・クロックの位相タイプは、タイプ3になります。

備考 () 内は $f_x = 10$ MHz動作時

(3) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1 (SOTB1) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1 (CSIM1) のビット6 (TRMD1) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1 (SIO1) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM1のビット0 (CSOT1) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIF1) がセットされ、CSOT1は0にクリアされます。そして次の通信が可能になります。

注意 CSOT1 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図16-4 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD1 = 1, DIR1 = 0, CKP1 = 0, DAP1 = 0)

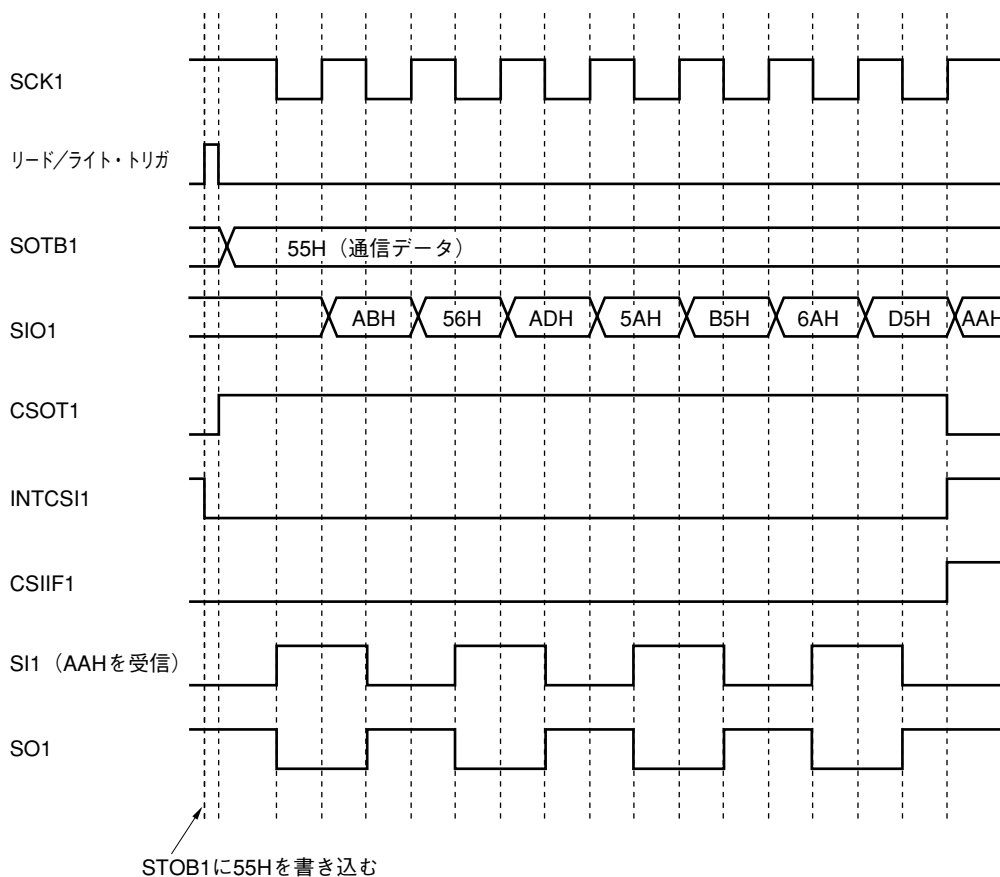


図16-4 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD1 = 1, DIR1 = 0, CKP1 = 0, DAP1 = 1)

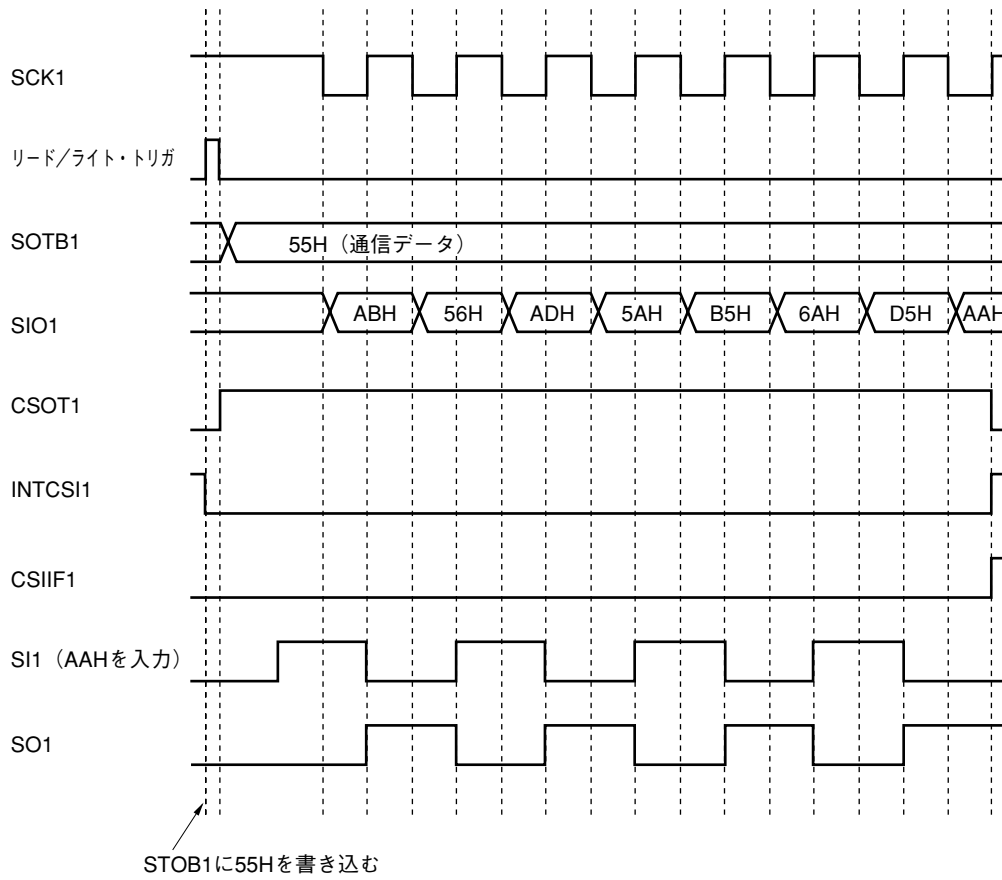
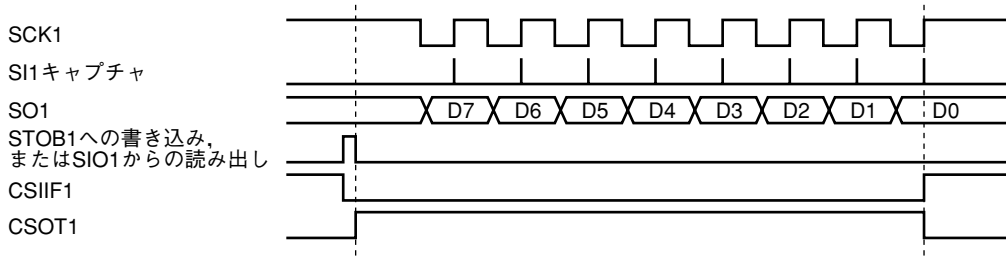
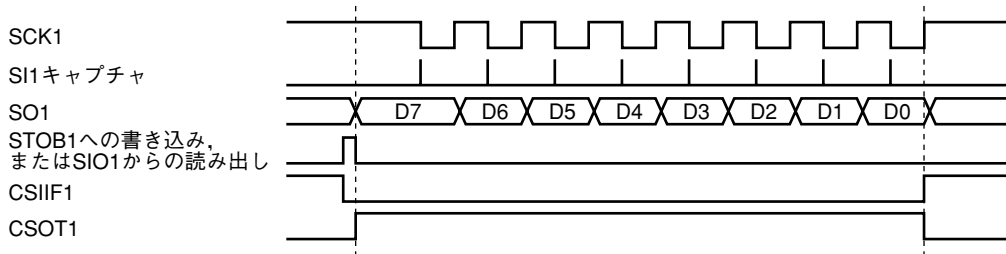


図16-5 クロック/データ位相のタイミング

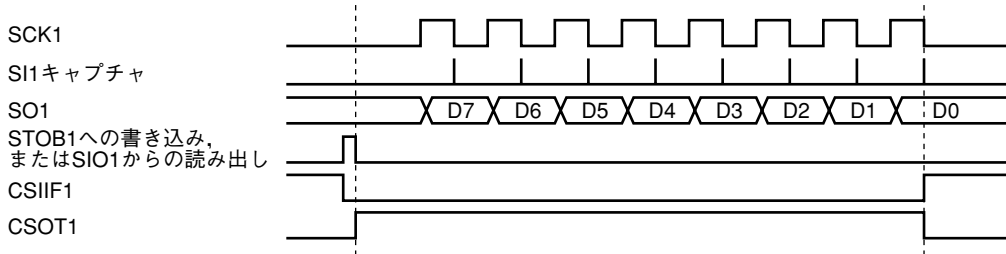
(a) タイプ1 ; CKP1 = 0, DAP1 = 0



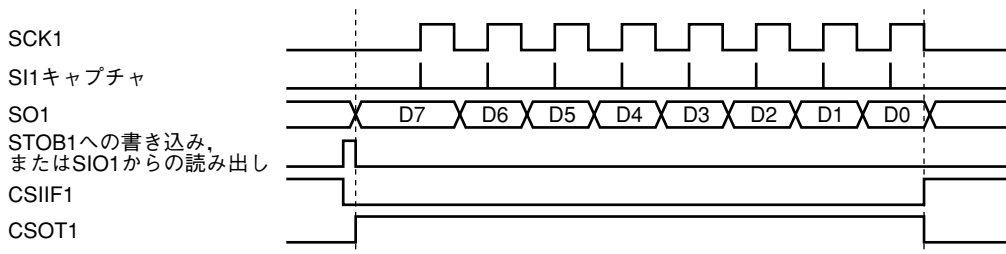
(b) タイプ2 ; CKP1 = 0, DAP1 = 1



(c) タイプ3 ; CKP1 = 1, DAP1 = 0



(d) タイプ4 ; CKP1 = 1, DAP1 = 1

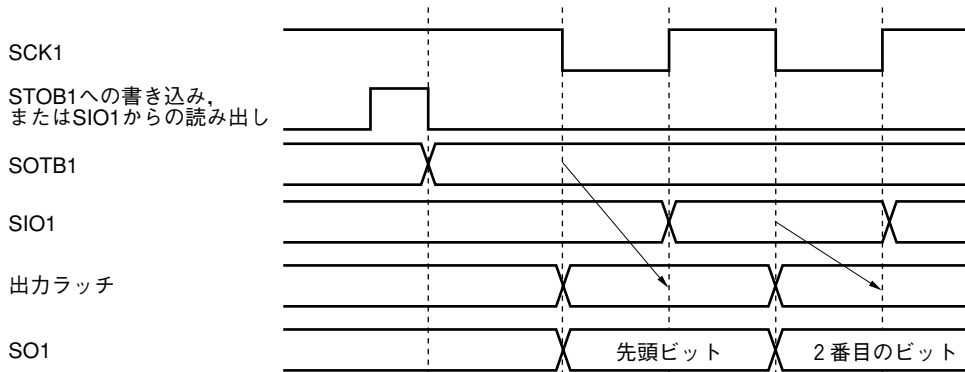


(4) SO1端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ1 (SOTB1) の値は、SO1端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図16-6 先頭ビットの出力動作

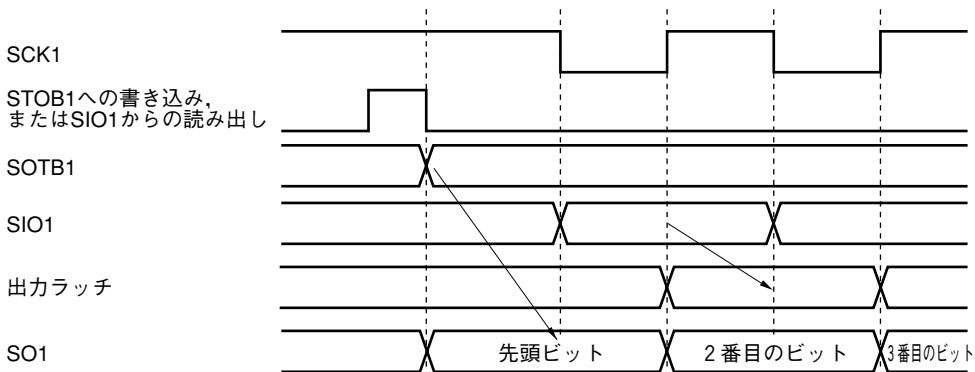
(1) CKP1 = 0, DAP1 = 0 (またはCKP1 = 1, DAP1 = 0)



先頭ビットは、SCK1の立ち下がり（または立ち上がり）エッジでSOTB1レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO1端子から出力されます。次のSCK1の立ち上がり（または立ち下がり）エッジでSOTB1レジスタの値がSIO1レジスタに転送され、1ビット分シフトします。同時にSI1端子を通して、受信データの先頭ビットがSIO1レジスタに格納されます。

2番目のビット以降は、次のSCK1の立ち下がり（または立ち上がり）エッジでSIO1から出力ラッチにラッチされ、データがSO1端子から出力されます。

(2) CKP1 = 0, DAP1 = 1 (またはCKP1 = 1, DAP1 = 1)



先頭ビットは、SOTB1のライト信号またはSIO1レジスタのリード信号の立ち下がりエッジでSOTB1レジスタから直接、出力セレクタを通してSO1端子から出力されます。次のSCK1の立ち下がり（または立ち上がり）エッジでSOTB1レジスタの値がSIO1レジスタに転送され、1ビット分シフトします。同時にSI1端子を通して、受信データの先頭ビットがSIO1レジスタに格納されます。

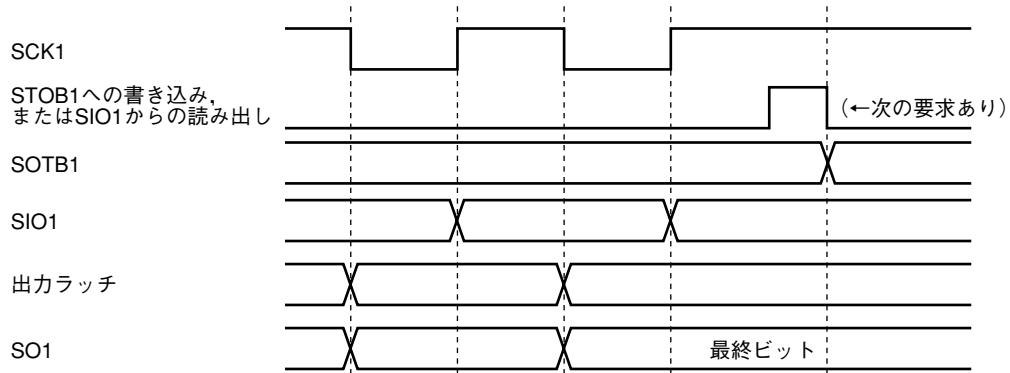
2番目のビット以降は、次のSCK1の立ち上がり（または立ち下がり）エッジでSIO1から出力ラッチにラッチされ、データがSO1端子から出力されます。

(5) SO1端子の出力値 (最終ビット)

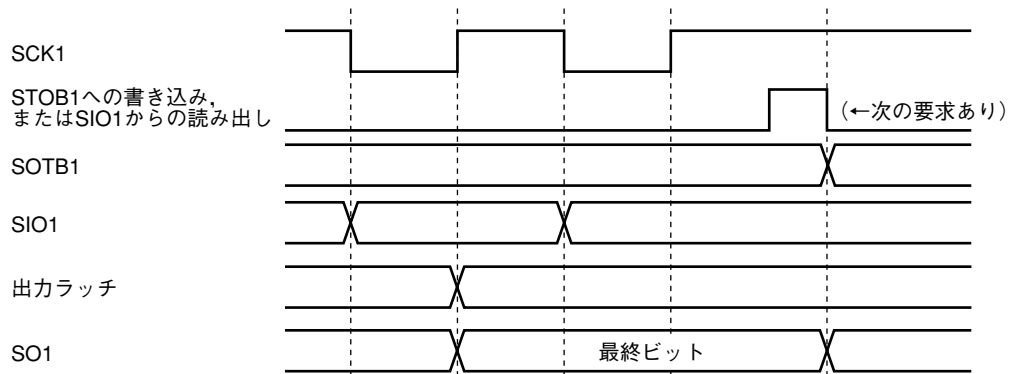
通信終了後、SO1端子の出力は、最終ビットの出力値を保持します。

図16-7 SO1端子の出力値 (最終ビット)

(1) タイプ1 ; CKP1 = 0, DAP1 = 0 (またはCKP1 = 1, DAP1 = 0)



(2) タイプ2 ; CKP1 = 0, DAP1 = 1 (またはCKP1 = 1, DAP1 = 1)



(6) SCK1端子について

シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) を0に設定すると、SCK1端子は次のようになります。

表16-2 SCK1端子の状態

CKP1	CKS12-10	SCK1端子
CKP1 = 0	CKS12, 11, 10 ≠ 1, 1, 1	ハイ・レベル出力
	CKS12, 11, 10 = 1, 1, 1	ハイ・レベル出力
CKP1 = 1 ^注	CKS12, 11, 10 ≠ 1, 1, 1 ^注	ロウ・レベル出力 ^注
	CKS12, 11, 10 = 1, 1, 1	ハイ・レベル出力

注 リセット時の状態です。

(7) SO1端子について

シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) を0に設定すると、SO1端子は次のようになります。

表16-3 SO1端子の状態

TRMD1	DAP1	DIR1	SO1端子
TRMD1 = 0 ^注	—	—	ロウ・レベル出力 ^注
TRMD1 = 1	DAP1 = 0	—	SO1ラッチの値 (ロウ・レベル出力)
		DIR1 = 0	SOTB1のビット7の値
	DIR1 = 1	SOTB1のビット0の値	

注 リセット時の状態です。

注意 TRMD1, DAP1, DIR1に値を書き込むと、SO1端子の出力値が変わります。

第17章 LCDコントローラ／ドライバ

17.1 LCDコントローラ／ドライバの機能

μPD780318, 780328, 780338サブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) LCDドライバ用基準電圧生成回路は内部昇圧回路を採用。(3倍昇圧のみ)
これにより、バッテリー電圧の低下により電源電圧が低下しても、安定的なLCD表示が実現できます。
また、輝度調整のため、外付け抵抗を用いてLCDドライバ用基準電圧を可変することが可能。
- (3) 3種類の表示モードが選択可能
 - ・スタティック (最大12本)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (4) 各表示モードにおいて、4種類のフレーム周波数を選択可能。
- (5) セグメント信号出力は、製品によって表17-1のように異なります。

表17-1 セグメント信号とコモン信号

品名	最大セグメント信号	コモン信号
μPD780316, 780318	24本 (S0-S23)。 12本 (S0-S11) はスタティック表示用に選択可能。	ダイナミック表示: COM0-COM3 スタティック表示: SCOM0
μPD780326, 780328	32本 (S0-S31)。 12本 (S0-S11) はスタティック表示用に選択可能。	
μPD780336, 780338	40本 (S0-S39)。 12本 (S0-S11) はスタティック表示用に選択可能。	
μPD78F0338	40本 (S0-S39)。 12本 (S0-S11) はスタティック表示用に選択可能。 16本 (S24-S39) は出力ポート (P80-P87, P90-P97) と兼用 ^注 。	

注 兼用切り替えレジスタ8, 9 (PF8, PF9) にて、8本ごとにポート端子とセグメント端子の切り替えが可能です。

- (6) スタティック表示 (最大12セグメント) とダイナミック表示の同時駆動が可能。
スタティック／ダイナミック表示兼用端子 (S0-S11) は4本単位で切り替え可能。
- (7) LCD表示点滅が可能 (サブシステム・クロック使用時のみ)。
1セグメントごとに点滅／非点滅を選択可能。
点滅周期は0.5 s／1.0 sを選択可能。
- (8) サブシステム・クロックによる動作も可能。
- (9) 動作電圧範囲は1.8～5.5 V。

各表示モードにおける表示可能な最大画素数を表17-2に示します。

表17-2 最大表示画素数

品名	バイアス法	時分割	使用コモン信号	最大表示画素数
μPD780316, 780318, 78F0338	—	スタティック	SCOM0	12 (12セグメント×1コモン)
	1/3	3	COM0-COM2	72 (24セグメント×3コモン)
		4	COM0-COM3	96 (24セグメント×4コモン)
μPD780326, 780328	—	スタティック	SCOM0	12 (12セグメント×1コモン)
	1/3	3	COM0-COM2	96 (32セグメント×3コモン)
		4	COM0-COM3	128 (32セグメント×4コモン)
μPD780336, 780338	—	スタティック	SCOM0	12 (12セグメント×1コモン)
	1/3	3	COM0-COM2	120 (40セグメント×3コモン)
		4	COM0-COM3	160 (40セグメント×4コモン)

17.2 LCDコントローラ／ドライバの構成

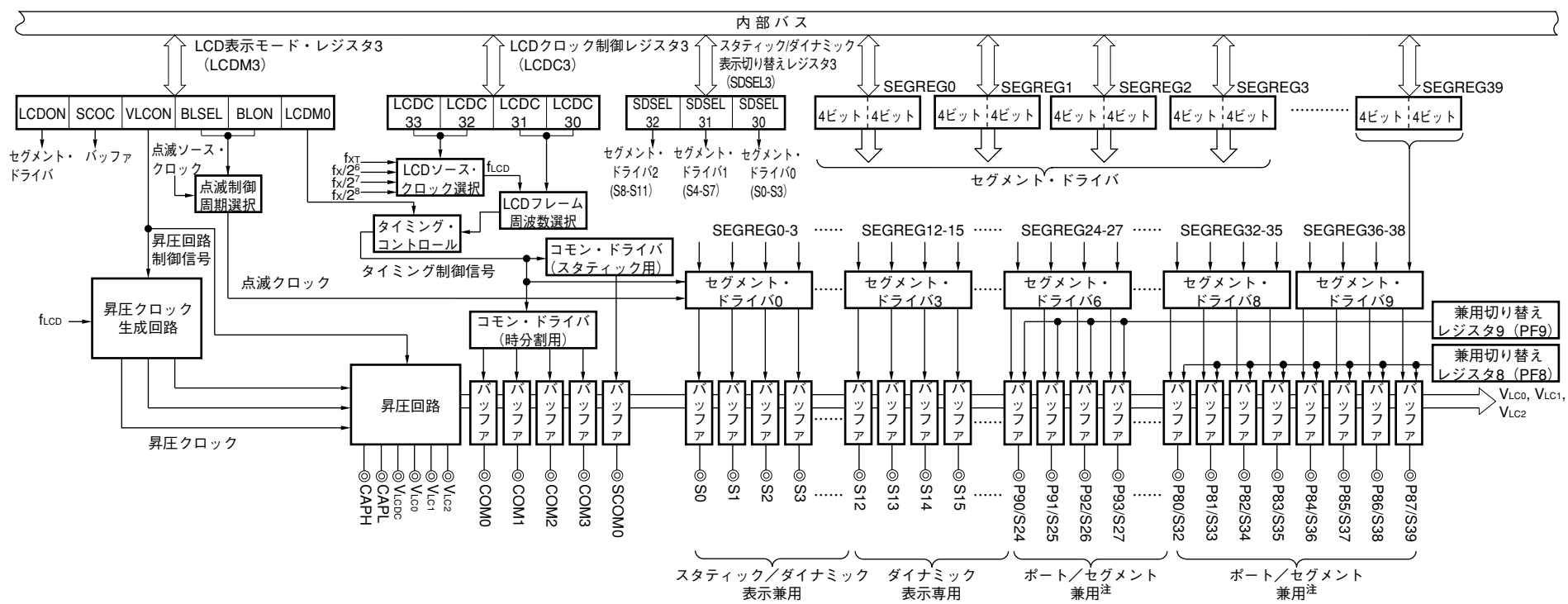
LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表17-3 LCDコントローラ／ドライバの構成

項目	構成
表示出力	
μPD780316, 780318	セグメント信号：24本 ダイナミック／スタティック兼用：12本 ダイナミック表示用セグメント：12本 コモン信号：4本 (ダイナミック表示用) 1本 (スタティック表示用)
μPD780326, 780328	セグメント信号：32本 ダイナミック／スタティック兼用：12本 ダイナミック表示用セグメント：20本 コモン信号：4本 (ダイナミック表示用) 1本 (スタティック表示用)
μPD780336, 780338	セグメント信号：40本 ダイナミック／スタティック兼用：12本 ダイナミック表示用セグメント：28本 コモン信号：4本 (ダイナミック表示用) 1本 (スタティック表示用)
μPD78F0338	セグメント信号：40本 ダイナミック／スタティック兼用：12本 ダイナミック表示用セグメント：12本 セグメント／出力ポート兼用：16本 コモン信号：4本 (ダイナミック表示用) 1本 (スタティック表示用)
制御レジスタ	LCD表示モード・レジスタ3 (LCDM3) LCDクロック制御レジスタ3 (LCDC3) スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3) 兼用切り替えレジスタ8 (PF8) 注 兼用切り替えレジスタ9 (PF8) 注

注 μPD78F0338のみ

図17-1 LCDコントローラ/ドライバのブロック図



注 μPD78F0338の場合

17.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の3種類のレジスタで制御します（ μ PD78F0338は5種類のレジスタで制御）。

- LCD表示モード・レジスタ3（LCDM3）
- LCDクロック制御レジスタ3（LCDC3）
- スタティック／ダイナミック表示切り替えレジスタ3（SDSEL3）
- 兼用切り替えレジスタ8（PF8）^注
- 兼用切り替えレジスタ9（PF9）^注

注 μ PD78F0338のみ

(1) LCD表示モード・レジスタ3（LCDM3）

表示動作の許可／禁止、昇圧回路、表示点滅、表示モードなどを設定するレジスタです。

LCDM3は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-2 LCD表示モード・レジスタ3 (LCDM3) のフォーマット

アドレス：FF90H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM3	LCDON	SCOC	VLCON	BLSEL	BLON	0	0	LCDM0

LCDON	表示の制御 (表示データの出力イネーブル)
0	表示OFF (セグメント出力はすべて非選択信号出力)
1	表示ON

SCOC	セグメント端子／コモン端子の出力制御
0	セグメント端子／コモン端子にGNDレベルを出力
1	セグメント端子／コモン端子に選択信号を出力

VLCON	昇圧回路の制御
0	昇圧回路の停止
1	昇圧回路の動作

BLSEL ^{注1}	点滅クロックの選択
0	点滅周期0.5 s
1	点滅周期1.0 s

BLON ^{注2}	点滅表示の制御
0	点滅表示OFF
1 ^{注3}	点滅表示ON

LCDM0 ^{注4}	ダイナミック表示/スタティック表示兼用端子 ^{注5, 6}		ダイナミック専用端子	
	時分割数	バイアス法	時分割数	バイアス法
0	4	1/3	4	1/3
1	3	1/3	3	1/3

- 注1. BLSELビットは、サブシステム・クロックを使用した場合のみ有効です。
2. 点滅用データ・メモリ (FA00-FA27Hの上位4ビット) に1が設定されている場合のみ、対応するセグメント端子の点滅動作が可能です。
3. BLON = 1のときに、点滅用データ・メモリのデータを書き換えないでください。
4. LCD動作中に、LCDM0の書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。
5. ダイナミック/スタティック表示兼用端子はスタティック/ダイナミック表示切り替えレジスタ3 (SDSEL3) レジスタでスタティック表示モードに設定している場合にはスタティック表示となります。
6. スタティック表示を使用しない場合、スタティック表示用コモン出力端子 (SCOM0) はGND出力になります。

注意1. LCDON, SCOC, VLCONビットを設定する場合は、次の順序で設定してください。

・LCD昇圧回路停止状態からLCD表示状態への移行フロー

(1) VLCONを1に設定してください。すべてのセグメント端子、コモン端子はGND出力状態 (SCOC = 0) になっています。



(2) VLCONを1に設定してから、ソフトウェアで500 ms以上待機してください。



(3) SCOCを1に設定してください。すべてのセグメント端子、コモン端子から非選択波形が出力され、非表示状態となります。



(4) LCDONを1に設定してください。表示RAMの値がセグメント出力波形に反映され、表示状態になります。

・LCD表示状態からLCD昇圧回路停止までの移行フロー

(1) LCDONを0に設定してください。すべてのセグメント端子、コモン端子は非表示状態になります。



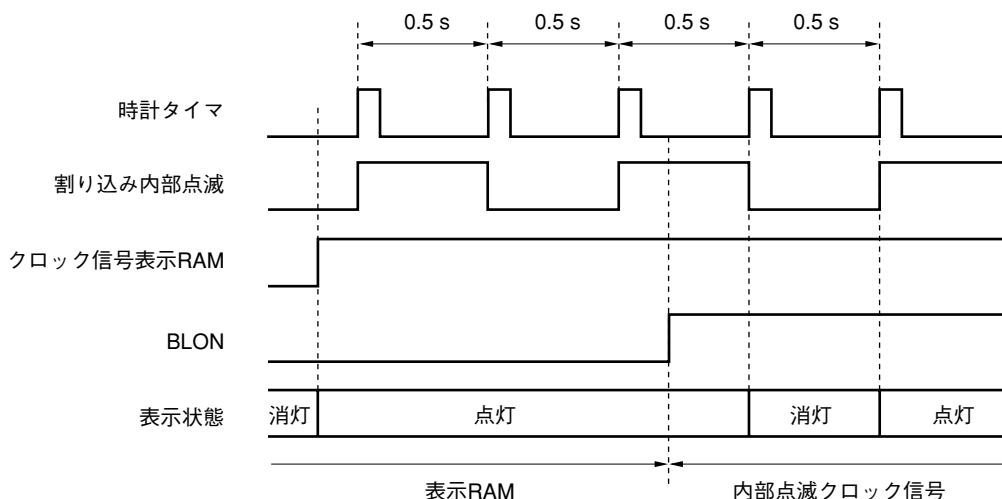
(2) SCOCを0に設定してください。すべてのセグメント端子、コモン端子はGND出力状態になります。



(3) VLCONを0に設定してください。LCD昇圧回路が停止します。

2. 点滅周期は、時計タイマのインターバル時間 (32.768 kHz使用時: 0.5 s) を利用して生成しています。図17-3に示すように、点滅機能を使用しない場合 (BLON = 0) は、表示RAMの設定で点灯/消灯を切り替えます。点滅機能を使用する場合 (BLON = 1) は、内部点滅クロック信号 (BLSELの設定値) で点灯/消灯が切り替わります。この場合、BLON = 1に設定したときの内部点滅クロックの状態が“1”のときは点灯、“0”のときは消灯となります。

図17-3 点滅機能



注意 3. 点滅機能を使用する場合、消灯周期 (0.5 sまたは1.0 s) に表示データを書き換えても、点灯周期に移行しないと有効になりません。

(2) LCDクロック制御レジスタ 3 (LCDC3)

LCDソース・クロック、フレーム周波数を設定するレジスタです。

LCDC3は8ビット・メモリ操作命令で設定します。

RESET入力により、00Hとなります。

図17-4 LCDクロック制御レジスタ 3 (LCDC3) のフォーマット

アドレス：FF91H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC3	0	0	0	0	LCDC33	LCDC32	LCDC31	LCDC30

LCDC33	LCDC32	ソース・クロックの選択 (f_{LCD})
0	0	f_{XT} (32.768 kHz)
0	1	$f_X/2^6$ (156.25 kHz)
1	0	$f_X/2^7$ (78.125 kHz)
1	1	$f_X/2^8$ (39.0625 kHz)

LCDC31	LCDC30	フレーム周波数を作成する基準クロックの選択
0	0	$f_{LCD}/2^6$
0	1	$f_{LCD}/2^7$
1	0	$f_{LCD}/2^8$
1	1	$f_{LCD}/2^9$

注意 LCD動作中に、LCDC3の書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。

備考 () 内は $f_X = 10\text{ MHz}$ または $f_{XT} = 32.768\text{ kHz}$ のとき。

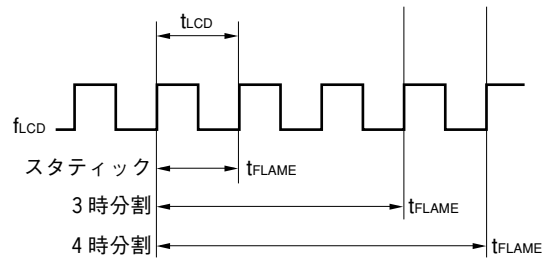
ソース・クロック (f_{LCD}) に f_{XT} (32.768 kHz) を使用したときのフレーム周波数を表17-4に、フレーム周波数を作成する基準クロックとフレーム周波数との関係を図17-5に示します。

表17-4 フレーム周波数

フレーム周波数を作成する基準クロック		$f_{XT}/2^9$	$f_{XT}/2^8$	$f_{XT}/2^7$	$f_{XT}/2^6$
フレーム周波数					
表示デューティ	スタティック	64 Hz	128 Hz	256 Hz ^注	512 Hz ^注
	1/3デューティ	21 Hz	43 Hz	85 Hz	171 Hz ^注
	1/4デューティ	16 Hz	32 Hz	64 Hz	128 Hz

★ 注 フレーム周波数が128 Hz以下になるように設定してください。

図17-5 フレーム周波数を作成する基準クロックとフレーム周波数との関係



備考 f_{LCD} : フレーム周波数を作成する基準クロック
 t_{LCD} : LCDクロック周期
 t_{FLAME} : フレーム周期

(3) スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3)

セグメント端子 (S0-S11) のLCD表示モードをスタティック表示またはダイナミック表示に切り替えるレジスタです。

SDSEL3は8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により00Hとなります。

★ 図17-6 スタティック／ダイナミック表示切り替えレジスタ3 (SDSEL3) のフォーマット

アドレス：FF92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SDSEL3	0	0	0	0	0	SDSEL32	SDSEL31	SDSEL30

品名	SDSEL32	SDSEL31	SDSEL30	セグメント数 (スタティック・モード用)	セグメント数 (ダイナミック・モード用)
μPD780316, 780318	0	0	0	—	S0-S23
	0	0	1	S0-S3	S4-S23
	0	1	1	S0-S7	S8-S23
	1	1	1	S0-S11	S12-S23
	上記以外の設定は不可				—
μPD780326, 780328	0	0	0	—	S0-S31
	0	0	1	S0-S3	S4-S31
	0	1	1	S0-S7	S8-S31
	1	1	1	S0-S11	S12-S31
	上記以外の設定は不可				—
μPD780336, 780338, 78F0338	0	0	0	—	S0-S39
	0	0	1	S0-S3	S4-S39
	0	1	1	S0-S7	S8-S39
	1	1	1	S0-S11	S12-S39
	上記以外の設定は不可				—

注意 LCD動作中に、SDSELの書き換えをしないでください。必ず、LCDON = 0, SCOC = 0, VLCON = 0のときに設定してください。また、SDSELの設定は、リセット後に一度だけしか設定できません。

(4) 兼用切り替えレジスタ 8, 9 (PF8, PF9) 注

ポート 8, 9 をポート端子として使用するか、セグメント端子として使用するかを選択するレジスタです。PF8, PF9は 8 ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hとなります。

注 μ PD78F0338のみ

図17-7 兼用切り替えレジスタ 8, 9 (PF8, PF9) のフォーマット

アドレス：FF58H リセット時：00H W

略号	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80

アドレス：FF59H リセット時：00H W

略号	7	6	5	4	3	2	1	0
PF9	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0	端子の設定
0	0	0	0	0	0	0	0	セグメント出力 (n = 8 : S32-S39, n = 9 : S24-S31)
1	1	1	1	1	1	1	1	出力専用ポート (n = 8 : P87-P80, n = 9 : P97-P90)
上記以外								設定禁止

注意 PF8, PF9は、00HまたはFFHのどちらかを、リセット後に1回のみ設定可能です。00HまたはFFH以外の値を設定しないでください。また、設定を変更する場合は、リセットをしてから行ってください。

17.4 LCD表示用RAM

LCD表示データおよびその表示データに対応したLCD点滅選択ビットは、FA00H-FA27H番地にマッピングされています。FF00H-FA27H番地の各アドレスの下位4ビットはLCD表示データ領域、上位4ビットはLCD点滅選択ビット領域となっています。LCD点滅選択ビットは、LCD表示データと対応（ビット0⇔ビット4、ビット1⇔ビット5、ビット2⇔ビット6、ビット3⇔ビット7）しています。ただし製品によって、LCD表示に使用できる領域は異なります。

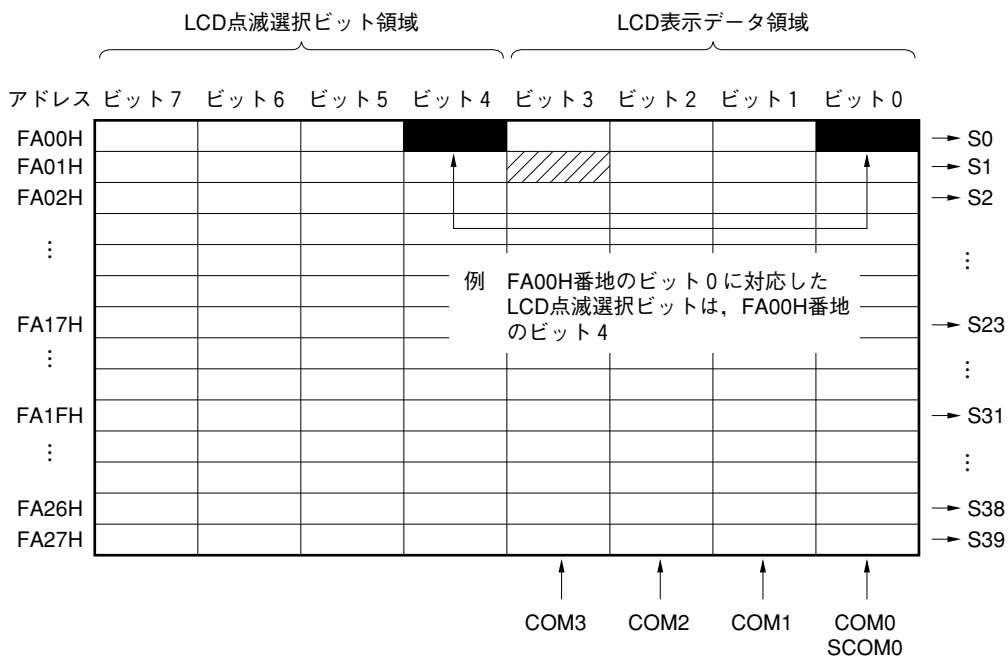
- μPD780316, 780318 : FA00H-FA17H (24バイト)
- μPD780326, 780328 : FA00H-FA1FH (32バイト)
- μPD780336, 780338, 78F0338 : FA00H-FA27H (40バイト)

LCD表示データに格納したデータは、LCDパネルに表示することができます。

- ★ 例えば、FA01H番地のビット3（図17-8の斜線部分）はS1端子にCOM3のタイミングで出力されます。LCD点滅選択ビットは、点滅対象となるビットに1を設定し、LCD表示モード・レジスタ3（LCDM3）のビット3（BLON）に1を設定することにより、対応するセグメントが点滅します。ただし、対象となるセグメントの表示データが1であることが必要です。

図17-8にLCD表示データおよび点滅選択ビットの内容とセグメント出力/コモン出力の関係を示します。また、表示に使用しない領域は通常のRAMとして使用できます。

- ★ 図17-8 LCD表示データおよび点滅選択ビットの内容とセグメント出力/コモン出力の関係（4時分割）



注意 FA00H-FA27H番地の各アドレスの上位4ビット（LCD点滅選択ビット領域）は、下位4ビット（LCD表示データ領域）と対応しています。したがって点滅動作を行わない場合は、点滅選択ビット領域の対象ビットに必ず0を設定してください。

17.5 LCDコントローラ／ドライバの設定

LCDコントローラ／ドライバの設定は、次のように行ってください。

- (1) μ PD78F0338を使用する場合は、兼用切り替えレジスタ 8, 9 (PF8, PF9) でP80/S32-P87/S39, P90/S24-S97/S31をセグメント出力またはポート出力として使用するかを設定してください。
- (2) スタティック／ダイナミック表示切り替えレジスタ 3 (SDSEL3) でセグメント出力端子 (S0-S11) の表示モードを設定してください。
- ★ (3) LCD表示用RAM内のLCD表示データ領域 (ビット0-3) に表示の初期値を設定してください。各デバイスで使用できるLCD表示用RAMは次のとおりです。

μ PD780316, 780318	: FA00H-FA17H (24バイト)
μ PD780326, 780328	: FA00H-FA1FH (32バイト)
μ PD780336, 780338, 78F0338	: FA00H-FA27H (40バイト)

 点滅機能を使用する場合は、LCD表示用RAM内の点滅選択ビット領域 (ビット4-7) の該当ビットに1を設定してください。
- (4) LCD表示モード・レジスタ 3 (LCDM3) のビット0 (LCDM0) で表示モードを設定してください。
- (5) LCDクロック制御レジスタ 3 (LCDC3) でLCDのソース・クロック、フレーム周波数を設定してください。
- (6) LCD表示モード・レジスタ 3 (LCDM3) のビット5 (VLCON) に1を設定し、昇圧回路の動作を開始してください。
- (7) ソフトウェアによって500 ms以上のウェイト時間を確保してください。
- (8) LCD表示モード・レジスタ 3 (LCDM3) のビット6 (SCOC) に1を設定し、セグメント端子／コモン端子に非選択波形を出力してください。
- (9) 点滅機能を使用する場合は、LCD表示モード・レジスタ 3 (LCDM3) のビット4 (BLSEL) で点滅周期 0.5 s/1.0 sを選択してください。
- (10) LCD表示モード・レジスタ 3 (LCDM3) のビット7 (LCDON) に1を設定し、表示ON状態にしてください。点滅表示をさせる場合は、LCD表示モード・レジスタ 3 (LCDM3) のビット3 (BLON) に1を設定し、表示ON状態にしてください。

以後、表示内容などに応じて表示データ・メモリのデータや点滅表示のタイミングを設定してください。

17.6 コモン信号とセグメント信号

- ★ LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（パネルに依存）以上になると点灯します。V_{LCD}以下の電位差になると消灯します。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表17-5に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はSCOM0に同一信号が出力されます。

なお、3時分割の場合のCOM3端子は、オープンにして使用してください。

表17-5 COM信号

COM信号	COM0	COM1	COM2	COM3	SCOM0
時分割					
スタティック	—	—	—	—	
3時分割				オープン	—
4時分割					—

(2) セグメント信号

セグメント信号は、40バイトのLCD表示用RAM（FA00H-FA27H^注）に対応しており、各表示データ・メモリのビット0がSCOM0とCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S39^注）に出力されます。

以上のことから、LCD表示用RAMには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示用RAMのビット1-3はLCD表示に使用しませんので、表示以外の目的に使用できます。

LCD表示用RAMのビット4-ビット7は、LCD点滅選択ビットとなります。LCD点滅機能を使用する場合は、対象ビットに1を設定してください。

注 セグメント信号出力端子とLCD表示データとして使用できる領域は、製品によって異なります。

製品名	セグメント信号出力端子	LCD表示データとして使用できる領域
μPD780316, 780318	S0-S23	FA00H-FA17H
μPD780326, 780328	S0-S31	FA00H-FA1FH
μPD780336, 780338	S0-S39	FA00H-FA27H
μPD78F0338	S0-S39 (S24-S31はP90-P97, S32-S39はP80-P87と兼用)	FA00H-FA27H (ポート8, 9をセグメント信号出力として使用時)

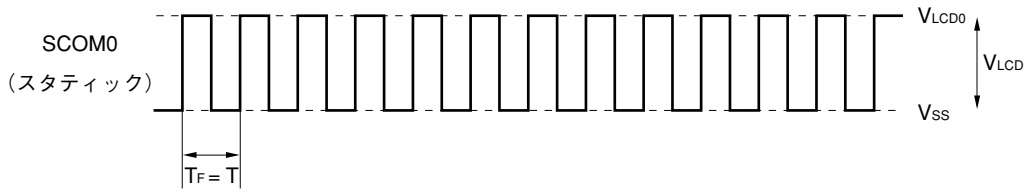
(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には図17-9, 17-10に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ V_{LCD} の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

図17-9 コモン信号波形

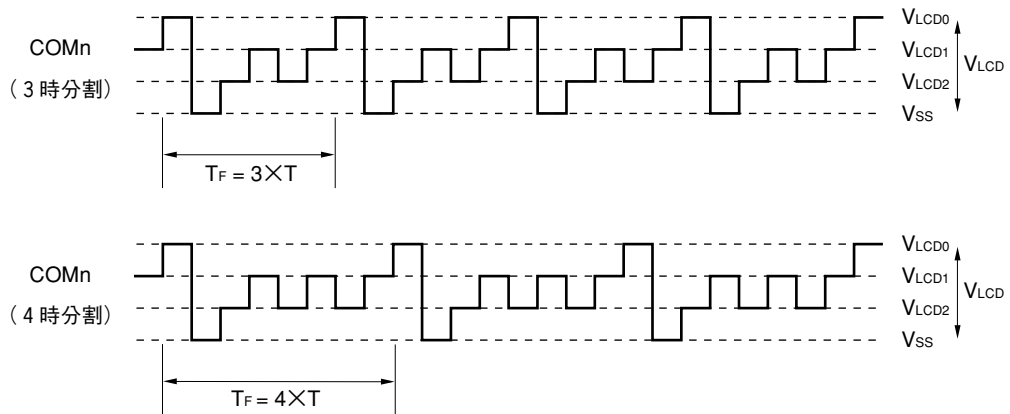
(a) スタティック表示モード



T : LCDCLの1周期分 T_F : フレーム周波数

(b) ダイナミック表示モード

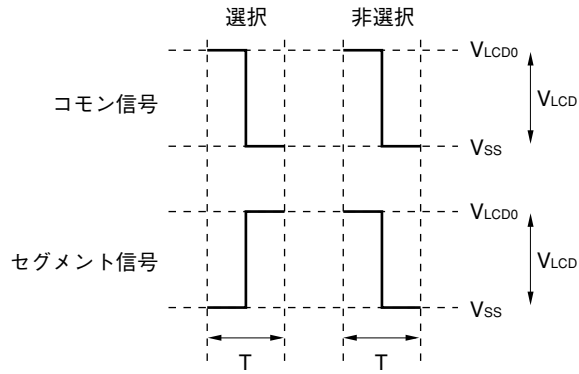
(1/3バイアス法)



T : LCDCLの1周期分 T_F : フレーム周波数

図17-10 コモン信号とセグメント信号の電圧と位相

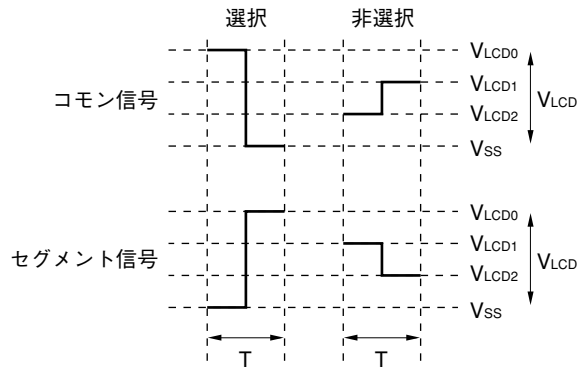
(a) スタティック表示モード



T : LCDCLの1周期分

(b) ダイナミック表示モード

(1/3バイアス法)



T : LCDCLの1周期分

17.7 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

μ PD780338は、LCD駆動電源用に内部昇圧回路（3倍昇圧のみ）を内蔵しています。

内部LCD基準電圧（ V_{LCD2} ）は、 V_{LC2} 端子から出力され、 V_{LC1} 端子からは V_{LCD2} の2倍の出力電圧が、 V_{LC0} 端子からは V_{LCD2} の3倍の出力電圧が出力されます。

図17-10に示すように、外付け抵抗を使用することによりLCD基準電圧（ V_{LCD2} ）を可変することができます。

また、 μ PD780338は、LCD駆動用電源を作るために容量分割方式を採用しているため、外付けにコンデンサ（推奨：0.47 μ F）が必要となります。

★

表17-6 V_{LC0} - V_{LC2} 端子の出力電圧

	出力電圧
V_{LC0} 端子	$3 \times V_{LCD2}$
V_{LC1} 端子	$2 \times V_{LCD2}$
V_{LC2} 端子	V_{LCD2}

注意 1. LCD機能を使用する際は、必ず V_{LCDC} , V_{LC0} , V_{LC1} , V_{LC2} 端子をオープンにしないでください。接続例は、図17-11を参照してください。

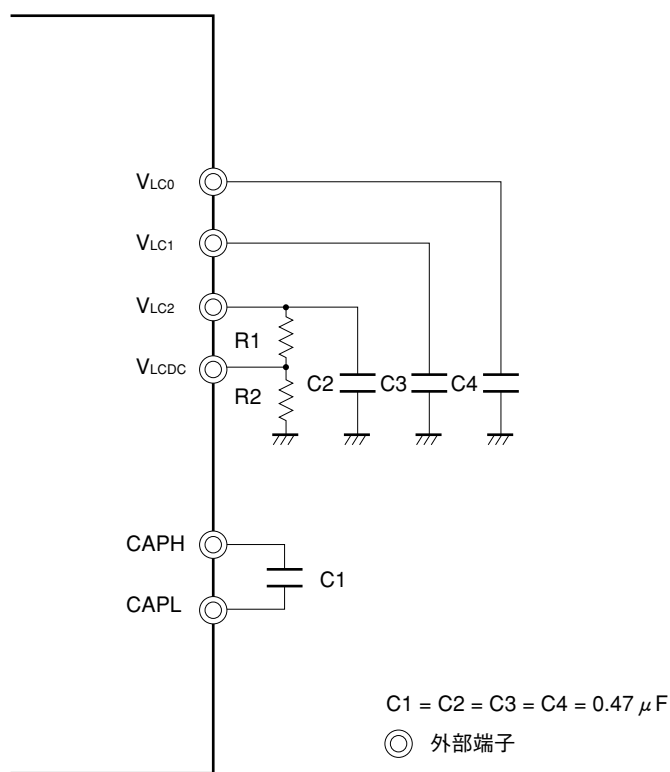
★

2. LCD駆動電圧は、 V_{DD} の変化にかかわらず一定の電圧を供給できます。

★

備考 LCD基準電圧（ V_{LCD2} ）については、第24章 電気的特性のLCDコントローラ／ドライバ特性を参照してください。

図17-11 LCDドライバ用基準電圧調整回路例



備考 なるべくリークが少ないコンデンサをご使用ください。なおC1は無極性コンデンサにしてください。

図17-11のように、外付け抵抗 (R1, R2) を接続する必要があります。抵抗値、容量値については次に示します。なお、LCDパネルの特性により、輝度調整を行う場合は、ユーザにてR1, R2比を調整してください。

- $R1 + R2 = 3 \text{ [M}\Omega\text{]}$
- $C1 = C2 = C3 = C4 = 0.47 \text{ [}\mu\text{F]}$

V_{LCD2}はR1とR2の抵抗の分圧比で調整できます。

- $V_{LCD2} = (R1 + R2) / R2 \text{ [V]}$
- $V_{LCD1} = 2 \times V_{LCD2} \text{ [V]}$
- $V_{LCD0} = 3 \times V_{LCD2} \text{ [V]}$

表17-7 外付け回路の推奨値

	V _{LCD2} [V]	V _{LCD1} [V]	V _{LCD0} [V]	R1 [M Ω]	R2 [M Ω]
V _{LCD0} = 3 [V]	1	2	3	0	3
V _{LCD0} = 4.5 [V]	1.5	3	4.5	1	2

17.8 表示モード

17.8.1 スタティック表示例

図17-13は、図17-12の表示パターンを持つスタティック方式の1桁のLCDパネルと μ PD780338サブシリーズのセグメント信号(S0-S11)およびコモン信号(SCOM0)との接続を示します。表示例は5で、表示データ・メモリ(FA00H-FA07H番地)の内容はこれに対応しています。

★ 図17-12の表示パターンに従って、SCOM0のコモン信号のタイミングで表17-8に示すような選択、非選択電圧をS0-S7端子に出力する必要があります。このとき、S0-S7端子をスタティック表示のために、SDSEL3レジスタに03Hを設定してください。

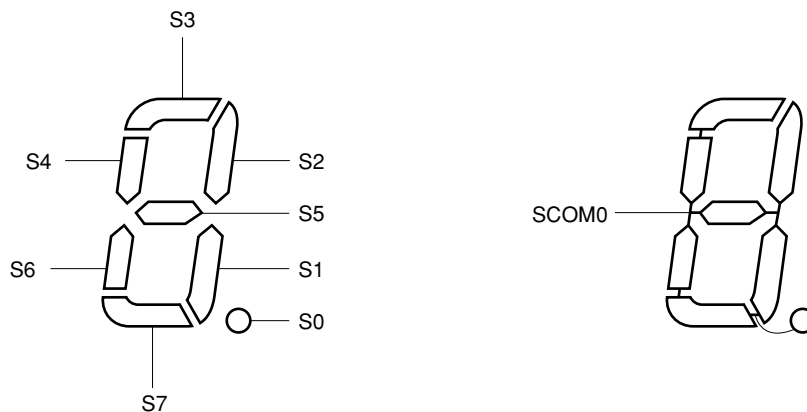
表17-8 選択, 非選択電圧 (SCOM0)

セグメント コモン	S0	S1	S2	S3	S4	S5	S6	S7
SCOM0	非	選	非	選	選	選	非	選

これによりS0-S7に対応する表示データ・メモリ(FA00H-FA07H番地)のビット0には、01011101を用意すればよいことが分かります。

S1, S2とSCOM0とのLCD駆動波形を図17-14に示します。SCOM0との選択タイミングでS1が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図17-12 スタティックLCDパネルの表示パターンと電極結線



★

図17-13 スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1)

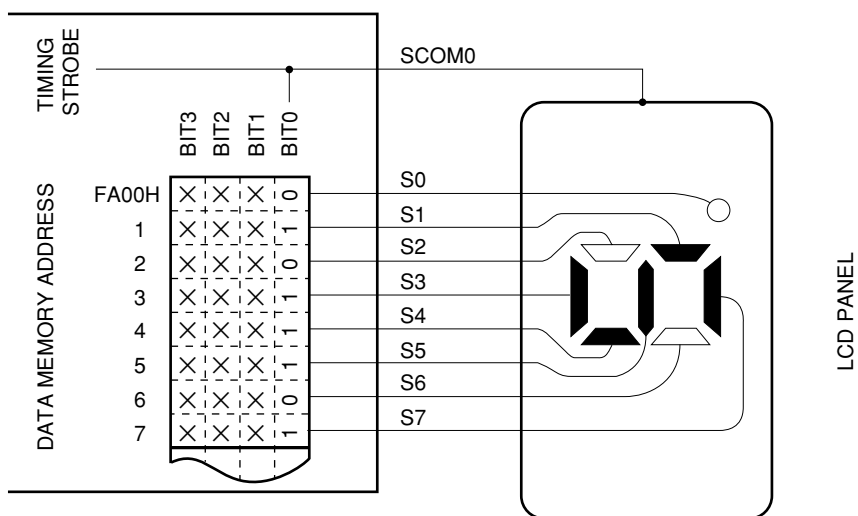
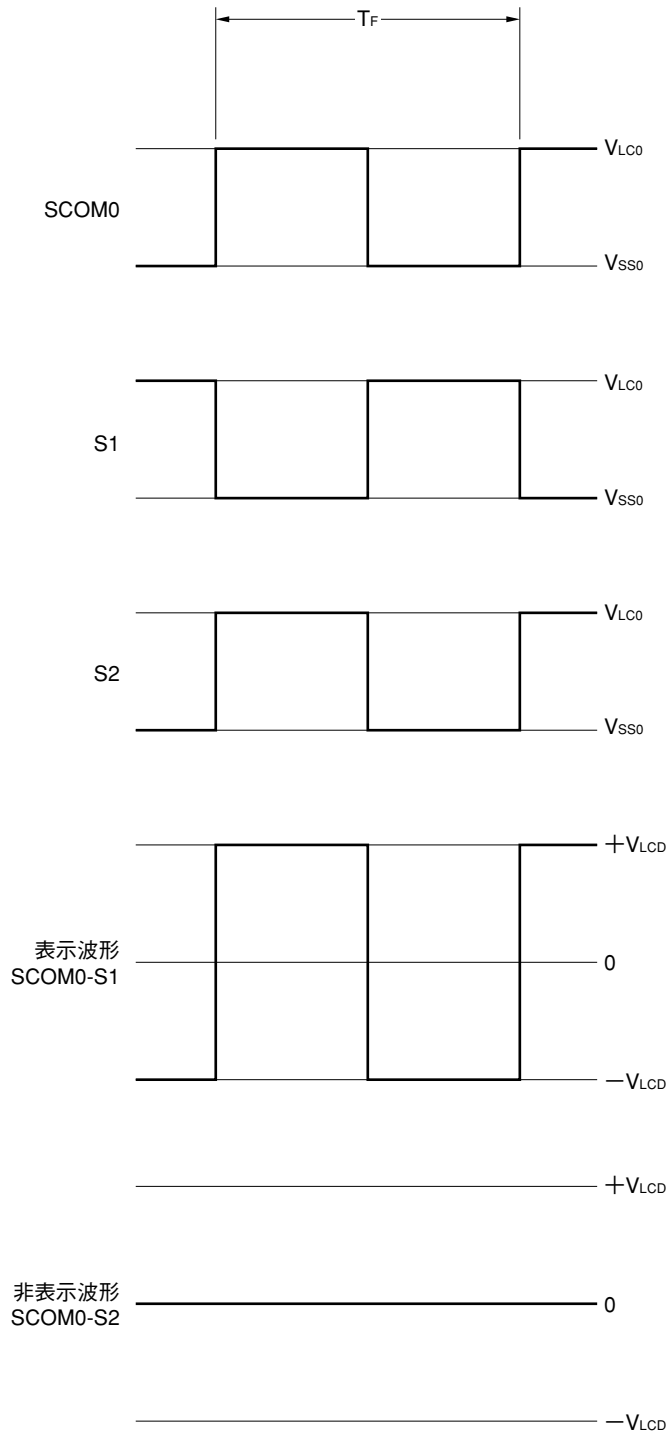


図17-14 スタティックLCD駆動波形例



17.8.2 3時分割表示例

図17-16は、図17-15の表示パターンを持つ3時分割方式の13桁LCDパネルとμPD780338サブシリーズのセグメント信号（S0-S38）およびコモン信号（COM0-COM2）との接続を示します。表示例は123456.7890123で、表示データ・メモリ（FA00H-FA26H番地）の内容はこれに対応しています。

ここでは8桁目の6.（6.）を例にとって説明します。図17-15の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表17-9に示すような選択、非選択電圧をS21-S23端子に出力する必要があります。

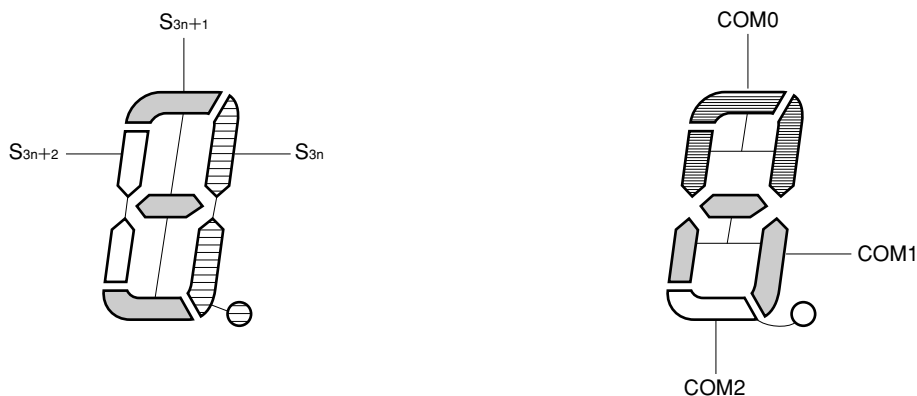
表17-9 選択、非選択電圧（COM0-COM2）

セグメント コモン	S21	S22	S23
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりS21に対応する表示データ・メモリ（FA15H番地）には、×110を用意すればよいことが分かります。

S21と各コモン信号間のLCD駆動波形例を図17-17（1/3バイアス法）に示します。COM1の選択タイミングでS21が選択電圧のとき、およびCOM2の選択タイミングでS21が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

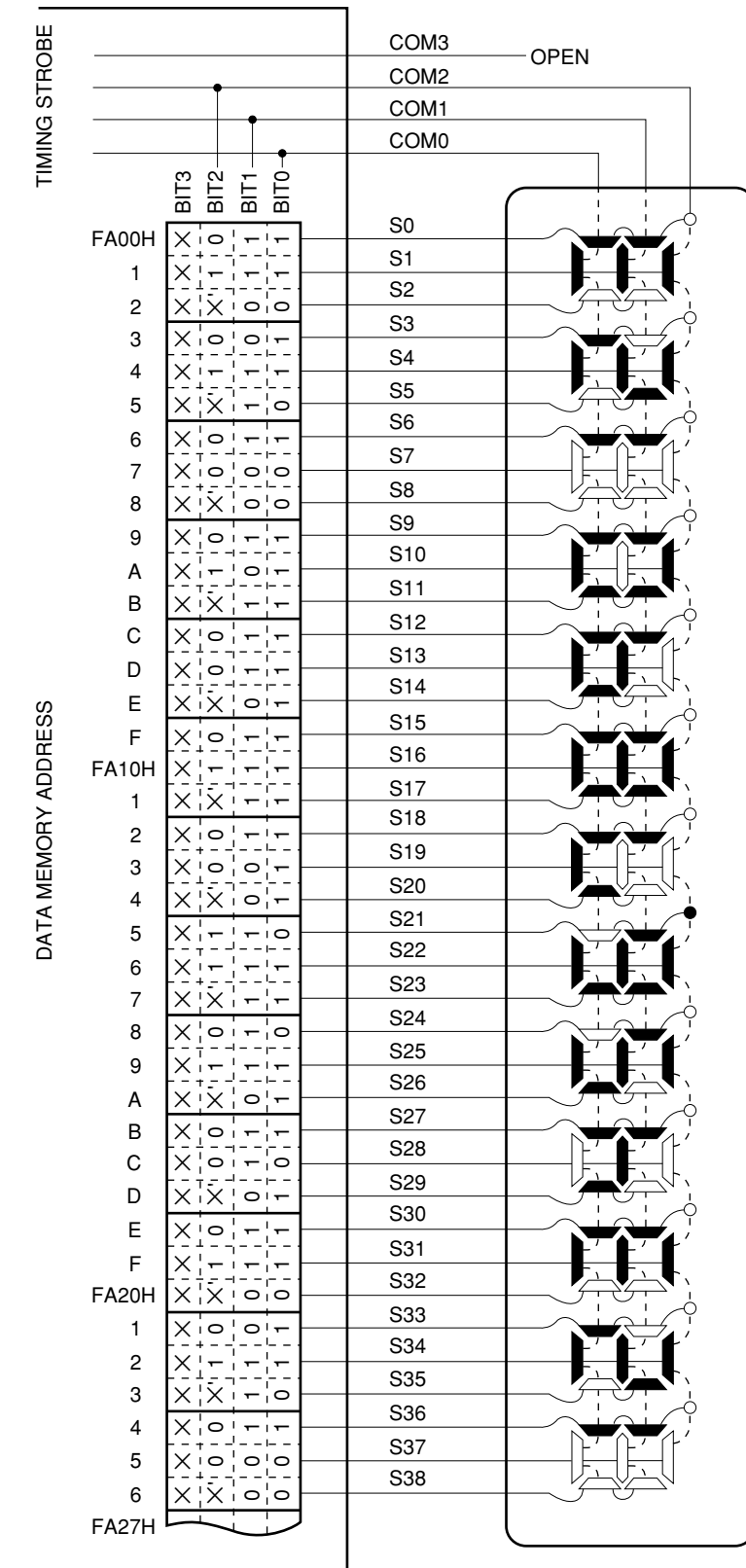
図17-15 3時分割LCD表示パターンと電極結線



備考 n = 0-12

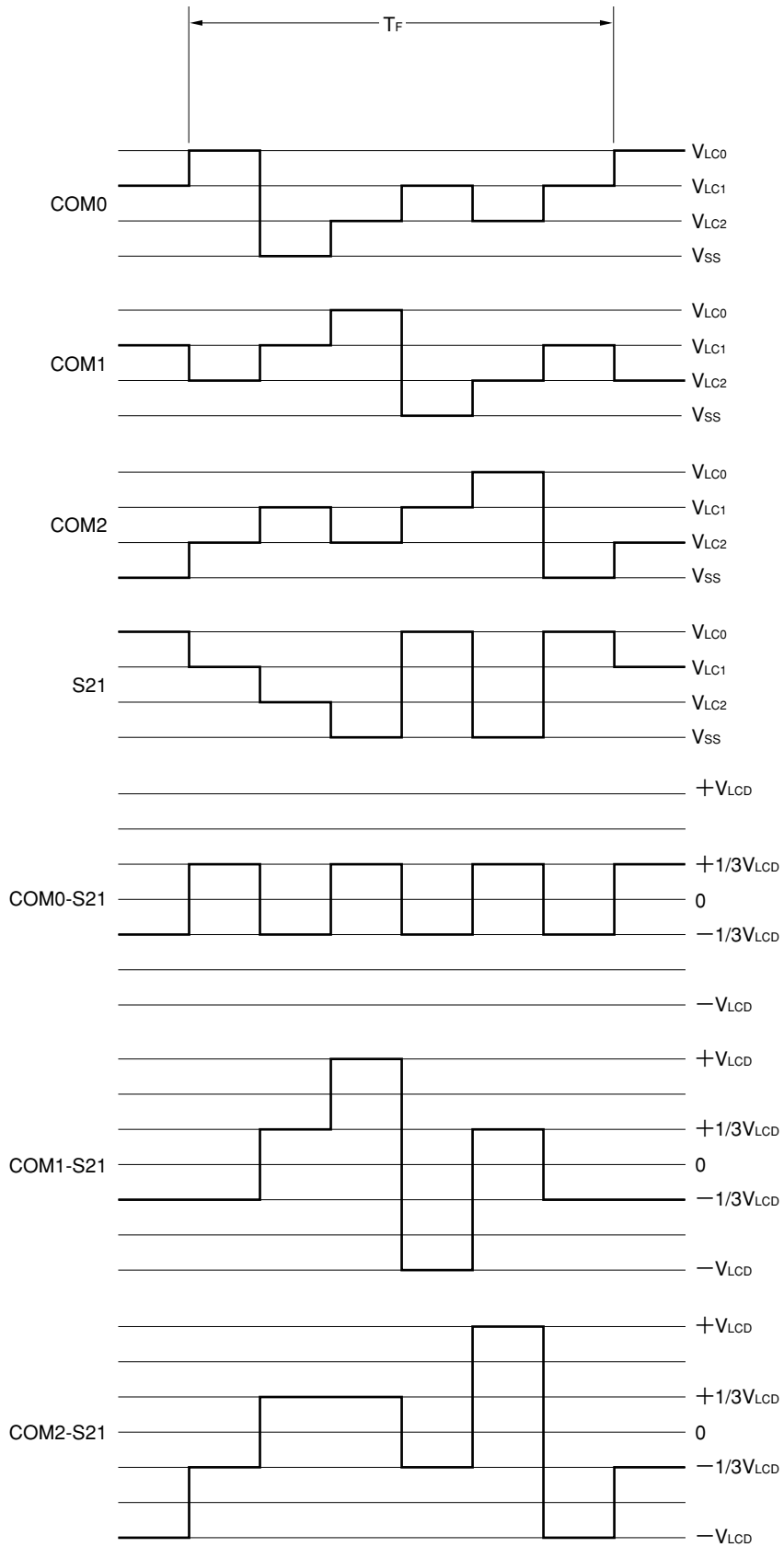
★

図17-16 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)



×': LCDパネルに対応セグメントがないため任意データをストア可能です。
 × : 3時分割表示のため常に任意データをストア可能です。

図17-17 3時分割LCD駆動波形例 (1/3バイアス法)



17.8.3 4時分割表示例

図17-19は、図17-18の表示パターンを持つ4時分割方式の20桁LCDパネルと μ PD780338サブシリーズのセグメント信号(S0-S39)およびコモン信号(COM0-COM3)との接続を示します。表示例は123456.78901234567890で、表示データ・メモリ(FA00H-FA27H番地)の内容はこれに対応しています。

ここでは15桁目の6.(5.)を例にとって説明します。図17-18の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表17-10に示すような選択、非選択電圧をS28, S29の端子に出力する必要があります。

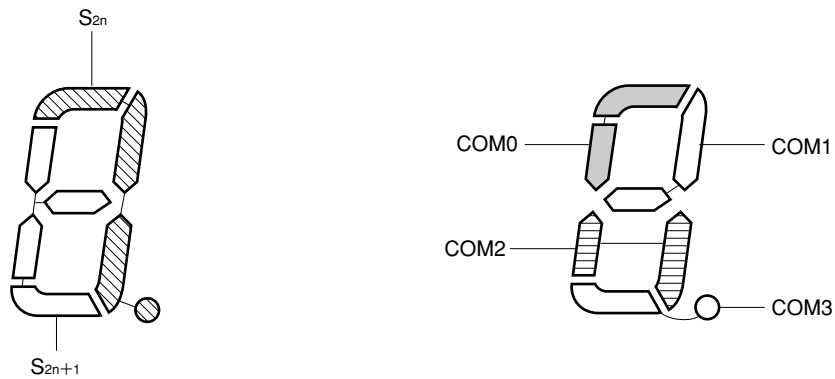
表17-10 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S28	S29
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS28に対応する表示データ・メモリ(FA1CH番地)には、1101を用意すればよいことが分かります。

S28とCOM0, COM1信号間のLCD駆動波形を図17-20に示します(図面の都合でCOM2, COM3に対する波形は省略)。COM0の選択タイミングでS28が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図17-18 4時分割LCD表示パターンと電極結線



備考 n = 0-18

★

図17-19 4時分割LCDパネルの結線例 (SDSEL3n = 0, n = 0-2)

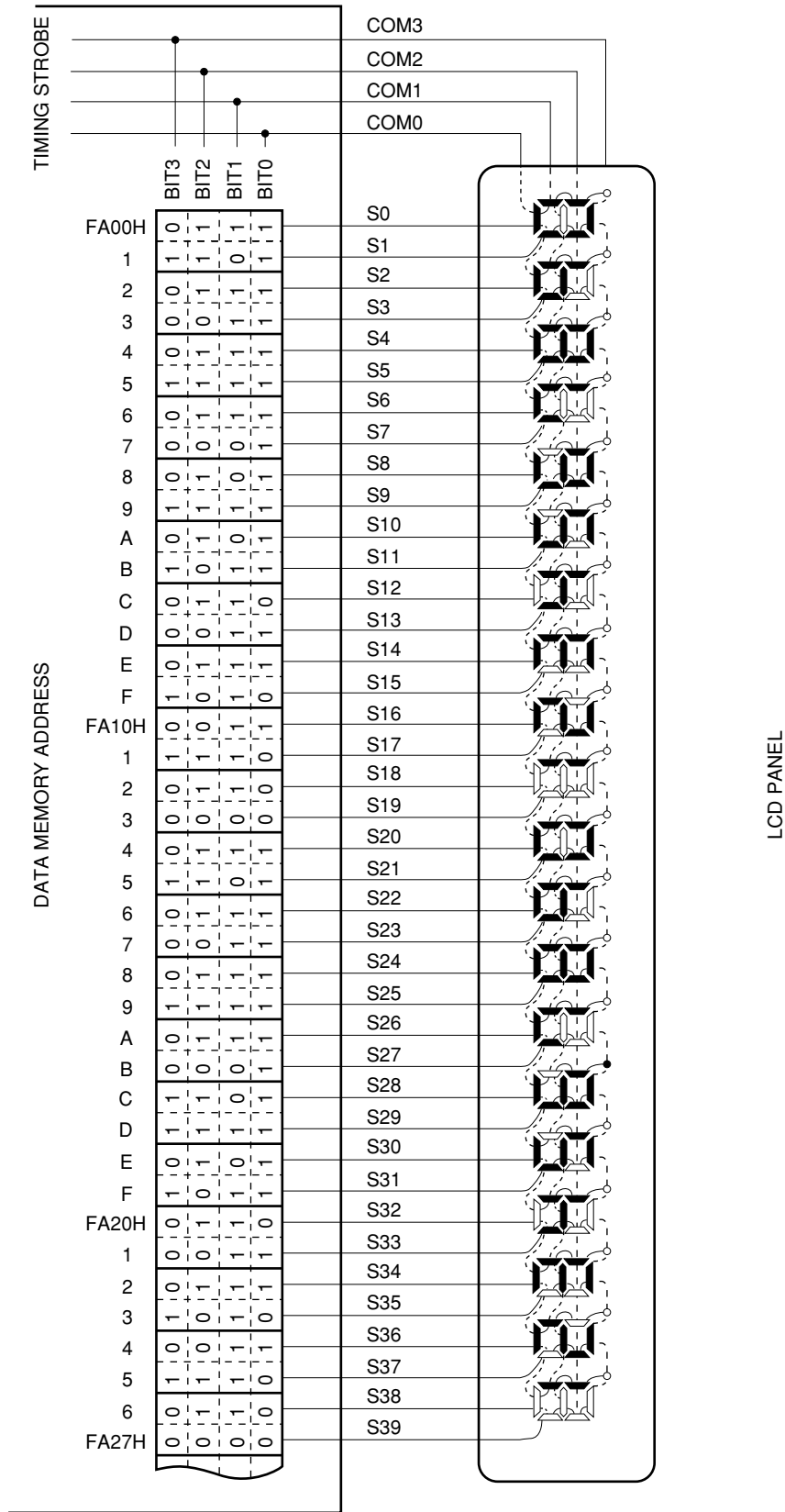
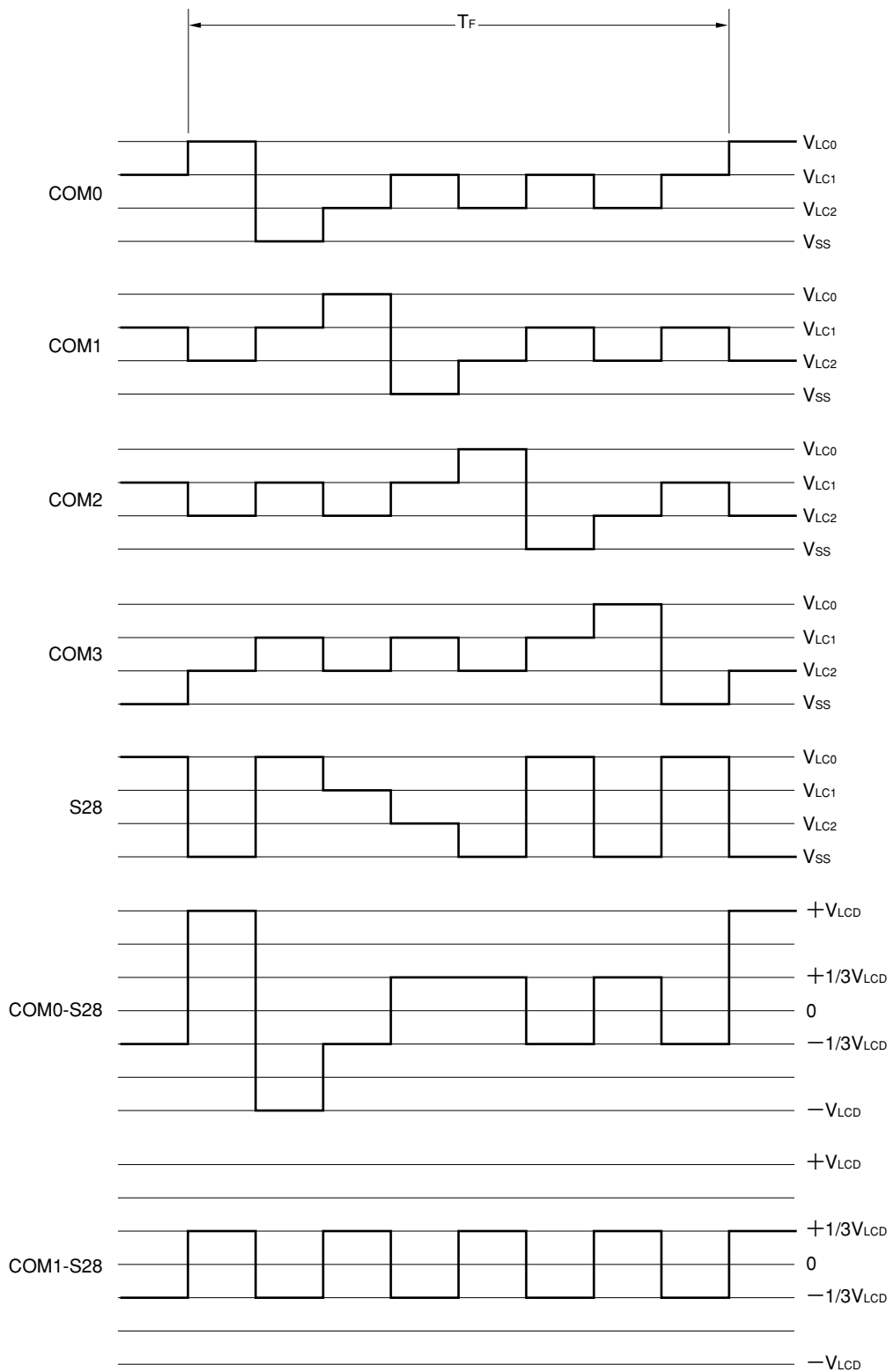


図17-20 4時分割LCD駆動波形例 (1/3バイアス法)



17.8.4 スタティック表示およびダイナミック表示の同時駆動

μPD780338は、スタティック表示（S0-S11）とダイナミック表示の同時駆動が可能です。
レジスタの設定は図17-6を参照してください。

第18章 割り込み機能

18.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表18-1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が7要因、内部割り込み要求が15要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

18.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計24要因あります (表18-1 参照)。

備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスカブル割り込みとマスカブル割り込み (内部) の2種類があり、どちらか1種類を選択できます。

表18-1 割り込み要因一覧

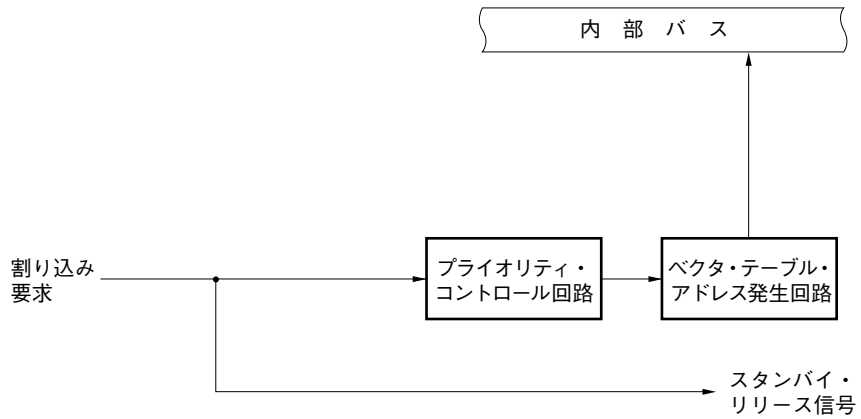
割り込みの種類	デフォルト・注 ¹ プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成注 ² タイプ
		名称	トリガ			
ノンマスクブル	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1 選択時)	内部	0004H	(A)
マスクブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1				
	3	INTP2				
	4	INTP3				
	5	INTP4				
	6	INTP5				
	7	INTKR	ポート4の立ち下がりエッジ検出		0012H	(D)
	8	INTSER0	シリアル・インタフェース (UART0) の受信エラー発生	内部	0014H	(B)
	9	INTSR0	シリアル・インタフェース (UART0) の受信終了		0016H	
	10	INTST0	シリアル・インタフェース (UART0) の送信終了		0018H	
	11	INTCSI1	シリアル・インタフェース (CSI1) の転送終了		001AH	
	12	INTCSI3	シリアル・インタフェース (SIO3) の転送終了		001CH	
	13	INTWTNIO	時計用タイマからの基準時間間隔信号		001EH	
	14	INTTM00	TM00とCR00の一致 (CR00をコンペア・レジスタに指定したとき) TI01端子の有効エッジ検出 (CR00をキャプチャ・レジスタに指定したとき)		0020H	
	15	INTTM01	TM00とCR01の一致 (CR01をコンペア・レジスタに指定したとき) TI00端子の有効エッジ検出 (CR01をキャプチャ・レジスタに指定したとき)		0022H	
	16	INTTM4	TM4とCR4の一致 (TM4とCR4の一致でクリア&スタート・モードを選択したとき)		0024H	
	17	INTTM50	TM50とCR50の一致		0026H	
	18	INTTM51	TM51とCR51の一致		0028H	
	19	INTTM52	TM52とCR52の一致	002AH		
	20	INTAD0	A/Dコンバータの変換終了	002CH		
	21	INTWTN0	時計用タイマのオーバフロー	002EH		
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位、21が最低順位です。

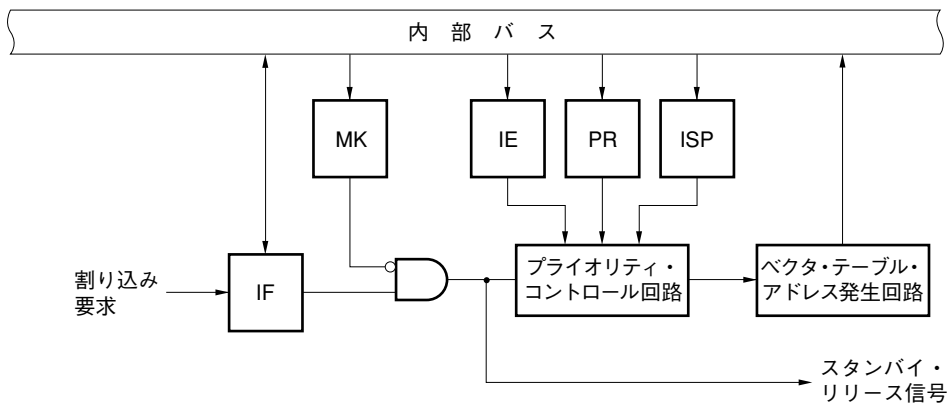
2. 基本構成タイプの (A) - (E) は、それぞれ図18-1の (A) - (E) に対応しています。

図18-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0-INTP5)

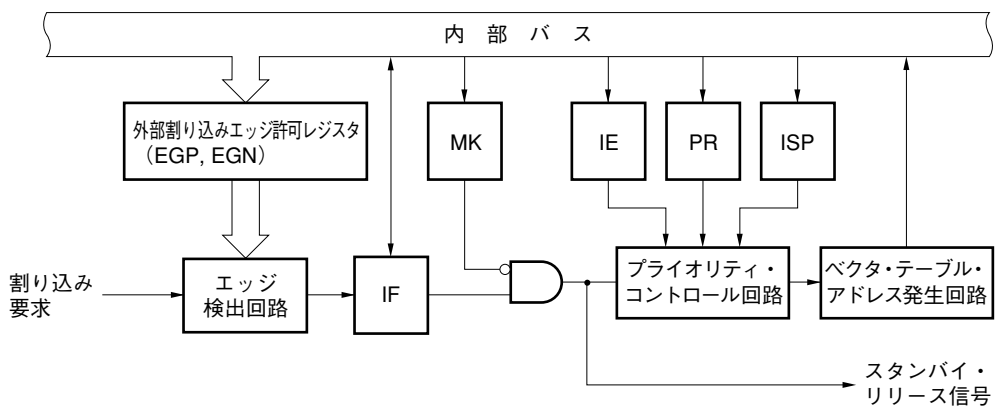
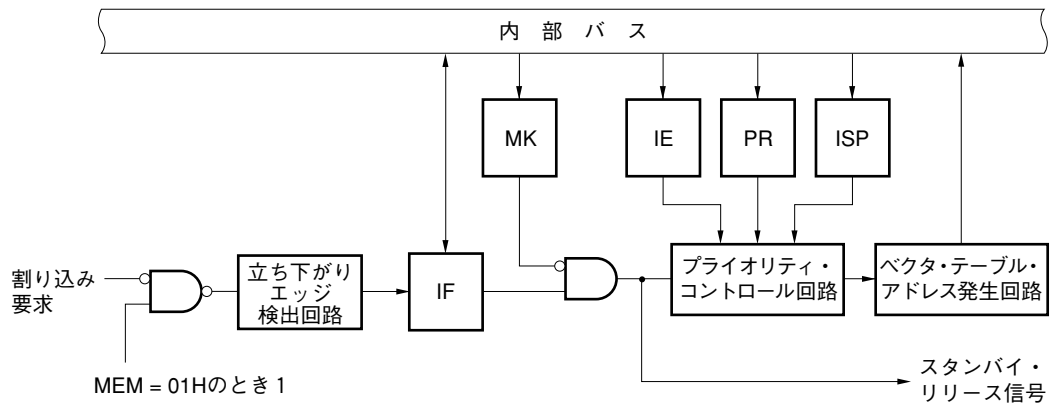
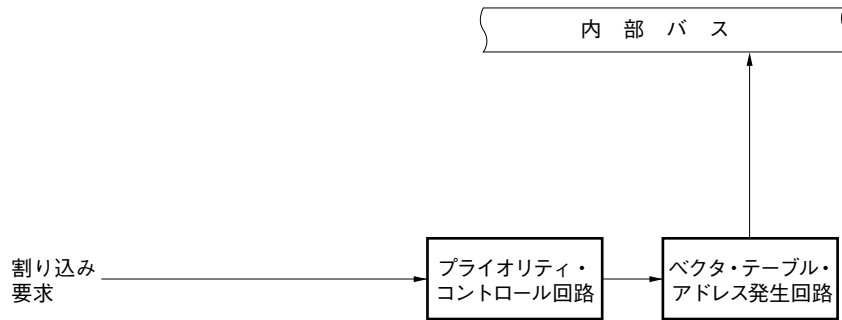


図18-1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み(INTKR)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサースビス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ
- MEM : メモリ拡張モード・レジスタ

18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表18-2に示します。

表18-2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込み要求マスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^注	IF0L	WDTMK ^注	MK0L	WDTPR ^注	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTKR	KRIF		KRMK		KRPR	
INTSER0	SERIF0	IF0H	SERMK0	MK0H	SERPR0	PR0H
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0		STMK0		STPR0	
INTCSI1	CSIF1		CSIMK1		CSIPR1	
INTCSI3	CSIF3		CSIMK3		CSIPR3	
INTWTNIO	WTNIIF0		WTNIMK0		WTNIPR0	
INTTM00	TMIF00		TMMK00		TMPR00	
INTTM01	TMIF01		TMMK01		TMPR01	
INTTM4	TMIF4	IF1L	TMMK4	MK1L	TMPR4	PR1L
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51		TMMK51		TMPR51	
INTTM52	TMIF52		TMMK52		TMPR52	
INTAD0	ADIF0		ADMK0		AD0	
INTWTN0	WTNIF0		WTNMK0		WTNPR0	

注 ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス：FFE0H リセット時：00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	KRIF	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	WDTIF

アドレス：FFE1H リセット時：00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF01	TMIF00	WTNIIF0	CSIIF3	CSIIF1	STIF0	SRIF0	SERIF0

アドレス：FFE2H リセット時：00H R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	0	0	WTNIIF0	ADIF0	TMIF52	TMIF51	TMIF50	TMIF4

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。
- IF1Lのビット6, 7には、必ず0を設定してください。
 - タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
 - 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図18-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	KRMK	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK01	TMMK00	WTNIMK0	CSIMK3	CSIMK1	STMK0	SRMK0	SERMK0

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	1	WTNMK0	ADMK0	TMMK52	TMMK51	TMMK50	TMMK4

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。
2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK1Lのビット6, 7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図18-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	KRPR	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	WDTPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR01	TMPR00	WTNIPR0	CSIPR3	CSIPR1	STPR0	SRPR0	SERPR0

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	1	1	WTNPR0	ADPR0	TMPR52	TMPR51	TMPR50	TMPR4

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグに1を設定してください。

2. PR1Lのビット6, 7には、必ず1を設定してください。

- (4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) INTP0-INTP5の有効エッジを設定するレジスタです。
 EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図18-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

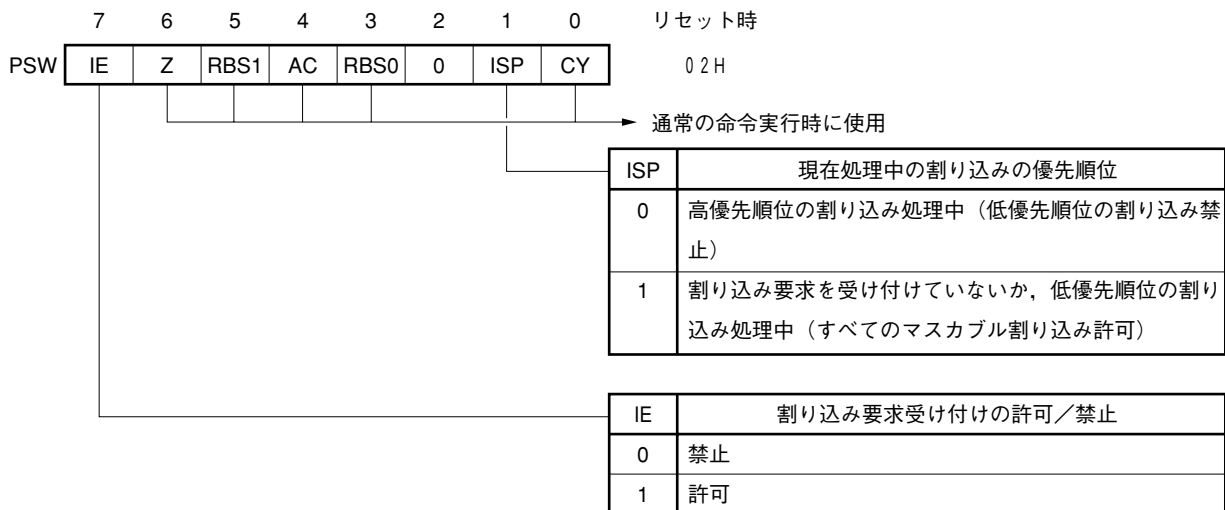
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図18-6 プログラム・ステータス・ワードの構成



18.4 割り込み処理動作

18.4.1 ノンмасカブル割り込み要求の受け付け動作

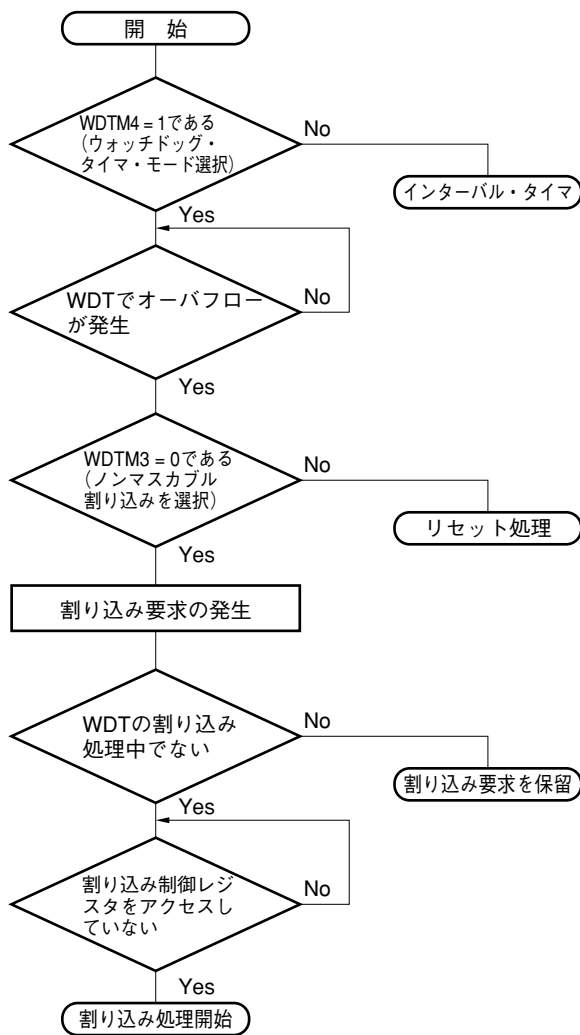
ノンмасカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンмасカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグ, ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンмасカブル割り込みサービス・プログラム実行中に発生した新たなノンмасカブル割り込み要求は、現在処理中のノンмасカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンмасカブル割り込みサービス・プログラム実行中に新たなノンмасカブル割り込み要求が2回以上発生しても、そのノンмасカブル割り込みサービス・プログラム実行終了後に受け付けられるノンмасカブル割り込み要求は1回分だけになります。

ノンмасカブル割り込み要求発生から受け付けまでのフロー・チャートを図18-7に、ノンмасカブル割り込み要求の受け付けタイミングを図18-8に、ノンмасカブル割り込み要求が多重に発生した場合の受け付け動作を図18-9に示します。

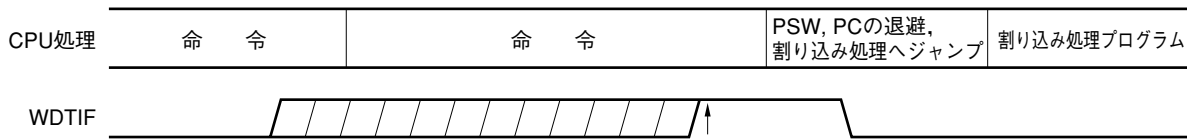
図18-7 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

図18-8 ノンマスカブル割り込み要求の受け付けタイミング

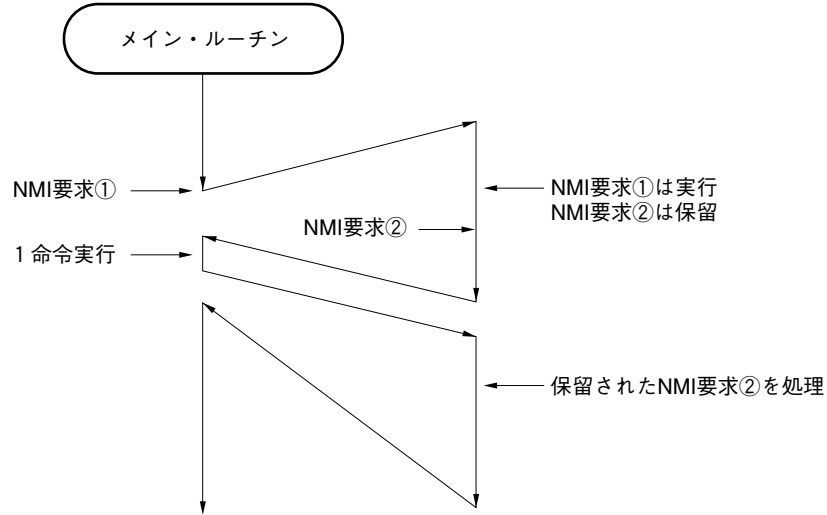


この間に発生した割り込みは↑のタイミングで受け付けられます。

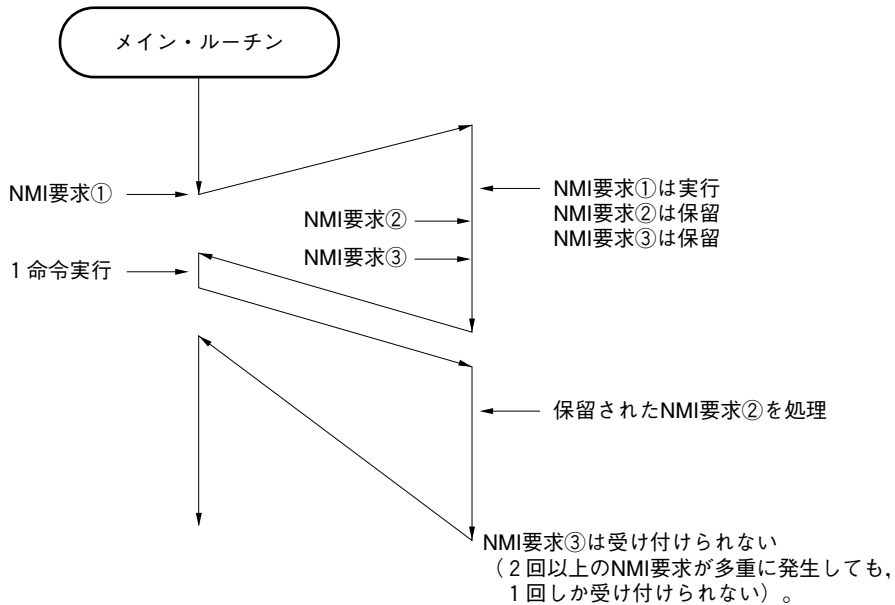
WDTIF：ウォッチドッグ・タイマ割り込み要求フラグ

図18-9 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



18.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表18-3のようになります。

割り込み要求の受け付けタイミングについては、図18-11、18-12を参照してください。

表18-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR=0のとき	7クロック	32クロック
××PR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

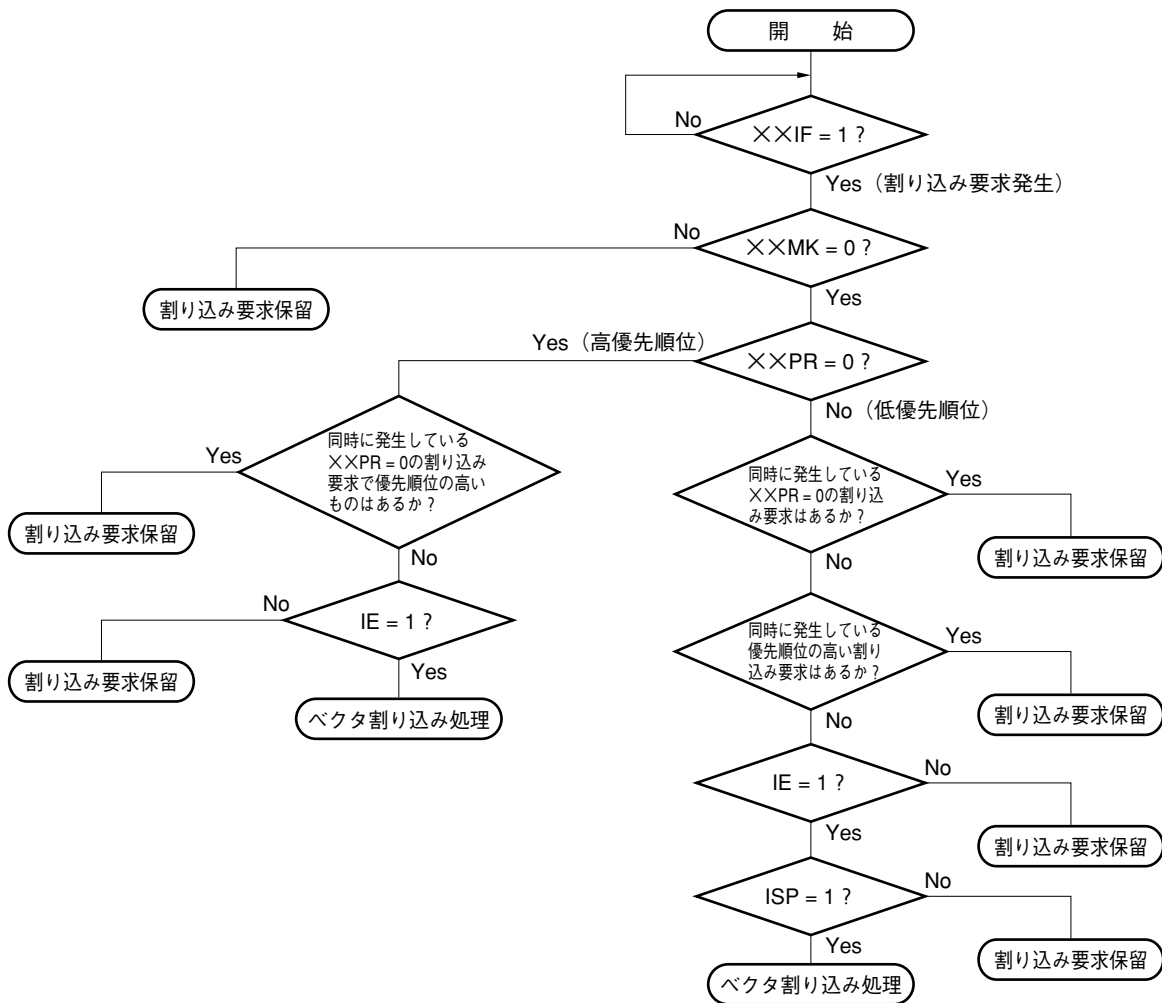
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図18-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図18-10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

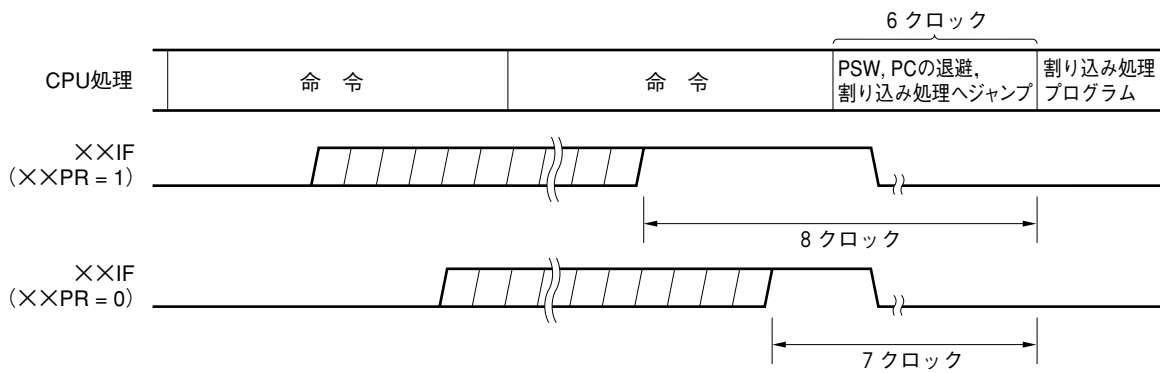
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

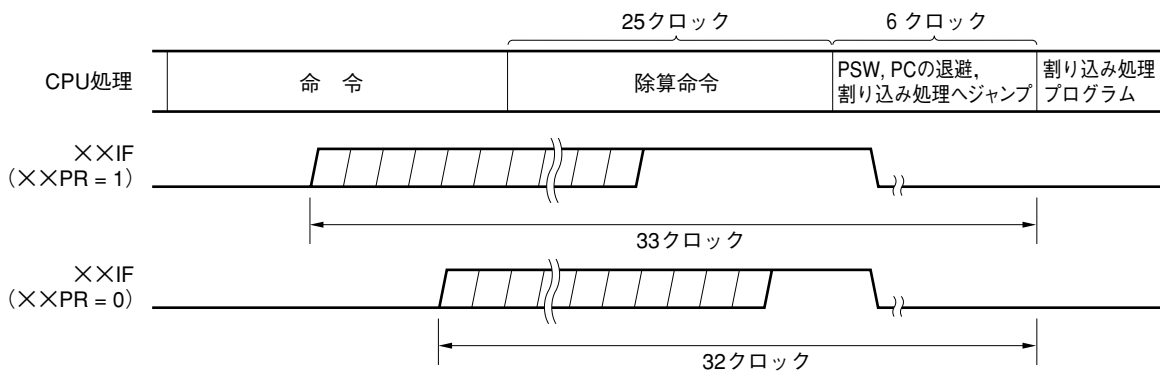
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図18-11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : 1/f_{CPU} (f_{CPU} : CPUクロック)

図18-12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : 1/f_{CPU} (f_{CPU} : CPUクロック)

18.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

18.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクابل割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表18-4に多重割り込み可能な割り込み要求を、図18-13に多重割り込みの例を示します。

表18-4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクابل 割り込み要求	マスクابل割り込み要求			
			PR = 0		PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクابل割り込み		×	×	×	×	×
マスクابل割り込み	ISP = 0	○	○	×	×	×
	ISP = 1	○	○	×	○	×
ソフトウェア割り込み		○	○	×	○	×

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか，低優先順位の割り込み処理中

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

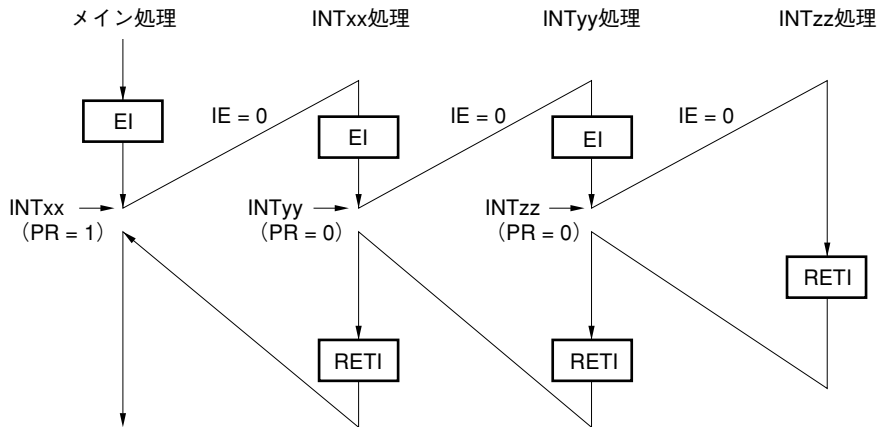
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0：高優先順位レベル

PR = 1：低優先順位レベル

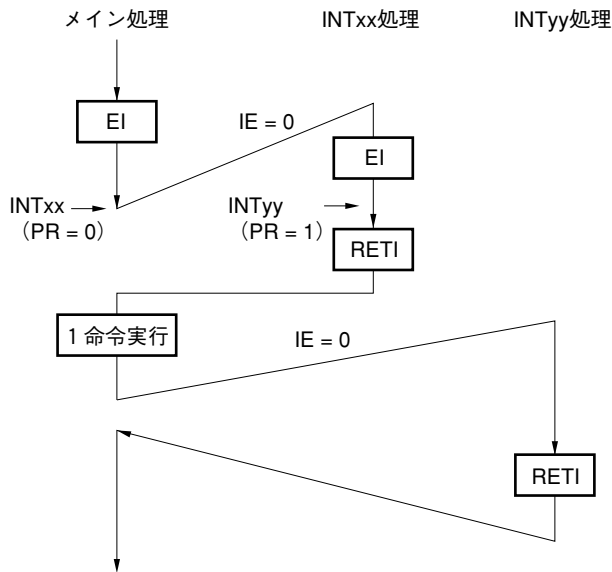
図18-13 多重割り込みの例 (1/2)

例 1. 多重割り込みが 2 回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

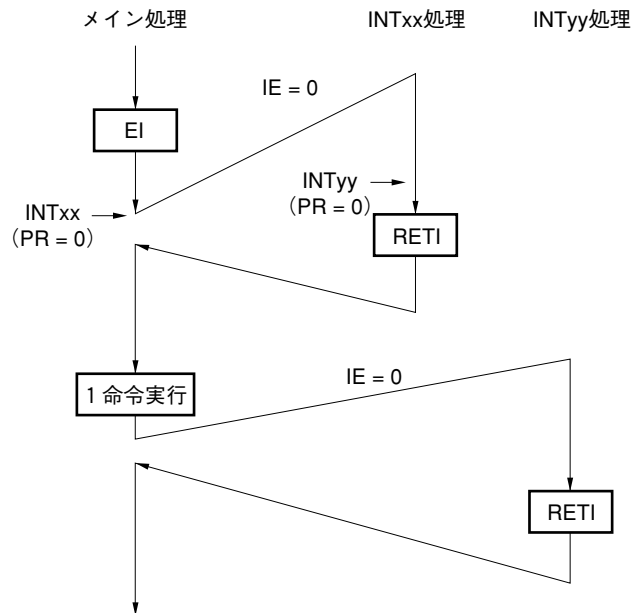
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図18-13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

18.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスクブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図18-14に示します。

図18-14 割り込み要求の保留



- 備考 1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. XXIF（割り込み要求）の動作は、XXPR（優先順位レベル）の値の影響を受けません。

第19章 スタンバイ機能

19.1 スタンバイ機能と構成

19.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD}=1.6\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意 1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます（サブシステム・クロックの発振を停止させることができません）。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。
2. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。
3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

19.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウエイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

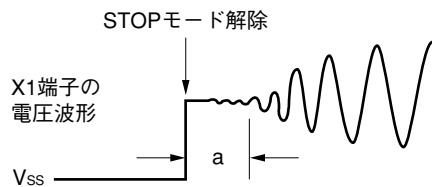
図19-1 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFAH リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (410 μ s)
0	0	1	$2^{14}/f_x$ (1.64 ms)
0	1	0	$2^{15}/f_x$ (3.28 ms)
0	1	1	$2^{16}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (13.1 ms)
上記以外			設定禁止

注意 STOPモード解除時のウエイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間（下図 a）は含まれません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10$ MHz動作時。

19.2 スタンバイ機能の動作

19.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表19-1 HALTモード時の動作状態

項目	HALTモードの設定		サブシステム・クロック動作中のHALT命令実行時	
	サブシステム・クロックがない場合 ^{注1}	サブシステム・クロックがある場合 ^{注2}	メイン・システム・クロック発振継続時	メイン・システム・クロック発振停止時
クロック発生回路	メイン・システム・クロック、サブシステム・クロックとも発振可能 CPUへのクロック供給は停止			
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ/イベント・カウンタ0	動作可能			動作停止
16ビット・タイマ/イベント・カウンタ4	動作可能			カウント・クロックにTI4選択時、動作可能
8ビット・タイマ/イベント・カウンタ50, 51, 52	動作可能			カウント・クロックにTI50, TI51, TI52選択時、動作可能
時計用タイマ	カウント・クロックにfx/2 ⁿ 選択時、動作可能	動作可能		カウント・クロックにfxT選択時、動作可能
ウォッチドッグ・タイマ	動作可能		動作停止	
クロック出力	動作可能			カウント・クロックにfxT選択時、動作可能
ブザー出力				動作停止
A/Dコンバータ	動作停止			
D/Aコンバータ	動作停止			
シリアル・インタフェースUART0	動作可能			動作停止
シリアル・インタフェースCSI1				外部SCK時は、動作可能
シリアル・インタフェースSIO3				動作可能
LCDコントローラ/ドライバ	カウント・クロックにfx/2 ⁿ -fx/2 ^m 選択時、動作可能	動作可能		カウント・クロックにfxT選択時、動作可能

注1. 外部クロックを供給しない場合を含む。

2. 外部クロックを供給する場合を含む。

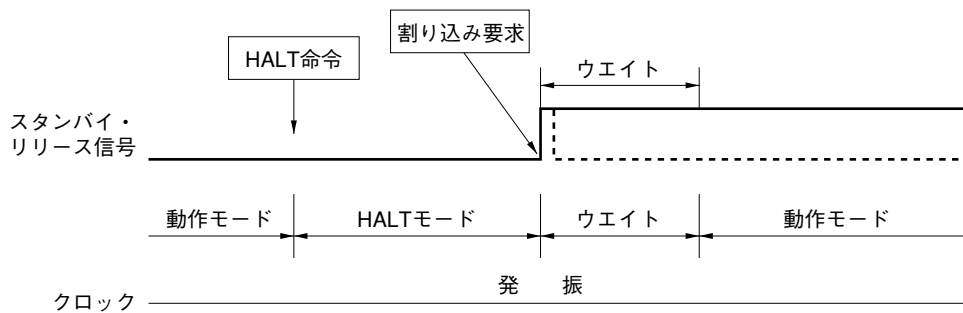
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図19-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8～9クロック
- ・ベクタ割り込み処理を行わない場合 : 2～3クロック

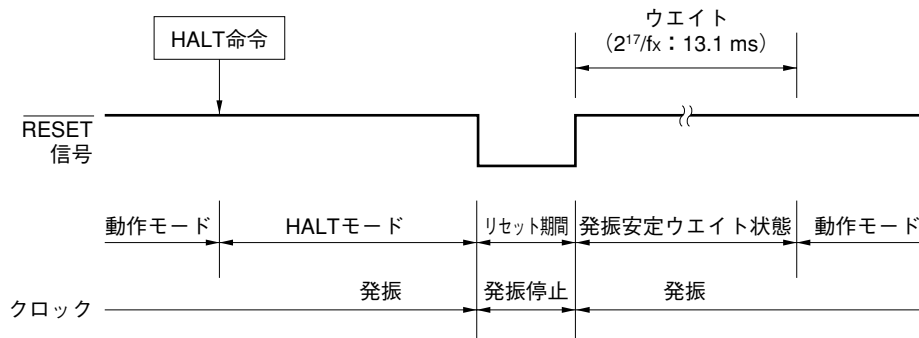
(b) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) RESET入力による解除

RESET信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図19-3 HALTモードのRESET入力による解除



- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. () 内は $f_x = 10 \text{ MHz}$ 動作時

表19-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	割り込み処理実行
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	—	—	×	×	割り込み処理実行
<u>RESET</u> 入力	—	—	×	×	リセット処理

×: don't care

19.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表19-3 STOPモード時の動作状態

項目	サブシステム・クロックがある場合	サブシステム・クロックがない場合
クロック発生回路	メイン・システム・クロックのみ発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ0	動作停止	
16ビット・タイマ/イベント・カウンタ4	カウント・クロックにTI4選択時、動作可能	
8ビット・タイマ/イベント・カウンタ50, 51, 52	カウント・クロックにTI50, TI51, TI52選択時、動作可能	
時計用タイマ	カウント・クロックにfx _T 選択時、動作可能	動作停止
ウォッチドッグ・タイマ	動作停止	
クロック出力	PCLはロウ・レベル	
ブザー出力	BUZはロウ・レベル	
A/Dコンバータ	動作停止	
D/Aコンバータ	動作停止	
シリアル・インタフェースUART0	動作停止（送信シフト・レジスタ0（TXS0）、受信シフト・レジスタ0（RX0）、受信バッファ・レジスタ0（RXB0）はクロック停止直前の値を保持）	
シリアル・インタフェースCSI1	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能	
シリアル・インタフェースSIO3	動作停止	
LCDコントローラ/ドライバ	カウント・クロックにfx _T 選択時、動作可能	動作停止

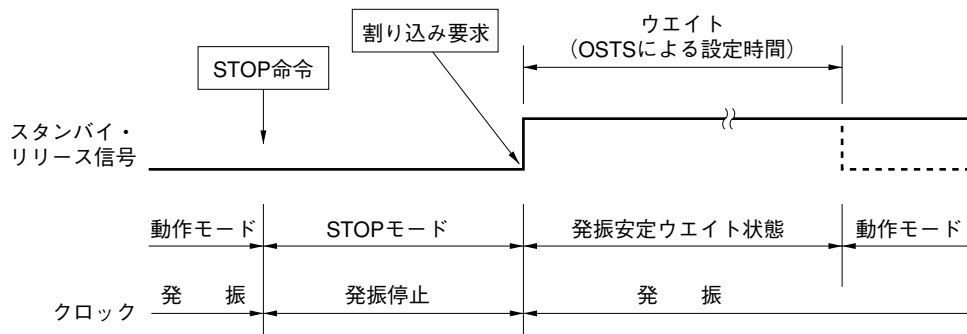
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図19-4 STOPモードの割り込み要求発生による解除

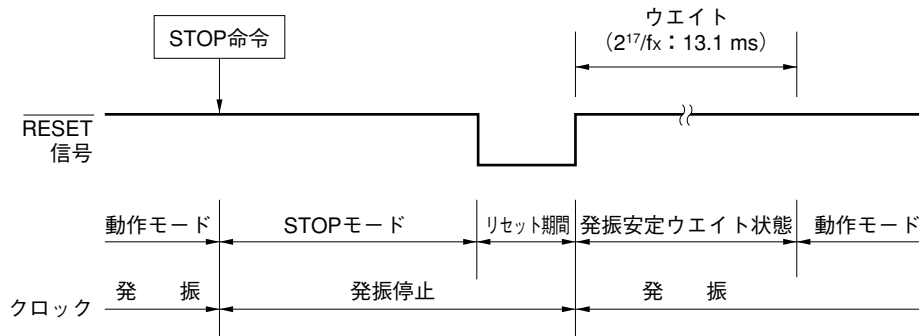


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図19-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10 \text{ MHz}$ 動作時

表19-4 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

×: don't care

第20章 リセット機能

20.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表20-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図20-2 から図20-4 参照)。

注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図20-1 リセット機能のブロック図

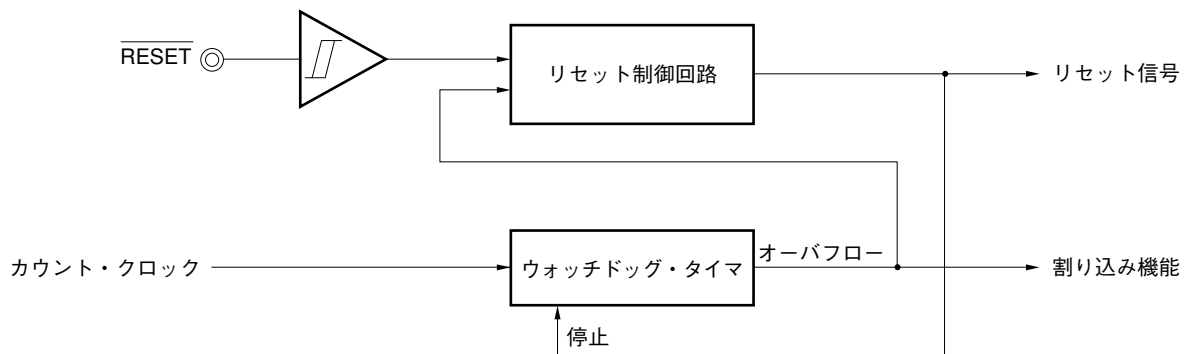


図20-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

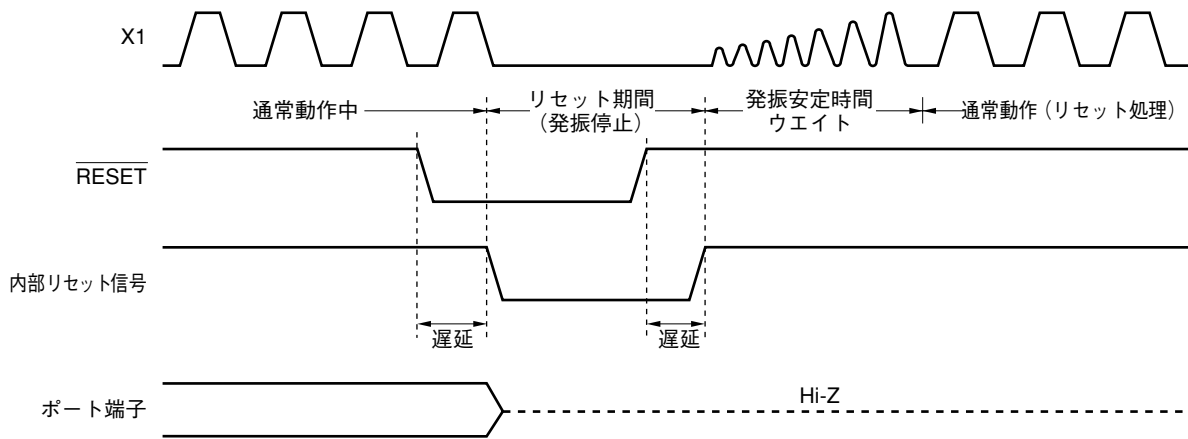


図20-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

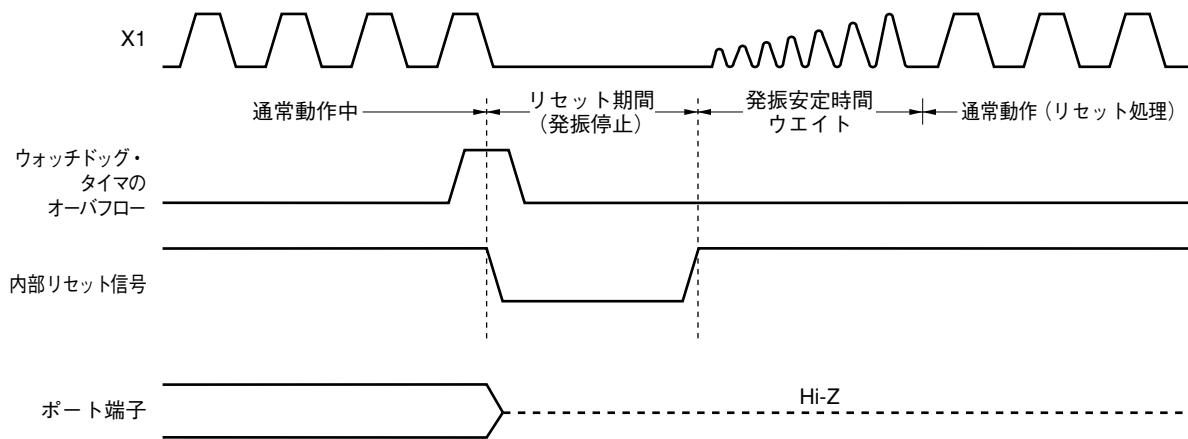


図20-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

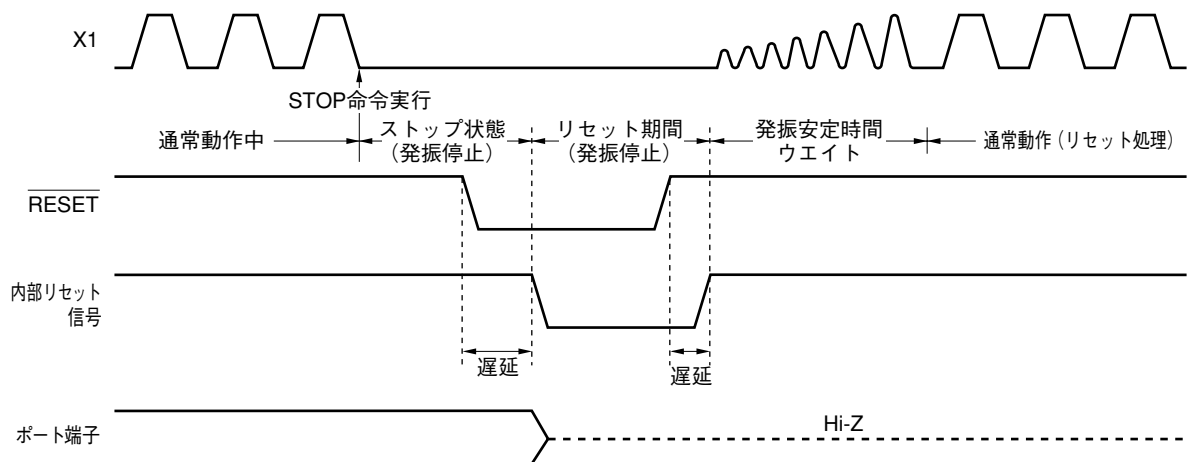


表20-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセット される
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定注2
	汎用レジスタ	不定注2
ポート (出力ラッチ)		00H
ポート・モード・レジスタ0, 2-7, 8注5, 9注5, 12 (PM0, PM2-PM7, PM8注5, PM9注5, PM12)		FFH
プルアップ抵抗オプション・レジスタ0, 2-7 (PU0, PU2-PU7, PU12)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注3
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH注4
メモリ拡張モード・レジスタ (MEM)		00H
キー・リターン切り替えレジスタ (KRSEL)		00H
兼用切り替えレジスタ 8, 9 (PF8, PF9) 注5		00H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/ イベント・カウンタ 0	タイマ・カウンタ 0 (TM0)	0000H
	キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)	不定
	プリスケアラ・モード・レジスタ 0 (PRM0)	00H
	モード・コントロール・レジスタ 0 (TMC0)	00H
	キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)	00H
	出力コントロール・レジスタ 0 (TOC0)	00H
16ビット・タイマ/ イベント・カウンタ 4	タイマ・カウンタ 4 (TM4)	不定
	コンペア・レジスタ 4 (CR4)	不定
	モード・コントロール・レジスタ 4 (TMC4)	00H
8ビット・タイマ/ イベント・カウンタ50-52	タイマ・カウンタ50-52 (TM50-TM52)	00H
	コンペア・レジスタ50-52 (CR50-CR52)	不定
	クロック選択レジスタ50-52 (TCL50-TCL52)	00H
	モード・コントロール・レジスタ50-52 (TMC50-TMC52)	00H
時計用タイマ	動作モード・レジスタ 0 (WTNM0)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
クロック出力/ ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3. 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780316, 780326, 780336 : CCH

μPD780318, 780328, 780338 : CFH

μPD78F0338 : マスクROM製品に対応した値

4. 初期値は0CHですが、09Hを設定して使用してください。

5. μPD78F0338のみ。

表20-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
A/Dコンバータ	変換結果レジスタ0 (ADCR0)	00H
	モード・レジスタ0 (ADM0)	00H
	アナログ入力チャンネル指定レジスタ0 (ADS0)	00H
D/Aコンバータ	変換値設定レジスタ0 (DA0)	00H
	モード・レジスタ0 (DAM0)	00H
シリアル・インタフェースUART0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	00H
	送信シフト・レジスタ0 (TXS0)	FFH
	受信バッファ・レジスタ0 (RXB0)	
シリアル・インタフェースCSI1	シフト・レジスタ1 (SIO1)	不定
	送信バッファ・レジスタ1 (SOTB1)	不定
	動作モード・レジスタ1 (CSIM1)	00H
	クロック選択レジスタ1 (CSIC1)	10H
シリアル・インタフェースSIO3	シフト・レジスタ3 (SIO3)	不定
	動作モード・レジスタ3 (CSIM3)	00H
LCDコントローラ/ドライバ	動作/表示モード・レジスタ3 (LCDM3)	00H
	クロック制御レジスタ3 (LCDC3)	00H
	スタティック/ダイナミック切り替えレジスタ3 (SDSEL3)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L (PR0L, PR0H, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H
ROMコレクション	コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)	0000H
	コレクション・コントロール・レジスタ (CORCN)	00H

第21章 ROMコレクション

21.1 ROMコレクションの機能

μPD780318, 780328, 780338は、マスクROM内のプログラムの一部を内部拡張RAM内のプログラムに置き換えて実行できます。

ROMコレクションを使用することにより、マスクROMで発見された命令バグを回避したり、プログラムの流れを変更できます。

ROMコレクションは内部ROM（プログラム）中、最大2箇所使用できます。

注意 ROMコレクションはインサーキット・エミュレータ（IE-78K0-NS）でエミュレーションできません。あらかじめご了承ください。

21.2 ROMコレクションの構成

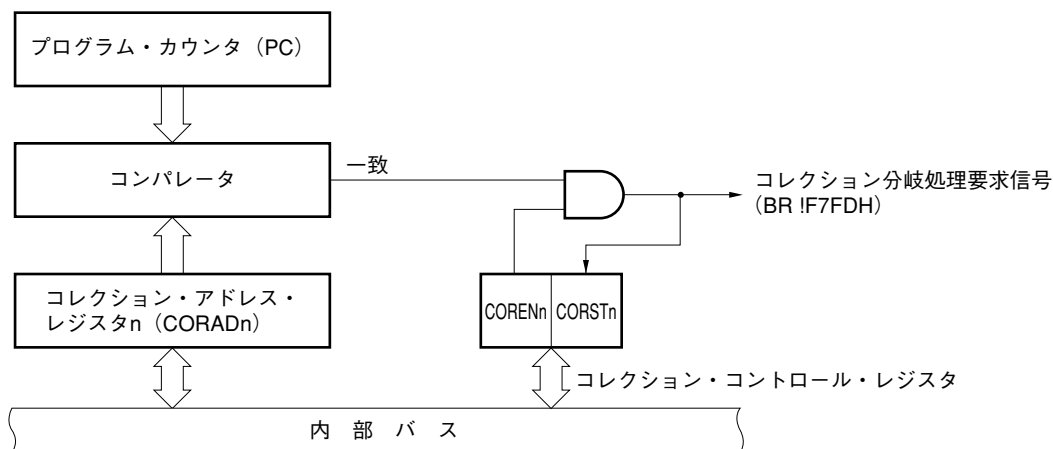
ROMコレクションは、次のハードウェアで構成しています。

表21-1 ROMコレクションの構成

項目	構成
レジスタ	コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1)
制御レジスタ	コレクション・コントロール・レジスタ (CORCN)

図21-1 にROMコレクションのブロック図を示します。

図21-1 ROMコレクションのブロック図



備考 n=0, 1

(1) コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1)

マスクROM中の修正したい命令の先頭アドレス（修正アドレス）を設定するレジスタです。

ROMコレクションでは、プログラムを最大2箇所修正できます。アドレスは、CORAD0とCORAD1の2箇所を設定できます。1箇所だけ修正したい場合はどちらかにアドレスを設定してください。

CORAD0, CORAD1に指定した先頭アドレスに対するROMコレクションの動作は、コレクション・コントロール・レジスタ（CORCN）のビット1（COREN0）、ビット3（COREN1）が1のときに有効になります。

CORAD0, CORAD1は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図21-2 コレクション・アドレス・レジスタ 0, 1 のフォーマット

略号	15	0	アドレス	リセット時	R/W
CORAD0	[]		FF38H/FF39H	0000H	R/W
CORAD1	[]		FF3AH/FF3BH	0000H	R/W

- 注意 1. CORAD0, CORAD1は、コレクション・コントロール・レジスタ (CORCN) のビット 1 (COREN0) , ビット 3 (COREN1) が 0 のときに設定してください。
2. CORAD0, CORAD1には、命令コードの先頭アドレスのみ設定可能です。
3. 次のアドレスをCORAD0, CORAD1に設定しないでください。
- ・テーブル参照命令 (CALLT命令) のテーブル領域のアドレス値 : 0040H-007FH
 - ・ベクタ・テーブル領域のアドレス値 : 0000H-003FH

(2) コンパレータ

コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1) に設定した修正アドレス値とフェッチ・アドレス値を常に比較します。コレクション・コントロール・レジスタ (CORCN) のビット 1 (COREN0) またはビット 3 (COREN1) が 1 のとき、修正アドレスとフェッチ・アドレスの値が一致すると、ROMコレクション回路からコレクション分岐処理要求信号 (BR !F7FDH) が発生されます。

21.3 ROMコレクションを制御するレジスタ

ROMコレクションはコレクション・コントロール・レジスタ (CORCN) で制御します。

(1) コレクション・コントロール・レジスタ (CORCN)

コレクション・アドレス・レジスタ 0, 1 に設定した修正アドレスとフェッチ・アドレスが一致したときに、コレクション分岐処理要求信号を発生するかどうかを制御するレジスタです。コンパレータでの一致検出の許可/禁止を設定するコレクション・イネーブル・フラグ (COREN0, COREN1) と、一致したことを表示するコレクション・ステータス・フラグ (CORST0, CORST1) で構成されています。

CORCNは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図21-3 コレクション・コントロール・レジスタ (CORCN) のフォーマット

アドレス：FF8AH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
CORCN	0	0	0	0	COREN1	CORST1	COREN0	CORST0

COREN1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

COREN0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

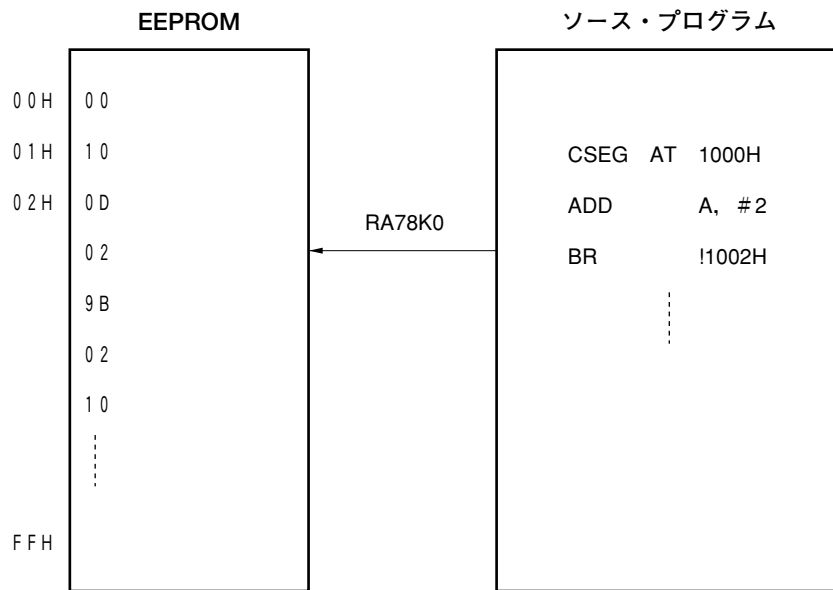
注 ビット0, 2はRead Onlyです。ビット0, 2がセット(1)されるのは、コンパレータによる一致時のみです。ソフトウェアで1を設定しないでください。

21.4 ROMコレクションの使用方法

- ① マイコン外部の不揮発性メモリ（EEPROM™など）に、修正アドレスおよび修正後の命令（修正プログラム）を格納します。

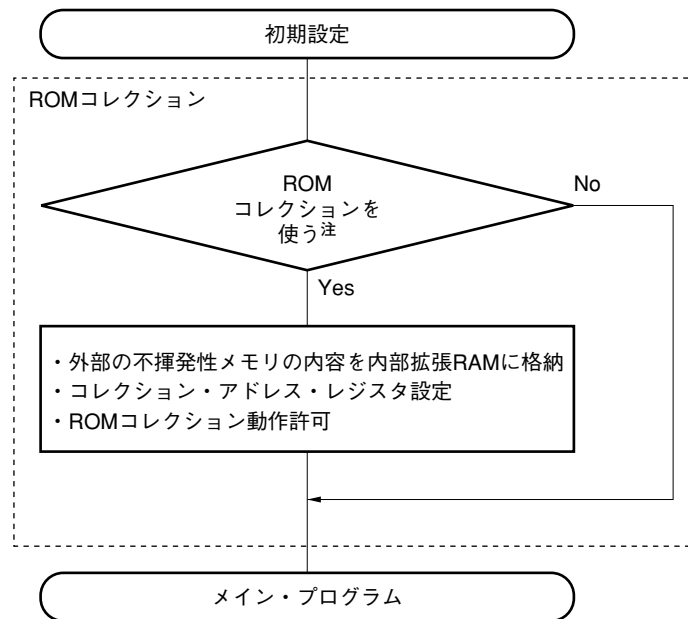
修正箇所が2つの場合は、コレクション・アドレス・レジスタ0, 1（CORAD0, CORAD1）に設定したアドレスのうち、どちらでコレクション分岐処理が発生したかチェックする分岐先判断プログラムも格納します。

図21-4 EEPROMへの格納例（修正箇所が1つの場合）



- ② プログラムの修正ができるように、あらかじめ図21-5のような初期ルーチンを組んでおいてください。

図21-5 初期設定ルーチン

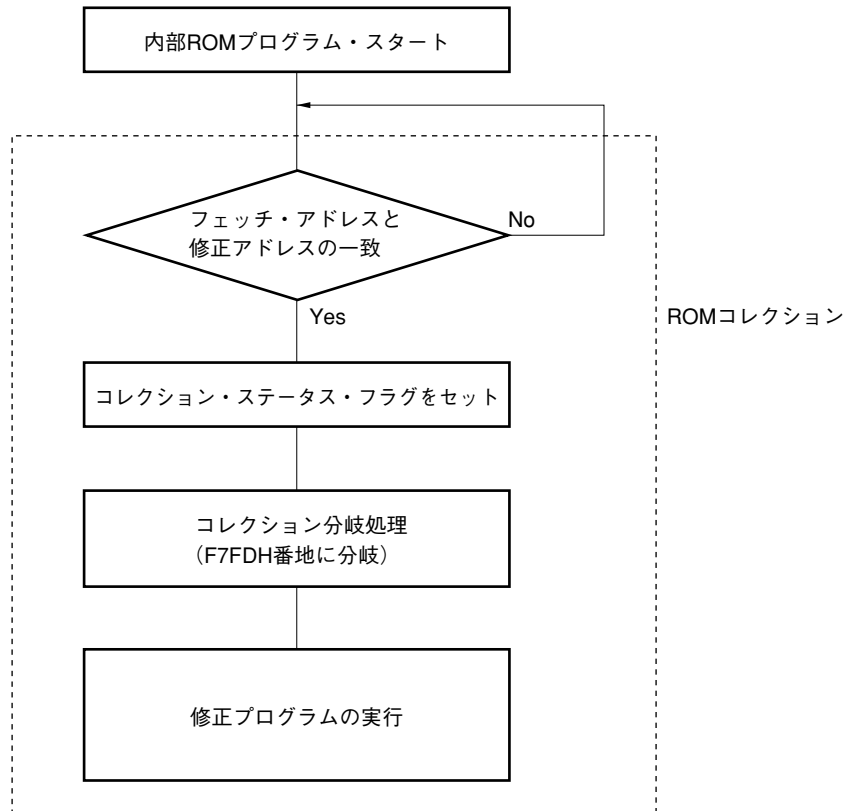


注 ROMコレクションを使用するかどうかは、ポートの入カレベルで判断するなどの方法をとります。たとえば、P20の入カレベルが「ハイ・レベルなら使用する／ロウ・レベルなら使用しない」とします。

- ③ リセット後、あらかじめユーザのROMコレクション用初期ルーチンで外部の不揮発性メモリなどに格納しておいた内容を内部拡張RAMに格納します（図21-5参照）。
- また、修正したい命令の先頭アドレスをCORAD0, CORAD1に設定し、コレクション・コントロール・レジスタ（CORCN）のビット1, ビット3（COREN0, COREN1）を1にセットします。
- ④ メイン・プログラムで内部拡張RAMの所定アドレス（F7FDH）に全空間分岐命令（BR !addr16）を設定します。
- ⑤ メイン・プログラムのスタート後は、ROMコレクション回路内のコンパレータで、CORAD0, CORAD1に設定した値とフェッチ・アドレス値が常に比較され、一致するとコレクション分岐処理要求信号が発生されます。同時にコレクション・ステータス・フラグ（CORST0, CORST1）が1にセットされます。

- ⑥ コレクション分岐処理要求信号によりF7FDH番地に分岐します。
- ⑦ F7FDH番地の全空間分岐命令により、メイン・プログラムで設定した内部拡張RAMのアドレスに分岐します。
- ⑧ 修正箇所が1つの場合は、そのまま修正プログラムを実行します。
修正箇所が2つの場合は、分岐先判断プログラムでコレクション・ステータス・フラグをチェックして修正プログラムに分岐します。

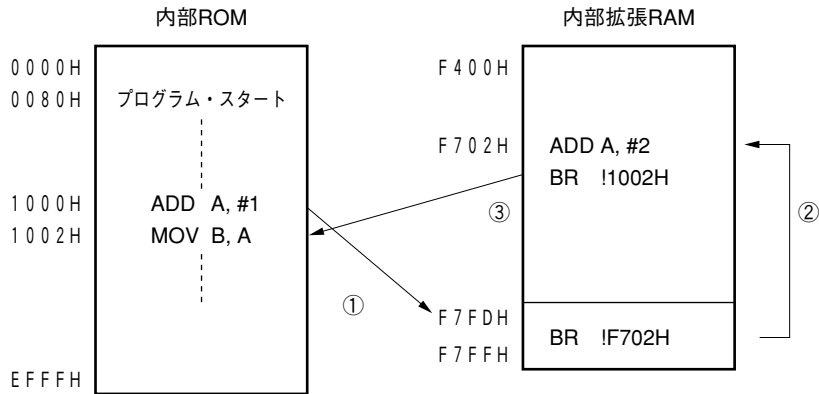
図21-6 ROMコレクションの動作



21.5 ROMコレクションの使用例

1000H番地の命令“ADD A, #1”を“ADD A, #2”に変更する場合のROMコレクションの使用例を次に示します。

図21-7 ROMコレクションの使用例

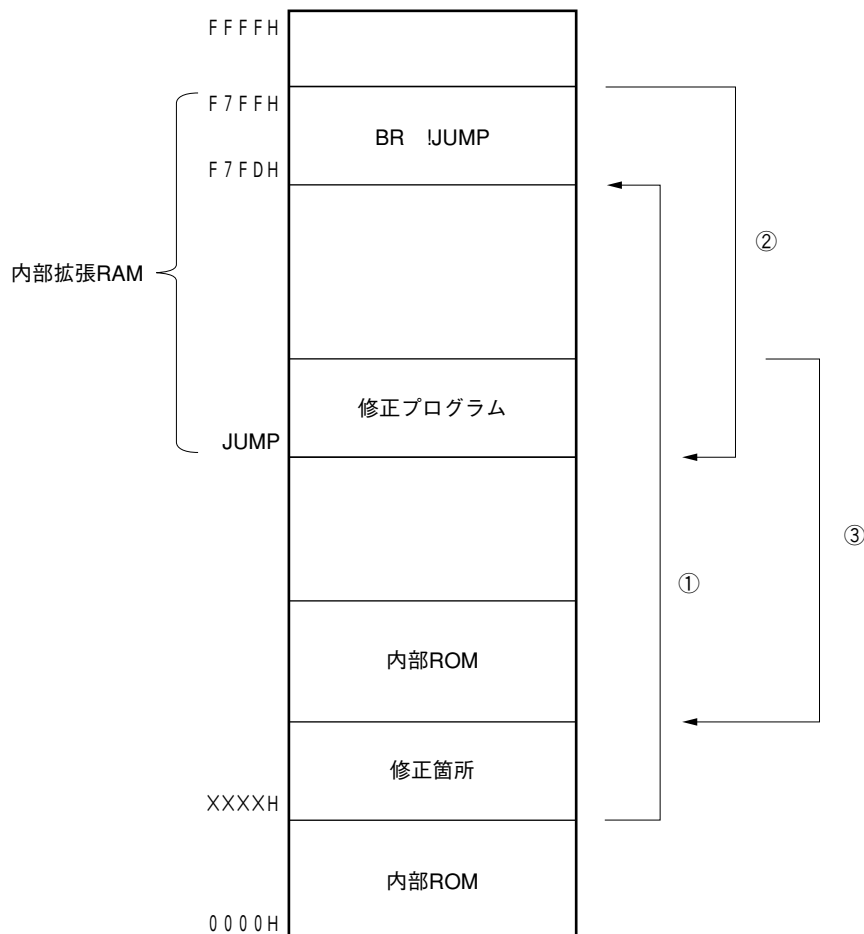


- ① メイン・プログラム・スタート後、コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1) にあらかじめ設定しておいた1000Hとフェッチ・アドレスの値が一致したとき、F7FDH番地に分岐します。
- ② F7FDH番地に全空間分岐命令 (BR !addr16) をメイン・プログラムで設定しておくことにより任意のアドレス (この例ではF702H番地) に分岐します。
- ③ 代替命令ADD A, #2を実行したあと、内部ROMプログラムに復帰します。

21.6 プログラム実行フロー

図21-8、図21-9にROMコレクションを使用する場合のプログラム遷移図を示します。

図21-8 プログラム遷移図（修正箇所が1つの場合）

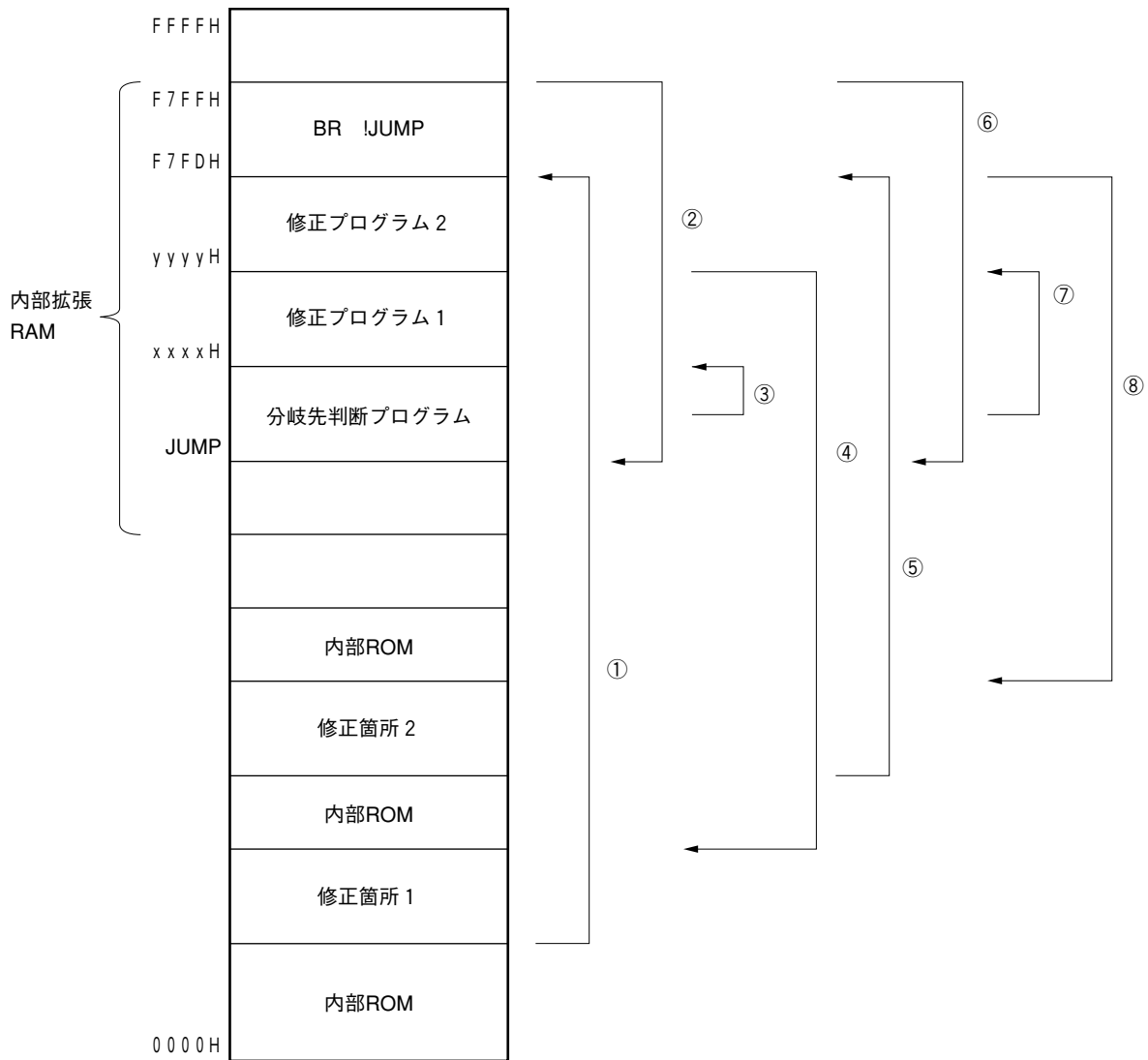


- ① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ② 修正プログラムに分岐
- ③ 内部ROMプログラムに復帰

注意 内部高速RAM, LCD表示用RAMをROMコレクション領域に使用しないでください。

備考 JUMP : 修正プログラム・スタート・アドレス

図21-9 プログラム遷移図（修正箇所が2つの場合）



- ① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ② 分岐先判断プログラムに分岐
- ③ 分岐先判断プログラム（BTCLR !CORST0, \$xxxxH）により修正プログラム 1 に分岐
- ④ 内部ROMプログラムに復帰
- ⑤ フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ⑥ 分岐先判断プログラムに分岐
- ⑦ 分岐先判断プログラム（BTCLR !CORST1, \$yyyyH）により修正プログラム 2 に分岐
- ⑧ 内部ROMプログラムに復帰

注意 内部高速RAM, LCD表示用RAMをROMコレクション領域に使用しないでください。

備考 JUMP : 修正プログラム・スタート・アドレス

21.7 ROMコレクションの注意事項

- (1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定するアドレス値は、必ず命令コードが格納してあるアドレス値にしてください。また設定するアドレス値は、必ず命令コードの先頭アドレスにしてください。
- (2) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) は、コレクション・イネーブル・フラグ (COREN0, COREN1) が0のときに設定してください (コレクション分岐処理禁止状態のときに設定してください)。COREN0, COREN1が1のとき (コレクション分岐処理許可状態のとき) にCORAD0, CORAD1にアドレスを設定すると、設定したアドレス値とは異なるアドレスでコレクション分岐処理が起動される可能性があります。
- (3) コレクション・イネーブル・フラグ (COREN0, COREN1) を1にセットする命令の直後にある命令のアドレス値をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (コレクション分岐処理が起動されない場合があります)。
- (4) テーブル参照命令 (CALLT命令) のテーブル領域のアドレス値 (0040H-007FH) , ベクタ・テーブル領域のアドレス値 (0000H-003FH) をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください。
- (5) 次に示す命令の直後の2アドレスを、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (これらの命令がマッピングされている終端アドレスをNとすると、N+1, N+2のアドレス値は設定しないでください)。

- RET
- RETI
- RETB
- BR \$addr16
- STOP
- HALT

- (6) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) の設定するアドレス値にF7FDH番地を設定しないでください。

第22章 μ PD78F0338

μ PD780318, 780328, 780338サブシリーズのフラッシュ・メモリ製品には、 μ PD78F0338があります。

μ PD78F0338は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵した製品です。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムに μ PD78F0338を半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

μ PD78F0338とマスクROM製品の違いを表22-1に示します。

表22-1 μ PD78F0338とマスクROM製品の違い

項目	μ PD78F0338	マスクROM製品		
		μ PD780318サブシリーズ	μ PD780328サブシリーズ	μ PD780338サブシリーズ
内部ROM構造	フラッシュ・メモリ	マスクROM		
内部ROM容量	60 Kバイト ^{注1}	μ PD780316, 780326, 780336 : 48 Kバイト μ PD780318, 780328, 780338 : 60 Kバイト		
I/Oポート	70本 ^{注2}	70本	62本	54本
LCDコントローラ/ドライバのセグメント信号出力端子	最大40本 ^{注2}	最大24本	最大32本	最大40本
P60-P63端子のプルアップ抵抗 内蔵のマスク・オプション指定	不可	可		
IC端子	なし	あり		
V _{PP} 端子	あり	なし		
電気的特性	個別の製品のデータ・シートを参照してください。			

注1. メモリ・サイズ切り替えレジスタ（IMS）により、マスク製品と同一の容量に設定できます。

2. 兼用切り替えレジスタ 8, 9（PF8, PF9）により、マスク製品と同一のI/Oポートおよびセグメント信号出力端子に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分に評価してください。

22.1 メモリ・サイズ切り替えレジスタ

μ PD78F0338は、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 プログラムの初期設定として、IMSには必ずCCHまたはCFHを設定してください。なお、リセットによりIMSはCFHになりますので、リセット後は必ずCCHまたはCFHに設定してください。

図22-1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表22-2に示します。

表22-2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD780316, 780326, 780336	CCH
μ PD780318, 780328, 780338	CFH

注意 マスクROM製品を使用する場合、IMSには表22-2に示す値を必ず設定してください。

22.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）は、内部拡張RAM容量を設定するレジスタです。

IXSは、8ビット・メモリ操作命令で設定します。

リセット時は、0CHになります。

注意 プログラムの初期設定としてIXSには必ず09Hを設定してください。なお、リセットによりIXSは0CHになりますので、リセット後は必ず09Hに設定してください。マスクROM製品も同様に設定してください。

図22-2 内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	0	0	1	1536バイト
上記以外				設定禁止

22.3 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（FlashproIII（型番 FL-PR3, PG-FP3）／FlashproIV（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ・メモリ書き込み用アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, フラッシュ・メモリ書き込み用アダプタは、株式会社内藤電誠町田製作所（TEL (045) 475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

22.3.1 プログラミング環境

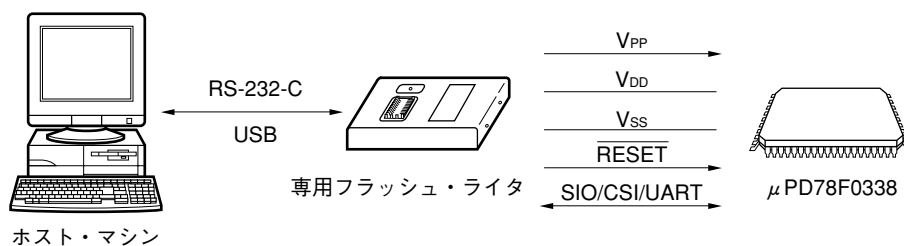
μ PD78F0338のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashproIII（型番 FL-PR3, PG-FP3）／FlashproIV（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232-C/USB（Rev1.1）で行います。

詳細はFlashproIII/FlashproIVのマニュアルを参照してください。

備考 USBはFlashproIVのみ対応

図22-3 フラッシュ・メモリにプログラムを書き込むための環境



22.3.2 通信方式

専用フラッシュ・ライタと μ PD78F0338との通信は、表22-3に示す通信方式から選択して行います。

表22-3 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	VPPパルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアルI/O (SIO3)	SIO ch-0 (3wire, synk)	100 Hz-1.25 MHz ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI3/RxD0/P20 SO3/TxD0/P21 SCK3/P22	0
3線式シリアルI/O (CSI1)	SIO ch-1 (3wire, synk)	100 Hz-2 MHz ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI1/P23 SO1/P24 SCK1/P25	1
UART (UART0)	UART ch-0	4800-76800 bps ^{注2, 3}	任意	1-10 MHz ^{注2}	1.0	RxD0/SI3/P20 TxD0/SO3/P21	8

注1. 専用フラッシュ・ライタ (FlashproIII (型番 FL-PR3, PG-FP3) /FlashproIV (型番 FL-PR4, PG-FP4))

上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第24章 電気的特性を参照してください。

3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

図22-4 3線式シリアルI/O (SIO3)

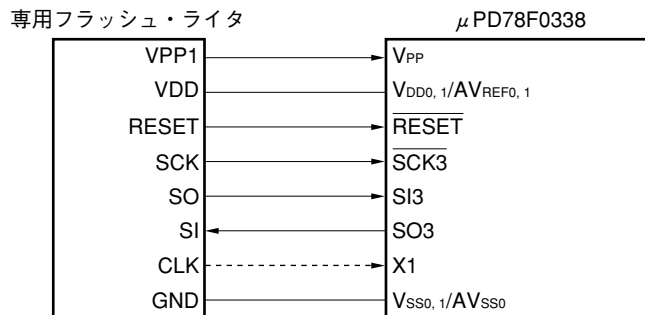


図22-5 3線式シリアルI/O (CSI1)

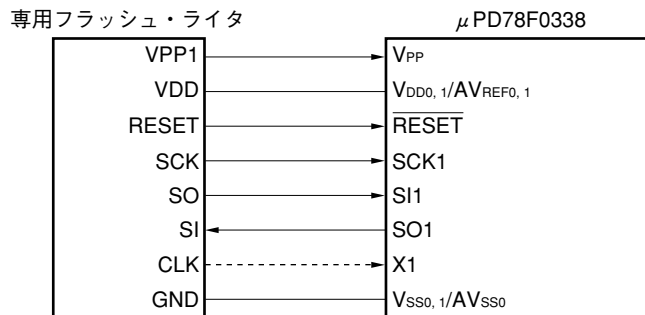
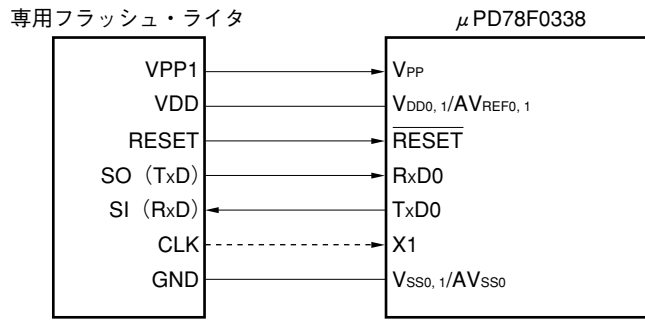


図22-6 UART (UART0)



備考 CLKはオンボード上での供給が可能ですので、オン・ボード上で供給されていれば、専用フラッシュ・ライタと接続する必要はありません。

VDDもオンボード上での供給が可能ですが、専用フラッシュ・ライタと接続する必要があり、さらにプログラミング開始前に電圧を供給する必要があります。

専用フラッシュ・ライタとしてFlashpro III（型番 FL-PR3, PG-FP3）／Flashpro IVを使用した場合、 μ PD78F0338に対して次の信号を生成します。詳細はFlashpro III/Flashpro IVのマニュアルを参照してください。

表22-4 端子接続一覧

信号名	入出力	端子機能	端子名	SIO3	CSI1	UART0
VPP1	出力	書き込み電圧	VPP	○	○	○
VPP2	—	—	—	×	×	×
VDD	入出力	VDD電圧生成／電圧監視	VDD0/VDD1/AVREF	◎注	◎注	◎注
GND	—	グラウンド	VSS0/VSS1/AVSS	○	○	○
CLK	出力	クロック出力	X1	○	○	○
RESET	出力	リセット信号	RESET	○	○	○
SI (RxD)	入力	受信信号	SO3/SO1/TxD0	○	○	○
SO (TxD)	出力	送信信号	SI3/SI1/RxD0	○	○	○
SCK	出力	転送クロック	SCK3/SCK1	○	○	×
HS	—	—	—	×	×	×

注 VDD電圧はプログラミング開始前に供給する必要があります。

備考 ◎：必ず接続してください。

○：ターゲット・ボード上で供給されていれば、接続の必要はありません。

×：接続の必要はありません。

22.3.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

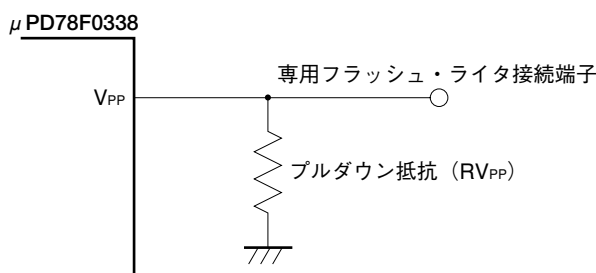
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗 $R_{VPP} = 10 \text{ k}\Omega$ を接続してください
- (2) ボード上ジャンパでV_{PP}端子の入力をライター側、または直接GNDに切り替えてください

V_{PP}端子の接続例を次に示します。

図22-7 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

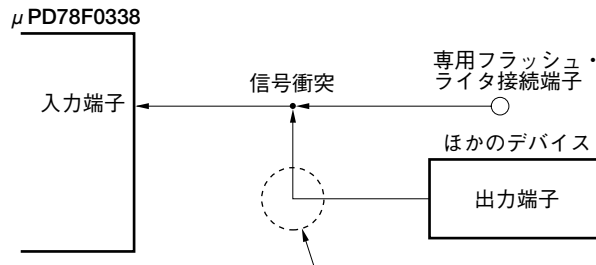
シリアル・インタフェース	使用端子
3線式シリアルI/O (SIO3)	SI3/SO3/SCK3
3線式シリアルI/O (CSI1)	SI1/SO1/SCK1
UART (UART0)	RxD0/TxD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図22-8 信号の衝突（シリアル・インタフェースの入力端子）

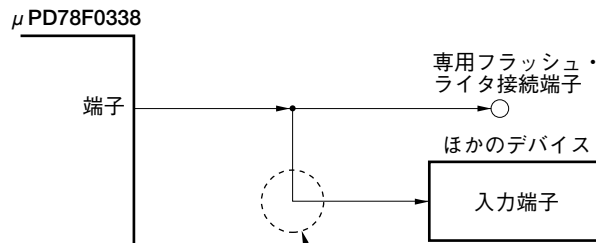


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・ライタから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

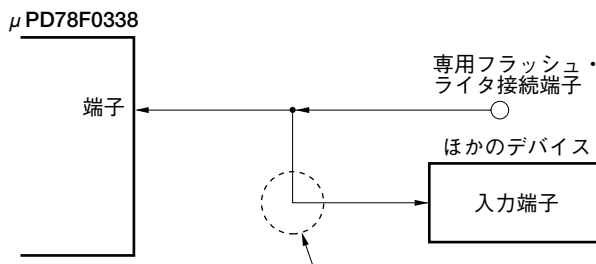
(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起す可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図22-9 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、 μ PD78F0338が出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



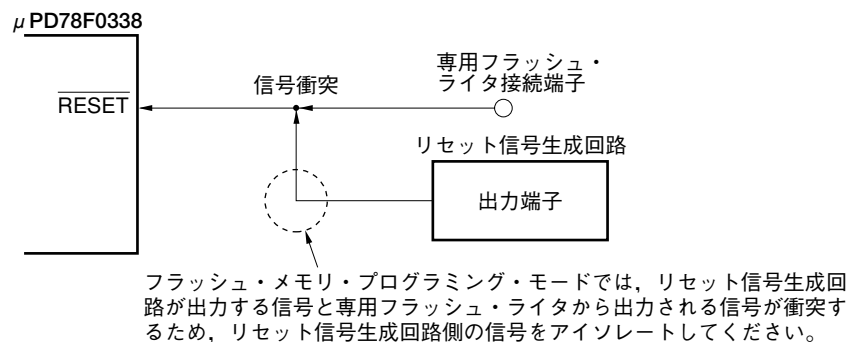
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・ライタが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図22-10 信号の衝突 (RESET端子)



<ポート端子 (NMIを含む)>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} に接続する、または抵抗を介して V_{SS0} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0}/V_{DD1} 端子はフラッシュ・ライタのVDDに、 V_{SS0}/V_{SS1} 端子はフラッシュ・ライタのGNDにそれぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続をしてください。ただし、フラッシュ・ライタで電圧監視をするので、 V_{DD0}/V_{DD1} はフラッシュ・ライタのVDDに必ず接続してください。

その他の電源 (AV_{REF0} , AV_{REF1} , AV_{SS0}) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

その他の端子 (S0-S39/COM0-COM3/SCOMO/ V_{Lc0} - V_{Lc2} / V_{LcDc} /CAPH/CAPL) は、通常動作モード時と同じ処理をしてください。

第23章 命令セットの概要

μ PD780318, 780328, 780338サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

23.1 凡 例

23.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表23-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） ^注
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH イミディエト・データまたはラベル
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

23.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクابل割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

23.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

23.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	4	—	r←byte			
		saddr, #byte	3	6	7	(saddr)←byte			
		sfr, #byte	3	—	7	sfr←byte			
		A, r <small>注3</small>	1	2	—	A←r			
		r, A <small>注3</small>	1	2	—	r←A			
		A, saddr	2	4	5	A←(saddr)			
		saddr, A	2	4	5	(saddr)←A			
		A, sfr	2	—	5	A←sfr			
		sfr, A	2	—	5	sfr←A			
		A, !addr16	3	8	9+n	A←(addr16)			
		!addr16, A	3	8	9+m	(addr16)←A			
		PSW, #byte	3	—	7	PSW←byte	×	×	×
		A, PSW	2	—	5	A←PSW			
		PSW, A	2	—	5	PSW←A	×	×	×
		A, [DE]	1	4	5+n	A←(DE)			
		[DE], A	1	4	5+m	(DE)←A			
		A, [HL]	1	4	5+n	A←(HL)			
		[HL], A	1	4	5+m	(HL)←A			
		A, [HL+byte]	2	8	9+n	A←(HL+byte)			
		[HL+byte], A	2	8	9+m	(HL+byte)←A			
		A, [HL+B]	1	6	7+n	A←(HL+B)			
		[HL+B], A	1	6	7+m	(HL+B)←A			
		A, [HL+C]	1	6	7+n	A←(HL+C)			
		[HL+C], A	1	6	7+m	(HL+C)←A			
	XCH	A, r <small>注3</small>	1	2	—	A↔r			
		A, saddr	2	4	6	A↔(saddr)			
		A, sfr	2	—	6	A↔sfr			
		A, !addr16	3	8	10+n+m	A↔(addr16)			
		A, [DE]	1	4	6+n+m	A↔(DE)			
		A, [HL]	1	4	6+n+m	A↔(HL)			
A, [HL+byte]		2	8	10+n+m	A↔(HL+byte)				
A, [HL+B]		2	8	10+n+m	A↔(HL+B)				
A, [HL+C]		2	8	10+n+m	A↔(HL+C)				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r=Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp←word			
		saddrp, #word	4	8	10	(saddrp)←word			
		sfrp, #word	4	—	10	sfrp←word			
		AX, saddrp	2	6	8	AX←(saddrp)			
		saddrp, AX	2	6	8	(saddrp)←AX			
		AX, sfrp	2	—	8	AX←sfrp			
		sfrp, AX	2	—	8	sfrp←AX			
		AX, rp <small>注3</small>	1	4	—	AX←rp			
		rp, AX <small>注3</small>	1	4	—	rp←AX			
		AX, laddr16	3	10	12+2n	AX←(addr16)			
	laddr16, AX	3	10	12+2m	(addr16)←AX				
XCHW	AX, rp <small>注3</small>	1	4	—	AX↔rp				
8ビット演算	ADD	A, #byte	2	4	—	A, CY←A+byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte	×	×	×
		A, r <small>注4</small>	2	4	—	A, CY←A+r	×	×	×
		r, A	2	4	—	r, CY←r+A	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)	×	×	×
		A, !addr16	3	8	9+n	A, CY←A+(addr16)	×	×	×
		A, [HL]	1	4	5+n	A, CY←A+(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A+(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A+(HL+B)	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A+(HL+C)	×	×	×
	ADDC	A, #byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r <small>注4</small>	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9+n	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A+(HL+B)+CY	×	×	×
A, [HL+C]	2	8	9+n	A, CY←A+(HL+C)+CY	×	×	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. rp = BC, DE, HLのときのみ。
4. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	—	A, CY←A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r	×	×	×
		r, A	2	4	—	r, CY←r-A	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)	×	×	×
		A, laddr16	3	8	9+n	A, CY←A-(addr16)	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A-byte-CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte-CY	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r-CY	×	×	×
		r, A	2	4	—	r, CY←r-A-CY	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)-CY	×	×	×
		A, laddr16	3	8	9+n	A, CY←A-(addr16)-CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)-CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)-CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)-CY	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)-CY	×	×	×
	AND	A, #byte	2	4	—	A←A ∧ byte	×		
		saddr, #byte	3	6	8	(saddr)←(saddr) ∧ byte	×		
		A, r ^{注3}	2	4	—	A←A ∧ r	×		
		r, A	2	4	—	r←r ∧ A	×		
		A, saddr	2	4	5	A←A ∧ (saddr)	×		
		A, laddr16	3	8	9+n	A←A ∧ (addr16)	×		
		A, [HL]	1	4	5+n	A←A ∧ (HL)	×		
		A, [HL+byte]	2	8	9+n	A←A ∧ (HL+byte)	×		
		A, [HL+B]	2	8	9+n	A←A ∧ (HL+B)	×		
		A, [HL+C]	2	8	9+n	A←A ∧ (HL+C)	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r=Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$		×	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		×	
		A, r ^{注3}	2	4	—	$A \leftarrow A \vee r$		×	
		r, A	2	4	—	$r \leftarrow r \vee A$		×	
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$		×	
		A, laddr16	3	8	9+n	$A \leftarrow A \vee (\text{laddr16})$		×	
		A, [HL]	1	4	5+n	$A \leftarrow A \vee (\text{HL})$		×	
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+\text{byte})$		×	
		A, [HL+B]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+B)$		×	
		A, [HL+C]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+C)$		×	
	XOR	A, #byte	2	4	—	$A \leftarrow A \nabla \text{byte}$		×	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		×	
		A, r ^{注3}	2	4	—	$A \leftarrow A \nabla r$		×	
		r, A	2	4	—	$r \leftarrow r \nabla A$		×	
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$		×	
		A, laddr16	3	8	9+n	$A \leftarrow A \nabla (\text{laddr16})$		×	
		A, [HL]	1	4	5+n	$A \leftarrow A \nabla (\text{HL})$		×	
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+\text{byte})$		×	
		A, [HL+B]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+B)$		×	
		A, [HL+C]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+C)$		×	
	CMP	A, #byte	2	4	—	$A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	4	—	$A - r$	×	×	×
		r, A	2	4	—	$r - A$	×	×	×
		A, saddr	2	4	5	$A - (\text{saddr})$	×	×	×
		A, laddr16	3	8	9+n	$A - (\text{laddr16})$	×	×	×
		A, [HL]	1	4	5+n	$A - (\text{HL})$	×	×	×
		A, [HL+byte]	2	8	9+n	$A - (\text{HL}+\text{byte})$	×	×	×
		A, [HL+B]	2	8	9+n	$A - (\text{HL}+B)$	×	×	×
		A, [HL+C]	2	8	9+n	$A - (\text{HL}+C)$	×	×	×
16ビット演算	ADDW	AX, #word	3	6	—	$AX, CY \leftarrow AX + \text{word}$	×	×	×
	SUBW	AX, #word	3	6	—	$AX, CY \leftarrow AX - \text{word}$	×	×	×
	CMPW	AX, #word	3	6	—	$AX - \text{word}$	×	×	×
乗除算	MULU	X	2	16	—	$AX \leftarrow A \times X$			
	DIVUW	C	2	25	—	$AX(\text{商}), C(\text{余り}) \leftarrow AX \div C$			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	—	$r \leftarrow r+1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) + 1$	×	×	
	DEC	r	1	2	—	$r \leftarrow r-1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) - 1$	×	×	
	INCW	rp	1	4	—	$rp \leftarrow rp+1$			
DECW	rp	1	4	—	$rp \leftarrow rp-1$				
ローテート	ROR	A, 1	1	2	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROL	A, 1	1	2	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	RORC	A, 1	1	2	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROLC	A, 1	1	2	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	ROR4	[HL]	2	10	$12+n+m$	$A_{3-0} \leftarrow (HL)_{3-0}, (HL)_{7-4} \leftarrow A_{3-0}, (HL)_{3-0} \leftarrow (HL)_{7-4}$			
	ROL4	[HL]	2	10	$12+n+m$	$A_{3-0} \leftarrow (HL)_{7-4}, (HL)_{3-0} \leftarrow A_{3-0}, (HL)_{7-4} \leftarrow (HL)_{3-0}$			
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr.bit	3	6	7	$CY \leftarrow (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow (HL).bit$			×
		saddr.bit, CY	3	6	8	$(saddr.bit) \leftarrow CY$			
		sfr.bit, CY	3	—	8	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	4	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	—	8	$PSW.bit \leftarrow CY$	×	×	
		[HL].bit, CY	2	6	$8+n+m$	$(HL).bit \leftarrow CY$			
	AND1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \wedge (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow CY \wedge (HL).bit$			×
	OR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow CY \vee (HL).bit$			×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \nabla (\text{saddr.bit})$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \nabla \text{sfr.bit}$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \nabla A.\text{bit}$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \nabla \text{PSW.bit}$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow CY \nabla (\text{HL}).\text{bit}$			×
	SET1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 1$			
		sfr.bit	3	—	8	$\text{sfr.bit} \leftarrow 1$			
		A.bit	2	4	—	$A.\text{bit} \leftarrow 1$			
		PSW.bit	2	—	6	$\text{PSW.bit} \leftarrow 1$	×	×	×
		[HL].bit	2	6	$8+n+m$	$(\text{HL}).\text{bit} \leftarrow 1$			
	CLR1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 0$			
		sfr.bit	3	—	8	$\text{sfr.bit} \leftarrow 0$			
		A.bit	2	4	—	$A.\text{bit} \leftarrow 0$			
		PSW.bit	2	—	6	$\text{PSW.bit} \leftarrow 0$	×	×	×
		[HL].bit	2	6	$8+n+m$	$(\text{HL}).\text{bit} \leftarrow 0$			
	SET1	CY	1	2	—	$CY \leftarrow 1$			1
	CLR1	CY	1	2	—	$CY \leftarrow 0$			0
	NOT1	CY	1	2	—	$CY \leftarrow \overline{CY}$			×
コール・リターン	CALL	laddr16	3	7	—	$(\text{SP}-1) \leftarrow (\text{PC}+3)_H, (\text{SP}-2) \leftarrow (\text{PC}+3)_L,$ $\text{PC} \leftarrow \text{addr16}, \text{SP} \leftarrow \text{SP}-2$			
	CALLF	laddr11	2	5	—	$(\text{SP}-1) \leftarrow (\text{PC}+2)_H, (\text{SP}-2) \leftarrow (\text{PC}+2)_L,$ $\text{PC}_{15-11} \leftarrow 00001, \text{PC}_{10-0} \leftarrow \text{addr11}, \text{SP} \leftarrow \text{SP}-2$			
	CALLT	[addr5]	1	6	—	$(\text{SP}-1) \leftarrow (\text{PC}+1)_H, (\text{SP}-2) \leftarrow (\text{PC}+1)_L,$ $\text{PC}_H \leftarrow (00000000, \text{addr5}+1),$ $\text{PC}_L \leftarrow (00000000, \text{addr5}), \text{SP} \leftarrow \text{SP}-2$			
	BRK		1	6	—	$(\text{SP}-1) \leftarrow \text{PSW}, (\text{SP}-2) \leftarrow (\text{PC}+1)_H,$ $(\text{SP}-3) \leftarrow (\text{PC}+1)_L, \text{PC}_H \leftarrow (003FH),$ $\text{PC}_L \leftarrow (003EH), \text{SP} \leftarrow \text{SP}-3, \text{IE} \leftarrow 0$			
	RET		1	6	—	$\text{PC}_H \leftarrow (\text{SP}+1), \text{PC}_L \leftarrow (\text{SP}), \text{SP} \leftarrow \text{SP}+2$			
	RETI		1	6	—	$\text{PC}_H \leftarrow (\text{SP}+1), \text{PC}_L \leftarrow (\text{SP}), \text{PSW} \leftarrow (\text{SP}+2),$ $\text{SP} \leftarrow \text{SP}+3, \text{NMIS} \leftarrow 0$	R	R	R
	RETB		1	6	—	$\text{PC}_H \leftarrow (\text{SP}+1), \text{PC}_L \leftarrow (\text{SP}), \text{PSW} \leftarrow (\text{SP}+2),$ $\text{SP} \leftarrow \text{SP}+3$	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	—	(SP-1)←PSW, SP←SP-1			
		rp	1	4	—	(SP-1)←rp _H , (SP-2)←rp _L , SP←SP-2			
	POP	PSW	1	2	—	PSW←(SP), SP←SP+1	R	R	R
		rp	1	4	—	rp _H ←(SP+1), rp _L ←(SP), SP←SP+2			
	MOVW	SP, #word	4	—	10	SP←word			
		SP, AX	2	—	8	SP←AX			
AX, SP		2	—	8	AX←SP				
無条件分岐	BR	laddr16	3	6	—	PC←addr16			
		\$addr16	2	6	—	PC←PC+2+jdisp8			
		AX	2	8	—	PC _H ←A, PC _L ←X			
条件付き分岐	BC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 1			
	BNC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 0			
	BZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC←PC+3+jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	PC←PC+3+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11+n	PC←PC+3+jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC←PC+4+jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11+n	PC←PC+3+jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC←PC+4+jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr16	3	10	12+n+m	PC←PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	B←B-1, then PC←PC+2+jdisp8 if B ≠ 0			
		C, \$addr16	2	6	—	C←C-1, then PC←PC+2+jdisp8 if C ≠ 0			
		saddr, \$addr16	3	8	10	(saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr) ≠ 0			
CPU制御	SEL	RBn	2	4	—	RBS1, 0←n			
	NOP		1	2	—	No Operation			
	EI		2	—	6	IE←1 (Enable Interrupt)			
	DI		2	—	6	IE←0 (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

23.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	laddr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
laddr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	laddr16	laddr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第24章 電気的特性

絶対最大定格 (T_A = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		-0.3~+6.5	V	
	V _{PP} 注1		-0.3~+10.5	V	
	AV _{REF0}		-0.3~V _{DD} +0.3注2	V	
	AV _{REF1}				
	AV _{SS0}		-0.3~+0.3	V	
	AV _{SS1}				
入力電圧	V _{I1}	P00-P05, P10-P17, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P120 X1, X2, XT1, XT2, $\overline{\text{RESET}}$	-0.3~V _{DD} +0.3注2	V	
	V _{I2}	P60-P63	N-chオープン・ドレイン	-0.3~+13	V
			N-chオープン・ドレイン, マスク・オプションあり	-0.3~V _{DD} +0.3	V
出力電圧	V _O		-0.3~V _{DD} +0.3注2, 3	V	
アナログ入力電圧	V _{AN}	P10-P17, ANI8, ANI9	アナログ入力端子	AV _{SS} -0.3~AV _{REF0} +0.3 かつ-0.3~V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P80-P87, P90-P97, P120の1端子	-10	mA	
		P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73 合計	-15	mA	
		P80-P87, P90-P97, P120 合計	-15	mA	
ロウ・レベル出力電流	I _{OL}	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P70-P73, P80-P87, P90-P97, P120の 1端子	20	mA	
		P60-P63の1端子	30	mA	
		P64-P67の1端子	30	mA	
		P80-P87, P90-P97, P120 合計	20	mA	
		P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P60-P67, P70-P73 合計	170	mA	
動作周囲温度	T _A		-40~+85	°C	
保存温度	T _{stg}		-65~+150	°C	

注1. μ PD78F0338のみ

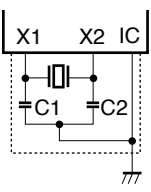
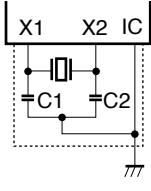
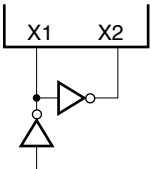
2. 6.5 V以下であること

3. コモン端子, セグメント端子は-0.3~V_{LC0}+0.3 V

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1		1.0		10	MHz
		発振安定時間注2	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		10	MHz
		発振安定時間注2	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	ms
外部クロック		X1入力周波数 (fx) 注1	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0		10	MHz
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	42.5		500	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	85		500	ns

注1. 発振回路の特性だけを示すものです。

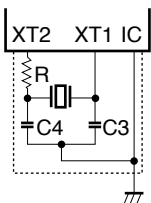
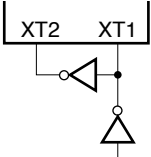
2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させてサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替えるには、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5~5.5 V		1.2	2	s
			VDD = 1.8~5.5 V			10	s
外部クロック		XT1入力周波数 (fXT) 注1		32		38.5	kHz
		XT1入力ハイ、ロウ・レベル幅 (tXTH, tXTL)		5		15	μs

注1. 発振回路の特性だけを示すものです。

2. VDDが発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特に注意してください。

備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容量 (TA = 25 °C, VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V			15	pF	
出力容量	COU	f = 1 MHz 被測定端子以外は0 V			15	pF	
入出力容量	CIO	f = 1 MHz 被測定端子以外は0 V	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P120			15	pF
			P60-P63			20	pF

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

推奨発振回路定数

(1) μ PD780316, 780318, 780326, 780328, 780336, 780338

メイン・システム・クロック：セラミック発振子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (k Ω)	MIN.	MAX.
村田製作所	CSBFB1M00J58-R1	1.00	150	150	1	1.9	5.5
	CSBLA1M00J58-B0						
	CSTCC2M00G56-R0	2.00	内蔵	内蔵	0	1.8	5.5
	CSTLS2M00G56-B0						
	CSTCR4M00G53-R0	4.00	内蔵	内蔵	0	1.8	5.5
	CSTLS4M00G53-B0						
	CSTCC8M38G53093-R0	8.38	内蔵	内蔵	0	1.8	5.5
	CSTLS8M38G53093-B0						
	CSTCC8M38G53-R0		内蔵	内蔵	0	1.9	5.5
	CSTLS8M38G53-B0						
	CSTCC10M0G53093-R0	10	内蔵	内蔵	0	1.8	5.5
	CSTLS10M0G53093-B0						
	CSTCC10M0G53-R0		内蔵	内蔵	0	2.0	5.5
	CSTLS10M0G53-B0						

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

(2) μ PD78F0338

メイン・システム・クロック：セラミック発振子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (k Ω)	MIN.	MAX.
村田製作所	CSBFB1M00J58-R1	1.00	150	150	1	2.1	5.5
	CSBLA1M00J58-B0						
	CSTCC2M00G56-R0	2.00	内蔵	内蔵	0	1.9	5.5
	CSTLS2M00G56-B0						
	CSTCR4M00G53093-R0	4.00	内蔵	内蔵	0	1.8	5.5
	CSTLS4M00G53093-B0						
	CSTCR4M00G53-R0		内蔵	内蔵	0	1.9	5.5
	CSTLS4M00G53-B0						
	CSTCC8M38G53U-R0	8.38	内蔵	内蔵	0	1.9	5.5
	CSTLS8M38G53U-B0						
	CSTCC8M38G53-R0		内蔵	内蔵	0	2.1	5.5
	CSTLS8M38G53-B0						
	CSTCC10M0G53U-R0	10	内蔵	内蔵	0	2.0	5.5
	CSTLS10M0G53U-B0						
CSTCC10M0G53-R0	内蔵		内蔵	0	2.2	5.5	
CSTLS10M0G53-B0							

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P80-P87, P90-P97, P120の1端子			-1	mA
		全端子			-20	mA
ロウ・レベル出力電流	IOL	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P70-P73, P80-P87, P90-P97, P120の1端子			10	mA
		P60-P63 1端子			15	mA
		P64-P67 1端子			15	mA
		P80-P87, P90-P97, P120 合計			20	mA
		P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P70-P73 合計			10	mA
		P60-P63 合計			60	mA
		P64-P67 合計			60	mA
ハイ・レベル入力電圧	VIH1	P10-P17, P21, P24, P30, P40-P47, P50-P57, P64-P67, P70, P72	2.7 V ≤ VDD ≤ 5.5 V	0.7 VDD	VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0.8 VDD	VDD	V
	VIH2	P00-P05, P20, P22, P23, P25, P31-P34, P71, P73, RESET	2.7 V ≤ VDD ≤ 5.5 V	0.8 VDD	VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0.85 VDD	VDD	V
	VIH3	P60-P63	2.7 V ≤ VDD ≤ 5.5 V	0.7 VDD	12	V
			1.8 V ≤ VDD ≤ 5.5 V	0.8 VDD	12	V
	VIH4	X1, X2	2.7 V ≤ VDD ≤ 5.5 V	VDD - 0.5	VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	VDD - 0.2	VDD	V
	VIH5	XT1, XT2	4.5 V ≤ VDD ≤ 5.5 V	0.8 VDD	VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0.9 VDD	VDD	V
	VIH6	P120	2.7 V ≤ VDD ≤ 5.5 V	0.8 VDD	VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0.85 VDD	VDD	V
ロウ・レベル入力電圧	VIL1	P10-P17, P21, P24, P30, P40-P47, P50-P57, P64-P67, P70, P72	2.7 V ≤ VDD ≤ 5.5 V	0	0.3 VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0	0.2 VDD	V
	VIL2	P00-P05, P20, P22, P23, P25, P31-P34, P71, P73, RESET	2.7 V ≤ VDD ≤ 5.5 V	0	0.2 VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0	0.15 VDD	V
	VIL3	P60-P63	4.5 V ≤ VDD ≤ 5.5 V	0	0.3 VDD	V
			2.7 V ≤ VDD < 4.5 V	0	0.2 VDD	V
			1.8 V ≤ VDD < 2.7 V	0	0.1 VDD	V
	VIL4	X1, X2	2.7 V ≤ VDD ≤ 5.5 V	0	0.4	V
			1.8 V ≤ VDD ≤ 5.5 V	0	0.2	V
	VIL5	XT1, XT2	4.5 V ≤ VDD ≤ 5.5 V	0	0.2 VDD	V
			1.8 V ≤ VDD ≤ 5.5 V	0	0.1 VDD	V
	VIL6	P120	2.7 V ≤ VDD ≤ 5.5 V	0	0.2 VDD	V
1.8 V ≤ VDD ≤ 5.5 V			0	0.15 VDD	V	
ハイ・レベル出力電圧	VOH	VDD = 4.0~5.5 V, IOH = -1 mA	VDD - 1.0		VDD	V
		VDD = 1.8~5.5 V, IOH = -100 μA	VDD - 0.5		VDD	V

備考 特に指定のないかぎり、兼用端子の特性ポートはポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電圧	V _{OL1}	P60-P63 V _{DD} = 4.5~5.5 V, I _{OL} = 15 mA		0.4	1.0	V
	V _{OL2}	P64-P67 V _{DD} = 4.5~5.5 V, I _{OL} = 15 mA		0.4	2.0	V
	V _{OL3}	P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P70-P73, P80-P87, P90-P97, P120 V _{DD} = 4.5~5.5 V, I _{OL} = 1.6 mA			0.4	V
	V _{OL4}	I _{OL} = 400 μA			0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	V _{IN} = V _{DD} P00-P05, P10-P17, P20-P25, P30-P34, P40-P47, P50-P57, P60-P67, P70-P73, P120, $\overline{\text{RESET}}$			3	μA
	I _{LIH2}	X1, X2, XT1, XT2			20	μA
	I _{LIH3}	V _{IN} = 12 V P60-P63			10	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V P00-P05, P10-P17, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P120, $\overline{\text{RESET}}$			-3	μA
	I _{LIL2}	X1, X2, XT1, XT2			-20	μA
	I _{LIL3}	P60-P63 (N-chオープン・ドレイン時)			-3 ^注	μA
ハイ・レベル 出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}			3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	V _{OUT} = 0 V			-3	μA
マスク・オプション・プルアップ抵抗 (μPD780316, 780318, 780326, 780328, 780336, 780338のみ)	R ₁	V _{IN} = 0 V, P60, P61, P62, P63	20	40	90	kΩ
ソフトウェア・プルアップ抵抗	R ₂	V _{IN} = 0 V, P00-P05, P20-P25, P30-P34, P40-P47, P50-P57, P64-P67, P70-P73, P120	15	30	90	kΩ

注 P60-P63は、入力命令実行の場合、1クロック間（ノー・ウエイト時）のみ、ロウ・レベル入力リーク電流が -200 μA (MAX.) になります。入力命令以外では、-3 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V) : μPD780316, 780318, 780326, 780328, 780336, 780338

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1 ^{注2}	10 MHz水晶発振 動作モード	VDD = 5.0 V ± 10% ^{注3}	A/Dコンバータ停止時	6.3	12.6	mA	
				A/Dコンバータ動作時	7.3	14.6	mA	
		5.0 MHz水晶発振 動作モード	VDD = 3.0 V ± 10% ^{注3}	A/Dコンバータ停止時	2.0	4.0	mA	
				A/Dコンバータ動作時	3.0	6.0	mA	
	IDD2	10 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10% ^{注3}	周辺機能停止時	1.15	2.3	mA	
				周辺機能動作時		5.7	mA	
		5.0 MHz水晶発振 HALTモード	VDD = 3.0 V ± 10% ^{注3}	周辺機能停止時	0.35	0.7	mA	
				周辺機能動作時		1.7	mA	
	IDD3	32.768 kHz水晶発振 動作モード ^{注5}	VDD = 5.0 V ± 10%		40	80	μA	
			VDD = 3.0 V ± 10%		20	40	μA	
			VDD = 2.0 V ± 10%		10	20	μA	
		IDD4	32.768 kHz水晶発振 HALTモード	VDD = 5.0 V ± 10%	LCD停止時 ^{注6}	25	45	μA
	LCD昇圧機能のみ 動作時 ^{注7}				27	51	μA	
	LCD動作時 ^{注8}				30	60	μA	
	VDD = 3.0 V ± 10%			LCD停止時 ^{注6}	6	18	μA	
				LCD昇圧機能のみ 動作時 ^{注7}	7.5	23	μA	
				LCD動作時 ^{注8}	10	30	μA	
	VDD = 2.0 V ± 10%			LCD停止時 ^{注6}	3	10	μA	
				LCD昇圧機能のみ 動作時 ^{注7}	4	12	μA	
				LCD動作時 ^{注8}	6	18	μA	
IDD5	STOPモード			VDD = 5.0 V ± 10%		0.1	30	μA
				VDD = 3.0 V ± 10%		0.05	10	μA
				VDD = 2.0 V ± 10%		0.05	10	μA

注1. 内部電源 (VDD1, AVREF0) に流れるトータル電流です。

2. 周辺動作電流を含みます。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

3. プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき。

4. PCCを02Hに設定したとき。

5. メイン・システム・クロック停止時。

6. LCD停止時の電源電流 (LCDON = 0, SCOC = 0, VLCON = 0) です。

7. LCD昇圧機能のみ動作時の電源電流 (LCDON = 0, SCOC = 0, VLCON = 1) で、次の状態のときです。

- ・ LCD表示パネルを接続しない無負荷状態
- ・ 昇圧用の容量C1~C4は、0.47 μF
- ・ 昇圧が安定した状態

8. LCD動作時の電源電流 (LCDON = 1, SCOC = 1, VLCON = 1) で、次の状態のときです。

- ・ LCD表示パネルを接続しない無負荷状態
- ・ 昇圧用の容量C1~C4は、0.47 μF
- ・ 昇圧が安定した状態

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V) : μPD78F0338

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1 ^{注2}	10 MHz水晶発振 動作モード	VDD = 5.0 V ± 10% ^{注3}	A/Dコンバータ停止時		15	30	mA
				A/Dコンバータ動作時		16	32	mA
		5.0 MHz水晶発振 動作モード	VDD = 3.0 V ± 10% ^{注3}	A/Dコンバータ停止時		4.5	9	mA
				A/Dコンバータ動作時		5.5	11	mA
		VDD = 2.0 V ± 10% ^{注4}	A/Dコンバータ停止時		2.8	5.6	mA	
			A/Dコンバータ動作時		3.8	7.6	mA	
	IDD2	10 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10% ^{注3}	周辺機能停止時		1.25	2.5	mA
				周辺機能動作時			5.7	mA
		5.0 MHz水晶発振 HALTモード	VDD = 3.0 V ± 10% ^{注3}	周辺機能停止時		0.4	0.8	mA
				周辺機能動作時			1.7	mA
		VDD = 2.0 V ± 10% ^{注4}	周辺機能停止時		0.2	0.4	mA	
			周辺機能動作時			1.1	mA	
	IDD3	32.768 kHz水晶発振 動作モード ^{注5}	VDD = 5.0 V ± 10%			115	230	μA
			VDD = 3.0 V ± 10%			95	190	μA
			VDD = 2.0 V ± 10%			75	150	μA
	IDD4	32.768 kHz水晶発振 HALTモード	VDD = 5.0 V ± 10%	LCD停止時 ^{注6}		25	45	μA
				LCD昇圧機能のみ 動作時 ^{注7}		27	51	μA
				LCD動作時 ^{注8}		30	60	μA
VDD = 3.0 V ± 10%			LCD停止時 ^{注6}		6	18	μA	
			LCD昇圧機能のみ 動作時 ^{注7}		7.5	23	μA	
			LCD動作時 ^{注8}		10	30	μA	
VDD = 2.0 V ± 10%			LCD停止時 ^{注6}		3	10	μA	
			LCD昇圧機能のみ 動作時 ^{注7}		4	12	μA	
			LCD動作時 ^{注8}		6	18	μA	
IDD5	STOPモード	VDD = 5.0 V ± 10%			0.1	30	μA	
		VDD = 3.0 V ± 10%			0.05	10	μA	
		VDD = 2.0 V ± 10%			0.05	10	μA	

注1. 内部電源 (VDD1, AVREF0) に流れるトータル電流です。

2. 周辺動作電流を含みます。ただし、ポートのプルアップ抵抗に流れる電流は含みません。
3. プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき。
4. PCCを02Hに設定したとき。
5. メイン・システム・クロック停止時。
6. LCD停止時の電源電流 (LCDON = 0, SCOC = 0, VLCON = 0) です。
7. LCD昇圧機能のみ動作時の電源電流 (LCDON = 0, SCOC = 0, VLCON = 1) で、次の状態のときです。
 - ・ LCD表示パネルを接続しない無負荷状態
 - ・ 昇圧用の容量C1~C4は、0.47 μF
 - ・ 昇圧が安定した状態
8. LCD動作時の電源電流 (LCDON = 1, SCOC = 1, VLCON = 1) で、次の状態のときです。
 - ・ LCD表示パネルを接続しない無負荷状態
 - ・ 昇圧用の容量C1~C4は、0.47 μF
 - ・ 昇圧が安定した状態

AC特性

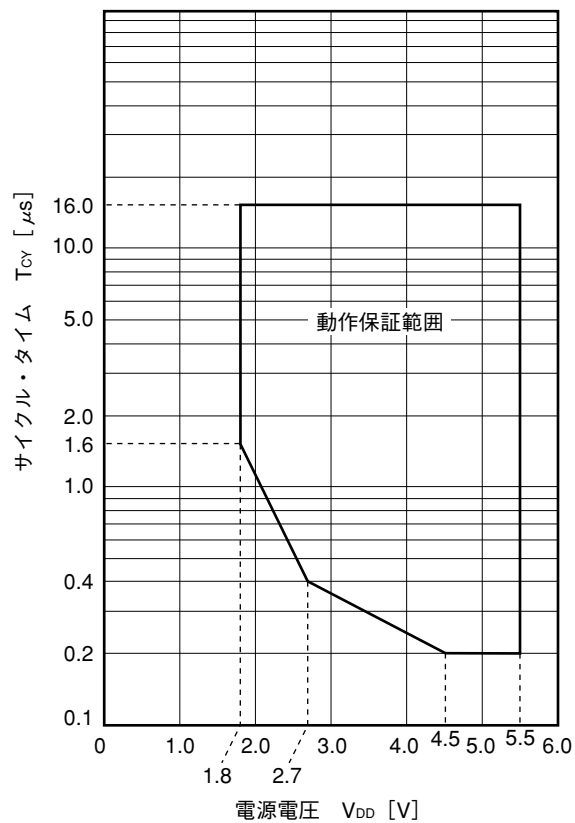
(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・ クロック動作	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.2		16	μs
			$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	0.4		16	μs
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.6		16	μs
		サブシステム・クロック動作	103.9 ^{注1}	122	125	μs	
TI00, TI01入力ハイ, ロウ・ レベル幅	t _{TIH0} t _{TIL0}	$3.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{\text{sam}} +$ 0.1 ^{注2}			μs	
		$2.7 \text{ V} \leq V_{DD} < 3.5 \text{ V}$	$2/f_{\text{sam}} +$ 0.2 ^{注2}			μs	
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$2/f_{\text{sam}} +$ 0.5 ^{注2}			μs	
TI4入力周波数	f _{TI4}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz	
TI4入力ハイ, ロウ・ レベル幅	t _{TIH4} t _{TIL4}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs	
TI50, TI51, TI52入力周波数	f _{TI5}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz	
TI50, TI51, TI52入力 ハイ, ロウ・レベル幅	t _{TIH5} t _{TIL5}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs	
割り込み要求入力 ハイ, ロウ・レベル幅	t _{INTH} t _{INTL}	INTP0-INTP5, P40-P47	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1		μs	
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	2		μs	
RESETロウ・レベル幅	t _{RSL}		10			μs	

注1. 外部クロック使用時の値です。水晶振動子使用時は、114 μs (MIN.) です。

2. プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) により、 $f_{\text{sam}} = f_x, f_x/4, f_x/64$ の選択が可能です。ただし、カウント・クロックとしてTI00の有効エッジを選択した場合は、 $f_{\text{sam}} = f_x/8$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(a) SIO3 3線式シリアルI/Oモード ($\overline{\text{SCK3}}$ …内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t_{KCY1}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	t_{KH1}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 50$			ns
	t_{KL1}	$1.8 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	$t_{\text{KCY1}}/2 - 100$			ns
SI3セットアップ時間 (対SCK3↑)	t_{SIK1}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	150			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	300			ns
SI3ホールド時間 (対SCK3↑)	t_{KSI1}		400			ns
SCK3↓→ SO3出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}^{\text{注}}$			300	ns

注 Cは、 $\overline{\text{SCK3}}$, SO3出力ラインの負荷容量です。

(b) SIO3 3線式シリアルI/Oモード ($\overline{\text{SCK3}}$ …外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t_{KCY2}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	t_{KH2}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	400			ns
	t_{KL2}	$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	800			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1600			ns
SI3セットアップ時間 (対SCK3↑)	t_{SIK2}		100			ns
SI3ホールド時間 (対SCK3↑)	t_{KSI2}		400			ns
SCK3↓→ SO3出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}^{\text{注}}$			300	ns

注 Cは、SO3出力ラインの負荷容量です。

(c) CSI1 3線式シリアル/Oモード (SCK1…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY3}	4.5 V ≤ V _{DD} ≤ 5.5 V	200			ns
		2.7 V ≤ V _{DD} < 4.5 V	500			ns
		1.8 V ≤ V _{DD} < 2.7 V	1			μs
SCK1ハイ, ロウ・レベル幅	t _{KH3}	4.5 V ≤ V _{DD} ≤ 5.5 V	t _{KCY3} /2-5			ns
	t _{KL3}	2.7 V ≤ V _{DD} < 4.5 V	t _{KCY3} /2-20			ns
		1.8 V ≤ V _{DD} < 2.7 V	t _{KCY3} /2-30			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK3}		20			ns
SI1ホールド時間 (対SCK1↑)	t _{KSI3}		110			ns
SCK1↓→ SO1出力遅延時間	t _{KSO3}	C = 100 pF ^注			150	ns

注 Cは, SCK1, SO1出力ラインの負荷容量です。

(d) CSI1 3線式シリアル/Oモード (SCK1…外部クロック入力)

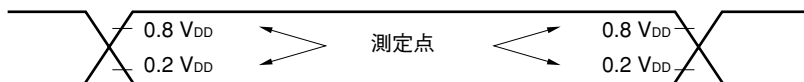
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY4}	4.5 V ≤ V _{DD} ≤ 5.5 V	200			ns
		2.7 V ≤ V _{DD} < 4.5 V	500			ns
		1.8 V ≤ V _{DD} < 2.7 V	1			μs
SCK1ハイ, ロウ・レベル幅	t _{KH4}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
	t _{KL4}	2.7 V ≤ V _{DD} < 4.5 V	250			ns
		1.8 V ≤ V _{DD} < 2.7 V	500			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK4}		25			ns
SI1ホールド時間 (対SCK1↑)	t _{KSI4}		110			ns
SCK1↓→ SO1出力遅延時間	t _{KSO4}	C = 100 pF ^注			150	ns

注 Cは, SO1出力ラインの負荷容量です。

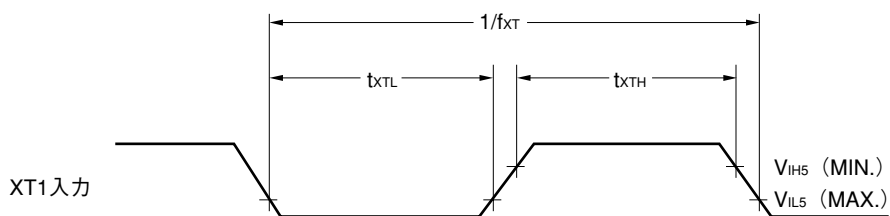
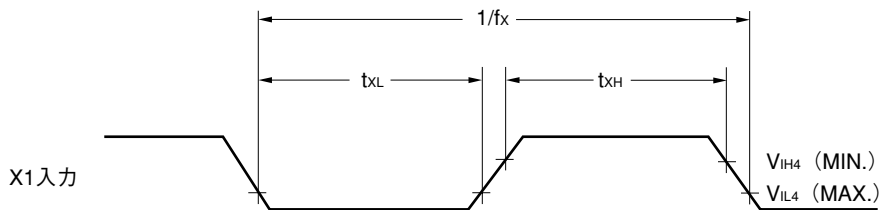
(e) UART0 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V ≤ V _{DD} ≤ 5.5 V			156250	bps
		2.7 V ≤ V _{DD} < 4.5 V			78125	bps
		1.8 V ≤ V _{DD} < 2.7 V			39063	bps

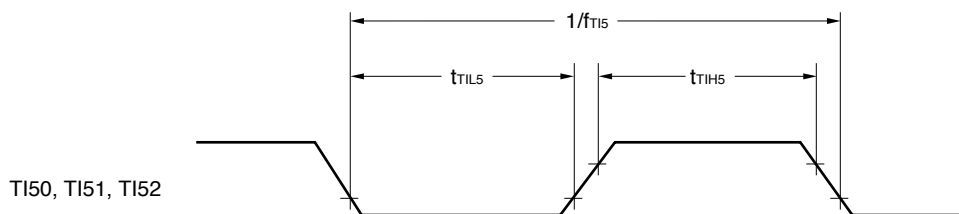
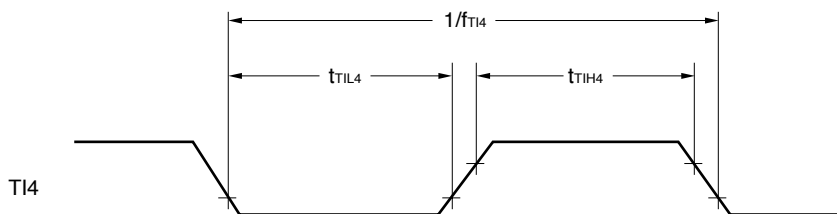
ACタイミング測定点 (X1, XT1入力を除く)



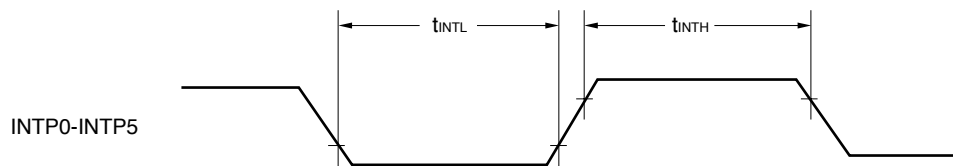
クロック・タイミング



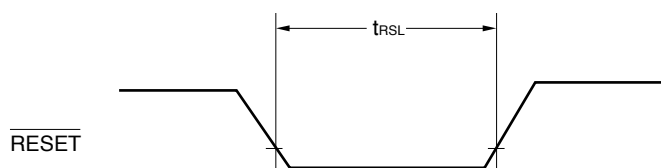
T1タイミング



割り込み要求入力タイミング

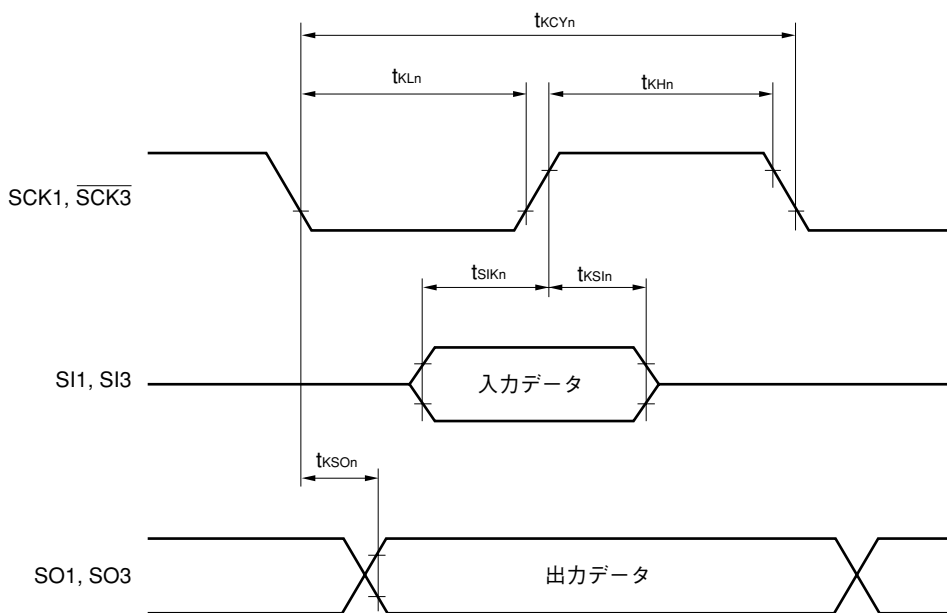


$\overline{\text{RESET}}$ 入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード (SIO3, CSI1) :



n = 1-4

A/Dコンバータ特性 (T_A = -40~+85 °C, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^注		4.5 V ≤ V _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V		±0.3	±0.6	%FSR
		2.05 V ≤ V _{DD} < 2.7 V		±0.6	±1.2	%FSR
変換時間	t _{CONV}	4.5 V ≤ V _{DD} ≤ 5.5 V	14		100	μs
		2.7 V ≤ V _{DD} < 4.5 V	19		100	μs
		2.05 V ≤ V _{DD} < 2.7 V	48		100	μs
ゼロスケール誤差 ^注		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		2.05 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
フルスケール誤差 ^注		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		2.05 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
積分直線性誤差		4.5 V ≤ V _{DD} ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±4.5	LSB
		2.05 V ≤ V _{DD} < 2.7 V			±8.5	LSB
微分直線性誤差		4.5 V ≤ V _{DD} ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±2.0	LSB
		2.05 V ≤ V _{DD} < 2.7 V			±3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{REF}	V
アナログ基準電圧	AV _{REF0}		2.05		V _{DD}	V
AV _{REF0} -AV _{SS} 間抵抗	R _{REF0}	A/D変換動作時	20	40		kΩ

注 量子化誤差 (±1/2 LSB) を含みません。フルスケール値に対する比率 (%FSR) で表します。

D/Aコンバータ特性 (T_A = -40~+85 °C, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^注		R = 2 MΩ ^{注1}			1.2	%
		R = 4 MΩ ^{注1}			0.8	%
		R = 10 MΩ ^{注1}			0.6	%
セトリング・タイム		C = 30 pF	4.5 V ≤ V _{DD} ≤ 5.5 V		10	μs
			2.7 V ≤ V _{DD} < 4.5 V		15	μs
			1.8 V ≤ V _{DD} < 2.7 V		20	μs
出力抵抗	R _O	注2		10		kΩ
アナログ基準電圧	AV _{REF1}		1.8		V _{DD}	V
AV _{REF1} -AV _{SS} 間抵抗	R _{REF1}	DA0 = 55H ^{注2}	4	8		kΩ

注1. R, Cは、D/Aコンバータ出力端子の負荷抵抗、負荷容量です。

2. D/Aコンバータ1チャンネル分の値です。

LCDコントローラ/ドライバ特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD基準電圧	V _{LCD2}	C1~C4 = 0.47 μF	ゲイン ^{注1} = 1	0.84	1	1.165	V
			ゲイン ^{注1} = 1.5	1.26	1.5	1.74	V
ゲイン調整				1.0		1.5	倍
ダブル出力電圧	V _{LCD1}	C1~C4 = 0.47 μF		2.0V _{LCD2} -0.1	2.0V _{LCD2}	2.0V _{LCD2}	V
トリプル出力電圧	V _{LCD0}	C1~C4 = 0.47 μF		3.0V _{LCD2} -0.15	3.0V _{LCD2}	3.0V _{LCD2}	V
昇圧ウエイト時間 ^{注2}	t _{WAIT}	ゲイン = 1	4.5 V ≤ V _{DD} ≤ 5.5 V	4			s
			1.8 V ≤ V _{DD} < 4.5 V	0.5			s
		ゲイン = 1.5		0.5			s
LCD出力抵抗 ^{注3} (コモン)	R _{OVC}					40	kΩ
LCD出力抵抗 ^{注3} (セグメント)	R _{OVS}					200	kΩ

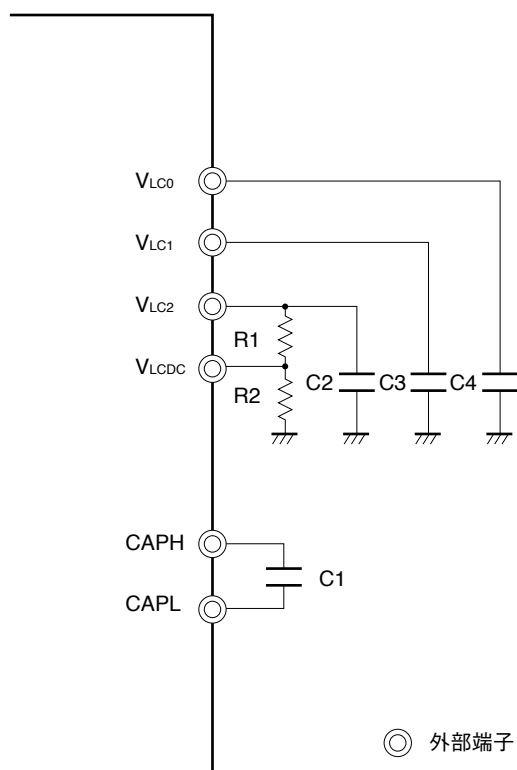
★ 注1. ゲインとは、R1とR2で決定される増幅率のことです。詳細は備考を参照してください。

・ゲイン = (R1+R2) / R2

2. 昇圧ウエイト時間とは、昇圧を開始してから、表示が可能となるまでのウエイト時間です。

3. 出力抵抗とは、V_{LC0}, V_{LC1}, V_{LC2}, V_{SS0}, V_{SS1}のいずれか1端子と、セグメント信号出力端子、コモン信号出力端子のいずれか1端子との間の抵抗のことです。

備考 C1は、CAPH-CAPL間、C2はV_{LC2}-GND間、C3はV_{LC1}-GND間、C4はV_{LC0}-GND間に接続するコンデンサのことです。



- $R1 + R2 = 3 \text{ [M}\Omega\text{]}$
- $C1 = C2 = C3 = C4 = 0.47 \text{ [}\mu\text{F]}$

V_{LCD2}はR1とR2の抵抗の分圧比で調整できます。

- $V_{LCD2} = (R1 + R2) / R2 \text{ [V]}$
- $V_{LCD1} = 2 \times V_{LCD2} \text{ [V]}$
- $V_{LCD0} = 3 \times V_{LCD2} \text{ [V]}$

外付け回路の推奨値を次に示します。

	V _{LCD2} (V)	V _{LCD1} (V)	V _{LCD0} (V)	R1 (MΩ)	R2 (MΩ)
V _{LCD0} = 3 V (ゲイン = 1)	1	2	3	0	3
V _{LCD0} = 4.5 V (ゲイン = 1.5)	1.5	3	4.5	1	2

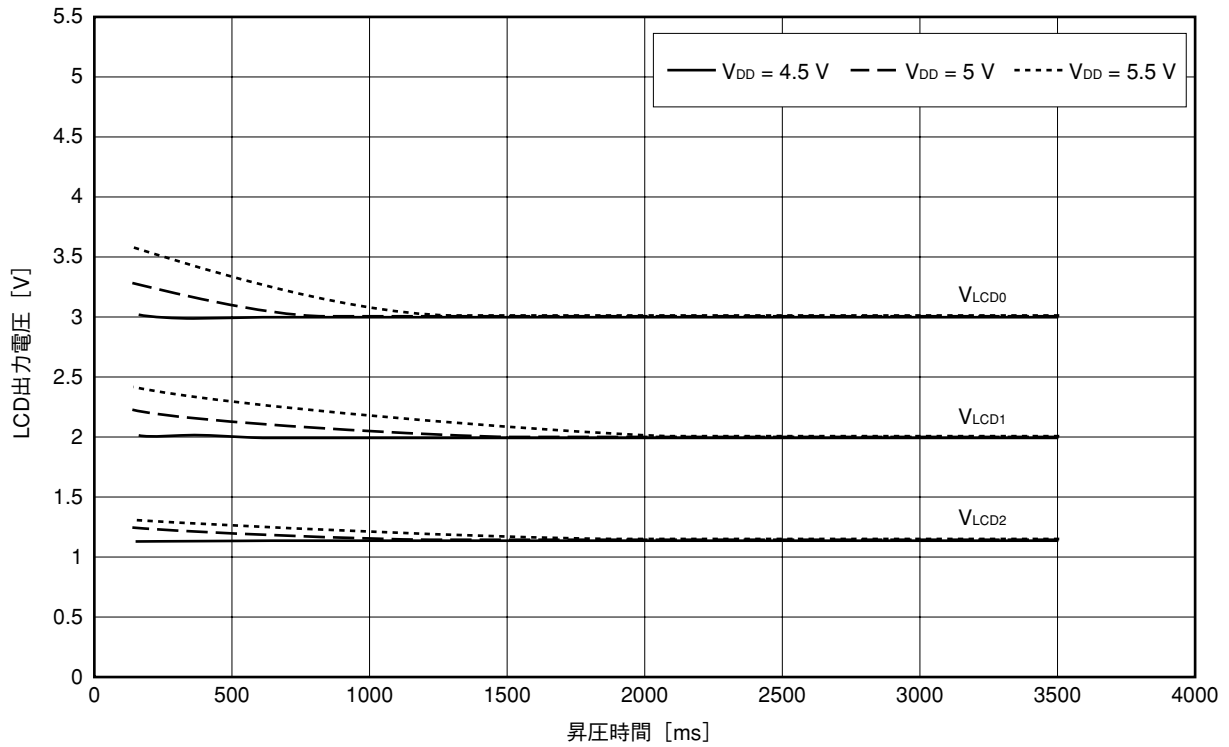
備考 上記のLCD出力電圧値は、V_{LC0}、V_{LC1}、V_{LC2}、V_{LC0C}、CAPH、CAPLの各端子と外付け回路との配線抵抗、および配線容量を無視した場合のものです。

LCDコントローラ／ドライバ特性曲線（参考値）

(1) 昇圧電圧安定時間の特性曲線

昇圧スタート（VLCON = 1）からの時間とLCD出力電圧の変化についての特性曲線を次に示します（ゲイン = 1（3 V昇圧モード）， $V_{DD} = 4.5 \sim 5.5$ V設定時）。

LCD出力電圧／昇圧時間（ゲイン = 1時（3 V昇圧モード）， $V_{DD} = 4.5 \sim 5.5$ V）

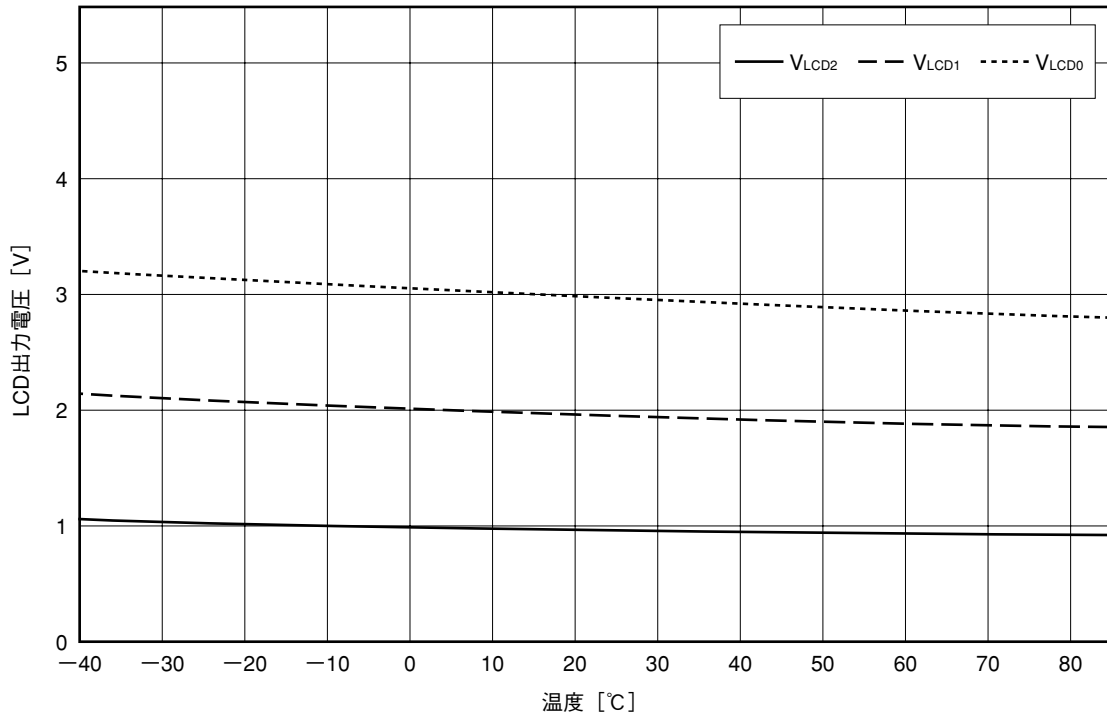


備考 上記の特性曲線は，外付け抵抗値が $R1 = 0$ [M Ω]， $R2 = 3$ [M Ω] 時

(2) LCD出力電圧の温度特性

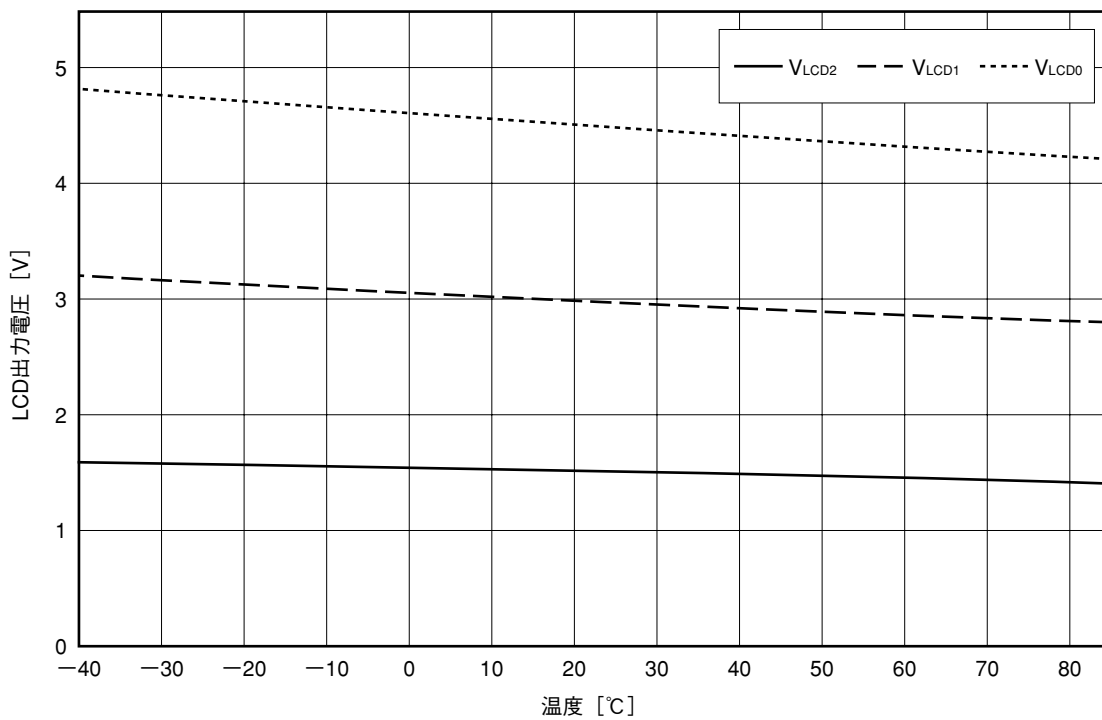
LCD出力電圧の温度特性曲線を次に示します。

LCD出力電圧／温度（ゲイン = 1時）



備考 上記の特性曲線は、外付け抵抗がR1 = 0 [MΩ] , R2 = 3 [MΩ] 時

LCD出力電圧／温度（ゲイン = 1.5時）



備考 上記の特性曲線は、外付け抵抗がR1 = 1 [MΩ] , R2 = 2 [MΩ] 時

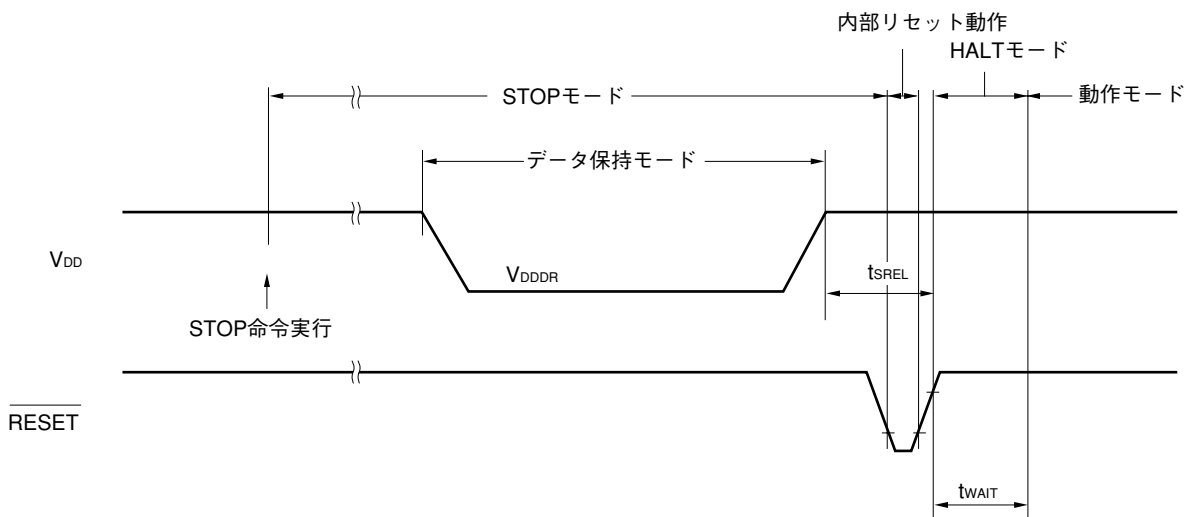
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40~+85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.6		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.6 V (サブシステム・クロック停止, フィードバック抵抗切断時)		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /fx		s
		割り込み要求による解除		注		s

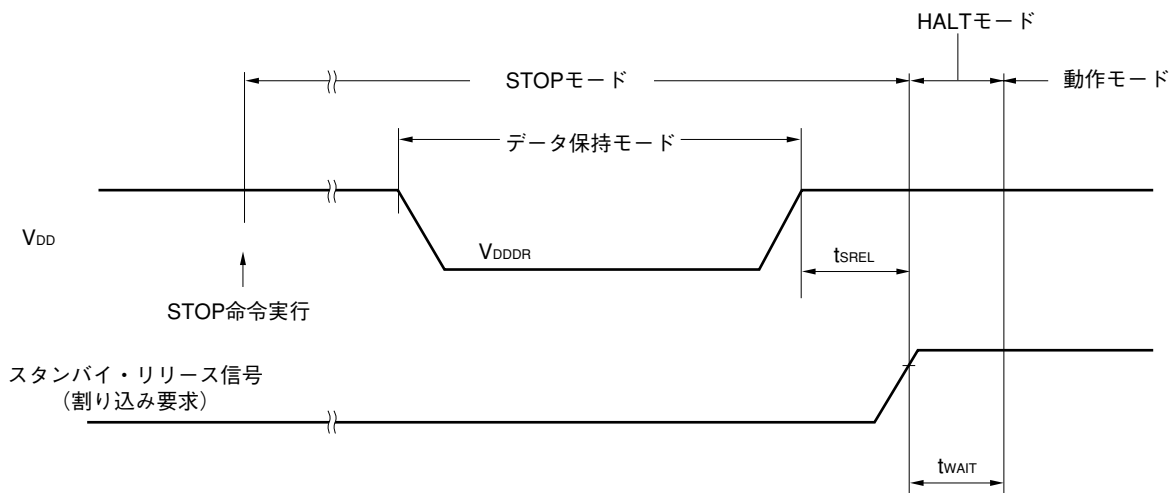
注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/fx, 2¹⁴/fx, 2¹⁵/fx, 2¹⁶/fx, 2¹⁷/fxの選択が可能です。

備考 fx: メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号: 割り込み要求信号によるSTOPモード解除)



フラッシュ・メモリ・プログラミング特性 (TA = +10~+40 °C, VDD = 1.8~5.5 V) : μPD78F0338のみ

(1) 書き込み消去特性

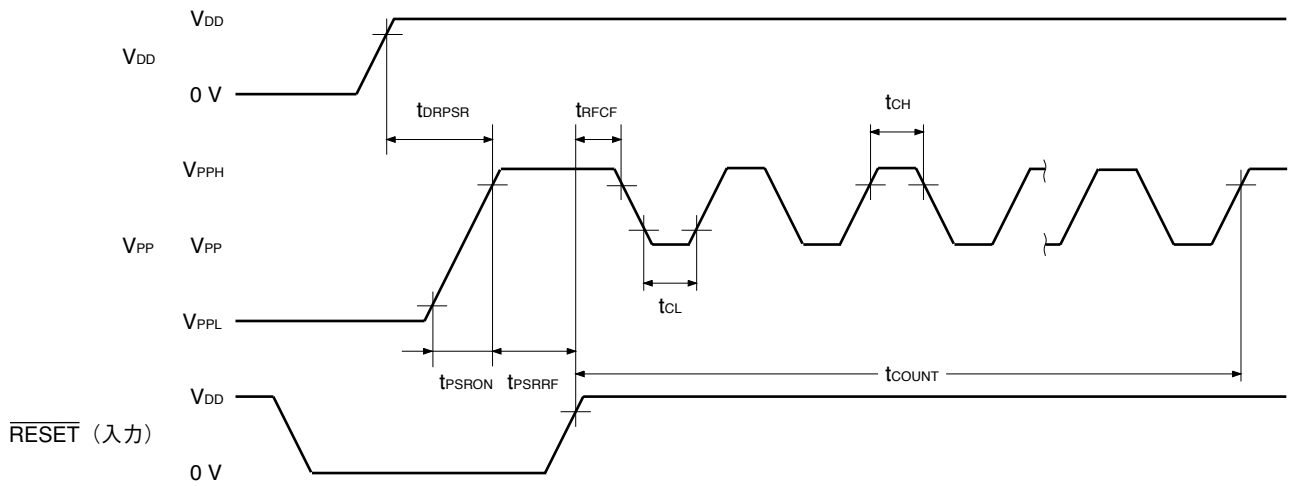
項目	略号	条件		MIN.	TYP.	MAX.	単位	
動作周波数	fx	4.5 V ≤ VDD ≤ 5.5 V		1		10	MHz	
		2.7 V ≤ VDD < 4.5 V		1		5		
		1.8 V ≤ VDD < 2.7 V		1		1.25		
VDD書き込み電源電流 ^注	IDDW	VPP = VPP1時	10 MHz水晶発振動作モード	VDD = 4.5~5.5 V			35	mA
			5 MHz水晶発振動作モード	VDD = 1.8~5.5 V			12	
VPP書き込み電源電流 ^注	IPPW	VPP = VPP1時	10 MHz水晶発振動作モード	VDD = 4.5~5.5 V			39.5	mA
			5 MHz水晶発振動作モード	VDD = 1.8~5.5 V			16.5	
VDD消去電源電流 ^注	IDDE	VPP = VPP1時	10 MHz水晶発振動作モード	VDD = 4.5~5.5 V			35	mA
			5 MHz水晶発振動作モード	VDD = 1.8~5.5 V			12	
VPP消去電源電流 ^注	IPPE	VPP = VPP1時					100	mA
単位消去時間	ter			0.5	1	1	s	
トータル消去時間	tera					20	s	
書き換え回数	CWRT	消去/書き込みを1サイクルとする				20	回	
VPP電源電圧	VPP0	通常モード時		0		0.2VDD	V	
	VPP1	フラッシュ・メモリ・プログラム		9.7	10.0	10.3	V	

注 ポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。

(2) 書き込みオペレーション特性

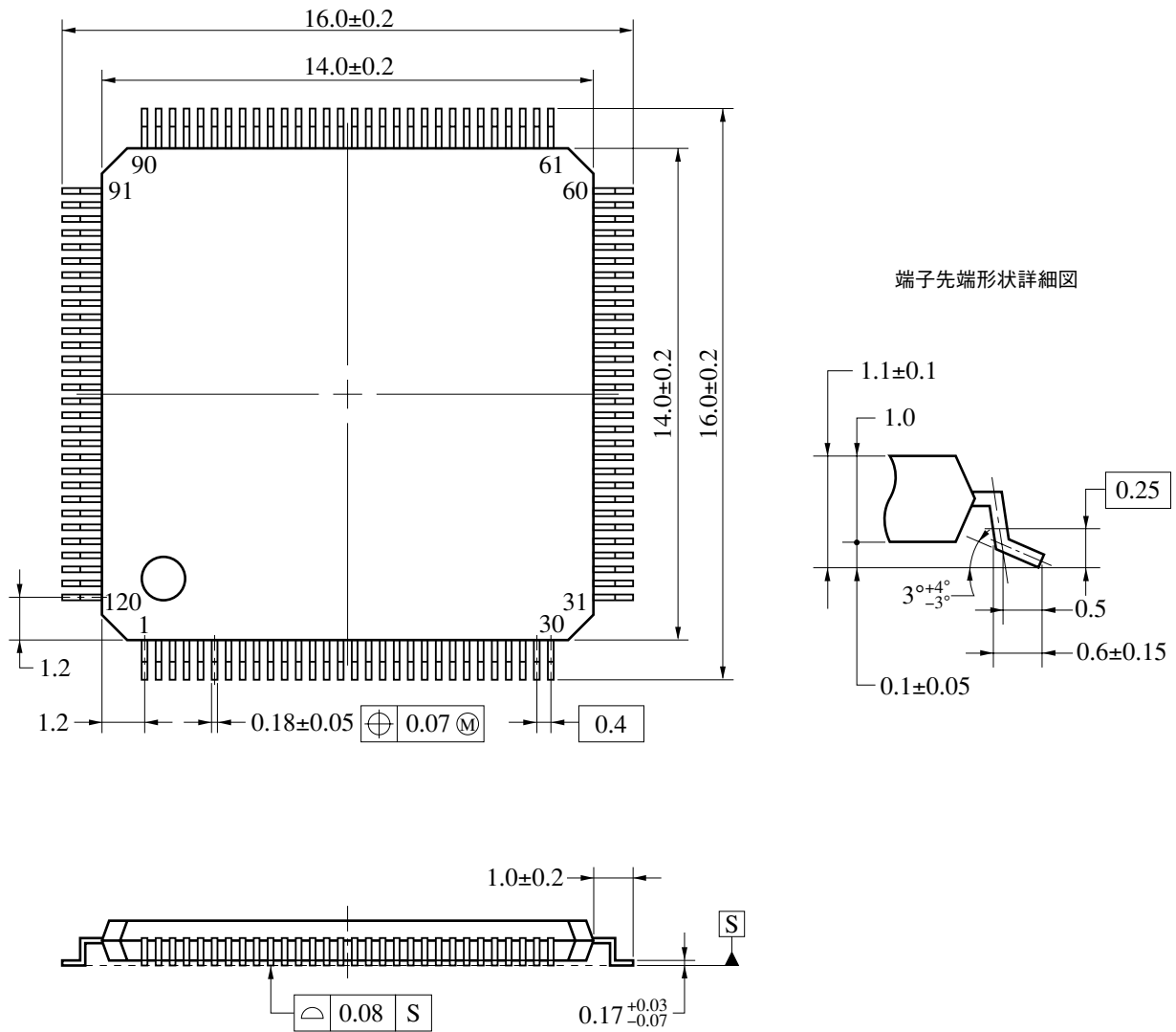
項目	略号	条件	MIN.	TYP.	MAX.	単位
VPPセット時間	tPSRON	VPP高電圧	1.0			μs
VDD ↑ → VPP ↑ セット時間	tDRPSR	VPP高電圧	1.0			μs
VPP ↑ → RESET ↑ セット時間	tPSRRF	VPP高電圧	1.0			μs
RESET ↑ → VPPカウンタ開始時間	tRFCF		1.0			μs
カウンタ実行時間	tCOUNT				2.0	ms
VPPカウンタ・ハイ, ロウ・レベル幅	tCH, tCL		8.0			μs
VPPカウンタ・ノイズ除去幅	tNFW			40		ns

フラッシュ書き込みモード設定タイミング



第25章 外形図

120ピン・プラスチック TQFP (ファインピッチ) (14x14) 外形図 (単位: mm)



S120GC-40-9EB-1

備考 ES品の外形や材質は、量産品と同じです。

第26章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表26-1 表面実装タイプの半田付け条件 (1/2)

μ PD780316GC-XXX-9EB : 120ピン・プラスチックTQFP (ファインピッチ) (14x14)

μ PD780318GC-XXX-9EB : ”

μ PD780326GC-XXX-9EB : ”

μ PD780328GC-XXX-9EB : ”

μ PD780336GC-XXX-9EB : ”

μ PD780338GC-XXX-9EB : ”

μ PD78F0338GC-9EB : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：2回以内、 制限日数：3日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：2回以内、 制限日数：3日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：350℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★

表26-1 表面実装タイプの半田付け条件 (2/2)

μ PD780316GC-XXX-9EB-A : 120ピン・プラスチックTQFP (ファインピッチ) (14x14)
 μ PD780318GC-XXX-9EB-A : ”
 μ PD780326GC-XXX-9EB-A : ”
 μ PD780328GC-XXX-9EB-A : ”
 μ PD780336GC-XXX-9EB-A : ”
 μ PD780338GC-XXX-9EB-A : ”
 μ PD78F0338GC-9EB-A : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングが できません。	IR60-207-3
ウェーブ・ ソルダーリング	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

付録 A μ PD780308, 780318, 780328, 780338サブシリーズ間の違い

μ PD780308, 780318, 780328, 780338サブシリーズ間の主な違いを表A-1に示します。

表A-1 μ PD780308, 780318, 780328, 780338サブシリーズ間の主な違い (1/2)

項目		品名	μ PD780308 サブシリーズ	μ PD780318 サブシリーズ	μ PD780328 サブシリーズ	μ PD780338 サブシリーズ
I ² Cバス内蔵製品 (Yサブシリーズ)		あり		なし		
PROM (フラッシュ・メモリ) 製品			μ PD78P0308	μ PD78F0338		
電源電圧			V _{DD} = 2.0~5.5 V	V _{DD} = 1.8~5.5 V		
ROM			<ul style="list-style-type: none"> μPD780306 : 48 Kバイト μPD780308 : 60 Kバイト 	<ul style="list-style-type: none"> μPD780316, 780326, 780336 : 48 Kバイト μPD780318, 780328, 780338 : 60 Kバイト 		
内部高速RAM			1024バイト			
内部拡張RAM			1024バイト	1536バイト		
LCD表示用RAM			40×4ビット	40×8ビット		
最小命令実行時間			0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s/ (fx = 5.0 MHz動作時)	0.2 μ s/0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s (fx = 10.0 MHz動作時)		
I/Oポート数			57本	70本	62本	54本
A/Dコンバータ			8ビット×8	10ビット×8		
D/Aコンバータ			—	8ビット×1		
LCDコントローラ/ドライバ			<ul style="list-style-type: none"> バイアス : 1/2, 1/3切り替え可能 	<ul style="list-style-type: none"> バイアス : 1/3のみ LCD基準電圧生成回路に内部昇圧回路を採用 (3倍昇圧) 点滅表示可能 (点滅時間切り替え可能 : 0.5 sまたは1 s) 		
セグメント信号出力			最大40本	最大24本	最大32本	最大40本
コモン信号出力			最大4本 (ダイナミック表示のみ)	最大4本 (ダイナミック表示) 最大1本 (スタティック表示)		
シリアル・インタフェース	Yなし サブシリーズ		<ul style="list-style-type: none"> 3線/2線/SBI : 1 3線/UART : 1 3線 : 1 	<ul style="list-style-type: none"> 3線/UART : 1 3線 : 1 		
	Yサブシリーズ		<ul style="list-style-type: none"> 3線/2線/I²C : 1 3線/UART : 1 3線 : 1 	—		
タイマ			<ul style="list-style-type: none"> 16ビット・タイマ/イベント・カウンタ : 1 8ビット・タイマ/イベント・カウンタ : 2 時計用タイマ : 1 ウォッチドッグ・タイマ : 1 	<ul style="list-style-type: none"> 16ビット・タイマ/イベント・カウンタ : 2 8ビット・タイマ/イベント・カウンタ : 3 時計用タイマ : 1 ウォッチドッグ・タイマ : 1 		
タイマ出力			3本 (14ビットPWM出力可能 : 1本)	5本 (8ビットPWM出力可能 : 3本)		

表 A-1 μ PD780308, 780318, 780328, 780338サブシリーズ間の主な違い (2/2)

項目	品名 μ PD780308 サブシリーズ	μ PD780318 サブシリーズ	μ PD780328 サブシリーズ	μ PD780338 サブシリーズ
クロック出力	19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz)	78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz, 10 MHz (メイン・システム・クロック : 10 MHz)		
テスト入力	内部 1 本, 外部 1 本		—	
パッケージ	<ul style="list-style-type: none"> ・ 100ピン・プラスチック LQFP (ファインピッチ) (14×14) ・ 100ピン・プラスチックQFP (14×20) 		<ul style="list-style-type: none"> ・ 120ピン・プラスチックTQFP (ファインピッチ) (14×14) 	
デバイス・ファイル	DF780308	DF780338		
エミュレーション・ボード	IE-780308-NS-EM1	IE-780338-NS-EM1		
電気的特性 半田付け推奨条件	個別の資料を参照してください。			

付録 B 開発ツール

μPD780318, 780328, 780338サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図 B-1 に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

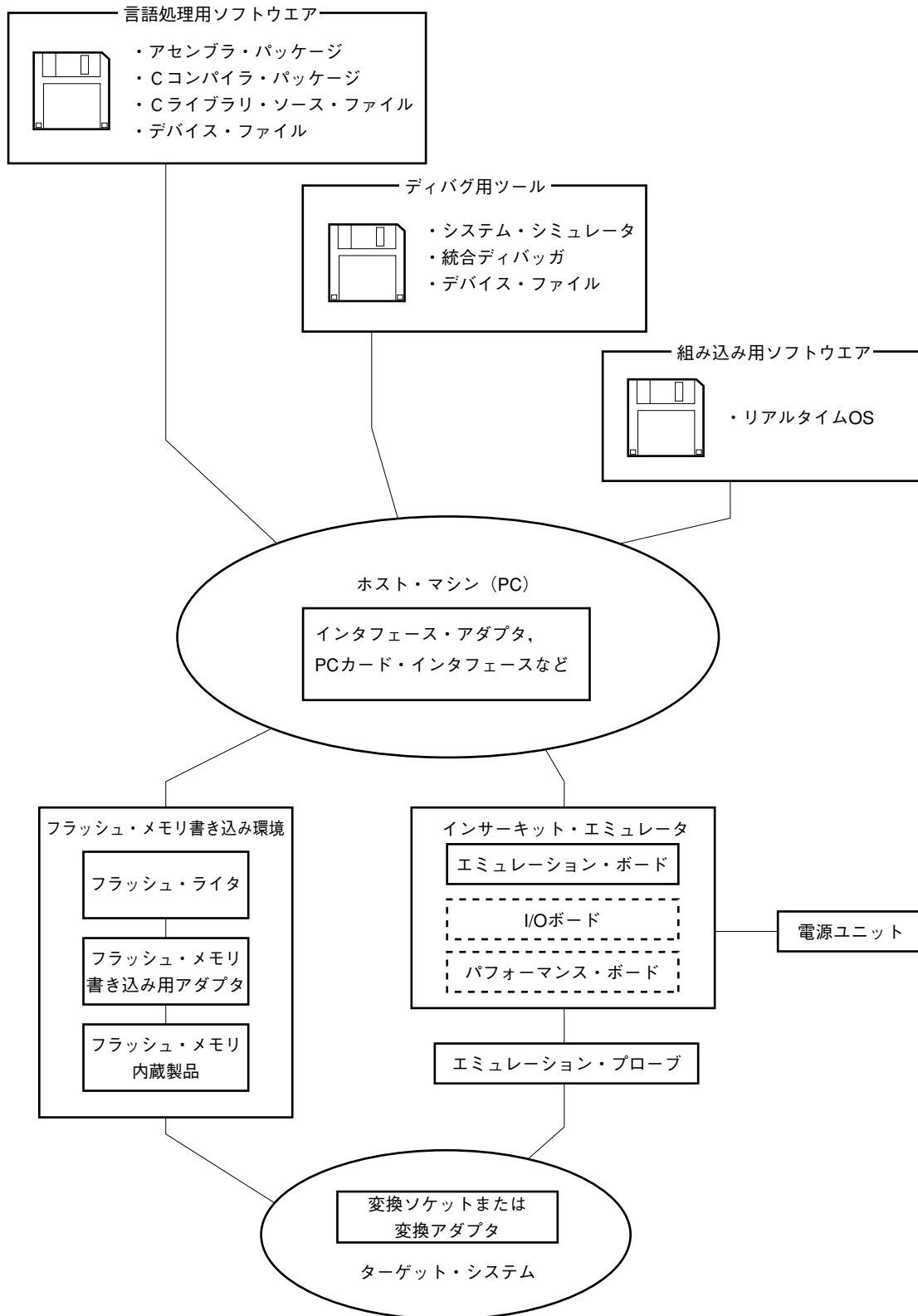
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows95, 98, 2000
- WinsowNT™ Ver. 4.0

図B-1 開発ツール構成



備考 破線部分は開発環境によって異なります。B.3.1 ハードウェアを参照してください。

B.1 言語処理用ソフトウェア

SP78K0 78K/0シリーズ・ソフトウェア・ パッケージ	78K/0シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称：μS××××SP78K0
RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF780338）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称：μS××××RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称：μS××××CC78K0
DF780338 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称：μS××××DF780338
CC78K0-L Cライブラリ・ソース・ ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称：μS××××CC78K0-L

注 DF780338は、RA78K0, CC78K0, SM78K0, ID78K0-NSのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用ソフト・マシン、OSにより異なります。

μSXXXXSP78K0

XXXX	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μSXXXXRA78K0

μSXXXXCC78K0

XXXX	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) , Solaris™ (Rel. 2.5.1)	

μSXXXXDF780338

μSXXXXCC78K0-L

XXXX	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

B.2 フラッシュ・メモリ書き込み用ツール

Flashpro III (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-120GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro IIIに接続して使用します。 ・FA-120GC : 120ピン・プラスチックTQFP (GC-9EBタイプ) 用

備考 FL-PR3, FA-120GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

B.3 デバッグ用ツール

B.3.1 ハードウェア

IE-78K0-NS インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NSに接続して使用します。このボードを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ (パフォーマンス・ボード付き)	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたものです。
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780338-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
★ SWEX-120SE-1 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。120ピン・プラスチックTQFP (GC-9EBタイプ) 用です。
NQPACK120SE/ YQPACK120SE/YQ-GUIDE 変換ソケット	120ピン・プラスチックTQFP (GC-9EBタイプ) を実装できるように作られたターゲット・システムの基板と、SWEX-120SE-1を接続するための変換アダプタです。

備考 SWEX-120SE-1, NQPACK120SE/YQPACK120SE/YQ-GUIDEは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

B.3.2 ソフトウェア (1/2)

SM78K0 システム・シミュレータ	<p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。</p> <p>SM78K0はWindows上で動作します。</p> <p>SM78K0を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。</p> <p>別売のデバイス・ファイル（DF780338）と組み合わせて使用します。</p> <p>オーダー名称：μSXXXXSM78K0</p>
-----------------------	---

備考 オーダ名称のXXXXは、使用するホスト・マシン、OSにより異なります。

μ SXXXXSM78K0

XXXX	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.3.2 ソフトウェア (2/2)

ID78K0-NS 統合ディバッガ (インサーキット・エミュレータ IE-78K0-NS対応)	78K0シリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID78K0-NS
--	--

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××ID78K0-NS

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録C 組み込み用ソフトウェア

μPD780318, 780328, 780338サブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

リアルタイムOS

RX78K0 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780338）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダー名称：μS××××RX78013-△△△△</p>
--------------------	---

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

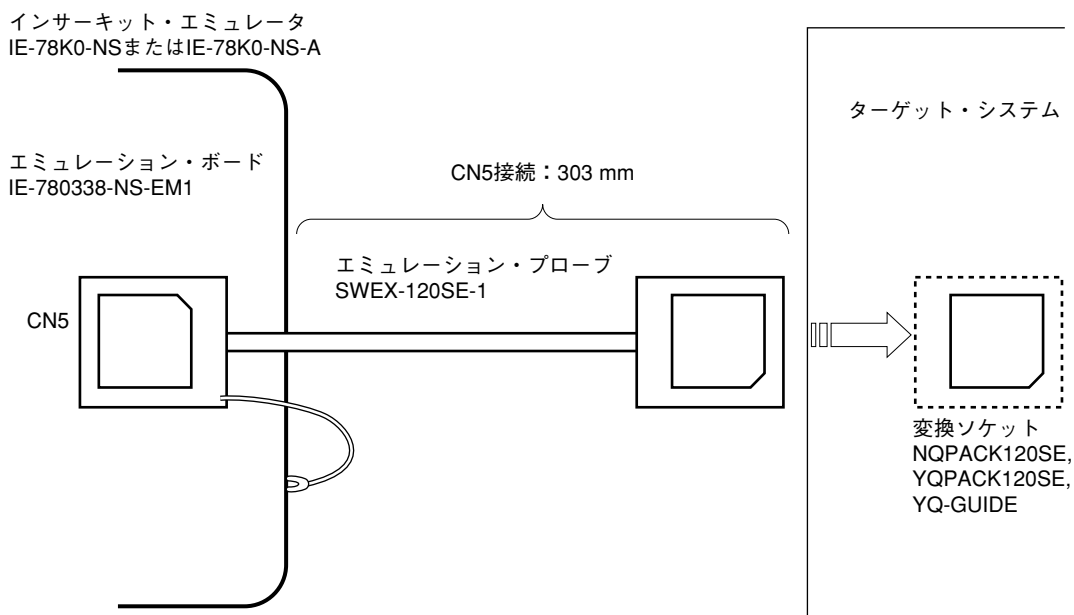
××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HD FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

注 DOS環境でも動作します。

付録D ターゲット・システム設計上の注意

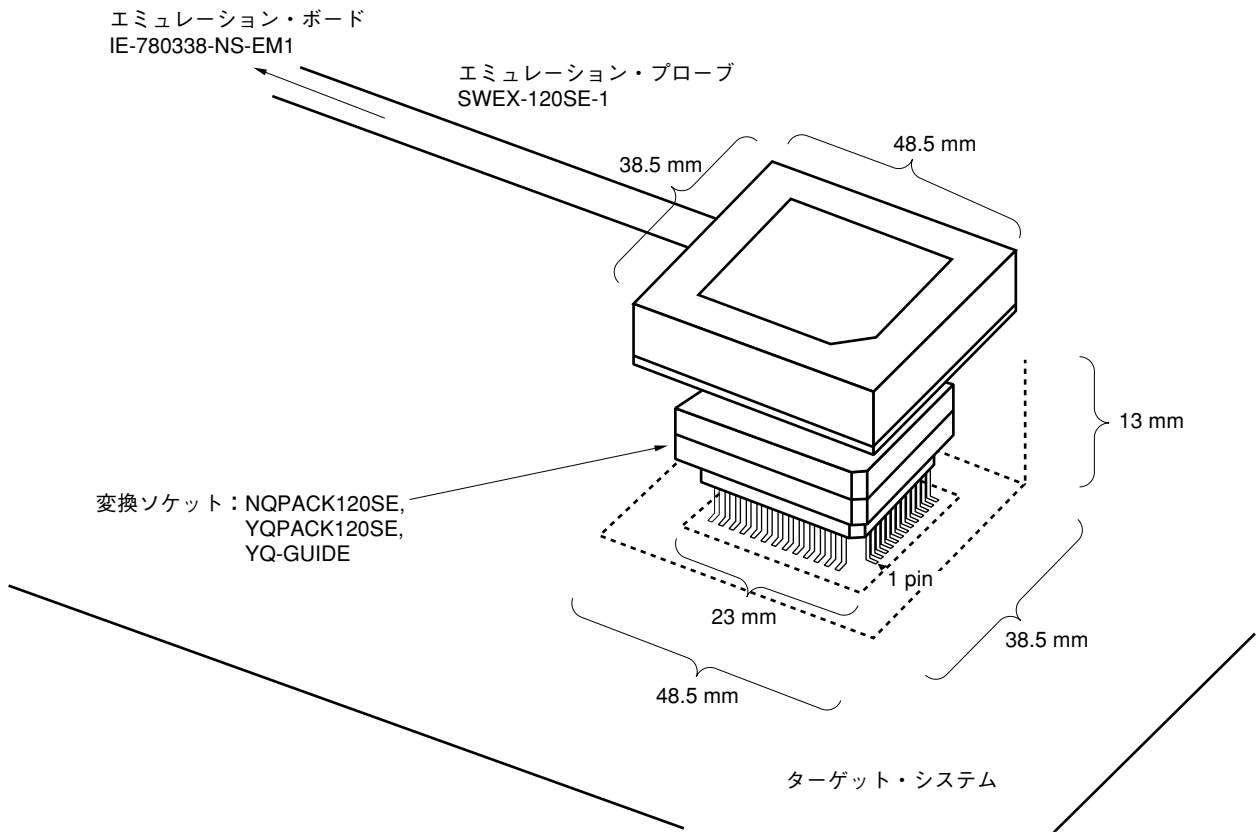
エミュレーション・プローブと変換ソケットの接続条件図を次に示します。この構成によって、ターゲット・システム上に実装する部品の形状などを考慮して、システム設計をしてください。

★ 図D-1 インサーキット・エミュレータ～変換ソケットまでの距離



★

図D-2 ターゲット・システムの接続条件



備考 SWEX-120SE-1とNQPAC120SE, YQPAC120SE, YQ-GUIDEは、東京エレクトック株式会社の製品です。

付録E レジスタ索引

E.1 レジスタ索引 (50音順)

[あ行]

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) … 246
- アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) … 244
- アナログ入力チャンネル指定レジスタ0 (ADS0) … 218
- ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) … 202
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 203
- A/Dコンバータ・モード・レジスタ0 (ADM0) … 216
- A/D変換結果レジスタ0 (ADCR0) … 214
- LCDクロック制御レジスタ3 (LCDC3) … 289
- LCD表示モード・レジスタ3 (LCDM3) … 286

[か行]

- 外部割り込み立ち上がりエッジ許可レジスタ (EGP) … 219, 319
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN) … 219, 319
- キー・リターン切り替えレジスタ (KRSEL) … 116
- キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) … 140
- クロック出力選択レジスタ (CKS) … 208
- 兼用切り替えレジスタ8 (PF8) … 117, 292
- 兼用切り替えレジスタ9 (PF9) … 117, 292
- コレクション・アドレス・レジスタ0 (CORAD0) … 346
- コレクション・アドレス・レジスタ1 (CORAD1) … 346
- コレクション・コントロール・レジスタ (CORCN) … 347

[さ行]

- 16ビット・タイマ・カウンタ0 (TM0) … 136
- 16ビット・タイマ・カウンタ4 (TM4) … 164
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) … 136
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) … 137
- 16ビット・タイマ・コンペア・レジスタ4 (CR4) … 164
- 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) … 141
- 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) … 138
- 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) … 165
- シリアルI/Oシフト・レジスタ1 (SIO1) … 270
- シリアルI/Oシフト・レジスタ3 (SIO3) … 262
- シリアル・クロック選択レジスタ1 (CSIC1) … 272
- シリアル動作モード・レジスタ1 (CSIM1) … 271
- シリアル動作モード・レジスタ3 (CSIM3) … 263

スタティック/ダイナミック表示切り替えレジスタ3 (SDSEL3) … 291
送信シフト・レジスタ0 (TXS0) … 242
送信バッファ・レジスタ1 (SOTB1) … 270

[た行]

タイマ・クロック選択レジスタ50 (TCL50) … 178
タイマ・クロック選択レジスタ51 (TCL51) … 178
タイマ・クロック選択レジスタ52 (TCL52) … 178
D/Aコンバータ・モード・レジスタ0 (DAM0) … 237
D/A変換値設定レジスタ0 (DA0) … 236
時計用タイマ動作モード・レジスタ0 (WTNM0) … 195

[な行]

内部拡張RAMサイズ切り替えレジスタ (IXS) … 358

[は行]

8ビット・タイマ・カウンタ50 (TM50) … 177
8ビット・タイマ・カウンタ51 (TM51) … 177
8ビット・タイマ・カウンタ52 (TM52) … 177
8ビット・タイマ・コンペア・レジスタ50 (CR50) … 177
8ビット・タイマ・コンペア・レジスタ51 (CR51) … 177
8ビット・タイマ・コンペア・レジスタ52 (CR52) … 177
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) … 180
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) … 180
8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) … 180
発振安定時間選択レジスタ (OSTS) … 204, 334
プリスケラ・モード・レジスタ0 (PRM0) … 142
プルアップ抵抗オプション・レジスタ0 (PU0) … 115
プルアップ抵抗オプション・レジスタ2 (PU2) … 115
プルアップ抵抗オプション・レジスタ3 (PU3) … 115
プルアップ抵抗オプション・レジスタ4 (PU4) … 115
プルアップ抵抗オプション・レジスタ5 (PU5) … 115
プルアップ抵抗オプション・レジスタ6 (PU6) … 115
プルアップ抵抗オプション・レジスタ7 (PU7) … 115
プルアップ抵抗オプション・レジスタ12 (PU12) … 115
プロセッサ・クロック・コントロール・レジスタ (PCC) … 122
ポート0 (P0) … 95
ポート1 (P1) … 97
ポート2 (P2) … 98
ポート3 (P3) … 100
ポート4 (P4) … 103
ポート5 (P5) … 105
ポート6 (P6) … 106

ポート7 (P7) … 108
ポート8 (P8) … 110, 111
ポート9 (P9) … 110, 111
ポート12 (P12) … 112
ポート・モード・レジスタ0 (PM0) … 113, 210
ポート・モード・レジスタ2 (PM2) … 113
ポート・モード・レジスタ3 (PM3) … 113, 143, 182
ポート・モード・レジスタ4 (PM4) … 113
ポート・モード・レジスタ5 (PM5) … 113
ポート・モード・レジスタ6 (PM6) … 113
ポート・モード・レジスタ7 (PM7) … 113, 167, 182
ポート・モード・レジスタ8 (PM8) … 113
ポート・モード・レジスタ9 (PM9) … 113
ポート・モード・レジスタ12 (PM12) … 113
ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) … 246

[ま行]

メモリ拡張モード・レジスタ (MEM) … 116
メモリ・サイズ切り替えレジスタ (IMS) … 357

[や行]

優先順位指定フラグ・レジスタ0H (PROH) … 318
優先順位指定フラグ・レジスタ0L (PROL) … 318
優先順位指定フラグ・レジスタ1L (PR1L) … 318

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) … 317
割り込みマスク・フラグ・レジスタ0L (MK0L) … 317
割り込みマスク・フラグ・レジスタ1L (MK1L) … 317
割り込み要求フラグ・レジスタ0H (IF0H) … 316
割り込み要求フラグ・レジスタ0L (IF0L) … 316
割り込み要求フラグ・レジスタ1L (IF1L) … 316

E.2 レジスタ索引 (アルファベット順)

[A]

ADCR0	: A/D変換結果レジスタ0	…	214
ADM0	: A/Dコンバータ・モード・レジスタ0	…	216
ADS0	: アナログ入力チャンネル指定レジスタ0	…	218
ASIM0	: アシンクロナス・シリアル・インタフェース・モード・レジスタ0	…	244
ASIS0	: アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	…	246

[B]

BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0	…	246
-------	------------------------------	---	-----

[C]

CKS	: クロック出力選択レジスタ	…	208
CORAD0	: コレクション・アドレス・レジスタ0	…	346
CORAD1	: コレクション・アドレス・レジスタ1	…	346
CORCN	: コレクション・コントロール・レジスタ	…	347
CR00	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ00	…	136
CR01	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ01	…	137
CR4	: 16ビット・タイマ・コンペア・レジスタ4	…	164
CR50	: 8ビット・タイマ・コンペア・レジスタ50	…	177
CR51	: 8ビット・タイマ・コンペア・レジスタ51	…	177
CR52	: 8ビット・タイマ・コンペア・レジスタ52	…	177
CRC0	: キャプチャ/コンペア・コントロール・レジスタ0	…	140
CSIC1	: シリアル・クロック選択レジスタ1	…	272
CSIM1	: シリアル動作モード・レジスタ1	…	271
CSIM3	: シリアル動作モード・レジスタ3	…	263

[D]

DA0	: D/A変換値設定レジスタ0	…	236
DAM0	: D/Aコンバータ・モード・レジスタ0	…	237

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ	…	219, 319
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ	…	219, 319

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H	…	316
IF0L	: 割り込み要求フラグ・レジスタ0L	…	316
IF1L	: 割り込み要求フラグ・レジスタ1L	…	316
IMS	: メモリ・サイズ切り替えレジスタ	…	357
IXS	: 内部拡張RAMサイズ切り替えレジスタ	…	358

[K]

KRSEL : キー・リターン切り替えレジスタ … 116

[L]

LCDC3 : LCDクロック制御レジスタ3 … 289

LCDM3 : LCD表示モード・レジスタ3 … 286

[M]

MEM : メモリ拡張モード・レジスタ … 116

MK0H : 割り込みマスク・フラグ・レジスタ0H … 317

MK0L : 割り込みマスク・フラグ・レジスタ0L … 317

MK1L : 割り込みマスク・フラグ・レジスタ1L … 317

[O]

OSTS : 発振安定時間選択レジスタ … 204, 334

[P]

P0 : ポート0 … 95

P1 : ポート1 … 97

P2 : ポート2 … 98

P3 : ポート3 … 100

P4 : ポート4 … 103

P5 : ポート5 … 105

P6 : ポート6 … 106

P7 : ポート7 … 108

P8 : ポート8 … 110, 111

P9 : ポート9 … 110, 111

P12 : ポート12 … 112

PCC : プロセッサ・クロック・コントロール・レジスタ … 122

PF8 : 兼用切り替えレジスタ8 … 117, 292

PF9 : 兼用切り替えレジスタ9 … 117, 292

PM0 : ポート・モード・レジスタ0 … 113, 210

PM2 : ポート・モード・レジスタ2 … 113

PM3 : ポート・モード・レジスタ3 … 113, 143, 182

PM4 : ポート・モード・レジスタ4 … 113

PM5 : ポート・モード・レジスタ5 … 113

PM6 : ポート・モード・レジスタ6 … 113

PM7 : ポート・モード・レジスタ7 … 113, 167, 182

PM8 : ポート・モード・レジスタ8 … 113

PM9 : ポート・モード・レジスタ9 … 113

PM12 : ポート・モード・レジスタ12 … 113

PR0H : 優先順位指定フラグ・レジスタ0H … 318

PR0L	: 優先順位指定フラグ・レジスタ0L	…	318
PR1L	: 優先順位指定フラグ・レジスタ1L	…	318
PRM0	: プリスケーラ・モード・レジスタ0	…	142
PU0	: プルアップ抵抗オプション・レジスタ0	…	115
PU2	: プルアップ抵抗オプション・レジスタ2	…	115
PU3	: プルアップ抵抗オプション・レジスタ3	…	115
PU4	: プルアップ抵抗オプション・レジスタ4	…	115
PU5	: プルアップ抵抗オプション・レジスタ5	…	115
PU6	: プルアップ抵抗オプション・レジスタ6	…	115
PU7	: プルアップ抵抗オプション・レジスタ7	…	115
PU12	: プルアップ抵抗オプション・レジスタ12	…	115

[S]

SDSEL3	: スタティック/ダイナミック表示切り替えレジスタ3	…	291
SIO1	: シリアルI/Oシフト・レジスタ1	…	270
SIO3	: シリアルI/Oシフト・レジスタ3	…	262
SOTB1	: 送信バッファ・レジスタ1	…	270

[T]

TCL50	: タイマ・クロック選択レジスタ50	…	178
TCL51	: タイマ・クロック選択レジスタ51	…	178
TCL52	: タイマ・クロック選択レジスタ52	…	178
TM0	: 16ビット・タイマ・カウンタ0	…	136
TM4	: 16ビット・タイマ・カウンタ4	…	164
TM50	: 8ビット・タイマ・カウンタ50	…	177
TM51	: 8ビット・タイマ・カウンタ51	…	177
TM52	: 8ビット・タイマ・カウンタ52	…	177
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ0	…	138
TMC4	: 16ビット・タイマ・モード・コントロール・レジスタ4	…	165
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50	…	180
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51	…	180
TMC52	: 8ビット・タイマ・モード・コントロール・レジスタ52	…	180
TOC0	: 16ビット・タイマ出力コントロール・レジスタ0	…	141
TXS0	: 送信シフト・レジスタ0	…	242

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ	…	202
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	203
WTNM0	: 時計用タイマ動作モード・レジスタ0	…	195

付録F 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

版数	前版からの改版内容	適用箇所
第2版	パッケージの追加 μPD780316GC-XXX-9EV, 780318GC-XXX-9EV μPD780326GC-XXX-9EV, 780328GC-XXX-9EV μPD780336GC-XXX-9EV, 780338GC-XXX-9EV μPD78F0338GC-9EV	全般
	ブロック図の変更 図4-2 P00-P04のブロック図 図4-3 P05のブロック図 図4-5 P20, P22, P23, P25のブロック図 図4-8 P31, P32のブロック図 図4-9 P33, P34のブロック図 図4-11 立ち下がりエッジ検出回路のブロック図 図4-16 P71, P73のブロック図	第4章 ポート機能
	図4-24 兼用切り替えレジスタ8, 9 (PF8, PF9) のフォーマットに注意文を追加	
	図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマットに注3を追加	第5章 クロック発生回路
	図6-13 フリーランニング・カウンタのキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ設定時) を変更	第6章 16ビット・タイマ/イベント・カウンタ0
	図6-15 立ち上がりエッジ指定時のCR01キャプチャ動作を変更	
	図6-16 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) を変更	
	図6-18 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) を変更	
	図6-20 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) を変更	
	6.6 16ビット・タイマ/イベント・カウンタ0の注意事項の次の項目を変更 (2) 16ビット・コンペア・レジスタの設定 (TM0とCR00の一致でクリア&スタート・モードの場合) (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作 (4) キャプチャ・レジスタのデータ保持タイミング (6) OVFOフラグの動作の① (11) エッジ検出についての②	
図8-7 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のフォーマットの注意文を削除	第8章 8ビット・タイマ/イベント・カウンタ50, 51, 52	

版 数	前版からの改版内容	適用箇所
第 2 版	図12-2 A/Dコンバータ・モード・レジスタ 0 (ADM0) のフォーマットを変更	第12章 A/Dコンバータ
	第14章 シリアル・インタフェースUART0から赤外線データ転送モードを削除	第14章 シリアル・インタフェースUART0
	16.4.2 3線式シリアルI/Oモード(3)通信動作の説明文を変更	第16章 シリアル・インタフェースCSI1
	図16-4 3線式シリアルI/Oモードのタイミングを変更	
	図16-6 先頭ビットの出力動作を変更	
	図16-7 SO1端子の出力値(最終ビット)を変更	
	図17-5 フレーム周波数を作成する基準クロックとフレーム周波数との関係を追加	第17章 LCDコントローラ/ドライバ
	図18-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L)のフォーマットに注意文を追加	第18章 割り込み機能
	22.3 フラッシュ・メモリの特徴を追加	第22章 μPD78F0338
	第24章 電気的特性を追加	第24章 電気的特性
	第25章 外形図を追加	第25章 外形図
	第26章 半田付け推奨条件を追加	第26章 半田付け推奨条件
	付録B 開発ツールを変更	付録B 開発ツール
	付録C 組み込み用ソフトウェアを変更	付録C 組み込み用ソフトウェア
	付録D ターゲット・システム設計上の注意を追加	付録D ターゲット・システム設計上の注意
第 3 版	表2-1 各端子の入出力回路タイプの次の端子の未使用時の推奨接続方法を変更 ・ P60-P63 ・ P80/S32-P87/S39 (フラッシュ・メモリ製品) ・ P90/S24-P97/S31 (フラッシュ・メモリ製品)	第2章 端子機能
	3.1.2 内部データ・メモリ空間の(1)内部高速RAMと(2)内部拡張RAMに説明文を追加	第3章 CPUアーキテクチャ
	表3-4 特殊機能レジスタ一覧のポート8と9の操作可能ビット単位を変更	第4章 ポート機能
	図4-18 P80-P87, P90-P97のブロック図(フラッシュ・メモリ製品)を変更	
	4.2.11 ポート12の注意文を変更	
	7.3(1)16ビット・タイマ・カウンタ4(TM4)のクリア条件を変更	第7章 16ビット・タイマ/イベント・カウンタ4
	図7-1 16ビット・タイマ/イベント・カウンタ4のブロック図を変更	第17章 LCDコントローラ/ドライバ
	表17-4 フレーム周波数の注の文を変更	
	図17-6 スタティック/ダイナミック表示切り替えレジスタ3(SDSEL3)のフォーマットを変更	
	旧版の17.4 LCDコントローラ/ドライバの設定と17.5 LCD表示用RAMの順番を入れ替え	
	旧版の表17-7 LCD駆動電圧を削除	

版 数	前版からの改版内容	適用箇所
第 3 版	略号の統一 ・ V _{LC0} 端子の出力電圧：V _{LC0} ・ V _{LC1} 端子の出力電圧：V _{LC1} ・ V _{LC2} 端子の出力電圧：V _{LC2}	第17章 LCDコントローラ／ドライバ
	17.8.1 スタティック表示例に説明文を追加	
	LCDパネルの結線例を変更 ・ 図17-13 スタティックLCDパネルの結線例 (SDSEL3n = 1 : n = 0, 1) ・ 図17-16 3時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2) ・ 図17-19 4時分割LCDパネルの結線例 (SDSEL3n = 0 : n = 0-2)	
	エミュレーション・プローブの名称変更 SWEX-120SE → SWEX-120SE-1	付録B 開発ツール
	図D-1 インサーキット・エミュレータ～変換ソケットまでの距離を変更	付録D ターゲット・システム設計上の注意
	図D-2 ターゲット・システムの接続条件を変更	
第 3 版 (修正版)	120ピン・プラスチックTQFP (GC-9EVタイプ) を削除	全般
	1.3 オーダ情報を変更	第 1 章 概 説
	表26-1 表面実装タイプの半田付け条件 (2/2) を追加	第26章 半田付け推奨条件

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：**044(435)5111**

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>**

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電 話 **：044-435-9494**

E-mail **：info@necel.com**

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
