

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD780308, 780308Yサブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μ PD780306

μ PD780308

μ PD78P0308

μ PD780306Y

μ PD780308Y

μ PD78P0308Y

〔メモ〕

目次要約

第1章	概 説 (μ PD780308サブシリーズ)	...	20
第2章	概 説 (μ PD780308Yサブシリーズ)	...	33
第3章	端子機能 (μ PD780308サブシリーズ)	...	46
第4章	端子機能 (μ PD780308Yサブシリーズ)	...	62
第5章	CPUアーキテクチャ	...	78
第6章	ポート機能	...	108
第7章	クロック発生回路	...	136
第8章	16ビット・タイマ/イベント・カウンタ	...	152
第9章	8ビット・タイマ/イベント・カウンタ	...	195
第10章	時計用タイマ	...	221
第11章	ウォッチドッグ・タイマ	...	227
第12章	クロック出力制御回路	...	235
第13章	ブザー出力制御回路	...	239
第14章	A/Dコンバータ	...	243
第15章	シリアル・インタフェース・チャンネル0 (μ PD780308サブシリーズ)	...	258
第16章	シリアル・インタフェース・チャンネル0 (μ PD780308Yサブシリーズ)	...	312
第17章	シリアル・インタフェース・チャンネル2	...	365
第18章	シリアル・インタフェース・チャンネル3	...	406
第19章	LCDコントローラ/ドライバ	...	415
第20章	割り込み機能とテスト機能	...	444
第21章	スタンバイ機能	...	470
第22章	リセット機能	...	478
第23章	μ PD78P0308, 78P0308Y	...	482
第24章	命令セットの概要	...	493
第25章	電気的特性	...	508
第26章	外形図	...	541
第27章	半田付け推奨条件	...	543
付録A	開発ツール	...	545
付録B	レジスタ索引	...	560
付録C	改版履歴	...	566

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

QTOPは、NECエレクトロニクス株式会社の商標です。

MS-DOS, Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2006年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、 μ PD780308, 780308Yサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す μ PD780308サブシリーズ、780308Yサブシリーズの各製品です。

- ・ μ PD780308サブシリーズ : μ PD780306, 780308, 78P0308, 780306(A), 780308(A)
- ・ μ PD780308Yサブシリーズ : μ PD780306Y, 780308Y, 78P0308Y

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780308, 780308Yサブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2種類に分かれています。

μ PD780308, 780308Yサブシリーズ ユーザーズ・マニュアル (このマニュアル)	78K/0シリーズ ユーザーズ・マニュアル 命令編
<ul style="list-style-type: none">・端子機能・内部ブロック機能・割り込み・その他の内蔵周辺機能・電気的特性	<ul style="list-style-type: none">・CPU機能・命令セット・命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

μ PD780306(A), 780308(A)のマニュアルとしてお使いになる方へ

μ PD780306, 780308と μ PD780306(A), 780308(A)は、品質水準のみが異なります。(A)品については、品名を次のように読み替えてください。

μ PD780306 μ PD780306(A)

μ PD780308 μ PD780308(A)

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっていて、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

μPD780308, 780308Yサブシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J)**を参照してください。

μPD780308, 780308Yサブシリーズの電気的特性を知りたいとき

第25章 電気的特性を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質についてご検討のうえご使用ください。

章 構成 このマニュアルは、 μ PD780308サブシリーズと μ PD780308Yサブシリーズで機能の異なる箇所については、章を分けて記載しています。各サブシリーズに対応する章は次のとおりです。それぞれのサブシリーズのマニュアルとしてお使いの場合は、印の章のみお読みください。

章	μ PD780308サブシリーズ	μ PD780308Yサブシリーズ
第1章 概 説 (μ PD780308サブシリーズ)		-
第2章 概 説 (μ PD780308Yサブシリーズ)	-	
第3章 端子機能 (μ PD780308サブシリーズ)		-
第4章 端子機能 (μ PD780308Yサブシリーズ)	-	
第5章 CPUアーキテクチャ		
第6章 ポート機能		
第7章 クロック発生回路		
第8章 16ビット・タイマ/イベント・カウンタ		
第9章 8ビット・タイマ/イベント・カウンタ		
第10章 時計用タイマ		
第11章 ウォッチドッグ・タイマ		
第12章 クロック出力制御回路		
第13章 ブザー出力制御回路		
第14章 A/Dコンバータ		
第15章 シリアル・インタフェース・チャンネル0 (μ PD780308サブシリーズ)		-
第16章 シリアル・インタフェース・チャンネル0 (μ PD780308Yサブシリーズ)	-	
第17章 シリアル・インタフェース・チャンネル2		
第18章 シリアル・インタフェース・チャンネル3		
第19章 LCDコントローラ/ドライバ		
第20章 割り込み機能とテスト機能		
第21章 スタンバイ機能		
第22章 リセット機能		
第23章 μ PD78P0308, 78P0308Y		
第24章 命令セットの概要		
第25章 電気的特性		
第26章 外形図		
第27章 半田付け推奨条件		

μPD780308サブシリーズとμPD780308Yサブシリーズの違い

μPD780308サブシリーズとμPD780308Yサブシリーズは、シリアル・インタフェース・チャンネル0の機能の一部が異なります。

シリアル・インタフェース・チャンネル0のモード	μPD780308サブシリーズ	μPD780308Yサブシリーズ
3線式シリアルI/Oモード		
2線式シリアルI/Oモード		
SBI (シリアル・バス・インタフェース) モード		-
I ² C (Inter IC) バス・モード	-	

：対応可

-：対応不可

- 凡 例**
- データ表記の重み ：左が上位桁，右が下位桁
 - アクティブ・ロウの表記： \overline{xxx} (端子，信号名称に上線)
 - 注 ：本文中につけた注の説明
 - 注意 ：気をつけて読んでいただきたい内容
 - 備考 ：本文の補足説明
 - 数の表記 ：2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
μPD780308, 780308Y サブシリーズ ユーザーズ・マニュアル	このマニュアル	U11377E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ アプリケーション・ノート 基礎編 ()	U10182J	U10182E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツール（ソフトウェア）の資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windows ベース）	U15185J	U15185E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
PM plus Ver.5.20		U16934J	U16934E

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
IE-78K0-NS インサーキット・エミュレータ		U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ		U14889J	U14889E
IE-780308-NS-EM1 エミュレーション・ボード		U13304J	U13304E
IE-78001-R-A インサーキット・エミュレータ		U14142J	U14142E
IE-780308-R-EM エミュレーション・ボード		U11362J	U11362E

PROM書き込み用の資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
PG-1500 PROMプログラマ		U11940J	U11940E
PG-1500コントローラ	PC-9800シリーズ（MS-DOS）ベース	EEU-704	EEU-1291
	IBM PCシリーズ（PC-DOS™）ベース	EEU-5008	U10540E

その他の資料

資料名		資料番号	
		和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-		X13769X	
半導体デバイス 実装マニュアル		注	
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 (μ PD780308サブシリーズ) ... 20

- 1.1 特 徴 ... 20
- 1.2 応用分野 ... 21
- 1.3 オータ情報 ... 21
- 1.4 品質水準 ... 22
- 1.5 端子接続図 (Top View) ... 23
- 1.6 78K0シリーズの展開 ... 28
- 1.7 ブロック図 ... 30
- 1.8 機能概要 ... 31
- 1.9 マスク・オプションについて ... 32

第2章 概 説 (μ PD780308Yサブシリーズ) ... 33

- 2.1 特 徴 ... 33
- 2.2 応用分野 ... 34
- 2.3 オータ情報 ... 34
- 2.4 品質水準 ... 35
- 2.5 端子接続図 (Top View) ... 36
- 2.6 78K0シリーズの展開 ... 41
- 2.7 ブロック図 ... 43
- 2.8 機能概要 ... 44
- 2.9 マスク・オプションについて ... 45

第3章 端子機能 (μ PD780308サブシリーズ) ... 46

- 3.1 端子機能一覧 ... 46
 - 3.1.1 通常動作モード時の端子 ... 46
 - 3.1.2 PROMプログラミング・モード時の端子 (μ PD78P0308のみ) ... 49
- 3.2 端子機能の説明 ... 50
 - 3.2.1 P00-P05, P07 (Port0) ... 50
 - 3.2.2 P10-P17 (Port1) ... 51
 - 3.2.3 P25-P27 (Port2) ... 51
 - 3.2.4 P30-P37 (Port3) ... 52
 - 3.2.5 P70-P72 (Port7) ... 53
 - 3.2.6 P80-P87 (Port8) ... 54
 - 3.2.7 P90-P97 (Port9) ... 54
 - 3.2.8 P100-P103 (Port10) ... 54
 - 3.2.9 P110-P117 (Port11) ... 55
 - 3.2.10 COM0-COM3 ... 55
 - 3.2.11 VLc0-VLc2 ... 55
 - 3.2.12 BIAS ... 56
 - 3.2.13 AVREF ... 56
 - 3.2.14 AVss ... 56

- 3.2.15 $\overline{\text{RESET}}$... 56
- 3.2.16 X1, X2 ... 56
- 3.2.17 XT1, XT2 ... 56
- 3.2.18 VDD0, VDD1 ... 56
- 3.2.19 VSS0, VSS1 ... 56
- 3.2.20 VPP (μ PD78P0308のみ) ... 56
- 3.2.21 IC (マスクROM製品のみ) ... 57
- 3.3 端子の入出力回路と未使用端子の処理 ... 58

第4章 端子機能 (μ PD780308Yサブシリーズ) ... 62

- 4.1 端子機能一覧 ... 62
 - 4.1.1 通常動作モード時の端子 ... 62
 - 4.1.2 PROMプログラミング・モード時の端子 (μ PD78P0308Yのみ) ... 65
- 4.2 端子機能の説明 ... 66
 - 4.2.1 P00-P05, P07 (Port0) ... 66
 - 4.2.2 P10-P17 (Port1) ... 67
 - 4.2.3 P25-P27 (Port2) ... 67
 - 4.2.4 P30-P37 (Port3) ... 68
 - 4.2.5 P70-P72 (Port7) ... 69
 - 4.2.6 P80-P87 (Port8) ... 70
 - 4.2.7 P90-P97 (Port9) ... 70
 - 4.2.8 P100-P103 (Port10) ... 70
 - 4.2.9 P110-P117 (Port11) ... 71
 - 4.2.10 COM0-COM3 ... 71
 - 4.2.11 VLC0-VLC2 ... 71
 - 4.2.12 BIAS ... 72
 - 4.2.13 AVREF ... 72
 - 4.2.14 AVSS ... 72
 - 4.2.15 $\overline{\text{RESET}}$... 72
 - 4.2.16 X1, X2 ... 72
 - 4.2.17 XT1, XT2 ... 72
 - 4.2.18 VDD0, VDD1 ... 72
 - 4.2.19 VSS0, VSS1 ... 72
 - 4.2.20 VPP (μ PD78P0308Yのみ) ... 72
 - 4.2.21 IC (マスクROM製品のみ) ... 73
- 4.3 端子の入出力回路と未使用端子の処理 ... 74

第5章 CPUアーキテクチャ ... 78

- 5.1 メモリ空間 ... 78
 - 5.1.1 内部プログラム・メモリ空間 ... 81
 - 5.1.2 内部データ・メモリ空間 ... 82
 - 5.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 82
 - 5.1.4 データ・メモリ・アドレッシング ... 83
- 5.2 プロセッサ・レジスタ ... 86
 - 5.2.1 制御レジスタ ... 86
 - 5.2.2 汎用レジスタ ... 89
 - 5.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 91

5.3	命令アドレスのアドレッシング ...	95
5.3.1	レラティブ・アドレッシング ...	95
5.3.2	イミーディエト・アドレッシング ...	96
5.3.3	テーブル・インダイレクト・アドレッシング ...	97
5.3.4	レジスタ・アドレッシング ...	98
5.4	オペランド・アドレスのアドレッシング ...	99
5.4.1	インプライド・アドレッシング ...	99
5.4.2	レジスタ・アドレッシング ...	100
5.4.3	ダイレクト・アドレッシング ...	101
5.4.4	ショート・ダイレクト・アドレッシング ...	102
5.4.5	特殊機能レジスタ (SFR) アドレッシング ...	104
5.4.6	レジスタ・インダイレクト・アドレッシング ...	105
5.4.7	ベースト・アドレッシング ...	106
5.4.8	ベースト・インデクスト・アドレッシング ...	107
5.4.9	スタック・アドレッシング ...	107

第6章 ポート機能 ... 108

6.1	ポートの機能 ...	108
6.2	ポートの構成 ...	113
6.2.1	ポート0 ...	113
6.2.2	ポート1 ...	115
6.2.3	ポート2 (μ PD780308サブシリーズ) ...	116
6.2.4	ポート2 (μ PD780308Yサブシリーズ) ...	118
6.2.5	ポート3 ...	120
6.2.6	ポート7 ...	121
6.2.7	ポート8 ...	123
6.2.8	ポート9 ...	124
6.2.9	ポート10 ...	125
6.2.10	ポート11 ...	126
6.3	ポート機能を制御するレジスタ ...	129
6.4	ポート機能の動作 ...	134
6.4.1	入出力ポートへの書き込み ...	134
6.4.2	入出力ポートからの読み出し ...	134
6.4.3	入出力ポートでの演算 ...	135

第7章 クロック発生回路 ... 136

7.1	クロック発生回路の機能 ...	136
7.2	クロック発生回路の構成 ...	136
7.3	クロック発生回路を制御するレジスタ ...	138
7.4	システム・クロック発振回路 ...	142
7.4.1	メイン・システム・クロック発振回路 ...	142
7.4.2	サブシステム・クロック発振回路 ...	143
7.4.3	分周回路 ...	146
7.4.4	サブシステム・クロックを使用しない場合 ...	146
7.5	クロック発生回路の動作 ...	147
7.5.1	メイン・システム・クロックの動作 ...	148
7.5.2	サブシステム・クロックの動作 ...	149

7.6	システム・クロックとCPUクロックの設定の変更	...	150
7.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	150
7.6.2	システム・クロックとCPUクロックの切り替え手順	...	150
第8章	16ビット・タイマ/イベント・カウンタ	...	152
8.1	μ PD780308, 780308Yサブシリーズ内蔵タイマの概要	...	152
8.2	16ビット・タイマ/イベント・カウンタの機能	...	153
8.3	16ビット・タイマ/イベント・カウンタの構成	...	155
8.4	16ビット・タイマ/イベント・カウンタを制御するレジスタ	...	160
8.5	16ビット・タイマ/イベント・カウンタの動作	...	170
8.5.1	インターバル・タイマとしての動作	...	170
8.5.2	PWM出力としての動作	...	172
8.5.3	PPG出力としての動作	...	175
8.5.4	パルス幅測定としての動作	...	176
8.5.5	外部イベント・カウンタとしての動作	...	183
8.5.6	方形波出力としての動作	...	185
8.5.7	ワンショット・パルス出力としての動作	...	187
8.6	16ビット・タイマ/イベント・カウンタの注意事項	...	192
第9章	8ビット・タイマ/イベント・カウンタ	...	195
9.1	8ビット・タイマ/イベント・カウンタの機能	...	195
9.1.1	8ビット・タイマ/イベント・カウンタ・モード	...	195
9.1.2	16ビット・タイマ/イベント・カウンタ・モード	...	198
9.2	8ビット・タイマ/イベント・カウンタの構成	...	200
9.3	8ビット・タイマ/イベント・カウンタを制御するレジスタ	...	203
9.4	8ビット・タイマ/イベント・カウンタの動作	...	208
9.4.1	8ビット・タイマ/イベント・カウンタ・モード	...	208
9.4.2	16ビット・タイマ/イベント・カウンタ・モード	...	214
9.5	8ビット・タイマ/イベント・カウンタの注意事項	...	219
第10章	時計用タイマ	...	221
10.1	時計用タイマの機能	...	221
10.2	時計用タイマの構成	...	222
10.3	時計用タイマを制御するレジスタ	...	222
10.4	時計用タイマの動作	...	226
10.4.1	時計用タイマとしての動作	...	226
10.4.2	インターバル・タイマとしての動作	...	226
第11章	ウォッチドッグ・タイマ	...	227
11.1	ウォッチドッグ・タイマの機能	...	227
11.2	ウォッチドッグ・タイマの構成	...	228
11.3	ウォッチドッグ・タイマを制御するレジスタ	...	230
11.4	ウォッチドッグ・タイマの動作	...	233
11.4.1	ウォッチドッグ・タイマとしての動作	...	233
11.4.2	インターバル・タイマとしての動作	...	234

第12章	クロック出力制御回路	...	235
12.1	クロック出力制御回路の機能	...	235
12.2	クロック出力制御回路の構成	...	236
12.3	クロック出力機能を制御するレジスタ	...	236
第13章	ブザー出力制御回路	...	239
13.1	ブザー出力制御回路の機能	...	239
13.2	ブザー出力制御回路の構成	...	239
13.3	ブザー出力機能を制御するレジスタ	...	240
第14章	A/Dコンバータ	...	243
14.1	A/Dコンバータの機能	...	243
14.2	A/Dコンバータの構成	...	243
14.3	A/Dコンバータを制御するレジスタ	...	246
14.4	A/Dコンバータの動作	...	250
14.4.1	A/Dコンバータの基本動作	...	250
14.4.2	入力電圧と変換結果	...	252
14.4.3	A/Dコンバータの動作モード	...	253
14.5	A/Dコンバータの注意事項	...	255
第15章	シリアル・インタフェース・チャンネル0(μPD780308サブシリーズ)	...	258
15.1	シリアル・インタフェース・チャンネル0の機能	...	259
15.2	シリアル・インタフェース・チャンネル0の構成	...	261
15.3	シリアル・インタフェース・チャンネル0を制御するレジスタ	...	265
15.4	シリアル・インタフェース・チャンネル0の動作	...	271
15.4.1	動作停止モード	...	271
15.4.2	3線式シリアルI/Oモードの動作	...	272
15.4.3	SBIモードの動作	...	277
15.4.4	2線式シリアルI/Oモードの動作	...	306
15.4.5	$\overline{\text{SCK0}}/\text{P27}$ 端子出力の操作	...	311
第16章	シリアル・インタフェース・チャンネル0(μPD780308Yサブシリーズ)	...	312
16.1	シリアル・インタフェース・チャンネル0の機能	...	313
16.2	シリアル・インタフェース・チャンネル0の構成	...	314
16.3	シリアル・インタフェース・チャンネル0を制御するレジスタ	...	319
16.4	シリアル・インタフェース・チャンネル0の動作	...	326
16.4.1	動作停止モード	...	326
16.4.2	3線式シリアルI/Oモードの動作	...	327
16.4.3	2線式シリアルI/Oモードの動作	...	332
16.4.4	I ² Cバス・モードの動作	...	337
16.4.5	I ² Cバス・モード使用時の注意事項	...	358
16.4.6	I ² Cバス・モード使用時の制限事項	...	361
16.4.7	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子出力の操作	...	363

第17章	シリアル・インタフェース・チャンネル2	...	365
17.1	シリアル・インタフェース・チャンネル2の機能	...	365
17.2	シリアル・インタフェース・チャンネル2の構成	...	366
17.3	シリアル・インタフェース・チャンネル2を制御するレジスタ	...	370
17.4	シリアル・インタフェース・チャンネル2の動作	...	380
17.4.1	動作停止モード	...	380
17.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	382
17.4.3	3線式シリアルI/Oモード	...	396
17.4.4	UARTモード使用時の制限事項	...	403
第18章	シリアル・インタフェース・チャンネル3	...	406
18.1	シリアル・インタフェース・チャンネル3の機能	...	406
18.2	シリアル・インタフェース・チャンネル3の構成	...	406
18.3	シリアル・インタフェース・チャンネル3を制御するレジスタ	...	409
18.4	シリアル・インタフェース・チャンネル3の動作	...	411
18.4.1	動作停止モード	...	411
18.4.2	3線式シリアルI/Oモード	...	412
第19章	LCDコントローラ/ドライバ	...	415
19.1	LCDコントローラ/ドライバの機能	...	415
19.2	LCDコントローラ/ドライバの構成	...	416
19.3	LCDコントローラ/ドライバを制御するレジスタ	...	418
19.4	LCDコントローラ/ドライバの設定	...	422
19.5	LCD表示データ・メモリ	...	422
19.6	コモン信号とセグメント信号	...	423
19.7	LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給	...	427
19.8	表示モード	...	431
19.8.1	スタティック表示例	...	431
19.8.2	2時分割表示例	...	434
19.8.3	3時分割表示例	...	437
19.8.4	4時分割表示例	...	441
第20章	割り込み機能とテスト機能	...	444
20.1	割り込み機能の種類	...	444
20.2	割り込み要因と構成	...	444
20.3	割り込み機能を制御するレジスタ	...	448
20.4	割り込み要求処理動作	...	457
20.4.1	ノンマスカブル割り込み要求の受け付け動作	...	457
20.4.2	マスカブル割り込み要求の受け付け動作	...	460
20.4.3	ソフトウェア割り込み要求の受け付け動作	...	462
20.4.4	多重割り込み要求処理	...	463
20.4.5	割り込み要求の保留	...	466
20.5	テスト機能	...	467
20.5.1	テスト機能を制御するレジスタ	...	467
20.5.2	テスト入力信号の受け付け動作	...	469

第21章	スタンバイ機能	...	470
21.1	スタンバイ機能と構成	...	470
21.1.1	スタンバイ機能	...	470
21.1.2	スタンバイ機能を制御するレジスタ	...	471
21.2	スタンバイ機能の動作	...	472
21.2.1	HALTモード	...	472
21.2.2	STOPモード	...	475
第22章	リセット機能	...	478
22.1	リセット機能	...	478
第23章	μPD78P0308, 78P0308Y	...	482
23.1	メモリ・サイズ切り替えレジスタ	...	483
23.2	内部拡張RAMサイズ切り替えレジスタ	...	484
23.3	PROMプログラミング	...	485
23.3.1	動作モード	...	485
23.3.2	PROM書き込みの手順	...	487
23.3.3	PROM読み出しの手順	...	491
23.4	ワン・タイムPROM製品のスクリーニングについて	...	492
第24章	命令セットの概要	...	493
24.1	凡例	...	494
24.1.1	オペランドの表現形式と記述方法	...	494
24.1.2	オペレーション欄の説明	...	495
24.1.3	フラグ動作欄の説明	...	495
24.2	オペレーション一覧	...	496
24.3	アドレッシング別命令一覧	...	504
第25章	電気的特性	...	508
第26章	外形図	...	541
第27章	半田付け推奨条件	...	543
付録A	開発ツール	...	545
A.1	ソフトウェア・パッケージ	...	547
A.2	言語処理用ソフトウェア	...	547
A.3	制御ソフトウェア	...	548
A.4	PROM書き込み用ツール	...	549
A.4.1	ハードウェア	...	549
A.4.2	ソフトウェア	...	549
A.5	デバッグ用ツール(ハードウェア)	...	550
A.5.1	インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合	...	550

- A. 5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合 ... 551
- A. 6 デバッグ用ツール(ソフトウェア) ... 552
- A. 7 変換アダプタ(TGC-100SDW)の外形図 ... 553
- A. 8 変換ソケット(EV-9200GF-100)の外形図と基板取り付け推奨パターン ... 554
- A. 9 ターゲット・システム設計上の注意 ... 556

付録B レジスタ索引 ... 560

- B. 1 レジスタ索引(50音順) ... 560
- B. 2 レジスタ索引(アルファベット順) ... 563

付録C 改版履歴 ... 566

- C. 1 本版で改訂された主な箇所 ... 566
- C. 2 前版までの改版履歴 ... 567

第1章 概 説 (μPD780308サブシリーズ)

1.1 特 徴

大容量ROM, RAM内蔵

品名	項目 プログラム・メモリ (ROM)	データ・メモリ		
		内部高速RAM	内部拡張RAM	LCD表示用RAM
μPD780306	48 Kバイト	1024バイト	1024バイト	40×4ビット
μPD780308	60 Kバイト			
μPD78P0308	60 Kバイト ^注			

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

高速 (0.4 μs : メイン・システム・クロック5.0 MHz動作時) から超低速 (122 μs : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間変更可能

システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

I/Oポート : 57本 (セグメント信号出力兼用端子を含む)

LCDコントローラ / ドライバ

- ・セグメント信号出力 : 最大40本
- ・コモン信号出力 : 最大4本
- ・バイアス : 1/2, 1/3バイアス切り替え可能
- ・電源電圧 $V_{DD} = 2.0 \sim 5.5 V$ (すべてのモードで動作可能)

8ビット分解能A/Dコンバータ : 8チャンネル

シリアル・インタフェース : 3チャンネル

- ・3線式シリアルI/O / SBI / 2線式シリアルI/Oモード : 1チャンネル
- ・3線式シリアルI/O / UARTモード : 1チャンネル
- ・3線式シリアルI/Oモード : 1チャンネル

タイマ : 5チャンネル

- ・16ビット・タイマ / イベント・カウンタ : 1チャンネル
- ・8ビット・タイマ / イベント・カウンタ : 2チャンネル
- ・時計用タイマ : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

ベクタ割り込み要因 : 21

テスト入力 : 2本

2種類のクロック発振回路内蔵 (メイン・システム・クロックとサブシステム・クロック)

電源電圧 : $V_{DD} = 2.0 \sim 5.5 V$

1.2 応用分野

携帯電話，CDプレーヤ，カメラ，メータ類など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD780306GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM
μPD780306GC- x x x -8EU-A	"	"
μPD780306GF- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD780306GF- x x x -3BA-A	"	"
μPD780308GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μPD780308GC- x x x -8EU-A	"	"
μPD780308GF- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD780308GF- x x x -3BA-A	"	"
μPD780306GF(A)- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD780308GF(A)- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD78P0308GC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	ワン・タイムPROM
μPD78P0308GC-8EU-A	"	"
μPD78P0308GF-3BA	100ピン・プラスチックQFP (14×20)	"
μPD78P0308GF-3BA-A	"	"

備考1. x x x はROMコード番号です。

2. オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

1.4 品質水準

オーダ名称	パッケージ	品質水準
μPD780306GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)	標準 (一般電子機器用)
μPD780306GC- x x x -8EU-A	"	"
μPD780306GF- x x x -3BA	100ピン・プラスチックQFP (14 x 20)	"
μPD780306GF- x x x -3BA-A	"	"
μPD780308GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)	"
μPD780308GC- x x x -8EU-A	"	"
μPD780308GF- x x x -3BA	100ピン・プラスチックQFP (14 x 20)	"
μPD780308GF- x x x -3BA-A	"	"
μPD780306GF(A)- x x x -3BA	100ピン・プラスチックQFP (14 x 20)	特別 (高信頼度電子機器用)
μPD780308GF(A)- x x x -3BA	100ピン・プラスチックQFP (14 x 20)	"
μPD78P0308GC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)	標準 (一般電子機器用)
μPD78P0308GC-8EU-A	"	"
μPD78P0308GF-3BA	100ピン・プラスチックQFP (14 x 20)	"
μPD78P0308GF-3BA-A	"	"

備考1. x x x はROMコード番号です。

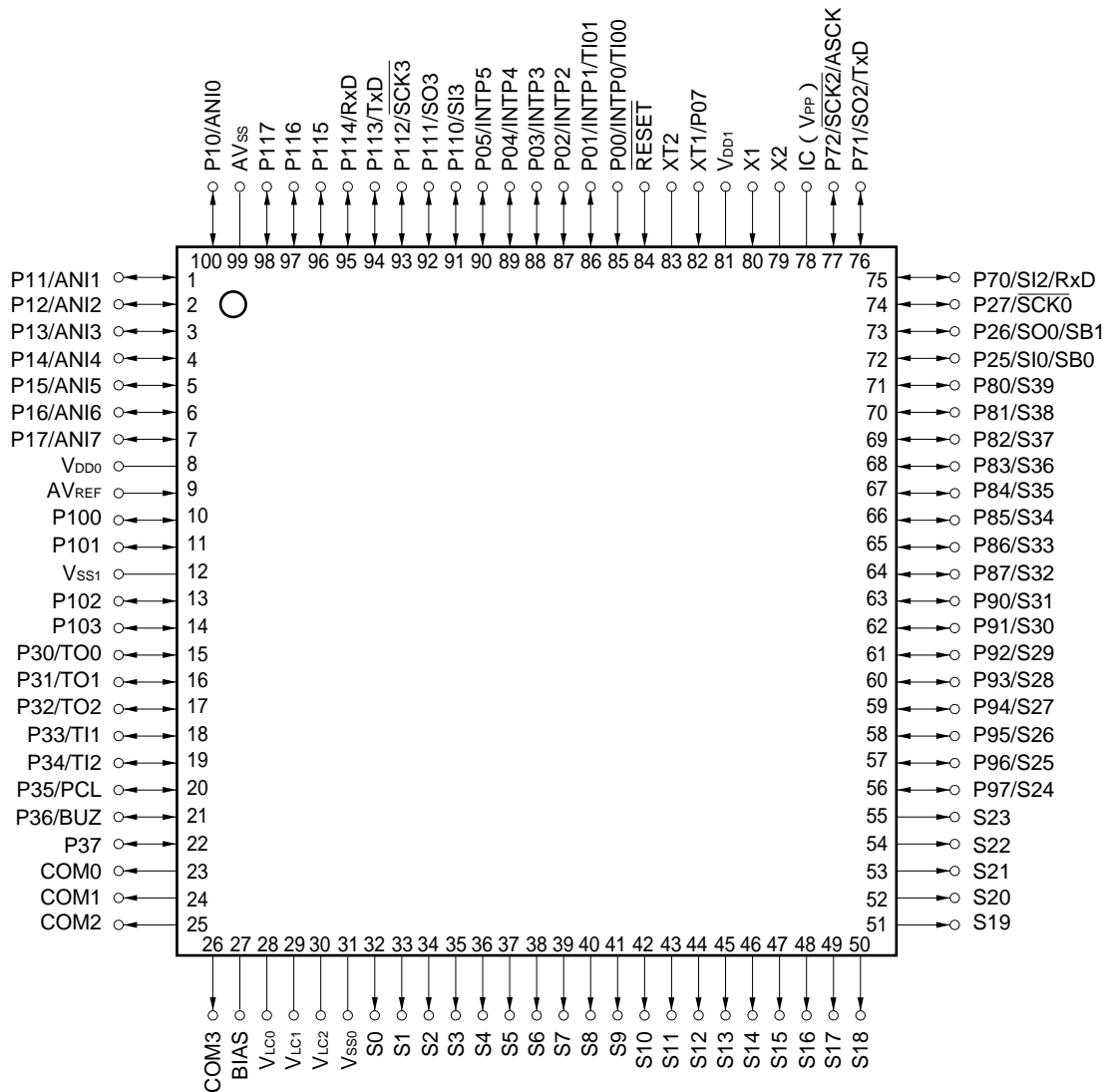
2. オーダ名称の末尾「-A」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

(1) 通常動作モード

・100ピン・プラスチックLQFP (ファインピッチ) (14×14)



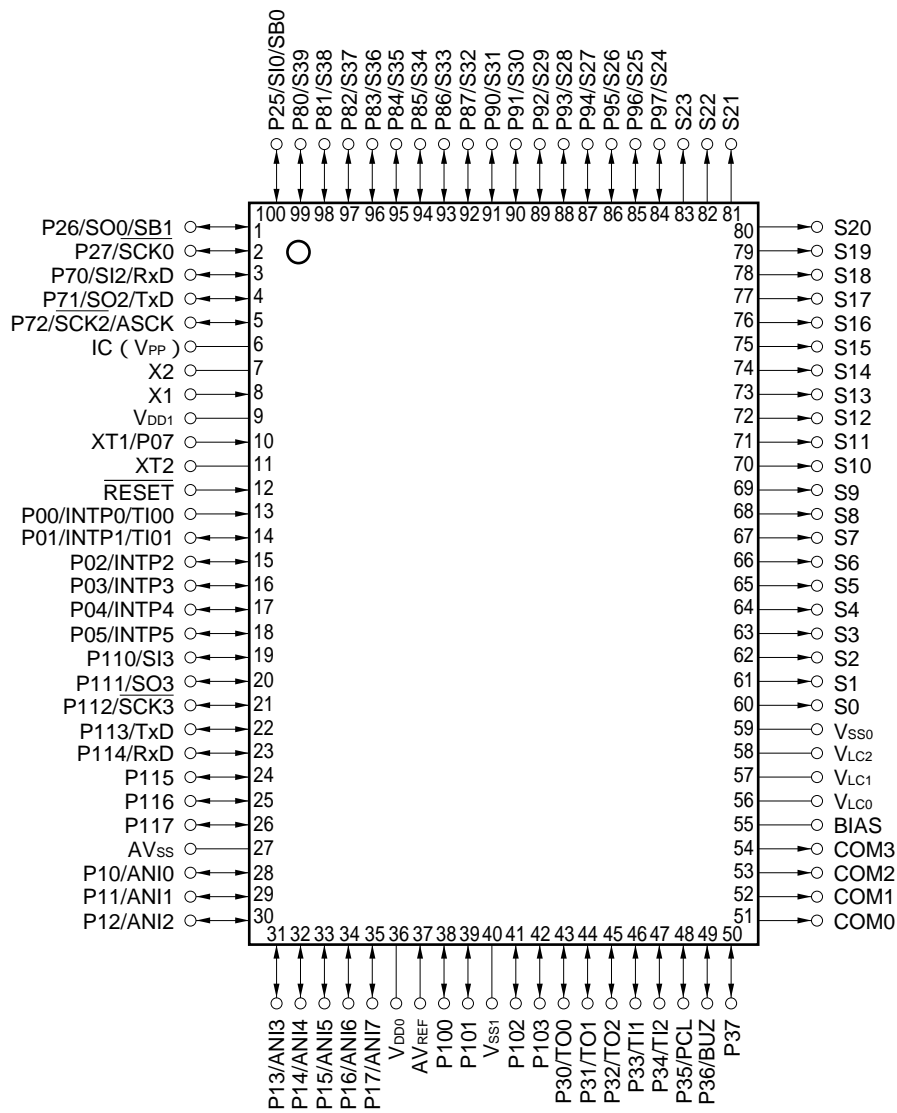
注意1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

備考1. ()内はμPD78P0308のとき。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

・100ピン・プラスチックQFP (14×20)



注意1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. AVSS端子はVSS0に接続してください。

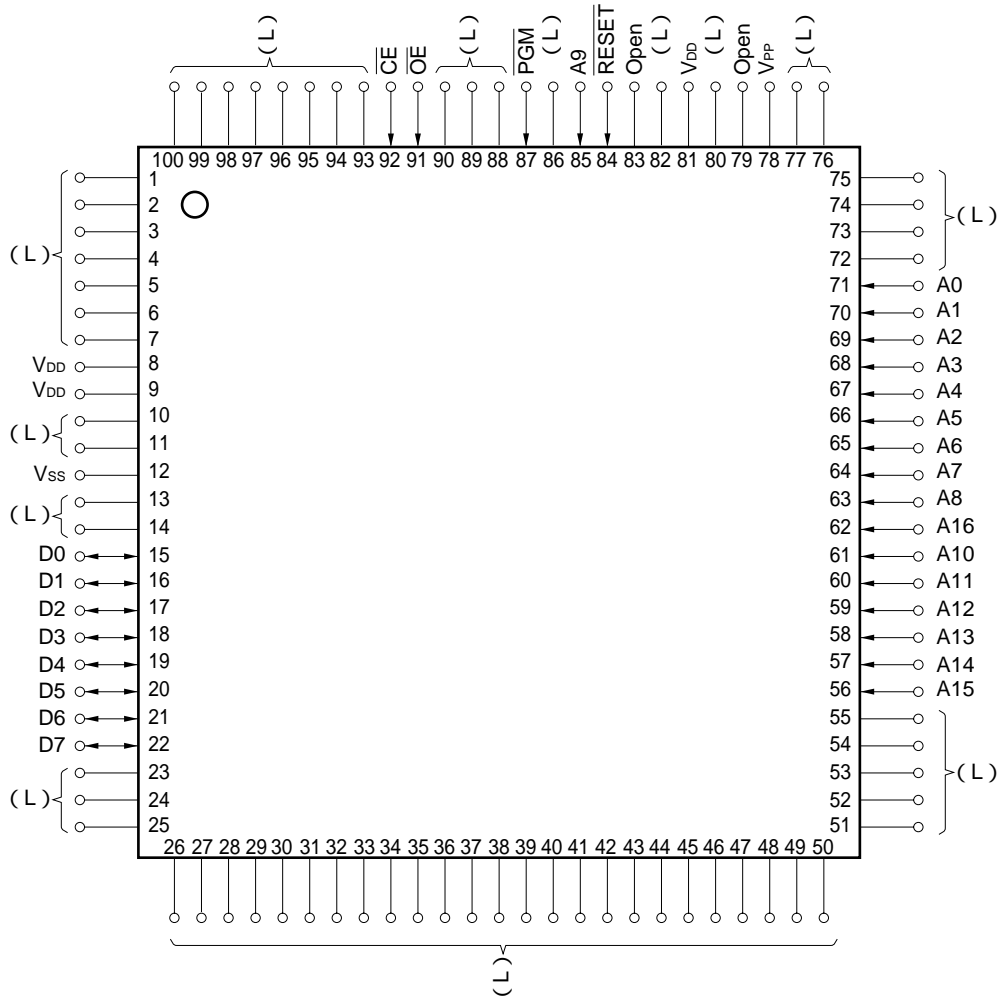
備考1. () 内はμPD78P0308のとき。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ANI0-ANI7	: Analog Input	PCL	: Programmable Clock
ASCK	: Asynchronous Serial Clock	$\overline{\text{RESET}}$: Reset
AV _{REF}	: Analog Reference Voltage	RxD	: Receive Data
AV _{SS}	: Analog Ground	S0-S39	: Segment Output
BIAS	: LCD Power Supply Bias Control	SB0, SB1	: Serial Bus
BUZ	: Buzzer Clock	$\overline{\text{SCK0}}, \overline{\text{SCK2}}, \overline{\text{SCK3}}$: Serial Clock
COM0-COM3	: Common Output	SI0, SI2, SI3	: Serial Input
INTP0-INTP5	: Interrupt from Peripherals	SO0, SO2, SO3	: Serial Output
IC	: Internally Connected	TI00, TI01	: Timer Input
P00-P05, P07	: Port0	TI1, TI2	: Timer Input
P10-P17	: Port1	TO0-TO2	: Timer Output
P25-P27	: Port2	TxD	: Transmit Data
P30-P37	: Port3	V _{DD0} , V _{DD1}	: Power Supply
P70-P72	: Port7	V _{LC0} -V _{LC2}	: LCD Power Supply
P80-P87	: Port8	V _{PP}	: Programming Power Supply
P90-P97	: Port9	V _{SS0} , V _{SS1}	: Ground
P100-P103	: Port10	X1, X2	: Crystal (Main System Clock)
P110-P117	: Port11	XT1, XT2	: Crystal (Subsystem Clock)

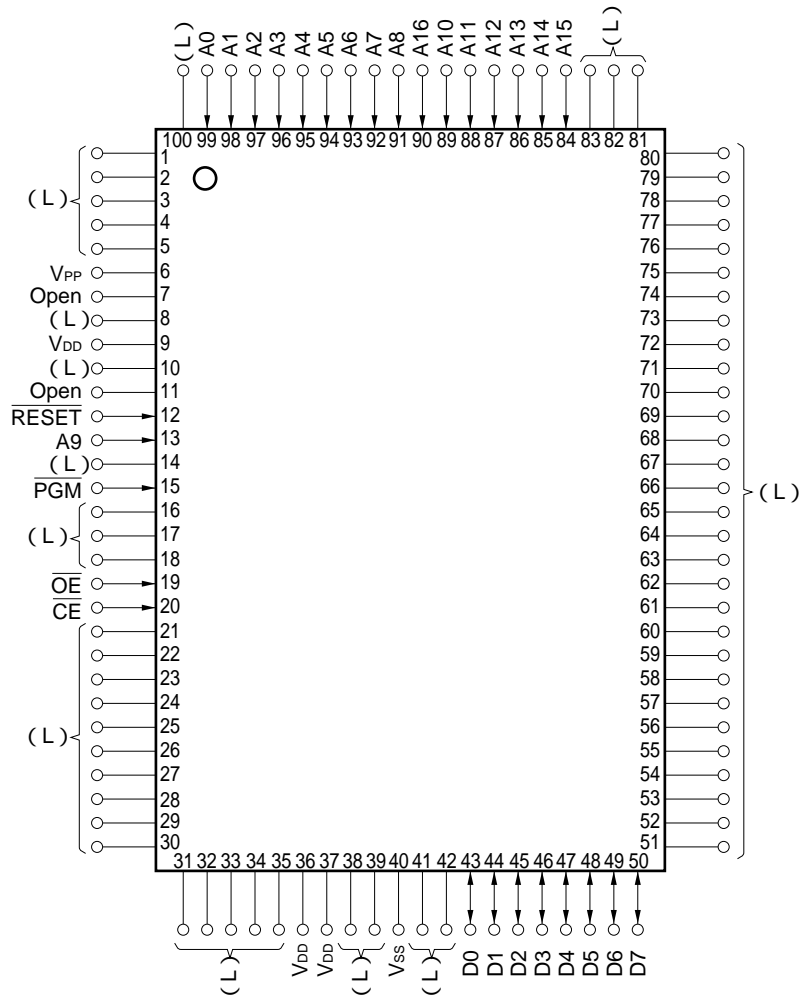
(2) PROMプログラミング・モード

・100ピン・プラスチックLQFP (ファインピッチ) (14×14)



- 注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。
2. V_{SS} : グランドに接続してください。
 3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。
 4. Open : 何も接続しないでください。

・100ピン・プラスチックQFP (14×20)



- 注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。
2. V_{SS} : グランドに接続してください。
 3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。
 4. Open : 何も接続しないでください。

A0-A16 : Address Bus

$\overline{\text{CE}}$: Chip Enable

D0-D7 : Data Bus

$\overline{\text{OE}}$: Output Enable

$\overline{\text{PGM}}$: Program

$\overline{\text{RESET}}$: Reset

V_{DD} : Power Supply

V_{PP} : Programming Power Supply

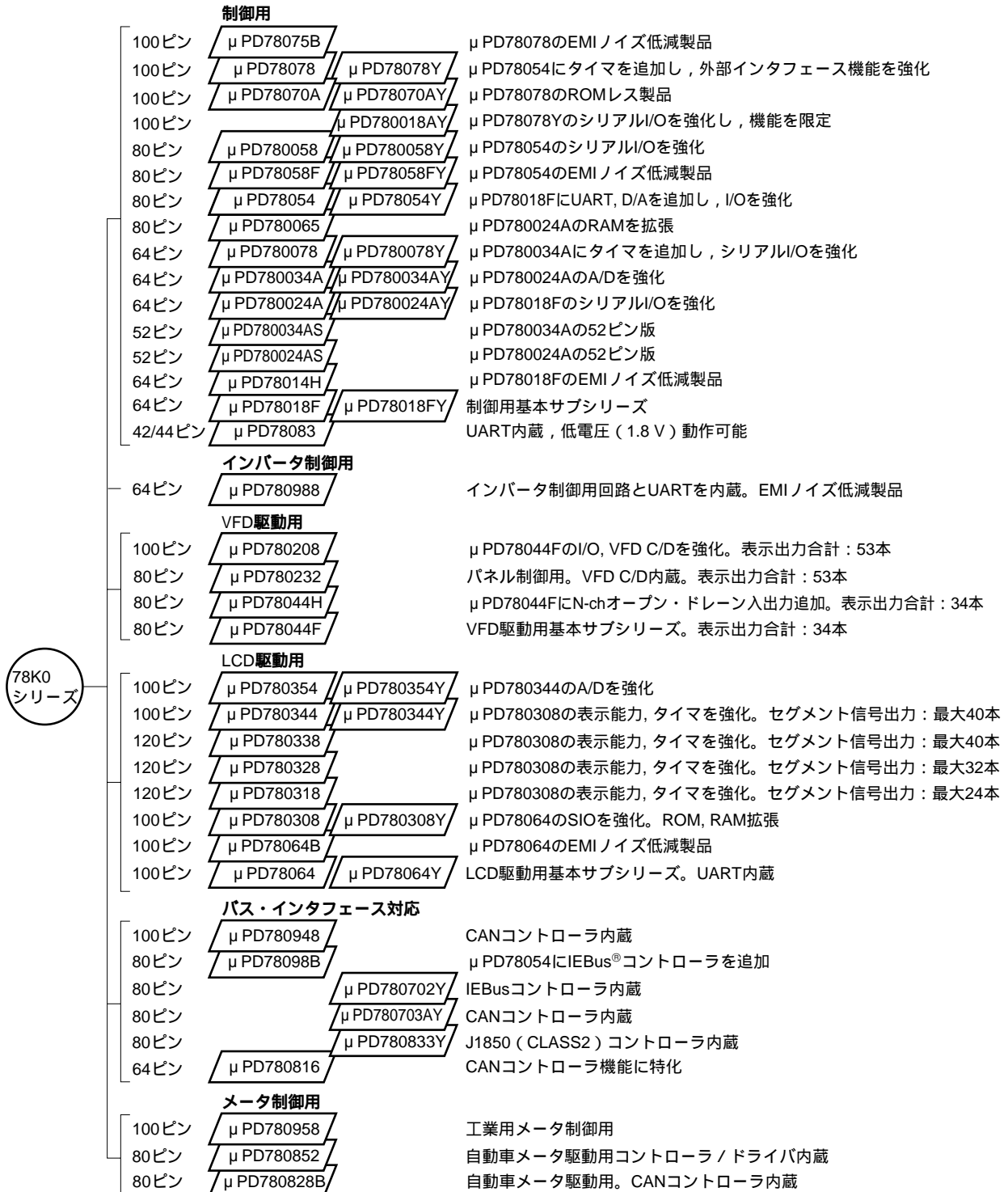
V_{SS} : Ground

1.6 78K0シリーズの展開

78K0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

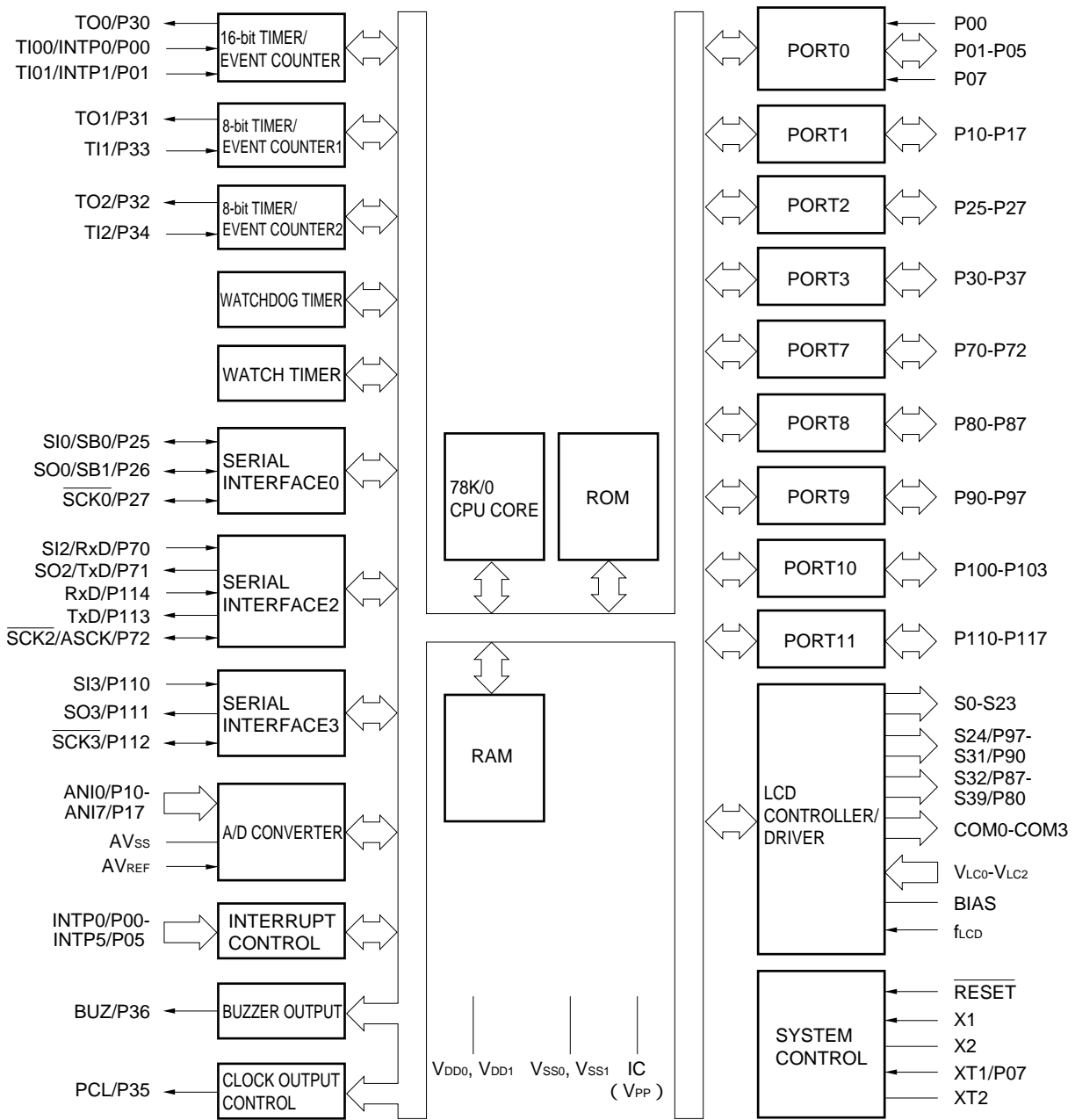
・Yなしサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張			
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A							
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	88本	1.8 V				
	μ PD78078	48 K-60 K									61本	2.7 V				
	μ PD78070A	-														
	μ PD780058	24 K-60 K	2ch						3ch (時分割UART : 1ch)	68本	1.8 V					
	μ PD78058F	48 K-60 K								69本	2.7 V					
	μ PD78054	16 K-60 K										2.0 V				
	μ PD780065	40 K-48 K								-	4ch (UART : 1ch)			60本	2.7 V	
	μ PD780078	48 K-60K										52本		1.8 V		
	μ PD780034A	8 K-32 K													51本	
	μ PD780024A											8ch		-		
	μ PD780034AS											-		4ch	39本	-
	μ PD780024AS											4ch		-		
	μ PD78014H											8ch		2ch	53本	
	μ PD78018F											8 K-60 K			33本	
μ PD78083	8 K-16 K											-	-			
インバータ 制御用	μ PD780988	16 K-60 K										3ch	注	-	1ch	-
VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-			2ch	74本	2.7 V	-	
	μ PD780232	16 K-24 K	3ch	-	-		4ch						40本	4.5 V		
	μ PD78044H	32 K-48 K	2ch	1ch	1ch		8ch					1ch	68本	2.7 V		
	μ PD78044F	16 K-40 K								2ch						
LCD 駆動用	μ PD780354	24K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	3ch (UART : 1ch)	66本	1.8 V	-			
	μ PD780344						8ch	-								
	μ PD780338	48 K-60 K	3ch	2ch			-	10ch	1ch	2ch (UART : 1ch)	54本					
	μ PD780328										62本					
	μ PD780318										70本					
	μ PD780308	48 K-60 K	2ch	1ch				8ch	-	-	3ch (時分割UART : 1ch)	57本		2.0 V		
	μ PD78064B	32 K									2ch (UART : 1ch)					
μ PD78064	16 K-32 K															
バス・イン タフェース 対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	-	-	3ch (UART : 1ch)	79本	4.0 V				
	μ PD78098B	40 K-60 K		1ch								2ch		69本	2.7 V	
	μ PD780816	32 K-60 K		2ch								12ch		-	2ch (UART : 1ch)	46本
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	-	1ch	-	-	-	2ch (UART : 1ch)	69本	2.2 V	-			
ダッシュ ボード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	-	-	3ch (UART : 1ch)	56本	4.0 V	-			
	μ PD780828B	32 K-60 K									59本					

注 16ビット・タイマ : 2チャンネル

10ビット・タイマ : 1チャンネル

1.7 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. ()内はμPD78P0308のとき。

1.8 機能概要

品 名		μPD780306	μPD780308	μPD78P0308
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	拡張RAM	1024バイト		
	LCD表示用RAM	40×4ビット		
汎用レジスタ		8ビット×8×4バンク		
最小命令実行時間	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正 など 		
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能: 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

品 名		μPD780306	μPD780308	μPD78P0308
項 目				
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ割り込み要因	マスカブル	内部 : 13, 外部 : 6		
	ノンマスカブル	内部 : 1		
	ソフトウェア	1		
テスト入力		内部 : 1本, 外部 : 1本		
電源電圧		V _{DD} = 2.0 ~ 5.5 V		
動作周囲温度		T _A = - 40 ~ + 85		
パッケージ		・ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14) ・ 100ピン・プラスチックQFP (14 × 20)		

1.9 マスク・オプションについて

マスクROM製品 (μPD780306, 780308) には, マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより, 表1 - 1に示すLCD駆動電圧を作るための分割抵抗を内蔵することができます。外付け分割抵抗なしで各バイアス法に応じたLCD駆動電圧を作ることができるため, 部品点数の削減と実装面積の縮小を図ることができます。

μPD780308サブシリーズで用意されているマスク・オプションを表1 - 1に示します。

表1 - 1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
V _{LC0} -V _{LC2}	分割抵抗を内蔵できます。

第2章 概 説 (μPD780308Yサブシリーズ)

2.1 特 徴

大容量ROM, RAM内蔵

品名	項目 プログラム・メモリ (ROM)	データ・メモリ		
		内部高速RAM	内部拡張RAM	LCD表示用RAM
μPD780306Y	48 Kバイト	1024バイト	1024バイト	40×4ビット
μPD780308Y	60 Kバイト			
μPD78P0308Y	60 Kバイト ^注			

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

高速 (0.4 μs : メイン・システム・クロック5.0 MHz動作時) から超低速 (122 μs : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間変更可能

システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

I/Oポート : 57本 (セグメント信号出力兼用端子を含む)

LCDコントローラ / ドライバ

- ・セグメント信号出力 : 最大40本
- ・コモン信号出力 : 最大4本
- ・バイアス : 1/2, 1/3バイアス切り替え可能
- ・電源電圧 $V_{DD} = 2.0 \sim 5.5 V$ (すべてのモードで動作可能)

8ビット分解能A/Dコンバータ : 8チャンネル

シリアル・インタフェース : 3チャンネル

- ・3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード : 1チャンネル
- ・3線式シリアルI/O / UARTモード : 1チャンネル
- ・3線式シリアルI/Oモード : 1チャンネル

タイマ : 5チャンネル

- ・16ビット・タイマ / イベント・カウンタ : 1チャンネル
- ・8ビット・タイマ / イベント・カウンタ : 2チャンネル
- ・時計用タイマ : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

ベクタ割り込み要因 : 21

テスト入力 : 2本

2種類のクロック発振回路内蔵 (メイン・システム・クロックとサブシステム・クロック)

電源電圧 : $V_{DD} = 2.0 \sim 5.5 V$

2.2 応用分野

携帯電話，CDプレーヤ，カメラ，メータ類，オーディオ製品など

2.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD780306YGC-xxx-8EU	100ピン・プラスチックLQFP(ファインピッチ)(14×14)	マスクROM
μPD780306YGC-xxx-8EU-A	"	"
μPD780306YGF-xxx-3BA	100ピン・プラスチックQFP(14×20)	"
μPD780306YGF-xxx-3BA-A	"	"
μPD780308YGC-xxx-8EU	100ピン・プラスチックLQFP(ファインピッチ)(14×14)	"
μPD780308YGC-xxx-8EU-A	"	"
μPD780308YGF-xxx-3BA	100ピン・プラスチックQFP(14×20)	"
μPD780308YGF-xxx-3BA-A	"	"
μPD78P0308YGC-8EU	100ピン・プラスチックLQFP(ファインピッチ)(14×14)	ワン・タイムPROM
μPD78P0308YGC-8EU-A	"	"
μPD78P0308YGF-3BA	100ピン・プラスチックQFP(14×20)	"
μPD78P0308YGF-3BA-A	"	"

備考1. xxxはROMコード番号です。

2. オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

2.4 品質水準

オーダ名称	パッケージ	品質水準
μPD780306YGC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	標準 (一般電子機器用)
μPD780306YGC- x x x -8EU-A	"	"
μPD780306YGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD780306YGF- x x x -3BA-A	"	"
μPD780308YGC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μPD780308YGC- x x x -8EU-A	"	"
μPD780308YGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	"
μPD780308YGF- x x x -3BA-A	"	"
μPD78P0308YGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μPD78P0308YGC-8EU-A	"	"
μPD78P0308YGF-3BA	100ピン・プラスチックQFP (14×20)	"
μPD78P0308YGF-3BA-A	"	"

備考1. x x x はROMコード番号です。

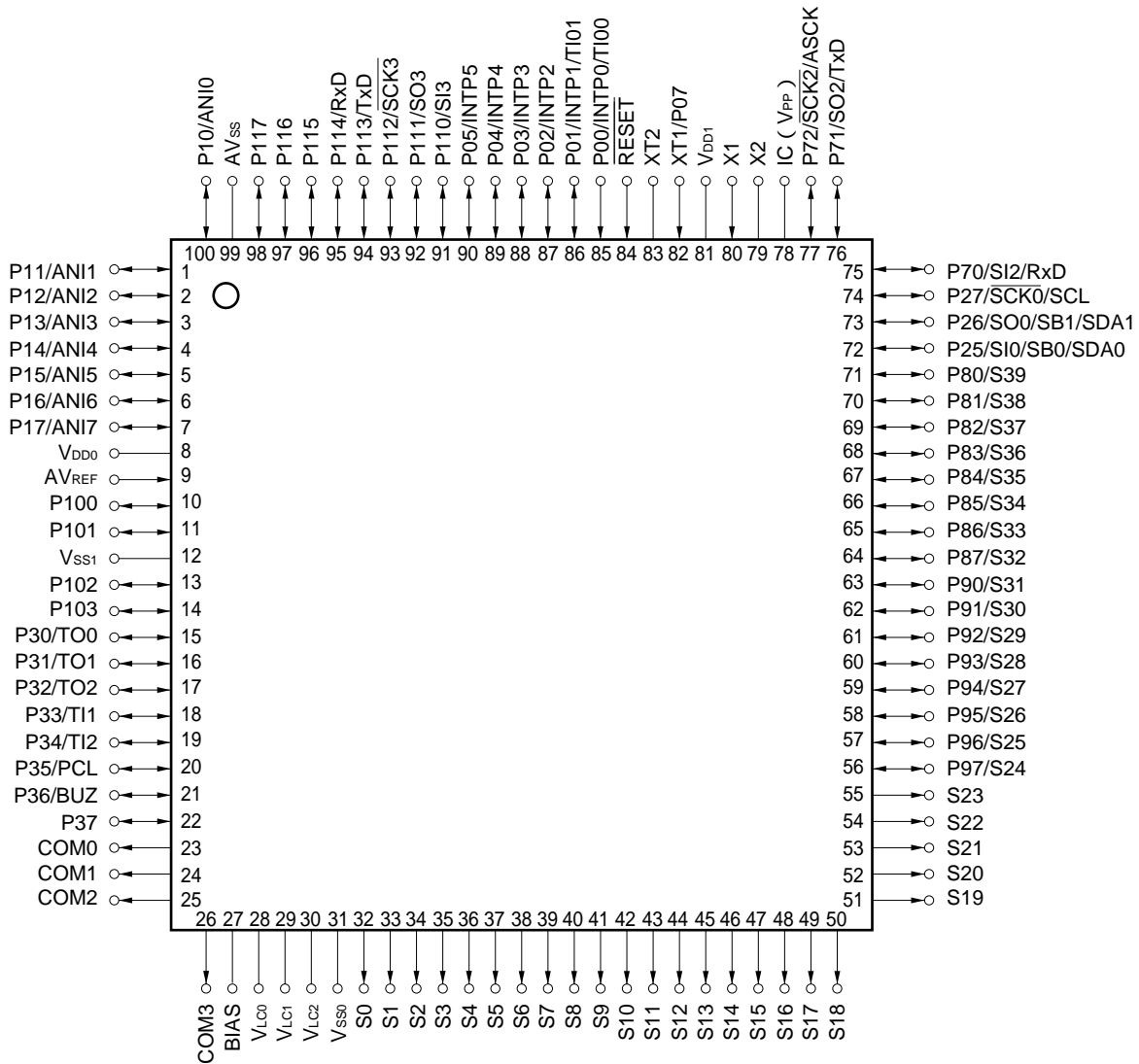
2. オーダ名称の末尾「-A」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC半導体デバイスの品質水準」(資料番号C11531J)をご覧ください。

2.5 端子接続図 (Top View)

(1) 通常動作モード

・100ピン・プラスチックLQFP (ファインピッチ) (14×14)



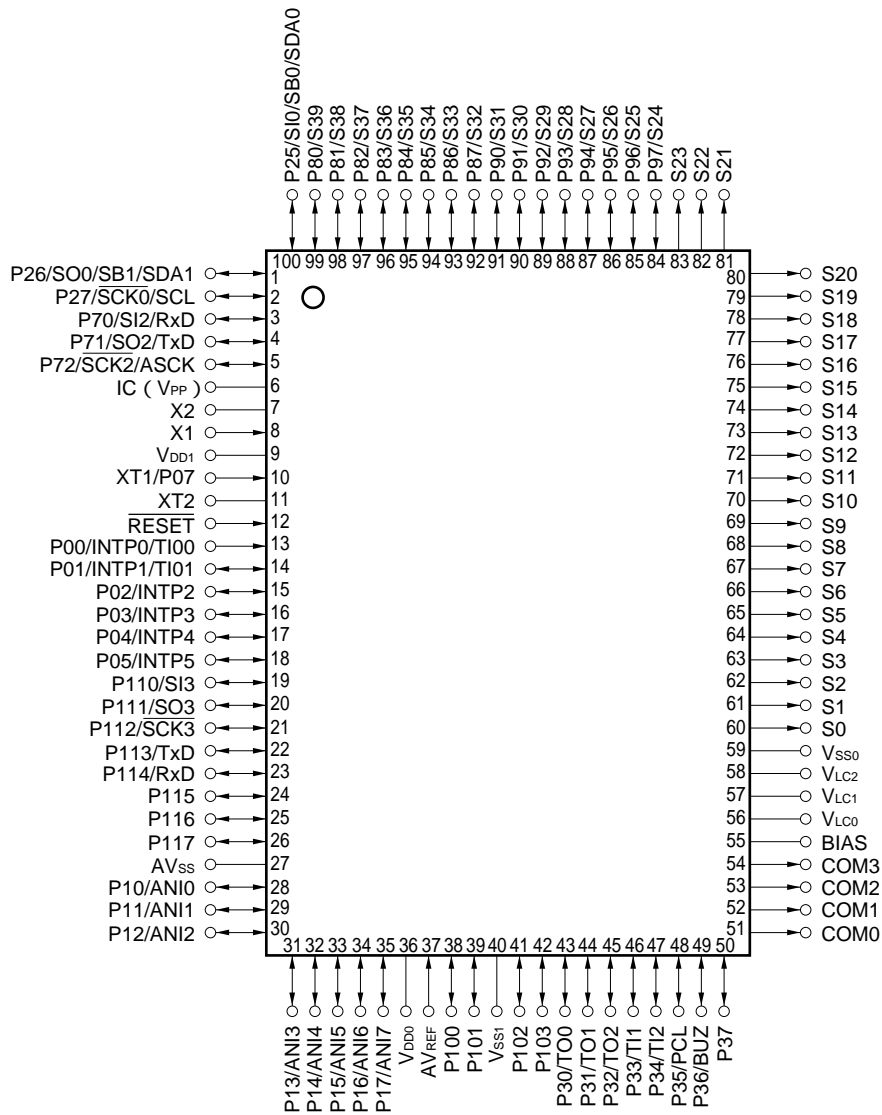
注意1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

備考1. () 内はμPD78P0308Yのとき。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

・100ピン・プラスチックQFP (14×20)



注意1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

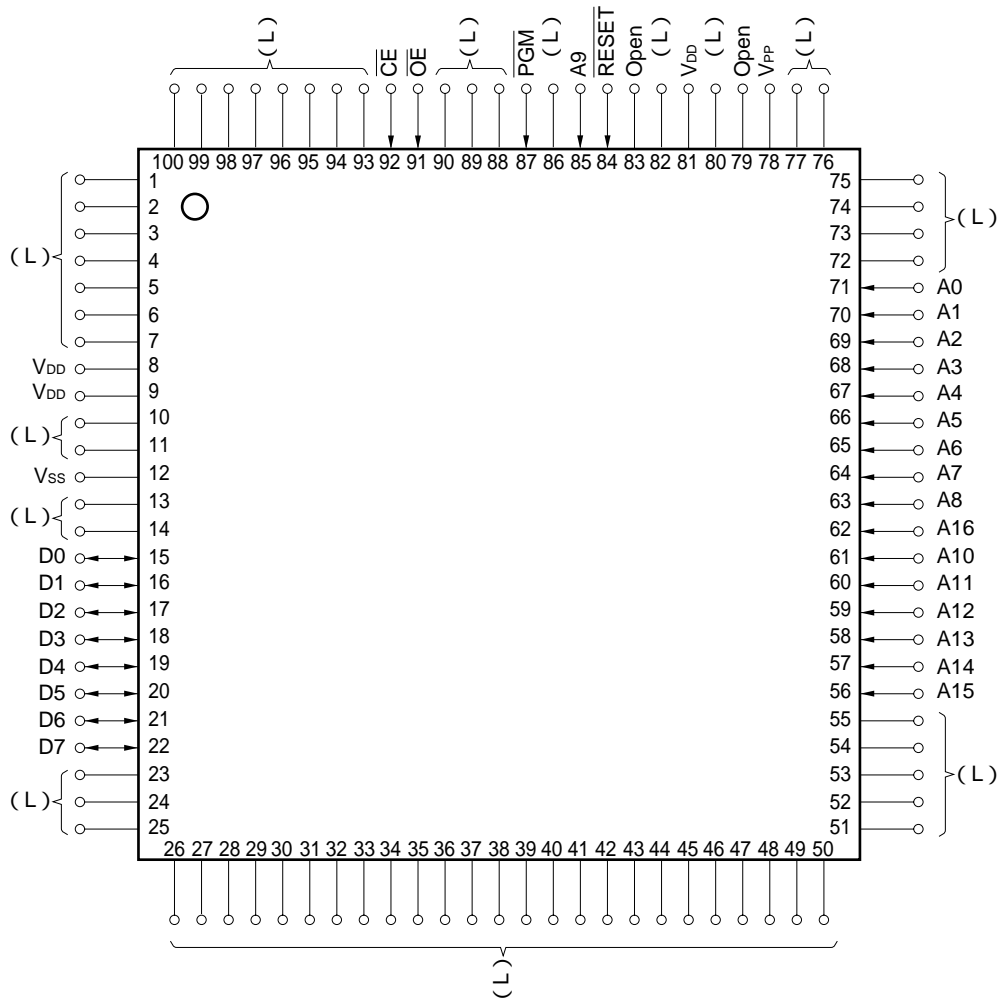
備考1. () 内はμPD78P0308Yのとき。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$: Reset
ASCK	: Asynchronous Serial Clock	RxD	: Receive Data
AV _{REF}	: Analog Reference Voltage	S0-S39	: Segment Output
AV _{SS}	: Analog Ground	SB0, SB1	: Serial Bus
BIAS	: LCD Power Supply Bias Control	$\overline{\text{SCK0}}, \overline{\text{SCK2}}, \overline{\text{SCK3}}$: Serial Clock
BUZ	: Buzzer Clock	SCL	: Serial Clock
COM0-COM3	: Common Output	SDA0, SDA1	: Serial Data
INTP0-INTP5	: Interrupt from Peripherals	SI0, SI2, SI3	: Serial Input
IC	: Internally Connected	SO0, SO2, SO3	: Serial Output
P00-P05, P07	: Port0	TI00, TI01	: Timer Input
P10-P17	: Port1	TI1, TI2	: Timer Input
P25-P27	: Port2	TO0-TO2	: Timer Output
P30-P37	: Port3	TxD	: Transmit Data
P70-P72	: Port7	V _{DD0} , V _{DD1}	: Power Supply
P80-P87	: Port8	V _{LC0} -V _{LC2}	: LCD Power Supply
P90-P97	: Port9	V _{PP}	: Programming Power Supply
P100-P103	: Port10	V _{SS0} , V _{SS1}	: Ground
P110-P117	: Port11	X1, X2	: Crystal (Main System Clock)
PCL	: Programmable Clock	XT1, XT2	: Crystal (Subsystem Clock)

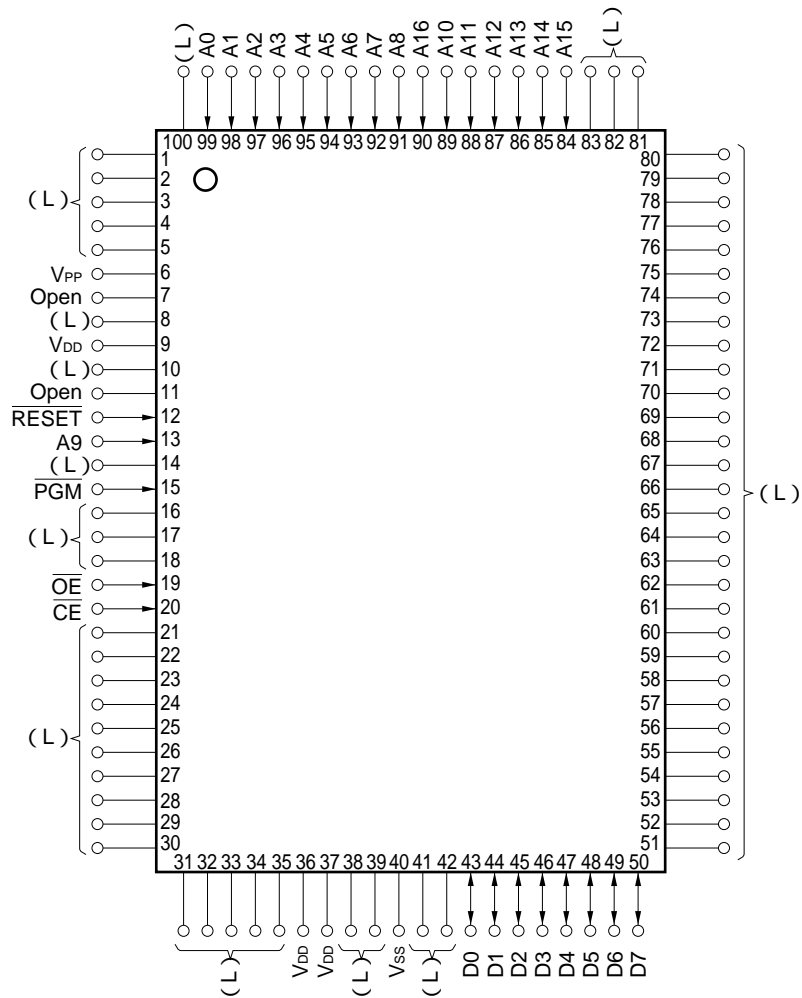
(2) PROMプログラミング・モード

・100ピン・プラスチックLQFP (ファインピッチ) (14×14)



- 注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。
2. V_{SS} : グランドに接続してください。
 3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。
 4. Open : 何も接続しないでください。

・100ピン・プラスチックQFP (14×20)



- 注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。
2. V_{SS} : グランドに接続してください。
 3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。
 4. Open : 何も接続しないでください。

A0-A16 : Address Bus

$\overline{\text{CE}}$: Chip Enable

D0-D7 : Data Bus

$\overline{\text{OE}}$: Output Enable

$\overline{\text{PGM}}$: Program

$\overline{\text{RESET}}$: Reset

V_{DD} : Power Supply

V_{PP} : Programming Power Supply

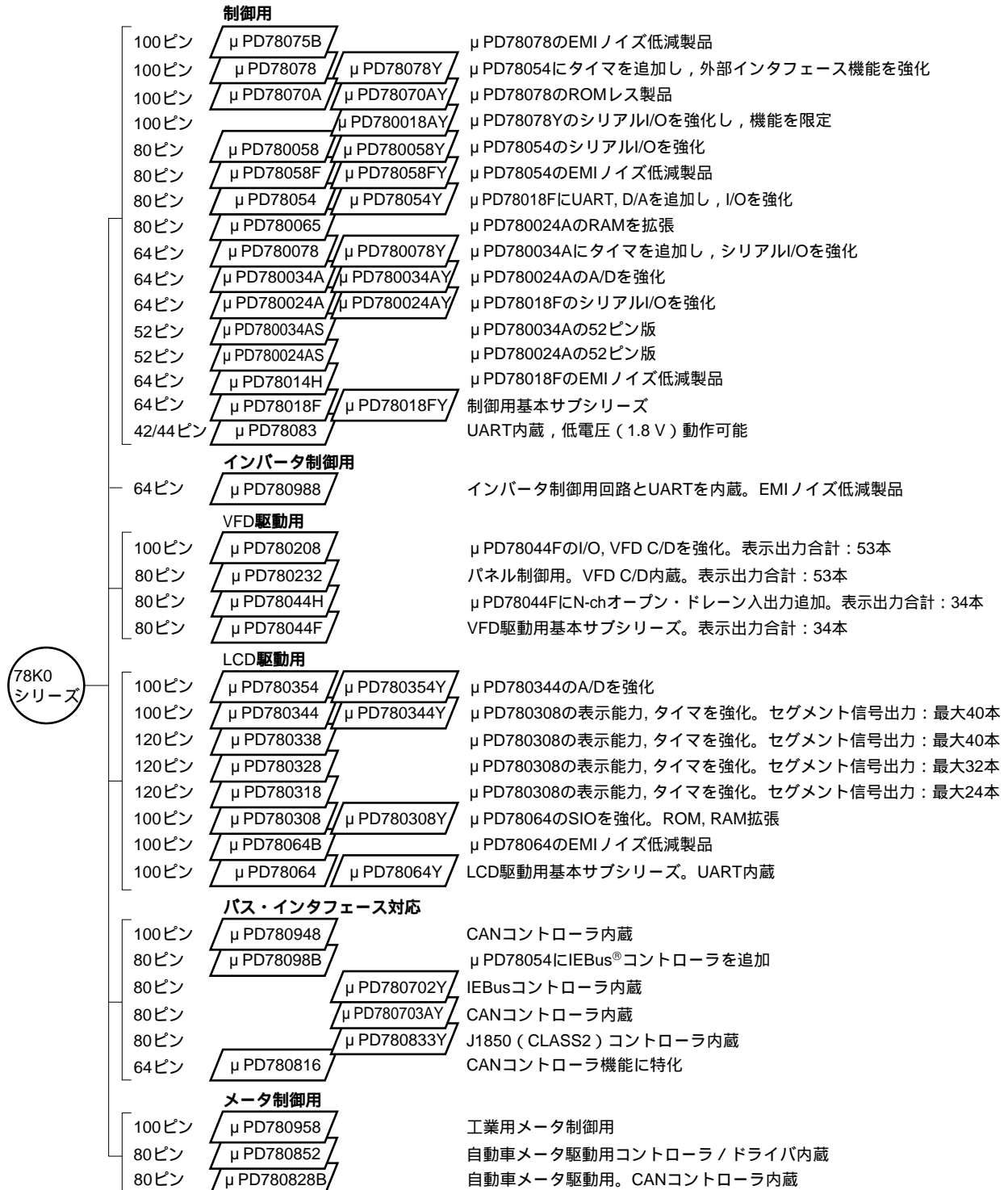
V_{SS} : Ground

2.6 78K0シリーズの展開

78K0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

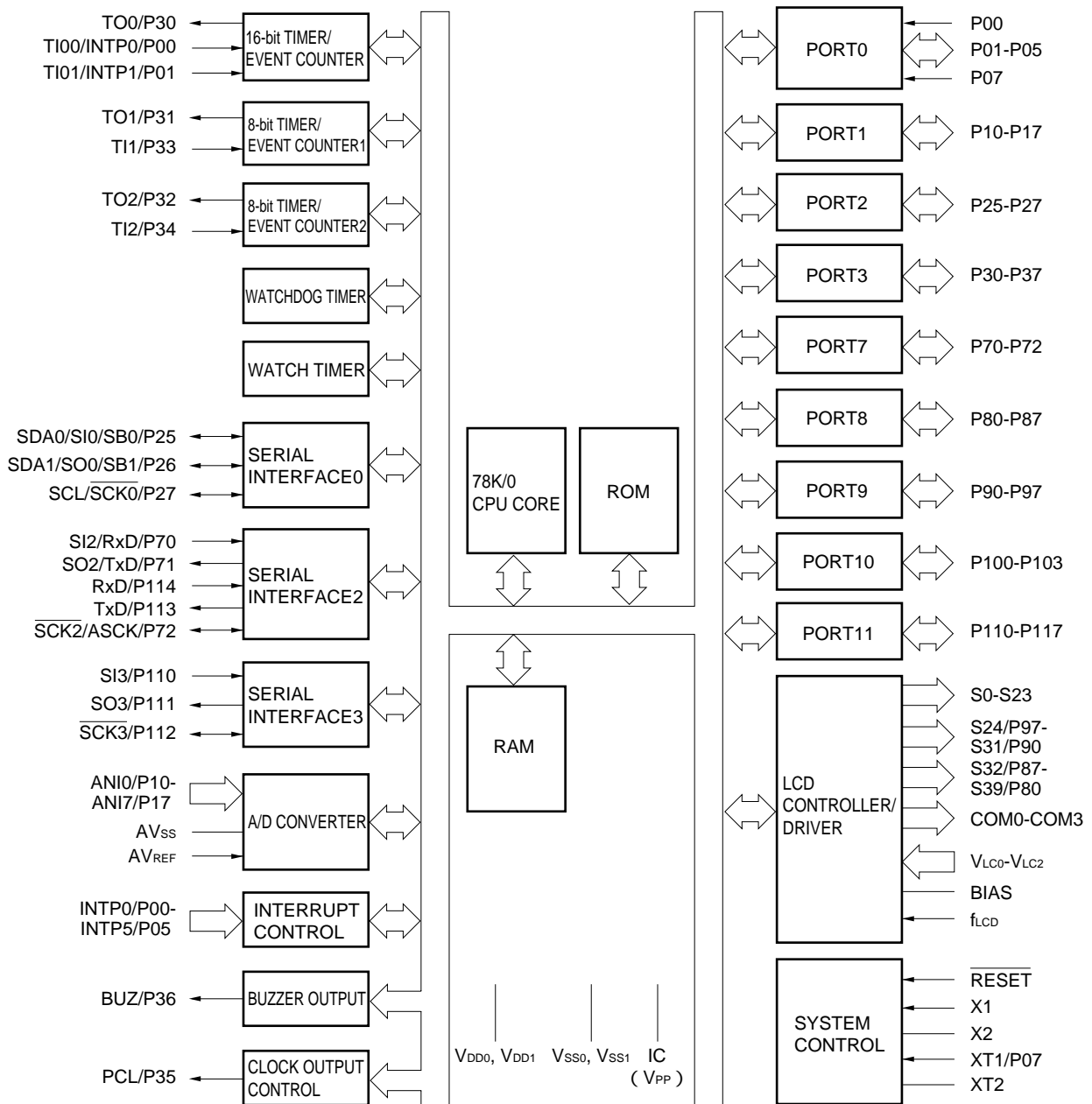
各サブシリーズ間の主な機能の違いを次に示します。

・Yサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μPD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch, I ² C : 1ch)	88本	1.8 V	
	μPD78070AY	-								61本	2.7 V		
	μPD780018AY	48 K-60 K								-	3ch (I ² C : 1ch)	88本	
	μPD780058Y	24 K-60 K	2ch						2ch	3ch (時分割UART : 1ch, I ² C : 1ch)	68本	1.8 V	
	μPD78058FY	48 K-60 K								3ch (UART : 1ch, I ² C : 1ch)	69本	2.7 V	
	μPD78054Y	16 K-60 K									2.0 V		
	μPD780078Y	48 K-60 K		2ch			-	8ch	-	4ch (UART : 2ch, I ² C : 1ch)	52本	1.8 V	
	μPD780034AY	8 K-32 K		1ch						3ch (UART : 1ch, I ² C : 1ch)	51本		
	μPD780024AY						8ch	-		I ² C : 1ch)			
μPD78018FY	8 K-60 K								2ch (I ² C : 1ch)	53本			
LCD 駆動用	μPD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	4ch (UART : 1ch, I ² C : 1ch)	66本	1.8 V	-
	μPD780344Y						8ch	-					
	μPD780308Y	48 K-60 K	2ch						3ch (時分割UART : 1ch, I ² C : 1ch)	57本	2.0 V		
μPD78064Y	16 K-32 K								2ch (UART : 1ch, I ² C : 1ch)				
バス・イン タフェース 対応	μPD780702Y	60 K	3ch	2ch	1ch	1ch	16ch	-	-	4ch (UART : 1ch, I ² C : 1ch)	67本	3.5 V	-
	μPD780703AY	59.5 K											
	μPD780833Y	60 K									65本	4.5 V	

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です (Yなしサブシリーズがある場合)。

2.7 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. ()内はμPD78P0308Yのとき。

2.8 機能概要

品 名		μPD780306Y	μPD780308Y	μPD78P0308Y
項 目				
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	拡張RAM	1024バイト		
	LCD表示用RAM	40 × 4ビット		
汎用レジスタ		8ビット × 8 × 4バンク		
最小命令実行時間	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正 など 		
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 		
A/Dコンバータ		8ビット分解能 × 8チャンネル		
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能 : 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

品 名		μPD780306Y	μPD780308Y	μPD78P0308Y
項 目				
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ割り込み要因	マスカブル	内部 : 13, 外部 : 6		
	ノンマスカブル	内部 : 1		
	ソフトウェア	1		
テスト入力		内部 : 1本, 外部 : 1本		
電源電圧		V _{DD} = 2.0 ~ 5.5 V		
動作周囲温度		T _A = - 40 ~ + 85		
パッケージ		・ 100ピン・プラスチックLQFP (14 × 14) ・ 100ピン・プラスチックQFP (14 × 20)		

2.9 マスク・オプションについて

マスクROM製品 (μPD780306Y, 780308Y) には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表2 - 1に示すLCD駆動電圧を作るための分割抵抗を内蔵することができます。外付け分割抵抗なしで各バイアス法に応じたLCD駆動電圧を作ることができるため、部品点数の削減と実装面積の縮小を図ることができます。

μPD780308Yサブシリーズで用意されているマスク・オプションを表2 - 1に示します。

表2 - 1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
V _{LC0} -V _{LC2}	分割抵抗を内蔵できます。

第3章 端子機能 (μ PD780308サブシリーズ)

3.1 端子機能一覧

3.1.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-

- 注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) に1を設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。
2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するとき、内蔵プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	SI2/RxD
P71				SO2/TxD
P72				SCK2/ASCK
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。	入力	S39-S32
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。	入力	S31-S24
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P110	入出力	ポート11。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出可能。	入力	SI3
P111				SO3
P112				SCK3
P113				TxD
P114				RxD
P115-P117				-

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0
SI2				P70/RxD
SI3				P110
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1
SO2				P71/TxD
SO3				P111
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27
SCK2				P72/ASCK
SCK3				P112
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2, P114
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2, P113
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/SCK2
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ/ドライバのセグメント信号出力。	出力	-
S24-S31			入力	P97-P90
S32-S39				P87-P80
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力。	出力	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧 (マスクROM製品は, マスク・オプションにより, 分割抵抗の内蔵が可能)。	-	-
BIAS	-	LCD駆動用電源供給。	-	-

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AV _{REF}	入力	A/Dコンバータの基準電圧入力 (アナログ電源と兼用)。	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS0} と同電位。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{DD1}	-	正電源 (ポート, アナログ部を除く)。	-	-
V _{SS1}	-	グランド電位 (ポート, アナログ部を除く)。	-	-
V _{PP}	-	プログラム書き込み / ベリファイ時の高電圧印加。通常動作モード時は, V _{SS0} またはV _{SS1} に直接接続。	-	-
IC	-	内部接続。V _{SS0} またはV _{SS1} に直接接続。	-	-

3.1.2 PROMプログラミング・モード時の端子 (μPD78P0308のみ)

端子名称	入出力	機 能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に +5 Vまたは +12.5 V, RESET端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み / ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力 / プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム / プログラム・インヒビット入力。
V _{DD}	-	正電源。
V _{SS}	-	グランド電位。

3.2 端子機能の説明

3.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート、P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP5

INTP0-INTP5は、有効エッジ (立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。また、INTP0, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

3.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力として指定した端子は、プルアップ抵抗が自動的に使用されなくなります。

3.2.3 P25-P27 (Port2)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) SB0, SB1

NECエレクトロニクス標準シリアル・バス・インタフェース用入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

3.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(b) TO0-TO2

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

3.2.5 P70-P72 (Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK2}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

3.2.6 P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子 (S32-S39) として機能します。

3.2.7 P90-P97 (Port9)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子 (S24-S31) として機能します。

3.2.8 P100-P103 (Port10)

4ビットの入出力ポートです。ポート・モード・レジスタ10 (PM10) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

3.2.9 P110-P117 (Port11)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

立ち下がリエッジの検出により、テスト入力フラグ (KRIF) を1にセットできます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI3, SO3

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧、および図18-3 シリアル動作モード・レジスタ3のフォーマットを参照してください。

3.2.10 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。スタティック (COM0-COM3出力)、1/2バイアス法の2時分割駆動時 (COM0, COM1出力) または3時分割駆動時 (COM0-COM2出力)、1/3バイアス法の3時分割駆動時 (COM0-COM2出力) または4時分割駆動時 (COM0-COM3出力) にコモン信号を出力します。

3.2.11 VLC0-VLC2

LCD駆動用電圧端子です。マスクROM製品は、VLC0-VLC2端子の内部に各バイアスに応じたLCD駆動用電圧を外付け分割抵抗なしで供給できるように、マスク・オプションにより分割抵抗を内蔵することができます。

3.2.12 BIAS

LCD駆動用電源供給端子です。各種のLCD駆動電圧に対応するために V_{Lc0} 端子と接続し、抵抗分割比率を変えたり、 V_{Lc0} - V_{Lc2} 端子や V_{SS1} 端子とともに外部に抵抗を接続し、LCD駆動電源電圧値の微調整を行うために使用します。

3.2.13 AVREF

A/Dコンバータの基準電圧入力端子です。また、アナログ電源の機能を兼用していますので、A/Dコンバータを使用する場合は電源を供給してください。

A/Dコンバータを使用しない場合は V_{SS0} に接続してください。

3.2.14 AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

3.2.15 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.16 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.17 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

3.2.18 V_{DD0} , V_{DD1}

V_{DD0} は、ポート部の正電源供給端子です。

V_{DD1} は、ポート部以外の正電源供給端子です。

3.2.19 V_{SS0} , V_{SS1}

V_{SS0} は、ポート部のグランド電位端子です。

V_{SS1} は、ポート部以外のグランド電位端子です。

3.2.20 V_{PP} (μPD78P0308のみ)

PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

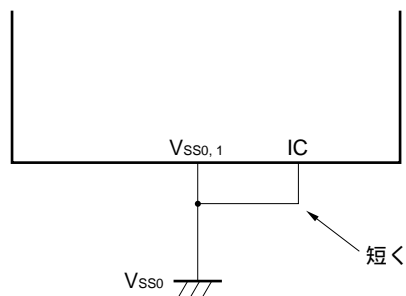
通常動作モード時は、 V_{SS0} または V_{SS1} に直接接続してください。

3.2.21 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD780308サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子を V_{SS0} または V_{SS1} 端子に直接接続し、その配線長を極力短くしてください。

IC端子と V_{SS0} または V_{SS1} 端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子と V_{SS0} または V_{SS1} 端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子を V_{SS0} または V_{SS1} 端子に直接接続してください。



3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS0} に接続		
P01/INTP1/TI01	8-C	入出力	個別に抵抗を介して、V _{SS0} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P07/XT1	16	入力	V _{DD0} に接続		
P10/ANI0-P17/ANI7	11-B	入出力	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続		
P25/SI0/SB0	10-B				
P26/SO0/SB1					
P27/SCK ₀					
P30/TO0	5-H				
P31/TO1					
P32/TO2					
P33/TI1	8-C				
P34/TI2					
P35/PCL	5-H				
P36/BUZ					
P37					
P70/SI2/RxD	8-C				
P71/SO2/TxD	5-H				
P72/SCK2/ASCK	8-C				
P80/S39-P87/S32	17-C				
P90/S31-P97/S24					
P100-P103	5-H				
P110/SI3	8-C				個別に抵抗を介して、V _{DD0} に接続
P111/SO3					
P112/SCK3					
P113/TxD					
P114/RxD					
P115-P117					
S0-S23	17-B	出力	オープン		
COM0-COM3	18-A				

表3 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
V _{LC0} -V _{LC2}	-	-	オープン
BIAS			
RESET	2	入力	-
XT2	16	-	オープン
AV _{REF}	-	-	V _{SS0} に接続
AV _{SS}			V _{SS0} に接続
IC (マスクROM製品)			V _{SS0} またはV _{SS1} に直接接続
V _{PP} (μPD78P0308)			

図3 - 1 端子の入出力回路一覧 (1/2)

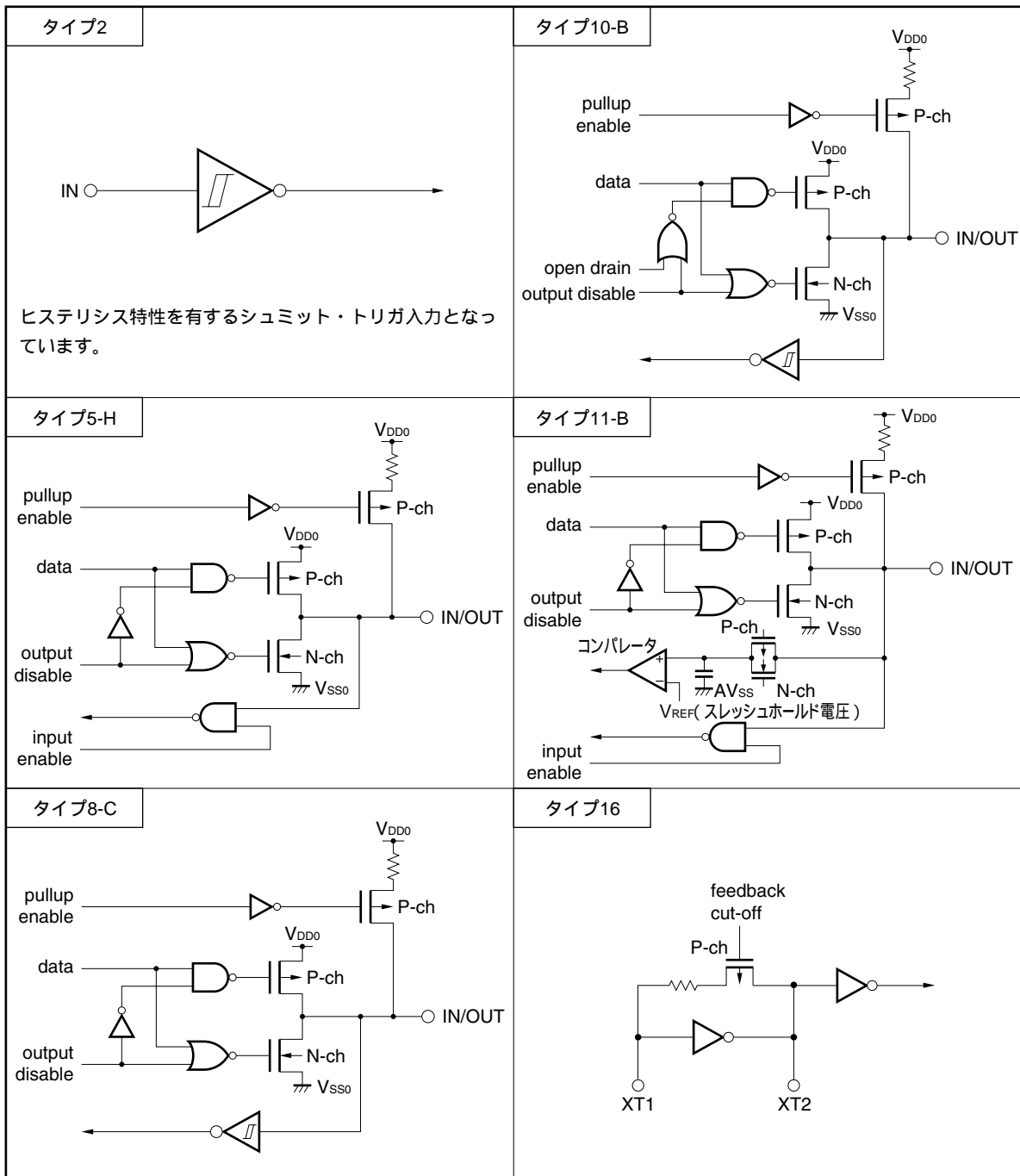
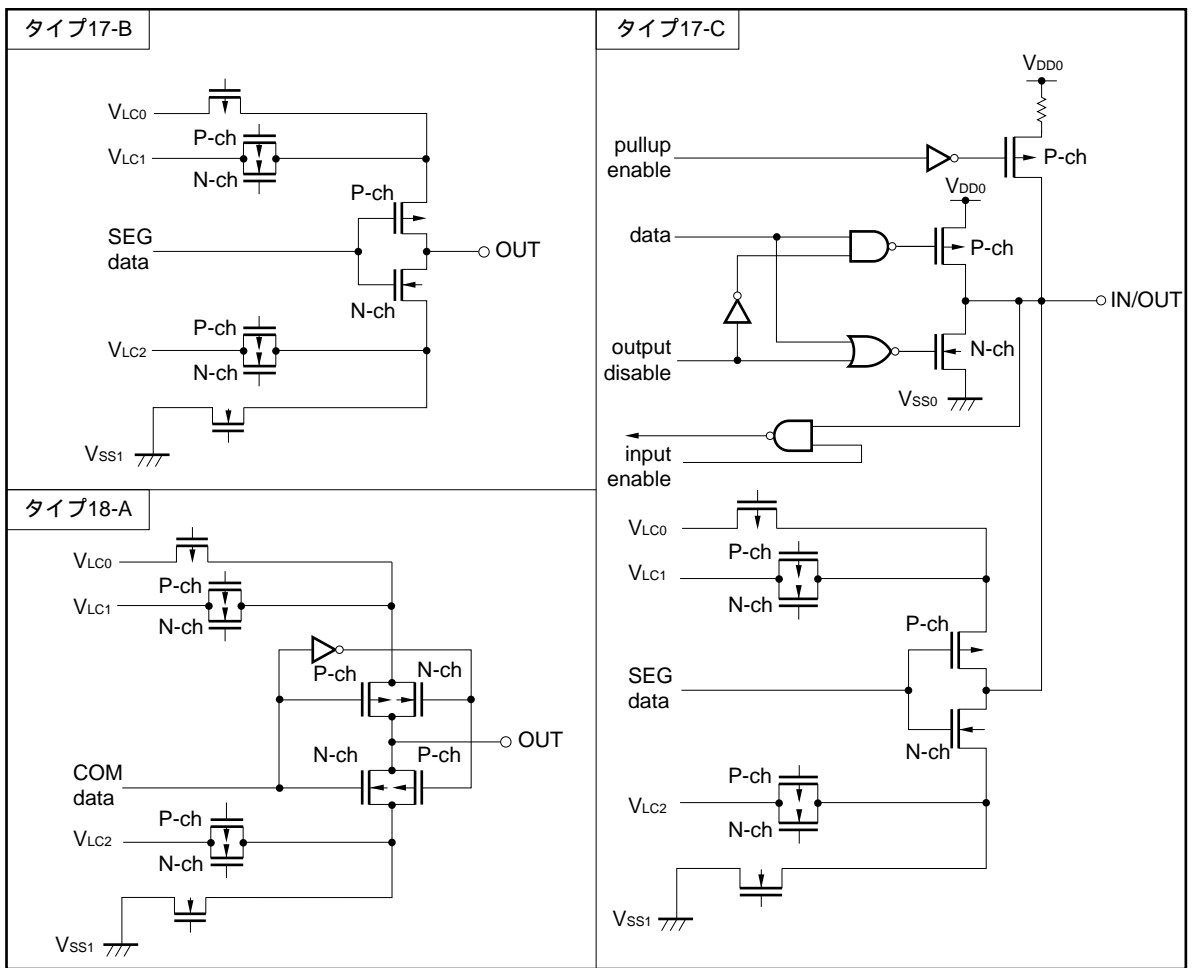


図3 - 1 端子の入出力回路一覧 (2/2)



第4章 端子機能 (μPD780308Yサブシリーズ)

4.1 端子機能一覧

4.1.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}					入力
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-

注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) に1を設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するときは、内蔵プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	SI2/RxD
P71				SO2/TxD
P72				SCK2/ASCK
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。	入力	S39-S32
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。	入力	S31-S24
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P110	入出力	ポート11。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出可能。	入力	SI3
P111				SO3
P112				SCK3
P113				TxD
P114				RxD
P115-P117				-

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI2				P70/RxD
SI3				P110
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO2				P71/TxD
SO3				P111
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27/SCL
$\overline{\text{SCK2}}$				P72/ASCK
$\overline{\text{SCK3}}$				P112
SCL				P27/ $\overline{\text{SCK0}}$
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2, P114
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2, P113
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/ $\overline{\text{SCK2}}$
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ/ドライバのセグメント信号出力。	出力	-
S24-S31			入力	P97-P90
S32-S39			入力	P87-P80
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力。	出力	-

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
V _{LC0} -V _{LC2}	-	LCD駆動用電圧 (マスクROM製品は、マスク・オプションにより、分割抵抗の内蔵が可能)。	-	-
BIAS	-	LCD駆動用電源供給。	-	-
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AV _{REF}	入力	A/Dコンバータの基準電圧入力 (アナログ電源と兼用)。	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS0} と同電位。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{DD1}	-	正電源 (ポート, アナログ部を除く)。	-	-
V _{SS1}	-	グランド電位 (ポート, アナログ部を除く)。	-	-
V _{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V _{SS0} またはV _{SS1} に直接接続。	-	-
IC	-	内部接続。V _{SS0} またはV _{SS1} に直接接続。	-	-

4. 1. 2 PROMプログラミング・モード時の端子 (μPD78P0308Yのみ)

端子名称	入出力	機 能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5 Vまたは+12.5 V, RESET端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
\overline{CE}	入力	PROMイネーブル入力/プログラム・パルス入力。
\overline{OE}	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	-	正電源。
V _{SS}	-	グランド電位。

4.2 端子機能の説明

4.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート、P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP5

INTP0-INTP5は、有効エッジ (立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。また、INTP0, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

4.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力として指定した端子は、プルアップ抵抗が自動的に使用されなくなります。

4.2.3 P25-P27 (Port2)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0, SB0, SB1, SDA0, SDA1

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$, SCL

シリアル・インタフェースのシリアル・クロックの入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

4.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

(b) TO0-TO2

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

4.2.5 P70-P72 (Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK2}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

4.2.6 P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子 (S32-S39) として機能します。

4.2.7 P90-P97 (Port9)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子 (S24-S31) として機能します。

4.2.8 P100-P103 (Port10)

4ビットの入出力ポートです。ポート・モード・レジスタ10 (PM10) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

4.2.9 P110-P117 (Port11)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH (PUOH) により、内蔵プルアップ抵抗を使用できます。

立ち下がリエッジの検出により、テスト入力フラグ (KRIF) を1にセットできます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI3, SO3

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧、および図18-3 シリアル動作モード・レジスタ3のフォーマットを参照してください。

4.2.10 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。スタティック (COM0-COM3出力)、1/2バイアス法の2時分割駆動時 (COM0, COM1出力) または3時分割駆動時 (COM0-COM2出力)、1/3バイアス法の3時分割駆動時 (COM0-COM2出力) または4時分割駆動時 (COM0-COM3出力) にコモン信号を出力します。

4.2.11 VLC0-VLC2

LCD駆動用電圧端子です。マスクROM製品は、VLC0-VLC2端子の内部に各バイアスに応じたLCD駆動用電圧を外付け分割抵抗なしで供給できるように、マスク・オプションにより、分割抵抗を内蔵することができます。

4.2.12 BIAS

LCD駆動用電源供給端子です。各種のLCD駆動電圧に対応するために V_{LCO} 端子と接続し、抵抗分割比率を変えたり、 V_{LCO} - V_{LC2} 端子や V_{SS1} 端子とともに外部に抵抗を接続し、LCD駆動電源電圧値の微調整を行うために使用します。

4.2.13 AVREF

A/Dコンバータの基準電圧入力端子です。また、アナログ電源の機能を兼用していますので、A/Dコンバータを使用する場合は電源を供給してください。

A/Dコンバータを使用しない場合は V_{SS0} に接続してください。

4.2.14 AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

4.2.15 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

4.2.16 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

4.2.17 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

4.2.18 V_{DD0} , V_{DD1}

V_{DD0} は、ポート部の正電源供給端子です。

V_{DD1} は、ポート部以外の正電源供給端子です。

4.2.19 V_{SS0} , V_{SS1}

V_{SS0} は、ポート部のグランド電位端子です。

V_{SS1} は、ポート部以外のグランド電位端子です。

4.2.20 V_{PP} (μPD78P0308Yのみ)

PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

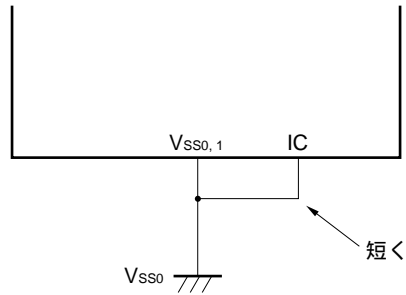
通常動作モード時は、 V_{SS0} または V_{SS1} に直接接続してください。

4.2.21 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にμPD780308Yサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}またはV_{SS1}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS0}またはV_{SS1}端子に直接接続してください。



4.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表4 - 1に示します。

また、各タイプの入出力回路の構成は、図4 - 1を参照してください。

表4 - 1 各端子の入出力回路タイプ (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS0} に接続		
P01/INTP1/TI01	8-C	入出力	個別に抵抗を介して、V _{SS0} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P07/XT1	16	入力	V _{DD0} に接続		
P10/ANI0-P17/ANI7	11-B	入出力	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続		
P25/SI0/SB0/SDA0	10-B				
P26/SO0/SB1/SDA1					
P27/SCK0/SCL					
P30/TO0	5-H				
P31/TO1					
P32/TO2					
P33/TI1	8-C				
P34/TI2					
P35/PCL	5-H				
P36/BUZ					
P37					
P70/SI2/RxD	8-C				
P71/SO2/TxD	5-H				
P72/SCK2/ASCK	8-C				
P80/S39-P87/S32	17-C				
P90/S31-P97/S24					
P100-P103	5-H				
P110/SI3	8-C				個別に抵抗を介して、V _{DD0} に接続
P111/SO3					
P112/SCK3					
P113/TxD					
P114/RxD					
P115-P117					
S0-S23	17-B	出力	オープン		
COM0-COM3	18-A				

表4 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
V _{LC0} -V _{LC2}	-	-	オープン
BIAS			
RESET	2	入力	-
XT2	16	-	オープン
AV _{REF}	-	-	V _{SS0} に接続
AV _{SS}			V _{SS0} に接続
IC (マスクROM製品)			V _{SS0} またはV _{SS1} に直接接続
V _{PP} (μPD78P0308Y)			

図4 - 1 端子の入出力回路一覧 (1/2)

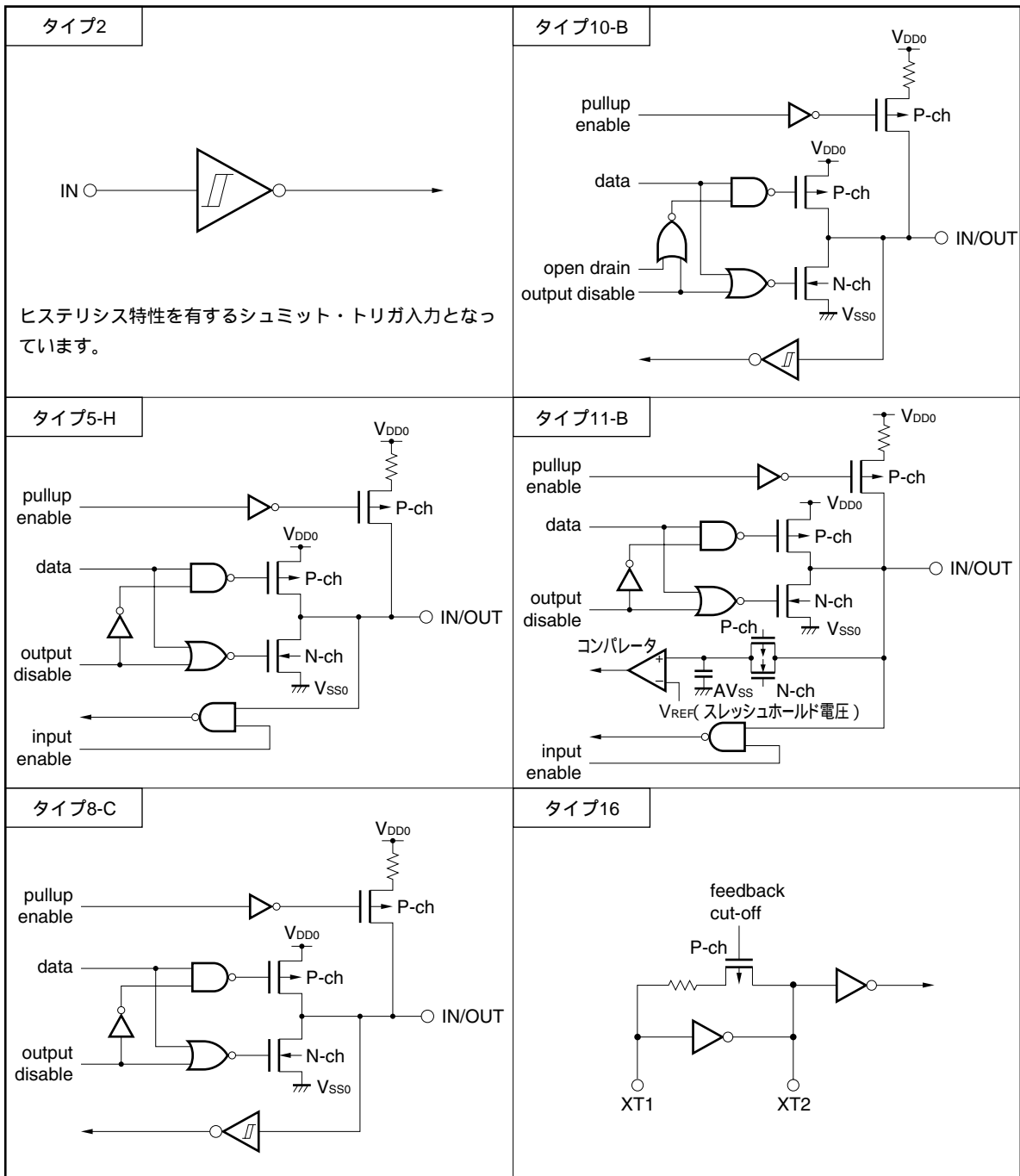
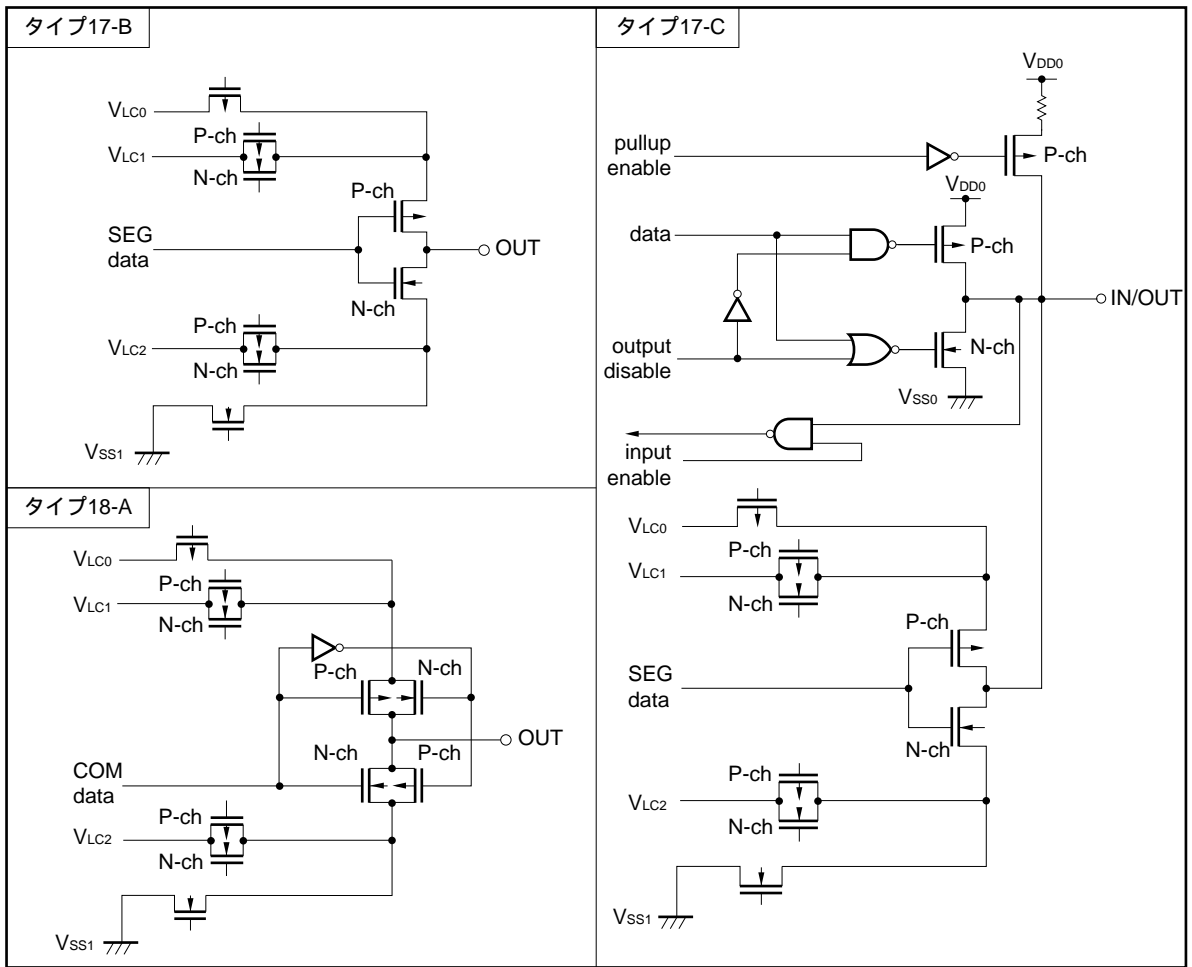


図4 - 1 端子の入出力回路一覧 (2/2)



第5章 CPUアーキテクチャ

5.1 メモリ空間

μPD780308, 780308Yサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図5 - 1から図5 - 3に、メモリ・マップを示します。

図5 - 1 メモリ・マップ (μPD780306, 780306Y)

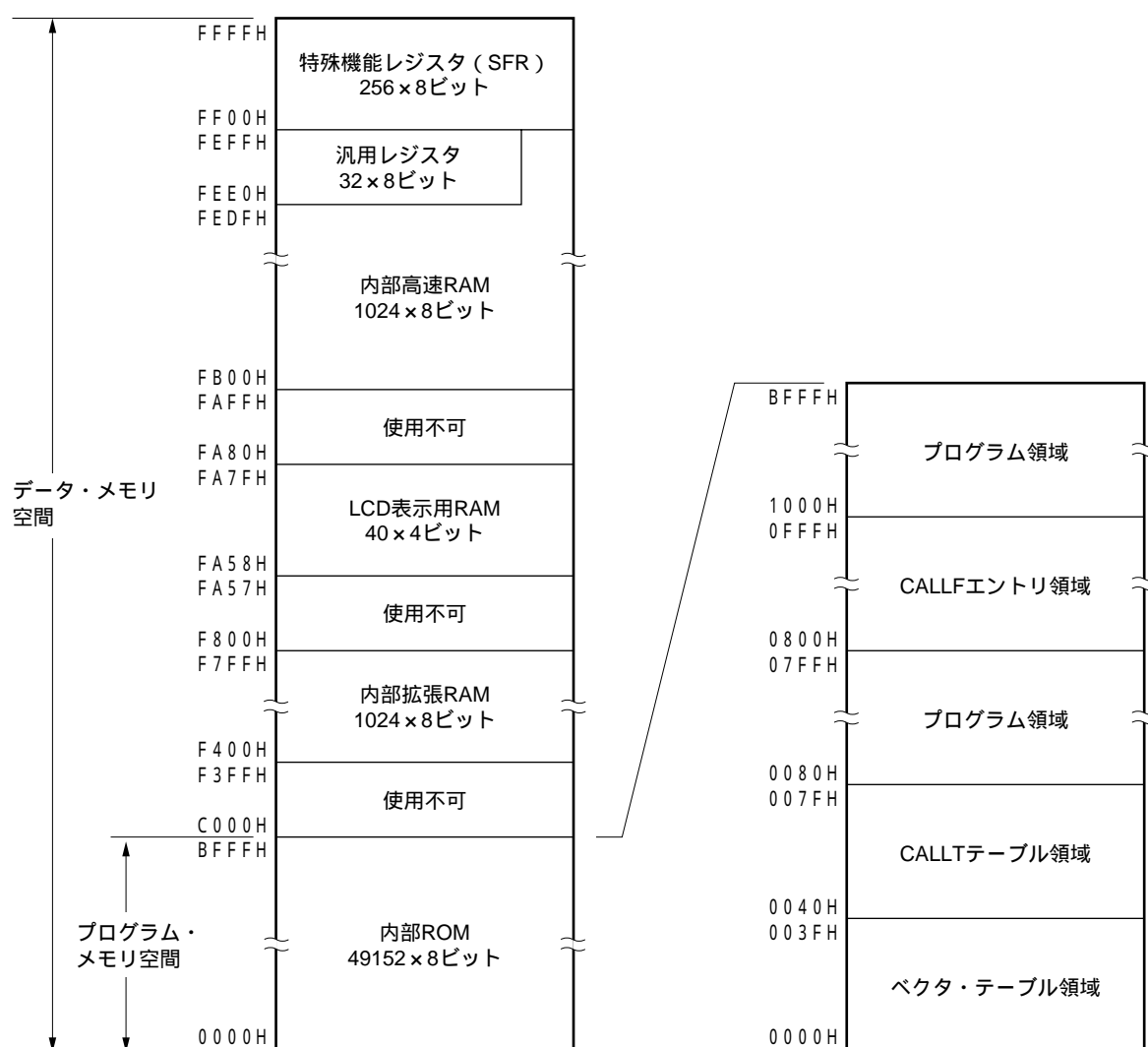


図5-2 メモリ・マップ (μPD780308, 780308Y)

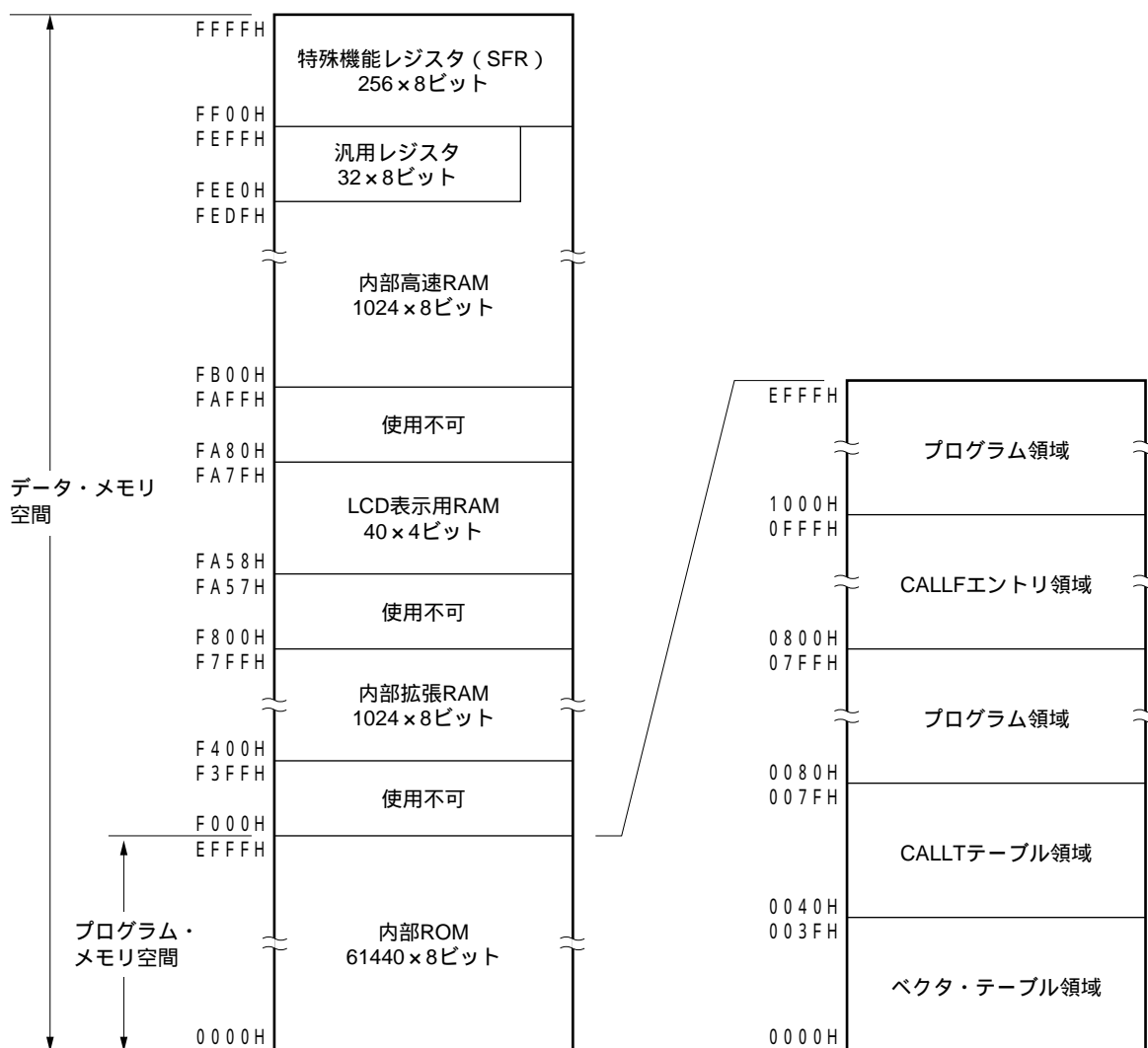
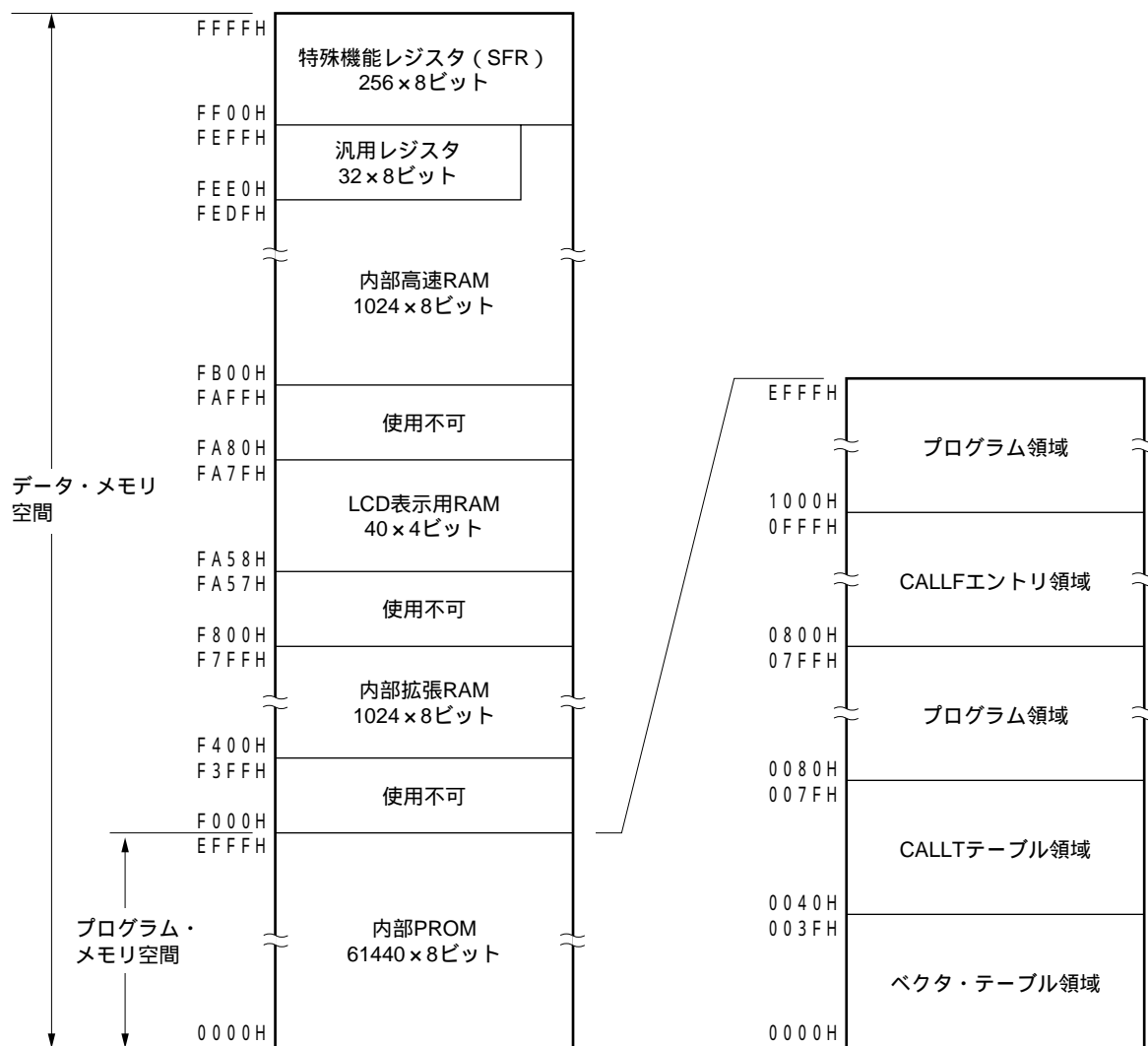


図5-3 メモリ・マップ (μ PD78P0308, 78P0308Y)



5.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアクセスします。

μPD780308, 780308Yサブシリーズでは、各製品ごとに次の容量の内部ROM（またはPROM）を内蔵しています。

表5 - 1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD780306, 780306Y	マスクROM	49152×8ビット
μPD780308, 780308Y		61440×8ビット
μPD78P0308, 78P0308Y	PROM	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表5 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力	001AH	INTSR/INTCSI2
0004H	INTWDT	001CH	INTST
0006H	INTP0	001EH	INTTM3
0008H	INTP1	0020H	INTTM00
000AH	INTP2	0022H	INTTM01
000CH	INTP3	0024H	INTTM1
000EH	INTP4	0026H	INTTM2
0010H	INTP5	0028H	INTAD
0014H	INTCSI0	002AH	INTCSI1
0018H	INTSER	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

5.1.2 内部データ・メモリ空間

μPD780308, 780308Yサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024×8ビット構成となっています。

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタックとしても使用できます。

(2) 内部拡張RAM

F400H-F7FFFHの1024バイトの領域には、内部拡張RAMが割り付けられています。

(3) LCD表示用RAM

FA58H-FA7FHの40×4ビットの領域には、LCD表示用RAMが割り付けられています。LCD表示用RAMは、通常のRAMとしても使用できます。

5.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表5-3参照）。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

5.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、5.3 命令アドレスのアドレッシングを参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780308, 780308Yサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FB00H-FFFFH) では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図5 - 4から図5 - 6にデータ・メモリのアドレッシングを示します。

各アドレッシングの詳細は、5.4 オペランド・アドレスのアドレッシングを参照してください。

図5 - 4 データ・メモリのアドレッシング (μ PD780306, 780306Y)

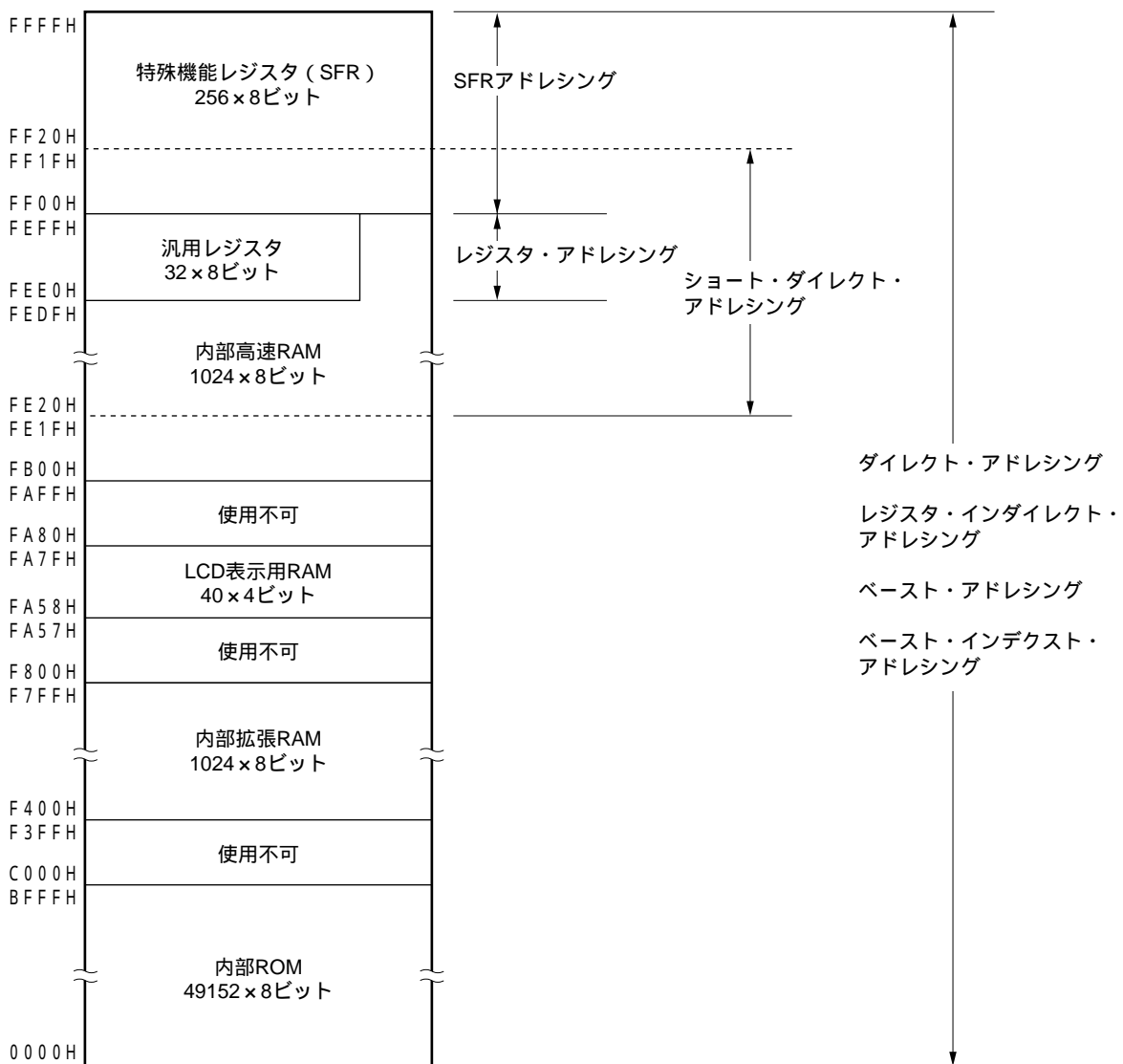


図5 - 5 データ・メモリのアドレッシング (μ PD780308, 780308Y)

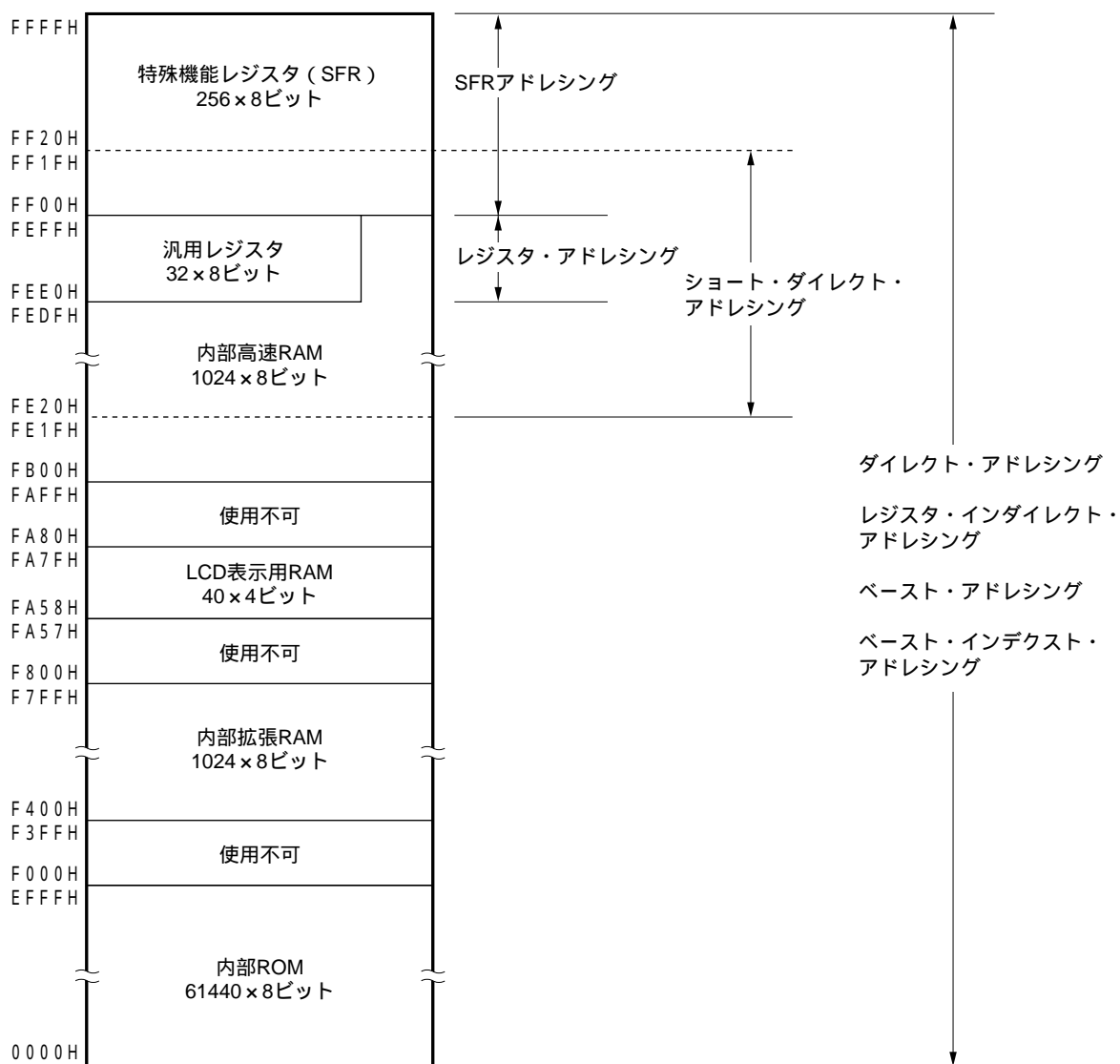
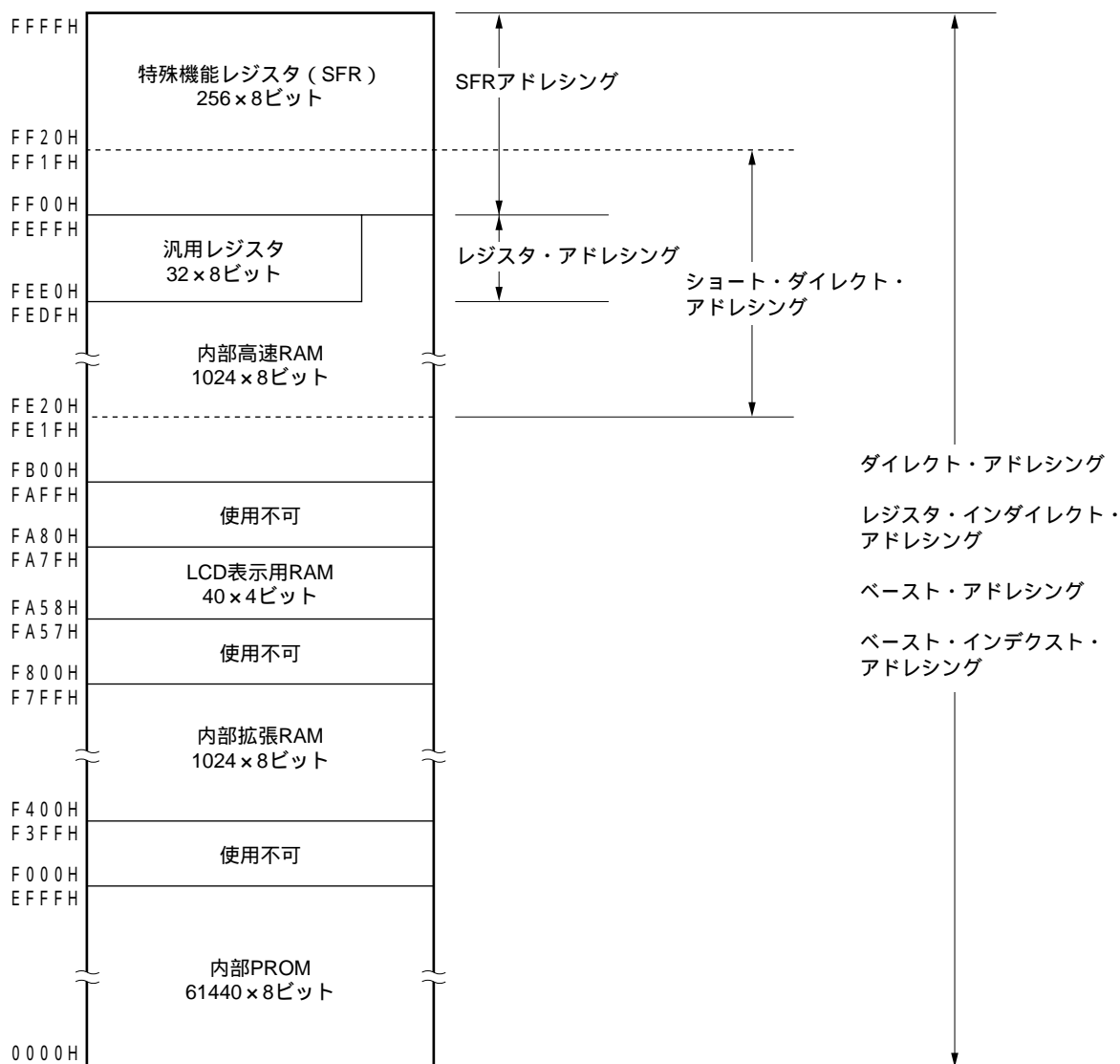


図5-6 データ・メモリのアドレッシング (μ PD78P0308, 78P0308Y)



5.2 プロセッサ・レジスタ

μ PD780308, 780308Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

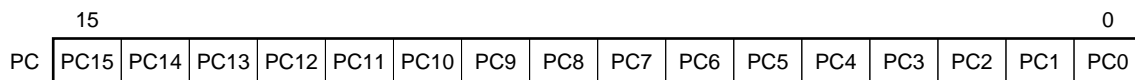
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5-7 プログラム・カウンタの構成



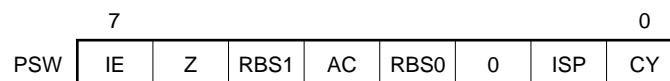
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み要求禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサースビス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ (ISP)

受け付け可能なマスクابل・ベクタ割り込み要求の優先順位を管理するフラグです。

ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (20.3(3) **優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)** 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

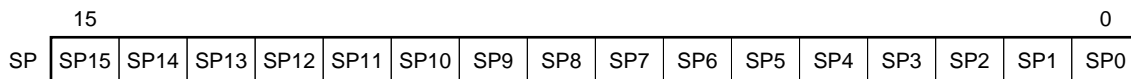
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FB00H-FEFFFH) のみ設定可能です。

図5 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図5 - 10 , 5 - 11 のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図5 - 10 スタック・メモリへ退避されるデータ

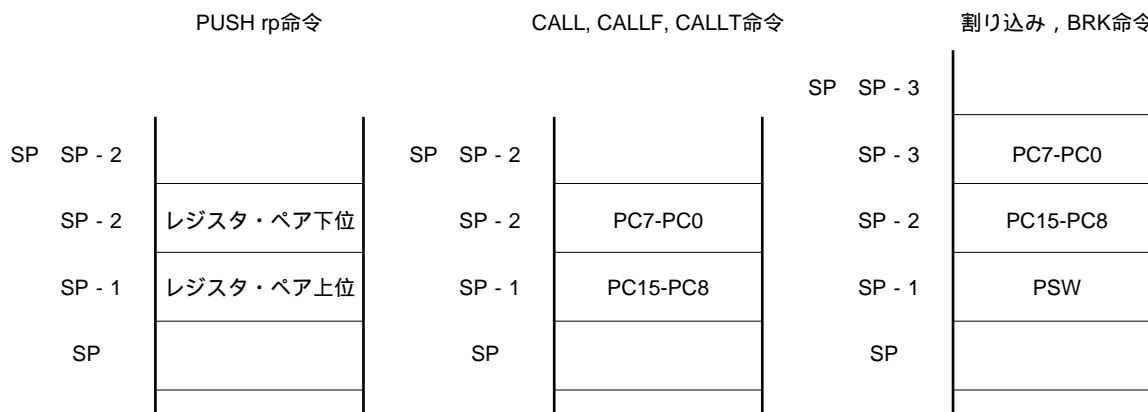
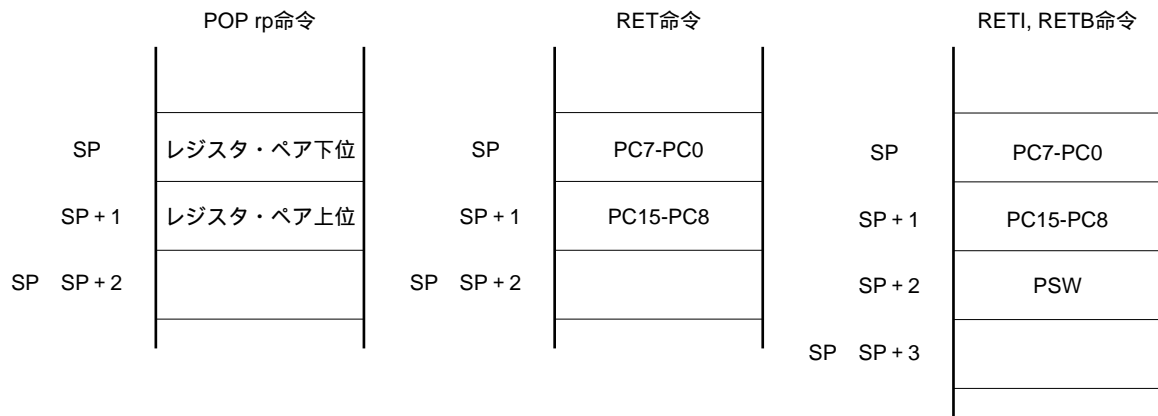


図5 - 11 スタック・メモリから復帰されるデータ



5.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

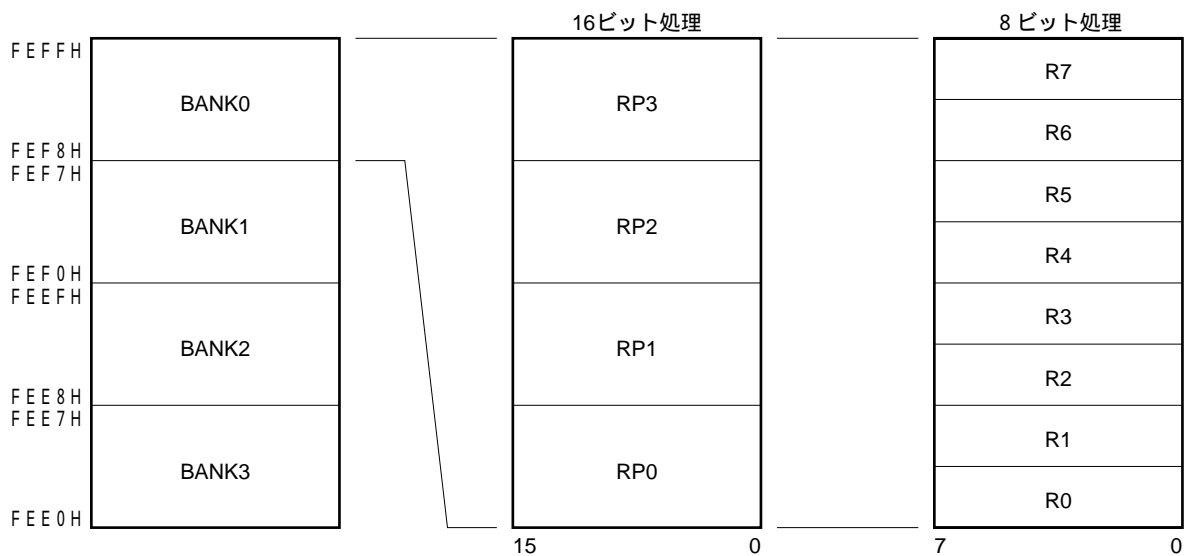
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

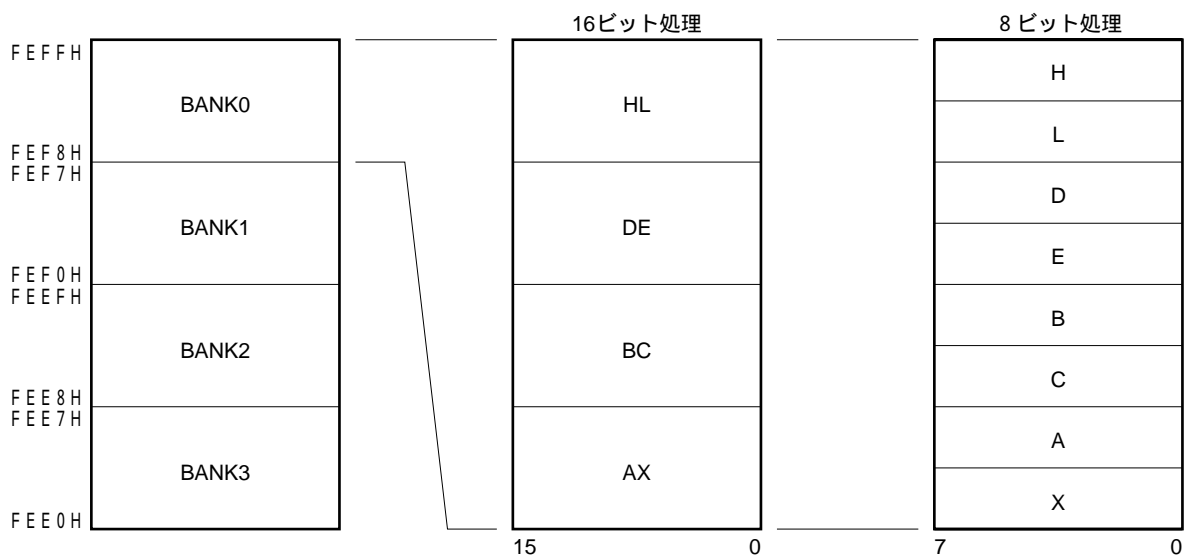
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図5 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



5.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。

RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0およびSD78K0使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

・リセット時

RESET入力時の各レジスタの状態を示します。

表5 - 3 特殊機能レジスタ一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W			-	00H	
FF01H	ポート1	P1					-		
FF02H	ポート2	P2					-		
FF03H	ポート3	P3					-		
FF07H	ポート7	P7					-		
FF08H	ポート8	P8					-		
FF09H	ポート9	P9					-		
FF0AH	ポート10	P10					-		
FF0BH	ポート11	P11					-		
FF10H FF11H	キャプチャ/コンペア・レジスタ00	CR00				-	-		
FF12H FF13H	キャプチャ/コンペア・レジスタ01	CR01			-	-			
FF14H FF15H	16ビット・タイマ・レジスタ	TM0		R	-	-		0000H	
FF16H	コンペア・レジスタ10	CR10		R/W	-		-	不定	
FF17H	コンペア・レジスタ20	CR20			-		-		
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	-			0000H	
FF19H	8ビット・タイマ・レジスタ2		TM2		-				
FF1AH	シリアルI/Oシフト・レジスタ0	SIO0		R/W	-		-	不定	
FF1FH	A/D変換結果レジスタ	ADCR		R	-		-		
FF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH	
FF21H	ポート・モード・レジスタ1	PM1					-		
FF22H	ポート・モード・レジスタ2	PM2					-		
FF23H	ポート・モード・レジスタ3	PM3					-		
FF27H	ポート・モード・レジスタ7	PM7					-		
FF28H	ポート・モード・レジスタ8	PM8					-		
FF29H	ポート・モード・レジスタ9	PM9					-		
FF2AH	ポート・モード・レジスタ10	PM10					-		
FF2BH	ポート・モード・レジスタ11	PM11					-		
FF40H	タイマ・クロック選択レジスタ0	TCL0					-		00H
FF41H	タイマ・クロック選択レジスタ1	TCL1				-			-
FF42H	タイマ・クロック選択レジスタ2	TCL2			-		-		
FF43H	タイマ・クロック選択レジスタ3	TCL3			-		-	88H	
FF44H	タイマ・クロック選択レジスタ4	TCL4			-		-		
FF47H	サンプリング・クロック選択レジスタ	SCS			-		-	00H	
FF48H	16ビット・タイマ・モード・コントロール・レジスタ	TMC0					-		

表5-3 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF49H	8ビット・タイマ・モード・コントロール・レジスタ	TMC1		R/W			-	00H
FF4AH	時計用タイマ・モード・コントロール・レジスタ	TMC2					-	
FF4CH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0					-	04H
FF4EH	16ビット・タイマ出力コントロール・レジスタ	TOC0					-	00H
FF4FH	8ビット・タイマ出力コントロール・レジスタ	TOC1					-	
FF60H	シリアル動作モード・レジスタ0	CSIM0					-	
FF61H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC					-	
FF62H	スレーブ・アドレス・レジスタ	SVA				-	-	不定
FF63H	割り込みタイミング指定レジスタ	SINT					-	00H
FF6CH	シリアル動作モード・レジスタ3	CSIM3					-	
FF6DH	シリアルI/Oシフト・レジスタ3	SIO3				-	-	不定
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM					-	00H
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS			R	-	-	
FF72H	シリアル動作モード・レジスタ2	CSIM2			R/W			-
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC			-	-		
FF74H	送信シフト・レジスタ	TXS	SIO2	W	-		-	FFH
	受信バッファ・レジスタ	RXB		R				
FF75H	シリアル・インタフェース端子選択レジスタ	SIPS		R/W			-	00H
FF80H	A/Dコンバータ・モード・レジスタ	ADM					-	01H
FF84H	A/Dコンバータ入力選択レジスタ	ADIS			-		-	00H
FFB0H	LCD表示モード・レジスタ	LCDM					-	
FFB2H	LCD表示コントロール・レジスタ	LCDC					-	
FFB8H	キー・リターン・モード・レジスタ	KRM					-	02H
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L					00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H					
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L					-	
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L					FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H					
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L					-	
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L					
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H					
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L					-	
FFECH	外部割り込みモード・レジスタ0	INTM0			-		-	00H
FFEDH	外部割り込みモード・レジスタ1	INTM1			-		-	

表5 - 3 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFF0H	メモリ・サイズ切り替えレジスタ	IMS	R/W	-		-	注
FFF2H	発振モード選択レジスタ	OSMS	W	-		-	00H
FFF3H	プルアップ抵抗オプション・レジスタH	PUOH	R/W			-	
FFF4H	内部拡張RAMサイズ切り替えレジスタ	IXS	W	-		-	0AH
FFF7H	プルアップ抵抗オプション・レジスタL	PUOL	R/W			-	00H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC			-		

注 リセット時の値は製品により異なります。

μ PD780306, 780306Y : CCH, μ PD780308, 780308Y : CFH

μ PD78P0308, 78P0308Y : CFH

5.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

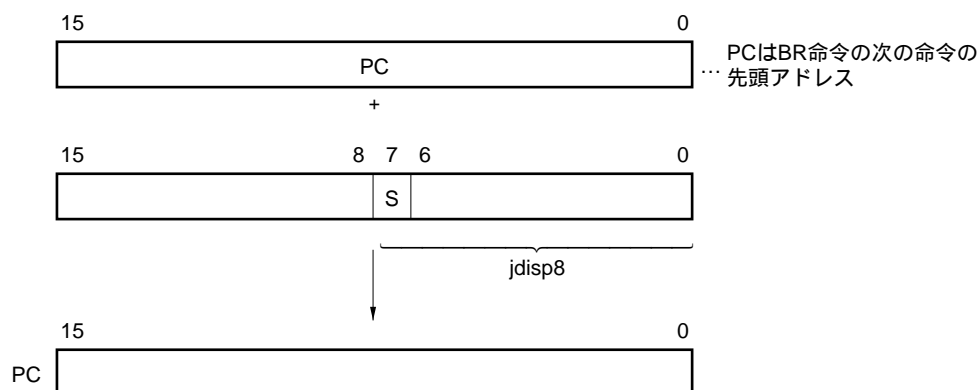
5.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、 は全ビット0

S = 1のとき、 は全ビット1

5.3.2 イミディエト・アドレッシング

【機能】

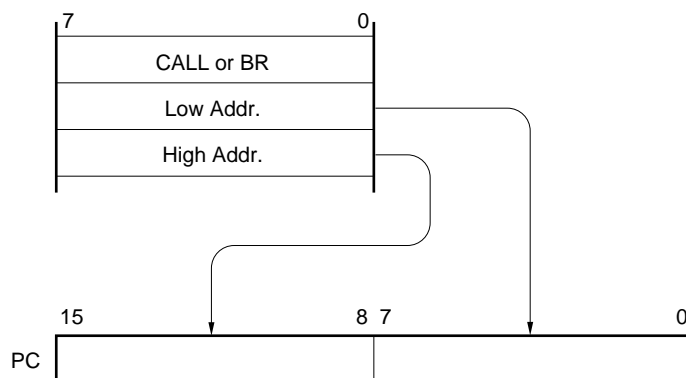
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

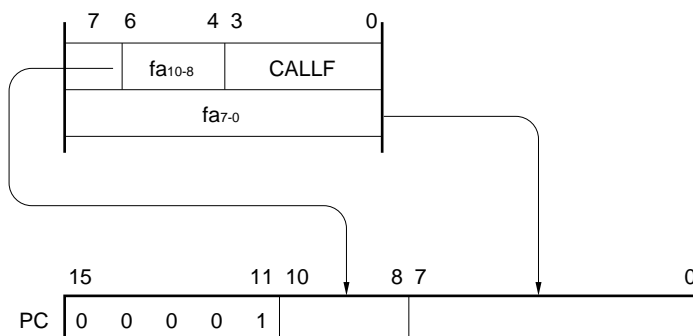
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



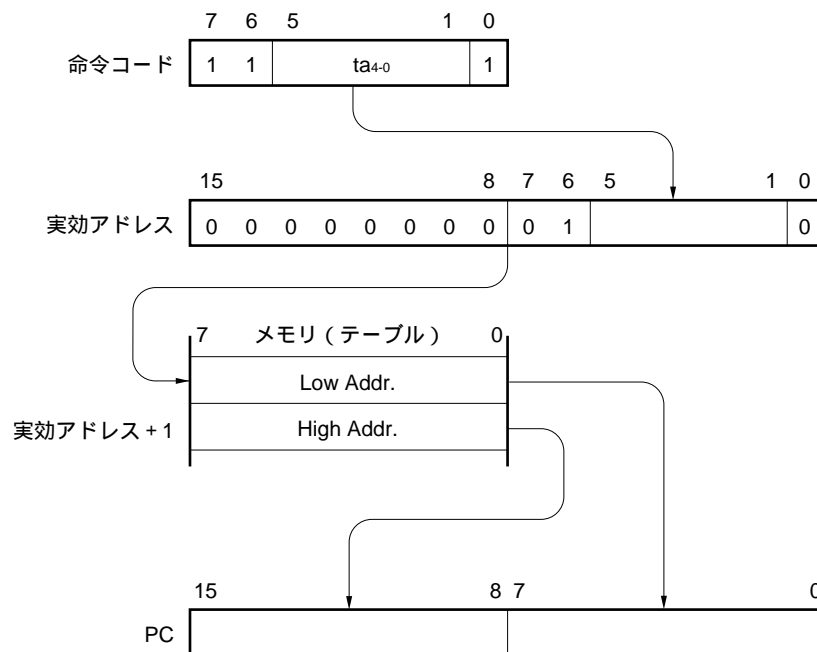
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



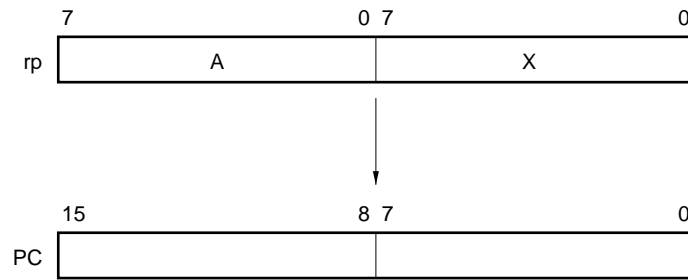
5.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



5.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

5.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレス指定するアドレッシングです。

μPD780308, 780308Yサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

5.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, RPn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

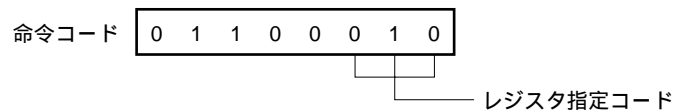
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

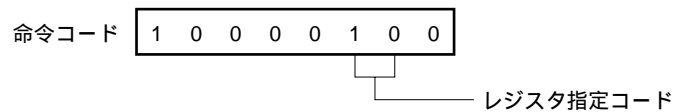
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



5.4.3 ダイレクト・アドレッシング

【機能】

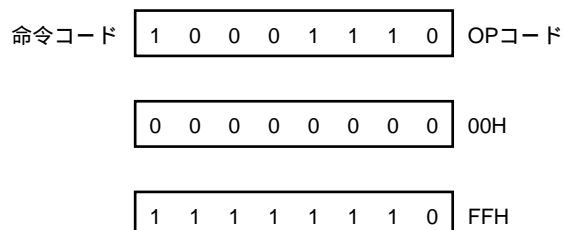
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

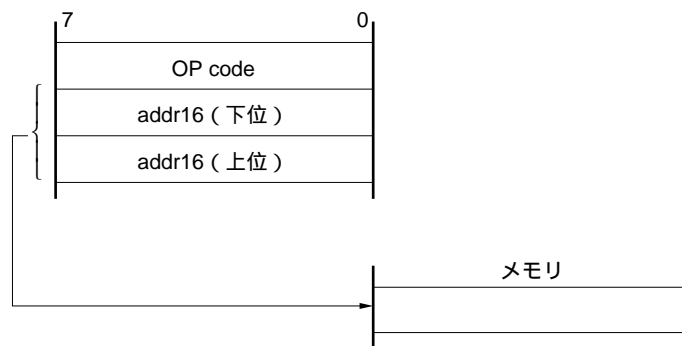
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図解】



5.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

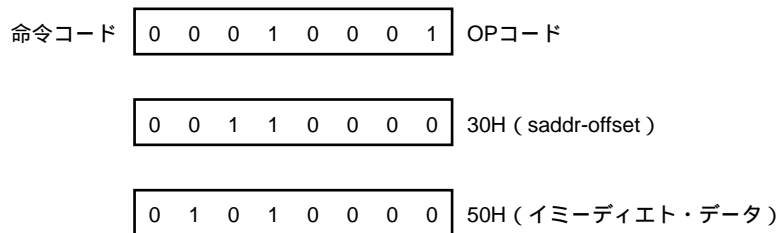
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

【オペランド形式】

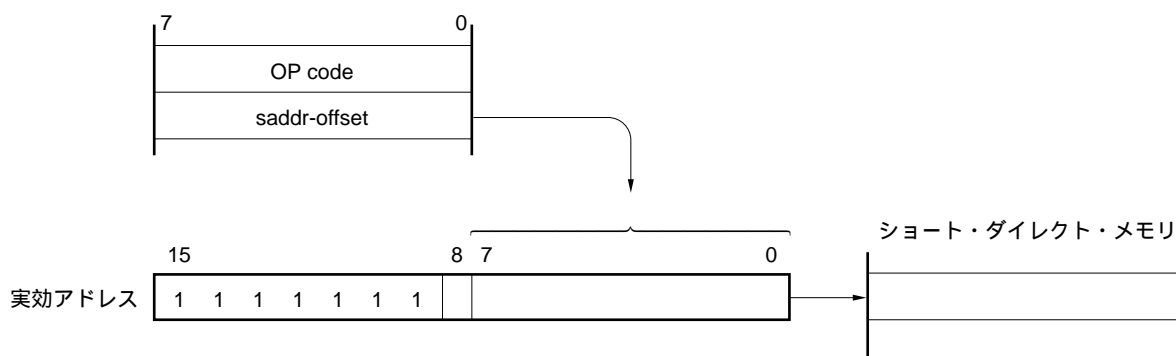
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV0 FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, = 0

8ビット・イミディエト・データが00H-1FHのとき, = 1

5.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

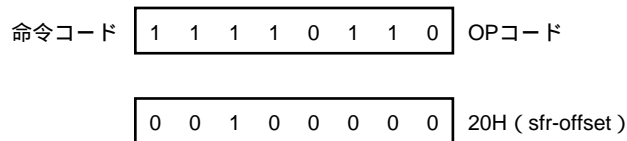
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

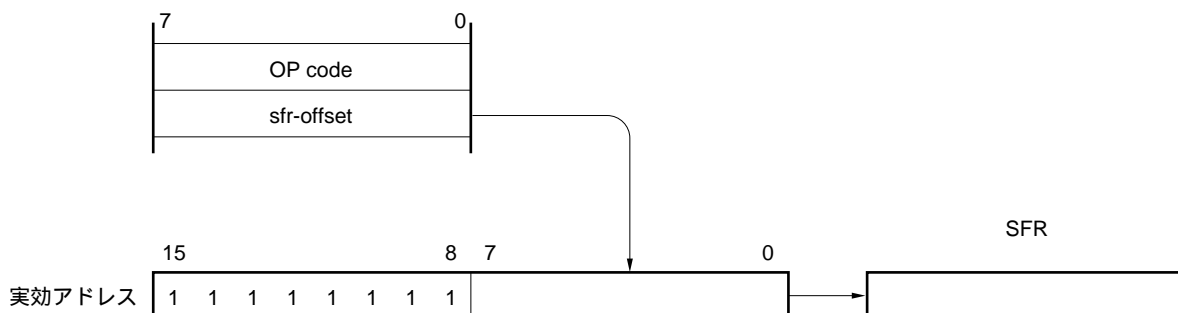
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



5.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

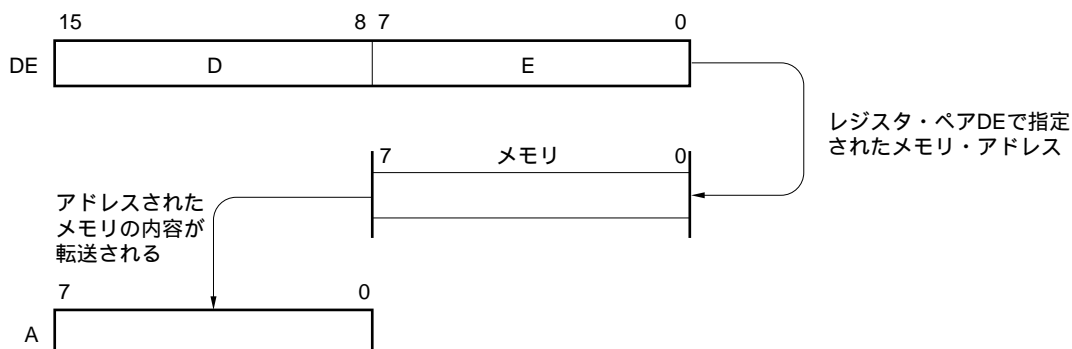
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



5.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

5.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるH, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B]の場合

命令コード

1 0 1 0 1 0 1 1

5.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1 0 1 1 0 1 0 1

第6章 ポート機能

6.1 ポートの機能

μ PD780308, 780308Yサブシリーズは、2本の入力ポートと55本の入出力ポートを内蔵しています。図6 - 1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図6 - 1 ポートの種類

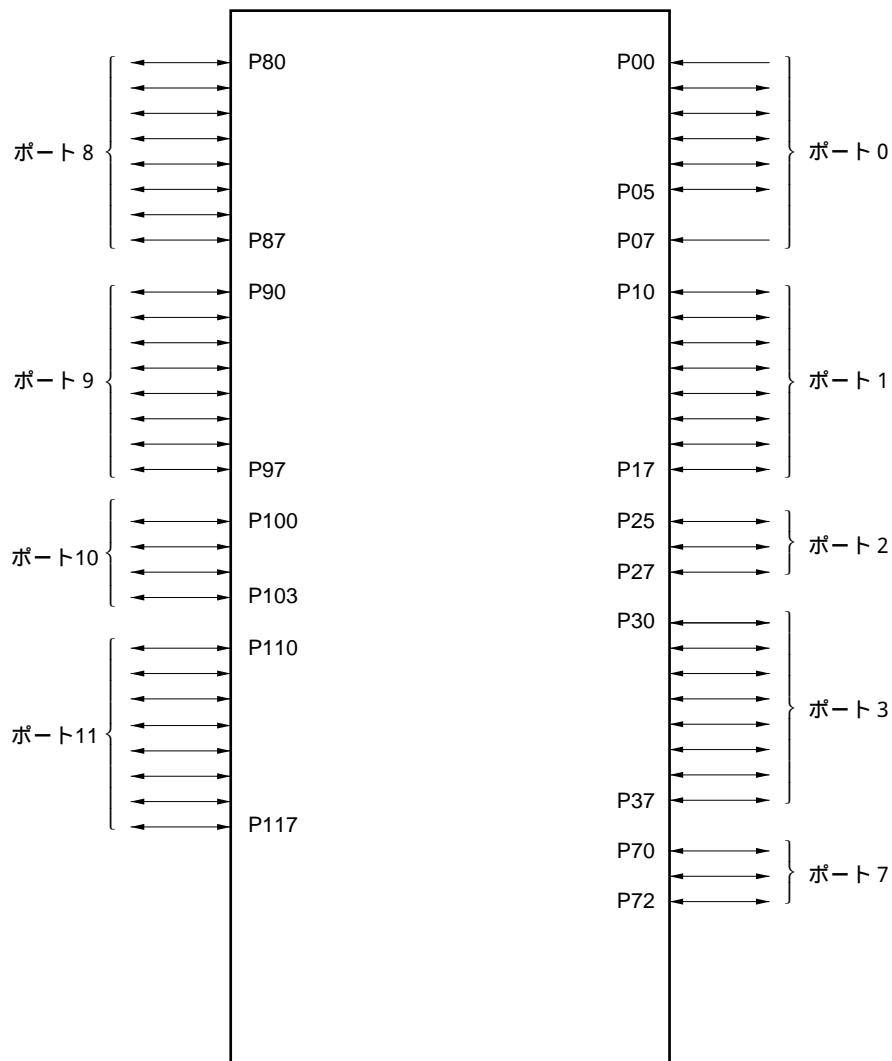


表6 - 1 ポートの機能 (μPD780308サブシリーズ) (1/2)

端子名称	機 能		兼用端子
P00	ポート0。	入力専用。	INTP0/TI00
P01	7ビット入出力ポート。	1ビット単位で入力 / 出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		ANI0-ANI7
P25	ポート2。		SI0/SB0
P26	3ビット入出力ポート。		SO0/SB1
P27	1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		SCK0
P30	ポート3。		TO0
P31	8ビット入出力ポート。		TO1
P32	1ビット単位で入力 / 出力の指定可能。		TO2
P33	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		TI1
P34		TI2	
P35		PCL	
P36		BUZ	
P37		-	
P70	ポート7。		SI2/RxD
P71	3ビット入出力ポート。		SO2/TxD
P72	1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		SCK2/ASCK
P80-P87	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。		S39-S32

表6 - 1 ポートの機能 (μPD780308サブシリーズ) (2/2)

端子名称	機 能	兼用端子
P90-P97	ポート9。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。	S31-S24
P100-P103	ポート10。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	-
P110	ポート11。	SI3
P111	8ビット入出力ポート。	SO3
P112	1ビット単位で入力 / 出力の指定可能。	SCK3
P113	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	TxD
P114	立ち下がりエッジ検出可能。	RxD
P115-P117		-

表6 - 2 ポートの機能 (μPD780308Yサブシリーズ) (1/2)

端子名称	機 能		兼用端子
P00	ポート0。	入力専用。	INTP0/TI00
P01	7ビット入出力ポート。	1ビット単位で入力 / 出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		ANI0-ANI7
P25	ポート2。		SI0/SB0/SDA0
P26	3ビット入出力ポート。		SO0/SB1/SDA1
P27	1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		SCK0/SCL
P30	ポート3。		TO0
P31	8ビット入出力ポート。		TO1
P32	1ビット単位で入力 / 出力の指定可能。		TO2
P33	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		TI1
P34		TI2	
P35		PCL	
P36		BUZ	
P37		-	
P70	ポート7。		SI2/RxD
P71	3ビット入出力ポート。		SO2/TxD
P72	1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		SCK2/ASCK
P80-P87	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート / セグメント信号出力機能の指定可能。		S39-S32

表6 - 2 ポートの機能 (μPD780308Yサブシリーズ) (2/2)

端子名称	機 能	兼用端子
P90-P97	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	S31-S24
P100-P103	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	-
P110	ポート11。	SI3
P111	8ビット入出力ポート。	SO3
P112	1ビット単位で入力/出力の指定可能。	SCK3
P113	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	TxD
P114	立ち下がりエッジ検出可能。	RxD
P115-P117		-

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 7-11) プルアップ抵抗オプション・レジスタ (PUOH, PUOL) キー・リターン・モード・レジスタ (KRM)
ポート	合計 : 57本 (入力 : 2本, 入出力 : 55本)
プルアップ抵抗	合計 : 55本 (ソフトウェア制御 : 55本)

6.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P01-P05端子は、ポート・モード・レジスタ0により、1ビット単位で入力モード/出力モードの指定ができます。P00, P07端子は、入力専用ポートです。P01-P05端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、5ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続があります。

RESET入力により、入力モードになります。

図6-2, 6-3にポート0のブロック図を示します。

注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図6 - 2 P00, P07のブロック図

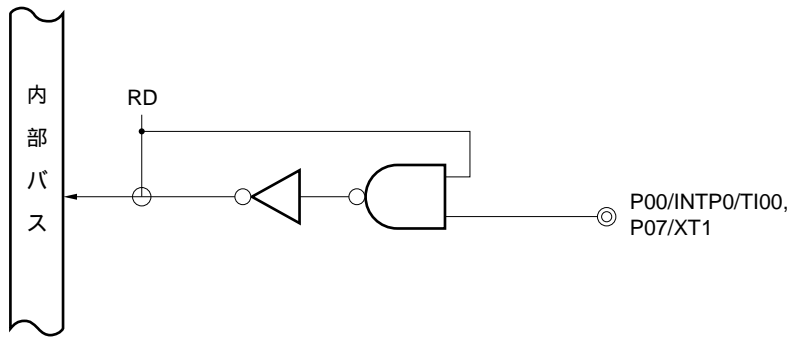
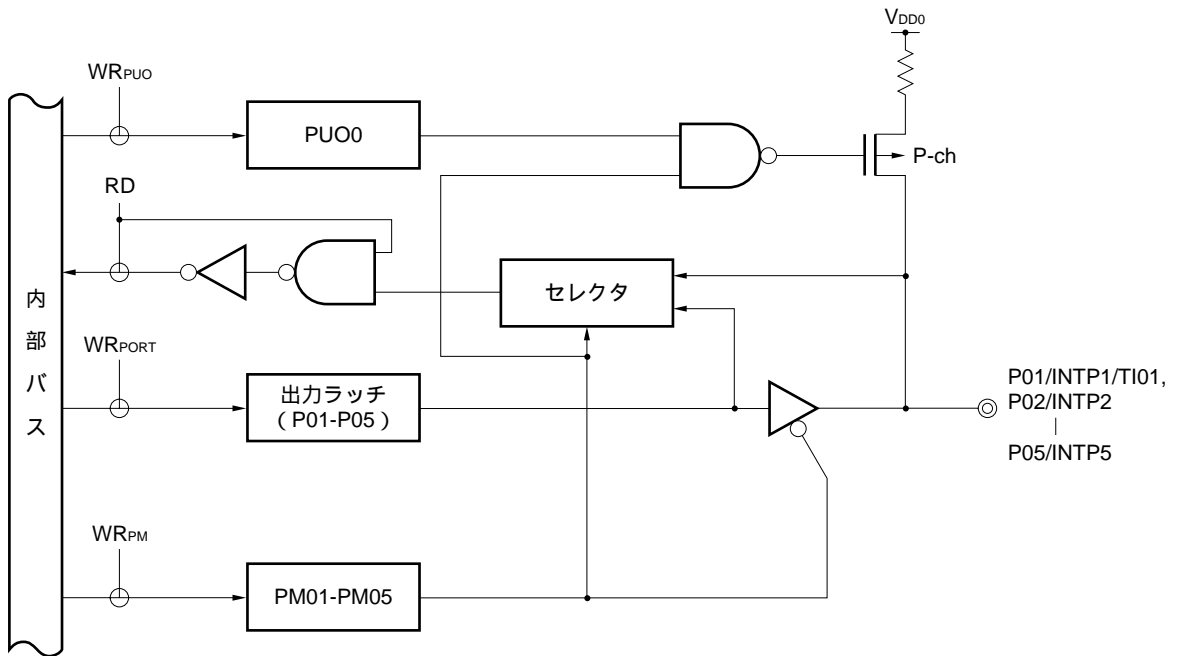


図6 - 3 P01-P05のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

6.2.2 ポート1

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ1により、1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、8ビット単位で内蔵プルアップ抵抗を使用できます。

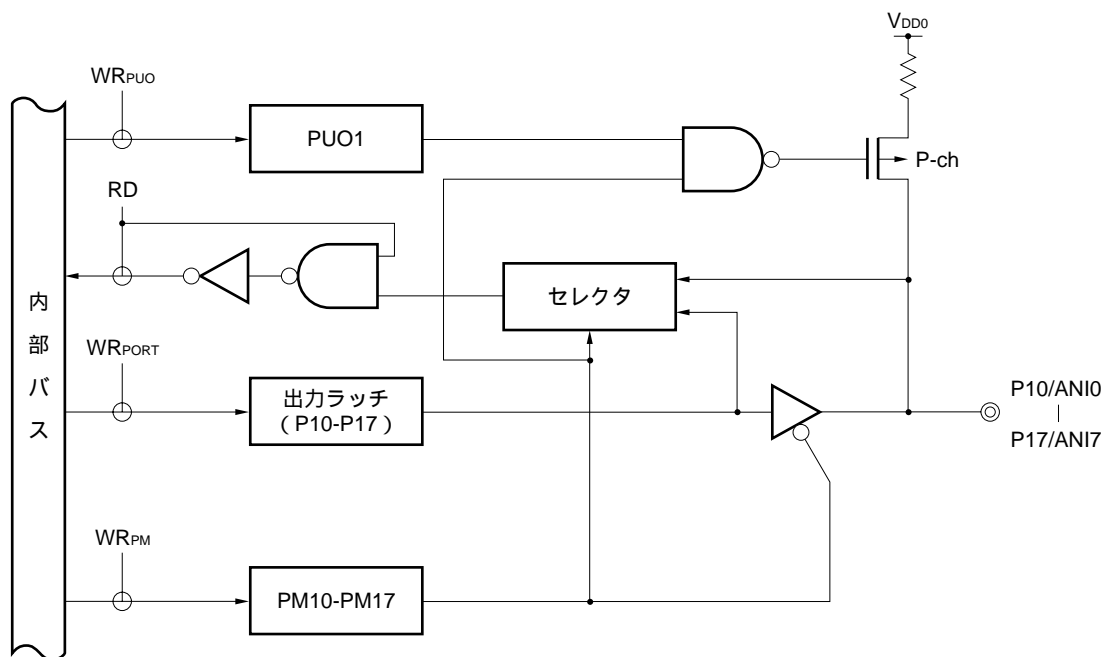
また、兼用機能としてA/Dコンバータのアナログ入力があります。

RESET入力により、入力モードになります。

図6-4にポート1のブロック図を示します。

注意 A/Dコンバータのアナログ入力として使用する端子には、内蔵プルアップ抵抗は使用できません。

図6-4 P10-P17のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

6.2.3 ポート2 (μ PD780308サブシリーズ)

出力ラッチ付き3ビット入出力ポートです。P25-P27端子は、ポート・モード・レジスタ2により、1ビット単位で入力モード/出力モードの指定ができます。P25-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位で内蔵プルアップ抵抗を使用できます。

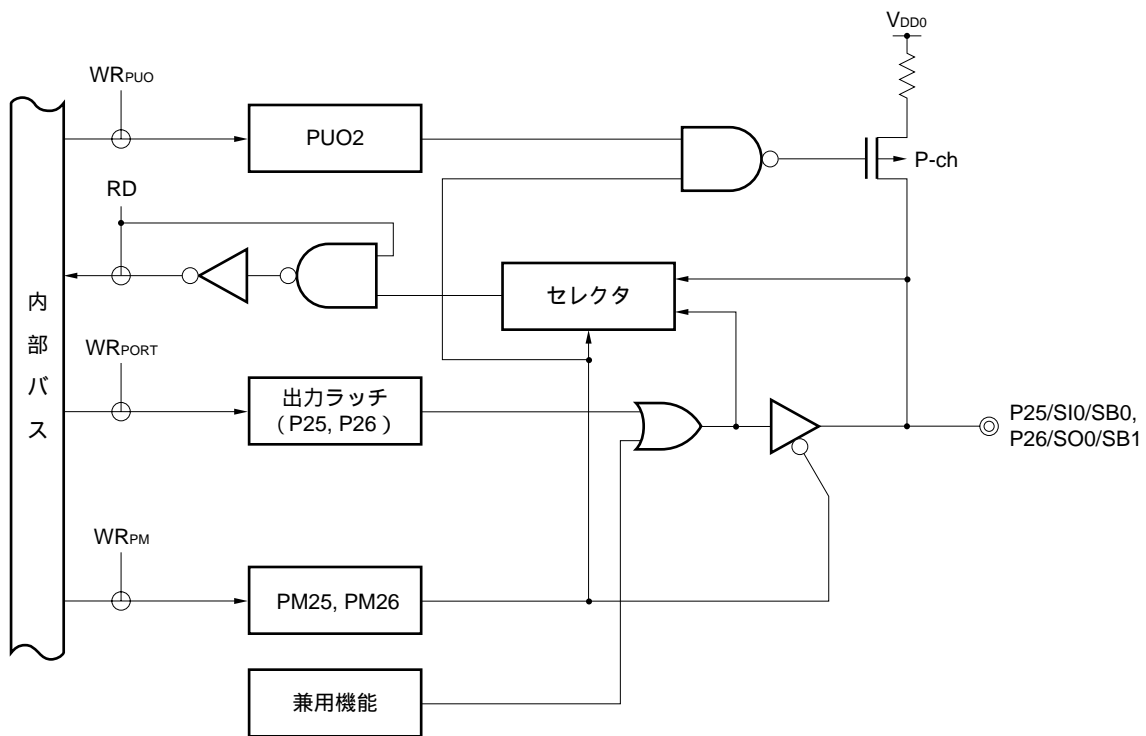
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

RESET入力により、入力モードになります。

図6 - 5, 6 - 6にポート2のブロック図を示します。

- 注意1.** シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15 - 4 シリアル動作モード・レジスタ0のフォーマットを参照してください。
2. SBIモード時で、端子の状態を読み出すときは、PM2nに1を設定してください(n = 5, 6) (15. 4. 3 (10) スレーブのビジィ状態の判別方法を参照)。

図6 - 5 P25, P26のブロック図 (μ PD780308サブシリーズ)



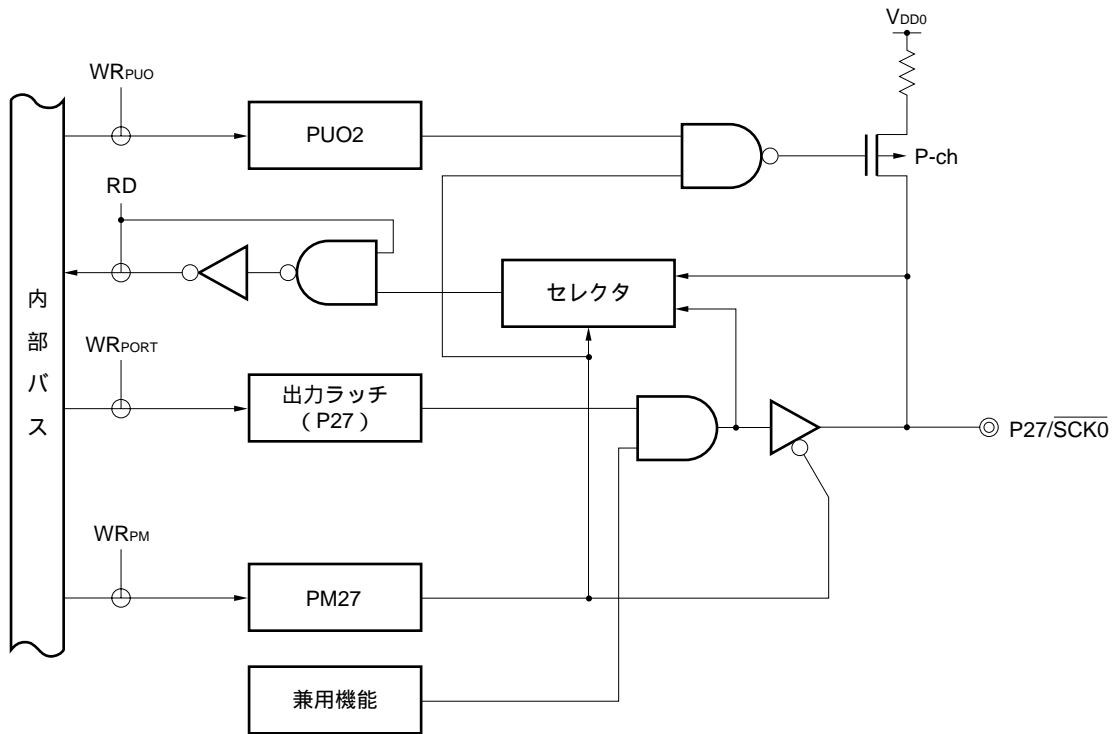
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6-6 P27のブロック図 (μ PD780308サブシリーズ)



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

6.2.4 ポート2 (μ PD780308Yサブシリーズ)

出力ラッチ付き3ビット入出力ポートです。P25-P27端子は、ポート・モード・レジスタ2により、1ビット単位で入力モード/出力モードの指定ができます。P25-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位で内蔵プルアップ抵抗を使用できます。

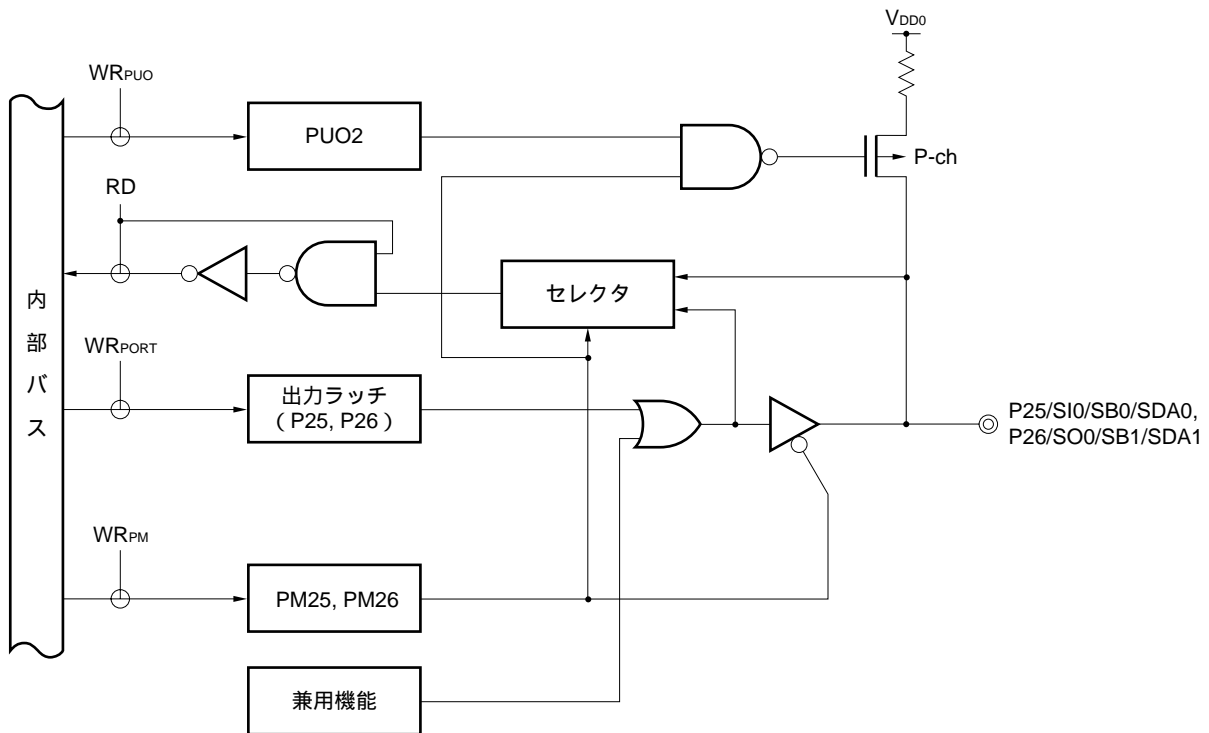
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

RESET \bar 入力により、入力モードになります。

図6-7、6-8にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

図6-7 P25, P26のブロック図 (μ PD780308Yサブシリーズ)



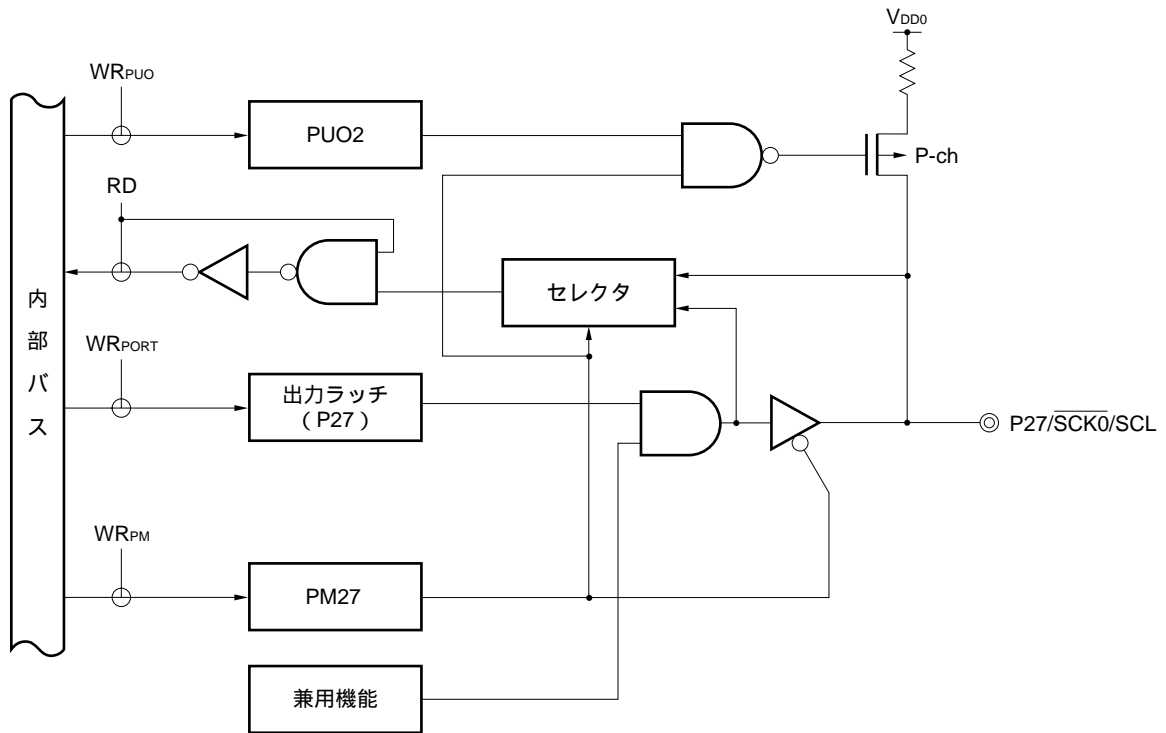
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6-8 P27のブロック図 (μ PD780308Yサブシリーズ)



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

6.2.5 ポート3

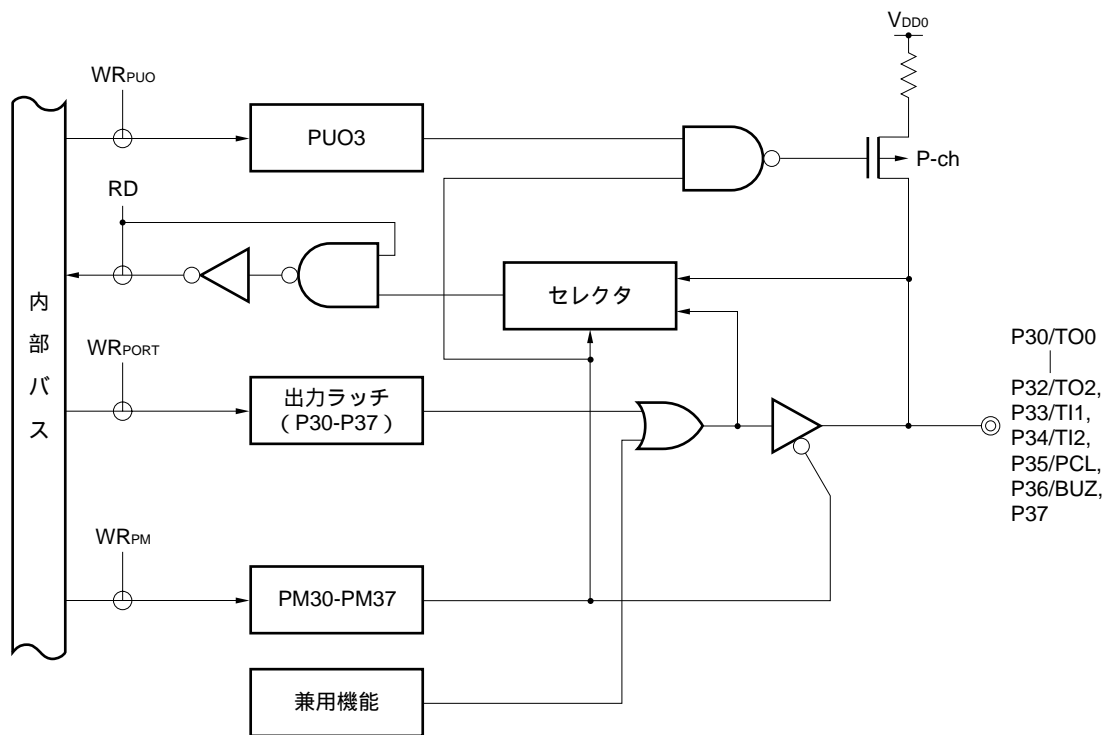
出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3により、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

RESET入力により、入力モードになります。

図6-9にポート3のブロック図を示します。

図6-9 P30-P37のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

6.2.6 ポート7

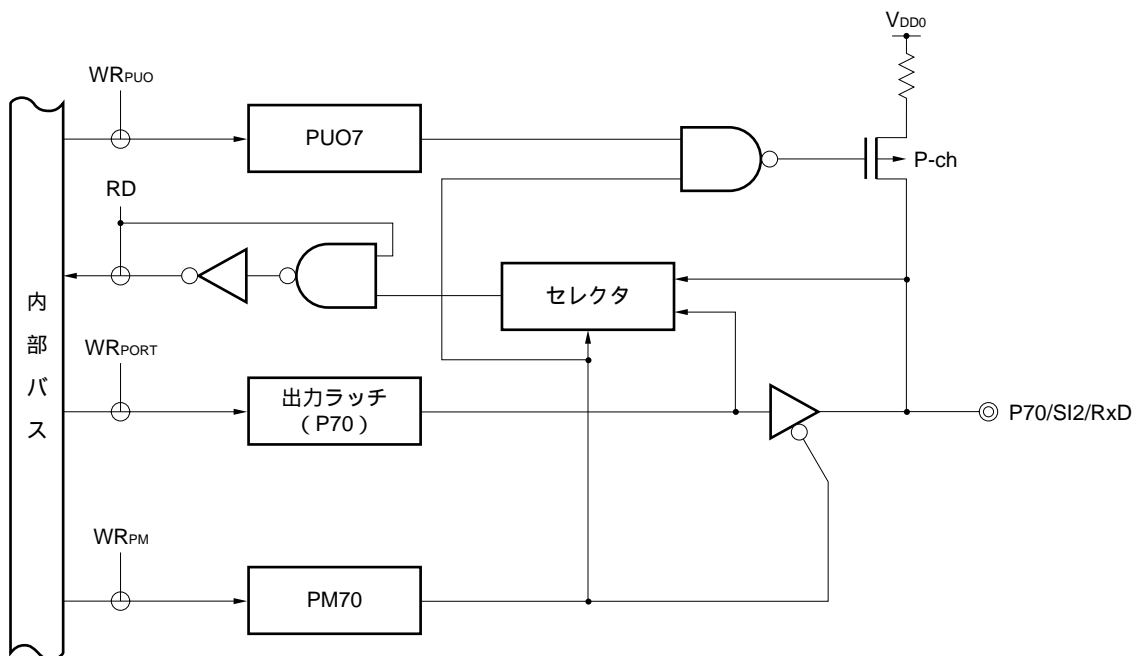
出力ラッチ付き3ビット入出力ポートです。ポート・モード・レジスタ7により、1ビット単位で入力モード/出力モードの指定ができます。P70-P72端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェース・チャンネル2のデータ入出力、クロック入出力があります。RESET入力により、入力モードになります。

図6 - 10, 6 - 11にポート7のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17 - 2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図6 - 10 P70のブロック図



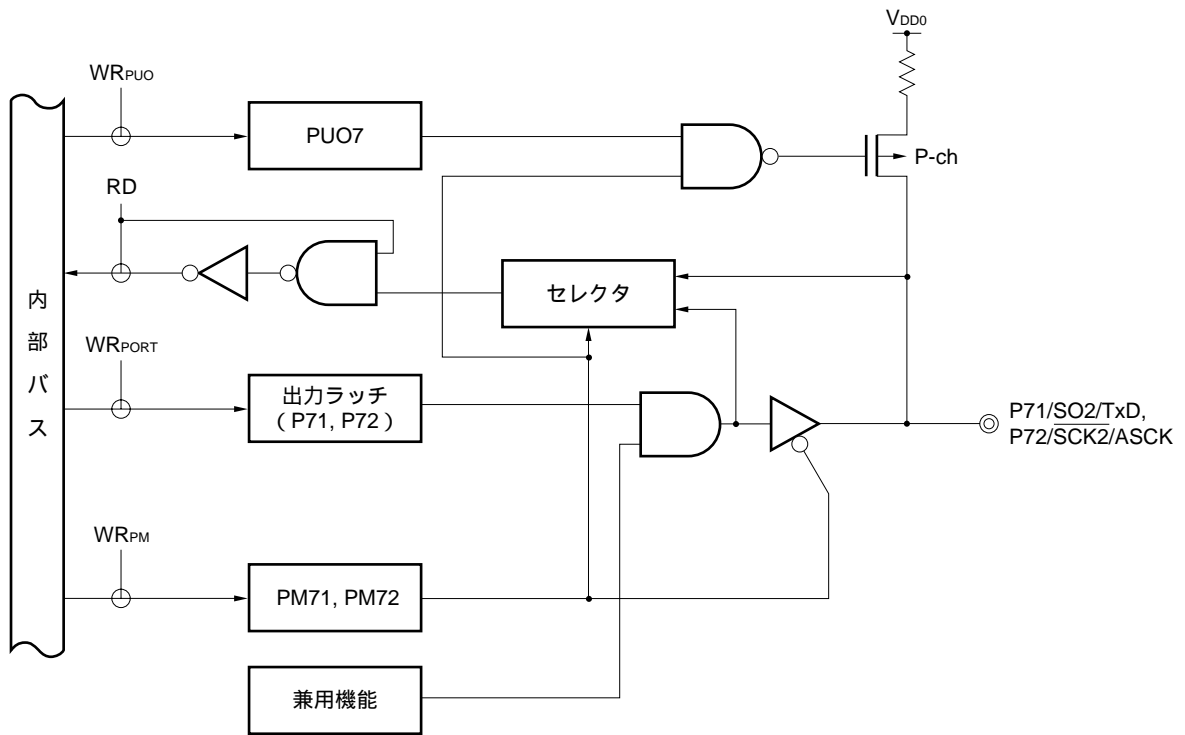
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

図6 - 11 P71, P72のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

6.2.7 ポート8

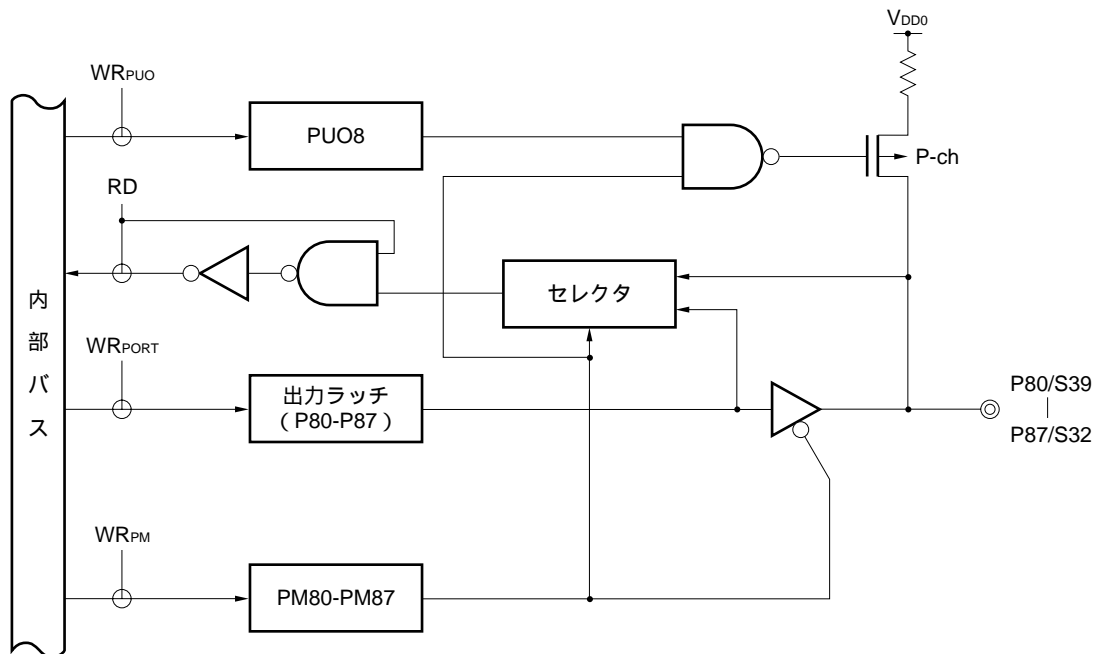
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ8により、1ビット単位で入力モード/出力モードの指定ができます。P80-P87端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

RESET入力により、入力モードになります。

図6 - 12にポート8のブロック図を示します。

図6 - 12 P80-P87のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

6.2.8 ポート9

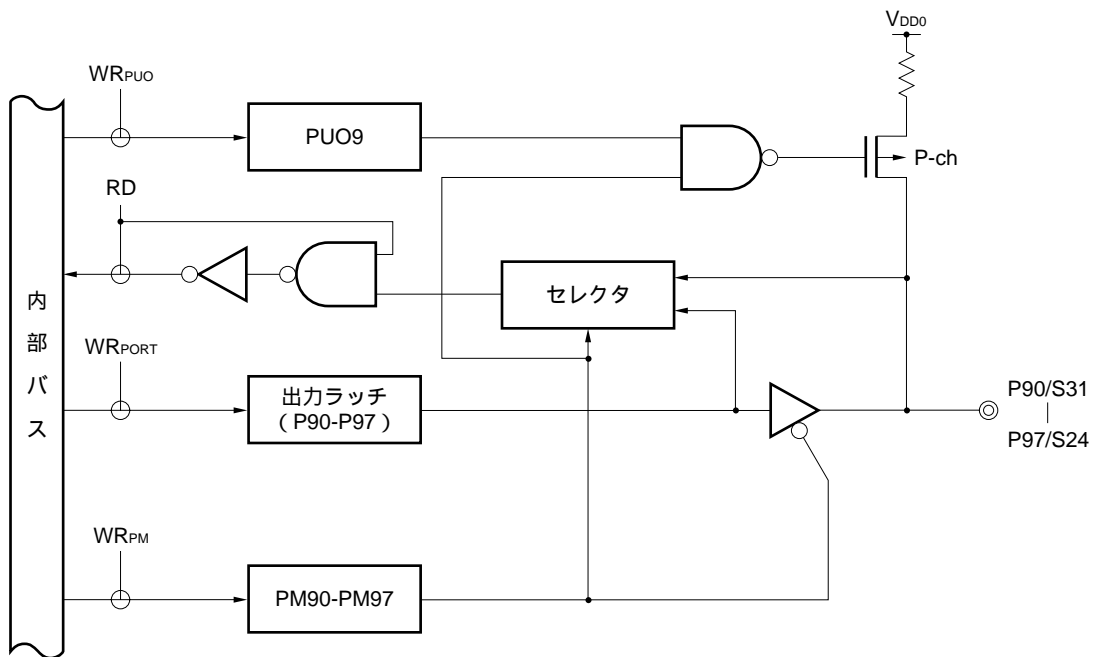
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ9により、1ビット単位で入力モード/出力モードの指定ができます。P90-P97端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

RESET入力により、入力モードになります。

図6-13にポート9のブロック図を示します。

図6-13 P90-P97のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

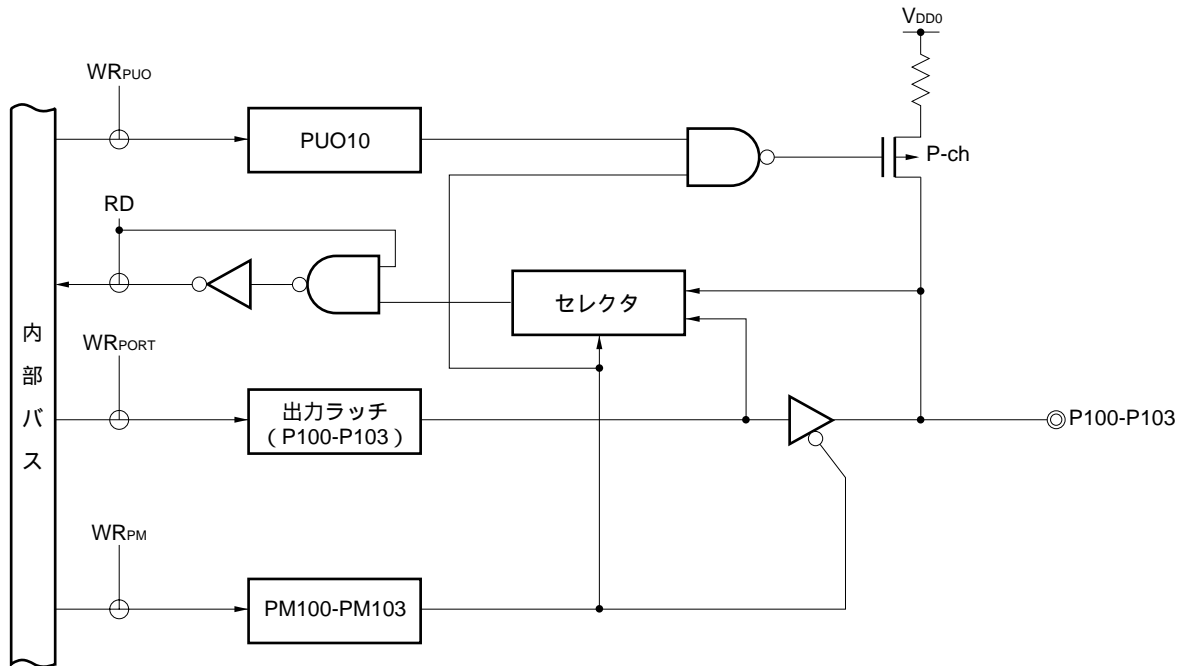
6.2.9 ポート10

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ10により、1ビット単位で入力モード / 出力モードの指定ができます。P100-P103端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、4ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6 - 14にポート10のブロック図を示します。

図6 - 14 P100-P103のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート10のリード信号

WR : ポート10のライト信号

6.2.10 ポート11

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ11により、1ビット単位で入力モード / 出力モードの指定ができます。P110-P117端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

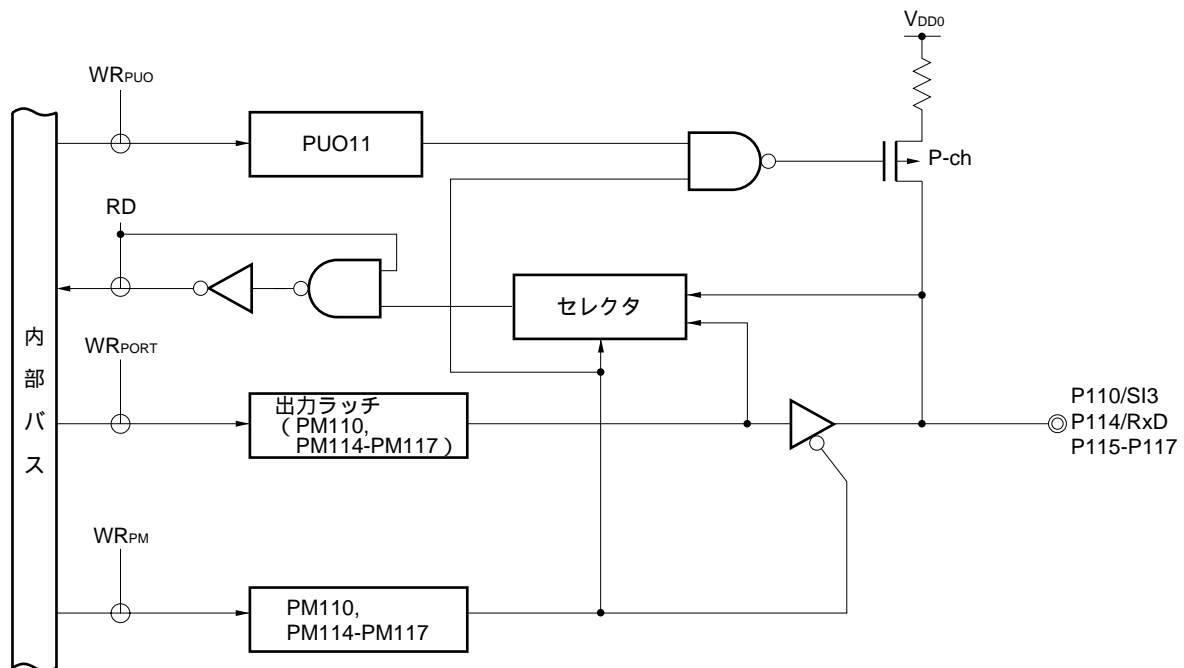
兼用機能を使用しない場合、立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6 - 15 ~ 6 - 17にポート11のブロック図、図6 - 18に立ち下がりエッジ検出回路のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17 - 2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧、および図18 - 3 シリアル動作モード・レジスタ3のフォーマットを参照してください。

図6 - 15 P110, P114-P117のブロック図



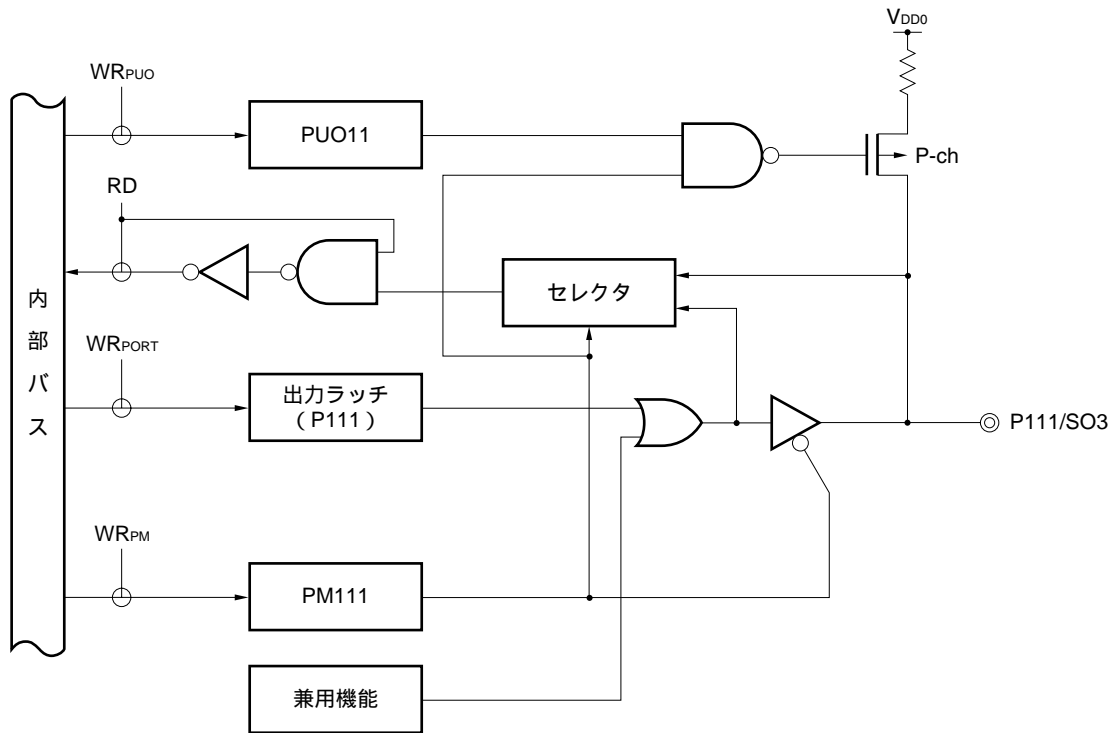
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート11のリード信号

WR : ポート11のライト信号

図6 - 16 P111のブロック図



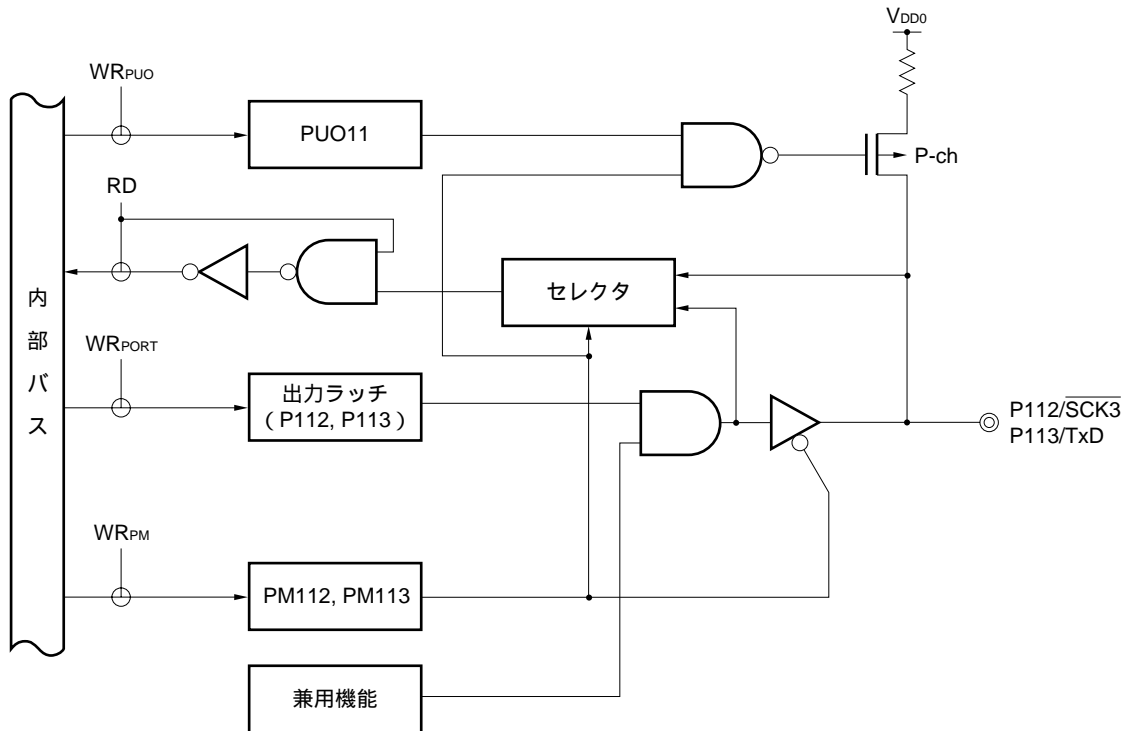
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート11のリード信号

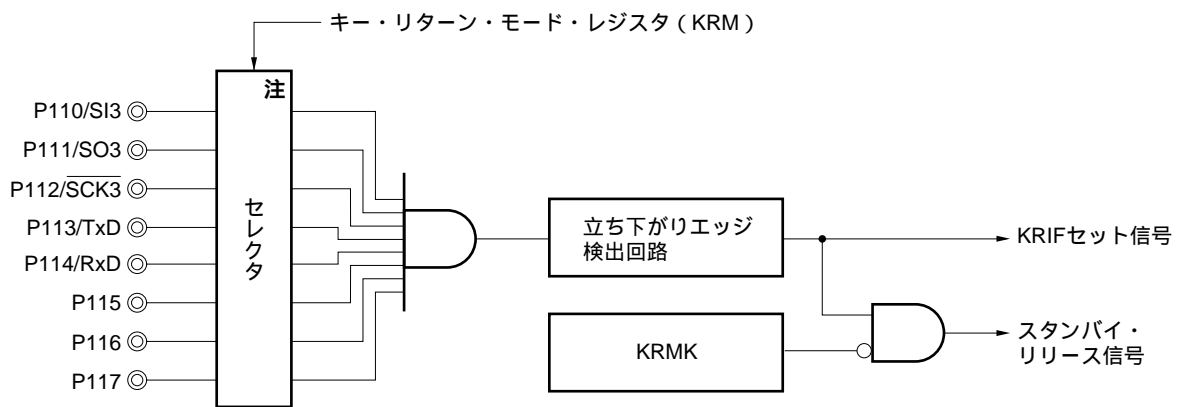
WR : ポート11のライト信号

図6 - 17 P112, P113のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート11のリード信号
- WR : ポート11のライト信号

図6 - 18 立ち下がりエッジ検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクタ

6.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM7-PM11)
- ・プルアップ抵抗オプション・レジスタ (PUOH, PUOL)
- ・キー・リターン・モード・レジスタ (KRM)

(1) ポート・モード・レジスタ (PM0-PM3, PM7-PM11)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0-PM3, PM7-PM11は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-4のように設定してください。

注意1. P00, P07端子は、入力専用端子です。

2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. ポート11には立ち下がりエッジ検出機能があります。兼用機能の端子として使用する端子を、立ち下がりエッジ入力に選択しないでください。立ち下がりエッジ入力の設定については、[図6-21 キー・リターン・モード・レジスタのフォーマットを参照してください。](#)

表6 - 4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P00	INTP0	入力	1 (固定)	なし
	TI00	入力	1 (固定)	なし
P01	INTP1	入力	1	x
	TI01	入力	1	x
P02-P05	INTP2-INTP5	入力	1	x
P07 ^{注1}	XT1	入力	1 (固定)	なし
P10-P17 ^{注1}	ANI0-ANI7	入力	1	x
P30-P32	TO0-TO2	出力	0	0
P33, P34	TI1, TI2	入力	1	x
P35	PCL	出力	0	0
P36	BUZ	出力	0	0
P80-P87	S39-S32	出力		x ^{注2}
P90-P97	S31-S24	出力		x ^{注2}

注1. 兼用機能の端子として使用しているときに、これらのポートに対して読み出し命令を実行した場合、読み出したデータは不定になります。

2. P80-P87, P90-P97端子を兼用機能の端子として使用するときは、LCD表示コントロール・レジスタ (LCDC) で機能を設定します。

注意 ポート2，ポート7，ポート11をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15 - 4 シリアル動作モード・レジスタ0のフォーマット，図16 - 4 シリアル動作モード・レジスタ0のフォーマット，表17 - 2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧，図18 - 3 シリアル動作モード・レジスタ3のフォーマットを参照してください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図6 - 19 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	PM05	PM04	PM03	PM02	PM01	1	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	1	1	1	1	1	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM7	1	1	1	1	1	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 7-11 : n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PUOH, PUOL)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PUOH, PUOLで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットおよびアナログ入力端子として使用するビットは、PUOH, PUOLの設定にかかわらず、内蔵プルアップ抵抗を使用できません。

PUOH, PUOLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

- 注意1. P00, P07端子は、プルアップ抵抗を内蔵していません。
2. ポート1, 8, 9を兼用機能の端子として使用するとき、PUOmに1を設定しても内蔵プルアップ抵抗を使用できません (m = 1, 8, 9)。

図6 - 20 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	①				アドレス	リセット時	R/W
PUOH	0	0	0	0	PUO11	PUO10	PUO9	PUO8	FFF3H	00H	R/W
		6	5	4	①						
PUOL	PUO7	0	0	0	PUO3	PUO2	PUO1	PUO0	FFF7H	00H	R/W

PUOm	Pmの内蔵プルアップ抵抗の選択 (m = 0-3, 7-11)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 PUOHのビット4-ビット7, PUOLのビット4-ビット6には、0を設定してください。

(3) キー・リターン・モード・レジスタ (KRM)

ポート11の立ち下がりエッジ入力を選択，キー・リターン信号（ポート11の立ち下がりエッジ検出）によるスタンバイ・モードの解除の許可 / 禁止を設定するレジスタです。

KRMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

図6 - 21 キー・リターン・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W
KRM	0	0	0	0	KRM3	KRM2	KRMK	FFB8H	02H	R/W

KRM3	KRM2	ポート11の立ち下がりエッジ入力の選択
0	0	P117
0	1	P114-P117
1	0	P112-P117
1	1	P110-P117

KRMK	キー・リターン信号によるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

KRIF	キー・リターン信号検出フラグ
0	未検出
1	検出（ポート11の立ち下がりエッジ検出）

注意 ポート11で立ち下がりエッジ検出を使用するとき，必ずKRIFを0にクリアしてください（KRIFは自動的に0にクリアされません）。

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

1~5.0 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

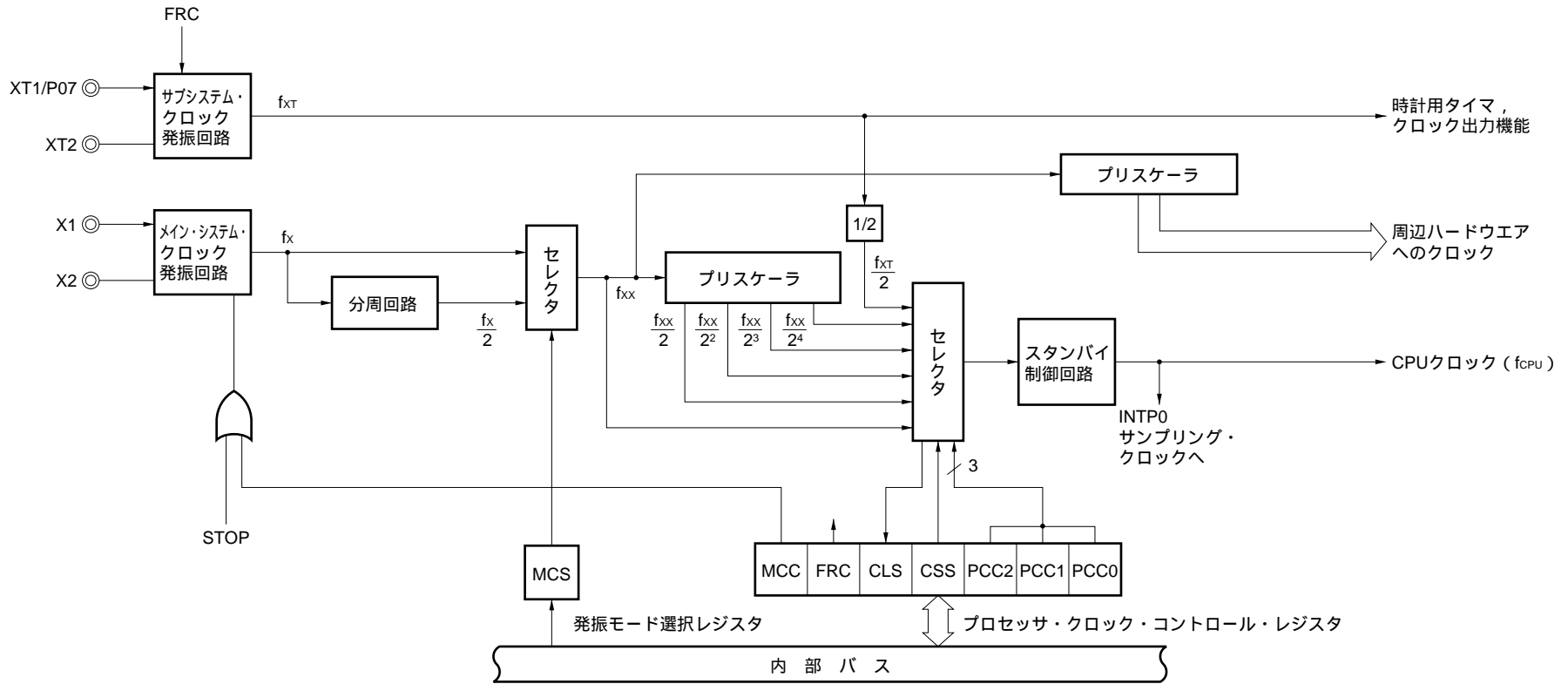
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） 発振モード選択レジスタ（OSMS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図7 - 1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ 発振モード選択レジスタ (OSMS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作/停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図7-2 サブシステム・クロックのフィードバック抵抗

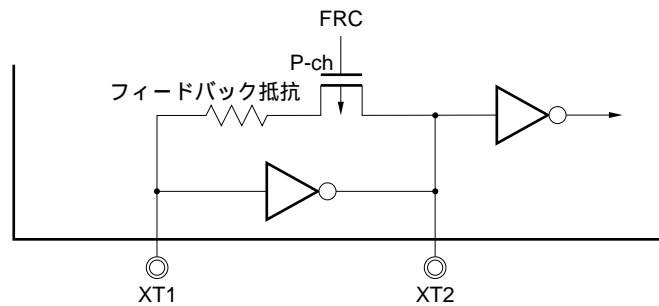


図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号					3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFF BH	04 H	R/W ^{注1}

R/W	MCC	メイン・システム・クロックの発振の制御 ^{注2}
	0	発振可能
	1	発振停止

R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択
	0	内蔵フィードバック抵抗を使用する
	1	内蔵フィードバック抵抗を使用しない

R	CLS	CPUクロックのステータス
	0	メイン・システム・クロック
	1	サブシステム・クロック

R/W	CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) 選択	
					MCS = 1	MCS = 0
0	0	0	0	f _x	f _x /2	
	0	0	1	f _x /2	f _x /2 ²	
	0	1	0	f _x /2 ²	f _x /2 ³	
	0	1	1	f _x /2 ³	f _x /2 ⁴	
	1	0	0	f _x /2 ⁴	f _x /2 ⁵	
1	0	0	0	f _{xT} /2		
	0	0	1			
	0	1	0			
	0	1	1			
	1	0	0			
上記以外				設定禁止		

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には、必ず0を設定してください。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. f_{xT} : サブシステム・クロック発振周波数
 3. MCS : 発振モード選択レジスタのビット0

μ PD780308, 780308Yサブシリーズの一番速い命令は, CPUクロック2クロックで実行されます。したがって, CPUクロック (f_{CPU}) と最小命令実行時間の関係は, 表7 - 2のようになります。

表7 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$
f_X	$0.4 \mu s$
$f_X/2$	$0.8 \mu s$
$f_X/2^2$	$1.6 \mu s$
$f_X/2^3$	$3.2 \mu s$
$f_X/2^4$	$6.4 \mu s$
$f_X/2^5$	$12.8 \mu s$
$f_{XT}/2$	$122 \mu s$

$f_X = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$

f_X : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) 発振モード選択レジスタ (OSMS)

メイン・システム・クロック発振回路から分周回路を通さずに出力したクロックをメイン・システム・クロックとするか、分周回路を通して出力したクロックをメイン・システム・クロックとするかを設定するレジスタです。

OSMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-4 発振モード選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSMS	0	0	0	0	0	0	0	MCS	FFF2H	00H	W

MCS	メイン・システム・クロックの分周回路の制御
0	分周回路を使用する
1	分周回路を使用しない

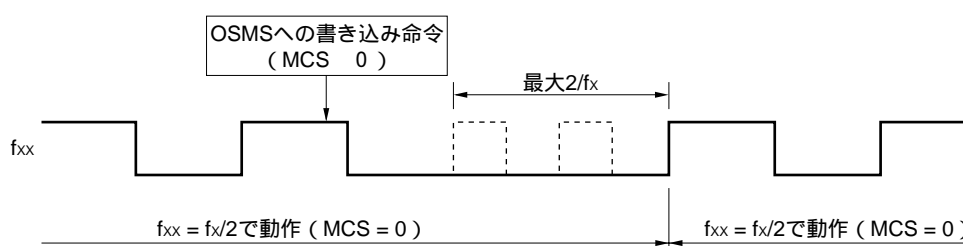
注意1. OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大 $2/f_x$ 長くなります(図7-5参照)。

このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。

また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。

したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

図7-5 OSMS書き込み時のメイン・システム・クロック



2. MCSに1を設定する場合は、V_{DD} 2.7 Vになってから行ってください。

備考 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

7.4 システム・クロック発振回路

7.4.1 メイン・システム・クロック発振回路

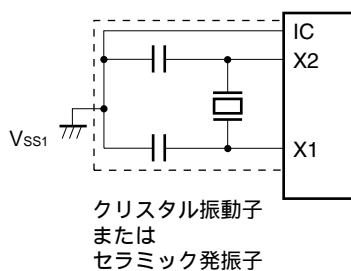
メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

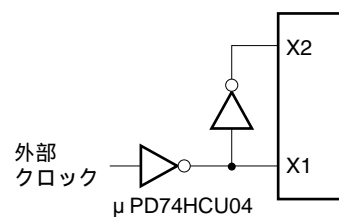
図7-6にメイン・システム・クロック発振回路の外付け回路を示します。

図7-6 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル，セラミック発振



(b) 外部クロック



注意 外部クロックを入力しているとき、STOP命令の実行およびMCCに1を設定することはできません。
これはX2端子が V_{DD1} にプルアップされるためです。

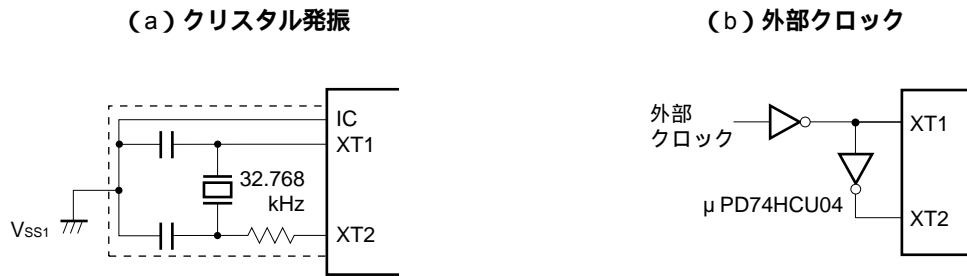
7.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また,外部クロックを入力することもできます。その場合,XT1端子にクロック信号を入力し,XT2端子には,その反転した信号を入力してください。

図7-7にサブシステム・クロック発振回路の外付け回路を示します。

図7-7 サブシステム・クロック発振回路の外付け回路



注意を次ページに示します。

注意1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-6, 7-7の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

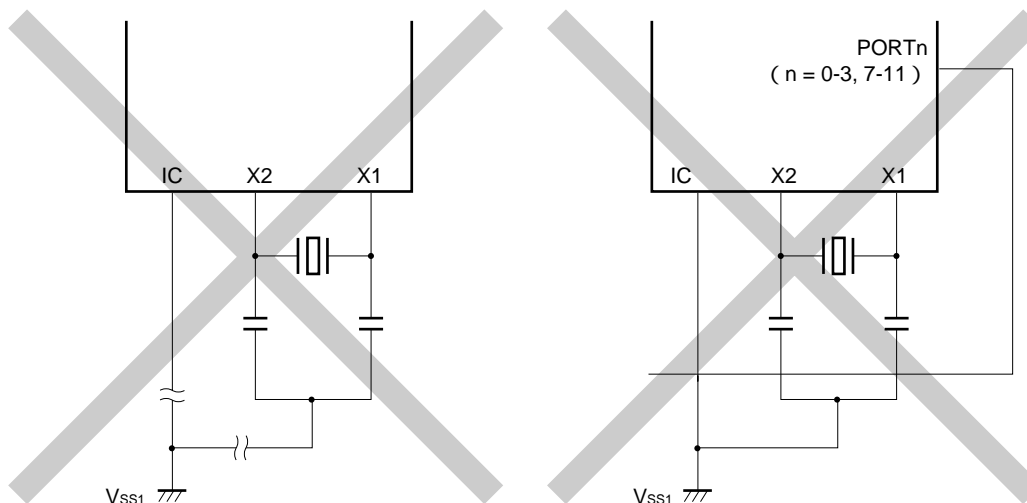
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

図7-8に発振子の接続の悪い例を示します。

図7-8 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

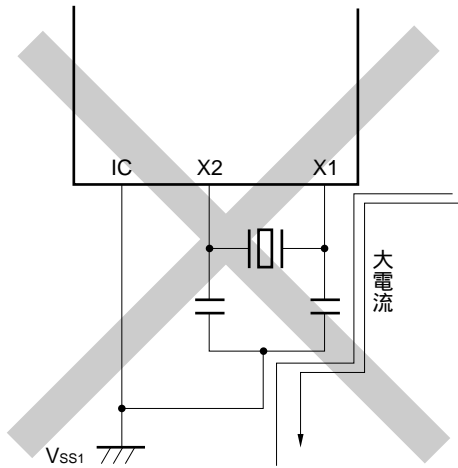
(b) 信号線が交差している



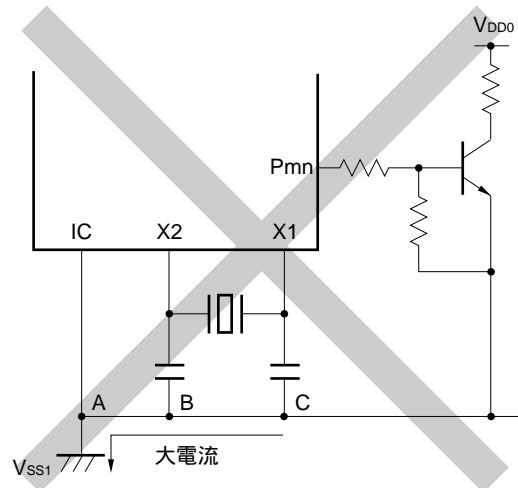
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図7-8 発振子の接続の悪い例 (2/2)

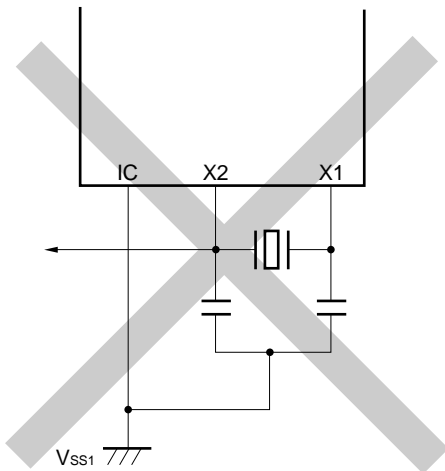
(c) 変化する大電流が信号線に近接している



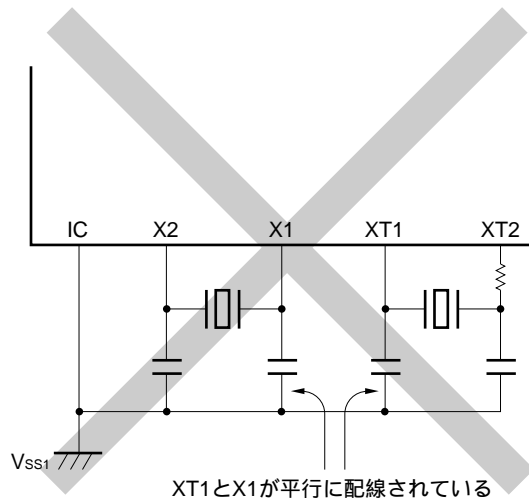
(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(f) メイン・システム・クロックとサブシステム・クロックの信号線が平行でかつ隣接している。



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意2. 図7-8 (f) ではXT1とX1が平行に配線されています。このためX1のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。これを避けるために、XT1とX1の配線を平行にしないように配線することを推奨します。

7.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (f_{xx}) を分周して、各種クロックを生成します。

7.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : V_{DD0} に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるため、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) により上述の内蔵フィードバック抵抗を取り除くことができます。このときも、XT1, XT2端子の処理は上記と同じです。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_{XX}
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) , 発振モード選択レジスタ (OSMS) により決定され、次のような機能、動作となります。

- RESET信号発生によりメイン・システム・クロックの最低速モード (12.8 μ s : 5.0 MHz動作時) が選択されます (PCC = 04H, OSMS = 00H)。なお、RESET端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- メイン・システム・クロックを選択した状態でPCC, OSMSの設定により6段階のCPUクロック (0.4 μ s, 0.8 μ s, 1.6 μ s, 3.2 μ s, 6.4 μ s, 12.8 μ s : 5.0 MHz動作時) を選択できます。
- メイン・システム・クロックを選択した状態でSTOPモード, HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6 (FRC) で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電流をさらに低減できます。
- PCCにより、サブシステム・クロックを選択し、低消費電流で動作 (122 μ s : 32.768 kHz動作時) できます。
- サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードを使用できません (サブシステム・クロックの発振を停止させることはできません)。
- 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16ビット・タイマ/イベント・カウンタ、時計用タイマ、クロック出力機能にのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも16ビット・タイマ/イベント・カウンタ (サブシステム・クロック動作時でカウント・クロックに時計用タイマ出力を選択したとき)、時計機能、クロック出力機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

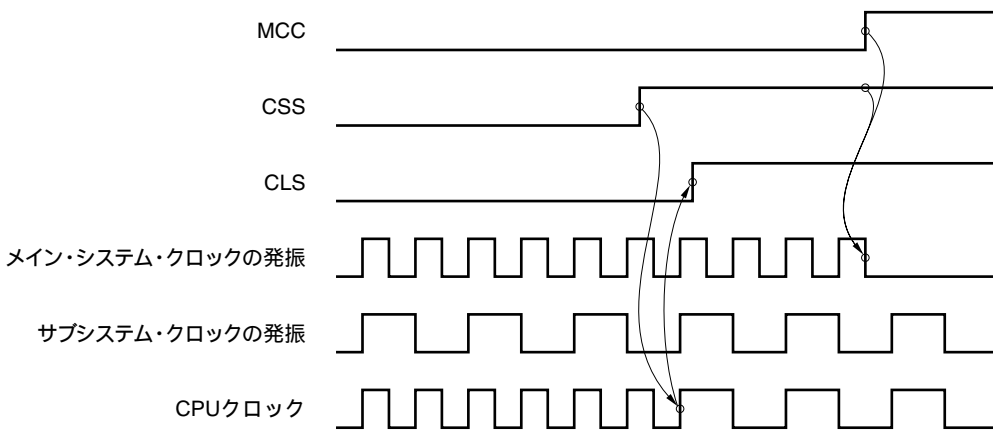
7.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき），PCCの設定により次のように動作します。

- (a) 電源電圧により動作保証命令実行速度が異なるため，PCCのビット0-ビット2（PCC0-PCC2）により最小命令実行時間を変更できます。
- (b) メイン・システム・クロックで動作しているときPCCのビット7（MCC）を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4（CSS）を1に設定し，サブシステム・クロック動作に切り替わったあと（CLS = 1），メイン・システム・クロックの発振が停止します（**図7-9 参照**）。

図7-9 メイン・システム・クロックの停止機能（1/2）

(a) メイン・システム・クロック動作時にCSSをセットしたあと，MCCをセットしたときの動作



(b) メイン・システム・クロック動作時にMCCをセットしたときの動作

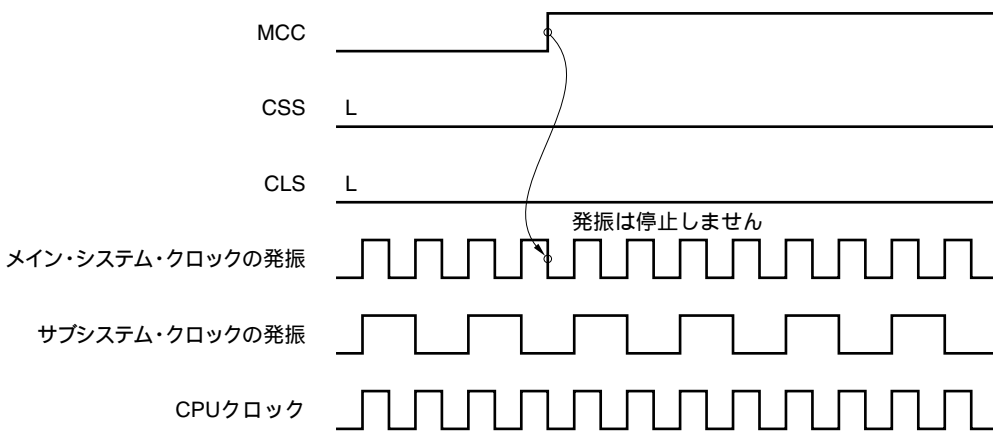
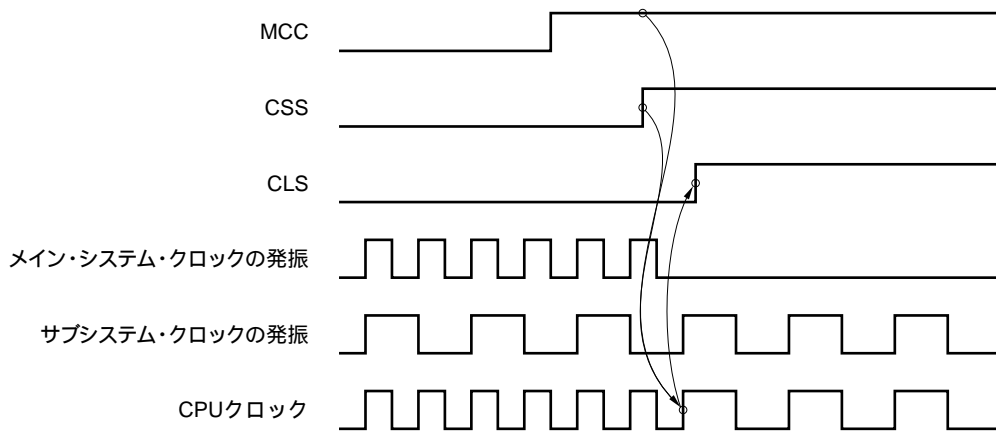


図7-9 メイン・システム・クロックの停止機能 (2/2)

(c) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



7.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5(CLS)が1のとき),次のように動作します。

- (a) PCCのビット0-ビット2(PCC0-PCC2)に関係なく最小命令実行時間は一定(122 μ s : 32.768 kHz動作時)です。
- (b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

7.6 システム・クロックとCPUクロックの設定の変更

7.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-ビット2 (PCC0-PCC2) とビット4 (CSS) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表7-3参照)。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかの判定は、PCCのビット5 (CLS) で行えます。

表7-3 CPUクロックの切り替えに要する最大時間

切り替え後の設定値					切り替え前の設定値																							
MCS	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
					0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
x	0	0	0	0	/				8命令				4命令				2命令				1命令							
									16命令				4命令				2命令				1命令							
									16命令				8命令				2命令				1命令							
									16命令				8命令				4命令				1命令							
									16命令				8命令				4命令				2命令				1命令			
1	1	x	x	x	fx/2fxT命令 (77命令)				fx/4fxT命令 (39命令)				fx/8fxT命令 (20命令)				fx/16fxT命令 (10命令)				fx/32fxT命令 (5命令)							
					fx/4fxT命令 (39命令)				fx/8fxT命令 (20命令)				fx/16fxT命令 (10命令)				fx/32fxT命令 (5命令)				fx/64fxT命令 (3命令)							

注意 CPUクロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に行わないでください。ただし、CPUクロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

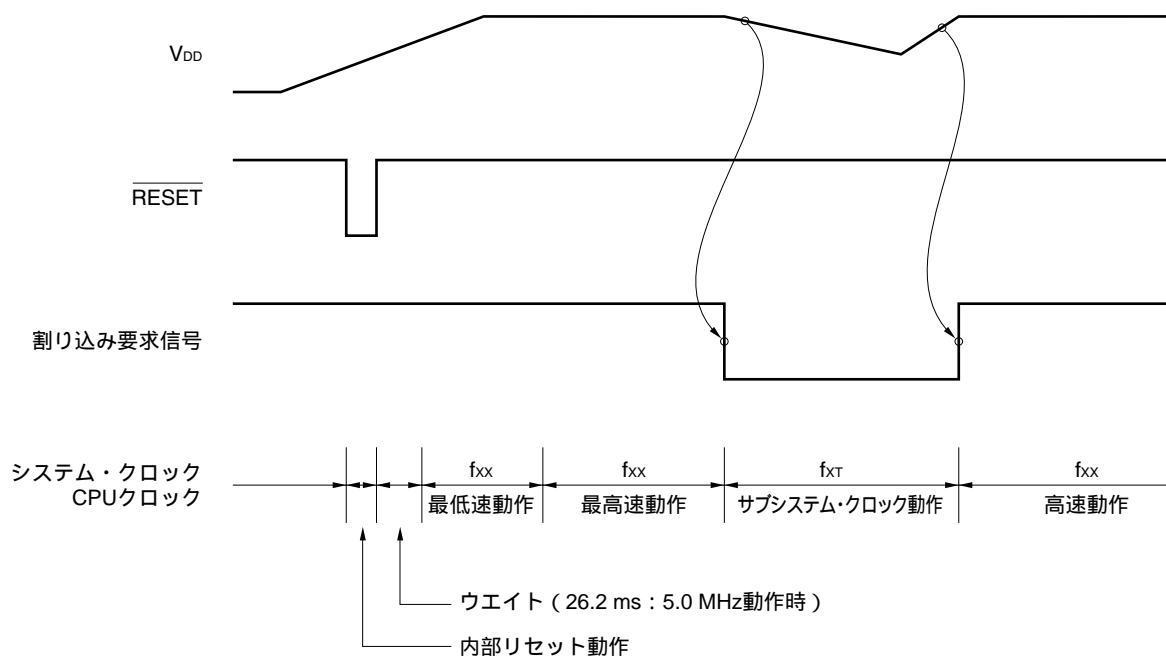
備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. ()内はfx = 5.0 MHz, fxT = 32.768 kHz時。

7.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図7-10 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの最低速 (12.8 μs : 5.0 MHz動作時) で命令の実行を開始します。

V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC)、発振モード選択レジスタ (OSMS) を書き換えて最高速動作を行います。V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC、OSMSを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第8章 16ビット・タイマ/イベント・カウンタ

8.1 μ PD780308, 780308Yサブシリーズ内蔵タイマの概要

この章では16ビット・タイマ/イベント・カウンタについて説明しますが、その前に μ PD780308, 780308Yサブシリーズが内蔵しているタイマおよびそれに関連するものについて、その概要を以下に示します。

(1) 16ビット・タイマ/イベント・カウンタ (TM0)

インターバル・タイマ, PWM出力, パルス幅測定 (赤外線リモコン受信機能), 外部イベント・カウンタ, 任意の周波数の方形波出力, ワンショット・パルス出力などに使用できます。

(2) 8ビット・タイマ/イベント・カウンタ (TM1, TM2)

インターバル・タイマ, 外部イベント・カウンタ, 任意の周波数の方形波出力などに使用できます。また, 2本の8ビット・タイマ/イベント・カウンタを1本の16ビット・タイマ/イベント・カウンタとして使用することもできます (第9章 8ビット・タイマ/イベント・カウンタ参照)。

(3) 時計用タイマ (TM3)

0.5秒ごとにフラグをセット, および, あらかじめ設定した任意の時間間隔で割り込み要求を同時に発生できます (第10章 時計用タイマ参照)。

(4) ウォッチドッグ・タイマ (WDTM)

ウォッチドッグ・タイマ, あるいは, あらかじめ設定した任意の時間間隔でノンマスカブル割り込み要求, マスカブル割り込み要求, $\overline{\text{RESET}}$ を発生できます (第11章 ウォッチドッグ・タイマ参照)。

(5) クロック出力制御回路

メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給する回路です (第12章 クロック出力制御回路参照)。

(6) ブザー出力制御回路

メイン・システム・クロックを分周したブザー周波数を出力する回路です (第13章 ブザー出力制御回路参照)。

表8-1 タイマ/イベント・カウンタの種類と機能

		16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ/ イベント・カウンタ	時計用タイマ	ウォッチドッグ・ タイマ
種類	インターバル・タイマ	2チャンネル ^{注1}	2チャンネル	1チャンネル ^{注2}	1チャンネル ^{注3}
	外部イベント・カウンタ			-	-
機能	タイマ出力			-	-
	PWM出力		-	-	-
	パルス幅測定		-	-	-
	方形波出力			-	-
	ワンショット・パルス出力		-	-	-
	割り込み要求				
	テスト入力	-	-		-

注1. キャプチャ/コンペア・レジスタ00,01 (CR00, CR01) をともにコンペア・レジスタに指定したとき。

2. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

3. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

8.2 16ビット・タイマ/イベント・カウンタの機能

16ビット・タイマ/イベント・カウンタ (TM0) には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表8 - 2 16ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2 × TI00入力周期		2 ¹⁶ × TI00入力周期		TI00入力エッジ周期	
-	2 × 1/f _x (400 ns)	-	2 ¹⁶ × 1/f _x (13.1 ms)	-	1/f _x (200 ns)
2 × 1/f _x (400 ns)	2 ² × 1/f _x (800 ns)	2 ¹⁶ × 1/f _x (13.1 ms)	2 ¹⁷ × 1/f _x (26.2 ms)	1/f _x (200 ns)	2 × 1/f _x (400 ns)
2 ² × 1/f _x (800 ns)	2 ³ × 1/f _x (1.6 μs)	2 ¹⁷ × 1/f _x (26.2 ms)	2 ¹⁸ × 1/f _x (52.4 ms)	2 × 1/f _x (400 ns)	2 ² × 1/f _x (800 ns)
2 ³ × 1/f _x (1.6 μs)	2 ⁴ × 1/f _x (3.2 μs)	2 ¹⁸ × 1/f _x (52.4 ms)	2 ¹⁹ × 1/f _x (104.9 ms)	2 ² × 1/f _x (800 ns)	2 ³ × 1/f _x (1.6 μs)
2 × 時計用タイマ出力周期		2 ¹⁶ × 時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0
3. () 内は, f_x = 5.0 MHz動作時。

(2) PWM出力

14ビット分解能のPWM出力ができます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

表8 - 3 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2 × TI00入力周期		2 ¹⁶ × TI00入力周期		TI00入力エッジ周期	
-	2 × 1/fx (400 ns)	-	2 ¹⁶ × 1/fx (13.1 ms)	-	1/fx (200 ns)
2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)	2 ¹⁶ × 1/fx (13.1 ms)	2 ¹⁷ × 1/fx (26.2 ms)	1/fx (200 ns)	2 × 1/fx (400 ns)
2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)	2 ¹⁷ × 1/fx (26.2 ms)	2 ¹⁸ × 1/fx (52.4 ms)	2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)
2 ³ × 1/fx (1.6 μs)	2 ⁴ × 1/fx (3.2 μs)	2 ¹⁸ × 1/fx (52.4 ms)	2 ¹⁹ × 1/fx (104.9 ms)	2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)
2 × 時計用タイマ出力周期		2 ¹⁶ × 時計用タイマ出力周期		時計用タイマ出力エッジ周期	

- 備考1. fx : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタのビット0
 3. () 内は, fx = 5.0 MHz動作時。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

8.3 16ビット・タイマ/イベント・カウンタの構成

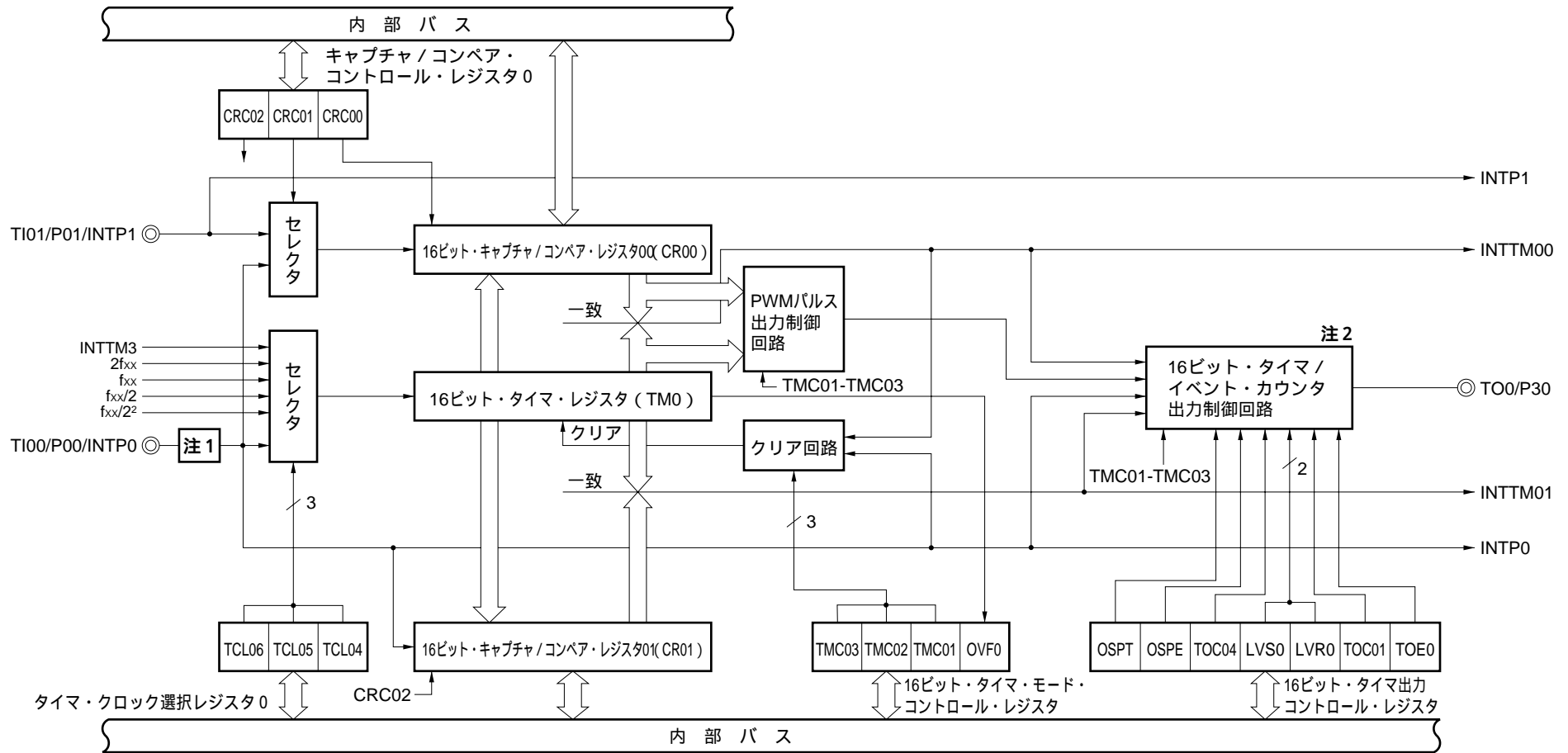
16ビット・タイマ/イベント・カウンタは, 次のハードウェアで構成しています。

表8 - 4 16ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	16ビット×1本 (TM0)
レジスタ	キャプチャ/コンペア・レジスタ : 16ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO0)
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ (TOC0) ポート・モード・レジスタ3 (PM3) 外部割り込みモード・レジスタ0 (INTM0) サンプリング・クロック選択レジスタ (SCS) ^注

注 図20 - 1 割り込み機能の基本構成を参照してください。

図8 - 1 16ビット・タイマ/イベント・カウンタのブロック図

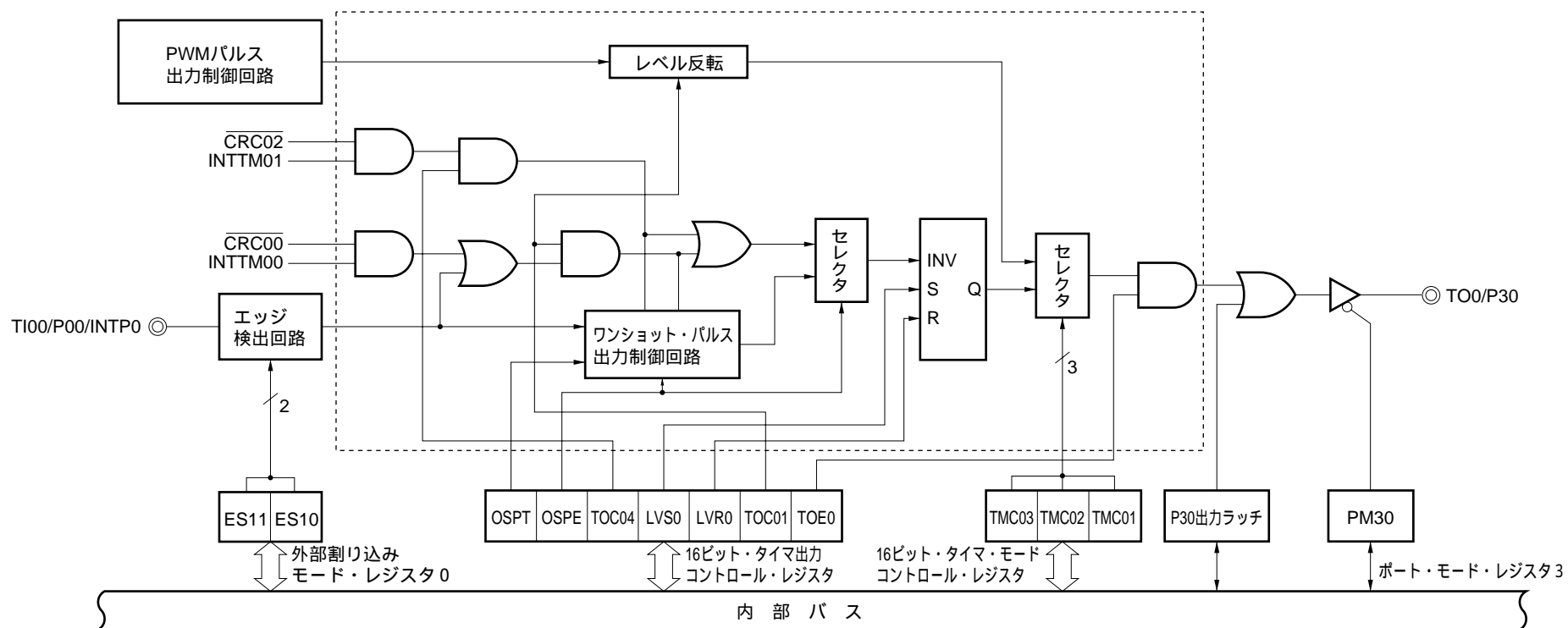


注1. エッジ検出回路

2. 16ビット・タイマ/イベント・カウンタの出力制御回路の構成は、図8 - 2を参照してください。

備考 $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

図8-2 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図



備考 破線部内が出力制御回路です。

(1) キャプチャ/コンペア・レジスタ00 (CR00)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR00をコンペア・レジスタとして使用するとき、CR00に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したときには、インターバル時間を保持するレジスタとして、またPWM出力動作を設定したときには、パルス幅を設定するレジスタとして使用します。

CR00をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとしてINTP0/TI00端子、またはINTP1/TI01端子の有効エッジが選択できます。INTP0/TI00、INTP1/TI01の有効エッジの設定は外部割り込みモード・レジスタ0で行います。

ただし、CR00をキャプチャ・レジスタとして指定し、キャプチャ・トリガをINTP0/TI00端子の有効エッジに指定したときは、次の表のようになります。

表8 - 5 INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ

ES11	ES10	INTP0/TI00端子の有効エッジ	CR00のキャプチャ・トリガの有効エッジ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	キャプチャ動作しない

CR00は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意1. PWMのデータ (14ビット) は、CR00の上位4ビットに設定してください。このとき、下位2ビットには00を設定してください。
- CR00には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用时、1パルスのカウント動作はできません。
 - CR00の変更後の値が16ビット・タイマ・レジスタ (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

(2) キャプチャ/コンペア・レジスタ01 (CR01)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット2 (CRC02) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR01をコンペア・レジスタとして使用するとき、CR01に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01) を発生します。

CR01をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとしてINTP0/TI00端子の有効エッジが選択できます。INTP0/TI00の有効エッジの設定は外部割り込みモード・レジスタ0 (INTM0) で行います。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR01の読み出し中にTI00/P00端子の有効エッジが入力されたとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ (PIF0) はセットされます。

(3) 16ビット・タイマ・レジスタ (TM0)

カウント・パルスをカウントする16ビットのレジスタです。

TM0は、16ビット・メモリ操作命令で読み出します。TM0を読み出す場合にはキャプチャ/コンペア・レジスタ01 (CR01) をキャプチャ・レジスタに設定したのちに行ってください。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

注意 TM0の値の読み出しはCR01を介して行いますので、CR01の値を破壊します。

8.4 16ビット・タイマ/イベント・カウンタを制御するレジスタ

16ビット・タイマ/イベント・カウンタは、次の7種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・16ビット・タイマ・モード・コントロール・レジスタ (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ (TOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・サンプリング・クロック選択レジスタ (SCS)

(1) タイマ・クロック選択レジスタ0 (TCL0)

16ビット・タイマ・レジスタ (TM0) のカウント・クロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL0は、16ビット・タイマ・レジスタのカウント・クロックの設定以外に、PCL出力のクロックを設定する機能があります。

図8-3 タイマ・クロック選択レジスタ0のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

CLOE	PCL出力の制御	
0	出力禁止	
1	出力許可	

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択	
			MCS = 1	MCS = 0
0	0	0	TI00 (有効エッジ指定可能)	
0	0	1	設定禁止	f_x (5.0 MHz)
0	1	0	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)
0	1	1	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
1	0	0	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)	
上記以外			設定禁止	

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択	
				MCS = 1	MCS = 0
0	0	0	0	f_{XT} (32.768 kHz)	
0	1	0	1	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
上記以外				設定禁止	

- 注意1. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
 4. TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. f_{XT} : サブシステム・クロック発振周波数
 3. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 4. TM0 : 16ビット・タイマ・レジスタ
 5. MCS : 発振モード選択レジスタのビット0
 6. () 内は, $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタのクリア・モード, 出力タイミングの設定, オーバフローを検出するレジスタです。

TMC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

注意 16ビット・タイマ・レジスタは, TMC01-TMC03に0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには, TMC01-TMC03に0, 0, 0を設定してください。

図8-4 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込みの発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード (フリーランニング)	PWMパルス出力	TM0とCR00の一致 および
0	1	0	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR01の一致 で発生
0	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	0	0	TI00の有効エッジで クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	0	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	1	0	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	

OVF0	16ビット・タイマ・レジスタのオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意1. クリア・モードおよびTO0の出力タイミングの切り替えは、タイマ動作を停止 (TMC01-TMC03に、0, 0, 0を設定) させたのちに行ってください。
- TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。
 - PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。
 - TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

- 備考 TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 TM0 : 16ビット・タイマ・レジスタ
 CR00 : キャプチャ/コンペア・レジスタ00
 CR01 : キャプチャ/コンペア・レジスタ01

(3) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の動作を制御するレジスタです。
 CRC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 04Hになります。

図8 - 5 キャプチャ/コンペア・コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00	FF4CH	04H	R/W

CRC02	CRC01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジでキャプチャする

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

- 注意1. CRC0の設定は, 必ずタイマ動作を停止させたのちに行ってください。
 2. 16ビット・タイマ・モード・コントロール・レジスタで, TM0とCR00の一致でクリア&スタート・モードを選択したとき, CR00をキャプチャ・レジスタに指定しないでください。

(4) 16ビット・タイマ出力コントロール・レジスタ (TOC0)

16ビット・タイマ/イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, PWMモード時のアクティブ・レベル, PWMモード時以外の出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止, ソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図8-6 16ビット・タイマ出力コントロール・レジスタのフォーマット

略号	7			4			1	①	アドレス	リセット時	R/W
TOC0	0	OSPT	OSPE	TOC04	LVS0	LVR0	TOC01	TOE0	FF4EH	00H	R/W

OSPT	ソフトウェアによるワンショット・パルスの出力トリガの制御	
0	ワンショット・パルス・トリガなし	
1	ワンショット・パルス・トリガあり	

OSPE	ワンショット・パルス出力動作の制御	
0	連続パルス出力	
1	ワンショット・パルス出力	

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS0	LVR0	16ビット・タイマ/イベント・カウンタのタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC04	PWMモード時		PWMモード時以外	
	アクティブ・レベルの選択		CR00とTM0の一致によるタイマ出力F/Fの制御	
0	ハイ・アクティブ		反転動作禁止	
1	ロウ・アクティブ		反転動作許可	

TOE0	16ビット・タイマ/イベント・カウンタの出力の制御	
0	出力禁止(ポート・モード)	
1	出力許可	

- 注意1. TOC0の設定は、必ずタイマ動作を停止させたのちに行ってください(ただし、OSPTを除く)。
 2. LVS0, LVR0は、データ設定後に読み出すと0になっています。
 3. OSPTは、データ設定後自動的にクリアされますので、読み出すと0になっています。

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TO0端子をタイマ出力として使用するとき, PM30およびP30の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図8-7 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(6) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-8 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES31	ES30	ES21	ES20	ES11	ES10	0	0	FFECH	00H	R/W

ES31	ES30	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES21	ES20	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意 INTP0/TI00端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタのビット1-ビット3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに行ってください。

(7) サンプリング・クロック選択レジスタ (SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-9 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択	
		MCS = 1	MCS = 0
0	0	$f_{xx}/2^N$	
0	1	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	$f_x/2^5$ (156.3 kHz)	$f_x/2^6$ (78.1 kHz)
1	1	$f_x/2^8$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)

注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。
 $f_{xx}/2^N$ はHALTモード中は停止します。

備考1. N : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) に設定した値 (N = 0-4)。

2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
3. f_x : メイン・システム・クロック発振周波数
4. MCS : 発振モード選択レジスタのビット0
5. () 内は、 $f_x = 5.0$ MHz動作時。

8.5 16ビット・タイマ/イベント・カウンタの動作

8.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図8 - 10のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

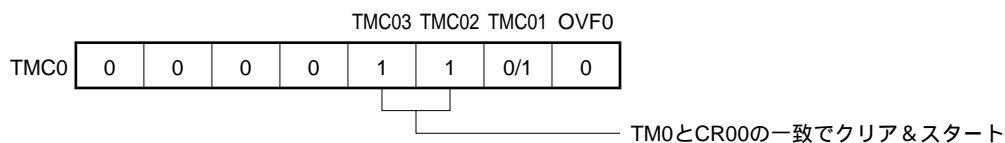
16ビット・タイマ・レジスタ (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

タイマ・クロック選択レジスタ0 (TCL0) のビット4-6 (TCL04-TCL06) で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

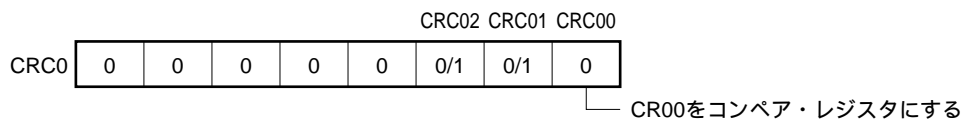
なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、8.6 16ビット・タイマ/イベント・カウンタの注意事項 (3) を参照してください。

図8 - 10 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8 - 11 インターバル・タイマの構成図

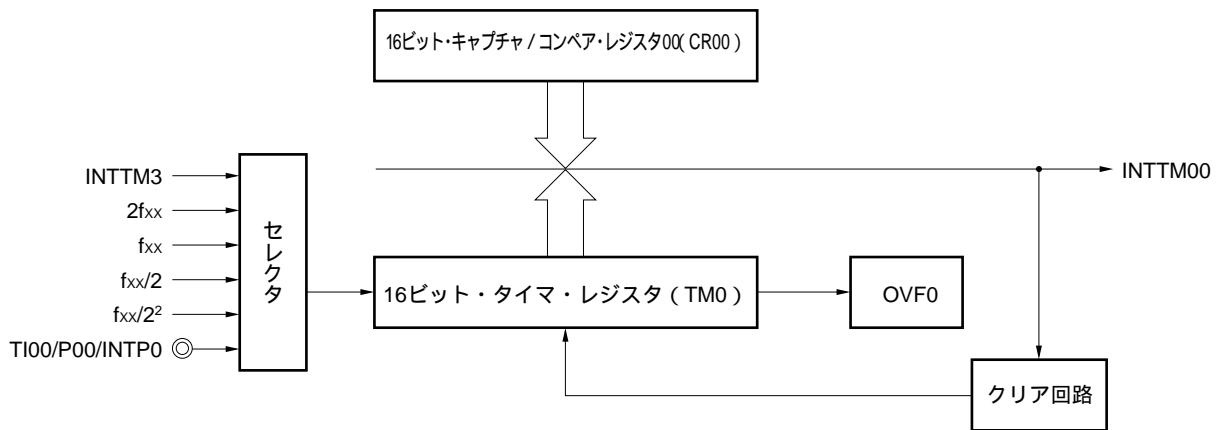
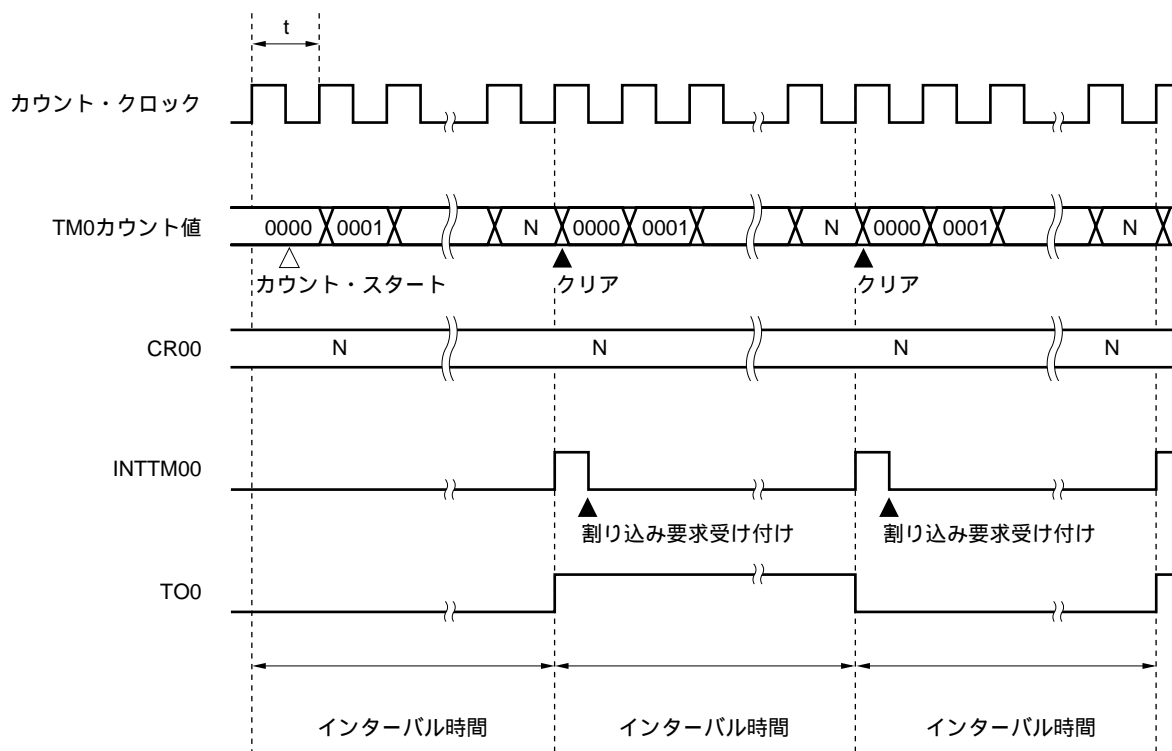


図8 - 12 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t : N = 0001H-FFFFH

表8 - 6 16ビット・タイマ/イベント・カウンタのインターバル時間

TCL06	TCL05	TCL04	最小インターバル時間		最大インターバル時間		分解能	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	2 × TI00入力周期		2 ¹⁶ × TI00入力周期		TI00入力エッジ周期	
0	0	1	設定禁止	2 × 1/fx (400 ns)	設定禁止	2 ¹⁶ × 1/fx (13.1 ms)	設定禁止	1/fx (200 ns)
0	1	0	2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)	2 ¹⁶ × 1/fx (13.1 ms)	2 ¹⁷ × 1/fx (26.2 ms)	1/fx (200 ns)	2 × 1/fx (400 ns)
0	1	1	2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)	2 ¹⁷ × 1/fx (26.2 ms)	2 ¹⁸ × 1/fx (52.4 ms)	2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)
1	0	0	2 ³ × 1/fx (1.6 μs)	2 ⁴ × 1/fx (3.2 μs)	2 ¹⁸ × 1/fx (52.4 ms)	2 ¹⁹ × 1/fx (104.9 ms)	2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)
1	1	1	2 × 時計用タイマ出力周期		2 ¹⁶ × 時計用タイマ出力周期		時計用タイマ出力エッジ周期	
上記以外			設定禁止					

備考1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0
3. () 内は, fx = 5.0 MHz動作時。

8. 5. 2 PWM出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と, キャプチャ/コンペア・コントロール・レジスタ0 (CRC0), 16ビット・タイマ出力コントロール・レジスタ (TOC0) を図8 - 13のように設定することにより, PWM出力として動作します。16ビット・キャプチャ/コンペア・レジスタ00 (CR00) に設定した値で決まるデューティ比のパルスを, TO0/P30端子から出力します。

PWMパルスのアクティブ・レベルの幅は, CR00の上位14ビットに設定してください。また, アクティブ・レベルは, TOC0のビット1 (TOC01) により選択します。

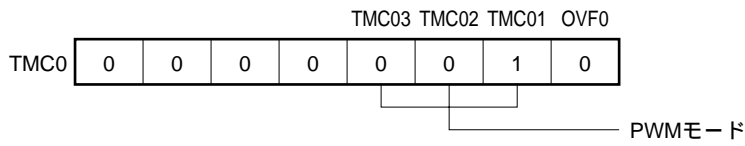
このPWMパルスは, 14ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ (LPF) で積分することによりアナログ電圧に変換できます。2⁸/ で決まる基本周期と2¹⁴/ で決まる副周期を組み合わせで作られており, 外付けのLPFの時定数を短くできるよう工夫されています。カウント・クロック はタイマ・クロック選択レジスタ0 (TCL0) のビット4-ビット6 (TCL04-TCL06) で選択できます。

TOC0のビット0 (TOE0) により, PWM出力の許可/禁止が選択できます。

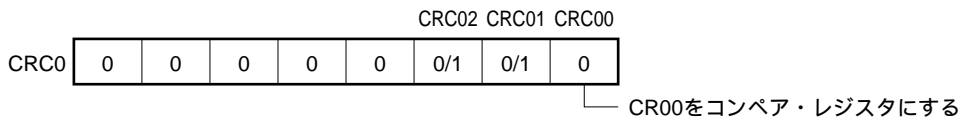
- 注意1. CR00への設定は, PWM動作モードを選択後に行ってください。
2. CR00のビット0, 1には必ず0を書き込んでください。
3. TI00/P00端子からの外部クロック入力するとき, PWM動作モードを選択しないでください。

図8 - 13 PWM出力動作時の制御レジスタ設定内容

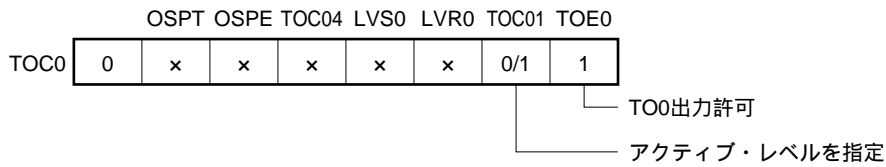
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



備考1. 0/1 : 0または1を設定することにより, PWM出力と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

2. x : don't care

14ビット分解能のPWMパルスを外付けのロウ・パス・フィルタで積分することによって、アナログ電圧に変換し、電子チューニングやD/Aコンバータなどに応用できます。

図8 - 14に示すような構成で、D/A変換に使用した場合のアナログ出力電圧 (V_{AN}) は次のようになります。

$$V_{AN} = V_{REF} \times \frac{\text{キャプチャ/コンペア・レジスタ00 (CR00) の値}}{2^{16}}$$

V_{REF} : 外部スイッチング回路の基準電圧

図8 - 14 PWM出力によるD/Aコンバータ構成例

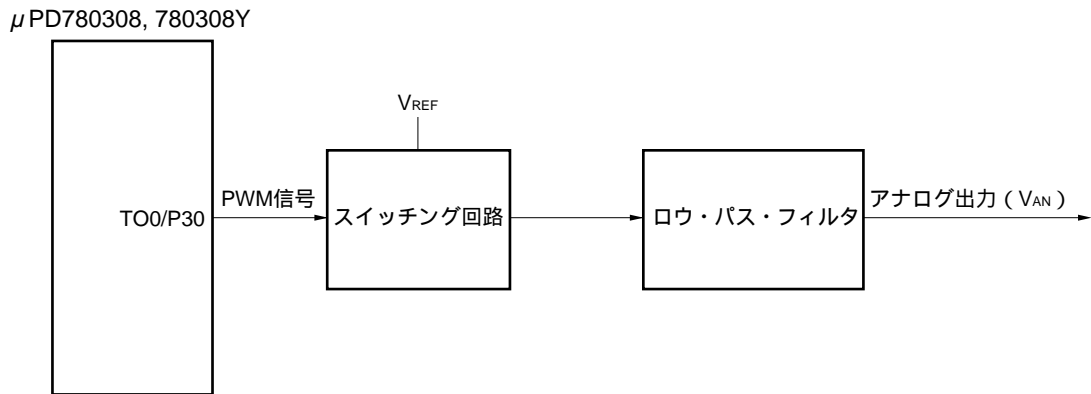
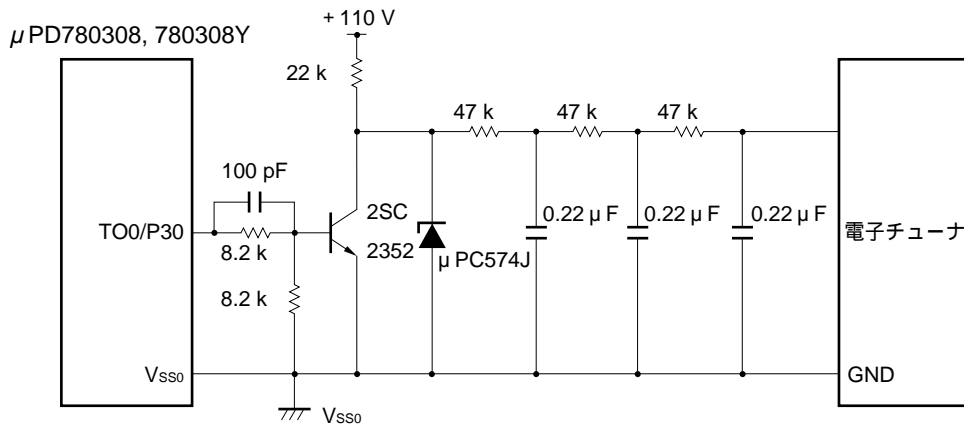


図8 - 15にPWM出力をアナログ電圧に変換し、ボルテージ・シンセサイザ方式のTVチューナに応用した例を示します。

図8 - 15 TVチューナへの応用回路例



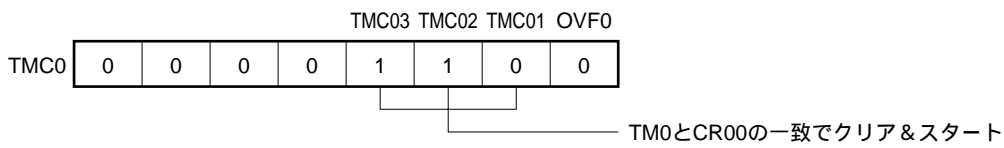
8.5.3 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図8 - 16のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

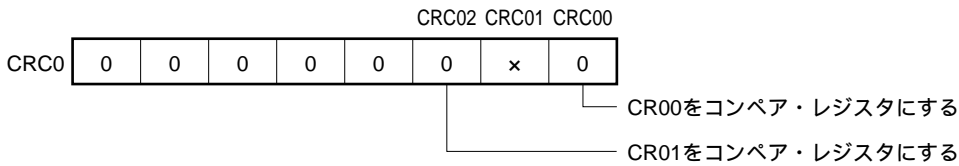
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/P30端子から出力します。

図8 - 16 PPG出力動作時の制御レジスタ設定内容

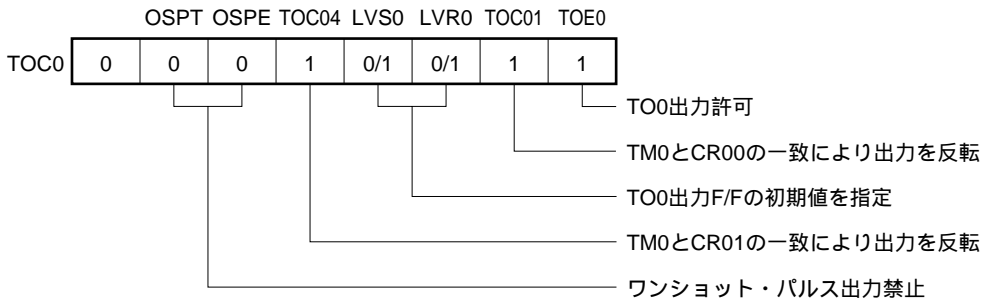
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



注意 CR00とCR01には次の範囲の値を設定してください。

0000H CR01 < CR00 FFFFH

備考 x : don't care

8.5.4 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TM0) を使用し, TI00/P00端子およびTI01/P01端子に入力される信号のパルス幅を測定できます。

測定方法は, TM0をフリーランニングさせて測定する方法とTI00/P00端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

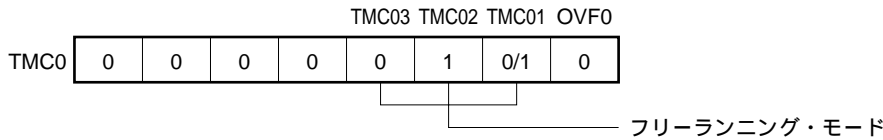
16ビット・タイマ・レジスタ (TM0) をフリーランニングで動作させているとき (図8 - 17のレジスタの設定参照), TI00/P00端子に外部割り込みモード・レジスタ0 (INTM0) で指定したエッジが入力されると TM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTP0) をセットします。

エッジ指定はINTM0のビット2, 3 (ES10, ES11) で行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

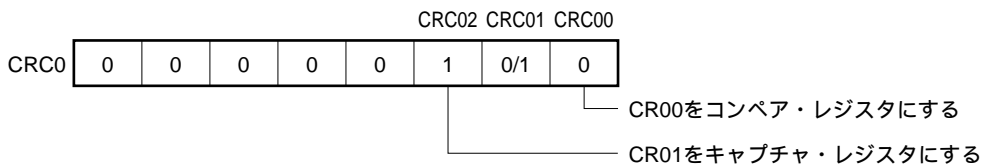
有効エッジの検出は, サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図8 - 17 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8 - 18 フリーランニング・カウンタによるパルス幅測定の構成図

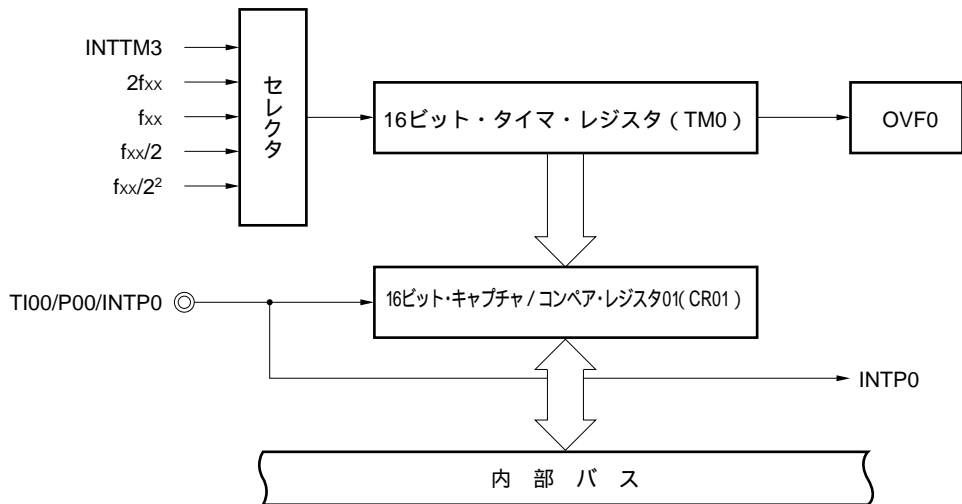
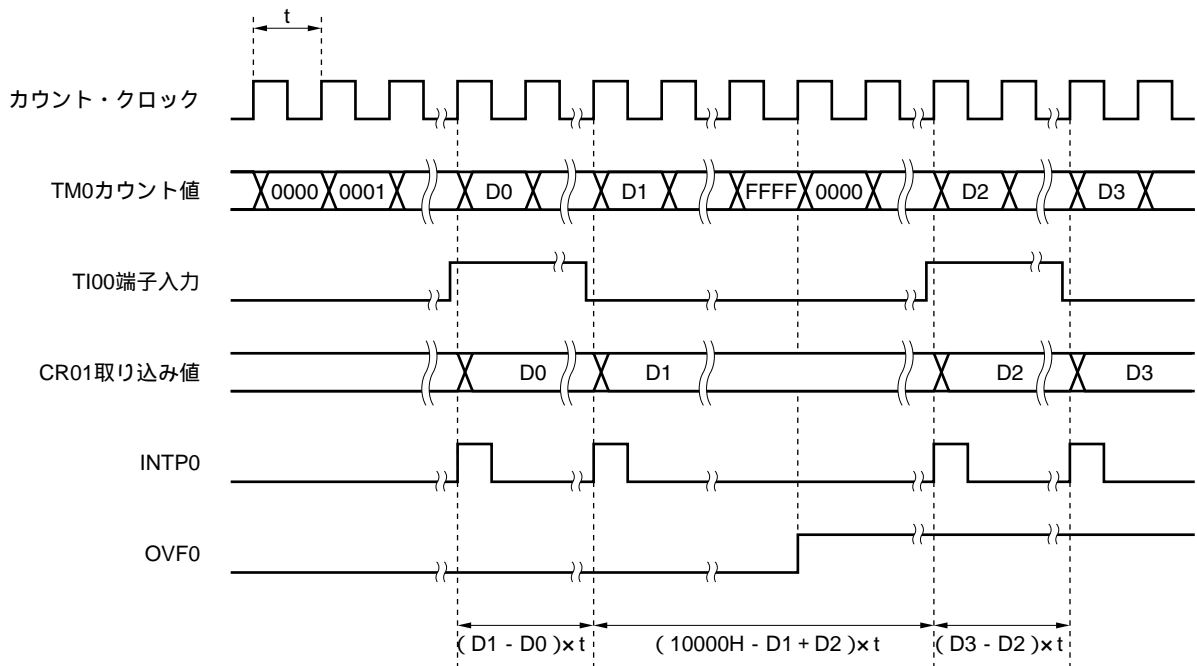


図8 - 19 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ (TM0) をフリーランニングで動作させているとき (図8 - 20のレジスタの設定参照) , TI00/P00端子およびTI01/P01端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/P00端子に外部割り込みモード・レジスタ0 (INTM0) のビット2, 3 (ES10, ES11) で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTP0) をセットします。

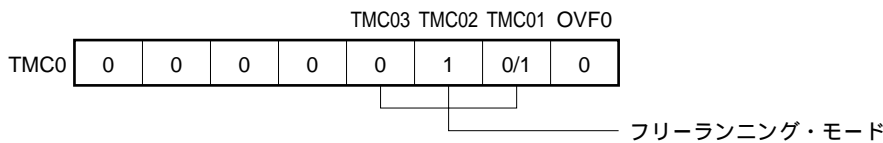
また, TI01/P01端子にINTM0のビット4, 5 (ES20, ES21) で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み, 外部割り込み要求信号 (INTP1) をセットします。

TI00/P00端子とTI01/P01端子のエッジ指定は, INTM0のビット2, 3 (ES10, ES11) およびビット4, 5 (ES20, ES21) でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

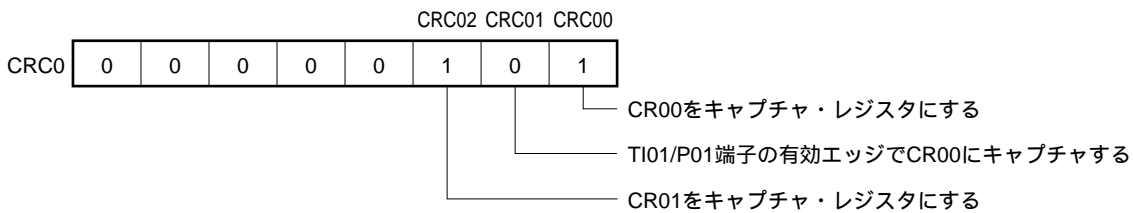
TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図8 - 20 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

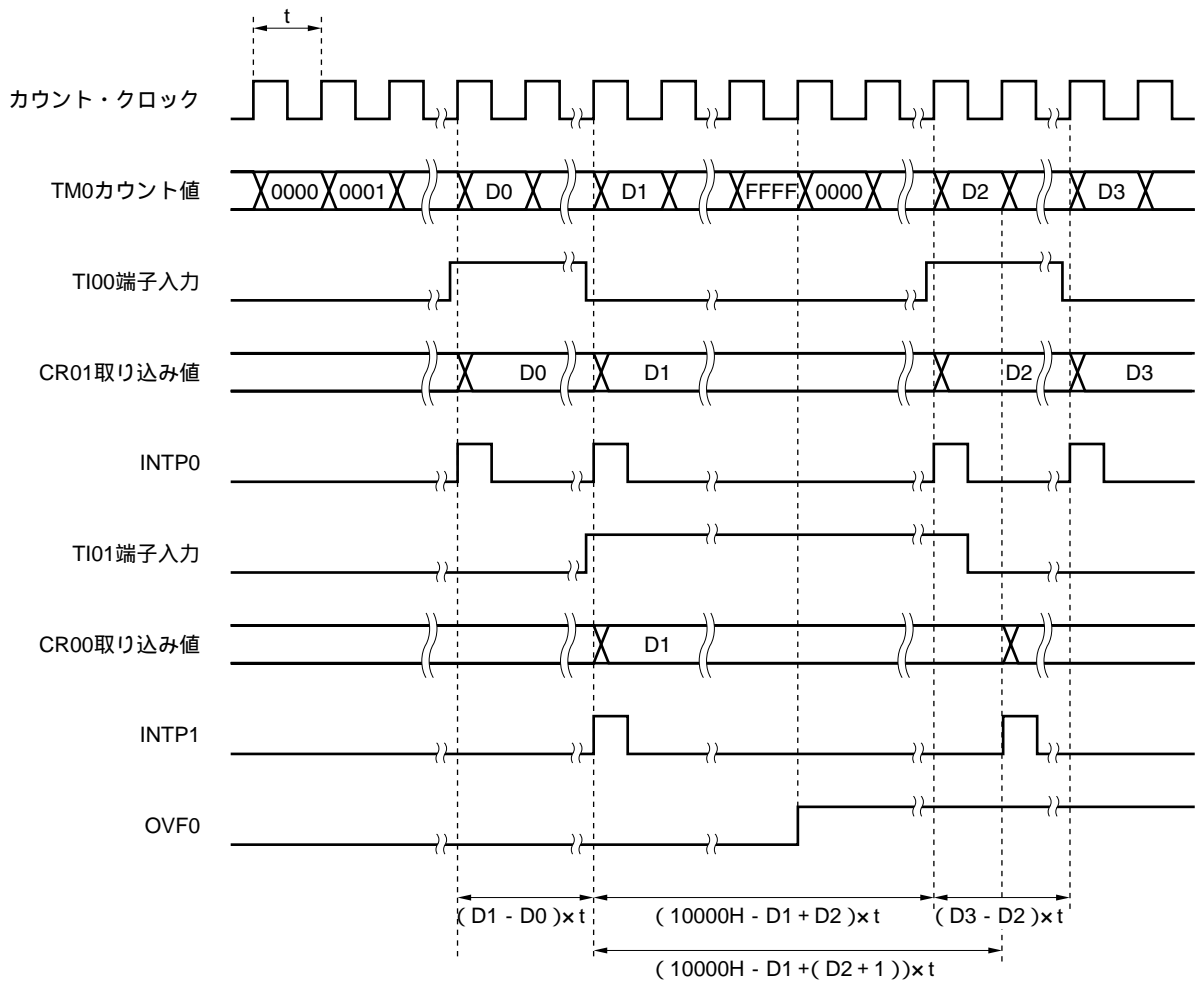


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8 - 21 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタ (TM0) をフリーランニングで動作させているとき (図8 - 22のレジスタの設定参照) , TI00/P00端子に入力する信号のパルス幅を測定できます。

TI00/P00端子に外部割り込みモード・レジスタ0 (INTM0) のビット2, 3 (ES10, ES11) で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTP0) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力でTM0の値を16ビット・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます。

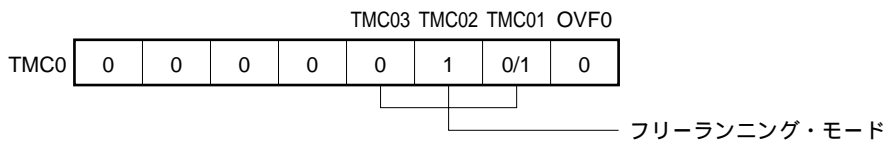
TI00/P00端子のエッジ指定は, INTM0のビット2, 3 (ES10, ES11) で行い, 立ち上がり, 立ち下がりエッジの2種類の選択ができます。

TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

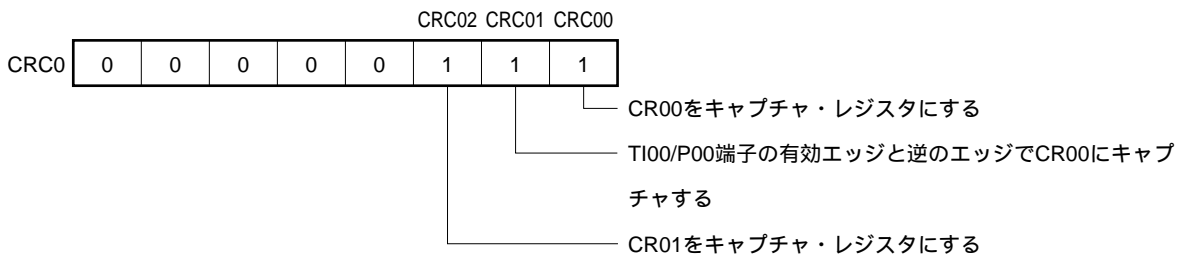
注意 TI00/P00端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, CR00はキャプチャ動作を行いません。

図8 - 22 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

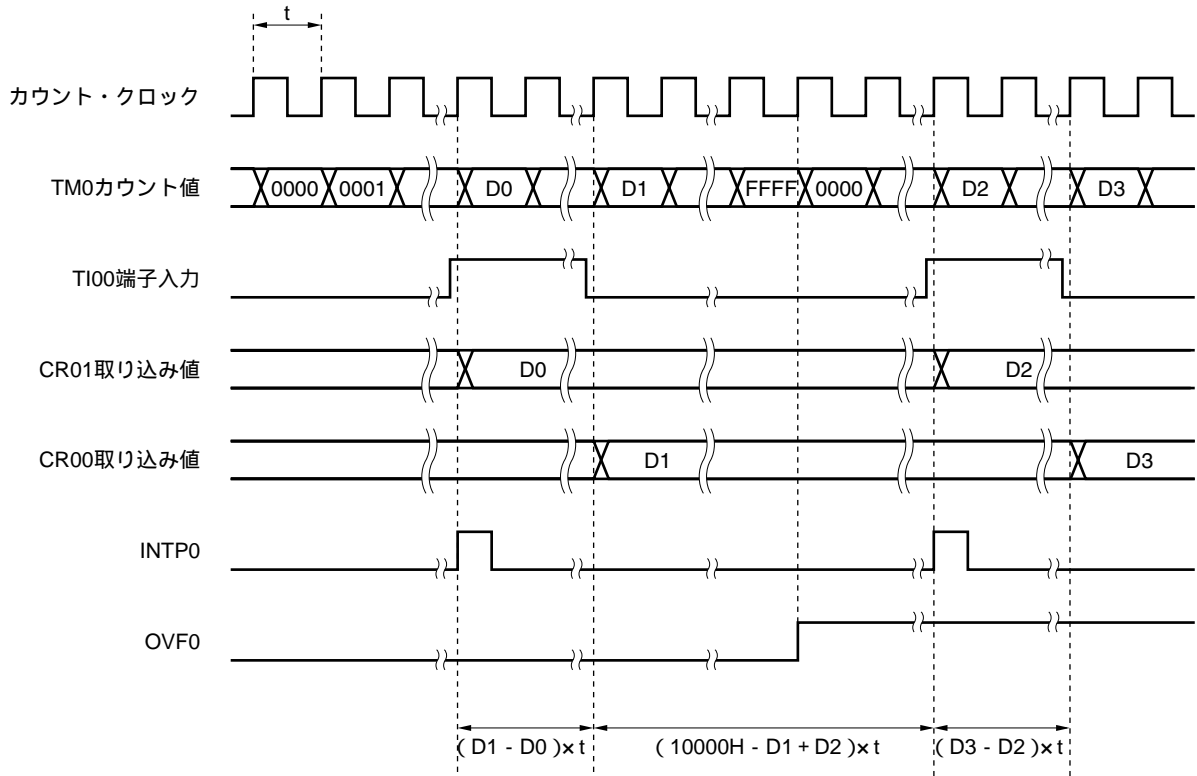


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8 - 23 フリーランニング・カウンタとキャプチャ・レジスタ2本による
パルス幅測定動作のタイミング (立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/P00端子への有効エッジを検出したとき、16ビット・タイマ・レジスタ (TM0) のカウント値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだのち、TM0をクリアしてカウントを再開することによりTI00/P00端子に入力された信号のパルス幅を測定します (図8 - 24のレジスタの設定参照)。

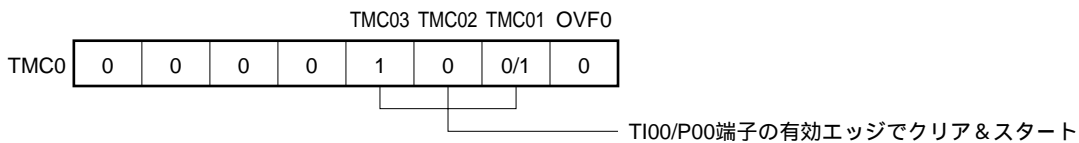
エッジ指定はINTM0のビット2, 3 (ES10, ES11) により、立ち上がり、立ち下がりエッジの2種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

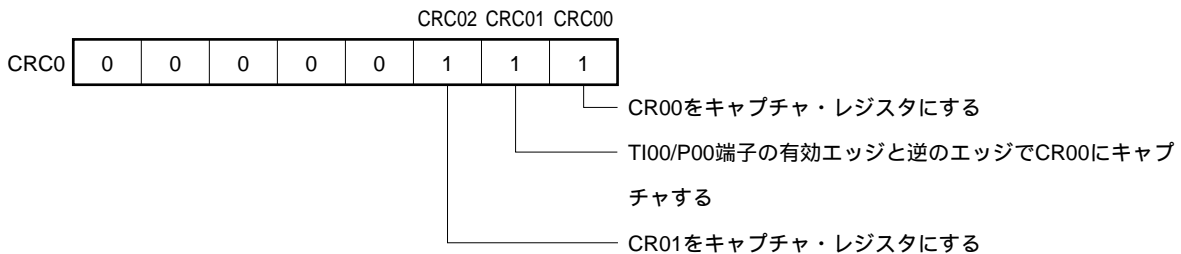
注意 TI00/P00端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行いません。

図8 - 24 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

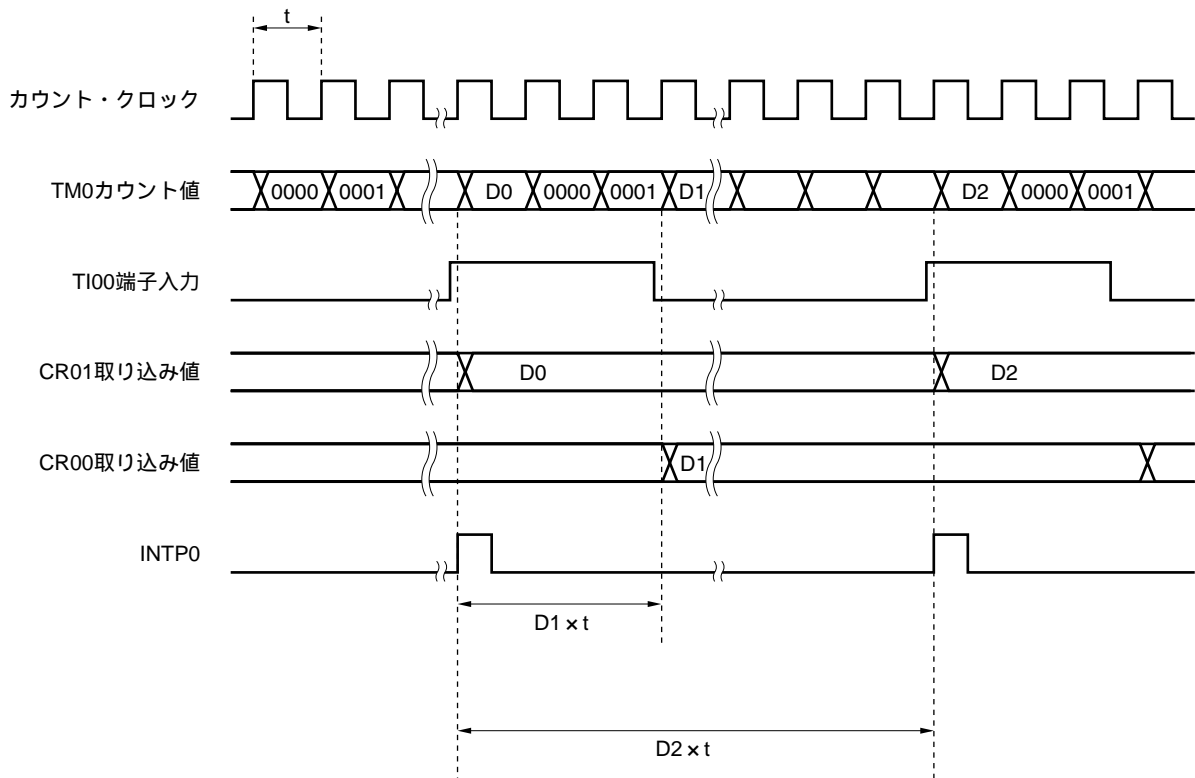


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8 - 25 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



8.5.5 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P00端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタ (TM0) でカウントするものです。

外部割り込みモード・レジスタ0 (INTM0) で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

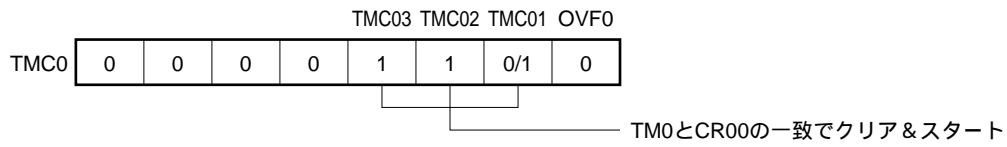
なお、CR00には0000H以外の値を設定してください (1パルスのカウント動作はできません)。

エッジ指定はINTM0のビット2, 3 (ES10, ES11) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

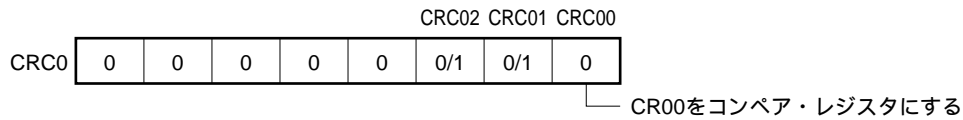
有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図8 - 26 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, 外部イベント・カウンタと同時にほかの機能を使用できます。
 詳細は, 各制御レジスタの説明を参照してください。

図8 - 27 外部イベント・カウンタの構成図

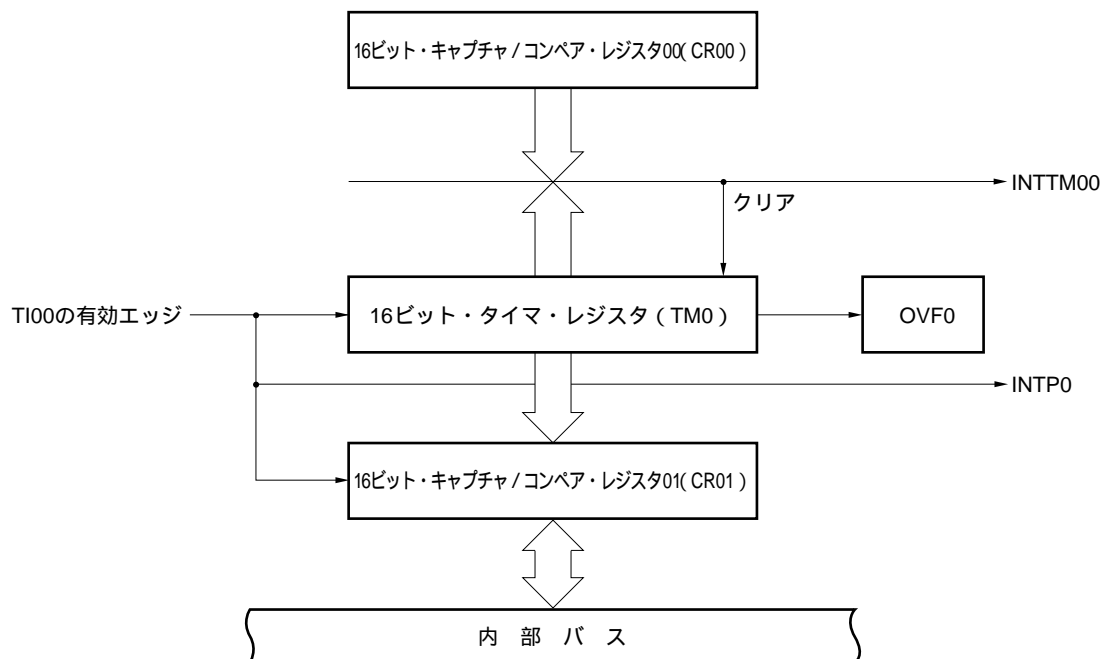
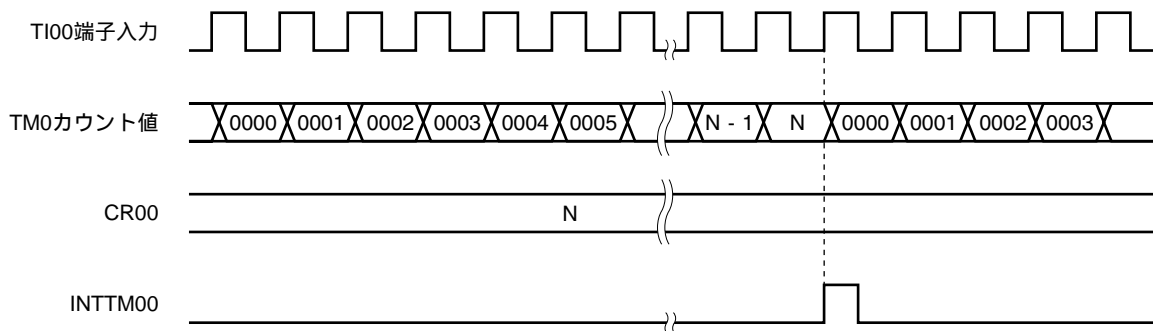


図8 - 28 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

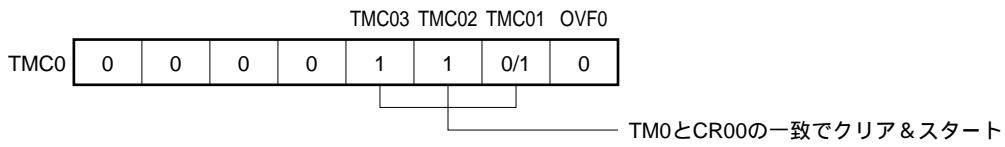
8.5.6 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウンタ値をインターバルとする、任意の周波数の方形波出力として動作します。

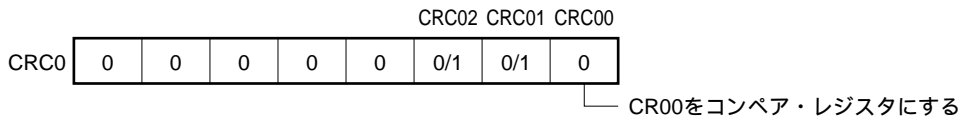
16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウンタ値をインターバルとしてTO0/P30端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図8 - 29 方形波出力モード時の制御レジスタ設定内容

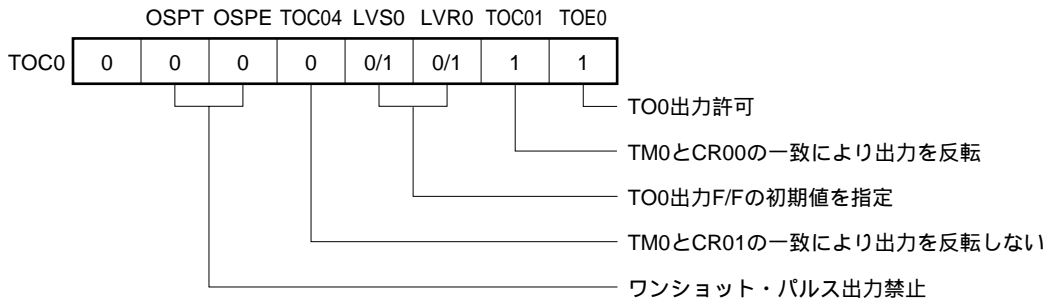
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



備考 0/1 : 0または1を設定することにより, 方形波出力と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8 - 30 方形波出力動作のタイミング

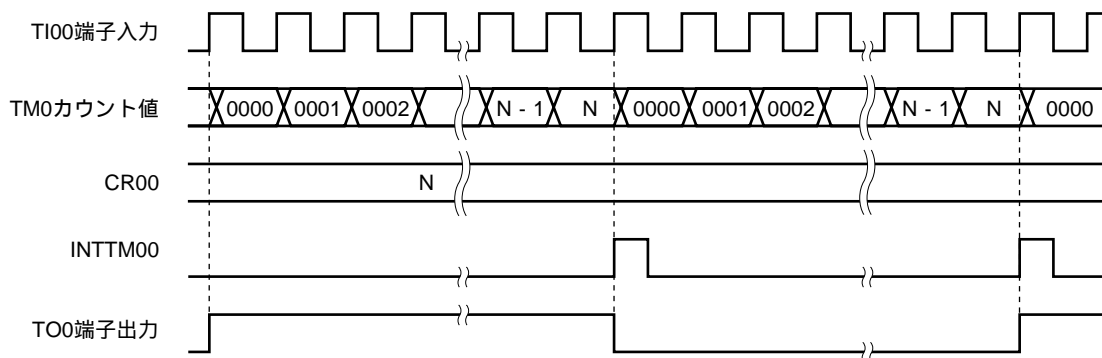


表8-7 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2 × TI00入力周期		2 ¹⁶ × TI00入力周期		TI00入力エッジ周期	
-	2 × 1/fx (400 ns)	-	2 ¹⁶ × 1/fx (13.1 ms)	-	1/fx (200 ns)
2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)	2 ¹⁶ × 1/fx (13.1 ms)	2 ¹⁷ × 1/fx (26.2 ms)	1/fx (200 ns)	2 × 1/fx (400 ns)
2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)	2 ¹⁷ × 1/fx (26.2 ms)	2 ¹⁸ × 1/fx (52.4 ms)	2 × 1/fx (400 ns)	2 ² × 1/fx (800 ns)
2 ³ × 1/fx (1.6 μs)	2 ⁴ × 1/fx (3.2 μs)	2 ¹⁸ × 1/fx (52.4 ms)	2 ¹⁹ × 1/fx (104.9 ms)	2 ² × 1/fx (800 ns)	2 ³ × 1/fx (1.6 μs)
2 × 時計用タイマ出力周期		2 ¹⁶ × 時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, fx = 5.0 MHz動作時。

8.5.7 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (TI00/P00端子入力) に同期したワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) , キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) および16ビット・タイマ出力コントロール・レジスタ (TOC0) を図8-31のように設定し, ソフトウェアでTOC0のビット6 (OSPT) を1にセットすることにより, ワンショット・パルスをTO0/P30端子から出力します。

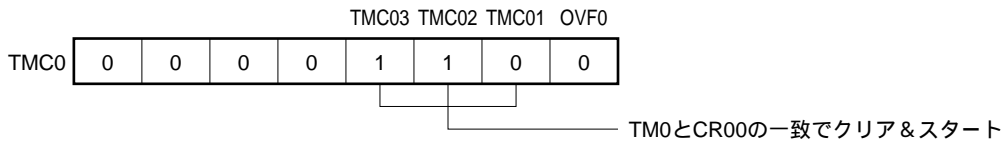
OSPTを1にセットすることにより, 16ビット・タイマ/イベント・カウンタがクリア&スタートし, 16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値で出力がアクティブになります。その後, 16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値で出力がインアクティブとなります。

ワンショット・パルス出力後も, TM0は動作を続けています。TM0を停止させるためには, TMC0に00Hを設定する必要があります。

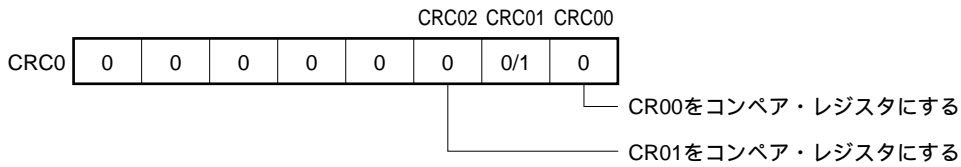
注意 ワンショット・パルスを出力しているときは, OSPTを1にセットしないでください。再度ワンショット・パルスを出力したいときは, CR00との一致割り込みであるINTTM00が発生したのちに行ってください。

図8 - 31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

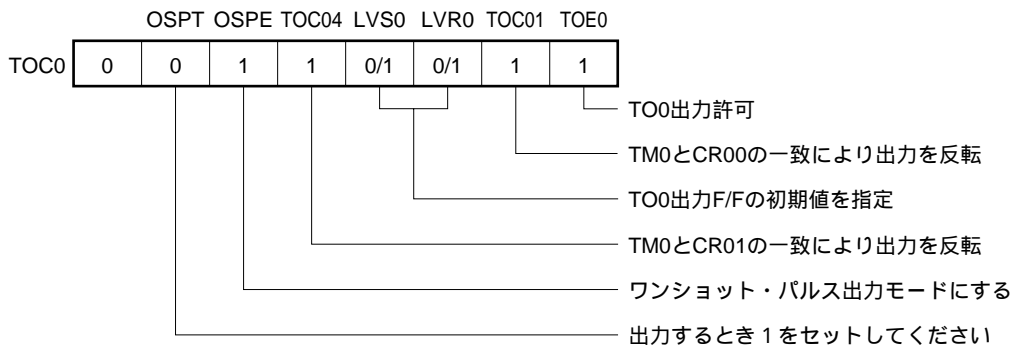
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



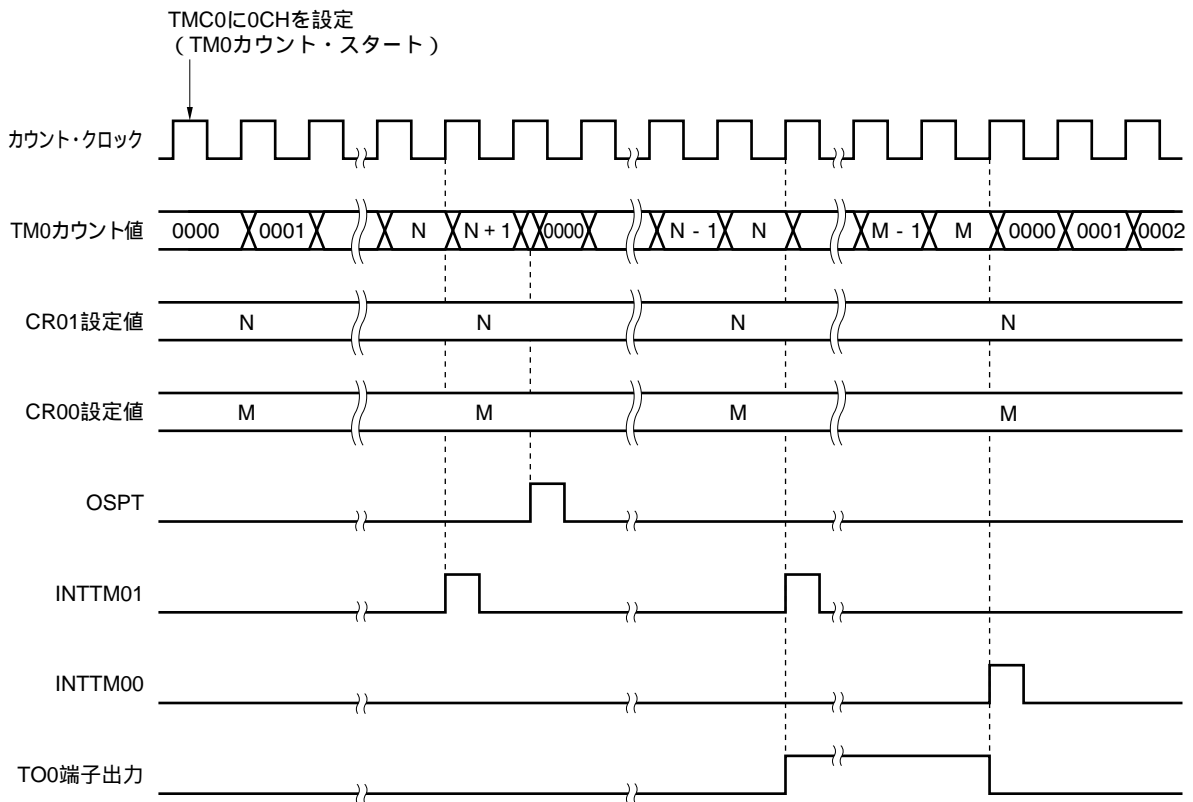
注意 CR00とCR01には次の範囲の値を設定してください。

0000H CR01 < CR00 FFFFH

備考 0/1:0または1を設定することにより,ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は,各制御レジスタの説明を参照してください。

図8 - 32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ (TMC0)、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) および16ビット・タイマ出力コントロール・レジスタ (TOC0) を図8 - 33のように設定し、TI00/P00の端子の有効エッジを外部トリガとしてワンショット・パルス出力をTO0/P30端子から出力します。

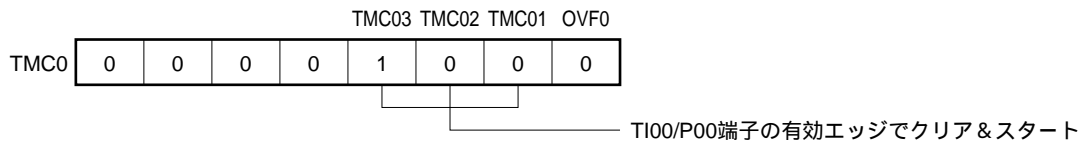
TI00/P00端子の有効エッジ指定は外部割り込みモード・レジスタ0 (INTM0) のビット2, 3 (ES10, ES11) で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI00/P00端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値で出力がインアクティブとなります。

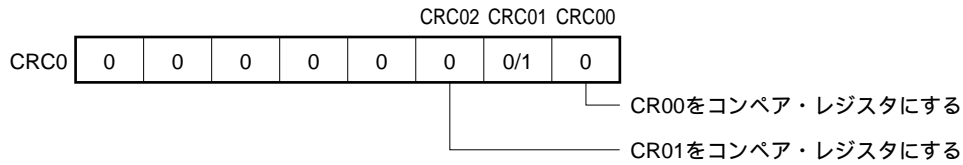
注意 ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

図8 - 33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

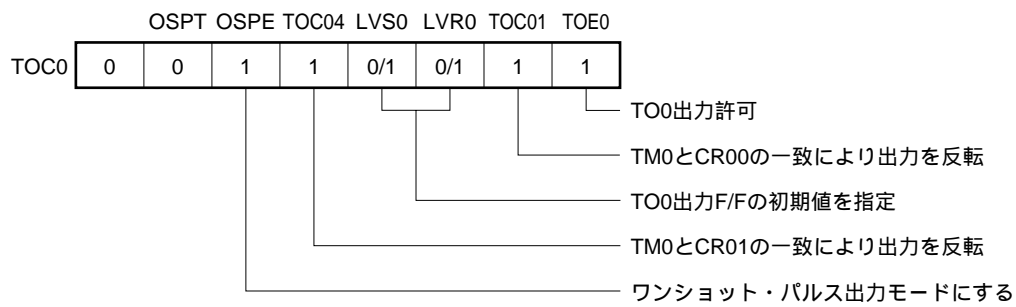
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



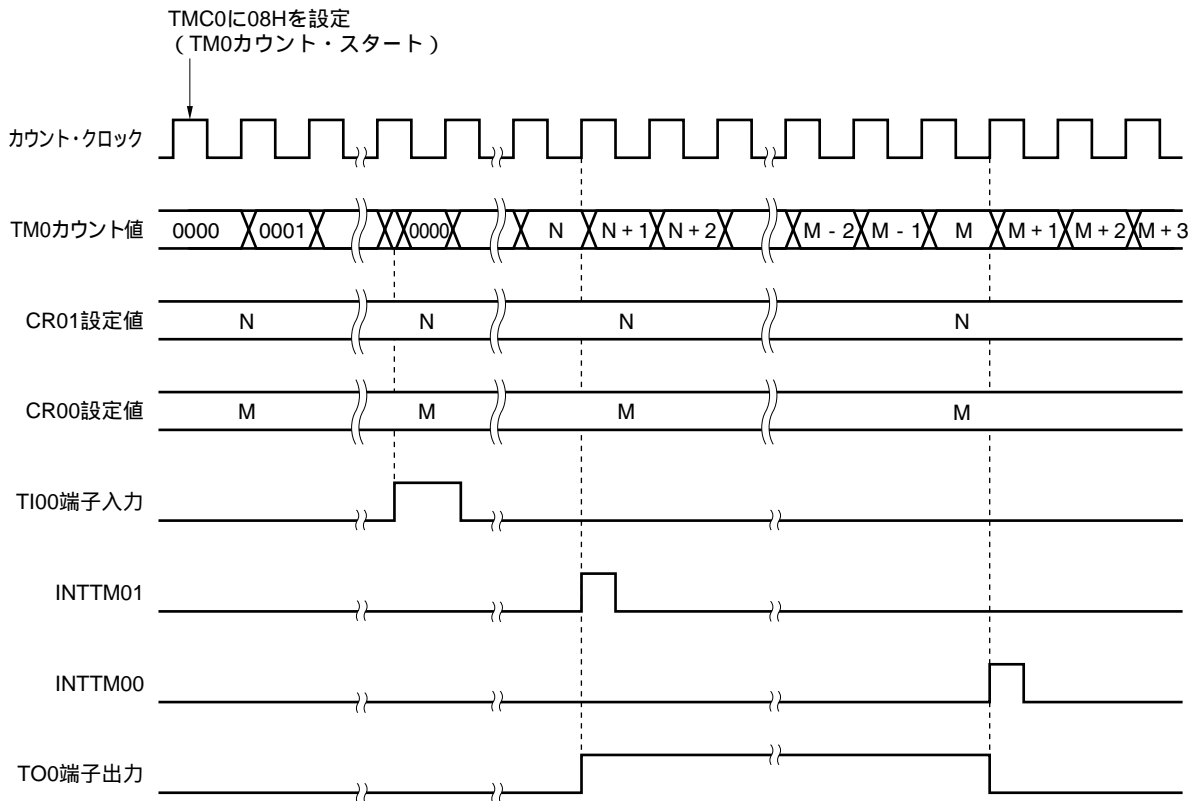
注意 CR00とCR01には次の範囲の値を設定してください。

0000H CR01 < CR00 FFFFH

備考 0/1:0または1を設定することにより,ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は,各制御レジスタの説明を参照してください。

図8 - 34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)



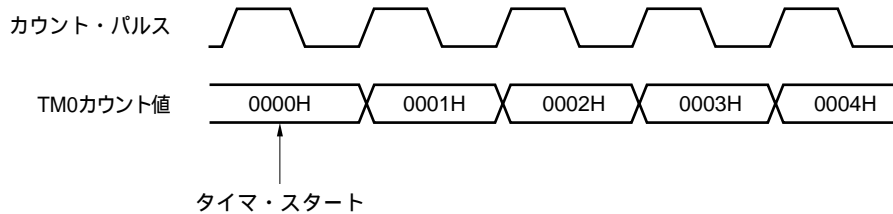
注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。

8.6 16ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・レジスタ(TM0)のスタートが非同期で行われるためです。

図8 - 35 16ビット・タイマ・レジスタのスタート・タイミング



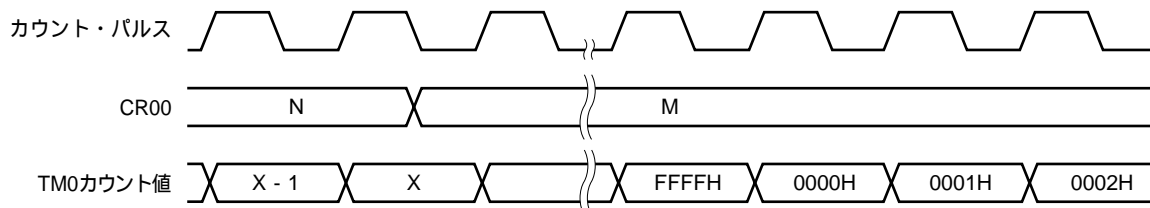
(2) 16ビット・コンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・レジスタ(TM0)の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値(M)が変更前の値(N)よりも小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

図8 - 36 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

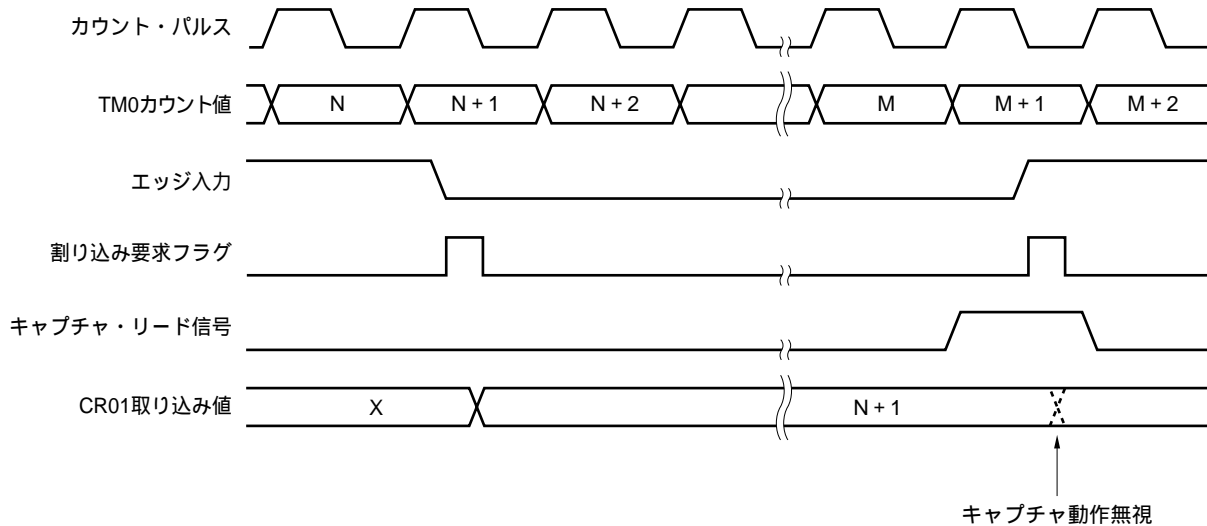


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ01 (CR01) の読み出し中にTI00/P00端子の有効エッジが入力したとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ (PIF0) はセットされます。

図8 - 37 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI00/INTP0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタのビット1-ビット3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに行ってください。有効エッジの設定は、外部割り込みモード・レジスタ0のビット2, 3 (ES10, ES11) で行います。

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット6 (OSPT) を1にセットしないでください。再度ワンショット・パルスを出力したいときは、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) との一致割り込みであるINTTM00が発生したのちに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

(7) OVF0フラグの動作

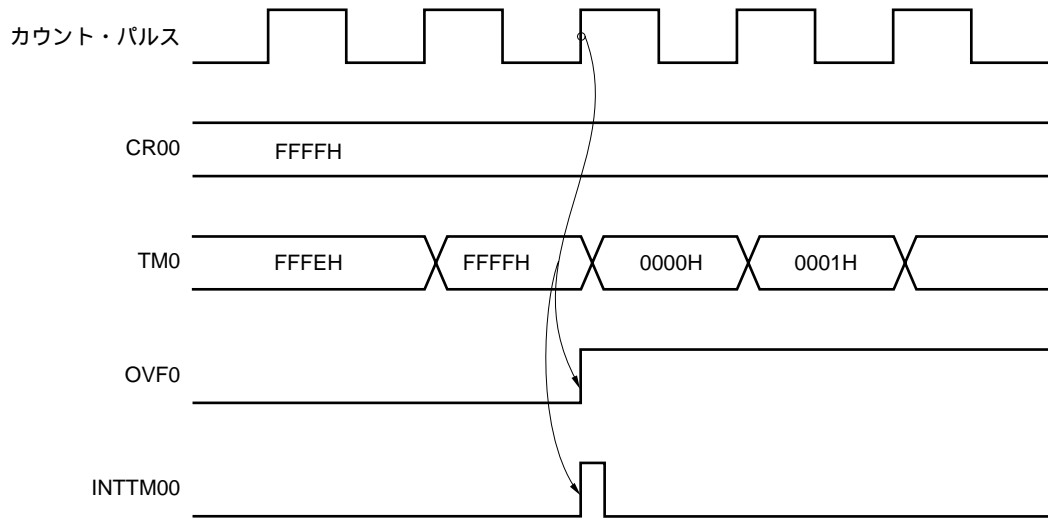
OVF0フラグは次のとき、1に設定されます。

TM0とCR00の一致でクリア & スタートするモードを選択

CR00をFFFFHに設定

TM0がFFFFHから0000Hにカウント・アップするとき

図8 - 38 OVF0フラグの動作のタイミング



第9章 8ビット・タイマ/イベント・カウンタ

9.1 8ビット・タイマ/イベント・カウンタの機能

μPD780308, 780308Yサブシリーズが内蔵している8ビット・タイマ/イベント・カウンタには, 2チャンネルの8ビット・タイマ/イベント・カウンタを別個に使用するモード(8ビット・タイマ/イベント・カウンタ・モード)と, あわせて16ビット・タイマ/イベント・カウンタとして使用するモード(16ビット・タイマ/イベント・カウンタ・モード)があります。

9.1.1 8ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ/イベント・カウンタ1, 2(TM1, TM2)には, 次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表9-1 8ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は, $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9 - 2 8ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, $f_x = 5.0$ MHz動作時。

9.1.2 16ビット・タイマ/イベント・カウンタ・モード

(1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生できます。

表9-3 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-4 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, $f_x = 5.0$ MHz動作時。

9.2 8ビット・タイマ/イベント・カウンタの構成

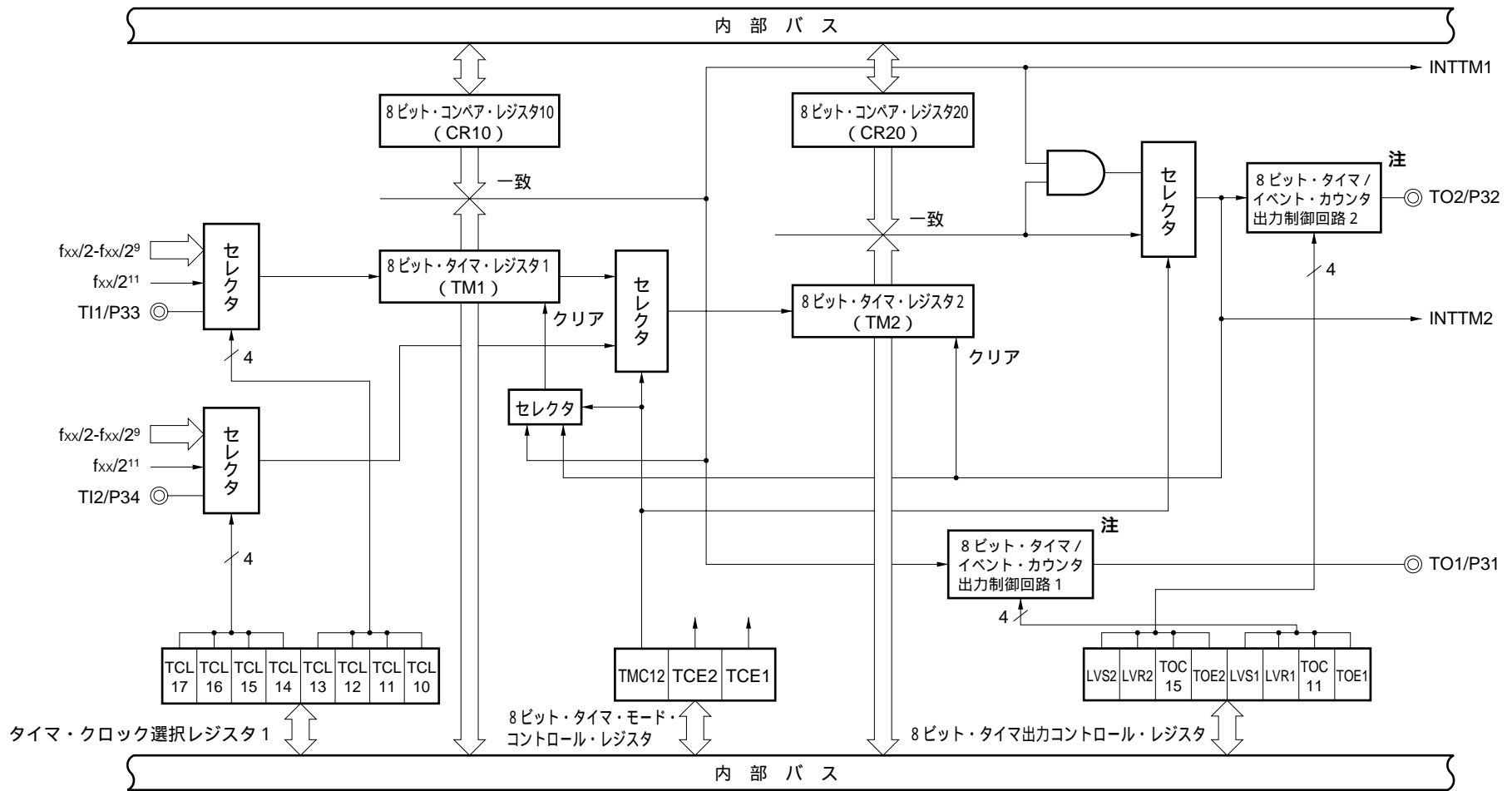
8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表9-5 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	8ビット×2本 (TM1, TM2)
レジスタ	コンペア・レジスタ : 8ビット×2本 (CR10, CR20)
タイマ出力	2本 (TO1, TO2)
制御レジスタ	タイマ・クロック選択レジスタ1 (TCL1) 8ビット・タイマ・モード・コントロール・レジスタ (TMC1) 8ビット・タイマ出力コントロール・レジスタ (TOC1) ポート・モード・レジスタ3 (PM3) ^注

注 図6-9 P30-P37のブロック図を参照してください。

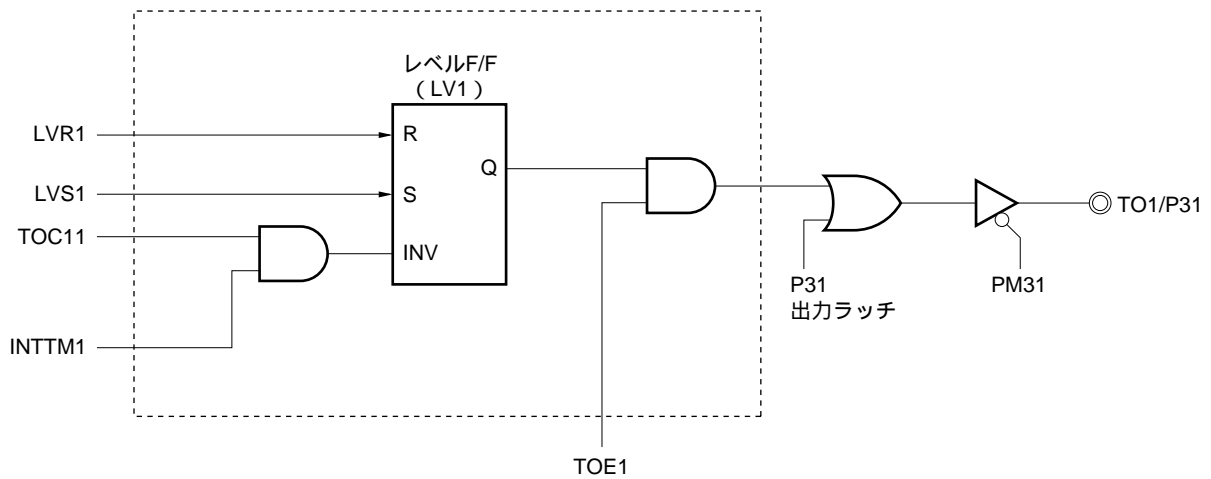
図9-1 8ビット・タイマ/イベント・カウンタのブロック図



注 8ビット・タイマ/イベント・カウンタの出力制御回路1, 2の構成は, 図9-2, 9-3を参照してください。

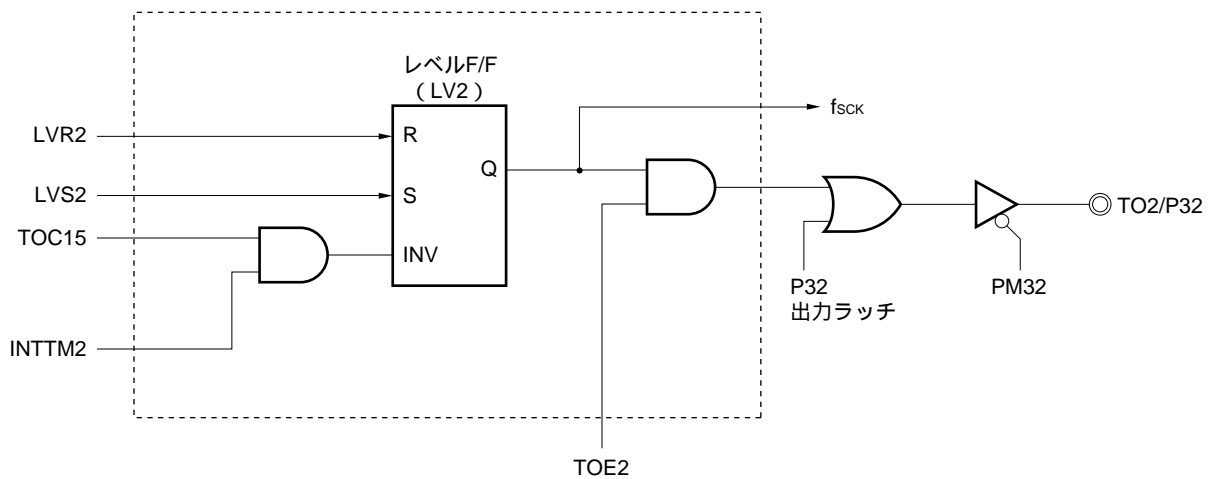
備考 f_{xx} = f_x/2 (MCS = 0) , f_{xx} = f_x (MCS = 1)

図9 - 2 8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図



備考 破線部内が出力制御回路です。

図9 - 3 8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図



- 備考1. 破線部内が出力制御回路です。
 2. f_sck : シリアル・クロック周波数

(1) コンペア・レジスタ10, 20 (CR10, CR20)

CR10に設定した値と8ビット・タイマ・レジスタ1 (TM1) のカウント値, CR20に設定した値と8ビット・タイマ・レジスタ2 (TM2) のカウント値を常に比較し, 一致したときにそれぞれ割り込み要求 (INTTM1, INTTM2) を発生する8ビットのレジスタです。

TM1, TM2をインターバル・タイマ動作に設定したときには, インターバル時間を保持するレジスタとして, またPWM出力動作を設定したときには, パルス幅を設定するレジスタとして使用します。

CR10, CR20は, 8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ/イベント・カウンタとして使用時は, 00H-FFHの値が, 16ビット・タイマ/イベント・カウンタとして使用時は, 0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により, 不定になります。

注意 16ビット・タイマ/イベント・カウンタとして使用時, データの設定は, 必ずタイマ動作を停止させたのちに行ってください。

(2) 8ビット・タイマ・レジスタ1, 2 (TM1, TM2)

カウント・パルスをカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するときには, 8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するときには, 16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により, それぞれ00Hになります。

9.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタは, 次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ1 (TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ (TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ (TOC1)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ1 (TCL1)

8ビット・タイマ・レジスタ1, 2のカウント・クロックを設定するレジスタです。

TCL1は, 8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図9-4 タイマ・クロック選択レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択	
				MCS = 1	MCS = 0
0	0	0	0	TI2の立ち下がりエッジ	
0	0	0	1	TI2の立ち上がりエッジ	
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止	

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択	
				MCS = 1	MCS = 0
0	0	0	0	TI1の立ち下がりエッジ	
0	0	0	1	TI1の立ち上がりエッジ	
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止	

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. TI1 : 8ビット・タイマ・レジスタ1の入力端子
 3. TI2 : 8ビット・タイマ・レジスタ2の入力端子
 4. MCS : 発振モード選択レジスタのビット0
 5. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ (TMC1)

8ビット・タイマ・レジスタ1, 2の動作許可/停止および8ビット・タイマ・レジスタ1, 2の動作モードを設定するレジスタです。

TMC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図9-5 8ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W	
TMC1	0	0	0	0	0	TMC12	TCE2	TCE1	FF49H	00H	R/W

TMC12	動作モードの選択
0	8ビット・タイマ・レジスタ×2チャンネル・モード (TM1, TM2)
1	16ビット・タイマ・レジスタ×1チャンネル・モード (TMS)

TCE2	8ビット・タイマ・レジスタ2の動作の制御
0	動作停止 (TM2は0にクリア)
1	動作許可

TCE1	8ビット・タイマ・レジスタ1の動作の制御
0	動作停止 (TM1は0にクリア)
1	動作許可

- 注意1. 動作モードの切り替えは, タイマ動作を停止させたのちに行ってください。
 2. 16ビット・タイマ・レジスタとして使用する場合, 動作許可/停止はTCE1で行ってください。

(3) 8ビット・タイマ出力コントロール・レジスタ (TOC1)

8ビット・タイマ/イベント・カウンタ出力制御回路1, 2の動作を制御するレジスタです。

R-S型フリップフロップ (LV1, LV2) のセット/リセット, 反転許可/禁止, 8ビット・タイマ・レジスタ1, 2のタイマ出力許可/禁止を設定します。

TOC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図9-6 8ビット・タイマ出力コントロール・レジスタのフォーマット

略号	5		1		①	アドレス	リセット時	R/W			
TOC1	LVS2	LVR2	TOC15	TOE2	LVS1	LVR1	TOC11	TOE1	FF4FH	00H	R/W

LVS2	LVR2	8ビット・タイマ/イベント・カウンタ2のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC15	8ビット・タイマ/イベント・カウンタ2のタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE2	8ビット・タイマ/イベント・カウンタ2の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

LVS1	LVR1	8ビット・タイマ/イベント・カウンタ1のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC11	8ビット・タイマ/イベント・カウンタ1のタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE1	8ビット・タイマ/イベント・カウンタ1の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注意1. TOC1の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. LVS1, LVS2, LVR1, LVR2は, データ設定後に読み出すと0になっています。

(4) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/TO1, P32/TO2端子をタイマ出力として使用するとき, PM31, PM32およびP31, P32の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図9-7 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ/イベント・カウンタの動作

9.4.1 8ビット・タイマ/イベント・カウンタ・モード

(1) インターバル・タイマとしての動作

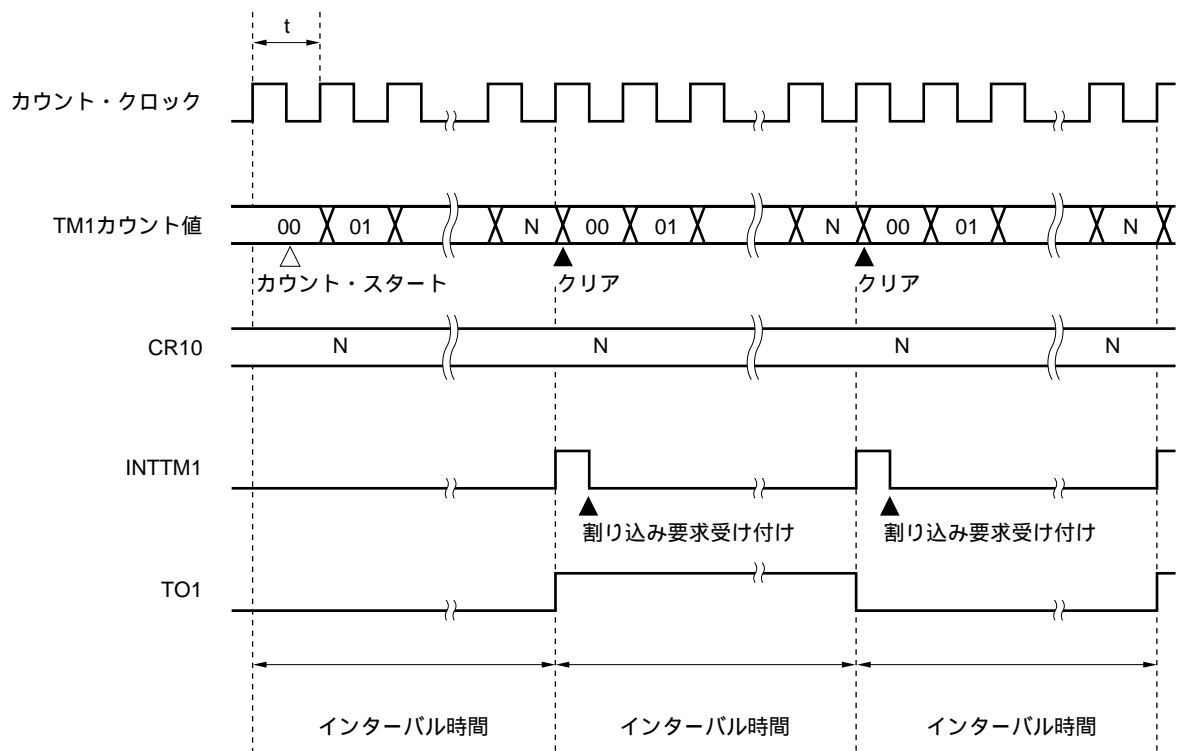
8ビット・コンペア・レジスタ10, 20 (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ1, 2 (TM1, TM2) のカウント値がCR10, CR20に設定した値と一致したとき、TM1, TM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM1, INTTM2) を発生します。

タイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) でTM1のカウント・クロックを、またビット4-7 (TCL14-TCL17) でTM2のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、9.5 8ビット・タイマ/イベント・カウンタの注意事項 (3) を参照してください。

図9-8 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: N = 00H-FFH

表9-6 8ビット・タイマ/イベント・カウンタ1のインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	T11入力周期		$2^8 \times \text{T11入力周期}$		T11入力エッジ周期	
0	0	0	1	T11入力周期		$2^8 \times \text{T11入力周期}$		T11入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)
上記以外				設定禁止					

- 備考1. f_x : メイン・システム・クロック発振周波数
2. TCL10-TCL13 : タイマ・クロック選択レジスタ1 (TCL1) のビット0-3
 3. MCS : 発振モード選択レジスタのビット0
 4. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表9-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間

TCL17	TCL16	TCL15	TCL14	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI2入力周期		$2^8 \times$ TI2入力周期		TI2入力エッジ周期	
0	0	0	1	TI2入力周期		$2^8 \times$ TI2入力周期		TI2入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)
上記以外				設定禁止					

- 備考1. f_x : メイン・システム・クロック発振周波数
2. TCL10-TCL13 : タイマ・クロック選択レジスタ1 (TCL1) のビット0-3
3. MCS : 発振モード選択レジスタのビット0
4. () 内は, $f_x = 5.0$ MHz動作時。

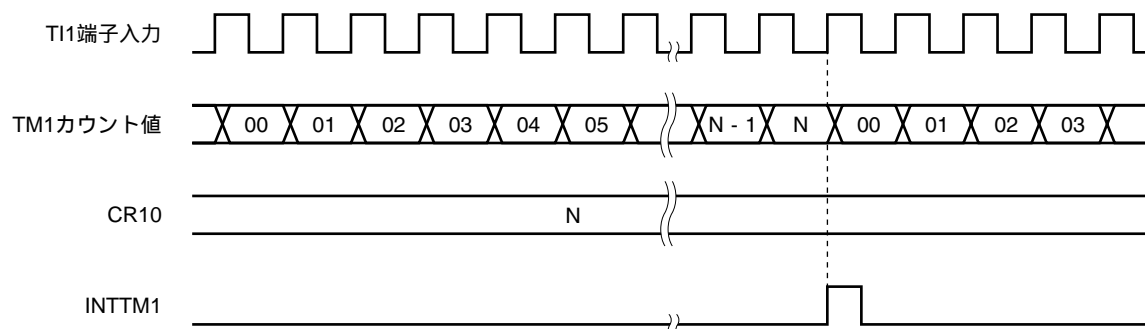
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ1, 2 (TM1, TM2) でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1) で指定した有効エッジが入力されるたびに、TM1, TM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20) の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM1, INTTM2) が発生します。

図9-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ10, 20 (CR10, CR20) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット0 (TOE1) , またはビット4 (TOE2) に1を設定することにより, CR10, またはCR20にあらかじめ設定したカウント値をインターバルとして TO1/P31あるいはTO2/P32端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

表9 - 8 8ビット・タイマ/イベント・カウンタの方形波出力範囲

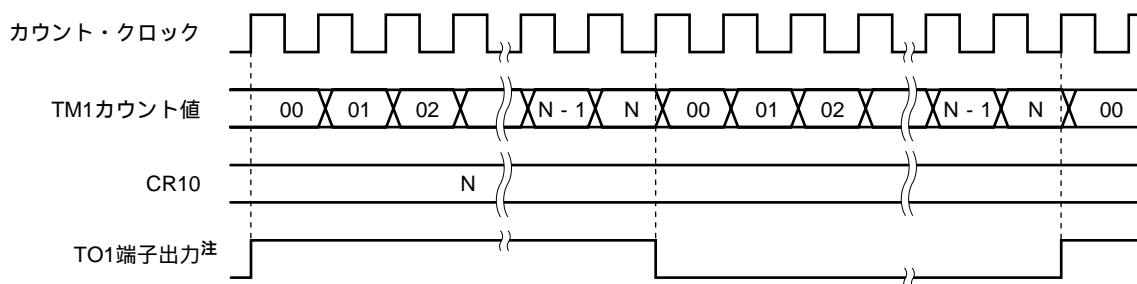
最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, $f_x = 5.0$ MHz動作時。

図9 - 10 方形波出力動作のタイミング



注 TO1出力の初期値は、8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット2, 3(LVR1, LVS1)で設定できます。

9.4.2 16ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ (TMC1) のビット2 (TMC12) に1を設定すると、16ビット・タイマ/イベント・カウンタ・モードとなります。

このモードでは、カウント・クロックはタイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、8ビット・タイマ/イベント・カウンタ1 (TM1) のオーバーフロー信号が、8ビット・タイマ/イベント・カウンタ2 (TM2) のカウント・クロックとなります。

また、このモードでのカウント動作の禁止/許可は、TMC1のビット0 (TCE1) で選択します。

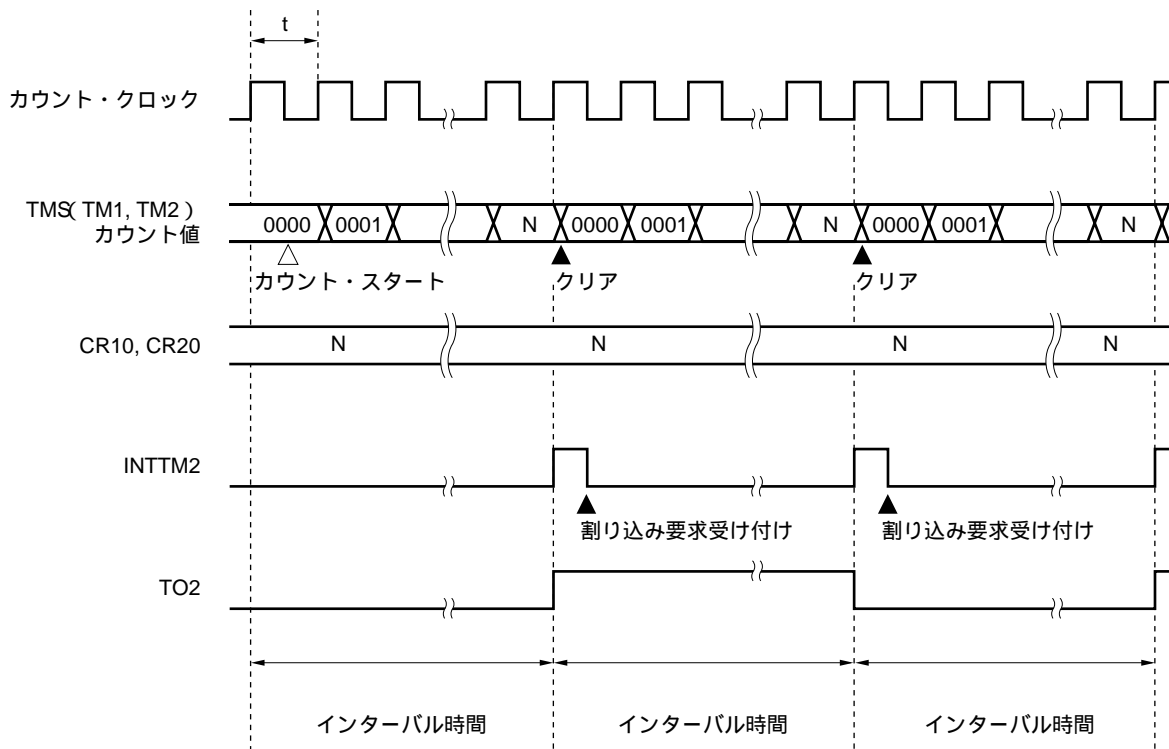
(1) インターバル・タイマとしての動作

2チャンネルの8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。カウント値を設定する際には、上位8ビットの値をCR20に、下位8ビットの値をCR10に設定します。設定可能なカウント値 (インターバル時間) については、表9-7を参照してください。

8ビット・タイマ・レジスタ1 (TM1) とCR10が一致し、かつ8ビット・タイマ・レジスタ2 (TM2) とCR20が一致したとき、TM1およびTM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM2) を発生します。インターバル・タイマの動作タイミングについては、図9-11を参照してください。

カウント・クロックは、タイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、TM1のオーバーフロー信号がTM2のカウント・クロックになります。

図9-11 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 0000H-FFFFH$

注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウント値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

表9-9 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI1入力周期		$2^8 \times \text{TI1入力周期}$		TI1入力エッジ周期	
0	0	0	1	TI1入力周期		$2^8 \times \text{TI1入力周期}$		TI1入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)
上記以外				設定禁止					

備考1. f_x : メイン・システム・クロック発振周波数

2. TCL10-TCL13: タイマ・クロック選択レジスタ1 (TCL1) のビット0-3
3. MCS: 発振モード選択レジスタのビット0
4. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

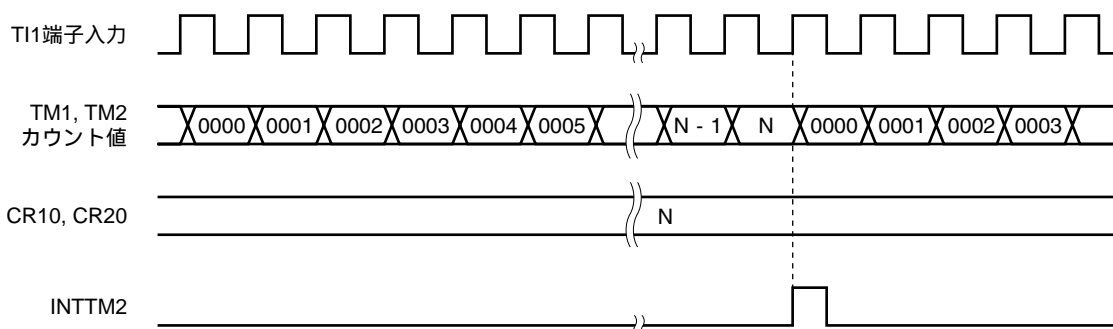
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、T11/P33端子に入力される外部からのクロック・パルス数を2チャンネルの8ビット・タイマ・レジスタ1, 2 (TM1, TM2) でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1) で指定した有効エッジが入力されるたびに、TM1がインクリメントされます。そしてTM1がオーバーフローすると、そのオーバーフロー信号をカウント・クロックとしてTM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20) の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM2) が発生します。

図9 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウント値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ10, 20 (CR10, CR20) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット4 (TOE2) に1を設定することにより, CR10, CR20にあらかじめ設定したカウント値をインターバルとしてTO2/P32端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

表9 - 10 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を
16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は, $f_x = 5.0$ MHz動作時。

図9 - 13 方形波出力動作のタイミング

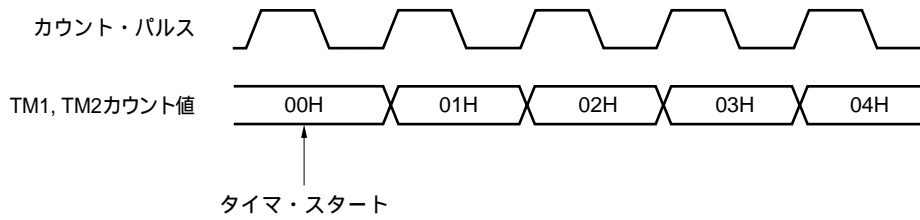


9.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ1, 2 (TM1, TM2) のスタートが非同期で行われるためです。

図9 - 14 8ビット・タイマ・レジスタのスタート・タイミング



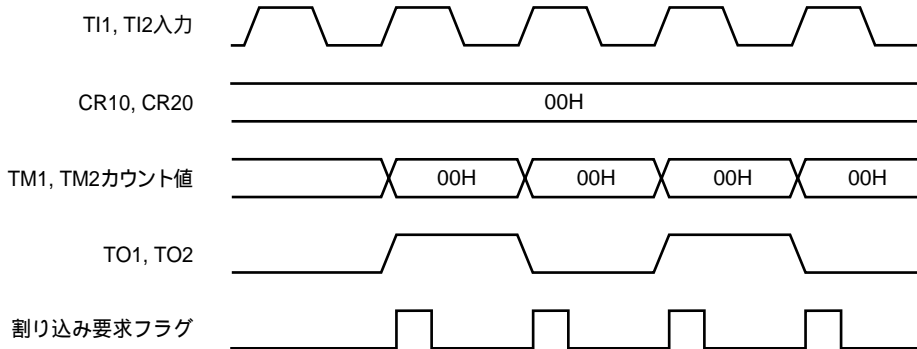
(2) 8ビット・コンペア・レジスタ10, 20の設定

8ビット・コンペア・レジスタ10, 20 (CR10, CR20) には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

また、16ビット・タイマ/イベント・カウンタとして使用時、CR10, CR20の書き込みは、8ビット・タイマ・モード・コントロール・レジスタのビット0 (TCE1) に0を設定し、タイマ動作を停止させたのちに行ってください。

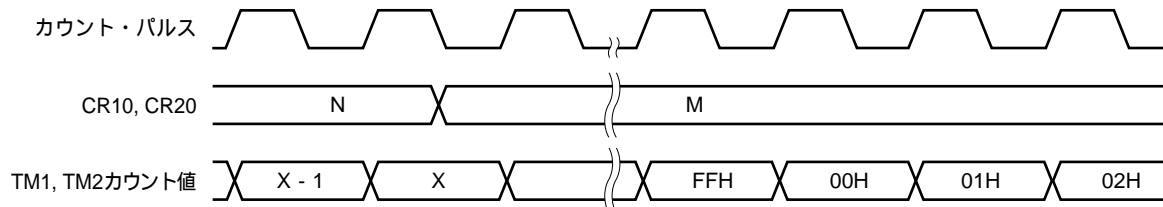
図9 - 15 外部イベント・カウンタとして動作時のタイミング



(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ10, 20 (CR10, CR20) の変更後の値が, 8ビット・タイマ・レジスタ1, 2 (TM1, TM2) の値よりも小さいとき, TM1, TM2はカウントを継続しオーバーフローして0から再カウントします。したがって, CR10, CR20の変更後の値 (M) が変更前の値 (N) より小さいときは, CR10, CR20を変更後, タイマを再スタートさせる必要があります。

図9 - 16 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第10章 時計用タイマ

10.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

(1) 時計用タイマ

32.768 kHzのサブシステム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ (WTIF) をセットします。

また、4.19 MHz (標準: 4.194304 MHz) のメイン・システム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ (WTIF) をセットします。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。32.768 kHzのサブシステム・クロックに切り替え、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で割り込み要求 (INTTM3) を発生します。

表10 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xt} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	410 μs	488 μs	488 μs
$2^5 \times 1/f_w$	819 μs	977 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{xt} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xt})

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成しています。

表10-2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

10.3 時計用タイマを制御するレジスタ

時計用タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・時計用タイマ・モード・コントロール・レジスタ (TMC2)

(1) タイマ・クロック選択レジスタ2 (TCL2)

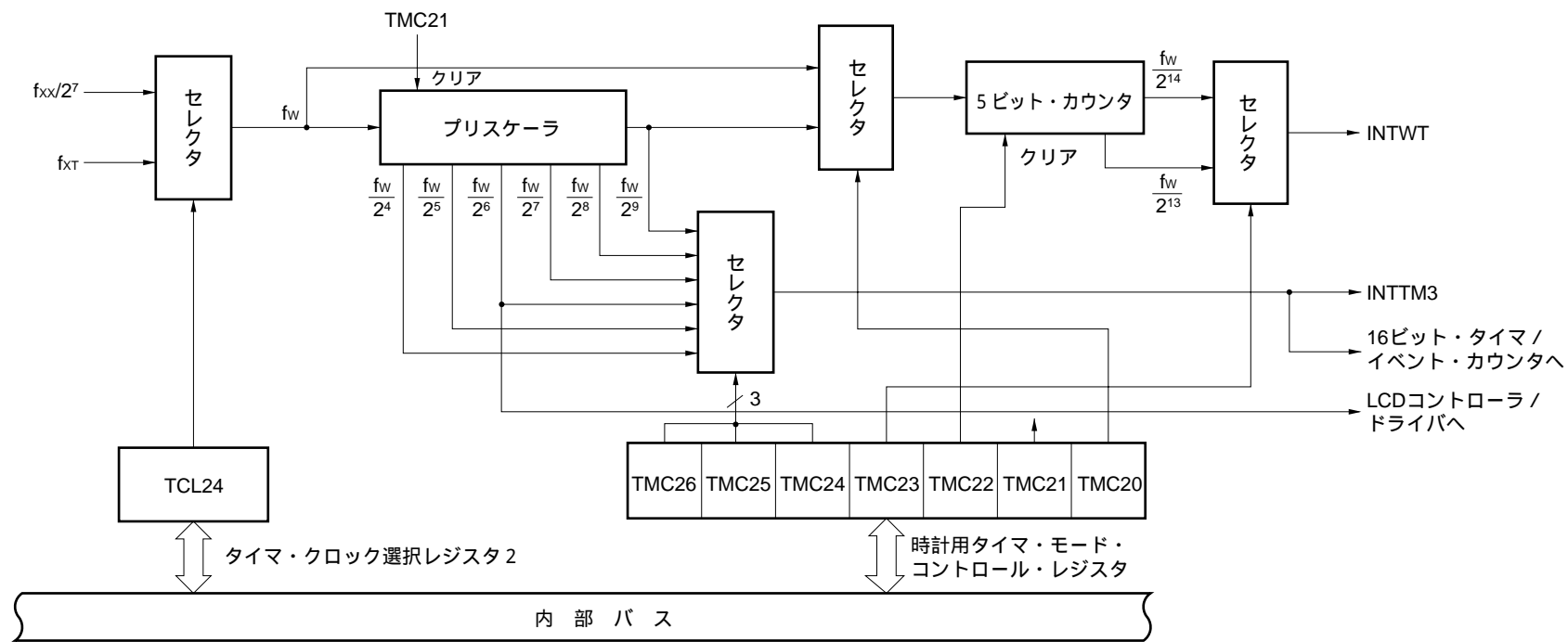
時計用タイマのカウンタ・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL2は、時計用タイマのカウンタ・クロックの設定以外に、ウォッチドッグ・タイマのカウンタ・クロックおよびブザー出力の周波数を設定する機能があります。

図10 - 1 時計用タイマのブロック図



備考 $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

図10-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL27	TCL26	TCL25	ブザー出力の周波数の選択	
			MCS = 1	MCS = 0
0	x	x	ブザー出力禁止	
1	0	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止	

TCL24	時計用タイマのカウンタ・クロックの選択	
	MCS = 1	MCS = 0
0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{XT} (32.768 kHz)	

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択	
			MCS = 1	MCS = 0
0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. x : don't care
 4. MCS : 発振モード選択レジスタのビット0
 5. () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

時計用タイマの動作モード，時計用フラグのセット時間，プリスケアラおよび5ビット・カウンタの動作許可/禁止，プリスケアラのインターバル時間を設定するレジスタです。

TMC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図10-3 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC2	0	TMC26	TMC25	TMC24	TMC23	TMC22	TMC21	TMC20	FF4AH	00H	R/W

TMC26	TMC25	TMC24	プリスケアラのインターバル時間の選択		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4/f_w$ (410 μs)	$2^4/f_w$ (488 μs)	$2^7/f_w$ (488 μs)
0	0	1	$2^5/f_w$ (819 μs)	$2^5/f_w$ (977 μs)	$2^5/f_w$ (977 μs)
0	1	0	$2^6/f_w$ (1.64 ms)	$2^6/f_w$ (1.95 ms)	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.28 ms)	$2^7/f_w$ (3.91 ms)	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (6.55 ms)	$2^8/f_w$ (7.81 ms)	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (13.1 ms)	$2^9/f_w$ (15.6 ms)	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止		

TMC23	時計用フラグのセット時間の選択		
	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	$2^{14}/f_w$ (0.4 sec)	$2^{14}/f_w$ (0.5 sec)	$2^{14}/f_w$ (0.5 sec)
1	$2^{13}/f_w$ (0.2 sec)	$2^{13}/f_w$ (0.25 sec)	$2^{13}/f_w$ (0.25 sec)

TMC22	5ビット・カウンタの動作の制御
0	動作停止後クリア
1	動作許可

TMC21	プリスケアラの動作の制御
0	動作停止後クリア
1	動作許可

TMC20	時計動作モードの選択
0	通常動作モード ($f_w/2^{14}$ でフラグをセット)
1	早送り動作モード ($f_w/2^5$ でフラグをセット)

注意 時計用タイマを使用するときは，ひんばんにプリスケアラをクリアしないでください。

備考 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})
 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 f_x : メイン・システム・クロック発振周波数
 f_{XT} : サブシステム・クロック発振周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

32.768 kHzのサブシステム・クロックまたは4.19 MHzのメイン・システム・クロックを使用することで、0.5秒または0.25秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、テスト入力フラグ (WTIF) を1にセットします。WTIFが1にセットされることにより、スタンバイ状態 (STOPモード/HALTモード) を解除できます。

時計用タイマ・モード・コントロール・レジスタのビット2 (TMC22) に0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させるときは、TMC22に0を設定することにより、ゼロ秒スタートができます (最大誤差26.2 ms : $f_{xx} = 5.0$ MHz動作時)。

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタのビット4-ビット6 (TMC24-TMC26) により、インターバル時間を選択できます。

表10-3 インターバル・タイマのインターバル時間

TMC26	TMC25	TMC24	インターバル時間	$f_{xx} = 5.0$ MHz動作時	$f_{xx} = 4.19$ MHz動作時	$f_{xt} = 32.768$ kHz動作時
0	0	0	$2^4 \times 1/f_w$	410 μ s	488 μ s	488 μ s
0	0	1	$2^5 \times 1/f_w$	819 μ s	977 μ s	977 μ s
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止			

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{xt} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xt})

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求または $\overline{\text{RESET}}$ を発生することができます。

表11-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

- 備考**1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. MCS : 発振モード選択レジスタのビット0
4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求を発生します。

表11-2 インターバル時間

インターバル時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

- 備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. MCS : 発振モード選択レジスタのビット0
4. ()内は、 $f_x = 5.0$ MHz動作時。

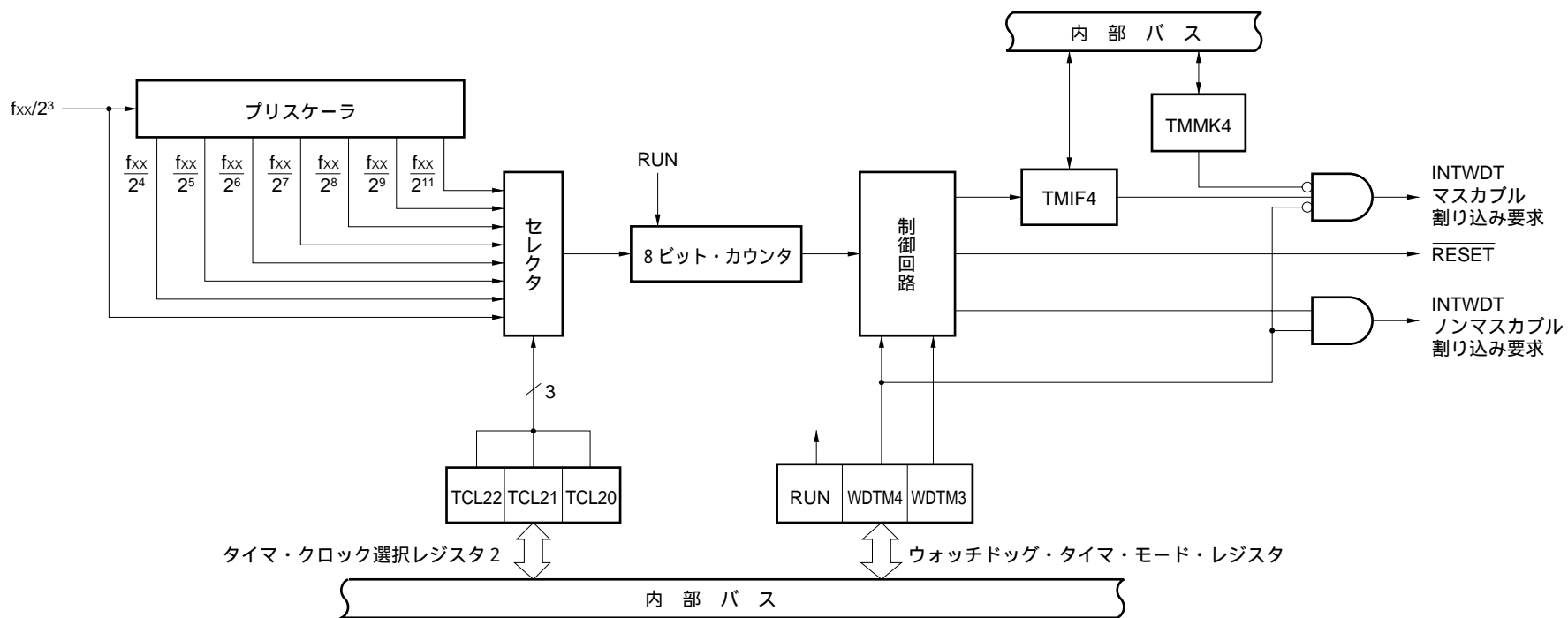
11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表11-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図11-1 ウォッチドッグ・タイマのブロック図



備考 $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ウォッチドッグ・タイマのカウント・クロックの設定以外に、時計用タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図11-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL27	TCL26	TCL25	ブザー出力の周波数の選択	
			MCS = 1	MCS = 0
0	x	x	ブザー出力禁止	
1	0	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止	

TCL24	時計用タイマのカウンタ・クロックの選択	
	MCS = 1	MCS = 0
0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{XT} (32.768 kHz)	

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択	
			MCS = 1	MCS = 0
0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. x : don't care
 4. MCS : 発振モード選択レジスタのビット0
 5. () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	x	インターバル・タイマ・モード (オーバーフロー発生時，マスカブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

注1. WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアすることはできません。

2. RUNは，一度1にセットされると，ソフトウェアで0にクリアすることはできません。
したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，タイマ・クロック選択レジスタ2で設定した時間より最大0.5 %短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，割り込み要求フラグ (TMIF4) が0になっていることを確認してからWDTM4を1にセットしてください。
TMIF4が1の状態ではWDTM4を1にセットすると，WDTM3の内容にかかわらず，ノンマスカブル割り込み要求が発生します。

備考 x : don't care

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-ビット2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.5 %短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数
3. MCS : 発振モード選択レジスタのビット0
4. () 内は、 $f_x = 5.0$ MHz動作時。

11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-ビット2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (TMMK4) と優先順位指定フラグ (TMPR4) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのデフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にWDTMのビット7 (RUN) を1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1.** 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードになりません。
- WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5 %短くなる場合があります。
 - CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

- 備考1.** f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
- f_x : メイン・システム・クロック発振周波数
 - MCS : 発振モード選択レジスタのビット0
 - () 内は、 $f_x = 5.0$ MHz動作時。

第12章 クロック出力制御回路

12.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。タイマ・クロック選択レジスタ0 (TCL0) で選択したクロックをPCL/P35端子から出力します。

クロック・パルスを出力するときは、次の手順で行います。

TCL0のビット0-ビット3 (TCL00-TCL03) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

P35の出力ラッチに0を設定する。

ポート・モード・レジスタ3のビット5 (PM35) に0を設定する (出力モードに設定)。

TCL0のビット7 (CLOE) に1を設定する。

注意 P35の出力ラッチに1を設定すると、クロック出力は使用できません。

備考 クロック出力制御回路は、クロック出力の許可/禁止の切り替えを行うときに、幅の狭いパルスは出力されないようになっています (図12-1 *印参照)。

図12-1 リモコン出力応用例



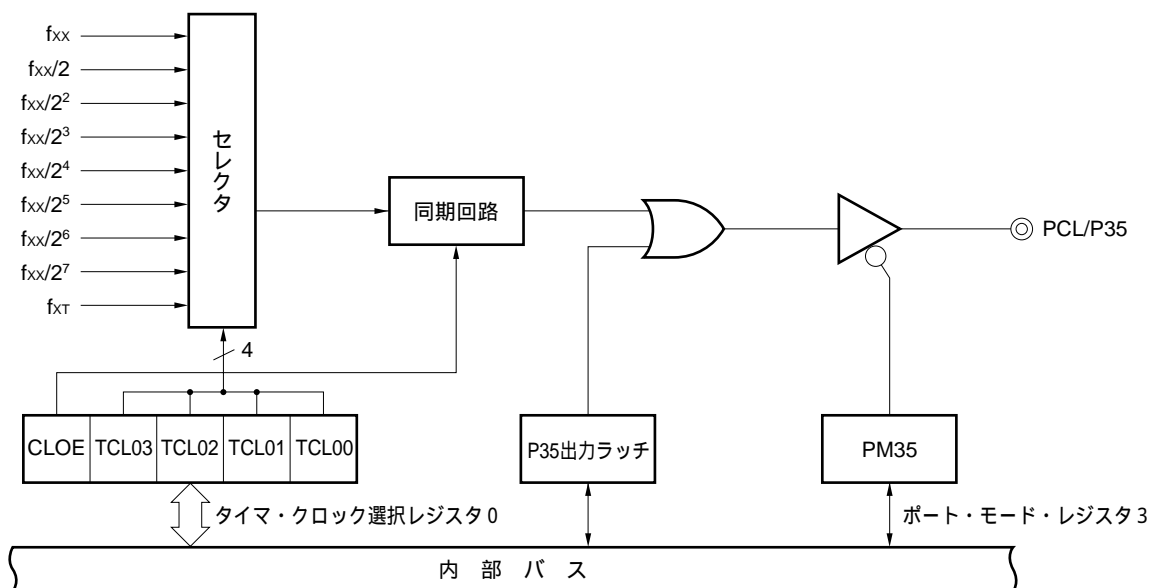
12.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表12-1 クロック出力制御回路の構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) ポート・モード・レジスタ3 (PM3)

図12-2 クロック出力制御回路のブロック図



備考 $f_{xx} = f_x/2$ (MCS = 0), $f_{xx} = f_x$ (MCS = 1)

12.3 クロック出力機能を制御するレジスタ

クロック出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ0 (TCL0)

PCL出力のクロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL0は、PCL出力のクロックの設定以外に、16ビット・タイマ・レジスタのカウント・クロックを設定する機能があります。

図12-3 タイマ・クロック選択レジスタ0のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

CLOE	PCL出力の制御	
0	出力禁止	
1	出力許可	

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択	
			MCS = 1	MCS = 0
0	0	0	TI00 (有効エッジ指定可能)	
0	0	1	設定禁止	f_x (5.0 MHz)
0	1	0	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)
0	1	1	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
1	0	0	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)	
上記以外			設定禁止	

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択	
				MCS = 1	MCS = 0
0	0	0	0	f_{XT} (32.768 kHz)	
0	1	0	1	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
上記以外				設定禁止	

- 注意1. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロック周波数の選択は、サンプリング・クロック選択レジスタで行います。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
 4. TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 4. TM0 : 16ビット・タイマ・レジスタ
 5. MCS : 発振モード選択レジスタのビット0
 6. () 内は, $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P35/PCL端子をクロック出力機能として使用するとき, PM35およびP35の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図12-4 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

第13章 ブザー出力制御回路

13.1 ブザー出力制御回路の機能

1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHzの周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ2 (TCL2) で選択したブザー周波数をBUZ/P36端子から出力します。

ブザー周波数を出力するときは、次の手順で行います。

TCL2のビット5-ビット7 (TCL25-TCL27) でブザー出力周波数を選択する。

P36の出力ラッチに0を設定する。

ポート・モード・レジスタ3のビット6 (PM36) に0を設定する (出力モードに設定)。

注意 P36の出力ラッチに1を設定すると、ブザー出力は使用できません。

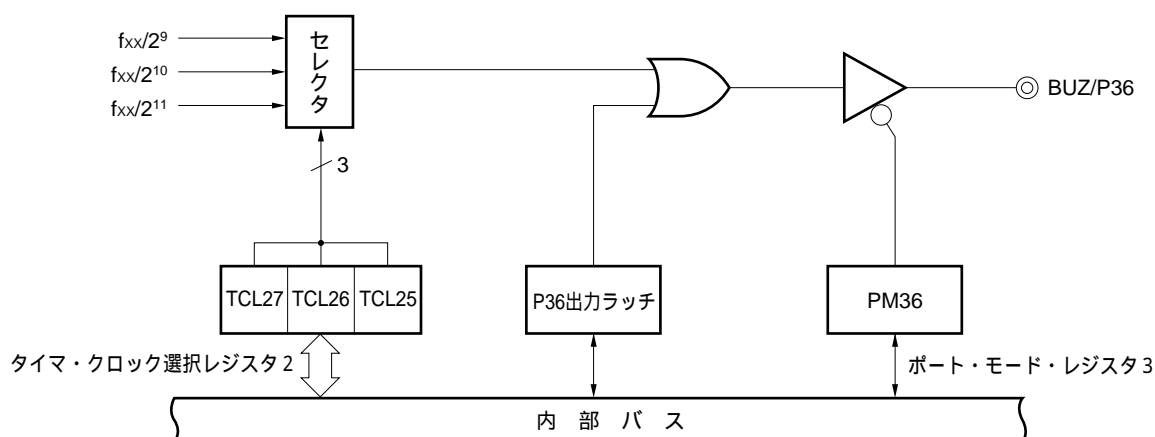
13.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表13 - 1 ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ポート・モード・レジスタ3 (PM3)

図13 - 1 ブザー出力制御回路のブロック図



備考 $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

13.3 ブザー出力機能を制御するレジスタ

ブザー出力機能は、次の2種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ2 (TCL2)
- ・ ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ブザー出力の周波数を設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ブザー出力の周波数の設定以外に、時計用タイマのカウント・クロックおよびウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図13-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL27	TCL26	TCL25	ブザー出力の周波数の選択	
			MCS = 1	MCS = 0
0	x	x	ブザー出力禁止	
1	0	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止	

TCL24	時計用タイマのカウンタ・クロックの選択	
	MCS = 1	MCS = 0
0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{XT} (32.768 kHz)	

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択	
			MCS = 1	MCS = 0
0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. x : don't care
 4. MCS : 発振モード選択レジスタのビット0
 5. () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P36/BUZ端子をブザー出力機能として使用するとき、PM36およびP36の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、FFHになります。

図13-3 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

第14章 A/Dコンバータ

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能8チャンネル（ANI0-ANI7）の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。

A/D変換動作の起動方法には、次の2種類があります。

（1）ハードウェア・スタート

トリガ入力（INTP3）により変換開始。

（2）ソフトウェア・スタート

A/Dコンバータ・モード・レジスタを設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後、停止し、割り込み要求（INTAD）が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTADが発生されます。

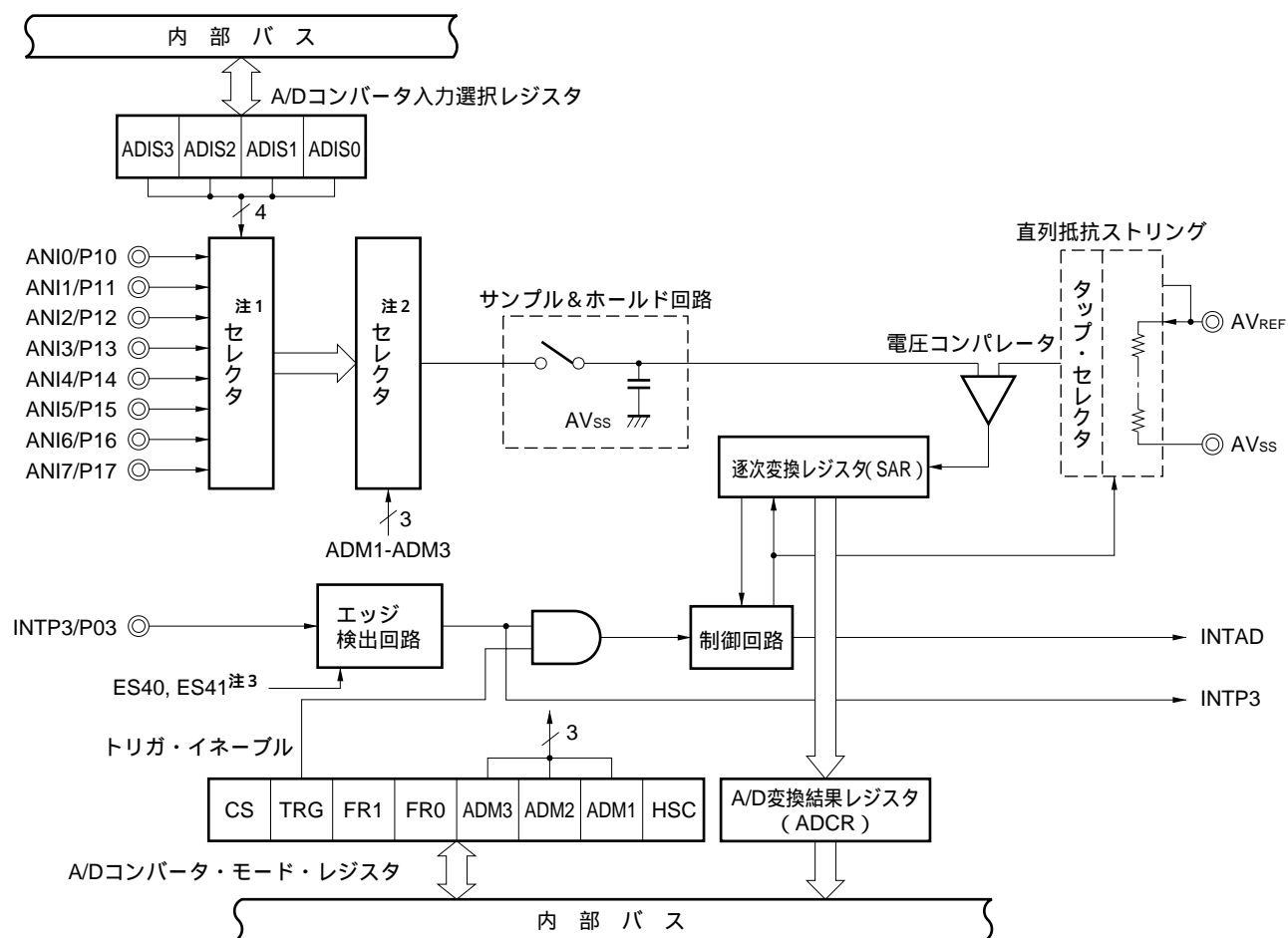
14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表14 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
制御レジスタ	A/Dコンバータ・モード・レジスタ（ADM） A/Dコンバータ入力選択レジスタ（ADIS） 外部割り込みモード・レジスタ1（INTM1）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ（ADCR）

図14 - 1 A/Dコンバータのブロック図



- 注1. アナログ入力として使用するチャンネル数を選択するセレクタ。
 2. A/D変換するチャンネルを選択するセレクタ。
 3. 外部割り込みモード・レジスタ1 (INTM1) のビット0, 1

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

(2) A/D変換結果レジスタ (ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCRは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 $AV_{\text{REF}}-AV_{\text{SS}}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ入力選択レジスタ (ADIS) でアナログ入力として選択した端子以外は、入出力ポートとして使用できません。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{REF}端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて, ANI0-ANI7に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には, AV_{REF}端子に入力する電圧をAV_{SS}レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

また, AV_{REF}端子はA/Dコンバータのアナログ電源の機能を兼用しています。A/Dコンバータを使用するときは, 必ずAV_{REF}端子に電源を供給してください。

注意 AV_{REF}端子に入力する電圧をAV_{SS}と同レベルにする場合は, 必ずA/Dコンバータ・モード・レジスタ (ADM) のビット7 (CS) を0にクリアしてください。

(8) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも, 常にV_{SS0}端子と同電位で使用してください。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは, 次の3種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dコンバータ入力選択レジスタ (ADIS)
- ・外部割り込みモード・レジスタ1 (INTM1)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力のチャンネル, 変換時間, 変換動作の開始/停止, 外部トリガを設定するレジスタです。

ADMは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 01Hになります。

図14 - 2 A/Dコンバータ・モード・レジスタのフォーマット

略号		5	4	3	2	1	0	アドレス	リセット時	R/W	
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

CS	A/D変換動作の制御
0	動作停止
1	動作開始

TRG	外部トリガの選択
0	外部トリガなし (ソフトウェア・スタート)
1	外部トリガにより変換開始 (ハードウェア・スタート)

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}			
			fx = 5.0 MHz動作時		fx = 4.19 MHz動作時	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx (設定禁止 ^{注2})	160/fx (32.0 μs)	80/fx (19.1 μs)	160/fx (38.1 μs)
0	1	1	40/fx (設定禁止 ^{注2})	80/fx (設定禁止 ^{注2})	40/fx (設定禁止 ^{注2})	80/fx (19.1 μs)
1	0	0	50/fx (設定禁止 ^{注2})	100/fx (20.0 μs)	50/fx (設定禁止 ^{注2})	100/fx (23.8 μs)
1	0	1	100/fx (20.0 μs)	200/fx (40.0 μs)	100/fx (23.8 μs)	200/fx (47.7 μs)
上記以外			設定禁止			

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

- 注1. A/D変換時間が19.1 μs以上になるように設定してください。
 2. A/D変換時間が19.1 μs未満となりますので，設定禁止です。

- 注意1. スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには，ビット7 (CS) を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。
 2. 停止しているA/D変換動作を再開するときは，割り込み要求フラグ (ADIF) を0にクリアしたのちにA/D変換動作を開始してください。

備考 fx : メイン・システム・クロック発振周波数
 MCS : 発振モード選択レジスタのビット0

(2) A/Dコンバータ入力選択レジスタ (ADIS)

ANI0/P10-ANI7/P17端子をアナログ入力のチャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

ADISは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1. アナログ入力のチャンネルの設定は、次の順序で行ってください。

ADISでアナログ入力のチャンネル数を設定します。

ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ (ADM) で1チャンネル選択します。

2. ADISでアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタLのビット1 (PUO1) の値にかかわらず、内蔵プルアップ抵抗は使用されません。

図14 - 3 A/Dコンバータ入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADIS3	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADIS3	ADIS2	ADIS1	ADIS0	アナログ入力チャンネル数の選択
0	0	0	0	アナログ入力チャンネルなし (P10-P17)
0	0	0	1	1チャンネル (ANI0, P11-P17)
0	0	1	0	2チャンネル (ANI0, ANI1, P12-P17)
0	0	1	1	3チャンネル (ANI0-ANI2, P13-P17)
0	1	0	0	4チャンネル (ANI0-ANI3, P14-P17)
0	1	0	1	5チャンネル (ANI0-ANI4, P15-P17)
0	1	1	0	6チャンネル (ANI0-ANI5, P16, P17)
0	1	1	1	7チャンネル (ANI0-ANI6, P17)
1	0	0	0	8チャンネル (ANI0-ANI7)
上記以外				設定禁止

(3) 外部割り込みモード・レジスタ1 (INTM1)

INTP3-INTP5の有効エッジを設定するレジスタです。

INTM1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 4 外部割り込みモード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	ES61	ES60	ES51	ES50	ES41	ES40	FFEDH	00H	R/W

ES61	ES60	INTP5の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES51	ES50	INTP4の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES41	ES40	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

14.4 A/Dコンバータの動作

14.4.1 A/Dコンバータの基本動作

A/Dコンバータ入力選択レジスタ (ADIS) でアナログ入力のチャンネル数を設定してください。

ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ (ADM) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットしてください。タップ・セレクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力が $(1/2) AV_{REF}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければ、MSBはリセットされます。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7=1: $(3/4) AV_{REF}$
- ・ビット7=0: $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

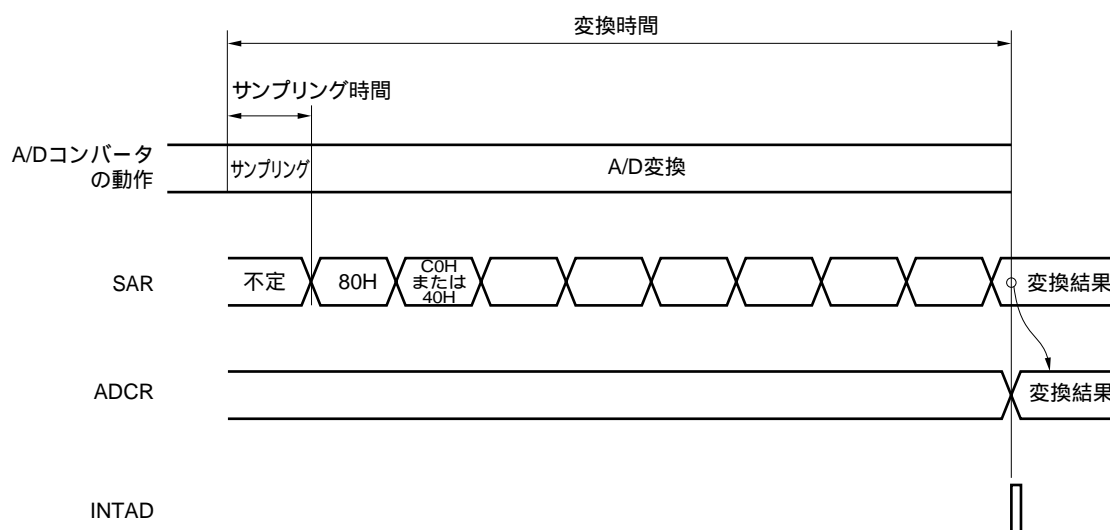
- ・アナログ入力電圧 電圧タップ: ビット6 = 1
- ・アナログ入力電圧 電圧タップ: ビット6 = 0

このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

図14 - 5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりADMのビット7 (CS) をリセット (0) するまで連続的に行われます。
 A/D変換動作中に、ADMレジスタに対する書き込み操作を行うと変換動作は初期化され、CSビットがセット (1) されていれば、最初から変換を開始します。
 ADCRレジスタは、 $\overline{\text{RESET}}$ により不定となります。

14.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCR) に格納された値) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

INT () : () 内の値の整数部を返す関数

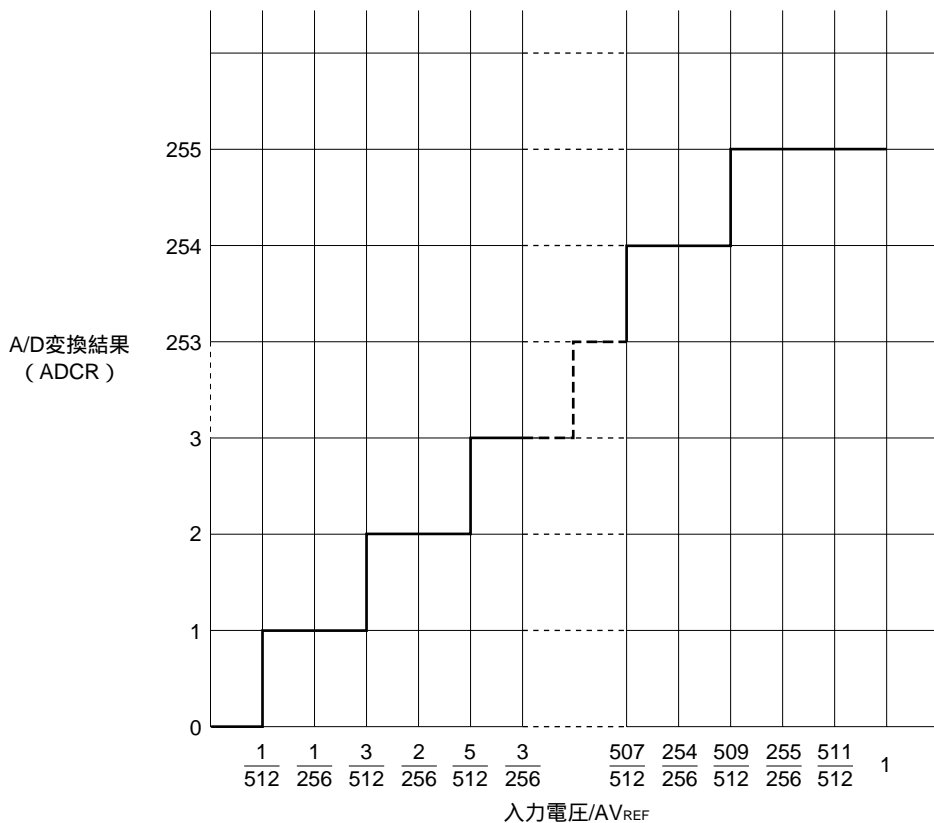
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

図14 - 6にアナログ入力電圧とA/D変換結果の関係を図示します。

図14 - 6 アナログ入力電圧とA/D変換結果の関係



14.4.3 A/Dコンバータの動作モード

A/Dコンバータ入力選択レジスタ(ADIS)およびA/Dコンバータ・モード・レジスタ(ADM)によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力 (INTP3) により変換開始
- ・ソフトウェア・スタート：ADMを設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

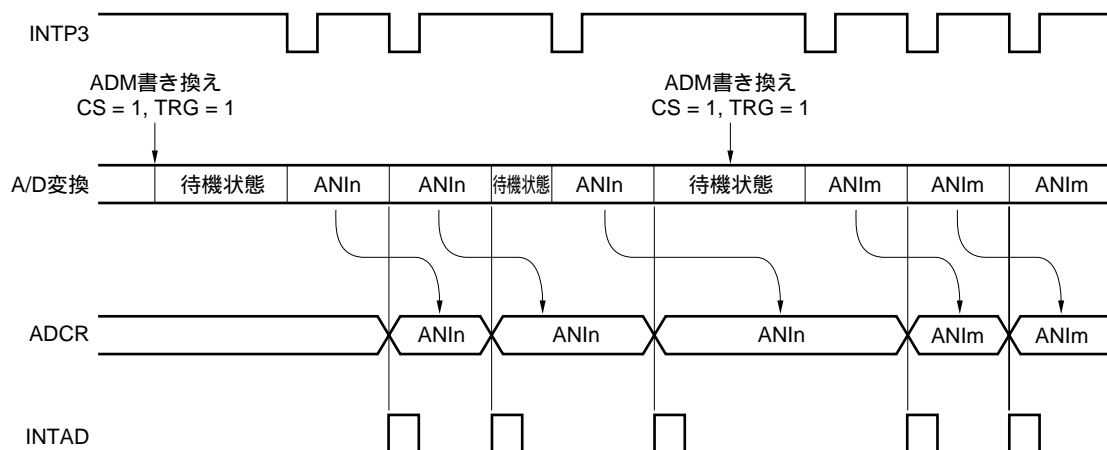
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に1、ビット7 (CS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (INTP3) が入力されると、ADMのビット1-ビット3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、再度CSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。

また、A/D変換動作中に、CSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

図14 - 7 ハードウェア・スタートによるA/D変換動作



備考 n=0, 1, …, 7
m=0, 1, …, 7

(2) ソフトウェア・スタートによるA/D変換動作

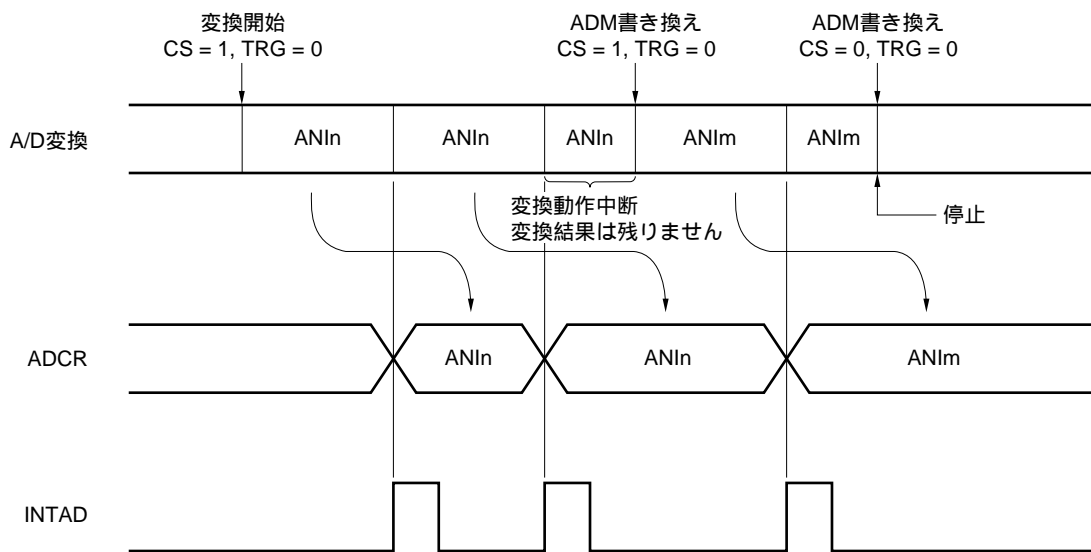
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に0, ビット7 (CS) に1を設定することにより, ADMのビット1-ビット3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作は中断し, 新たに書き込んだデータのA/D変換動作を開始します。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図14 - 8 ソフトウェア・スタートによるA/D変換動作



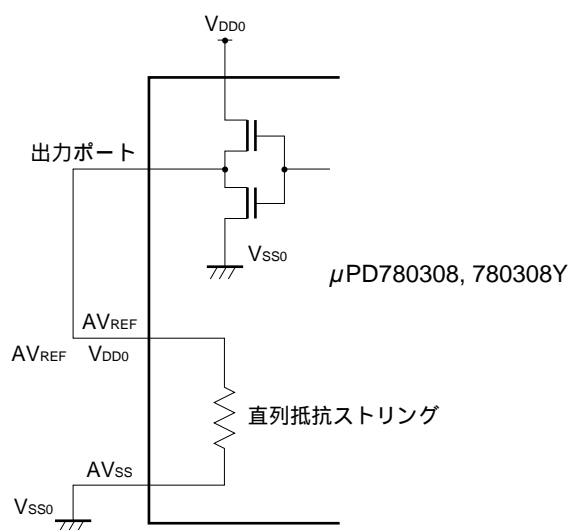
備考 n=0, 1, …, 7
 m=0, 1, …, 7

14.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、メイン・システム・クロックによって動作します。したがって、STOPモード、またはサブシステム・クロックでのHALTモード時には動作は停止します。このときにも、AVREF端子には電流が流れ込みますので、システム全体としての消費電力を少なくするには、この電流をカットする必要があります。図14-9の場合、スタンバイ・モード時には出力ポートにロウ・レベルを出力すれば、消費電力を小さくできます。ただし、実際のAVREFの電圧に精度がありませんので、変換値の値自体は精度を持たず、相対的な比較のみに使用できます。

図14-9 スタンバイ・モード時の消費電流を低減させる方法例



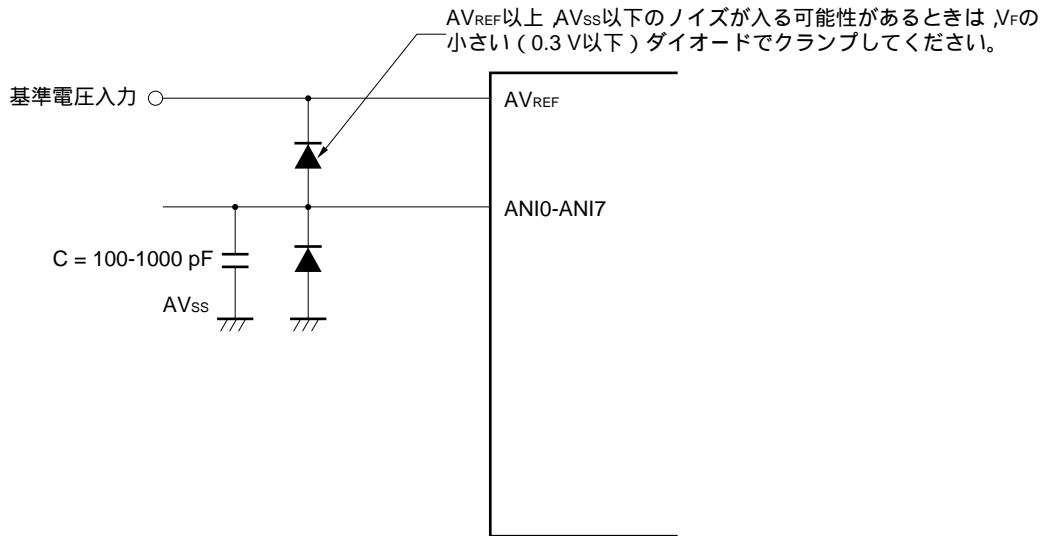
(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に、AVREF以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-10のように、Cを外付けすることを推奨します。

図14-10 アナログ入力端子の処理



(4) ANI0/P10-ANI7/P17

アナログ入力 (ANI0-ANI7) 端子は入出力ポート (PORT1) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にPORT1の入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(5) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には約10 k Ω の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

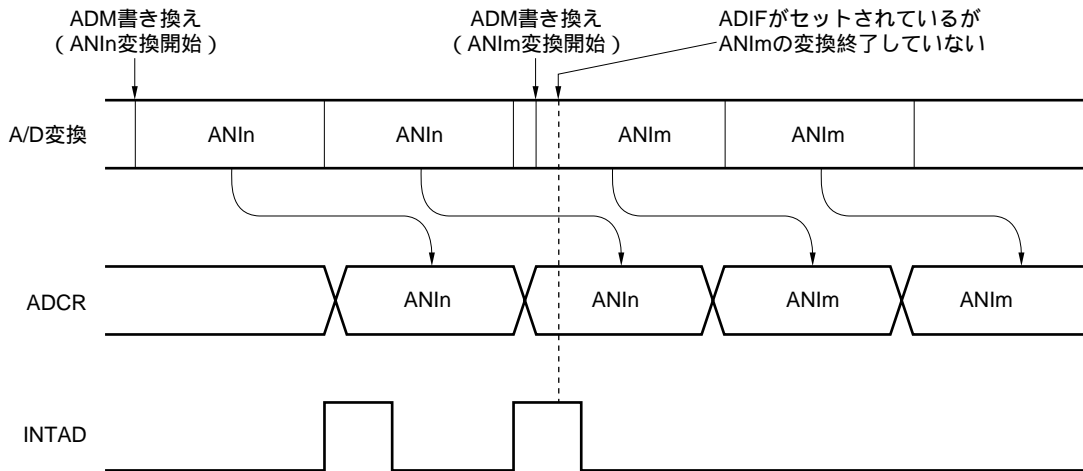
(6) 割り込み要求フラグ (ADIF) について

A/Dコンバータ・モード・レジスタ (ADM) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図14 - 11 A/D変換終了割り込み発生タイミング



第15章 シリアル・インタフェース・チャンネル0 (μ PD780308サブシリーズ)

μ PD780308サブシリーズは、シリアル・インタフェースを3チャンネル内蔵しています。チャンネル0、チャンネル2、チャンネル3の違いは次のとおりです（シリアル・インタフェース・チャンネル2の詳細は、第17章 シリアル・インタフェース・チャンネル2、シリアル・インタフェース・チャンネル3の詳細は、第18章 シリアル・インタフェース・チャンネル3を参照してください）。

表15 - 1 チャンネル0, チャンネル2, チャンネル3の違い

シリアル転送モード		チャンネル0	チャンネル2	チャンネル3
3線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$, 外部クロック, TO2出力	外部クロック, ボー・レート・ジェネレータ出力	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$, 外部クロック
	転送方式	MSB先頭 / LSB先頭の切り替え可能	MSB先頭 / LSB先頭の切り替え可能	MSB先頭 / LSB先頭の切り替え可能
	転送終了フラグ	シリアル転送終了割り込み要求フラグ (CSIF0)	シリアル転送終了割り込み要求フラグ (SRIF)	シリアル転送終了割り込み要求フラグ (CSIF3)
SBI (シリアル・バス・インタフェース)		使用可能	なし	なし
2線式シリアルI/O				
UART (アシンクロナス・シリアル・インタフェース)		なし	使用可能	なし

15.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBI (シリアル・バス・インタフェース) モード
- ・2線式シリアルI/Oモード

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / SBI) を切り替えないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK0}}$) , シリアル出力 (SO0) , シリアル入力 (SI0) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) SBI (シリアル・バス・インタフェース) モード (MSB先頭)

シリアル・クロック ($\overline{\text{SCK0}}$) と、シリアル・データ・バス (SB0またはSB1) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

SBIモードは、NECシリアル・バス・フォーマットに準拠し、転送データを“アドレス”、“コマンド”、“データ”の3種類に識別して送受信します。

- ・アドレス：シリアル通信の対象デバイスを選択するためのデータ
- ・コマンド：対象デバイスに対して命令を与えるデータ
- ・データ：実際に転送するデータ

実際の転送は、マスタ・デバイスがシリアル・バス上に“アドレス”を出力して、複数のデバイスのうち通信対象となるスレーブ・デバイスを選択します。その後、マスタ・デバイスとスレーブ・デバイスとの間で、“コマンド”、“データ”の送受信を行うことにより、シリアル転送が実現します。受信側は、受信したデータをハードウェアにより自動的に“アドレス”、“コマンド”、“データ”に判別できます。

この機能により、入出力ポートの有効活用ができるほか、さらに応用プログラムのシリアル・インタフェースの制御部分を簡単にできます。

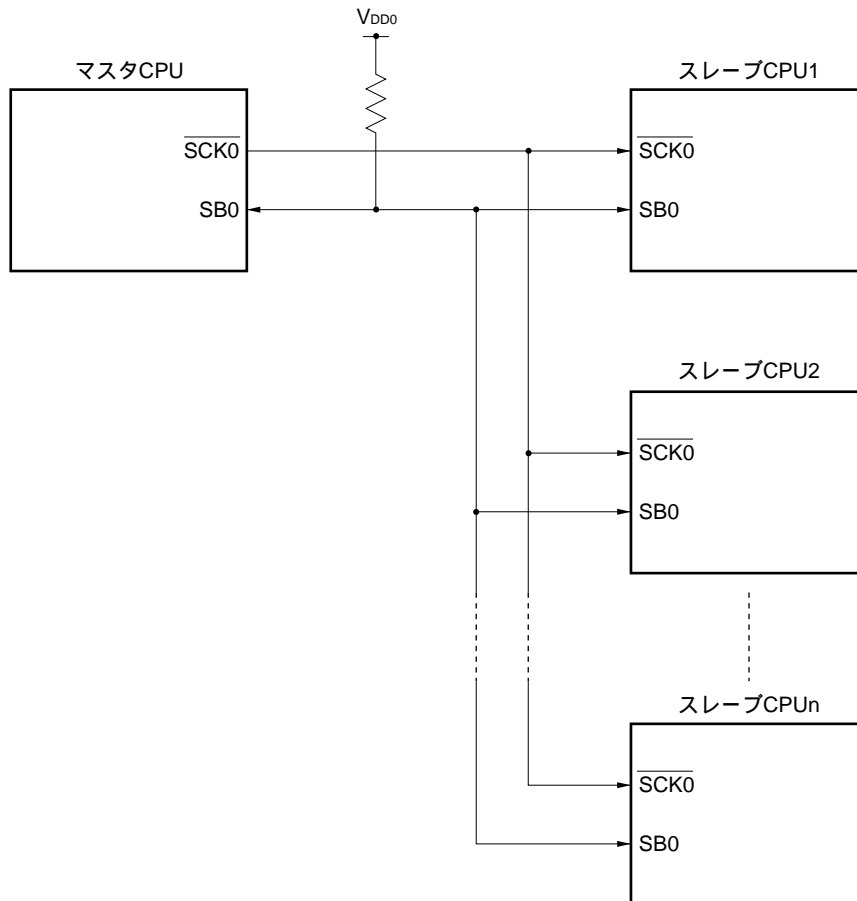
また、ハンドシェイクのためのウエイク・アップ機能、アクノリッジ信号、ビジー信号出力機能も使用できます。

(4) 2線式シリアルI/Oモード (MSB先頭)

シリアル・クロック ($\overline{\text{SCK0}}$) と、シリアル・データ・バス (SB0またはSB1) の2本のラインにより、8ビット・データ転送を行うモードです。

$\overline{\text{SCK0}}$ と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応できます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除でき、入出力ポートの有効活用ができます。

図15 - 1 シリアル・バス・インタフェース (SBI) のシステム構成例



15.2 シリアル・インタフェース・チャンネル0の構成

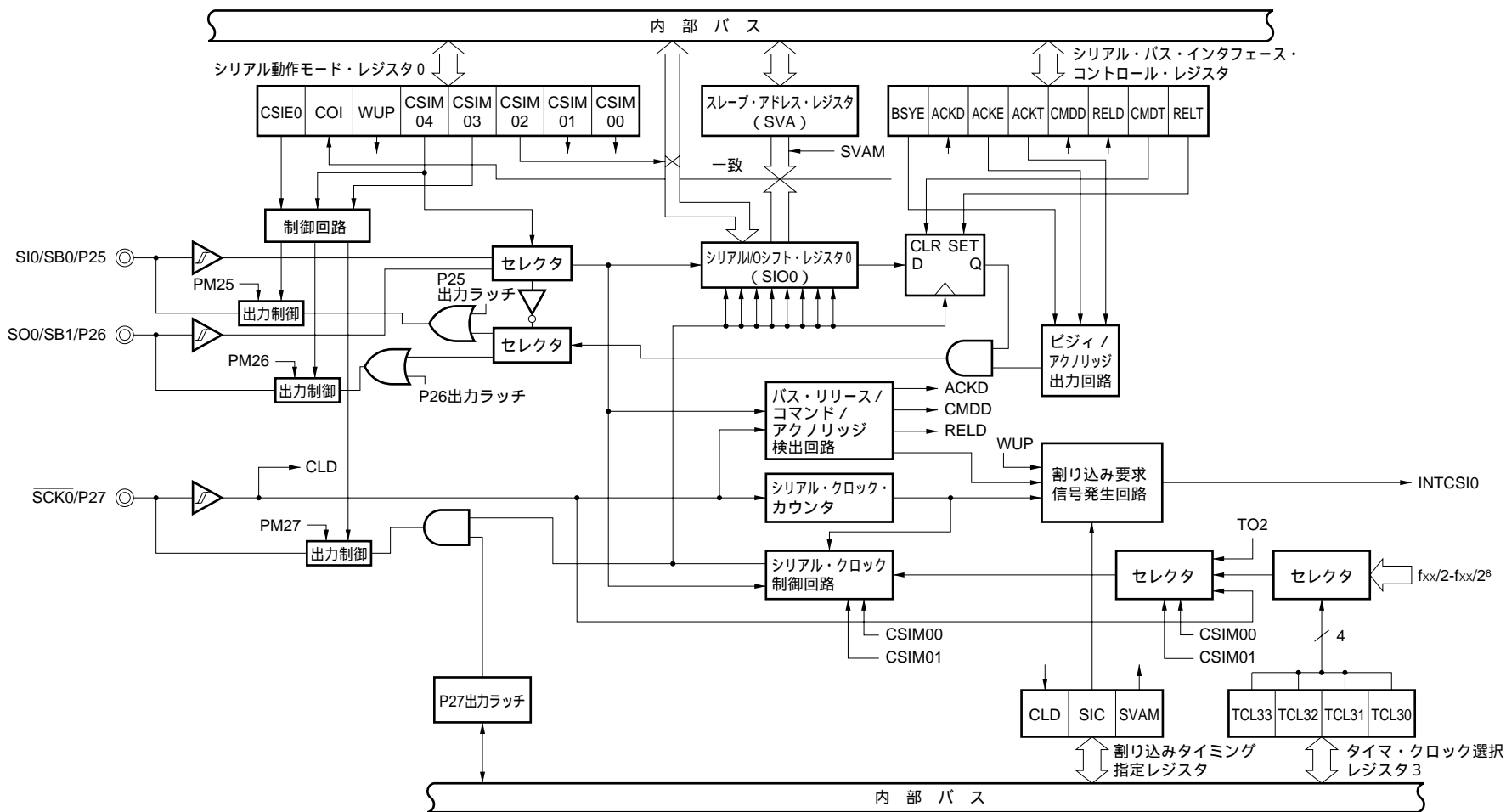
シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表15 - 2 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2) ^注

注 図6 - 5 P25, P26のブロック図 (μ PD780308サブシリーズ), 図6 - 6 P27のブロック図 (μ PD780308サブシリーズ) を参照してください。

図15-2 シリアル・インタフェース・チャンネル0のブロック図



備考1. 出力制御は、CMOS出力にするか、N-chオープン・ドレーン出力にするかの選択を行います。

2. $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0) のビット7 (CSIE0) が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力 (SO0) またはシリアル・データ・バス (SB0/SB1) に出力されます。受信時は、データがシリアル入力 (SI0) またはSB0/SB1からSIO0に読み込まれます。

なお、SBIモード、2線式シリアルI/Oモードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめSIO0にFFHを書き込んでください（ただし、CSIM0のビット5 (WUP) に1を設定してアドレス受信を行うときを除く）。

また、SBIモード時は、SIO0への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット7 (BSYE) は、0にクリアされません。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用されません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ（マスタから出力されたスレーブ・アドレスとSVAの値）を比較して、一致すると、そのスレーブが選択されたこととなります。このとき、シリアル動作モード・レジスタ0 (CSIM0) のビット6 (COI) が1になります。

また、割り込みタイミング指定レジスタ (SINT) のビット4 (SVAM) をセット (1) することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット2 (RELD) は0にクリアされます。

SBIモード時、CSIM0のビット5 (WUP) をセット (1) することにより、ウエイク・アップ機能を使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したときのみ、割り込み要求信号 (INTCSI0) が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) がセット (1) されていると、WUPをセット (1) しても、ウエイク・アップ機能が動作しません（バス・リリース検出時に割り込み要求信号が発生します）。ウエイク・アップ機能使用時はSICを0にクリアしておいてください。

さらに、SBIモード時または2線式シリアルI/Oモード時で、マスタまたはスレーブとして送信するとき、SVAを使用してエラーを検出してください。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/P25, SO0/SB1/P26端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBIモード時は、シリアル・クロックの8回目のクロック終了時にセットされます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0 (SIO0) へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}$ /P27端子へ出力するクロックの制御も行います。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

・3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時

シリアル・クロックを8回カウントすることに割り込み要求信号を発生します。

・SBIモード時

WUP^注が0のとき...シリアル・クロックを8回カウントすることに割り込み要求信号を発生します。

WUP^注が1のとき...アドレス受信後、シリアルI/Oシフト・レジスタ0 (SIO0) とスレーブ・アドレス・レジスタ (SVA) の値が一致したとき、割り込み要求信号を発生します。

注 WUPIは、ウエイク・アップ機能指定ビット。シリアル動作モード・レジスタ0 (CSIM0) のビット5。ウエイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。

(7) ビジィ/アクノリッジ出力回路、バス・リリース/コマンド/アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時には、動作しません。

15.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ0 (CSIM0)
- ・ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・ 割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

図15-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択	
				MCS = 1	MCS = 0
0	1	1	0	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止	

注意1. ビット4-ビット6には0を、ビット7には1を設定してください。

2. TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック，動作モード，動作の許可/停止，ウエイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / SBI) を切り替えないでください。動作モードは，いったんシリアル動作を停止させたのちに切り替えてください。

図15 - 4 シリアル動作モード・レジスタ0のフォーマット (1/2)

略号	4	3	2	1	0	アドレス	リセット時	R/W			
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF 6 0 H	0 0 H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}
	0	すべてのモードで，シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時，バス・リリース後 (CMDD = RELD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき，割り込み要求信号を発生

注1. ビット6 (COI) は，Read Onlyです。

2. CSIE0 = 0のとき，COIは0になります。

3. ウエイク・アップ機能を使用 (WUP = 1) するときは，割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。

図15 - 4 シリアル動作モード・レジスタ0のフォーマット (2/2)

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
0	×	0	注1	注1	0	0	0	0	1	3線式シリアル I/Oモード	MSB	SI0 ^{注1} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
		1	1	×							LSB			
1	0	0	注2	注2	0	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (CMOS入出力)
		1	0	0	注2	注2	0	1						
1	1	0	注2	注2	0	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (N-chオープン・ ドレイン入出力)
		1	0	0	注2	注2	0	1						

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
0	×		SCK0端子への外部からの入力クロック
1	0		8ビット・タイマ・レジスタ2 (TM2) の出力
1	1		タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック

注1. 送信のみ使用するときには、P25 (CMOS入出力) として使用できます。

2. ポート機能として自由に使用できます。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・インタフェースの動作の設定とステータスを表示するレジスタです。
 SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (1/2)

略号		①	アドレス	リセット時	R/W						
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^{注1}

R/W	BSYE ^{注2}	同期ビジー信号出力の制御	
	0	クリア (0) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。	

R	ACKD	アクノリッジ検出	
	クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・転送スタート命令実行後、ビジー・モードを解除した直後の$\overline{\text{SCK0}}$のクロックの立ち下がり時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・転送完了後の$\overline{\text{SCK0}}$のクロックの立ち上がりエッジでアクノリッジ信号 ($\overline{\text{ACK}}$) 検出時

R/W	ACKE	アクノリッジ信号出力の制御			
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)			
	1	<table border="1"> <tr> <td>転送完了前</td> <td>SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。</td> </tr> <tr> <td>転送完了後</td> <td>セット (1) する命令実行直後の$\overline{\text{SCK0}}$のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア (0) されない。</td> </tr> </table>	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。	転送完了後
転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。				
転送完了後	セット (1) する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア (0) されない。				

- 注1. ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。
 2. シリアル・インタフェースの転送開始によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図15-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (2/2)

R/W	ACKT	セット (1) する命令実行直後の $\overline{SCK0}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し, 出力後, 自動的にクリア (0) される。ACKE = 0として使用する。 また, シリアル・インタフェースの転送開始, CSIE0 = 0のときもクリア (0) される。
-----	------	--

R	CMDD	コマンド検出	
		クリアされる条件 (CMDD = 0)	セットされる条件 (CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号 (REL) 検出時 ・CSIE0 = 0のとき ・\overline{RESET}入力時 	<ul style="list-style-type: none"> ・コマンド信号 (CMD) 検出時

R	RELD	バス・リリース検出	
		クリアされる条件 (RELD = 0)	セットされる条件 (RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・\overline{RESET}入力時 	<ul style="list-style-type: none"> ・バス・リリース信号 (REL) 検出時

R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により, SOラッチがクリア (0) される。SOラッチをクリア後, 自動的にクリア (0) される。 また, CSIE0 = 0のときもクリア (0) される。
-----	------	---

R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により, SOラッチがセット (1) される。SOラッチをセット後, 自動的にクリア (0) される。 また, CSIE0 = 0のときもクリア (0) される。
-----	------	--

備考1. ビット0, 1, 4 (RELT, CMDT, ACKT) は, データ設定後に読み出すと0になっています。

2. CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

(4) 割り込みタイミング指定レジスタ (SINT)

バス・リリース割り込み, アドレス・マスク機能の設定と $\overline{\text{SCK0}}$ 端子のレベルの状態を表示するレジスタです。

SINTは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図15 - 6 割り込みタイミング指定レジスタのフォーマット

略号	7				3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R	CLD	$\overline{\text{SCK0}}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注3}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
	1	シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIF0をセットする

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7

注1. ビット6 (CLD) は, Read Onlyです。

2. CSIE0 = 0のとき, CLDIは0になります。

3. SBIモードでウエイク・アップ機能を使用するときは, SICに0を設定してください。

注意 ビット0-ビット3には, 必ず0を設定してください。

備考 SVA : スレーブ・アドレス・レジスタ

CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

15.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBIモード
- ・2線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。

また、シリアルI/Oシフト・レジスタ0 (SIO0) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SI0/SB0, P26/SO0/SB1, P27/SCK0端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0 (CSIM0) で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号								アドレス	リセット時	R/W	
			4	3	2	1	0				
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

15.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK0}}$)、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号				4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W注1

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R/W	WUP	ウエイク・アップ機能の制御 ^{注2}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMD \bar{D} = RE $\bar{L}D$ = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	0	注3	注3	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	0	SBIモード (15.4.3 SBIモードの動作参照)											
	1	1	2線式シリアルI/Oモード (15.4.4 2線式シリアルI/Oモードの動作参照)											

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック

- 注1. ビット6 (COI) は、Read Onlyです。
2. 3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
3. 送信のみ使用するときは、P25 (CMOS入出力) として使用できます。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W

R/W	CMDT	CMDT = 1により、SOラッチがクリア (0) される。SOラッチをクリア後、自動的にクリア (0) される。 また、CSIE0 = 0のときもクリア (0) される。
-----	------	---

R/W	RELT	RELT = 1により、SOラッチがセット (1) される。SOラッチをセット後、自動的にクリア (0) される。 また、CSIE0 = 0のときもクリア (0) される。
-----	------	---

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

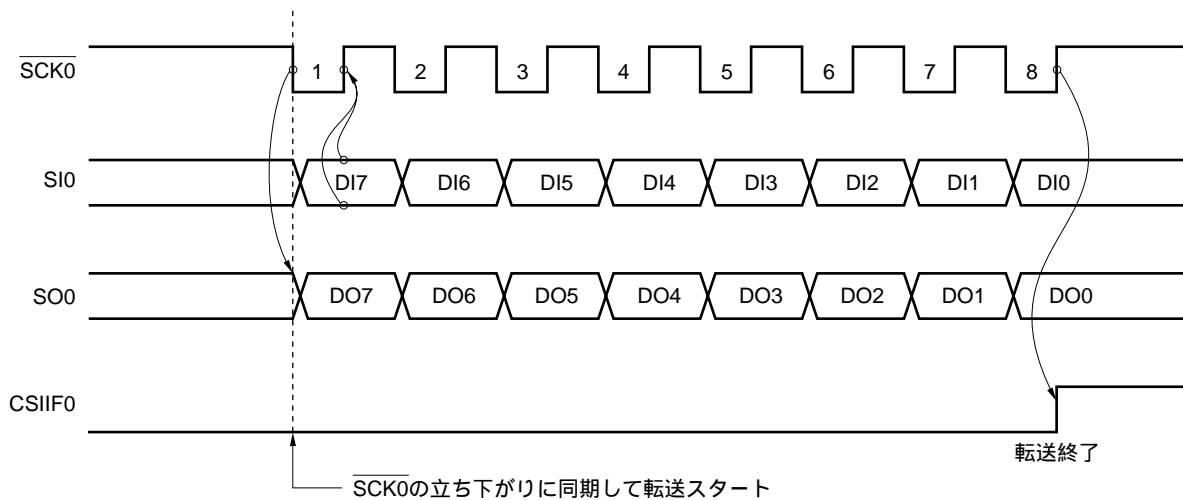
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作は、シリアル・クロック ($\overline{SCK0}$) の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{SCK0}$ の立ち上がりで、SIO0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ (CSIF0) がセットされます。

図15-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) , ビット1 (CMDT) のセットによって、SO0端子出力状態を操作できます。

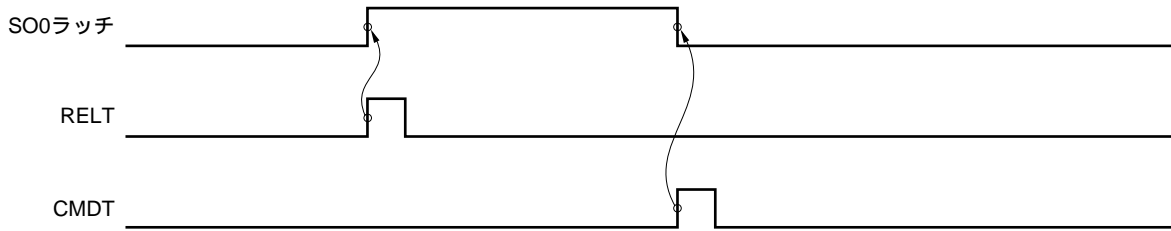
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{SCK0}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (15.4.5 $\overline{SCK0}$ /P27端子出力の操作を参照)。

(3) 各種信号

図15 - 8にRELT, CMDTの動作を示します。

図15 - 8 RELT, CMDTの動作



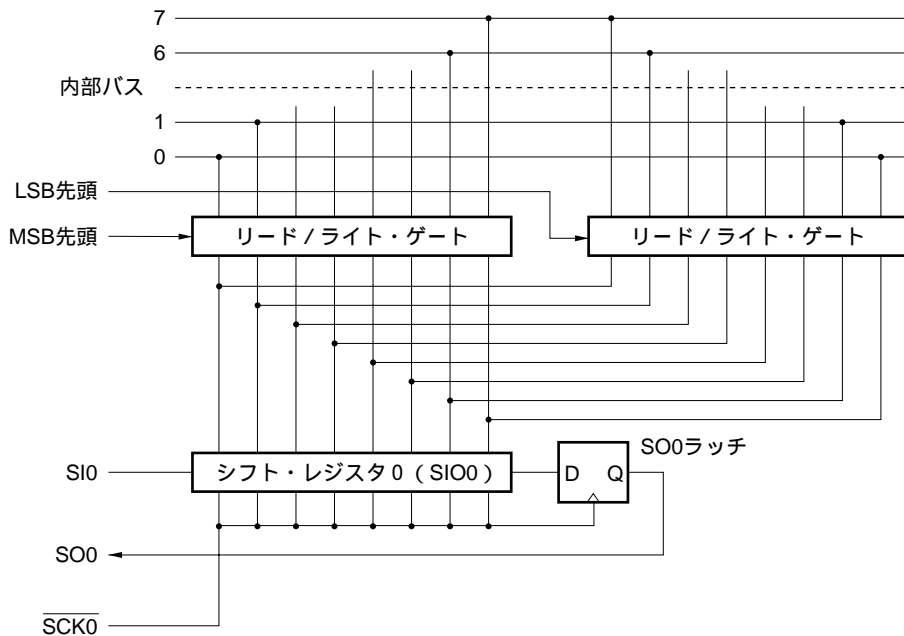
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図15 - 9にシリアルI/Oシフト・レジスタ0 (SIO0)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0) のビット2 (CSIM02) により指定できます。

図15 - 9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現させています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

15.4.3 SBIモードの動作

SBI (シリアル・バス・インタフェース) は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングルマスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信を行うことができますように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上的配線数を削減できます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”，および実際の“データ”を出力することができます。スレーブは、受信したデータをハードウエアにより，“アドレス”，“コマンド”，“データ”に判別できます。この機能により、シリアル・インタフェース・チャンネル0を制御する応用プログラムを簡略化できます。

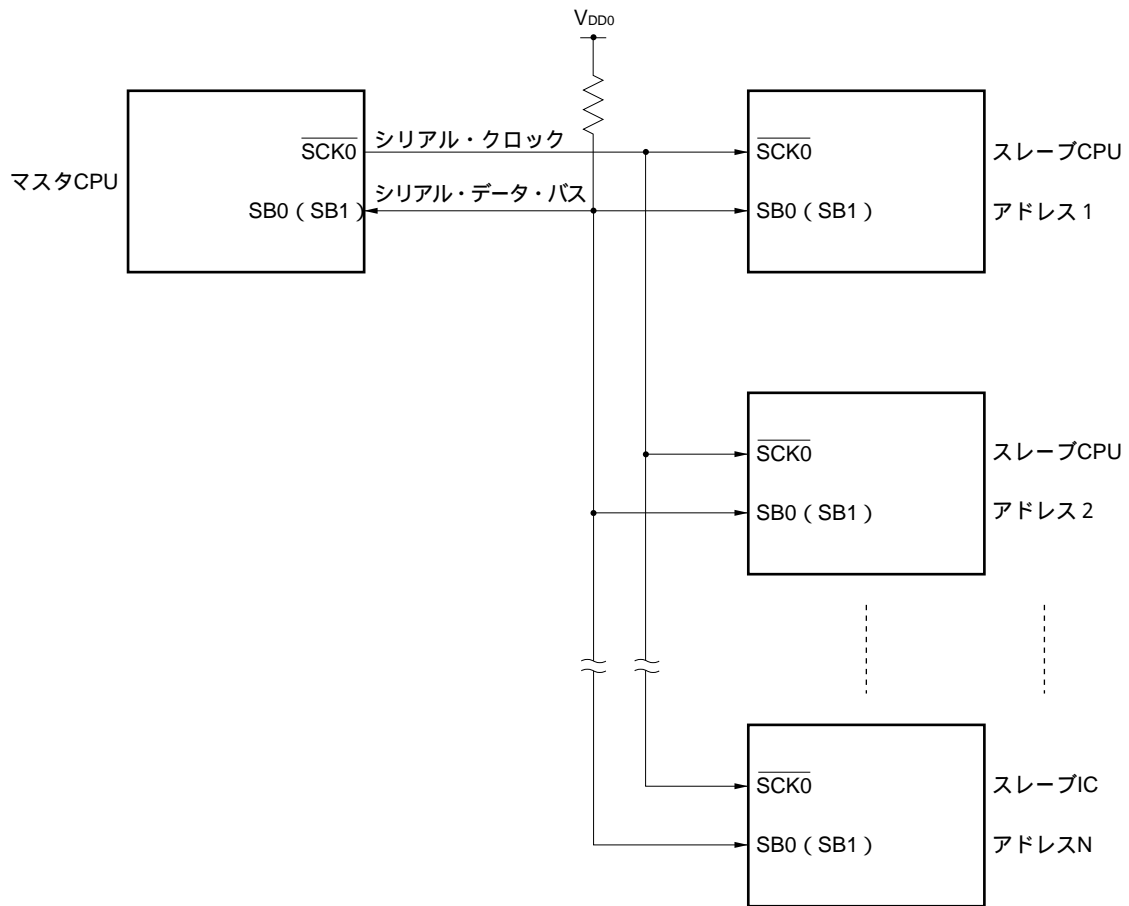
SBI機能は、75X/XLシリーズ、78Kシリーズなどの数種のデバイスに内蔵されています。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図15-10に示します。

SBIでは、シリアル・データ・バス端子SB0 (SB1) は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBIモード使用時には、後述の(11) SBIモードの注意事項 (d) を参照してください。

図15 - 10 SBIによるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン ($\overline{\text{SCK0}}$) の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン ($\overline{\text{SCK0}}$) にもプルアップ抵抗が必要となります。

(1) SBIの機能

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック $\overline{\text{SCK0}}$ と、シリアル・データ・バスSB0 (SB1)の2本の信号線でシリアル・バスを構成できます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(a) アドレス/コマンド/データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(b) アドレスによるチップ・セレクト状態

マスタは、アドレスの送信により、スレーブのチップ・セレクト (選択) を行います。

(c) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能 (ソフトウェアで設定/解除が可能) により、アドレス受信の判断 (チップ・セレクトの判断) を容易に行うことができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号 (INTCSIO) が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(d) アクノリッジ信号 ($\overline{\text{ACK}}$) 制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

(e) ビジー信号 ($\overline{\text{BUSY}}$) 制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

(2) SBIの定義

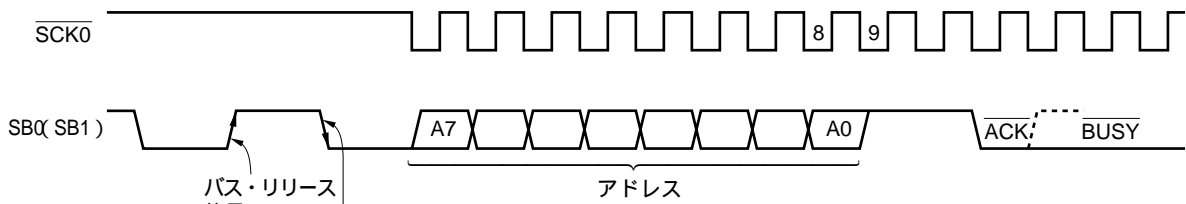
SBIのシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

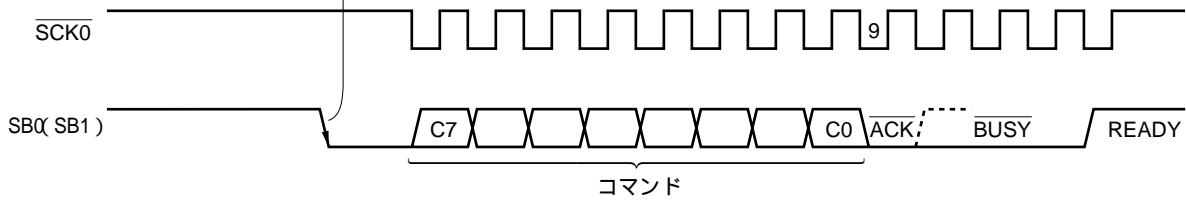
図15 - 11に、アドレス、コマンド、およびデータの転送タイミングを示します。

図15 - 11 SBI転送のタイミング

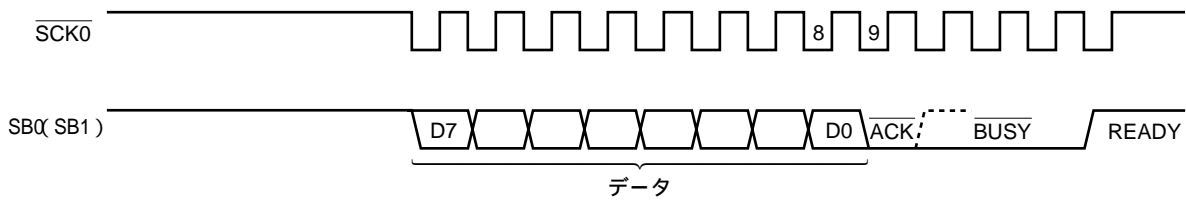
アドレスの転送



コマンドの転送



データの転送



備考 破線はREADY状態を示します。

バス・リリース信号およびコマンド信号はマスタが出力します。またBUSYはスレーブが出力します。ACKはマスタ、スレーブのどちらでも出力できます（通常、8ビット・データの受信側が出力します）。

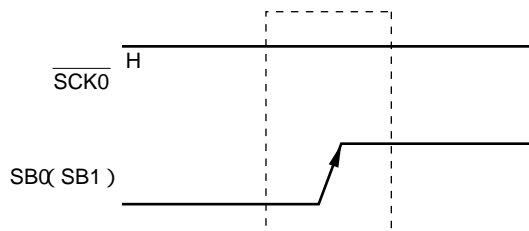
シリアル・クロックは、8ビット・データ転送開始から、BUSYが解除されるまで、マスタが出力し続けます。

(a) バス・リリース信号 (REL)

バス・リリース信号は、 $\overline{\text{SCK0}}$ ラインがハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SB0 (SB1) ラインがロウ・レベルからハイ・レベルに変化した信号です。

この信号は、マスタが出力します。

図15 - 12 バス・リリース信号

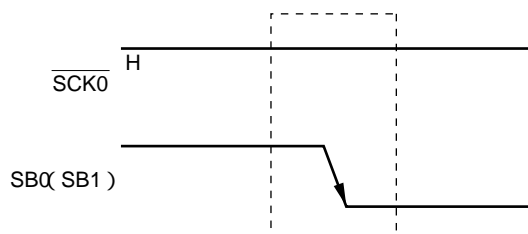


バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

(b) コマンド信号 (CMD)

コマンド信号は、 $\overline{\text{SCK0}}$ ラインが、ハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SB0 (SB1) ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図15 - 13 コマンド信号



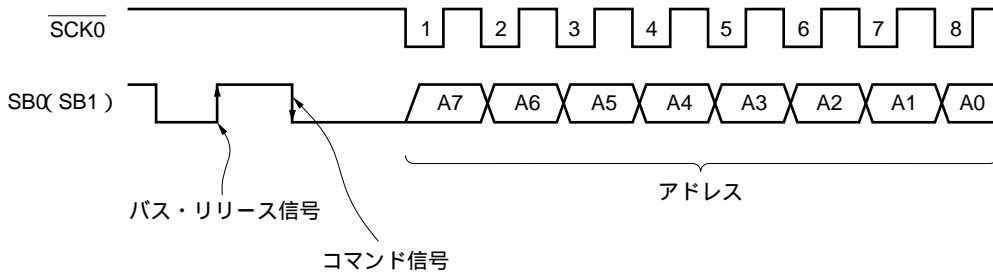
コマンド信号は、これからマスタがスレーブに対してコマンドを送信することを示すものです（ただし、バス・リリース信号に続くコマンド信号は、アドレスを送信することを示します）。

スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

(c) アドレス

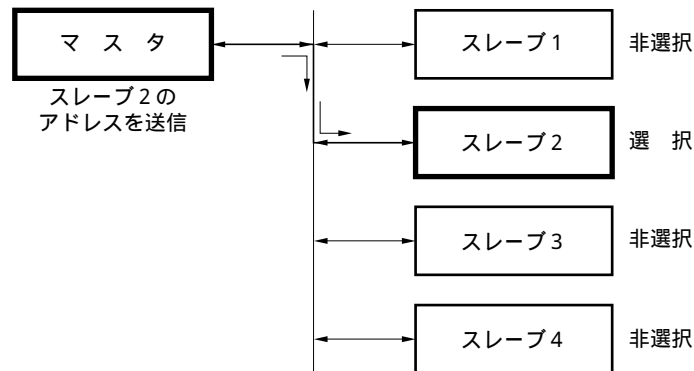
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図15 - 14 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号(スレーブ・アドレス)と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタとの通信を行います。

図15 - 15 アドレスによるスレーブの選択



(d) コマンド, データ

アドレスの送信により選択したスレーブに対して, マスタはコマンドの送信や, データの送受信を行います。

図15 - 16 コマンド

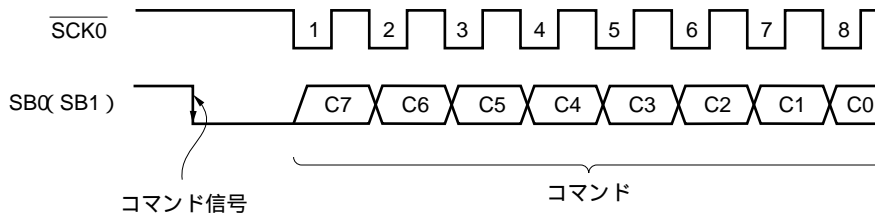
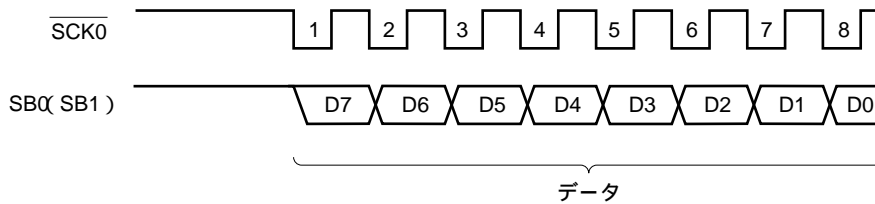


図15 - 17 データ

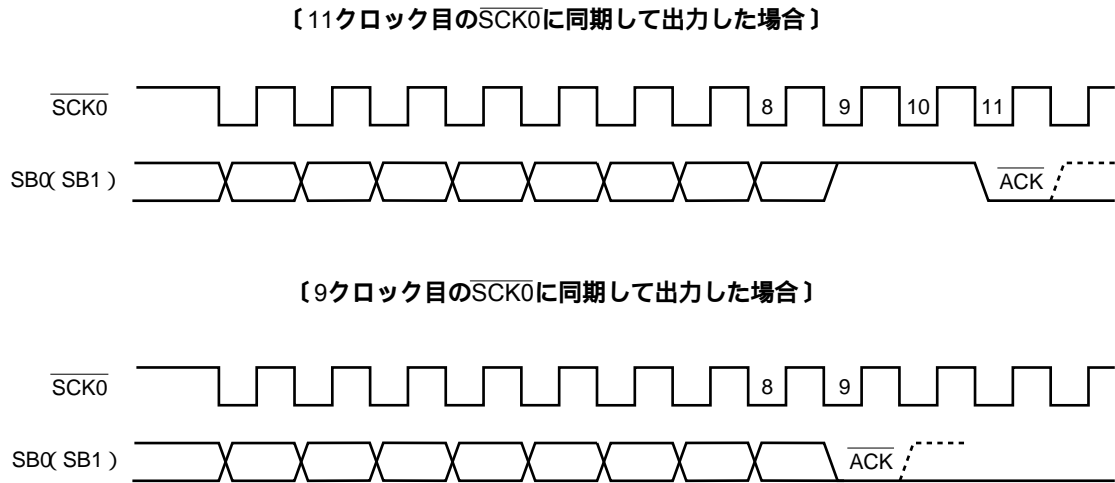


コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド, データの使用方法は, 通信の仕様によって任意に決定できます。

(e) アクノリッジ信号 (ACK)

アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信の確認のための信号です。

図15 - 18 アクノリッジ信号



備考 破線はREADY状態を示します。

アクノリッジ信号は、8ビット・データ転送後のSCK0の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目のSCK0に同期させてもかまいません。

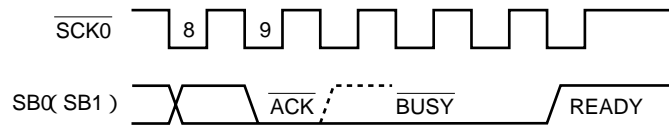
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、受信が正しく行われなかったものと判断できます。

(f) ビジィ信号 ($\overline{\text{BUSY}}$) , レディ信号 (READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図15 - 19 ビジィ信号, レディ信号



備考 破線はREADY状態を示します。

SBIでは、スレーブが、SB0 (SB1) ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK0}}$ の立ち下がりに同期して、設定/解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK0}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始できます。

(3) レジスタの設定

SBIモードの設定は、シリアル動作モード・レジスタ0 (CSIM0) , シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) , 割り込みタイミング指定レジスタ (SINT) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号		4	3	2	1	0	アドレス	リセット時	R/W		
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	$\overline{\text{SCK0}}$ /P27 端子の機能
	0	x	3線式シリアルI/Oモード (15.4.2 3線式シリアルI/Oモードの動作参照)											
	1	0	注4	注4	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ドレイン入出力)	$\overline{\text{SCK0}}$ (CMOS入出力)	
			1	0	0	注4	注4	0			1	SB0 (N-chオープン・ドレイン入出力)		P26 (CMOS入出力)
	1	1	2線式シリアルI/Oモード (15.4.4 2線式シリアルI/Oモードの動作参照)											

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	$\overline{\text{SCK0}}$ 端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック

- 注1. ビット6 (COI) は、Read Onlyです。
2. CSIE0 = 0のとき、COIは0になります。
3. ウェイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。
4. ポート機能として自由に使用できます。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号		①	アドレス	リセット時	R/W						
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^{注1}

R/W	BSYE ^{注2}	同期ビジー信号出力の制御	
	0	クリア(0)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。	

R	ACKD	アクノリッジ検出	
	クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・転送スタート命令実行後、ビジー・モードを解除した直後のSCK0のクロックの立ち下がり時 ・CSIE0 = 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号 (ACK) 検出時

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

(続く)

注1. ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。

2. シリアル・インタフェースの転送開始によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考1. ビット0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと0になっています。

2. CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

R/W	ACKT	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE = 0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R	CMDD	コマンド検出	
		クリアされる条件 (CMDD = 0)	セットされる条件 (CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号 (REL) 検出時 ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・コマンド信号 (CMD) 検出時

R	RELD	バス・リリース検出	
		クリアされる条件 (RELD = 0)	セットされる条件 (RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・バス・リリース信号 (REL) 検出時

R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

- 備考1. ビット0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと0になっています。
2. CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7				3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R	CLD	$\overline{\text{SCK0}}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注3}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
	1	シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIF0をセットする

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7

注1. ビット6 (CLD) は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

3. SBIモードでウエイク・アップ機能を使用するときは、SICに0を設定してください。

注意 ビット0-ビット3には、必ず0を設定してください。

備考 SVA : スレーブ・アドレス・レジスタ

CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

(4) 各種信号

SBIにおける、各種の信号と、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 上のフラグの動作について図15 - 20から図15 - 25に示します。また、SBIの各種の信号の一覧を表15 - 3に示します。

図15 - 20 RELT, CMDT, RELD, CMDDの動作 (マスタ)

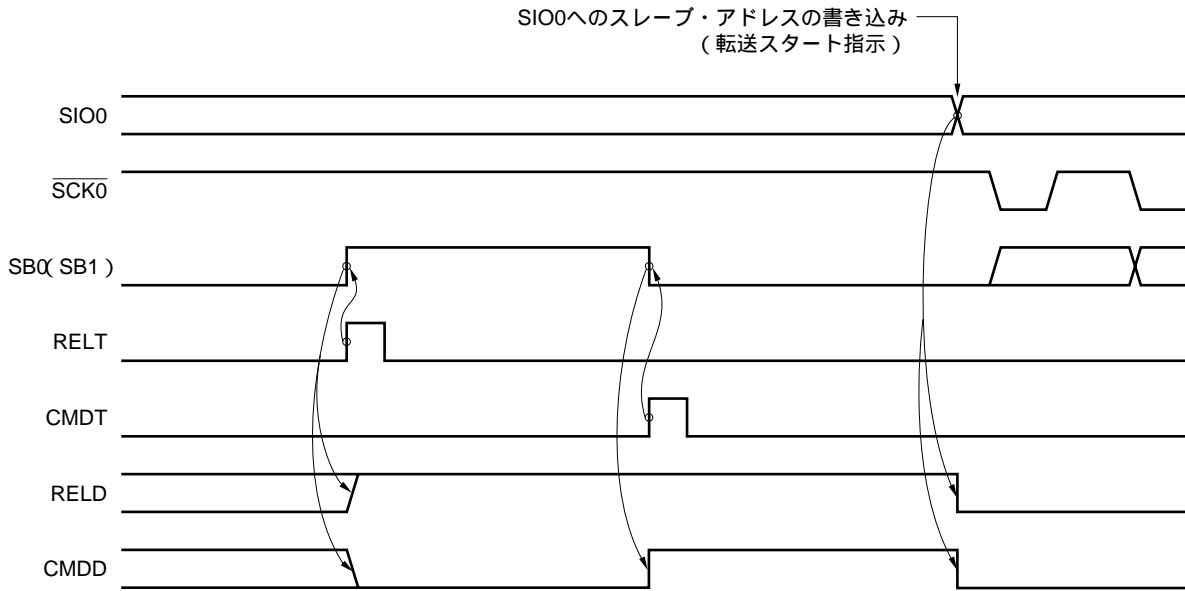


図15 - 21 RELD, CMDDの動作 (スレーブ)

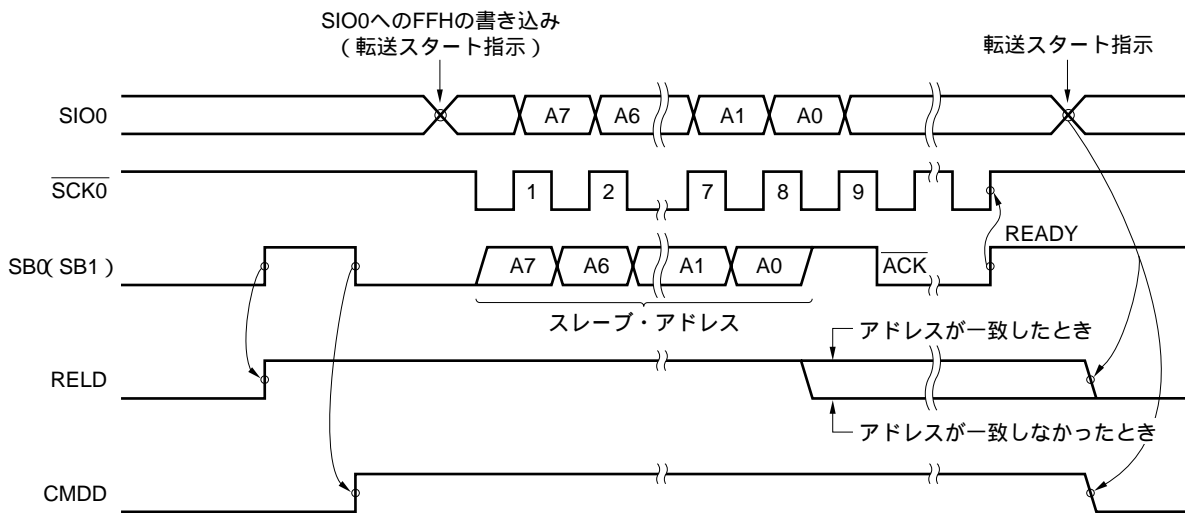
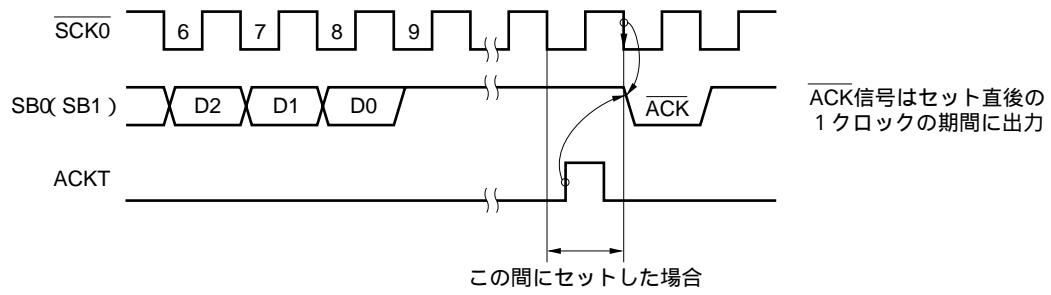


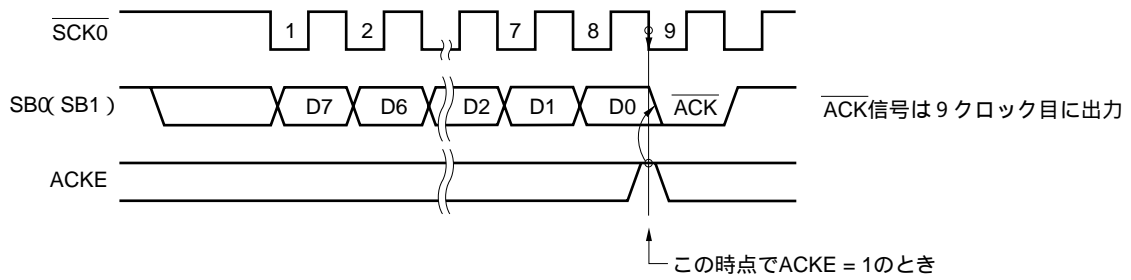
図15 - 22 ACKTの動作



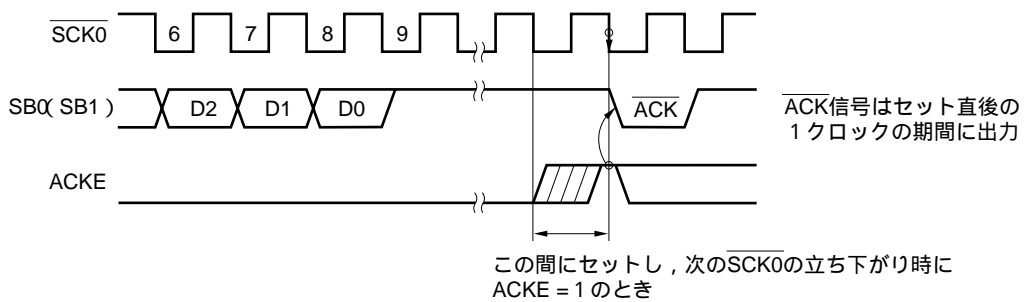
注意 ACKTは転送終了前にはセットしないでください。

図15 - 23 ACKEの動作

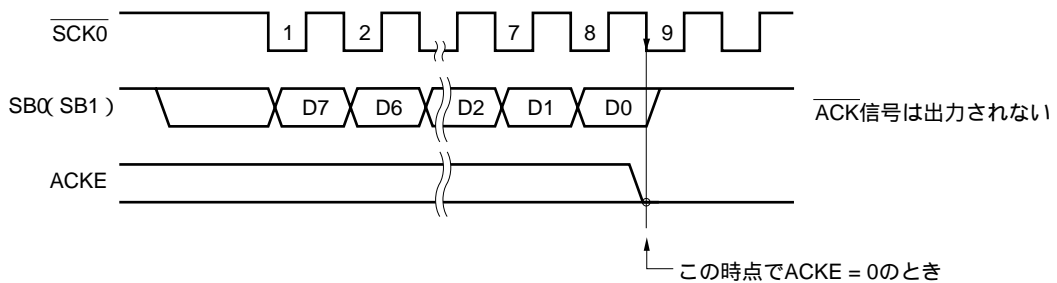
(a) 転送完了時にACKE = 1の場合



(b) 転送完了後にセットした場合



(c) 転送完了時にACKE = 0の場合



(d) ACKE = 1の期間が短い場合

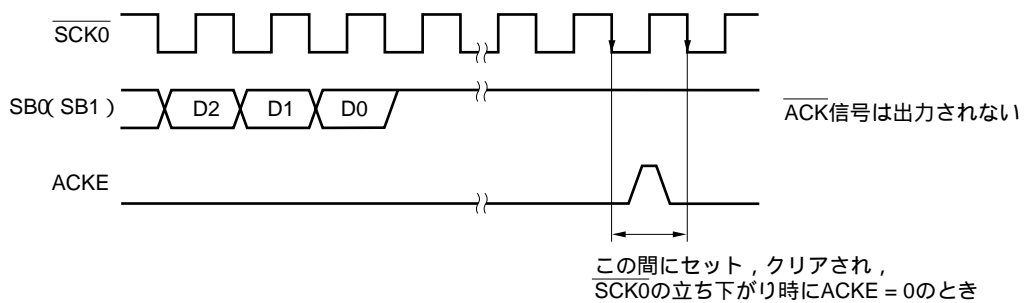
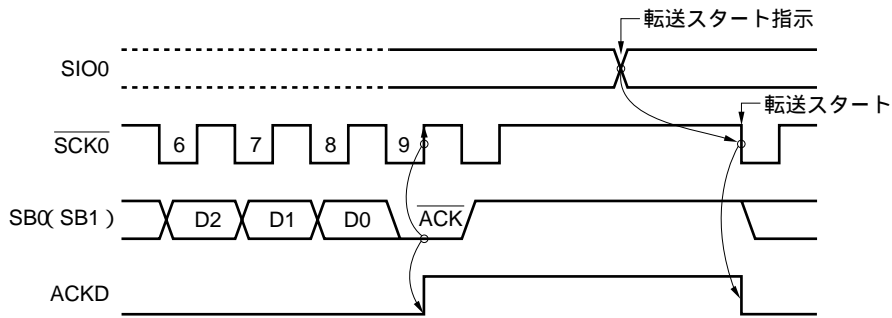
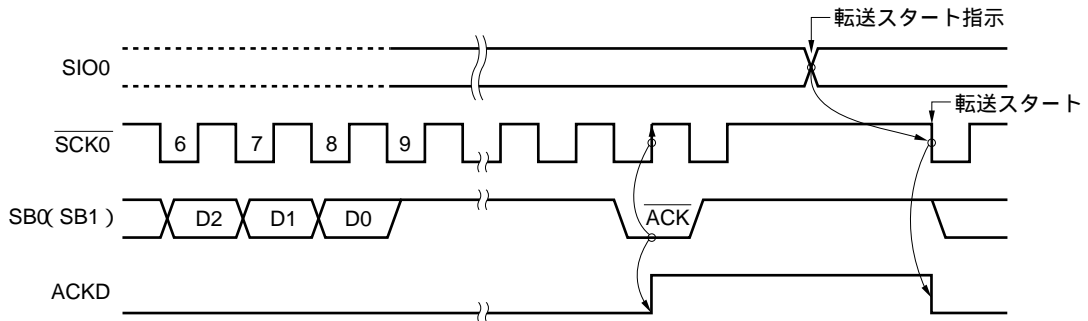


図15-24 ACKDの動作

(a) $\overline{SCK0}$ の9クロック目の期間に \overline{ACK} 信号が出力された場合



(b) $\overline{SCK0}$ の9クロック目以降に \overline{ACK} 信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

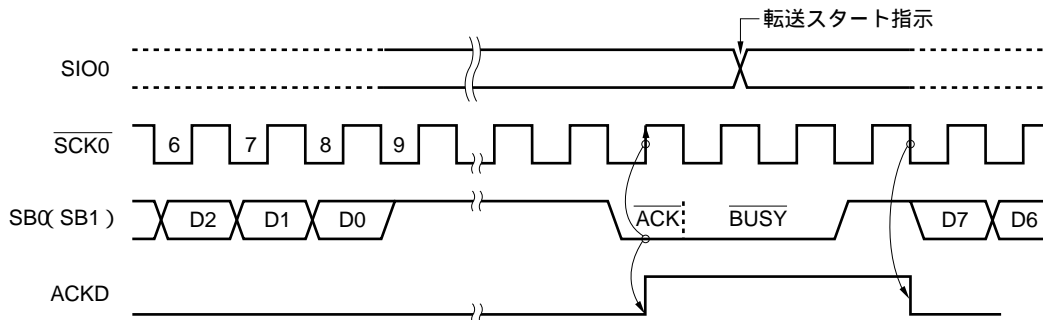


図15 - 25 BSYEの動作

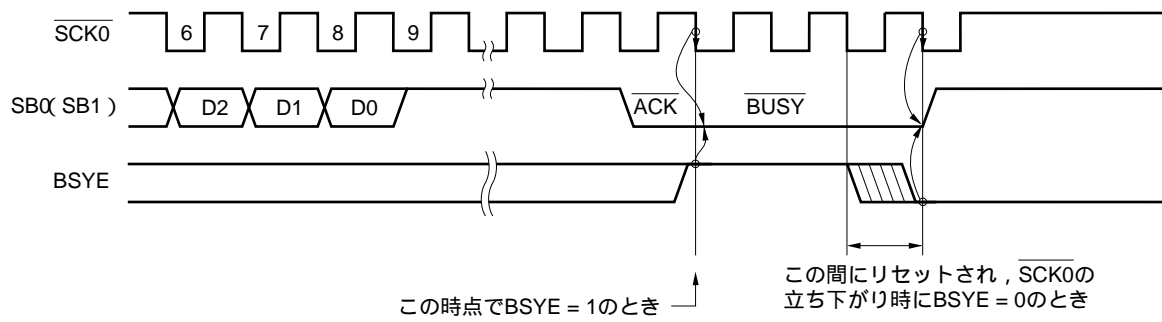


表15 - 3 SBIモードにおける各種の信号 (1/2)

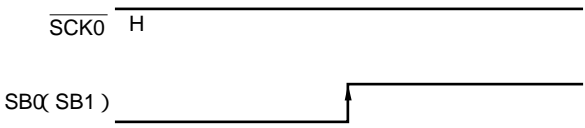
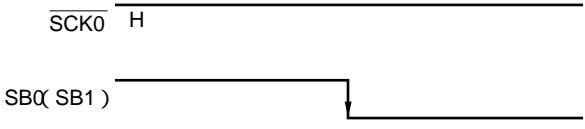
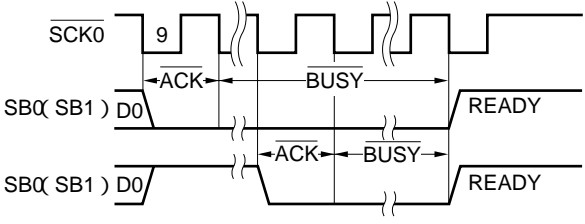
信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース信号 (REL)	マスタ	$\overline{SCK0} = 1$ のときの、SB0 (SB1) の立ち上がりエッジ		・ RELTのセット	・ RELDをセット ・ CMDDをクリア	続いてCMD信号を出力し、送信データがアドレスであることを示す
コマンド信号 (CMD)	マスタ	$\overline{SCK0} = 1$ のときの、SB0 (SB1) の立ち下がりエッジ		・ CMDTのセット	・ CMDDをセット	i) REL信号出力後 送信データはアドレス ii) REL信号出力なし 送信データはコマンド
アクノリッジ信号 (\overline{ACK})	マスタ / スレーブ	シリアル受信完了後、 $\overline{SCK0}$ の1クロックの期間 SB0 (SB1) に出力されるロウ・レベルの信号	〔同期ビジィ出力〕 	ACKE = 1 ACKTのセット	・ ACKDをセット	受信完了
ビジィ信号 (\overline{BUSY})	スレーブ	〔同期ビジィ信号〕 アクノリッジ信号に続いて SB0 (SB1) に出力されるロウ・レベルの信号		・ BSYE = 1	-	処理中のため、シリアル受信不可能状態
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了後 SB0 (SB1) に出力されるハイ・レベルの信号		BSYE = 0 SIO0 へのデータ書き込み命令実行 (転送開始指示)	-	シリアル受信可能状態

表15-3 SBIモードにおける各種の信号 (2/2)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック ($\overline{\text{SCK0}}$)	マスタ	アドレス / コマンド / データ, $\overline{\text{ACK}}$ 信号, 同期 $\overline{\text{BUSY}}$ 信号等の出力のための同期クロック。最初の8個でアドレス / コマンド / データを転送する。		CSIE0 = 1 のときの, SIO0へのデータ書き込み命令実行 (シリアル転送のスタート指示) ^{注2}	CSIF0をセット ($\overline{\text{SCK0}}$ の9クロック目の立ち上がり) ^{注1}	シリアル・データ・バスへの信号出力のタイミング
アドレス (A7-A0)	マスタ	REL 信号, CMD 信号出力後に, $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (C7-C0)	マスタ	REL 信号は出力されず, CMD 信号のみ出力されたのち, $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ				スレーブ・デバイスへの指示メッセージ
データ (D7-D0)	マスタ / スレーブ	REL 信号, CMD 信号とも出力されず, $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ				スレーブ, またはマスタ・デバイスが処理する数値

注1. WUP = 0 のとき, 常に9クロック目の $\overline{\text{SCK0}}$ の立ち上がりでCSIF0をセットする。

WUP = 1 のとき, アドレスを受信し, そのアドレスがスレーブ・アドレス・レジスタ (SVA) の値と一致したときのみ, CSIF0をセットする。

2. $\overline{\text{BUSY}}$ 状態のときは, READY状態になったあと, 転送スタートする。

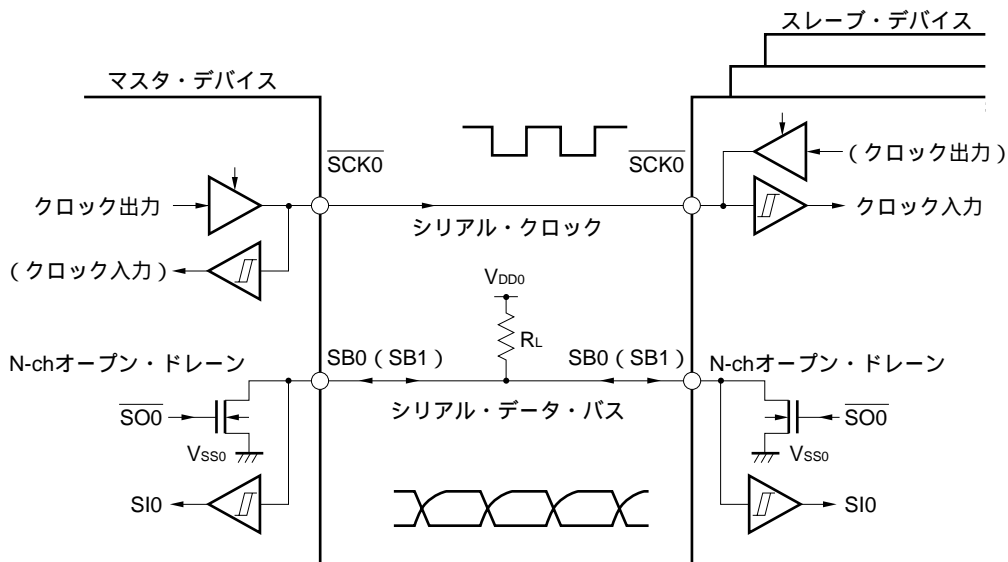
(5) 端子構成

シリアル・クロック端子 $\overline{\text{SCK0}}$ と、シリアル・データ・バス端子SB0 (SB1) の構成は、次のようになっています。

- (a) $\overline{\text{SCK0}}$ シリアル・クロックを入出力するための端子
 - マスタ CMOS, プッシュプル出力
 - スレーブ シュミット入力
- (b) SB0 (SB1) シリアル・データの入出力兼用端子
 - マスタ, スレーブともに出力はN-chオープン・ドレイン, 入力は, シュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図15 - 26 端子構成図



注意 データ受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にする必要がありますので、シリアルI/Oシフト・レジスタ0 (SIO0) にはあらかじめFFHを書き込んでおいてください。転送中は常にハイ・インピーダンス状態にさせることができます。ただし、ウエイク・アップ機能指定ビット (WUP) = 1の場合は、N-chトランジスタは常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

(6) アドレスの一致検出方法

SBIモードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ (SVA) を備え、ウエイク・アップ機能指定ビット (WUP) = 1のとき、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときのみ、CSIF0がセットされます。

なお、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) がセット (1) されていると、WUPをセット (1) しても、ウエイク・アップ機能が動作しません (バス・リリース検出時に割り込み要求信号が発生します)。ウエイク・アップ機能使用時はSICを0にクリアしておいてください。

注意1. スレーブの選択、非選択状態の検出は、バス・リリース (RELD = 1の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み (INTCSI0) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP = 1の状態で行ってください。

2. WUP = 0で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(7) エラーの検出

SBIモードでは、送信中のシリアル・バスSB0 (SB1) の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1” ならば正常な送信、“0” ならば送信エラーと判断します。

(8) 通信動作

SBIモードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データの送受信を行い、シリアル通信を実現します。

各データ通信のタイミング・チャートを図15 - 27から図15 - 30に示します。

シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期してシフト・レジスタのシフト動作が行われ、送信データがSO0ラッチに、SB0/P25端子または、SB1/P26端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりでSB0 (またはSB1) 端子に入力された受信データがシフト・レジスタにラッチされます。

図15-27 マスタ・デバイスからスレーブ・デバイス (WUP = 1) へのアドレス送信動作

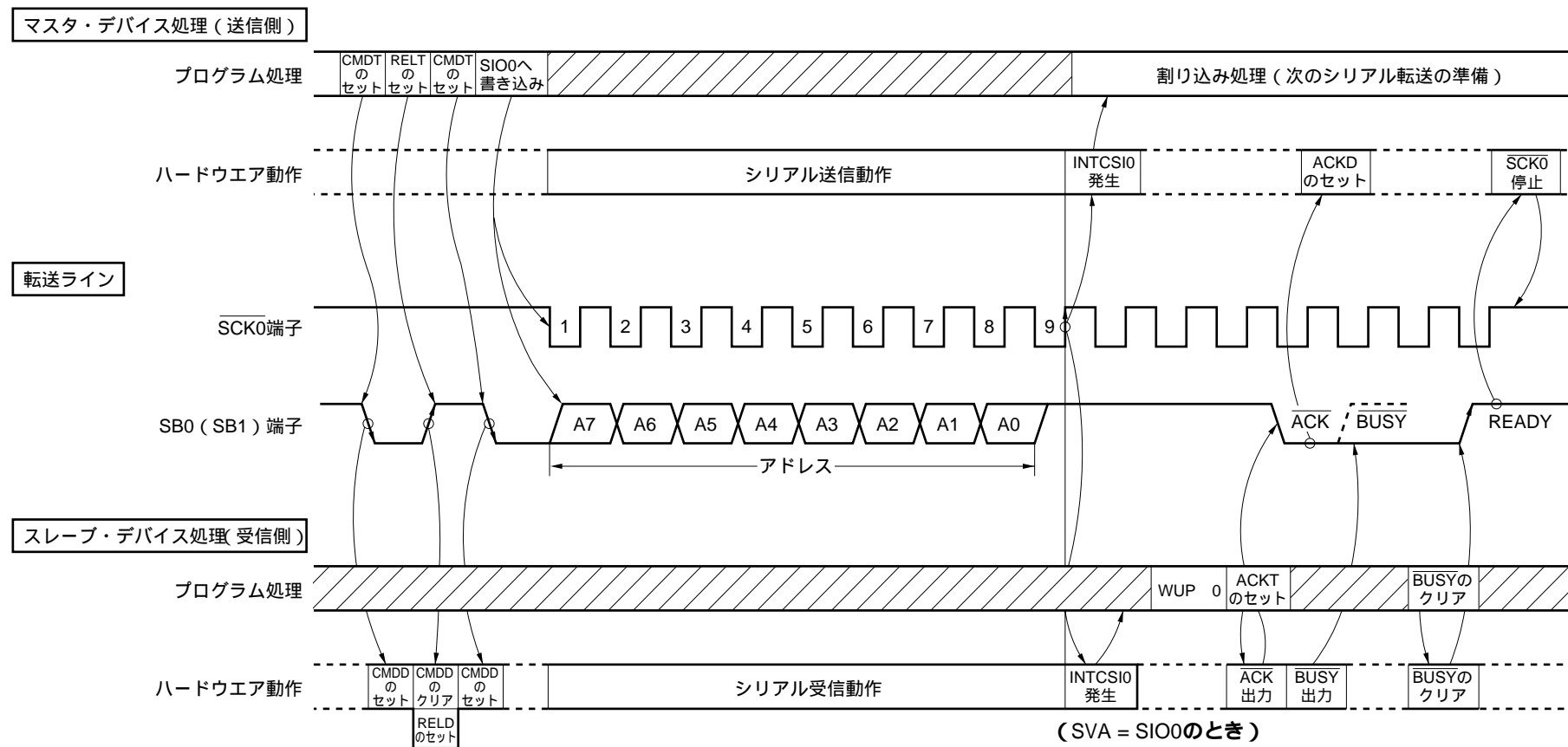


図15-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

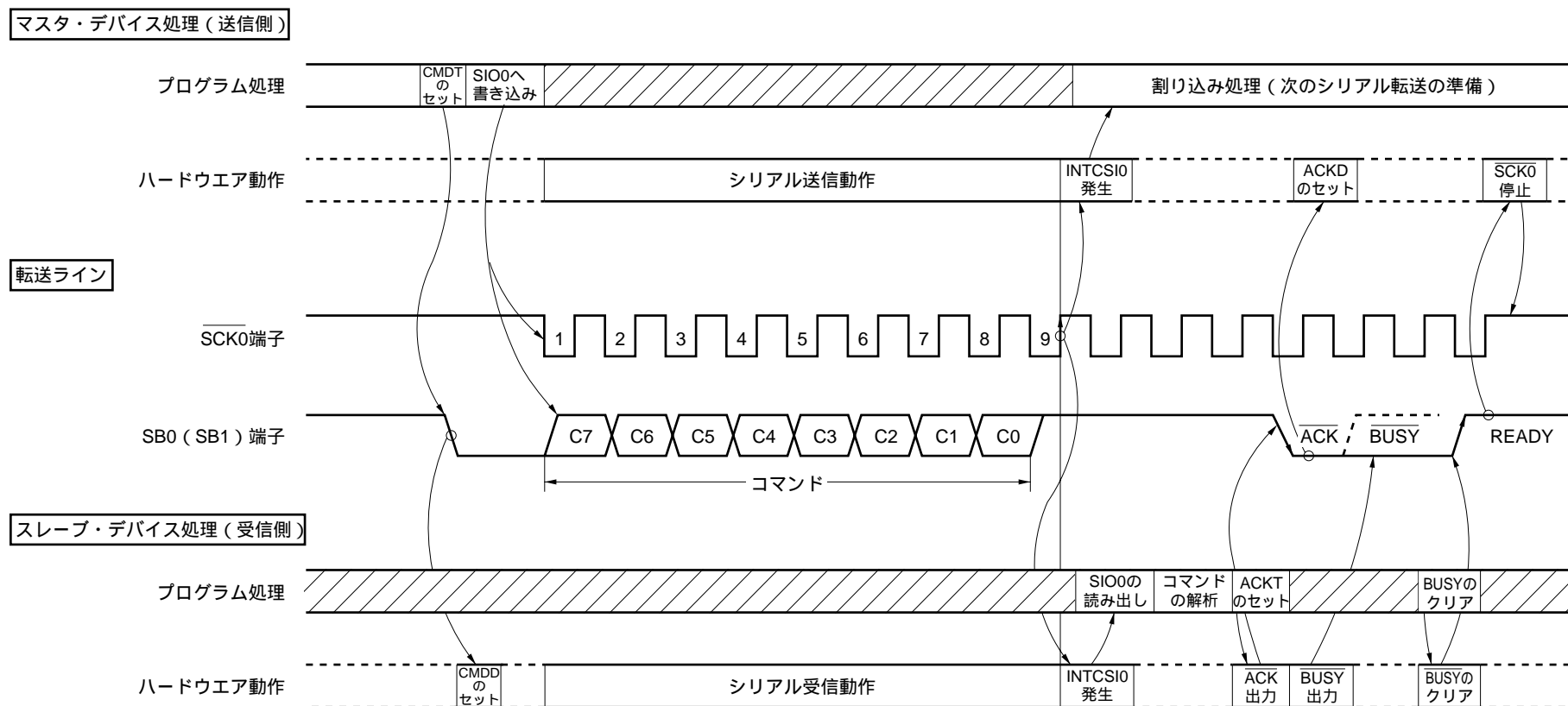


図15 - 29 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

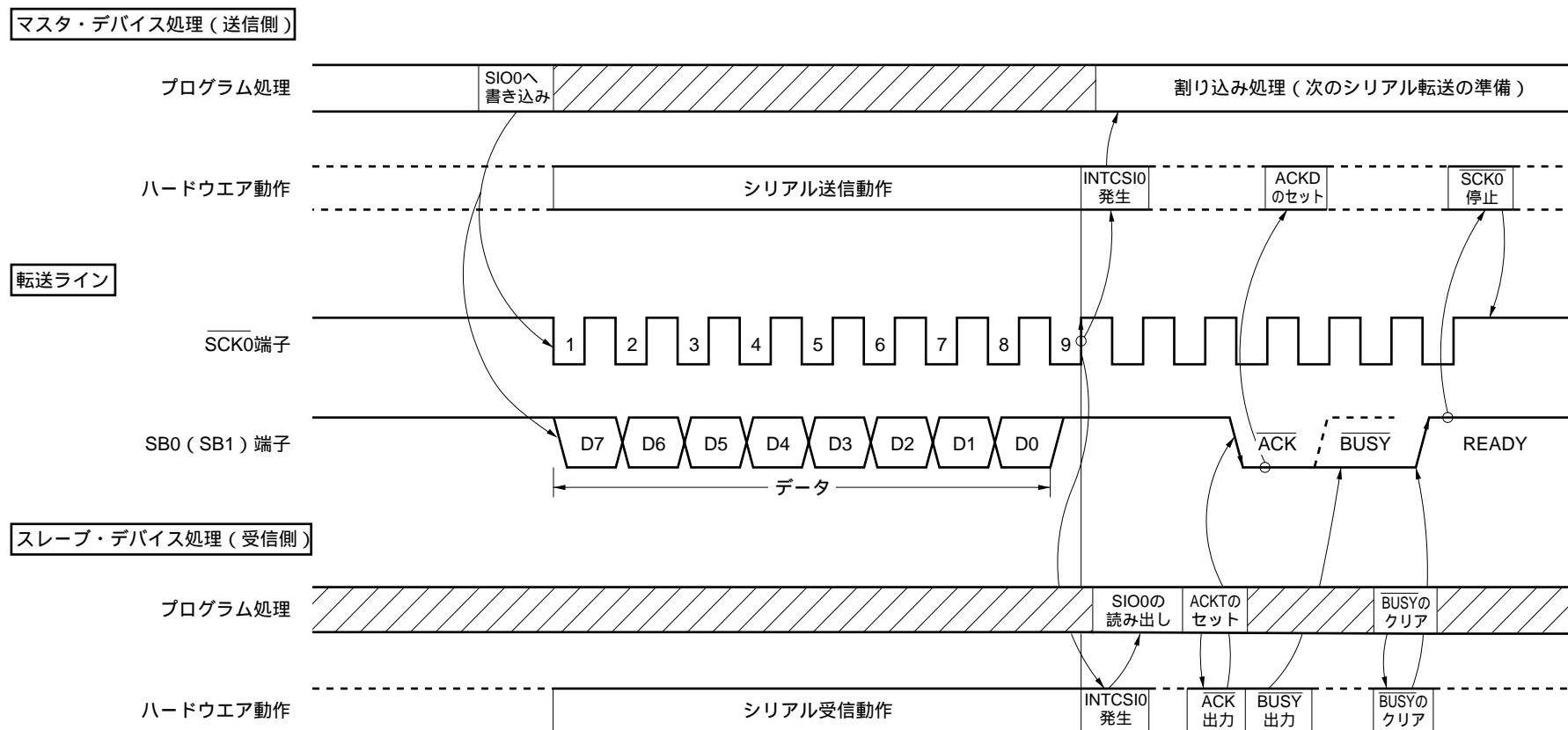
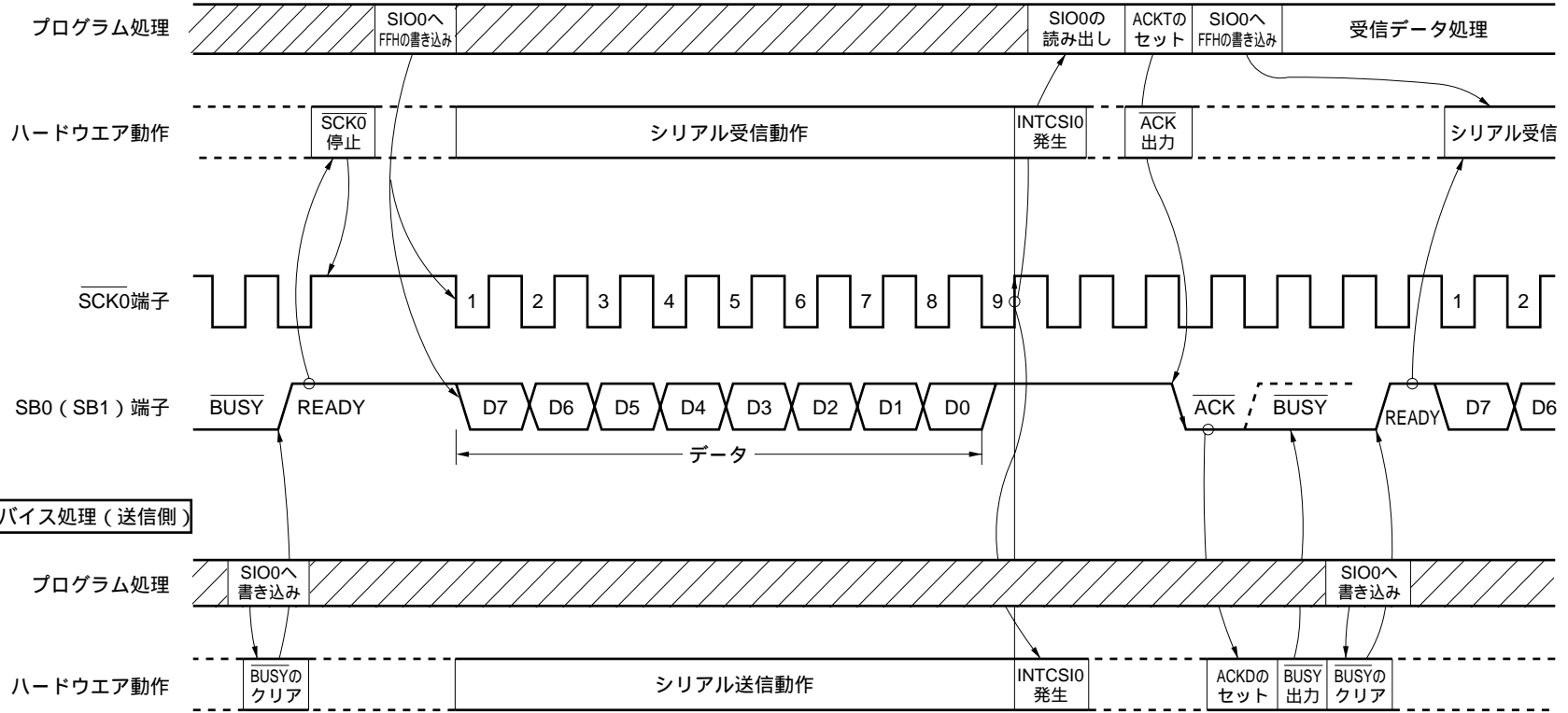


図15 - 30 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作

マスタ・デバイス処理 (受信側)



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしてもスタートはしません。

2. データ受信時にはN-chトランジスタをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット (WUP) = 1の場合は、N-chトランジスタは常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

3. スレープがビジィ状態のときに、SIO0にデータを書き込んだ場合、そのデータは失われません。

ビジィ状態が解除されて、SB0 (またはSB1) 入力が高レベル (レディ) 状態になったときに転送がスタートします。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

なお、データの入出力として使用する端子 (SB0またはSB1) には $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、次の設定を必ず行ってください。

P25, P26の出力ラッチに1を設定

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) に1を設定

1を設定したP25, P26の出力ラッチに今度は0を設定

(10) スレーブのビジィ状態の判別方法

デバイスがマスタ・モードのとき、スレーブがビジィ状態かどうかを判断するには、次の手順で行ってください。

アクノリッジ信号 ($\overline{\text{ACK}}$) または割り込み要求信号発生を検出する。

SB0/P25 (またはSB1/P26) 端子のポート・モード・レジスタPM25 (またはPM26) を入力モードにする。

端子の状態を読み出す (端子の状態がハイ・レベルならば、レディ状態となっています)。

レディ状態検出後は、ポート・モード・レジスタに0を設定し、出力モードに戻してください。

(11) SBIモードの注意事項

(a) スレーブの選択、非選択状態の検出は、バス・リリース (RELD = 1の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み (INTCSI0) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP = 1の状態で行ってください。

(b) WUP = 0で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(c) $\overline{\text{BUSY}}$ 信号出力中にWUP = 1とすると、 $\overline{\text{BUSY}}$ が解除されません。SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりまで $\overline{\text{BUSY}}$ 信号が出力されます。WUP = 1とするときは、必ず $\overline{\text{BUSY}}$ を解除したのちに、SB0 (SB1) 端子がハイ・レベルになったことを確認してからWUP = 1としてください。

(d) データの入出力として使用する端子には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、次の設定を必ず行ってください。

P25, P26の出力ラッチに1を設定する。

シリアル・バス・インタフェース・コントロール・レジスタのビット0 (RELT) に1を設定する。

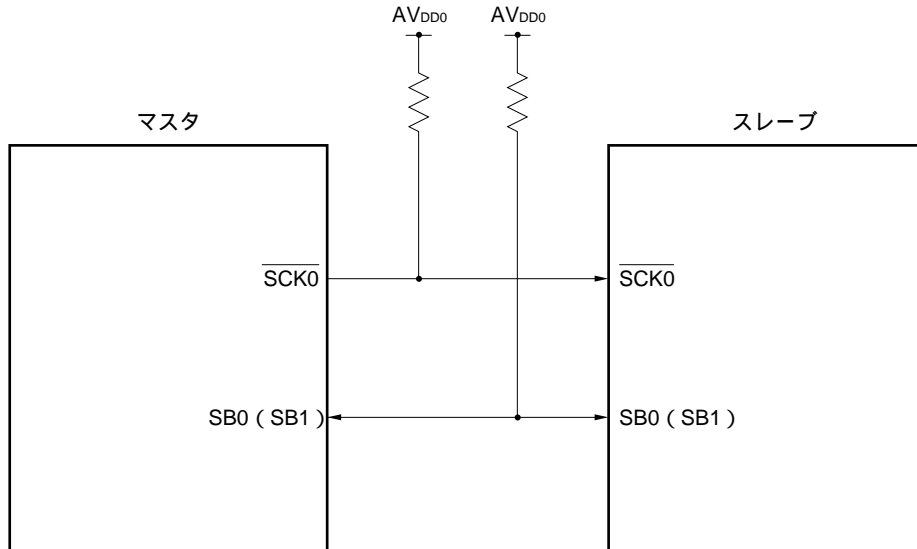
1を設定したP25, P26の出力ラッチに今度は0を設定する。

15.4.4 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック ($\overline{\text{SCK0}}$)、シリアル・データ入力/出力 (SB0またはSB1) の2本のラインで通信を行います。

図15 - 31 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号		4	3	2	1	0	アドレス	リセット時	R/W		
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	x	3線式シリアルI/Oモード (15.4.2 3線式シリアルI/Oモードの動作参照)											
	1	1	SBIモード (15.4.3 SBIモードの動作参照)											
	1	1	0	注4	注4	0	0	0	1	2線式シリアルI/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ドレイン入出力)	SCK0 (N-chオープン・ドレイン入出力)
			1	0	0	注4	注4	0	1			SB0 (N-chオープン・ドレイン入出力)	P26 (CMOS入出力)	

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック

- 注1. ビット6 (COI) は、Read Onlyです。
2. CSIE0 = 0のとき、COIは0になります。
3. 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
4. ポート機能として自由に使用できます。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W

R/W	CMDT	CMDT = 1により、SOラッチがクリア (0) される。SOラッチをクリア後、自動的にクリア (0) される。また、CSIE0 = 0のときもクリア (0) される。
-----	------	---

R/W	RELT	RELT = 1により、SOラッチがセット (1) される。SOラッチをセット後、自動的にクリア (0) される。また、CSIE0 = 0のときもクリア (0) される。
-----	------	---

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7				3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R	CLD	SCK0端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
	1	シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIF0をセットする

注1. ビット6 (CLD) は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

注意 ビット0-ビット3には、必ず0を設定してください。

備考 CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

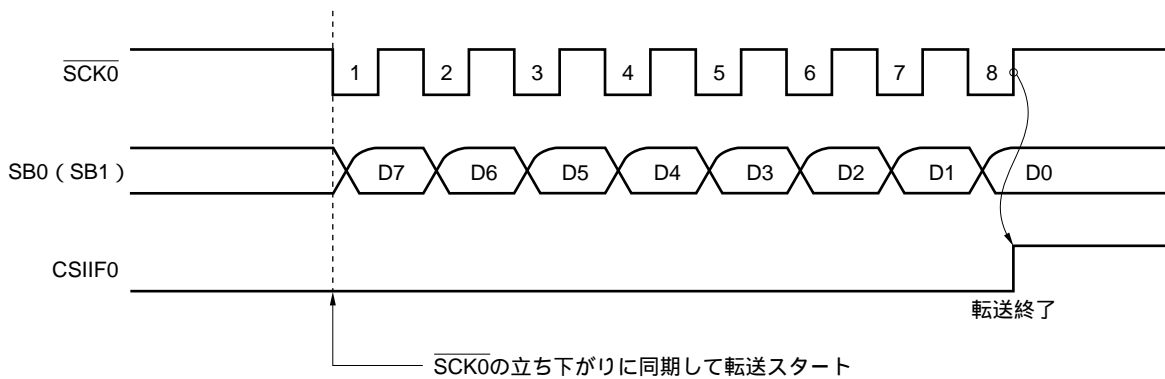
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/P25 (またはSB1/P26) 端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0 (またはSB1) 端子から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ (CSIF0) がセットされます。

図15 - 32 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0 (SB1) 端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chトランジスタをハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0 (またはSB1) 端子は、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT)、ビット1 (CMDT) のセットによって、SB0 (またはSB1) 端子の出力状態を操作できます。

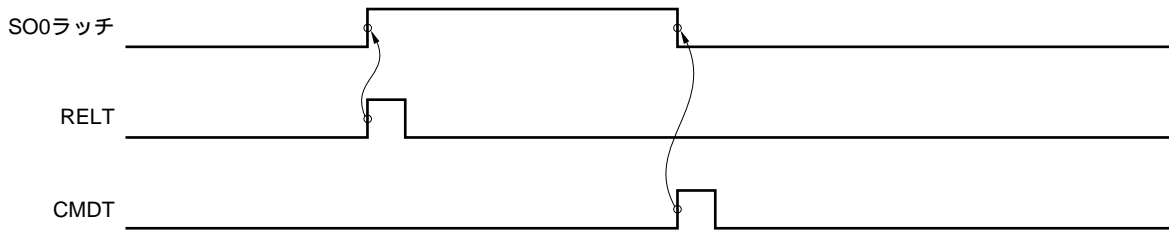
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (15.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作を参照)。

(3) 各種信号

図15 - 33にRELT, CMDTの動作を示します。

図15 - 33 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chトランジスタをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSB0 (SB1) の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

15.4.5 SCK0/P27端子出力の操作

SCK0/P27端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

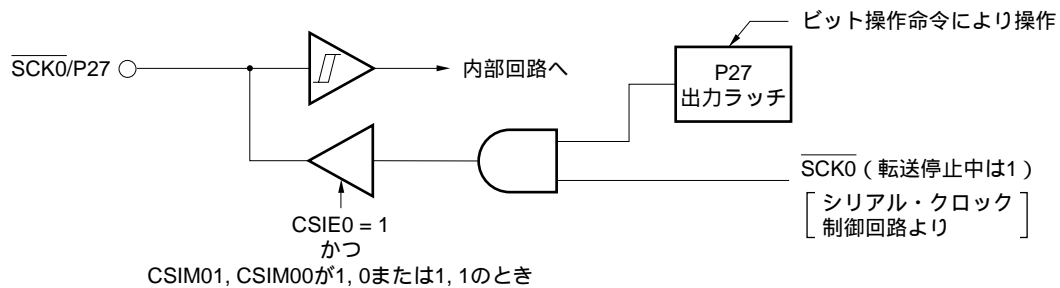
また、P27出力ラッチの操作によりSCK0の値をソフトウェアで任意に設定できます(SI0/SB0, SO0/SB1端子の制御はシリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のRELT, CMDTビットによって行います)。

次に、SCK0/P27端子出力の操作方法を示します。

シリアル動作モード・レジスタ0(CSIM0)を設定します(SCK0端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中ではSCK0 = 1となっています。

P27出力ラッチを、ビット操作命令により操作します。

図15 - 34 SCK0/P27端子の構成



第16章 シリアル・インタフェース・チャンネル0 (μ PD780308Yサブシリーズ)

μ PD780308Yサブシリーズは、シリアル・インタフェースを3チャンネル内蔵しています。チャンネル0, チャンネル2, チャンネル3の違いは次のとおりです(シリアル・インタフェース・チャンネル2の詳細は、第17章 シリアル・インタフェース・チャンネル2, シリアル・インタフェース・チャンネル3の詳細は、第18章 シリアル・インタフェース・チャンネル3を参照してください)。

表16 - 1 チャンネル0, チャンネル2, チャンネル3の違い

シリアル転送モード		チャンネル0	チャンネル2	チャンネル3
3線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$, 外部クロック, TO2出力	外部クロック, ボー・レート・ジェネレータ出力	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$, 外部クロック
	転送方式	MSB先頭/LSB先頭の切り替え可能	MSB先頭/LSB先頭の切り替え可能	MSB先頭/LSB先頭の切り替え可能
	転送終了フラグ	シリアル転送終了割り込み要求フラグ(CSIIF0)	シリアル転送終了割り込み要求フラグ(SRIF)	シリアル転送終了割り込み要求フラグ(CSIIF3)
2線式シリアルI/O		使用可能	なし	なし
I ² Cバス(Inter IC Bus)				
UART (アシンクロナス・シリアル・インタフェース)		なし	使用可能	なし

16.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・I²C (Inter IC) パス・モード

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / I²Cパス) を切り替えないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK0}}$)、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するとき有効です。

(3) 2線式シリアルI/Oモード (MSB先頭)

シリアル・クロック ($\overline{\text{SCK0}}$) と、シリアル・データ・バス (SB0またはSB1) の2本のラインにより、8ビット・データ転送を行うモードです。

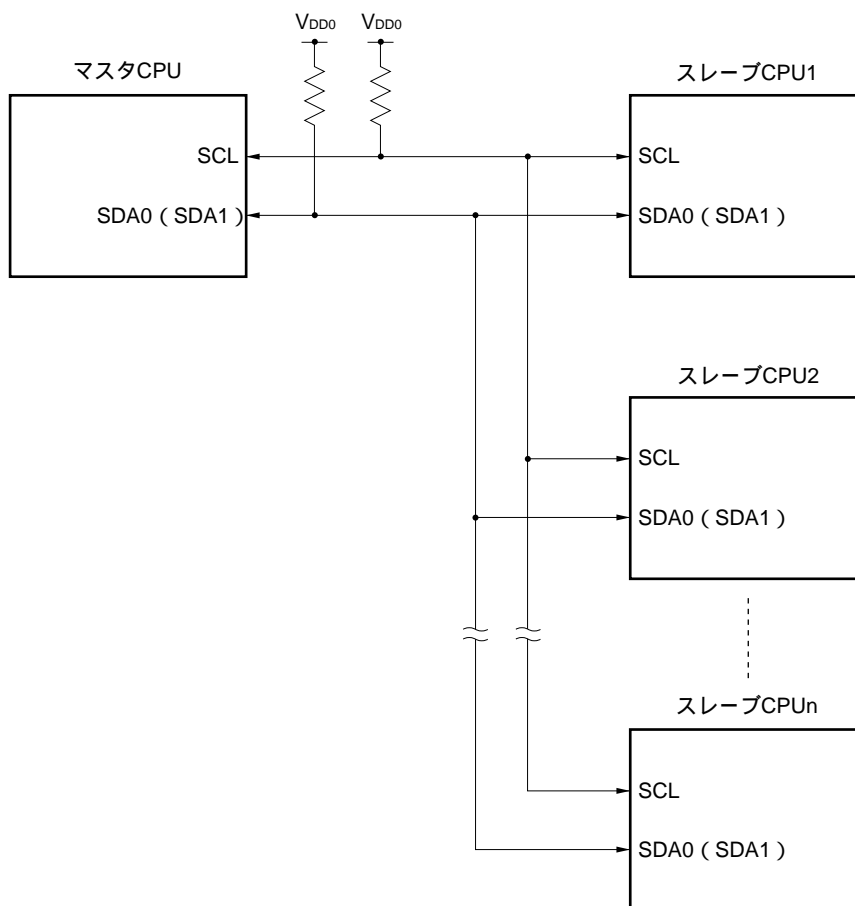
$\overline{\text{SCK0}}$ と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応できます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除でき、入出力ポートの有効活用ができます。

(4) I²Cパス・モード (MSB先頭)

シリアル・クロック (SCL) と、シリアル・データ・バス (SDA0またはSDA1) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cパス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

図16 - 1 I²Cバスによるシリアル・バス構成例



16.2 シリアル・インタフェース・チャンネル0の構成

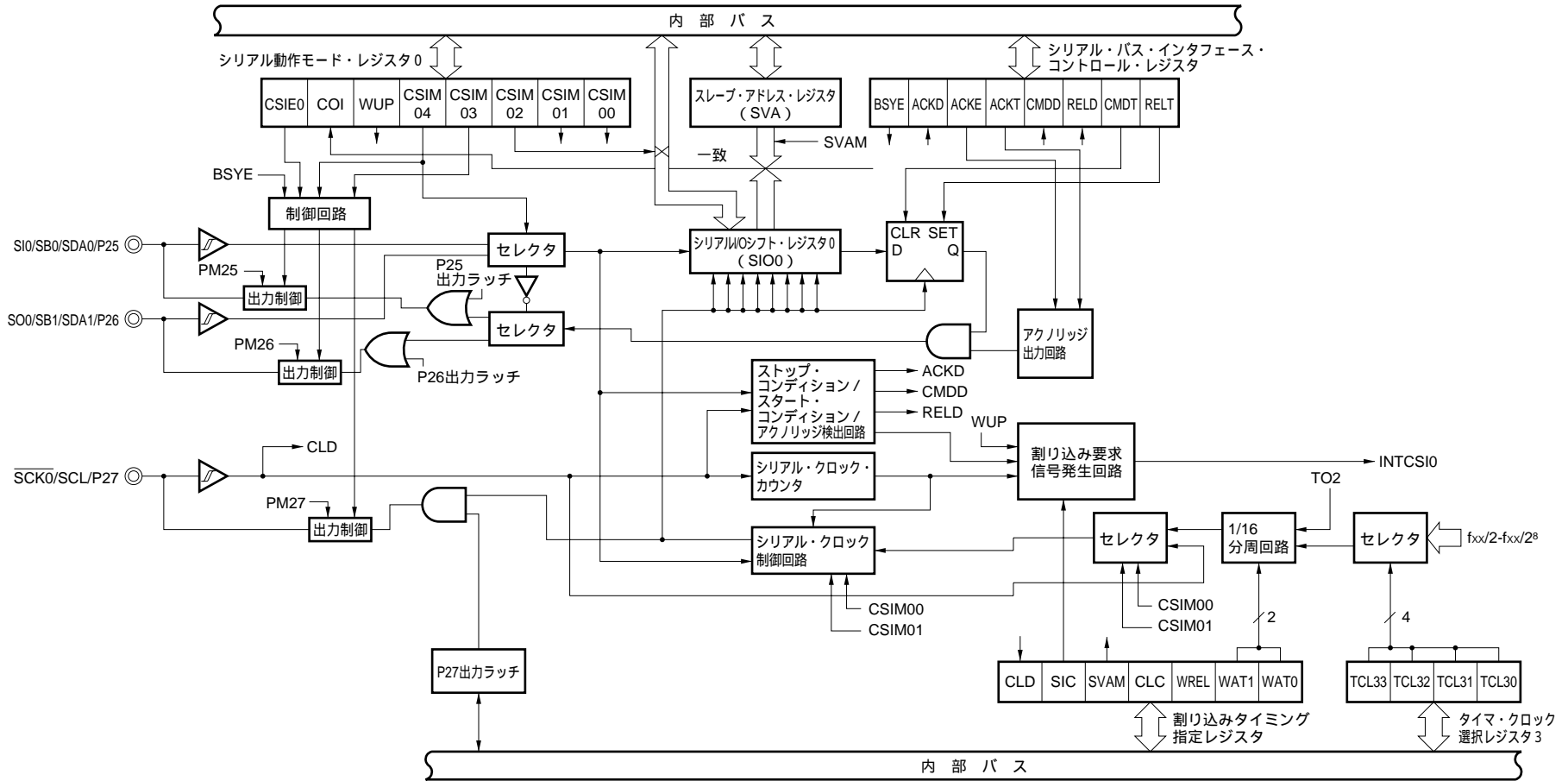
シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表16 - 2 シリアル・インタフェース・チャンネル0の構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2) ^注

注 図6 - 7 P25, P26のブロック図 (μPD780308Yサブシリーズ) , 図6 - 8 P27のブロック図 (μPD780308Yサブシリーズ) を参照してください。

図16-2 シリアル・インタフェース・チャンネル0のブロック図



備考1. 出力制御は、CMOS出力にするか、N-chオープン・ドレーン出力にするかの選択を行います。

2. $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0) のビット7 (CSIE0) が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、2線式シリアルI/Oモード、 I^2C バス・モードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめ送信用N-chトランジスタをオフさせる必要があります。このため、2線式シリアルI/Oモードでは、SIO0にFFHを書き込んでおいてください。 I^2C バス・モードでは、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7(BSYE)に1を設定し、SIO0にFFHを書き込んでおいてください。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

注意 I^2C バス・モード時、WUP (シリアル動作モード・レジスタ0 (CSIM0) のビット5) = 1の期間にSIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能使用時(WUP = 1)にデータ受信は可能です。ウエイク・アップ機能については、16.4.4(1)(c)ウエイク・アップ機能を参照してください。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用されません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたことになります。このとき、シリアル動作モード・レジスタ0 (CSIM0) のビット6 (COI) が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4(SVAM)をセット(1)することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2(RELD)は0にクリアされます。なお I^2C バス・モード時にCSIM0のビット5(WUP)をセット(1)することにより、ウエイク・アップ機能を使用することができます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したとき、割り込み要求信号(INTCSIO)が発生します。(ストップ・コンディション検出時にも割り込み要求信号が発生します)。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお、ウエイク・アップ機能使用時はSICを1にセットしておいてください。

さらに、2線式シリアルI/Oモード時または I^2C バス・モード時で、マスタまたはスレーブとして送信するとき、スレーブ・アドレス・レジスタ(SVA)を利用してエラーを検出してください。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/SDA0/P25, SO0/SB1/SDA1/P26端子レベルを保持するラッチです。ソフトウェアにより、直接制御することもできます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oソフト・レジスタ0 (SIO0) へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子へ出力するクロックの制御も行います。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。割り込みタイミング指定レジスタ (SINT) のビット0, 1 (WAT0, WAT1), シリアル動作モード・レジスタ0 (CSIM0) のビット5 (WUP) の設定により、表16 - 3のように割り込み要求信号を発生します。

(7) アクノリッジ出力回路, ストップ・コンディション/スタート・コンディション/アクノリッジ検出回路

I²Cバス・モード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモード時および2線式シリアルI/Oモード時には、動作しません。

表16-3 シリアル・インタフェース・チャンネル0の割り込み要求信号の発生

シリアル転送モード	BSYE	WUP	WAT1	WAT0	ACKE	説明
3線式シリアルI/Oモード または 2線式シリアルI/Oモード	0	0	0	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。
	上記以外					設定禁止
I ² Cバス・モード (送信時)	0	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します (8クロック・ウェイト)。 通常, 送信時にWAT1, WAT0 = 1, 0とする設定は使用しません。ソフトウェアで受信時と処理を体系的にそろえたい場合にのみ使用します。 ACK情報は受信側が生成するため, ACKEは0 (禁止) の設定にします。
			1	1	0	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します (9クロック・ウェイト)。 ACK情報は受信側が生成するため, ACKEは0 (禁止) の設定にします。
	上記以外					設定禁止
I ² Cバス・モード (受信時)	1	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します (8クロック・ウェイト)。 ACK情報は, 割り込み要求発生後にソフトウェアでACKTを操作して出力します。
			1	1	0/1	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します (9クロック・ウェイト)。 ACK情報を自動的に生成するため, 転送開始前にACKEに1 (許可) を設定しておきます。ただしマスタの場合, 最後のデータを受信する前に0 (禁止) にします。
	1	1	1	1	1	アドレス受信後, シリアルI/Oシフト・レジスタ0 (SIO0) とスレーブ・アドレス・レジスタ (SVA) の値が一致したとき, およびストップ・コンディション検出時に割り込み要求信号を発生します。 ACK情報を自動的に生成するため, 転送開始前にACKEを1 (許可) に設定しておきます。
	上記以外					設定禁止

BSYE : シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット7

ACKE : シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット5

16.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ0 (CSIM0)
- ・ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・ 割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

図16-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択			
				I ² Cバス・モード時のシリアル・クロック		3線式シリアル/I/Oモード時または2線式シリアル/I/Oモード時のシリアル・クロック	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	1	1	0	設定禁止	$f_x/2^9$ (78.1 kHz)	設定禁止	$f_x/2^7$ (1.25 MHz)
0	1	1	1	$f_x/2^9$ (78.1 kHz)	$f_x/2^8$ (39.1 kHz)	$f_x/2^7$ (1.25 MHz)	$f_x/2^6$ (625 kHz)
1	0	0	0	$f_x/2^8$ (39.1 kHz)	$f_x/2^9$ (19.5 kHz)	$f_x/2^6$ (625 kHz)	$f_x/2^7$ (313 kHz)
1	0	0	1	$f_x/2^9$ (19.5 kHz)	$f_x/2^8$ (9.77 kHz)	$f_x/2^7$ (313 kHz)	$f_x/2^8$ (156 kHz)
1	0	1	0	$f_x/2^9$ (9.77 kHz)	$f_x/2^{10}$ (4.88 kHz)	$f_x/2^8$ (156 kHz)	$f_x/2^9$ (78.1 kHz)
1	0	1	1	$f_x/2^{10}$ (4.88 kHz)	$f_x/2^{11}$ (2.44 kHz)	$f_x/2^9$ (78.1 kHz)	$f_x/2^8$ (39.1 kHz)
1	1	0	0	$f_x/2^{11}$ (2.44 kHz)	$f_x/2^{12}$ (1.22 kHz)	$f_x/2^8$ (39.1 kHz)	$f_x/2^9$ (19.5 kHz)
1	1	0	1	$f_x/2^{12}$ (1.22 kHz)	$f_x/2^{13}$ (0.61 kHz)	$f_x/2^9$ (19.5 kHz)	$f_x/2^{10}$ (9.8 kHz)
上記以外				設定禁止			

注意1. ビット4-ビット6には0を、ビット7には1を設定してください。

2. TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック，動作モード，動作の許可/停止，ウエイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / I²Cバス) を切り替えないでください。動作モードを切り替える場合は，いったんシリアル動作を停止させたのちに行ってください。

図16 - 4 シリアル動作モード・レジスタ0のフォーマット (1/2)

略号	4	3	2	1	0	アドレス	リセット時	R/W				
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}	
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御										
	0	動作停止										
	1	動作許可										
R	COI	スレープ・アドレス比較結果フラグ ^{注2}										
	0	スレープ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない										
	1	スレープ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する										
R/W	WUP	ウエイク・アップ機能の制御 ^{注3}										
	0	すべてのモードで，シリアル転送ごとに割り込み要求信号を発生										
	1	I ² Cバス・モード時，スタート・コンディション検出後 (CMDD = 1のとき) に受信したアドレスがスレープ・アドレス・レジスタのデータと一致したとき，割り込み要求信号を発生										

注1. ビット6 (COI) は，Read Onlyです。

2. CSIE0 = 0のとき，COIは0になります。

3. ウエイク・アップ機能を使用 (WUP = 1) するときは，割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に1を設定してください。また，WUP = 1の期間にシリアルI/Oシフト・レジスタ0 (SIO0) への書き込み命令を実行しないでください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図16 - 4 シリアル動作モード・レジスタ0のフォーマット (2/2)

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	x	0	注 ² 1	注 ² x	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0注 ¹ (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	1	0	注 ³ x	注 ³ x	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
			1	0	0	注 ³ x	注 ³ x	0	1			SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	SCK0/SCL端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力注 ⁴
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

- 注1. ウェイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0 (SIO0) への書き込み命令を実行しないでください。
2. 送信のみ使用するときには、P25 (CMOS入出力) として使用できます。
3. ポート機能として自由に使用できます。
4. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。
SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

図16 - 5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (1/2)

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^{注1}
R/W	BSYE ^{注2}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注3}									
	0	出力許可(送信)									
	1	出力禁止(受信)									
R	ACKD	アクリリッジ検出									
	クリアされる条件(ACKD = 0)					セットされる条件(ACKD = 1)					
	・転送スタート命令実行時 ・CSIE0 = 0のとき ・RESET入力時					・転送完了後のSCLのクロックの立ち上がりエッジでアクリリッジ信号検出時					
R/W	ACKE	アクリリッジ信号の自動出力の制御 ^{注4}									
	0	アクリリッジ信号の自動出力禁止(ACKTによる出力は可能)。送信時または8クロック・ウエイト選択時で受信の場合に使用する。 ^{注5}									
	1	アクリリッジ信号の自動出力許可。SCLの9クロック目の立ち下がりエッジに同期して、アクリリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。9クロック・ウエイト選択時で受信の場合に使用する。									
R/W	ACKT	セット命令(ACKT = 1)実行直後から次のSCLの立ち下がりまでSDA \bar{Q} (SDA1)をロウ・レベルにする。8クロック・ウエイト選択時に、ソフトウェアでACK信号を生成するために使用する。シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。									

- 注1. ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。
- シリアル・インタフェースの転送開始、またはアドレス信号受信によってウエイト状態を解除できません。ただし、BSYEはクリア(0)されません。
 - ウエイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。
 - 転送開始前に設定してください。
 - 8クロック・ウエイト選択時では、受信時のアクリリッジ信号はACKTを用いて出力してください。

- 備考1. ビット0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと0になっています。
- CSIE0: シリアル動作モード・レジスタ0 (CSIM0) のビット7

図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (2/2)

R	CMDD	スタート・コンディション検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		<ul style="list-style-type: none"> ・ 転送スタート命令実行時 ・ ストップ・コンディション検出時 ・ CSIE0 = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ スタート・コンディション検出時
R	RELD	ストップ・コンディション検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		<ul style="list-style-type: none"> ・ 転送スタート命令実行時 ・ アドレス受信時にSIO0とSVAの値が一致しないとき ・ CSIE0 = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ ストップ・コンディション検出時
R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。	
R/W	RELT	ストップ・コンディション出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。	

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

(4) 割り込みタイミング指定レジスタ (SINT)

割り込み，ウエイト，クロック・レベルの制御，アドレス・マスク機能の設定およびSCK0/SCL端子のレベルの状態を表示するレジスタです。

SINTは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図16 - 6 割り込みタイミング指定レジスタのフォーマット (1/2)

略号	7					1	0	アドレス	リセット時	R/W	
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R	CLD	SCK0/SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注3}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時，またはストップ・コンディション検出時にCSIF0をセット(1)する。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7

R/W	CLC	クロック・レベルの制御 ^{注4}
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合，SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合，SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

- 注1. ビット6 (CLD) は，Read Onlyです。
- 2. CSIE0 = 0のとき，CLDは0になります。
- 3. I²Cバス・モードでウエイク・アップ機能を使用するときは，SICに1を設定してください。
- 4. I²Cバス・モードを使用しない場合は，CLCに0を設定してください。

備考 SVA : スレーブ・アドレス・レジスタ
 CSIF0 : INTCSI0に対応する割り込み要求フラグ
 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図16 - 6 割り込みタイミング指定レジスタのフォーマット (2/2)

R/W	WREL	ウェイト解除の制御	
	0	ウェイト解除状態	
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。	
R/W	WAT1	WAT0	ウェイトおよび割り込みの制御
	0	0	$\overline{SCK0}$ の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。
	1	1	I ² Cバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。

16.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアル/I/Oモード
- ・2線式シリアル/I/Oモード
- ・I²C (Inter IC) バス・モード

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、シリアル/I/O シフト・レジスタ0 (SIO0) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SI0/SB0/SDA0, P26/SO0/SB1/SDA1, P27/ $\overline{\text{SCK0}}$ /SCL端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0 (CSIM0) で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	4	3	2	1	0	アドレス	リセット時	R/W			
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
0	動作停止	
1	動作許可	

16.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK0}}$)、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号				4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R/W	WUP	ウェイク・アップ機能の制御 ^{注2}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	x	0	^{注3} 1	^{注3} x	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	1	2線式シリアルI/Oモード(16.4.3 2線式シリアルI/Oモードの動作参照) または I ² Cバス・モード(16.4.4 I ² Cバス・モードの動作参照)											

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

注1. ビット6 (COI) は、Read Onlyです。

2. 3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
3. 送信のみ使用するときは、P25 (CMOS入出力) として使用できます。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W

R/W	CMDT	CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	RELT	RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

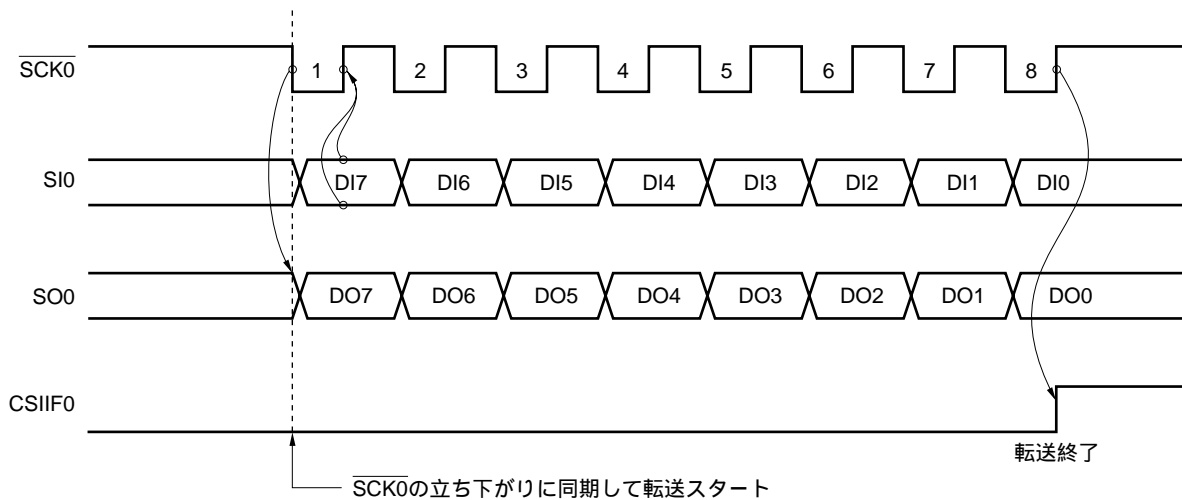
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SIO0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ (CSIF0) がセットされます。

図16-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT)、ビット1 (CMDT) のセットによって、SO0端子出力状態を操作できます。

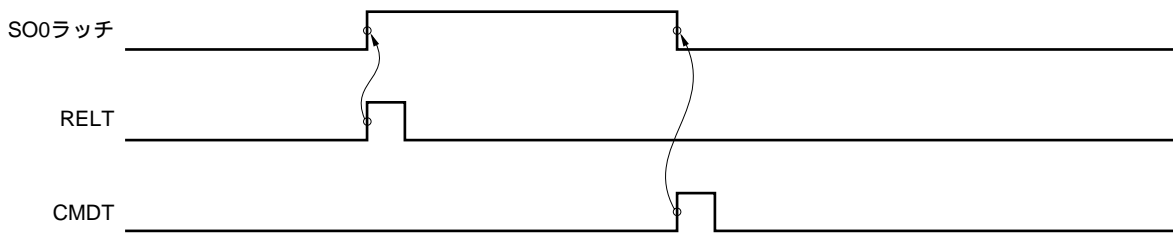
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (16.4.7 $\overline{\text{SCK0}}$ /SCL/P27端子出力の操作を参照)。

(3) 各種信号

図16 - 8にRELT, CMDTの動作を示します。

図16 - 8 RELT, CMDTの動作



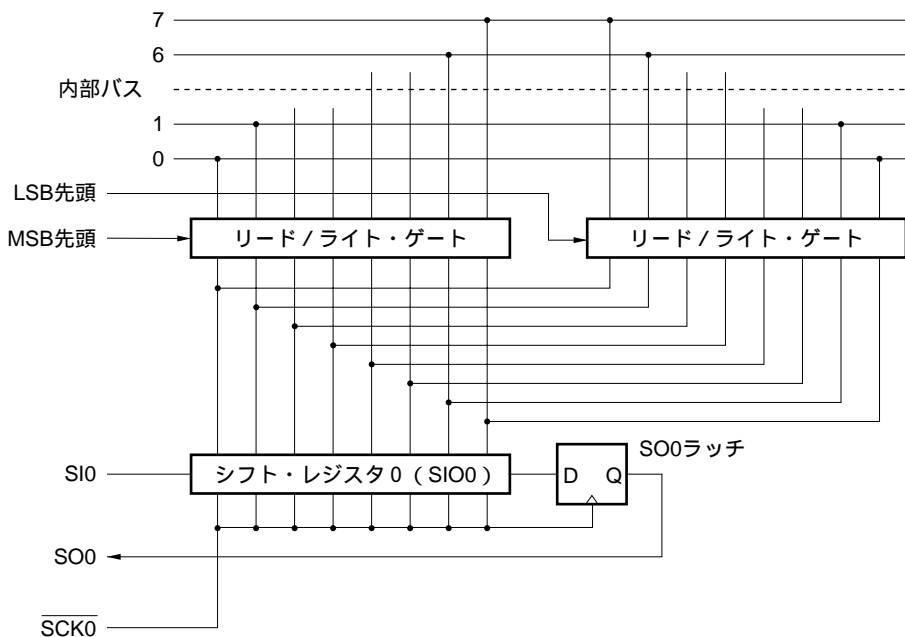
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図16 - 9にシリアルI/Oシフト・レジスタ0 (SIO0)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0) のビット2 (CSIM02) により指定できます。

図16 - 9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現させています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

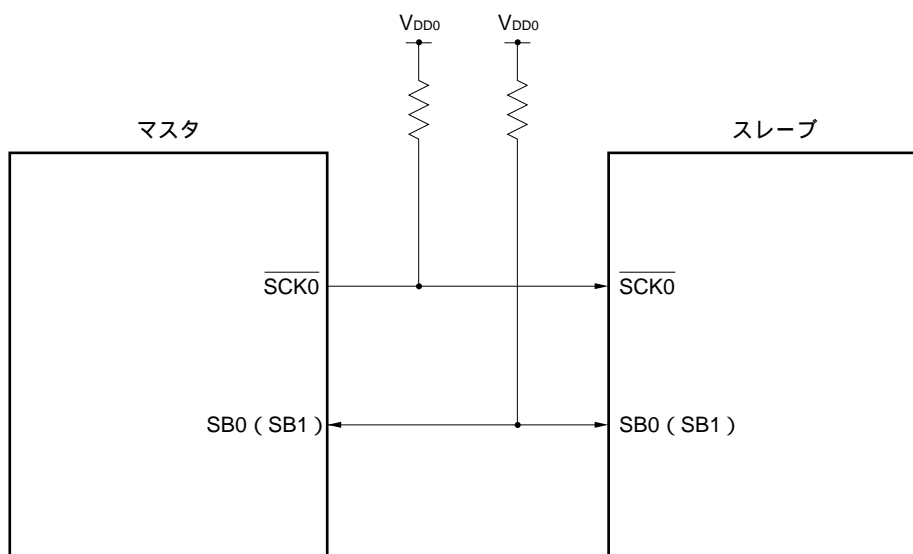
8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

16.4.3 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック ($\overline{\text{SCK0}}$)、シリアル・データ入力/出力 (SB0またはSB1) の2本のラインで通信を行います。

図16 - 10 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

略号				4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	x	3線式シリアルI/Oモード(16.4.2 3線式シリアルI/Oモードの動作参照)											
	1	1	0	注4 x	注4 x	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
			1	0	0	注4 x	注4 x	0	1			SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

- 注1. ビット6 (COI) は、Read Onlyです。
2. CSIE0 = 0のとき、COIは0になります。
3. 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
4. ポート機能として自由に使用できます。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W

R/W	CMDT	CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	RELT	RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7						1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R	CLD	SCK0端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIF0をセット(1)する。

- 注1. ビット6 (CLD) は、Read Onlyです。
2. CSIE0 = 0のとき、CLDは0になります。

注意 2線式シリアルI/Oモード使用時は、必ずビット0-ビット3に0を設定してください。

備考 CSIF0 : INTCSI0に対応する割り込み要求フラグ

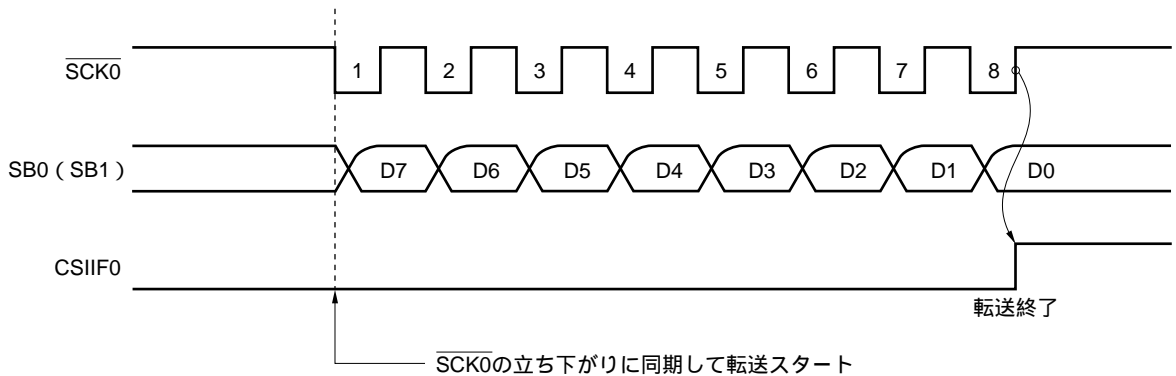
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/SDA0/P25 (またはSB1/SDA1/P26)端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0 (またはSB1)端子から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ (CSIF0) がセットされます。

図16 - 11 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0 (またはSB1) 端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chトランジスタをハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0 (またはSB1) 端子は、SO0ラッチの状態を出力しますので、RELTビット、CMDTビットのセットによって、SB0 (またはSB1) 端子の出力状態を操作できます。

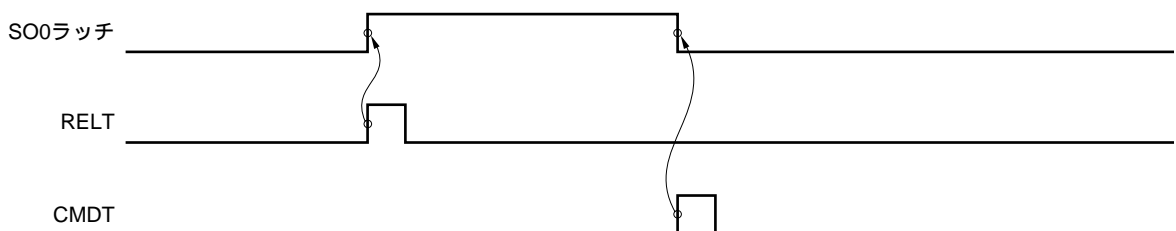
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (16. 4. 7 $\overline{\text{SCK0}}$ /SCL/P27端子出力の操作を参照)。

(3) 各種信号

図16 - 12にRELT, CMDTの動作を示します。

図16 - 12 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chトランジスタをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSB0 (SB1) の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

16.4.4 I²Cバス・モードの動作

I²Cバス・モードは、I²Cバスのシングルマスタおよびスレーブ動作を行う場合に使用します。I²Cバス・モードは、シングルマスタのシリアル・バスで、シリアル・クロック (SCL) と、シリアル・データ・バス (SDA0またはSDA1) の2本の信号線で複数のデバイス (スレーブ) との通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減できます。

マスタは、スレーブに対してシリアル・データ・バス上に “スタート・コンディション”、“データ”、および “ストップ・コンディション” を出力できます。

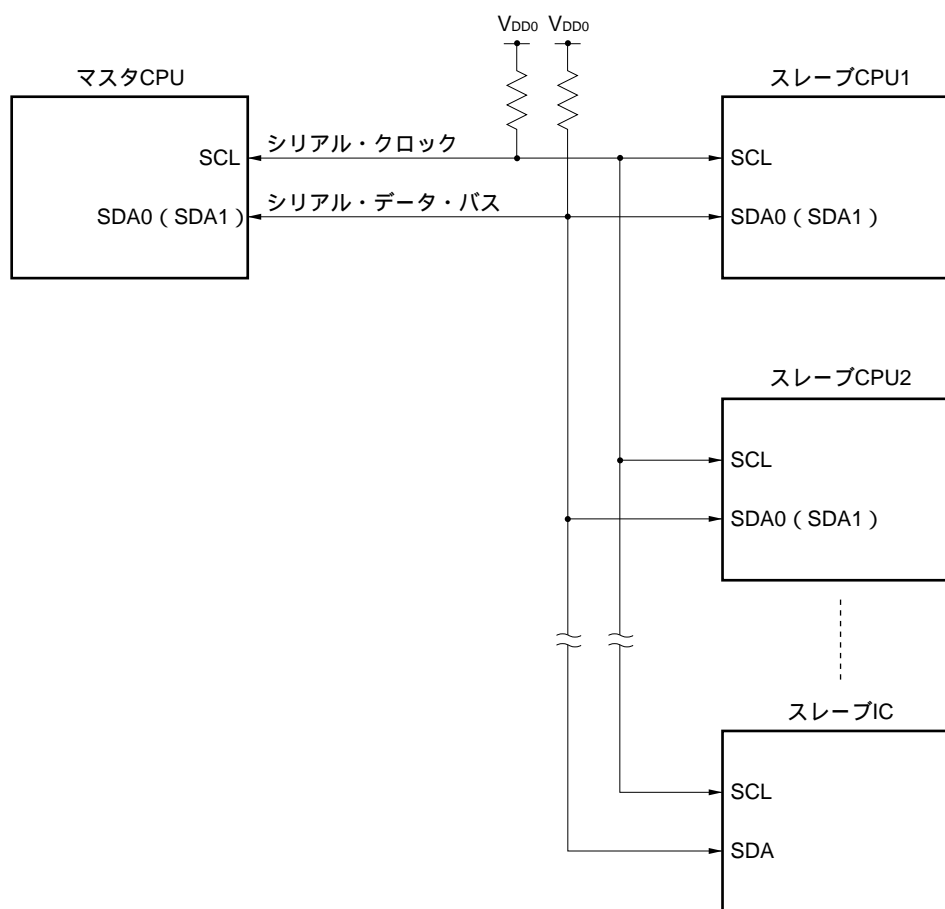
スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、応用プログラムのI²Cバス制御部分を簡単にできます。

I²Cバスに準拠するシリアル・インタフェースを持つCPUや、周辺ICを使用した場合のシリアル・バス構成例を図16-13に示します。

I²Cバスでは、シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA0またはSDA1) は、N-chオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

I²Cバス・モードにおける各種信号の説明の一覧が表16-4にありますので参照してください。

図16-13 I²Cバスによるシリアル・バス構成例



(1) I²Cバス・モードの機能

I²Cバス・モードの機能について次に示します。

(a) シリアル・データの自動判別機能

シリアル・データ・バス上の“スタート・コンディション”，“データ”および“ストップ・コンディション”を自動的に検出します。

(b) アドレスによるチップ・セレクト

マスタ動作時は，スレーブ・アドレスを送信することにより，I²Cバスに接続した特定のスレーブ・デバイスを選択し，通信できます。

(c) ウェイク・アップ機能

スレーブ動作時は，受信したアドレスがスレーブ・アドレス・レジスタ (SVA) の値と一致した場合に割り込み要求を発生します (ストップ・コンディション検出時にも割り込み要求が発生します)。したがって，I²Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号 ($\overline{\text{ACK}}$) 制御機能

マスタ/スレーブ動作時に，シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御できます。

(e) ウェイト信号 ($\overline{\text{WAIT}}$) 制御機能

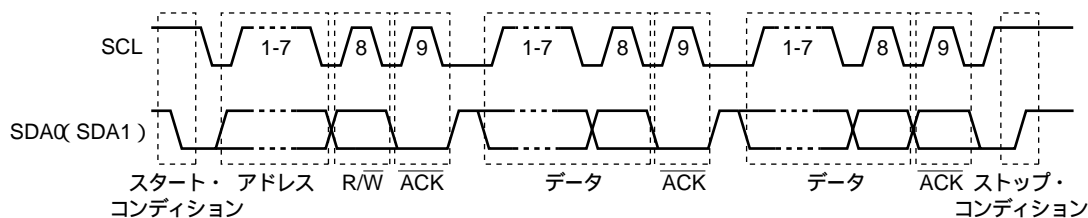
スレーブ・デバイスは，ウェイト状態を知らせるためのウェイト信号制御が行えます。

(2) I²Cバスの定義

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力される“スタート・コンディション”，“データ”，および“ストップ・コンディション”の各転送タイミングを図16 - 14に示します。

図16 - 14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

アクノリッジ信号 ($\overline{\text{ACK}}$) は，マスタ，スレーブのどちらでも出力できます (通常，8ビット・データの受信側が出力します)。

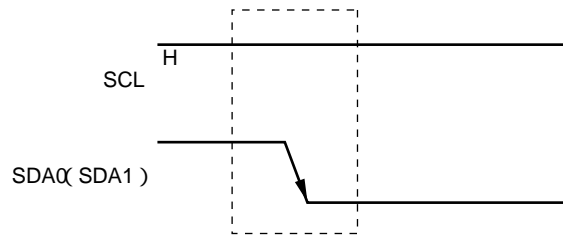
シリアル・クロック (SCL) は，マスタが出力し続けます。

(a) スタート・コンディション

SCL端子がハイ・レベルのときに、SDA0 (SDA1) 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。したがって、SCL, SDA0 (SDA1) 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スタート・コンディションの出力については16. 4. 5 I²Cバス・モード使用時の注意事項を参照してください。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図16 - 15 スタート・コンディション



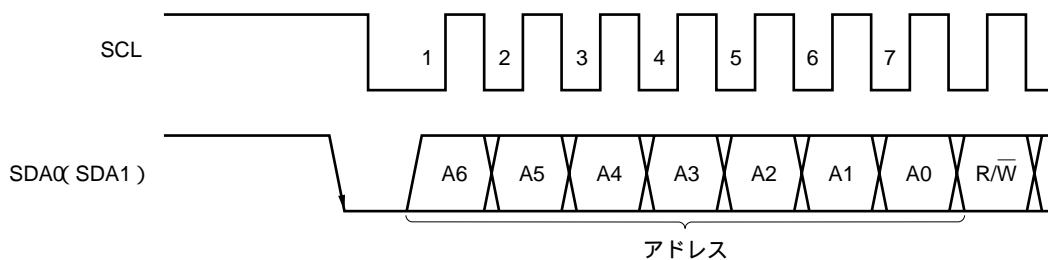
(b) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによってこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図16 - 16 アドレス

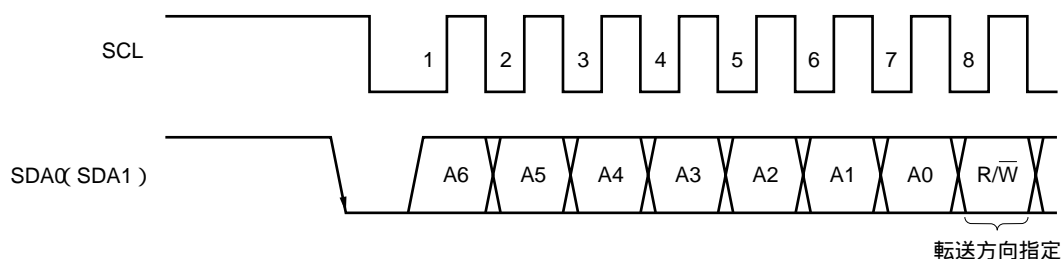


(c) 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するため1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16 - 17 転送方向指定



(d) アクノリッジ信号 (ACK)

アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

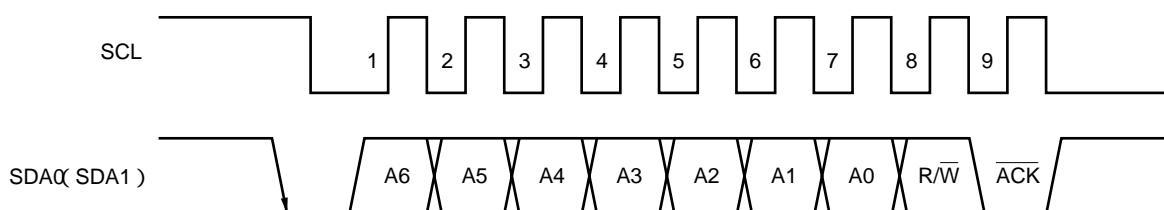
受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。

受信側は、通常、8ビット・データ受信後、アクノリッジ信号を出力します。

ただしマスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして次の処理を行います。また、スレーブからアクノリッジ信号が返らない場合は、受信が正しく行われないので、マスタは、ストップ・コンディションを出力し送信を中止します。

図16 - 18 アクノリッジ信号



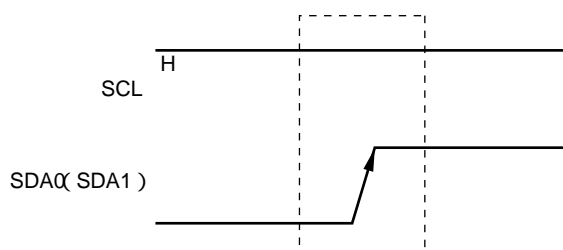
(e) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA0 (SDA1) 端子がロウ・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図16 - 19 ストップ・コンディション

**(f) ウェイト信号 ($\overline{\text{WAIT}}$)**

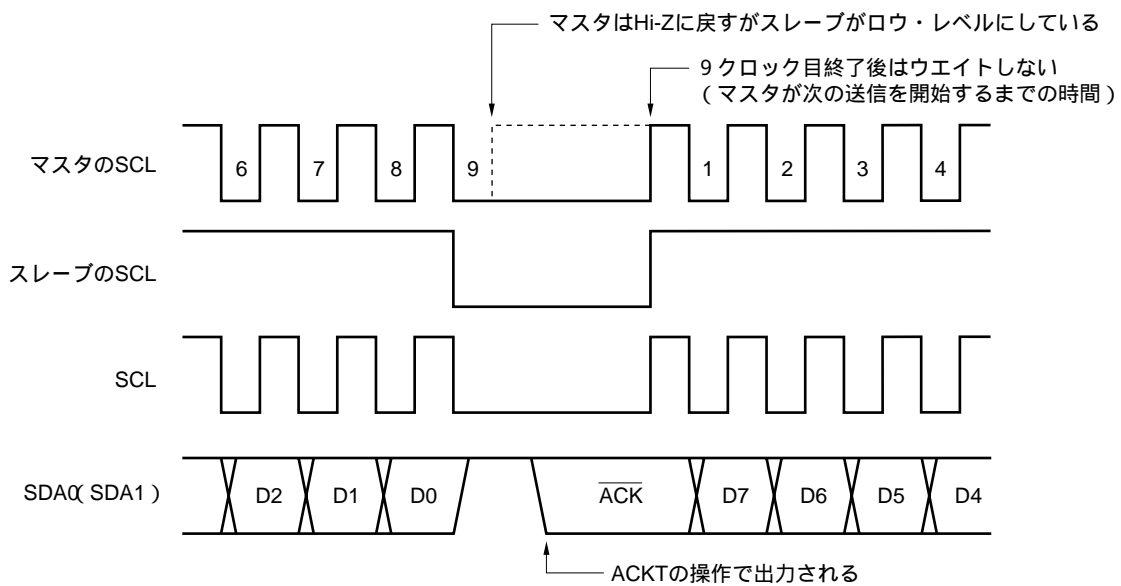
ウェイト信号は、スレーブがデータの送受信のための準備中 (ウェイト状態) であることをマスタに知らせるための信号です。

スレーブは、SCL端子をロウ・レベルにすることにより、マスタにウェイト状態を知らせます。

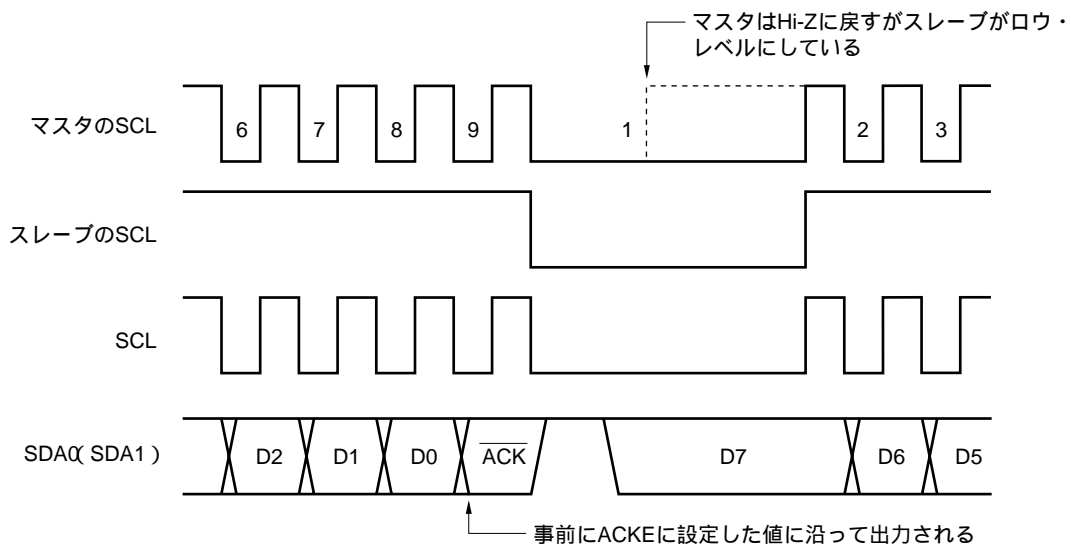
マスタは、ウェイト状態が解除されると、次の転送を開始できます。スレーブのウェイト解除については、16.4.5 I²Cバス・モード使用時の注意事項を参照してください。

図16 - 20 ウェイト信号

(a) 8クロック・ウェイト時



(b) 9クロック・ウェイト時



(3) レジスタの設定

I²Cバス・モードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号				4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	I ² Cバス・モード時、スタート・コンディション検出後 (CMDD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	x								3線式シリアルI/Oモード (16.4.2 3線式シリアルI/Oモードの動作参照)				
	1	1	0	注4 x	注4 x	0	0	0	1	2線式シリアルI/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (Nchオープン・ドレイン入出力)	SCK0/SCL (Nchオープン・ドレイン入出力)
			1	0	0	注4 x	注4 x	0	1			SB0/SDA0 (Nchオープン・ドレイン入出力)	P26 (CMOS入出力)	

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	x	SCL端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力 ^{注5}
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

- 注1. ビット6 (COI) は、Read Onlyです。
2. CSIE0 = 0のとき、COIは0になります。
3. ウエイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0 (SIO0) への書き込み命令を実行しないでください。
4. ポート機能として自由に使用できます。
5. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

備考 x : don't care
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	①							アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF 6 1 H	0 0 H	R/W 注1

R/W	BSYE注2	I ² Cバス・モード時の送信用N-chオープン・ドレーン出力の制御注3
	0	出力許可(送信)
	1	出力禁止(受信)

R	ACKD	アクノリッジ検出
		クリアされる条件(ACKD = 0)
		セットされる条件(ACKD = 1)
		・ 転送スタート命令実行時
		・ CSIE0 = 0のとき
		・ RESET入力時
		・ 転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時

R/W	ACKE	アクノリッジ信号の自動出力の制御注4
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)。送信時または8クロック・ウエイト選択時で受信の場合に使用する。注5
	1	アクノリッジ信号の自動出力許可。SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。9クロック・ウエイト選択時で受信の場合に使用する。

R/W	ACKT	セット命令(ACKT = 1)実行直後から次のSCLの立ち下がりまでSDA(SDA1)をロウ・レベルにする。8クロック・ウエイト選択時に、ソフトウェアでACK信号を生成するために使用する。シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。

(続く)

- 注1. ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。
- シリアル・インタフェースの転送開始、またはアドレス信号受信によってウエイト状態を解除できます。ただし、BSYEはクリア(0)されません。
 - ウエイト・アップ機能を使用するときには、必ずBSYEに1を設定してください。
 - 転送開始前に設定してください。
 - 8クロック・ウエイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。

備考 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

R	CMDD	スタート・コンディション検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		<ul style="list-style-type: none"> ・ 転送スタート命令実行時 ・ ストップ・コンディション検出時 ・ CSIE0 = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ スタート・コンディション検出時

R	RELD	ストップ・コンディション検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		<ul style="list-style-type: none"> ・ 転送スタート命令実行時 ・ アドレス受信時にSIO0とSVAの値が一致しないとき ・ CSIE0 = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ ストップ・コンディション検出時

R/W	CMDT	<p>スタート・コンディション出力のために使用する。</p> <p>CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。</p> <p>また、CSIE0 = 0のときもクリア(0)される。</p>
-----	------	---

R/W	RELT	<p>ストップ・コンディション出力のために使用する。</p> <p>RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。</p> <p>また、CSIE0 = 0のときもクリア(0)される。</p>
-----	------	---

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7							1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}	

R	CLD	SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注3}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIF0をセット(1)する。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7

R/W	CLC	クロック・レベルの制御
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

(続く)

- 注1. ビット6 (CLD) は、Read Onlyです。
 2. CSIE0 = 0のとき、CLDは0になります。
 3. I²Cバス・モードでウエイク・アップ機能を使用するときは、SICに1を設定してください。

備考 SVA : スレーブ・アドレス・レジスタ
 CSIF0 : INTCSI0に対応する割り込み要求フラグ
 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。

R	WAT1	WAT0	ウェイトおよび割り込みの制御 ^注
	0	0	$\overline{\text{SCK0}}$ の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。
1	1	I ² Cバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。	

注 I²Cバス・モード使用時は、WAT1, WAT0に1, 0または1, 1を設定してください。

(4) 各種信号

I²Cバス・モードにおける各種の信号の一覧を表16 - 4に示します。

表16 - 4 I²Cバス・モードにおける各種の信号

信号名称	出力するデバイス	定義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち下がりエッジ ^{注1}	CMDTのセット	CMDDをセット	次にアドレスを送信し、シリアル通信を開始することを示す
ストップ・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち上がりエッジ ^{注1}	RELTのセット	RELDをセット CMDDをクリア	シリアル送信の終了を示す
アクリッジ信号 (ACK)	マスタ/ スレーブ	シリアル受信完了後、SCLの1クロック期間に出力されるSDA0(SDA1)のロウ・レベル信号	・ ACKE = 1 ・ ACKTのセット	ACKDをセット	1バイトの受信が完了したことを示す
ウエイト (WAIT)	スレーブ	SCLに出力されるロウ・レベル信号	WAT1, WAT0 = 1x	-	シリアル受信が不可能な状態を示す
シリアル・クロック (SCL)	マスタ	各種信号出力のための同期クロック	CSIE0 = 1のときの、SIO0へのデータ書き込み命令実行(シリアル転送のスタート指示) ^{注2}	CSIIF0をセット ^{注3}	シリアル通信の同期信号
アドレス (A6-A0)	マスタ	スタート・コンディション出力後に、SCLに同期して出力される7ビット・データ			シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向 (R/W)	マスタ	アドレス出力後に、SCLに同期して出力される1ビット・データ			データの送信あるいは受信のどちらを行うかを示す
データ (D7-D0)	マスタ/ スレーブ	スタート・コンディション直後でない、SCLに同期して出力される8ビット・データ			実際に通信するデータを示す

注1. シリアル・クロックのレベルは、割り込みタイミング指定レジスタ (SINT) のCLCで制御することができます。

2. ウエイト状態のときは、ウエイト状態が解除されたあと、シリアル転送を開始します。

3. WUP = 0で8クロック・ウエイトを選択したとき、SCLの8クロック目の立ち上がりでCSIIF0をセットします。
WUP = 0で9クロック・ウエイトを選択したとき、SCLの9クロック目の立ち上がりでCSIIF0をセットします。
WUP = 1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ (SVA) の値と一致したとき、およびストップ・コンディション検出時にCSIIF0をセットします。

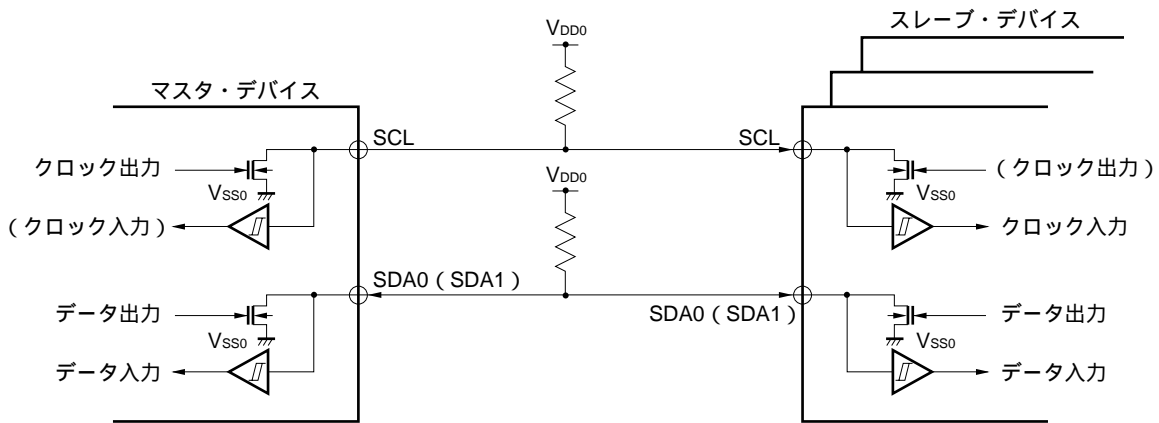
(5) 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA0, SDA1) の構成は次のようになっています。

- (a) SCL..... シリアル・クロックを入出力するための端子
 - マスタ..... N-chオープン・ドレイン出力
 - スレーブ..... シュミット入力
- (b) SDA0 (SDA1) シリアル・データの入出力兼用端子
 - マスタ, スレーブともにN-chオープン・ドレイン出力, シュミット入力

シリアル・クロックおよびシリアル・データ・バスはともにN-chオープン・ドレインで出力されるため、外部にプルアップ抵抗が必要となります。

図16 - 21 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめシリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット7 (BSYE) に1を設定し、シリアルI/Oシフト・レジスタ0 (SIO0) にFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能使用時 (シリアル動作モード・レジスタ0 (CSIM0) のビット5 (WUP) をセット) は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

(6) アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ (SVA) を備え、ウエイク・アップ機能指定ビット (WUP) = 1 のとき、マスタから送信されたスレーブ・アドレスと SVA に設定したアドレスが一致したときに、CSIF0 がセットされます (ストップ・コンディション検出時にもセットされます)。

なお、ウエイク・アップ機能使用時は SIC を 1 にセットしておいてください。

注意 スレーブの選択、非選択の状態検出は、スタート・コンディションのあとに受信したデータ (アドレス) の一致検出により行います。

この一致検出は、通常 WUP = 1 の状態で発生するアドレスの一致検出割り込み (INTCSI0) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は WUP = 1 の状態で行ってください。

(7) エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス SDA0 (SDA1) の状態が送信しているデバイスのシリアル I/O シフト・レジスタ 0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後の SIO0 のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を使用する方法

送信データを SIO0 と SVA にセットし、送信を行います。送信終了後にシリアル動作モード・レジスタ 0 (CSIM0) の COI ビット (アドレス・コンパレータからの一致信号) をテストし、“1” なら正常な送信、“0” なら送信エラーと判断します。

(8) 通信動作

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次に、データの転送方向を示す R/W ビットを送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図16 - 22および図16 - 23に示します。

シリアル・クロック (SCL) の立ち下がりに同期してシリアル I/O シフト・レジスタ 0 (SIO0) のシフト動作が行われます。送信データは SO0 ラッチに転送され、SDA0 または SDA1 端子から MSB を先頭にして出力されます。

また、SCL の立ち上がりで SDA0 または SDA1 端子に入力されたデータが SIO0 に取り込まれます。

図16 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(a) スタート・コンディション~アドレス

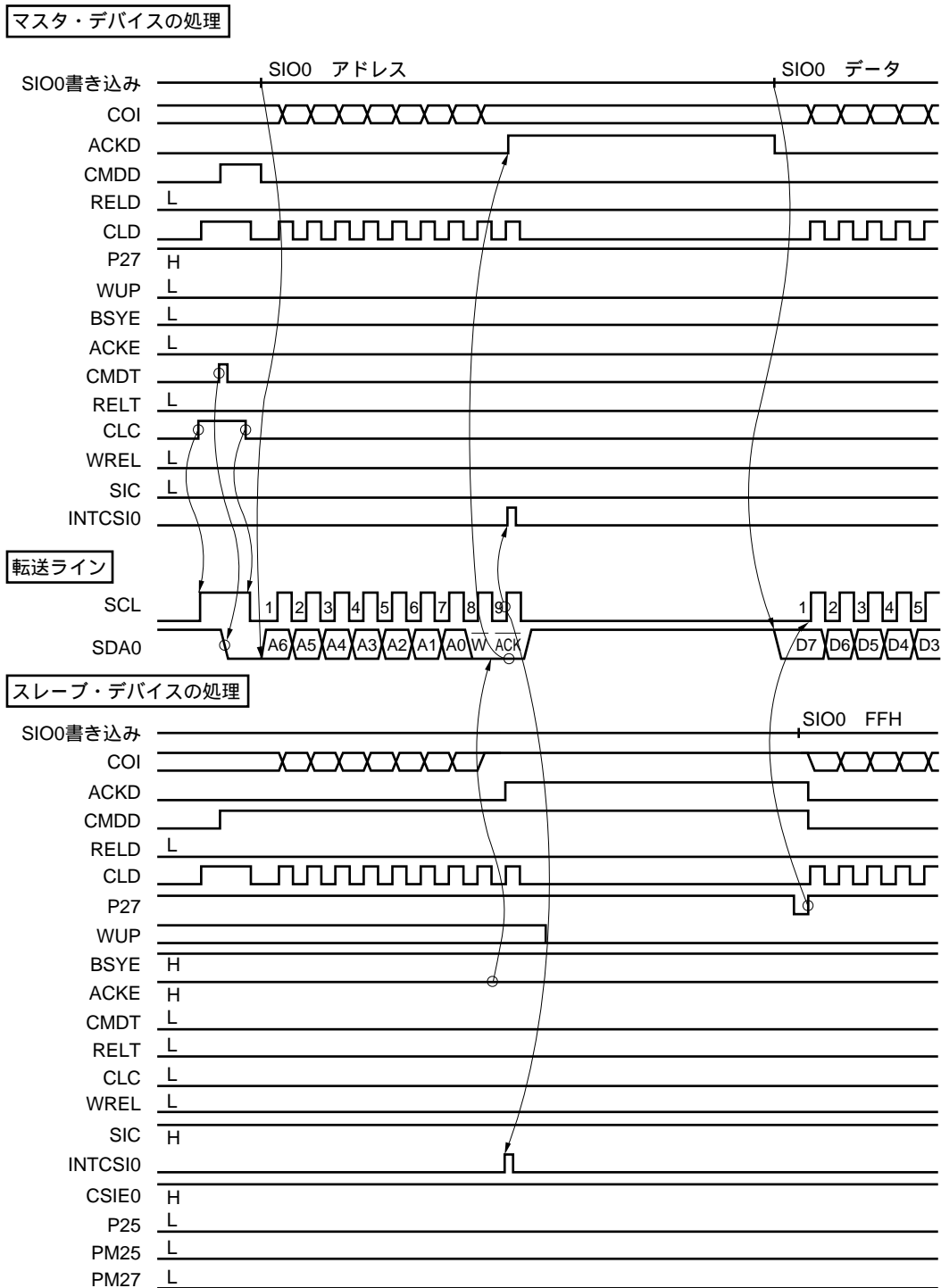


図16 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(b) データ

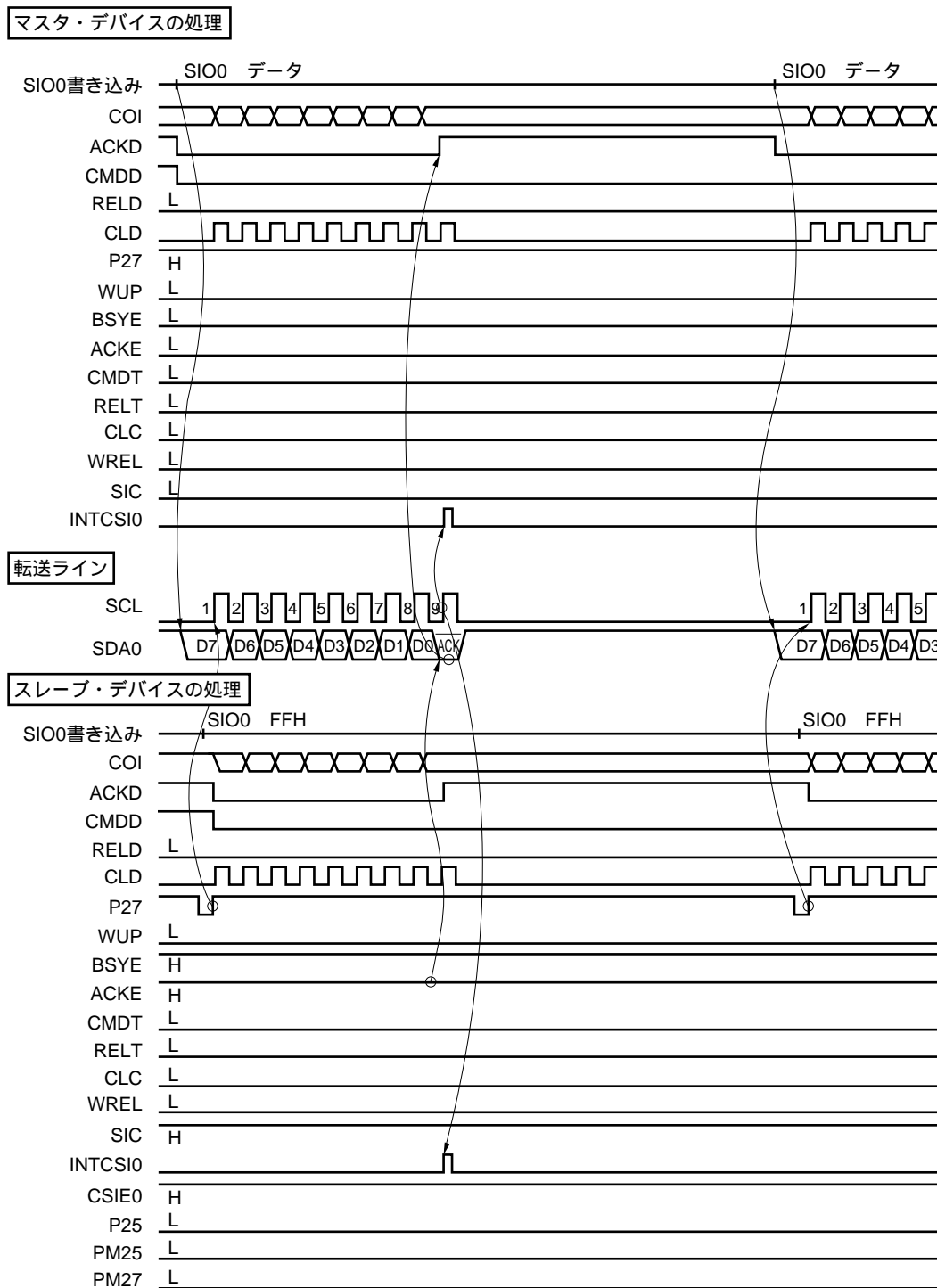


図16 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(c) ストップ・コンディション

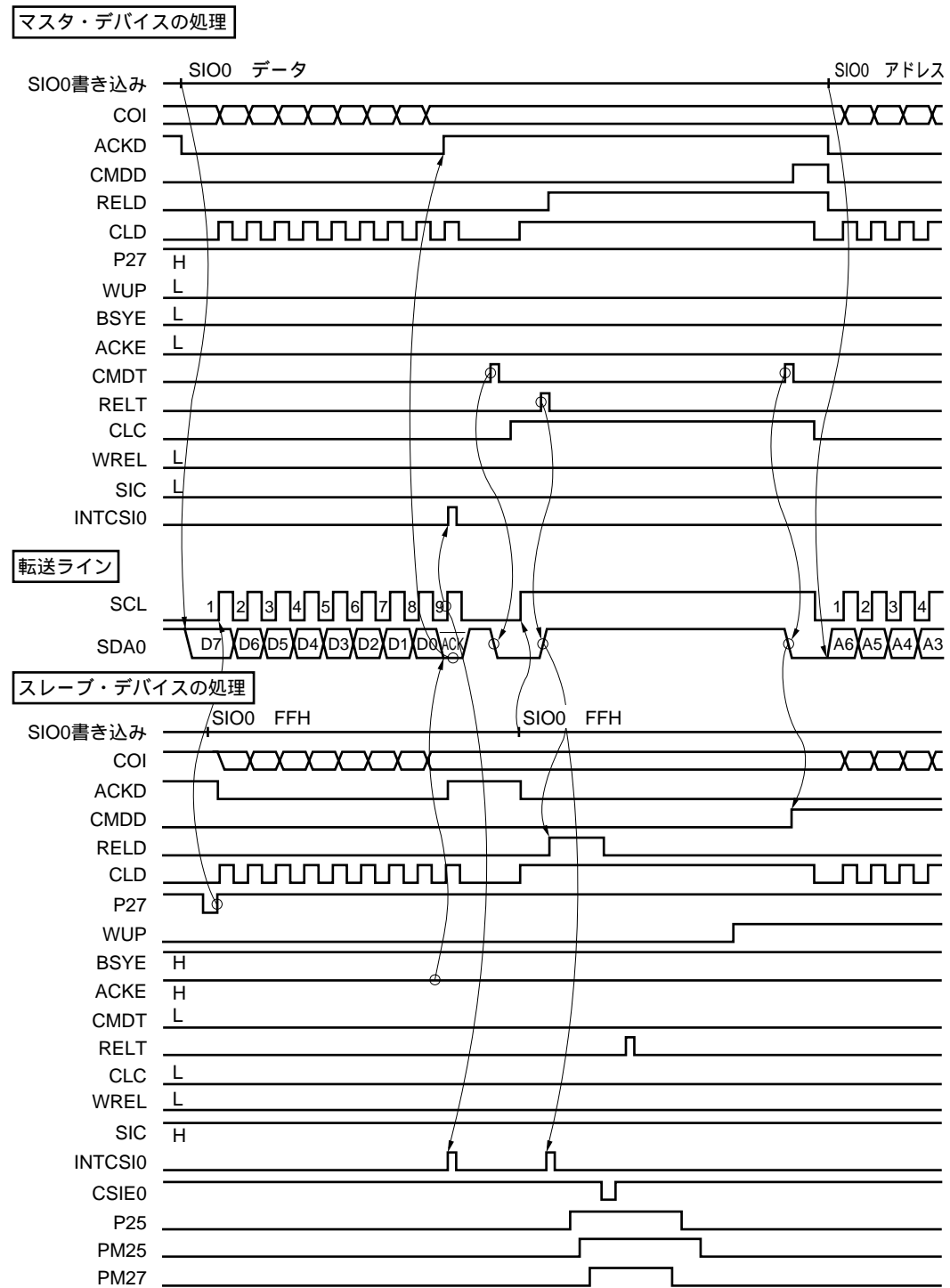


図16 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(a) スタート・コンディション~アドレス

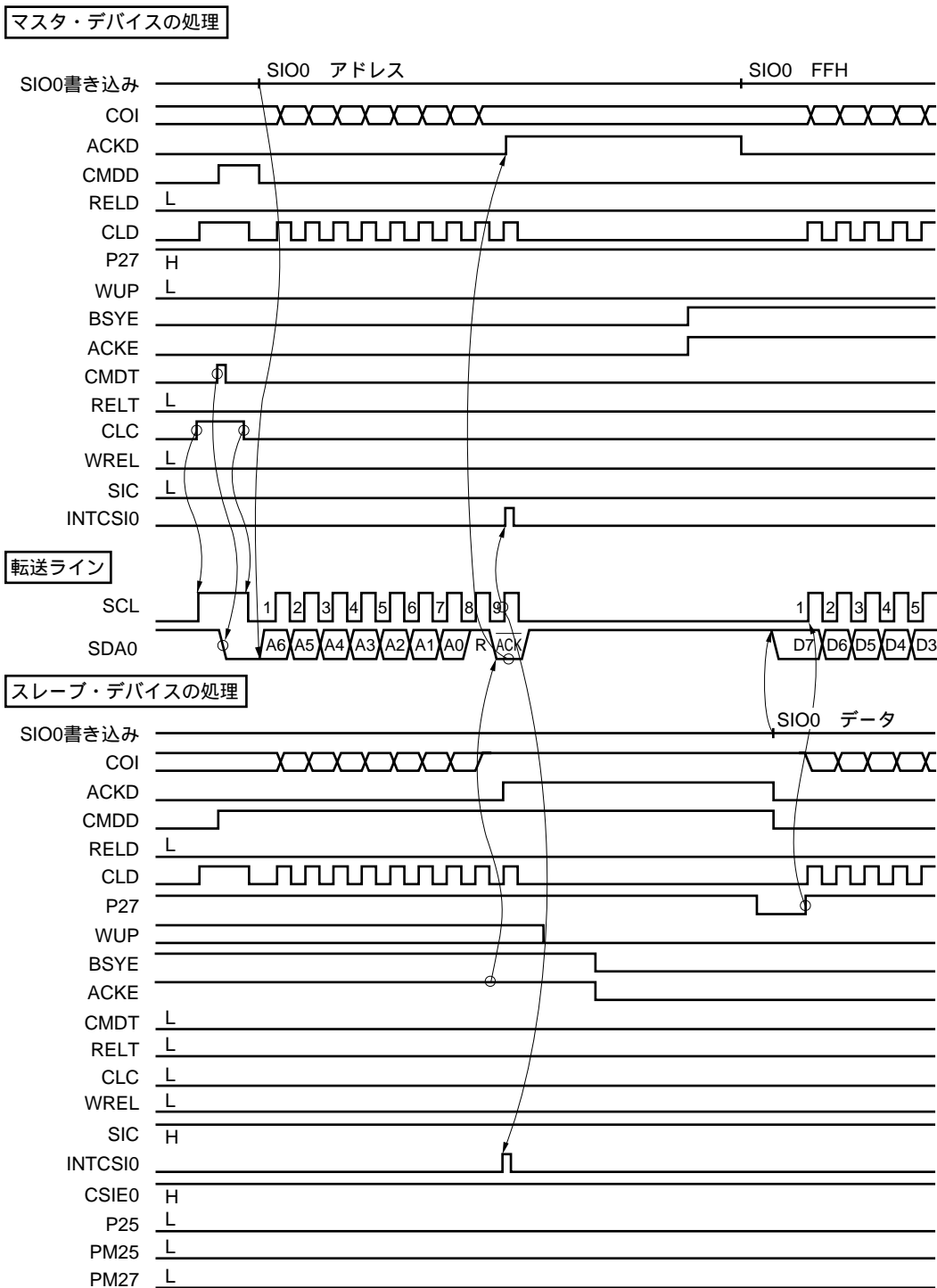


図16 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(b) データ

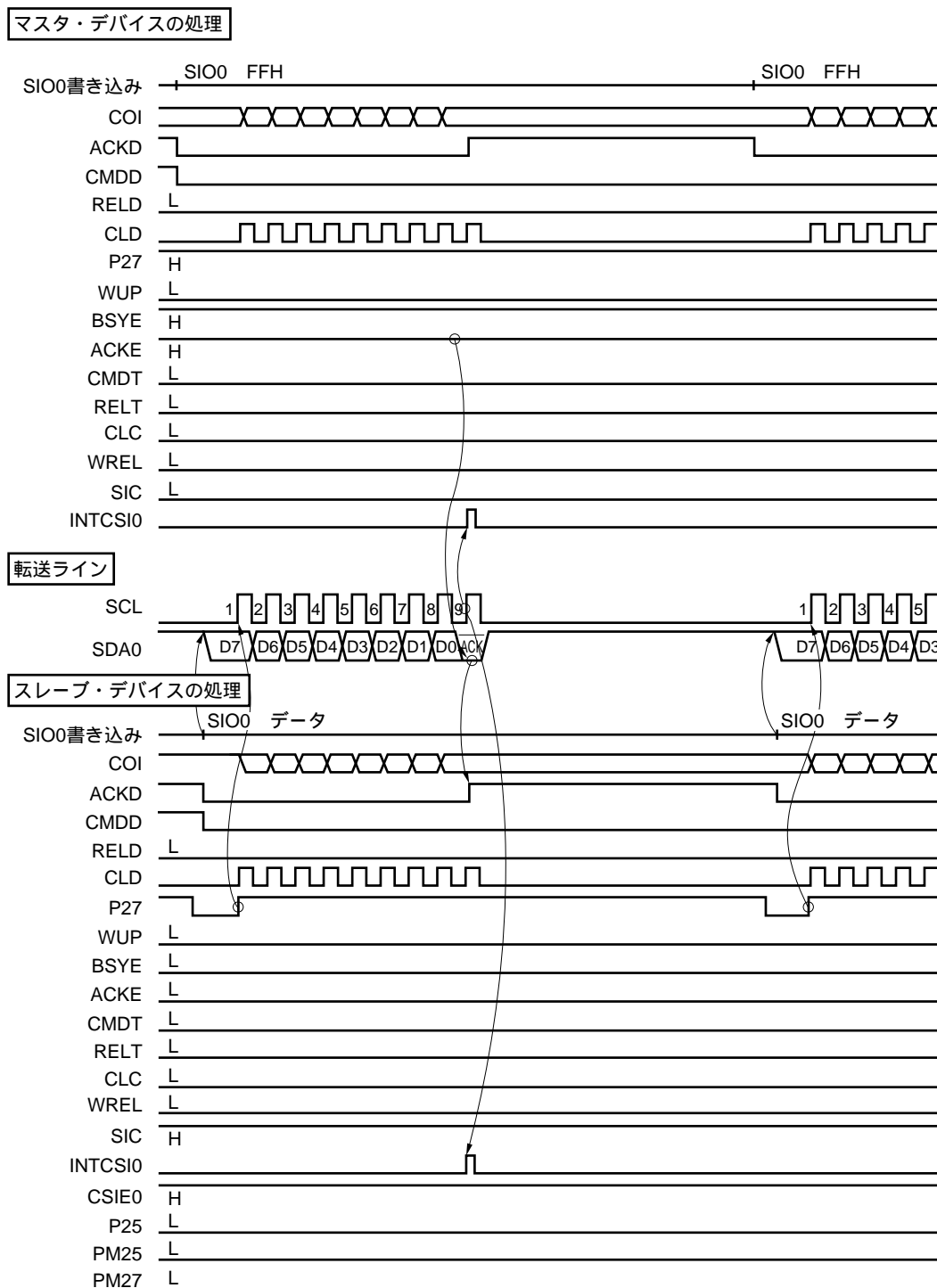
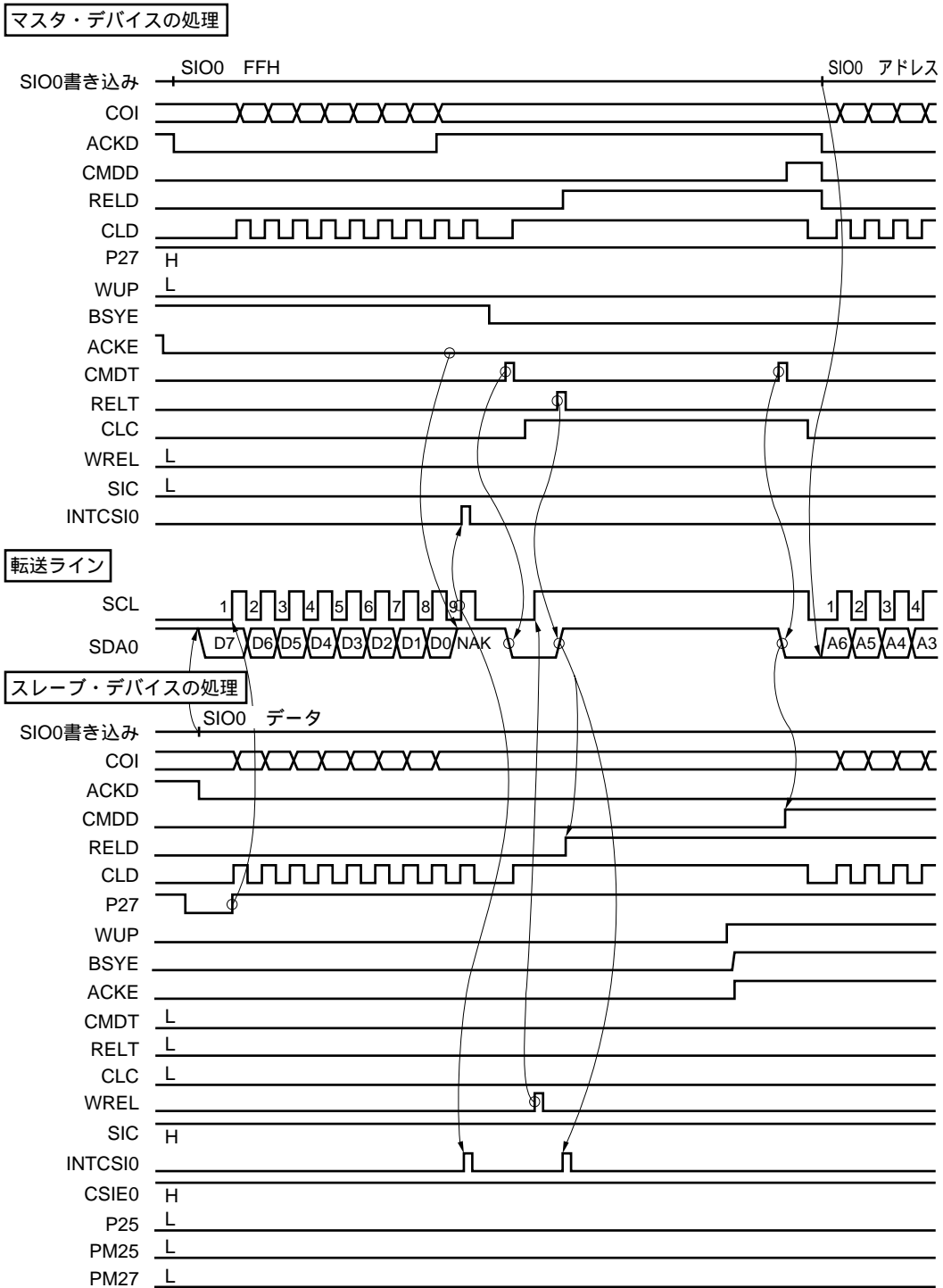


図16 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(c) ストップ・コンディション



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCLがロウ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめ、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のBSYEに1を設定し、SIO0にFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能使用時 (シリアル動作モード・レジスタ0 (CSIM0) のビット5 (WUP) をセット) は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

3. スレーブがウエイト状態のときにSIO0にデータを書き込んだ場合、そのデータは失われません。ウエイト状態が解除されて、SCLが出力されたときに転送が開始します。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

16.4.5 I²Cバス・モード使用時の注意事項

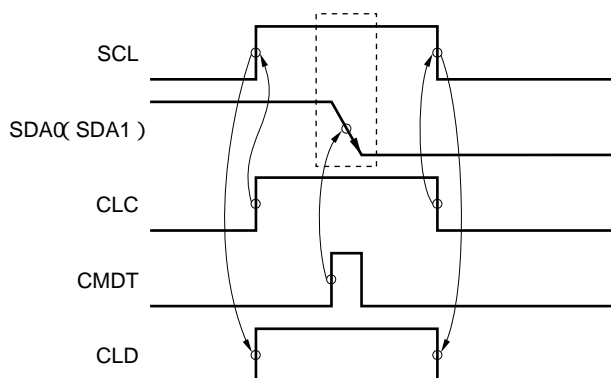
(1) スタート・コンディションの出力 (マスタ)

SCL端子は、シリアル・クロックが出力されていないときには通常、ロウ・レベルを出力しています。スタート・コンディションを出力するためには一度SCL端子をハイ・レベルに変化させる必要があります。SCL端子をハイ・レベルにするには、割り込みタイミング指定レジスタ (SINT) のCLCに1を設定してください。

CLCをセットしたあとはCLCを0にクリアし、SCL端子をロウ・レベルに戻してください。CLCが1のままの場合、シリアル・クロックが出力されません。

マスタがスタート・コンディションおよびストップ・コンディションを出力する場合には、CLCに1を設定したあと、CLDが1であることを確認してから行ってください。これは、スレーブがSCLをロウ・レベル (ウェイト状態) にしている可能性があるためです。

図16-24 スタート・コンディションの出力



(2) スレーブのウェイト解除 (スレーブ送信)

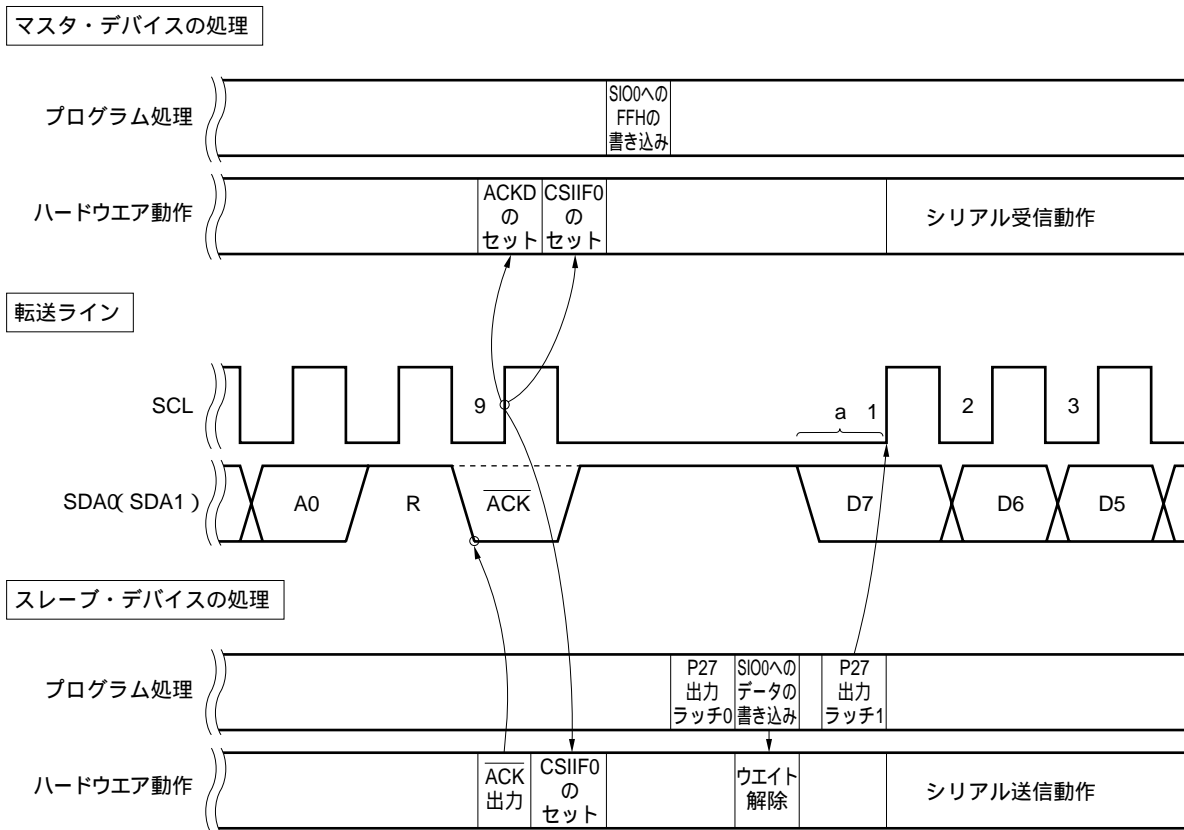
スレーブのウェイト状態は、WRELフラグ (割り込みタイミング指定レジスタ (SINT) のビット2) のセットまたは、シリアルI/Oシフト・レジスタ0 (SIO0) への書き込み命令実行により解除されます。

スレーブがデータ送信をする場合、SIO0への書き込み命令実行により、すぐにウェイトが解除され、データ・ラインに先頭の送信ビットが出力されないままクロックが立ち上がってしまいます。そのため、図16-25に示すように、P27の出力ラッチをプログラムで操作することにより、データ送信をする必要があります。このとき、1回目のシリアル・クロックのロウ・レベル幅 (図16-25のaの部分) は、SIO0への書き込み命令実行後のP27出力ラッチを1に設定するときのタイミングで制御してください。

また、マスタからのアクノリッジ信号が出力されなかった場合 (スレーブからのデータ送信が終了した場合) は、SINTのWRELフラグに1を設定し、ウェイトを解除してください。

これらのタイミングについては、図16-23を参照してください。

図16-25 スレーブのウェイト解除 (送信時)



(3) スレーブのウェイト解除 (スレーブ受信)

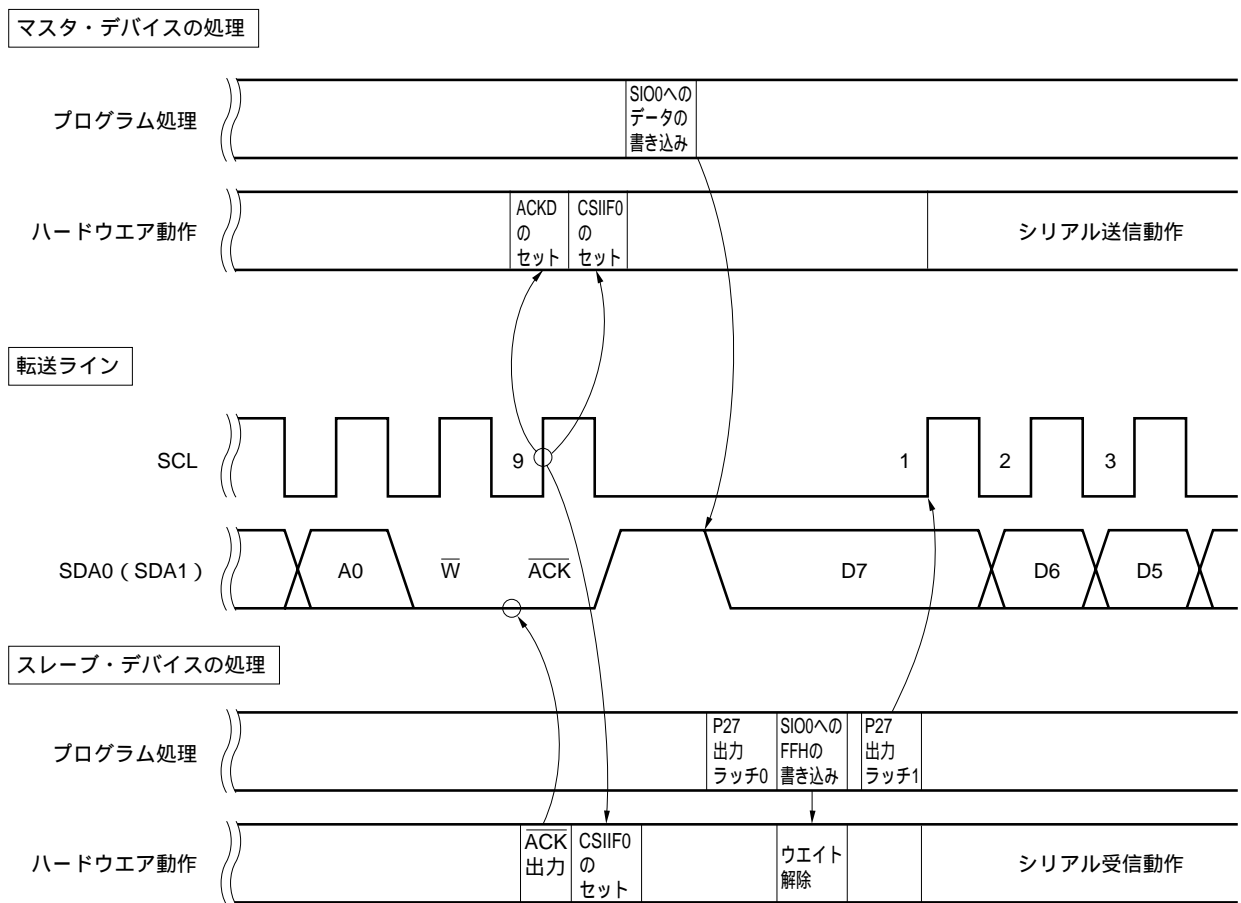
スレーブのウェイト状態は、WRELフラグ (割り込みタイミング指定レジスタ (SINT) のビット2) のセットまたは、シリアルI/Oシフト・レジスタ0 (SIO0) への書き込み命令実行により解除されます。

スレーブがデータ受信をする場合、SIO0への書き込み命令実行により、すぐにSCLラインがハイ・インピーダンス状態になると、マスタからの1ビット目のデータを受信できないことがあります。これは、SIO0への書き込み命令実行中 (次の命令が実行されるまでの期間) にSCLラインがハイ・インピーダンス状態になっていると、SIO0が動作を開始しないためです。

そのため、図16 - 26に示すように、P27の出力ラッチをプログラムで操作することにより、データ受信をしてください。

これらのタイミングについては、図16 - 22を参照してください。

図16 - 26 スレーブのウェイト解除 (受信時)



(4) スレーブの受信完了処理

スレーブの受信完了処理 (割り込み処理など) では、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット3 (CMDD) とシリアル動作モード・レジスタ0 (CSIM0) のビット6 (COI) (CMDD = 1のとき) を確認するようにしてください。不特定数のデータをマスタから受信する場合、スタート・コンディションとデータのどちらが次に来るのかをスレーブが判断できず、ウエイク・アップ機能が使用できなくなるのを避けるためです。

16.4.6 I²Cバス・モード使用時の制限事項

μPD780308Yサブシリーズには、次の制限事項があります。

・I²Cバス・モードのスレーブ・デバイスとして使用する場合の制限事項

対象製品：μPD780306Y, 780308Y, 78P0308Y, IE-780308-R-EM

内 容：シリアル転送状態^註でウエイク・アップ機能を実行（WUPフラグ（シリアル動作モード・レジスタ0（CSIM0）のビット5）をセット（1）することにより実行）すると、他のスレーブ・デバイスとマスタ・デバイス間のデータに対してアドレス判定を行ってしまいます。したがって、そのときのデータがμPD780308Yサブシリーズのスレーブ・アドレスと一致すると、μPD780308Yサブシリーズが通信に参加し、通信データを破壊してしまいます。

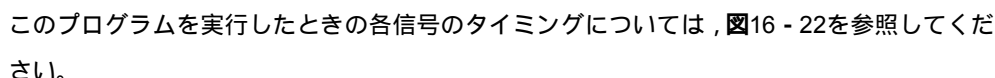
注 シリアル転送状態とは、シリアルI/Oシフト・レジスタ0（SIO0）の書き込み後、シリアル転送終了により割り込み要求フラグ（CSIIF0）がセット（1）されるまでの状態を示します。

回避策：この制限事項はプログラムを変更することによって回避できます。

ウエイク・アップ機能を実行する前に、次に示すシリアル転送状態を解除するプログラムを実行してください。また、ウエイク・アップ機能を実行するときは、SIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能実行時にデータ受信は可能です。

このプログラムは、シリアル転送状態を解除するためのプログラムです。シリアル転送状態を解除するためには、一度シリアル・インタフェース・チャンネル0を動作停止状態（CSIE0フラグ（シリアル動作モード・レジスタ（CSIM0）のビット7）をクリア（0））にする必要があります。ただし、I²Cバス・モードでシリアル・インタフェース・チャンネル0を動作停止状態にすると、SCL端子からはハイ・レベルを、SDA0（SDA1）端子からはロウ・レベルを出力してしまい、I²Cバスの通信に影響を与える可能性があります。そのためこのプログラムは、I²Cバスへの影響を避けるためにSCL端子およびSDA0（SDA1）端子をハイ・インピーダンス状態にしています。

また、この例ではシリアル・データ入力/出力端子をSDA0（/P25）として説明しています。シリアル・データ入力/出力端子をSDA1（/P26）にしている場合は、プログラム中のP2.5, PM2.5をそれぞれP2.6, PM2.6に読み替えてください。

このプログラムを実行したときの各信号のタイミングについては、16-22を参照してください。

・シリアル転送状態を解除するプログラム例

```

SET1      P2.5   ;
SET1      PM2.5 ;
SET1      PM2.7 ;
CLR1      CSIE0 ;
SET1      CSIE0 ;
SET1      RELT  ;
CLR1      PM2.7 ;
CLR1      P2.5   ;
CLR1      PM2.5 ;

```

の命令でI²Cバス・モードに復帰したときに、SDA0端子からロウ・レベルを出力しないようにします。SDA0端子の出力はハイ・インピーダンス状態になります。

の命令でポート・モードに移行したときに、SDA0ラインに影響を与えないようにするために、P25 (/SDA0) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

の命令でポート・モードに移行したときに、SCLラインに影響を与えないようにするために、P27 (/SCL) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

I²Cバス・モードからポート・モードに移行します。

ポート・モードからI²Cバス・モードに復帰します。

の命令でSDA0端子からロウ・レベルを出力しないようにします。

I²Cバス・モードでは、P27端子を出力モードにする必要がありますので、P27端子を出力モードにします。

I²Cバス・モードでは、P25端子の出力ラッチに0を設定する必要がありますので、P25端子の出力ラッチに0を設定します。

I²Cバス・モードでは、P25端子を出力モードにする必要がありますので、P25端子を出力モードにします。

備考 RELT : シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0

16.4.7 $\overline{\text{SCK0/SCL/P27}}$ 端子出力の操作

$\overline{\text{SCK0/SCL/P27}}$ 端子には、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力が可能です。

また、シリアル・クロックの値をソフトウェアで任意に設定することができます (SI0/SB0/SDA0, SO0/SB1/SDA1端子の制御は、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のRELT, CMDT ビットによって行います)。

次に、 $\overline{\text{SCK0/SCL/P27}}$ 端子出力の操作方法を示します。

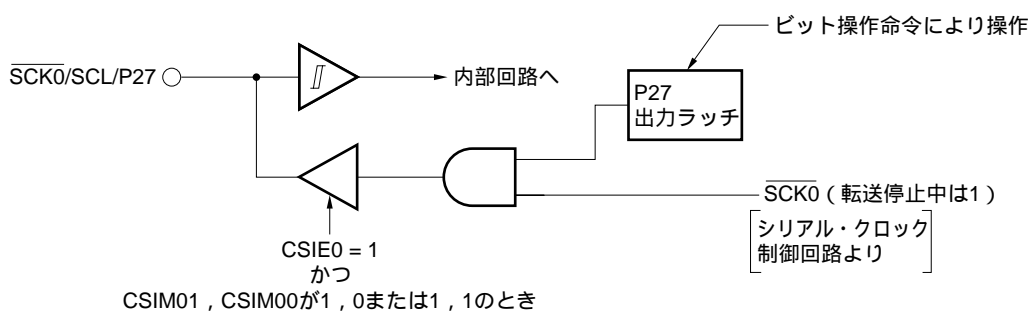
(1) 3線式シリアルI/Oモードおよび2線式シリアルI/Oモードの場合

P27出力ラッチにより、 $\overline{\text{SCK0/SCL/P27}}$ 端子の出力レベルを操作します。

シリアル動作モード・レジスタ0 (CSIM0) を設定します ($\overline{\text{SCK0}}$ 端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中では $\text{SCK0} = 1$ となっています。

P27出力ラッチを、ビット操作命令により操作します。

図16 - 27 $\overline{\text{SCK0/SCL/P27}}$ 端子の構成

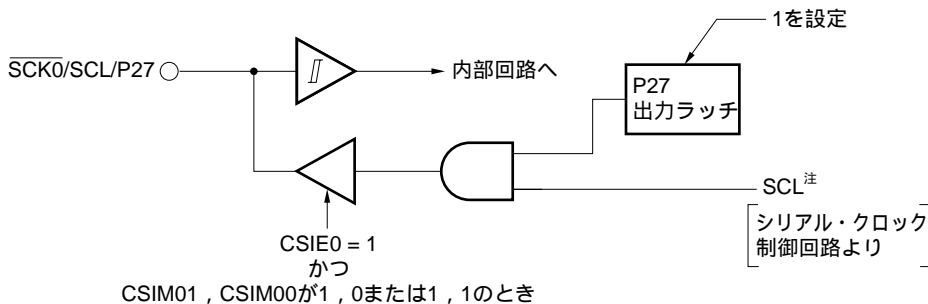


(2) I²Cバス・モードの場合

割り込みタイミング指定レジスタ (SINT) のCLCビットにより、 $\overline{\text{SCK0/SCL/P27}}$ 端子の出力レベルを操作します。

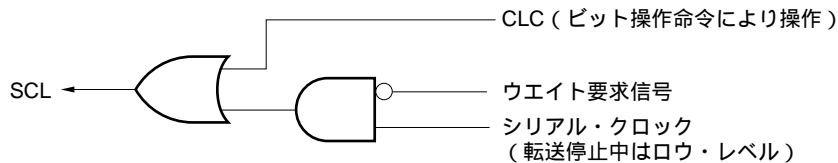
シリアル動作モード・レジスタ0 (CSIM0) を設定します (SCL端子：出力モード，シリアル動作：可能状態)。P27出力ラッチには1を設定します。シリアル転送停止中ではSCL = 0となっています。SINTのCLCビットを，ビット操作命令により操作します。

図16 - 28 $\overline{\text{SCK0/SCL/P27}}$ 端子の構成



注 SCL信号のレベルは，図16-29に示す論理回路の内容に従います。

図16-29 SCL信号の論理回路



- 備考1. この図は各信号の関連を示すもので，内部回路を示すものではありません。
2. CLC：割り込みタイミング指定レジスタ (SINT) のビット3

第17章 シリアル・インタフェース・チャンネル2

17.1 シリアル・インタフェース・チャンネル2の機能

シリアル・インタフェース・チャンネル2には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

データ入出力端子 (RxD, TxD) を2系統内蔵しており、ソフトウェアにより使用する端子を選択することができます。一度に使用できる端子は1系統のみです。

注意 データ入出力端子を切り替える必要がない場合は、RxD/SI2/P70, TxD/SO2/P71を使用することを推奨します。ポート11 (RxD/P114, TxD/P113) のみをデータ入出力端子として使用すると、ポート7の機能が制限されます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK2}$) と、シリアル・データ (SI2, SO2) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

17.2 シリアル・インタフェース・チャンネル2の構成

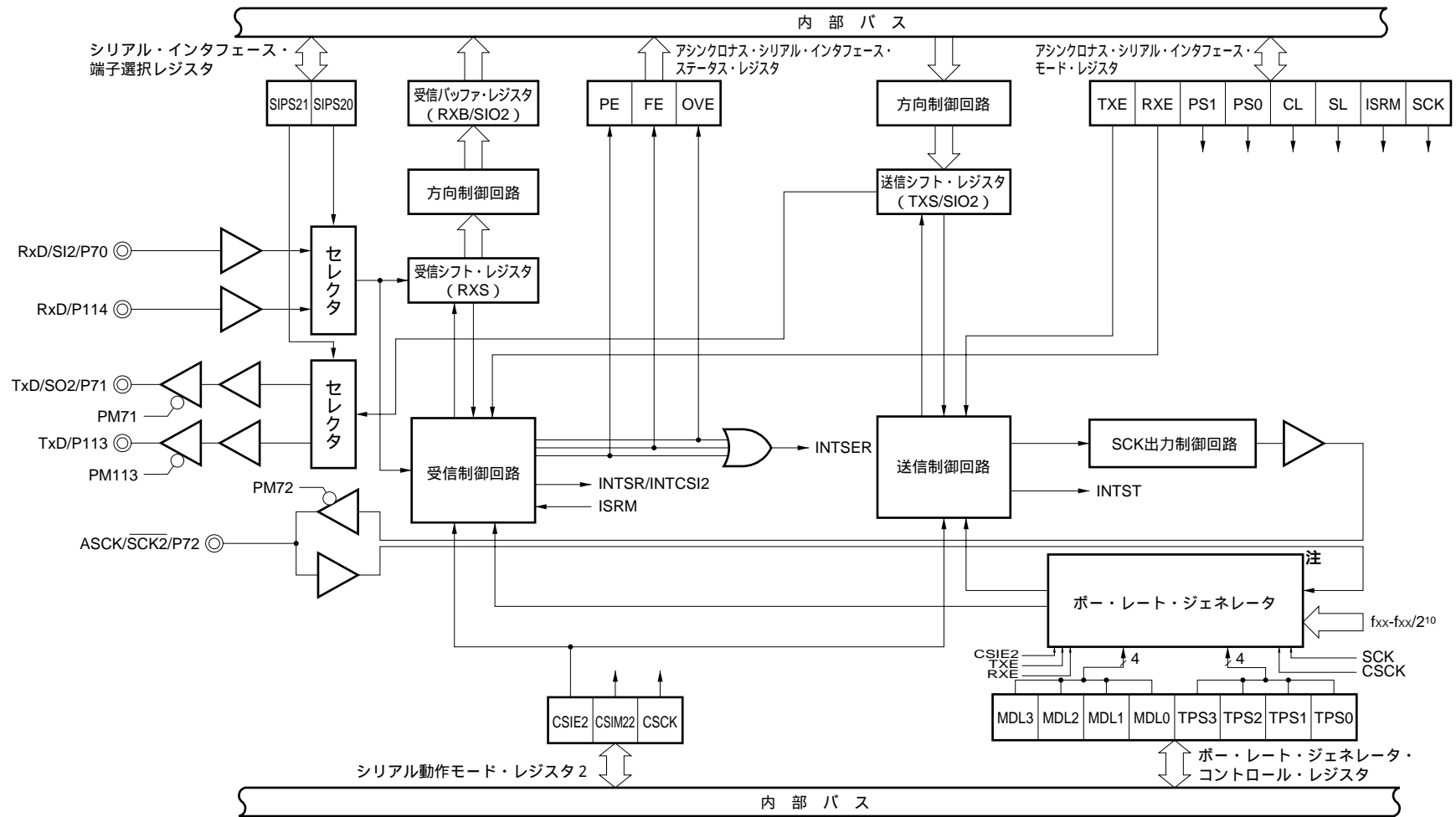
シリアル・インタフェース・チャンネル2は、次のハードウェアで構成しています。

表17-1 シリアル・インタフェース・チャンネル2の構成

項 目	構 成
レジスタ	送信シフト・レジスタ (TXS) 受信シフト・レジスタ (RXS) 受信バッファ・レジスタ (RXB)
制御レジスタ	シリアル動作モード・レジスタ2 (CSIM2) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) シリアル・インタフェース端子選択レジスタ (SIPS) ポート・モード・レジスタ7 (PM7) ^注

注 図6-10 P70のブロック図、図6-11 P71, P72のブロック図を参照してください。

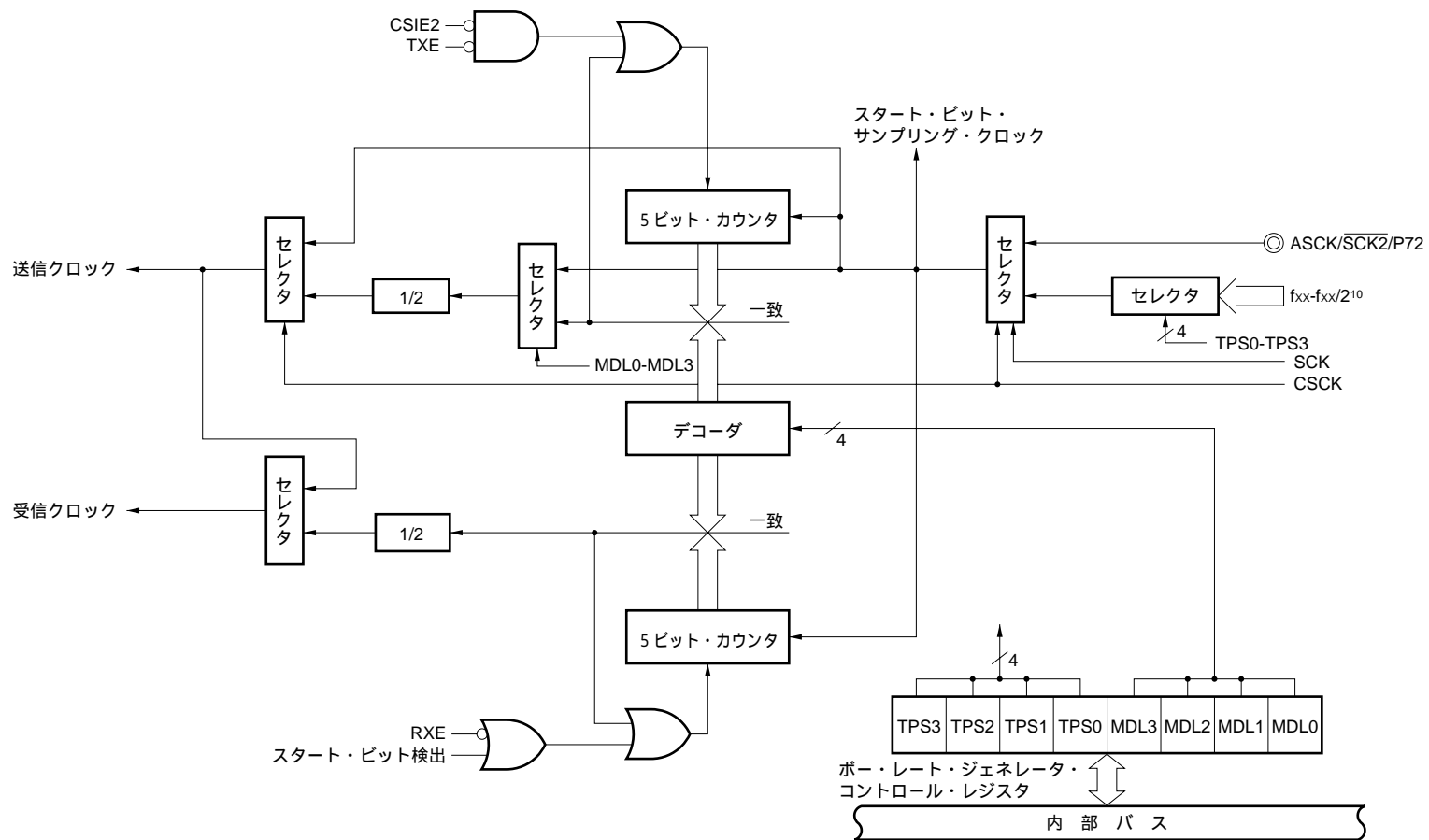
図17-1 シリアル・インタフェース・チャンネル2のブロック図



注 ポー・レート・ジェネレータの構成は、図17-2を参照してください。

備考 $f_{xx} = f_x/2$ (MCS = 0), $f_{xx} = f_x$ (MCS = 1)

図17-2 ボー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ (TXS)

送信データを設定するレジスタです。TXSに書き込まれたデータをシリアル・データとして送信します。データ長を7ビットに指定した場合、TXSに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSにデータを書き込むことにより、送信動作を開始します。

TXSは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

RESET入力により、FFHになります。

注意 送信動作中は、TXSへの書き込みを行わないでください。

TXSと受信バッファ・レジスタ (RXB) は同一アドレスに割り当てられており、読み出しを行った場合にはRXBの値が読み出されます。

(2) 受信シフト・レジスタ (RXS)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ (RXB) へ転送します。

RXSはプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ (RXB)

受信データを保持するレジスタです。データを1バイト受信することに受信シフト・レジスタ (RXS) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBのビット0-ビット6に転送され、RXBのMSBIは必ず0になります。

RXBは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力により、FFHになります。

注意 RXBと送信シフト・レジスタ (TXS) は同一アドレスに割り当てられており、書き込みを行った場合にはTXSに値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) に設定された内容に従って、送信シフト・レジスタ (TXS) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) にセットします。

17.3 シリアル・インタフェース・チャンネル2を制御するレジスタ

シリアル・インタフェース・チャンネル2は、次の5種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ2 (CSIM2)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)
- ・シリアル・インタフェース端子選択レジスタ (SIPS)

(1) シリアル動作モード・レジスタ2 (CSIM2)

シリアル・インタフェース・チャンネル2を3線式シリアルI/Oモードで使用するときを設定するレジスタです。

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-3 シリアル動作モード・レジスタ2のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	CSIM22	CSCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

CSIM22	先頭ビットの指定
0	MSB
1	LSB

CSCK	3線式シリアルI/Oモード時のクロックの選択
0	SCK2端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0、ビット3-ビット6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM2に00Hを設定してください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

シリアル・インタフェース・チャンネル2をアシクロナス・シリアル・インタフェース・モードで使用するときには設定するレジスタです。

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-4 アシクロナス・シリアル・インタフェース・モード・レジスタのフォーマット

略号		5	4	3	2	1	0	アドレス	リセット時	R/W	
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	FF70H	00H	R/W

TXE	送信動作の制御	
0	送信動作停止	
1	送信動作許可	
RXE	受信動作の制御	
0	受信動作停止	
1	受信動作許可	
PS1	PS0	パリティ・ビットの選択
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ
CL	キャラクタ長の指定	
0	7ビット	
1	8ビット	
SL	送信データのストップ・ビット長の指定	
0	1ビット	
1	2ビット	
ISRM	エラー発生時の受信完了割り込み制御	
0	エラー発生時、受信完了割り込みを発生する	
1	エラー発生時、受信完了割り込みを発生しない	
SCK	アシクロナス・シリアル・インタフェース・モード時のクロックの選択	
0	ASCK端子への外部からの入力クロック	
1	専用ポー・レート・ジェネレータの出力 ^注	

注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意1. 3線式シリアルI/Oモード選択時は、ASIMに00Hを設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧(1/2)

(1) 動作停止モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭 ビット	シフト・ クロック	P70/SI2/RxD	P71/SO2/TxD	P113/TxD	P114/RxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCCK	SIPS21	SIPS20												端子の機能	端子の機能	端子の機能	端子の機能	端子の機能	
0	0	x	0	x	x	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	-	-	P70	P71	P113	P114	P72
上記以外																	設定禁止							

(2) 3線式シリアル/I/Oモード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭 ビット	シフト・ クロック	P70/SI2/RxD	P71/SO2/TxD	P113/TxD	P114/RxD	P72/SCK2/ASCK					
TXE	RXE	SCK	CSIE2	CSIM22	CSCCK	SIPS21	SIPS20												端子の機能	端子の機能	端子の機能	端子の機能	端子の機能						
0	0	0	1	0	0	x	x	1 ^{注2}	x ^{注2}	0	1	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	1	x	MSB	外部 クロック	SI2 ^{注2}	SO2 (CMOS出力)	P113	P114	SCK2入力					
																			内部 クロック					SCK2出力					
			1	1	0													1	x	0	1			x	LSB	外部 クロック	SI2 ^{注2}	SO2 (CMOS出力)	SCK2入力
																										内部 クロック			SCK2出力
上記以外																	設定禁止												

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P70 (CMOS入出力) として使用できます。

備考 x : don't care

表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧(2/2)

(3) アシクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭ビット	シフト・クロック	P70/SI2/RxD 端子の機能	P71/SO2/TxD 端子の機能	P113/TxD 端子の機能	P114/RxD 端子の機能	P72/SCK2/ASCK 端子の機能
1	0	0	0	0	0	0	0	x注	x注	0	1	x注	x注	x注	x注	1	x注	LSB	外部クロック	P70	TxD (CMOS出力)	P113	P114	ASCK入力
		1																						x注
0	1	0	0	0	0	0	1	x	x注	x注	x注	x注	x注	x注	x注	1	x注	外部クロック	RxD	P71	TxD (CMOS出力)	P113	P114	ASCK入力
		1																						x注
1	1	0	0	0	0	0	1	x	0	1	x注	x注	x注	x注	x注	1	x注	外部クロック	RxD	P71	TxD (CMOS出力)	P113	P114	ASCK入力
		1																						x注
1	0	0	0	0	0	1	0	x注	x注	0	1	0	1	x注	x注	1	x注	外部クロック	P70	ハイ出力	TxD	P113	P114	ASCK入力
		1																						x注
0	1	0	0	0	0	0	1	1	x	x注	x注	x注	x注	1	x	1	x注	外部クロック	P70	P71	P113	P113	RxD	ASCK入力
		1																						x注
1	1	0	0	0	0	1	1	1	x	0	1	0	1	1	x	1	x注	外部クロック	P70	ハイ出力	TxD	P113	RxD	ASCK入力
		1																						x注
上記以外																		設定禁止						

注 ポート機能として自由に使用できます。

備考 x : don't care

PMx x : ポート・モード・レジスタ

Px x : ポートの出力ラッチ

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISは、8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASISの内容は不定となります。

RESET入力により、00Hになります。

図17-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS	0	0	0	0	0	PE	FE	OVE	FF71H	00H	R

PE	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) 注1

OVE	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき) 注2

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット2 (SL) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
- 2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。RXBを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

シリアル・インタフェース・チャンネル2のシリアル・クロックを設定するレジスタです。

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択		n
				MCS = 1	MCS = 0	
0	0	0	0	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^8$ (2.4 kHz)	11
0	1	0	1	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. n : TPS0-TPS3で設定した値 (1 ≤ n ≤ 11)

4. () 内は、 $f_x = 5.0$ MHz動作時。

図17-6 ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット (2/2)

MDL3	MDL2	MDL1	MDL0	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	f _{sck} ^注	-

注 3線式シリアルI/Oモード時にのみ使用できます。

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

備考 f_{sck} : 5ビット・カウンタのソース・クロック
k : MDL0-MDL3で設定した値 (0 k 14)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(a) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k + 16)} [\text{Hz}]$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

n : TPS0-TPS3で設定した値 (1 n 11)

k : MDL0-MDL3で設定した値 (0 k 14)

表17 - 3 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	-		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	- 2.01	E3H	- 2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	- 1.31	61H	- 1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	-	-

MCS : 発振モード選択レジスタ (CSMS) のビット0

(b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k + 16)} [\text{Hz}]$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 (0 k 14)

表17-4 ASCK端子入力周波数とボー・レートの関係 (BRGC = 00H設定時)

ボー・レート (bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

(5) シリアル・インタフェース端子選択レジスタ (SIPS)

シリアル・インタフェース・チャンネル2をアシンクロナス・シリアル・インタフェース・モードで使用するとき、使用する入出力端子を選択するレジスタです。

SIPSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

入出力端子を選択する場合、ポート・モード・レジスタおよびポートの出力ラッチを設定する必要があります。詳細については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図17-7 シリアル・インタフェース端子選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アシンクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD/SI2/P70 出力端子：TxD/SO2/P71
0	1	入力端子：RxD/P114 出力端子：TxD/SO2/P71
1	0	入力端子：RxD/SI2/P70 出力端子：TxD/P113
1	1	入力端子：RxD/P114 出力端子：TxD/P113

- 注意1. 入出力端子の切り替えは、シリアル送受信動作を停止させたのちに行ってください。
2. ポート11には立ち下がりエッジ検出機能があります。兼用機能の端子として使用する端子を、立ち下がりエッジ入力に選択しないでください。立ち下がりエッジ入力の設定については、図6-21 キー・リターン・モード・レジスタのフォーマットを参照してください。

17.4 シリアル・インタフェース・チャンネル2の動作

シリアル・インタフェース・チャンネル2の動作モードには、次の3種類があります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

17.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。

また、動作停止モードでは、P70/SI2/RxD, P71/SO2/TxD, P72/SCK2/ASCK, P113/TxD, P114/RxD端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ2 (CSIM2) とアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	CSIM2	CCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0、ビット3-ビット6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	FF70H	00H	R/W

TXE	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE	受信動作の制御
0	受信動作停止
1	受信動作許可

17.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCK端子への入力クロックを分周してポー・レートを定義することもできます。

UART専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用することもできます。

データ入出力端子 (RxD, TxD) を2系統内蔵しており、ソフトウェアにより使用する端子を選択できます。一度に使用できる端子は1系統のみです。

注意 データ入出力端子を切り替える必要がない場合は、RxD/SI2/P70, TxD/SO2/P71を使用することを推奨します。ポート11 (RxD/P114, TxD/P113) のみをデータ入出力端子として使用すると、ポート7の機能が制限されます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)、シリアル・インタフェース端子選択レジスタ (SIPS) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

UARTモード選択時は、CSIM2に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	CSIM2	CSCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

CSIM22	先頭ビットの指定
0	MSB
1	LSB

CSCK	3線式シリアルI/Oモード時のクロックの選択
0	SCK2端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意 ビット0、ビット3-ビット6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	FF70H	00H	R/W

TXE	送信動作の制御	
0	送信動作停止	
1	送信動作許可	
RXE	受信動作の制御	
0	受信動作停止	
1	受信動作許可	
PS1	PS0	パリティ・ビットの選択
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ
CL	キャラクタ長の指定	
0	7ビット	
1	8ビット	
SL	送信データのストップ・ビット長の指定	
0	1ビット	
1	2ビット	
ISRM	エラー発生時の受信完了割り込み制御	
0	エラー発生時、受信完了割り込みを発生する	
1	エラー発生時、受信完了割り込みを発生しない	
SCK	アシクロナス・シリアル・インタフェース・モード時のクロックの選択	
0	ASCK端子への外部からの入力クロック	
1	専用ポー・レート・ジェネレータの出力 ^注	

注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS	0	0	0	0	0	PE	FE	OVE	FF71H	00H	R

PE	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) 注1

OVE	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき) 注2

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット2 (SL) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。RXBを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択		n
				MCS = 1	MCS = 0	
0	0	0	0	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{10}$ (2.4 kHz)	11
0	1	0	1	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止		

(続く)

- 備考1. f_x : メイン・システム・クロック発振周波数
2. MCS : 発振モード選択レジスタのビット0
3. n : TPS0-TPS3で設定した値 (1 ≤ n ≤ 11)
4. () 内は、 $f_x = 5.0$ MHz動作時。

MDL3	MDL2	MDL1	MDL0	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	fsck/16	0
0	0	0	1	fsck/17	1
0	0	1	0	fsck/18	2
0	0	1	1	fsck/19	3
0	1	0	0	fsck/20	4
0	1	0	1	fsck/21	5
0	1	1	0	fsck/22	6
0	1	1	1	fsck/23	7
1	0	0	0	fsck/24	8
1	0	0	1	fsck/25	9
1	0	1	0	fsck/26	10
1	0	1	1	fsck/27	11
1	1	0	0	fsck/28	12
1	1	0	1	fsck/29	13
1	1	1	0	fsck/30	14

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

備考 fsck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値 (0 k 14)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(i) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k + 16)} [\text{Hz}]$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

n : TPS0-TPS3で設定した値 (1 n 11)

k : MDL0-MDL3で設定した値 (0 k 14)

表17-5 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	-		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	- 2.01	E3H	- 2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	- 1.31	61H	- 1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	-	-

MCS : 発振モード選択レジスタ (OSMS) のビット0

(ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k + 16)} [\text{Hz}]$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 (0 k 14)

表17 - 6 ASCK端子入力周波数とボー・レートの関係 (BRGC = 00H設定時)

ボー・レート (bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

(e) シリアル・インタフェース端子選択レジスタ (SIPS)

SIPSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

入出力端子を選択する場合、ポート・モード・レジスタおよびポートの出力ラッチを設定する必要があります。詳細については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アシンクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD/SI2/P70 出力端子：TxD/SO2/P71
0	1	入力端子：RxD/P114 出力端子：TxD/SO2/P71
1	0	入力端子：RxD/SI2/P70 出力端子：TxD/P113
1	1	入力端子：RxD/P114 出力端子：TxD/P113

- 注意1. 入出力端子の切り替えは、シリアル送受信動作を停止させたのちに行ってください。
2. ポート11には立ち下がりエッジ検出機能があります。TxD/P113, RxD/P114端子をシリアル・インタフェース・チャンネル2の入出力端子として使用する場合は、キー・リターン・モード・レジスタ (KRM) を操作して、立ち下がりエッジ検出機能の使用を禁止する必要があります。
図6-21 キー・リターン・モード・レジスタのフォーマットを参照してください。

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図17-8に示します。

図17-8 アシncロナス・シリアル・インタフェースの送受信データのフォーマット



1データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット……………1ビット
- ・キャラクタ・ビット……………7ビット/8ビット
- ・パリティ・ビット……………偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット……………1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシncロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

キャラクタ・ビットとして7ビットを選択した場合,下位7ビット(ビット0-ビット6)のみが有効となり,送信の場合は最上位ビット(ビット7)は無視され,受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートの設定は,ASIMとボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) によって行います。

また,シリアルデータの受信エラーが発生した場合,アシncロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出できます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

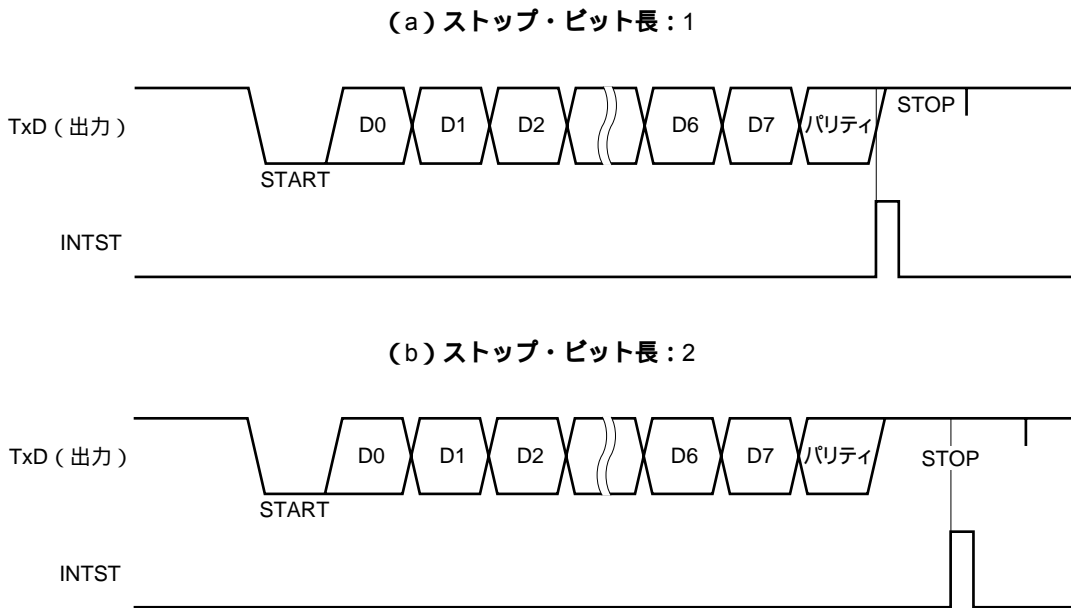
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS内のデータがシフト・アウトされ、TXSが空になると送信完了割り込み要求 (INTST) が発生します。

図17 - 9 アシクロナス・シリアル・インタフェース送信完了割り込み要求タイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。送信中かどうかは、送信完了割り込み要求 (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットがセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMで指定したシリアル・クロックで行います。

RxD端子入力がロウ・レベルになると、ポー・レート・ジェネレータの5ビット・カウンタ (図17-2参照) がカウントを開始し、設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

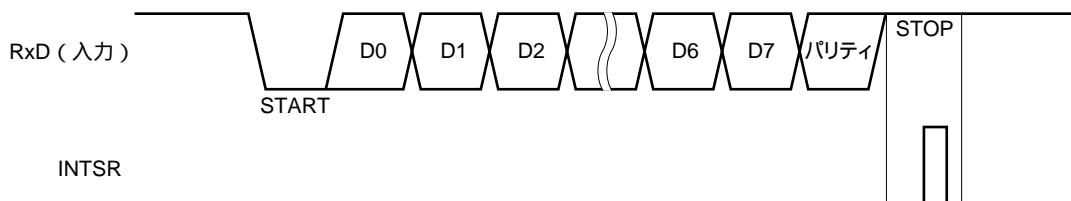
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ (RXB) に転送し、受信完了割り込み要求 (INTSR) を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送します。エラー発生時、ASIMのビット1 (ISRM) がクリア (0) されている場合は、INTSRを発生します。

ISRMビットがセット (1) されている場合は、INTSRは発生しません。

なお、受信動作中にRXEビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXBおよびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は変化せず、また、INTSR、INTSERも発生しません。

図17-10 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) 内に立つと、受信エラー割り込み (INTSER) を発生します。受信エラー割り込みは、受信完了割り込み (INTSR) より先に発生します。受信エラーの要因を表17-9に示します。

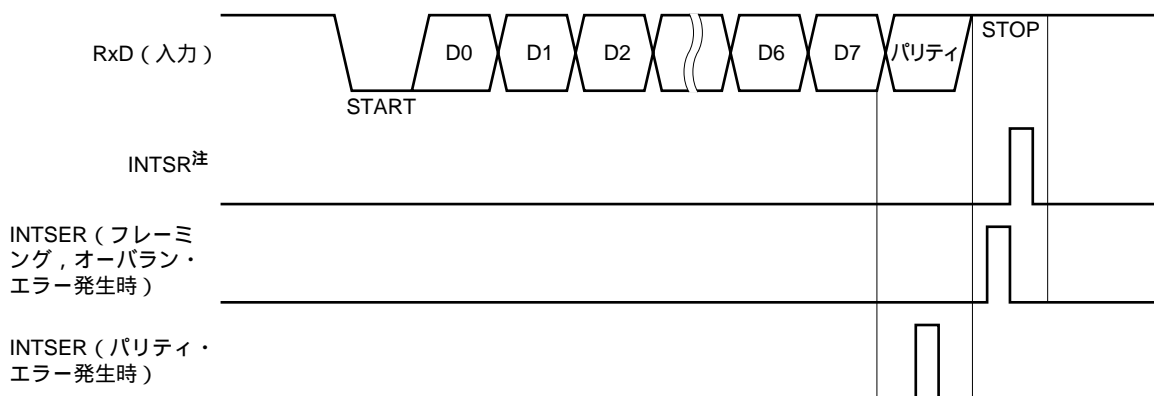
受信エラー割り込み処理 (INTSER) 内で、ASISの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (図17-10, 図17-11参照)。

ASISの内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表17-7 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図17-11 受信エラー・タイミング



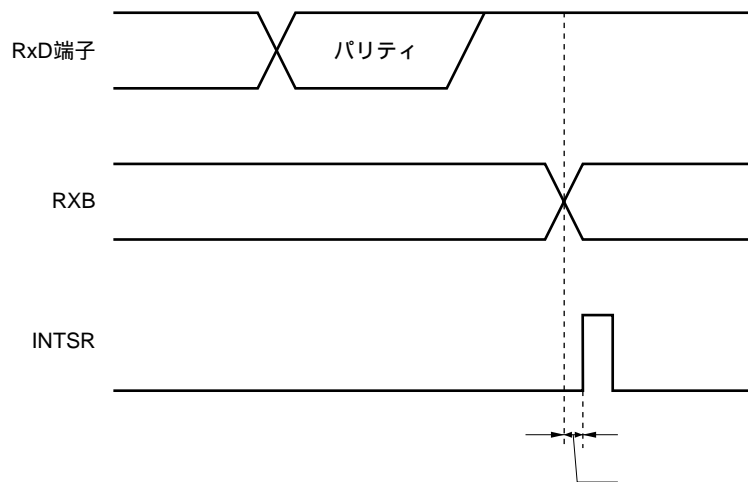
注 アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット1 (ISRM) がセット (1) されている場合に受信エラーが発生したときは、INTSRは発生しません。

- 注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。
2. 受信エラー発生時にも受信バッファ・レジスタ (RXB) は必ず読み出してください。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット7 (TXE) をクリアして送信動作を停止した場合、次の送信を行う前に、必ず送信シフト・レジスタ (TXS) にFFHを設定したのちに、TXEに1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット6 (RXE) をクリア (0) して受信動作を停止した場合、そのタイミングにより受信バッファ・レジスタ (RXB) の状態、受信完了割り込み要求 (INTSR) の発生の有無が異なります。

図17 - 12 受信中断時の受信バッファ・レジスタ (RXB) の状態と割り込み要求 (INTSR) の発生の有無



の区間でRXEに0を設定した場合、RXBは前のデータを保持し、INTSRも発生しません。

の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRは発生しません。

の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRも発生します。

17.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK2}}$)、シリアル出力 (SO2)、シリアル入力 (SI2) の3本のラインで通信を行います。

また、3線式シリアルI/Oモードでは、P113/TxD, P114/RxD端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	CSIM2	CSCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

CSIM22	先頭ビットの指定
0	MSB
1	LSB

CSCK	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK2}}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意 ビット0、ビット3-ビット6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIMに00Hを設定してください。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	FF70H	00H	R/W

TXE	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE	受信動作の制御
0	受信動作停止
1	受信動作許可

PS1	PS0	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL	キャラクタ長の指定
0	7ビット
1	8ビット

SL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

SCK	アシクロナス・シリアル・インタフェース・モード時のクロックの選択
0	ASCK端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

(c) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択		n
				MCS = 1	MCS = 0	
0	0	0	0	$f_x/2^4$ (4.9 kHz)	$f_x/2^1$ (2.4 kHz)	11
0	1	0	1	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止		

(続く)

- 備考1. f_x : メイン・システム・クロック発振周波数
2. MCS : 発振モード選択レジスタのビット0
3. n : TPS0-TPS3で設定した値 (1 ≤ n ≤ 11)
4. () 内は、 $f_x = 5.0$ MHz動作時。

MDL3	MDL2	MDL1	MDL0	ポー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	f _{sck}	-

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

備考 f_{sck} : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値 (0 k 14)

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、BRGCの設定は次のように行ってください。外部からシリアル・クロックを入力する場合はBRGCの設定は必要ありません。

(i) ポー・レート・ジェネレータを使用しないとき

TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1を設定してください。

シリアル・クロック周波数は、5ビット・カウンタのソース・クロック周波数の1/2になります。

(ii) ポー・レート・ジェネレータを使用するとき

MDL0-MDL3, TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1以外の値を設定してください。

シリアル・クロック周波数は、次の式によって求められます。

$$\text{シリアル・クロック周波数} = \frac{f_{xx}}{2^n \times (k + 16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

n : TPS0-TPS3で設定した値 (1 n 11)

k : MDL0-MDL3で設定した値 (0 k 14)

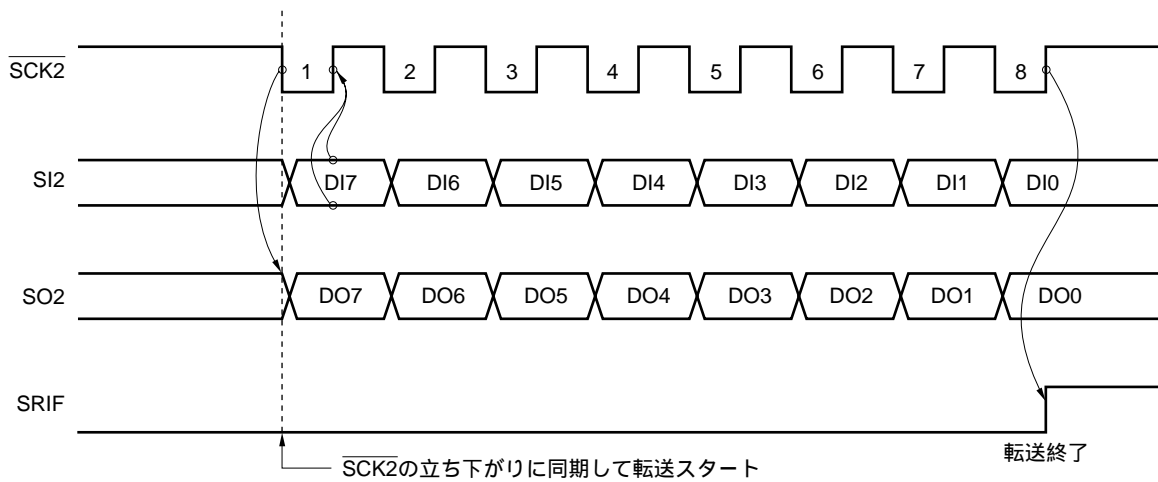
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

送信シフト・レジスタ (TXS/SIO2)、受信シフト・レジスタ (RXS) のシフト動作は、シリアル・クロック ($\overline{\text{SCK2}}$) の立ち下がりに同期して行われます。そして、送信データがSO2ラッチに保持され、SO2端子から出力されます。また、 $\overline{\text{SCK2}}$ の立ち上がりで、SI2端子に入力された受信データが受信バッファ・レジスタ (RXB/SIO2) にラッチされます。

8ビット転送終了により、送信シフト・レジスタ (TXS/SIO2)、受信シフト・レジスタ (RXS) の動作は自動的に停止し、割り込み要求フラグ (SRIF) がセットされます。

図17 - 13 3線式シリアルI/Oモードのタイミング



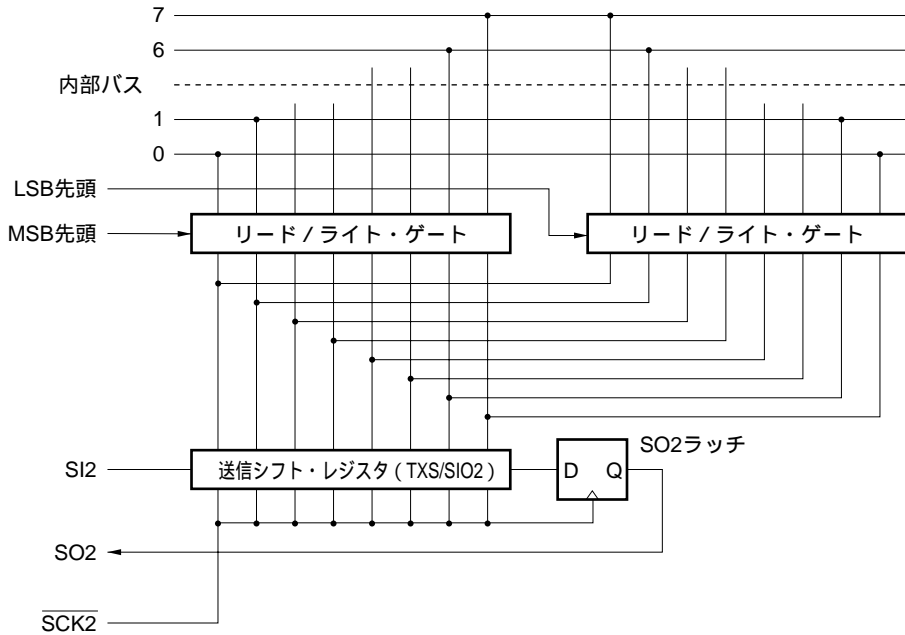
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図17 - 14に送信シフト・レジスタ (TXS/SIO2) , および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ2 (CSIM2) のビット2 (CSIM22) により指定できます。

図17 - 14 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO2へのデータ書き込みのビット順を切り替えることによって実現させています。SIO2のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ (TXS/SIO2) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル2の動作の制御ビット (CSIE2) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK2がハイ・レベルの状態

注意 TXS/SIO2にデータを書き込んだあと、CSIE2を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (SRIF) をセットします。

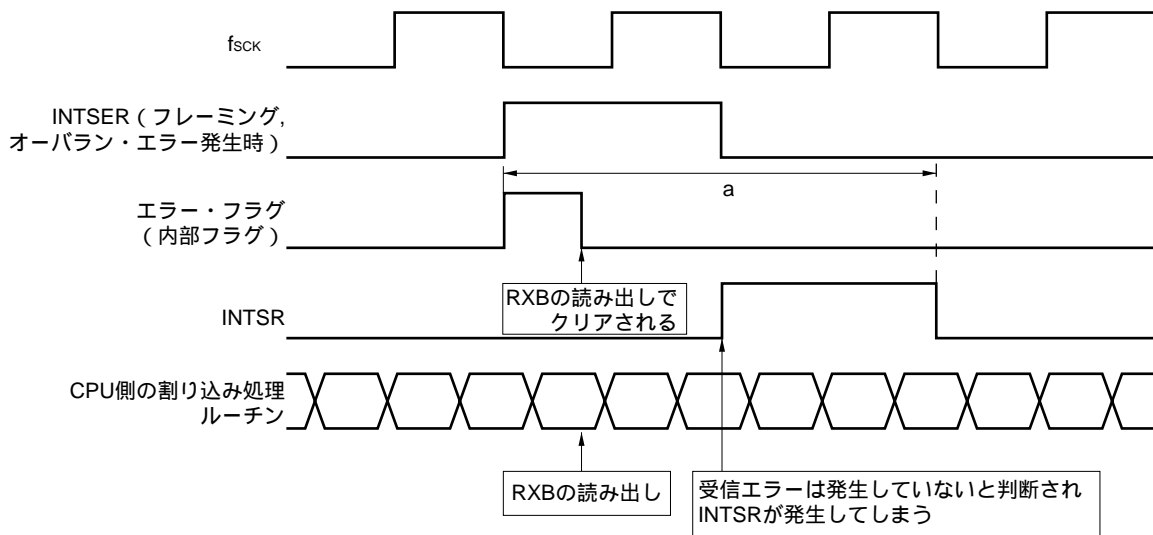
17.4.4 UARTモード使用時の制限事項

UARTモードでは、受信完了割り込み (INTSR) は、受信エラー割り込み (INTSER) が発生し、クリアされてから一定時間遅れて発生します。これにより、次に示す現象が起こることがあります。

内容

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット1 (ISRM) を1にセットした場合、受信エラー発生時に受信完了割り込み (INTSR) が発生しない設定になります。しかし、受信エラー割り込み (INTSER) 処理において、あるタイミング (図17 - 15のa) で受信バッファ・レジスタ (RXB) を読み出すと、内部のエラー・フラグがクリア (0) されてしまいます。したがって、受信エラーは発生していないと判断され、発生するはずのないINTSRが発生します。上記の動作について、図17 - 15に示します。

図17 - 15 受信完了割り込みの発生タイミング (ISRM = 1のとき)



- 備考** ISRM : アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット1
f_{sck} : ボー・レート・ジェネレータの5ビット・カウンタのソース・クロック
RXB : 受信バッファ・レジスタ

この現象を回避するために、次の回避策を行ってください。

回避策

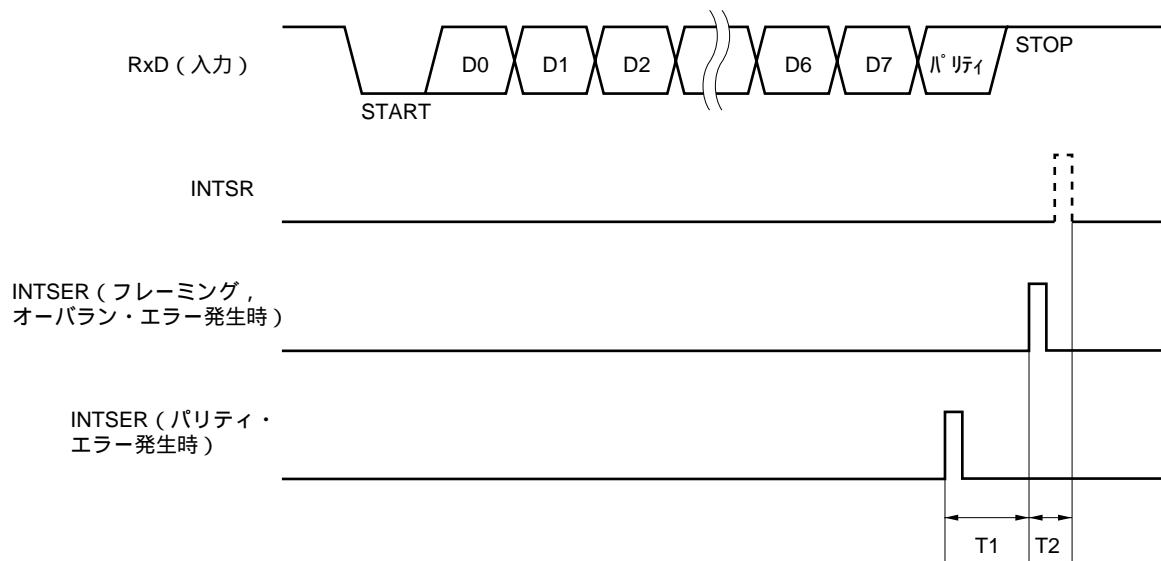
・フレーミング・エラー, オーバラン・エラーの場合

受信エラー割り込み (INTSER) が発生してから一定の期間 (図17 - 16のT₂) , 受信バッファ・レジスタ (RXB) の読み出しを禁止する

・パリティ・エラーの場合

受信エラー割り込み (INTSER) が発生してから一定の期間 (図17 - 16のT₁ + T₂) , 受信バッファ・レジスタ (RXB) の読み出しを禁止する

図17 - 16 受信バッファ・レジスタの読み出し禁止期間



T1 : ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で選択したボー・レートの1データ分の時間 (1 / ボー・レート)

T2 : BRGCで選択した5ビット・カウンタのソース・クロック (f_{sck}) の2クロック分の時間

回避策の例

回避策の例を次に示します。

【条件】

$f_x = 5.0 \text{ MHz}$

プロセッサ・クロック・コントロール・レジスタ (PCC) = 00H

発振モード選択レジスタ (OSMS) = 01H

ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) = B0H (ボー・レートに2400 bpsを選択)

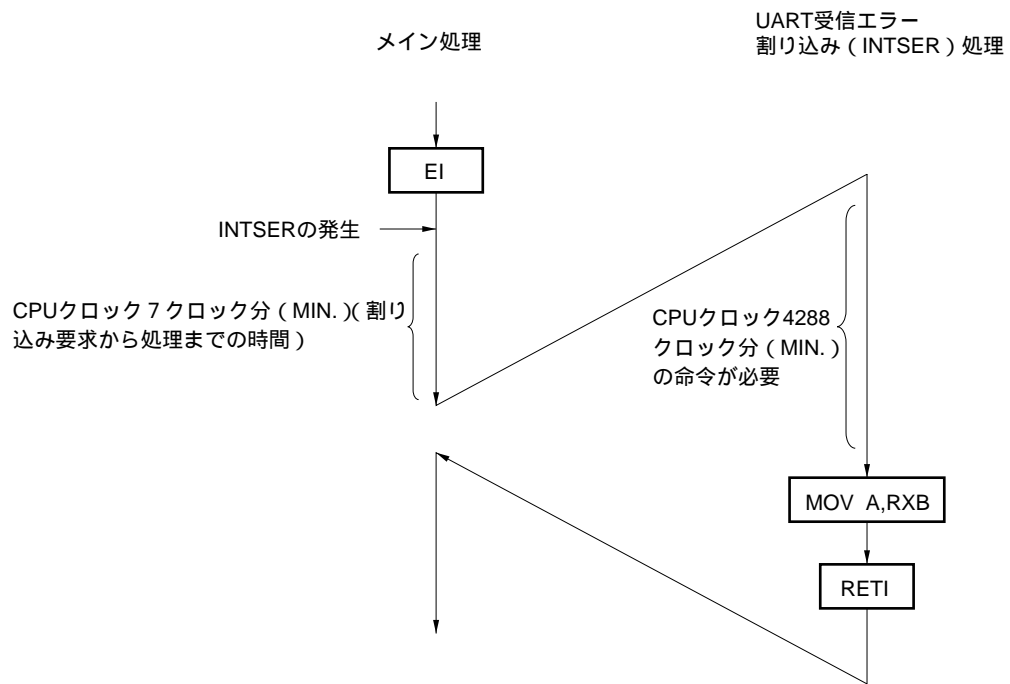
$$T_{cy} = 0.4 \mu s (t_{cy} = 0.2 \mu s)$$

$$T1 = \frac{1}{2400} = 833.4 \mu s$$

$$T2 = 12.8 \times 2 = 25.6 \mu s$$

$$\frac{T1 + T2}{t_{cy}} = 4295 (\text{クロック})$$

【例】



第18章 シリアル・インタフェース・チャンネル3

18.1 シリアル・インタフェース・チャンネル3の機能

シリアル・インタフェース・チャンネル3には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK3}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

18.2 シリアル・インタフェース・チャンネル3の構成

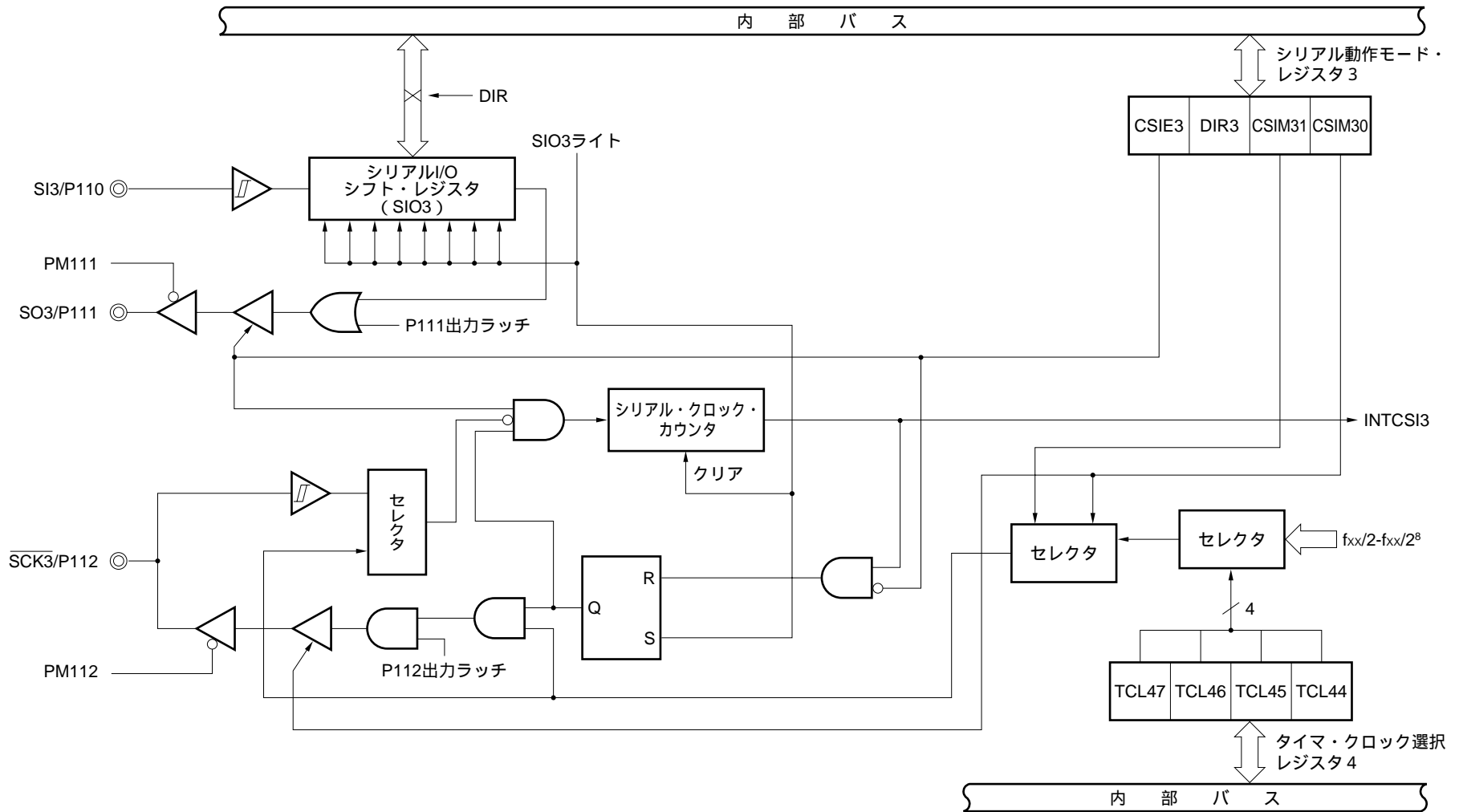
シリアル・インタフェース・チャンネル3は、次のハードウェアで構成しています。

表18 - 1 シリアル・インタフェース・チャンネル3の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	タイマ・クロック選択レジスタ4 (TCL4) シリアル動作モード・レジスタ3 (CSIM3) ポート・モード・レジスタ11 (PM11) ^注

注 図6 - 15 P110, P114-P117のブロック図, 図6 - 16 P111のブロック図を参照してください。

図18-1 シリアル・インタフェース・チャンネル3のブロック図



備考 $f_{xx} = f_x/2$ (MCS = 0), $f_{xx} = f_x$ (MCS = 1)

(1) シリアルI/Oシフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO3は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

SIO3は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

18.3 シリアル・インタフェース・チャンネル3を制御するレジスタ

シリアル・インタフェース・チャンネル3を制御するレジスタには、次の2種類があります。

- ・ タイマ・クロック選択レジスタ4 (TCL4)
- ・ シリアル動作モード・レジスタ3 (CSIM3)

(1) タイマ・クロック選択レジスタ4 (TCL4)

シリアル・インタフェース・チャンネル3のシリアル・クロックを設定するレジスタです。

TCL4は、8ビット・メモリ操作命令で設定します。

RESET入力により、88Hになります。

図18 - 2 タイマ・クロック選択レジスタ4のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL4	TCL47	TCL46	TCL45	TCL44	1	0	0	0	FF44H	88H	R/W

TCL47	TCL46	TCL45	TCL44	シリアル・インタフェース・チャンネル3のシリアル・クロックの選択	
				MCS = 1	MCS = 0
0	1	1	0	設定禁止	$f_x/2^0$ (1.25 MHz)
0	1	1	1	$f_x/2^0$ (1.25 MHz)	$f_x/2^1$ (625 kHz)
1	0	0	0	$f_x/2^1$ (625 kHz)	$f_x/2^2$ (313 kHz)
1	0	0	1	$f_x/2^2$ (313 kHz)	$f_x/2^3$ (156 kHz)
1	0	1	0	$f_x/2^3$ (156 kHz)	$f_x/2^4$ (78.1 kHz)
1	0	1	1	$f_x/2^4$ (78.1 kHz)	$f_x/2^5$ (39.1 kHz)
1	1	0	0	$f_x/2^5$ (39.1 kHz)	$f_x/2^6$ (19.5 kHz)
1	1	0	1	$f_x/2^6$ (19.5 kHz)	$f_x/2^7$ (9.8 kHz)
上記以外				設定禁止	

注意1. ビット0-ビット2には0を、ビット3には1を設定してください。

2. TCL4を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0
3. () 内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ3 (CSIM3)

シリアル・インタフェース・チャンネル3のシリアル・クロック，動作の許可/停止を設定するレジスタです。

CSIM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図18-3 シリアル動作モード・レジスタ3のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM3	CSIE3	DIR3	0 ^{注1}	0	0	0	CSIM31	CSIM30	FF6CH	00H	R/W

CSIE3	CSIM	PM110	P110	PM111	P111	PM112	P112	シリアル・インタフェース・チャンネル3の動作の制御	シリアル・クロック・カウンタの動作の制御	SI3/P110端子の機能	SO3/P111端子の機能	SCK3/P112端子の機能
0	x	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	動作停止	クリア	P110 (CMOS入出力)	P111 (CMOS入出力)	P112 (CMOS入出力)
1	0	1 ^{注3}	x ^{注3}	0	0	1	x	動作許可	カウント動作	SI3 ^{注3} (入力)	SO3 (CMOS出力)	SCK3 (入力)
	1											0

DIR3	先頭ビット	SI3/P110端子の機能	SO3/P111端子の機能
0	MSB	SI3 ^{注3} (入力)	SO3(CMOS出力)
1	LSB		

CSIM31	CSIM30	シリアル・インタフェース・チャンネル3のクロックの選択
0	x	SCK3端子への外部からの入力クロック
1	1	タイマ・クロック選択レジスタ4(TCL4)のビット0-ビット3で指定されたクロック
上記以外		設定禁止

注1. ビット5には，必ず0を設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは，P110 (CMOS入出力) として使用できます。

注意 ポート11には立ち下がりエッジ検出機能があります。SI3/P110, SO3/P111, SCK3/P112端子をシリアル・インタフェース・チャンネル3の入出力端子として使用する場合は，キー・リターン・モード・レジスタ(KRM)を操作して，立ち下がりエッジ検出機能の使用を禁止する必要があります。図6-21 キー・リターン・モード・レジスタのフォーマットを参照してください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

18.4 シリアル・インタフェース・チャンネル3の動作

シリアル・インタフェース・チャンネル3の動作モードには、次の2種類があります。

- ・動作停止モード
- ・3線式シリアル/Oモード

18.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電流を低減できます。

また、シリアル/Oシフト・レジスタ3 (SIO3) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用することができます。また、動作停止モードでは、P110/SI3, P111/SO3, P112/ $\overline{\text{SCK3}}$ 端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	DIR3	0 ^{注1}	0	0	0	CSIM31 CSIM30	FF6CH	00H	R/W

CSIE3	CSIM	PM110	P110	PM111	P111	PM112	P112	シリアル・インタフェース・チャンネル3の動作の制御	シリアル・クロック・カウンタの動作の制御	SI3/P110 端子の機能	SO3/P111 端子の機能	$\overline{\text{SCK3}}$ /P112 端子の機能
0	x	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	動作停止	クリア	P110 (CMOS入出力)	P111 (CMOS入出力)	P112 (CMOS入出力)
1	0	1 ^{注3}	x ^{注3}	0	0	1	x	動作許可	カウント動作	SI3 ^{注3} (入力)	SO3 (CMOS出力)	$\overline{\text{SCK3}}$ (入力)
	1				0	1	$\overline{\text{SCK3}}$ (CMOS出力)					

- 注1. ビット5には、必ず0を設定してください。
2. ポート機能として自由に使用できます。
3. 送信のみ使用するときは、P110 (CMOS入出力) として使用できます。

注意 ポート11には立ち下がりエッジ検出機能があります。SI3/P110, SO3/P111, $\overline{\text{SCK3}}$ /P112端子をシリアル・インタフェース・チャンネル3の入出力端子として使用する場合は、キー・リターン・モード・レジスタ (KRM) を操作して、立ち下がりエッジ検出機能の使用を禁止する必要があります。図6 - 21 キー・リターン・モード・レジスタのフォーマットを参照してください。

- 備考** x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

18.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック(SCK3)、シリアル出力(SO3)、シリアル入力(SI3)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ3(CSIM3)で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	DIR3	0 ^{注1}	0	0	0	CSIM31 CSIM30	FF6CH	00H	R/W

CSIE3	CSIM	PM110	P110	PM111	P111	PM112	P112	シリアル・インタフェース・チャンネル3の動作の制御	シリアル・クロック・カウンタの動作の制御	SI3/P110端子の機能	SO3/P111端子の機能	SCK3/P112端子の機能
0	x	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	動作停止	クリア	P110 (CMOS入出力)	P111 (CMOS入出力)	P112 (CMOS入出力)
1	0	1 ^{注3}	x ^{注3}	0	0	1	x	動作許可	カウント動作	SI3 ^{注3} (入力)	SO3 (CMOS出力)	SCK3 (入力)
	1					0	1					SCK3 (CMOS出力)

DIR3	先頭ビット	SI3/P110端子の機能	SO3/P111端子の機能
0	MSB	SI3 ^{注3} (入力)	SO3(CMOS出力)
1	LSB		

CSIM31	CSIM30	シリアル・インタフェース・チャンネル3のクロックの選択
0	x	SCK3端子への外部からの入力クロック
1	1	タイマ・クロック選択レジスタ4(TCL4)のビット0-ビット3で指定されたクロック
上記以外		設定禁止

注1. ビット5には、必ず0を設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P110(CMOS入出力)として使用できます。

注意 ポート11には立ち下がりエッジ検出機能があります。SI3/P110、SO3/P111、SCK3/P112端子をシリアル・インタフェース・チャンネル3の入出力端子として使用する場合は、キー・リターン・モード・レジスタ(KRM)を操作して、立ち下がりエッジ検出機能の使用を禁止する必要があります。図6-21 キー・リターン・モード・レジスタのフォーマットを参照してください。

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

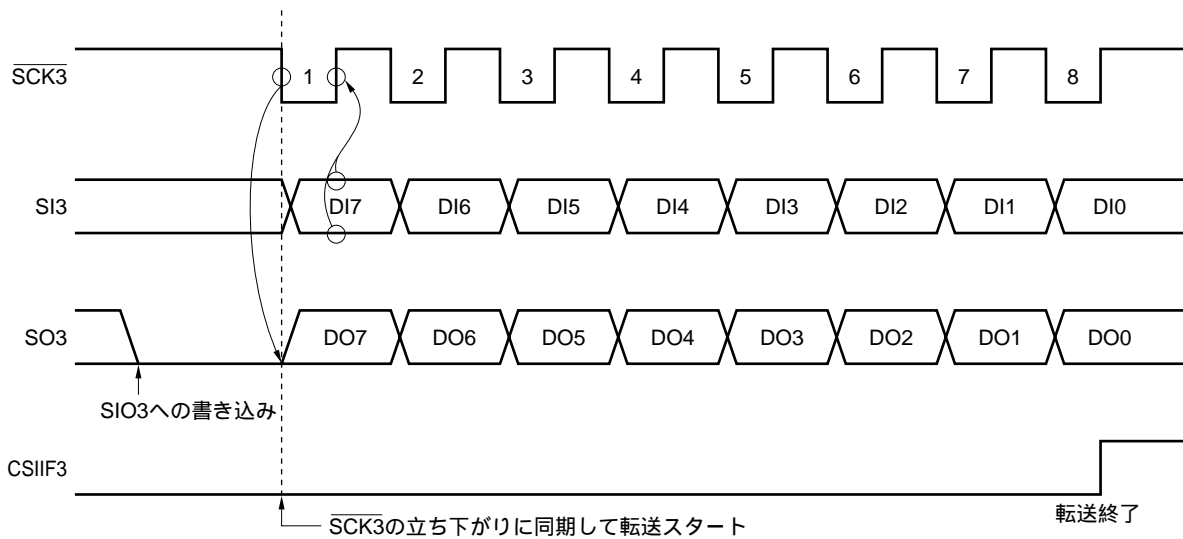
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3 (SIO3) のシフト動作は、シリアル・クロック ($\overline{\text{SCK3}}$) の立ち下がりに同期して行われます。そして、送信データがSO3ラッチに保持され、SO3端子から出力されます。また、 $\overline{\text{SCK3}}$ の立ち上がりで、SI3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により、SIO3の動作は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

図18 - 4 3線式シリアルI/Oモードのタイミング



注意 シリアル転送中にCSIE3を0に設定しないでください。CSIE3を1に設定すると、不定値が出力されます。

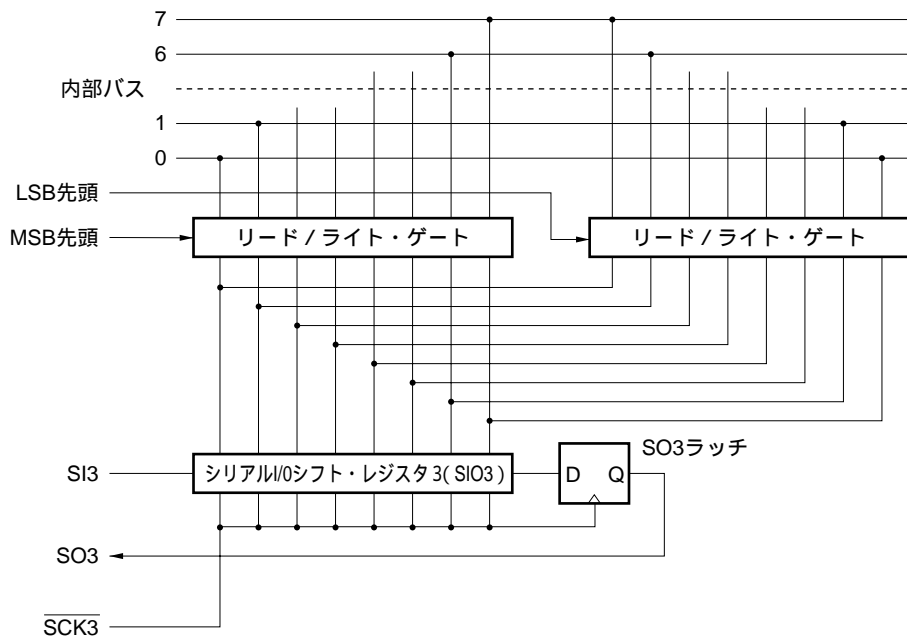
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図18 - 5にシリアルI/Oシフト・レジスタ3 (SIO3)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ3 (CSIM3) のビット2 (CSIM32) により指定できます。

図18 - 5 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO3へのデータ書き込みのビット順を切り替えることによって実現させています。SIO3のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3 (SIO3) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル3の動作の制御ビット (CSIE3) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK3がハイ・レベルの状態

注意 SIO3にデータを書き込んだあと、CSIE3を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIE3) をセットしません。

第19章 LCDコントローラ/ドライバ

19.1 LCDコントローラ/ドライバの機能

μPD780308, 780308Yサブシリーズに内蔵しているLCDコントローラ/ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) 5種類の表示モードが選択可能。
 - ・スタティック
 - ・1/2デューティ (1/2バイアス)
 - ・1/3デューティ (1/2バイアス)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (3) 各表示モードにおいて, 4種類のフレーム周波数を選択可能。
- (4) セグメント信号出力は最大40本 (S0-S39), コモン信号出力は4本 (COM0-COM3)。
セグメント信号出力のうち16本は, 2本単位で入出力ポートに切り替え可能 (P80/S39-P87/S32, P90/S31-P97/S24)。
- (5) マスクROM製品は, マスク・オプションによりLCD駆動電圧発生用の分割抵抗の内蔵可能。
- (6) サブシステム・クロックによる動作も可能。

各表示モードにおける表示可能な最大画素数を表19 - 1に示します。

表19 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
-	スタティック	COM0 (COM1-COM3)	40 (40セグメント×1コモン) ^{注1}
1/2	2	COM0, COM1	80 (40セグメント×2コモン) ^{注2}
	3	COM0-COM2	120 (40セグメント×3コモン) ^{注3}
1/3	3	COM0-COM2	
	4	COM0-COM3	60 (40セグメント×4コモン) ^{注4}

- 注1. ㊄形のLCDパネルで8セグメント/桁のもの5桁。
- 2. ㊄形のLCDパネルで4セグメント/桁のもの10桁。
- 3. ㊄形のLCDパネルで3セグメント/桁のもの13桁。
- 4. ㊄形のLCDパネルで2セグメント/桁のもの20桁。

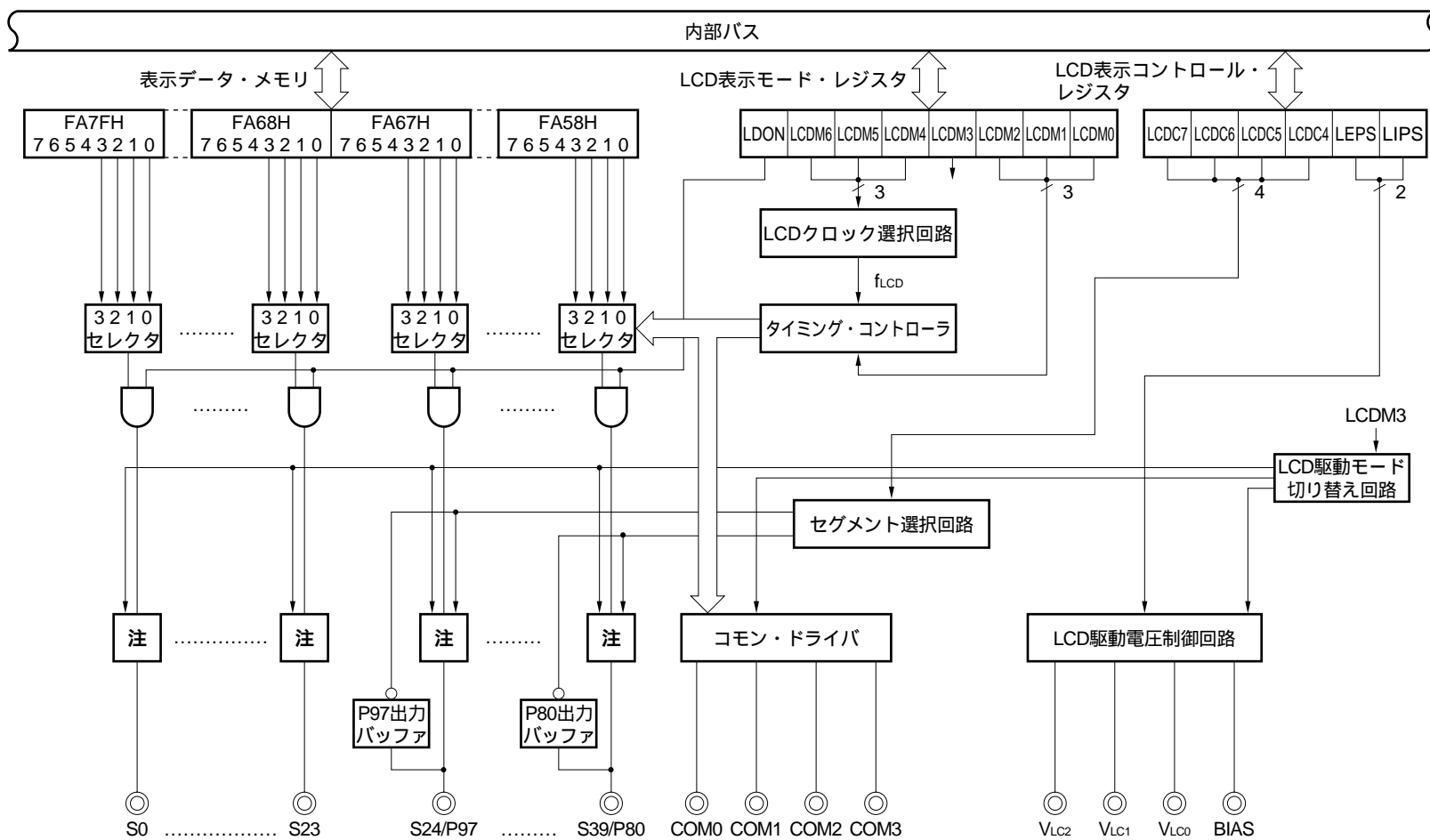
19.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表19-2 LCDコントローラ/ドライバの構成

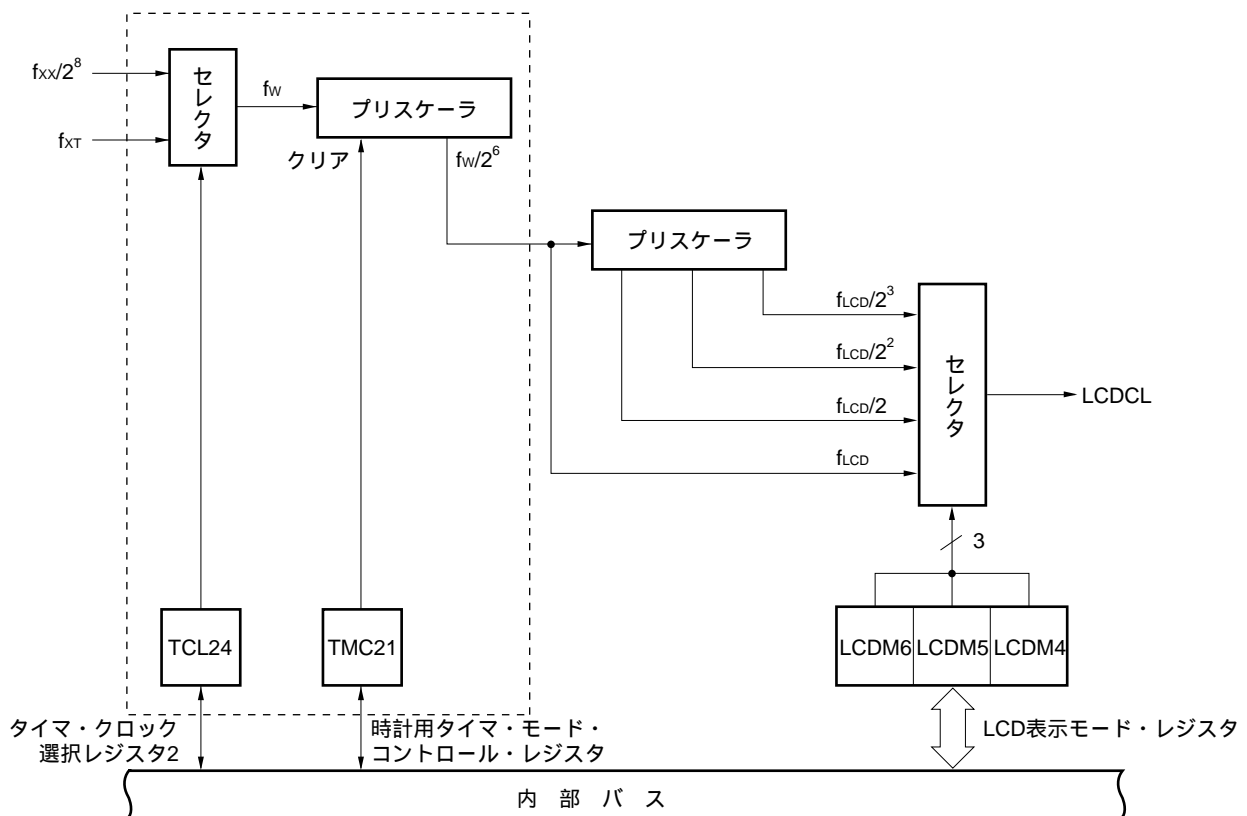
項 目	構 成
表示出力	セグメント信号：40本 セグメント信号専用 : 24本 セグメント信号/入出力ポート兼用：16本 コモン信号：4本（COM0-COM3）
制御レジスタ	LCD表示モード・レジスタ（LCDM） LCD表示コントロール・レジスタ（LCDC）

図19-1 LCDコントローラ/ドライバのブロック図



注 セグメント・ドライバ

図19-2 LCDクロック選択回路のブロック図



- 備考1. 破線部内は、時計用タイマに含まれます。
2. LCDCL : LCDクロック
3. f_{LCD} : LCDクロック周波数
4. $f_{xx} = f_x/2$ (MCS = 0) , $f_{xx} = f_x$ (MCS = 1)

19.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の2種類のレジスタで制御します。

- ・LCD表示モード・レジスタ (LCDM)
- ・LCD表示コントロール・レジスタ (LCDC)

(1) LCD表示モード・レジスタ (LCDM)

表示動作の許可/禁止, LCDクロック, フレーム周波数, 表示モード, 動作モードを設定するレジスタです。

LCDMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

図19-3 LCD表示モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
LCDM	LDON	LCDM6	LCDM5	LCDM4	LCDM3	LCDM2	LCDM1	LCDM0	FFB0H	00H	R/W

LDON	LCD表示の許可 / 禁止
0	表示オフ(セグメント出力はすべて非選択信号出力)
1	表示オン

LCDM6	LCDM5	LCDM4	LCDクロックの選択 ^{注1}		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$f_w/2^{\phi}(76 \text{ Hz})$	$f_w/2^{\phi}(64 \text{ Hz})$	$f_w/2^{\phi}(64 \text{ Hz})$
0	0	1	$f_w/2^{\phi}(153 \text{ Hz})$	$f_w/2^{\phi}(128 \text{ Hz})$	$f_w/2^{\phi}(128 \text{ Hz})$
0	1	0	$f_w/2^{\phi}(305 \text{ Hz})$	$f_w/2^{\phi}(256 \text{ Hz})$	$f_w/2^{\phi}(256 \text{ Hz})$
0	1	1	$f_w/2^{\phi}(610 \text{ Hz})$	$f_w/2^{\phi}(512 \text{ Hz})$	$f_w/2^{\phi}(512 \text{ Hz})$
上記以外		設定禁止			

LCDM3 ^{注2}	LCDコントローラ / ドライバの動作モード	LCDコントローラ / ドライバの電源電圧		
		スタティック表示モード	1/3バイアス法	1/2バイアス法
0	通常動作	2.0~5.5 V	2.5~5.5 V	2.7~5.5 V
1	低電圧動作	2.0~3.4 V		

LCDM2	LCDM1	LCDM0	LCDコントローラ / ドライバの表示モードの選択	
			時分割数	バイアス法
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2
1	0	0	スタティック表示モード	
上記以外		設定禁止		

- 注1. LCDクロックは時計用タイマから供給されています。LCD表示を行う場合には時計用タイマ・モード・レジスタ (TMC2) のビット1 (TMC21) を1にセットしてください。
2. 消費電力低減のため、LCD表示を行わない場合は、LCDM3に0を設定してください。また、LCDM3を操作する場合は、必ずLCD表示をオフにしてから行ってください。
- LCD表示中にTMC21を0にクリアすると、LCDクロックの供給が停止し表示が乱れます。

備考 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})
 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 f_x : メイン・システム・クロック発振周波数
 f_{XT} : サブシステム・クロック発振周波数

表19-3 フレーム周波数 (Hz)

表示デューティ \ LCDCL	$f_w/2^9$ (64 Hz)	$f_w/2^8$ (128 Hz)	$f_w/2^7$ (256 Hz)	$f_w/2^6$ (512 Hz)
スタティック	64	128	256	512
1/2	32	64	128	256
1/3	21	43	85	171
1/4	16	32	64	128

備考1. ()内および表中の数値は、 $f_{xx} = 4.19 \text{ MHz}$ 動作時または $f_{xT} = 32.768 \text{ kHz}$ 動作時。

2. f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xT})
3. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
4. f_x : メイン・システム・クロック発振周波数
5. f_{xT} : サブシステム・クロック発振周波数

(2) LCD表示コントロール・レジスタ (LCDC)

LCD駆動電圧発生用の分割抵抗へ流れる電流のカットおよびセグメント出力と入出力ポートとの切り替えを設定するレジスタです。

LCDCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-4 LCD表示コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W
LCDC	LCDC7	LCDC6	LCDC5	LCDC4	0	0	LEPS LIPS	FFB2H	00H	R/W

LCDC7	LCDC6	LCDC5	LCDC4	P80/S39-P97/S24端子の機能	
				ポート端子	セグメント端子
0	0	0	0	P80-P97	なし
0	0	0	1	P80-P95	S24, S25
0	0	1	0	P80-P93	S24-S27
0	0	1	1	P80-P91	S24-S29
0	1	0	0	P80-P87	S24-S31
0	1	0	1	P80-P85	S24-S33
0	1	1	0	P80-P83	S24-S35
0	1	1	1	P80, P81	S24-S37
1	0	0	0	なし	S24-S39
上記以外				設定禁止	

LEPS	LIPS	LCD駆動電源の選択
0	0	LCD駆動用電源を供給しない
0	1	V _{DD} からLCD駆動用電源を供給する
1	0	BIAS端子から駆動用電源を供給する (BIAS端子とV _{LCO} 端子を内部でショート)
1	1	設定禁止

- 注意1. セグメント出力を行っている端子は、ポート・モード・レジスタに0を設定しても出力ポートとして使用できません。
2. セグメント出力を行っている端子をポートとして読み出したときは0になります。
3. LCDCでセグメント出力として設定した端子は、プルアップ抵抗オプション・レジスタHのビット0, 1 (PUO8, PUO9) の値にかかわらず、内蔵プルアップ抵抗が使用されません。

19.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。なお、LCDコントローラ/ドライバを使用する場合、あらかじめ時計用タイマを動作状態にしておいてください。

タイマ・クロック選択レジスタ2 (TCL2) , 時計用タイマ・モード・コントロール・レジスタ (TMC2) に時計動作許可を設定する。

表示データ・メモリ (FA58H-FA7FH) に初期値を設定する。

LCD表示コントロール・レジスタ (LCDC) にセグメント出力として使用する端子を設定する。

LCD表示モード・レジスタ (LCDM) に表示モード、動作モード、LCDクロックを設定する。

以後、表示内容に応じて表示データ・メモリにデータを設定してください。

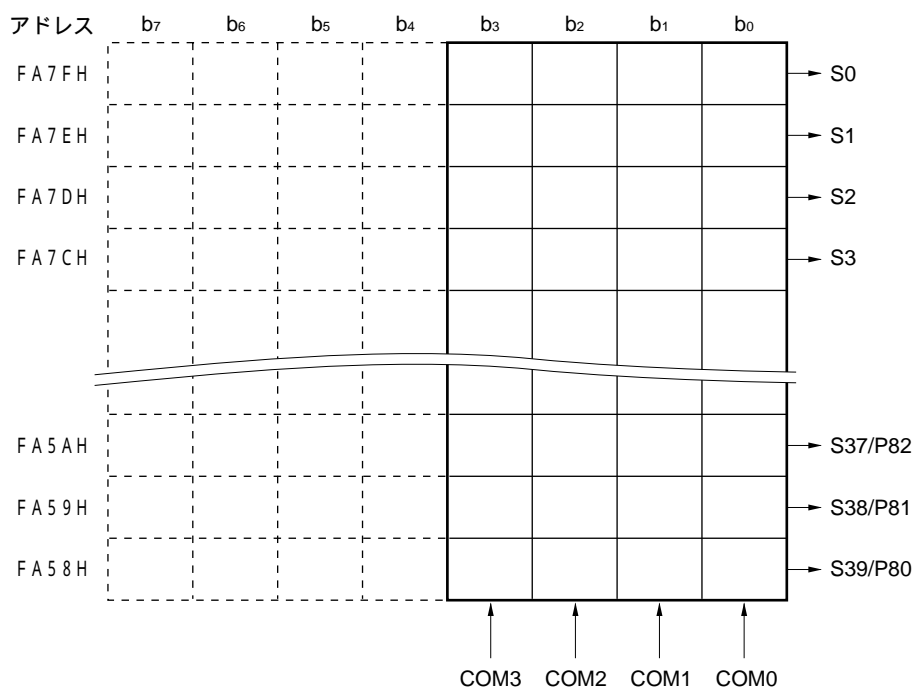
19.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA58H-FA7FH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図19-5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図19-5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

19.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表19-4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック表示モードの場合はCOM0-COM3に同一信号が出力されません。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

表19-4 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3
スタティック	↑	↑	↑	↑
2時分割	↑	↑	オープン	オープン
3時分割	↑	↑	↑	オープン
4時分割	↑	↑	↑	↑

(2) セグメント信号

セグメント信号は、40バイトのLCD表示データ・メモリ（FA58H-FA7FH）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S39）に出力されます（ただし、S24-S39は入出力ポートと兼用になっています）。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック表示モードの場合のLCD表示データ・メモリのビット1、ビット2、2時分割方式の場合のビット2、ビット3、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

なお、ビット4-ビット7は0固定となっています。

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表19 - 5に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表19 - 5 LCD駆動電圧

(a) スタティック表示モード

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS1}/V_{LC0}	V_{LC0}/V_{SS1}
V_{LC0}/V_{SS1}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS1}/V_{LC0}	V_{LC0}/V_{SS1}
選択信号レベル	V_{LC0}/V_{SS1}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	$V_{LC1} = V_{LC2}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

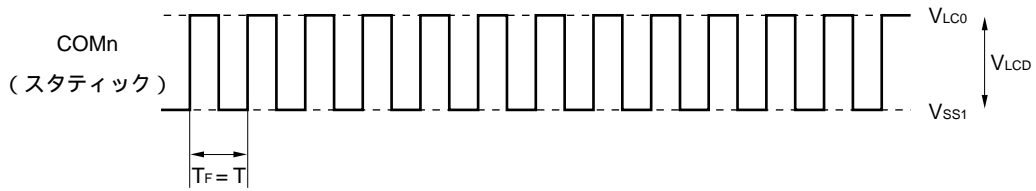
(c) 1/3バイアス法

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS1}/V_{LC0}	V_{LC1}/V_{LC2}
選択信号レベル	V_{LC0}/V_{SS1}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{LC2}/V_{LC1}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$

図19 - 6にコモン信号波形を，図19 - 7にコモン信号とセグメント信号の電圧と位相を示します。

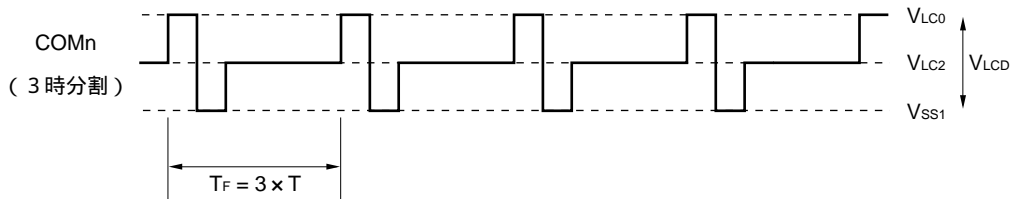
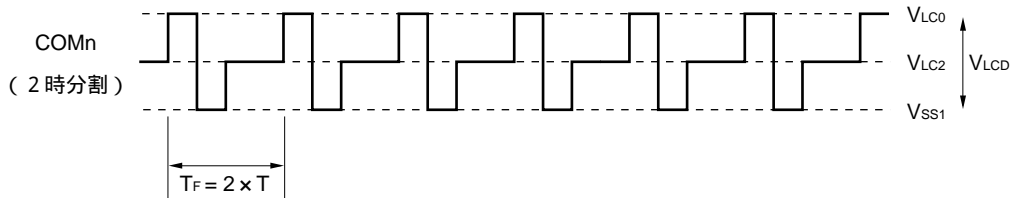
図19 - 6 コモン信号波形

(a) スタティック表示モード



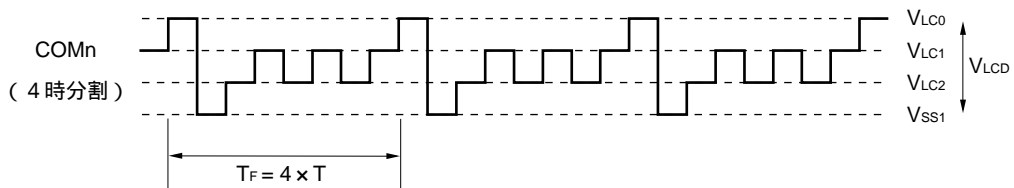
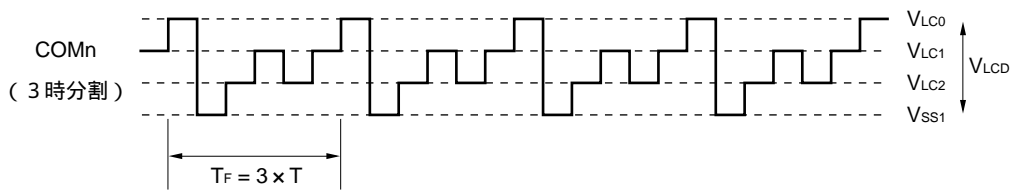
T : LCDCLの1周期分 T_F : フレーム周波数

(b) 1/2バイアス法



T : LCDCLの1周期分 T_F : フレーム周波数

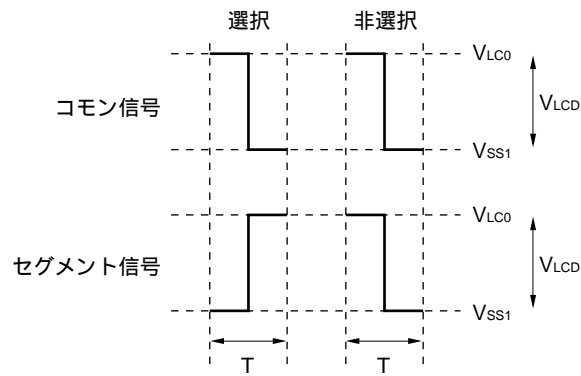
(c) 1/3バイアス法



T : LCDCLの1周期分 T_F : フレーム周波数

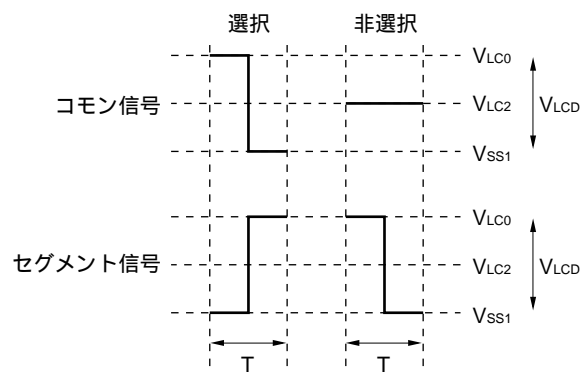
図19-7 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



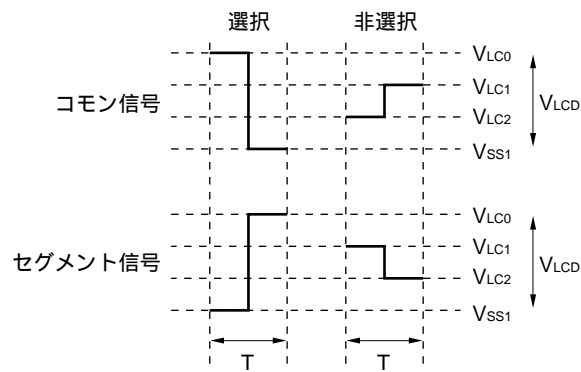
T : LCDCLの1周期分

(b) 1/2バイアス法



T : LCDCLの1周期分

(c) 1/3バイアス法



T : LCDCLの1周期分

19.7 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

マスクROM製品 (μ PD780306, 780308, 780306Y, 780308Y) は, LCD駆動電圧を作るための分割抵抗を, マスク・オプションにより内蔵することができます (PROM製品 (μ PD78P0308, 78P0308Y) には, 分割抵抗を内蔵していません)。分割抵抗を内蔵することにより, 外付け分割抵抗なしで表19-6に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

また, 各種LCD駆動電圧に対応するために, BIAS端子にLCD駆動電圧を供給することができます。

表19-6 LCD駆動電圧 (分割抵抗内蔵時)

LCD駆動用電源端子	バイアス法	バイアスなし (スタティック)	1/2バイアス法	1/3バイアス法
V_{LC0}		V_{LCD}	V_{LCD}	V_{LCD}
V_{LC1}		$\frac{2}{3} V_{LCD}$	$\frac{1}{2} V_{LCD}$ 注	$\frac{2}{3} V_{LCD}$
V_{LC2}		$\frac{1}{3} V_{LCD}$		$\frac{1}{3} V_{LCD}$

注 1/2バイアス法の場合は, V_{LC1} 端子と V_{LC2} 端子を外部で接続する必要があります。

備考1. BIAS端子と V_{LC0} 端子が開放時は, $V_{LCD} = \frac{3}{5} V_{DD}$ となります (分割抵抗内蔵時)。

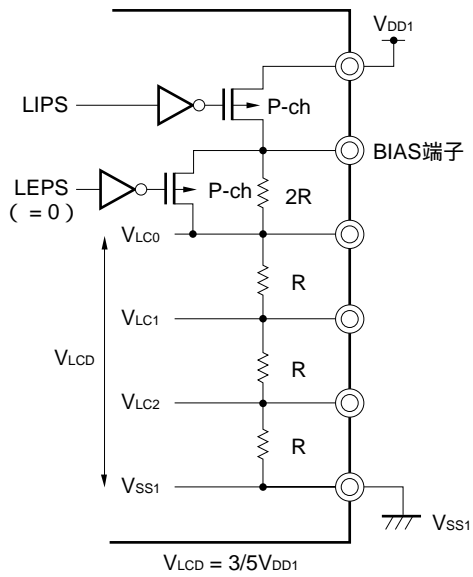
2. BIAS端子と V_{LC0} 端子が結線時は, $V_{LCD} = V_{DD1}$ となります。

表19-6に従った内部からのLCD駆動電圧の供給例を図19-8, 19-9に示します。また, 外部からのLCD駆動電圧の供給例を図19-10に示します。可変抵抗 r により, 段階のないLCD駆動電圧の供給ができます。

図19-8 LCD駆動用電源の接続例(分割抵抗内蔵時)

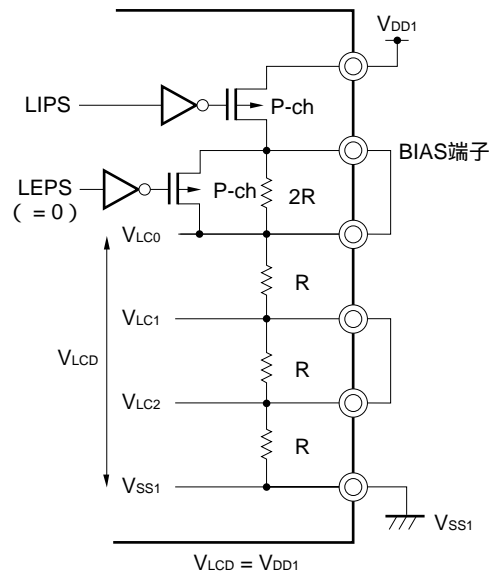
(a) 1/3バイアス法およびスタティック表示モード

($V_{DD1} = 5V$, $V_{LCD} = 3V$ の例)



(b) 1/2バイアス法

($V_{DD1} = 5V$, $V_{LCD} = 5V$ の例)



(c) 1/3バイアス法およびスタティック表示モード

($V_{DD1} = 5V$, $V_{LCD} = 5V$ の例)

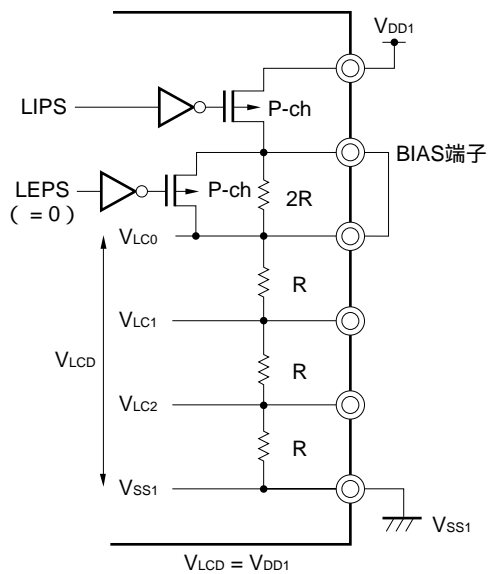
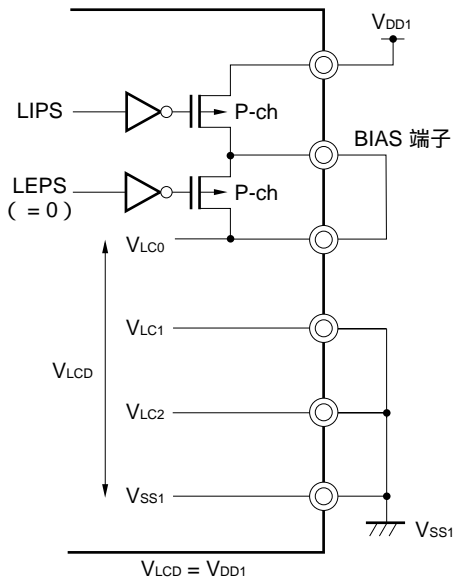


図19-9 LCD駆動用電源の接続例(分割抵抗外付け時)

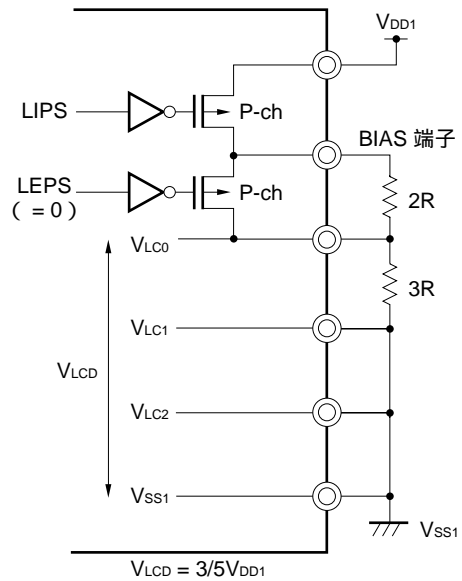
(a) スタティック表示モード^注

($V_{DD1} = 5V, V_{LCD} = 5V$ の例)



(b) スタティック表示モード

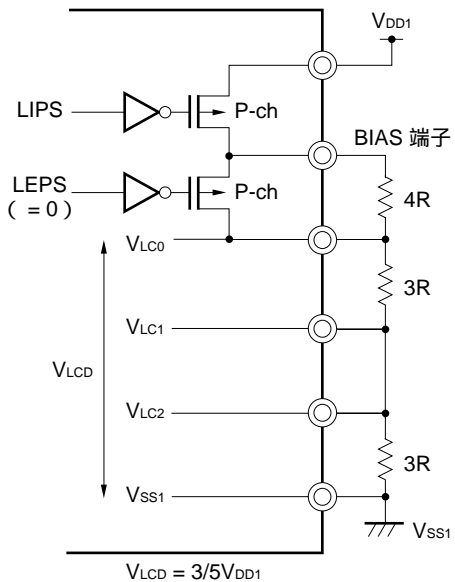
($V_{DD1} = 5V, V_{LCD} = 3V$ の例)



注 LIPSは常に1に設定してください(スタンバイ・モードを含む)。

(c) 1/2バイアス法

($V_{DD1} = 5V, V_{LCD} = 3V$ の例)



(d) 1/3バイアス法

($V_{DD1} = 5V, V_{LCD} = 3V$ の例)

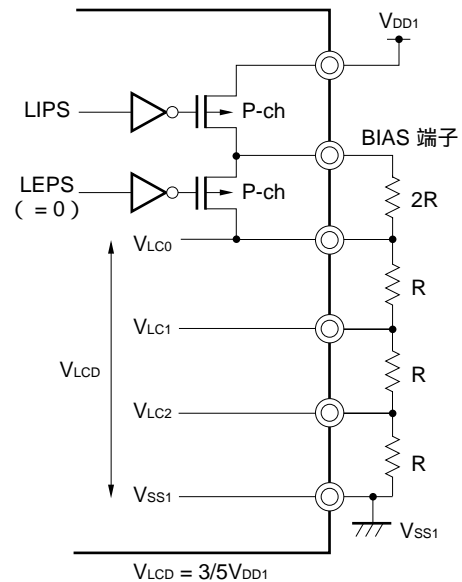
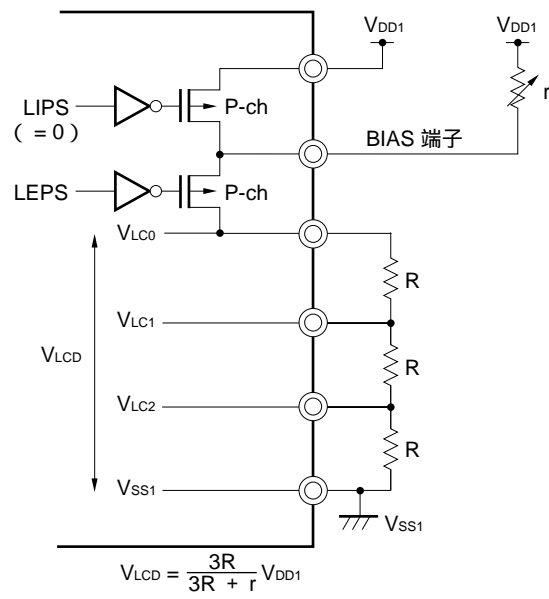


図19 - 10 外部からのLCD駆動用電源の接続例



19.8 表示モード

19.8.1 スタティック表示例

図19 - 12は、図19 - 11の表示パターンを持つスタティック方式の5桁のLCDパネルと μ PD780308, 780308Yサブシリーズのセグメント信号 (S0-S39) およびコモン信号 (COM0) との接続を示します。表示例は123.45で、表示データ・メモリ (FA58H-FA7FH番地) の内容はこれに対応しています。

ここでは3桁目の3.(3.)を例にとって説明します。図19 - 11の表示パターンに従って、COM0のコモン信号のタイミングで表19 - 7に示すような選択、非選択電圧をS16-S23端子に出力する必要があります。

表19 - 7 選択、非選択電圧 (COM0)

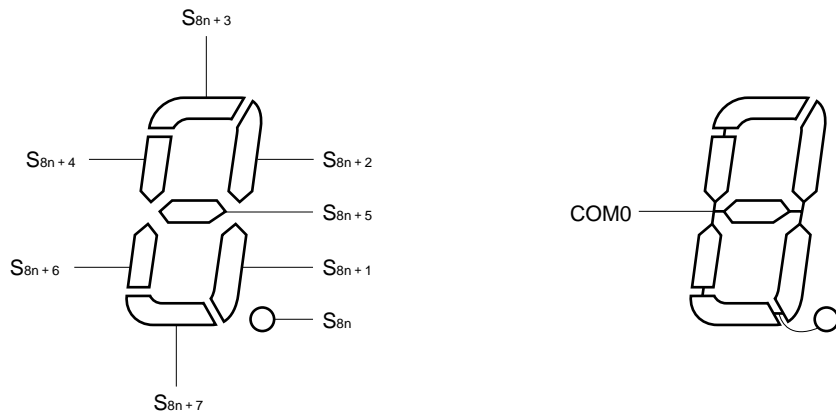
セグメント コモン	S16	S17	S18	S19	S20	S21	S22	S23
COM0	選	選	選	選	非	選	非	選

これによりS16-S23に対応する表示データ・メモリ (FA68H-FA6FH番地) のビット0には、10101111を用意すればよいことが分かります。

S19, S20とCOM0とのLCD駆動波形を図19 - 13に示します。COM0との選択タイミングでS19が選択電圧になるときに、LCD点灯レベルである $+V_{LCD} / -V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図19 - 11 スタティックLCDの表示パターンと電極結線



n = 0-4

図19-12 スタティックLCDパネルの結線例

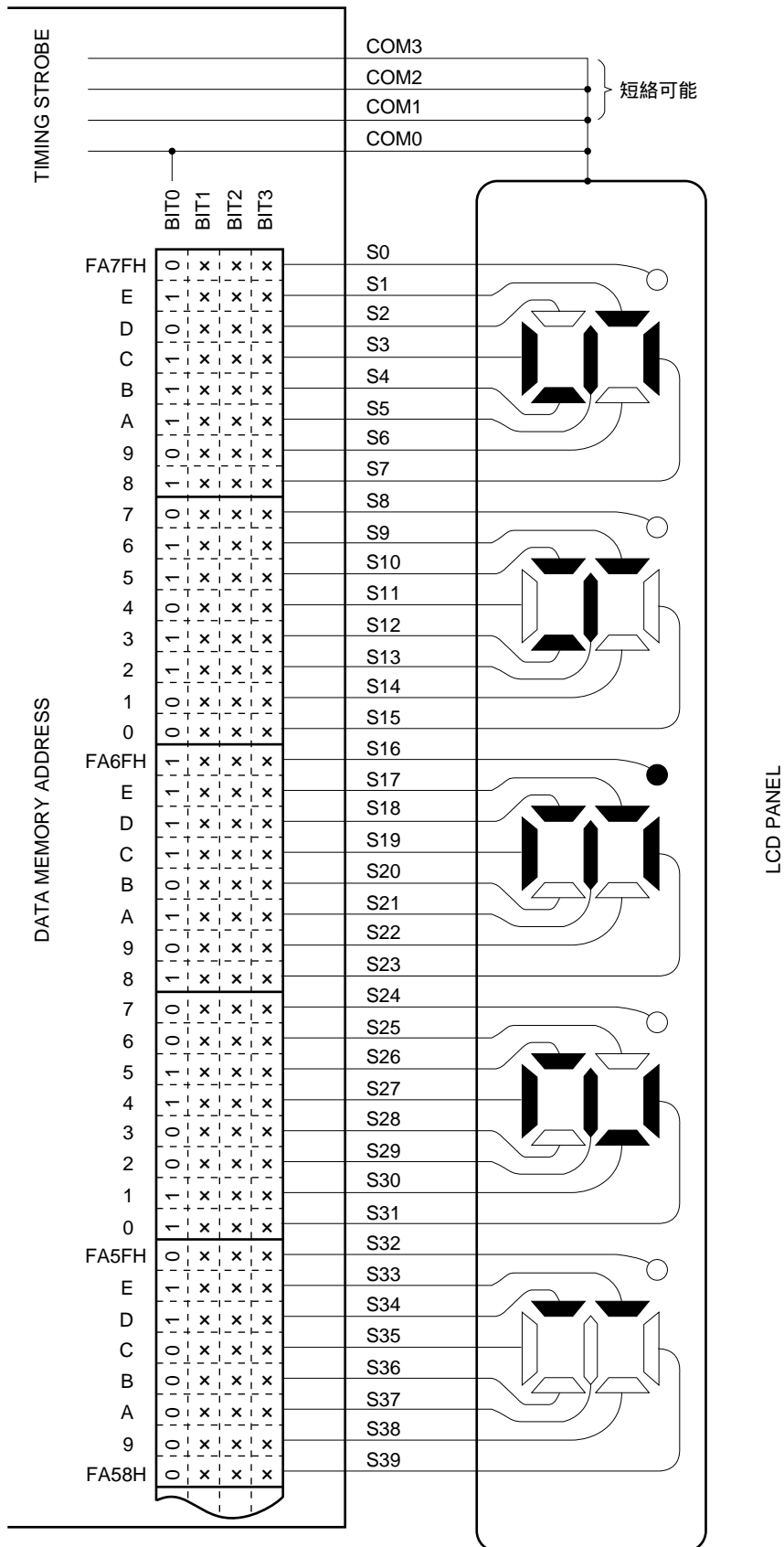
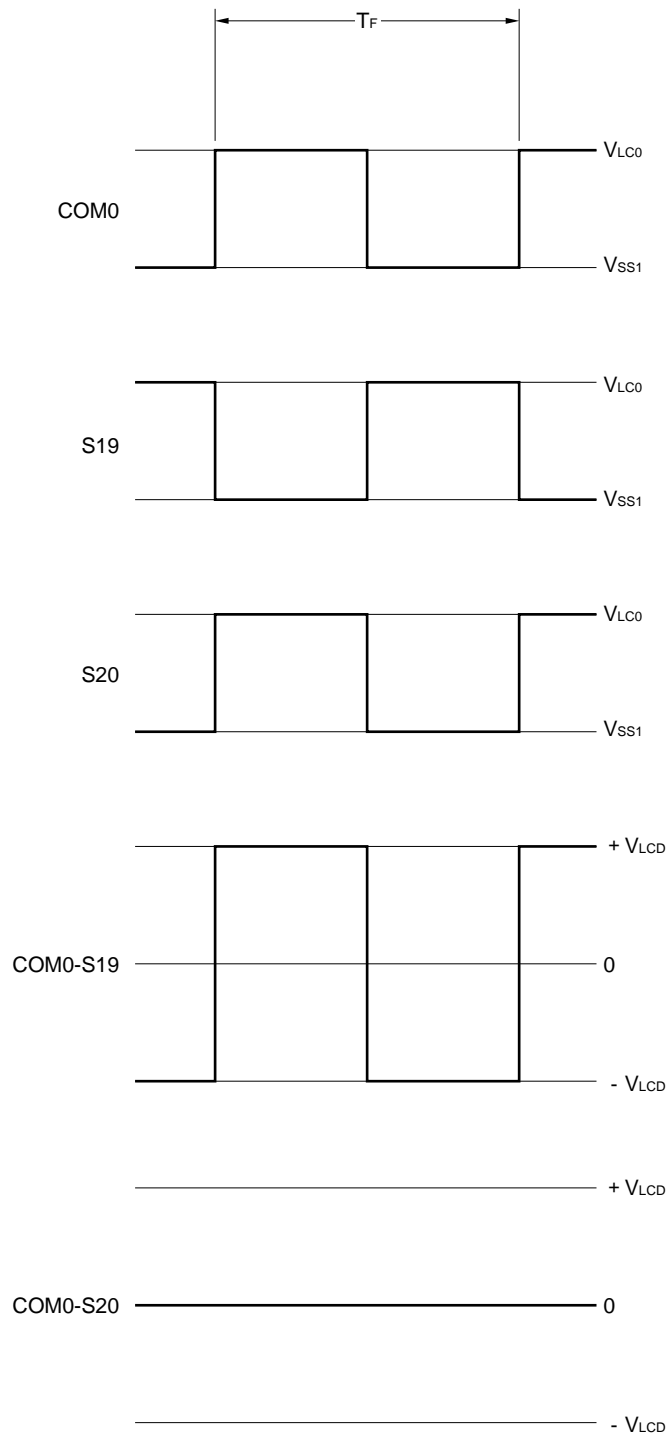


図19 - 13 スタティックLCD駆動波形例



19.8.2 2時分割表示例

図19 - 15は、図19 - 14の表示パターンを持つ2時分割方式の10桁LCDパネルと μ PD780308, 780308Yサブシリーズのセグメント信号 (S0-S39) およびコモン信号 (COM0, COM1) との接続を示します。表示例は123456.7890で、表示データ・メモリ (FA58H-FA7FH番地) の内容はそれらに対応しています。

ここでは8桁目の3 (ヨ) を例にとって説明します。図19 - 14の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表19 - 8に示すような選択、非選択電圧をS28-S31端子に出力する必要があります。

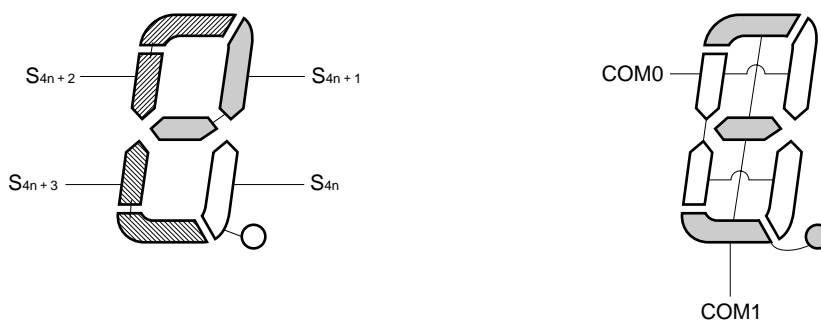
表19 - 8 選択、非選択電圧 (COM0, COM1)

セグメント コモン	S28	S29	S30	S31
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばS31に対応する表示データ・メモリ (FA60H番地) には、 $\times \times 10$ を用意すればよいことが分かります。

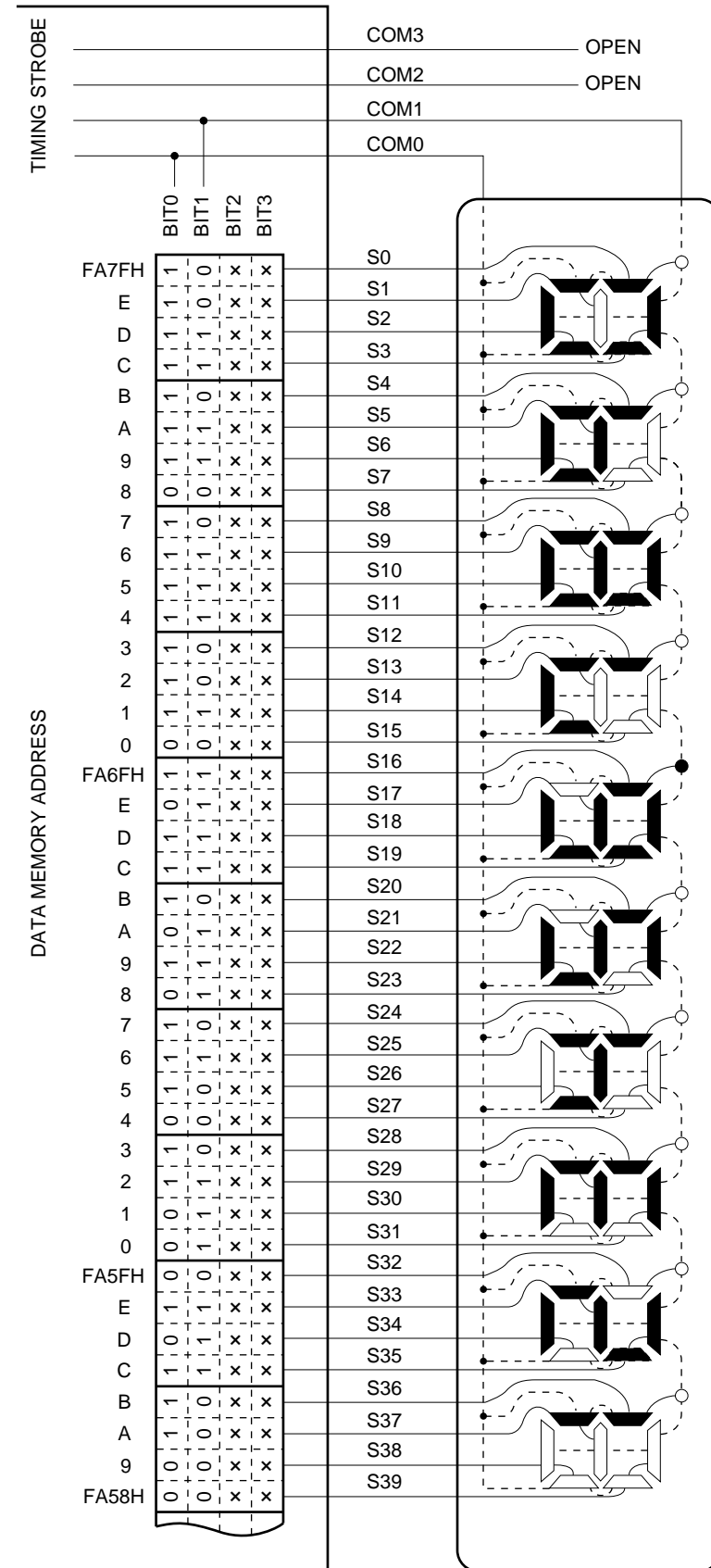
S31と各コモン信号間のLCD駆動波形例を図19 - 16に示します。COM1の選択タイミングでS31が選択電圧のときに、LCD点灯レベルである $+V_{LCD} / -V_{LCD}$ の交流矩形波が発生することが分かります。

図19 - 14 2時分割LCD表示パターンと電極結線



n = 0-9

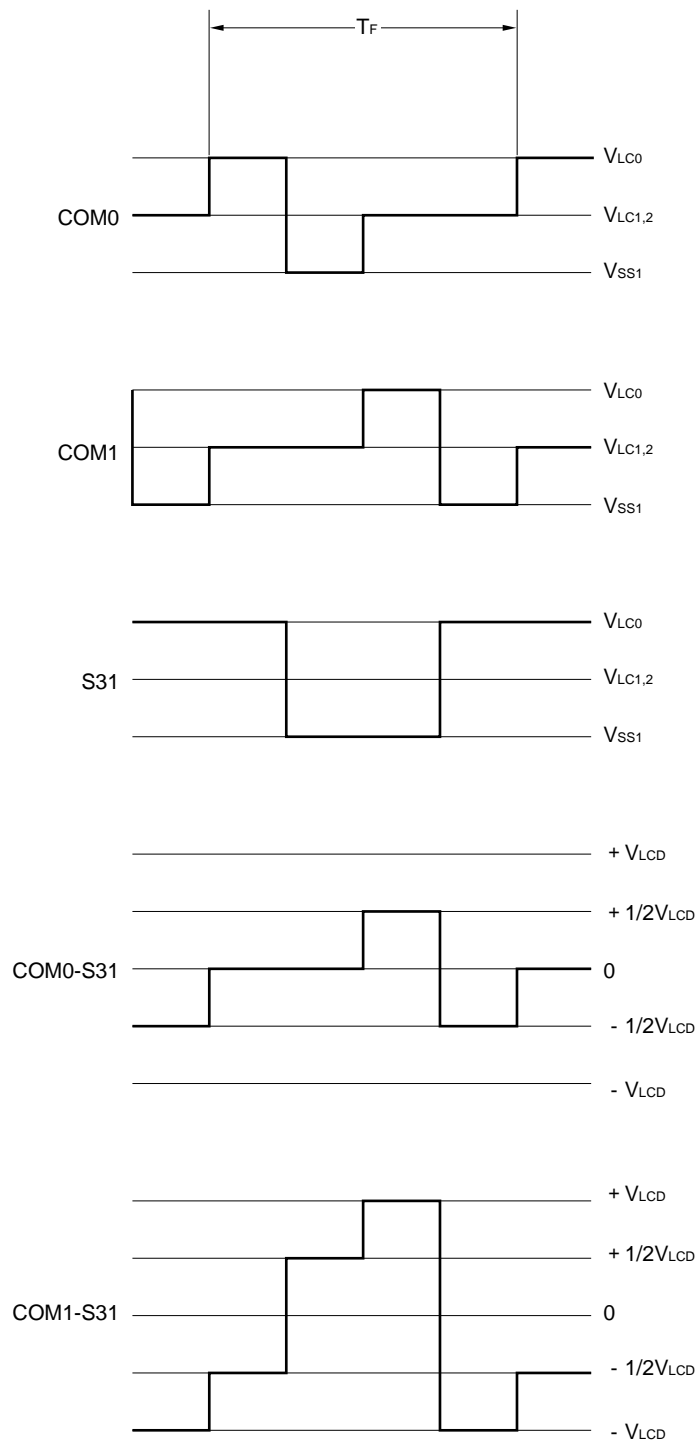
図19 - 15 2時分割LCDパネルの結線例



LCD PANEL

x : 2時分割表示のため、常に任意のデータをストア可能です。

図19 - 16 2時分割LCD駆動波形例 (1/2バイアス法)



19. 8. 3 3時分割表示例

図19 - 18は、図19 - 17の表示パターンを持つ3時分割方式の13桁LCDパネルと μ PD780308, 780308Yサブシリーズのセグメント信号 (S0-S38) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.7890123で、表示データ・メモリ (FA59H-FA7FH番地) の内容はこれに対応しています。

ここでは8桁目の6.($\bar{5}$.)を例にとって説明します。図19 - 17の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表19 - 9に示すような選択、非選択電圧をS21-S23端子に出力する必要があります。

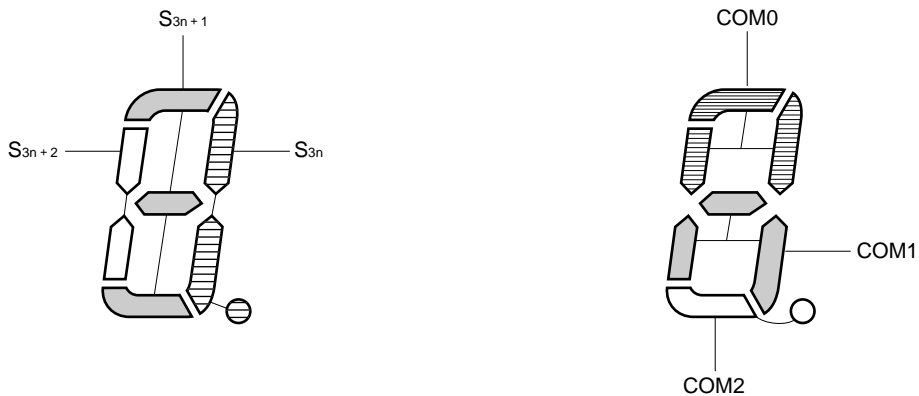
表19 - 9 選択、非選択電圧 (COM0-COM2)

セグメント コモン	S21	S22	S23
COM0	非	選	選
COM1	選	選	選
COM2	選	選	-

これによりS21に対応する表示データ・メモリ (FA6AH番地) には、 $\times 110$ を用意すればよいことが分かります。

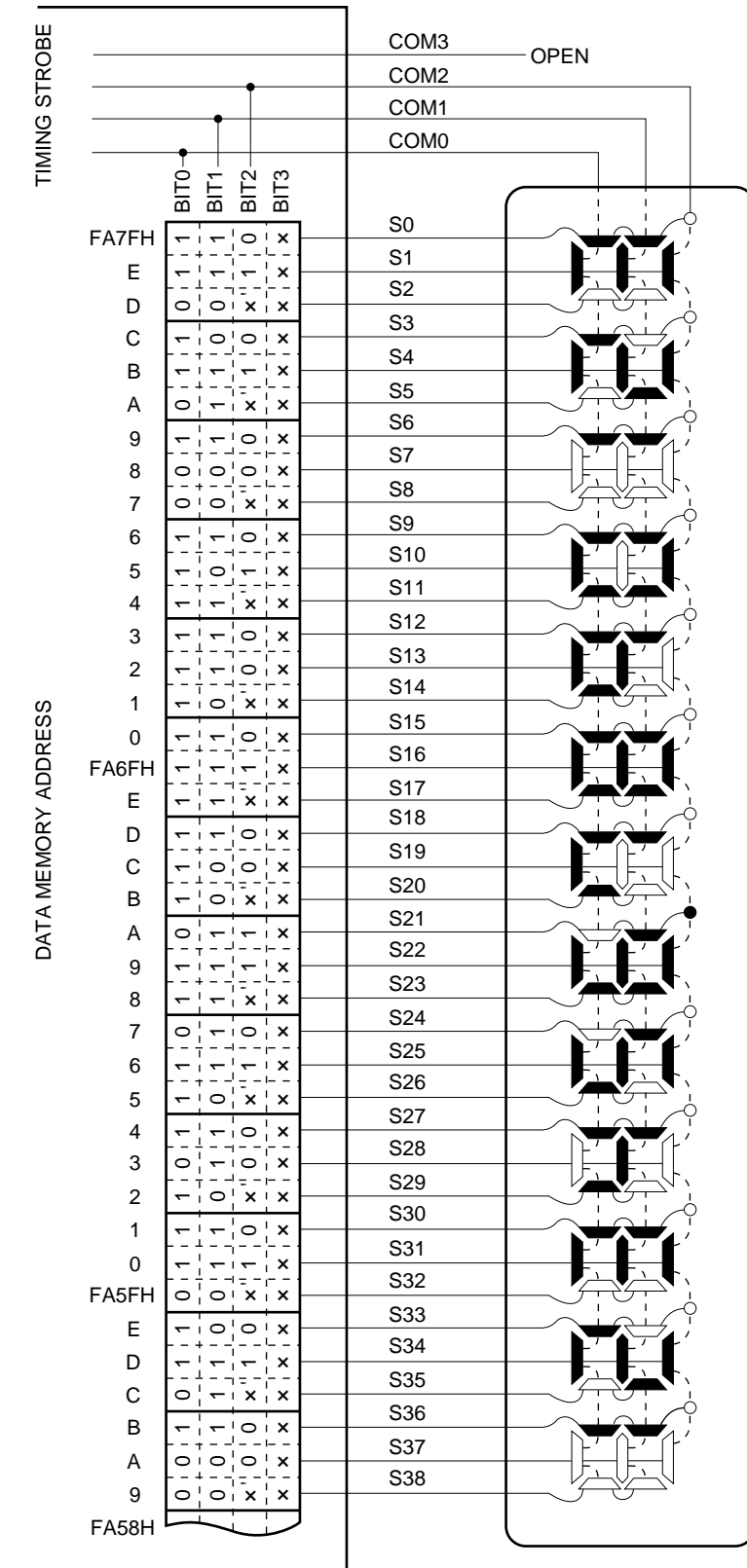
S21と各コモン信号間のLCD駆動波形例を図19 - 19 (1/2バイアス法)、図19 - 20 (1/3バイアス法) に示します。COM1の選択タイミングでS21が選択電圧のとき、およびCOM2の選択タイミングでS21が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図19 - 17 3時分割LCD表示パターンと電極結線



n = 0-12

図19 - 18 3時分割LCDパネルの結線例



x' : LCDパネルに対応セグメントがないため任意データをストア可能です。
 x : 3時分割表示のため常に任意データをストア可能です。

図19 - 19 3時分割LCD駆動波形例 (1/2バイアス法)

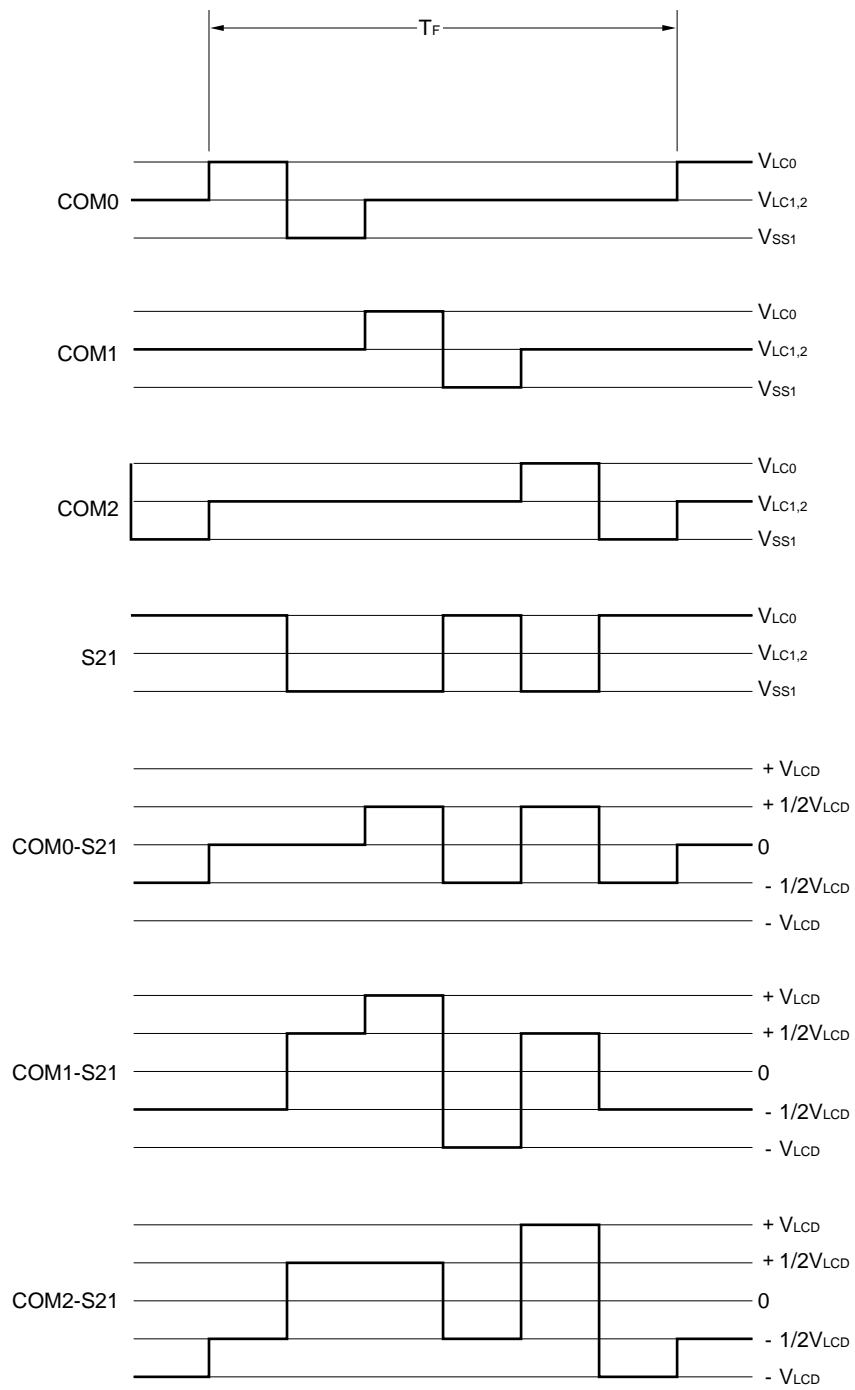
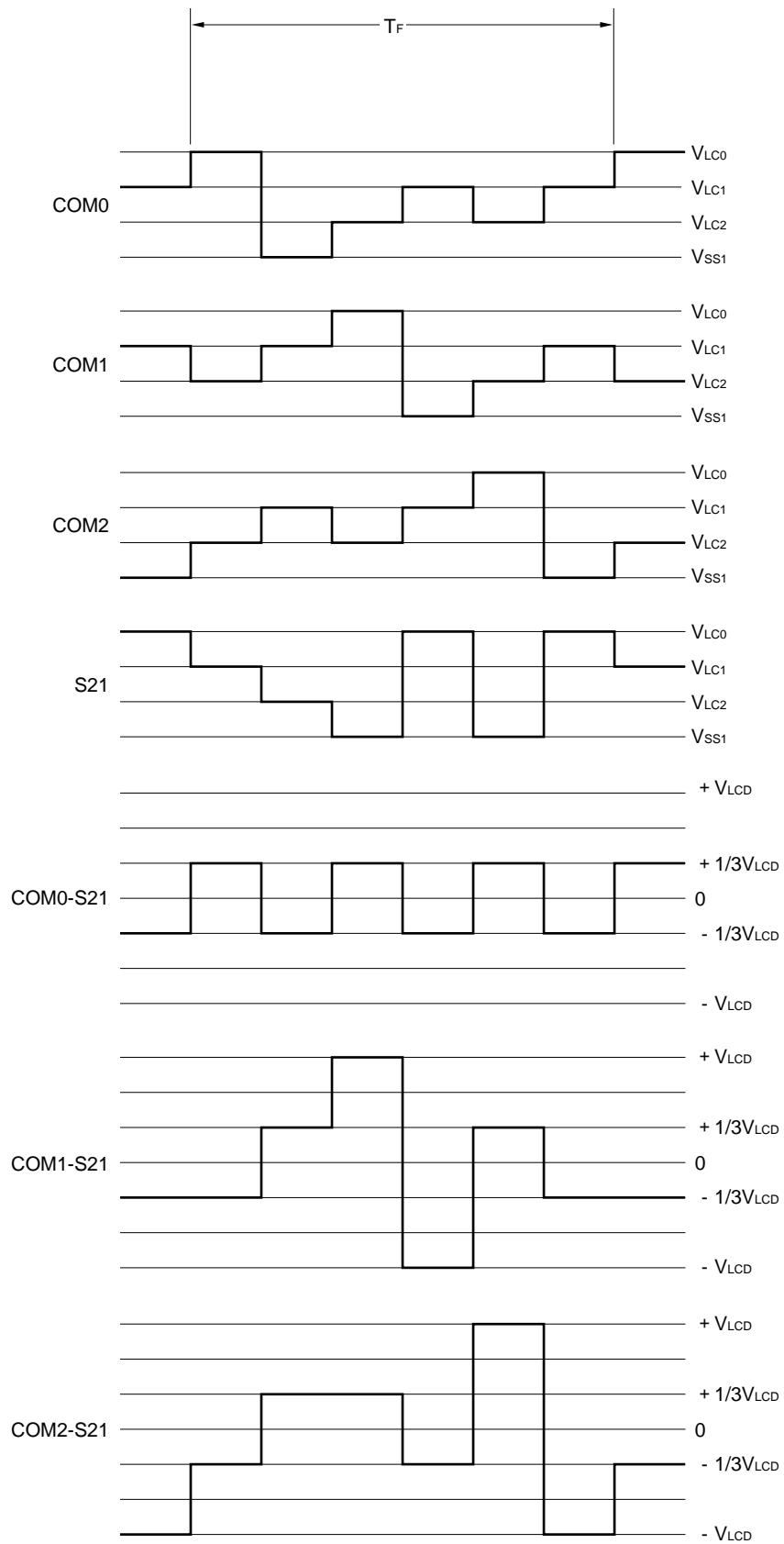


図19 - 20 3時分割LCD駆動波形例 (1/3バイアス法)



19.8.4 4時分割表示例

図19 - 22は、図19 - 21の表示パターンを持つ4時分割方式の20桁LCDパネルと μ PD780308, 780308Yサブシリーズのセグメント信号 (S0-S39) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.78901234567890で、表示データ・メモリ (FA58H-FA7FH番地) の内容はこれに対応しています。

ここでは15桁目の6. (5.) を例にとって説明します。図19 - 21の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表19 - 10に示すような選択、非選択電圧をS28, S29の端子に出力する必要があります。

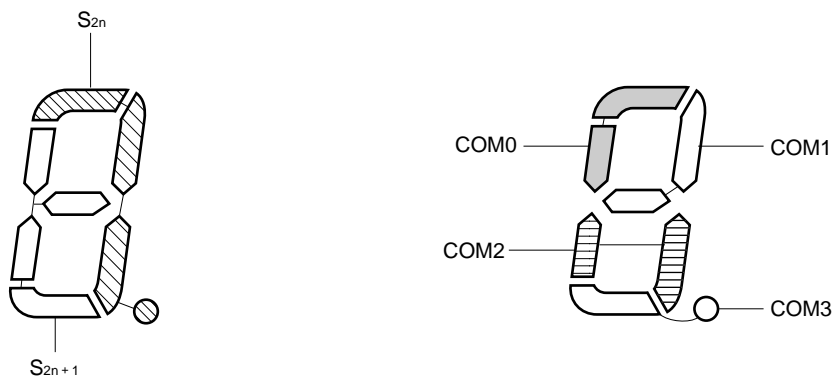
表19 - 10 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S28	S29
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS28に対応する表示データ・メモリ (FA63H番地) には、1101を用意すればよいことが分かります。

S28とCOM0, COM1信号間のLCD駆動波形を図19 - 23に示します(図面の都合でCOM2, COM3に対する波形は省略)。COM0の選択タイミングでS28が選択電圧になるときに、LCD点灯レベルである $+V_{LCD} / -V_{LCD}$ の交流矩形波が発生することが分かります。

図19 - 21 4時分割LCD表示パターンと電極結線



n = 0-18

図19 - 22 4時分割LCDパネルの結線例

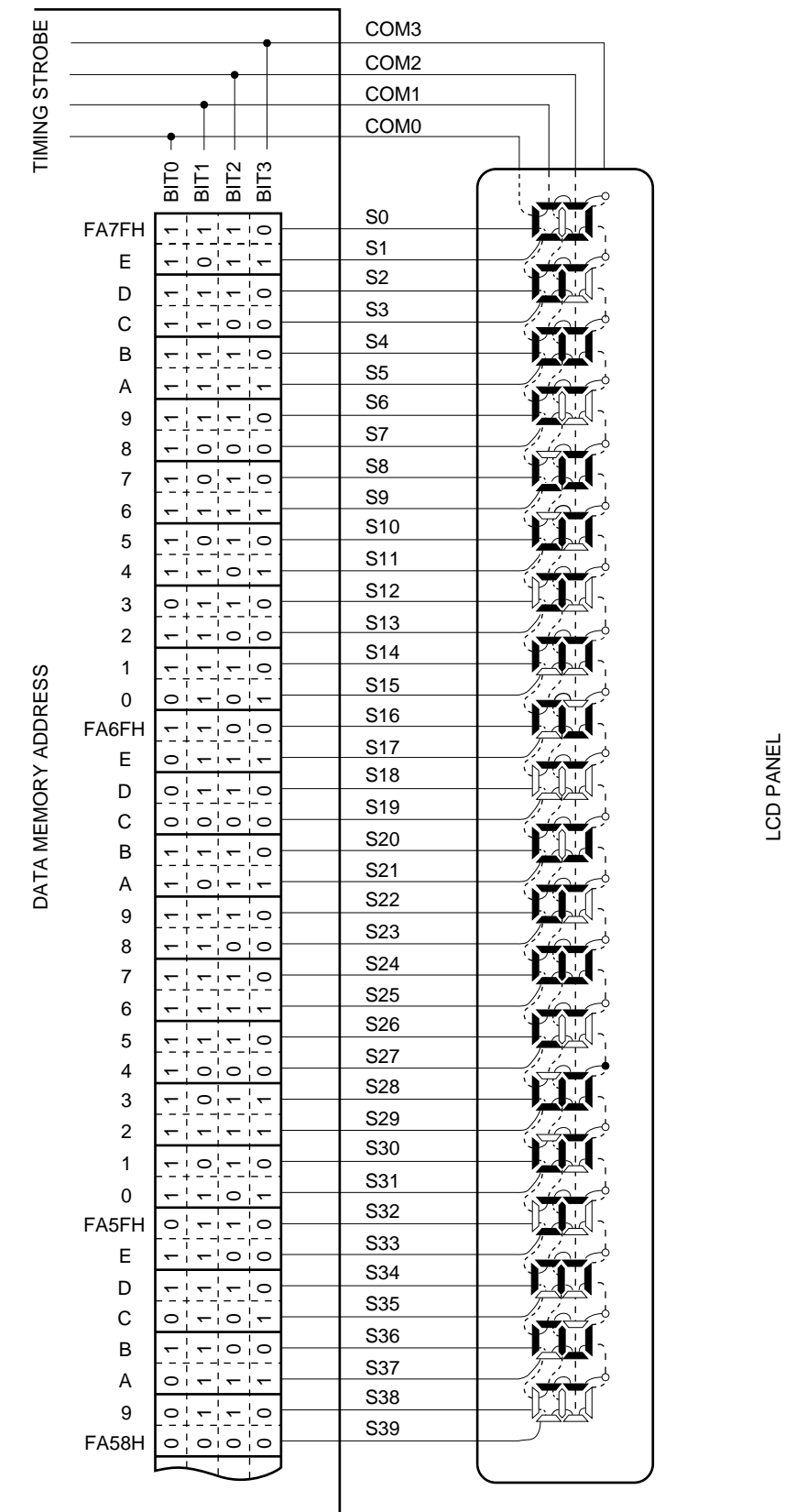
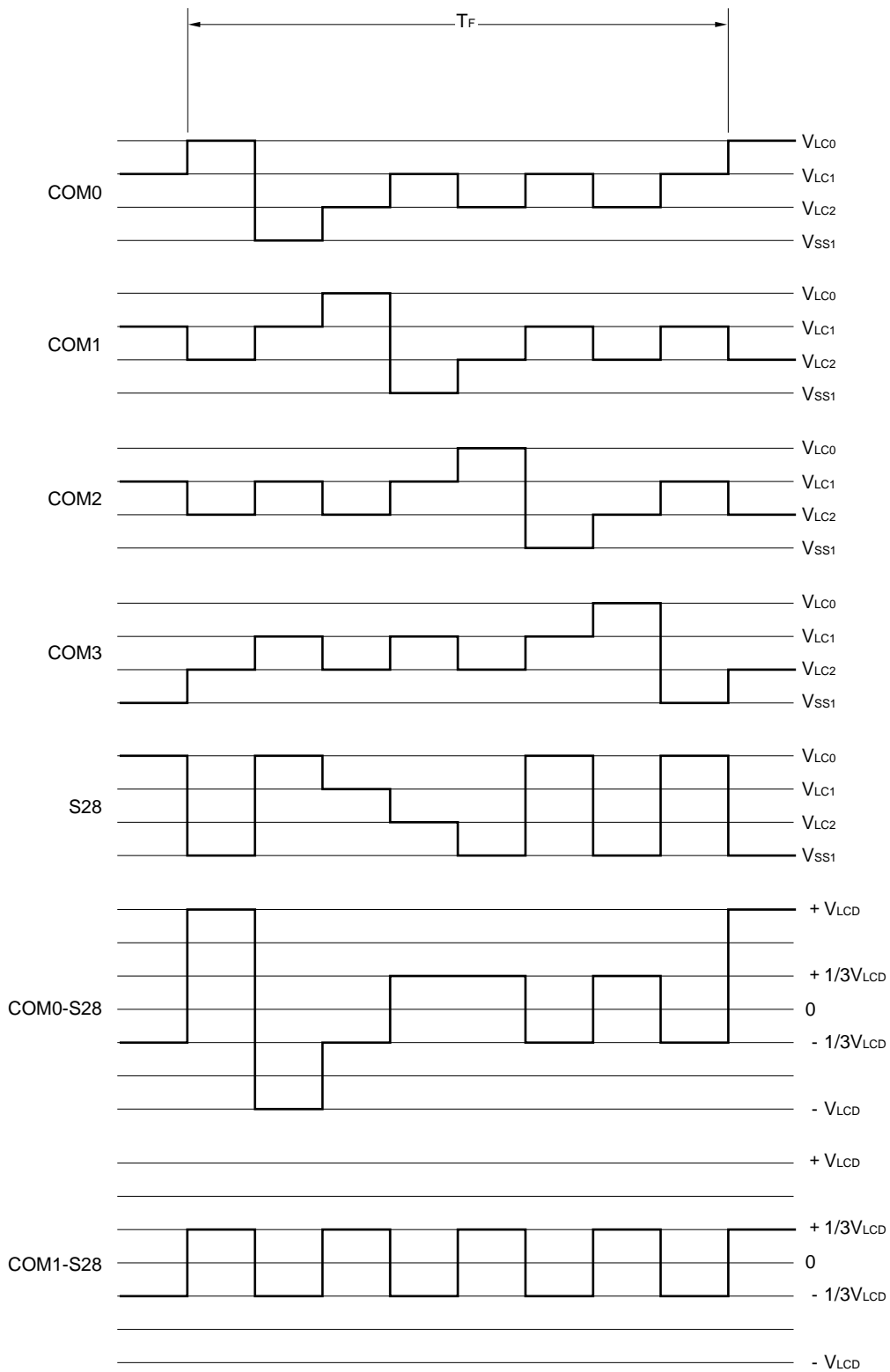


図19 - 23 4時分割LCD駆動波形例 (1/3バイアス法)



第20章 割り込み機能とテスト機能

20.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表20 - 1参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が6要因、内部割り込み要求が13要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

20.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計21要因あります(表20 - 1参照)。

表20 - 1 割り込み要因一覧

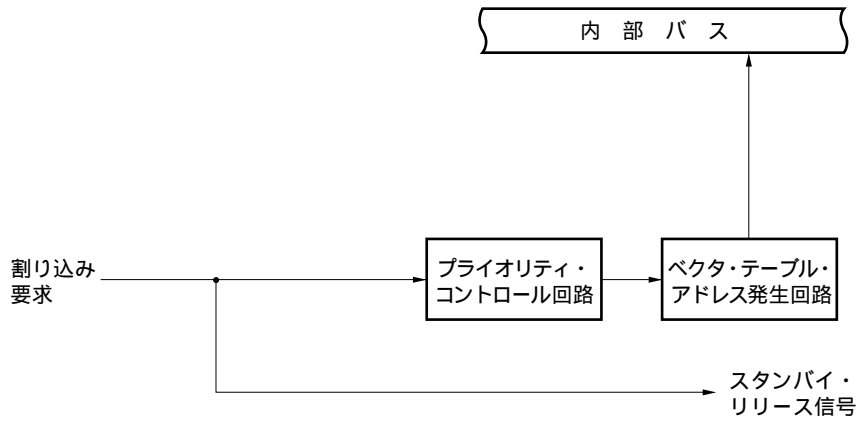
割り込みの種類	デフォルト・注 ¹ プライオリティ	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成注 ² タイプ
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	内部	0006H	(C)
	2	INTP1			0008H	(D)
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTCSI0			シリアル・インタフェース・チャンネル0の転送 終了	内部
	8	INTSER	シリアル・インタフェース・チャンネル2のUART 受信エラー発生		0018H	
	9	INTSR	シリアル・インタフェース・チャンネル2のUART 受信終了		001AH	
		INTCSI2	シリアル・インタフェース・チャンネル2の3線式 転送終了			
	10	INTST	シリアル・インタフェース・チャンネル2のUART 送信終了		001CH	
	11	INTTM3	時計用タイマからの基準時間間隔信号		001EH	
	12	INTTM00	16ビット・タイマ・レジスタとキャプチャ/コ ンペア・レジスタ00 (CR00) の一致信号発生		0020H	
	13	INTTM01	16ビット・タイマ・レジスタとキャプチャ/コ ンペア・レジスタ01 (CR01) の一致信号発生		0022H	
	14	INTTM1	8ビット・タイマ/イベント・カウンタ1の一致 信号発生		0024H	
	15	INTTM2	8ビット・タイマ/イベント・カウンタ2の一致 信号発生		0026H	
	16	INTAD	A/Dコンバータの変換終了		0028H	
	17	INTCSI3	シリアル・インタフェース・チャンネル3の転送 終了		002AH	
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，17が最低順位です。

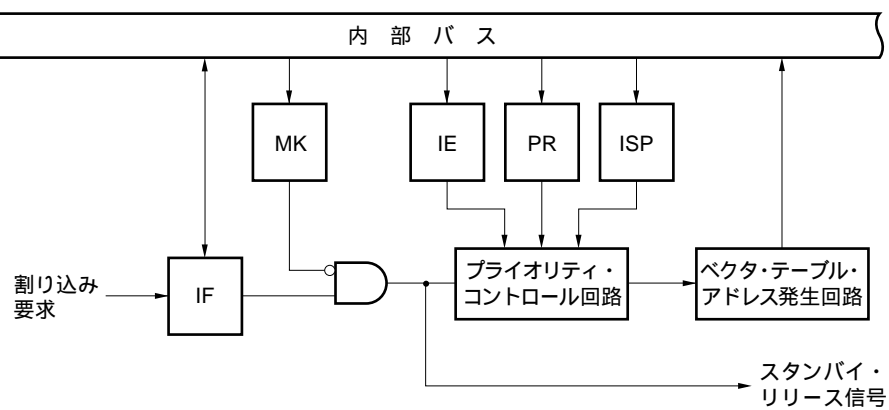
2. 基本構成タイプの(A)-(E)は、それぞれ図20 - 1の(A)-(E)に対応しています。

図20 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

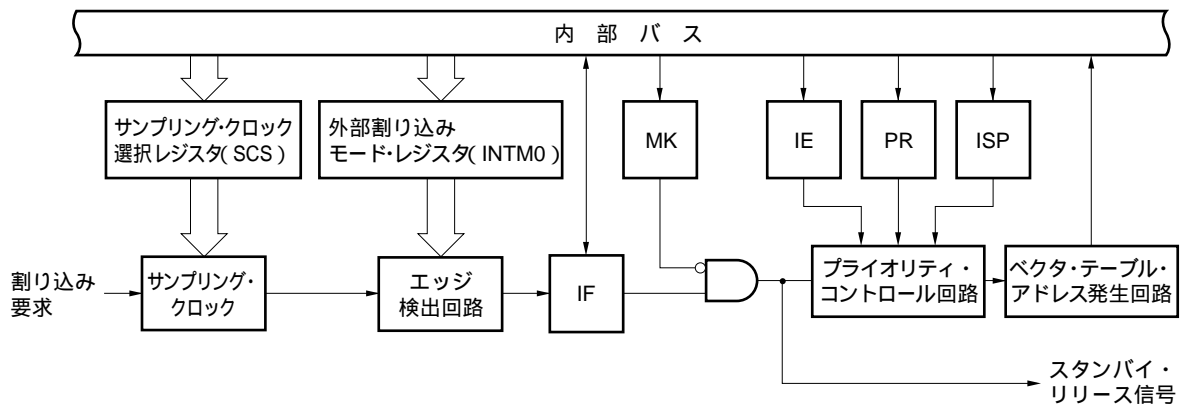
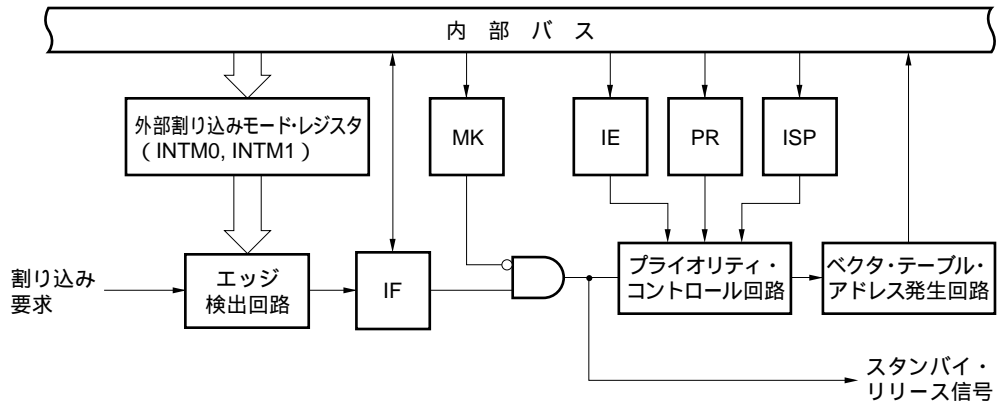
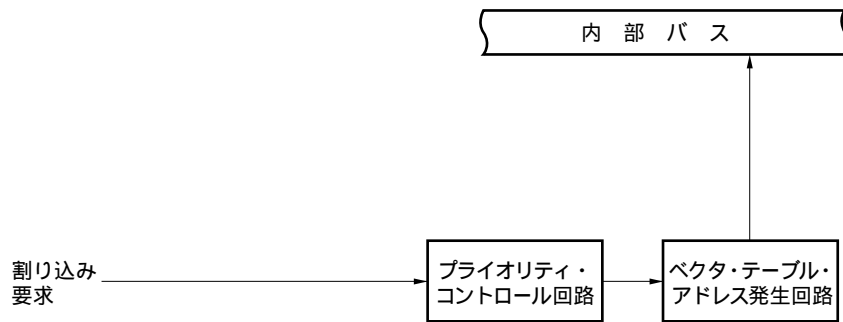


図20 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

20.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・サンプリング・クロック選択レジスタ (SCS)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表20 - 2に示します。

表20 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	TMIF4	IF0L	TMMK4	MK0L	TMPR4	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5	PMK5	PPR5			
INTCSI0	CSIF0	IF0H	CSIMK0	MK0H	CSIPR0	PR0H
INTSER	SERIF		SERMK		SERPR	
INTSR/INTCSI2	SRIF		SRMK		SRPR	
INTST	STIF		STMK		STPR	
INTTM3	TMIF3		TMMK3		TMPR3	
INTTM00	TMIF00		TMMK00		TMPR00	
INTTM01	TMIF01		TMMK01		TMPR01	
INTTM1	TMIF1	IF1L	TMMK1	MK1L	TMPR1	PR1L
INTTM2	TMIF2		TMMK2		TMPR2	
INTAD	ADIF		ADMK		ADPR	
INTCSI3	CSIF3		CSIMK3		CSIPR3	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図20 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	7	①						アドレス	リセット時	R/W	
IF0L	0	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	TMIF4	FFE0H	00H	R/W
		1						①			
IF0H	TMIF01	TMIF00	TMIF3	STIF	SRIF	SERIF	0	CSIF0	FFE1H	00H	R/W
	6	5	4					①			
IF1L	WTIF注	0	0	0	CSIF3	ADIF	TMIF2	TMIF1	FFE2H	00H	R/W

x x IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 WTIFは、テスト入力フラグです。ベクタ割り込み要求は発生しません。

注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、TMIF4フラグに0を設定してください。

2. IF0Lのビット7, IF0Hのビット1, IF1Lのビット4-ビット6には、必ず0を設定してください。

3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET \bar 入力により、FFHになります。

図20 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号	7	①							アドレス	リセット時	R/W	
MK0L	1	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	TMMK4	FFE4H	FFH	R/W	
		1							①			
MK0H	TMMK01	TMMK00	TMMK3	STMK	SRMK	SERMK	1	CSIMK0	FFE5H	FFH	R/W	
	6	5	4	①								
MK1L	WTMK ^注	1	1	1	CSIMK3	ADMK	TMMK2	TMMK1	FFE6H	FFH	R/W	

x x MK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 WTMKは、スタンバイ・モードの解除の許可/禁止を制御しています。割り込み機能の制御は行っていません。

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、TMMK4フラグを読み出すと不定になっています。
2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK0Lのビット7, MK0Hのビット1, MK1Lのビット4-ビット6には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET \bar 入力により、FFHになります。

図20 - 4 優先順位指定フラグ・レジスタのフォーマット

略号	7								①	アドレス	リセット時	R/W
PR0L	1	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	TMPR4	FFE8H	FFH	R/W	
									1			
PR0H		TMPR01	TMPR00	TMPR3	STPR	SRPR	SERPR	1	CSIPR0	FFE9H	FFH	R/W
		7	6	5	4							①
PR1L	1	1	1	1	CSIPR3	ADPR	TMPR2	TMPR1	FFEAH	FFH	R/W	

x x PR	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、TMPR4フラグに1を設定してください。

2. PR0Lのビット7, PR0Hのビット1, PR1Lのビット4-ビット7には、必ず1を設定してください。

(4) 外部割り込みモード・レジスタ (INTM0, INTM1)

INTP0-INTP5の有効エッジを設定するレジスタです。

INTM0, INTM1は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20 - 5 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES31	ES30	ES21	ES20	ES11	ES10	0	0	FFECH	00H	R/W

ES31	ES30	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES21	ES20	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意 INTP0/TI00端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタのビット1-ビット3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに行ってください。

図20 - 6 外部割り込みモード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	ES61	ES60	ES51	ES50	ES41	ES40	FFEDH	00H	R/W

ES61	ES60	INTP5の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES51	ES50	INTP4の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES41	ES40	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

(5) サンプリング・クロック選択レジスタ (SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、00Hになります。

図20 - 7 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択	
		MCS = 1	MCS = 0
0	0	$f_{xx}/2^N$	
0	1	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	$f_x/2^5$ (156.3 kHz)	$f_x/2^6$ (78.1 kHz)
1	1	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)

注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

備考1. N : プロセッサ・クロック・コントロール・レジスタのビット0-ビット2 (PCC0-PCC2) に設定した値 (N = 0-4)。

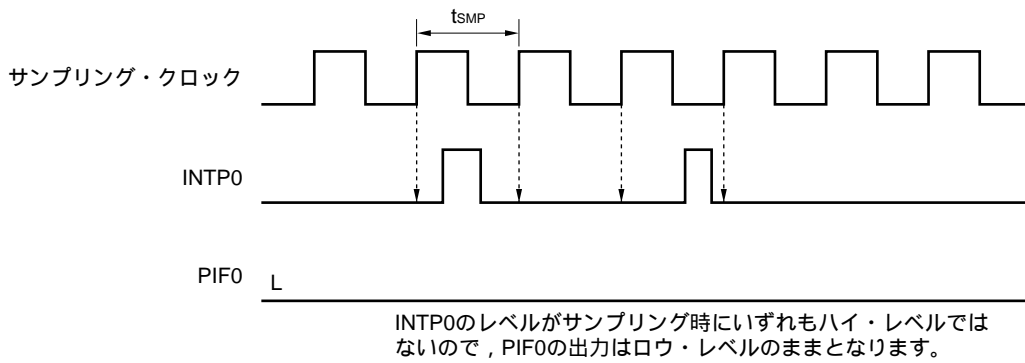
2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
3. f_x : メイン・システム・クロック発振周波数
4. MCS : 発振モード選択レジスタのビット0
5. () 内は、 $f_x = 5.0$ MHz動作時。

ノイズ除去回路は、サンプリングしたINTP0の入力レベルが2回連続してアクティブ・レベルであるとき、割り込み要求フラグ（PIF0）を1にセットします。

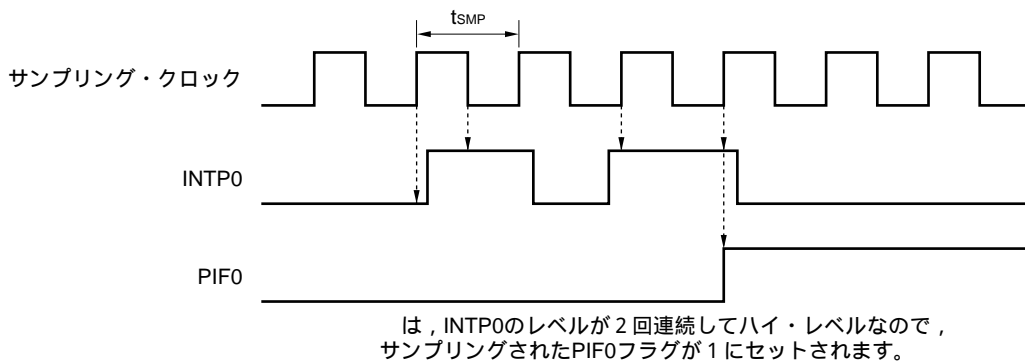
図20 - 8にノイズ除去回路の入出力タイミングを示します。

図20 - 8 ノイズ除去回路の入出力タイミング（立ち上がりエッジ検出時）

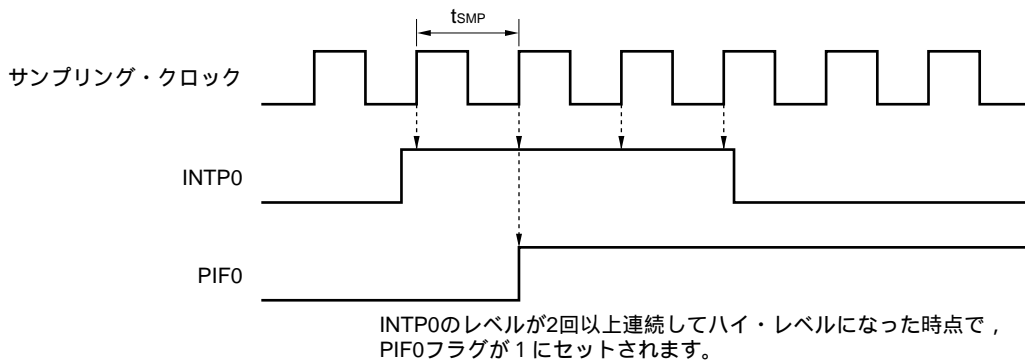
(a) 入力がサンプリング周期 (t_{SMP}) 以下のとき



(b) 入力がサンプリング周期 (t_{SMP}) の1-2倍のとき



(c) 入力がサンプリング周期 (t_{SMP}) の2倍以上のとき



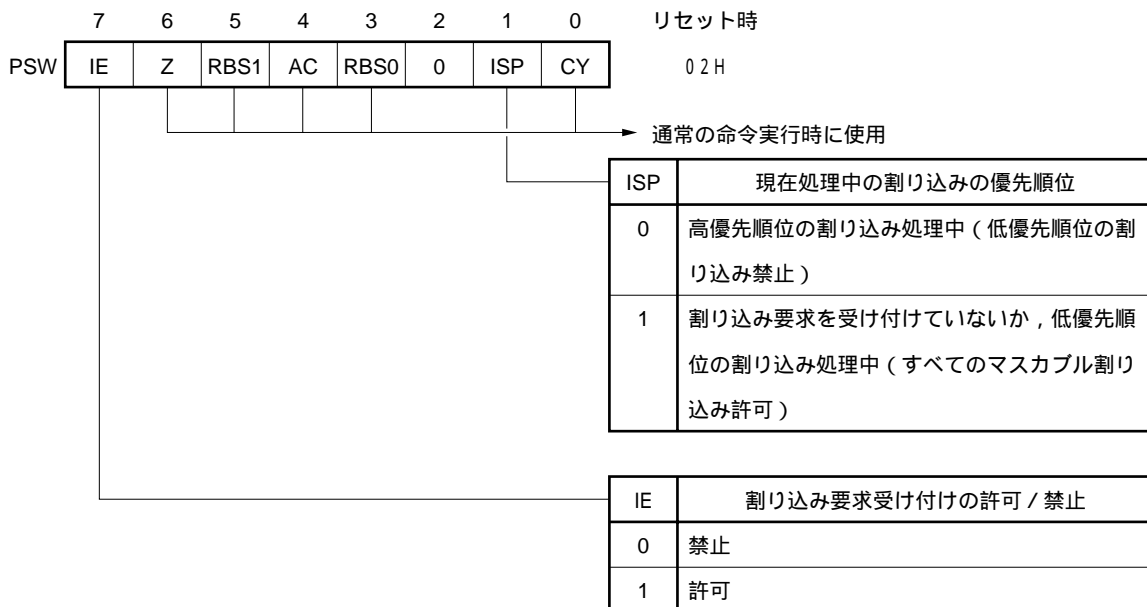
(6) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込み要求の許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時およびBRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込み要求の優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図20 - 9 プログラム・ステータス・ワードの構成



20.4 割り込み要求処理動作

20.4.1 ノンマスカブル割り込み要求の受け付け動作

ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

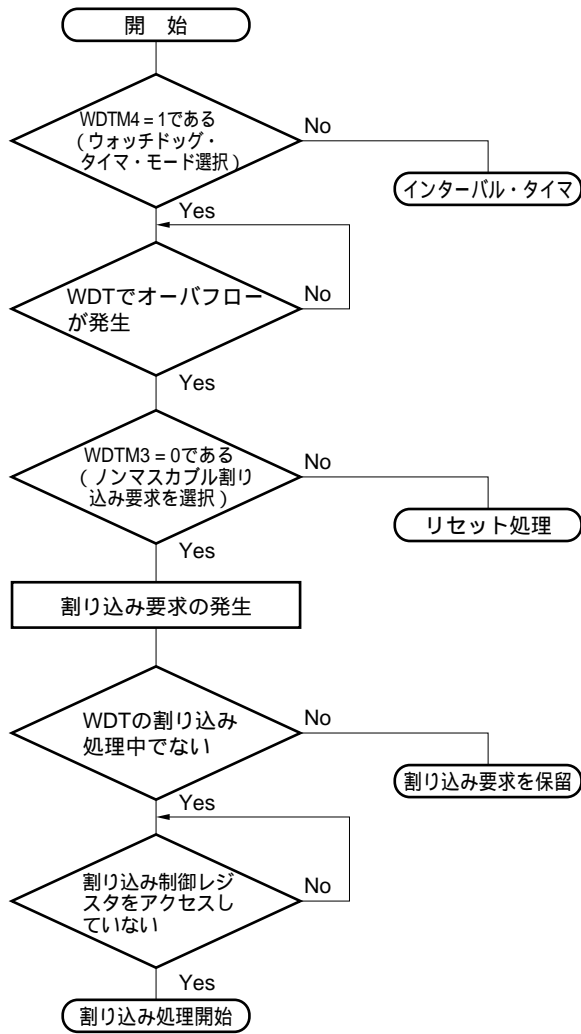
ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。これにより、多重割り込みの受け付けが禁止されます。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図20 - 10に、ノンマスカブル割り込み要求の受け付けタイミングを図20 - 11に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図20 - 12に示します。

注意 ノンマスカブル割り込みから復帰するときは、必ずRETI命令を使用してください。

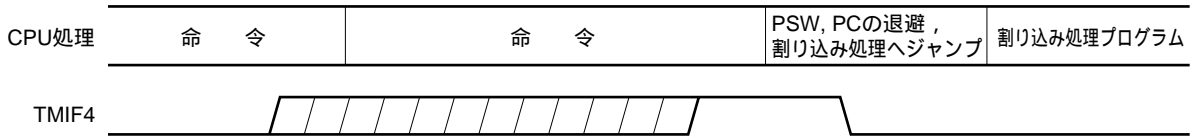
図20 - 10 ノンマスクابل割り込み要求の受け付けフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図20 - 11 ノンマスクابل割り込み要求の受け付けタイミング

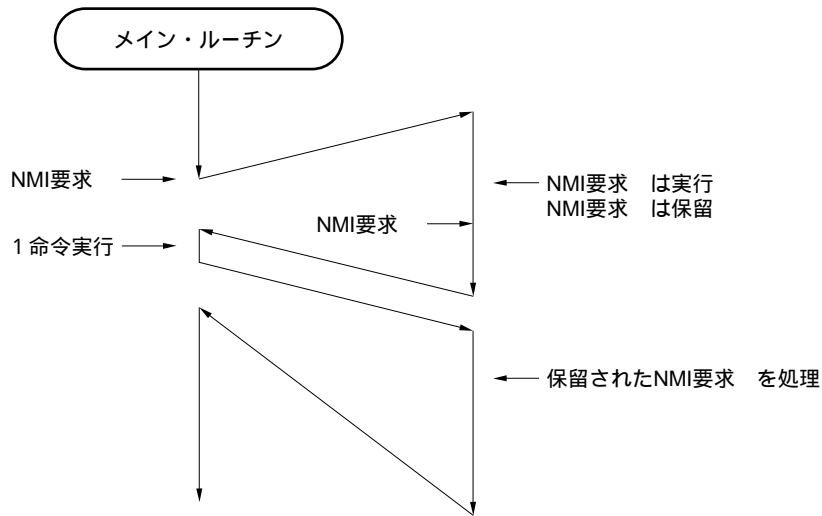


この間に発生した割り込み要求は のタイミングで受け付けられます。

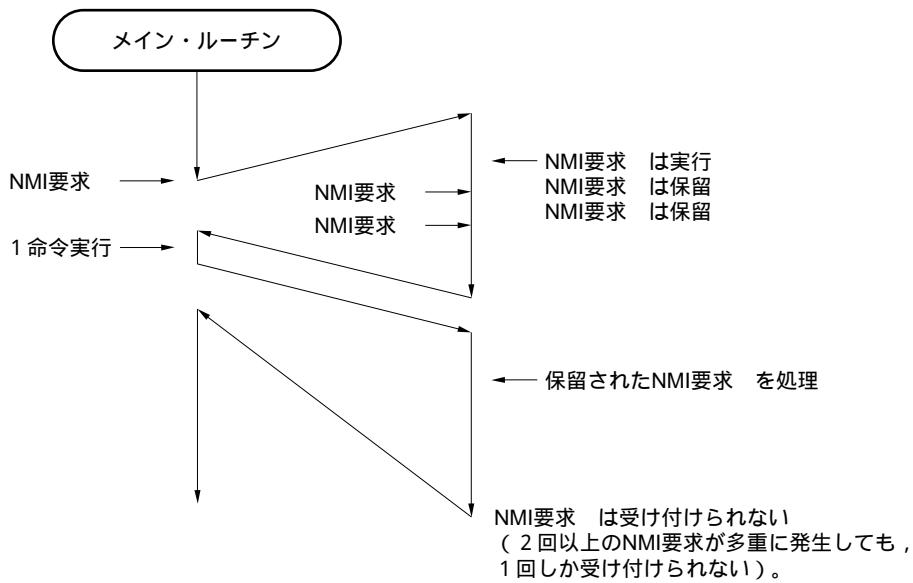
TMIF4 : ウォッチドッグ・タイマ割り込み要求フラグ

図20 - 12 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



20.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みのマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込みの要求は受け付けられません。

また、ノンマスカブル割り込みサービス・プログラム実行中にEI命令を実行しても、ノンマスカブル割り込み要求およびマスカブル割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表20-3のようになります。割り込み要求の受け付けタイミングについては、図20-14、20-15を参照してください。

表20-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x x PR = 0のとき	7クロック	32クロック
x x PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f_{CPU} (f_{CPU}：CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

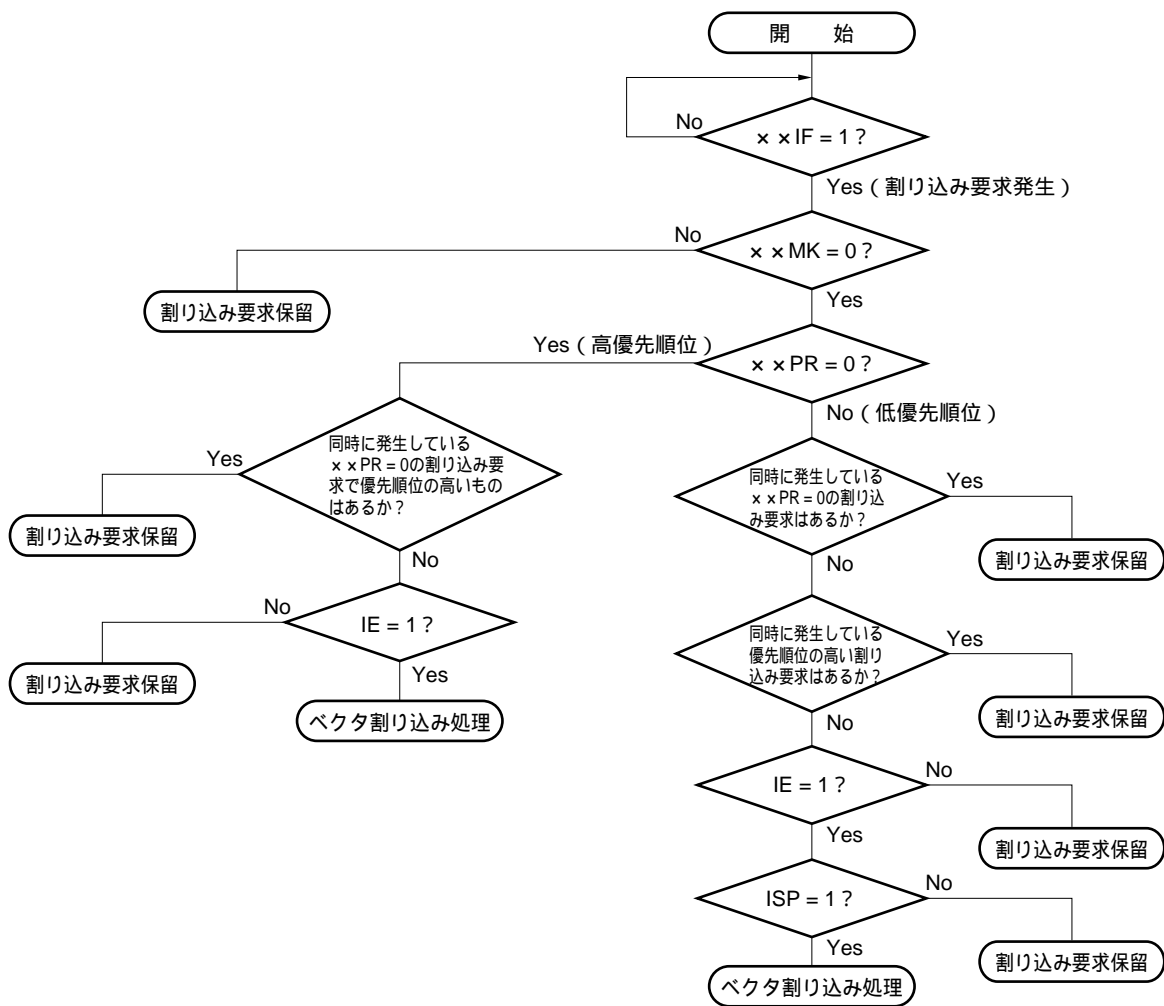
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図20-13に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図20 - 13 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

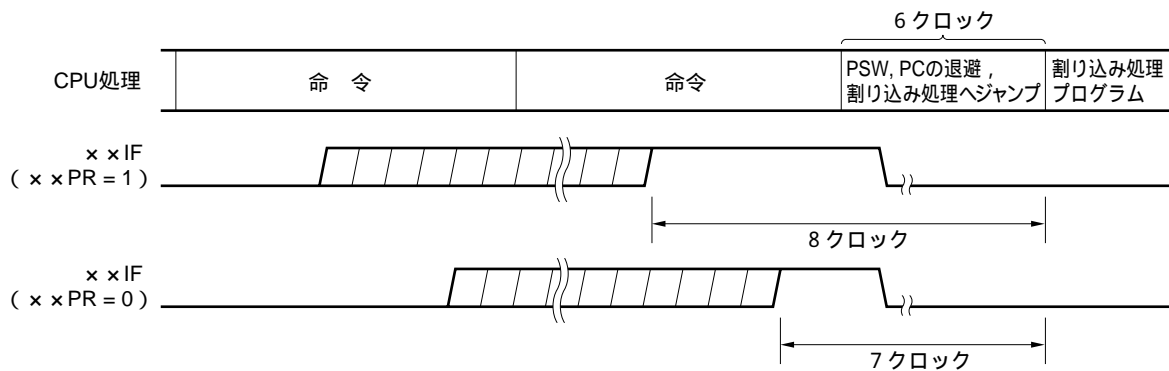
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

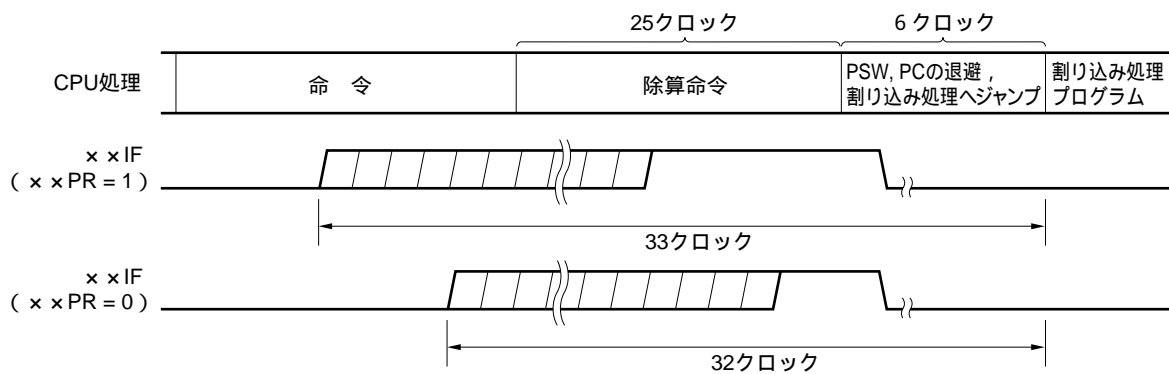
ISP : 現在処理中の割り込み優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図20 - 14 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図20 - 15 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

20.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

20.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクブル割り込みを除く)。また、割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクブル割り込み処理中には、多重割り込みは許可されません。

表20 - 4に多重割り込み可能な割り込み要求を、図20 - 16に多重割り込みの例を示します。

表20 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクブル 割り込み要求	マスクブル割り込み要求			
			PR = 0		PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクブル割り込み		x	x	x	x	x
マスクブル割り込み	ISP = 0			x	x	x
	ISP = 1			x		x
ソフトウェア割り込み				x		x

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

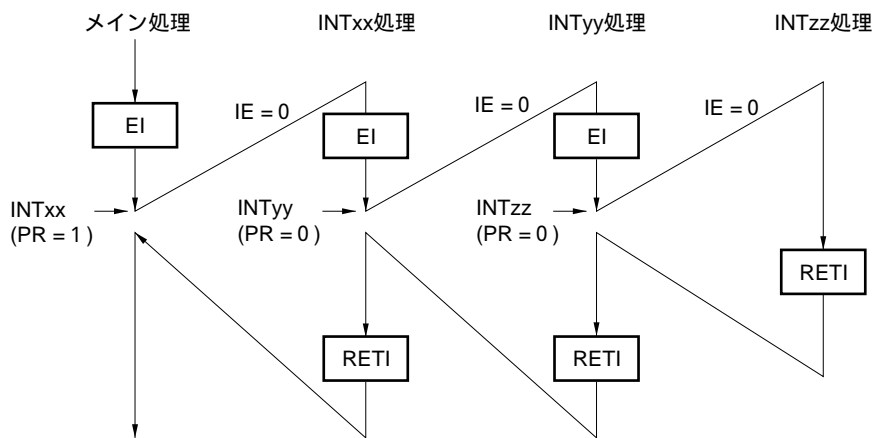
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

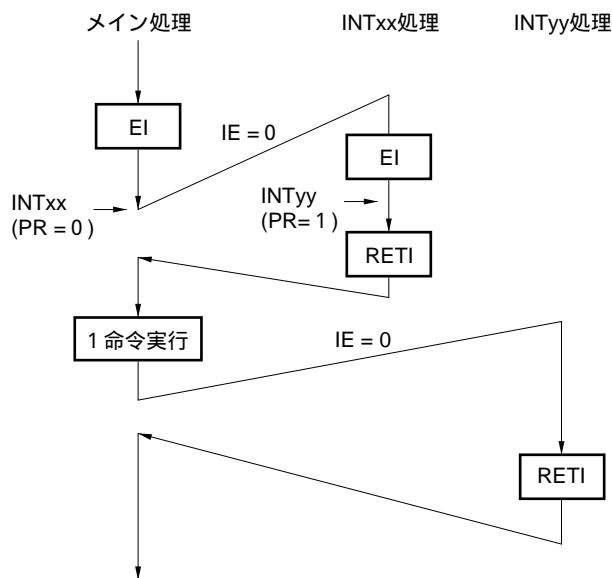
図20 - 16 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

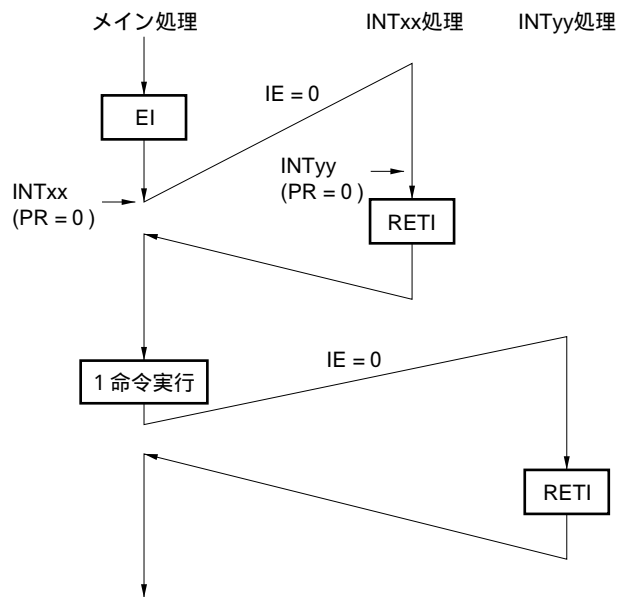


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図20 - 16 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

20.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, INTM0, INTM1の各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図20 - 17に示します。

図20 - 17 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

2. 命令M：割り込み要求の保留命令以外の命令

3. $x \times IF$ (割り込み要求) の動作は、 $x \times PR$ (優先順位レベル) の値の影響を受けません。

20.5 テスト機能

時計用タイマのオーバーフロー発生時およびポート4の立ち下がりエッジ検出時に、対応するテスト入力フラグをセット（1）し、スタンバイ・リリース信号を発生します。

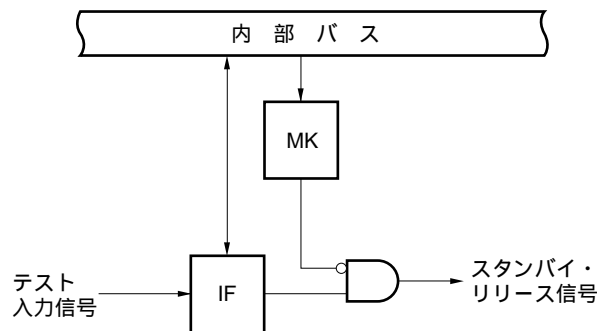
割り込み機能とは異なり、ベクタ処理は行いません。

テスト入力要因には、表20 - 5に示す2本があります。また、基本構成は図20 - 18のようになっています。

表20 - 5 テスト入力要因一覧

テスト入力要因		内部 / 外部
名 称	トリガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT11	ポート11の立ち下がりエッジ検出	外部

図20 - 18 テスト機能の基本構成



IF : テスト入力フラグ

MK : テスト・マスク・フラグ

20.5.1 テスト機能を制御するレジスタ

テスト機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ1L (IF1L)
- ・割り込みマスク・フラグ・レジスタ1L (MK1L)
- ・キー・リターン・モード・レジスタ (KRM)

各テスト入力信号に対応するテスト入力フラグ、テスト・マスク・フラグの名称を表20 - 6に示します。

表20 - 6 テスト入力信号に対する各種フラグ

テスト入力信号名	テスト入力フラグ	テスト・マスク・フラグ
INTWT	WTIF	WTMK
INTPT11	KRIF	KRMK

(1) 割り込み要求フラグ・レジスタ1L (IF1L)

時計用タイマのオーバフローの検出 / 未検出を表示するレジスタです。

IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20 - 19 割り込み要求フラグ・レジスタ1Lのフォーマット

略号	6	5	4	①				アドレス	リセット時	R/W	
IF1L	WTIF	0	0	0	CSIF3	ADIF	TMIF2	TMIF1	FFE2H	00H	R/W

WTIF	時計用タイマのオーバフロー検出フラグ
0	未検出
1	検出

注意 ビット4-ビット6には必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ1L (MK1L)

時計用タイマによるスタンバイ・モードの解除の許可 / 禁止を設定するレジスタです。

MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図20 - 20 割り込みマスク・フラグ・レジスタ1Lのフォーマット

略号	6	5	4	①				アドレス	リセット時	R/W	
MK1L	WTMK	1	1	1	CSIMK3	ADMK	TMMK2	TMMK1	FFE6H	FFH	R/W

WTMK	時計用タイマによるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

注意 ビット4-ビット6には必ず1を設定してください。

(3) キー・リターン・モード・レジスタ (KRM)

ポート11の立ち下がりエッジ入力を選択，キー・リターン信号（ポート11の立ち下がりエッジ検出）によるスタンバイ・モードの解除の許可 / 禁止を設定するレジスタです。

KRMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，02Hになります。

図20 - 21 キー・リターン・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W
KRM	0	0	0	0	KRM3	KRM2	KRMK	FFB8H	02H	R/W

KRM3	KRM2	ポート11の立ち下がりエッジ入力の選択
0	0	P117
0	1	P114-P117
1	0	P112-P117
1	1	P110-P117

KRMK	キー・リターン信号によるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

KRIF	キー・リターン信号検出フラグ
0	未検出
1	検出（ポート11の立ち下がりエッジ検出）

注意 ポート11で立ち下がりエッジ検出を使用するとき，必ずKRIFを0にクリアしてください（KRIFは自動的に0にクリアされません）。

20.5.2 テスト入力信号の受け付け動作

(1) 内部テスト入力信号 (INTWT)

内部テスト入力信号 (INTWT) は，時計用タイマのオーバフローにより発生し，これによりWTIFフラグがセットされます。このとき，割り込みマスク・フラグ (WTMK) によりマスクされていなければスタンバイ・リリース信号が発生します。時計用タイマのオーバフロー周期より短い周期でWTIFフラグをチェックすることにより，時計機能の実現できます。

(2) 外部テスト入力信号 (INTPT4)

外部テスト入力信号 (INTPT4) は，ポート4 (P40-P47) の端子に立ち下がりエッジが入力されることにより発生し，これによりKRIFフラグがセットされます。このとき，KRMKフラグによりマスクされていなければ，スタンバイ・リリース信号が発生します。ポート4をキー・マトリックスのキー・リターン信号入力として使用することにより，キー入力の有無をKRIFフラグの状態をチェックすることができます。

第21章 スタンバイ機能

21.1 スタンバイ機能と構成

21.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます（サブシステム・クロックの発振を停止させることができません）。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。
- STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。
 - A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (CS) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

21.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

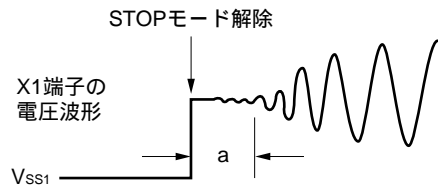
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ ではなく、 $2^{17}/f_x$ となります。

図21-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択	
			MCS = 1	MCS = 0
0	0	0	$2^{12}/f_x$ (819 μ s)	$2^{13}/f_x$ (1.64 ms)
0	0	1	$2^{14}/f_x$ (3.28 ms)	$2^{15}/f_x$ (6.55 ms)
0	1	0	$2^{15}/f_x$ (6.55 ms)	$2^{16}/f_x$ (13.1 ms)
0	1	1	$2^{16}/f_x$ (13.1 ms)	$2^{17}/f_x$ (26.2 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)	$2^{18}/f_x$ (52.4 ms)
上記以外			設定禁止	

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



- 備考1. f_x : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタのビット0
 3. () 内は、 $f_x = 5.0$ MHz動作時。

21.2 スタンバイ機能の動作

21.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表21-1 HALTモード時の動作状態

項 目	HALTモードの設定		サブシステム・クロック動作中のHALT命令実行時	
	メイン・システム・クロック動作中のHALT命令実行時	サブシステム・クロックがない場合 ^{注1}	サブシステム・クロックがある場合 ^{注2}	メイン・システム・クロック発振継続時
クロック発生回路	メイン・システム・クロック、サブシステム・クロックとも発振可能。 CPUへのクロック供給が停止。			
CPU	動作停止。			
ポート（出力ラッチ）	HALTモード設定前の状態を保持。			
16ビット・タイマ/イベント・カウンタ	動作可能。		カウント・クロックに時計用タイマ出力選択時、動作可能（時計用タイマのカウント・クロックにはf _{XT} を選択）。	
8ビット・タイマ/イベント・カウンタ	動作可能。		カウント・クロックにTI1, TI2選択時、動作可能。	
時計用タイマ	カウント・クロックにf _{XX} /2 ⁷ 選択時、動作可能。	動作可能。		カウント・クロックにf _{XT} 選択時、動作可能。
ウォッチドッグ・タイマ	動作可能。		動作停止。	
A/Dコンバータ	動作可能。		動作停止。	
シリアル・インタフェース	動作可能。		外部SCK時は、動作可能。	
LCDコントローラ/ドライバ	カウント・クロックにf _{XX} /2 ⁷ 選択時、動作可能。	動作可能。		カウント・クロックにf _{XT} 選択時、動作可能。
外部割り込み	INTP0	サンプリング・クロックに周辺ハードウェアへのクロック（f _{XX} /2 ⁵ , f _{XX} /2 ⁶ , f _{XX} /2 ⁷ ）選択時、動作可能。		動作停止。
	INTP1-INTP5	動作可能。		

注1. 外部クロックを供給しない場合を含む。

2. 外部クロックを供給する場合を含む。

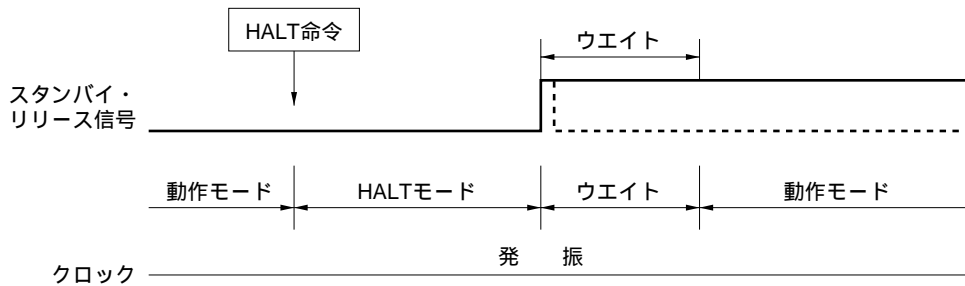
(2) HALTモードの解除

HALTモードは、次の4種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み要求処理を行います。割り込み要求受け付け禁止状態であれば、次のアドレスの命令を実行します。

図21-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

(b) ノンマスクابل割り込み要求による解除

割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み要求処理を行います。

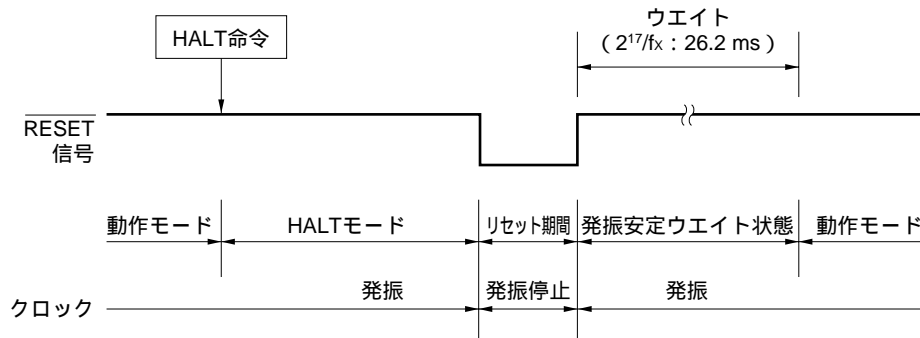
(c) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、HALTモードを解除し、HALT命令の次のアドレスの命令を実行します。

(d) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図21 - 3 HALTモードのRESET入力による解除



- 備考1. f_x : メイン・システム・クロック発振周波数。
 2. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表21 - 2 HALTモードの解除後の動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
1	x	x	x	HALTモード保持	
ノンマスカブル 割り込み要求	-	-	x	x	割り込み処理実行
テスト入力	0	-	x	x	次アドレス命令実行
	1	-	x	x	HALTモード保持
RESET入力	-	-	x	x	リセット処理

x : don't care

21.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

- 注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。
2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表21-3 STOPモード時の動作状態

STOPモードの設定		サブシステム・クロックがある場合	サブシステム・クロックがない場合
項目			
クロック発生回路		メイン・システム・クロックのみ発振停止。	
CPU		動作停止。	
ポート（出力ラッチ）		STOPモード設定前の状態を保持。	
16ビット・タイマ/イベント・カウンタ		カウント・クロックに時計用タイマ出力選択時、動作可能（時計用タイマのカウント・クロックにはf _{XT} を選択）。	動作停止。
8ビット・タイマ/イベント・カウンタ		カウント・クロックにTI1, TI2選択時のみ動作可能。	
時計用タイマ		カウント・クロックにf _{XT} 選択時のみ、動作可能。	動作停止。
ウォッチドッグ・タイマ		動作停止。	
A/Dコンバータ		動作停止。	
シリアル・インタフェース	UART以外	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能。	
	UART	動作停止。	
LCDコントローラ/ドライバ		カウント・クロックにf _{XT} 選択時のみ、動作可能。	動作停止。
外部割り込み	INTP0	動作不可能。	
	INTP1-INTP5	動作可能。	

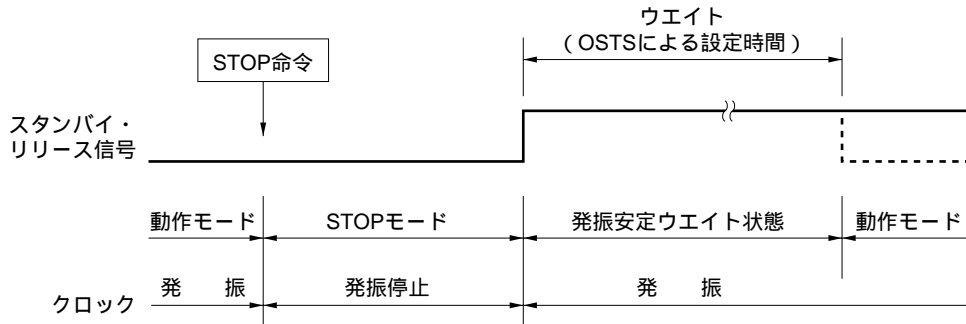
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み要求受け付け禁止状態であれば、次のアドレスの命令を実行します。

図21-4 STOPモードの割り込み要求発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

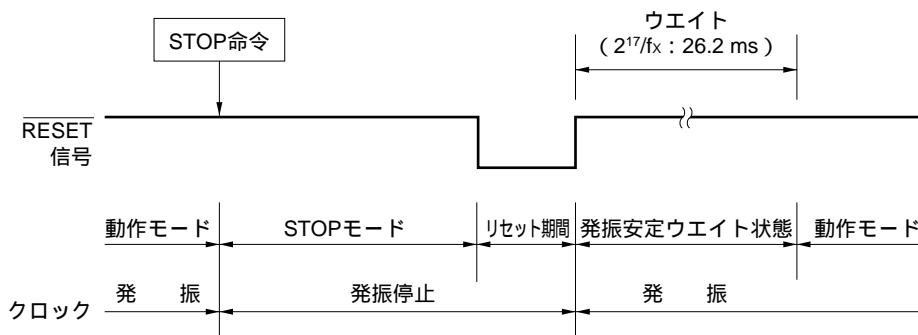
(b) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、STOPモードを解除します。発振安定時間経過後、STOP命令の次のアドレスの命令を実行します。

(c) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図21-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : メイン・システム・クロック発振周波数。
 2. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

表21 - 4 STOPモードの解除後の動作

解除ソース	MK x x	PR x x	IE	ISP	動 作
マスクブル	0	0	0	x	次アドレス命令実行
割り込み要求	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
	テスト入力	0	-	x	x
	1	-	x	x	STOPモード保持
RESET入力	-	-	x	x	リセット処理

x : don't care

第22章 リセット機能

22.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表22 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図22 - 2から 図22 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10\mu\text{s}$ 以上のロウ・レベルを入力してください。
- 2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
- 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図22 - 1 リセット機能のブロック図

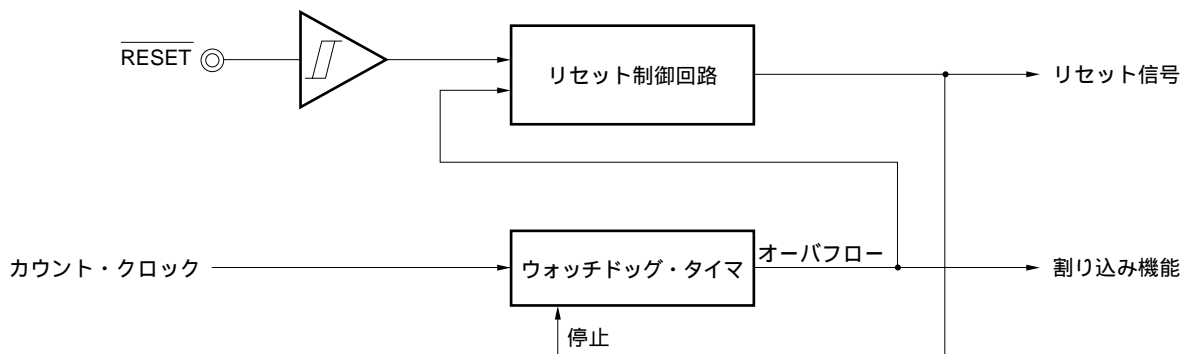


図22 - 2 RESET入力によるリセット・タイミング

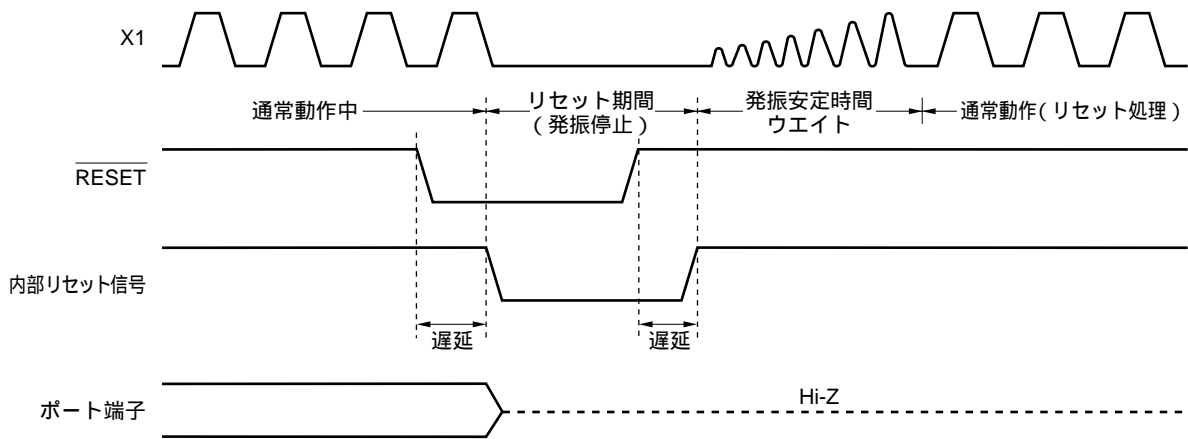


図22 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

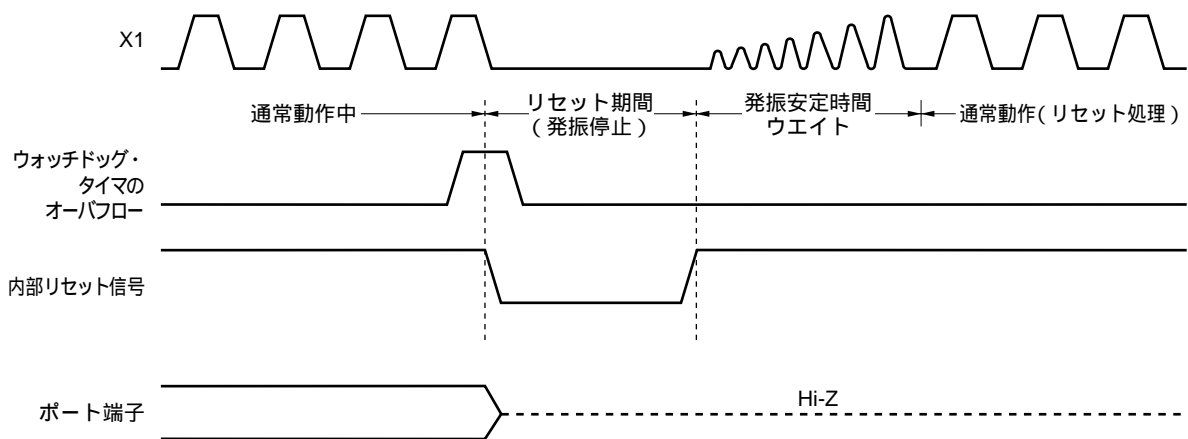


図22 - 4 STOPモード中のRESET入力によるリセット・タイミング

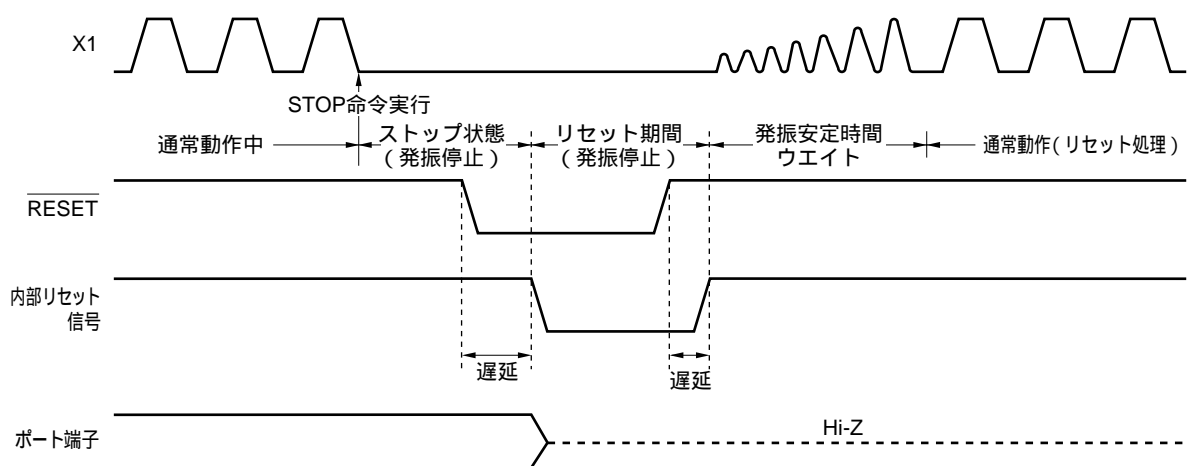


表22 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不 定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不 定 ^{注2}
	汎用レジスタ	不 定 ^{注2}
ポート0-ポート3, ポート7-ポート11 (P0-P3, P7-P11) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM7-PM11)		FFH
プルアップ抵抗オプション・レジスタ (PUOH, PUOL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
発振モード選択レジスタ (OSMS)		00H
メモリ・サイズ切り替えレジスタ (IMS)		注3
内部拡張RAMサイズ切り替えレジスタ (IXS)		0AH
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ (TM0)	0000H
	キャプチャ/コンペア・レジスタ (CR00, CR01)	不 定
	クロック選択レジスタ (TCL0)	00H
	モード・コントロール・レジスタ (TMC0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)	04H
	出力コントロール・レジスタ (TOC0)	00H
8ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ (TM1, TM2)	00H
	コンペア・レジスタ (CR10, CR20)	不 定
	クロック選択レジスタ (TCL1)	00H
	モード・コントロール・レジスタ (TMC1)	00H
	出力コントロール・レジスタ (TOC1)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時でのリセット後の状態は保持となります。
- リセット時の値は製品により異なります。

μPD780306, 780306Y : CCH, μPD780308, 780308Y : CFH, μPD78P0308, 78P0308Y : CFH

表22 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
時計用タイマ	モード・コントロール・レジスタ (TMC2)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	クロック選択レジスタ (TCL3, TCL4)	88H
	シフト・レジスタ (SIO0, SIO3)	不 定
	モード・レジスタ (CSIM0, CSIM2, CSIM3)	00H
	シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)	00H
	スレーブ・アドレス・レジスタ (SVA)	不 定
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)	00H
	シリアル・インタフェース端子選択レジスタ (SIPS)	00H
	送信シフト・レジスタ (TXS)	FFH
	受信バッファ・レジスタ (RXB)	
	割り込みタイミング指定レジスタ (SINT)	00H
A/Dコンバータ	モード・レジスタ (ADM)	01H
	変換結果レジスタ (ADCR)	不 定
	入力選択レジスタ (ADIS)	00H
LCDコントローラ/ドライバ	表示モード・レジスタ (LCDM)	00H
	表示コントロール・レジスタ (LCDC)	00H
割り込み	要求フラグ・レジスタ (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H
	キー・リターン・モード・レジスタ (KRM)	02H
	サンプリング・クロック選択レジスタ (SCS)	00H

第23章 μ PD78P0308, 78P0308Y

μ PD78P0308, 78P0308Yは、 μ PD780308, 780308Yの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えた製品です。 μ PD78P0308, 78P0308YとマスクROM製品 (μ PD780306, 780306Y, 780308, 780308Y) の違いを表23 - 1に示します。

表23 - 1 μ PD78P0308, 78P0308YとマスクROM製品の違い

項 目	μ PD78P0308, 78P0308Y	マスクROM製品
ROM構造	ワン・タイムPROM/EPROM	マスクROM
ROM容量	60 Kバイト	μ PD780306, 780306Y : 48 Kバイト μ PD780308, 780308Y : 60 Kバイト
メモリ・サイズ切り替えレジスタによる内部ROM容量の変更	可 ^注	不可
IC端子	なし	あり
V _{PP} 端子	あり	なし
LCD駆動電源供給用分割抵抗のマスク・オプション	なし	あり
電気的特性	個別の製品のデータ・シートを参照してください。	

注 RESET入力により、内部PROMは60 Kバイトとなります。

注意 PROMとマスクROMとでは、ノイズ耐量やノイズ輻射などが異なります。試作から量産の課程で、PROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS品 (ES品ではなく) で十分な評価を行ってください。

23.1 メモリ・サイズ切り替えレジスタ

μ PD78P0308, 78P0308Yは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリを選択することができます。IMSを設定することにより、内部メモリの異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

図23 - 1 メモリ・サイズ切り替えレジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	CFH	R/W

RAM2	RAM1	RAM0	内部高速RAM容量の選択			
1	1	0	1024バイト			
上記以外			設定禁止			

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
1	1	0	0	48 Kバイト			
1	1	1	1	60 Kバイト			
上記以外				設定禁止			

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表23 - 2に示します。

表23 - 2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD780306, 780306Y	CCH
μ PD780308, 780308Y	CFH

23.2 内部拡張RAMサイズ切り替えレジスタ

μ PD78P0308, 78P0308Yは、内部拡張RAMサイズ切り替えレジスタ（IXS）により、内部拡張RAMサイズを選択することができます。IXSを設定することにより、内部拡張RAMの異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IXSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0AHになります。

図23 - 2 内部拡張RAMサイズ切り替えレジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0	FFF4H	0AH	W

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	0	1	0	1024バイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIXSの設定値を表23 - 3に示します。

表23 - 3 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD780306, 780306Y	0AH
μ PD780308, 780308Y	

23.3 PROMプログラミング

μ PD78P0308, 78P0308Yは、プログラム・メモリとして、60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、 V_{PP} 端子、 \overline{RESET} 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、1.5または2.5(2) PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-EFFFH番地の範囲で行ってください(最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないIPROMプログラマでは書き込みできません。

23.3.1 動作モード

V_{PP} 端子に+5 Vまたは+12.5 V、 \overline{RESET} 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは \overline{CE} 端子、 \overline{OE} 端子、 \overline{PGM} 端子の設定により、表23-4のような動作モードになります。また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表23-4 PROMプログラミングの動作モード

動作モード \ 端子	\overline{RESET}	V_{PP}	V_{DD}	\overline{CE}	\overline{OE}	\overline{PGM}	D0-D7
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				x	H	H	ハイ・インピーダンス
				x	L	L	
読み出し	+5 V	+5 V	L	L	H	データ出力	
出力ディスエーブル			L	H	x	ハイ・インピーダンス	
スタンバイ			H	x	x	ハイ・インピーダンス	

x : LまたはH

(1) 読み出しモード

$\overline{CE} = L$, $\overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD78P0308, 78P0308Yを接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより, ページ・データ・ラッチ・モードになります。

このモードでは, 1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後, $\overline{CE} = H$, $\overline{OE} = H$ の状態ではPGM端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後, $\overline{CE} = L$, $\overline{OE} = L$ にすることにより, プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X = 10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態ではPGM端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後, $\overline{OE} = L$ にすることにより, プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X = 10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより, プログラム・ベリファイ・モードになります。

書き込みを行ったのち, 正しく書き込まれたかどうかこのモードで確認してください。

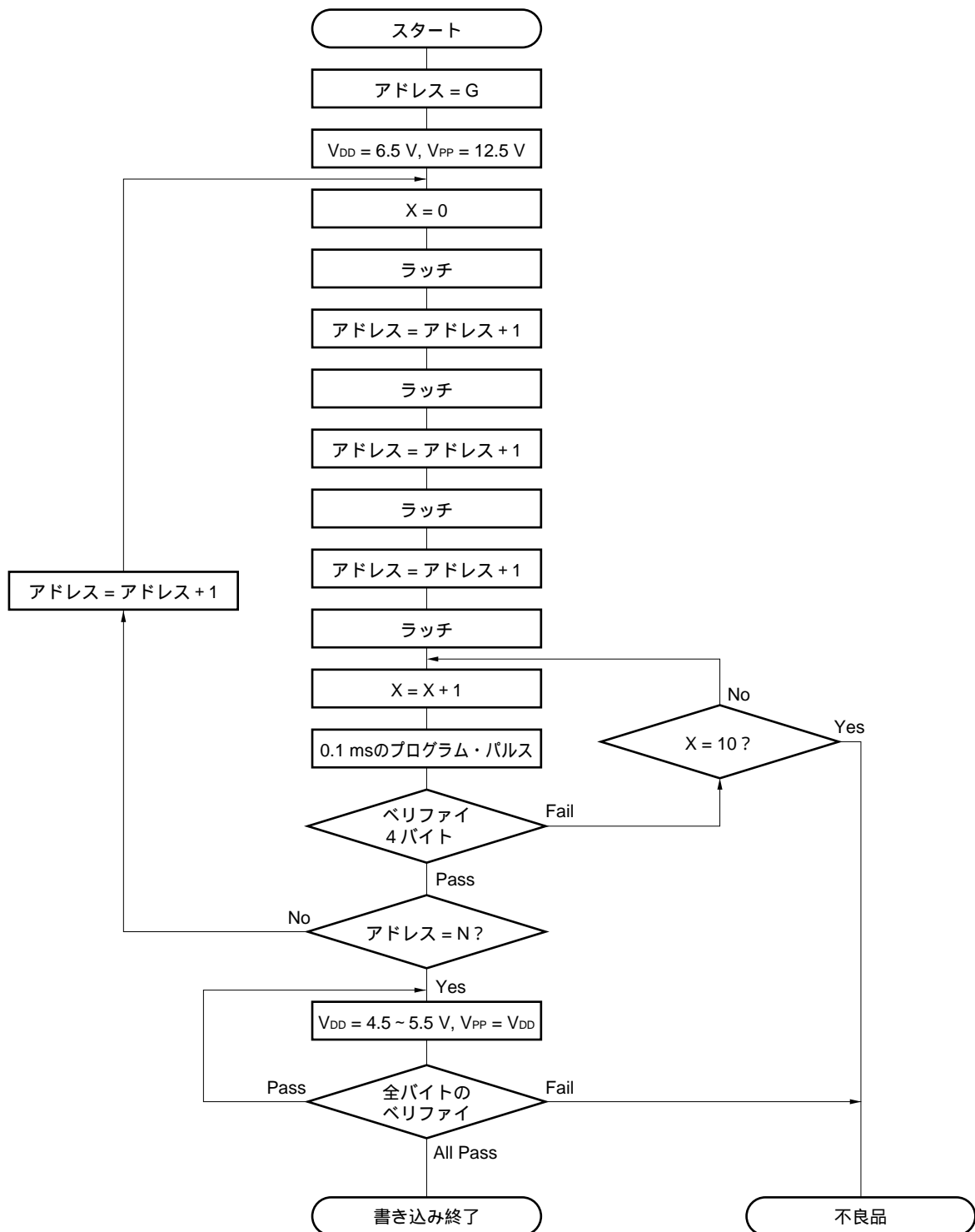
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは, 複数の μ PD78P0308, 78P0308Yの \overline{OE} 端子, V_{PP} 端子, D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に, 上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき, \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

23.3.2 PROM書き込みの手順

図23-3 ページ・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図23-4 ページ・プログラム・モード・タイミング

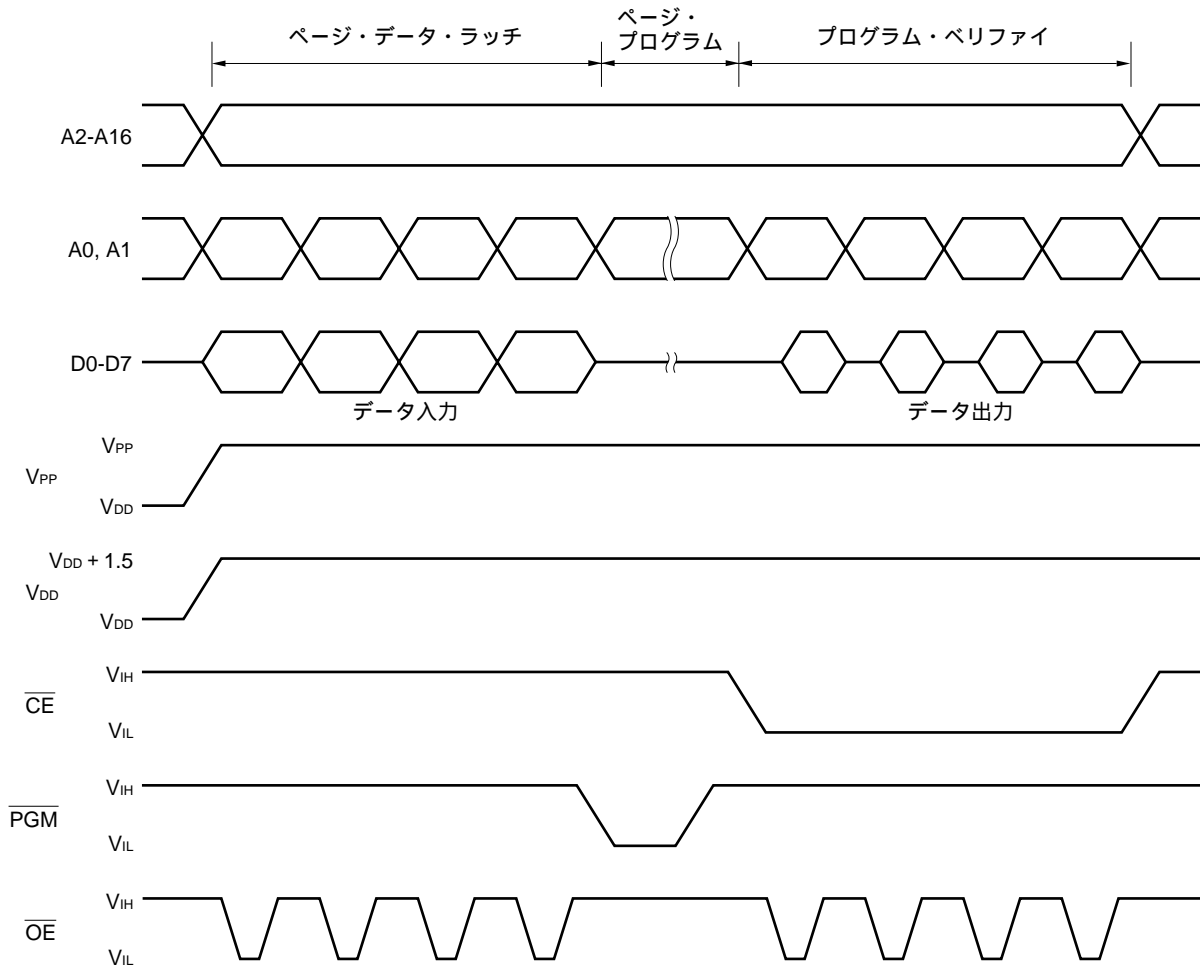
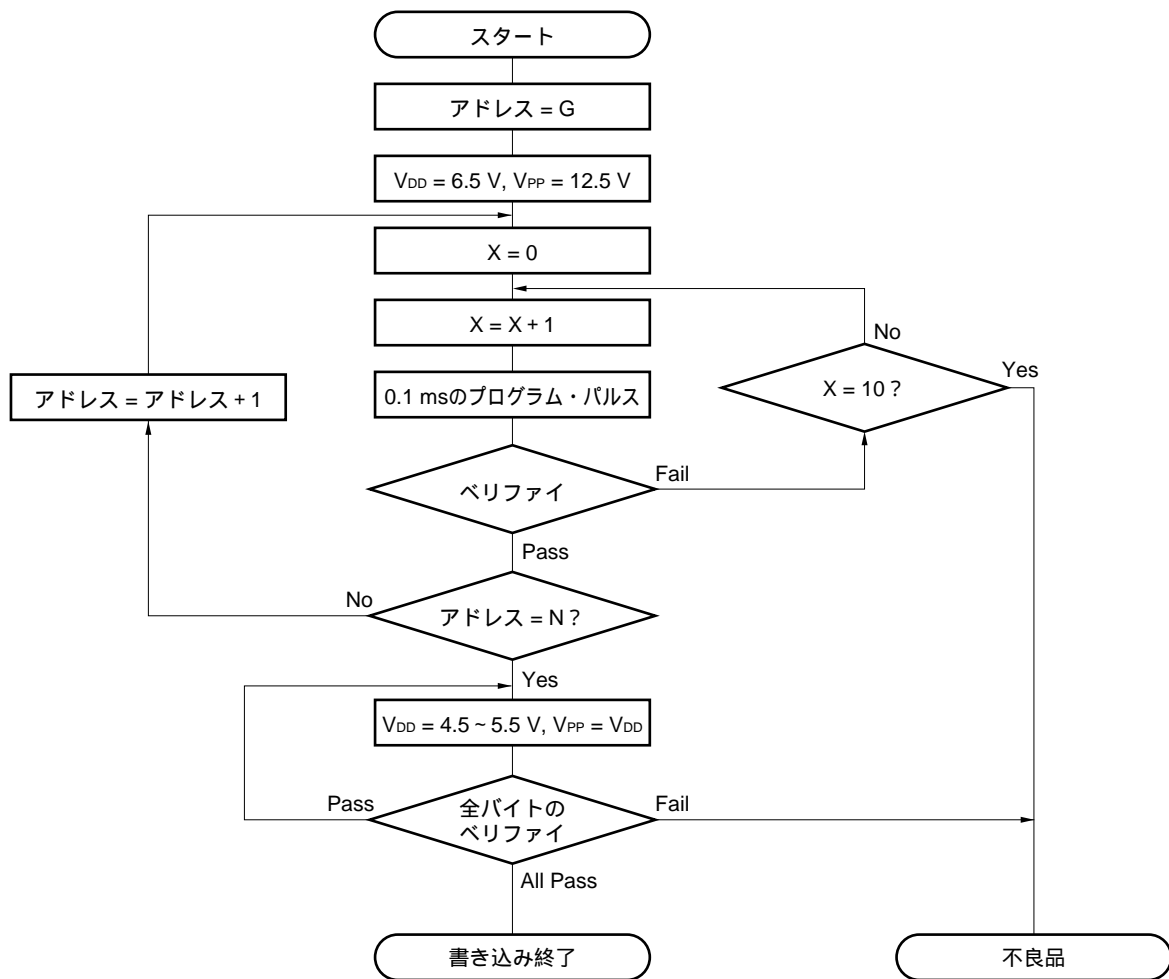


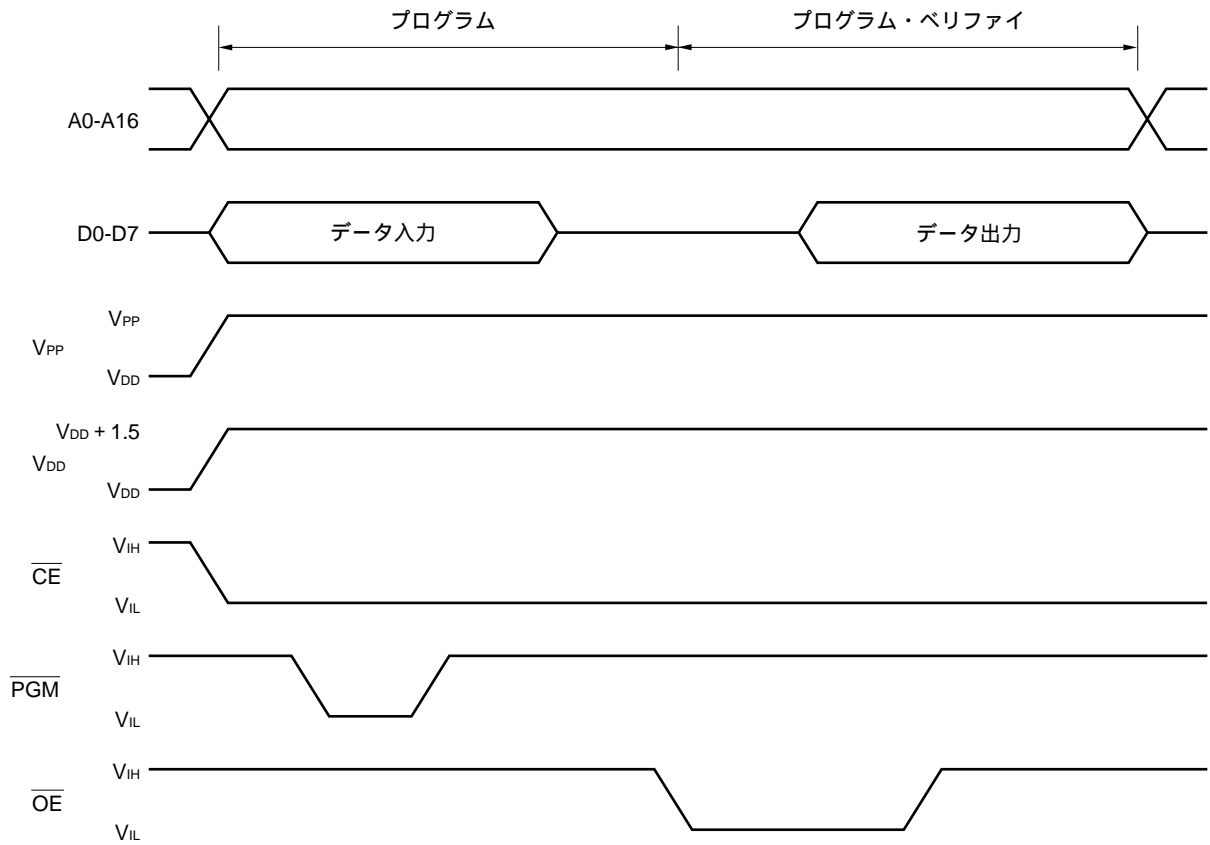
図23-5 バイト・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図23 - 6 バイト・プログラム・モード・タイミング



- 注意1.** V_{DD}はV_{PP}より前に印加し、V_{PP}のあとから切断するようにしてください。
- 2.** V_{PP}はオーバシュートを含めて + 13.5 V以上にならないようにしてください。
- 3.** V_{PP}に + 12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

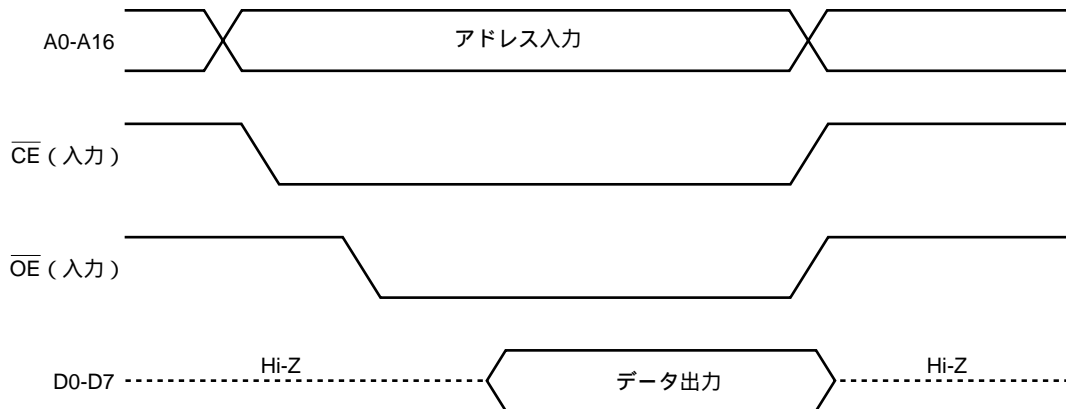
23.3.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に+5Vを供給、その他、使用しない端子は1.5または2.5(2) PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{PP} 端子に+5Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図23-7に示します。

図23-7 PROMの読み出しタイミング



23.4 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

第24章 命令セットの概要

μ PD780308, 780308Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

24.1 凡 例

24.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミューディアット・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミューディアット・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表24 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミューディアット・データまたはラベル
saddrp	FE20H-FF1FH イミューディアット・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミューディアット・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミューディアット・データまたはラベル
addr5	0040H-007FH イミューディアット・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミューディアット・データまたはラベル
byte	8ビット・イミューディアット・データまたはラベル
bit	3ビット・イミューディアット・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表5 - 3 特殊機能レジスタ一覧を参照してください。

24.1.2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x ^H , x ^L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

24.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

24.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注4</small>	1	4	-	AX rp			
		rp, AX <small>注4</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <small>注4</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。
4. rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x	
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x	
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
A, [HL + byte]		2	8	9	A A (HL + byte)	x			
A, [HL + B]		2	8	9	A A (HL + B)	x			
A, [HL + C]	2	8	9	A A (HL + C)	x				

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。
 3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	OR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	XOR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	CMP	A, #byte	2	4	-	A - byte		x	x	x
		saddr, #byte	3	6	8	(saddr) - byte		x	x	x
		A, r <small>注3</small>	2	4	-	A - r		x	x	x
		r, A	2	4	-	r - A		x	x	x
		A, saddr	2	4	5	A - (saddr)		x	x	x
		A, !addr16	3	8	9	A - (addr16)		x	x	x
		A, [HL]	1	4	5	A - (HL)		x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x	x
	CMPW	AX, #word	3	6	-	AX - word		x	x	x
乗除算	MULU	X	2	16	-	AX A × X				
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C				

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。
 3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1(Enable Interrupt)			
	DI		2	-	6	IE 0(Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

24.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第25章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
	V _{PP} ^{注1}			- 0.3 ~ + 13.5	V
	AV _{REF}			- 0.3 ~ V _{DD} + 0.3	V
	AV _{SS}			- 0.3 ~ + 0.3	V
入力電圧	V _{I1}	P00-P05, P07, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117, X1, X2, XT1, XT2, RESET		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2} ^{注1}	A9	PROMプログラミング・モード	- 0.3 ~ + 13.5	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} - 0.3 ~ AV _{REF} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子		- 10	mA
		P01-P05, P10-P17, P25-P27, P70-P72, P110-P117合計		- 15	mA
		P30-P37, P80-P87, P90-P97, P100-P103合計		- 15	mA
ロウ・レベル出力電流	I _{OL}	1端子	ピーク値	30	mA
			実効値	15 ^{注2}	mA
		P01-P05, P10-P17, P110-P117合計	ピーク値	60	mA
			実効値	40 ^{注2}	mA
		P30-P37, P100-P103合計	ピーク値	140	mA
			実効値	100 ^{注2}	mA
		P25-P27, P70-P72, P80-P87, P90-P97合計	ピーク値	50	mA
			実効値	20 ^{注2}	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注1. μ PD78P0308, 78P0308Yのみ。

2. 実効値は, [実効値] = [ピーク値] \times $\sqrt{\text{デューティ}}$ で計算してください。

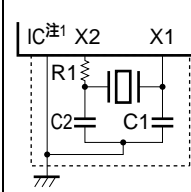
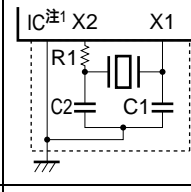
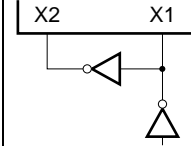
注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

容量 (TA = 25 , V_{DD} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は0 V			15	pF
出力容量	C _{OUT}				15	pF
入出力容量	C _{IO}				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0^{注5} ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数 (fx) ^{注2}	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注3}	VDDが発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) ^{注2}	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間 ^{注3}	4.5 V VDD 5.5 V ^{注4} 2.0 V VDD < 4.5 V ^{注4}			10 30	ms
外部クロック		X1入力周波数 (fx) ^{注2}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)		85		500	ns

注1. μPD78P0308, 78P0308Yの場合はVPP端子になります。

2. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。
3. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。
4. VDDが発振電圧範囲のMIN.に達したあと。
5. ただし発振開始電圧以上、かつVDD = 2.0 V以上 (外部クロックについてはVDD = 2.0 V以上で可)。

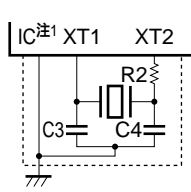
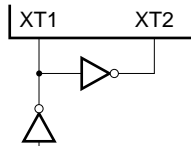
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 μPD78P0308, 78P0308Yの発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.0^{注5} \sim 5.5 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注2}	$V_{DD} =$ 発振電圧範囲	32	32.768	35	kHz
		発振安定時間 ^{注3}	$4.5 V \leq V_{DD} \leq 5.5 V$ ^{注4} $2.0 V \leq V_{DD} < 4.5 V$ ^{注4}		1.2	2	s
外部クロック		XT1入力周波数 (f_{XT}) ^{注2}		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH}, t_{XTL})		5		15	μs

注1. $\mu PD78P0308, 78P0308Y$ の場合は V_{PP} 端子になります。

2. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。
3. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。
4. V_{DD} が発振電圧範囲のMIN.に達したあと。
5. ただし発振開始電圧以上、かつ $V_{DD} = 2.0 V$ 以上（外部クロックについては $V_{DD} = 2.0 V$ 以上で可）。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (TA = -40 ~ +85)

: μPD780306, 780306Y, 780308, 780308Yのみ

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	R1 (kΩ)	MIN. (V)	MAX. (V)
松下電子部品	EFOEC2004A5	2.00	内蔵	内蔵	4.7	2.0	5.5
	EFOEC3584A4	3.58	内蔵	内蔵	0	2.0	5.5
	EFOEC4194A4	4.19	内蔵	内蔵	0	2.0	5.5
	EFOEC4914A4	4.91	内蔵	内蔵	0	2.0	5.5
	EFOEC5004A4	5.00	内蔵	内蔵	0	2.0	5.5
TDK	CCR1000K2	1.00	150	150	0	2.0	5.5
	CCR3.58MC3	3.58	内蔵	内蔵	0	2.0	5.5
	CCR4.19MC3	4.19	内蔵	内蔵	0	2.0	5.5
	CCR4.91MC3	4.91	内蔵	内蔵	0	2.0	5.5
	CCR5.0MC3	5.00	内蔵	内蔵	0	2.0	5.5
村田製作所	CSB1000J	1.00	100	100	2.2	2.0	5.5
	CSA2.00MG040	2.00	100	100	0	2.0	5.5
	CST2.00MG040	2.00	内蔵	内蔵	0	2.0	5.5
	CSA3.58MG	3.58	30	30	0	2.0	5.5
	CST3.58MGW	3.58	内蔵	内蔵	0	2.0	5.5
	CSA4.19MG	4.19	30	30	0	2.0	5.5
	CST4.19MGW	4.19	内蔵	内蔵	0	2.0	5.5
	CSA4.91MG	4.91	30	30	0	2.0	5.5
	CST4.91MGW	4.91	内蔵	内蔵	0	2.0	5.5
	CSA5.00MG	5.00	30	30	0	2.0	5.5
	CST5.00MGW	5.00	内蔵	内蔵	0	2.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD780308, 780308Yサブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	2.7 V VDD 5.5 V		VDD	V	
			2.0 V VDD < 2.7 V		VDD	V	
	VIH2	P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	2.7 V VDD 5.5 V	0.8 VDD		VDD	V
			2.0 V VDD < 2.7 V	0.85 VDD		VDD	V
	VIH3	X1, X2	2.7 V VDD 5.5 V	VDD - 0.5		VDD	V
			2.0 V VDD < 2.7 V	VDD - 0.2		VDD	V
	VIH4	XT1/P07, XT2	4.5 V VDD 5.5 V	0.8 VDD		VDD	V
			2.7 V VDD < 4.5 V	0.9 VDD		VDD	V
			2.0 V VDD < 2.7 V ^注	0.9 VDD		VDD	V
	ロウ・ベル入力電圧	VIL1	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	2.7 V VDD 5.5 V	0	0.3 VDD	V
				2.0 V VDD < 2.7 V	0	0.2 VDD	V
		VIL2	P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	2.7 V VDD 5.5 V	0	0.2 VDD	V
2.0 V VDD < 2.7 V				0	0.15 VDD	V	
VIL3		X1, X2	2.7 V VDD 5.5 V	0	0.4	V	
			2.0 V VDD < 2.7 V	0	0.2	V	
VIL4		XT1/P07, XT2	4.5 V VDD 5.5 V	0	0.2 VDD	V	
			2.7 V VDD < 4.5 V	0	0.1 VDD	V	
			2.0 V VDD < 2.7 V ^注	0	0.1 VDD	V	
ハイ・レベル出力電圧		VOH	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA	VDD - 1.0		VDD	V
			IOH = - 100 μA	VDD - 0.5		VDD	V
ロウ・レベル出力電圧		VOL1	P100-P103	VDD = 4.5 ~ 5.5 V, IOL = 15 mA	0.6	2.0	V
	P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P110-P117		VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA		0.4	V	
	VOL2	SB0, SB1, SCK0	VDD = 4.5 ~ 5.5 V, オープン・ドレイン プルアップ時 (R = 1 kΩ)		0.2 VDD	V	
	VOL3	IOL = 400 μA			0.5	V	

注 XT1/P07端子をP07として使用する場合は、XT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117, RESET			3	μA
	I _{LIH2}		X1, X2, XT1/P07, XT2			20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117, RESET			- 3	μA
	I _{LIL2}		X1, X2, XT1/P07, XT2			- 20	μA
ハイ・レベル 出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μA
ソフトウェア・ ブルアップ抵抗	R	V _{IN} = 0 V	P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117	15	45	90	kΩ

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V) : μPD780306, 780306Y, 780308, 780308Yのみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2} 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		4	12	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.6	1.8	mA
		5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3} 動作モード	V _{DD} = 2.2 V ± 10 % ^{注5}		0.35	1.05	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}		6.5	19.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.8	2.4	mA
	IDD2	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2} HALTモード	V _{DD} = 5.0 V ± 10 %		1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 %		500	1500	μA
		5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3} HALTモード	V _{DD} = 2.2 V ± 10 %		280	840	μA
			V _{DD} = 5.0 V ± 10 %		1.6	4.8	mA
			V _{DD} = 3.0 V ± 10 %		650	1950	μA
	IDD3	32.768 kHz水晶発振 動作モード ^{注6}	V _{DD} = 5.0 V ± 10 %		60	120	μA
			V _{DD} = 3.0 V ± 10 %		32	64	μA
			V _{DD} = 2.2 V ± 10 %		24	48	μA
	IDD4	32.768 kHz水晶発振 HALTモード ^{注6}	V _{DD} = 5.0 V ± 10 %		25	55	μA
			V _{DD} = 3.0 V ± 10 %		5	15	μA
			V _{DD} = 2.2 V ± 10 %		2.5	12.5	μA
IDD5	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.5	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.3	10	μA	
IDD6	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.05	10	μA	

注1. V_{DD}端子に流れる電流です。ただし、A/Dコンバータ、ポート、内蔵プルアップ抵抗、およびLCD分割抵抗に流れる電流は含みません。

2. メイン・システム・クロックf_{xx} = f_x/2動作時（発振モード選択レジスタ（OSMS）を00Hに設定したとき）。
3. メイン・システム・クロックf_{xx} = f_x動作時（OSMSを01Hに設定したとき）。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。
5. 低速モード動作時（PCCを04Hに設定したとき）。
6. メイン・システム・クロックの動作を停止させたとき。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V) : μPD78P0308, 78P0308Yのみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2} 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		5	15	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.7	2.1	mA
		5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3} 動作モード	V _{DD} = 2.2 V ± 10 % ^{注5}		0.4	1.2	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}		9	27	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		1	3	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}		9	27	mA
	IDD2	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2} HALTモード	V _{DD} = 5.0 V ± 10 %		1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 %		500	1500	μA
		5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3} HALTモード	V _{DD} = 2.2 V ± 10 %		280	840	μA
			V _{DD} = 5.0 V ± 10 %		1.6	4.8	mA
			V _{DD} = 3.0 V ± 10 %		650	1950	μA
			V _{DD} = 5.0 V ± 10 %		1.6	4.8	mA
	IDD3	32.768 kHz水晶発振 動作モード ^{注6}	V _{DD} = 5.0 V ± 10 %		135	270	μA
			V _{DD} = 3.0 V ± 10 %		95	190	μA
			V _{DD} = 2.2 V ± 10 %		70	140	μA
	IDD4	32.768 kHz水晶発振 HALTモード ^{注6}	V _{DD} = 5.0 V ± 10 %		25	55	μA
			V _{DD} = 3.0 V ± 10 %		5	15	μA
			V _{DD} = 2.2 V ± 10 %		2.5	12.5	μA
IDD5	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.5	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.3	10	μA	
IDD6	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.05	10	μA	

注1. V_{DD}端子に流れる電流です。ただし、A/Dコンバータ、ポート、内蔵プルアップ抵抗、およびLCD分割抵抗に流れる電流は含みません。

2. メイン・システム・クロックf_{xx} = f_x/2動作時（発振モード選択レジスタ（OSMS）を00Hに設定したとき）。
3. メイン・システム・クロックf_{xx} = f_x動作時（OSMSを01Hに設定したとき）。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。
5. 低速モード動作時（PCCを04Hに設定したとき）。
6. メイン・システム・クロックの動作を停止させたとき。

LCDコントローラ/ドライバ特性 (通常動作時)

(1) スタティック表示モード ($T_A = -10 \sim +85$, $V_{DD} = 2.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.0		V_{DD}	V
LCD分割抵抗	R_{LCD}		60	100	150	k Ω
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$ $V_{LCD0} = V_{LCD}$ $2.0 V \quad V_{LCD} \quad V_{DD}$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

(2) 1/3バイアス法 ($T_A = -10 \sim +85$, $V_{DD} = 2.5 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.5		V_{DD}	V
LCD分割抵抗	R_{LCD}		60	100	150	k Ω
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$ $V_{LCD0} = V_{LCD}$ $V_{LCD1} = V_{LCD} \times 2/3$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$ $V_{LCD2} = V_{LCD} \times 1/3$ $2.5 V \quad V_{LCD} \quad V_{DD}$	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

(3) 1/2バイアス法 ($T_A = -10 \sim +85$, $V_{DD} = 2.7 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.7		V_{DD}	V
LCD分割抵抗	R_{LCD}		60	100	150	k Ω
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$ $V_{LCD0} = V_{LCD}$ $V_{LCD1} = V_{LCD} \times 1/2$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$ $V_{LCD2} = V_{LCD1}$ $2.7 V \quad V_{LCD} \quad V_{DD}$	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

LCDコントローラ/ドライバ特性 (低電圧動作時)

(1) スタティック表示モード ($T_A = -10 \sim +85$, $2.0\text{ V} \leq V_{DD} < 3.4\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}			2.0		V_{DD}	V
LCD分割抵抗	R_{LCD}			60	100	150	$k\Omega$
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$	$V_{LCD0} = V_{LCD}$ $2.0\text{ V} \leq V_{LCD} \leq V_{DD}$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$		0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

(2) 1/3バイアス法 ($T_A = -10 \sim +85$, $2.0\text{ V} \leq V_{DD} < 3.4\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}			2.0		V_{DD}	V
LCD分割抵抗	R_{LCD}			60	100	150	$k\Omega$
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$	$V_{LCD0} = V_{LCD}$ $V_{LCD1} = V_{LCD} \times 2/3$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$		$V_{LCD2} = V_{LCD} \times 1/3$ $2.0\text{ V} \leq V_{LCD} \leq V_{DD}$	0		± 0.2

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

(3) 1/2バイアス法 ($T_A = -10 \sim +85$, $2.0\text{ V} \leq V_{DD} < 3.4\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}			2.0		V_{DD}	V
LCD分割抵抗	R_{LCD}			60	100	150	$k\Omega$
LCD出力電圧偏差 ^注 (コモン)	V_{ODC}	$I_o = \pm 5 \mu A$	$V_{LCD0} = V_{LCD}$ $V_{LCD1} = V_{LCD} \times 1/2$	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V_{ODS}	$I_o = \pm 1 \mu A$		$V_{LCD2} = V_{LCD1}$ $2.0\text{ V} \leq V_{LCD} \leq V_{DD}$	0		± 0.2

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn} ; $n = 0, 1, 2$) に対する出力電圧との差です。

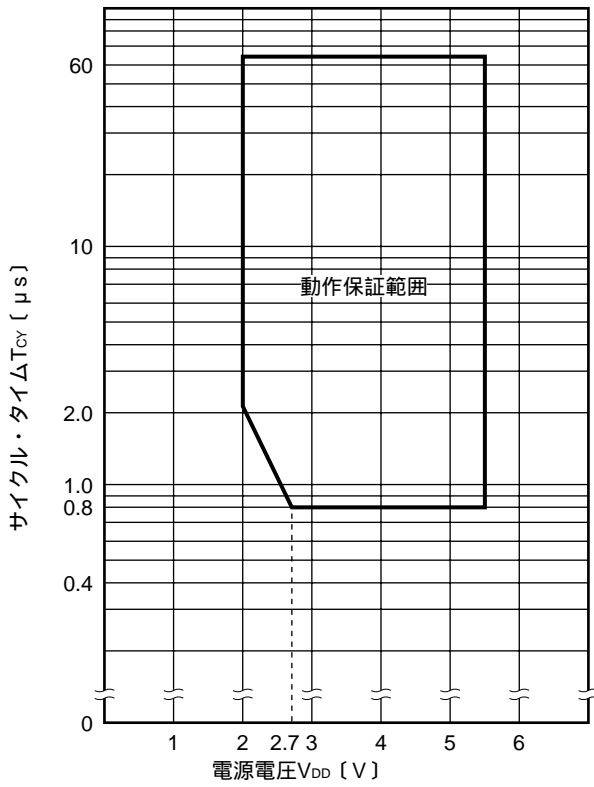
AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V)

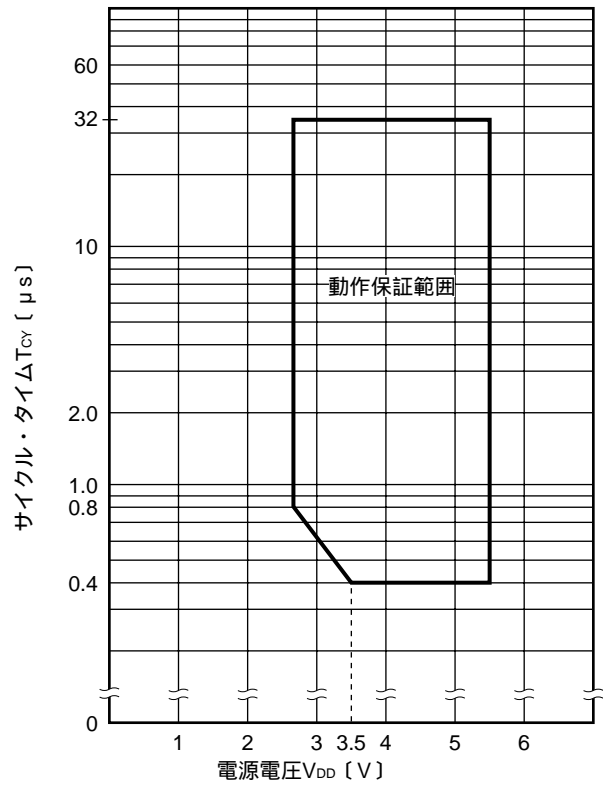
項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作 (fxx = 2.5 MHz) 注1	2.7 V VDD 5.5 V	0.8		64	μs
			2.0 V VDD < 2.7 V	2.0		64	μs
		メイン・システム・クロックで動作 (fxx = 5.0 MHz) 注2	3.5 V VDD 5.5 V	0.4		32	μs
			2.7 V VDD < 3.5 V	0.8		32	μs
		サブシステム・クロックで動作	40 注3	122	125	μs	
TI00入力周波数	fTI00	tTI00 = tTIH00 + tTIL00		0		1/tTI00	MHz
TI00入力 ハイ, ロウ・レベル幅	tTIH00 tTIL00	3.5 V VDD 5.5 V		2/fsam + 0.1 注4			μs
		2.7 V VDD < 3.5 V		2/fsam + 0.2 注4			μs
		2.0 V VDD < 2.7 V		2/fsam + 0.5 注4			μs
TI01入力周波数	fTI01	2.7 V VDD 5.5 V		0		100	kHz
		2.0 V VDD < 2.7 V		0		50	kHz
TI01入力 ハイ, ロウ・レベル幅	tTIH01 tTIL01	2.7 V VDD 5.5 V		10			μs
		2.0 V VDD < 2.7 V		20			μs
TI1, TI2入力周波数	fTI1	4.5 V VDD 5.5 V		0		4	MHz
		2.0 V VDD < 4.5 V		0		275	kHz
TI1, TI2入力 ハイ, ロウ・レベル幅	tTIH1, tTIL1	4.5 V VDD 5.5 V		100			ns
		2.0 V VDD < 4.5 V		1.8			μs
割り込み要求入力 ハイ, ロウ・レベル幅	tINTH, tINTH	INTP0	3.5 V VDD 5.5 V	2/fsam + 0.1 注4			μs
			2.7 V VDD < 3.5 V	2/fsam + 0.2 注4			μs
			2.0 V VDD < 2.7 V	2/fsam + 0.5 注4			μs
	INTP1-INTP5, P110-P117	2.7 V VDD 5.5 V	10			μs	
		2.0 V VDD < 2.7 V	20			μs	
RESETロウ・レベル幅	tRSL	2.7 V VDD 5.5 V		10			μs
		2.0 V VDD < 2.7 V		20			μs

- 注1. メイン・システム・クロック fxx = fx/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。
 2. メイン・システム・クロック fxx = fx動作時 (OSMSを01Hに設定したとき)。
 3. 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。
 4. サンプリング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により, fsam = fxx/2^N, fxx/32, fxx/64, fxx/128を選択が可能です (N = 0-4)。

T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x/2動作時)



T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 2.0 \sim 5.5 V$)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード ($\overline{SCK0}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY1}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{DD} < 4.5 V$	1600			ns
		2.0 V $V_{DD} < 2.7 V$	3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH1} ,	4.5 V V_{DD} 5.5 V	t _{KCY1} /2 - 50			ns
	t _{KL1}	2.0 V $V_{DD} < 4.5 V$	t _{KCY1} /2 - 100			ns
SI0セットアップ時間 (対 $\overline{SCK0}$)	t _{SIK1}	4.5 V V_{DD} 5.5 V	100			ns
		2.7 V $V_{DD} < 4.5 V$	150			ns
		2.0 V $V_{DD} < 2.7 V$	300			ns
SI0ホールド時間 (対 $\overline{SCK0}$)	t _{KSI1}		400			ns
$\overline{SCK0}$ SO0 出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, $\overline{SCK0}$, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{SCK0}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY2}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{DD} < 4.5 V$	1600			ns
		2.0 V $V_{DD} < 2.7 V$	3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH2} ,	4.5 V V_{DD} 5.5 V	400			ns
	t _{KL2}	2.7 V $V_{DD} < 4.5 V$	800			ns
		2.0 V $V_{DD} < 2.7 V$	1600			ns
SI0セットアップ時間 (対 $\overline{SCK0}$)	t _{SIK2}		100			ns
SI0ホールド時間 (対 $\overline{SCK0}$)	t _{KSI2}		400			ns
$\overline{SCK0}$ SO0 出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns
SCK0立ち上がり, 立ち下がり時間	t _{R2} , t _{F2}				1000	ns

注 Cは, SO0出力ラインの負荷容量です。

(iii) SBIモード ($\overline{\text{SCK0}}$...内部クロック出力) : $\mu\text{PD780306, 780308, 78P0308}$ のみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY3}	4.5 V V_{DD} 5.5 V		800			ns
		2.0 V $V_{\text{DD}} < 4.5$ V		3200			ns
$\overline{\text{SCK0}}$ ハイ, ロウ・レベル幅	t_{KH3}	4.5 V V_{DD} 5.5 V		$t_{\text{KCY3}}/2 - 50$			ns
	t_{KL3}	2.0 V $V_{\text{DD}} < 4.5$ V		$t_{\text{KCY3}}/2 - 150$			ns
SB0, SB1 セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK3}	4.5 V V_{DD} 5.5 V		100			ns
		2.0 V $V_{\text{DD}} < 4.5$ V		300			ns
SB0, SB1 ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI3}			$t_{\text{KCY3}}/2$			ns
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t_{KSO3}	R = 1 k Ω , C = 100 pF ^注	4.5 V V_{DD} 5.5 V	0		250	ns
			2.0 V $V_{\text{DD}} < 4.5$ V	0		1000	ns
$\overline{\text{SCK0}}$ SB0, SB1	t_{KSB}			t_{KCY3}			ns
SB0, SB1 $\overline{\text{SCK0}}$	t_{SBK}			t_{KCY3}			ns
SB0, SB1 ハイ・レベル幅	t_{SBH}			t_{KCY3}			ns
SB0, SB1 ロウ・レベル幅	t_{SBL}			t_{KCY3}			ns

注 R, Cは, $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード ($\overline{\text{SCK0}}$...外部クロック入力) : $\mu\text{PD780306, 780308, 78P0308}$ のみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY4}	4.5 V V_{DD} 5.5 V		800			ns
		2.0 V $V_{\text{DD}} < 4.5$ V		3200			ns
$\overline{\text{SCK0}}$ ハイ, ロウ・レベル幅	t_{KH4}	4.5 V V_{DD} 5.5 V		400			ns
	t_{KL4}	2.0 V $V_{\text{DD}} < 4.5$ V		1600			ns
SB0, SB1 セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK4}	4.5 V V_{DD} 5.5 V		100			ns
		2.0 V $V_{\text{DD}} < 4.5$ V		300			ns
SB0, SB1 ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI4}			$t_{\text{KCY4}}/2$			ns
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t_{KSO4}	R = 1 k Ω , C = 100 pF ^注	4.5 V V_{DD} 5.5 V	0		300	ns
			2.0 V $V_{\text{DD}} < 4.5$ V	0		1000	ns
$\overline{\text{SCK0}}$ SB0, SB1	t_{KSB}			t_{KCY4}			ns
SB0, SB1 $\overline{\text{SCK0}}$	t_{SBK}			t_{KCY4}			ns
SB0, SB1 ハイ・レベル幅	t_{SBH}			t_{KCY4}			ns
SB0, SB1 ロウ・レベル幅	t_{SBL}			t_{KCY4}			ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t_{R4}					1000	ns
	t_{F4}						ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY5}	R = 1 kΩ, C = 100 pF ^注	2.7 V V _{DD} 5.5 V	1600		ns
			2.0 V V _{DD} < 2.7 V	3200		ns
SCK0ハイレベル幅	t _{KH5}	R = 1 kΩ, C = 100 pF ^注	2.7 V V _{DD} 5.5 V	t _{KCY5} /2 - 160		ns
			2.0 V V _{DD} < 2.7 V	t _{KCY5} /2 - 190		ns
SCK0ロウ・レベル幅	t _{KL5}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	t _{KCY5} /2 - 50		ns
			2.0 V V _{DD} < 4.5 V	t _{KCY5} /2 - 100		ns
SB0, SB1セットアップ 時間 (対SCK0)	t _{SIK5}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	300		ns
			2.7 V V _{DD} < 4.5 V	350		ns
			2.0 V V _{DD} < 2.7 V	400		ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI5}	R = 1 kΩ, C = 100 pF ^注		600		ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO5}	R = 1 kΩ, C = 100 pF ^注			300	ns

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY6}	2.7 V V _{DD} 5.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
SCK0ハイ・レベル幅	t _{KH6}	2.7 V V _{DD} 5.5 V	650			ns
		2.0 V V _{DD} < 2.7 V	1300			ns
SCK0ロウ・レベル幅	t _{KL6}	2.7 V V _{DD} 5.5 V	800			ns
		2.0 V V _{DD} < 2.7 V	1600			ns
SB0, SB1セットアップ 時間 (対SCK0)	t _{SIK6}	R = 1 kΩ, C = 100 pF ^注	100			ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI6}	R = 1 kΩ, C = 100 pF ^注	t _{KCY6} /2			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO6}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0	300	ns
			2.0 V V _{DD} < 4.5 V	0	500	ns
SCK0立ち上がり, 立ち下がり時間	t _{R6}, t_{F6}}	R = 1 kΩ, C = 100 pF ^注			1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL...内部クロック出力) : μPD780306Y, 780308Y, 78P0308Yのみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY7}	R = 1 kΩ, C = 100 pF ^注	2.7 V V _{DD} 5.5 V	10			ns
			2.0 V V _{DD} < 2.7 V	20			ns
SCLハイ・レベル幅	t _{KH7}	R = 1 kΩ, C = 100 pF ^注	2.7 V V _{DD} 5.5 V	t _{KCY7} - 160			ns
			2.0 V V _{DD} < 2.7 V	t _{KCY7} - 190			ns
SCLロウ・レベル幅	t _{KL7}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	t _{KCY7} - 50			ns
			2.0 V V _{DD} < 4.5 V	t _{KCY7} - 100			ns
SDA0, SDA1セット アップ時間 (対SCL)	t _{SIK7}	R = 1 kΩ, C = 100 pF ^注	2.7 V V _{DD} 5.5 V	200			ns
			2.0 V V _{DD} < 2.7 V	300			ns
SDA0, SDA1ホールド時 間 (対SCL)	t _{KSI7}	R = 1 kΩ, C = 100 pF ^注		0			ns
SCL SDA0, SDA1出力遅延時間	t _{KSO7}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			2.0 V V _{DD} < 4.5 V	0		500	ns
SCL SDA0, SDA1 またはSCL SDA0, SDA1	t _{KSB}	R = 1 kΩ, C = 100 pF ^注		200			ns
SDA0, SDA1 SCL	t _{SBK}	R = 1 kΩ, C = 100 pF ^注		400			ns
SDA0, SDA1ハイ・ レベル編	t _{SBH}	R = 1 kΩ, C = 100 pF ^注		500			ns

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(viii) I²Cバス・モード (SCL...外部クロック入力) : μPD780306Y, 780308Y, 78P0308Yのみ

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY8}			1000			ns
SCLハイ, ロウ・レベル 幅	t _{KH8, t_{KL8}}			400			ns
SDA0, SDA1セット アップ時間 (対SCL)	t _{SIK8}			200			ns
SDA0, SDA1ホールド時 間 (対SCL)	t _{KSI8}			0			ns
SCL SDA0, SDA1出力遅延時間	t _{KSO8}	R = 1 kΩ, C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			2.0 V V _{DD} < 4.5 V	0		500	ns
SCL SDA0, SDA1 またはSCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベ ル編	t _{SBH}			500			ns
SCL立ち上がり, 立ち下がり時間	t _{R8, t_{F8}}					1000	ns

注 R, Cは, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード ($\overline{\text{SCK2}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY9}	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH9} ,	4.5 V V _{DD} 5.5 V	t _{KCY9} /2 - 50			ns
	t _{KL9}	2.0 V V _{DD} < 4.5 V	t _{KCY9} /2 - 100			ns
SI2セットアップ時間 (対 $\overline{\text{SCK2}}$)	t _{SIK9}	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	300			ns
SI2ホールド時間 (対 $\overline{\text{SCK2}}$)	t _{KSI9}		400			ns
SCK2 SO2 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns

注 Cは, $\overline{\text{SCK2}}$, SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{\text{SCK2}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY10}	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH10} ,	4.5 V V _{DD} 5.5 V	400			ns
	t _{KL10}	2.7 V V _{DD} < 4.5 V	800			ns
		2.0 V V _{DD} < 2.7 V	1600			ns
SI2セットアップ時間 (対 $\overline{\text{SCK2}}$)	t _{SIK10}		100			ns
SI2ホールド時間 (対 $\overline{\text{SCK2}}$)	t _{KSI10}		400			ns
SCK2 SO2 出力遅延時間	t _{KSO10}	C = 100 pF ^注			300	ns
SCK2立ち上がり, 立ち下がり時間	t _{R10} ,				1000	ns
	t _{F10}					

注 Cは, SO2出力ラインの負荷容量です。

(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V_{DD} 5.5 V			78125	bps
		2.7 V $V_{DD} < 4.5$ V			39063	bps
		2.0 V $V_{DD} < 2.7$ V			19531	bps

(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCKサイクル・タイム	t _{KCY11}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{DD} < 4.5$ V	1600			ns
		2.0 V $V_{DD} < 2.7$ V	3200			ns
ASCKハイ, ロウ・ レベル幅	t _{KH11} ,	4.5 V V_{DD} 5.5 V	400			ns
	t _{KL11}	2.7 V $V_{DD} < 4.5$ V	800			ns
		2.0 V $V_{DD} < 2.7$ V	1600			ns
転送レート		4.5 V V_{DD} 5.5 V			39063	bps
		2.7 V $V_{DD} < 4.5$ V			19531	bps
		2.0 V $V_{DD} < 2.7$ V			9766	bps
ASCK立ち上がり, 立ち下がり時間	t _{R11} , t _{F11}				1000	ns

(c) シリアル・インタフェース・チャンネル3

(i) 3線式シリアルI/Oモード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t_{KCY12}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	t_{KH12} ,	4.5 V V_{DD} 5.5 V	$t_{\text{KCY12}}/2 - 50$			ns
	t_{KL12}	2.0 V $V_{\text{DD}} < 4.5 \text{ V}$	$t_{\text{KCY12}}/2 - 100$			ns
SI3セットアップ時間 (対 $\overline{\text{SCK3}}$)	t_{SIK12}	4.5 V V_{DD} 5.5 V	100			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	150			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	300			ns
SI3ホールド時間 (対 $\overline{\text{SCK3}}$)	t_{KSI12}		400			ns
SCK3 SO3 出力遅延時間	t_{KSO12}	$C = 100 \text{ pF}^{\text{注}}$			300	ns

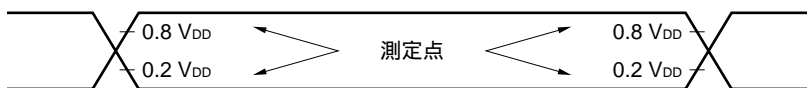
注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{\text{SCK3}}$...外部クロック入力)

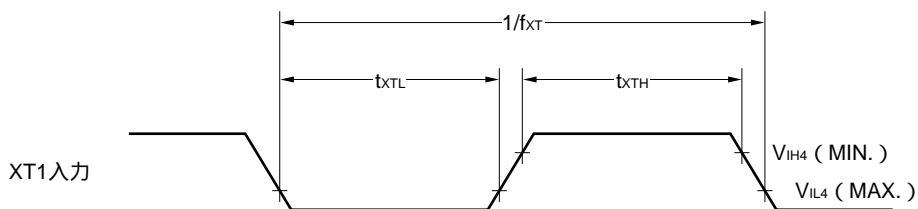
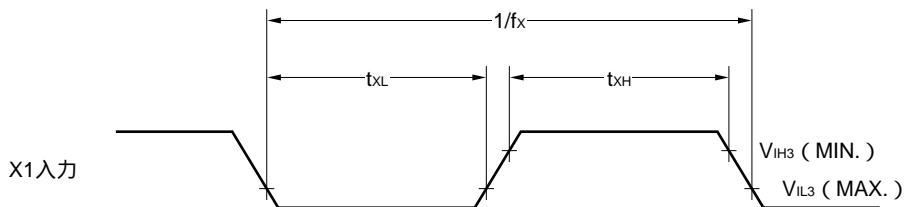
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t_{KCY13}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
SCK3ハイ, ロウ・レベル幅	t_{KH13} ,	4.5 V V_{DD} 5.5 V	400			ns
	t_{KL13}	2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	800			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	1600			ns
SI3セットアップ時間 (対 $\overline{\text{SCK3}}$)	t_{SIK13}		100			ns
SI3ホールド時間 (対 $\overline{\text{SCK3}}$)	t_{KSI13}		400			ns
SCK3 SO3 出力遅延時間	t_{KSO13}	$C = 100 \text{ pF}^{\text{注}}$			300	ns
SCK3立ち上がり, 立ち下がり時間	t_{R13} , t_{F13}				1000	ns

注 Cは, SO3出力ラインの負荷容量です。

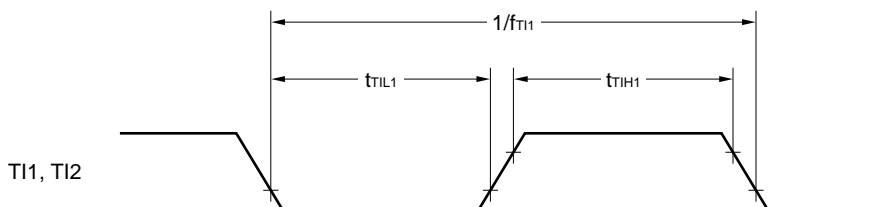
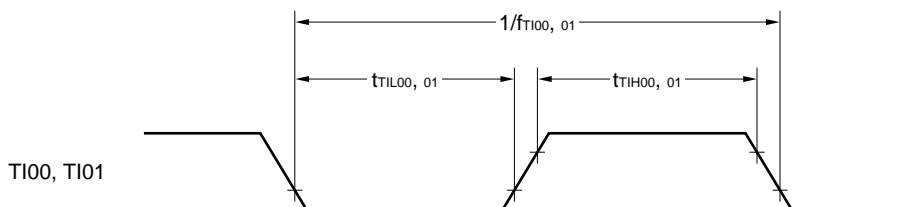
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

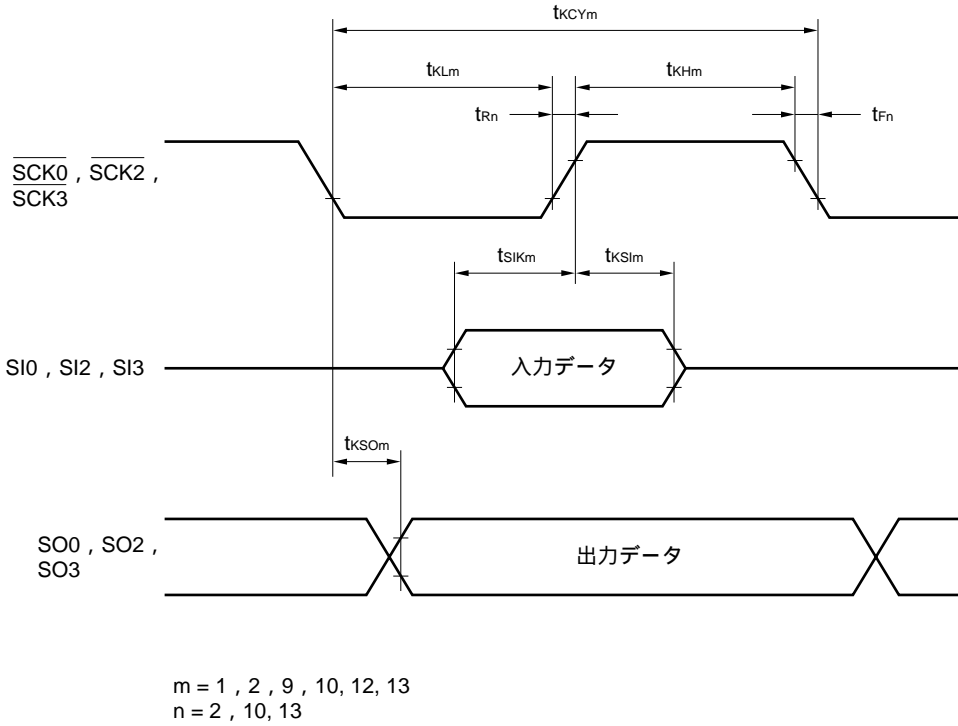


TIタイミング

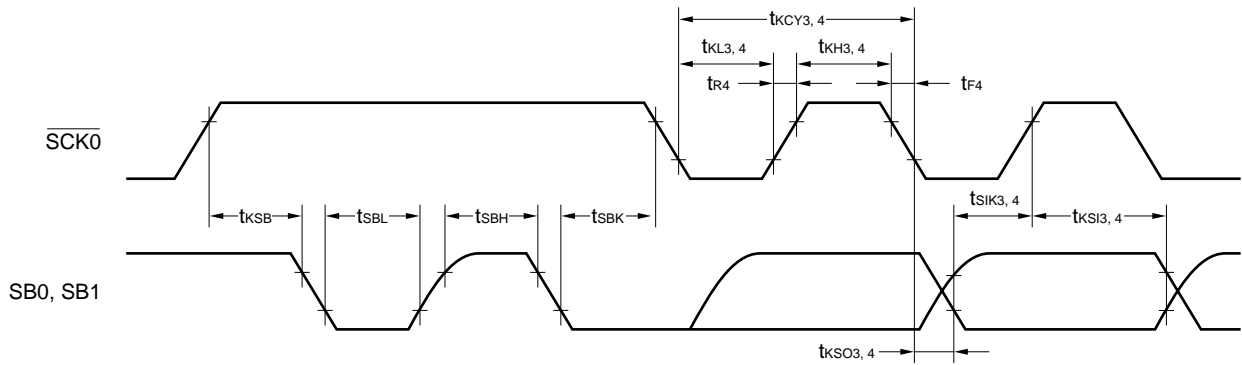


シリアル転送タイミング

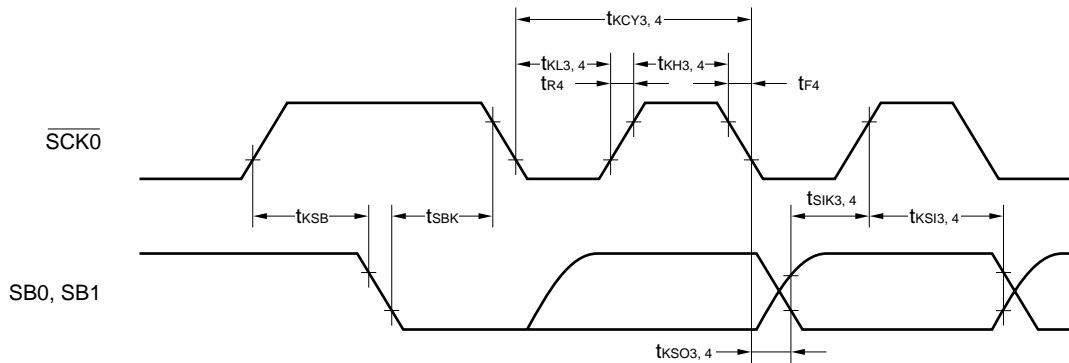
3線式シリアルI/Oモード：



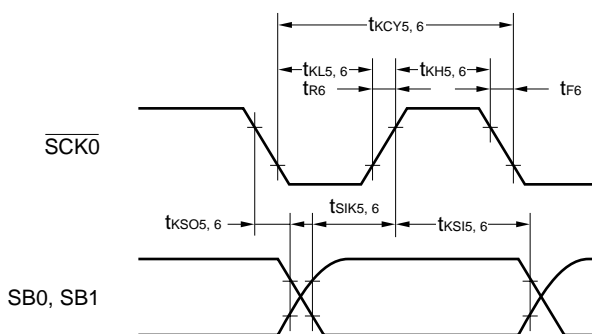
SBIモード (バス・リリース信号転送, μ PD780306, 780308, 78P0308のみ)：



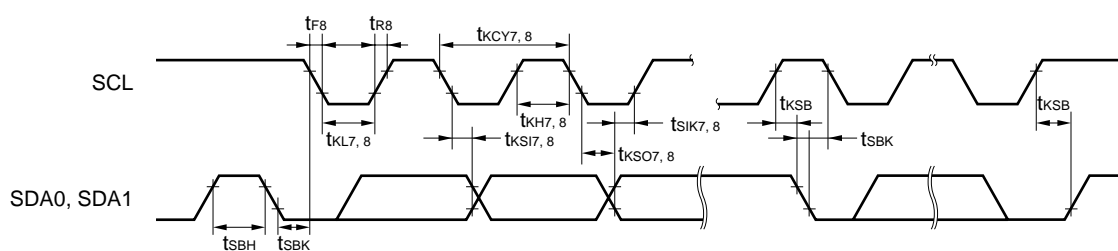
SBIモード (コマンド信号転送, μ PD780306, 780308, 78P0308のみ)：



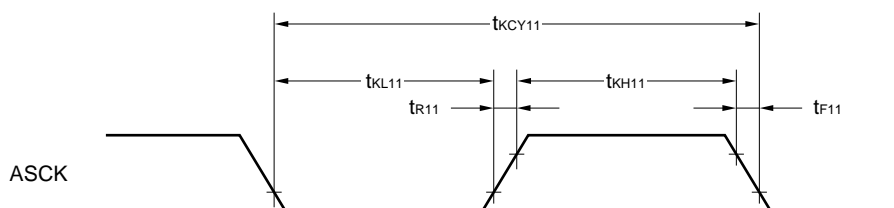
2線式シリアルI/Oモード :



I²Cバス・モード (μPD780306Y, 780308Y, 78P0308Yのみ) :



UARTモード :



A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V , AVSS = VSS = 0 V)

: μPD780306, 780306Y, 780308, 780308Yのみ

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}		2.7 V AVREF 5.5 V			±0.6	%FSR
		2.0 V AVREF < 2.7 V			±1.4	%FSR
変換時間	tCONV		19.1		200	μs
サンプリング時間	tSAMP		12/fXX			μs
アナログ入力電圧	VIAN		AVSS		AVREF	V
基準電圧	AVREF		2.0		VDD	V
AVREF-AVSS間抵抗	RREF	A/D変換非動作時	4	14		kΩ
AVREF電流	AIREF	A/D変換動作時 ^{注2}		2.5	5.0	mA
		A/D変換非動作時 ^{注3}		0.5	1.5	mA

注1. 量子化誤差 (± 1/2 LSB) を含みません。フルスケール値に対する比率 (%FSR) で表します。

2. A/Dコンバータ・モード・レジスタ (ADM) のCSビットが “ 1 ” のときに , AVREF端子に流れる電流を示しています。
3. ADMのCSビットが “ 0 ” のときに , AVREF端子に流れる電流を示しています。

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V , AVSS = VSS = 0 V)

: μPD78P0308, 78P0308Yのみ

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}		2.7 V AVREF 5.5 V			±0.6	%FSR
		2.2 V AVREF < 2.7 V			±1.4	%FSR
変換時間	tCONV	2.7 V AVREF 5.5 V	19.1		200	μs
		2.2 V AVREF < 2.7 V	38.2		200	μs
サンプリング時間	tSAMP		24/fXX			μs
アナログ入力電圧	VIAN		AVSS		AVREF	V
基準電圧	AVREF		2.2		VDD	V
AVREF-AVSS間抵抗	RAIREF	A/D変換非動作時	4	14		kΩ
AVREF電流	AIREF	A/D変換動作時 ^{注2}		2.5	5.0	mA
		A/D変換非動作時 ^{注3}		0.5	1.5	mA

注1. 量子化誤差 (± 1/2 LSB) を含みません。フルスケール値に対する比率 (%FSR) で表します。

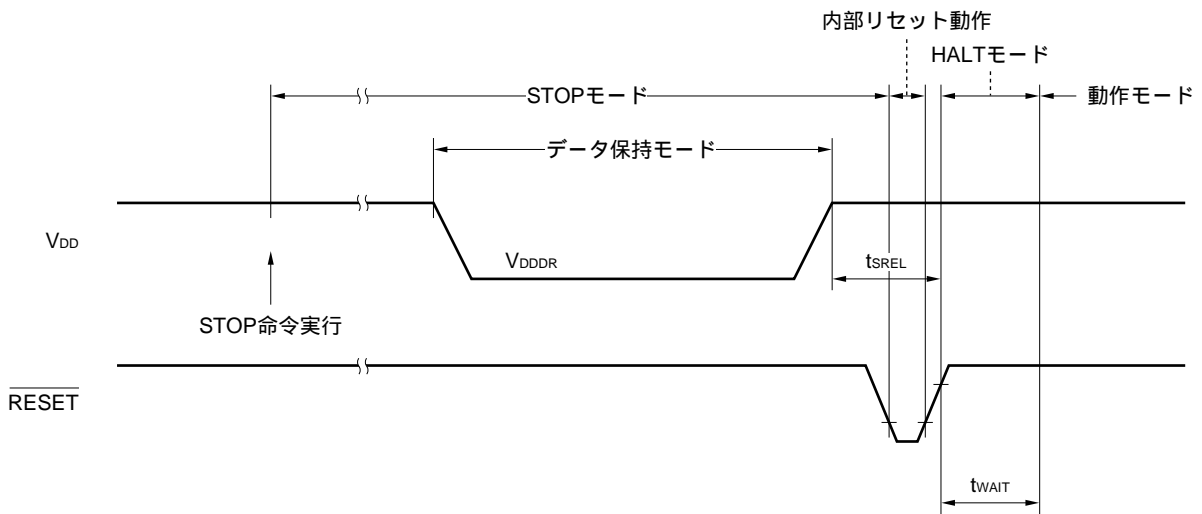
2. A/Dコンバータ・モード・レジスタ (ADM) のCSビットが “ 1 ” のときに , AVREF端子に流れる電流を示しています。
3. ADMのCSビットが “ 0 ” のときに , AVREF端子に流れる電流を示しています。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

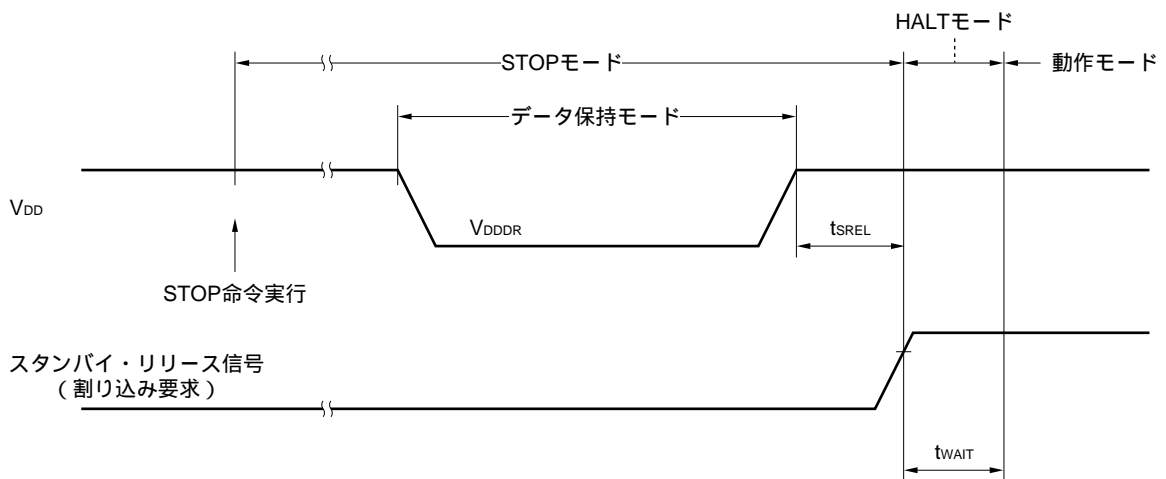
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.6		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.6 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		s
		割り込み要求による解除		注		s

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

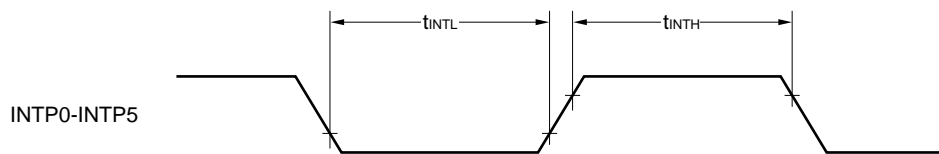
データ保持タイミング (RESETによるSTOPモード解除)



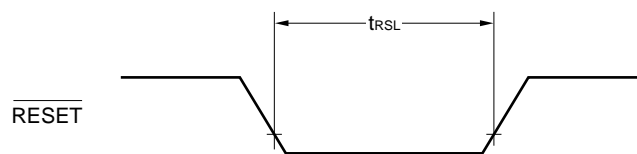
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング

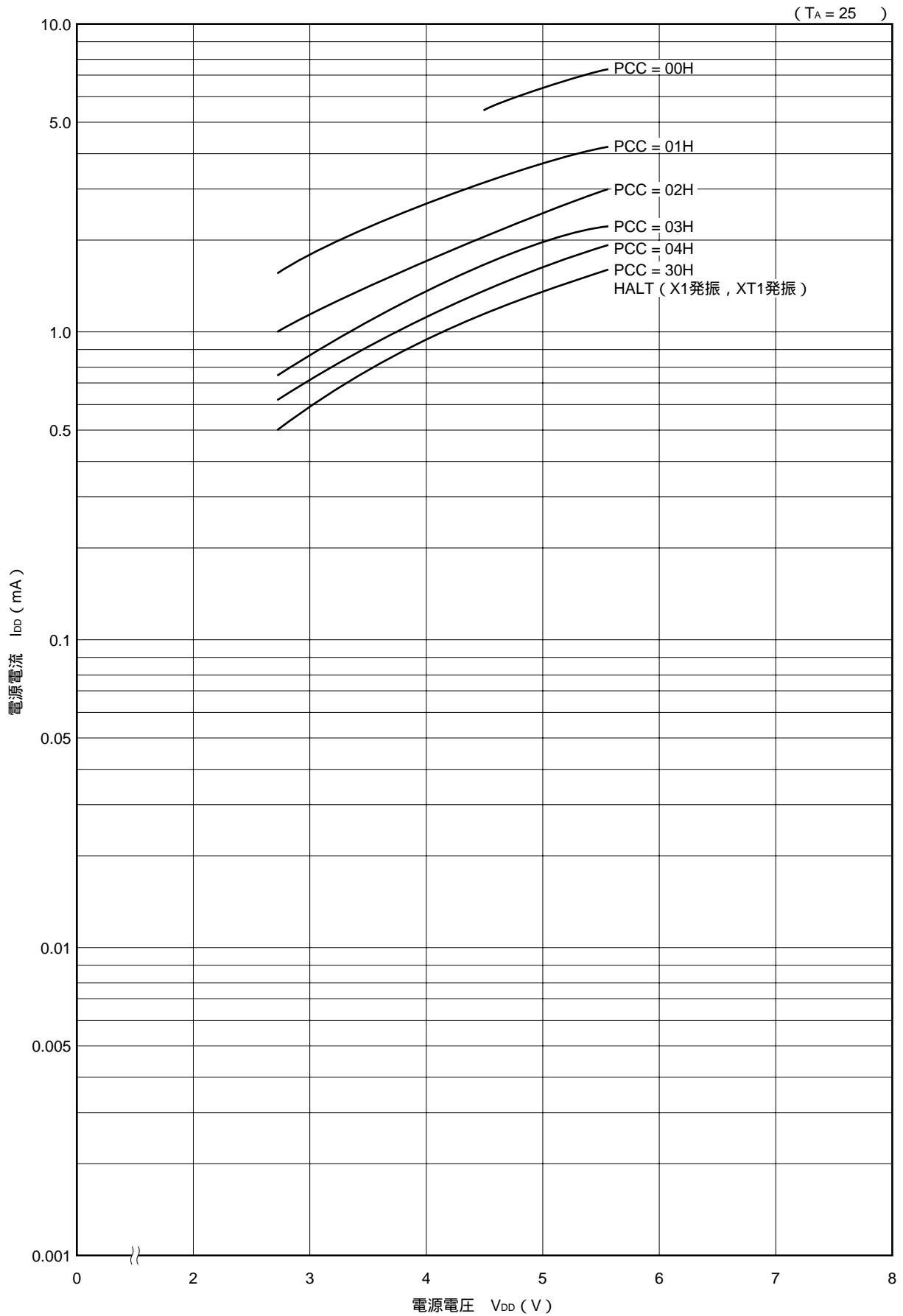


$\overline{\text{RESET}}$ 入力タイミング

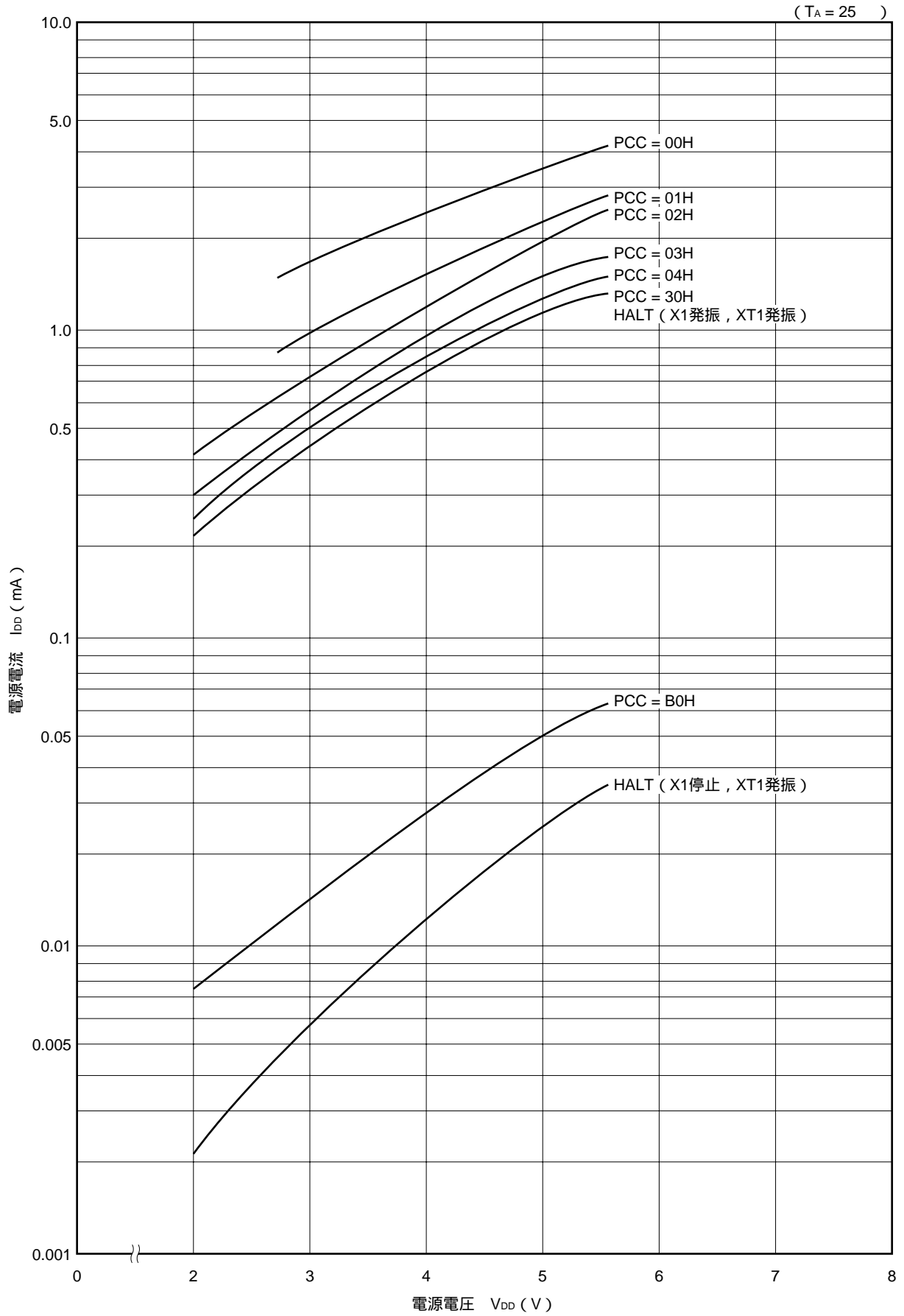


特性曲線 (参考値) : μ PD780306, 780306Y, 780308, 780308Yのみ

I_{DD} vs V_{DD} ($f_x = f_{xx} = 5.0$ MHz)



I_{DD} vs V_{DD} ($f_x = 5.0$ MHz, $f_{xx} = 2.5$ MHz)



PROMプログラミング特性：μPD78P0308, 78P0308Yのみ

DC特性

(1) PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}				50	mA

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
出力リーク電流	I_{LO}	0 $V_{OUT} = V_{DD}, \overline{OE} = V_{IH}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	$CE = V_{IL}, V_{IN} = V_{IH}$			50	mA

AC特性

(1) PROM書き込みモード

(a) ページ・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対 \overline{OE})	t_{AS}		2			μ s
\overline{OE} セット時間	t_{OES}		2			μ s
\overline{CE} セットアップ時間 (対 \overline{OE})	t_{CES}		2			μ s
入力データ・セットアップ時間 (対 \overline{OE})	t_{DS}		2			μ s
アドレス・ホールド時間 (対 \overline{OE})	t_{AH}		2			μ s
	t_{AHL}		2			μ s
	t_{AHV}		0			μ s
入力データ・ホールド時間 (対 \overline{OE})	t_{DH}		2			μ s
\overline{OE} データ出力フロート遅延時間	t_{DF}		0		250	ns
V_{PP} セットアップ時間 (対 \overline{OE})	t_{VPS}		1.0			ms
V_{DD} セットアップ時間 (対 \overline{OE})	t_{VDS}		1.0		250	ms
プログラム・パルス幅	t_{PW}		0.095		0.105	ms
\overline{OE} 有効データ遅延時間	t_{OE}				1	μ s
データ・ラッチ中の \overline{OE} パルス幅	t_{LW}		1			μ s
PGMセット時間	t_{PGMS}		2			μ s
\overline{CE} ホールド時間	t_{CEH}		2			μ s
\overline{OE} ホールド時間	t_{OEH}		2			μ s

(b) バイト・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対PGM)	t_{AS}		2			μ s
\overline{OE} セット時間	t_{OES}		2			μ s
\overline{CE} セットアップ時間 (対PGM)	t_{CES}		2			μ s
入力データ・セットアップ時間 (対PGM)	t_{DS}		2			μ s
アドレス・ホールド時間 (対 \overline{OE})	t_{AH}		2			μ s
入力データ・ホールド時間 (対PGM)	t_{DH}		2			μ s
\overline{OE} データ出力フロート遅延時間	t_{DF}		0		250	ns
V_{PP} セットアップ時間 (対PGM)	t_{VPS}		1.0			ms
V_{DD} セットアップ時間 (対PGM)	t_{VDS}		1.0			ms
プログラム・パルス幅	t_{PW}		0.095		0.105	ms
\overline{OE} 有効データ遅延時間	t_{OE}				1	μ s
\overline{OE} ホールド時間	t_{OEH}		2			μ s

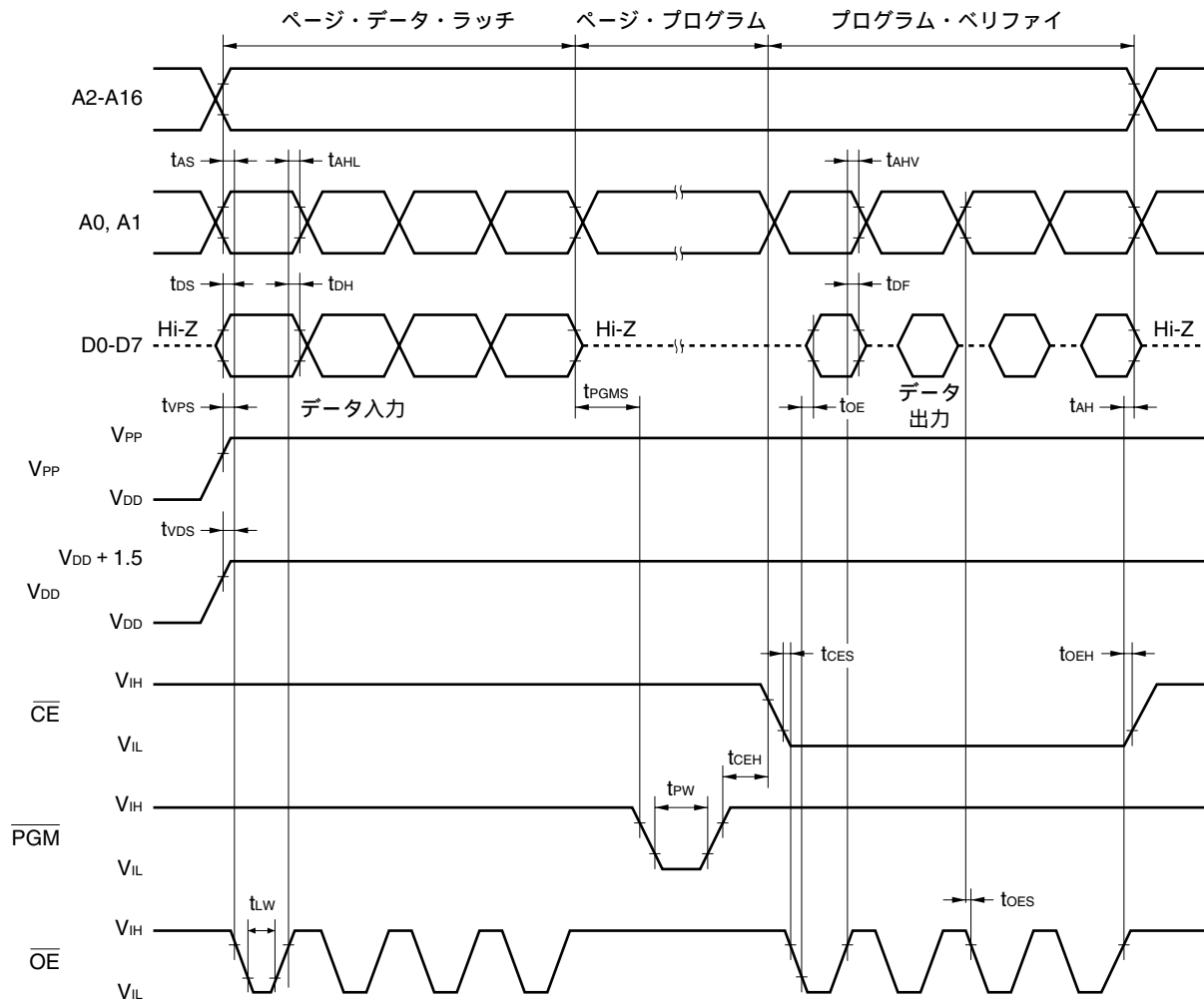
(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5 V$, $V_{PP} = V_{DD} \pm 0.6 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス データ出力遅延時間	t_{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			800	ns
\overline{CE} データ出力遅延時間	t_{CE}	$\overline{OE} = V_{IL}$			800	ns
\overline{OE} データ出力遅延時間	t_{OE}	$\overline{CE} = V_{IL}$			200	ns
\overline{OE} データ出力フラット遅延時間	t_{DF}	$\overline{CE} = V_{IL}$	0		60	ns
アドレス データ・ホールド時間	t_{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

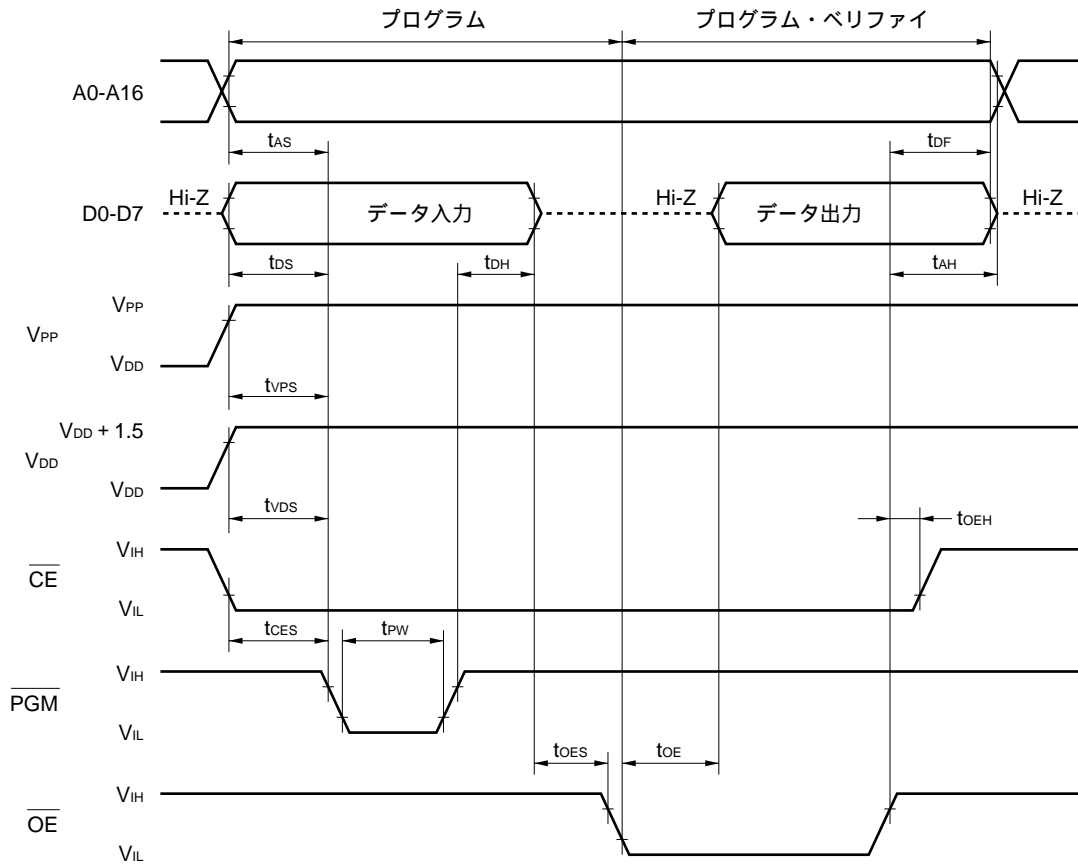
(3) PROMプログラミング・モード設定 ($T_A = 25$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PROMプログラミング・モード・セットアップ時間	t_{SMA}		10			μs

PROM書き込みモード・タイミング (ページ・プログラム・モード)

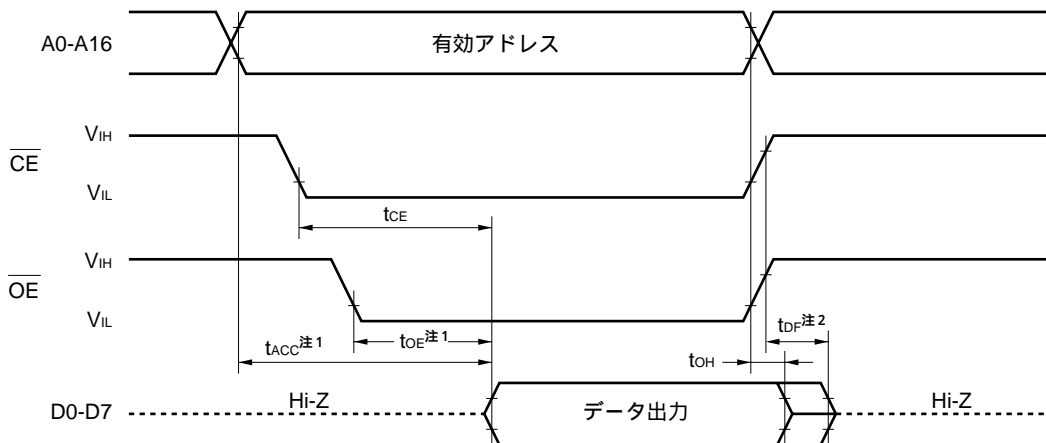


PROM書き込みモード・タイミング (バイト・プログラム・モード)



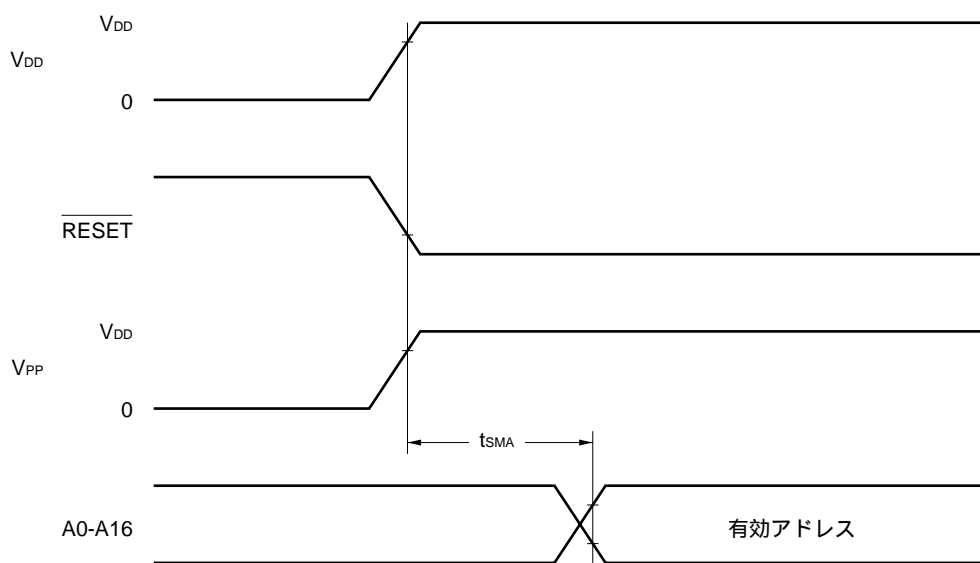
- 注意1. VDDはVPPより前に印加し、VPPのあとから切断するようにしてください。
 2. VPPはオーバシュートを含めて + 13.5 V以上にならないようにしてください。
 3. VPPに12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

PROM読み出しモード・タイミング



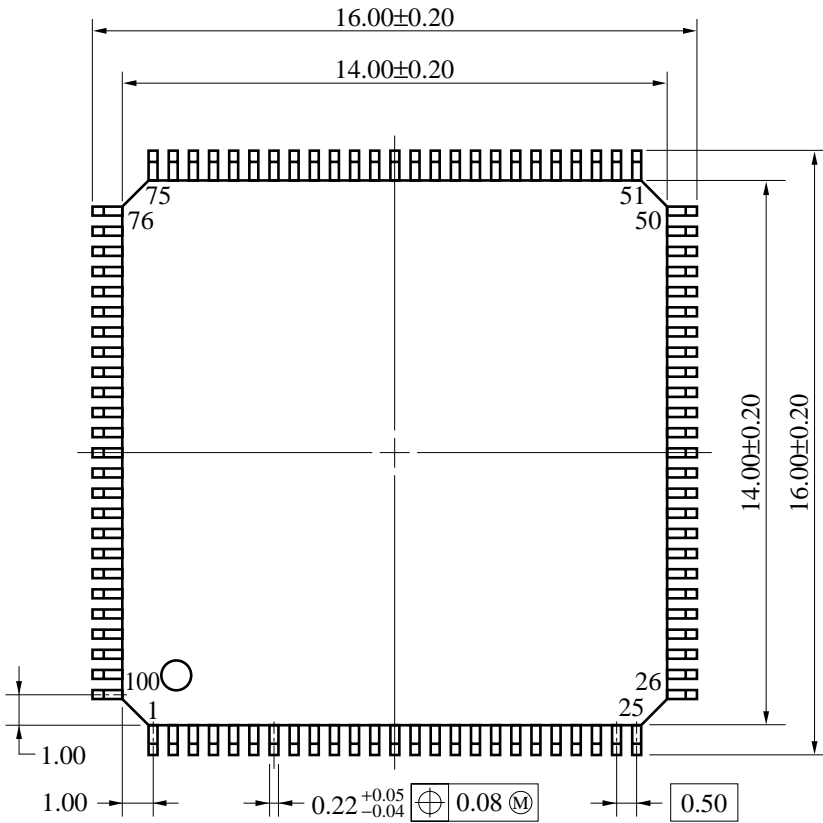
- 注1. tACCの範囲内でリードしたい場合、OE入力のCEの立ち下がりからの遅れ時間は最大tACC - tOEとしてください。
 2. tDFはOE, CEのどちらか最初にV_{IH}となった状態からの時間です。

PROMプログラミング・モード設定タイミング

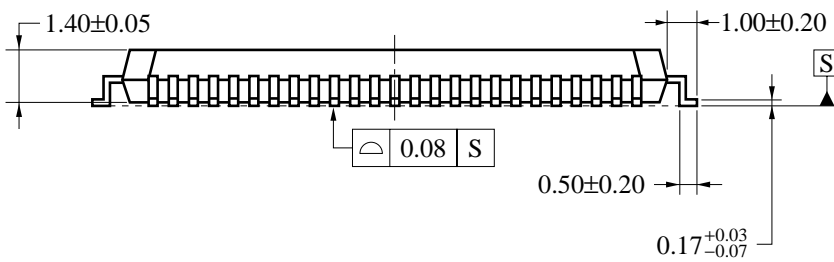
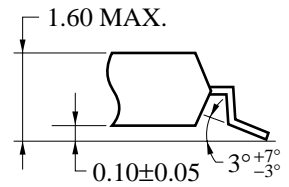


第26章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

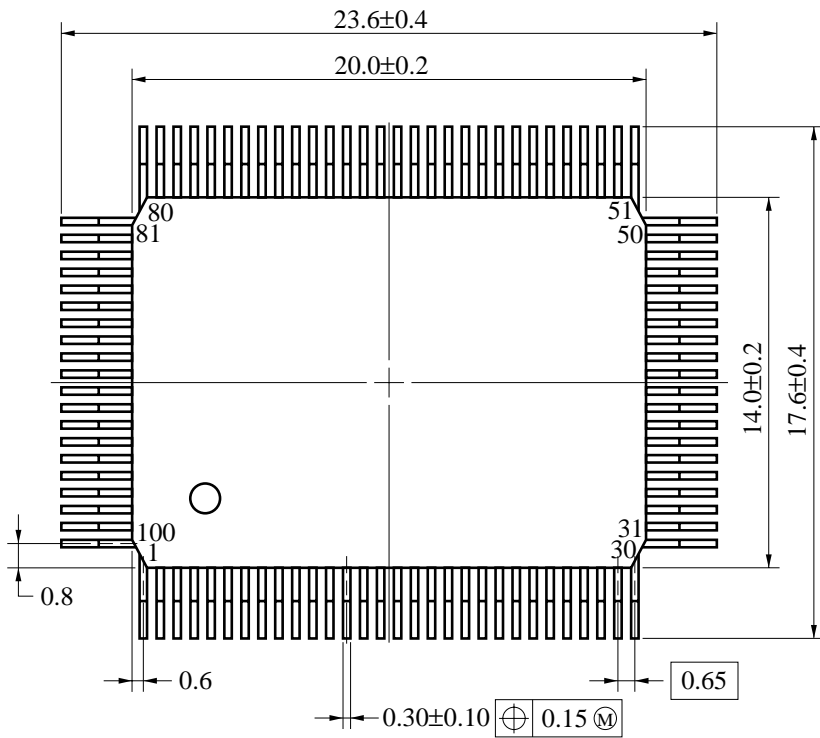


端子先端形状詳細図

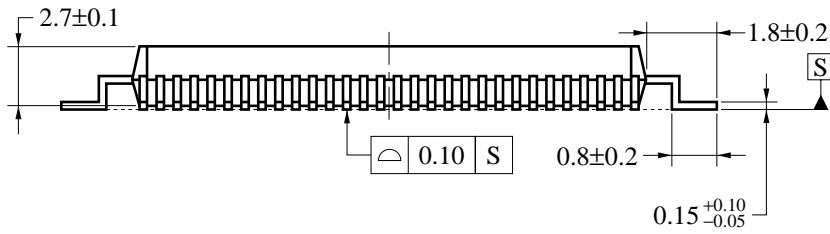
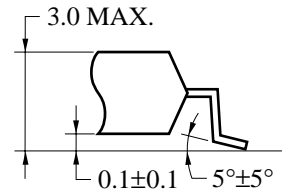


S100GC-50-8EU, 8EA-2

100ピン・プラスチック QFP (14x20) 外形図 (単位 : mm)



端子先端形状詳細図



P100GF-65-3BA1-4

第27章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については、下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表27 - 1 表面実装タイプの半田付け条件

(1) 100ピン・プラスチックQFP (14×20)

μPD780306GF- x x x -3BA, 780306GF(A)- x x x -3BA, 780306YGF- x x x -3BA,

μPD780308GF- x x x -3BA, 780308GF(A)- x x x -3BA, 780308YGF- x x x -3BA,

μPD78P0308GF-3BA, 78P0308YGF-3BA

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒（200 以上），回数：3回以内	VP15-00-3
ウエーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

(2) 100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μPD780306GC- x x x -8EU, 780306YGC- x x x -8EU,

μPD780308GC- x x x -8EU, 780308YGC- x x x -8EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒（200 以上），回数：2回以内	VP15-00-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

(3) 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μ PD78P0308GC-8EU, 78P0308YGC-8EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内，制限日数：7日間 ^注 （以降は125 プリベーク10～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒（200 以上），回数：2回以内，制限日数：7日間 ^注 （以降は125 プリベーク10～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

(4) 100ピン・プラスチックQFP (14×20)

μ PD780306GF- x x x -3BA-A, 780306YGF- x x x -3BA-A,

μ PD780308GF- x x x -3BA-A, 780308YGF- x x x -3BA-A,

μ PD78P0308GF-3BA-A, 78P0308YGF-3BA-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内，制限日数：3日間 ^注 （以降は125 プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR-60-203-3
ウェーブ・ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

(5) 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μ PD780306GC- x x x -8EU-A, 780306YGC- x x x -8EU-A,

μ PD780308GC- x x x -8EU-A, 780308YGC- x x x -8EU-A,

μ PD78P0308GC-8EU-A, 78P0308YGC-8EU-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内，制限日数：7日間 ^注 （以降は125 プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR-60-207-3
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μ PD780308, 780308Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

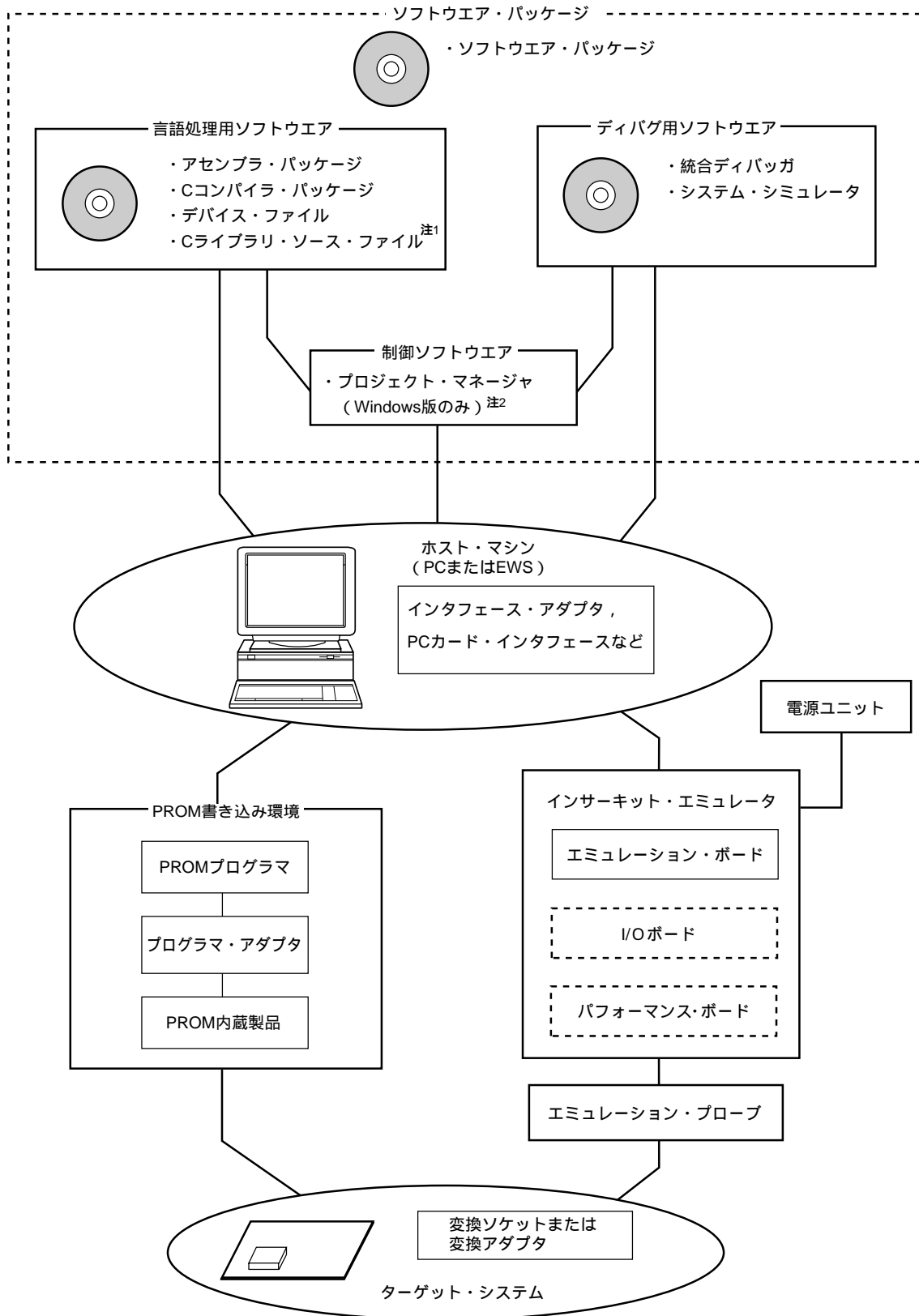
特に断りのないかぎり, IBM PC/AT™互換機でサポートされている製品については, PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は, IBM PC/AT互換機の説明を参照してください。

Windowsについて

特に断りのないかぎり, 「Windows」は次のOSを示しています。

- Windows 98
- Windows 2000
- Windows NT® Ver.4.0
- Windows XP®

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャPM plusは、アセンブラ・パッケージに入っています。
また、Windows以外ではPM plusは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K/0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0
------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル (DF78064) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でPM plus (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でPM plus (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0
DF78064 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール (RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0) と組み合わせて使用します。 対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称: $\mu S \times \times \times \times$ DF78064 ^{注2}
CC78K0-L ^{注3} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様に合わせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0-L

注1. DF78064は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0のすべての製品に共通に使用できます。

2. DF78064は、 μ PD780308, 780308Y, 78064, 78064Yサブシリーズ用です。

3. CC78K0-Lは、ソフトウェア・パッケージ (SP78K0) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4) , Solaris™ (Rel.2.5.1)	

μS××××DF78064

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	

A.3 制御ソフトウェア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0) の中に入っています。Windows以外の環境では使用できません。
-------------------------	---

A. 4 PROM書き込み用ツール

A. 4.1 ハードウェア

PG-1500 ^注 PROMプログラマ	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-78P0308GC PROMプログラマ・アダプタ	μ PD78P0308, 78P0308Y用のプログラマ・アダプタで、PG-1500に接続して使用します。 100ピン・プラスチックLQFP (GC-8EU) 用です。
PA-78P0308GF PROMプログラマ・アダプタ	μ PD78P308, 78P0308Y用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。 100ピン・プラスチックQFP (GF-3BAタイプ) 用です。

注 廃止品

A. 4.2 ソフトウェア

PG-1500コントローラ ^注	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。 オ・ダ名称：μ S x x x x PG1500
----------------------------	---

注 廃止品

備考 オ・ダ名称のx x x xは、使用するホスト・マシン、OSにより異なります。

μ S x x x x PG1500

x x x x	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver. 3.30 ~ Ver. 6.2 ^{注1})	3.5インチ2HD
7B13	IBM PC/ATおよびその互換機	注2	3.5インチ2HD

- 注1. MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。
2. IBM PC用のOSとして、次のものがサポートされています (Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません)。

OS	バージョン
PC DOS	Ver.5.02 ~ Ver.6.3 J6.1/V ~ J6.3/V (英語モードのみサポート)
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ~ 6.2/V (英語モードのみサポート)
IBM DOS™	J5.02/V (英語モードのみサポート)

A. 5 デバッグ用ツール（ハードウェア）

A. 5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カパレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780308-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-100GC NP-H100GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックLQFP（GC-8EUタイプ）用です。TGC-100SDWと組み合わせて使用します。
TGC-100SDW 変換アダプタ	100ピン・プラスチックLQFP（GC-8EUタイプ）を実装できるように作られたターゲット・システムの基板と、NP-100GCまたはNP-H100GC-TQを接続するための変換ソケットです。
NP-100GF-TQ NP-H100GF-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックQFP（GF-3BAタイプ）用です。TGF-100RBPと組み合わせて使用します。
TGF-100RBP 変換アダプタ	100ピン・プラスチックQFP（GF-3BAタイプ）を実装できるように作られたターゲット・システムの基板と、NP-100GF-TQまたはNP-H100GF-TQを接続するための変換ソケットです。
NP-100GF エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックQFP（GF-3BAタイプ）用です。
EV-9200GF-100 変換ソケット (図A-3, 図A-4参照)	100ピン・プラスチックQFP（GF-3BAタイプ）を実装できるように作られたターゲット・システムの基板と、NP-100GFを接続するための変換ソケットです。

備考1. NP-100GC, NP-100GF, NP-100GF-TQ, NP-H100GC-TQ, NP-H100GF-TQは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGC-100SDW, TGF-100RBPIは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

3. EV-9200GF-100は5個を1組として、1組単位で販売しています。

4. TGC-100SDW, TGF-100RBPIは、1個単位で販売しています。

A. 5.2 インサーキット・エミュレータ IE-78001-R-A^注を使用する場合

IE-78001-R-A ^注 インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0）に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-780308-R-EM ^注 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
EP-78064GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックLQFP（GC-8EUタイプ）用です。
TGC-100SDW 変換アダプタ （図A-2参照）	100ピン・プラスチックLQFP（GC-8EUタイプ）を実装できるように作られたターゲット・システムの基板と、EP-78064GC-Rを接続するための変換ソケットです。
EP-78064GF-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックQFP（GF-3BAタイプ）用です。
EV-9200GF-100 変換ソケット （図A-3、図A-4参照）	100ピン・プラスチックQFP（GF-3BAタイプ）を実装できるように作られたターゲット・システムの基板と、EP-78064GF-Rを接続するための変換ソケットです。

注 廃止品

備考 1. TGC-100SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

2. TGC-100SDWは、1個単位で販売しています。

3. EV-9200GF-100は5個を1組として、1組単位で販売しています。

A.6 デバッグ用ツール(ソフトウェア)

SM78K0 システム・シミュレータ	78K/0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF78064)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times SM78K0$
ID78K0-NS 統合デバッガ (インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-A対応)	78K/0シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。
ID78K0 統合デバッガ (インサーキット・エミュレータ IE-78001-R-A対応)	オーダ名称: $\mu S \times \times \times ID78K0-NS$ $\mu S \times \times \times ID78K0$

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SM78K0$

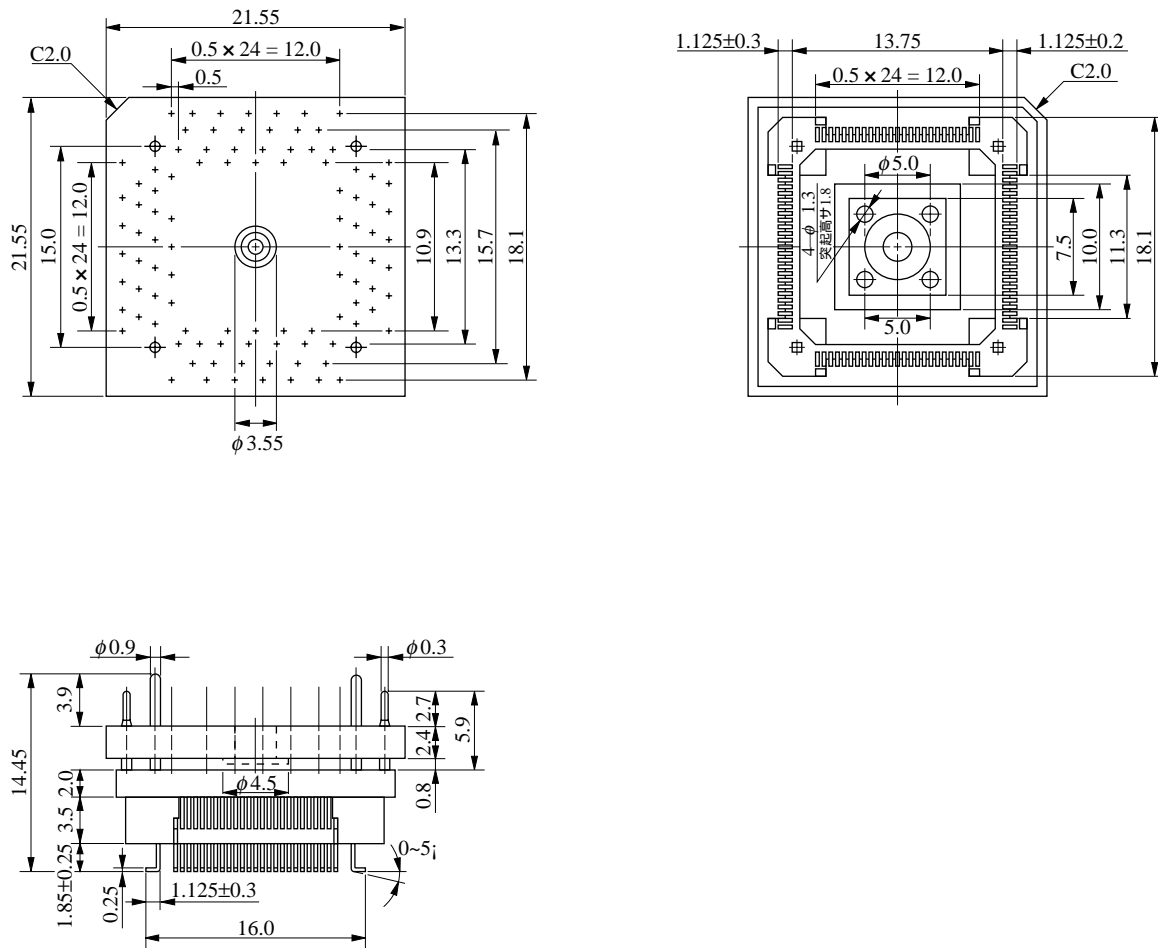
$\mu S \times \times \times ID78K0-NS$

$\mu S \times \times \times ID78K0$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 7 変換アダプタ (TGC-100SDW^注) の外形図

図A - 2 変換アダプタ (TGC-100SDW^注) 外形図 (参考) (単位: mm)

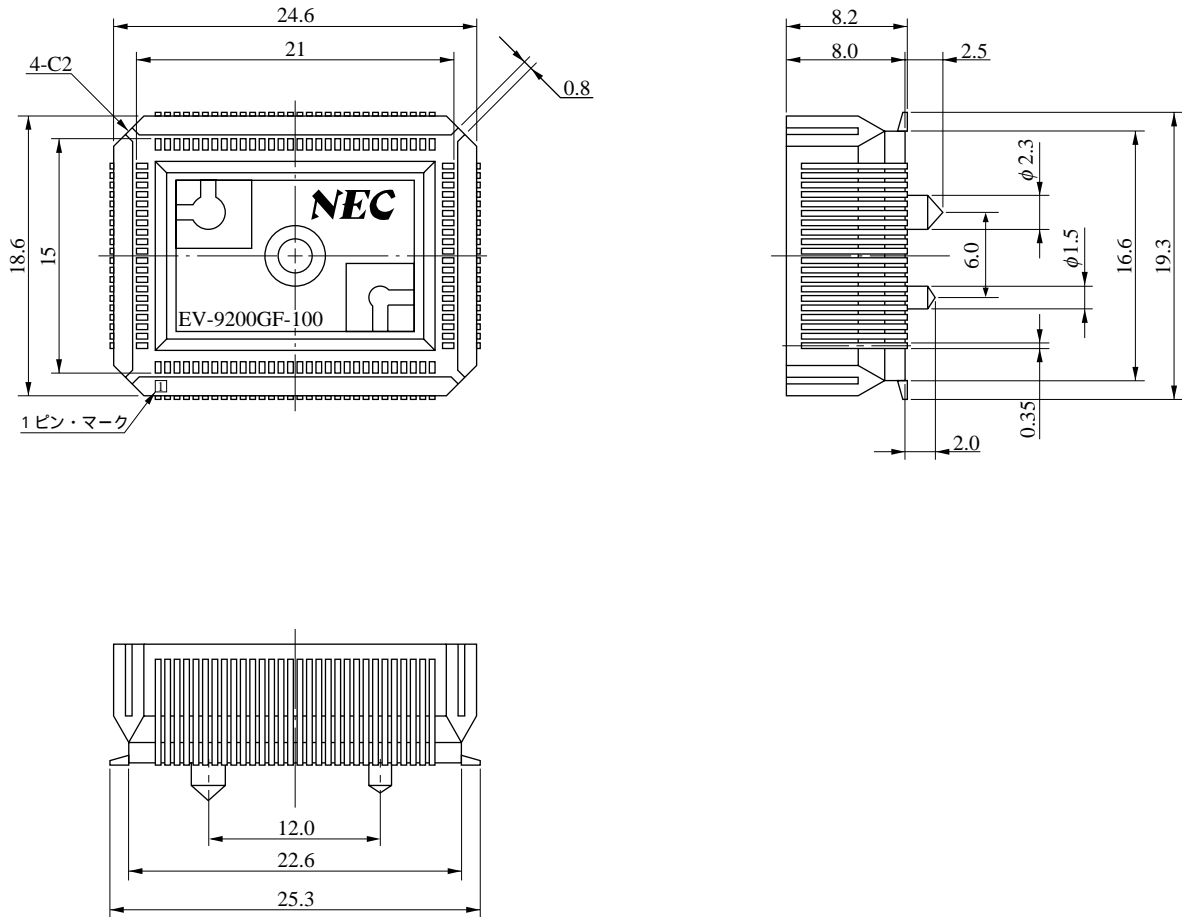


TGC-100SDW-G1

注 東京エレクトック (株) 製

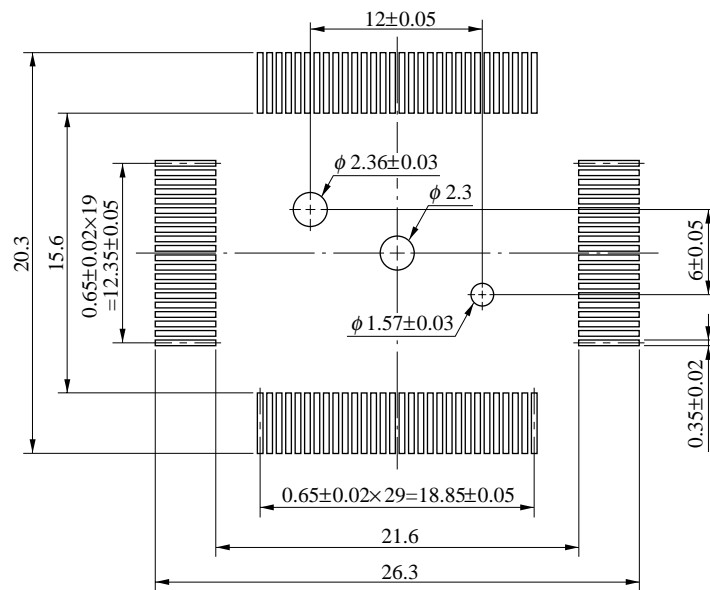
A. 8 変換ソケット (EV-9200GF-100) の外形図と基盤取り付け推奨パターン

図A - 3 変換ソケット (EV-9200GF-100) 外形図 (参考) (単位 : mm)



EV-9200GF-100-G0

図A - 4 変換ソケット (EV-9200GF-100) 基盤取り付け推奨パターン (参考) (単位: mm)



EV-9200GF-100-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。
 QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアルのホーム・ページ (<http://www.necel.com/pkg/ja/jissou/index.html>)」
 をご参照ください。

A.9 ターゲット・システム設計上の注意

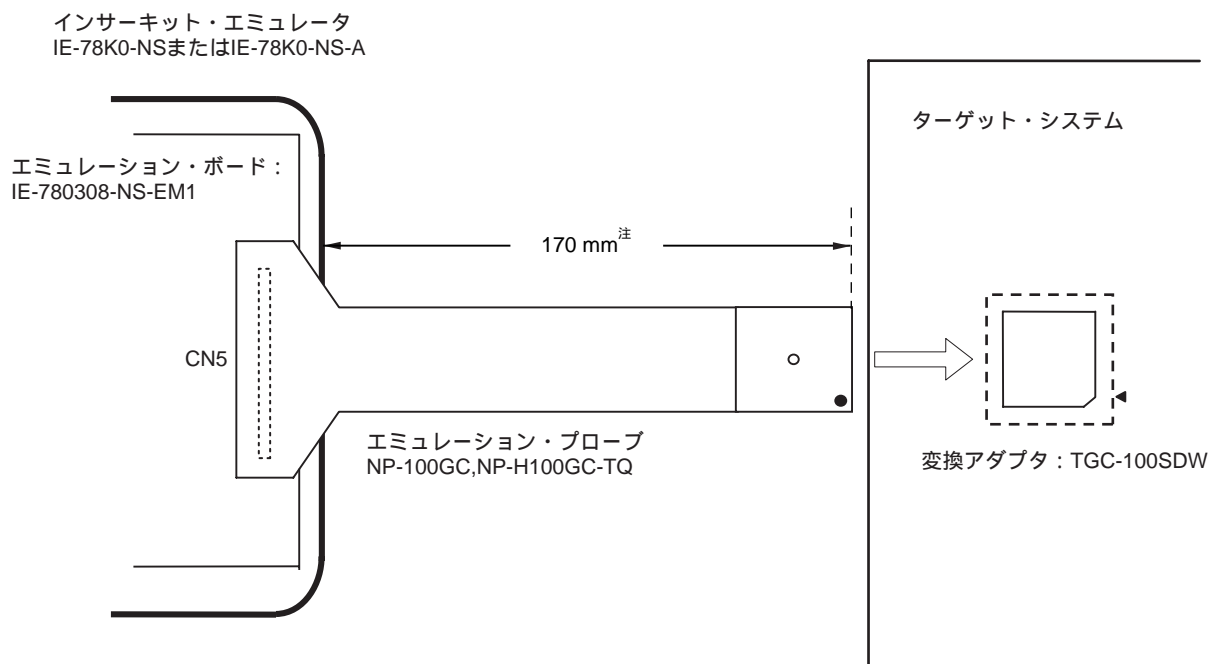
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

なお、この付録に記載されている製品名のうちNP-100GC, NP-H100GC-TQ, NP-100GF-TQ, NP-H100GF-TQは株式会社内藤電誠町田製作所の製品です。また、TGC-100SDW, TGF-100RBPは東京エレクトック株式会社の製品です。

表A-1 IEシステムから変換アダプタまでの距離

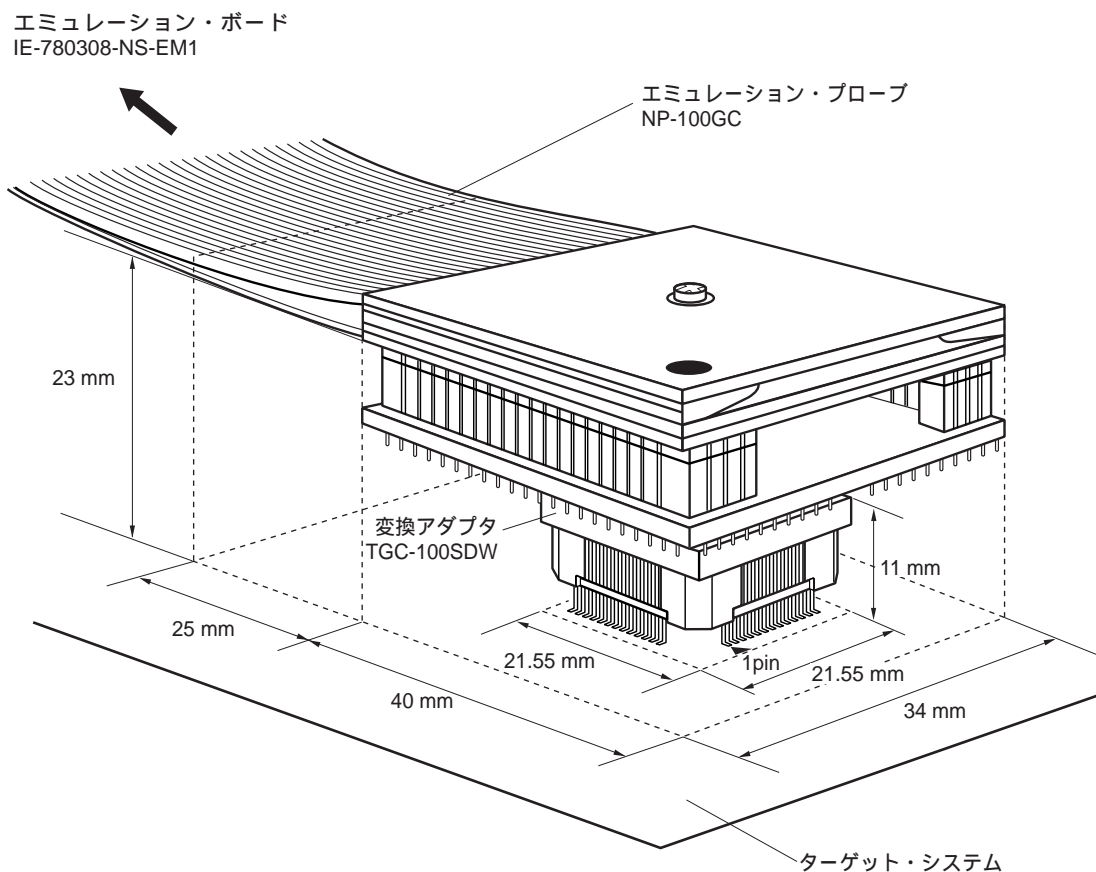
エミュレーション・プローブ	変換アダプタ	IEシステムから 変換アダプタまでの距離
NP-100GC	TGC-100SDW	170 mm
NP-H100GC-TQ		370 mm
NP-100GF-TQ	TGF-100RBP	170 mm
NP-H100GF-TQ		370 mm

図A-5 IEシステムから変換アダプタまでの距離（100GCの場合）

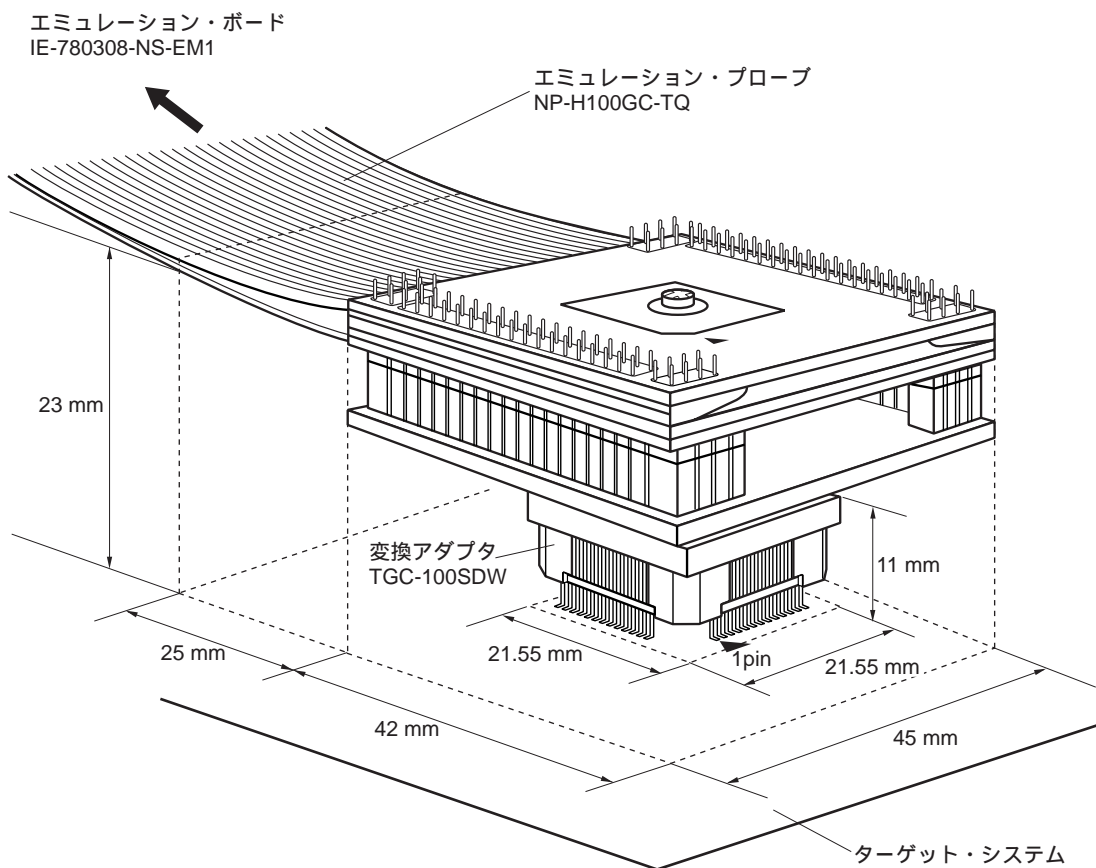


注 NP-100GCの場合の距離です。NP-H100GC-TQの場合は370 mmです。

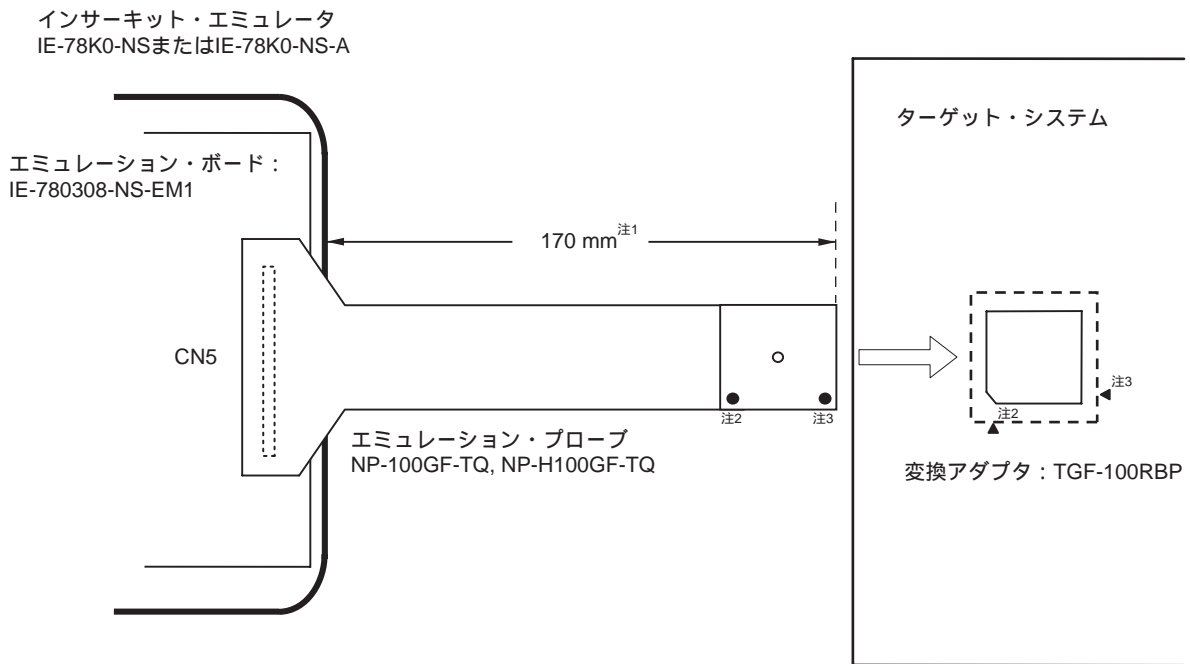
図A-6 ターゲット・システムの接続条件 (NP-100GCの場合)



図A-7 ターゲット・システムの接続条件 (NP-H100GC-TQの場合)

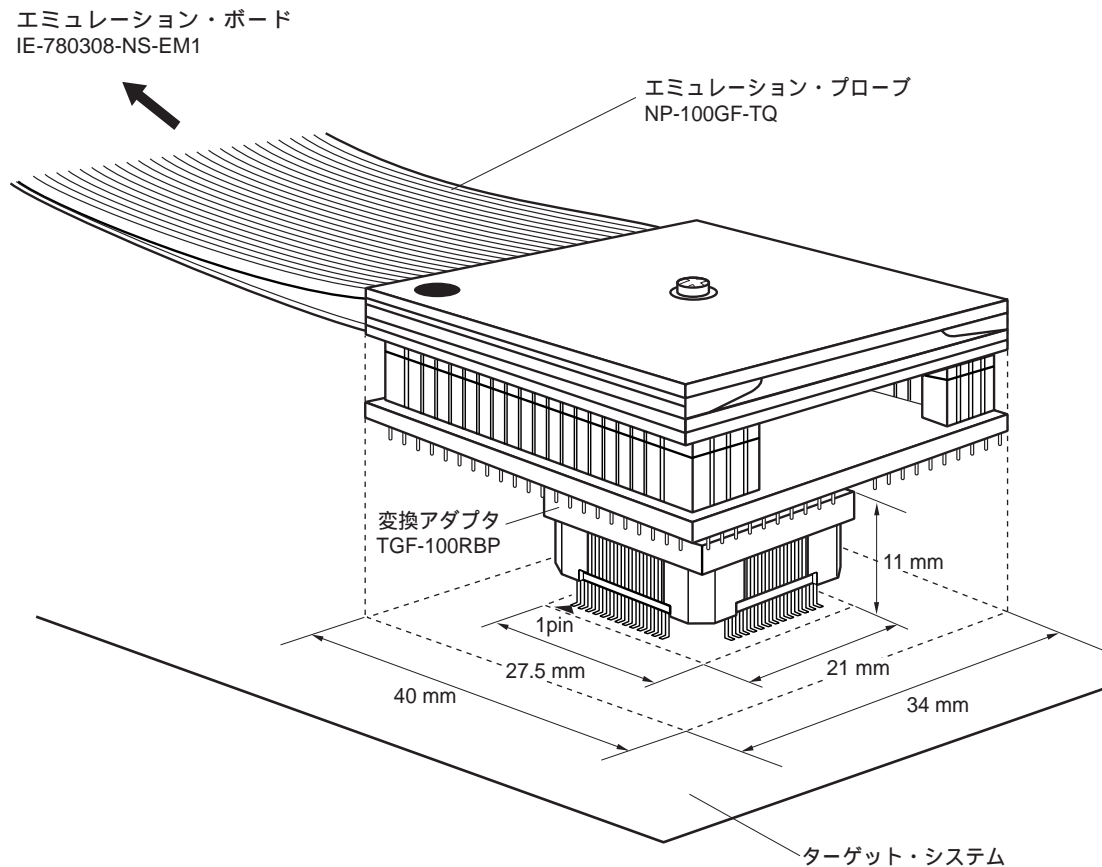


図A - 8 IEシステムから変換アダプタまでの距離 (100GFの場合)

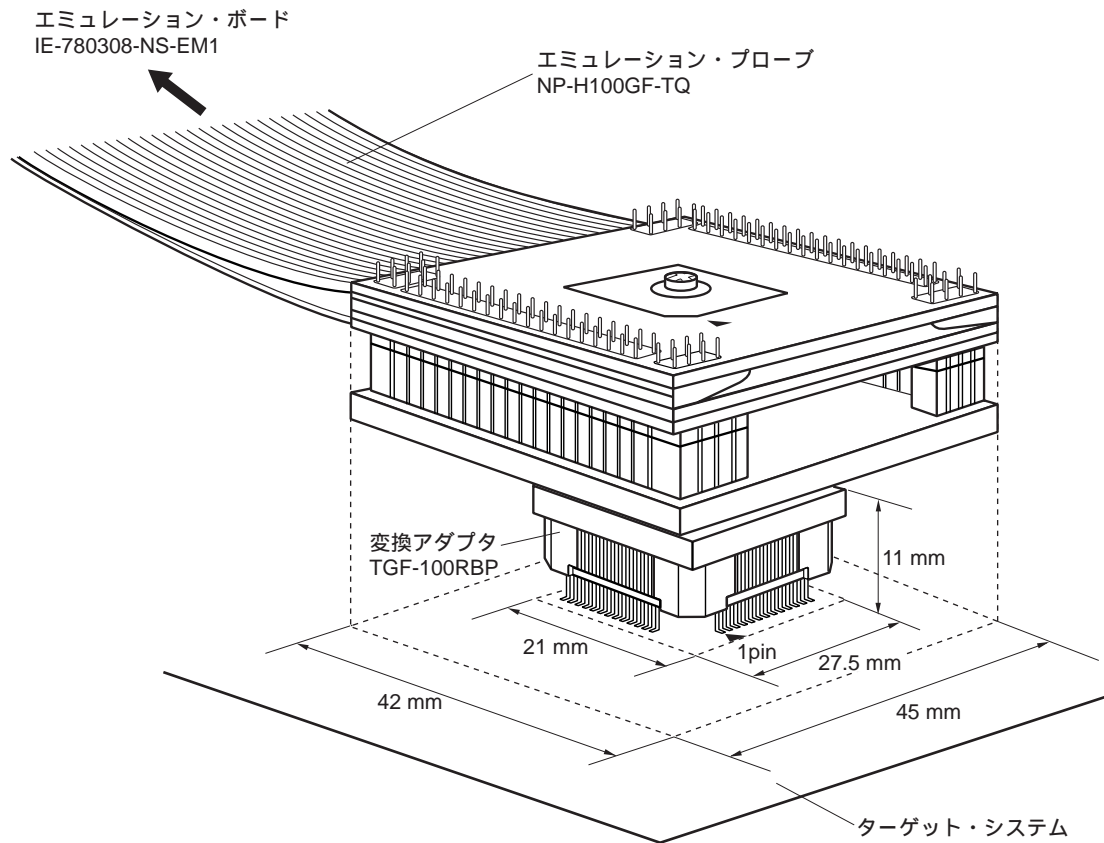


- 注1. NP-100GF-TQの場合の距離です。NP-H100GF-TQの場合は370 mmです。
2. NP-100GF-TQを使用した場合の1pinの位置です。
3. NP-H100GF-TQを使用した場合の1pinの位置です。

図A - 9 ターゲット・システムの接続条件 (NP-100GF-TQの場合)



図A - 10 ターゲット・システムの接続条件 (NP-H100GF-TQの場合)



付録B レジスタ索引

B.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ... 374, 384
アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) ... 371, 381, 383, 397
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 232
A/Dコンバータ入力選択レジスタ (ADIS) ... 248
A/Dコンバータ・モード・レジスタ (ADM) ... 246
A/D変換結果レジスタ (ADCR) ... 245
LCD表示コントロール・レジスタ (LCDC) ... 421
LCD表示モード・レジスタ (LCDM) ... 418

【か行】

外部割り込みモード・レジスタ0 (INTM0) ... 168, 452
外部割り込みモード・レジスタ1 (INTM1) ... 249, 452
キー・リターン・モード・レジスタ (KRM) ... 133, 469
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ... 164
キャプチャ/コンペア・レジスタ00 (CR00) ... 158
キャプチャ/コンペア・レジスタ01 (CR01) ... 159
コンペア・レジスタ10 (CR10) ... 203
コンペア・レジスタ20 (CR20) ... 203

【さ行】

サンプリング・クロック選択レジスタ (SCS) ... 169, 454
16ビット・タイマ出力コントロール・レジスタ (TOC0) ... 165
16ビット・タイマ・モード・コントロール・レジスタ (TMC0) ... 162
16ビット・タイマ・レジスタ (TM0) ... 159
受信バッファ・レジスタ (RXB) ... 369
シリアルI/Oシフト・レジスタ0 (SIO0) ... 263, 316
シリアルI/Oシフト・レジスタ3 (SIO3) ... 408
シリアル・インタフェース端子選択レジスタ (SIPS) ... 379, 389
シリアル動作モード・レジスタ0 (CSIM0) ... 266, 272, 285, 306, 320, 327, 332, 342
シリアル動作モード・レジスタ2 (CSIM2) ... 370, 380, 382, 396
シリアル動作モード・レジスタ3 (CSIM3) ... 410
シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) ... 268, 274, 287, 308, 322, 329, 334, 344
スレーブ・アドレス・レジスタ (SVA) ... 263, 316
送信シフト・レジスタ (TXS) ... 369

【た行】

タイマ・クロック選択レジスタ0 (TCL0) ...	160, 236
タイマ・クロック選択レジスタ1 (TCL1) ...	203
タイマ・クロック選択レジスタ2 (TCL2) ...	222, 230, 240
タイマ・クロック選択レジスタ3 (TCL3) ...	265, 319
タイマ・クロック選択レジスタ4 (TCL4) ...	409
時計用タイマ・モード・コントロール・レジスタ (TMC2) ...	225

【な行】

内部拡張RAMサイズ切り替えレジスタ (IXS) ...	484
------------------------------	-----

【は行】

8ビット・タイマ出力コントロール・レジスタ (TOC1) ...	206
8ビット・タイマ・モード・コントロール・レジスタ (TMC1) ...	205
8ビット・タイマ・レジスタ1 (TM1) ...	203
8ビット・タイマ・レジスタ2 (TM2) ...	203
発振安定時間選択レジスタ (OSTS) ...	471
発振モード選択レジスタ (OSMS) ...	141
プルアップ抵抗オプション・レジスタH (PUOH) ...	132
プルアップ抵抗オプション・レジスタL (PUOL) ...	132
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	138
ポート0 (P0) ...	113
ポート1 (P1) ...	115
ポート2 (P2) ...	116, 118
ポート3 (P3) ...	120
ポート7 (P7) ...	121
ポート8 (P8) ...	123
ポート9 (P9) ...	124
ポート10 (P10) ...	125
ポート11 (P11) ...	126
ポート・モード・レジスタ0 (PM0) ...	129
ポート・モード・レジスタ1 (PM1) ...	129
ポート・モード・レジスタ2 (PM2) ...	129
ポート・モード・レジスタ3 (PM3) ...	129, 167, 207, 238, 242
ポート・モード・レジスタ7 (PM7) ...	129
ポート・モード・レジスタ8 (PM8) ...	129
ポート・モード・レジスタ9 (PM9) ...	129
ポート・モード・レジスタ10 (PM10) ...	129
ポート・モード・レジスタ11 (PM11) ...	129
ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ...	375, 385, 398

【ま行】

メモリ・サイズ切り替えレジスタ (IMS) ...	483
---------------------------	-----

【や行】

優先順位指定フラグ・レジスタ0H (PR0H) ...	451
優先順位指定フラグ・レジスタ0L (PR0L) ...	451
優先順位指定フラグ・レジスタ1L (PR1L) ...	451

【わ行】

割り込みタイミング指定レジスタ (SINT) ...	270, 289, 324, 334, 346
割り込みマスク・フラグ・レジスタ0H (MK0H) ...	450
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	450
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	450, 468
割り込み要求フラグ・レジスタ0H (IF0H) ...	449
割り込み要求フラグ・レジスタ0L (IF0L) ...	449
割り込み要求フラグ・レジスタ1L (IF1L) ...	449, 468

B.2 レジスタ索引 (アルファベット順)

[A]

- ADCR : A/D変換結果レジスタ ... 245
- ADIS : A/Dコンバータ入力選択レジスタ ... 248
- ADM : A/Dコンバータ・モード・レジスタ ... 246
- ASIM : アシクロナス・シリアル・インタフェース・モード・レジスタ ... 371, 381, 383, 397
- ASIS : アシクロナス・シリアル・インタフェース・ステータス・レジスタ ... 374, 384

[B]

- BRGC : ボー・レート・ジェネレータ・コントロール・レジスタ ... 375, 385, 398

[C]

- CR00 : キャプチャ/コンペア・レジスタ00 ... 158
- CR01 : キャプチャ/コンペア・レジスタ01 ... 159
- CR10 : コンペア・レジスタ10 ... 203
- CR20 : コンペア・レジスタ20 ... 203
- CRC0 : キャプチャ/コンペア・コントロール・レジスタ0 ... 164
- CSIM0 : シリアル動作モード・レジスタ0 ... 266, 272, 285, 306, 320, 327, 332, 342
- CSIM2 : シリアル動作モード・レジスタ2 ... 370, 380, 382, 396
- CSIM3 : シリアル動作モード・レジスタ3 ... 410

[I]

- IF0H : 割り込み要求フラグ・レジスタ0H ... 450
- IF0L : 割り込み要求フラグ・レジスタ0L ... 450
- IF1L : 割り込み要求フラグ・レジスタ1L ... 450, 468
- IMS : メモリ・サイズ切り替えレジスタ ... 483
- INTM0 : 外部割り込みモード・レジスタ0 ... 168, 452
- INTM1 : 外部割り込みモード・レジスタ1 ... 249, 452
- IXS : 内部拡張RAMサイズ切り替えレジスタ ... 484

[K]

- KRM : キー・リターン・モード・レジスタ ... 133, 469

[L]

- LCDC : LCD表示コントロール・レジスタ ... 421
- LCDM : LCD表示モード・レジスタ ... 418

[M]

- MK0H : 割り込みマスク・フラグ・レジスタ0H ... 450
- MK0L : 割り込みマスク・フラグ・レジスタ0L ... 450
- MK1L : 割り込みマスク・フラグ・レジスタ1L ... 450, 468

【O】

- OSMS : 発振モード選択レジスタ ... 141
OSTS : 発振安定時間選択レジスタ ... 471

【P】

- P0 : ポート0 ... 113
P1 : ポート1 ... 115
P2 : ポート2 ... 116, 118
P3 : ポート3 ... 120
P7 : ポート7 ... 121
P8 : ポート8 ... 123
P9 : ポート9 ... 124
P10 : ポート10 ... 125
P11 : ポート11 ... 126
PCC : プロセッサ・クロック・コントロール・レジスタ ... 138
PM0 : ポート・モード・レジスタ0 ... 129
PM1 : ポート・モード・レジスタ1 ... 129
PM2 : ポート・モード・レジスタ2 ... 129
PM3 : ポート・モード・レジスタ3 ... 129, 167, 207, 238, 242
PM7 : ポート・モード・レジスタ7 ... 129
PM8 : ポート・モード・レジスタ8 ... 129
PM9 : ポート・モード・レジスタ9 ... 129
PM10 : ポート・モード・レジスタ10 ... 129
PM11 : ポート・モード・レジスタ11 ... 129
PR0H : 優先順位指定フラグ・レジスタ0H ... 451
PR0L : 優先順位指定フラグ・レジスタ0L ... 451
PR1L : 優先順位指定フラグ・レジスタ1L ... 451
PUOH : プルアップ抵抗オプション・レジスタH ... 132
PUOL : プルアップ抵抗オプション・レジスタL ... 132

【R】

- RXB : 受信バッファ・レジスタ ... 369

【S】

- SBIC : シリアル・バス・インタフェース・コントロール・レジスタ ... 268, 274, 287, 308, 322, 329, 334,
344
SCS : サンプリング・クロック選択レジスタ ... 169, 454
SINT : 割り込みタイミング指定レジスタ ... 270, 289, 324, 334, 346
SIO0 : シリアルI/Oシフト・レジスタ0 ... 263, 316
SIO3 : シリアルI/Oシフト・レジスタ3 ... 408
SIPS : シリアル・インタフェース端子選択レジスタ ... 379, 389
SVA : スレーブ・アドレス・レジスタ ... 263, 316

【T】

TCL0	: タイマ・クロック選択レジスタ0 ...	160, 236
TCL1	: タイマ・クロック選択レジスタ1 ...	203
TCL2	: タイマ・クロック選択レジスタ2 ...	222, 230, 240
TCL3	: タイマ・クロック選択レジスタ3 ...	265, 319
TCL4	: タイマ・クロック選択レジスタ4 ...	409
TM0	: 16ビット・タイマ・レジスタ ...	159
TM1	: 8ビット・タイマ・レジスタ1 ...	203
TM2	: 8ビット・タイマ・レジスタ2 ...	203
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ ...	162
TMC1	: 8ビット・タイマ・モード・コントロール・レジスタ ...	205
TMC2	: 時計用タイマ・モード・コントロール・レジスタ ...	225
TOC0	: 16ビット・タイマ出力コントロール・レジスタ ...	165
TOC1	: 8ビット・タイマ出力コントロール・レジスタ ...	206
TXS	: 送信シフト・レジスタ ...	369

【W】

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	232
------	----------------------------	-----

付録C 改版履歴

C. 1 本版で改訂された主な箇所

箇所	内容
全般	<p>次の品名を削除</p> <ul style="list-style-type: none"> ・μ PD780306GC(A)-x x x -8EU ・μ PD780308GC(A)-x x x -8EU ・μ PD78P0308KL-T ・μ PD78P0308YKL-T <p>次の品名（鉛フリー製品）を追加</p> <ul style="list-style-type: none"> ・μ PD780306GF-x x x -3BA-A ・μ PD780306GC-x x x -8EU-A ・μ PD780306YGF-x x x -3BA-A ・μ PD780306YGC-x x x -8EU-A ・μ PD780308GF-x x x -3BA-A ・μ PD780308GC-x x x -8EU-A ・μ PD780308YGF-x x x -3BA-A ・μ PD780308YGC-x x x -8EU-A ・μ PD78P0308GF-3BA-A ・μ PD78P0308GC-8EU-A ・μ PD78P0308YGF-3BA-A ・μ PD78P0308YGC-8EU-A
p.10	関連資料を変更
p.28	1. 6 78K/0シリーズの展開を変更
p.41	2. 6 78K/0シリーズの展開を変更
p.88	図5 - 9 スタック・ポイントの構成の注意を変更
p.449	20. 3 (1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) に注意3を追加
p.457	20. 4. 1 ノンマスクابل割り込み要求の受け付け動作に説明および注意を追加
p.460	20. 4. 2 マスクابل割り込み要求の受け付け動作に説明を追加
p.508	第25章 電気的特性を追加
p.541	第26章 外形図を追加
p.543	第27章 半田付け推奨条件を追加
p.545	付録A 開発ツールを変更
p.566	付録C 改版履歴にC. 1 本版で改訂された主な箇所を追加
旧版のp.521-523	旧版の付録B 組み込み用ソフトウェアを削除

C.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版 数	前版までの主な改版内容	適用箇所
第2版	<p>「μPD780306(A), 780308(A)...計画中」を追加</p> <p>パッケージ変更</p> <ul style="list-style-type: none"> ・100ピン・プラスチックQFP (GC-7EAタイプ) を削除 ・100ピン・プラスチックLQFP (GC-8EUタイプ) を追加 <p>電源電圧の最小値変更「1.8V」→「2.0V」</p>	全般
	<ul style="list-style-type: none"> ・1.6 78K/0シリーズの展開に以下のサブシリーズに関する記述を追加 「μPD78075B, 78075BY, 780018, 780018Y, 780058, 780058Y, 78058F, 78058FY, 78054, 78054Y, 780964, 780924, 780228, 78044H, 78044F, 78098B, 780973, 78P0914」 	第1章 概 説 (μ PD780308サブシリーズ)
	<ul style="list-style-type: none"> ・2.5 端子接続図 100ピン・プラスチックLQFP (GC-8EUタイプ) の接続図を追加 	第2章 概 説 (μ PD780308Yサブシリーズ)
	<p>以下の本文を修正</p> <ul style="list-style-type: none"> ・5.1.4 データ・メモリ・アドレッシング ・5.2.1 制御レジスタ (a) 割り込み制御フラグ (IE) , (e) インサースビス・プライオリティ・フラグ (ISP) ・5.3.1 レラティブ・アドレッシング ・5.3.2 イミディエト・アドレッシング ・5.3.3 テーブル・インダイレクト・アドレッシング ・5.4.2 レジスタ・アドレッシング ・5.4.6 レジスタ・インダイレクト・アドレッシング ・5.4.7 ベースト・アドレッシング ・5.4.8 ベースト・インデクスト・アドレッシング 	第5章 CPUアーキテクチャ
	<ul style="list-style-type: none"> ・7.3 クロック発生回路を制御するレジスタ 図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマットを変更 表7-2 CPUクロックと最小命令実行時間の関係を追加 	第7章 クロック発生回路
	<ul style="list-style-type: none"> ・9.4.1 8ビット・タイマ/イベント・カウンタ・モード 図9-10 方形波出力動作のタイミングを追加 ・9.4.2 16ビット・タイマ/イベント・カウンタ・モードの本文を修正 図9-13 方形波出力動作のタイミングを追加 	第9章 8ビット・タイマ/イベント・カウンタ
	<ul style="list-style-type: none"> ・11.2 ウォッチドッグ・タイマの機能 図11-1 ウォッチドッグ・タイマのブロック図を変更 	第11章 ウォッチドッグ・タイマ
	<ul style="list-style-type: none"> ・14.2 A/Dコンバータの構成 図14-1 A/Dコンバータのブロック図を修正 電圧に関する注意文を追加 	第14章 A/Dコンバータ
	<ul style="list-style-type: none"> ・15.1 シリアル・インタフェース・チャンネル0の機能 動作モードに関する注意文を追加 ・15.3 シリアル・インタフェース・チャンネル0を制御するレジスタ 動作モードに関する注意文を追加 	第15章 シリアル・インタフェース・チャンネル0 (μ PD780308サブシリーズ)

版 数	前版までの主な改版内容	適用箇所
第2版	<ul style="list-style-type: none"> 16.1 シリアル・インタフェース・チャンネル0の機能 動作モードに関する注意文を追加 	第16章 シリアル・インタフェース・チャンネル0 (μ PD780308Yサブシリーズ)
	<ul style="list-style-type: none"> 16.3 シリアル・インタフェース・チャンネル0を制御するレジスタ 動作モードに関する注意文を追加 	
	<ul style="list-style-type: none"> 17.4.2 アシンクロナス・シリアル・インタフェース (UART) モード 図17-11 受信エラー・タイミングを変更 (3) UARTモードの注意事項の説明文を修正 	第17章 シリアル・インタフェース・チャンネル2
	<ul style="list-style-type: none"> 17.4.3 3線式シリアルI/Oモードの機能 図17-14 転送ビット順切り替え回路を追加 	
	<ul style="list-style-type: none"> 17.4.4 UARTモード使用時の制限事項を追加 	
	<ul style="list-style-type: none"> 18.4.2 3線式シリアルI/Oモードの機能 MSB/LSB先頭の切り替えの説明文を追加 図18-5 転送ビット順切り替え回路を追加 	第18章 シリアル・インタフェース・チャンネル3
	<ul style="list-style-type: none"> 20.3 割り込み機能を制御するレジスタ 表20-2 割り込み要求ソースに関する各種フラグを変更 	第20章 割り込み機能とテスト機能
	<ul style="list-style-type: none"> 20.4 割り込み処理動作 図20-11 ノンマスクابل割り込み要求の受け付けタイミングを修正 図20-12 ノンマスクابل割り込み要求の受け付け動作を修正 図20-13 割り込み要求受け付け処理アルゴリズムにフラグの説明文を追加 	
	<ul style="list-style-type: none"> 20.4.4 多重割り込み処理の本文を修正 図20-16 多重割り込みの例を修正 	
	<ul style="list-style-type: none"> 20.4.5 割り込み要求の保留の本文を修正 	
	<ul style="list-style-type: none"> 20.5 テスト機能 20.5.2 テスト入力信号の受け付け動作の本文を修正 	
	<ul style="list-style-type: none"> A.1 言語処理用ソフトウェア デバイス・ファイルのオーダ名称を変更「DF780308」「DF78064」 	
	<ul style="list-style-type: none"> A.3 デバッグ用ツール A.3.1 ハードウェア 変換アダプタの名称を変更 「EV-9500GC-100」「TGC-100SDW」 Windows対応の5インチ供給媒体を削除 	
	付録A 開発ツール	

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
