

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R0P3219TR001MRK

概説書

M32192搭載 μ T-Engine仕様ボードセット

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズム その他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



はじめに

この度は、ルネサスM32192搭載 μ T-Engineボードセット（型名：R0P3219TR001MRK、以下M32192 μ T-Engine）をご購入いただき、誠にありがとうございます。

M32192 μ T-Engineは、ルネサス テクノロジ製32ビットマイクロコントローラM32192を搭載した、ソフトウェア評価用のボードセットです。本製品は、標準仕様である μ T-Engine仕様に基づいています。

本資料は、M32192 の仕様とセットアップ方法を中心に説明するものです。付属のソフトウェアに関しては、各製品のオンラインマニュアルを参照してください。関連する資料の最新版は、弊社 開発環境ホームページ（<http://japan.renesas.com/>）で入手可能です。

本製品の梱包内容は、「梱包内容」に記載していますので確認してください。なお、本製品についてお気付きの点がございましたら、最寄りの株式会社ルネサス テクノロジ、株式会社ルネサス ソリューションズ、株式会社ルネサス販売または特約店へお問い合わせください。

重要事項

本製品をご使用になる前に、本資料をよく読んで理解してください。また、本資料は必ず保管し、使用上不明な点がある場合は再読してください。

本製品とは：

本資料中において本製品とは、株式会社ルネサス テクノロジーが製作した製品を指します。お客様のユーザシステムおよびホストマシンは含みません。

本製品の使用目的：

本製品は、ルネサス32ビットシングルチップマイクロコンピュータM32Rファミリ/M32R/ECUシリーズM32192を使用したシステムの開発を支援する装置です。ソフトウェアとハードウェアの両面から、システム開発を支援します。この使用目的に従って、本製品を正しく使用してください。本目的以外の使用を堅くお断りします。

本製品を使用する人は：

本製品は、本資料をよく読み、理解した人のみがご使用ください。本製品を使用するうえで、電気回路、論理回路およびマイクロコンピュータの基本的な知識が必要です。

本製品のご利用に際して：

- (1) 本製品は、プログラムの開発、評価段階に使用する開発支援装置です。開発の完了したプログラムを量産される場合には、必ず事前に実装評価、試験などにより、お客様の責任において適用可否を判断してください。
- (2) 本製品を使用したことによるお客様での開発結果については、一切の責任を負いません。
- (3) 弊社は、本製品不具合に対する回避策の提示または不具合改修などについて、有償もしくは無償の対応に努めます。ただし、いかなる場合でも回避策の提示または不具合改修を保証するものではありません。
- (4) 本製品は、プログラムの開発、評価用に実験室での使用を想定して準備された製品です。国内での使用に際し、電気用品安全法および電磁波障害対策の適用を受けておりません。
- (5) 弊社は、潜在的な危険が存在するおそれのある、すべての起こりうる諸状況や誤使用を予見できません。したがって、本資料と本製品に表示している警告がすべてではありません。お客様の責任で、本製品を正しく安全に使用してください。
- (6) 本製品は、プログラムの開発、評価段階に使用する製品です。お客様の製品に組み込んで量産することはできません。
- (7) 本製品に搭載されているマイコンに不具合がある場合であっても、マイコンの不具合改修品には交換しません。
- (8) 本製品に搭載されている部品を外して、他の製品へ転用することを禁止します。
- (9) 本製品のROMに格納されているソフトウェアすべて、もしくは一部を、他のハードウェアにコピーして使用することを禁止します。
- (10) CF, MMCは、すべてのデバイスで動作を保証することはできません。
- (11) LANインタフェースは、すべての機器との接続を保証することはできません。

使用制限：

本製品は、開発支援用として用意したものです。したがって、お客様の機器に組み込んで使用しないでください。また、以下に示す開発用途に対しても使用しないでください。

- (1) 運輸、移動体用
- (2) 医療用（人命にかかわる装置用）
- (3) 航空宇宙用
- (4) 原子力制御用
- (5) 海底中継用

このような目的で本製品の採用をお考えのお客様は、株式会社ルネサス テクノロジー、株式会社ルネサス ソリューションズ、株式会社ルネサス販売または特約店へお問い合わせください。

製品の変更について：

弊社は、本製品のデザイン、性能を絶えず改良する方針をとっています。したがって、予告なく仕様、デザイン、および本資料を変更することがあります。

権利について：

- (1) 本資料に記載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、弊社は一切その責任を負いません。
- (2) 本資料によって第三者または弊社の特許権その他権利の実施権を許諾するものではありません。
- (3) 本資料および本製品は、著作権で保護されており、すべての権利は弊社に帰属しています。本資料の一部であろうと全部であろうと、いかなる箇所も弊社の書面による事前の承諾なしに、複写、複製、転載することを禁止します。

図について：

このユーザーズマニュアルの一部の図は、実物と違っていることがあります。

※Compact Flash™ は、サンディスク社の商標です。

※Multi Media Card™ は、Infineon Technologies AGの商標です。

安全事項

シグナルワードの定義

本資料および製品への表示では、本製品を正しくご使用いただき、あなたや他の人々への危害や財産への損害を未然に防止するために、いろいろな絵表示をしています。

安全事項では、その絵表示と意味を示し、本製品を安全に正しくご使用いただくための注意事項を説明します。

ここに記載している内容をよく理解してからご使用ください。



これは、安全警告記号です。潜在的に、人に危害を与える危険に対し注意を喚起するために用います。起こり得る危害または死を回避するために、この記号の後に続くすべての安全メッセージに従ってください。



危険は、回避しないと、死亡または重傷を招く差し迫った危険な状況を示します。ただし、本製品では該当するものではありません。



警告は、回避しないと、死亡または重傷を招く可能性がある潜在的に危険な状況を示します。



注意は、回避しないと、軽傷または中程度の傷害を招く可能性がある潜在的に危険な状況を示します。

注意

安全警告記号の付かない注意は、回避しないと財物傷害を引き起こすことがある潜在的に危険な状況を示します。

重要

例外的な条件や注意を操作手順や説明記述の中で、ユーザに伝達する場合に使用しています。

上の5表示に加えて、適宜以下の表示を同時に示します。

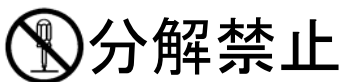
△表示は、警告・注意を示します。

例：



⊘表示は、禁止を示します。

例：



●表示は、強制・指示する内容を示します。

例：



⚠ 警告

ACアダプタに関して：



- 付属のACアダプタがコンセントの形状に合わない場合、ACアダプタを改造したり、無理に入れるなどの行為は絶対に行わないでください。感電事故または火災の原因となります。
- 日本国外で使用する時は、その国の安全規格に適合しているACアダプタを使用してください。
- 本製品と同じコンセントに他の装置を接続する場合は、電源電圧および電源電流が過負荷にならないようにしてください。電気定格はACアダプタの銘板に示してあります。
- 付属のACアダプタは他の製品へ接続しないでください。



- 使用中に異臭・異音がしたり煙が出る場合は、直ちに電源を切りACアダプタ本体をコンセントから抜いてください。感電事故または火災の原因になりますので、そのまま使用しないでください。

本製品の取り扱いに関して：



- 本製品を分解または改造しないでください。分解または改造された場合、感電などにより傷害を負う可能性があります。
- 基板、コネクタに、水・金属片・可燃物などの異物を入れないでください。

設置に関して：



- 湿度が高いところおよび水などで濡れるところには設置しないでください。水などが内部にこぼれた場合、修理不能な故障の原因となります。
- 本製品は屋内で使用してください。

使用環境に関して：



- 本製品使用時の周辺温度の上限（最高定格周辺温度）は35℃です。この最高定格周囲温度を越えないように注意してください。

⚠ 注意

ACアダプタに関して：



- 本製品の設置や他の装置との接続時には、ACアダプタをコンセントから抜いてけがや事故を防いでください。
- 本製品付属のACアダプタのDCプラグ極性を示します。



電源投入に関して：



- 電源OFF後には、10秒程度待ってから電源を再投入してください。

本製品の取り扱いに関して：



- 本製品は慎重に扱い、落下・倒れなどによる強い衝撃を与えないでください。
- 通信インタフェースコネクタの端子や各コネクタの端子は、直接手で触らないでください。静電気により内部回路が破壊される恐れがあります。
- ボードに接続したケーブルで本製品を引っ張らないでください。また、ボードを持ってもう一方の部分を引っ張らないでください。ケーブルが断線する恐れがあります。
- 本製品にインチサイズのネジを使用しないでください。本製品に使用しているネジはすべてISOタイプ（メートルサイズ）のネジです。ネジを交換されるときは、前に使われていたものと同じタイプのネジをご使用ください。

ユーザ登録

ご購入頂いた際には、必ずユーザ登録をお願いします。(株)ルネサス テクノロジーの個人情報保護方針につきましては、ルネサステクノロジーのホームページ「個人情報保護について」をご覧ください。

<http://japan.renesas.com/privacy/index.html>

ユーザ登録で御提供頂きました個人情報は、お客様のサポート活動に活用させて頂き、そのために必要な範囲で(株)ルネサス テクノロジー、およびその関係会社、ならびに特約店に、電子データ、書面により提供させて頂きますので、ご了承の程お願い申し上げます。

なお、提供を希望されない場合は、提供を停止させて頂きますので、お問い合わせ時にその旨ご連絡ください。その場合、サポート範囲が制約される場合がございます。

なお、ご登録なき場合は、不具合情報の連絡等の保守サービスが受けられなくなりますので、必ずご登録頂きますようお願い致します。

またユーザ登録については、以下のホームページを参照してください。

[ホームページアドレス] <http://japan.renesas.com/>

[ユーザ登録に関するお問合せ先] regist_tool@renesas.com

目次

	ページ
1. 概要	11
1.1. 製品概要	11
1.2. システム構成	11
1.3. 梱包内容	12
1.4. 外部仕様	13
1.5. 機能ブロック	15
1.6. アドレスマップ	16
2. 機能仕様	17
2.1. CPU	17
2.2. メモリ	21
2.3. 制御PLD	21
2.4. コンパクトフラッシュインタフェース	21
2.5. MMCインタフェース	21
2.6. eTRONカードインタフェース	22
2.7. デバッグシリアルインタフェース	22
2.8. リアルタイムクロック	22
2.9. 電源回路	23
2.10. クロックモジュール	23
2.11. リセットモジュール	24
2.12. INT スイッチ モジュール	24
2.13. 拡張バスコネクタ	24
2.14. 拡張CAN信号コネクタ	25
2.15. CAN通信コネクタ	26
2.16. ARカメラボードコネクタ	26
2.17. LANインタフェース	27
2.18. SDIインタフェース	27
2.19. パラレルインタフェース	28
3. 制御PLD機能説明	29
3.1. 端子機能	29
3.2. 内蔵レジスタアドレスマップ	30
3.3. アクセスタイミング	31
3.4. コンパクトフラッシュコントローラ (CFC)	32
3.5. マルチメディアカードコントローラ (MMCC)	38
3.6. 割り込みコントローラ (ICU)	47
3.7. I/Oコントローラ (IOC)	55
3.8. CRC演算回路 (CRCC)	61
3.9. リアルタイムクロックコントローラ (RTCC)	67
3.10. eTRONカードコントローラ (ETC)	73
3.11. システムコンフィギュレーションデータ (SYSC)	85
4. LAN拡張ボード	87
4.1 外部仕様	87
4.1. 機能ブロック	87
4.3 LAN拡張ボード空間のマッピング	88
4.4 PLD概要	88
4.5 DIO	89
5. 拡張ボード仕様	91
5.1. 拡張ボードの概要	91
5.2. 拡張バスコネクタ	91
5.3. 拡張バスの信号配置	93
5.4. EXREADY#入力	97
6. 機械仕様	99
6.1. 基板外観	99
6.2. 操作部品概要	102

1. 概要

1.1. 製品概要

M32192 μ T-Engineは、ルネサス32ビットRISCマイコンM32192を搭載したソフトウェア評価用のボードセットです。本製品は、標準仕様である μ T-Engine仕様に基づいています。

CPUボードM3T-M32192UT-CPUは、ルネサス μ T-Engine拡張ボードとスタッキング接続が可能であり、機能を拡張することができます。

1.2. システム構成

図1.2.1に、M32192 μ T-Engineのシステム構成例を示します。

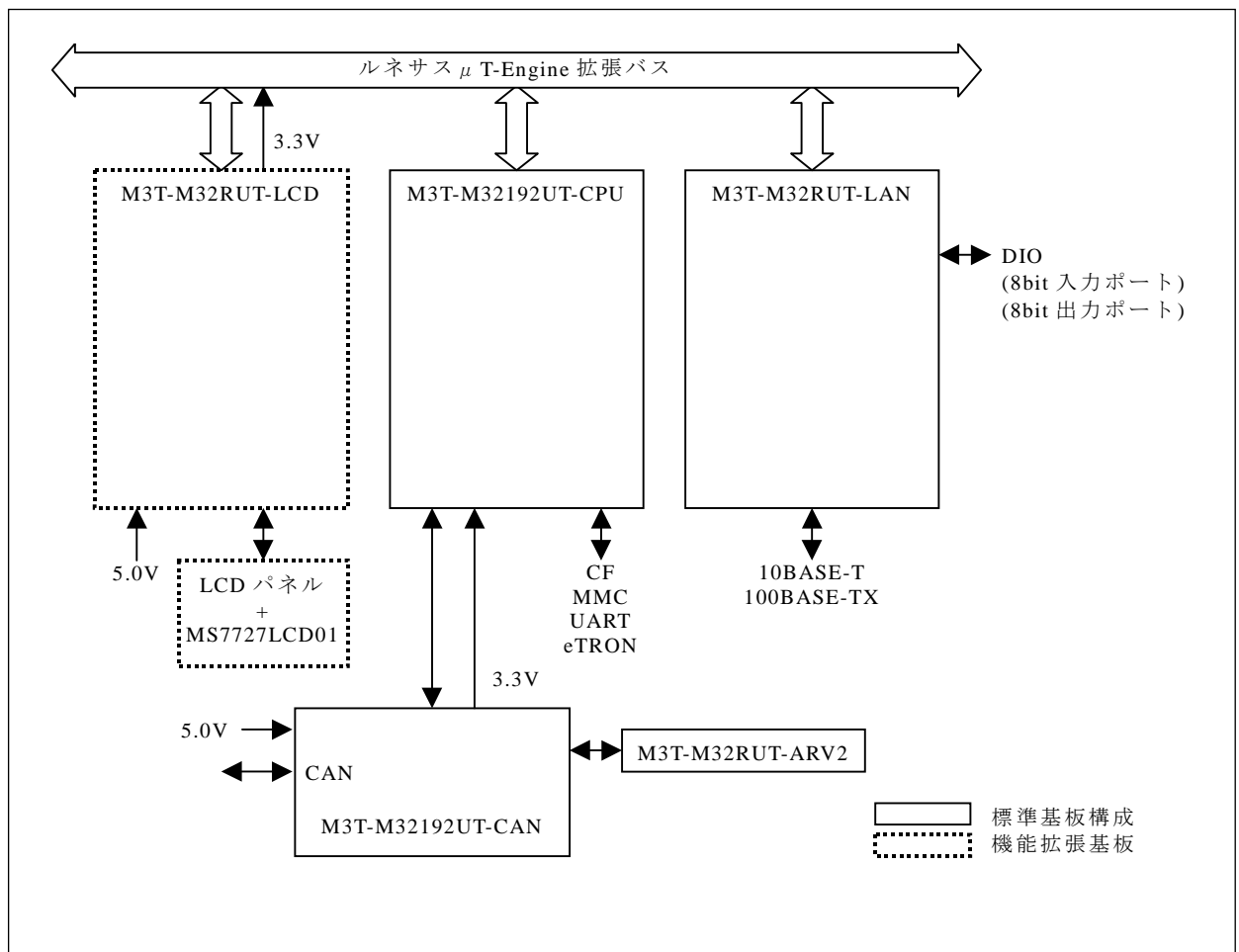


図1.2.1 M32192 μ T-Engineのシステム構成例

- 標準基板構成の場合、ACアダプタをCANボードM3T-M32192UT-CANに接続してシステム電源を供給します。
- 別売の拡張LCDボードM3T-M32RUT-LCDを接続する場合、ACアダプタをM3T-M32RUT-LCDにしてシステム電源を供給します。

1.3. 梱包内容

表1.3.1に、M32192 μ T-Engineの製品パッケージ内容を示します。

表1.3.1 M32192 μ T-Engineの製品パッケージ内容

項目	内容		数量
μ T-Engineボードセット	CPUボード	M3T-M32192UT-CPU	1
	CANボード	M3T-M32192UT-CAN	
	拡張LANボード	M3T-M32RUT-LAN	
ARカメラボード	ARカメラ	M3T-M32RUT-ARV2	1
JTAGエミュレータ	M32100T-EZ-E機種限定版 (R0P3219TR001MRK専用)		1
ACアダプタ	KSW523 (DC 5.0V 2.3A出力) ※USX315-05 (DC 5.0V 2.5A出力)		1
シリアルケーブル	RS-232C用 (D-SUB 9ピン-15ピン)		1
CD-ROM	T-kernel,T-Monitor、M32100T-EZ-E用インタフェース ソフト、サンプルプログラム、 マニュアルなど		1

1.4. 外部仕様

1.4.1. CPUボード

表1.4.1に、M3T-M32192UT-CPUの外部仕様を示します。

表1.4.1 M3T-M32192UT-CPUの外部仕様

項目	内容
CPU	ルネサス製 M32192F8VWG <ul style="list-style-type: none"> ・入力クロック： 20MHz ・CPU動作クロック： 160MHz ・バス動作クロック： 40MHz (BCLK) ・内蔵フラッシュROM： 1MB ・内蔵RAM： 176KB ・パッケージ： 175ピンFBGA
メモリ	BSI製 BS616LV8010FC-55 <ul style="list-style-type: none"> ・外付けSRAM： 1MB (4ウェイトアクセス) ・16ビットバスアクセスのみ ATMEL製 AT25T1024N-10SI-2.7 <ul style="list-style-type: none"> ・外付けシリアルROM： 128KB (M32192のI/Oポートによりアクセス) ・制御PLDのコンフィギュレーションデータ格納用 ・M32192のポート操作によるアクセス
制御PLD	ALTERA製 APEX20K60EFC144-2 <ul style="list-style-type: none"> ・割り込みコントローラ、コンパクトフラッシュ、MMCカード等の制御 ・PLDコンフィギュレーションデータはM32192のI/Oポートによりシリアル書き込み
コンパクトフラッシュ インタフェース	3.3V コンパクトフラッシュスロット：京セラエルコ製 31 5620 050 716 871 <ul style="list-style-type: none"> ・カード電源制御あり
MMC インタフェース	3.3V マルチメディアカードスロット：京セラエルコ製 10 5738 009 300 862 <ul style="list-style-type: none"> ・カード電源制御あり
eTRONカード インタフェース	eTRONカードスロット：京セラエルコ製 00 5036 006 071 862 <ul style="list-style-type: none"> ・クロック供給、リセット制御あり
デバッグシリアル インタフェース	デバッグ用RS-232Cコネクタ：本多通信工業製 RMC-EA15MY-OM15-MC1 <ul style="list-style-type: none"> ・M32192のSIO3を接続 (TxD, RxDのみ)
リアルタイムクロック	DALLAS製DS1302Z <ul style="list-style-type: none"> ・バッテリーバックアップ付き
コネクタ	拡張バスコネクタ：京セラエルコ製 24 5603 14 0202 861 <ul style="list-style-type: none"> ・M32192のアドレス、データ、バス制御信号を接続 拡張CAN信号コネクタ：ヒロセ電機製 FX8C-60P-SV <ul style="list-style-type: none"> ・M32192の周辺ポートを接続
LED	・LED (2個)
スイッチ	<ul style="list-style-type: none"> ・RESETスイッチ (1個) ・INTスイッチ (1個) ・DIPスイッチ (1個：4極)
電源	・拡張CAN信号コネクタまたは拡張バスコネクタからの3.3V電源で動作
外形寸法	<ul style="list-style-type: none"> ・寸法： 60mm×85mm ・実装形態： 8層両面実装

1.4.2. CANボード

表1.4.2に、M3T-M32192UT-CANの外部仕様を示します。

表1.4.2 M3T-M32192UT-CANの外部仕様

項目	内容
コネクタ	拡張CAN信号コネクタ：ヒロセ電機製 FX8C-60S-SV5 ・M32192の周辺ポートを接続、2.54mmピッチのスルーホールも用意
	CAN通信コネクタ：京セラエルコ製 00 8261 0361 10 806 ・3端子ジャンパピン（2個）
	ARカメラボードコネクタ：ヒロセ電機製 FH12-20S-0.5SH ・FFC（スミカード）経由で接続
電源	・DC電源入力コネクタからの5.0V電源で動作（入力電圧範囲4.5～5.5V） EIAJ 電圧区分2、外側マイナス、内側プラス ・レギュレータにより、3.3Vおよび5.0V電源を生成
外形寸法	・寸法： 60mm×85mm ・実装形態： 4層両面実装

1.4.3. ARカメラボード

表1.4.3に、M3T-M32RUT-ARV2の外部仕様を示します。

表1.4.3 M3T-M32RUT-ARV2の外部仕様

項目	内容
ARカメラ	ルネサス製 M64286E-800 ・有効画素数 640 (H)×480 (V)、VGA解像度
コネクタ	ARカメラボードコネクタ：ヒロセ電機製 FH12-20S-0.5SH ・FFC（スミカード）経由で接続
	ARカメラモジュールコネクタ：JST製 24FLZ-SM1-TB
電源	・ARカメラボードコネクタからの3.3V電源で動作 ・レギュレータにより、2.85Vおよび1.8V電源を生成
外形寸法	・寸法： 40mm×35mm ・実装形態： 4層両面実装

1.4.4. 拡張LANボード

表1.4.4に、M3T-M32RUT-LANの外部仕様を示します。

表1.4.4 M3T-M32RUT-LANの外部仕様

項目	内容
LANコントローラ	SMSC製 LAN91C111-NC ・100BASE-TX / 10BASE-T対応、PHY内蔵タイプ
制御PLD	ALTERA製 EPM7032AETC44-7 ・拡張バスの信号を制御
コネクタ	・拡張バスコネクタ：京セラエルコ製 14 5603 14 0202 861
	・LED付きRJ-45コネクタ：Amphenol製 RJHS-5081
	・SDIエミュレータ用コネクタ：ヒロセ電機製 HIF3FC-10PA-2.54DS
	・ARカメラボードコネクタ（未使用）
	・パラレルインタフェースコネクタ：ヒロセ電機製 HIF3FC-20PA-2.54DS
電源	・拡張バスコネクタからの3.3V電源で動作
外形寸法	・寸法： 60mm×85mm ・実装形態： 6層両面実装

1.5. 機能ブロック

図1.5.1に、M32192 μ T-Engineの機能ブロックを示します。

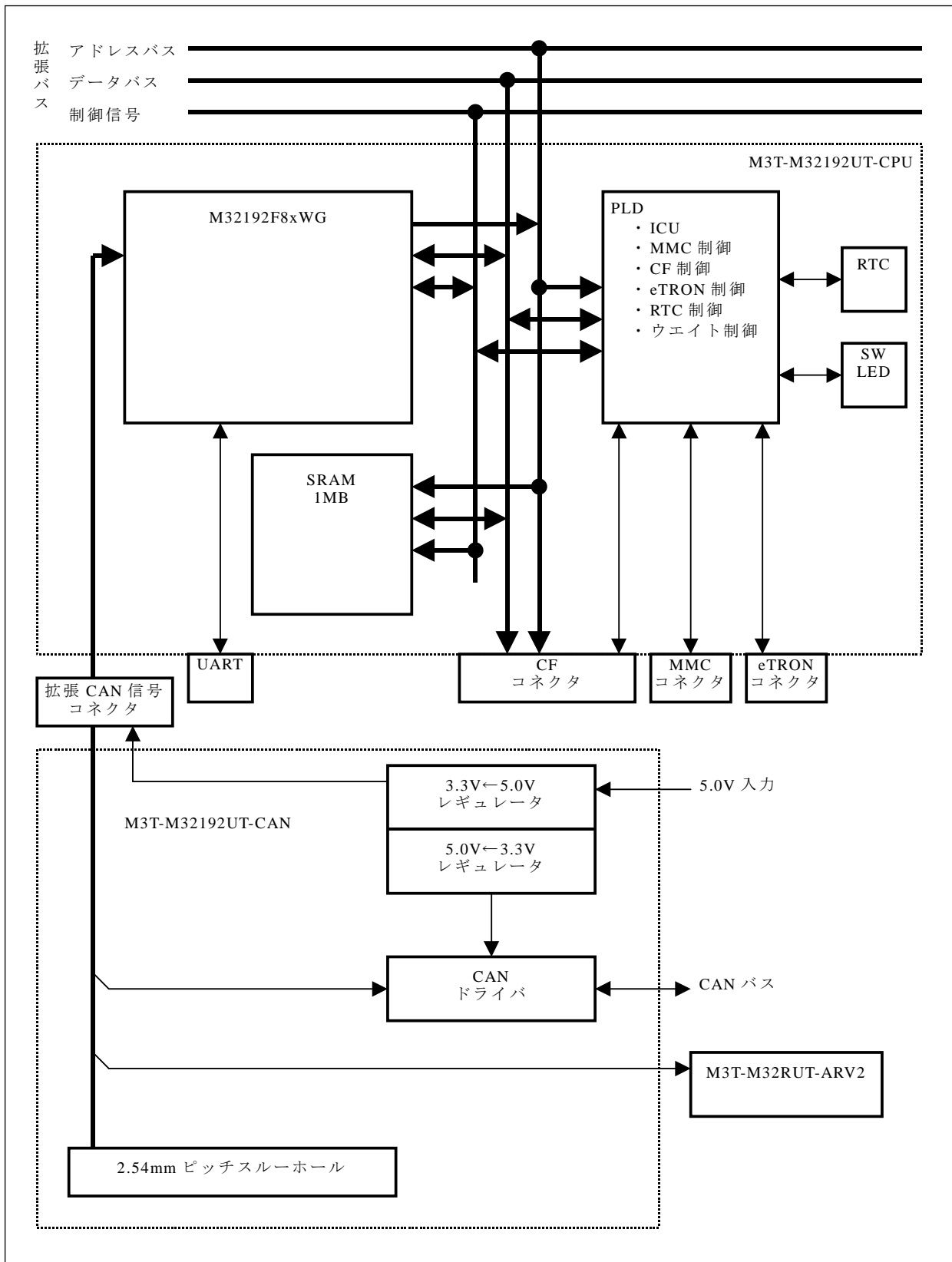


図1.5.1 M32192 μ T-Engineの機能ブロック

1.6. アドレスマップ

図1.6.1に、M32192 μ T-EngineでのM32192アドレスマップを示します。制御PLD領域の詳細については、「制御PLD機能説明 (29ページ)」に示しています。

M32192 アドレス	CS	外部拡張モード
H'0000_0000 :	—	M32192内蔵ROM領域 (1MB)
H'000F_FFFF H'0010_0000 :		外付けSRAM領域 (1MB)
H'001F_FFFF H'0020_0000 :		制御PLD領域 (512KB)
H'0027_FFFF H'0028_0000 :	CS0領域 (7MB)	コンパクトフラッシュ領域 (512KB)
H'002F_FFFF H'0030_0000 :		使用禁止領域
H'007F_FFFF H'0080_0000 :		SFR領域 (16KB)
H'0080_3FFF H'0080_4000 :	—	M32192内蔵RAM領域 (176KB)
H'0082_FFFF H'0083_0000 :		使用禁止領域
H'00FF_FFFF H'0100_0000 :		拡張LANボード予約領域 (1MB)
H'010F_FFFF H'0110_0000 :		拡張BlueToothボード予約領域 (1MB)
H'011F_FFFF H'0120_0000 :	CS1領域 (8MB)	拡張FPGAボード予約領域 (1MB)
H'012F_FFFF H'0130_0000 :		拡張LCDボード予約領域 (1MB)
H'013F_FFFF H'0140_0000 :		LCDコントローラ予約領域 (4MB)
H'017F_FFFF H'0180_0000 :	—	使用禁止領域
H'01FF_FFFF H'0200_0000 :	CS2領域 (8MB)	未使用領域 (8MB)
H'027F_FFFF H'0280_0000 :	—	使用禁止領域
H'02FF_FFFF H'0300_0000 :	CS3領域 (8MB)	未使用領域 (8MB)
H'037F_FFFF H'0380_0000 :	—	使用禁止領域
H'03FF_FFFF		

図1.6.1 M32192アドレスマップ

2. 機能仕様

2.1. CPU

2.1.1. M32192の概要

CPUボードM3T-M32192UT-CPUには、最大160MHzで動作するフラッシュROM内蔵32ビットRISCシングルチップマイクロコンピュータM32192F8VWGを搭載しています。

M32192は、ルネサスオリジナルの高性能・コンパクトな32ビットRISCコアに176KBのRAMと1MBのフラッシュROMを内蔵し、高精度演算を実現するためにIEEE754規格に完全準拠した単精度FPUを実装しています。CAN Specification 2.0B active準拠のFull-CANコントローラなど、周辺機能を動作させるソフトウェアを大容量フラッシュROMに格納することにより、高機能/高性能な演算/制御を実現でき、各種組み込み機器への適用が容易に構成できます。

2.1.2. M3T-M32192UT-CPUでのCPU端子機能

(1) 専用端子

表2.1.1に、M3T-M32192UT-CPUでのM32192専用端子機能を示します。()付きの端子は、175ピンFBGAにのみ用意される端子です。

表2.1.1 M32192専用端子機能

種類	端子名	機能
電源	VCCE	3.3V電源を接続 (4本)
	VCCER	3.3V電源を接続 (1本)
	EXCVCC	1 μ Fコンデンサを接続 (2本)
	VCC-BUS	3.3V電源を接続 (2本)
	VDDE	3.3V電源を接続 (1本)
	EXCVDD	1 μ Fコンデンサを接続 (1本)
	VSS	GNDを接続 (12本)
クロック	XIN	20MHzクロックを入力
	XOUT	オープン
リセット	RESET#	リセット信号を入力
モード	MOD0~MOD2	外部拡張モードに固定
	(VDCMODE1)	“L” 固定
フラッシュ	FP	“H” 固定 (プロテクトなし)
割り込みコントローラ	SBI#	“H” 固定 (未使用)
A-D変換器	AD0IN0~AD0IN15	“L” 固定 (未使用)
	AVCC0	3.3Vへ接続
	AVSS0	GNDへ接続
	VREF0	3.3Vへ接続
JTAG/SDI	JTMS	拡張バス経由でSDIコネクタへ接続
	JTCK/NBDCLK	拡張バス経由でSDIコネクタへ接続
	JTRST	拡張バス経由でSDIコネクタへ接続
	JTDI/NBDSYNC#	拡張バス経由でSDIコネクタへ接続
	JTDO/NBDEVENT#	拡張バス経由でSDIコネクタへ接続
	(SDIVCC)	オープン
	(JDBI/TESTJDBI)	“H” 固定
	(JTRCLK)	オープン
	(JTRSYNC)	オープン
	(JEVENT0, JEVENT1)	オープン
	(JTRDATA0~JTRDATA7)	オープン

(2) プログラマブルポート

表2.1.2に、M3T-M32192UT-CPUでのM32192プログラマブルポート機能を示します。

表2.1.2 M32192プログラマブルポート機能 (1/2)

端子名	使用機能	機能	拡張CAN信号	拡張バス
P70/CLKOUT/WR#/BCLK	BCLK	40MHz出力を外部デバイスへ接続	未接続	接続 変更不可
P124/TCLK0/A9/DD3	A9	アドレスバスを 外部デバイスへ接続	未接続	接続 変更不可
P125/TCLK1/A10/DD2	A10			
P224/A11/CS2#	A11			
P225/A12/CS3#	A12			
P46/A13/TIN10	A13			
P47/A14/TIN11	A14			
P30/A15/TIN4/DD16	A15			
P31/A16/TIN5/DD17	A16			
P32/A17/TIN6/DD18	A17			
P33/A18/TIN7/DD19	A18			
P34/A19/TIN30/DD20	A19			
P35/A20/TIN31/DD21	A20			
P36/A21/TIN32/DD22	A21			
P37/A22/TIN33/DD23	A22			
P20/A23/DD24	A23			
P21/A24/DD25	A24			
P22/A25/DD26	A25			
P23/A26/DD27	A26			
P24/A27/DD28	A27			
P25/A28/DD29	A28			
P26/A29/DD30	A29			
P27/A30/DD31	A30			
P00/DB0/TO21/DD0	DB0	データバスを 外部デバイスへ接続	未接続	接続 変更不可
P01/DB1/TO22/DD1	DB1			
P02/DB2/TO23/DD2	DB2			
P03/DB3/TO24/DD3	DB3			
P04/DB4/TO25/DD4	DB4			
P05/DB5/TO26/DD5	DB5			
P06/DB6/TO27/DD6	DB6			
P07/DB7/TO28/DD7	DB7			
P10/DB8/TO29/DD8	DB8			
P11/DB9/TO30/DD9	DB9			
P12/DB10/TO31/DD10	DB10			
P13/DB11/TO32/DD11	DB11			
P14/DB12/TO33/DD12	DB12			
P15/DB13/TO34/DD13	DB13			
P16/DB14/TO35/DD14	DB14			
P17/DB15/TO36/DD15	DB15			
P41/BLW#/BLE#	BLW#			
P42/BHW#/BHE#	BHW#			
P43/RD#	RD#			
P44/CS0#/TIN8	CS0#			
P45/CS1#/TIN9	CS1#			
P71/WAIT#	WAIT#	CF, 拡張バスからのEXREADY#を 制御PLD経由で制御	未接続	接続 変更不可

表2.1.2 M32192プログラマブルポート機能 (2/2)

端子名	使用機能	機能	拡張CAN信号	拡張バス
P150/TIN0/CLKOUT/WR#	TIN0	制御PLDからのFPGAINTを入力	未接続	未接続
P103/TO11/TIN24	TIN24	拡張バスからのEXINTを入力	未接続	接続 変更不可
P132/TIN18/DIN2	TIN18	拡張バスからのINT2#を入力		
P72/HREQ#/TIN27	TIN27	拡張バスからのINT3#を入力		
P61	P61	制御PLD用シリアルROMへ接続	未接続	未接続
P62	P62	制御PLDのCONF_DONEへ接続		
P63	P63	制御PLDのCONFIG#へ接続		
P73/HACK#/TIN26	P73	制御PLDのDATA0へ接続		
P153/TIN3/WAIT#	P153	制御PLDのSTATUS#へ接続	未接続	未接続
P74/RTDXTD/TXD3/NBDD0	TXD3	デバッグシリアルコネクタへ接続		
P75/RTDRXD/RXD3/NBDD1	RXD3			
P100/TO8	P100	eTRONカード電源制御回路へ接続	未接続	未接続
P82/TXD0/TO26	—	拡張CAN信号コネクタと 拡張バスコネクタへ接続	接続 変更可能	接続 変更可能
P83/RXD0/TO25	—			
P84/SCLKI0/SCLKO0/TO24	—			
P85/TXD1/TO23	P85			
P86/RXD1/TO22	P86			
P87/SCLKI1/SCLKO1/TO21	P87			
P93/TO16/SCLKI5/SCLKO5	—			
P94/TO17/TXD5/DD15	—			
P95/TO18/RXD5/DD14	—			
P96/TO19/DD13	—			
P97/TO20/DD12	—	拡張CAN信号コネクタへ接続	接続 変更可能	未接続
P101/TO9/CRX0	—			
P102/TO10/CTX0	—			
P76/RTDACK/CTX1/NBDD2	—			
P77/RTDCLK/CRX1/NBDD3	—			
P126/TCLK2/CS2#/DD1	—			
P127/TCLK3/CS3#/DD0	—			
P110/TO0/TO29/DD11	—			
P111/TO1/TO30/DD10	—			
P112/TO2/TO31/DD9	—			
P113/TO3/TO32/DD8	—			
P114/TO4/TO33/DD7	DD7			
P115/TO5/TO34/DD6	DD6			
P116/TO6/TO35/DD5	DD5			
P117/TO7/TO36/DD4	DD4			
P104/TO12/TIN25/DD3	DD3			
P105/TO13/SCLKI4/SCLKO4/DD2	DD2			
P106/TO14/TXD4/DD1	DD1			
P107/TO15/RXD4/DD0	DD0			
P130/TIN16/PWMOFF0/DIN0	DIN0			
P131/TIN17/PWMOFF1/DIN1	DIN1			
P133/TIN19/DIN3	DIN3			
P134/TIN20/TXD3/DIN4	—			
P135/TIN21/RXD3	—			
P136/TIN22/CRX1	CRX1			
P137/TIN23/CTX1	CTX1			
P174/TXD2/TO28	—			
P175/RXD2/TO27	—			
P220/CTX0/HACK#	CTX0			
P221/CRX0/HREQ#	CRX0			

2.1.3. 割り込み要因

表2.1.3に、M3T-M32192UT-CPUでのM32192割り込み要因を示します。

表2.1.3 M32192割り込み要因

割り込み番号	割り込み要求信号	割り込み要因
TIN0	制御PLDからのFPGAINT	CF, MMC, eTRONカード, INT_SWからの割り込み要求
TIN24	拡張バスからのEXINT	拡張LANボードM3T-M32RUT-LANからの割り込み要求
TIN18	拡張バスからのINT2#	拡張LCDボードM3T-M32RUT-LCDからの割り込み要求
TIN27	拡張バスからのINT3#	予 約

SBI#, TIN4(P30)~TIN7(P33), TIN8(P44)~TIN11(P47), TIN30(P34)~TIN33(P37)は使用できません。

2.1.4. ウェイトコントローラの設定

表2.1.4に、M3T-M32192UT-CPUでのM32192ウェイトコントローラ設定を示します。

表2.1.4 M32192ウェイトコントローラ設定

CS信号	デバイス	ベースアドレス	サイズ	WAIT	CWAIT	SWAIT	RECOV	IDLE	バス幅
CS0#	外付けSRAM	H'0010 0000	1MB	4	0	0	1	1	16bit
	制御PLD	H'0020 0000	512KB						
	コンパクトフラッシュ	H'0028 0000	512KB						
CS1#	拡張LANボード	H'0100 0000	1MB	4	0	0	1	1	16bit
	拡張BlueToothボード	H'0110 0000	1MB						
	拡張FPGAボード	H'0120 0000	1MB						
	拡張LCDボード	H'0130 0000	5MB						
CS2#	未使用	H'0200 0000	8MB						
CS3#	未使用	H'0300 0000	8MB						

具体的な設定を以下に示します。

```
// CS0領域のチップセレクトコントローラ初期化
CS0WTCR = 0x43;          /* WAIT=4, CWAIT=0, SWAIT=0, RECOV=1, IDLE=1 */
```

```
// CS1領域のチップセレクトコントローラ初期化
CS1WTCR = 0x43;          /* WAIT=4, CWAIT=0, SWAIT=0, RECOV=1, IDLE=1 */
```

2.2. メモリ

表2.2.1に、M3T-M32192UT-CPUに搭載しているメモリの一覧を示します。

表2.2.1 メモリ一覧

種別	ベース	サイズ	バス幅	備考
内蔵フラッシュROM	H'0000 0000	1MB	32bit	1ウェイトアクセス
内蔵RAM	H'0080 4000	176KB	32bit	0ウェイトアクセス
外付けSRAM	H'0010 0000	1MB	16bit	4ウェイトアクセス
外付けシリアルROM	—	128KB	—	M32192のポート操作によるアクセス

2.3. 制御PLD

M3T-M32192UT-CPUの制御用PLDとして、ALTERA製APEX20K60EFC144-2を実装しています。

以下に示す機能は、制御PLDで実現しています。詳細については、「制御PLD機能説明 (29ページ)」を参照してください。

- コンパクトフラッシュ制御
- マルチメディアカード制御
- 割り込みコントローラ
- 周辺I/Oコントローラ
- CRC演算回路
- リアルタイムクロック制御
- eTRONカード制御

2.4. コンパクトフラッシュインタフェース

M3T-M32192UT-CPUは、コンパクトフラッシュカードスロット (Type II) を1個実装しています。

コンパクトフラッシュの制御信号は、制御PLDによって生成します。また、活線挿抜用バッファと電源制御ICを実装しており、コンパクトフラッシュの活線挿抜動作をサポートしています。

2.5. MMCインタフェース

M3T-M32192UT-CPUは、MMC (マルチメディアカード) スロットを1個実装しています。

MMCの制御信号は、制御PLDによって生成します。また、活線挿抜用バッファと電源制御ICを実装しており、MMCの活線挿抜動作をサポートしています。

MMCとのインタフェースは、MMCモードで行い、双方向のコマンド、データ信号と転送クロックから構成されます。また、CRC演算回路を制御PLDで実現し、CRC7 ($X^7 + X^3 + 1$) およびCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) をサポートしています。

2.6. eTRONカードインタフェース

M3T-M32192UT-CPUは、eTRONカードスロットを1個実装しています。
eTRONカードの制御信号は、制御PLD及び、MCUプログラマブルポートによって生成します。
eTRONカードとのインタフェースは、以下の通信方式を採用しています。

- UART方式
- データ長： 8ビット
- 転送規則： ダイレクト/インバース
- スタートビット：1ビット
- パリティビット：1ビット
- _SHDN端子 : プログラマブルポートP100より制御可能

表2.6.1 eTRONカード電源

P100	機能
eTRONインタフェース	P100 = 1でeTRONカードインタフェース I C 電源ON
	P100 = 0でeTRONカードインタフェース I C 電源OFF

⚠ 注意



- 電源がショートする可能性がありますので、電源を投入したままでのeTRONカードの挿抜は避けてください。

2.7. デバッグシリアルインタフェース

M3T-M32192UT-CPUは、RS-232Cシリアル通信用に15pinコネクタを実装し、最大115,200bps (MCU最大 250,000bps)でのシリアル通信が可能です。

UART信号は、M32192のP74/TXD3およびP75/RXD3を使用しています。

製品付属のシリアルケーブル接続を以下に示します。ホストマシン側はD-SUB 9ピンメスコネクタです。

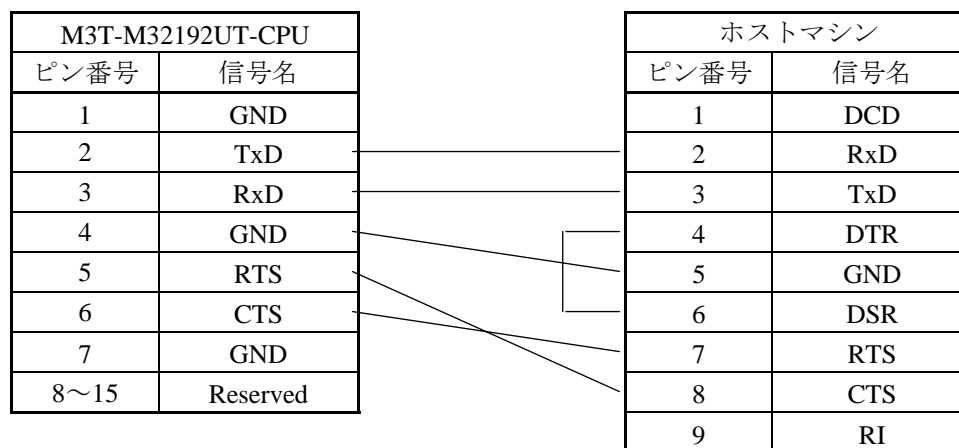


図2.7.1 デバッグシリアル結線図

2.8. リアルタイムクロック

M3T-M32192UT-CPUは、リアルタイムクロックとしてDALLAS製DS1302Zを実装し、リチウム電池によるバッテリーバックアップによって日付、時刻の保存が可能です。

リアルタイムクロックの制御信号は、制御PLDによって生成します。

デバイスとのインタフェースは、CSIO通信方式を採用しています。

2.9. 電源回路

2.9.1. 電源回路

M3T-M32192UT-CPUは、標準基板構成の場合、拡張CAN信号コネクタから入力される3.3V電源で動作します。拡張LCDボードM3T-M32RUT-LCDを接続する場合、拡張バスコネクタから入力される3.3V電源で動作します。

図2.9.1に、電源系統図を示します。

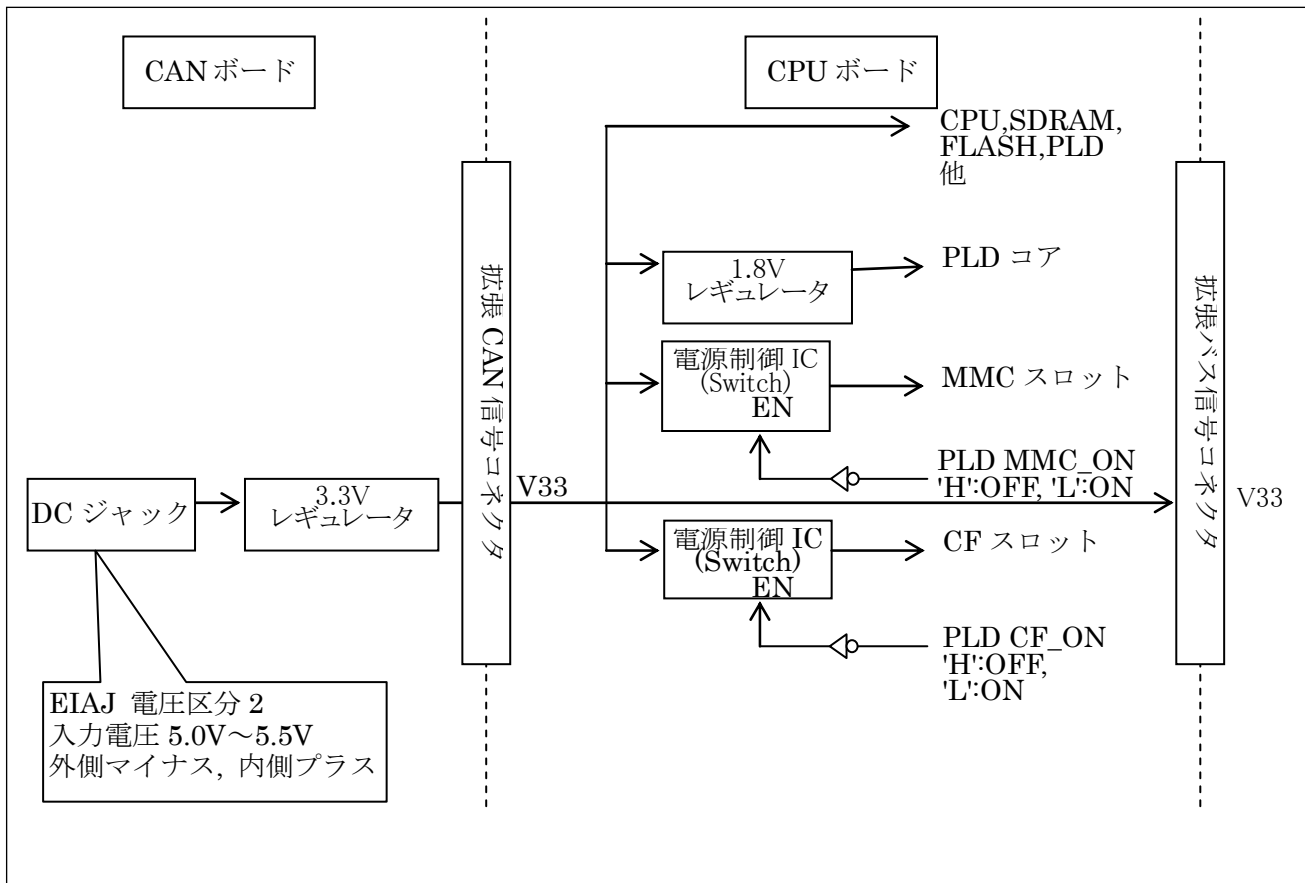


図2.9.1 標準基板構成時 電源系統図

2.9.2. DCジャック入力電源

本製品のDCジャックより入力電源仕様を示します。

添付のACアダプタ以外を使用の時、本仕様に適合する電源を御使用ください。

表2.9.1 DCジャック入力

プラグ	EIAJ5320A 電圧区分2
入力電圧	5.0V~5.5V
プラグ極性	外側マイナス、内側プラス

2.10. クロックモジュール

M32192のXinには、20MHzを入力しています。

CPU動作クロックは160MHz以下、BCLKは40MHz以下でご使用ください。

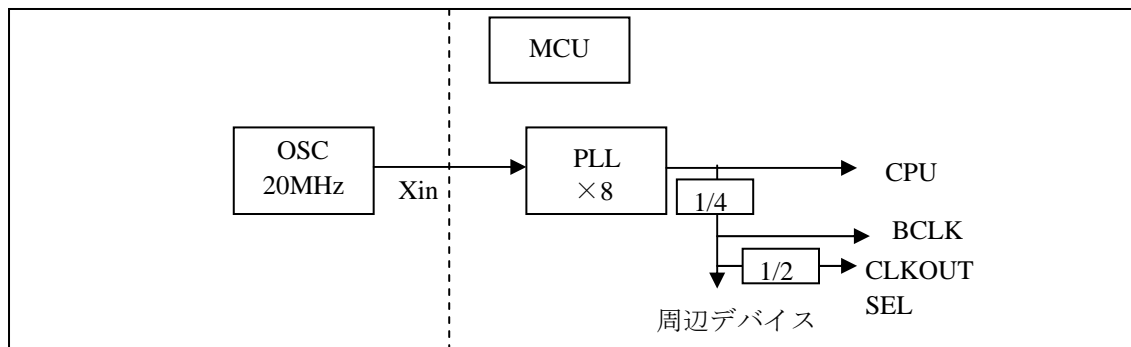


図2.10.1 クロックモジュール

2.11. リセットモジュール

M32192へのリセット入力は、リセットICによるパワーオンリセット、リセットSWによるリセット、拡張バスコネクタを経由して入力されるエミュレータからのリセットがあります。

図2.11.1に、リセット系統図を示します。

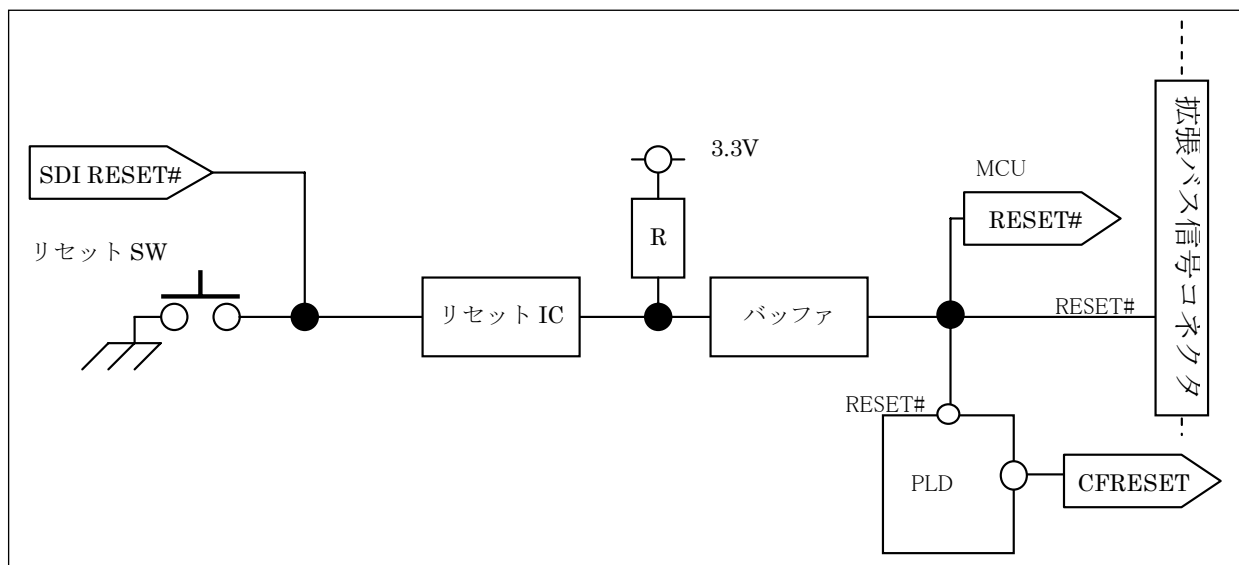


図2.11.1 リセット系統図

2.12. INT スイッチ モジュール

M3T-M32192UT-CPU基板には、割り込み検知可能なINT スイッチが実装されており、PLDのINTSW#端子に入力されており、INT スイッチの入力を割り込みにより検出する事が可能です。

図2.9.1に、電源系統図を示します。

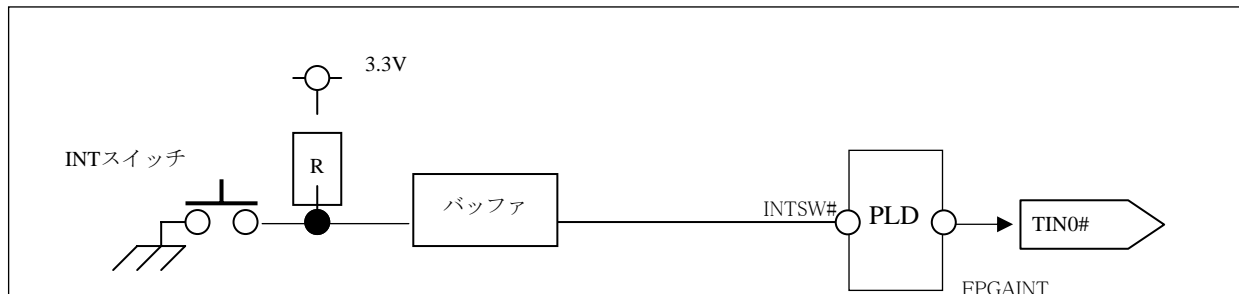


図2.12.1 INT スイッチ系統図

2.13. 拡張バスコネクタ

M3T-M32192UT-CPUは、拡張バスコネクタを1個実装しています。拡張バスコネクタ経由で拡張ボードを接続することにより、機能を拡張することが可能です。詳細については、「拡張ボード仕様(91ページ)」を参照してください。

2.14. 拡張CAN信号コネクタ

M3T-M32192UT-CPUおよびM3T-M32192UT-CANは、拡張CAN信号コネクタで接続します。また、拡張CAN信号のスルーホールをM3T-M32192UT-CAN上のEXT1およびEXT2に用意しています。

表2.14.1に、拡張CAN信号コネクタの信号配置を示します。

表2.14.1 拡張CAN信号コネクタの信号配置

No.	信号名	スルーホール No.	No.	信号名	スルーホール No.	
1	V33	*1	31	P114/TO4/TO33/DD7	EXT2-5	
2	V33		32	P115/TO5/TO34/DD6	EXT2-6	
3	GND	*2	33	P116/TO6/TO35/DD5	EXT2-7	
4	GND		34	P117/TO7/TO36/DD4	EXT2-8	
5	GND		35	P104/TO12/TIN25/DD3	EXT2-9	
6	GND		36	P105/TO13/SCLKI4/SCLKO4/DD2	EXT2-10	
7	GND		37	P106/TO14/TXD4/DD1	EXT2-11	
8	GND		38	P107/TO15/RXD4/DD0	EXT2-12	
9	P82/TXD0/TO26		EXT1-5	39	P130/TIN16/PWMOFF0/DIN0	EXT2-13
10	P83/RXD0/TO25		EXT1-6	40	P131/TIN17/PWMOFF1/DIN1	EXT2-14
11	P84/SCLKI0/SCLKO0/TO24	EXT1-7	41	P133/TIN19/DIN3	EXT2-15	
12	P85/TXD1/TO23	EXT1-8	42	NC	EXT2-16	
13	P86/RXD1/TO22	EXT1-9	43	P134/TIN20/TXD3/DIN4	EXT2-17	
14	P87/SCLKI1/SCLKO1/TO21	EXT1-10	44	P135/TIN21/RXD3	EXT2-18	
15	P93/TO16/SCLKI5/SCLKO5	EXT1-11	45	P136/TIN22/CRX1	EXT2-19	
16	P94/TO17/TXD5/DD15	EXT1-12	46	P137/TIN23/CTX1	EXT2-20	
17	P95/TO18/RXD5/DD14	EXT1-13	47	P174/TXD2/TO28	EXT2-21	
18	P96/TO19/DD13	EXT1-14	48	P175/RXD2/TO27	EXT2-22	
19	P97/TO20/DD12	EXT1-15	49	P220/CTX0/HACK#	EXT2-23	
20	P101/TO9/CRX0	EXT1-16	50	P221/CRX0/HREQ#	EXT2-24	
21	P102/TO10/CTX0	EXT1-17	51	RESET#	EXT2-25	
22	P76/RTDACK/CTX1/NBDD2	EXT1-18	52	GND	*2	
23	P77/RTDCLK/CRX1/NBDD3	EXT1-19	53	GND		
24	P126/TCLK2/CS2#/DD1	EXT1-20	54	GND		
25	P127/TCLK3/CS3#/DD0	EXT1-21	55	GND		
26	NC	EXT1-22	56	GND		
27	P110/TO0/TO29/DD11	EXT1-23	57	GND		
28	P111/TO1/TO30/DD10	EXT1-24	58	GND		
29	P112/TO2/TO31/DD9	EXT1-25	59	V33		
30	P113/TO3/TO32/DD8	EXT1-26	60	V33	*1	

*1 : V33は、EXT1-1, 2, 29, 30およびEXT2-1, 2, 29, 30に接続しています。

*2 : GNDは、EXT1-3, 4, 27, 28およびEXT2-3, 4, 26, 27, 28に接続しています。

2.15. CAN通信コネクタ

M3T-M32192UT-CANは、CAN通信コネクタを2個実装しています。

表2.15.1に、CAN通信コネクタの信号配置を示します。

表2.15.1 CAN通信コネクタの信号配置

CAN1		CAN2	
ピン番号	信号名	ピン番号	信号名
1	CANL1	1	CANL2
2	GND	2	GND
3	CANH1	3	CANH2

2.16. ARカメラボードコネクタ

M3T-M32192UT-CANおよびM3T-M32RUT-ARV2は、ARカメラボードコネクタで接続します。

表2.16.1に、ARカメラボードコネクタの信号配置を示します。

表2.16.1 ARカメラボードコネクタの信号配置

ピン番号	機能	使用ポート
1	SCL	P87 (OE制御)
2	SDA	P85 (OE制御) / P86
3	VDS	P130
4	HDS	P131
5	PCK	P132
6	DGND	
7	Y0	P114/DD7
8	Y1	P115/DD6
9	Y2	P116/DD5
10	Y3	P117/DD4
11	DGND	
12	Y4	P124/DD3
13	Y5	P125/DD2
14	Y6	P126/DD1
15	Y7	P127/DD0
16	3.3V	
17	CKI (13.5MHz)	
18	3.3V	
19	RST# (RESET#)	
20	DGND	

2.17. LANインタフェース

M3T-M32RUT-LANのEthernetコントローラとして、SMSC製LAN91C111-NCを実装しています。本コントローラの概要を以下に示します。

- 10 / 100Mbpsをサポート
- Full / Half Duplexをサポート
- 送受信バッファ用8KB SRAMを内蔵
- 16ビットバスサイズ
- PHYおよびMAC用基準クロック : 25MHz

使用方法の詳細については、LAN91C111-NCの資料を参照してください。

2.18. SDIインタフェース

M3T-M32RUT-LANは、SDIエミュレータ接続用の10ピンSDIインタフェースコネクタを1個実装しています。

表2.18.1に、SDIエミュレータ用コネクタの信号配置を示します。

表2.18.1 SDIエミュレータ用コネクタの信号配置

ピン番号	信号名
1	TCK
2	GND
3	TDI
4	TDO
5	TMS
6	TRST#
7	NC
8	NC
9	3.3V
10	RST#

表2.18.2に、JP1の機能を示す。

表 2.18.2 JP1の機能

設定	信号名
ショート	SDIコネクタ有効 SDIコネクタを実装する他の拡張基板上のSDIコネクタは全て無効にする必要があります。(例：M3T-M32RUT-EXT上のSDIコネクタ) システム中に有効なSDIコネクタは唯一にしなければなりません。
オープン	SDIコネクタ無効

2.19. パラレルインタフェース

M3T-M32RUT-LANは、8ビットの平行入出力可能な20ピンコネクタを1個実装しています。表2.19.1に、平行インタフェース用コネクタの信号配置を示します。

表2.19.1 平行インタフェース用コネクタの信号配置

ピン番号	信号名	I/O	備考
1	DO0	OUT	33Ωのシリアル抵抗付き
2	DO1	OUT	33Ωのシリアル抵抗付き
3	DO2	OUT	33Ωのシリアル抵抗付き
4	DO3	OUT	33Ωのシリアル抵抗付き
5	DO4	OUT	33Ωのシリアル抵抗付き
6	DO5	OUT	33Ωのシリアル抵抗付き
7	DO6	OUT	33Ωのシリアル抵抗付き
8	DO7	OUT	33Ωのシリアル抵抗付き
9	GND		
10	GND		
11	DI0	IN	47kΩのプルアップ抵抗付き
12	DI1	IN	47kΩのプルアップ抵抗付き
13	DI2	IN	47kΩのプルアップ抵抗付き
14	DI3	IN	47kΩのプルアップ抵抗付き
15	DI4	IN	47kΩのプルアップ抵抗付き
16	DI5	IN	47kΩのプルアップ抵抗付き
17	DI6	IN	47kΩのプルアップ抵抗付き
18	DI7	IN	47kΩのプルアップ抵抗付き
19	GND		
20	GND		

出力ポート (DO0~DO7) は、H'0108 0000番地へバイトで書き込んだ値を保持します。
 入力ポート (DI0~DI7) の値は、H'0108 0000番地からバイトで読み込むことができます。

3. 制御PLD機能説明

3.1. 端子機能

表3.1.1に、制御PLDの端子機能を示します。

表3.1.1 制御PLDの端子機能 (1/2)

種類	端子名	入出力	機能
電源	VCCIO	—	3.3V電源
	VSSIO	—	GND
	VCCINT	—	1.8V電源
	VSSINT	—	GND
クロック	BCLK	入力	バスクロック40MHz
リセット	RESET#	入力	システムリセット
アドレスバス	A1_[11:19]	入力	M32192アドレスバスA[11:19]
	A2_[22:30]	入力	M32192アドレスバスA[22:30]
データバス	D[0:15]	入出力	M32192データバスD[0:15]
バス制御	CS0#, CS1#	入力	M32192チップセレクト
	RD#	入力	M32192リード
	BHW#, BLW#	入力	M32192ライト
	WAIT#	出力	M32192へのウェイト要求
	FPGAINT	出力	M32192への割り込み要求
外部バス制御	EXREADY#	入力	拡張バスからのREADY#
	BUS_RD#	出力	拡張バスリード
	BUS_BHW#, BUS_BLW#	出力	拡張バスライト
	BUS_CS#	出力	拡張バスチップセレクト
	BUSSEL#	出力	拡張バスデータ入出力制御
	SRAM_CS#	出力	外付けSRAMチップセレクト
	SRAM_WE#	出力	外付けSRAMライト
	SRAM_UB#, SRAM_LB#	出力	外付けSRAMバイトセレクト
コンパクトフラッシュ コントローラ	CF_ON#	出力	CF電源制御
	CFRESET	出力	CFリセット
	CFCE1#, CFCE2#	出力	CF選択と有効バイト位置
	CFIORD#	出力	CF I/Oメモリ空間リードデータの出力制御
	CFIOWR#	出力	CF I/Oメモリ空間ライトデータの書き込み制御
	CFOE#	出力	CFリードデータの出力制御
	CFWE#	出力	CFライトデータの書き込み制御
	CFBUFOE#	出力	CF活線挿抜バッファの制御 (データ以外)
	CFDBUFOE#	出力	CF活線挿抜バッファの制御 (データ)
	CFWAIT#	入力	CFウェイト要求
	CFIREQ#	入力	CF割り込み要求
	CFCD1#, CFCD2#	入力	CF挿抜状態検出
	MMCコントローラ	MMC_ON#	出力
MMCCLK		出力	MMCコマンド/データ転送用クロック
MMCCS		出力	MMCチップセレクト
MMCCD		入力	MMC挿抜状態検出
MMCWP		入力	MMCライトプロテクト検出
MMCCMD		入出力	MMCコマンド出力/レスポンス入力
MMCDAT0		入出力	MMC入出力データ

表3.1.1 制御PLDの端子機能 (2/2)

種類	端子名	入出力	機能
eTRONカード コントローラ	eTCRST#	出力	eTRONカードリセット信号
	eTCCLK	出力	eTRONカードデータ転送クロック
	eTCDIO	入出力	eTRONカード送受信データ
リアルタイムクロック	RTCRST#	出力	RTCリセット信号
	RTCSCLK	出力	RTCデータ転送クロック
	RTCIO	入出力	RTCコマンド/データ入出力
その他	INTSW#	入力	プッシュスイッチ入力
	SW1, SW2	入力	ディップスイッチ入力
	LED1, LED2	出力	LED点灯制御信号

3.2. 内蔵レジスタアドレスマップ

図3.2.1に、制御PLD内蔵レジスタのアドレスマップを示します。

M32192 アドレス	+0番地	+1番地
	b0	b7 b8 b15
H'0020_0000 : H'0020_3FFE H'0020_4000 : H'0020_7FFE H'0020_8000 : H'0020_BFFE H'0020_C000 : H'0021_3FFE H'0021_4000 : H'0021_7FFE H'0021_8000 : H'0021_BFFE H'0021_C000 : H'0021_FFFE H'0022_0000 : H'0023_7FFE H'0023_8000 : H'0023_BFFE H'0023_C000 : H'0023_FFFE H'0024_0000 : H'0027_FFFE	コンパクトフラッシュコントローラ (CFC) マルチメディアカードコントローラ (MMCC) 割り込みコントローラ (ICU) 使用禁止領域 I/Oコントローラ (IOC) CRC演算回路 (CRCC) リアルタイムクロックコントローラ (RTC) 使用禁止領域 eTRONカードコントローラ (ETC) システムコンフィギュレーションデータ (SYSC) 使用禁止領域	

図3.2.1 制御PLD内蔵レジスタのアドレスマップ

3.3. アクセスタイミング

図3.3.1に、M32192から制御PLDへのアクセスタイミングを示します。

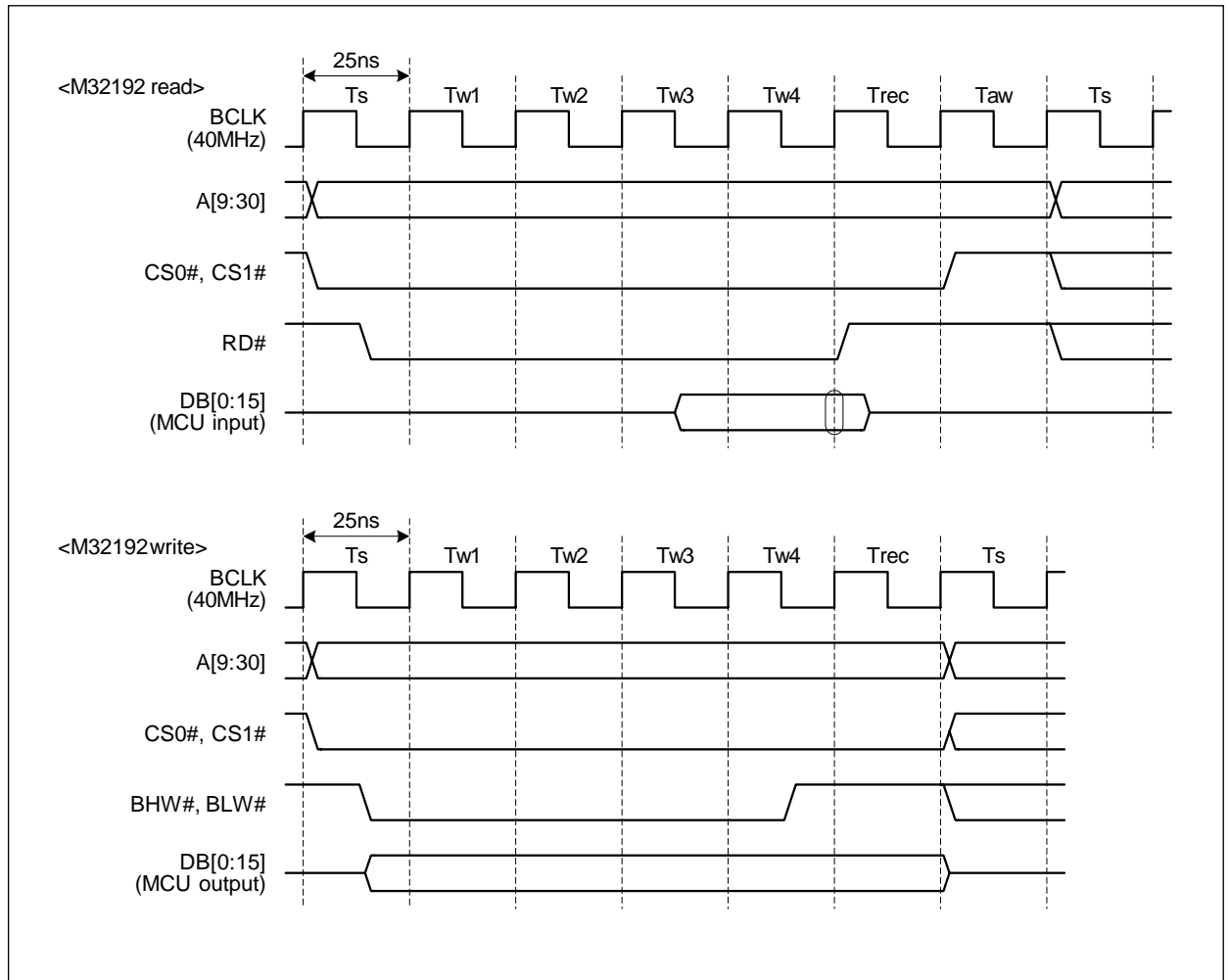


図3.3.1 M32192から制御PLDへのアクセスタイミング

3.4. コンパクトフラッシュコントローラ（CFC）

3.4.1. CFC概要

制御PLDは、コンパクトフラッシュコントローラを内蔵しています。

コンパクトフラッシュはM32192のCS0#領域にマッピングされ、制御PLDでアドレスと制御信号をデコードすることにより、コンパクトフラッシュの制御信号を生成しています。また、活線挿抜に対応するためのカード検出を行っています。

表3.4.1に、CFCの概要を示します。

表3.4.1 CFCの概要

項目	概要
制御スロット	1スロット
スロットサイズ	2KB
サポートメモリ空間	アトリビュートメモリ空間 コモンメモリ空間 IOメモリ空間
アクセスタイミング制御	M32192 CS0#の設定に依存
コンパクトフラッシュアクセス	M32192のアドレス信号と制御信号をデコードすることにより制御
カード検出	CFCD1#, CFCD2#によりカードの挿抜を検出
カード電源制御	あり
アクセスモード	アトリビュートアクセス メモリアクセス I/Oアクセス

3.4.2. CFC関連レジスタ

図3.4.1にCFCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込んだ場合の動作は保証できません。

M32192 アドレス	+0番地	+1番地
H'0020_0000	b0	b7 b8 b15
H'0020_0002	CFリセット制御レジスタ (CFRSTCR)	
H'0020_0004	CFカード検出ステータスレジスタ (CFSTS)	
H'0020_0006	CF割り込みマスクレジスタ (CFIMASK)	
H'0020_0008	CFバッファイネーブル制御レジスタ (CFBUFCR)	
:	使用禁止領域	
H'0020_3FFE		

図3.4.1 CFCレジスタマッピング

3.4.3. CFCリセット制御レジスタ

■CFCリセット制御レジスタ (CFRSTCR)

<アドレス : H'0020 0000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	OEO	0	0	0	0	0	0	0	CFRST
							1								0

<リセット時 : H'0100>

b	ビット名	機能	R	W
0~6	何も配置されていません		0	—
7	OEO CFOE#出力データビット	0 : CFOE#から“L”を出力する 1 : CFのアクセス制御に従って出力する	R	W
8~14	何も配置されていません		0	—
15	CFRST コンパクトフラッシュリセットビット	0 : CFRESETから“L”を出力する 1 : CFRESETから“H”を出力する	R	W

(1) CFOE#出力データビットOEO (b7)

このビットにより、CFOE#の出力を制御します。

このビットを“0”にクリアした場合、コンパクトフラッシュへのCFOE#信号は常に“L”を出力します。このビットを“1”にセットした場合、コンパクトフラッシュへのCFOE#信号は、M32192からのアクセス制御に従い出力します。

(2) コンパクトフラッシュリセットビットCFRST (b15)

このビットにより、コンパクトフラッシュへのリセット状態を設定します。

このビットを“0”にクリアした場合、CFRESET端子から“L”を出力します。このビットを“1”にセットした場合、CFRESET端子から“H”を出力します。

3.4.4. CFカード検出ステータスレジスタ

■CFカード検出ステータスレジスタ (CFSTS)

<アドレス : H'0020 0002>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CFDET
															?注

<リセット時 : H'000?>

b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	CFDET コンパクトフラッシュ検出ステータスビット	0 : カードがスロットにない 1 : カードがスロットにある	R	—

注 : カード挿入されているか、いないかによって初期値が変化します。

(1) コンパクトフラッシュ検出ステータスビットCFDET (b15)

このビットにより、コンパクトフラッシュがスロットに挿入されているかいないかを示します。

コンパクトフラッシュがスロットに挿入されると“1”にセットされます。

コンパクトフラッシュがスロットから取り出されると“0”にクリアされます。

3.4.5. CF割り込みマスクレジスタ

■CF割り込みマスクレジスタ (CFIMASK)

<アドレス : H'0020 0004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															CFMSK
															0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	CFMSK コンパクトフラッシュカード挿抜 割り込み許可ビット	0 : カード挿抜割り込み禁止 1 : カード挿抜割り込み許可	R	W

(1) コンパクトフラッシュカード挿抜割り込み許可ビットCFMSK (b15)

このビットにより、カード挿抜割り込みを有効にするか、しないかを選択します。

このビットを“0”にクリアした場合、カードの挿抜が検出されても割り込みは発生しません。

このビットを“1”にセットした場合、カードの挿抜が検出されるとM32192への割り込み要求が発生します。

3.4.6. CFバッファイネーブル制御レジスタ

■CFバッファイネーブル制御レジスタ (CFBUFCR)

<アドレス : H'0020 0006>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															BUFEN
															1

<リセット時 : H'0001>

b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	BUFEN コンパクトフラッシュバッファ イネーブルビット	0 : CFBUFOE#端子に“L”を出力する 1 : CFBUFOE#端子に“H”を出力する	R	W

(1) コンパクトフラッシュバッファイネーブルビットBUFEN (b15)

このビットは、コンパクトフラッシュカードが挿入されている時 (CFDET = “1”) のみセット可能です。

このビットを“0”にクリアした場合、CFBUFOE#端子に“L”が出力されます。

このビットを“1”にセットした場合、CFBUFOE#端子に“H”が出力されます。

また、このビットが“0”の状態でカードが取り出された場合、CFBUFOE#は“H”にセットされ、このビットは“1”にセットされます。

BUFEN = “0”の場合にのみ、M32192からコンパクトフラッシュへのアクセスが可能です。

3.4.7. カードコンフィグレーションレジスタアドレスマッピング

表3.4.2に、アトリビュートメモリ、カードコンフィグレーションレジスタのアドレスマッピングを示します。

表3.4.2 カードコンフィグレーションレジスタのアドレスマッピング

M32192アドレス	A15	A16	A17		A18		A19	A20	A21~A30	レジスタ
カード信号	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10~A1	
H'0029 4200	1	0	1	1	0	1	0	0	010 0000 000	Configuration Option Register Read
H'0029 4200	1	0	1	1	1	0	0	0	010 0000 000	Configuration Option Register Write
H'0029 4202	1	0	1	1	0	1	0	0	010 0000 001	Card Status Register Read
H'0029 4202	1	0	1	1	1	0	0	0	010 0000 001	Card Status Register Write
H'0029 4204	1	0	1	1	0	1	0	0	010 0000 010	Pin Replacement Register Read
H'0029 4204	1	0	1	1	1	0	0	0	010 0000 010	Pin Replacement Register Write
H'0029 4206	1	0	1	1	0	1	0	0	010 0000 011	Socket and Copy Register Read
H'0029 4206	1	0	1	1	1	0	0	0	010 0000 011	Socket and Copy Register Write

3.4.8. CF-ATAドライブレジスタアドレスマッピング

コンパクトフラッシュに実装されているATAドライブレジスタセットのアクセス方法について示します。

アクセス方法は、連続I/Oモードと、メモリマップモードの2種類があります。

表3.4.3および表3.4.4に、メモリマップモード (index = “0”)、連続I/Oモード (index = “1”) のアドレスマッピングを示します。

表3.4.3 メモリマップモードのアドレスマッピング

M32192アドレス カード信号	A15	A16	A17		A18		A19	A20	A21~A30	レジスタ
	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10~A1	
H'0028 5000	0	0	1	1	0	1	1	0	000 0000 000	Read Data*
H'0028 5000	0	0	1	1	1	0	1	0	000 0000 000	Write Data*
H'0029 5800	1	0	1	1	0	1	1	1	000 0000 000	Error
H'0029 5800	1	0	1	1	1	0	1	1	000 0000 000	Features
H'0028 5002	0	0	1	1	0	1	1	0	000 0000 001	Sector No, Sector Count*
H'0028 5002	0	0	1	1	1	0	1	0	000 0000 001	Sector No, Sector Count*
H'0028 5004	0	0	1	1	0	1	1	0	000 0000 010	Cylinder High, Cylinder Low*
H'0028 5004	0	0	1	1	1	0	1	0	000 0000 010	Cylinder High, Cylinder Low*
H'0029 5006	1	0	1	1	0	1	1	0	000 0000 011	Select Card/Head
H'0029 5006	1	0	1	1	1	0	1	0	000 0000 011	Select Card/Head
H'0029 5806	1	0	1	1	0	1	1	1	000 0000 011	Status
H'0029 5806	1	0	1	1	1	0	1	1	000 0000 011	Command
H'0029 500E	1	0	1	1	0	1	1	0	000 0000 111	Alt Status
H'0029 500E	1	0	1	1	1	0	1	0	000 0000 111	Device Ctl
H'0029 580E	1	0	1	1	0	1	1	1	000 0000 111	Drive Address

注：“*”は、M32192有効データがD0~D15です。その他はD0~D7です。

表3.4.4 連続I/Oマップモードのアドレスマッピング

M32192アドレス カード信号	A15	A16	A17		A18		A19	A20	A21~A30	レジスタ
	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10~A1	
H'0028 2000	0	0	0	1	1	1	0	0	000 0000 000	Read Data*
H'0028 2000	0	0	1	0	1	1	0	0	000 0000 000	Write Data*
H'0029 2800	1	0	0	1	1	1	0	1	000 0000 000	Error
H'0029 2800	1	0	1	0	1	1	0	1	000 0000 000	Features
H'0028 2002	0	0	0	1	1	1	0	0	000 0000 001	Sector No, Sector Count*
H'0028 2002	0	0	1	0	1	1	0	0	000 0000 001	Sector No, Sector Count*
H'0028 2004	0	0	0	1	1	1	0	0	000 0000 010	Cylinder High, Cylinder Low*
H'0028 2004	0	0	1	0	1	1	0	0	000 0000 010	Cylinder High, Cylinder Low*
H'0029 2006	1	0	0	1	1	1	0	0	000 0000 011	Select Card/Head
H'0029 2006	1	0	1	0	1	1	0	0	000 0000 011	Select Card/Head
H'0029 2806	1	0	0	1	1	1	0	1	000 0000 011	Status
H'0029 2806	1	0	1	0	1	1	0	1	000 0000 011	Command
H'0029 200E	1	0	0	1	1	1	0	0	000 0000 111	Alt Status
H'0029 200E	1	0	1	0	1	1	0	0	000 0000 111	Device Ctl
H'0029 280E	1	0	0	1	1	1	0	1	000 0000 111	Drive Address

注：“*”は、M32192有効データがD0~D15です。その他はD0~D7です。

3.4.9. M32192アドレスとコンパクトフラッシュアドレスの関係

M32192は、ビッグエンディアンのマイコンです。また、コンパクトフラッシュは、リトルエンディアンで定義されています。

μ T-Engineで使用するコンパクトフラッシュは、PCなどリトルエンディアン形式のシステムとのデータのやり取りを想定してバイトのエンディアンを上位と下位を逆に接続していますので、読み出し/書き込みアドレスは以下の対応となります。

表3.4.5に、M32192アドレスとコンパクトフラッシュアドレスの関係を示します。

表3.4.5 M32192アドレスとコンパクトフラッシュアドレスの関係

M32192アドレス	+0番地	+1番地
H'xxxx xxx0	コンパクトフラッシュ+0番地	コンパクトフラッシュ+1番地
H'xxxx xxx2	コンパクトフラッシュ+2番地	コンパクトフラッシュ+3番地
H'xxxx xxx4	コンパクトフラッシュ+4番地	コンパクトフラッシュ+5番地
:	:	:
:	:	:

3.5. マルチメディアカードコントローラ（MMCC）

3.5.1. MMCC概要

制御PLDは、MMC（マルチメディアカード）コントローラを内蔵しています。

サポートするプロトコルは、MMCモードで、データのリード/ライトは、シングルブロック転送（CMD17）のみサポートします。また、制御PLDにはCRC演算回路を内蔵しており、MMCCを組み合わせることによって高速なデータ転送をサポートします。

3.5.2. MMCC関連レジスタ

図3.5.1にMMCCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込んだ場合の動作は保証できません。

M32192 アドレス	+0番地	+1番地
	b0	b7 b8 b15
H'0020_4000	MMC制御レジスタ（MMCCR）	
H'0020_4002	MMCモードレジスタ（MMCMOD）	
H'0020_4004	使用禁止領域	
H'0020_4006	MMCステータスレジスタ（MMCSTS）	
H'0020_4008	使用禁止領域	
H'0020_400A	MMCボーレートレジスタ（MMCBAUR）	
H'0020_400C	MMCコマンドバイトカウントレジスタ（MMCCMDBCUT）	
H'0020_400E	MMCデータバイトカウントレジスタ（MMCDTBCUT）	
H'0020_4010	MMC検出レジスタ（MMCDET）	
H'0020_4012	MMCライトプロテクトレジスタ（MMCWP）	
H'0020_4014	使用禁止領域	
H'0020_4FFE	使用禁止領域	
H'0020_5000	MMCライトデータメモリ（514バイト）	
H'0020_5200	使用禁止領域	
H'0020_5202	使用禁止領域	
H'0020_5FFE	使用禁止領域	
H'0020_6000	MMCリードデータメモリ（514バイト）	
H'0020_6200	使用禁止領域	
H'0020_6202	使用禁止領域	
H'0020_6FFE	使用禁止領域	
H'0020_7000	MMCコマンドデータメモリ（6バイト）	
H'0020_7004	使用禁止領域	
H'0020_7006	使用禁止領域	
H'0020_701E	MMCレスポンスデータメモリ（26バイト）	
H'0020_7020	使用禁止領域	
H'0020_7022	使用禁止領域	
H'0020_7FFE	使用禁止領域	

図3.5.1 MMCCレジスタマッピング

3.5.3. MMC制御レジスタ

■MMC制御レジスタ (MMCCR)

<アドレス : H'0020 4000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	CLR 0	0	0	0	0	0	0	CMDEN 0	DTEN 0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~6	何も配置されていません		0	—
7	CLR MMC初期化ビット	0 : 何もしない 1 : MMC初期化	R	W
8~13	何も配置されていません		0	—
14	CMDEN コマンド転送許可ビット	・ライト時 0 : 書き込み無効 1 : コマンド転送開始 ・リード時 0 : コマンド・レスポンス転送動作中 でない 1 : コマンド・レスポンス転送動作中	R	W
15	DTEN データ転送許可ビット	・ライト時 0 : 書き込み無効 1 : データ転送開始 ・リード時 0 : データ転送動作中でない 1 : データ転送中	R	W

(1) MMC初期化ビットCLR (b7)

このビットに“1”をセットすると、MMC関連レジスタおよびMMCコントローラ内部すべてのレジスタが初期化されます。また、このビットは“1”にセットしても、その値は保存されません。

(2) コマンド転送許可ビットCMDEN (b14)

このビットに“1”をセットすると、MMCへのコマンド転送を開始します。
また、このビットにより、コマンド・レスポンス転送の動作ステータスを示します。

(3) データ転送許可ビットDTEN (b15)

このビットに“1”をセットすると、MMCへのデータ転送を開始します。
データのリード/ライトの選択は、MMCモードレジスタで行います。
また、このビットにより、データ転送の動作ステータスを示します。

3.5.4. MMCモードレジスタ

■MMCモードレジスタ (MMCMOD)

<アドレス : H'0020 4002>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
							DMY								DSEL
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~6	何も配置されていません		0	—
7	DMY ダミーデータ転送選択ビット	0 : ダミーデータ受信を行わない 1 : ダミークロック送信	R	W
8~14	何も配置されていません		0	—
15	DSEL MMCデータ転送選択ビット	0 : データ受信 1 : データ送信	R	W

注 : このレジスタへの設定は、MMCCデータ転送停止中（データ転送許可ビット“0”の場合）に行ってください。

(1) ダミーデータ転送選択ビットDMY (b7)

このビットにより、ダミーデータの受信機能(ダミークロック送信)を選択します。

(2) MMCデータ転送選択ビットDSEL (b15)

このビットにより、MMCデータの送受信を選択します。

DMYビットが“1”で、かつDSELビットが“0”のとき、MMCデータバイトカウントレジスタにセットされた転送バイト分を受信します。また、ダミーデータ受信時は、MMCDATに入力されるデータのスタートビットおよびエンドビットの検出は行いません。

3.5.5. MMCステータスレジスタ

■MMCステータスレジスタ (MMCSTS)

<アドレス : H'0020 4006>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
													CRCSTS		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~12	何も配置されていません		0	—
13~15	CRCSTS MMCデータCRCステータスビット	MMCデータ書き込み時のCRC ステータスが格納されます	R	W

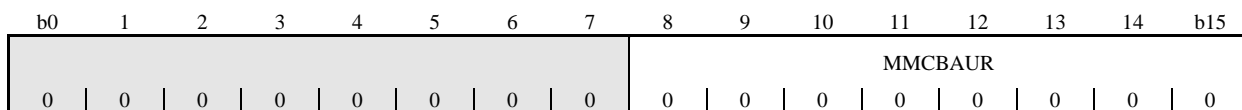
(1) MMCデータCRCステータスビットCRCSTS (b13~b15)

このビットにMMCデータ書き込み時のMMCデータCRCステータスが格納されます。このビットを読み出した後は、ソフトウェアで“000”を書き込んでステータスを初期化してください。

3.5.6. MMCボーレートレジスタ

■MMCボーレートレジスタ (MMCBAUR)

<アドレス : H'0020 400A>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	MMCBAUR ボーレート設定	ボーレートを設定します	R	W

注 : このレジスタへの設定は、MMC停止中 (MMCCR = “H'0000”) に行ってください。

(1) ボー4レート設定ビットMMCBAUR (b8~b15)

システムクロック (BCLK) をこのビットで設定した値 “n” で “n+1” 分周します。

<転送クロック>

“n+1” 分周されたカウントソースは、さらに2分周され転送クロックとなります。転送クロックはMMCCLK端子から外部に出力します。

図3.5.2に、MMCボーレートレジスタに設定する値の算出式を示します。また表3.5.1に、MMCボーレートレジスタ設定例を示します。

$$\text{MMCボーレートレジスタ設定値 (MMCBAUR)} = \frac{f(\text{BCLK})}{\text{ボーレート} \times 2} - 1$$

$$\text{ボーレート} = \frac{f(\text{BCLK})}{2 \times (\text{MMCBAUR} + 1)}$$

図3.5.2 MMCボーレートレジスタ設定値算出式

表3.5.1 MMCボーレート設定例 : f(BCLK)=40MHz動作時

MMCBAUR	ボーレート (MHz)	MMCBAUR	ボーレート (MHz)
0 (H'0000)	20.0000	12 (H'000C)	1.5385
1 (H'0001)	10.0000	13 (H'000D)	1.4286
2 (H'0002)	6.6667	14 (H'000E)	1.3333
3 (H'0003)	5.0000	15 (H'000F)	1.2500
4 (H'0004)	4.0000	16 (H'0010)	1.1765
5 (H'0005)	3.3333	17 (H'0011)	1.1111
6 (H'0006)	2.8571	18 (H'0012)	1.0526
7 (H'0007)	2.5000	19 (H'0013)	1.0000
8 (H'0008)	2.2222	20 (H'0014)	0.9524
9 (H'0009)	2.0000	21 (H'0015)	0.9091
10 (H'000A)	1.8182	22 (H'0016)	0.8696
11 (H'000B)	1.6667	23 (H'0017)	0.8333

3.5.7. MMCコマンドバイトカウントレジスタ

■MMCコマンドバイトカウントレジスタ (MMCCMDB CUT)

<アドレス : H'0020 400C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
											CBCUT				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~10	何も配置されていません		0	—
11~15	CBCUT 転送バイト数設定ビット	転送バイトカウント値	R	W

注 : コマンド・レスポンスデータ転送中に本レジスタに書き込みを行った場合の動作は保証できません。

(1) 転送バイト数設定ビットCBCUT (b11~b15)

このビットにより、送受信するコマンドデータとレスポンスデータの総バイト数を設定します。

本レジスタに設定した転送バイトカウント値は、1データ転送毎に減少し、“0”となった時点でデータ転送を終了します。

MMCコマンドバイトカウントレジスタの設定値がH'0001の時は1バイト、H'17の時は23バイト転送します。

3.5.8. MMCデータバイトカウントレジスタ

■MMCデータバイトカウントレジスタ (MMCDTBCUT)

<アドレス : H'0020 400E>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
						DBCUT									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~5	何も配置されていません		0	—
6~15	DBCUT 転送バイト数設定ビット	転送バイトカウント値	R	W

注 : データ転送中に本レジスタに書き込みを行った場合の動作は保証できません。

(1) 転送バイト数設定ビットDBCUT (b6~b15)

このビットにより、送受信するデータのバイト数を設定します。

本レジスタに設定した転送バイトカウント値は、1データ転送毎に減少し、“0”となった時点でデータ転送終了となります。

データライト時は送信するデータ数、データリード時は受信するデータ数を示します。

MMCバイトカウントレジスタの設定値がH'0001の時は1バイト、H'202の時は514バイト転送します。

3.5.9. MMC検出レジスタ

■MMC検出レジスタ (MMCDET)

<アドレス : H'0020 4010>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MMCDET ?注

<リセット時 : H'000?>

b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	MMCDET MMC検出ステータスビット	0 : MMCがスロットにある 1 : MMCがスロットにない	R	—

注 : MMCが挿入されているか、いないかで初期値が変化します。

(1) MMC検出ステータスビットMMCDET (b15)

このビットにより、MMCがスロットに挿入されているかいないかを示します。
 MMCがスロットに挿入されると“0”にクリアされます。
 MMCがスロットから取り出されると“1”にセットされます。
 MMCの挿抜は、カード電源がONの時にを行う必要があります。

3.5.10. MMCライトプロテクト検出レジスタ

■MMCライトプロテクト検出レジスタ (MMCWP)

<アドレス : H'0020 4012>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MMCWP ?注

<リセット時 : H'000?>

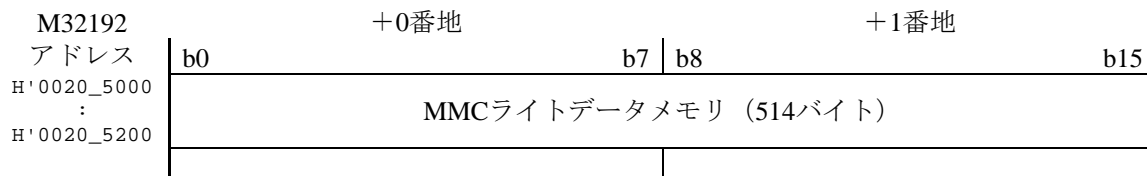
b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	MMCWP MMCライトプロテクトステータス ビット	0 : MMCがライトプロテクトされている 1 : MMCがライトプロテクトされて いない	R	—

注 : MMCがライトプロテクトされているか、いないかで初期値が変化します。

(1) MMCライトプロテクトステータスビットMMCWP (b15)

このビットにより、MMCがライトプロテクトされているかいないかを示します。
 スロットに挿入されているカードがライトプロテクトされていないと“1”にセットされ、ライトプロテクトされていると“0”にクリアされます。

3.5.11. MMCライトデータメモリ



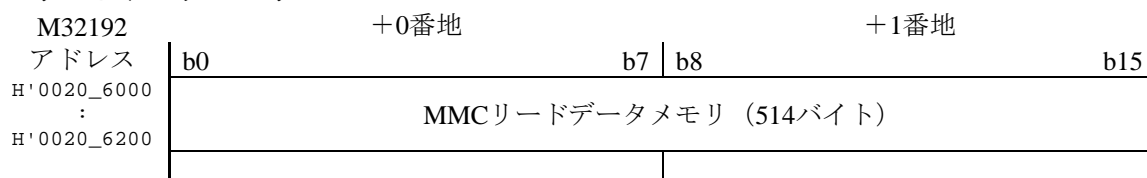
<リセット時：不定>

b	ビット名	機能	R	W
0~15	ライトデータビット	ライトデータを書き込みます	—	W

(1) ライトデータビット (b0~b15)

このビットにより、MMCへライトするデータおよびCRCコードを設定します。データは、先頭アドレス (H'0020 5000) からセットしてください。また、PLDへのデータ書き込みは、16ビットアクセスのみ可能です。奇数バイト分データをセットする場合は、下位バイト側にダミーデータをセットしてください。

3.5.12. MMCリードデータメモリ



<リセット時：不定>

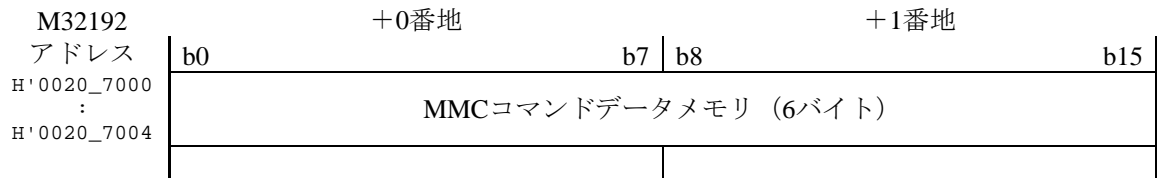
b	ビット名	機能	R	W
0~15	リードデータビット	リードデータが格納されます	R	—

(1) リードデータビット (b0~b15)

このビットにより、MMCデータの読み出しを行います。受信したデータは、先頭アドレス (H'0020 6000) から順にセットされます。

MMCリードデータメモリは読み出し専用です。このメモリにデータを書き込むことはできません。

3.5.13. MMCコマンドデータメモリ



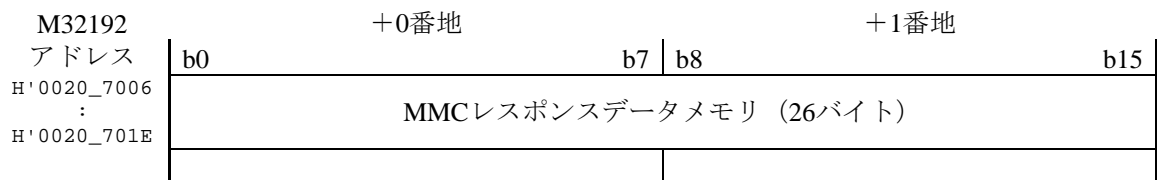
<リセット時：不定>

b	ビット名	機能	R	W
0~15	コマンドデータビット	コマンドデータを書き込みます	—	W

(1) コマンドデータビット (b0~b15)

このビットにより、MMCへライトするコマンドおよびCRCコードを設定します。データは、先頭アドレス (H'0020 7000) からセットしてください。

3.5.14. MMCレスポンスデータメモリ



<リセット時：不定>

b	ビット名	機能	R	W
0~15	レスポンスデータビット	レスポンスデータが格納されます	R	—

(1) レスポンスデータビット (b0~b15)

このビットにより、MMCレスポンスデータの読み出しを行います。受信したデータは、先頭アドレス (H'0020 7006) から順にセットされます。

MMCレスポンスデータメモリは読み出し専用です。このメモリにデータを書き込むことはできません。

3.5.15. MMCC動作説明

I MMCCのデータ転送速度（ボーレート）

MMCCにおけるデータの転送速度（ボーレート）は、転送クロックによって決定されます。システムクロック（BCLK）が、MMCボーレートレジスタで設定した値“n”で“n+1”分周されます。

“n+1”分周されたソースカウントは、さらに2分周され、転送クロックとなります。

$$\text{ボーレート (MHz)} = \frac{f(\text{BCLK})}{(\text{MMCボーレートレジスタ設定値} + 1) \times 2}$$

II MMCコマンド転送動作

- (1) コマンドデータのセットについて
MMCコマンドデータメモリに送信するコマンドデータを書き込みます。
- (2) コマンド転送の開始条件について
コマンド転送送信許可ビットに“1”をセットすることによりコマンド転送動作が開始されます。
- (3) コマンド転送の終了について
コマンドの送信とレスポンスの受信が完了すると、CMDENが自動的にクリアされ、コマンド転送処理が終了します。

III MMCデータ転送動作

<MMCデータのライト>

- (1) ライトデータのセットについて
MMCライトデータメモリおよびMMCライトデータCRCレジスタに送信するデータを書き込みます。
- (2) データ転送の開始条件について
MMCデータ転送選択ビット（DSEL）に“1”をセットし、データ転送送信許可ビット（DTEN）に“1”をセットすることにより、データ転送動作が開始されます。
- (3) データ転送の終了について
データの送信、CRCステータスの受信、レディ状態の検出後、DTENビットが自動的にクリアされ、データ転送処理が終了します。

<MMCからのデータのリード>

- (1) データ受信の開始条件について
MMCデータ選択ビット（DSEL）に“0”をセットし、データ転送送信許可ビット（DTEN）に“1”をセットすることにより、データ受信動作が開始されます。
- (2) データ転送の終了について
データの受信後、DTENビットが自動的にクリアされ、データ転送処理が終了します。

3.6. 割り込みコントローラ (ICU)

3.6.1. ICU概要

制御PLDには、割り込み要求を管理できるICU（割り込みコントローラ）を内蔵しています。

ICUには、内蔵周辺I/Oおよび外部からのマスク可能な割り込み要因が8要因あり、これらを9レベルの優先順位をつけて管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。また、制御PLDで受け付けられた割り込みは、M32192 TIN0に“H”レベルの割り込みとして出力されます。

表3.6.1に、ICUの概要を示します。

表3.6.1 ICUの概要

項目	概要
割り込み要因	8要因
レベル管理	割り込み禁止を含め9レベル

3.6.2. ICU関連レジスタ

図3.6.1にICUレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証できません。

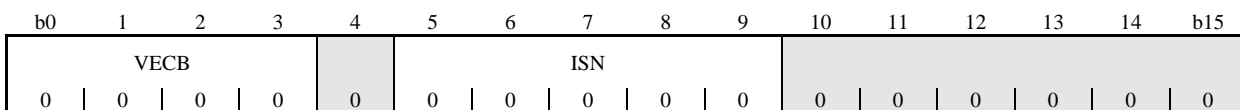
M32192 アドレス	+0番地	+1番地
	b0	b7 b8 b15
H'0020_8000	使用禁止領域	
H'0020_8002	割り込みステータスレジスタ (ICUISTS)	
H'0020_8004	割り込みリクエストレジスタ0 (ICUIREQ0)	
H'0020_8006	使用禁止領域	
:		
H'0020_8102	外部端子CFIREQ#割り込み制御レジスタ (ICUCR3)	
H'0020_8104	CFカード挿入割り込み制御レジスタ (ICUCR4)	
H'0020_8106	CFカード取り出し割り込み制御レジスタ (ICUCR5)	
H'0020_8108	外部端子INTSW#割り込み制御レジスタ (ICUCR6)	
H'0020_810A	使用禁止領域	
H'0020_810C	使用禁止領域	
:		
H'0020_8112	MMC挿抜割り込み制御レジスタ (ICUCR11)	
H'0020_8114	使用禁止領域	
H'0020_8116	使用禁止領域	
H'0020_8118	eTRONカードエラー割り込み制御レジスタ (ICUCR13)	
H'0020_811A	eTRONカード受信割り込み制御レジスタ (ICUCR14)	
H'0020_811C	eTRONカード送信割り込み制御レジスタ (ICUCR15)	
H'0020_811E	使用禁止領域	
:		
H'0020_BFFE	使用禁止領域	

図3.6.1 ICUレジスタマッピング

3.6.3. 割り込みステータスレジスタ

■割り込みステータスレジスタ (ICUSTS)

<アドレス : H'0020 8002>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~3	VECB ベクタベースビット	EITベクタエントリの M32192アドレスA20~A23を設定	R	W
4	何も配置されていません		0	—
5~9	ISN 割り込み要因番号ビット	00000 : 割り込みなし 00001 : 割り込み要因1 00010 : 割り込み要因2 00011 : 割り込み要因3 : : 11110 : 割り込み要因30 11111 : 割り込み要因31	R	—
10~14	何も配置されていません		0	—

割り込みステータスレジスタは、割り込み受付時の割り込み要因を特定するためのレジスタです。

割り込みハンドラ処理にてこのレジスタを読み出すことにより、ICUはM32192が割り込みを受け付けたと判断し、FPGAINT=“L”にします。

このレジスタは、割り込み要求を示すステータスレジスタではないので、1回の割り込みハンドラ処理内で2度読みはしないでください。このレジスタの読み出しにより、ISNビットは自動的に“00000”にクリアされます。

(1) ベクタベースビットVECB (b0~b3)

このビットにはソフトウェアによる割り込みハンドラの処理を軽減するために、各割り込み要因に対応するソフトウェアベクタテーブルの先頭番地A[20:23]を設定しておくことが可能です。

なお、このビットの設定は、ICUやM32192の動作自体には何も影響を与えません。

(2) 割り込み要因番号ビットISN (b5~b9)

このビットは、現在要求されている割り込み要因のうちもっとも優先順位の高い要因番号を示します。このビットの値は、M32192への割り込みが有効（FPGAINT信号=“H”）の場合でも常に更新されます。したがって、割り込みステータスレジスタの読み出しまでに、さらに優先順位の高い割り込み要求が発生した場合には、その割り込み要因番号が参照されます。割り込みハンドラの処理内で、割り込みステータスレジスタの読み出しを行った時点で、読み出された要因番号の割り込みを受け付けたことになり、M32192へのFPGAINT信号を“H”にします。

このビットの値によりソフトウェアで割り込み発生元を特定し、それぞれのハンドラ処理を行ってください。

ベクタベースビットVECBを組み合わせることにより、ユーザ定義のベクタテーブルを直接参照できます。

表3.6.2に、割り込み要因一覧を示します。

表3.6.2 割り込み要因一覧

割り込み要因番号	割り込み要因	割り込み要因番号	割り込み要因
0	割り込み要因なし	16	(予約)
1	(予約)	17	(予約)
2	(予約)	18	(予約)
3	CFIREQ# (外部端子)	19	(予約)
4	CFカード挿入	20	(予約)
5	CFカード取り出し	21	(予約)
6	INTSW# (外部端子)	22	(予約)
7	(予約)	23	(予約)
8	(予約)	24	(予約)
9	(予約)	25	(予約)
10	(予約)	26	(予約)
11	MMCカード挿抜	27	(予約)
12	(予約)	28	(予約)
13	eTRONカードエラー	29	(予約)
14	eTRONカード受信	30	(予約)
15	eTRONカード送信	31	(予約)

3.6.4. 割り込みリクエストレジスタ0

■割り込みリクエストレジスタ0 (ICUIREQ0)

<アドレス : H'0020 8004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
			IREQ3	IREQ4	IREQ5	IREQ6					IREQ11		IREQ13	IREQ14	IREQ15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~2	何も配置されていません		0	—
3	IREQ3 割り込み要因3割り込み要求ビット	0 : 外部端子CFIREQ#割り込み要求なし 1 : 外部端子CFIREQ#割り込み要求あり	R	—
4	IREQ4 割り込み要因4割り込み要求ビット	0 : CFカード挿入割り込み要求なし 1 : CFカード挿入割り込み要求あり	R	—
5	IREQ5 割り込み要因5割り込み要求ビット	0 : CFカード取り出し割り込み要求なし 1 : CFカード取り出し割り込み要求あり	R	—
6	IREQ6 割り込み要因6割り込み要求ビット	0 : 外部端子INTSW#割り込み要求なし 1 : 外部端子INTSW#割り込み要求あり	R	—
7~10	何も配置されていません		0	—
11	IREQ11 割り込み要因11割り込み要求ビット	0 : MMC挿抜割り込み要求なし 1 : MMC挿抜割り込み要求あり	R	—
12	何も配置されていません		0	—
13	IREQ13 割り込み要因13割り込み要求ビット	0 : eTRONカードエラー割り込み要求なし 1 : eTRONカードエラー割り込み要求あり	R	—
14	IREQ14 割り込み要因14割り込み要求ビット	0 : eTRONカード受信割り込み要求なし 1 : eTRONカード受信割り込み要求あり	R	—
15	IREQ15 割り込み要因15割り込み要求ビット	0 : eTRONカード送信割り込み要求なし 1 : eTRONカード送信割り込み要求あり	R	—

(1) 割り込み要因n割り込み要求ビットIREQ3~IREQ6, IREQ11, IREQ13~IREQ15 (b3~b6, b11, b13~b15)

このビットは、割り付けられた各要因において割り込み要求が発生すると“1”にセットされます。また、このビットは、以下の条件で“0”にクリアされます。

【エッジセンス割り込みの場合】

- FPGAINTE = “H” が出力されているときに、割り込みステータスレジスタを読み出した場合に“0”にクリアされます。
- 対応する割り込み制御レジスタの割り込み要求ビット (IREQ) に“1”をセットしたときに“0”にクリアされます。

【レベルセンス割り込みの場合】

- 割り込み要求元からの要求がクリアされることにより、“0”にクリアされます。このビットに書き込むことはできません。また、このビットは、各割り込み制御レジスタのIREQビットのミラーです。

3.6.5. 割り込み制御レジスタ

- 外部端子CFIREQ#割り込み制御レジスタ (ICUCR3) <アドレス : H'0020 8104>
- CFカード挿入割り込み制御レジスタ (ICUCR4) <アドレス : H'0020 8106>
- CFカード取り出し割り込み制御レジスタ (ICUCR5) <アドレス : H'0020 8108>
- 外部端子INTSW#割り込み制御レジスタ (ICUCR6) <アドレス : H'0020 810A>
- MMC挿抜割り込み制御レジスタ (ICUCR11) <アドレス : H'0020 8114>
- eTRONカードエラー割り込み制御レジスタ (ICUCR13) <アドレス : H'0020 8118>
- eTRONカード受信割り込み制御レジスタ (ICUCR14) <アドレス : H'0020 811A>
- eTRONカード送信割り込み制御レジスタ (ICUCR15) <アドレス : H'0020 811C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
			IEN				IRQ				ISMOD				ILEVEL
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'1007>

b	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	IEN 割り込み要求受付許可ビット	0 : 割り込み要求受付禁止 1 : 割り込み要求受付許可	R	W
4~6	何も配置されていません		0	-
7	IREQ 割り込み要求ビット	【リード時】 0 : 割り込み要求なし 1 : 割り込み要求あり 【ライト時】 0 : 書き込み無効 1 : 割り込み要求クリア	R	*
8, 9	何も配置されていません		0	-
10, 11	ISMOD 入力センスモード選択ビット	00 : 立ち下がりエッジセンス 01 : “L” レベルセンス 10 : 立ち上がりエッジセンス 11 : “H” レベルセンス	R	W
12	何も配置されていません		0	-
13~15	ILEVEL 割り込み優先レベル選択ビット	000 : 割り込み優先レベル0 001 : 割り込み優先レベル1 010 : 割り込み優先レベル2 011 : 割り込み優先レベル3 100 : 割り込み優先レベル4 101 : 割り込み優先レベル5 110 : 割り込み優先レベル6 111 : 割り込み優先レベル7 (割り込み禁止)	R	W

注 : W欄の “*” は、「“0” 書き込みは無効、“1” 書き込みはビットクリア」を示します。

以下に、制御PLD内蔵周辺I/Oからの割り込み要求入力センスモードを示します。

《立ち上がりエッジセンス》

CFカード取り出し割り込み

《立ち下がりエッジセンス》

CFカード挿入割り込み

《“H”レベルセンス》

eTRONカードエラー割り込み、eTRONカード受信割り込み、eTRONカード送信割り込み

(1) 割り込み要求受付許可ビットIEN (b3)

このビットにより割り込み要求受付の許可、禁止を設定します。

このビットを“0”にクリアした場合、割り込みコントローラへの割り込み要求受付禁止となり、割り込みコントローラへ割り込み要求が発生した場合でも割り込み要求ビット (IREQ) は“1”にセットされません。ただし、割り込み要求ビットが“1”にセットされた状態で、このビットを“0”にクリアした場合には、割り込み要求ビットは“0”にはクリアされません。

このビットを“1”にセットした場合、割り込みコントローラへの割り込み要求受付許可となり、割り込みコントローラへ割り込み要求が発生した場合に割り込み要求ビットが“1”にセットされます。

(2) 割り込み要求ビットIREQ (b7)

このビットは、割り込み要求受付許可 (IEN = “1”) の場合に、各割り込み要因からの割り込み要求が発生すると“1”にセットされます。

また、このビットは、割り込み優先レベル選択ビット (ILEVEL) の設定にかかわらずセットされますが、実際にM32192に対して割り込み要求が出力されるかされないかは、割り込み優先レベル選択ビットの値によって決定されます。

以下に割り込み要求ビットが“0”クリアされる条件を示します。

【エッジセンス割り込みの場合】

- ・ FPGAINT = “H” が出力されているときに、割り込みステータスレジスタを読み出した場合に“0”にクリアされます。
- ・ このビットに“1”をセットしたときに“0”にクリアされます。

【レベルセンス割り込みの場合】

- ・ 割り込み要求元からの要求がクリアされることにより“0”にクリアされます。

割り込み要求発生による“1”セットと、ソフトウェアによる割り込み要求ビットの“0”クリアが同時に発生した場合、割り込み要求発生による“1”セットが優先されます。

(3) 入力センスモード選択ビットISM0D (b10, b11)

このビットは、ICUCR3のみ有効です。

このビットを設定することにより、割り込みの受け付け入力センスモードを選択します。

(4) 割り込み優先レベル選択ビットILEVEL (b13~b15)

このビットには、各割り込み要因の割り込み優先レベルをセットします。
表3.6.3に、ILEVELの設定と優先レベルの関係を示します。

注：ILEVEL = “111”（割り込み禁止状態）であっても割り込み要求があれば、割り込み要求ビットはセットされます。

表3.6.3 ILEVELの設定と優先レベル

ILEVEL設定値	優先レベル	外部端子FPGAINTの状態
0	高い ↑ ↓ 低い	割り込みが入った場合に “H” が出力されます。
1		
2		
3		
4		
5		
6	割り込み禁止	常に“L”レベルです。
7		

注：IREQ = “1” のとき

最終的にM32192でFPGAINT割り込みを受け付けるかどうかは、M32192の割り込みコントローラで設定してください。

3.6.6. ハードウェア優先順位と割り込み要因

表3.6.4に、割り込みのハードウェア優先順位と割り込み要求発生タイミングを示します。

表3.6.4 ハードウェア優先順位と割り込み要求発生タイミング

割り込み要因	ハードウェア優先順位	割り込み要求発生タイミング
外部端子CFIREQ#	高い ↑ ↓ 低い	外部端子CFIREQ#に有効エッジまたは有効レベルを入力したとき
CFカード挿入		コンパクトフラッシュが挿入されたとき
CFカード取り出し		コンパクトフラッシュが取り出されたとき
外部端子INTSW#		外部端子INTSW#に有効エッジまたは有効レベルを入力したとき
MMC挿抜		MMCが抜き挿しされたとき
eTRONカードエラー		eTRONカードとの通信でエラーが発生したとき
eTRONカード受信		eTRONカードからデータを受信したとき
eTRONカード送信		eTRONカード送信バッファが空になったとき

3.6.7. 割り込み動作説明

【M32192への割り込み要求】

制御PLD内蔵周辺I/Oおよび外部端子からの割り込み要求は、割り込み制御レジスタで設定したILEVELとハードウェア固定の優先順位を比較して、M32192に対してFPGAINTEND端子に“H”を出力します。ただし、同時に複数の割り込み要求が発生した場合は、以下の手順でM32192への割り込み要求を出すかどうかを判定します。

- ①各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度の最も高い割り込みが選ばれます。
- ②ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従いM32192に対して割り込み要求が出力されます。

割り込みの優先順位と割り込みマスクに関する設定には、以下の種類があります。

<各割り込み要因ごとの割り込みレベル設定>

割り込み制御レジスタのILEVELを設定する（割り込みを発生しない場合は、ILEVEL = “111”）。

<M32192への外部割り込みの制御>

M32192外部端子TIN0の割り込み制御レジスタILEVELビットを設定する。

3.7. I/Oコントローラ (IOC)

3.7.1. IOC概要

制御PLDには、I/Oコントローラを内蔵しています。

IOCでは、MMCとCFの電源制御、LEDやスイッチの制御、拡張バス信号の制御、外付けSRAMの制御を行っています。

3.7.2. IOC関連レジスタ

図3.7.1にIOCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証できません。

M32192 アドレス	+0番地	+1番地
H'0021_4000	b0	b7 b8 b15
H'0021_4002	カード電源制御レジスタ (CDPCR)	
H'0021_4004	LED制御レジスタ (LEDCR)	
H'0021_4004	スイッチステータスレジスタ (SWSTS)	
H'0021_4006 :	使用禁止領域	
H'0021_4012	CS1ウェイト制御レジスタ (CS1WCR)	
H'0021_4014 :	使用禁止領域	
H'0021_7FFE		

図3.7.1 IOCレジスタマッピング

3.7.3. カード電源制御レジスタ

■ カード電源制御レジスタ (CDPCR)

<アドレス : H'0021 4000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CDP1 0	CDP0 0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~13	何も配置されていません		0	—
14	CDP1 MMC電源制御ビット	0 : MMC_ON#端子から“H”を出力する 1 : MMC_ON#端子から“L”を出力する	R	W
15	CDP0 コンパクトフラッシュ電源制御ビット	0 : CF_ON#端子から“H”を出力する 1 : CF_ON#端子から“L”を出力する	R	W

注 : MMCもしくはコンパクトフラッシュが挿入されているときのみ書き込み可能です。

(1) MMC電源制御ビットCDP1 (b14)

このビットにより、MMC_ON#端子の出力レベルを設定します。

このビットに“1”をセットすると、MMC_ON#端子から“L”を出力し、MMCに電源を供給します。

このビットを“0”にクリアすると、MMC_ON#端子から“H”を出力し、MMCに電源を供給しません。

(2) コンパクトフラッシュ電源制御ビットCDP0 (b15)

このビットにより、CF_ON#端子の出力レベルを設定します。

このビットに“1”をセットすると、CF_ON#端子から“L”を出力し、コンパクトフラッシュに電源を供給します。

このビットを“0”にクリアすると、CF_ON#端子から“H”を出力し、コンパクトフラッシュに電源を供給しません。

3.7.4. LED制御レジスタ

■LED制御レジスタ (LEDCR)

<アドレス : H'0021 4002>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	LED2 1	LED1 1

<リセット時 : H'0003>

b	ビット名	機能	R	W
0~13	何も配置されていません		0	—
14	LED2 LED2制御ビット	0 : LED2を消灯 1 : LED2を点灯	R	W
15	LED1 LED1制御ビット	0 : LED1を消灯 1 : LED1を点灯	R	W

(1) LED2制御ビットLED2 (b14)

このビットにより、LED2端子の出力レベルを設定します。

このビットを“1”にセットすると、LED2端子から“L”を出力し、LED2を点灯します。

このビットを“0”にクリアすると、LED2端子から“H”を出力し、LED2を消灯します。

(2) LED1制御ビットLED1 (b15)

このビットにより、LED1端子の出力レベルを設定します。

このビットを“1”にセットすると、LED1端子から“L”を出力し、LED1を点灯します。

このビットを“0”にクリアすると、LED1端子から“H”を出力し、LED1を消灯します。

3.7.5. スイッチステータスレジスタ

■スイッチステータスレジスタ (IOSWSTS)

<アドレス : H'0021 4004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	SW2	SW1	0	0	0	0	0	0	0	0
						?	?								

<リセット時 : H'0?00>

b	ビット名	機能	R	W
0~5	何も配置されていません		0	—
6	SW2 SW2状態ビット	0 : SW2はOFF状態 1 : SW2はON状態	R	—
7	SW1 SW1状態ビット	0 : SW1はOFF状態 1 : SW1はON状態	R	—
8~15	何も配置されていません		0	—

注 : スイッチがONかOFFかで初期値は異なります。

(1) SW2状態ビットSW2 (b6)

このビットにより、SW2の状態を判定します。

SW2がONのときは、このビットが“1”にセットされ、OFFのときは、このビットが“0”にクリアされます。

(2) SW1状態ビットSW1 (b7)

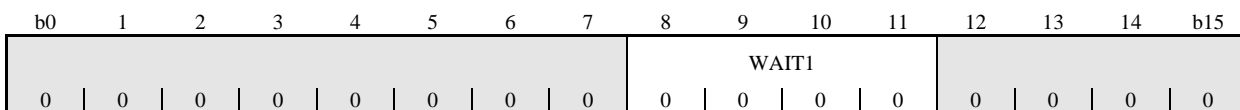
このビットにより、SW1の状態を判定します。

SW1がONのときは、このビットが“1”にセットされ、OFFのときは、このビットが“0”にクリアされます。

3.7.6. CS1ウェイト制御レジスタ

■CS1ウェイト制御レジスタ (CS1WCR)

<アドレス : H'0021 4014>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~11	WAIT1 CS1ウェイト数選択ビット	0000 : 0ウェイト 0001 : 1ウェイト : : 1111 : 15ウェイト	R	W
12~15	何も配置されていません		0	—

(1) CS1ウェイト数選択ビットWAIT1 (b8~b11)

このビットにより、CS1領域のウェイト数を設定します。

M32192のCS1制御レジスタ (CS1WTCR) と同じ値 (4ウェイト) を設定してください。

図3.7.2および図3.7.3に、CS1領域のアクセスタイミングを示します。

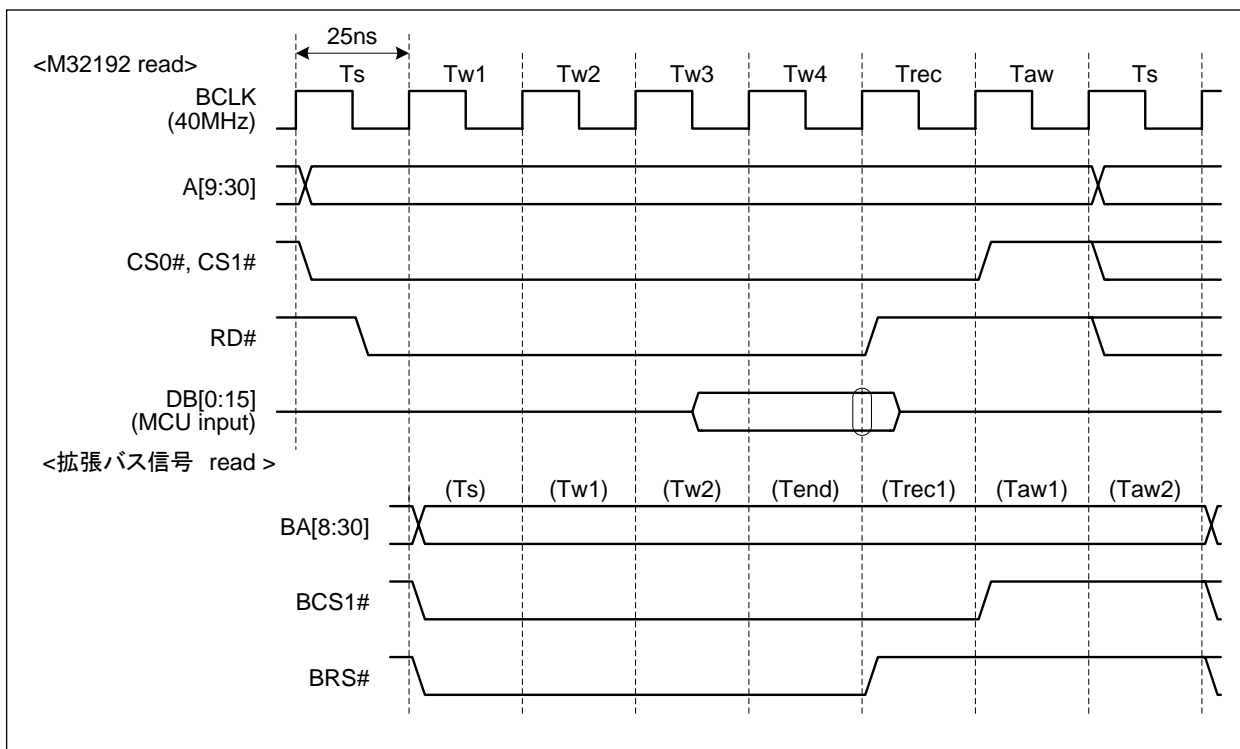


図3.7.2 CS1領域のリードタイミング

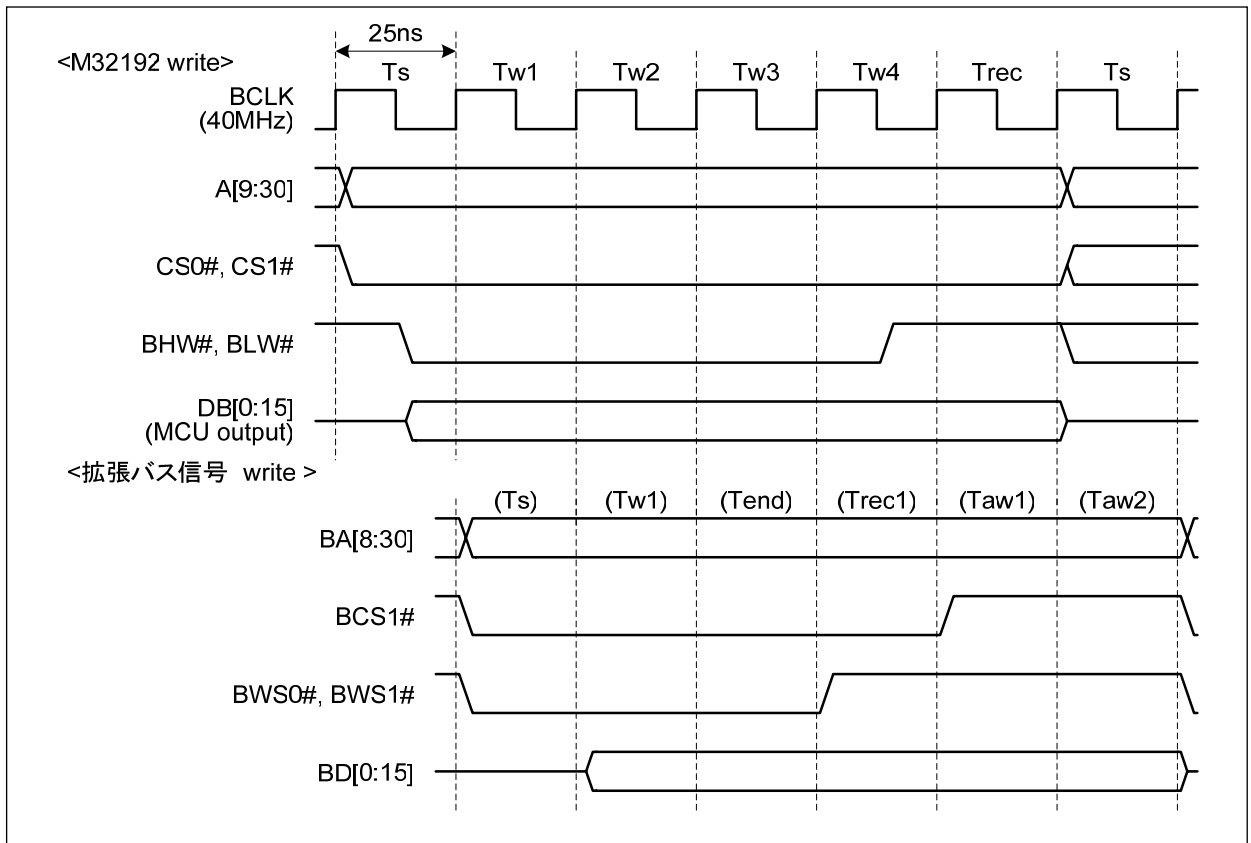


図3.7.3 CS1領域のライトタイミング

3.8. CRC演算回路（CRCC）

3.8.1. CRCC概要

制御PLDは、CRC演算回路を内蔵しています。

CRC（Cyclic Redundancy Check）とは、通信データを生成多項式によって加工したCRCコードと送られてきたCRCチェックデータとを比較することで、通信データの誤りを検出する方法です。CRC演算回路を用いれば、CRCコードを生成することができます。

以下にサポートする生成多項式を示します。

- CRC-7 (X^7+X^3+1) : CRC7
- CRC-CCITT ($X^{16}+X^{12}+X^5+1$) : CRC16
- CRC-16 ($X^{16}+X^{15}+X^2+1$) : CRC16A

3.8.2. CRCC関連レジスタ

図3.8.1にCRCCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証できません。

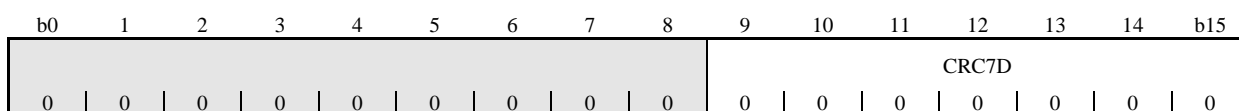
M32192 アドレス	+0番地	+1番地
	b0	b7 b8 b15
H'0021_8000	CRC7データレジスタ (CRC7DATA)	
H'0021_8002	CRC7データ入力レジスタ (CRC7INDATA)	
H'0021_8004	CRC16データレジスタ (CRC16DATA)	
H'0021_8006	CRC16データ入力レジスタ (CRC16INDATA)	
H'0021_8008	CRC16Aデータレジスタ (CRC16ADATA)	
H'0021_800A	CRC16Aデータ入力レジスタ (CRC16AINDATA)	
H'0021_800C : H'0021_BFFE	使用禁止領域	

図3.8.1 CRCレジスタマッピング

3.8.3. CRC7データレジスタ

■CRC7データレジスタ (CRC7DATA)

<アドレス : H'0021 8000>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~8	何も配置されていません		0	—
9~15	CRC7D CRC7データビット	CRC7演算結果が格納されます	R	W

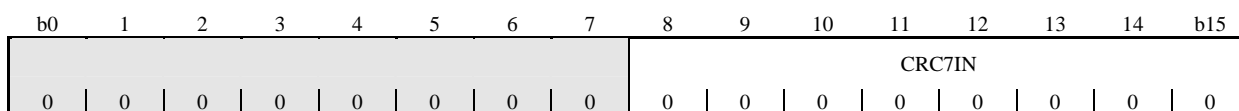
(1) CRC7データビットCRC7D (b9~b15)

CRC7演算多項式 (X^7+X^3+1) に基づいた演算結果を格納します。

3.8.4. CRC7入力データレジスタ

■CRC7入力データレジスタ (CRC7INDATA)

<アドレス : H'0021 8002>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	CRC7IN CRC7入力データビット	CRC7演算結果を行うデータを格納します	R	W

(1) CRC7入力データビットCRC7IN (b8~b15)

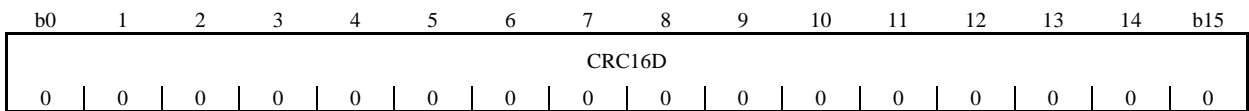
CRC7演算の対象となるデータをセットします。

また、CRC7データ入力レジスタにデータを書き込むと、書き込んだデータとCRC7データレジスタの内容に基づいて、CRCコードがCRC7データレジスタに書き込まれます。

3.8.5. CRC16データレジスタ

■CRC16データレジスタ (CRC16DATA)

<アドレス : H'0021 8004>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~15	CRC16D CRC16データビット	CRC16演算結果が格納されます	R	W

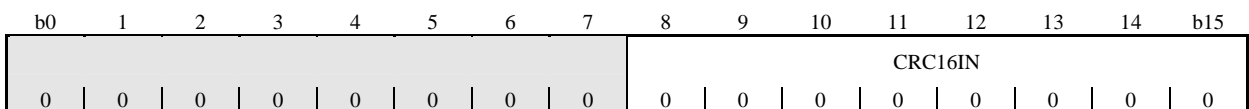
(1) CRC16データビットCRC16D (b0~b15)

CRC16演算多項式 ($X^{16}+X^{12}+X^5+1$) に基づいた演算結果を格納します。

3.8.6. CRC16入力データレジスタ

■CRC16入力データレジスタ (CRC16INDATA)

<アドレス : H'0021 8006>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	CRC16IN CRC16入力データビット	CRC16演算結果を行うデータを格納します	R	W

(1) CRC16入力データビットCRC16IN (b8~b15)

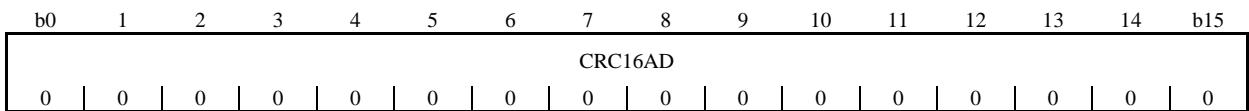
CRC16演算の対象となるデータをセットします。

また、CRC16データ入力レジスタにデータを書き込むと、書き込んだデータとCRC16データレジスタの内容に基づいて、CRCコードがCRC16データレジスタに書き込まれます。

3.8.7. CRC16Aデータレジスタ

■CRC16Aデータレジスタ (CRC16ADATA)

<アドレス : H'0021 8008>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~15	CRC16AD CRC16Aデータビット	CRC16A演算結果が格納されます	R	W

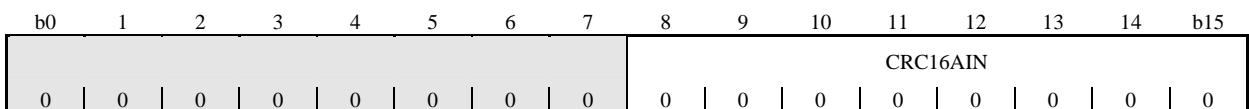
(1) CRC16AデータビットCRC16AD (b0~b15)

CRC16A演算多項式 ($X^{16}+X^{15}+X^2+1$) に基づいた演算結果を格納します。

3.8.8. CRC16A入力データレジスタ

■CRC16A入力データレジスタ (CRC16AINDATA)

<アドレス : H'0021 800A>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	CRC16AIN CRC16A入力データビット	CRC16A演算結果を行うデータを格納します	R	W

(1) CRC16A入力データビットCRC16AIN (b8~b15)

CRC16A演算の対象となるデータをセットします。

また、CRC16Aデータ入力レジスタにデータを書き込むと、書き込んだデータとCRC16Aデータレジスタの内容に基づいて、CRCコードがCRC16Aデータレジスタに書き込まれます。

3.8.9. CRC演算について

- 送信するデータを高次の多項式とみなします。
例 : H'A1 = b'01010001 $\rightarrow x^6 + x^4 + 1$
- 生成多項式 (Checking Polynomial) $P(x)$ で割り、その余り (BCC : Block Check Character) をCRCとします。

< CRC生成多項式の例 >

CRC-7 : $P(x) = x^7 + x^3 + 1$

CRC-CCITT : $P(x) = x^{16} + x^{12} + x^5 + 1$

■送信側の計算

- ①送信データを多項式 $M(x)$ に変形します。
- ②生成多項式 $P(x)$ の最高次項 x^k と $M(x)$ をかけて $x^kM(x)$ とします。
- ③ $x^kM(x)$ を $P(x)$ で除算します。
- ④この余りがCRC符号となります。ただし、上記除算はモジュロ2演算を用いて行います。
($0+0=0$, $1+0=1$, $0-1=1$, $0+1=1$, $1+1=0$, $1-0=1$)

■受信側の計算

- ①受信データがCRC符号付きデータの場合、これを生成多項式 $P(x)$ で割り、その余りが0であれば正常値とみなします。余りが出ればエラーとなります。

3.8.10. CRC演算回路動作説明

以下にCRC演算回路の動作について説明します。また図3.8.2に、CRC演算回路の動作例を示します。

■CRC7演算動作

- ①CRC7データレジスタに初期値H'00を設定します。
- ②CRC7入力データレジスタに1バイトのデータを書き込むと、書き込んだデータとCRC7データレジスタの内容に基づいて、CRCコードがCRC7データレジスタに生成されます。1バイトのデータに対するCRCコードの生成は2BCLKで終了します。
- ③連続数バイトCRC演算を行う場合、続けて次データをCRC7入力データレジスタに書き込みます。
- ④演算を行うデータを全て書き終えた後のCRC7データレジスタの内容がCRC符号となります。

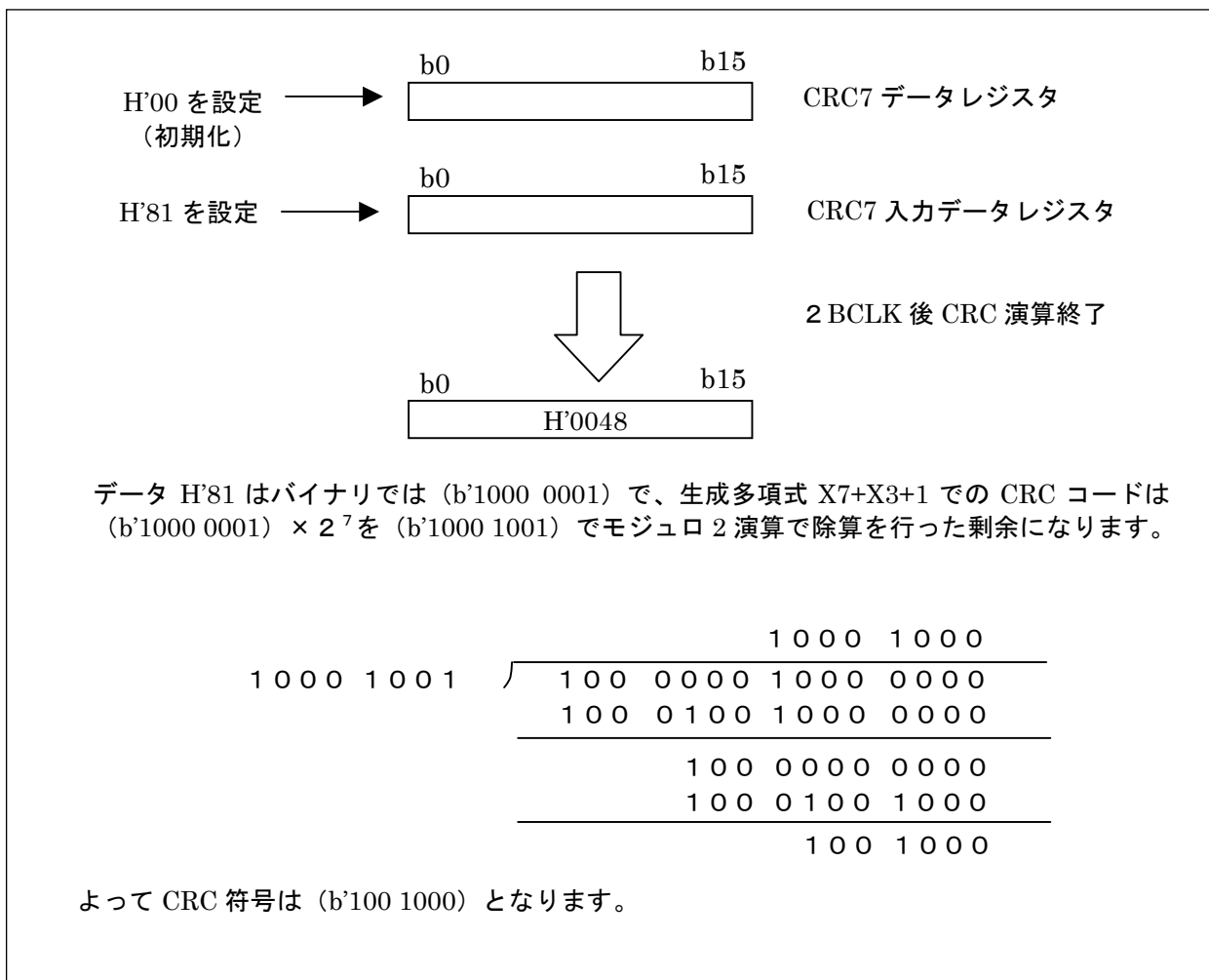


図3.8.2 CRC演算回路の動作例

3.9. リアルタイムクロックコントローラ (RTCC)

3.9.1. RTCC概要

制御PLDには、リアルタイムクロックIC制御用にRTCCを内蔵しています。

RTCCは、リアルタイムクロックICのリセット制御、コマンド、データのリード/ライトを制御します。

表3.9.1に、RTCCの概要を示します。

表3.9.1 RTCCの概要

項目	概要
リセット制御	出力ポートによるリセット制御
転送クロック	内部クロック (システムクロックBCLK)
データフォーマット	転送データ長: 16ビット固定 転送順序: MSBファースト
ボーレート	105468~27000000 bps

3.9.2. RTCC関連レジスタ

図3.9.1にRTCCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証できません。

M32192 アドレス	+0番地	+1番地
	b0	b7 b8 b15
H'0021_C000	RTC制御レジスタ (RTCCR)	
H'0021_C002	RTCボーレートレジスタ (RTCBAUR)	
H'0021_C004	RTCライトデータレジスタ (RTCWRDATA)	
H'0021_C006	RTCリードデータレジスタ (RTCRDDATA)	
H'0021_C008	RTCRST出力レジスタ (RTCRSTODT)	
H'0021_C00A : H'0021_FFFE	使用禁止領域	

図3.9.1 RTCCレジスタマッピング

3.9.3. RTC制御レジスタ

■RTC制御レジスタ (RTCCR)

<アドレス : H'0021 C000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														WREN	RDEN
														0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~13	何も配置されていません		0	—
14	WREN ライトイネーブルビット	<ul style="list-style-type: none"> 書き込み 0 : <書き込み無効> 1 : ライト開始 読み込み 0 : ライト動作中でない 1 : ライト動作中 	R	W
15	RDEN リードイネーブルビット	<ul style="list-style-type: none"> 書き込み 0 : <書き込み無効> 1 : リード開始 読み込み 0 : リード動作中でない 1 : リード動作中 	R	W

注：“1”書き込みのみ有効です。

(1) ライトイネーブルビットWREN (b14)

このビットに“1”をセットすると、リアルタイムクロックICへのライト動作を開始します。
また、このビットにより、リアルタイムクロックICへのライト動作ステータスを示します。

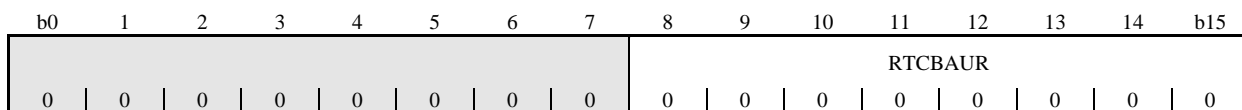
(2) リードイネーブルビットRDEN (b15)

このビットに“1”をセットすると、リアルタイムクロックICへのリード動作を開始します。
また、このビットにより、リアルタイムクロックICへのリード動作ステータスを示します。

3.9.4. RTCボーレートレジスタ

■RTCボーレートレジスタ (RTCBAUR)

<アドレス : H'0021 C002>



<リセット時 : H'0000>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	RTCBAUR ボーレート設定ビット	ボーレートを設定します	R	W

注 : このレジスタへの設定は、RTC停止中 (WREN、RDENがともに“0”) に行ってください。

(1) ボーレート設定ビットRTCBAUR (b8~b15)

システムクロック (BCLK) をこのビットで設定した値 “n” で “n+1” 分周します。

“n+1” 分周されたカウントソースは、さらに2分周され転送クロックとなります。転送クロックは RTCSCCLK端子から外部に出力します。

図3.9.2に、RTCボーレートレジスタに設定する値の算出式を示します。また表3.9.2に、RTCボーレートレジスタ設定例を示します。

$$\text{RTCボーレートレジスタ設定値 (RTCBAUR)} = \frac{f(\text{BCLK})}{\text{ボーレート} \times 2} - 1$$

$$\text{ボーレート} = \frac{f(\text{BCLK})}{2 \times (\text{RTCBAUR} + 1)}$$

図3.9.2 RTCボーレートレジスタ設定算出式

表3.9.2 RTCボーレート設定例 : f(BCLK)=40MHz動作時

RTCBAUR	ボーレート (MHz)	RTCBAUR	ボーレート (MHz)
0 (H'0000)	20.0000	12 (H'000C)	1.5385
1 (H'0001)	10.0000	13 (H'000D)	1.4286
2 (H'0002)	6.6667	14 (H'000E)	1.3333
3 (H'0003)	5.0000	15 (H'000F)	1.2500
4 (H'0004)	4.0000	16 (H'0010)	1.1765
5 (H'0005)	3.3333	17 (H'0011)	1.1111
6 (H'0006)	2.8571	18 (H'0012)	1.0526
7 (H'0007)	2.5000	19 (H'0013)	1.0000
8 (H'0008)	2.2222	20 (H'0014)	0.9524
9 (H'0009)	2.0000	21 (H'0015)	0.9091
10 (H'000A)	1.8182	22 (H'0016)	0.8696
11 (H'000B)	1.6667	23 (H'0017)	0.8333

3.9.5. RTCライトデータレジスタ

■RTCライトデータレジスタ (RTCWRDATA)

<アドレス : H'0021 C004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
WRDATA								WRADR							
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

<リセット時 : 不定>

b	ビット名	機能	R	W
0~7	WRDATA ライトデータビット	ライトデータを書き込みます	R	W
8~15	WRADR ライトアドレスビット	ライトアドレスを書き込みます	R	W

(1) ライトデータビットWRDATA (b0~b7)

このビットに、RTC ICへのライトデータを設定します。

(2) ライトアドレスビットWRADR (b8~b15)

このビットに、RTC ICのライトアドレスを設定します。

ライトイネーブルビットに“1”を設定することによって、RTCライトデータレジスタに設定したデータが、RTC送信シフトレジスタへ転送されます。

表3.9.3に、書き込むデータとアドレスの対応を示します。

表3.9.3 書き込むデータとアドレスの対応

データ	WRADR	データ	WRADR
秒	H'80	月	H'88
分	H'82	曜日	H'8A
時	H'84	年	H'8C
日	H'86		

《30秒を書き込む場合》

- ①このレジスタにH'3080を書き込みます。
 - ②ライトイネーブルビットに“1”を設定します。
 - ③書き込みが完了する（ライトイネーブルビットが“0”）のを待ちます。
- 詳細については、DS1302のマニュアルを参照してください。

3.9.6. RTCリードデータレジスタ

■RTCリードデータレジスタ (RTCRDDATA)

<アドレス : H'0021 C006>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
RDDATA								RDADR							
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

<リセット時 : 不定>

b	ビット名	機能	R	W
0~7	RDDATA リードデータビット	リードデータが格納されます	R	—
8~15	RDADR リードアドレスビット	リードアドレスを書き込みます	R	W

(1) リードデータビットRDDATA (b0~b7)

このビットにより、RTC ICからのリードデータを読み出します。

RTCIO端子から入力された受信データは、RTCリードシフトレジスタにて受信されます。受信完了後、RTCシフトレジスタからリードデータビットに受信データが転送されます。

また、リードデータビットは、読み出し専用のビットでこのビットにデータを書き込むことはできません。

(2) リードアドレスビットRDADR (b8~b15)

このビットに、RTC ICのリードアドレスを設定します。

リードイネーブルビットに“1”を設定することによって、RTCリードデータレジスタに設定したアドレスが、RTC送信シフトレジスタへ転送され、その後、RTC ICからのデータがリードデータビットに書き込まれます。

表3.9.4に、読み込むデータとアドレスの対応を示します。

表3.9.4 読み込むデータとアドレスの対応

データ	RDADR	データ	RDADR
秒	H'81	月	H'89
分	H'83	曜日	H'8B
時	H'85	年	H'8D
日	H'87		

《秒を読み込む場合》

- ①このレジスタにH'0081を書き込みます。
- ②リードイネーブルビットに“1”を設定します。
- ③読み込みが完了する（リードイネーブルビットが“0”）のを待ちます。
- ④リードデータレジスタを読むと上位8ビットが秒を示す値となります。

詳細については、DS1302のマニュアルを参照してください。

3.9.7. RTCRST出力レジスタ

■ RTCRST出力レジスタ (RTCRSTODT)

<アドレス : H'0021 C008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															RSTO
															0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~14	何も配置されていません		0	—
15	RSTO RTCRST#端子出力ビット	0 : RTCRST#端子から “L” を出力 1 : RTCRST#端子から “H” を出力	R	W

(1) RTCRST#端子出力ビットビットRSTO (b15)

このビットにより、RTCRST#端子の出力レベルを設定します。

このビットを“0”にクリアすると、RTCRST#端子から“L”を出力してRTC ICをリセットします。

このビットに“1”をセットすると、RTCRST#端子から“H”を出力してRTC ICのリセットを解除します。

3.10. eTRONカードコントローラ（ETC）

3.10.1. ETC概要

制御PLDには、eTRONカードインタフェースを内蔵しています。
eTRONカードインタフェースは、下記の通信方式を採用しています。

- UART方式
- データ長： 8ビット
- 転送規則： ダイレクト/インバース
- スタートビット： 1ビット
- パリティビット： 1ビット

eTRONカードの送受信データは、パリティによるエラー検出を行います。

受信時にパリティエラーを検出した場合は、パリティビット受信終了後、0.5etu（Elementary Time Unit：1ビットの転送時間）経過後に1etuの間、eTCDIO端子に“L”を出力します。

送信時にパリティビット送信終了後、カードからエラーを受け取ると、正常にデータが転送できるまで繰り返しデータを再送します。

カードを挿入していない状態で、送信と受信を同時に許可すると、送信したデータを自分自身で受け取ることができます。

3.10.2. ETC関連レジスタ

図3.10.1にETCレジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証できません。

M32192 アドレス	b0	+0番地	b7 b8	+1番地	b15
H'0023_8000	ETC制御レジスタ (ETCCR)				
H'0023_8002	使用禁止領域				
H'0023_8004	ETCモードレジスタ (ETCMOD)				
H'0023_8006	ETCステータスレジスタ (ETCSTS)				
H'0023_8008	ETC割り込み制御レジスタ(ETCINTCR)				
H'0023_800A	ETCボーレートレジスタ (ETCBAUR)				
H'0023_800C	ETC送信バッファレジスタ (ETCTXB)				
H'0023_800E	ETC受信バッファレジスタ (ETCRXB)				
H'0023_8010	使用禁止領域				
⋮					
H'0023_BFFE					

図3.10.1 ETCレジスタマッピング

3.10.3. ETC制御レジスタ

■ETC制御レジスタ (ETCCR)

<アドレス : H'0023 8000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15	
							RST								RXEN	TXEN
0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	

<リセット時 : H'0102>

b	ビット名	機能	R	W
0~6	何も配置されていません		0	—
7	RST eTRONカードリセットビット	<ul style="list-style-type: none"> 書き込み 0 : <書き込み無効> 1 : リセット開始 読み込み 0 : リセット動作中でない 1 : リセット動作中 	R	W
8~13	何も配置されていません。		0	—
14	RXEN 受信許可ビット	0 : 受信禁止 1 : 受信許可	R	W
15	TXEN 送信許可ビット	0 : 送信禁止 1 : 送信許可	R	W

(1) eTRONカードリセットビットRST (b7)

このビットに“1”をセットすると、ETC関連レジスタおよびETCコントローラ内部すべてのレジスタが初期化され、eTRONカードのリセット信号をeTCCLKの400サイクルの間“L”出力します。400サイクル経過後、リセット信号を“H”出力に戻し、このビットを“0”にします。

リセット時に、eTCCLKは3.375MHzに初期化されます。

(2) 受信許可ビットRXEN (b14)

このビットに“1”をセットすると、eTRONカードからの受信を許可します。

(3) 送信許可ビットTXEN (b15)

このビットに“1”をセットすると、eTRONカードへの送信を許可します。

3.10.4. ETCモードレジスタ

■ETCモードレジスタ (ETCMOD)

<アドレス : H'0023 8004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	DIR	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~10	何も配置されていません		0	—
11	DIR 転送規則選択ビット	0 : ダイレクト規則転送 1 : インバース規則転送	R	W
12~15	何も配置されていません。		0	—

注 : このレジスタへの書き込みは、eTRONカードとの通信停止中に行ってください。

(1) 転送規則選択ビットDIR (b11)

このビットにより、データの転送規則（ダイレクト/インバース）を選択します。

このビットを“0”にクリアした場合、データの転送はLSB側（ETC送信バッファレジスタのb15）から行われ、偶数パリティとなります。データはETC送信バッファレジスタの（b15 → b14 → … → b9 → b8）の順で送信され、“1”が“H”レベルで、“0”が“L”レベルで転送されます。

このビットを“1”にセットした場合、データの転送はMSB側（ETC送信バッファレジスタのb0）から行われ、奇数パリティとなります。データはETC送信バッファレジスタの（b8 → b9 → … → b14 → b15）の順で送信され、“1”が“L”レベルで、“0”が“H”レベルで転送されます。

図3.10.2に、各転送規則でのデータ（0xAC）転送例を示します。

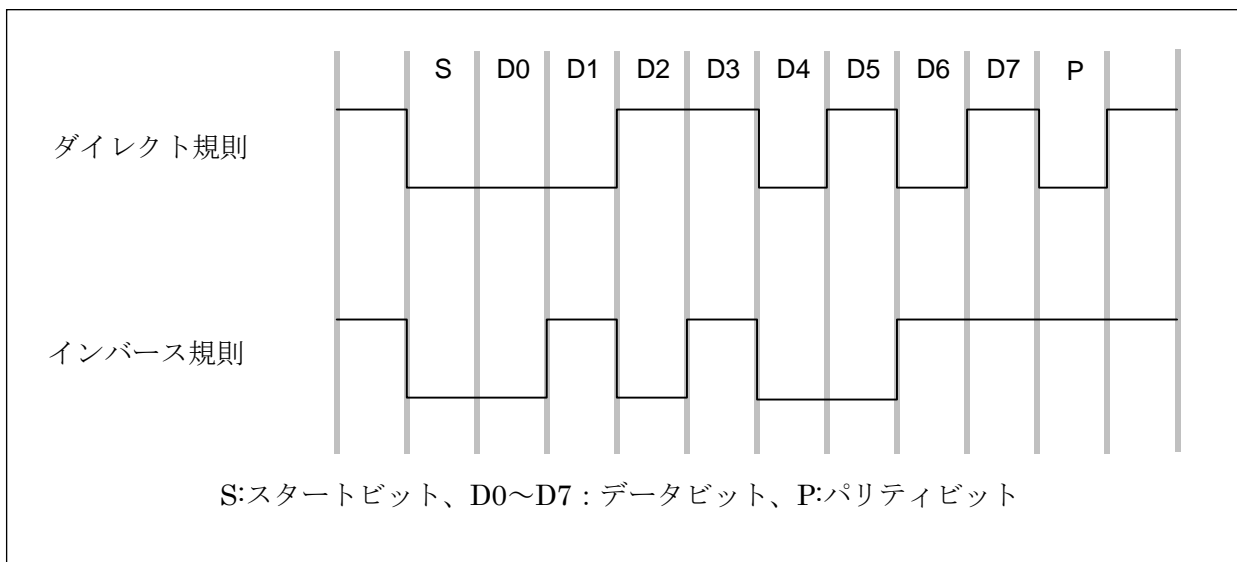


図3.10.2 各転送規則でのデータ（0xAC）転送例

3.10.5. ETCステータスレジスタ

■ETCステータスレジスタ (ETCSTS)

<アドレス : H'0023 8006>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
						RXSC	TXSC	ESSTS	PERR	OERR			RXCP	TXCP	TEMP
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~5	何も配置されていません		0	—
6	RXSC 受信シフトレジスタ状態フラグ	0 : データ受信中でない 1 : データ受信中である	R	—
7	TXSC 送信シフトレジスタ状態フラグ	0 : データ送信中でない 1 : データ送信中である	R	—
8	ESSTS エラーシグナル状態フラグ	0 : エラーなし 1 : エラーあり	R	*
9	PERR 受信パリティエラーフラグ	0 : エラーなし 1 : エラーあり	R	*
10	OERR 受信オーバーランエラーフラグ	0 : エラーなし 1 : エラーあり	R	*
11, 12	何も配置されていません		0	—
13	RXCP 受信完了フラグ	0 : 受信バッファレジスタ内にデータなし 1 : 受信バッファレジスタ内にデータあり	R	—
14	TXCP 送信完了フラグ	0 : 送信シフトレジスタ内にデータあり 1 : 送信シフトレジスタ内にデータなし	R	—
15	TEMP 送信バッファエンプティフラグ	0 : 送信バッファ内にデータあり 1 : 送信バッファ内にデータなし	R	—

注 : W欄の“*”は、「“0”書き込みのみ有効」を示します。

(1) 受信シフトレジスタ状態フラグRXSC (b6)

このビットにより、受信シフトレジスタの動作状態を参照することができます。以下にこのビットのセット、クリア条件を示します。

このビットのセット、クリアのタイミングは、各条件が検出されてから若干のタイムラグがあります。受信禁止設定を行ってからこのビットを参照する場合は、このタイムラグを考慮し、転送データ1ビット分程度の間隔を設けてください。

- “1” セット条件
スタートビットの検出（立ち下がりエッジ入力）時、“1”にセットされます。
- “0” クリア条件
パリティビットの受信を完了した場合に“0”にクリアされます。

(2) 送信シフトレジスタ状態フラグTXSC (b7)

このビットにより、送信シフトレジスタの動作状態を参照することができます。以下にこのビットのセット、クリア条件を示します。

このビットのセット、クリアのタイミングは、各条件が検出されてから若干のタイムラグがあります。送信禁止設定を行ってからこのビットを参照する場合は、このタイムラグを考慮し、転送データ1ビット分程度の間隔を設けてください。

- ・ “1” セット条件
スタートビットの検出（立ち下がりエッジ入力）時、“1” にセットされます。
- ・ “0” クリア条件
パリティビットを送出後、転送データ2ビット分経過後に “0” にクリアされます。

(3) エラーシグナル状態フラグESSTS (b8)

このビットにより、送信時に受信側から送り返されるエラーシグナルの状態を示します。以下にこのビットのセット、クリア条件を示します。

- ・ “1” セット条件
受信側からパリティエラーを示すシグナルが送信されたときに “1” にセットされます。
- ・ “0” クリア条件
このビットに “0” を書き込む必要があります。

(4) 受信パリティエラーフラグPERR (b9)

このビットにより、受信データについての受信パリティエラーの状態を参照することができます。以下にこのビットのセット、クリア条件を示します。

- ・ “1” セット条件
受信時にパリティエラーを検出したときに “1” にセットされます。また、このとき1クロックの間、シリアルデータとして0を送信します。
- ・ “0” クリア条件
このビットに “0” を書き込む必要があります。

(5) 受信オーバーランエラーフラグOERR (b10)

受信バッファレジスタおよび受信シフトレジスタに受信データが存在している状態で、次の受信データの受信開始を認識したときオーバーランエラーを検出します。以下にこのビットのセット、クリア条件を示します。

- ・ “1” セット条件
受信時にオーバーランエラーを検出したときに “1” にセットされます。
- ・ “0” クリア条件
このビットに “0” を書き込む必要があります。

(6) 受信完了フラグRXCP (b13)

このビットにより、受信バッファレジスタのデータ有無を参照できます。以下にこのビットのセット、クリア条件を示します。

- “1” セット条件
正常な受信データが受信シフトレジスタから受信バッファレジスタへ転送されたとき “1” にセットされます。
- “0” クリア条件
受信バッファレジスタを読み出すことにより “0” にクリアされます。なお、このビットはステータスレジスタの読み出しではクリアされません。

(7) 送信完了フラグTXCP (b14)

このビットにより、送信シフトレジスタのデータ有無を参照できます。以下にこのビットのセット、クリア条件を示します。

このビットが “0” にクリアされている場合、送信シフトレジスタには送信の終了していないデータがあります。

このビットが “1” にセットされている場合、送信シフトレジスタにはデータがありません。

- “1” セット条件
送信シフトレジスタ内のデータを送信し終えたときに、以下のいずれかの条件が満たされた場合、送信バッファレジスタから送信シフトレジスタへ送信データの転送は行われず、送信シフトレジスタは空になり、“1” がセットされます。
 - 送信バッファレジスタにデータがないとき (TEMP= “1”)
 - 送信許可ビット (ETC制御レジスタのTXEN) が “0” のとき
- “0” クリア条件
送信バッファレジスタから送信シフトレジスタへ送信データが転送されてきたとき “0” にクリアされます。

(8) 送信バッファエンプティフラグTEMP (b15)

このビットにより、送信バッファレジスタのデータ有無を参照できます。以下にこのビットのセット、クリア条件を示します

このビットが “0” にクリアされている場合、送信バッファレジスタには、送信シフトレジスタへ転送していないデータがあります。

このビットが “1” にセットされている場合、送信バッファレジスタにはデータがありません。

- “1” セット条件
送信バッファレジスタから送信シフトレジスタへ送信データを転送したとき、“1” にセットされます。
- “0” クリア条件
送信バッファレジスタへの書き込みで “0” にクリアされます。

3.10.6. ETC割り込み制御レジスタ

■ETC割り込み制御レジスタ (ETCINTCR)

<アドレス : H'0023 8008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	EREN	RXIEN		TEMPIEN
												0	0	0	0

<リセット時 : H'0000>

b	ビット名	機能	R	W
0~11	何も配置されていません		0	—
12	ERIEEN エラー発生割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R	W
13	RXIEN 受信完了割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R	W
14	何も配置されていません		0	—
15	TEMPIEN 送信バッファエンプティ割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R	W

(1) エラー発生割り込み許可ビットERIEEN (b12)

送受信時にエラーが発生した場合に、割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

エラーが発生する場合を以下に示します。

- ・データ送信時
エラーシグナルが返ってきたとき
- ・データ受信時
オーバーランエラーが発生したときまたはパリティエラーが発生したとき

(2) 受信完了割り込み許可ビットRXIEN (b13)

受信が正常に終了し、受信バッファレジスタにデータが入ったときに割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

(3) 送信バッファエンプティ割り込み許可ビットTEMPIEN (b15)

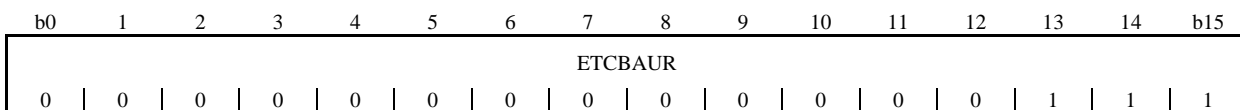
送信データバッファが空になったときに割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

3.10.7. ETCボーレートレジスタ

■ETCボーレートレジスタ (ETCBAUR)

<アドレス : H'0023 800A>



<リセット時 : H'0007>

b	ビット名	機能	R	W
0~15	ETCBAUR ボーレート設定ビット	ボーレートを設定します	R	W

注 : このレジスタへの設定は、ETC停止中 (ETCCR = “H'0000”) に行ってください。

(1) ボーレート設定ビットETCBAUR (b0~b15)

システムクロック (BCLK) をこのビットで設定した値 “n” で “2×(n+1)” 分周した値がeTRONカードのクロック (eTCCLK) に入力されます。そのeTRONカードのクロック値を382分周した値が転送のボーレートとなります。リセット時のeTCCLKは3.1215MHzで、ボーレートは8181bpsになります。

図3.10.3に、ETCボーレートレジスタ設定算出式を示します。

$$\text{ETCボーレートレジスタ設定値 (ETCBAUR)} = \frac{f(\text{BCLK})}{\text{ボーレート} \times 764} - 1$$

$$\text{ボーレート} = \frac{f(\text{BCLK})}{764 \times (\text{ETCBAUR} + 1)}$$

図3.10.3 ETCボーレートレジスタ設定算出式

表3.10.1 ETCボーレート設定例 : f(BCLK)=40MHz動作時

ETCBAUR	ボーレート (bps)	ETCBAUR	ボーレート (bps)
0 (H'0000)	52356.0	99 (H'0063)	523.6
1 (H'0001)	26178.0	499 (H'01F3)	104.7
2 (H'0002)	17452.0	999 (H'03E7)	52.4
3 (H'0003)	13089.0	4999 (H'1387)	10.5
4 (H'0004)	10471.2	9999 (H'270F)	5.2
5 (H'0005)	8726.0	65535 (H'FFFF)	0.8
6 (H'0006)	7479.4		
7 (H'0007)	6544.5		
8 (H'0008)	5817.3		
9 (H'0009)	5235.6		
10 (H'000A)	4759.6		
11 (H'000B)	4363.0		

3.10.8. ETC送信バッファレジスタ

■ETC送信バッファレジスタ (ETCTXB)

<アドレス : H'0023 800C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0								ETCTXB							
0								?							

<リセット時 : H'00??>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	ETCTXB 送信データビット	送信データを書き込みます	R	W

(1) 送信データビットETCTXB (b8~b15)

このビットにより送信データを設定します。

以下のすべての条件が満たされたとき、ETC送信バッファレジスタに設定したデータが、ETC送信シフトレジスタへ転送されます。

- ・送信許可ビット (ETC制御レジスタのb15) が “1”
- ・ETC送信バッファレジスタにデータがある (ETCステータスレジスタのTEMP= “0”)
- ・ETC送信シフトレジスタにデータがない (ETCステータスレジスタのTXCP= “1” の時、もしくは丁度ETC送信シフトレジスタのデータを送信し終えた時)

3.10.9. ETC受信バッファレジスタ

■ETC受信バッファレジスタ (ETCRXB)

<アドレス : H'0023 800E>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0								ETCRXB							
0								?							

<リセット時 : H'00??>

b	ビット名	機能	R	W
0~7	何も配置されていません		0	—
8~15	ETCRXB 受信データビット	受信データが格納されます	R	—

(1) 受信データビットETCRXB (b8~b15)

このビットにより受信したデータの読み出しを行います。

受信許可状態 (ETC制御レジスタのRXEN= “1”) のとき、ETC受信シフトレジスタに受信データが揃い、かつ受信バッファレジスタにデータがない時、ETC受信シフトレジスタからETC受信バッファレジスタへ受信データを転送します。

ETC受信バッファレジスタは、読み出し専用のレジスタで、このレジスタにデータを書き込むことはできません。

3.10.10. ETCアクセスタイミング

(1) 送信

図3.10.4に、ETC送信タイミングを示します。

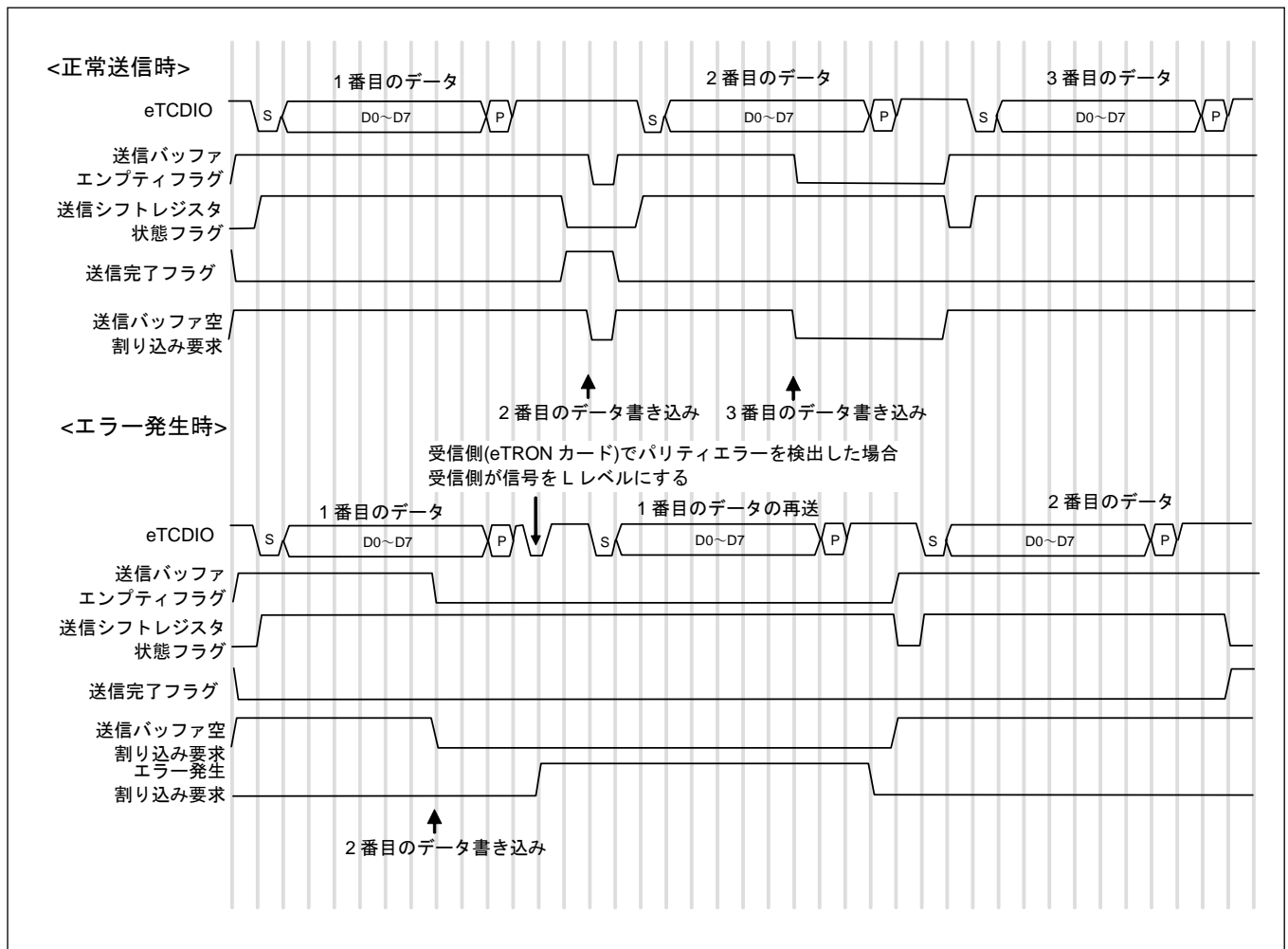


図3.10.4 ETC送信タイミング

(2) 受信

図3.10.5に、ETC受信タイミングを示します。

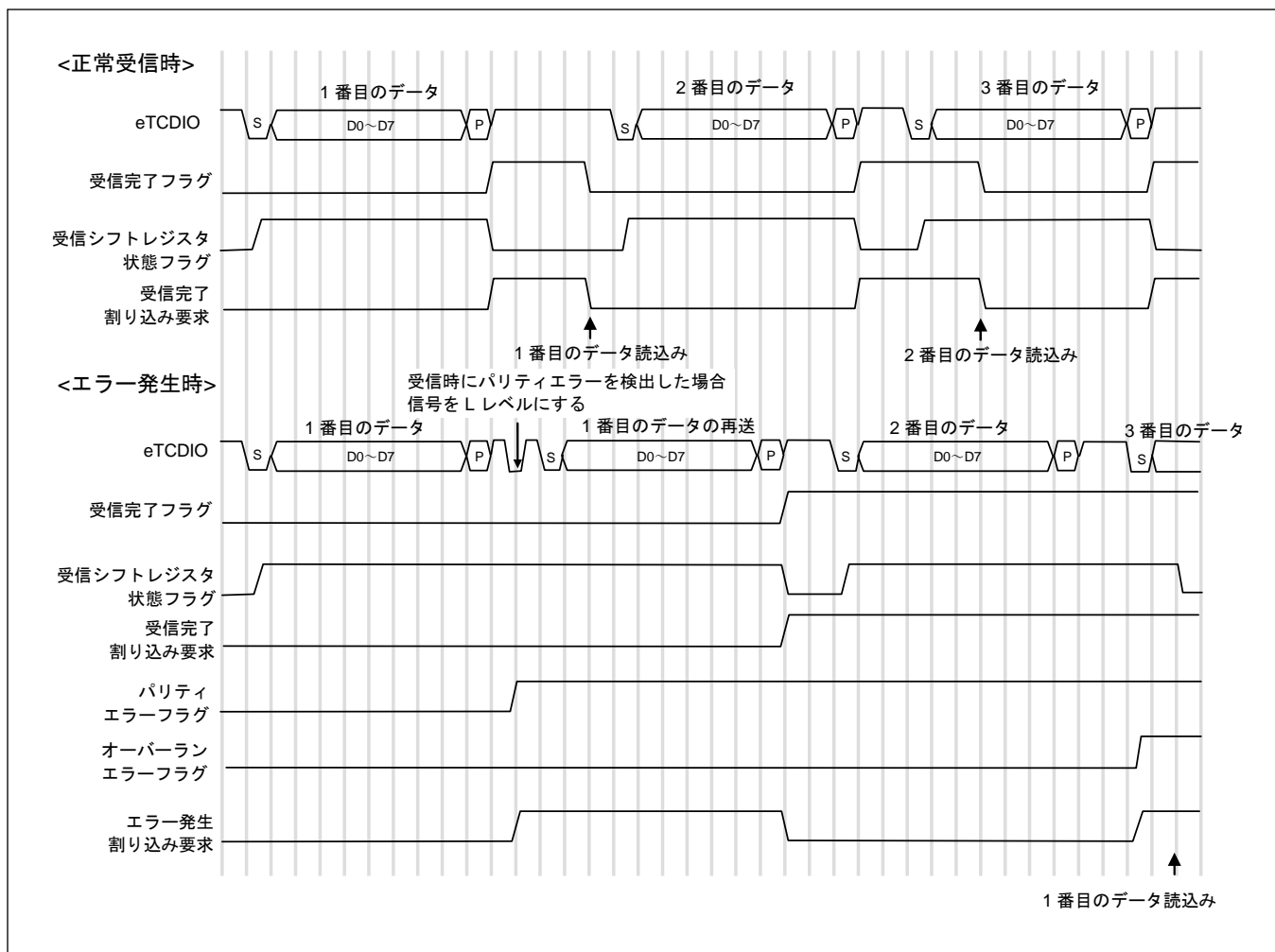


図3.10.5 ETC受信タイミング

3.11. システムコンフィギュレーションデータ (SYSC)

制御PLDには、M3T-M32192UT-CPUのバージョン、PLDの更新日、PLDのバージョンを示すデータが保存されています。このデータは、PLD内のROMデータとして読み出すことが可能です。格納しているデータは、ASCIIコードです。

図3.11.1に、システムコンフィギュレーションデータのアドレスマップを示します。

M32192 アドレス	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+A	+B	+C	+D	+E	+F
H'0023_C000	M	3	T	-	M	3	2	1	9	2	U	T	(sp)	C	*	*
H'0023_C010	D	a	t	e	:	X	X	-	X	X	-	X	X	*	*	*
H'0023_C020	V	e	r	.	:	Y	Y	.	Y	Y	.	Y	Y	*	*	*
H'0023_C030 : H'0023_FFFE	使用禁止領域															

注1：“(sp)”はスペース（アスキーコードのH'20）です。
 注2：“*”はH'00です。
 注3：“X”には日付（yy-mm-dd）が入ります。 例 “04-09-01”
 注4：“Y”にはPLDバージョン番号が入ります。 例 “01.00.00”

図3.11.1 システムコンフィギュレーションデータのアドレスマップ

空きページです

4. LAN拡張ボード

4.1 外部仕様

表4.1.1に、M3T-M32RUT-LAN REV.Bの外部仕様を示す。

表4.1.1 M3T-M32RUT-LAN Rev.Bの外部仕様

項目	内容
対応μT-Engineボード	ルネサステクノロジ R0P3219TR001MRK
制御PLD	ALTERA EP20K60EFC144-2 ・ 動作クロック：EXCLK(BCLK) ・ LANコントローラアクセス制御 ・ 割り込みコントローラ ・ DIOコントローラ
LANコントローラ	SMSC：LAN91C111 ・ 動作クロック：XTAL1=25MHz
電源	・ DC3.3V 拡張バスから供給
インタフェースコネクタ	・ 拡張バスコネクタ：京セラエルコ 10 5603 14 0202 861 ・ LANインタフェースコネクタ：アンフェノール RJHS-5381
外形寸法	・ 寸法：60mm×85mm・実装形態：6層両面実装

4.1.1 機能ブロック

図4.2.1に、M3T-M32RUT-LAN REV.Bの機能ブロックを示す。

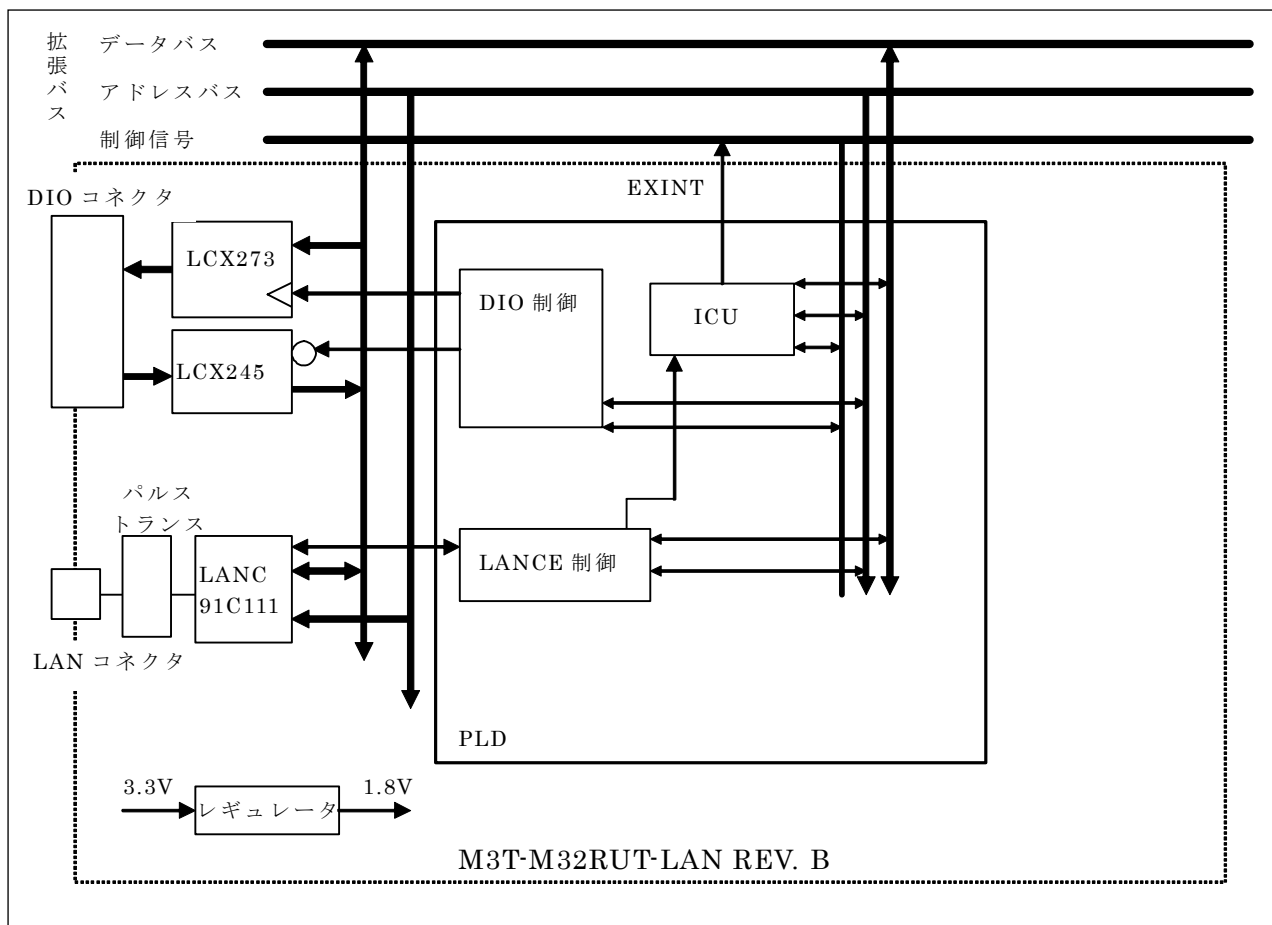


図4.2.1. M3T-M32RUT-LAN REV.Bの機能ブロック

4.3 LAN拡張ボード空間のマッピング

図4.3.1 に、LANボード空間のマッピングを示す。

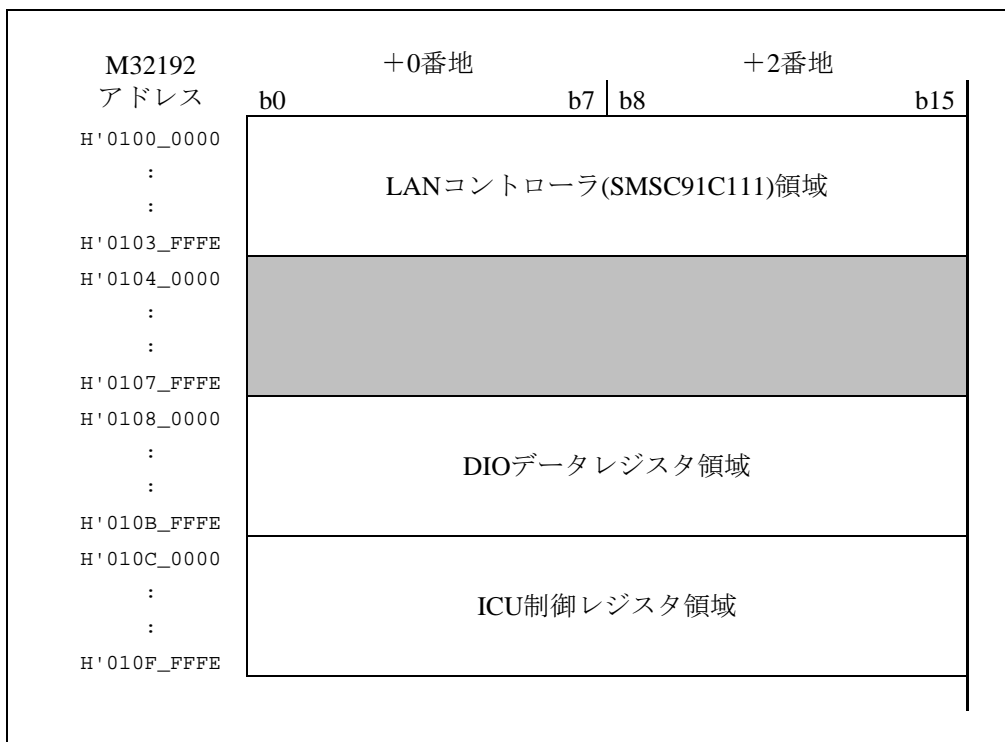


図4.3.1 LANボード空間のマッピング

4.4 PLD概要

4.4.1. デバイス概要

M3T-M32RUT-LAN REV.B上のPLDは、周辺I/Oデバイスを制御する大規模PLDである。デバイスとしてALTERA社製APEX20KファミリのEP20K60Eを使用し、LANアクセス、DIOアクセス、を制御する。表4.1に、デバイス(ALTERA EP20K60EFC144-2)の仕様を示す。

表4.1 デバイス(ALTERA EP20K60EFC144-2)の仕様

項目	内容
内部電源電圧	1.8V
外部端子電源電圧	3.3V
標準ゲート数	60,000
システムゲート数	162,000
ロジックエレメント数	2,560
RAMビット数	32,768
スピードグレード	-2
パッケージ	144ピンFBGA (20mm×20mm)
I/Oピン数	93

4.4.2. 機能概要

表4.2に、M3T-M32RUT-LAN REV.B上のPLD機能概要を示す。

表4.2 PLDの機能概要

機能ブロック	概要
LANコントローラアクセス制御	● LANコントローラ(LAN91C111)へのアクセス制御信号を生成
DIOコントローラアクセス制御	● 出力ポートのラッチクロック信号、入力ポートのイネーブル信号を生成

4.5 DIO

4.1.3 DIOの概要

DIOは、入力専用8bitと出力専用8bitの平行ポートである。

DIOデータレジスタを読み出すことにより、DIOコネクタの入力ポートの値を読み出せる。

DIOデータレジスタに書き込むことにより、DIOコネクタの出力ポートへ出力できる。

4.1.4 DIO関連レジスタ一覧

図4.4に、DIO関連レジスタ一覧を示す。使用禁止領域へ書き込みを行った場合の動作は保証しない。

M32192 アドレス	+0番地				+1番地			
	b0	b7	b8	b15				
H'0108_0800	DIOデータレジスタ				使用禁止領域			
H'0108_0802	使用禁止領域							
:								
H'0108_FFFE								

図4.4 DIO関連レジスタ一覧

空きページです

5. 拡張ボード仕様

5.1. 拡張ボードの概要

拡張ボードとは、CPUボードM3T-M32192UT-CPUの拡張バスコネクタ経由で接続する、機能拡張用ドータボードの総称です。拡張バスコネクタのM32192アドレスバス、データバス、バス制御信号およびI/Oポートをお客様のハードウェアIPと接続することにより、M3T-M32192UT-CPUをハードウェアIP検証・実行用の部品として使用することができます。

5.2. 拡張バスコネクタ

5.2.1. 拡張バスコネクタの型名

拡張ボードは、以下に示す拡張バスコネクタを使ってCPUボードとスタッキング接続します。拡張バスコネクタにはPLUGとRECEの2種類があり、CPUボードにはRECEのみ実装しています。拡張ボードをスタッキング接続するために、CPUボード側のコネクタにはPLUGを、反対側にはRECEを配置してください。拡張バスコネクタのメーカー名と型番を以下に示します。

- PLUG：京セラエルコ 14 5603 14 0202 861
- RECE：京セラエルコ 24 5603 14 0202 861

T-Engineと μ T-Engineでコネクタ外形は共通ですが、信号配置は異なります。このため、キー構造（コネクタ内部の凹凸）により誤挿入を防止しています。

キー構造はキーコード（24 5603 14 xxxx 861のxxxx部）によって識別可能です。本製品では、キーコード0202を使用しています。このコネクタに接続可能なキーコードは、0202および0000（すべてのコネクタに接続できるマスタ）の2種類となります。

5.2.2. 拡張ボードのスタッキング

拡張ボードのスタック数は、最大2枚です。また、スタックする拡張ボードの電源容量（3.3V 400mAまで）に注意してください。

図5.2.1に、拡張ボードのスタッキング例を示します。

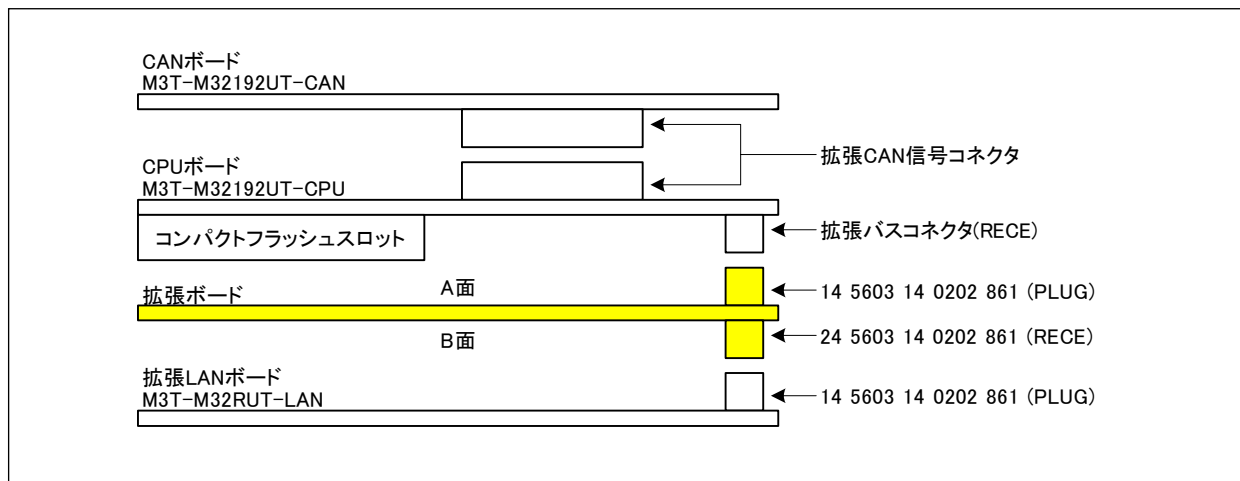


図5.2.1 拡張ボードのスタッキング例

5.2.3. 拡張ボードの基板サイズ

拡張ボードは、 μ T-Engineの基板と同じサイズ（85mm×60mm）にすることを推奨します。

拡張ボードA面（CPUボード側）には、高さ2mm以上の部品を配置しないでください。

拡張ボードB面（拡張LANボード側）には、高さ7mm以上の部品を配置しないでください。ただし、拡張LANボードを使用せずにPLUGだけを実装する下端ボードの場合は、B面に高さ15mm未満の部品を配置できます。

基板寸法に関する規定を以下に示します。

- (1) 基板厚は、1.6mmとします。
- (2) 基板取り付け穴 ϕ 2.1mmを四隅に配置してください。
穴位置は、基板端から2.5mmとします。穴の中心から半径2.5mmの範囲には、部品やパターン（GNDは除く）を配置しないでください。
- (3) 拡張バスコネクタのボス穴中心は、基板端から5.5mmに配置してください。
拡張バスコネクタのセンターは基板センターと同じです。

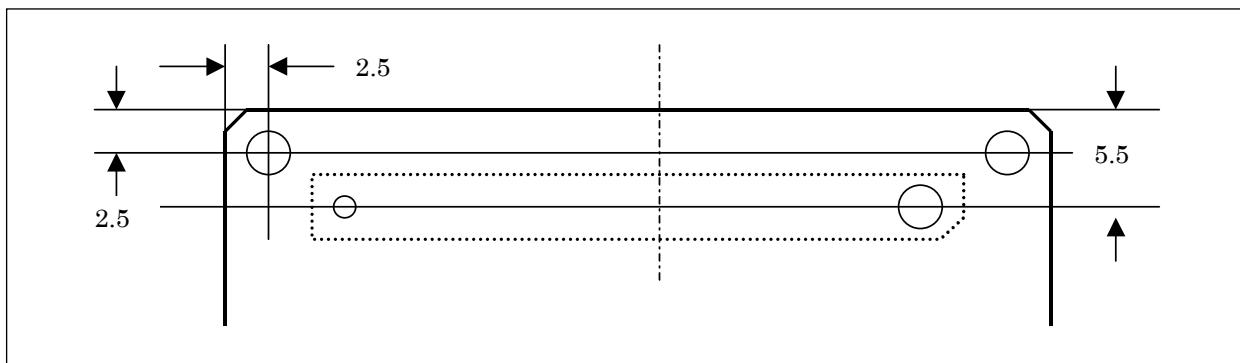


図5.2.2 拡張バスコネクタ周辺の寸法

5.2.4. 拡張バスコネクタの実装方向

図5.2.3に、拡張バスコネクタの実装方向を示します。ピン番号は、コネクタメーカーが指定する部品としてのピン番号と反転していますので、パターン設計時にご注意ください。

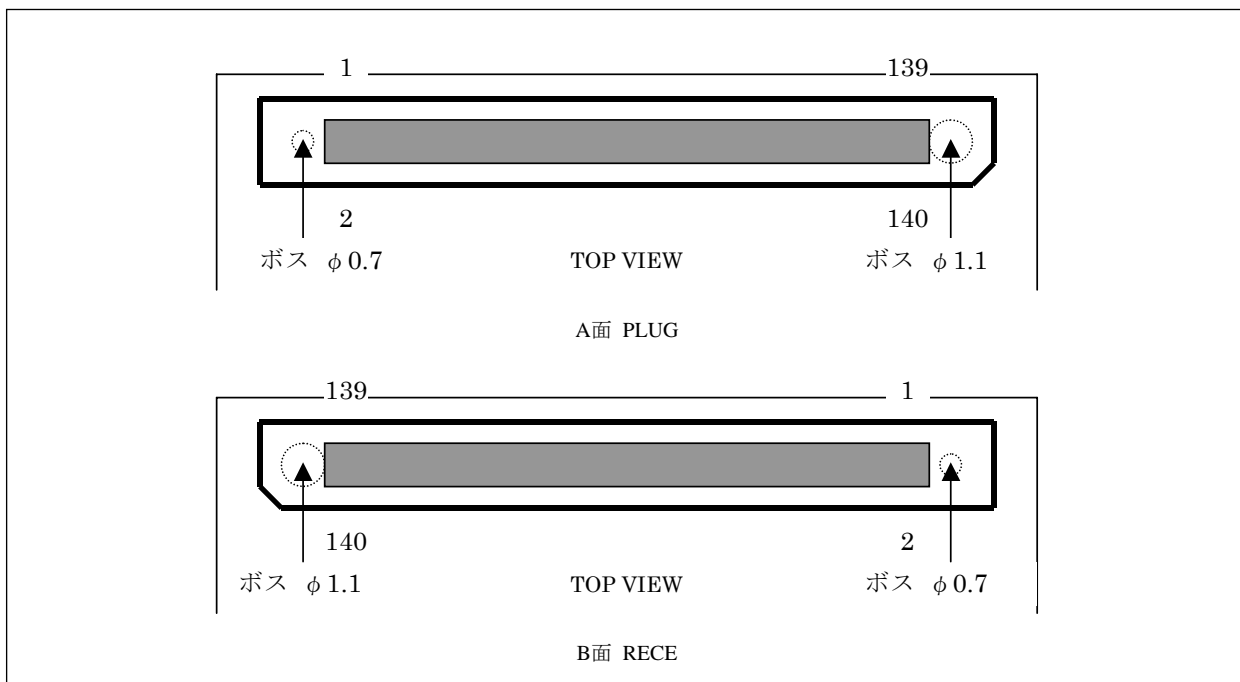


図5.2.3 拡張バスコネクタの実装方向

5.3. 拡張バスの信号配置

表5.3.1に、拡張バスの信号配置を示します。

表5.3.1 拡張バスの信号配置 (1/4)

No.	M3T-M32192UT-CPU 信号名	拡張バス信号名	拡張ボード使用信号(参考)	
			M3T-M32RUT-LAN (REV.B)	M3T-M32RUT-LCD
1	GND	GND	GND	GND
2	GND	GND	GND	GND
3	GND	GND	GND	GND
4	GND	GND	GND	GND
5	V33	V33	V33	V33
6	V33	V33	V33	V33
7	V33	V33	V33	V33
8	V33	V33	V33	V33
9	JTAG_RST#	JTAG_RST#	JTAG_RST#	NC
10	TRST#	TRST#	TRST#	NC
11	TMS	TMS	TMS	NC
12	TDO	TDO	TDO	NC
13	TDI	TDI	TDI	NC
14	TCK	TCK	TCK	NC
15	GND	GND	GND	GND
16	GND	GND	GND	GND
17	P83 *2	P77	CTS2 (ポート)	NC
18	P85/TO23 *2	P76	ARXCLK# (タイマ出力)	NC
19	NC	NC	NC	NC
20	NC	NC	NC	NC
21	P93 *2	P67	ARSTART (ポート)	NC
22	P82/TxD0 *2	P66	TXD2	NC
23	P84/SCLK0 *2	P65	SCLK2	NC
24	P86/RxD1	P64	RXD1	NC
25	P94 *2	P63	XRST# (ポート)	NC
26	P87/SCLK1	P62	SCLK1	NC
27	GND	GND	GND	GND
28	GND	GND	GND	GND
29	P95 *2	P27	CTS1 (ポート)	NC
30	NC	P26	NC	INT6 (32104へのINT)
31	NC	P25	NC	NC
32	P96 *2	P24	READ (ポート)	NC
33	NC	EXTPWR	NC	EXTPWR
34	NC	EXTPWR	NC	EXTPWR
35	NC	V33SB	NC	V33SB

未使用：基板上にパターンは存在するが、使用していません。

NC： 基板上にパターンは存在しません。

*1： MCU直接ではなく、制御PLDにて生成する信号です。

*2： 拡張CAN信号コネクタにも接続されています。CANボードで使用する場合は、拡張ボードで使用できません。

表5.3.1 拡張バスの信号配置 (2/4)

No.	M3T-M32192UT-CPU 信号名	拡張バス信号名	拡張ボード使用信号(参考)	
			M3T-M32RUT-LAN (REV.B)	M3T-M32RUT-LCD
36	NC	V33SB	NC	V33SB
37	GND	GND	GND	GND
38	GND	GND	GND	GND
39	P72/TIN27	INT3#	NC	NC
40	P132/TIN18/DIN2	INT2#	NC	INT2 (32700へのINT)
41	NC	BBSEL6#	NC	BBSEL6# (未使用)
42	NC	BBSEL5#	NC	BBSEL5# (未使用)
43	SW2	SW2	NC	NC
44	SW1	SW1	NC	NC
45	LED2	LED2	NC	NC
46	LED1	LED1	NC	NC
47	GND	GND	GND	GND
48	GND	GND	GND	GND
49	MPU_WAIT# *1	EXREADY#	EXREADY#	EXREADY#
50	P103/TO11/TIN24	EXINT	EXINT	NC
51	BUS_CS# *1	BCS1#	BCS1#	BCS1#
52	NC	BWS3#	NC	NC
53	NC	BWS2#	NC	NC
54	BUS_BLW# *1	BWS1#	BWS1#	BWS1#
55	BUS_BHW# *1	BWS0#	BWS0#	BWS0#
56	BUS_RD# *1	BRS#	BRS#	BRS#
57	GND	GND	GND	GND
58	GND	GND	GND	GND
59	GND	GND	GND	GND
60	BCLK	EXCLK	EXCLK	EXCLK
61	GND	GND	GND	GND
62	GND	GND	GND	GND
63	RESET#	RESET#	RESET#	RESET#
64	GND	GND	GND	GND
65	GND	GND	GND	GND
66	A30	BA30	BA30	BA30
67	A29	BA29	BA29	BA29
68	A28	BA28	BA28	BA28
69	A27	BA27	BA27	BA27
70	A26	BA26	BA26	BA26

未使用：基板上にパターンは存在するが、使用していません。

NC： 基板上にパターンは存在しません。

*1： MCU直接ではなく、制御PLDにて生成する信号です。

*2： 拡張CAN信号コネクタにも接続されています。CANボードで使用する場合は、拡張ボードで使用できません。

表5.3.1 拡張バスの信号配置 (3/4)

No.	M3T-M32192UT-CPU 信号名	拡張バス信号名	拡張ボード使用信号(参考)	
			M3T-M32RUT-LAN (REV.B)	M3T-M32RUT-LCD
71	A25	BA25	BA25	BA25
72	A24	BA24	BA24	BA24
73	GND	GND	GND	GND
74	GND	GND	GND	GND
75	A23	BA23	BA23	BA23
76	A22	BA22	BA22	BA22
77	A21	BA21	BA21	BA21
78	A20	BA20	BA20	BA20
79	A19	BA19	BA19	BA19
80	A18	BA18	BA18	BA18
81	A17	BA17	BA17	BA17
82	A16	BA16	BA16	BA16
83	GND	GND	GND	GND
84	GND	GND	GND	GND
85	A15	BA15	BA15	BA15
86	A14	BA14	BA14	BA14
87	A13	BA13	BA13	BA13
88	A12	BA12	BA12	BA12
89	A11	BA11	BA11	BA11
90	A10	BA10	BA10	BA10
91	A9	BA9	BA9	BA9
92	GND	BA8	BA8	BA8
93	GND	GND	GND	GND
94	GND	GND	GND	GND
95	NC	BD31	NC	BD31 (未使用)
96	NC	BD30	NC	BD30 (未使用)
97	NC	BD29	NC	BD29 (未使用)
98	NC	BD28	NC	BD28 (未使用)
99	NC	BD27	NC	BD27 (未使用)
100	NC	BD26	NC	BD26 (未使用)
101	NC	BD25	NC	BD25 (未使用)
102	NC	BD24	NC	BD24 (未使用)
103	GND	GND	GND	GND
104	GND	GND	GND	GND
105	NC	BD23	NC	BD23 (未使用)

未使用：基板上にパターンは存在するが、使用していません。

NC： 基板上にパターンは存在しません。

*1： MCU直接ではなく、制御PLDにて生成する信号です。

*2： 拡張CAN信号コネクタにも接続されています。CANボードで使用する場合は、拡張ボードで使用できません。

表5.3.1 拡張バスの信号配置 (4/4)

No.	M3T-M32192UT-CPU 信号名	拡張バス信号名	拡張ボード使用信号(参考)	
			M3T-M32RUT-LAN (REV.B)	M3T-M32RUT-LCD
106	NC	BD22	NC	BD22 (未使用)
107	NC	BD21	NC	BD21 (未使用)
108	NC	BD20	NC	BD20 (未使用)
109	NC	BD19	NC	BD19 (未使用)
110	NC	BD18	NC	BD18 (未使用)
111	NC	BD17	NC	BD17 (未使用)
112	NC	BD16	NC	BD16 (未使用)
113	GND	GND	GND	GND
114	GND	GND	GND	GND
115	DB15	BD15	BD15	BD15
116	DB14	BD14	BD14	BD14
117	DB13	BD13	BD13	BD13
118	DB12	BD12	BD12	BD12
119	DB11	BD11	BD11	BD11
120	DB10	BD10	BD10	BD10
121	DB9	BD9	BD9	BD9
122	DB8	BD8	BD8	BD8
123	GND	GND	GND	GND
124	GND	GND	GND	GND
125	DB7	BD7	BD7	BD7
126	DB6	BD6	BD6	BD6
127	DB5	BD5	BD5	BD5
128	DB4	BD4	BD4	BD4
129	DB3	BD3	BD3	BD3
130	DB2	BD2	BD2	BD2
131	DB1	BD1	BD1	BD1
132	DB0	BD0	BD0	BD0
133	V33	V33	V33	V33
134	V33	V33	V33	V33
135	V33	V33	V33	V33
136	V33	V33	V33	V33
137	GND	GND	GND	GND
138	GND	GND	GND	GND
139	GND	GND	GND	GND
140	GND	GND	GND	GND

未使用：基板上にパターンは存在するが、使用していません。

NC： 基板上にパターンは存在しません。

*1： MCU直接ではなく、制御PLDにて生成する信号です。

*2： 拡張CAN信号コネクタにも接続されています。CANボードで使用する場合は、拡張ボードで使用できません。

5.4. EXREADY#入力

拡張ボードからのWAIT#入力用に、EXREADY#端子を設けています。

EXREADY#信号は、複数の拡張ボードをスタックした際の衝突を防ぐために、オープンコレクタ出力としてください。つまり、EXREADY#信号は通常HiZで、CPUを待たせる場合のみ“H”を出力してください。

EXREADY#信号は、CPUボード内で1kΩプルダウンされており、制御PLDによってCPUへのWAIT#信号へ変換されます。

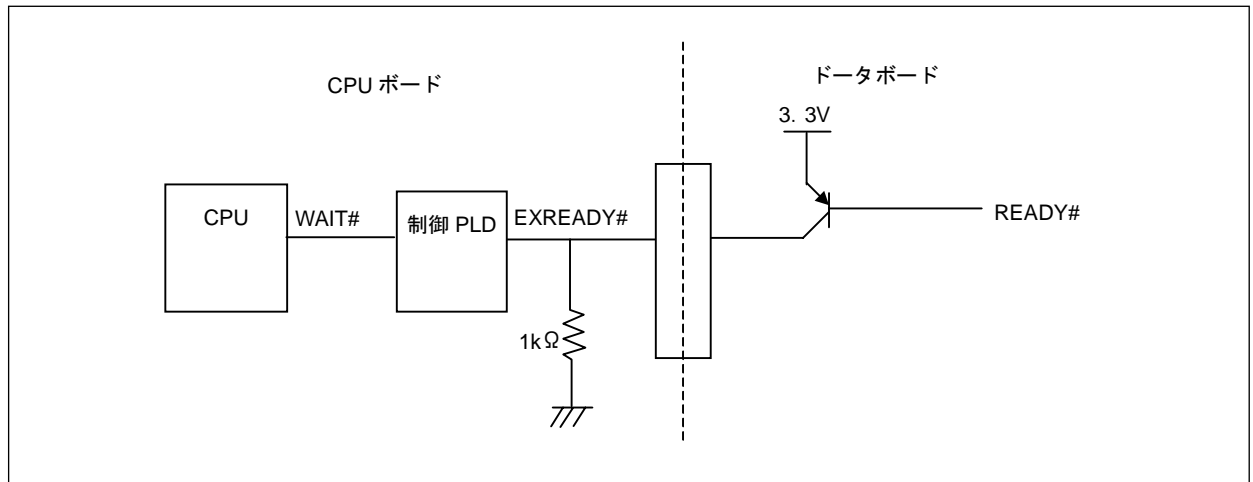


図5.4.1 EXREADY#の入力回路

空きページです

6. 機械仕様

6.1. 基板外観

6.1.1. M3T-M32192UT-CPU

図6.1.1に、CPUボードの外観を示します。

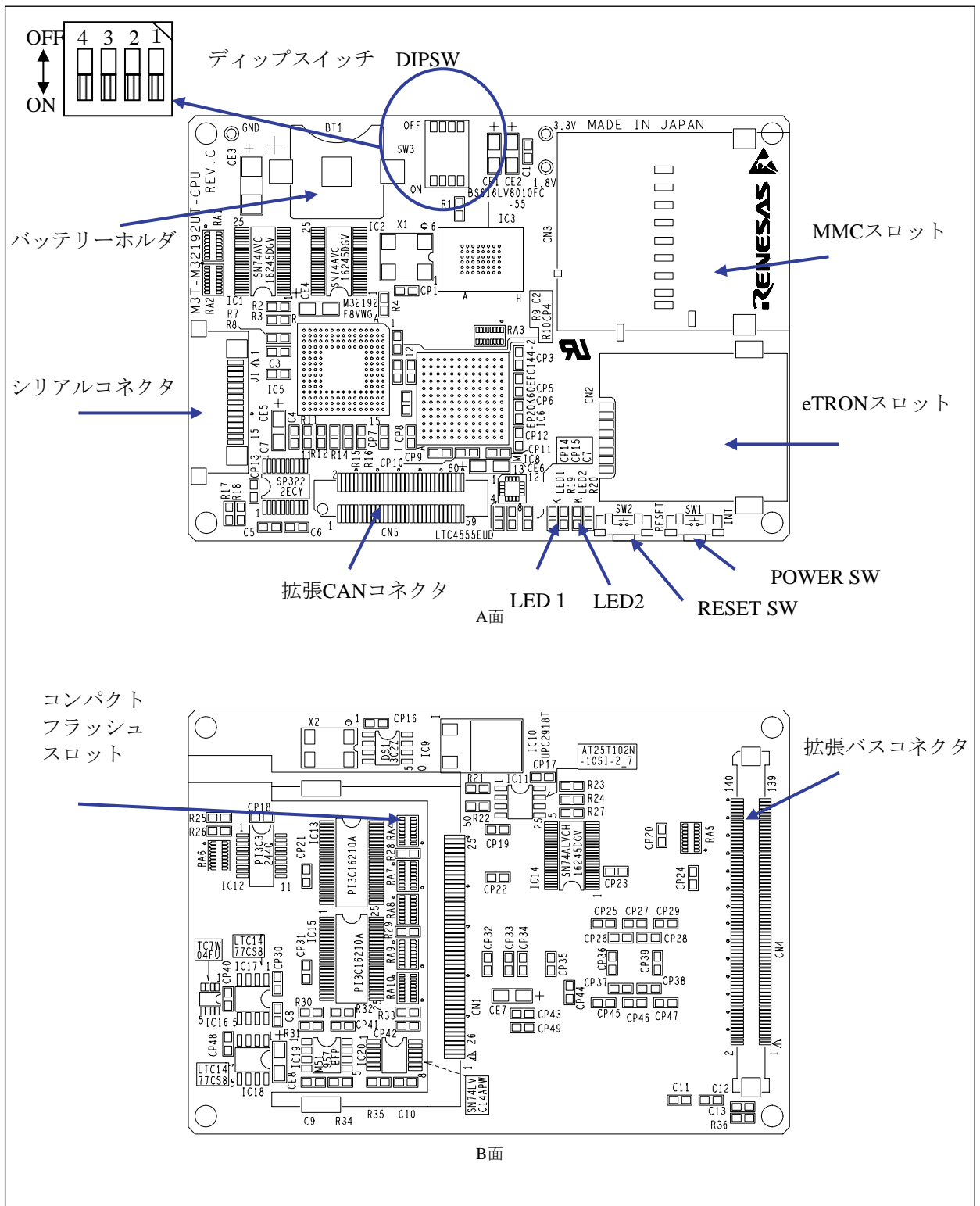


図6.1.1 CPUボードの外観

6.1.2. M3T-M32192UT-CAN

図6.1.2に、CANボードの外観を示します。

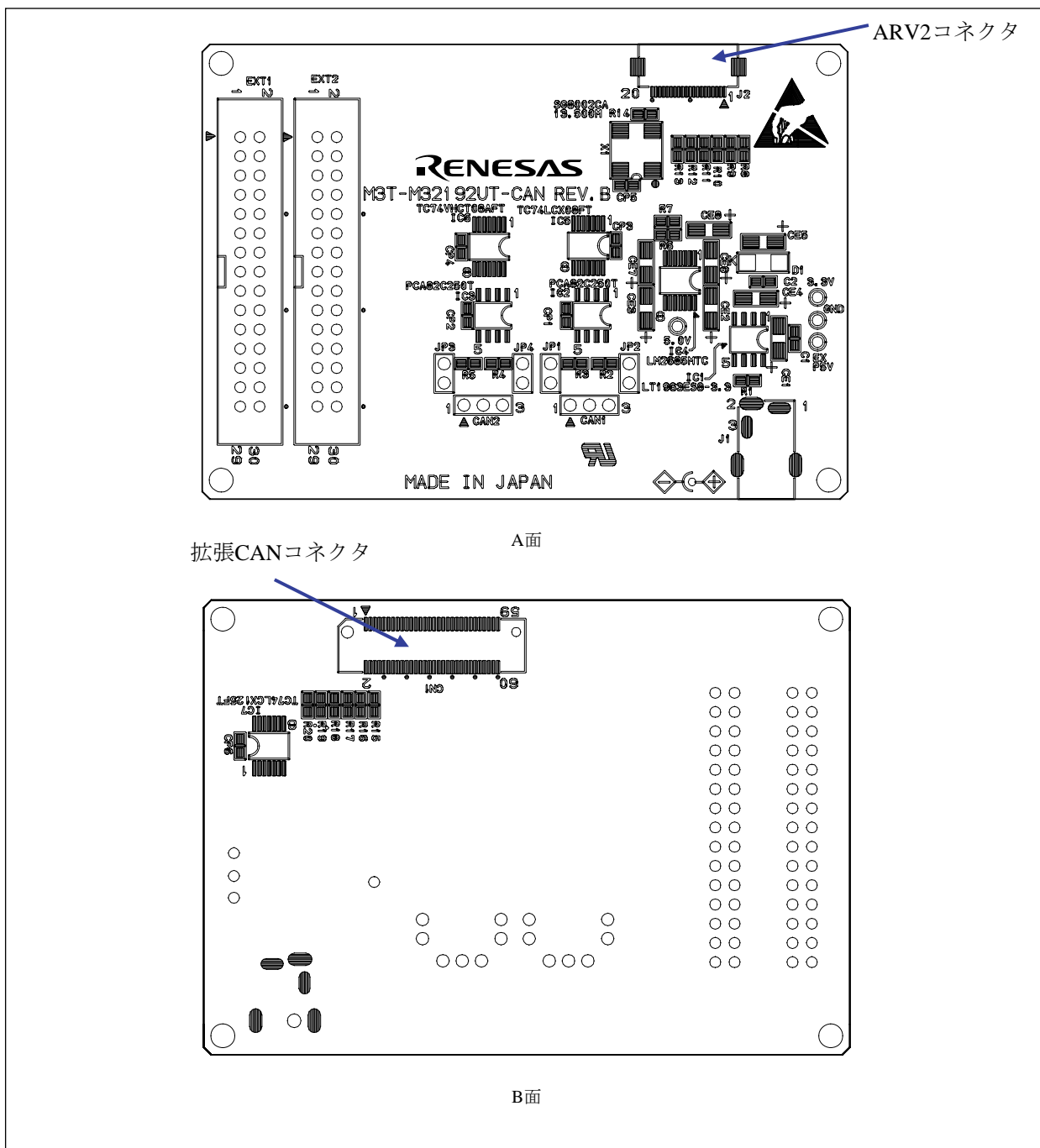


図6.1.2 CANボードの外観

6.1.3. M3T-M32RUT-LAN

図6.1.3に、拡張LANボードの外観を示します。

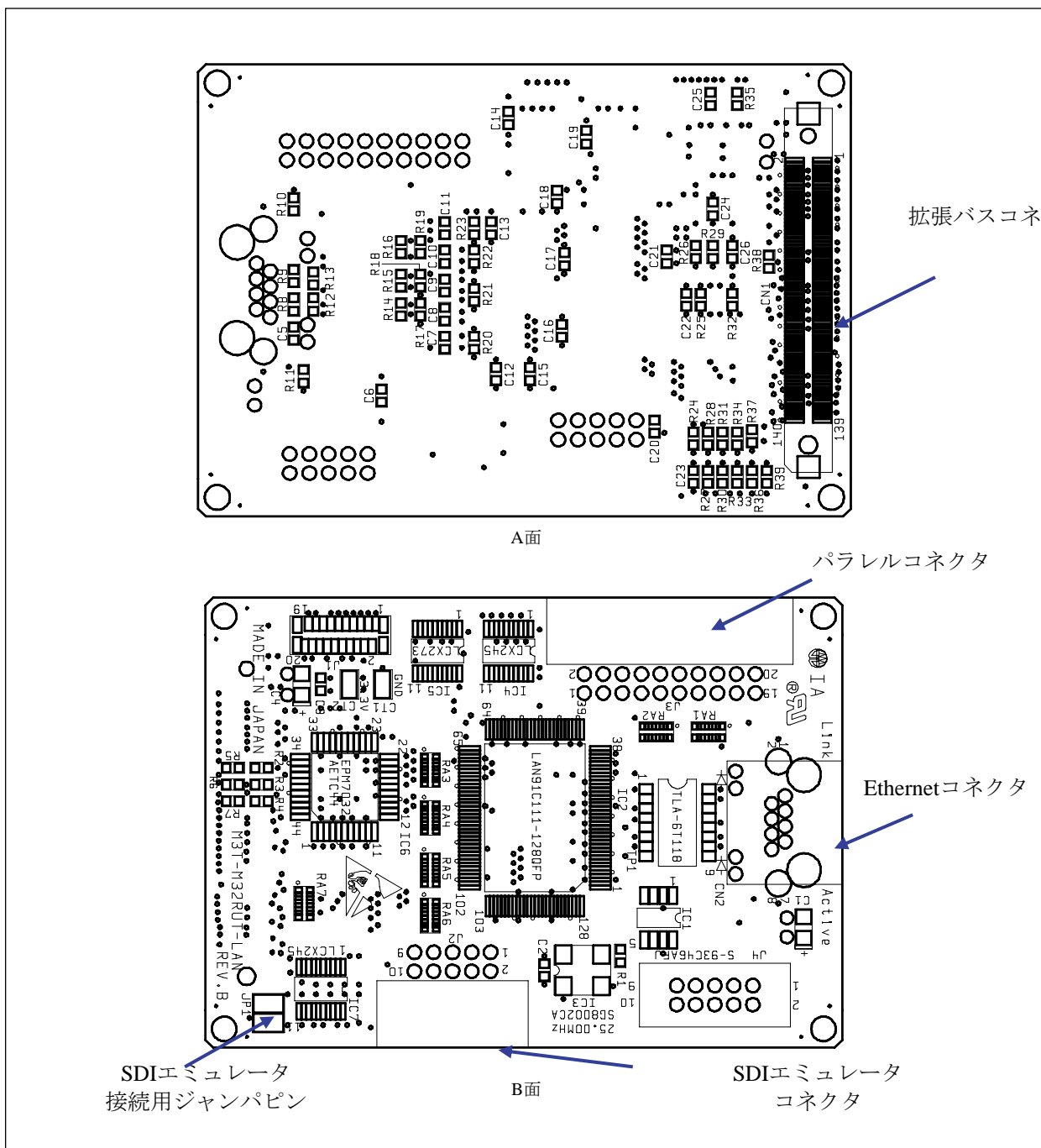


図6.1.3 拡張LANボードの外観

6.2. 操作部品概要

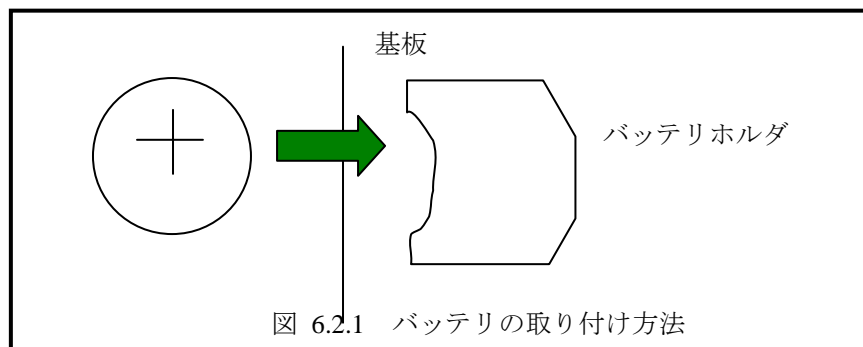
6.2.1. リアルタイムクロック用バックアップバッテリーホルダ

3. 0V定格の以下のリチウム電池が使用可能です。

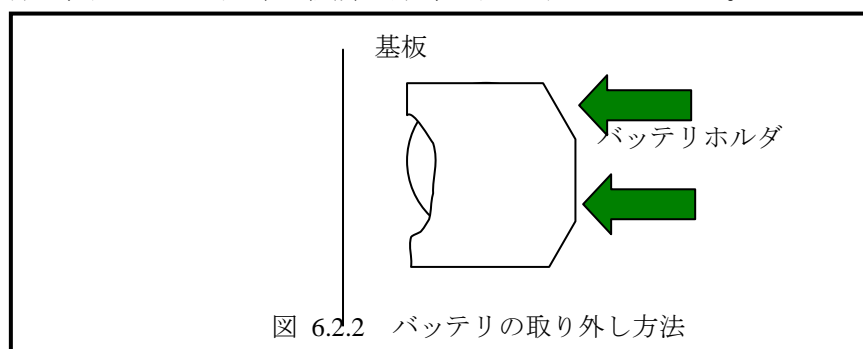
名称：BR1216, CR1216, BR1220, CR1220, CL1220, BR1225

バックアップ電池の電力はリアルタイムクロックにのみ供給します。

取り付ける場合は、図 6.2.1のように電池の+極を上にして挿入してください。



取り外す場合は、図 6.2.2の矢印の個所を非導電物で押してください。



6.2.2. LED

2個のLED(緑)を実装しています。これらのLEDはPLDへ接続しており、LEDの消灯・点灯はPLDのLEDCRレジスタ(H'0214002番地)で制御可能です。

6.2.3. ユーザー ディップ SW

4ビットのディップスイッチを実装しています。

SW1,SW2の値はPLDのIOSWSTSレジスタ(H'00214006番地)で読み出し可能です。詳細は3.7.6スイッチステータスレジスタを御参照ください。スイッチの値自体には特別の意味はなく、OSのデバッグ・起動モードの選択に使用することが目的です。

SW3-3: EEPROMのライトプロテクト端子に接続しています。ONにするとライトプロテクトが有効となり、OFFにするとライトプロテクトは無効となります。

本EEPROMにはFPGAのコンフィグレーションデータが入っております。

6.2.4. INTスイッチ

INTスイッチはFPGAのINTSWを経由しMCUのTIN0に接続されています。したがって、POWERスイッチを押したときの動作はソフトウェアに依存します。

6.2.5. RESETスイッチ

RESETスイッチを押すとハードウェアのリセットが発生します。

6.2.6. SDI エミュレータ接続用ジャンパピン

拡張 LAN ボードの J1 は、SDI エミュレータを接続する場合のジャンパピンです。拡張 LAN ボードの SDI インタフェースコネクタに、エミュレータを接続する場合はジャンパピンを付けてください。他の拡張ボードに SDI インタフェースコネクタを付けて、その拡張ボードにエミュレータを接続する場合は、ジャンパピンをはずしてください。

6.2.7. Ethernet コネクタ

ハブと接続する場合はストレートケーブルをご使用ください。

緑色 LED は Link 確立を示し、黄色 LED は通信アクティブを示します。

6.2.8. ARV2 ボード接続方法

ARV2 ボードの接続は、ARV2 ボードと拡張CANボードをフレキケーブルで接続します。図 6.2.3のようにケーブルをそれぞれのボードに接続してください。

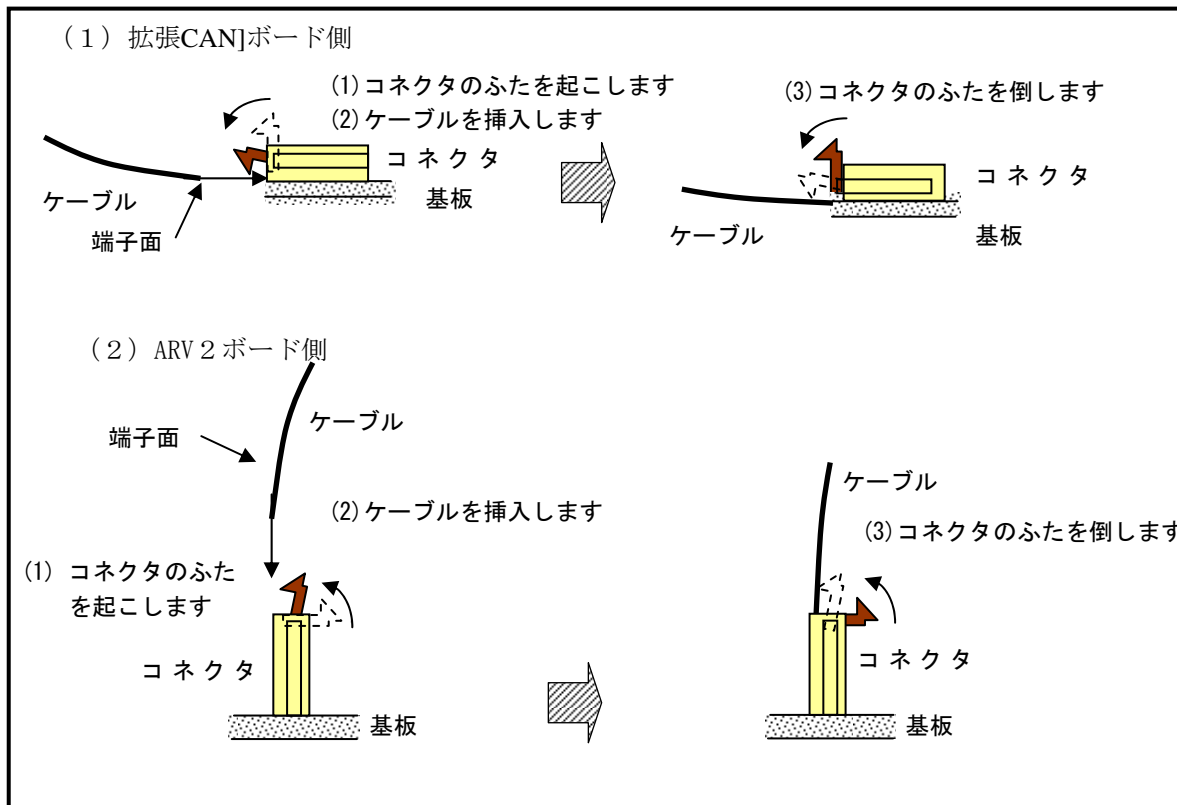


図 6.2.3 ARV2ボード用ケーブルの接続方法

6.2.9. SDI エミュレータ接続方法

SDIエミュレータは拡張LANボードのSDIインタフェースコネクタに接続します。

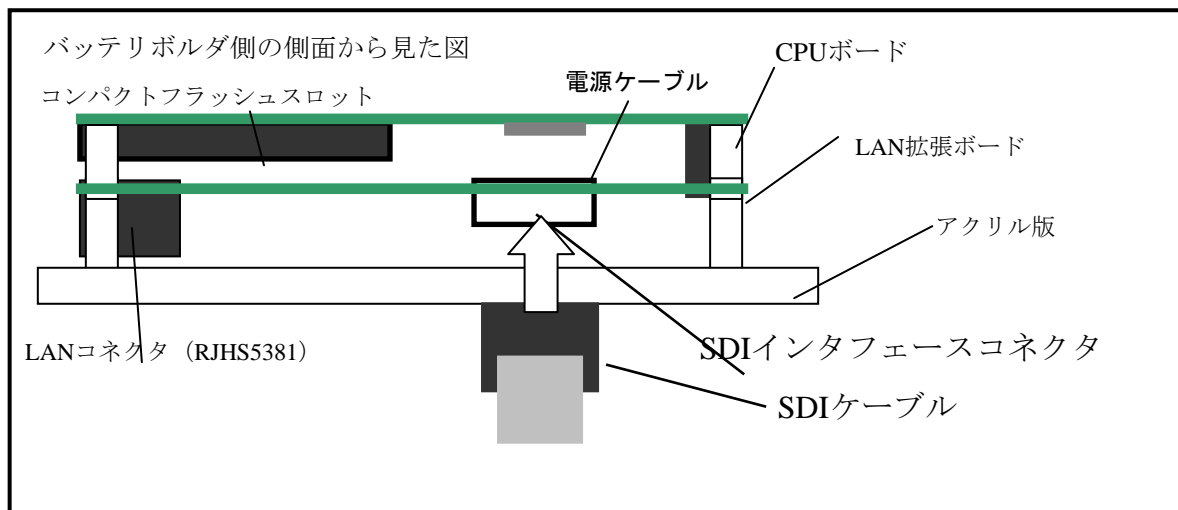


図 6.2.4 SDIエミュレータ接続方法

ルネサスM32192搭載 μ T-Engineボードセット
R0P3219TR001MRK概説書

発行年月日 2005年 10月04日 Rev.1.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

編集 株式会社 ルネサス ソリューションズ 第一応用技術部

© 2005. Renesas Technology Corp. and Renesas Solutions Corp., All rights reserved. Printed in Japan.

R0P3219TR001MRK
概説書



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ10J1437-0100