

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

## H8S/2215 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ  
H8S ファミリ / H8S/2200 シリーズ

H8S/2215	HD64F2215
	HD64F2215U
	HD6432215B
	HD6432215C
H8S/2215R	HD64F2215R
	HD64F2215RU
H8S/2215T	HD64F2215T
	HD64F2215TU
H8S/2215C	HD64F2215CU

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、  
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、  
などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。  
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上  
でご確認ください。

11. 索引

---

# はじめに

---

本 LSI は、ルネサスオリジナルアーキテクチャを採用した H8S/2000CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、ROM、RAM、DMA コントローラ (DMAC)、データ転送ファコントローラ (DTC) のバスマスタ、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、ユニバーサルシリアルバス (USB)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換機、D/A 変換器、I/O ポートなどの周辺機能を内蔵しています。

内蔵 ROM は、フラッシュメモリ (F-ZTAT<sup>TM</sup>\*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

このマニュアルは、本 LSI のハードウェアについて記載しています。

【注】 \* F-ZTAT はルネサス エレクトロニクス (株) の商標です。

**対象者** このマニュアルは、H8S/2215 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2215 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせてご覧ください。

## 読み方

- 機能全体を理解しようとするとき

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

→ 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

→ 本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第23章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、  
同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。  
XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)
- ビット表記順 : 左側が上位ビット、右側が下位ビット
- 数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX
- 信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

( <http://japan.renesas.com> )

- H8S/2215グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2215 グループハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ ユーザーズマニュアル	RJJ10J2552
H8S、H8/300 シリーズシミュレータ・デバッガ ユーザーズマニュアル	RJJ10B0219
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2736

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	ピン配置図	1-4
1.4	動作モード別端子機能一覧	1-6
1.5	端子機能	1-10
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-14
2.5.1	汎用レジスタのデータ形式	2-14
2.5.2	メモリ上でのデータ形式	2-16
2.6	命令セット	2-17
2.6.1	命令の機能別一覧	2-18
2.6.2	命令の基本フォーマット	2-27
2.7	アドレッシングモードと実効アドレスの計算方法	2-29
2.7.1	レジスタ直接 Rn	2-29
2.7.2	レジスタ間接 @ERn	2-29
2.7.3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)	2-29
2.7.4	ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn	2-30
2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-30

2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32.....	2-31
2.7.7	プログラムカウンタ相対 @( d:8, PC ) / @ ( d:16, PC ) .....	2-31
2.7.8	メモリ間接 @@aa:8 .....	2-31
2.7.9	実効アドレスの計算方法.....	2-32
2.8	処理状態.....	2-34
2.9	使用上の注意事項 .....	2-36
2.9.1	TAS 命令使用上の注意事項 .....	2-36
2.9.2	STM/LDM 命令使用上の注意事項.....	2-36
2.9.3	ビット操作命令使用上の注意.....	2-36
2.9.4	ライト専用ビットを含むレジスタのアクセス方法 .....	2-38
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択 .....	3-1
3.2	レジスタの説明 .....	3-2
3.2.1	モードコントロールレジスタ ( MDCR ) .....	3-2
3.2.2	システムコントロールレジスタ ( SYSCR ) .....	3-3
3.3	各動作モードの説明 .....	3-4
3.3.1	モード 4.....	3-4
3.3.2	モード 5.....	3-4
3.3.3	モード 6.....	3-4
3.3.4	モード 7.....	3-5
3.3.5	端子機能.....	3-5
3.4	各動作モードのアドレスマップ.....	3-7
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-3
4.3.1	リセットの種類 .....	4-3
4.3.2	リセット例外処理 .....	4-4
4.3.3	リセット直後の割り込み.....	4-5
4.3.4	リセット解除後の内蔵周辺機能.....	4-5
4.4	トレース例外処理 .....	4-6
4.5	割り込み例外処理 .....	4-6
4.6	トラップ命令例外処理 .....	4-7
4.7	例外処理後のスタックの状態.....	4-8
4.8	使用上の注意事項 .....	4-9
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1

5.2	入出力端子 .....	5-2
5.3	レジスタの説明 .....	5-3
5.3.1	インタラプトプライオリティレジスタ A ~ G、I ~ K、M (IPRA ~ IPRG、IPRI ~ IPRK、IPRM) .....	5-4
5.3.2	IRQ イネーブルレジスタ (IER) .....	5-5
5.3.3	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL) .....	5-5
5.3.4	IRQ ステータスレジスタ (ISR) .....	5-7
5.4	割り込み要因 .....	5-8
5.4.1	外部割り込み要因 .....	5-8
5.4.2	内部割り込み .....	5-9
5.5	割り込み例外処理ベクタテーブル .....	5-10
5.6	割り込み制御モードと割り込み動作 .....	5-12
5.6.1	割り込み制御モード 0 .....	5-12
5.6.2	割り込み制御モード 2 .....	5-14
5.6.3	割り込み例外処理シーケンス .....	5-16
5.6.4	割り込み応答時間 .....	5-17
5.6.5	割り込みによる DTC、DMAC の起動 .....	5-18
5.7	使用上の注意事項 .....	5-20
5.7.1	割り込みの発生とディスエーブルとの競合 .....	5-20
5.7.2	割り込みを禁止している命令 .....	5-20
5.7.3	割り込み禁止期間 .....	5-21
5.7.4	EPPMOV 命令実行中の割り込み .....	5-21
5.7.5	IRQ 割り込み .....	5-21
5.7.6	NMI 割り込み使用上の注意 .....	5-21
6.	バスコントローラ .....	6-1
6.1	特長 .....	6-1
6.2	入出力端子 .....	6-3
6.3	レジスタの説明 .....	6-3
6.3.1	バス幅コントロールレジスタ (ABWCR) .....	6-4
6.3.2	アクセスステートコントロールレジスタ (ASTCR) .....	6-4
6.3.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL) .....	6-5
6.3.4	バスコントロールレジスタ H (BCRH) .....	6-7
6.3.5	バスコントロールレジスタ L (BCRL) .....	6-8
6.3.6	端子機能コントロールレジスタ (PFCR) .....	6-9
6.4	バス制御 .....	6-10
6.4.1	エリア分割 .....	6-10
6.4.2	バス仕様 .....	6-11
6.4.3	各エリアのバスインタフェース .....	6-12
6.4.4	チップセレクト信号 .....	6-13
6.5	基本動作タイミング .....	6-14

6.5.1	内蔵メモリ (ROM、RAM) アクセスタイミング .....	6-14
6.5.2	内蔵周辺モジュールアクセスタイミング .....	6-15
6.5.3	外部アドレス空間アクセスタイミング .....	6-15
6.6	基本バスインタフェース .....	6-16
6.6.1	データサイズとデータアライメント .....	6-16
6.6.2	有効ストロープ .....	6-17
6.6.3	基本タイミング .....	6-18
6.6.4	ウェイト制御 .....	6-27
6.7	バーストROMインタフェース .....	6-28
6.7.1	基本タイミング .....	6-28
6.7.2	ウェイト制御 .....	6-29
6.8	アイドルサイクル .....	6-30
6.9	バス解放 .....	6-33
6.9.1	バス権解放の使用上の注意事項 .....	6-34
6.10	バスアービトレーション .....	6-35
6.10.1	動作説明 .....	6-35
6.10.2	バス権移行タイミング .....	6-35
6.10.3	外部バス権解放使用上の注意 .....	6-36
6.11	リセットとバスコントローラ .....	6-36
7.	DMA コントローラ (DMAC) .....	7-1
7.1	特長 .....	7-1
7.2	レジスタの説明 .....	7-3
7.3	各レジスタの説明 .....	7-5
7.3.1	メモリアドレスレジスタ (MAR) .....	7-5
7.3.2	I/O アドレスレジスタ (IOAR) .....	7-5
7.3.3	転送カウントレジスタ (ETCR) .....	7-6
7.3.4	DMA コントロールレジスタ (DMACR) .....	7-7
7.3.5	DMA バンドコントロールレジスタ (DMABCR) .....	7-12
7.3.6	DMA ライトイネーブルレジスタ (DMAWER) .....	7-18
7.4	動作説明 .....	7-20
7.4.1	転送モード .....	7-20
7.4.2	シーケンシャルモード .....	7-21
7.4.3	アイドルモード .....	7-24
7.4.4	リピートモード .....	7-26
7.4.5	ノーマルモード .....	7-29
7.4.6	ブロック転送モード .....	7-32
7.4.7	DMAC の起動要因 .....	7-37
7.4.8	DMAC の基本バスサイクル .....	7-38
7.4.9	DMAC のバスサイクル (デュアルアドレスモード) .....	7-39

7.4.10	DMAC 複数チャネルの動作.....	7-43
7.4.11	DMAC、外部バス権要求、および DTC の関係.....	7-44
7.4.12	NMI 割り込みと DMAC.....	7-44
7.4.13	DMAC 動作の強制終了.....	7-45
7.4.14	フルアドレスモードの解除.....	7-45
7.5	割り込み要因.....	7-46
7.6	使用上の注意事項.....	7-47
7.6.1	動作中の DMAC レジスタアクセス.....	7-47
7.6.2	モジュールストップ.....	7-48
7.6.3	中速モード.....	7-48
7.6.4	起動要因の受け付け.....	7-49
7.6.5	転送終了後の内部割り込み.....	7-49
7.6.6	チャネルの再設定.....	7-49
8.	データ転送ファコントローラ (DTC).....	8-1
8.1	特長.....	8-1
8.2	レジスタの説明.....	8-2
8.2.1	DTC モードレジスタ A (MRA).....	8-3
8.2.2	DTC モードレジスタ B (MRB).....	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR).....	8-4
8.2.4	DTC デスティネーションアドレスレジスタ (DAR).....	8-4
8.2.5	DTC 転送カウントレジスタ A (CRA).....	8-4
8.2.6	DTC 転送カウントレジスタ B (CRB).....	8-5
8.2.7	DTC イネーブルレジスタ A ~ F (DTCERA ~ DTCERF).....	8-5
8.2.8	DTC ベクタレジスタ (DTVECR).....	8-6
8.3	起動要因.....	8-7
8.4	レジスタ情報の配置と DTC ベクタテーブル.....	8-8
8.5	動作説明.....	8-10
8.5.1	ノーマルモード.....	8-12
8.5.2	リピートモード.....	8-13
8.5.3	ブロック転送モード.....	8-14
8.5.4	チェイン転送.....	8-15
8.5.5	割り込み要因.....	8-16
8.5.6	動作タイミング.....	8-17
8.5.7	DTC 実行ステート数.....	8-18
8.6	DTC 使用手順.....	8-19
8.6.1	割り込みによる起動.....	8-19
8.6.2	ソフトウェアによる起動.....	8-19
8.7	DTC 使用例.....	8-20
8.7.1	ノーマルモード.....	8-20

8.7.2	ソフトウェア起動 .....	8-20
8.8	使用上の注意事項 .....	8-21
8.8.1	モジュールストップモードの設定 .....	8-21
8.8.2	内蔵 RAM .....	8-21
8.8.3	DTCE ビットの設定 .....	8-21
8.8.4	DMAC 転送終了割り込み .....	8-21
9.	I/O ポート .....	9-1
9.1	ポート1 .....	9-5
9.1.1	ポート1 データディレクションレジスタ (PIDDR) .....	9-5
9.1.2	ポート1 データレジスタ (PIDR) .....	9-5
9.1.3	ポート1 レジスタ (PORT1) .....	9-6
9.1.4	端子機能 .....	9-6
9.2	ポート3 .....	9-9
9.2.1	ポート3 データディレクションレジスタ (P3DDR) .....	9-9
9.2.2	ポート3 データレジスタ (P3DR) .....	9-10
9.2.3	ポート3 レジスタ (PORT3) .....	9-10
9.2.4	ポート3 オープンドレインコントロールレジスタ (P3ODR) .....	9-11
9.2.5	端子機能 .....	9-11
9.3	ポート4 .....	9-13
9.3.1	ポート4 レジスタ (PORT4) .....	9-13
9.3.2	端子機能 .....	9-13
9.4	ポート7 .....	9-14
9.4.1	ポート7 データディレクションレジスタ (P7DDR) .....	9-14
9.4.2	ポート7 データレジスタ (P7DR) .....	9-14
9.4.3	ポート7 レジスタ (PORT7) .....	9-15
9.4.4	端子機能 .....	9-15
9.5	ポート9 .....	9-17
9.5.1	ポート9 レジスタ (PORT9) .....	9-17
9.5.2	端子機能 .....	9-17
9.6	ポートA .....	9-18
9.6.1	ポートA データディレクションレジスタ (PADDR) .....	9-18
9.6.2	ポートA データレジスタ (PADR) .....	9-18
9.6.3	ポートA レジスタ (PORTA) .....	9-19
9.6.4	ポートA プルアップ MOS コントロールレジスタ (PAPCR) .....	9-19
9.6.5	ポートA オープンドレインコントロールレジスタ (PAODR) .....	9-19
9.6.6	端子機能 .....	9-20
9.6.7	ポートA 入力プルアップ MOS の状態 .....	9-22
9.7	ポートB .....	9-23
9.7.1	ポートB データディレクションレジスタ (PBDDR) .....	9-23

9.7.2	ポート B データレジスタ (PBDR) .....	9-23
9.7.3	ポート B レジスタ (PORTB) .....	9-24
9.7.4	ポート B プルアップ MOS コントロールレジスタ (PBPCR) .....	9-24
9.7.5	端子機能 .....	9-24
9.7.6	ポート B 入力プルアップ MOS の状態 .....	9-26
9.8	ポート C .....	9-27
9.8.1	ポート C データディレクションレジスタ (PCDDR) .....	9-27
9.8.2	ポート C データレジスタ (PCDR) .....	9-27
9.8.3	ポート C レジスタ (PORTC) .....	9-28
9.8.4	ポート C プルアップ MOS コントロールレジスタ (PCPCR) .....	9-28
9.8.5	端子機能 .....	9-28
9.8.6	ポート C 入力プルアップ MOS の状態 .....	9-30
9.9	ポート D .....	9-31
9.9.1	ポート D データディレクションレジスタ (PDDDR) .....	9-31
9.9.2	ポート D データレジスタ (PDDR) .....	9-31
9.9.3	ポート D レジスタ (PORTD) .....	9-32
9.9.4	ポート D プルアップ MOS コントロールレジスタ (PDPCR) .....	9-32
9.9.5	端子機能 .....	9-32
9.9.6	ポート D 入力プルアップ MOS の状態 .....	9-34
9.10	ポート E .....	9-35
9.10.1	ポート E データディレクションレジスタ (PEDDR) .....	9-35
9.10.2	ポート E データレジスタ (PEDR) .....	9-36
9.10.3	ポート E レジスタ (PORTE) .....	9-36
9.10.4	ポート E プルアップ MOS コントロールレジスタ (PEPCR) .....	9-37
9.10.5	端子機能 .....	9-37
9.10.6	ポート E 入力プルアップ MOS の状態 .....	9-39
9.11	ポート F .....	9-40
9.11.1	ポート F データディレクションレジスタ (PFDDR) .....	9-40
9.11.2	ポート F データレジスタ (PFDR) .....	9-40
9.11.3	ポート F レジスタ (PORTF) .....	9-41
9.11.4	端子機能 .....	9-41
9.12	ポート G .....	9-43
9.12.1	ポート G データディレクションレジスタ (PGDDR) .....	9-43
9.12.2	ポート G データレジスタ (PGDR) .....	9-43
9.12.3	ポート G レジスタ (PORTG) .....	9-44
9.12.4	端子機能 .....	9-44
9.13	未使用端子の処理 .....	9-45
10.	16 ビットタイマパルスユニット (TPU) .....	10-1
10.1	特長 .....	10-1

10.2	入出力端子 .....	10-5
10.3	レジスタの説明 .....	10-6
10.3.1	タイマコントロールレジスタ (TCR) .....	10-7
10.3.2	タイマモードレジスタ (TMDR) .....	10-10
10.3.3	タイマ I/O コントロールレジスタ (TIOR) .....	10-11
10.3.4	タイマインタラプトイネーブルレジスタ (TIER) .....	10-20
10.3.5	タイマステータスレジスタ (TSR) .....	10-21
10.3.6	タイマカウンタ (TCNT) .....	10-23
10.3.7	タイマジェネラルレジスタ (TGR) .....	10-23
10.3.8	タイマスタートレジスタ (TSTR) .....	10-24
10.3.9	タイマシンクロレジスタ (TSYR) .....	10-24
10.4	バスマスタとのインタフェース .....	10-25
10.4.1	16 ビットレジスタ .....	10-25
10.4.2	8 ビットレジスタ .....	10-25
10.5	動作説明 .....	10-27
10.5.1	基本動作 .....	10-27
10.5.2	同期動作 .....	10-32
10.5.3	バッファ動作 .....	10-34
10.5.4	PWM モード .....	10-37
10.5.5	位相計数モード .....	10-41
10.6	割り込み要因 .....	10-46
10.6.1	割り込み要因と優先順位 .....	10-46
10.6.2	DTC の起動 .....	10-47
10.6.3	DMAC の起動 .....	10-47
10.6.4	A/D 変換器の起動 .....	10-47
10.7	動作タイミング .....	10-48
10.7.1	入出力タイミング .....	10-48
10.7.2	割り込み信号タイミング .....	10-52
10.8	使用上の注意事項 .....	10-55
11.	8 ビットタイマ (TMR) .....	11-1
11.1	特長 .....	11-1
11.2	入出力端子 .....	11-3
11.3	レジスタの説明 .....	11-4
11.3.1	タイマカウンタ (TCNT) .....	11-4
11.3.2	タイムコンスタントレジスタ A (TCORA) .....	11-4
11.3.3	タイムコンスタントレジスタ B (TCORB) .....	11-4
11.3.4	タイマコントロールレジスタ (TCR) .....	11-5
11.3.5	タイマコントロール/ステータスレジスタ (TCSR) .....	11-7
11.4	動作説明 .....	11-9

11.4.1	8ビットタイマの使用例(パルス出力例)	11-9
11.5	動作タイミング	11-10
11.5.1	TCNTのカウンタタイミング	11-10
11.5.2	コンペアマッチ時のCMFA、CMFBフラグのセットタイミング	11-11
11.5.3	コンペアマッチ時のタイマ出力タイミング	11-11
11.5.4	コンペアマッチによるカウンタクリアタイミング	11-12
11.5.5	TCNTの外部リセットタイミング	11-12
11.5.6	オーバフローフラグ(OVF)のセットタイミング	11-13
11.6	カスケード接続時の動作	11-14
11.6.1	16ビットカウントモード	11-14
11.6.2	コンペアマッチカウントモード	11-14
11.7	割り込み要因	11-15
11.7.1	割り込み要因とDTC起動	11-15
11.7.2	A/D変換器の起動	11-15
11.8	使用上の注意事項	11-16
11.8.1	TCNTのライトとカウンタクリアの競合	11-16
11.8.2	TCNTのライトとカウントアップの競合	11-17
11.8.3	TCORのライトとコンペアマッチの競合	11-18
11.8.4	コンペアマッチA、Bの競合	11-18
11.8.5	内部クロックの切り替えとTCNTの動作	11-19
11.8.6	カスケード接続時のモード設定	11-20
11.8.7	モジュールストップモードの設定	11-20
12.	ウォッチドッグタイマ(WDT)	12-1
12.1	特長	12-1
12.2	レジスタの説明	12-2
12.2.1	タイマカウンタ(TCNT)	12-2
12.2.2	タイマコントロール/ステータスレジスタ(TCSR)	12-3
12.2.3	リセットコントロール/ステータスレジスタ(RSTCSR)	12-4
12.3	動作説明	12-5
12.3.1	ウォッチドッグタイマモード	12-5
12.3.2	ウォッチドッグタイマオーバフローフラグ(WOVF)のセットタイミング	12-6
12.3.3	インターバルタイマモード時	12-6
12.3.4	オーバフローフラグ(OVF)のセットタイミング	12-7
12.4	割り込み要因	12-7
12.5	使用上の注意事項	12-8
12.5.1	レジスタアクセス時の注意事項	12-8
12.5.2	タイマカウンタ(TCNT)のライトとカウントアップの競合	12-9
12.5.3	CKS2~CKS0ビットの書き換え	12-10
12.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-10

12.5.5	ウォッチドッグタイマモードでの内部リセット .....	12-10
12.5.6	インターバルタイマモードでの OVF フラグのクリア .....	12-10
13.	シリアルコミュニケーションインタフェース (SCI) .....	13-1
13.1	特長 .....	13-1
13.1.1	ブロック図 .....	13-3
13.2	入出力端子 .....	13-5
13.3	レジスタの説明 .....	13-6
13.3.1	レシーブシフトレジスタ (RSR) .....	13-6
13.3.2	レシーブデータレジスタ (RDR) .....	13-6
13.3.3	トランスミットデータレジスタ (TDR) .....	13-6
13.3.4	トランスミットシフトレジスタ (TSR) .....	13-7
13.3.5	シリアルモードレジスタ (SMR) .....	13-7
13.3.6	シリアルコントロールレジスタ (SCR) .....	13-10
13.3.7	シリアルステータスレジスタ (SSR) .....	13-14
13.3.8	スマートカードモードレジスタ (SCMR) .....	13-18
13.3.9	シリアル拡張モードレジスタ (SEMR) [H8S/2215 のチャンネル 0 のみ] .....	13-19
13.3.10	シリアル拡張モードレジスタ A_0 (SEMRA_0) [H8S/2215R、H8S/2215T、H8S/2215C のチャンネル 0 のみ] .....	13-27
13.3.11	シリアル拡張モードレジスタ B_0 (SEMRB_0) [H8S/2215R、H8S/2215T、H8S/2215C のチャンネル 0 のみ] .....	13-29
13.3.12	ビットレートレジスタ (BRR) .....	13-30
13.4	調歩同期式モードの動作 .....	13-37
13.4.1	通信フォーマット .....	13-37
13.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	13-39
13.4.3	クロック .....	13-40
13.4.4	SCI の初期化 (調歩同期式) .....	13-41
13.4.5	シリアルデータ送信 (調歩同期式) .....	13-42
13.4.6	シリアルデータ受信 (調歩同期式) .....	13-44
13.5	マルチプロセッサ通信機能 .....	13-47
13.5.1	マルチプロセッサシリアルデータ送信 .....	13-48
13.5.2	マルチプロセッサシリアルデータ受信 .....	13-49
13.6	クロック同期式モードの動作 .....	13-52
13.6.1	クロック .....	13-52
13.6.2	SCI の初期化 (クロック同期式) .....	13-53
13.6.3	シリアルデータ送信 (クロック同期式) .....	13-54
13.6.4	シリアルデータ受信 (クロック同期式) .....	13-56
13.6.5	シリアルデータ送受信同時動作 (クロック同期式) .....	13-58
13.7	スマートカードインタフェースの動作説明 .....	13-59
13.7.1	接続例 .....	13-59
13.7.2	データフォーマット (ブロック転送モード時を除く) .....	13-59

13.7.3	クロック .....	13-61
13.7.4	ブロック転送モード .....	13-61
13.7.5	受信データサンプリングタイミングと受信マージン .....	13-61
13.7.6	初期設定 .....	13-62
13.7.7	シリアルデータ送信（ブロック転送モードを除く） .....	13-63
13.7.8	シリアルデータ受信（ブロック転送モードを除く） .....	13-66
13.7.9	クロック出力制御 .....	13-67
13.8	SCIセレクト機能（クロック同期式） .....	13-69
13.9	割り込み要因 .....	13-71
13.9.1	シリアルコミュニケーションインタフェースにおける割り込み .....	13-71
13.9.2	スマートカードインタフェースモードにおける割り込み .....	13-72
13.10	使用上の注意事項 .....	13-73
13.10.1	ブレークの検出と処理について（調歩同期式モードのみ） .....	13-73
13.10.2	マーク状態とブレークの送出（調歩同期式モードのみ） .....	13-73
13.10.3	受信エラーフラグと送信動作について（クロック同期式モードのみ） .....	13-73
13.10.4	DMAC または DTC 使用上の注意事項 .....	13-73
13.10.5	モード遷移時の動作について .....	13-74
13.10.6	SCK 端子からポート端子へ切り替えるときの注意事項 .....	13-77
13.10.7	モジュールストップモードの設定 .....	13-79
14.	バウンダリスキャン .....	14-1
14.1	特長 .....	14-1
14.2	入出力端子 .....	14-3
14.3	レジスタの説明 .....	14-4
14.3.1	インストラクションレジスタ（INSTR） .....	14-4
14.3.2	IDCODE レジスタ（IDCODE） .....	14-6
14.3.3	BYPASS レジスタ（BYPASS） .....	14-6
14.3.4	バウンダリスキャンレジスタ（BSCANR） .....	14-7
14.4	動作説明 .....	14-14
14.4.1	TAP コントローラ .....	14-14
14.5	使用上の注意事項 .....	14-15
15.	ユニバーサルシリアルバス（USB） .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-4
15.3	レジスタの説明 .....	15-5
15.3.1	USB エンドポイントインフォメーションレジスタ 00_0 ~ 22_4（UEPIR00_0 ~ 22_4） .....	15-7
15.3.2	USB コントロールレジスタ（UCTLR） .....	15-13
15.3.3	USB DMAC 転送要求レジスタ（UDMAR） .....	15-17
15.3.4	USB デバイスレジュームレジスタ（UDRR） .....	15-18

15.3.5	USB トリガレジスタ 0 (UTRG0) .....	15-19
15.3.6	USB トリガレジスタ 1 (UTRG1) .....	15-20
15.3.7	USBFIFO クリアレジスタ 0 (UFCLR0) .....	15-21
15.3.8	USBFIFO クリアレジスタ 1 (UFCLR1) .....	15-22
15.3.9	USB エンドポイントストールレジスタ 0 (UESTL0) .....	15-23
15.3.10	USB エンドポイントストールレジスタ 1 (UESTL1) .....	15-24
15.3.11	USB エンドポイントデータレジスタ 0s (UEDR0s) .....	15-24
15.3.12	USB エンドポイントデータレジスタ 0i (UEDR0i) .....	15-25
15.3.13	USB エンドポイントデータレジスタ 0o (UEDR0o) .....	15-25
15.3.14	USB エンドポイントデータレジスタ 1i (UEDR1i) .....	15-25
15.3.15	USB エンドポイントデータレジスタ 2i (UEDR2i) .....	15-26
15.3.16	USB エンドポイントデータレジスタ 2o (UEDR2o) .....	15-26
15.3.17	USB エンドポイントデータレジスタ 3i (UEDR3i) .....	15-26
15.3.18	USB エンドポイントデータレジスタ 3o (UEDR3o) .....	15-27
15.3.19	USB エンドポイントデータレジスタ 4i (UEDR4i) .....	15-27
15.3.20	USB エンドポイントデータレジスタ 4o (UEDR4o) .....	15-27
15.3.21	USB エンドポイントデータレジスタ 5i (UEDR5i) .....	15-28
15.3.22	USB エンドポイント受信データサイズレジスタ 0o (UESZ0o) .....	15-28
15.3.23	USB エンドポイント受信データサイズレジスタ 2o (UESZ2o) .....	15-28
15.3.24	USB エンドポイント受信データサイズレジスタ 3o (UESZ3o) .....	15-29
15.3.25	USB エンドポイント受信データサイズレジスタ 4o (UESZ4o) .....	15-29
15.3.26	USB 割り込みフラグレジスタ 0 (UIFR0) .....	15-30
15.3.27	USB 割り込みフラグレジスタ 1 (UIFR1) 【H8S/2215 のとき】 .....	15-31
15.3.28	USB 割り込みフラグレジスタ 1 (UIFR1) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-32
15.3.29	USB 割り込みフラグレジスタ 2 (UIFR2) 【H8S/2215 のとき】 .....	15-34
15.3.30	USB 割り込みフラグレジスタ 2 (UIFR2) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-35
15.3.31	USB 割り込みフラグレジスタ 3 (UIFR3) .....	15-36
15.3.32	USB 割り込みイネーブルレジスタ 0 (UIER0) .....	15-37
15.3.33	USB 割り込みイネーブルレジスタ 1 (UIER1) 【H8S/2215 のとき】 .....	15-38
15.3.34	USB 割り込みイネーブルレジスタ 1 (UIER1) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-38
15.3.35	USB 割り込みイネーブルレジスタ 2 (UIER2) 【H8S/2215 のとき】 .....	15-39
15.3.36	USB 割り込みイネーブルレジスタ 2 (UIER2) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-39
15.3.37	USB 割り込みイネーブルレジスタ 3 (UIER3) .....	15-40
15.3.38	USB 割り込み選択レジスタ 0 (UISR0) .....	15-40
15.3.39	USB 割り込み選択レジスタ 1 (UISR1) 【H8S/2215 のとき】 .....	15-41
15.3.40	USB 割り込み選択レジスタ 1 (UISR1) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-41
15.3.41	USB 割り込み選択レジスタ 2 (UISR2) 【H8S/2215 のとき】 .....	15-42
15.3.42	USB 割り込み選択レジスタ 2 (UISR2) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】 .....	15-42
15.3.43	USB 割り込み選択レジスタ 3 (UISR3) .....	15-43

15.3.44	USB データステータスレジスタ (UDSR) .....	15-43
15.3.45	USB コンフィグレーションバリュeregistara (UCVR) .....	15-44
15.3.46	USB タイムスタンプレジスタ H、L (UTSRH、UTSRL) .....	15-45
15.3.47	USB テストレジスタ 0 (UTSTR0) .....	15-46
15.3.48	USB テストレジスタ 1 (UTSTR1) .....	15-48
15.3.49	USB テストレジスタ 2、A ~ F (UTSTR2、UTSTRA ~ UTSTRF) .....	15-49
15.3.50	モジュールストップコントロールレジスタ B (MSTPCRB) .....	15-49
15.4	割り込み要因 .....	15-50
15.5	通信動作説明 .....	15-52
15.5.1	初期設定 .....	15-52
15.5.2	USB ケーブル接続 / 切断 .....	15-53
15.5.3	サスペンド / レジューム .....	15-57
15.5.4	コントロール転送 .....	15-61
15.5.5	インタラプトイン転送 エンドポイントを EP1i にした場合 .....	15-66
15.5.6	バルクイン転送 (2 面 FIFO) エンドポイントを EP2i にした場合 .....	15-67
15.5.7	バルクアウト転送 (2 面 FIFO) エンドポイントを EP2o にした場合 .....	15-69
15.5.8	アイソクロナスイン転送 (2 面 FIFO) エンドポイントを EP3i にした場合 .....	15-70
15.5.9	アイソクロナスアウト転送の動作 (2 面 FIFO) エンドポイントを EP3o にした場合 .....	15-72
15.5.10	USB 標準コマンドとクラス / ベンダーコマンドの処理 .....	15-74
15.5.11	ストール動作 .....	15-75
15.6	DMA 転送仕様 .....	15-78
15.6.1	USB リクエストによる DMA 転送 .....	15-78
15.6.2	オートリクエストによる DMA 転送 .....	15-80
15.7	エンドポイントの構成設定例 .....	15-82
15.8	USB 外部回路例 .....	15-87
15.9	使用上の注意事項 .....	15-91
16.	A/D 変換器 .....	16-1
16.1	特長 .....	16-1
16.2	入出力端子 .....	16-3
16.3	レジスタの説明 .....	16-4
16.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDRD) .....	16-4
16.3.2	A/D コントロール / ステータスレジスタ (ADCSR) .....	16-5
16.3.3	A/D コントロールレジスタ (ADCR) .....	16-7
16.4	バスマスタとのインタフェース .....	16-8
16.5	動作説明 .....	16-9
16.5.1	シングルモード .....	16-9
16.5.2	スキャンモード .....	16-11
16.5.3	入力サンプリングと A/D 変換時間 .....	16-12
16.5.4	外部トリガ入力タイミング .....	16-13

16.6	割り込み要因 .....	16-14
16.7	A/D変換精度の定義 .....	16-14
16.8	使用上の注意事項 .....	16-16
16.8.1	許容信号源インピーダンスについて .....	16-16
16.8.2	絶対精度への影響 .....	16-16
16.8.3	アナログ電源端子ほかの設定範囲 .....	16-16
16.8.4	ボード設計上の注意事項 .....	16-17
16.8.5	ノイズ対策上の注意事項 .....	16-17
16.8.6	モジュールストップモードの設定 .....	16-18
17.	D/A 変換器 .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-2
17.3	レジスタの説明 .....	17-3
17.3.1	D/A データレジスタ (DADR) .....	17-3
17.3.2	D/A コントロールレジスタ (DACR) .....	17-3
17.4	動作説明 .....	17-4
17.5	使用上の注意事項 .....	17-5
17.5.1	モジュールストップモードの設定 .....	17-5
18.	RAM .....	18-1
19.	フラッシュメモリ (F-ZTAT 版) .....	19-1
19.1	特長 .....	19-1
19.2	モード遷移図 .....	19-3
19.3	ブロック構成 .....	19-6
19.4	入出力端子 .....	19-7
19.5	レジスタの説明 .....	19-7
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....	19-8
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....	19-9
19.5.3	消去ブロック指定レジスタ 1 (EBR1) .....	19-10
19.5.4	消去ブロック指定レジスタ 2 (EBR2) .....	19-10
19.5.5	RAM エミュレーションレジスタ (RAMER) .....	19-11
19.5.6	シリアルコントロールレジスタ X (SCRX) .....	19-12
19.6	オンボードプログラミングモード .....	19-13
19.6.1	SCI ブートモード (HD64F2215、HD64F2215R、HD64F2215T) .....	19-14
19.6.2	USB ブートモード (HD64F2215U、HD64F2215RU、HD64F2215TU、HD64F2215CU) .....	19-17
19.6.3	ユーザプログラムモード .....	19-21
19.7	RAMによるフラッシュメモリのエミュレーション .....	19-22
19.8	フラッシュメモリの書き込み/消去 .....	19-24

19.8.1	プログラム/プログラムベリファイ .....	19-24
19.8.2	イレース/イレースベリファイ .....	19-26
19.9	書き込み/消去プロテクト .....	19-28
19.9.1	ハードウェアプロテクト .....	19-28
19.9.2	ソフトウェアプロテクト .....	19-28
19.9.3	エラープロテクト .....	19-28
19.10	フラッシュメモリの書き込み/消去時の割り込み .....	19-29
19.11	ライターモード .....	19-29
19.12	フラッシュメモリの低消費電力状態の注意 .....	19-30
19.13	フラッシュメモリの書き込み/消去時の注意 .....	19-30
19.14	F-ZTATマイコンのマスクROM化時の注意事項 .....	19-36
20.	マスク ROM .....	20-1
20.1	特長 .....	20-1
21.	クロック発振器 .....	21-1
21.1	レジスタの説明 .....	21-2
21.1.1	システムクロックコントロールレジスタ (SCKCR) .....	21-2
21.1.2	ローパワーコントロールレジスタ (LPWRCR) .....	21-3
21.2	システムクロック発振器 .....	21-4
21.2.1	水晶発振子を接続する方法 .....	21-4
21.2.2	セラミック発振子を接続する方法 (H8S/2215T) .....	21-5
21.2.3	外部クロックを入力する方法 .....	21-6
21.3	デューティ補正回路 .....	21-7
21.4	中速クロック分周器 .....	21-7
21.5	バスマスタクロック選択回路 .....	21-7
21.6	USB動作クロック (48MHz) .....	21-7
21.6.1	セラミック発振子を接続する方法 .....	21-8
21.6.2	外部 48MHz クロックを入力する方法 .....	21-8
21.6.3	外部 48MHz クロックを必要としない場合 (内蔵 PLL を使用する場合) の端子処理 .....	21-9
21.7	USB専用PLL回路 .....	21-10
21.8	使用上の注意事項 .....	21-11
21.8.1	発振子に関する注意事項 .....	21-11
21.8.2	ボード設計上の注意事項 .....	21-11
21.8.3	外部クロック切り替え時の注意事項 .....	21-11
22.	低消費電力状態 .....	22-1
22.1	レジスタの説明 .....	22-4
22.1.1	スタンバイコントロールレジスタ (SBYCR) .....	22-4
22.1.2	モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC) .....	22-5

22.2	中速モード	22-6
22.3	スリープモード	22-7
22.3.1	スリープモードへの遷移	22-7
22.3.2	スリープモードの解除	22-7
22.4	ソフトウェアスタンバイモード	22-8
22.4.1	ソフトウェアスタンバイモードへの遷移	22-8
22.4.2	ソフトウェアスタンバイモードの解除	22-8
22.4.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	22-8
22.4.4	ソフトウェアスタンバイモードの応用例	22-9
22.5	ハードウェアスタンバイモード	22-10
22.5.1	ハードウェアスタンバイモードへの遷移	22-10
22.5.2	ハードウェアスタンバイモードの解除	22-10
22.5.3	ハードウェアスタンバイモードのタイミング	22-10
22.5.4	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	22-11
22.6	モジュールストップモード	22-12
22.7	φクロック出力制御	22-12
22.8	使用上の注意事項	22-13
22.8.1	I/O ポートの状態	22-13
22.8.2	発振安定待機中の消費電流	22-13
22.8.3	DMAC、DTC のモジュールストップ	22-13
22.8.4	内蔵周辺モジュールの割り込み	22-13
22.8.5	MSTPCR のライト	22-13
23.	レジスタ一覧	23-1
23.1	レジスタアドレス一覧 (アドレス順)	23-2
23.2	レジスタビット一覧	23-10
23.3	各動作モードにおけるレジスタの状態	23-18
24.	電气的特性 (H8S/2215)	24-1
24.1	絶対最大定格	24-1
24.2	電源電圧と動作周波数範囲	24-2
24.3	DC特性	24-3
24.4	AC特性	24-6
24.4.1	クロックタイミング	24-6
24.4.2	制御信号タイミング	24-7
24.4.3	バスタイミング	24-9
24.4.4	内蔵周辺モジュールタイミング	24-14
24.5	USB特性	24-18
24.6	A/D変換特性	24-19
24.7	D/A変換特性	24-20

24.8	フラッシュメモリ特性 .....	24-20
24.9	使用上の注意事項 .....	24-21
25.	電気的特性 (H8S/2215R) .....	25-1
25.1	絶対最大定格 .....	25-1
25.2	電源電圧と動作周波数範囲 .....	25-2
25.3	DC特性 .....	25-3
25.4	AC特性 .....	25-6
25.4.1	クロックタイミング .....	25-6
25.4.2	制御信号タイミング .....	25-7
25.4.3	バスタイミング .....	25-9
25.4.4	内蔵周辺モジュールタイミング .....	25-14
25.5	USB特性 .....	25-18
25.6	A/D変換特性 .....	25-19
25.7	D/A変換特性 .....	25-20
25.8	フラッシュメモリ特性 .....	25-20
25.9	使用上の注意事項 .....	25-21
26.	電気的特性 (H8S/2215T) .....	26-1
26.1	絶対最大定格 .....	26-1
26.2	電源電圧と動作周波数範囲 .....	26-1
26.3	DC特性 .....	26-2
26.4	AC特性 .....	26-5
26.4.1	クロックタイミング .....	26-5
26.4.2	制御信号タイミング .....	26-6
26.4.3	バスタイミング .....	26-8
26.4.4	内蔵周辺モジュールタイミング .....	26-13
26.5	USB特性 .....	26-17
26.6	A/D変換特性 .....	26-18
26.7	D/A変換特性 .....	26-18
26.8	フラッシュメモリ特性 .....	26-19
26.9	使用上の注意事項 .....	26-20
27.	電気的特性 (H8S/2215C) .....	27-1
27.1	絶対最大定格 .....	27-1
27.2	電源電圧と動作周波数範囲 .....	27-2
27.3	DC特性 .....	27-3
27.4	AC特性 .....	27-6
27.4.1	クロックタイミング .....	27-6
27.4.2	制御信号タイミング .....	27-8

27.4.3	バスタイミング .....	27-10
27.4.4	内蔵周辺モジュールタイミング .....	27-15
27.5	USB特性 .....	27-19
27.6	A/D変換特性 .....	27-20
27.7	D/A変換特性 .....	27-21
27.8	フラッシュメモリ特性 .....	27-21
27.9	使用上の注意事項 .....	27-22
付録	.....	付録-1
A.	各端子状態におけるI/Oポートの状態 .....	付録-1
B.	型名一覧 .....	付録-5
C.	外形寸法図 .....	付録-6
本版で改訂された箇所	.....	改-1
索引	.....	索引-1

---

# 図目次

---

## 1. 概要

図1.1	内部ブロック図	1-3
図1.2	ピン配置図 (TFP-120、TFP-120V)	1-4
図1.3	ピン配置図 (BP-112、BP-112V)	1-5

## 2. CPU

図2.1	例外処理ベクタテーブル (ノーマルモード)	2-5
図2.2	ノーマルモードのスタック構造	2-5
図2.3	例外処理ベクタテーブル (アドバンスモード)	2-6
図2.4	アドバンスモードのスタック構造	2-7
図2.5	アドレス空間	2-8
図2.6	CPU内部レジスタ構成	2-9
図2.7	汎用レジスタの使用方法	2-10
図2.8	スタックの状態	2-11
図2.9	汎用レジスタのデータ形式 (1)	2-14
図2.9	汎用レジスタのデータ形式 (2)	2-15
図2.10	メモリ上でのデータ形式	2-16
図2.11	命令フォーマットの例	2-28
図2.12	メモリ間接による分岐アドレスの指定	2-32
図2.13	状態遷移図	2-35
図2.14	ライト専用ビットを含むレジスタのアクセス方法のフローチャート例	2-38

## 3. MCU 動作モード

図3.1	HD64F2215、HD64F2215Uのアドレスマップ	3-7
図3.2	HD6432215Bのアドレスマップ	3-8
図3.3	HD6432215Cのアドレスマップ	3-9
図3.4	HD64F2215R、HD64F2215RU、HD64F2215T、HD64F2215TU、HD64F2215CUのアドレスマップ	3-10

## 4. 例外処理

図4.1	リセットシーケンス (モード4)	4-4
図4.2	リセットシーケンス (モード6、7)	4-5
図4.3	例外処理終了後のスタックの状態	4-8
図4.4	SPを奇数に設定したときの動作	4-9

## 5. 割り込みコントローラ

図5.1	割り込みコントローラのブロック図	5-2
図5.2	IRQn割り込みのブロック図	5-8
図5.3	IRQnFのセットタイミング	5-9
図5.4	割り込み制御モード0の割り込み受け付けまでのフロー	5-13
図5.5	割り込み制御モード2の割り込み受け付けまでのフロー	5-15
図5.6	割り込み例外処理	5-16
図5.7	DTC、DMACと割り込み制御	5-18
図5.8	割り込みの発生とディスエーブルの競合	5-20

## 6. バスコントローラ

図6.1	バスコントローラのブロック図	6-2
図6.2	エリア分割の様子	6-10
図6.3	$\overline{CSn}$ 信号出力タイミング (n=0~7)	6-13
図6.4	内蔵メモリアクセスサイクル	6-14
図6.5	内蔵メモリアクセス時の端子状態	6-14
図6.6	内蔵周辺モジュールアクセスサイクル	6-15
図6.7	内蔵周辺モジュールアクセス時の端子状態	6-15
図6.8	アクセスサイズとデータアライメント制御 (8ビットアクセス空間)	6-16
図6.9	アクセスサイズとデータアライメント制御 (16ビットアクセス空間)	6-17
図6.10	8ビット2ステートアクセス空間のバスタイミング	6-18
図6.11	8ビット3ステートアクセス空間のバスタイミング (エリア6以外)	6-19
図6.12	エリア6のバスタイミング	6-20
図6.13	16ビット2ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)	6-21
図6.14	16ビット2ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)	6-22
図6.15	16ビット2ステートアクセス空間のバスタイミング (3) (ワードアクセス)	6-23
図6.16	16ビット3ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)	6-24
図6.17	16ビット3ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)	6-25
図6.18	16ビット3ステートアクセス空間のバスタイミング (3) (ワードアクセス)	6-26
図6.19	ウェイトステート挿入タイミング例	6-27
図6.20	バーストROMアクセスタイミング例 (AST0 = BRSTS1 = 1の場合)	6-28
図6.21	バーストROMアクセスタイミング例 (AST0 = BRSTS1 = 0の場合)	6-29
図6.22	アイドルサイクル動作例 (1)	6-30
図6.23	アイドルサイクル動作例 (2)	6-31
図6.24	チップセレクト ( $\overline{CS}$ ) とリード ( $\overline{RD}$ ) の関係	6-32
図6.25	バス権解放状態遷移タイミング	6-34

## 7. DMA コントローラ (DMAC)

図7.1	DMACのブロック図	7-2
図7.2	DTCによるレジスタ再設定領域 (例: チャンネル0A)	7-18

図7.3	シーケンシャルモードの動作	7-22
図7.4	シーケンシャルモードの設定手順例	7-23
図7.5	アイドルモードの動作	7-24
図7.6	アイドルモードの設定手順例	7-25
図7.7	リピートモードの動作図	7-27
図7.8	リピートモードの設定手順例	7-28
図7.9	ノーマルモードの動作	7-30
図7.10	ノーマルモードの設定手順例	7-31
図7.11	ブロック転送モードの動作 (BLKDIR = 0)	7-33
図7.12	ブロック転送モードの動作 (BLKDIR = 1)	7-34
図7.13	ブロック転送モードの動作フロー	7-35
図7.14	ブロック転送モードの設定手順例	7-36
図7.15	DMA転送バスタイミング例	7-38
図7.16	ショートアドレスモード転送例	7-39
図7.17	フルアドレスモード (サイクルスチール) 転送例	7-40
図7.18	フルアドレスモード (バーストモード) 転送例	7-40
図7.19	フルアドレスモード (ブロック転送モード) 転送例	7-41
図7.20	$\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例	7-42
図7.21	複数チャンネル転送例	7-43
図7.22	NMI割り込みにより中断したチャンネルの転送継続手順例	7-44
図7.23	DMAC動作の強制終了手順例	7-45
図7.24	フルアドレスモード解除手順例	7-45
図7.25	転送終了 / 転送中断割り込みのブロック図	7-46
図7.26	DMACレジスタの更新タイミング	7-47
図7.27	DMACレジスタの更新とCPUリードの競合	7-48
8. データトランスファコントローラ (DTC)		
図8.1	DTCのブロック図	8-2
図8.2	DTC起動要因制御ブロック図	8-7
図8.3	アドレス空間上でのDTCレジスタ情報の配置	8-8
図8.4	DTCベクタアドレスとレジスタ情報との対応	8-8
図8.5	DTC動作フローチャート	8-10
図8.6	ノーマルモードのメモリマップ	8-12
図8.7	リピートモードのメモリマップ	8-13
図8.8	ブロック転送モードのメモリマップ	8-14
図8.9	チェイン転送の動作	8-15
図8.10	DTCの動作タイミング (ノーマルモード、リピートモードの例)	8-17
図8.11	DTCの動作タイミング (ブロック転送モード、ブロックサイズ=2の例)	8-17
図8.12	DTCの動作タイミング (チェイン転送の例)	8-17

## 10. 16ビットタイムパルスユニット (TPU)

図10.1	TPUのブロック図	10-2
図10.2	16ビットレジスタのアクセス動作 (バスマスタ↔TCNT (16ビット))	10-25
図10.3	8ビットレジスタのアクセス動作 (バスマスタ↔TCR (上位8ビット))	10-25
図10.4	8ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位8ビット))	10-26
図10.5	8ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16ビット))	10-26
図10.6	カウンタ動作設定手順例	10-27
図10.7	フリーランニングカウンタの動作	10-28
図10.8	周期カウンタの動作	10-29
図10.9	コンペアマッチによる波形出力動作例	10-29
図10.10	0出力 / 1出力の動作例	10-30
図10.11	トグル出力の動作例	10-30
図10.12	インプットキャプチャ動作の設定例	10-31
図10.13	インプットキャプチャ動作例	10-32
図10.14	同期動作の設定手順例	10-33
図10.15	同期動作の動作例	10-34
図10.16	コンペアマッチバッファ動作	10-34
図10.17	インプットキャプチャバッファ動作	10-35
図10.18	バッファ動作の設定手順例	10-35
図10.19	バッファ動作例 (1)	10-36
図10.20	バッファ動作例 (2)	10-37
図10.21	PWMモードの設定手順例	10-38
図10.22	PWMモードの動作例 (1)	10-39
図10.23	PWMモードの動作例 (2)	10-39
図10.24	PWMモードの動作例 (3)	10-40
図10.25	位相計数モードの設定手順例	10-41
図10.26	位相計数モード1の動作例	10-42
図10.27	位相計数モード2の動作例	10-43
図10.28	位相計数モード3の動作例	10-44
図10.29	位相計数モード4の動作例	10-45
図10.30	内部クロック動作時のカウントタイミング	10-48
図10.31	外部クロック動作時のカウントタイミング	10-48
図10.32	アウトプットコンペア出力タイミング	10-49
図10.33	インプットキャプチャ入力信号タイミング	10-49
図10.34	カウンタクリアタイミング (コンペアマッチ)	10-50
図10.35	カウンタクリアタイミング (インプットキャプチャ)	10-50
図10.36	バッファ動作タイミング (コンペアマッチ)	10-51
図10.37	バッファ動作タイミング (インプットキャプチャ)	10-51
図10.38	TGI割り込みタイミング (コンペアマッチ)	10-52
図10.39	TGI割り込みタイミング (インプットキャプチャ)	10-52

図10.40 TCIV割り込みのセットタイミング	10-53
図10.41 TCIU割り込みのセットタイミング	10-53
図10.42 CPUによるステータスフラグのクリアタイミング	10-54
図10.43 DTCまたはDMACの起動によるステータスフラグのクリアタイミング	10-54
図10.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-55
図10.45 TCNTのライトとクリアの競合	10-56
図10.46 TCNTのライトとカウントアップの競合	10-56
図10.47 TGRのライトとコンペアマッチの競合	10-57
図10.48 バッファレジスタのライトとコンペアマッチの競合	10-57
図10.49 TGRのリードとインプットキャプチャの競合	10-58
図10.50 TGRのライトとインプットキャプチャの競合	10-58
図10.51 バッファレジスタのライトとインプットキャプチャの競合	10-59
図10.52 オーバフローとカウンタクリアの競合	10-59
図10.53 TCNTのライトとオーバフローの競合	10-60

## 11. 8ビットタイマ (TMR)

図11.1 8ビットタイマのブロック図	11-2
図11.2 パルス出力例	11-9
図11.3 内部クロック動作時のカウントタイミング	11-10
図11.4 外部クロック動作時のカウントタイミング	11-10
図11.5 コンペアマッチ時のCMFフラグのセットタイミング	11-11
図11.6 コンペアマッチA信号によるトグル出力のタイマ出力タイミング	11-11
図11.7 コンペアマッチによるカウンタクリアタイミング	11-12
図11.8 外部リセット入力によるクリアタイミング	11-12
図11.9 OVFフラグのセットタイミング	11-13
図11.10 TCNTのライトとクリアの競合	11-16
図11.11 TCNTのライトとカウントアップの競合	11-17
図11.12 TCORのライトとコンペアマッチの競合	11-18

## 12. ウォッチドッグタイマ (WDT)

図12.1 WDTのブロック図	12-2
図12.2 ウォッチドッグタイマモード時の動作	12-5
図12.3 WOVFのセットタイミング	12-6
図12.4 インターバルタイマモード時の動作	12-6
図12.5 OVFのセットタイミング	12-7
図12.6 TCNT、TCSRへのライト	12-8
図12.7 RSTCSRへのライト	12-9
図12.8 TCNTのライトとカウントアップの競合	12-9

### 13. シリアルコミュニケーションインタフェース (SCI)

図13.1	SCI_0のブロック図 (H8S/2215)	13-3
図13.2	SCI_0のブロック図 (H8S/2215R、H8S/2215T、H8S/2215C)	13-4
図13.3	SCI_1、SCI_2のブロック図	13-5
図13.4	平均転送レートが選択されたときの基本クロック例 (1)	13-21
図13.4	平均転送レートが選択されたときの基本クロック例 (2)	13-22
図13.5	TPUクロック入力時の平均転送レート設定例 (1)	13-23
図13.5	TPUクロック入力時の平均転送レート設定例 (2)	13-24
図13.5	TPUクロック入力時の平均転送レート設定例 (3)	13-25
図13.5	TPUクロック入力時の平均転送レート設定例 (4)	13-26
図13.6	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	13-37
図13.7	調歩同期式モードの受信データサンプリングタイミング	13-39
図13.8	出力クロックと送信データの位相関係 (調歩同期式モード)	13-40
図13.9	SCIの初期化フローチャートの例	13-41
図13.10	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	13-42
図13.11	シリアルデータ送信のフローチャートの例	13-43
図13.12	SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	13-44
図13.13	シリアル受信データフローチャートの例 (1)	13-45
図13.13	シリアル受信データフローチャートの例 (2)	13-46
図13.14	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例)	13-47
図13.15	マルチプロセッサシリアル送信のフローチャートの例	13-48
図13.16	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	13-49
図13.17	マルチプロセッサシリアル受信のフローチャートの例 (1)	13-50
図13.17	マルチプロセッサシリアル受信のフローチャートの例 (2)	13-51
図13.18	クロック同期式通信のデータフォーマット (LSBファーストの場合)	13-52
図13.19	SCIの初期化フローチャートの例	13-53
図13.20	クロック同期式モードの送信時の動作例	13-54
図13.21	シリアルデータ送信のフローチャートの例	13-55
図13.22	SCIの受信時の動作例	13-56
図13.23	シリアルデータ受信フローチャートの例	13-57
図13.24	シリアル送受信同時動作のフローチャートの例	13-58
図13.25	スマートカードインタフェース端子接続概要	13-59
図13.26	通常のスマートカードインタフェースのデータフォーマット	13-60
図13.27	ダイレクトコンベンション (SDIR = SINV = $O/\bar{E}$ = 0)	13-60
図13.28	インバースコンベンション (SDIR = SINV = $O/\bar{E}$ = 1)	13-60
図13.29	スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)	13-62
図13.30	SCI送信モードの場合の再転送動作	13-64

図13.31	送信動作時のTENDフラグ発生タイミング	13-64
図13.32	送信処理フローの例	13-65
図13.33	SCI受信モードの場合の再転送動作	13-66
図13.34	受信フローの例	13-67
図13.35	クロック出力固定タイミング	13-67
図13.36	クロック停止・再起動手順	13-68
図13.37	SCIセレクト機能による通信例	13-69
図13.38	SCIセレクト機能の動作概要	13-70
図13.39	DMAC、DTCによるクロック同期式送信時の例	13-74
図13.40	送信時のモード遷移フローチャートの例	13-75
図13.41	内部クロック、調歩同期送信の場合のポート端子状態	13-75
図13.42	内部クロック、クロック同期送信の場合のポート端子状態	13-76
図13.43	受信時のモード遷移フローチャートの例	13-77
図13.44	SCK端子からポート端子へ切り替えるときの動作	13-78
図13.45	SCK端子からポート端子へ切り替えるときの動作（Low出力の回避例）	13-78
14. バウンダリスキャン		
図14.1	バウンダリスキャンのブロック図	14-2
図14.2	バウンダリスキャンレジスタの簡略図（入出力端子の例）	14-7
図14.3	TAPコントローラ状態遷移図	14-14
図14.4	相互干渉しないリセット系信号の設計例	14-15
図14.5	シリアルデータ入出力	14-15
15. ユニバーサルシリアルバス（USB）		
図15.1	USBのブロック図	15-3
図15.2	Bluetooth規格対応のエンドポイント構成例	15-10
図15.3	初期設定の動作	15-52
図15.4	USBケーブル接続時の動作 （USBモジュールストップ、ソフトウェアスタンバイを使用しない場合）	15-53
図15.5	USBケーブル接続時の動作 （USBモジュールストップ、ソフトウェアスタンバイを使用する場合）	15-54
図15.6	USBケーブル切断時の動作 （USBモジュールストップ、ソフトウェアスタンバイを使用しない場合）	15-55
図15.7	USBケーブル切断時の動作 （USBモジュールストップ、ソフトウェアスタンバイを使用する場合）	15-56
図15.8	サスペンド/レジューム処理のフローチャート例	15-57
図15.9	サスペンド/レジューム時の割り込み処理フローチャート例	15-58
図15.10	サスペンド/リモートウェイクアップ処理のフローチャート例	15-59
図15.11	リモートウェイクアップ割り込み処理のフローチャート例	15-60
図15.12	各転送ステージの構成	15-61
図15.13	セットアップステージの動作	15-61

図15.14 データステージ（コントロールイン時）の動作	15-62
図15.15 データステージ（コントロールアウト時）の動作	15-63
図15.16 ステータスステージ（コントロールイン時）の動作	15-64
図15.17 ステータスステージ（コントロールアウト時）の動作	15-65
図15.18 EP1iインタラプトイン転送の動作	15-66
図15.19 EP2iバルクイン転送の動作	15-68
図15.20 EP2oバルクアウト転送の動作	15-69
図15.21 EP3iアイソクロナスイン転送の動作	15-71
図15.22 EP3oアイソクロナスアウト転送の動作	15-73
図15.23 ファームウェアで強制的にストールさせたい場合	15-76
図15.24 USBファンクションモジュールが自動的にストールさせた場合	15-77
図15.25 UTRG0レジスタのEP2iPKTE動作	15-79
図15.26 UTRG0レジスタのEP2oRDFN動作	15-80
図15.27 UTRG0レジスタのEP2iPKTE動作（オートリクエスト）	15-81
図15.28 UTRG0レジスタのEP2oRDFN動作（オートリクエスト）	15-82
図15.29 エンドポイント構成の別例	15-82
図15.30 バスパワーモード時の回路例（内蔵トランシーバ使用時）	15-87
図15.31 セルフパワーモード時の回路例（内蔵トランシーバ使用時）	15-88
図15.32 バスパワーモード時の回路例（外付けトランシーバ使用時）	15-89
図15.33 セルフパワーモード時の回路例（外付けトランシーバ使用時）	15-90
図15.34 10バイトデータ受信例	15-93
図15.35 EP3oデータ受信	15-93
図15.36 ソフトウェアスタンバイモードへの遷移と解除時のフロー図	15-96
図15.37 ソフトウェアスタンバイモードへの遷移と解除時のタイミング図	15-97
図15.38 TR割り込みフラグのセットタイミング	15-98

## 16. A/D 変換器

図16.1 A/D変換器のブロック図	16-2
図16.2 ADDRのアクセス動作（H'AA40リード時）	16-8
図16.3 A/D変換器の動作例（シングルモード チャネル1選択時）	16-10
図16.4 A/D変換器の動作例（スキャンモード AN0～AN2の3チャンネル選択時）	16-11
図16.5 A/D変換タイミング	16-12
図16.6 外部トリガ入力タイミング	16-13
図16.7 A/D変換精度の定義（1）	16-15
図16.8 A/D変換精度の定義（2）	16-15
図16.9 アナログ入力回路の例	16-16
図16.10 アナログ入力保護回路の例	16-17
図16.11 アナログ入力端子等価回路	16-18

## 17. D/A 変換器

図17.1 D/A変換器のブロック図.....	17-1
図17.2 D/A変換器の動作例 .....	17-4

## 19. フラッシュメモリ (F-ZTAT 版)

図19.1 フラッシュメモリのブロック図.....	19-2
図19.2 フラッシュメモリに関する状態遷移 .....	19-3
図19.3 ブートモード (例) .....	19-4
図19.4 ユーザプログラムモード (例) .....	19-5
図19.5 フラッシュメモリのブロック構成.....	19-6
図19.6 SCIブートモード時のシステム構成図.....	19-14
図19.7 USBブートモード時のシステム構成図 .....	19-18
図19.8 ユーザモードにおける書き込み / 消去例.....	19-21
図19.9 RAMによるエミュレーションフロー.....	19-22
図19.10 RAMのオーバーラップ例 .....	19-23
図19.11 プログラム / プログラムベリファイフロー .....	19-25
図19.12 イレース / イレースベリファイフロー .....	19-27
図19.13 ライタモード時のメモリマップ.....	19-29
図19.14 電源投入 / 切断タイミング (ブートモード) .....	19-33
図19.15 電源投入 / 切断タイミング (ユーザプログラムモード) .....	19-34
図19.16 モード遷移タイミング (例: ブートモード→ユーザモード↔ユーザプログラムモード) .....	19-35

## 20. マスク ROM

図20.1 マスクROMのブロック図 (256Kバイトの例) .....	20-1
--------------------------------------	------

## 21. クロック発振器

図21.1 クロック発振器のブロック図.....	21-1
図21.2 水晶発振子の接続例 .....	21-4
図21.3 水晶発振子の等価回路 .....	21-4
図21.4 セラミック発振子の接続例.....	21-5
図21.5 外部クロックの接続例 .....	21-6
図21.6 外部クロック入力タイミング.....	21-7
図21.7 セラミック発振子の接続例.....	21-8
図21.8 外部48MHzクロックの接続例.....	21-8
図21.9 外部48MHzクロック入力タイミング.....	21-9
図21.10 外部48MHzクロックを必要としない場合の端子処理 .....	21-9
図21.11 PLL周りの外部回路例 .....	21-10
図21.12 発振回路部のボード設計に関する注意事項.....	21-11
図21.13 外部クロック切り替え回路例.....	21-11
図21.14 外部クロック切り替えタイミング例.....	21-12

## 22. 低消費電力状態

図22.1	モード遷移図	22-3
図22.2	中速モードの遷移・解除タイミング	22-7
図22.3	ソフトウェアスタンバイモードの応用例	22-9
図22.4	ハードウェアスタンバイモードのタイミング	22-10
図22.5	ハードウェアスタンバイモードの遷移タイミング	22-11
図22.6	ハードウェアスタンバイモードからの復帰タイミング	22-11

## 24. 電気的特性 (H8S/2215)

図24.1	電源電圧と動作範囲	24-2
図24.2	出力負荷回路	24-6
図24.3	システムクロックタイミング	24-7
図24.4	発振安定時間タイミング	24-7
図24.5	リセット入力タイミング	24-8
図24.6	割り込み入力タイミング	24-8
図24.7	基本バスタイミング/2ステートアクセス	24-10
図24.8	基本バスタイミング/3ステートアクセス	24-11
図24.9	基本バスタイミング/3ステートアクセス1ウェイト	24-12
図24.10	バーストROMアクセスタイミング/2ステートアクセス	24-13
図24.11	外部バス権解放タイミング	24-13
図24.12	I/Oポート入出力タイミング	24-15
図24.13	TPU入出力タイミング	24-15
図24.14	TPUクロック入力タイミング	24-16
図24.15	8ビットタイマ出力タイミング	24-16
図24.16	8ビットタイマクロック入力タイミング	24-16
図24.17	8ビットタイマリセット入力タイミング	24-16
図24.18	SCKクロック入力タイミング	24-16
図24.19	SCI入出力タイミング/クロック同期式モード	24-17
図24.20	A/D変換器外部トリガ入力タイミング	24-17
図24.21	バウンダリスキャンTCK入力タイミング	24-17
図24.22	バウンダリスキャン $\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	24-17
図24.23	バウンダリスキャンデータ転送タイミング	24-18
図24.24	データ信号タイミング	24-19
図24.25	負荷条件	24-19

## 25. 電気的特性 (H8S/2215R)

図25.1	電源電圧と動作範囲	25-2
図25.2	出力負荷回路	25-6
図25.3	システムクロックタイミング	25-7
図25.4	発振安定時間タイミング	25-7

図25.5	リセット入力タイミング	25-8
図25.6	割り込み入力タイミング	25-8
図25.7	基本バスタイミング/2ステートアクセス	25-10
図25.8	基本バスタイミング/3ステートアクセス	25-11
図25.9	基本バスタイミング/3ステートアクセス1ウェイト	25-12
図25.10	バーストROMアクセスタイミング/2ステートアクセス	25-13
図25.11	外部バス権解放タイミング	25-13
図25.12	I/Oポート入出力タイミング	25-15
図25.13	TPU入出力タイミング	25-15
図25.14	TPUクロック入力タイミング	25-16
図25.15	8ビットタイマ出力タイミング	25-16
図25.16	8ビットタイマクロック入力タイミング	25-16
図25.17	8ビットタイマリセット入力タイミング	25-16
図25.18	SCKクロック入力タイミング	25-16
図25.19	SCI入出力タイミング/クロック同期式モード	25-17
図25.20	A/D変換器外部トリガ入力タイミング	25-17
図25.21	バウンダリスキャンTCK入力タイミング	25-17
図25.22	バウンダリスキャン $\overline{\text{TRST}}$ 入力タイミング(リセットホールド時)	25-17
図25.23	バウンダリスキャンデータ転送タイミング	25-18
図25.24	データ信号タイミング	25-19
図25.25	負荷条件	25-19

## 26. 電気的特性 (H8S/2215T)

図26.1	電源電圧と動作範囲	26-1
図26.2	出力負荷回路	26-5
図26.3	システムクロックタイミング	26-6
図26.4	発振安定時間タイミング	26-6
図26.5	リセット入力タイミング	26-7
図26.6	割り込み入力タイミング	26-7
図26.7	基本バスタイミング/2ステートアクセス	26-9
図26.8	基本バスタイミング/3ステートアクセス	26-10
図26.9	基本バスタイミング/3ステートアクセス1ウェイト	26-11
図26.10	バーストROMアクセスタイミング/2ステートアクセス	26-12
図26.11	外部バス権解放タイミング	26-12
図26.12	I/Oポート入出力タイミング	26-14
図26.13	TPU入出力タイミング	26-14
図26.14	TPUクロック入力タイミング	26-14
図26.15	8ビットタイマ出力タイミング	26-14
図26.16	8ビットタイマクロック入力タイミング	26-15
図26.17	8ビットタイマリセット入力タイミング	26-15

図26.18	SCKクロック入力タイミング	26-15
図26.19	SCI入出力タイミング/クロック同期式モード	26-15
図26.20	A/D変換器外部トリガ入力タイミング	26-15
図26.21	バウンダリスキャンTCK入力タイミング	26-16
図26.22	バウンダリスキャン $\overline{\text{TRST}}$ 入力タイミング(リセットホールド時)	26-16
図26.23	バウンダリスキャンデータ転送タイミング	26-16
図26.24	データ信号タイミング	26-17
図26.25	負荷条件	26-17

## 27. 電気的特性 (H8S/2215C)

図27.1	電源電圧と動作範囲	27-2
図27.2	出力負荷回路	27-6
図27.3	システムクロックタイミング	27-7
図27.4	発振安定時間タイミング	27-7
図27.5	リセット入力タイミング	27-8
図27.6	割り込み入力タイミング	27-9
図27.7	基本バスタイミング/2ステートアクセス	27-11
図27.8	基本バスタイミング/3ステートアクセス	27-12
図27.9	基本バスタイミング/3ステートアクセス1ウェイト	27-13
図27.10	バーストROMアクセスタイミング/2ステートアクセス	27-14
図27.11	外部バス権解放タイミング	27-14
図27.12	I/Oポート入出力タイミング	27-16
図27.13	TPU入出力タイミング	27-16
図27.14	TPUクロック入力タイミング	27-17
図27.15	8ビットタイマ出力タイミング	27-17
図27.16	8ビットタイマクロック入力タイミング	27-17
図27.17	8ビットタイマリセット入力タイミング	27-17
図27.18	SCKクロック入力タイミング	27-17
図27.19	SCI入出力タイミング/クロック同期式モード	27-18
図27.20	A/D変換器外部トリガ入力タイミング	27-18
図27.21	バウンダリスキャンTCK入力タイミング	27-18
図27.22	バウンダリスキャン $\overline{\text{TRST}}$ 入力タイミング(リセットホールド時)	27-18
図27.23	バウンダリスキャンデータ転送タイミング	27-19
図27.24	データ信号タイミング	27-20
図27.25	負荷条件	27-20

## 付録

図C.1	外形寸法図 (TFP-120、TFP-120V)	付録-6
図C.2	外形寸法図 (BP-112、BP-112V)	付録-7

---

# 表目次

---

## 2. CPU

表2.1	命令の分類	2-17
表2.2	オペレーションの記号	2-18
表2.3	データ転送命令	2-19
表2.4	算術演算命令 (1)	2-20
表2.4	算術演算命令 (2)	2-21
表2.5	論理演算命令	2-22
表2.6	シフト命令	2-22
表2.7	ビット操作命令 (1)	2-23
表2.7	ビット操作命令 (2)	2-24
表2.8	分岐命令	2-25
表2.9	システム制御命令	2-26
表2.10	ブロック転送命令	2-27
表2.11	アドレッシングモード一覧表	2-29
表2.12	絶対アドレスのアクセス範囲	2-30
表2.13	実行アドレスの計算方法 (1)	2-32
表2.13	実行アドレスの計算方法 (2)	2-33

## 3. MCU 動作モード

表3.1	MCU動作モードの選択	3-1
表3.2	モード7でのUSBサポート	3-5
表3.3	各動作モードにおける端子機能	3-5

## 4. 例外処理

表4.1	例外処理の種類と優先度	4-1
表4.2	例外処理要因とベクタアドレスとの対応	4-2
表4.3	リセットの種類	4-3
表4.4	トレース例外処理後のCCR、EXRの状態	4-6
表4.5	トラップ命令例外処理後のCCR、EXRの状態	4-7

## 5. 割り込みコントローラ

表5.1	端子構成	5-2
表5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (1)	5-10
表5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (2)	5-11

表5.3	割り込み制御モード .....	5-12
表5.4	割り込み応答時間 .....	5-17
表5.5	割り込み例外処理の実行状態のステート数 .....	5-17
表5.6	割り込み要因の選択とクリア制御 .....	5-19
6.	バスコントローラ	
表6.1	端子構成 .....	6-3
表6.2	各エリアのバス仕様（基本バスインタフェース） .....	6-11
表6.3	使用するデータバスと有効ストロブ .....	6-17
表6.4	アイドルサイクルでの端子状態 .....	6-32
表6.5	バス権解放状態での端子状態 .....	6-33
7.	DMA コントローラ（DMAC）	
表7.1	ショートアドレスモードとフルアドレスモード（1チャンネル分：チャンネル0の例） .....	7-4
表7.2	DMACの転送モード .....	7-20
表7.3	シーケンシャルモード時のレジスタの機能 .....	7-21
表7.4	アイドルモード時のレジスタの機能 .....	7-24
表7.5	リピートモード時のレジスタの機能 .....	7-26
表7.6	ノーマルモード時のレジスタの機能 .....	7-29
表7.7	ブロック転送モード時のレジスタの機能 .....	7-32
表7.8	DMACの起動要因 .....	7-37
表7.9	DMACのチャンネル間優先順位 .....	7-43
表7.10	割り込み要因と優先度 .....	7-46
8.	データトランスファコントローラ（DTC）	
表8.1	起動要因とDTCERのクリア .....	8-7
表8.2	DTC起動要因とDTCベクタアドレスおよび対応するDTCE .....	8-9
表8.3	DTCの機能概要 .....	8-11
表8.4	ノーマルモードのレジスタ機能 .....	8-12
表8.5	リピートモードのレジスタ機能 .....	8-13
表8.6	ブロック転送モードのレジスタ機能 .....	8-14
表8.7	DTCの実行状態 .....	8-18
表8.8	実行状態に必要なステート数 .....	8-18
9.	I/O ポート	
表9.1	ポートの機能一覧 .....	9-1
表9.2	P17の端子機能 .....	9-6
表9.3	P16の端子機能 .....	9-6
表9.4	P15の端子機能 .....	9-7
表9.5	P14の端子機能 .....	9-7

表9.6	P13の端子機能	9-7
表9.7	P12の端子機能	9-8
表9.8	P11の端子機能	9-8
表9.9	P10の端子機能	9-8
表9.10	P36の端子機能	9-11
表9.11	P35の端子機能	9-11
表9.12	P34の端子機能	9-11
表9.13	P33の端子機能	9-12
表9.14	P32の端子機能	9-12
表9.15	P31の端子機能	9-12
表9.16	P30の端子機能	9-12
表9.17	P74の端子機能	9-15
表9.18	P73の端子機能	9-15
表9.19	P72の端子機能	9-15
表9.20	P71の端子機能	9-16
表9.21	P70の端子機能	9-16
表9.22	PA3の端子機能	9-20
表9.23	PA2の端子機能	9-21
表9.24	PA1の端子機能	9-21
表9.25	PA0の端子機能	9-21
表9.26	ポートA入力プルアップMOSの状態	9-22
表9.27	PB7の端子機能	9-24
表9.28	PB6の端子機能	9-25
表9.29	PB5の端子機能	9-25
表9.30	PB4の端子機能	9-25
表9.31	PB3の端子機能	9-25
表9.32	PB2の端子機能	9-25
表9.33	PB1の端子機能	9-25
表9.34	PB0の端子機能	9-26
表9.35	ポートB入力プルアップMOSの状態	9-26
表9.36	PC7の端子機能	9-28
表9.37	PC6の端子機能	9-29
表9.38	PC5の端子機能	9-29
表9.39	PC4の端子機能	9-29
表9.40	PC3の端子機能	9-29
表9.41	PC2の端子機能	9-29
表9.42	PC1の端子機能	9-29
表9.43	PC0の端子機能	9-29
表9.44	ポートC入力プルアップMOSの状態	9-30
表9.45	PD7の端子機能	9-32
表9.46	PD6の端子機能	9-33

表9.47	PD5の端子機能	9-33
表9.48	PD4の端子機能	9-33
表9.49	PD3の端子機能	9-33
表9.50	PD2の端子機能	9-33
表9.51	PD1の端子機能	9-33
表9.52	PD0の端子機能	9-33
表9.53	ポートD入力プルアップの状態	9-34
表9.54	PE7の端子機能	9-37
表9.55	PE6の端子機能	9-37
表9.56	PE5の端子機能	9-37
表9.57	PE4の端子機能	9-38
表9.58	PE3の端子機能	9-38
表9.59	PE2の端子機能	9-38
表9.60	PE1の端子機能	9-38
表9.61	PE0の端子機能	9-38
表9.62	ポートE入力プルアップの状態	9-39
表9.63	PF7の端子機能	9-41
表9.64	PF6の端子機能	9-41
表9.65	PF5の端子機能	9-41
表9.66	PF4の端子機能	9-41
表9.67	PF3の端子機能	9-42
表9.68	PF2の端子機能	9-42
表9.69	PF1の端子機能	9-42
表9.70	PF0の端子機能	9-42
表9.71	PG4の端子機能	9-44
表9.72	PG3の端子機能	9-44
表9.73	PG2の端子機能	9-44
表9.74	PG1の端子機能	9-44
表9.75	PG0の端子機能	9-45
表9.76	未使用の入力端子の処理例	9-45

## 10. 16ビットタイマパルスユニット (TPU)

表10.1	TPUの機能一覧	10-3
表10.2	TPUの端子構成	10-5
表10.3	CCLR2 ~ CCLR0 (チャンネル0)	10-8
表10.4	CCLR2 ~ CCLR0 (チャンネル1、2)	10-8
表10.5	TPSC2 ~ TPSC0 (チャンネル0)	10-8
表10.6	TPSC2 ~ TPSC0 (チャンネル1)	10-9
表10.7	TPSC2 ~ TPSC0 (チャンネル2)	10-9
表10.8	MD3 ~ MD0	10-11

表10.9	TIORH_0 (チャンネル0)	10-12
表10.10	TIORH_0 (チャンネル0)	10-13
表10.11	TIORL_0 (チャンネル0)	10-14
表10.12	TIORL_0 (チャンネル0)	10-15
表10.13	TIOR_1 (チャンネル1)	10-16
表10.14	TIOR_1 (チャンネル1)	10-17
表10.15	TIOR_2 (チャンネル2)	10-18
表10.16	TIOR_2 (チャンネル2)	10-19
表10.17	レジスタの組み合わせ	10-34
表10.18	各PWM出力のレジスタと出力端子	10-38
表10.19	位相計数モードクロック入力端子	10-41
表10.20	位相計数モード1のアップ/ダウンカウント条件	10-42
表10.21	位相計数モード2のアップ/ダウンカウント条件	10-43
表10.22	位相計数モード3のアップ/ダウンカウント条件	10-44
表10.23	位相計数モード4のアップ/ダウンカウント条件	10-45
表10.24	TPU割り込み一覧	10-46
11.	8ビットタイマ (TMR)	
表11.1	端子構成	11-3
表11.2	TCNTに入力するクロックとカウント条件	11-6
表11.3	8ビットタイマの割り込み要因	11-15
表11.4	タイマ出力の優先順位	11-18
表11.5	内部クロックの切り替えとTCNTの動作	11-19
12.	ウォッチドッグタイマ (WDT)	
表12.1	WDTの割り込み要因	12-7
13.	シリアルコミュニケーションインタフェース (SCI)	
表13.1	端子構成	13-5
表13.2	BRRの設定値NとビットレートBの関係	13-30
表13.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕	13-31
表13.4	各動作周波数における最大ビットレート (調歩同期式モード)	13-34
表13.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	13-34
表13.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕	13-35
表13.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	13-35
表13.8	ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)	13-36
表13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモード)	13-36
表13.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	13-38
表13.11	SSRのステータスフラグの状態と受信データの処理	13-45

表13.12	SCI割り込み要因	13-71
表13.13	スマートカードインタフェースモードの割り込み要因	13-72
14. バウンダリスキャン		
表14.1	端子構成	14-3
表14.2	インストラクション構成	14-4
表14.3	IDCODEレジスタ構成	14-6
表14.4	本LSIの端子とバウンダリスキャンレジスタの対応	14-8
15. ユニバーサルシリアルバス (USB)		
表15.1	端子構成	15-4
表15.2	EPINFOデータ設定例	15-11
表15.3	UTSTR0設定と端子出力値の関係	15-47
表15.4	端子入力値とUTSTR1モニタの関係	15-48
表15.5	割り込み信号一覧	15-50
表15.6	ファームウェアでのコマンドデコード	15-74
表15.7	レジスタ名称変更レジスタ一覧表	15-83
表15.8	ビット名称変更レジスタ一覧表	15-84
表15.9	EPINFOデータ設定の別例	15-85
16. A/D 変換器		
表16.1	端子構成	16-3
表16.2	アナログ入力チャンネルとADDRの対応	16-4
表16.3	A/D変換時間 (シングルモード)	16-13
表16.4	A/D変換時間 (スキャンモード)	16-13
表16.5	A/D変換器の割り込み要因	16-14
表16.6	アナログ端子の規格	16-18
17. D/A 変換器		
表17.1	端子構成	17-2
19. フラッシュメモリ (F-ZTAT 版)		
表19.1	ブートモードとユーザプログラムモードの相違点	19-3
表19.2	端子構成	19-7
表19.3	オンボードプログラミングモード設定方法	19-13
表19.4	SCIブートモードの動作	19-16
表19.5	ビットレート自動合わせ込みが可能なシステムクロック周波数	19-16
表19.6	エニユメレーション情報	19-17
表19.7	USBブートモードの動作	19-20
表19.8	フラッシュメモリの動作状態	19-30

表19.9	F-ZTAT版に存在してマスクROM版に存在しないレジスタ	19-36
<b>21. クロック発振器</b>		
表21.1	発振器対応表	21-4
表21.2	ダンピング抵抗値	21-4
表21.3	水晶発振器の特性	21-5
表21.4	外部クロック入力条件	21-6
表21.5	外部クロック入力条件（デューティ補正回路未使用）	21-7
表21.6	外部48MHzクロック入力条件	21-8
<b>22. 低消費電力状態</b>		
表22.1	各モードでの本LSIの内部状態	22-2
表22.2	低消費電力モード遷移条件	22-3
表22.3	発振安定時間の設定	22-9
表22.4	各処理状態における $\phi$ 端子の状態	22-12
<b>24. 電気的特性（H8S/2215）</b>		
表24.1	絶対最大定格	24-1
表24.2	DC特性	24-3
表24.3	出力許容電流	24-5
表24.4	クロックタイミング	24-6
表24.5	制御信号タイミング	24-7
表24.6	バスタイミング	24-9
表24.7	内蔵周辺タイミング	24-14
表24.8	内蔵USBトランシーバ使用時のUSB特性（USD+、USD-端子特性）	24-18
表24.9	A/D変換特性	24-19
表24.10	D/A変換特性	24-20
表24.11	フラッシュメモリ特性	24-20
<b>25. 電気的特性（H8S/2215R）</b>		
表25.1	絶対最大定格	25-1
表25.2	DC特性	25-3
表25.3	出力許容電流	25-5
表25.4	クロックタイミング	25-6
表25.5	制御信号タイミング	25-7
表25.6	バスタイミング	25-9
表25.7	内蔵周辺タイミング	25-14
表25.8	内蔵USBトランシーバ使用時のUSB特性（USD+、USD-端子特性）	25-18
表25.9	A/D変換特性	25-19
表25.10	D/A変換特性	25-20

表25.11	フラッシュメモリ特性	25-20
--------	------------	-------

## 26. 電気的特性 (H8S/2215T)

表26.1	絶対最大定格	26-1
表26.2	DC特性	26-2
表26.3	出力許容電流	26-4
表26.4	クロックタイミング	26-5
表26.5	制御信号タイミング	26-6
表26.6	バスタイミング	26-8
表26.7	内蔵周辺タイミング	26-13
表26.8	内蔵USBトランシーバ使用時のUSB特性 (USD+、USD-端子特性)	26-17
表26.9	A/D変換特性	26-18
表26.10	D/A変換特性	26-18
表26.11	フラッシュメモリ特性	26-19

## 27. 電気的特性 (H8S/2215C)

表27.1	絶対最大定格	27-1
表27.2	DC特性	27-3
表27.3	出力許容電流	27-5
表27.4	クロックタイミング	27-6
表27.5	制御信号タイミング	27-8
表27.6	バスタイミング	27-10
表27.7	内蔵周辺タイミング	27-15
表27.8	内蔵USBトランシーバ使用時のUSB特性 (USD+、USD-端子特性)	27-19
表27.9	A/D変換特性	27-20
表27.10	D/A変換特性	27-21
表27.11	フラッシュメモリ特性	27-21

---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2000CPU  
H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：65種類
- 豊富な周辺機能  
DMAコントローラ（DMAC）  
データトランスファコントローラ（DTC）  
16ビットタイマパルスユニット（TPU）  
8ビットタイマ（TMR）  
ウォッチドッグタイマ（WDT）  
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）  
バウンダリスキャン  
ユニバーサルシリアルバス（USB）  
10ビットA/D変換器  
8ビットD/A変換器  
ユーザデバッグインタフェース（H-UDI）\*  
クロック発振器

【注】 \* H8S/2215R、H8S/2215T、H8S/2215Cのみ。

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2215R	256K バイト	20K バイト	SCI ブート版
	HD64F2215RU	256K バイト	20K バイト	USB ブート版
	HD64F2215T	256K バイト	20K バイト	SCI ブート版
	HD64F2215TU	256K バイト	20K バイト	USB ブート版
	HD64F2215CU	256K バイト	20K バイト	USB ブート版
	HD64F2215	256K バイト	16K バイト	SCI ブート版
	HD64F2215U	256K バイト	16K バイト	USB ブート版
マスク ROM 版	HD6432215B	128K バイト	16K バイト	—
	HD6432215C	64K バイト	8K バイト	—

- 汎用入出力ポート
 

	モード4、5	モード6	モード7
入出力ポート：	41本	41本	68本
入力ポート：	15本	23本	7本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	(コード)	ボディサイズ	ピンピッチ	備考
TQFP-120	TFP-120、TFP-120V*	14.0×14.0mm	0.4mm	
P-LFBGA-112	BP-112、BP-112V*	10.0×10.0mm	0.8mm	

【注】 \* H8S/2215C は TFP-120V、BP-112V のみ。

## 1.2 内部ブロック図

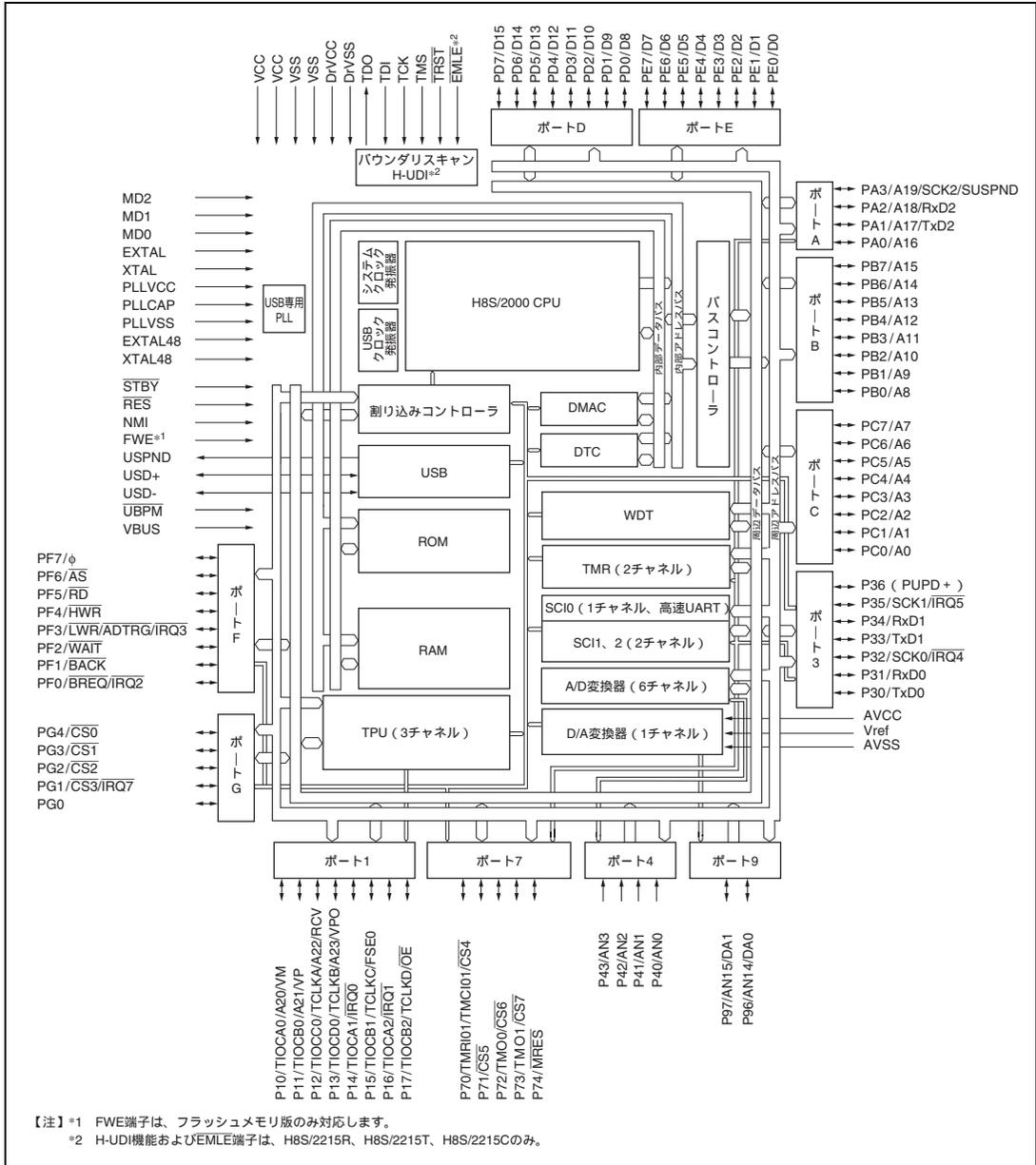


図 1.1 内部ブロック図

### 1.3 ピン配置図

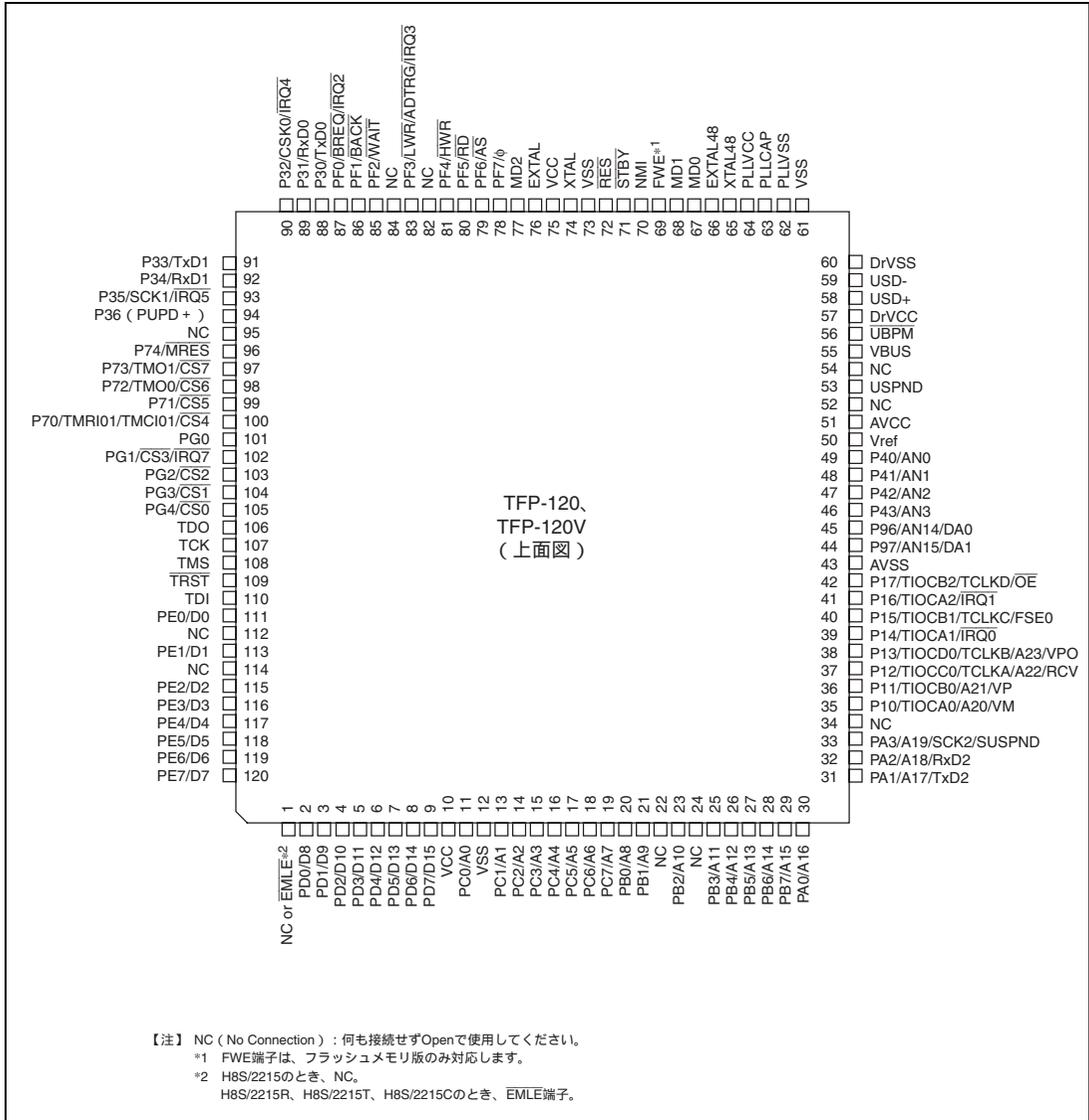


図 1.2 ピン配置図 (TFP-120、TFP-120V)

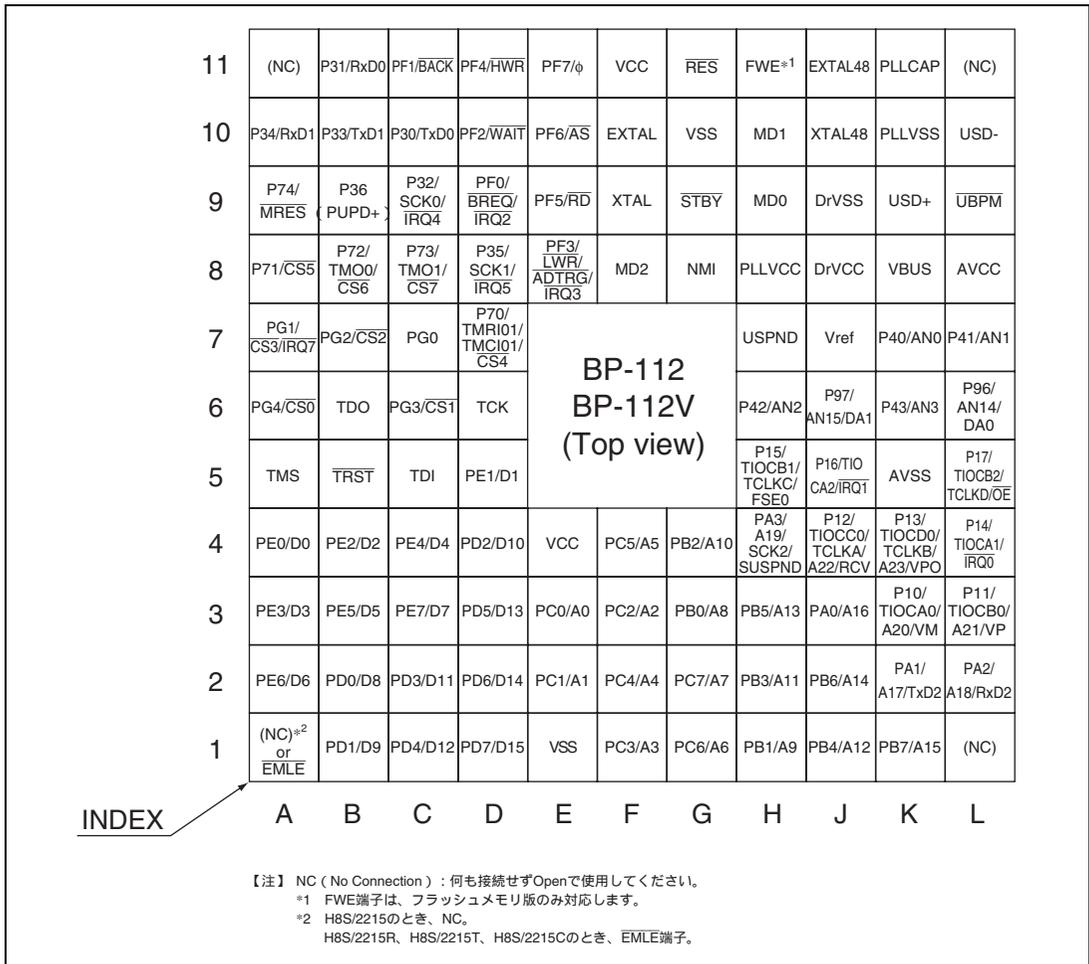


図 1.3 ピン配置図 (BP-112、BP-112V)

## 1.4 動作モード別端子機能一覧

ピン番号		端子名				
TFP-120 TFP-120V	BP-112 BP-112V	モード 4	モード 5	モード 6	モード 7*1	フラッシュメモリ ライターモード
1	A1	NC or $\overline{\text{EMLE}}^{*2}$	NC or $\overline{\text{EMLE}}^{*2}$	NC or $\overline{\text{EMLE}}^{*2}$	NC or $\overline{\text{EMLE}}^{*2}$	NC
2	B2	D8	D8	D8	PD0	D0
3	B1	D9	D9	D9	PD1	D1
4	D4	D10	D10	D10	PD2	D2
5	C2	D11	D11	D11	PD3	D3
6	C1	D12	D12	D12	PD4	D4
7	D3	D13	D13	D13	PD5	D5
8	D2	D14	D14	D14	PD6	D6
9	D1	D15	D15	D15	PD7	D7
10	E4	VCC	VCC	VCC	VCC	VCC
11	E3	A0	A0	PC0/A0	PC0	A0
12	E1	VSS	VSS	VSS	VSS	VSS
13	E2	A1	A1	PC1/A1	PC1	A1
14	F3	A2	A2	PC2/A2	PC2	A2
15	F1	A3	A3	PC3/A3	PC3	A3
16	F2	A4	A4	PC4/A4	PC4	A4
17	F4	A5	A5	PC5/A5	PC5	A5
18	G1	A6	A6	PC6/A6	PC6	A6
19	G2	A7	A7	PC7/A7	PC7	A7
20	G3	PB0/A8	PB0/A8	PB0/A8	PB0	A8
21	H1	PB1/A9	PB1/A9	PB1/A9	PB1	A9
22	-	NC	NC	NC	NC	NC
23	G4	PB2/A10	PB2/A10	PB2/A10	PB2	A10
24	-	NC	NC	NC	NC	NC
25	H2	PB3/A11	PB3/A11	PB3/A11	PB3	A11
26	J1	PB4/A12	PB4/A12	PB4/A12	PB4	A12
27	H3	PB5/A13	PB5/A13	PB5/A13	PB5	A13
28	J2	PB6/A14	PB6/A14	PB6/A14	PB6	A14
29	K1	PB7/A15	PB7/A15	PB7/A15	PB7	A15
30	J3	PA0/A16	PA0/A16	PA0/A16	PA0	A16
31	K2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	A17
32	L2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	A18
33	H4	PA3/A19/SCK2/ SUSPND	PA3/A19/SCK2/ SUSPND	PA3/A19/SCK2/ SUSPND	PA3/SCK2	NC

ピン番号		端子名					フラッシュメモリ ライターモード
TFP-120 TFP-120V	BP-112 BP-112V	モード 4	モード 5	モード 6	モード 7* <sup>1</sup>		
34	-	NC	NC	NC	NC	NC	NC
35	K3	P10/TIOCA0/ A20/VM	P10/TIOCA0/ A20/VM	P10/TIOCA0/ A20/VM	P10/TIOCA0	NC	NC
36	L3	P11/TIOCB0/ A21/VP	P11/TIOCB0/ A21/VP	P11/TIOCB0/ A21/VP	P11/TIOCB0	NC	NC
37	J4	P12/TIOCC0/ TCLKA/A22/ RCV	P12/TIOCC0/ TCLKA/A22/ RCV	P12/TIOCC0/ TCLKA/A22/ RCV	P12/TIOCC0/ TCLKA	NC	NC
38	K4	P13/TIOCD0/ TCLKB/A23/ VPO	P13/TIOCD0/ TCLKB/A23/ VPO	P13/TIOCD0/ TCLKB/A23/ VPO	P13/TIOCD0/ TCLKB	NC	NC
39	L4	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	VSS	VSS
40	H5	P15/TIOCB1/ TCLKC/FSE0	P15/TIOCB1/ TCLKC/FSE0	P15/TIOCB1/ TCLKC/FSE0	P15/TIOCB1/ TCLKC	NC	NC
41	J5	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	VSS	VSS
42	L5	P17/TIOCB2/ TCLKD/ $\overline{\text{OE}}$	P17/TIOCB2/ TCLKD/ $\overline{\text{OE}}$	P17/TIOCB2/ TCLKD/ $\overline{\text{OE}}$	P17/TIOCB2/ TCLKD/ $\overline{\text{OE}}$	NC	NC
43	K5	AVSS	AVSS	AVSS	AVSS	VSS	VSS
44	J6	P97/AN15/DA1	P97/AN15/DA1	P97/AN15/DA1	P97/AN15/DA1	NC	NC
45	L6	P96/AN14/DA0	P96/AN14/DA0	P96/AN14/DA0	P96/AN14/DA0	NC	NC
46	K6	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC	NC
47	H6	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC	NC
48	L7	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC	NC
49	K7	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC	NC
50	J7	Vref	Vref	Vref	Vref	VCC	VCC
51	L8	AVCC	AVCC	AVCC	AVCC	VCC	VCC
52	-	NC	NC	NC	NC	NC	NC
53	H7	USPND	USPND	USPND	-	NC	NC
54	-	NC	NC	NC	NC	NC	NC
55	K8	VBUS	VBUS	VBUS	VSS	VSS	VSS
56	L9	$\overline{\text{UBPM}}$	$\overline{\text{UBPM}}$	$\overline{\text{UBPM}}$	VSS	VSS	VSS
57	J8	DrVCC	DrVCC	DrVCC	VCC	VCC	VCC
58	K9	USD+	USD+	USD+	-	NC	NC
59	L10	USD-	USD-	USD-	-	NC	NC
60	J9	DrVSS	DrVSS	DrVSS	VSS	VSS	VSS
61	-	VSS	VSS	VSS	VSS	VSS	VSS

ピン番号		端子名				
TFP-120 TFP-120V	BP-112 BP-112V	モード 4	モード 5	モード 6	モード 7*1	フラッシュメモリ ライターモード
62	K10	PLLSS	PLLSS	PLLSS	VSS	VSS
63	K11	PLLCAP	PLLCAP	PLLCAP	NC	NC
64	H8	PLLCC	PLLCC	PLLCC	VCC	VCC
65	J10	XTAL48	XTAL48	XTAL48	-	NC
66	J11	EXTAL48	EXTAL48	EXTAL48	VSS	VCC
67	H9	MD0	MD0	MD0	MD0	VSS
68	H10	MD1	MD1	MD1	MD1	VSS
69	H11	FWE	FWE	FWE	FWE	FWE
70	G8	NMI	NMI	NMI	NMI	VCC
71	G9	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
72	G11	$\overline{\text{RES}}$	$\overline{\text{RES}}$	RES	$\overline{\text{RES}}$	$\overline{\text{RES}}$
73	G10	VSS	VSS	VSS	VSS	VSS
74	F9	XTAL	XTAL	XTAL	XTAL	XTAL
75	F11	VCC	VCC	VCC	VCC	VCC
76	F10	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
77	F8	MD2	MD2	MD2	MD2	VSS
78	E11	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC
79	E10	$\overline{\text{AS}}$	$\overline{\text{AS}}$	$\overline{\text{AS}}$	PF6	NC
80	E9	$\overline{\text{RD}}$	$\overline{\text{RD}}$	$\overline{\text{RD}}$	PF5	NC
81	D11	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	PF4	NC
82	-	NC	NC	NC	NC	NC
83	E8	PF3/LWR/ $\overline{\text{ADTRG/IRQ3}}$	PF3/LWR/ $\overline{\text{ADTRG/IRQ3}}$	PF3/LWR/ $\overline{\text{ADTRG/IRQ3}}$	PF3/ADTRG/ $\overline{\text{IRQ3}}$	VCC
84	-	NC	NC	NC	NC	NC
85	D10	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	NC
86	C11	PF1/BACK	PF1/BACK	PF1/BACK	PF1	NC
87	D9	PF0/BREQ/ $\overline{\text{IRQ2}}$	PF0/BREQ/ $\overline{\text{IRQ2}}$	PF0/BREQ/ $\overline{\text{IRQ2}}$	PF0/ $\overline{\text{IRQ2}}$	VCC
88	C10	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC
89	B11	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0	NC
90	C9	P32/SCK0/ $\overline{\text{IRQ4}}$	P32/SCK0/ $\overline{\text{IRQ4}}$	P32/SCK0/ $\overline{\text{IRQ4}}$	P32/SCK0/ $\overline{\text{IRQ4}}$	NC
91	B10	P33/TxD1	P33/TxD1	P33/TxD1	P33/TxD1	NC
92	A10	P34/RxD1	P34/RxD1	P34/RxD1	P34/RxD1	NC
93	D8	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	NC
94	B9	P36 ( PUPD+ )	P36 ( PUPD+ )	P36 ( PUPD+ )	P36 ( PUPD+ ) <sup>*3</sup>	NC
95	-	NC	NC	NC	NC	NC
96	A9	P74/MRES	P74/MRES	P74/MRES	P74/MRES	NC

ピン番号		端子名				
TFP-120 TFP-120V	BP-112 BP-112V	モード 4	モード 5	モード 6	モード 7* <sup>1</sup>	フラッシュメモリ ライターモード
97	C8	P73/TMO1/ $\overline{CS7}$	P73/TMO1/ $\overline{CS7}$	P73/TMO1/ $\overline{CS7}$	P73/TMO1	NC
98	B8	P72/TMO0/ $\overline{CS6}$	P72/TMO0/ $\overline{CS6}$	P72/TMO0/ $\overline{CS6}$	P72/TMO0	NC
99	A8	P71/ $\overline{CS5}$	P71/ $\overline{CS5}$	P71/ $\overline{CS5}$	P71	NC
100	D7	P70/TMRI01/ TMC101/ $\overline{CS4}$	P70/TMRI01/ TMC101/ $\overline{CS4}$	P70/TMRI01/ TMC101/ $\overline{CS4}$	P70/TMRI01/ TMC101	NC
101	C7	PG0	PG0	PG0	PG0	NC
102	A7	PG1/ $\overline{CS3}$ / $\overline{IRQ7}$	PG1/ $\overline{CS3}$ / $\overline{IRQ7}$	PG1/ $\overline{CS3}$ / $\overline{IRQ7}$	PG1/ $\overline{IRQ7}$	NC
103	B7	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2	NC
104	C6	PG3/ $\overline{CS1}$	PG3/ $\overline{CS1}$	PG3/ $\overline{CS1}$	PG3	NC
105	A6	PG4/ $\overline{CS0}$	PG4/ $\overline{CS0}$	PG4/ $\overline{CS0}$	PG4	NC
106	B6	TDO	TDO	TDO	TDO	VCC
107	D6	TCK	TCK	TCK	TCK	VCC
108	A5	TMS	TMS	TMS	TMS	VCC
109	B5	$\overline{TRST}$	$\overline{TRST}$	$\overline{TRST}$	$\overline{TRST}$	$\overline{RES}$
110	C5	TDI	TDI	TDI	TDI	VCC
111	A4	PE0/D0	PE0/D0	PE0/D0	PE0	NC
112	-	NC	NC	NC	NC	NC
113	D5	PE1/D1	PE1/D1	PE1/D1	PE1	NC
114	-	NC	NC	NC	NC	NC
115	B4	PE2/D2	PE2/D2	PE2/D2	PE2	NC
116	A3	PE3/D3	PE3/D3	PE3/D3	PE3	VCC
117	C4	PE4/D4	PE4/D4	PE4/D4	PE4	VSS
118	B3	PE5/D5	PE5/D5	PE5/D5	PE5	$\overline{OE}$
119	A2	PE6/D6	PE6/D6	PE6/D6	PE6	$\overline{WE}$
120	C3	PE7/D7	PE7/D7	PE7/D7	PE7	$\overline{CE}$
-	A1、A11、 L1、L11	NC	NC	NC	NC	NC

【注】 NC (No Connection) : 何も接続せず Open で使用してください。

\*1 モード 7 では USB を使用できない場合があります。

詳細は「第 3 章 MCU 動作モード」を参照してください。

\*2 H8S/2215 のとき NC。H8S/2215R、H8S/2215T、H8S/2215C のとき  $\overline{EMLE}$  端子。

\*3 PUPD+は H8S/2215R、H8S/2215T、H8S/2215C。

## 1.5 端子機能

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
電源	VCC	10	E4	入力	電源端子です。システムの電源に接続してください。
		75	F11		
	VSS	12	E1	入力	グランド端子です。システム電源(0V)に接続してください。
		61	G10		
		73			
PLLCC	64	H8	入力	内蔵 PLL 発振器用の電源端子です。システムの電源に接続してください。	
PLLSS	62	K10	入力	内蔵 PLL 発振器用のグランド端子です。	
PLLCAP	63	K11	出力	内蔵 PLL 発振器用の外付け容量端子です。	
クロック	XTAL	74	F9	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	EXTAL	76	F10	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	XTAL48	65	J10	入力	USB 動作クロック入力端子です。
	EXTAL48	66	J11	入力	USB 通信を行うための 48MHz のクロックを入力します。内蔵 PLL を使用する場合は、EXTAL48 を Low 固定、XTAL48 を open にします。
	φ	78	E11	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	77	F8	入力	モード端子 (MD2 ~ MD0) はモード切り替え以外はパワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
	MD1	68	H10		
	MD0	67	H9		
システム制御	RES	72	G11	入力	リセット端子です。この端子が Low レベルになると、リセット状態になります。
	STBY	71	G9	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	MRES	96	A9	入力	この端子が Low レベルになると、マニュアルリセット状態になります。
	BREQ	87	D9	入力	本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	86	C11	出力	バス権を外部バスマスタに開放したことを示します。
	FWE	69	H11	入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。マスク ROM 版では 0 に固定してください。

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
システム制御	$\overline{EMLE}^{*1}$	1 <sup>*1</sup>	A1 <sup>*1</sup>	入力	エミュレータイネーブルです。E10A 未使用時はオープンとしてください。 E10A 使用時のみ Low レベルにしてください。
割り込み	NMI	70	G8	入力	ノンマスカブル割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{IRQ7}$	102	A7	入力	マスク可能な割り込みを要求します。
	$\overline{IRQ5}$	93	D8		
	$\overline{IRQ4}$	90	C9		
	$\overline{IRQ3}$	83	E8		
	$\overline{IRQ2}$	87	D9		
	$\overline{IRQ1}$	41	J5		
	$\overline{IRQ0}$	39	L4		
アドレスバス	A23	38	K4		
	A22	37	J4		
	A21	36	L3		
	A20	35	K3		
	A19	33	H4		
	A18	32	L2		
	A17	31	K2		
	A16	30	J3		
	A15	29	K1		
	A14	28	J2		
	A13	27	H3		
	A12	26	J1		
	A11	25	H2		
	A10	23	G4		
	A9	21	H1		
	A8	20	G3		
	A7	19	G2		
	A6	18	G1		
	A5	17	F4		
	A4	16	F2		
A3	15	F1			
A2	14	F3			
A1	13	E2			
A0	11	E3			

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
データバス	D15	9	D1	入出力	双方向データバスです。
	D14	8	D2		
	D13	7	D3		
	D12	6	C1		
	D11	5	C2		
	D10	4	D4		
	D9	3	B1		
	D8	2	B2		
	D7	120	C3		
	D6	119	A2		
	D5	118	B3		
	D4	117	C4		
	D3	116	A3		
	D2	115	B4		
	D1	113	D5		
	D0	111	A4		
バス制御	$\overline{CS7}$	97	C8	出力	外部アドレス空間の分割エリア7~0の選択信号です。
	$\overline{CS6}$	98	B8		
	$\overline{CS5}$	99	A8		
	$\overline{CS4}$	100	D7		
	$\overline{CS3}$	102	A7		
	$\overline{CS2}$	103	B7		
	$\overline{CS1}$	104	C6		
	$\overline{CS0}$	105	A6		
	$\overline{AS}$	79	E10	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{RD}$	80	E9	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{HWR}$	81	D11	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号です。
$\overline{LWR}$	83	E8	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号です。	
WAIT	85	D10	入力	外部3ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。	

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
16ビット タイマパルス ユニット (TPU)	TCLKA	37	J4	入力	TPUの外部クロック入力端子です。
	TCLKB	38	K4		
	TCLKC	40	H5		
	TCLKD	42	L5		
	TIOCA0	35	K3	入出力	TGRA_0~TGRD_0インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB0	36	L3		
	TIOCC0	37	J4		
	TIOCD0	38	K4		
	TIOCA1	39	L4	入出力	TGRA_1、TGRB_1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB1	40	H5		
TIOCA2	41	J5	入出力	TGRA_2、TGRB_2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
TIOCB2	42	L5			
8ビットタイマ (TMR)	TMO1	97	C8	出力	コンペアマッチ出力端子です。
	TMO0	98	B8		
	TMCi01	100	D7	入力	カウンタに入力する外部クロックの入力端子です。
	TMRi01	100	D7	入力	カウンタリセット入力端子です。
シリアルコ ミュニケー ション インタフェ ース (SCI)	TxD2	31	K2	出力	データ出力端子です。
	TxD1	91	B10		
	TxD0	88	C10		
	RxD2	32	L2	入力	データ入力端子です。
	RxD1	92	A10		
	RxD0	89	B11		
	SCK2	33	H4	入出力	クロック入出力端子です。
	SCK1	93	D8		
SCK0	90	C9			
A/D 変換器	AN15	44	J6	入力	A/D変換器のアナログ入力端子です。
	AN14	45	L6		
	AN3	46	K6		
	AN2	47	H6		
	AN1	48	L7		
	AN0	49	K7		
	ADTRG	83	E8	入力	A/D変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	44	J6	出力	D/A変換器のアナログ出力端子です。
	DA0	45	L6		

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
A/D 変換器、 D/A 変換器	AVCC	51	L8	入力	A/D、D/A 変換器の電源端子です。 A/D、D/A 変換器を使用しない場合はシステム電源 (VCC) に接続してください。
	AVSS	43	K5	入力	A/D、D/A 変換器のグラウンド端子です。 システムの電源 (0V) に接続してください。
	Vref	50	J7	入力	A/D、D/A 変換器の基準電圧入力端子です。 A/D、D/A 変換器を使用しない場合はシステム電源 (VCC) に接続してください。
バウンダリ スキャン	TMS	108	A5	入力	バウンダリスキャン用の制御信号入力端子です。
	TCK	107	D6	入力	バウンダリスキャン用のクロック入力端子です。
	TDO	106	B6	出力	バウンダリスキャン用のデータ出力端子です。
	TDI	110	C5	入力	バウンダリスキャン用のデータ入力端子です。
	TRST	109	B5	入力	TAP コントローラのリセット端子です。 バウンダリスキャン機能を使用しない場合でも端子の処理を行ってください。詳細は、「14.5 使用上の注意事項」を参照してください。
USB	USD+	58	K9	入出力	USB データ入出力端子です。
	USD -	59	L10		
	VBUS	55	K8	入力	USB ケーブルの接続 / 切断検出入力端子です。
	USPND	53	H7	出力	USB サスペンド出力 サスペンド状態に遷移すると High レベルになります。
	VM	35	K3	入力	NXP 社製トランシーバ (ISP1104) に接続するための端子です。
	VP	36	L3		
	RCV	37	J4		
	VPO	38	K4		
	FSE0	40	H5		
	OE	42	L5	出力	
	SUSPND	33	H4		
	UBPM	56	L9	入力	バスパワー / セルフパワーモード設定入力端子です。 バスパワーモードで使用するときには 0 に固定してください。 セルフパワーモードで使用するときには 1 に固定してください。
	DrVCC	57	J8	-	内蔵トランシーバの電源端子です。システムの電源に接続してください。
DrVSS	60	J9	-	内蔵トランシーバのグラウンド端子です。	
P36 ( PUPD+ )	94	B9	入出力	D+信号のプルアップ制御として使用してください。	

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
I/O ポート	P17	42	L5	入出力	8ビットの入出力端子です。
	P16	41	J5		
	P15	40	H5		
	P14	39	L4		
	P13	38	K4		
	P12	37	J4		
	P11	36	L3		
	P10	35	K3		
	P36	94	B9	入出力	7ビットの入出力端子です。
	P35	93	D8		
	P34	92	A10		
	P33	91	B10		
	P32	90	C9		
	P31	89	B11		
	P30	88	C10		
	P43	46	K6	入力	4ビットの入力端子です。
	P42	47	H6		
	P41	48	L7		
	P40	49	K7		
	P74	96	A9	入出力	5ビットの入出力端子です。
	P73	97	C8		
	P72	98	B8		
	P71	99	A8		
	P70	100	D7		
	P97	44	J6	入力	2ビットの入力端子です。
	P96	45	L6		
	PA3	33	H4	入出力	4ビットの入出力端子です。
	PA2	32	L2		
PA1	31	K2			
PA0	30	J3			

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
I/O ポート	PB7	29	K1	入出力	8 ビットの入出力端子です。
	PB6	28	J2		
	PB5	27	H3		
	PB4	26	J1		
	PB3	25	H2		
	PB2	23	G4		
	PB1	21	H1		
	PB0	20	G3		
	PC7	19	G2	入出力	8 ビットの入出力端子です。
	PC6	18	G1		
	PC5	17	F4		
	PC4	16	F2		
	PC3	15	F1		
	PC2	14	F3		
	PC1	13	E2		
	PC0	11	E3		
	PD7	9	D1	入出力	8 ビットの入出力端子です。
	PD6	8	D2		
	PD5	7	D3		
	PD4	6	C1		
	PD3	5	C2		
	PD2	4	D4		
	PD1	3	B1		
	PD0	2	B2		
	PE7	120	C3	入出力	8 ビットの入出力端子です。
	PE6	119	A2		
	PE5	118	B3		
	PE4	117	C4		
	PE3	116	A3		
	PE2	115	B4		
	PE1	113	D5		
	PE0	111	A4		

分類	記号	ピン番号		入出力	機能
		TFP-120 TFP-120V	BP-112 BP-112V		
I/Oポート	PF7	78	E11	入出力	8ビットの入出力端子です。
	PF6	79	E10		
	PF5	80	E9		
	PF4	81	D11		
	PF3	83	E8		
	PF2	85	D10		
	PF1	86	C11		
	PF0	87	D9		
	PG4	105	A6	入出力	5ビットの入出力端子です。
	PG3	104	C6		
	PG2	103	B7		
	PG1	102	A7		
	PG0	101	C7		
NC	NC	1 <sup>*2</sup>	A1 <sup>*2</sup>		NC (No Connection) : 何も接続せず Open で使用してください。
		22	A11		
		24	L1		
		34	L11		
		52			
		54			
		82			
		84			
		95			
		112			
114					

【注】 \*1 H8S/2215R、H8S/2215T、H8S/2215Cのみ (H8S/2215ではNC)。

\*2 H8S/2215のみ (H8S/2215R、H8S/2215T、H8S/2215CではEMLE端子)。



---

## 2. CPU

---

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本  
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類  
8 / 16 / 32 ビット演算命令  
乗除算命令  
強力なビット操作命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))  
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)  
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)  
イミディエイト (#xx:8 / #xx:16 / #xx:32)  
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム : 16M バイト  
データ : 16M バイト

- 高速動作

頻出命令をすべて1、2ステートで実行

8 / 16 / 32ビットレジスタ間加減算 : 1ステート

8×8ビットレジスタ間乗算 : 12ステート

16÷8ビットレジスタ間除算 : 12ステート

16×16ビットレジスタ間乗算 : 20ステート

32÷16ビットレジスタ間除算 : 20ステート

- CPU動作モード：2種類

ノーマルモード\* / アドバンスモード

【注】 \* 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

### 2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

## 2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

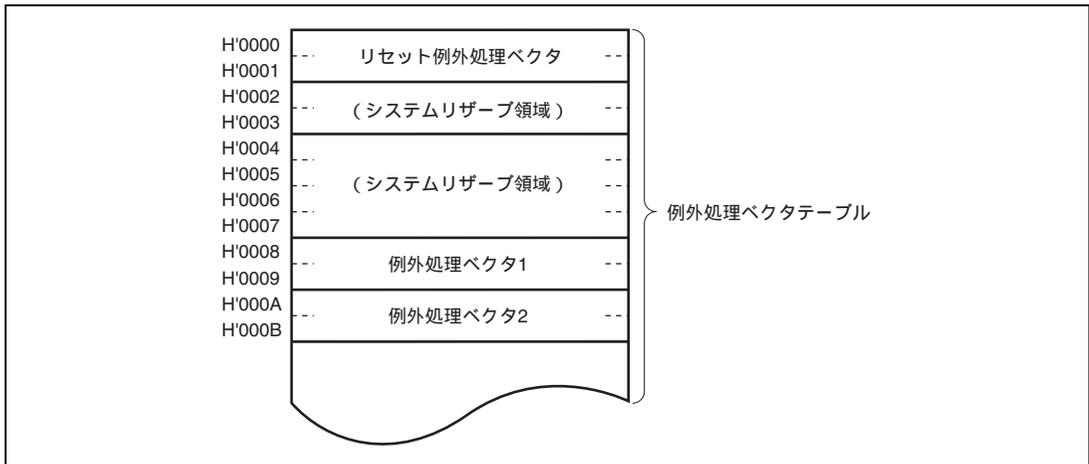


図 2.1 例外処理ベクタテーブル ( ノーマルモード )

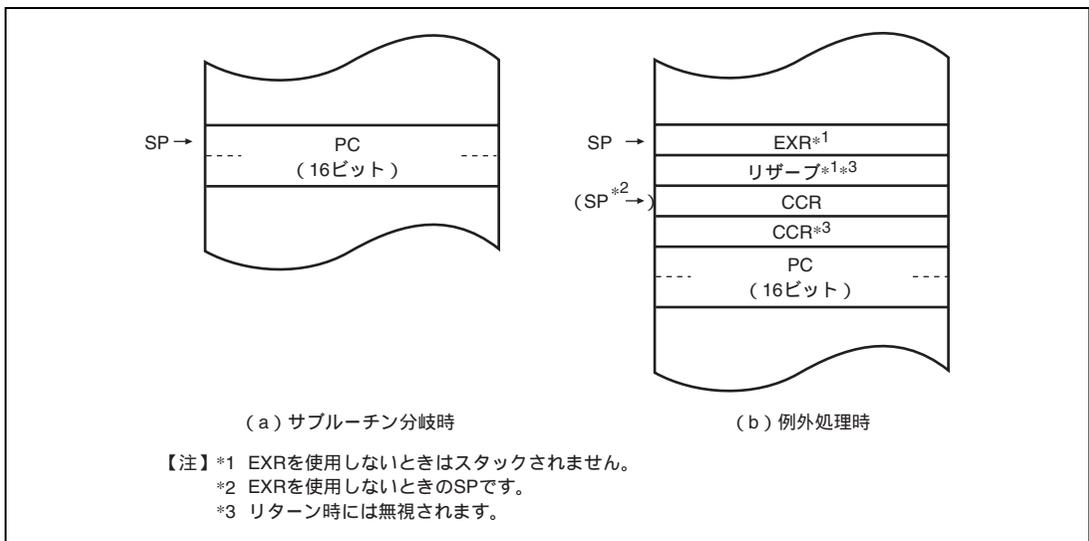


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

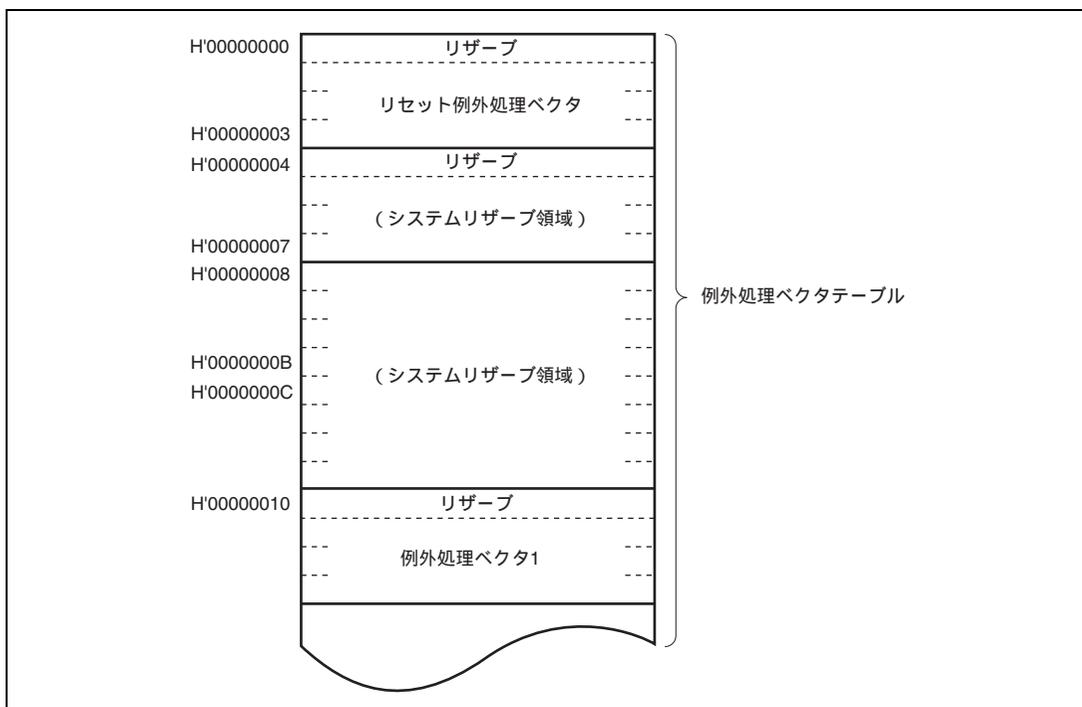


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットはリザーブ領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

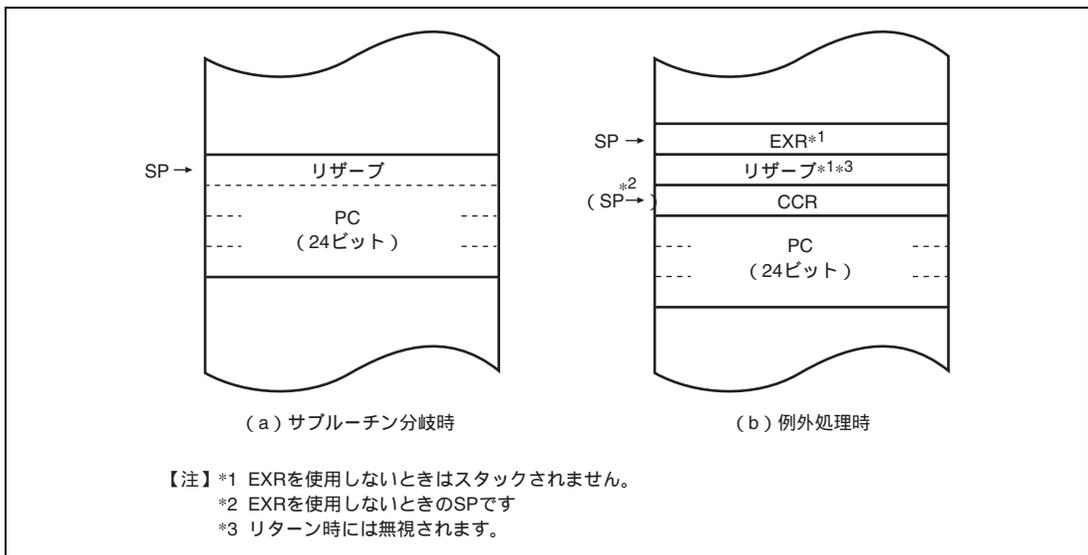


図 2.4 アドバンスモードのスタック構造

## 2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

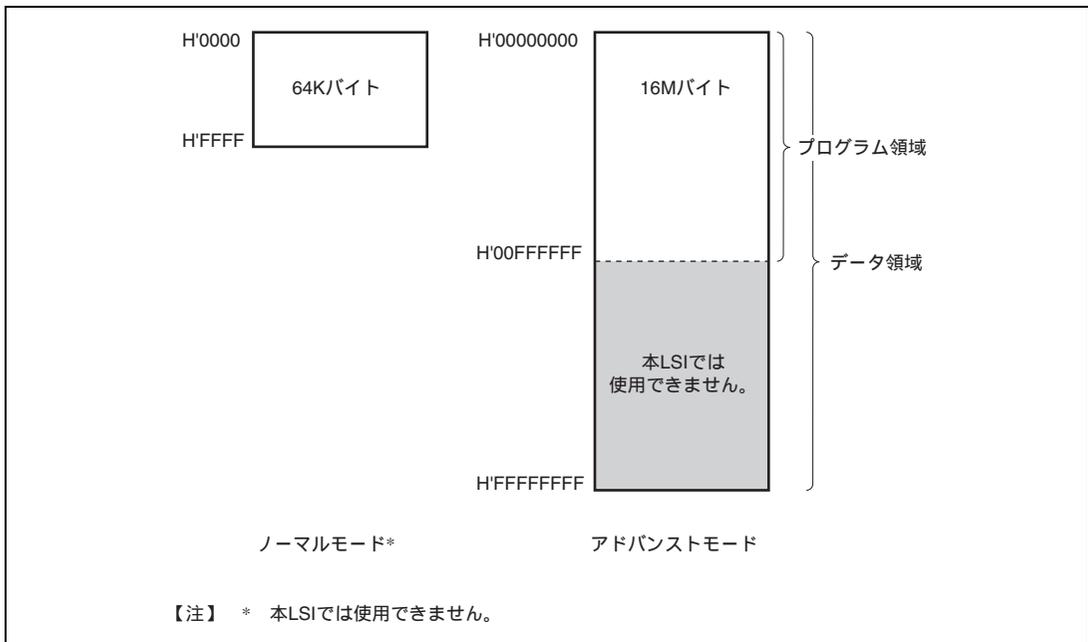


図 2.5 アドレス空間

## 2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

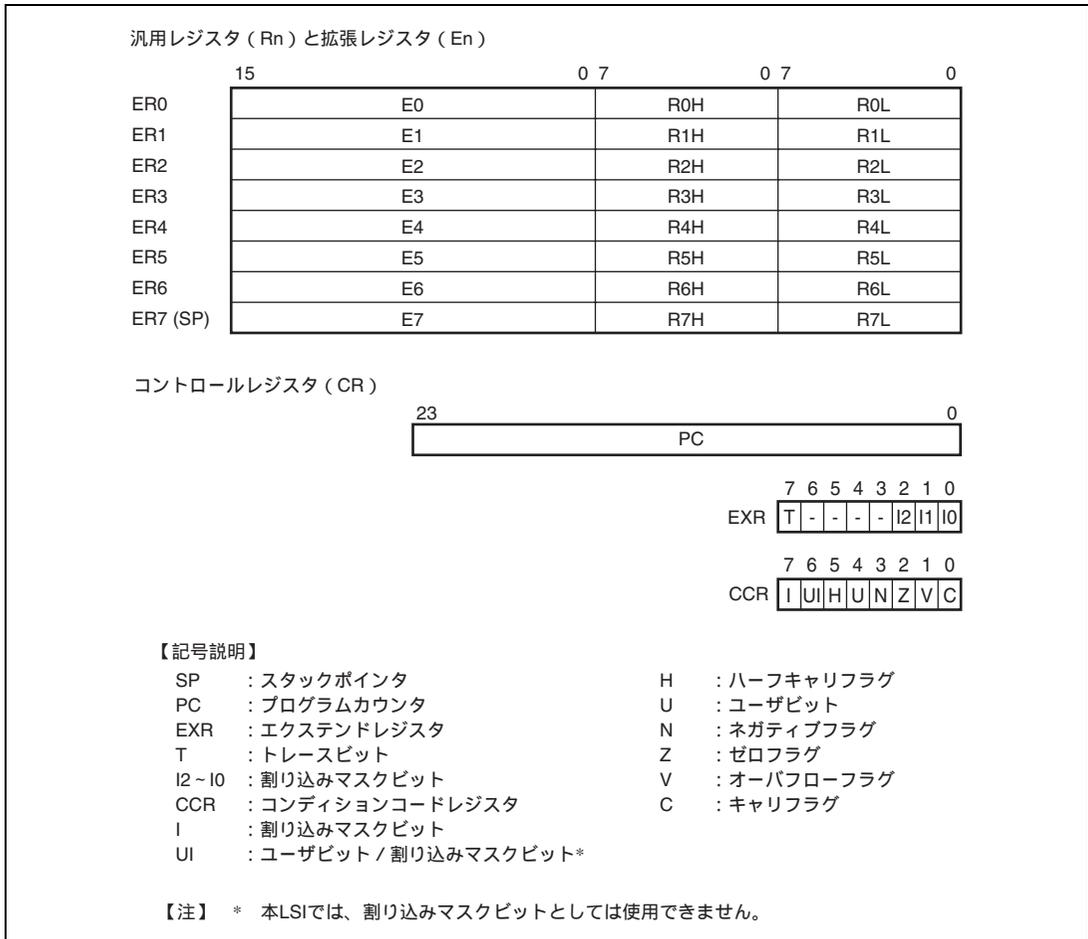


図 2.6 CPU 内部レジスタ構成

### 2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、または 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタとよぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

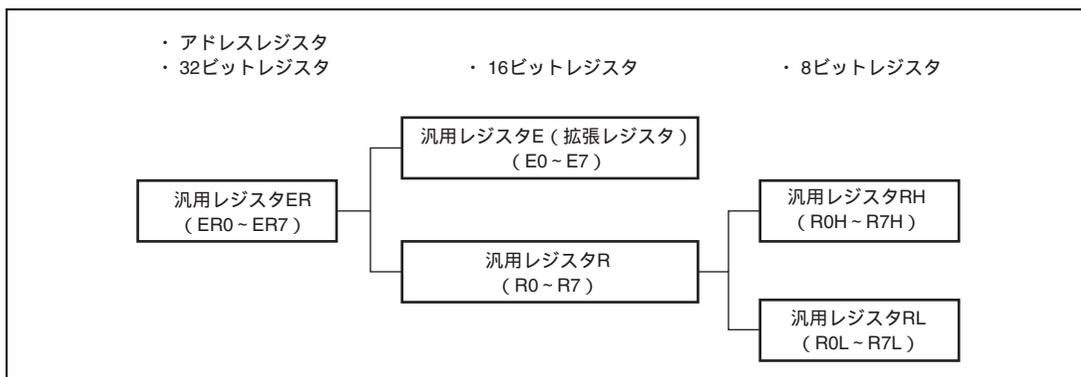


図 2.7 汎用レジスタの使用法

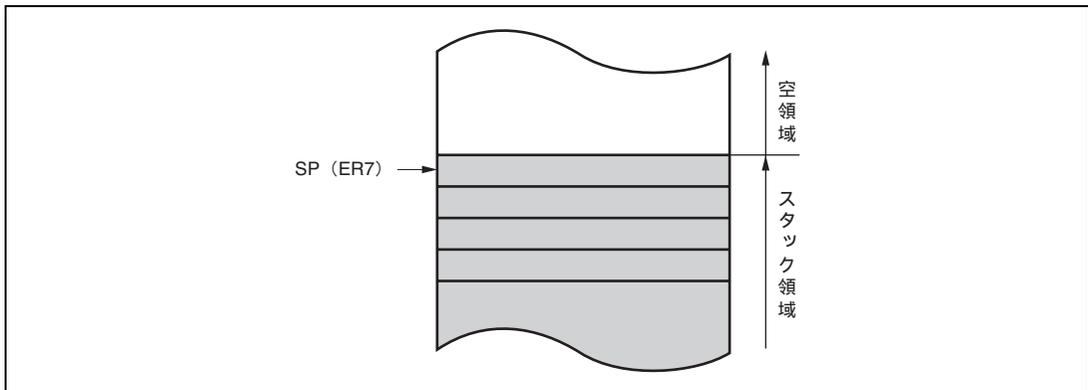


図 2.8 スタックの状態

### 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

### 2.4.3 エクステンレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行ごとにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

### 2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> <li>• 加算結果のキャリ</li> <li>• 減算結果のボロー</li> <li>• シフト / ローテートのキャリ</li> </ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

### 2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0,1,2,\dots,7$ ) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

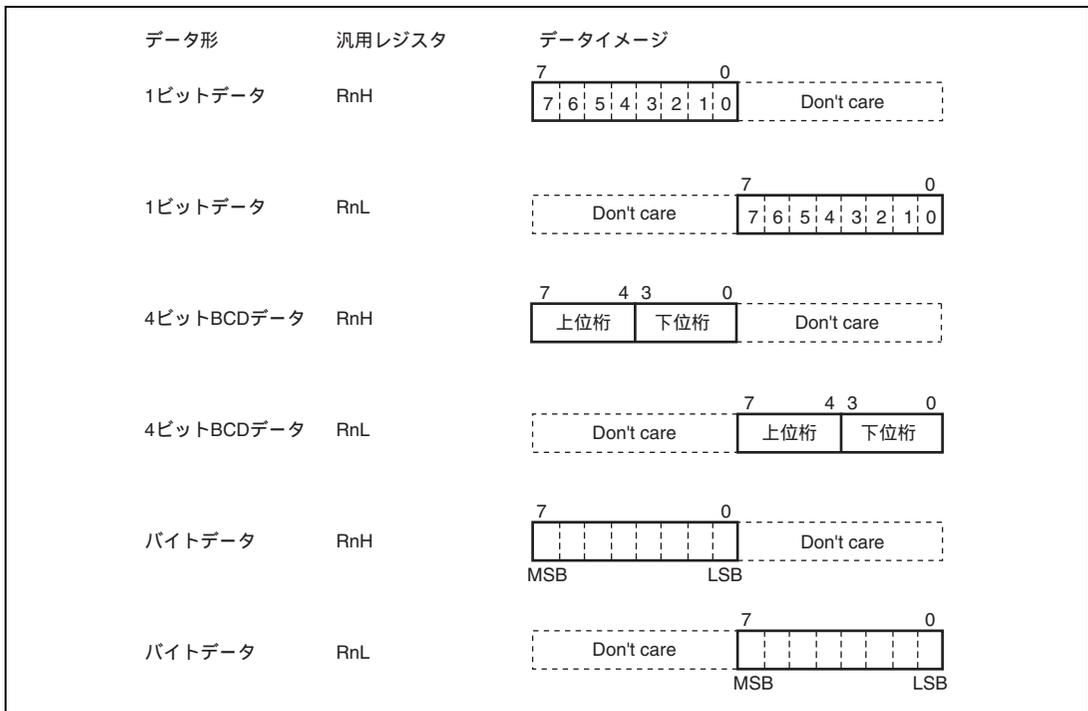


図 2.9 汎用レジスタのデータ形式 (1)

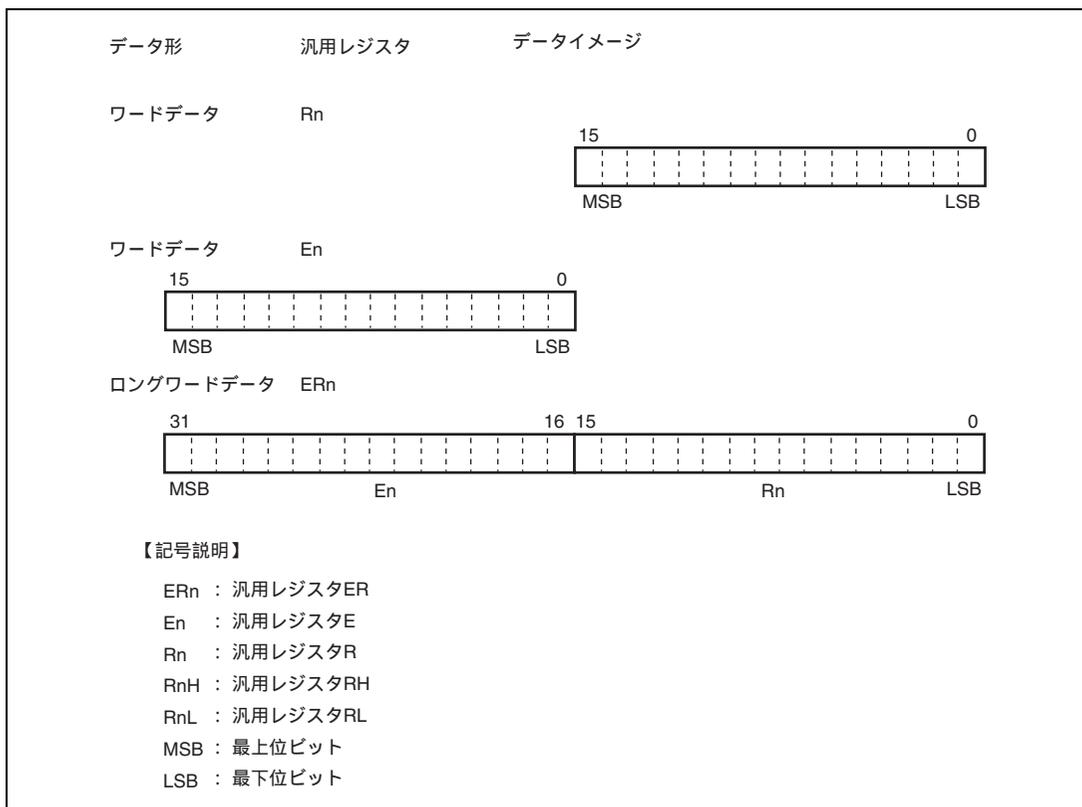


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

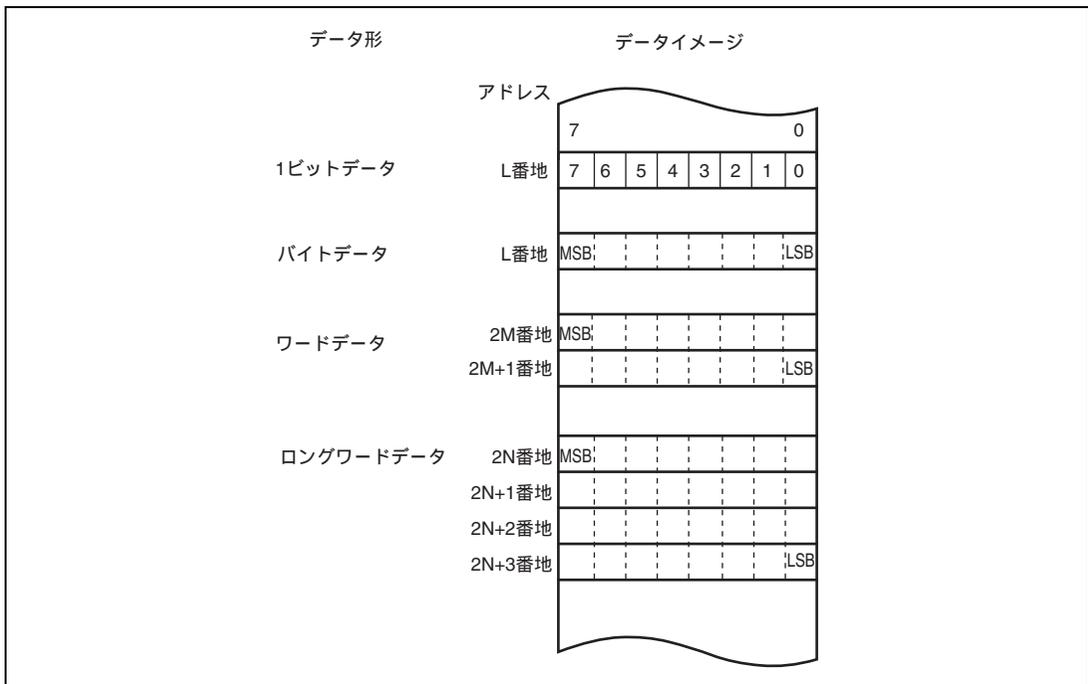


図 2.10 メモリ上でのデータ形式

## 2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命 令	サイズ	種類
データ転送命令	MOV	B / W / L	5
	POP* <sup>1</sup> , PUSH* <sup>1</sup>	W / L	
	LDM* <sup>5</sup> , STM* <sup>5</sup>	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B / W / L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B / W / L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B / W	
	EXTU, EXTS	W / L	
	TAS* <sup>4</sup>	B	
論理演算命令	AND, OR, XOR, NOT	B / W / L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B / W / L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc* <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【記号説明】 B : バイト

W : ワード

L : ロングワード

【注】 \*1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。

また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

\*2 Bcc は条件分岐命令の総称です。

\*3 本 LSI では使用できません。

\*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*5 LDM、STM 命令において、ER7 レジスタはスタックポインタであるため退避 (STM) / 復帰 (LDM) できるレジスタとしては使用できません。

### 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説 明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*1	機 能
MOV	B / W / L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM*2	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM*2	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B / W / L	$Rd \pm Rs \rightarrow Rd$ , $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ , $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1 \rightarrow Rd$ , $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ , $Rd \pm 2 \rightarrow Rd$ , $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビット、16 ビット $\times$ 16 ビット $\rightarrow$ 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビット、16 ビット $\times$ 16 ビット $\rightarrow$ 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット $\div$ 8 ビット $\rightarrow$ 商 8 ビット余り 8 ビット、 32 ビット $\div$ 16 ビット $\rightarrow$ 商 16 ビット余り 16 ビットの除算が可能です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ*1	機 能
DIVXS	B / W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd → Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	Rd(ゼロ拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd(符号拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 → (<ビット 7> of @ERd) メモリの内容をテストしたあと、最上位ビット (ビット 7) を 1 にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B / W / L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B / W / L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B / W / L	Rd(シフト処理)→Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B / W / L	Rd(シフト処理)→Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B / W / L	Rd(ローテート処理)→Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B / W / L	Rd(ローテート処理)→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [ \sim (<\text{ビット番号}> \text{of} <\text{EAd}>) ] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説 明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2→PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+→@ER6+     R4L - 1→R4L   Until R4L = 0 else next: </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+→@ER6+     R4 - 1→R4   Until R4 = 0 else next: </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレス、またはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

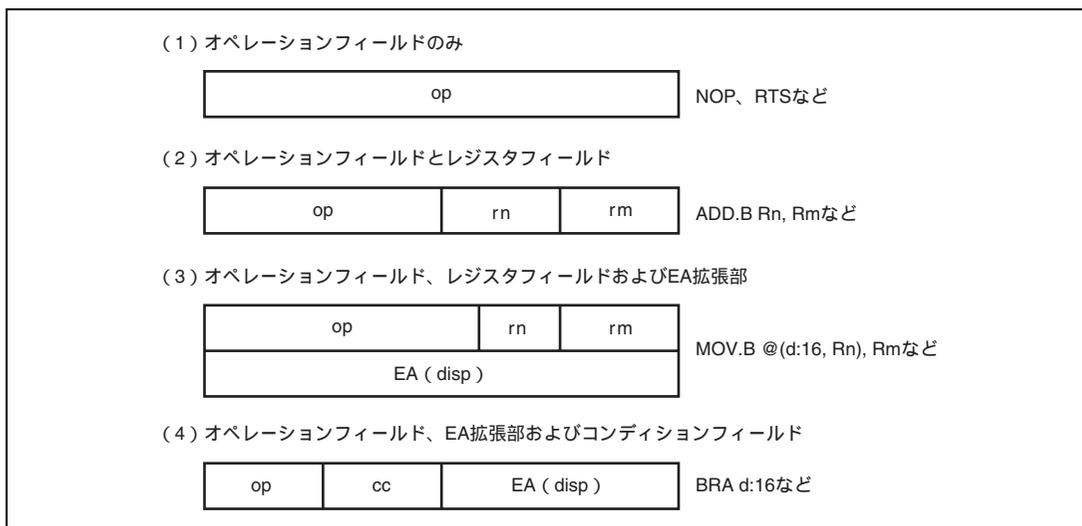


図 2.11 命令フォーマットの例

## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビット、または 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

### 2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

#### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数となるようにしてください。

#### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2、または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数になるようにしてください。

### 2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 \* 本 LSI では使用できません。

### 2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 ( ノーマルモード\*のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF ) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします ( 「2.5.2 メモリ上でのデータ形式」を参照 ) 。

【注】 \* 本 LSI では使用できません。

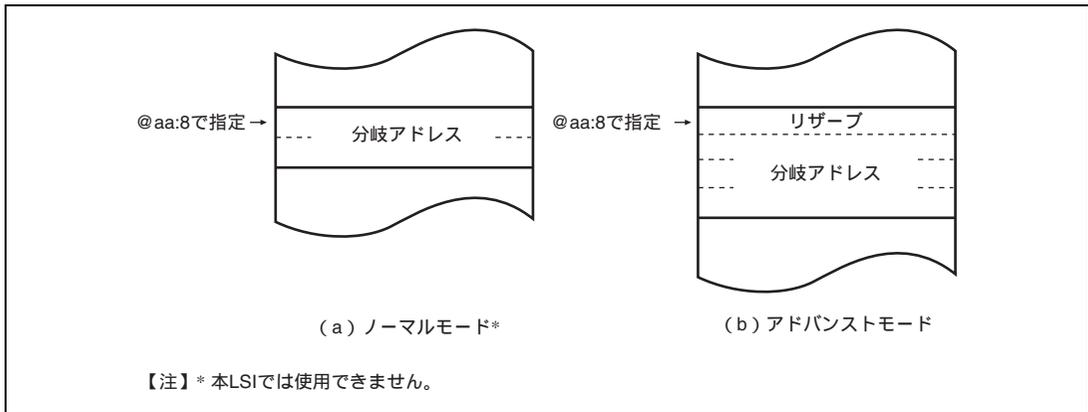


図 2.12 メモリ間接による分岐アドレスの指定

### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。  
ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスプレイメント付きレジスタ間接 @d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ参照 / プリデクリメントレジスタ参照 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 		

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op   abs		31 24 23 8 7 0 Don't care   H'FFFF
	@aa:16 op   abs		31 24 23 16 15 0 Don't care   符号拡張
	@aa:24 op   abs		31 24 23 0 Don't care
	@aa:32 op   abs		31 24 23 0 Don't care
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op   IMM		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) op   disp	23 0 PCの内容 23 0 符号拡張   disp	31 24 23 0 Don't care
8	メモリ間接 @aa:8 ・ノーマルモード* op   abs	31 8 7 0 H'000000   abs 15 0 メモリの内容	31 24 23 16 15 0 Don't care   H'00
	・アドバンスモード op   abs	31 8 7 0 H'000000   abs 31 0 メモリの内容	31 24 23 0 Don't care

【注】\* 本LSIでは使用できません。

## 2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPUおよび内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

DMAコントローラ(DMAC)やデータ転送ファコントローラ(DTC)を内蔵している製品で、これらCPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- 低消費電力状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行またはハードウェアスタンバイモードへの遷移でCPUは低消費電力状態になります。詳細は「第22章 低消費電力状態」を参照してください。

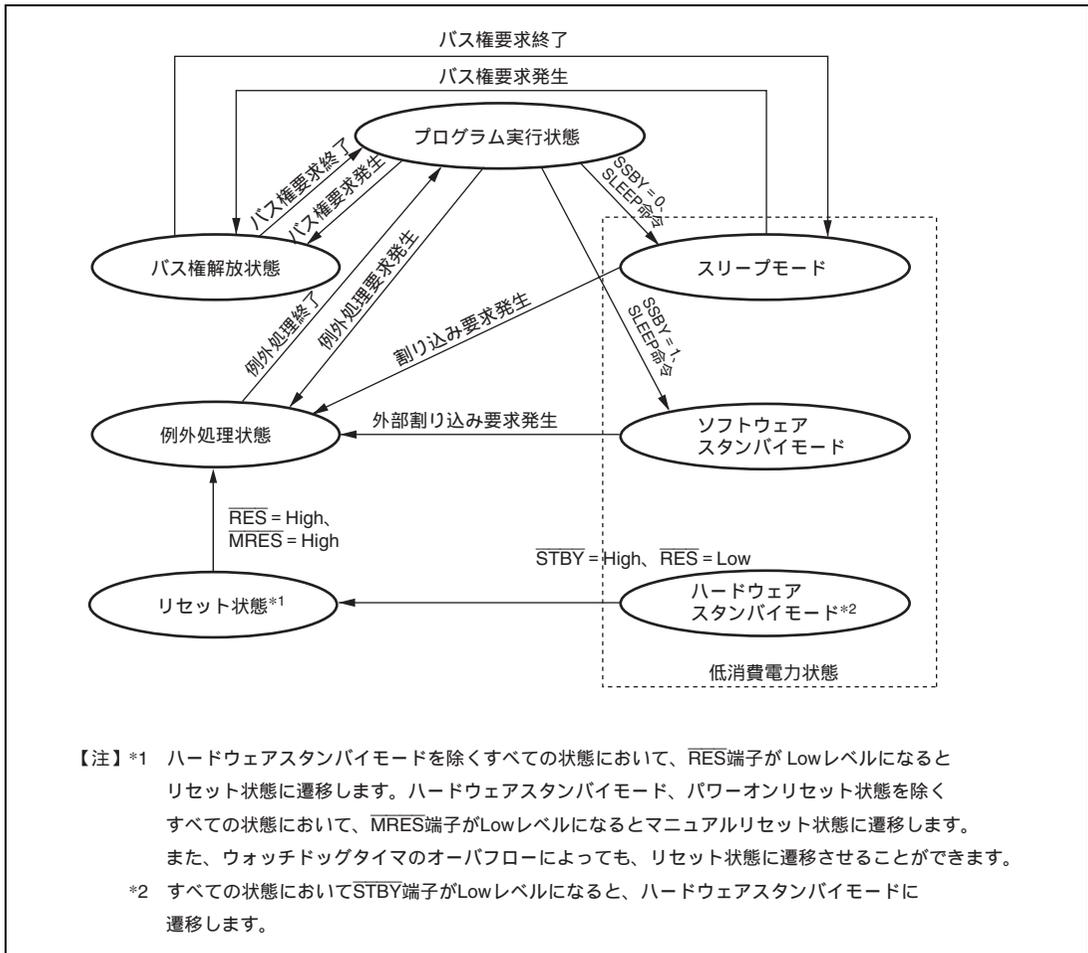


図 2.13 状態遷移図

## 2.9 使用上の注意事項

### 2.9.1 TAS 命令使用上の注意事項

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス エレクトロニクス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

### 2.9.2 STM/LDM 命令使用上の注意事項

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス エレクトロニクス製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

### 2.9.3 ビット操作命令使用上の注意

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると、本来操作すべきビットが正しく操作されないことや、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。

例 ポート 1 の P1DDR の P14 のみをクリアするのに BCLR 命令を実行した場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。現時点では、P17~P14 は出力端子に、P13~P10 は入力端子に設定されているとします。この時点で、P1DDR の値は HF0 です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を"1"から"0" (HF0→HE0) に変えなければなりません。ここで BCLR 命令を使って P1DDR のビット 4 をクリアするとします。

BCLR #4, @P1DDR

しかし、ライト専用レジスタである P1DDR に対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

P1DDR に対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では"0"または"1"となりますが、どちらの値がリードされるかわかりません。P1DDR はすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来の P1DDR の値は HF0 ですが、ビット 3 が"1"となる HF8 がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例では HF8 に対してビット 4 をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータを P1DDR にライトして BCLR 命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

本来は P1DDR の値を H'E0 に書き変えるはずでしたが、実際は H'E8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P13 が"1"の場合について説明しましたが、P17 ~ P10 をリードした場合にはリード値は不定ですので、ビット操作命令終了後には"0"が"1"に変化したり、"1"が"0"に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを"0"にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが"1"にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

#### 2.9.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

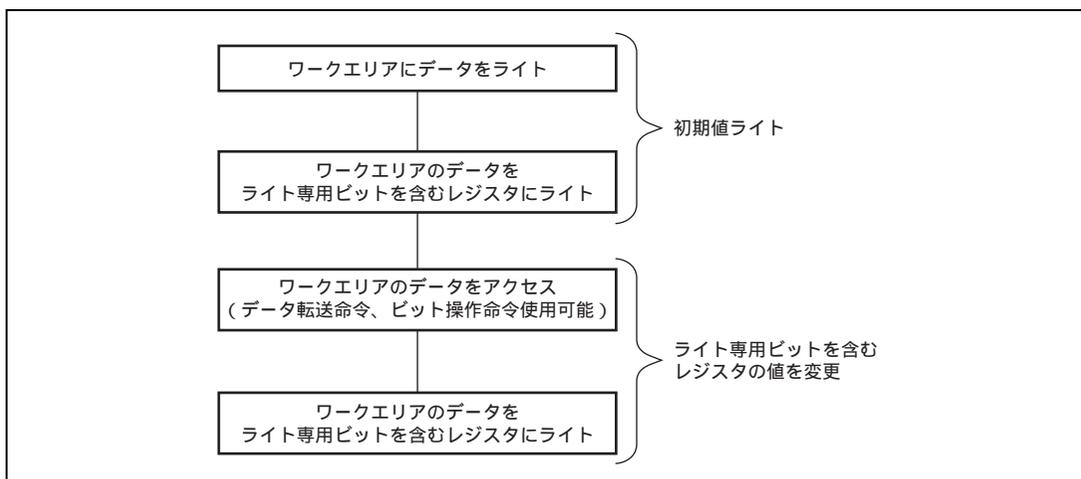


図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

例 ポート 1 の P1DDR の P14 のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 HF0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```
MOV.B #HF0, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を"1"から"0" (HF0→HE0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```
BCLR #4, @RAM0
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0 の値を P1DDR にライトします。

```
MOV.B @RAM0, R0L
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムをすることができます。



## 3. MCU 動作モード

### 3.1 動作モードの選択

本 LSI は、4 種類の動作モード（モード 4～7）があります。動作モードはモード端子（MD2～MD0）の設定で決まります。モード 4～6 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、エリアごとに 8 ビットまたは 16 ビットアドレス空間にできます。また、いずれかの 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると、8 ビットバスモードとなります。

モード 7 は、外部アドレス空間を使用できません。また、モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
4	1	0	0	アドバンスモード	内蔵ROM無効拡張モード	無効	16 ビット	16 ビット
5	1	0	1	アドバンスモード	内蔵ROM無効拡張モード	無効	8 ビット	16 ビット
6	1	1	0	アドバンスモード	内蔵ROM有効拡張モード	有効	8 ビット	16 ビット
7*	1	1	1	アドバンスモード	シングルチップモード	有効	-	-

【注】 \* モード 7 使用時の注意事項

(1) H8S/2215

モード 7 では USB を使用できません。

(2) H8S/2215R、H8S/2215T、H8S/2215C

【E6000 エミュレータを使用して開発する場合】

モード 7 では USB を使用できません。

【オンチップエミュレータ (E10A-USB) をを使用して開発する場合】

モード 7 でも USB を使用可能です。

詳細は、「3.3.4 モード 7」を参照してください。

## 3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6~3		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。
1	MDS1	*	R	
0	MDS0	*	R	

【注】 \* MD2~MD0 端子の設定により決定されます。

### 3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$  端子入力の許可 / 禁止の選択、内蔵 RAM の有効 / 無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット ライトするときは 0 をライトしてください。
6		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00: 割り込み制御モード 0 01: 設定禁止 10: 割り込み制御モード 2 11: 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち上がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2	MRESE	0	R/W	マニュアルリセット選択ビット $\overline{\text{MRES}}$ 端子の入力許可 / 禁止を選択します。 0: マニュアルリセットを禁止 1: マニュアルリセットを許可 $\overline{\text{MRES}}$ 入力端子として使用できます。
1		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したとき初期化されます。 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効

## 3.3 各動作モードの説明

### 3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合は、8 ビットバスモードとなります。

### 3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

### 3.3.3 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット直後、P13~P10 端子、ポート A、B、C は入力ポートになります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A8) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。

ポート C では対応する DDR を 1 にセットするとアドレス (A7~A0) は出力になります。

ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

### 3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレス空間は使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

また本モードでは、表 3.2 のように開発ツールの都合上、USB をサポートしていない場合があります。

表 3.2 モード 7 での USB サポート

開発ツール	H8S/2215	H8S/2215R, H8S/2215T, H8S/2215C
E6000	×	×
E10A-USB	*	

【注】 \* H8S/2215 はオンチップエミュレータ機能を内蔵していません。

### 3.3.5 端子機能

動作モードにより、ポート 1、ポート A～F の端子機能が切り替わります。

モード 4～7 における端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7 <sup>*1</sup>
ポート 1	P11～P13	P*/A	P*/A	P*/A	P
	P10	P/A*	P/A*	P*/A	P
ポート A	PA3～PA0	P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P*/C
	PF6～PF4	C	C	C	P
	PF3	P/C*	P*/C	P*/C	
	PF2～PF0	P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

**【注】 \*1 モード 7 使用時の注意事項**

## (1) H8S/2215

モード 7 では USB を使用できません。

## (2) H8S/2215R、H8S/2215T、H8S/2215C

**【E6000 エミュレータを使用して開発する場合】**

モード 7 では USB を使用できません。

**【オンチップエミュレータ (E10A-USB) をを使用して開発する場合】**

モード 7 でも USB を使用可能です。

詳細は、「3.3.4 モード 7」を参照してください。

### 3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1 - 図 3.4 に示します。

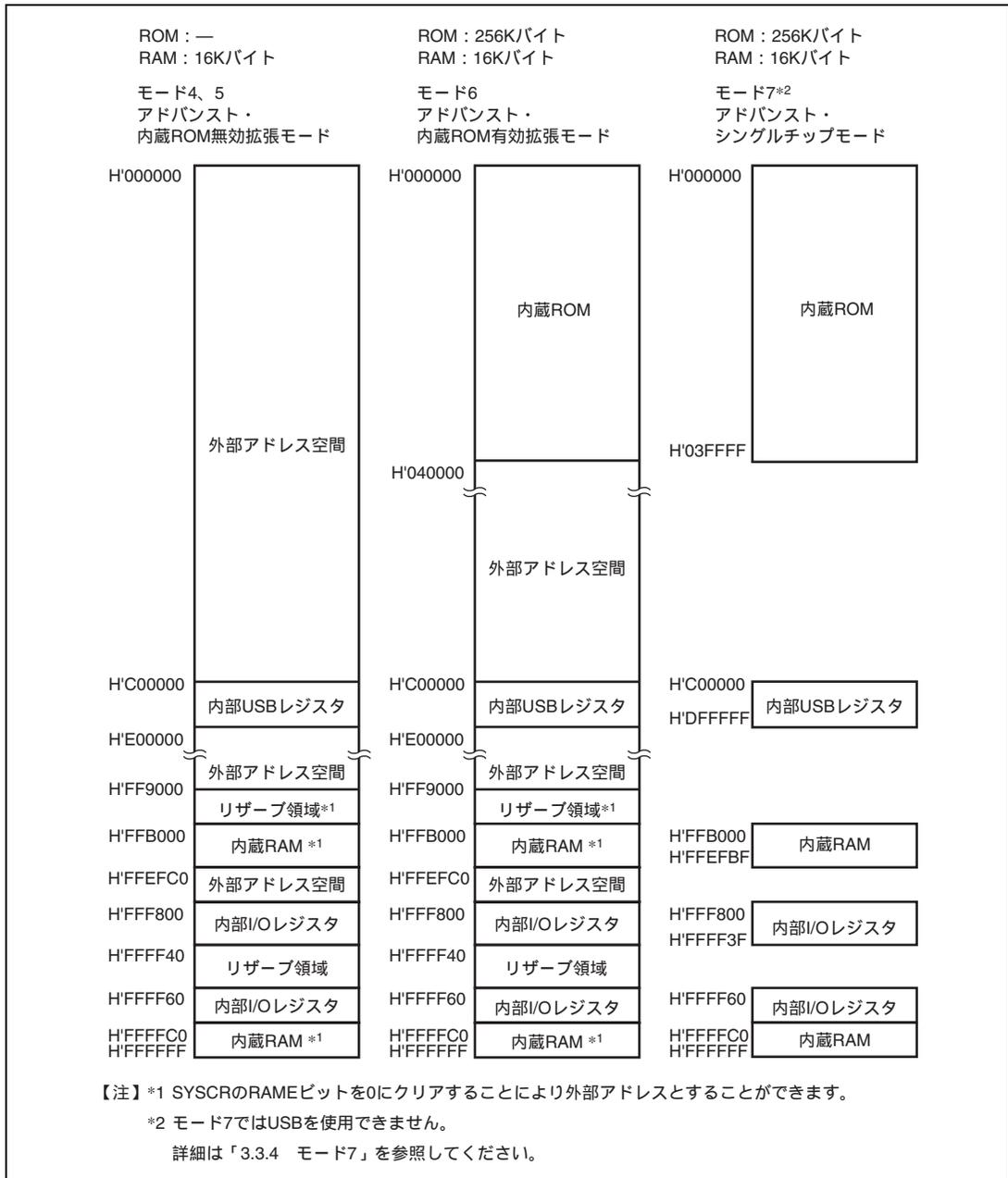


図 3.1 HD64F2215、HD64F2215U のアドレスマップ

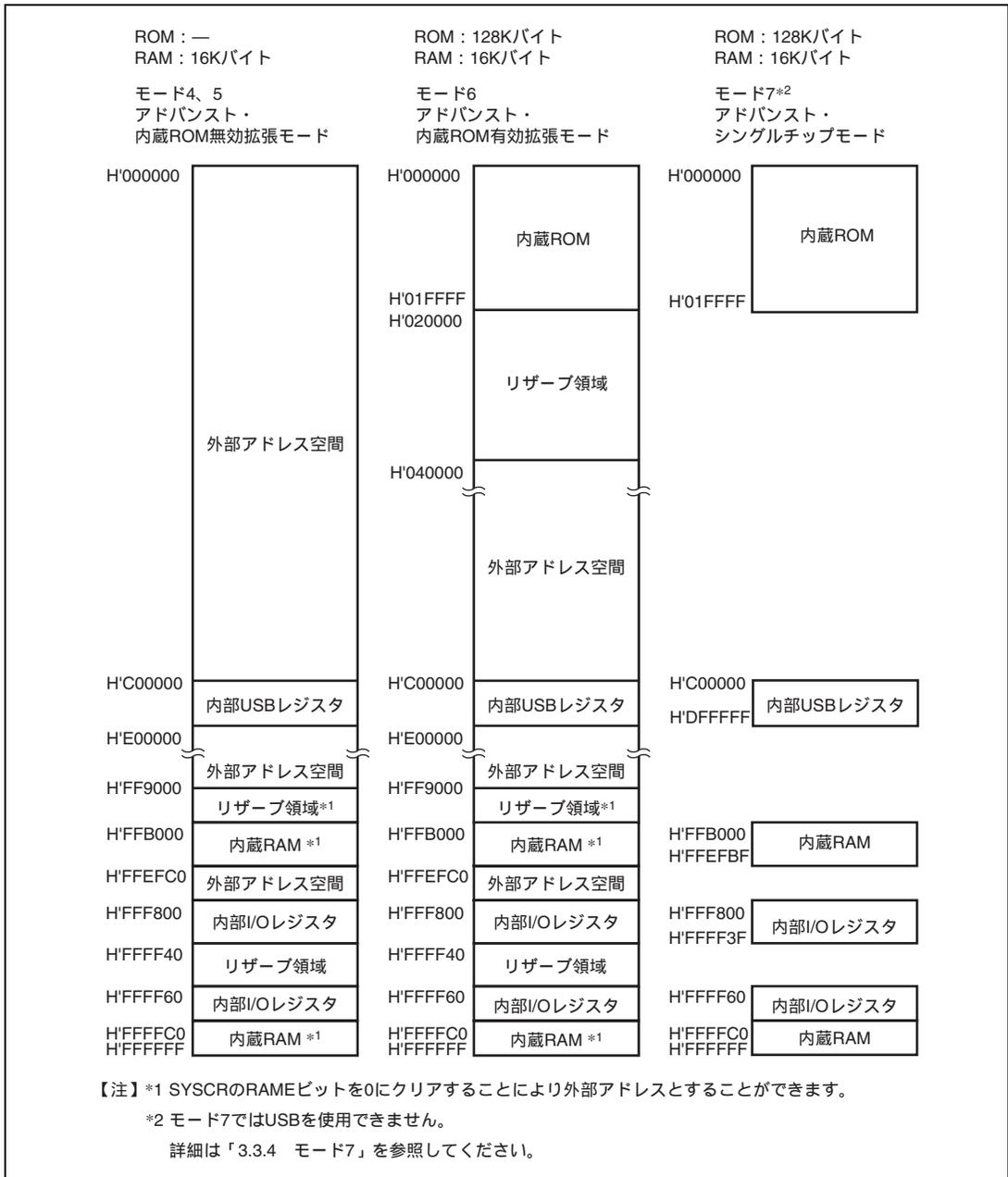


図 3.2 HD6432215B のアドレスマップ

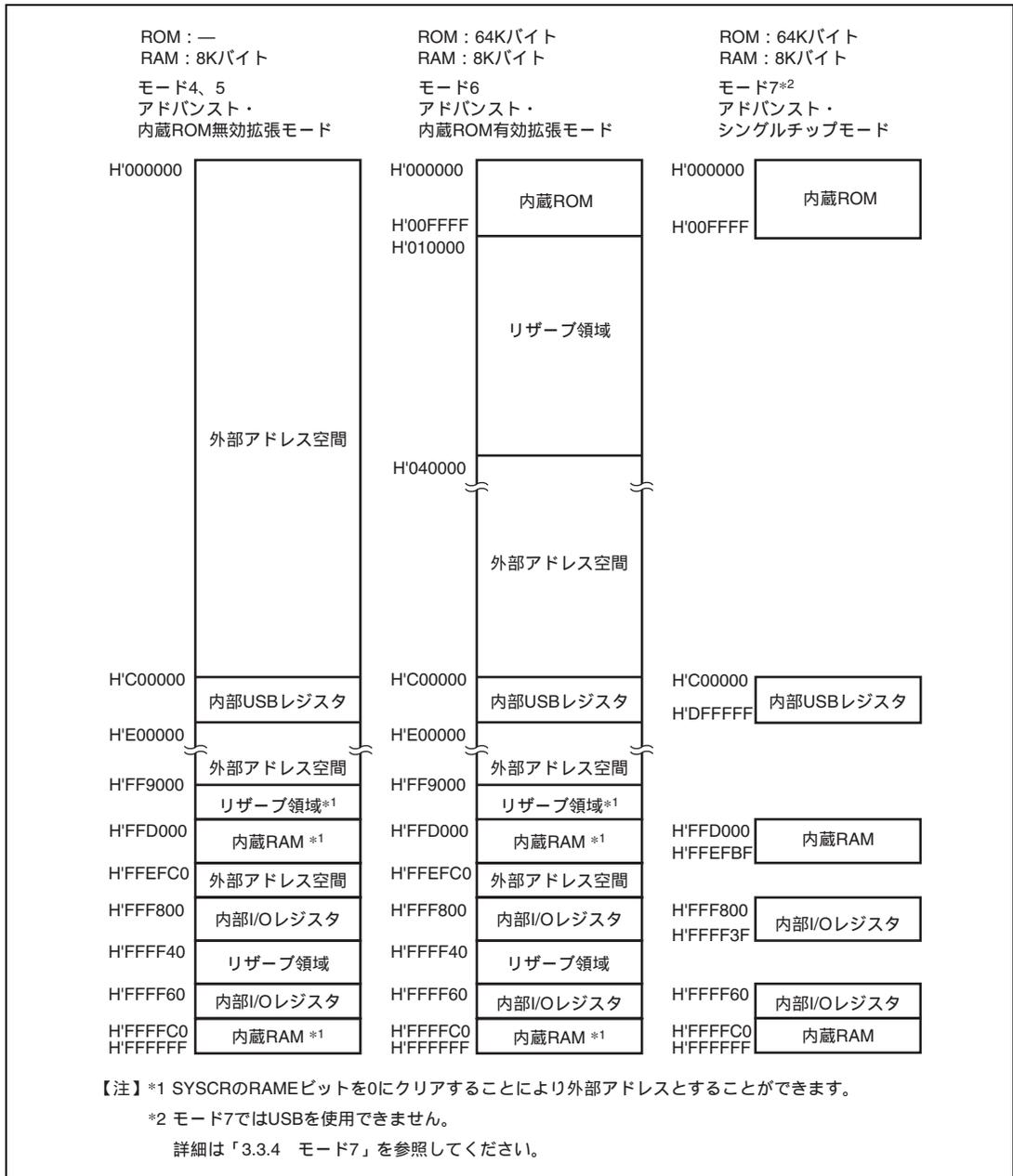


図 3.3 HD6432215C のアドレスマップ

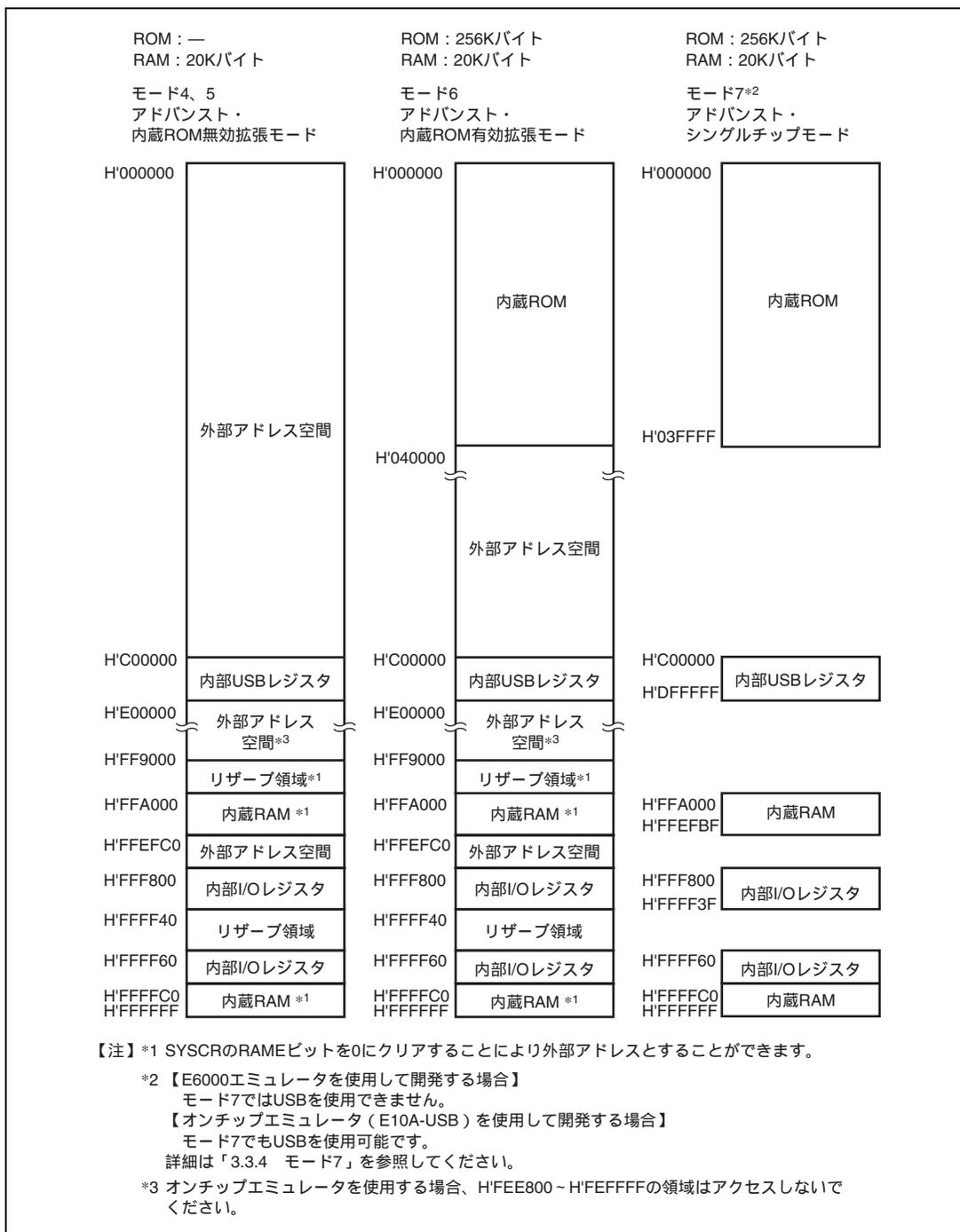


図 3.4 HD64F2215R、HD64F2215RU、HD64F2215T、HD64F2215TU、HD64F2215CU のアドレスマップ

---

## 4. 例外処理

---

### 4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高   ↓ 低	リセット	$\overline{RES}$ 端子、 $\overline{MRES}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバーフローにより開始します。 $\overline{RES}$ 端子が Low レベルのときパワーオンリセット状態になります。 $\overline{MRES}$ 端子が Low レベルのときマニュアルリセット状態になります。
	トレース	EXR のトレース (T) ビットが 1 の状態で、命令または例外処理の実行終了時に開始します。トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後は実行しません。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

## 4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理要因とベクタアドレスとの対応

例外処理要因	ベクタ番号	ベクタアドレス* <sup>1</sup>	
		ノーマルモード* <sup>2</sup>	アドバンスモード
パワーオンリセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット	1	H'0002 ~ H'0003	H'0004 ~ H'0007
システムリザーブ	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
	4	H'0008 ~ H'0019	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
直接遷移* <sup>2</sup>	6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割り込み NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (#0)	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令 (#1)	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令 (#2)	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令 (#3)	11	H'0016 ~ H'0017	H'002C ~ H'002F
システムリザーブ	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	13	H'001A ~ H'001B	H'0034 ~ H'0037
	14	H'001C ~ H'001D	H'0038 ~ H'003B
	15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
USB 割り込み IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F
内部割り込み* <sup>3</sup>	24	H'0030 ~ H'0031	H'0060 ~ H'0063
	127	H'00FE ~ H'00FF	H'01FC ~ H'01FF

【注】 \*1 先頭アドレスの低位 16 ビットを示しています。

\*2 本 LSI では使用できません。

\*3 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子が  $\overline{\text{MRES}}$  端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

【注】 電源投入時には、 $\overline{\text{TRST}}$  も Low にしてください。詳細は「第 14 章 バウンダリスキャン」を参照してください。

### 4.3.1 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種類	リセットへの遷移条件		内部状態	
	$\overline{\text{MRES}}$	$\overline{\text{RES}}$	CPU	内蔵周辺モジュール
パワーオンリセット	*	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

【注】\* Don't care

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。

なお、 $\overline{\text{MRES}}$  端子を使用する場合は、SYSCR の MRESE ビットで、 $\overline{\text{MRES}}$  端子を入力許可 (MRESE = 1) に設定してください。

### 4.3.2 リセット例外処理

$\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子が一定期間 Low レベルのあと High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送したあと、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

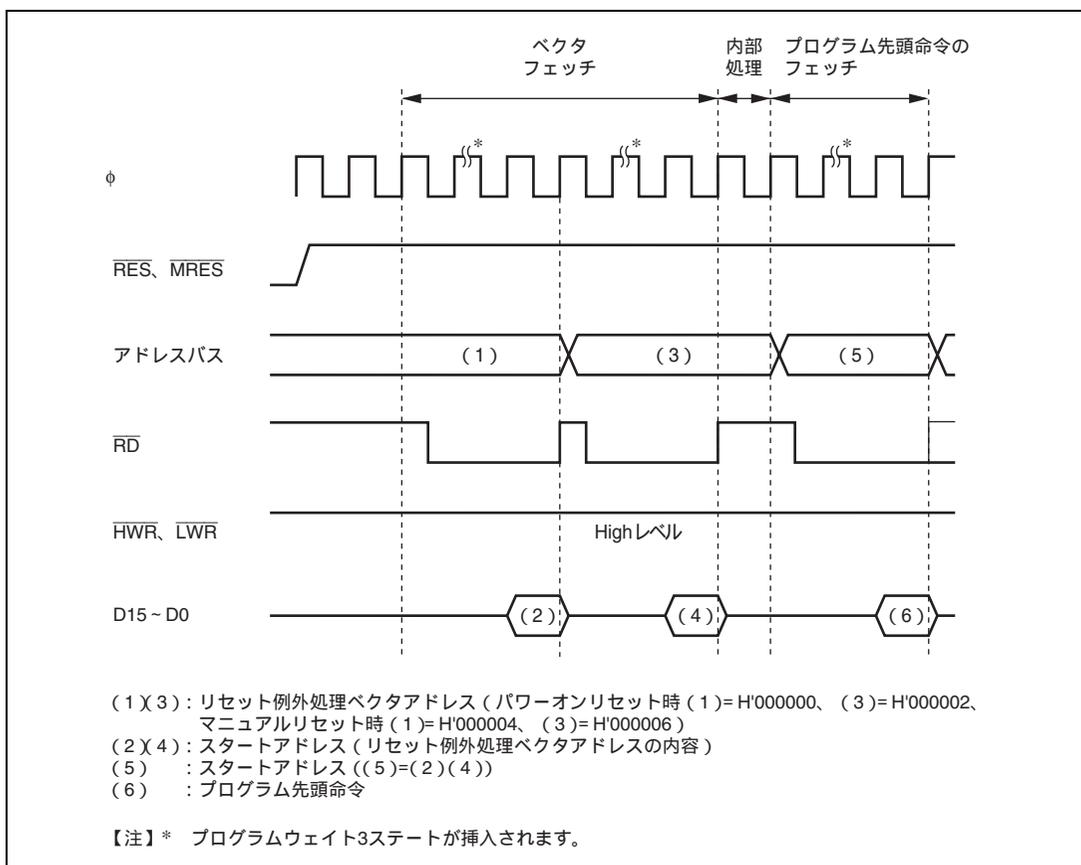


図 4.1 リセットシーケンス (モード 4)

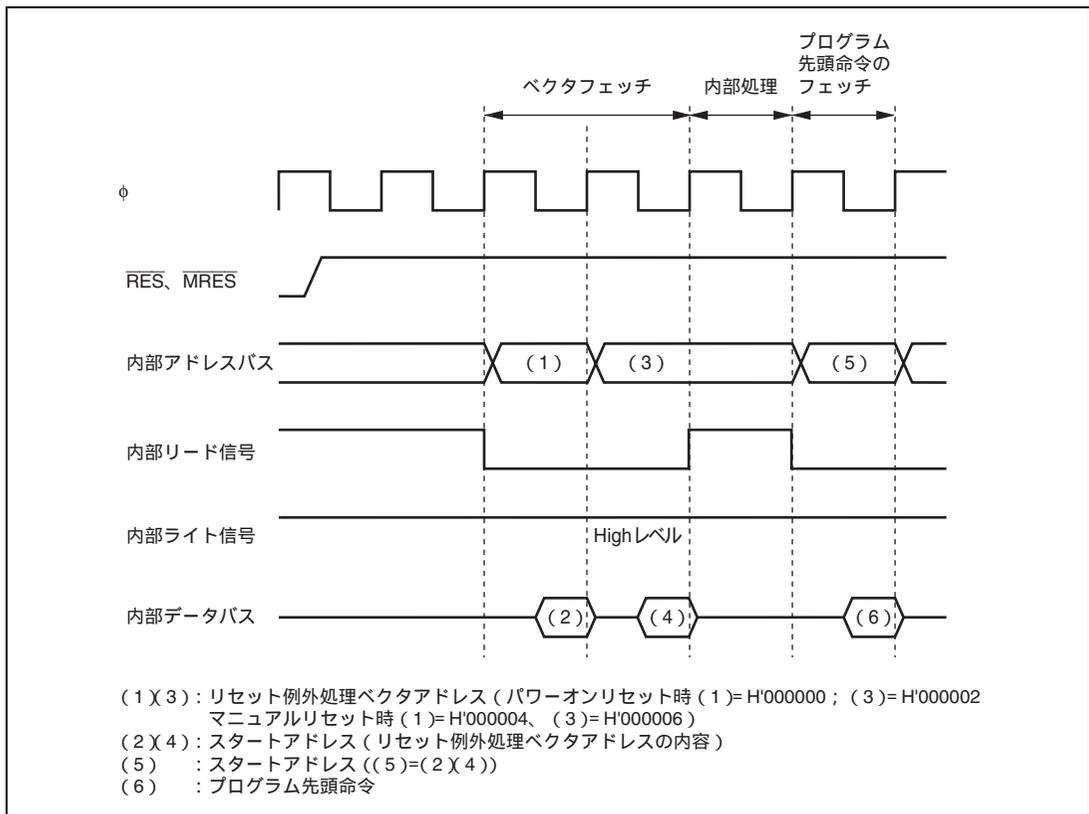


図 4.2 リセットシーケンス (モード 6、7)

### 4.3.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx SP)。

### 4.3.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'3F、MSTPCRB、MSTPCRC は H'FF に初期化され、DMAC と DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

## 4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰したあとは再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

### 【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

## 4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ(PC)とコンディションコードレジスタ(CCR)、エクステンドレジスタ(EXR)の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

## 4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

### 【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

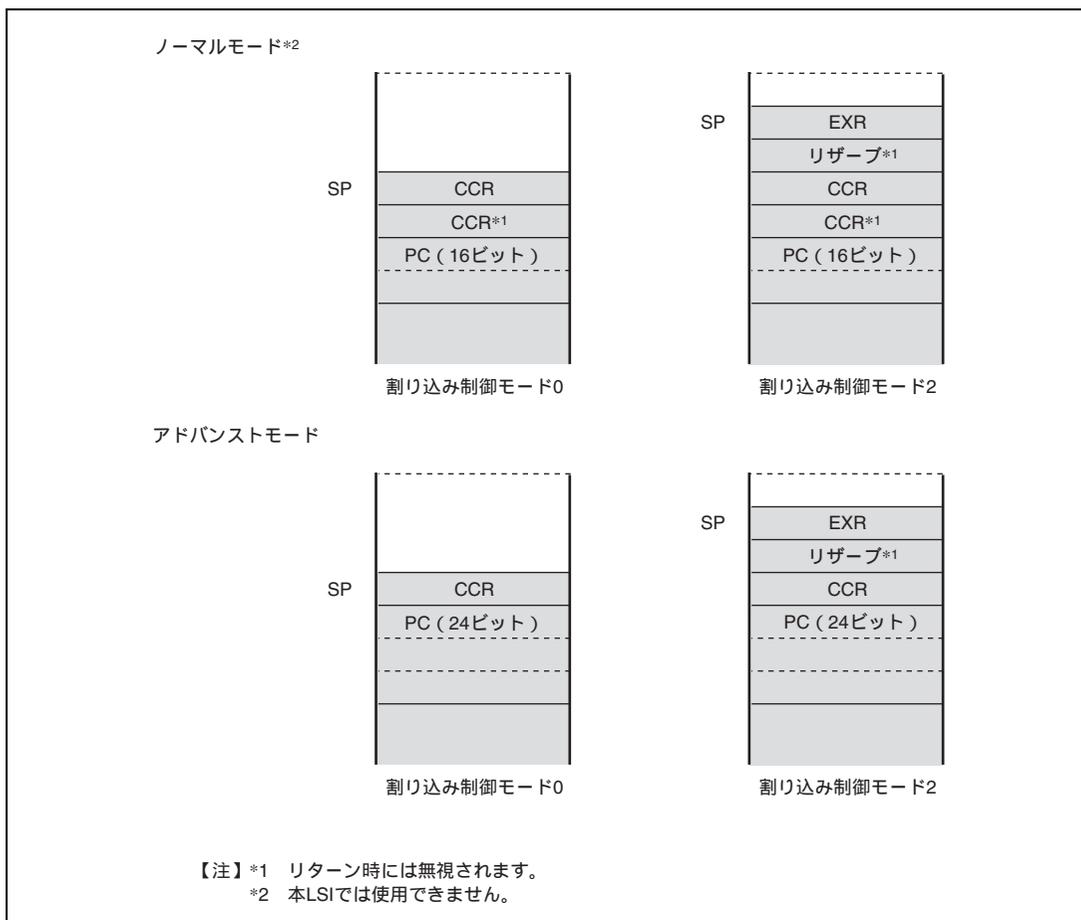


図 4.3 例外処理終了後のスタックの状態

## 4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ(SP: ER7)の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.4に示します。

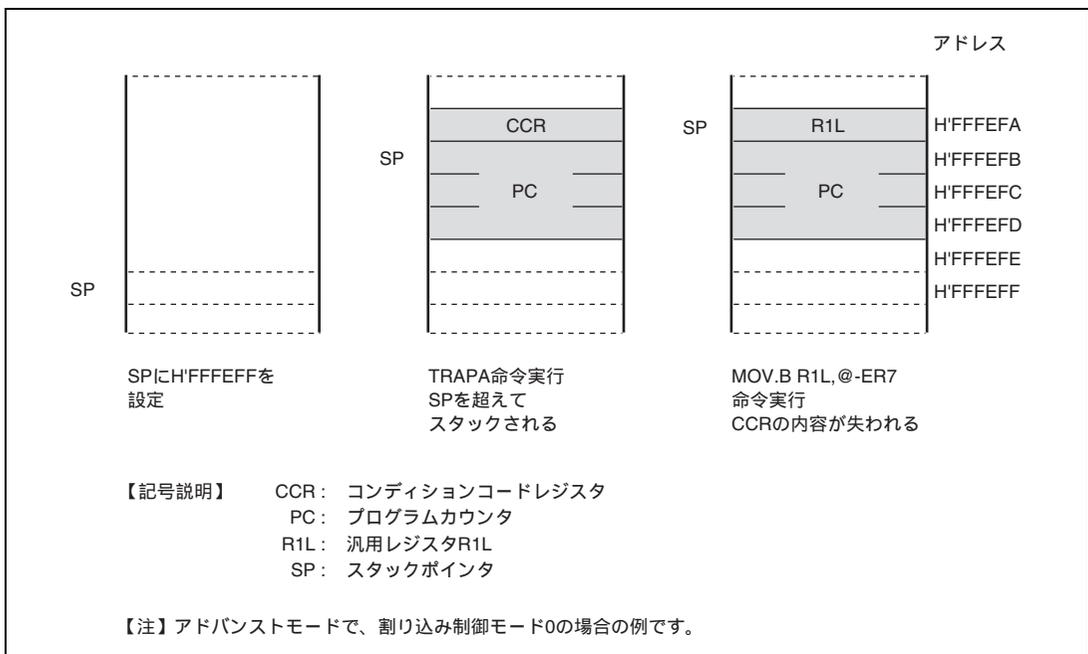


図 4.4 SP を奇数に設定したときの動作



---

## 5. 割り込みコントローラ

---

### 5.1 特長

- 2種類の割り込み制御モード  
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能  
インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス  
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 8本の外部割り込み端子 (NMI、 $\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ5}}$  ~  $\overline{\text{IRQ0}}$ )  
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ5}}$  ~  $\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。 $\overline{\text{IRQ6}}$ は内蔵USB専用割り込みです。
- DTC、DMACの制御  
割り込み要求によりDTC、DMACを起動することができます。

割り込みコントローラのブロック図を図 5.1 に示します。

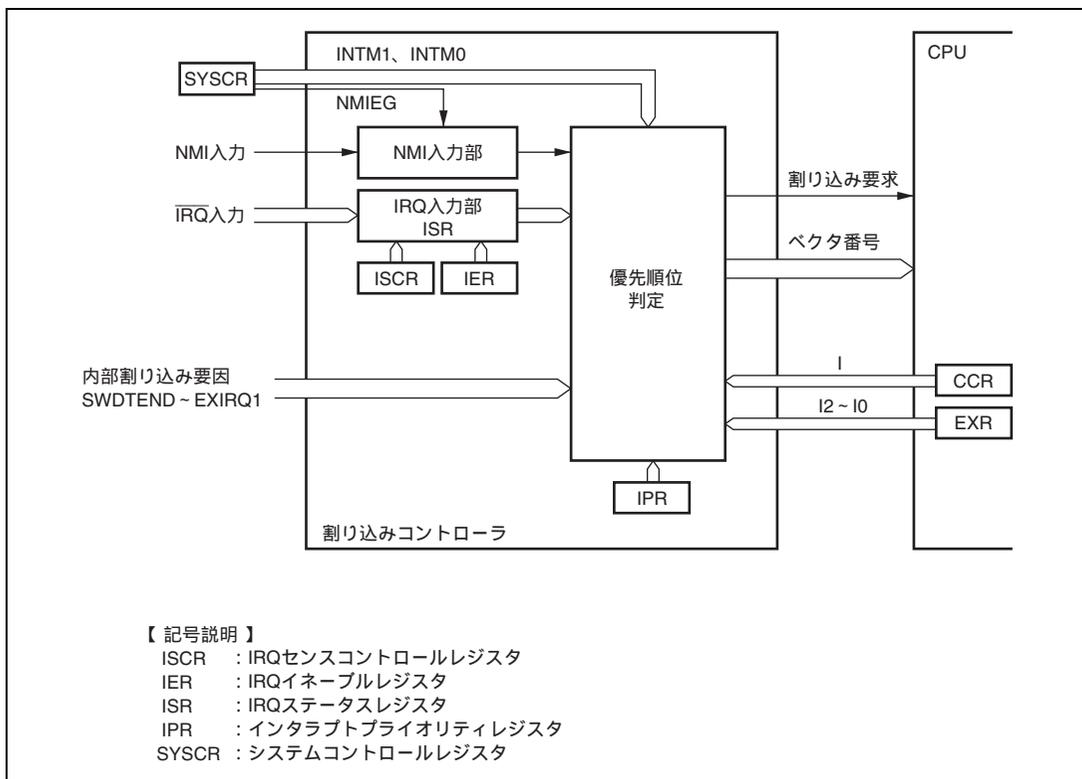


図 5.1 割り込みコントローラのブロック図

## 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ}}7$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能（ $\overline{\text{IRQ}}6$ は内蔵 USB 専用の内部信号です）。
$\overline{\text{IRQ}}5$	入力	
$\overline{\text{IRQ}}4$	入力	
$\overline{\text{IRQ}}3$	入力	
$\overline{\text{IRQ}}2$	入力	
$\overline{\text{IRQ}}1$	入力	
$\overline{\text{IRQ}}0$	入力	

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCR L)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタM (IPRM)

### 5.3.1 インタラプトプライオリティレジスタ A~G、I~K、M (IPRA~IPRG、IPRI~IPRK、IPRM)

IPR は NMI を除く割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に 0 が読み出されます。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

### 5.3.2 IRQ イネーブルレジスタ (IER)

IER は IRQ7 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル* このビットが 1 のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

【注】 \* IRQ6 は内蔵 USB 専用割り込みです。

### 5.3.3 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は  $\overline{\text{IRQ7}}$  ~  $\overline{\text{IRQ0}}$  端子から割り込み要求を発生させる要因を選択します。

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	
12	IRQ6SCA	0	R/W	
				IRQ6*センスコントロール B IRQ6*センスコントロール A 00 : 内蔵 USB のサスペンド / レジュー - ム割り込みを使用するときは設定禁止 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 1X : 設定禁止

ビット	ビット名	初期値	R/W	説明
11	IRQ5SCB	0	R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ5SCA	0	R/W	
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	
7	IRQ3SCB	0	R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00: $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ0SCA	0	R/W	

【注】 \* IRQ6 は内蔵 USB 専用割り込みです。

【記号説明】 X : Don't care

### 5.3.4 IRQ ステータスレジスタ (ISR)

ISR は IRQ7 ~ IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードしたあと、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ1F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
0	IRQ0F	0	R/(W)*	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 5.4 割り込み要因

### 5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7、IRQ5～IRQ0の8要因があります。外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。IRQ6は内蔵USB専用割り込みですがソフトウェアスタンバイモードからの復帰に使用できます。また、IRQ6は内蔵USB専用割り込みですが、他のIRQ7、IRQ5～IRQ0と同等機能となります。

#### (1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれかで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

#### (2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは  $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  端子の入力信号により割り込み要求を発生します。IRQ7～IRQ0 割り込みには以下の特長があります。

- $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ7～IRQ0 割り込み要求は IER によりマスクできます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQn 割り込みのブロック図を図 5.2 に示します。

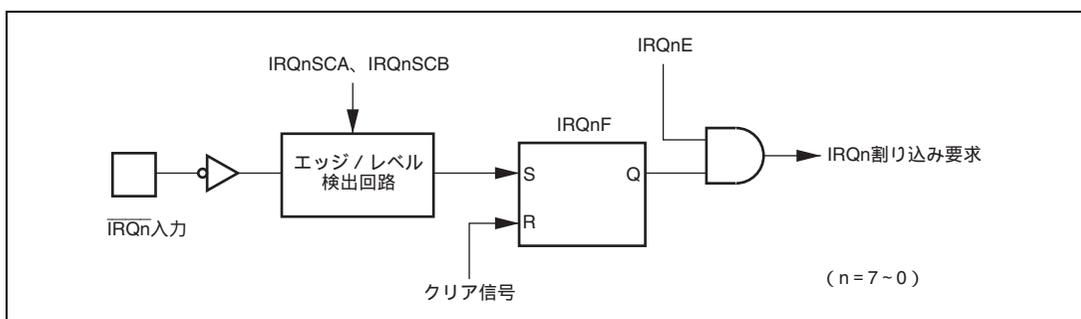


図 5.2 IRQn 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

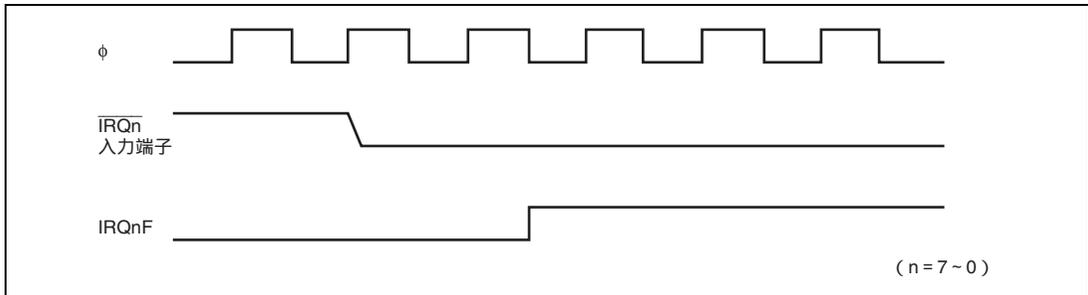


図 5.3 IRQnF のセットタイミング

IRQn 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQnF は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

#### 5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMACまたはDTCを起動することができます。
- 割り込み要求によりDMACまたはDTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

## 5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。モジュール間の優先順位は、IPR により変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (1)

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
外部端子	NMI	7	H'001C		↑ 高
	IRQ0	16	H'0040	IPRA6 ~ IPRA4	
	IRQ1	17	H'0044	IPRA2 ~ IPRA0	
	IRQ2	18	H'0048	IPRB6 ~ IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2 ~ IPRB0	
	IRQ5	21	H'0054		
USB	IRQ6	22	H'0058	IPRC6 ~ IPRC4	↑ 高          ↓ 低
外部端子	IRQ7	23	H'005C		
DTC	SWDTEND	24	H'0060	IPRC2 ~ IPRC0	
ウォッチドッグタイマ	WOVI	25	H'0064	IPRD6 ~ IPRD4	
A/D	ADI	28	H'0070	IPRE2 ~ IPRE0	
TPU チャンネル 0	TGI0A	32	H'0080	IPRF6 ~ IPRF4	
	TGI0B	33	H'0084		
	TGI0C	34	H'0088		
	TGI0D	35	H'008C		
	TCI0V	36	H'0090		
TPU チャンネル 1	TGI1A	40	H'00A0	IPRF2 ~ IPRF0	
	TGI1B	41	H'00A4		
	TCI1V	42	H'00A8		
	TCI1U	43	H'00AC		
TPU チャンネル 2	TGI2A	44	H'00B0	IPRG6 ~ IPRG4	
	TGI2B	45	H'00B4		
	TCI2V	46	H'00B8		
	TCI2U	47	H'00BC		

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (2)

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
8ビットタイムチャネル0	CMIA0 (コンペアマッチ A)	64	H'0100	IPR16 ~ IPR14	↑ 高          ↓ 低
	CMIB0 (コンペアマッチ B)	65	H'0104		
	OVI0 (オーバーフロー)	66	H'0108		
8ビットタイムチャネル1	CMIA1 (コンペアマッチ A)	68	H'0110	IPR12 ~ IPR10	
	CMIB1 (コンペアマッチ B)	69	H'0114		
	OVI1 (オーバーフロー)	70	H'0118		
DMAC	DEND0A	72	H'0120	IPR J 6 ~ IPR J 4	
	DEND0B	73	H'0124		
	DEND1A	74	H'0128		
	DEND1B	75	H'012C		
SCI チャネル 0	ERI0	80	H'0140	IPRJ2 ~ IPRJ0	
	RXI0	81	H'0144		
	TXI0	82	H'0148		
	TEI0	83	H'014C		
SCI チャネル 1	ERI1	84	H'0150	IPRK6 ~ IPRK4	
	RXI1	85	H'0154		
	TXI1	86	H'0158		
	TEI1	87	H'015C		
SCI チャネル 2	ERI2	88	H'0160	IPRK2 ~ IPRK0	
	RXI2	89	H'0164		
	TXI2	90	H'0168		
	TEI2	91	H'016C		
USB	EXIRQ0	104	H'01A0	IPRM6 ~ IPRM4	
	EXIRQ1	105	H'01A4		

【注】 \* 先頭アドレスの下位 16 ビットを示しています。

## 5.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はSYSCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因はIビットによりマスクされます。
2	IPR	I2~I0	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 I2~I0ビットにより、8レベルの割り込みマスク制御を行います。

### 5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットがIにセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットがIにセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了したあと、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットをIにセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

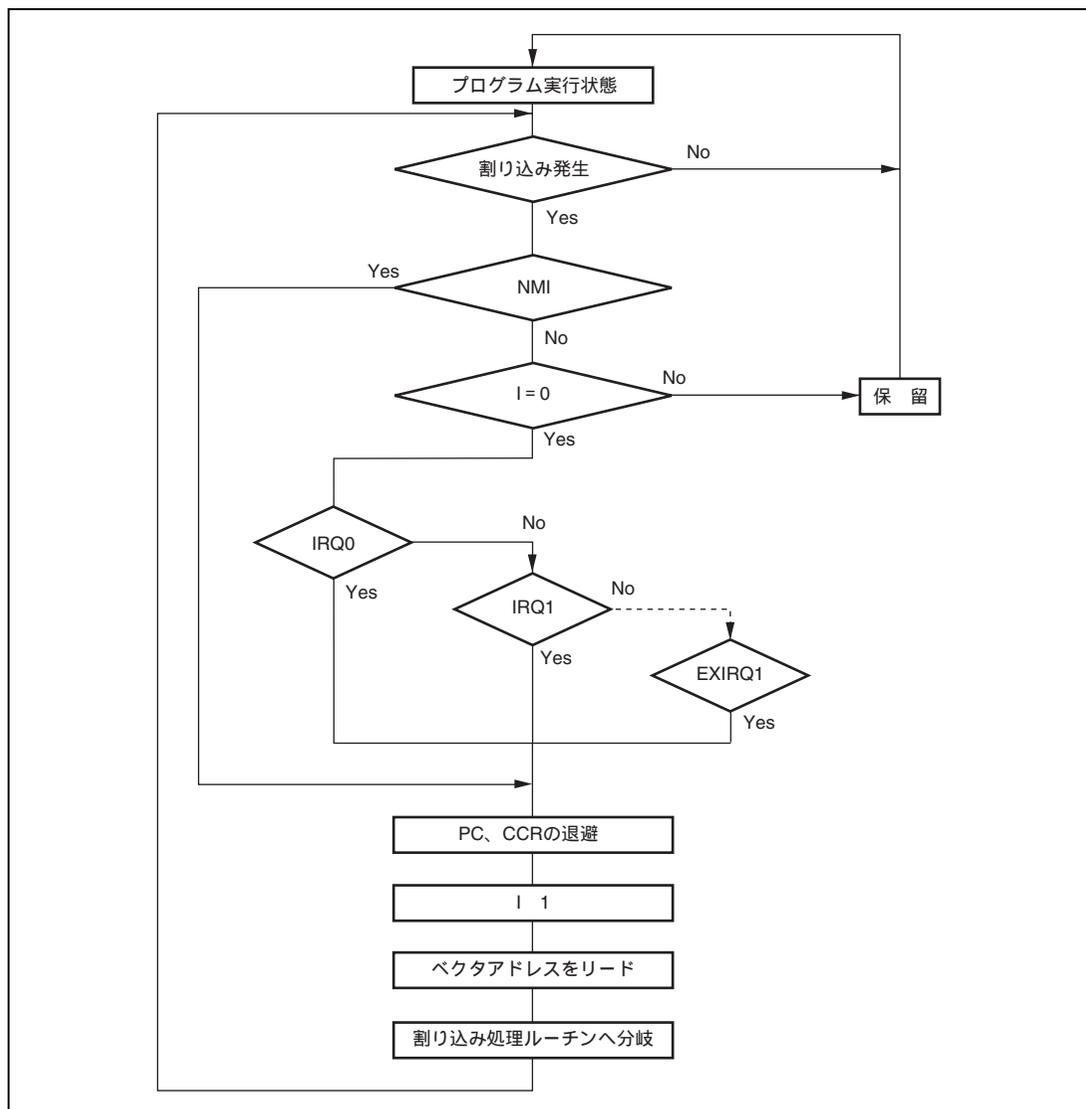


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

### 5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル (I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.5 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラは IPR に設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表 5.2 に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位と EXR の割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければ CPU に対して割り込み処理を要求します。
4. CPU は割り込み要求を受け付けると、実行中の命令の処理が終了したあと、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、および EXR がスタック領域に退避されます。PC にはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXR の T ビットが 0 にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みが NMI のときは割り込みマスクレベルは H7 に設定されます。
7. CPU は受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

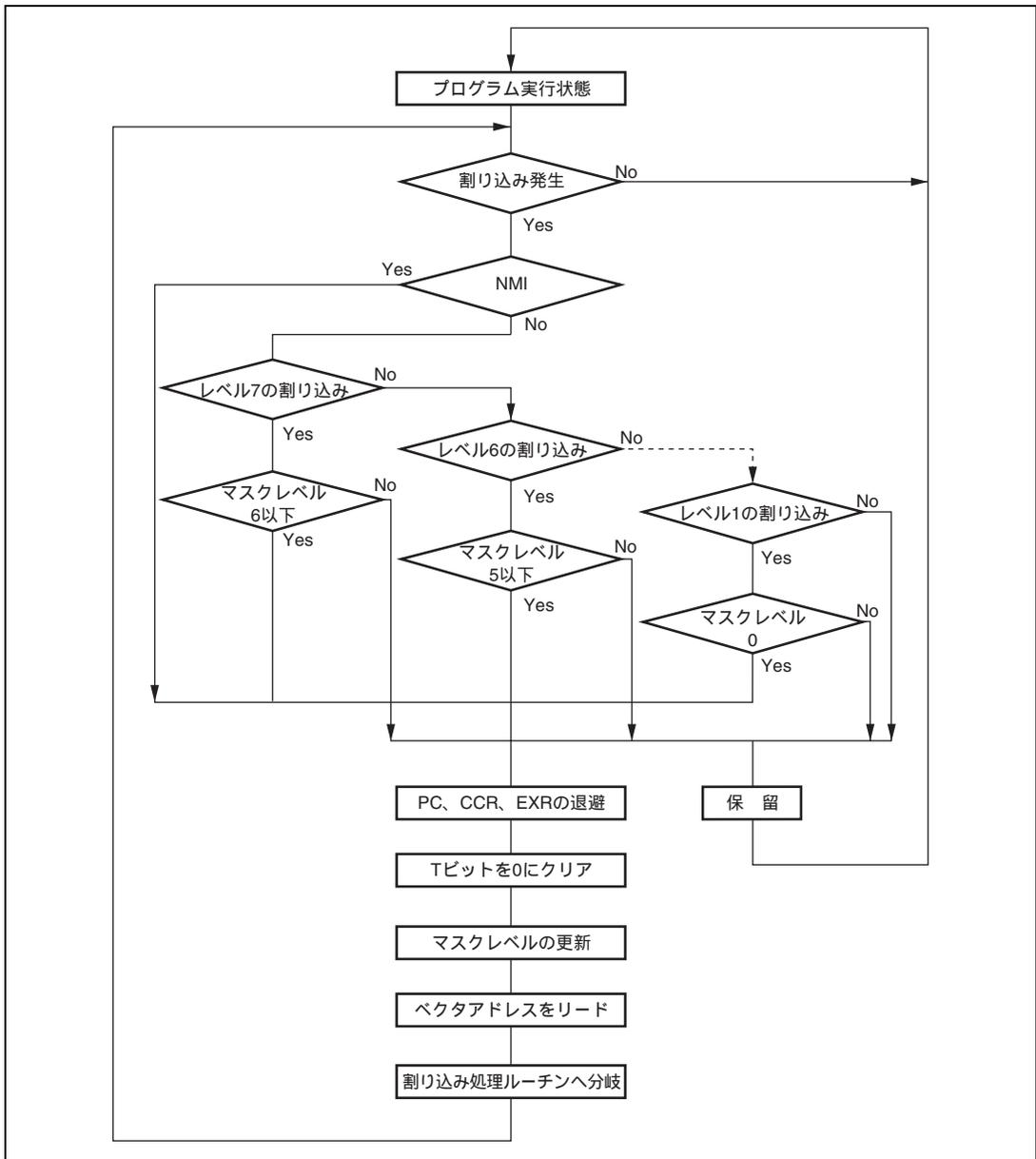


図 5.5 割り込み制御モード 2 の割り込み受け付けまでのフロー

### 5.6.3 割り込み例外処理シーケンス

図 5.6 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

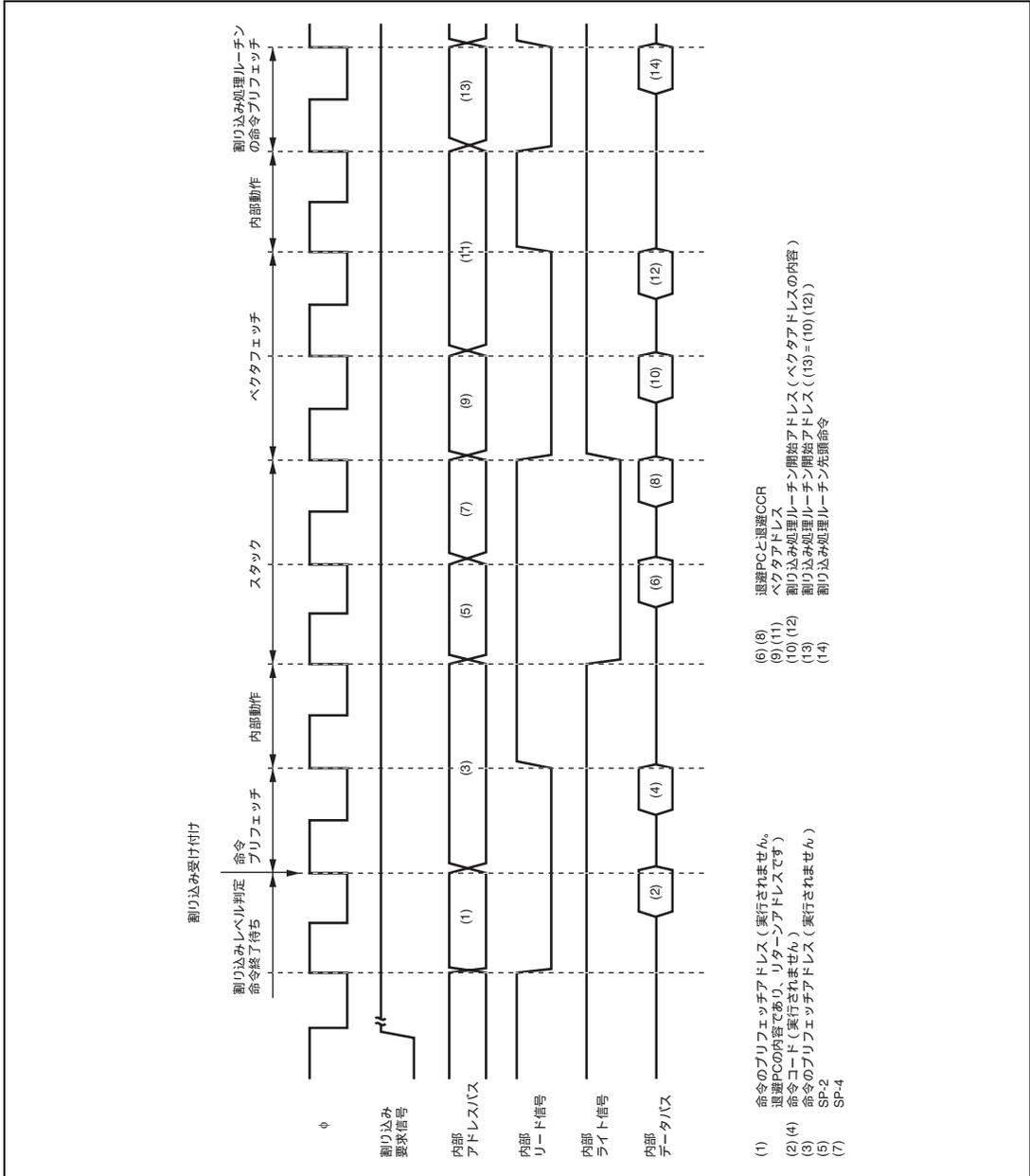


図 5.6 割り込み例外処理

### 5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR、および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	$S_i$		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計（内蔵メモリ使用時）		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 \*1 内部割り込みの場合 2 ステートとなります。  
 \*2 MULXS、DIVXS 命令について示しています。  
 \*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。  
 \*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。  
 \*5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部 メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステートアクセス	3 ステートアクセス	2 ステートアクセス	3 ステートアクセス
命令フェッチ $S_i$	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

### 5.6.5 割り込みによる DTC、DMAC の起動

割り込みにより、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1.~3.の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、「第 7 章 DMA コントローラ (DMAC)」および「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

図 5.7 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

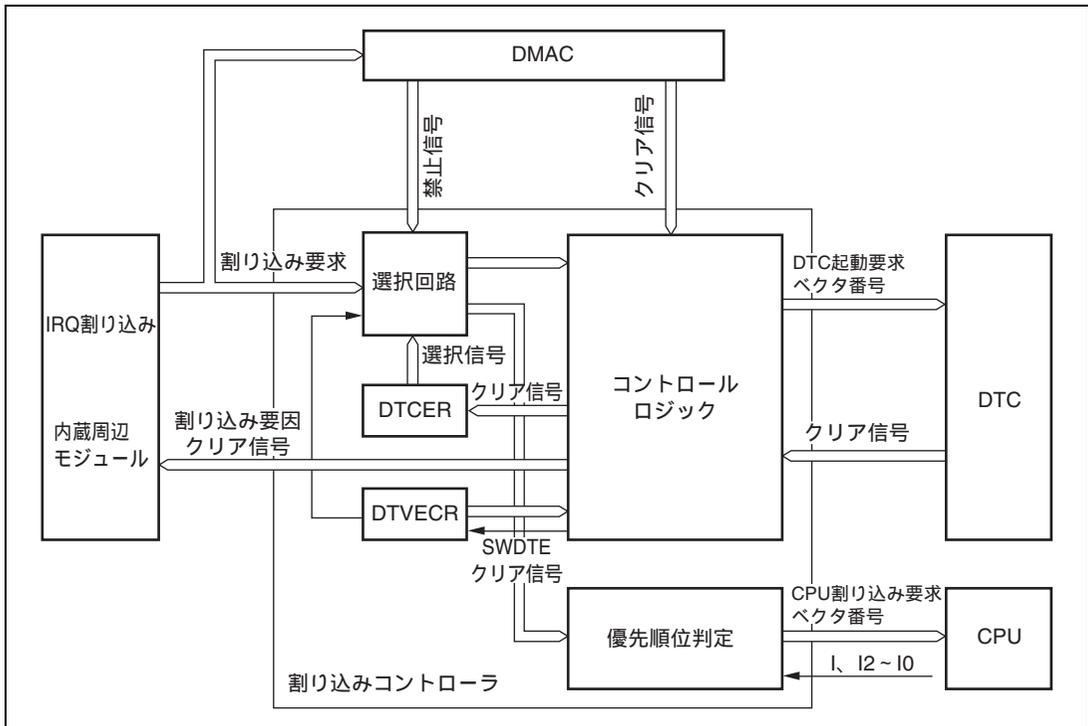


図 5.7 DTC、DMAC と割り込み制御

#### (1) 割り込み要因の選択

DMAC は、各チャンネルに直接、起動要因が入力されます。DMAC の各チャンネルの起動要因は DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が管理するかを、DMABCR の DTA ビットによって選択することができます。DTA ビットを 1 にセットすると、その DMAC の起動要因になった割り込み要因は、DTC の起動要因および CPU の割り込み要因にはなりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERF の DTCE ビットにより、DTC 起動要求や、CPU 割り込み要求を選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

#### (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.4 レジスタ情報の配置と DTC ベクタテーブル」を参照してください。

DMAC は、各チャンネルに直接起動要因が入力されます。

#### (3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

同一の割り込みを、DMAC の起動要因と、DTC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.6 に、DMAC の DMABCR の DTA ビット、DTC の DTCERA ~ DTCERF の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択・クリア制御		
DMAC	DTC		DMAC	DTC	CPU
DTA	DTCE	DISEL			
0	0	*		×	
	1	0			×
		1			
1	*	*		×	×

#### 【記号説明】

○ : 当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

○ : 当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

\* : Don't care

#### (4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DMAC または DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビット、DTCE ビット、DISEL ビットには依存しません。

## 5.7 使用上の注意事項

### 5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER\_0 の TGIEA を 0 にクリアする場合の例を図 5.8 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

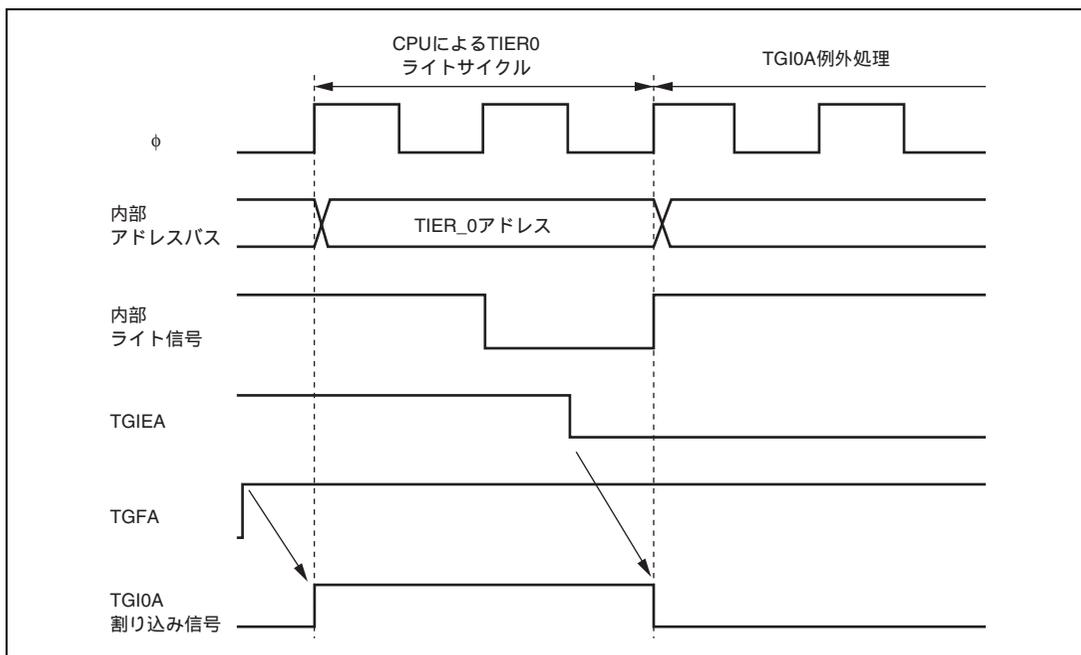


図 5.8 割り込みの発生とディスエーブルの競合

### 5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

### 5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新したあとの 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

### 5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:    EEPMOV.W
      MOV.W   R4, R4
      BNE    L1
```

### 5.7.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイモード時は非同期で入力を受け付けます。

入力条件については、製品ごとの「電気的特性」の「制御信号タイミング」を参照してください。

### 5.7.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。



---

## 6. バスコントローラ

---

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC) およびデータトランスファコントローラ (DTC) の動作を制御します。

### 6.1 特長

- 外部アドレス空間をエリア単位で管理
  - 外部 アドレス空間を 2M バイト単位の 8 エリアに分割して管理
  - エリアごとにバス仕様を設定可能
  - バースト ROM インタフェースを設定可能
- 基本バスインタフェース\*
  - エリア 0 ~ 7 に対してチップセレクト ( $\overline{CS0} \sim \overline{CS7}$ ) を出力可能
  - エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
  - エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
  - エリアごとに、プログラムウェイトステートを挿入可能
- バースト ROM インタフェース
  - エリア 0 に対してバースト ROM インタフェースを設定可能
  - バーストアクセスの 1 または 2 ステートを選択可能
- アイドルサイクル挿入
  - 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
  - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)
  - バスアービタを内蔵し、CPU、DMAC、および DTC のバス権を調停
- その他
  - 外部バス権解放機能

【注】 \* エリア 6 のチップセレクト  $\overline{CS6}$  は内蔵 USB 用ですので外部エリアとして使用できません。  
エリア 6 は 8 ビットアクセス / 3 ステートアクセス / プログラムウェイトなしに設定してください。

バスコントローラのブロック図を図 6.1 に示します。

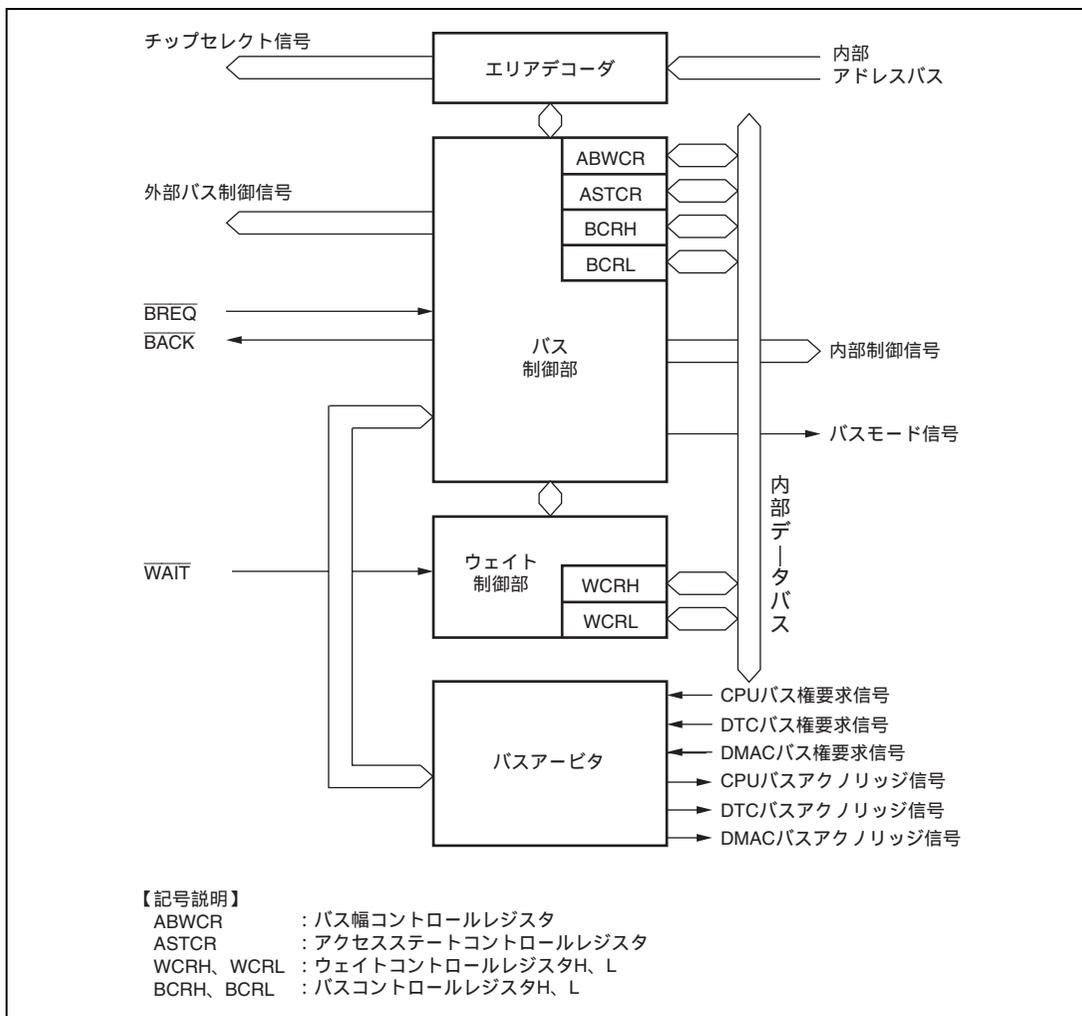


図 6.1 バスコントローラのブロック図

## 6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストローブ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストローブ信号。
リード	$RD$	出力	外部アドレス空間をリードしていることを示すストローブ信号。
ハイライト	$\overline{HWR}$	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストローブ信号。
ローライト	$\overline{LWR}$	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストローブ信号。
チップセレクト 0~7	$CS0 \sim CS7$	出力	エリア 0~7 が選択されていることを示すストローブ信号。
ウェイト	$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	$\overline{BREQ}$	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	$BACK$	出力	バス権を解放したことを示すアクノリッジ信号。

## 6.3 レジスタの説明

以下にバスコントローラのレジスタ構成を示します。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタH (WCRH)
- ウェイトコントロールレジスタL (WCRL)
- バスコントロールレジスタH (BCRH)
- バスコントロールレジスタL (BCRL)
- 端子機能コントロールレジスタ (PFCR)

### 6.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵 USB 以外の内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	ABW7	1/0* <sup>1</sup>	R/W	エリア 7~0 バス幅コントロール
6	ABW6* <sup>2</sup>	1/0* <sup>1</sup>	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。
5	ABW5	1/0* <sup>1</sup>	R/W	
4	ABW4	1/0* <sup>1</sup>	R/W	0: エリア n を 16 ビットアクセス空間に設定
3	ABW3	1/0* <sup>1</sup>	R/W	1: エリア n を 8 ビットアクセス空間に設定
2	ABW2	1/0* <sup>1</sup>	R/W	【注】 n = 7~0
1	ABW1	1/0* <sup>1</sup>	R/W	
0	ABW0	1/0* <sup>1</sup>	R/W	

【注】 \*1 モード 5~7 では 1、モード 4 では 0 となります。

\*2 エリア 6 には内蔵 USB が割り付けられているため必ず ABW6 = 1 に設定してください。

### 6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵 USB 以外の内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6*	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。
5	AST5	1	R/W	
4	AST4	1	R/W	同時に、ウェイトステートの挿入を許可または禁止します。
3	AST3	1	R/W	0: エリア n を 2 ステートアクセス空間に設定
2	AST2	1	R/W	エリア n のアクセスにウェイトステートの挿入を禁止
1	AST1	1	R/W	1: エリア n を 3 ステートアクセス空間に設定
0	AST0	1	R/W	エリア n のアクセスにウェイトステートの挿入を許可
				【注】 n = 7~0

【注】 \* エリア 6 には内蔵 USB が割り付けられているため必ず AST6 = 1 に設定してください。

### 6.3.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、各エリアのプログラムウェイトステート数を選択します。

内蔵 USB 以外の内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

#### • WCRH

ビット	ビット名	初期値	R/W	説明
7 6	W71 W70	1 1	R/W R/W	エリア7ウェイトコントロール1、0 ASTCRのAST7=1のとき、エリア7をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
5 4	W61* W60*	1 1	R/W R/W	エリア6ウェイトコントロール1、0 ASTCRのAST6=1のときでエリア6をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
3 2	W51 W50	1 1	R/W R/W	エリア5ウェイトコントロール1、0 ASTCRのAST5=1のとき、エリア5をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
1 0	W41 W40	1 1	R/W R/W	エリア4ウェイトコントロール1、0 ASTCRのAST4=1のとき、エリア4をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入

【注】 \* エリア6には内蔵USBが割り付けられているため必ずW61=W60=0に設定してください。

## • WCRL

ビット	ビット名	初期値	R/W	説明
7 6	W31 W30	1 1	R/W R/W	エリア3ウェイトコントロール1、0 ASTCRのAST3=1のとき、エリア3をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
5 4	W21 W20	1 1	R/W R/W	エリア2ウェイトコントロール1、0 ASTCRのAST2=1のとき、エリア2をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
3 2	W11 W10	1 1	R/W R/W	エリア1ウェイトコントロール1、0 ASTCRのAST1=1のとき、エリア1をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
1 0	W01 W00	1 1	R/W R/W	エリア0ウェイトコントロール1、0 ASTCRのAST0=1のとき、エリア0をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入

### 6.3.4 バスコントロールレジスタ H (BCRH)

BCRH はアイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない 1: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する
6	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル エリア 0 をバースト ROM インタフェースとするかを選択します。 0: エリア 0 は基本バスインタフェース 1: エリア 0 はバースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: バーストサイクルは 1 ステート 1: バーストサイクルは 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: バーストアクセスは最大 4 ワード 1: バーストアクセスは最大 8 ワード
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

## 6.3.5 バスコントロールレジスタ L (BCRL)

BCRL は外部バス解放状態のプロトコルの選択、 $\overline{\text{WAIT}}$  端子入力の許可または禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	BRLE	0	R/W	バスリリズイネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止。BREQ、BACK は入出力ポートとして使用可 1: 外部バス権の解放を許可
6	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	-	1	R/W	リザーブビット ライトするときは 1 をライトしてください。
2、1	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
0	WAITE	0	R/W	WAIT 端子イネーブル $\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。 0: $\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可 1: $\overline{\text{WAIT}}$ 端子によるウェイト入力を許可

### 6.3.6 端子機能コントロールレジスタ (PFCR)

PFCR は外部拡張モード時のアドレス出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R/W	リザーブビット ライトするときは0をライトしてください。
3	AE3	1/0*	R/W	アドレス出力イネーブル3~0 ROMなし拡張モードとROMありモード時のアドレス出力A8~A23の許可/禁止を選択します。アドレス出力を許可した端子は、対応するDDRに関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応するDDRを1にセットするとポート出力となります。  0000 : A8~A23 出力を禁止 (モード6、7の初期値) 0001 : A8 出力を許可。A9~A23 出力を禁止 0010 : A8、A9 出力を許可。A10~A23 出力を禁止 0011 : A8~A10 出力を許可。A11~A23 出力を禁止 0100 : A8~A11 出力を許可。A12~A23 出力を禁止 0101 : A8~A12 出力を許可。A13~A23 出力を禁止 0110 : A8~A13 出力を許可。A14~A23 出力を禁止 0111 : A8~A14 出力を許可。A15~A23 出力を禁止 1000 : A8~A15 出力を許可。A16~A23 出力を禁止 1001 : A8~A16 出力を許可。A17~A23 出力を禁止 1010 : A8~A17 出力を許可。A18~A23 出力を禁止 1011 : A8~A18 出力を許可。A19~A23 出力を禁止 1100 : A8~A19 出力を許可。A20~A23 出力を禁止 1101 : A8~A20 出力を許可。A21~A23 出力を禁止 (モード4、5の初期値) 1110 : A8~A21 出力を許可。A22、A23 出力を禁止 1111 : A8~A23 出力を許可
2	AE2	1/0*	R/W	
1	AE1	0	R/W	
0	AE0	1/0*	R/W	

【注】 \* モード4、5では1、モード6、7では0となります。

## 6.4 バス制御

### 6.4.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0 ~ 7 の 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。また、ノーマルモード\*では、エリア 0 の一部の、64K バイトのアドレス空間を制御します。図 6.2 にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ( $\overline{CS0} \sim \overline{CS7}$ ) を出力することができます。

【注】 \* 本 LSI では使用できません。

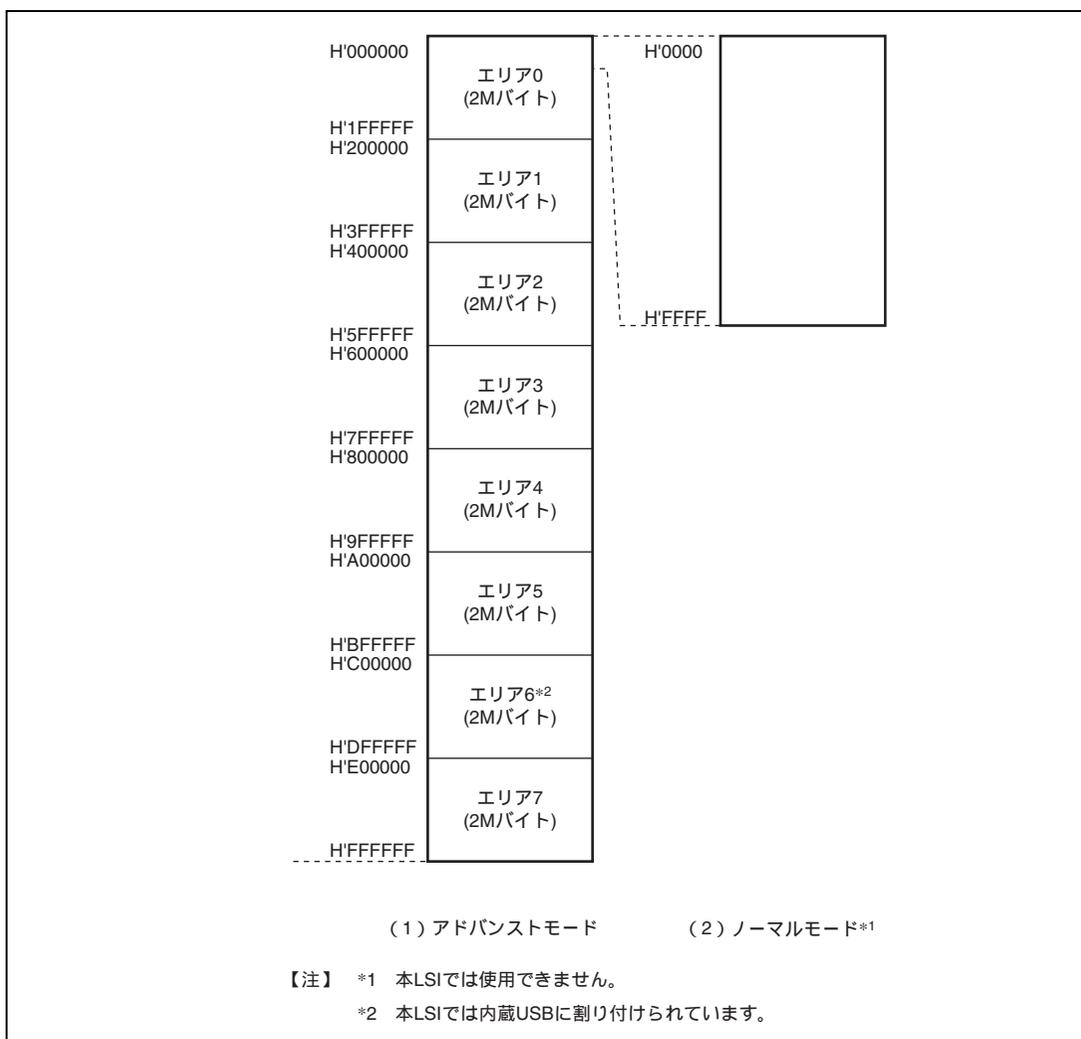


図 6.2 エリア分割の様子

## 6.4.2 バス仕様

外部アドレス空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。なお、内蔵 USB 以外の内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

### (1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。本 LSI ではエリア 6 を 8 ビットバスモードに設定してください。

### (2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

本 LSI ではエリア 6 を 3 ステートアクセス空間に設定してください。

### (3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

本 LSI ではエリア 6 のプログラムウェイトを 0 ステートに設定してください。

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH, WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0			16	2	0
						1
	1	1				
	1	0	2			
			1		3	
	1	0				8
1				0		
		1	1			
		1	0	2		
				1	3	

### 6.4.3 各エリアのバスインタフェース

各エリアの初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「6.6 基本バスインタフェース」、「6.7 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

#### (1) エリア0

エリア0は内蔵ROMを含んでおり、ROM無効拡張モードでは、エリア0のすべての空間が外部アドレス空間となります。ROM有効拡張モードでは、内蔵ROMを除いた空間が外部アドレス空間となります。

エリア0の外部アドレス空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア0は、基本バスインタフェースまたはバーストROMインタフェースを選択することができます。

#### (2) エリア1~6

エリア1~6は、外部拡張モードのとき、エリア1~6のすべての空間が外部アドレス空間となります。エリア1~6の外部アドレス空間をアクセスするとき、それぞれ、 $\overline{CS1} \sim \overline{CS6}$ 端子信号を出力することができます。エリア1~6は、基本バスインタフェースのみを使用することができます。エリア6は、内蔵USB専用です。詳細は「第15章 ユニバーサルシリアルバス(USB)」を参照してください。

#### (3) エリア7

エリア7は内蔵RAMおよび内部I/Oレジスタを含んでおり、外部拡張モードのとき、内蔵RAMおよび内部I/Oレジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。エリア7の外部アドレス空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。エリア7は、基本バスインタフェースのみを使用することができます。

#### 6.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対して、それぞれチップセレクト信号 ( $\overline{CS0} \sim \overline{CS7}$ ) を出力することができ、当該エリアの外部アドレス空間をアクセスしたとき、Low レベルを出力します。図 6.3 に  $\overline{CSn}$  ( $n=0 \sim 7$ ) 信号出力タイミング例を示します。 $\overline{CSn}$  信号出力の許可または禁止は各  $\overline{CSn}$  端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$  端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$  端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$  信号を出力する場合には対応する DDR を 1 にセットしてください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$  端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$  信号を出力する場合には対応する DDR を 1 にセットしてください。詳細は「第 9 章 I/O ポート」を参照してください。

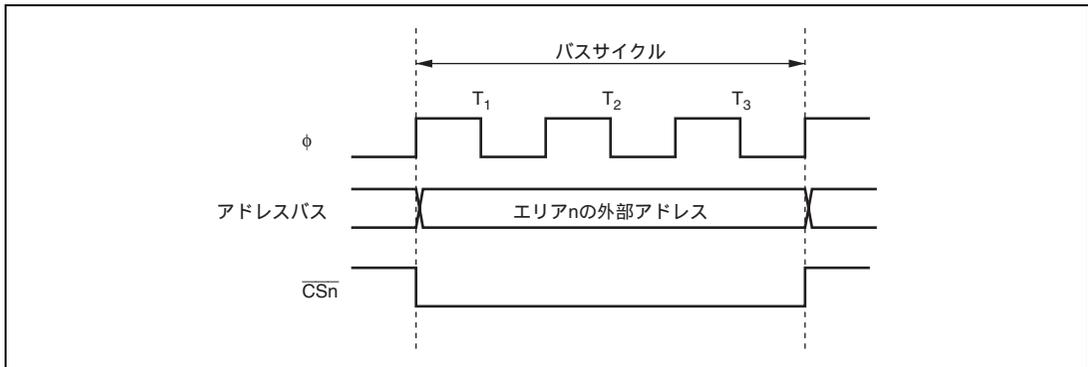


図 6.3  $\overline{CSn}$  信号出力タイミング ( $n=0 \sim 7$ )

## 6.5 基本動作タイミング

本 CPU は、システムクロック ( $\phi$ ) を基準に動作しています。 $\phi$  の立ち上がりから次の立ち上がりまでの 1 単位をステートとよびます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

### 6.5.1 内蔵メモリ (ROM、RAM) アクセスタイミング

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 6.4 に、端子状態を図 6.5 に示します。

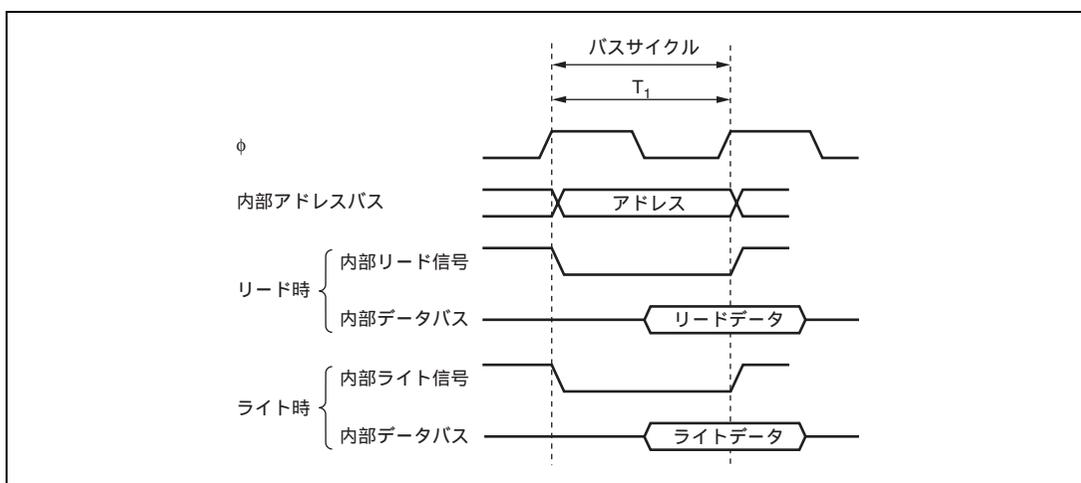


図 6.4 内蔵メモリアクセスサイクル

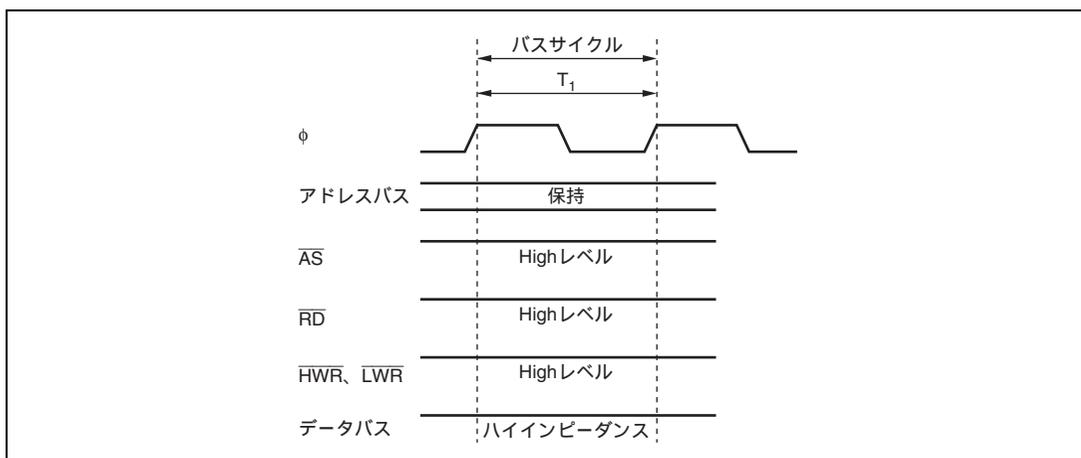


図 6.5 内蔵メモリアクセス時の端子状態

### 6.5.2 内蔵周辺モジュールアクセスタイミング

内蔵 USB 以外の内蔵周辺モジュールのアクセスは2 ステートで行われます。このとき、データバス幅は8 ビットまたは16 ビットで内部 I/O レジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図 6.6、端子状態を図 6.7 に示します。

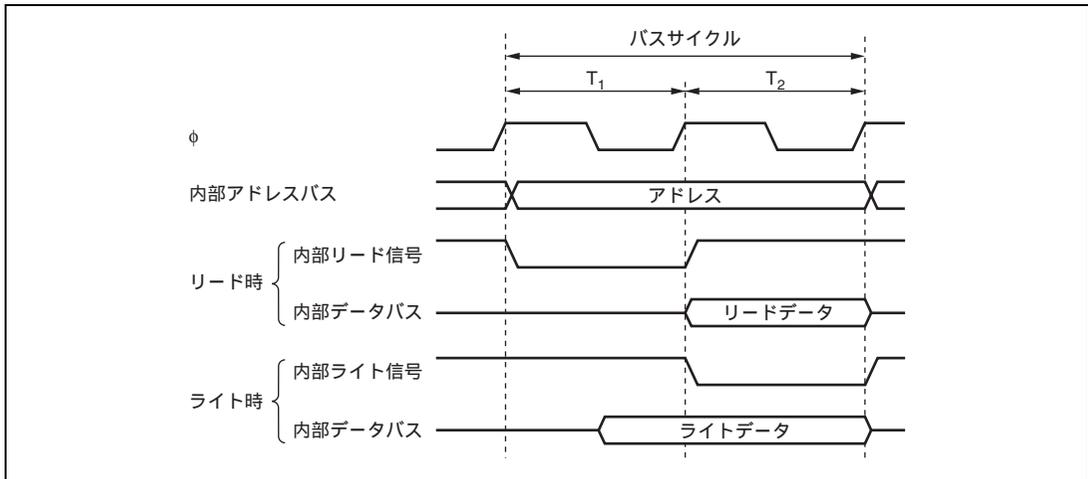


図 6.6 内蔵周辺モジュールアクセスサイクル

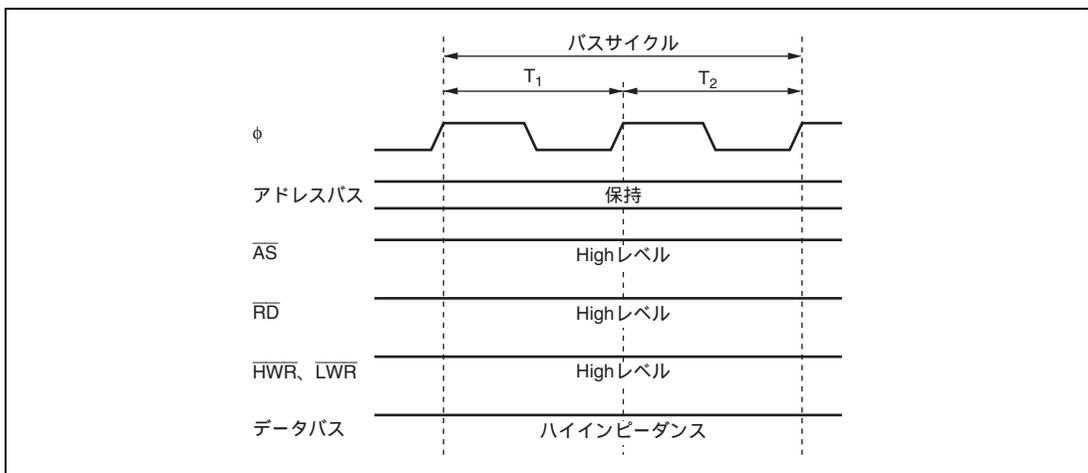


図 6.7 内蔵周辺モジュールアクセス時の端子状態

### 6.5.3 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8 ビットまたは16 ビット、バスサイクルは2 ステートまたは3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「6.6.3 基本タイミング」を参照してください。

## 6.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

### 6.6.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15～D8) を使用するか、下位側データバス (D7～D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

#### (1) 8 ビットアクセス空間

図 6.8 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15～D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

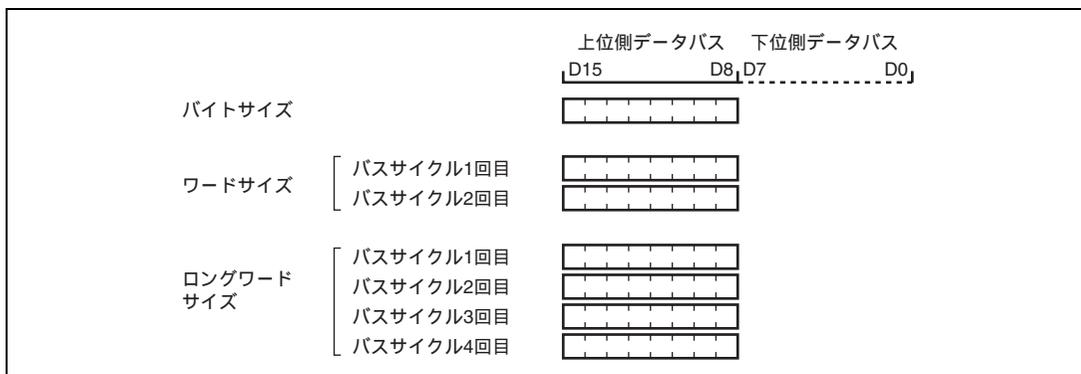


図 6.8 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

#### (2) 16 ビットアクセス空間

図 6.9 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15～D8) および下位側データバス (D7～D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

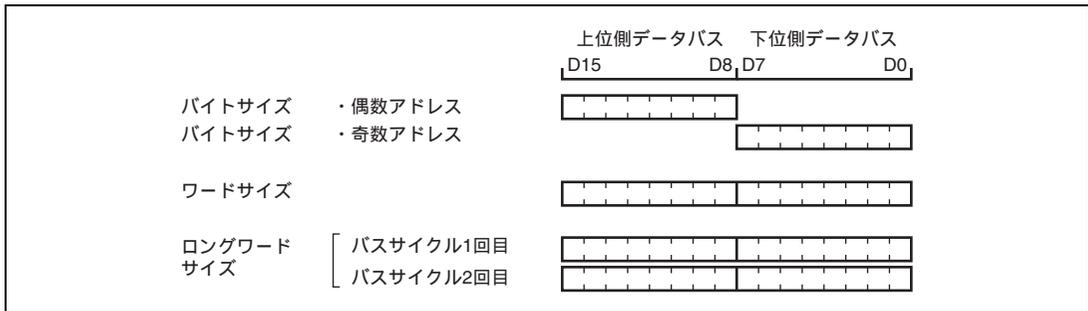


図 6.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

### 6.6.2 有効ストロープ

表 6.3 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく  $\overline{RD}$  信号が有効です。

ライト時には、データバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8ビット アクセス空間	バイト	リード	-	$\overline{RD}$	有効	無効
		ライト	-	$\overline{HWR}$	有効	Hi-Z
16ビット アクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数	$\overline{RD}$	無効	有効
		ライト	偶数	$\overline{HWR}$	有効	Hi-Z
			奇数	$\overline{LWR}$	Hi-Z	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ , $\overline{LWR}$	有効	有効

【注】 Hi-Z：ハイインピーダンス状態です。

無効：入力状態であり、入力値は無視されます。

### 6.6.3 基本タイミング

#### (1) 8ビット2ステートアクセス空間

図 6.10 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。

ウェイトステートを挿入することはできません。

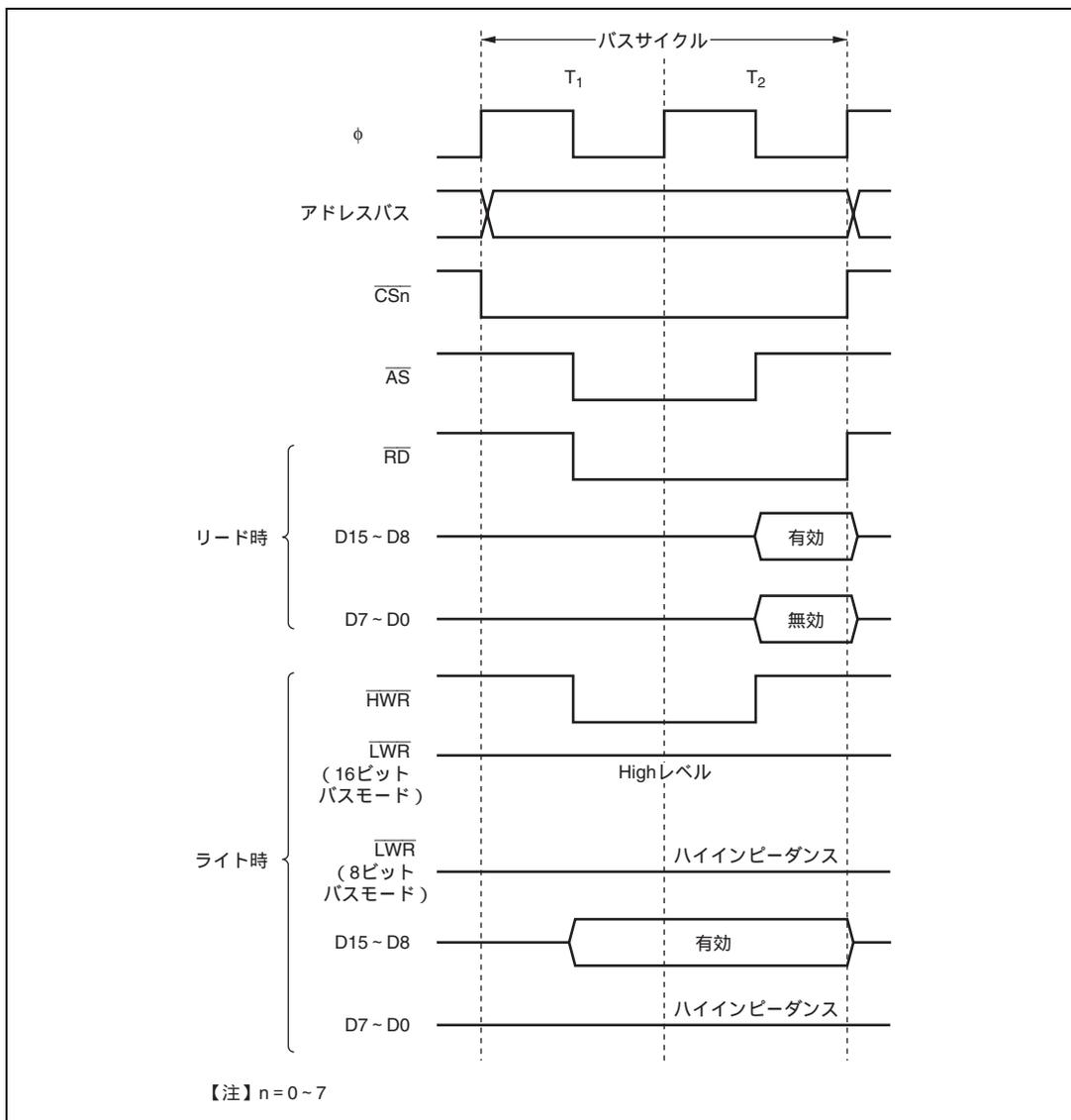


図 6.10 8 ビット 2 ステートアクセス空間のバスタイミング

## (2) 8 ビット 3 ステートアクセス空間 (エリア 6 以外)

図 6.11 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することができます。

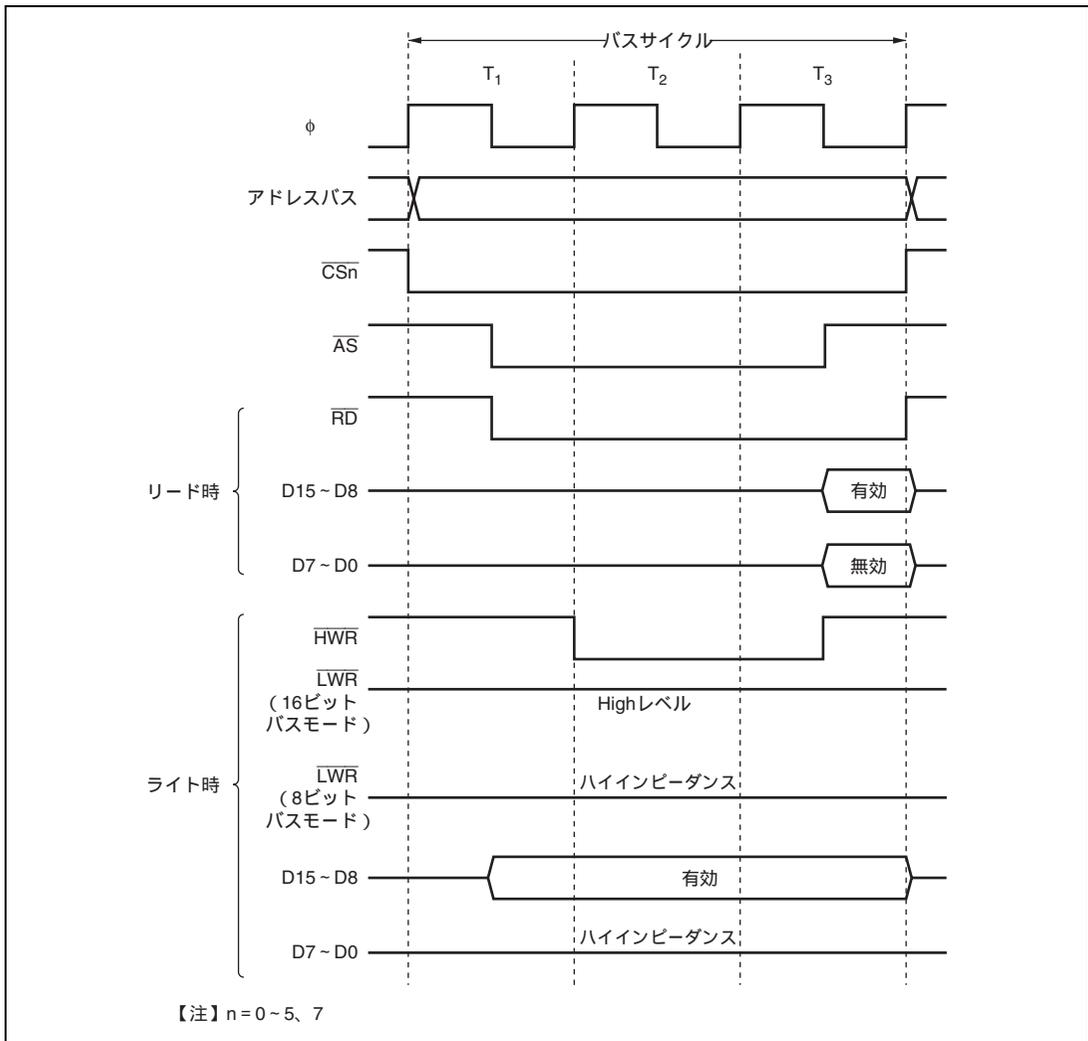


図 6.11 8 ビット 3 ステートアクセス空間のバスタイミング (エリア 6 以外)

## (3) 8ビット3ステートアクセス空間(エリア6)

図6.12にエリア6のバスタイミングを示します。エリア6をアクセスするとき、データバスは使用できません。ウェイトステートを挿入することはできません。

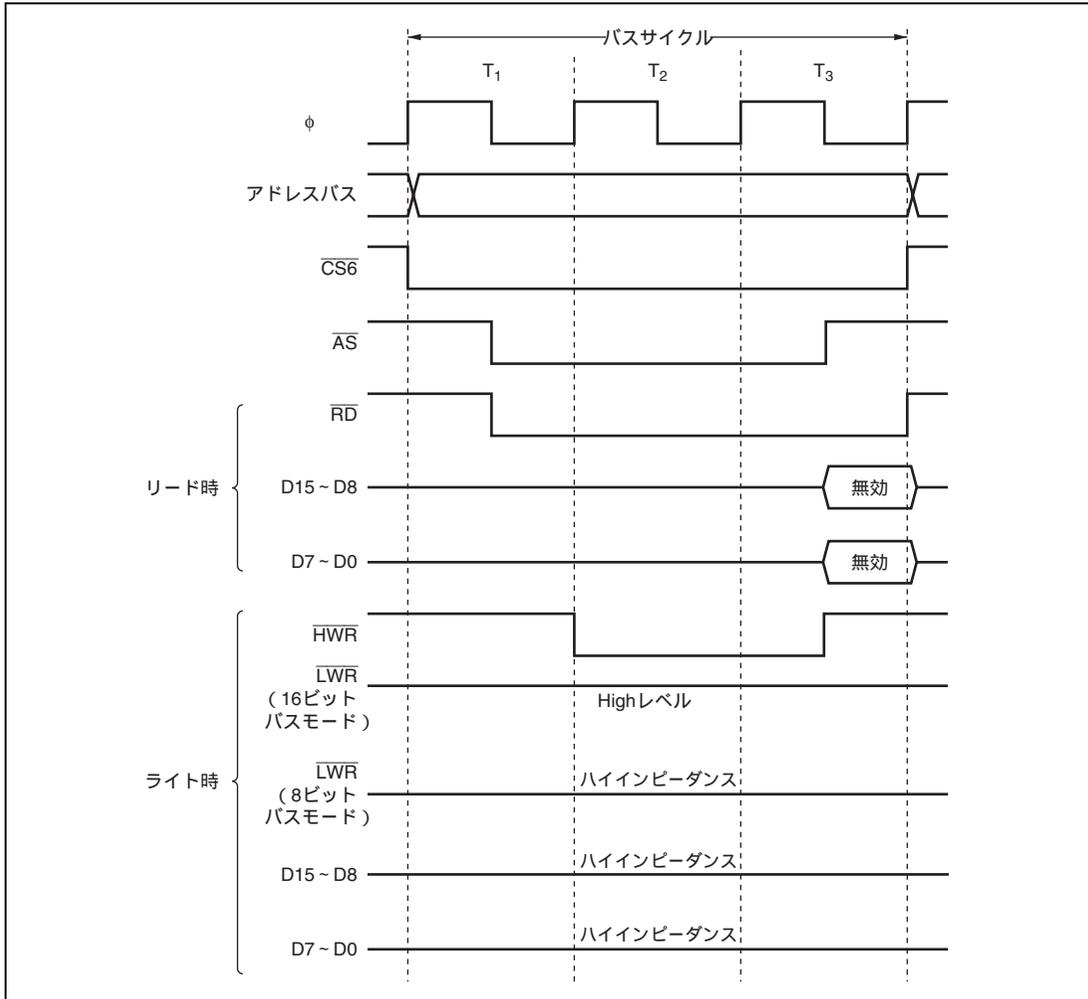


図6.12 エリア6のバスタイミング

## (4) 16 ビット 2 ステートアクセス空間

図 6.13～図 6.15 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することはできません。

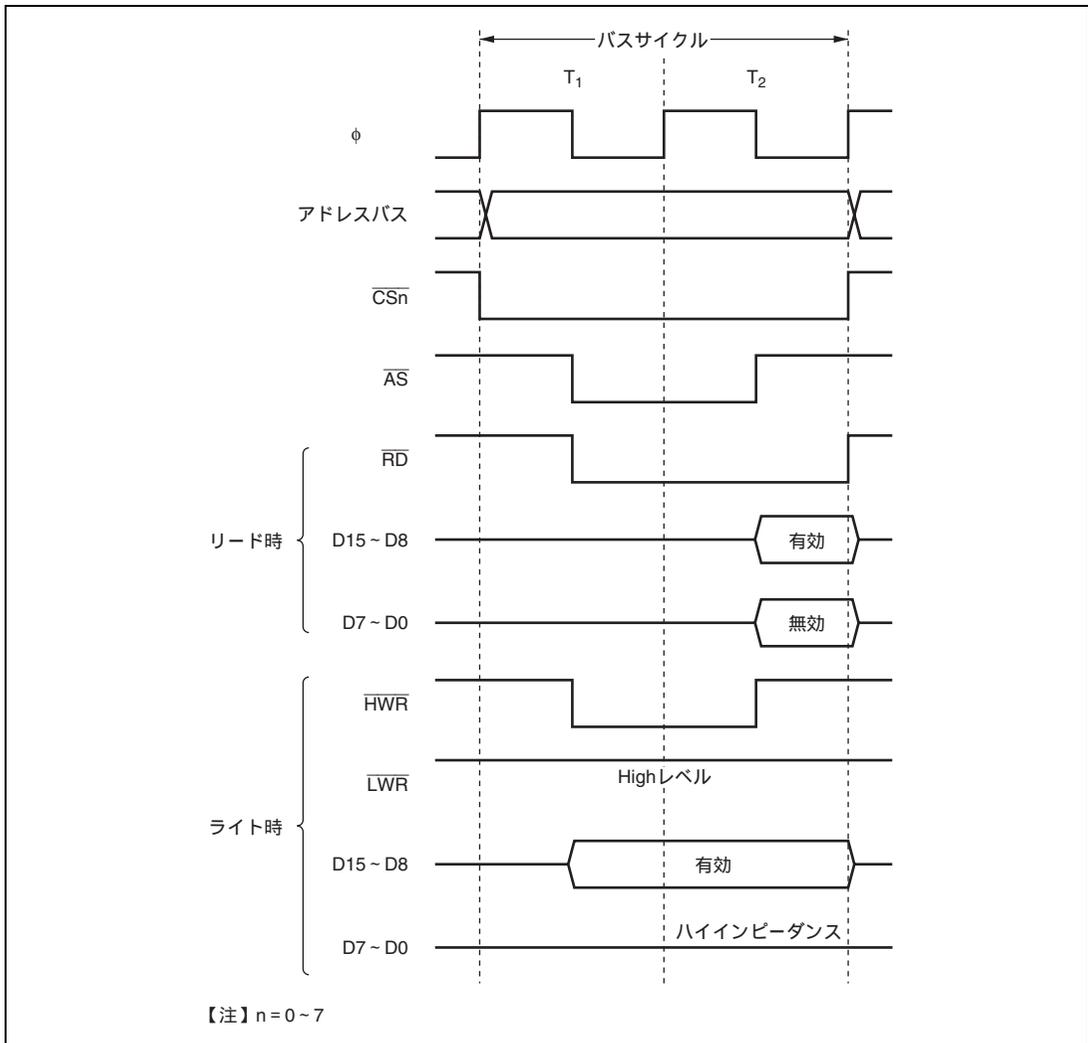


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング (1)  
(偶数アドレスバイトアクセス)

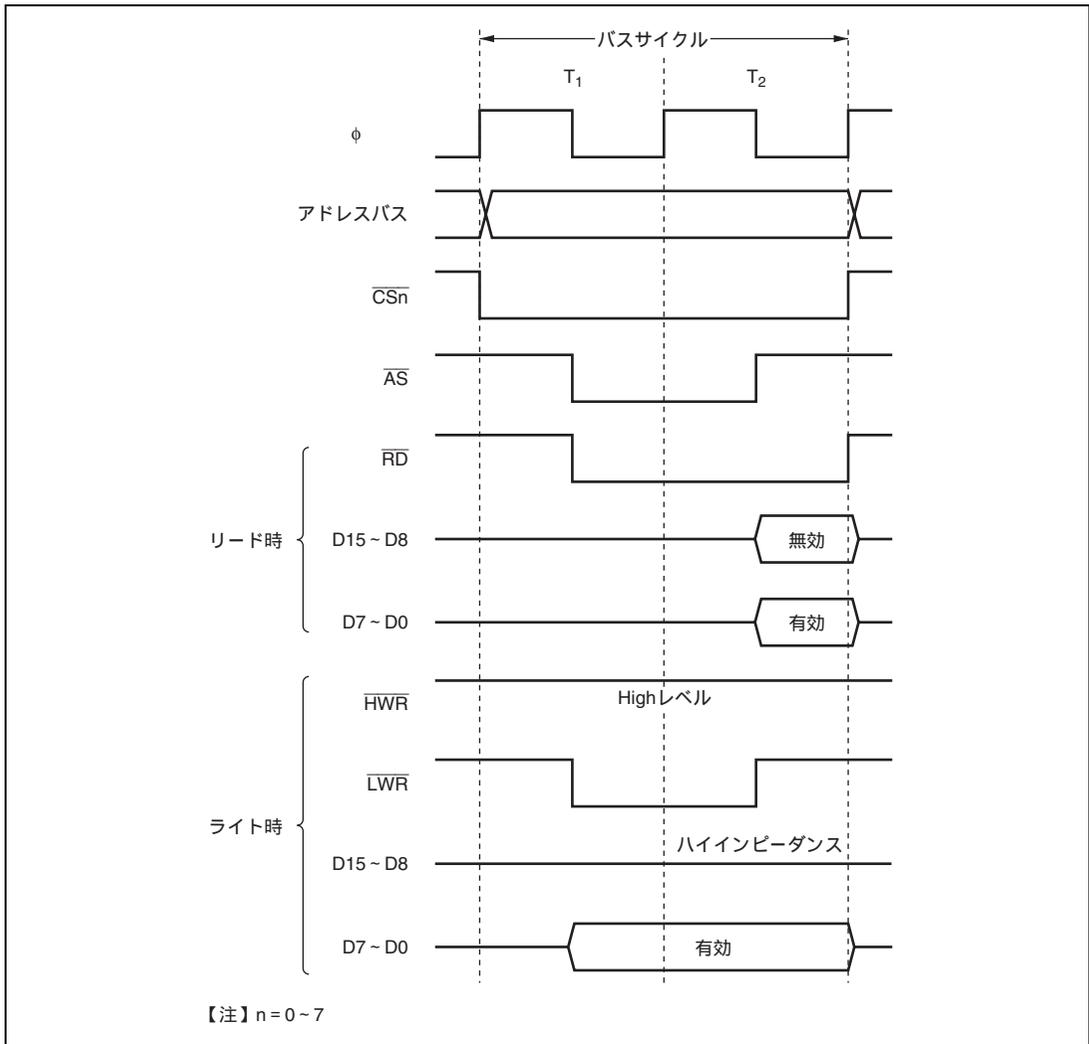


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)

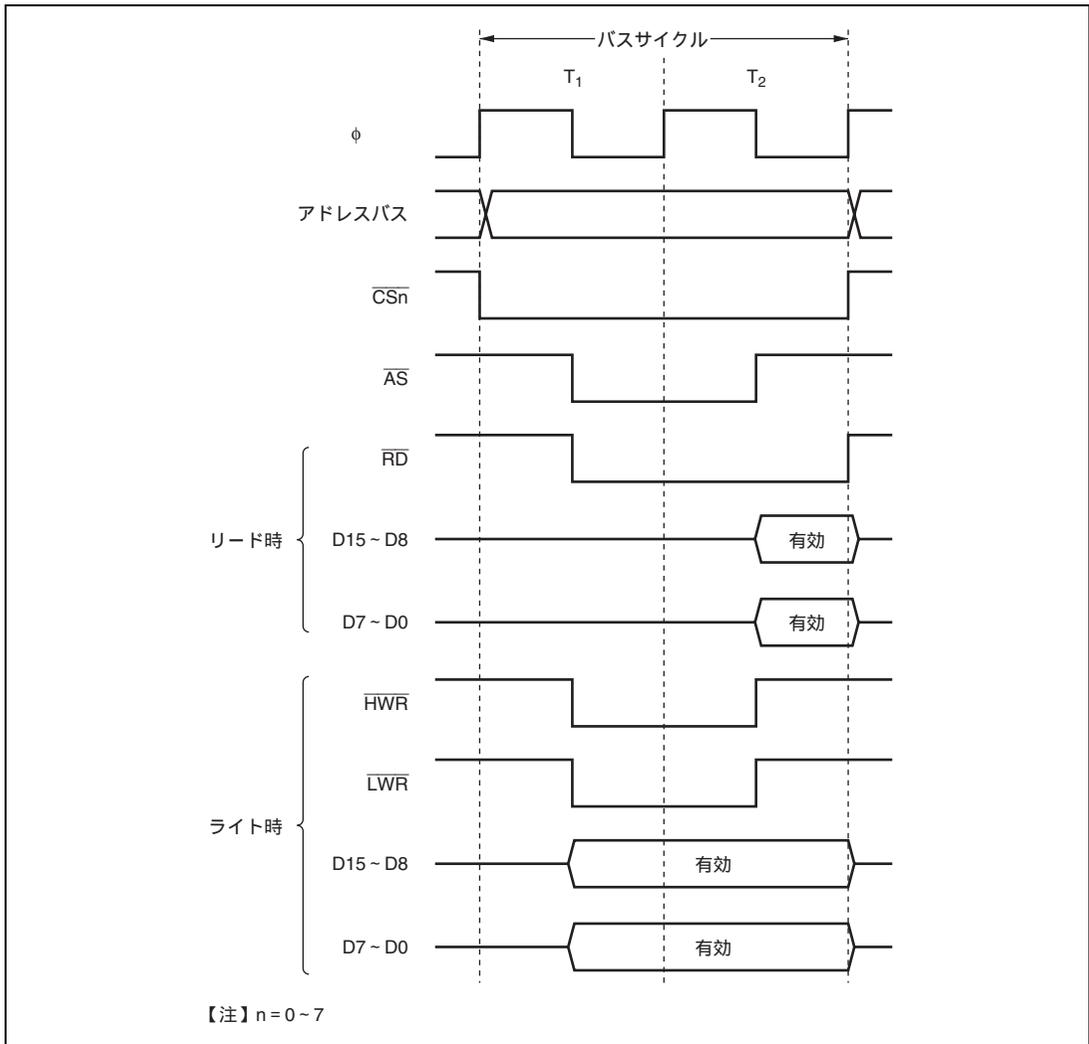


図 6.15 16 ビット 2 ステートアクセス空間のバスタイミング (3)  
(ワードアクセス)

## (5) 16 ビット 3 ステートアクセス空間

図 6.16～図 6.18 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

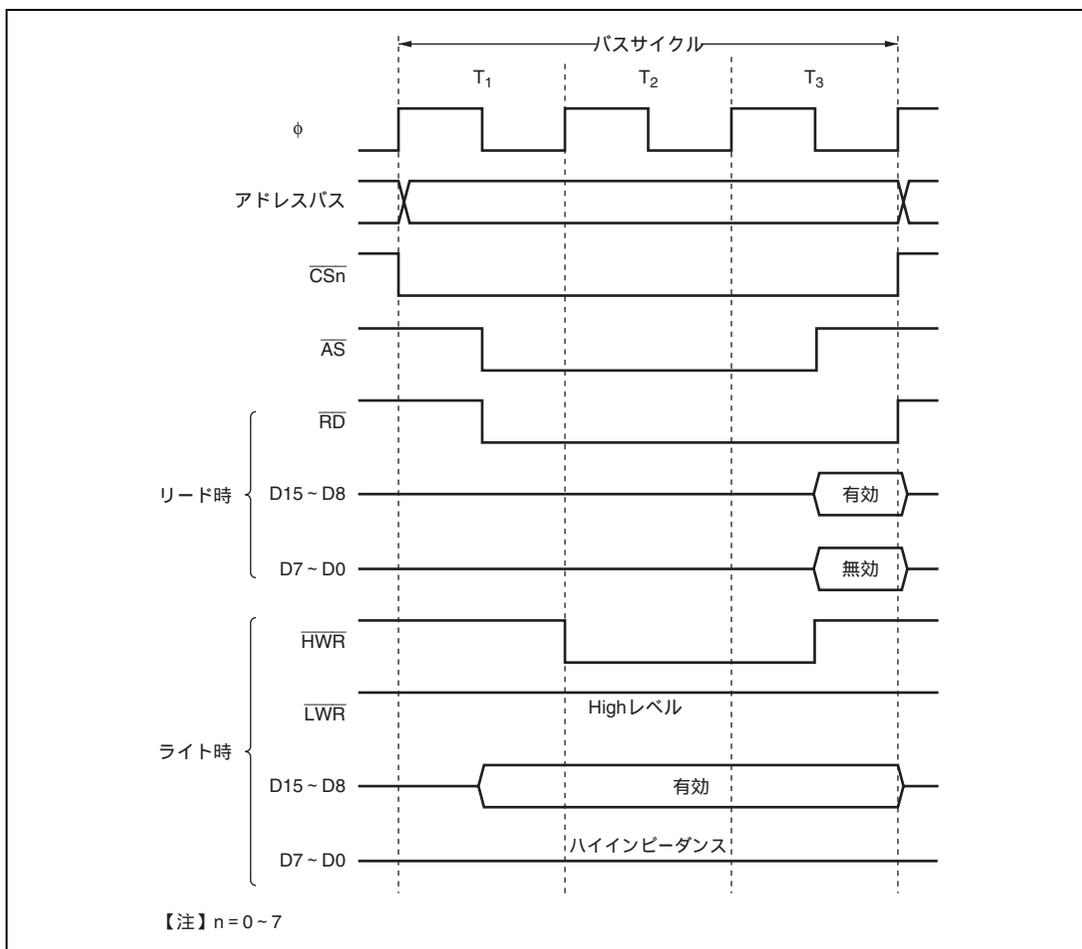


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング (1)  
(偶数アドレスバイトアクセス)

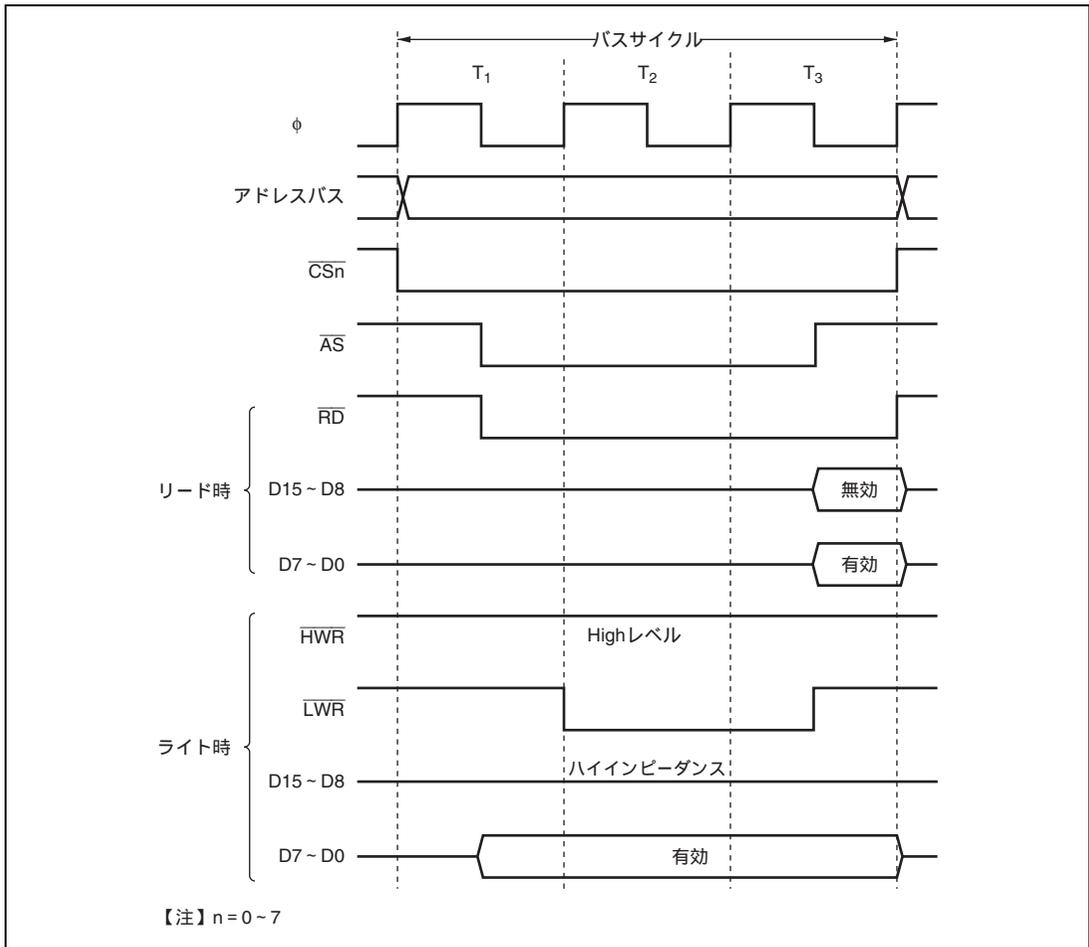


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)

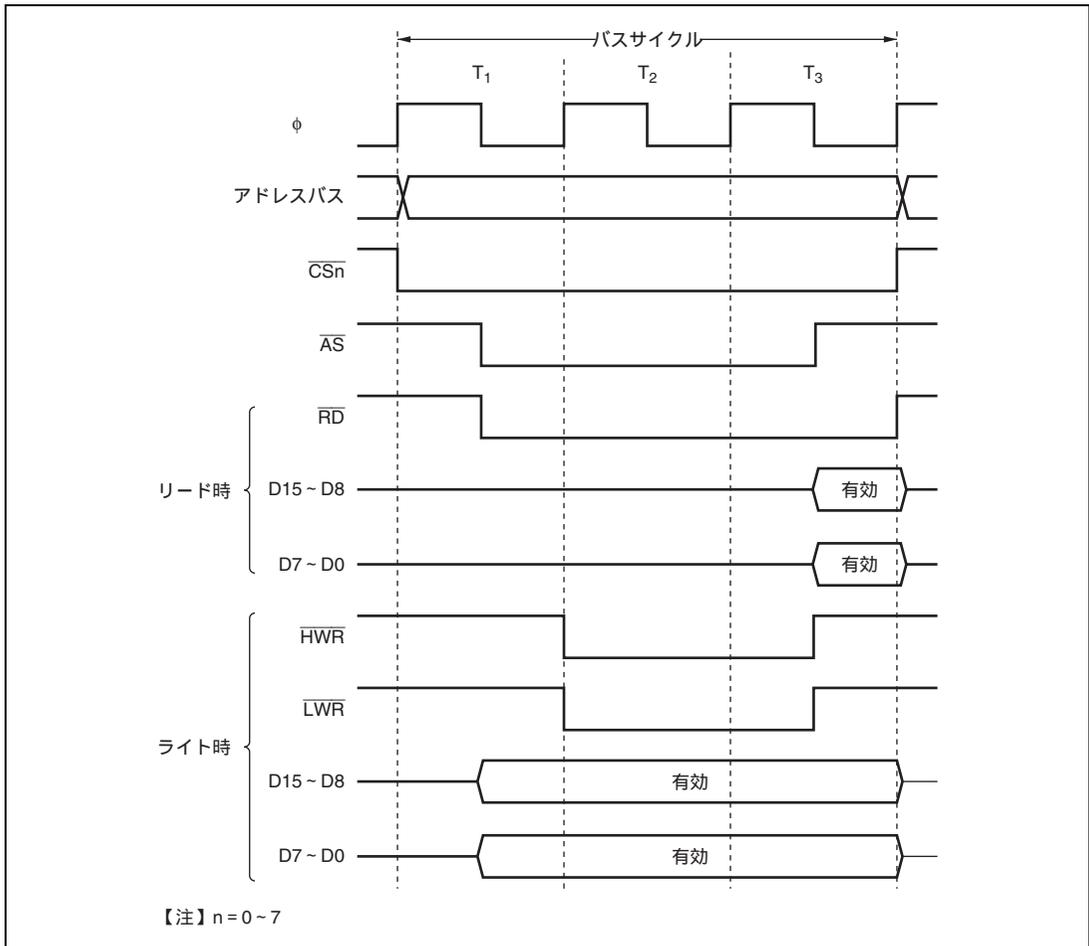


図 6.18 16 ビット 3 ステートアクセス空間のバスタイミング (3)  
(ワードアクセス)

### 6.6.4 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするときウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き延ばすことができます。

#### (1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$  端子によるウェイト入力が有効になります。この状態で、外部アドレス空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて  $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、 $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

図 6.19 にウェイトステート挿入のタイミング例を示します。

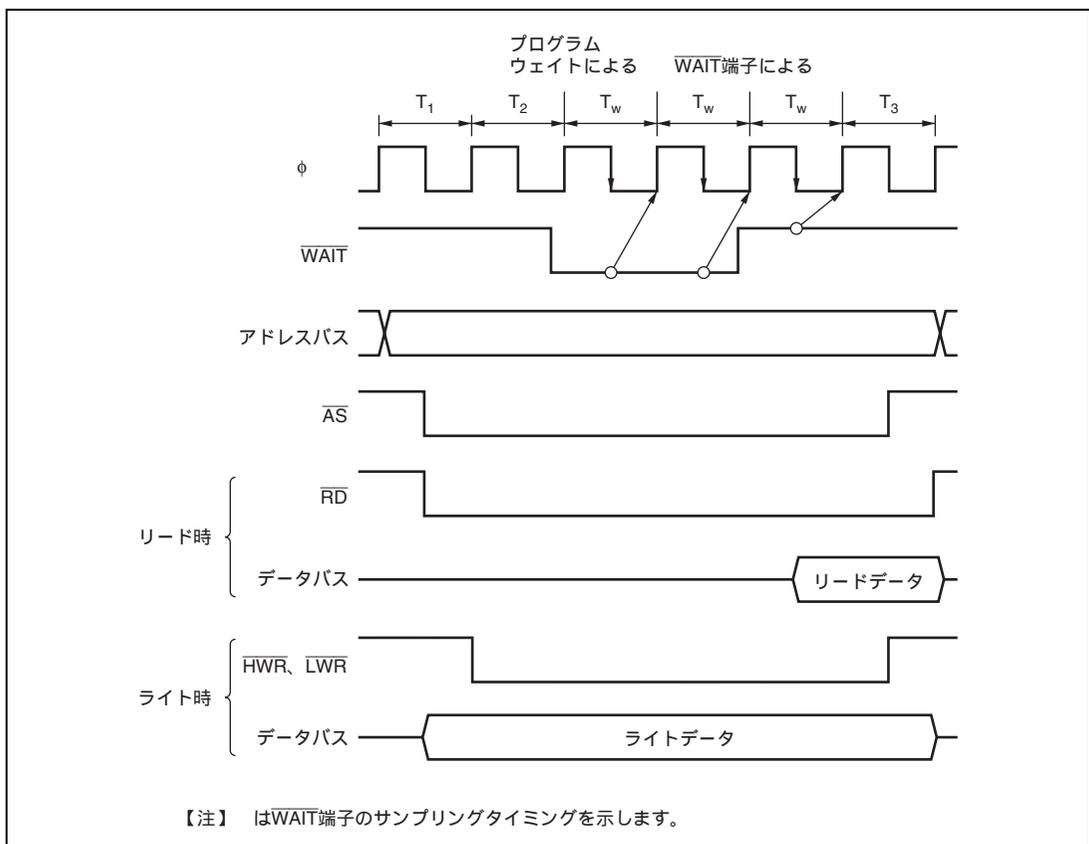


図 6.19 ウェイトステート挿入タイミング例

## 6.7 バースト ROM インタフェース

本 LSI は、エリア 0 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

### 6.7.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.20、図 6.21 に示します。

図 6.20 は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.21 は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

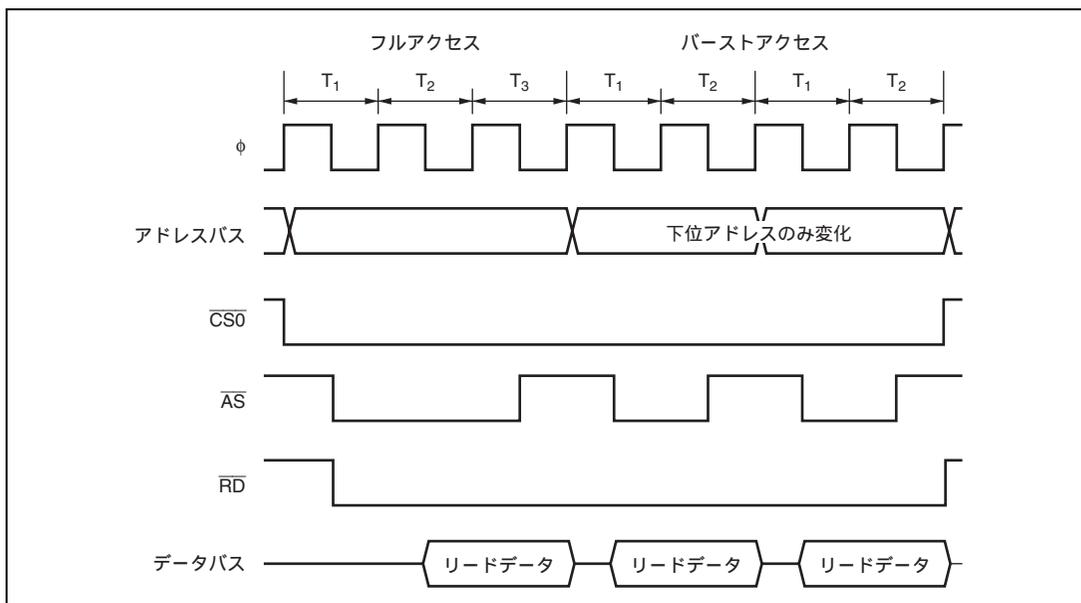


図 6.20 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

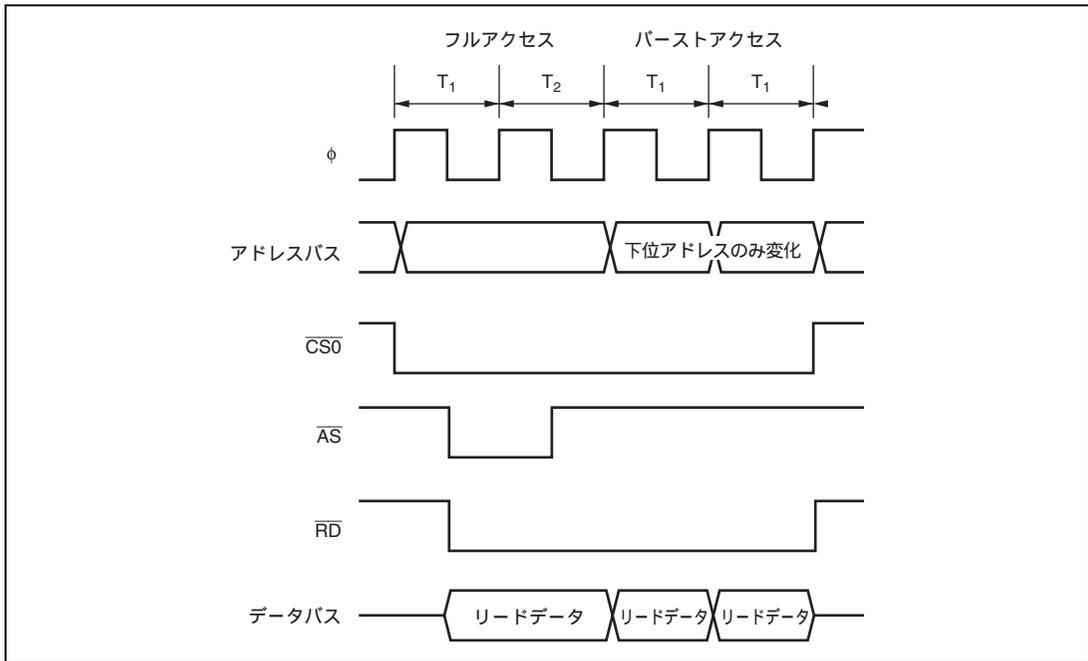


図 6.21 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

### 6.7.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2)  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、が可能です。「6.6.4 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

## 6.8 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル( $T_i$ )を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

### (1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.22 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROMからのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

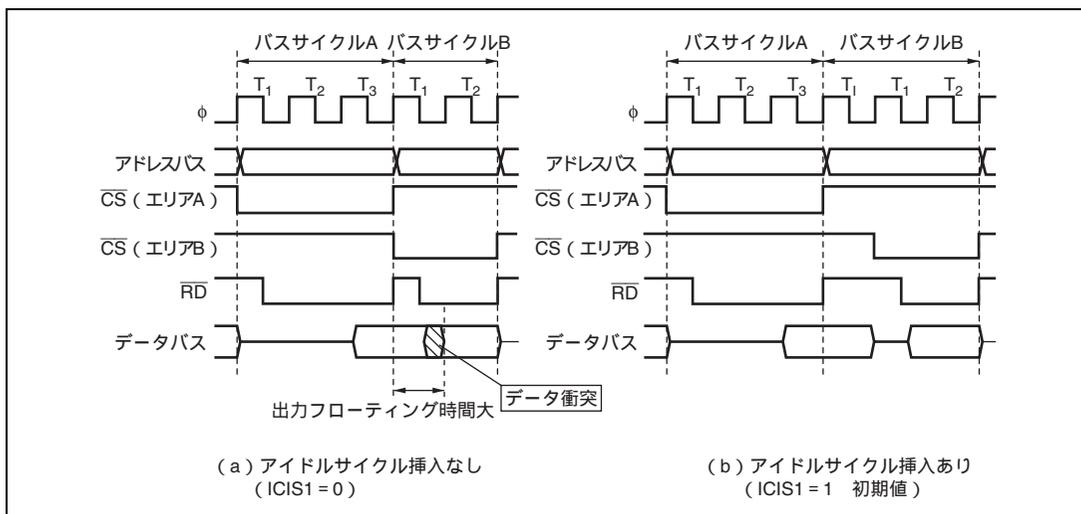


図 6.22 アイドルサイクル動作例 (1)

## (2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.23 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

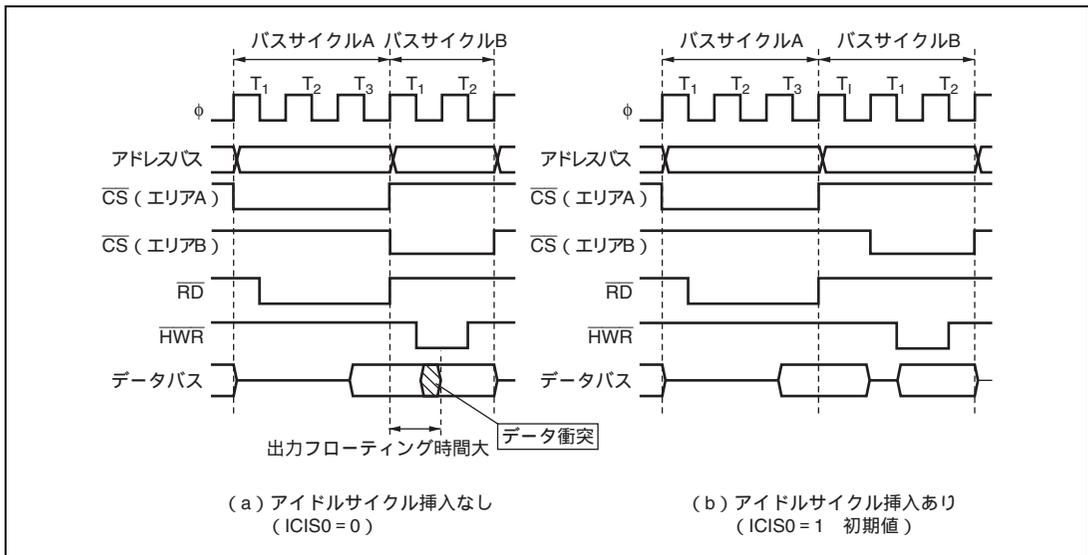
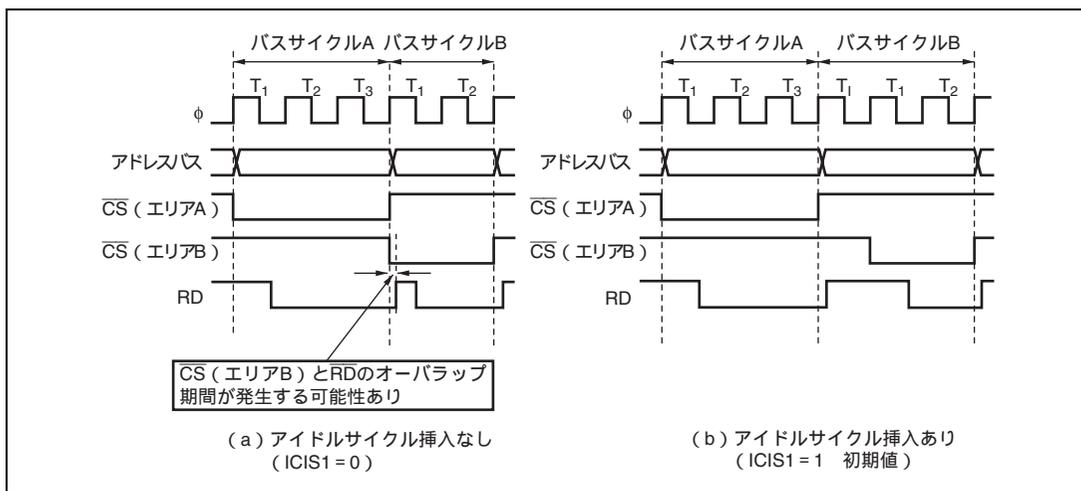


図 6.23 アイドルサイクル動作例 (2)

(3) チップセレクト ( $\overline{CS}$ ) 信号とリード ( $\overline{RD}$ ) 信号の関係

システムの負荷条件によっては、 $\overline{CS}$  信号よりも  $\overline{RD}$  信号の方が遅れる場合があります。図 6.24 に例を示します。このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の  $\overline{RD}$  信号とバスサイクル B の  $\overline{CS}$  信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 $\overline{RD}$  信号と  $\overline{CS}$  信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

図 6.24 チップセレクト ( $\overline{CS}$ ) とリード ( $\overline{RD}$ ) の関係

アイドルサイクルでの端子状態を表 6.4 に示します。

表 6.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
$\overline{CS}_n$	High レベル
$\overline{AS}$	High レベル
$\overline{RD}$	High レベル
HWR	High レベル
LWR	High レベル

## 6.9 バス解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しないかぎり、内部バスマスタは動作を継続します。

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$  端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$  端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$  端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとすると、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

$\overline{\text{BREQ}}$  端子を High レベルとすると、所定のタイミングで  $\overline{\text{BACK}}$  端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスをが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

外部バス権解放状態での端子状態を表 6.5 に示します。

表 6.5 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CSn}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス

バス権解放状態への遷移タイミングを図 6.25 に示します。

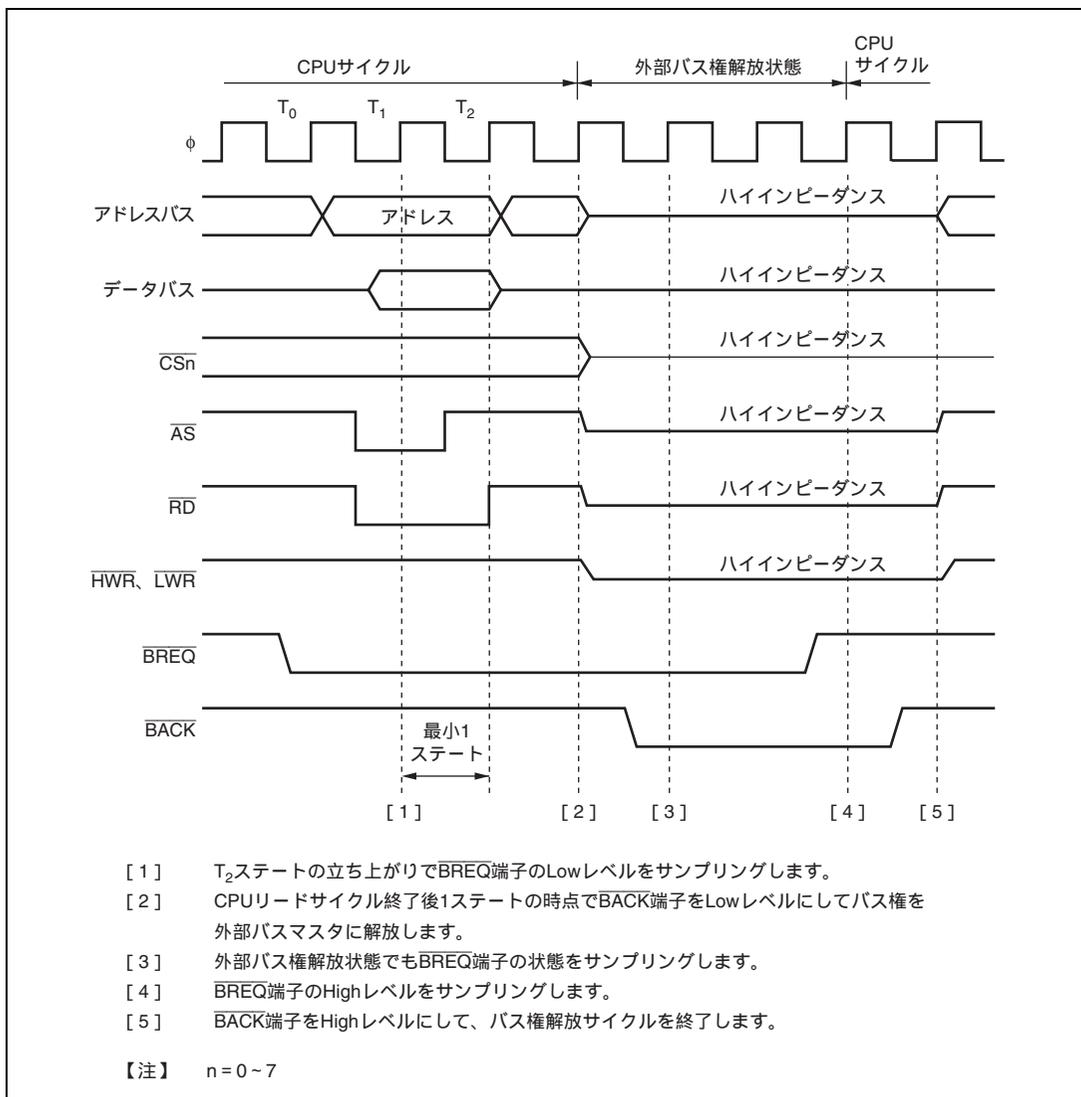


図 6.25 バス権解放状態遷移タイミング

### 6.9.1 バス権解放の使用上の注意事項

MSTPCR を H'FFFFFF に設定し、かつスリープモードに遷移した状態では、外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFFFF を設定しないでください。

## 6.10 バスアービトレーション

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、および DTC の 3 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

### 6.10.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高） DMAC > DTC > CPU （低）

なお、内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。

外部バス権解放要求および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

（高）外部バス権解放 > 内部バスマスタの外部アクセス（低）

### 6.10.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

#### （1）CPU

CPU は最も優先順位が低いバスマスタで、DMAC および DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

1. バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
2. CPU がスリープモードの場合、直ちにバス権を移行します。

### (2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード (3 ステート) 後、1 回のデータ転送後、レジスタ情報のライト (3 ステート) 後です。レジスタ情報のリード (3 ステート) 中、1 回のデータ転送中、レジスタ情報のライト (3 ステート) 中にはバスを解放しません。

### (3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はノーマルモードの USB リクエスト、ショートアドレスモード、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

## 6.10.3 外部バス権解放使用上の注意

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

$\overline{CS}$  信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 $\overline{CS}$  信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

## 6.11 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 $\overline{WAIT}$  入力は無視されます。ライトデータは保証されません。

---

## 7. DMA コントローラ (DMAC)

---

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

### 7.1 特長

DMAC には次の特長があります。

- ショートアドレスモードとフルアドレスモードを選択可能

#### (1) ショートアドレスモード

最大4チャンネルを使用可能

デュアルアドレスモード動作

デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定

デュアルアドレスモードでは、シーケンシャルモード/アイドルモード/リピートモードの選択が可能

#### (2) フルアドレスモード

最大2チャンネルを使用可能

転送元、転送先アドレスを24ビットで指定

ノーマルモード/ブロック転送モードの選択が可能

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、USBリクエスト、オートリクエスト (転送モードに依存)
  - 16ビットタイマパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×3
  - シリアルコミュニケーションインタフェース (SCL\_0、SCL\_1) の送信データエンプティ割り込み、受信データフル割り込み
  - A/D変換器の変換終了割り込み
  - USBリクエスト
  - オートリクエスト
- モジュールストップモードの設定が可能

DMAC のブロック図を図 7.1 に示します。

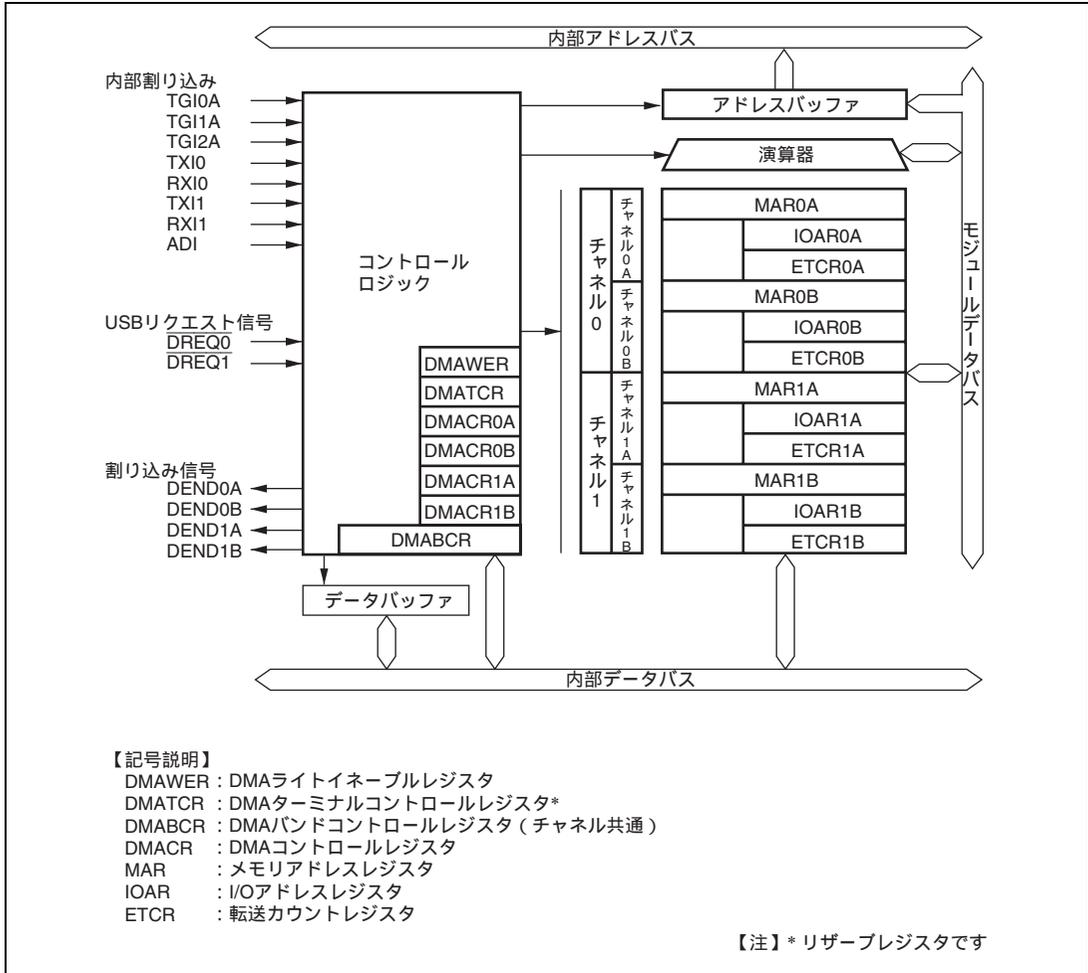


図 7.1 DMAC のブロック図

## 7.2 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ0A (MAR0A)
- I/Oアドレスレジスタ0A (IOAR0A)
- 転送カウントレジスタ0A (ETCR0A)
- メモリアドレスレジスタ0B (MAR0B)
- I/Oアドレスレジスタ0B (IOAR0B)
- 転送カウントレジスタ0B (ETCR0B)
- メモリアドレスレジスタ1A (MAR1A)
- I/Oアドレスレジスタ1A (IOAR1A)
- 転送カウントレジスタ1A (ETCR1A)
- メモリアドレスレジスタ1B (MAR1B)
- I/Oアドレスレジスタ1B (IOAR1B)
- 転送カウントレジスタ1B (ETCR1B)
- DMAライトイネーブルレジスタ (DMAWER)
- DMAコントロールレジスタ0A (DMACR0A)
- DMAコントロールレジスタ0B (DMACR0B)
- DMAコントロールレジスタ1A (DMACR1A)
- DMAコントロールレジスタ1B (DMACR1B)
- DMAバンドコントロールレジスタ (DMABCR)

レジスタの説明は、ショートアドレスモード、フルアドレスモードにより機能の異なる部分があるため、モード別に説明します。表 7.1 に示すように FAE1、FAE0 ビットにより、チャンネル 1、0 を独立してショートアドレス / フルアドレスモードの選択を行うことができます。

表 7.1 ショートアドレスモードとフルアドレスモード (1チャンネル分:チャンネル0の例)

FAE0	説明																
0	<p>ショートアドレスモードを指定 (チャンネルA、Bは独立して動作)</p> <div style="display: flex; flex-direction: column; align-items: center;"> <div style="display: flex; align-items: center; margin-bottom: 10px;"> <div style="border: 1px solid black; padding: 2px; writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">チャンネル0A</div> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td colspan="2">MAR0A</td></tr> <tr><td></td><td>IOAR0A</td></tr> <tr><td></td><td>ETCR0A</td></tr> <tr><td></td><td>DMACR0A</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元 / 転送先アドレスを指定</p> <p>← 転送先 / 転送元アドレスを指定</p> <p>← 転送回数を指定</p> <p>← 転送サイズ、モード、起動要因等を指定</p> </div> </div> <div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">チャンネル0B</div> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td colspan="2">MAR0B</td></tr> <tr><td></td><td>IOAR0B</td></tr> <tr><td></td><td>ETCR0B</td></tr> <tr><td></td><td>DMACR0B</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元 / 転送先アドレスを指定</p> <p>← 転送先 / 転送元アドレスを指定</p> <p>← 転送回数を指定</p> <p>← 転送サイズ、モード、起動要因等を指定</p> </div> </div> </div>	MAR0A			IOAR0A		ETCR0A		DMACR0A	MAR0B			IOAR0B		ETCR0B		DMACR0B
MAR0A																	
	IOAR0A																
	ETCR0A																
	DMACR0A																
MAR0B																	
	IOAR0B																
	ETCR0B																
	DMACR0B																
1	<p>フルアドレスモードを指定 (チャンネルA、Bは組み合わせて動作)</p> <div style="display: flex; flex-direction: column; align-items: center;"> <div style="display: flex; align-items: center; margin-bottom: 5px;"> <div style="border: 1px solid black; padding: 2px; writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">チャンネル0</div> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td colspan="2">MAR0A</td></tr> <tr><td colspan="2">MAR0B</td></tr> <tr><td></td><td>IOAR0A</td></tr> <tr><td></td><td>IOAR0B</td></tr> <tr><td></td><td>ETCR0A</td></tr> <tr><td></td><td>ETCR0B</td></tr> <tr><td></td><td>DMACR0A</td></tr> <tr><td></td><td>DMACR0B</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元アドレスを指定</p> <p>← 転送先アドレスを指定</p> <p>← 未使用</p> <p>← 未使用</p> <p>← 転送回数を指定</p> <p>← 転送回数を指定 (ブロック転送モード時のみ使用)</p> <p>← 転送サイズ、モード、起動要因等を指定</p> </div> </div> </div>	MAR0A		MAR0B			IOAR0A		IOAR0B		ETCR0A		ETCR0B		DMACR0A		DMACR0B
MAR0A																	
MAR0B																	
	IOAR0A																
	IOAR0B																
	ETCR0A																
	ETCR0B																
	DMACR0A																
	DMACR0B																

## 7.3 各レジスタの説明

### 7.3.1 メモリアドレスレジスタ (MAR)

#### (1) ショートアドレスモード

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。MAR の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新していきます。詳細は、「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

#### (2) フルアドレスモード

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 2 本の 16 ビットレジスタ MARH、MARL により構成されています。MARH の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

### 7.3.2 I/O アドレスレジスタ (IOAR)

#### (1) ショートアドレスモード

IOAR は 16 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスの下位 16 ビットを指定します。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

IOAR は転送のたびにインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

#### (2) フルアドレスモード

IOAR はフルアドレスモード転送では使用しません。

### 7.3.3 転送カウントレジスタ (ETCR)

#### (1) ショートアドレスモード

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定します。このレジスタは、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

ETCR はリセットまたはスタンバイモード時に初期化されません。

シーケンシャルモードとアイドルモードでは、ETCR は 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になると DMABCR の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (1 ~ 256) ETCRL と転送回数保持レジスタ ETCRH として機能します。1 回の転送を行うたびに ETCRL は 1 だけデクリメントされ、H'00 になると、ETCRH の値をロードします。このとき、MAR は転送を開始したときの値に自動的に戻ります。

DMABCR の DTE ビットはクリアされません。このため、DTE ビットがユーザによりクリアされるまで、繰り返し転送が行えます。

#### (2) フルアドレスモード

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定しますが、ノーマルモードとブロック転送モードとでは機能が異なります。ETCR はリセットまたはスタンバイモード時に初期化されません。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRAL は 8 ビットのブロックサイズカウンタとして機能し、ETCRAH はブロックサイズを保持します。ETCRAL は 1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAH の値がロードされます。したがって、ETCRAH、ETCRAL にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、H'0000 になると転送を終了します。

## 7.3.4 DMA コントロールレジスタ (DMACR)

DMACR は DMAC の各チャネルの動作を制御します。

• ショートアドレスモード (DMACRA、DMACRB 共通)

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データ転送サイズ 1 回に転送されるデータサイズを選択します。 0 : バイトサイズ転送 1 : ワードサイズ転送
6	DTID	0	R/W	データ転送インクリメント/デクリメント シーケンシャルモードまたはリピートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。 アイドルモードの場合、MAR はインクリメントもデクリメントもされません。 0 : データ転送後 MAR をインクリメント (1) DTSZ=0 のとき、転送後 MAR を +1 (2) DTSZ=1 のとき、転送後 MAR を +2 1 : データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を -1 (2) DTSZ=1 のとき、転送後 MAR を -2
5	RPE	0	R/W	リピートイネーブル DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのうち、どのモードで転送するかを選択します。 RPE DTIE 0 0 : シーケンシャルモードで転送 (転送終了割り込みなし) 0 1 : シーケンシャルモードで転送 (転送終了割り込みあり) 1 0 : リピートモードで転送 (転送終了割り込みなし) 1 1 : アイドルモードで転送 (転送終了割り込みあり) 【注】シーケンシャルモード、アイドルモード、リピートモードの動作については、「7.4.2 シーケンシャルモード」、「7.4.3 アイドルモード」、「7.4.4 リピートモード」を参照してください。
4	DTDIR	0	R/W	データ転送方向 データ転送の方向 (ソース、デスティネーション) を指定します。 0 : MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 1 : IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ
2	DTF2	0	R/W	データ転送の起動要因を選択します。
1	DTF1	0	R/W	0000 : -
0	DTF0	0	R/W	0001 : A/D 変換器の変換終了割り込みで起動 0010 : - 0011 : - 0100 : SCI チャンネル 0 の送信データエンブティ割り込みで起動 0101 : SCI チャンネル 0 の受信データフル割り込みで起動 0110 : SCI チャンネル 1 の送信データエンブティ割り込みで起動 0111 : SCI チャンネル 1 の受信データフル割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1011 : - 1100 : - 1101 : - 1110 : - 1111 : -

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.4.10 DMAC 複数チャンネルの動作」を参照してください。

• フルアドレスモード (DMACRA)

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データトランスファサイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14 13	SAID SAIDE	0 0	R/W R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: MARA 固定 01: データ転送後、MARA をインクリメント (1) DTSZ=0 のとき、転送後 MARA を +1 (2) DTSZ=1 のとき、転送後 MARA を +2 10: MARA 固定 11: データ転送後、MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2
12 11	BLKDIR BLKE	0 0	R/W R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE で指定します。また、ブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR で指定します。 00: ノーマルモードで転送 01: ブロック転送モードで転送、ブロックエリアはデスティネーション側 10: ノーマルモードで転送 11: ブロック転送モードで転送、ブロックエリアはソース側 ノーマルモード、ブロック転送モードの動作については、「7.4 動作説明」を参照してください。
10~8	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

• フルアドレスモード (DMACRB)

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	DAID	0	R/W	デスティネーションアドレスインクリメント/デクリメント
5	DAIDE	0	R/W	デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00 : MARB 固定 01 : データ転送後、MARB をインクリメント (1) DTSZ=0 のとき、転送後 MARB を +1 (2) DTSZ=1 のとき、転送後 MARB を +2 10 : MARB 固定 11 : データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2
4	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	<p>ノーマルモード</p> <p>0000 : -</p> <p>0001 : -</p> <p>0010 : -</p> <p>0011 : USB からの <math>\overline{DREQ}</math> 信号の Low レベル入力で起動 (USB リクエスト)</p> <p>010X : -</p> <p>0110 : オートリクエスト (サイクルスチール)</p> <p>0111 : オートリクエスト (バースト)</p> <p>1XXX : -</p> <p>ブロック転送モード</p> <p>0000 : -</p> <p>0001 : A/D 変換器の変換終了割り込みで起動</p> <p>0010 : -</p> <p>0011 : -</p> <p>0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動</p> <p>0101 : SCI チャンネル 0 の受信データフル割り込みで起動</p> <p>0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動</p> <p>0111 : SCI チャンネル 1 の受信データフル割り込みで起動</p> <p>1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1011 : -</p> <p>11XX : -</p> <p>複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.4.10 DMAC 複数チャンネルの動作」を参照してください。</p> <p>【記号説明】 X : Don't care</p>

## 7.3.5 DMA バンドコントロールレジスタ (DMABCR)

DMABCR は DMAC の各チャンネルの動作を制御します。

• ショートアドレスモード

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	<p>フルアドレスインエプブル 1</p> <p>チャンネル 1 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>ショートアドレスモードでは、チャンネル 1A、1B は、それぞれ独立したチャンネルとして使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
14	FAE0	0	R/W	<p>フルアドレスインエプブル 0</p> <p>チャンネル 0 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>ショートアドレスモードでは、チャンネル 0A、0B は、それぞれ独立したチャンネルとして使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
13, 12		すべて 0	R/W	<p>リザーブビット</p> <p>ライトするときは 0 をライトしてください。</p>
11 10 9 8	DTA1B DTA1A DTA0B DTA0A	0 0 0 0	R/W R/W R/W R/W	<p>データトランスファアクノレッジ</p> <p>各チャンネルのデータトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE = 1 のとき DTA = 1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。</p> <p>DTE = 1、DTA = 1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。</p> <p>DTE = 1 のとき DTA = 0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。</p> <p>DTE = 0 の状態では DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは、CPU または DTC に割り込みを要求します。</p> <p>0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可</p>

ビット	ビット名	初期値	R/W	説明	
7	DTE1B	0	R/W	データトランスファイネーブル	
6	DTE1A	0	R/W	各チャンネルのデータ転送を許可または禁止するビットです。	
5	DTE0B	0	R/W	<p>DTE ビット = 0 の状態はデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>DTE = 0 となる条件：</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• リピートモードを除いた転送モードで、指定された回数分の転送を終了したとき</li> <li>• 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき</li> </ul> <p>DTE = 1 の状態はデータ転送許可の状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。</p> <p>DTE = 1 となる条件：</p> <ul style="list-style-type: none"> <li>• DTE = 0 をリード後、DTE = 1 をライトしたとき</li> </ul> <p>0：データ転送を禁止</p> <p>1：データ転送を許可</p>	
4	DTE0A	0	R/W		
3	DTIE1B	0	R/W		データトランスファエンドインタラプトイネーブル
2	DTIE1A	0	R/W		<p>転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>0：転送終了割り込みを禁止</p> <p>1：転送終了割り込みを許可</p>
1	DTIE0B	0	R/W		
0	DTIE0A	0	R/W		

## • フルアドレスモード

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	<p>フルアドレスイネーブル 1</p> <p>チャンネル 1 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>フルアドレスモードでは、チャンネル 1A、1B を、組み合わせてチャンネル 1 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
14	FAE0	0	R/W	<p>フルアドレスイネーブル 0</p> <p>チャンネル 0 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>フルアドレスモードでは、チャンネル 0A、0B を、組み合わせてチャンネル 0 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
13, 12		すべて 0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
11	DTA1	0	R/W	<p>データトランスファアクノレッジ</p> <p>データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE = 1 のとき DTA = 1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。</p> <p>DTE = 1、DTA = 1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。</p> <p>DTE = 1 のとき DTA = 0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。</p> <p>DTE = 0 の状態では、DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは CPU または DTC に割り込みを要求します。</p> <p>DTME ビットの状態は、前述の動作に影響を与えません。</p> <p>データトランスファアクノレッジ 1</p> <p>チャンネル 1 のデータトランスファファクタによって選択されている、内部割り込み要因の DMA 転送時のクリアを、許可または禁止するビットです。</p> <p>0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可</p>

ビット	ビット名	初期値	R/W	説明
10		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データトランスファアクノレッジ0 チャンネル0のデータトランスファファクタによって選択されている、内部割り込み要因のDMA転送時のクリアを、許可または禁止するビットです。 0: 選択されている内部割り込み要因のDMA転送時のクリアを禁止 1: 選択されている内部割り込み要因のDMA転送時のクリアを許可
8		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
7	DTME1	0	R/W	データトランスファマスタイネーブル DTE ビットとともに当該チャンネルのデータ転送の許可または禁止を制御します。 DTME ビットと DTE ビットをいずれも1にセットすると、そのチャンネルは転送許可状態となります。 NMI 割り込みが発生したとき、当該チャンネルがバーストモード転送中である場合には DTME ビットがクリアされ、転送を中断して CPU にバス権を移します。その後、DTME ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME ビットがクリアされることはなく、転送を中断することはありません。 DTME ビット=0となる条件： <ul style="list-style-type: none"> <li>•初期化されたとき</li> <li>•バーストモードでNMIが入力されたとき</li> <li>•DTME ビットに0をライトしたとき</li> </ul> DTME ビット=1となる条件： <ul style="list-style-type: none"> <li>•DTME ビット=0をリード後、DTME ビットに1をライトしたとき</li> </ul> データトランスファマスタイネーブル1 チャンネル1のデータ転送を許可または禁止するビットです。 0: データ転送禁止。バーストモード時に、NMI 割り込みが発生すると0にクリア 1: データ転送許可

ビット	ビット名	初期値	R/W	説明
				<p>データトランスファイネーブル</p> <p>DTE = 0 のときはデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE = 0 となる条件：</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• 指定された回数分の転送を終了したとき</li> <li>• 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき</li> </ul> <p>DTE = 1 かつ DTIE = 1 のときはデータ転送許可状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>DTE = 1 となる条件：</p> <ul style="list-style-type: none"> <li>• DTE = 0 をリード後、DTE ビットに 1 をライトしたとき</li> </ul>
6	DTE1	0	R/W	<p>データトランスファイネーブル 1</p> <p>チャンネル 1 のデータ転送を許可または禁止するビットです。</p> <p>0：データ転送を禁止</p> <p>1：データ転送を許可</p>
5	DTME0	0	R/W	<p>データトランスファマスタイネーブル 0</p> <p>チャンネル 0 のデータ転送を許可または禁止するビットです。</p> <p>0：データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア</p> <p>1：データ転送許可</p>
4	DTE0	0	R/W	<p>データトランスファイネーブル 0</p> <p>チャンネル 0 のデータ転送を許可または禁止するビットです。</p> <p>0：データ転送を禁止</p> <p>1：データ転送を許可</p>

ビット	ビット名	初期値	R/W	説明
3	DTIE1B	0	R/W	<p>データトランスファインタラプトイネーブル B</p> <p>転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTME = 0 のときに DTIEB = 1 となっていると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIEB ビットを 0 にクリアする方法と、DTME ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>データトランスファインタラプトイネーブル 1B</p> <p>チャンネル 1 の転送中断割り込みを許可または禁止するビットです。</p> <p>0 : 転送中断割り込みを禁止 1 : 転送中断割り込みを許可</p>
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプトイネーブル A</p> <p>転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIEA = 1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIEA ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>データトランスファエンドインタラプトイネーブル 1A</p> <p>チャンネル 1 の転送終了割り込みを許可または禁止するビットです。</p> <p>0 : 転送終了割り込みを禁止 1 : 転送終了割り込みを許可</p>
1	DTIE0B	0	R/W	<p>データトランスファインタラプトイネーブル 0B</p> <p>チャンネル 0 の転送中断割り込みを許可または禁止するビットです。</p> <p>0 : 転送中断割り込みを禁止 1 : 転送中断割り込みを許可</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトイネーブル 0A</p> <p>チャンネル 0 の転送終了割り込みを許可または禁止するビットです。</p> <p>0 : 転送終了割り込みを禁止 1 : 転送終了割り込みを許可</p>

### 7.3.6 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェイン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることのないように、特定チャンネルの DMACR ならびに DMABCR の特定ビットを変更できるように制限するものです。DMAWER による制限は、DTC に対し有効です。

図 7.2 にチャンネル 0A の転送終了割り込みにより DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送によりアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送によりコントロールレジスタの領域を再設定します。

コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクを行ってください。

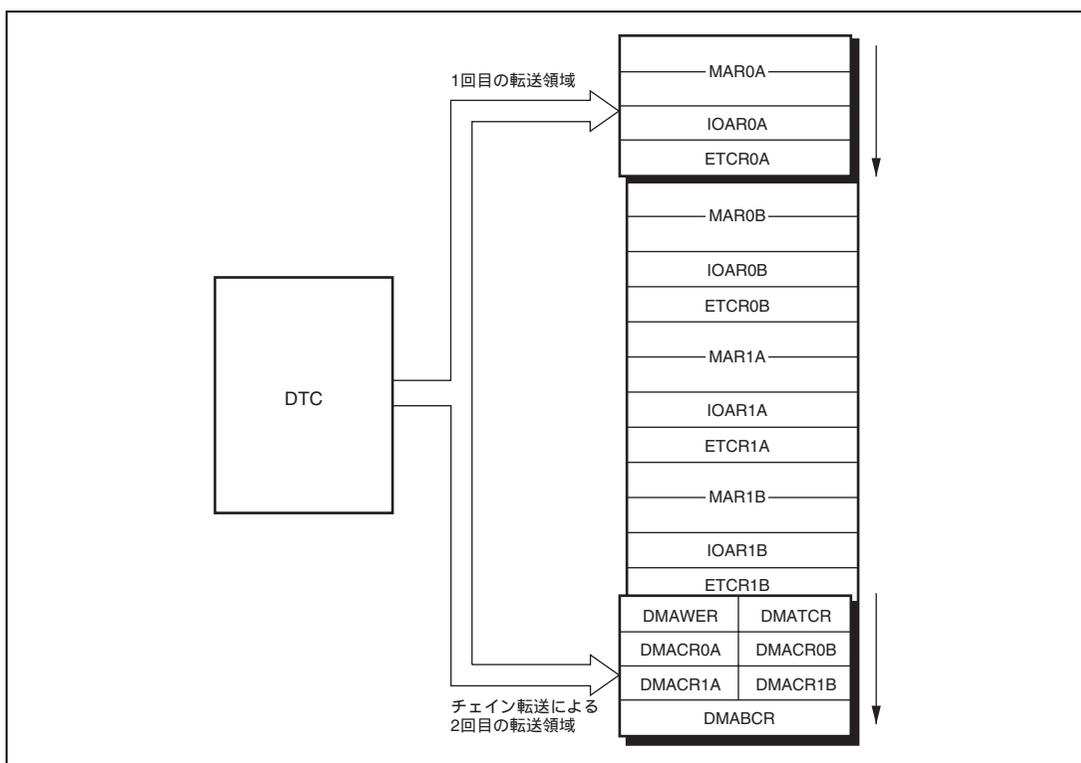


図 7.2 DTC によるレジスタ再設定領域 (例: チャンネル 0A)

DMAWER は DTC に対し、DMACR、DMABCR へのライトの許可または禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	WE1B	0	R/W	ライトイネーブル 1B DTC に対し、DMACR1B のすべてのビットと DMABCR のビット 11、7、3 へのライトを許可または禁止するビットです。 0 : DMACR1B のすべてのビットと DMABCR のビット 11、7、3 へのライト禁止 1 : DMACR1B のすべてのビットと DMABCR のビット 11、7、3 へのライトを許可
2	WE1A	0	R/W	ライトイネーブル 1A DTC に対し、DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。 0 : DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを禁止 1 : DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可
1	WE0B	0	R/W	ライトイネーブル 0B DTC に対し、DMACR0B のすべてのビットと DMABCR のビット 9、5、1 へのライトを許可または禁止するビットです。 0 : DMACR0B のすべてのビットと DMABCR のビット 9、5、1 へのライトを禁止 1 : DMACR0B のすべてのビットと DMABCR のビット 9、5、1 へのライトを許可
0	WE0A	0	R/W	ライトイネーブル 0A DTC に対し、DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。 0 : DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを禁止 1 : DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを許可

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットを変更する場合は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることが可能になっています。フルアドレスモードに設定されているチャンネルの再起動は、再起動しようとするチャンネルのライトイネーブル A とライトイネーブル B にともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定にかかわらず常にライト可能です。これらのレジスタの変更は、変更しようとするチャンネルが停止している状態で行ってください。

## 7.4 動作説明

### 7.4.1 転送モード

DMAC のモード一覧を表 7.2 示します。

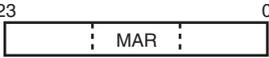
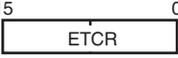
表 7.2 DMAC の転送モード

転送モード			転送要因	備考
ショート アドレス モード	デュアル アドレス レスモ ード	(1) シーケンシャルモード (2) アイドルモード (3) リピートモード	<ul style="list-style-type: none"> <li>TPU チャンネル 0~2 のコンペア マッチ / インพุットキャプチャ A 割り込み</li> <li>SCI の送信データエンプティ割 り込み</li> <li>SCI の受信データフル割り込み</li> <li>A/D 変換器の変換終了割り込み</li> </ul>	<ul style="list-style-type: none"> <li>最大 4 チャンネルを独立に動作可 能</li> </ul>
フル アドレス モード	(4) ノーマルモード		<ul style="list-style-type: none"> <li>USB リクエスト</li> <li>オートリクエスト</li> </ul>	<ul style="list-style-type: none"> <li>チャンネル A、B を組み合わせて、 最大 2 チャンネル動作可能</li> <li>オートリクエストでは、パース トモード転送 / サイクルステー ル転送の選択可能</li> </ul>
	(5) ブロック転送モード		<ul style="list-style-type: none"> <li>TPU チャンネル 0~2 のコンペア マッチ / インพุットキャプチャ A 割り込み</li> <li>SCI の送信データエンプティ割 り込み</li> <li>SCI の受信データフル割り込み</li> <li>A/D 変換器の変換終了割り込み</li> </ul>	

### 7.4.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCR で指定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。シーケンシャルモード時のレジスタの機能を表 7.3 に示します。

表 7.3 シーケンシャルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。シーケンシャルモードの動作を図 7.3 に示します。

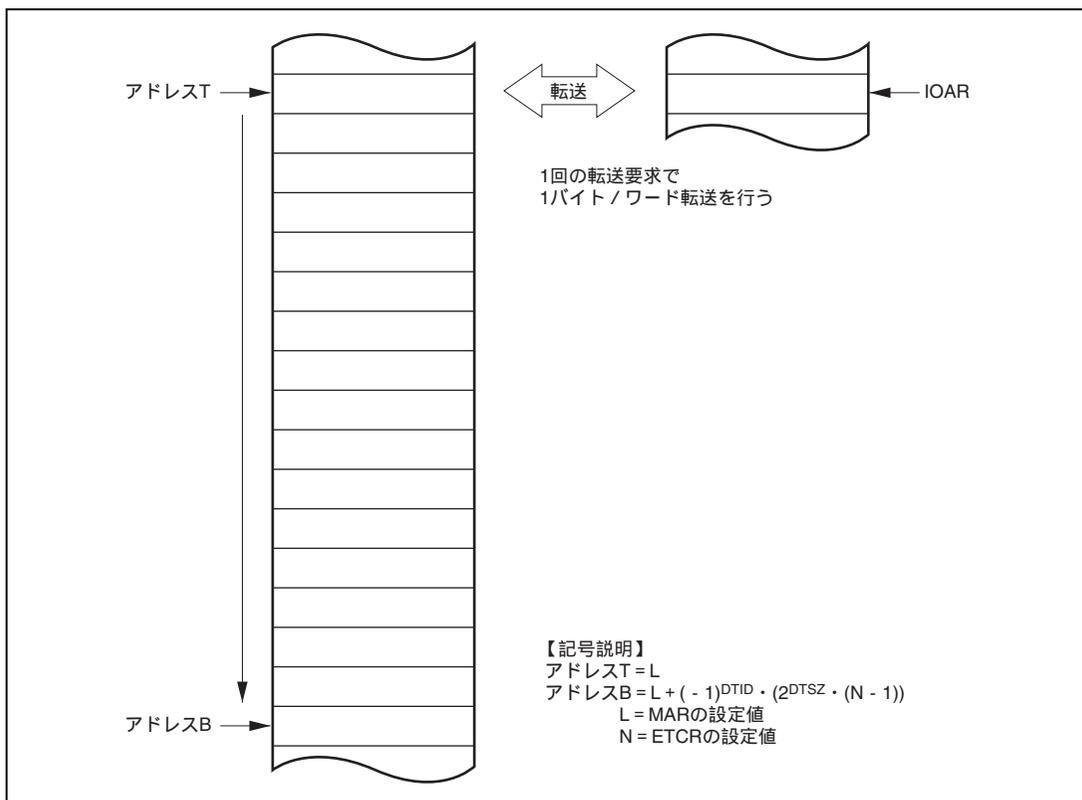


図 7.3 シーケンシャルモードの動作

転送回数はETCRによって16ビットで指定します。ETCRは1回の転送を行うたびに1だけデクリメントされ、H'0000になったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが1にセットされているとCPUまたはDTCに割り込みを要求します。なお、転送回数の最大値はETCRにH'0000を設定したときで、65536となります。転送要求(起動要因)には、A/D変換器の変換終了割り込み、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~2のコンペアマッチ/インプットキャプチャA割り込みがあります。シーケンシャルモードの設定手順例を図7.4に示します。

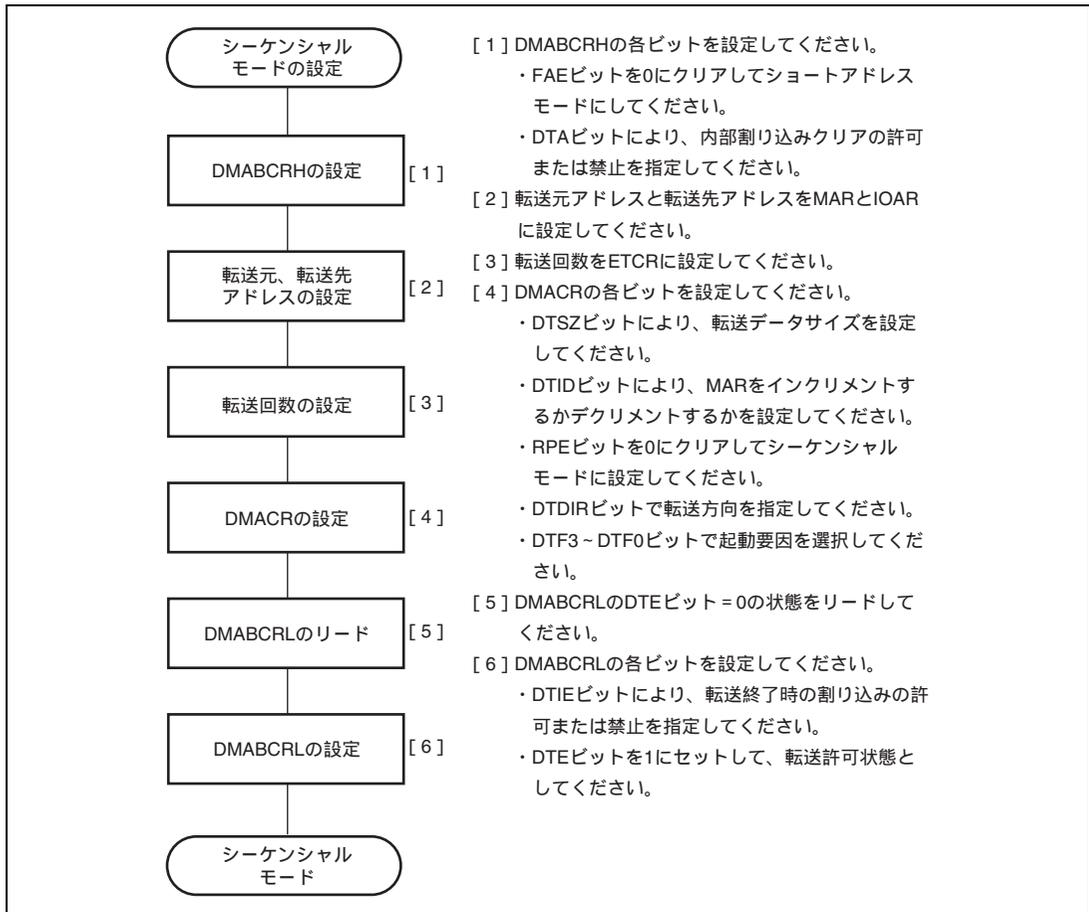
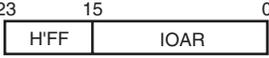


図 7.4 シーケンシャルモードの設定手順例

### 7.4.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送、これを ETCR で指定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。アイドルモード時のレジスタの機能を表 7.4 に示します。

表 7.4 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびにインクリメントもデクリメントもされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。アイドルモードの動作を図 7.5 に示します。

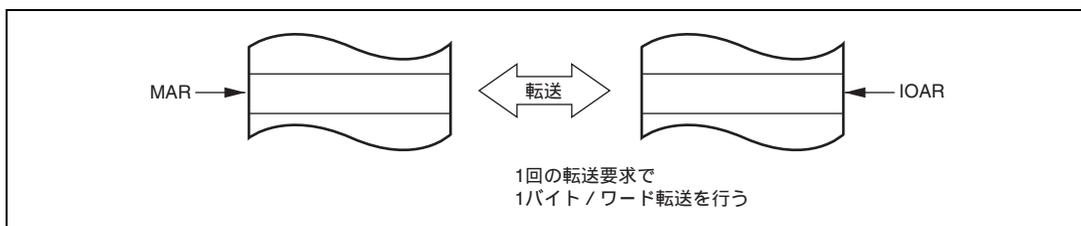


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込みがあります。アイドルモードの設定手順例を図 7.6 に示します。

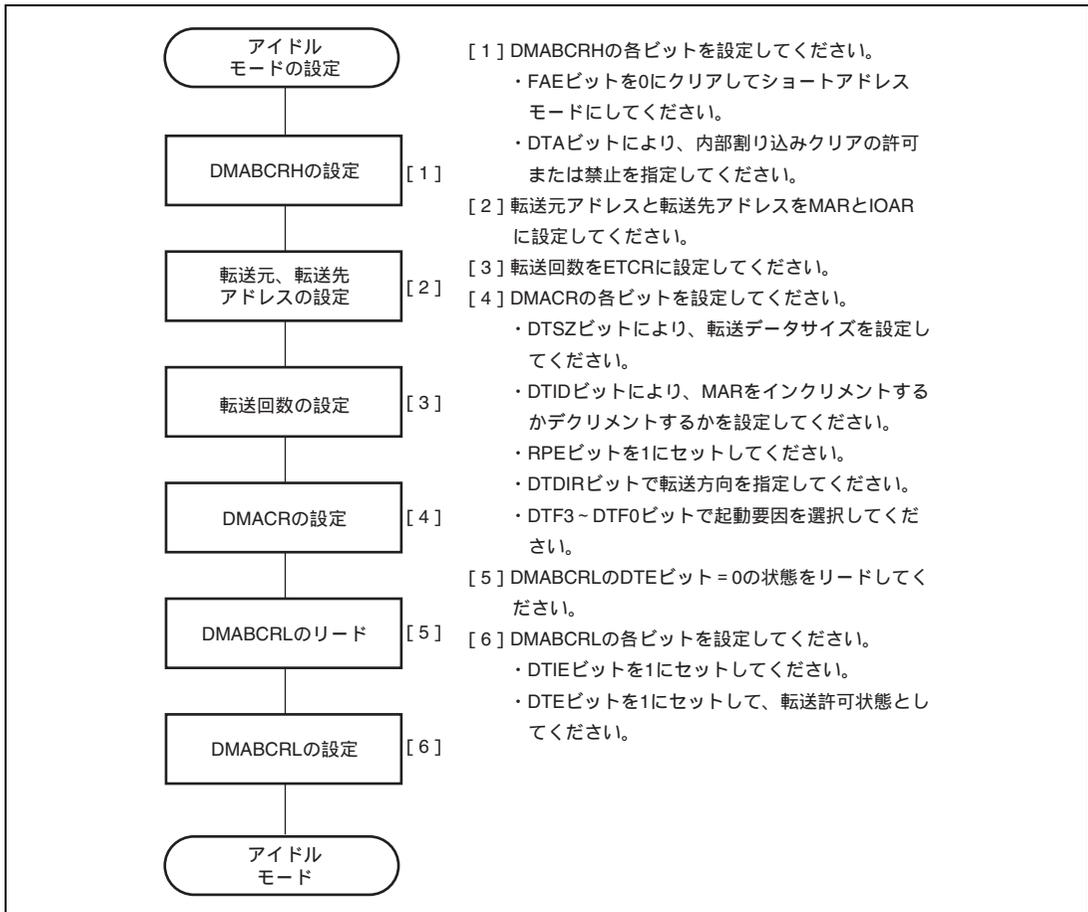
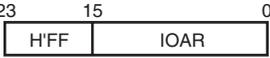
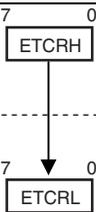


図 7.6 アイドルモードの設定手順例

### 7.4.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1、DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRL で指定した回数だけ実行します。指定された回数の転送終了時に、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。リピートモード時のレジスタの機能を表 7.5 に示します。

表 7.5 リピートモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント。H'0000 になると、初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'00 になると、ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は、1 回のバイトまたはワード転送のたびに 1 または 2 をインクリメント / デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで、256 となります。

リピートモードでは ETCRL を転送カウンタとし、ETCRH は転送回数保持に使用します。ETCRL は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は、同じ値に設定してください。

リピートモードでは、DTE ビットがクリアされるまで動作を継続します。したがって、転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。リピートモードの動作を図 7.7 に示します。

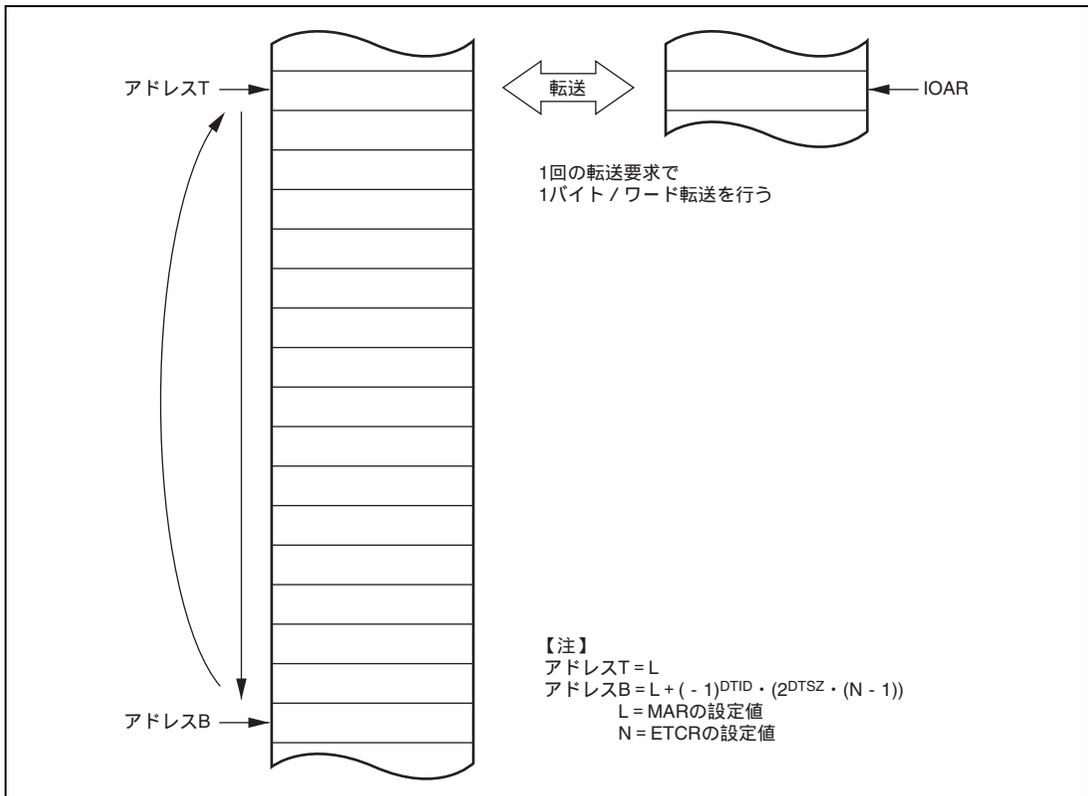


図 7.7 リピートモードの動作図

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。リピートモードの設定手順例を図 7.8 に示します。

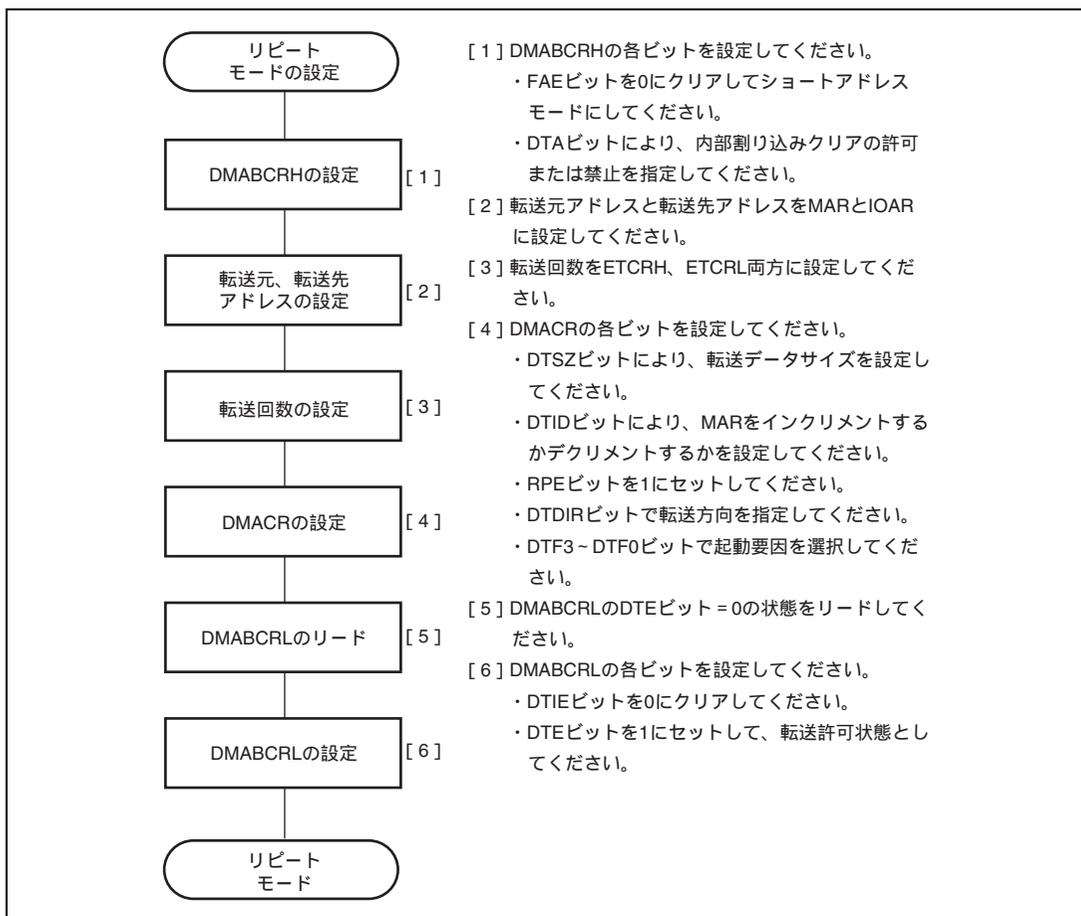
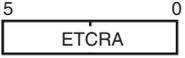


図 7.8 リピートモードの設定手順例

### 7.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。ノーマルモードは、DMABCR の FAE ビットを 1、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRA で指定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。ノーマルモード時のレジスタの機能を表 7.6 に示します。

表 7.6 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
23  0	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
15  0	転送カウンタ	転送回数	1 回の転送ごとにデクリメント、H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに、1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA にて 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

ノーマルモードの動作を図 7.9 に示します。

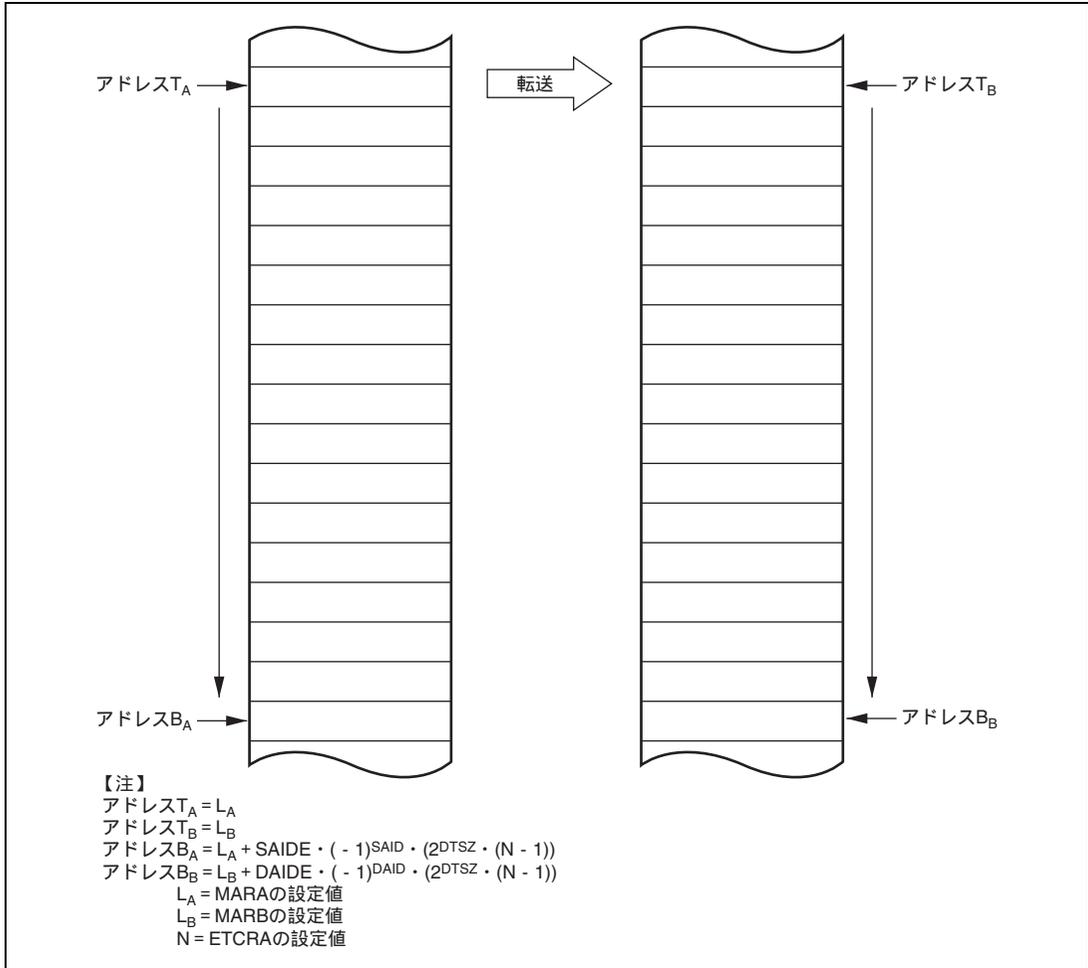


図 7.9 ノーマルモードの動作

転送要求（起動要因）には、USB リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回の転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。設定の詳細は「7.3.4 DMA コントローラレジスタ (DMACR)」を参照してください。

ノーマルモードの設定手順例を図 7.10 に示します。

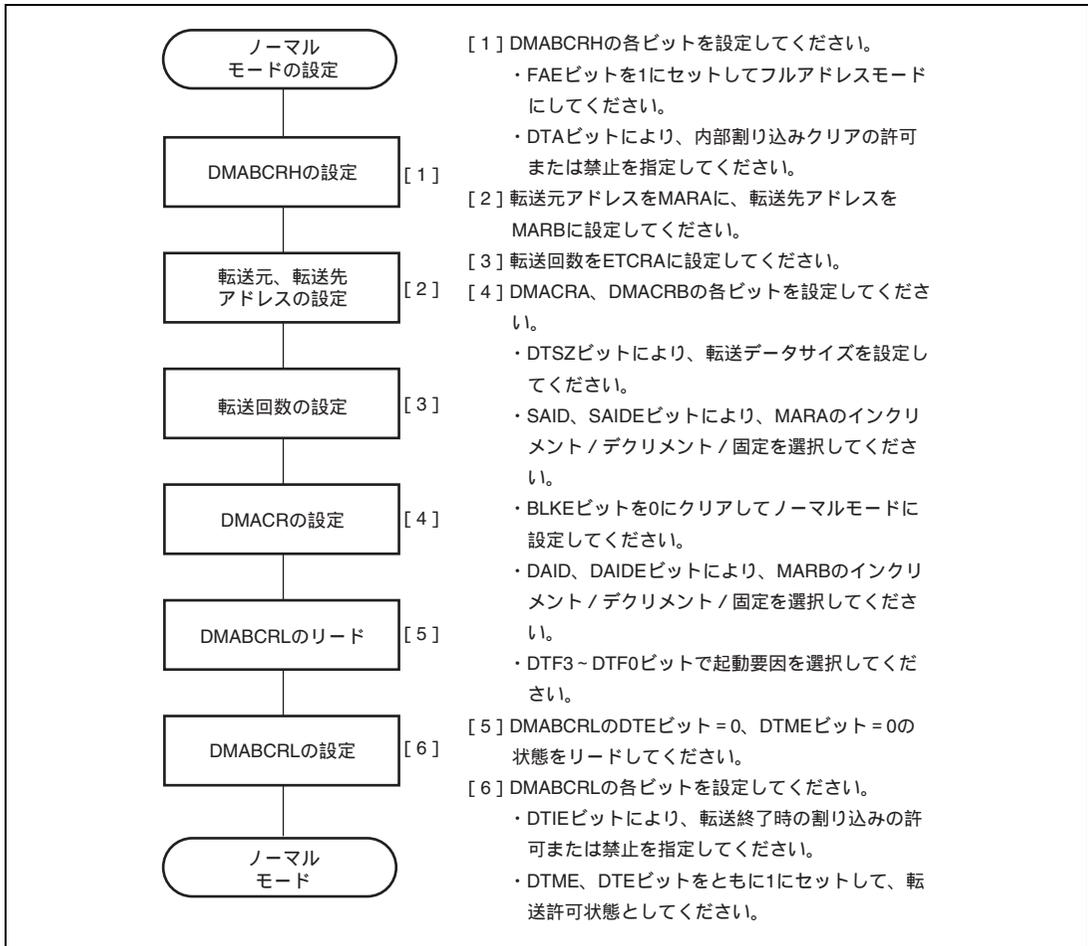


図 7.10 ノーマルモードの設定手順例

### 7.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。ブロック転送モードは、DMABCR の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。ブロック転送モード時のレジスタの機能を表 7.7 に示します。

表 7.7 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント、H'00 になると ETCRH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント。H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを  $M$  ( $M = 1 \sim 256$ ) 回とし、 $N$  ( $N = 1 \sim 65536$ ) 回の転送を行うとき、ETCRAH、ETCRAL の両方に  $M$  を、ETCRB に  $N$  を設定します。

MARB をブロックエリアにした場合のブロック転送モードの動作を図 7.11 に示します。

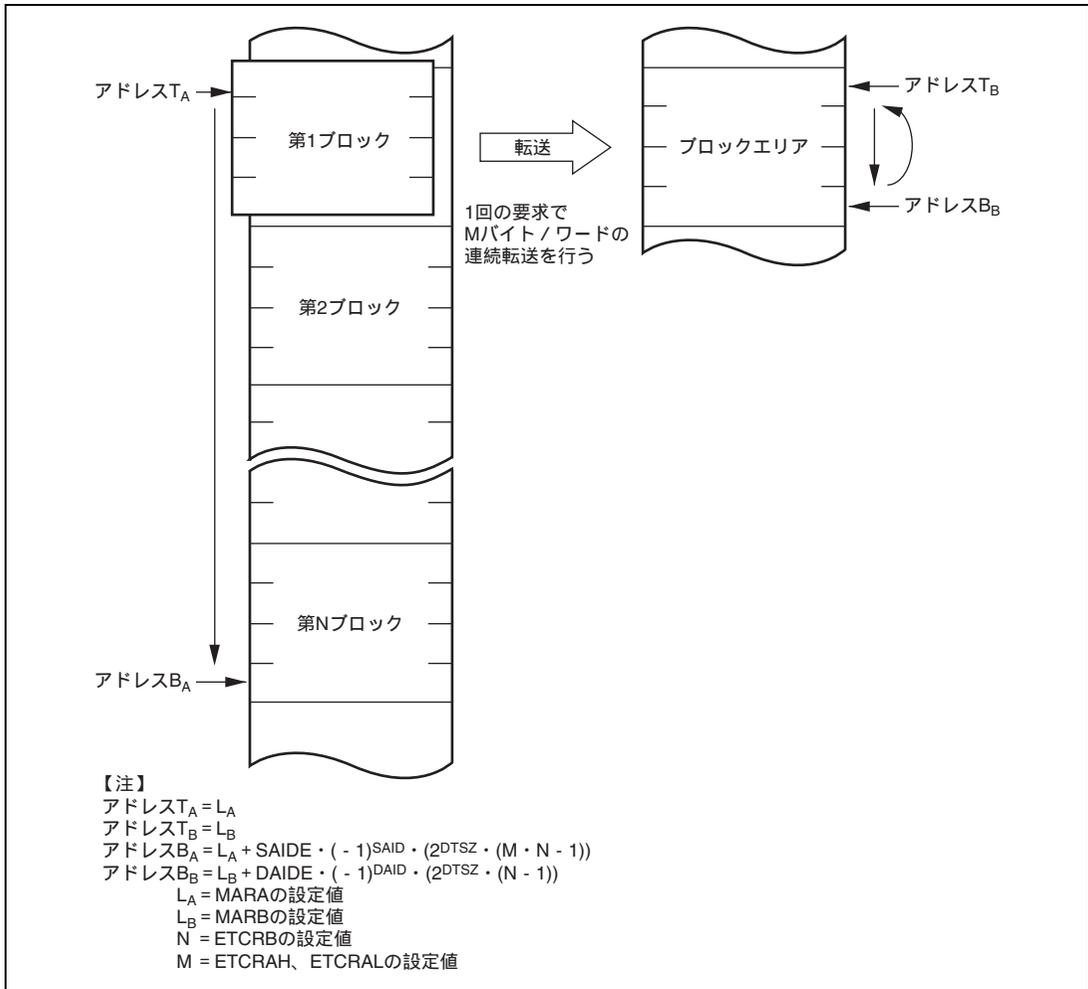


図 7.11 ブロック転送モードの動作 (BLKDIR = 0)

MARA をブロックエリアにした場合のブロック転送モードの動作を図 7.12 に示します。

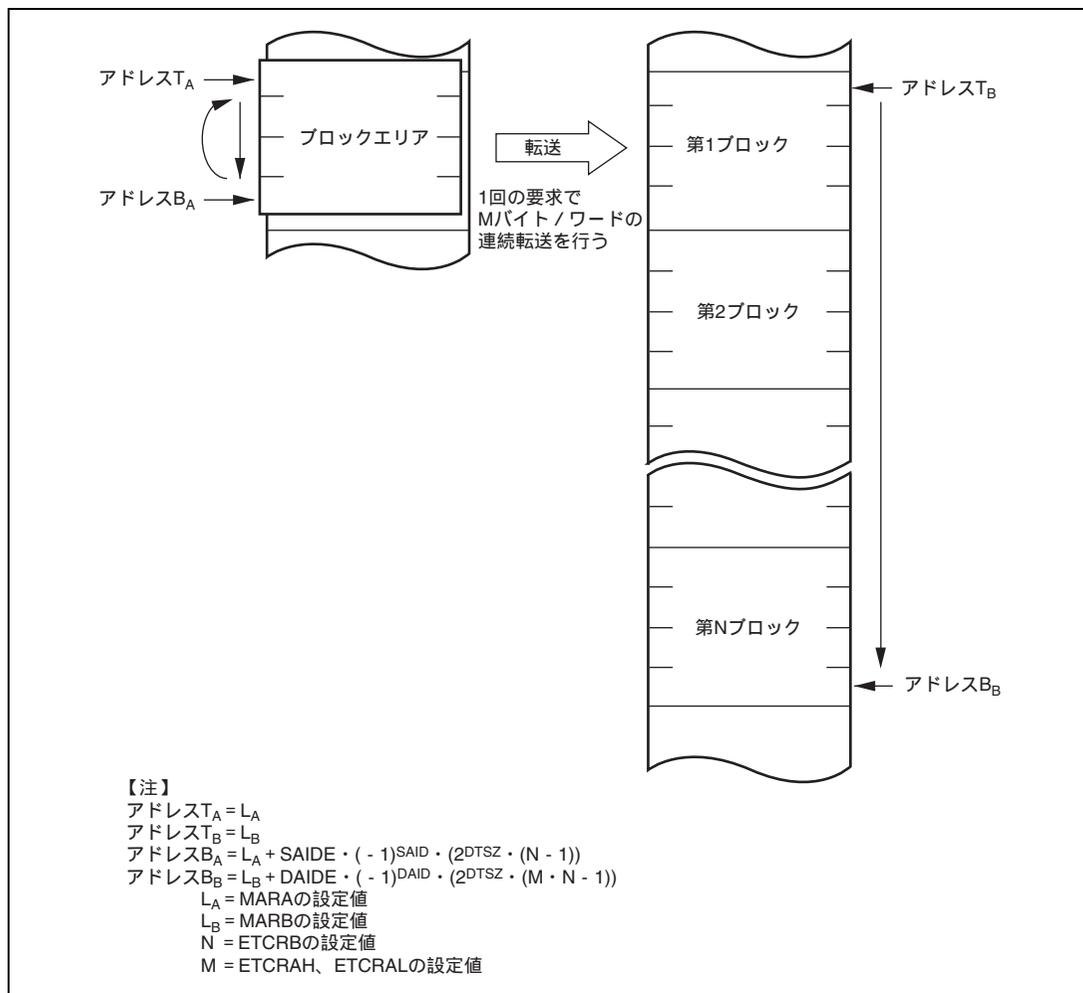


図 7.12 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は 1 回のバイトまたはワード転送のたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になったときに ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ、SAID/DAID、および SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に対して割り込みを要求します。図 7.13 にブロック転送モードの動作フローを示します。

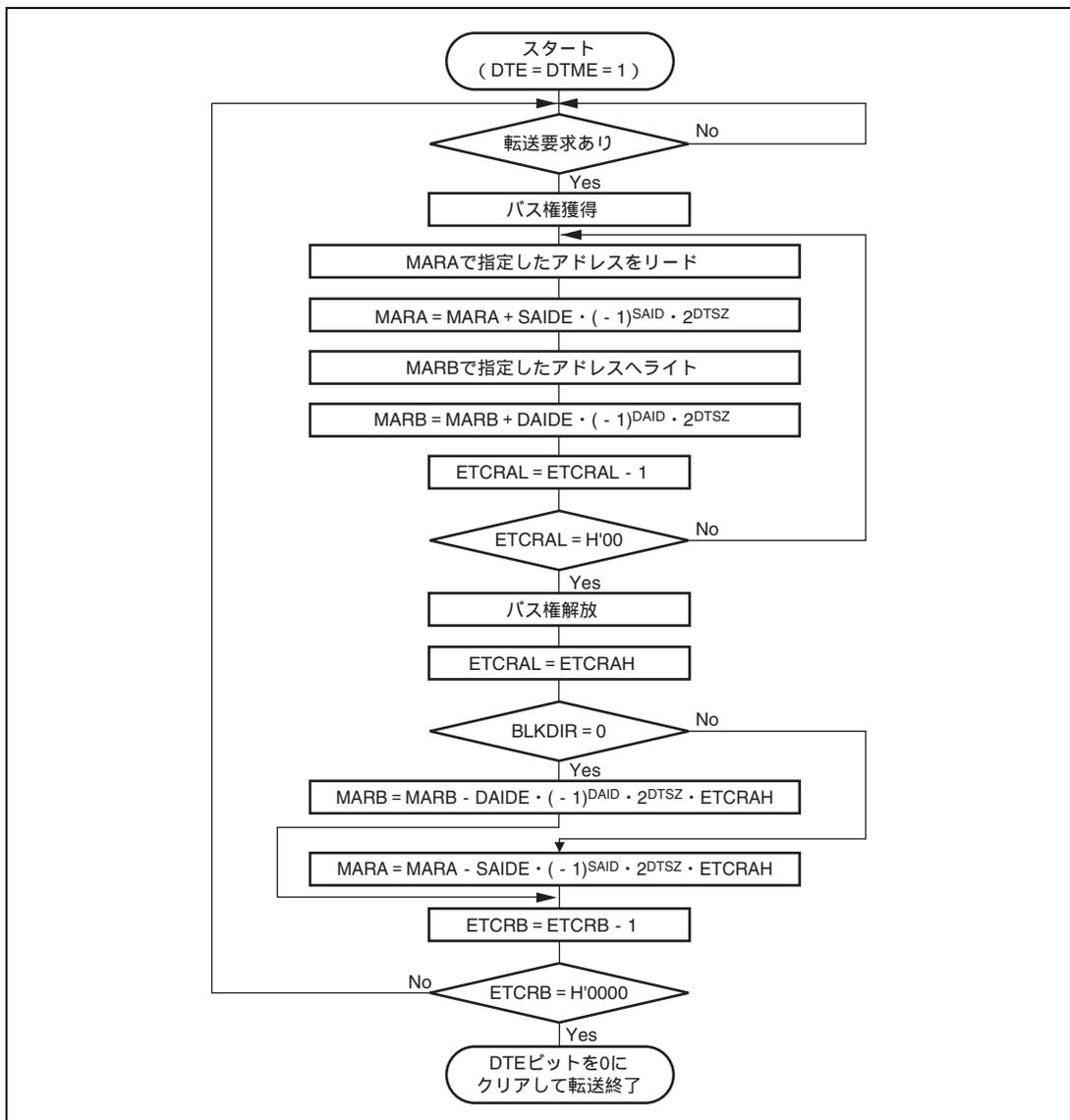


図 7.13 ブロック転送モードの動作フロー

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。設定の詳細は「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。ブロック転送モードの設定手順例を図 7.14 に示します。

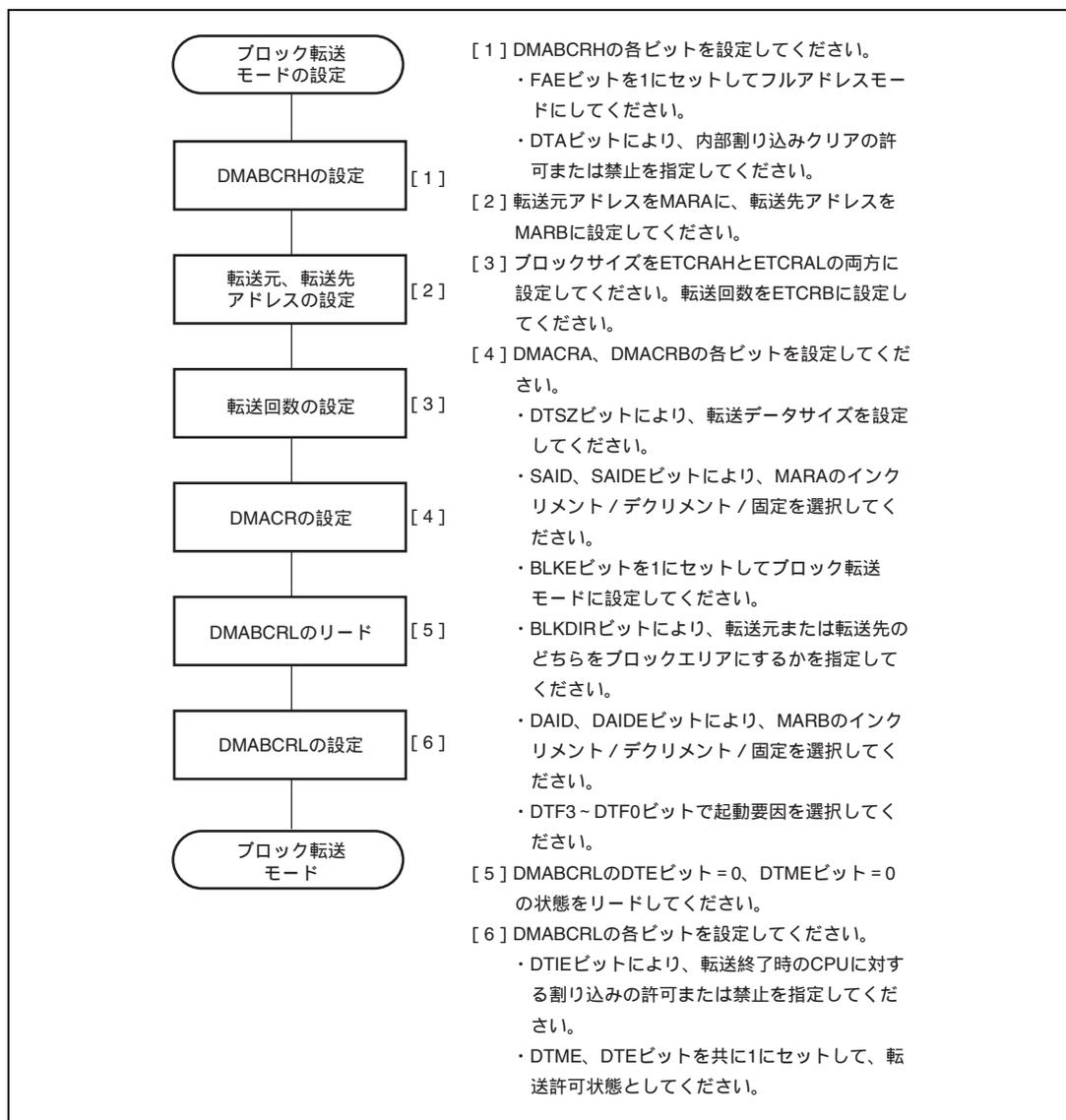


図 7.14 ブロック転送モードの設定手順例

### 7.4.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み USB リクエストおよびオートリクエストがあります。転送モードにより、指定できる要因が表 7.8 に示すように異なります。

表 7.8 DMAC の起動要因

起動要因		ショートアドレスモード	フルアドレスモード	
			ノーマルモード	ブロック転送モード
内部 割り込み	ADI		×	
	TXI0		×	
	RXI0		×	
	TXI1		×	
	RXI1		×	
	TGI0A		×	
	TGI1A		×	
	TGI2A		×	
USB リクエスト	DERQ 信号の Low レベル入力	×		×
オートリクエスト		×		×

【記号説明】

：指定可能

×：指定不可

#### (1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込みによる起動では、DMAC は割り込みコントローラとは独立して要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、DTC の起動要因としない割り込み要求により DMAC が起動される場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みについては、DMA 転送で所定のレジスタをアクセスしないと、割り込み要因フラグはクリアされません。複数のチャンネルで同一の割り込みを起動要因とした場合、最も優先順位の高いチャンネルが最初に起動された時点で、割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されません。

転送終了後などの DTE = 0 の状態では、DTA ビットにかかわらず、選択された起動要因は DMAC に要求されません。この場合、当該割り込みは、CPU または DTC に要求されます。

CPU の割り込み要因または DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC によりクリアされることはありません。

## (2) USB リクエストによる起動

起動要因として、USB リクエスト( $\overline{\text{DREQ}}$  信号)を指定できます。USB リクエストはレベルセンスになります。フルアドレスモードのノーマルモード時の USB リクエスト動作は次のようになります。

$\overline{\text{DREQ}}$  信号が High レベルに保持されている間は、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$  信号が Low レベルに保持されている間は 1 バイトの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で  $\overline{\text{DREQ}}$  信号が High レベルになった場合は、転送を中断し転送要求待ち状態になります。

## (3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し、連続して転送を行います。

## 7.4.8 DMAC の基本バスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.15 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

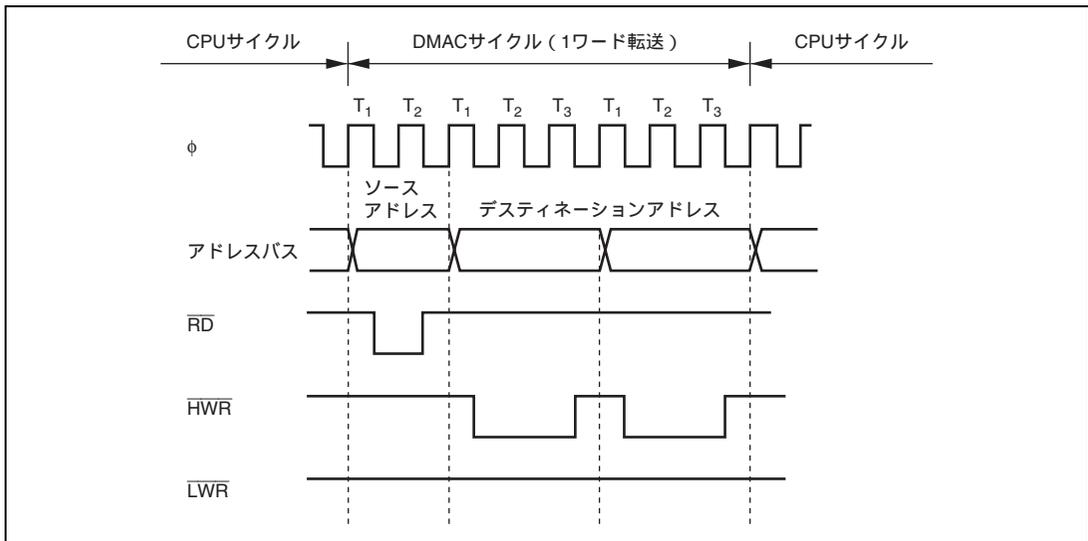


図 7.15 DMA 転送バスタイミング例

なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部のアドレスバスに出力されません。

### 7.4.9 DMAC のバスサイクル (デュアルアドレスモード)

#### (1) ショートアドレスモード

図 7.16 に  $\overline{\text{TEND}}^*$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から、内部 I/O 空間へバイトサイズでショートアドレスモード転送(シーケンシャル/アイドル/リピートモード)を行った場合の転送例を示します。

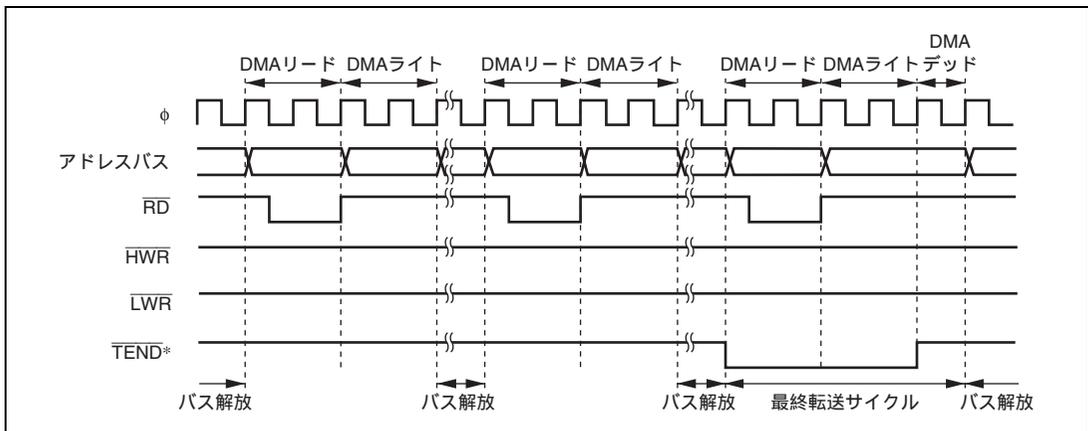


図 7.16 ショートアドレスモード転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル(転送カウンタが 0 となったサイクル)では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 $\overline{\text{TEND}}^*$  出力を許可すると、転送カウンタが 0 となった転送サイクルで  $\overline{\text{TEND}}^*$  出力が Low レベルとなります。

#### (2) フルアドレスモード (サイクルスチールモード)

図 7.17 に  $\overline{\text{TEND}}^*$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

【注】 \* 本 LSI では  $\overline{\text{TEND}}^*$  出力はできません。

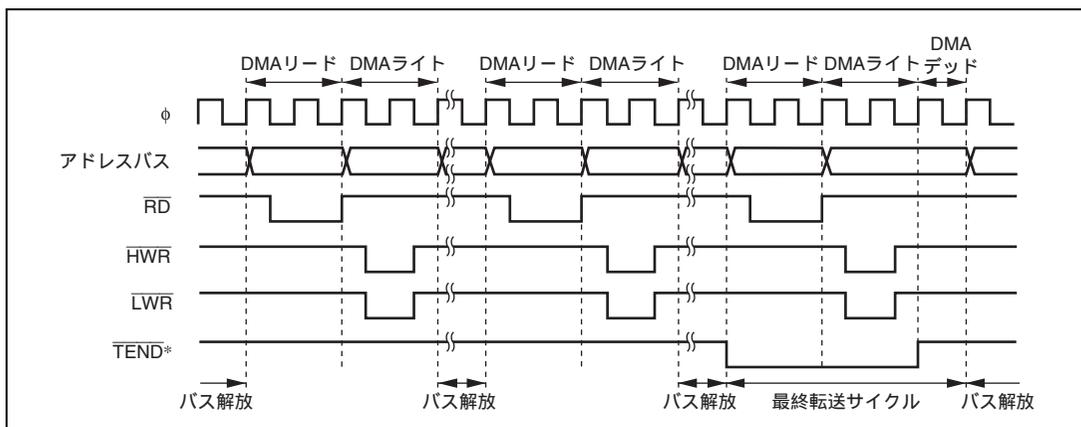


図 7.17 フルアドレスモード (サイクルスチール) 転送例

1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

### (3) フルアドレスモード (バーストモード)

図 7.18 に  $\overline{\text{TEND}}^*$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

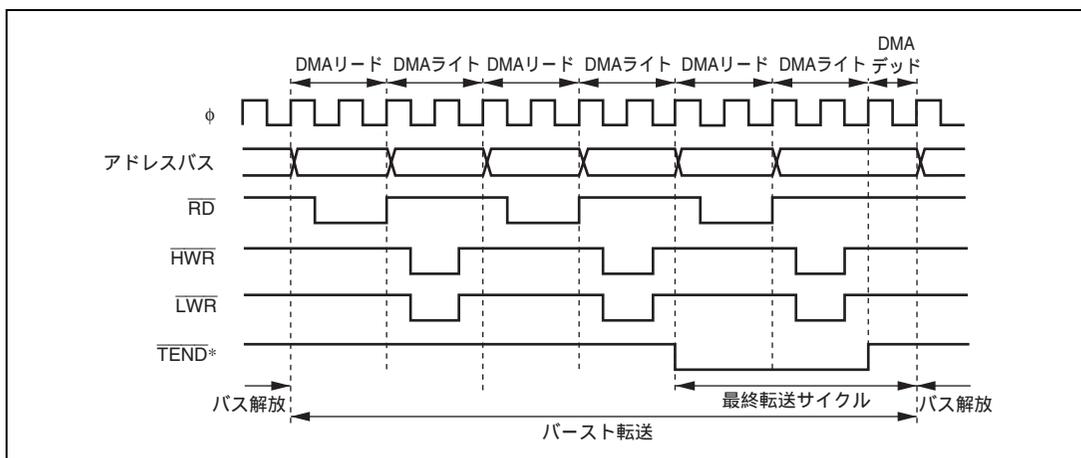


図 7.18 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードの転送を、転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

【注】 \* 本 LSI では  $\overline{\text{TEND}}$  出力はできません。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

#### (4) フルアドレスモード (ブロック転送モード)

図 7.19 に  $\overline{\text{TEND}}$ \*出力を許可して、内部 16 ビット 1 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

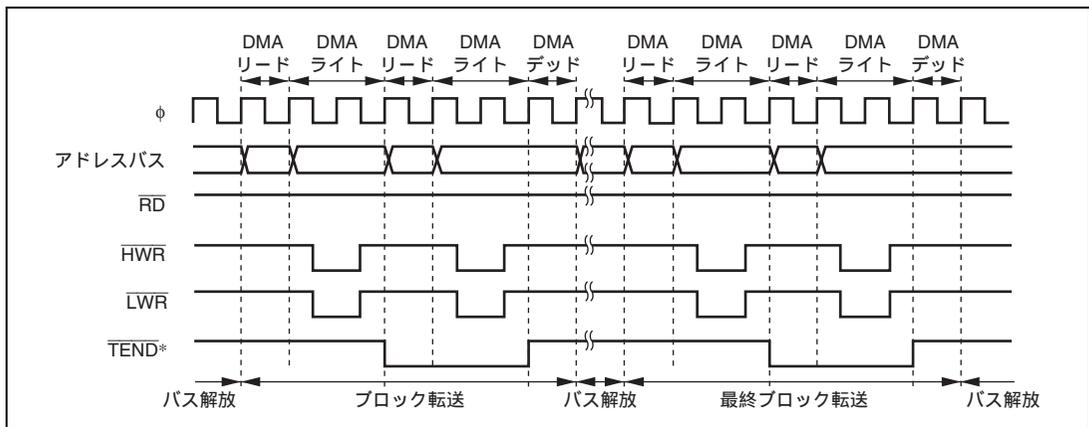


図 7.19 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求につき 1 ブロック分の転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

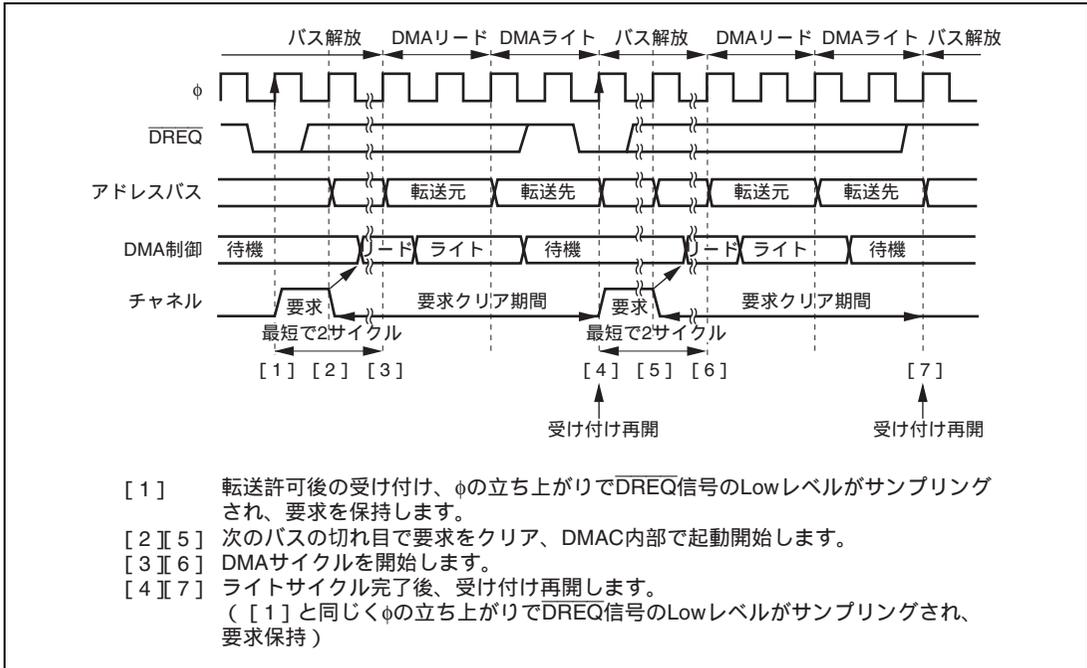
各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

1 ブロックは連続して転送を行います。NMI が発生してもブロック転送の動作に影響を与えません。

【注】 \* 本 LSI では  $\overline{\text{TEND}}$  出力はできません。

(5)  $\overline{\text{DREQ}}$  レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$  信号を選択するチャンネルの DTA ビットは 1 にセットしてください。図 7.20 に  $\overline{\text{DREQ}}$  レベル起動のノーマルモード転送例を示します。

図 7.20  $\overline{\text{DREQ}}$  レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$  信号のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の  $\phi$  の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  信号による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  信号の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  信号の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

【注】 本 LSI の  $\overline{\text{DREQ}}$  信号は LSI 内部信号であるため、端子出力されません。

### 7.4.10 DMAC 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.9 に DMAC のチャンネル間優先順位を示します。

表 7.9 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で、要求の発生しているチャンネルの中から表 7.14 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。バースト転送中およびブロック転送の 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。図 7.21 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

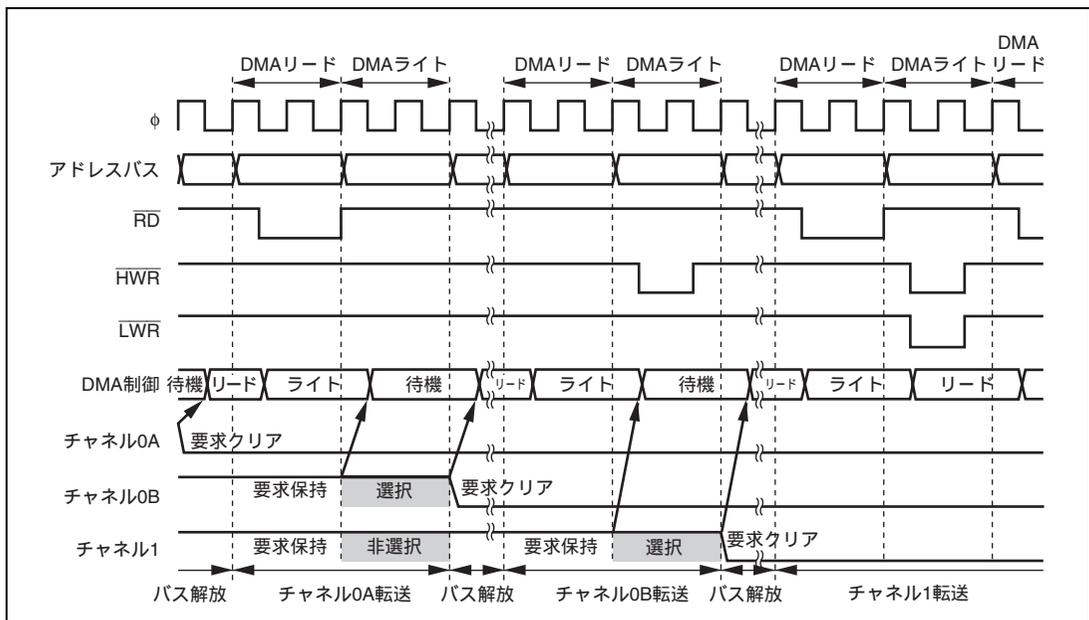


図 7.21 複数チャンネル転送例

### 7.4.11 DMAC、外部バス権要求、および DTC の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間に外部バス解放サイクル、DTC サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルのあとに、外部バス解放状態が挿入されることがあります。DTC は、DMAC より優先度が低いいため、DMAC がバスを解放するまで DTC は動作しません。

DMA サイクルのリードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、または外部バス解放が同時に行われる場合があります。

### 7.4.12 NMI 割り込みと DMAC

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点で、転送を中断後バスを解放し、CPU にバス権が移ります。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。バーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を図 7.22 に示します。

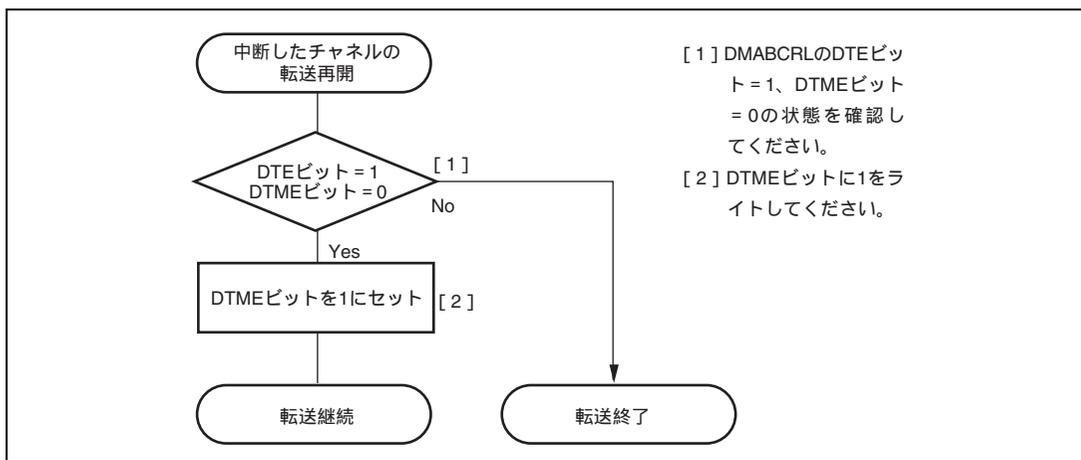


図 7.22 NMI 割り込みにより中断したチャンネルの転送継続手順例

### 7.4.13 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。このあと、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合、DTME ビットについても同様です。DMAC をソフトウェアで強制終了させる場合の手順を図 7.23 に示します。

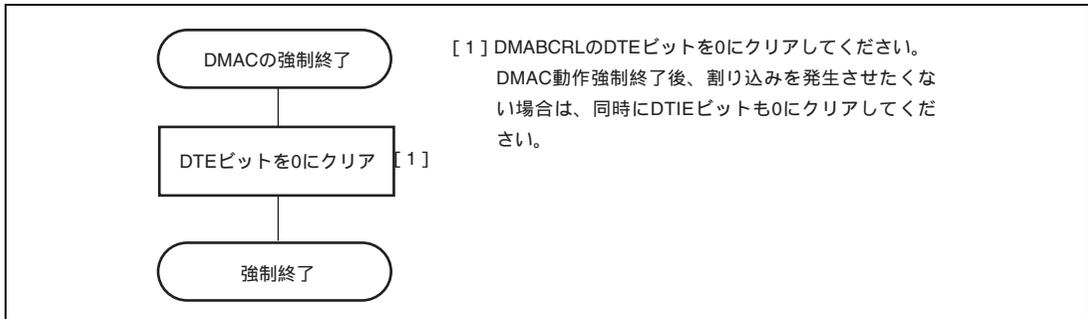


図 7.23 DMAC 動作の強制終了手順例

### 7.4.14 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 7.24 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

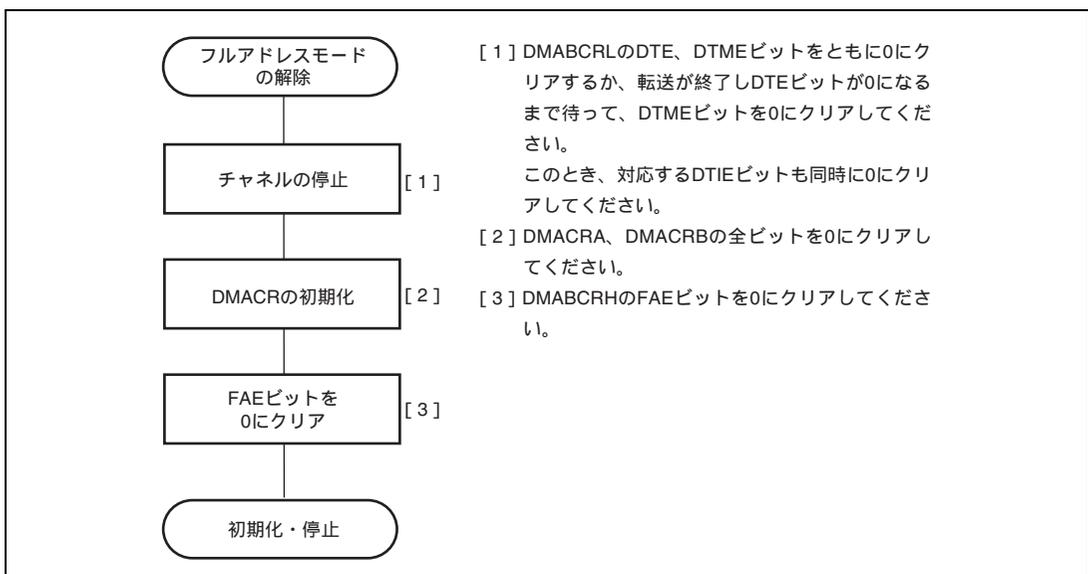


図 7.24 フルアドレスモード解除手順例

## 7.5 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.10 に割り込み要因と優先度を示します。

表 7.10 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	↑ 高  ↓ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCR の対応するチャンネルの DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.10 に示すようになっています。

転送終了 / 転送中断割り込みのブロック図を図 7.25 に示します。DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

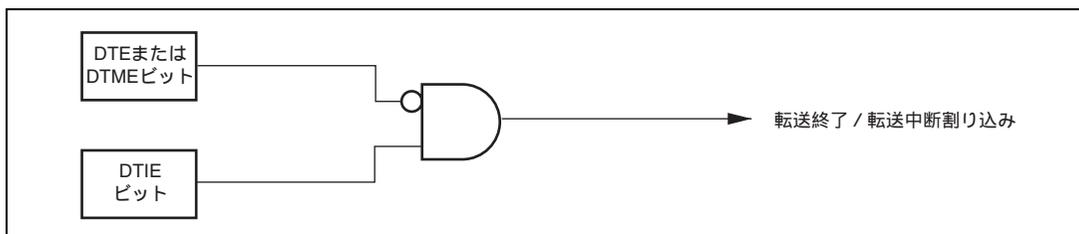


図 7.25 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIEB = 1 のとき DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに、設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

## 7.6 使用上の注意事項

### 7.6.1 動作中の DMAC レジスタアクセス

強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC レジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC レジスタリードに関しては次のようになります。

- DMAC制御はバスサイクルより進んで起動し、アドレス値を出力します。このためMARは、DMAC転送前のバスサイクルに更新されます。

図7.26にデュアルアドレス転送モードにおける、DMACレジスタの更新タイミング例を示します。

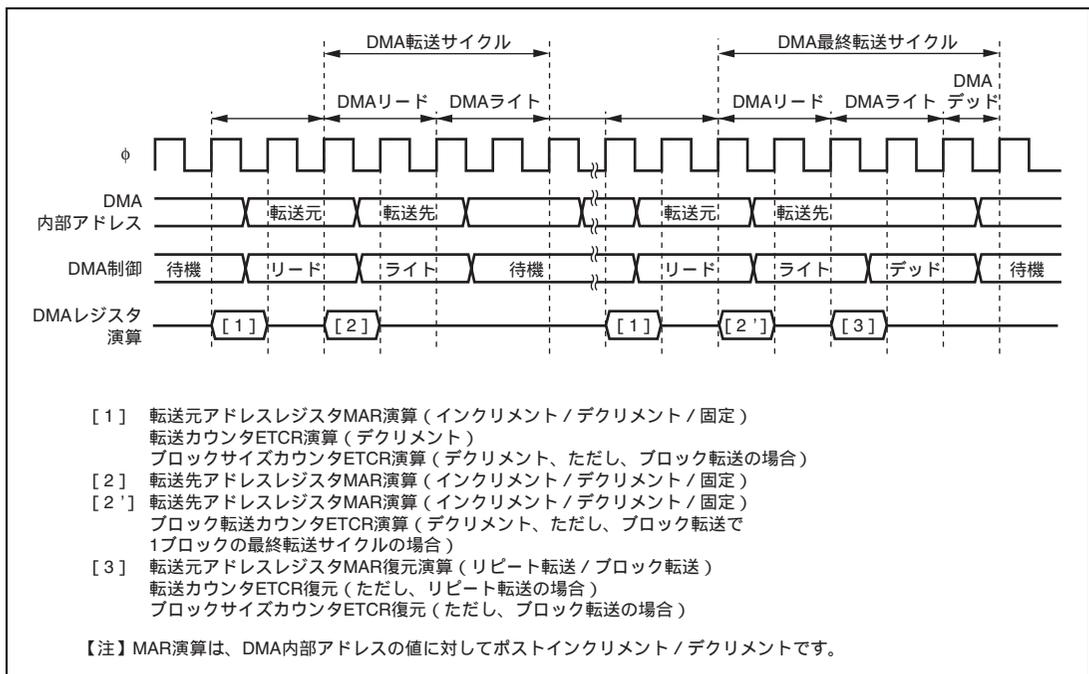


図 7.26 DMAC レジスタの更新タイミング

- DMACレジスタリード直後にDMACの転送サイクルが起こる場合、図7.27のようにDMACレジスタがリードされます。

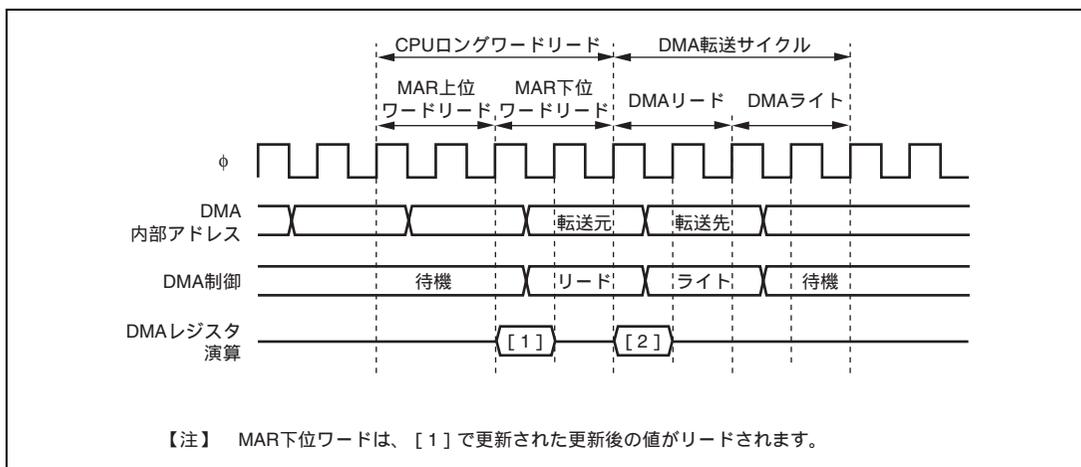


図 7.27 DMAC レジスタの更新と CPU リードの競合

### 7.6.2 モジュールストップ

MSTPCRA の MSTPA7 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTPA7 ビットに 1 をライトできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0かつDTIE = 1)

### 7.6.3 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、DTC、または、DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

#### 7.6.4 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$  信号の Low レベルを検出しています。同様に、内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL ライト実行以前に発生している内部割り込み、または  $\overline{\text{DREQ}}$  信号の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの内部割り込み、または  $\overline{\text{DREQ}}$  信号の Low レベルが残らないようにしてください。

#### 7.6.5 転送終了後の内部割り込み

転送終了または強制終了により、DTE ビットが 0 にクリアされると、DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合には、転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

#### 7.6.6 チャンネルの再設定

複数のチャンネルが転送許可状態にあつて、複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR のコントロールビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行う場合があると、元の処理ルーチンで DMABCR をライトするデータが異なってしまい、ライトにより多重割り込みでの操作結果を無効にしまう場合がありますので注意してください。多重割り込み DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアされた場合と 0 をライトされた場合、DTE / DTME = 0 の状態をいったんリードしないと CPU では 1 をライトできません。



---

## 8. データトランスファコントローラ (DTC)

---

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

### 8.1 特長

- 任意チャンネル数の転送可能
- 1つの起動要因で複数データの連続転送が可能 (チェーン転送)
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- ソフトウェアによる起動が可能
- モジュールストップモードの設定可能

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

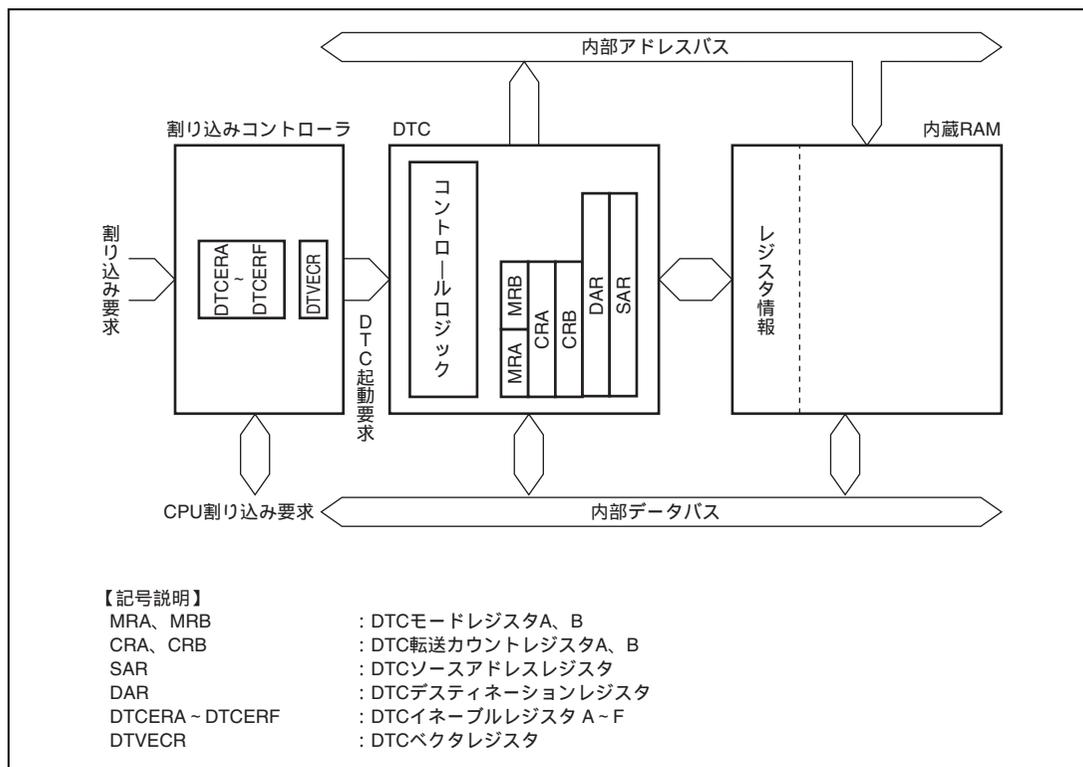


図 8.1 DTC のブロック図

## 8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC 転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタ (DTCERA ~ DTCERF)
- DTCベクタレジスタ (DTVECR)

## 8.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【記号説明】 X : Don't care

### 8.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル チェイン転送を指定するビットです。チェイン転送の詳細は「8.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。 0 : DTC データ転送終了 (起動待ち状態) 1 : DTC チェイン転送 (新しいレジスタ情報をリードしてデータ転送を行う)
6	DISSEL	不定		DTC インタラプトセレクト 1 回のデータ転送後に CPU への割り込み要求の禁止許可を指定するビットです。 0 : 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にクリア) 1 : DTC 転送のために CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にしない)
5~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

### 8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは、CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

### 8.2.6 DTC 転送カウンタレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

### 8.2.7 DTC イネーブルレジスタ A ~ F (DTCERA ~ DTCERF)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERF があります。DTC 起動要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するベクタ番号については表 8.2 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし、複数の起動要因を一度に設定するときには、初期設定に限り、割り込みを禁止して対象となるレジスタをダミーリードしたあとライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCEn7	0	R/W	DTC 起動イネーブル 7~0
6	DTCEn6	0	R/W	0: 割り込みによる DTC 起動を禁止します
5	DTCEn5	0	R/W	1: 対応する割り込み要因が DTC 起動要因として選択されます
4	DTCEn4	0	R/W	[クリア条件]
3	DTCEn3	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
2	DTCEn2	0	R/W	• 指定した回数の転送が終了したとき
1	DTCEn1	0	R/W	[保持条件]
0	DTCEn0	0	R/W	• DISEL ビットが 0 で、指定した回数の転送が終了していないとき

【注】 n=A~F

## 8.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動の許可または禁止の設定およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W*	DTC ソフトウェア起動イネーブル DTC ソフトウェア起動の許可または禁止を設定するビットです。 0 : DTC ソフトウェア起動禁止 1 : DTC ソフトウェア起動許可 [クリア条件] • DIESEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき [保持条件] • DIESEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6-0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE = 0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

【注】 \* SWDTE ビットのライトは、1 のみライト可能です。

### 8.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。対応するビットを 1 セットすると DTC の起動要因となり、0 クリアすると CPU の割り込み要因となります。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。表 8.1 に起動要因と DTCER のクリアを示します。たとえば RXI0 の場合、起動要因フラグは、SCI チャンネル 0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

表 8.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	<ul style="list-style-type: none"> <li>• SWDTE ビットは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• SWDTE ビットは 1 を保持</li> <li>• CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 1 を保持</li> <li>• 起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 0 にクリア</li> <li>• 起動要因フラグは 1 を保持</li> <li>• 起動要因となった割り込みを CPU に要求</li> </ul>

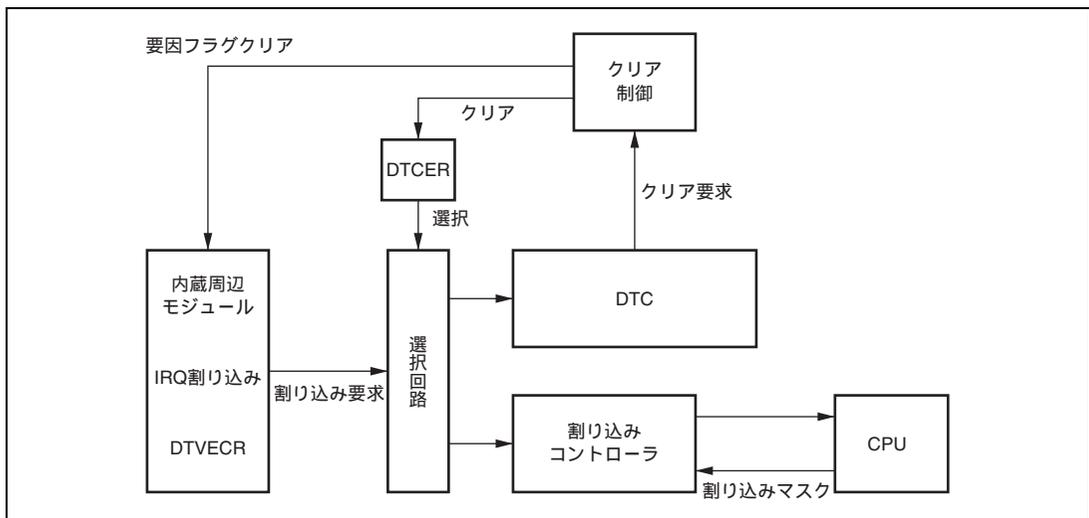


図 8.2 DTC 起動要因制御ブロック図

## 8.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEB00~H'FFEFBF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは4の倍数の番地としてください。図 8.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 8.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 8.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは  $H'0400 + (DTVECR[6:0] \times 2)$  となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

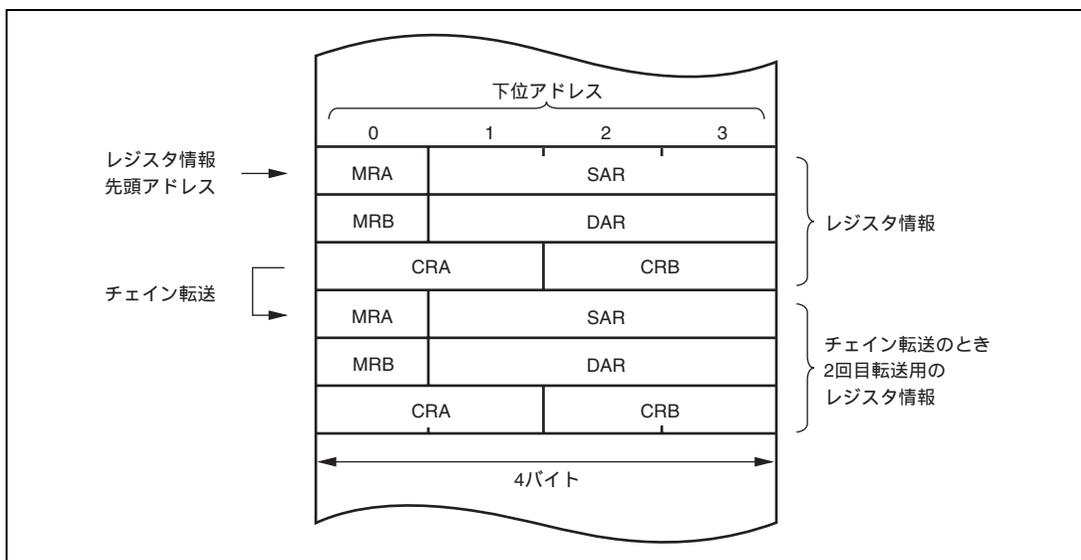


図 8.3 アドレス空間上での DTC レジスタ情報の配置

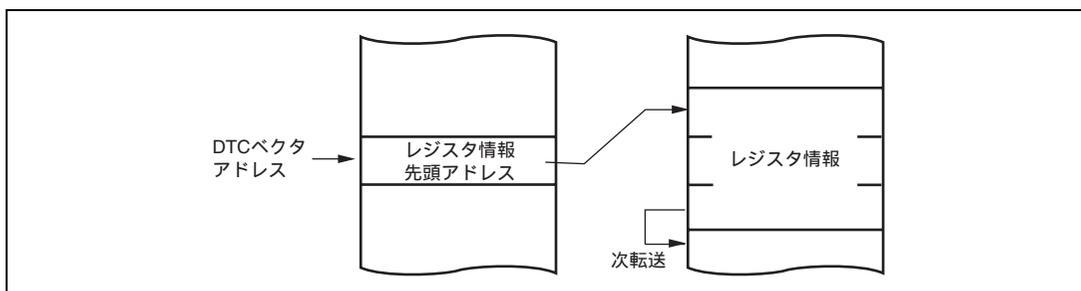


図 8.4 DTC ベクタアドレスとレジスタ情報との対応

表 8.2 DTC 起動要因と DTC ベクタアドレスおよび対応する DTCE

DTC 起動要因発生元	DTC 起動要因 (割り込み要因)	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400 + DTVECR[6:0] × 2	-	高 ↑
外部端子	IRQ0	16	H'0420	DTCEA7	
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ7	23	H'042E	DTCEA0	
A/D	ADI	28	H'0438	DTCEB6	↑ 低
TPU チャンネル 0	TGI0A	32	H'0440	DTCEB5	
	TGI0B	33	H'0442	DTCEB4	
	TGI0C	34	H'0444	DTCEB3	
	TGI0D	35	H'0446	DTCEB2	
TPU チャンネル 1	TGI1A	40	H'0450	DTCEB1	
	TGI1B	41	H'0452	DTCEB0	
TPU チャンネル 2	TGI2A	44	H'0458	DTCEC7	
	TGI2B	45	H'045A	DTCEC6	
8ビットタイマチャンネル 0	CMIA0	64	H'0480	DTCED3	
	CMIB0	65	H'0482	DTCED2	
8ビットタイマチャンネル 1	CMIA1	68	H'0488	DTCED1	
	CMIB1	69	H'048A	DTCED0	
DMAC	DEND0A	72	H'0490	DTCEE7	
	DEND0B	73	H'0492	DTCEE6	
	DEND1A	74	H'0494	DTCEE5	
	DEND1B	75	H'0496	DTCEE4	
SCI チャンネル 0	RX10	81	H'04A2	DTCEE3	
	TX10	82	H'04A4	DTCEE2	
SCI チャンネル 1	RX11	85	H'04AA	DTCEE1	
	TX11	86	H'04AC	DTCEE0	
SCI チャンネル 2	RX12	89	H'04B2	DTCEF7	
	TX12	90	H'04B4	DTCEF6	

【注】 \* 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

## 8.5 動作説明

DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 8.5 に DTC 動作フローチャートを示します。

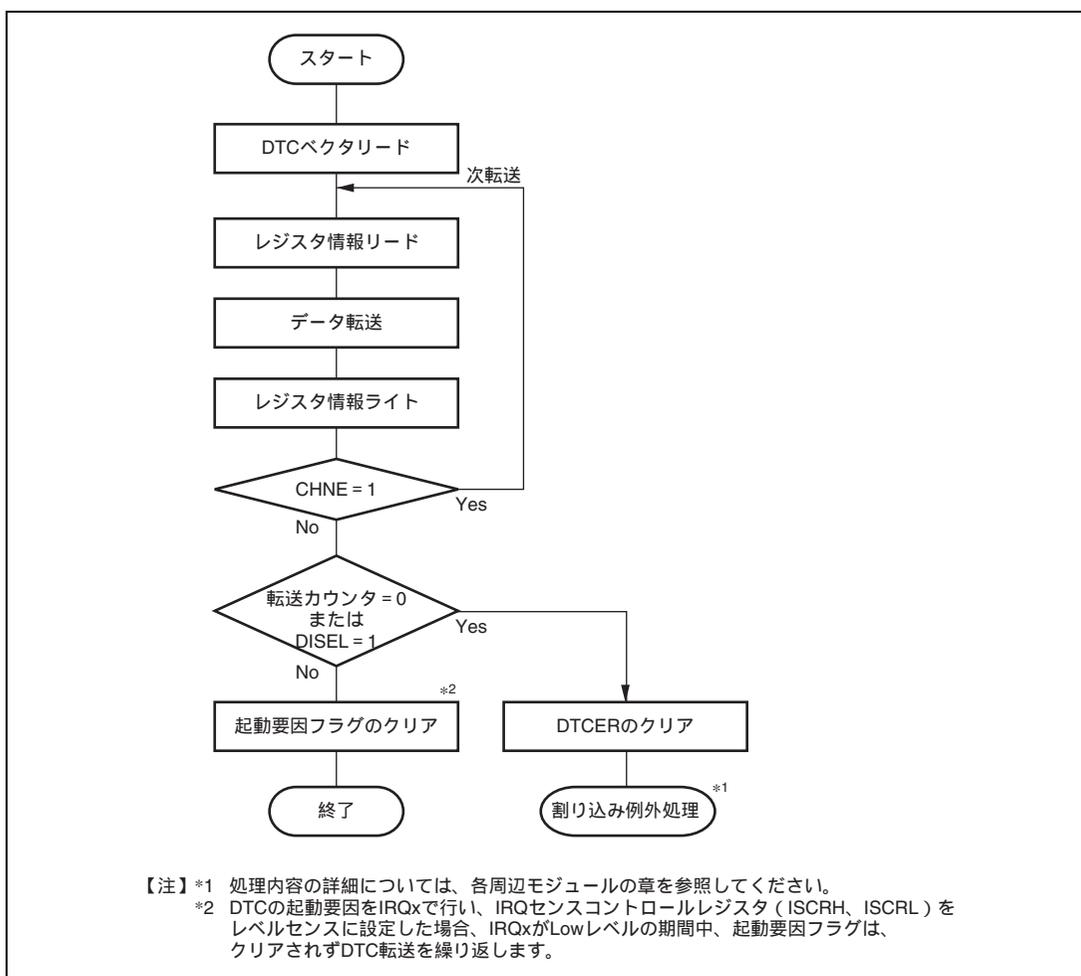


図 8.5 DTC 動作フローチャート

表 8.3 に、DTC の機能概要を示します。

表 8.3 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード <ul style="list-style-type: none"> <li>• 1 回の転送要求で 1 バイト、または 1 ワードの転送を実行</li> <li>• メモリアドレスを 1 または 2 増減</li> <li>• 転送回数は 1~65536</li> </ul> (2) リピートモード <ul style="list-style-type: none"> <li>• 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>• メモリアドレスを 1 または 2 増減</li> <li>• 指定回数 (1~256) 転送後、初期状態を回復して動作を継続</li> </ul> (3) ブロック転送モード <ul style="list-style-type: none"> <li>• 1 回の転送要求で指定したブロックサイズの転送</li> <li>• ブロックサイズ 1~256 バイトまたはワード</li> <li>• 転送回数は 1~65536</li> <li>• ソースまたはデスティネーションのいずれかをブロックエリアに指定可能</li> </ul>	<ul style="list-style-type: none"> <li>• IRQ</li> <li>• TPU の TGI</li> <li>• 8 ビットタイマの CMI</li> <li>• SCI の TXI、RXI</li> <li>• A/D 変換器の ADI</li> <li>• DMAC の DEND</li> <li>• ソフトウェア</li> </ul>	24 ビット	24 ビット

### 8.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 8.4 にノーマルモードにおけるレジスタ機能を、図 8.6 にノーマルモードのメモリマップを示します。

表 8.4 ノーマルモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

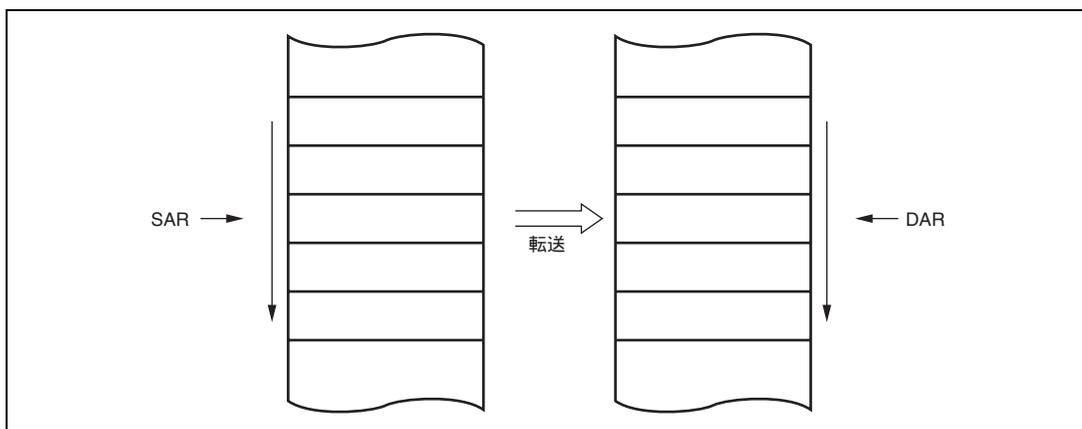


図 8.6 ノーマルモードのメモリマップ

### 8.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 8.5 にリピートモードにおけるレジスタ機能を、図 8.7 にリピートモードのメモリマップを示します。

表 8.5 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

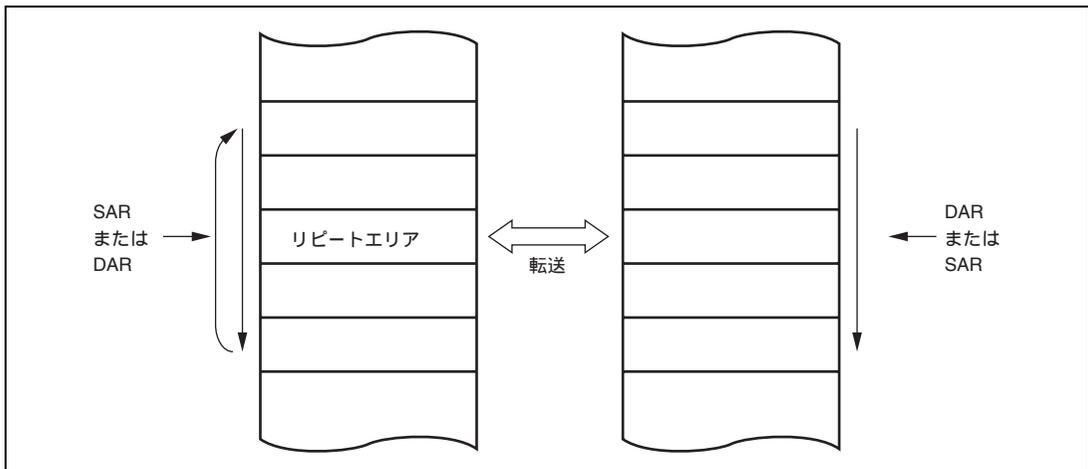


図 8.7 リピートモードのメモリマップ

### 8.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表8.6にブロック転送モードにおけるレジスタ機能を、図8.8にブロック転送モードのメモリマップを示します。

表 8.6 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

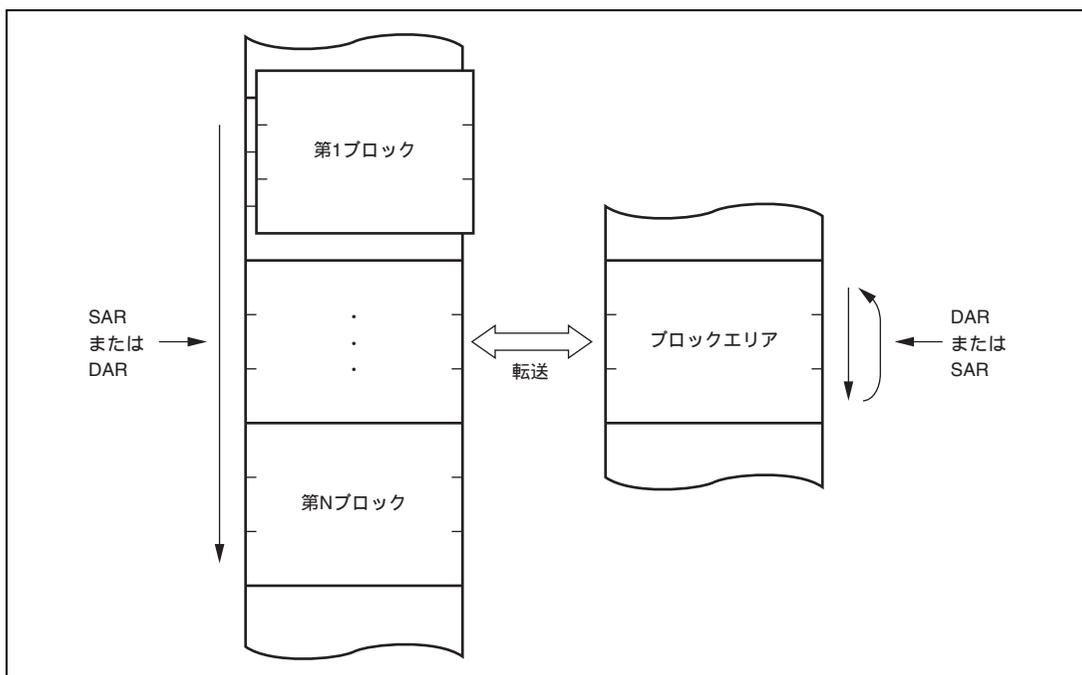


図 8.8 ブロック転送モードのメモリマップ

### 8.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB、MRA、および MRB は個別に設定できます。

図 8.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

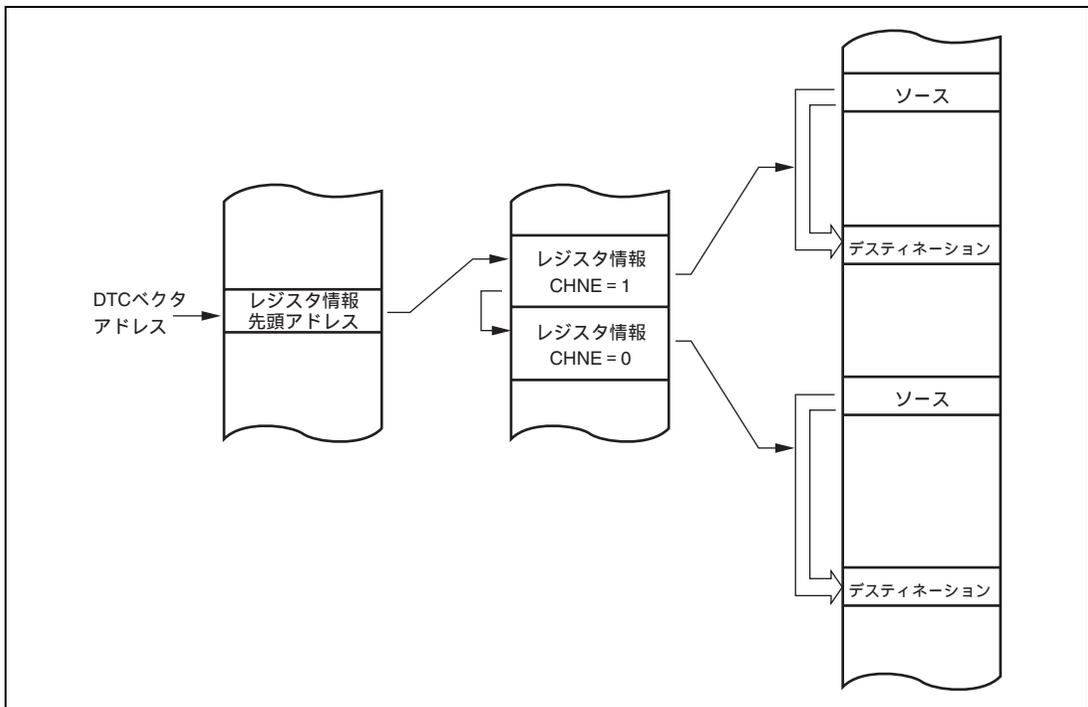


図 8.9 チェイン転送の動作

### 8.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ちおよびデータ転送中は SWDTEND 割り込みは発生しません。

## 8.5.6 動作タイミング

図 8.10～図 8.12 に DTC の動作タイミングを示します。

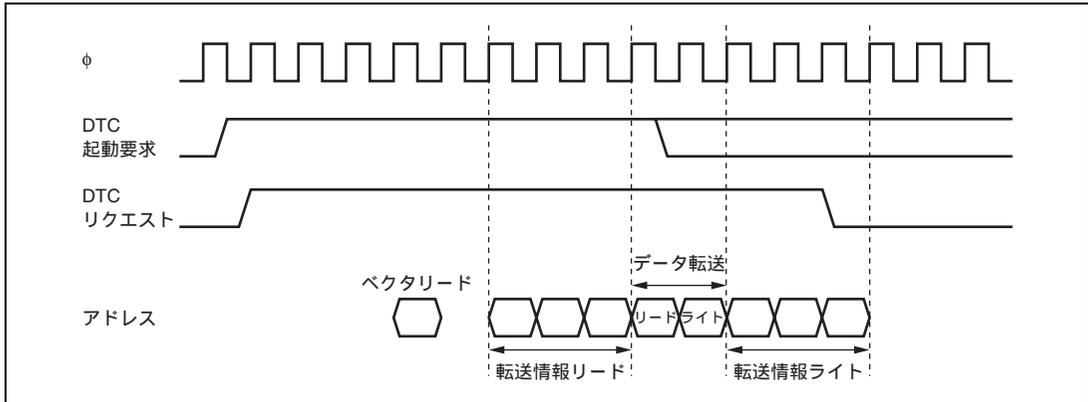


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

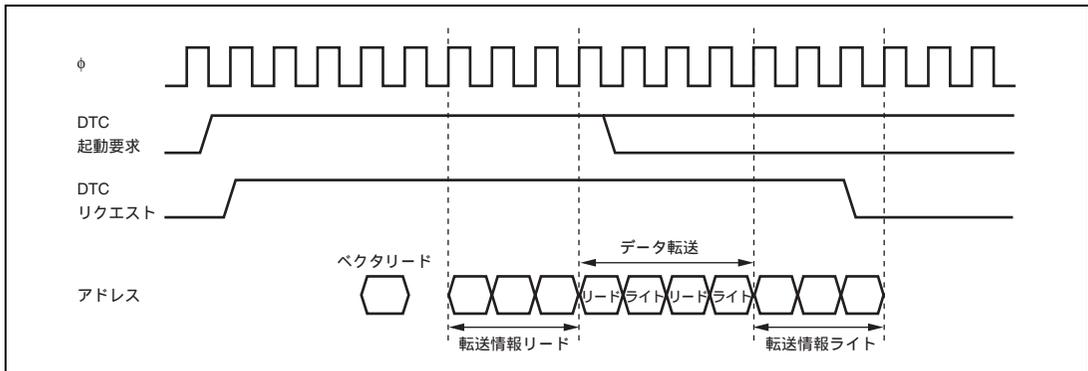


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

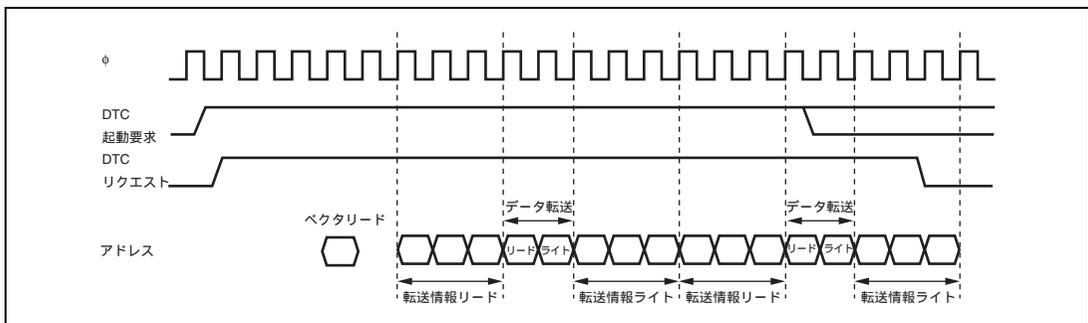


図 8.12 DTC の動作タイミング (チェーン転送の例)

## 8.5.7 DTC 実行ステート数

表 8.7 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.8 に、実行状態に必要なステート数を示します。

表 8.7 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

## 【記号説明】

N：ブロックサイズ (CRAH、CRAL の初期設定値)

表 8.8 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード SI	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 SJ リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリード SK	1	1	2	2	2	3+m	2	3+m
	ワードデータリード SK	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト SL	1	1	2	2	2	3+m	2	3+m
	ワードデータライト SL	1	1	4	2	4	6+2m	2	3+m
	内部動作 SM	1							

## 【記号説明】

m：外部デバイスアクセス時のウェイトステート数

実行ステート数は次の計算式で計算されます。なお、Σは 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

## 8.6 DTC 使用手順

### 8.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

### 8.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

## 8.7 DTC 使用例

### 8.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 ( $SM1 = SM0 = 0$ )、デスティネーションアドレスインクリメント ( $DM1 = 1$ ,  $DM0 = 0$ )、ノーマルモード ( $MD1 = MD0 = 0$ )、バイトサイズ ( $Sz = 0$ ) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 ( $CHNE = 0$ ,  $DISEL = 0$ ) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 8.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント ( $SM1 = 1$ ,  $SM0 = 0$ )、デスティネーションアドレスインクリメント ( $DM1 = 1$ ,  $DM0 = 0$ )、ブロック転送モード ( $MD = 1$ ,  $MD0 = 0$ )、バイトサイズ ( $Sz = 0$ ) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 ( $CHNE = 0$ ) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE = 1とともに、ベクタ番号 H'60 を、DTVECRにライトします。ライトデータは H'E0 です。
5. 再度、DTVECRを読み、ベクタ番号 H'60 が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。3.と4.の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、3.に戻ってください。

6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

## 8.8 使用上の注意事項

### 8.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。「第22章 低消費電力状態」を参照してください。

### 8.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

### 8.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

### 8.8.4 DMAC 転送終了割り込み

DMAC転送終了割り込みでDTCを起動したとき、転送カウンタ、DISELビットにかかわらず、DMACのDTEビットはDTCの制御を受けず、ライトデータが優先されます。このため、DTCの転送カウンタが0になった場合でも、CPUへの割り込みが発生しない場合があります。



## 9. I/O ポート

ポート機能一覧を表 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。各ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A ~ E には、入力プルアップ MOS が内蔵されており、入力プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン / オフを制御できます。

ポート 3、A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン / オフを選択できます。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

表 9.1 ポートの機能一覧

ポート名	概要	モード 4、5	モード 6	モード 7*1	入出力形態ほか	
ポート 1	TPU 入出力、 割り込み入力、 外付け USB ト ランシーバ入 出力、アドレス バス出力端子 と兼用汎用入 出力ポート	P17/TIOCB2/TCLKD/ $\overline{OE}$		P17/TIOCB2/TCLKD	シュミットトリ ガ入力 ( $\overline{IRQ1}$ 、 $\overline{IRQ0}$ )	
		P16/TIOCA2/ $\overline{IRQ1}$				
		P15/TIOCB1/TCLKC/FSE0		P15/TIOCB1/TCLKC		
		P14/TIOCA1/ $\overline{IRQ0}$				
		P13/TIOCD0/TCLKB/A23/VPO		P13/TIOCD0/TCLKB		
		P12/TIOCC0/TCLKA/A22/RCV		P12/TIOCC0/TCLKA		
		P11/TIOCB0/A21/VP		P11/TIOCB0		
		P10/TIOCA0/A20/VM		P10/TIOCA0		
ポート 3	SCI_0、SCI_1 入出力、割り込 み入力と兼用 汎用入出力ポ ート	P36 P35/SCK1/ $\overline{IRQ5}$ P34/RxD1 P33/TxD1 P32/SCK0/ $\overline{IRQ4}$ P31/RxD0 P30/TxD0			オープンドレイ ン出力可能 シュミットトリ ガ入力 ( $\overline{IRQ5}$ 、 $\overline{IRQ4}$ )	
ポート 4	A/D 変換器のア ナログ入力兼用 汎用入力ポート	P43/AN3 P42/AN2 P41/AN1 P40/AN0				

ポート名	概要	モード 4、5	モード 6	モード 7*1	入出力形態ほか
ポート 7	8ビットタイマ 入出力、バス制御出力、 マニュアルリセット入力と兼用汎用入出力ポート	P74/MRES P73/TMO1/CS7 P72/TMO0/CS6*2 P71/CS5 P70/TMRI01/TMCI01/CS4		P74/MRES P73/TMO1 P72/TMO0 P71 P70/TMRI01/TMCI01	
ポート 9	A/D 変換器のアナログ入力、 D/A 変換器のアナログ出力兼用汎用入力ポート	P97/AN15/DA1 P96/AN14/DA0			
ポート A	SCI_2 の入出力端子、アドレスバス出力端子、外付け USB トランシーバ出力と兼用汎用入出力ポート	PA3/A19/SCK2/SUSPND PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16		PA3/SCK2 PA2/RxD2 PA1/TxD2 PA0	入力プルアップ MOS 内蔵 オープンドレイン出力可能
ポート B	アドレスバス出力端子と兼用汎用入出力ポート	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8		PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵
ポート C	アドレスバス出力端子と兼用汎用入出力ポート	A7	DDR = 0 のとき PC7 DDR = 1 のとき A7*2	PC7	入力プルアップ MOS 内蔵
		A6	DDR = 0 のとき PC6 DDR = 1 のとき A6*2	PC6	
		A5	DDR = 0 のとき PC5 DDR = 1 のとき A5*2	PC5	
		A4	DDR = 0 のとき PC4 DDR = 1 のとき A4*2	PC4	
		A3	DDR = 0 のとき PC73 DDR = 1 のとき A3*2	PC3	
		A2	DDR = 0 のとき PC2 DDR = 1 のとき A2*2	PC2	

ポート名	概要	モード 4、5	モード 6	モード 7*1	入出力形態ほか
ポート C	アドレスバス出力端子と兼用汎用入出力ポート	A1	DDR = 0 のとき PC1 DDR = 1 のとき A1*2	PC1	入力プルアップ MOS 内蔵
		A0	DDR = 0 のとき PC0 DDR = 1 のとき A0*2	PC0	
ポート D	データバス入力と汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8		PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵
ポート E	データバス入力と汎用入出力ポート	8 ビットバスモードのとき PE7 16 ビットバスモードのとき D7		PE7	入力プルアップ MOS 内蔵
		8 ビットバスモードのとき PE6 16 ビットバスモードのとき D6		PE6	
		8 ビットバスモードのとき PE5 16 ビットバスモードのとき D5		PE5	
		8 ビットバスモードのとき PE4 16 ビットバスモードのとき D4		PE4	
		8 ビットバスモードのとき PE3 16 ビットバスモードのとき D3		PE3	
		8 ビットバスモードのとき PE2 16 ビットバスモードのとき D2		PE2	
		8 ビットバスモードのとき PE1 16 ビットバスモードのとき D1		PE1	
		8 ビットバスモードのとき PE0 16 ビットバスモードのとき D0		PE0	
ポート F	割り込み入力とバス制御信号入出力と兼用汎用入出力ポート	DDR = 0 のとき PF7 DDR = 1 のとき (リセット後) $\phi$		DDR = 0 のとき (リセット後) PF7 DDR = 1 のとき $\phi$	シュミットトリガ入力 ( $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ2}}$ )
		$\overline{\text{AS}}$		PF6	
		$\overline{\text{RD}}$		PF5	
		HWR		PF4	
		8 ビットバスモードのとき PF3/ $\overline{\text{ADTRG/IRQ3}}$ 16 ビットバスモードのとき $\overline{\text{LWR}}$		PF3/ $\overline{\text{ADTRG/IRQ3}}$	
		WAITE = 0 のとき (リセット後) PF2 WAITE = 1 のとき $\overline{\text{WAIT}}$		PF2	

ポート名	概要	モード 4、5	モード 6	モード 7*1	入出力形態ほか
ポート F	割り込み入力と バス制御信号入	BRLE = 0 のとき (リセット後) PF1 BRLE = 1 のとき $\overline{\text{BACK}}$		PF1	シュミットトリ ガ入力 ( $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ2}}$ )
	出力と兼用汎用 入出力ポート	BRLE = 0 のとき (リセット後) PF0/ $\overline{\text{IRQ2}}$ BRLE = 1 のとき $\overline{\text{BREQ}}/\overline{\text{IRQ2}}$		PF0/ $\overline{\text{IRQ2}}$	
ポート G	バス制御出力、 割り込み入力	DDR = 0 のとき PG4 (モード 6 のリセット後) DDR = 1 のとき $\overline{\text{CS0}}$ (モード 4、5 のリセット後)		PG4	シュミットトリ ガ入力 ( $\overline{\text{IRQ7}}$ )
	と兼用汎用入 出力ポート	DDR = 0 のとき PG3 DDR = 1 のとき $\overline{\text{CS1}}$		PG3	
		DDR = 0 のとき PG2 DDR = 1 のとき $\overline{\text{CS2}}$		PG2	
		DDR = 0 のとき PG1/ $\overline{\text{IRQ7}}$ DDR = 1 のとき $\overline{\text{CS3}}/\overline{\text{IRQ7}}$		PG1/ $\overline{\text{IRQ7}}$	
		PG0			

【注】 \*1 モード 7 では内蔵 USB を使用できない場合があります。

詳細は「第 3 章 MCU 動作モード」を参照してください。

\*2 モード 6 で内蔵 USB を使用する場合は、 $\overline{\text{CS6}}$  出力、A7 ~ A0 出力にしてください。

## 9.1 ポート 1

ポート 1 は、アドレスバス、外付け USB トランシーバ入出力、TPU 入出力、外部割り込み入力兼用の 8 ビットの入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

### 9.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	P17DDR	0	W	モード 4～6 のとき  PFCR の AE3～AE0 ビットでアドレス出力を許可すると、P13～P10 端子はアドレス出力となります。P17～P14 端子と、アドレス出力を禁止した場合の P13～P10 端子は、P1DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。  モード 7 のとき  このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

### 9.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

### 9.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P17	*	R	P1DDR が 1 にセットされているビットは、ポート 1 をリードすると、P1DR の値をリードします。P1DDR が 0 にクリアされているとき、ポート 1 のリードを行うと端子の状態が読み出されます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】 \* P17～P10 の端子の状態により決定されます。

### 9.1.4 端子機能

ポート 1 はアドレスバス (A23～A20) 出力、外付け USB トランシーバ入出力、TPU 入出力、外部割り込み入力 ( $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ ) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.2 P17 の端子機能

UCTLR の FADSEL <sup>*3</sup>	0		1
	出力設定	入力設定または初期値	
TPU チャンネル 2 の設定 <sup>*1</sup>		0	1
P17DDR		P17 入力	P17 出力
端子機能	TIOCB2 出力	TIOCB2 入力	
		TCLKD 入力	
		$\overline{\text{OE}}$ 出力 <sup>*3</sup>	

表 9.3 P16 の端子機能

TPU チャンネル 2 の設定 <sup>*1</sup>	出力設定	入力設定または初期値	
		0	1
P16DDR		P16 入力	P16 出力
端子機能	TIOCA2 出力	TIOCA2 入力	
		$\overline{\text{IRQ1}}$ 入力 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*3 モード 7 では内蔵 USB を使用できない場合があります。  
詳細は「第 3 章 MCU 動作モード」を参照してください。

表 9.4 P15 の端子機能

UCTLR の FADSEL * <sup>3</sup>	0			1
TPU チャンネル 1 の設定* <sup>1</sup>	出力設定	入力設定または初期値		
P15DDR		0	1	
端子機能	TIOCB1 出力	P15 入力	P15 出力	FSE0 出力* <sup>3</sup>
		TIOCB1 入力		
	TCLKC 入力			

表 9.5 P14 の端子機能

TPU チャンネル 1 の設定* <sup>1</sup>	出力設定	入力設定または初期値	
P14DDR		0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力
		TIOCA1 入力	
	IRQ0 入力* <sup>2</sup>		

【注】 \*1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*3 モード 7 では内蔵 USB を使用できない場合があります。

詳細は「第 3 章 MCU 動作モード」を参照してください。

表 9.6 P13 の端子機能

AE3 ~ AE0* <sup>1</sup>	(B'1111) 以外			B'1111
UCTLR の FADSEL * <sup>3</sup>	0		1	
TPU チャンネル 0 の設定* <sup>2</sup>	出力設定	入力設定または初期値		
P13DDR		0	1	
端子機能	TIOCD0 出力	P13 入力	P13 出力	VPO 出力* <sup>3</sup>
		TIOCD0 入力		
	TCLKB 入力			

【注】 \*1 モード 4、5、6 のときに有効

\*2 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*3 モード 7 では内蔵 USB を使用できない場合があります。

詳細は「第 3 章 MCU 動作モード」を参照してください。

表 9.7 P12 の端子機能

AE3 ~ AE0* <sup>1</sup>	(B'1111) 以外			B'1111
UCTLR の FADSEL* <sup>3</sup>	0		1	
TPU チャンネル 0 の設定* <sup>2</sup>	出力設定	入力設定または初期値		
P12DDR		0	1	
端子機能	TIOCC0 出力	P12 入力	P12 出力	RCV 入力* <sup>3</sup>
		TIOCC0 入力		
	TCLKA 入力			A22 出力

表 9.8 P11 の端子機能

AE3 ~ AE0* <sup>1</sup>	(B'1110 ~ B'1111) 以外			B'1110 ~ B'1111
UCTLR の FADSEL* <sup>3</sup>	0		1	
TPU チャンネル 0 の設定* <sup>2</sup>	出力設定	入力設定または初期値		
P11DDR		0	1	
端子機能	TIOCB0 出力	P11 入力	P11 出力	VP 入力* <sup>3</sup>
		TIOCB0 入力		
				A21 出力

表 9.9 P10 の端子機能

AE3 ~ AE0* <sup>1</sup>	(B'1101 ~ B'1111) 以外			B'1101 ~ B'1111
UCTLR の FADSEL* <sup>3</sup>	0		1	
TPU チャンネル 0 の設定* <sup>2</sup>	出力設定	入力設定または初期値		
P10DDR		0	1	
端子機能	TIOCA0 出力	P10 入力	P10 出力	VM 入力
		TIOCA0 入力		
				A20 出力

【注】 \*1 モード 4、5、6 のときに有効

\*2 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*3 モード 7 では内蔵 USB を使用できない場合があります。

詳細は「第 3 章 MCU 動作モード」を参照してください。

## 9.2 ポート 3

ポート 3 は、SCI 入出力、外部割り込み入力 ( $\overline{IRQ4}$ 、 $\overline{IRQ5}$ ) 兼用の 7 ビットの入出力ポートです。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)

### 9.2.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット リードすると、不定値が読み出されます。ライトは無効です。
6	P36DDR	0	W	P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

### 9.2.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
6	P36DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

### 9.2.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36	*	R	P3DDR が 1 にセットされているビットは、ポート 3 をリードすると P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。
5	P35	*	R	
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】 \* P36 ~ P30 端子の状態により決定されます。

### 9.2.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の各端子の PMOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
6	P36ODR	0	R/W	P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
5	P35ODR	0	R/W	
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

### 9.2.5 端子機能

ポート 3 は、SCI 入力、外部割り込み入力 ( $\overline{IRQ4}$ 、 $\overline{IRQ5}$ ) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.10 P36 の端子機能

P36DDR	0	1
端子機能	P36 入力	P36 出力 (HD64F2215U、HD64F2215RU、HD64F2215TU、HD64F2215CU における USB の D+プルアップ制御出力)

表 9.11 P35 の端子機能

SCR_1 の CKE1	0		1	
SMR_1 の C/ $\overline{A}$	0		1	
SCR_1 の CKE0	0	1		
P35DDR	0	1		
端子機能	P35 入力	P35 出力* <sup>2</sup>	SCK1 出力* <sup>2</sup>	SCK1 出力* <sup>2</sup>
			$\overline{IRQ5}$ 入力* <sup>1</sup>	

表 9.12 P34 の端子機能

SCR_1 の RE	0		1
P34DDR	0	1	
端子機能	P34 入力	P34 出力* <sup>2</sup>	RxD1 入力

表 9.13 P33 の端子機能

SCMR_1 の SMIF	0			1			
SCR_1 の TE	0		1	0		1	
P33DDR	0	1		0	1	0	1
端子機能	P33 入力	P33 出力	TxD1 出力	P33 入力	設定禁止	TxD1 出力	設定禁止

表 9.14 P32 の端子機能

SCR_0 の CKE1	0				1
SMR_0 の C/A	0			1	
SCR_0 の CKE0	0		1		
P32DDR	0	1			
端子機能	P32 入力	P32 出力	SCK0 出力	SCK0 出力	SCK0 入力
	IRQ4 入力*1				

表 9.15 P31 の端子機能

SCR_0 の RE	0		1
P31DDR	0	1	
端子機能	P31 入力	P31 出力	RxD0 入力

【注】 \*1 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*2 E6000 での開発時の注意事項

H8S/2215 グループでは、I<sup>2</sup>C バス機能を持たず P35、P34 端子の出力は、CMOS 出力(各端子 P35ODR、P34ODR = 1 のとき以外)です。E6000 の場合、本端子は NMOS プッシュプル出力ですので、H8S/2215 グループとは端子の出力特性が異なります。P35、P34 端子に関して CMOS 出力を必要とする場合、E6000 での P35、P34 端子は適切な抵抗によりプルアップしてご使用ください。

表 9.16 P30 の端子機能

SCMR_0 の SMIF	0			1			
SCR_0 の TE	0		1	0		1	
P33DDR	0	1	-	0	1	0	1
端子機能	P30 入力	P30 出力	TxD0 出力	P30 入力	設定禁止	TxD0 出力	設定禁止

## 9.3 ポート 4

ポート 4 は、A/D 変換器のアナログ入力兼用の 4 ビットの入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

### 9.3.1 ポート 4 レジスタ (PORT4)

PORT4 は、ポート 4 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	P43	*	R	リードすると常に端子の状態がリードされます。
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】 \* P43 ~ P40 端子の状態により決定されます。

### 9.3.2 端子機能

ポート 4 は、A/D 変換器のアナログ入力 (AN3 ~ 0) と兼用になっています。

## 9.4 ポート 7

ポート 7 は、バス制御出力、マニュアルリセット入力、8 ビットタイマ入出力兼用の 5 ビットの入出力ポートです。ポート 7 には以下のレジスタがあります。

- ポート 7 データディレクションレジスタ (P7DDR)
- ポート 7 データレジスタ (P7DR)
- ポート 7 レジスタ (PORT7)

### 9.4.1 ポート 7 データディレクションレジスタ (P7DDR)

P7DDR は、ポート 7 の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7~5		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	P74DDR	0	W	P7DDR を 1 にセットすると対応するポート 7 の各端子は出力となり、0 にクリアすると入力になります。
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

### 9.4.2 ポート 7 データレジスタ (P7DR)

P7DR は、ポート 7 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7~5		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	P74DR	0	R/W	ポート 7 の各端子の出力データを格納します。
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

### 9.4.3 ポート7レジスタ (PORT7)

PORT7 は、ポート7の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	P74	*	R	P7DDR が1にセットされているビットは、ポート7のリードすると P7DR の値をリードします。P7DDR が0にクリアされているとき、ポート7のリードを行うと端子の状態が読み出されます。
3	P73	*	R	
2	P72	*	R	
1	P71	*	R	
0	P70	*	R	

【注】 \* P74～P70 端子の状態により決定されます。

### 9.4.4 端子機能

ポート7は、バス制御出力、マニュアルリセット入力、8ビットタイマの入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.17 P74 の端子機能

MRESE	0		1
P74DDR	0	1	
端子機能	P74 入力	P74 出力	MRES 入力

表 9.18 P73 の端子機能

動作モード	モード4~6			モード7		
TCSR1 の OS3~OS0	すべてが0		いずれかが1	すべてが0		いずれかが1
P73DDR	0	1		0	1	
端子機能	P73 入力	$\overline{CS7}$ 出力	TMO1 出力	P73 入力	P73 出力	TMO1 出力

表 9.19 P72 の端子機能

動作モード	モード4~6*			モード7		
TCSR0 の OS3~OS0	すべてが0		いずれかが1	すべてが0		いずれかが1
P72DDR	0	1		0	1	
端子機能	P72 入力	$\overline{CS6}$ 出力	TMO0 出力	P72 入力	P72 出力	TMO0 出力

【注】 \* モード4~6で内蔵USBを使用する場合は、P72DDR = 1にして $\overline{CS6}$ を出力してください。

表 9.20 P71 の端子機能

動作モード	モード 4~6		モード 7	
P71DDR	0	1	0	1
端子機能	P71 入力	$\overline{\text{CS5}}$ 出力	P71 入力	P71 出力

表 9.21 P70 の端子機能

動作モード	モード 4~6		モード 7	
P70DDR	0	1	0	1
端子機能	P70 入力	$\overline{\text{CS4}}$ 出力	P70 入力	P70 出力
	TMR101、TMCI01 入力			

## 9.5 ポート 9

ポート 9 は、A/D 変換器のアナログ入力、D/A 変換器のアナログ出力兼用の 2 ビットの入力ポートです。

- ポート9レジスタ (PORT9)

### 9.5.1 ポート 9 レジスタ (PORT9)

PORT9 はポート 9 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	このレジスタをリードすると、常に端子の状態がリードされます。
6	P96	*	R	
5~0		不定		リザーブビット リードすると不定値が読み出されます。

【注】 \* P97、P96 端子の状態により決定されます。

### 9.5.2 端子機能

ポート 9 は、A/D 変換器のアナログ入力 (AN15、AN14) と、D/A 変換器のアナログ出力 (DA1、DA0) と兼用になっています。

## 9.6 ポート A

ポート A は、アドレスバス (A19~A16) 出力、外付け USB トランシーバ出力、SCI 入出力、割り込み入力兼用の 4 ビットの入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ (PADDR)
- ポートAデータレジスタ (PADR)
- ポートAレジスタ (PORTA)
- ポートAプルアップMOSコントロールレジスタ (PAPCR)
- ポートAオープンドレインコントロールレジスタ (PAODR)

### 9.6.1 ポート A データディレクションレジスタ (PADDR)

PADDR はポート A の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3DDR	0	W	モード 4~6 のとき PFCR の AE3~AE0 ビットでアドレス出力を許可すると、対応するポート A の各端子はアドレス出力になります。アドレス出力を禁止にして PADDR を 1 にセットすると、対応するポート A の各端子は出力ポートになり、0 にクリアすると入力ポートになります。  モード 7 のとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

### 9.6.2 ポート A データレジスタ (PADR)

PADR はポート A の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7~4	-	不定	-	リザーブビット リードすると不定値がリードされます。ライトは無効です。
3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

### 9.6.3 ポート A レジスタ (PORTA)

PORTA はポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値がリードされます。
3	PA3	- *	R	PADDR が 1 にセットされているビットは、ポート A をリードすると PADR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。
2	PA2	- *	R	
1	PA1	- *	R	
0	PA0	- *	R	

【注】 \* PA3~PA0 端子の状態により決定されます。

### 9.6.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR はポート A の入力プルアップ MOS のオン/オフを制御します。ポート入力、SCI 入力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値がリードされます。ライトは無効です。
3	PA3PCR*	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

【注】 \* USB の FADSEL=1 のときは、PA3PCR=0 に設定してください。

### 9.6.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR はポート A の出力形態を選択します。ポート出力、SCI 出力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値がリードされます。ライトは無効です。
3	PA3ODR	0	R/W	PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

## 9.6.6 端子機能

ポート A はアドレスバス (A19 ~ A16) 出力、外付け USB トランシーバ出力、SCI\_2 入出力、割り込み入力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.22 PA3 の端子機能

動作モード	モード 4~6						
AE3 - AE0	11xx	(11xx) 以外					
UCTLR の FADSEL		0					1
SCR_2 の CKE1		0			1		
SMR_2 の C/ $\bar{A}$		0		1			
SCR_2 の CKE0		0		1			
PA3DDR		0	1				
端子機能	A19 出力	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	SUSPND 出力

動作モード	モード 7*					
AE3 - AE0						
UCTLR の FADSEL*	0					1*
SCR_2 の CKE1	0			1		
SMR_2 の C/ $\bar{A}$	0		1			
SCR_2 の CKE0	0		1			
PA3DDR	0	1				
端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	SUSPND 出力*

【注】 \* モード 7 では USB を使用できません。

表 9.23 PA2 の端子機能

動作モード	モード 4~6				モード 7			
AE3 ~ AE0	1011 または 11xx	(1011 または 11xx) 以外						
SCR_2 の RE		0		1	0		1	
PA2DDR		0	1		0	1		
端子機能	A18 出力	PA2 入力	PA2 出力	RxD2 入力	PA2 入力	PA2 出力	RxD2 入力	

表 9.24 PA1 の端子機能

動作モード	モード 4~6								
AE3 ~ AE0	101x または 11xx	(101x または 11xx) 以外							
SCMR_2 の SMIF		0				1			
SCR_2 の TE		0		1	0		1		
PA1DDR		0	1		0	1	0	1	
端子機能	A17 出力	PA1 入力	PA1 出力	TxD2 出力	PA1 入力	設定禁止	TxD2 出力	設定禁止	

動作モード	モード 7							
SCMR_2 の SMIF	0				1			
SCR_2 の TE	0		1	0		1		
PA1DDR	0	1		0	1	0	1	
端子機能	PA1 入力	PA1 出力	TxD2 出力	PA1 入力	設定禁止	TxD2 出力	設定禁止	

表 9.25 PA0 の端子機能

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	(0xxx または 1000) 以外		0xxx または 1000				
PA0DDR		0	1		0	1	
端子機能	A16 出力		PA0 入力	PA0 出力	PA0 入力		PA0 出力

### 9.6.7 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン / オフを指定できます。

入力プルアップ MOS の状態を表 9.26 に示します。

表 9.26 ポート A 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力、SCI 出力、USB トランシーバ出力	OFF		OFF		
ポート入力、SCI 入力	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.7 ポート B

ポート B は、アドレスバス (A15 ~ A8) 出力兼用の 8 ビットの入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

### 9.7.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	モード 4 ~ 6 のとき PFCR の AE3 ~ AE0 ビットでアドレス出力を許可にすると、対応するポート B の各端子はアドレス出力となります。アドレス出力を禁止にして PBDDR を 1 にセットすると、対応するポート B の各端子は出力ポートになり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	モード 7 のとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

### 9.7.2 ポート B データレジスタ (PBDR)

PBDR はポート B の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

### 9.7.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PB7	- *	R	PBDDR が 1 にセットされているビットはポート B をリードすると PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。
6	PB6	- *	R	
5	PB5	- *	R	
4	PB4	- *	R	
3	PB3	- *	R	
2	PB2	- *	R	
1	PB1	- *	R	
0	PB0	- *	R	

【注】 \* PB7 ~ PB0 端子の状態により決定されます。

### 9.7.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン / オフを制御します。ポート入力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

### 9.7.5 端子機能

ポート B はアドレスバス (A15 ~ A9) 出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.27 PB7 の端子機能

動作モード	モード 4 ~ 6			モード 7	
	B'1xxx	(B'1xxx) 以外			
PA7DDR		0	1	0	1
端子機能	A15 出力	PB7 入力	PB7 出力	PB7 入力	PB7 出力

表 9.28 PB6 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	B'0111 または B'1xxx	( B'0111 または B'1xxx )以外			
PB6DDR		0	1	0	1
端子機能	A14 出力	PB6 入力	PB6 出力	PB6 入力	PB6 出力

表 9.29 PB5 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	B'011x または B'1xxx	( B'011x または B'1xxx )以外			
PB5DDR		0	1	0	1
端子機能	A13 出力	PB5 入力	PB5 出力	PB5 入力	PB5 出力

表 9.30 PB4 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	( B'0100 または B'00xx )以外	B'0100 または B'00xx			
PB4DDR		0	1	0	1
端子機能	A12 出力	PB4 入力	PB4 出力	PB4 入力	PB4 出力

表 9.31 PB3 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	( B'00xx ) 以外	B'00xx			
PB3DDR		0	1	0	1
端子機能	A11 出力	PB3 入力	PB3 出力	PB3 入力	PB3 出力

表 9.32 PB2 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	( B'0010 または B'000x )以外	B'0010 または B'000x			
PB2DDR		0	1	0	1
端子機能	A10 出力	PB2 入力	PB2 出力	PB2 入力	PB2 出力

表 9.33 PB1 の端子機能

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	( B'000x ) 以外	B'000x			
PB1DDR		0	1	0	1
端子機能	A9 出力	PB1 入力	PB1 出力	PB1 入力	PB1 出力

表 9.34 PB0 の端子機能

動作モード	モード 4~6			モード 7	
	AE3 - AE0	(B'0000) 以外	B'0000		
PB0DDR		0	1	0	1
端子機能	A8 出力	PB0 入力	PB0 出力	PB0 入力	PB0 出力

### 9.7.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 9.35 に示します。

表 9.35 ポート B 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力	OFF		OFF		
ポート入力	ON/OFF				

#### 【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.8 ポート C

ポート C は、アドレスバス (A7~A0) 出力兼用の 8 ビットの入出力ポートです。ポート C には以下のレジスタがあります。

- ポートCデータディレクションレジスタ (PCDDR)
- ポートCデータレジスタ (PCDR)
- ポートCレジスタ (PORTC)
- ポートCプルアップMOSコントロールレジスタ (PCPCR)

【注】 モード 6 で内蔵 USB を使用する場合は、PC7~PC0 からアドレス A7~A0 が出力されるように PCDDR を設定してください。

### 9.8.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PC7DDR	0	W	モード 4、5 のとき 対応する端子はアドレス出力となります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	モード 6 のとき このビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートとなります。
4	PC4DDR	0	W	
3	PC3DDR	0	W	モード 7 のとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

### 9.8.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

### 9.8.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PC7	*	R	PCDDR が 1 にセットされているビットはポート C をリードすると PCDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】 \* PC7～PC0 端子の状態により決定されます。

### 9.8.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

### 9.8.5 端子機能

ポート C はアドレスバス (A7～A0) 出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.36 PC7 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
		0	1	0	1
PC7DDR	-	0	1	0	1
端子機能	A7 出力	PC7 入力	A7 出力	PC7 入力	PC7 出力

【注】 \* モード 6 で内蔵 USB を使用する場合は、PC7DDR～PC0DDR = H'FF にして A7～A0 を出力してください。

表 9.37 PC6 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC6DDR	-	0	1	0	1
端子機能	A6 出力	PC6 入力	A6 出力	PC6 入力	PC6 出力

表 9.38 PC5 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC5DDR	-	0	1	0	1
端子機能	A5 出力	PC5 入力	A5 出力	PC5 入力	PC5 出力

表 9.39 PC4 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC4DDR	-	0	1	0	1
端子機能	A4 出力	PC4 入力	A4 出力	PC4 入力	PC4 出力

表 9.40 PC3 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC3DDR	-	0	1	0	1
端子機能	A3 出力	PC3 入力	A3 出力	PC3 入力	PC3 出力

表 9.41 PC2 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC2DDR	-	0	1	0	1
端子機能	A2 出力	PC2 入力	A2 出力	PC2 入力	PC2 出力

表 9.42 PC1 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC1DDR	-	0	1	0	1
端子機能	A1 出力	PC1 入力	A1 出力	PC1 入力	PC1 出力

表 9.43 PC0 の端子機能

動作モード	モード 4、5	モード 6*		モード 7	
PC0DDR	-	0	1	0	1
端子機能	A0 出力	PC0 入力	A0 出力	PC0 入力	PC0 出力

【注】 \* モード 6 で内蔵 USB を使用する場合は、PC7DDR ~ PC0DDR = H'FF にして A7 ~ A0 を出力してください。

### 9.8.6 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン / オフを指定できます。

入力プルアップ MOS の状態を表 9.44 に示します。

表 9.44 ポート C 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力 (モード 4、5) ポート出力 (モード 6、7)	OFF		OFF		
ポート入力 (モード 6、7)	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.9 ポート D

ポート D は、データバス (D15~D8) 入出力兼用の 8 ビットの入出力ポートです。ポート D には以下のレジスタがあります。

- ポートDデータディレクションレジスタ (PDDDR)
- ポートDデータレジスタ (PDDR)
- ポートDレジスタ (PORTD)
- ポートDプルアップMOSコントロールレジスタ (PDPCR)

### 9.9.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	モード 4~6 PDDDR による入出力の方向は無視され、データ入出力になります。 モード 7 このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

### 9.9.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

### 9.9.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PD7	*	R	PDDDR が 1 にセットされているビットはポート D をリードすると PDDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】 \* PD7～PD0 端子の状態により決定されます。

### 9.9.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

### 9.9.5 端子機能

ポート D は、データバス (D15～D8) 入出力と兼用になっています。

レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.45 PD7 の端子機能

動作モード	モード 4～6		モード 7	
	モード 4	モード 5	モード 7	モード 7
PD7DDR	-	-	0	1
端子機能	D15 入出力	D15 入出力	PD7 入力	PD7 出力

表 9.46 PD6 の端子機能

動作モード	モード 4-6	モード 7	
PD6DDR	-	0	1
端子機能	D14 入出力	PD6 入力	PD6 出力

表 9.47 PD5 の端子機能

動作モード	モード 4-6	モード 7	
PD5DDR	-	0	1
端子機能	D13 入出力	PD5 入力	PD5 出力

表 9.48 PD4 の端子機能

動作モード	モード 4-6	モード 7	
PD4DDR	-	0	1
端子機能	D12 入出力	PD4 入力	PD4 出力

表 9.49 PD3 の端子機能

動作モード	モード 4-6	モード 7	
PD3DDR	-	0	1
端子機能	D11 入出力	PD3 入力	PD3 出力

表 9.50 PD2 の端子機能

動作モード	モード 4-6	モード 7	
PD2DDR	-	0	1
端子機能	D10 入出力	PD2 入力	PD2 出力

表 9.51 PD1 の端子機能

動作モード	モード 4-6	モード 7	
PD1DDR	-	0	1
端子機能	D9 入出力	PD1 入力	PD1 出力

表 9.52 PD0 の端子機能

動作モード	モード 4-6	モード 7	
PD0DDR	-	0	1
端子機能	D8 入出力	PD0 入力	PD0 出力

### 9.9.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン / オフを指定できます。

入力プルアップ MOS の状態を表 9.53 に示します。

表 9.53 ポート D 入力プルアップの状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
データ入出力 (モード 4~6) ポート出力 (モード 7)	OFF		OFF		
ポート入力 (モード 7)	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.10 ポート E

ポート E は、データバス (D7~D0) 入出力兼用の 8 ビットの入出力ポートです。ポート E には以下のレジスタがあります。

- ポートEデータディレクションレジスタ (PEDDR)
- ポートEデータレジスタ (PEDR)
- ポートEレジスタ (PORTE)
- ポートEプリアップMOSコントロールレジスタ (PEPCR)

### 9.10.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR はポート E の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PE7DDR	0	W	モード 4~6 のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。 16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。 8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

### 9.10.2 ポート E データレジスタ (PEDR)

PEDR はポート E の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

### 9.10.3 ポート E レジスタ (PORTE)

PORTE はポート E の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	PEDDR が 1 にセットされているビットは、ポート E のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】 \* PE7～PE0 端子の状態により決定されます。

### 9.10.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR はポート E の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

### 9.10.5 端子機能

ポート E はデータバス (D7~D0) 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 9.54 PE7 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE7DDR	0	1		0	1
端子機能	PE7 入力	PE7 出力	D7 入出力	PE7 入力	PE7 出力

表 9.55 PE6 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE6DDR	0	1		0	1
端子機能	PE6 入力	PE6 出力	D6 入出力	PE6 入力	PE6 出力

表 9.56 PE5 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE5DDR	0	1		0	1
端子機能	PE5 入力	PE5 出力	D5 入出力	PE5 入力	PE5 出力

表 9.57 PE4 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE4DDR	0	1		0	1
端子機能	PE4 入力	PE4 出力	D4 入出力	PE4 入力	PE4 出力

表 9.58 PE3 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE3DDR	0	1		0	1
端子機能	PE3 入力	PE3 出力	D3 入出力	PE3 入力	PE3 出力

表 9.59 PE2 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE2DDR	0	1		0	1
端子機能	PE2 入力	PE2 出力	D2 入出力	PE2 入力	PE2 出力

表 9.60 PE1 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE1DDR	0	1		0	1
端子機能	PE1 入力	PE1 出力	D1 入出力	PE1 入力	PE1 出力

表 9.61 PE0 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE0DDR	0	1		0	1
端子機能	PE0 入力	PE0 出力	D0 入出力	PE0 入力	PE0 出力

### 9.10.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 9.62 に示します。

表 9.62 ポート E 入力プルアップの状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
データ入出力 (モード 4~6 の 16 ビットバス) ポート出力 (モード 4~6 の 8 ビットバス、モード 7)	OFF		OFF		
ポート入力 (モード 4~6 の 8 ビットバス、モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.11 ポート F

ポート F は、外部割り込み入力 ( $\overline{IRQ2}$ 、 $\overline{IRQ3}$ )、バス制御信号入出力、システムクロック出力と兼用の 8 ビットの入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

### 9.11.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR はポート F の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1/0*	W	モード 4~6 のとき PF7 端子は PF7DDR を 1 にセットすると出力端子、0 にクリアすると入力ポートになります。PF6~PF3 端子は、バス制御出力となり、PF2~PF0 端子はバスコントローラの設定によりバス制御入出力となります。それ以外のとき、1 にセットすると出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	モード 7 のとき このビットを 1 にセットすると PF7 端子は出力端子、その他の端子は出力ポートとなり、0 にクリアすると入力ポートになります。
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 \* モード 4~6 のとき 1、モード 7 のとき 0 です。

### 9.11.2 ポート F データレジスタ (PFDR)

PFDR はポート F の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

### 9.11.3 ポート F レジスタ (PORTF)

PORTF はポート F の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PF7	*	R	PFDDR が 1 にセットされているビットはポート F をリードすると PFDR の値をリードします。PFDDR が 0 にクリアされているときのポート F のリードを行うと端子の状態が読み出されます。
6	PF6	*	R	
5	PF5	*	R	
4	PF4	*	R	
3	PF3	*	R	
2	PF2	*	R	
1	PF1	*	R	
0	PF0	*	R	

【注】 \* PF7 ~ PF0 端子の状態により決定されます。

### 9.11.4 端子機能

ポート F は、8 ビットの入出力ポートです。ポート F は、外部割り込み入力端子 ( $\overline{IRQ2}$ 、 $\overline{IRQ3}$ )、バス制御信号入出力端子、およびシステムクロック出力端子 ( $\phi$ ) と兼用になっています。

表 9.63 PF7 の端子機能

PF7DDR	0	1
端子機能	PF7 入力	$\phi$ 出力

表 9.64 PF6 の端子機能

動作モード	モード 4~6	モード 7	
PF6DDR		0	1
端子機能	AS 出力	PF6 入力	PF6 出力

表 9.65 PF5 の端子機能

動作モード	モード 4~6	モード 7	
PF5DDR		0	1
端子機能	$\overline{RD}$ 出力	PF5 入力	PF5 出力

表 9.66 PF4 の端子機能

動作モード	モード 4~6	モード 7	
PF4DDR		0	1
端子機能	HWR 出力	PF4 入力	PF4 出力

表 9.67 PF3 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	16 ビット	8 ビット			
PF3DDR		0	1	0	1
端子機能	LWR 出力	PF3 入力	PF3 出力	PF3 入力	PF3 出力
		$\overline{\text{ADTRG}}$ 入力* <sup>1</sup>			
		$\overline{\text{IRQ3}}$ 入力* <sup>2</sup>			

表 9.68 PF2 の端子機能

動作モード	モード 4~6			モード 7	
WAITE	0		1		
PF2DDR	0	1		0	1
端子機能	PF2 入力	PF2 出力	WAIT 入力	PF2 入力	PF2 出力

表 9.69 PF1 の端子機能

動作モード	モード 4~6			モード 7	
BRLE	0		1		
PF1DDR	0	1		0	1
端子機能	PF1 入力	PF1 出力	BACK 出力	PF1 入力	PF1 出力

表 9.70 PF0 の端子機能

動作モード	モード 4~6			モード 7	
BRLE	0		1		
PF0DDR	0	1		0	1
端子機能	PF0 入力	PF0 出力	$\overline{\text{BREQ}}$ 入力	PF0 入力	PF0 出力
	$\overline{\text{IRQ2}}$ 入力* <sup>2</sup>				

【注】 \*1 TRGS0 = TRGS1 = 1 のとき  $\overline{\text{ADTRG}}$  入力となります。

\*2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

## 9.12 ポート G

ポート G は、外部割り込み入力 ( $\overline{IRQ7}$ )、バス制御出力 ( $\overline{CS0} \sim \overline{CS3}$ ) と兼用の 5 ビットの入出力ポートです。ポート G には以下のレジスタがあります。

- ポートGデータディレクションレジスタ (PGDDR)
- ポートGデータレジスタ (PGDR)
- ポートGレジスタ (PORTG)

### 9.12.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR はポート G の各端子の入出力をビットごとに指定します。

本レジスタは、ライト専用なのでビット操作命令でライトしないでください。

なお、詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット 読み出すと不定値が読み出されます。ライトは無効です。
4	PG4DDR	0/1*	W	モード 4~6 のとき PG4~PG1 端子は PGDDR を 1 にセットするとバス制御信号出力端子、0 にクリアすると入力ポートになります。 PG0 端子は、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 モード 7 のとき PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	0	W	

【注】 \* モード 4、5 のとき 1、モード 6、7 のとき 0 です。

### 9.12.2 ポート G データレジスタ (PGDR)

PGDR はポート G の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット 読み出すと不定値が読み出されます。ライトは無効です。
4	PG4DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

### 9.12.3 ポート G レジスタ (PORTG)

PORTG はポート G の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット 読み出すと不定値が読み出されます。
4	PG4	*	R	PGDDR が 1 にセットされているビットは、ポート G のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、ポート G のリードを行うと端子の状態が読み出されます。
3	PG3	*	R	
2	PG2	*	R	
1	PG1	*	R	
0	PG0	*	R	

【注】 \* PG4~PG0 端子の状態により決定します。

### 9.12.4 端子機能

ポート G は、外部割り込み入力 ( $\overline{IRQ7}$ ) 端子、バス制御信号出力 ( $\overline{CS0} \sim \overline{CS3}$ ) 端子と兼用になっています。

表 9.71 PG4 の端子機能

動作モード	モード 4~6		モード 7	
PG4DDR	0	1	0	1
端子機能	PG4 入力	$\overline{CS0}$ 出力	PG4 入力	PG4 出力

表 9.72 PG3 の端子機能

動作モード	モード 4~6		モード 7	
PG3DDR	0	1	0	1
端子機能	PG3 入力	$\overline{CS1}$ 出力	PG3 入力	PG3 出力

表 9.73 PG2 の端子機能

動作モード	モード 4~6		モード 7	
PG2DDR	0	1	0	1
端子機能	PG2 入力	$\overline{CS2}$ 出力	PG2 入力	PG2 出力

表 9.74 PG1 の端子機能

動作モード	モード 4~6		モード 7	
PG1DDR	0	1	0	1
端子機能	PG1 入力	$\overline{CS3}$ 出力	PG1 入力	PG1 出力
	$\overline{IRQ7}$ 入力*			

【注】 \* 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

表 9.75 PG0 の端子機能

PG0DDR	0	1
端子機能	PG0 入力	PG0 出力

### 9.13 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子の処理例を表 9.76 に示します。

なお、パウンドリスキャンの専用端子の未使用時の処理については「14.2 入出力端子」、「14.5 使用上の注意事項」を参照してください。USB の専用端子の未使用時の処理については「15.9 (14) USB 未使用時の端子処理」を参照してください。

表 9.76 未使用の入力端子の処理例

ポート名	端子処理例
ポート 1	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 3	
ポート 4	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート 7	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 9	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート A	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート B	
ポート C	
ポート D	
ポート E	
ポート F	
ポート G	



---

## 10. 16ビットタイマパルスユニット (TPU)

---

本 LSI は、3 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットのブロック図を図 10.1 に、機能一覧を表 10.1 に示します。

### 10.1 特長

- 最大8本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力、同期動作と組み合わせることによる最大7相のPWM出力

- チャンネル0はバッファ動作を設定可能
- チャンネル1、2はおのおの独立に位相計数モードを設定可能
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能
- チャンネル1と2でSCI0のボーレートクロックを生成可能

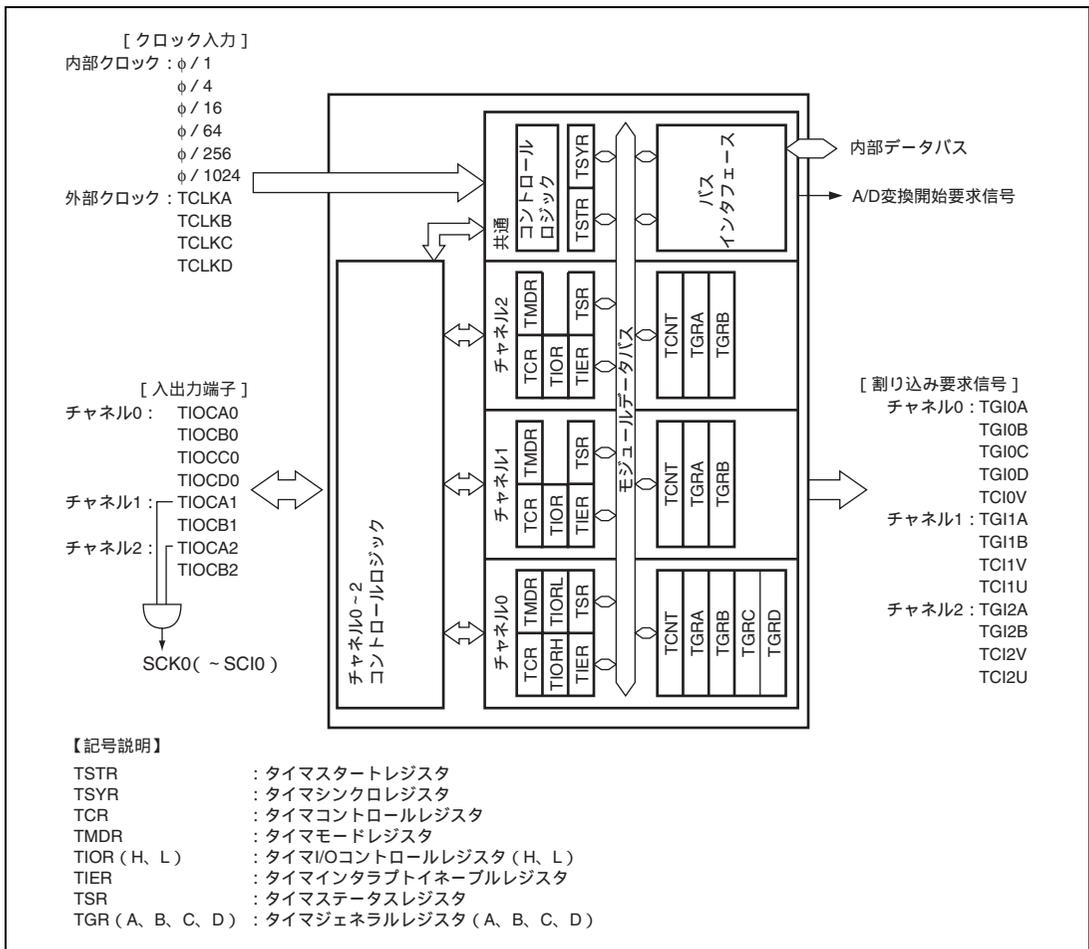


図 10.1 TPUのブロック図

表 10.1 TPU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ TCLKA TCLKB TCLKC TCLKD	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 256$ TCLKA TCLKB	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 1024$ TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ / バッファレジスタ	TGRC_0 TGRD_0	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ 出力	0 出力		
	1 出力		
	トグル 出力		
インプットキャプチャ 機能			
同期動作			
PWM モード			
位相計数モード	-		
バッファ動作		-	-
DTC の起動	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ

項目	チャンネル0	チャンネル1	チャンネル2
DMAC の起動	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ
A/D 変換開始トリガ	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ / インプットキャプチャ 0A</li> <li>• コンペアマッチ / インプットキャプチャ 0B</li> <li>• コンペアマッチ / インプットキャプチャ 0C</li> <li>• コンペアマッチ / インプットキャプチャ 0D</li> <li>• オーバフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ / インプットキャプチャ 1A</li> <li>• コンペアマッチ / インプットキャプチャ 1B</li> <li>• オーバフロー</li> <li>• アンダフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ / インプットキャプチャ 2A</li> <li>• コンペアマッチ / インプットキャプチャ 2</li> <li>• オーバフロー</li> <li>• アンダフロー</li> </ul>

## 【記号説明】

: 可能

- : 不可

## 10.2 入出力端子

表 10.2 TPU の端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

### 10.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマモードレジスタ\_0 (TMDR\_0)
- タイマI/OコントロールレジスタH\_0 (TIORH\_0)
- タイマI/OコントロールレジスタL\_0 (TIORL\_0)
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0)
- タイマステータスレジスタ\_0 (TSR\_0)
- タイマカウンタ\_0 (TCNT\_0)
- タイマジェネラルレジスタA\_0 (TGRA\_0)
- タイマジェネラルレジスタB\_0 (TGRB\_0)
- タイマジェネラルレジスタC\_0 (TGRC\_0)
- タイマジェネラルレジスタD\_0 (TGRD\_0)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)
- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)
- タイマジェネラルレジスタB\_2 (TGRB\_2)

### 共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

### 10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、チャンネル 0~2 に各 1 本、計 3 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2~0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	<p>クロックエッジ 1、0</p> <p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: <math>\phi/4</math> の両エッジ = <math>\phi/2</math> の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが <math>\phi/4</math> もしくはそれより遅い場合に有効です。入力クロックに <math>\phi/1</math> を選択した場合は本設定は無視され、<math>\phi</math> の立ち下がりエッジでカウントされます。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】X: Don't care</p>
2	TPSC2	0	R/W	タイマプリスケラ 2~0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.5~表 10.7 TPSC2~TPSC0 を参照してください。
0	TPSC0	0	R/W	

表 10.3 CCLR2~CCLR0 (チャンネル0)

チャンネル	ビット7	ビット6	ビット5	説 明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 10.4 CCLR2~CCLR0 (チャンネル1、2)

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 チャンネル 1、2 ではビット7 はリザーブです。リードすると常に 0 が読み出しされます。ライトは無効です。

表 10.5 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $\phi / 1$ でカウント
	0	0	1	内部クロック : $\phi / 4$ でカウント
	0	1	0	内部クロック : $\phi / 16$ でカウント
	0	1	1	内部クロック : $\phi / 64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.6 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	設定禁止

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 10.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

### 10.3.2 タイマモードレジスタ (TMDR)

TMDR は各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 3 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3-0 MD3 - MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 10.8 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

表 10.8 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説 明
MD3* <sup>1</sup>	MD2* <sup>2</sup>	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	

【記号説明】 x : Don't care

【注】 \*1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

\*2 チャンネル 0 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

### 10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

#### • TIORH\_0、TIOR\_1、TIOR\_2

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ 0 TGRB の機能を設定します。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ 0 TGRA の機能を設定します。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

## • TIORL\_0

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.9 TIORH\_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x: Don't care

表 10.10 TIORH\_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 10.11 TIORL\_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 \* TMDR\_0 の BFB ビットを 1 にセットして TGRD\_0 をバッファレジスタとして使用した場合、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.12 TIORL\_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 \* TMDR\_0 の BFA ビットを 1 にセットして TGRC\_0 をバッファレジスタとして使用した場合、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.13 TIOR\_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 10.14 TIOR\_1 (チャンネル1)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 10.15 TIOR\_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 10.16 TIOR\_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

### 10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 3 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 が読み出しされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0 ではリザーブビットです。 リードすると常に 0 が読み出しされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0: TGFB ビットによる割り込み要求 (TGIB) を禁止 1: TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0: TGFA ビットによる割り込み要求 (TGIA) を禁止 1: TGFA ビットによる割り込み要求 (TGIA) を許可

### 10.3.5 タイマステータスレジスタ (TSR)

TSR は各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 3 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。 ライトは無効です。 0: TCNT はダウンカウント 1: TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。 ライトは無効です。 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバーフローフラグ TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] • TCNT の値がオーバーフロー (H'FFFF→H'0000) したとき [クリア条件] • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W) *	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</li> <li>• TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビット = 0 で、かつ転送カウンタ 0 のとき</li> <li>• TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</li> </ul>
2	TGFC	0	R/(W) *	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</li> <li>• TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビット = 0 で、かつ転送カウンタ 0 のとき</li> <li>• TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</li> </ul>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</li> <li>• TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビット = 0 で、かつ転送カウンタ 0 のとき</li> <li>• TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</li> </ul>
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li> <li>• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビット = 0 で、かつ転送カウンタ 0 のとき</li> <li>• TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき</li> <li>• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</li> </ul>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 3 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

### 10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TRG は、リセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

### 10.3.8 タイマスタートレジスタ (TSTR)

TSTR はチャンネル 0~2 の TCNT の動作 / 停止を選択するレジスタです。対応するビットを 1 にセットしたチャンネルの TCNT がカウント動作を行います。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは 0 をライトしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。  0 : TCNTn のカウント動作は停止 1 : TCNTn はカウント動作 (n=2~0)

### 10.3.9 タイマシンクロレジスタ (TSYR)

TSYR はチャンネル 0~2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは 0 をライトしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。  同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。  0 : TCNTn は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1 : TCNTn は同期動作 (TCNT の同期プリセット / 同期クリアが可能)  (n=2~0)

## 10.4 バスマスタとのインタフェース

### 10.4.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。

8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 10.2 に示します。

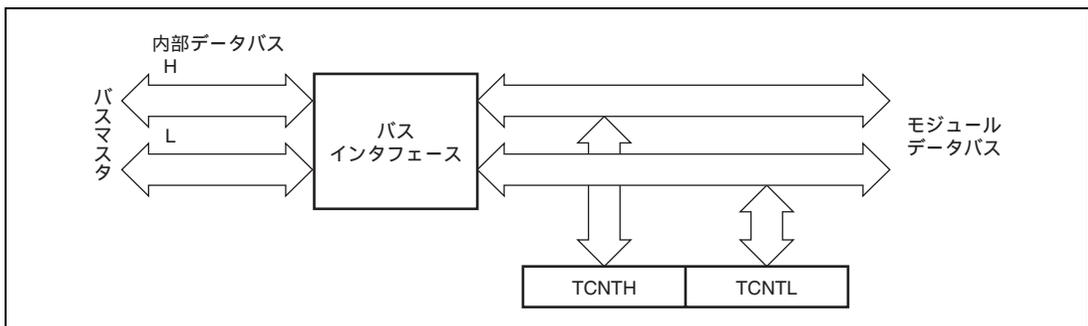


図 10.2 16 ビットレジスタのアクセス動作 (バスマスタ↔TCNT (16 ビット))

### 10.4.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 10.3 ~ 図 10.5 に示します。

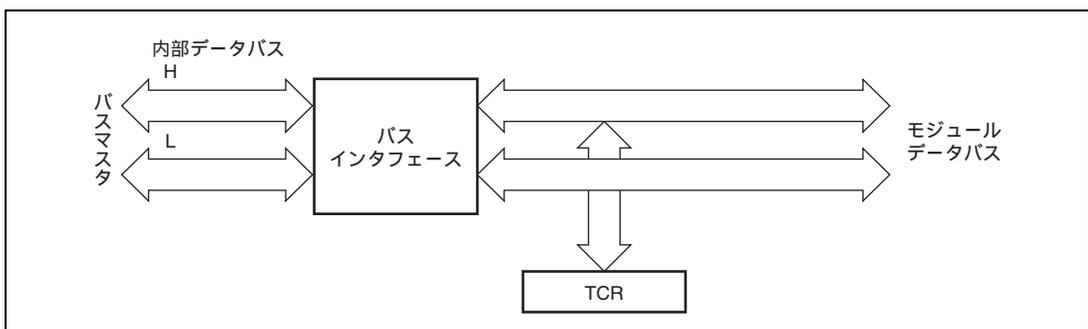


図 10.3 8 ビットレジスタのアクセス動作 (バスマスタ↔TCR (上位 8 ビット))

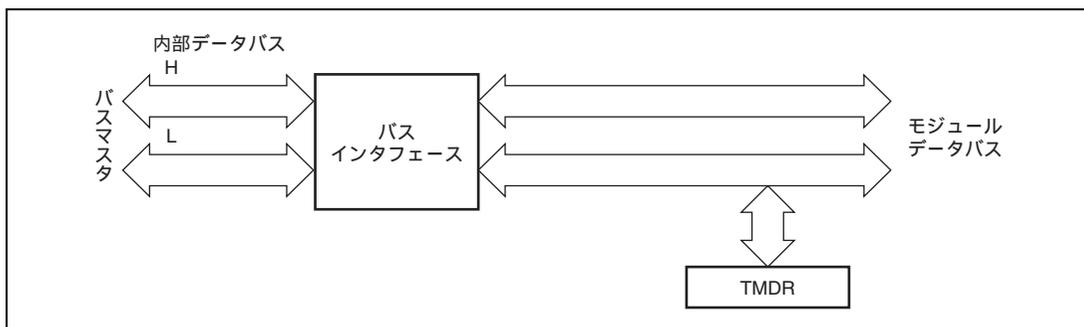


図 10.4 8 ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位 8 ビット))

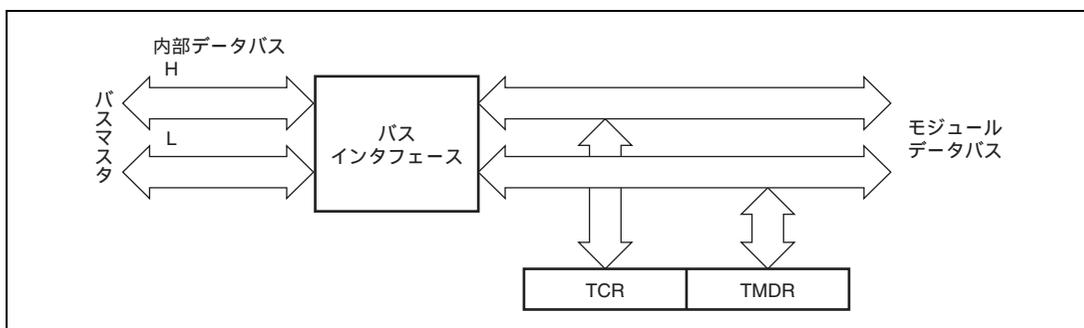


図 10.5 8 ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16 ビット))

## 10.5 動作説明

### 10.5.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

TSTR の CST0 ~ CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.6 に示します。

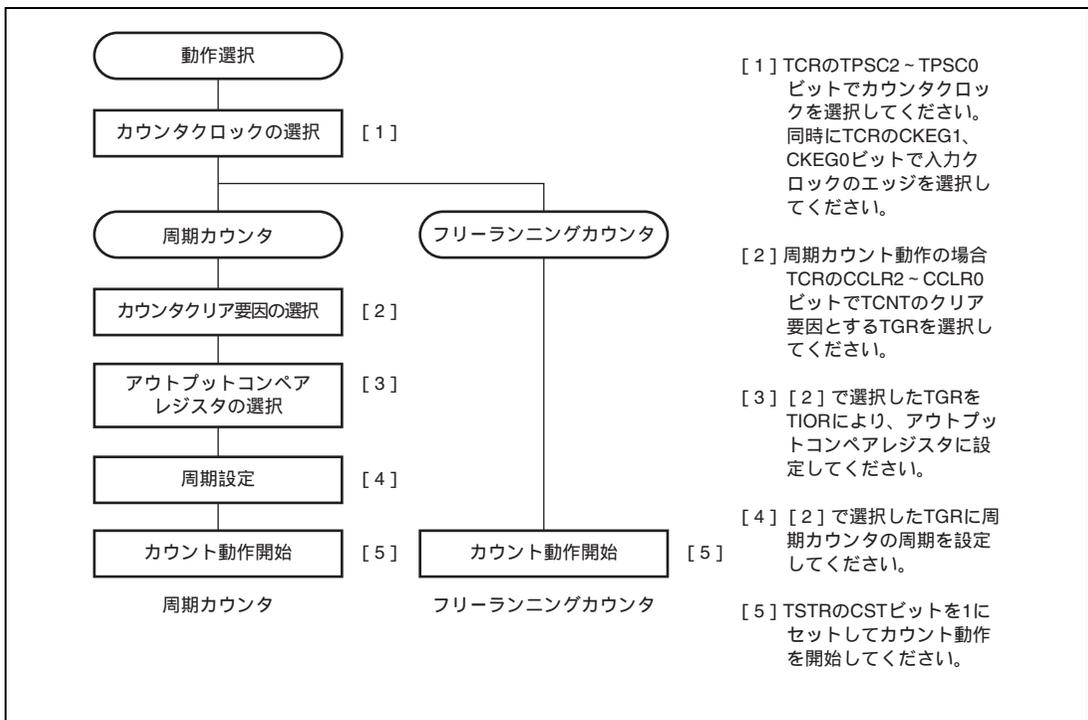


図 10.6 カウンタ動作設定手順例

## (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー (H'FFFF→H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 10.7 に示します。

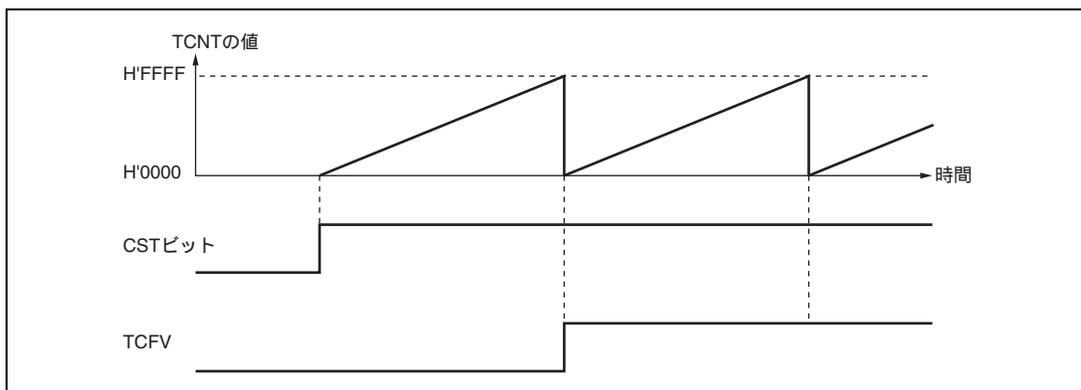


図 10.7 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウンタ値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

周期カウンタの動作を図 10.8 に示します。

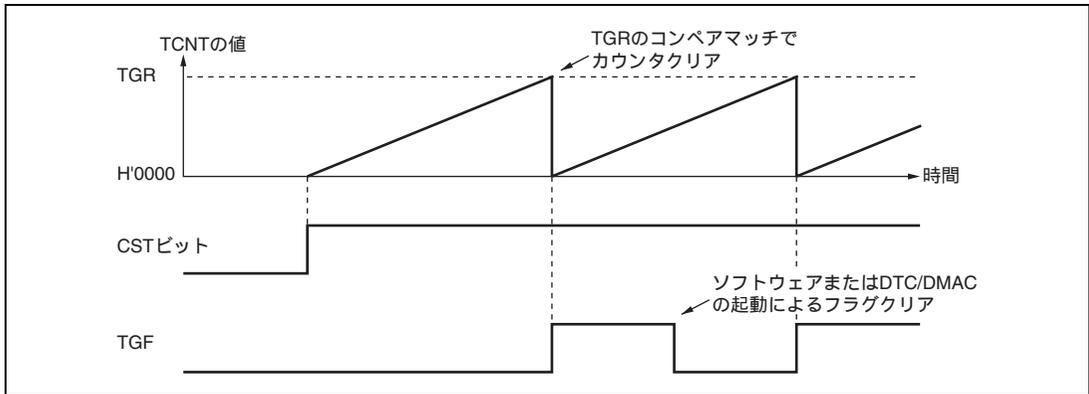


図 10.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.9 に示します。

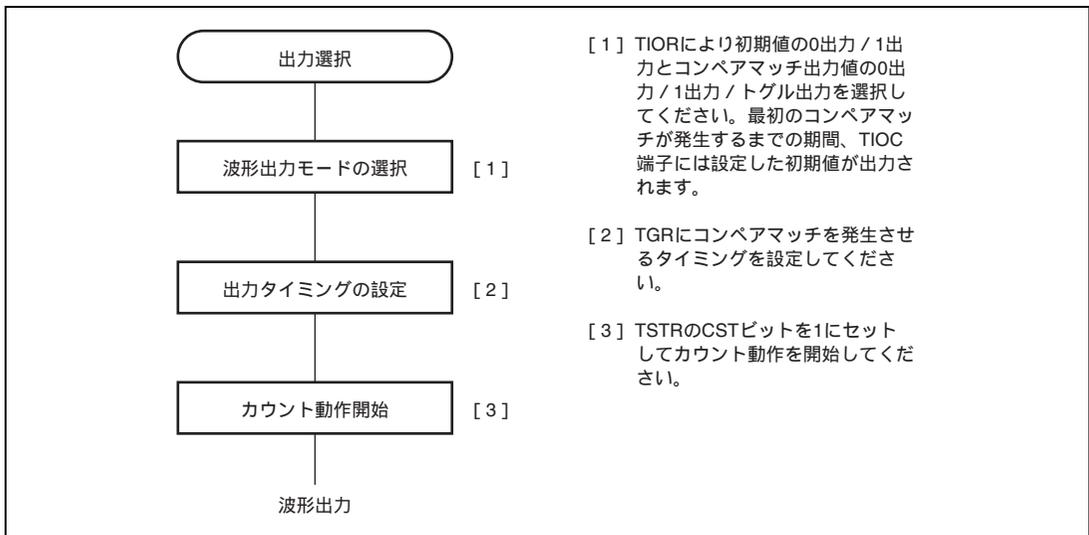


図 10.9 コンペアマッチによる波形出力動作例

## (b) 波形出力動作例

0出力 / 1出力例を図 10.10 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1出力、コンペアマッチ B により 0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

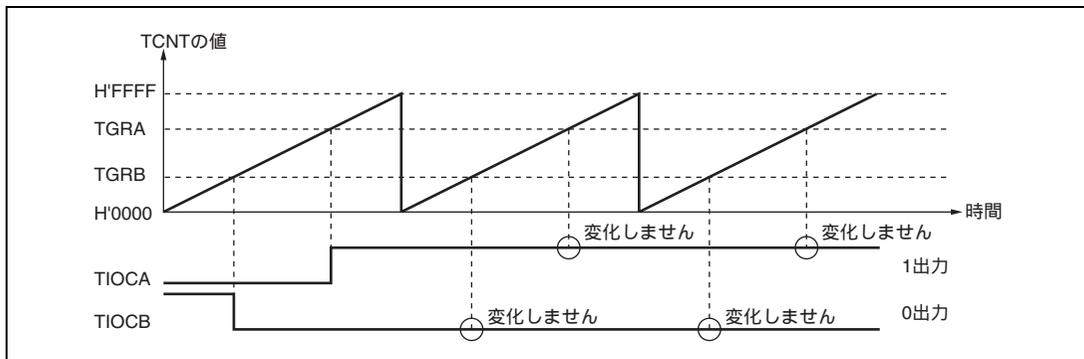


図 10.10 0出力 / 1出力の動作例

トグル出力の例を図 10.11 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

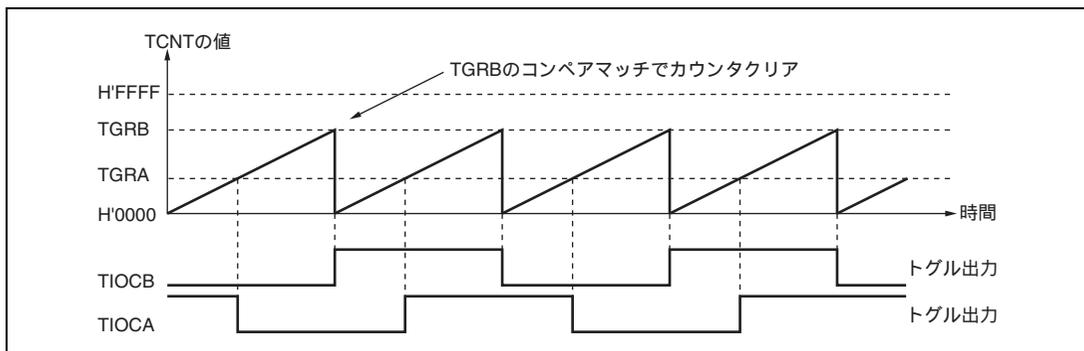


図 10.11 トグル出力の動作例

## (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。  
検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

## (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.12 に示します。

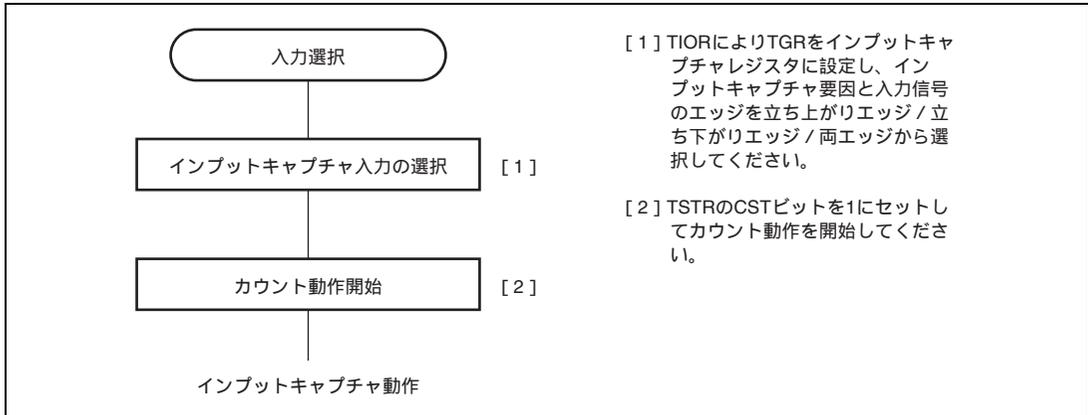


図 10.12 インพุットキャプチャ動作の設定例

## (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

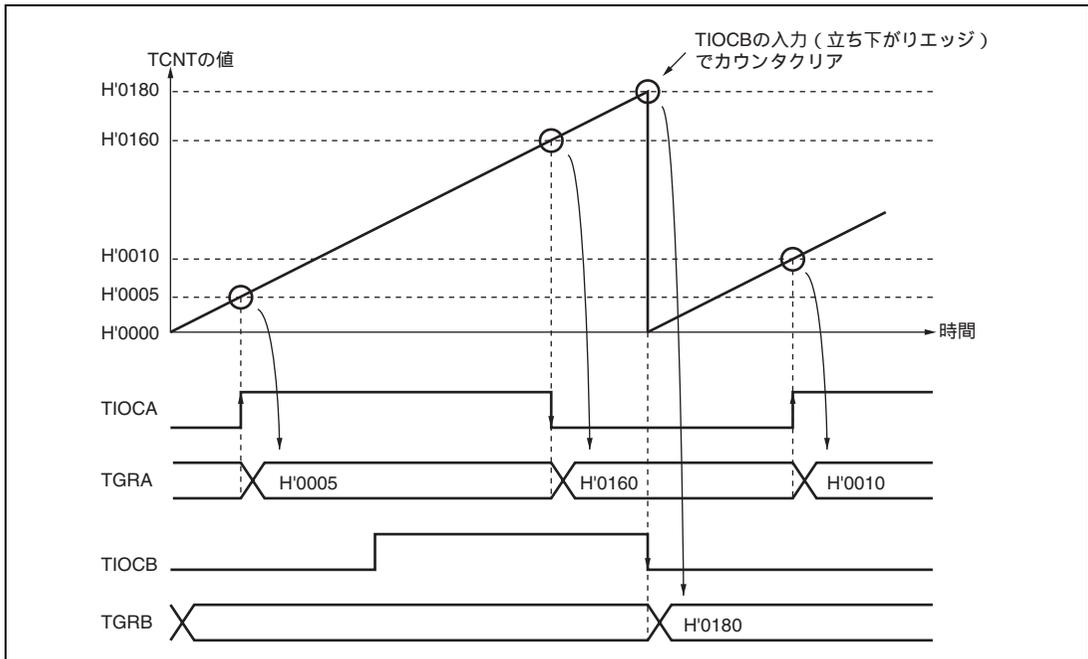


図 10.13 インプットキャプチャ動作例

### 10.5.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~2 はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

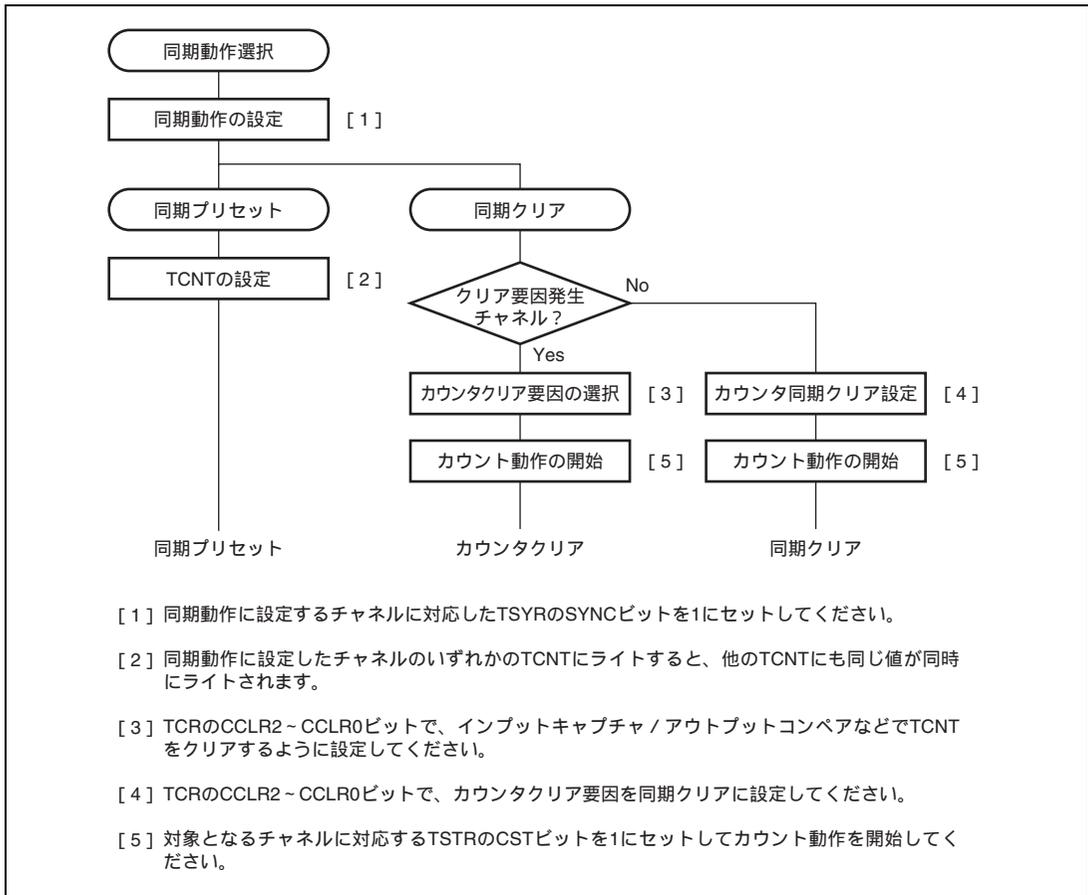


図 10.14 同期動作の設定手順例

## (2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB\_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB\_0のコンペアマッチによる同期クリアを行い、TGRB\_0に設定したデータがPWM周期となります。

PWMモードについては、「10.5.4 PWMモード」を参照してください。

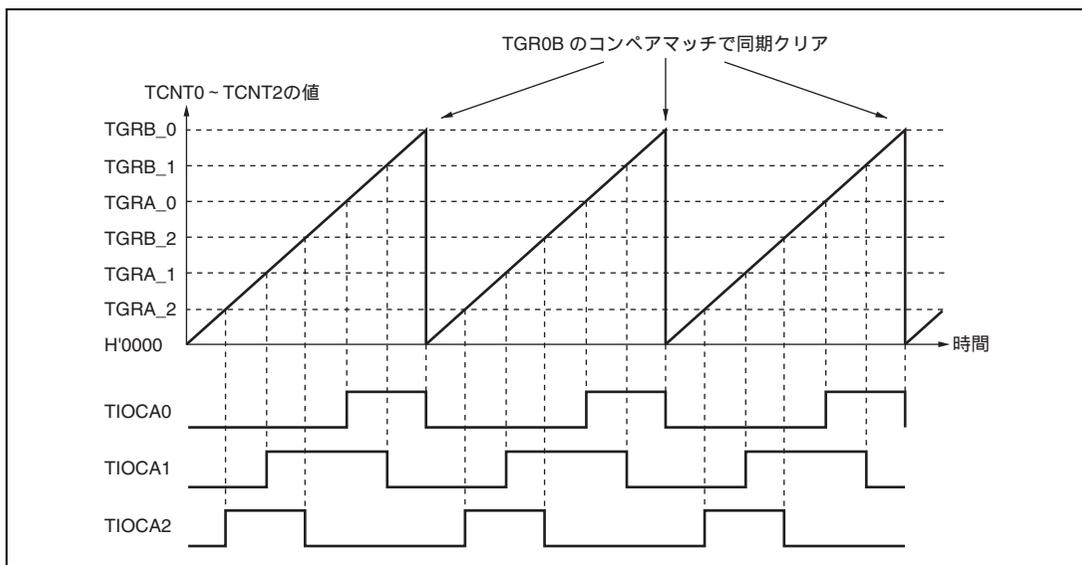


図 10.15 同期動作の動作例

### 10.5.3 バッファ動作

バッファ動作は、チャンネル0が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。バッファ動作は、TGRを入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。表10.17にバッファ動作時のレジスタの組み合わせを示します。

表 10.17 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

#### (a) TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図10.16に示します。

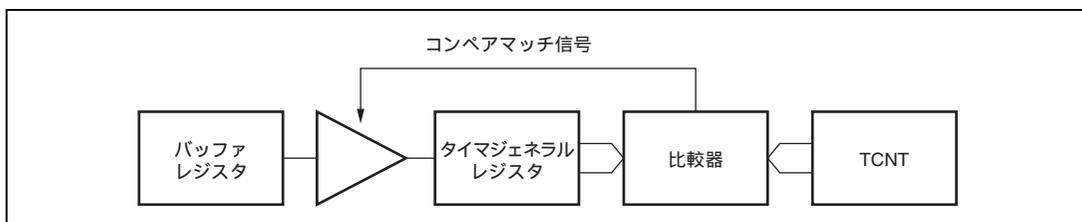


図 10.16 コンペアマッチバッファ動作

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイムジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 10.17 に示します。

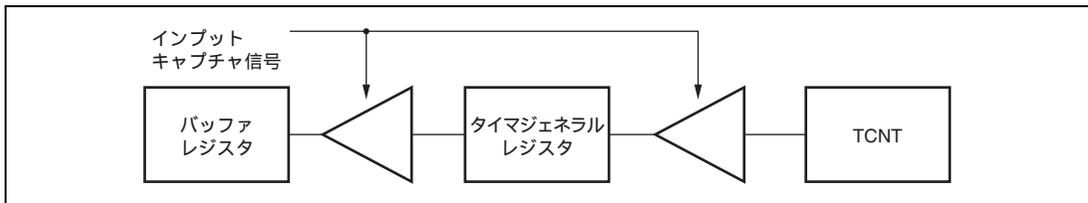


図 10.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

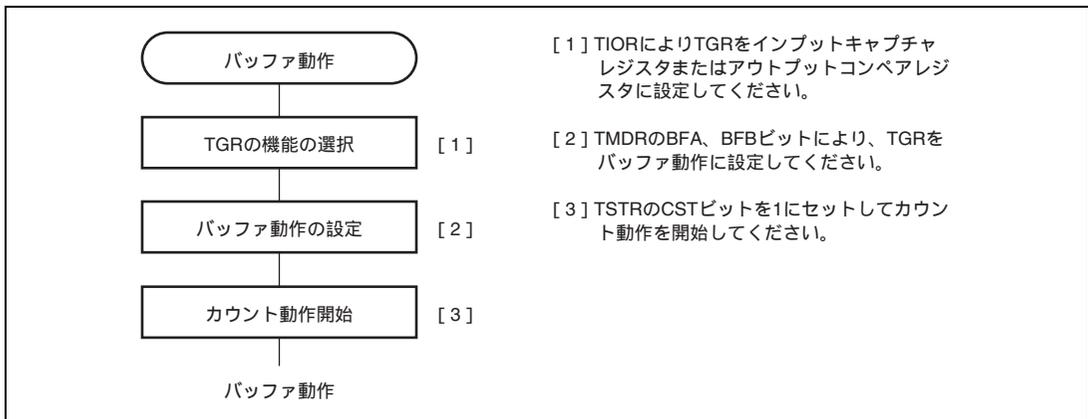


図 10.18 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると、出力を変化させると同時にバッファレジスタ TGRC の値がタイムジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「10.5.4 PWM モード」を参照してください。

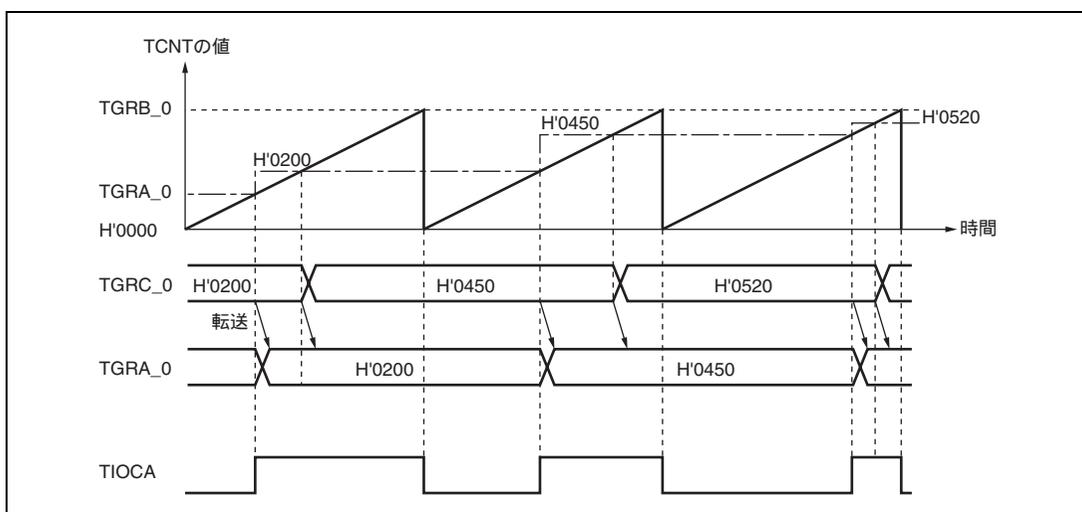


図 10.19 バッファ動作例 (1)

## (b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.20 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

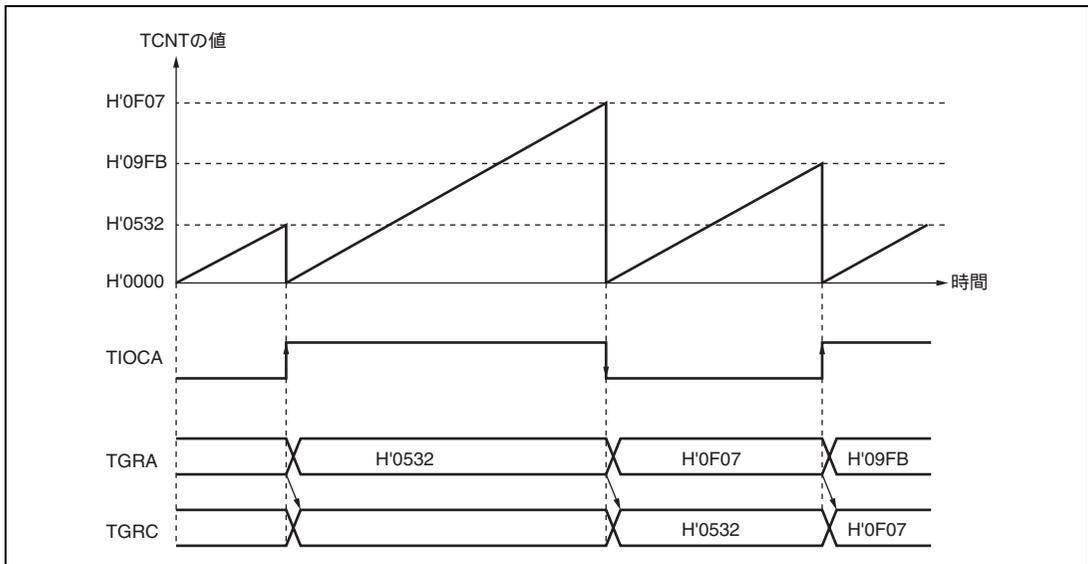


図 10.20 バッファ動作例 (2)

#### 10.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類があります。

##### (1) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

##### (2) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタを使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.18 に示します。

表 10.18 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

#### (a) PWM モードの設定手順例

PWM モードの設定手順例を図 10.21 に示します。

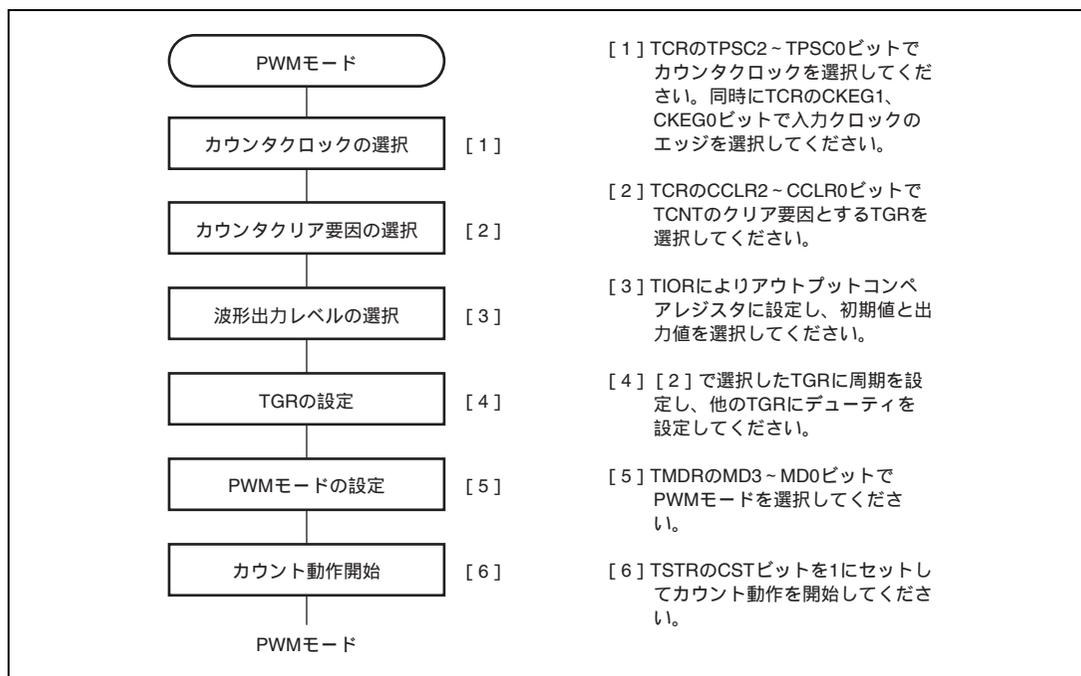


図 10.21 PWM モードの設定手順例

## (b) PWM モードの動作例

PWM モード 1 の動作例を図 10.22 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

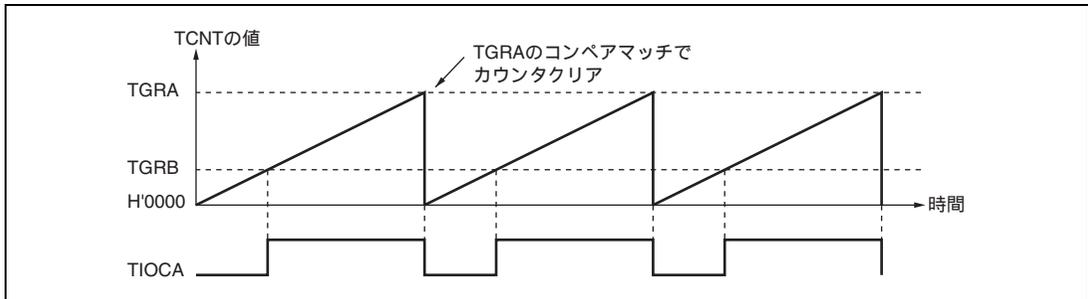


図 10.22 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 10.23 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB\_1 のコンペアマッチとし、他の TGR (TGRA\_0 ~ TGRD\_0、TGRA\_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB\_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

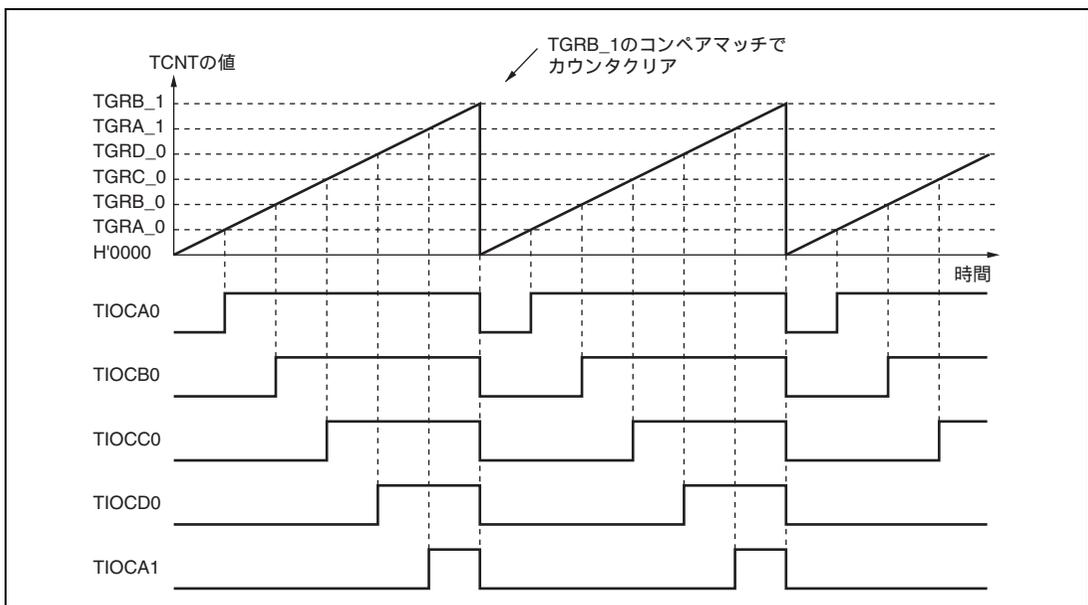


図 10.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.24 に示します。

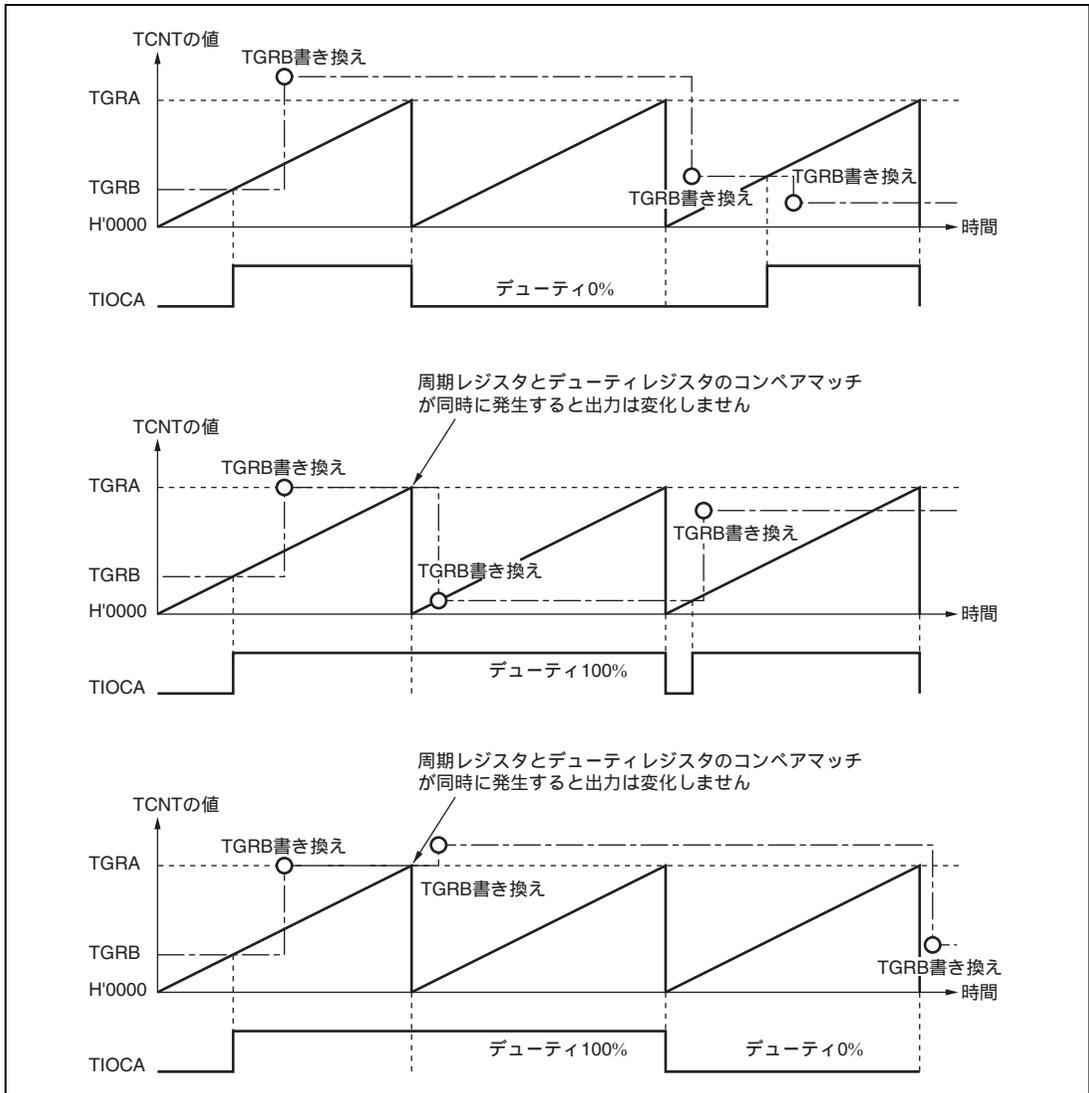


図 10.24 PWM モードの動作例 (3)

### 10.5.5 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.19 に外部クロック端子とチャンネルの対応を示します。

表 10.19 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.25 に示します。

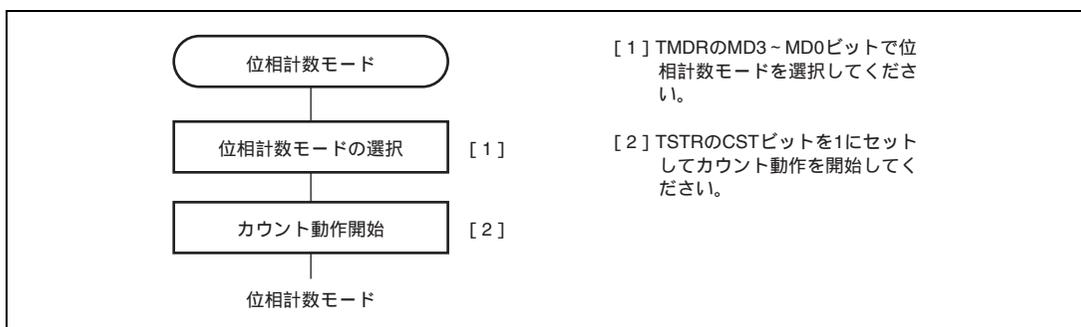


図 10.25 位相計数モードの設定手順例

## (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

## (a) 位相計数モード1

位相計数モード1の動作例を図10.26に、TCNTのアップ/ダウンカウント条件を表10.20に示します。

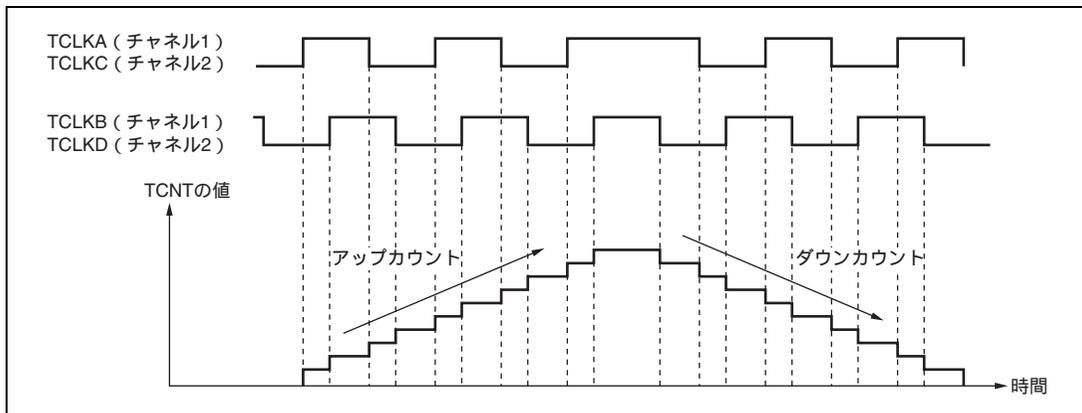


図 10.26 位相計数モード1の動作例

表 10.20 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.27 に、TCNT のアップ/ダウンカウント条件を表 10.21 に示します。

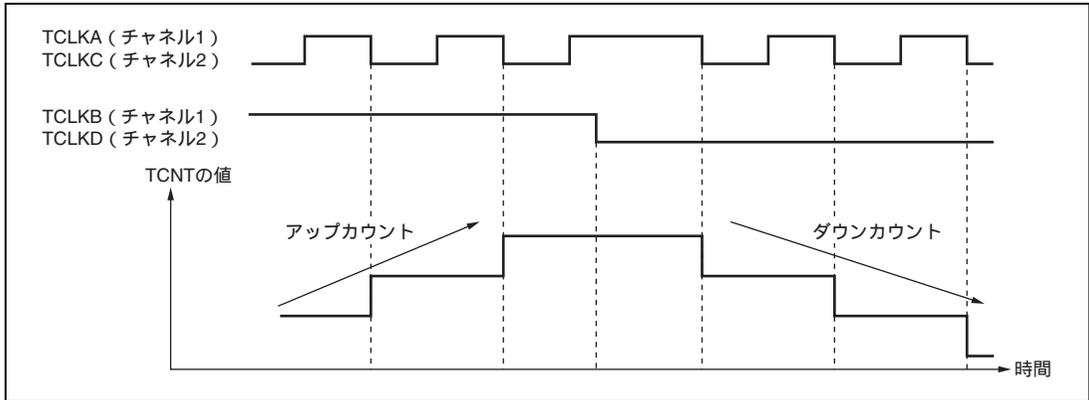


図 10.27 位相計数モード 2 の動作例

表 10.21 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	ダウンカウント
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.22 に示します。

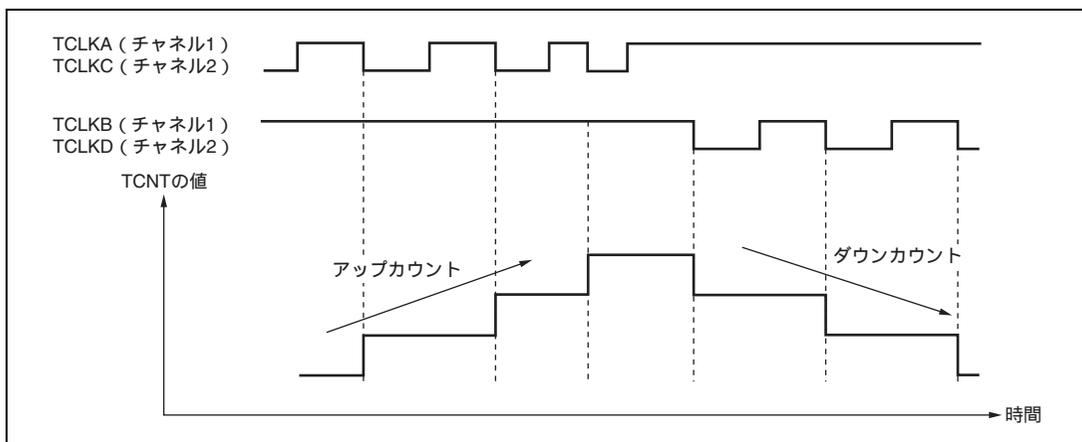


図 10.28 位相計数モード 3 の動作例

表 10.22 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	⏏	Don't care
Low レベル	⏚	
⏏	Low レベル	アップカウント
⏚	High レベル	ダウンカウント
High レベル	⏚	Don't care
Low レベル	⏏	
⏏	High レベル	Don't care
⏚	Low レベル	

## 【記号説明】

⏏ : 立ち上がりエッジ

⏚ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.29 に、TCNT のアップ / ダウンカウント条件を表 10.23 に示します。

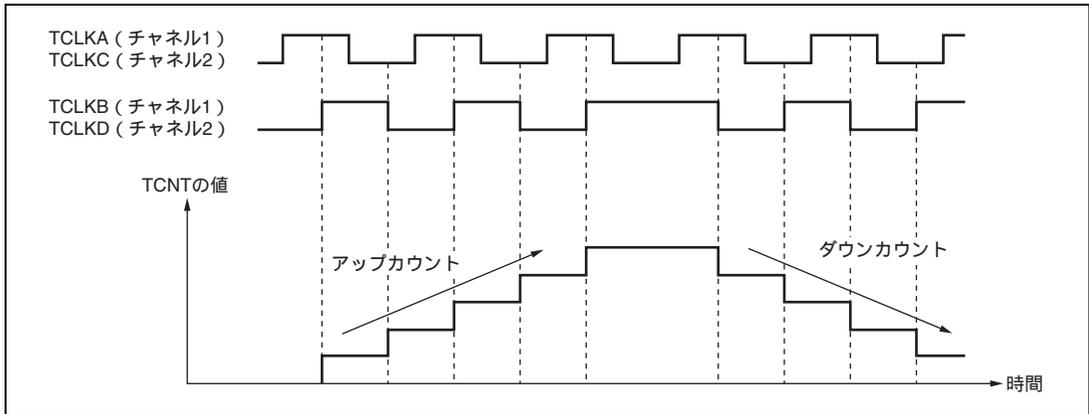


図 10.29 位相計数モード 4 の動作例

表 10.23 位相計数モード 4 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## 10.6 割り込み要因

### 10.6.1 割り込み要因と優先順位

TPU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 10.24 に TPU の割り込み要因の一覧を示します。

表 10.24 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位*
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA	可	可	↑ 高
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB	可	不可	
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC	可	不可	
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD	可	不可	
	TCI0V	TCNT_0 のオーバフロー	TCFV	不可	不可	
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA	可	可	↑ 高
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB	可	不可	
	TCI1V	TCNT_1 のオーバフロー	TCFV	不可	不可	
	TCI1U	TCNT_1 のアンダフロー	TCFU	不可	不可	
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA	可	可	↑ 高
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB	可	不可	
	TCI2V	TCNT_2 のオーバフロー	TCFV	不可	不可	
	TCI2U	TCNT_2 のアンダフロー	TCFU	不可	不可	

【注】\* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

#### (1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、計 8 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

### (2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計3本のオーバフロー割り込みがあります。

### (3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

## 10.6.2 DTCの起動

各チャンネルのTGRのインプットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

TPUでは、チャンネル0が各4本、チャンネル1、2が各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

## 10.6.3 DMACの起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「第7章 DMAコントローラ (DMAC)」を参照してください。

TPUでは、各チャンネル1本、計3本のTGRAのインプットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

## 10.6.4 A/D変換器の起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/D変換器を起動できます。

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計3本のTGRAのインプットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

## 10.7 動作タイミング

### 10.7.1 入出力タイミング

#### (1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.31 に示します。

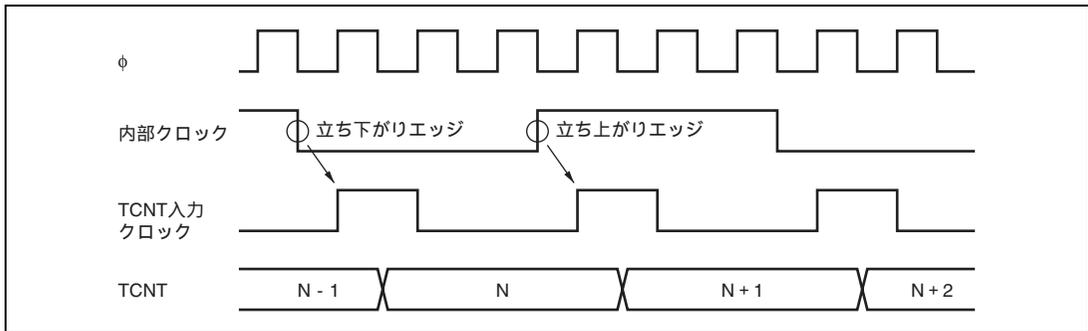


図 10.30 内部クロック動作時のカウントタイミング

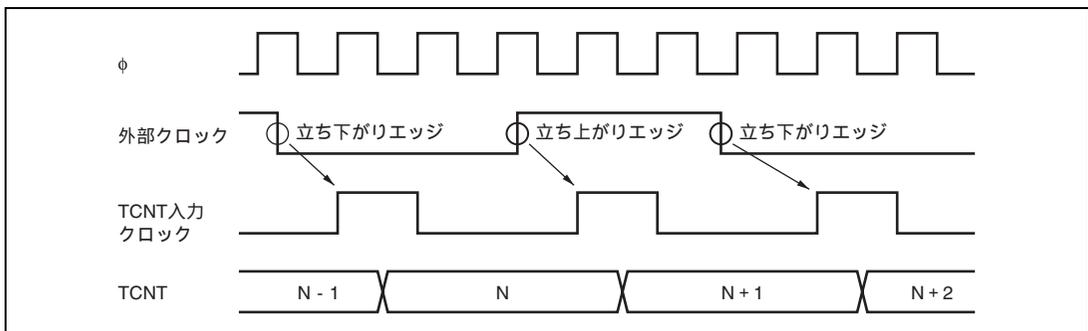


図 10.31 外部クロック動作時のカウントタイミング

### (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致したあと、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.32 に示します。

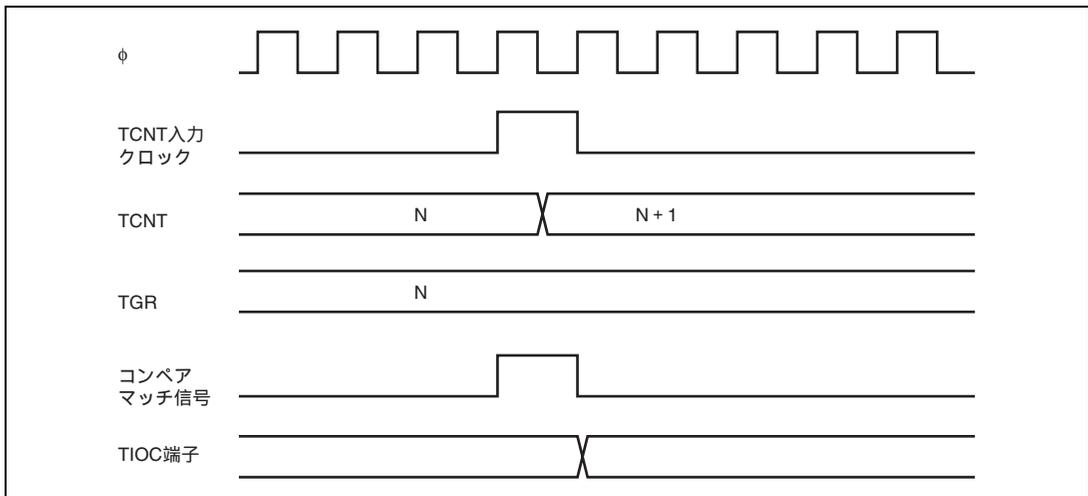


図 10.32 アウトプットコンペア出力タイミング

### (3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.33 に示します。

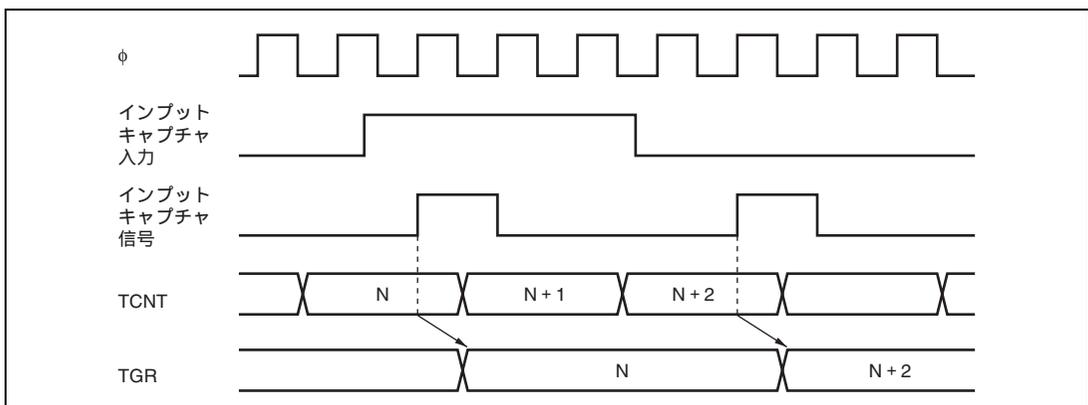


図 10.33 インプットキャプチャ入力信号タイミング

## (4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

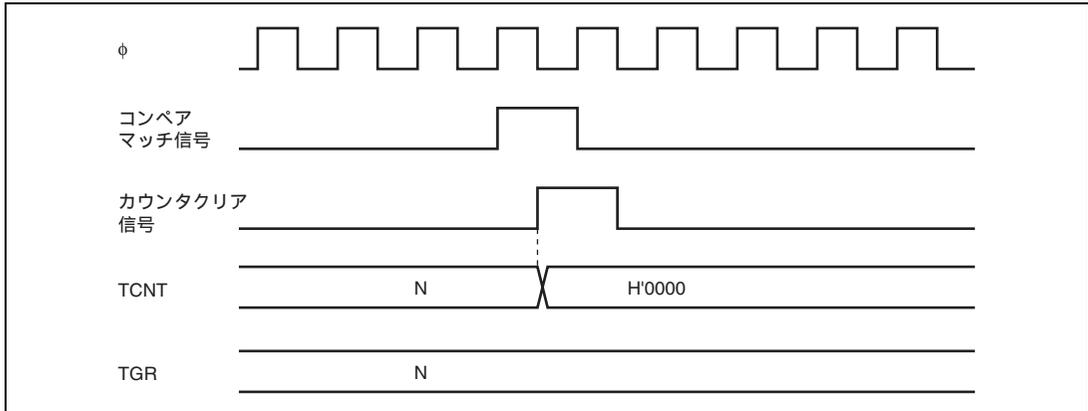


図 10.34 カウンタクリアタイミング (コンペアマッチ)

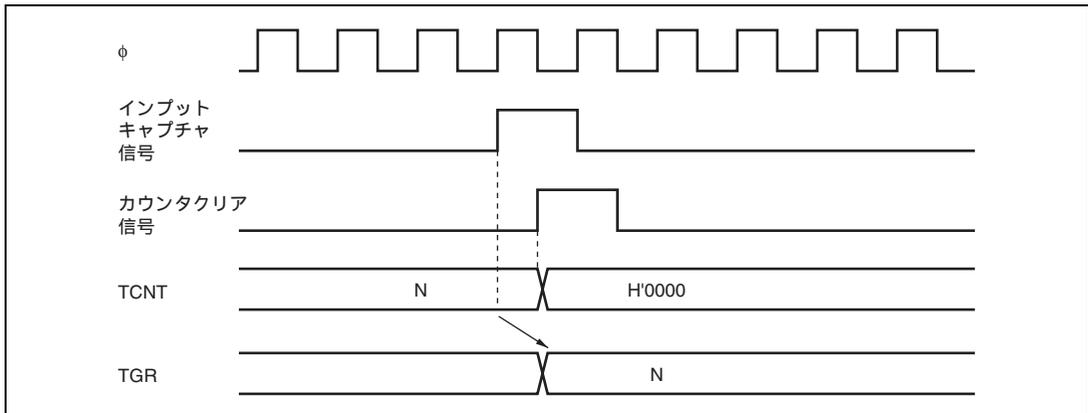


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

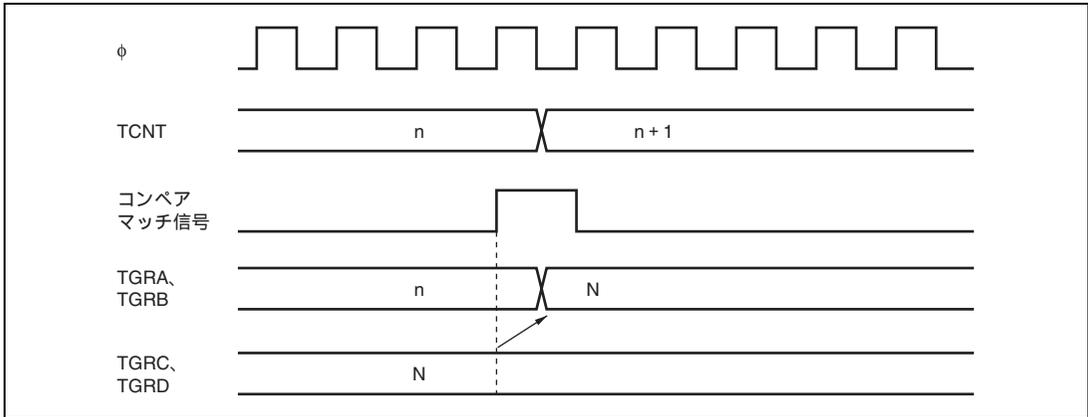


図 10.36 バッファ動作タイミング (コンペアマッチ)

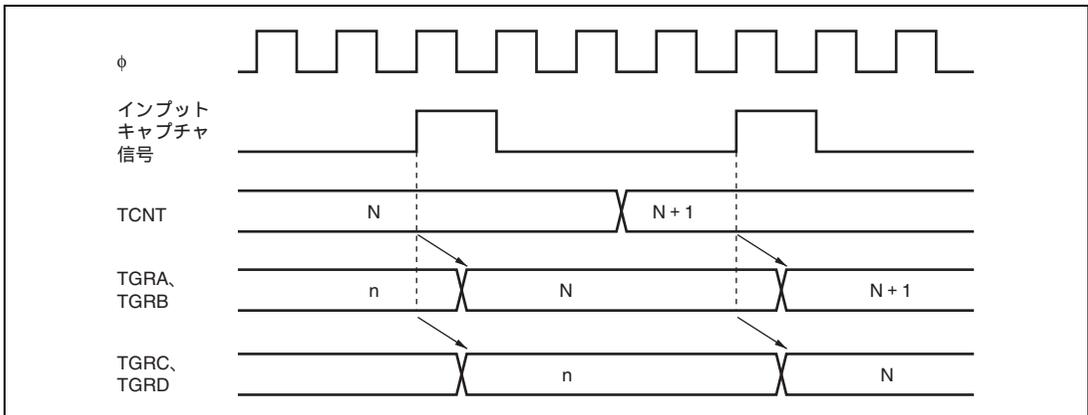


図 10.37 バッファ動作タイミング (インプットキャプチャ)

## 10.7.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

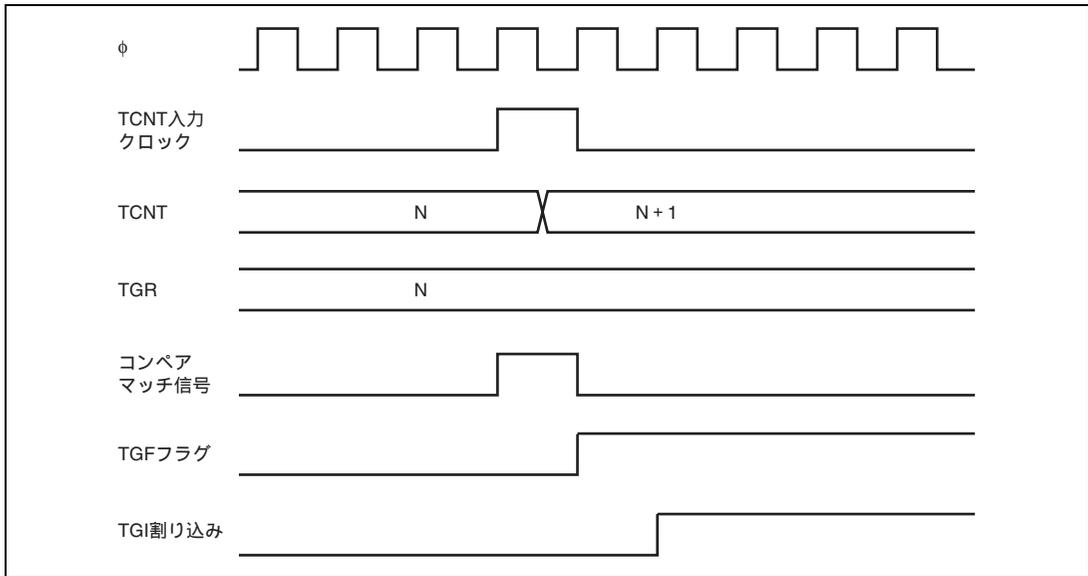


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

### (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

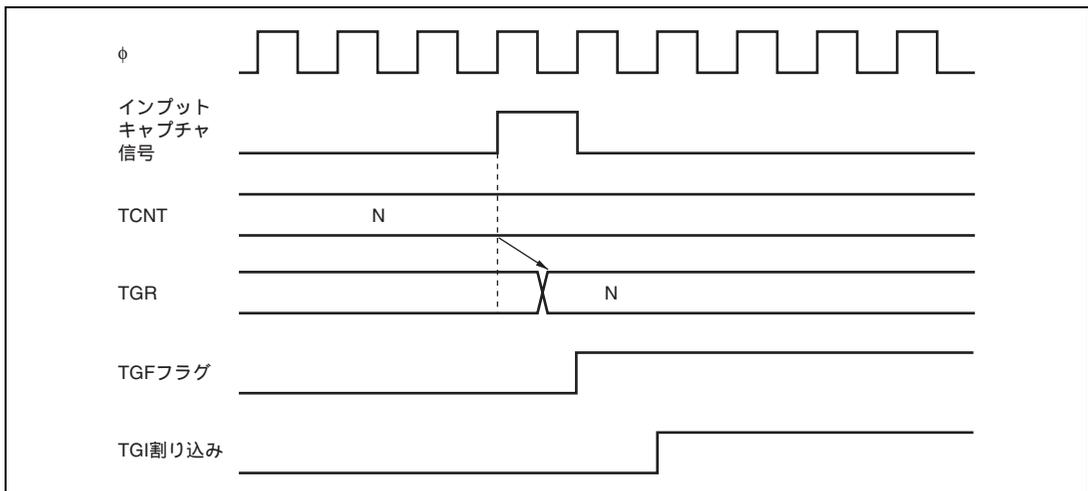


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

## (3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

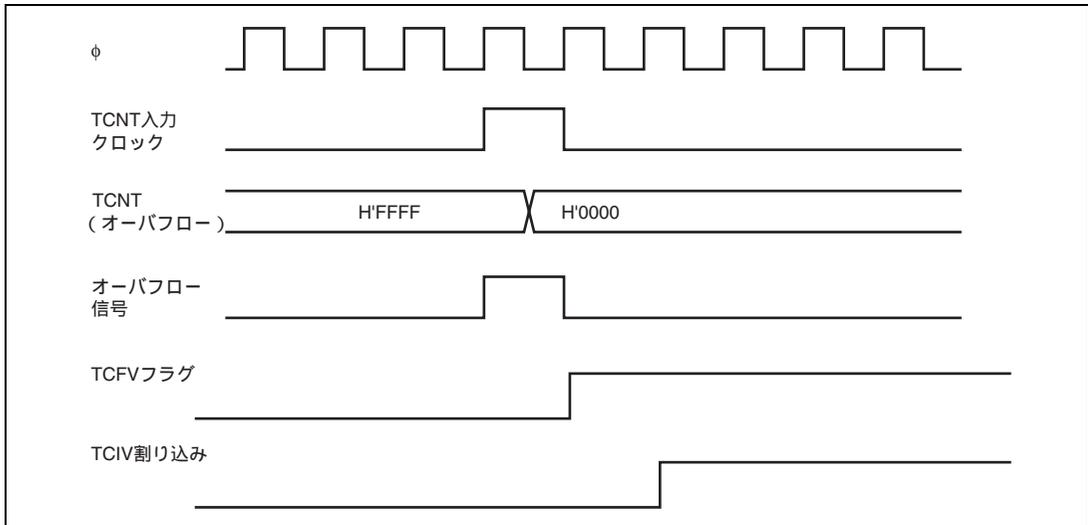


図 10.40 TCIV 割り込みのセットタイミング

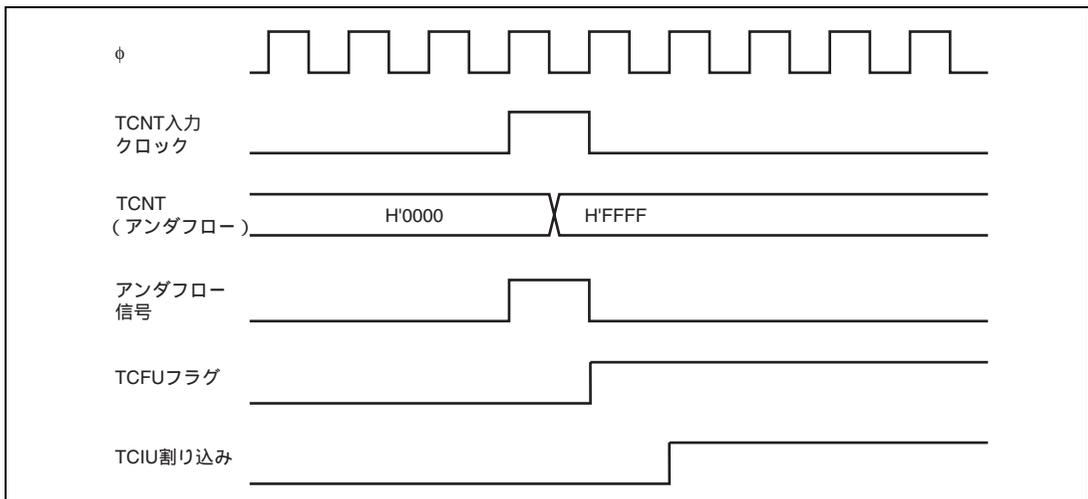


図 10.41 TCIU 割り込みのセットタイミング

## (4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードしたあと、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.42に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図10.43に示します。

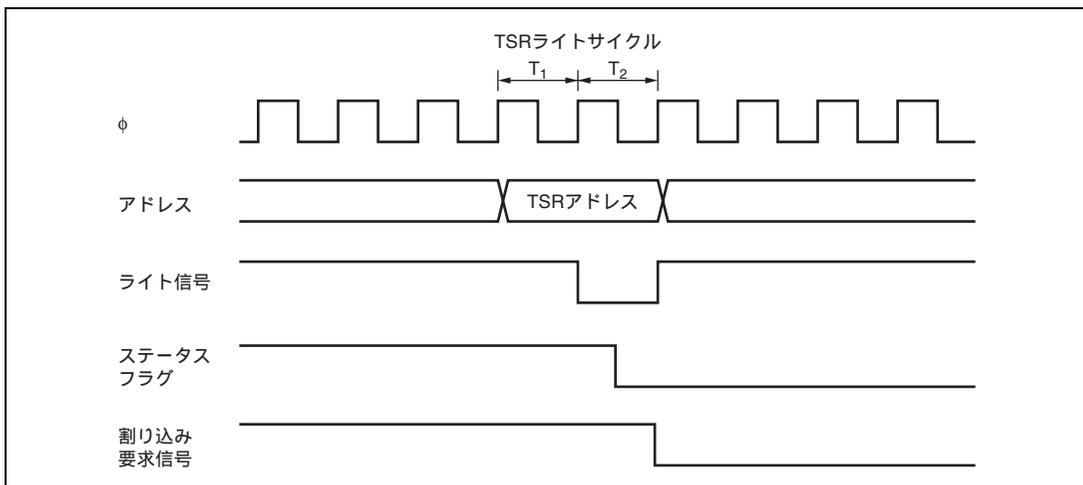


図 10.42 CPU によるステータスフラグのクリアタイミング

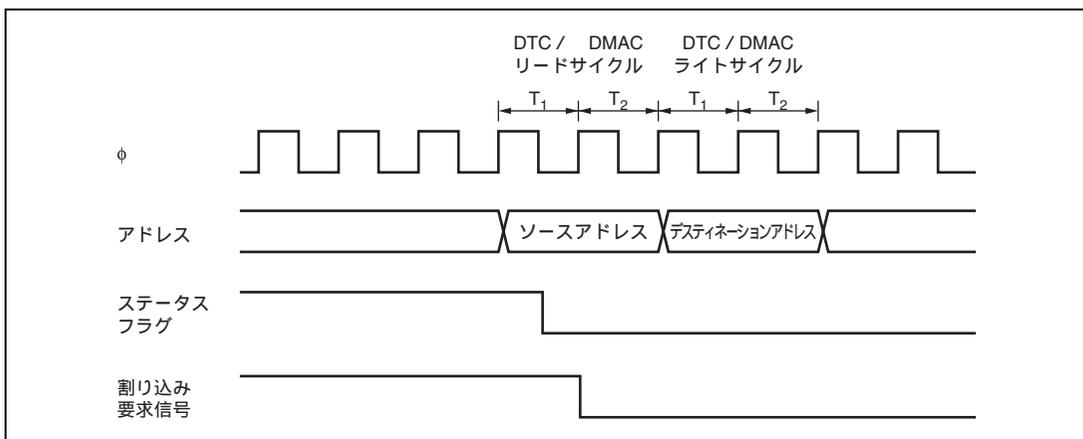


図 10.43 DTC または DMAC の起動によるステータスフラグのクリアタイミング

## 10.8 使用上の注意事項

### (1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.44 に示します。

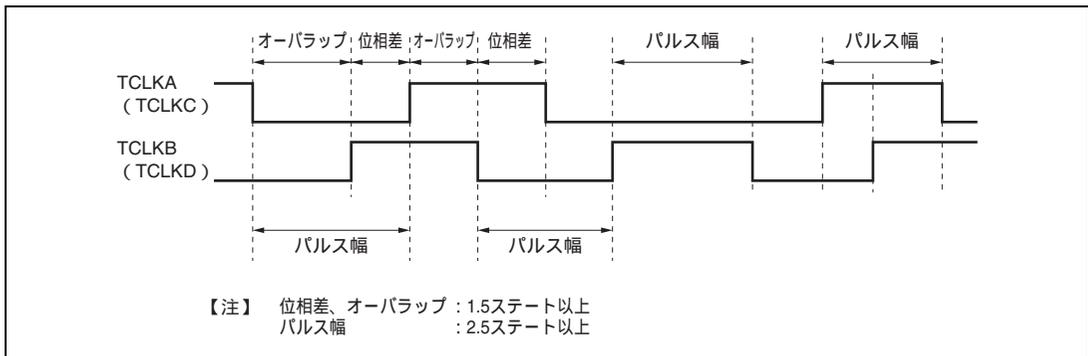


図 10.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

### (2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

$\phi$  : 動作周波数

N : TGR の設定値

## (3) TCNT のライトとクリアの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 10.45 に示します。

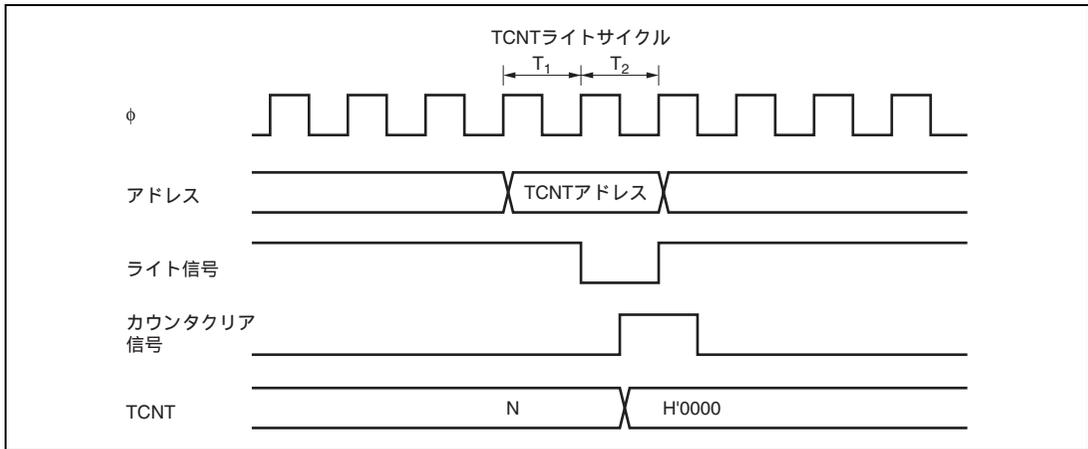


図 10.45 TCNT のライトとクリアの競合

## (4) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.46 に示します。

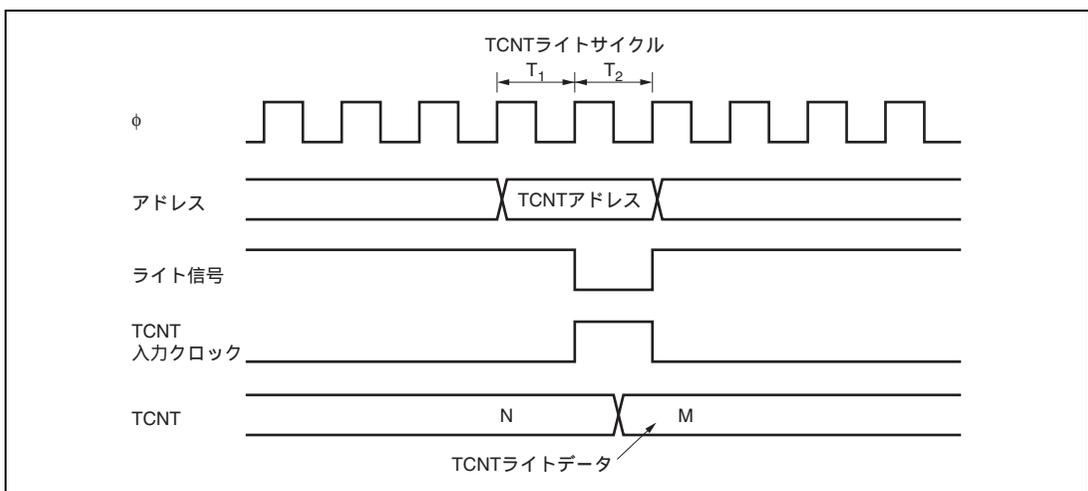


図 10.46 TCNT のライトとカウントアップの競合

## (5) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.47 に示します。

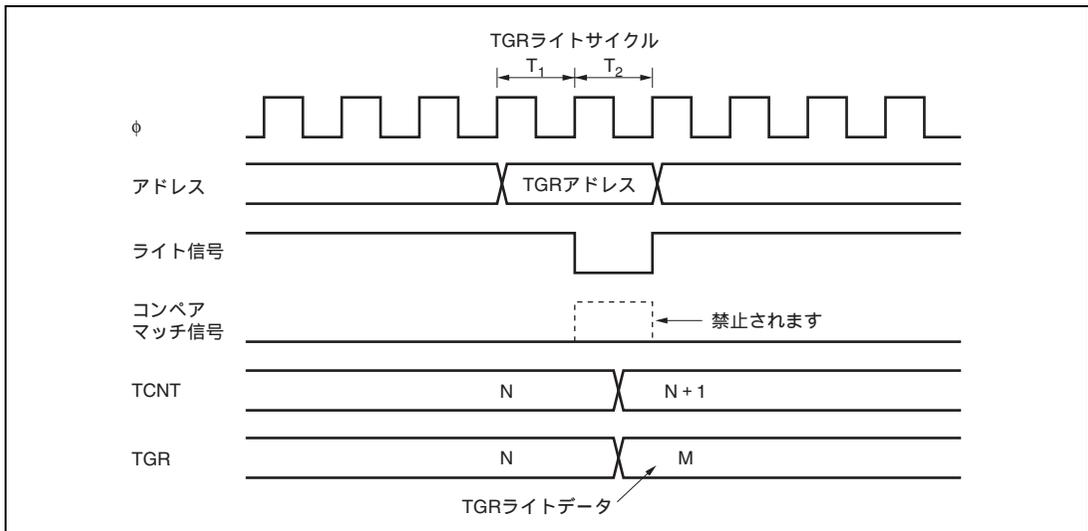


図 10.47 TGR のライトとコンペアマッチの競合

## (6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.48 に示します。

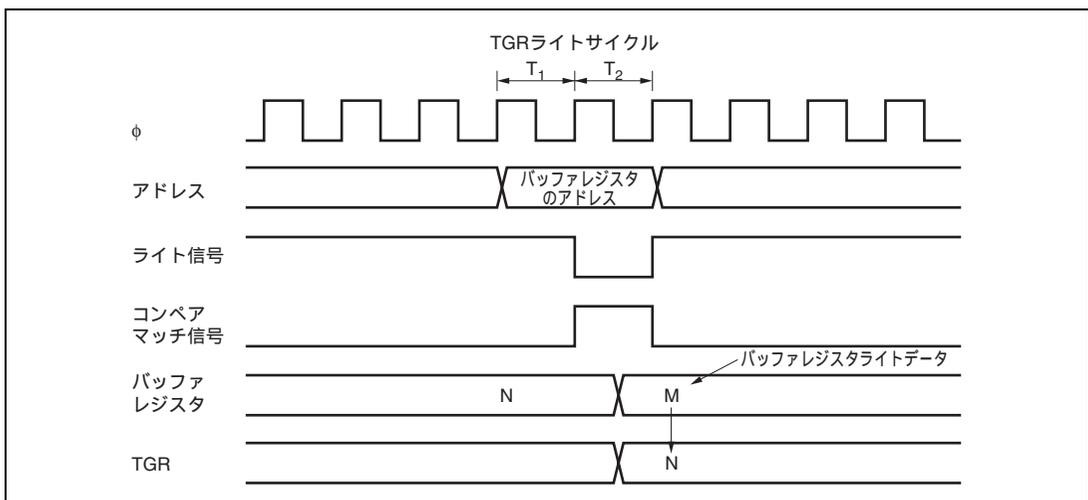


図 10.48 バッファレジスタのライトとコンペアマッチの競合

## (7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の  $T_1$  ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.49 に示します。

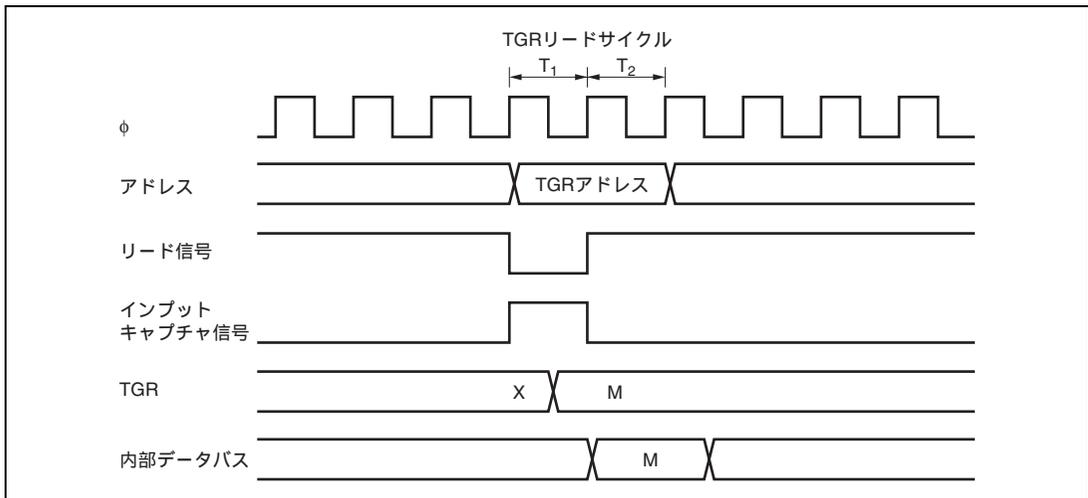


図 10.49 TGR のリードとインプットキャプチャの競合

## (8) TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の  $T_2$  ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.50 に示します。

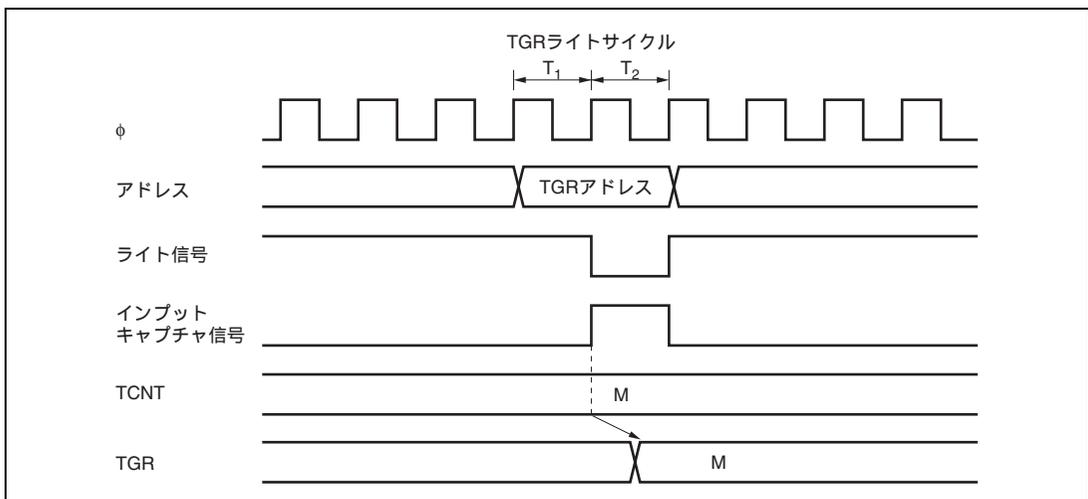


図 10.50 TGR のライトとインプットキャプチャの競合

## (9) バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の  $T_2$  ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.51 に示します。

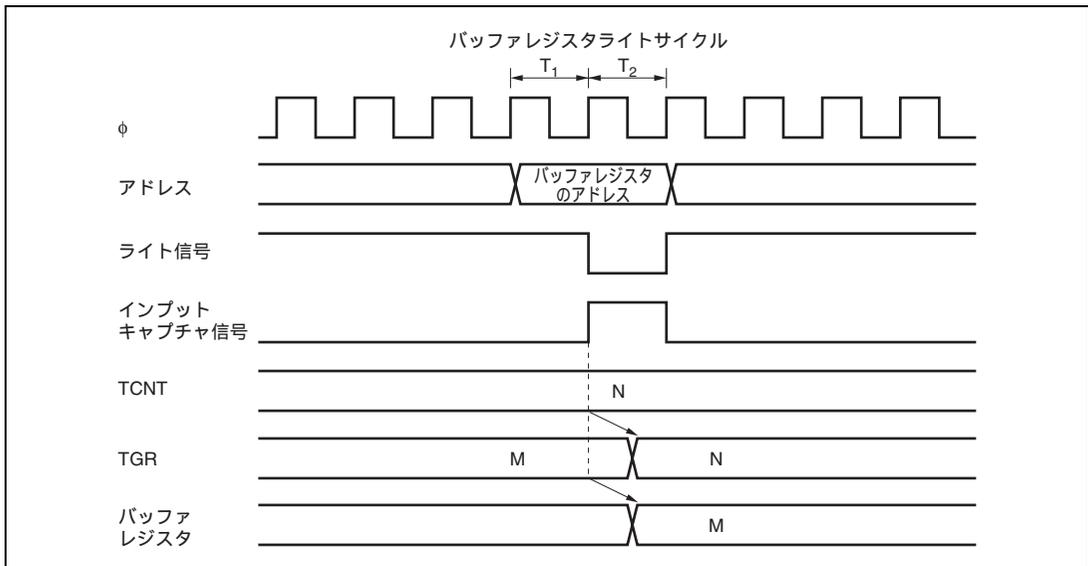


図 10.51 バッファレジスタのライトとインプットキャプチャの競合

## (10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.52 に示します。

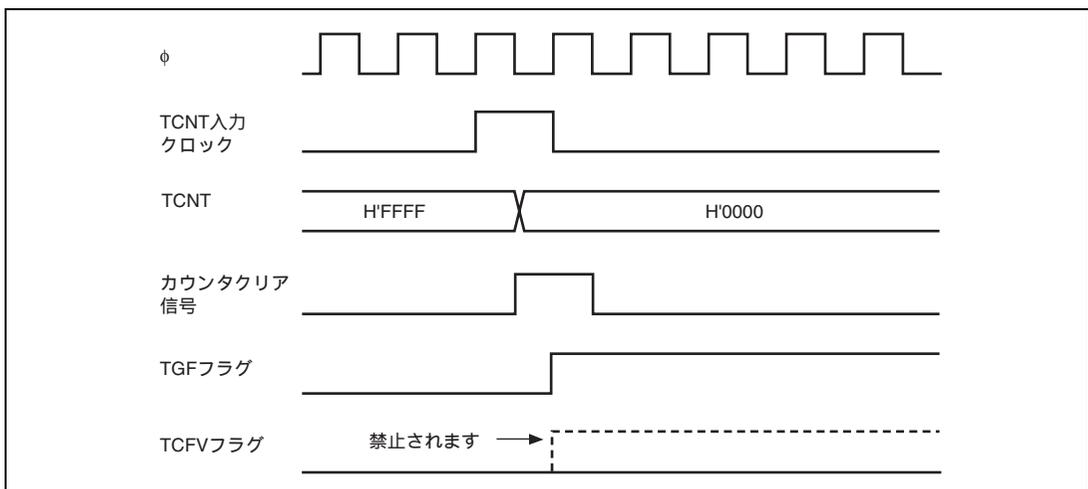


図 10.52 オーバフローとカウンタクリアの競合

## (11) TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 10.53 に示します。

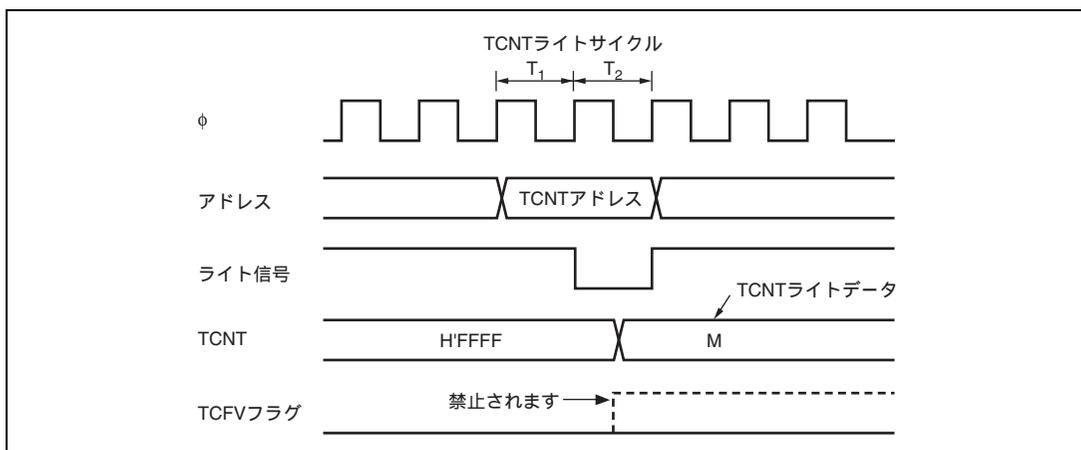


図 10.53 TCNT のライトとオーバーフローの競合

## (12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

## (13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC、または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

## (14) モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

---

## 11. 8ビットタイマ (TMR)

---

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

### 11.1 特長

- 4種類のクロックを選択可能  
3種類の内部クロック ( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能  
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御  
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能 (TMR\_0、TMR\_1)  
TMR\_0を上位、TMR\_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。  
TMR\_1はTMR\_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因  
コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。
- A/D変換器の変換開始トリガを生成可能  
A/D変換器の変換開始トリガとして、チャンネル0のコンペアマッチA信号を使用可能。
- モジュールストップモードの設定可能

8ビットタイマ (TMR\_0、TMR\_1) のブロック図を図 11.1 に示します。

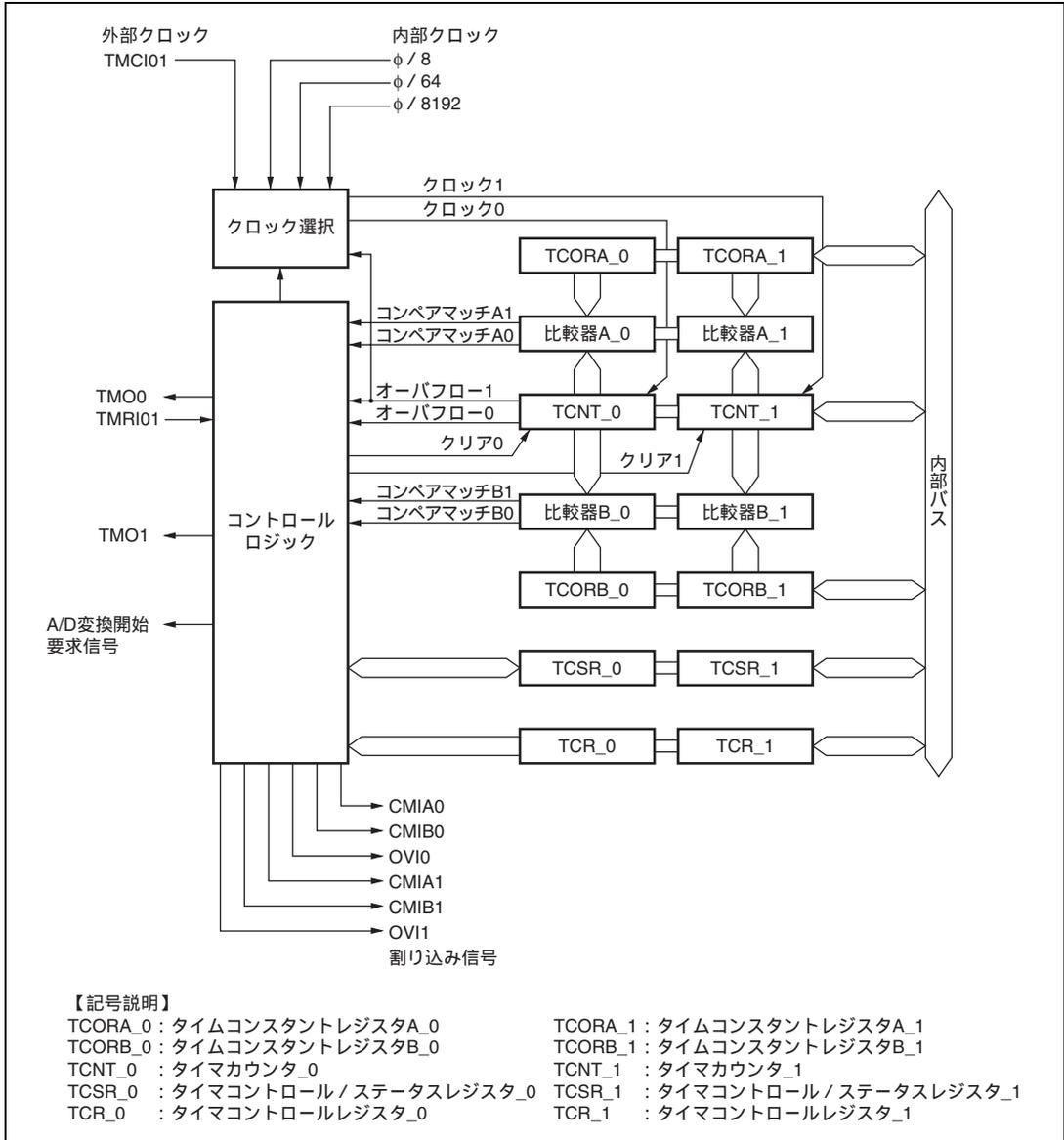


図 11.1 8ビットタイマのブロック図

## 11.2 入出力端子

TMRの端子構成を表 11.1 に示します。

表 11.1 端子構成

チャンネル	名 称	略称	入出力	機 能
0	タイマ出力端子 0	TMO0	出力	コンペアマッチ出力
1	タイマ出力端子 1	TMO1	出力	コンペアマッチ出力
共通	タイマクロック入力端子 01	TMCI01	入力	カウンタ外部クロック入力
	タイマリセット入力端子 01	TMRI01	入力	カウンタ外部リセット入力

## 11.3 レジスタの説明

TMR には以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

- タイマカウンタ (TCNT)
- タイムコンスタントレジスタ A (TCORA)
- タイムコンスタントレジスタ B (TCORB)
- タイマコントロールレジスタ (TCR)
- タイマコントロール/ステータスレジスタ (TCSR)

### 11.3.1 タイマカウンタ (TCNT)

TCNT は 8 ビットのリード/ライト可能なアップカウンタです。TCNT\_0、TCNT\_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。動作クロックは、TCR の CKS2~CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー (H'FF→H'00) すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

### 11.3.2 タイムコンスタントレジスタ A (TCORA)

TCORA は 8 ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの  $T_2$  ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ A) と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

### 11.3.3 タイムコンスタントレジスタ B (TCORB)

TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの  $T_2$  ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ B) と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

### 11.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 TCNT に入力するクロックとカウント条件を選択します。表 11.2 を参照してください。

表 11.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			説 明
	ビット 2	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	
TMR_0	0	0	0	クロック入力を禁止
	0	0	1	内部クロック $\phi$ /8 立ち下がりエッジでカウント
	0	1	0	内部クロック $\phi$ /64 立ち下がりエッジでカウント
	0	1	1	内部クロック $\phi$ /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_1 のオーバフロー信号でカウント* (16 ビットカウントモード)
TMR_1	0	0	0	クロック入力を禁止
	0	0	1	内部クロック $\phi$ /8 立ち下がりエッジでカウント
	0	1	0	内部クロック $\phi$ /64 立ち下がりエッジでカウント
	0	1	1	内部クロック $\phi$ /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_0 のコンペアマッチ A でカウント* (コンペアマッチカウントモード)
共通	1	0	1	外部クロックの立ち上がりエッジでカウント
	1	1	0	外部クロックの立ち下がりエッジでカウント
	1	1	1	外部クロックの立ち上がり / 立ち下がり両エッジでカウント

【注】 \* TMR\_0 のクロック入力を TCNT\_1 のオーバフロー信号とし、TMR\_1 のクロック入力を TCNT\_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

## 11.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT = TCORB になったとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき CMIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビット = 0 で、かつ転送カウンタ 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT = TCORA になったとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき CMIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビット = 0 で、かつ転送カウンタ 0 のとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] • TCNT の値がオーバフロー (H'FF→H'00) したとき [クリア条件] • OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル (チャンネル 0 のみ) コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 チャンネル 1 では、リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : コンペアマッチ B で 0 出力 10 : コンペアマッチ B で 1 出力 11 : コンペアマッチ B ごとに反転出力 (トグル出力)

ビット	ビット名	初期値	R/W	説 明
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00: 変化しない 01: コンペアマッチ A で 0 出力 10: コンペアマッチ A で 1 出力 11: コンペアマッチ A ごとに反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 11.4 動作説明

### 11.4.1 8ビットタイマの使用例 (パルス出力例)

任意のデューティパルスを出力させる例を図 11.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

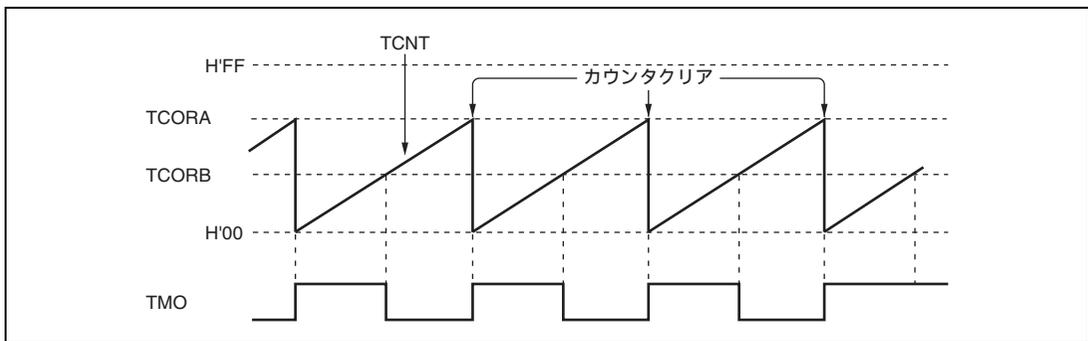


図 11.2 パルス出力例

## 11.5 動作タイミング

### 11.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

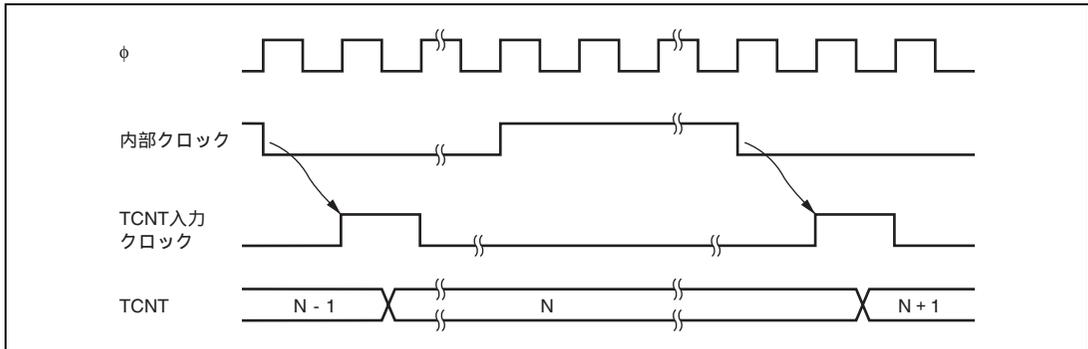


図 11.3 内部クロック動作時のカウントタイミング

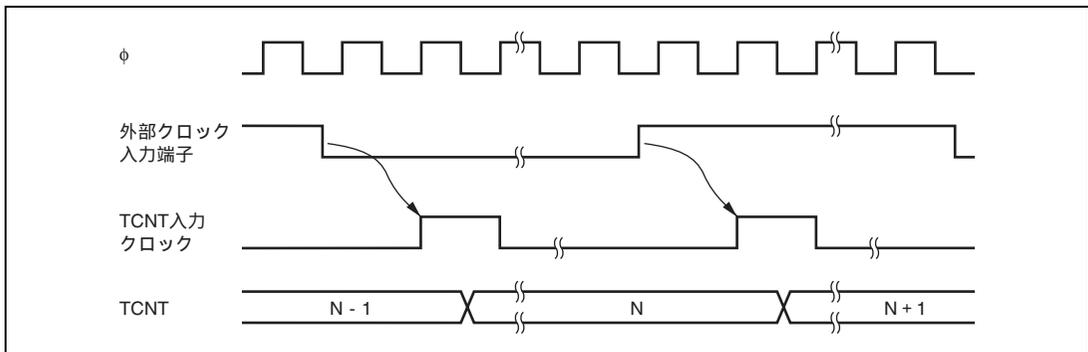


図 11.4 外部クロック動作時のカウントタイミング

### 11.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致したあと、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 11.5 に示します。

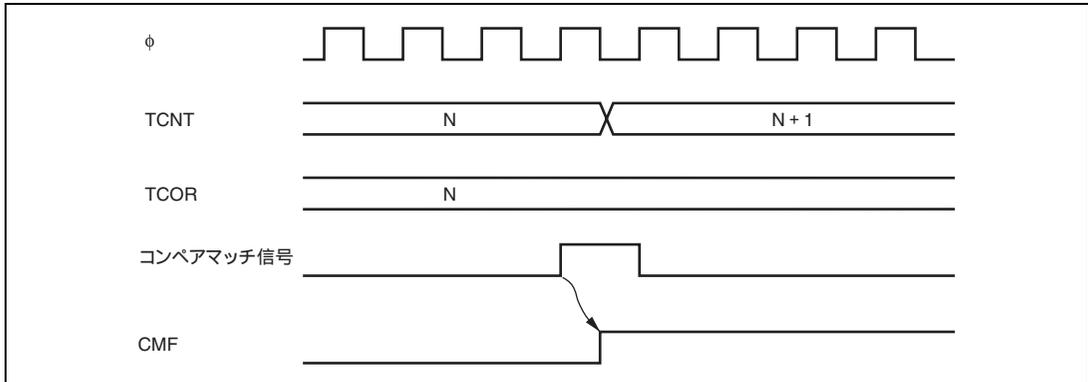


図 11.5 コンペアマッチ時の CMF フラグのセットタイミング

### 11.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 11.6 に示します。

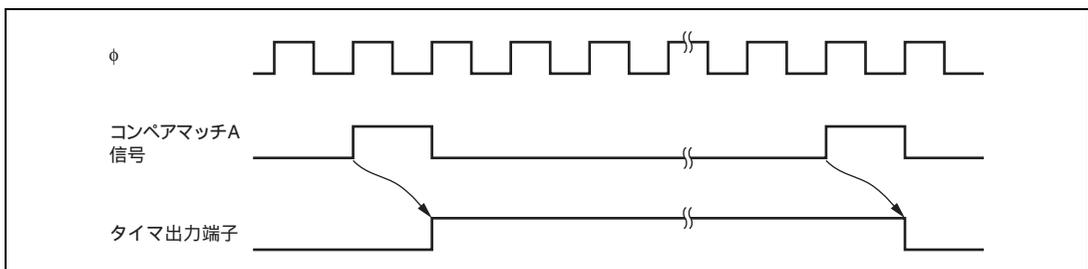


図 11.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

#### 11.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビット の選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 11.7 に示します。

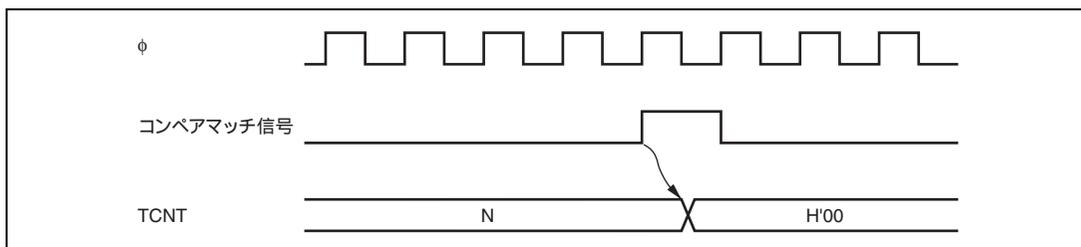


図 11.7 コンペアマッチによるカウンタクリアタイミング

#### 11.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビット の選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は 1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 11.8 に示します。

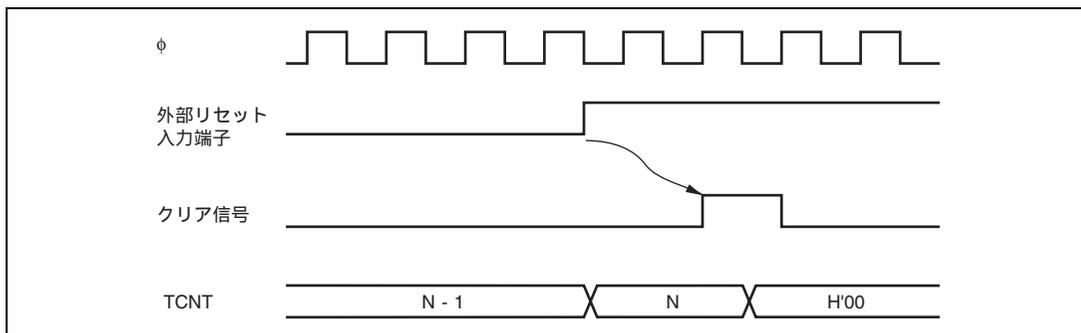


図 11.8 外部リセット入力によるクリアタイミング

### 11.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 11.9 に示します。

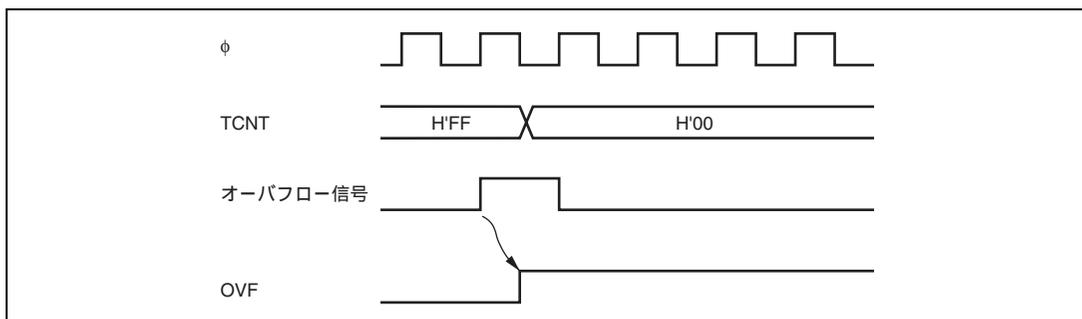


図 11.9 OVF フラグのセットタイミング

## 11.6 カスケード接続時の動作

TCR\_0、TCR\_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

### 11.6.1 16 ビットカウントモード

TCR\_0 の CKS2~CKS0 ビットが B'100 のとき、タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

#### (1) コンペアマッチフラグのセット

- TCSR\_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR\_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

#### (2) カウンタクリア指定

- TCR\_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。また、TMRI01端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。
- TCR\_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

#### (3) 端子出力

- TCSR\_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR\_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

### 11.6.2 コンペアマッチカウントモード

TCR\_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT\_1 はチャンネル 0 のコンペアマッチ A をカウントします。チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 11.7 割り込み要因

### 11.7.1 割り込み要因と DTC 起動

8ビットタイマ TMR\_0、TMR\_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 11.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより、DTC を起動できます。

表 11.3 8ビットタイマの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位*
0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ↑ 低
	CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
	OVI0	TCNT_0 のオーバーフロー	OVF	不可	
1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	
	CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
	OVI1	TCNT_1 のオーバーフロー	OVF	不可	

【注】 \* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能でず。

### 11.7.2 A/D 変換器の起動

TMR\_0 のコンペアマッチ A のみ A/D 変換器を起動できます。TMR\_0 のコンペアマッチ A の発生により、TCSR\_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D 変換が開始されます。

## 11.8 使用上の注意事項

### 11.8.1 TCNT のライトとカウンタクリアの競合

図 11.10 のように TCNT のライトサイクル中の  $T_2$  ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

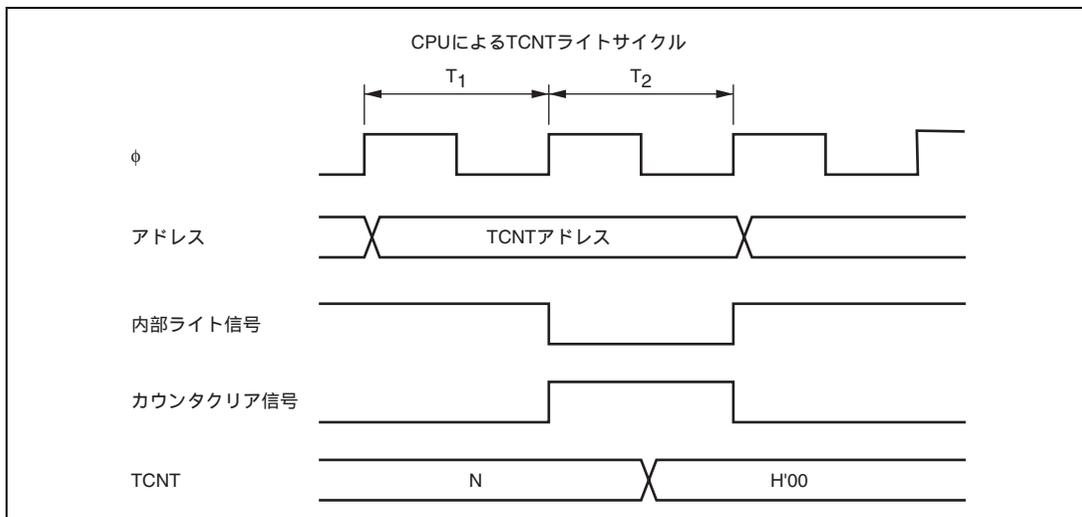


図 11.10 TCNT のライトとクリアの競合

### 11.8.2 TCNT のライトとカウントアップの競合

図 11.11 のように TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

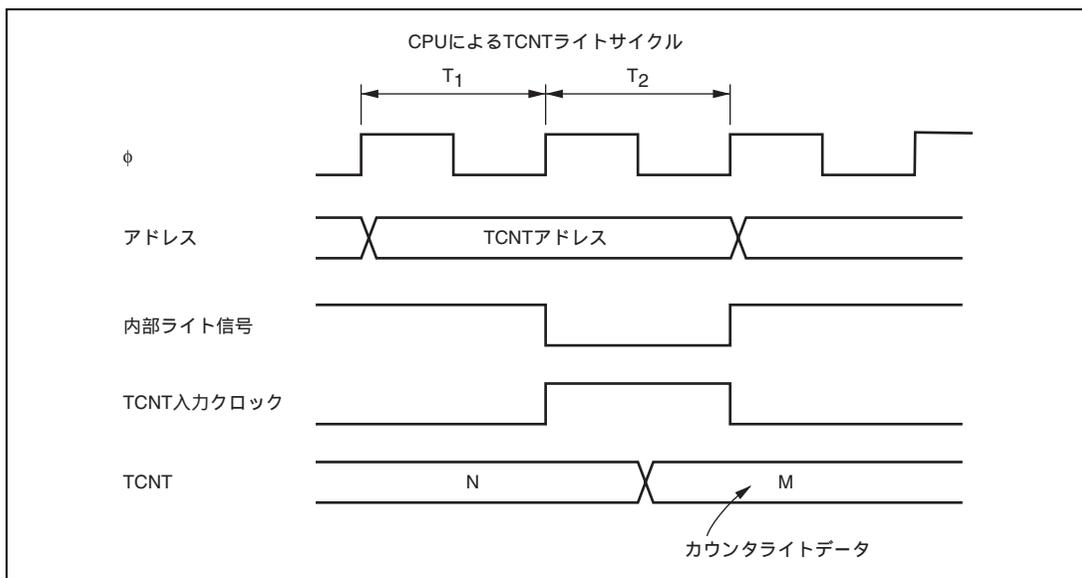


図 11.11 TCNT のライトとカウントアップの競合

### 11.8.3 TCOR のライトとコンペアマッチの競合

図 11.12 のように TCOR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

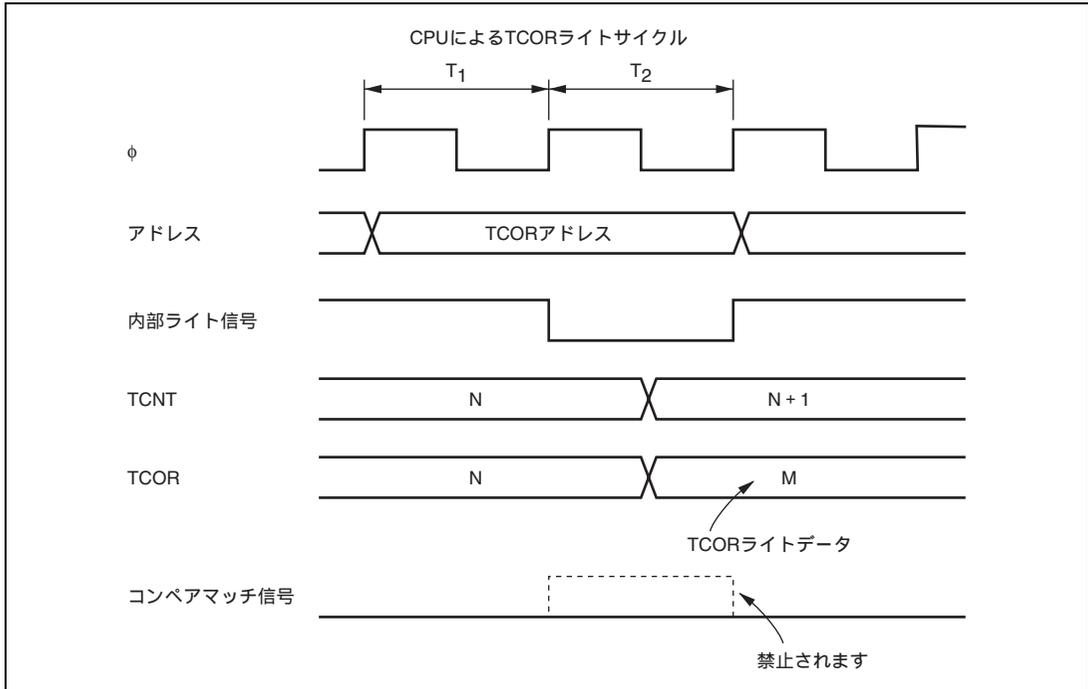


図 11.12 TCOR のライトとコンペアマッチの競合

### 11.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 11.4 に示すタイマ出力の優先順位に従って動作します。

表 11.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

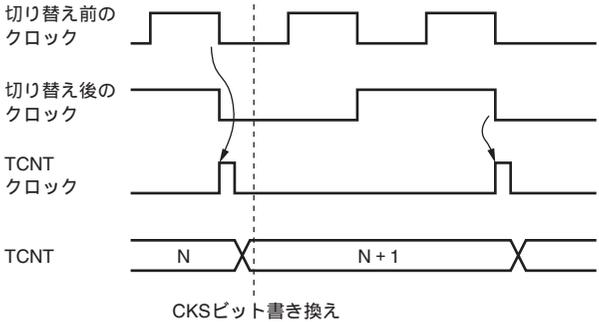
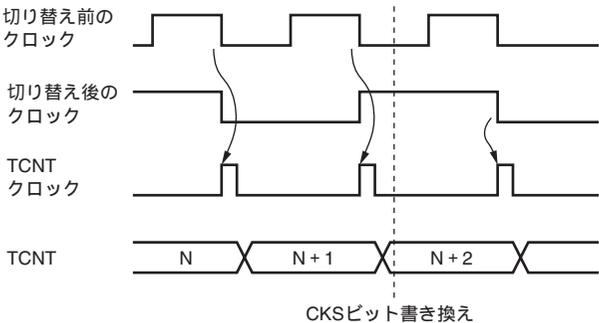
### 11.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 11.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 11.5 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 11.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* <sup>1</sup> の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* <sup>2</sup> の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
3	High→Low レベル <sup>*3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベルの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 \*1 Low レベル→停止、および停止→Low レベルの場合を含みます。

\*2 停止→High レベルの場合を含みます。

\*3 High レベル→停止を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

### 11.8.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT\_0、TCNT\_1の入カクロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

### 11.8.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。詳細は「第22章 低消費電力状態」を参照してください。

---

## 12. ウォッチドッグタイマ (WDT)

---

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

WDT のブロック図を図 12.1 に示します。

### 12.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

#### ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかしないかを選択できます。

#### インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

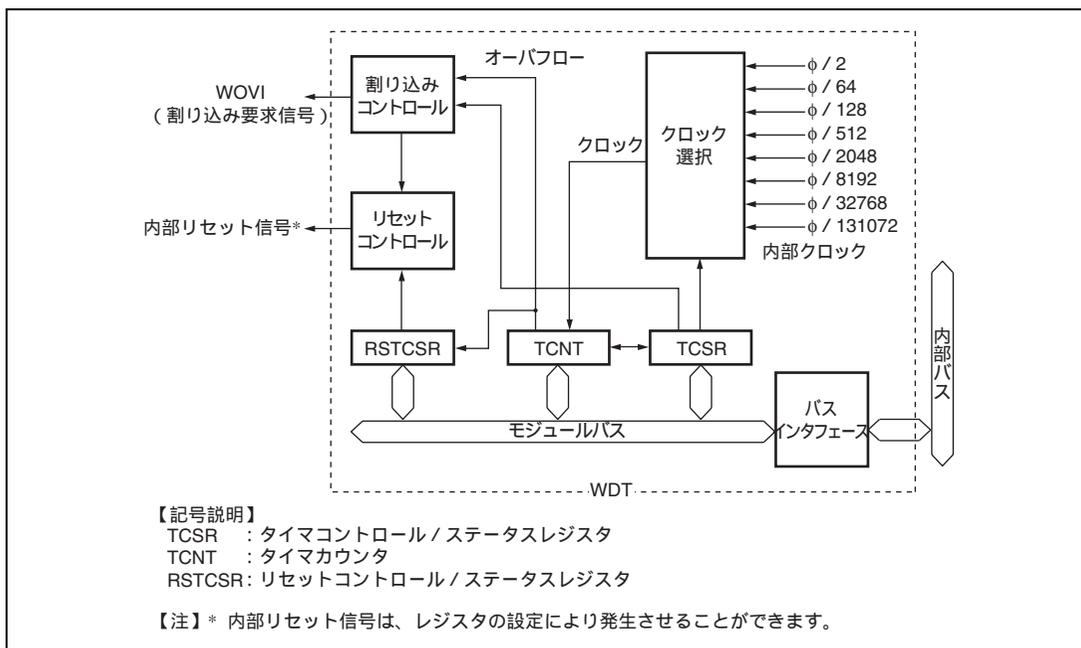


図 12.1 WDT のブロック図

## 12.2 レジスタの説明

WDT には、以下のレジスタがあります。TCSR、TCNT、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.5.1 レジスタアクセス時の注意事項」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

### 12.2.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

### 12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TCNT がオーバフロー (H'FF→H'00) したとき</li> </ul> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• OVF = 1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</li> </ul> <p>インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF = 1 の状態を 2 回以上リードしてください。</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード 1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4, 3		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2	CKS2	0	R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。( ) 内は<math>\phi = 16\text{MHz}</math>のときのオーバフロー周期を表します。</p> <p>000 : クロック<math>\phi/2</math> (周期 32.0<math>\mu\text{s}</math>) 001 : クロック<math>\phi/64</math> (周期 1.0ms) 010 : クロック<math>\phi/128</math> (周期 2.0ms) 011 : クロック<math>\phi/512</math> (周期 8.2ms) 100 : クロック<math>\phi/2048</math> (周期 32.8ms) 101 : クロック<math>\phi/8192</math> (周期 131.1ms) 110 : クロック<math>\phi/32768</math> (周期 524.3ms) 111 : クロック<math>\phi/131072</math> (周期 2.1s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$  端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。 [セット条件] •ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF→H'00) したとき [クリア条件] •1の状態では、RSTCSR をリードしたあと、WOVF に 0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0: TCNT がオーバーフローしても、内部はリセットされません (LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます) 1: TCNT がオーバーフローすると内部がリセットされます
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0: パワーオンリセット 1: マニュアルリセット
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 12.3 動作説明

### 12.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の  $WT/\overline{IT}$  ビット = 1 に、TME ビット = 1 に設定してください。

TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローは発生しません。

RSTCSR の RSTE ビットを 1 にセットしておく、ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローしたときに、本 LSI の内部をリセットする信号が発生します。リセットは、RSTCSR の RSTS ビットの設定により、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、518 ステートの間出力されます。

$\overline{RES}$  端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$  端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。

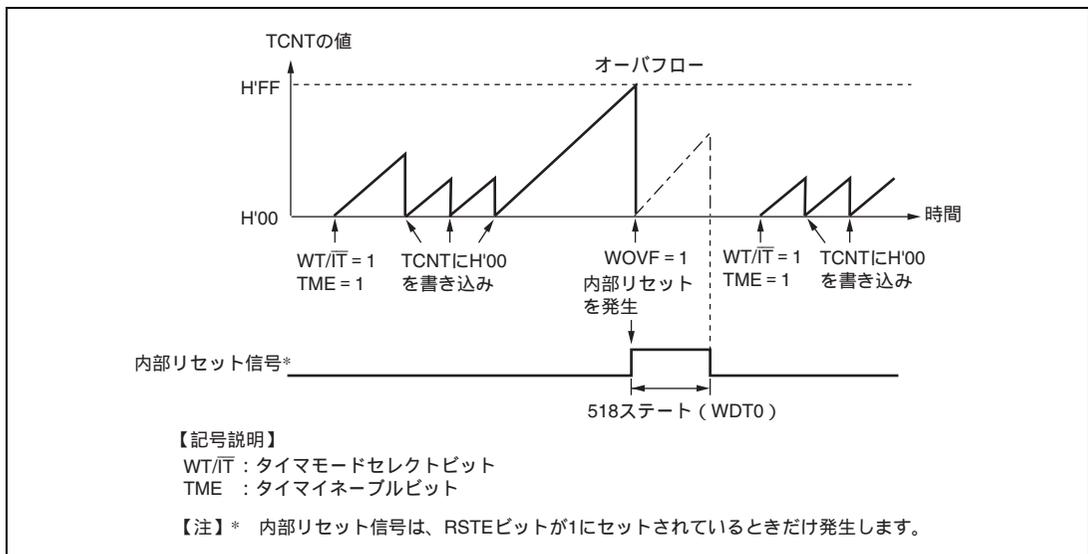


図 12.2 ウォッチドッグタイマモード時の動作

### 12.3.2 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでTCNTがオーバフローすると、RSTCSRのWOVFビットが1にセットされます。また、RSTCSRのRSTEビットが1にセットしてあると、TCNTがオーバフローしたとき、本LSI全体に対して内部リセット信号を発生します。これらのタイミングを図12.3に示します。

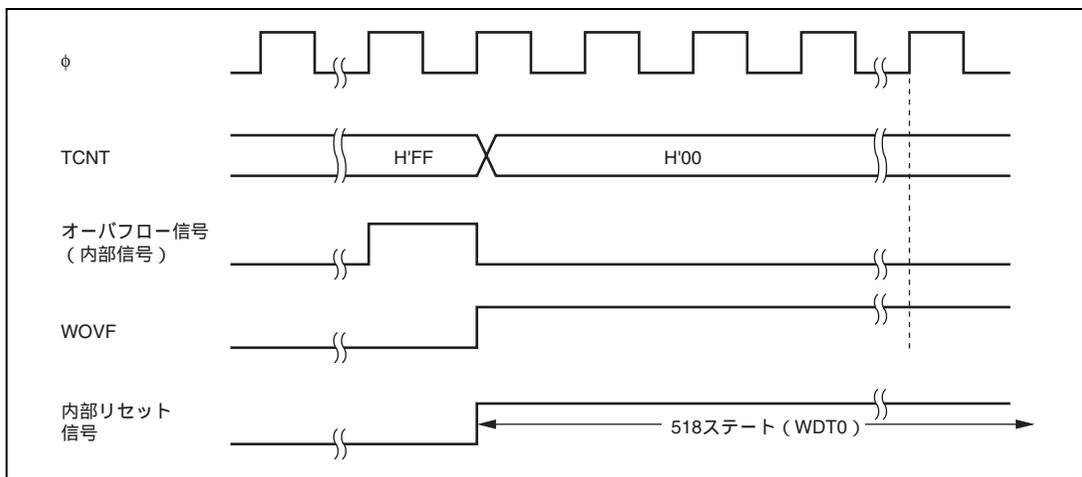


図 12.3 WOVF のセットタイミング

### 12.3.3 インターバルタイマモード時

インターバルタイマモードとして使用するときには、TCSRのWT/ITビット=0に、TMEビット=1に設定してください。

インターバルタイマとして動作しているときは、TCNTがオーバフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

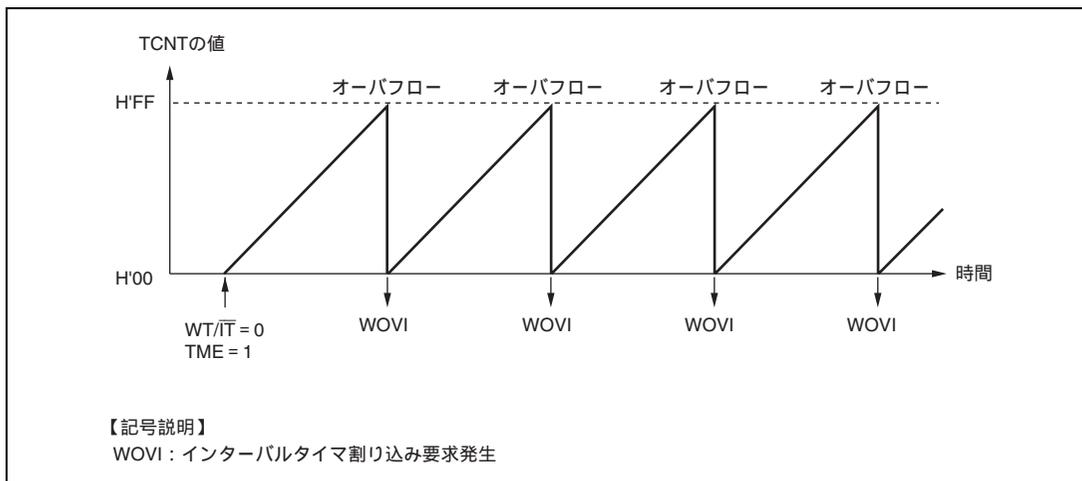


図 12.4 インターバルタイマモード時の動作

### 12.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 12.5 に示します。

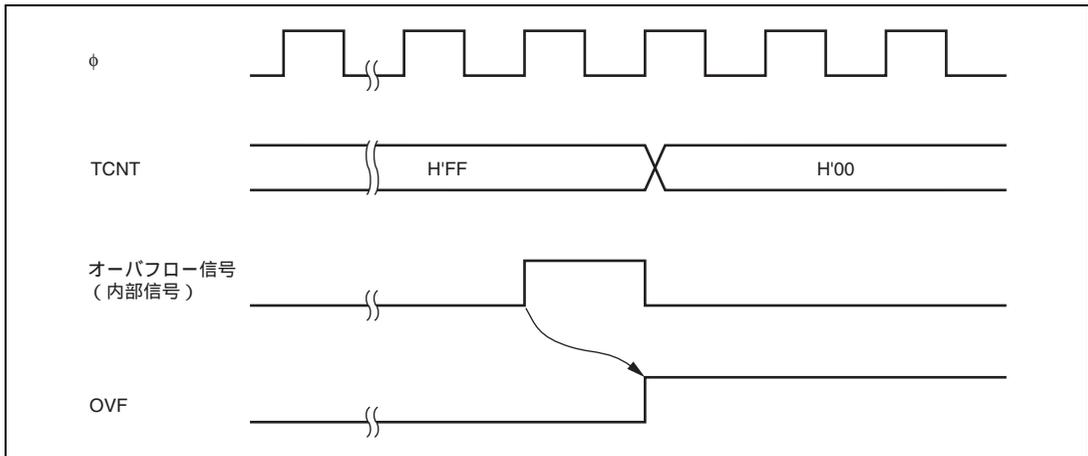


図 12.5 OVF のセットタイミング

## 12.4 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 12.1 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	WOVF	不可

## 12.5 使用上の注意事項

### 12.5.1 レジスタアクセス時の注意事項

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

#### (1) TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。これを図 12.6 に示します。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

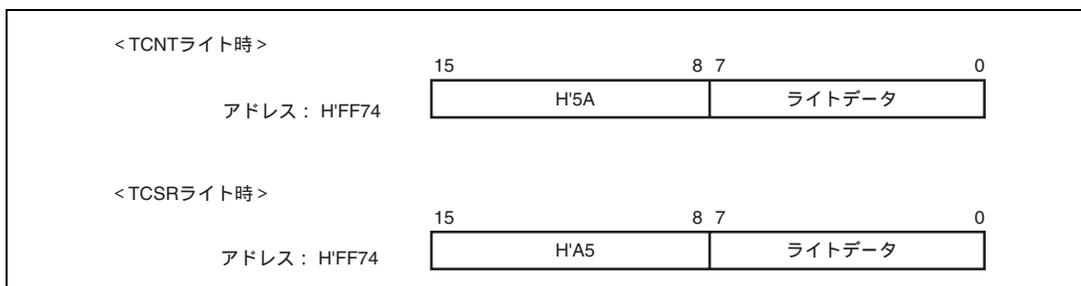


図 12.6 TCNT、TCSR へのライト

#### (2) RSTCSR へのライト

RSTCSR へライトするときは、ワード転送を行ってください。バイト転送命令では、ライトできません。これを図 12.7 に示します。

WOVF ビット 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。

WOVF ビット 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

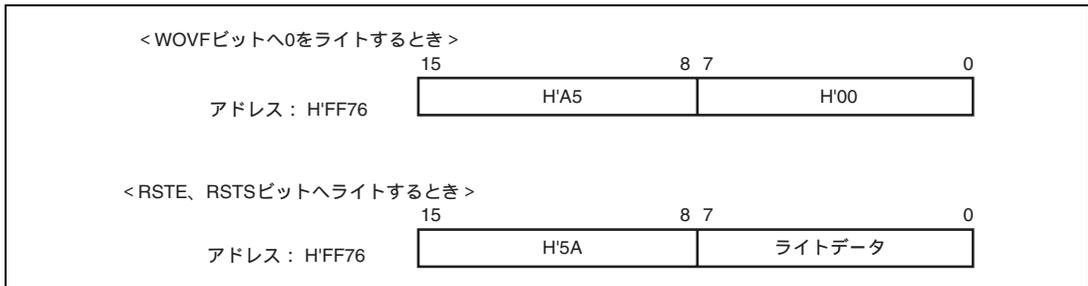


図 12.7 RSTCSR へのライト

## (3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

## 12.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.8 に示します。

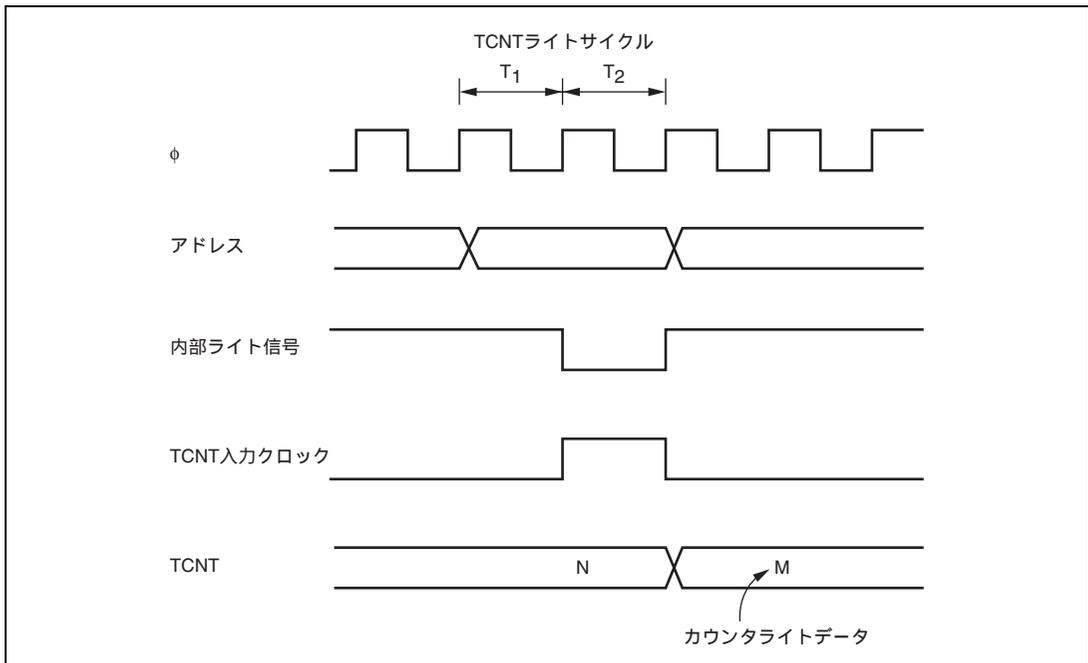


図 12.8 TCNT のライトとカウントアップの競合

### 12.5.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 12.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 12.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

オーバフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから 132 ステート待ったあと、WOVF フラグに 0 をライトしてください。

### 12.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

---

## 13. シリアルコミュニケーションインタフェース (SCI)

---

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

### 13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能  
送受信クロックソースとしてボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックの選択も可能です。
- LSBファースト / MSBファースト選択可能 (調歩同期式 7 ビットデータを除く)
- 割り込み要因 : 4 種類  
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DMAC または DTC を起動することができます。
- モジュールストップモードの設定が可能

#### 調歩同期式モード

- データ長 : 7 ビット / 8 ビット選択可能
- ストップビット長 : 1 ビット / 2 ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時 Rx/D 端子のレベルを直接リードすることでブレークを検出可能

- 平均転送レートジェネレータ (SCL\_0) : (1) H8S/2215の場合  
16MHz動作時に720kbps/460.784kbps/115.196kbps  
から選択可能
- (2) H8S/2215R、H8S/2215T、H8S/2215Cの場合  
16MHz動作時に921.569kbps/720kbps /460.784kbps/115.196kbps  
24MHz動作時に921.053kbps/720kbps /460.526kbps/115.132kbps  
から選択可能
- TPUからの転送レートジェネレータ (SCL\_0)
- マルチプロセッサ間通信が可能

#### クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー
- SCIセレクト機能 (SCL\_0) :  $\overline{\text{IRQ7}} = 1$  のとき、TxD0 = Hi-Z、SCK0 = High固定入力を選択可能
- クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能

#### スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送受信エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

### 13.1.1 ブロック図

図 13.1 に H8S/2215 の SCI\_0 のブロック図、図 13.2 に H8S/2215R、H8S/2215T、H8S/2215C の SCI\_0 のブロック図、図 13.3 に SCI\_1、SCI\_2 のブロック図を示します。

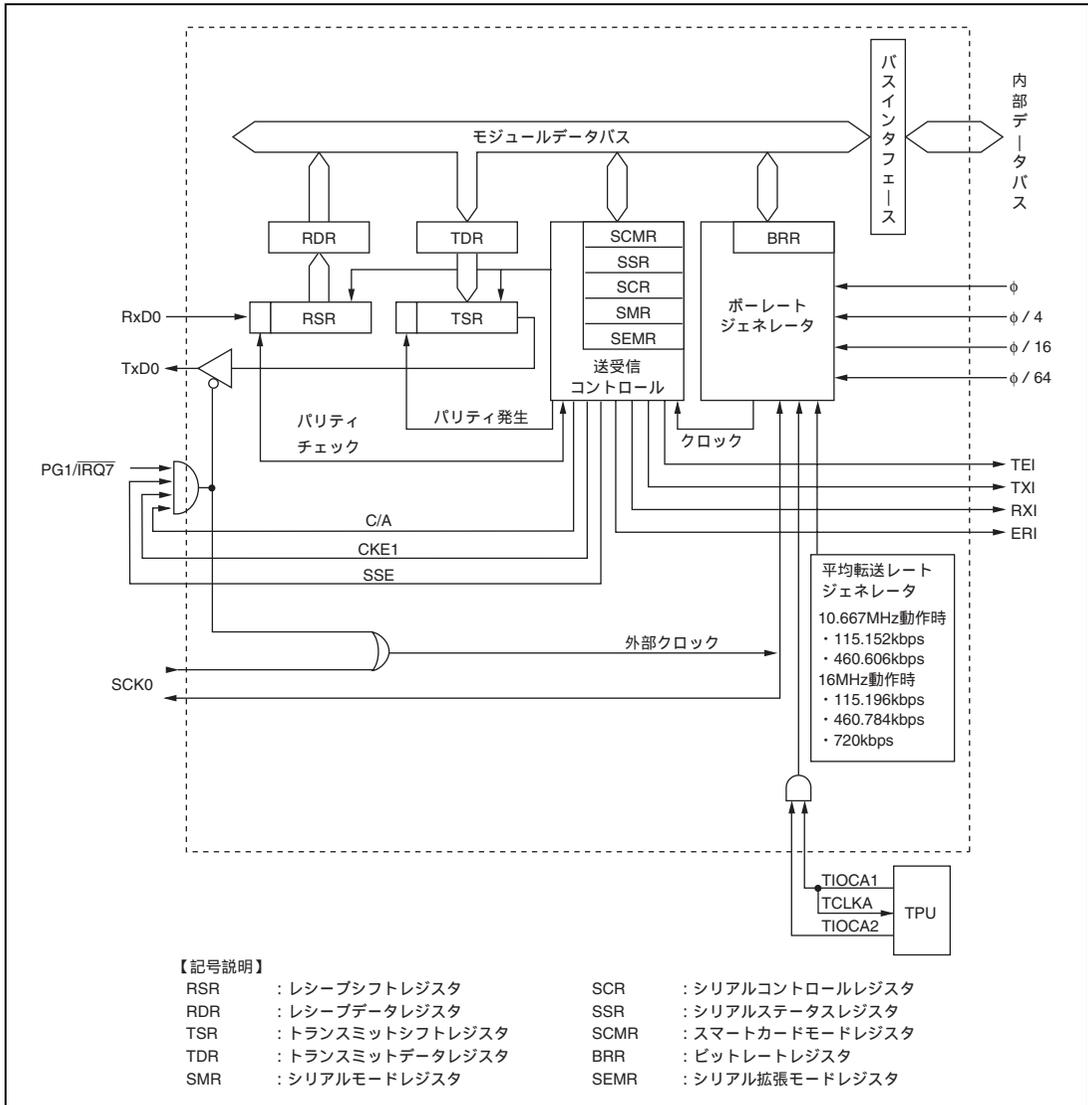


図 13.1 SCI\_0のブロック図 (H8S/2215)

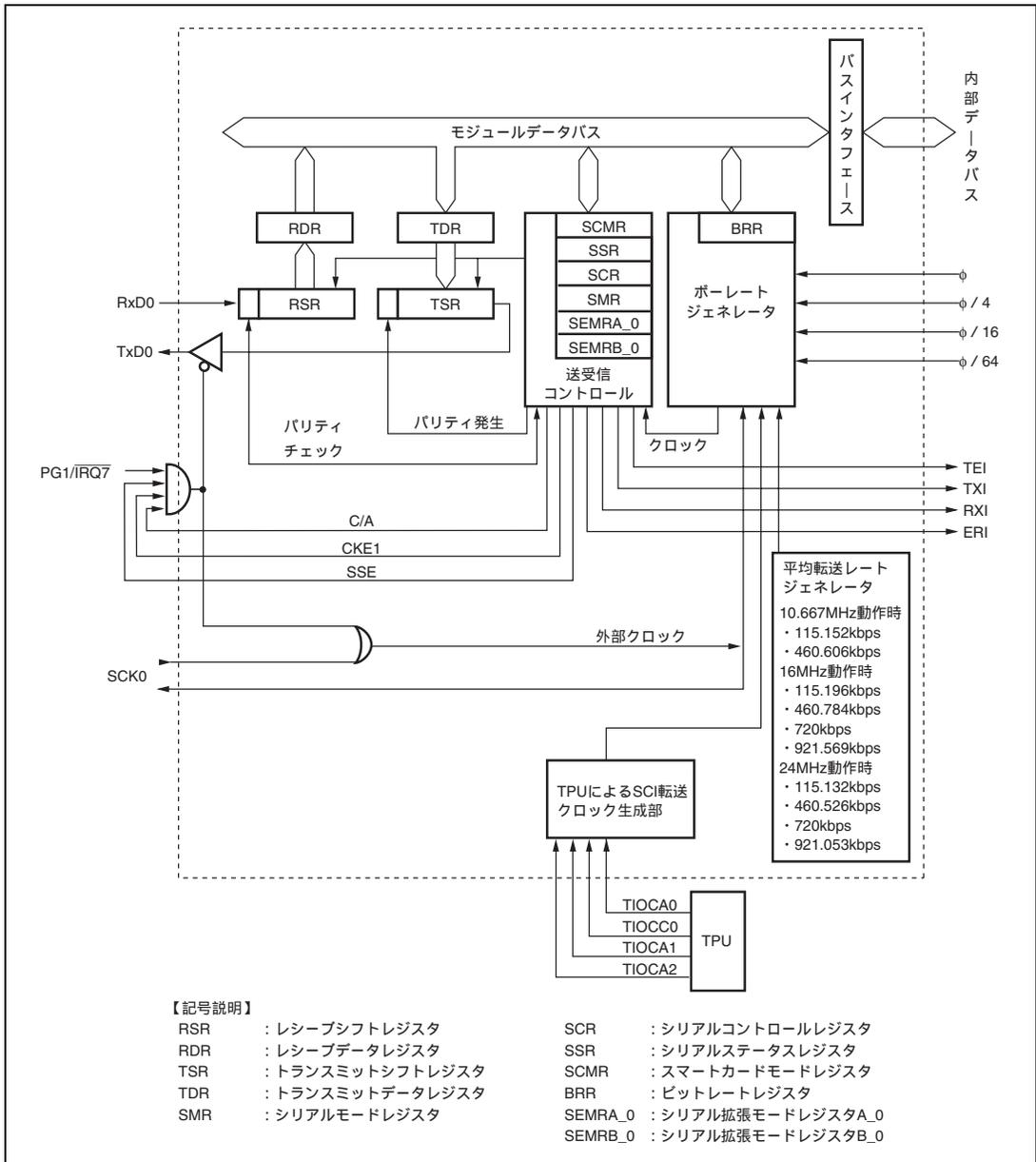


図 13.2 SCI\_0 のブロック図 (H8S/2215R、H8S/2215T、H8S/2215C)

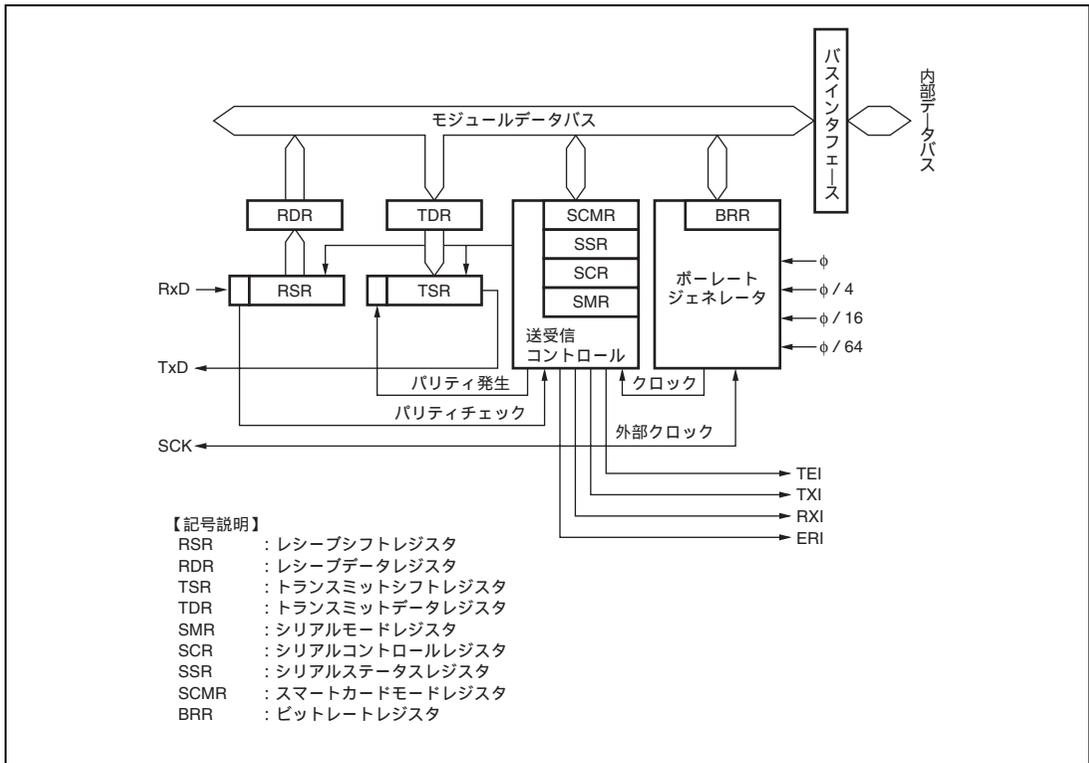


図 13.3 SCI\_1、SCI\_2 のブロック図

### 13.2 入出力端子

SCI には、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル 0 のクロック入出力端子
	RxD0	入力	チャンネル 0 の受信データ入力端子
	TxD0	出力	チャンネル 0 の送信データ出力端子
1	SCK1	入出力	チャンネル 1 のクロック入出力端子
	RxD1	入力	チャンネル 1 の受信データ入力端子
	TxD1	出力	チャンネル 1 の送信データ出力端子
2	SCK2	入出力	チャンネル 2 のクロック入出力端子
	RxD2	入力	チャンネル 2 の受信データ入力端子
	TxD2	出力	チャンネル 2 の送信データ出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

### 13.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- シリアル拡張モードレジスタ (SEMR) [ H8S/2215のチャンネル0のみ ]
- シリアル拡張モードレジスタA\_0 (SEMRA\_0) [ H8S/2215R、H8S/2215T、H8S/2215Cのチャンネル0のみ ]
- シリアル拡張モードレジスタB\_0 (SEMRB\_0) [ H8S/2215R、H8S/2215T、H8S/2215Cのチャンネル0のみ ]
- ビットレートレジスタ (BRR)

#### 13.3.1 レシーブシフトレジスタ (RSR)

RSRはRxD端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1フレーム分のデータを受信すると、データは自動的にRDRへ転送されます。CPUから直接アクセスすることはできません。

#### 13.3.2 レシーブデータレジスタ (RDR)

RDRは受信データを格納するための8ビットのレジスタです。1フレーム分のデータを受信するとRSRから受信データがこのレジスタへ転送され、RSRは次のデータを受信可能となります。RSRとRDRはダブルバッファ構造になっているため連続受信動作が可能です。RDRのリードはSSRのRDRFが1にセットされていることを確認して1回だけ行ってください。RDRはCPUからライトできません。RDRの初期値は、H'00です。

#### 13.3.3 トランスミットデータレジスタ (TDR)

TDRは送信データを格納するための8ビットのレジスタです。TSRの空きを検出するとTDRにライトされた送信データはTSRに転送されて送信を開始します。TDRとTSRはダブルバッファ構造になっているため連続送信動作が可能です。1フレーム分のデータを送信したときTDRに次の送信データがライトされていればTSRへ転送して送信を続けます。TDRはCPUから常にリード/ライト可能ですが、シリアル送信を確実にするためTDRへの送信データのライトは必ずSSRのTDREが1にセットされていることを確認して1回だけ行ってください。TDRの初期値は、H'FFです。

### 13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

### 13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/A	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードでは CHR の設定にかかわらずデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能が有効になります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 詳細は、「13.5 マルチプロセッサ通信機能」を参照してください。

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: $\phi$ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「13.3.12 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.12 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.9 クロック出力制御」を参照してください。 0: 通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ 1: GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.4 ブロック転送モード」を参照してください。 0: 通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI 割り込みが TEND フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後) 1: ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI 割り込みが TDRE フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	パリティネーブル このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (PE = 1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S = 32) 01 : 64 クロック (S = 64) 10 : 372 クロック (S = 372) 11 : 256 クロック (S = 256) 詳細は、「13.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「13.3.12 ビットレートレジスタ (BRR)」中のSの値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : $\phi$ クロック (n = 0) 01 : $\phi/4$ クロック (n = 1) 10 : $\phi/16$ クロック (n = 2) 11 : $\phi/64$ クロック (n = 3) このビットの設定値とボーレートの関係については、「13.3.12 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「13.3.12 ビットレートレジスタ (BRR)」中のnの値を表します。

### 13.3.6 シリアルコントロールレジスタ (SCR)

SCR は送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求を許可します。 RXI および ERI 割り込み要求の解除は、RDRF、FER、PER、または ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、FER、PER、または ORER の各フラグは影響を受けず、状態を保持します。

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読み飛ばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 にセットすると TEI 割り込み要求を許可します。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00: 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01: 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1x: 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください)</p> <p>クロック同期式の場合</p> <p>0x: 内部クロック (SCK 端子はクロック出力端子となります)</p> <p>1x: 外部クロック (SCK 端子はクロック入力端子となります)</p>

【記号説明】 x : Don't care

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求を許可します。 RXI および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) スマートカードインタフェースではこのビットには 0 をライトして使用してください。 MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。 TEIの解除は、SSRのTDREフラグから1をリードしたあと、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル 1、0 SCK端子からのクロック出力を制御します。GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.9 クロック出力制御」を参照してください。 SMRのGM=0の場合 00：出力ディスエーブル（SCK端子は入出力ポートとして使用可） 01：クロック出力 1x：リザーブ SMRのGM=1の場合 00：Low出力固定 01：クロック出力 10：High出力固定 11：クロック出力
0	CKE0	0	R/W	

【記号説明】 x : Don't care

### 13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	<p>トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCR の TE が 0 のとき</li> <li>• TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TDRE = 1 の状態をリードしたあと、0 をライトしたとき<sup>*3</sup></li> <li>• TXI 割り込み要求により DMAC または DTC<sup>*2</sup> で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W)* <sup>1</sup>	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• RDRF = 1 の状態をリードしたあと、0 をライトしたとき<sup>*3</sup></li> <li>• RXI 割り込みにより DMAC または DTC<sup>*2</sup> で RDR から受信データを転送したとき</li> </ul> <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* <sup>1</sup>	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• RDRF = 1 の状態で次のデータを受信したとき</li> </ul> <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ORER = 1 の状態をリードしたあと、0 をライトしたとき<sup>*3</sup></li> </ul> <p>SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。</p>

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)* <sup>1</sup>	<p>フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードしたあと、0をライトしたとき*<sup>3</sup> SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</li> </ul>
3	PER	0	R/(W)* <sup>1</sup>	<p>パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>PER = 1の状態をリードしたあと、0をライトしたとき*<sup>3</sup> SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</li> </ul>
2	TEND	1	R	<p>トランスミットエンド 送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>SCRのTEが0のとき</li> <li>送信キャラクタの最後尾ビットの送信時、TDREが1のとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>TDRE = 1の状態をリードしたあと、TDREに0をライトしたとき</li> <li>TXI割り込み要求によりDMACまたはDTC*<sup>2</sup>でTDRへ送信データを転送したとき</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREをクリアしても、以前の状態を保持します。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 DTCによりクリアされる条件は、DISEL = 0、かつ転送カウンタ 0のときです。

\*3 H8S/2215R、H8S/2215T、H8S/2215C では、CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。

• スマートカードインタフェースモード (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• SCR の TE が 0 のとき</li> <li>• TDR から TSR にデータが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき*<sup>3</sup></li> <li>• TXI 割り込み要求により DMAC または DTC*<sup>2</sup> で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W)* <sup>1</sup>	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき*<sup>3</sup></li> <li>• RXI 割り込みにより DMAC または DTC*<sup>2</sup> で RDR からデータを転送したとき</li> </ul> <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* <sup>1</sup>	<p>オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• RDRF = 1 の状態で次のデータを受信したとき</li> </ul> <p>RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき*<sup>3</sup></li> </ul> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W)* <sup>1</sup>	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>エラーシグナル Low をサンプリングしたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードしたあと、0をライトしたとき*<sup>3</sup></li> </ul> <p>SCR の TE をクリアしても ERS は影響を受けず状態を保持します。</p>
3	PER	0	R/(W)* <sup>1</sup>	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信中にパリティエラーを検出したとき</li> </ul> <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードしたあと、0をライトしたとき*<sup>3</sup></li> </ul> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>SCR の TE = 0 かつ ERS = 0 のとき</li> <li>1バイトのデータを送信して一定期間後、ERS = 0 かつ TDRE = 1 のとき</li> </ul> <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM = 0、BLK = 0 のとき、送信開始から 12.5etu 後  GM = 0、BLK = 1 のとき、送信開始から 11.5etu 後  GM = 1、BLK = 0 のとき、送信開始から 11.0etu 後  GM = 1、BLK = 1 のとき、送信開始から 11.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC または DTC*<sup>2</sup>で TDR へ送信データを転送したとき</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

- \*2 DTC によりクリアされる条件は、DISEL = 0、かつ転送カウンタ 0 のときです。
- \*3 H8S/2215R、H8S/2215T、H8S/2215C では、CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。

### 13.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
3	DIR	0	R/W	データトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。
2	INV	0	R/W	データインバート 送受信データのロジックレベルを反転します。INV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェース スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

### 13.3.9 シリアル拡張モードレジスタ (SEMR) [H8S/2215 のチャンネル 0 のみ]

SEMR は、クロック同期式モード時の SCI\_0 セレクト機能の選択、調歩同期式モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。平均転送レートが選択されたときの基本クロック例を図 13.4 に、TPU クロック入力を選択したときの設定例を図 13.5 に示します。

ビット	ビット名	初期値	R/W	説明
7	SSE	0	R/W	SCI_0 セレクトイネーブル クロック同期式モードで外部クロック入力時における SCI_0 セレクト機能の選択ができます。 SSE の設定は、クロック同期式モード (SMR レジスタの C/Ā ビット = 1) で外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のとき有効です。 0 : SCI_0 セレクト機能が無効 1 : SCI_0 セレクト機能が有効 SCI_0 セレクト機能が有効のときに PG1/ĪRQ7 端子に 1 が入力されると、TxD0 出力が Hi-Z 状態になり、SCK0 クロック入力が High 固定入力になります。
6~4		不定		リザーブビット ライトするときは 0 をライトしてください。
3	ABCS	0	R/W	調歩同期基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は、調歩同期式モード (SMR レジスタの C/Ā ビット = 0) のとき有効です。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作

ビット	ビット名	初期値	R/W	説明
2	ACS2	0	R/W	調歩同期クロックソースセレクト
1	ACS1	0	R/W	調歩同期モードにおけるクロックソースを選択します。
0	ACS0	0	R/W	<p>平均転送レートを選択したときは、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHz と 16MHz の動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS2 ~ ACS0 の設定は、調歩同期モード (SMR レジスタの C/A ビット = 0) で外部クロック (SCR レジスタの CKE1 ビット = 1) のとき有効です。</p> <p>図 13.4 と図 13.5 に設定例を示します。</p> <p>000 : 外部クロック入力</p> <p>001 : <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 115.152kbps を選択* (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>010 : <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 460.606kbps を選択* (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>011 : リザーブ</p> <p>100 : TPU クロック入力 (TIOCA1 と TIOCA2 の論理積) TPU_1 と TPU_2 のコンペアマッチ、PWM 出力などの TIOCA1、TIOCA2 出力を基本クロックにできます。ただし、TIOCA1 端子と TIOCA2 端子が出力端子になるため、<math>\overline{\text{IRQ0}}</math> と <math>\overline{\text{IRQ1}}</math> 入力が使えなくなりますので注意してください。</p> <p>また、TIOCA1 は High 幅 Low 幅になるように設定してください。</p> <p>101 : <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>110 : <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>111 : <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p>

【注】 \* 本 LSI では、仕様が  $\phi = 13\text{MHz}$  であるため使用できません。

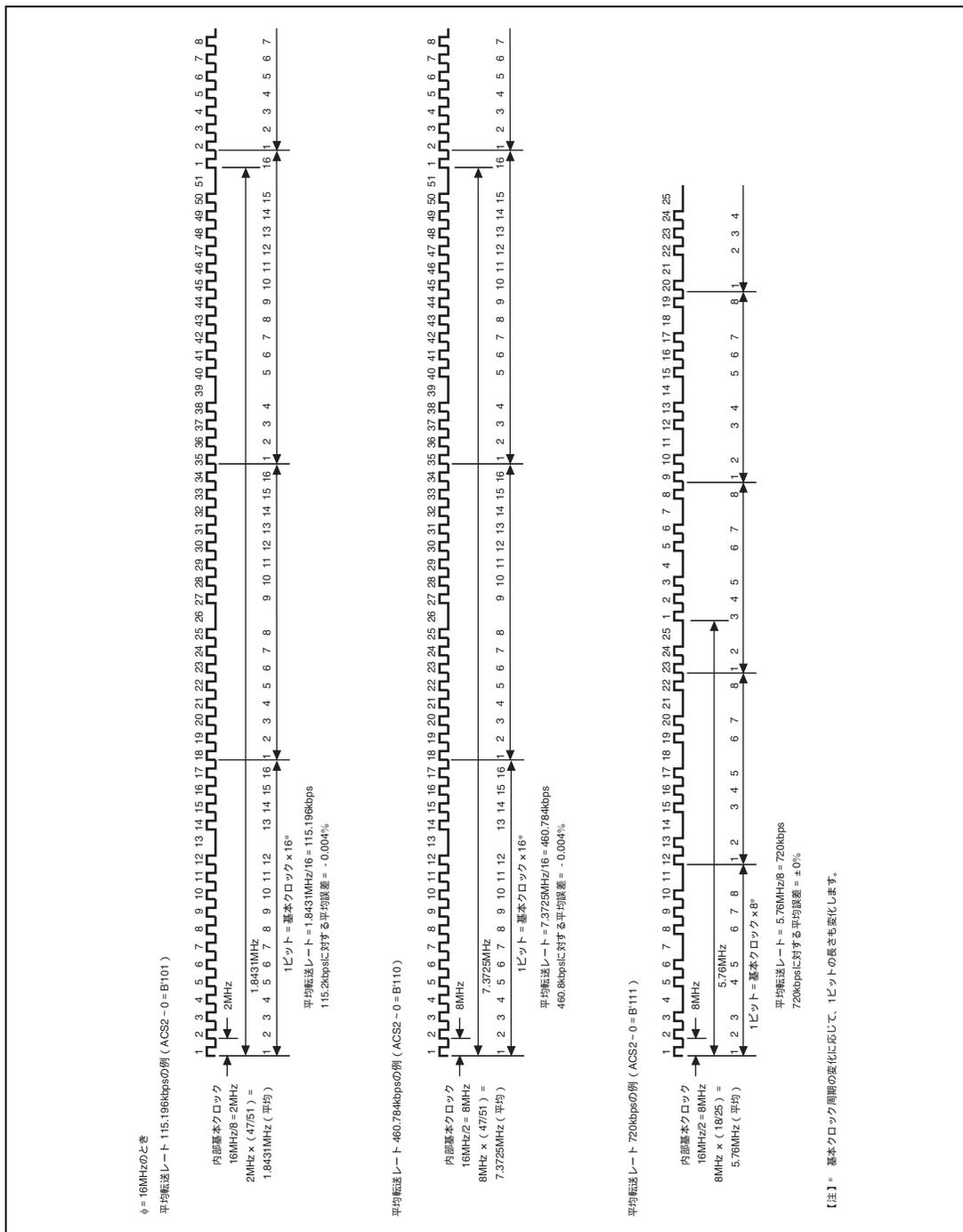


図 13.4 平均転送レートが選択されたときの基本クロック例 (1)

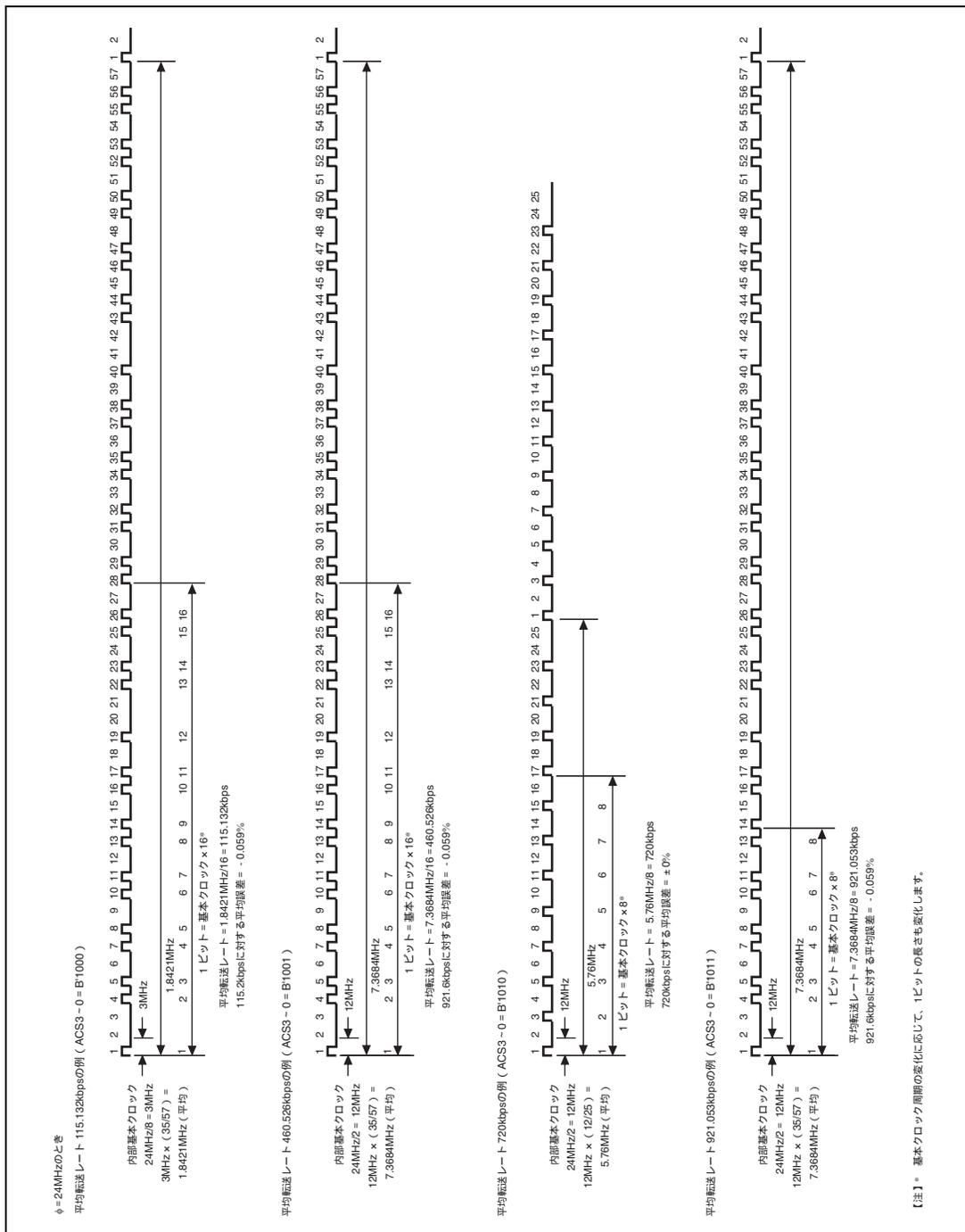


図 13.4 平均転送レートが選択されたときの基本クロック例 (2)

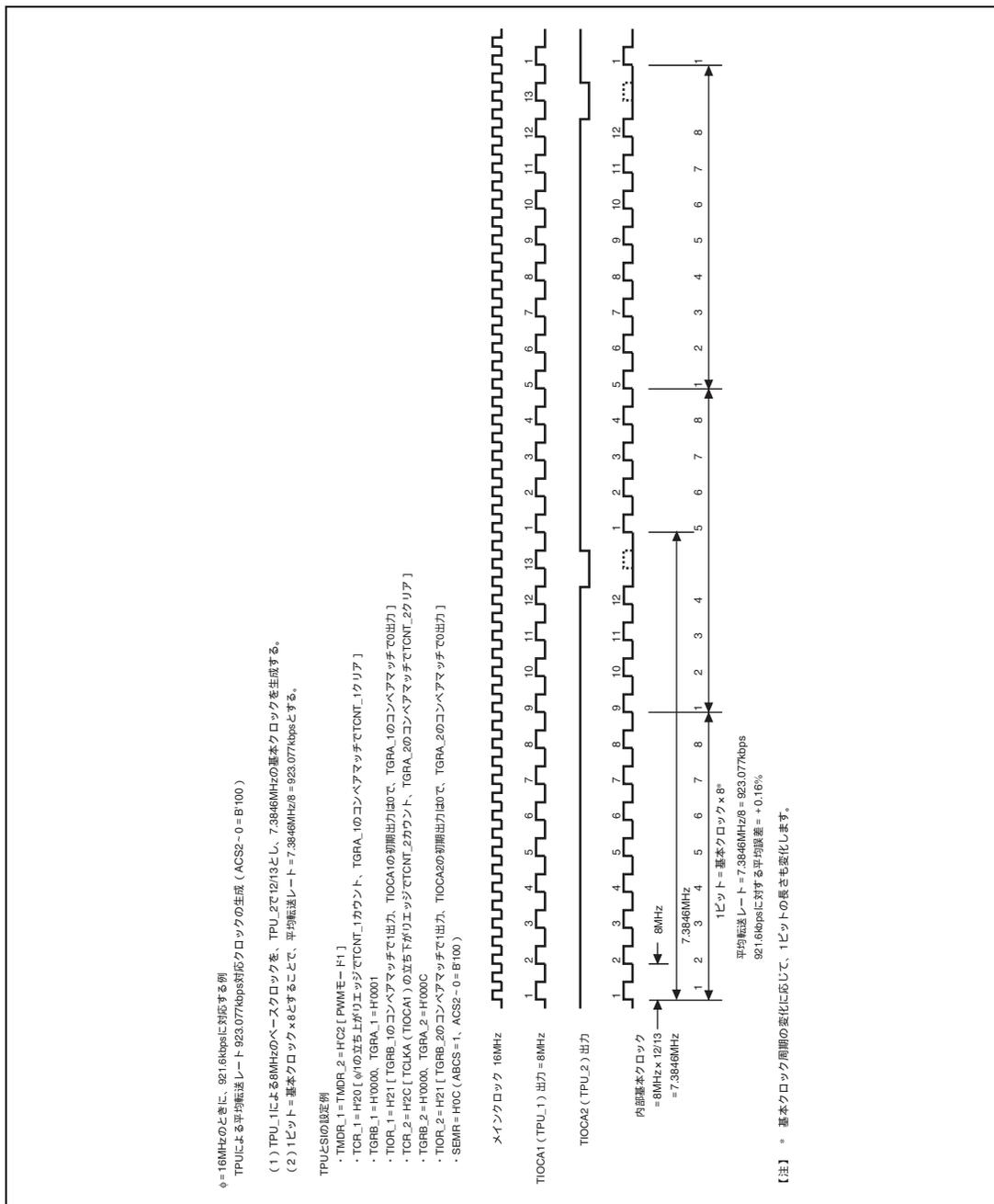


図 13.5 TPU クロック入力時の平均転送レート設定例 (1)

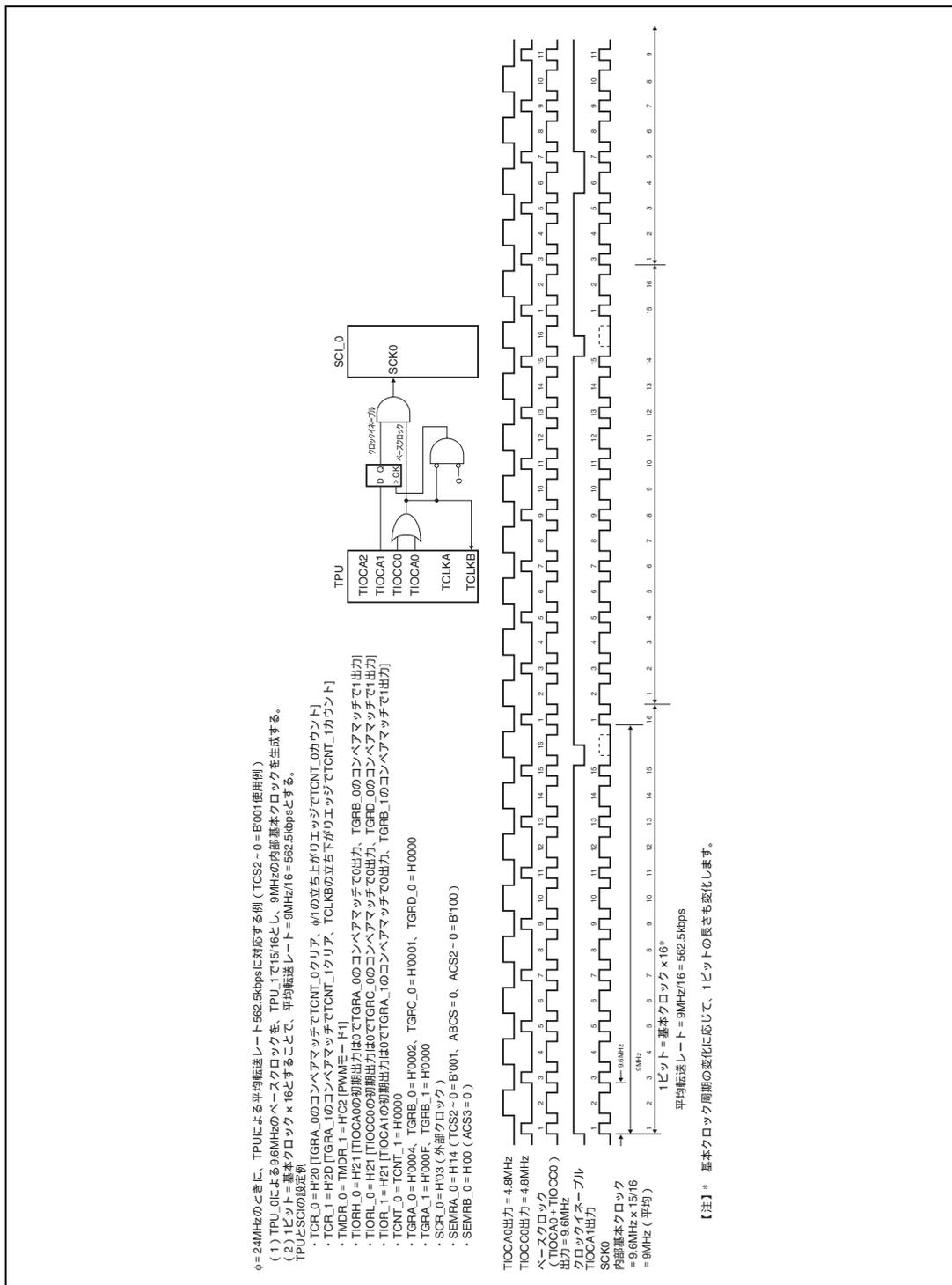


図 13.5 TPU クロック入力時の平均転送レート設定例 (2)



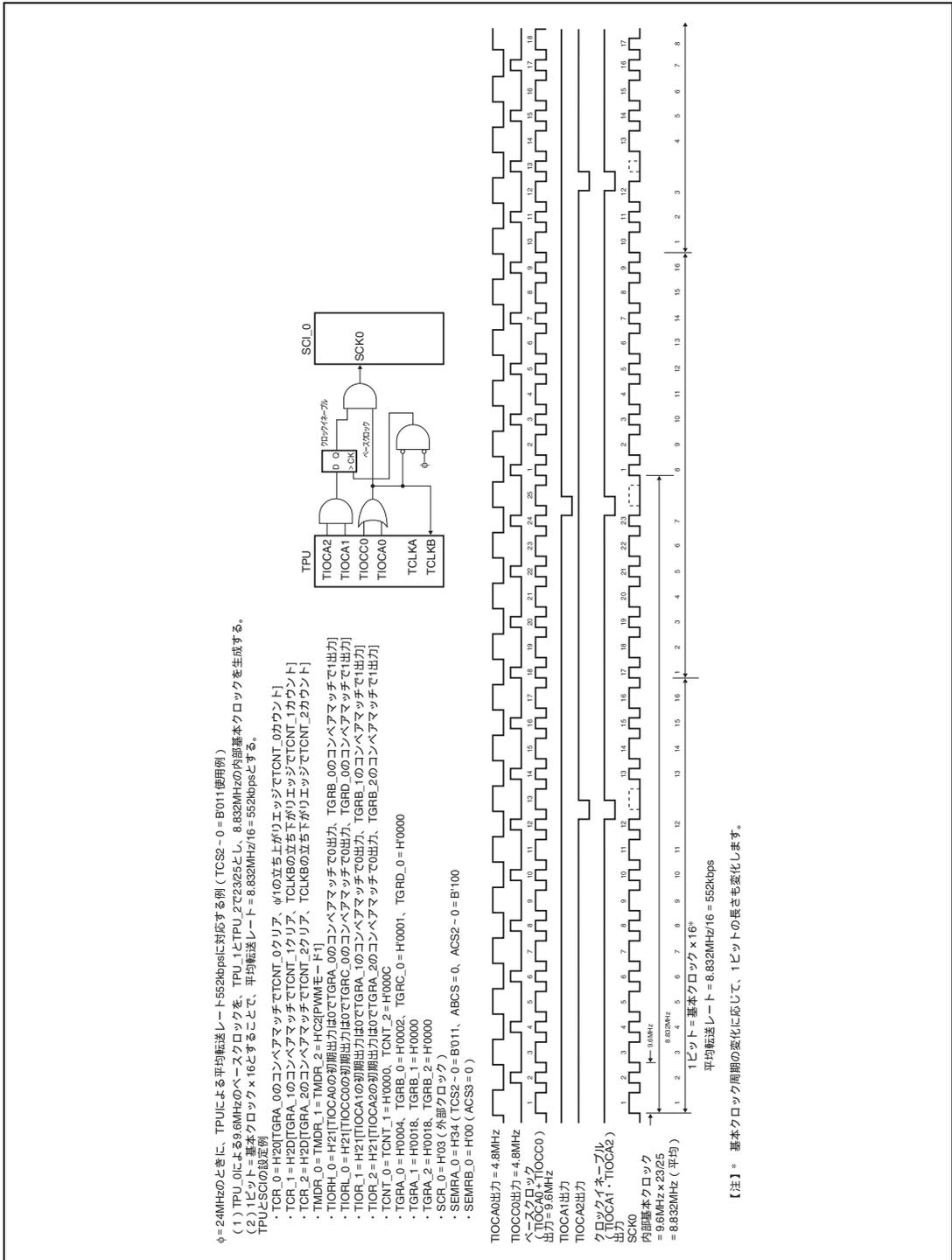


図 13.5 TPU クロック入力時の平均転送レート設定例 (4)

### 13.3.10 シリアル拡張モードレジスタ A\_0 (SEMRA\_0) [H8S/2215R、H8S/2215T、H8S/2215C のチャンネル 0 のみ]

SEMRA\_0 は、クロック同期モード時の SCI\_0 セレクト機能の選択、調歩同期モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。平均転送レートが選択されたときの基本クロック例を図 13.4 に、TPU クロック入力を選択したときの設定例を図 13.5 に示します。

ビット	ビット名	初期値	R/W	説明																																				
7	SSE	0	R/W	<p>SCI_0 セレクトイネーブル</p> <p>クロック同期モードで外部クロック入力時における SCI_0 セレクト機能の選択ができます。</p> <p>SSE の設定は、クロック同期モード (SMR レジスタの C/A ビット = 1) で外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のとき有効です。</p> <p>0: SCI_0 セレクト機能が無効</p> <p>1: SCI_0 セレクト機能が有効</p> <p>SCI_0 セレクト機能が有効のときに PG1/IRQ7 端子に 1 が入力されると、TxD0 出力が Hi-Z 状態になり、SCK0 クロック入力が High 固定入力になります。</p>																																				
6	TCS2	0	R/W	<p>TPU クロックセレクト</p> <p>調歩同期モードでクロックソースに TPU クロック入力 (ACS3 ~ 0 = B'0100) を選択したとき、TPU クロックの組み合わせによりシリアル転送クロックを生成します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th></th> <th>ベースクロック</th> <th>クロックイネーブル</th> <th>TCLKA</th> <th>TCLKB</th> <th>TCLKC</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>TIOCA1</td> <td>TIOCA2</td> <td>左記のベースクロック</td> <td>端子入力</td> <td>端子入力</td> </tr> <tr> <td>001</td> <td>TIOCA0   TIOCC0</td> <td>TIOCA1</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> <tr> <td>010</td> <td>TIOCA0</td> <td>TIOCA1&amp;TIOCA2</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> <tr> <td>011</td> <td>TIOCA0   TIOCC0</td> <td>TIOCA1&amp;TIOCA2</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> <tr> <td>1xx</td> <td colspan="5">リザーブ (設定禁止)</td> </tr> </tbody> </table> <p>【注】本機能は E6000 エミュレータではサポートしていません。図 13.5 に設定例を示します。上記表中の演算記号は &amp; は AND (論理積)、  は OR (論理和) をそれぞれ示します。</p>		ベースクロック	クロックイネーブル	TCLKA	TCLKB	TCLKC	000	TIOCA1	TIOCA2	左記のベースクロック	端子入力	端子入力	001	TIOCA0   TIOCC0	TIOCA1	端子入力	左記のベースクロック	端子入力	010	TIOCA0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力	011	TIOCA0   TIOCC0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力	1xx	リザーブ (設定禁止)				
	ベースクロック	クロックイネーブル	TCLKA		TCLKB	TCLKC																																		
000	TIOCA1	TIOCA2	左記のベースクロック		端子入力	端子入力																																		
001	TIOCA0   TIOCC0	TIOCA1	端子入力		左記のベースクロック	端子入力																																		
010	TIOCA0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力																																			
011	TIOCA0   TIOCC0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力																																			
1xx	リザーブ (設定禁止)																																							
5	TCS1	0	R/W																																					
4	TCS0	0	R/W																																					
3	ABCS	0	R/W	<p>調歩同期基本クロックセレクト</p> <p>調歩同期モードにおける 1 ビット期間の基本クロックを選択します。</p> <p>ABCS の設定は、調歩同期モード (SMR レジスタの C/A ビット = 0) のとき有効です。</p> <p>0: 転送レートの 16 倍の周波数の基本クロックで動作</p> <p>1: 転送レートの 8 倍の周波数の基本クロックで動作</p>																																				

ビット	ビット名	初期値	R/W	説明
2	ACS2	0	R/W	<p>調歩同期クロックソースセレクト</p> <p>SEMRB_0 (シリアル拡張モードレジスタ B_0) のビット 7 (ACS3) との組み合わせにより、調歩同期モードにおける、クロックソースを選択します。平均転送レートを選択したときは、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHz、16MHz、および 24MHz の動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS3~0 は調歩同期モード (SMR レジスタの C/<math>\bar{A}</math> ビット = 0) で、外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のときに設定してください。図 13.4、図 13.5 に設定例を示します。</p> <p>ACS 3 2 1 0</p> <p>0 0 0 0: 外部クロック入力</p> <p>0 0 0 1: <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 0 1 0: <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 0 1 1: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 921.569kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 0 0: TPU クロック入力</p> <p>TPU_0 ~ TPU_2 のコンペアマッチ、PWM 出力などの TIOCA0、TIOCC0、TIOCA1、TIOCA2 出力を基本クロックにできます。ただし、TIOCA1 端子と TIOCA2 端子が出力端子になるため、<math>\bar{\text{IRQ}}_0</math> と <math>\bar{\text{IRQ}}_1</math> 入力を使用できなくなりますので注意してください。</p> <p>0 1 0 1: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 0: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 460.784kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 1 1: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 0 0: <math>\phi = 24\text{MHz}</math> 専用の平均転送レート 115.132kbps を選択* (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 0 1: <math>\phi = 24\text{MHz}</math> 専用の平均転送レート 460.526kbps を選択* (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 1 0: <math>\phi = 24\text{MHz}</math> 専用の平均転送レート 720kbps を選択* (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 1 1: <math>\phi = 24\text{MHz}</math> 専用の平均転送レート 921.053kbps を選択* (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 1 X X: リザーブ (設定禁止)</p>

【注】 \* 24MHz 専用の平均転送レート選択機能 (ACS3~0 = B'10XX) は E6000 エミュレータではサポートしていません。

### 13.3.11 シリアル拡張モードレジスタ B\_0 (SEMRB\_0) [H8S/2215R、H8S/2215T、H8S/2215C のチャンネル 0 のみ]

SEMRB\_0 は SEMRA\_0 と組み合わせによるクロックソースの選択、転送レートの自動設定、および TPU による転送クロック生成時におけるポート 1 端子 (P16、P14、P12、P10) の制御ができます。

【注】 SEMRB\_0 は、E6000 エミュレータではサポートしていません。

ビット	ビット名	初期値	R/W	説明
7	ACS3	0	R/W	調歩同期クロックソースセレクト ACS2~ACS0 (SEMRA_0 のビット 2~0) との組み合わせにより、調歩同期式モードにおけるクロックソースを選択します。詳細は「13.3.9 シリアル拡張モードレジスタ (SEMR) [H8S/2215 のチャンネル 0 のみ]」を参照してください。
6~4		不定		リザーブビット ライトするときは 0 をライトしてください。
3	TIOCA2E	1	R/W	TIOCA2 出力イネーブル P16 端子に出力する TIOCA2 の出力を制御します。 TPU の TIOCA2 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P16 端子を他の用途に使用できます。 0: TPU の TIOCA2 出力を禁止 1: TPU の TIOCA2 出力を許可
2	TIOCA1E	1	R/W	TIOCA1 出力イネーブル P14 端子に出力する TIOCA1 の出力を制御します。 TPU の TIOCA1 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P14 端子を他の用途に使用できます。 0: TPU の TIOCA1 出力を禁止 1: TPU の TIOCA1 出力を許可
1	TIOCC0E	1	R/W	TIOCC0 出力イネーブル P12 端子に出力する TIOCC0 の出力を制御します。 TPU の TIOCC0 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P12 端子を他の用途に使用できます。 0: TPU の TIOCC0 出力を禁止 1: TPU の TIOCC0 出力を許可
0	TIOCA0E	1	R/W	TIOCA0 出力イネーブル P10 端子に出力する TIOCA0 の出力を制御します。 TPU の TIOCA0 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P10 端子を他の用途に使用できます。 0: TPU の TIOCA0 出力を禁止 1: TPU の TIOCA0 出力を許可

### 13.3.12 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

通信モード	ABCS ビット	ビットレート	誤差
調歩同期式	0	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	x	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—————
スマートカード インタフェース	x	$B = \frac{\phi \times 10^6}{S \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$

【記号説明】 B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

$\phi$  : 動作周波数 (MHz) [16MHz 時  $\phi = 16$ ]

n と S : 下表のとおり SMR の設定値によって決まります。

x : Don't care

SMR の設定値		クロック ソース	n
CKS1	CKS0		
0	0	$\phi$	0
0	1	$\phi / 4$	1
1	0	$\phi / 16$	2
1	1	$\phi / 64$	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCI<sub>0</sub> のシリアル拡張モードレジスタ (SEMR) の ABCS ビットを 1 にセットしたときのビットレートは表 13.3 の 2 倍になります。

表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート ( bps )	動作周波数 $\phi$ ( MHz )											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート ( bps )	動作周波数 $\phi$ ( MHz )											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

ビットレート ( bps )	動作周波数 $\phi$ ( MHz )											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート ( bps )	動作周波数 $\phi$ ( MHz )											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビットレート (bps)	動作周波数 $\phi$ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bps)	動作周波数 $\phi$ (MHz)											
	18			19.6608			20			24		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	106	- 0.44
150	2	233	0.16	2	255	0.00	3	64	0.16	3	77	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16	2	155	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16	2	77	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	155	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	77	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	155	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	77	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	38	0.16
31250	0	17	0.00	0	19	- 1.17	0	19	0.00	0	23	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	- 2.34

【注】 SEMRA\_0 の ABCS = 0 のときの例です。ABCS = 1 に設定したときは、ビットレートが 2 倍になります。

本 LSI では動作周波数 $\phi$  13MHz で設定してください。

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	最大ビットレート (kbps)		n	N	$\phi$ (MHz)	最大ビットレート (kbps)		n	N
	ABCS=0	ABCS=1				ABCS=0	ABCS=1		
	2	62.5				125.0	0		
2.097152	65.536	131.027	0	0	10	312.5	625.0	0	0
2.4576	76.8	153.6	0	0	12	375.0	750.0	0	0
3	93.75	187.5	0	0	12.288	384.0	768.0	0	0
3.6864	115.2	230.4	0	0	14	437.5	875.0	0	0
4	125.0	250.0	0	0	14.7456	460.8	921.6	0	0
4.9152	153.6	307.2	0	0	16	500.0	1000.0	0	0
5	156.25	312.5	0	0	17.2032	537.6	1075.2	0	0
6	187.5	375.0	0	0	18	562.5	1125.0	0	0
6.144	192.0	384.0	0	0	19.6608	614.4	1228.8	0	0
7.3728	230.4	460.8	0	0	20	625.0	1250.0	0	0
8	250.0	500.0	0	0	24	750.0	1500.0	0	0

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (kbps)		$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (kbps)	
		ABCS=0	ABCS=1			ABCS=0	ABCS=1
		2	0.5000			31.25	62.5
2.097152	0.5243	327.68	65.536	10	2.5000	156.25	312.5
2.4576	0.6144	38.4	76.8	12	3.0000	187.5	375.0
3	0.7500	46.875	93.75	12.288	3.0720	192.0	384.0
3.6864	0.9216	57.6	115.2	14	3.5000	218.75	437.0
4	1.0000	62.5	125.0	14.7456	3.6864	230.4	460.8
4.9152	1.2288	76.8	153.6	16	4.0000	250.0	500.0
5	1.2500	78.125	156.25	17.2032	4.3008	268.8	537.6
6	1.5000	93.75	187.5	18	4.5000	281.25	562.5
6.144	1.5360	96.0	192.0	19.6608	4.9152	307.2	614.4
7.3728	1.8432	115.2	230.4	20	5.0000	312.5	625.0
8	2.0000	125.0	250.0	24	6.0000	375.0	750.0

【注】 本 LSI では動作周波数 $\phi$  13MHz が対応します。

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bps)	動作周波数 $\phi$ (MHz)															
	2		4		6		8		10		16		20		24	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-												
250	2	124	2	249			3	124	-	-	3	249				
500	1	249	2	124			2	249	-	-	3	124	-	-	-	-
1k	1	124	1	249			2	124	-	-	2	249	-	-	-	-
2.5k	0	199	1	99	1	149	1	199	1	249	2	99	2	124	2	149
5k	0	99	0	199	1	74	1	99	1	124	1	199	1	249	2	74
10k	0	49	0	99	0	149	0	199	0	249	1	99	1	124	1	149
25k	0	19	0	39	0	59	0	79	0	99	0	159	0	199	0	239
50k	0	9	0	19	0	29	0	39	0	49	0	79	0	99	0	119
100k	0	4	0	9	0	14	0	19	0	24	0	39	0	49	0	59
250k	0	1	0	3	0	5	0	7	0	9	0	15	0	19	0	23
500k	0	0*	0	1	0	2	0	3	0	4	0	7	0	9	0	11
1M			0	0*			0	1			0	3	0	4	0	5
2M							0	0*			0	1			0	2
2.5M									0	0*			0	1	-	-
4M											0	0*				
5M													0	0*	-	-
6M															0	0*

## 【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

\* : 連続送信 / 連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)	$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
2	0.333	0.333	14	2.333	2.333
4	0.667	0.667	16	2.667	2.667
6	1.000	1.000	18	3.000	3.000
8	1.333	1.333	20	3.333	3.333
10	1.667	1.667	24	4.000	4.000
12	2.000	2.000			

【注】 本 LSI では動作周波数 $\phi$  13MHz が対応します。

表 13.8 ビットレートに対する BRR の設定例  
(スマートカードインタフェースモードで  $n=0$ 、 $S=372$  のとき)

ビットレート (bps)	動作周波数 $\phi$ (MHz)											
	5.00		7.00		7.1424		10.00		10.7136		13.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	0	0.01	1	30.00	1	28.57	1	0.01	1	7.14	2	13.33
9600	0	30.00	0	1.99	0	0.00	1	30.00	1	25.00	1	8.99

ビットレート (bps)	動作周波数 $\phi$ (MHz)									
	14.2848		16.00		18.00		20.00		24.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	2	4.76	2	6.67	3	0.01	3	0.01	4	3.99
9600	1	0.00	1	12.01	2	15.99	2	6.66	2	12.01

表 13.9 各動作周波数における最大ビットレート  
(スマートカードインタフェースモード)

$\phi$ (MHz)	最大ビットレート (bps)				n	N
	S = 32	S = 64	S = 256	S = 372		
5.00	78125	39063	9766	6720	0	0
6.00	93750	46875	11719	8065	0	0
7.00	109375	54688	13672	9409	0	0
7.1424	111600	55800	13950	9600	0	0
10.00	156250	78125	19531	13441	0	0
10.7136	167400	83700	20925	14400	0	0
13.00	203125	101563	25391	17473	0	0
14.2848	223200	111600	27900	19200	0	0
16.00	250000	125000	31250	21505	0	0
18.00	281250	140625	35156	24194	0	0
20.00	312500	156250	39063	26882	0	0
24.00	375000	187500	46875	32258	0	0

【注】 本 LSI では動作周波数 $\phi$  13MHz が対応します。

## 13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.6 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

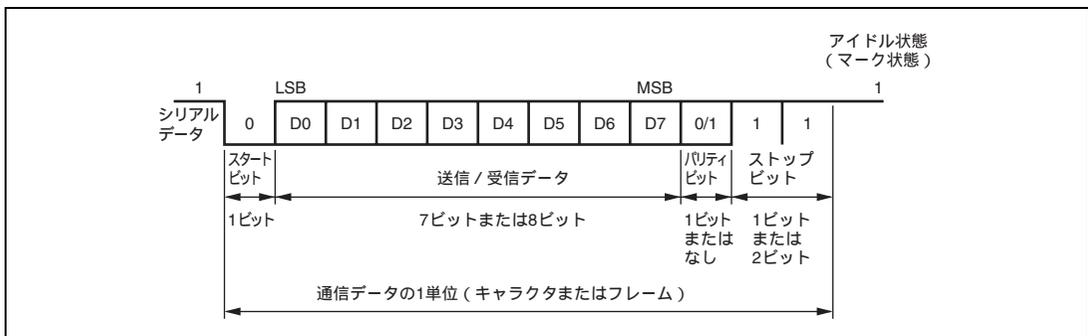


図 13.6 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

### 13.4.1 通信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	-	1	0	S	8ビットデータ								MPB	STOP			
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	-	1	0	S	7ビットデータ							MPB	STOP				
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP			

## 【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスサビット

### 13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.7 に示すように受信データを基本クロックの 8 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (ABCS = 0 のとき N = 16、ABCS = 1 のとき N = 8)

D : クロックのデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5、N (クロックに対するビットレートの比) = 16 とすると、

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

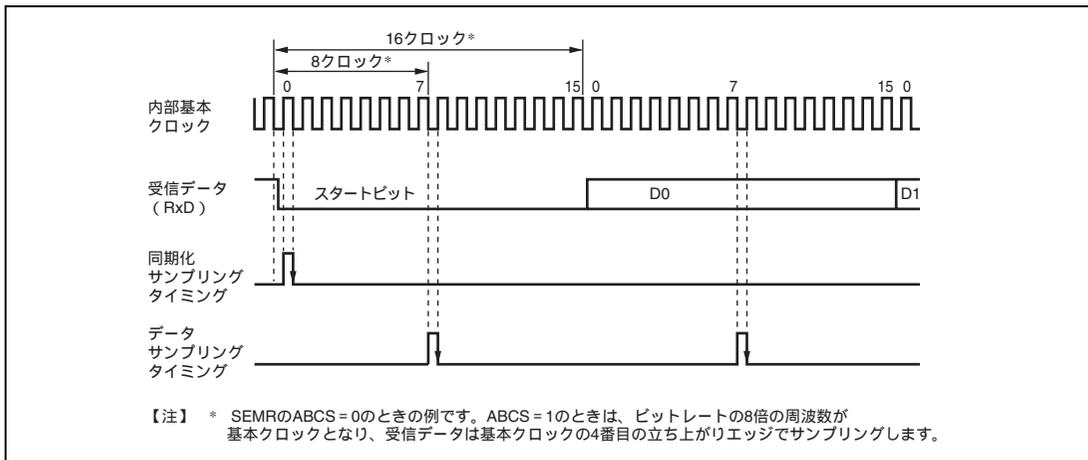


図 13.7 調歩同期式モードの受信データサンプリングタイミング

### 13.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍（ABCS=0のとき）、8倍（ABCS=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SEMRのACS2～ACS0ビットの設定により平均転送レートまたはTPUからの基本クロックを選択することも可能です。

内部クロックで動作させるときはCKE1=0、CKE0=1に設定するとSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.8に示すように送信データの中央でクロックが立ち上がります。

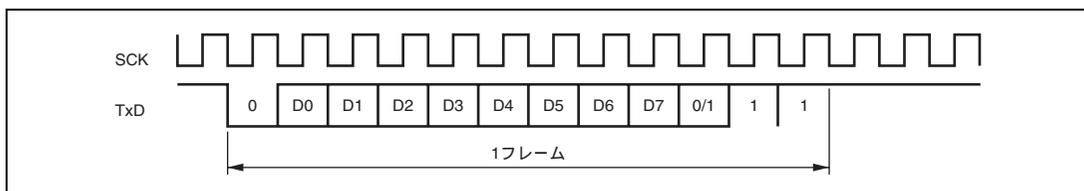


図 13.8 出カクロックと送信データの位相関係 (調歩同期式モード)

### 13.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアしたあと、図 13.9 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

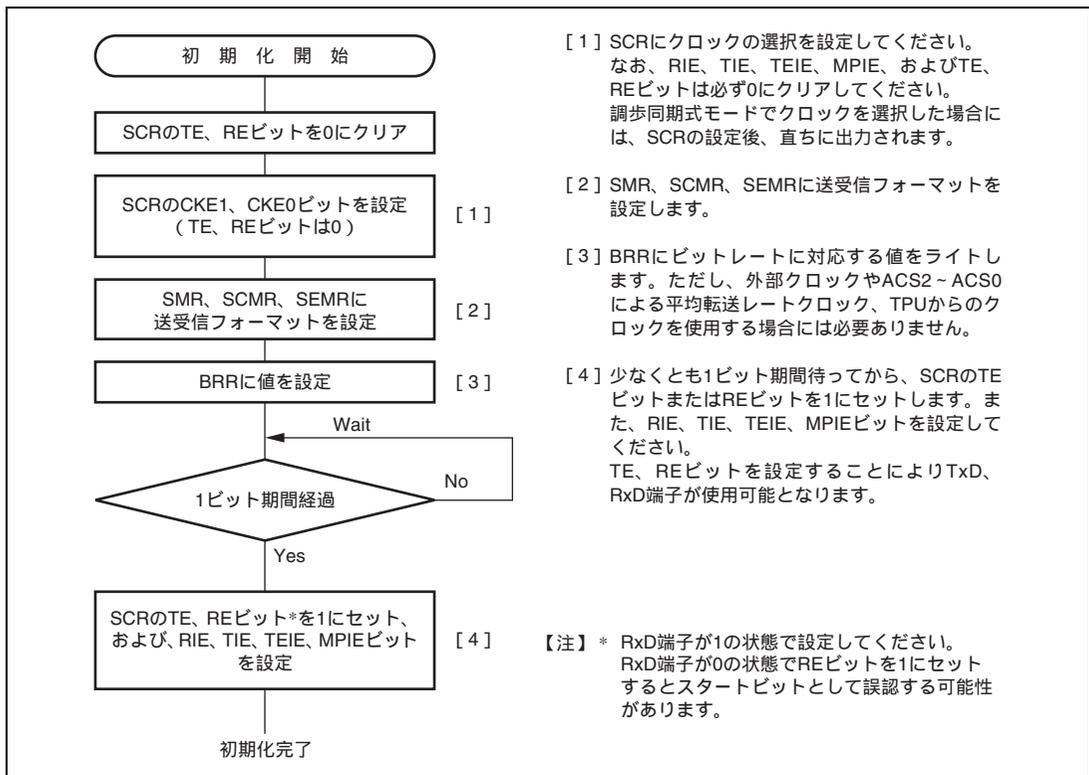


図 13.9 SCI の初期化フローチャートの例

### 13.4.5 シリアルデータ送信 (調歩同期式)

図 13.10 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

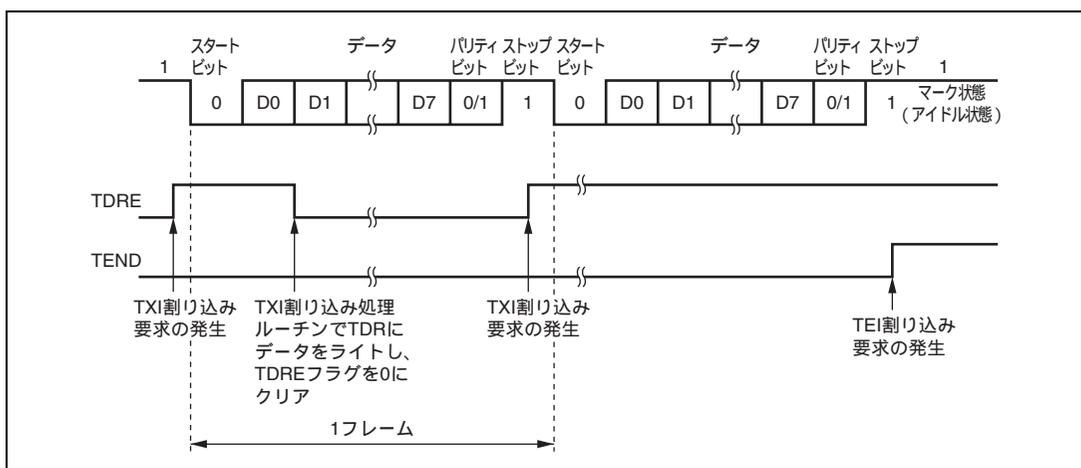


図 13.10 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

図 13.11 にデータ送信のフローチャートの例を示します。

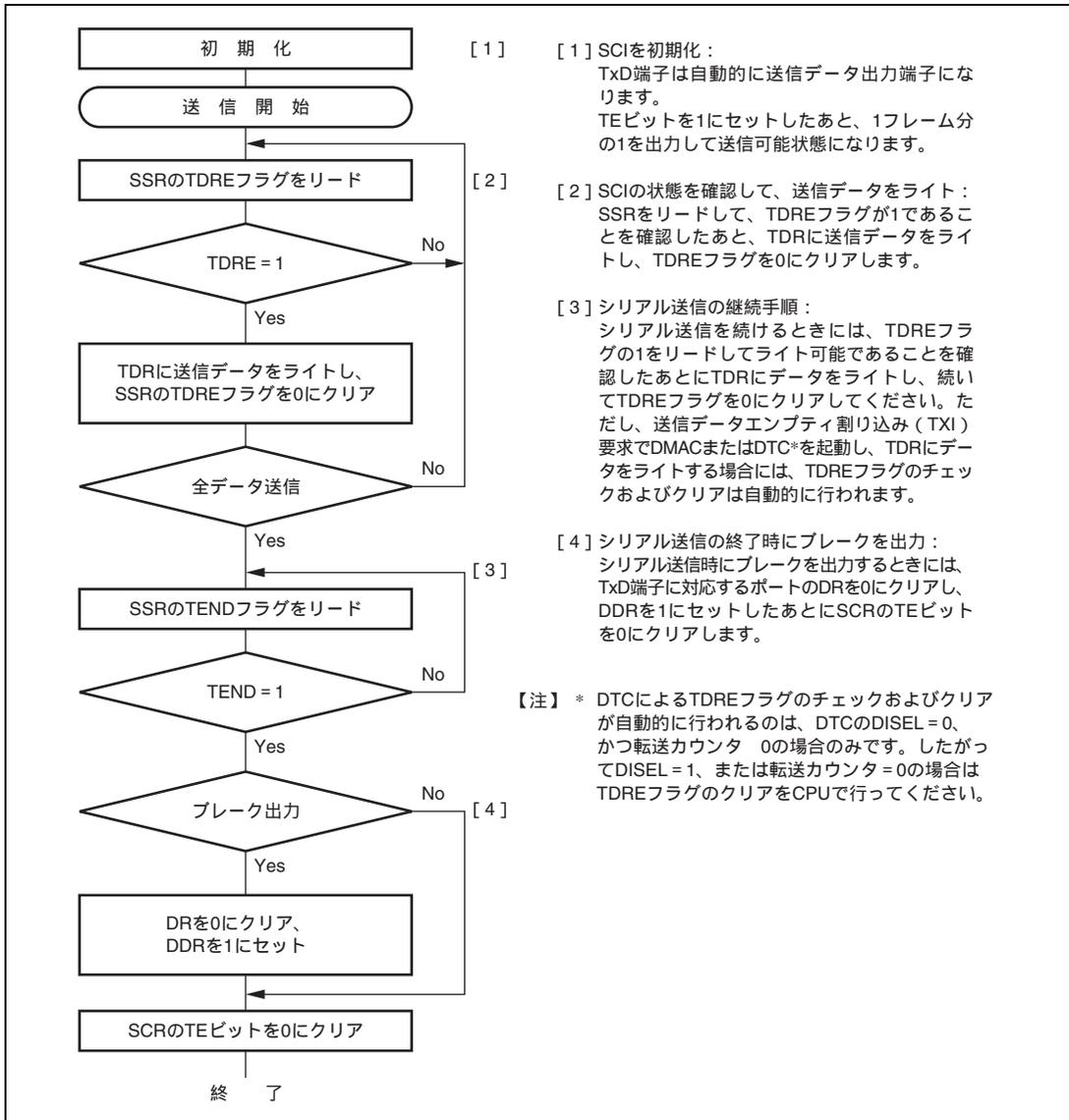


図 13.11 シリアルデータ送信のフローチャートの例

### 13.4.6 シリアルデータ受信 (調歩同期式)

図 13.12 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー(ストップビットが0のとき)を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

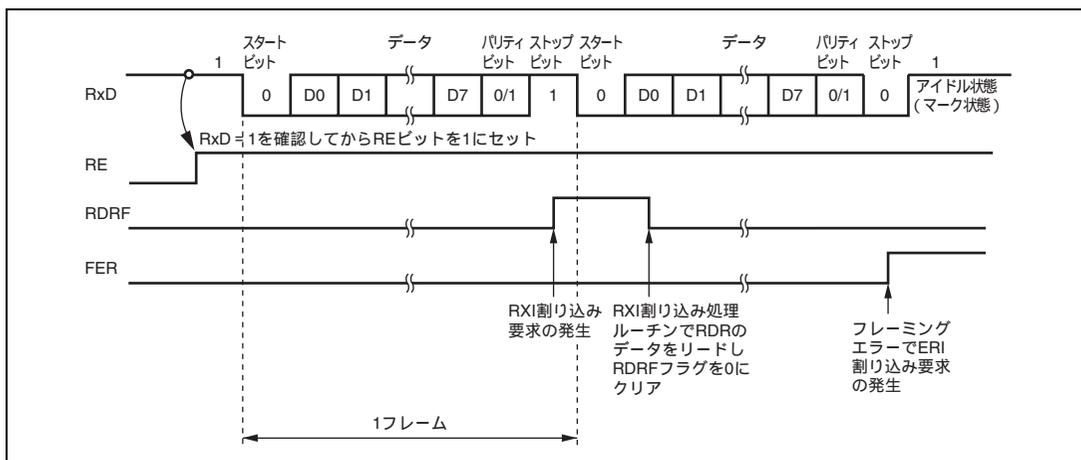


図 13.12 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.13 にデータ受信のためのフローチャートの例を示します。

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 \* RDRF は、データ受信前の状態を保持します。

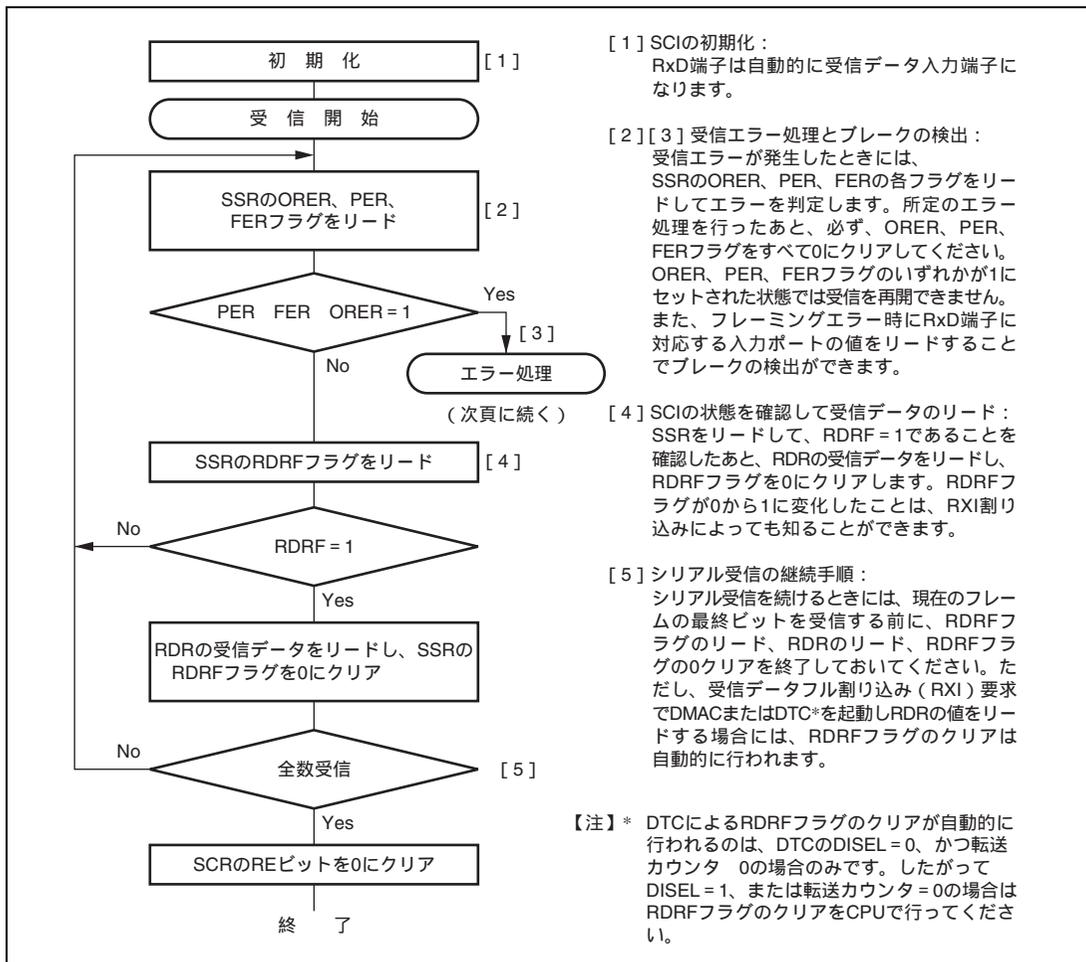


図 13.13 シリアル受信データフローチャートの例 (1)

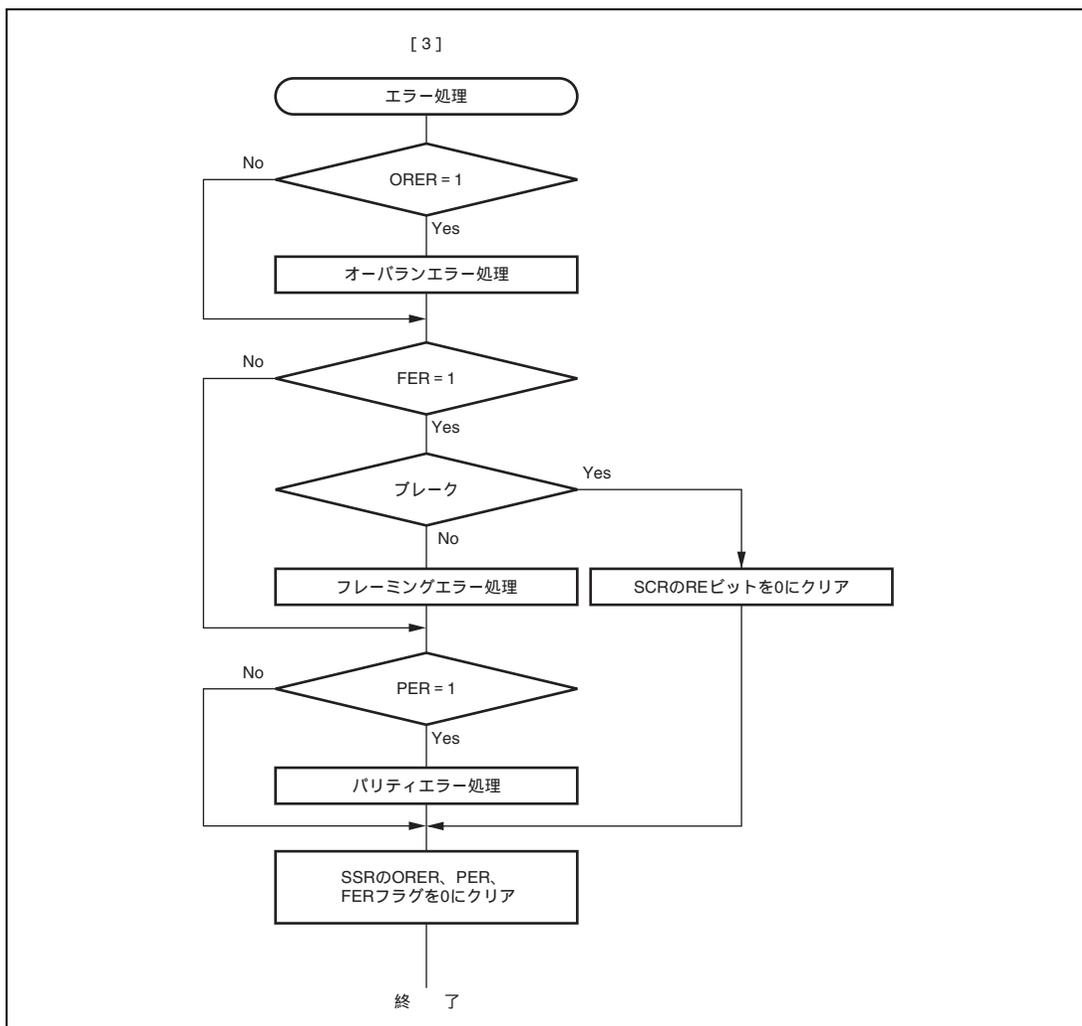


図 13.13 シリアル受信データフローチャートの例 ( 2 )

### 13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.14 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

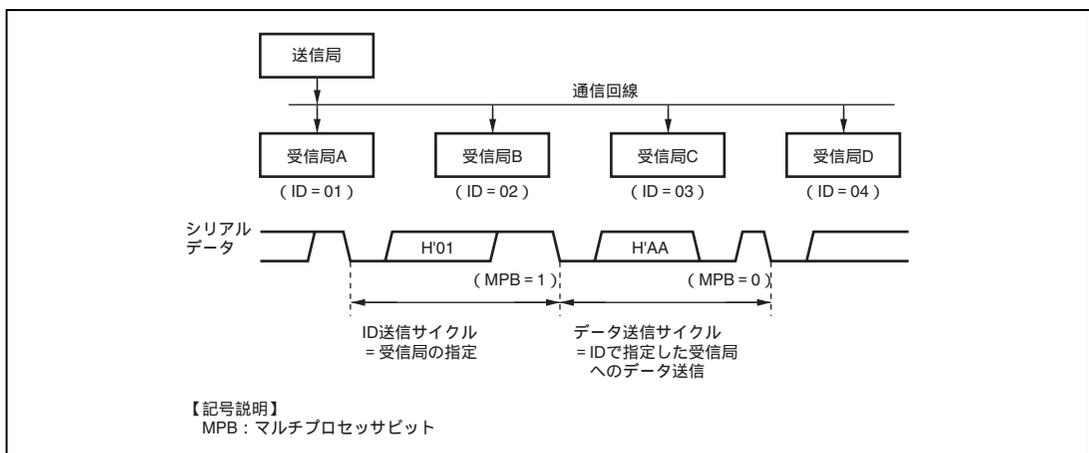


図 13.14 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

## 13.5.1 マルチプロセッサシリアルデータ送信

図 13.15 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

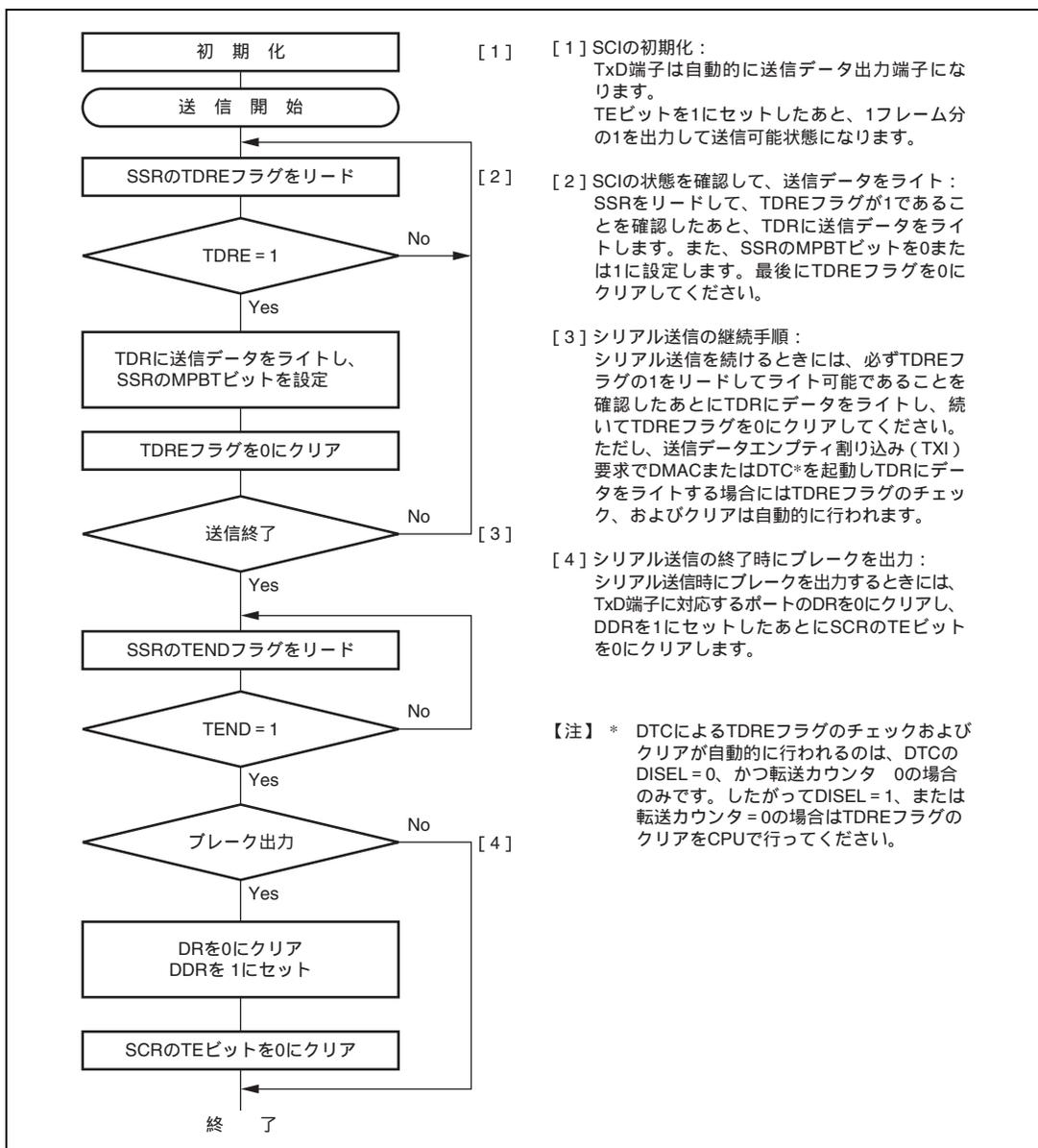


図 13.15 マルチプロセッサシリアル送信のフローチャートの例

### 13.5.2 マルチプロセッサシリアルデータ受信

図 13.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.16 に受信時の動作例を示します。

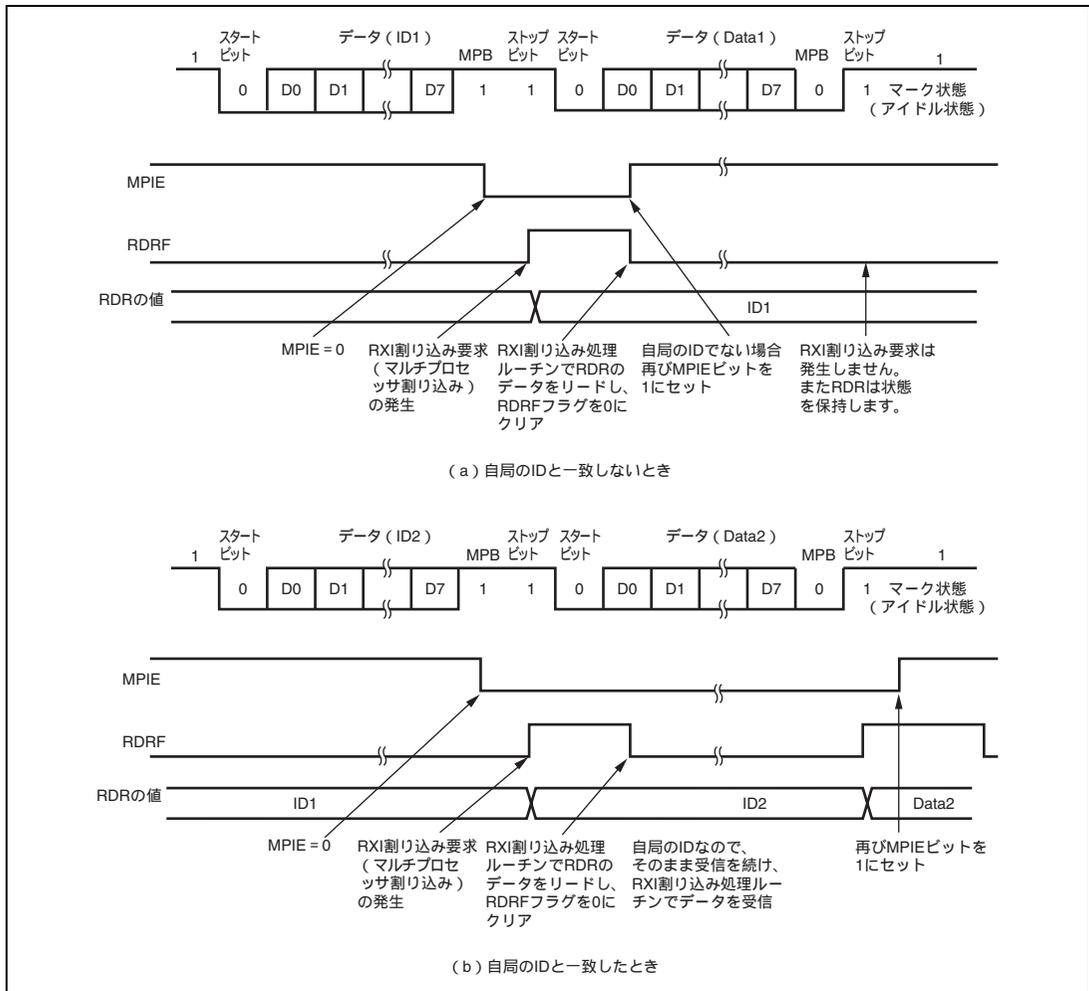


図 13.16 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

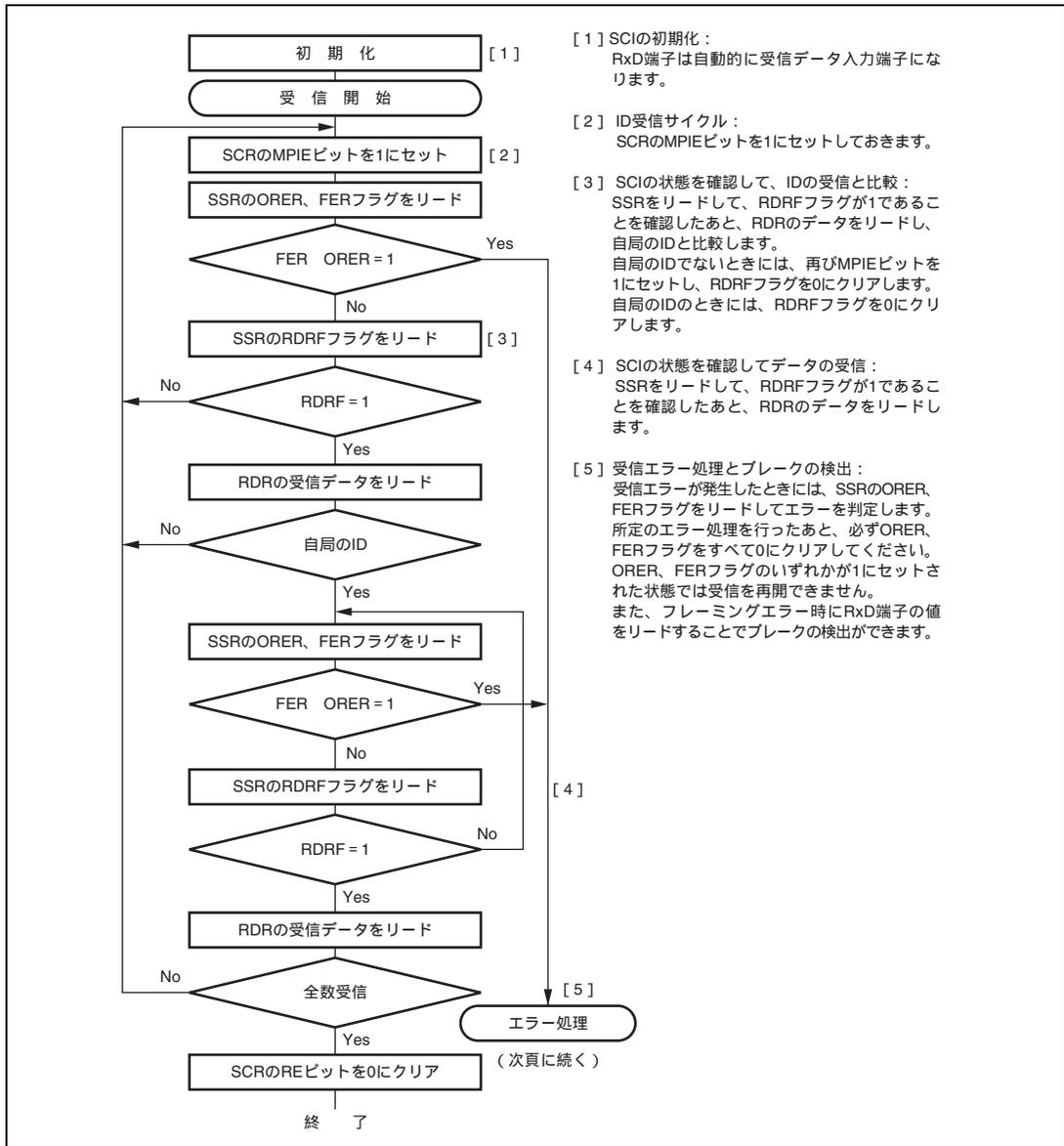


図 13.17 マルチプロセッサシリアル受信のフローチャートの例 (1)

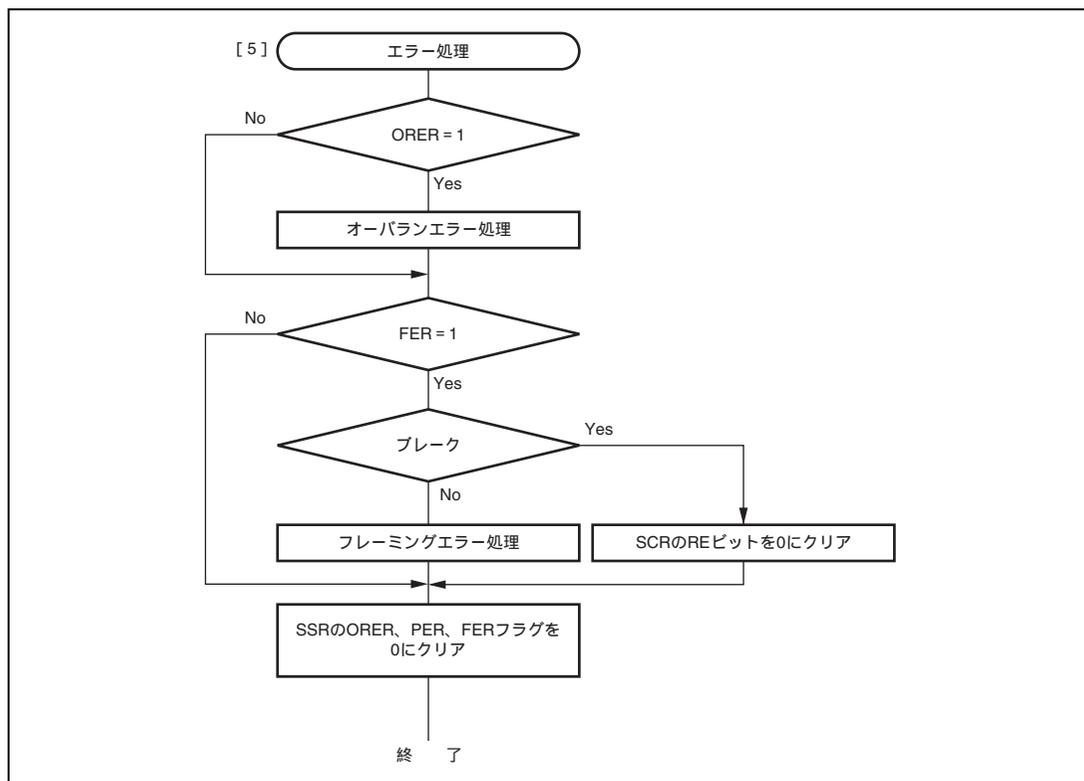


図 13.17 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.18 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

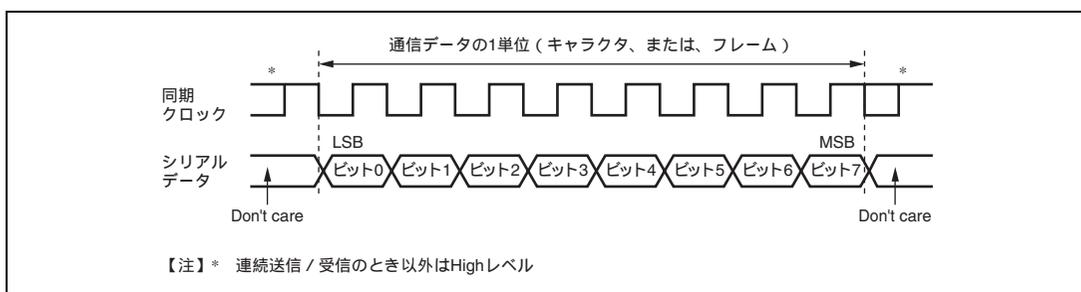


図 13.18 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

### 13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

### 13.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCR の TE、RE ビットをクリアしたあと、図 13.19 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

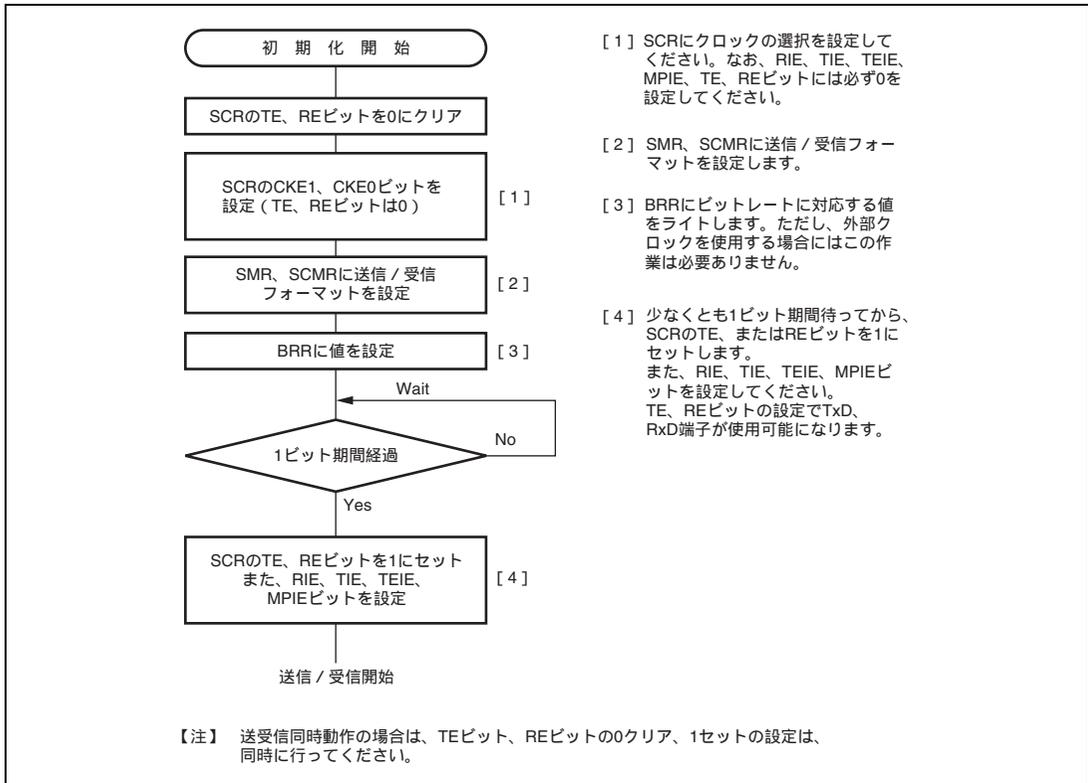


図 13.19 SCI の初期化フローチャートの例

### 13.6.3 シリアルデータ送信 (クロック同期式)

図 13.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 13.21 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

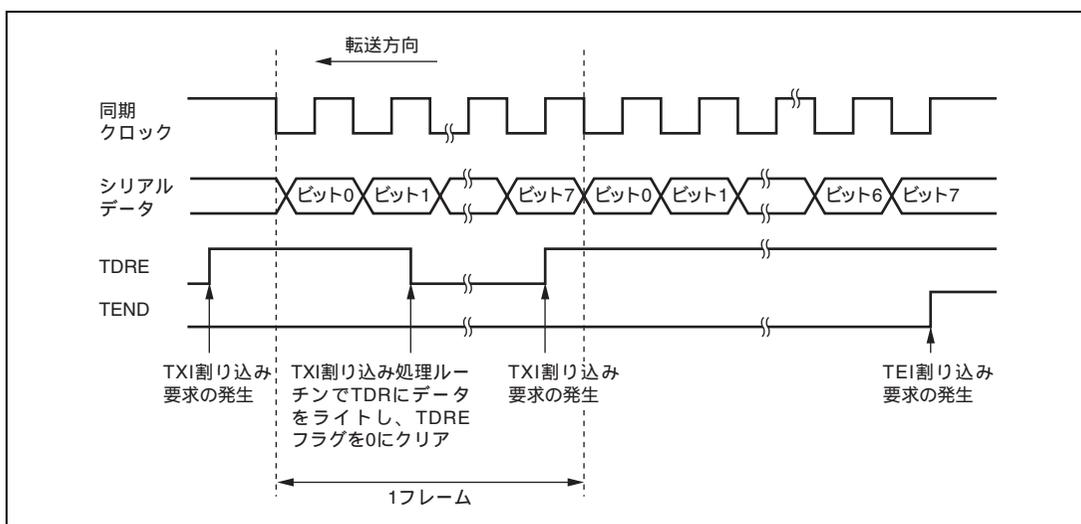


図 13.20 クロック同期式モードの送信時の動作例

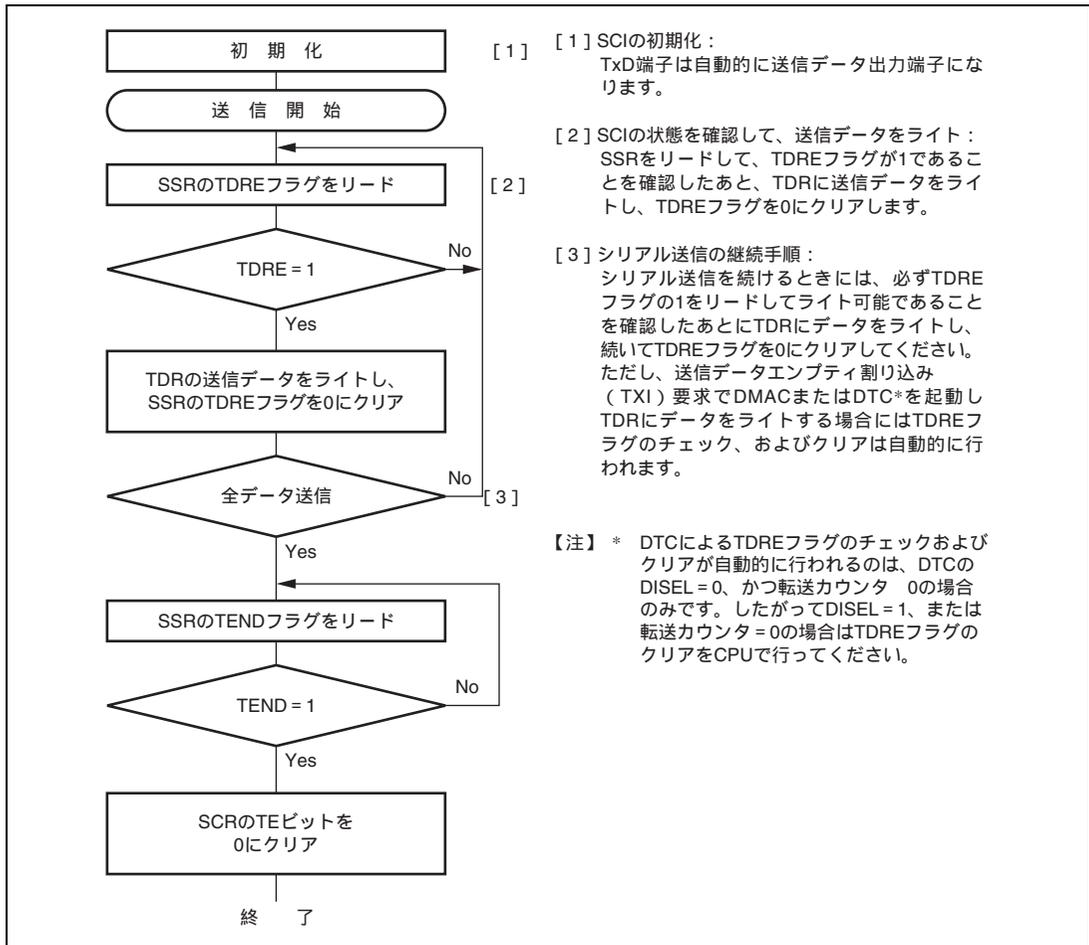


図 13.21 シリアルデータ送信のフローチャートの例

### 13.6.4 シリアルデータ受信 (クロック同期式)

図 13.22 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求が発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

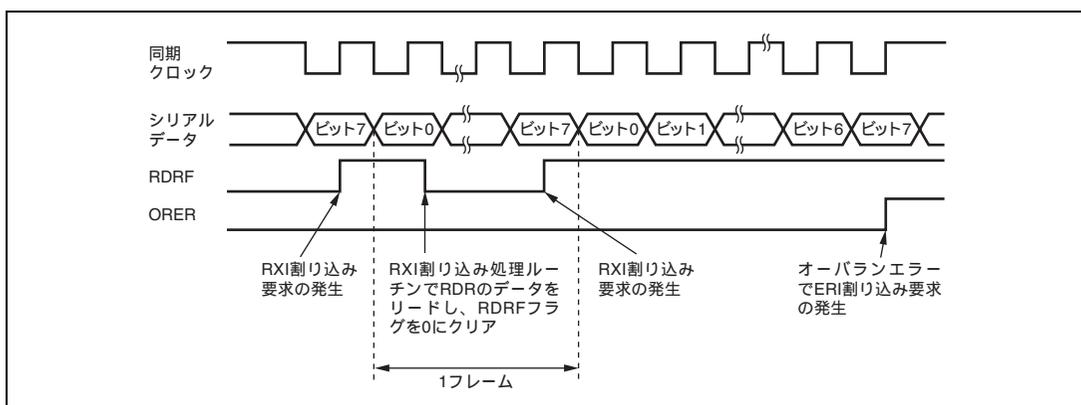


図 13.22 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.23 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同期動作による 1 フレームだけのダミー送信も同時に行ってください。

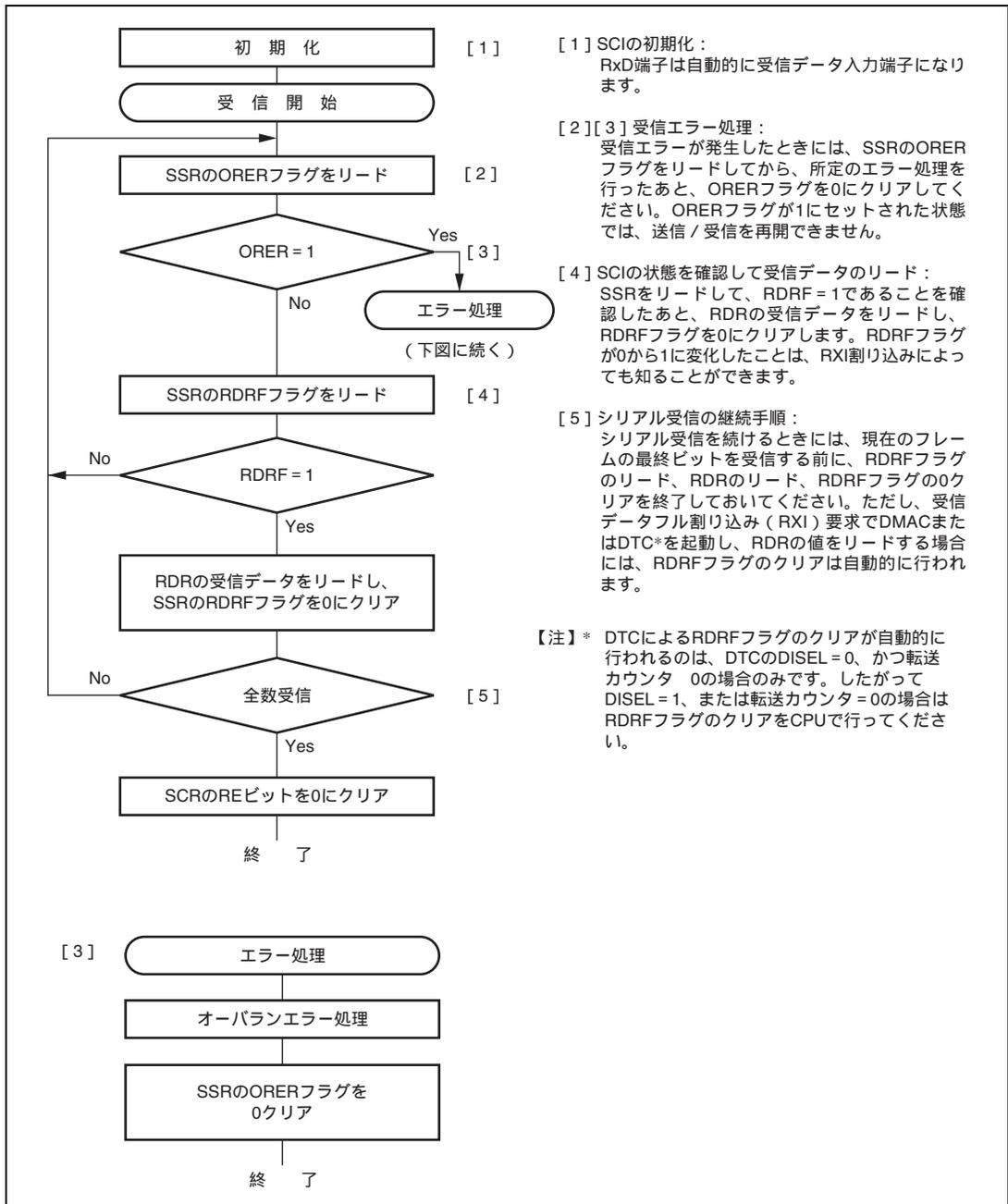


図 13.23 シリアルデータ受信フローチャートの例

## 13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.24 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認したあと、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE および RE を 1 命令で同時に 1 にセットしてください。

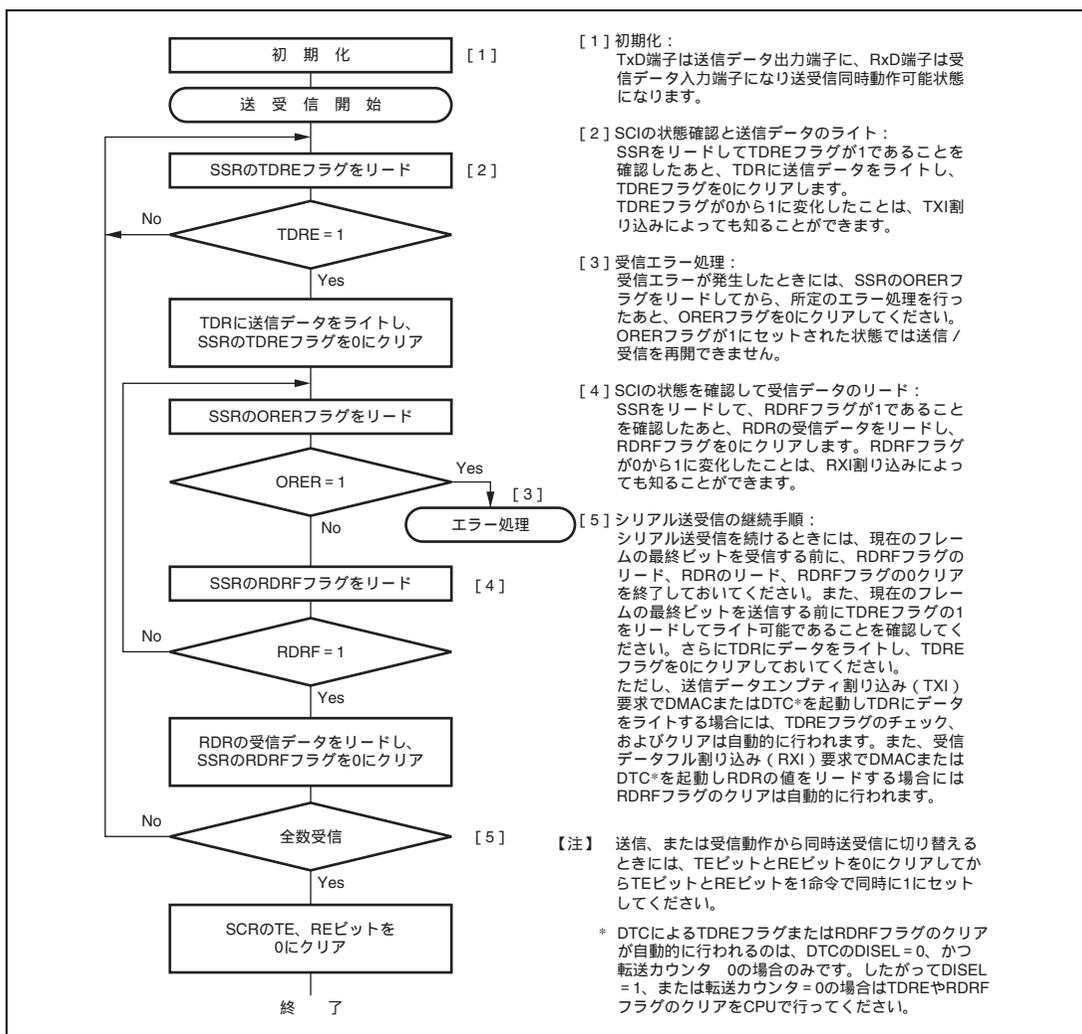


図 13.24 シリアル送受信同時動作のフローチャートの例

## 13.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 13.7.1 接続例

図 13.25 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源  $V_{CC}$  側にプルアップしてください。IC カードを接続しない状態で  $RE = TE = 1$  に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。IC カードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本 LSI の出力ポートを使用できます。端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

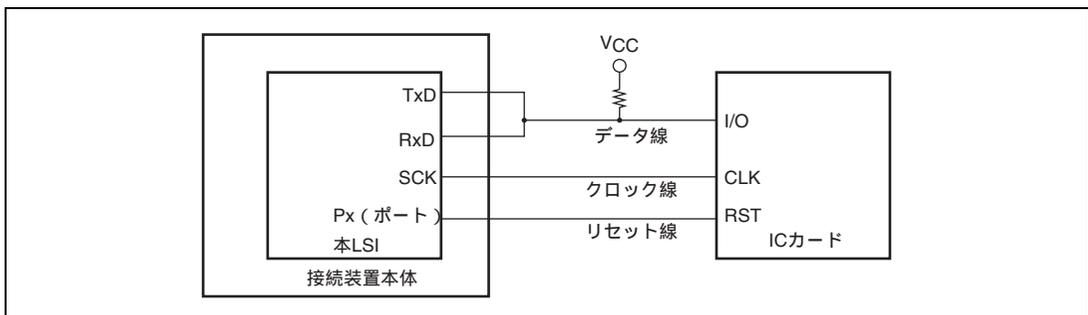


図 13.25 スマートカードインタフェース端子接続概要

### 13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.26 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで  $2\text{etu}$  (Elementary time unit : 1 ビットの転送期間) 以上のガードタイムを置きます。
- 受信時はパリティエラーを検出した場合、スタートビットから  $10.5\text{etu}$  経過後、エラーシグナル Low を  $1\text{etu}$  期間出力します。
- 送信時はエラーシグナルをサンプリングすると、 $2\text{etu}$  以上経過後、自動的に同じデータを再送信します。

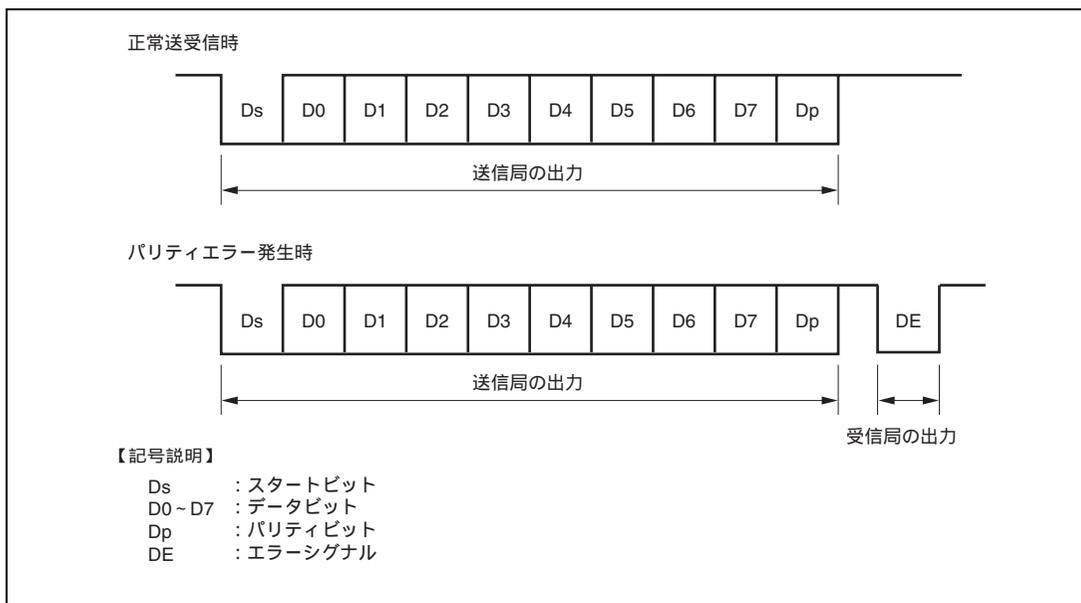
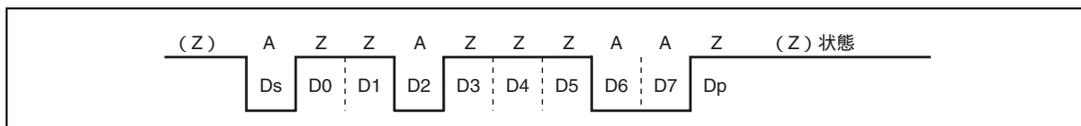
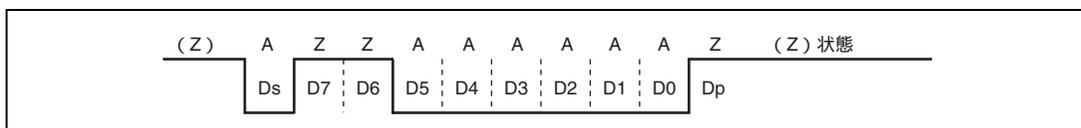


図 13.26 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

図 13.27 ダイレクトコンベンション (SDIR = SINV =  $O/\bar{E} = 0$ )

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRの $O/\bar{E}$ ビットには0をセットしてください。

図 13.28 インパースコンベンション (SDIR = SINV =  $O/\bar{E} = 1$ )

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB フェーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O $\bar{E}$  ビットに 1 を設定してパリティビットを反転させてください。

### 13.7.3 クロック

送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、CKE0 = 1 でクロック出力を選択すると、SCK 端子からは、ビットレートの S\*倍の周波数のクロックが出力されます。

【注】 \* 記号 S は「13.3.12 ビットレートレジスタ (BRR)」の中の S の値を表します。

### 13.7.4 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

### 13.7.5 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI は BCP1、BCP0 の設定によりビットレートの 32 倍、64 倍、372 倍、256 倍（通常の調歩同期モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.29 に示すように受信データを基本クロックのそれぞれ 16、32、186、128 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32、64、372、256)

D : クロックデューティ (D = 0~1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

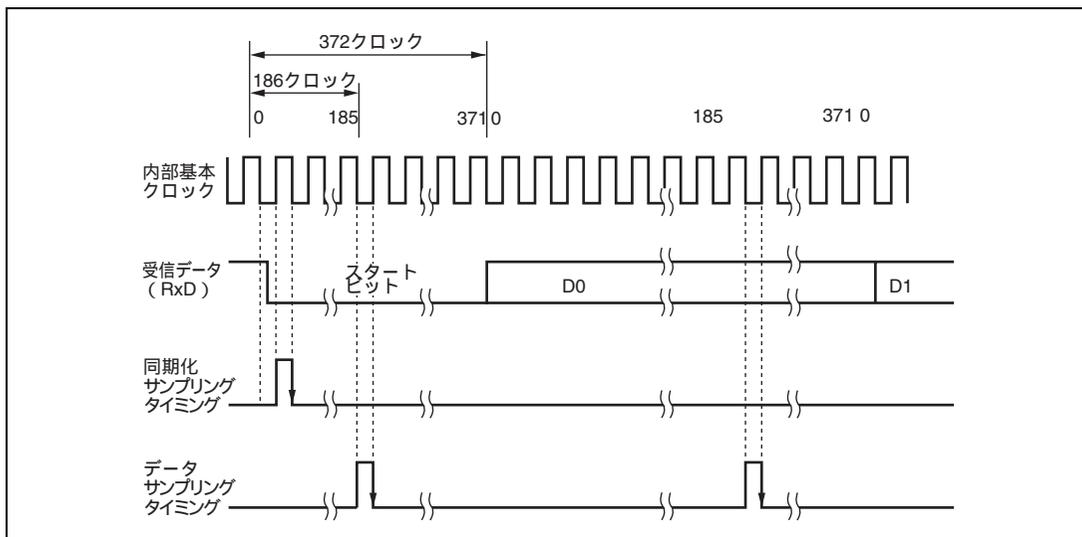


図 13.29 スマートカードインタフェースモード時の受信データサンプリングタイミング  
(372 倍のクロック使用時)

### 13.7.6 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O/E、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認したあと、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認したあと、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

### 13.7.7 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.30 に示します。

- 1 フレーム分の送信を完了したあと、受信側からのエラーシグナルをサンプリングすると SSR の ERS ビットが 1 にセットされます。このとき、SCR の RIE ビットがセットされていると ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS をクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR の TEND はセットされません。TDR から TSR に再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSR の ERS ビットはセットされません。再転送を含む 1 フレームの送信が完了したと判断して、SSR の TEND がセットされます。このとき SCR の TIE がセットされている場合、TXI 割り込み要求を発生します。送信データを TDR に書き込むことにより次のデータが送信されます。

送信処理フローの例を図 13.31 に示します。これら一連の処理は TXI 割り込み要因によって DMAC または DTC\* を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DMAC または DTC\* の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC または DTC\* が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC または DTC\* によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC または DTC\* は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC\* が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC または DTC\* を使って送受信を行う場合は、必ず先に DMAC または DTC\* を設定し、許可状態にしてから SCI の設定を行ってください。DMAC または DTC\* の設定方法は「第 7 章 DMA コントローラ (DMAC)」、 「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

【注】 \* DTC によりフラグが自動的にクリアされるのは DISEL=0、かつ転送カウンタ 0 のときです。

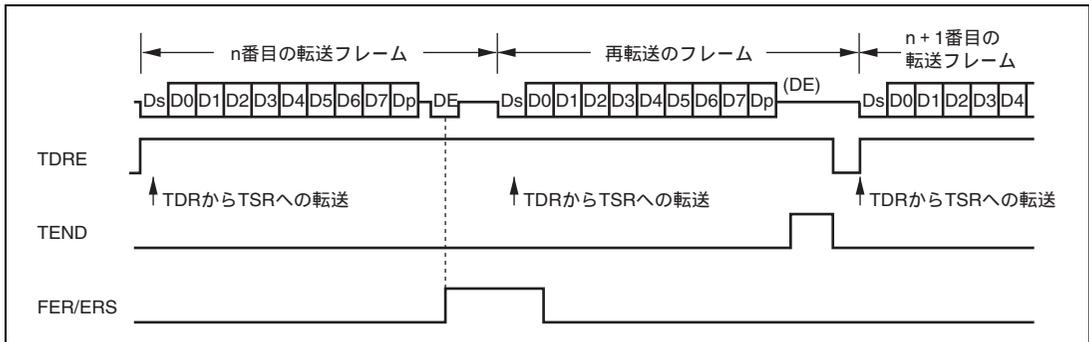


図 13.30 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.31 に TEND フラグ発生タイミングを示します。

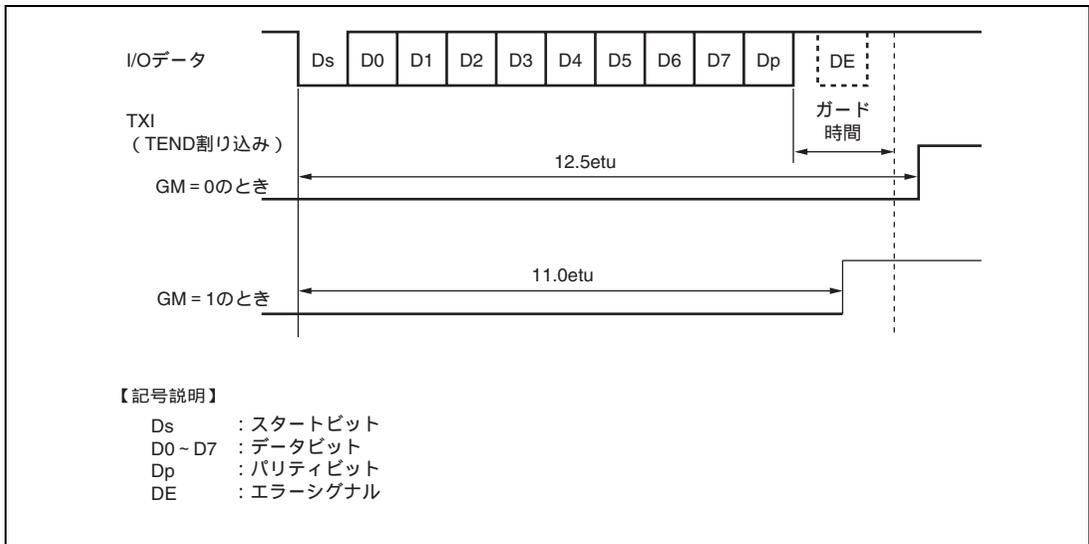


図 13.31 送信動作時の TEND フラグ発生タイミング

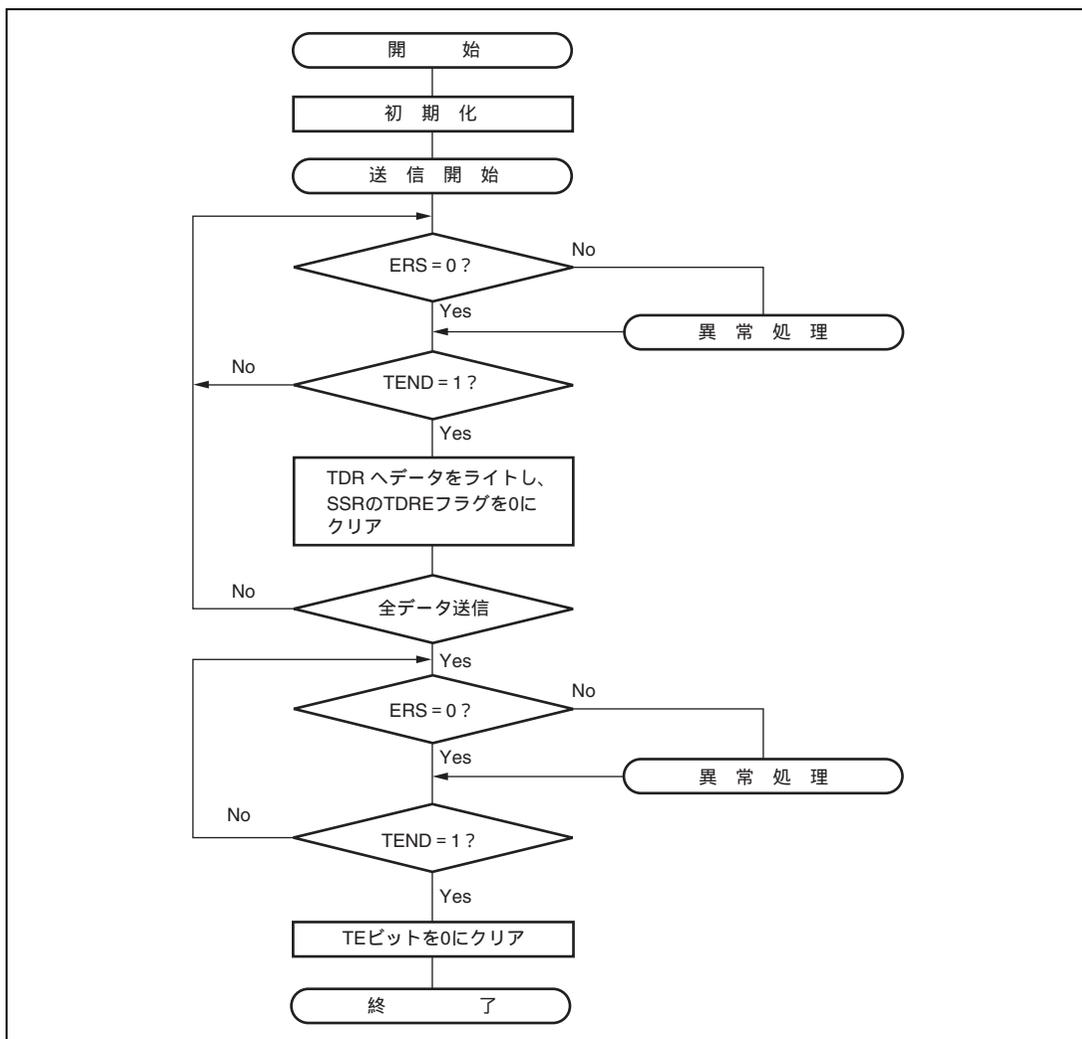


図 13.32 送信処理フローの例

### 13.7.8 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.33 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.34 に示します。これら一連の処理は RXI 割り込み要因によって DMAC または DTC\* を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DMAC または DTC\* の起動要因に RXI 要求を設定しておけば、RXI 要求により DMAC または DTC\* が起動されて受信データの転送を行います。DMAC または DTC\* によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DMAC または DTC\* は起動されず、受信データはスキップされるため DMAC または DTC\* に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「13.4 調歩同期モードの動作」を参照してください。

\* DTC によりフラグが自動的にクリアされるのは DISEL = 0、かつ転送カウンタ 0 のときです。

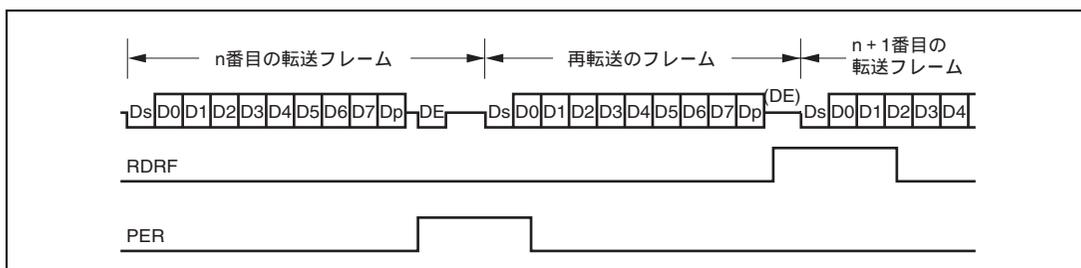


図 13.33 SCI 受信モードの場合の再転送動作

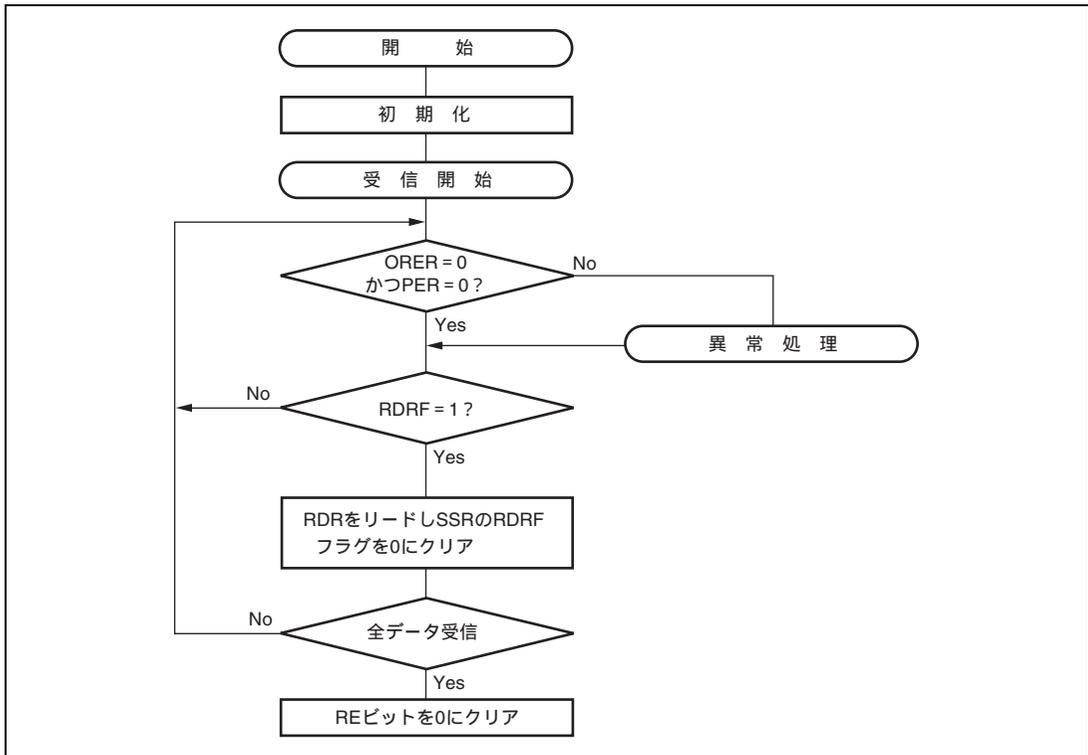


図 13.34 受信フローの例

### 13.7.9 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.35 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

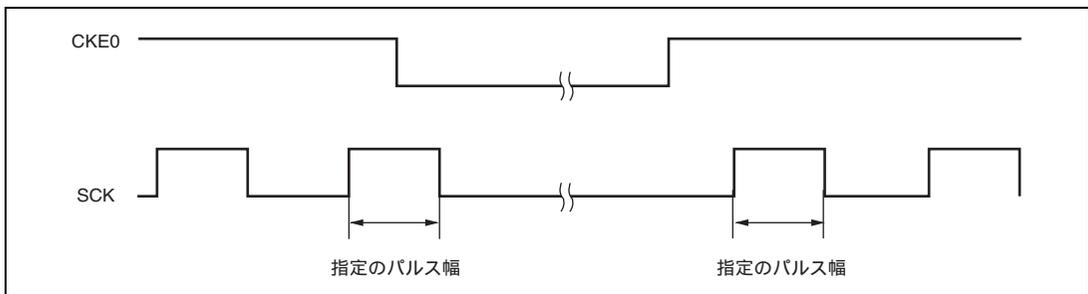


図 13.35 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

#### (1) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理してください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。  
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

#### (2) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。  
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。  
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

#### (3) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

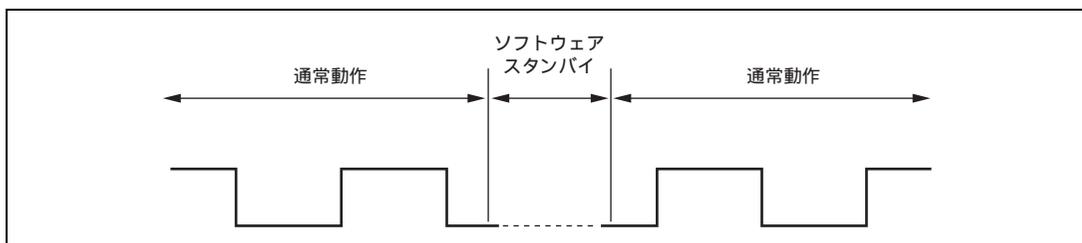


図 13.36 クロック停止・再起動手順

## 13.8 SCI セレクト機能 (クロック同期式)

SCI<sub>0</sub>には、SCIセレクト機能があり、マスタLSIと複数のスレーブLSI(本LSI)間の1対多のクロック同期通信が可能です。図13.37にSCIセレクト機能による通信例、図13.38に動作概要を示します。

マスタLSIは、 $\overline{\text{SEL\_A}}$ 信号をLow、 $\overline{\text{SEL\_B}}$ 信号をHigh出力することでスレーブLSI<sub>A</sub>との1対1通信が可能となります。このときスレーブLSI<sub>B</sub>のTxDO<sub>B</sub>端子はHi-Z状態、内部SCK0<sub>B</sub>信号はHigh固定となり通信動作が停止します。マスタLSIが $\overline{\text{SEL\_A}}$ 信号をHigh、 $\overline{\text{SEL\_B}}$ 信号をLowにすることでスレーブLSI<sub>B</sub>との1対1通信が可能となります。\*

スレーブLSIは、 $\overline{\text{IRQ7}}$ のLow入力割り込みによって選択されたことを検出し、送受信データ処理をすばやく実行できます。

【注】 \* マスタLSIのセレクト信号( $\overline{\text{SEL\_A}}$ 、 $\overline{\text{SEL\_B}}$ など)の切り替えは、送信データの最終ビット出力後のシリアルクロック(M\_SCK) = High期間中に行ってください。また、セレクト信号は1つだけLow出力としてください。

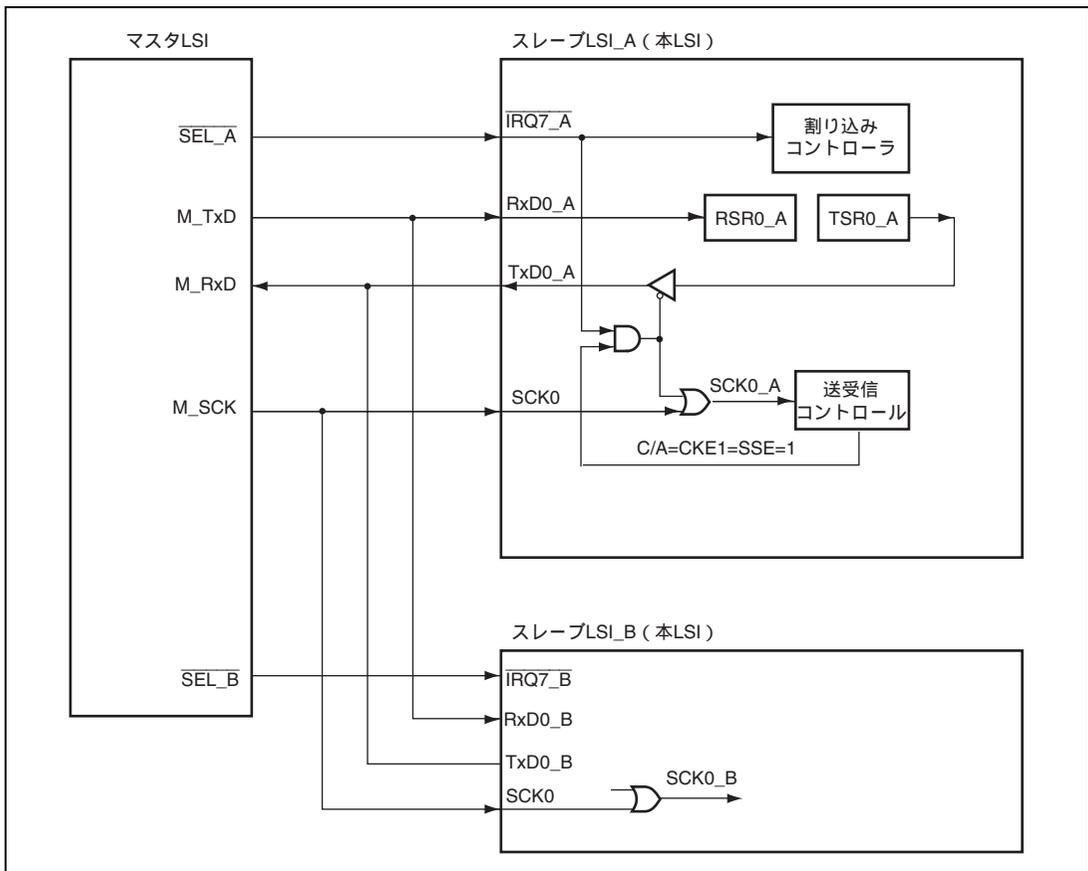


図 13.37 SCI セレクト機能による通信例

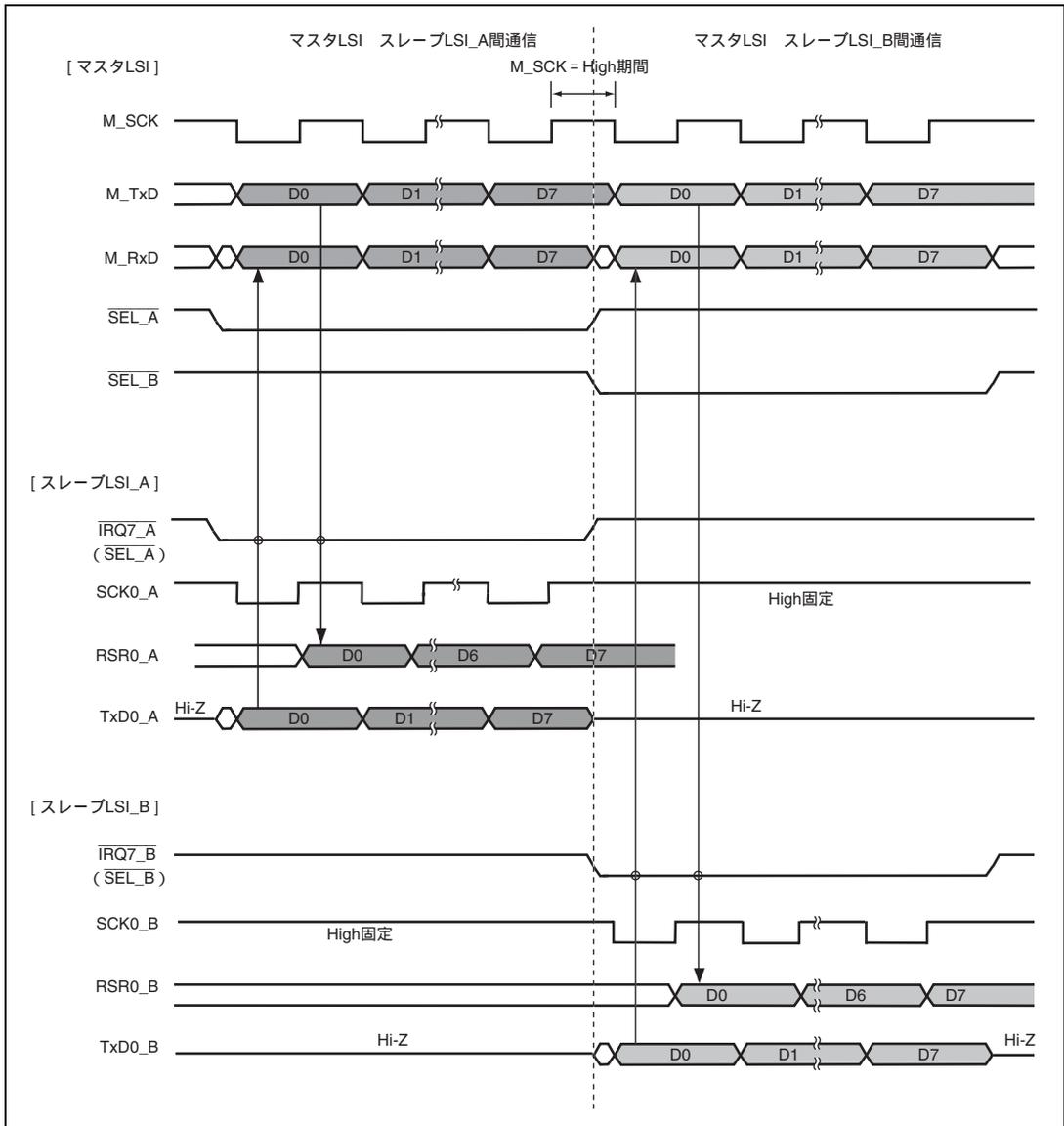


図 13.38 SCI セレクト機能の動作概要

## 13.9 割り込み要因

### 13.9.1 シリアルコミュニケーションインタフェースにおける割り込み

表 13.12 にシリアルコミュニケーションインタフェースにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC または DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC または DTC\* によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC\* によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

【注】 \* DTC によりフラグが自動的にクリアされるのは DISEL=0、かつ転送カウンタ 0 のときです。

表 13.12 SCI 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位*
0	ERI0	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
	RXI0	受信データフル	RDRF	可	可	
	TXI0	送信データエンプティ	TDRE	可	可	
	TEI0	送信終了	TEND	不可	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	不可	↑ 低
	RXI1	受信データフル	RDRF	可	可	
	TXI1	送信データエンプティ	TDRE	可	可	
	TEI1	送信終了	TEND	不可	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	不可	↑ 低
	RXI2	受信データフル	RDRF	可	不可	
	TXI2	送信データエンプティ	TDRE	可	不可	
	TEI2	送信終了	TEND	不可	不可	

【注】 \* リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

### 13.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。ブロック転送モード時は、「13.9.1 シリアルコミュニケーションインタフェースにおける割り込み」を参照してください。

表 13.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位*
0	ERI0	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	高  低
	RXI0	受信データフル	RDRF	可	可	
	TXI0	送信データエンプティ	TEND	可	可	
1	ERI1	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI1	受信データフル	RDRF	可	可	
	TXI1	送信データエンプティ	TEND	可	可	
2	ERI2	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI2	受信データフル	RDRF	可	不可	
	TXI2	送信データエンプティ	TEND	可	不可	

【注】 \* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

## 13.10 使用上の注意事項

### 13.10.1 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信したあとも受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

### 13.10.2 マーク状態とブレークの送出 (調歩同期式モードのみ)

TE が 0 のとき、TxD 端子は DDR で入出力方向、DR でレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定したあと TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

### 13.10.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

### 13.10.4 DMAC または DTC 使用上の注意事項

- 同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR の更新後、 $\phi$  クロックで 5 クロック以上経過したあとに、送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると、誤動作することがあります。(図 13.39)。
- DMAC または DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。
- データ転送時 DTC により、TDRE フラグと RDRF フラグが自動的にクリアされるのは、DTC の DISEL = 0、かつ転送カウンタ = 0 の場合のみです。したがって、DTC の DISEL = 1、または転送カウンタ = 0 の場合は、CPU にてフラグ処理を行ってください。

特に送信時は、CPU にて TDRE フラグをクリアしないと正しく送信されませんので注意してください。

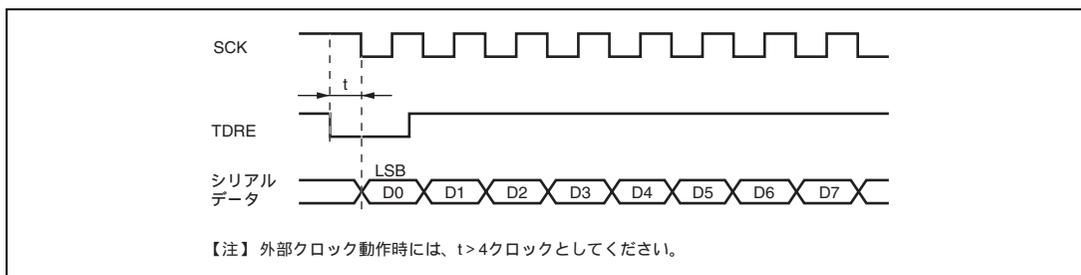


図 13.39 DMAC、DTC によるクロック同期式送信時の例

### 13.10.5 モード遷移時の動作について

#### (1) 送信

モジュールストップモードまたはソフトウェアスタンバイモード遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモードまたはソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE = 1$  に戻し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 13.40 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 13.41、図 13.42 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモードに遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。解除後 DTC による送信をする場合は  $TE = 1$ 、 $TIE = 1$  に設定すれば TXI フラグが立ち、DTC による送信が始まります。

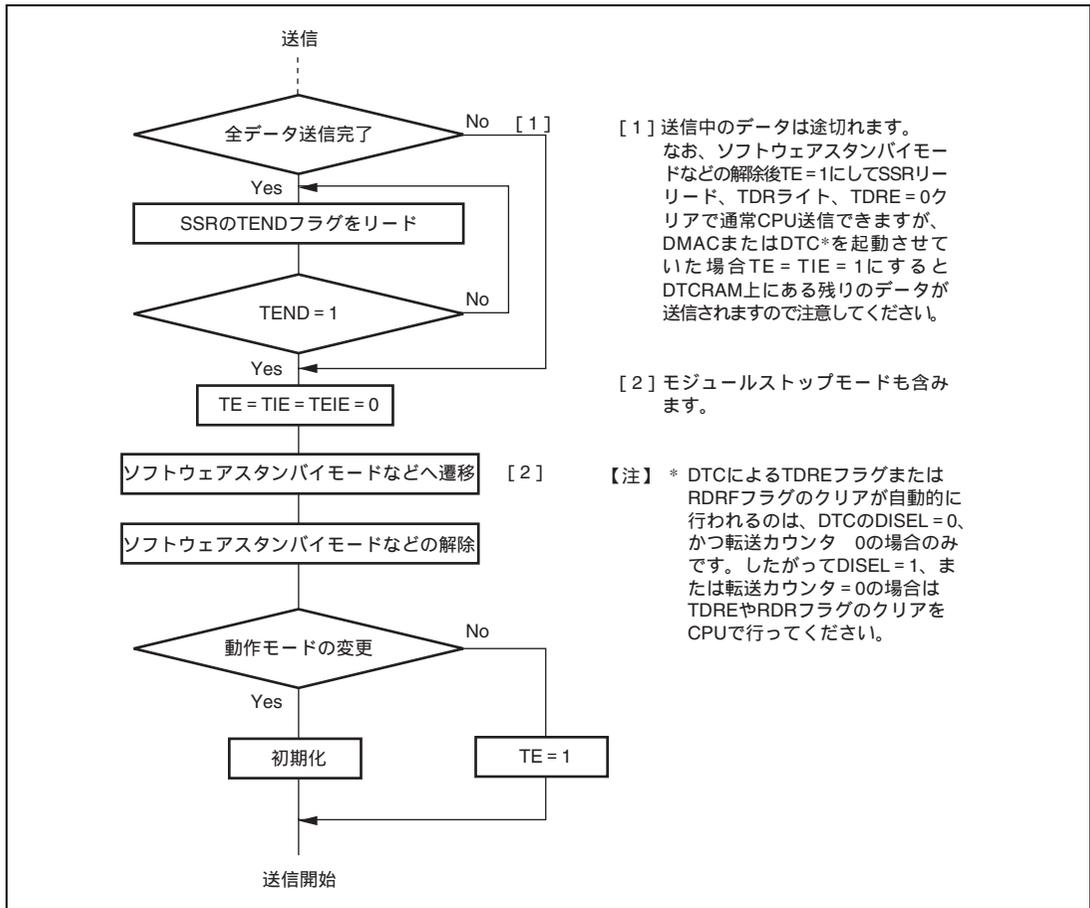


図 13.40 送信時のモード遷移フローチャートの例

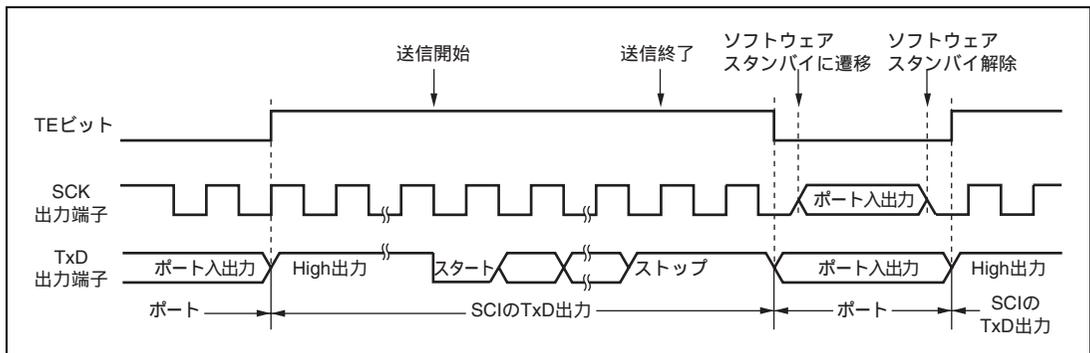


図 13.41 内部クロック、調歩同期送信の場合のポート端子状態

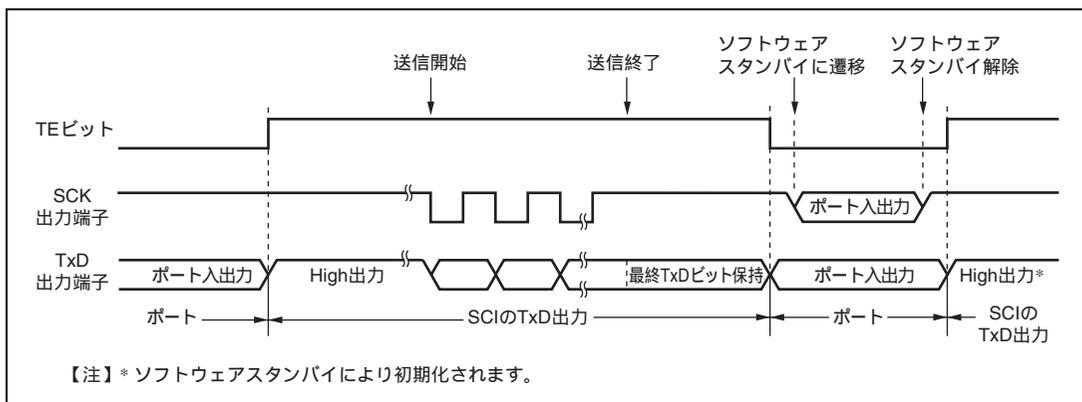


図 13.42 内部クロック、クロック同期送信の場合のポート端子状態

## (2) 受信

モジュールストップモードまたはソフトウェアスタンバイモード遷移時には、受信動作を停止 ( $RE=0$ ) してから行ってください。RSR、RDR、および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$  に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.43 に受信時のモード遷移フローチャートの例を示します。

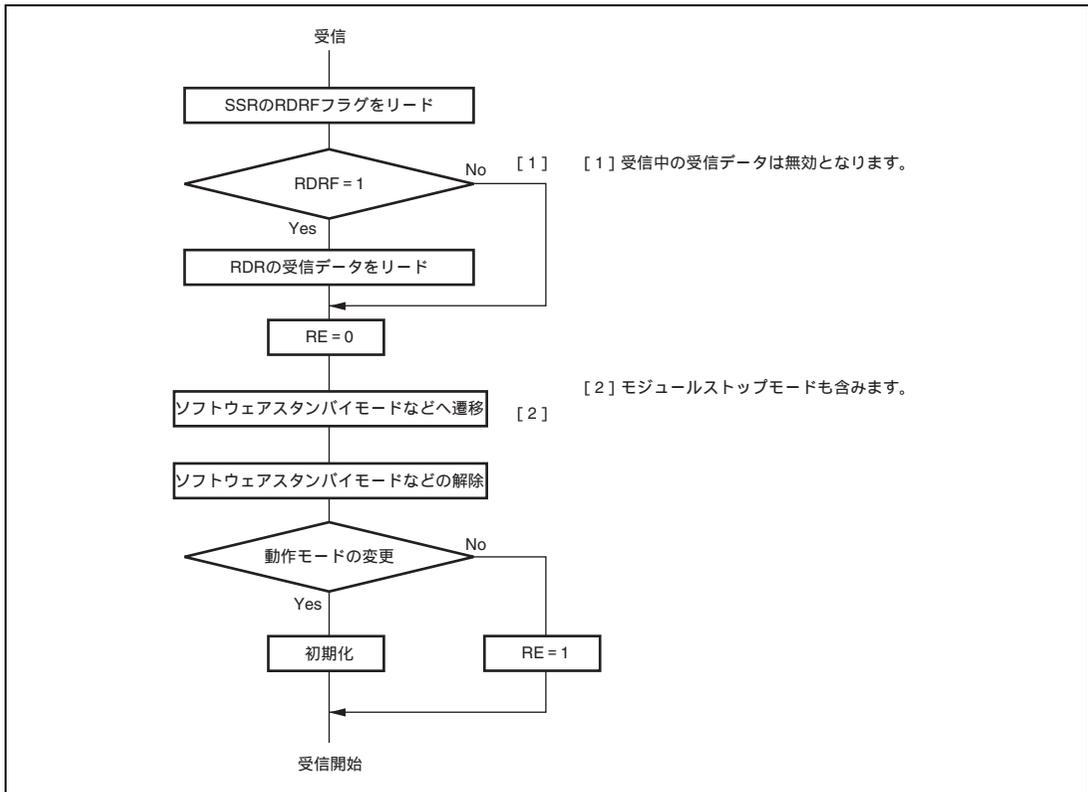


図 13.43 受信時のモード遷移フローチャートの例

### 13.10.6 SCK 端子からポート端子へ切り替えるときの注意事項

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替えるときに、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/A}$  = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替えるときに半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3.  $\overline{C/A}$ ビット = 0・・・ポート出力に切り替え
4. Low出力発生 (図13.44参照)

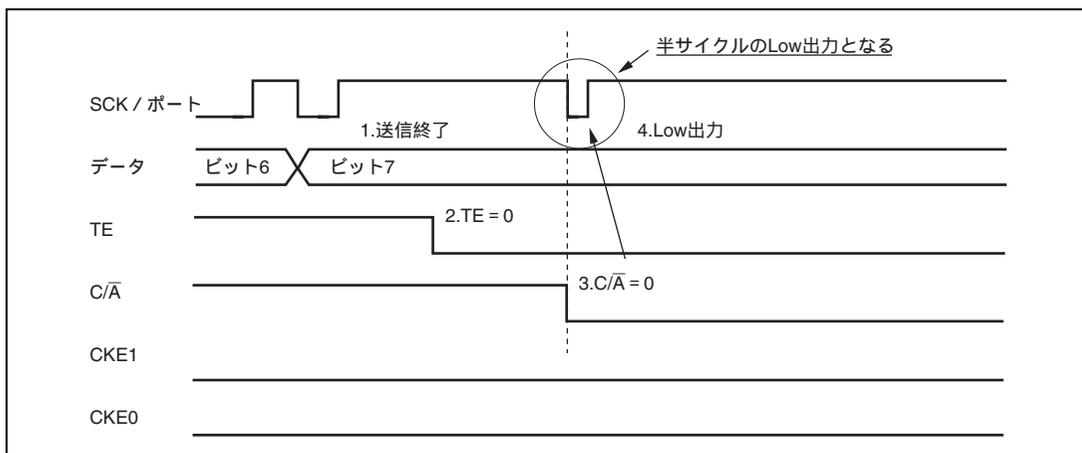


図 13.44 SCK 端子からポート端子へ切り替えるときの動作

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK /ポート端子を外部回路で Pull-up してください。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態より以下の順序で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4.  $C/\bar{A}$ ビット = 0・・・ポート出力に切り替え
5. CKE1ビット = 0

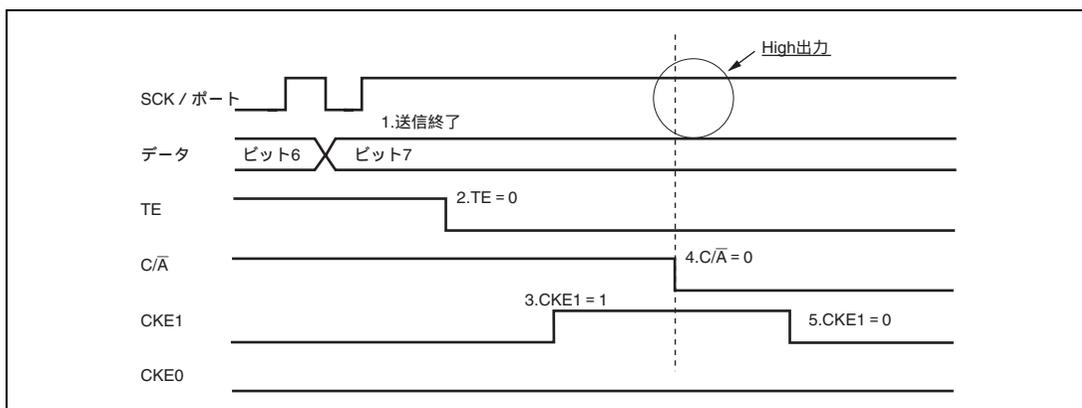


図 13.45 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

### 13.10.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。



---

## 14. バウンダリスキャン

---

本 LSI は、バウンダリスキャン機能を内蔵しています。バウンダリスキャンは、JTAG ( Joint Test Action Group, IEEEStd. 1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture ) に準拠したシリアル入出力インタフェースです。バウンダリスキャンのブロック図を図 14.1 に示します。

### 14.1 特長

- 5本のテスト信号  
TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$
- 6つのテストモードをサポート  
BYPASS、SAMPLE/PRELOAD、EXTEST、CLAMP、HIGHZ、IDCODE
- 下記の端子はバウンダリスキャン対象外  
電源関連 ( VCC、VSS、Vref、AVCC、AVSS、PLLVCC、PLLVSS、PLLCAP、DrVCC、DrVSS )  
クロック関連信号 ( EXTAL、XTAL、EXTAL48、XTAL48 )  
アナログ関連信号 ( P40 ~ P43、P96、P97、USD+、USD- )  
バウンダリスキャン関連信号 ( TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$  )  
E10A関連信号 (  $\overline{\text{EMLE}}$  )

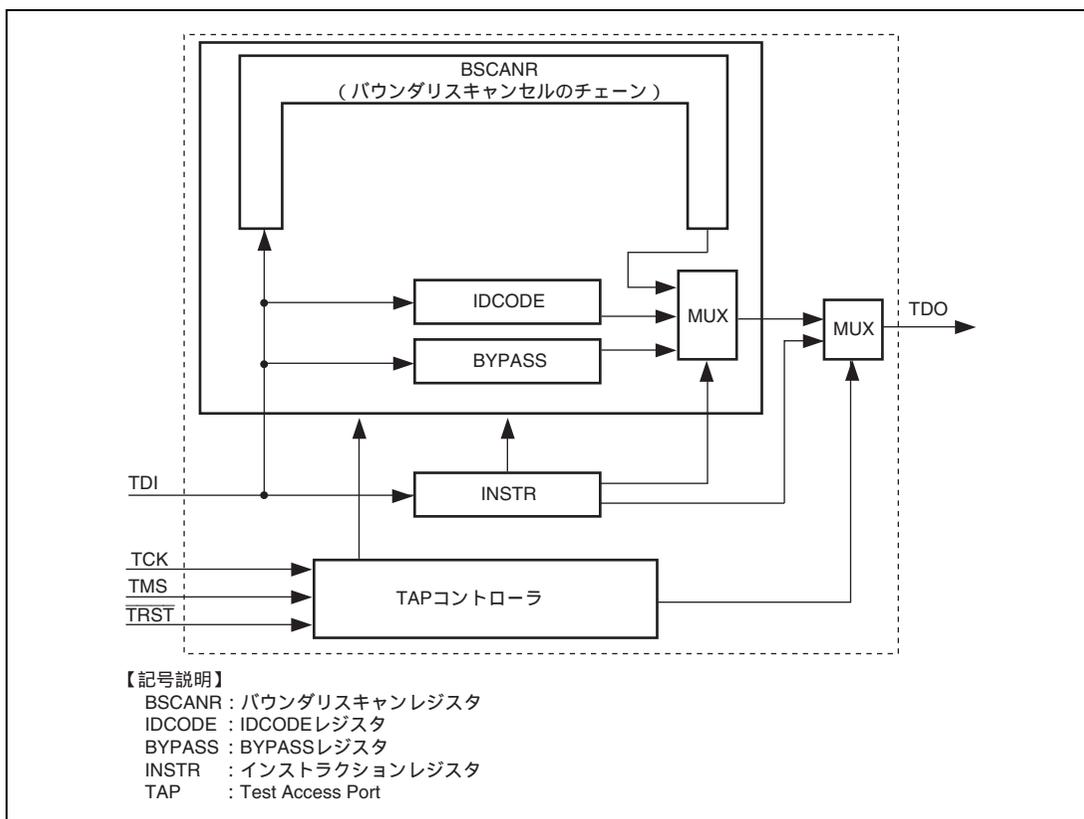


図 14.1 バウンダリスキャンのブロック図

## 14.2 入出力端子

バウンダリスキャンで使用する端子を表 14.1 に示します。

表 14.1 端子構成

端子名	入出力	機能
TMS	入力	<p>TEST MODE SELECT</p> <p>TAP コントローラ (16 ステートを持つ Finite State Machine) の制御信号です。</p> <p>TCK の立ち上がり時の TMS の入力値により、TAP コントローラの状態遷移方向が決まります。バウンダリスキャン機能を使用しないときは 1 に固定します。</p> <p>プロトコルは JTAG 規格 (IEEE Std. 1149.1) に準拠しています。</p> <p>本端子はプルアップ抵抗付きです。</p>
TCK	入力	<p>TEST CLOCK</p> <p>バウンダリスキャン用のクロック信号です。</p> <p>バウンダリスキャン機能使用時はデューティ比 50% のクロック波形を入力してください。</p> <p>本端子はプルアップ抵抗付きです。</p>
TDI	入力	<p>TEST DATA INPUT</p> <p>バウンダリスキャン用のデータ入力信号です。</p> <p>入力データは TCK の立ち上がりで取り込まれます。</p> <p>バウンダリスキャン機能を使用しないときは 1 に固定します。</p> <p>本端子はプルアップ抵抗付きです。</p>
TDO	出力	<p>TEST DATA OUTPUT</p> <p>バウンダリスキャン用のデータ出力信号です。</p> <p>出力データは TCK の立ち下がりで変化します。</p> <p>出力ドライバは必要なとき (Shift-IR、Shift-DR ステート) のみドライブし、それ以外は Hi-Z 状態になります。</p>
$\overline{\text{TRST}}$	入力	<p>TEST RESET</p> <p><math>\overline{\text{TRST}}</math> = Low レベルで TAP コントローラを非同期にリセットします。</p> <p>ユーザ側で、バウンダリスキャン専用のパワーオンリセット信号を電源投入時に印加してください (「14.5 使用上の注意事項」を参照)。</p> <p>本端子はプルアップ抵抗付きです。</p>

### 14.3 レジスタの説明

バウンダリスキャンには以下のレジスタがあります。

これらのレジスタは内蔵の CPU ではアクセスすることができません。

- インストラクションレジスタ (INSTR)
- IDCODEレジスタ (IDCODE)
- BYPASSレジスタ (BYPASS)
- バウンダリスキャンレジスタ (BSCANR)

#### 14.3.1 インストラクションレジスタ (INSTR)

インストラクションレジスタは 3 ビットのレジスタです。初期状態でこのレジスタは IDCODE モードになっています。 $\overline{\text{TRST}}$  が Low レベルまたは、TAP コントローラの Test-Logic-Reset ステートのときに初期化されます。本レジスタは、TDI からのシリアルデータ入力によって書き込みを行うことができます。TDI から 3 ビットを超えるインストラクションを入力するとインストラクションレジスタにはシリアルデータの最後の 3 ビットが格納されます。

本レジスタでリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
2	TI2	1	-	テストインストラクションビット 表 14.2 にインストラクション構成を示します。
1	TI1	0	-	
0	TI0	1	-	

表 14.2 インストラクション構成

ビット 2	ビット 1	ビット 0	インストラクション
TI2	TI1	TI0	
0	0	0	EXTEST
0	0	1	SAMPLE/PRELOAD
0	1	0	CLAMP
0	1	1	HIGHZ
1	0	0	リザーブ
1	0	1	IDCODE (初期値)
1	1	0	リザーブ
1	1	1	BYPASS

#### (1) EXTEST

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令で設定済) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

#### (2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や、内部回路から出力端子へ転送される値のスナッチショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出されます。スナッチショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナッチショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力 (EXTEST 命令では出力端子に常に平行出力ラッチを出力) されることになります。

#### (3) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラのステートに関係なく前の状態が保持されます。TDI - TDO 間には BYPASS レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

#### (4) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子がハイインピーダンス状態になります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラのステートに関係なく前の状態が保持されます。TDI - TDO 間には BYPASS レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

#### (5) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に IDCODE レジスタの値を LSB より TDO から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

### (6) BYPASS

BYPASS 命令は、BYPASS レジスタを動作させる必須の標準命令です。この命令はスキャンパスを短縮してプリント基板上の、他 LSI へのシリアルデータ転送を高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

### 14.3.2 IDCODE レジスタ (IDCODE)

IDCODE レジスタは 32 ビットのレジスタです。インストラクションレジスタを IDCODE モードにセットすると、IDCODE レジスタは TDI と TDO の間に接続され、固定コード (HD64F2215 と HD64F2215U は H'0002200F、HD6432215B は H'001B200F、HD6432215C は H'001C200F、HD64F2215R と HD64F2215RU と HD64F2215CU は H'08030447、HD64F2215T と HD64F2215TU は H'08031447) を TDO より出力します。シリアルデータを TDI を通じて IDCODE レジスタに書き込むことはできません。表 14.3 に IDCODE レジスタ構成を示します。

表 14.3 IDCODE レジスタ構成

ビット	31....28	27	....	12	11	....	1	0
HD64F2215、 HD64F2215U のコード	0000	0000	0000	0010 0010	0000	0000	111	1
HD6432215B のコード	0000	0000	0001	1011 0010	0000	0000	111	1
HD6432215C のコード	0000	0000	0001	1100 0010	0000	0000	111	1
HD64F2215R、 HD64F2215RU、 HD64F2215CU のコード	0000	1000	0000	0011 0000	0100	0100	011	1
HD64F2215T、 HD64F2215TU のコード	0000	1000	0000	0011 0001	0100	0100	011	1
内容	バージョン (4 ビット)	部品番号 (16 ビット)			製造者番号 (11 ビット)			固定コード (1 ビット)

### 14.3.3 BYPASS レジスタ (BYPASS)

BYPASS レジスタは 1 ビットのレジスタです。インストラクションレジスタを BYPASS モード、CLAMP モード、HIGHZ モードのいずれかにセットすると、BYPASS レジスタは TDI と TDO の間に接続されます。

#### 14.3.4 バウンダリスキャンレジスタ (BSCANR)

バウンダリスキャンレジスタは、入出力端子の制御を行うために端子上に配置された 217 ビットのシフトレジスタです。LSI の入出力端子は 3 ビット (IN、Control、OUT)、入力専用端子は 1 ビット (IN)、出力専用端子は 1 ビット (OUT) のシフトレジスタで構成されます。

表 14.2 のインストラクションを用いて、JTAG 規格に準拠したバウンダリスキャンテストを行うことができます。表 14.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します (表中の Control は High アクティブの信号。Control を High に設定することで、該当端子を OUT の値でドライブします。図 14.2 にバウンダリスキャンレジスタの簡略図を示します)。

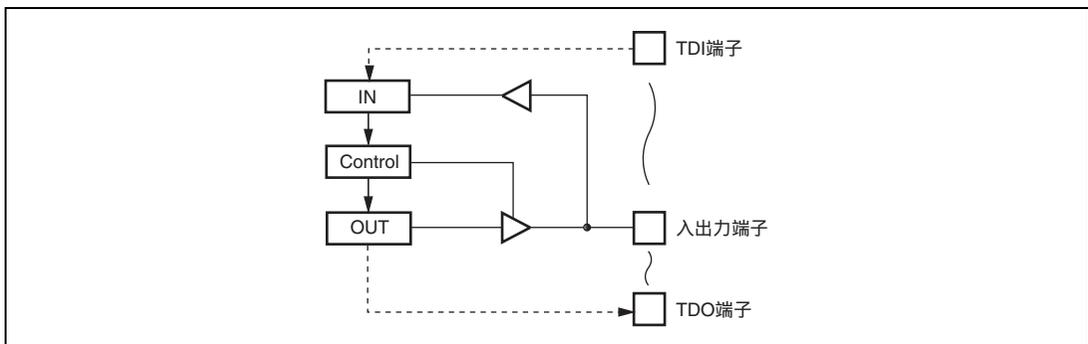


図 14.2 バウンダリスキャンレジスタの簡略図 (入出力端子の例)

表 14.4 本 LSI の端子とバウンダリスキャンレジスタの対応

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
From TDI				
111	A4	PE0/D0	IN	216
			Control	215
			OUT	214
113	D5	PE1/D1	IN	213
			Control	212
			OUT	211
115	B4	PE2/D2	IN	210
			Control	209
			OUT	208
116	A3	PE3/D3	IN	207
			Control	206
			OUT	205
117	C4	PE4/D4	IN	204
			Control	203
			OUT	202
118	B3	PE5/D5	IN	201
			Control	200
			OUT	199
119	A2	PE6/D6	IN	198
			Control	197
			OUT	196
120	C3	PE7/D7	IN	195
			Control	194
			OUT	193
2	B2	PD0/D8	IN	192
			Control	191
			OUT	190
3	B1	PD1/D9	IN	189
			Control	188
			OUT	187
4	D4	PD2/D10	IN	186
			Control	185
			OUT	184

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
5	C2	PD3/D11	IN	183
			Control	182
			OUT	181
6	C1	PD4/D12	IN	180
			Control	179
			OUT	178
7	D3	PD5/D13	IN	177
			Control	176
			OUT	175
8	D2	PD6/D14	IN	174
			Control	173
			OUT	172
9	D1	PD7/D15	IN	171
			Control	170
			OUT	169
11	E3	PC0/A0	IN	168
			Control	167
			OUT	166
13	E2	PC1/A1	IN	165
			Control	164
			OUT	163
14	F3	PC2/A2	IN	162
			Control	161
			OUT	160
15	F1	PC3/A3	IN	159
			Control	158
			OUT	157
16	F2	PC4/A4	IN	156
			Control	155
			OUT	154
17	F4	PC5/A5	IN	153
			Control	152
			OUT	151
18	G1	PC6/A6	IN	150
			Control	149
			OUT	148

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
19	G2	PC7/A7	IN	147
			Control	146
			OUT	145
20	G3	PB0/A8	IN	144
			Control	143
			OUT	142
21	H1	PB1/A9	IN	141
			Control	140
			OUT	139
23	G4	PB2/A10	IN	138
			Control	137
			OUT	136
25	H2	PB3/A11	IN	135
			Control	134
			OUT	133
26	J1	PB4/A12	IN	132
			Control	131
			OUT	130
27	H3	PB5/A13	IN	129
			Control	128
			OUT	127
28	J2	PB6/A14	IN	126
			Control	125
			OUT	124
29	K1	PB7/A15	IN	123
			Control	122
			OUT	121
30	J3	PA0/A16	IN	120
			Control	119
			OUT	118
31	K2	PA1/A17/TxD2	IN	117
			Control	116
			OUT	115
32	L2	PA2/A18/RxD2	IN	114
			Control	113
			OUT	112

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
33	H4	PA3/A19/SCK2/SUSPND	IN	111
			Control	110
			OUT	109
35	K3	P10/TIOCA0/A20/VM	IN	108
			Control	107
			OUT	106
36	L3	P11/TIOCB0/A21/VP	IN	105
			Control	104
			OUT	103
37	J4	P12/TIOCC0/TCLKA/A22/RCV	IN	102
			Control	101
			OUT	100
38	K4	P13/TIOCD0/TCLKB/A23/VPO	IN	99
			Control	98
			OUT	97
39	L4	P14/TIOCA1/ $\overline{\text{IRQ0}}$	IN	96
			Control	95
			OUT	94
40	H5	P15/TIOCB1/TCLKC/FSE0	IN	93
			Control	92
			OUT	91
41	J5	P16/TIOCA2/ $\overline{\text{IRQT}}$	IN	90
			Control	89
			OUT	88
42	L5	P17/TIOCB2/TCLKD/ $\overline{\text{OE}}$	IN	87
			Control	86
			OUT	85
53	H7	USPND	OUT	84
55	K8	VBUS	IN	83
56	L9	$\overline{\text{UBPM}}$	IN	82
67	H9	MD0	IN	81
68	H10	MD1	IN	80
69	H11	FWE	IN	79
70	G8	NMI	IN	78
71	G9	$\overline{\text{STBY}}$	IN	77
72	G11	$\overline{\text{RES}}$	IN	76

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
77	F8	MD2	IN	75
78	E11	PF7/ $\phi$	IN	74
			Control	73
			OUT	72
79	E10	PF6/ $\overline{AS}$	IN	71
			Control	70
			OUT	69
80	E9	PF5/ $\overline{RD}$	IN	68
			Control	67
			OUT	66
81	D11	PF4/ $\overline{HWR}$	IN	65
			Control	64
			OUT	63
83	E8	PF3/ $\overline{LWR}/\overline{ADTRG}/\overline{IRQ3}$	IN	62
			Control	61
			OUT	60
85	D10	PF2/ $\overline{WAIT}$	IN	59
			Control	58
			OUT	57
86	C11	PF1/ $\overline{BACK}$	IN	56
			Control	55
			OUT	54
87	D9	PF0/ $\overline{BREQ}/\overline{IRQ2}$	IN	53
			Control	52
			OUT	51
88	C10	P30/TxD0	IN	50
			Control	49
			OUT	48
89	B11	P31/RxD0	IN	47
			Control	46
			OUT	45
90	C9	P32/ $\overline{SCK0}/\overline{IRQ4}$	IN	44
			Control	43
			OUT	42

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
91	B10	P33/TxD1	IN	41
			Control	40
			OUT	39
92	A10	P34/RxD1	IN	38
			Control	37
			OUT	36
93	D8	P35/SCK1/ $\overline{\text{IRQ5}}$	IN	35
			Control	34
			OUT	33
94	B9	P36	IN	32
			Control	31
			OUT	30
96	A9	P74/ $\overline{\text{MRES}}$	IN	29
			Control	28
			OUT	27
97	C8	P73/TMO1/ $\overline{\text{CS7}}$	IN	26
			Control	25
			OUT	24
98	B8	P72/TMO0/ $\overline{\text{CS6}}$	IN	23
			Control	22
			OUT	21
99	A8	P71/ $\overline{\text{CS5}}$	IN	20
			Control	19
			OUT	18
100	D7	P70/TMRI01/TMCI01/ $\overline{\text{CS4}}$	IN	17
			Control	16
			OUT	15
101	C7	PG0	IN	14
			Control	13
			OUT	12
102	A7	PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$	IN	11
			Control	10
			OUT	9
103	B7	PG2/ $\overline{\text{CS2}}$	IN	8
			Control	7
			OUT	6

TFP-120 TFP-120V Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
104	C6	PG3/ $\overline{\text{CS1}}$	IN	5
			Control	4
			OUT	3
105	A6	PG4/ $\overline{\text{CS0}}$	IN	2
			Control	1
			OUT	0
to TDO				

## 14.4 動作説明

### 14.4.1 TAP コントローラ

図 14.3 に TAP コントローラの状態遷移図を示します。JTAG で規定されている状態遷移に準拠しています。

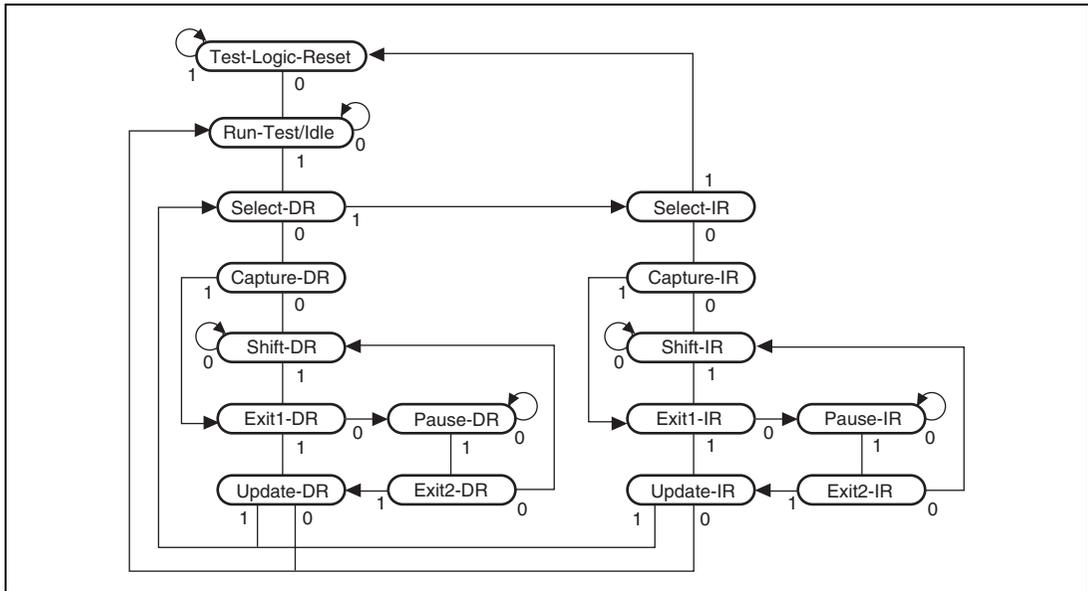


図 14.3 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値は TCK の立ち下がりエッジで変化します。また、TDO は Shift-DR、Shift-IR ステート以外ではハイインピーダンス状態です。TRST = 0 で TCK とは非同期で Test-Logic-Reset ステートへ遷移します。

## 14.5 使用上の注意事項

1. バウンダリスキャン機能を使用する場合は、電源投入時に $\overline{\text{TRST}} = 0$ とし、 $t_{\text{RESW}}$ 期間経過後に $\overline{\text{TRST}} = 1$ にしてTCK、TMS、TDIを任意に設定してください。

バウンダリスキャン機能を使用しない通常動作の場合は、TCK、TMS、TDIをHi-Zに設定して、電源投入時に $\overline{\text{TRST}} = 0$ とし、 $t_{\text{RESW}}$ 期間経過後に $\overline{\text{TRST}} = 1$ 、またはHi-Zに設定してください。これらの端子はチップ内部でプルアップされているため、1に設定したときの端子入力電圧値と電源電圧 $V_{\text{CC}}$ 間に電位差が生じると貫通電流が流れることがあるので、スタンバイ時など注意してください。

2.  $\overline{\text{TRST}}$ に印加するパワーオンリセット信号については、以下のような考慮をお願いいたします。
  - 電源投入時に必ずリセット信号を印加してください。
  - ボードテストの $\overline{\text{TRST}}$ 信号がLSIのシステム側の動作に影響を与えないように、回路を分離してください。
  - 逆にLSIのシステムリセットが、ボードテストの $\overline{\text{TRST}}$ 信号に影響を与えないように、回路を分離してください。図14.4に相互干渉しないリセット系信号の設計例を示します。

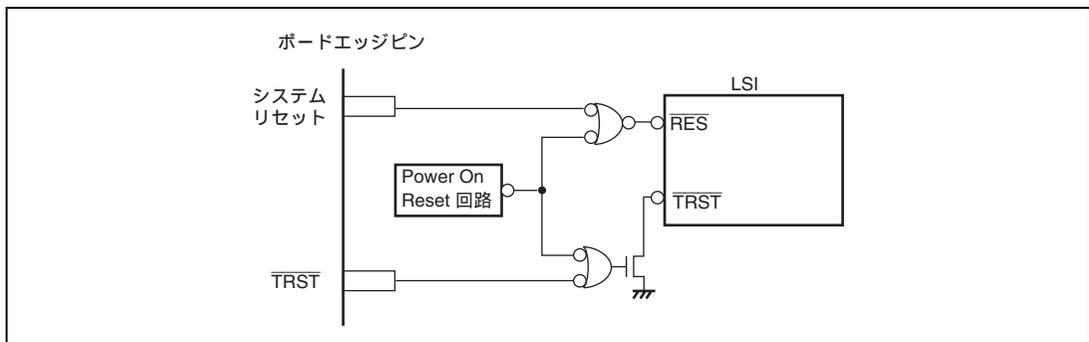


図 14.4 相互干渉しないリセット系信号の設計例

3. TCKのクロックスピードはシステムクロック周波数以下にしてください。
4. シリアル転送時のデータ入出力はLSBから開始します。図14.5にシリアルデータ入出力を示します。

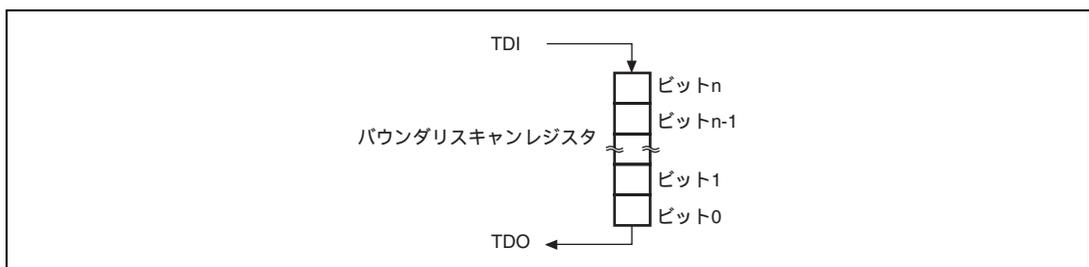


図 14.5 シリアルデータ入出力

5. ブルアップ機能付き端子で、ブルアップ機能有効の状態ではSAMPLEすると、対応するINレジスタで1を見ることができます。このとき対応するControlレジスタは0にしてください。
6. オープンドレイン機能付き端子がオープンドレイン機能有効状態で、対応するOUTレジスタが1のときにSAMPLEすると、Controlレジスタは0になります（このとき端子状態はHi-Zです）。  
また、対応するOUTレジスタが0のときにSAMPLEするとControlレジスタは1になります（このとき端子状態は0出力です）。
7. EXTEST、CLAMP、HIGHZに遷移すると、本LSIはガードがかけられた状態（ $\overline{\text{RES}} = \overline{\text{STBY}} = 0$ のハードウェアスタンバイ状態）になります。EXTEST、CLAMP、HIGHZから別のモード（通常のチップとして動作するモード）に遷移するときは $\overline{\text{RES}}$ 、 $\overline{\text{STBY}}$ 、FWE、MD2～MD0端子を動作させたいモードに設定してから行ってください。
8. バウンダリスキャン機能使用時は、 $\overline{\text{EMLE}}$ 端子をオープンとしてください。

---

## 15. ユニバーサルシリアルバス (USB)

---

本 LSI は、USB 規格に準拠した USB Function モジュールを内蔵しています。USB のブロック図を図 15.1 に示します。

### 15.1 特長

- USB規格Ver2.0のフルスピードモード (12Mbps) をサポート
- 専用端子 (UBPM) により、バスパワーモードとセルフパワーモードを選択可能
- 48MHzクロック発振器およびPLL回路内蔵 (16MHz×3 = 48MHz、24MHz×2 = 48MHz)

【注】 \* H8S/2215R、H8S/2215T、H8S/2215C のみ。

- バストランシーバ回路内蔵
- 標準コマンドをハードウェアで自動処理可能

Set\_Descriptor、Get\_Descriptor、Class/VendorCommand、SynchFrameコマンドについてはソフトウェアでの処理が必要になります。

- Set\_ConfigurationとSet\_Interface割り込みにより、現在のConfiguration値、InterfaceNumber値、AlternateSetting値がチェック可能
- 4種類の転送モードをサポート (Control転送、Interrupt転送、Bulk転送、Isochronous転送)
- 任意のエンドポイント構成が設定可能

エンドポイントは最大9個構成可能 (エンドポイント0を含む)

各エンドポイントで使用するFIFOバッファサイズはファームウェアで設定

Bulk転送、Isochronous転送用FIFOは、ダブルバッファ構成

総容量1288バイトのFIFO内蔵

EP0s固定 : Control\_setup FIFO 8バイト

EP0i固定 : Control\_in FIFO 64バイト

EP0o固定 : Control\_out FIFO 64バイト

EPn任意 : Interrupt\_in FIFO 0 ~ 64バイト可変

EPn任意 : Bulk\_in FIFO 64バイト×2 (ダブルバッファ構成)

EPn任意 : Bulk\_out FIFO 64バイト×2 (ダブルバッファ構成)

EPn任意 : Isochronous\_in FIFO 0 ~ 128バイト可変×2 (ダブルバッファ構成)

EPn任意 : Isochronous\_out FIFO 0 ~ 128バイト可変×2 (ダブルバッファ構成)

EPn任意 : Bulk\_in FIFO 64バイト×2 (ダブルバッファ構成)

EPn任意 : Bulk\_out FIFO 64バイト×2 (ダブルバッファ構成)

EPn任意 : Interrupt\_in FIFO 0 ~ 64バイト可変

- 本LSIの最大Configuration、Interface Number、Alternate Setting構成仕様

H8S/2215 : Configuration 1 ----- InterfaceNumber 0~2 ----- AlternateSetting 0~7 ----- EP0  
EP1 ~ EP8

H8S/2215R、H8S/2215T、H8S/2215C: Configuration 1 ----- InterfaceNumber 0~3 ----- AlternateSetting 0~7 ----- EP0  
EP1 ~ EP8

- Start Of Frame (SOF) マーカ機能

SOFパケットが破損した場合でも1msごとにSOF割り込み発生可能

- 割り込み要因 : 23種類 (H8S/2215)

25種類 (H8S/2215R、H8S/2215T、H8S/2215C)

サスペンド/レジューム割り込み要因は $\overline{IRQ6}$ に設定可能

上記1要因以外の各割り込み要因はレジスタにより $\overline{EXIRQ0}$ または $\overline{EXIRQ1}$ に任意に設定可能

- DMA転送インタフェース

4つのBulk転送要因から2要因を選択可能

- 外部バスインタフェース方式の8ビットバス3サイクルアクセスタイミングを採用

内蔵レジスタは外部アドレスのエリア6 (H'C00000 ~ H'DFFFFFF) に割り当てられています。

アドレスH'C00100 ~ H'DFFFFFFはUSBリザーブエリアであり、アクセス禁止エリアです。

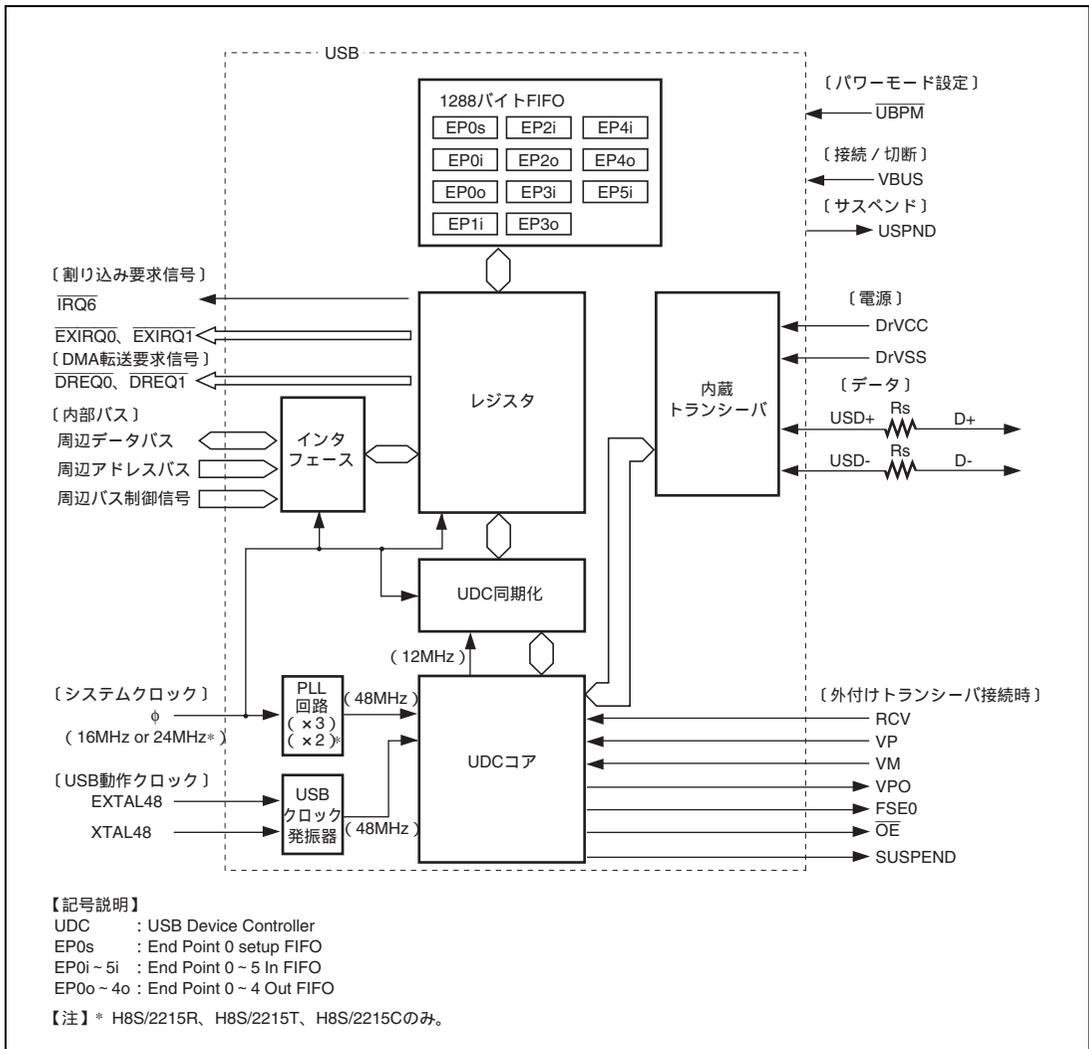


図 15.1 USB のブロック図

## 15.2 入出力端子

USB の端子構成を表 15.1 に示します。

表 15.1 端子構成

端子名	入出力	機能
USD+	入出力	USB データの入出力端子
USD-		
DrVCC	入力	USB 内蔵トランシーバの電源端子
DrVSS	入力	USB 内蔵トランシーバのグランド端子
VBUS	入力	USB ケーブルの接続 / 切断検出信号端子
UBPM	入力	USB バスパワー / セルフパワーモード設定端子 バスパワーモードで使用するときは 0 に固定してください。 セルフパワーモードで使用するときは 1 に固定してください。
XTAL48、 EXTAL48	入力	USB 動作クロック入力端子 USB 通信を行うための 48MHz のクロックを入力します。 内蔵 PLL を使用する場合は、EXTAL48 を Low 固定にし、XTAL48 を open にしてください。
USPND	出力	USB サスペンド出力端子 サスペンド状態に遷移すると High レベルになります。
RCV	入力	外付けトランシーバ接続信号 NXP 社製トランシーバ (ISP1104) に接続するための信号です。
VP	入力	
VM	入力	
VPO	出力	
FSE0	出力	
OE	出力	
SUSPND	出力	

### 15.3 レジスタの説明

USB には以下のレジスタがあります。

- USBエンドポイントインフォメーションレジスタ00\_0~22\_4 (UEPIR00\_0~22\_4)
- USBコントロールレジスタ (UCTLR)
- USB DMAC転送要求レジスタ (UDMAR) \*
- USBデバイスレジュームレジスタ (UDRR)
- USBトリガレジスタ0 (UTRG0) \*
- USBトリガレジスタ1 (UTRG1) \*
- USB FIFOクリアレジスタ0 (UFCLR0) \*
- USB FIFOクリアレジスタ1 (UFCLR1) \*
- USBエンドポイントストールレジスタ0 (UESTL0) \*
- USBエンドポイントストールレジスタ1 (UESTL1) \*
- USBエンドポイントデータレジスタ0s (UEDR0s) [ Setupデータ受信]
- USBエンドポイントデータレジスタ0i (UEDR0i) [ Control\_inデータ送信]
- USBエンドポイントデータレジスタ0o (UEDR0o) [ Control\_outデータ受信]
- USBエンドポイントデータレジスタ1i (UEDR1i) \* [ Interrupt\_inデータ送信]
- USBエンドポイントデータレジスタ2i (UEDR2i) \* [ Bulk\_inデータ送信]
- USBエンドポイントデータレジスタ2o (UEDR2o) \* [ Bulk\_outデータ受信]
- USBエンドポイントデータレジスタ3i (UEDR3i) \* [ Isochronous\_inデータ送信]
- USBエンドポイントデータレジスタ3o (UEDR3o) \* [ Isochronous\_outデータ受信]
- USBエンドポイントデータレジスタ4i (UEDR4i) \* [ Bulk\_inデータ送信]
- USBエンドポイントデータレジスタ4o (UEDR4o) \* [ Bulk\_outデータ受信]
- USBエンドポイントデータレジスタ5i (UEDR5i) \* [ Interrupt\_inデータ送信]
- USBエンドポイント受信データサイズレジスタ0o (UESZ0o) [ Control\_outデータ受信]
- USBエンドポイント受信データサイズレジスタ2o (UESZ2o) \* [ Bulk\_outデータ受信]
- USBエンドポイント受信データサイズレジスタ3o (UESZ3o) \* [ Isochronous\_outデータ受信]
- USBエンドポイント受信データサイズレジスタ4o (UESZ4o) \* [ Bulk\_outデータ受信]
- USB割り込みフラグレジスタ0 (UIFR0) \*
- USB割り込みフラグレジスタ1 (UIFR1) \*
- USB割り込みフラグレジスタ2 (UIFR2) \*
- USB割り込みフラグレジスタ3 (UIFR3)
- USB割り込みイネーブルレジスタ0 (UIER0) \*
- USB割り込みイネーブルレジスタ1 (UIER1) \*
- USB割り込みイネーブルレジスタ2 (UIER2) \*

- USB割り込みイネーブルレジスタ3 (UIER3)
- USB割り込み選択レジスタ0 (UISR0) \*
- USB割り込み選択レジスタ1 (UISR1) \*
- USB割り込み選択レジスタ2 (UISR2) \*
- USB割り込み選択レジスタ3 (UISR3)
- USBデータステータスレジスタ (UDSR) \*
- USBコンフィグレーションバリュeregスタ (UCVR)
- USBタイムスタンプレジスタH、L (UTSRH、L)
- USBテストレジスタ0 (UTSTR0)
- USBテストレジスタ1 (UTSTR1)
- USBテストレジスタ2 (UTSTR2)
- USBテストレジスタA (UTSTRA)
- USBテストレジスタB (UTSTRB)
- USBテストレジスタC (UTSTRC)
- USBテストレジスタD (UTSTRD)
- USBテストレジスタE (UTSTRE)
- USBテストレジスタF (UTSTRF)
- モジュールストップコントロールレジスタB (MSTPCRB)

【注】 \* 各エンドポイント情報を Bluetooth 規格に設定したときのレジスタ名称 / ビット名称で示しています。設定したエンドポイント構成に合わせてレジスタ名称 / ビット名称を対応させてください。「15.7 エンドポイントの構成設定例」を参照してください。

アドレス H'C00100 ~ H'DFFFFFF は USB リザーブエリアであり、アクセス禁止エリアです。

### 15.3.1 USB エンドポイントインフォメーションレジスタ 00\_0 ~ 22\_4 (UEPIR00\_0 ~ 22\_4)

UEPIR は、23 種類の各エンドポイントの情報 (EPINFO データ) を設定するレジスタです。EPINFO データは、1 つのエンドポイントに対して 40 ビット (5 バイト) あります。UEPIR00\_0 ~ 22\_4 までの全 EPINFO データ (115 バイト) のライトは、USB インタフェースソフトリセット解除後 (UCTLR レジスタ UIFRST = 0) に実施してください。その後の UDC コアソフトリセット解除後 (UCTLR レジスタ UDCRST = 0) に、UDC コア内のバッファへ自動的にローディングされ保存されます。EPINFO データの設定フローは、「15.5 通信動作説明」を参照してください。

本 USB モジュールは、UDC コアソフトリセット解除後、自動的に EPINFO データをローディングするモードになっており、EPINFO データを正しく設定しないと、正常な USB 通信ができなくなりますので注意してください。

UEPIR にライトした EPINFO データは、レジスタで保持しており、UDC コアソフトリセット解除ごとに自動的に再ローディングするため、EPINFO データのライトは、初期化時に 1 回実施するだけでかまいません。

#### • UEPIRnn\_0

ビット	ビット名	初期値	R/W	説明
7~4	D39~D36	-	R/W	エンドポイント番号 (4 ビット構成、設定可能値 0~8) 0000 : Control 転送 (EP0) 0001 ~ 1000 : Control 転送以外 (EP1 ~ EP8) 設定可能なエンドポイント番号は、そのエンドポイントが属する Interface 番号と Alternate 番号によって制約があります。 制約 1 : 1 つの Alternate の下には、異なるエンドポイント番号を設定してください。ただし、転送方向 (IN/OUT) が異なれば同一のエンドポイント番号でも問題ありません (Ex : Alt0 - EP1, EP2i, EP2o)。 制約 2 : 異なる Interface 番号の下には、同一のエンドポイント番号を設定しないでください (Ex : Int0 - Alt0 - EP1, EP2, Int1 - Alt0 - EP3)。
3	D35	-	R/W	エンドポイントが属する Configuration 番号 (2 ビット構成、設定可能値 0, 1)
2	D34	-	R/W	00 : Control 転送 01 : Control 転送以外
1	D33	-	R/W	H8S/2215
0	D32	-	R/W	エンドポイントが属する Interface 番号 (2 ビット構成、設定可能値 0~2) 00 : Control 転送 00 ~ 10 : Control 転送以外 H8S/2215R, H8S/2215T, H8S/2215C エンドポイントが属する Interface 番号 (2 ビット構成、設定可能値 0~3) 00 : Control 転送 00 ~ 11 : Control 転送以外

## • UEPIRnn\_1

ビット	ビット名	初期値	R/W	説明
7~5	D31~D29	-	R/W	エンドポイントが属する Alternate 番号 (3 ビット構成、設定可能値 0~7) 000 : Control 転送 000~111 : Control 転送以外
4	D28	-	R/W	エンドポイントの転送タイプ (2 ビット構成) 00 : Control (UEPIR00) 01 : Isochronous (UEPIR04~UEPIR19) 10 : Bulk (UEPIR02, UEPIR03, UEPIR20, UEPIR21) 11 : Interrupt (UEPIR01, UEPIR22)
3	D27	-	R/W	
2	D26	-	R/W	エンドポイントの転送方向 (1 ビット構成) 0 : out (UEPIR00, 03, 05, 07, 09, 11, 13, 15, 17, 19, 21) 1 : in (UEPIR01, 02, 04, 06, 08, 10, 12, 14, 16, 18, 20, 22)
1	D25	-	R/W	エンドポイントの最大パケットサイズ (D25~D16 の 10 ビット構成) Control 転送 = 64 のみ (UEPIR00) Interrupt 転送 = 0~64 (UEPIR01, UEPIR22) Bulk 転送 = 0 または 64 (UEPIR02, UEPIR03, UEPIR20, UEPIR21) Isochronous 転送 = 0~128 (UEPIR04~UEPIR19)
0	D24	-	R/W	

## • UEPIRnn\_2

ビット	ビット名	初期値	R/W	説明
7~0	D23~D16	-	R/W	エンドポイントの最大パケットサイズ (D25~D16 の 10 ビット構成) Control 転送 = 64 のみ (UEPIR00) Interrupt 転送 = 0~64 (UEPIR01, UEPIR22) Bulk 転送 = 0 または 64 (UEPIR02, UEPIR03, UEPIR20, UEPIR21) Isochronous 転送 = 0~128 (UEPIR04~UEPIR19)

## • UEPIRnn\_3

ビット	ビット名	初期値	R/W	説明
7~0	D15~D8	-	R/W	エンドポイントの内部アドレス (D15~D0 の 16 ビット構成) UEPIR00_3, UEPIR00_4 = H'0000 を設定してください UEPIR01_3, UEPIR01_4 = H'0001 を設定してください : UEPIR21_3, UEPIR21_4 = H'0015 を設定してください UEPIR22_3, UEPIR22_4 = H'0016 を設定してください

## • UEPIRnn\_4

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	R/W	エンドポイントの内部アドレス (D15~D0 の 16 ビット構成) UEPIR00_3, UEPIR00_4 = H'0000 を設定してください UEPIR01_3, UEPIR01_4 = H'0001 を設定してください : UEPIR21_3, UEPIR21_4 = H'0015 を設定してください UEPIR22_3, UEPIR22_4 = H'0016 を設定してください

本マニュアルは、エンドポイント情報 (EPINFO データ) を図 15.2 に示す Bluetooth 規格対応構成にしたときを前提に記述しています。図 15.2 以外の構成にしたときは、設定したエンドポイント番号、Configuration/Interface/Alternate 番号、最大パケットサイズなどから、レジスタ名称やビット名称などを対応させてください (「15.7 エンドポイントの構成設定例」を参照)。

図 15.2 の構成を実現する EPINFO データは、表 15.2 となります。この例では、実際には使用しないエンドポイント (EP4i, EP4o, EP5i) があります。このような場合でも UEPIR00\_0 ~ UEPIR22\_4 までの全 EPINFO データをローディングするため、未使用エンドポイントに対しても必ずダミーデータをライトしてください。ダミーデータの例は表 15.2 を参照してください。

さらに、未使用エンドポイントに対してホストからアクセスされないようにするため、接続時に行われるエミュレーションフェーズで、未使用エンドポイントに対するディスクリプタ情報を返さないでください。このことで、ホストに対して使用可能なエンドポイントを正しく報告し、存在しないエンドポイントに対するアクセスを抑制できます。

もし、エンドポイントのディスクリプタ情報を誤って返信し、ホストから存在しないエンドポイントに対してアクセスが行われた場合は、正常に動作しません。また、EPINFO データ情報と、ホストに返信するディスクリプタ情報は、必ず同期させてください。たとえば、EPINFO データ上では最大パケットサイズが 8 バイトであるのに、ディスクリプタ情報で 16 バイトと返信すると、ホストは、16 バイト単位でアクセスしようと試みます。しかし、本 USB モジュールは、8 バイトと認識しているため、16 バイトのパケットは受け取れず、正常に動作できません。

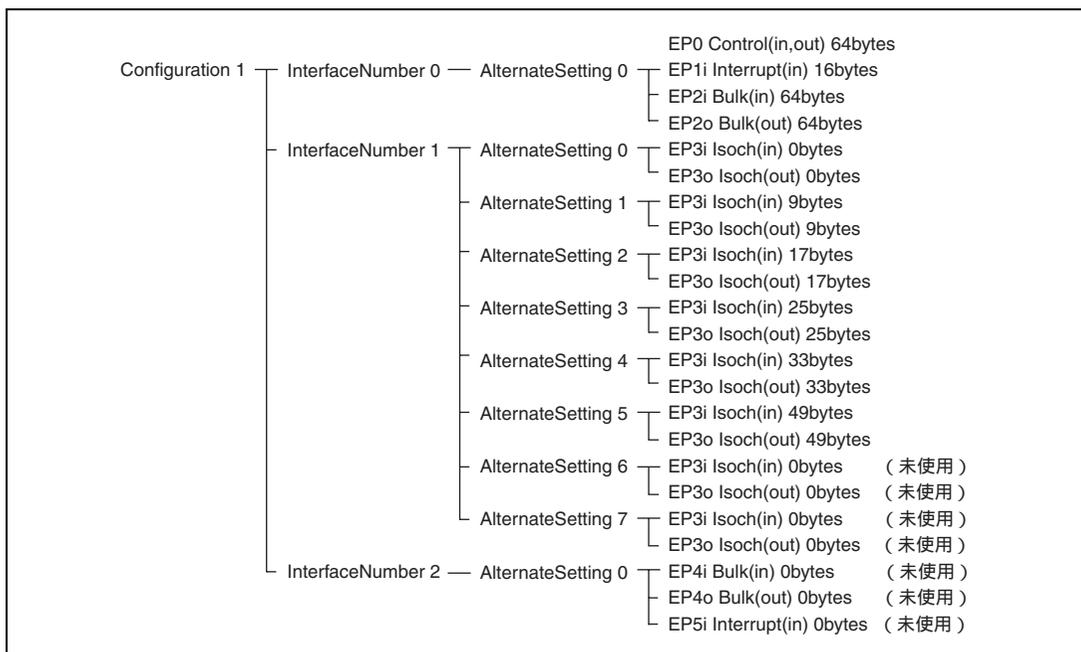


図 15.2 Bluetooth 規格対応のエンドポイント構成例

表 15.2 に Bluetooth 規格対応のエンドポイント構成にするための EPINFO データ設定例を示します。

本 USB モジュールは、転送タイプに対応した専用ハードウェアで最適化しているため、完全任意なエンドポイント構成に設定することはできません。表 15.2 に示す制約範囲内 ( [ ] 内データのみ変更可能) で、エンドポイント構成を設定することができますが、[ ] 内外の箇所は、必ず表 15.2 に示すデータを設定してください。

他のエンドポイント構成にするための EPINFO データ設定例は、「15.7 エンドポイントの構成設定例」を参照してください。

表 15.2 EPINFO データ設定例

No	レジスタ名称	アドレス	Bluetooth 規格に対応する EPINFO データ設定例						
			対応転送モード <sup>*1</sup>	UEPIRn_0 ~ UEPIRn_4 設定例 <sup>*2</sup>	UEPIRn_0	UEPIRn_1	UEPIRn_2	UEPIRn_3	UEPIRn_4
1	UEPIR00_0 ~ UEPIR00_4	H'C00000 ~ H'C0004	Control 転送専用	B'0000_00_00_000_00_0_ 0001000000_0000000000000000	H'00	H'00	H'40	H'00	H'00
2	UEPIR01_0 ~ UEPIR01_4	H'C00005 ~ H'C0009	Interrupt in 転送専用	B'[0001]_01_[00]_[000]_11_1_ [0000010000]_0000000000000001 <sup>*3</sup>	H'14	H'1C	H'10	H'00	H'01
3	UEPIR02_0 ~ UEPIR02_4	H'C0000A ~ ~ H'C000E	Bulk in 転送専用	B'[0010]_01_[00]_[000]_10_1_ [0001000000]_0000000000000010 <sup>*4</sup>	H'24	H'14	H'40	H'00	H'02
4	UEPIR03_0 ~ UEPIR03_4	H'C0000F ~ H'C0013	Bulk out 転送専用	B'[0010]_01_[00]_[000]_10_0_ [0001000000]_0000000000000011 <sup>*4</sup>	H'24	H'10	H'40	H'00	H'03
5	UEPIR04_0 ~ UEPIR04_4	H'C00014 ~ H'C0018	Isoch in 転送専用	B'[0011]_01_[01]_[000]_01_1_ [0000000000]_0000000000000100 <sup>*5</sup>	H'35	H'0C	H'00	H'00	H'04
6	UEPIR05_0 ~ UEPIR05_4	H'C00019 ~ H'C001D	Isoch out 転送専用	B'[0011]_01_[01]_[000]_01_0_ [0000000000]_0000000000000101 <sup>*5</sup>	H'35	H'08	H'00	H'00	H'05
7	UEPIR06_0 ~ UEPIR06_4	H'C0001E ~ ~ H'C0022	Isoch in 転送専用	B'[0011]_01_[01]_[001]_01_1_ [0000001001]_0000000000000110 <sup>*5</sup>	H'35	H'2C	H'09	H'00	H'06
8	UEPIR07_0 ~ UEPIR07_4	H'C00023 ~ H'C0027	Isoch out 転送専用	B'[0011]_01_[01]_[001]_01_0_ [0000001001]_0000000000000111 <sup>*5</sup>	H'35	H'28	H'09	H'00	H'07
9	UEPIR08_0 ~ UEPIR08_4	H'C00028 ~ H'C002C	Isoch in 転送専用	B'[0011]_01_[01]_[010]_01_1_ [0000010001]_00000000000001000 <sup>*5</sup>	H'35	H'4C	H'11	H'00	H'08
10	UEPIR09_0 ~ UEPIR09_4	H'C0002D ~ ~ H'C0031	Isoch out 転送専用	B'[0011]_01_[01]_[010]_01_0_ [0000010001]_00000000000001001 <sup>*5</sup>	H'35	H'48	H'11	H'00	H'09
11	UEPIR10_0 ~ UEPIR10_4	H'C00032 ~ H'C0036	Isoch in 転送専用	B'[0011]_01_[01]_[011]_01_1_ [0000011001]_00000000000001010 <sup>*5</sup>	H'35	H'6C	H'19	H'00	H'0A
12	UEPIR11_0 ~ UEPIR11_4	H'C00037 ~ H'C003B	Isoch out 転送専用	B'[0011]_01_[01]_[011]_01_0_ [0000011001]_00000000000001011 <sup>*5</sup>	H'35	H'68	H'19	H'00	H'0B
13	UEPIR12_0 ~ UEPIR12_4	H'C0003C ~ ~ H'C0040	Isoch in 転送専用	B'[0011]_01_[01]_[100]_01_1_ [0000100001]_0000000000000100 <sup>*5</sup>	H'35	H'8C	H'21	H'00	H'0C
14	UEPIR13_0 ~ UEPIR13_4	H'C00041 ~ H'C0045	Isoch out 転送専用	B'[0011]_01_[01]_[100]_01_0_ [0000100001]_0000000000000101 <sup>*5</sup>	H'35	H'88	H'21	H'00	H'0D
15	UEPIR14_0 ~ UEPIR14_4	H'C00046 ~ H'C004A	Isoch in 転送専用	B'[0011]_01_[01]_[101]_01_1_ [0000110001]_0000000000000110 <sup>*5</sup>	H'35	H'AC	H'31	H'00	H'0E
16	UEPIR15_0 ~ UEPIR15_4	H'C0004B ~ ~ H'C004F	Isoch out 転送専用	B'[0011]_01_[01]_[101]_01_0_ [0000110001]_0000000000000111 <sup>*5</sup>	H'35	H'A8	H'31	H'00	H'0F
17	UEPIR16_0 ~ UEPIR16_4	H'C00050 ~ H'C0054	Isoch in 転送専用	B'[0011]_01_[01]_[110]_01_1_ [0000000000]_0000000000000000 <sup>*5*6</sup>	H'35	H'CC	H'00	H'00	H'10
18	UEPIR17_0 ~ UEPIR17_4	H'C00055 ~ H'C0059	Isoch out 転送専用	B'[0011]_01_[01]_[110]_01_0_ [0000000000]_0000000000000001 <sup>*5*6</sup>	H'35	H'C8	H'00	H'00	H'11

No	レジスタ名称	アドレス	Bluetooth 規格に対応する EPINFO データ設定例						
			対応転送モード*1	UEPIRn_0 ~ UEPIRn_4 設定例*2	UEPIRn_0	UEPIRn_1	UEPIRn_2	UEPIRn_3	UEPIRn_4
19	UEPIR18_0 ~ UEPIR18_4	H'C0005A ~ H'C0005E	Isoch in 転送専用	B'[0011]_01_[01]_[111]_01_1_ [0000000000]_0000000000010010**5*6	H'35	H'EC	H'00	H'00	H'12
20	UEPIR19_0 ~ UEPIR19_4	H'C0005F ~ H'C00063	Isoch out 転送専用	B'[0011]_01_[01]_[111]_01_0_ [0000000000]_0000000000010011**5*6	H'35	H'E8	H'00	H'00	H'13
21	UEPIR20_0 ~ UEPIR20_4	H'C00064 ~ H'C00068	Bulk in 転送専用	B'[0100]_01_[10]_[000]_10_1_ [0000000000]_0000000000010100**5*6	H'46	H'14	H'00	H'00	H'14
22	UEPIR21_0 ~ UEPIR21_4	H'C00069 ~ H'C0006D	Bulk out 転送専用	B'[0100]_01_[10]_[000]_10_0_ [0000000000]_0000000000010101**5*6	H'46	H'10	H'00	H'00	H'15
23	UEPIR22_0 ~ UEPIR22_4	H'C0006E ~ H'C00072	Interrupt in 転送専用	B'[0101]_01_[10]_[000]_11_1_ [0000000000]_0000000000010110**5*6	H'56	H'1C	H'00	H'00	H'16

【注】 \*1 各エンドポイントは、転送モードに対応した専用ハードウェアで最適化しているため、必ず表に示す転送モードに設定してください (全 EPINFO データの D28、D27 は指定以外の設定禁止)。

\*2 [ ] 内が、任意設定可能箇所です。[ ] 以外の箇所は、必ず表に示すデータを設定してください。

\*3 Interrupt 転送の最大パケットサイズは、0 ~ 64 の範囲で設定してください。

\*4 Bulk 転送の最大パケットサイズは、使用時 = 64 / 未使用時 = 0 に設定してください。

\*5 Isochronous 転送の最大パケットサイズは、0 ~ 128 の範囲で設定してください。

\*6 未使用エンドポイントの最大パケットサイズは、0 を設定してください。

### 15.3.2 USB コントロールレジスタ (UCTLR)

USB データ入出力端子の選択、SOF マーカ機能設定、USB 動作クロックの選択、および USB モジュール内のリセットを制御するレジスタです。USB モジュールストップモード中でもリード/ライト可能です。UCTLR の設定フローは、「15.5 通信動作説明」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FADSEL	0	R/W	<p>入出力アナログ・デジタル選択</p> <p>USB ファンクションのデータ入出力端子を選択します。</p> <p>0 : データ入出力は、USD+、USD-端子を使用</p> <p>1 : データ入出力は、Philips 社製トランシーバ (PIDUSBP11A) 互換制御入出力をポート 1、ポート A で接続</p> <p>P17 (出力) → <math>\overline{OE}</math> : 出力イネーブル</p> <p>P15 (出力) → FSE0 : SE0 設定</p> <p>P13 (出力) → VPO : データ + 出力</p> <p>P12 (入力) ← PCV : 差動データ入力</p> <p>P11 (入力) ← VP : データ + 入力</p> <p>P10 (入力) ← VM : データ - 入力</p> <p>PA3 (出力) → SUSPND : サスペンドイネーブル</p> <p>ポート 1 とポート A は、アドレス出力が優先されます。FADSEL = 1 にする前に、必ず端子機能コントロールレジスタ (PFCR) の設定で A23 ~ A19 を出力禁止にしてください。</p> <p>FADSEL の設定は、USB モジュールストップモード中に行ってください。</p>
6	SFME	0	R/W	<p>Start Of Frame (SOF) マーカ機能イネーブル</p> <p>SFME ビットは、SOF マーカ機能を制御します。SFME ビットを 1 にセットすると、SOF パケットが破損した場合でも 1ms ごとに SOF 割り込みフラグを 1 にセットできます。ただし、USB タイムスタンプレジスタ (UTSR) には、正常な SOF パケットを受信したときのタイムスタンプが格納されるのみであり、SOF パケット破損時の USB タイムスタンプレジスタ自動更新機能はサポートしていません。最初の SFME ビットの 1 セットは SOF フラグ検出後に実行してください。サスペンド検出時には必ず 0 クリアし、その後のレジューム検出後の 1 セットも SOF フラグ検出後に実行してください。</p> <p>0 : SOF マーカ機能無効</p> <p>1 : SOF マーカ機能有効</p>

ビット	ビット名	初期値	R/W	説明
5	UCKS3	0	R/W	USB 動作クロックセレクト 3~0
4	UCKS2	0	R/W	<p>USB 動作クロック(48MHz)を選択するビットです。UCKS3~0=0000 のときは、48MHz 発振器と PLL が停止していますので、クロックソースに合わせて USB 動作クロックを選択する必要があります。</p> <p>内蔵 PLL 回路、および 48MHz 発振器は、USB モジュールストップモードを解除したあとから動作開始します。また、UDC コアへの USB 動作クロックは、さらに 48MHz クロックの安定待ち時間分待たされたあとに供給されます。</p> <p>USB 動作クロック安定待ち時間終了タイミングは、UIFR3 レジスタの CK48READY フラグで検出可能です。</p> <p>UCKS3~0 のライトは、USB モジュールストップモード中に行ってください。</p> <p>0000 : USB 動作クロック停止 (48MHz 発振器停止、PLL 動作停止)</p> <p>0001 : リザーブ</p> <p>0010 (H8S/2215) : リザーブ</p> <p>0010 (H8S/2215R、H8S/2215T、H8S/2215C) : 24MHz のシステムクロックを PLL 回路で 2 通倍 (48MHz) したクロックを使用。48MHz 発振器停止。USB 動作クロック安定待ち時間は <u>2ms</u></p> <p>0011 : 16MHz のシステムクロックを PLL 回路で 3 通倍 (48MHz) したクロックを使用。48MHz 発振器停止。USB 動作クロック安定待ち時間は <u>2ms</u></p> <p>0100 : リザーブ</p> <p>0101 : リザーブ</p> <p>0110 (H8S/2215) : リザーブ</p> <p>0110 (H8S/2215R、H8S/2215T、H8S/2215C) : 24MHz のシステムクロックを PLL 回路で 2 通倍 (48MHz) したクロックを使用。48MHz 発振器停止。USB 動作クロック安定待ち時間は <u>8ms</u></p> <p>0111 : 16MHz のシステムクロックを PLL 回路で 3 通倍 (48MHz) したクロックを使用。48MHz 発振器停止。USB 動作クロック安定待ち時間は <u>8ms</u></p> <p>1000 : 48MHz 外部クロック (EXTAL48 端子入力) からのクロックを直接使用。PLL 動作停止。USB 動作クロック安定待ち時間は <u>246~200<math>\mu</math>s</u> (13~16MHz のシステムクロック時)</p> <p>1001 (H8S/2215) : リザーブ</p>
3	UCKS1	0	R/W	
2	UCKS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
5	UCKS3	0	R/W	<p>1001 (H8S/2215R、H8S/2215T、H8S/2215C) :</p> <p>48MHz 外部クロック (EXTAL48 端子入力) からのクロックを直接使用。PLL 動作停止。USB 動作クロック安定待ち時間は <u>300 ~ 200<math>\mu</math>s</u> (16 ~ 24MHz のシステムクロック時)</p> <p>1010 : リザーブ</p> <p>1011 : リザーブ</p> <p>1100 : USB 動作クロック (48MHz) 発振器からのクロックを直接使用。PLL 動作停止。USB 動作クロック安定待ち時間は <u>9.9 ~ 8ms</u> (13 ~ 16MHz のシステムクロック時)</p> <p>1101 (H8S/2215) : リザーブ</p> <p>1101 (H8S/2215R、H8S/2215T、H8S/2215C) :</p> <p>USB 動作クロック (48MHz) 発振器からのクロックを直接使用。PLL 動作停止。USB 動作クロック安定待ち時間は <u>12 ~ 8ms</u> (16 ~ 24MHz のシステムクロック時)</p> <p>1110 : リザーブ</p> <p>1111 : リザーブ</p> <p>USB 動作クロック安定待ち時間は、選択したクロックソースによって異なり、システムクロックで自動的に時間をカウントします。表中の安定待ち時間は、13 ~ 24MHz のシステムクロック時における時間であり、使用するシステムクロックに比例して変動しますのでご注意ください。</p>
4	UCKS2	0	R/W	
3	UCKS1	0	R/W	
2	UCKS0	0	R/W	
1	UIFRST	1	R/W	

ビット	ビット名	初期値	R/W	説 明
0	UDCRST	1	R/W	<p>UDC コアソフトリセット</p> <p>UDCRST ビットは、USB モジュール内の UDC コア部のリセットを制御します。UDCRST ビットを 1 にセットすると、UDC コアがリセットされ、USB バス同期動作が停止します。初期設定時は UIFRST ビットを 0 クリアし、ポート制御による D+プルアップ後に UDCRST ビットを 0 にクリアしてください。ただし、サスペンド時は、UDC コア内の状態を保持する必要があるため、必ず UDCRST ビットを 0 に保持したまま、USB モジュールストップ設定後、ソフトウェアスタンバイモードに遷移してください。また、VBUS 切断検出後は 1 にセットしてください。</p> <p>0 : USB モジュール内の UDC コアを動作状態に設定 (初期設定時は、UIFRST ビットを 0 クリアし、ポート制御による D+プルアップ後に 0 クリアしてください)</p> <p>1 : USB モジュール内の UDC コアをリセット状態に設定(サスペンド時の 1 セットは禁止です。VBUS 切断検出後は 1 にセットしてください)</p>

### 15.3.3 USB DMAC 転送要求レジスタ (UDMAR)

Bulk 転送用の EP2i、EP2o、EP4i、EP4o の各データレジスタ (UEDR2i、UEDR2o、UEDR4i、UEDR4o) に対して内蔵 DMAC の USB リクエストによるデータ転送をするときに設定します。DMAC 転送設定は、1 度に 2 要因以下とし、 $\overline{\text{DREQ0}}$  と  $\overline{\text{DREQ1}}$  を分けて設定してください。3 要因以上設定した場合や  $\overline{\text{DREQ}}$  を重複設定した場合の動作は保証できません。DMAC 転送の詳細動作については、「15.6 DMA 転送仕様」を参照してください。

【注】 内蔵 DMAC のオートリクエストによるデータ転送時は、 $\overline{\text{DREQ}}$  信号を使用しませんので UDMAR = H'00 にしてください。

ビット	ビット名	初期値	R/W	説明
7 6	EP4oT1 EP4oT0	0 0	R/W R/W	EP4o DMAC 転送要求セレクト 1、0 00: EP4o の DMAC 転送要求はしない 01: リザーブ 10: EP4o の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11: EP4o の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する
5 4	EP4iT1 EP4iT0	0 0	R/W R/W	EP4i DMAC 転送要求セレクト 1、0 00: EP4i の DMAC 転送要求はしない 01: リザーブ 10: EP4i の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11: EP4i の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する
3 2	EP2oT1 EP2oT0	0 0	R/W R/W	EP2o DMAC 転送要求セレクト 1、0 00: EP2o の DMAC 転送要求はしない 01: リザーブ 10: EP2o の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11: EP2o の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する
1 0	EP2iT1 EP2iT0	0 0	R/W R/W	EP2i DMAC 転送要求セレクト 1、0 00: EP2i の DMAC 転送要求はしない 01: リザーブ 10: EP2i の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11: EP2i の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する

### 15.3.4 USB デバイスレジュームレジスタ (UDRR)

UDRR には、ホストからのリモートウェイクアップの禁止 / 許可状態を示すステータスビットと USB モジュールのサスペンド状態のリモートウェイクアップを実行するビットがあります。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	RWUPs	0	R	リモートウェイクアップステータス ホストからのリモートウェイクアップの禁止 / 許可状態を示すステータスビットです。RWUPs はステータスビットですのでライトできません。Set_Feature/Clear_Feature リクエストによる Device_Remote_Wakeup で、ホストからリモートウェイクアップが禁止されると、RWUPs ビットが 0 クリアされます。リモートウェイクアップが許可されると、RWUPs ビットが 1 セットされます。 0 : リモートウェイクアップ禁止状態 1 : リモートウェイクアップ許可状態
0	DVR	0	W	デバイスレジューム サスペンド状態を解除 (リモートウェイクアップ実行) できるビットです。 DVR ビットは、1 ライトのみ可能です。リードすると常に 0 が読み出されます。 リモートウェイクアップを実行する前には、USB モジュールにクロックを供給する必要があるため、ソフトウェアスタンバイモードや USB モジュールストップモードを解除してください。 0 : 何も行われません 1 : サスペンド状態を解除可能 (リモートウェイクアップ実行)

### 15.3.5 USB トリガレジスタ 0 (UTRG0)

EP0～EP2 の各エンドポイントの FIFO に対するトリガを与えるワンショットレジスタです。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP2oRDFN	0	W	EP2o 読み出し完了 0: 何も行われません。 1: EP2o の OUT FIFO に対するデータリードが終了したあと、1 ライトを行います。EP2o は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。
4	EP2iPKTE	0	W	EP2i パケットイネーブル 0: 何も行われません。 1: EP2i の IN FIFO に対する送信許可を行うトリガを与えます。EP2i は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。
3	EP1iPKTE	0	W	EP1i パケットイネーブル 0: 何も行われません。 1: EP1i の IN FIFO に対する送信許可を行うトリガを与えます。
2	EP0oRDFN	0	W	EP0o 読み出し完了 0: 何も行われません。 1: EP0o の OUT FIFO に対するデータリードが終了したあと、1 ライトを行います。このトリガによって EP0o は次のパケットを受信可能になります。
1	EP0iPKTE	0	W	EP0i パケットイネーブル 0: 何も行われません。 1: EP0i の IN FIFO に対する送信許可を行うトリガを与えます。
0	EP0sRDFN	0	W	EP0s 読み出し完了 0: 何も行われません。1 ライトを行うまでデータステージの送受信要求に対して、NAK ハンドシェイクを返します。 1: EP0s のコマンド用 FIFO に対するデータリードが終了したあと、1 ライトを行います。セットアップコマンド受信後、このトリガによって EP0i、EP0o はデータステージのパケットを受信可能になります。EP0s はこのトリガに関係なく常に上書きで受信します。

【注】 Isochronous 転送用の EP3i、EP3o に対するトリガは、ホストからの SOF パケット受信時ごとに自動的に行われるため、ユーザは EP0、EP1、EP2、EP4、EP5 のようにトリガを与える必要はありません。したがって、UEDR3i レジスタへのデータライトと UEDR3o レジスタからのデータリードは、次の SOF パケットを受信する前に完了しておく必要があります。

### 15.3.6 USB トリガレジスタ 1 (UTRG1)

EP4、EP5 の各エンドポイントの FIFO に対するトリガを与えるワンショットレジスタです。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP5iPKTE	0	W	EP5i パケットイネーブル 0: 何も行われません。 1: EP5i の IN FIFO に対する送信許可を行うトリガを与えます。
1	EP4oRDFN	0	W	EP4o 読み出し完了 0: 何も行われません。 1: EP4o の OUT FIFO に対するデータリードが終了したあと、1 ライトを行います。EP4o は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。
0	EP4iPKTE	0	W	EP4i パケットイネーブル 0: 何も行われません。 1: EP4i の IN FIFO に対する送信許可を行うトリガを与えます。EP4i は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。

### 15.3.7 USBFIFO クリアレジスタ 0 (UFCLR0)

EP0～EP3の各エンドポイントのFIFOをクリアするワンショットレジスタです。各ビットに1ライトすることで、対応するFIFO内のデータをクリアすることができます。

IN FIFOの場合は、データライト後にUTRG0レジスタのPKTEへ1ライトをしていないデータやUTRG0レジスタのPKTEへの1ライトによって有効になったデータをクリアできます。

OUT FIFOの場合は、まだ受信中で確定していないデータや受信完了したデータ(UTRGレジスタのRDFNビットへ1ライトをしていないデータ)がクリアされます。そのため送受信中のクリアは行わないようにしてください。EP2i、EP2o、EP3i、EP3oの2面構成のFIFOに対しては、2面ともクリアされます。このトリガでは、対応する割り込みフラグはクリアされませんので注意してください。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	EP3oCLR	0	W	EP3o クリア 0: 何も行われません。 1: EP3oのOUT FIFOをクリアします。
6	EP3iCLR	0	W	EP3i クリア 0: 何も行われません。 1: EP3iのIN FIFOをクリアします。
5	EP2oCLR	0	W	EP2o クリア* 0: 何も行われません。 1: EP2oのOUT FIFOをクリアします。
4	EP2iCLR	0	W	EP2i クリア 0: 何も行われません。 1: EP2iのIN FIFOをクリアします。
3	EP1iCLR	0	W	EP1i クリア 0: 何も行われません。 1: EP1iのIN FIFOをクリアします。
2	EP0oCLR	0	W	EP0o クリア 0: 何も行われません。 1: EP0oのOUT FIFOをクリアします。
1	EP0iCLR	0	W	EP0i クリア 0: 何も行われません。 1: EP0iのIN FIFOをクリアします。
0	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

【注】 \* DMA転送をイネーブルにしているとき(UDMAR/EP2oT1=1、EP2oT0=0または1)は、EP2oCLRに1をライトしてもFIFO内のデータをクリアすることができません。クリアを行う場合は、DMA転送を解除してから(UDMAR/EP2oT1=0、EP2oT0=0)EP2oCLRに1をライトしてください。

### 15.3.8 USBFIFO クリアレジスタ 1 (UFCLR1)

EP4、EP5 の各エンドポイントの FIFO をクリアするワンショットレジスタです。各ビットに 1 ライトすることで、対応する FIFO 内のデータをクリアすることができます。

IN FIFO の場合は、データライト後に UTRG1 レジスタの PKTE へ 1 ライトをしていないデータや UTRG1 レジスタの PKTE への 1 ライトによって有効になったデータをクリアできます。

OUT FIFO の場合は、まだ受信中で確定していないデータや受信完了したデータ (UTRG1 レジスタの RDFN へ 1 ライトをしていないデータ) がクリアされます。そのため送受信中のクリアは行わないようにしてください。

EP4i、EP4o の 2 面構成の FIFO に対しては、2 面ともクリアされます。

このトリガでは、対応する割り込みフラグはクリアされませんので注意してください。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7-3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP5iCLR	0	W	EP5i クリア 0 : 何も行われません。 1 : EP5i の IN FIFO をクリアします。
1	EP4oCLR	0	W	EP4o クリア* 0 : 何も行われません。 1 : EP4o の OUT FIFO をクリアします。
0	EP4iCLR	0	W	EP4i クリア 0 : 何も行われません。 1 : EP4i の IN FIFO をクリアします。

【注】 \* DMA 転送をイネーブルにしているとき (UDMAR/EP4oT1=1、EP4oT0=0 または 1) は、EP4oCLR に 1 をライトしても FIFO 内のデータをクリアすることができません。クリアを行う場合は、DMA 転送を解除してから (UDMAR/EP4oT1=0、EP4oT0=0) EP4oCLR に 1 をライトしてください。

### 15.3.9 USB エンドポイントストールレジスタ 0 (UESTL0)

EP0～EP3 の各エンドポイントをストールさせるレジスタです。

1 をライトすると、次の転送から 1 にセットされたエンドポイントは、ホストに対してストールハンドシェイクを返します。ただし、EP3 (Isochronous 転送) は、ストールハンドシェイクを返さず無応答となります。

エンドポイント 0 に対するストールビットは、ファンクションでコマンドデコードを行う 8 バイトのデータ受信時に自動的に解除され、EP0 STL ビットは 0 クリアされます。また、UIFR0 レジスタの SetupTS フラグが 1 にセットされている場合、EP0 STL ビットへの 1 ライトは無視されます。詳細動作は、「15.5.11 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	EP3oSTL	0	R/W	EP3o ストール 0 : EP3o のストール状態を解除する。 1 : EP3o をストールに設定する。
6	EP3iSTL	0	R/W	EP3i ストール 0 : EP3i のストール状態を解除する。 1 : EP3i をストールに設定する。 EP3i をストールした場合、最初の IN トークンに対し、0 レングスパケットを送信します。その後の IN トークンに対しては、無応答となります。
5	EP2oSTL	0	R/W	EP2o ストール 0 : EP2o のストール状態を解除する。 1 : EP2o をストールに設定する。
4	EP2iSTL	0	R/W	EP2i ストール 0 : EP2i のストール状態を解除する。 1 : EP2i をストールに設定する。
3	EP1iSTL	0	R/W	EP1i ストール 0 : EP1i のストール状態を解除する。 1 : EP1i をストールに設定する。
2, 1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	EP0STL	0	R/W	EP0 ストール 0 : EP0 のストール状態を解除する。 1 : EP0 をストールに設定する。

### 15.3.10 USB エンドポイントストールレジスタ 1 (UESTL1)

EP4、EP5 の各エンドポイントをストールさせるレジスタです。さらに、全エンドポイント共通のストール解除制御ができます。

EPnSTL ビットに 1 をライトすると、次の転送から 1 にセットされたエンドポイントは、ホストに対してストールハンドシェイクを返します。詳細動作は、「15.5.11 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	SCME	0	R/W	リザーブビット ライトする際は、必ず 0 をライトしてください。
6-3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP5iSTL	0	R/W	EP5i ストール 0 : EP5i のストール状態を解除する。 1 : EP5i をストールに設定する。
1	EP4oSTL	0	R/W	EP4o ストール 0 : EP4o のストール状態を解除する。 1 : EP4o をストールに設定する。
0	EP4iSTL	0	R/W	EP4i ストール 0 : EP4i のストール状態を解除する。 1 : EP4i をストールに設定する。

### 15.3.11 USB エンドポイントデータレジスタ 0s (UEDR0s)

UEDR0s は、エンドポイント 0s (Control\_out 転送用) のセットアップコマンド格納用レジスタです。セットアップステージで、ホストから送られた 8 バイトのコマンドデータが格納されます。

格納データをリード中に次のセットアップステージのデータ受信が開始された場合の動作については、「15.9 使用上の注意事項」を参照してください。UEDR0s は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	-	R	Control_out 転送時のセットアップコマンドが格納されるレジスタ

### 15.3.12 USB エンドポイントデータレジスタ 0i (UEDR0i)

UEDR0i は、エンドポイント 0i (Control\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR0i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	すべて 0	W	Control_in 転送用のデータレジスタ

### 15.3.13 USB エンドポイントデータレジスタ 0o (UEDR0o)

UEDR0o は、エンドポイント 0o (Control\_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ0o レジスタで指定されるバイト数の連続リードにしてください。UEDR0o を 1 バイトリードすることに UESZ0o が -1 されます。UEDR0o は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	-	R	Control_out 転送用のデータレジスタ

### 15.3.14 USB エンドポイントデータレジスタ 1i (UEDR1i)

UEDR1i は、エンドポイント 1i (Interrupt\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR1i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	すべて 0	W	Interrupt_in 転送用のデータレジスタ

### 15.3.15 USB エンドポイントデータレジスタ 2i (UEDR2i)

UEDR2i は、エンドポイント 2i (Bulk\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR2i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	すべて 0	W	Bulk_in 転送用のデータレジスタ

### 15.3.16 USB エンドポイントデータレジスタ 2o (UEDR2o)

UEDR2o は、エンドポイント 2o (Bulk\_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ2o レジスタで指定されるバイト数の連続リードにしてください。UEDR2o を 1 バイトリードするごとに UESZ2o が -1 されます。UEDR2o は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	-	R	Bulk_out 転送用のデータレジスタ

### 15.3.17 USB エンドポイントデータレジスタ 3i (UEDR3i)

UEDR3i は、エンドポイント 3i (Isochronous\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。

すべてのデータ書き込みは次の SOF パケットを受信する前に必ず終了させてください。UEDR3i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7~D0	すべて 0	W	Isochronous_in 転送用のデータレジスタ

### 15.3.18 USB エンドポイントデータレジスタ 3o (UEDR3o)

UEDR3o は、エンドポイント 3o (Isochronous\_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ3o レジスタで指定されるバイト数の連続リードにしてください。UEDR3o を 1 バイトリードするごとに UESZ3o が - 1 されます。すべてのデータ読み込みは次の SOF パケットを受信する前に必ず終了させてください。UEDR3o は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7-0	D7-D0	-	R	Isochronous_out 転送用のデータレジスタ

### 15.3.19 USB エンドポイントデータレジスタ 4i (UEDR4i)

UEDR4i は、エンドポイント 4i (Bulk\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR4i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7-D0	すべて 0	W	Bulk_in 転送用のデータレジスタ

### 15.3.20 USB エンドポイントデータレジスタ 4o (UEDR4o)

UEDR4o は、エンドポイント 4o (Bulk\_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ4o レジスタで指定されたバイト数分の連続リードにしてください。UEDR4o を 1 バイトリードするごとに UESZ4o が - 1 されます。

UEDR4o は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7-0	D7-D0	-	R	Bulk_out 転送用のデータレジスタ

### 15.3.21 USB エンドポイントデータレジスタ 5i (UEDR5i)

UEDR5i は、エンドポイント 5i (Interrupt\_in 転送用) のデータレジスタです。ホストに送るデータをライトします。

連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR5i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。

また、本レジスタは「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7-0	D7-D0	すべて 0	W	Interrupt_in 転送用のデータレジスタ

### 15.3.22 USB エンドポイント受信データサイズレジスタ 0o (UESZ0o)

UESZ0o は、エンドポイント 0o (Control\_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR0o を 1 バイトリードするごとに - 1 されるので注意してください。

ビット	ビット名	初期値	R/W	説明
7	-	-	R	リザーブビット
6-0	D6-D0	-	R	Control_out 転送データの受信サイズレジスタ

### 15.3.23 USB エンドポイント受信データサイズレジスタ 2o (UESZ2o)

UESZ2o は、エンドポイント 2o (Bulk\_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR2o を 1 バイトリードするごとに - 1 されるので注意してください。

エンドポイント 2o (Bulk\_out 転送用) の FIFO は 2 面構成になっています。レジスタに示される受信データサイズは、現在読み出し可能な面に対するサイズです。

ビット	ビット名	初期値	R/W	説明
7	-	-	R	リザーブビット
6-0	D6-D0	-	R	Bulk_out 転送データの受信サイズレジスタ

### 15.3.24 USB エンドポイント受信データサイズレジスタ 3o (UESZ3o)

UESZ3o は、エンドポイント 3o (Isochronous\_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR3o を 1 バイトリードするごとに - 1 されるので注意してください。

エンドポイント 3o (Isochronous\_out 転送用) のアウト転送用の FIFO は 2 面構成になっています。レジスタに示される受信データサイズは、現在読み出し可能な面に対するサイズです。

ビット	ビット名	初期値	R/W	説 明
7-0	D7-D0	-	R	Isochronous_out データ転送用の受信サイズレジスタ

### 15.3.25 USB エンドポイント受信データサイズレジスタ 4o (UESZ4o)

UESZ4o は、エンドポイント 4o (Bulk\_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR4o を 1 バイトリードするごとに - 1 されるので注意してください。

エンドポイント 4o (Bulk\_out 転送用) の FIFO は 2 面構成になっています。レジスタに示される受信データサイズは、現在読み出し可能な面に対するサイズです。

ビット	ビット名	初期値	R/W	説 明
7	-	-	R	リザーブビット
6-0	D6-D0	-	R	Bulk_out データ転送用の受信サイズレジスタ

## 15.3.26 USB 割り込みフラグレジスタ 0 (UIFR0)

セットアップコマンド受信、EP0、EP1 の送受信、バスリセットの割り込みフラグレジスタです。

各フラグが 1 セットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/(W)*	バスリセット USB バス上でバスリセット信号を検出したとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。 USB ケーブル接続時に D+ をプルアップしていないとき、BRST = 1 になりますので注意してください。
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP1iTR	0	R/(W)*	EP1i 転送リクエスト EP1i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	EP1iTS	0	R/(W)*	EP1i 送信完了 ホストへ送信するデータを EP1i にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたとき、1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	EP0oTS	0	R/(W)*	EP0o 受信完了 ホストからのデータを EP0o で正常受信し、ホストに ACK ハンドシェイクを返したとき、1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
2	EP0iTR	0	R/(W)*	EP0i 転送リクエスト EP0i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP0iTS	0	R/(W)*	EP0i 送信完了 ホストへ送信するデータを EP0i にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	SetupTS	0	R/(W)*	セットアップコマンド受信完了 ファンクションでコマンドデコードを行う 8 バイトのデータを EP0s で正常受信し、ホストへ ACK ハンドシェイクを返したとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 15.3.27 USB 割り込みフラグレジスタ 1 (UIFR1) 【H8S/2215 のとき】

EP2i、EP2o、EP3i、EP3o のステータスによる割り込みフラグレジスタです。

各フラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  割り込み要求が出力されます。

EP2iTR と EP3iTR のフラグクリアは、0 を書き込むことで行います。1 書き込みは無効で何も行われません。

EP2iEMPTY、EP2oREADY、EP3oTS、EP3oTF の各ステータスは、EP2i、EP2o、EP3o の FIFO 状態を示すステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	EP3oTF	0	R	EP3o 異常受信 EP3o の FIFO 状態を示すステータスビットです。ホストからのデータ転送が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。ホストからの転送データが EP3o で異常受信 (PID エラー、CRC エラー、ビットスタンプエラー、データサイズエラー、Bad EOP など) となったとき 1 にセットされます。ステータスビットであるためクリアはできません。また、EP3oTF での割り込み要求はできません。
6	EP3oTS	0	R	EP3o 正常受信 EP3o の FIFO 状態を示すステータスビットです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。ホストからの転送データが EP3o で正常受信したときに 1 にセットされます。ステータスビットであるためクリアはできません。また、EP3oTS での割り込み要求はできません。
5	EP3iTF	0	R/(W)*	EP3i 異常転送 EP3i の FIFO にライトしたデータが IN トークン未受信により廃棄されたとき 1 にセットされます。1 にセットされるタイミングは、データライト後の次の SOF パケット受信時です。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	EP3iTR	0	R/(W)*	EP3i 転送リクエスト EP3i にホストから IN トークンが発行され、UDC がアクセスする側の FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP2oREADY	0	R	EP2o データレディ EP2o の FIFO は 2 面構成になっています。このとき、少なくとも 1 面の FIFO 内に有効データが格納されたときに 1 がセットされます。2 面とも空きの場合は 0 クリアされます。ステータスビットであるためクリアはできません。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

ビット	ビット名	初期値	R/W	説明
1	EP2iTR	0	R/(W)*	EP2i 転送リクエスト EP2i にホストから IN トークンが発行され、2 面とも FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	EP2iEMPTY	1	R	EP2i FIFO エンプティ EP2i の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのとき 1 にセットされます。2 面とも FULL の場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 15.3.28 USB 割り込みフラグレジスタ 1( UIFR1 )【H8S/2215R、H8S/2215T、H8S/2215C のとき】

EP2i、EP2o、EP3i、EP3o のステータスによる割り込みフラグレジスタです。

各フラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  割り込み要求が出力されます。

EP2iTR と EP3iTR のフラグクリアは、0 を書き込むことで行います。1 書き込みは無効で何も行われません。

EP2iEMPTY、EP2oREADY、EP3oTS、EP3oTF の各ステータスは、EP2i、EP2o、EP3o の FIFO 状態を示すステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	EP3oTF	0	R	EP3o 異常受信 EP3o の FIFO 状態を示すステータスビットです。ホストからのデータ転送が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。ホストからの転送データが EP3o で異常受信( PID エラー、CRC エラー、ビットスタッフエラー、データサイズエラー、Bad EOP など)となったとき 1 にセットされます。ステータスビットであるためクリアはできません。また、EP3oTF での割り込み要求はできません。
6	EP3oTS	0	R	EP3o 正常受信 EP3o の FIFO 状態を示すステータスビットです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。ホストからの転送データが EP3o で正常受信したときに 1 にセットされます。ステータスビットであるためクリアはできません。また、EP3oTS での割り込み要求はできません。
5	EP3iTF	0	R/(W)*	EP3i 異常転送 EP3i の FIFO にライトしたデータが IN トークン未受信により廃棄されたとき 1 にセットされます。1 にセットされるタイミングは、データライト後の次の SOF パケット受信時です。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

ビット	ビット名	初期値	R/W	説明
4	EP3iTR	0	R/(W)*	EP3i 転送リクエスト EP3i にホストから IN トークンが発行され、UDC がアクセスする側の FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	EP2iALL EMPTY	1	R	EP2i FIFO オールエンプティステータス EP2i の FIFO は 2 面構成になっています。このとき 2 面ともエンプティのときに 1 にセットされます (UDSR/EP2iDE の負極性信号に相当します)。
2	EP2oREADY	0	R	EP2o データレディ EP2o の FIFO は 2 面構成になっています。このとき、少なくとも 1 面の FIFO 内に有効データが格納されたときに 1 がセットされます。2 面とも空きの場合は 0 クリアされます。ステータスビットであるためクリアはできません。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP2iTR	0	R/(W)*	EP2i 転送リクエスト EP2i にホストから IN トークンが発行され、2 面とも FIFO がエンプティのときに 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	EP2iEMPTY	1	R	EP2i FIFO エンプティ EP2i の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのとき 1 にセットされます。2 面とも FULL の場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 15.3.29 USB 割り込みフラグレジスタ 2 (UIFR2) 【H8S/2215 のとき】

EP4i、EP4o、EP5i のステータスによる割り込みフラグレジスタです。

各フラグが 1 セットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  割り込み要求が出力されます。

EP4iTR、EP5iTS、EP5iTR のフラグクリアは、0 を書き込むことで行います。1 書き込みは無効でも行われません。EP4iEMPTY、EP4oREADY の各ステータスは、EP4i、EP4o の FIFO 状態を示すステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP5iTR	0	R/(W)*	EP5i 転送リクエスト EP5i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 セットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	EP5iTS	0	R/(W)*	EP5i 送信完了 ホストへ送信するデータを EP5i にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたときに、1 セットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP4oREADY	0	R	EP4o データレディ EP4o の FIFO は 2 面構成になっています。このとき、少なくとも 1 面の FIFO 内に有効データが格納されたときに 1 セットされます。2 面とも空きの場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP4iTR	0	R/(W)*	EP4i 転送リクエスト EP4i にホストから IN トークンが発行され、2 面とも FIFO がエンプティのとき 1 セットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	EP4iEMPTY	1	R	EP4i FIFO エンプティ EP4i の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのときに 1 セットされます。2 面とも FULL の場合には 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 15.3.30 USB 割り込みフラグレジスタ 2 (UIFR2)【H8S/2215R、H8S/2215T、H8S/2215C のとき】

EP4i、EP4o、EP5i のステータスによる割り込みフラグレジスタです。

各フラグが 1 セットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  割り込み要求が出力されます。

EP4iTR、EP5iTS、EP5iTR のフラグクリアは、0 を書き込むことで行います。1 書き込みは無効で何も行われません。EP4iEMPTY、EP4oREADY の各ステータスは、EP4i、EP4o の FIFO 状態を示すステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP5iTR	0	R/(W)*	EP5i 転送リクエスト EP5i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 セットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	EP5iTS	0	R/(W)*	EP5i 送信完了 ホストへ送信するデータを EP5i にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたときに、1 セットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	EP4iALL EMPTY	1	R	EP4i FIFO オールエンプティステータス EP4i の FIFO は 2 面構成になっています。このとき 2 面ともエンプティのときに 1 にセットされます (UDSR/EP4iDE の負極性信号に相当します)。
2	EP4oREADY	0	R	EP4o データレディ EP4o の FIFO は 2 面構成になっています。このとき、少なくとも 1 面の FIFO 内に有効データが格納されたときに 1 セットされます。2 面とも空きの場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP4iTR	0	R/(W)*	EP4i 転送リクエスト EP4i にホストから IN トークンが発行され、2 面とも FIFO がエンプティのとき 1 セットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	EP4iEMPTY	1	R	EP4i FIFO エンプティ EP4i の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのときに 1 セットされます。2 面とも FULL の場合には 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 15.3.31 USB 割り込みフラグレジスタ 3 (UIFR3)

USB のステータスによる割り込みフラグレジスタです。各フラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ 、 $\overline{\text{IRQ6}}$  割り込み要求が出力されます。VBUSi、SPRSi、SETI、SETC、SOF、CK48READY の各フラグクリアは、0 を書き込むことで行います。1 書き込みは無効です。VBUSs、SPRSs はステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	CK48READY	0	R/(W)*	USB 動作クロック (48MHz) 安定検出 USB モジュールストップモード解除後の 48MHz の USB 動作クロック安定時間を自動カウントしたあと、1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。 CK48READY は、USB インタフェースソフトリセット状態 (UCTLR レジスタ UIFRST = 1) でも動作します。USB 動作クロック安定時間は使用するクロックソースごとに異なりますので、UCTLR レジスタ UCKS3~0 を参照してください。
6	SOF	0	R/(W)*	Start of Frame パケット検出 Start of Frame (SOF) パケットを検出したとき 1 にセットされます。 EP3 アイソクロナス転送時のタイムスタンプ確認、EP3i 送信データライト開始、EP3o 受信データリード開始タイミングなどに利用してください。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
5	SETC	0	R/(W)*	Set_Configuration コマンド検出 Set_Configuration コマンドを検出したとき 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	SETI	0	R/(W)*	Set_Interface コマンド検出 Set_Interface コマンドを検出したとき 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	SPRSs	0	R	サスペンド / レジュームステータス SPRSs での割り込み要求はできません。 0 : バス状態が通常状態であることを示します。 1 : バス状態がサスペンド状態であることを示します。
2	SPRSi	0	R/(W)*	サスペンド / レジューム割り込み 通常状態からサスペンド状態、またはサスペンド状態から通常状態に移したとき 1 にセットされます。対応する割り込み出力は $\overline{\text{IRQ6}}$ です。 レジューム時のソフトウェアスタンバイ状態の解除に使用できます。

ビット	ビット名	初期値	R/W	説明
1	VBUSs	0	R	VBUS ステータス USB ケーブルの接続 / 切断による VBUS 状態を示すステータスビットです。VBUSs での割り込み要求はできません。 0 : VBUS (USB ケーブル) 切断状態を示します。 1 : VBUS (USB ケーブル) 接続状態を示します。
0	VBUSi	0	R/(W)*	VBUS 割り込み USB ケーブルの接続 / 切断により VBUS 状態が変化したとき 1 にセットされます。対応する割り込み出力は、EXIRQ0 または EXIRQ1 です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 15.3.32 USB 割り込みイネーブルレジスタ 0 (UIER0)

割り込みフラグレジスタ 0 (UIFR0) の各割り込みを許可するレジスタです。

UIER0 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する EXIRQ0、EXIRQ1 がアサートされ、割り込みを要求します。EXIRQ0、EXIRQ1 の選択は、割り込み選択レジスタ 0 (UISR0) で行ってください。

ビット	ビット名	初期値	R/W	説明
7	BRSTE	0	R/W	BRST 割り込みイネーブル
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP1iTRE	0	R/W	EP1iTR 割り込みイネーブル
4	EP1iTSE	0	R/W	EP1iTS 割り込みイネーブル
3	EP0oTSE	0	R/W	EP0oTS 割り込みイネーブル
2	EP0iTRE	0	R/W	EP0iTR 割り込みイネーブル
1	EP0iTSE	0	R/W	EP0iTS 割り込みイネーブル
0	SetupTSE	0	R/W	SetupTS 割り込みイネーブル

### 15.3.33 USB 割り込みイネーブルレジスタ 1 (UIER1) 【H8S/2215 のとき】

割り込みフラグレジスタ 1 (UIFR1) の各割り込みを許可するレジスタです。

UIER1 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  の選択は、割り込み選択レジスタ 1 (UISR1) で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3ITFE	0	R/W	EP3ITF 割り込みイネーブル
4	EP3ITRE	0	R/W	EP3ITR 割り込みイネーブル
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
2	EP2oREADYE	0	R/W	EP2oREADY 割り込みイネーブル
1	EP2ITRE	0	R/W	EP2ITR 割り込みイネーブル
0	EP2iEMPTYE	0	R/W	EP2iEMPTY 割り込みイネーブル

### 15.3.34 USB 割り込みイネーブルレジスタ 1 (UIER1) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】

割り込みフラグレジスタ 1 (UIFR1) の各割り込みを許可するレジスタです。

UIER1 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  の選択は、割り込み選択レジスタ 1 (UISR1) で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3ITFE	0	R/W	EP3ITF 割り込みイネーブル
4	EP3ITRE	0	R/W	EP3ITR 割り込みイネーブル
3	EP2iALL EMPTYE	0	R/W	EP2iALLEMPYTYE 割り込みイネーブル
2	EP2oREADYE	0	R/W	EP2oREADY 割り込みイネーブル
1	EP2ITRE	0	R/W	EP2ITR 割り込みイネーブル
0	EP2iEMPTYE	0	R/W	EP2iEMPTY 割り込みイネーブル

### 15.3.35 USB 割り込みイネーブルレジスタ 2 (UIER2) 【H8S/2215 のとき】

割り込みフラグレジスタ 2 (UIFR2) の各割り込みを許可するレジスタです。

UIER2 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  端子の選択は、割り込み選択レジスタ 2 (UISR2) で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP5ITRE	0	R/W	EP5iTR 割り込みイネーブル
4	EP5ITSE	0	R/W	EP5iTS 割り込みイネーブル
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
2	EP4oREADYE	0	R/W	EP4oREADY 割り込みイネーブル
1	EP4ITRE	0	R/W	EP4iTR 割り込みイネーブル
0	EP4iEMPTYE	0	R/W	EP4iEMPTY 割り込みイネーブル

### 15.3.36 USB 割り込みイネーブルレジスタ 2 (UIER2) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】

割り込みフラグレジスタ 2 (UIFR2) の各割り込みを許可するレジスタです。

UIER2 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  端子の選択は、割り込み選択レジスタ 2 (UISR2) で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP5ITRE	0	R/W	EP5iTR 割り込みイネーブル
4	EP5ITSE	0	R/W	EP5iTS 割り込みイネーブル
3	EP4iALL EMPTYE	0	R/W	EP4iALLEMPY 割り込みイネーブル
2	EP4oREADYE	0	R/W	EP4oREADY 割り込みイネーブル
1	EP4ITRE	0	R/W	EP4iTR 割り込みイネーブル
0	EP4iEMPTYE	0	R/W	EP4iEMPTY 割り込みイネーブル

### 15.3.37 USB 割り込みイネーブルレジスタ 3 (UIER3)

割り込みフラグレジスタ 3 (UIFR3) の各割り込みを許可するレジスタです。

USB モジュールストップモード中でもリード/ライト可能です。

UIER3 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する  $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  がアサートされ、割り込みが要求されます。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$  の選択は、割り込み選択レジスタ 3 (UISR3)で行ってください。

ただし、SPRSiE ビットは  $\overline{\text{IRQ6}}$  専用の割り込み許可ビットであるため UISR3 レジスタで選択することはできません。

ビット	ビット名	初期値	R/W	説明
7	CK48READYE	1	R/W	CK48READY 割り込みイネーブル
6	SOFE	0	R/W	SOF 割り込みイネーブル
5	SETCE	0	R/W	SETC 割り込みイネーブル
4	SETIE	0	R/W	SETI 割り込みイネーブル
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
2	SPRSiE	0	R/W	SPRSi 割り込みイネーブル ( $\overline{\text{IRQ6}}$ 専用)
1	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
0	VBUSiE	0	R/W	VBUSi 割り込みイネーブル

### 15.3.38 USB 割り込み選択レジスタ 0 (UISR0)

割り込みフラグレジスタ 0 (UIFR0) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR0 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7	BRSTS	0	R/W	BRST 割り込み選択
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP1iTRS	0	R/W	EP1iTR 割り込み選択
4	EP1iTSS	0	R/W	EP1iTS 割り込み選択
3	EP0oTSS	0	R/W	EP0oTS 割り込み選択
2	EP0iTRS	0	R/W	EP0iTR 割り込み選択
1	EP0iTSS	0	R/W	EP0iTS 割り込み選択
0	SetupTSS	0	R/W	SetupTS 割り込み選択

### 15.3.39 USB 割り込み選択レジスタ 1 (UISR1) 【H8S/2215 のとき】

割り込みフラグレジスタ 1 (UIFR1) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR1 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3iTFS	0	R/W	EP3iTF 割り込み選択
4	EP3iTRS	0	R/W	EP3iTR 割り込み選択
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
2	EP2oREADYs	0	R/W	EP2oREADY 割り込み選択
1	EP2iTRS	0	R/W	EP2iTR 割り込み選択
0	EP2iEMPTYs	0	R/W	EP2iEMPTY 割り込み選択

### 15.3.40 USB 割り込み選択レジスタ 1 (UISR1) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】

割り込みフラグレジスタ 1 (UIFR1) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR1 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3iTFS	0	R/W	EP3iTF 割り込み選択
4	EP3iTRS	0	R/W	EP3iTR 割り込み選択
3	EP2iALL EMPTYs	0	R/W	EP2iALLEEMPTY 割り込み選択
2	EP2oREADYs	0	R/W	EP2oREADY 割り込み選択
1	EP2iTRS	0	R/W	EP2iTR 割り込み選択
0	EP2iEMPTYs	0	R/W	EP2iEMPTY 割り込み選択

### 15.3.41 USB 割り込み選択レジスタ 2 (UISR2) 【H8S/2215 のとき】

割り込みフラグレジスタ 2 (UIFR2) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR2 の対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP5iTRS	0	R/W	EP5iTR 割り込み選択
4	EP5iTSS	0	R/W	EP5iTS 割り込み選択
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
2	EP4oREADYs	0	R/W	EP4oREADY 割り込み選択
1	EP4iTRS	0	R/W	EP4iTR 割り込み選択
0	EP4iEMPTYs	0	R/W	EP4iEMPTY 割り込み選択

### 15.3.42 USB 割り込み選択レジスタ 2 (UISR2) 【H8S/2215R、H8S/2215T、H8S/2215C のとき】

割り込みフラグレジスタ 2 (UIFR2) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR2 の対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP5iTRS	0	R/W	EP5iTR 割り込み選択
4	EP5iTSS	0	R/W	EP5iTS 割り込み選択
3	EP4iALL EMPTYs	0	R/W	EP4iALLEEMPTY 割り込み選択
2	EP4oREADYs	0	R/W	EP4oREADY 割り込み選択
1	EP4iTRS	0	R/W	EP4iTR 割り込み選択
0	EP4iEMPTYs	0	R/W	EP4iEMPTY 割り込み選択

### 15.3.43 USB 割り込み選択レジスタ 3 (UISR3)

割り込みフラグレジスタ 3 (UIFR3) の各割り込み要求を出力する  $\overline{\text{EXIRQ}}$  を設定するレジスタです。UISR3 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$  から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$  から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7	CK48READYS	0	R/W	CK48READY 割り込み選択
6	SOFS	0	R/W	SOF 割り込み選択
5	SETCS	0	R/W	SETC 割り込み選択
4	SETIS	0	R/W	SETI 割り込み選択
3~1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
0	VBUSIS	0	R/W	VBUSi 割り込み選択

### 15.3.44 USB データステータスレジスタ (UDSR)

IN FIFO データレジスタ (EP0i、EP1i、EP2i、EP4i、EP5i) 内の有効データの有無を示すステータスレジスタです。

IN FIFO にライトしたデータが、UTRG レジスタの PKTE ビットの 1 ライトによって有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 にクリアされます。EP2i、EP4i の 2 面構成 FIFO の場合は、2 面ともデータがなくなったときに 0 を示します。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP5iDE	0	R	EP5i データイネーブル 0 : EP5i に有効データがないとき 1 : EP5i に有効データがあるとき
4	EP4iDE	0	R	EP4i データイネーブル 0 : EP4i に有効データがないとき 1 : EP4i に有効データがあるとき
3	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP2iDE	0	R	EP2i データイネーブル 0 : EP2i に有効データがないとき 1 : EP2i に有効データがあるとき

ビット	ビット名	初期値	R/W	説明
1	EP1iDE	0	R	EP1i データタイネーブル 0: EP1i に有効データがないとき 1: EP1i に有効データがあるとき
0	EP0iDE	0	R	EP0i データタイネーブル 0: EP0i に有効データがないとき 1: EP0i に有効データがあるとき

### 15.3.45 USB コンフィグレーションバリュeregスタ (UCVR)

ホストから Set\_Configuration、Set\_Interface コマンドを受け取ったときの Configuration 値、InterfaceNumber 値、AlternateSetting 値が格納されるレジスタです。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	CNFV0	0	R	Configuration Value0 Set_Configuration コマンドを受け取ったときの Configuration 値が格納されます。CNFV0 ビットの更新タイミングは、UIFR3 レジスタの SETC = 1 セット時です。
4	INTV1	0	R	Interface Number Value1、0 Set_Interface コマンドを受け取ったときの InterfaceNumber 値が格納されます。INTV1、0 ビットの更新タイミングは、UIFR3 レジスタの SETI = 1 セット時です。
3	INTV0	0	R	
2	ALTV2	0	R	Alternate Setting Value2 ~ 0 Set_Interface コマンドを受け取ったときの AlternateSetting 値が格納されます。ALTV2 ~ 0 ビットの更新タイミングは、UIFR3 レジスタの SETI = 1 セット時です。
1	ALTV1	0	R	
0	ALTV0	0	R	

### 15.3.46 USB タイムスタンプレジスタ H、L (UTSRH、UTSRL)

現在のタイムスタンプ値が格納されるデータレジスタです。タイムスタンプの更新タイミングは、UIFR3 レジスタの SOF フラグが 1 にセットされたときです。

UTSR は、UTSRH と UTSRL が一組となり 16 ビットレジスタ扱いとなります。USB モジュールは、8 ビットバスです。そのため、上位バイトの UTSRH は直接リードできますが、下位バイトの UTSRL は 8 ビットのテンポラリレジスタを介して行います。したがって、必ず UTSRH→UTSRL の順番にリードしてください。UTSRL のみのリードでは内容は保証されませんので注意してください。また、SOF マーカ機能を有効(UCTLR レジスタの SFME = 1)にしても、SOF パケットが破損した場合のタイムスタンプ自動更新機能はサポートしてませんので注意してください。

#### • UTSRH

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
2~0	D10~D8	すべて 0	R	タイムスタンプ D10~D8 が格納されます。

#### • UTSRL

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	R	タイムスタンプ D7~D0 が格納されます。

## 15.3.47 USB テストレジスタ 0 (UTSTR0)

内蔵 / 外付けトランシーバ出力信号を制御できるテストレジスタです。UCTLR/UIFRST = 0、UDCRST = 0 設定後に PTSTE = 1 に設定することで、トランシーバ出力信号を任意設定できます。UTSTR0 設定と端子出力値の関係を表 15.3 に示します。

ビット	ビット名	初期値	R/W	説明
7	PTSTE	0	R/W	端子テストイネーブル 内蔵 / 外付けトランシーバ出力信号のテスト制御を有効にするビットです。 UCTLR レジスタの FADSEL = 0 のときは、内蔵トランシーバ出力端子 (USD+, USD-) と USPND 端子のテスト制御が有効になります。 UCTLR レジスタの FADSEL = 1 のときは、外付けトランシーバ出力端子 (P17/ $\overline{OE}$ 、P15/FSE0、P13/VPO、PA3/SUSPND) と USPND 端子のテスト制御が有効になります。
6-4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	SUSPEND	0	R/W	内蔵 / 外付けトランシーバ出力信号設定ビット
2	$\overline{OE}$	1	R/W	SUSPEND : USPND 端子、PA3/SUSPND 端子設定ビット
1	FSE0	0	R/W	$\overline{OE}$ : 内蔵トランシーバの $\overline{OE}$ 信号、P17/ $\overline{OE}$ 端子設定ビット
0	VPO	0	R/W	FSE0 : 内蔵トランシーバの FSE0 信号、P15/FSE0 端子設定ビット VPO : 内蔵トランシーバの VPO 信号、P13/VPO 端子設定ビット

表 15.3 UTSTR0 設定と端子出力値の関係

端子入力	レジスタ設定値						端子出力値							
	VBUS	UCTLR/ FADSEL	PTSTE	SUSPEND	OE	FSE0	VPO	USD+	USD-	USPND	PA3/ SUSPND	P17/ OE	P15/ FSE0	P13/ VPO
0	x	0	x	x	x	x	-	-	-	-	-	-	-	-
0	0	1	0/1	x	x	x	Hi-Z	Hi-Z	0/1	-	-	-	-	-
0	1	1	0/1	x	x	x	Hi-Z	Hi-Z	0/1	1	1	-	-	-
0	1	1	x	x	0/1	x	Hi-Z	Hi-Z	-	1	1	0/1	-	-
0	1	1	x	x	x	0/1	Hi-Z	Hi-Z	-	1	1	-	-	0/1
1	x	0	x	x	x	x	-	-	-	-	-	-	-	-
1	0	1	0	0	0	0	0	1	0	-	-	-	-	-
1	0	1	0	0	0	1	1	0	0	-	-	-	-	-
1	0	1	0	0	1	x	0	0	0	-	-	-	-	-
1	0	1	0	1	x	x	Hi-Z	Hi-Z	0	-	-	-	-	-
1	0	1	1	0	0	0	0	1	1	-	-	-	-	-
1	0	1	1	0	0	1	1	0	1	-	-	-	-	-
1	0	1	1	1	1	x	0	0	1	-	-	-	-	-
1	0	1	1	1	x	x	Hi-Z	Hi-Z	1	-	-	-	-	-
1	1	1	0/1	x	x	x	Hi-Z	Hi-Z	0/1	0/1	-	-	-	-
1	1	1	x	0/1	x	x	Hi-Z	Hi-Z	-	-	0/1	-	-	-
1	1	1	x	x	0/1	x	Hi-Z	Hi-Z	-	-	-	0/1	-	-
1	1	1	x	x	x	0/1	Hi-Z	Hi-Z	-	-	-	-	-	0/1

## 【記号説明】

x : Don't care

0/1 : レジスタ設定値 = 端子出力値となる組み合わせ

- : 制御不可能なところです。そのときの USB 動作状態やポート設定による通常動作の端子状態となります。

## 15.3.48 USB テストレジスタ 1 (UTSTR1)

USB 制御端子と内蔵 / 外付けトランシーバ入力信号がモニタできるテストレジスタです。  
 UCTLR レジスタの FADSEL = 0 のときは、内蔵トランシーバ入力信号がモニタできます。  
 UCTLR レジスタの FADSEL = 1 のときは、外付けトランシーバ入力信号がモニタできます。  
 端子入力値と UTSTR1 モニタの関係を表 15.4 に示します。

ビット	ビット名	初期値	R/W	説明
7	VBUS	—*	R	内蔵 / 外付けトランシーバ入力信号モニタビット VBUS : VBUS 端子モニタビット UBPM : UBPM 端子モニタビット
6	UBPM	—*	R	
5-3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	RCV	—*	R	内蔵 / 外付けトランシーバ入力信号モニタビット RCV : 内蔵 / 外付けトランシーバの RCV 信号モニタビット VP : 内蔵 / 外付けトランシーバの VP 信号モニタビット VM : 内蔵 / 外付けトランシーバの VM 信号モニタビット
1	VP	—*	R	
0	VM	—*	R	

【注】 \* VBUS、UBPM、USD+、USD-、RCV、VP、VM 端子の状態により決定されます。

表 15.4 端子入力値と UTSTR1 モニタの関係

端子入力値		UTSTR1 モニタ値		レジスタ設定値			端子入力値			UTSTR1 モニタ値					
VBUS	UBPM	VBUS	UBPM	UCTLR/ FADSEL	UTSTR0/ PTSTE	UTSTR0/ SUSPEND	VBUS	USD+	USD-	P12/ RCV	P11/ VP	P10/ VM	RCV	VP	VM
0/1	x	0/1	x	0	x	x	0	x	x	x	x	x	0	0	0
x	0/1	x	0/1	1	x	x	0	x	x	0/1	x	x	0/1	0	0
				0	0	x	1	0	0	x	x	x	x	0	0
				0	0	x	1	0	1	x	x	x	0	0	1
				0	0	x	1	1	0	x	x	x	1	1	0
				0	0	x	1	1	1	x	x	x	x	1	1
				0	1	0	1	0	0	x	x	x	x	0	0
				0	1	0	1	0	1	x	x	x	0	0	1
				0	1	0	1	1	0	x	x	x	1	1	0
				0	1	0	1	1	1	x	x	x	x	1	1
				0	1	1	1	0/1	x	x	x	x	0	0/1	x
				0	1	1	1	x	0/1	x	x	x	0	x	0/1
				1	x	x	1	x	x	0/1	x	x	0/1	x	x
				1	x	x	1	x	x	x	0/1	x	x	0/1	x
				1	x	x	1	x	x	x	x	0/1	x	x	0/1

## 【記号説明】

x : Don't care

0/1 : 端子入力値 = UTSTR1 モニタ値になる組み合わせ

## 15.3.49 USB テストレジスタ 2、A～F (UTSTR2、UTSTRA～UTSTRF)

テストレジスタです。ライトは禁止です。

## 15.3.50 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット	ビット名	初期値	R/W	説明
7	MSTPB7	1	R/W	モジュールストップビット 詳細は「22.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)」を参照してください。
6	MSTPB6	1	R/W	
5	MSTPB5	1	R/W	
4	MSTPB4	1	R/W	
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	モジュールストップ USB 0 : USB モジュールストップモード解除 USB モジュールにクロックが供給されます。 本ビットクリア後、USB 動作クロック (48MHz) 発振器または内蔵 PLL 回路が動作開始します。USB 動作クロック安定時間 (UIFR3/CK48READY = 1 セット) を待ってから、USB モジュール内レジスタをアクセスしてください。 1 : USB モジュールストップモード USB 動作クロック (48MHz) 発振器、内蔵 PLL 回路および USB モジュール内クロックは停止します。 ただし、USB モジュール内レジスタ値は保持されます。

【注】 USB モジュールストップモード解除フローは「15.5 通信動作説明」を参照してください。

## 15.4 割り込み要因

本モジュールは3本の割り込み信号を持っています。各割り込み要因と要求信号の対応を表15.5に示します。 $\overline{\text{EXIRQ}}$ 割り込みはLowアクティブです。 $\overline{\text{EXIRQ}}$ 割り込み検出は、レベル検出のみとなります。サスペンド/レジューム割り込み $\overline{\text{IRQ6}}$ については、割り込みコントローラのレジスタ設定で立ち下がりエッジ検出に設定してください。

表 15.5 割り込み信号一覧

レジスタ	ビット	転送モード	割り込み要因	説明	割り込み要求信号	USB リクエストによる DMAC 起動 <sup>*9</sup>
UIFR0	0	Control 転送 (EP0)	SetupTS <sup>*1</sup>	Setup コマンド受信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	1		EP0iTS <sup>*1</sup>	EP0i 送信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	2		EP0iTR <sup>*1</sup>	EP0i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	3		EP0oTS <sup>*1</sup>	EP0o 受信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	4	Interrupt_in 転送 (EP1i)	EP1iTS	EP1i 送信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	5		EP1iTR	EP1i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	6	-	リザーブ	-	-	-
7	(Status)	BRST	バスリセット	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×	
UIFR1	0	Bulk_in 転送 (EP2i)	EP2iEMPTY	EP2i FIFO エンプティ	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	$\overline{\text{DREQ0}}$ or $\overline{\text{DREQ1}}$ <sup>*2</sup>
	1		EP2iTR	EP2i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	2	Bulk_out 転送 (EP2o)	EP2oREADY	EP2o データレディ	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	$\overline{\text{DREQ0}}$ or $\overline{\text{DREQ1}}$ <sup>*3</sup>
	3	Bulk_in 転送 (EP2i) <sup>*7</sup>	EP2iALLEMPYTS <sup>*8</sup>	EP2i オールエンプティ ステータス <sup>*7</sup>	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$ <sup>*7</sup>	× <sup>*7</sup>
	4	Isochronous_in 転送 (EP3i)	EP3iTR	EP3i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	5		EP3iTF	EP3i 異常転送	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	6		Isochronous_out 転送 (EP3o)	EP3oTS	EP3o 正常受信	×
7	EP3oTF	EP3o 異常受信		×	×	
UIFR2	0	Bulk_in 転送 (EP4i)	EP4iEMPTY	EP4i FIFO エンプティ	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	$\overline{\text{DREQ0}}$ or $\overline{\text{DREQ1}}$ <sup>*4</sup>
	1		EP4iTR	EP4i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	2	Bulk_out 転送 (EP4o)	EP4oREADY	EP4o データレディ	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	$\overline{\text{DREQ0}}$ or $\overline{\text{DREQ1}}$ <sup>*5</sup>
	3	Bulk_in 転送 (EP4i) <sup>*7</sup>	EP4iALLEMPYTS <sup>*8</sup>	EP4i オールエンプティ ステータス <sup>*7</sup>	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$ <sup>*7</sup>	× <sup>*7</sup>
	4	Interrupt_in 転送 (EP5i)	EP5iTS	EP5i 送信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	5		EP5iTR	EP5i 転送リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	6		-	リザーブ	-	-
7	-	リザーブ	-	-	-	

レジスタ	ビット	転送モード	割り込み要因	説明	割り込み要求信号	USB リクエストによる DMAC 起動
UIFR3	0	- (Status)	VBUSi	VBUS 割り込み	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	1		VBUSs	VBUS ステータス	×	×
	2		SPRSi	サスペンド/レジューム 割り込み	$\overline{\text{IRQ6}}^{*6}$	×
	3		SPRSs	サスペンド/レジューム ステータス	×	×
	4		SETI	Set_Interface 検出	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	5		SETC	Set_Configuration 検出	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	6		SOF	Start of Frame パケット 検出	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	7		CK48READY	USB 動作クロック安定検 出	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×

- 【注】 \*1 EP0 に関係する割り込み要因は、同一の割り込み要求信号に割り当ててください。
- \*2 EP2i の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP2iT1、EP2iT0 ビットで設定してください。
- \*3 EP2o の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP2oT1、EP2oT0 ビットで設定してください。
- \*4 EP4i の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP4iT1、EP4iT0 ビットで設定してください。
- \*5 EP4o の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP4oT1、EP4oT0 ビットで設定してください。
- \*6 サスペンド/レジューム割り込み要求  $\overline{\text{IRQ6}}$  は、立ち下がりエッジ検出 (ISCRH レジスタ  $\overline{\text{IRQ6SCB}}$ 、A = 01) に設定してください。
- \*7 H8S/2215R、H8S/2215T、H8S/2215C のみ。H8S/2215 では -。
- \*8 H8S/2215R、H8S/2215T、H8S/2215C のみ。H8S/2215 ではリザーブ。
- \*9 オートリクエストの場合は、 $\overline{\text{DREQ}}$  信号を使用しません。すべてのフラグや割り込みで CPU による DMAC 起動が可能です。

- $\overline{\text{EXIRQ0}}$  信号

割り込み選択レジスタ0~3 (UISR0~3) で0クリアされた割り込み要因に対する割り込み要求信号です。 $\overline{\text{EXIRQ0}}$  信号に割り当てられた割り込み要因のうち、1つでも該当する割り込みフラグレジスタのビットが1セットされた場合アサートされます。

- $\overline{\text{EXIRQ1}}$  信号

割り込み選択レジスタ0~3 (UISR0~3) で1セットされた割り込み要因に対する割り込み要求信号です。 $\overline{\text{EXIRQ1}}$  信号に割り当てられた割り込み要因のうち、1つでも該当する割り込みフラグレジスタのビットが1セットされた場合アサートされます。

- $\overline{\text{IRQ6}}$  信号

サスペンド/レジューム割り込み要因専用の信号です。サスペンド遷移時またはレジューム遷移時に立ち下がりエッジが出力されます。

## 15.5 通信動作説明

### 15.5.1 初期設定

初期設定は、下記フローに従って処理してください。

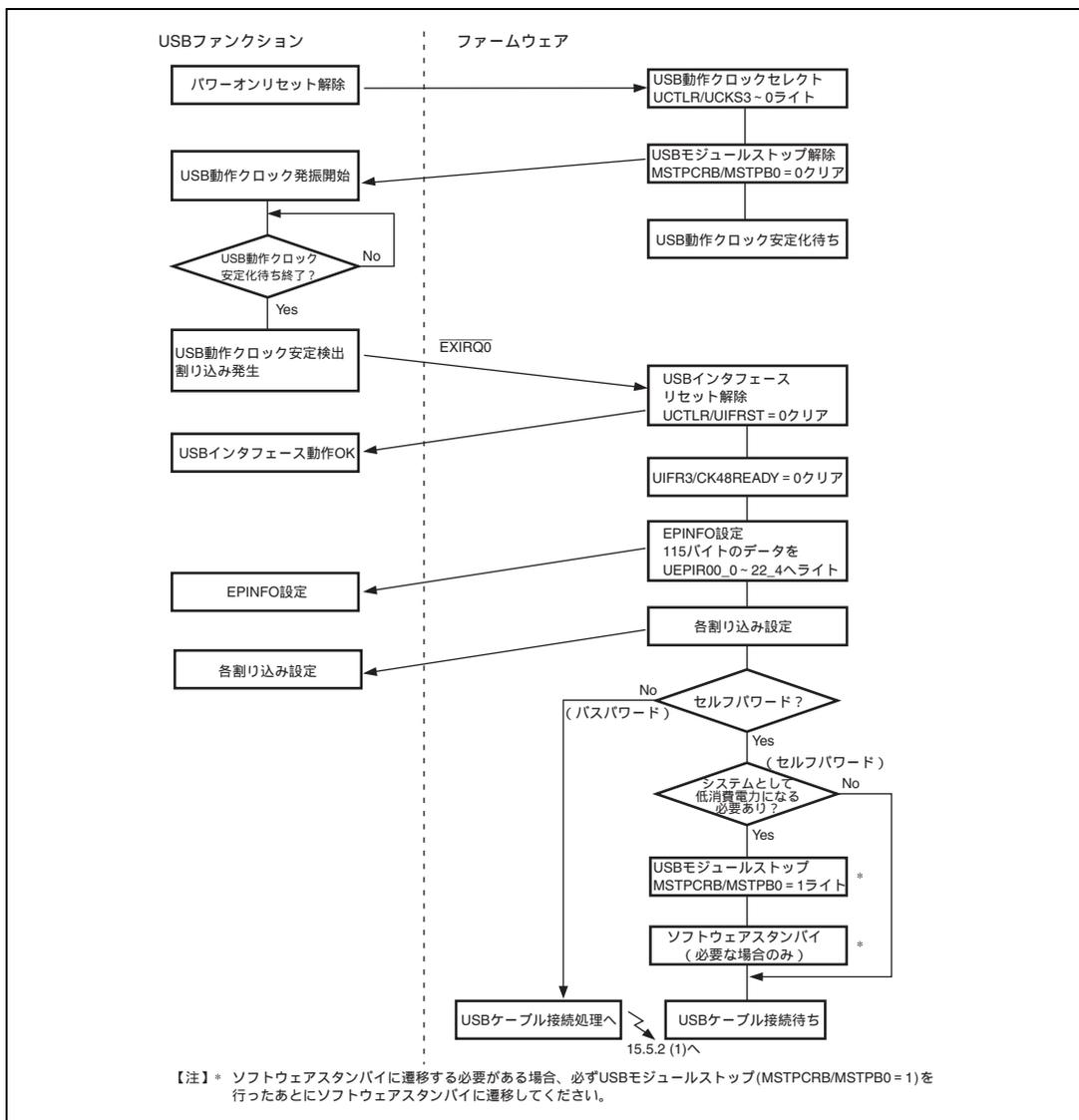


図 15.3 初期設定の動作

## 15.5.2 USB ケーブル接続 / 切断

(1) USB ケーブル接続時 (USB モジュールストップ、ソフトウェアスタンバイを使用しない場合)

USB モジュールストップまたはソフトウェアスタンバイを使用しないアプリケーション (セルフパワー) において、USB ケーブルが切断状態から接続状態になった場合、下記フローに従って処理してください。

また、バスパワーファンクションでは図 15.4 の【注】\*2 に従って処理してください。

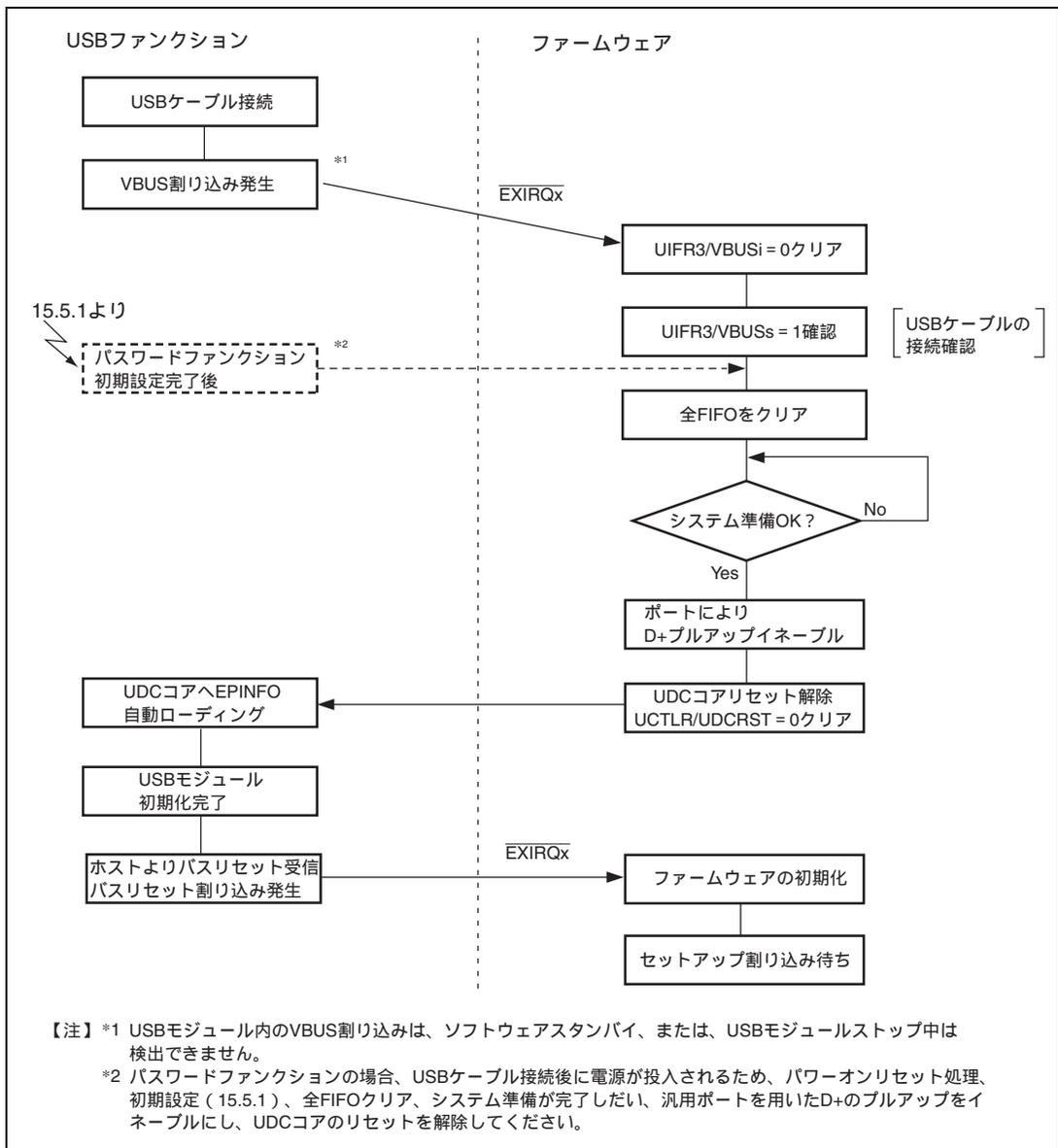


図 15.4 USB ケーブル接続時の動作 (USB モジュールストップ、ソフトウェアスタンバイを使用しない場合)

## (2) USB ケーブル接続時 (USB モジュールストップ、ソフトウェアスタンバイを使用する場合)

USB モジュールストップまたはソフトウェアスタンバイを使用するアプリケーション (セルフパワー) において、USB ケーブルが切断状態から接続状態になった場合、下記フローに従って処理してください。

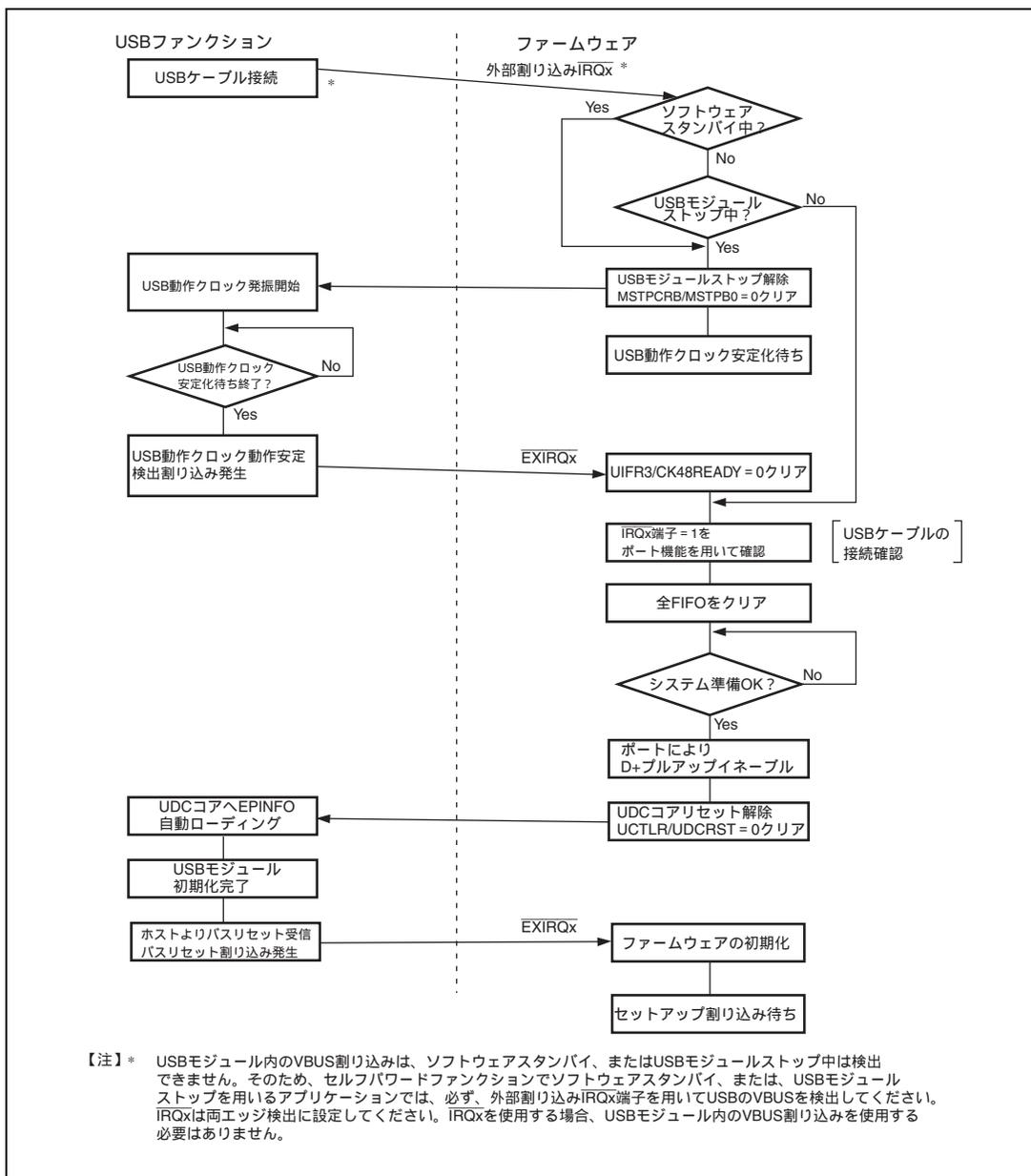


図 15.5 USB ケーブル接続時の動作 (USB モジュールストップ、ソフトウェアスタンバイを使用する場合)

(3) USB ケーブル切断時 (USB モジュールストップ、ソフトウェアスタンバイを使用しない場合)

USB モジュールストップまたはソフトウェアスタンバイを使用しないアプリケーション (セルフパワー) において、USB ケーブルが接続状態から切断状態になった場合、下記フローに従って処理してください。

また、バスパワーファンクションでは、USB ケーブル切断により電源 OFF となるため下記処理は必要ありません。

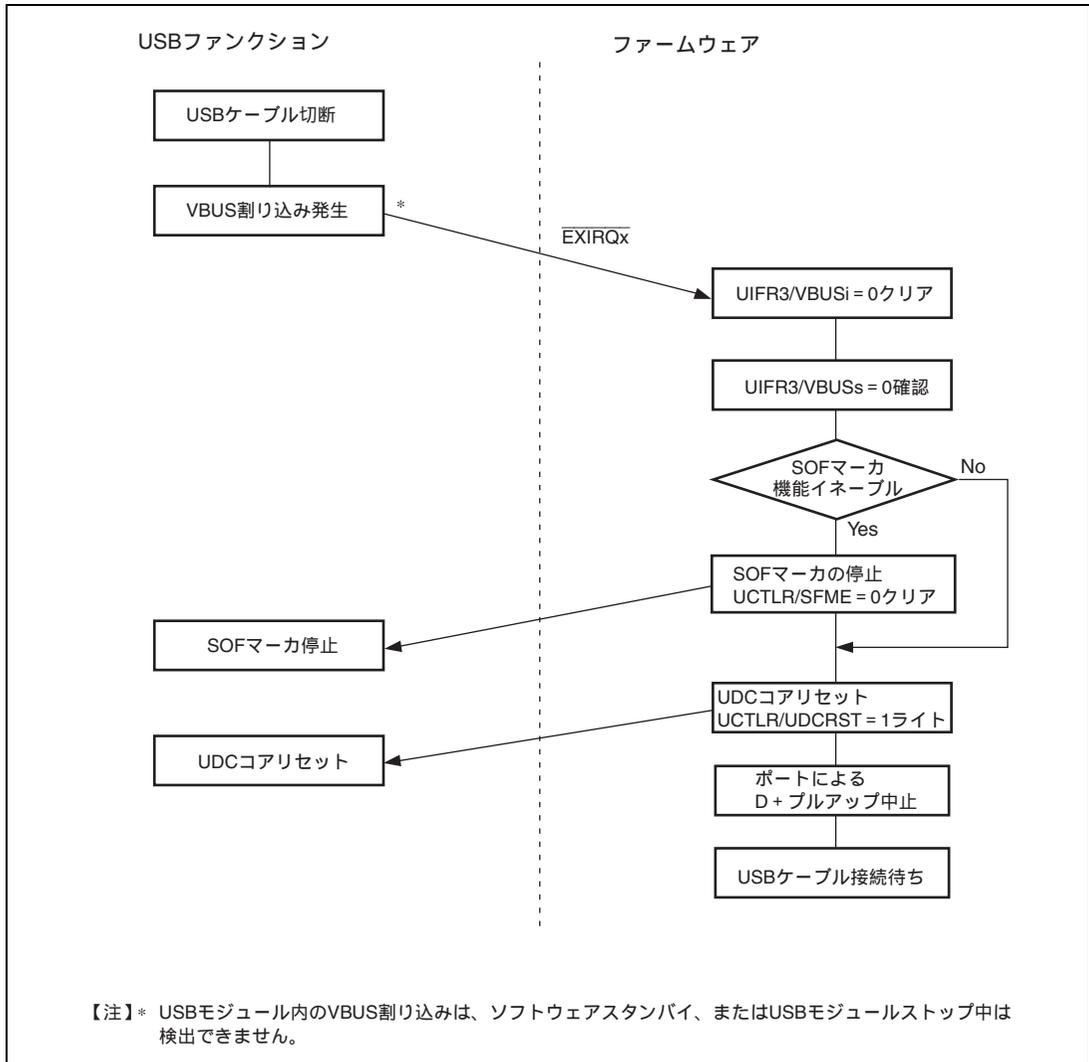


図 15.6 USB ケーブル切断時の動作 (USB モジュールストップ、ソフトウェアスタンバイを使用しない場合)

## (4) USB ケーブル切断時 (USB モジュールストップ、ソフトウェアスタンバイを使用する場合)

USB モジュールストップまたはソフトウェアスタンバイを使用するアプリケーション (セルフパワード) において、USB ケーブルが接続状態から切断状態になった場合、下記フローに従って処理してください。

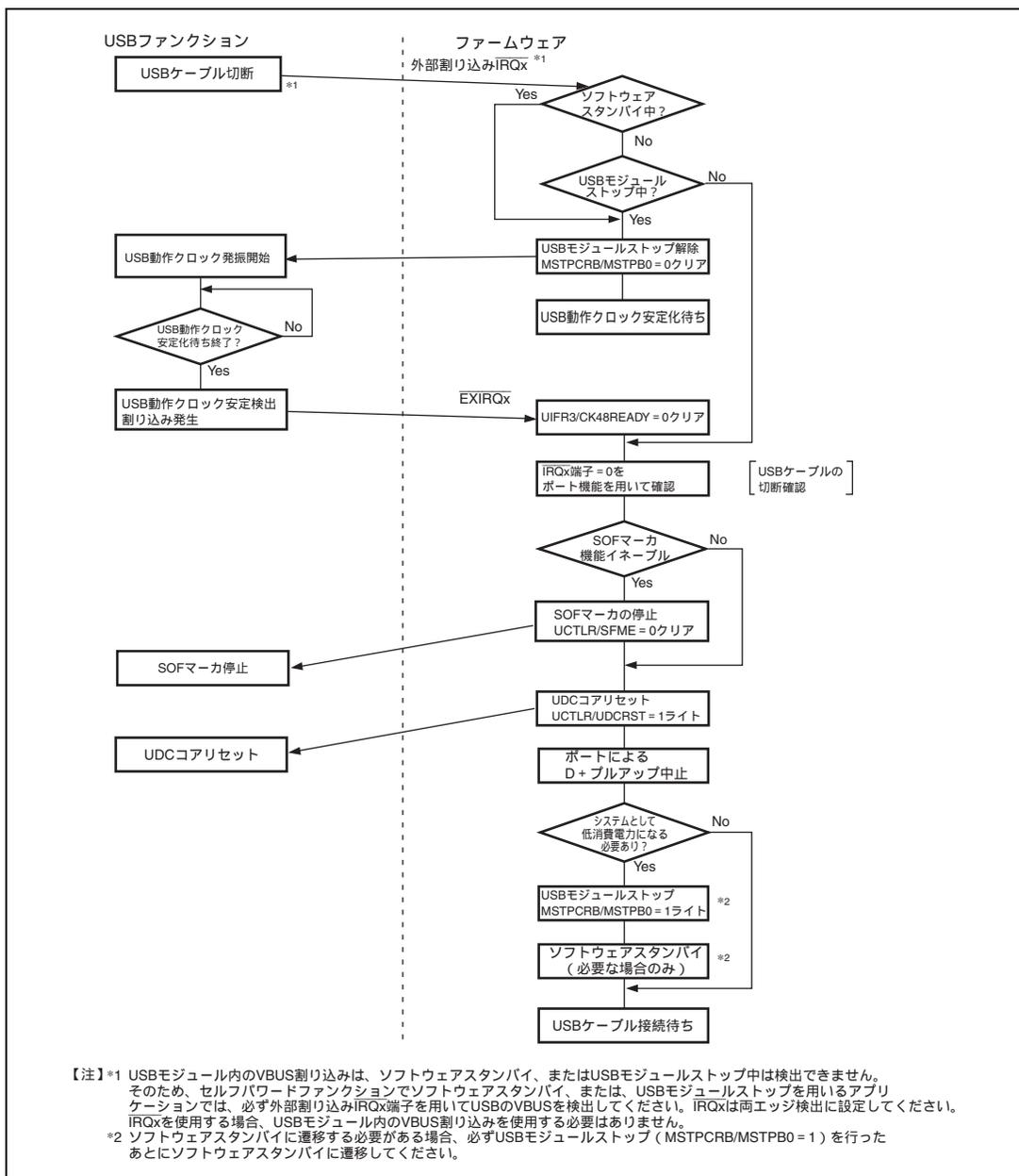


図 15.7 USB ケーブル切断時の動作 (USB モジュールストップ、ソフトウェアスタンバイを使用する場合)

### 15.5.3 サスペンド/レジューム

#### (1) サスペンド/レジューム時

図 15.8 と図 15.9 にサスペンド/レジューム処理のフローチャートを示します。USB バスが非サスペンド状態からサスペンド状態に移った場合や、アップストリームからのレジューム信号により USB バスがサスペンド状態から非サスペンド状態に移った場合、下記フローに従って処理してください。

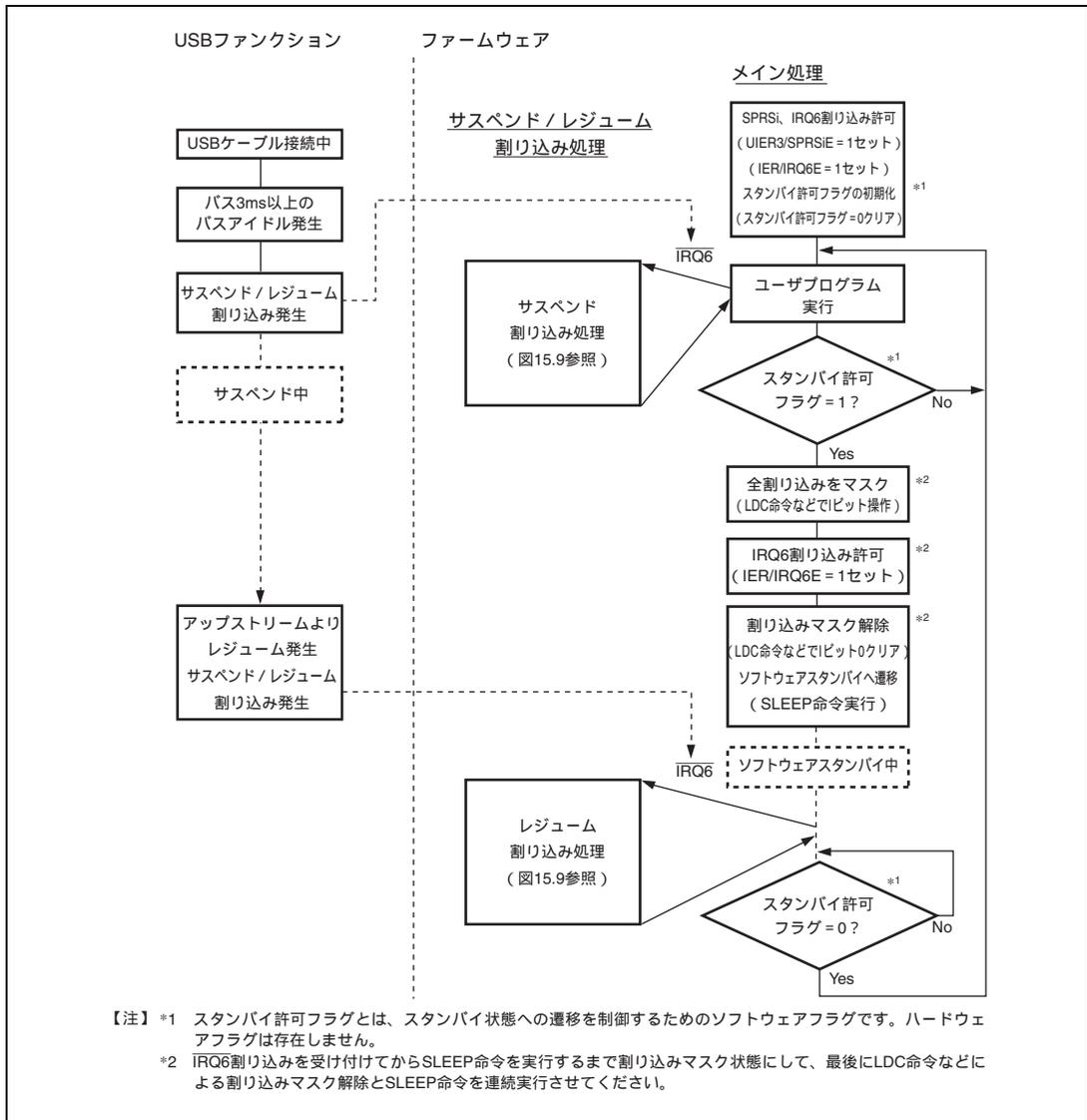


図 15.8 サスペンド/レジューム処理のフローチャート例

## (2) サスペンド/レジューム割り込み処理

図 15.9 にサスペンド/レジューム割り込み処理のフローチャートを示します。

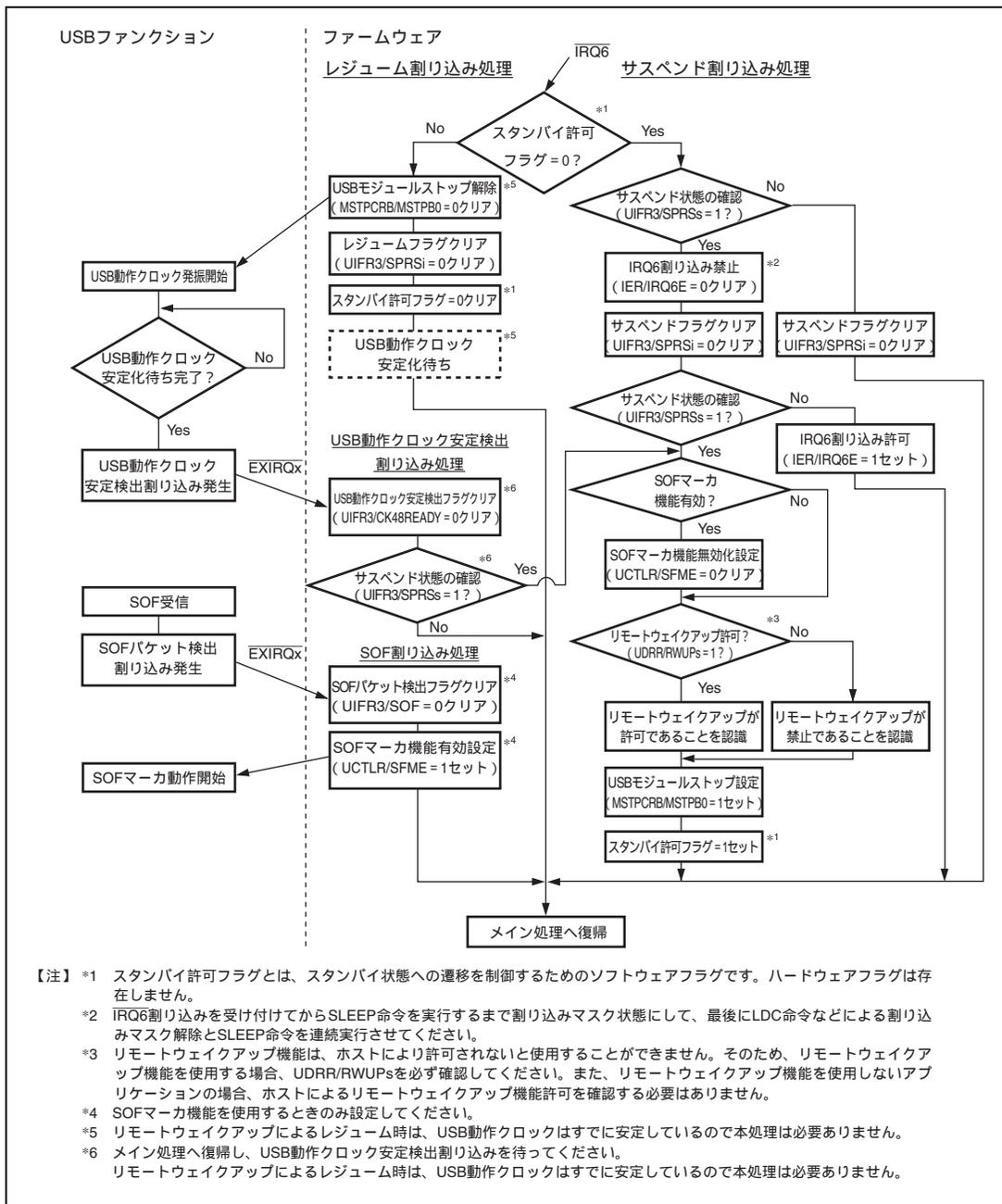


図 15.9 サスペンド/レジューム時の割り込み処理フローチャート例

(3) サスペンド/リモートウェイクアップ処理

図 15.10 と図 15.11 にサスペンド/リモートウェイクアップ処理のフローチャートを示します。本ファンクションからのリモートウェイクアップ信号により、USB バスをサスペンド状態から非サスペンド (レジューム) 状態に遷移させる場合、下記フローに従って処理してください。

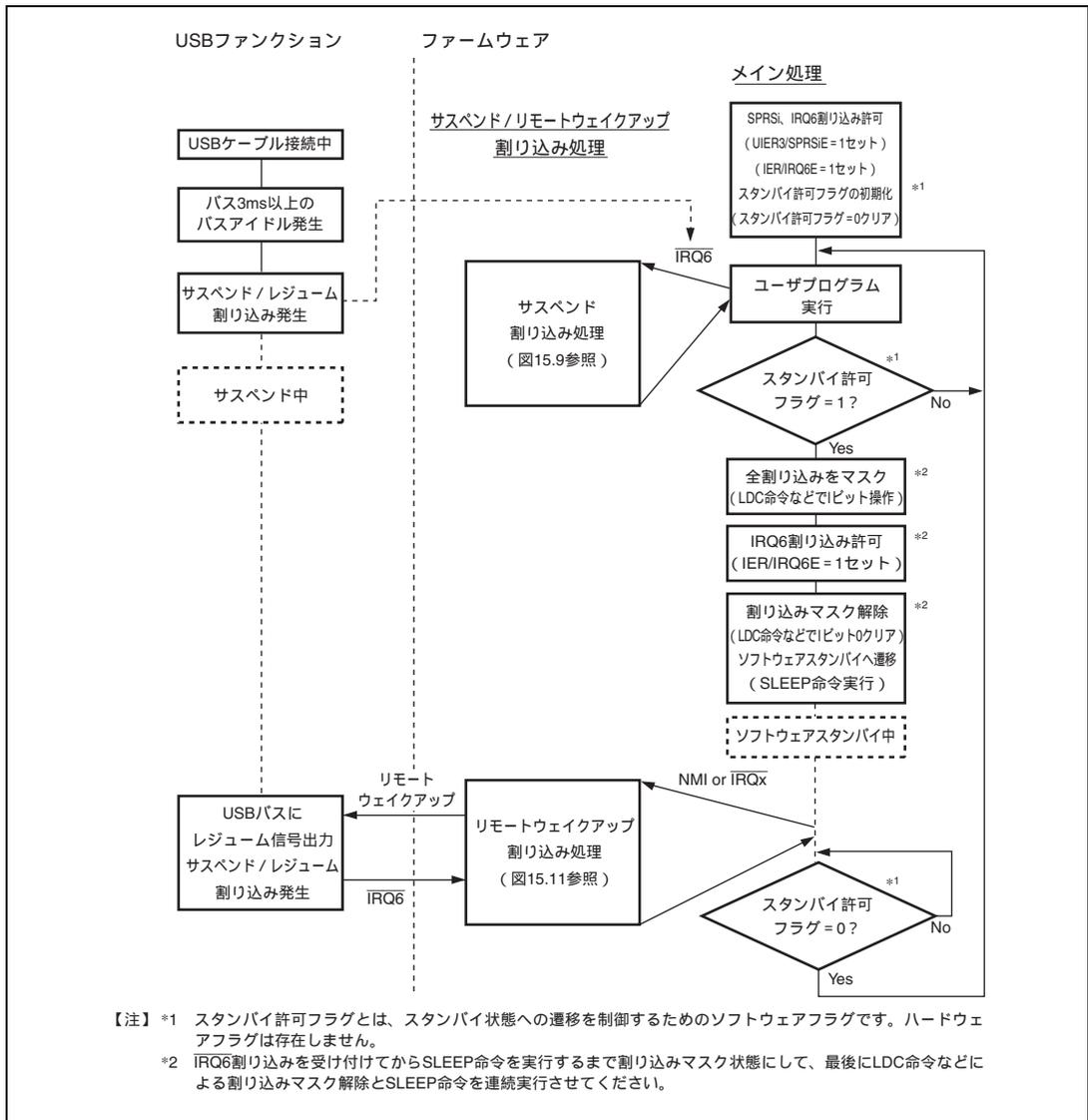


図 15.10 サスペンド/リモートウェイクアップ処理のフローチャート例

(4) リモートウェイクアップ割り込み処理

図 15.11 にリモートウェイクアップ割り込み処理のフローチャートを示します。

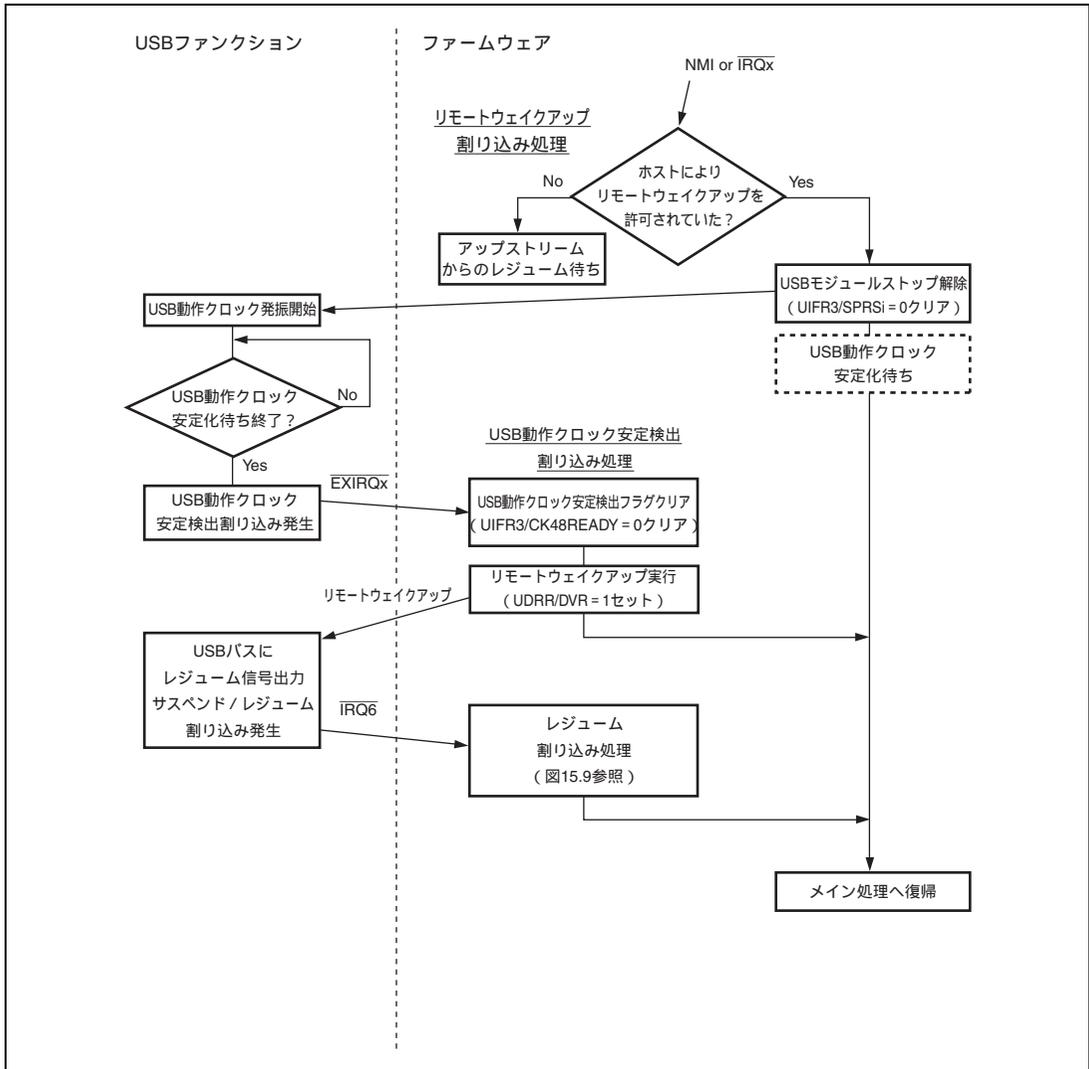


図 15.11 リモートウェイクアップ割り込み処理のフローチャート例

### 15.5.4 コントロール転送

コントロール転送は、セットアップ、データ(ない場合もある)、ステータスの3つのステージ(図 15.12)で構成されます。また、データステージは、複数のバストランザクションで構成されます。以下に各ステージごとの動作フローを図 15.13~図 15.17 に示します。

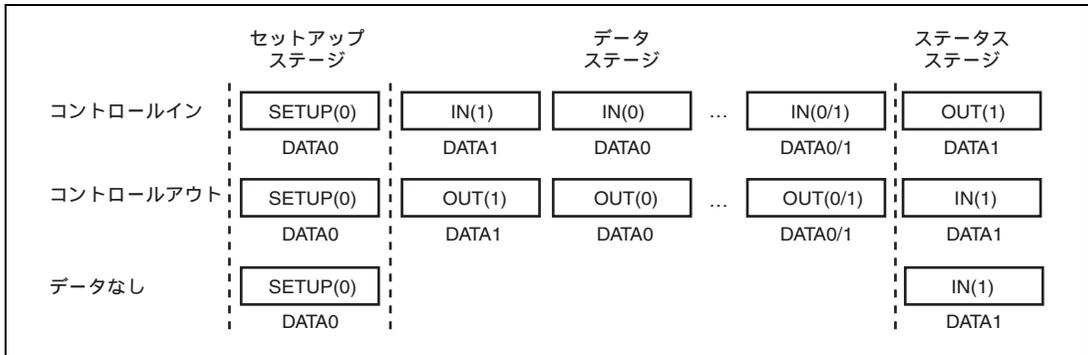


図 15.12 各転送ステージの構成

#### (1) セットアップステージ

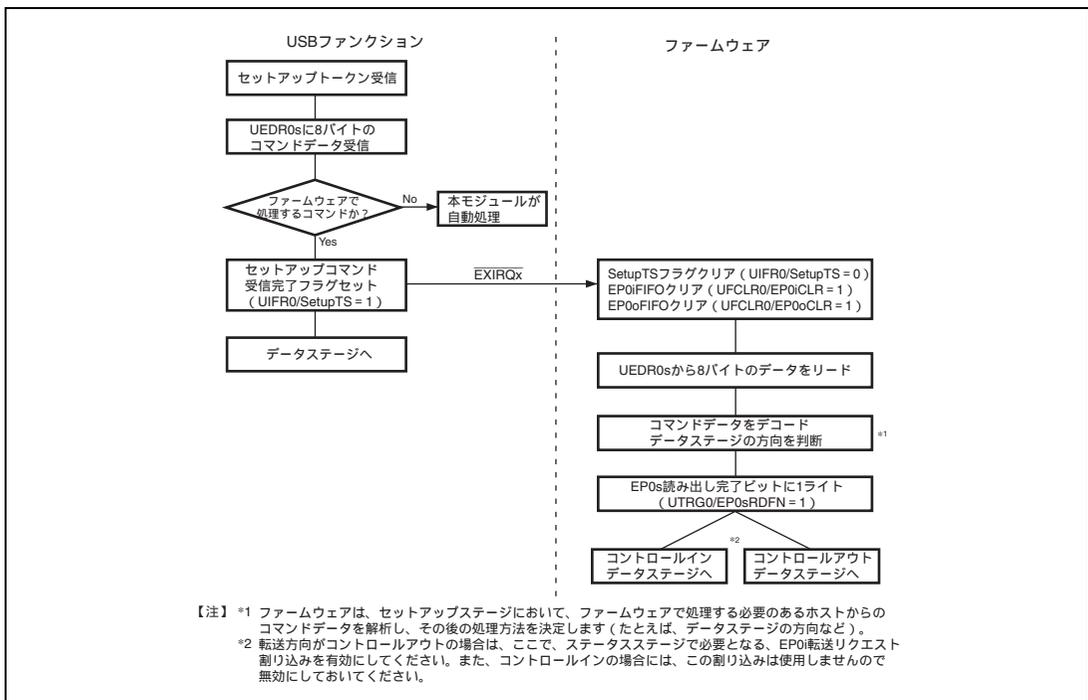


図 15.13 セットアップステージの動作

## (2) データステージ (コントロールイン時)

ファームウェアは、まずセットアップステージにおいてホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果によりデータステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書き込んだデータがホストに送られたあと (UIFR0/EP0iTS = 1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信しステータスステージに入ったことで判断します。

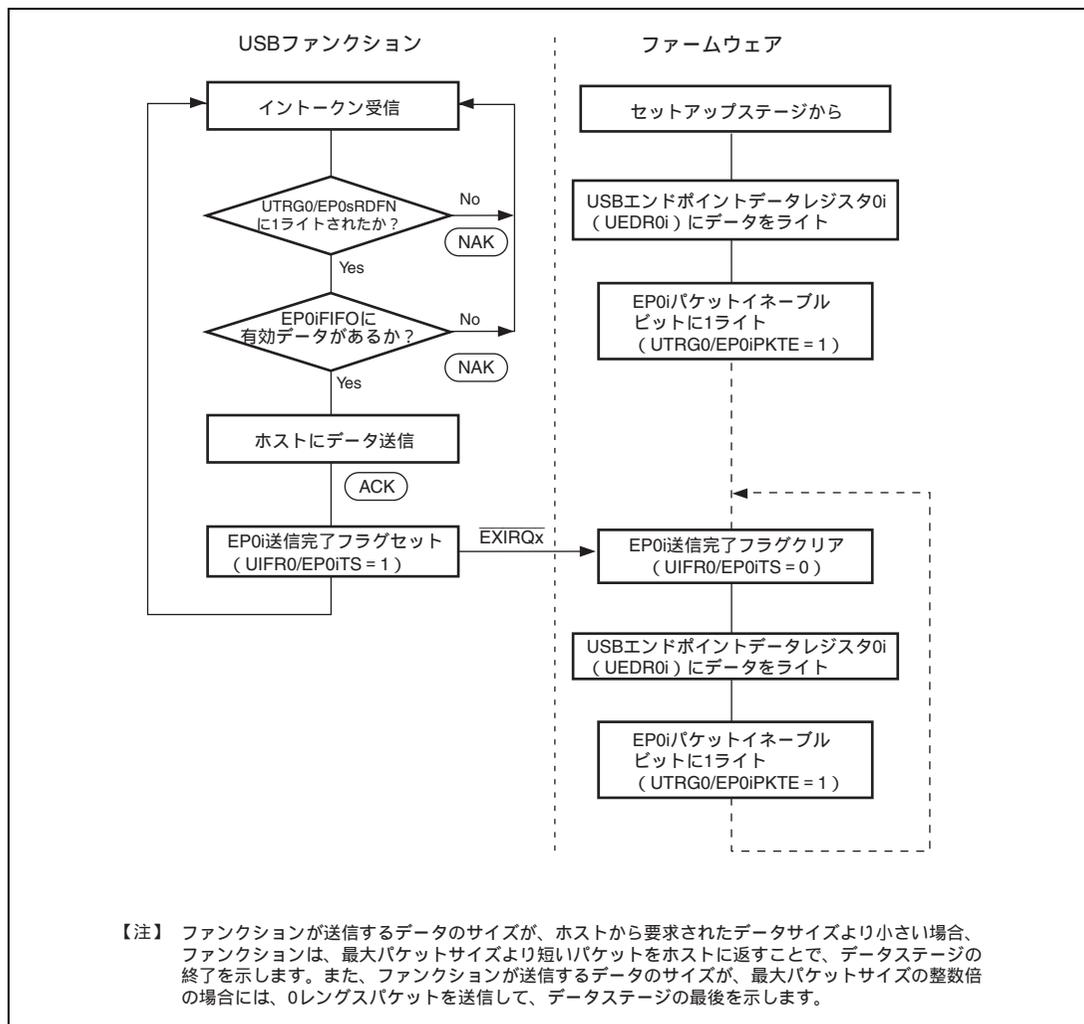


図 15.14 データステージ (コントロールイン時) の動作

## (3) データステージ (コントロールアウト時)

ファームウェアは、まずセットアップステージにおいてホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果によりデータステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (UIFR0/EP0oTS = 1)、FIFO からデータを読み出します。次にファームウェアは EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりはホストがイントークンを送信し、ステータスステージに入ったことで判断します。

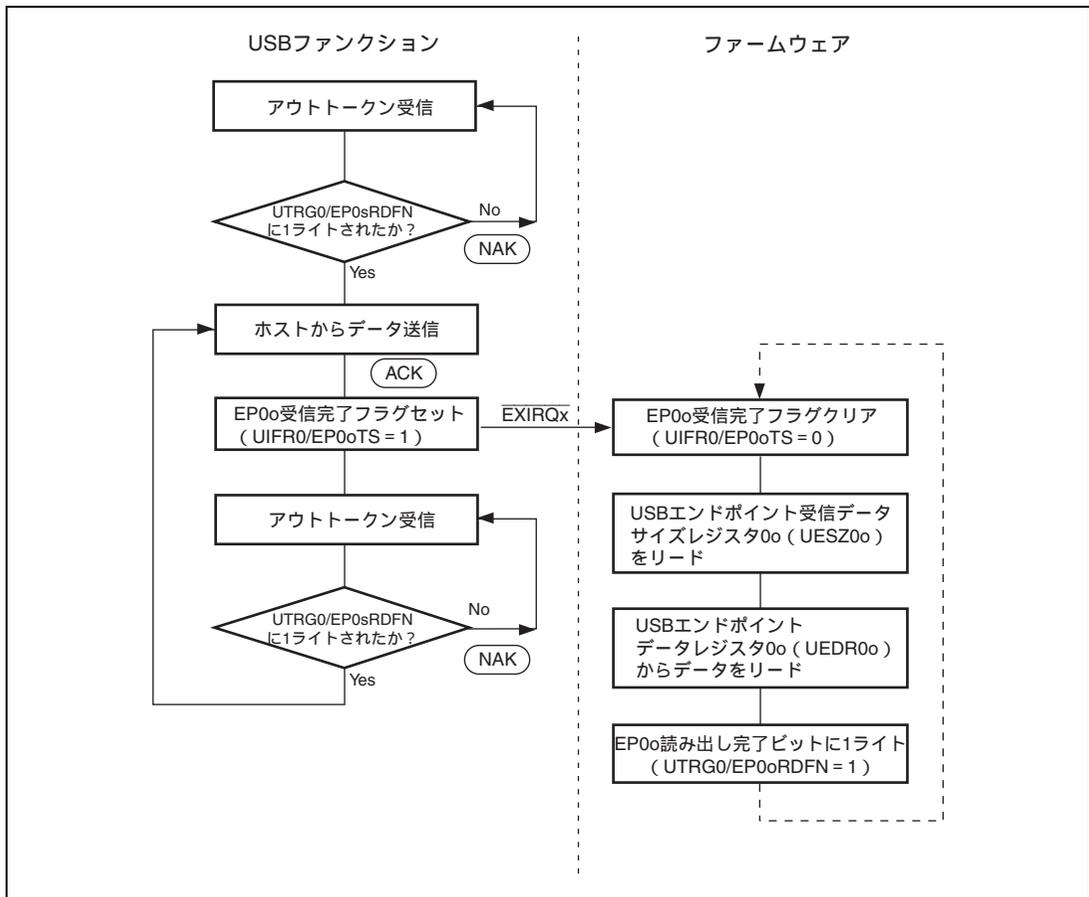


図 15.15 データステージ (コントロールアウト時) の動作

## (4) ステータスステージ (コントロールイン時)

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。ファームウェアは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

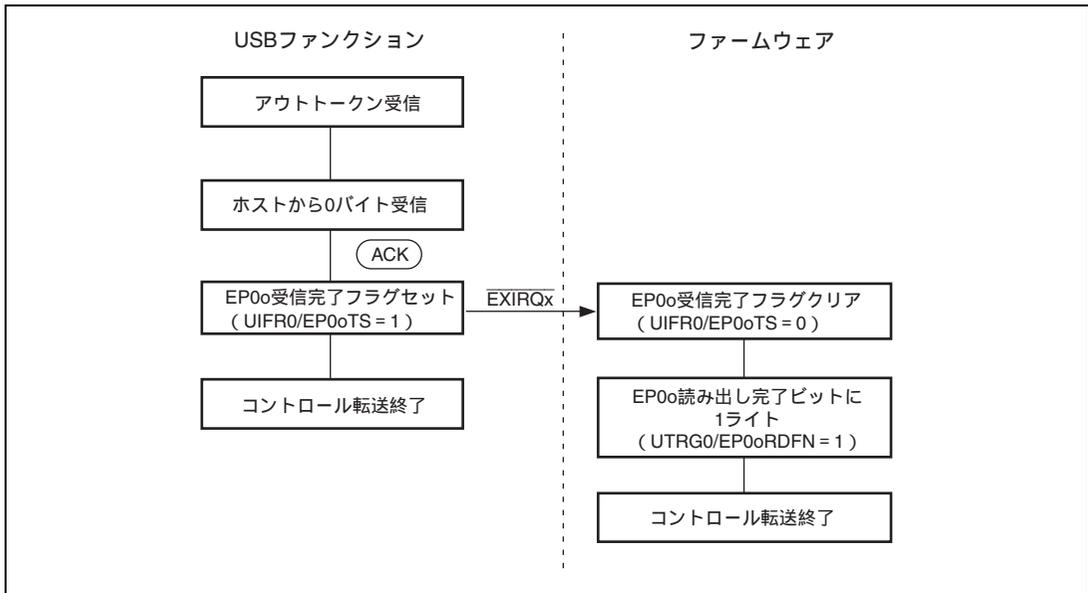


図 15.16 ステータスステージ (コントロールイン時) の動作

## (5) ステータスステージ (コントロールアウト時)

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0iFIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。ファームウェアは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0iFIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、ファームウェアが、データステージにかかわる処理をすべて終了したあと、EP0i パケットイネーブルビットに 1 ライトしてください。

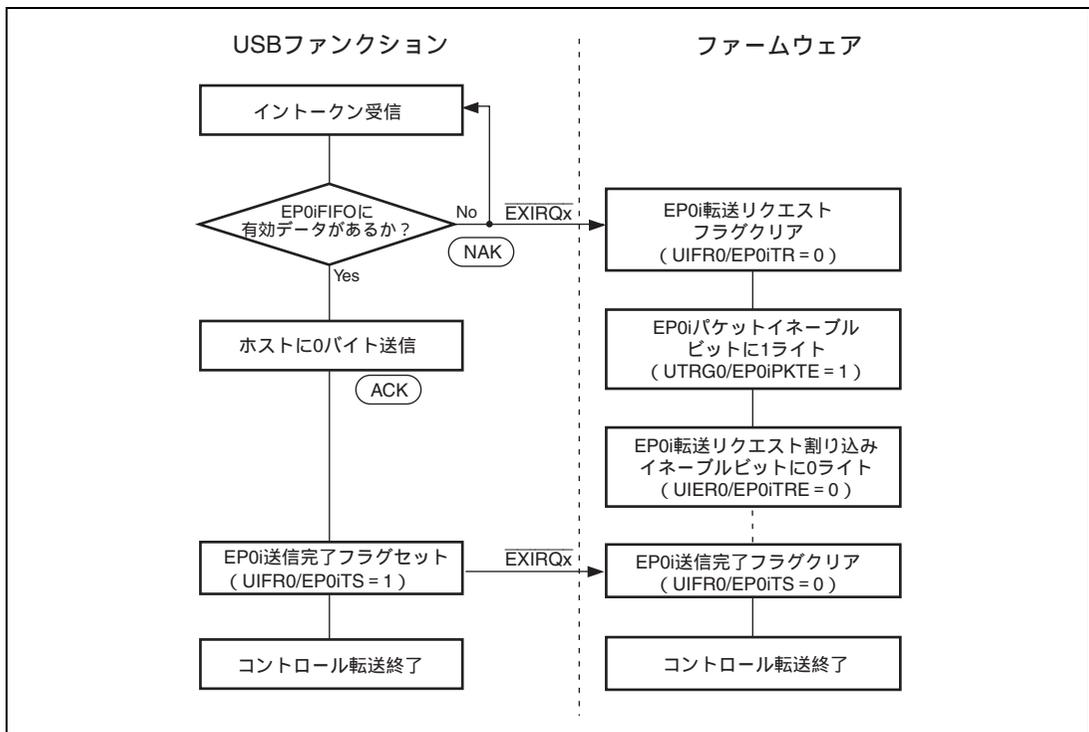


図 15.17 ステータスステージ (コントロールアウト時) の動作

## 15.5.5 インタラプトイン転送 エンドポイントを EP1i にした場合

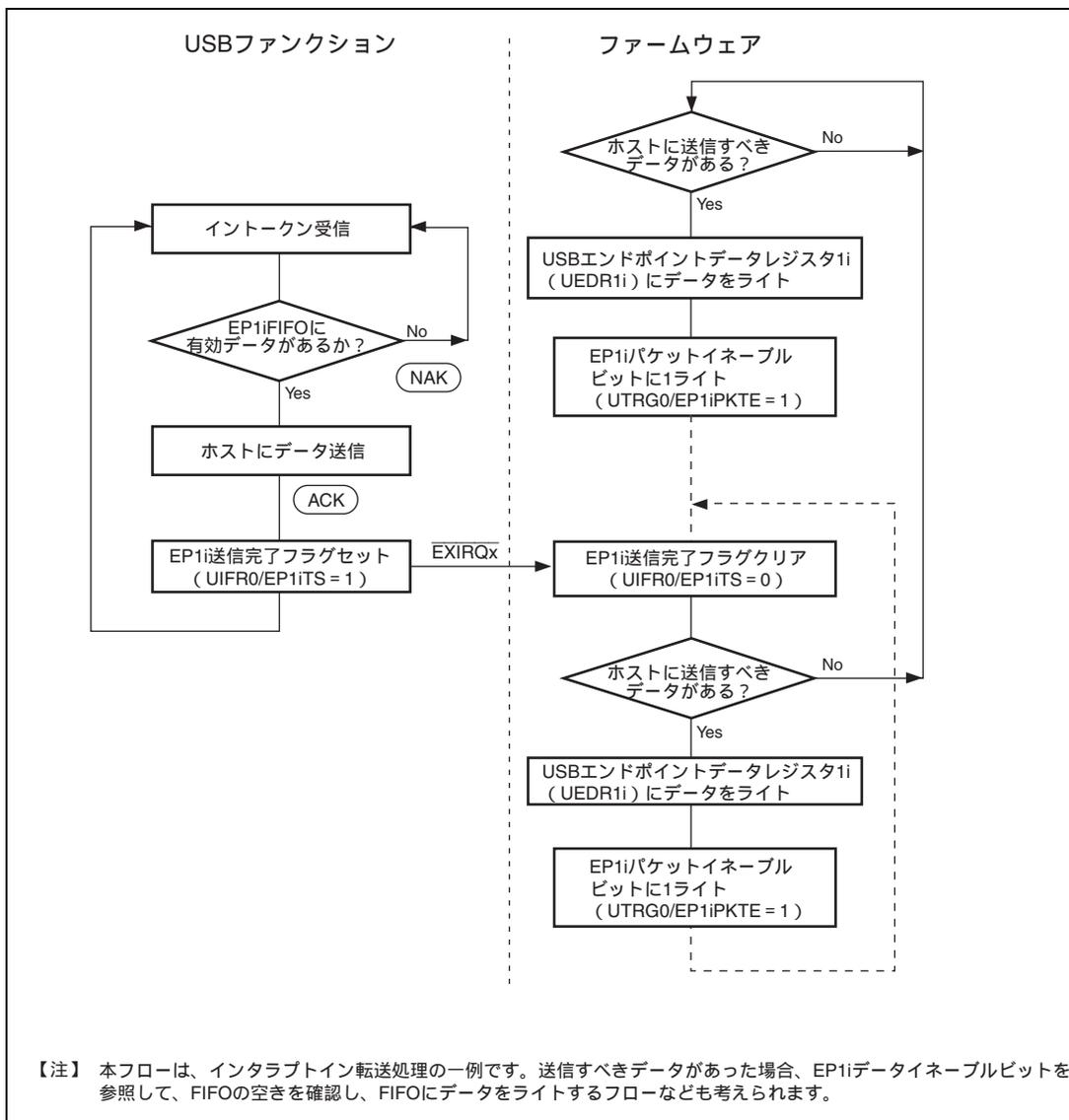


図 15.18 EP1i インタラプトイン転送の動作

### 15.5.6 バルクイン転送 (2面 FIFO) エンドポイントを EP2i にした場合

EP2i は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。たとえば、2 面とも FIFO が EMPTY の場合でも、連続して 128 バイトデータをライト後、まとめて EP2iPKTE を行うことはできません。必ず 64 バイトのライトごとに EP2iPKTE を行ってください。

バルクイン転送でホストにデータ送信する場合、まず UIER1/EP2iEMPTYE に 1 ライトし、EP2iFIFO エンプティ割り込みを許可してください。最初は、EP2i の 2 面 FIFO はともに EMPTY になっているので、EP2iFIFO エンプティ割り込みがすぐに発生します。この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面とも FULL になった場合、EP2iEMPTY が 0 になります。1 面でも EMPTY であれば UIFR1 / EP2iEMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO が EMPTY になります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、UIER1/EP2iEMPTYE に 0 ライトを行い、 $\overline{\text{EXIRQ0}}$  または  $\overline{\text{EXIRQ1}}$  端子からの割り込み要求を禁止にしてください。

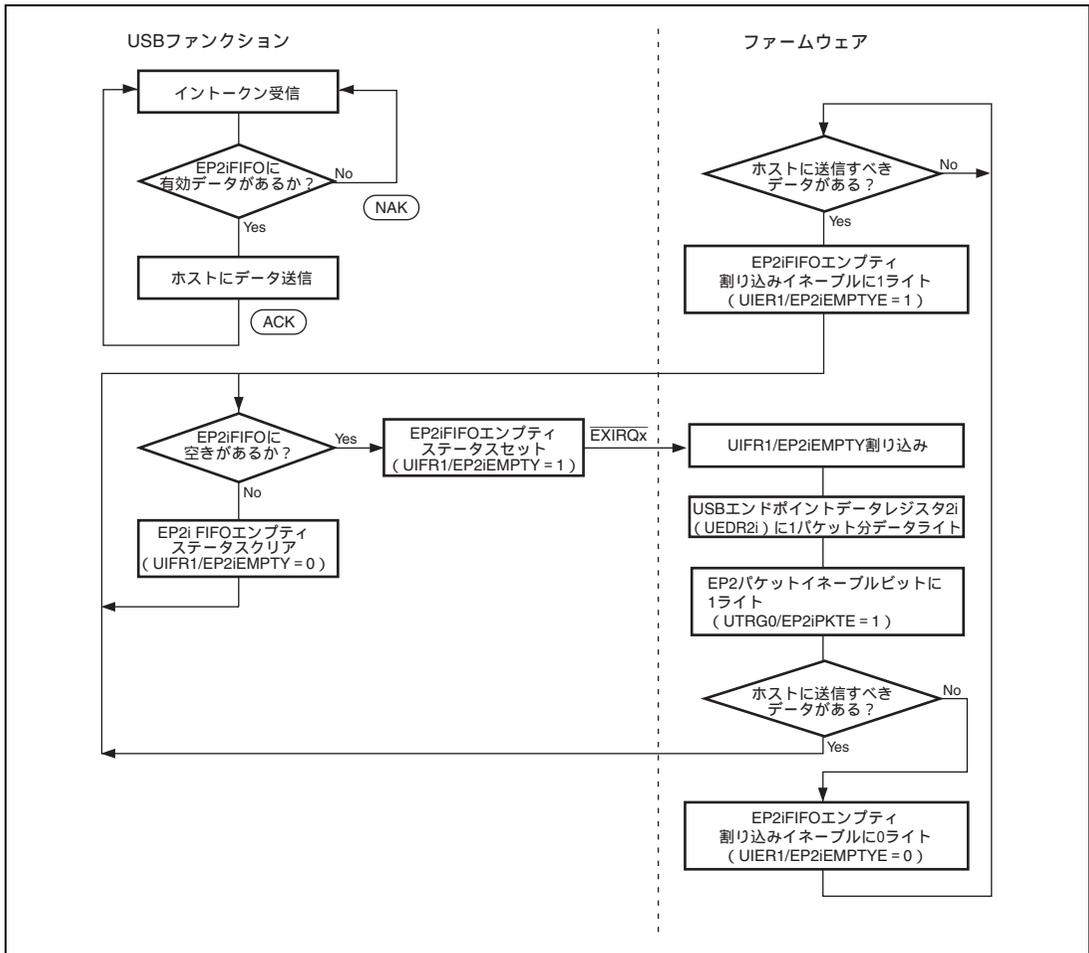


図 15.19 EP2i バルクイン転送の動作

### 15.5.7 バルクアウト転送 (2面 FIFO) エンドポイントを EP2<sub>o</sub> にした場合

EP2<sub>o</sub> は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、UIFR1/EP2<sub>o</sub>READY がセットされます。FIFO が 2 面とも EMPTY の状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも FULL になった場合、ホストには自動的に NAK が返信されます。データ受信後、受信データのリードが終了したら、UTRG0/EP2<sub>o</sub>RDFN に 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

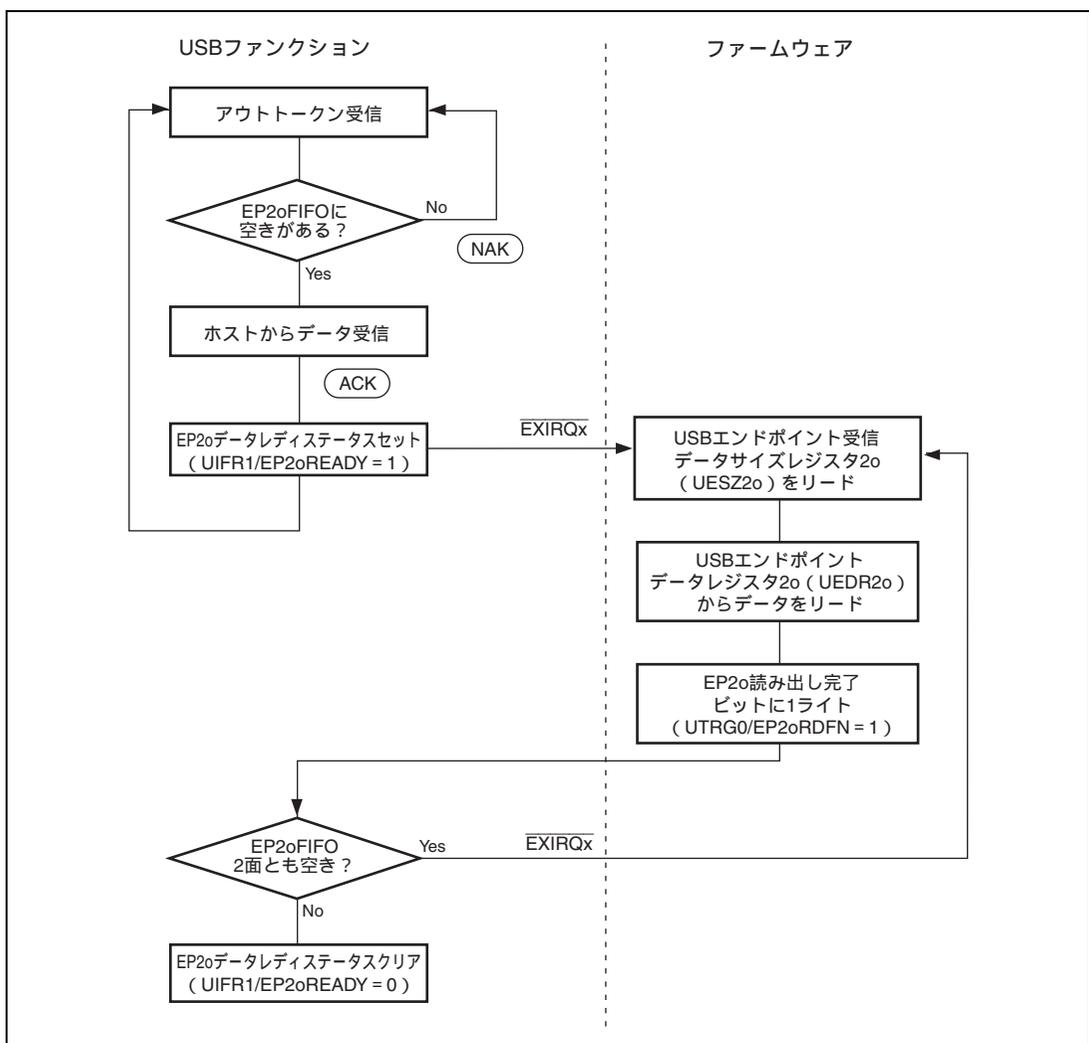


図 15.20 EP2<sub>o</sub> バルクアウト転送の動作

### 15.5.8 アイソクロナスイン転送 (2面 FIFO) エンドポイントを EP3i にした場合

EP3i は、最大 128 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードが自動で、FIFO の面を切り替えます (SOF がエラーにより受信できない場合でも、SOF マーカ機能をイネーブルにすれば、1ms 周期でハードが自動で FIFO の面を切り替えます)。また、USB ファンクションは、SOF 受信後、前のフレームで有効データが送信されたかチェックします。その結果、FIFO の中に有効データがあったにもかかわらずホストに送信されなかった場合 (ホストがイントークンを発行しなかった場合、またはイントークンにエラーがあった場合)、EP3i イントークン未受信として、UIFR1/EP3iTF ビットに 1 をセットします。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションがホストにデータを送信する FIFO とファームウェアが送信データをライトする FIFO は、同フレーム内では面が異なり、FIFO のリードとライトが競合することはありません。したがって、ファームウェアがライトするデータは、1 つあとのフレームで送信するデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのライトは、フレーム内に完了してください。

USB ファンクションは、イントークン受信後、FIFO 内にホストへ送信するデータがある場合、データをホストに送信します。FIFO にデータがなければ TR フラグを 1 にセットし、ホストに 0 バイトデータを送信します。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチンを呼び出し、タイムスタンプのチェックを行います。その後 1 パケット分のデータを FIFO にライトします。このライトしたデータは、次のフレームでホストに送信されます。

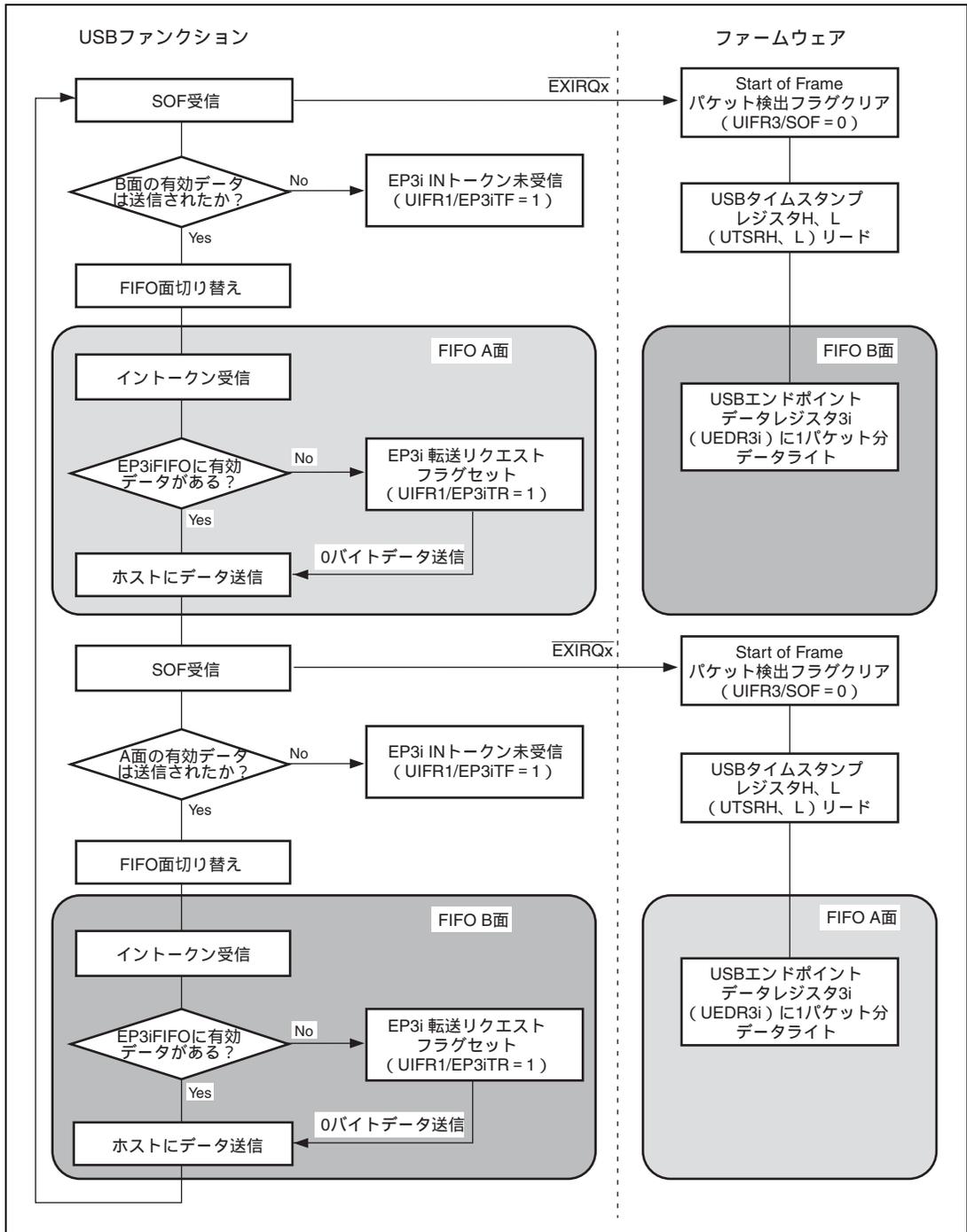


図 15.21 EP3i アイソクロナスイン転送の動作

### 15.5.9 アイソクロナスアウト転送の動作 (2面 FIFO) エンドポイントを EP3o にした場合

EP3o は、最大 128 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ転送が発生するため、SOF を受信するとハードが自動で FIFO の面を切り替えます (SOF がエラーにより受信できない場合でも SOF マーカ機能をイネーブルにすれば、1ms 周期でハードが自動で FIFO の面を切り替えます)。

SOF 受信で FIFO の面を切り替えるため、USB ファンクションがホストからのデータを受信する FIFO とファームウェアが受信データをリードする FIFO は、同フレーム内では面が異なり、FIFO とリードとライトが競合することはありません。したがって、ファームウェアがリードするデータは、1 つ前のフレームで受信したデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのリードはフレーム内に完了してください。

USB ファンクションは、アウトトークン受信後ホストからデータを受信しますが、このときデータにエラーがあった場合 TF ステータスを 1 にセットします。データにエラーがなければ TS ステータスを 1 にセットします。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチンを呼び出し、タイムスタンプのチェックを行います。その後データを FIFO からリードします。またそのデータにエラーがあるかどうかは、ステータス情報 (TS、TF) をリードして判断します。このときのステータス情報は、現在リードしている FIFO の面のステータスを表します。

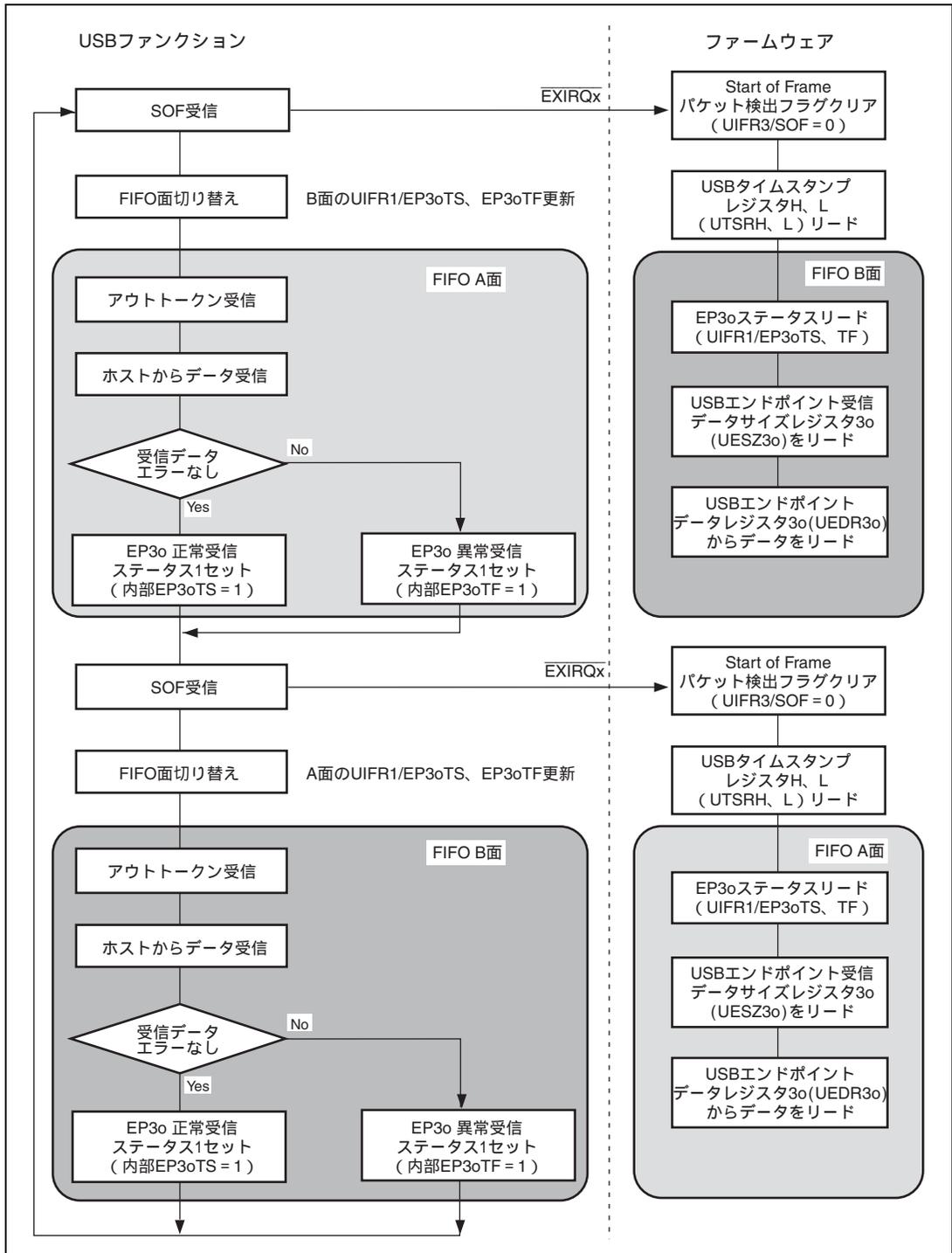


図 15.22 EP3o アイソクロナスアウト転送の動作

### 15.5.10 USB 標準コマンドとクラス/ベンダーコマンドの処理

#### (1) コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、ファームウェアでデコードを行いコマンドの処理を行う必要があります。以下の表 15.6 にファームウェアでのコマンドデコードについて示します。

表 15.6 ファームウェアでのコマンドデコード

ファームウェアでデコードの必要なし	ファームウェアでデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Synch Frame
Get Interface	Set Descriptor
Get Status	Class/Vendor コマンド
Set Address	
Set Configuration	
Set Feature	
Set Interface	

ファームウェアでデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

ファームウェアでデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、UIER0/SetupTS フラグがセットされ、 $\overline{\text{EXIRQx}}$  から割り込み要求が行われます。この割り込みルーチンの中で EP0s のデータレジスタ (UEDR0s) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

### 15.5.11 ストール動作

#### (1) 概要

本モジュールのストール動作には、次の2つの場合があります。

1. ファームウェアが何らかの理由で強制的にエンドポイントをストールさせる場合
2. USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールか否か)を保持する内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照して、ホストにストールを返すかどうか判断します。

このビットは、ファームウェアでは解除できません。解除する場合は、ホストから Clear Feature コマンドを使ってクリアしてください。

ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

#### (2) ファームウェアが強制的にストールさせたい場合

ファームウェアが本モジュールに対してストールを要求する場合、UESTL レジスタを使用します。ファームウェアが特定のエンドポイントをストールさせたい場合、EPnSTL の該当ビットをセットします(図 15.23 (1-1) 参照)。このとき内部状態ビットは変化しません。

次に、ホストから EPnSTL ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は EPnSTL ビットを参照します(図 15.23 (1-2))。ここで、EPnSTL ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられません。EPnSTL ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します(図 15.23 (1-3))。

一度、内部状態ビットがセットされたあとは、EPnSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 15.23 (3-1))、EPnSTL ビットがセットされている間は該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェークを返します(図 15.23 (1-2))。したがって、ストールを解除するには EPnSTL ビットをファームウェアでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 15.23 (2-1) ~ (2-3))。

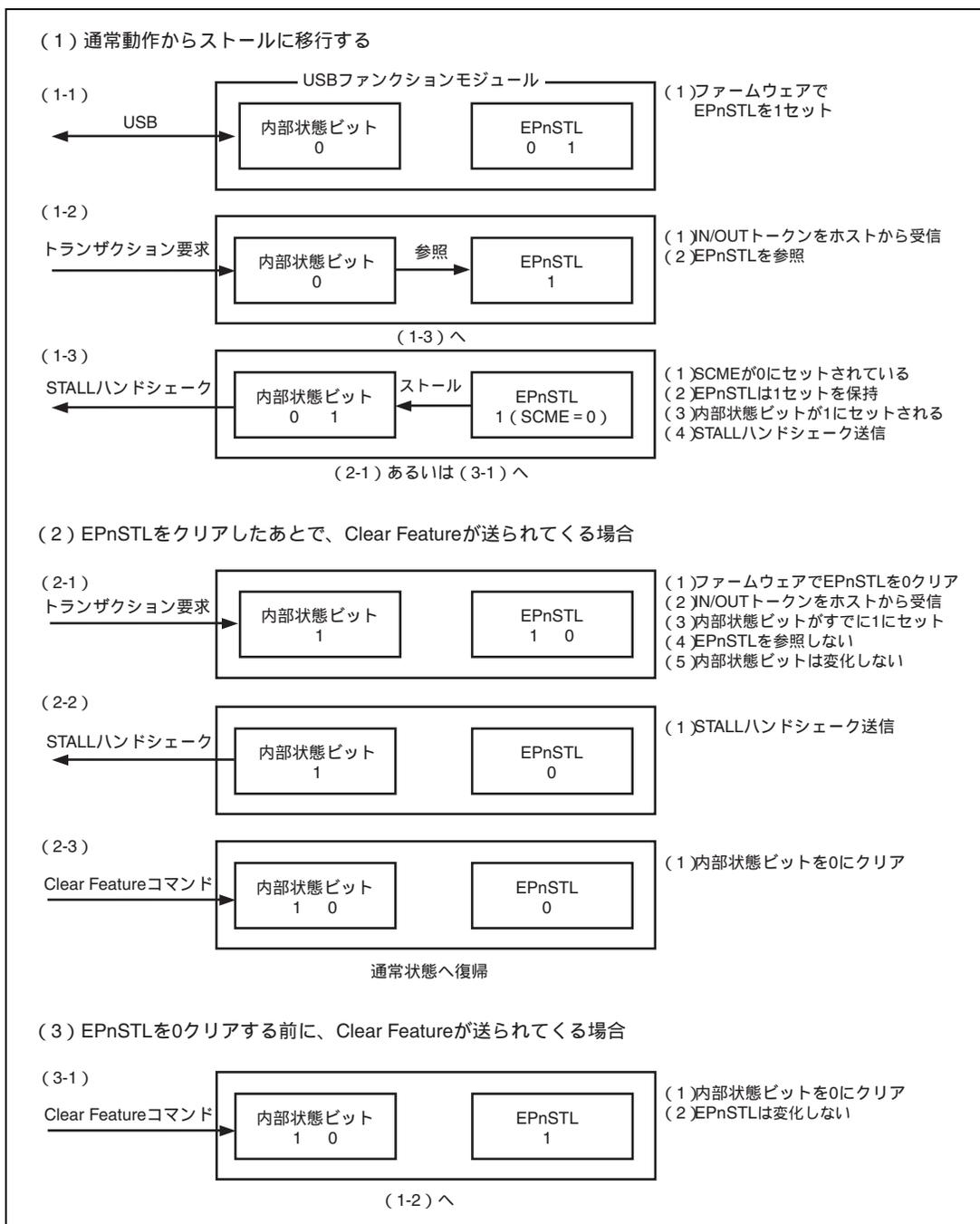


図 15.23 ファームウェアで強制的にストールさせたい場合

## (3) USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合と、本モジュールの構成内容と Get Descriptor でホストに返した情報が合っていない場合、あるいは USB の規格違反があった場合は、EPnSTL に関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットしストールハンドシェークを返します (図 15.24 (1-1))。

一度、内部状態ビットがセットされたあとは、EPnSTL に関係なくホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、EPnSTL を参照するようになります (図 15.24 (3-1))。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 15.24 (2-1)、(2-2))。したがって、ストールを解除するには Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 15.24 (3-1))。もし、ファームウェアによって EPnSTL をセットしている場合は EPnSTL もクリアしてください (図 15.24 (2-1))。

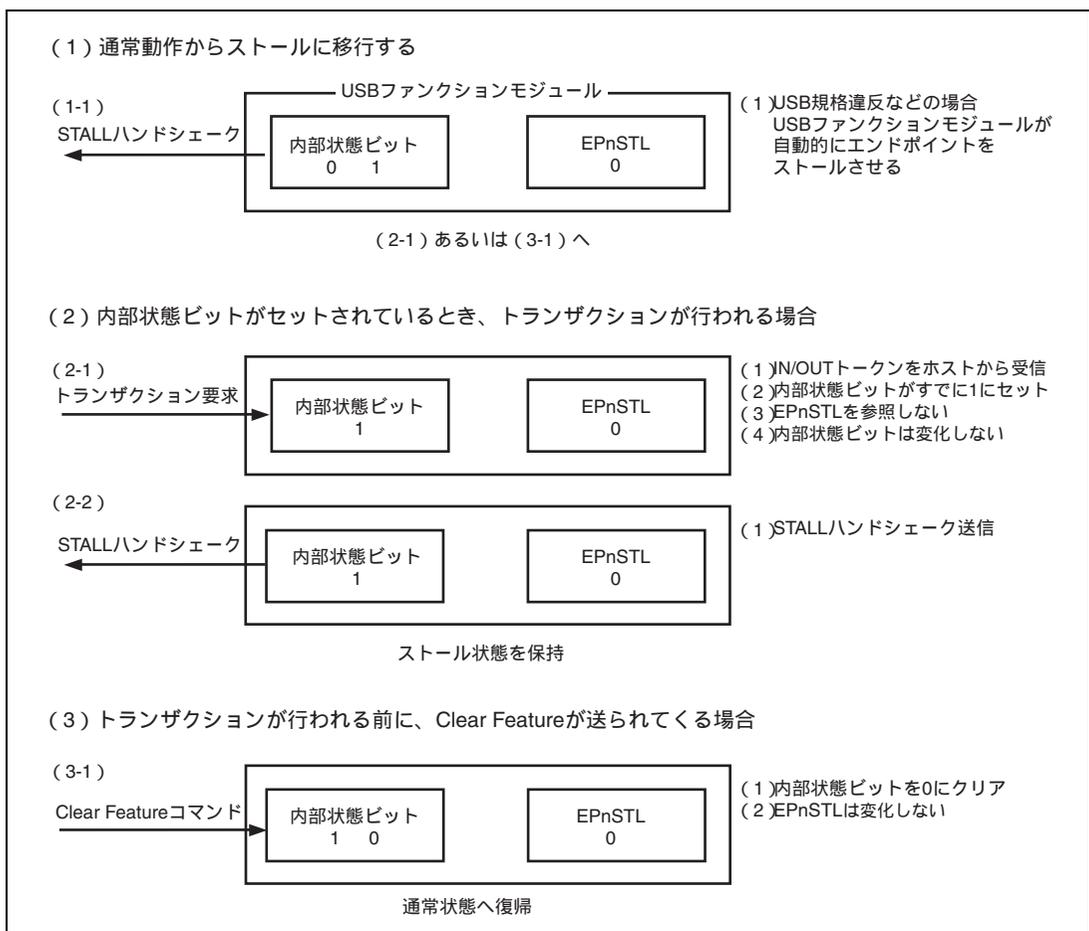


図 15.24 USB ファンクションモジュールが自動的にストールさせた場合

## 15.6 DMA 転送仕様

USB データの DMA 転送は、USB リクエストとオートリクエストの 2 通りの方法があります。

### 15.6.1 USB リクエストによる DMA 転送

#### (1) 概要

内蔵 DMAC の USB リクエスト ( $\overline{\text{DREQ}}$  レベル起動) 転送の場合は、フルアドレスモードのノーマルモード (サイクルスチールモード) のみ対応します。転送可能なエンドポイントは Bulk 転送の EP2、EP4 のみ (対応レジスタは、UEDR2i、UEDR2o、UEDR4i、UEDR4o) です。また本モジュールは、エリア 6 の外部デバイスとしてアクセスしてください。外部 ACK 付きデバイスとしてはアクセスできません (シングルアドレス転送はできません)。

なお、UDMAR レジスタの EP2oT1、EP4oT1 ビットに 1 をセットし DMA 転送を許可しても、EP2o、EP4o に対する 0 バイトデータの受信は無視します。

#### (2) 内蔵 DMAC の設定

内蔵 DMAC の設定は、USB リクエスト ( $\overline{\text{DREQ}}$  信号使用)、Low レベル入力起動、バイトサイズ、フルアドレスモード転送、DMABCR レジスタの DTA ビット = 1 で使用してください。その際、内蔵 DMAC の設定回数分の転送が終了すると、DMAC は停止します。しかし、本モジュールは DMA 転送要求がまだ残っている場合は、DMAC の状態にかかわらず、 $\overline{\text{DREQ}}$  信号を Low アサートし続けますので注意してください。

#### (3) EP2i、EP4i の DMA 転送について

UDMAR レジスタの EP2iT1、EP4iT1 ビットが DMA 転送イネーブルビットであり、UDMAR レジスタの EP2iT0、EP4iT0 ビットで指定された  $\overline{\text{DREQ}}$  信号を使用します。EP2iT1、EP4iT1 に 1 ライトすると、EP2i、EP4i のデータ FIFO が 1 面でも EMPTY のとき、 $\overline{\text{DREQ}}$  信号が Low アサートされます。 $\overline{\text{DREQ}}$  信号は FIFO が 2 面とも FULL になることによって High になります。

#### • UTRG レジスタの EP2iPKTE、EP4iPKTE について

EP2i、EP4i の送信データを DMA 転送を使って転送する場合、1 面分のデータ FIFO (64 バイト) が FULL になると、自動的に EP2iPKTE、EP4iPKTE に 1 ライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが 64 バイトの倍数の場合は、ユーザは EP2iPKTE、EP4iPKTE に 1 ライトする処理は必要ありません。それ以外の場合は、64 バイトに満たない最後のデータのみユーザが EP2iPKTE、EP4iPKTE に 1 ライトを行う必要があります。この処理は、DMAC の DMA 転送終了割り込みで行ってください。もし 64 バイトに満たないデータ転送以外でユーザが EP2iPKTE、EP4iPKTE に 1 ライトを行うと、余分に処理を行うことになり正常に動作できません。

例として、EP2i で 150 バイトのデータをホストに送信する場合を示します。この場合、下図の 2 箇所での自動的に EP2iPKTE への 1 ライトと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが FULL になったときに行われるため、64 バイトのデータを転送したときのみ自動で処理されます。64 バイト未満のデータを送信した場合は自動で行われません。

- EP2iのDMA転送手順例
  1. UDMAR/EP2iT1、EP2iT0ビット設定
  2. DMAC各種設定 (DMACに150バイト分の転送回数設定)
  3. DMAC起動
  4. DMA転送
  5. DMA転送終了割り込みでUTRG0/EP2iPKTEビットに1ライト

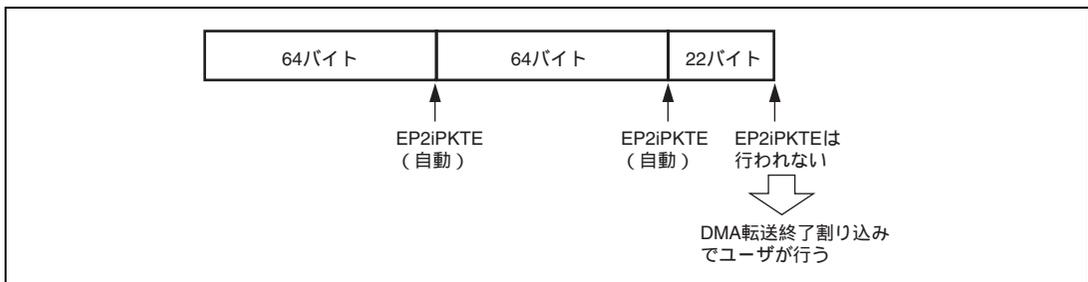


図 15.25 UTRG0 レジスタの EP2iPKTE 動作

#### (4) EP2o、EP4o の DMA 転送について

UDMAR レジスタの EP2oT1、EP4oT1 ビットが DMA 転送イネーブルビットであり、UDMAR レジスタの EP2oT0、EP4oT0 ビットで指定された  $\overline{\text{DREQ}}$  信号を使用します。EP2oT1、EP4oT1 に 1 ライトすると、EP2o、EP4o のデータ FIFO が 1 面以上 FULL (READY 状態) になったとき  $\overline{\text{DREQ}}$  信号が Low アサートされます。すなわち有効な受信データが FIFO 内に存在する場合 (READY 状態) に、 $\overline{\text{DREQ}}$  信号が Low にアサートされます。 $\overline{\text{DREQ}}$  信号は、すべての受信データをリードし 2 面とも FIFO が EMPTY になると High になります。

- UTRGレジスタのEP2oRDFN、EP4oRDFNについて

EP2o、EP4o の受信データを DMA 転送を使って転送する場合、1 面分のデータ FIFO をリードしたあとに EP2oRDFN、EP4oRDFN ビットに 1 ライトしないでください。

DMA 転送を使用しない場合は、1 面分のデータ FIFO をリードしたあとで EP2oRDFN、EP4oRDFN ビットに 1 ライトを行わないと次のデータがリードできませんが、DMA 転送使用時は現在選択されている面のデータ FIFO が EMPTY になると自動的に EP2oRDFN、EP4oRDFN に 1 ライトすることと同じ処理がモジュール内部で行われるため、ユーザは EP2oRDFN、EP4oRDFN に 1 ライトする必要はありません。もしユーザが EP2oRDFN、EP4oRDFN に 1 ライトを行うと余分に処理を行うことになり、正常に動作できませんので注意してください。

例として、EP2o で 150 バイトのデータをホストから受信する場合を示します。この場合、下図の 3 箇所です自動的に EP2oRDFN に 1 ライトと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが EMPTY になったときに行われるため、64 バイトのデータを転送したときでもそれ以下のデータを転送したときでも、同じように自動で処理されます。

- EP2oのDMA転送手順例

DMACの転送単位は、1パケット単位で行ってください。そのためEP2oREADYフラグセット後にホストより受信したデータサイズを確認し、受信したサイズをDMACの転送回数として設定してください。

1. UDMAR/EP2oT1、EP2oT0ビット設定
2. UIFR1/EP2oREADYフラグセット待ち
3. DMAC各種設定

UESZ2oの値をリードし、受信データサイズ (64バイト以下) 分の転送回数設定

4. DMAC起動
5. DMA転送 (64バイト以下転送)
6. DMA転送終了待ち
7. 上記2~6繰り返し

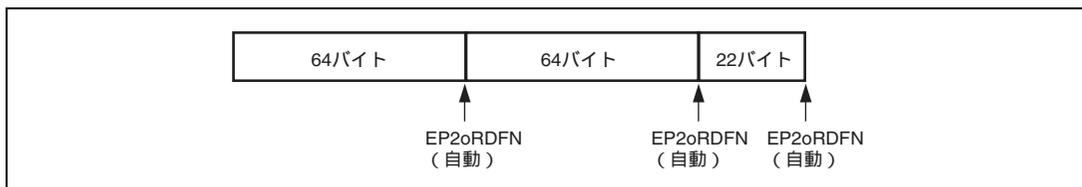


図 15.26 UTRG0 レジスタの EP2oRDFN 動作

## 15.6.2 オートリクエストによる DMA 転送

### (1) 概要

内蔵 DMAC のオートリクエスト転送の場合は、バーストモード転送 / サイクルスチール転送の選択が可能です。転送可能なエンドポイントは、すべてのデータレジスタ (UEDR0s、UEDR0i、UEDR0o、UEDR1i、UEDR2i、UEDR2o、UEDR3i、UEDR3o、UEDR4i、UEDR4o、UEDR5i) です。各データレジスタに対応するフラグや割り込みを確認してから DMA を起動してください。なお、オートリクエストモードでは UDMAR レジスタを使用しませんので UDMAR = H'00 にしてください。

### (2) 内蔵 DMAC の設定

内蔵 DMAC の設定は、オートリクエスト、バイトサイズ、フルアドレスモード転送、データレジスタの最大パケットサイズ以下の転送回数で使用してください。その際、内蔵 DMAC の設定回数分の転送が終了すると、DMAC は停止します。

### (3) EPni の DMA 転送について (n=0~5)

- UTRGレジスタのEPniPKTEについて (n=0~5)

オートリクエスト転送の場合は、自動的に EPniPKTE に 1 ライトする処理が行われませんので注意してください。必ず CPU で EPniPKTE に 1 ライトを行う必要があります。

例として、EP2i で 150 バイトのデータをホストに送信する場合を示します。この場合、図 15.27 の 3 箇所を

EP2iPKTE への 1 ライト処理が必要になります。

- EP2iのDMA転送手順例

DMAC の転送単位は 1 パケット単位で行ってください。そのため転送回数の設定は各エンドポイントの最大パケットサイズ以下としてください。

1. UIFR1/EP2iEMPTYフラグ = 1確認
2. EP2iデータ転送用のDMAC各種設定 (オートリクエスト、アドレス設定など)
3. DMACに64バイト分 (最大パケットサイズ以下) の転送回数設定
4. DMAC起動 (DTE = 0リード後、DTE = 1ライト)
5. DMA転送
6. DMA転送終了後、UTRG0/EP2iPKTEビットに1ライト
7. 上記1~6繰り返し
8. UIFR1/EP2iEMPTYフラグ = 1確認
9. DMACに22バイト分転送回数設定
10. DMAC起動 (DTE = 0リード後、DTE = 1ライト)
11. DMA転送
12. DMA転送終了後、UTRG0/EP2iPKTEビットに1ライト

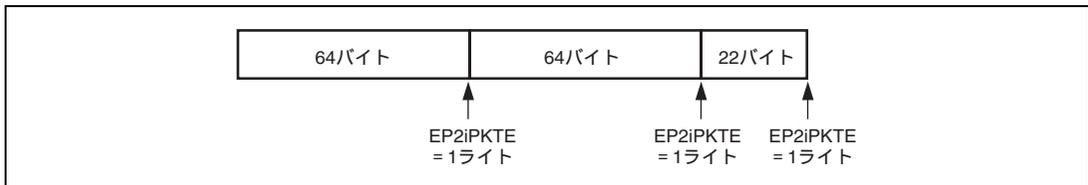


図 15.27 UTRG0 レジスタの EP2iPKTE 動作 (オートリクエスト)

(4) EP<sub>n</sub> の DMA 転送について (n=0, 2, 4)

- UTRGレジスタのEP<sub>n</sub>RDFNについて (n=0, 2, 4)

オートリクエスト転送の場合は、自動的に EP<sub>n</sub>RDFN に 1 ライトする処理が行われませんので注意してください。必ず CPU で EP<sub>n</sub>RDFN に 1 ライトを行う必要があります。

例として、EP<sub>2o</sub> で 150 バイトのデータをホストから受信する場合を示します。この場合、図 15.28 の 3 箇所 EP<sub>2o</sub>RDFN への 1 ライト処理が必要になります。

- EP<sub>2o</sub>のDMA転送手順例

DMACの転送単位は1パケット単位で行ってください。そのため転送回数の設定は各エンドポイントの最大パケットサイズ以下としてください。

1. UIFR1/EP<sub>2o</sub>READYフラグセット待ち
2. EP<sub>2o</sub>データ転送用のDMAC各種設定 (オートリクエスト、アドレス設定など)  
UESZ<sub>2o</sub>の値をリードし、受信データサイズ (64バイト以下) 分の転送回数設定
3. DMAC起動 (DTE = 0リード後、DTE = 1ライト)
4. DMA転送 (64バイト以下転送)

5. DMA転送終了後、UTRG0/EP2oRDFNビットに1ライト
6. 上記1～5繰り返し

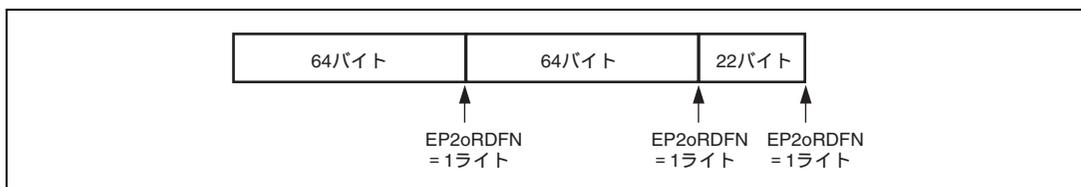


図 15.28 UTRG0 レジスタの EP2oRDFN 動作 (オートリクエスト)

## 15.7 エンドポイントの構成設定例

図 15.29 にエンドポイント構成の別例を示します。

図 15.29 の構成を実現する EPINFO データは、表 15.9 となります。この例では、実際には使用しない 2 つのエンドポイントがあります。このような場合でも UEPIR00\_0 ~ UEPIR22\_4 までの全 EPINFO データをローディングするため、未使用エンドポイントに対しても必ずダミーデータをライトしてください。ダミーデータの例は表 15.9 を参照してください。

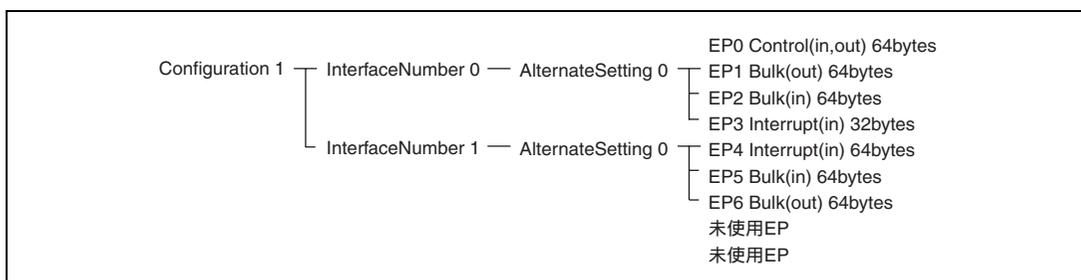


図 15.29 エンドポイント構成の別例

図 15.29 に示すエンドポイント構成に設定した場合は、表 15.7 に示すように一部のレジスタ名称が変更になります。また、表 15.8 に示すように一部のレジスタ内のビット名称が変更になります。

図 15.29 の構成例では、Bluetooth 規格に対して、EP1i→EP3、EP2i→EP2、EP2o→EP1、EP4i→EP5、EP4o→EP6、EP5i→EP4 のようにレジスタ名称 / ビット名称が変更になります。

表 15.7 レジスタ名称変更レジスタ一覧表

Bluetooth 規格 対応時の略称	変更レジスタ名称	変更略称	R/W	初期値	アドレス	アクセス幅
UEDR1i	USB エンドポイントデータレジスタ 3 ( Interrupt_in データ送信用 )	UEDR3	W	H'00	H'C0009C ~ H'C0009F	8
UEDR2i	USB エンドポイントデータレジスタ 2 ( Bulk_in データ送信用 )	UEDR2	W	H'00	H'C000A0 ~ H'C000A3	8
UEDR2o	USB エンドポイントデータレジスタ 1 ( Bulk_out データ送信用 )	UEDR1	R	不定	H'C000A4 ~ H'C000A7	8
UEDR3i	リザーブレジスタ ( Isochronous_in データ送信用 ) *	( UEDRn )*	W	H'00	H'C000A8 ~ H'C000AB	8
UEDR3o	リザーブレジスタ ( Isochronous_out データ受信用 ) *	( UEDRn )*	R	不定	H'C000AC ~ H'C000AF	8
UEDR4i	USB エンドポイントデータレジスタ 5 ( Bulk_in データ送信用 )	UEDR5	W	H'00	H'C000B0 ~ H'C000B3	8
UEDR4o	USB エンドポイントデータレジスタ 6 ( Bulk_out データ受信用 )	UEDR6	R	不定	H'C000B4 ~ H'C000B7	8
UEDR5i	USB エンドポイントデータレジスタ 4 ( Interrupt_in データ送信用 )	UEDR4	W	H'00	H'C000B8 ~ H'C000BB	8
USEZ2o	USB エンドポイント受信データサイズレジスタ 1 ( Bulk_out データ受信用 )	UESZ1	R	不定	H'C000BD	8
USEZ3o	リザーブレジスタ ( Isochronous_out データ受信用 ) *	( UESZn )*	R	不定	H'C000BE	8
USEZ4o	USB エンドポイント受信データサイズレジスタ 6 ( Bulk_out データ受信用 )	UESZ6	R	不定	H'C000BF	8

【注】 \* 未使用エンドポイントは、リザーブレジスタ扱いとなります。

表 15.8 ビット名称変更レジスタ一覧表

略称	R/W	初期値	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
UDMAR	R/W	H'00	H'C00082	EP6T1	EP6T0	EP5T1	EP5T0	EP1T1	EP1T0	EP2T1	EP2T0
UTRG0	W	H'00	H'C00084	-	-	EP1RDFN	EP2PKTE	EP3PKTE	EP0oRDFN	EP0iPKTE	EP0sRDFN
UTRG1	W	H'00	H'C00085	-	-	-	-	-	EP4PKTE	EP6RDFN	EP5PKTE
UFCLR0	W	H'00	H'C00086	(EPnCLR)	(EPnCLR)	EP1CLR	EP2CLR	EP3CLR	EP0oCLR	EP0iCLR	-
UFCLR1	W	H'00	H'C00087	-	-	-	-	-	EP4CLR	EP6CLR	EP5CLR
UESTL0	R/W	H'00	H'C00088	(EPnSTL)	(EPnSTL)	EP1STL	EP2STL	EP3STL	-	-	EP0STL
UESTL1	R/W	H'00	H'C00089	SCME	-	-	-	-	EP4STL	EP6STL	EP5STL
UIFR0	R/W	H'00	H'C000C0	BRST	-	EP3TR	EP3TS	EP0oTS	EP0iTR	EP0iTS	SetupTS
UIFR1	R/W	H'01* <sup>1</sup> or H'09	H'C000C1	(EPnTF)	(EPnTS)	(EPnTF)	(EPnTR)	EP2ALL EMPTY* <sup>2</sup>	EP1 READY	EP2TR	EP2 EMPTY
UIFR2	R/W	H'01* <sup>1</sup> or H'09	H'C000C2	-	-	EP4TR	EP4TS	EP5ALL EMPTY* <sup>2</sup>	EP6 READY	EP5TR	EP5 EMPTY
UIER0	R/W	H'00	H'C000C4	BRSTE	-	EP3TRE	EP3TSE	EP0oTSE	EP0iTRE	EP0iTSE	SetupTSE
UIER1	R/W	H'00	H'C000C5	(EPnTFE)	(EPnTSE)	(EPnTFE)	(EPnTRE)	EP2ALL EMPTY* <sup>2</sup>	EP1 READYE	EP2TRE	EP2 EMPTYE
UIER2	R/W	H'00	H'C000C6	-	-	EP4TRE	EP4TSE	EP5ALL EMPTY* <sup>2</sup>	EP6 READYE	EP5TRE	EP5 EMPTYE
UISR0	R/W	H'00	H'C000C8	BRSTS	-	EP3TRS	EP3TSS	EP0oTSS	EP0iTRS	EP0iTSS	SetupTSS
UISR1	R/W	H'00	H'C000C9	(EPnTFS)	(EPnTSS)	(EPnTFS)	(EPnTRS)	EP2ALL EMPTY* <sup>2</sup>	EP1 READYS	EP2TRS	EP2 EMPTYYS
UISR2	R/W	H'00	H'C000CA	-	-	EP4TRS	EP4TSS	EM5ALL EMPTY* <sup>2</sup>	EP6 READYS	EP5TRS	EP5 EMPTYYS
UDSR	R	H'00	H'C000CC	-	-	EP4DE	EP5DE	-	EP2DE	EP3DE	EP0iDE

【注】 \*1 H8S/2215 のときは H'01。H8S/2215R、H8S/2215T、H8S/2215C のときは H'09。

\*2 H8S/2215R、H8S/2215T、H8S/2215C のみ。H8S/2215 のときは ー。

表 15.9 に図 15.27 で示したエンドポイント構成にするための EPINFO データ設定例を示します。

本モジュールは、転送タイプに対応した専用ハードウェアで最適化しているため、完全任意なエンドポイント構成に設定することはできません。表 15.9 に示す制約範囲内 ( [ ] 内データのみ変更可能 ) で、エンドポイント構成を設定することができますが、 [ ] 内外の箇所は、必ず表 15.9 に示すデータを設定してください。

未使用エンドポイントに対しては、 [ ] 内データをすべて 0 のダミーデータをライトしてください。

表 15.9 EPINFO データ設定の別例

No	レジスタ名称	アドレス	図 15.27 のエンドポイントに対応する EPINFO データ設定例						
			対応転送モード*	UEPIRn_0 ~ UEPIRn_4 設定例**	UEPIRn_0	UEPIRn_1	UEPIRn_2	UEPIRn_3	UEPIRn_4
1	UEPIR00_0 ~ UEPIR00_4	H'C00000 ~ H'C0004	Control 転送専用	B'0000_00_00_00_0_0_0001000000_0000000000000000	H'00	H'00	H'40	H'00	H'00
2	UEPIR01_0 ~ UEPIR01_4	H'C00005 ~ H'C0009	Interrupt in 転送専用	B'[0011]_01_[00]_[000]_11_1_[0000100000]_0000000000000001*	H'34	H'1C	H'20	H'00	H'01
3	UEPIR02_0 ~ UEPIR02_4	H'C0000A ~ H'C000E	Bulk in 転送専用	B'[0010]_01_[00]_[000]_10_1_[0001000000]_0000000000000010**	H'24	H'14	H'40	H'00	H'02
4	UEPIR03_0 ~ UEPIR03_4	H'C0000F ~ H'C0013	Bulk out 転送専用	B'[0001]_01_[00]_[000]_10_0_[0001000000]_0000000000000011**	H'14	H'10	H'40	H'00	H'03
5	UEPIR04_0 ~ UEPIR04_4	H'C00014 ~ H'C0018	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_[0000000000]_0000000000000100**	H'04	H'0C	H'00	H'00	H'04
6	UEPIR05_0 ~ UEPIR05_4	H'C00019 ~ H'C001D	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_[0000000000]_0000000000000101**	H'04	H'08	H'00	H'00	H'05
7	UEPIR06_0 ~ UEPIR06_4	H'C0001E ~ H'C0022	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_[0000000000]_0000000000000110**	H'04	H'0C	H'00	H'00	H'06
8	UEPIR07_0 ~ UEPIR07_4	H'C00023 ~ H'C0027	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_[0000000000]_0000000000000111**	H'04	H'08	H'00	H'00	H'07
9	UEPIR08_0 ~ UEPIR08_4	H'C00028 ~ H'C002C	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_[0000000000]_000000000001000**	H'04	H'0C	H'00	H'00	H'08
10	UEPIR09_0 ~ UEPIR09_4	H'C0002D ~ H'C0031	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_[0000000000]_00000000000001001**	H'04	H'08	H'00	H'00	H'09
11	UEPIR10_0 ~ UEPIR10_4	H'C00032 ~ H'C0036	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_[0000000000]_0000000000001010**	H'04	H'0C	H'00	H'00	H'0A
12	UEPIR11_0 ~ UEPIR11_4	H'C00037 ~ H'C003B	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_[0000000000]_0000000000001011**	H'04	H'08	H'00	H'00	H'0B

No	レジスタ名称	アドレス	図 15.27 のエンドポイントに対応する EPINFO データ設定例						
			対応転送モード*1	UEPIRn_0 ~ UEPIRn_4 設定例*2	UEPIRn_0	UEPIRn_1	UEPIRn_2	UEPIRn_3	UEPIRn_4
13	UEPIR12_0 ~ UEPIR12_4	H'C0003C ~ H'C0040	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_ [0000000000]_0000000000001100*5*6	H'04	H'0C	H'00	H'00	H'0C
14	UEPIR13_0 ~ UEPIR13_4	H'C00041 ~ H'C0045	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_ [0000000000]_0000000000001101*5*6	H'04	H'08	H'00	H'00	H'0D
15	UEPIR14_0 ~ UEPIR14_4	H'C00046 ~ H'C004A	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_ [0000000000]_0000000000001110*5*6	H'04	H'0C	H'00	H'00	H'0E
16	UEPIR15_0 ~ UEPIR15_4	H'C0004B ~ H'C004F	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_ [0000000000]_0000000000001111*5*6	H'04	H'08	H'00	H'00	H'0F
17	UEPIR16_0 ~ UEPIR16_4	H'C00050 ~ H'C0054	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_ [0000000000]_0000000000010000*5*6	H'04	H'0C	H'00	H'00	H'10
18	UEPIR17_0 ~ UEPIR17_4	H'C00055 ~ H'C0059	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_ [0000000000]_0000000000010001*5*6	H'04	H'08	H'00	H'00	H'11
19	UEPIR18_0 ~ UEPIR18_4	H'C0005A ~ H'C005E	Isoch in 転送専用	B'[0000]_01_[00]_[000]_01_1_ [0000000000]_0000000000010010*5*6	H'04	H'0C	H'00	H'00	H'12
20	UEPIR19_0 ~ UEPIR19_4	H'C0005F ~ H'C0063	Isoch out 転送専用	B'[0000]_01_[00]_[000]_01_0_ [0000000000]_0000000000010011*5*6	H'04	H'08	H'00	H'00	H'13
21	UEPIR20_0 ~ UEPIR20_4	H'C00064 ~ H'C0068	Bulk in 転送専用	B'[0101]_01_[01]_[000]_10_1_ [0001000000]_0000000000010100*4	H'55	H'14	H'40	H'00	H'14
22	UEPIR21_0 ~ UEPIR21_4	H'C00069 ~ H'C006D	Bulk out 転送専用	B'[0110]_01_[01]_[000]_10_0_ [0001000000]_0000000000010101*4	H'65	H'10	H'40	H'00	H'15
23	UEPIR22_0 ~ UEPIR22_4	H'C0006E ~ H'C0072	Interrupt in 転送専用	B'[0100]_01_[01]_[000]_11_1_ [0001000000]_0000000000010110*3	H'45	H'1C	H'40	H'00	H'16

【注】 \*1 各エンドポイントは、転送モードに対応した専用ハードウェアで最適化しているため、必ず表に示す転送モードに設定してください (全 EPINFO データの D28、D27 は指定以外の設定禁止)。

\*2 [ ] 内が、任意設定可能箇所です。[ ] 以外の箇所は、必ず表に示すデータを設定してください。

\*3 Interrupt 転送の最大パケットサイズは、0 ~ 64 の範囲で設定してください。

\*4 Bulk 転送の最大パケットサイズは、使用時 = 64 / 未使用時 = 0 に設定してください。

\*5 Isochronous 転送の最大パケットサイズは、0 ~ 128 の範囲で設定してください。

また、Isochronous\_in と Isochronous\_out とは、エンドポイント番号が異なっても問題ありませんが、すべての Isochronous\_in は全部同じエンドポイント番号にしてください。すべての Isochronous\_out も全部同じエンドポイント番号にしてください。

\*6 未使用エンドポイントの最大パケットサイズは、0 を設定してください。

## 15.8 USB 外部回路例

本 LSI の内蔵トランシーバ使用時の USB 外部回路例を図 15.30 と図 15.31 に示します。外付けトランシーバ使用時の USB 外部回路例を図 15.32 と図 15.33 に示します。

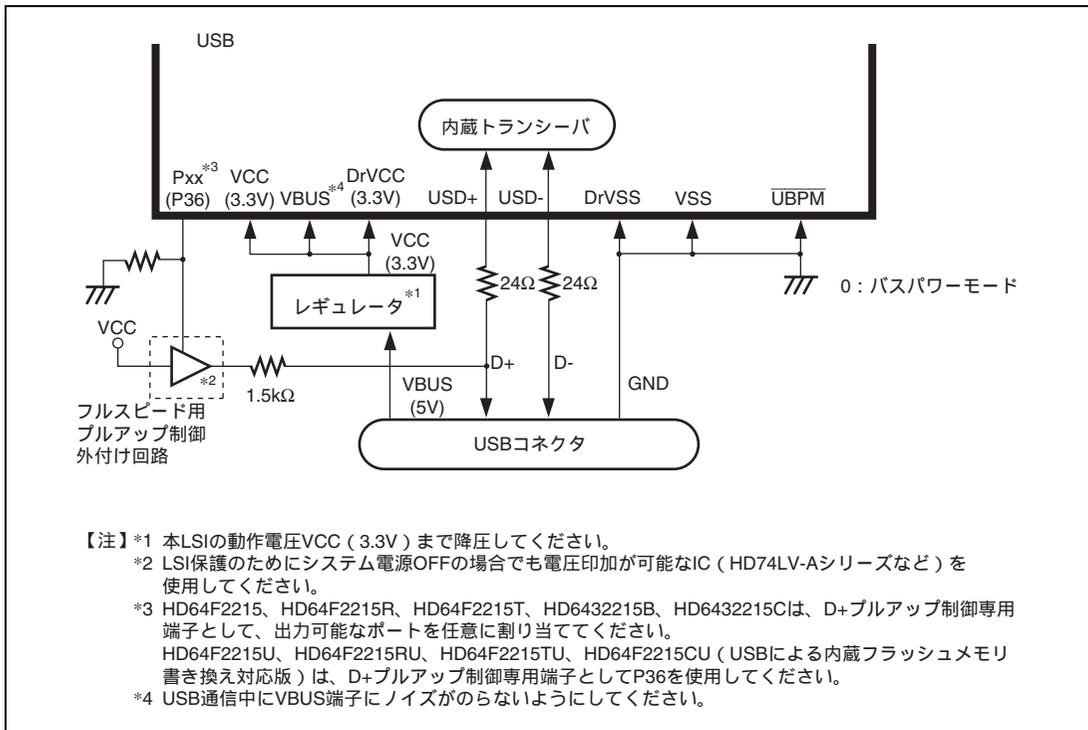


図 15.30 バスパワーモード時の回路例（内蔵トランシーバ使用時）

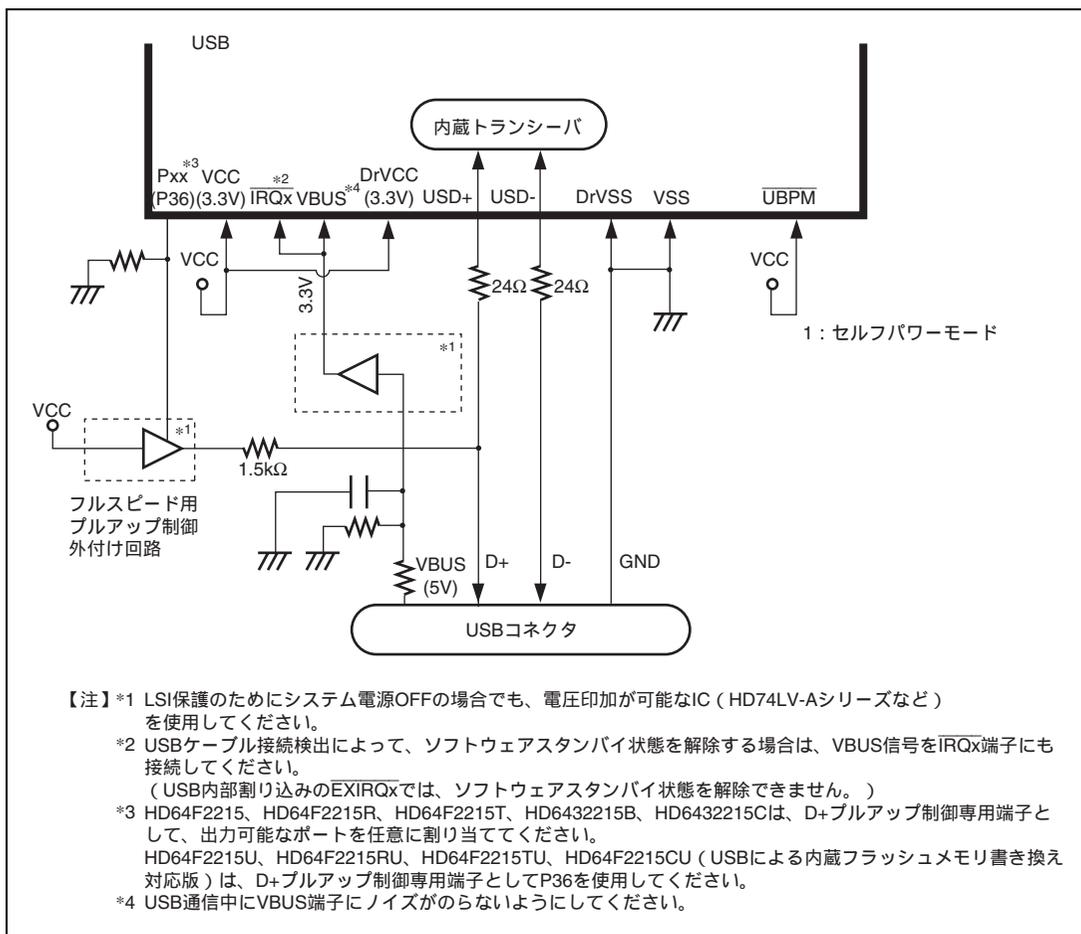


図 15.31 セルフパワーモード時の回路例 (内蔵トランシーバ使用時)

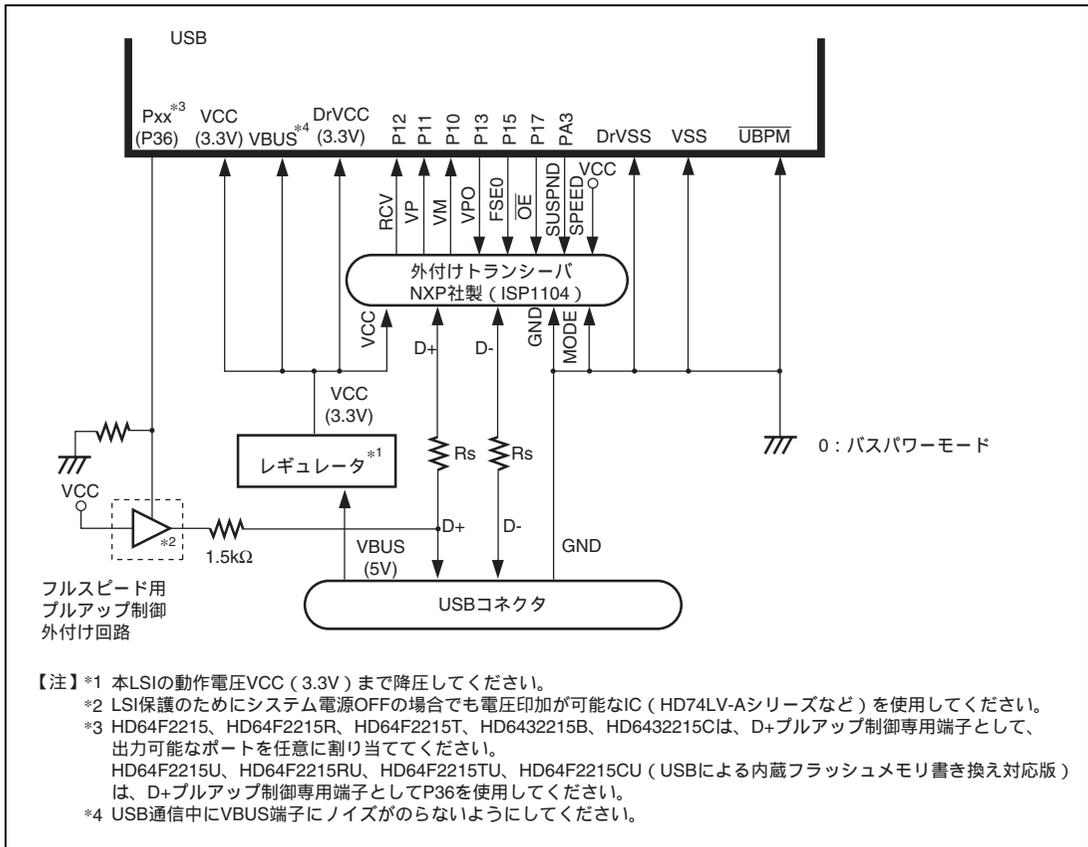


図 15.32 バスパワーモード時の回路例 (外付けトランシーバ使用時)

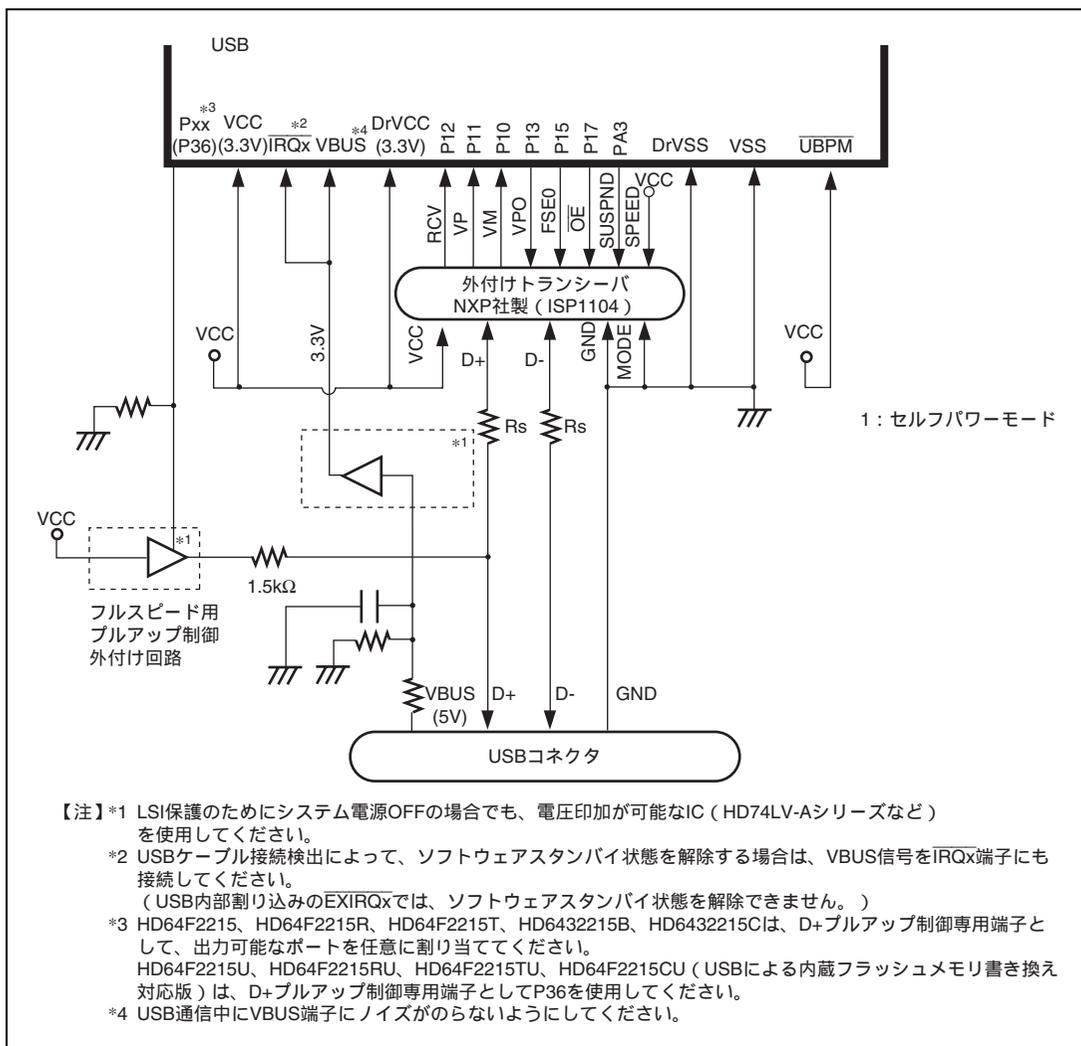


図 15.33 セルフパワーモード時の回路例 (外付けトランシーバ使用時)

## 15.9 使用上の注意事項

### (1) 動作周波数について

- H8S/2215のとき

内蔵 PLL 回路を使用する場合は、マイコンのシステムクロックは 16MHz で使用してください。

システムクロックをベースクロックとして内蔵 PLL で 16MHz を 3 逓倍して 48MHz の USB 動作クロックを生成します。USB 動作クロック (48MHz) 発振器および 48MHz 外部クロックを使用する場合は、マイコンのシステムクロックは 13MHz ~ 16MHz の範囲で使用してください。また、中速モードには対応していませんので、必ず高速モードのまま使用してください。

- H8S/2215R、H8S/2215T、H8S/2215Cのとき

内蔵 PLL 回路を使用する場合は、マイコンのシステムクロックは 16MHz または 24MHz で使用してください。

システムクロックをベースクロックとして内蔵 PLL で 16MHz を 3 逓倍するか、24MHz を 2 逓倍して 48MHz の USB 動作クロックを生成します。USB 動作クロック (48MHz) 発振器および 48MHz 外部クロックを使用する場合は、マイコンのシステムクロックは 13MHz ~ 24MHz\* の範囲で使用してください。また、中速モードには対応していませんので、必ず高速モードのまま使用してください。

【注】 \* H8S/2215T の場合、USB 動作クロックに 48MHz 発振器および 48MHz 外部クロックを使用しても、マイコンのシステムクロックは 16MHz または 24MHz を使用してください。

H8S/2215C の場合、マイコンのシステムクロックは 16MHz ~ 24MHz の範囲で使用してください。

### (2) バスインタフェースについて

本モジュールのバスインタフェースは、外部エリア 6 のバス仕様に従います。したがって、本モジュールをアクセスする前に、バスコントローラのレジスタで、必ずエリア 6 をバス幅 8 ビット、3 ステートアクセスに設定してください。モード 7 (シングルチップモード) では、本モジュールをアクセスできませんので注意してください。

また、モード 6 (内蔵 ROM 有効モード) で使用する場合は、初期状態では、 $\overline{CS6}$  と A7 ~ A0 が入力端子となっているため本モジュールをアクセスできません。したがって、本モジュールをアクセスする前には、P72DDR = 1、PC7DDR ~ PC0DDR = H'FF に設定して、 $\overline{CS6}$  と A7 ~ A0 を出力端子にしてください。モード 4、5 (内蔵 ROM 無効モード) で使用する場合は、P72DDR = 1 に設定して、 $\overline{CS6}$  を出力端子にしてください。

### (3) セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EP0s FIFO は以下の点に注意してください。

USB ではセットアップコマンドは必ず受信することになっているため、マイコン側からのリードよりも、UDC 側からのライトが優先になっています。受信完了後にマイコンでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためマイコン側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。

これは、FIFO に使用している DP-RAM がライト、リードとともに同一アドレスをアクセスした場合にデータが保証されないため、リード側を強制的に無効にするためです。

## (4) FIFO のクリアについて

USB ケーブルが通信途中で抜かれた場合は、以前の送受信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は速やかに FIFO のクリアを行ってください。また、バスリセット時にも FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

(5)  $\overline{\text{IRQ6}}$  割り込みについて

$\overline{\text{IRQ6}}$  によるサスペンド/レジューム割り込み要求は、必ず立ち下がりエッジに設定してください。

## (6) データレジスタのオーバーリード/ライトについて

CPU でデータレジスタをリード/ライトする際、以下の点に注意してください。

- 送信用データレジスタ (UEDR0i、UEDR1i、UEDR2i、UEDR3i、UEDR4i、UEDR5i)

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面FIFOを持つEP2i、EP3i、EP4iの場合も、1回のライトは必ず最大パケットサイズ以内にしてください。データライト後、UTRGレジスタのPKTEに1ライトを行う (EP3iはSOFパケット受信時にPKTEへの1ライト相当の動作が自動実行されます) と本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって2面分の連続データライトは行わないでください。

- 受信データレジスタ (UEDR0o、UEDR2o、UEDR3o、UEDR4o)

受信データレジスタは、有効な受信データ数以上リードしないでください。すなわち受信データサイズレジスタに示されるバイト数以上リードしないでください。2面FIFOを持つEP2o、EP3o、EP4oの場合も1回にリードできる最大データ数は最大パケットサイズまでです。現在有効になっている面のデータリードが終了したら、必ずUTRGレジスタのRDFNに1ライト (EP3oはSOFパケット受信時にRDFNへの1ライト相当動作が自動実行されます) を行ってください。

この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータがリード可能になります。

また、受信データがないときにデータレジスタをリードしないでください。リードを行うとモジュール内のFIFOを制御するポインタが変化して、正常な動作ができなくなります。

## (7) EP3o アイソクロナス転送について

- 最大パケットサイズ以上のEP3oデータ受信

EP3o における最大パケットサイズ以上のデータは、データ FIFO には格納せずに廃棄します。このとき、受信サイズレジスタ 3o (UESZ3o) は、最大パケットサイズまでしかカウントしません。また、EP3o 異常転送フラグ (EP3oTF) が 1 セットされます。

最大パケットサイズが 9 バイト時における 10 バイトデータ受信例を図 15.34 に示します。

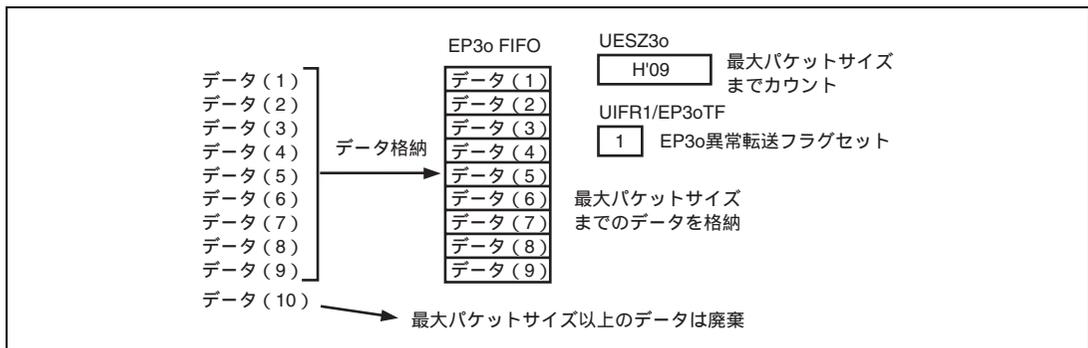


図 15.34 10 バイトデータ受信例

• EP3o受信データとステータスビットのリードについて

図 15.35 に示すように、SOF パケット受信により FIFO の受信面が自動的に切り替わり、FIFO には、常に最新データが格納されます。したがって、[N]フレーム時のホストからの受信データは、[N+1]フレーム時にしかリードできません。また、UIFR1 レジスタの EP3oTF、EP3oTS ステータスビットも SOF パケット受信ごとに自動的に切り替わるため、[N]フレーム時の EP3oTF と EP3oTS とも[N+1]フレーム時にしかリードできません。

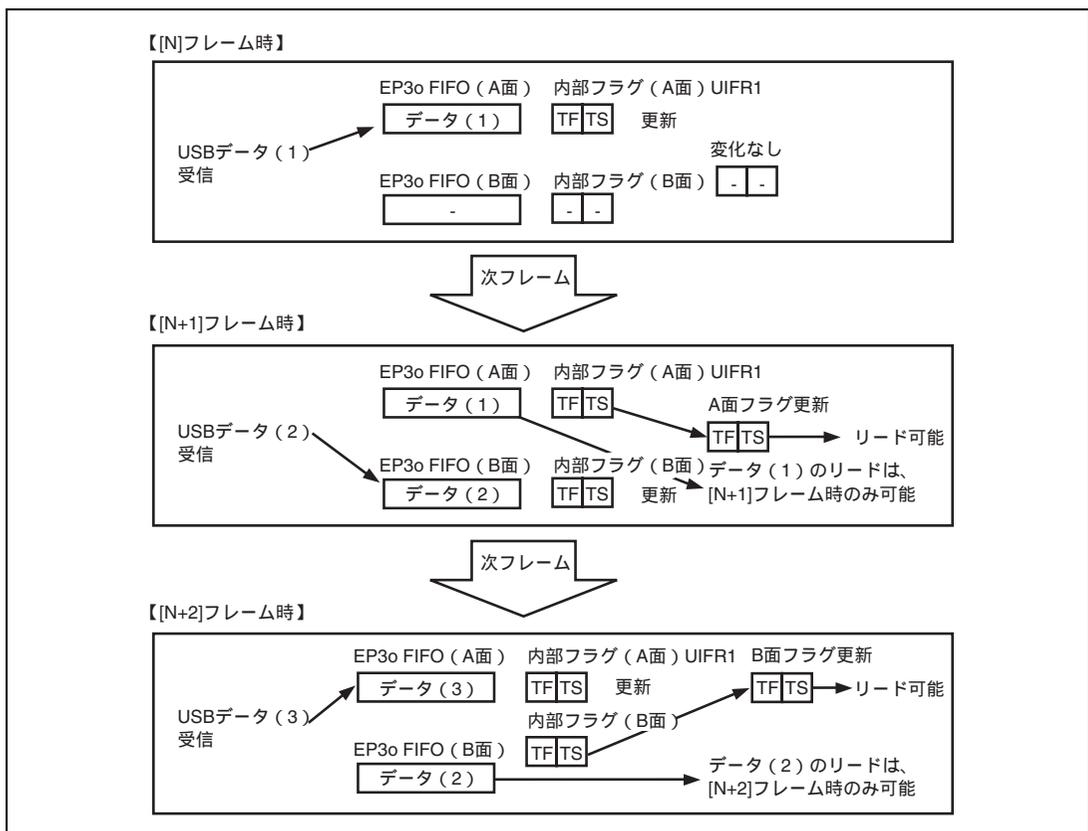


図 15.35 EP3o データ受信

## (8) リセットについて

- USB通信動作中のマニュアルリセットは、USD+、USD-の端子状態を保持したままLSIが停止してしまうため使用しないでください。また、本モジュールのレジスタは一部に同期リセットを使用しているため、モジュール内部のクロックが安定してからリセット解除する必要があります。したがって、初期設定時のリセット解除は、以下の手順に従ってください。

(1) USB動作クロックセレクト：UCTLRレジスタのUCKS3~0へライト

(2) USBモジュールストップ解除：MSTPCRBレジスタのMSTPB0=0クリア

(3) USB動作クロック安定化待ち：UIFR3レジスタのCK48READY=1セット待ち

(4) USBインタフェースリセット解除：UCTLRレジスタのUIFRST=0クリア

(5) UDCコアリセット解除：UCTLRレジスタのUDCRST=0クリア

詳細は、「15.5.1 初期設定」および「15.5.2 USBケーブル接続/切断」のフローを参照してください。

- USBのレジスタは、ウォッチドッグタイマ(以下WDT)によるパワーオンリセットでは初期化されないため、CPU暴走時などによるWDTによるパワーオンリセット後にUSBが正常動作できない可能性があります( $\overline{\text{RES}}$ 端子からのパワーオンリセット信号入力時には、USBのレジスタは初期化されるので問題ありません)。

したがって、リセット直後の初期化ルーチンで下記3つのレジスタへ初期値をライトして、USBの全レジスタを確実に初期化してください。

UCTLR = H'03、UIER3 = H'80、UIFR3 = H'00

## (9) EP0に関する割り込み要因の割り当てについて

本モジュールのUIFR0に割り当てられたEP0に関する割り込み要因(ビット3~ビット0)は、必ずUISR0で同じ割り込み信号( $\overline{\text{EXIRQx}}$ )に割り当ててください。その他の割り込み要因には特に制約はありません。

(10) VBUS、 $\overline{\text{IRQx}}$ 端子のレベルシフトについて

本モジュールのVBUS、 $\overline{\text{IRQx}}$ 端子には、必ずUSBコネクタのVBUS端子をレベルシフトを通して接続してください。これは、本モジュール内部でUSBケーブルの接続/切断を検出して動作する回路があるためです。

本モジュールが搭載されたセット(商品)の電源がOFFの状態でも、USBケーブルがセットに接続されている場合は、USBコネクタのVBUS端子に約5Vの電圧が印加されます。このような場合でも本モジュールを搭載したLSIを破壊しないために、電源OFF時でも端子に電圧印加が可能なレベルシフト(HD74LV-Aシリーズなど)を使用してください。

#### (11) USB エンドポイントデータレジスタのリード/ライトについて

CPU によるワード転送命令やロングワード転送命令で送信側の USB エンドポイントデータレジスタ (UEDRni) にデータをライトする場合は、送信すべきデータサイズより多くのデータをライトしないようにしてください。

7 バイトのデータをホストに送信するときに、「ロングワード転送命令で 2 回ライト」、または「ワード転送命令で 4 回ライト」すると、8 バイトのデータをホストに送信してしまいます。したがって、7 バイトのデータを正確にライトするためには「ロングワード転送命令で 1 回ライト、ワード転送命令で 1 回ライト、バイト転送命令で 1 回ライト」、または「ワード転送命令で 3 回ライト、バイト転送命令で 1 回ライト」のように実施してください。

また、受信側の USB エンドポイントデータレジスタ (UEDRno) のデータをリードする場合も、USB エンドポイント受信サイズレジスタ (UESZno) で示されたバイト数分だけを正確にリードするようにしてください。

内蔵 DMAC で USB エンドポイントデータレジスタのデータを DMA 転送する場合は、必ずバイトサイズ転送に設定してください。ワードサイズ転送では、奇数バイトサイズの DMA 転送に対応できないため、設定しないでください。

#### (12) ソフトウェアスタンバイモードへの遷移と解除時の制限事項

ソフトウェアスタンバイモードへ遷移する前には、必ず SOF マーカ機能を無効にし、さらに USB モジュールストップ状態に設定してください。また、UDC コアはリセットしないでください。

ソフトウェアスタンバイ状態が解除され、再度本モジュールをアクセスするときには、USB モジュールストップを解除後、USB 動作クロック (48MHz) の動作安定時間を待つようにしてください。

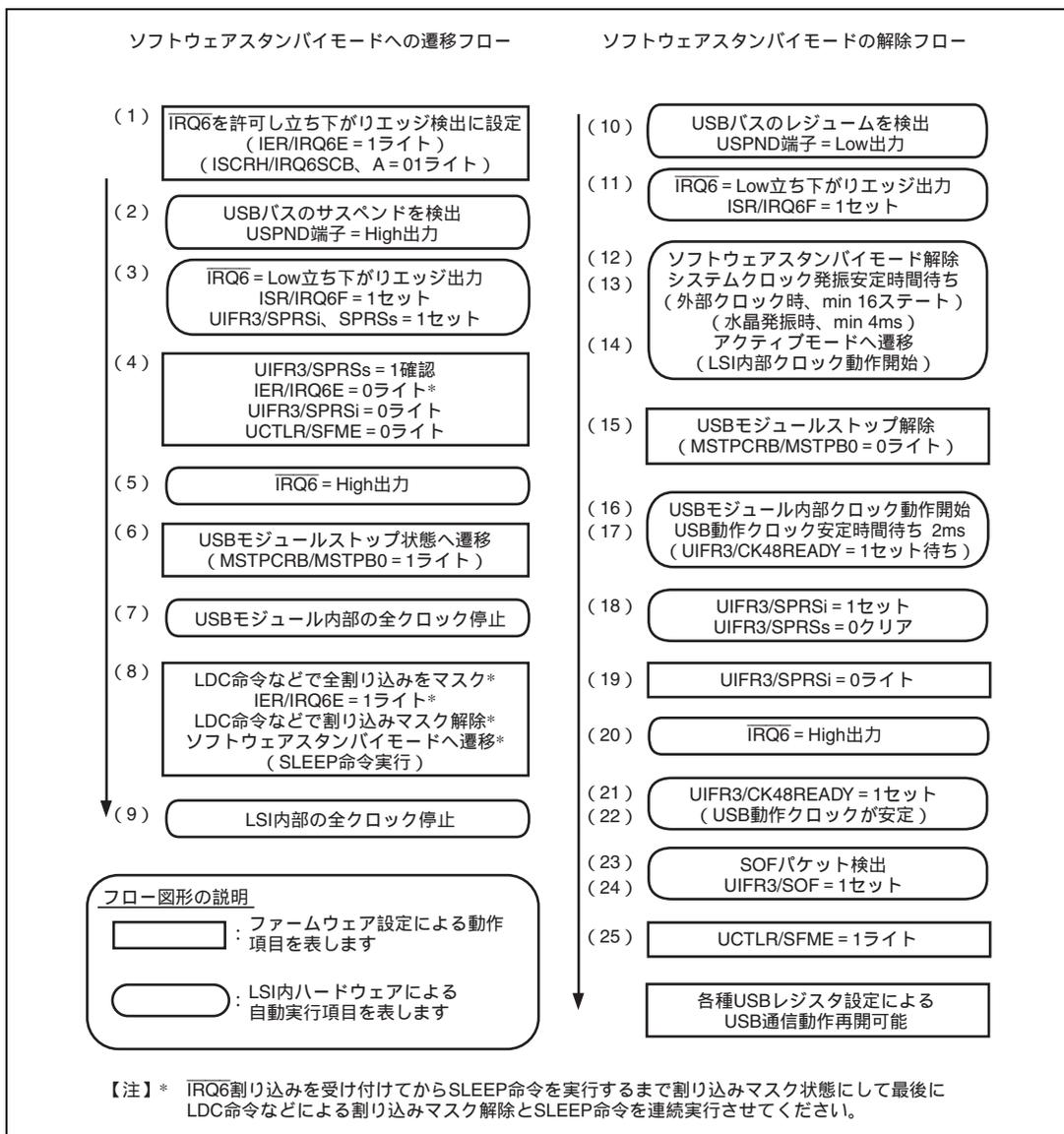


図 15.36 ソフトウェアスタンバイモードへの遷移と解除時のフロー図

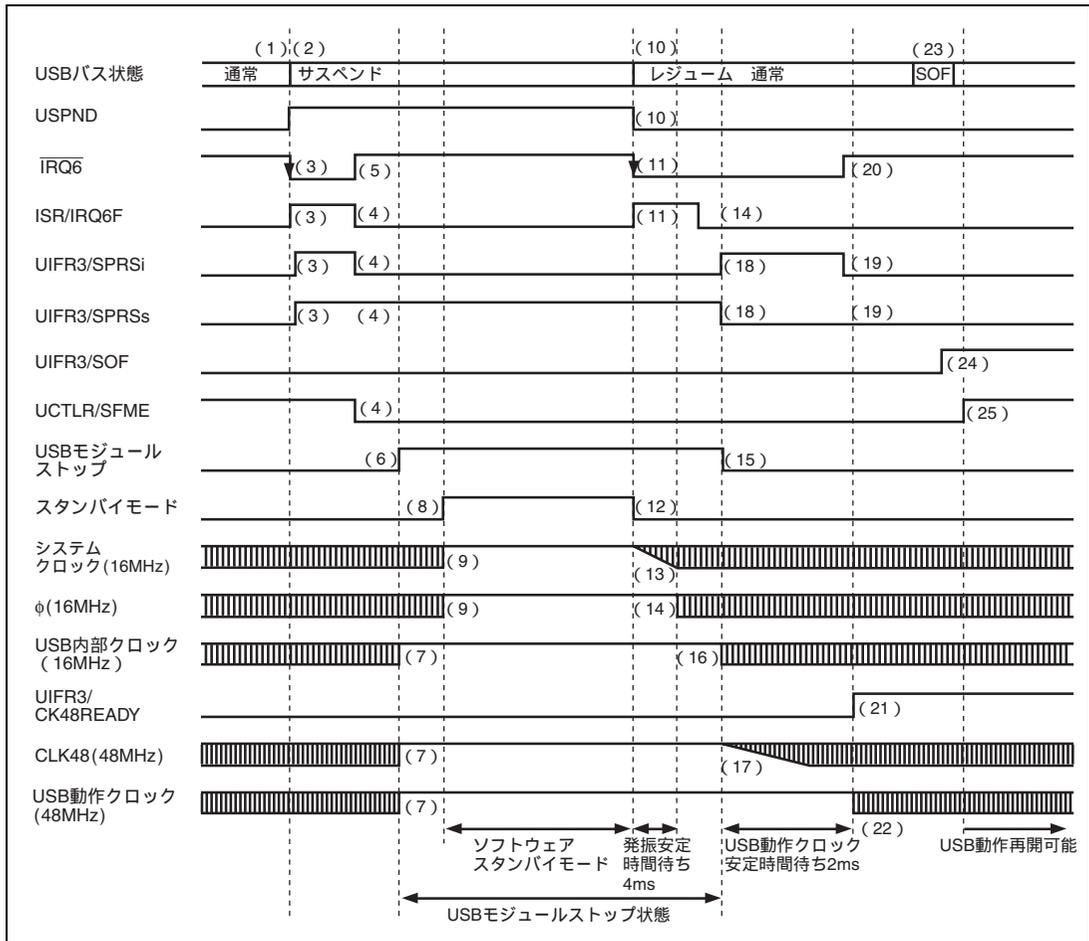


図 15.37 ソフトウェアスタンバイモードへの遷移と解除時のタイミング図

## (13) USB 外部回路例に関して

本 USB 外部回路例は、あくまでも参考例であり、システム的に問題がないかを十分に確認のうえ、ボード設計を行ってください。

本回路例で動作を保証するものではありません。また、外部からのサージおよび ESD ノイズ対策がシステム的に必要な場合、保護ダイオードやノイズキャンセラ回路などで対策してください。

## (14) USB 未使用時の端子処理

下記のように端子処理してください。

$DrVCC = V_{cc}$ 、 $DrVSS = 0V$ 、 $USD+ = USD - = USPND =$  オープン状態、 $\overline{VBUS} = \overline{UBPM} = 0V$

## (15) エミュレータ使用時の注意

UEDR0o、UEDR2o、UEDR3o、UEDR4o を I/O レジスタウィンド機能などで表示すると、EP0oFIFO、EP2oFIFO、EP3oFIFO、EP4oFIFO のリードポイントが誤作動し、UEDR0o、UEDR2o、UEDR3o、UEDR4o、UESZ0o ~ UESZ4o が正しくリードできなくなりますので、UEDR0o、UEDR2o、UEDR3o、UEDR4o は表示させないでください。

## (16) TR 割り込み使用時の注意事項

EP0i/EP2i/EP3i/EP4i/EP5i のイン転送には転送リクエスト割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当エンドポイントの FIFO にデータがないときにセットされます。しかし、図 15.38 に示すタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって、UTRGx/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

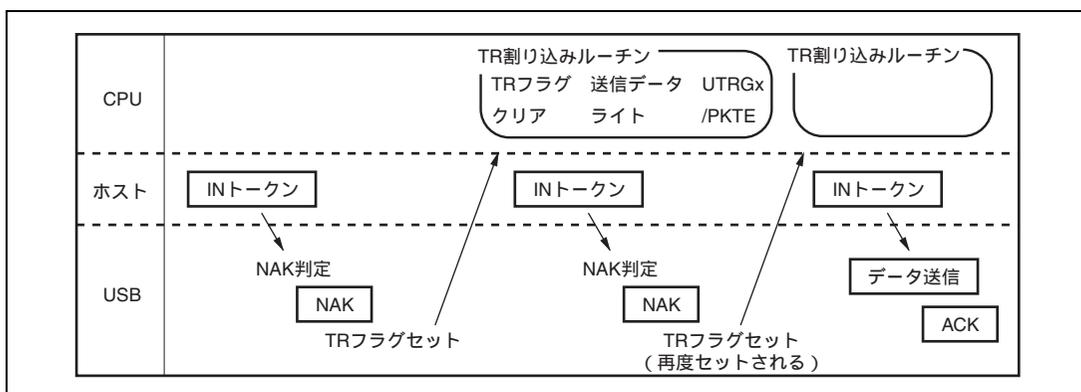


図 15.38 TR 割り込みフラグのセットタイミング

## (17) UIFR0 使用時の注意事項

USB 割り込みフラグレジスタの特定フラグを 0 クリアする際の注意を記します。

USB 割り込みフラグレジスタのフラグには、

- 「0」書き込みでクリア
- 「1」書き込みは無効

となる仕様のフラグがあります。

そのため、当該フラグレジスタの各フラグに対してビットクリア命令を使用してクリア処理を行うと、ビットクリア命令はリード/モディファイ/ライト動作を実行するため、リードとライトの間にフラグをセットする要因が発生しても、このフラグを誤ってクリアしてしまうことがあります。そのため、当該フラグレジスタの各フラグをクリアする場合は、ビットクリア命令を使用しないでください。

各フラグをクリアする際は、MOVE 命令を使用してクリアしたいフラグのみ「0」、その他のフラグはすべて「1」のデータをライトする必要があります。

たとえば、ビット 7 のみをクリアする場合は H'7F をライト、ビット 7 とビット 6 をクリアする場合は H'3F をライトしてください。

## (18) DMA 転送時の FIFO クリアについて

エンドポイント 2 および 4 において、DMA 転送をイネーブルにしているときは、EP2o の OUT FIFO および EP4o の OUT FIFO のクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

---

## 16. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 6 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 16.1 に示します。

### 16.1 特長

- 分解能：10ビット
- 入力チャンネル：6チャンネル
- 変換時間：1チャンネル当たり8.1 $\mu$ s（16MHz動作時）、10.7 $\mu$ s（24MHz動作時）\*

【注】 \* H8S/2215R、H8S/2215T、H8S/2215C のみ。

- 動作モード：2種類  
シングルモード：1チャンネルのA/D変換  
スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本  
A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類  
ソフトウェア  
タイマ（TPUまたはTMR）の変換開始トリガ  
外部トリガ信号（ $\overline{\text{ADTRG}}$ ）
- 割り込み要因  
A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能
- アナログ変換電圧範囲の設定可能  
リファレンス電圧端子（ $V_{\text{ref}}$ ）をアナログ基準電圧としてアナログ変換電圧範囲を設定

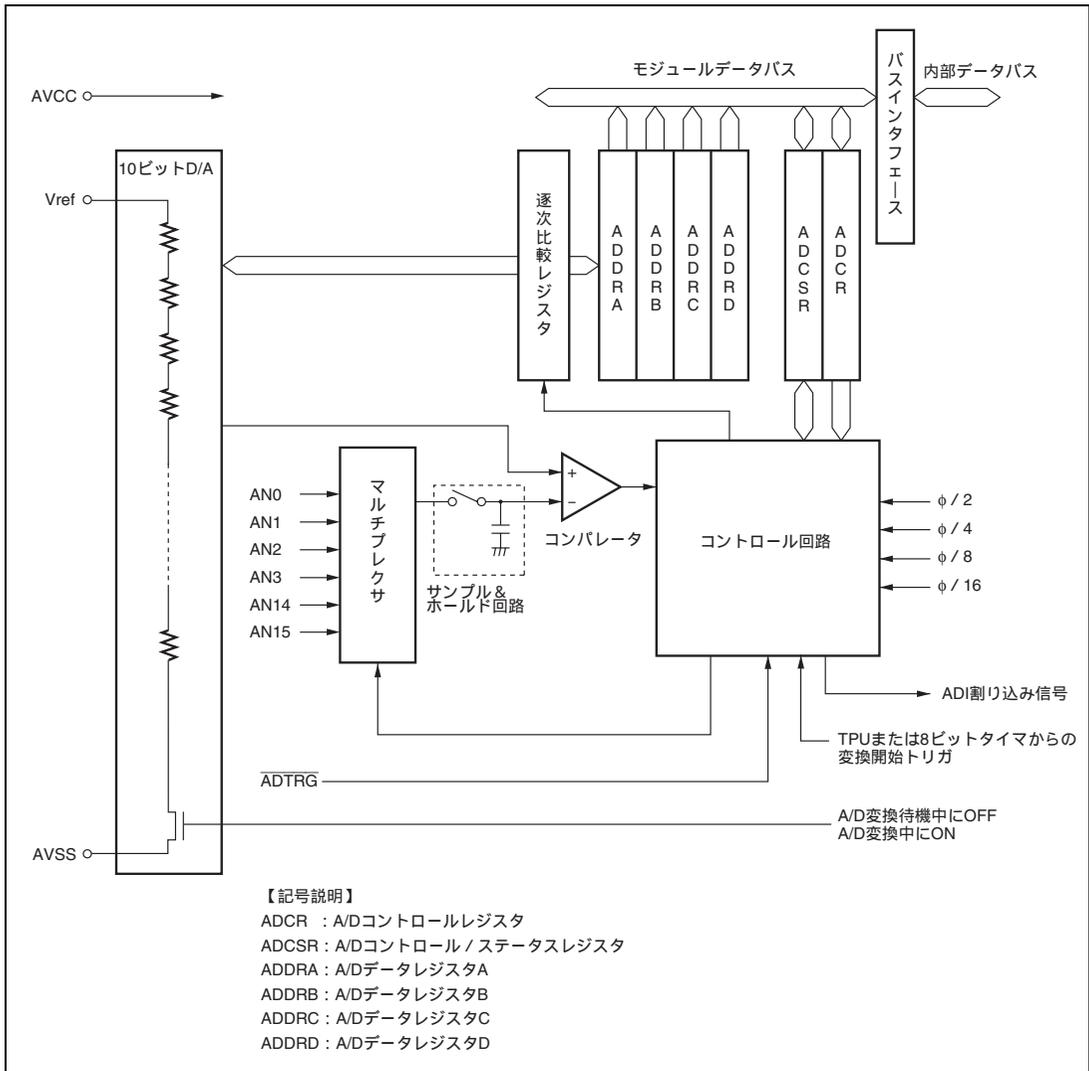


図 16.1 A/D 変換器のブロック図

## 16.2 入出力端子

A/D変換器で使用する端子を表 16.1 に示します。AN0～AN3、AN14、AN15 はアナログ入力端子です。AVCC、AVSS 端子は、A/D変換器内部のアナログ部の電源です。Vref は、A/D変換基準電圧端子です。

表 16.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源端子および基準電圧
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D変換の基準電圧
アナログ入力端子 0	AN0*	入力	アナログ入力端子
アナログ入力端子 1	AN1*	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	

【注】 \* AN0、AN1 は、VCC = AVCC 時のみ使用可能です。

## 16.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

### 16.3.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 16.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。ビット 5～ビット 0 はリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

ADDR の初期値は H'0000 です。

表 16.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2、AN14	ADDRC
AN3、AN15	ADDRD

### 16.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• シングルモードで A/D 変換が終了したとき</li> <li>• スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• ADI 割り込みにより DMAC が起動、または DTC が起動され、DISEL = 0 で転送カウンタ 0 の場合に ADDR をリードしたとき</li> </ul>
6	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>1 にセットすると ADF による ADI 割り込みがイネーブルになります。</p>
5	ADST	0	R/W	<p>A/D スタート</p> <p>0 にクリアすると A/D 変換を中止し待機状態になります。</p> <p>1 にセットすると A/D 変換を開始します。</p> <p>ソフトウェア、タイマの変換開始トリガ、A/D 外部トリガ (ADTRG) で 1 にセットできます。</p> <p>シングルモード：選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。</p> <p>スキャンモード：ソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。</p>
4	SCAN	0	R/W	<p>スキャンモード</p> <p>A/D 変換の動作モードを選択します。ビットの設定は A/D 変換停止時 (ADST = 0) に行ってください。</p> <p>0：シングルモード</p> <p>1：スキャンモード</p>

ビット	ビット名	初期値	R/W	説 明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	アナログ入力チャンネルを選択します。
1	CH1	0	R/W	SCAN=0 のとき                      SCAN=1 のとき
0	CH0	0	R/W	0000 : AN0                      0000 : AN0
				0001 : AN1                      0001 : AN0、AN1
				0010 : AN2                      0010 : AN0 ~ AN2
				0011 : AN3                      0011 : AN0 ~ AN3
				01xx : 設定禁止                      01xx : 設定禁止
				10xx : 設定禁止                      1xxx : 設定禁止
				110x : 設定禁止
				1110 : AN14
				1111 : AN15
				【記号説明】 x : Don't care

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 16.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7 6	TRGS1 TRGS0	0 0	R/W R/W	<p>タイマトリガセレクト 1、0</p> <p>トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。</p> <p>00: ソフトウェアによる A/D 変換の開始</p> <p>01: TPU からの変換トリガによる A/D 変換の開始</p> <p>10: TMR からの変換トリガによる A/D 変換の開始</p> <p>11: 外部トリガ端子 (ADTRG) による A/D 変換の開始</p>
5、4		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
3 2	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>A/D 変換時間を設定します。変換時間の切り替えは、A/D 変換停止時 (ADST=0) の状態で行ってください。</p> <p>00: 変換時間 = 530 ステート (max)</p> <p>01: 変換時間 = 266 ステート (max)</p> <p>10: 変換時間 = 134 ステート (max)</p> <p>11: 変換時間 = 68 ステート (max)</p> <p>変換時間の設定は「24.6 A/D 変換特性」に示す変換時間以上にしてください。</p>
1、0		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトするときは、1 をライトしてください。</p>

## 16.4 バスマスタとのインタフェース

ADDRA ~ ADDR D は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 16.2 に、ADDR のアクセス時のデータの流れを示します。

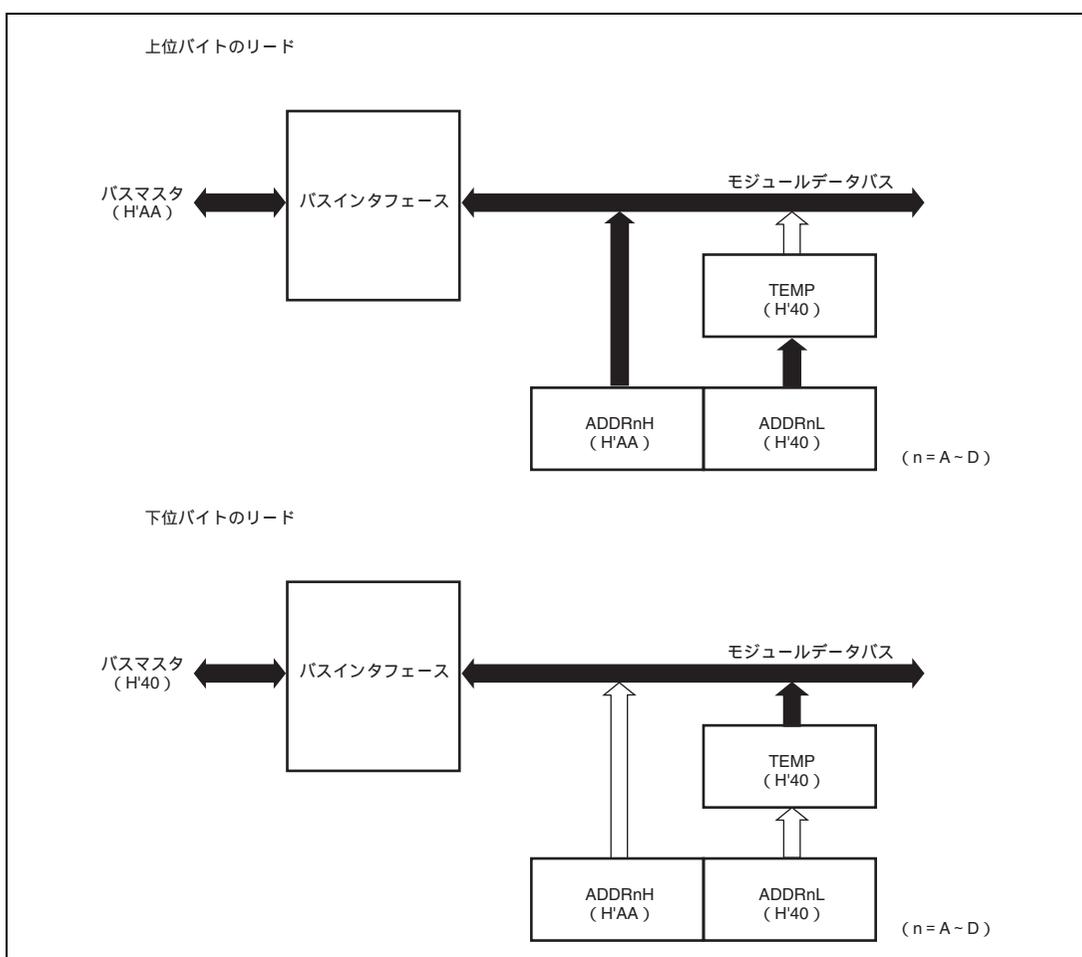


図 16.2 ADDR のアクセス動作 (H'AA40 リード時)

## 16.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

### 16.5.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、タイマ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

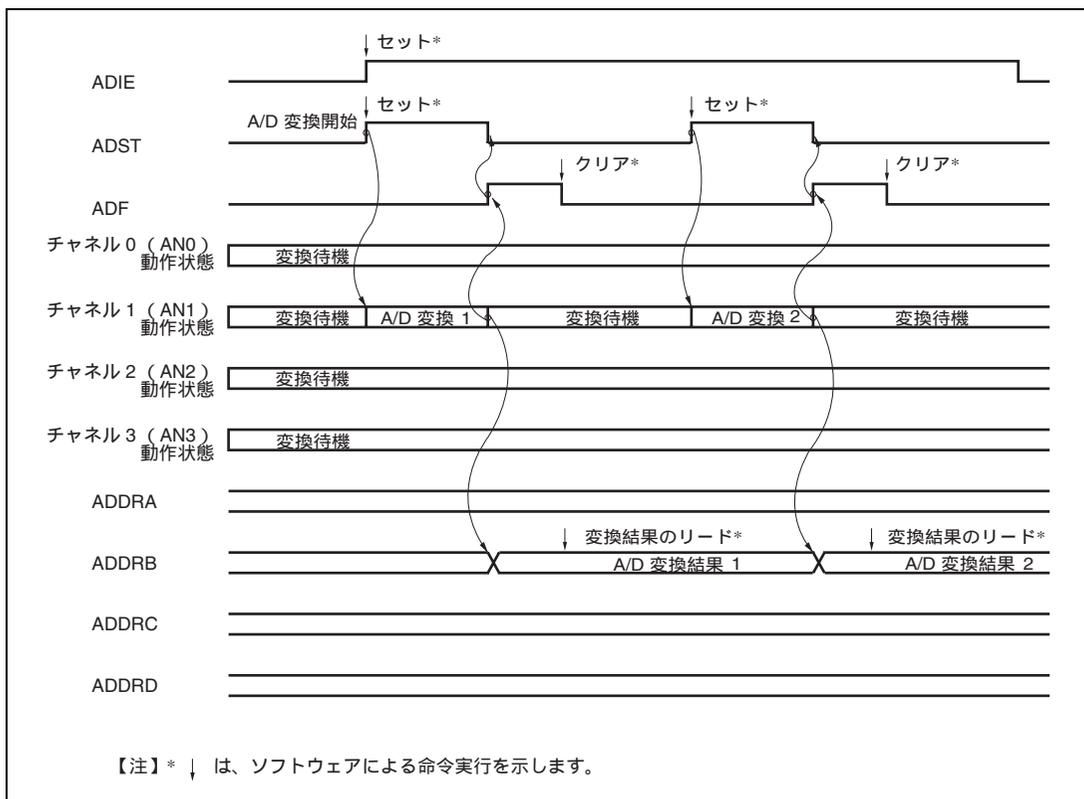


図 16.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

### 16.5.2 スキャンモード

スキャンモードは指定された最大4チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、タイマ、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第1チャンネル（AN0）からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFフラグが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は、2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換は停止します。

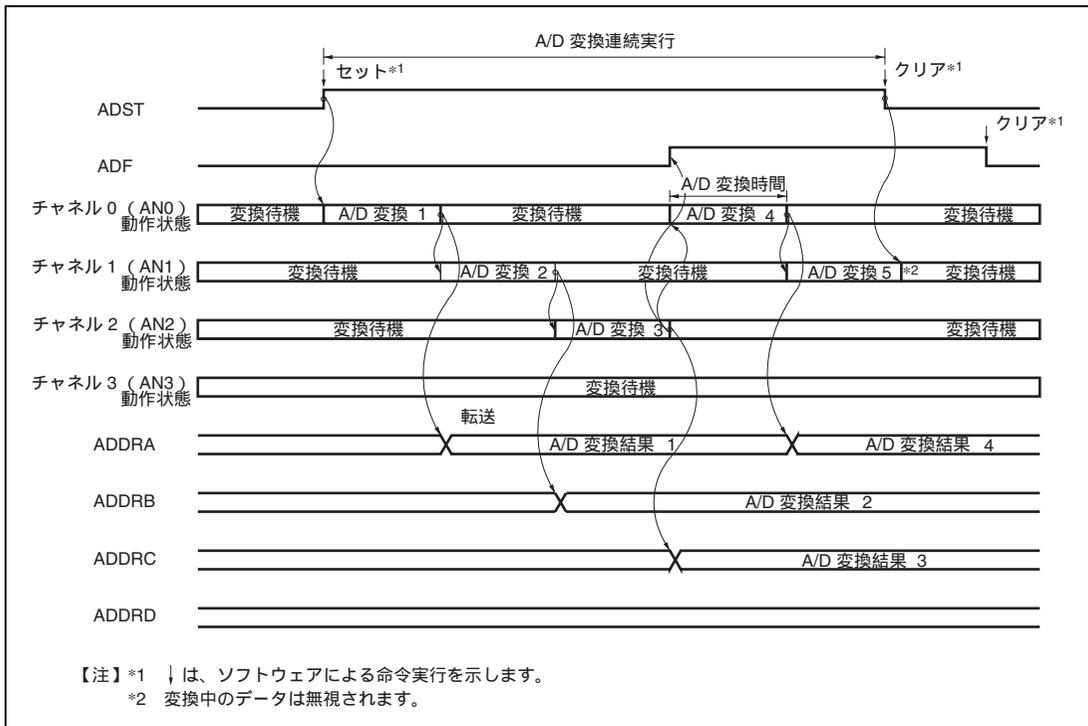


図 16.4 A/D 変換器の動作例（スキャンモード AN0～AN2 の3チャンネル選択時）

### 16.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 ( $t_D$ ) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 16.5 に示します。また、A/D 変換時間を表 16.3 と表 16.4 に示します。

A/D 変換時間 ( $t_{CONV}$ ) は、図 16.5 に示すように、 $t_D$  と入力サンプリング時間 ( $t_{SPL}$ ) を含めた時間となります。ここで  $t_D$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 16.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は表 16.5 に示す変換時間となります。

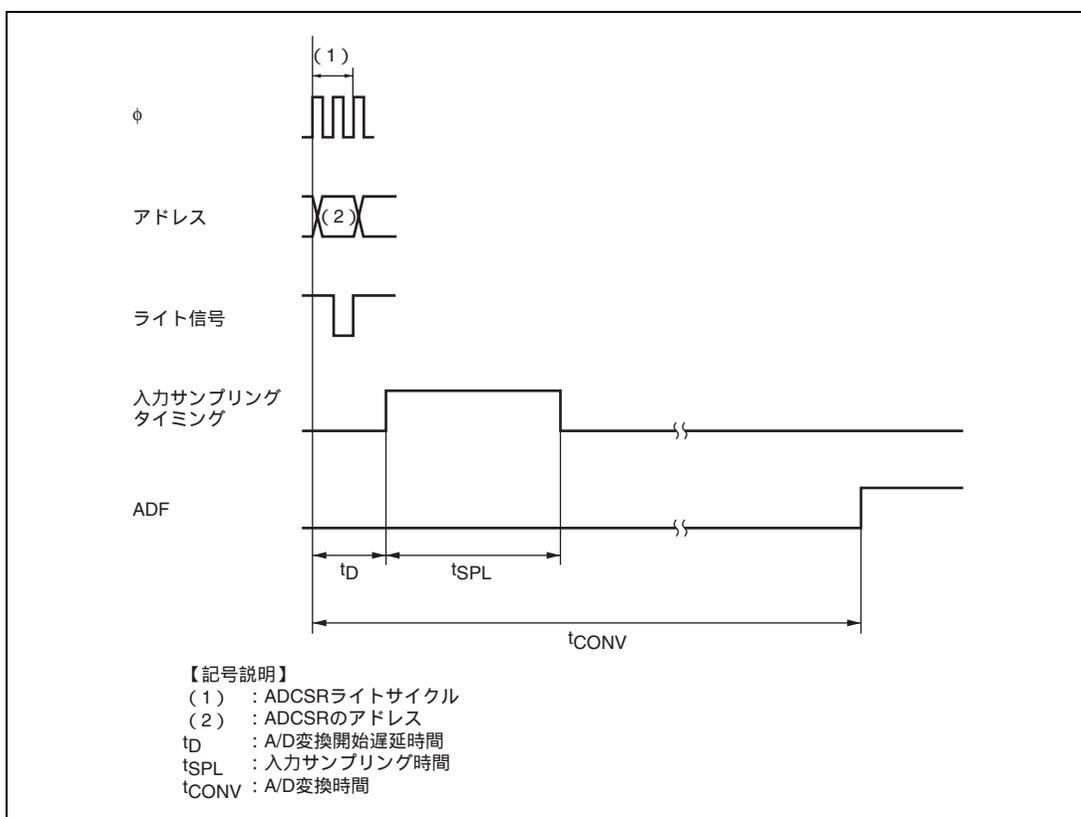


図 16.5 A/D 変換タイミング

表 16.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max									
A/D 変換開始遅延時間	td	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	tsPL	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	tCONV	515	-	530	259	-	266	131	-	134	67	-	68

【注】表中の数値の単位はステートです。

表 16.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

#### 16.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 16.6 に示します。

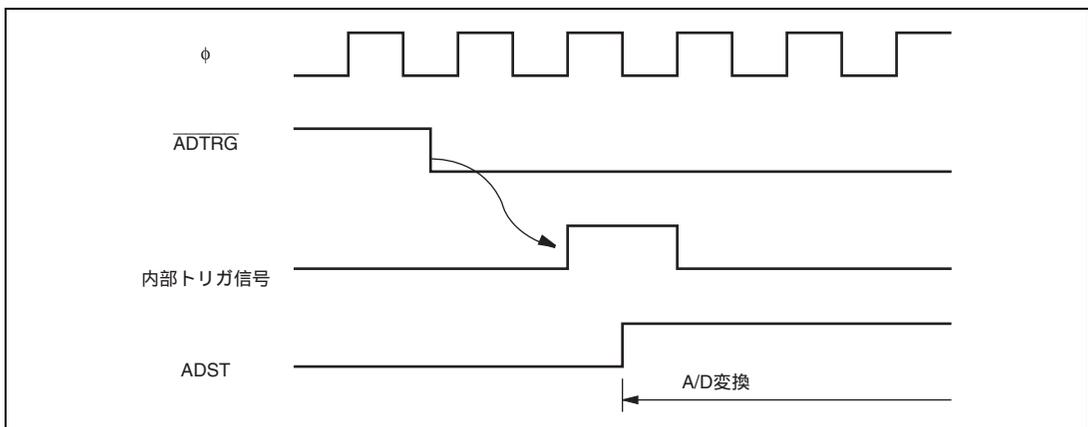


図 16.6 外部トリガ入力タイミング

## 16.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。また、ADI 割り込みで DMAC または DTC の起動ができます。

表 16.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC、DTC の起動
ADI	A/D 変換終了	ADF	可

## 16.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D 変換器のデジタル出力コード数

- 量子化誤差

A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図16.7)

- オフセット誤差

デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図16.8)

- フルスケール誤差

デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図16.8)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図16.8)

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

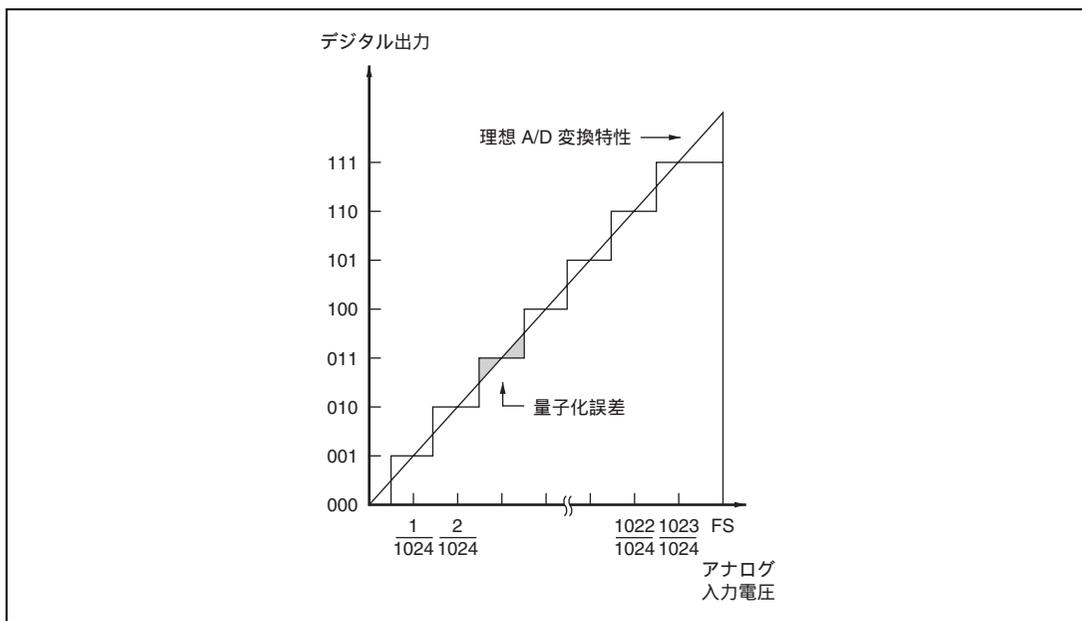


図 16.7 A/D 変換精度の定義 (1)

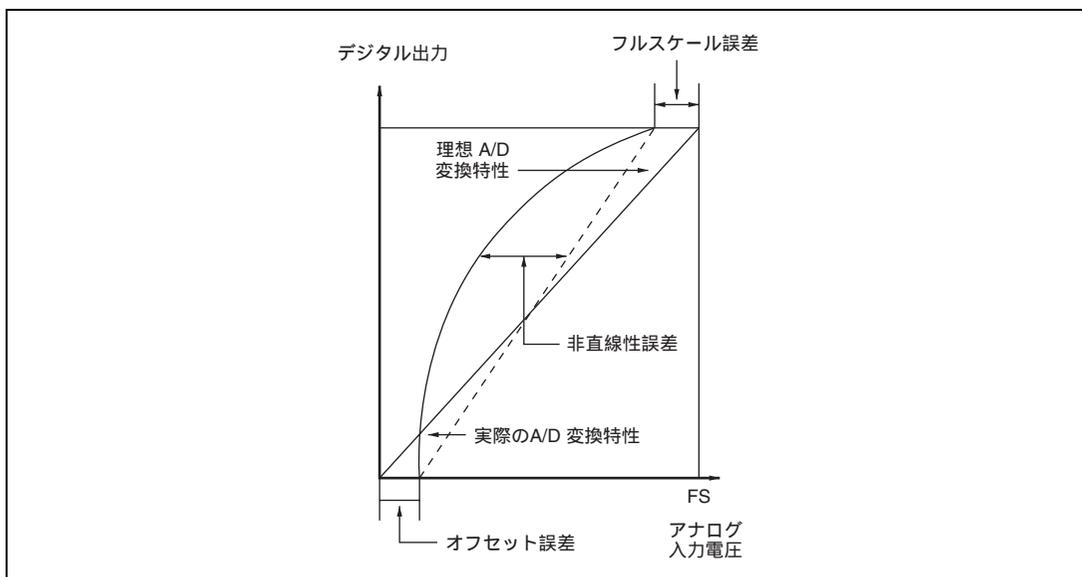


図 16.8 A/D 変換精度の定義 (2)

## 16.8 使用上の注意事項

### 16.8.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが  $5\text{k}\Omega$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5\text{k}\Omega$  を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10\text{k}\Omega$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が  $5\text{mV}/\mu\text{s}$  以上）には追従できないことがあります（図 16.9）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

### 16.8.2 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS などの電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

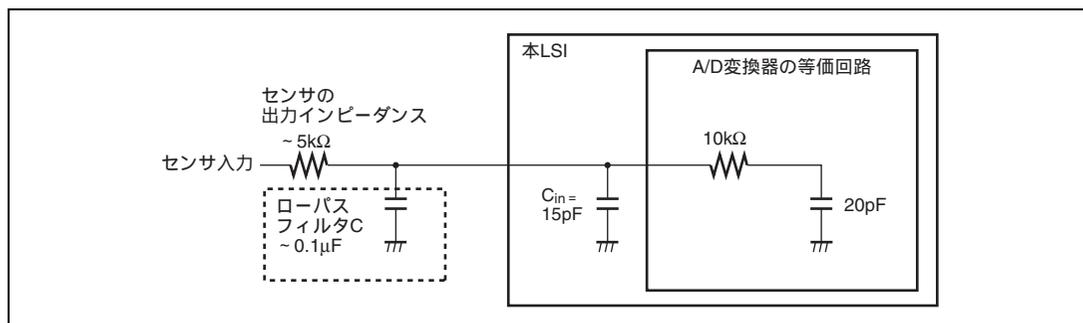


図 16.9 アナログ入力回路の例

### 16.8.3 アナログ電源端子ほかの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子  $\text{AN}_n$  に印加する電圧は  $\text{AVSS} < \text{AN}_n < \text{Vref}$  の範囲としてください。

- AVCC、AVSSとVCC、VSSの関係

AVCC、AVSSとVCC、VSSとの関係は  $\text{AVSS} = \text{VSS}$  とし、さらに、A/D 変換器を使用しないときも AVCC、AVSS 端子をオープンにしないでください。また、アナログ入力端子  $\text{AN}_0$ 、 $\text{AN}_1$  は、 $\text{VCC} = \text{AVCC}$  時のみ使用可能となります。

- Vrefの設定範囲

Vref 端子によるリファレンス電圧の設定範囲は  $\text{Vref} < \text{AVCC}$  にしてください。

### 16.8.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (ANn)、アナログ基準電源 (Vref)、アナログ電源電圧 (AVCC) は、アナロググランド (AVSS) で、デジタル回路と分離してください。さらに、アナロググランド (AVSS) は、ボード上の安定したグランド (VSS) に一点接続してください。

### 16.8.5 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (ANn)、アナログ基準電源 (Vref) の破壊を防ぐために、図 16.10 に示すように AVCC - AVSS 間に保護回路を接続してください。Vref、AVCC に接続するバイパスコンデンサ、ANn に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、ANn の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入カインピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討のうえ決定してください。

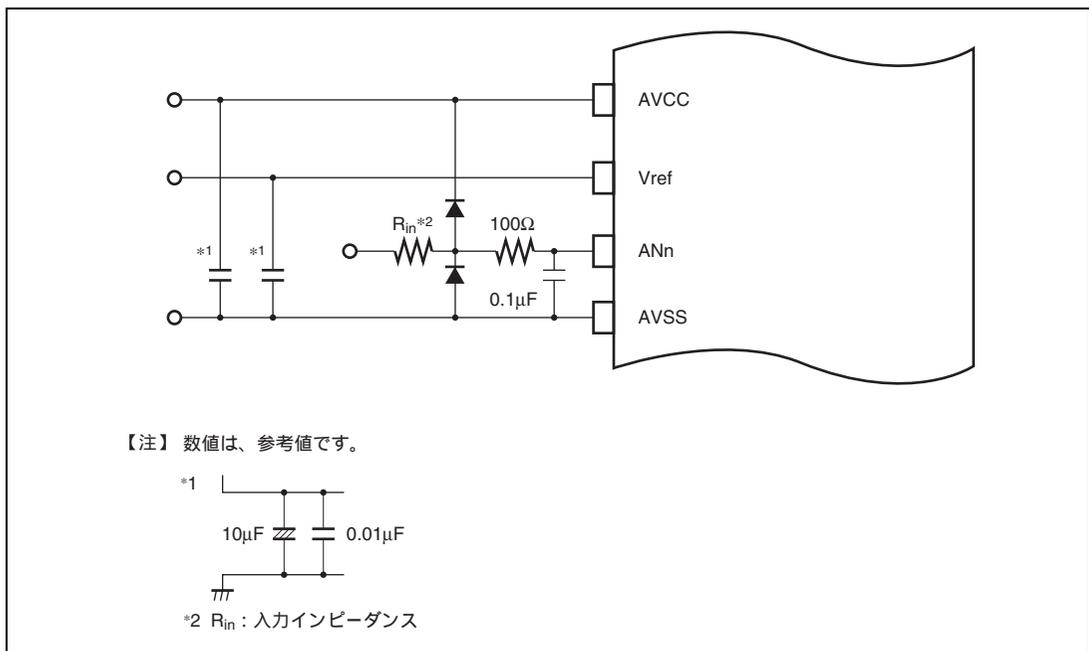


図 16.10 アナログ入力保護回路の例

表 16.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5*	k $\Omega$

【注】 \*  $V_{CC} = 2.7 \sim 3.6V$

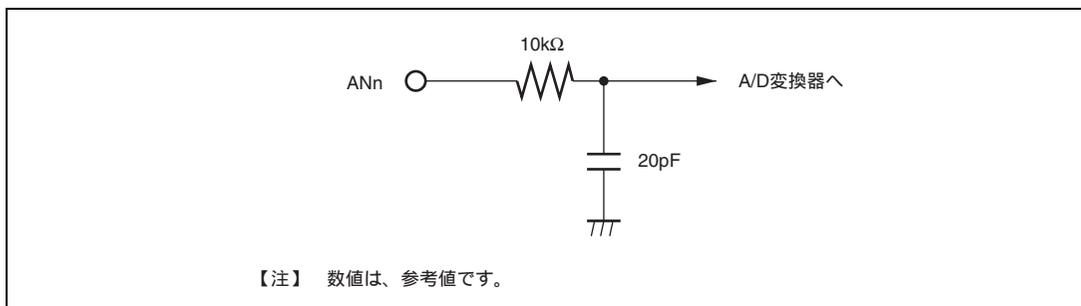


図 16.11 アナログ入力端子等価回路

### 16.8.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

## 17. D/A 変換器

本 LSI は、2 チャンネルの D/A 変換器を内蔵しています。

### 17.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：10 $\mu$ s（負荷容量20pF時）
- 出力電圧：0V～Vref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

D/A 変換器のブロック図を図 17.1 に示します。

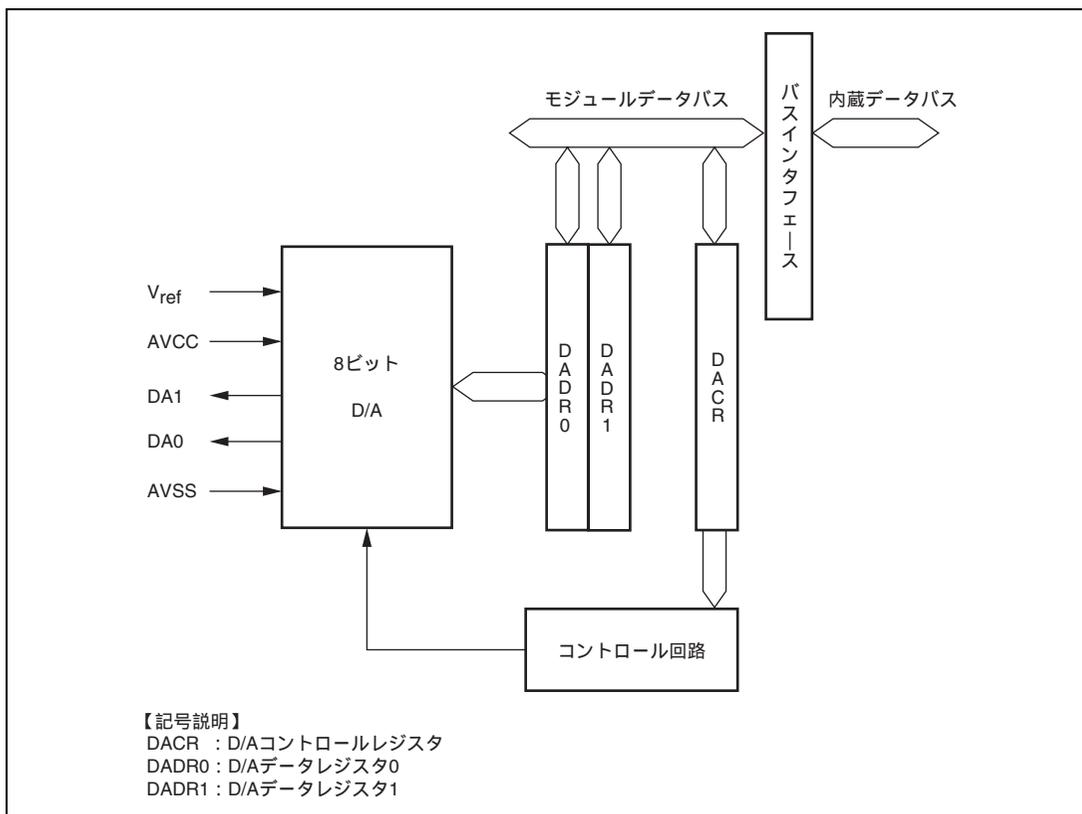


図 17.1 D/A 変換器のブロック図

## 17.2 入出力端子

D/A 変換器で使用する入出力端子を表 17.1 に示します。

表 17.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力端子
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力端子
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

## 17.3 レジスタの説明

D/A 変換器に関連するレジスタには以下のものがあります。

- D/Aデータレジスタ (DADR)
- D/Aコントロールレジスタ (DACR)

### 17.3.1 D/A データレジスタ (DADR)

DADR は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

### 17.3.2 D/A コントロールレジスタ (DACR)

DACR は、D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/Aアウトプットイネーブル1、0
6	DAOE0	0	R/W	D/Aイネーブル
5	DAE	0	R/W	D/A変換とアナログ出力を制御します。 00X : チャネル0、1のD/A変換を禁止 010 : チャネル0のD/A変換を許可。チャネル1のD/A変換を禁止 011 : チャネル0、1のD/A変換を許可 100 : チャネル1のD/A変換を許可、チャネル0のD/A変換を禁止 101 : チャネル0、1のD/A変換を許可 11X : チャネル0、1のD/A変換を許可 【記号説明】X : Don't care D/A変換を許可した状態で本LSIがソフトウェアスタンバイモードになると、D/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1、DAEビットを0にクリアしてD/A出力を禁止にしてください。
4~0	-	すべて1	-	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

## 17.4 動作説明

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR\_0、DADR\_1 を書き換えると、直ちに新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 17.2 に示します。

1. DADR\_0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADR の内容}}{256} \times V_{\text{ref}}$$

次に DADR\_0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

3. DADR\_0 を書き換えると直ちにに変換が開始されます。変換時間経過後に変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

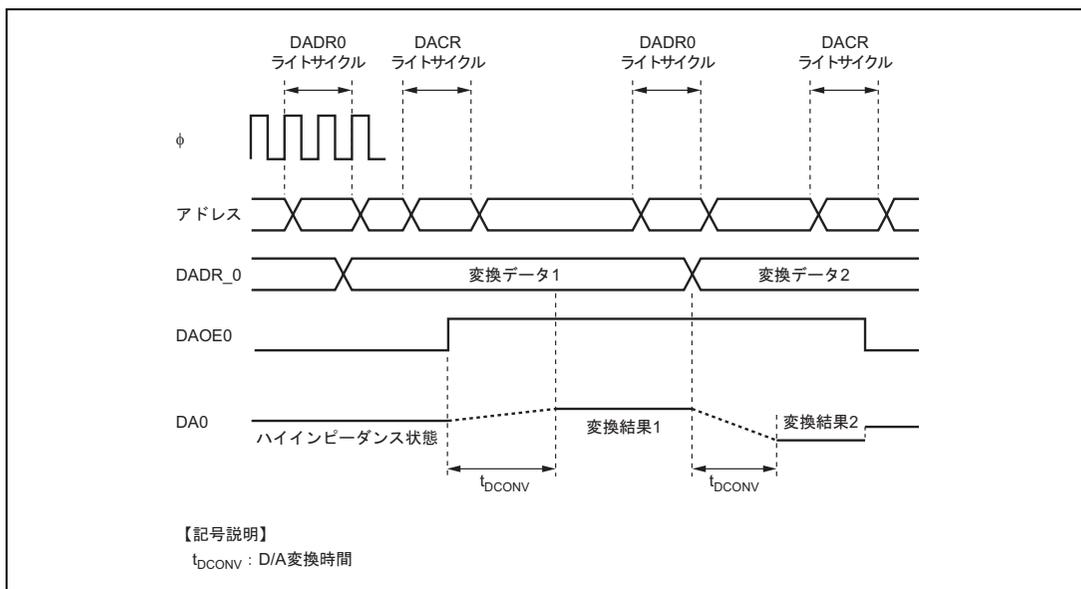


図 17.2 D/A 変換器の動作例

## 17.5 使用上の注意事項

### 17.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。



---

## 18. RAM

---

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と16ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品区分		ROM タイプ	RAM 容量	RAM アドレス
H8S/2215 グループ	HD64F2215R	フラッシュメモリ版	20K バイト	H'FFFA000 ~ H'FFFEFBF
	HD64F2215RU		20K バイト	H'FFFFFC0 ~ H'FFFFFFF
	HD64F2215T		20K バイト	
	HD64F2215TU		20K バイト	
	HD64F2215CU		20K バイト	
	HD64F2215		16K バイト	H'FFFB000 ~ H'FFFEFBF
	HD64F2215U	16K バイト	H'FFFFFC0 ~ H'FFFFFFF	
	HD6432215B	マスク ROM 版	16K バイト	
	HD6432215C		8K バイト	H'FFFD000 ~ H'FFFEFBF H'FFFFFC0 ~ H'FFFFFFF



---

## 19. フラッシュメモリ (F-ZTAT 版)

---

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 19.1 に示します。

### 19.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2215 グループ	HD64F2215、HD64F2215U、 HD64F2215R、HD64F2215RU、 HD64F2215T、HD64F2215TU、 HD64F2215CU	256K バイト	H'000000 ~ H'03FFFF (モード 6、7)

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは4Kバイト×8ブロック、32Kバイト×1ブロック、64Kバイト×3ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

min100回書き換え可能です。

- オンボードプログラミングモード：2種類

(1) ブートモード (SCIブートモード：HD64F2215、HD64F2215R、HD64F2215T、USBブートモード：HD64F2215U、HD64F2215RU、HD64F2215TU、HD64F2215CU)

(2) ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み (SCIブートモード時)

SCIブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み / 消去を行うライタモードがあります。

- 内蔵RAMによるエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることでフラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

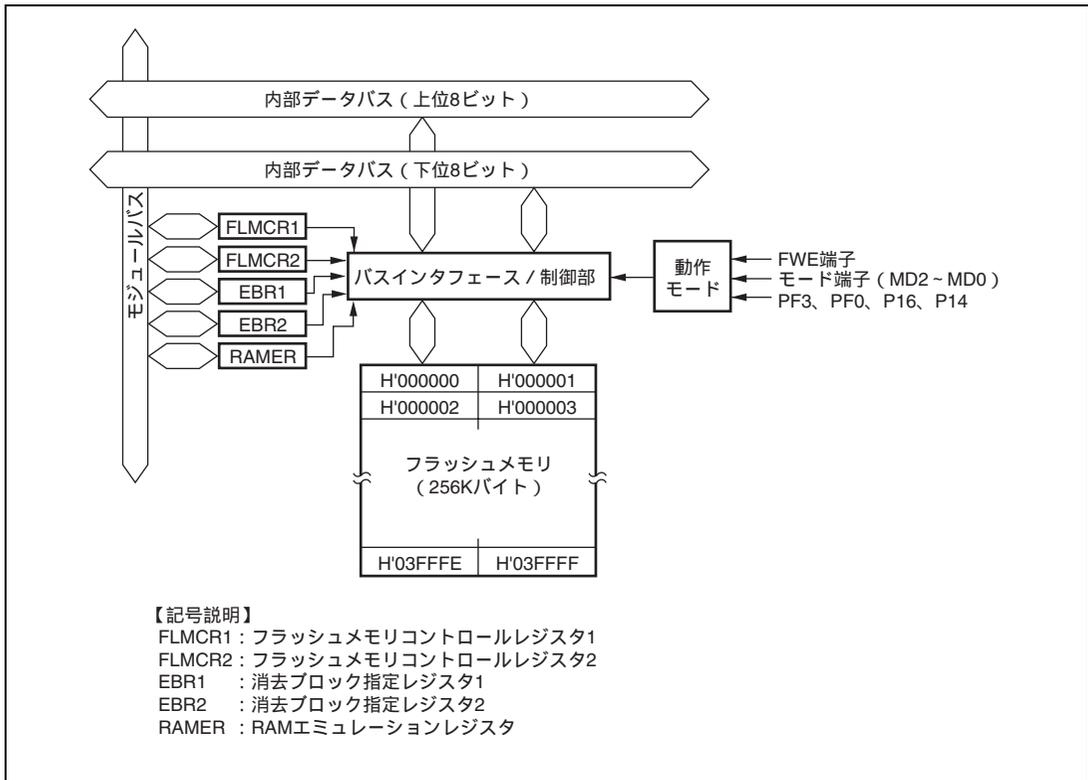


図 19.1 フラッシュメモリのブロック図

## 19.2 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 19.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表 19.1 にブートモードとユーザプログラムモードの相違点を示します。図 19.3 にブートモードを、図 19.4 にユーザプログラムモードを示します。

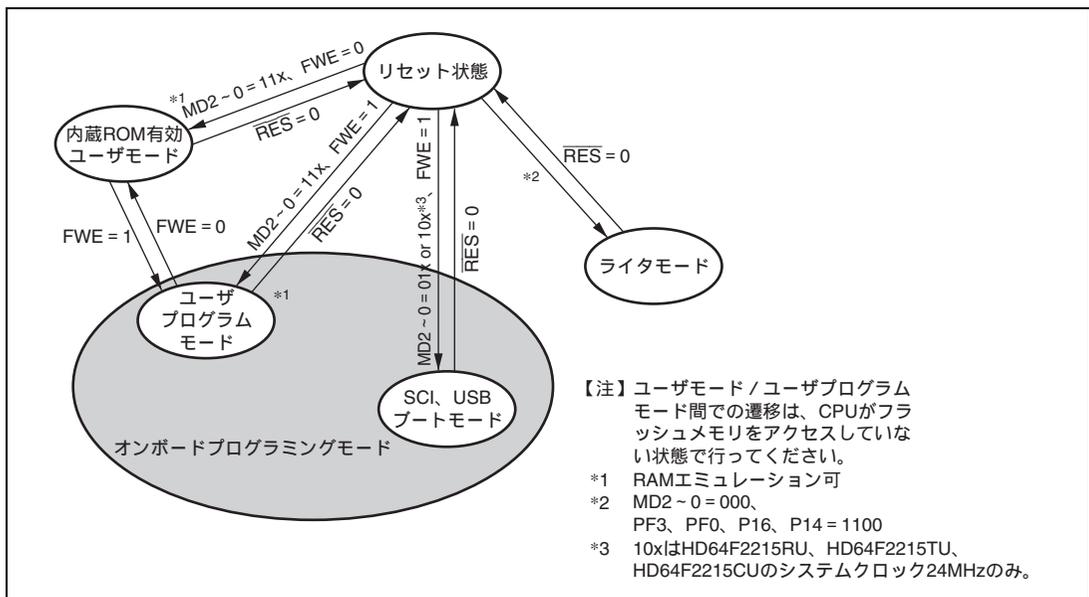
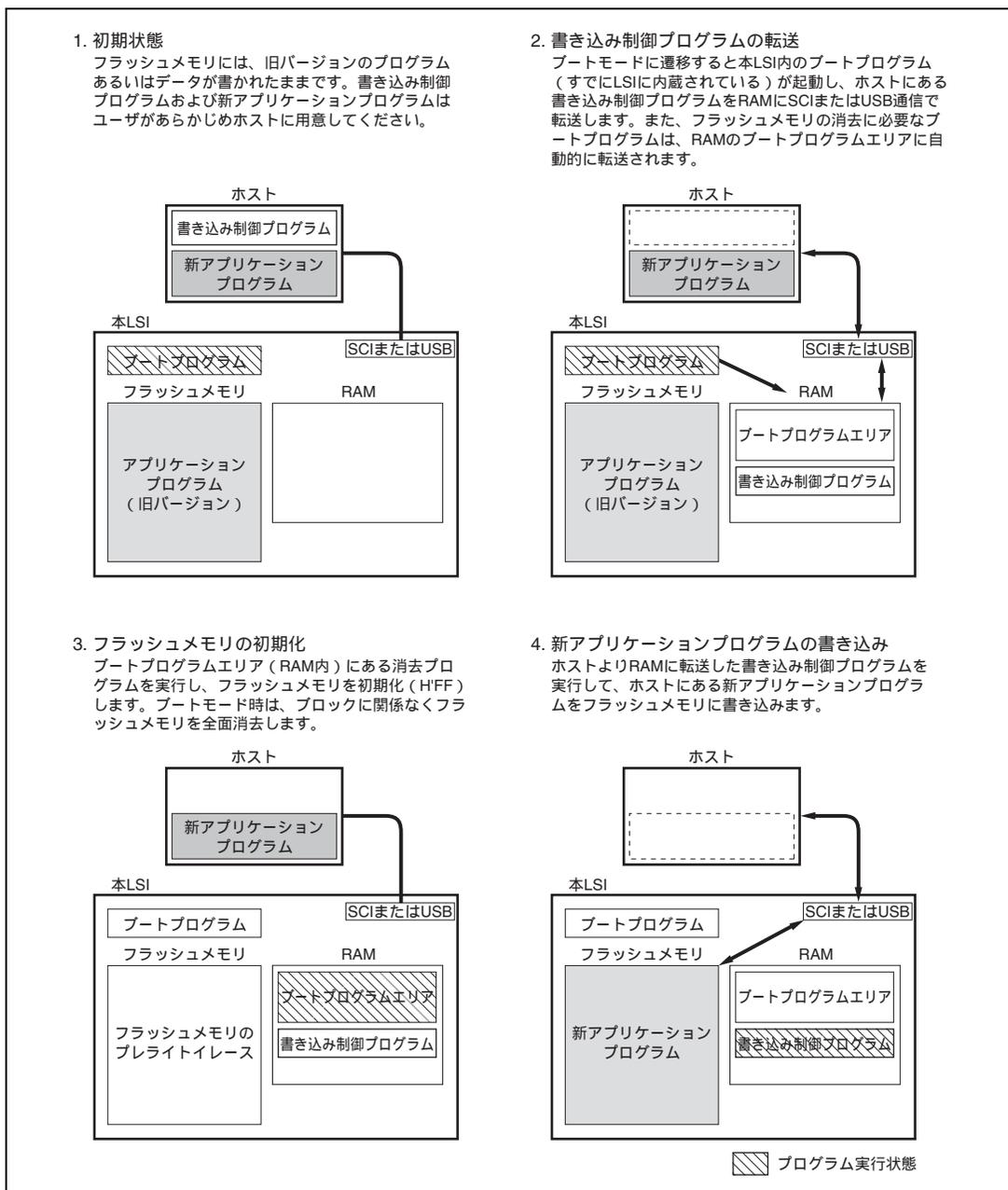


図 19.2 フラッシュメモリに関する状態遷移

表 19.1 ブートモードとユーザプログラムモードの相違点

	SCI、USB ブートモード	ユーザプログラムモード	ユーザモード
全面消去			×
ブロック分割消去	×		×
書き換え制御プログラム*	プログラム/プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション	-

【注】 \* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。



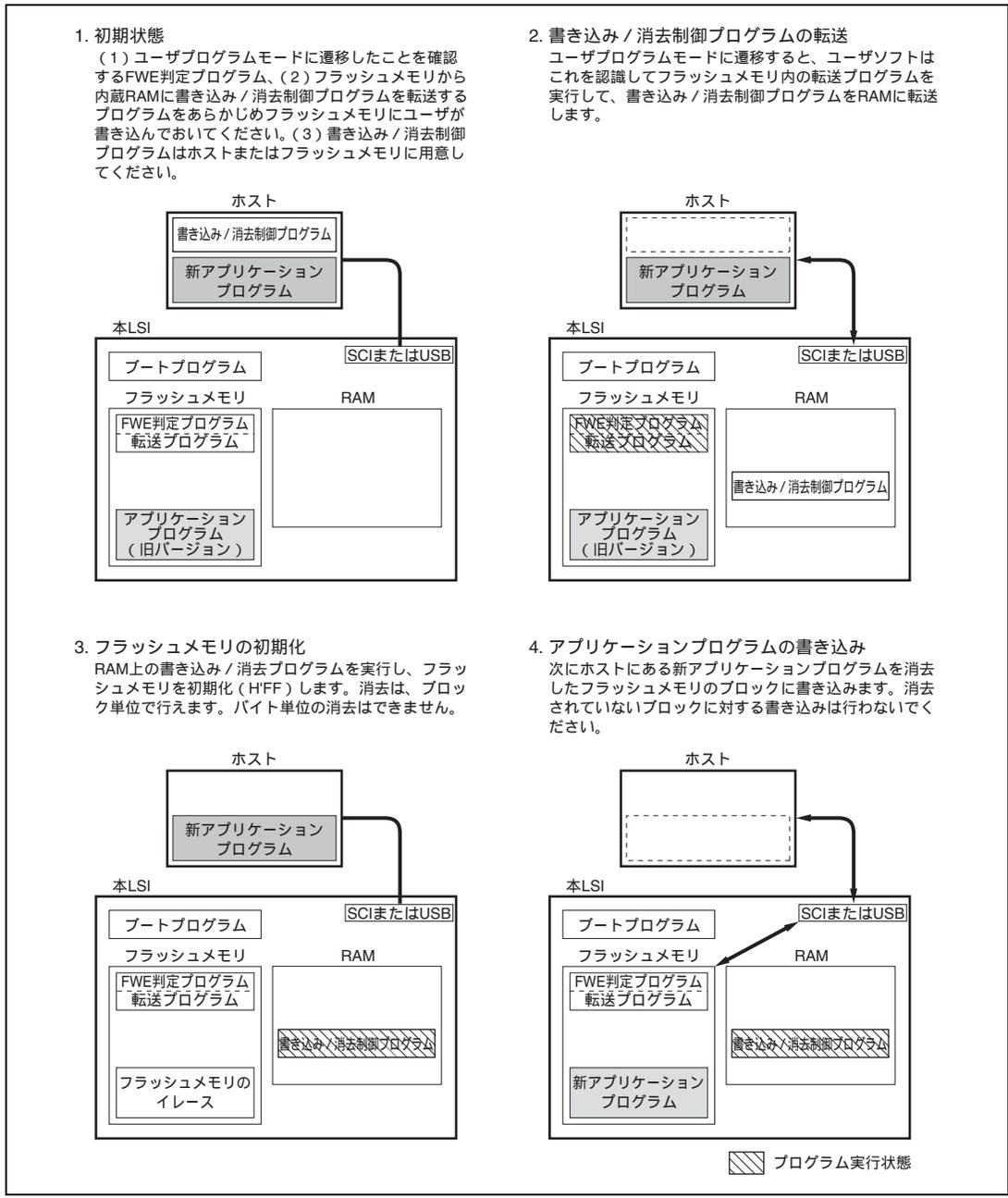


図 19.4 ユーザプログラムモード (例)

### 19.3 ブロック構成

図 19.5 に 256K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 4K バイト (8 ブロック)、32K バイト (1 ブロック)、64K バイト (3 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000080				H'000FFF
EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'001080				H'001FFF
EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
	H'002080				H'002FFF
EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
	H'003080				H'003FFF
EB4 消去単位4Kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
	H'004080				H'004FFF
EB5 消去単位4Kバイト	H'005000	H'005001	H'005002	←書き込み単位 128バイト→	H'00507F
	H'005080				H'005FFF
EB6 消去単位4Kバイト	H'006000	H'006001	H'006002	←書き込み単位 128バイト→	H'00607F
	H'006080				H'006FFF
EB7 消去単位4Kバイト	H'007000	H'007001	H'007002	←書き込み単位 128バイト→	H'00707F
	H'007080				H'007FFF
EB8 消去単位32Kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'008080				H'00FFFF
EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'010080				H'01FFFF
EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
	H'020080				H'02FFFF
EB11 消去単位64Kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
	H'030080				H'03FFFF

図 19.5 フラッシュメモリのブロック構成

## 19.4 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機 能	
RES	入力	リセット	HD64F2215、 HD64F2215U 共通
FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト	
MD2、MD1、MD0	入力	動作モードを設定	
PF3、PF0、P16、P14	入力	ライタモードの動作モードを設定	
TxD2	出力	シリアル送信データ出力	HD64F2215
RxD2	入力	シリアル受信データ入力	
USD+、USD-	入出力	USB データ入出力	HD64F2215U
VBUS	入力	USB ケーブルの接続 / 切断検出	
UBPM	入力	USB バスパワーモード / セルフパワーモード設定	
USPNPD	出力	USB サスペンド出力	
P36 (PUPD+)	出力	D+ブルアップ制御	

## 19.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- シリアルコントロールレジスタX (SCRX)

マスク ROM 版には上記レジスタは存在しませんので、リードすると不定値が読み出されます。ライトは無効です。

### 19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「19.8 フラッシュメモリの書き込み / 消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	*	R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。
6	SWE1	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。0 のときこのレジスタの 5~0 ビットと EBR1、EBR2 の各ビットはセットできません。 [セット条件] • FWE = 1 のとき
5	ESU1	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。E1 ビットを 1 にセットする前にセットしてください。 [セット条件] • FWE = 1、SWE1 = 1 のとき
4	PSU1	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。P1 ビットを 1 にセットする前にセットしてください。 [セット条件] • FWE = 1、SWE1 = 1 のとき
3	EV1	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。 [セット条件] • FWE = 1、SWE1 = 1 のとき
2	PV1	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。 [セット条件] • FWE = 1、SWE1 = 1 のとき

ビット	ビット名	初期値	R/W	説 明
1	E1	0	R/W	イレース SWE1=1、ESU1=1の状態でのこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。 [セット条件] • FWE=1、SWE1=1、ESU1=1のとき
0	P1	0	R/W	プログラム SWE1=1、PSU1=1の状態でのこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。 [セット条件] • FWE=1、SWE1=1、PSU1=1のとき

【注】 \* FWE 端子の状態により設定されます。

### 19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説 明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「19.9.3 エラープロテクト」を参照してください。
6~0		すべて0		リザーブビット 読み出すと常に0が読み出されます。

### 19.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1のSWE1ビットが0のときはEBR1はH'00に初期化されます。このレジスタはEBR2と合わせて2ビット以上同時に1に設定しないでください。設定するとEBR1とEBR2は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが1のときEB7 (H'007000 ~ H'007FFF) の4Kバイトが消去対象となります。
6	EB6	0	R/W	このビットが1のときEB6 (H'006000 ~ H'006FFF) の4Kバイトが消去対象となります。
5	EB5	0	R/W	このビットが1のときEB5 (H'005000 ~ H'005FFF) の4Kバイトが消去対象となります。
4	EB4	0	R/W	このビットが1のときEB4 (H'004000 ~ H'004FFF) の4Kバイトが消去対象となります。
3	EB3	0	R/W	このビットが1のときEB3 (H'003000 ~ H'003FFF) の4Kバイトが消去対象となります。
2	EB2	0	R/W	このビットが1のときEB2 (H'002000 ~ H'002FFF) の4Kバイトが消去対象となります。
1	EB1	0	R/W	このビットが1のときEB1 (H'001000 ~ H'001FFF) の4Kバイトが消去対象となります。
0	EB0	0	R/W	このビットが1のときEB0 (H'000000 ~ H'0000FFF) の4Kバイトが消去対象となります。

### 19.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1のSWE1ビットが0のときはEBR2はH'00に初期化されます。このレジスタはEBR1と合わせて2ビット以上同時に1に設定しないでください。設定するとEBR1とEBR2は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~4		すべて0	R/W	リザーブビット ライトするときは、必ず0をライトしてください。
3	EB11	0	R/W	このビットが1のときEB11 (H'030000 ~ H'03FFFF) の64Kバイトが消去対象となります。
2	EB10	0	R/W	このビットが1のときEB10 (H'020000 ~ H'02FFFF) の64Kバイトが消去対象となります。
1	EB9	0	R/W	このビットが1のときEB9 (H'010000 ~ H'01FFFF) の64Kバイトが消去対象となります。
0	EB8	0	R/W	このビットが1のときEB8 (H'008000 ~ H'00FFFF) の32Kバイトが消去対象となります。

### 19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMERの設定は、ユーザモード、ユーザプログラミングモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。具体的な設定方法については「19.7 RAMによるフラッシュメモリのエミュレーション」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~5		すべて0		リザーブビット 読み出すと常に0が読み出されます。
4		0	R/W	リザーブビット ライトするときは必ず0をライトしてください。
3	RAMS	0	R/W	RAM セレクト RAMによるフラッシュメモリのエミュレーション選択ビットです。このビットが1のとき、RAMの一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。
2	RAM2	0	R/W	フラッシュメモリエリア選択 RAMSが1のとき、RAMの領域とオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは4Kバイトの消去ブロックに対応しています。  000 : H'000000 ~ H'000FFF (EB0) 001 : H'001000 ~ H'001FFF (EB1) 010 : H'002000 ~ H'002FFF (EB2) 011 : H'003000 ~ H'003FFF (EB3) 100 : H'004000 ~ H'004FFF (EB4) 101 : H'005000 ~ H'005FFF (EB5) 110 : H'006000 ~ H'006FFF (EB6) 111 : H'007000 ~ H'007FFF (EB7)
1	RAM1	0	R/W	
0	RAM0	0	R/W	

### 19.5.6 シリアルコントロールレジスタ X (SCRX)

SCRX は、レジスタアクセスの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。 0: アドレス H'FFFA8 ~ H'FFFAC のエリアはフラッシュ制御レジスタを非選択 1: アドレス H'FFFA8 ~ H'FFFAC のエリアはフラッシュ制御レジスタを選択
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

## 19.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには2種類の動作モード（ブートモード、ユーザプログラムモード）があります。各モードの設定方法は、表 19.3 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図は、図 19.2 を参照してください。

表 19.3 オンボードプログラミングモード設定方法

モード設定		FWE	MD2	MD1	MD0
SCI ブートモード (HD64F2215、 HD64F2215R、HD64F2215T)	アドバンスト・内蔵 ROM 有効拡張モード	1	0	1	0
	アドバンスト・シングルチップモード	1	0	1	1
USB ブートモード (HD64F2215U、 HD64F2215RU、HD64F2215TU、 HD64F2215CU) *1	アドバンスト・内蔵 ROM 有効拡張モード	1	0	1	0
	アドバンスト・シングルチップモード	1	0	1	1
USB ブートモード (HD64F2215RU、 HD64F2215TU、HD64F2215CU) *2	アドバンスト・内蔵 ROM 有効拡張モード	1	1	0	0
	アドバンスト・シングルチップモード	1	1	0	1
ユーザプログラムモード	アドバンスト・内蔵 ROM 有効拡張モード (MCU 動作モード 6)	1	1	1	0
	アドバンスト・シングルチップモード (MCU 動作モード 7)	1	1	1	1

【注】 \*1 システムクロック 16MHz 時

\*2 システムクロック 24MHz 時

### 19.6.1 SCI ブートモード (HD64F2215、HD64F2215R、HD64F2215T)

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムを、SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります (フラッシュメモリの書き込みを行います)。

図 19.6 に SCI ブートモード時のシステム構成図を示します。

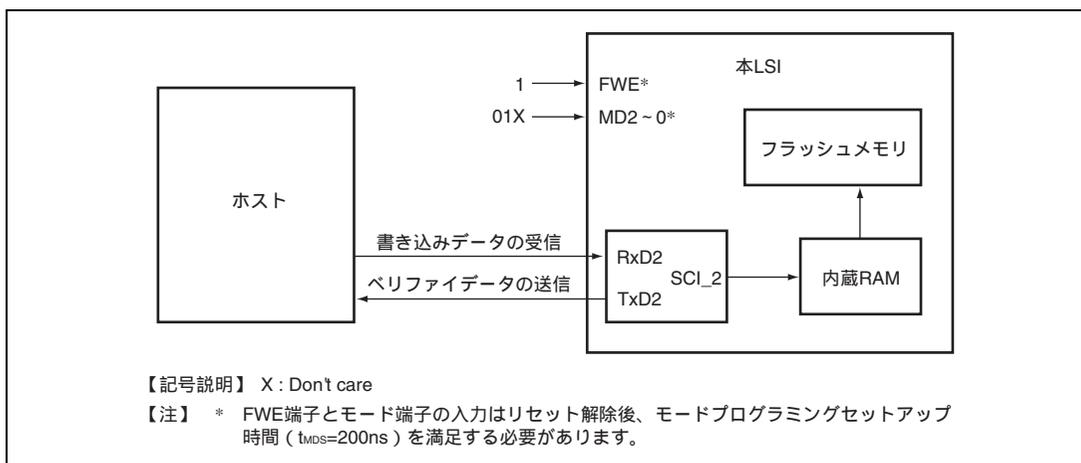


図 19.6 SCI ブートモード時のシステム構成図

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 19.4 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「19.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。  
 ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
2. SCI\_2は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI\_2のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。

4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表19.5の範囲としてください。
5. ブートモードでは内蔵RAMの4Kバイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは8Kバイト (H'FFC000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに移行後もRAM内のブートプログラムが保持されていますので注意してください。
6. 書き込み制御プログラムに分岐するときSCI\_2は送受信動作を終了 (SCRのRE=0、TE=0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とモード端子を設定してリセットを解除\*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化 (Lowレベル→Highレベル) させると、動作モードが切り替わることによりアドレス出力兼用ポートおよびバス制御出力信号 ( $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ ) の状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 \* FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 ( $t_{MDS} = 200\text{ns}$ ) を満足する必要があります。

表 19.4 SCI ブートモードの動作

項目	ホストの動作	本 LSI の動作
		リセットスタート後ブートプログラムへ分岐
ビットレート調整 ↓	所定のビットレートでデータ H'00 を連続送信  H'00 を正常に受信したら H'55 を 1 バイト送信	受信データ H'00 の Low 期間を測定 ビットレートを計算し、SCI_2 の BRR を設定 ビットレート調整終了の合図として H'00 を 1 バイト送信  H'55 を受信したらホストへ H'AA を 1 バイト送信
書き込み制御プログラムのバイト数 (N) を転送 ↓	転送する書き込み制御プログラムのバイト数 (N) を上位バイト、下位バイトの順に 2 バイト送信	受信した 2 バイトのデータをペリフェイダータとしてホストへエコーバック
書き込み制御プログラムの転送 (N 回繰り返し) ↓	書き込み制御プログラムを 1 バイト送信	受信したデータをホストにエコーバックするとともに RAM へ転送
メモリ消去 ↓		フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへ H'AA を送信 消去できなかった場合は H'FF を送信して、動作を停止
書き込み制御プログラムの実行		内蔵 RAM に転送された書き込み制御プログラムへ分岐し実行を開始

表 19.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	HD64F2215 : 13 ~ 16MHz
9600bps	HD64F2215R : 13 ~ 24MHz
4800bps	HD64F2215T : 16、24MHz

## 19.6.2 USB ブートモード (HD64F2215U、HD64F2215RU、HD64F2215TU、HD64F2215CU)

### (1) 特長

- バスパワーモードとセルフパワーモードを選択可能
- HD64F2215U : システムクロック16MHz、PLL3逡倍によるUSB動作クロック生成のみに対応  
HD64F2215RU、HD64F2215TU、HD64F2215CU : システムクロック16MHz、PLL3逡倍かシステムクロック24MHz、PLL2逡倍によるUSB動作クロック生成のみに対応
- D+プルアップ制御接続はP36端子のみ対応
- エニユメレーション情報は表19.6参照

表 19.6 エニユメレーション情報

USB 規格	Ver.1.1	
転送モード	Control ( in, out )、Bulk ( in, out )	
最大電力量	セルフパワーモード時 ( UBPM 端子 = 1 )	100mA
	バスパワーモード時 ( UBPM 端子 = 0 )	500mA
エンドポイント構成	EP0 Control ( in, out ) 64 Bytes  Configuration 1 <ul style="list-style-type: none"> <li>└ InterfaceNumber 0               <ul style="list-style-type: none"> <li>└ AlternateSetting 0                   <ul style="list-style-type: none"> <li>└ EP1 Bulk (out) 64 Bytes</li> <li>└ EP2 Bulk (in) 64 Bytes</li> </ul> </li> </ul> </li> </ul>	

### (2) USB ブートモード実行時の注意点

- HD64F2215Uのときは、16MHzのシステムクロックとPLL使用可能な外部回路構成にしてください。  
HD64F2215RU、HD64F2215TU、HD64F2215CUのときは、16MHzか24MHzのシステムクロックとPLL使用可能な外部回路構成にしてください。その他の組み合わせではUSBブートモードは実行できません
- D+プルアップ制御接続はP36端子を使用してください
- フラッシュメモリへの書き込み / 消去中における電源安定供給のために、バスパワーHUBを経由してのケーブル接続はしないでください
- フラッシュメモリへの書き込み / 消去中にUSBケーブルを抜くと、最悪の場合にはLSIの永久破壊となる可能性がありますので特に注意してください
- バスパワーモード時にUSBバスがサスペンドモードに入っても低消費電力モードのソフトウェアスタンバイモードには遷移しません

## (3) 概要

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムを USB を使って本 LSI へ順次送信します。本 LSI では、USB で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送完了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります (フラッシュメモリの書き込みを行います)。図 19.7 に USB ブートモード時のシステム構成図を示します。

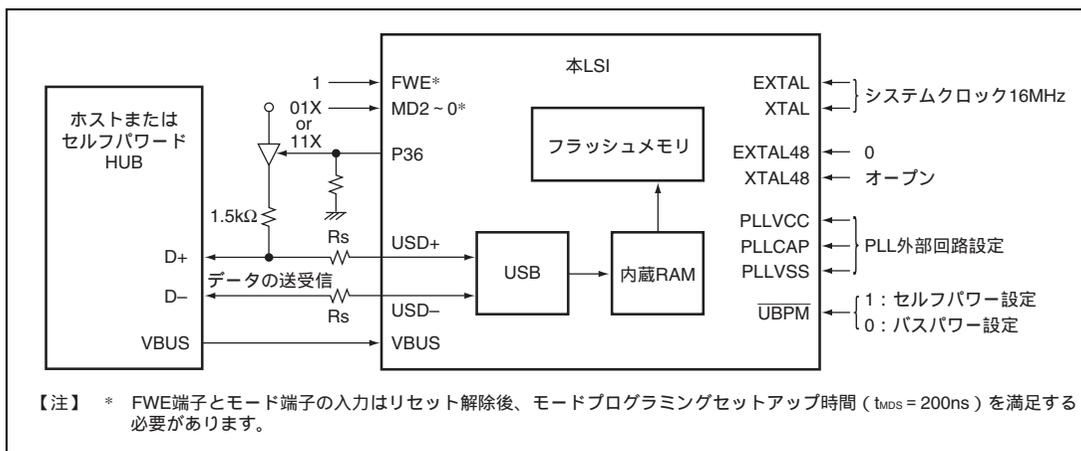


図 19.7 USB ブートモード時のシステム構成図

USB ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 19.7 に示します。

- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に用意しておく必要があります。書き込み制御プログラムは「19.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。  
ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- ブートプログラムが起動すると、ホストとのエnumレーションを行います。エnumレーション情報を表 19.6 に示します。  
エnumレーションが完了したら、ホストからH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。
- ホストから送信する周波数はMHz × 100単位の数値を設定してください。  
(例 : 16.00MHz → H'0640)

4. ブートモードでは内蔵RAMの4Kバイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは8Kバイト (H'FFC000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに移行後もRAM内のブートプログラムが保持されていますので注意してください。
5. 書き込み制御プログラムに分岐するときUSBは接続状態のままになっているので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
6. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とモード端子を設定してリセットを解除\*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
7. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化 (Lowレベル→Highレベル) させると、動作モードが切り替わることによりアドレス出力兼用ポートおよびバス制御出力信号 ( $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ ) の状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
8. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 \* FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 ( $t_{MS} = 200\text{ns}$ ) を満足する必要があります。

表 19.7 USB ブートモードの動作

項目	ホストの動作	本 LSI の動作
		リセットスタート後ブートプログラムへ分岐
USB ブートモード開始 ↓	USB エンুমレーション完了後、H'55 を 1 バイト送信	H'55 を受信したらホストへ H'AA を 1 バイト送信
クロック情報を転送 ↓	周波数 (2 バイト)、逡倍種別数 (1 バイト)、逡倍比 (1 バイト) を送信 本 LSI では、H'0640、H'01、H'01 を送信	受信したデータがおのおの範囲内の場合、ホストへ H'AA を送信 受信したデータのいずれかが範囲外の場合、ホストへ H'FF を送信して、動作を停止
書き込み制御プログラムのバイト数 (N) を転送 ↓	転送する書き込み制御プログラムのバイト数 (N) を 2 バイト送信	受信したバイト数が範囲内の場合、ホストへ H'AA を送信 受信したバイト数が範囲外の場合、ホストへ H'FF を送信して、動作を停止
書き込み制御プログラムとサム値の転送 ↓	書き込み制御プログラムを N バイト分送信 サム値 (書き込み制御プログラムの総和の 2 の補数 (1 バイト)) を送信	受信したデータを内蔵 RAM に転送 受信したサム値と内蔵 RAM に転送された書き込み制御プログラムの 1 バイト単位の総和を算出 和が 0 の場合、ホストへ H'AA を送信 和が 0 でない場合、ホストへ H'FF を送信して、動作を停止
メモリ消去 ↓	全消去ステータスコマンド (H'3A) を送信  H'11 を受信した場合は全消去ステータスコマンド (H'3A) を再送	フラッシュメモリ全消去開始 全消去ステータスコマンド受信時全消去処理実行中の場合、ホストへ H'11 を送信 全消去ステータスコマンド受信時全ブロック消去完了している場合は、ホストへ H'06 を送信 全消去ステータスコマンド受信時消去できなかった場合はホストへ H'EE を送信して、動作を停止
書き込み制御プログラムの実行		内蔵 RAM に転送された書き込み制御プログラムへ分岐し実行を開始

### 19.6.3 ユーザプログラムモード

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。あらかじめ基板上的 FWE 制御手段、オンボードでの書き換えデータ供給手段、プログラム分岐のための条件設定をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 19.8 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「19.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

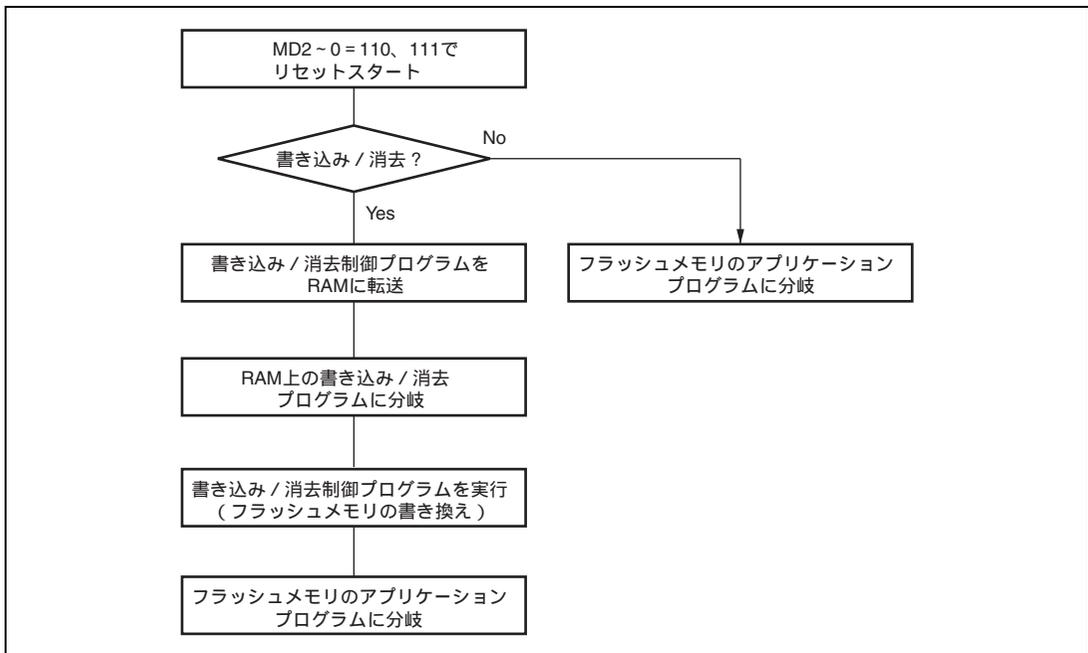


図 19.8 ユーザモードにおける書き込み / 消去例

## 19.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 19.9 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

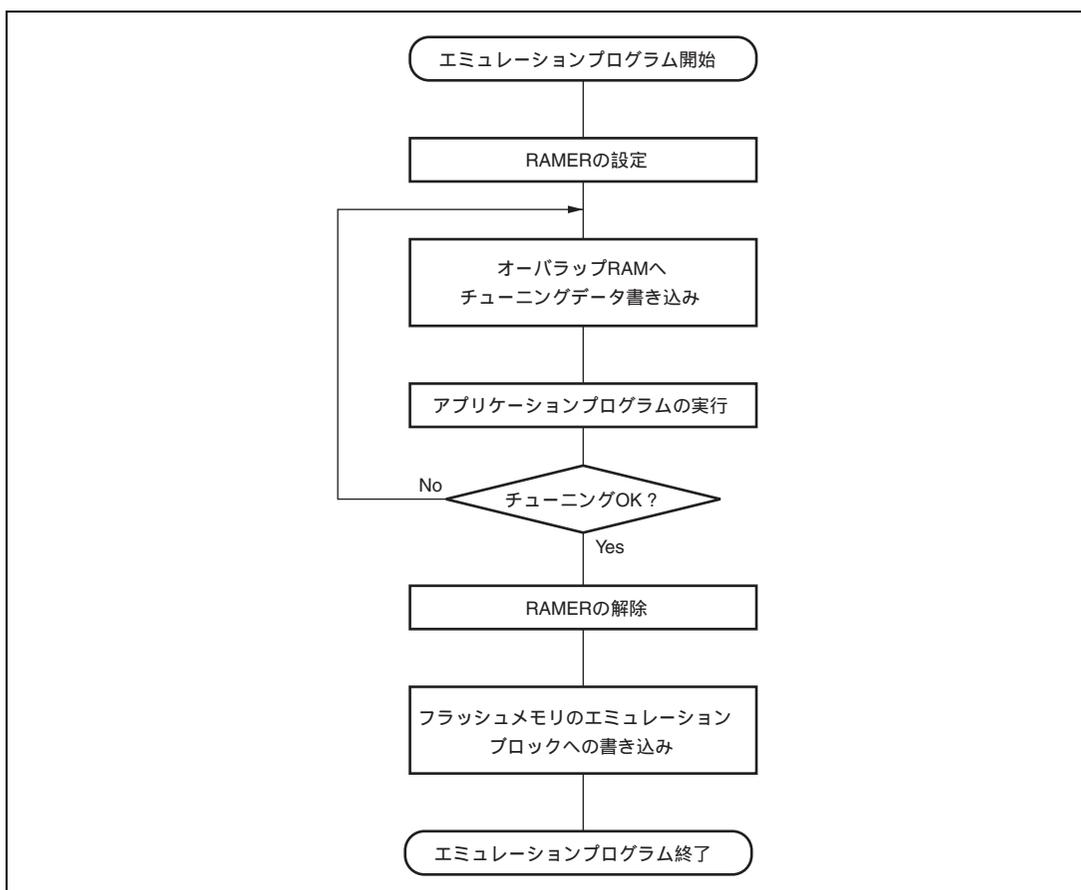


図 19.9 RAM によるエミュレーションフロー

フラッシュメモリのブロック EB1 をオーバーラップさせる例を図 19.10 に示します。

1. オーバーラップさせるRAMのエリアはH'FFD000～H'FFDFFFの4Kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4KバイトのEB0～EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のPIビットまたはE1ビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

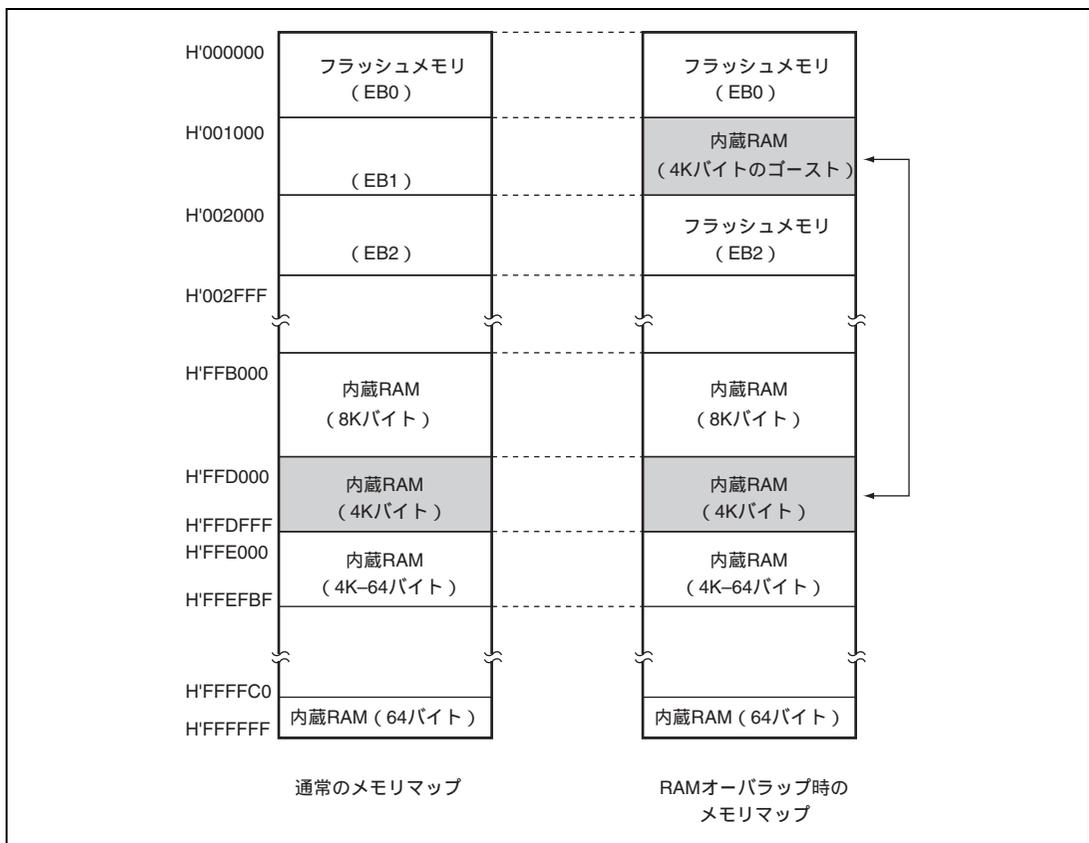


図 19.10 RAM のオーバーラップ例

## 19.8 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせる書き込み / 消去を行います。フラッシュメモリへの書き込みは「19.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「19.8.2 イレース / イレースベリファイ」に沿って行ってください。

### 19.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 19.11 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損うことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図19.10に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. P1ビットがセットされている時間が書き込み時間となります。書き込み時間は図19.11に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は  $(y+z1+\alpha+\beta)$   $\mu\text{s}$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、 $(N1 + N2)$  回を超えないようにしてください。

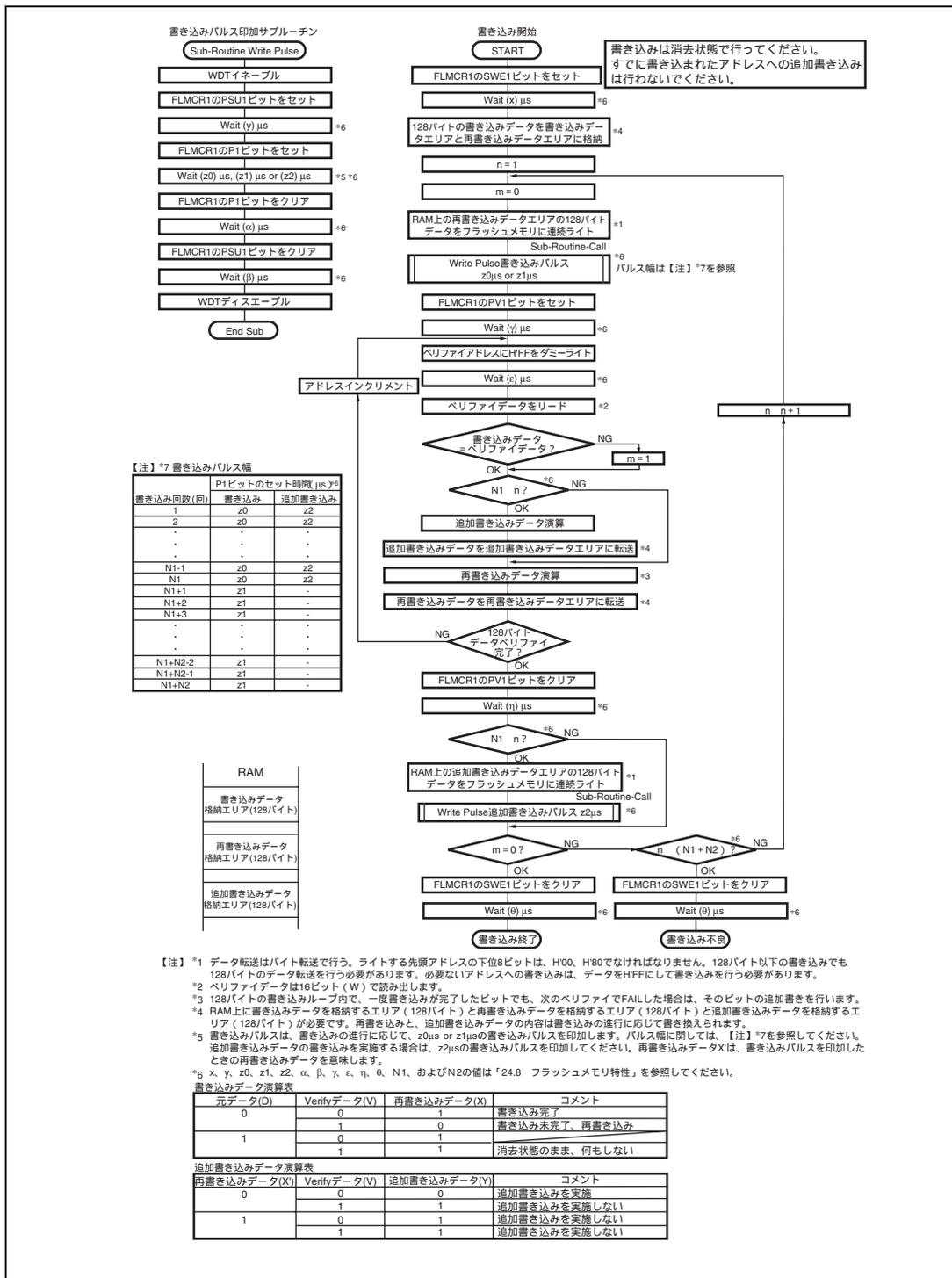


図 19.11 プログラム/プログラムペリファイフロー

### 19.8.2 イレース / イレースベリファイ

消去は図 19.12 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2 (EBR1、EBR2) により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. EIビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は  $(y+z+\alpha+\beta)$  msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。

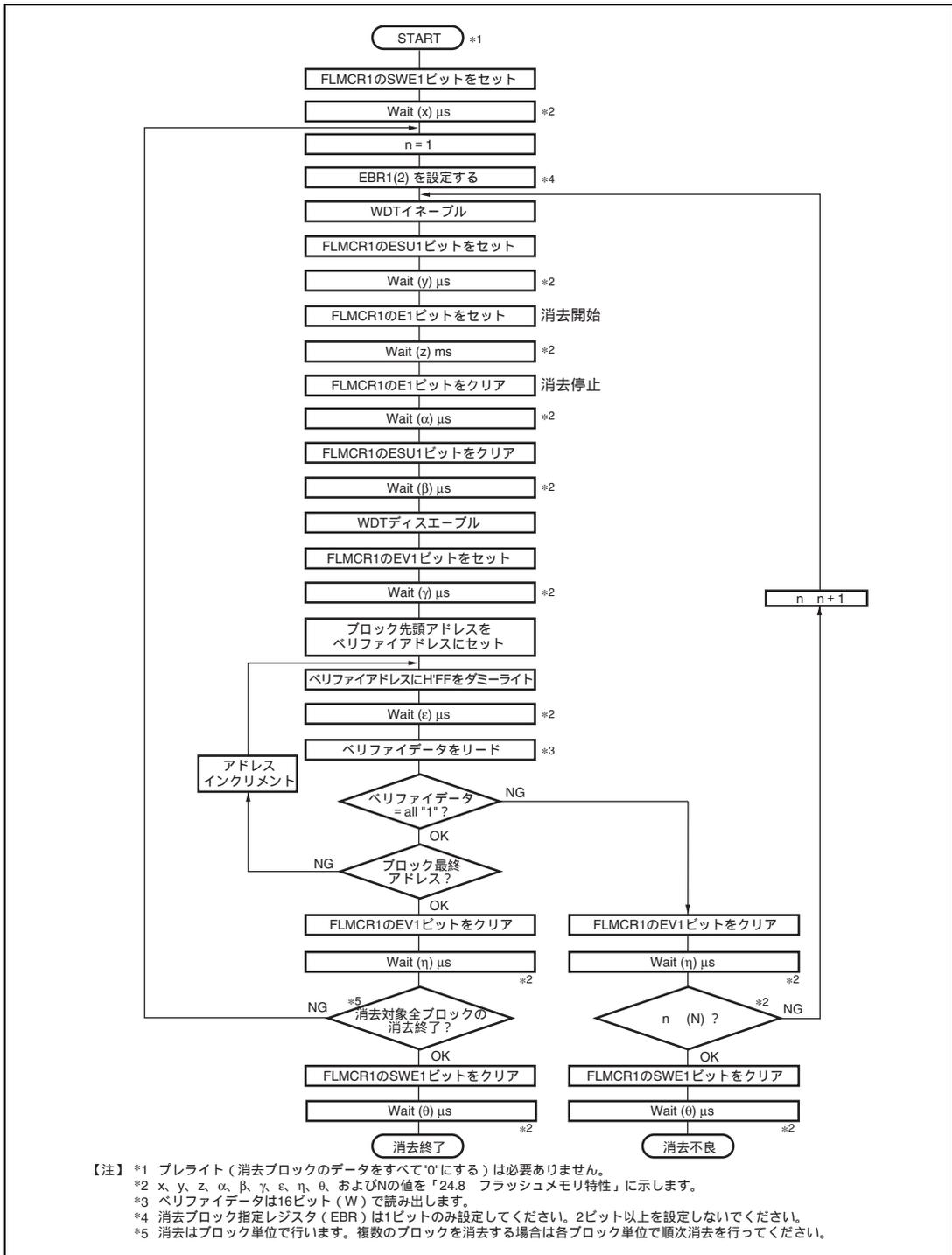


図 19.12 イレース/イレースベリファイフロー

## 19.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

### 19.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット (WDT によるパワーオンリセットも含む) またはスタンバイモードへの状態遷移および FWE = Low レベルによりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ 1 (FLMCR1)、フラッシュメモリコントロールレジスタ 2 (FLMCR2)、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。

### 19.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE1 ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を両方 H'00 に設定すると全ブロックが消去プロテクト状態になります。RAMER の RAMS ビットをセットすることで全ブロックの書き込み / 消去プロテクト状態になります。

### 19.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

FLER ビットのセット条件 (エラープロテクト)

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行
- 書き込み / 消去中に CPU が DMAC または DTC にバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、E1 ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV1 ビット、EV1 ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットまたハードウェアスタンバイによってのみ解除できます。

## 19.10 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット)、またはブートプログラム実行中\*<sup>1</sup>は書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。これは以下のような動作状態を回避することを目的としています。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. 書き込み / 消去中の割り込み例外処理では正常なベクタリードができず\*<sup>2</sup>、CPUが暴走してしまう。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

【注】 \*1 書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。

\*2 以下の 2 つの理由によってベクタリードが正常に行われません。

- ・ 書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・ 割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

## 19.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライタを使用してください。

図 19.13 にライタモード時のメモリマップを示します。

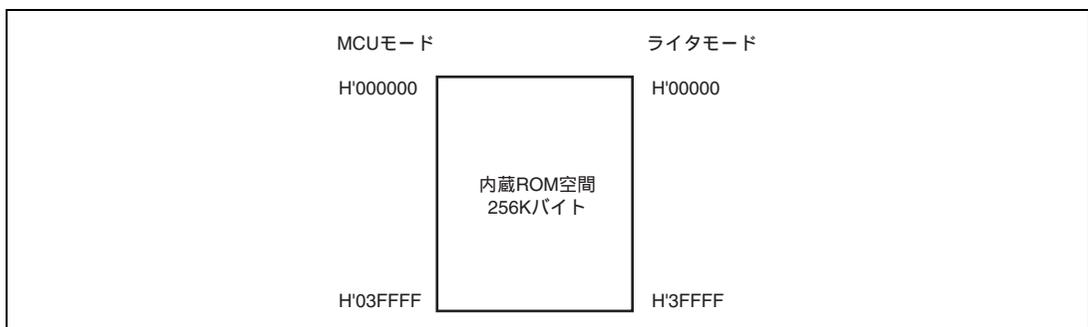


図 19.13 ライタモード時のメモリマップ

## 19.12 フラッシュメモリの低消費電力状態の注意

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態  
高速でフラッシュメモリの読み出しが可能です。
- スタンバイ状態  
フラッシュメモリのすべての回路が停止します。

表 19.8 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100 $\mu$ s 以上になるよう SBYCR の STS2 ~ STS0 を設定してください。

表 19.8 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
スタンバイモード	スタンバイ状態 (通常動作状態へ復帰するときは、100 $\mu$ s の待機時間が必要です)

## 19.13 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能、およびライタモード使用時の注意事項を示します。

(1) 規定された電圧タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているものを使用してください。ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入 / 切断時の注意

FWE 端子への High レベル印加は Vcc 確定後に行ってください。また、Vcc を切断する前に FWE 端子を Low レベルにしてください。Vcc 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

### (3) FWE の印加 / 解除の注意

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- VCC電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
- ブートモードでは、FWEの印加 / 解除はリセット中に行ってください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
- プログラムが暴走していない状態でFWEを印加してください。
- FWEの解除はFLMCR1のSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをクリアした状態で行ってください。FWEの印加 / 解除時に、誤ってSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをセットしないでください。

### (4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

### (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損うことなく書き込み、消去を行うことができます。また、FLMCR1 の P1 ビット、E1 ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

### (6) SWE1 ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアしたあと (θ) \*μs 以上待ってから行ってください。

SWE1 ビットをセットするとフラッシュメモリのデータを書き換えることができますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム / イレース / ベリファイ中に SWE1 ビットのクリアを行わないでください。FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE1 ビットをクリアしたあとに行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE1 ビットのセット / クリアにかかわらずリード / ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 印加状態では書き込み / 消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは 1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

(11) 電源投入時は、リセット状態にしてください。

発振安定期間中に 100 $\mu$ s 以上はリセットを入れてください。

(12) 動作中にリセットを入れる場合は、SWE1 の Low 期間で入れてください。

SWE1 ビットクリア後 (0) \*  $\mu$ s 以上待ってからリセットを入れてください。

【注】 \* 「24.8 フラッシュメモリ特性」を参照してください。

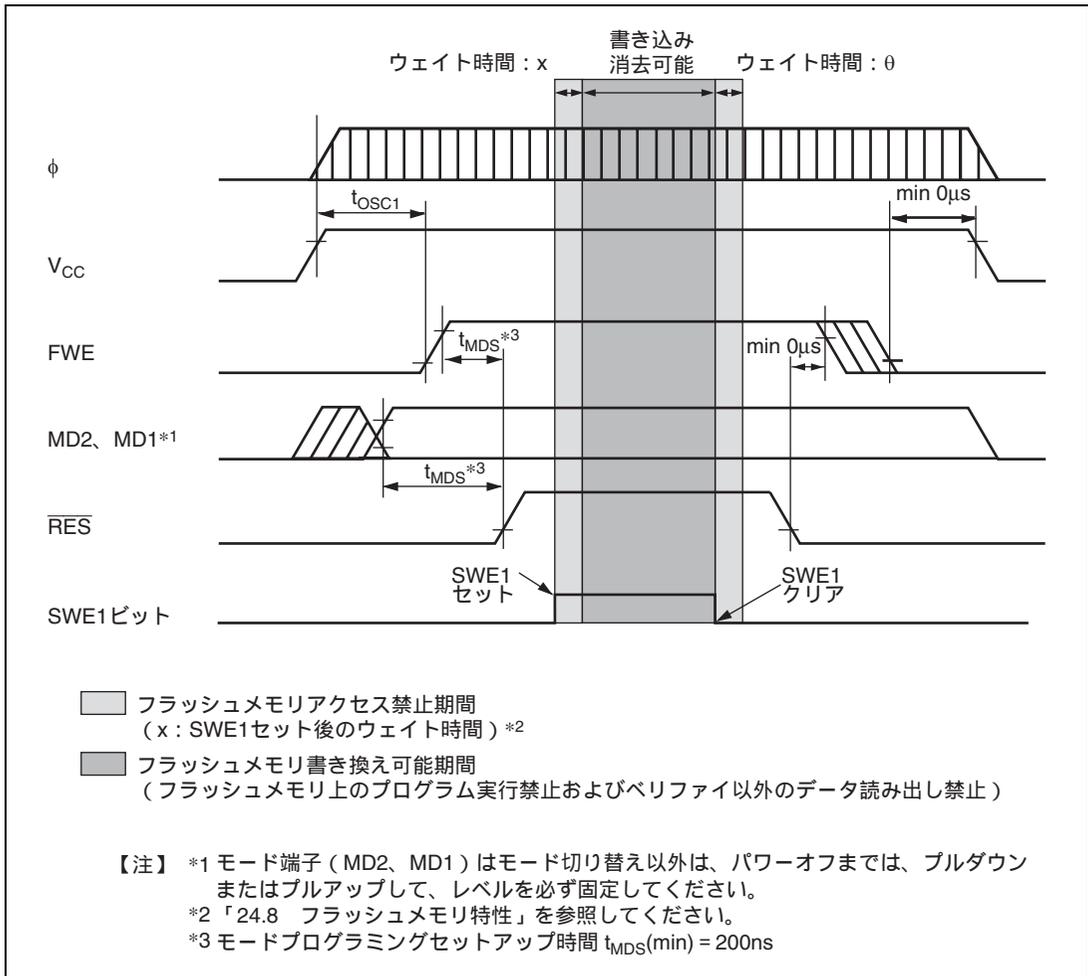


図 19.14 電源投入/切断タイミング (ブートモード)

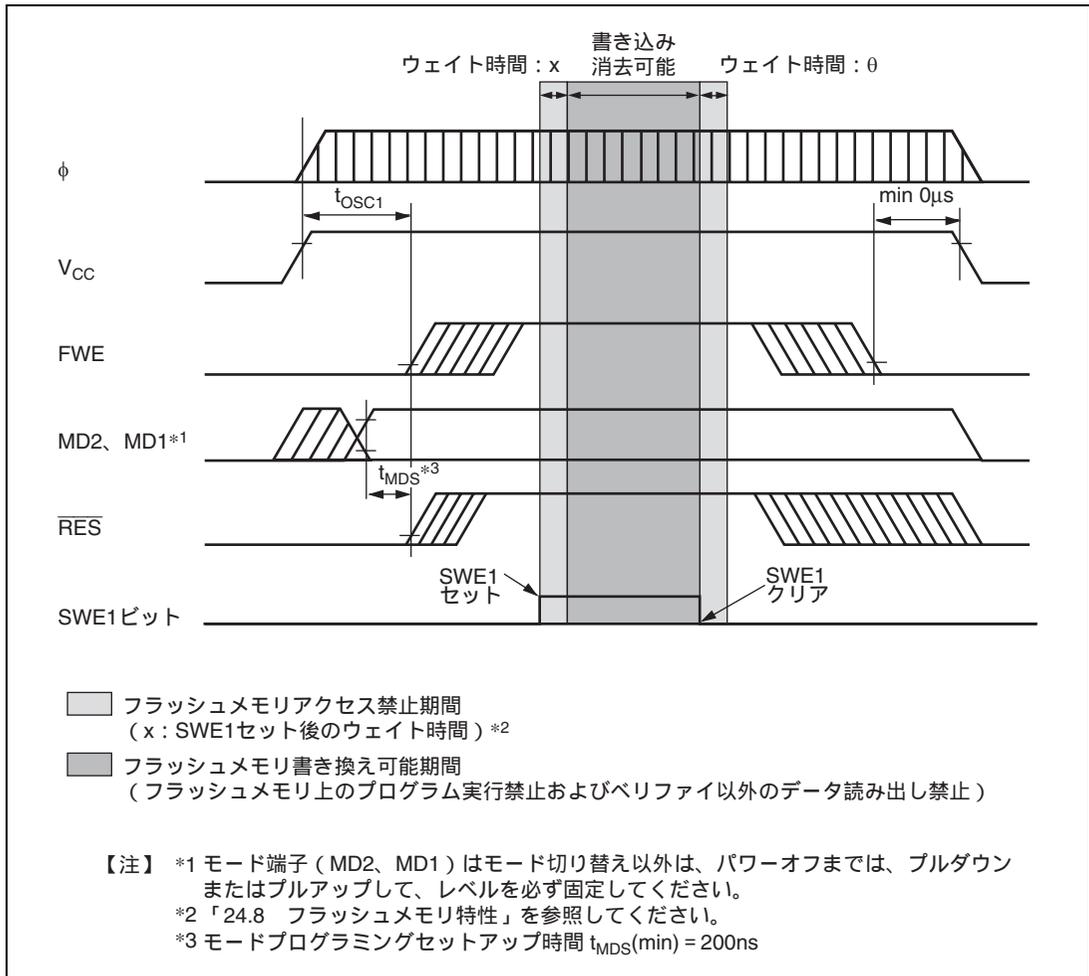


図 19.15 電源投入/切断タイミング (ユーザプログラムモード)

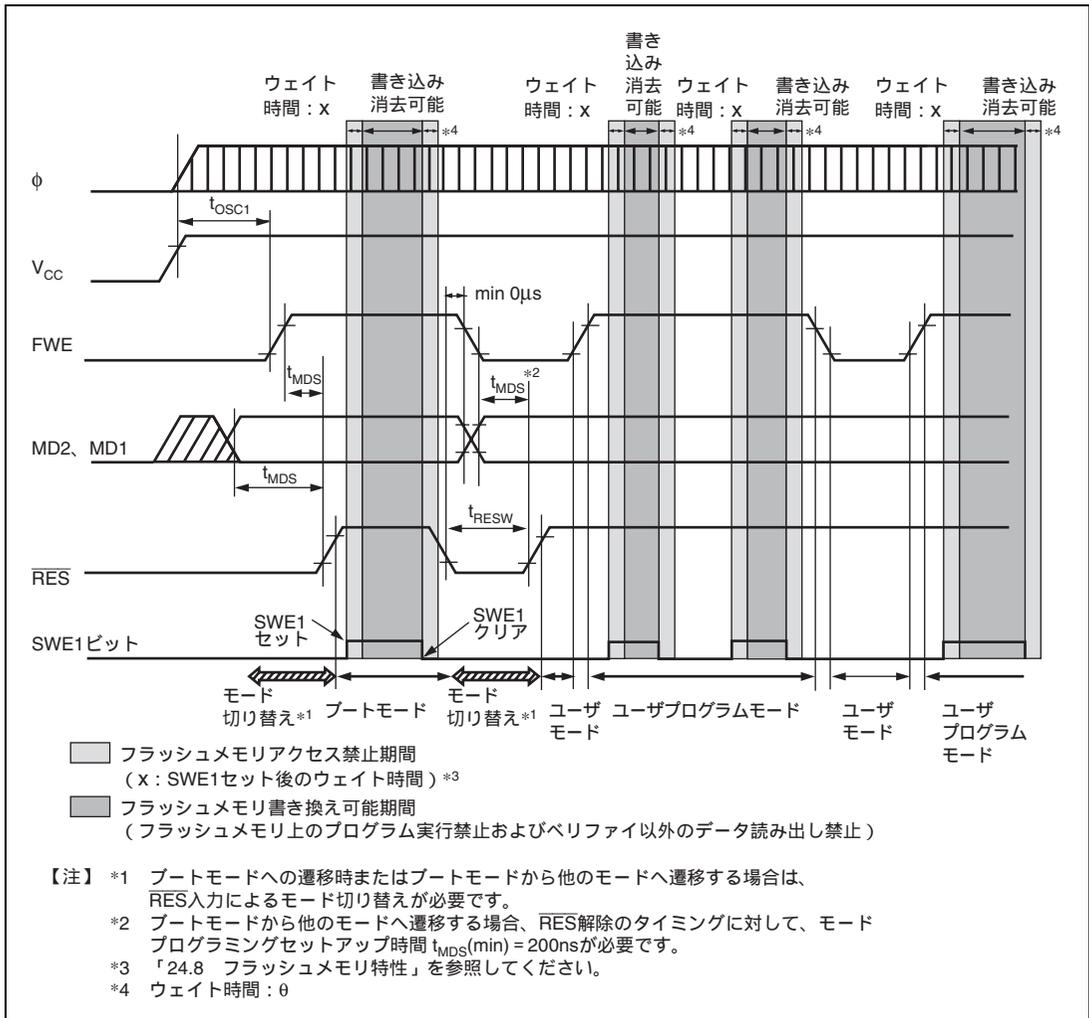


図 19.16 モード遷移タイミング (例 : ブートモード→ユーザーモード↔ユーザープログラムモード)

## 19.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク ROM 版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 19.9 に F-ZTAT 版に存在して、マスク ROM 版に存在しないレジスタを示します。表 19.9 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 19.9 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 19.9 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
シリアルコントロールレジスタ X	SCRX	H'FDB4

## 20. マスク ROM

マスク ROM の特長は以下のとおりです。

### 20.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス (モード 6、7)
H8S/2215 グループ	HD6432215B	128K バイト	H'000000 ~ H'01FFFF
	HD6432215C	64K バイト	H'000000 ~ H'00FFFF

- バスマスタと16ビット幅のデータバスで接続  
バイトデータ/ワードデータを1ステートでアクセス可能

図 20.1 にマスク ROM のブロック図を示します。

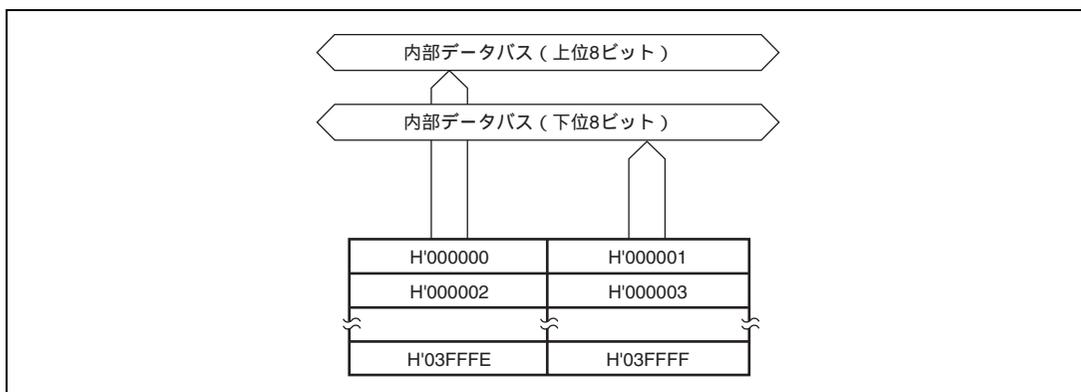


図 20.1 マスク ROM のブロック図 (256K バイトの例)



## 21. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ( $\phi$ )、バスマスタクロック、内部クロックを生成します。クロック発振器は、システムクロック発振器、デューティ補正回路、中速クロック分周器、バスマスタクロック選択回路、USB 動作クロック発振器、PLL (Phase Locked Loop) 回路、USB 動作クロック選択回路で構成されます。クロック発振器のブロック図を図 21.1 に示します。

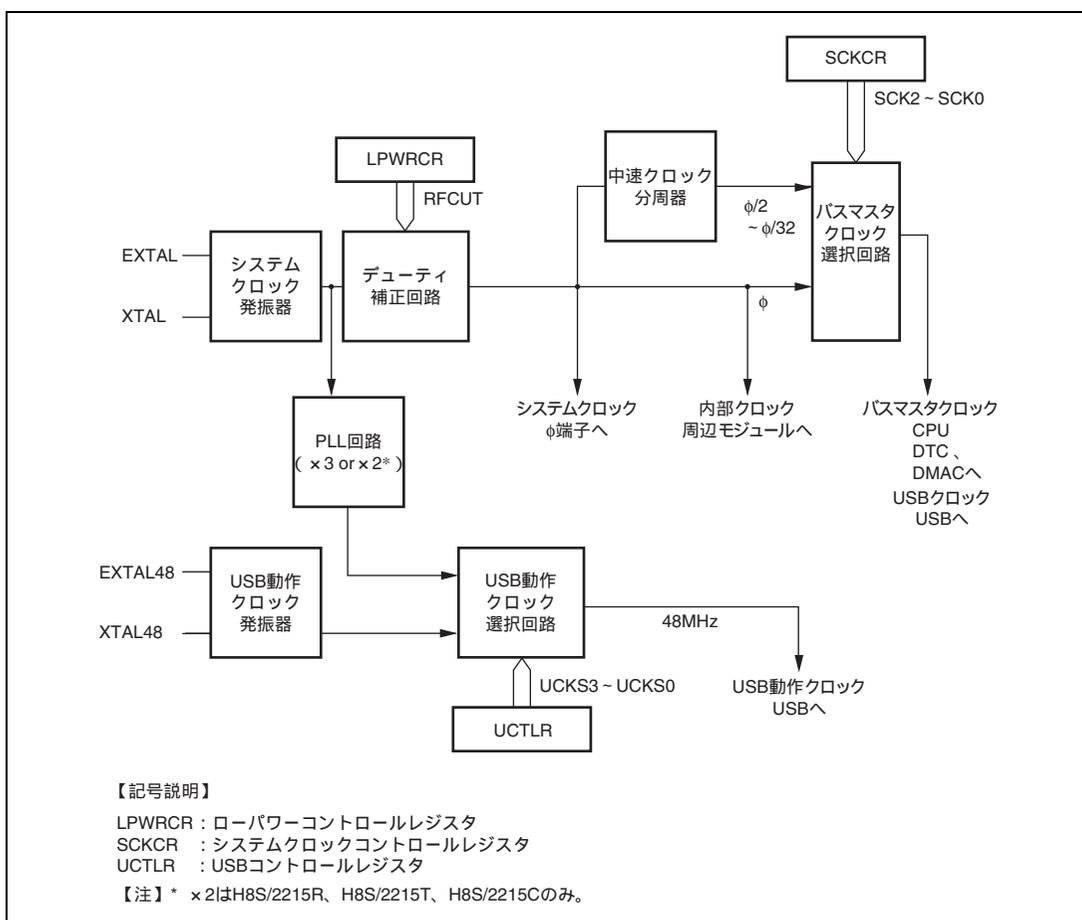


図 21.1 クロック発振器のブロック図

システムクロック発振器からの周波数の変更は、ローパワーコントロールレジスタ(LPWRCR)とシステムクロックコントロールレジスタ(SCKCR)の設定によりソフトウェアで行います。USB 動作クロック(48MHz)発振器、または PLL 回路からの 48MHz クロック選択は、USB コントロールレジスタ(UCTLR)の設定により、ソフトウェアで行います。詳細は、「第 15 章 ユニバーサルシリアルバス(USB)」を参照してください。

## 21.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

### 21.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は $\phi$ 出力、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	$\phi$ クロック出力禁止 $\phi$ 出力を制御します。 動作モードにより動作が異なります。詳細は「22.7 $\phi$ クロック出力制御」を参照してください。 0 : $\phi$ 出力、High レベル固定、またはハイインピーダンス 1 : High レベル固定またはハイインピーダンス
6		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に0としてください。
5、4		すべて0		リザーブビット リードすると常に0がリードされます。
3		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に0としてください。
2	SCK2	0	R/W	システムクロックセレクト 2~0
1	SCK1	0	R/W	バスマスタクロックを選択します。
0	SCK0	0	R/W	000 : 高速モード 001 : 中速クロック $\phi/2$ 010 : 中速クロック $\phi/4$ 011 : 中速クロック $\phi/8$ 100 : 中速クロック $\phi/16$ 101 : 中速クロック $\phi/32$ 11x : 設定禁止

【記号説明】 x : Don't care

## 21.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は、システムクロック発振器の内蔵帰還抵抗とデューティ補正回路の使用可否を選択します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に 0 としてください。
3	RFCUT	0	R/W	内蔵帰還抵抗制御 外部クロック入力時にシステムクロック発振器の内蔵帰還抵抗とデューティ補正回路の使用可否を選択します。 水晶発振子を使用する場合はアクセスしないでください。 外部クロック入力状態で本ビットを設定後、ソフトウェアスタンバイモードに遷移してください。遷移したときに、システムクロック発振器の内蔵帰還抵抗とデューティ補正回路の使用可否を切り替えます。 0 : システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する 1 : システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない
2		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に 0 としてください。
1	STC1	0	R/W	周波数通倍率設定 エバリュエーションチップに内蔵する PLL 回路の周波数通倍率を設定します。 指定した周波数通倍率は、ソフトウェアスタンバイモードに遷移後、有効となります。 本 LSI では、必ず STC1 = STC0 = 1 の設定で使用してください。リセット後は、STC1 = STC0 = 0 となりますので、リセット後は必ず STC1 = STC0 = 1 の設定を行ってください。 00 : ×1 01 : ×2 (設定禁止) 10 : ×4 (設定禁止) 11 : PLL は、バイパス
0	STC0	0	R/W	

## 21.2 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法、セラミック発振子を接続する方法、および外部クロックを入力する方法があります。なお、製品ごとに使用可能な発振子が異なります。

詳細は、表 21.1 を参照してください。

表 21.1 発振子対応表

	水晶発振子	セラミック発振子	外部クロック
H8S/2215	(13~16MHz)	×	(13~16MHz)
H8S/2215R	(13~24MHz)	×	(13~24MHz)
H8S/2215T	×	(16、24MHz)	(16、24MHz)
H8S/2215C	(16~24MHz)	×	(16~24MHz)

### 21.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗  $R_d$  は、表 21.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

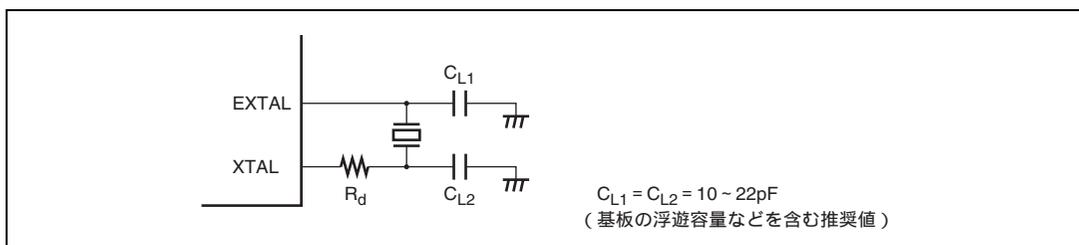


図 21.2 水晶発振子の接続例

表 21.2 ダンピング抵抗値

周波数 (MHz)	13	16	24*
$R_d (\Omega)$	0	0	0

【注】 \* H8S/2215R、H8S/2215C のみ。

水晶発振子の等価回路を図 21.3 に示します。水晶発振子は表 21.3 に示す特性のものを使用してください。

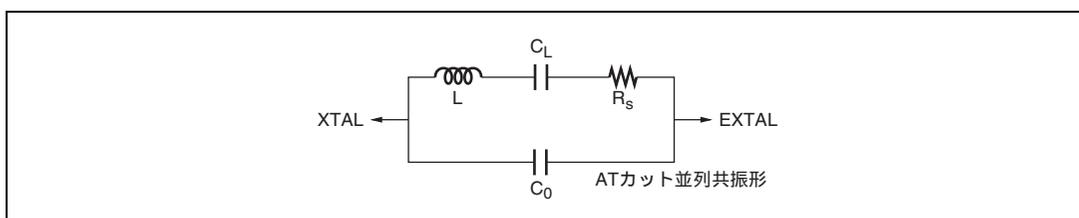


図 21.3 水晶発振子の等価回路

表 21.3 水晶発振子の特性

周波数 (MHz)	13	16	24*
$R_s$ max ( $\Omega$ )	60	50	40
$C_0$ max (pF)	7		

【注】 \* H8S/2215R、H8S/2215C のみ。

## 21.2.2 セラミック発振子を接続する方法 (H8S/2215T)

セラミック発振子を接続する場合の接続例を図 21.4 に示します。

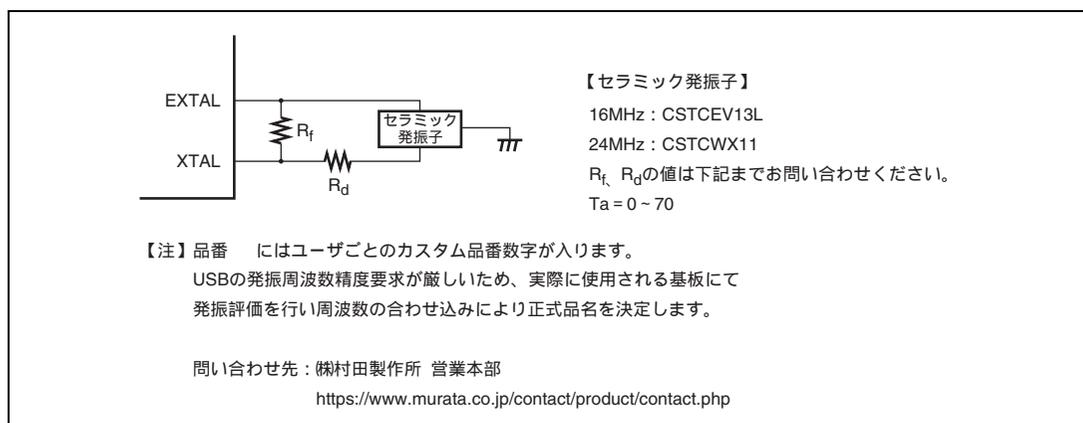


図 21.4 セラミック発振子の接続例

### 21.2.3 外部クロックを入力する方法

外部クロック入力の接続例を図 21.5 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

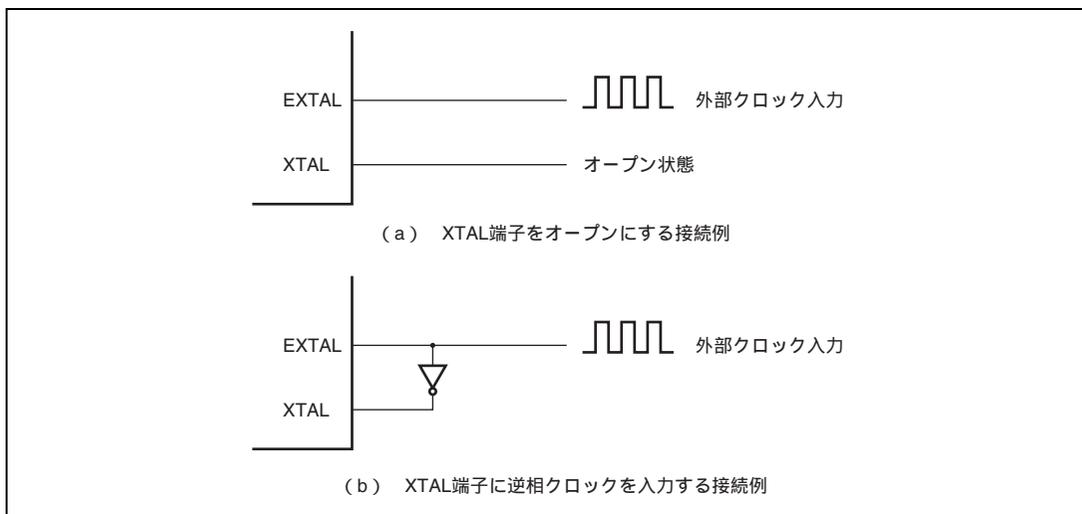


図 21.5 外部クロックの接続例

外部クロックの入力条件を表 21.4 に示します。

表 21.4 外部クロック入力条件

項目	記号	V <sub>CC</sub> = 2.7 ~ 3.6V		V <sub>CC</sub> = 3.0 ~ 3.6V*		単位	測定条件
		min	max	min	max		
外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	25	-	15.5	-	ns	図 21.6
外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	25	-	15.5	-	ns	
外部クロック立ち上がり時間	t <sub>EXr</sub>	-	6.25	-	5.25	ns	
外部クロック立ち下がり時間	t <sub>EXf</sub>	-	6.25	-	5.25	ns	
クロックパルス幅 Low レベル	t <sub>CL</sub>	0.4	0.6	0.4	0.6	t <sub>cy</sub>	図 24.3
クロックパルス幅 High レベル	t <sub>CH</sub>	0.4	0.6	0.4	0.6	t <sub>cy</sub>	

【注】 \* H8S/2215R、H8S/2215T、H8S/2215C のみ。

デューティ補正回路を使用しない場合の外部クロックの入力条件を表 21.5 に示します。

なお、デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数が低下しますので、ご注意ください。たとえば、 $t_{EXL} = t_{EXH} = 31.25\text{ns}$ 、 $t_{EXr} = t_{EXf} = 6.25\text{ns}$  の場合、クロックサイクル時間 =  $75\text{ns}$  となり、最高動作周波数 =  $13.3\text{MHz}$  となります。

表 21.5 外部クロック入力条件 (デューティ補正回路未使用)

項目	記号	Vcc = 2.7 ~ 3.6V		Vcc = 3.0 ~ 3.6V*		単位	測定条件
		min	max	min	max		
外部クロック入力パルス幅 Low レベル	$t_{EXL}$	31.25	-	20.8	-	ns	図 21.6
外部クロック入力パルス幅 High レベル	$t_{EXH}$	31.25	-	20.8	-	ns	
外部クロック立ち上がり期間	$t_{EXr}$	-	6.25	-	5.25	ns	
外部クロック立ち下がり期間	$t_{EXf}$	-	6.25	-	5.25	ns	

【注】 \* H8S/2215R、H8S/2215T、H8S/2215C のみ。

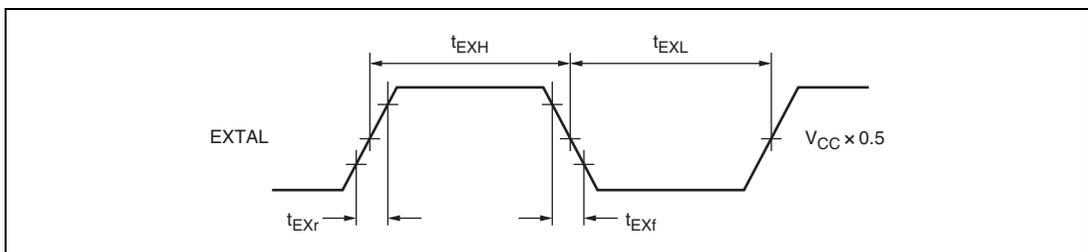


図 21.6 外部クロック入力タイミング

### 21.3 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、システムクロック発振器の出力するクロックのデューティを補正し、システムクロック ( $\phi$ ) を生成します。

### 21.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  を生成します。

### 21.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタおよび USB に供給するクロックを SCKCR の SCK2 ~ SCK0 ビットにより高速モード、または中速クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) から選択します。

### 21.6 USB 動作クロック (48MHz)

USB 動作クロックを供給する方法には、セラミック発振子を接続する方法と外部クロックを入力する方法があります。

### 21.6.1 セラミック発振子を接続する方法

セラミック発振子を接続する場合の接続例を図 21.7 に示します。

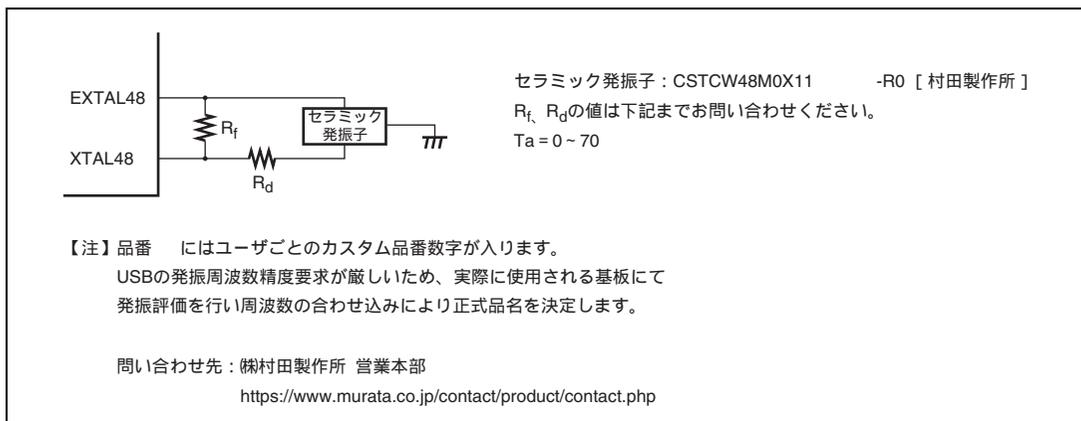


図 21.7 セラミック発振子の接続例

### 21.6.2 外部 48MHz クロックを入力する方法

外部 48MHz クロック入力接続例を図 21.8 に示します。XTAL48 端子はオープン状態にしてください。



図 21.8 外部 48MHz クロックの接続例

外部 48MHz クロック入力条件を表 21.6 に示します。

表 21.6 外部 48MHz クロック入力条件

項目	記号	min	max	単位	測定条件
周波数 (48MHz)	$f_{\text{FREQ}}$	47.88	48.12	MHz	図 21.9
クロック立ち上がり時間	$t_{\text{R48}}$	-	5	ns	
クロック立ち下がり時間	$t_{\text{F48}}$	-	5	ns	
デューティ ( $t_{\text{HIGH}}/t_{\text{FREQ}}$ )	$t_{\text{DUTY}}$	40	60	%	

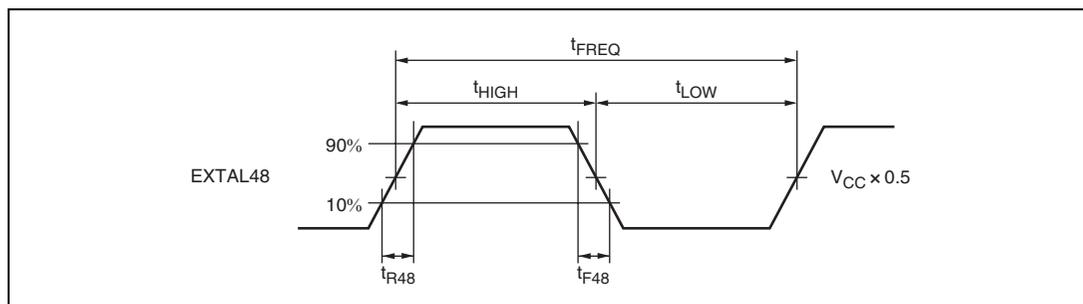


図 21.9 外部 48MHz クロック入力タイミング

### 21.6.3 外部 48MHz クロックを必要としない場合（内蔵 PLL を使用する場合）の端子処理

外部 48MHz クロックを必要としない場合には、図 21.10 に示すように EXTAL48 端子をグランド ( $V_{SS}$ ) に接続し、XTAL48 端子をオープンとしてください。

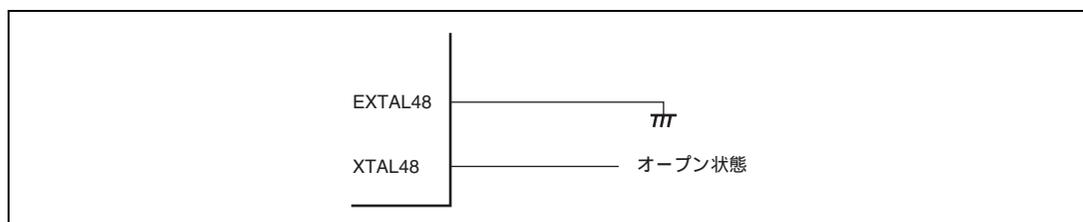


図 21.10 外部 48MHz クロックを必要としない場合の端子処理

## 21.7 USB 専用 PLL 回路

PLL 回路は、システムクロック発振器からの 16MHz または 24MHz\*クロックを 3 倍または 2 倍\*に逡倍して USB 動作用の 48MHz クロックを生成します。

PLL 回路を使用する場合は、UCTLR レジスタの UCKS3 ~ UCKS0 ビットを設定してください。詳細は、「第 15 章 ユニバーサルシリアルバス (USB)」を参照してください。

PLL 回路を使用しない場合は、PLLVCC 端子を Vcc、PLLVSS 端子をグラウンド (Vss) に接続し、PLLCAP 端子をオープンとしてください。PLL 周りの外部回路例を図 21.11 に示します。

【注】 \* H8S/2215R、H8S/2215T、H8S/2215C のみ。

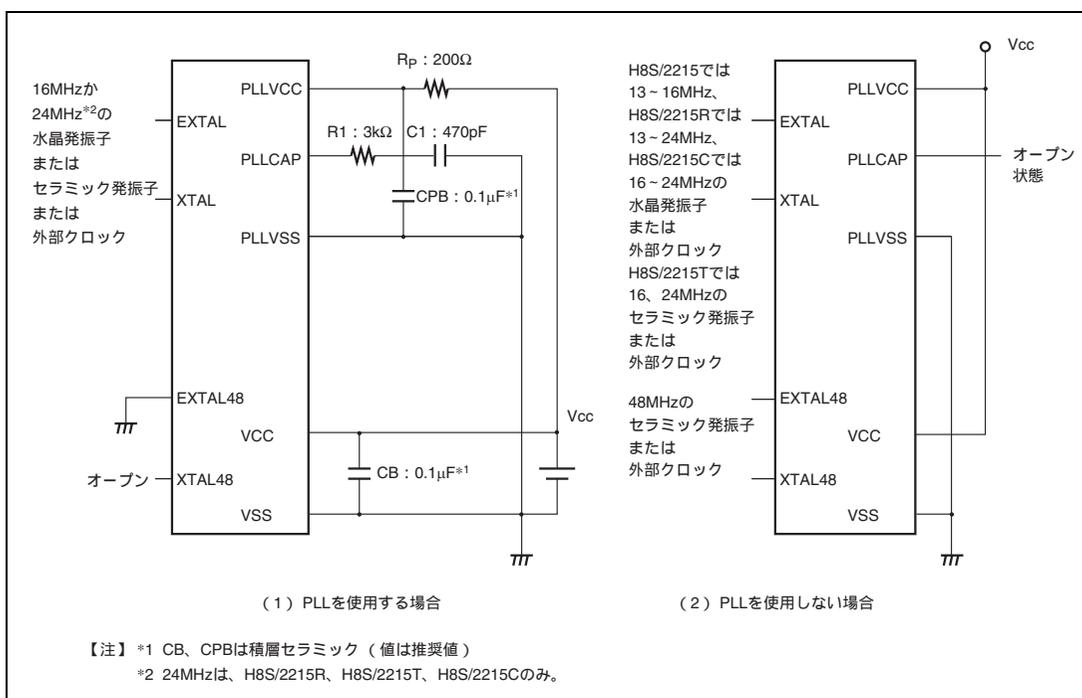


図 21.11 PLL 周りの外部回路例

発振安定用の容量 C1 および抵抗 R1 は、PLLCAP 端子の近くに置き、ほかの信号線と交差させないでください。C1 のグラウンドは PLLVSS から供給してください。

さらに、PLLVCC、PLLVSS と、その他の VCC、VSS とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

## 21.8 使用上の注意事項

### 21.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談のうえ決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 21.8.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 21.12 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。XTAL48、EXTAL48 端子についても同様に注意してください。

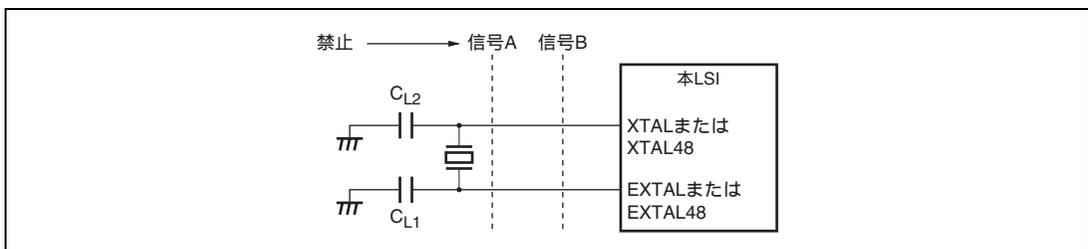


図 21.12 発振回路部のボード設計に関する注意事項

### 21.8.3 外部クロック切り替え時の注意事項

2種類以上の外部クロック（例：16MHzと13MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図 21.13 に、外部クロック切り替えタイミング例を図 21.14 に示します。

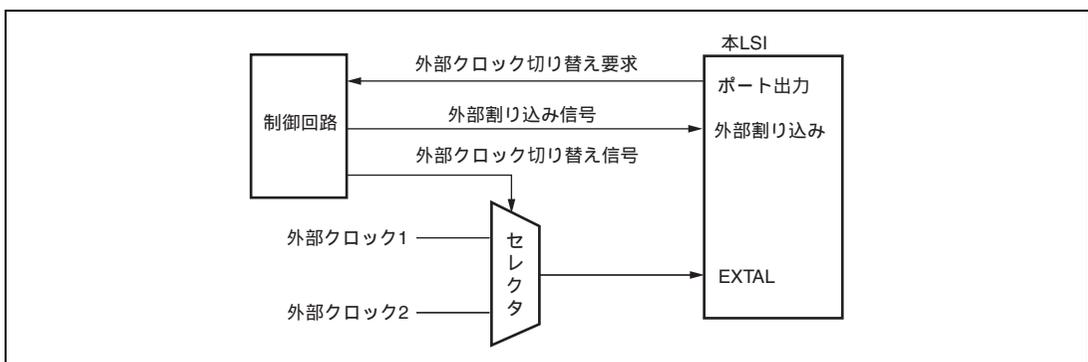


図 21.13 外部クロック切り替え回路例

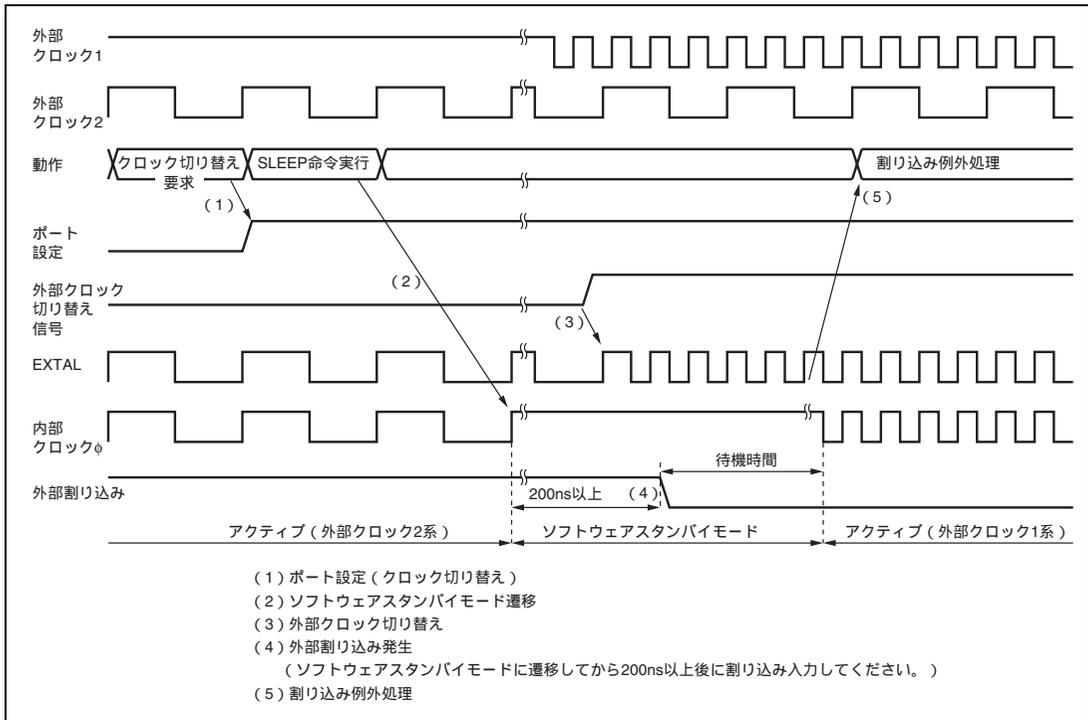


図 21.14 外部クロック切り替えタイミング例

---

## 22. 低消費電力状態

---

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し消費電力を低くする、低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- 中速モード
- スリープモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モード、DMAC、DTC を除くモジュールストップモードになっています。

表22.1に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

表 22.1 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	
システムクロック発振器		動作	動作	動作	動作	停止	停止	
CPU	命令	動作	中速動作	停止	動作	停止	停止	
	レジスタ			保持		保持	不定	
外部 割り込み	NMI	動作	動作	動作	動作	動作	停止	
	IRQ0 ~ 5、7							
周辺機能	DMAC	動作	中速動作	動作	停止	停止	停止	
	DTC				(保持)	(保持)	(リセット)	
	I/O	動作	動作	動作	動作	保持	ハイインピー ダンス	
	TPU	動作	動作	動作	停止	停止	停止	
	TMR				(保持)	(保持)	(リセット)	
	WDT	動作	動作	動作	動作	停止 (保持)	停止 (リセット)	
	D/A	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (リセット)	
	A/D	動作	動作	動作	停止	停止	停止	
	SCI				(リセット)	(リセット)	(リセット)	
	USB		動作	動作保証 しません	動作	停止 (保持)	停止 (保持)	停止 (リセット)
		USB 動作クロック 発振器				停止	停止	
PLL 回路								
RAM	動作	動作	動作	動作	動作	保持	保持	

【注】 停止 (保持) は、内部レジスタ値保持。内部状態は動作中断。

停止 (リセット) は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

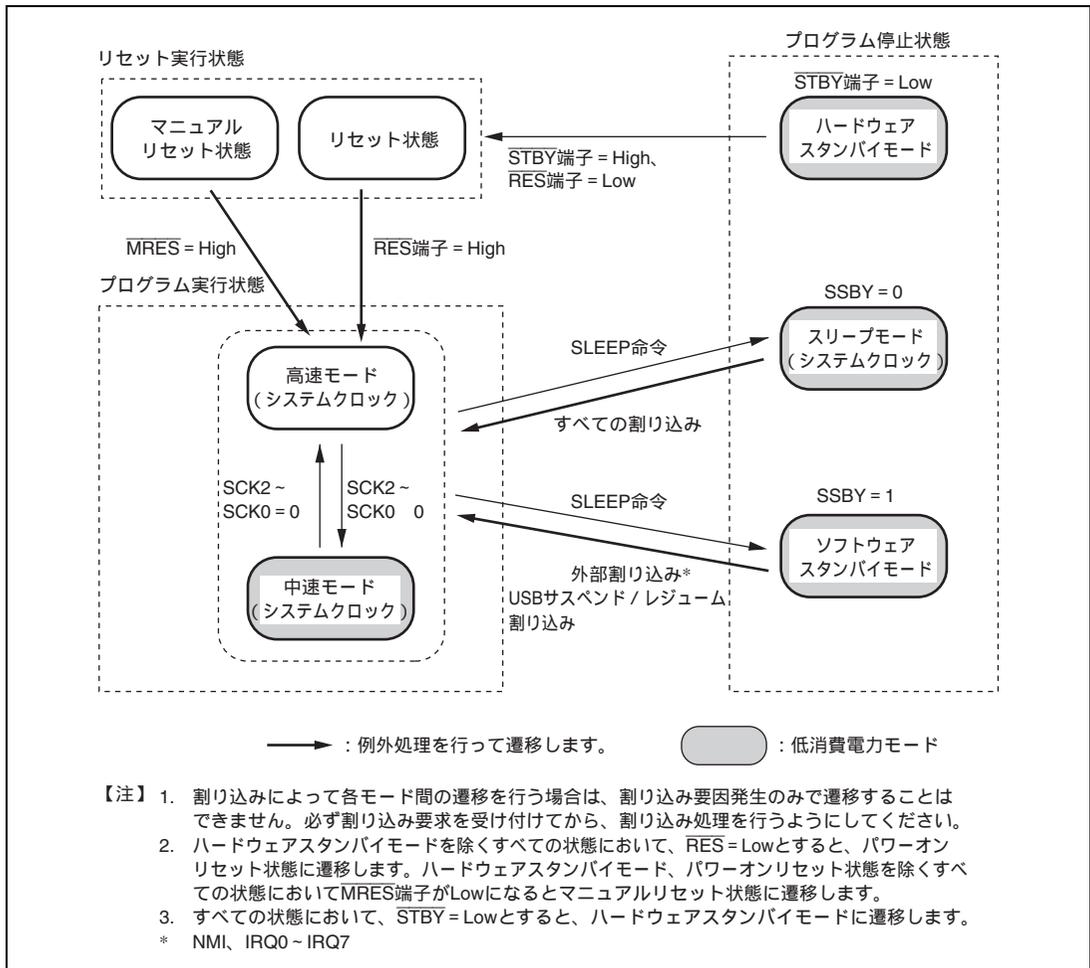


図 22.1 モード遷移図

表 22.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態	SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY		
高速 / 中速	0	スリープ	高速 / 中速
	1	ソフトウェアスタンバイ	高速 / 中速

## 22.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。

システムクロックコントロールレジスタ (SCKCR) については、「21.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- システムクロックコントロールレジスタ (SCKCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)

### 22.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは1にセットされたまま値が変わりません。クリアする場合は0をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト2~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表22.3と表24.4を参照し、動作周波数に応じて待機時間が $t_{osc2}$ ms(発振安定時間)以上となるように選択してください。外部クロックの場合、任意の選択が可能です。ただし、F-ZTAT版では、外部クロック時の待機時間16ステートは使用できません。100 $\mu$ s以上となるように選択してください。 000: 待機時間 = 8192 ステート 001: 待機時間 = 16384 ステート 010: 待機時間 = 32768 ステート 011: 待機時間 = 65536 ステート 100: 待機時間 = 131072 ステート 101: 待機時間 = 262144 ステート 110: 待機時間 = 2048 ステート 111: 待機時間 = 16 ステート
5	STS1	0	R/W	
4	STS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ( $\overline{CS0} \sim \overline{CS7}$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ ) の出力をハイインピーダンスにするか、保持するか選択します。 0: ハイインピーダンス 1: 出力状態を保持
2~0		すべて 0		リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

### 22.1.2 モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC)

MSTPCR は 8 ビットのリード/ライト可能な 3 本のレジスタで、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。MSTPCR は CPU のみでライトしてください。

#### • MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	0	R/W	DMA コントローラ (DMAC)
6	MSTPA6	0	R/W	データトランスファコントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイマパルスユニット (TPU)
4	MSTPA4	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTPA3*	1	R/W	
2	MSTPA2*	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0*	1	R/W	

#### • MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTPB4*	1	R/W	
3	MSTPB3*	1	R/W	
2	MSTPB2*	1	R/W	
1	MSTPB1*	1	R/W	
0	MSTPB0	1	R/W	USB

• MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7*	1	R/W	
6	MSTPC6*	1	R/W	
5	MSTPC5	1	R/W	D/A 変換器
4	MSTPC4*	1	R/W	
3	MSTPC3*	1	R/W	
2	MSTPC2*	1	R/W	
1	MSTPC1*	1	R/W	
0	MSTPC0*	1	R/W	

【注】 \* MSTPA3、MSTPA2、MSTPA0、MSTPB4～MSTPB1、MSTPC7、MSTPC6、MSTPC4～MSTPC0 はリード/ライト可、初期値は 1 です。ライト時は常に 1 としてください。

## 22.2 中速モード

SCKCR の SCK2～SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2～SCK0 ビットで指定した動作クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) で動作します。CPU 以外のバスマスタ (DMAC、DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック ( $\phi$ ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして  $\phi/4$  を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2～SCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマーのオーパフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 22.2 に示します。

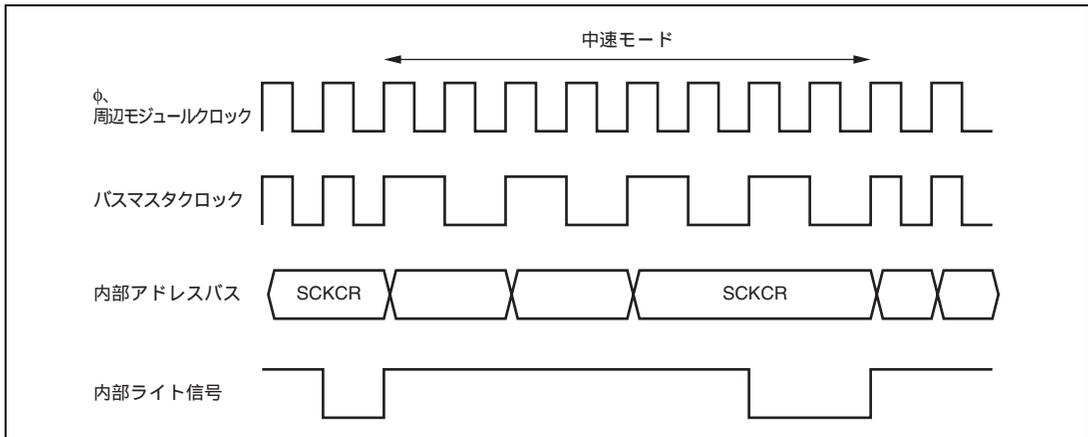


図 22.2 中速モードの遷移・解除タイミング

## 22.3 スリープモード

### 22.3.1 スリープモードへの遷移

SBYCR の SSBY ビット = 0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

### 22.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、または  $\overline{\text{STBY}}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.4 ソフトウェアスタンバイモード

### 22.4.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび内蔵周辺機能（A/D 変換器を除く）と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

### 22.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{\text{IRQ0}}$  ~  $\overline{\text{IRQ5}}$ 、 $\overline{\text{IRQ7}}$  端子）、USB サスペンド/レジューム割り込み（ $\overline{\text{IRQ6}}$  信号）、 $\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

- 割り込みによる解除

NMI、 $\overline{\text{IRQ0}}$  ~  $\overline{\text{IRQ7}}$  割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過したあと、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{\text{IRQ0}}$  ~  $\overline{\text{IRQ7}}$  割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ  $\overline{\text{IRQ0}}$  ~  $\overline{\text{IRQ7}}$  割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$  端子または  $\overline{\text{MRES}}$  端子による解除

$\overline{\text{RES}}$  端子または  $\overline{\text{MRES}}$  端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき  $\overline{\text{RES}}$  端子または  $\overline{\text{MRES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$  端子または  $\overline{\text{MRES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

- $\overline{\text{STBY}}$  端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 22.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が  $t_{\text{osc,ms}}$  (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。

表 22.3 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

- 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。ただし、F-ZTAT 版では待機時間 16 ステートは使用できません。2048 ステート以上を使用してください。

表 22.3 発振安定時間の設定

STS 2	STS 1	STS 0	待機時間	24 MHz*2	20 MHz*1	16 MHz	13 MHz	10 MHz	8 MHz	6 MHz	4 MHz	2 MHz	単位
0	0	0	8192 ステート	0.3	0.4	0.51	0.6	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	0.7	0.8	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.4	1.6	2.0	2.5	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	2.7	3.3	4.1	5.0	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	5.5	6.6	8.2	10.1	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	10.9	13.1	16.4	20.2	26.2	32.8	43.6	65.6	131.2	
	1	0	2048 ステート	0.09	0.1	0.13	0.16	0.2	0.3	0.3	0.5	1.0	
		1	16 ステート	0.7	0.8	1.0	1.2	1.6	2.0	1.7	4.0	8.0	

■ : 推奨設定時間 (条件は表 24.4 または表 25.4 の  $t_{osc2}$  を参照してください)

【注】 \*1 H8S/2215R、H8S/2215C のみ。

\*2 H8S/2215R、H8S/2215T、H8S/2215C のみ。

### 22.4.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 22.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

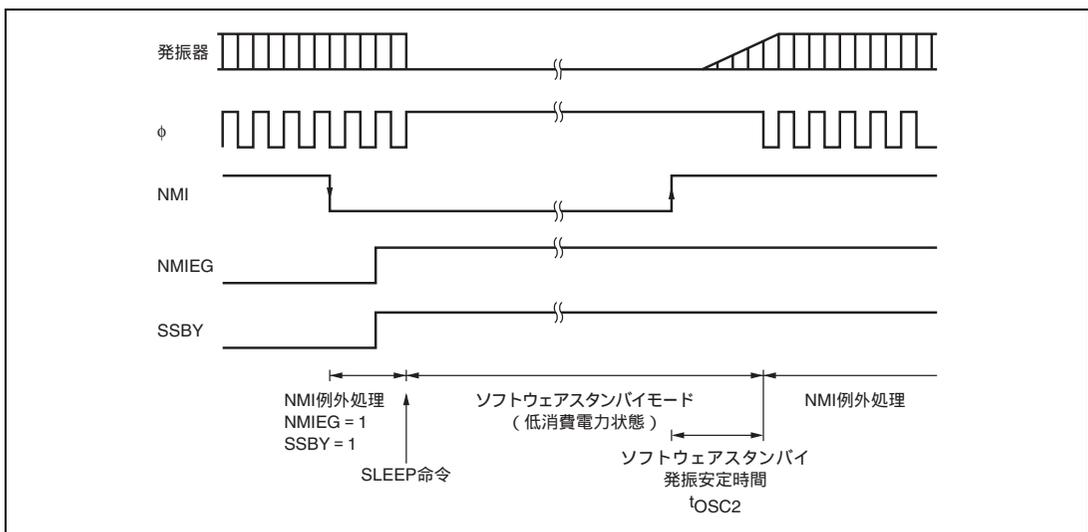


図 22.3 ソフトウェアスタンバイモードの応用例

## 22.5 ハードウェアスタンバイモード

### 22.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

### 22.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子および  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間  $t_{\text{osc1}}$  以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### 22.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 22.4 に示します。 $\overline{\text{RES}}$  端子を Low レベルにしたあと、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

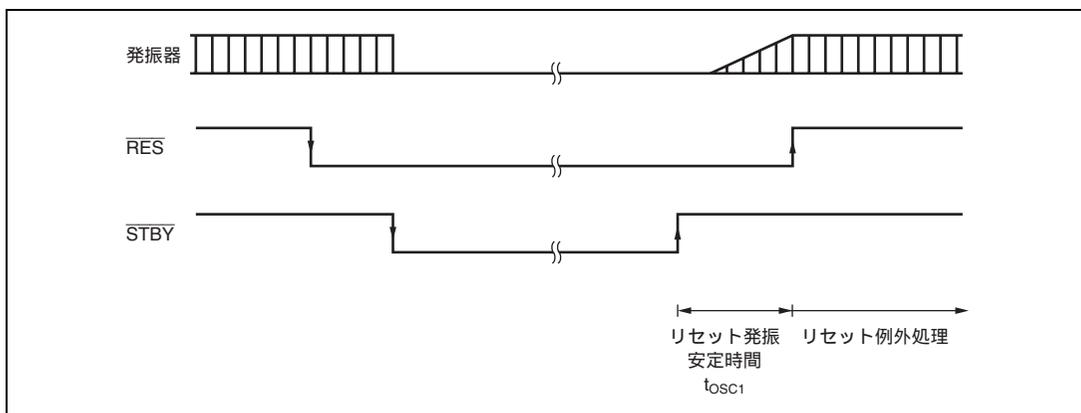


図 22.4 ハードウェアスタンバイモードのタイミング

### 22.5.4 ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

#### (1) ハードウェアスタンバイモードの遷移タイミング

(a) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 22.5 に示すように  $\overline{\text{STBY}}$  信号の立ち下がりに対し、10 システムクロック前に  $\overline{\text{RES}}$  信号を Low としてください。

また、 $\overline{\text{RES}}$  信号の立ち上がりは、 $\overline{\text{STBY}}$  信号の立ち下がりに対し、0ns 以上としてください。

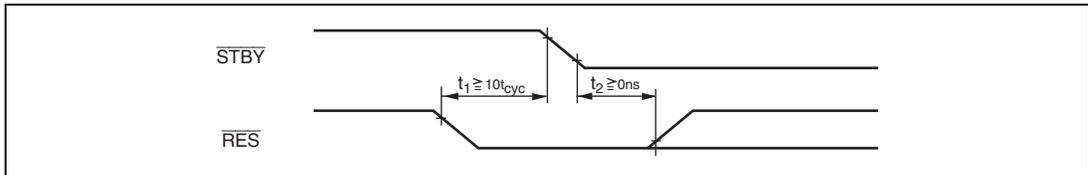


図 22.5 ハードウェアスタンバイモードの遷移タイミング

(b) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(a) のように  $\overline{\text{RES}}$  信号を Low にする必要はありません。

#### (2) ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$  信号の立ち上がりに対し、100ns 以上前に  $\overline{\text{RES}}$  信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

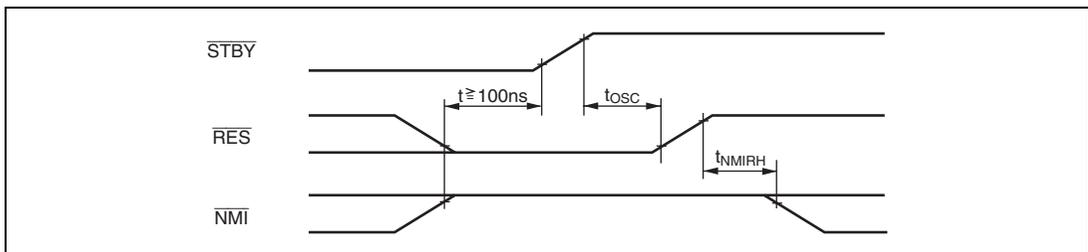


図 22.6 ハードウェアスタンバイモードからの復帰タイミング

## 22.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップの状態ですリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電力を低減できます。

## 22.7 $\phi$ クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、 $\phi$ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で $\phi$ クロックは停止し、 $\phi$ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 $\phi$ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 $\phi$ クロック出力は禁止され、入力ポートになります。表 22.4 に各処理状態における $\phi$ 端子の状態を示します。

表 22.4 各処理状態における $\phi$ 端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
DDR	PSTOP				
0	x	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
1	0	$\phi$ 出力	$\phi$ 出力	High 固定	ハイインピーダンス
1	1	High 固定	High 固定	High 固定	ハイインピーダンス

【記号説明】 x : Don't care

## 22.8 使用上の注意事項

### 22.8.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

### 22.8.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 22.8.3 DMAC、DTC のモジュールストップ

DMAC、DTC の動作状態によっては、MSTPA7、MSTPA6 ビットは 1 にセットされない場合があります。DMAC、DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 7 章 DMA コントローラ (DMAC)」、「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

### 22.8.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、モジュールストップモードとしてください。

### 22.8.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。



---

## 23. レジスタ一覧

---

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成、および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「—」で表記しています。
- ビット名称部がビット番号のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは24ビットのレジスタの場合、MSB側のビットから記載しています。

### 3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 23.1 レジスタアドレス一覧（アドレス順）

データバス幅は、レジスタアクセス時のビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	データバス幅	アクセスステート数	モジュール
USB エンドポイントインフォメーションレジスタ 00_0 ~ 22_4	UEPIR00_0 ~ UEPIR22_4	8	H'C00000 ~ H'C00072	8	3	USB
USB コントロールレジスタ	UCTLR	8	H'C00080	8	3	
USB テストレジスタ A	UTSTRA	8	H'C00081	8	3	
USB DMAC 転送要求レジスタ	UDMAR	8	H'C00082	8	3	
USB デバイスレジュームレジスタ	UDRR	8	H'C00083	8	3	
USB トリガレジスタ 0	UTRG0	8	H'C00084	8	3	
USB トリガレジスタ 1	UTRG1	8	H'C00085	8	3	
USB FIFO クリアレジスタ 0	UFCLR0	8	H'C00086	8	3	
USB FIFO クリアレジスタ 1	UFCLR1	8	H'C00087	8	3	
USB エンドポイントストールレジスタ 0	UESTL0	8	H'C00088	8	3	
USB エンドポイントストールレジスタ 1	UESTL1	8	H'C00089	8	3	
USB エンドポイントデータレジスタ 0s	UEDR0s	8	H'C00090 ~ H'C00093	8	3	
USB エンドポイントデータレジスタ 0i	UEDR0i	8	H'C00094 ~ H'C00097	8	3	
USB エンドポイントデータレジスタ 0o	UEDR0o	8	H'C00098 ~ H'C0009B	8	3	
USB エンドポイントデータレジスタ 1i	UEDR1i	8	H'C0009C ~ H'C0009F	8	3	
USB エンドポイントデータレジスタ 2i	UEDR2i	8	H'C000A0 ~ H'C000A3	8	3	
USB エンドポイントデータレジスタ 2o	UEDR2o	8	H'C000A4 ~ H'C000A7	8	3	
USB エンドポイントデータレジスタ 3i	UEDR3i	8	H'C000A8 ~ H'C000AB	8	3	
USB エンドポイントデータレジスタ 3o	UEDR3o	8	H'C000AC ~ H'C000AF	8	3	
USB エンドポイントデータレジスタ 4i	UEDR4i	8	H'C000B0 ~ H'C000B3	8	3	
USB エンドポイントデータレジスタ 4o	UEDR4o	8	H'C000B4 ~ H'C000B7	8	3	
USB エンドポイントデータレジスタ 5i	UEDR5i	8	H'C000B8 ~ H'C000BB	8	3	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
USB エンドポイント受信データサイズ レジスタ 0o	UESZ0o	8	H'C000BC	8	3	USB
USB エンドポイント受信データサイズ レジスタ 2o	UESZ2o	8	H'C000BD	8	3	
USB エンドポイント受信データサイズ レジスタ 3o	UESZ3o	8	H'C000BE	8	3	
USB エンドポイント受信データサイズ レジスタ 4o	UESZ4o	8	H'C000BF	8	3	
USB 割り込みフラグレジスタ 0	UIFR0	8	H'C000C0	8	3	
USB 割り込みフラグレジスタ 1	UIFR1	8	H'C000C1	8	3	
USB 割り込みフラグレジスタ 2	UIFR2	8	H'C000C2	8	3	
USB 割り込みフラグレジスタ 3	UIFR3	8	H'C000C3	8	3	
USB 割り込みイネーブルレジスタ 0	UIER0	8	H'C000C4	8	3	
USB 割り込みイネーブルレジスタ 1	UIER1	8	H'C000C5	8	3	
USB 割り込みイネーブルレジスタ 2	UIER2	8	H'C000C6	8	3	
USB 割り込みイネーブルレジスタ 3	UIER3	8	H'C000C7	8	3	
USB 割り込み選択レジスタ 0	UISR0	8	H'C000C8	8	3	
USB 割り込み選択レジスタ 1	UISR1	8	H'C000C9	8	3	
USB 割り込み選択レジスタ 2	UISR2	8	H'C000CA	8	3	
USB 割り込み選択レジスタ 3	UISR3	8	H'C000CB	8	3	
USB データステータスレジスタ	UDSR	8	H'C000CC	8	3	
USB コンフィグレーションバリュ レジスタ	UCVR	8	H'C000CF	8	3	
USB タイムスタンプレジスタ H	UTSRH	8	H'C000D0	8	3	
USB タイムスタンプレジスタ L	UTSRL	8	H'C000D1	8	3	
USB テストレジスタ 0	UTSTR0	8	H'C000F0	8	3	
USB テストレジスタ 1	UTSTR1	8	H'C000F1	8	3	
USB テストレジスタ 2	UTSTR2	8	H'C000F2	8	3	
USB テストレジスタ B	UTSTRB	8	H'C000FB	8	3	
USB テストレジスタ C	UTSTRC	8	H'C000FC	8	3	
USB テストレジスタ D	UTSTRD	8	H'C000FD	8	3	
USB テストレジスタ E	UTSTRE	8	H'C000FE	8	3	
USB テストレジスタ F	UTSTRF	8	H'C000FF	8	3	
USB リザーブエリア			H'C00100 ~ H'DFFFFFF			

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
DTC モードレジスタ A	MRA	8	H'EBC0 ~	16/32	1	DTC
DTC ソースアドレスレジスタ	SAR	24	H'EFBF	16/32	1	
DTC モードレジスタ B	MRB	8		16/32	1	
DTC デスティネーションアドレスレジスタ	DAR	24		16/32	1	
DTC 転送カウントレジスタ A	CRA	16		16/32	1	
DTC 転送カウントレジスタ B	CRB	16		16/32	1	
D/A データレジスタ_0	DADR_0	8	H'FDAC	8	2	D/A
D/A データレジスタ_1	DADR_1	8	H'FDAD	8	2	
D/A コントロールレジスタ	DACR	8	H'FDAE	8	2	
シリアルコントロールレジスタ X	SCRX	8	H'FDB4	8	2	FLASH
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	8	2	SYSTEM
システムコントロールレジスタ	SYSCR	8	H'FDE5	8	2	
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	8	2	
モードコントロールレジスタ	MDCR	8	H'FDE7	8	2	
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	8	2	
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	8	2	
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	8	2	
端子機能コントロールレジスタ	PF CR	8	H'FDEB	8	2	BSC
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	8	2	SYSTEM
シリアル拡張モードレジスタ_0 (H8S/2215 のとき)	SEMR_0	8	H'FDF8	8	2	SCI_0
シリアル拡張モードレジスタ A_0 (H8S/2215R、H8S/2215T、H8S/2215C の とき)	SEMRA_0	8	H'FDF8	8	2	
シリアル拡張モードレジスタ B_0 (H8S/2215R、H8S/2215T、H8S/2215C の とき)	SEMRB_0	8	H'FDF9	8	2	
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	8	2	INT
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	8	2	
IRQ イネーブルレジスタ	IER	8	H'FE14	8	2	
IRQ ステータスレジスタ	ISR	8	H'FE15	8	2	
DTC イネーブルレジスタ A	DTCERA	8	H'FE16	8	2	DTC
DTC イネーブルレジスタ B	DTCERB	8	H'FE17	8	2	
DTC イネーブルレジスタ C	DTCERC	8	H'FE18	8	2	
DTC イネーブルレジスタ D	DTCERD	8	H'FE19	8	2	
DTC イネーブルレジスタ E	DTCERE	8	H'FE1A	8	2	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
DTC イネーブルレジスタ F	DTCERF	8	H'FE1B	8	2	DTC
DTC ベクタレジスタ	DTVECR	8	H'FE1F	8	2	
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	8	2	PORT
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	8	2	
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE36	8	2	
ポート A データディレクションレジスタ	PADDR	8	H'FE39	8	2	
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	8	2	
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	8	2	
ポート D データディレクションレジスタ	PDDDR	8	H'FE3C	8	2	
ポート E データディレクションレジスタ	PEDDR	8	H'FE3D	8	2	
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	8	2	
ポート G データディレクションレジスタ	PGDDR	8	H'FE3F	8	2	
ポート A ブルアップ MOS コントロール レジスタ	PAPCR	8	H'FE40	8	2	
ポート B ブルアップ MOS コントロール レジスタ	PBPCR	8	H'FE41	8	2	
ポート C ブルアップ MOS コントロール レジスタ	PCPCR	8	H'FE42	8	2	
ポート D ブルアップ MOS コントロール レジスタ	PDPCR	8	H'FE43	8	2	
ポート E ブルアップ MOS コントロール レジスタ	PEPCR	8	H'FE44	8	2	
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE46	8	2	
ポート A オープンドレインコントロール レジスタ	PAODR	8	H'FE47	8	2	
タイマスタートレジスタ	TSTR	8	H'FEB0	16	2	TPU
タイマシンクロレジスタ	TSYR	8	H'FEB1	16	2	
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	8	2	INT
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	8	2	
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	8	2	
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	8	2	
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	8	2	
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	8	2	
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	8	2	
インタラプトプライオリティレジスタ I	IPRI	8	H'FEC8	8	2	
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	8	2	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	8	2	INT
インタラプトプライオリティレジスタ M	IPRM	8	H'FECC	8	2	
バス幅コントロールレジスタ	ABWCR	8	H'FED0	8	2	BSC
アクセスステートコントロールレジスタ	ASTCR	8	H'FED1	8	2	
ウェイトコントロールレジスタ H	WCRH	8	H'FED2	8	2	
ウェイトコントロールレジスタ L	WCRL	8	H'FED3	8	2	
バスコントロールレジスタ H	BCRH	8	H'FED4	8	2	
バスコントロールレジスタ L	BCRL	8	H'FED5	8	2	
RAM エミュレーションレジスタ	RAMER	8	H'FEDB	8	2	FLASH
メモリアドレスレジスタ 0A H	MAR0AH	16	H'FEE0	16	2	DMAC
メモリアドレスレジスタ 0A L	MAR0AL	16	H'FEE2	16	2	
I/O アドレスレジスタ 0A	IOAR0A	16	H'FEE4	16	2	
転送カウントレジスタ 0A	ETCR0A	16	H'FEE6	16	2	
メモリアドレスレジスタ 0B H	MAR0BH	16	H'FEE8	16	2	
メモリアドレスレジスタ 0B L	MAR0BL	16	H'FEEA	16	2	
I/O アドレスレジスタ 0B	IOAR0B	16	H'FEEC	16	2	
転送カウントレジスタ 0B	ETCR0B	16	H'FEEE	16	2	
メモリアドレスレジスタ 1A H	MAR1AH	16	H'FEF0	16	2	
メモリアドレスレジスタ 1A L	MAR1AL	16	H'FEF2	16	2	
I/O アドレスレジスタ 1A	IOAR1A	16	H'FEF4	16	2	
転送カウントレジスタ 1A	ETCR1A	16	H'FEF6	16	2	
メモリアドレスレジスタ 1B H	MAR1BH	16	H'FEF8	16	2	
メモリアドレスレジスタ 1B L	MAR1BL	16	H'FEFA	16	2	
I/O アドレスレジスタ 1B	IOAR1B	16	H'FEFC	16	2	
転送カウントレジスタ 1B	ETCR1B	16	H'FEFE	16	2	
ポート 1 データレジスタ	P1DR	8	H'FF00	8	2	PORT
ポート 3 データレジスタ	P3DR	8	H'FF02	8	2	
ポート 7 データレジスタ	P7DR	8	H'FF06	8	2	
ポート A データレジスタ	PADR	8	H'FF09	8	2	
ポート B データレジスタ	PBDR	8	H'FF0A	8	2	
ポート C データレジスタ	PCDR	8	H'FF0B	8	2	
ポート D データレジスタ	PDDR	8	H'FF0C	8	2	
ポート E データレジスタ	PEDR	8	H'FF0D	8	2	
ポート F データレジスタ	PFDR	8	H'FF0E	8	2	
ポート G データレジスタ	PGDR	8	H'FF0F	8	2	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール	
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	16	2	TPU_0	
タイマモードレジスタ_0	TMDR_0	8	H'FF11	16	2		
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FF12	16	2		
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FF13	16	2		
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	16	2		
タイマステータスレジスタ_0	TSR_0	8	H'FF15	16	2		
タイマカウンタ_0	TCNT_0	16	H'FF16	16	2		
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FF18	16	2		
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FF1A	16	2		
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FF1C	16	2		
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FF1E	16	2		
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	16	2		TPU_1
タイマモードレジスタ_1	TMDR_1	8	H'FF21	16	2		
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	16	2		
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	16	2		
タイマステータスレジスタ_1	TSR_1	8	H'FF25	16	2		
タイマカウンタ_1	TCNT_1	16	H'FF26	16	2		
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FF28	16	2		
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FF2A	16	2		
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	16	2	TPU_2	
タイマモードレジスタ_2	TMDR_2	8	H'FF31	16	2		
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FF32	16	2		
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	16	2		
タイマステータスレジスタ_2	TSR_2	8	H'FF35	16	2		
タイマカウンタ_2	TCNT_2	16	H'FF36	16	2		
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FF38	16	2		
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FF3A	16	2		
DMA ライトイネーブルレジスタ	DMAWER	8	H'FF60	8	2	DMAC	
DMA コントロールレジスタ 0A	DMACR0A	8	H'FF62	16	2		
DMA コントロールレジスタ 0B	DMACR0B	8	H'FF63	16	2		
DMA コントロールレジスタ 1A	DMACR1A	8	H'FF64	16	2		
DMA コントロールレジスタ 1B	DMACR1B	8	H'FF65	16	2		
DMA バンドコントロールレジスタ	DMABCR	16	H'FF66	16	2		
タイマコントロールレジスタ 0	TCR_0	8	H'FF68	8	2		TMR_0
タイマコントロールレジスタ 1	TCR_1	8	H'FF69	8	2	TMR_1	
タイマコントロール / ステータスレジスタ 0	TCSR_0	8	H'FF6A	8	2	TMR_0	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
タイマコントロール/ステータスレジスタ 1	TCSR_1	8	H'FF6B	8	2	TMR_1
タイムコンスタントレジスタ A0	TCORA_0	8	H'FF6C	8	2	TMR_0
タイムコンスタントレジスタ A1	TCORA_1	8	H'FF6D	8	2	TMR_1
タイムコンスタントレジスタ B0	TCORB_0	8	H'FF6E	8	2	TMR_0
タイムコンスタントレジスタ B1	TCORB_1	8	H'FF6F	8	2	TMR_1
タイマカウンタ 0	TCNT_0	8	H'FF70	8	2	TMR_0
タイマカウンタ 1	TCNT_1	8	H'FF71	8	2	TMR_1
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF74	16	2	WDT
タイマカウンタ	TCNT	8	H'FF74	16	2	
			(ライト時)			
タイマカウンタ	TCNT	8	H'FF75	16	2	
			(リード時)			
リセットコントロール/ステータス レジスタ	RSTCSR	8	H'FF76	16	2	
			(ライト時)			
リセットコントロール/ステータス レジスタ	RSTCSR	8	H'FF77	16	2	
			(リード時)			
シリアルモードレジスタ_0	SMR_0	8	H'FF78	8	2	SCI_0
ビットレートレジスタ_0	BRR_0	8	H'FF79	8	2	
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	8	2	
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	8	2	
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	8	2	
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	8	2	
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	8	2	
シリアルモードレジスタ_1	SMR_1	8	H'FF80	8	2	SCI_1
ビットレートレジスタ_1	BRR_1	8	H'FF81	8	2	
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	8	2	
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	8	2	
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	8	2	
レシーブデータレジスタ_1	RDR_1	8	H'FF85	8	2	
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	8	2	
シリアルモードレジスタ_2	SMR_2	8	H'FF88	8	2	SCI_2
ビットレートレジスタ_2	BRR_2	8	H'FF89	8	2	
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	8	2	
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	8	2	
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	8	2	
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	8	2	
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	8	2	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
A/D データレジスタ AH	ADDRAH	8	H'FF90	8	2	A/D
A/D データレジスタ AL	ADDRAL	8	H'FF91	8	2	
A/D データレジスタ BH	ADDRBH	8	H'FF92	8	2	
A/D データレジスタ BL	ADDRBL	8	H'FF93	8	2	
A/D データレジスタ CH	ADDRCH	8	H'FF94	8	2	
A/D データレジスタ CL	ADDRCL	8	H'FF95	8	2	
A/D データレジスタ DH	ADDRDH	8	H'FF96	8	2	
A/D データレジスタ DL	ADDRDL	8	H'FF97	8	2	
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FF98	8	2	
A/D コントロールレジスタ	ADCR	8	H'FF99	8	2	
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFA8	8	2	FLASH
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFA9	8	2	
消去ブロック指定レジスタ 1	EBR1	8	H'FFAA	8	2	
消去ブロック指定レジスタ 2	EBR2	8	H'FFAB	8	2	
ポート 1 レジスタ	PORT1	8	H'FFB0	8	2	PORT
ポート 3 レジスタ	PORT3	8	H'FFB2	8	2	
ポート 4 レジスタ	PORT4	8	H'FFB3	8	2	
ポート 7 レジスタ	PORT7	8	H'FFB6	8	2	
ポート 9 レジスタ	PORT9	8	H'FFB8	8	2	
ポート A レジスタ	PORTA	8	H'FFB9	8	2	
ポート B レジスタ	PORTB	8	H'FFBA	8	2	
ポート C レジスタ	PORTC	8	H'FFBB	8	2	
ポート D レジスタ	PORTD	8	H'FFBC	8	2	
ポート E レジスタ	PORTE	8	H'FFBD	8	2	
ポート F レジスタ	PORTF	8	H'FFBE	8	2	
ポート G レジスタ	PORTG	8	H'FFBF	8	2	

## 23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
UEPIRnn_0* <sup>1</sup>	D39	D38	D37	D36	D35	D34	D33	D32	USB
UEPIRnn_1* <sup>1</sup>	D31	D30	D29	D28	D27	D26	D25	D24	
UEPIRnn_2* <sup>1</sup>	D23	D22	D21	D20	D19	D18	D17	D16	
UEPIRnn_3* <sup>1</sup>	D15	D14	D13	D12	D11	D10	D9	D8	
UEPIRnn_4* <sup>1</sup>	D7	D6	D5	D4	D3	D2	D1	D0	
UCTLR	FADSEL	SFME	UCKS3	UCKS2	UCKS1	UCKS0	UIFRST	UDCRST	
UTSTRA									
UDMAR	EP4oT1	EP4oT0	EP4iT1	EP4iT0	EP2oT1	EP2oT0	EP2iT1	EP2iT0	
UDRR							RWUPs	DVR	
UTRG0			EP2oRDFN	EP2iPKTE	EP1iPKTE	EP0oRDFN	EP0iPKTE	EP0sRDFN	
UTRG1						EP5iPKTE	EP4oRDFN	EP4iPKTE	
UFCLR0	EP3oCLR	EP3iCLR	EP2oCLR	EP2iCLR	EP1iCLR	EP0oCLR	EP0iCLR		
UFCLR1						EP5iCLR	EP4oCLR	EP4iCLR	
UESTL0	EP3oSTL	EP3iSTL	EP2oSTL	EP2iSTL	EP1iSTL			EPOSTL	
UESTL1	SCME					EP5iSTL	EP4oSTL	EP4iSTL	
UEDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR0i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR1i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR2i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR2o	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR3i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR3o	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR4i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR4o	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR5i	D7	D6	D5	D4	D3	D2	D1	D0	
UESZ0o		D6	D5	D4	D3	D2	D1	D0	
UESZ2o		D6	D5	D4	D3	D2	D1	D0	
UESZ3o	D7	D6	D5	D4	D3	D2	D1	D0	
UESZ4o		D6	D5	D4	D3	D2	D1	D0	
UIFR0	BRST		EP1iTR	EP1iTS	EP0oTS	EP0iTR	EP0iTS	SetupTS	
UIFR1	EP3oTF	EP3oTS	EP3iTF	EP3iTR		EP2oREADY	EP2iTR	EP2iEMPTY	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
UIFR2			EP5iTR	EP5iTS		EP4oREADY	EP4iTR	EP4iEMPTY	USB
UIFR3	CK48 READY	SOF	SETC	SETI	SPRSs	SPRSi	VBUSs	VBUSi	
UIER0	BRSTE		EP1iTRE	EP1iTSE	EP0oTSE	EP0iTRE	EP0iTSE	SetupTSE	
UIER1			EP3iTFE	EP3iTRE		EP2o READYE	EP2iTRE	EP2i EMPTYE	
UIER2			EP5iTRE	EP5iTSE		EP4o READYE	EP4iTRE	EP4i EMPTYE	
UIER3	CK48 READYE	SOFE	SETCE	SETIE		SPRSiE		VBUSiE	
UISR0	BRSTS		EP1iTRS	EP1iTSS	EP0oTSS	EP0iTRS	EP0iTSS	SetupTSS	
UISR1			EP3iTFS	EP3iTRS		EP2o READYs	EP2iTRS	EP2i EMPTYs	
UISR2			EP5iTRS	EP5iTSS		EP4o READYs	EP4iTRS	EP4i EMPTYs	
UISR3	CK48 READYs	SOFS	SETCS	SETIS				VBUSiS	
UDSR			EP5iDE	EP4iDE		EP2iDE	EP1iDE	EP0iDE	
UCVR			CNFV0	INTV1	INTV0	ALTV2	ALTV1	ALTV0	
UTSRH						D10	D9	D8	
UTSRL	D7	D6	D5	D4	D3	D2	D1	D0	
UTSTR0	PTSTE				SUSPEND	OE	FSE0	VPO	
UTSTR1	VBUS	UBPM				RCV	VP	VM	
UTSTR2									
UTSTRB									
UTSTRC									
UTSTRD									
UTSTRE									
UTSTRF									
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC
SAR									
MRB	CHNE	DISEL							
DAR									

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
CRA									DTC
CRB									
DADR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	D/A
DADR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
DACR	DAOE1	DAOE0	DAE						
SCRX					FLSHE				FLASH
SBYCR	SSBY	STS2	STS1	STS0	OPE				SYSTEM
SYSCR			INTM1	INTM0	NMIEG	MRESE		RAME	
SCKCR	PSTOP					SCK2	SCK1	SCK0	
MDCR						MDS2	MDS1	MDS0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
PFCR					AE3	AE2	AE1	AE0	BSC
LPWRCR					RFCUT		STC1	STC0	SYSTEM
SEMR_0	SSE				ABCS	ACS2	ACS1	ACS0	SCI_0
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
DTCEA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2		DTCEA0	DTC
DTCEB		DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCEC	DTCEC7	DTCEC6							
DTCED					DTCED3	DTCED2	DTCED1	DTCED0	
DTCEE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCEF	DTCEF7	DTCEF6							
DTVEC	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P3DDR		P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P7DDR				P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
PADDR					PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PGDDR				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PAPCR					PA3PCR	PA2PCR	PA1PCR	PA0PCR	PORT
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR		P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR					PA3ODR	PA2ODR	PA1ODR	PA0ODR	
TSTR						CST2	CST1	CST0	TPU
TSYR						SYNC2	SYNC1	SYNC0	
IPRA		IPRA6	IPRA5	IPRA4		IPRA2	IPRA1	IPRA0	INT
IPRB		IPRB6	IPRB5	IPRB4		IPRB2	IPRB1	IPRB0	
IPRC		IPRC6	IPRC5	IPRC4		IPRC2	IPRC1	IPRC0	
IPRD		IPRD6	IPRD5	IPRD4					
IPRE						IPRE2	IPRE1	IPRE0	
IPRF		IPRF6	IPRF5	IPRF4		IPRF2	IPRF1	IPRF0	
IPRG		IPRG6	IPRG5	IPRG4					
IPRI		IPRI6	IPRI5	IPRI4		IPRI2	IPRI1	IPRI0	
IPRJ		IPRJ6	IPRJ5	IPRJ4		IPRJ2	IPRJ1	IPRJ0	
IPRK		IPRK6	IPRK5	IPRK4		IPRK2	IPRK1	IPRK0	
IPRM		IPRM6	IPRM5	IPRM4					
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WCRH	W71	W70	W61	W60	W51	W50	W41	W40	
WCRL	W31	W30	W21	W20	W11	W10	W01	W00	
BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0				
BCRL	BRLE							WAITE	
RAMER					RAMS	RAM2	RAM1	RAM0	FLASH
MAR0A									DMAC
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR0A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR0A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MAR0B									DMAC
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR0B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR0B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MAR1A									
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR1A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR1A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MAR1B									
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR1B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR1B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT
P3DR		P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P7DR				P74DR	P73DR	P72DR	P71DR	P70DR	
PADR					PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR				PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0			BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIOR_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	TPU_0
TIER_0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0				TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRA_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRB_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRC_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRD_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TCR_1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1				MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_1	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_1	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRA_1	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRB_1	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TCR_2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2				MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_2	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_2	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRA_2	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRB_2	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
DMAWER					WE1B	WE1A	WE0B	WE0A	DMAC
DMACR0A*2	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DMACR0A* <sup>3</sup>	DTSZ	SAID	SAIDE	BLKDIR	BLKE				DMAC
DMACR0B* <sup>2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR0B* <sup>3</sup>		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0	
DMACR1A* <sup>2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR1A* <sup>3</sup>	DTSZ	SAID	SAIDE	BLKDIR	BLKE				
DMACR1B* <sup>2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR1B* <sup>3</sup>		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0	
DMABCR* <sup>2</sup>	FAE1	FAE0			DTA1B	DTA1A	DTA0B	DTA0A	
	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DMABCR* <sup>3</sup>	FAE1	FAE0			DTA1		DTA0		
	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_1
TCORA_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0
TCORA_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCORB_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0
TCORB_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCNT_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0
TCNT_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCSR	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
TCNT	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
RSTCSR	WOVF	RSTE	RSTS						
SMR_0	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCL_0
BRR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_0					DIR	INV			
SMR_1	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCL_1
BRR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SCMR_1					DIR	INV			SCL_1
SMR_2	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCL_2
BRR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_2					DIR	INV			
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
ADDRAL	AD1	AD0							
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0							
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0							
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0							
ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0			CKS1	CKS0			
FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH
FLMCR2	FLER								
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2					EB11	EB10	EB9	EB8	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT3		P36	P35	P34	P33	P32	P31	P30	
PORT4					P43	P42	P41	P40	
PORT7				P74	P73	P72	P71	P70	
PORT9	P97	P96							
PORTA					PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG				PG4	PG3	PG2	PG1	PG0	

【注】 \*1 nn = 00 ~ 22

\*2 ショートアドレスモード

\*3 フルアドレスモード

## 23.3 各動作モードにおけるレジスタの状態

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
UEPIR00_0~	-	-	-	-	-	-	-	-	USB
UEPIR22_4									
UCTLR	初期化*	-	-	-	-	-	-	初期化	
UTSTRA	初期化*	-	-	-	-	-	-	初期化	
UDMAR	初期化*	-	-	-	-	-	-	初期化	
UDRR	初期化*	-	-	-	-	-	-	初期化	
UTRG0	初期化*	-	-	-	-	-	-	初期化	
UTRG1	初期化*	-	-	-	-	-	-	初期化	
UFCLR0	初期化*	-	-	-	-	-	-	初期化	
UFCLR1	初期化*	-	-	-	-	-	-	初期化	
UESTL0	初期化*	-	-	-	-	-	-	初期化	
UESTL1	初期化*	-	-	-	-	-	-	初期化	
UEDR0s	-	-	-	-	-	-	-	-	
UEDR0i	初期化*	-	-	-	-	-	-	初期化	
UEDR0o	-	-	-	-	-	-	-	-	
UEDR1i	初期化*	-	-	-	-	-	-	初期化	
UEDR2i	初期化*	-	-	-	-	-	-	初期化	
UEDR2o	-	-	-	-	-	-	-	-	
UEDR3i	初期化*	-	-	-	-	-	-	初期化	
UEDR3o	-	-	-	-	-	-	-	-	
UEDR4i	初期化*	-	-	-	-	-	-	初期化	
UEDR4o	-	-	-	-	-	-	-	初期化	
UEDR5i	初期化*	-	-	-	-	-	-	初期化	
UESZ0o	-	-	-	-	-	-	-	-	
UESZ2o	-	-	-	-	-	-	-	-	
UESZ3o	-	-	-	-	-	-	-	-	
UESZ4o	-	-	-	-	-	-	-	-	
UIFR0	初期化*	-	-	-	-	-	-	初期化	
UIFR1	初期化*	-	-	-	-	-	-	初期化	
UIFR2	初期化*	-	-	-	-	-	-	初期化	
UIFR3	初期化*	-	-	-	-	-	-	初期化	
UIER0	初期化*	-	-	-	-	-	-	初期化	

【注】 \* USB のレジスタは、WDT によるパワーオンリセットでは初期化されません。

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
UIER1	初期化*	-	-	-	-	-	-	初期化	USB
UIER2	初期化*	-	-	-	-	-	-	初期化	
UIER3	初期化*	-	-	-	-	-	-	初期化	
UISR0	初期化*	-	-	-	-	-	-	初期化	
UISR1	初期化*	-	-	-	-	-	-	初期化	
UISR2	初期化*	-	-	-	-	-	-	初期化	
UISR3	初期化*	-	-	-	-	-	-	初期化	
UDSR	初期化*	-	-	-	-	-	-	初期化	
UCVR	初期化*	-	-	-	-	-	-	初期化	
UTSRH	初期化*	-	-	-	-	-	-	初期化	
UTSRL	初期化*	-	-	-	-	-	-	初期化	
UTSTR0	初期化*	-	-	-	-	-	-	初期化	
UTSTR1	初期化*	-	-	-	-	-	-	初期化	
UTSTR2	初期化*	-	-	-	-	-	-	初期化	
UTSTRB	初期化*	-	-	-	-	-	-	初期化	
UTSTRC	初期化*	-	-	-	-	-	-	初期化	
UTSTRD	初期化*	-	-	-	-	-	-	初期化	
UTSTRE	初期化*	-	-	-	-	-	-	初期化	
UTSTRF	初期化*	-	-	-	-	-	-	初期化	
MRA	-	-	-	-	-	-	-	-	
SAR	-	-	-	-	-	-	-	-	
MRB	-	-	-	-	-	-	-	-	
DAR	-	-	-	-	-	-	-	-	
CRA	-	-	-	-	-	-	-	-	
CRB	-	-	-	-	-	-	-	-	
DADR_0	初期化	初期化	-	-	-	-	-	初期化	D/A
DADR_1	初期化	初期化	-	-	-	-	-	初期化	
DACR	初期化	初期化	-	-	-	-	-	初期化	
SCRX	初期化	初期化	-	-	-	-	-	初期化	FLASH
SBYCR	初期化	初期化	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	初期化	-	-	-	-	-	初期化	
SCKCR	初期化	初期化	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	初期化	-	-	-	-	-	初期化	
MSTPCRB	初期化	初期化	-	-	-	-	-	初期化	

【注】 \* USB のレジスタは、WDT によるパワーオンリセットでは初期化されません。

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
MSTPCRC	初期化	初期化	-	-	-	-	-	初期化	SYSTEM
PFCR	初期化	-	-	-	-	-	-	初期化	BSC
LPWRCR	初期化	-	-	-	-	-	-	初期化	SYSTEM
SEMR_0	初期化	初期化	-	-	-	-	-	初期化	SCI_0
ISCRH	初期化	初期化	-	-	-	-	-	初期化	INT
ISCRL	初期化	初期化	-	-	-	-	-	初期化	
IER	初期化	初期化	-	-	-	-	-	初期化	
ISR	初期化	初期化	-	-	-	-	-	初期化	
DTCERA	初期化	初期化	-	-	-	-	-	初期化	DTC
DTCERB	初期化	初期化	-	-	-	-	-	初期化	
DTCERC	初期化	初期化	-	-	-	-	-	初期化	
DTCERD	初期化	初期化	-	-	-	-	-	初期化	
DTCERE	初期化	初期化	-	-	-	-	-	初期化	
DTCERF	初期化	初期化	-	-	-	-	-	初期化	
DTVECR	初期化	初期化	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	-	初期化	PORT
P3DDR	初期化	-	-	-	-	-	-	初期化	
P7DDR	初期化	-	-	-	-	-	-	初期化	
PADDR	初期化	-	-	-	-	-	-	初期化	
PBDDR	初期化	-	-	-	-	-	-	初期化	
PCDDR	初期化	-	-	-	-	-	-	初期化	
PDDDR	初期化	-	-	-	-	-	-	初期化	
PEDDR	初期化	-	-	-	-	-	-	初期化	
PFDDR	初期化	-	-	-	-	-	-	初期化	
PGDDR	初期化	-	-	-	-	-	-	初期化	
PAPCR	初期化	-	-	-	-	-	-	初期化	
PBPCR	初期化	-	-	-	-	-	-	初期化	
PCPCR	初期化	-	-	-	-	-	-	初期化	
PDPCR	初期化	-	-	-	-	-	-	初期化	
PEPCR	初期化	-	-	-	-	-	-	初期化	
P3ODR	初期化	-	-	-	-	-	-	初期化	
PAODR	初期化	-	-	-	-	-	-	初期化	
TSTR	初期化	初期化	-	-	-	-	-	初期化	TPU
TSYR	初期化	初期化	-	-	-	-	-	初期化	
IPRA	初期化	初期化	-	-	-	-	-	初期化	INT
IPRB	初期化	初期化	-	-	-	-	-	初期化	
IPRC	初期化	初期化	-	-	-	-	-	初期化	

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
IPRD	初期化	初期化	-	-	-	-	-	初期化	INT
IPRE	初期化	初期化	-	-	-	-	-	初期化	
IPRF	初期化	初期化	-	-	-	-	-	初期化	
IPRG	初期化	初期化	-	-	-	-	-	初期化	
IPRI	初期化	初期化	-	-	-	-	-	初期化	
IPRJ	初期化	初期化	-	-	-	-	-	初期化	
IPRK	初期化	初期化	-	-	-	-	-	初期化	
IPRM	初期化	初期化	-	-	-	-	-	初期化	
ABWCR	初期化	-	-	-	-	-	-	初期化	BSC
ASTCR	初期化	-	-	-	-	-	-	初期化	
WCRH	初期化	-	-	-	-	-	-	初期化	
WCRL	初期化	-	-	-	-	-	-	初期化	
BCRH	初期化	-	-	-	-	-	-	初期化	
BCRL	初期化	-	-	-	-	-	-	初期化	
RAMER	初期化	-	-	-	-	-	-	初期化	FLASH
MAR0A	-	-	-	-	-	-	-	-	DMAC
IOAR0A	-	-	-	-	-	-	-	-	
ETCR0A	-	-	-	-	-	-	-	-	
MAR0B	-	-	-	-	-	-	-	-	
IOAR0B	-	-	-	-	-	-	-	-	
ETCR0B	-	-	-	-	-	-	-	-	
MAR1A	-	-	-	-	-	-	-	-	
IOAR1A	-	-	-	-	-	-	-	-	
ETCR1A	-	-	-	-	-	-	-	-	
MAR1B	-	-	-	-	-	-	-	-	
IOAR1B	-	-	-	-	-	-	-	-	
ETCR1B	-	-	-	-	-	-	-	-	
P1DR	初期化	-	-	-	-	-	-	初期化	PORT
P3DR	初期化	-	-	-	-	-	-	初期化	
P7DR	初期化	-	-	-	-	-	-	初期化	
PADR	初期化	-	-	-	-	-	-	初期化	
PBDR	初期化	-	-	-	-	-	-	初期化	
PCDR	初期化	-	-	-	-	-	-	初期化	
PDDR	初期化	-	-	-	-	-	-	初期化	
PEDR	初期化	-	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	-	初期化	
PGDR	初期化	-	-	-	-	-	-	初期化	

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCR_0	初期化	初期化	-	-	-	-	-	初期化	TPU_0
TMDR_0	初期化	初期化	-	-	-	-	-	初期化	
TIORH_0	初期化	初期化	-	-	-	-	-	初期化	
TIORL_0	初期化	初期化	-	-	-	-	-	初期化	
TIER_0	初期化	初期化	-	-	-	-	-	初期化	
TSR_0	初期化	初期化	-	-	-	-	-	初期化	
TCNT_0	初期化	初期化	-	-	-	-	-	初期化	
TGRA_0	初期化	初期化	-	-	-	-	-	初期化	
TGRB_0	初期化	初期化	-	-	-	-	-	初期化	
TGRC_0	初期化	初期化	-	-	-	-	-	初期化	
TGRD_0	初期化	初期化	-	-	-	-	-	初期化	
TCR_1	初期化	初期化	-	-	-	-	-	初期化	TPU_1
TMDR_1	初期化	初期化	-	-	-	-	-	初期化	
TIOR_1	初期化	初期化	-	-	-	-	-	初期化	
TIER_1	初期化	初期化	-	-	-	-	-	初期化	
TSR_1	初期化	初期化	-	-	-	-	-	初期化	
TCNT_1	初期化	初期化	-	-	-	-	-	初期化	
TGRA_1	初期化	初期化	-	-	-	-	-	初期化	
TGRB_1	初期化	初期化	-	-	-	-	-	初期化	
TCR_2	初期化	初期化	-	-	-	-	-	初期化	TPU_2
TMDR_2	初期化	初期化	-	-	-	-	-	初期化	
TIOR_2	初期化	初期化	-	-	-	-	-	初期化	
TIER_2	初期化	初期化	-	-	-	-	-	初期化	
TSR_2	初期化	初期化	-	-	-	-	-	初期化	
TCNT_2	初期化	初期化	-	-	-	-	-	初期化	
TGRA_2	初期化	初期化	-	-	-	-	-	初期化	
TGRB_2	初期化	初期化	-	-	-	-	-	初期化	
DMAWER	初期化	初期化	-	-	-	-	-	初期化	DMAC
DMACR0A	初期化	初期化	-	-	-	-	-	初期化	
DMACR0B	初期化	初期化	-	-	-	-	-	初期化	
DMACR1A	初期化	初期化	-	-	-	-	-	初期化	
DMACR1B	初期化	初期化	-	-	-	-	-	初期化	
DMABCR	初期化	初期化	-	-	-	-	-	初期化	
TCR_0	初期化	初期化	-	-	-	-	-	初期化	TMR_0
TCR_1	初期化	初期化	-	-	-	-	-	初期化	TMR_1
TCSR_0	初期化	初期化	-	-	-	-	-	初期化	TMR_0
TCSR_1	初期化	初期化	-	-	-	-	-	初期化	TMR_1

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCORA_0	初期化	初期化	-	-	-	-	-	初期化	TMR_0
TCORA_1	初期化	初期化	-	-	-	-	-	初期化	TMR_1
TCORB_0	初期化	初期化	-	-	-	-	-	初期化	TMR_0
TCORB_1	初期化	初期化	-	-	-	-	-	初期化	TMR_1
TCNT_0	初期化	初期化	-	-	-	-	-	初期化	TMR_0
TCNT_1	初期化	初期化	-	-	-	-	-	初期化	TMR_1
TCSR	初期化	初期化	-	-	-	-	-	初期化	WDT
TCNT	初期化	初期化	-	-	-	-	-	初期化	
RSTCSR	初期化	初期化	-	-	-	-	-	初期化	
SMR_0	初期化	初期化	-	-	-	-	-	初期化	SCI_0
BRR_0	初期化	初期化	-	-	-	-	-	初期化	
SCR_0	初期化	初期化	-	-	-	-	-	初期化	
TDR_0	初期化	初期化	-	-	-	初期化	初期化	初期化	
SSR_0	初期化	初期化	-	-	-	初期化	初期化	初期化	
RDR_0	初期化	初期化	-	-	-	初期化	初期化	初期化	
SCMR_0	初期化	初期化	-	-	-	-	-	初期化	
SMR_1	初期化	初期化	-	-	-	-	-	初期化	SCI_1
BRR_1	初期化	初期化	-	-	-	-	-	初期化	
SCR_1	初期化	初期化	-	-	-	-	-	初期化	
TDR_1	初期化	初期化	-	-	-	初期化	初期化	初期化	
SSR_1	初期化	初期化	-	-	-	初期化	初期化	初期化	
RDR_1	初期化	初期化	-	-	-	初期化	初期化	初期化	
SCMR_1	初期化	初期化	-	-	-	-	-	初期化	
SMR_2	初期化	初期化	-	-	-	-	-	初期化	SCI_2
BRR_2	初期化	初期化	-	-	-	-	-	初期化	
SCR_2	初期化	初期化	-	-	-	-	-	初期化	
TDR_2	初期化	初期化	-	-	-	初期化	初期化	初期化	
SSR_2	初期化	初期化	-	-	-	初期化	初期化	初期化	
RDR_2	初期化	初期化	-	-	-	初期化	初期化	初期化	
SCMR_2	初期化	初期化	-	-	-	-	-	初期化	
ADDRAH	初期化	初期化	-	-	-	初期化	初期化	初期化	A/D
ADDRAL	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADDRBH	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADDRBL	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADDRCH	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADDRCL	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADDRDH	初期化	初期化	-	-	-	初期化	初期化	初期化	

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ADDRDL	初期化	初期化	-	-	-	初期化	初期化	初期化	A/D
ADCSR	初期化	初期化	-	-	-	初期化	初期化	初期化	
ADCR	初期化	初期化	-	-	-	初期化	初期化	初期化	
FLMCR1	初期化	-	-	-	-	-	初期化	初期化	FLASH
FLMCR2	初期化	-	-	-	-	-	初期化	初期化	
EBR1	初期化	-	-	-	-	-	初期化	初期化	
EBR2	初期化	-	-	-	-	-	初期化	初期化	
PORT1	-	-	-	-	-	-	-	-	PORT
PORT3	-	-	-	-	-	-	-	-	
PORT4	-	-	-	-	-	-	-	-	
PORT7	-	-	-	-	-	-	-	-	
PORT9	-	-	-	-	-	-	-	-	
PORTA	-	-	-	-	-	-	-	-	
PORTB	-	-	-	-	-	-	-	-	
PORTC	-	-	-	-	-	-	-	-	
PORTD	-	-	-	-	-	-	-	-	
PORTE	-	-	-	-	-	-	-	-	
PORTF	-	-	-	-	-	-	-	-	
PORTG	-	-	-	-	-	-	-	-	

【注】 - は初期化されません。

---

## 24. 電気的特性 ( H8S/2215 )

---

### 24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>CC</sub> 、PLL <sub>VCC</sub> 、Dr <sub>VCC</sub>	-0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	V <sub>in</sub>	-0.3 ~ V <sub>CC</sub> +0.3	V
入力電圧 (ポート 4、9)	V <sub>in</sub>	-0.3 ~ AV <sub>CC</sub> +0.3	V
リファレンス電源電圧	V <sub>ref</sub>	-0.3 ~ AV <sub>CC</sub> +0.3	V
アナログ電源電圧	AV <sub>CC</sub>	-0.3 ~ +4.3	V
アナログ入力電圧	V <sub>AN</sub>	-0.3 ~ AV <sub>CC</sub> +0.3	V
動作温度	T <sub>opr</sub>	通常仕様品 : -20 ~ +75* 広温度範囲仕様品 : -40 ~ +85*	
保存温度	T <sub>stg</sub>	-55 ~ +125	

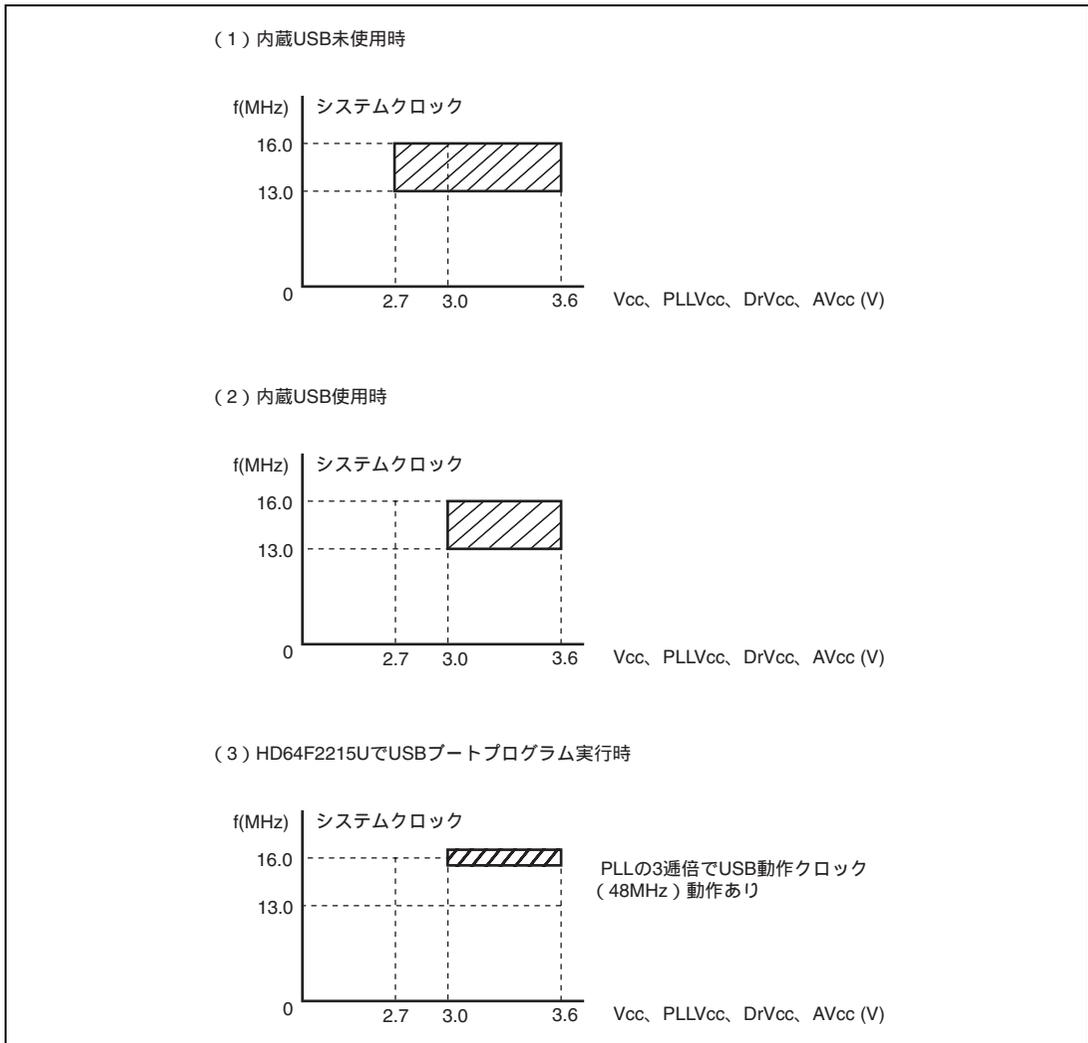
【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、T<sub>a</sub> = -20 ~ 75 です。

## 24.2 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 24.1 に示します。



## 24.3 DC 特性

DC 特性を表 24.2 に示します。また、出力許容電流を表 24.3 に示します。

表 24.2 DC 特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	$\overline{IRQ0} \sim \overline{IRQ5}$ 、 $\overline{IRQ7}$	$V_{CC} \times 0.2$			V	
	$VT^+$			$V_{CC} \times 0.8$	V	
	$VT^+ - VT^-$	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE^{*5}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	$EXTAL$ 、 $EXTAL48$ 、 ポート 1、3、7、A~G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>6</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3^{*6}$	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE^{*5}$	- 0.3		$V_{CC} \times 0.1$	V	
	$EXTAL$ 、 $EXTAL48$ 、 $NMI$ ポート 1、3、4、7、9、 A~G	- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$		0.4	V	$I_{OL} = 0.4mA$
				0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	$\overline{RES}$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $FWE^{*5}$	$ I_{in} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 4、9			1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリーステート トリック電流 (オフ状態)	ポート 1、3、7、 ポート A~G	$ I_{tsi} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	- $I_P$	10	300	$\mu A$	$V_{in} = 0V$

項目	記号	min	typ	max	単位	測定条件	
入力容量	RES、NMI	Cin		30	pF	Vin = 0V	
	RES、NMI 以外の 全入力端子			15	pF	f = 1MHz Ta = 25	
消費電流*2	通常動作 (USB 停止) 時	Icc*3		27 Vcc = 3.3V	40 Vcc = 3.6V	mA	f = 16MHz
	通常動作 (USB 動作) 時			36 Vcc = 3.3V	50 Vcc = 3.6V	mA	f = 16MHz PLL 使用時
	スリープ時			22 Vcc = 3.3V	35 Vcc = 3.6V	mA	f = 16MHz USB、PLL 停止時
	全モジュール ストップ時			16 Vcc = 3.3V		mA	f = 16MHz (参考値)
	スタンバイ時*4			1.0	10	μA	Ta 50 50 < Ta
アナログ 電源電流	A/D、D/A 変換中	Alcc		0.5	1.5	mA	AVcc = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	Alcc		1.3	2.5	mA	Vref = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧	V <sub>RAM</sub>	2.0			V		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref 端子は Vcc に、AVSS 端子は Vss にそれぞれ接続してください。このとき、Vref AVcc としてください。

\*2 消費電流値は、VIH min = Vcc - 0.2V、VIL max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 Icc は下記の式に従って Vcc と f に依存します。

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.67 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 停止時)}$$

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時)}$$

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.59 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (スリープ時)}$$

\*4 V<sub>RAM</sub> Vcc < 2.7V のとき、VIH min = Vcc × 0.9、VIL max = 0.3V とした場合の値です。

\*5 FWE 端子は F-ZTAT 版のみ対応します。

\*6 Vcc < AVcc のとき、P40、P41 の max は、Vcc+0.3V になります。

表 24.3 出力許容電流

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	$I_{OL}$			1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma I_{OL}$			60	mA
出力 High レベル許容電流 (1端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	$-I_{OH}$			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma -I_{OH}$			30	mA

【注】 \* LSIの信頼性を確保するため、出力電流値は表 24.3の値を超えないようにしてください。

## 24.4 AC 特性

図 24.2 に AC 測定条件を示します。

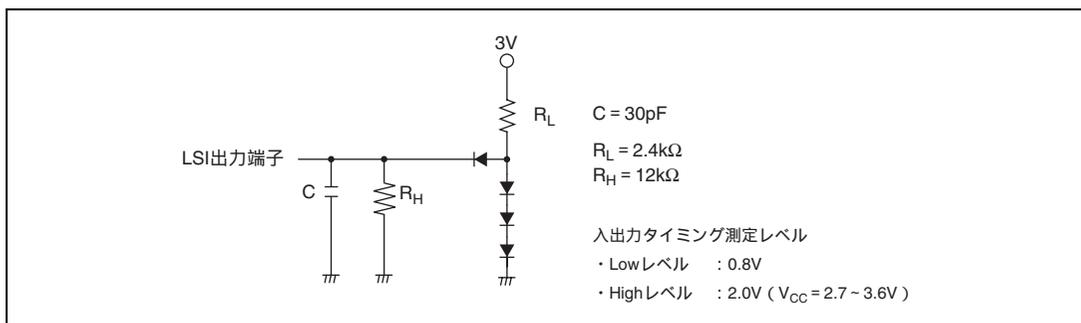


図 24.2 出力負荷回路

### 24.4.1 クロックタイミング

表 24.4 にクロックタイミングを示します。

表 24.4 クロックタイミング

条件 :  $V_{CC} = \text{PLL}V_{CC} = \text{Dr}V_{CC} = 2.7 \sim 3.6\text{V}$ 、 $\text{AV}_{CC} = 2.7 \sim 3.6\text{V}$ 、 $V_{\text{ref}} = 2.7\text{V} \sim \text{AV}_{CC}$ 、 $V_{SS} = \text{PLL}V_{SS} = \text{Dr}V_{SS} = \text{AV}_{SS} = 0\text{V}$ 、 $\phi = 13 \sim 16\text{MHz}$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
クロックサイクル時間	$t_{\text{cyc}}$	62.5	76.9	ns	図 24.3
クロック High レベルパルス幅	$t_{\text{CH}}$	20		ns	
クロック Low レベルパルス幅	$t_{\text{CL}}$	20		ns	
クロック立ち上がり時間	$t_{\text{cr}}$		10	ns	
クロック立ち下がり時間	$t_{\text{cf}}$		10	ns	
リセット発振安定時間 (水晶)	$t_{\text{OSC1}}$	20		ms	図 24.4
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{\text{OSC2}}$	8		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 22\text{pF}$ 、 図 22.3 $V_{CC} = 2.7 \sim 3.6\text{V}$
		4		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 15\text{pF}$ 、 図 22.3 $V_{CC} = 3.0 \sim 3.6\text{V}$
外部クロック出力安定遅延時間	$t_{\text{DEXT}}$	500		$\mu\text{s}$	図 24.4
USB 動作クロック (48MHz) 発振安定時間	$t_{\text{OSC3}}$	8		ms	$V_{CC} = 3.0 \sim 3.6\text{V}$
USB 動作クロック (48MHz) 発振器発振周波数	$f_{48}$	48		MHz	
USB 動作クロック (48MHz) サイクル時間	$f_{48}$	20.8		ns	

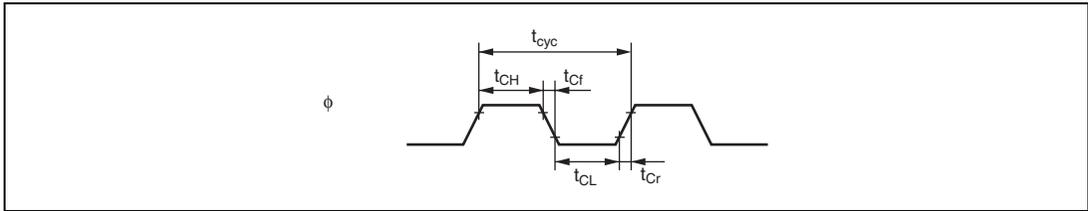


図 24.3 システムクロックタイミング

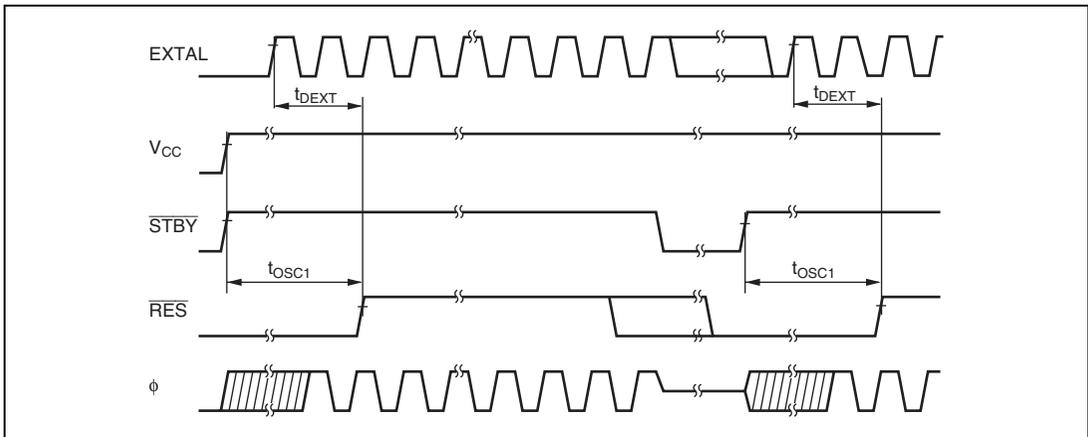


図 24.4 発振安定時間タイミング

### 24.4.2 制御信号タイミング

表 24.5 に制御信号タイミングを示します。

表 24.5 制御信号タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
RES セットアップ時間	$t_{RESS}$	250		ns	図 24.5
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		ns	
MRES パルス幅	$t_{MRESW}$	20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 24.6
NMI ホールド時間	$t_{NMIH}$	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	
IRQ セットアップ時間	$t_{IRGS}$	250		ns	

項目	記号	条件		単位	測定条件
		min	max		
IRQ ホールド時間	$t_{IRQH}$	10		ns	図 24.6
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

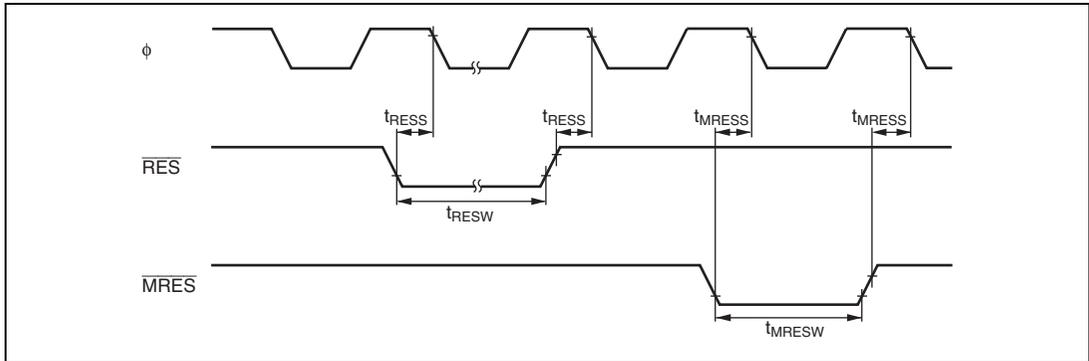


図 24.5 リセット入力タイミング

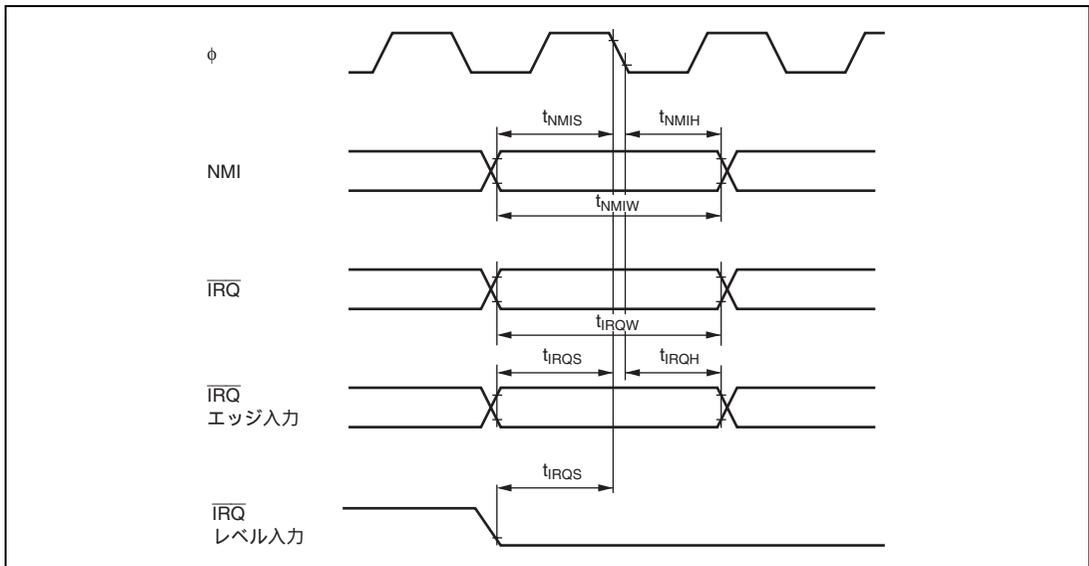


図 24.6 割り込み入力タイミング

## 24.4.3 バスタイミング

表 24.6 にバスタイミングを示します。

表 24.6 バスタイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$		50	ns	図 24.7、図 24.8、 図 24.10
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		ns	
CS 遅延時間	$t_{CSD}$		50	ns	図 24.7、図 24.8
AS 遅延時間	$t_{ASD}$		50	ns	図 24.7、図 24.8、 図 24.10
RD 遅延時間 1	$t_{RSD1}$		50	ns	図 24.7、図 24.8
RD 遅延時間 2	$t_{RSD2}$		50	ns	図 24.7、図 24.8、 図 24.10
リードデータセットアップ時間	$t_{RDS}$	30		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 65$	ns	図 24.7
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 65$	ns	図 24.7、図 24.10
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 65$	ns	図 24.8
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 65$	ns	
WR 遅延時間 1	$t_{WRD1}$		50	ns	
WR 遅延時間 2	$t_{WRD2}$		50	ns	図 24.7、図 24.8
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		ns	図 24.7
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		ns	図 24.8
ライトデータ遅延時間	$t_{WDD}$		50	ns	図 24.7、図 24.8
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 30$		ns	図 24.8
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 15$		ns	図 24.7、図 24.8
WAIT セットアップ時間	$t_{WTS}$	50		ns	図 24.9
WAIT ホールド時間	$t_{WTH}$	10		ns	
BREQ セットアップ時間	$t_{BRODS}$	50		ns	図 24.11
BACK 遅延時間	$t_{BACD}$		50	ns	
バスフローティング時間	$t_{BZD}$		80	ns	

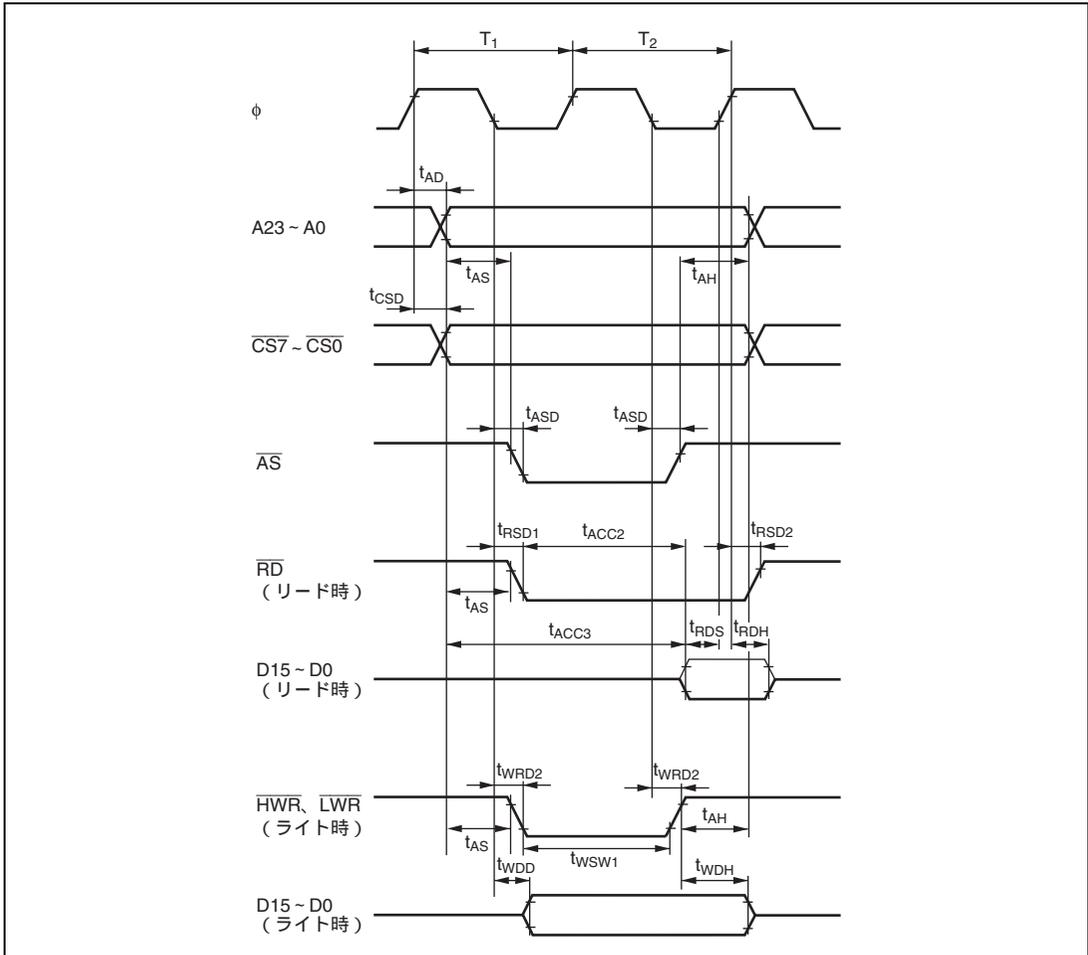


図 24.7 基本バスタイミング / 2 ステートアクセス

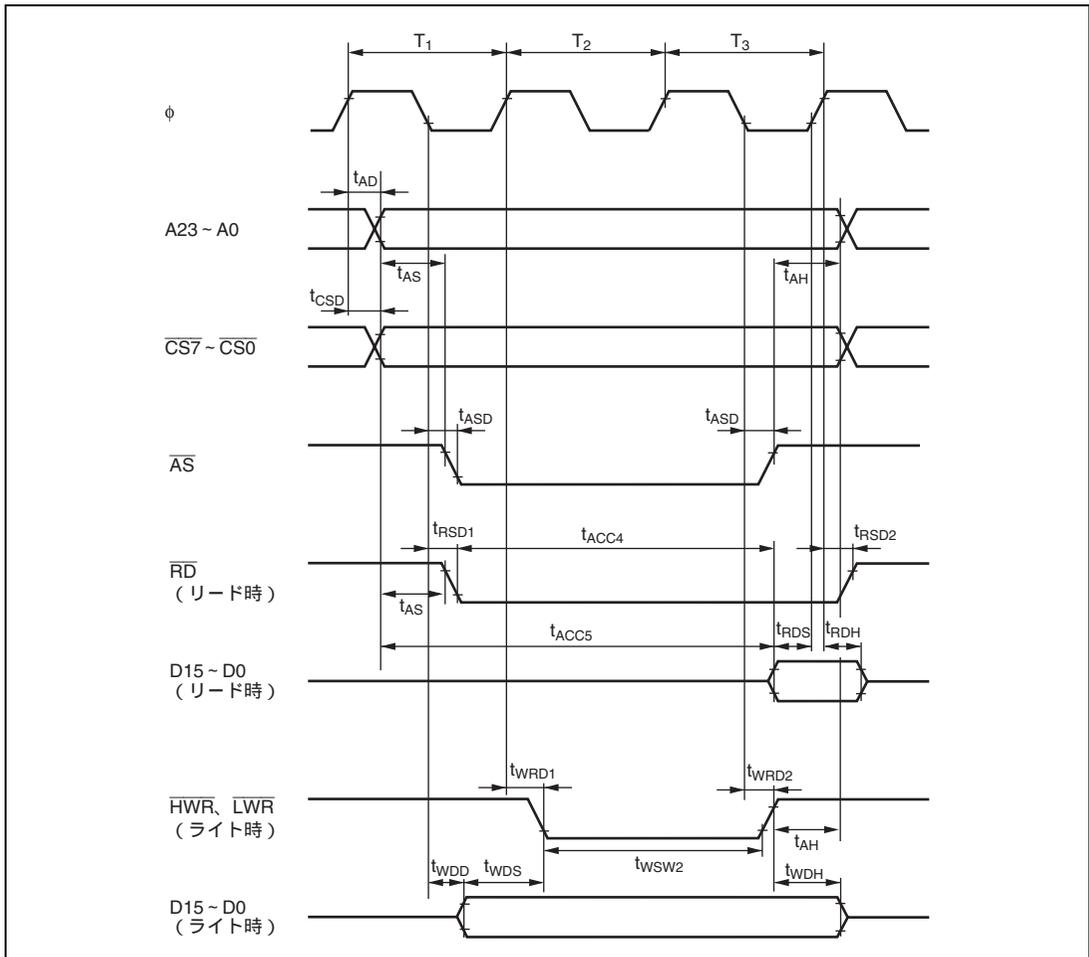


図 24.8 基本バスタイミング / 3 ステートアクセス

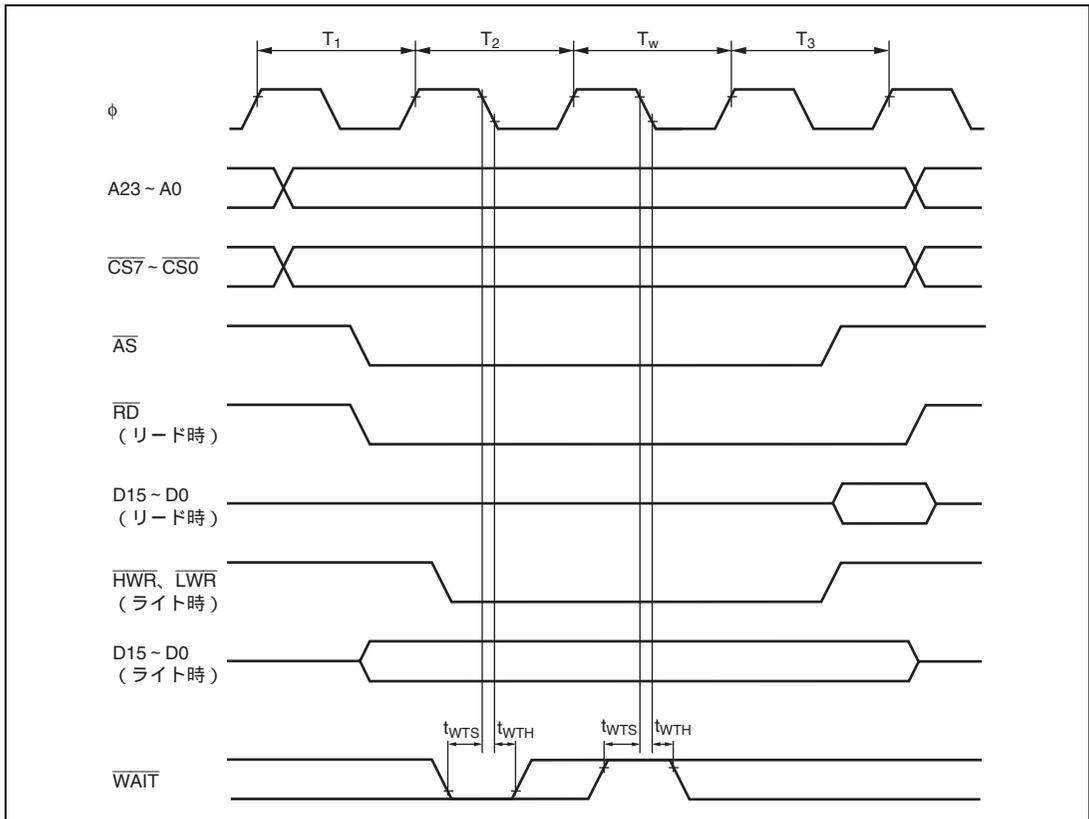


図 24.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

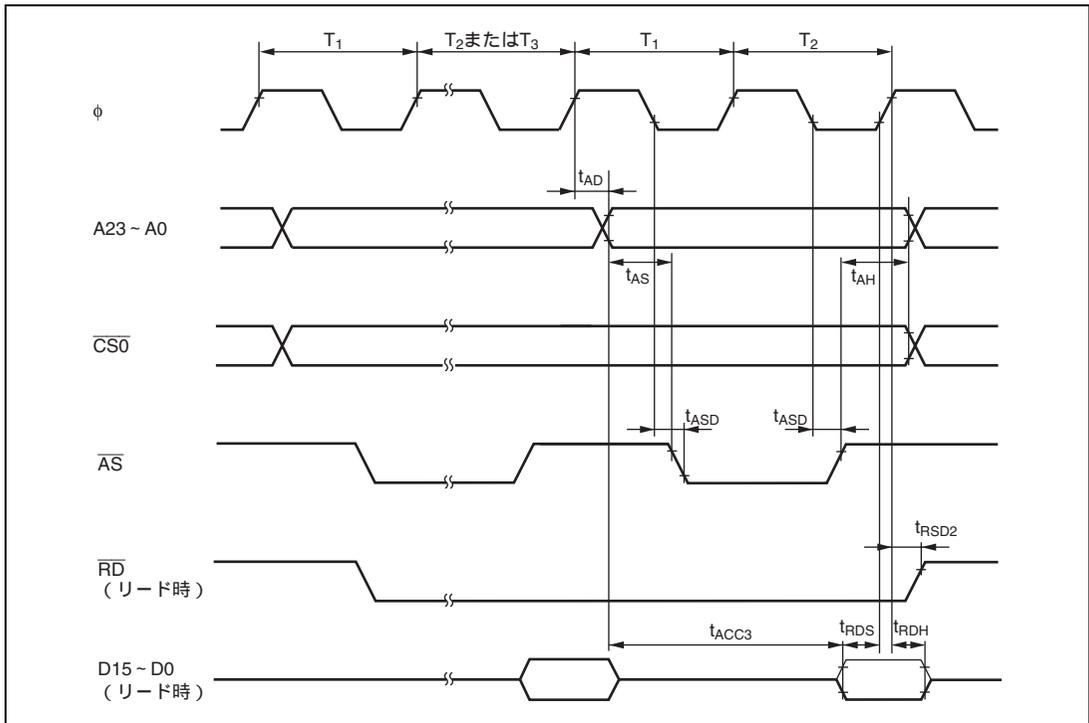


図 24.10 パラレル ROM アクセスタイミング / 2 ステートアクセス

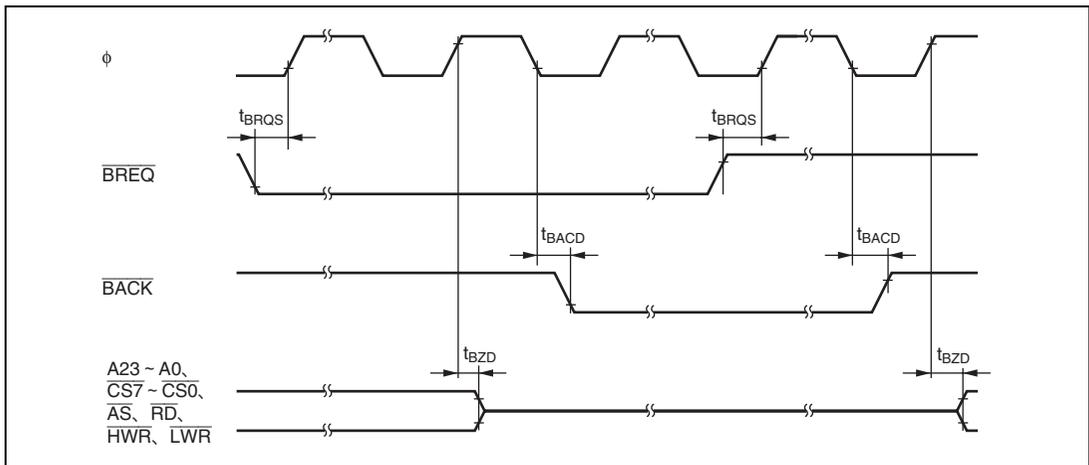


図 24.11 外部バス権解放タイミング

## 24.4.4 内蔵周辺モジュールタイミング

表 24.7 に内蔵周辺タイミングを示します。

表 24.7 内蔵周辺タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,

$\phi = 13 \sim 16MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項 目		記号	条件		単位	測定条件
			min	max		
I/O ポート	出力データ遅延時間	$t_{PVD}$		60	ns	図 24.12
	入力データセットアップ時間	$t_{PRS}$	50			
	入力データホールド時間	$t_{PRH}$	50			
TPU	タイマ出力遅延時間	$t_{TOCD}$		60	ns	図 24.13
	タイマ入力セットアップ時間	$t_{TICS}$	40			
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		ns	図 24.14
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5		
両エッジ指定		$t_{TCKWL}$	2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		60	ns	図 24.15
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		ns	図 24.16
	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$	1.5		
両エッジ指定		$t_{TMCWL}$	2.5			
SCI	入カクロックサイクル	調歩同期	$t_{Scyc}$	4	t <sub>cyc</sub>	図 24.18
		クロック同期		6		
	入カクロックパルス幅	$t_{SCKW}$	0.4	0.6	t <sub>Scyc</sub>	
	入カクロック立ち上がり時間	$t_{SCKr}$		1.5	t <sub>cyc</sub>	
	入カクロック立ち下がり時間	$t_{SCKf}$		1.5		
	送信データ遅延時間	$t_{TXD}$		60	ns	図 24.19
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	60			
受信データホールド時間 (クロック同期)	$t_{RXH}$	60				
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40			図 24.20

項目	記号	条件		単位	測定条件		
		min	max				
バウンダリ スキャン	TCK サイクル時間	$t_{tcyc}$	62.5		ns	図 24.21	
	TCK High レベルパルス幅	$t_{TCKH}$	0.4	0.6			$t_{tcyc}$
	TCK Low レベルパルス幅	$t_{TCKL}$	0.4	0.6			$t_{tcyc}$
	TRST パルス幅	$t_{TRSW}$	20		$t_{tcyc}$	図 24.22	
	TRST セットアップ時間	$t_{TRSS}$	250		ns		
	TDI セットアップ時間	$t_{TDIS}$	30		ns	図 24.23	
	TDI ホールド時間	$t_{TDIH}$	10				
	TMS セットアップ時間	$t_{TMSS}$	30				
	TMS ホールド時間	$t_{TMSh}$	10				
	TDO 遅延時間	$t_{TDOD}$	-	40			

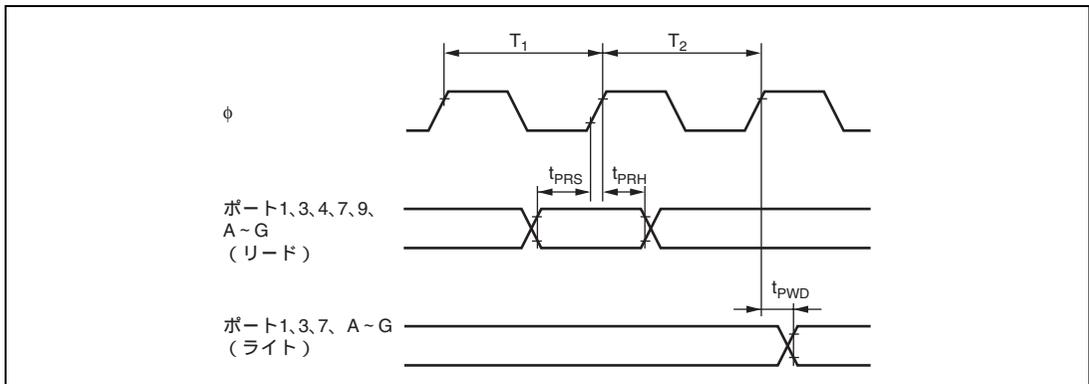
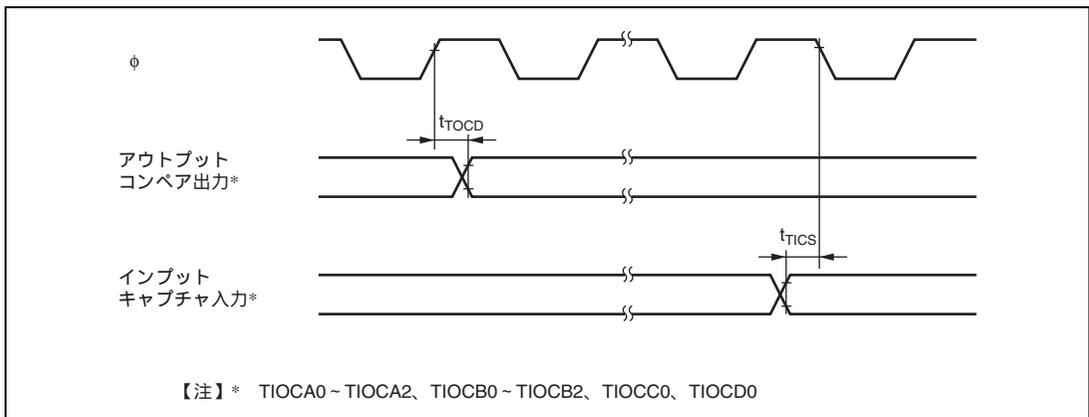


図 24.12 I/O ポート入出力タイミング



【注】\* TIOCA0 ~ TIOCA2、TIOCB0 ~ TIOCB2、TIOCC0、TIOCD0

図 24.13 TPU 入出力タイミング

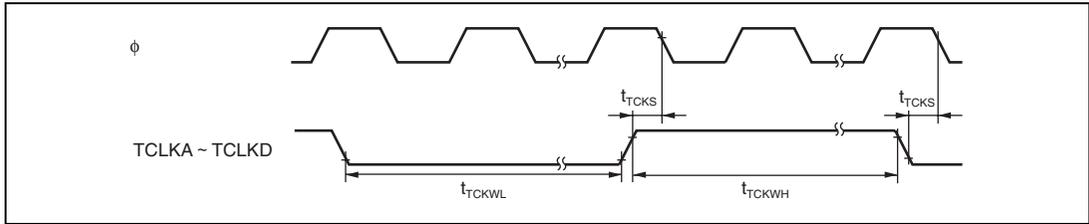


図 24.14 TPU クロック入力タイミング

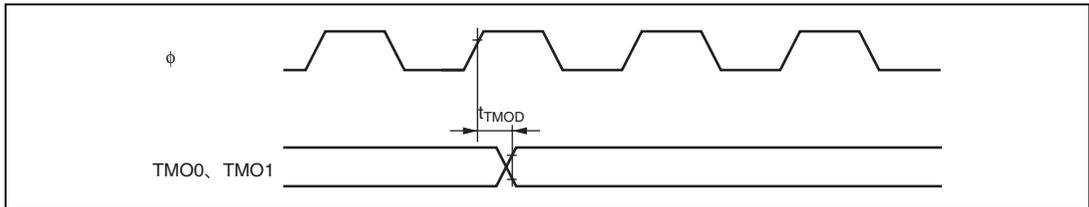


図 24.15 8ビットタイマ出力タイミング

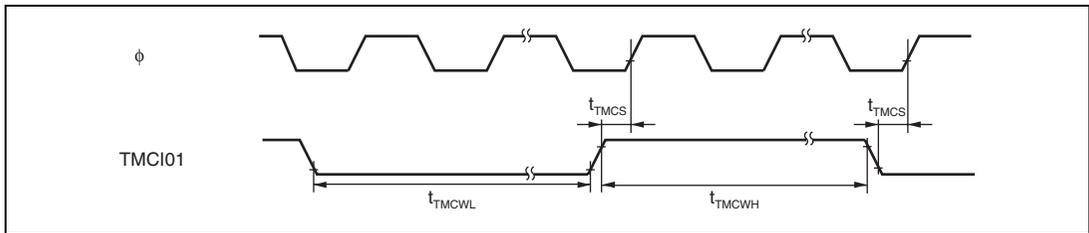


図 24.16 8ビットタイマクロック入力タイミング

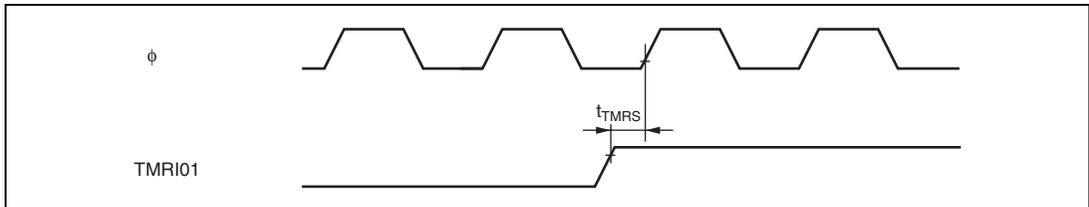


図 24.17 8ビットタイマリセット入力タイミング

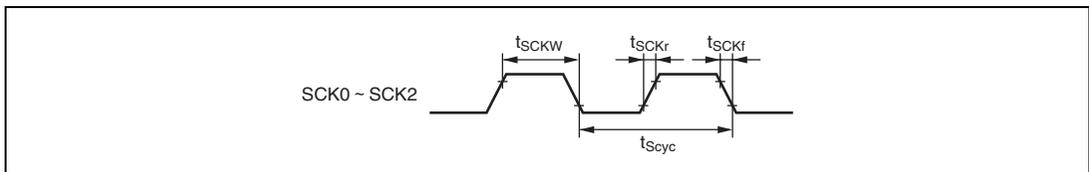


図 24.18 SCK クロック入力タイミング

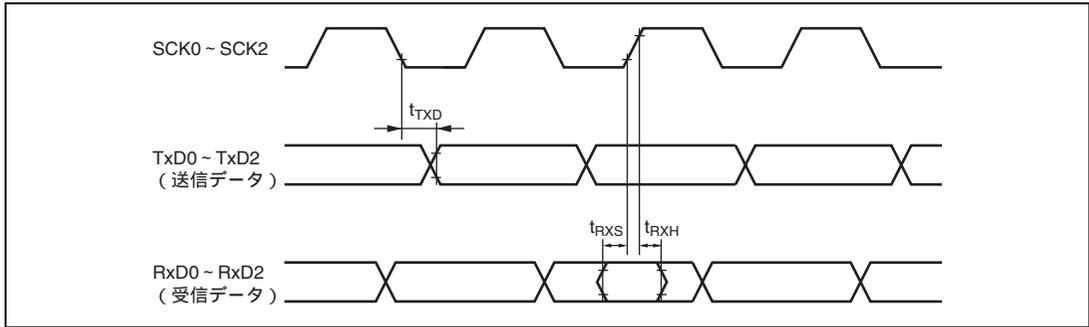


図 24.19 SCI 入出力タイミング/クロック同期式モード

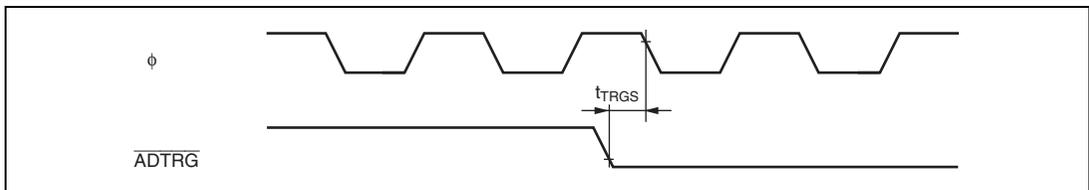


図 24.20 A/D 変換器外部トリガ入力タイミング

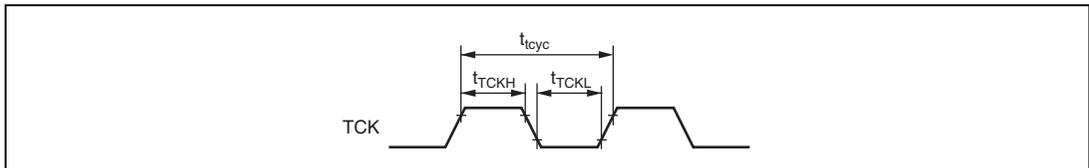


図 24.21 バウンダリスキャン TCK 入力タイミング

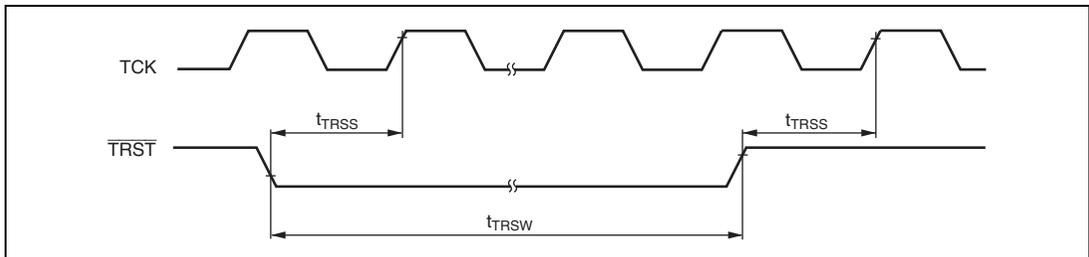


図 24.22 バウンダリスキャン  $\overline{\text{TRST}}$  入力タイミング (リセットホールド時)

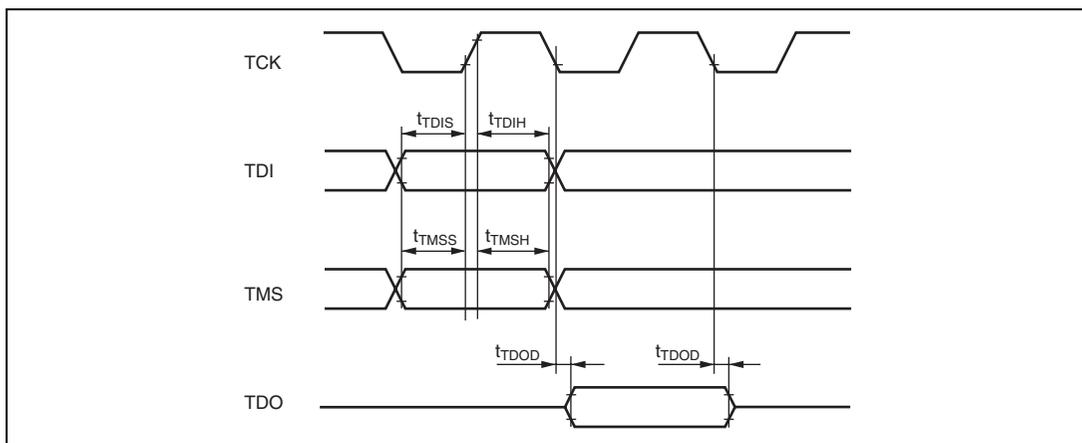


図 24.23 バウンダリスキャンデータ転送タイミング

## 24.5 USB 特性

表 24.8 に内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性) を示します。

表 24.8 内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性)

条件 :  $V_{CC} = PLLV_{CC} = D_rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = D_rV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件		単位	測定条件		
		min	max				
入力特性	入力 High レベル電圧	$V_{IH}$	2.0		V		図 24.24
	入力 Low レベル電圧	$V_{IL}$		0.8	V		図 24.25
	差動入力感度	$V_{DI}$	0.2		V	$ (D+) - (D-) $ $D_rV_{CC} = 3.3 \sim 3.6V$	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V		
出力特性	出力 High レベル電圧	$V_{OH}$	2.8		V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	$V_{OL}$		0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V		
	立ち上がり時間	$t_r$	4	20	ns		
	立ち下がり時間	$t_f$	4	20	ns		
	立ち上がり / 立ち下がり 時間マッチング	$t_{RFM}$	90	111.11	%	$(T_r / T_f)$	
	出力抵抗	$Z_{DRV}$	28	44	$\Omega$	$R_s = 24\Omega$ を含む	

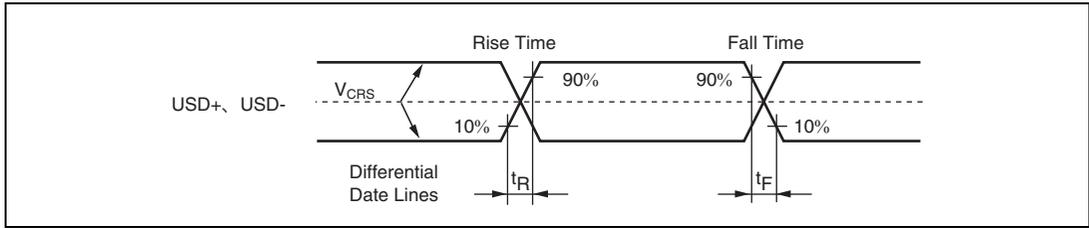


図 24.24 データ信号タイミング

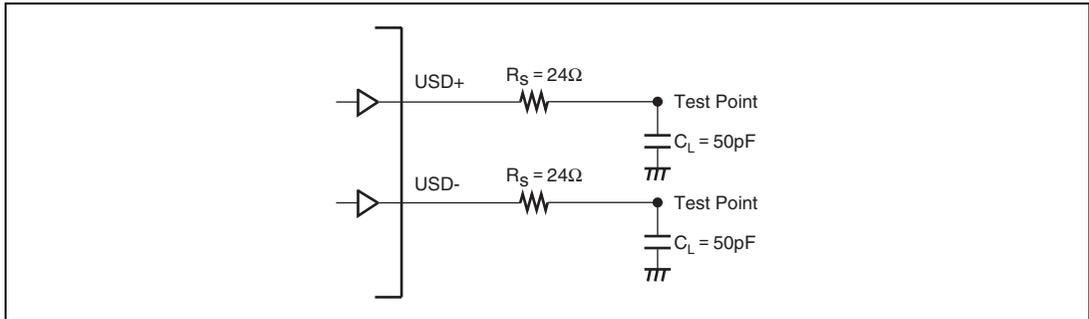


図 24.25 負荷条件

## 24.6 A/D 変換特性

表 24.9 に A/D 変換特性を示します。

表 24.9 A/D 変換特性

条件 :  $V_{CC} = PLLV_{CC} = D rV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V^*$ 、 $V_{ref} = 2.7V - AV_{CC}^*$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	8.1			$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は、 $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 24.7 D/A 変換特性

表 24.10 に D/A 変換特性を示します。

表 24.10 D/A 変換特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 16MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 24.8 フラッシュメモリ特性

表 24.11 にフラッシュメモリ特性を示します。

表 24.11 フラッシュメモリ特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲)

項目	記号	min	typ	max	単位	
書き込み時間 <sup>*1*</sup> <sup>2*</sup> <sup>4</sup>	$t_p$		10	200	ms/128 バイト	
消去時間 <sup>*1*</sup> <sup>3*</sup> <sup>5</sup>	$t_E$		50	1000	ms/ブロック	
書き換え回数	$N_{WEC}$	100 <sup>*6</sup>	10000 <sup>*7</sup>		回	
データ保持時間 <sup>*8</sup>	$t_{DRP}$	10			年	
書き込み時	PSU1 ビットセット後のウェイト時間 <sup>*1</sup>	$y$	50	50	$\mu s$	
	P1 ビットセット後のウェイト時間 <sup>*1*</sup> <sup>4</sup>	$z0$	28	30	32	$\mu s$
		$z1$	198	200	202	$\mu s$
		$z2$	8	10	12	$\mu s$
	P1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\alpha$	5	5	$\mu s$	
	PSU1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\beta$	5	5	$\mu s$	
	PV1 ビットセット後のウェイト時間 <sup>*1</sup>	$\gamma$	4	4	$\mu s$	
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	$\varepsilon$	2	2	$\mu s$	
	PV1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\eta$	2	2	$\mu s$	
	最大書き込み回数 <sup>*1*</sup> <sup>4</sup>	N1			6 <sup>*4</sup>	回
N2				994 <sup>*4</sup>	回	
共通	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	$x$	1	1	$\mu s$	
	SWE1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\theta$	100	100	$\mu s$	

項目	記号	min	typ	max	単位	
消去時	ESU1 ビットセット後のウェイト時間*1	y	100	100		μs
	E1 ビットセット後のウェイト時間*1,*5	z	10	10	100	ms
	E1 ビットクリア後のウェイト時間*1	α	10	10		μs
	ESU1 ビットクリア後のウェイト時間*1	β	10	10		μs
	EV1 ビットセット後のウェイト時間*1	γ	20	20		μs
	H'FF ダミーライト後のウェイト時間*1	ε	2	2		μs
	EV1 ビットクリア後のウェイト時間*1	η	4	4		μs
	最大消去回数*1,*5	N			100	回

- 【注】 \*1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。
- \*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)
- \*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)
- \*4 書き込み時間の最大値
- $$t_w(\max) = \text{P1 ビットセット後のウェイト時間}(z) \times \text{最大書き込み回数}(N1 + N2)$$
- $$= (z0 + z2) \times 6 + z1 \times 994$$
- \*5 消去時間の最大値
- $$t_e(\max) = \text{E1 ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- \*6 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- \*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 24.9 使用上の注意事項

- プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用ください。以下に具体的対策例を示します。

1. 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
2. LSIのVcc - GND (Vss) 間にバイパスコンデンサ (0.1μF程度) を付ける。



---

## 25. 電気的特性 ( H8S/2215R )

---

### 25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>cc</sub> 、PLL <sub>Vcc</sub> 、Dr <sub>Vcc</sub>	- 0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	V <sub>in</sub>	- 0.3 ~ V <sub>cc</sub> +0.3	V
入力電圧 (ポート 4、9)	V <sub>in</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
リファレンス電源電圧	V <sub>ref</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
アナログ電源電圧	AV <sub>cc</sub>	- 0.3 ~ +4.3	V
アナログ入力電圧	V <sub>AN</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
動作温度	T <sub>opr</sub>	通常仕様品 : - 20 ~ +75* 広温度範囲仕様品 : - 40 ~ +85*	
保存温度	T <sub>stg</sub>	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、Ta = -20 ~ 75 です。

## 25.2 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 25.1 に示します。

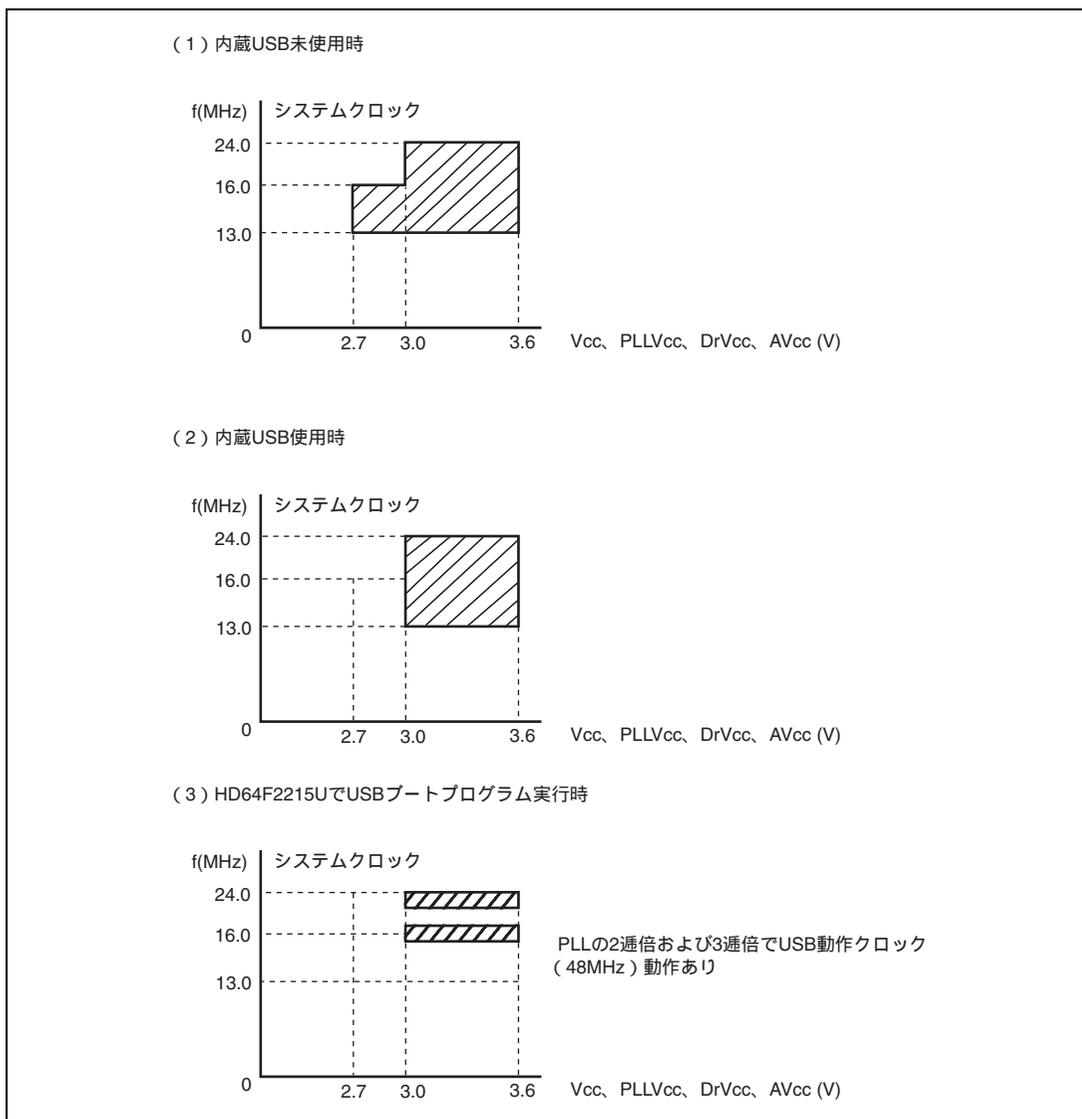


図 25.1 電源電圧と動作範囲

## 25.3 DC 特性

DC 特性を表 25.2 に示します。また、出力許容電流を表 25.3 に示します。

表 25.2 DC 特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	$VT^-$	$V_{CC} \times 0.2$			V	
	$VT^+$			$V_{CC} \times 0.8$	V	
	$VT^+ - VT^-$	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $EMLN$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	$EXTAL$ 、 $EXTAL48$ 、 ポート 1、3、7、A~G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>5</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>5</sup>	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $EMLN$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE$	- 0.3		$V_{CC} \times 0.1$	V	
	$EXTAL$ 、 $EXTAL48$ 、 $NMI$ 、 ポート 1、3、4、7、9、 A~G	- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$		$V_{CC} - 0.5$	V	$I_{OH} = -200\mu A$
				$V_{CC} - 1.0$	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$		0.4	V	$I_{OL} = 0.4mA$
				0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	$\overline{RES}$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $FWE$	$ I_{in} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 4、9			1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート トリック電流 (オフ状態)	ポート 1、3、7、 ポート A~G	$ I_{TSI} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_P$	10	300	$\mu A$	$V_{in} = 0V$

項目	記号	min	typ	max	単位	測定条件
入力容量	RES、NMI	Cin		30	pF	Vin = 0V
	RES、NMI 以外の 全入力端子			15	pF	f = 1MHz Ta = 25
消費電流*2	通常動作 (USB 停止) 時	Icc*3	23 (Vcc = 3.3V)	40 (Vcc = 3.6V)	mA	f = 16MHz
			34 (Vcc = 3.3V)	55 (Vcc = 3.6V)	mA	f = 24MHz
	通常動作 (USB 動作) 時		28 (Vcc = 3.3V)	50 (Vcc = 3.6V)	mA	f = 16MHz (PLL3 逡倍)
			40 (Vcc = 3.3V)	60 (Vcc = 3.6V)	mA	f = 24MHz (PLL2 逡倍)
	スリープ時		18 (Vcc = 3.3V)	35 (Vcc = 3.6V)	mA	f = 16MHz (USB、PLL 停止時)
			26 (Vcc = 3.3V)	45 (Vcc = 3.6V)	mA	f = 24MHz (USB、PLL 停止時)
	全モジュール ストップ時		15 (Vcc = 3.3V)		mA	f = 16MHz (参考値)
			21 (Vcc = 3.3V)		mA	f = 24MHz (参考値)
スタンバイ時*4	1.0	10	μA	Ta 50		
		50		50 < Ta		
アナログ 電源電流	A/D、D/A 変換中	Alcc	0.3	1.5	mA	AVcc = 3.3V
	A/D、D/A 変換待機時		0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	Alcc	1.2	2.5	mA	Vref = 3.3V
	A/D、D/A 変換待機時		0.01	5.0	μA	
RAM スタンバイ電圧	V <sub>RAM</sub>	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref 端子は Vcc に、AVSS 端子は Vss にそれぞれ接続してください。このとき、Vref AVcc としてください。

\*2 消費電流値は、VIH min = Vcc - 0.2V、VIL max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 Icc は下記の式に従って Vcc と f に依存します。

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.67 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 停止時)}$$

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 16MHz : PLL3 逡倍)}$$

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 24MHz : PLL2 逡倍)}$$

$$I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.55 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (スリープ時)}$$

\*4 V<sub>RAM</sub> Vcc < 2.7V のとき、VIH min = Vcc × 0.9、VIL max = 0.3V とした場合の値です。

\*5 Vcc < AVcc のとき、P40、P41 の max は、Vcc + 0.3V になります。

表 25.3 出力許容電流

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	IoL			1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma$ IoL			60	mA
出力 High レベル許容電流 (1端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	- IoH			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma$ - IoH			30	mA

【注】 \* LSIの信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。

## 25.4 AC 特性

図 25.2 に AC 測定条件を示します。

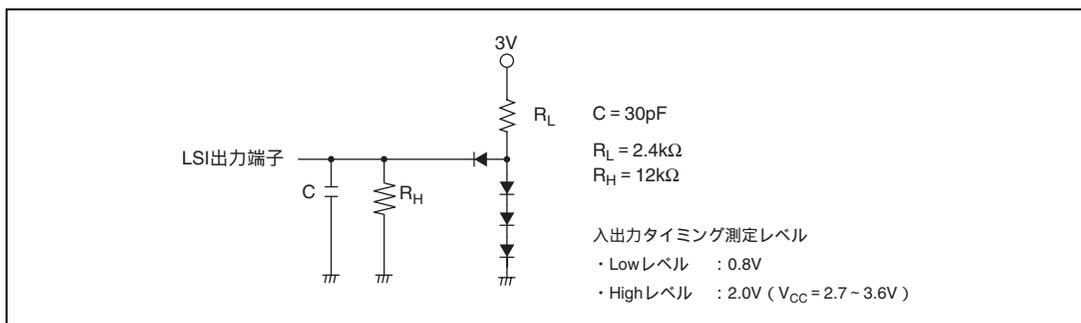


図 25.2 出力負荷回路

### 25.4.1 クロックタイミング

表 25.4 にクロックタイミングを示します。

表 25.4 クロックタイミング

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6\text{V}$ ,  $AV_{CC} = 2.7 \sim 3.6\text{V}$ ,  $V_{ref} = 2.7\text{V} \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0\text{V}$ ,  
 $\phi = 13 \sim 16\text{MHz}$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6\text{V}$ ,  $AV_{CC} = 3.0 \sim 3.6\text{V}$ ,  $V_{ref} = 3.0\text{V} \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0\text{V}$ ,  
 $\phi = 13 \sim 24\text{MHz}$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
クロックサイクル時間	t <sub>cyc</sub>	62.5	76.9	41.6	76.9	ns	図 25.3
クロック High レベルパルス幅	t <sub>CH</sub>	20		13		ns	
クロック Low レベルパルス幅	t <sub>CL</sub>	20		13		ns	
クロック立ち上がり時間	t <sub>cr</sub>		10		7	ns	
クロック立ち下がり時間	t <sub>cf</sub>		10		7	ns	
リセット発振安定時間 (水晶)	t <sub>OSC1</sub>	20		20		ms	図 25.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t <sub>OSC2</sub>	8		8		ms	図 21.2 C <sub>L1</sub> = C <sub>L2</sub> = 10 ~ 22pF、 図 22.3
		4		4		ms	
外部クロック出力安定遅延時間	t <sub>dEXT</sub>	500		500		μs	図 25.4
USB 動作クロック (48MHz) 発振安定時間	t <sub>OSC3</sub>	8		8		ms	V <sub>CC</sub> = 3.0 ~ 3.6V
USB 動作クロック (48MHz) 発振器発振周波数	f <sub>48</sub>	48		48		MHz	
USB 動作クロック (48MHz) サイクル時間	f <sub>48</sub>	20.8		20.8		ns	

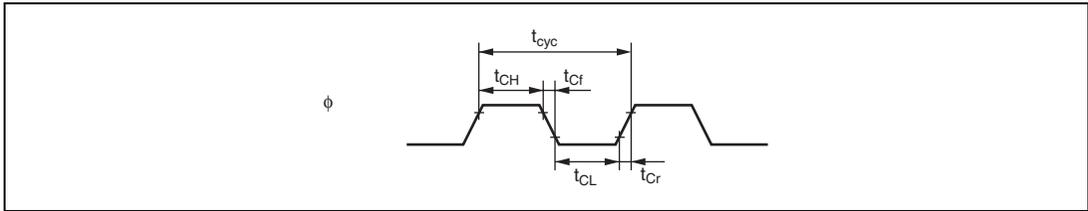


図 25.3 システムクロックタイミング

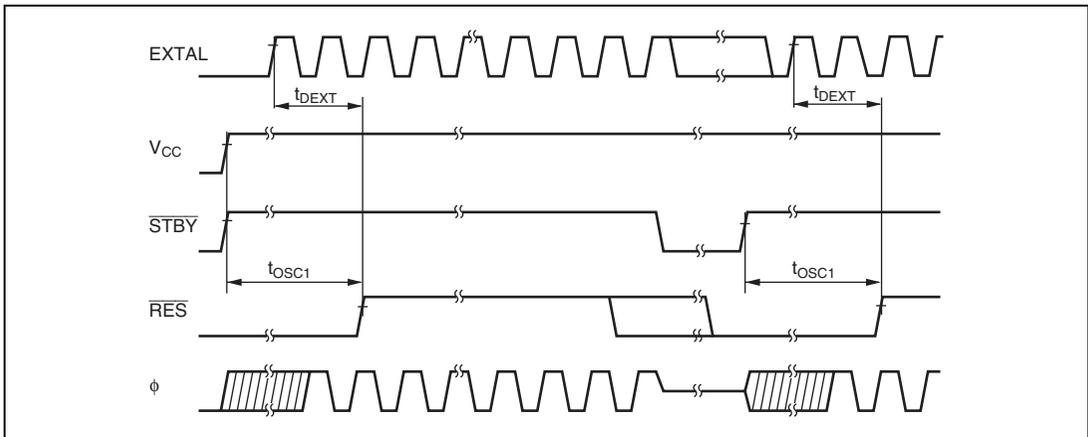


図 25.4 発振安定時間タイミング

### 25.4.2 制御信号タイミング

表 25.5 に制御信号タイミングを示します。

表 25.5 制御信号タイミング

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A、B		単位	測定条件
		min	max		
RES セットアップ時間	$t_{RESS}$	250		ns	図 25.5
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		ns	
MRES パルス幅	$t_{MRESW}$	20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 25.6
NMI ホールド時間	$t_{NMIH}$	10		ns	

項目	記号	条件 A、B		単位	測定条件
		min	max		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	図 25.6
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	250		ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10		ns	
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

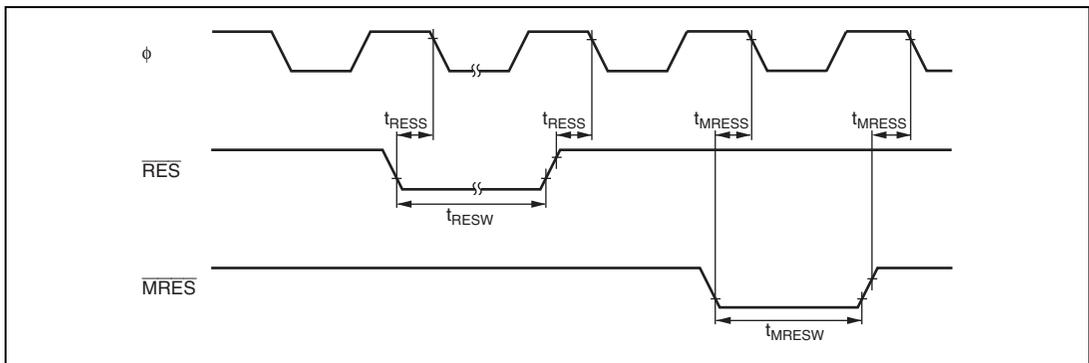


図 25.5 リセット入力タイミング

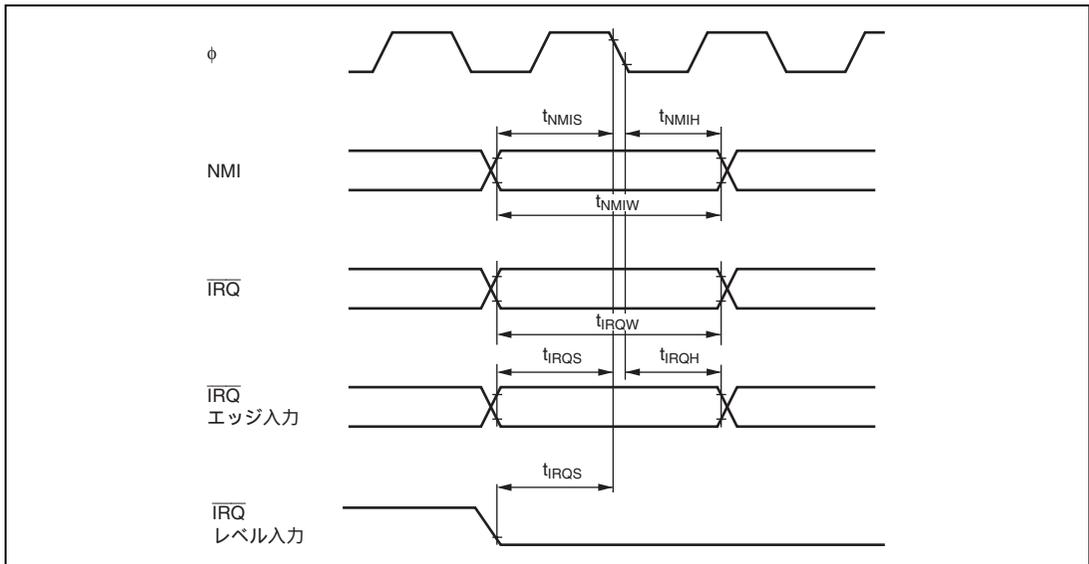


図 25.6 割り込み入力タイミング

## 25.4.3 バスタイミング

表 25.6 にバスタイミングを示します。

表 25.6 バスタイミング

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 16MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
アドレス遅延時間	$t_{AD}$		50		30	ns	図 25.7、図 25.8、 図 25.10
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 8$		ns	
CS 遅延時間	$t_{CSD}$		50		30	ns	図 25.7、図 25.8
AS 遅延時間	$t_{ASD}$		50		25	ns	図 25.7、図 25.8、 図 25.10
RD 遅延時間 1	$t_{RSD1}$		50		25	ns	図 25.7、図 25.8
RD 遅延時間 2	$t_{RSD2}$		50		25	ns	図 25.7、図 25.8、 図 25.10
リードデータセットアップ時間	$t_{RDS}$	30		20		ns	図 25.10
リードデータホールド時間	$t_{RDH}$	0		0		ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 65$		$1.5 \times t_{cyc} - 35$	ns	図 25.7
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 65$		$2.0 \times t_{cyc} - 40$	ns	図 25.7、図 25.10
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 65$		$2.5 \times t_{cyc} - 35$	ns	図 25.8
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 65$		$3.0 \times t_{cyc} - 40$	ns	図 25.8
WR 遅延時間 1	$t_{WRD1}$		50		20	ns	
WR 遅延時間 2	$t_{WRD2}$		50		25	ns	図 25.7、図 25.8
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	図 25.7
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	図 25.8
ライトデータ遅延時間	$t_{WDD}$		50		30	ns	図 25.7、図 25.8
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		ns	図 25.8
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	図 25.7、図 25.8
WAIT セットアップ時間	$t_{WTS}$	50		25		ns	図 25.9
WAIT ホールド時間	$t_{WTH}$	10		5		ns	
BREQ セットアップ時間	$t_{BRQS}$	50		25		ns	図 25.11
BACK 遅延時間	$t_{BACD}$		50		40	ns	
バスフローティング時間	$t_{B2D}$		80		50	ns	

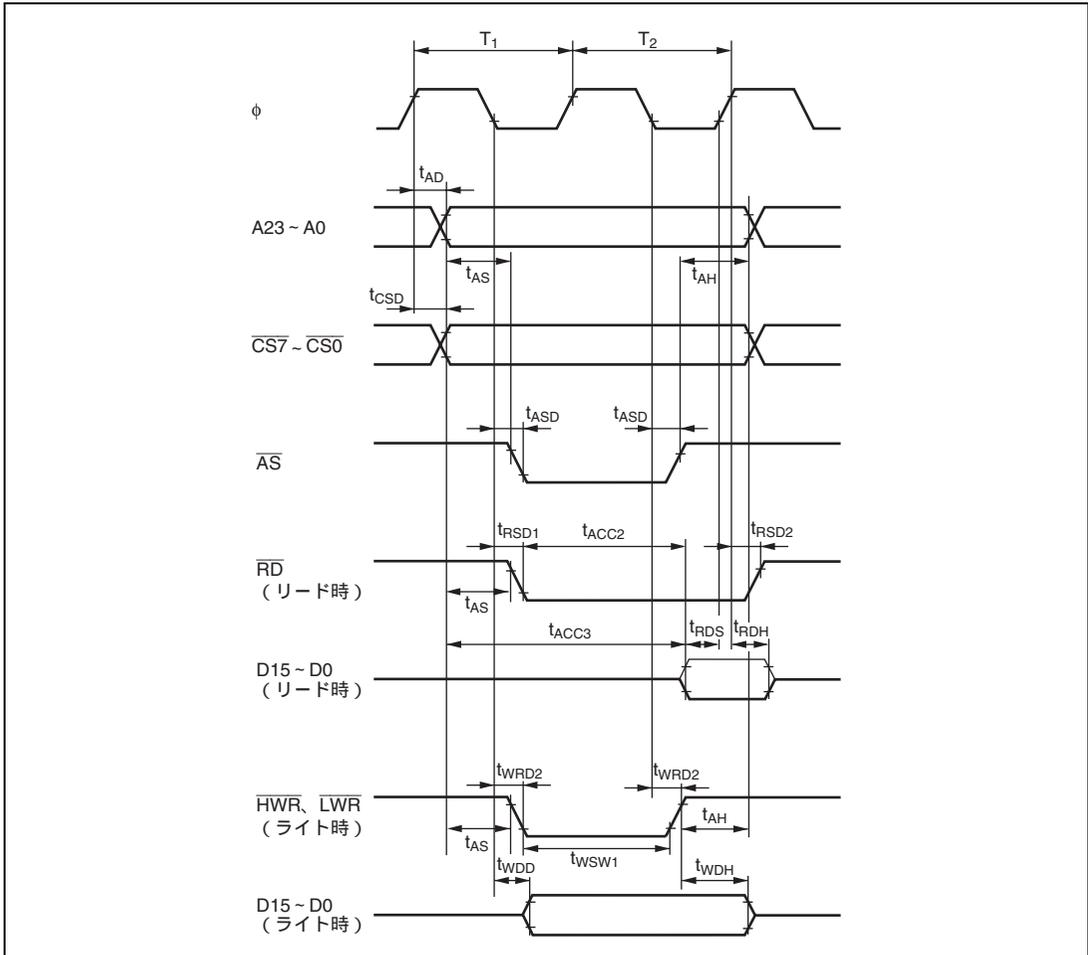


図 25.7 基本バスタイミング / 2 ステートアクセス

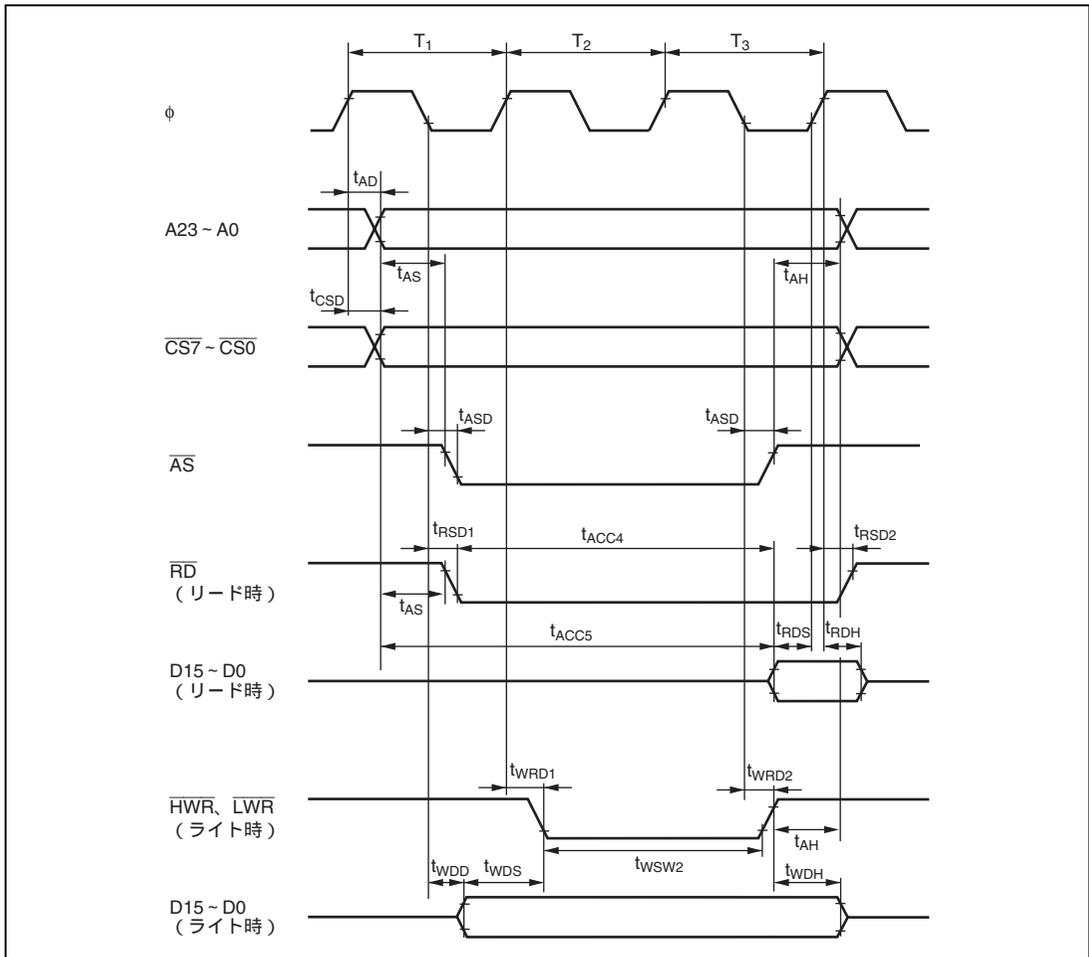


図 25.8 基本バスタイミング / 3 ステートアクセス

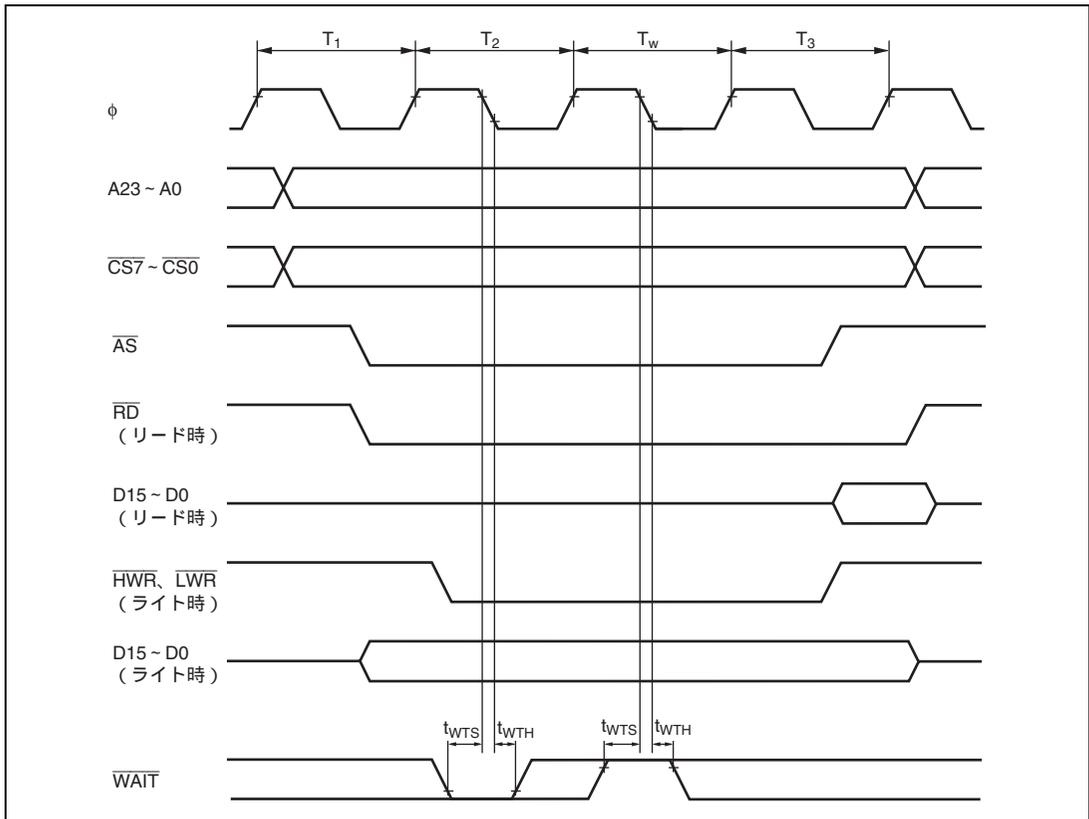


図 25.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

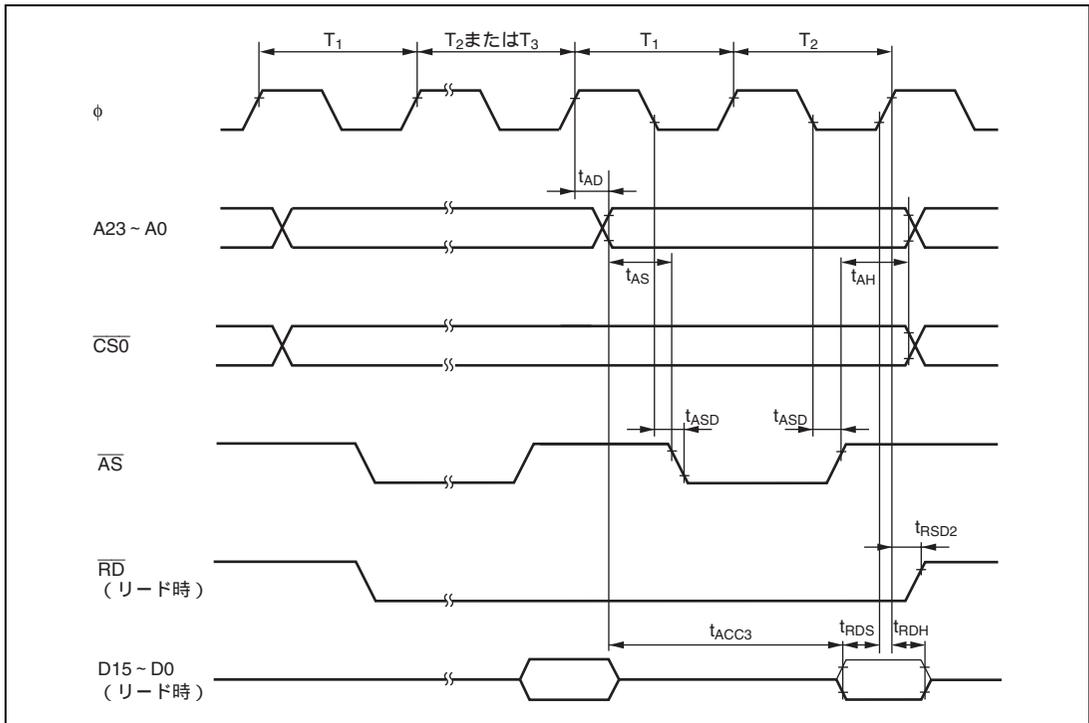


図 25.10 パースト ROM アクセスタイミング / 2 ステートアクセス

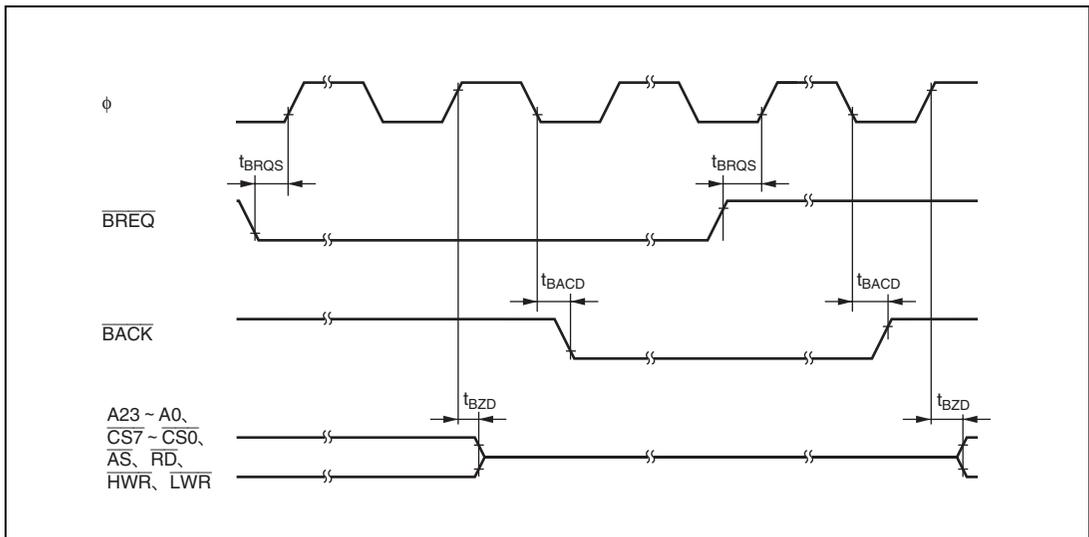


図 25.11 外部バス権解放タイミング

## 25.4.4 内蔵周辺モジュールタイミング

表 25.7 に内蔵周辺タイミングを示します。

表 25.7 内蔵周辺タイミング

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		条件 B		単位	測定条件		
			min	max	min	max				
I/O ポート	出力データ遅延時間	$t_{PWD}$		60		40	ns	図 25.12		
	入力データセットアップ時間	$t_{PRS}$	50		30					
	入力データホールド時間	$t_{PRH}$	50		30					
TPU	タイマ出力遅延時間	$t_{TOCD}$		60		40	ns	図 25.13		
	タイマ入力セットアップ時間	$t_{TICS}$	40		30					
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		30		ns	図 25.14		
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5		1.5			t <sub>cyc</sub>	
両エッジ指定		$t_{TCKWL}$	2.5		2.5					
TMR	タイマ出力遅延時間	$t_{TMOD}$		60		41	ns	図 25.15		
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		29				ns	図 25.17
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		29					
	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$	1.5		1.5			t <sub>cyc</sub>	
両エッジ指定		$t_{TMCWL}$	2.5		2.5					
SCI	入カクロックサイクル	調歩同期	$t_{Scyc}$	4	4		t <sub>cyc</sub>	図 25.18		
		クロック同期		6	6					
	入カクロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	t <sub>Scyc</sub>			
	入カクロック立ち上がり時間	$t_{SCKr}$		1.5		1.5	t <sub>cyc</sub>			
	入カクロック立ち下がり時間	$t_{SCKf}$		1.5		1.5				
	送信データ遅延時間	$t_{TXD}$		60		40	ns		図 25.19	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	60		40					
受信データホールド時間 (クロック同期)	$t_{RXH}$	60		40						
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40		30		図 25.20			

項目		記号	条件 A		条件 B		単位	測定条件
			min	max	min	max		
バウンダリ スキャン	TCK サイクル時間	$t_{TCKC}$	62.5		41.6		ns	図 25.21
	TCK High レベルパルス幅	$t_{TCKH}$	0.4	0.6	0.4	0.6	$t_{TCKC}$	
	TCK Low レベルパルス幅	$t_{TCKL}$	0.4	0.6	0.4	0.6	$t_{TCKC}$	
	TRST パルス幅	$t_{TRSW}$	20		20		$t_{TCKC}$	図 25.22
	TRST セットアップ時間	$t_{TRSS}$	250		250		ns	
	TDI セットアップ時間	$t_{TDIS}$	30		20		ns	図 25.23
	TDI ホールド時間	$t_{TDIH}$	10		10			
	TMS セットアップ時間	$t_{TMSS}$	30		20			
	TMS ホールド時間	$t_{TMSH}$	10		10			
	TDO 遅延時間	$t_{TDOO}$		40		35		

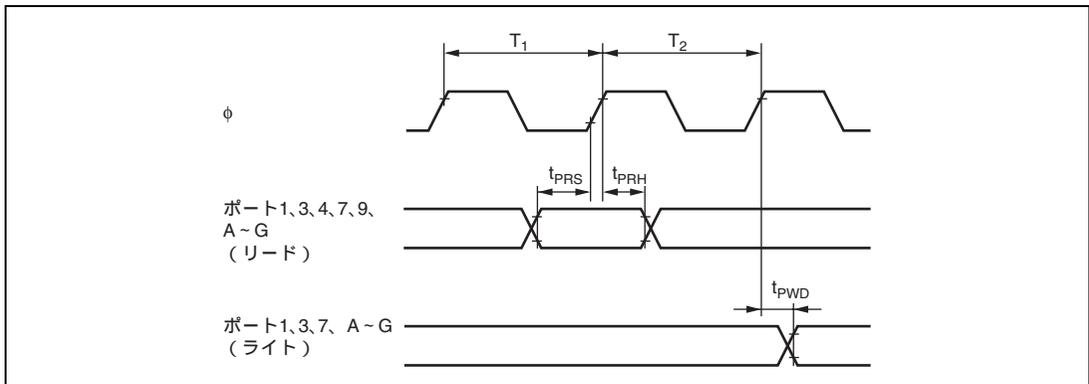
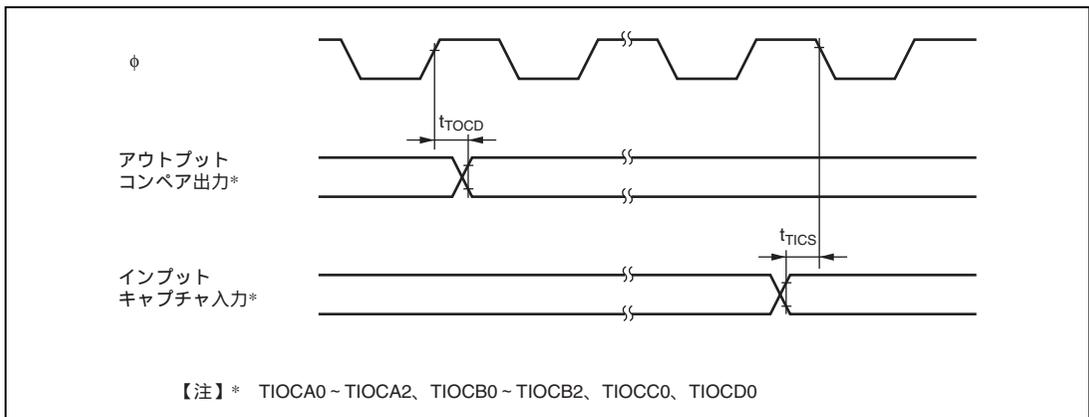


図 25.12 I/O ポート入出力タイミング



【注】\* TIOCA0 ~ TIOCA2、TIOCB0 ~ TIOCB2、TIOCC0、TIOCD0

図 25.13 TPU 入出力タイミング

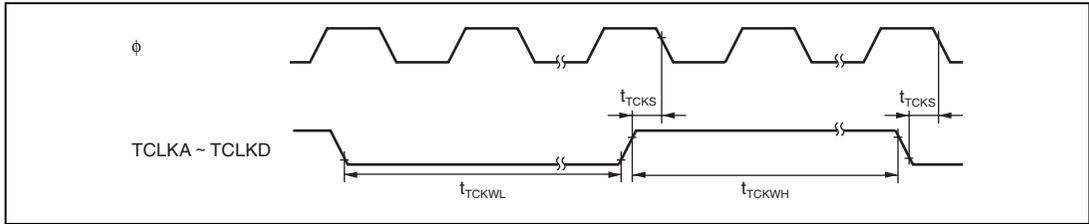


図 25.14 TPU クロック入力タイミング

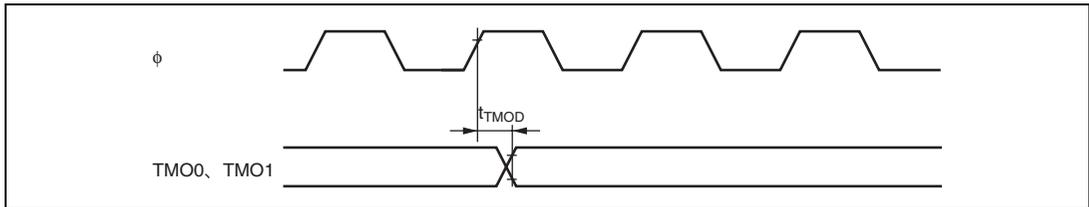


図 25.15 8ビットタイマ出力タイミング

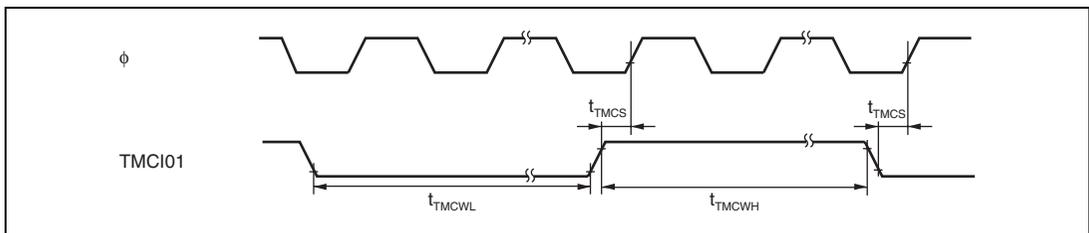


図 25.16 8ビットタイマクロック入力タイミング

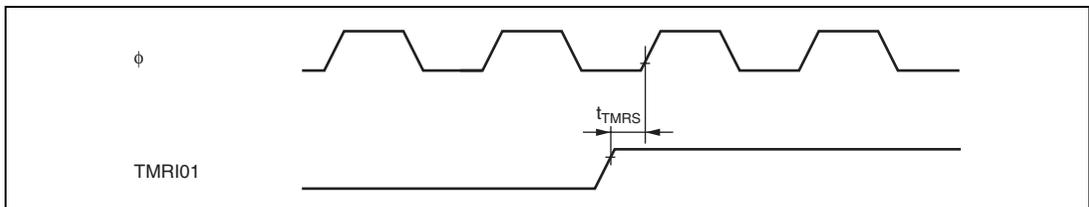


図 25.17 8ビットタイマリセット入力タイミング

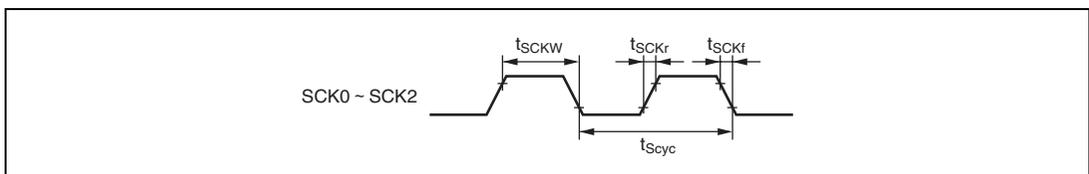


図 25.18 SCK クロック入力タイミング

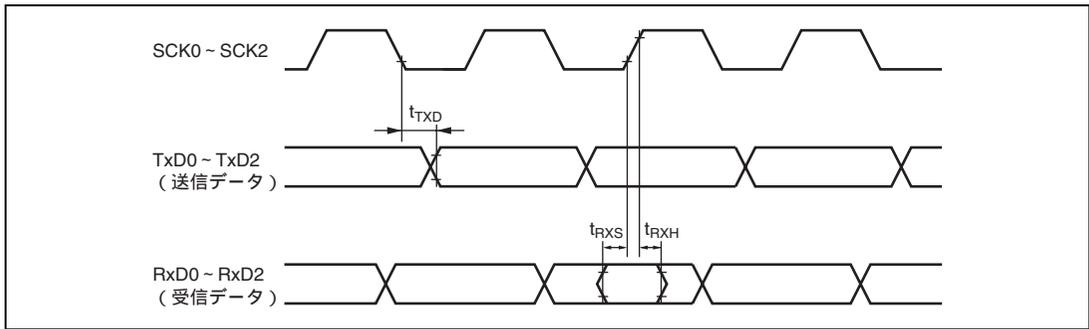


図 25.19 SCI 入出力タイミング/クロック同期式モード

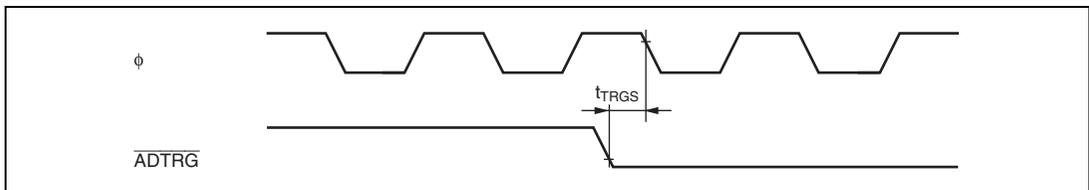


図 25.20 A/D 変換器外部トリガ入力タイミング

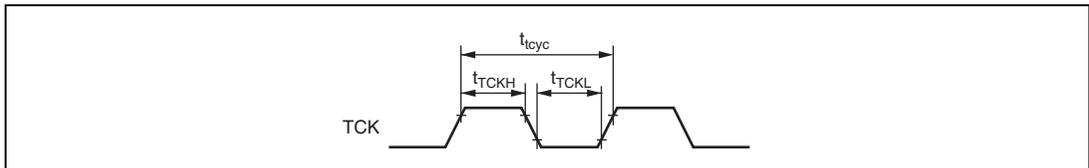


図 25.21 バウンダリスキャン TCK 入力タイミング

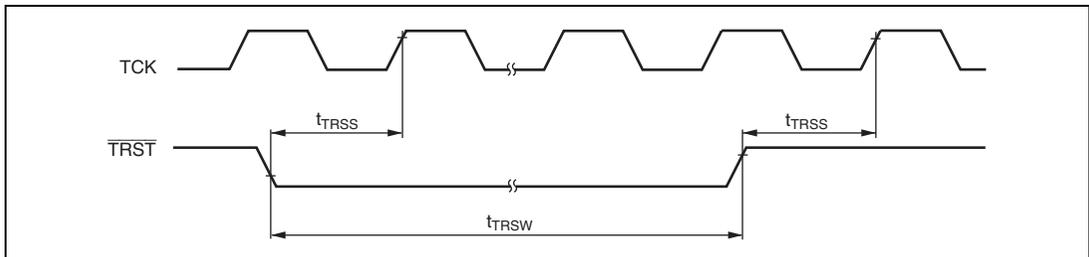


図 25.22 バウンダリスキャン  $\overline{\text{TRST}}$  入力タイミング (リセットホールド時)

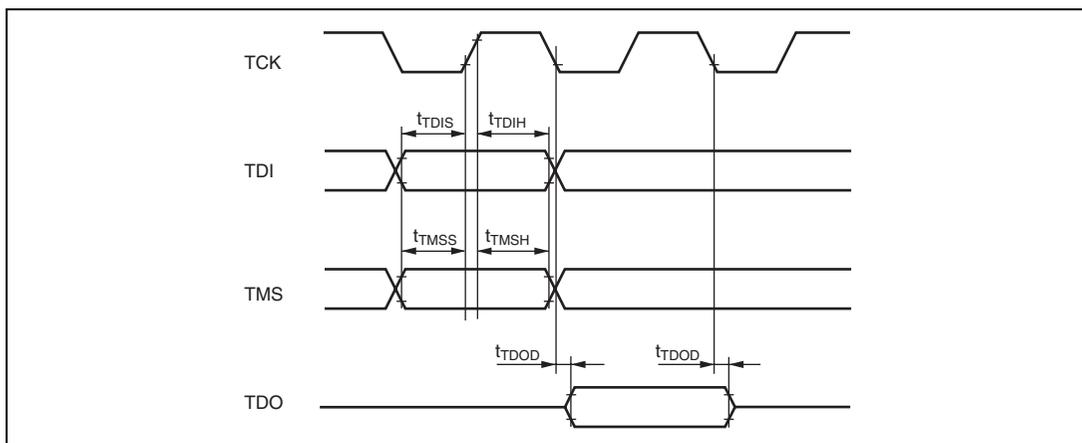


図 25.23 バウンダリスキャンデータ転送タイミング

## 25.5 USB 特性

表 25.8 に内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性) を示します。

表 25.8 内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性)

条件 :  $V_{CC} = PLLV_{CC} = D_rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = D_rV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 24MHz$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件		単位	測定条件		
		min	max				
入力特性	入力 High レベル電圧	$V_{IH}$	2.0		V		図 25.24
	入力 Low レベル電圧	$V_{IL}$		0.8	V		図 25.25
	差動入力感度	$V_{DI}$	0.2		V	$ (D+) - (D-) $ $D_rV_{CC} = 3.3 \sim 3.6V$	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V		
出力特性	出力 High レベル電圧	$V_{OH}$	2.8		V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	$V_{OL}$		0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V		
	立ち上がり時間	$t_r$	4	20	ns		
	立ち下がり時間	$t_f$	4	20	ns		
	立ち上がり / 立ち下がり 時間マッチング	$t_{RFM}$	90	111.11	%	$(T_r / T_f)$	
	出力抵抗	$Z_{DRV}$	28	44	$\Omega$	$R_s = 24\Omega$ を含む	

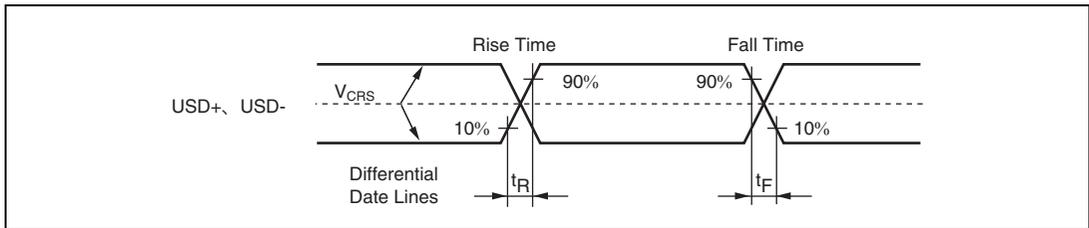


図 25.24 データ信号タイミング

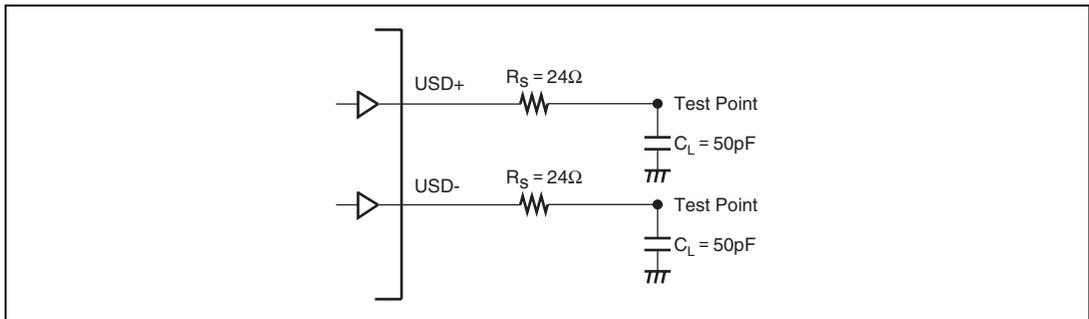


図 25.25 負荷条件

## 25.6 A/D 変換特性

表 25.9 に A/D 変換特性を示します。

表 25.9 A/D 変換特性

条件 A :  $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.7 \sim 3.6V^*$ 、 $AV_{CC} = 2.7 \sim 3.6V^*$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 16MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 B :  $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V^*$ 、 $AV_{CC} = 3.0 \sim 3.6V^*$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = AV_{SS} = 0V$ 、 $\phi = 13 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A、B			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	8.1			$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は、 $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 25.7 D/A 変換特性

表 25.10 に D/A 変換特性を示します。

表 25.10 D/A 変換特性

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 16MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A, B			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 25.8 フラッシュメモリ特性

表 25.11 にフラッシュメモリ特性を示します。

表 25.11 フラッシュメモリ特性

条件 A :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 16MHz$ ,  $T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲)

条件 B :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 13 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲)

項目	記号	min	typ	max	単位	
書き込み時間 <sup>*1*</sup>	$t_p$		10	200	ms/128 バイト	
消去時間 <sup>*1*</sup>	$t_E$		50	1000	ms/ブロック	
書き換え回数	$N_{WEC}$	100 <sup>*6</sup>	10000 <sup>*7</sup>		回	
データ保持時間 <sup>*8</sup>	$t_{DRP}$	10			年	
書き込み時	PSU1 ビットセット後のウェイト時間 <sup>*1</sup>	$y$	50	50	$\mu s$	
	P1 ビットセット後のウェイト時間 <sup>*1*</sup>	$z0$	28	30	32	$\mu s$
		$z1$	198	200	202	$\mu s$
		$z2$	8	10	12	$\mu s$
	P1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\alpha$	5	5	$\mu s$	
	PSU1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\beta$	5	5	$\mu s$	
	PV1 ビットセット後のウェイト時間 <sup>*1</sup>	$\gamma$	4	4	$\mu s$	
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	$\varepsilon$	2	2	$\mu s$	
PV1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\eta$	2	2	$\mu s$		

項目		記号	min	typ	max	単位
書き込み時	最大書き込み回数 <sup>*1*</sup>	N1			6 <sup>*4</sup>	回
		N2			994 <sup>*4</sup>	回
共通	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	x	1	1		μs
	SWE1 ビットクリア後のウェイト時間 <sup>*1</sup>	θ	100	100		μs
消去時	ESU1 ビットセット後のウェイト時間 <sup>*1</sup>	y	100	100		μs
	E1 ビットセット後のウェイト時間 <sup>*1*</sup>	z	10	10	100	ms
	E1 ビットクリア後のウェイト時間 <sup>*1</sup>	α	10	10		μs
	ESU1 ビットクリア後のウェイト時間 <sup>*1</sup>	β	10	10		μs
	EV1 ビットセット後のウェイト時間 <sup>*1</sup>	γ	20	20		μs
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	ε	2	2		μs
	EV1 ビットクリア後のウェイト時間 <sup>*1</sup>	η	4	4		μs
	最大消去回数 <sup>*1*</sup>	N			100	回

【注】 \*1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)

\*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)

\*4 書き込み時間の最大値

$$t_w(\text{max}) = \text{P1 ビットセット後のウェイト時間}(z) \times \text{最大書き込み回数}(N1 + N2) \\ = (z0 + z2) \times 6 + z1 \times 994$$

\*5 消去時間の最大値

$$t_e(\text{max}) = \text{E1 ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$

\*6 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。

\*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)

\*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 25.9 使用上の注意事項

### • プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用ください。以下に具体的対策例を示します。

1. 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
2. LSIのVcc - GND (Vss) 間にバイパスコンデンサ (0.1μF程度) を付ける。



## 26. 電気的特性 (H8S/2215T)

### 26.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>cc</sub> 、PLL <sub>Vcc</sub> 、Dr <sub>Vcc</sub>	-0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	V <sub>in</sub>	-0.3 ~ V <sub>cc</sub> +0.3	V
入力電圧 (ポート 4、9)	V <sub>in</sub>	-0.3 ~ AV <sub>cc</sub> +0.3	V
リファレンス電源電圧	V <sub>ref</sub>	-0.3 ~ AV <sub>cc</sub> +0.3	V
アナログ電源電圧	AV <sub>cc</sub>	-0.3 ~ +4.3	V
アナログ入力電圧	V <sub>AN</sub>	-0.3 ~ AV <sub>cc</sub> +0.3	V
動作温度	T <sub>opr</sub>	通常仕様品 : -20 ~ +75* 広温度範囲仕様品 : -40 ~ +85*	
保存温度	T <sub>stg</sub>	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、T<sub>a</sub> = -20 ~ 75 です。

### 26.2 電源電圧と動作周波数範囲

電源電圧と動作範囲 (網かけ部) を図 26.1 に示します。

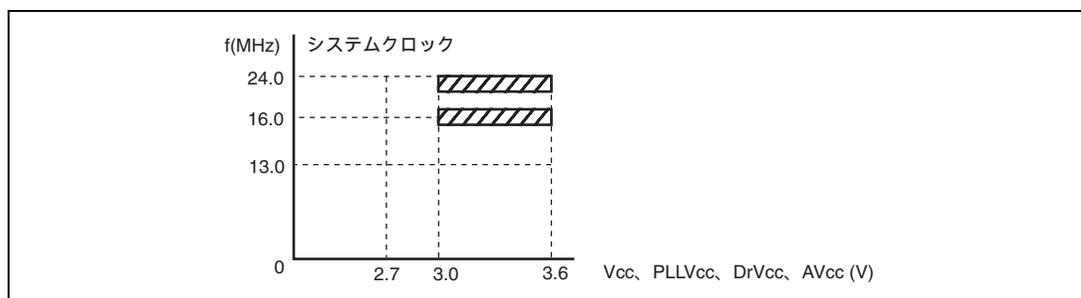


図 26.1 電源電圧と動作範囲

## 26.3 DC 特性

DC 特性を表 26.2 に示します。また、出力許容電流を表 26.3 に示します。

表 26.2 DC 特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	$\overline{VT^-}$	$V_{CC} \times 0.2$			V		
	$\overline{VT^+}$			$V_{CC} \times 0.8$	V		
	$\overline{VT^+ - VT^-}$	$V_{CC} \times 0.05$			V		
入力 High レベル電圧	$\overline{RES}$ , $\overline{STBY}$ , $\overline{NMI}$ , $\overline{MD2 - MD0}$ , $\overline{TRST}$ , $\overline{TCK}$ , $\overline{TMS}$ , $\overline{TDI}$ , $\overline{EMLE}$ , $\overline{VBUS}$ , $\overline{UBPM}$ , $\overline{FWE}^{*5}$	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
			$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
			$V_{CC} \times 0.8$		$AV_{CC} + 0.3^{*6}$	V	
入力 Low レベル電圧	$\overline{RES}$ , $\overline{STBY}$ , $\overline{MD2 - MD0}$ , $\overline{TRST}$ , $\overline{TCK}$ , $\overline{TMS}$ , $\overline{TDI}$ , $\overline{EMLE}$ , $\overline{VBUS}$ , $\overline{UBPM}$ , $\overline{FWE}^{*5}$	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V	
			- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = - 200\mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = - 1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 0.4mA$
					0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	$\overline{RES}$ , $\overline{VBUS}$ , $\overline{UBPM}$ , $\overline{STBY}$ , $\overline{NMI}$ , $\overline{MD2 - MD0}$ , $\overline{FWE}^{*5}$	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 - V_{CC} - 0.5V$
					1.0	$\mu A$	$V_{in} = 0.5 - AV_{CC} - 0.5V$
スリーステート トリーク電流 (オフ状態)	ポート 1, 3, 7, ポート A ~ G	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 - V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A ~ E	- $I_P$	10		300	$\mu A$	$V_{in} = 0V$

項目		記号	min	typ	max	単位	測定条件
入力容量	RES、NMI	Cin			30	pF	Vin = 0V
	RES、NMI 以外の 全入力端子				15	pF	f = 1MHz Ta = 25
消費電流*2	通常動作 (USB 停止) 時	Icc*3		23 (Vcc = 3.3V)	40 (Vcc = 3.6V)	mA	f = 16MHz
				34 (Vcc = 3.3V)	55 (Vcc = 3.6V)	mA	f = 24MHz
	通常動作 (USB 動作) 時			28 (Vcc = 3.3V)	50 (Vcc = 3.6V)	mA	f = 16MHz( PLL3 逡倍)
				40 (Vcc = 3.3V)	60 (Vcc = 3.6V)	mA	f = 24MHz( PLL2 逡倍)
	スリープ時			18 (Vcc = 3.3V)	35 (Vcc = 3.6V)	mA	f = 16MHz ( USB、PLL 停止時)
				26 (Vcc = 3.3V)	45 (Vcc = 3.6V)	mA	f = 24MHz ( USB、PLL 停止時)
	全モジュール ストップ時			15 (Vcc = 3.3V)		mA	f = 16MHz (参考値)
				21 (Vcc = 3.3V)		mA	f = 24MHz (参考値)
スタンバイ時*4			1.0	10	μA	Ta 50	
				50		50 < Ta	
アナログ 電源電流	A/D、D/A 変換中	Alcc		0.3	1.5	mA	AVcc = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	Alcc		1.2	2.5	mA	Vref = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		VRAM	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref 端子は Vcc に、AVSS 端子は Vss にそれぞれ接続してください。このとき、Vref AVcc としてください。

\*2 消費電流値は、VIH min = Vcc - 0.2V、VIL max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 Icc は下記の式に従って Vcc と f に依存します。

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.67 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 停止時)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 16MHz : PLL3 逡倍)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 24MHz : PLL2 逡倍)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.55 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (スリープ時)}$$

\*4 VRAM Vcc < 3.0V のとき、VIH min = Vcc × 0.9、VIL max = 0.3V とした場合の値です。

\*5 FWE 端子は F-ZTAT 版のみ対応します。

\*6 Vcc < AVcc のとき、P40、P41 の max は、Vcc + 0.3V になります。

表 26.3 出力許容電流

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 3.0 \sim 3.6V$	IoL			1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 3.0 \sim 3.6V$	$\Sigma$ IoL			60	mA
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 3.0 \sim 3.6V$	- IoH			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 3.0 \sim 3.6V$	$\Sigma$ - IoH			30	mA

【注】 \* LSI の信頼性を確保するため、出力電流値は表 26.3 の値を超えないようにしてください。

## 26.4 AC 特性

図 26.2 に AC 測定条件を示します。

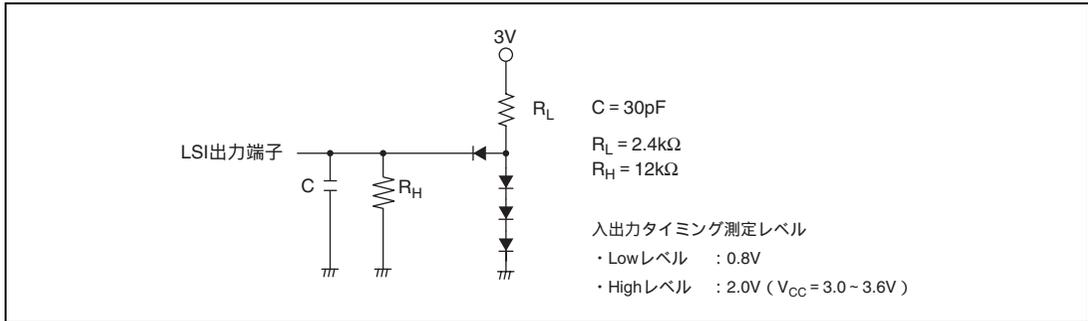


図 26.2 出力負荷回路

### 26.4.1 クロックタイミング

表 26.4 にクロックタイミングを示します。

表 26.4 クロックタイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 16$ 、24MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t <sub>cyc</sub>	41.6	62.5	ns	図 26.3
クロック High レベルパルス幅	t <sub>CH</sub>	13		ns	
クロック Low レベルパルス幅	t <sub>CL</sub>	13		ns	
クロック立ち上がり時間	t <sub>Cr</sub>		7	ns	
クロック立ち下がり時間	t <sub>Cf</sub>		7	ns	
リセット発振安定時間 (水晶)	t <sub>OSC1</sub>	20		ms	図 26.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t <sub>OSC2</sub>	8		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 22pF$ 、図 22.3
		4		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 15pF$ 、 図 22.3 $V_{CC} = 3.0 \sim 3.6V$
外部クロック出力安定遅延時間	t <sub>DEXT</sub>	500		$\mu s$	図 26.4
USB 動作クロック (48MHz) 発振安定時間	t <sub>OSC3</sub>	8		ms	$V_{CC} = 3.0 \sim 3.6V$
USB 動作クロック (48MHz) 発振器発振周波数	f <sub>48</sub>	48		MHz	
USB 動作クロック (48MHz) サイクル時間	f <sub>48</sub>	20.8		ns	

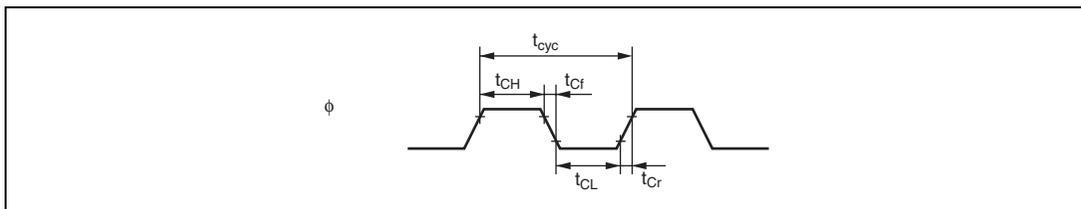


図 26.3 システムクロックタイミング

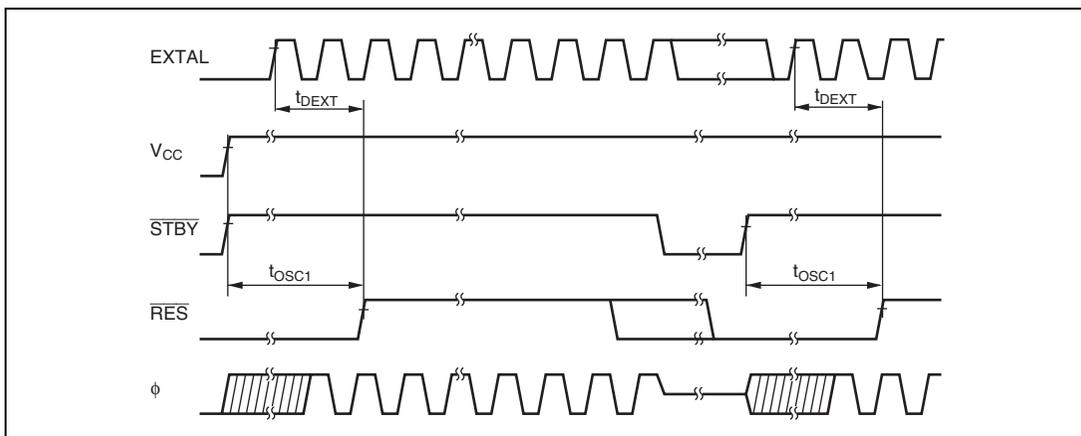


図 26.4 発振安定時間タイミング

### 26.4.2 制御信号タイミング

表 26.5 に制御信号タイミングを示します。

表 26.5 制御信号タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 16, 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	250		ns	図 26.5
RES パルス幅	$t_{RESW}$	20		t <sub>cyc</sub>	
MRES セットアップ時間	$t_{MRESS}$	250		ns	
MRES パルス幅	$t_{MRESW}$	20		t <sub>cyc</sub>	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 26.6
NMI ホールド時間	$t_{NMIH}$	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	
IRQ セットアップ時間	$t_{IRQS}$	250		ns	
IRQ ホールド時間	$t_{IRQH}$	10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

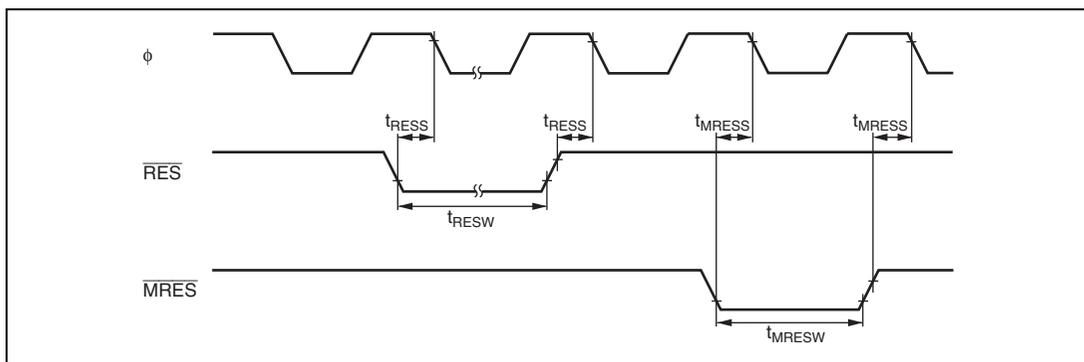


図 26.5 リセット入力タイミング

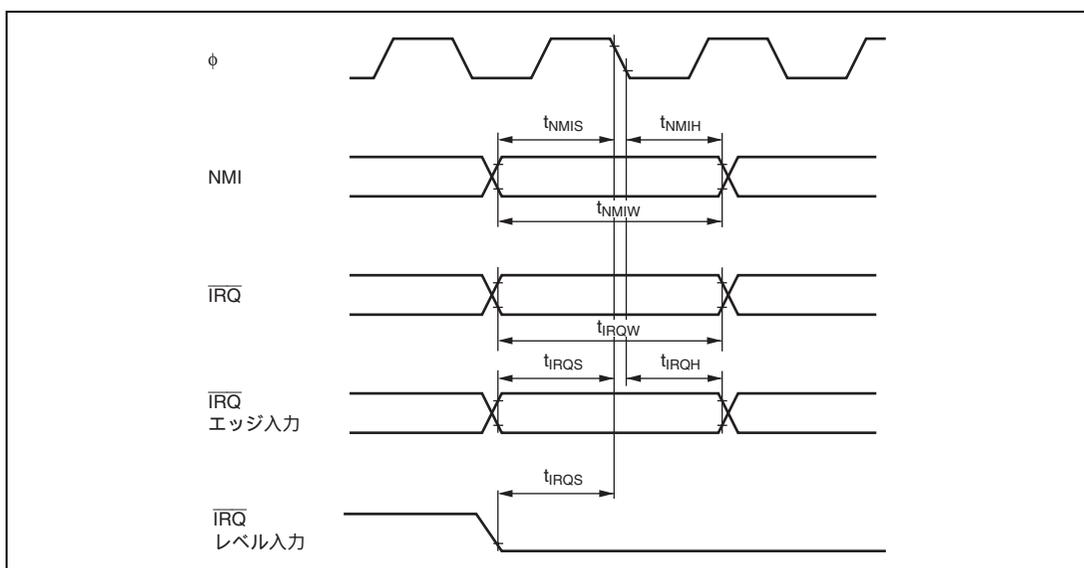


図 26.6 割り込み入力タイミング

## 26.4.3 バスタイミング

表 26.6 にバスタイミングを示します。

表 26.6 バスタイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 16, 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$		30	ns	図 26.7、図 26.8、図 26.10
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 20$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 8$		ns	
CS 遅延時間	$t_{CSD}$		30	ns	図 26.7、図 26.8
AS 遅延時間	$t_{ASD}$		25	ns	図 26.7、図 26.8、図 26.10
RD 遅延時間 1	$t_{RSD1}$		25	ns	図 26.7、図 26.8
RD 遅延時間 2	$t_{RSD2}$		25	ns	図 26.7、図 26.8、図 26.10
リードデータセットアップ時間	$t_{RDS}$	20		ns	図 26.7
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 35$	ns	図 26.7
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 40$	ns	図 26.7、図 26.10
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 35$	ns	図 26.8
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 40$	ns	
WR 遅延時間 1	$t_{WRD1}$		20	ns	
WR 遅延時間 2	$t_{WRD2}$		25	ns	図 26.7、図 26.8
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 20$		ns	図 26.7
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 20$		ns	図 26.8
ライトデータ遅延時間	$t_{WDD}$		30	ns	図 26.7、図 26.8
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 20$		ns	図 26.8
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 10$		ns	図 26.7、図 26.8
WAIT セットアップ時間	$t_{WTS}$	25		ns	図 26.9
WAIT ホールド時間	$t_{WTH}$	5		ns	
BREQ セットアップ時間	$t_{BRQS}$	25		ns	図 26.11
BACK 遅延時間	$t_{BACD}$		40	ns	
バスフローティング時間	$t_{BZD}$		50	ns	

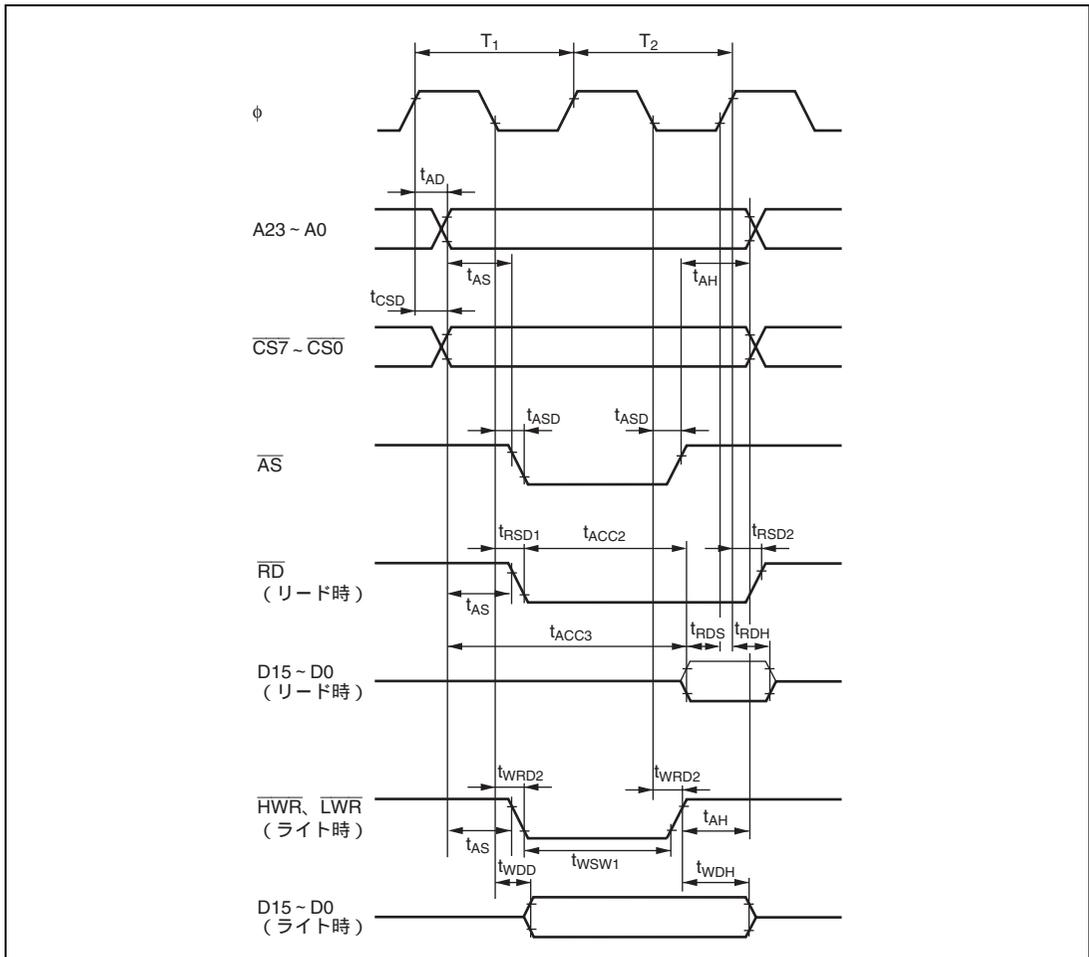


図 26.7 基本バスタイミング / 2 ステートアクセス

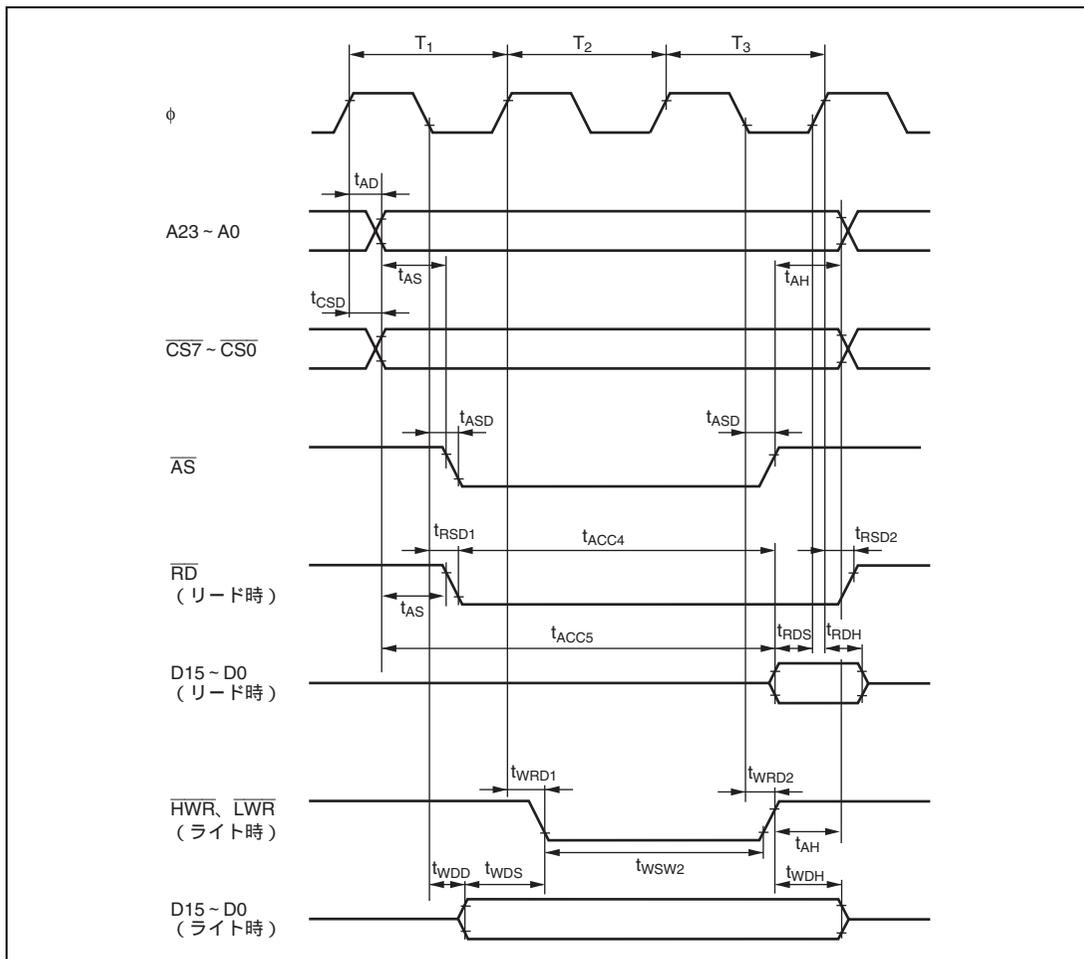


図 26.8 基本バスタイミング / 3 ステートアクセス

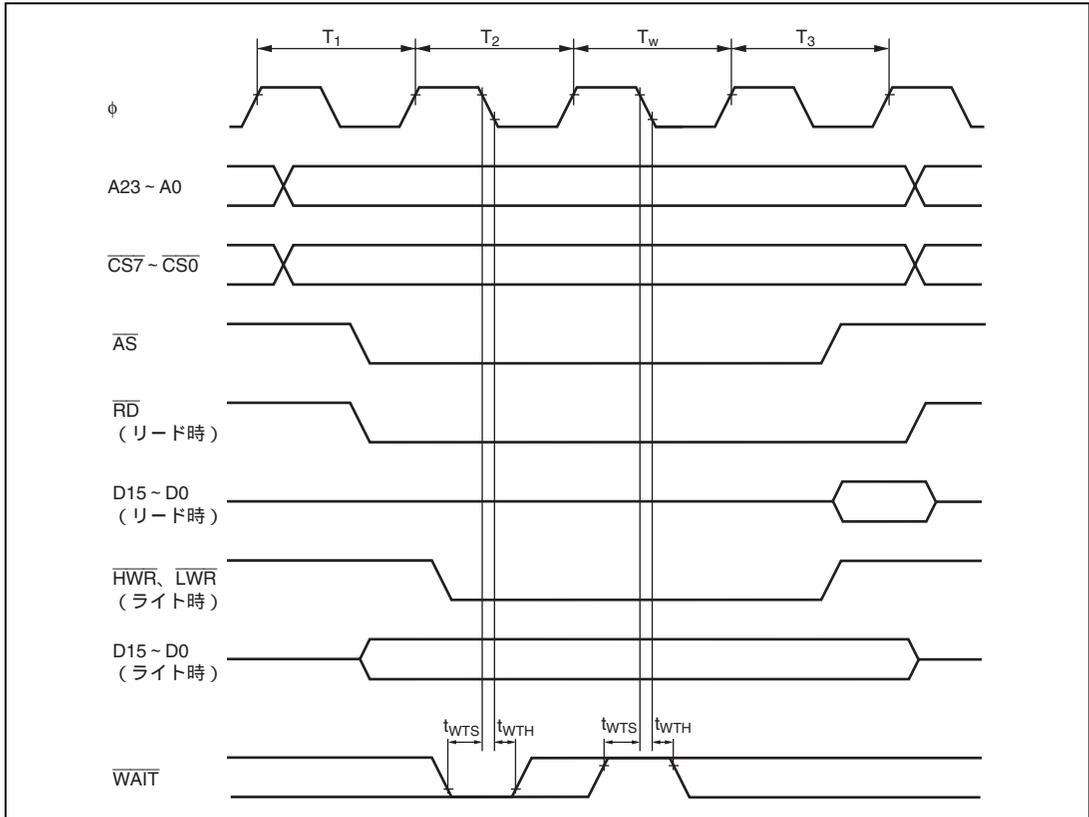


図 26.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

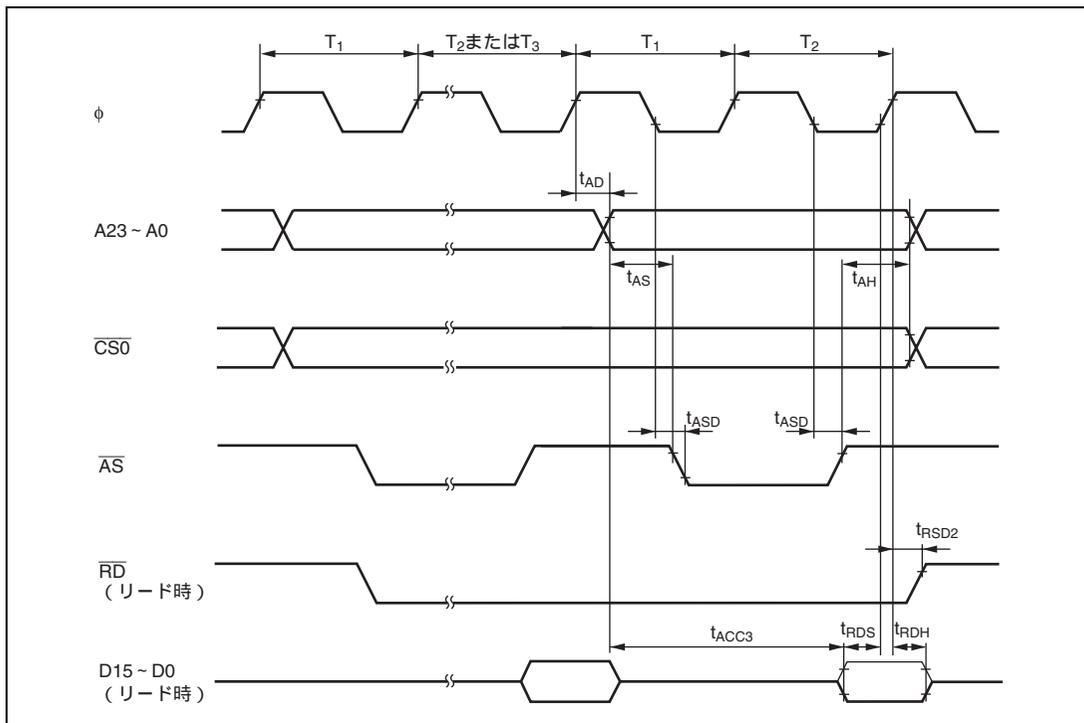


図 26.10 パースト ROM アクセスタイミング / 2 ステートアクセス

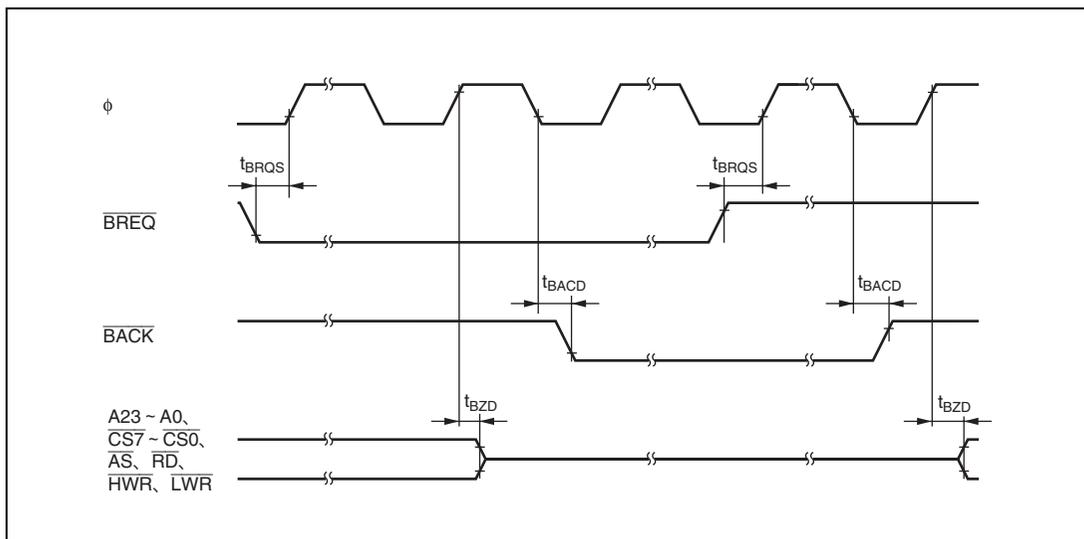


図 26.11 外部バス権解放タイミング

## 26.4.4 内蔵周辺モジュールタイミング

表 26.7 に内蔵周辺タイミングを示します。

表 26.7 内蔵周辺タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 16$ 、 $24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間	$t_{PVD}$		40	ns	図 26.12
	入力データセットアップ時間	$t_{PRS}$	30			
	入力データホールド時間	$t_{PRH}$	30			
TPU	タイマ出力遅延時間	$t_{TODD}$		40	ns	図 26.13
	タイマ入力セットアップ時間	$t_{TICS}$	30			
	タイマクロック入力セットアップ時間	$t_{TCKS}$	30		ns	図 26.14
		タイマクロックパルス幅	単エッジ指定 $t_{TCKWH}$	1.5		
両エッジ指定 $t_{TCKWL}$	2.5					
TMR	タイマ出力遅延時間	$t_{TMOD}$		41	ns	図 26.15
	タイマリセット入力セットアップ時間	$t_{TMRS}$	29			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	29		ns	図 26.16
	タイマクロックパルス幅	単エッジ指定 $t_{TMCVH}$	1.5			
両エッジ指定 $t_{TMCWL}$		2.5				
SCI	入力クロックサイクル	調歩同期 $t_{Seyc}$	4		tcyc	図 26.18
		クロック同期	6			
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	tcyc	
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5		
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5		
	送信データ遅延時間	$t_{TXD}$		40	ns	図 26.19
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	40			
	受信データホールド時間 (クロック同期)	$t_{RXH}$	40			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30			図 26.20
バウンダリ スキャン	TCK サイクル時間	$t_{tcyc}$	41.6		ns	図 26.21
	TCK High レベルパルス幅	$t_{TCKH}$	0.4	0.6		
	TCK Low レベルパルス幅	$t_{TCKL}$	0.4	0.6		
	TRST パルス幅	$t_{TRSW}$	20		tcyc	図 26.22
	TRST セットアップ時間	$t_{TRSS}$	250			
	TDI セットアップ時間	$t_{TDIS}$	20		ns	図 26.23
	TDI ホールド時間	$t_{TDIH}$	10			
	TMS セットアップ時間	$t_{TMSS}$	20			
	TMS ホールド時間	$t_{TMSH}$	10			
	TDO 遅延時間	$t_{TDOD}$		35		

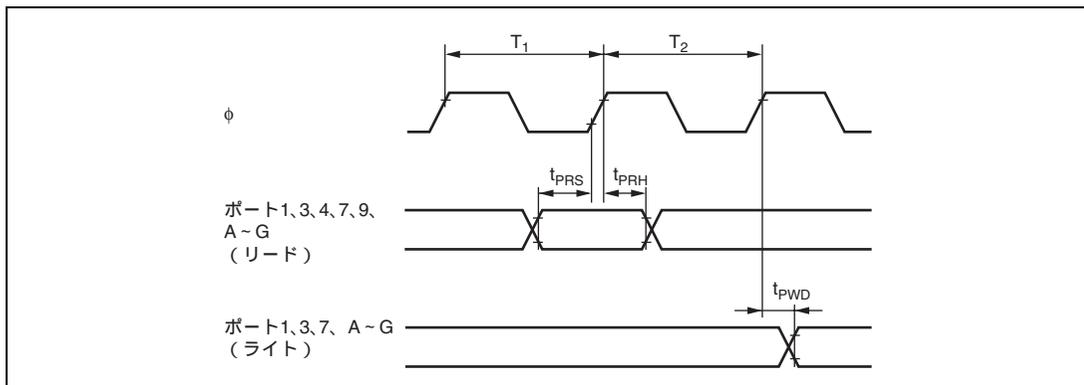
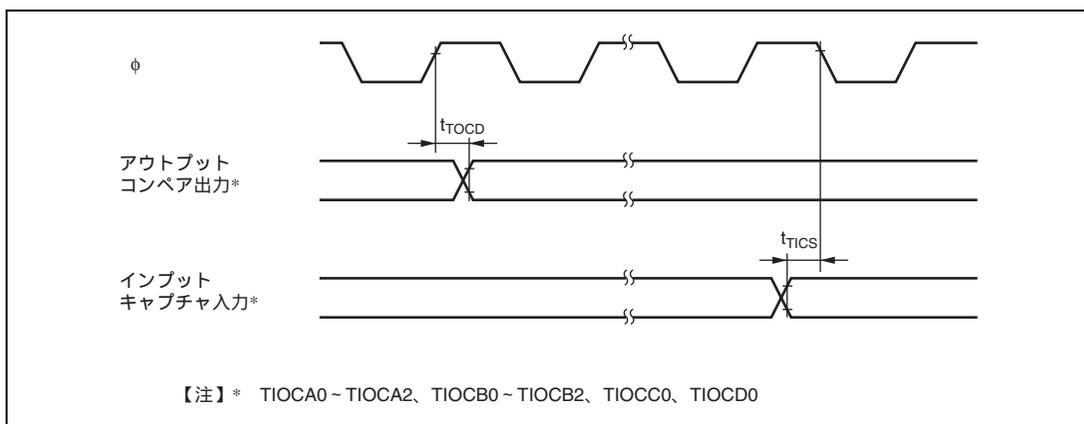


図 26.12 I/O ポート入出力タイミング



【注】\* TIOCA0 ~ TIOCA2, TIOCB0 ~ TIOCB2, TIOCC0, TIOCD0

図 26.13 TPU 入出力タイミング

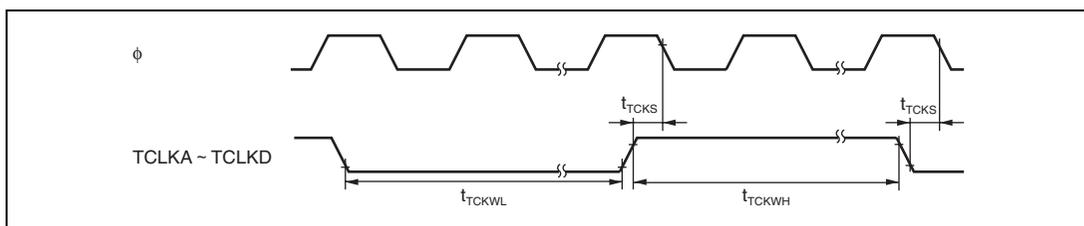


図 26.14 TPU クロック入力タイミング

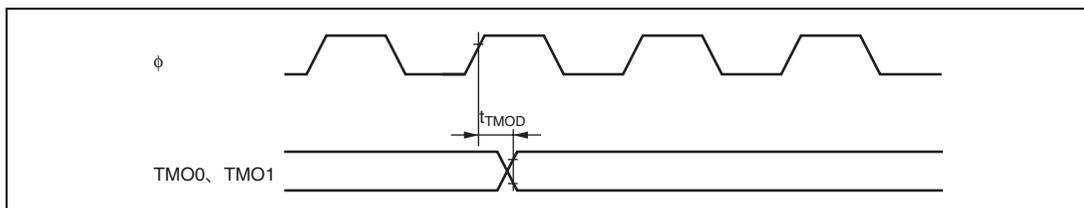


図 26.15 8 ビットタイマ出力タイミング

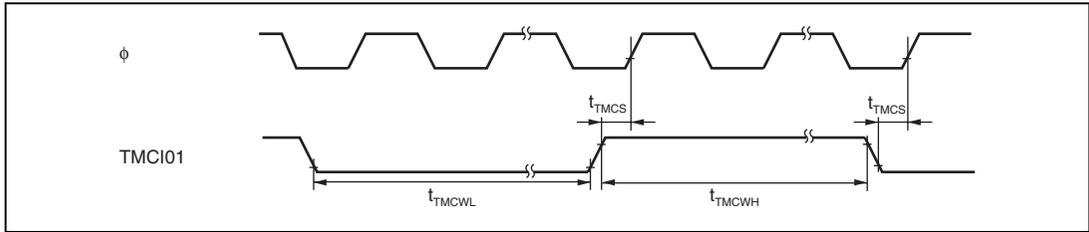


図 26.16 8ビットタイマクロック入力タイミング

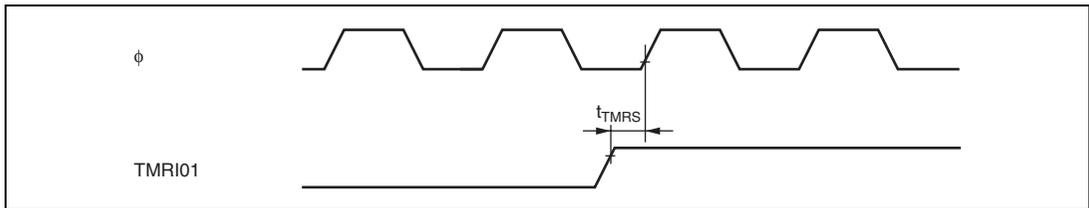


図 26.17 8ビットタイマリセット入力タイミング

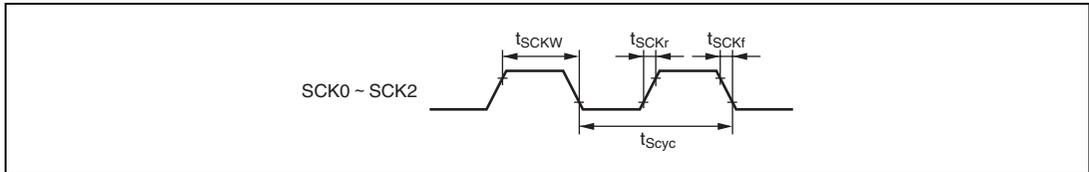


図 26.18 SCK クロック入力タイミング

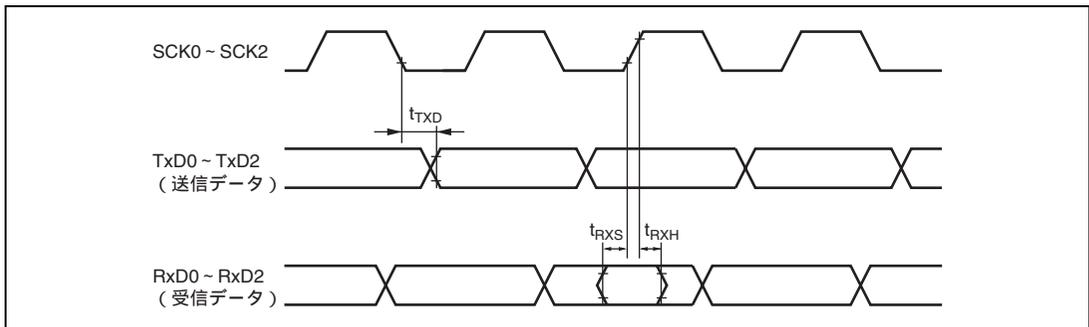


図 26.19 SCI 入出力タイミング/クロック同期式モード

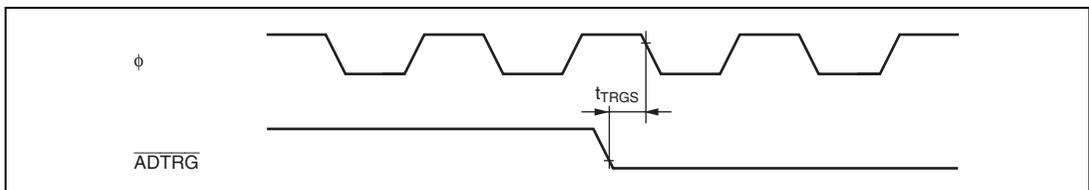


図 26.20 A/D 変換器外部トリガ入力タイミング

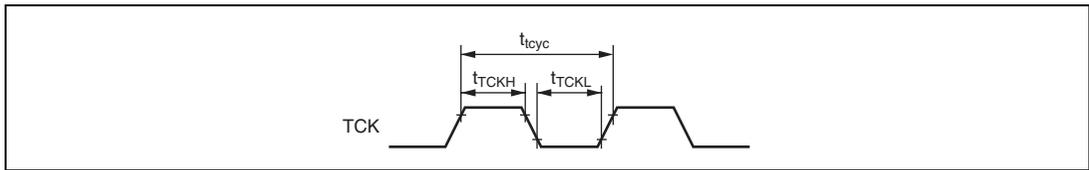


図 26.21 バウンダリスキャン TCK 入力タイミング

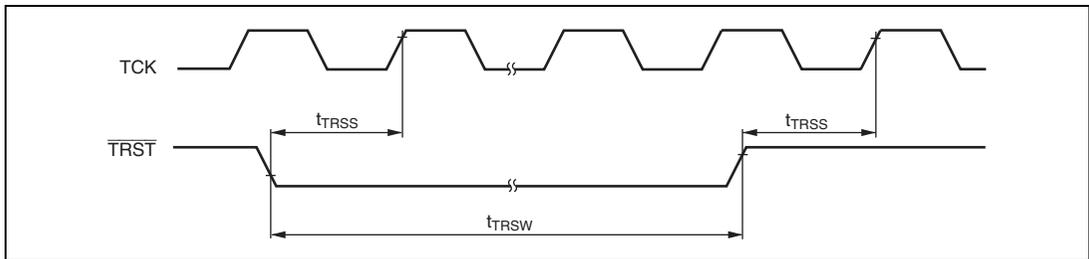


図 26.22 バウンダリスキャン TRST 入力タイミング (リセットホールド時)

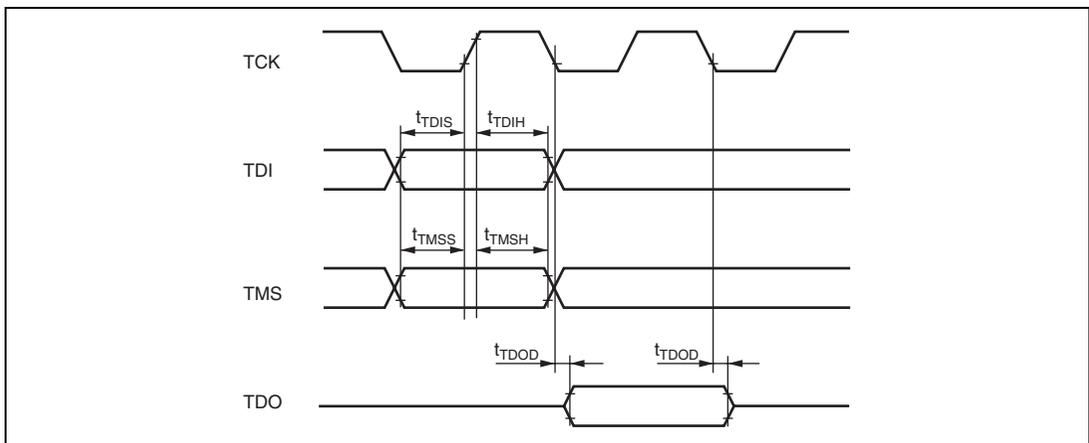


図 26.23 バウンダリスキャンデータ転送タイミング

## 26.5 USB 特性

表 26.8 に内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性) を示します。

表 26.8 内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性)

条件 :  $V_{CC} = PLLV_{CC} = D_rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = D_rV_{SS} = AV_{SS} = 0V$ 、 $\phi = 16$ 、24MHz、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件	
入力特性	入力 High レベル電圧	$V_{IH}$	2.0		V	図 26.24 図 26.25 $  (D+) - (D-)  $ $D_rV_{CC} = 3.3 \sim 3.6V$
	入力 Low レベル電圧	$V_{IL}$		0.8	V	
	差動入力感度	$V_{DI}$	0.2		V	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V	
出力特性	出力 High レベル電圧	$V_{OH}$	2.8		V	$I_{OH} = -200\mu A$
	出力 Low レベル電圧	$V_{OL}$		0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	
	立ち上がり時間	$t_R$	4	20	ns	
	立ち下がり時間	$t_F$	4	20	ns	
	立ち上がり / 立ち下がり 時間マッチング	$t_{RFM}$	90	111.11	%	$(T_R / T_F)$
	出力抵抗	$Z_{DRV}$	28	44	$\Omega$	$R_s = 24\Omega$ を含む

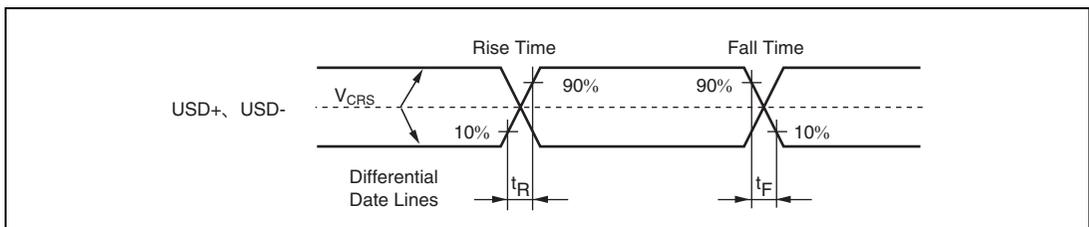


図 26.24 データ信号タイミング

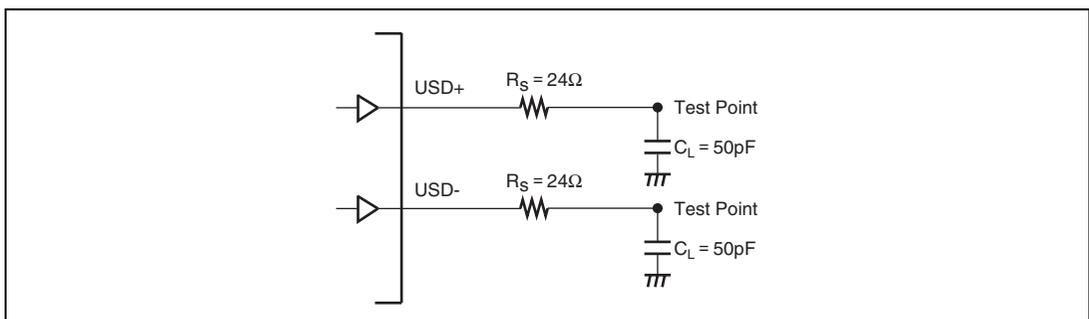


図 26.25 負荷条件

## 26.6 A/D 変換特性

表 26.9 に A/D 変換特性を示します。

表 26.9 A/D 変換特性

条件 :  $V_{cc} = PLLV_{cc} = DrV_{cc} = 3.0 \sim 3.6V^*$ 、 $AV_{cc} = 3.0 \sim 3.6V^*$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = DrV_{ss} = AV_{ss} = 0V$ 、  
 $\phi = 16, 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	8.1			$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は、 $V_{cc} = AV_{cc}$  時のみ使用可能です。

## 26.7 D/A 変換特性

表 26.10 に D/A 変換特性を示します。

表 26.10 D/A 変換特性

条件 :  $V_{cc} = PLLV_{cc} = DrV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = DrV_{ss} = AV_{ss} = 0V$ 、  
 $\phi = 16, 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 26.8 フラッシュメモリ特性

表 26.11 にフラッシュメモリ特性を示します。

表 26.11 フラッシュメモリ特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 16, 24MHz$ ,  $T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲)

項目		記号	min	typ	max	単位
書き込み時間 <sup>*1*</sup> <sup>2*</sup> <sup>4</sup>		$t_p$		10	200	ms/128 バイト
消去時間 <sup>*1*</sup> <sup>3*</sup> <sup>5</sup>		$t_E$		50	1000	ms/ブロック
書き換え回数		$N_{WEC}$	100 <sup>*6</sup>	10000 <sup>*7</sup>		回
データ保持時間 <sup>*8</sup>		$t_{DRP}$	10			年
書き込み時	PSU1 ビットセット後のウェイト時間 <sup>*1</sup>	y	50	50		$\mu s$
	P1 ビットセット後のウェイト時間 <sup>*1*</sup> <sup>4</sup>	z0	28	30	32	$\mu s$
		z1	198	200	202	$\mu s$
		z2	8	10	12	$\mu s$
	P1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\alpha$	5	5		$\mu s$
	PSU1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\beta$	5	5		$\mu s$
	PV1 ビットセット後のウェイト時間 <sup>*1</sup>	$\gamma$	4	4		$\mu s$
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	$\varepsilon$	2	2		$\mu s$
PV1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\eta$	2	2		$\mu s$	
書き込み時	最大書き込み回数 <sup>*1*</sup> <sup>4</sup>	N1			6 <sup>*4</sup>	回
		N2			994 <sup>*4</sup>	回
共通	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	x	1	1		$\mu s$
	SWE1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\theta$	100	100		$\mu s$
消去時	ESU1 ビットセット後のウェイト時間 <sup>*1</sup>	y	100	100		$\mu s$
	E1 ビットセット後のウェイト時間 <sup>*1*</sup> <sup>5</sup>	z	10	10	100	ms
	E1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\alpha$	10	10		$\mu s$
	ESU1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\beta$	10	10		$\mu s$
	EV1 ビットセット後のウェイト時間 <sup>*1</sup>	$\gamma$	20	20		$\mu s$
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	$\varepsilon$	2	2		$\mu s$
	EV1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\eta$	4	4		$\mu s$
	最大消去回数 <sup>*1*</sup> <sup>5</sup>	N			100	回

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)

\*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)

## \*4 書き込み時間の最大値

$$t_p(\text{max}) = P1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N1 + N2)} \\ = (z0 + z2) \times 6 + z1 \times 994$$

## \*5 消去時間の最大値

$$t_e(\text{max}) = E1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大消去回数 (N)}$$

\*6 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。

\*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)

\*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 26.9 使用上の注意事項

## • プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用ください。

以下に具体的対策例を示します。

1. 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
2. LSIのV<sub>CC</sub> - GND (V<sub>SS</sub>) 間にバイパスコンデンサ (0.1μF程度) を付ける。

---

## 27. 電気的特性 ( H8S/2215C )

---

### 27.1 絶対最大定格

絶対最大定格を表 27.1 に示します。

表 27.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>cc</sub> 、PLL <sub>Vcc</sub> 、Dr <sub>Vcc</sub>	- 0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	V <sub>in</sub>	- 0.3 ~ V <sub>cc</sub> +0.3	V
入力電圧 (ポート 4、9)	V <sub>in</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
リファレンス電源電圧	V <sub>ref</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
アナログ電源電圧	AV <sub>cc</sub>	- 0.3 ~ +4.3	V
アナログ入力電圧	V <sub>AN</sub>	- 0.3 ~ AV <sub>cc</sub> +0.3	V
動作温度	T <sub>opr</sub>	通常仕様品 : - 20 ~ +75* 広温度範囲仕様品 : - 40 ~ +85*	
保存温度	T <sub>stg</sub>	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、T<sub>a</sub> = -20 ~ 75 です。

## 27.2 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 27.1 に示します。

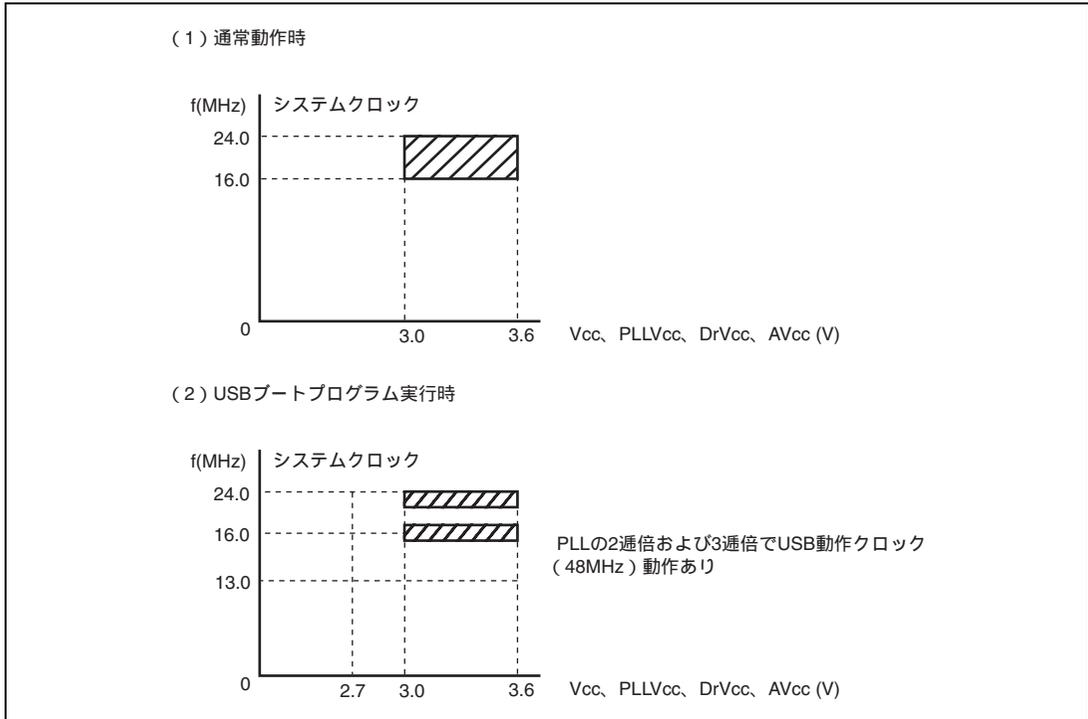


図 27.1 電源電圧と動作範囲

## 27.3 DC 特性

DC 特性を表 27.2 に示します。また、出力許容電流を表 27.3 に示します。

表 27.2 DC 特性

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	$VT^-$	$V_{CC} \times 0.2$			V	
	$VT^+$			$V_{CC} \times 0.8$	V	
	$VT^+ - VT^-$	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $EMLN$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	$EXTAL$ 、 $EXTAL48$ 、 ポート 1、3、7、A~G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>5</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>5</sup>	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $MD2 \sim MD0$ 、 $\overline{TRST}$ 、 $TCK$ 、 $TMS$ 、 $TDI$ 、 $EMLN$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $FWE$	- 0.3		$V_{CC} \times 0.1$	V	
	$EXTAL$ 、 $EXTAL48$ 、 $NMI$ 、 ポート 1、3、4、7、9、 A~G	- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$		0.4	V	$I_{OL} = 0.4mA$
				0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	$\overline{RES}$ 、 $VBUS$ 、 $\overline{UBPM}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $MD2 \sim MD0$ 、 $FWE$	$ I_{in} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 4、9			1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート トリック電流 (オフ状態)	ポート 1、3、7、 ポート A~G	$ I_{TSI} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_P$	10	300	$\mu A$	$V_{in} = 0V$

項目		記号	min	typ	max	単位	測定条件
入力容量	RES、NMI	Cin			30	pF	Vin = 0V
	RES、NMI 以外の 全入力端子				15	pF	f = 1MHz Ta = 25
消費電流*2	通常動作 (USB 停止) 時	Icc*3		23 (Vcc = 3.3V)	40 (Vcc = 3.6V)	mA	f = 16MHz
				34 (Vcc = 3.3V)	55 (Vcc = 3.6V)	mA	f = 24MHz
	通常動作 (USB 動作) 時			28 (Vcc = 3.3V)	50 (Vcc = 3.6V)	mA	f = 16MHz (PLL3 通倍)
				40 (Vcc = 3.3V)	60 (Vcc = 3.6V)	mA	f = 24MHz (PLL2 通倍)
	スリープ時			18 (Vcc = 3.3V)	35 (Vcc = 3.6V)	mA	f = 16MHz (USB、PLL 停止時)
				26 (Vcc = 3.3V)	45 (Vcc = 3.6V)	mA	f = 24MHz (USB、PLL 停止時)
	全モジュール ストップ時			15 (Vcc = 3.3V)		mA	f = 16MHz (参考値)
				21 (Vcc = 3.3V)		mA	f = 24MHz (参考値)
スタンバイ時*4			1.0	10	μA	Ta = 50	
				50		50 < Ta	
アナログ 電源電流	A/D、D/A 変換中	Alcc		0.3	1.5	mA	AVcc = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	Alcc		1.2	2.5	mA	Vref = 3.3V
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		V <sub>RAM</sub>	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref 端子は Vcc に、AVSS 端子は Vss にそれぞれ接続してください。このとき、Vref AVcc としてください。

\*2 消費電流値は、VIH min = Vcc - 0.2V、VIL max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 Icc は下記の式に従って Vcc と f に依存します。

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.67 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 停止時)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 16MHz : PLL3 通倍)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (通常動作 USB 動作時 f = 24MHz : PLL2 通倍)}$$

$$I_{cc \max} = 1.0 \text{ (mA)} + 0.55 \text{ (mA/(MHz} \times \text{V))} \times V_{cc} \times f \text{ (スリープ時)}$$

\*4 V<sub>RAM</sub> Vcc < 3.0V のとき、VIH min = Vcc × 0.9、VIL max = 0.3V とした場合の値です。

\*5 Vcc < AVcc のとき、P40、P41 の max は、Vcc + 0.3V になります。

表 27.3 出力許容電流

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	$I_{OL}$			1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma I_{OL}$			60	mA
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	$-I_{OH}$			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子 の総和	$V_{CC} = 2.7 \sim 3.6V$	$\Sigma -I_{OH}$			30	mA

【注】 \* LSI の信頼性を確保するため、出力電流値は表 27.3 の値を超えないようにしてください。

## 27.4 AC 特性

図 27.2 に AC 測定条件を示します。

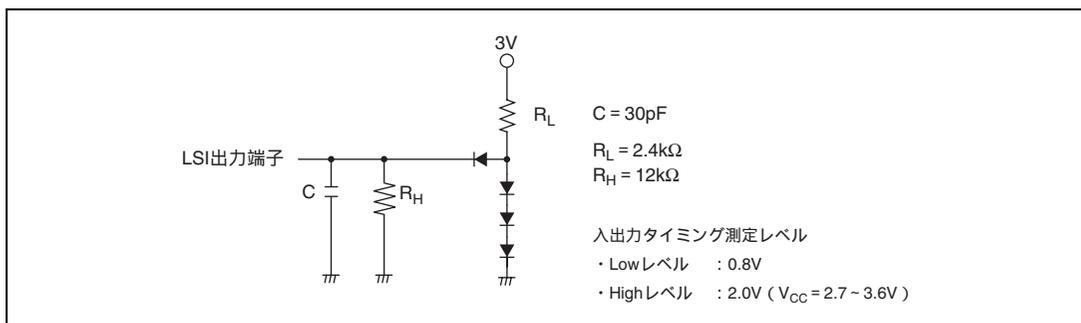


図 27.2 出力負荷回路

### 27.4.1 クロックタイミング

表 27.4 にクロックタイミングを示します。

表 27.4 クロックタイミング

条件 :  $V_{CC} = \text{PLL}V_{CC} = \text{Dr}V_{CC} = 3.0 \sim 3.6\text{V}$ 、 $\text{AV}_{CC} = 3.0 \sim 3.6\text{V}$ 、 $V_{\text{ref}} = 3.0\text{V} \sim \text{AV}_{CC}$ 、 $V_{SS} = \text{PLL}V_{SS} = \text{Dr}V_{SS} = \text{AV}_{SS} = 0\text{V}$ 、  
 $\phi = 16 \sim 24\text{MHz}$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t <sub>cyc</sub>	41.6	62.5	ns	図 27.3
クロック High レベルパルス幅	t <sub>CH</sub>	13		ns	
クロック Low レベルパルス幅	t <sub>CL</sub>	13		ns	
クロック立ち上がり時間	t <sub>cR</sub>		7	ns	
クロック立ち下がり時間	t <sub>cF</sub>		7	ns	
リセット発振安定時間 (水晶)	t <sub>OSC1</sub>	20		ms	図 27.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t <sub>OSC2</sub>	8		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 22\text{pF}$ 、 図 22.3
		4		ms	図 21.2 $C_{L1} = C_{L2} = 10 \sim 15\text{pF}$ 、 図 22.3
外部クロック出力安定遅延時間	t <sub>DEXT</sub>	500		$\mu\text{s}$	図 27.4
USB 動作クロック (48MHz) 発振安定時間	t <sub>OSC3</sub>	8		ms	
USB 動作クロック (48MHz) 発振器発振周波数	f <sub>48</sub>	48		MHz	
USB 動作クロック (48MHz) サイクル時間	f <sub>48</sub>	20.8		ns	

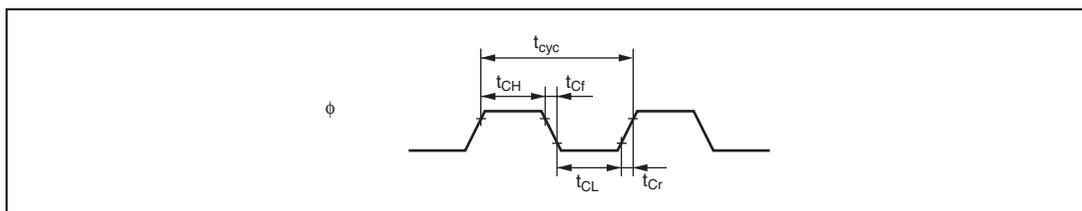


図 27.3 システムクロックタイミング

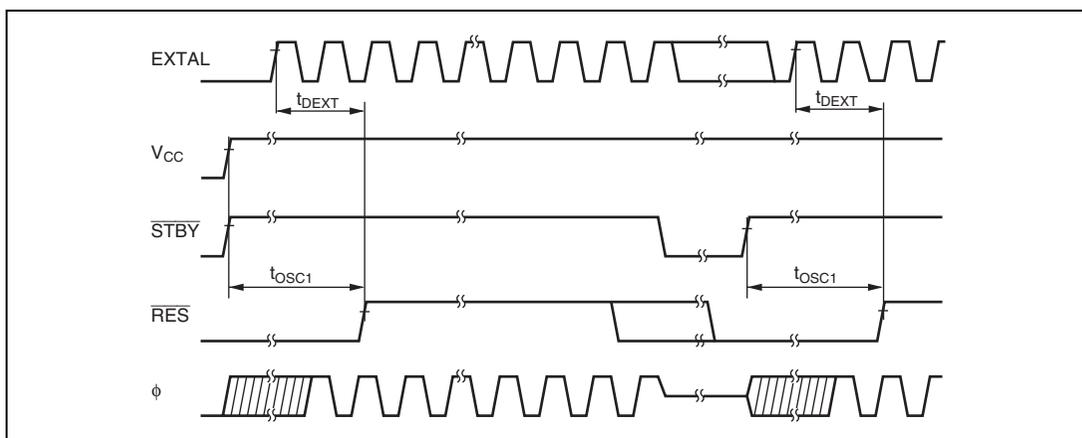


図 27.4 発振安定時間タイミング

## 27.4.2 制御信号タイミング

表 27.5 に制御信号タイミングを示します。

表 27.5 制御信号タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ ,  
 $\phi = 16 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	250		ns	図 27.5
RES パルス幅	$t_{RESW}$	20		t <sub>cyc</sub>	
MRES セットアップ時間	$t_{MRESS}$	250		ns	
MRES パルス幅	$t_{MRESW}$	20		t <sub>cyc</sub>	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 27.6
NMI ホールド時間	$t_{NMIH}$	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIV}$	200		ns	図 27.6
IRQ セットアップ時間	$t_{IRQS}$	250		ns	
IRQ ホールド時間	$t_{IRQH}$	10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

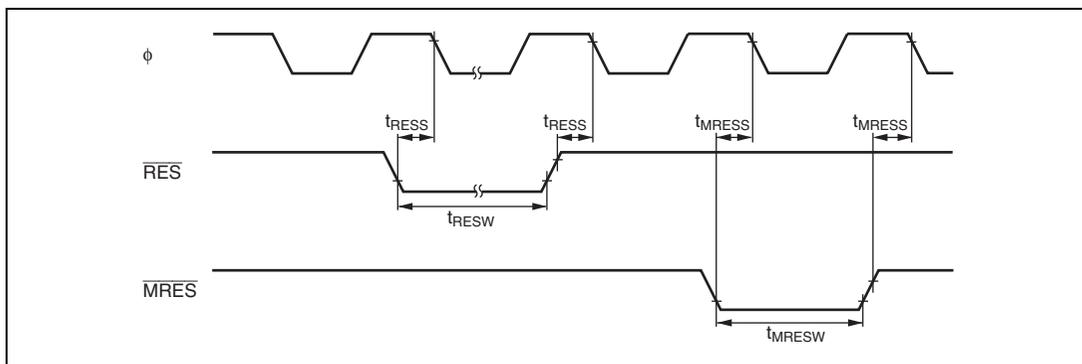


図 27.5 リセット入力タイミング

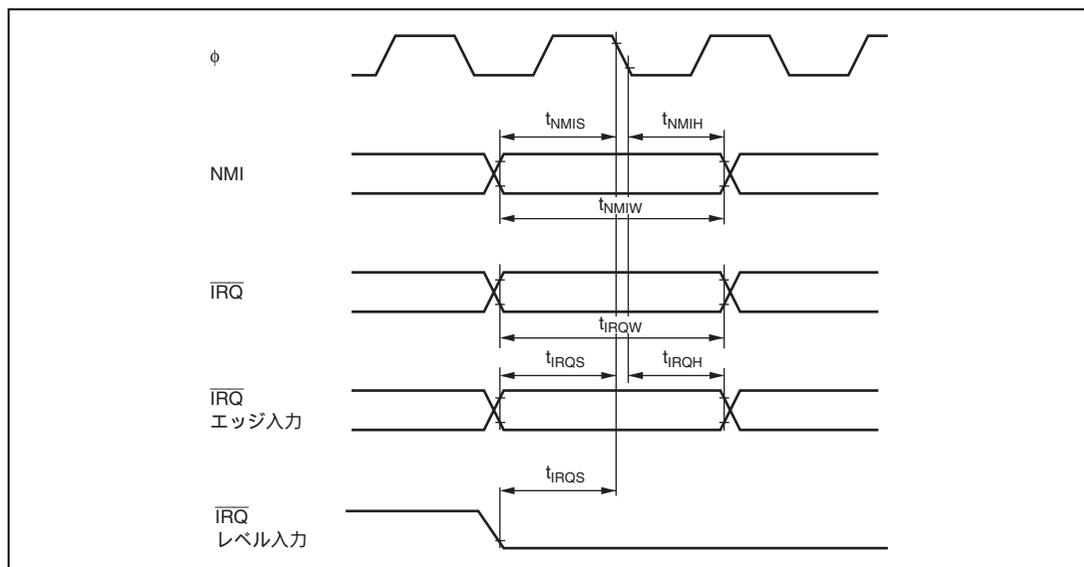


図 27.6 割り込み入力タイミング

## 27.4.3 バスタイミング

表 27.6 にバスタイミングを示します。

表 27.6 バスタイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 16 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$		30	ns	図 27.7、図 27.8、 図 27.10
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 20$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 8$		ns	
CS 遅延時間	$t_{CSD}$		30	ns	図 27.7、図 27.8
AS 遅延時間	$t_{ASD}$		25	ns	図 27.7、図 27.8、 図 27.10
RD 遅延時間 1	$t_{RSD1}$		25	ns	図 27.7、図 27.8
RD 遅延時間 2	$t_{RSD2}$		25	ns	図 27.7、図 27.8、 図 27.10
リードデータセットアップ時間	$t_{RDS}$	20		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 35$	ns	図 27.7
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 40$	ns	図 27.7、図 27.10
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 35$	ns	図 27.8
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 40$	ns	
WR 遅延時間 1	$t_{WRD1}$		20	ns	
WR 遅延時間 2	$t_{WRD2}$		25	ns	図 27.7、図 27.8
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 20$		ns	図 27.7
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 20$		ns	図 27.8
ライトデータ遅延時間	$t_{WDD}$		30	ns	図 27.7、図 27.8
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 20$		ns	図 27.8
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 10$		ns	図 27.7、図 27.8
WAIT セットアップ時間	$t_{WTS}$	25		ns	図 27.9
WAIT ホールド時間	$t_{WTH}$	5		ns	
BREQ セットアップ時間	$t_{BROS}$	25		ns	図 27.11
BACK 遅延時間	$t_{BACD}$		40	ns	
バスフローティング時間	$t_{BZD}$		50	ns	

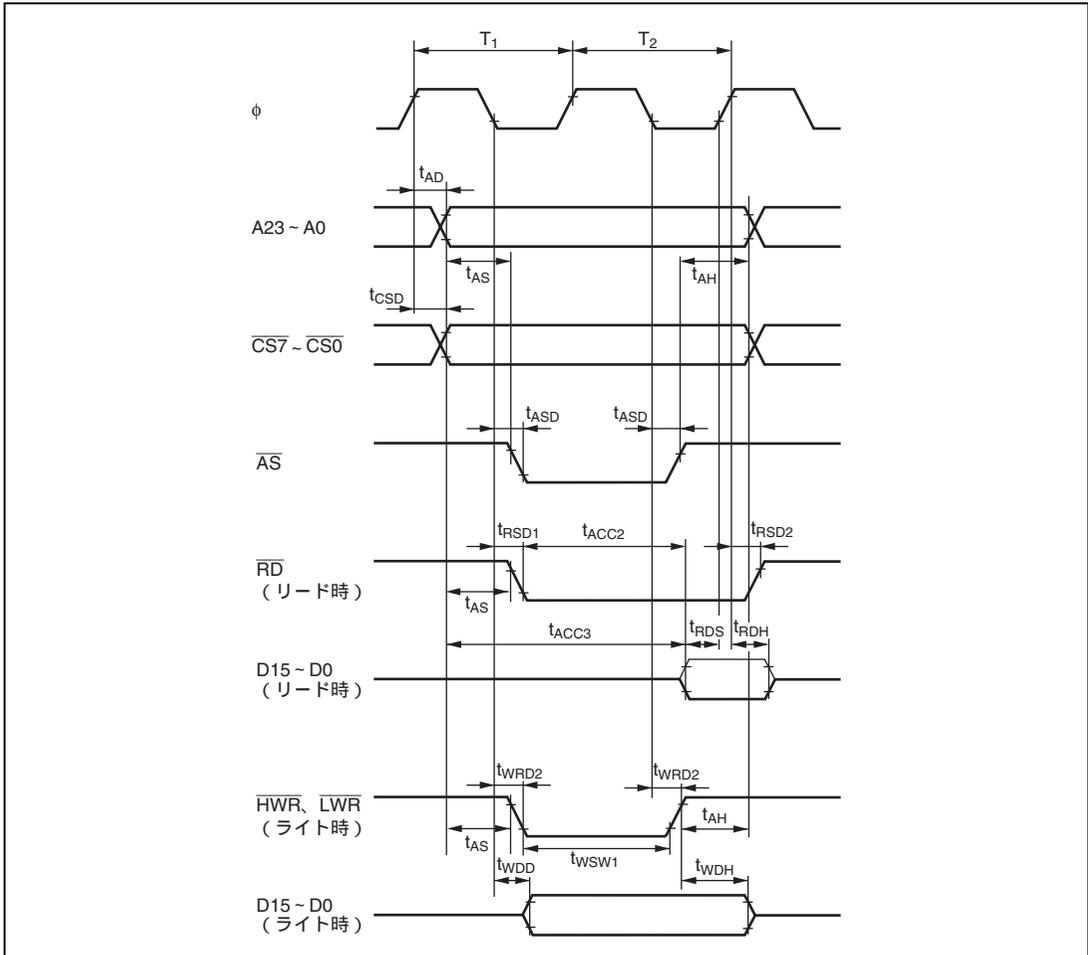


図 27.7 基本バスタイミング / 2 ステートアクセス

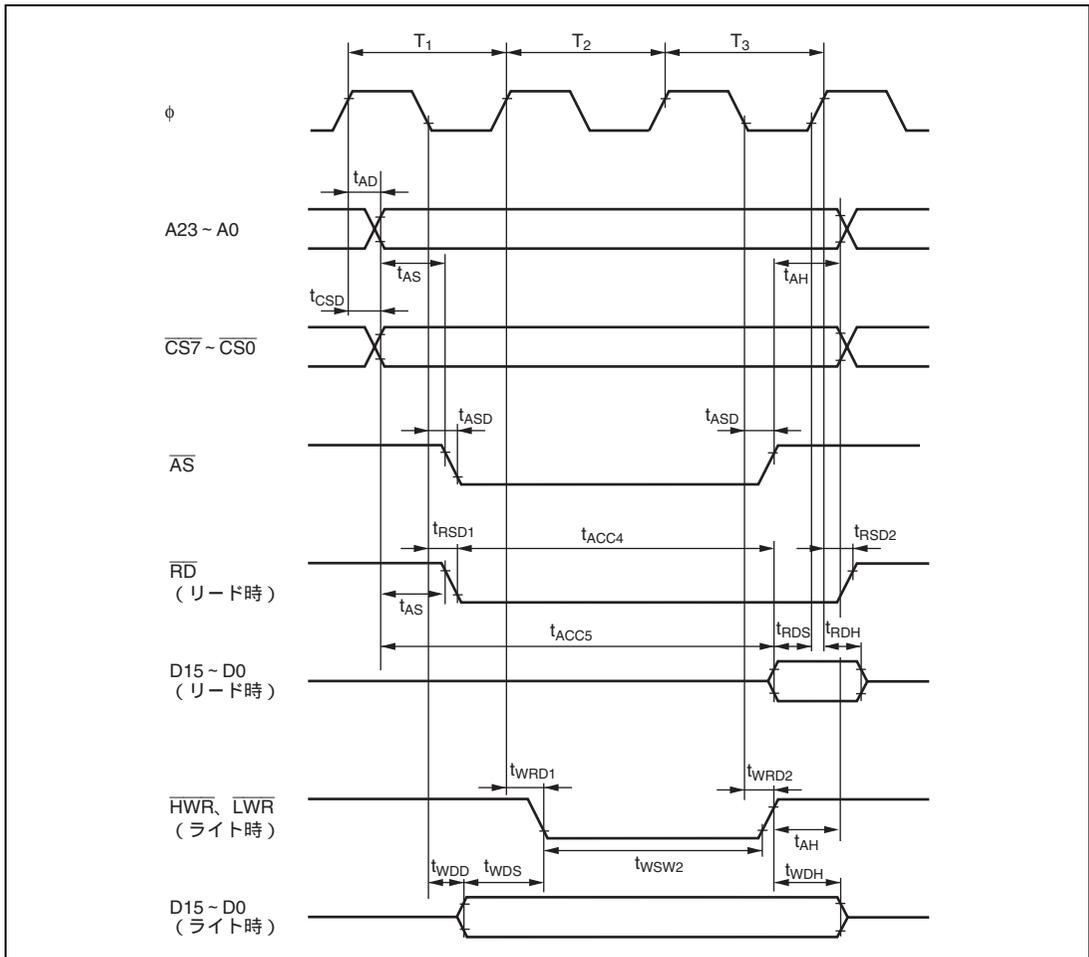


図 27.8 基本バスタイミング / 3 ステートアクセス

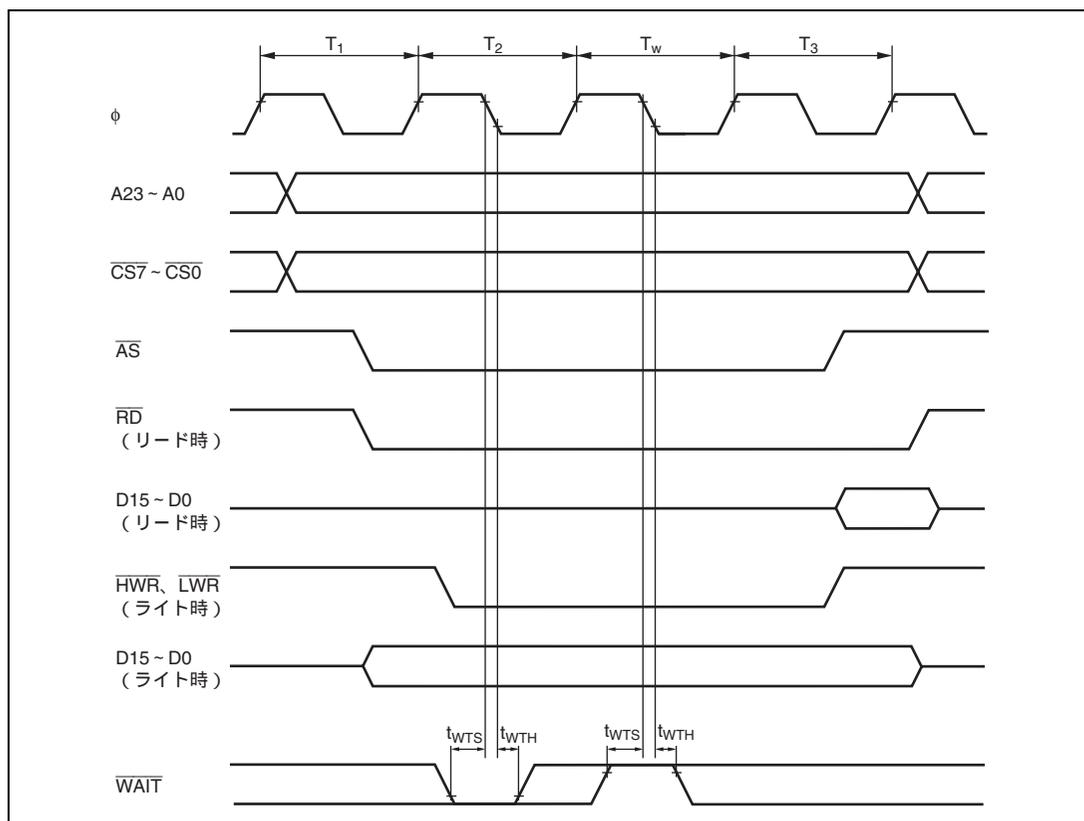


図 27.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

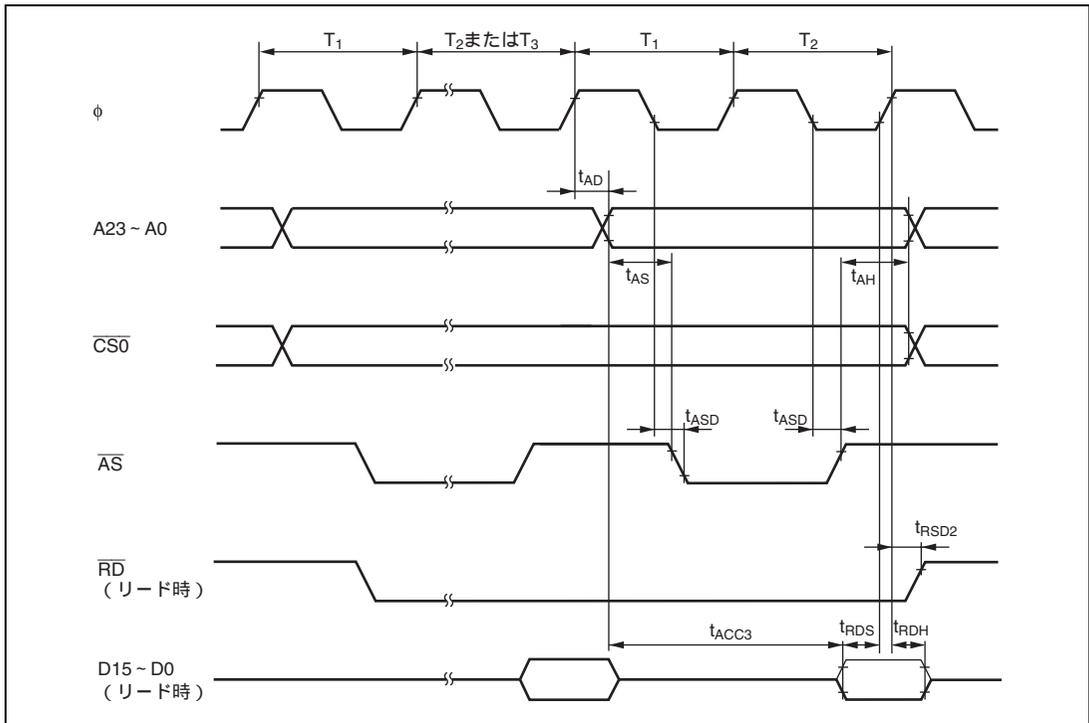


図 27.10 パーストROM アクセスタイミング / 2 ステートアクセス

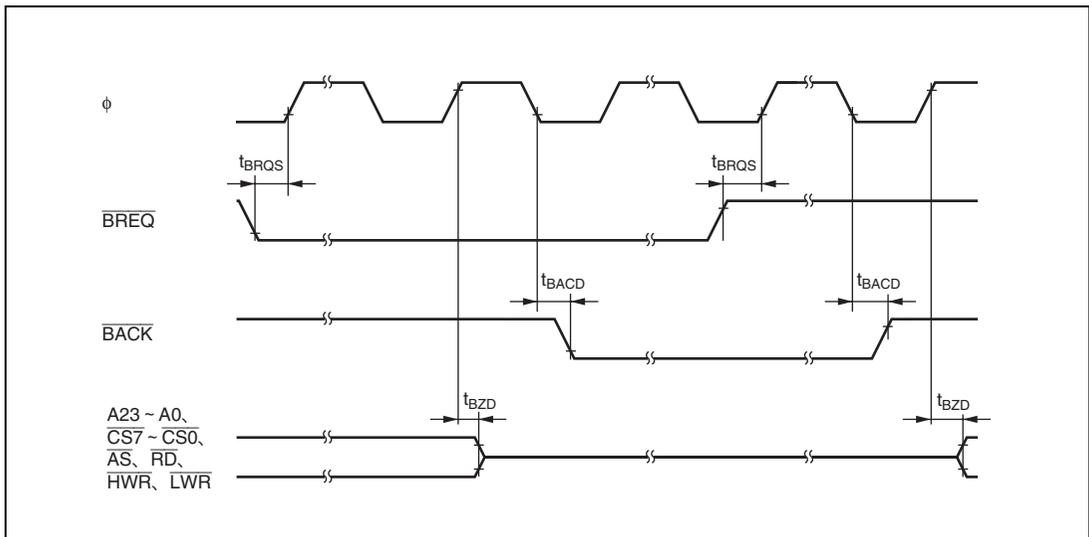


図 27.11 外部バス権解放タイミング

## 27.4.4 内蔵周辺モジュールタイミング

表 27.7 に内蔵周辺タイミングを示します。

表 27.7 内蔵周辺タイミング

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、

$\phi = 16 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間	$t_{PWD}$		40	ns	☒ 27.12
	入力データセットアップ時間	$t_{PRS}$	30			
	入力データホールド時間	$t_{PRH}$	30			
TPU	タイマ出力遅延時間	$t_{TOCD}$		40	ns	☒ 27.13
	タイマ入力セットアップ時間	$t_{TICS}$	30			
	タイマクロック入力セットアップ時間	$t_{TCKS}$	30		ns	☒ 27.14
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5		
両エッジ指定		$t_{TCKWL}$	2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		41	ns	☒ 27.15
	タイマリセット入力セットアップ時間	$t_{TMRS}$	29			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	29		ns	☒ 27.16
	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$	1.5		
両エッジ指定		$t_{TMCWL}$	2.5			
SCI	入力クロックサイクル	調歩同期	$t_{Scyc}$	4	tcyc	☒ 27.18
		クロック同期		6		
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	tsScyc	
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5		
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5		
	送信データ遅延時間	$t_{TXD}$		40	ns	☒ 27.19
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	40			
受信データホールド時間 (クロック同期)	$t_{RXH}$	40				
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30	ns		

項目		記号	min	max	単位	測定条件
バウンダリ スキャン	TCK サイクル時間	$t_{\text{cyc}}$	41.6		ns	図 27.21
	TCK High レベルパルス幅	$t_{\text{TCKH}}$	0.4	0.6	$t_{\text{cyc}}$	
	TCK Low レベルパルス幅	$t_{\text{TCKL}}$	0.4	0.6	$t_{\text{cyc}}$	
	TRST パルス幅	$t_{\text{TRSW}}$	20		$t_{\text{cyc}}$	図 27.22
	TRST セットアップ時間	$t_{\text{TRSS}}$	250		ns	
	TDI セットアップ時間	$t_{\text{TDIS}}$	20		ns	図 27.23
	TDI ホールド時間	$t_{\text{TDIH}}$	10			
	TMS セットアップ時間	$t_{\text{TMSS}}$	20			
	TMS ホールド時間	$t_{\text{TMSH}}$	10			
	TDO 遅延時間	$t_{\text{TDOO}}$		35		

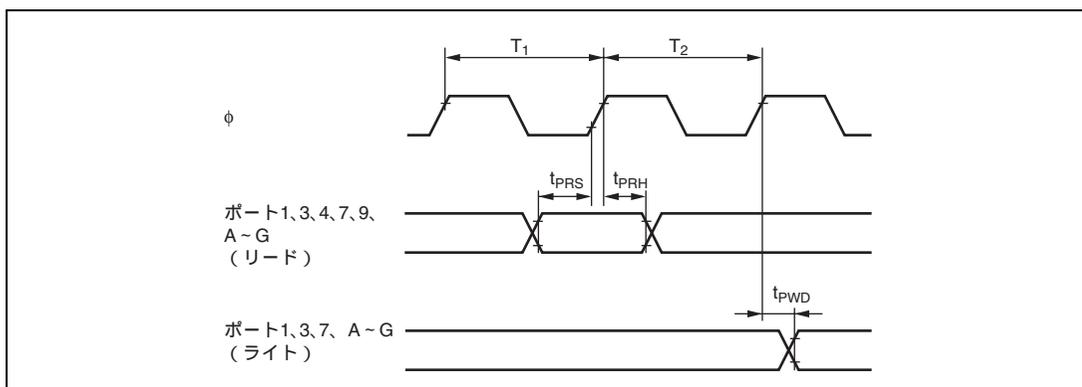
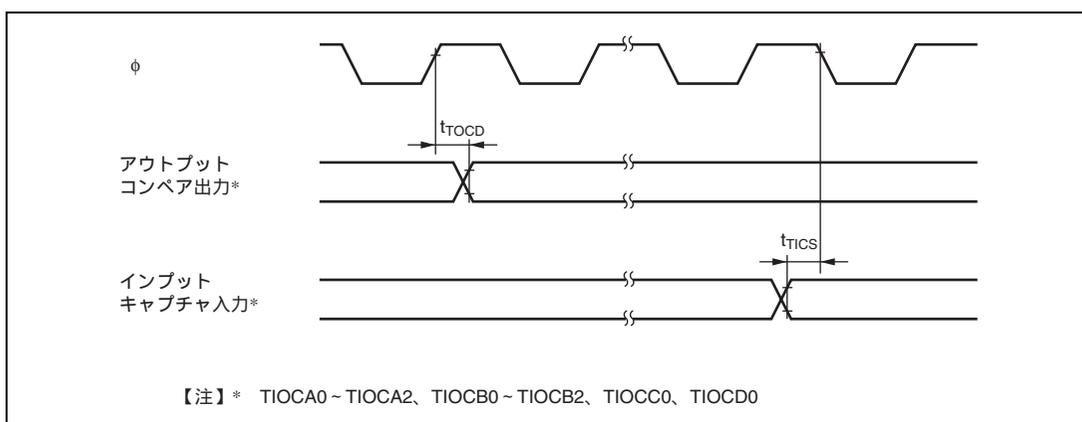


図 27.12 I/O ポート入出力タイミング



【注】\* TIOCA0 ~ TIOCA2, TIOCB0 ~ TIOCB2, TIOCC0, TIOCD0

図 27.13 TPU 入出力タイミング

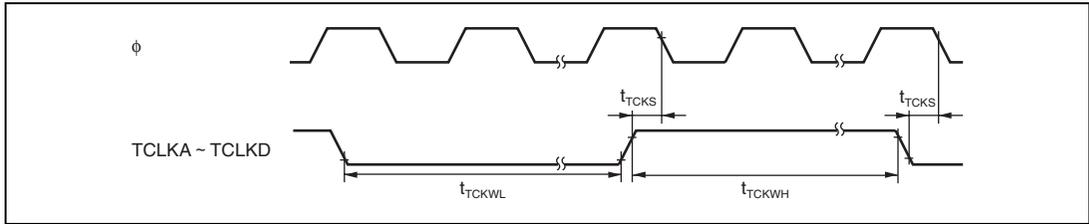


図 27.14 TPU クロック入力タイミング

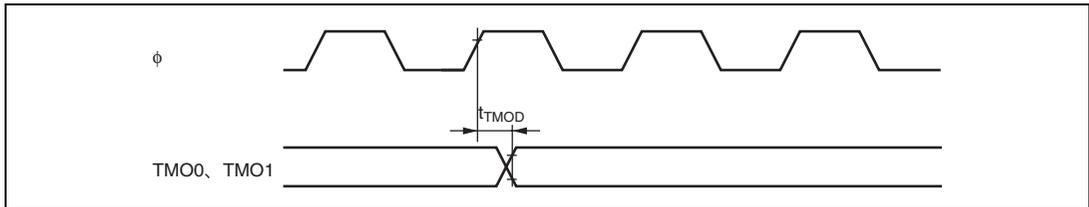


図 27.15 8ビットタイマ出力タイミング

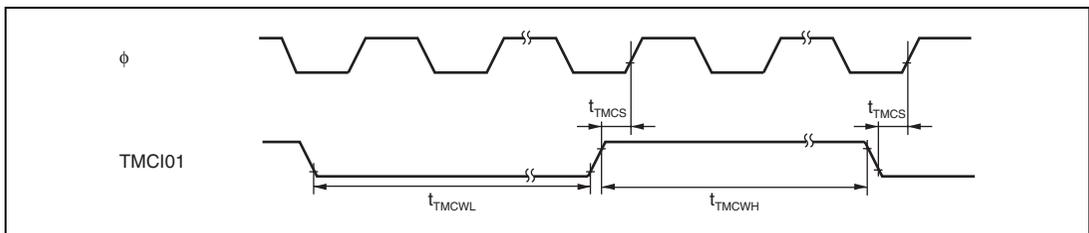


図 27.16 8ビットタイマクロック入力タイミング

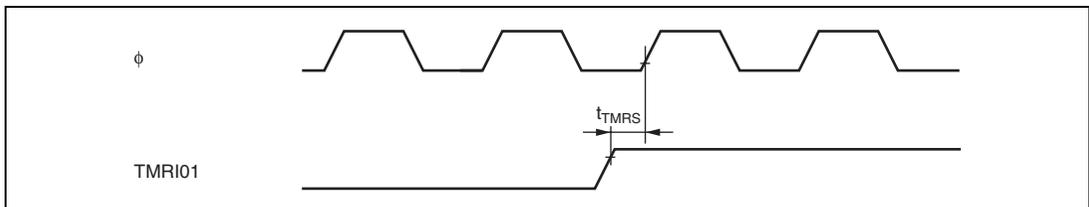


図 27.17 8ビットタイマリセット入力タイミング

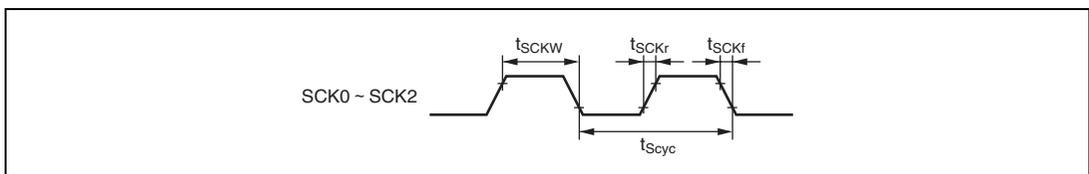


図 27.18 SCK クロック入力タイミング

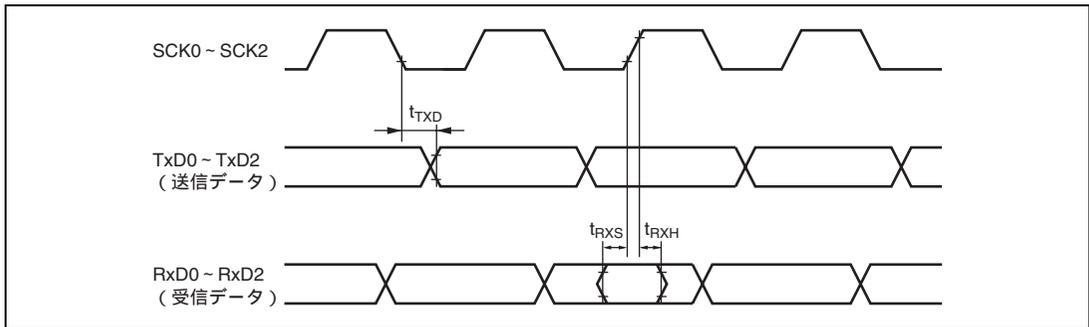


図 27.19 SCI 入出力タイミング/クロック同期式モード

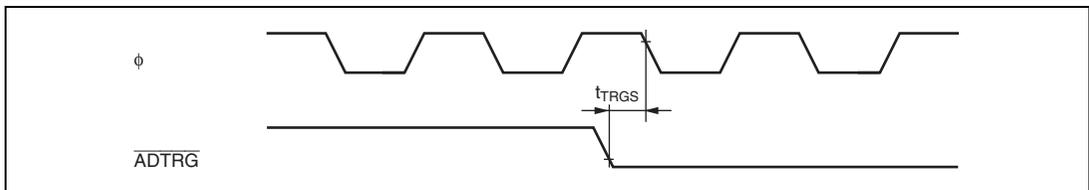


図 27.20 A/D 変換器外部トリガ入力タイミング

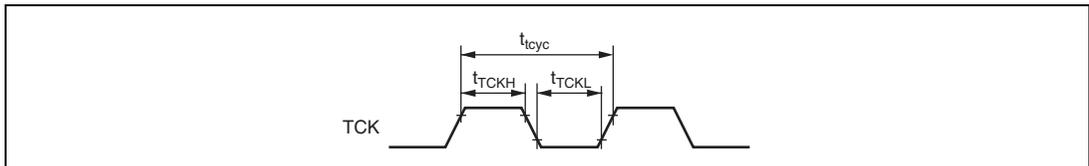


図 27.21 バウンダリスキャン TCK 入力タイミング

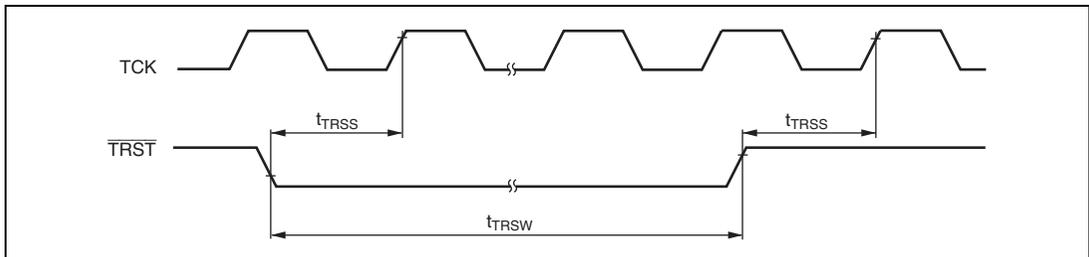


図 27.22 バウンダリスキャン  $\overline{TRST}$  入力タイミング (リセットホールド時)

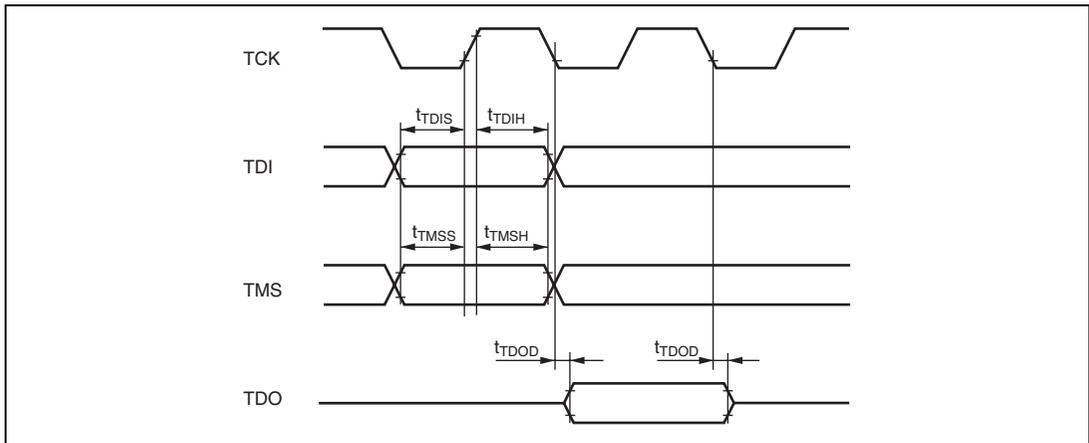


図 27.23 バウンダリスキャンデータ転送タイミング

## 27.5 USB 特性

表 27.8 に内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性) を示します。

表 27.8 内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性)

条件 :  $V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V$ 、 $\phi = 16 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
入力特性	入力 High レベル電圧	$V_{IH}$	2.0		V		図 27.24
	入力 Low レベル電圧	$V_{IL}$		0.8	V		図 27.25
	差動入力感度	$V_{DI}$	0.2		V	$ (D+) - (D-) $ $DrV_{CC} = 3.3 \sim 3.6V$	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V		
出力特性	出力 High レベル電圧	$V_{OH}$	2.8		V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	$V_{OL}$		0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V		
	立ち上がり時間	$t_R$	4	20	ns		
	立ち下がり時間	$t_F$	4	20	ns		
	立ち上がり / 立ち下がり 時間マッチング	$t_{RFM}$	90	111.11	%	$(T_R / T_F)$	
	出力抵抗	$Z_{DRV}$	28	44	$\Omega$	$R_S = 24\Omega$ を含む	

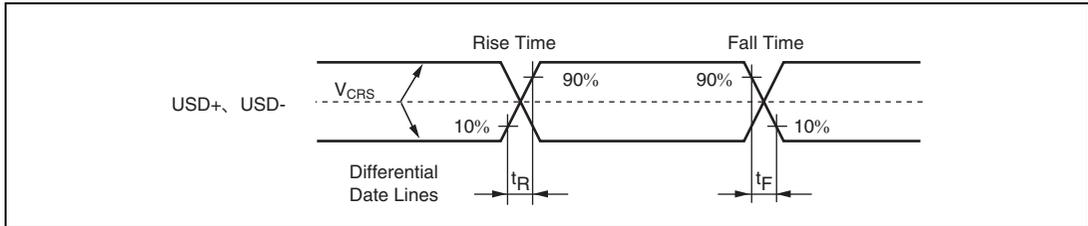


図 27.24 データ信号タイミング

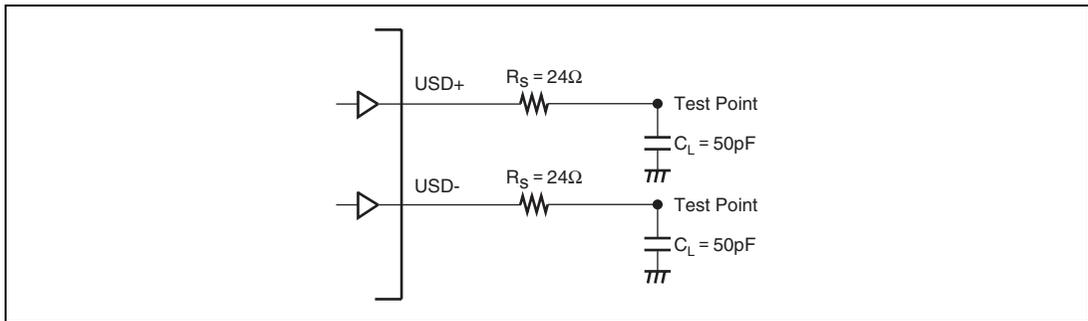


図 27.25 負荷条件

## 27.6 A/D 変換特性

表 27.9 に A/D 変換特性を示します。

表 27.9 A/D 変換特性

条件 :  $V_{CC} = PLLV_{CC} = D rV_{CC} = 3.0 \sim 3.6V^*$ 、 $AV_{CC} = 3.0 \sim 3.6V^*$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = AV_{SS} = 0V$ 、  
 $\phi = 16 \sim 24MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	8.1			$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は、 $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 27.7 D/A 変換特性

表 27.10 に D/A 変換特性を示します。

表 27.10 D/A 変換特性

条件 :  $V_{cc} = PLLV_{cc} = DrV_{cc} = 3.0 \sim 3.6V$ ,  $AV_{cc} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{cc}$ ,  $V_{ss} = PLLV_{ss} = DrV_{ss} = AV_{ss} = 0V$ ,  
 $\phi = 16 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 27.8 フラッシュメモリ特性

表 27.11 にフラッシュメモリ特性を示します。

表 27.11 フラッシュメモリ特性

条件 :  $V_{cc} = PLLV_{cc} = DrV_{cc} = 3.0 \sim 3.6V$ ,  $AV_{cc} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{cc}$ ,  $V_{ss} = PLLV_{ss} = DrV_{ss} = AV_{ss} = 0V$ ,  
 $\phi = 16 \sim 24MHz$ ,  $T_a = -20 \sim +75$  (書き込み/消去時の動作温度範囲)

項目	記号	min	typ	max	単位	
書き込み時間 <sup>*1*2*4</sup>	$t_p$		10	200	ms/128 バイト	
消去時間 <sup>*1*3*5</sup>	$t_E$		50	1000	ms/ブロック	
書き換え回数	$N_{WEC}$	100 <sup>*6</sup>	10000 <sup>*7</sup>		回	
データ保持時間 <sup>*8</sup>	$t_{DRP}$	10			年	
書き込み時	PSU1 ビットセット後のウェイト時間 <sup>*1</sup>	$y$	50	50	$\mu s$	
	P1 ビットセット後のウェイト時間 <sup>*1*4</sup>	$z0$	28	30	32	$\mu s$
		$z1$	198	200	202	$\mu s$
		$z2$	8	10	12	$\mu s$
	P1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\alpha$	5	5	$\mu s$	
	PSU1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\beta$	5	5	$\mu s$	
	PV1 ビットセット後のウェイト時間 <sup>*1</sup>	$\gamma$	4	4	$\mu s$	
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	$\epsilon$	2	2	$\mu s$	
PV1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\eta$	2	2	$\mu s$		
書き込み時	最大書き込み回数 <sup>*1*4</sup>	N1		6 <sup>*4</sup>	回	
		N2		994 <sup>*4</sup>	回	
共通	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	$x$	1	1	$\mu s$	
	SWE1 ビットクリア後のウェイト時間 <sup>*1</sup>	$\theta$	100	100	$\mu s$	

項目	記号	min	typ	max	単位
消去時	ESU1 ビットセット後のウェイト時間* <sup>1</sup>	y	100	100	μs
	E1 ビットセット後のウェイト時間* <sup>1</sup> * <sup>5</sup>	z	10	10	ms
	E1 ビットクリア後のウェイト時間* <sup>1</sup>	α	10	10	μs
	ESU1 ビットクリア後のウェイト時間* <sup>1</sup>	β	10	10	μs
	EV1 ビットセット後のウェイト時間* <sup>1</sup>	γ	20	20	μs
	H'FF ダミーライト後のウェイト時間* <sup>1</sup>	ε	2	2	μs
	EV1 ビットクリア後のウェイト時間* <sup>1</sup>	η	4	4	μs
	最大消去回数* <sup>1</sup> * <sup>5</sup>	N			100

- 【注】 \*1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。
- \*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)
- \*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)
- \*4 書き込み時間の最大値  

$$t_w(\max) = \text{P1 ビットセット後のウェイト時間}(z) \times \text{最大書き込み回数}(N1 + N2)$$

$$= (z0 + z2) \times 6 + z1 \times 994$$
- \*5 消去時間の最大値  

$$t_e(\max) = \text{E1 ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- \*6 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- \*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27.9 使用上の注意事項

- プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用ください。以下に具体的対策例を示します。

- 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
- LSIのVcc - GND (Vss) 間にバイパスコンデンサ (0.1μF程度) を付ける。

# 付録

## A. 各端子状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態、 スリープモード
P17~P14	4~7	T	keep	T	keep	keep	入出力ポート
P13/A23 P12/A22 P11/A21	7	T	keep	T	keep	keep	入出力ポート
AEn ビットでアド レス出力選択	4~6	T	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
ポート選択	4~6	T	keep	T	keep	keep	入出力ポート
P10/A20	7	T	keep	T	keep	keep	入出力ポート
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	6	T					
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート
ポート 3	4~7	T	keep	T	keep	keep	入出力ポート
ポート 4	4~7	T	T	T	T	T	入力ポート
P74	4~7	T	keep	T	keep	keep	入出力ポート
P73/ $\overline{CS7}$ P72/ $\overline{CS6}$ P71/ $\overline{CS5}$ P70/ $\overline{CS4}$	7	T	keep	T	keep	keep	入出力ポート
	4~6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS7}$ - $\overline{CS4}$
ポート 9	4~7	T	T	T	[DAOEn = 1] keep [DAOEn = 0] T	keep	入力ポート

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態、 スリープモード	
ポート A	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでア ドレス出力選択	4、5	L	keep	T	[OPE = 0] T	T	アドレス出力	
	6	T			[OPE = 1] keep			
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート	
ポート B	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでア ドレス出力選択	4、5	L	keep	T	[OPE = 0] T	T	アドレス出力	
	6	T			[OPE = 1] keep			
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート	
ポート C	4、5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	keep	T	keep	keep	入出力ポート	
ポート D	4~6	T	T	T	T	T	データバス	
	7	T	keep	T	keep	keep	入出力ポート	
ポート E	8 ビット バス	4~6	T	keep	T	keep	keep	入出力ポート
		16 ビット バス	4~6	T	T	T	T	データバス
	7	T	keep	T	keep	keep	入出力ポート	
PF7/φ	4~6	クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
	7	T	keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態、 スリープモード
FA6/ $\overline{AS}$ PF5/ $\overline{RD}$ PF4/ $\overline{HWR}$	4-6	H	H	T	[OPE = 0] T [OPE = 1] H	T	$\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$
	7	T	keep	T	keep	keep	入出力ポート
PF3/ $\overline{LWR}$	7	T	keep	T	keep	keep	入出力ポート
8ビットバス	4-6	(モード4) H	keep	T	keep	keep	入出力ポート
16ビットバス	4-6	(モード5、6) T	H	T	[OPE = 0] T [OPE = 1] H	T	$\overline{LWR}$
PF2/ $\overline{WAIT}$	4-6	T	keep	T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] $\overline{WAIT}$
	7	T	keep	T	keep	keep	入出力ポート
PF1/ $\overline{BACK}$	4-6	T	keep	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] $\overline{BACK}$
	7	T	keep	T	keep	keep	入出力ポート
PF0/ $\overline{BREQ}$	4-6	T	keep	T	[BRLE = 0] keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] $\overline{BREQ}$
	7	T	keep	T	keep	keep	入出力ポート
PG4/ $\overline{CS0}$	4, 5	H	keep	T	[DDR · OPE = 0] T [DDR · OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS0}$ (スリープモード)時 H
	6	T					
	7	T	keep	T	keep	keep	入出力ポート

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態、 スリープモード
PG3/ $\overline{CS1}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS3}$	4-6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS1} - \overline{CS3}$
	7	T	keep	T	keep	keep	入出力ポート
PG0	4-7	T	keep	T	keep	keep	入出力ポート

## 【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

OPE : 出力ポートイネーブル

WAITE : ウェイト入力イネーブル

BRLE : バスリリースイネーブル

【注】 \* モード 4、5 では L (アドレス入力)

## B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2215	フラッシュメモリ版	HD64F2215	64F2215TE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215BR	112 ピン P-LFBGA (BP-112、BP-112V)
		HD64F2215U	64F2215UTE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215UBR	112 ピン P-LFBGA (BP-112、BP-112V)
	マスク ROM 版	HD6432215B	6432215B(***)TE	120 ピン TQFP (TFP-120、TFP-120V)
			6432215B(***)BR	112 ピン P-LFBGA (BP-112、BP-112V)
		HD6432215C	6432215C(***)TE	120 ピン TQFP (TFP-120、TFP-120V)
			6432215C(***)BR	112 ピン P-LFBGA (BP-112、BP-112V)
H8S/2215R	フラッシュメモリ版	HD64F2215R	64F2215RTE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215RBR	112 ピン P-LFBGA (BP-112、BP-112V)
		HD64F2215RU	64F2215RUTE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215RUBR	112 ピン P-LFBGA (BP-112、BP-112V)
H8S/2215T	フラッシュメモリ版	HD64F2215T	64F2215TTE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215TBR	112 ピン P-LFBGA (BP-112、BP-112V)
		HD64F2215TU	64F2215TUTE	120 ピン TQFP (TFP-120、TFP-120V)
			64F2215TUBR	112 ピン P-LFBGA (BP-112、BP-112V)
H8S/2215C	フラッシュメモリ版	HD64F2215CU	64F2215CUTE	120 ピン TQFP (TFP-120V)
			64F2215CUBR	112 ピン P-LFBGA (BP-112V)

## 【記号説明】

\*\*\* : ROM コード

### C. 外形寸法図

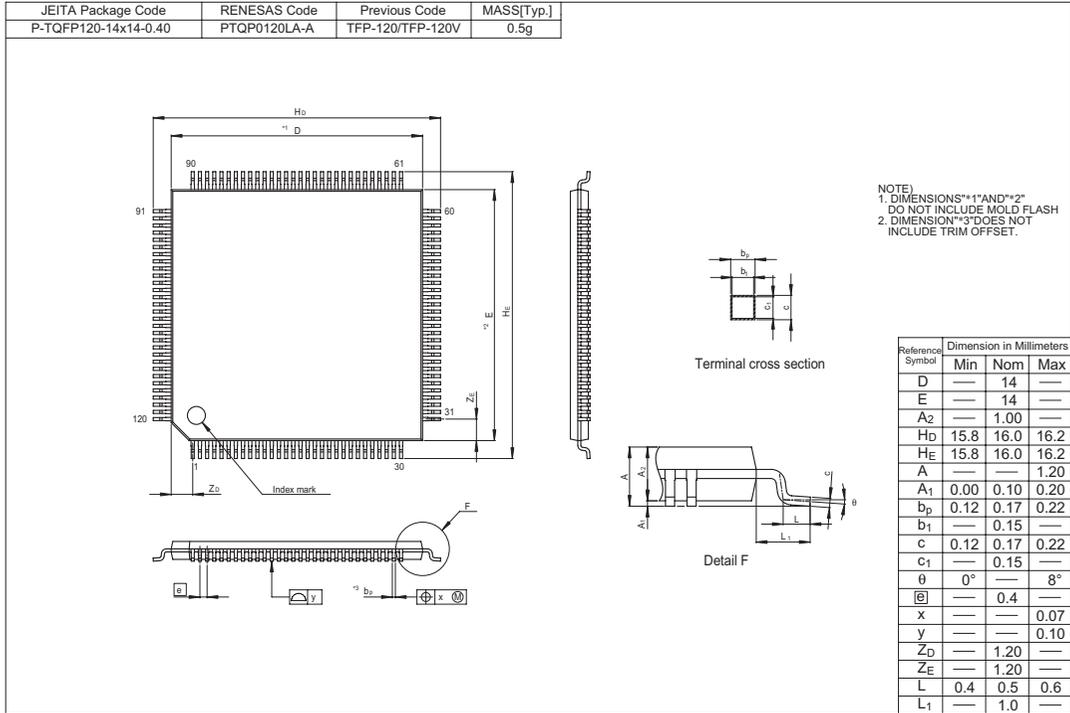


図 C.1 外形寸法図 (TFP-120、TFP-120V)

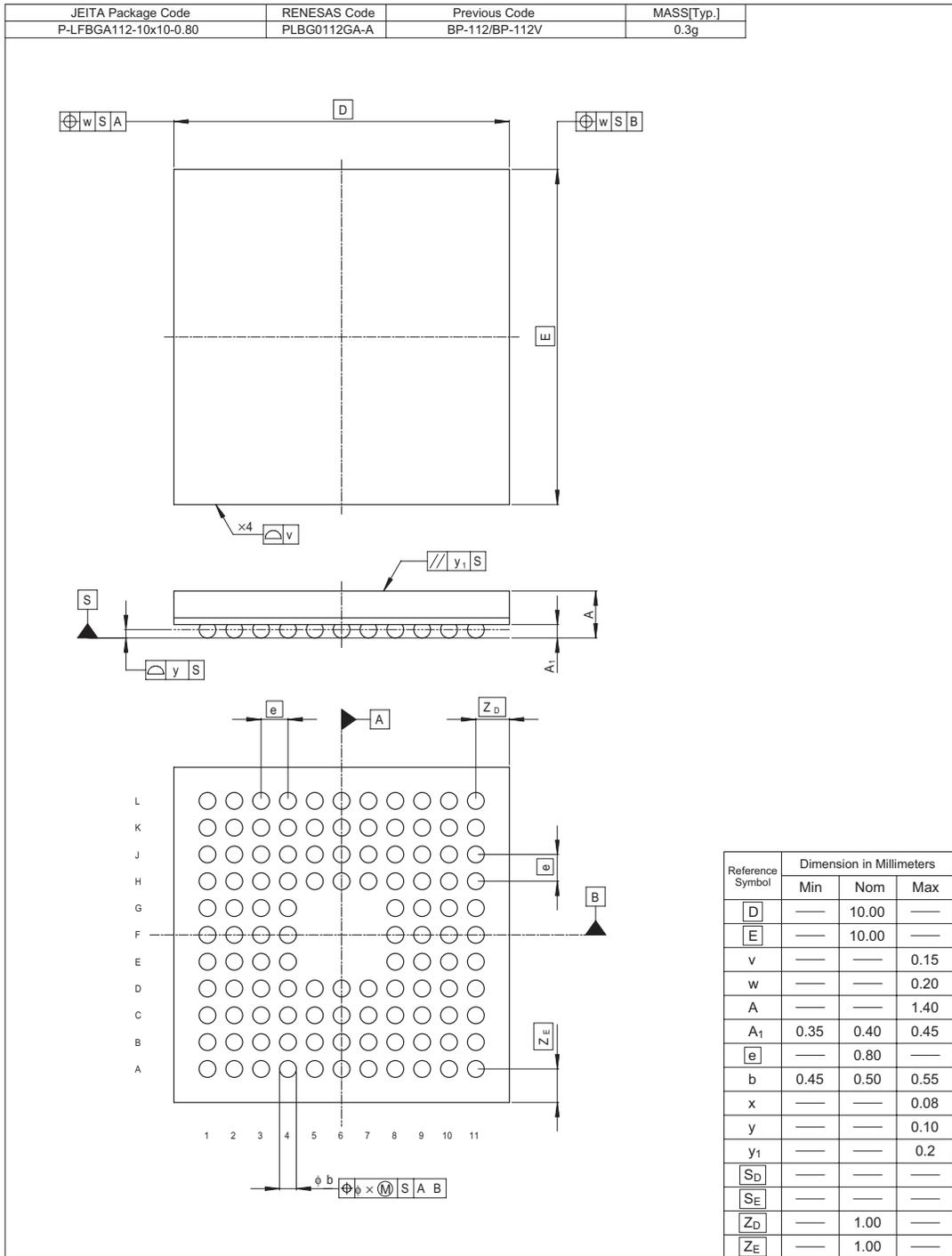


図 C.2 外形寸法図 (BP-112、BP-112V)



## 本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）														
1.5 端子機能	1-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">記号</th> <th colspan="2">ピン番号</th> <th rowspan="2">入出力</th> <th rowspan="2">機能</th> </tr> <tr> <th>TFP-120 TFP-120V</th> <th>BP-112 BP-112V</th> </tr> </thead> <tbody> <tr> <td>パウンダリ スキャン</td> <td>TRST</td> <td>109</td> <td>B5</td> <td>入力</td> <td>TAP コントローラのリセット端子です。 パウンダリスキャン機能を使用しない場合でも端子の 処理を行ってください。詳細は、「14.5 使用上の注 意事項」を参照してください。</td> </tr> </tbody> </table>	分類	記号	ピン番号		入出力	機能	TFP-120 TFP-120V	BP-112 BP-112V	パウンダリ スキャン	TRST	109	B5	入力	TAP コントローラのリセット端子です。 パウンダリスキャン機能を使用しない場合でも端子の 処理を行ってください。詳細は、「14.5 使用上の注 意事項」を参照してください。
分類	記号	ピン番号			入出力	機能										
		TFP-120 TFP-120V	BP-112 BP-112V													
パウンダリ スキャン	TRST	109	B5	入力	TAP コントローラのリセット端子です。 パウンダリスキャン機能を使用しない場合でも端子の 処理を行ってください。詳細は、「14.5 使用上の注 意事項」を参照してください。											
5.7.5 IRQ 割り込み	5-21	新規追加														
5.7.6 NMI 割り込み使用上の注意	5-21	新規追加														
6.6.4 ウェイト制御 (2) 端子ウェイトの挿入	6-27	<p>説明を修正</p> <p>BCRL の WAITE ビットを 1 にセットすると、WAIT 端子によるウェイト 入力が有効になります。</p>														
8.5 動作説明 図 8.5 DTC 動作フローチャート	8-10	<p>図を修正</p> <p>【注】<sup>#1</sup> 処理内容の詳細については、各周辺モジュールの章を参照してください。  <sup>#2</sup> DTCの起動要因をIRQxで行い、IRQセンスコントロールレジスタ（ISCRH、ISCR L）を      レベルセンスに設定した場合、IRQxがLowレベルの期間中、起動要因フラグは、      クリアされずDTC転送を繰り返します。</p>														
10.8 使用上の注意事項 (10) オーバフロー / アンダフローと カウンタクリアの競合 図 10.52 オーバフローとカウンタク リアの競合	10-59	<p>図を修正</p>														
16.2 入出力端子 表 16.1 端子構成	16-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>記号</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>アナログ入力端子 0</td> <td>AN0<sup>*</sup></td> <td>入力</td> <td>アナログ入力端子</td> </tr> <tr> <td>アナログ入力端子 1</td> <td>AN1<sup>*</sup></td> <td>入力</td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* AN0、AN1 は、VCC = AVCC 時のみ使用可能です。</p>	端子名	記号	入出力	機能	アナログ入力端子 0	AN0 <sup>*</sup>	入力	アナログ入力端子	アナログ入力端子 1	AN1 <sup>*</sup>	入力			
端子名	記号	入出力	機能													
アナログ入力端子 0	AN0 <sup>*</sup>	入力	アナログ入力端子													
アナログ入力端子 1	AN1 <sup>*</sup>	入力														

修正項目	ページ	修正内容（詳細はマニュアル参照）																			
16.5.1 シングルモード 図 16.3 A/D 変換器の動作例(シングルモード チャンネル1 選択時)	16-10	<p>図を修正</p> <p>ADDRA _____                  ADDRBB _____                  ADDRCC _____                  ADDRDD _____</p> <p>↓ 変換結果のリード*      ↓ 変換結果のリード*                  A/D 変換結果 1      A/D 変換結果 2</p> <p>【注】* ↓ は、ソフトウェアによる命令実行を示します。</p>																			
24.3 DC 特性 表 24.2 DC 特性	24-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th></th> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>EXTAL、EXTAL48、 ポート 1、3、7、A-G</td> <td rowspan="2">V<sub>IH</sub></td> <td>V<sub>CC</sub> × 0.8</td> <td></td> <td>V<sub>CC</sub>+0.3</td> <td>V</td> </tr> <tr> <td>ポート 4*、9</td> <td>V<sub>CC</sub> × 0.8</td> <td></td> <td>AV<sub>CC</sub>+0.3*<sup>6</sup></td> <td>V</td> </tr> </tbody> </table>		項目	記号	min	typ	max	単位	入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	V <sub>IH</sub>	V <sub>CC</sub> × 0.8		V <sub>CC</sub> +0.3	V	ポート 4*、9	V <sub>CC</sub> × 0.8		AV <sub>CC</sub> +0.3* <sup>6</sup>	V
	項目	記号	min	typ	max	単位															
入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	V <sub>IH</sub>	V <sub>CC</sub> × 0.8		V <sub>CC</sub> +0.3	V															
	ポート 4*、9		V <sub>CC</sub> × 0.8		AV <sub>CC</sub> +0.3* <sup>6</sup>	V															
		24-4	<p>注を追加</p> <p>【注】*<sup>6</sup> V<sub>CC</sub> &lt; AV<sub>CC</sub> のとき、P40、P41 の max は、V<sub>CC</sub>+0.3V になります。</p>																		
24.6 A/D 変換特性 表 24.9 A/D 変換特性	24-19	<p>表条件を修正</p> <p>条件：V<sub>CC</sub> = PLLV<sub>CC</sub> = DrV<sub>CC</sub> = 2.7 ~ 3.6V*、AV<sub>CC</sub> = 2.7 ~ 3.6V*、                  V<sub>ref</sub> = 2.7V ~ AV<sub>CC</sub>、V<sub>SS</sub> = PLLV<sub>SS</sub> = DrV<sub>SS</sub> = AV<sub>SS</sub> = 0V、                  φ = 13 ~ 16MHz、T<sub>a</sub> = -20 ~ +75（通常仕様品）、T<sub>a</sub> = -40 ~ +85                  （広温度範囲仕様品）</p> <p>注を追加</p> <p>【注】* AN0、AN1 は、V<sub>CC</sub> = AV<sub>CC</sub> 時のみ使用可能です。</p>																			
25.3 DC 特性 表 25.2 DC 特性	25-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th></th> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>EXTAL、EXTAL48、 ポート 1、3、7、A-G</td> <td rowspan="2">V<sub>IH</sub></td> <td>V<sub>CC</sub> × 0.8</td> <td></td> <td>V<sub>CC</sub>+0.3</td> <td>V</td> </tr> <tr> <td>ポート 4*、9</td> <td>V<sub>CC</sub> × 0.8</td> <td></td> <td>AV<sub>CC</sub>+0.3*<sup>5</sup></td> <td>V</td> </tr> </tbody> </table>		項目	記号	min	typ	max	単位	入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	V <sub>IH</sub>	V <sub>CC</sub> × 0.8		V <sub>CC</sub> +0.3	V	ポート 4*、9	V <sub>CC</sub> × 0.8		AV <sub>CC</sub> +0.3* <sup>5</sup>	V
	項目	記号	min	typ	max	単位															
入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	V <sub>IH</sub>	V <sub>CC</sub> × 0.8		V <sub>CC</sub> +0.3	V															
	ポート 4*、9		V <sub>CC</sub> × 0.8		AV <sub>CC</sub> +0.3* <sup>5</sup>	V															
		25-4	<p>注を修正</p> <p>【注】*<sup>3</sup> I<sub>CC</sub> は下記の式に従って V<sub>CC</sub> と f に依存します。</p> <p>I<sub>CC</sub> max. = 1.0 (mA) + 0.85 (mA/(MHz × V)) × V<sub>CC</sub> × f (通常動作 USB 動作時 f = 16MHz : PLL3 通倍)</p> <p>I<sub>CC</sub> max. = 1.0 (mA) + 0.72 (mA/(MHz × V)) × V<sub>CC</sub> × f (通常動作 USB 動作時 f = 24MHz : PLL2 通倍)</p> <p>I<sub>CC</sub> max. = 1.0 (mA) + 0.55 (mA/(MHz × V)) × V<sub>CC</sub> × f (スリープ時)</p> <p>*<sup>5</sup> V<sub>CC</sub> &lt; AV<sub>CC</sub> のとき、P40、P41 の max は、V<sub>CC</sub>+0.3V になります。</p>																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																	
25.6 A/D 変換特性 表 25.9 A/D 変換特性	25-19	<p>表条件を修正</p> <p>条件 A : <math>V_{CC} = PLLV_{CC} = DrV_{CC} = 2.7 \sim 3.6V^*</math>、<math>AV_{CC} = 2.7 \sim 3.6V^*</math>、  <math>V_{ref} = 2.7V \sim AV_{CC}</math>、<math>V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V</math>、  <math>\phi = 13 \sim 16MHz</math>、<math>T_a = -20 \sim +75</math>（通常仕様品）、  <math>T_a = -40 \sim +85</math>（広温度範囲仕様品）</p> <p>条件 B : <math>V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V^*</math>、<math>AV_{CC} = 3.0 \sim 3.6V^*</math>、  <math>V_{ref} = 3.0V \sim AV_{CC}</math>、<math>V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V</math>、  <math>\phi = 13 \sim 24MHz</math>、<math>T_a = -20 \sim +75</math>（通常仕様品）、  <math>T_a = -40 \sim +85</math>（広温度範囲仕様品）</p> <p>注を追加  <b>【注】*</b> AN0、AN1 は、<math>V_{CC} = AV_{CC}</math> 時のみ使用可能です。</p>																	
26.3 DC 特性 表 26.2 DC 特性	26-2	<p>表を修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="2">入力 High レベル電圧</td> <td>EXTAL、EXTAL48、 ポート 1、3、7、A-G</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>ポート 4<sup>※</sup>、9</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>AV_{CC} + 0.3^*</math></td> <td>V</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	ポート 4 <sup>※</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3^*$	V
項目	記号	min	typ	max	単位														
入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V														
	ポート 4 <sup>※</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3^*$	V														
	26-3	<p>注を修正</p> <p><b>【注】*3</b> <math>I_{CC}</math> は下記の式に従って <math>V_{CC}</math> と <math>f</math> に依存します。</p> <p><math>I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f</math>（通常動作 USB 動作時 <math>f = 16MHz</math> : PLL3 通倍）</p> <p><math>I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f</math>（通常動作 USB 動作時 <math>f = 24MHz</math> : PLL2 通倍）</p> <p><math>I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.55 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f</math>（スリープ時）</p> <p><b>*6</b> <math>V_{CC} &lt; AV_{CC}</math> のとき、P40、P41 の max は、<math>V_{CC} + 0.3V</math> になります。</p>																	
26.6 A/D 変換特性 表 26.9 A/D 変換特性	26-18	<p>表条件を修正</p> <p>条件 : <math>V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 \sim 3.6V^*</math>、<math>AV_{CC} = 3.0 \sim 3.6V^*</math>、  <math>V_{ref} = 3.0V \sim AV_{CC}</math>、<math>V_{SS} = PLLV_{SS} = DrV_{SS} = AV_{SS} = 0V</math>、  <math>\phi = 16、24MHz</math>、<math>T_a = -20 \sim +75</math>（通常仕様品）、<math>T_a = -40 \sim +85</math>  （広温度範囲仕様品）</p> <p>注を追加  <b>【注】*</b> AN0、AN1 は、<math>V_{CC} = AV_{CC}</math> 時のみ使用可能です。</p>																	

修正項目	ページ	修正内容 (詳細はマニュアル参照)																	
27.3 DC 特性 表 27.2 DC 特性	27-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="2">入力 High レベル電圧</td> <td>EXTAL、EXTAL48、 ポート 1、3、7、A-G</td> <td><math>V_{cc} \times 0.8</math></td> <td></td> <td><math>V_{cc} + 0.3</math></td> <td>V</td> </tr> <tr> <td>ポート 4*、9</td> <td><math>V_{cc} \times 0.8</math></td> <td></td> <td><math>AV_{cc} + 0.3^{*}</math></td> <td>V</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	$V_{cc} \times 0.8$		$V_{cc} + 0.3$	V	ポート 4*、9	$V_{cc} \times 0.8$		$AV_{cc} + 0.3^{*}$	V
	項目	記号	min	typ	max	単位													
入力 High レベル電圧	EXTAL、EXTAL48、 ポート 1、3、7、A-G	$V_{cc} \times 0.8$		$V_{cc} + 0.3$	V														
	ポート 4*、9	$V_{cc} \times 0.8$		$AV_{cc} + 0.3^{*}$	V														
	27-4	<p>注を修正</p> <p>【注】*3 <math>I_{cc}</math> は下記の式に従って <math>V_{cc}</math> と <math>f</math> に依存します。</p> <p><math>I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.85 \text{ (mA/(MHz} \times V)) \times V_{cc} \times f</math> (通常動作 USB 動作時 <math>f = 16\text{MHz}</math> : PLL3 通倍)</p> <p><math>I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times V)) \times V_{cc} \times f</math> (通常動作 USB 動作時 <math>f = 24\text{MHz}</math> : PLL2 通倍)</p> <p><math>I_{cc \text{ max.}} = 1.0 \text{ (mA)} + 0.55 \text{ (mA/(MHz} \times V)) \times V_{cc} \times f</math> (スリープ時)</p> <p>*5 <math>V_{cc} &lt; AV_{cc}</math> のとき、P40、P41 の max は、<math>V_{cc} + 0.3V</math> になります。</p>																	
27.6 A/D 変換特性 表 27.9 A/D 変換特性	27-20	<p>表条件を修正</p> <p>条件 : <math>V_{cc} = PLLV_{cc} = DrV_{cc} = 3.0 \sim 3.6V^{*}</math>、<math>AV_{cc} = 3.0 \sim 3.6V^{*}</math>、  <math>V_{ref} = 3.0V \sim AV_{cc}</math>、<math>V_{ss} = PLLV_{ss} = DrV_{ss} = AV_{ss} = 0V</math>、  <math>\phi = 16 \sim 24\text{MHz}</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math>                      (広温度範囲仕様品)</p>																	
		<p>注を追加</p> <p>【注】* AN0、AN1 は、<math>V_{cc} = AV_{cc}</math> 時のみ使用可能です。</p>																	

# 索引

16 ビットタイマパルスユニット.....	10-1	ウォッチドッグタイマ.....	12-1
PWM モード.....	10-37	インターバルタイマモード.....	12-6
位相計数モード.....	10-41	オーバフロー.....	12-7
インプットキャプチャ機能.....	10-31	エクステンドレジスタ (EXR).....	2-11
コンペアマッチによる波形出力.....	10-29	オーバランエラー.....	13-44
周期カウント動作.....	10-28	オープンドレインコントロールレジスタ.....	9-19
同期動作.....	10-32	オペレーションフィールド.....	2-27
トグル出力.....	10-30	オンボードプログラミング.....	19-13
バッファ動作.....	10-34	外部トリガ.....	16-13
フリーランニングカウント動作.....	10-28	クロック発振器.....	21-1
8 ビットタイマ.....	11-1	コンディションコードレジスタ.....	2-12
16 ビットカウントモード.....	11-14	コンディションフィールド.....	2-27
TCNT のカウントタイミング.....	11-10	実効アドレス.....	2-29, 2-32
カスケード接続.....	11-14	シリアルコミュニケーションインタフェース.....	13-1
コンペアマッチカウントモード.....	11-14	スタックポインタ (SP).....	2-10
トグル出力.....	11-18	スマートカードインタフェース.....	13-59
パルス出力.....	11-9	調歩同期式モード.....	13-37
A/D 変換器.....	16-1	データディレクションレジスタ.....	9-23
A/D 変換器の起動.....	10-47	データトランスファコントローラ.....	8-1
シングルモード.....	16-9	DTC ベクタテーブル.....	8-8
スキャンモード.....	16-11	ソフトウェアによる起動.....	8-19
Bcc.....	2-17, 2-25	ソフトウェア起動.....	8-20
CPU 動作モード.....	2-4	ソフトウェア起動割り込み用ベクタ番号.....	8-6
アドバンスモード.....	2-6	チェイン転送.....	8-15
ノーマルモード.....	2-4	ノーマルモード.....	8-12, 8-20
EA 拡張部.....	2-27	ブロック転送モード.....	8-14
PLL 回路.....	21-10	リピートモード.....	8-13
TRAPA 命令.....	2-31, 4-7	レジスタ情報.....	8-8
アドレスマップ.....	3-7	データレジスタ.....	9-23
アドレス空間.....	2-4	動作モードの選択.....	3-1
アドレッシングモード.....	2-29	トレースビット.....	2-11
イミディエイト.....	2-31	内部バスマスタ.....	6-1
絶対アドレス.....	2-30	入力プルアップ MOS.....	9-26
ディスプレースメント付きレジスタ間接.....	2-29	バウンダリスキャン.....	14-1
プリデクリメントレジスタ間接.....	2-30	バスアービトラーション.....	6-35
プログラムカウンタ相対.....	2-31	バスサイクル.....	6-14
ポストインクリメントレジスタ間接.....	2-30	パリティエラー.....	13-44
メモリ間接.....	2-31	汎用レジスタ.....	2-10
レジスタ間接.....	2-29	ビットレート.....	13-30
レジスタ直接.....	2-29	フラッシュメモリ.....	19-1
インタラプトプライオリティレジスタ (IPR).....	5-1	イレース/イレースベリファイ.....	19-26

エミュレーション.....	19-22
エラープロテクト.....	19-28
書き込みの単位.....	19-6
消去ブロック.....	19-6
ソフトウェアプロテクト.....	19-28
ハードウェアプロテクト.....	19-28
ブートモード.....	19-14
プログラム / プログラムベリファイ.....	19-24
ユーザモードでの書き込み / 消去.....	19-21
ライタモード.....	19-29
ブレーク.....	13-73
フレーミングエラー.....	13-44
プログラムカウンタ (PC).....	2-11
変換時間.....	16-12
ポートレジスタ.....	9-1
マーク状態.....	13-73
マスク ROM.....	20-1
命令セット.....	2-17
算術演算命令.....	2-20
システム制御命令.....	2-26
シフト命令.....	2-22
データ転送命令.....	2-19
ビット操作命令.....	2-23
ブロック転送命令.....	2-27
分岐命令.....	2-25
論理演算命令.....	2-22
メモリサイクル.....	6-14
ユニバーサルシリアルバス (USB).....	15-1
USB ケーブル接続 / 切断.....	15-53
USB 外部回路例.....	15-87
USB 標準コマンドとクラス /	
ベンダーコマンドの処理.....	15-74
アイソクロナスイン転送.....	15-70
インタラプトイン転送.....	15-66
エンドポイントの構成.....	15-82
コントロール転送.....	15-61
サスペンド / レジューム.....	15-57
ストール動作.....	15-75
バルクアウト転送.....	15-69
バルクイン転送.....	15-67
リセット.....	4-3
例外処理.....	4-1
スタックの状態.....	4-8
トラップ命令例外処理.....	4-7
トレース例外処理.....	4-6
リセット例外処理.....	4-4
割り込み例外処理.....	4-6

## レジスタ

ABWCR.....	6-4, 23-6, 23-13, 23-21
ADCR.....	16-7, 23-9, 23-17, 23-24
ADCSR.....	16-5, 23-9, 23-17, 23-24
ADDR.....	16-4, 23-9, 23-17, 23-23
ASTCR.....	6-4, 23-6, 23-13, 23-21
BCRH.....	6-7, 23-6, 23-13, 23-21
BCRL.....	6-8, 23-6, 23-13, 23-21
BRR.....	13-30, 23-8, 23-16, 23-23
BSCANR.....	14-7
BYPASS.....	14-6
CRA.....	8-4, 23-4, 23-12, 23-19
CRB.....	8-5, 23-4, 23-12, 23-19
DACR.....	23-4, 23-12, 23-19
DADR.....	17-3, 23-4, 23-12, 23-19
DAR.....	8-4, 23-4, 23-11, 23-19
DMABCR.....	7-12, 23-7, 23-16, 23-22
DMACR.....	7-7, 23-7, 23-15, 23-22
DMAWER.....	7-18, 23-7, 23-15, 23-22
DTCER.....	8-5, 23-4, 23-12, 23-20
DTVECR.....	8-6, 23-5, 23-12, 23-20
EBR1.....	19-10, 23-9, 23-17, 23-24
EBR2.....	19-10, 23-9, 23-17, 23-24
ETCR.....	7-6, 23-6, 23-13, 23-21
FLMCR1.....	19-8, 23-9, 23-17, 23-24
FLMCR2.....	19-9, 23-9, 23-17, 23-24
IDCODE.....	14-6
IER.....	5-5, 23-4, 23-12, 23-20
INSTR.....	14-4
IOAR.....	7-5, 23-6, 23-13, 23-21
IPR.....	5-4, 23-5, 23-13, 23-20
ISCR.....	5-5, 23-4, 23-12, 23-20
ISR.....	5-7, 23-4, 23-12, 23-20
LPWRCR.....	21-3, 23-4, 23-12, 23-20
MAR.....	7-5, 23-6, 23-13, 23-21
MDCR.....	3-2, 23-4, 23-12, 23-19
MRA.....	8-3, 23-4, 23-11, 23-19
MRB.....	8-4, 23-4, 23-11, 23-19
MSTPCR.....	22-5, 23-4, 23-12, 23-19
MSTPCRB.....	15-49
P1DDR.....	9-5, 23-5, 23-12, 23-20
P1DR.....	9-5, 23-6, 23-14, 23-21
P3DDR.....	9-9, 23-5, 23-12, 23-20
P3DR.....	9-10, 23-6, 23-14, 23-21
P3ODR.....	9-11, 23-5, 23-13, 23-20
P7DDR.....	9-14, 23-5, 23-12, 23-20
P7DR.....	9-14, 23-6, 23-14, 23-21

PADDR.....	9-18, 23-5, 23-12, 23-20	SYSCR.....	3-3, 23-4, 23-12, 23-19
PADR.....	9-18, 23-6, 23-14, 23-21	TCNT.....	10-23, 11-4, 12-2, 23-7, 23-8, 23-15, 23-16, 23-22, 23-23
PAODR.....	9-19, 23-5, 23-13, 23-20	TCORA.....	11-4, 23-8, 23-16, 23-23
PAPCR.....	9-19, 23-5, 23-13, 23-20	TCORB.....	11-4, 23-8, 23-16, 23-23
PBDDR.....	9-23, 23-5, 23-12, 23-20	TCR.....	10-7, 11-5, 23-7, 23-14, 23-16, 23-22
PBDR.....	9-23, 23-6, 23-14, 23-21	TCSR.....	11-7, 12-3, 23-7, 23-8, 23-16, 23-23
PBPCR.....	9-24, 23-5, 23-13, 23-20	TDR.....	13-6, 23-8, 23-16, 23-23
PCDDR.....	9-27, 23-5, 23-12, 23-20	TGR.....	10-23, 23-7, 23-15, 23-22
PCDR.....	9-27, 23-6, 23-14, 23-21	TIER.....	10-20, 23-7, 23-15, 23-22
PCPCR.....	9-28, 23-5, 23-13, 23-20	TIOR.....	10-11, 23-7, 23-14, 23-22
PDDDR.....	9-31, 23-5, 23-12, 23-20	TMDR.....	10-10, 23-7, 23-14, 23-22
PDDR.....	9-31, 23-6, 23-14, 23-21	TSR.....	10-21, 13-7, 23-7, 23-15, 23-22
PDPCR.....	9-32, 23-5, 23-13, 23-20	TSTR.....	10-24, 23-5, 23-13, 23-20
PEDDR.....	9-35, 23-5, 23-12, 23-20	TSYR.....	10-24, 23-5, 23-13, 23-20
PEDR.....	9-36, 23-6, 23-14, 23-21	UCTLR.....	15-13, 23-2, 23-10, 23-18
PEPCR.....	9-37, 23-5, 23-13, 23-20	UCVR.....	15-44, 23-3, 23-11, 23-19
PFCR.....	6-9, 23-4, 23-12, 23-20	UDMAR.....	15-17, 23-2, 23-10, 23-18
PFDDR.....	9-40, 23-5, 23-12, 23-20	UDRR.....	15-18, 23-2, 23-10, 23-18
PFDR.....	9-40, 23-6, 23-14, 23-21	UDSR.....	15-43, 23-3, 23-11, 23-19
PGDDR.....	9-43, 23-5, 23-12, 23-20	UEDR0i.....	15-25, 23-2, 23-10, 23-18
PGDR.....	9-43, 23-6, 23-14, 23-21	UEDR0o.....	15-25, 23-2, 23-10, 23-18
PORT1.....	9-6, 23-9, 23-17, 23-24	UEDR0s.....	15-24, 23-2, 23-10, 23-18
PORT3.....	9-10, 23-9, 23-17, 23-24	UEDR1i.....	15-25, 23-2, 23-10, 23-18
PORT4.....	9-13, 23-9, 23-17, 23-24	UEDR2i.....	15-26, 23-2, 23-10, 23-18
PORT7.....	9-15, 23-9, 23-17, 23-24	UEDR2o.....	15-26, 23-2, 23-10, 23-18
PORT9.....	9-17, 23-9, 23-17, 23-24	UEDR3i.....	15-26, 23-2, 23-10, 23-18
PORTA.....	9-19, 23-9, 23-17, 23-24	UEDR3o.....	15-27, 23-2, 23-10, 23-18
PORTB.....	9-24, 23-9, 23-17, 23-24	UEDR4i.....	15-27, 23-2, 23-10, 23-18
PORTC.....	9-28, 23-9, 23-17, 23-24	UEDR4o.....	15-27, 23-2, 23-10, 23-18
PORTD.....	9-32, 23-9, 23-17, 23-24	UEDR5i.....	15-28, 23-2, 23-10, 23-18
PORTE.....	9-36, 23-9, 23-17, 23-24	UEPIR.....	15-7, 23-2, 23-10, 23-18
PORTF.....	9-41, 23-9, 23-17, 23-24	UESTL0.....	15-23, 23-2, 23-10, 23-18
PORTG.....	9-44, 23-9, 23-17, 23-24	UESTL1.....	15-24, 23-2, 23-10, 23-18
RAMER.....	19-11, 23-6, 23-13, 23-21	UESZ0o.....	15-28, 23-3, 23-10, 23-18
RDR.....	13-6, 23-8, 23-16, 23-23	UESZ2o.....	15-28, 23-3, 23-10, 23-18
RSTCSR.....	12-4, 23-8, 23-16, 23-23	UESZ3o.....	15-29, 23-3, 23-10, 23-18
SAR.....	8-4, 23-4, 23-11, 23-19	UESZ4o.....	15-29, 23-3, 23-10, 23-18
SBYCR.....	22-4, 23-4, 23-12, 23-19	UFCLR0.....	15-21, 23-2, 23-10, 23-18
SCKCR.....	21-2, 23-4, 23-12, 23-19	UFCLR1.....	15-22, 23-2, 23-10, 23-18
SCMR.....	13-18, 23-8, 23-16, 23-23	UIER0.....	15-37, 23-3, 23-11, 23-18
SCR.....	13-10, 23-8, 23-16, 23-23	UIER1.....	15-38, 23-3, 23-11, 23-19
SCRX.....	19-12, 23-4, 23-12, 23-19	UIER2.....	15-39, 23-3, 23-11, 23-19
SEMR_0.....	23-4, 23-12, 23-20	UIER3.....	15-40, 23-3, 23-11, 23-19
SEMRA_0.....	13-19	UIFR0.....	15-30, 23-3, 23-10, 23-18
SEMRB_0.....	13-27, 13-29	UIFR1.....	15-31, 15-32, 23-3, 23-10, 23-18
SMR.....	13-7, 23-8, 23-16, 23-23	UIFR2.....	15-34, 15-35, 23-3, 23-11, 23-18
SSR.....	13-14, 23-8, 23-16, 23-23		

UIFR3 .....	15-36, 23-3, 23-11, 23-18	SWDTEND .....	8-16
UISR0 .....	15-40, 23-3, 23-11, 23-19	TCI0V .....	10-46
UISR1 .....	15-41, 23-3, 23-11, 23-19	TCI1U .....	10-46
UISR2 .....	15-42, 23-3, 23-11, 23-19	TCI1V .....	10-46
UISR3 .....	15-43, 23-3, 23-11, 23-19	TCI2U .....	10-46
UTRG0 .....	15-19, 23-2, 23-10, 23-18	TCI2V .....	10-46
UTRG1 .....	15-20, 23-2, 23-10, 23-18	TGI0A .....	10-46
UTSRH .....	15-45, 23-3, 23-11, 23-19	TGI0B .....	10-46
UTSRL .....	15-45, 23-3, 23-11, 23-19	TGI0C .....	10-46
UTSTR0 .....	15-46, 23-3, 23-11, 23-19	TGI0D .....	10-46
UTSTR1 .....	15-48, 23-3, 23-11, 23-19	TGI1A .....	10-46
WCRH .....	6-5, 23-6, 23-13, 23-21	TGI1B .....	10-46
WCRL .....	6-5, 23-6, 23-13, 23-21	TGI2A .....	10-46
レジスタフィールド .....	2-27	TGI2B .....	10-46
割り込み		WOVI .....	12-7
ADI .....	16-14	割り込みコントローラ .....	5-1
CMIA .....	11-15	割り込み制御モード .....	5-12
CMIB .....	11-15	割り込みマスクビット .....	2-12
NMI 割り込み .....	5-8	割り込み要求マスクレベル .....	2-11
OVI .....	11-15	割り込み例外処理ベクタテーブル .....	5-10

---

ルネサス16ビットシングルチップマイクロコンピュータ  
H8S/2215グループ  
ユーザーズマニュアル ハードウェア編

発行年月日 2001年3月 Rev.1.00

2010年9月14日 Rev.9.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>



H8S/2215 グループ  
ユーザーズマニュアル ハードウェア編