

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

32192/32195/32196グループ

ハードウェアマニュアル

ルネサス32ビットRISCシングルチップマイクロコンピュータ
M32Rファミリ / M32R/ECUシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

改訂記録

32192/32195/32196 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	05/05/25	-	初版発行
1.10	06/08/31	全体	32195グループの追加
		全体	M32192F8VWG、M32192F8UWG、M32192F8TWG の追加
		P2-3	PSW レジスタの IE ビットに注釈 1 を追加
		P5-6	IMASK レジスタの注釈を訂正 誤) EIT ハンドラ内の割り込み ~ 正) 割り込み ~
		P5-7	SBICR レジスタの注釈を追加
		P6-15	FMOD レジスタの FAENS ビットの説明を追加
		P6-16	ERASE ビット、WRERR ビットの説明を追加
		P6-19, 20, 21	FCNT3 レジスタの説明を訂正 表 6.5.2 の追加 図 6.5.2 の訂正
		P6-34	通常モードへの移行手順の図を追加
		P6-36	4ハーフワードプログラムの説明を訂正
		P6-55	ブートモードで起動後の内蔵 RAM 値に関して注意事項を追加
		P8-33	ポートグループ n レベル設定レジスタの WFnSEL ビットの b4(12)の機能欄を訂正
		P8-35	ポートグループ n 出力ドライブ能力設定レジスタの GnDSEL ビットのリード、ライトステータスを訂正
		P8-39	図 8.7.1 を差し替え
		P8-40	図 8.7.2 を差し替え
		P8-41	図 8.7.3 を差し替え
		P8-42	図 8.7.4 を差し替え
		P8-43	図 8.7.5 を差し替え
		P8-44	ポート入力モードで使用する場合の注意事項を追加
		P8-44	汎用ポート選択時の周辺機能入力に関する注釈を追加
		P9-26	RINGSEL ビットの機能欄を訂正
		P9-27	TREQFn ビット、TENLn ビットの説明を訂正
		P9-28	SELFEN ビットの説明を訂正
		P9-49	表 9.4.1 を訂正
		P10-52, 53	TINIS25 ビット、TINIS27 ビットのライトステータスを訂正
		P10-114	PWM 周期の更新タイミングに関する説明を追加
		P10-143	表 10.7.2 を差し替え
		P10-157	TOU カウンタの注釈を訂正
		P10-160	TOU リロードレジスタの注釈を訂正
		P10-171	PO0LVSELGA ビット、PO1LVSELGA ビットのリードステータスを訂正
		P10-176	PWM 周期の更新タイミングに関する説明を追加
P11-21	ADSEL2 ビットに注釈を追加		
P12-3	表 12.1.3 を訂正 SIO4、SIO5 の DMA 転送要求		
P12-4	図 12.1.1 を差し替え SIO4、SIO5 の DMA 転送要求		

(改訂記録-1)

改訂記録

32192/32195/32196 グループハードウェアマニュアル

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	06/08/31	P12-8	送信割り込みに関する注意の文章を訂正		
		P12-44	誤記訂正 5Mbps f(BCLK)/8		
		P12-45	汎用ポートからシリアルインタフェース端子への切り替えに関する注意事項を追加		
		P12-62	汎用ポートからシリアルインタフェース端子への切り替えに関する注意事項を追加		
		P13-27	RBO ビットの説明を訂正		
		P13-28	LBM ビット、RST ビットの説明を追加		
		P13-31	CRS ビットの説明を追加		
		P13-118	図 13.3.4 に注釈 1 を追加		
		P14-3	図 14.1.1 を差し替え		
		P14-24	図 14.2.7 を差し替え		
		P14-27	DRI 転送カウンタの説明を追加		
		P14-35	DRI イベントカウンタ制御レジスタの説明を追加		
		P14-36	DRI イベントカウンタの説明を訂正		
		P15-6	図 15.4.4 を差し替え		
		P19-2	32196 の RAM バックアップ領域を訂正 32KB 16KB		
		P19-2	ブートモードで起動後の内蔵 RAM 値に関して文章を追加		
		P20-2	図 20.1.1 を差し替え		
		P20-3	XIN 発振停止検知機能の説明を訂正 図 20.1.2 を差し替え		
		23 章	32195、32196 の電気的特性を追加		
		P23-3, 4, 7, 8, 11, 12, 15, 16	TIN4 ~ TIN11、TIN27、TIN30 ~ TIN33 の VIH、VIL を訂正		
		P23-5, 9, 13, 17	TIN4 ~ TIN11、TIN27、TIN30 ~ TIN33 の VT+ ~ VT- (ヒステリシス) を訂正		
		P23-13	各電源電流の測定条件を訂正 16MHz 20MHz		
		P23-24, 46	TIN の注釈を訂正		
		P23-25, 47	TCLK BCLK/4 選択時の規格値を訂正		
		P23-29, 51	tw(WAITH)、tw(WAITL)に注釈を追加		
		P23-30, 52	リードタイミングの注釈を訂正		
		付録 1-2	外形寸法図を差し替え		
		付録 1-3	224 ピン FBGA の外形寸法図を追加		
		付録 4	注意事項集を追加		

ご使用になる前に

レジスタ表の見方

ビット番号：レジスタのビット番号

レジスタの枠：太枠で囲んでいるレジスタはハーフワードまたはワードでアクセスしてください。

リセット解除時の状態：リセット解除後の初期状態を16進数又は2進数で示します。

リセット解除時の状態：リセット解除後の初期状態をビット単位で示します。

- 0：リセット解除後は0
- 1：リセット解除後は1
- ？：リセット解除後は不定

何も配置されていないビットには網掛けをしています。

読み出し時の条件：

- R：読み出し可能
- ？：読み出しデータは不定(読み出し無効)
- 0：常に0が読み出される
- 1：常に1が読み出される

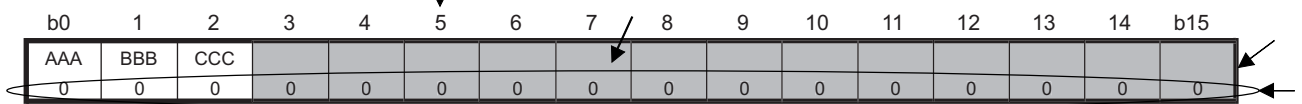
書き込み時の条件：

- W：書き込み可能
- N：書き込み禁止
- 0：常に0を書き込む
- 1：常に1を書き込む
- ：書き込み無効(書き込み時、"0"または"1"どちらでも良い)

(注)：書き込み時に注意が必要 各レジスタ表の注文を参照してください。

XXXレジスタ(XXX)

<アドレス：H'XXXX XXXX>



→ <リセット解除時：H'0000>

b	ビット名	機能	R	W
0	AAAビット	0：..... 1：.....	R	W
1	BBBビット	0：..... 1：.....	R	W
2	CCCビット	0：..... 1：.....	R (注1)	

3～15 何も配置されていません。"0"に固定してください。

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。



"L"アクティブ端子(信号)の表示について

端子名(信号名)末尾の"#は"L"アクティブ端子(信号)であることを示します。

目次

第1章 概要

1.1	32192/32195/32196グループの概要	1-2
1.1.1	FPU内蔵M32RファミリCPUコア(M32R-FPU)	1-2
1.1.2	積和演算機能の内蔵	1-3
1.1.3	単精度FPU内蔵	1-3
1.1.4	フラッシュメモリとRAMの内蔵	1-3
1.1.5	クロック逡倍回路の内蔵	1-5
1.1.6	強力な周辺機能の内蔵	1-5
1.2	ブロック図	1-6
1.3	端子機能	1-10
1.4	端子配置	1-15

第2章 CPU

2.1	CPUレジスタ	2-2
2.2	汎用レジスタ	2-2
2.3	制御レジスタ	2-2
2.3.1	プロセッサ状態語レジスタ : PSW(CR0)	2-3
2.3.2	条件ビットレジスタ : CBR(CR1)	2-4
2.3.3	割り込み用スタックポインタ : SP(CR2) ユーザ用スタックポインタ : SPU(CR3)	2-4
2.3.4	バックアップPC : BP(CR6)	2-4
2.3.5	浮動小数点ステータスレジスタ : FPSR(CR7)	2-5
2.4	アキュムレータ	2-7
2.5	プログラムカウンタ	2-7
2.6	データフォーマット	2-8
2.6.1	データタイプ	2-8
2.6.2	データフォーマット	2-9
2.7	BSET、BCLR、LOCK、UNLOCK命令実行時の補足説明	2-14

第3章 アドレス空間

3.1	アドレス空間概要	3-2
3.2	動作モード	3-3
3.3	内蔵ROM領域/外部拡張領域	3-7
3.3.1	内蔵ROM領域	3-7
3.3.2	外部拡張領域	3-7
3.4	内蔵RAM領域/SFR領域	3-8
3.4.1	内蔵RAM領域	3-8
3.4.2	SFR(Special Function Register)領域	3-8
3.5	EITベクタエントリ	3-48
3.6	ICUベクタテーブル	3-49
3.7	アドレス空間の注意事項	3-52

第4章 EIT

4.1	EITの概要	4-2
4.2	EIT事象	4-3
4.2.1	例外(Exception)	4-3
4.2.2	割り込み(Interrupt)	4-5
4.2.3	トラップ(Trap)	4-6
4.3	EITの処理手順	4-6
4.4	EITの処理機構	4-7
4.5	EIT事象の受付	4-8
4.6	PC、PSWの退避と復帰	4-8
4.7	EITベクタエントリ	4-10
4.8	例外(Exception)処理	4-11
4.8.1	予約命令例外(RIE)	4-11
4.8.2	アドレス例外(AE)	4-12
4.8.3	浮動小数点例外(FPE)	4-13
4.9	割り込み(Interrupt)処理	4-15
4.9.1	リセット割り込み(RI)	4-15
4.9.2	システムブレーク割り込み(SBI)	4-15
4.9.3	外部割り込み(EI)	4-17
4.10	トラップ(Trap)処理	4-18
4.10.1	トラップ(TRAP)	4-18
4.11	EITの優先順位	4-19
4.12	EIT処理の例	4-20
4.13	EITの注意事項	4-22

第5章 割り込みコントローラ(ICU)

5.1	割り込みコントローラ概要	5-2
5.2	ICU関連レジスタ	5-4
5.2.1	割り込みベクタレジスタ	5-5
5.2.2	割り込み要求マスクレジスタ	5-6
5.2.3	SBK(システムブレーク割り込み)制御レジスタ	5-7
5.2.4	割り込み制御レジスタ	5-8
5.3	内蔵周辺I/Oの割り込み要求要因	5-11
5.4	ICUベクタテーブル	5-12
5.5	割り込み動作説明	5-13
5.5.1	内蔵周辺I/Oの割り込み要求受付	5-13
5.5.2	内蔵周辺I/Oの割り込みハンドラ処理	5-14
5.6	システムブレーク割り込み(SBI)動作説明	5-17
5.6.1	SBIの受付	5-17
5.6.2	SBIのハンドラ処理	5-17

第6章 内蔵メモリ

6.1	内蔵メモリ概要	6-2
6.2	内蔵RAM	6-2
6.3	内蔵RAMプロテクト機能	6-2
6.4	内蔵フラッシュメモリ	6-11
6.5	内蔵フラッシュメモリ関連レジスタ	6-14
6.5.1	フラッシュモードレジスタ	6-15
6.5.2	フラッシュステータスレジスタ	6-16
6.5.3	フラッシュ制御レジスタ	6-17
6.5.4	疑似フラッシュLバンクレジスタ	6-24
6.6	内蔵フラッシュメモリの書き込み	6-25
6.6.1	内蔵フラッシュメモリ書き込みの概要	6-25
6.6.2	フラッシュ書き込み時における動作モードの制御	6-31
6.6.3	内蔵フラッシュメモリの書き込み/消去手順	6-35
6.6.4	フラッシュ書き込み時間(参考値)	6-43
6.7	疑似フラッシュエミュレーション機能	6-44
6.7.1	疑似フラッシュエミュレーション領域	6-46
6.7.2	疑似フラッシュエミュレーションモードへの移行	6-49
6.8	シリアルプログラマとの接続(CSIOモード)	6-50
6.9	シリアルプログラマとの接続(UARTモード)	6-52
6.10	内蔵フラッシュメモリのプロテクト機能	6-54
6.11	内蔵RAMの注意事項	6-55
6.12	内蔵フラッシュメモリの注意事項	6-55

第7章 リセット

7.1	リセット概要	7-2
7.2	リセット動作	7-2
7.2.1	電源投入時のリセット	7-3
7.2.2	動作中のリセット	7-3
7.2.3	フラッシュ書き込み時のリセットベクタ移動	7-3
7.3	リセット解除時の内部状態	7-4
7.4	リセット解除時の注意事項	7-4

第8章 入出力ポートと端子機能

8.1	入出力ポート概要	8-2
8.2	端子機能の選択	8-3
8.3	入出力ポート関連レジスタ	8-9
8.3.1	ポートデータレジスタ	8-12
8.3.2	ポート方向レジスタ	8-13
8.3.3	ポート動作モードレジスタ、ポート周辺機能選択レジスタ	8-14
8.3.4	ポート入力特別機能制御レジスタ	8-29
8.4	ポート入力レベル切り換え機能	8-32
8.5	ポート出力ドライブ能力設定機能	8-34
8.6	ノイズキャンセラ制御機能	8-37
8.7	ポート周辺回路	8-39
8.8	入出力ポートの注意事項	8-44

第9章 DMAC

9.1	DMAC概要	9-2
9.2	DMAC関連レジスタ	9-4
9.2.1	DMAチャンネル制御レジスタ	9-6
9.2.2	DMAソフトウェア要求発生レジスタ	9-29
9.2.3	DMAソースアドレスレジスタ	9-30
9.2.4	DMAデスティネーションアドレスレジスタ	9-31
9.2.5	DMA転送カウントレジスタ	9-32
9.2.6	DMA割り込み関連レジスタ	9-33
9.3	DMAC機能説明	9-38
9.3.1	DMA転送要求要因	9-38
9.3.2	DMA転送の処理手順	9-44
9.3.3	DMAの起動	9-45
9.3.4	チャンネルの優先順位	9-45
9.3.5	内部バス権の獲得と解放	9-45
9.3.6	転送単位	9-46
9.3.7	転送回数	9-46
9.3.8	アドレス空間	9-46
9.3.9	転送動作	9-46
9.3.10	DMAの終了と割り込み	9-48
9.3.11	DMA転送終了後の各レジスタの状態	9-48
9.4	DMACの注意事項	9-49

第10章 マルチジャンクションタイマ

10.1	マルチジャンクションタイマ概要	10-2
10.2	タイマ共通部	10-9
10.2.1	タイマ共通部レジスタマップ	10-10
10.2.2	共通カウントクロック選択機能	10-12
10.2.3	プリスケアラ部	10-13
10.2.4	クロックバス/入出力イベントバス制御部	10-14
10.2.5	入力処理制御部	10-18
10.2.6	出力フリップフロップ制御部	10-26
10.2.7	割り込み制御部	10-34
10.3	TOP(出力系16ビットタイマ)	10-60
10.3.1	TOP概要	10-60
10.3.2	TOP各モードの概要	10-62
10.3.3	TOP関連レジスタマップ	10-64
10.3.4	TOP制御レジスタ	10-66
10.3.5	TOPカウンタ(TOP0CT ~ TOP10CT)	10-71
10.3.6	TOPリロードレジスタ(TOP0RL ~ TOP10RL)	10-72
10.3.7	TOP補正レジスタ(TOP0CC ~ TOP10CC)	10-73
10.3.8	TOPイネーブル制御レジスタ	10-74
10.3.9	TOPワンショット出力モード(補正機能あり)の動作	10-76
10.3.10	TOPディレイドワンショット出力モード(補正機能あり)の動作	10-82
10.3.11	TOP連続出力モード(補正機能なし)の動作	10-87

10.4	TIO(入出力系16ビットタイマ)	10-90
10.4.1	TIO概要	10-90
10.4.2	TIO各モードの概要	10-92
10.4.3	TIO関連レジスタマップ	10-95
10.4.4	TIO制御レジスタ	10-97
10.4.5	TIOカウンタ(TIO0CT ~ TIO9CT)	10-105
10.4.6	TIOリロード0/計測レジスタ(TIO0RL0 ~ TIO9RL0)	10-106
10.4.7	TIOリロード1レジスタ(TIO0RL1 ~ TIO9RL1)	10-107
10.4.8	TIOイネーブル制御レジスタ	10-108
10.4.9	TIO計測(フリーラン/クリア)入力モードの動作	10-110
10.4.10	TIOノイズ処理入力モードの動作	10-112
10.4.11	TIO PWM出力モード動作	10-113
10.4.12	TIOワンショット出力モード(補正機能なし)の動作	10-117
10.4.13	TIOディレイドワンショット出力モード(補正機能なし)の動作	10-119
10.4.14	TIO連続出力モード(補正機能なし)の動作	10-121
10.5	TMS(入力系16ビットタイマ)	10-123
10.5.1	TMS概要	10-123
10.5.2	TMSの動作概要	10-123
10.5.3	TMS関連レジスタマップ	10-125
10.5.4	TMS制御レジスタ	10-126
10.5.5	TMSカウンタ(TMS0CT, TMS1CT)	10-127
10.5.6	TMS計測レジスタ(TMS0MR3 ~ 0, TMS1MR3 ~ 0)	10-127
10.5.7	TMS計測入力の動作	10-128
10.6	TML(入力系32ビットタイマ)	10-129
10.6.1	TML概要	10-129
10.6.2	TMLの動作概要	10-130
10.6.3	TML関連レジスタマップ	10-130
10.6.4	TML制御レジスタ	10-131
10.6.5	TMLカウンタ	10-132
10.6.6	TML計測レジスタ	10-132
10.6.7	TML計測入力の動作	10-133
10.7	TID(入力系16ビットタイマ)	10-135
10.7.1	TID概要	10-135
10.7.2	TID関連レジスタマップ	10-137
10.7.3	TID制御&プリスケールイネーブルレジスタ	10-138
10.7.4	TIDカウンタ(TID0CT, TID1CT)	10-140
10.7.5	TIDリロードレジスタ(TID0RL, TID1RL)	10-140
10.7.6	TID各モードの概略	10-141
10.8	TOU(出力系24ビットタイマ)	10-146
10.8.1	TOU概要	10-146
10.8.2	TOU各モードの概要	10-148
10.8.3	TOU関連レジスタマップ	10-150
10.8.4	TOU制御レジスタ	10-153
10.8.5	短絡防止機能レジスタ	10-155
10.8.6	TOUカウンタ	10-157
10.8.7	TOUリロードレジスタ	10-160
10.8.8	TOUイネーブルプロテクトレジスタ	10-163

10.8.9	TOUカウンティネーブルレジスタ	10-164
10.8.10	PWMOFF入力処理制御レジスタ	10-166
10.8.11	PWM出力禁止制御レジスタ	10-168
10.8.12	PWM出力禁止レベル制御レジスタ	10-171
10.8.13	PWMOFF機能許可レジスタ	10-173
10.8.14	TOU PWM出力モード(補正機能なし)の動作	10-174
10.8.15	TOUワンショットPWM出力モード(補正機能なし)の動作	10-180
10.8.16	TOUディレイドワンショット出力モード(補正機能なし)の動作	10-182
10.8.17	TOUワンショット出力モード(補正機能なし)の動作	10-184
10.8.18	TOU連続出力モード(補正機能なし)の動作	10-186
10.8.19	PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力	10-188
10.8.20	PWM出力禁止機能	10-193
10.8.21	短絡防止機能	10-197
10.8.22	32192/32195/32196モータ制御機能への応用例	10-201

第11章 A/Dコンバータ

11.1	A/Dコンバータ概要	11-2
11.1.1	変換モード	11-6
11.1.2	動作モード	11-6
11.1.3	特殊動作モード	11-9
11.1.4	A/Dコンバータの割り込み要求とDMA転送要求	11-12
11.1.5	サンプル&ホールド機能	11-12
11.1.6	同時サンプリング機能	11-13
11.2	A/Dコンバータ関連レジスタ	11-15
11.2.1	A/D単一モードレジスタ0	11-17
11.2.2	A/D単一モードレジスタ1	11-19
11.2.3	A/D単一モードレジスタ2	11-21
11.2.4	A/Dスキャンモードレジスタ0	11-22
11.2.5	A/Dスキャンモードレジスタ1	11-24
11.2.6	A/D変換速度制御レジスタ	11-26
11.2.7	A/D断線検出アシスト機能制御レジスタ	11-27
11.2.8	A/D断線検出アシスト方式選択レジスタ	11-28
11.2.9	A/D逐次近似レジスタ	11-31
11.2.10	A/Dコンパレートデータレジスタ	11-32
11.2.11	10ビットA/Dデータレジスタ	11-33
11.2.12	8ビットA/Dデータレジスタ	11-34
11.3	A/Dコンバータ機能説明	11-35
11.3.1	アナログ入力電圧の求め方	11-35
11.3.2	逐次近似比較方式のA/D変換	11-36
11.3.3	コンパレータ動作	11-37
11.3.4	A/D変換時間算出方法	11-38
11.3.5	A/D変換精度の定義	11-43
11.4	注入電流バイパス回路	11-45
11.5	A/Dコンバータの注意事項	11-47

第12章 シリアルインタフェース

12.1	シリアルインタフェース概要	12-2
12.2	シリアルインタフェース関連レジスタ	12-5
12.2.1	SIO割り込み関連レジスタ	12-6
12.2.2	SIO送信制御レジスタ	12-14
12.2.3	SIO送受信モードレジスタ	12-15
12.2.4	SIO送信バッファレジスタ	12-19
12.2.5	SIO受信バッファレジスタ	12-20
12.2.6	SIO受信制御レジスタ	12-21
12.2.7	SIOボーレートレジスタ	12-24
12.2.8	SIO特殊モードレジスタ	12-27
12.3	CSIOモード送信動作説明	12-29
12.3.1	CSIOボーレートの設定	12-29
12.3.2	CSIO送信時の初期設定	12-30
12.3.3	CSIO送信の開始	12-32
12.3.4	CSIOの連続送信	12-32
12.3.5	CSIO送信完了処理	12-33
12.3.6	送信割り込み	12-33
12.3.7	送信DMA転送要求	12-33
12.3.8	CSIO送信動作例	12-35
12.4	CSIOモード受信動作説明	12-37
12.4.1	CSIO受信時の初期設定	12-37
12.4.2	CSIO受信の開始	12-39
12.4.3	CSIO受信完了処理	12-39
12.4.4	連続受信について	12-40
12.4.5	CSIO受信動作の状態を示すフラグ	12-41
12.4.6	CSIO受信動作例	12-42
12.5	CSIOモード時の注意事項	12-44
12.6	UARTモード送信動作説明	12-46
12.6.1	UARTボーレートの設定	12-46
12.6.2	UART送受信データフォーマット	12-46
12.6.3	UART送信時の初期設定	12-48
12.6.4	UART送信の開始	12-50
12.6.5	UARTの連続送信	12-50
12.6.6	UART送信完了処理	12-50
12.6.7	送信割り込み	12-50
12.6.8	送信DMA転送要求	12-51
12.6.9	UART送信動作例	12-52
12.7	UARTモード受信動作説明	12-54
12.7.1	UART受信時の初期設定	12-54
12.7.2	UART受信の開始	12-56
12.7.3	UART受信完了処理	12-56
12.7.4	UART受信動作例	12-58
12.7.5	UART受信時のスタートビットの検出とデータサンプリングタイミング	12-60
12.8	定周期クロック出力機能	12-61
12.9	UARTモード時の注意事項	12-62

第13章 CANモジュール

13.1	CANモジュールの概要	13-2
13.2	CANモジュール関連レジスタ	13-4
13.2.1	CANバスモード制御レジスタ	13-23
13.2.2	CANコントロールレジスタ	13-26
13.2.3	CANステータスレジスタ	13-29
13.2.4	CANコンフィグレーションレジスタ	13-32
13.2.5	CANタイムスタンプカウンタレジスタ	13-35
13.2.6	CANエラーカウンタレジスタ	13-36
13.2.7	CANボーレートプリスケラ	13-37
13.2.8	CAN割り込み関連レジスタ	13-38
13.2.9	CANエラー要因レジスタ	13-67
13.2.10	CANモードレジスタ	13-69
13.2.11	CAN DMA転送要求選択レジスタ	13-70
13.2.12	CANメッセージスロットナンバレジスタ	13-71
13.2.13	CANクロック選択レジスタ	13-72
13.2.14	CANフレームフォーマット選択レジスタ	13-74
13.2.15	CANマスクレジスタ	13-76
13.2.16	CANシングルショットモード制御レジスタ	13-80
13.2.17	CANメッセージスロットコントロールレジスタ	13-82
13.2.18	CANメッセージスロット	13-86
13.3	CANプロトコル	13-116
13.3.1	CANプロトコルフレーム	13-116
13.3.2	CAN送受信時のデータフォーマット	13-117
13.3.3	CANコントローラのエラー状態	13-118
13.4	CANモジュール初期設定	13-119
13.4.1	CANモジュールの初期設定	13-119
13.5	データフレーム送信	13-122
13.5.1	データフレーム送信手順	13-122
13.5.2	データフレーム送信動作	13-123
13.5.3	送信アボート機能	13-124
13.6	データフレーム受信	13-125
13.6.1	データフレーム受信手順	13-125
13.6.2	データフレーム受信動作	13-126
13.6.3	受信データフレームの読み出し	13-128
13.7	リモートフレーム送信	13-130
13.7.1	リモートフレーム送信手順	13-130
13.7.2	リモートフレーム送信動作	13-131
13.7.3	リモートフレーム送信設定時の受信データフレームの読み出し	13-133
13.8	リモートフレーム受信	13-135
13.8.1	リモートフレーム受信手順	13-135
13.8.2	リモートフレーム受信動作	13-136
13.9	CANモジュールの注意事項	13-139

第14章 ダイレクトRAMインタフェース(DRI)

14.1	ダイレクトRAMインタフェース(DRI)概要	14-2
14.2	DRI関連レジスタ	14-4
14.2.1	DD入力端子選択レジスタ	14-6
14.2.2	DRI割り込み関連レジスタ	14-7
14.2.3	DRI転送制御レジスタ	14-13
14.2.4	DRI特殊モード制御レジスタ	14-15
14.2.5	DRIデータ取り込み制御レジスタ	14-18
14.2.6	DRIデータ間引き制御レジスタ	14-22
14.2.7	DIN入力イベント選択レジスタ	14-22
14.2.8	DD入力許可レジスタ	14-23
14.2.9	DRIデータ取り込みイベント数設定レジスタ	14-25
14.2.10	DRI取り込みイベントカウンタ	14-26
14.2.11	DRI転送カウンタ	14-27
14.2.12	DRIアドレスカウンタ	14-28
14.2.13	DRIアドレスリロードレジスタ	14-29
14.2.14	DRI入力処理制御レジスタ	14-30
14.2.15	DRIイベントカウンタ(DEC)制御レジスタ	14-31
14.2.16	DRIイベントカウンタ(DECカウンタ)	14-36
14.2.17	DRIイベントカウンタ(DEC)リロードレジスタ	14-36
14.3	DRIの注意事項	14-37

第15章 リアルタイムデバッグ(RTD)

15.1	リアルタイムデバッグ(RTD)概要	15-2
15.2	RTD端子機能	15-3
15.3	RTD関連レジスタ	15-3
15.3.1	RTD書き込み機能禁止レジスタ	15-3
15.4	RTD動作説明	15-4
15.4.1	RTD動作概要	15-4
15.4.2	RDR(リアルタイムRAM内容出力)動作	15-4
15.4.3	WRR(RAM内容強制書き換え)動作	15-6
15.4.4	VER(継続モニタ)動作	15-7
15.4.5	VEK(割り込み要求)動作	15-7
15.4.6	RCV(暴走状態からの復帰)動作	15-8
15.4.7	リアルタイムデバッグ使用時の指定アドレス設定方法	15-9
15.4.8	RTDのリセット	15-10
15.5	ホストとの接続例	15-11

第16章 ノンブ레이크デバッグ(NBD)

16.1	ノンブ레이크デバッグ(NBD)概要	16-2
16.2	NBD端子機能	16-4
16.2.1	NBD端子制御レジスタ	16-4
16.3	NBD関連レジスタ	16-6
16.3.1	NBDイネーブルレジスタ	16-6

16.4	通信プロトコル	16-7
16.5	RAMモニタ機能	16-8
16.5.1	NBD動作説明	16-8
16.5.2	NBDDデータフォーマットの説明	16-9
16.6	イベント検出機能	16-11
16.6.1	イベントアドレス設定レジスタ	16-11
16.6.2	イベント条件設定レジスタ	16-12
16.6.3	イベント発生レジスタ	16-12
17章	外部バスインタフェース	
17.1	外部バスインタフェース概要	17-2
17.1.1	外部バスインタフェース関連信号	17-2
17.2	外部バスインタフェース関連レジスタ	17-5
17.2.1	ポート動作モードレジスタ、ポート周辺機能選択レジスタ	17-5
17.2.2	バスモード制御レジスタ	17-15
17.2.3	CLKOUT選択レジスタ	17-16
17.3	リード/ライト動作	17-19
17.4	バスアービトラクション	17-25
17.5	外部拡張メモリ接続例	17-27
17.6	VCC-BUSによるバス電圧設定例	17-30
18章	ウェイトコントローラ	
18.1	ウェイトコントローラ概要	18-2
18.2	ウェイトコントローラ関連レジスタ	18-4
18.2.1	CS領域ウェイト制御レジスタ	18-4
18.2.2	フラッシュE/Wウェイト選択レジスタ	18-6
18.3	ウェイトコントローラ動作例	18-7
第19章	RAMバックアップモード	
19.1	概要	19-2
19.2	電源断時のRAMバックアップ例	19-3
19.2.1	通常動作時の状態	19-3
19.2.2	RAMバックアップ時の状態	19-4
19.3	低消費電力化のためのRAMバックアップ例	19-5
19.3.1	通常動作時の状態	19-6
19.3.2	RAMバックアップ時の状態	19-7
19.3.3	電源立ち上げ時の注意事項	19-8
19.3.4	電源立ち上げ時の制約事項	19-8
19.4	RAMバックアップモードの解除(ウェイクアップ)	19-9
第20章	発振回路	
20.1	発振回路	20-2
20.1.1	発振回路例	20-2
20.1.2	XIN発振停止検知機能	20-3
20.1.3	発振駆動能力選択機能	20-5
20.1.4	システムクロックの出力機能	20-7
20.1.5	電源投入時の発振安定時間	20-11
20.2	クロック発生回路	20-12

第21章 JTAG

21.1	JTAG概要	21-2
21.2	JTAG回路構成	21-3
21.3	JTAGレジスタ	21-4
21.3.1	命令レジスタ(JTAGIR)	21-4
21.3.2	データレジスタ	21-5
21.4	JTAG基本動作	21-6
21.4.1	JTAG動作概要	21-6
21.4.2	IRパスシーケンス	21-8
21.4.3	DRパスシーケンス	21-9
21.4.4	データレジスタの参照および設定	21-10
21.5	バウンダリスキャン記述言語	21-11
21.6	JTAG接続時のボード設計注意事項	21-12
21.7	JTAG未使用時の端子処理	21-13

第22章 電源回路

22.1	電源回路の構成	22-2
22.2	電源立ち上げシーケンス	22-3
22.2.1	RAMバックアップ未使用時の電源立ち上げシーケンス	22-3
22.2.2	RAMバックアップ使用時の電源立ち上げシーケンス	22-4
22.3	電源立ち下げシーケンス	22-5
22.3.1	RAMバックアップ未使用時の電源立ち下げシーケンス	22-5
22.3.2	RAMバックアップ使用時の電源立ち下げシーケンス	22-6

第23章 電気的特性

23.1	適合表	23-2
23.2	絶対最大定格	23-2
23.3	VCCE = 5V、f(XIN) = 20MHz時の電気的特性	23-3
23.3.1	推奨動作条件(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)	23-3
23.3.2	DC特性(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)	23-5
23.3.3	A/D変換特性(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)	23-6
23.4	VCCE = 5V、f(XIN) = 16MHz時の電気的特性	23-7
23.4.1	推奨動作条件(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)	23-7
23.4.2	DC特性(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)	23-9
23.4.3	A/D変換特性(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)	23-10
23.5	VCCE = 3.3V、f(XIN) = 20MHz時の電気的特性	23-11
23.5.1	推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)	23-11
23.5.2	DC特性(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)	23-13
23.5.3	A/D変換特性(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)	23-14
23.6	VCCE = 3.3V、f(XIN) = 16MHz時の電気的特性	23-15
23.6.1	推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 16MHz時)	23-15
23.6.2	DC特性(VCCE = 3.3V ± 0.3V、f(XIN) = 16MHz時)	23-17
23.6.3	A/D変換特性(VCCE = 3.3V ± 0.3V、f(XIN) = 16MHz時)	23-18
23.7	フラッシュ関連特性	23-19
23.8	電源外付け容量	23-19
23.9	AC特性(VCCE = 5V時)	23-20
23.10	AC特性(VCCE = 3.3V時)	23-42

付録1 機械的仕様

付録1.1 外形寸法図	付録1-2
-------------	-------

付録2 命令処理時間

付録2.1 32192/32195/32196命令処理時間	付録2-2
-------------------------------	-------

付録3 未使用端子の処理

付録3.1 未使用端子の処理例	付録3-2
-----------------	-------

付録4 注意事項のまとめ

付録4.1 CPUに関する注意事項	付録4-2
付録4.2 アドレス空間の注意事項	付録4-3
付録4.3 EITの注意事項	付録4-3
付録4.4 内蔵RAMの注意事項	付録4-3
付録4.5 内蔵フラッシュメモリの注意事項	付録4-4
付録4.6 リセット解除時の注意事項	付録4-4
付録4.7 入出力ポートの注意事項	付録4-5
付録4.8 DMACの注意事項	付録4-6
付録4.9 マルチジャンクションタイマの注意事項	付録4-7
付録4.9.1 TOPワンショット出力モード使用上の注意	付録4-7
付録4.9.2 TOPディレイドワンショット出力モード使用上の注意	付録4-9
付録4.9.3 TOP連続出力モード使用上の注意	付録4-10
付録4.9.4 TIO計測(フリーラン/クリア)入力モード使用上の注意	付録4-10
付録4.9.5 TIO PWM出力モード使用上の注意	付録4-10
付録4.9.6 TIOワンショット出力モード使用上の注意	付録4-10
付録4.9.7 TIOディレイドワンショット出力モード使用上の注意	付録4-11
付録4.9.8 TIO連続出力モード使用上の注意	付録4-11
付録4.9.9 TMS計測入力使用上の注意	付録4-11
付録4.9.10 TML計測入力使用上の注意	付録4-12
付録4.9.11 TOU PWM出力モード使用上の注意	付録4-13
付録4.9.12 TOUワンショットPWM出力モード使用上の注意	付録4-16
付録4.9.13 TOUディレイドワンショット出力モード使用上の注意	付録4-16
付録4.9.14 TOUワンショット出力モード使用上の注意	付録4-16
付録4.9.15 TOU連続出力モード使用上の注意	付録4-17
付録4.9.16 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力	付録4-17
付録4.10 A/Dコンバータの注意事項	付録4-22
付録4.11 シリアルインタフェースの注意事項	付録4-25
付録4.11.1 CSIOモード時の注意事項	付録4-25
付録4.11.2 UARTモード時の注意事項	付録4-27
付録4.12 CANモジュールの注意事項	付録4-28
付録4.13 DRIの注意事項	付録4-29
付録4.14 RAMバックアップモードの注意事項	付録4-29
付録4.14.1 電源立ち上げ時の注意事項	付録4-29
付録4.14.2 電源立ち上げ時の制約事項	付録4-29

付録4.15	JTAGに関する注意事項	付録4-30
付録4.15.1	JTAG接続時のボード設計注意事項	付録4-30
付録4.15.2	JTAG未使用時の端子処理	付録4-31
付録4.16	ノイズに関する注意事項	付録4-32
付録4.16.1	配線長の短縮	付録4-32
付録4.16.2	VSS-VCCライン間へのバイパスコンデンサ挿入	付録4-34
付録4.16.3	アナログ入力端子の配線処理	付録4-34
付録4.16.4	発振用端子への配慮	付録4-35
付録4.16.5	入出力ポート処理	付録4-39

レイアウトの都合上、このページは白紙です。

第1章

概要

- 1.1 32192/32195/32196グループの概要
- 1.2 ブロック図
- 1.3 端子機能
- 1.4 端子配置

1.1 32192/32195/32196グループの概要

32192/32195/32196グループ(以下32192/32195/32196と略)は、M32RファミリでのM32R/ECUシリーズに属します。32192/32195/32196の開発状況については、弊社および弊社特約店半導体窓口までお問い合わせください。

表1.1.1 製品一覧表

型名	ROM容量	RAM容量	動作周波数	電源電圧		動作周囲温度(注1)
				単一電源時	二電源時	
M32192F8VFP	1Mバイト	176Kバイト	128MHz	3.3V	5V, 3.3V	-40 ~ +125
M32192F8UFP	1Mバイト	176Kバイト	160MHz	3.3V	5V, 3.3V	-40 ~ +105
M32192F8TFP	1Mバイト	176Kバイト	160MHz	5Vまたは 3.3V	5V, 3.3V	-40 ~ +85
M32192F8VWG	1Mバイト	176Kバイト	128MHz	3.3V	5V, 3.3V	-40 ~ +125
M32192F8UWG	1Mバイト	176Kバイト	160MHz	3.3V	5V, 3.3V	-40 ~ +105
M32192F8TWG	1Mバイト	176Kバイト	160MHz	5Vまたは 3.3V	5V, 3.3V	-40 ~ +85
M32195F4VFP	512Kバイト	32Kバイト	128MHz	3.3V	5V, 3.3V	-40 ~ +125
M32195F4UFP	512Kバイト	32Kバイト	160MHz	3.3V	5V, 3.3V	-40 ~ +105
M32195F4TFP	512Kバイト	32Kバイト	160MHz	5Vまたは 3.3V	5V, 3.3V	-40 ~ +85
M32196F8VFP	1Mバイト	64Kバイト	128MHz	3.3V	5V, 3.3V	-40 ~ +125
M32196F8UFP	1Mバイト	64Kバイト	160MHz	3.3V	5V, 3.3V	-40 ~ +105
M32196F8TFP	1Mバイト	64Kバイト	160MHz	5Vまたは 3.3V	5V, 3.3V	-40 ~ +85

注1. 連続動作を保証するものではありません。使用時間の制限(温度プロファイル)があります。

1.1.1 FPU内蔵M32RファミリCPUコア(M32R-FPU)

(1) RISCアーキテクチャの採用

- 32192/32195/32196は、32ビットRISCシングルチップマイクロコンピュータです。M32R-FPUは、M32R CPUと共通の命令セットと、高精度演算を実現するためのIEEE754規格に完全準拠した単精度FPUを実装しています。M32R-FPUを中心に、フラッシュメモリ、RAM、および各種周辺機能を1チップに集積しています。
- M32R-FPUは、RISCアーキテクチャを採用しています。メモリアクセスは、ロード/ストア命令により行い、各種の演算はレジスタ間演算命令で実行します。
- 内部に32ビット汎用レジスタを16本備えています。命令セットは全部で100(M32R共通: 83 + FPU & 拡張: 17)種類あり、16ビット長命令と32ビット長命令の2種類があります。
- M32R-FPUは、通常のロード/ストア命令に加え、ロード&アドレス更新、ストア&アドレス更新といった複合命令もサポートしています。これらの命令はデータ転送の高速化に有効です。

(2) 6ステージのパイプライン処理

- M32R-FPUは6ステージのパイプライン処理により命令を実行します。ロード/ストア命令、レジスタ間演算命令だけでなく、浮動小数点演算命令、またロード&アドレス更新/ストア&アドレス更新命令といった複合命令も1CPUCLK(1 CPUCLK) = 160MHz動作時、1CPUCLKは6.25ns)で実行します。
- 命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード/ストア命令の実行が、メモリアクセスのウェイトサイクルの挿入により延びた場合には、後続のレジスタ間命令が先に実行される場合があります。M32R-FPUは、このような「out-of-order-completion」機構の採用により、クロックサイクルに無駄のない命令実行制御を実現しています。

(3) コンパクトな命令コード

- M32R-FPUは、16ビット長命令と32ビット長命令の2つの形式があります。特に16ビット長命令形式の採用により、プログラムのコードサイズを抑えることができます。
- 32ビット長命令も備えることで、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易で、同一クロックスピードでの性能も向上させています。例えば32ビット長命令には、実行中のアドレスから $\pm 32\text{M}$ バイトのアドレス範囲に1命令で分岐する命令があり、プログラミングも容易になっています。

1.1.2 積和演算機能の内蔵

(1) 高速乗算器の内蔵

- M32R-FPUは、32ビット \times 16ビットの高速乗算器の内蔵により、32ビット \times 32ビットの整数乗算命令を3CPUCLKで実行します。

(2) DSPに匹敵する積和演算命令をサポート

- M32R-FPUは、56ビットのアクキュムレータによる積和演算命令(または乗算命令)として、次の4つをサポートしており、いずれも1CPUCLKで実行できます。
 - (1)レジスタの上位16ビット \times レジスタの上位16ビット
 - (2)レジスタの下位16ビット \times レジスタの下位16ビット
 - (3)レジスタの32ビット全体 \times レジスタの上位16ビット
 - (4)レジスタの32ビット全体 \times レジスタの下位16ビット
- M32R-FPUは、アクキュムレータに格納された値を16ビットまたは32ビットに丸める命令や、アクキュムレータ値の桁合わせのため、シフトしてレジスタに格納する命令を備えています。これらの命令も1CPUCLKで実行するため、ロード&アドレス更新、ストア&アドレス更新などの高速データ転送命令と組み合わせることで、DSPに匹敵するデータ処理能力を発揮できます。

1.1.3 単精度FPU内蔵

- M32R-FPUでは、IEEE754規格に完全準拠した単精度浮動小数点演算をサポートしています。IEEE754規格に規定された5つの例外(精度異常例外/アンダフロー例外/ゼロ除算例外/オーバフロー例外/無効演算例外)と4つの丸め(最も近い値への丸め/0方向への丸め/+ 方向への丸め/- 方向への丸め)をサポートしています。また、浮動小数点演算には汎用レジスタを使用するため、演算データ転送のオーバーヘッドを削減できます。

1.1.4 フラッシュメモリとRAMの内蔵

- 32192/32195/32196は、0ウェイトでアクセスが可能なRAMを内蔵しており、高速な組み込みシステムを構成できます。
- 内蔵フラッシュメモリは、プリント基板に実装した状態での書き込み(オンボード書き込み)ができます。フラッシュメモリの採用で開発時のチップがそのまま量産に使い、試作から量産へプリント基板を変更することなくスムーズに移行することができます。
- 内蔵フラッシュメモリは、100回書き換えることができます。

- 内蔵フラッシュメモリは、疑似フラッシュエミュレーション機能を備えており、内蔵フラッシュメモリの一部に疑似的に内蔵RAMをマッピングすることができます。この機能と内蔵リアルタイムデバッガ (RTD) やM32Rファミリ共通のデバッグインタフェース (SDI : Scalable Debug Interface) と組み合わせることにより、ROMテーブル上のデータチューニングが容易に行えます。
- 内蔵RAMは、RTD (リアルタイムデバッガ) を使用することで、M32R-FPUとは独立して外部からデータの読み出しや書き換えができます。外部との通信は、RTDの専用クロック同期形シリアルインタフェースで行います。

1.1.5 クロック逡倍回路の内蔵

- 32192/32195/32196はクロック逡倍回路を内蔵しています。図1.1.1に 概念図を示します。

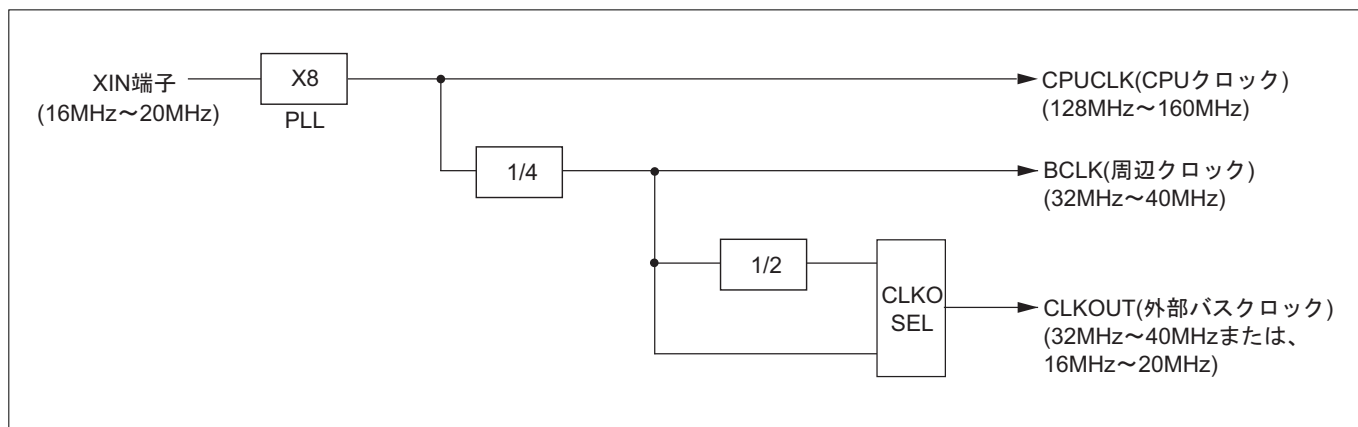


図1.1.1 クロック概念図

表1.1.2 クロック

機能ブロック	特長
CPUCLK	<ul style="list-style-type: none"> CPUクロック：M32R-FPUコア、内蔵フラッシュメモリ、内蔵RAMの動作クロック 周波数を示す場合は(CPUCLK)と規定
BCLK	<ul style="list-style-type: none"> 周辺クロック：内蔵周辺I/O、外部データバスの動作クロック 周波数を示す場合は(BCLK)と規定
クロック出力	<ul style="list-style-type: none"> BCLK端子出力：(BCLK)と同じ周波数のクロックを出力 CLKOUT端子出力：(BCLK)と同じ周波数、または1/2の周波数のクロックを出力

1.1.6 強力な周辺機能の内蔵

- (1) 8レベルの割り込みコントローラ(ICU)
- (2) 10チャンネルのDMAC
- (3) 55チャンネルのマルチジャンクションタイマ(MJT)
- (4) 16チャンネルのA/Dコンバータ(ADC)
- (5) 6チャンネルのシリアルインタフェース(SIO)
- (6) 2チャンネルのFull-CAN
- (7) ダイレクトRAMインタフェース(DRI)
- (8) リアルタイムデバッグ(RTD)
- (9) ノンブレイクデバッグ(NBD)
- (10) ウェイトコントローラ
- (11) M32Rファミリ共通デバッグ機能(SDI: Scalable Debug Interface)

1.2 ブロック図

図1.2.1に32192/32195/32196のブロック図を示し、それぞれのブロックの特長を表1.2.1に示します。

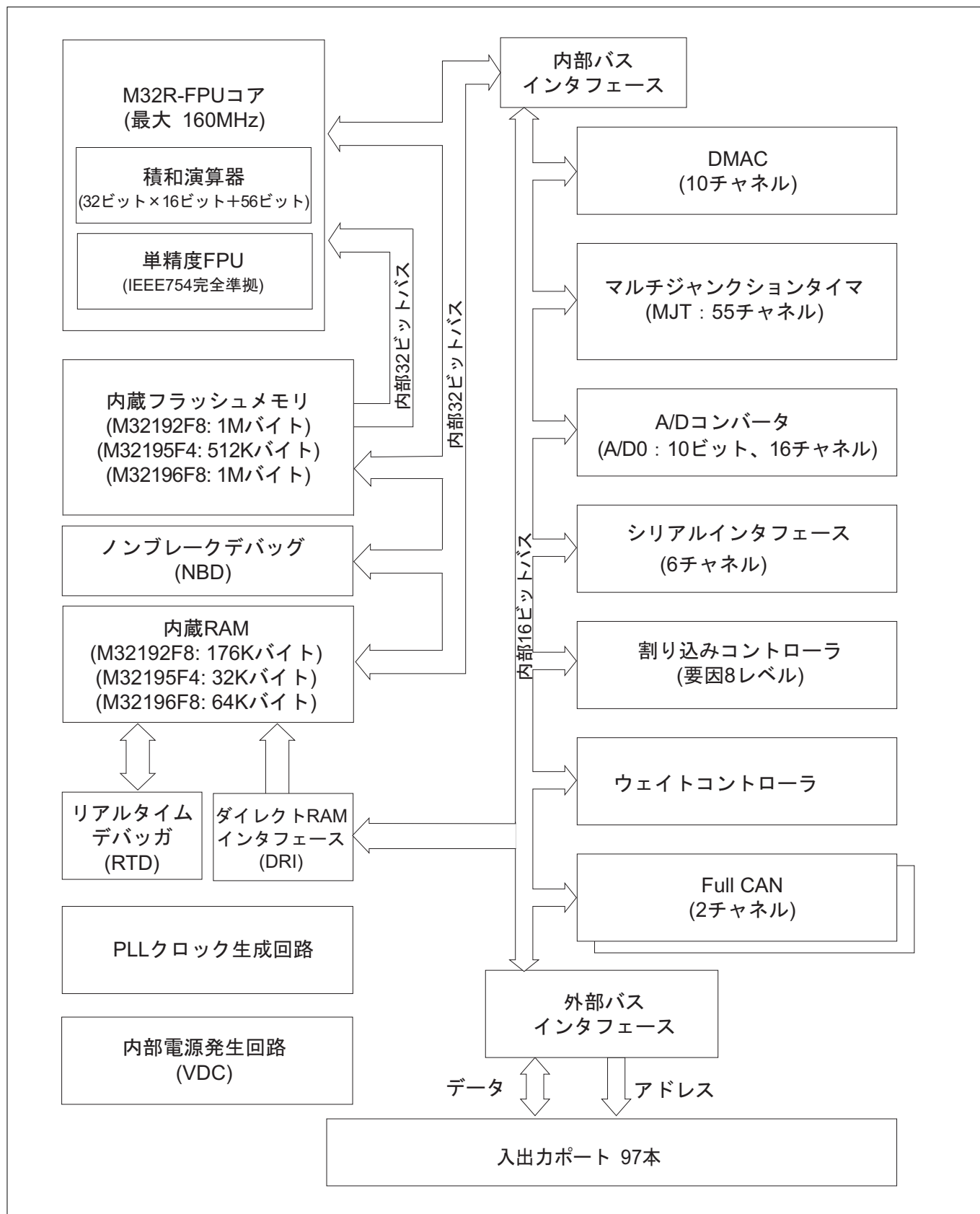


図1.2.1 32192/32195/32196ブロック図

表1.2.1 32192/32195/32196の特長(1/3)

機能ブロック	特長
M32R-FPU CPUコア	<ul style="list-style-type: none"> インプリメンテーション：6段パイプライン方式 コア内部32ビット構成 レジスタ構成 <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×6本 命令セット <ul style="list-style-type: none"> 16ビット/32ビット命令形式 100命令/6アドレッシングモード 積和演算器内蔵(32ビット×16ビット+56ビット) 単精度浮動小数点演算器(FPU)内蔵
内蔵フラッシュメモリ	<ul style="list-style-type: none"> 容量 <ul style="list-style-type: none"> M32192F8：1Mバイト M32195F4：512Kバイト M32196F8：1Mバイト 1ウェイトアクセス 書き換え回数：100回
内蔵RAM	<ul style="list-style-type: none"> 容量 <ul style="list-style-type: none"> M32192F8：176Kバイト M32195F4：32Kバイト M32196F8：64Kバイト 0ウェイトアクセス RTD(リアルタイムデバッガ)を使用することで、CPU性能を全く低下させることなく独立して外部から内蔵RAMのデータ読み出しや書き換えが可能 RAMバックアップモードを使用することにより、電源断時に内蔵RAMの一部をバックアップ可能
バス仕様	<ul style="list-style-type: none"> 基本バスサイクル：6.25ns((CPUCLK) = 160MHz動作時) 論理アドレス空間：4Gバイトリニア 内部バス仕様：内部32ビットデータバス(CPU 内蔵フラッシュメモリ、RAMアクセス) (内蔵フラッシュメモリに対する命令アクセス時は64ビットアクセス) ：内部16ビットデータバス(内蔵周辺I/Oアクセス) 外部拡張領域：プロセッサモード時 最大32Mバイト 外部拡張モード時 最大31Mバイト(7Mバイト+8Mバイト×3ブロック) 外部データアドレス：22ビットアドレス 外部データバス：16ビットデータバス 外部バス最短アクセス：リード時 = 1CLKOUT ライト時 = 1CLKOUT
マルチジャンクションタイム (MJT)	<ul style="list-style-type: none"> 55チャンネルの多機能タイマ <ul style="list-style-type: none"> 16ビット出力系タイマ11チャンネル、16ビット入出力系タイマ10チャンネル、 16ビット入力系タイマ8チャンネル、32ビット入力系タイマ8チャンネル、 16ビット入力系アップ/ダウнтаイマ2チャンネル、 24ビット出力系タイマ16チャンネル 各チャンネルの相互接続によるフレキシブルなタイマ構成が可能 割り込み要求：カウンタアンダフロー/オーバフロー、TIN端子からの立ち上がりエッジ/立ち下がりエッジ/両エッジ/"L"レベル/"H"レベル (TIN端子はタイマ動作と関係なく外部割り込み入力として使用可能) DMA転送要求：カウンタアンダフロー/オーバフロー、TIN端子からの立ち上がりエッジ/立ち下がりエッジ/両エッジ/"L"レベル/"H"レベル (TIN端子はタイマ動作と関係なくDMA転送要求入力として使用可能)
DMAC	<ul style="list-style-type: none"> チャンネル数：10チャンネル 内蔵周辺I/O間、内蔵RAM間、または内蔵周辺I/Oと内蔵RAM間の転送サポート 内蔵周辺I/Oとのコンビネーションにより、高度なDMA転送が可能 転送要求：ソフトウェア、内蔵周辺I/O A/Dコンバータ、MJT、シリアルインタフェース、CAN) DMAチャンネル間のカスケード接続(あるチャンネルの転送終了で他チャンネルのDMA転送を起動)が可能 割り込み要求：カウントレジスタのアンダフロー

表1.2.1 32192/32195/32196の特長(2/3)

機能ブロック	特長
A/Dコンバータ(ADC)	<ul style="list-style-type: none"> 16チャンネル：10ビット分解能A/Dコンバータ×1系統 変換モード：通常のA/D変換モードに加え、コンパレータモード、2チャンネル同時サンプルモード内蔵 動作モード：単一変換モード、nチャンネルスキャンモード(n=1~16) サンプル&ホールド機能：A/D変換開始時のアナログ入力電圧をサンプリングしA/D変換 A/D断線検出アシスト機能により、A/D変換実行時、前チャンネルのアナログ入力電圧の回り込みによる影響を抑制 注入電流バイパス回路内蔵 A/D変換終了時の割り込みまたはDMA転送の起動が可能 8ビット/10ビット変換結果読み出しが可能 割り込み要求：A/D変換の終了 DMA転送要求：A/D変換の終了
シリアルインタフェース(SIO)	<ul style="list-style-type: none"> 6チャンネルのシリアルインタフェース クロック同期形シリアルインタフェース、またはクロック非同期形シリアルインタフェースに設定可能 クロック同期時5Mビット/秒、クロック非同期時2.5Mビット/秒の高速データ転送(BCLK = 40MHz動作時)が可能 割り込み要求：受信完了、受信エラー、送信バッファエンプティ、送信完了 DMA転送要求：受信完了、送信バッファエンプティ
CAN	<ul style="list-style-type: none"> 32本のメッセージスロット×2系統 CAN specification 2.0B active準拠 割り込み要求：送信完了、受信完了、バスエラー、エラーパッシブ、バスオフ、シングルショット DMA転送要求：送信失敗、送信完了、受信完了
リアルタイムデバッグ(RTD)	<ul style="list-style-type: none"> 外部からのコマンド入力により、CPUとは独立して内蔵RAMの書き換え/モニタが可能 専用クロック同期シリアルポート装備 割り込み要求：RTD割り込みコマンドの入力
ノンブレイクデバッグ(NBD)	<ul style="list-style-type: none"> アドレスマップ上に配置された全ての資源を外部からアクセス可能 クロック同期形パラレルインタフェース(4ビット) イベント出力機能 RAMモニタ機能
ダイレクトRAMインタフェース	<ul style="list-style-type: none"> クロック同期パラレルデータを、CPUとは独立して内蔵RAMへの取り込み制御が可能 クロック同期形パラレル入力(8ビット、16ビット、32ビット) 最大転送速度：40Mバイト/秒(BCLK = 160MHz時)
割り込みコントローラ(ICU)	<ul style="list-style-type: none"> 内蔵周辺I/Oからの割り込み要求管理 割り込み禁止状態を含めて8レベルの優先順位 外部割り込み：27要因(SBI#, TIN0, TIN3~TIN11, TIN16~TIN27, TIN30~TIN33) TIN端子の入力センス：立ち上がりエッジ/立ち下がりエッジ/両エッジ/"H"レベル/"L"レベル
ウェイトコントローラ	<ul style="list-style-type: none"> 外部拡張領域のアクセスに対するウェイト制御 ソフトウェア設定による0~15ウェイト挿入+WAIT#信号入力によるウェイト延長
PLL	<ul style="list-style-type: none"> 8通倍のクロック発生回路
クロック	<ul style="list-style-type: none"> 最大外部入力クロック周波数(XIN)は20.0MHz(注1) CPUCLK：M32R-FPUコア、内蔵フラッシュメモリ、内蔵RAMの動作クロック 最大CPUクロックは160MHz(BCLK = 20MHz動作時) BCLK：内蔵周辺I/O、外部データバスの動作クロック 最大周辺クロックは40MHz(BCLK = 20MHz動作時の周辺モジュールのアクセス) BCLK端子出力：BCLKと同じ周波数のクロックを出力 CLKOUT端子出力：BCLKと同じ周波数、または1/2の周波数のクロックを出力

表1.2.1 32192/32195/32196の特長(3/3)

機能ブロック	特長
JTAG	• バウンダリスキャン機能
VDC	• 内部電源発生回路：外部の電源(5Vまたは3.3V)から内部電源を生成
ポート	• 入出力端子：97本 • ポート入力しきい値をポートのグループ単位で3種類のレベル(シュミット有無選択可能)からプログラマブル設定可能

注1 . M32192F8VFP、M32195F4VFP、M32196F8VFPの最大外部入力クロック周波数(XIN)は16.0MHz

1.3 端子機能

図1.3.1、図1.3.2に端子機能図を示し、表1.3.1に端子機能説明を示します。

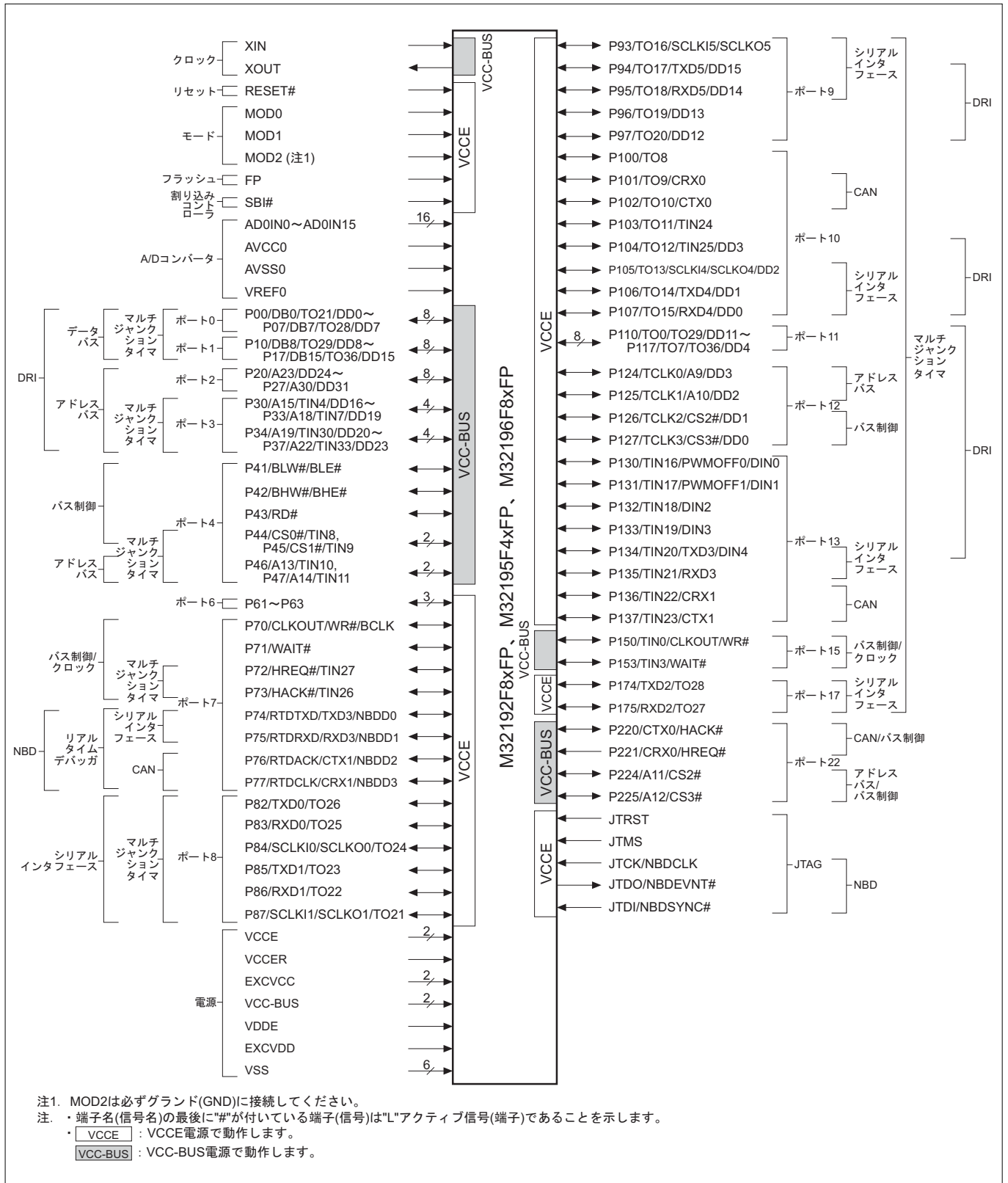


図1.3.1 端子機能図(144pin LQFP)

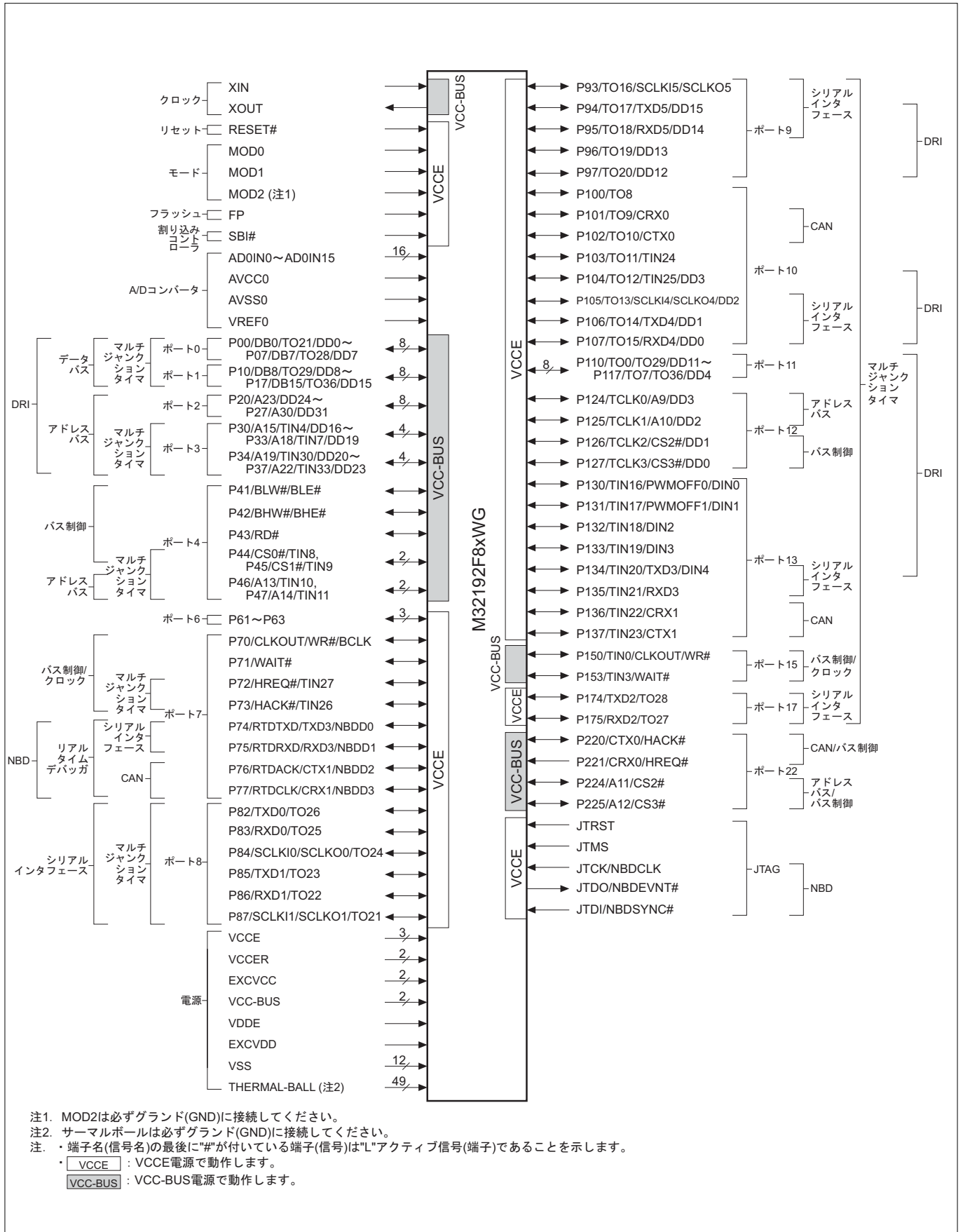


図1.3.2 端子機能図(224pin FBGA)

表1.3.1 端子機能説明(1/3)

種類	端子名	名称	入出力	機能																								
電源	VCCER	内部電源入力	-	内部電圧発生回路用の電源入力です(5.0V ± 0.5V、または 3.3V ± 0.3V)。																								
	VCCE	ポート/内蔵 周辺I/O端子 電源入力	-	ポートおよび内蔵周辺I/O端子の電源入力です(5.0V ± 0.5V、または3.3V ± 0.3V)。すべてのVCCE端子に同じ電圧を印加してください。																								
	VCC-BUS	ポート/バス インタフェース 端子電源入力	-	ポートおよびバスインタフェース端子の電源入力です(5.0V ± 0.5V、または3.3V ± 0.3V)。すべてのVCC-BUS端子に同じ電圧を印加してください。																								
	VDDE	RAM電源入力	-	内蔵RAMバックアップ用の電源入力です(5.0V ± 0.5V、または3.3V ± 0.3V)。																								
	VSS	グランド	-	VSSはすべてグランド(GND)に接続してください。																								
	THERMAL- BALL(注2)	サーマルボール	-	サーマルボールはグランド(GND)に接続してください。																								
	EXCVCC	VCCER制御	-	内部電圧発生回路用の外付け容量接続端子です。																								
	EXCVDD	VDDE制御	-	内蔵RAMの内部電源用の外付け容量接続端子です。																								
クロック	XIN, XOUT	クロック入力 クロック出力	入力 出力	クロック入出力端子です。PLLによる8逓倍回路を内蔵しており、CPUクロック動作周波数の1/8周波数を入力します((CPUCLK) = 160MHz時、XIN入力20MHz)。																								
	CLKOUT, BCLK	システム クロック	出力	CLKOUT端子からは、外部入力クロック周波数：XINと同じ((CPUCLK) = 160MHz時、CLKOUT出力は20MHz) または2倍((CPUCLK) = 160MHz時、CLKOUT出力は40MHz) のクロックを出力します。(外部で同期設計を行う場合に使用します。) BCLK端子からは、外部入力クロック周波数：XINの2倍((CPUCLK) = 160MHz時、BCLK出力は40MHz) のクロックを出力します。																								
	リセット	RESET#	リセット	入力	内部回路のリセット入力端子です。																							
モード	MOD0 ~ MOD2	モード	入力	動作モードを設定します。																								
				<table border="1"> <thead> <tr> <th>MOD0</th> <th>MOD1</th> <th>MOD2</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>L</td> <td>L</td> <td>L</td> <td>シングルチップモード</td> </tr> <tr> <td>L</td> <td>H</td> <td>L</td> <td>外部拡張モード</td> </tr> <tr> <td>H</td> <td>L</td> <td>L</td> <td>プロセッサモード(ブートモード(注1))</td> </tr> <tr> <td>H</td> <td>H</td> <td>L</td> <td>(設定禁止)</td> </tr> <tr> <td>X</td> <td>X</td> <td>H</td> <td>(設定禁止)</td> </tr> </tbody> </table>	MOD0	MOD1	MOD2	モード	L	L	L	シングルチップモード	L	H	L	外部拡張モード	H	L	L	プロセッサモード(ブートモード(注1))	H	H	L	(設定禁止)	X	X	H	(設定禁止)
				MOD0	MOD1	MOD2	モード																					
				L	L	L	シングルチップモード																					
				L	H	L	外部拡張モード																					
				H	L	L	プロセッサモード(ブートモード(注1))																					
H	H	L	(設定禁止)																									
X	X	H	(設定禁止)																									
X : Don't care																												
フラッシュ	FP	フラッシュ プロテクト	入力	フラッシュメモリに対して書き換えをハードウェアにてプロテクトする専用端子です。																								
アドレスバス	A9 ~ A30	アドレスバス	出力	最大8Mバイトメモリ空間を4系統外付けするために22本のアドレス(A9 ~ A30)を持っています。A31は出力されません。																								

注1．ブートモードではFP端子が"H"レベルである必要があります。詳細については、「第6章 内蔵メモリ」を参照してください。

注2．サーマルボールはM32192F8xWGにのみ端子があります。

表1.3.1 端子機能説明(2/3)

種類	端子名	名称	入出力	機能
データバス	DB0 ~ DB15	データバス	入出力	外部デバイス接続用の16ビットデータバスです。ライトサイクル時にバイト単位で書き込む場合、有効でないバイト位置の出力データは不定です。リードサイクルでは常に16ビットのデータバスを読み込みます。ただし内部へは、有効なバイト位置のデータのみが転送されます。
バス制御	CS0# ~ CS3#	チップセレクト	出力	外部デバイスのチップセレクト信号です。
	RD#	リード	出力	外部デバイスのリード時に出力される信号です。
	WR#	ライト	出力	外部デバイスのライト時に出力される信号です。
	BHW#/BLW#	バイトハイ/ローライト	出力	外部デバイスへのライト時に、有効なデータが転送されるバイト位置を示します。BHW#が上位アドレス側(b0 ~ b7 が有効)、BLW#が下位アドレス側(b8 ~ b15 が有効)に対応しています。
	BHE#	バイトハイイネーブル	出力	外部デバイスアクセスの上位データ(b0 ~ b7)の有効を示します。
	BLE#	バイトローイネーブル	出力	外部デバイスアクセスの下位データ(b8 ~ b15)の有効を示します。
	WAIT#	ウェイト	入力	外部デバイスをアクセスした場合、WAIT#に"L"レベルが入力されているとウェイトサイクルが延長されます。
	HREQ#	ホールドリクエスト	入力	外部のデバイスが外部バスのバス権を要求するための入力端子です。HREQ#端子に"L"レベルを入力するとホールド状態へ遷移します。
	HACK#	ホールドアクリッジ	出力	ホールド状態へ遷移し、外部バスのバス権を解放したことを通知するための信号です。
マルチジャンクションタイマ	TIN0, TIN3 ~ TIN11, TIN16 ~ TIN27, TIN30 ~ TIN33	タイマ入力	入力	マルチジャンクションタイマの入力端子です。
	TO0 ~ TO36	タイマ出力	出力	マルチジャンクションタイマの出力端子です。
	TCLK0 ~ TCLK3	タイマクロック	入力	マルチジャンクションタイマのクロック入力端子です。
	AVCC0	アナログ電源入力	-	AVCC0はA/D0コンバータの電源入力です。AVCC0は電源に接続します。
A/Dコンバータ	AVSS0	アナロググランド	-	AVSS0はA/D0コンバータのアナロググランドです。AVSS0はグランドに接続します。
	AD0IN0 ~ AD0IN15	アナログ入力	入力	A/D0コンバータの16チャンネルアナログ入力端子です。
	VREF0	基準電圧入力	入力	VREF0はA/D0コンバータの基準電圧入力端子です。
	SBI#	システムブレークインタラプト	入力	割り込みコントローラのシステムブレーク割り込み(SBI)入力端子です。
シリアルインタフェース	SCLKI0/SCLKO0,	UART送受信	入出力	UARTモードの場合： BRG出力を2分周したクロック出力
	SCLKI1/SCLKO1,	クロック出力		
	SCLKI4/SCLKO4,	または	CSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力	
	SCLKI5/SCLKO5	CSIO送受信クロック入出力		

表1.3.1 端子機能説明(3/3)

種類	端子名	名称	入出力	機能
シリアル	TXD0 ~ TXD5	送信データ	出力	シリアルインタフェースの送信データ出力端子です。
インタフェース	RXD0 ~ RXD5	受信データ	入力	シリアルインタフェースの受信データ入力端子です。
リアル	RTDTXD	RTD送信データ	出力	リアルタイムデバッグのシリアルデータ出力端子です。
タイム	RTDRXD	RTD受信データ	入力	リアルタイムデバッグのシリアルデータ入力端子です。
デバッグ	RTDCLK	RTD クロック入力	入力	リアルタイムデバッグのシリアルデータ送受信クロック入力端子です。
	RTDACK	RTD アクノリッジ	出力	リアルタイムデバッグのシリアルデータ出力ワードの先頭クロックに同期して"L"パルスを出力します。"L"パルス幅はリアルタイムデバッグが受信したコマンド/データの種類を示します。
CAN	CTX0, CTX1	送信データ	出力	CANモジュールからのデータを出力する端子です。
	CRX0, CRX1	受信データ	入力	CANモジュールへデータを入力する端子です。
JTAG	JTMS	テストモード セレクト	入力	テスト回路の状態遷移を制御するテストモード選択入力端子です。
	JTCK	テストクロック	入力	デバッグモジュールおよびテスト回路へのクロック入力です。
	JTRST	テストリセット	入力	テスト回路を非同期に初期化するテストリセット入力端子です。
	JTDI	テストデータ入力	入力	テスト命令コードまたはテストデータをシリアルに入力する端子です。
	JTDO	テストデータ出力	出力	テスト命令コードまたはテストデータをシリアルに出力する端子です。
NBD	NBDD0 ~ NBDD3	コマンド アドレス/データ	入出力	NBDのコマンド、アドレス、データ入出力端子です。
	NBDCLK	同期クロック入力	入力	NBDの同期クロック入力端子です。
	NBDSYNC#	データ先頭入力	入力	NBDのデータ先頭位置を制御する入力端子です。
	NBDEVNT#	イベント出力	出力	NBDのイベント発生時にイベント出力を行う出力端子です。
DRI	DD0 ~ DD31	DD入力	入力	DRIのデータ入力端子です。
	DIN0 ~ DIN4	DIN入力	入力	DRIのイベント入力端子です。
入出力 ポート (注1)	P00 ~ P07	入出力ポート0	入出力	プログラマブル入出力ポートです。
	P10 ~ P17	入出力ポート1	入出力	
	P20 ~ P27	入出力ポート2	入出力	
	P30 ~ P37	入出力ポート3	入出力	
	P41 ~ P47	入出力ポート4	入出力	
	P61 ~ P63	入出力ポート6	入出力	
	P70 ~ P77	入出力ポート7	入出力	
	P82 ~ P87	入出力ポート8	入出力	
	P93 ~ P97	入出力ポート9	入出力	
	P100 ~ P107	入出力ポート10	入出力	
	P110 ~ P117	入出力ポート11	入出力	
	P124 ~ P127	入出力ポート12	入出力	
	P130 ~ P137	入出力ポート13	入出力	
	P150, P153	入出力ポート15	入出力	
	P174, P175	入出力ポート17	入出力	
	P220, P221(注2), P224, P225	入出力ポート22	入出力	

注1．入出力ポート5、14、16、18～21は配置されていません。

注2．P221は入力専用ポートです。

1.4 端子配置

図1.4.1、図1.4.2に端子配置図を、表1.4.1、表1.4.2に端子配列表を示します。

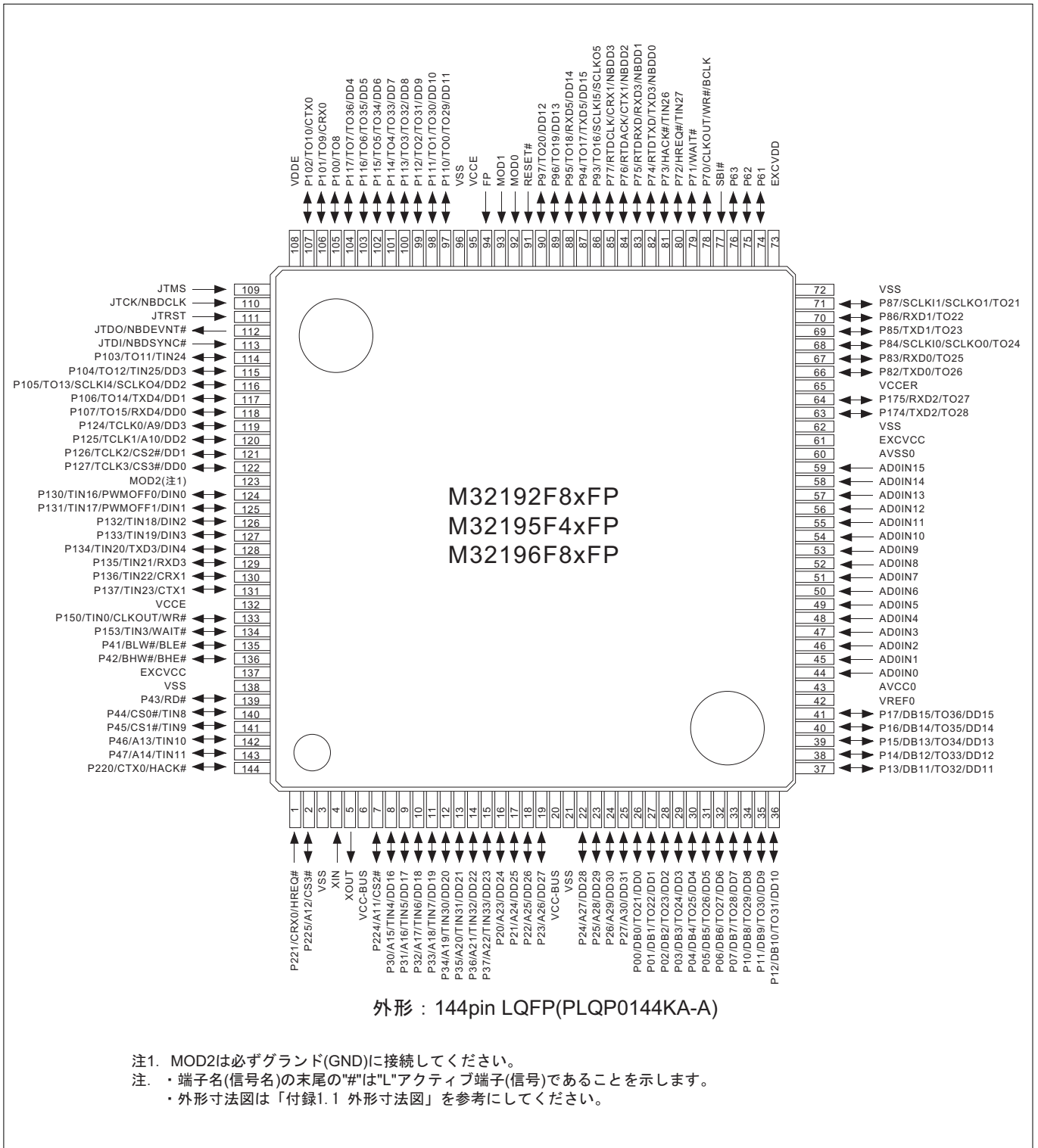


図1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配置図(上面図)

15	VSS	VDDE	P100/TO8	P115/TO5 /TO34/DD6	P112/TO2 /TO31/DD9	VSS	FP	N.C.	N.C.	P93/TO16 /SCLKI5 /SCLKO5	P75/RTDRXD /RXD3/NBDD1	P72/HREQ# /TIN27	SBI#	P61	EXCVDD	
14	JTMS	P102/TO10 /CTX0	P101/TO9 /CRX0	P116/TO6 /TO35/DD5	P113/TO3 /TO32/DD8	N.C.	N.C.	RESET#	P95/TO18 /RXD5/DD14	P77/RTDCLK /CRX1/NBDD3	P74/RTDTXD /TXD3/NBDD0	P71/WAIT	P63	P62	VSS	
13	JTDO /NBDEVNT#	JTRST	JTCK /NBDCCLK	P117/TO7 /TO36/DD4	P114/TO4 /TO33/DD7	P110/TO0 /TO29/DD11	N.C.	MOD0	P94/TO17 /TXD5/DD15	P76/RTDACK /CTX1/NBDD2	P73/HACK# /TIN26	P70/CLKOUT /WR#/BCLK	P87/SCLKI1 /SCLKO1 /TO21	N.C.	P86/RXD1 /TO22	
12	P103/TO11 /TIN24	JTDI /NBDSYNG#	VSS	P104/TO12 /TIN25/DD3	P111/TO1 /TO30/DD10	VCCE	MOD1	P97/TO20 /DD12	P96/TO19 /DD13	VSS	N.C.	VCCE	P85/TXD1 /TO23	P84/SCLK0 /SCLKO0 /TO24	P83/RXD0 /TO25	
11	P107/TO15 /RXD4/DD0	P106/TO14 /TXD4/DD1	P105/TO13 /SCLKI4 /SCLKO4 /DD2	P124/TCLK0 /A9/DD3	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	P174/TXD2 /TO28	P82/TXD0 /TO26	VCCER	P175/RXD2 /TO27
10	P126/TCLK2 /CS2#/DD1	N.C.	P125/TCLK1 /A10/DD2	N.C.	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	N.C.	N.C.	N.C.	N.C.
9	MOD2 (注1)	N.C.	P127/TCLK3 /CS3#/DD0	N.C.	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	AD0IN15	VSS	EXCVCC	AVSS0
8	P131/TIN17 /PWMOFF1 /DIN1	P132/TIN18 /DIN2	P133/TIN19 /DIN3	P130/TIN16 /PWMOFF0 /DIN0	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	AD0IN14	AD0IN11	AD0IN12	AD0IN13
7	P135/TIN21 /RXD3	P136/TIN22 /CRX1	P137/TIN23 /CTX1	P134/TIN20 /TXD3/DIN4	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	AD0IN10	AD0IN7	AD0IN8	AD0IN9
6	P150/TIN0 /CLKOUT /WR#	P153/TIN3 /WAIT#	P41/BLW# /BLE#	VCCE	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	AD0IN6	AD0IN3	AD0IN4	AD0IN5
5	EXCVCC	VSS	P43/RD#	P42/BHW# /BHE#	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	THERMAL- BALL (注2)	AD0IN2	AVCC0	AD0IN0	AD0IN1
4	P45/CS1# TIN9	P46/A13 /TIN10	P47/A14 /TIN11	P44/CS0# /TIN8	P31/A16 /TIN5/DD17	P35/A20 /TIN31/DD21	P20/A23 /DD24	VCC-BUS	VSS	P26/A29 /DD30	P02/DB2 /TO23/DD2	VREF0	N.C.	P17/DB15 /TO36/DD15	VSS	
3	P220/CTX0 /HACK#	P221/CRX0 /HREQ#	P225/A12 /CS3#	VCC-BUS	VCCER	P32/A17 /TIN6/DD18	N.C.	P21/A24 /DD25	P25/A28 /DD29	P01/DB1 /TO22/DD1	P05/DB5 /TO26/DD5	P10/DB8 /TO29/DD8	P15/DB13 /TO34/DD13	P16/DB14 /TO35/DD14	N.C.	
2	VSS	N.C.	N.C.	VSS	P30/A15 /TIN4/DD16	P33/A18 /TIN7/DD19	P36/A21 /TIN32/DD22	P22/A25 /DD26	P24/A27 /DD28	P00/DB0 /TO21/DD0	P04/DB4 /TO25/DD4	P07/DB7 /TO28/DD7	P12/DB10 /TO31/DD10	P13/DB11 /TO32/DD11	P14/DB12 /TO33/DD12	
1		XIN	XOUT	P224/A11 /CS2#	N.C.	P34/A19 /TIN30/DD20	P37/A22 /TIN33/DD23	P23/A26 /DD27	VSS	P27/A30 /DD31	P03/DB3 /TO24/DD3	P06/DB6 /TO27/DD6	P11/DB9 /TO30/DD9	N.C.	N.C.	
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

外形 : 224pin FBGA

- 注1. MOD2は必ずグランド(GND)に接続してください。
- 注2. サーマルボールは必ずグランド(GND)に接続してください。
- 注. ・端子名(信号名)の最後に"#が付いている端子(信号)は"L"アクティブ端子(信号)であることを示します。

図1.4.2 M32192F8xWGの端子配置図(上面図)

リセット時に入力になっている端子はハイインピーダンス状態 (Hi-Z) となります。リセット時とは RESET#端子に"L"レベルが入力されている期間 (リセット中) とRESET#端子を"L"レベルから"H"レベルに変化させたとき (リセット解除時) のことです。

表1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配列表(1/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR機能 NBD機能				機能	入出力	リセット中の状態	リセット解除時の状態
1	P221/CRX0/HREQ#	P221	CRX0(注1)	HREQ#(注1)	-	入力	VCC-BUS	シングルチップモード時 および外部拡張モード時	P221	入力	Hi-Z	Hi-Z
2	P225/A12/CS3#	P225	A12	CS3#(注1)	-	入出力		プロセッサモード時	A12	出力	Hi-Z	不定
3	VSS	-	VSS	-	-	-	-	VSS	-	-	-	-
4	XIN	-	XIN	-	-	入力	VCC-BUS	XIN	入力	-	-	
5	XOUT	-	XOUT	-	-	出力		XOUT	出力	XOUT	XOUT	
6	VCC-BUS	-	VCC-BUS	-	-	-	-	VCC-BUS	-	-	-	-
7	P224/A11/CS2#	P224	A11	CS2#(注1)	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時	P224	入力	Hi-Z	Hi-Z
								プロセッサモード時	A11	出力	Hi-Z	不定
8	P30/A15/TIN4/DD16	P30	A15	TIN4	DD16	入出力		シングルチップモード時 および外部拡張モード時	P30	入力	Hi-Z	Hi-Z
								プロセッサモード時	A15	出力	Hi-Z	不定
9	P31/A16/TIN5/DD17	P31	A16	TIN5	DD17	入出力		シングルチップモード時 および外部拡張モード時	P31	入力	Hi-Z	Hi-Z
								プロセッサモード時	A16	出力	Hi-Z	不定
10	P32/A17/TIN6/DD18	P32	A17	TIN6	DD18	入出力		シングルチップモード時 および外部拡張モード時	P32	入力	Hi-Z	Hi-Z
								プロセッサモード時	A17	出力	Hi-Z	不定
11	P33/A18/TIN7/DD19	P33	A18	TIN7	DD19	入出力		シングルチップモード時 および外部拡張モード時	P33	入力	Hi-Z	Hi-Z
								プロセッサモード時	A18	出力	Hi-Z	不定
12	P34/A19/TIN30/DD20	P34	A19	TIN30	DD20	入出力		シングルチップモード時 および外部拡張モード時	P34	入力	Hi-Z	Hi-Z
								プロセッサモード時	A19	出力	Hi-Z	不定
13	P35/A20/TIN31/DD21	P35	A20	TIN31	DD21	入出力		シングルチップモード時 および外部拡張モード時	P35	入力	Hi-Z	Hi-Z
								プロセッサモード時	A20	出力	Hi-Z	不定
14	P36/A21/TIN32/DD22	P36	A21	TIN32	DD22	入出力		シングルチップモード時 および外部拡張モード時	P36	入力	Hi-Z	Hi-Z
								プロセッサモード時	A21	出力	Hi-Z	不定
15	P37/A22/TIN33/DD23	P37	A22	TIN33	DD23	入出力		シングルチップモード時 および外部拡張モード時	P37	入力	Hi-Z	Hi-Z
								プロセッサモード時	A22	出力	Hi-Z	不定
16	P20/A23/DD24	P20	A23	-	DD24	入出力		シングルチップモード時 および外部拡張モード時	P20	入力	Hi-Z	Hi-Z
								プロセッサモード時	A23	出力	Hi-Z	不定
17	P21/A24/DD25	P21	A24	-	DD25	入出力		シングルチップモード時 および外部拡張モード時	P21	入力	Hi-Z	Hi-Z
								プロセッサモード時	A24	出力	Hi-Z	不定
18	P22/A25/DD26	P22	A25	-	DD26	入出力		シングルチップモード時 および外部拡張モード時	P22	入力	Hi-Z	Hi-Z
								プロセッサモード時	A25	出力	Hi-Z	不定
19	P23/A26/DD27	P23	A26	-	DD27	入出力		シングルチップモード時 および外部拡張モード時	P23	入力	Hi-Z	Hi-Z
								プロセッサモード時	A26	出力	Hi-Z	不定
20	VCC-BUS	-	VCC-BUS	-	-	-	-	VCC-BUS	-	-	-	-
21	VSS	-	VSS	-	-	-	-	VSS	-	-	-	-
22	P24/A27/DD28	P24	A27	-	DD28	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時	P24	入力	Hi-Z	Hi-Z
								プロセッサモード時	A27	出力	Hi-Z	不定
23	P25/A28/DD29	P25	A28	-	DD29	入出力		シングルチップモード時 および外部拡張モード時	P25	入力	Hi-Z	Hi-Z
								プロセッサモード時	A28	出力	Hi-Z	不定
24	P26/A29/DD30	P26	A29	-	DD30	入出力		シングルチップモード時 および外部拡張モード時	P26	入力	Hi-Z	Hi-Z
								プロセッサモード時	A29	出力	Hi-Z	不定
25	P27/A30/DD31	P27	A30	-	DD31	入出力		シングルチップモード時 および外部拡張モード時	P27	入力	Hi-Z	Hi-Z
								プロセッサモード時	A30	出力	Hi-Z	不定
26	P00/DB0/TO21/DD0	P00	DB0	TO21(注1)	DD0(注1)	入出力		シングルチップモード時 および外部拡張モード時	P00	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB0	入出力	Hi-Z	Hi-Z

注1. 2箇所出力している端子

表1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配列表(2/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR機能 NBD機能				機能	入出力	リセット中の状態	リセット解除時の状態
27	P01/DB1/ TO22/DD1	P01	DB1	TO22(注1)	DD1(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時	P01	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB1	入出力	Hi-Z	Hi-Z
28	P02/DB2/ TO23/DD2	P02	DB2	TO23(注1)	DD2(注1)	入出力		シングルチップモード時 および外部拡張モード時	P02	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB2	入出力	Hi-Z	Hi-Z
29	P03/DB3/ TO24/DD3	P03	DB3	TO24(注1)	DD3(注1)	入出力		シングルチップモード時 および外部拡張モード時	P03	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB3	入出力	Hi-Z	Hi-Z
30	P04/DB4/ TO25/DD4	P04	DB4	TO25(注1)	DD4(注1)	入出力		シングルチップモード時 および外部拡張モード時	P04	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB4	入出力	Hi-Z	Hi-Z
31	P05/DB5/ TO26/DD5	P05	DB5	TO26(注1)	DD5(注1)	入出力		シングルチップモード時 および外部拡張モード時	P05	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB5	入出力	Hi-Z	Hi-Z
32	P06/DB6/ TO27/DD6	P06	DB6	TO27(注1)	DD6(注1)	入出力		シングルチップモード時 および外部拡張モード時	P06	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB6	入出力	Hi-Z	Hi-Z
33	P07/DB7/ TO28/DD7	P07	DB7	TO28(注1)	DD7(注1)	入出力		シングルチップモード時 および外部拡張モード時	P07	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB7	入出力	Hi-Z	Hi-Z
34	P10/DB8/ TO29/DD8	P10	DB8	TO29(注1)	DD8(注1)	入出力		シングルチップモード時 および外部拡張モード時	P10	入力	Hi-Z	Hi-Z
								プロセッサモード時	DB8	入出力	Hi-Z	Hi-Z
35	P11/DB9/ TO30/DD9	P11	DB9	TO30(注1)	DD9(注1)	入出力		シングルチップモード時 および外部拡張モード時	P11	入力	Hi-Z	Hi-Z
							プロセッサモード時	DB9	入出力	Hi-Z	Hi-Z	
36	P12/DB10/ TO31/DD10	P12	DB10	TO31(注1)	DD10(注1)	入出力	シングルチップモード時 および外部拡張モード時	P12	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB10	入出力	Hi-Z	Hi-Z	
37	P13/DB11/ TO32/DD11	P13	DB11	TO32(注1)	DD11(注1)	入出力	シングルチップモード時 および外部拡張モード時	P13	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB11	入出力	Hi-Z	Hi-Z	
38	P14/DB12/ TO33/DD12	P14	DB12	TO33(注1)	DD12(注1)	入出力	シングルチップモード時 および外部拡張モード時	P14	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB12	入出力	Hi-Z	Hi-Z	
39	P15/DB13/ TO34/DD13	P15	DB13	TO34(注1)	DD13(注1)	入出力	シングルチップモード時 および外部拡張モード時	P15	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB13	入出力	Hi-Z	Hi-Z	
40	P16/DB14/ TO35/DD14	P16	DB14	TO35(注1)	DD14(注1)	入出力	シングルチップモード時 および外部拡張モード時	P16	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB14	入出力	Hi-Z	Hi-Z	
41	P17/DB15/ TO36/DD15	P17	DB15	TO36(注1)	DD15(注1)	入出力	シングルチップモード時 および外部拡張モード時	P17	入力	Hi-Z	Hi-Z	
							プロセッサモード時	DB15	入出力	Hi-Z	Hi-Z	
42	VREF0	-	VREF0	-	-	-	AVCC0	VREF0	-	-	-	
43	AVCC0	-	AVCC0	-	-	-	-	AVCC0	-	-	-	
44	AD0IN0	-	AD0IN0	-	-	入力	AVCC0	AD0IN0	入力	Hi-Z	Hi-Z	
45	AD0IN1	-	AD0IN1	-	-	入力		AD0IN1	入力	Hi-Z	Hi-Z	
46	AD0IN2	-	AD0IN2	-	-	入力		AD0IN2	入力	Hi-Z	Hi-Z	
47	AD0IN3	-	AD0IN3	-	-	入力		AD0IN3	入力	Hi-Z	Hi-Z	
48	AD0IN4	-	AD0IN4	-	-	入力		AD0IN4	入力	Hi-Z	Hi-Z	
49	AD0IN5	-	AD0IN5	-	-	入力		AD0IN5	入力	Hi-Z	Hi-Z	
50	AD0IN6	-	AD0IN6	-	-	入力		AD0IN6	入力	Hi-Z	Hi-Z	
51	AD0IN7	-	AD0IN7	-	-	入力		AD0IN7	入力	Hi-Z	Hi-Z	
52	AD0IN8	-	AD0IN8	-	-	入力		AD0IN8	入力	Hi-Z	Hi-Z	
53	AD0IN9	-	AD0IN9	-	-	入力		AD0IN9	入力	Hi-Z	Hi-Z	
54	AD0IN10	-	AD0IN10	-	-	入力		AD0IN10	入力	Hi-Z	Hi-Z	
55	AD0IN11	-	AD0IN11	-	-	入力		AD0IN11	入力	Hi-Z	Hi-Z	
56	AD0IN12	-	AD0IN12	-	-	入力		AD0IN12	入力	Hi-Z	Hi-Z	
57	AD0IN13	-	AD0IN13	-	-	入力		AD0IN13	入力	Hi-Z	Hi-Z	
58	AD0IN14	-	AD0IN14	-	-	入力		AD0IN14	入力	Hi-Z	Hi-Z	
59	AD0IN15	-	AD0IN15	-	-	入力	AD0IN15	入力	Hi-Z	Hi-Z		

注1. 2箇所出力している端子

表1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配列表(3/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態				
		ポート	ファンクション1	ファンクション2	DR1機能 NBD機能				機能	入出力	リセット時の状態	リセット解除時の状態	
60	AVSS0	-	AVSS0	-	-	-	-	-	AVSS0	-	-	-	
61	EXCVCC	-	EXCVCC	-	-	-	-	-	EXCVCC	-	-	-	
62	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-	
63	P174/TXD2/TO28	P174	TXD2	TO28(注1)	-	入出力	VCCE	-	P174	入力	Hi-Z	Hi-Z	
64	P175/RXD2/TO27	P175	RXD2	TO27(注1)	-	入出力		-	P175	入力	Hi-Z	Hi-Z	
65	VCCER	-	VCCER	-	-	入出力	-	-	VCCER	-	-	-	
66	P82/TXD0/TO26	P82	TXD0	TO26(注1)	-	入出力	VCCE	-	P82	入力	Hi-Z	Hi-Z	
67	P83/RXD0/TO25	P83	RXD0	TO25(注1)	-	入出力		-	P83	入力	Hi-Z	Hi-Z	
68	P84/SCLKI0/ SCLKO0/TO24	P84	SCLKI0/ SCLKO0	TO24(注1)	-	入出力	VCCE	-	P84	入力	Hi-Z	Hi-Z	
69	P85/TXD1/TO23	P85	TXD1	TO23(注1)	-	入出力		-	P85	入力	Hi-Z	Hi-Z	
70	P86/RXD1/TO22	P86	RXD1	TO22(注1)	-	入出力		-	P86	入力	Hi-Z	Hi-Z	
71	P87/SCLKI1/ SCLKO1/TO21	P87	SCLKI1/ SCLKO1	TO21(注1)	-	入出力		-	P87	入力	Hi-Z	Hi-Z	
72	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-	
73	EXCVDD	-	EXCVDD	-	-	-	-	-	EXCVDD	-	-	-	
74	P61	P61	-	-	-	入出力	VCCE	-	P61	入力	Hi-Z	Hi-Z	
75	P62	P62	-	-	-	入出力		-	P62	入力	Hi-Z	Hi-Z	
76	P63	P63	-	-	-	入出力		-	P63	入力	Hi-Z	Hi-Z	
77	SBI#	-	SBI#	-	-	入力		-	SBI#	入力	Hi-Z	Hi-Z	
78	P70/CLKOUT/WR#/ /BCLK	P70	CLKOUT/ WR#	BCLK	-	入出力		-	P70	入力	Hi-Z	Hi-Z	
79	P71/WAIT#	P71	WAIT#	-	-	入出力		-	P71	入力	Hi-Z	Hi-Z	
80	P72/HREQ#/TIN27	P72	HREQ#	TIN27	-	入出力		-	P72	入力	Hi-Z	Hi-Z	
81	P73/HACK#/TIN26	P73	HACK#	TIN26	-	入出力		-	P73	入力	Hi-Z	Hi-Z	
82	P74/RTD TXD/ TXD3/NBDD0	P74	RTD TXD	TXD3(注1)	NBDD0	入出力		-	P74	入力	Hi-Z	Hi-Z	
83	P75/RTDRXD/ RXD3/NBDD1	P75	RTDRXD	RXD3(注1)	NBDD1	入出力		-	P75	入力	Hi-Z	Hi-Z	
84	P76/RTDACK/ CTX1/NBDD2	P76	RTDACK	CTX1(注1)	NBDD2	入出力		-	P76	入力	Hi-Z	Hi-Z	
85	P77/RTDCLK/ CRX1/NBDD3	P77	RTDCLK	CRX1(注1)	NBDD3	入出力		-	P77	入力	Hi-Z	Hi-Z	
86	P93/TO16/ SCLKI5/SCLKO5	P93	TO16	SCLKI5/ SCLKO5	-	入出力		-	P93	入力	Hi-Z	Hi-Z	
87	P94/TO17/ TXD5/DD15	P94	TO17	TXD5	DD15(注1)	入出力		-	P94	入力	Hi-Z	Hi-Z	
88	P95/TO18/ RXD5/DD14	P95	TO18	RXD5	DD14(注1)	入出力		-	P95	入力	Hi-Z	Hi-Z	
89	P96/TO19/DD13	P96	TO19	-	DD13(注1)	入出力		-	P96	入力	Hi-Z	Hi-Z	
90	P97/TO20/DD12	P97	TO20	-	DD12(注1)	入出力		-	P97	入力	Hi-Z	Hi-Z	
91	RESET#	-	RESET#	-	-	入力		-	RESET#	入力	Hi-Z	Hi-Z	
92	MOD0	-	MOD0	-	-	入力		-	MOD0	入力	Hi-Z	Hi-Z	
93	MOD1	-	MOD1	-	-	入力		-	MOD1	入力	Hi-Z	Hi-Z	
94	FP	-	FP	-	-	入力		-	FP	入力	Hi-Z	Hi-Z	
95	VCCE	-	VCCE	-	-	-		-	-	VCCE	-	-	-
96	VSS	-	VSS	-	-	-		-	-	VSS	-	-	-
97	P110/TO0/TO29/DD11	P110	TO0	TO29(注1)	DD11(注1)	入出力		VCCE	-	P110	入力	Hi-Z	Hi-Z
98	P111/TO1/TO30/DD10	P111	TO1	TO30(注1)	DD10(注1)	入出力	-		P111	入力	Hi-Z	Hi-Z	
99	P112/TO2/TO31/DD9	P112	TO2	TO31(注1)	DD9(注1)	入出力	-		P112	入力	Hi-Z	Hi-Z	
100	P113/TO3/TO32/DD8	P113	TO3	TO32(注1)	DD8(注1)	入出力	-		P113	入力	Hi-Z	Hi-Z	
101	P114/TO4/TO33/DD7	P114	TO4	TO33(注1)	DD7(注1)	入出力	-		P114	入力	Hi-Z	Hi-Z	
102	P115/TO5/TO34/DD6	P115	TO5	TO34(注1)	DD6(注1)	入出力	-		P115	入力	Hi-Z	Hi-Z	
103	P116/TO6/TO35/DD5	P116	TO6	TO35(注1)	DD5(注1)	入出力	-		P116	入力	Hi-Z	Hi-Z	
104	P117/TO7/TO36/DD4	P117	TO7	TO36(注1)	DD4(注1)	入出力	-		P117	入力	Hi-Z	Hi-Z	
105	P100/TO8	P100	TO8	-	-	入出力	-		P100	入力	Hi-Z	Hi-Z	
106	P101/TO9/CRX0	P101	TO9	CRX0(注1)	-	入出力	-		P101	入力	Hi-Z	Hi-Z	
107	P102/TO10/CTX0	P102	TO10	CTX0(注1)	-	入出力	-	P102	入力	Hi-Z	Hi-Z		
108	VDDE	-	VDDE	-	-	-	-	-	VDDE	-	-	-	
109	JTMS (注2)	-	JTMS	-	-	入力	VCCE	-	JTMS	入力	Hi-Z	Hi-Z	
110	JTCK/NBDCLK (注2)	-	JTCK	-	NBDCLK	入力		-	JTCK	入力	Hi-Z	Hi-Z	
111	JTRST (注2)	-	JTRST	-	-	入力		-	JTRST	入力	Hi-Z	Hi-Z	
112	JTDO/NBDEVNT# (注2)	-	JTDO	-	NBDEVNT#	出力		-	JTDO	出力	Hi-Z	Hi-Z	
113	JTDI/NBDSYNC# (注2)	-	JTDI	-	NBDSYNC#	入力		-	JTDI	入力	Hi-Z	Hi-Z	
114	P103/TO11/TIN24	P103	TO11	TIN24	-	入出力		-	P103	入力	Hi-Z	Hi-Z	
115	P104/TO12/TIN25/DD3	P104	TO12	TIN25	DD3(注1)	入出力		-	P104	入力	Hi-Z	Hi-Z	
116	P105/TO13/ SCLKI4/SCLKO4/DD2	P105	TO13	SCLKI4/ SCLKO4	DD2(注1)	入出力		-	P105	入力	Hi-Z	Hi-Z	
117	P106/TO14/TXD4/DD1	P106	TO14	TXD4	DD1(注1)	入出力	-	P106	入力	Hi-Z	Hi-Z		

注1 . 2箇所出力している端子

注2 . JTCK、JTDI、JTDO、JTMSは、RESET#によってリセットされるのではなく、JTRSTによってリセットされます。

表1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配列表(4/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR1機能 NBD機能				機能	入出力	リセット中の状態	リセット解除時の状態
118	P107/TO15/RXD4/DD0	P107	TO15	RXD4	DD0(注1)	入出力	VCCCE		P107	入力	Hi-Z	Hi-Z
119	P124/TCLK0/A9/DD3	P124	TCLK0	A9	DD3(注1)	入出力		シングルチップモード時 および外部拡張モード時	P124	入力	Hi-Z	Hi-Z
								プロセッサモード時	A9	出力	Hi-Z	Hi-Z
120	P125/TCLK1/A10/DD2	P125	TCLK1	A10	DD2(注1)	入出力		シングルチップモード時 および外部拡張モード時	P125	入力	Hi-Z	Hi-Z
								プロセッサモード時	A10	出力	Hi-Z	Hi-Z
121	P126/TCLK2/ CS2#/DD1	P126	TCLK2	CS2#(注1)	DD1(注1)	入出力			P126	入力	Hi-Z	Hi-Z
122	P127/TCLK3/ CS3#/DD0	P127	TCLK3	CS3#(注1)	DD0(注1)	入出力			P127	入力	Hi-Z	Hi-Z
123	MOD2	-	MOD2	-	-	-			MOD2	-	-	-
124	P130/TIN16/ PWMOFF0/DIN0	P130	TIN16/ PWMOFF0	-	DIN0	入出力			P130	入力	Hi-Z	Hi-Z
125	P131/TIN17/ PWMOFF1/DIN1	P131	TIN17/ PWMOFF1	-	DIN1	入出力			P131	入力	Hi-Z	Hi-Z
126	P132/TIN18/DIN2	P132	TIN18	-	DIN2	入出力			P132	入力	Hi-Z	Hi-Z
127	P133/TIN19/DIN3	P133	TIN19	-	DIN3	入出力			P133	入力	Hi-Z	Hi-Z
128	P134/TIN20/ TXD3/DIN4	P134	TIN20	TXD3(注1)	DIN4	入出力			P134	入力	Hi-Z	Hi-Z
129	P135/TIN21/RXD3	P135	TIN21	RXD3(注1)	-	入出力			P135	入力	Hi-Z	Hi-Z
130	P136/TIN22/CRX1	P136	TIN22	CRX1(注1)	-	入出力		P136	入力	Hi-Z	Hi-Z	
131	P137/TIN23/CTX1	P137	TIN23	CTX1(注1)	-	入出力		P137	入力	Hi-Z	Hi-Z	
132	VCCCE	-	VCCCE	-	-	-		VCCCE	-	-	-	
133	P150/TIN0/ CLKOUT/WR#	P150	TIN0	CLKOUT (注1)/ WR#(注1)	-	入出力	VCC-BUS		P150	入力	Hi-Z	Hi-Z
134	P153/TIN3/WAIT#	P153	TIN3	WAIT#(注1)	-	入出力			P153	入力	Hi-Z	Hi-Z
135	P41/BLW#/BLE#	P41	BLW#/ BLE#	-	-	入出力		シングルチップモード時 外部拡張モード時 およびプロセッサモード時	P41	入力	Hi-Z	Hi-Z
								シングルチップモード時 外部拡張モード時 およびプロセッサモード時	P42	出力	Hi-Z	"H"レベル
136	P42/BHW#/BHE#	P42	BHW#/ BHE#	-	-	入出力	シングルチップモード時 外部拡張モード時 およびプロセッサモード時	P42	出力	Hi-Z	"H"レベル	
137	EXCVCC	-	EXCVCC	-	-	-		EXCVCC	-	-	-	
138	VSS	-	VSS	-	-	-		VSS	-	-	-	
139	P43/RD#	P43	RD#	-	-	入出力	VCC-BUS	シングルチップモード時 外部拡張モード時 およびプロセッサモード時	P43	入力	Hi-Z	Hi-Z
								シングルチップモード時 外部拡張モード時 およびプロセッサモード時	RD#	出力	Hi-Z	"H"レベル
140	P44/CS0#/TIN8	P44	CS0#	TIN8	-	入出力			P44	入力	Hi-Z	Hi-Z
								プロセッサモード時	CS0#	出力	Hi-Z	"H"レベル
141	P45/CS1#/TIN9	P45	CS1#	TIN9	-	入出力			P45	入力	Hi-Z	Hi-Z
								プロセッサモード時	CS1#	出力	Hi-Z	"H"レベル
142	P46/A13/TIN10	P46	A13	TIN10	-	入出力			P46	入力	Hi-Z	Hi-Z
								プロセッサモード時	A13	出力	Hi-Z	不定
143	P47/A14/TIN11	P47	A14	TIN11	-	入出力		P47	入力	Hi-Z	Hi-Z	
							プロセッサモード時	A14	出力	Hi-Z	不定	
144	P220/CTX0/HACK#	P220	CTX0(注1)	HACK#(注1)	-	入出力		P220	入力	Hi-Z	Hi-Z	

注1. 2箇所出力している端子

表1.4.2 M32192F8xWGの端子配列表 (1/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR1機能 NBD機能				機能	入出力	リセット中の状態	リセット解除時の状態
A1	-----	-	-	-	-	-	-	-	-	-	-	-
A2	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
A3	P220/CTX0/HACK#	P220	CTX0(注1)	HACK#(注1)	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P220	入力	Hi-Z	Hi-Z
A4	P45/CS1#/TIN9	P45	CS1#	TIN9	-	入出力	VCC-BUS		P45	入力	Hi-Z	Hi-Z
A5	EXCVCC	-	EXCVCC	-	-	-	-	-	EXCVCC	-	-	-
A6	P150/TIN0/ CLKOUT/WR#	P150	TIN0	CLKOUT(注1) /WR#(注1)	-	入出力	VCC-BUS		P150	入力	Hi-Z	Hi-Z
A7	P135/TIN21/RXD3	P135	TIN21	RXD3(注1)	-	入出力	VCCE		P135	入力	Hi-Z	Hi-Z
A8	P131/TIN17/ PWMOFF1/DIN1	P131	TIN17/ PWMOFF1	-	DIN1	入出力	VCCE		P131	入力	Hi-Z	Hi-Z
A9	MOD2	-	MOD2	-	-	-	VCCE		MOD2	-	-	-
A10	P126/TCLK2/ CS2#/DD1	P126	TCLK2	CS2#(注1)	DD1(注1)	入出力	VCCE		P126	入力	Hi-Z	Hi-Z
A11	P107/TO15/RXD4/DD0	P107	TO15	RXD4	DD0(注1)	入出力	VCCE		P107	入力	Hi-Z	Hi-Z
A12	P103/TO11/TIN24	P103	TO11	TIN24	-	入出力	VCCE		P103	入力	Hi-Z	Hi-Z
A13	JTDO/NBDEVNT# (注2)	-	JTDO	-	NBDEVNT#	出力	VCCE		JTDO	出力	Hi-Z	Hi-Z
A14	JTMS (注2)	-	JTMS	-	-	入力	VCCE		JTMS	入力	Hi-Z	Hi-Z
A15	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
B1	XIN	-	XIN	-	-	入力	VCC-BUS		XIN	入力	-	-
B2	N.C.	-	-	-	-	-	-	-	-	-	-	-
B3	P221/CRX0/HREQ#	P221	CRX0(注1)	HREQ#(注1)	-	入力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P221	入力	Hi-Z	Hi-Z
B4	P46/A13/TIN10	P46	A13	TIN10	-	入出力	VCC-BUS		P46	入力	Hi-Z	Hi-Z
B5	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
B6	P153/TIN3/WAIT#	P153	TIN3	WAIT#(注1)	-	入出力	VCC-BUS		P153	入力	Hi-Z	Hi-Z
B7	P136/TIN22/CRX1	P136	TIN22	CRX1(注1)	-	入出力	VCCE		P136	入力	Hi-Z	Hi-Z
B8	P132/TIN18/DIN2	P132	TIN18	-	DIN2	入出力	VCCE		P132	入力	Hi-Z	Hi-Z
B9	N.C.	-	-	-	-	-	-	-	-	-	-	-
B10	N.C.	-	-	-	-	-	-	-	-	-	-	-
B11	P106/TO14/TXD4/DD1	P106	TO14	TXD4	DD1(注1)	入出力	VCCE		P106	入力	Hi-Z	Hi-Z
B12	JTDI/NBDSYNC# (注2)	-	JTDI	-	NBDSYNC#	入力	VCCE		JTDI	入力	Hi-Z	Hi-Z
B13	JTRST (注2)	-	JTRST	-	-	入力	VCCE		JTRST	入力	Hi-Z	Hi-Z
B14	P102/TO10/CTX0	P102	TO10	CTX0(注1)	-	入出力	VCCE		P102	入力	Hi-Z	Hi-Z
B15	VDDE	-	VDDE	-	-	-	-	-	VDDE	-	-	-
C1	XOUT	-	XOUT	-	-	出力	VCC-BUS		XOUT	出力	XOUT	XOUT
C2	N.C.	-	-	-	-	-	-	-	-	-	-	-
C3	P225/A12/CS3#	P225	A12	CS3#(注1)	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P225	入力	Hi-Z	Hi-Z
C4	P47/A14/TIN11	P47	A14	TIN11	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時 シングルチップモード時	P47	入力	Hi-Z	Hi-Z
C5	P43/RD#	P43	RD#	-	-	入出力	VCC-BUS	外部拡張モード時 およびプロセッサモード時 シングルチップモード時	P43	出力	Hi-Z	Hi-Z
C6	P41/BLW#/BLE#	P41	BLW#/ BLE#	-	-	入出力	VCC-BUS	外部拡張モード時 およびプロセッサモード時	P41	出力	Hi-Z	Hi-Z
C7	P137/TIN23/CTX1	P137	TIN23	CTX1(注1)	-	入出力	VCCE		P137	入力	Hi-Z	Hi-Z
C8	P133/TIN19/DIN3	P133	TIN19	-	DIN3	入出力	VCCE		P133	入力	Hi-Z	Hi-Z
C9	P127/TCLK3/CS3#/DD0	P127	TCLK3	CS3#(注1)	DD0(注1)	入出力	VCCE		P127	入力	Hi-Z	Hi-Z
C10	P125/TCLK1/A10/DD2	P125	TCLK1	A10	DD2(注1)	入出力	VCCE	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P125	入力	Hi-Z	Hi-Z
C11	P105/TO13/ SCLK14/SCLKO4/DD2	P105	TO13	SCLK14/ SCLKO4	DD2(注1)	入出力	VCCE		P105	入力	Hi-Z	Hi-Z
C12	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
C13	JTCK/NBDCLK (注2)	-	JTCK	-	NBDCLK	入力	VCCE		JTCK	入力	Hi-Z	Hi-Z
C14	P101/TO9/CRX0	P101	TO9	CRX0(注1)	-	入出力	VCCE		P101	入力	Hi-Z	Hi-Z
C15	P100/TO8	P100	TO8	-	-	入出力	VCCE		P100	入力	Hi-Z	Hi-Z
D1	P224/A11/CS2#	P224	A11	CS2#(注1)	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P224	入力	Hi-Z	Hi-Z
D2	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
D3	VCC-BUS	-	VCC-BUS	-	-	-	-	-	VCC-BUS	-	-	-
D4	P44/CS0#/TIN8	P44	CS0#	TIN8	-	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時 シングルチップモード時	P44	出力	Hi-Z	Hi-Z
D5	P42/BHW#/BHE#	P42	BHW#/ BHE#	-	-	入出力	VCC-BUS	外部拡張モード時 およびプロセッサモード時	P42	出力	Hi-Z	Hi-Z
D6	VCCE	-	VCCE	-	-	-	-	-	VCCE	-	-	-
D7	P134/TIN20/TXD3/DIN4	P134	TIN20	TXD3(注1)	DIN4	入出力	VCCE		P134	入力	Hi-Z	Hi-Z
D8	P130/TIN16/ PWMOFF0/DIN0	P130	TIN16/ PWMOFF0	-	DIN0	入出力	VCCE		P130	入力	Hi-Z	Hi-Z
D9	N.C.	-	-	-	-	-	-	-	-	-	-	-
D10	N.C.	-	-	-	-	-	-	-	-	-	-	-
D11	P124/TCLK0/A9/DD3	P124	TCLK0	A9	DD3(注1)	入出力	VCCE	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P124	入力	Hi-Z	Hi-Z
D12	P104/TO12/TIN25/DD3	P104	TO12	TIN25	DD3(注1)	入出力	VCCE		P104	出力	Hi-Z	Hi-Z
D13	P117/TO7/TO36/DD4	P117	TO7	TO36(注1)	DD4(注1)	入出力	VCCE		P117	入力	Hi-Z	Hi-Z
D14	P116/TO6/TO35/DD5	P116	TO6	TO35(注1)	DD5(注1)	入出力	VCCE		P116	入力	Hi-Z	Hi-Z
D15	P115/TO5/TO34/DD6	P115	TO5	TO34(注1)	DD6(注1)	入出力	VCCE		P115	入力	Hi-Z	Hi-Z
E1	N.C.	-	-	-	-	-	-	-	-	-	-	-
E2	P30/A15/TIN4/DD16	P30	A15	TIN4	DD16	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P30	入力	Hi-Z	Hi-Z
E3	VCCER	-	VCCER	-	-	入出力	-	-	VCCER	-	-	-
E4	P31/A16/TIN5/DD17	P31	A16	TIN5	DD17	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P31	出力	Hi-Z	Hi-Z
E5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	A16	出力	Hi-Z	不定

注1. 2箇所出力している端子

注2. JTCK、JTDI、JTDO、JTMSは、RESET#によってリセットされるのではなく、JTRSTによってリセットされます。

注3. サーマルボールは、必ずグランド(GND)に接続してください。

表1.4.2 M32192F8xWGの端子配列表(2/4)

端子番号	端子名	機能				出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DRI機能 NBD機能				機能	出力	リセット中の状態	リセット解除時の状態
E6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
E12	P111/TO1/TO30/DD10	P111	TO1	TO30(注1)	DD10(注1)	入出力	VCCE	-	P111	入力	Hi-Z	Hi-Z
E13	P114/TO4/TO33/DD7	P114	TO4	TO33(注1)	DD7(注1)	入出力	VCCE	-	P114	入力	Hi-Z	Hi-Z
E14	P113/TO3/TO32/DD8	P113	TO3	TO32(注1)	DD8(注1)	入出力	VCCE	-	P113	入力	Hi-Z	Hi-Z
E15	P112/TO2/TO31/DD9	P112	TO2	TO31(注1)	DD9(注1)	入出力	VCCE	-	P112	入力	Hi-Z	Hi-Z
F1	P34/A19/TIN30/DD20	P34	A19	TIN30	DD20	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P34	入力	Hi-Z	Hi-Z
F2	P33/A18/TIN7/DD19	P33	A18	TIN7	DD19	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P33	入力	Hi-Z	Hi-Z
F3	P32/A17/TIN6/DD18	P32	A17	TIN6	DD18	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P32	入力	Hi-Z	Hi-Z
F4	P35/A20/TIN31/DD21	P35	A20	TIN31	DD21	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P35	入力	Hi-Z	Hi-Z
F5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
F12	VCCE	-	VCCE	-	-	-	-	-	VCCE	-	-	-
F13	P110/TO0/TO29/DD11	P110	TO0	TO29(注1)	DD11(注1)	入出力	VCCE	-	P110	入力	Hi-Z	Hi-Z
F14	N.C.	-	-	-	-	-	-	-	-	-	-	-
F15	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
G1	P37/A22/TIN33/DD23	P37	A22	TIN33	DD23	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P37	入力	Hi-Z	Hi-Z
G2	P36/A21/TIN32/DD22	P36	A21	TIN32	DD22	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P36	入力	Hi-Z	Hi-Z
G3	N.C.	-	-	-	-	-	-	-	-	-	-	-
G4	P20/A23/DD24	P20	A23	-	DD24	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P20	入力	Hi-Z	Hi-Z
G5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
G12	MOD1	-	MOD1	-	-	入力	VCCE	-	MOD1	入力	Hi-Z	Hi-Z
G13	N.C.	-	-	-	-	-	-	-	-	-	-	-
G14	N.C.	-	-	-	-	-	-	-	-	-	-	-
G15	FP	-	FP	-	-	入力	VCCE	-	FP	入力	Hi-Z	Hi-Z
H1	P23/A26/DD27	P23	A26	-	DD27	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P23	入力	Hi-Z	Hi-Z
H2	P22/A25/DD26	P22	A25	-	DD26	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P22	入力	Hi-Z	Hi-Z
H3	P21/A24/DD25	P21	A24	-	DD25	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P21	入力	Hi-Z	Hi-Z
H4	VCC-BUS	-	VCC-BUS	-	-	-	-	-	VCC-BUS	-	-	-
H5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
H12	P97/TO20/DD12	P97	TO20	-	DD12(注1)	入出力	VCCE	-	P97	入力	Hi-Z	Hi-Z
H13	MOD0	-	MOD0	-	-	入力	VCCE	-	MOD0	入力	Hi-Z	Hi-Z
H14	RESET#	-	RESET#	-	-	入力	VCCE	-	RESET#	入力	Hi-Z	Hi-Z
H15	N.C.	-	-	-	-	-	-	-	-	-	-	-
J1	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
J2	P24/A27/DD28	P24	A27	-	DD28	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P24	入力	Hi-Z	Hi-Z
J3	P25/A28/DD29	P25	A28	-	DD29	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P25	入力	Hi-Z	Hi-Z
J4	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
J5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
J12	P96/TO19/DD13	P96	TO19	-	DD13(注1)	入出力	VCCE	-	P96	入力	Hi-Z	Hi-Z
J13	P94/TO17/ TXD5/DD15	P94	TO17	TXD5	DD15(注1)	入出力	VCCE	-	P94	入力	Hi-Z	Hi-Z
J14	P95/TO18/RXD5/DD14	P95	TO18	RXD5	DD14(注1)	入出力	VCCE	-	P95	入力	Hi-Z	Hi-Z
J15	N.C.	-	-	-	-	-	-	-	-	-	-	-
K1	P27/A30/DD31	P27	A30	-	DD31	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P27	入力	Hi-Z	Hi-Z
K2	P00/DB0/TO21/DD0	P00	DB0	TO21(注1)	DD0(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P00	入力	Hi-Z	Hi-Z

注1. 2箇所出力している端子

注2. JTCK, JTDI, JTDO, JTMSは、RESET#によってリセットされるのではなく、JTRSTによってリセットされます。

注3. サーマルボールは、必ずグランド(GND)に接続してください。

表1.4.2 M32192F8xWGの端子配列表 (3/4)

端子番号	端子名	機能				出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR1機能 NBD機能				機能	出力	リセット中 の状態	リセット解 除時の状態
K3	P01/DB1/TO22/DD1	P01	DB1	TO22(注1)	DD1(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P01	入力	Hi-Z	Hi-Z
K4	P26/A29/DD30	P26	A29	-	DD30	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	DB1	入出力	Hi-Z	Hi-Z
K5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
K12	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
K13	P76/RTDACK/ CTX1/NBDD2	P76	RTDACK	CTX1(注1)	NBDD2	入出力	VCCE	-	P76	入力	Hi-Z	Hi-Z
K14	P77/RTDCLK/ CRX1/NBDD3	P77	RTDCLK	CRX1(注1)	NBDD3	入出力	VCCE	-	P77	入力	Hi-Z	Hi-Z
K15	P93/TO16/ SCLKI5/SCLKO5	P93	TO16	SCLKI5/ SCLKO5	-	入出力	VCCE	-	P93	入力	Hi-Z	Hi-Z
L1	P03/DB3/TO24/DD3	P03	DB3	TO24(注1)	DD3(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P03	入力	Hi-Z	Hi-Z
L2	P04/DB4/TO25/DD4	P04	DB4	TO25(注1)	DD4(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	DB3	入出力	Hi-Z	Hi-Z
L3	P05/DB5/TO26/DD5	P05	DB5	TO26(注1)	DD5(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P04	入力	Hi-Z	Hi-Z
L4	P02/DB2/TO23/DD2	P02	DB2	TO23(注1)	DD2(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	DB4	入出力	Hi-Z	Hi-Z
L5	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	P05	入力	Hi-Z	Hi-Z
L6	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	P02	入力	Hi-Z	Hi-Z
L7	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	DB2	入出力	Hi-Z	Hi-Z
L8	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
L9	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
L10	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
L11	THERMAL-BALL (注3)	-	VSS	-	-	-	-	-	VSS	-	-	-
L12	N.C.	-	-	-	-	-	-	-	VSS	-	-	-
L13	P73/HACK#/TIN26	P73	HACK#	TIN26	-	入出力	VCCE	-	P73	入力	Hi-Z	Hi-Z
L14	P74/RTDXTX/ TXD3/NBDD0	P74	RTDXTX	TXD3(注1)	NBDD0	入出力	VCCE	-	P74	入力	Hi-Z	Hi-Z
L15	P75/RTDRXD/ RXD3/NBDD1	P75	RTDRXD	RXD3(注1)	NBDD1	入出力	VCCE	-	P75	入力	Hi-Z	Hi-Z
M1	P06/DB6/TO27/DD6	P06	DB6	TO27(注1)	DD6(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P06	入力	Hi-Z	Hi-Z
M2	P07/DB7/TO28/DD7	P07	DB7	TO28(注1)	DD7(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	DB6	入出力	Hi-Z	Hi-Z
M3	P10/DB8/TO29/DD8	P10	DB8	TO29(注1)	DD8(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P07	入力	Hi-Z	Hi-Z
M4	VREF0	-	VREF0	-	-	-	AVCC0	-	DB7	入出力	Hi-Z	Hi-Z
M5	AD0IN2	-	AD0IN2	-	-	入力	AVCC0	-	P10	入力	Hi-Z	Hi-Z
M6	AD0IN6	-	AD0IN6	-	-	入力	AVCC0	-	DB8	入出力	Hi-Z	Hi-Z
M7	AD0IN10	-	AD0IN10	-	-	入力	AVCC0	-	VREF0	-	-	-
M8	AD0IN14	-	AD0IN14	-	-	入力	AVCC0	-	AD0IN2	入力	Hi-Z	Hi-Z
M9	AD0IN15	-	AD0IN15	-	-	入力	AVCC0	-	AD0IN6	入力	Hi-Z	Hi-Z
M10	N.C.	-	-	-	-	-	-	-	AD0IN10	入力	Hi-Z	Hi-Z
M11	P174/TXD2/TO28	P174	TXD2	TO28(注1)	-	入出力	VCCE	-	AD0IN14	入力	Hi-Z	Hi-Z
M12	VCCE	-	VCCE	-	-	-	-	-	AD0IN15	入力	Hi-Z	Hi-Z
M13	P70/CLKOUT/WR#/BCLK	P70	CLKOUT/WR#	BCLK	-	入出力	VCCE	-	-	-	-	-
M14	P71/WAIT#	P71	WAIT#	-	-	入出力	VCCE	-	P70	入力	Hi-Z	Hi-Z
M15	P72/HREQ#/TIN27	P72	HREQ#	TIN27	-	入出力	VCCE	-	P71	入力	Hi-Z	Hi-Z
N1	P11/DB9/TO30/DD9	P11	DB9	TO30(注1)	DD9(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P72	入力	Hi-Z	Hi-Z
N2	P12/DB10/TO31/DD10	P12	DB10	TO31(注1)	DD10(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P11	入力	Hi-Z	Hi-Z
N3	P15/DB13/TO34/DD13	P15	DB13	TO34(注1)	DD13(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P12	入力	Hi-Z	Hi-Z
N4	N.C.	-	-	-	-	-	-	-	DB10	入出力	Hi-Z	Hi-Z
N5	AVCC0	-	AVCC0	-	-	-	-	-	P15	入力	Hi-Z	Hi-Z
N6	AD0IN3	-	AD0IN3	-	-	入力	AVCC0	-	DB13	入出力	Hi-Z	Hi-Z
N7	AD0IN7	-	AD0IN7	-	-	入力	AVCC0	-	-	-	-	-
N8	AD0IN11	-	AD0IN11	-	-	入力	AVCC0	-	AD0IN3	入力	Hi-Z	Hi-Z
N9	VSS	-	VSS	-	-	-	-	-	AD0IN7	入力	Hi-Z	Hi-Z
N10	N.C.	-	-	-	-	-	-	-	AD0IN11	入力	Hi-Z	Hi-Z
N11	P82/TXD0/TO26	P82	TXD0	TO26(注1)	-	入出力	VCCE	-	VSS	-	-	-
N12	P85/TXD1/TO23	P85	TXD1	TO23(注1)	-	入出力	VCCE	-	-	-	-	-
N13	P87/SCLKI1/ SCLKO1/TO21	P87	SCLKI1/ SCLKO1	TO21(注1)	-	入出力	VCCE	-	P82	入力	Hi-Z	Hi-Z
N14	P63	P63	-	-	-	入出力	VCCE	-	P85	入力	Hi-Z	Hi-Z
N15	SBI#	-	SBI#	-	-	入力	VCCE	-	P87	入力	Hi-Z	Hi-Z
P1	N.C.	-	-	-	-	-	-	-	P63	入力	Hi-Z	Hi-Z
P2	P13/DB11/TO32/DD11	P13	DB11	TO32(注1)	DD11(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	SBI#	入力	Hi-Z	Hi-Z
P3	P16/DB14/TO35/DD14	P16	DB14	TO35(注1)	DD14(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P13	入力	Hi-Z	Hi-Z
P4	P17/DB15/TO36/DD15	P17	DB15	TO36(注1)	DD15(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	DB11	入出力	Hi-Z	Hi-Z
P5	AD0IN0	-	AD0IN0	-	-	入力	AVCC0	-	P16	入力	Hi-Z	Hi-Z
P6	AD0IN4	-	AD0IN4	-	-	入力	AVCC0	-	P17	入力	Hi-Z	Hi-Z
P7	AD0IN8	-	AD0IN8	-	-	入力	AVCC0	-	DB14	入出力	Hi-Z	Hi-Z
P8	AD0IN12	-	AD0IN12	-	-	入力	AVCC0	-	P17	入力	Hi-Z	Hi-Z

注1. 2箇所出力している端子

注2. JTCK、JTDI、JTDO、JTMSは、RESET#によってリセットされるのではなく、JTRSTによってリセットされます。

注3. サーマルボールは、必ずグラウンド(GND)に接続してください。

表1.4.2 M32192F8xWGの端子配列表(4/4)

端子番号	端子名	機能				入出力	電源	条件	リセット時の端子状態			
		ポート	ファンクション1	ファンクション2	DR機能 NBD機能				機能	入出力	リセット中の状態	リセット解除時の状態
P9	EXCVCC	-	EXCVCC	-	-	-	-	-	EXCVCC	-	-	-
P10	N.C.	-	-	-	-	-	-	-	-	-	-	-
P11	VCCER	-	VCCER	-	-	入出力	-	-	VCCER	-	-	-
P12	P84/SCLKI0/ SCLKO0/TO24	P84	SCLKI0/ SCLKO0	TO24(注1)	-	入出力	VCCE	-	P84	入力	Hi-Z	Hi-Z
P13	N.C.	-	-	-	-	-	-	-	-	-	-	-
P14	P62	P62	-	-	-	入出力	VCCE	-	P62	入力	Hi-Z	Hi-Z
P15	P61	P61	-	-	-	入出力	VCCE	-	P61	入力	Hi-Z	Hi-Z
R1	N.C.	-	-	-	-	-	-	-	-	-	-	-
R2	P14/DB12/TO33/DD12	P14	DB12	TO33(注1)	DD12(注1)	入出力	VCC-BUS	シングルチップモード時 および外部拡張モード時 プロセッサモード時	P14 DB12	入力 入出力	Hi-Z Hi-Z	Hi-Z Hi-Z
R3	N.C.	-	-	-	-	-	-	-	-	-	-	-
R4	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
R5	AD0IN1	-	AD0IN1	-	-	入力	AVCC0	-	AD0IN1	入力	Hi-Z	Hi-Z
R6	AD0IN5	-	AD0IN5	-	-	入力	AVCC0	-	AD0IN5	入力	Hi-Z	Hi-Z
R7	AD0IN9	-	AD0IN9	-	-	入力	AVCC0	-	AD0IN9	入力	Hi-Z	Hi-Z
R8	AD0IN13	-	AD0IN13	-	-	入力	AVCC0	-	AD0IN13	入力	Hi-Z	Hi-Z
R9	AVSS0	-	AVSS0	-	-	-	-	-	AVSS0	-	-	-
R10	N.C.	-	-	-	-	-	-	-	-	-	-	-
R11	P175/RXD2/TO27	P175	RXD2	TO27(注1)	-	入出力	VCCE	-	P175	入力	Hi-Z	Hi-Z
R12	P83/RXD0/TO25	P83	RXD0	TO25(注1)	-	入出力	VCCE	-	P83	入力	Hi-Z	Hi-Z
R13	P86/RXD1/TO22	P86	RXD1	TO22(注1)	-	入出力	VCCE	-	P86	入力	Hi-Z	Hi-Z
R14	VSS	-	VSS	-	-	-	-	-	VSS	-	-	-
R15	EXCVDD	-	EXCVDD	-	-	-	-	-	EXCVDD	-	-	-

注1. 2箇所出力している端子

注2. JTCK、JTDI、JTDO、JTMSは、RESET#によってリセットされるのではなく、JTRSTによってリセットされます。

注3. サーマルボールは、必ずグランド(GND)に接続してください。

第2章

CPU

- 2.1 CPUレジスタ
- 2.2 汎用レジスタ
- 2.3 制御レジスタ
- 2.4 アキュムレータ
- 2.5 プログラムカウンタ
- 2.6 データフォーマット
- 2.7 BSET、BCLR、LOCK、UNLOCK命令実行時の補足説明

2.1 CPUレジスタ

M32R-FPUには16本の汎用レジスタ、6本の制御レジスタ、アキュムレータおよびプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

2.2 汎用レジスタ

汎用レジスタは32ビット幅で16本(R0~R15)あり、データやベースアドレスの保持、整数演算/浮動小数点演算等に使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り換わります。

リセット解除時、汎用レジスタの値は不定です。

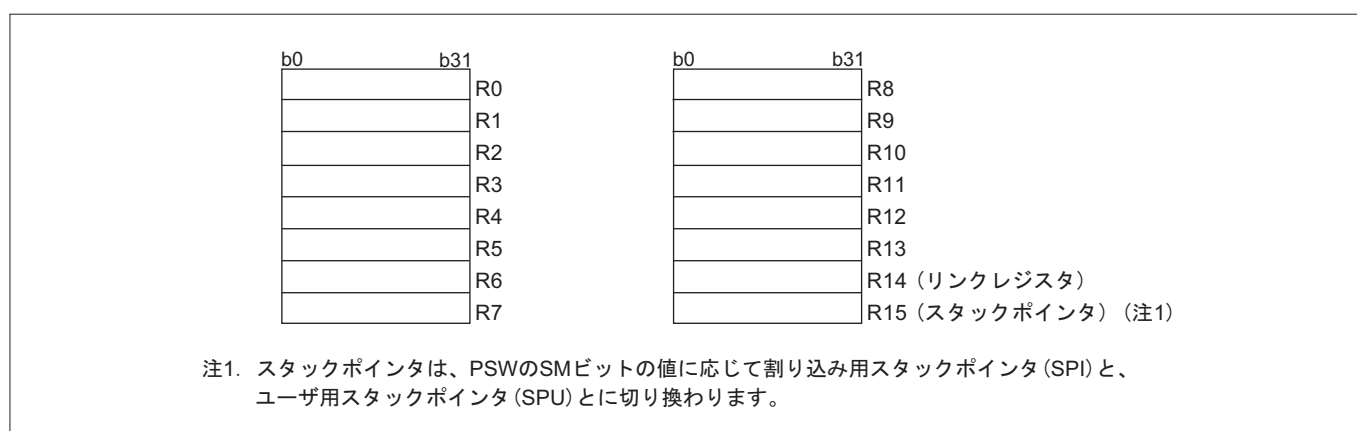


図2.2.1 汎用レジスタ

2.3 制御レジスタ

制御レジスタ(CR)には、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)、浮動小数点ステータスレジスタ(FPSR)の6つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

また、プロセッサ状態語レジスタ(PSW)のSMビット、IEビットおよびCビットについては、「SETPSW命令」と「CLRPSW命令」でも設定できます。

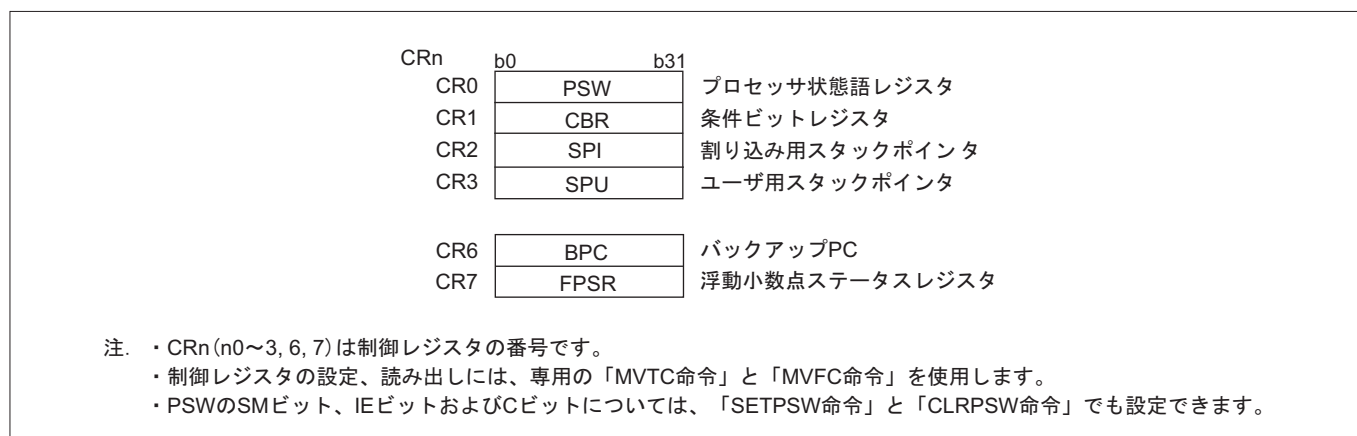
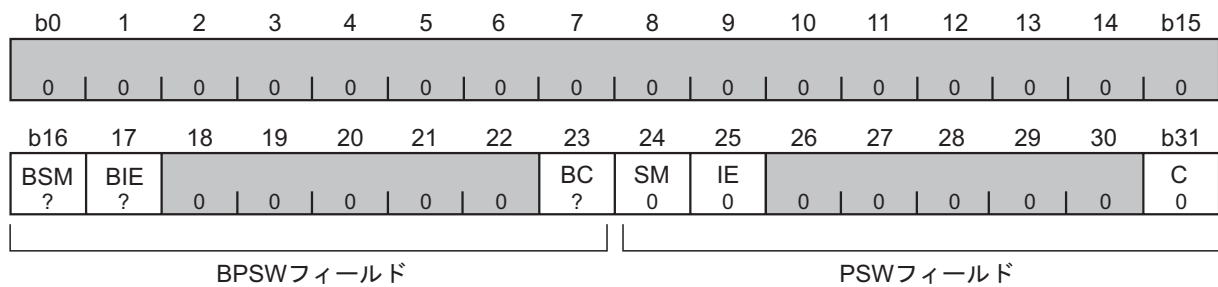


図2.3.1 制御レジスタ

2.3.1 プロセッサ状態語レジスタ：PSW(CR0)



<リセット解除時：B'0000 0000 0000 0000 ??00 000? 0000 0000 >

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	BSM バックアップSMビット	EIT受付時に、SMビットの値が保存される	R	W
17	BIE バックアップIEビット	EIT受付時に、IEビットの値が保存される	R	W
18~22	何も配置されていません。"0"に固定してください。		0	0
23	BC バックアップCビット	EIT受付時に、Cビットの値が保存される	R	W
24	SM スタックモードビット	0：割り込み用スタックポインタを使用 1：ユーザ用スタックポインタを使用	R	W
25	IE 割り込みイネーブルビット(注1)	0：割り込みを受け付けない 1：割り込みを受け付ける	R	W
26~30	何も配置されていません。"0"に固定してください。		0	0
31	C 条件ビット	命令の実行に応じて演算結果のキャリ、ポロー、オーバーフローの有無を示す	R	W

注1．IEビットで制御可能な割り込みは、外部割り込み(EI)です。予約命令例外(RIE)、アドレス例外(AE)、浮動小数点例外(FPE)、リセット割り込み(RI)、システムブレーク割り込み(SBI)、トラップ(TRAP)は、制御されません。

プロセッサ状態語レジスタ(PSW)は、M32R-FPUのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを退避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモードビット(SM)、割り込みイネーブルビット(IE)、条件ビット(C)の各ビットで構成されています。

また、BPSWフィールドはバックアップSMビット(BSM)、バックアップIEビット(BIE)、バックアップCビット(BC)で構成されています。

リセット解除時、BSM、BIE、BCの値は不定、それ以外のビットは"0"です。

2.3.2 条件ビットレジスタ：CBR(CR1)

条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWの条件ビット(C)に書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です(「MVT命令」で書き込みを行っても無視されます)。

リセット解除時、CBRの値は"H'0000 0000"です。



2.3.3 割り込み用スタックポインタ：SPI(CR2)

ユーザ用スタックポインタ：SPU(CR3)

割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このときR15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り換わります。

リセット解除時は、SPIとSPUの値は不定です。

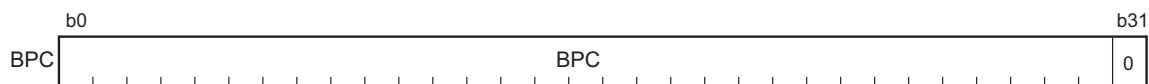


2.3.4 バックアップPC：BPC(CR6)

バックアップPC(BPC)は、EIT発生時にプログラムカウンタ(PC)の値を退避するためのレジスタです。b31は"0"に固定です。

EIT発生時には発生したEITによってEIT発生時または次命令のPC値がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。ただし復帰時にPCの下位2ビットは常に"00"になります(常にワード境界に復帰します)。

リセット解除時、BPCの値は不定です。



2.3.5 浮動小数点ステータスレジスタ : FPSR(CR7)

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
FS 0	FX 0	FU 0	FZ 0	FO 0	FV 0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	EX 0	EU 0	EZ 0	EO 0	EV 0	0	DN 1	CE 0	CX 0	CU 0	CZ 0	CO 0	CV 0	RM 0	0

<リセット解除時 : H'0000 0100>

b	ビット名	機能	R	W
0	FS 浮動小数点例外サマリビット	FU、FZ、FO、FVの論理和を反映します。	R	-
1	FX 精度異常例外フラグ	精度異常例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。	R	W
2	FU アンダフロー例外フラグ	アンダフロー例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。	R	W
3	FZ ゼロ除算例外フラグ	ゼロ除算例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。	R	W
4	FO オーバフロー例外フラグ	オーバフロー例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。	R	W
5	FV 無効演算例外フラグ	無効演算例外の発生(EIT処理実行なしの場合(注1))により、 "1"にセットされます。一度"1"にセットされると、ソフトウェア によって"0"にクリアするまで、"1"の値を保持します。	R	W
6~16	何も配置されていません。"0"に固定してください。		0	0
17	EX 精度異常例外イネーブルビット	0 : 精度異常例外の発生によるEIT処理をマスク 1 : 精度異常例外の発生時にEIT処理を実行	R	W
18	EU アンダフロー例外イネーブルビット	0 : アンダフロー例外の発生によるEIT処理をマスク 1 : アンダフロー例外の発生時にEIT処理を実行	R	W
19	EZ ゼロ除算例外イネーブルビット	0 : ゼロ除算例外の発生によるEIT処理をマスク 1 : ゼロ除算例外の発生時にEIT処理を実行	R	W
20	EO オーバフロー例外イネーブルビット	0 : オーバフロー例外の発生によるEIT処理をマスク 1 : オーバフロー例外の発生時にEIT処理を実行	R	W
21	EV 無効演算例外イネーブルビット	0 : 無効演算例外の発生によるEIT処理をマスク 1 : 無効演算例外の発生時にEIT処理を実行	R	W
22	何も配置されていません。"0"に固定してください。		0	0
23	DN 非正規化数の0フラッシュビット (注2)	0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を0として扱います。	R	W
24	CE 非実装例外要因ビット	0 : 非実装例外の発生なし 1 : 非実装例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)	
25	CX 精度異常例外要因ビット	0 : 精度異常例外の発生なし 1 : 精度異常例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)	

26	CU アンダフロー例外要因ビット	0: アンダフロー例外の発生なし 1: アンダフロー例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)
27	CZ ゼロ除算例外要因ビット	0: ゼロ除算例外の発生なし 1: ゼロ除算例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)
28	CO オーバフロー例外要因ビット	0: オーバフロー例外の発生なし 1: オーバフロー例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)
29	CV 無効演算例外要因ビット	0: 無効演算例外の発生なし 1: 無効演算例外の発生あり "1"にセットされている場合、FPU演算命令実行時、 "0"にクリアされます。	R (注3)
30, 31	RM 丸めモード	00: 最近傍への丸め 01: 0方向への丸め 10: + 方向への丸め 11: - 方向への丸め	R W

注1. 「EIT処理実行なし」とは、各例外が発生した場合においても、b17～b21のイネーブルビットを"0"にし、マスクしていたことにより、EIT処理を実行しないことを言います。例えば、2つの例外が同時に発生し、それぞれのイネーブルビットの設定が異なる場合(どちらかがEIT処理の実行を設定)、EIT処理を行います。このときは、イネーブルビットの設定に関係なくこの2つのフラグは変化しません。

注2. DN = 0のときに非正規化数がオペランドに与えられると、非実装例外が発生します。

注3. "0"書き込み"0"クリア、"1"書き込み無効(書き込み前の値を保持)です。

2.4 アキュムレータ

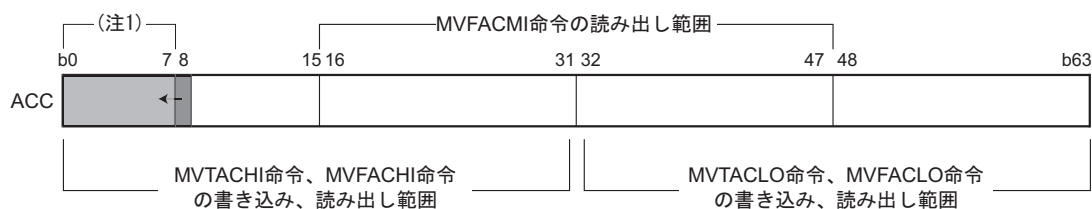
アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。

読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0～7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0～31)に、「MVTACLO命令」は下位側32ビット(ビット32～63)にデータを書き込みます。

読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」は上位側32ビット(ビット0～31)を、「MVFACLO命令」は下位側32ビット(ビット32～63)を、また「MVFACMI命令」は中央の32ビット(ビット16～47)のデータをそれぞれ読み出します。

リセット解除時、ACCの値は不定です。

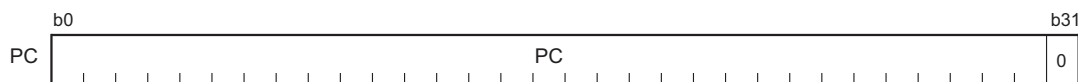


注1. ビット0～7は、ビット8の値を符号拡張した値が常に読み出されます。この部分への書き込みは無視されます。

2.5 プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32R-FPUの命令は偶数アドレスから始まるため、LSB(ビット31)は"0"になります。

リセット解除時、PCの値は"H'0000 0000"です。



2.6 データフォーマット

2.6.1 データタイプ

M32R-FPUの命令セットで扱えるデータタイプは、符号付き、または符号なしの8、16、32ビット整数および単精度浮動小数点です。符号付き整数の値は2の補数で表現されます。

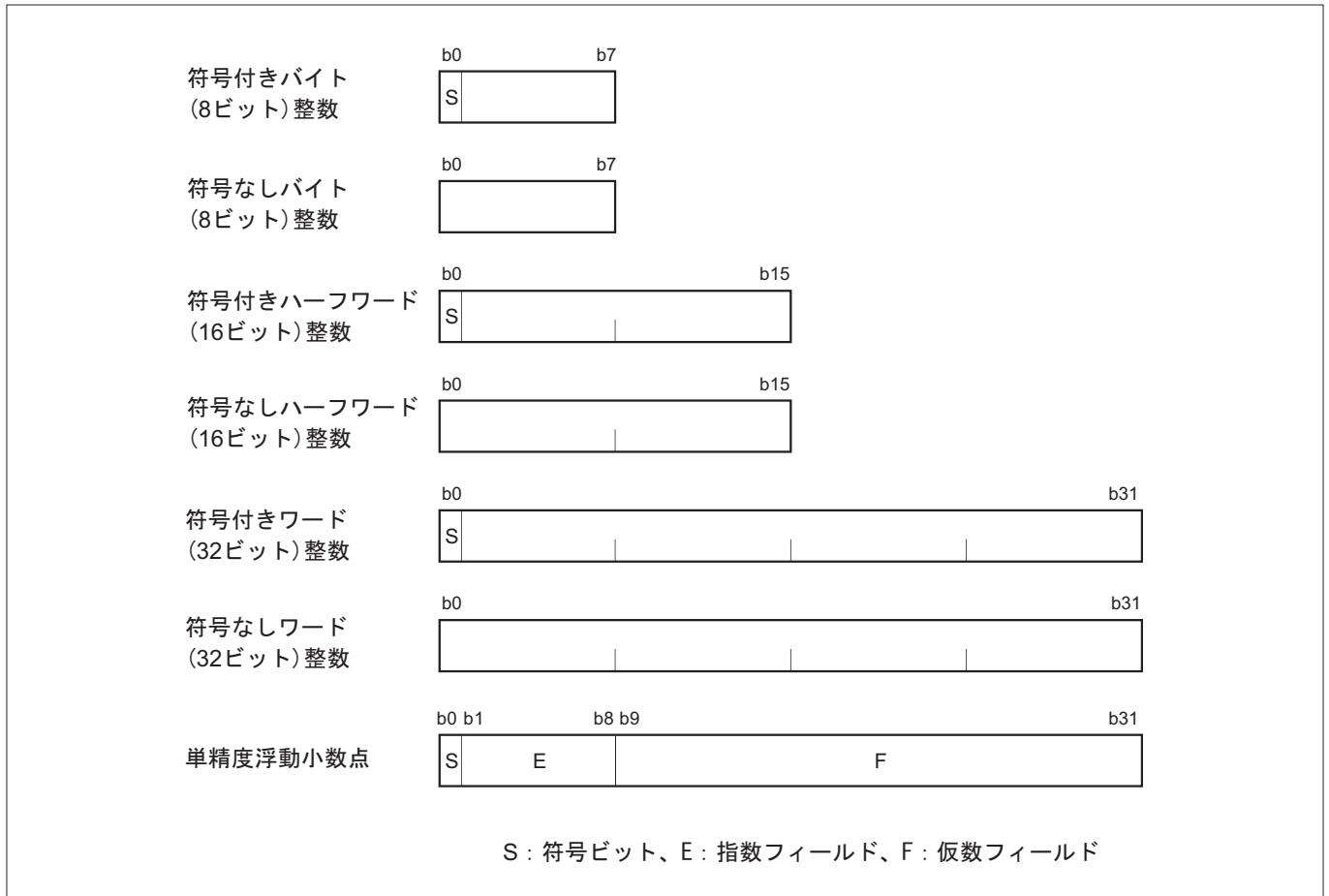


図2.6.1 データタイプ

2.6.2 データフォーマット

(1) レジスタ上のデータフォーマット

M32R-FPUのレジスタ上でのデータサイズは常にワード(32ビット)です。

メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをロードする場合は、ワード(32ビット)データに符号拡張(LDB、LDH命令)またはゼロ拡張(LDUB、LDUH命令)後、レジスタに格納されます。

レジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

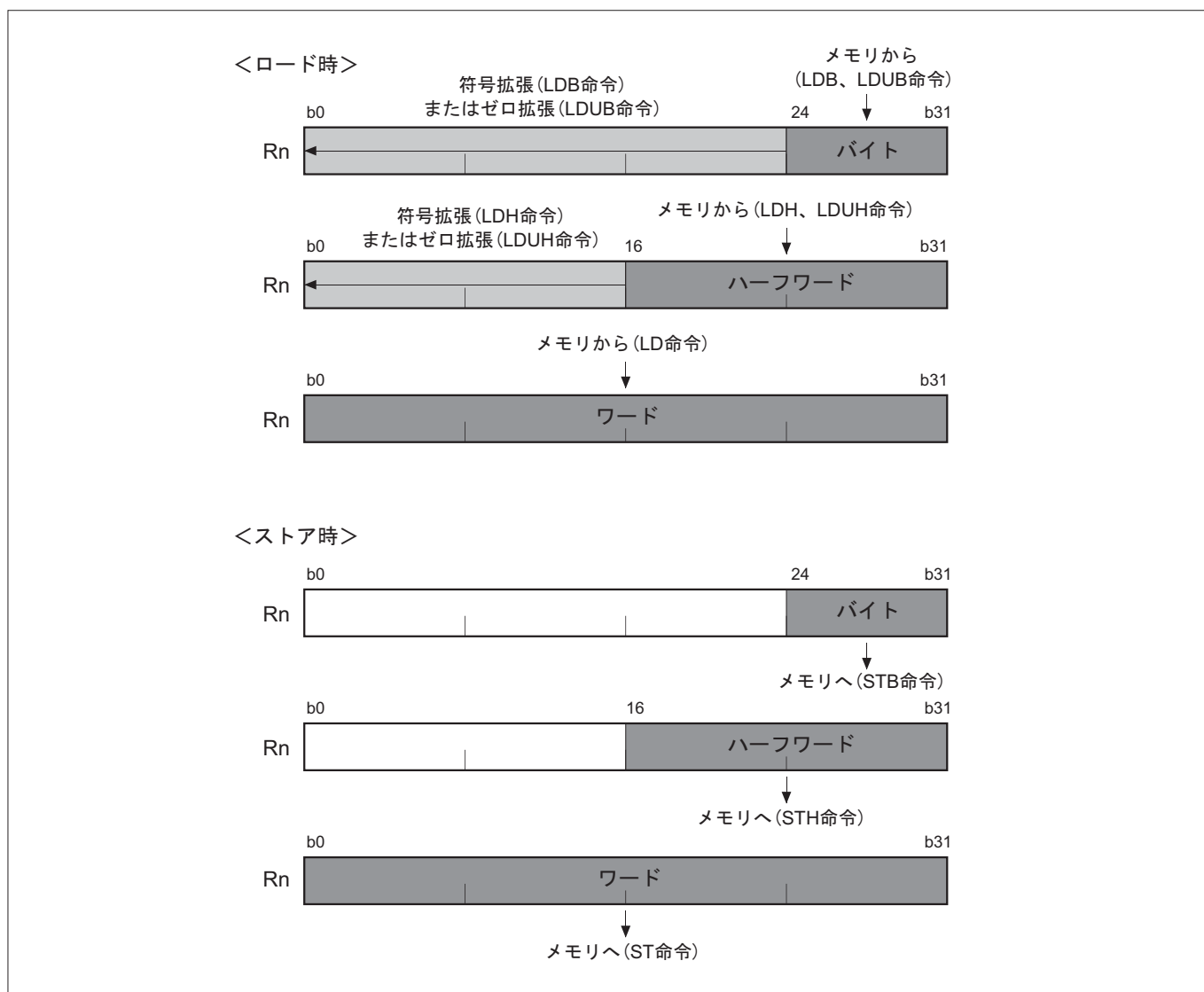


図2.6.2 レジスタ上のデータフォーマット

(2) メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするするとアドレス例外が発生します。

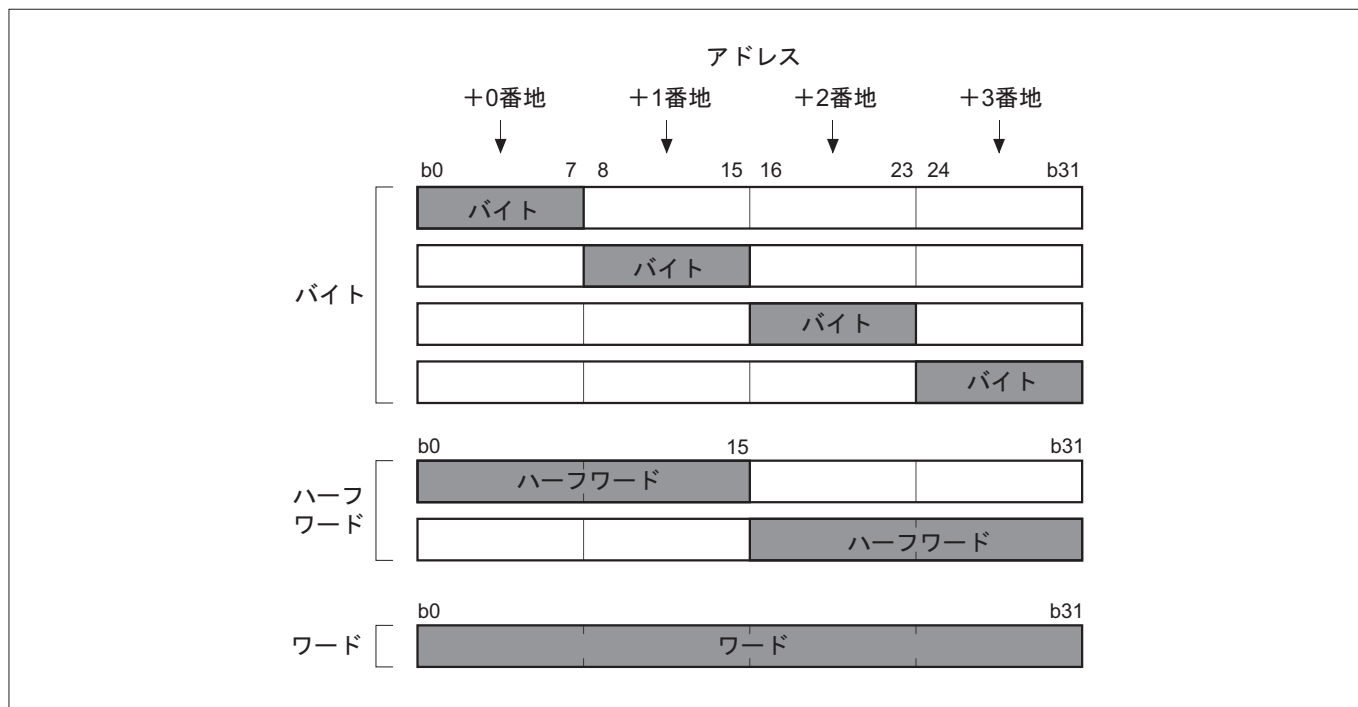


図2.6.3 メモリ上のデータフォーマット

(3) エンディアン

エンディアンの方式およびM32Rファミリのエンディアンを以下に示します。

	ビットエンディアン (H'01)	バイトエンディアン (H'01234567)
ビッグエンディアン	<div style="border: 1px solid black; padding: 2px; display: inline-block;">B'0000001</div> b0 b7	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'01</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'23</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'45</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'67</div> </div> HH HL LH LL
リトルエンディアン	<div style="border: 1px solid black; padding: 2px; display: inline-block;">B'0000001</div> b7 b0	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'67</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'45</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'23</div> <div style="border: 1px solid black; padding: 2px; display: inline-block;">H'01</div> </div> LL LH HL HH

注: ・ビットビッグエンディアンであってもH'01がB'10000000ではありません。

図2.6.4 エンディアンの方式

マイコンファミリ名	7700ファミリ M16Cファミリ		<u>M32Rファミリ</u>
エンディアン (ビット/バイト)	リトル/リトル	リトル/ビッグ	ビッグ/ビッグ
アドレス	+0 +1 +2 +3	+0 +1 +2 +3	+0 +1 +2 +3
データ配置	LL LH HL HH	HH HL LH LL	HH HL LH LL
ビット番号	7~0 15~8 23~16 31~24	31~24 23~16 15~8 7~0	0~7 8~15 16~23 24~31
例 : 0x01234567	.byte 67,45,23,01	.byte 01,23,45,67	.byte 01,23,45,67

注. ・M32Rファミリはビット、バイトともにビッグエンディアンです。

図2.6.5 M32Rファミリのエンディアン

(4) 転送命令

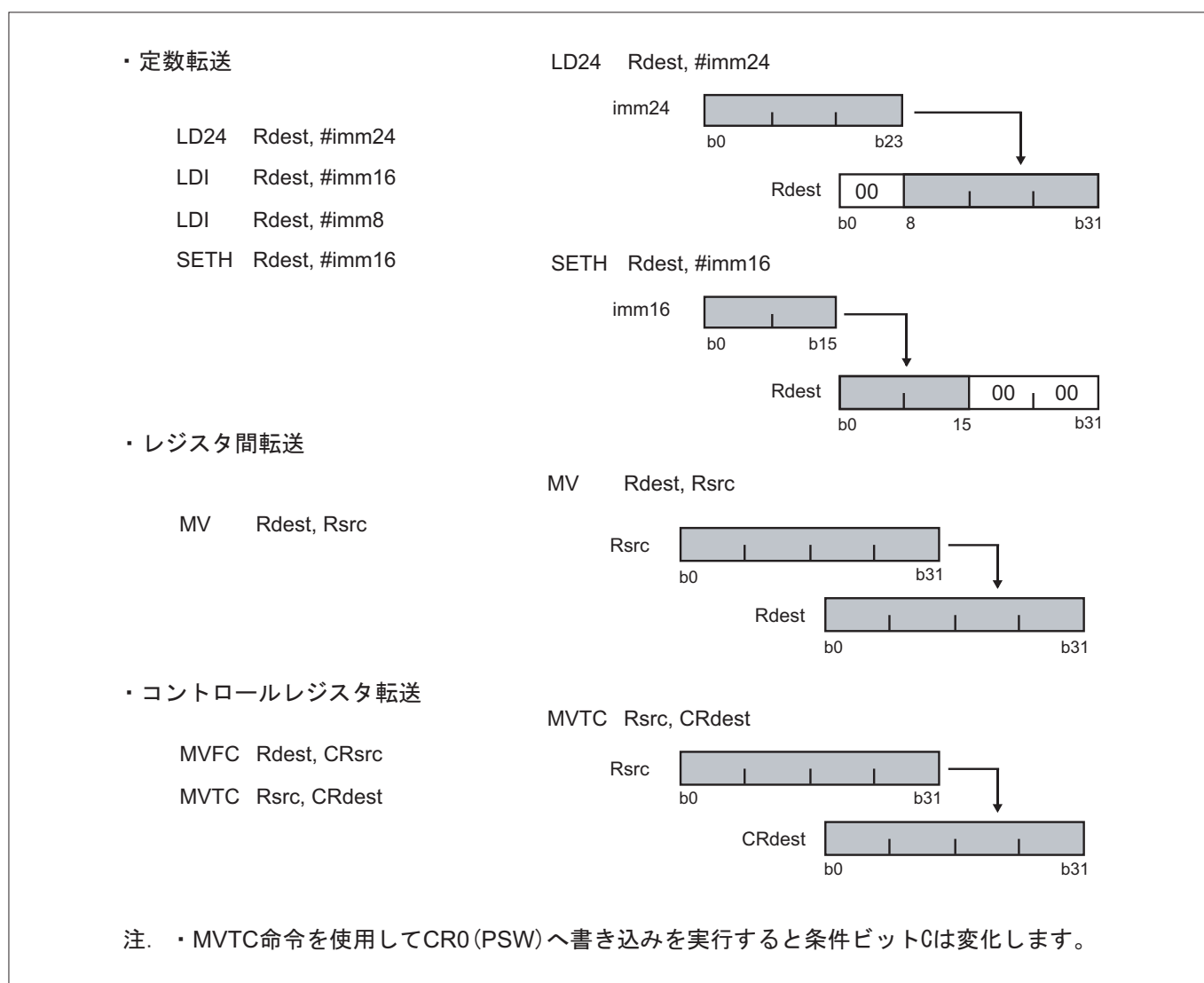


図2.6.6 転送命令

(5) メモリ (符号あり) からレジスタへの転送

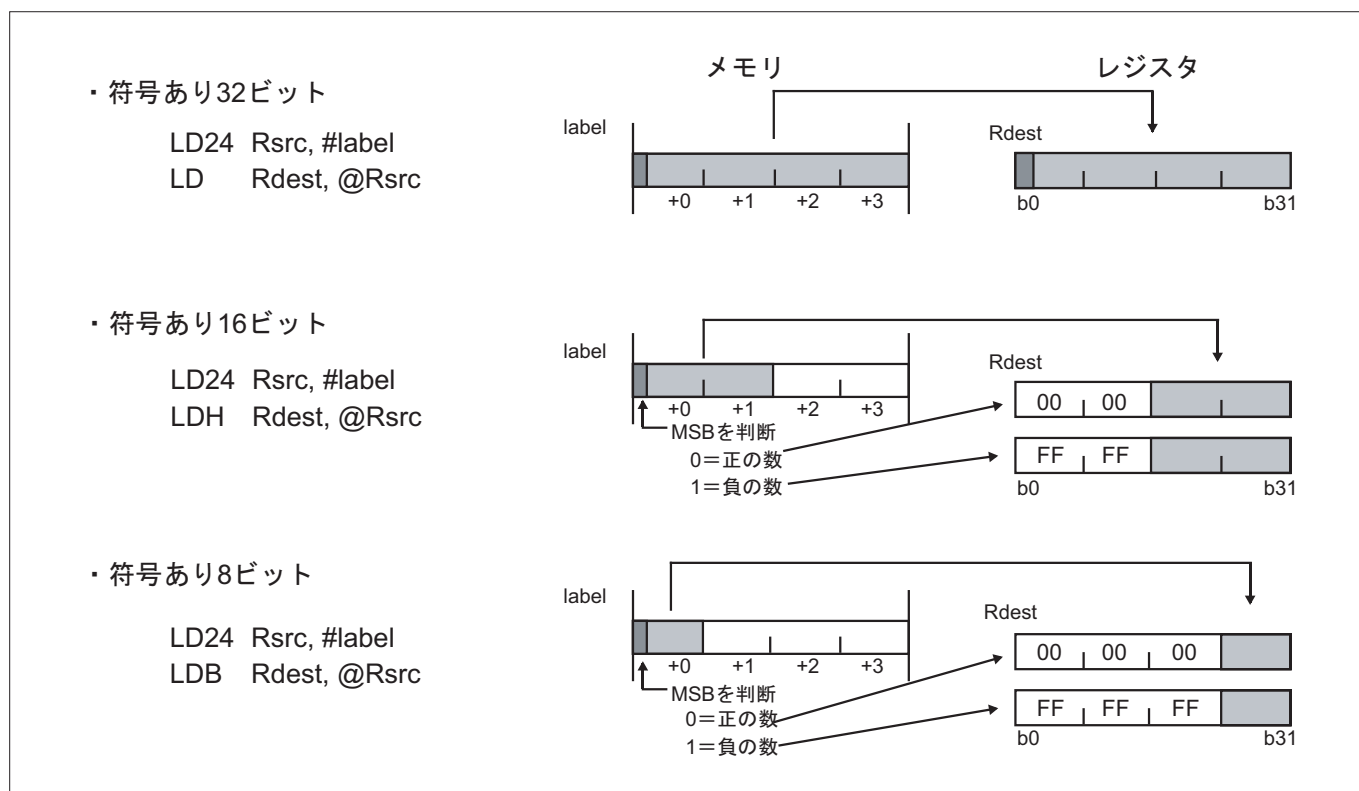


図2.6.7 メモリ(符号あり)からレジスタへの転送

(6) メモリ (符号なし) からレジスタ転送

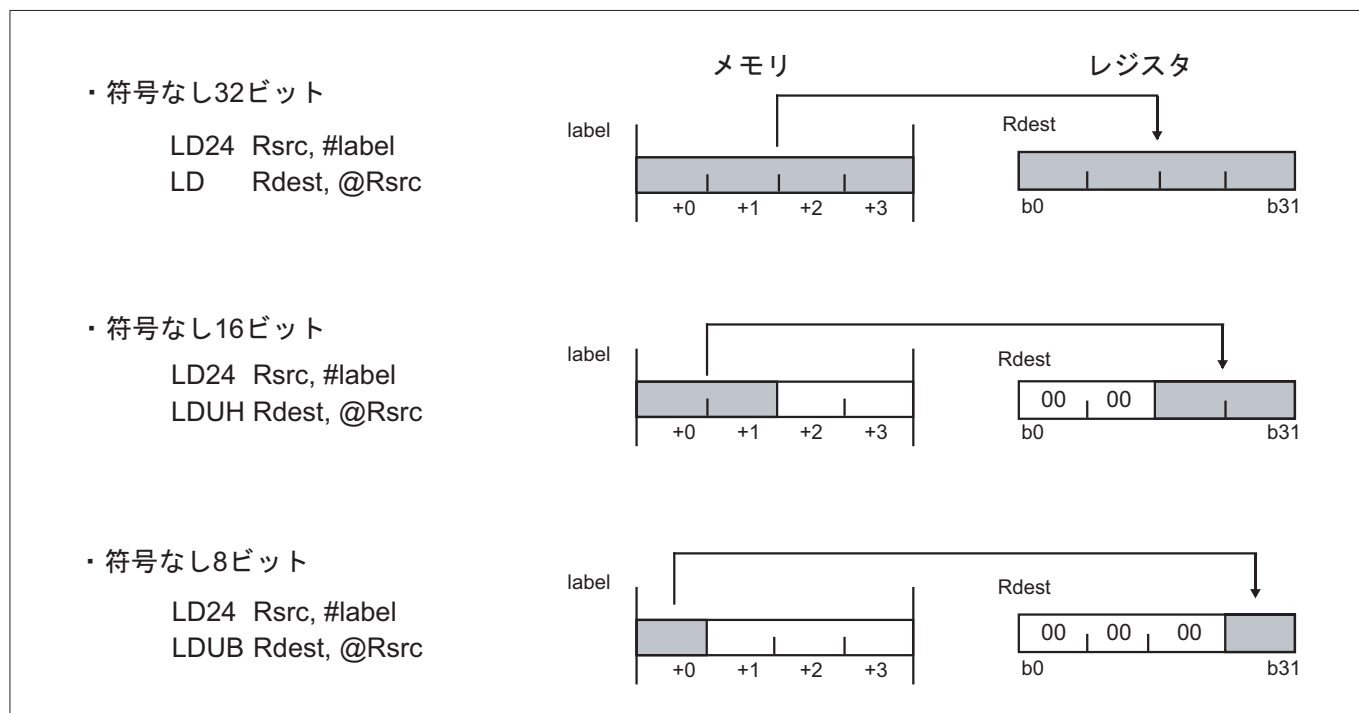


図2.6.8 メモリ(符号なし)からレジスタへの転送

(7) データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。

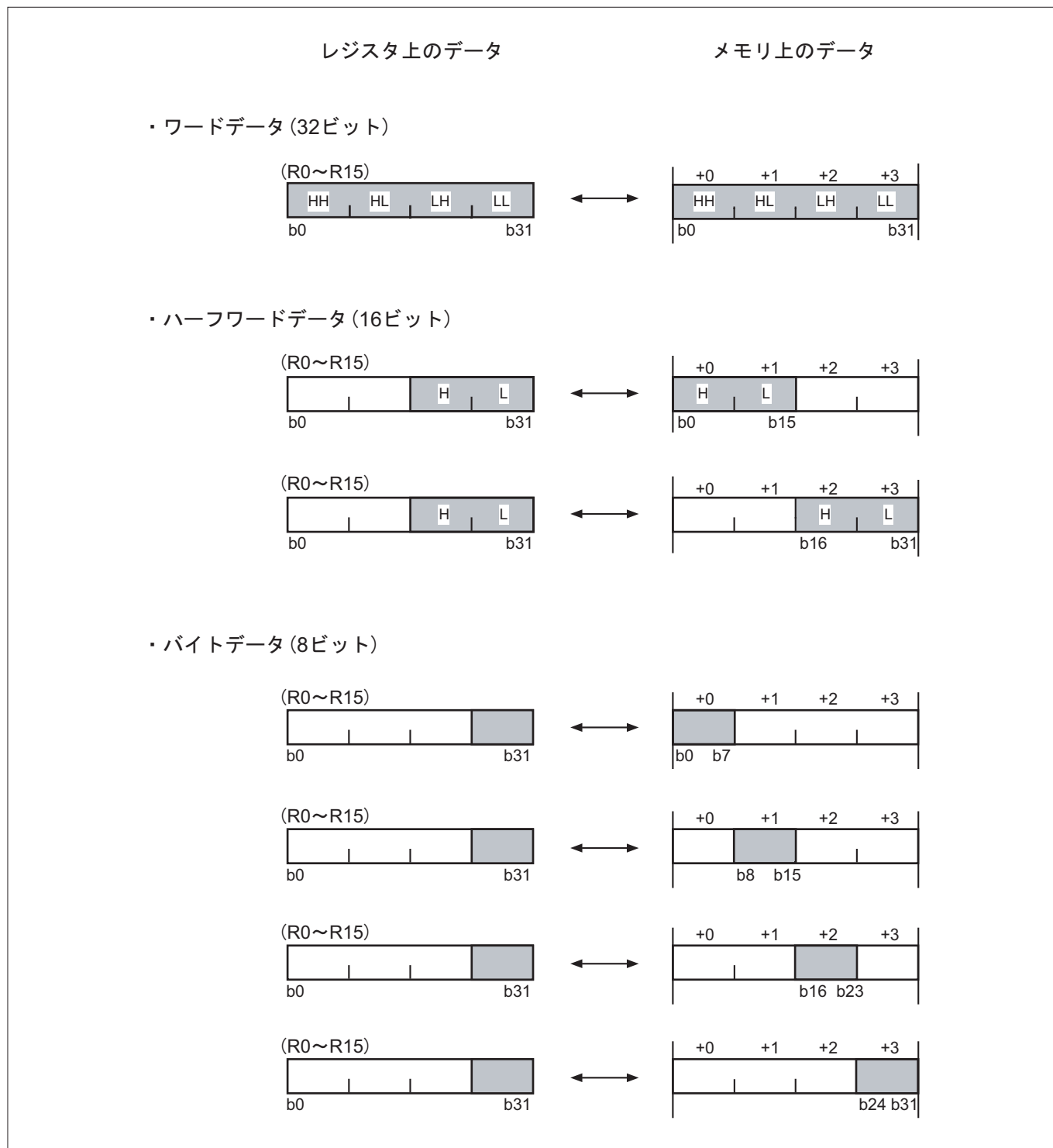


図2.6.9 データ配置の違い

2.7 BSET、BCLR、LOCK、UNLOCK命令実行時の補足説明

BSET、BCLR命令実行中はCPU内部のLOCKビットがセットされます。BSET、BCLR命令が終了すれば、LOCKビットがクリアされます。

LOCK命令は、通常のロードを行う以外にLOCKビットのセットも行います。

LOCKビットのクリアは、UNLOCK命令によって行われます。

LOCKビットはCPU内部にあり、ユーザがこのビットを直接リード/ライトすることはできません。LOCKビットとは、CPU以外のバス権を要求する回路に対してバス権の受付を制御するビットです。

LOCKビット = "0"の状態

CPU以外のバス権要求受付許可

LOCKビット = "1"の状態

CPU以外のバス権要求受付禁止

CPU以外のバス権の要求としては、下記の2つがあります。

内蔵DMACによるDMA要求

HREQ#端子への"L"レベル入力によるホールド要求

第3章

アドレス空間

- 3.1 アドレス空間概要
- 3.2 動作モード
- 3.3 内蔵ROM領域/外部拡張領域
- 3.4 内蔵RAM領域/SFR領域
- 3.5 EITベクタエントリ
- 3.6 ICUベクタテーブル
- 3.7 アドレス空間の注意事項

3.1 アドレス空間概要

M32Rの論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。M32R/ECUのアドレス空間には、以下の空間が存在します。

(1) ユーザ空間

- 内蔵ROM領域
- 外部拡張領域
- 内蔵RAM領域
- SFR(Special Function Register)領域

H'0000 0000 ~ H'7FFF FFFF番地の2Gバイトはユーザ空間です。この空間には、内蔵ROM領域、外部拡張領域、内蔵RAM領域、SFR(Special Function Register)領域(内蔵周辺I/Oのレジスタ群)などが配置されます。このうち内蔵ROM領域と外部拡張領域は、後で述べるモード設定で配置が異なります。

(2) システム空間(ユーザ非公開領域)

H'8000 0000 ~ H'FFFF FFFF番地の2Gバイトはシステム領域です。この空間は、NBD制御用のSFR領域を除き、インサーキットエミュレータやデバッグ用モニタなどの開発ツール提供のために予約されています。

3.2 動作モード

チップ動作モードの設定(MOD0, MOD1端子の設定)により、以下のモードになります。ただし、内蔵フラッシュメモリ書き換えのためのモードについては、「6.6 内蔵フラッシュメモリの書き込み」を参照してください。

表3.2.1 動作モードの設定

MOD0	MOD1	MOD2(注1)	動作モード(注2)
VSS	VSS	VSS	シングルチップモード
VSS	VCCE	VSS	外部拡張モード
VCCE	VSS	VSS	プロセッサモード(FP = VSS)
VCCE	VCCE	VSS	(設定禁止)
-	-	VCCE	(設定禁止)

注1 . 各記号、VCCEはVCCE入力電源に、VSSはGNDに接続します。

注2 . この表に書かれていないフラッシュ書き換えのためのモード(FP = VCCE時)については、「6.6 内蔵フラッシュメモリの書き込み」を参照してください。

動作モードによって内蔵ROM領域/外部拡張領域の配置は異なります(アドレス空間の他の領域は同じ配置です)。以下に各モードにおける内蔵ROM領域/外部拡張領域のアドレスマップを示します(フラッシュ書き換え時のモードについては「6.6 内蔵フラッシュメモリの書き込み」を参照してください)。

論理 アドレス			シングルチップ モード	論理 アドレス	外部拡張 モード	プロセッサ モード	
H'0000 0000	2Gバイト ユーザ 空間	(64Mバイト)	内蔵ROM領域 (1Mバイト)	H'0000 0000	内蔵ROM領域 (1Mバイト)	CS0領域 (8Mバイト)	
		(64Mバイト)		H'000F FFFF H'0010 0000	CS0領域 (7Mバイト)		
		⋮	⋮	SFR領域 (16Kバイト)	H'007F FFFF H'0080 0000 H'0080 3FFF H'0080 4000	SFR領域 (16Kバイト)	SFR領域 (16Kバイト)
		64Mバイト 単位の ゴースト 領域	⋮	内蔵RAM領域 (176Kバイト)	H'0082 FFFF H'0083 0000	内蔵RAM領域 (176Kバイト)	内蔵RAM領域 (176Kバイト)
		⋮	⋮		H'00FF FFFF H'0100 0000		
		⋮	⋮		H'017F FFFF H'0180 0000	CS1領域 (8Mバイト)	CS1領域 (8Mバイト)
		(64Mバイト)			H'01FF FFFF H'0200 0000		
H'7FFF FFFF H'8000 0000		2Gバイト システム 空間			H'027F FFFF H'0280 0000	CS2領域 (8Mバイト)	CS2領域 (8Mバイト)
					H'02FF FFFF H'0300 0000		
					H'037F FFFF H'0380 0000	CS3領域 (8Mバイト)	CS3領域 (8Mバイト)
				H'03FF FFFF			
H'E000 0000	NBD制御						
H'FFFF FFFF							

注. ・ CS0～CS3領域：最大32Mバイトの外部拡張領域
 ・ ：ゴースト領域を示す。プログラミング時に故意にゴースト領域を使用しないでください。

図3.2.1 M32192F8のアドレス空間

論理 アドレス			シングルチップ モード	論理 アドレス	外部拡張 モード	プロセッサ モード		
H'0000 0000	2Gバイト ユーザ 空間	(64Mバイト)	内蔵ROM領域 (512Kバイト)	H'0000 0000 H'0007 FFFF H'0008 0000 H'000F FFFF H'0010 0000	内蔵ROM領域 (512Kバイト)	CS0領域 (8Mバイト)		
		(64Mバイト)			予約領域 (512Kバイト)			
		・			CS0領域 (7Mバイト)			
		・		SFR領域 (16Kバイト)	H'007F FFFF H'0080 0000 H'0080 3FFF H'0080 4000		SFR領域 (16Kバイト)	SFR領域 (16Kバイト)
		・	64Mバイト 単位の ゴースト 領域	内蔵RAM領域 (32Kバイト)	H'0080 BFFF H'0080 C000		内蔵RAM領域 (32Kバイト)	内蔵RAM領域 (32Kバイト)
		・						
		・						
		・						
		・					CS1領域 (8Mバイト)	CS1領域 (8Mバイト)
		(64Mバイト)			H'00FF FFFF H'0100 0000 H'017F FFFF H'0180 0000			
H'7FFF FFFF	2Gバイト システム 空間							
H'8000 0000								
						CS2領域 (8Mバイト)	CS2領域 (8Mバイト)	
						CS3領域 (8Mバイト)	CS3領域 (8Mバイト)	
H'E000 0000	NBD制御			H'02FF FFFF H'0300 0000 H'037F FFFF H'0380 0000				
H'FFFF FFFF								
				H'03FF FFFF				


注. ・ CS0～CS3領域：最大32Mバイトの外部拡張領域
 ・  : ゴースト領域を示す。プログラミング時に故意にゴースト領域を使用しないでください。

図3.2.2 M32195F4のアドレス空間

論理 アドレス			シングルチップ モード	論理 アドレス	外部拡張 モード	プロセッサ モード	
H'0000 0000	2Gバイト ユーザ 空間	(64Mバイト)	内蔵ROM領域 (1Mバイト)	H'0000 0000	内蔵ROM領域 (1Mバイト)	CS0領域 (8Mバイト)	
		(64Mバイト)	X	H'000F FFFF H'0010 0000	CS0領域 (7Mバイト)		
		⋮	SFR領域 (16Kバイト)	H'007F FFFF H'0080 0000 H'0080 3FFF	SFR領域 (16Kバイト)	SFR領域 (16Kバイト)	
		64Mバイト 単位の ゴースト 領域	内蔵RAM領域 (64Kバイト)	H'0080 4000	内蔵RAM領域 (64Kバイト)	内蔵RAM領域 (64Kバイト)	
		⋮	X	H'0081 3FFF H'0081 4000	X	X	
		⋮	X	H'00FF FFFF H'0100 0000	X	X	
		⋮	X	H'017F FFFF H'0180 0000	CS1領域 (8Mバイト)	CS1領域 (8Mバイト)	
H'7FFF FFFF			(64Mバイト)	X	X	X	
H'8000 0000		2Gバイト システム 空間		X	H'01FF FFFF H'0200 0000	CS2領域 (8Mバイト)	CS2領域 (8Mバイト)
				X	H'027F FFFF H'0280 0000	X	X
			X	H'02FF FFFF H'0300 0000	CS3領域 (8Mバイト)	CS3領域 (8Mバイト)	
			X	H'037F FFFF H'0380 0000	X	X	
H'E000 0000	NBD制御			X	H'03FF FFFF	X	X
H'FFFF FFFF							


注. ・ CS0～CS3領域：最大32Mバイトの外部拡張領域
 ・  : ゴースト領域を示す。プログラミング時に故意にゴースト領域を使用しないでください。

図3.2.3 M32196F8のアドレス空間

3.3 内蔵ROM領域/外部拡張領域

ユーザ空間内のH'0000 0000 ~ H'03FF FFFF番地の64Mバイト領域は、内蔵ROM領域/外部拡張領域です。動作モード設定による内蔵ROM領域/外部拡張領域の配置の変化については、「3.2 動作モード」を参照してください。

3.3.1 内蔵ROM領域

以下の領域に、内蔵ROMが配置されます。また、この領域の先頭にはEITベクタエントリ(およびICUベクタテーブル)が配置されます。

表3.3.1 内蔵ROM配置アドレス

型名	容量	配置アドレス
M32192F8, M32196F8	1Mバイト	H'0000 0000 ~ H'000F FFFF
M32195F4	512Kバイト	H'0000 0000 ~ H'0007 FFFF

3.3.2 外部拡張領域

動作モード設定で、外部拡張モードおよびプロセッサモード選択時のみ、外部拡張領域になります。外部拡張領域へのアクセスに対して、外部デバイスのアクセスに必要な制御信号が出力されます。

CS0#、CS1#、CS2#、CS3#信号は、外部拡張領域のアドレスマッピングに対応して出力します。CS0#信号がCS0領域に、CS1#信号がCS1領域に、CS2#信号がCS2領域に、CS3#信号がCS3領域にそれぞれ出力します。

表3.3.2 各動作モードにおける外部拡張領域のマッピング

動作モード	外部拡張領域のアドレスマッピング
シングルチップモード	なし
外部拡張モード	H'0010 0000 ~ H'007F FFFF番地 (CS0領域: 7Mバイト) H'0100 0000 ~ H'017F FFFF番地 (CS1領域: 8Mバイト) H'0200 0000 ~ H'027F FFFF番地 (CS2領域: 8Mバイト) H'0300 0000 ~ H'037F FFFF番地 (CS3領域: 8Mバイト)
プロセッサモード	H'0000 0000 ~ H'007F FFFF番地 (CS0領域: 8Mバイト) H'0100 0000 ~ H'017F FFFF番地 (CS1領域: 8Mバイト) H'0200 0000 ~ H'027F FFFF番地 (CS2領域: 8Mバイト) H'0300 0000 ~ H'037F FFFF番地 (CS3領域: 8Mバイト)

3.4 内蔵RAM領域/SFR領域

H'0080 0000 ~ H'00FF FFFF番地の8Mバイトの領域は、内蔵RAM領域/SFR(Special Function Register)領域です。このうち、ユーザが実際に利用可能な空間は、H'0080 0000 ~ H'0083 FFFF番地の256Kバイトの領域で、それ以外の領域には256Kバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

3.4.1 内蔵RAM領域

以下の領域に内蔵RAMが配置されます。

表3.4.1 内蔵RAM配置アドレス

型名	容量	配置アドレス
M32192F8	176Kバイト	H'0080 4000 ~ H'0082 FFFF
M32195F4	32Kバイト	H'0080 4000 ~ H'0080 BFFF
M32196F8	64Kバイト	H'0080 4000 ~ H'0081 3FFF

3.4.2 SFR(Special Function Register)領域

H'0080 0000 ~ H'0080 3FFF番地はSFR(Special Function Register)領域です。SFR領域には、内蔵周辺I/Oのレジスタが配置されます。

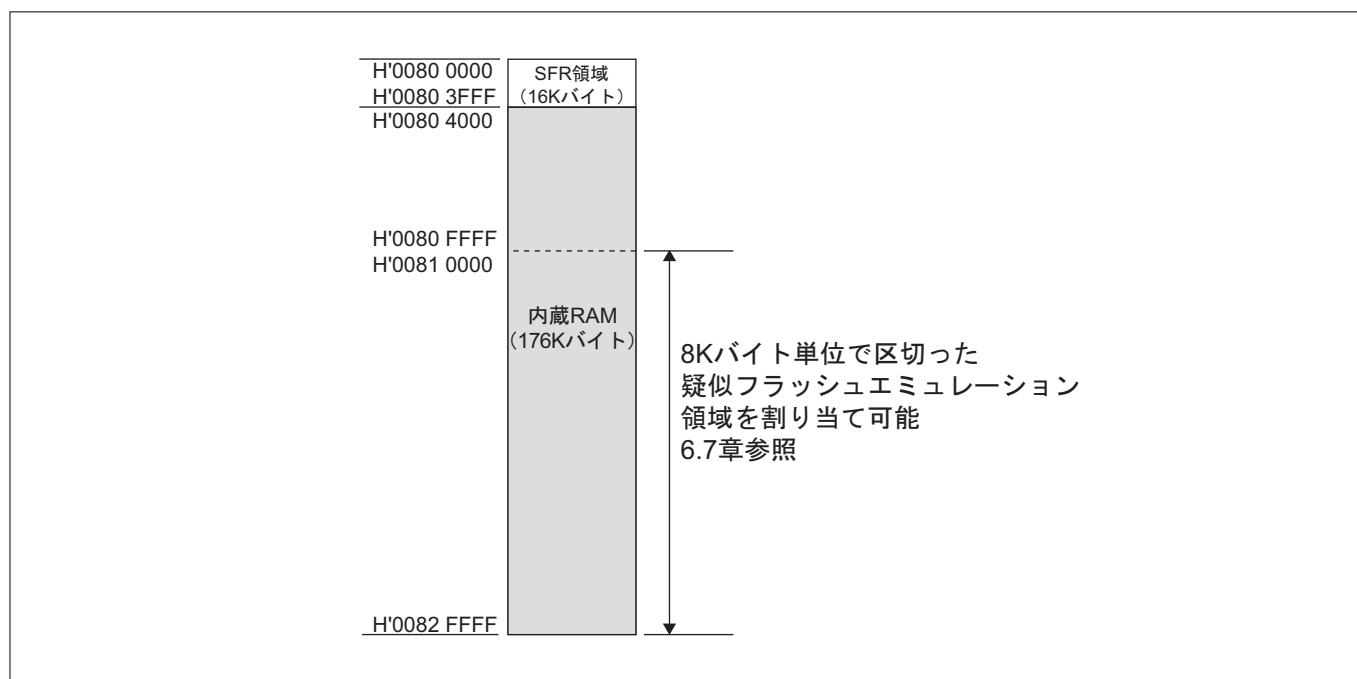


図3.4.1 M32192F8内蔵RAM領域/SFR(Special Function Register)領域

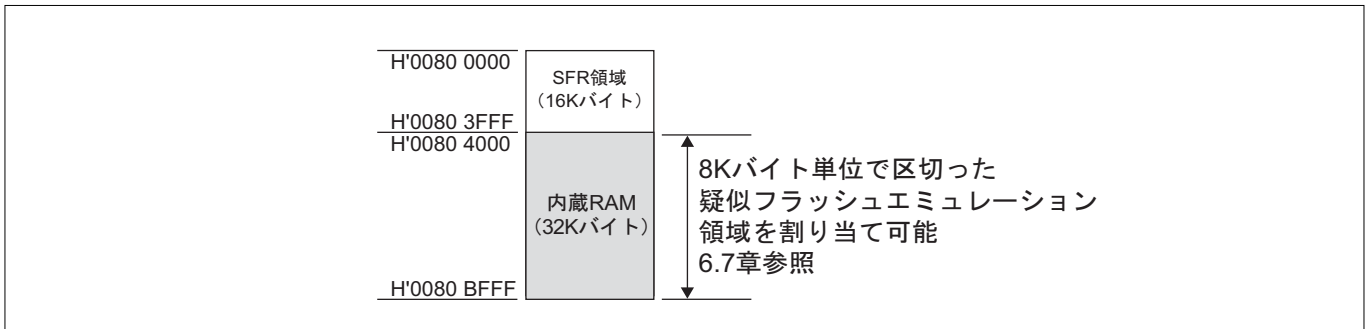


図3.4.2 M32195F4内蔵RAM領域/SFR(Special Function Register)領域

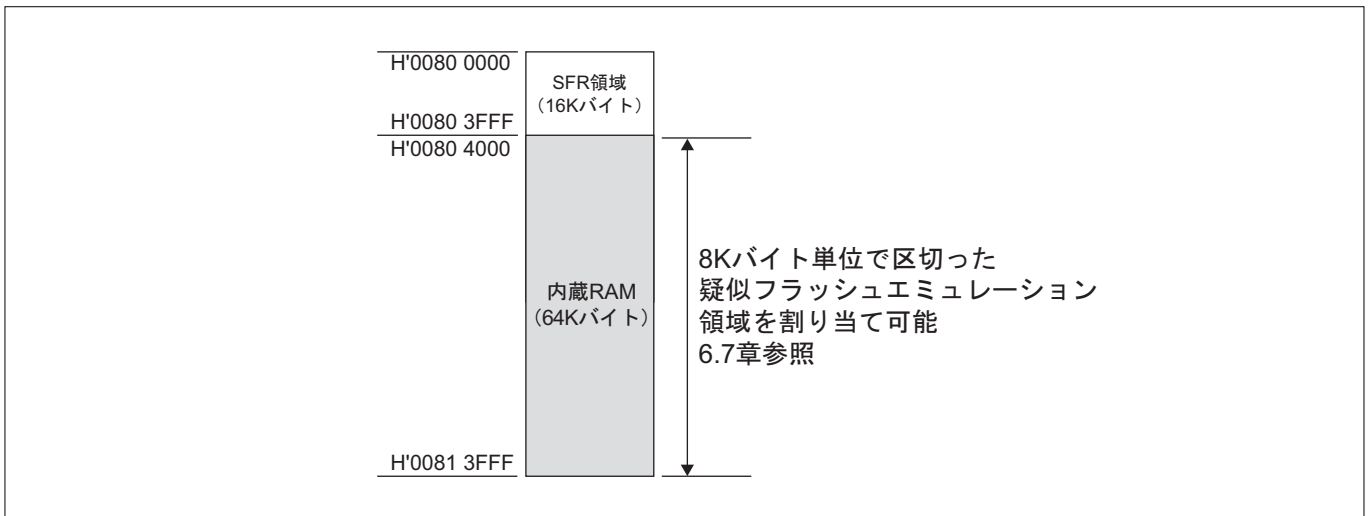


図3.4.3 M32196F8内蔵RAM領域/SFR(Special Function Register)領域

SFR領域のレジスタマップ(1/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0000	割り込みベクタレジスタ (IVECT)		5-5
H'0080 0002	(使用禁止領域)		
H'0080 0004	割り込み要求マスクレジスタ (IMASK)	(使用禁止領域)	5-6
H'0080 0006	SBI制御レジスタ (SBICR)	(使用禁止領域)	5-7
	(使用禁止領域)		
H'0080 0056	RAM書き込み監視割り込み制御レジスタ (IRAMWRCR)	CAN1エラー割り込み制御レジスタ (ICAN1ERCR)	5-8
H'0080 0058	CAN1シングルショット割り込み制御レジスタ (ICAN1SSCR)	CAN1送受信割り込み制御レジスタ (ICAN1TRCR)	5-8
H'0080 005A	CAN0エラー割り込み制御レジスタ (ICAN0ERCR)	CAN0シングルショット割り込み制御レジスタ (ICAN0SSCR)	5-8
H'0080 005C	CAN0送受信割り込み制御レジスタ (ICAN0TRCR)	DRIイベント検出割り込み制御レジスタ (DRIEVCR)	5-8
H'0080 005E	DRIカウンタ割り込み制御レジスタ (IDRICNTR)	DRI転送割り込み制御レジスタ (IDRITR)	5-8
H'0080 0060	CAN0送受信&エラー割り込み制御レジスタ (ICAN0CR)	TML1入力割り込み制御レジスタ (ITML1CR)	5-8
H'0080 0062	(使用禁止領域)		
H'0080 0064	SIO4,5送受信割り込み制御レジスタ (ISIO45CR)	TOU1出力割り込み制御レジスタ (ITOU1CR)	5-8
H'0080 0066	TID1出力割り込み制御レジスタ (ITID1CR)	RTD割り込み制御レジスタ (IRTD)	5-8
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)	DMA5-9割り込み制御レジスタ (IDMA59CR)	5-8
H'0080 006A	TOU0出力割り込み制御レジスタ (ITOU0CR)	TID0出力割り込み制御レジスタ (ITID0CR)	5-8
H'0080 006C	A/D0変換割り込み制御レジスタ (IAD0CCR)	SIO0送信割り込み制御レジスタ (ISIO0TXCR)	5-8
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)	SIO1送信割り込み制御レジスタ (ISIO1TXCR)	5-8
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)	DMA0-4割り込み制御レジスタ (IDMA04CR)	5-8
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)	MJT出力割り込み制御レジスタ1 (IMJTOCR1)	5-8
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)	MJT出力割り込み制御レジスタ3 (IMJTOCR3)	5-8
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)	MJT出力割り込み制御レジスタ5 (IMJTOCR5)	5-8
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)	MJT出力割り込み制御レジスタ7 (IMJTOCR7)	5-8
H'0080 007A	MJT入力割り込み制御レジスタ0 (IMJTICR0)	MJT入力割り込み制御レジスタ1 (IMJTICR1)	5-8
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)	MJT入力割り込み制御レジスタ3 (IMJTICR3)	5-8
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)	CAN1送受信&エラー割り込み制御レジスタ (ICAN1CR)	5-8
H'0080 0080	A/D0単一モードレジスタ0 (AD0SIM0)	A/D0単一モードレジスタ1 (AD0SIM1)	11-17 11-19
H'0080 0082	(使用禁止領域)	A/D0単一モードレジスタ2 (AD0SIM2)	11-21
H'0080 0084	A/D0スキャンモードレジスタ0 (AD0SCM0)	A/D0スキャンモードレジスタ1 (AD0SCM1)	11-22 11-24
H'0080 0086	A/D0断線検出アシスト機能制御レジスタ (AD0DDACR)	A/D0変換速度制御レジスタ (AD0CVSCR)	11-27 11-26
H'0080 0088	A/D0逐次近似レジスタ (AD0SAR)		11-31
H'0080 008A	A/D0断線検出アシスト方式選択レジスタ (AD0DDASEL)		11-28
H'0080 008C	A/D0コンパレートデータレジスタ (AD0CMP)		11-32
H'0080 008E	(使用禁止領域)		

SFR領域のレジスタマップ(2/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0090	10ビットA/D0データレジスタ0 (AD0DT0)		11-33
H'0080 0092	10ビットA/D0データレジスタ1 (AD0DT1)		11-33
H'0080 0094	10ビットA/D0データレジスタ2 (AD0DT2)		11-33
H'0080 0096	10ビットA/D0データレジスタ3 (AD0DT3)		11-33
H'0080 0098	10ビットA/D0データレジスタ4 (AD0DT4)		11-33
H'0080 009A	10ビットA/D0データレジスタ5 (AD0DT5)		11-33
H'0080 009C	10ビットA/D0データレジスタ6 (AD0DT6)		11-33
H'0080 009E	10ビットA/D0データレジスタ7 (AD0DT7)		11-33
H'0080 00A0	10ビットA/D0データレジスタ8 (AD0DT8)		11-33
H'0080 00A2	10ビットA/D0データレジスタ9 (AD0DT9)		11-33
H'0080 00A4	10ビットA/D0データレジスタ10 (AD0DT10)		11-33
H'0080 00A6	10ビットA/D0データレジスタ11 (AD0DT11)		11-33
H'0080 00A8	10ビットA/D0データレジスタ12 (AD0DT12)		11-33
H'0080 00AA	10ビットA/D0データレジスタ13 (AD0DT13)		11-33
H'0080 00AC	10ビットA/D0データレジスタ14 (AD0DT14)		11-33
H'0080 00AE	10ビットA/D0データレジスタ15 (AD0DT15)		11-33
}	(使用禁止領域)		
H'0080 00D0	(使用禁止領域)	8ビットA/D0データレジスタ0 (AD08DT0)	11-34
H'0080 00D2	(使用禁止領域)	8ビットA/D0データレジスタ1 (AD08DT1)	11-34
H'0080 00D4	(使用禁止領域)	8ビットA/D0データレジスタ2 (AD08DT2)	11-34
H'0080 00D6	(使用禁止領域)	8ビットA/D0データレジスタ3 (AD08DT3)	11-34
H'0080 00D8	(使用禁止領域)	8ビットA/D0データレジスタ4 (AD08DT4)	11-34
H'0080 00DA	(使用禁止領域)	8ビットA/D0データレジスタ5 (AD08DT5)	11-34
H'0080 00DC	(使用禁止領域)	8ビットA/D0データレジスタ6 (AD08DT6)	11-34
H'0080 00DE	(使用禁止領域)	8ビットA/D0データレジスタ7 (AD08DT7)	11-34
H'0080 00E0	(使用禁止領域)	8ビットA/D0データレジスタ8 (AD08DT8)	11-34
H'0080 00E2	(使用禁止領域)	8ビットA/D0データレジスタ9 (AD08DT9)	11-34
H'0080 00E4	(使用禁止領域)	8ビットA/D0データレジスタ10 (AD08DT10)	11-34
H'0080 00E6	(使用禁止領域)	8ビットA/D0データレジスタ11 (AD08DT11)	11-34
H'0080 00E8	(使用禁止領域)	8ビットA/D0データレジスタ12 (AD08DT12)	11-34
H'0080 00EA	(使用禁止領域)	8ビットA/D0データレジスタ13 (AD08DT13)	11-34
H'0080 00EC	(使用禁止領域)	8ビットA/D0データレジスタ14 (AD08DT14)	11-34
H'0080 00EE	(使用禁止領域)	8ビットAD-0データレジスタ15 (AD08DT15)	11-34
}	(使用禁止領域)		

SFR領域のレジスタマップ(3/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0100	SIO23割り込み要求ステータスレジスタ (S123STAT)	SIO03割り込み要求マスクレジスタ (S103MASK)	12-9 12-10
H'0080 0102	SIO03割り込み要求要因選択レジスタ (S103SEL)	(使用禁止領域)	12-11
	(使用禁止領域)		
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)	SIO0送受信モードレジスタ (S0MOD)	12-14 12-15
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)		12-19
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)		12-20
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)	SIO0ポーレートレジスタ (S0BAUR)	12-21 12-24
H'0080 0118	SIO0特殊モードレジスタ (S0SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)	SIO1送受信モードレジスタ (S1MOD)	12-14 12-15
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)		12-19
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)		12-20
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)	SIO1ポーレートレジスタ (S1BAUR)	12-21 12-24
H'0080 0128	SIO1特殊モードレジスタ (S1SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)	SIO2送受信モードレジスタ (S2MOD)	12-14 12-15
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)		12-19
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)		12-20
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)	SIO2ポーレートレジスタ (S2BAUR)	12-21 12-24
H'0080 0138	SIO2特殊モードレジスタ (S2SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)	SIO3送受信モードレジスタ (S3MOD)	12-14 12-15
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)		12-19
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)		12-20
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)	SIO3ポーレートレジスタ (S3BAUR)	12-21 12-24
H'0080 0148	SIO3特殊モードレジスタ (S3SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0180	CS0領域ウェイト制御レジスタ (CS0WTCR)	CS1領域ウェイト制御レジスタ (CS1WTCR)	18-4
H'0080 0182	CS2領域ウェイト制御レジスタ (CS2WTCR)	CS3領域ウェイト制御レジスタ (CS3WTCR)	18-4
	(使用禁止領域)		
H'0080 01A0	CLKOUT選択レジスタ (CLKOUTSEL)	(使用禁止領域)	17-16 20-8
H'0080 01A2	フラッシュE/Wウェイト選択レジスタ (FWAIT)	(使用禁止領域)	18-6
	(使用禁止領域)		
H'0080 01E0	フラッシュモードレジスタ (FMODE)	フラッシュステータスレジスタ (FSTAT)	6-15 6-16

SFR領域のレジスタマップ(4/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 01E2	フラッシュ制御レジスタ1 (FCNT1)	フラッシュ制御レジスタ2 (FCNT2)	6-17 6-18
H'0080 01E4	フラッシュ制御レジスタ3 (FCNT3)	フラッシュ制御レジスタ4 (FCNT4)	6-19 6-22
	(使用禁止領域)		
H'0080 0200	共通カウンタクロック選択レジスタ (CNTCKSEL)	クロックバス&入カイベントバス制御レジスタ (CKIEBCR)	10-12 10-17
H'0080 0202	プリスケアラレジスタ0 (PRS0)	プリスケアラレジスタ1 (PRS1)	10-13
H'0080 0204	プリスケアラレジスタ2 (PRS2)	出カイベントバス制御レジスタ (OEBCR)	10-13 10-18
	(使用禁止領域)		
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)		10-21
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)		10-22
H'0080 0214	TIN入力処理制御レジスタ1 (TINCR1)		10-23
H'0080 0216	TIN入力処理制御レジスタ2 (TINCR2)		10-24
H'0080 0218	TIN入力処理制御レジスタ3 (TINCR3)		10-25
H'0080 021A	TIN入力処理制御レジスタ4 (TINCR4)		10-25
	(使用禁止領域)		
H'0080 0220	F/Fソース選択レジスタ0 (FFS0)		10-28
H'0080 0222	(使用禁止領域)	F/Fソース選択レジスタ1 (FFS1)	10-29
H'0080 0224	F/Fプロテクトレジスタ0 (FFP0)		10-30
H'0080 0226	F/Fデータレジスタ0 (FFD0)		10-32
H'0080 0228	(使用禁止領域)	F/Fプロテクトレジスタ1 (FFP1)	10-30
H'0080 022A	(使用禁止領域)	F/Fデータレジスタ1 (FFD1)	10-32
	(使用禁止領域)		
H'0080 0230	TOP割り込み制御レジスタ0 (TOPIR0)	TOP割り込み制御レジスタ1 (TOPIR1)	10-38
H'0080 0232	TOP割り込み制御レジスタ2 (TOPIR2)	TOP割り込み制御レジスタ3 (TOPIR3)	10-40 10-41
H'0080 0234	TIO割り込み制御レジスタ0 (TIOIR0)	TIO割り込み制御レジスタ1 (TIOIR1)	10-42 10-43
H'0080 0236	TIO割り込み制御レジスタ2 (TIOIR2)	TMS割り込み制御レジスタ (TMSIR)	10-44 10-45
H'0080 0238	TIN割り込み制御レジスタ0 (TINIR0)	TIN割り込み制御レジスタ1 (TINIR1)	10-46 10-47
H'0080 023A	TIN割り込み制御レジスタ2 (TINIR2)	TIN割り込み制御レジスタ3 (TINIR3)	10-48
H'0080 023C	TIN割り込み制御レジスタ4 (TINIR4)	TIN割り込み制御レジスタ5 (TINIR5)	10-50
H'0080 023E	TIN割り込み制御レジスタ6 (TINIR6)	TIN割り込み制御レジスタ7 (TINIR7)	10-52 10-55
H'0080 0240	TOP0カウンタ (TOP0CT)		10-71
H'0080 0242	TOP0リロードレジスタ (TOP0RL)		10-72
H'0080 0244	(使用禁止領域)		
H'0080 0246	TOP0補正レジスタ (TOP0CC)		10-73
	(使用禁止領域)		

SFR領域のレジスタマップ(5/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0250		TOP1カウンタ (TOP1CT)	10-71
H'0080 0252		TOP1リロードレジスタ (TOP1RL)	10-72
H'0080 0254		(使用禁止領域)	
H'0080 0256		TOP1補正レジスタ (TOP1CC)	10-73
}		(使用禁止領域)	
H'0080 0260		TOP2カウンタ (TOP2CT)	10-71
H'0080 0262		TOP2リロードレジスタ (TOP2RL)	10-72
H'0080 0264		(使用禁止領域)	
H'0080 0266		TOP2補正レジスタ (TOP2CC)	10-73
}		(使用禁止領域)	
H'0080 0270		TOP3カウンタ (TOP3CT)	10-71
H'0080 0272		TOP3リロードレジスタ (TOP3RL)	10-72
H'0080 0274		(使用禁止領域)	
H'0080 0276		TOP3補正レジスタ (TOP3CC)	10-73
}		(使用禁止領域)	
H'0080 0280		TOP4カウンタ (TOP4CT)	10-71
H'0080 0282		TOP4リロードレジスタ (TOP4RL)	10-72
H'0080 0284		(使用禁止領域)	
H'0080 0286		TOP4補正レジスタ (TOP4CC)	10-73
}		(使用禁止領域)	
H'0080 0290		TOP5カウンタ (TOP5CT)	10-71
H'0080 0292		TOP5リロードレジスタ (TOP5RL)	10-72
H'0080 0294		(使用禁止領域)	
H'0080 0296		TOP5補正レジスタ (TOP5CC)	10-73
H'0080 0298		(使用禁止領域)	
H'0080 029A		TOP0-5制御レジスタ0 (TOP05CR0)	10-67
H'0080 029C	(使用禁止領域)	TOP0-5制御レジスタ1 (TOP05CR1)	10-67
}		(使用禁止領域)	
H'0080 02A0		TOP6カウンタ (TOP6CT)	10-71
H'0080 02A2		TOP6リロードレジスタ (TOP6RL)	10-72
H'0080 02A4		(使用禁止領域)	
H'0080 02A6		TOP6補正レジスタ (TOP6CC)	10-73
H'0080 02A8		(使用禁止領域)	
H'0080 02AA		TOP6,7制御レジスタ (TOP67CR)	10-69

SFR領域のレジスタマップ(6/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
}		(使用禁止領域)	
H'0080 02B0		TOP7カウンタ (TOP7CT)	10-71
H'0080 02B2		TOP7リロードレジスタ (TOP7RL)	10-72
H'0080 02B4		(使用禁止領域)	
H'0080 02B6		TOP7補正レジスタ (TOP7CC)	10-73
}		(使用禁止領域)	
H'0080 02C0		TOP8カウンタ (TOP8CT)	10-71
H'0080 02C2		TOP8リロードレジスタ (TOP8RL)	10-72
H'0080 02C4		(使用禁止領域)	
H'0080 02C6		TOP8補正レジスタ (TOP8CC)	10-73
}		(使用禁止領域)	
H'0080 02D0		TOP9カウンタ (TOP9CT)	10-71
H'0080 02D2		TOP9リロードレジスタ (TOP9RL)	10-72
H'0080 02D4		(使用禁止領域)	
H'0080 02D6		TOP9補正レジスタ (TOP9CC)	10-73
}		(使用禁止領域)	
H'0080 02E0		TOP10カウンタ (TOP10CT)	10-71
H'0080 02E2		TOP10リロードレジスタ (TOP10RL)	10-72
H'0080 02E4		(使用禁止領域)	
H'0080 02E6		TOP10補正レジスタ (TOP10CC)	10-73
H'0080 02E8		(使用禁止領域)	
H'0080 02EA		TOP8-10制御レジスタ (TOP810CR)	10-70
}		(使用禁止領域)	
H'0080 02FA		TOP0-10外部イネーブル許可レジスタ (TOPEEN)	10-74
H'0080 02FC		TOP0-10イネーブルプロテクトレジスタ (TOPPRO)	10-74
H'0080 02FE		TOP0-10カウントイネーブルレジスタ (TOPCEN)	10-75
H'0080 0300		TIO0カウンタ (TIO0CT)	10-105
H'0080 0302		(使用禁止領域)	
H'0080 0304		TIO0リロード1レジスタ (TIO0RL1)	10-107
H'0080 0306		TIO0リロード0/計測レジスタ (TIO0RL0)	10-106
}		(使用禁止領域)	
H'0080 0310		TIO1カウンタ (TIO1CT)	10-105
H'0080 0312		(使用禁止領域)	
H'0080 0314		TIO1リロード1レジスタ (TIO1RL1)	10-107

SFR領域のレジスタマップ(7/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0316	TIO1リロード0/計測レジスタ (TIO1RL0)		10-106
H'0080 0318	(使用禁止領域)		
H'0080 031A	TIO0-3制御レジスタ0 (TIO03CR0)		10-98
H'0080 031C	(使用禁止領域)	TIO0-3制御レジスタ1 (TIO03CR1)	10-99
}	(使用禁止領域)		
H'0080 0320	TIO2カウンタ (TIO2CT)		10-105
H'0080 0322	(使用禁止領域)		
H'0080 0324	TIO2リロード1レジスタ (TIO2RL1)		10-107
H'0080 0326	TIO2リロード0/計測レジスタ (TIO2RL0)		10-106
}	(使用禁止領域)		
H'0080 0330	TIO3カウンタ (TIO3CT)		10-105
H'0080 0332	(使用禁止領域)		
H'0080 0334	TIO3リロード1レジスタ (TIO3RL1)		10-107
H'0080 0336	TIO3リロード0/計測レジスタ (TIO3RL0)		10-106
}	(使用禁止領域)		
H'0080 0340	TIO4カウンタ (TIO4CT)		10-105
H'0080 0342	(使用禁止領域)		
H'0080 0344	TIO4リロード1レジスタ (TIO4RL1)		10-107
H'0080 0346	TIO4リロード0/計測レジスタ (TIO4RL0)		10-106
H'0080 0348	(使用禁止領域)		
H'0080 034A	TIO4制御レジスタ (TIO4CR)	TIO5制御レジスタ (TIO5CR)	10-100 10-102
}	(使用禁止領域)		
H'0080 0350	TIO5カウンタ (TIO5CT)		10-105
H'0080 0352	(使用禁止領域)		
H'0080 0354	TIO5リロード1レジスタ (TIO5RL1)		10-107
H'0080 0356	TIO5リロード0/計測レジスタ (TIO5RL0)		10-106
}	(使用禁止領域)		
H'0080 0360	TIO6カウンタ (TIO6CT)		10-105
H'0080 0362	(使用禁止領域)		
H'0080 0364	TIO6リロード1レジスタ (TIO6RL1)		10-107
H'0080 0366	TIO6リロード0/計測レジスタ (TIO6RL0)		10-106
H'0080 0368	(使用禁止領域)		
H'0080 036A	TIO6制御レジスタ (TIO6CR)	TIO7制御レジスタ (TIO7CR)	10-103 10-104
}	(使用禁止領域)		

SFR領域のレジスタマップ(8/37)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
H'0080 0370			TIO7カウンタ (TIO7CT)				10-105
H'0080 0372			(使用禁止領域)				
H'0080 0374			TIO7リロード1レジスタ (TIO7RL1)				10-107
H'0080 0376			TIO7リロード0/計測レジスタ (TIO7RL0)				10-106
}			(使用禁止領域)				
H'0080 0380			TIO8カウンタ (TIO8CT)				10-105
H'0080 0382			(使用禁止領域)				
H'0080 0384			TIO8リロード1レジスタ (TIO8RL1)				10-107
H'0080 0386			TIO8リロード0/計測レジスタ (TIO8RL0)				10-106
H'0080 0388			(使用禁止領域)				
H'0080 038A		TIO8制御レジスタ (TIO8CR)			TIO9制御レジスタ (TIO9CR)		10-104 10-105
}			(使用禁止領域)				
H'0080 0390			TIO9カウンタ (TIO9CT)				10-105
H'0080 0392			(使用禁止領域)				
H'0080 0394			TIO9リロード1レジスタ (TIO9RL1)				10-107
H'0080 0396			TIO9リロード0/計測レジスタ (TIO9RL0)				10-106
}			(使用禁止領域)				
H'0080 03BC			TIO0-9イネーブルプロテクトレジスタ (TIOPRO)				10-108
H'0080 03BE			TIO0-9カウントイネーブルレジスタ (TIOCEN)				10-109
H'0080 03C0			TMS0カウンタ (TMSOCT)				10-127
H'0080 03C2			TMS0計測3レジスタ (TMS0MR3)				10-127
H'0080 03C4			TMS0計測2レジスタ (TMS0MR2)				10-127
H'0080 03C6			TMS0計測1レジスタ (TMS0MR1)				10-127
H'0080 03C8			TMS0計測0レジスタ (TMS0MR0)				10-127
H'0080 03CA		TMS0制御レジスタ (TMS0CR)			TMS1制御レジスタ (TMS1CR)		10-126
}			(使用禁止領域)				
H'0080 03D0			TMS1カウンタ (TMS1CT)				10-127
H'0080 03D2			TMS1計測3レジスタ (TMS1MR3)				10-127
H'0080 03D4			TMS1計測2レジスタ (TMS1MR2)				10-127
H'0080 03D6			TMS1計測1レジスタ (TMS1MR1)				10-127
H'0080 03D8			TMS1計測0レジスタ (TMS1MR0)				10-127
}			(使用禁止領域)				
H'0080 03E0			TML0カウンタ (TML0CT)		(上位) (TML0CTH)		10-132
H'0080 03E2			-----		(下位) (TML0CTL)		

SFR領域のレジスタマップ(9/37)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
	(使用禁止領域)						
H'0080 03EA	(使用禁止領域)			TML0制御レジスタ (TML0CR)			10-131
	(使用禁止領域)						
H'0080 03F0	TML0計測3レジスタ (TML0MR3)			(上位) (TML0MR3H)			10-132
H'0080 03F2	-----			(下位) (TML0MR3L)			
H'0080 03F4	TML0計測2レジスタ (TML0MR2)			(上位) (TML0MR2H)			10-132
H'0080 03F6	-----			(下位) (TML0MR2L)			
H'0080 03F8	TML0計測1レジスタ (TML0MR1)			(上位) (TML0MR1H)			10-132
H'0080 03FA	-----			(下位) (TML0MR1L)			
H'0080 03FC	TML0計測0レジスタ (TML0MR0)			(上位) (TML0MR0H)			10-132
H'0080 03FE	-----			(下位) (TML0MR0L)			
H'0080 0400	DMA0-4割り込み要求ステータスレジスタ (DM04ITST)			DMA0-4割り込み要求マスクレジスタ (DM04ITMK)			9-35 9-36
	(使用禁止領域)						
H'0080 0408	DMA5-9割り込み要求ステータスレジスタ (DM59ITST)			DMA5-9割り込み要求マスクレジスタ (DM59ITMK)			9-35 9-36
	(使用禁止領域)						
H'0080 0410	DMA0チャンネル制御レジスタ0 (DM0CNT0)			DMA0チャンネル制御レジスタ1 (DM0CNT1)			9-6 9-7
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)						9-30
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)						9-31
H'0080 0416	DMA0転送カウントレジスタ (DM0TCT)						9-32
H'0080 0418	DMA5チャンネル制御レジスタ0 (DM5CNT0)			DMA5チャンネル制御レジスタ1 (DM5CNT1)			9-16 9-17
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)						9-30
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)						9-31
H'0080 041E	DMA5転送カウントレジスタ (DM5TCT)						9-32
H'0080 0420	DMA1チャンネル制御レジスタ0 (DM1CNT0)			DMA1チャンネル制御レジスタ1 (DM1CNT1)			9-8 9-9
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)						9-30
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)						9-31
H'0080 0426	DMA1転送カウントレジスタ (DM1TCT)						9-32
H'0080 0428	DMA6チャンネル制御レジスタ0 (DM6CNT0)			DMA6チャンネル制御レジスタ1 (DM6CNT1)			9-18 9-19
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)						9-30
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)						9-31
H'0080 042E	DMA6転送カウントレジスタ (DM6TCT)						9-32
H'0080 0430	DMA2チャンネル制御レジスタ0 (DM2CNT0)			DMA2チャンネル制御レジスタ1 (DM2CNT1)			9-10 9-11
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)						9-30
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)						9-31

SFR領域のレジスタマップ(10/37)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
H'0080 0436	DMA2転送カウントレジスタ (DM2TCT)						9-32
H'0080 0438	DMA7チャンネル制御レジスタ0 (DM7CNT0)			DMA7チャンネル制御レジスタ1 (DM7CNT1)			9-20 9-21
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)						9-30
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)						9-31
H'0080 043E	DMA7転送カウントレジスタ (DM7TCT)						9-32
H'0080 0440	DMA3チャンネル制御レジスタ0 (DM3CNT0)			DMA3チャンネル制御レジスタ1 (DM3CNT1)			9-12 9-13
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)						9-30
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)						9-31
H'0080 0446	DMA3転送カウントレジスタ (DM3TCT)						9-32
H'0080 0448	DMA8チャンネル制御レジスタ0 (DM8CNT0)			DMA8チャンネル制御レジスタ1 (DM8CNT1)			9-22 9-23
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)						9-30
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)						9-31
H'0080 044E	DMA8転送カウントレジスタ (DM8TCT)						9-32
H'0080 0450	DMA4チャンネル制御レジスタ0 (DM4CNT0)			DMA4チャンネル制御レジスタ1 (DM4CNT1)			9-14 9-15
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)						9-30
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)						9-31
H'0080 0456	DMA4転送カウントレジスタ (DM4TCT)						9-32
H'0080 0458	DMA9チャンネル制御レジスタ0 (DM9CNT0)			DMA9チャンネル制御レジスタ1 (DM9CNT1)			9-24 9-25
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)						9-30
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)						9-31
H'0080 045E	DMA9転送カウントレジスタ (DM9TCT)						9-32
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)						9-29
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)						9-29
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)						9-29
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)						9-29
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)						9-29
}	(使用禁止領域)						
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)						9-29
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)						9-29
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)						9-29
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)						9-29
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)						9-29
}	(使用禁止領域)						
H'0080 0480	(使用禁止領域)			DMA0チャンネル制御レジスタ2 (DM0CNT2)			9-26

SFR領域のレジスタマップ(11/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0482	(使用禁止領域)	DMA1チャンネル制御レジスタ2 (DM1CNT2)	9-26
H'0080 0484	(使用禁止領域)	DMA2チャンネル制御レジスタ2 (DM2CNT2)	9-26
H'0080 0486	(使用禁止領域)	DMA3チャンネル制御レジスタ2 (DM3CNT2)	9-26
H'0080 0488	(使用禁止領域)	DMA4チャンネル制御レジスタ2 (DM4CNT2)	9-26
}	(使用禁止領域)		
H'0080 0490	(使用禁止領域)	DMA5チャンネル制御レジスタ2 (DM5CNT2)	9-26
H'0080 0492	(使用禁止領域)	DMA6チャンネル制御レジスタ2 (DM6CNT2)	9-26
H'0080 0494	(使用禁止領域)	DMA7チャンネル制御レジスタ2 (DM7CNT2)	9-26
H'0080 0496	(使用禁止領域)	DMA8チャンネル制御レジスタ2 (DM8CNT2)	9-26
H'0080 0498	(使用禁止領域)	DMA9チャンネル制御レジスタ2 (DM9CNT2)	9-26
}	(使用禁止領域)		
H'0080 0500	ポートグループ0,1入力レベル設定レジスタ (PG01LEV)	ポートグループ3入力レベル設定レジスタ (PG3LEV)	8-33
H'0080 0502	ポートグループ4,5入力レベル設定レジスタ (PG45LEV)	ポートグループ6,7入力レベル設定レジスタ (PG67LEV)	8-33
H'0080 0504	ポートグループ8入力レベル設定レジスタ (PG8LEV)	(使用禁止領域)	8-33
H'0080 0506	(使用禁止領域)		
H'0080 0508	ポートグループ0,1出力ドライブ能力設定レジスタ (PG01DRV)	ポートグループ3出力ドライブ能力設定レジスタ (PG3DRV)	8-35
H'0080 050A	ポートグループ4,5出力ドライブ能力設定レジスタ (PG45DRV)	ポートグループ6,7出力ドライブ能力設定レジスタ (PG67DRV)	8-35
H'0080 050C	ポートグループ8出力ドライブ能力設定レジスタ (PG8DRV)	P70出力ドライブ能力設定レジスタ (P70DRV)	8-35 8-36
H'0080 050E	(使用禁止領域)		
H'0080 0510	ノイズキャンセラ制御レジスタ (NZNCSLCR)		8-38
}	(使用禁止領域)		
H'0080 0520	PWM出力0禁止制御レジスタGA (PO0DISGACR)	PWM出力0禁止レベル制御レジスタGA (PO0LVGACR)	10-168 10-171
H'0080 0522	PWM出力1禁止制御レジスタGA (PO1DISGACR)	PWM出力1禁止レベル制御レジスタGA (PO1LVGACR)	10-168 10-171
H'0080 0524	(使用禁止領域)		
H'0080 0526	PWMOFF0機能許可レジスタ (PWMOFF0EN)	PWMOFF1機能許可レジスタ (PWMOFF1EN)	10-173
H'0080 0528	(使用禁止領域)		
H'0080 052A	CANバスモード制御レジスタ (CANBUSCR)	DD入力端子選択レジスタ (DDSEL)	13-23 14-6
}	(使用禁止領域)		
H'0080 0530	RAM書き込み監視割り込みステータスレジスタ (RAMWRIST)		6-4
H'0080 0532	(使用禁止領域)		
H'0080 0534	RAM書き込み要因ステータスレジスタ (RAMWRFST)		6-5
H'0080 0536	(使用禁止領域)		
H'0080 0538	RAM書き込み禁止制御レジスタ (RAMWRCNT)		6-6
H'0080 053A	(使用禁止領域)		

SFR領域のレジスタマップ(12/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 053C	(使用禁止領域)	RAM書き込み禁止プロテクトレジスタ (RAMWRPROT)	6-7
}	(使用禁止領域)		
H'0080 0600	ダミーアクセス領域(注1)	ダミーアクセス領域(注1)	3-46
H'0080 0602	ダミーアクセス領域(注1)	ダミーアクセス領域(注1)	3-46
}	(使用禁止領域)		
H'0080 0700	P0データレジスタ (P0DATA)	P1データレジスタ (P1DATA)	8-12
H'0080 0702	P2データレジスタ (P2DATA)	P3データレジスタ (P3DATA)	8-12
H'0080 0704	P4データレジスタ (P4DATA)	(使用禁止領域)	8-12
H'0080 0706	P6データレジスタ (P6DATA)	P7データレジスタ (P7DATA)	8-12
H'0080 0708	P8データレジスタ (P8DATA)	P9データレジスタ (P9DATA)	8-12
H'0080 070A	P10データレジスタ (P10DATA)	P11データレジスタ (P11DATA)	8-12
H'0080 070C	P12データレジスタ (P12DATA)	P13データレジスタ (P13DATA)	8-12
H'0080 070E	(使用禁止領域)	P15データレジスタ (P15DATA)	8-12
H'0080 0710	(使用禁止領域)	P17データレジスタ (P17DATA)	8-12
}	(使用禁止領域)		
H'0080 0716	P22データレジスタ (P22DATA)	(使用禁止領域)	8-12
}	(使用禁止領域)		
H'0080 0720	P0方向レジスタ (P0DIR)	P1方向レジスタ (P1DIR)	8-13
H'0080 0722	P2方向レジスタ (P2DIR)	P3方向レジスタ (P3DIR)	8-13
H'0080 0724	P4方向レジスタ (P4DIR)	(使用禁止領域)	8-13
H'0080 0726	P6方向レジスタ (P6DIR)	P7方向レジスタ (P7DIR)	8-13
H'0080 0728	P8方向レジスタ (P8DIR)	P9方向レジスタ (P9DIR)	8-13
H'0080 072A	P10方向レジスタ (P10DIR)	P11方向レジスタ (P11DIR)	8-13
H'0080 072C	P12方向レジスタ (P12DIR)	P13方向レジスタ (P13DIR)	8-13
H'0080 072E	(使用禁止領域)	P15方向レジスタ (P15DIR)	8-13
H'0080 0730	(使用禁止領域)	P17方向レジスタ (P17DIR)	8-13
}	(使用禁止領域)		
H'0080 0736	P22方向レジスタ (P22DIR)	(使用禁止領域)	8-13
}	(使用禁止領域)		
H'0080 0740	P0動作モードレジスタ (P0MOD)	P1動作モードレジスタ (P1MOD)	8-14, 17-5 8-15, 17-7
H'0080 0742	P2動作モードレジスタ (P2MOD)	P3動作モードレジスタ (P3MOD)	8-16, 17-8 8-17, 17-9
H'0080 0744	P4動作モードレジスタ (P4MOD)	ポート入力特別機能制御レジスタ (PICNT)	8-18, 17-10 8-29, 20-3
H'0080 0746	(使用禁止領域)	P7動作モードレジスタ (P7MOD)	8-19, 17-11 20-9
H'0080 0748	P8動作モードレジスタ (P8MOD)	P9動作モードレジスタ (P9MOD)	8-20 8-21
H'0080 074A	P10動作モードレジスタ (P10MOD)	P11動作モードレジスタ (P11MOD)	8-22 8-23

SFR領域のレジスタマップ(13/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 074C	P12動作モードレジスタ (P12MOD)	P13動作モードレジスタ (P13MOD)	8-24, 17-12 8-25
H'0080 074E	(使用禁止領域)	P15動作モードレジスタ (P15MOD)	8-26, 17-13 20-10
H'0080 0750	(使用禁止領域)	P17動作モードレジスタ (P17MOD)	8-27
}	(使用禁止領域)		
H'0080 0756	P22動作モードレジスタ (P22MOD)	(使用禁止領域)	8-28 17-14
}	(使用禁止領域)		
H'0080 0760	P0周辺機能選択レジスタ (P0SMOD)	P1周辺機能選択レジスタ (P1SMOD)	8-14, 17-6 8-15, 17-7
H'0080 0762	(使用禁止領域)	P3周辺機能選択レジスタ (P3SMOD)	8-17 17-9
H'0080 0764	P4周辺機能選択レジスタ (P4SMOD)	(使用禁止領域)	8-18 17-10
H'0080 0766	(使用禁止領域)	P7周辺機能選択レジスタ (P7SMOD)	8-19, 17-11 20-9
H'0080 0768	P8周辺機能選択レジスタ (P8SMOD)	P9周辺機能選択レジスタ (P9SMOD)	8-20 8-21
H'0080 076A	P10周辺機能選択レジスタ (P10SMOD)	P11周辺機能選択レジスタ (P11SMOD)	8-22 8-23
H'0080 076C	P12周辺機能選択レジスタ (P12SMOD)	P13周辺機能選択レジスタ (P13SMOD)	8-24, 17-12 8-25
H'0080 076E	(使用禁止領域)	P15周辺機能選択レジスタ (P15SMOD)	8-26, 17-13 20-10
H'0080 0770	(使用禁止領域)	P17周辺機能選択レジスタ (P17SMOD)	8-27
}	(使用禁止領域)		
H'0080 0776	P22周辺機能選択レジスタ (P22SMOD)	(使用禁止領域)	8-28 17-14
H'0080 0778	(使用禁止領域)		
H'0080 077A	(使用禁止領域)	RTD書き込み機能禁止制御レジスタ (WRRDIS)	15-3
H'0080 077C	(使用禁止領域)		
H'0080 077E	(使用禁止領域)	バスモード制御レジスタ (BUSMODC)	17-15
H'0080 0780	PWM出力0禁止制御レジスタ GB (PO0DISGBCR)	PWM出力0禁止レベル制御レジスタ GB (PO0LVGBCR)	10-168 10-171
H'0080 0782	PWM出力1禁止制御レジスタ GB (PO1DISGBCR)	PWM出力1禁止レベル制御レジスタ GB (PO1LVGBCR)	10-169 10-171
H'0080 0784	(使用禁止領域)		
H'0080 0786	クロック制御レジスタ (CLKCR)	(使用禁止領域)	20-5
}	(使用禁止領域)		
H'0080 078C	TID0カウンタ (TID0CT)		10-140
H'0080 078E	TID0リロードレジスタ (TID0RL)		10-140
H'0080 0790	TOU0_0カウンタ (TOU00CTW)	(上位) (TOU00CTH)	10-157
H'0080 0792	(下位) (TOU00CT)		10-159
H'0080 0794	TOU0_0リロードレジスタ (TOU00RLW)	TOU0_0リロード1レジスタ (TOU00RL1)	10-160 10-162
H'0080 0796	TOU0_0リロード0レジスタ (TOU00RL0)		10-161
H'0080 0798	TOU0_1カウンタ (TOU01CTW)	(上位) (TOU01CTH)	10-157
H'0080 079A	(下位) (TOU01CT)		10-159

SFR領域のレジスタマップ(14/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 079C	TOU0_1リロードレジスタ (TOU01RLW)	TOU0_1リロード1レジスタ (TOU01RL1)	10-160 10-162
H'0080 079E		TOU0_1リロード0レジスタ (TOU01RL0)	10-161
H'0080 07A0	TOU0_2カウンタ (TOU02CTW)	(上位) (TOU02CTH)	10-157
H'0080 07A2		(下位) (TOU02CT)	10-159
H'0080 07A4	TOU0_2リロードレジスタ (TOU02RLW)	TOU0_2リロード1レジスタ (TOU02RL1)	10-160 10-162
H'0080 07A6		TOU0_2リロード0レジスタ (TOU02RL0)	10-161
H'0080 07A8	TOU0_3カウンタ (TOU03CTW)	(上位) (TOU03CTH)	10-157
H'0080 07AA		(下位) (TOU03CT)	10-159
H'0080 07AC	TOU0_3リロードレジスタ (TOU03RLW)	TOU0_3リロード1レジスタ (TOU03RL1)	10-160 10-162
H'0080 07AE		TOU0_3リロード0レジスタ (TOU03RL0)	10-161
H'0080 07B0	TOU0_4カウンタ (TOU04CTW)	(上位) (TOU04CTH)	10-157
H'0080 07B2		(下位) (TOU04CT)	10-159
H'0080 07B4	TOU0_4リロードレジスタ (TOU04RLW)	TOU0_4リロード1レジスタ (TOU04RL1)	10-160 10-162
H'0080 07B6		TOU0_4リロード0レジスタ (TOU04RL0)	10-161
H'0080 07B8	TOU0_5カウンタ (TOU05CTW)	(上位) (TOU05CTH)	10-157
H'0080 07BA		(下位) (TOU05CT)	10-159
H'0080 07BC	TOU0_5リロードレジスタ (TOU05RLW)	TOU0_5リロード1レジスタ (TOU05RL1)	10-160 10-162
H'0080 07BE		TOU0_5リロード0レジスタ (TOU05RL0)	10-161
H'0080 07C0	TOU0_6カウンタ (TOU06CTW)	(上位) (TOU06CTH)	10-157
H'0080 07C2		(下位) (TOU06CT)	10-159
H'0080 07C4	TOU0_6リロードレジスタ (TOU06RLW)	TOU0_6リロード1レジスタ (TOU06RL1)	10-160 10-162
H'0080 07C6		TOU0_6リロード0レジスタ (TOU06RL0)	10-161
H'0080 07C8	TOU0_7カウンタ (TOU07CTW)	(上位) (TOU07CTH)	10-157
H'0080 07CA		(下位) (TOU07CT)	10-159
H'0080 07CC	TOU0_7リロードレジスタ (TOU07RLW)	TOU0_7リロード1レジスタ (TOU07RL1)	10-160 10-162
H'0080 07CE		TOU0_7リロード0レジスタ (TOU07RL0)	10-161
H'0080 07D0	プリスケアラレジスタ3 (PRS3)	TID0制御&プリスケアラ3イネーブルレジスタ (TID0PRS3EN)	10-13 10-138
H'0080 07D2	TOU0割り込み要求マスクレジスタ (TOU0IMA)	TOU0割り込み要求ステータスレジスタ (TOU0IST)	10-56
H'0080 07D4	短絡防止機能用F/F21-26プロテクトレジスタ (SHFF2126P)	F/F21-28プロテクトレジスタ (FF2128P)	10-155 10-31
H'0080 07D6	短絡防止機能用F/F21-26データレジスタ (SHFF2126D)	F/F21-28データレジスタ (FF2128D)	10-156 10-33
H'0080 07D8	TOU0制御レジスタ1 (TOU0CR1)		10-153
H'0080 07DA	TOU0制御レジスタ0 (TOU0CR0)		10-153
H'0080 07DC	(使用禁止領域)	TOU0イネーブルプロテクトレジスタ (TOU0PRO)	10-163
H'0080 07DE	(使用禁止領域)	TOU0カウントイネーブルレジスタ (TOU0CEN)	10-164

SFR領域のレジスタマップ(15/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 07E0	PWMOFF0入力処理制御レジスタ (PWMOFF0CR)	TIN24,25入力処理制御レジスタ (TIN2425CR)	10-166 10-26
H'0080 07E2	TIN24,25割り込み要求マスクレジスタ (TIN2425IMA)	TIN24,25割り込み要求ステータスレジスタ (TIN2425IST)	10-52
}	(使用禁止領域)		
H'0080 07E8	疑似フラッシュバンクレジスタ0 (FELBANK0)		6-24
H'0080 07EA	疑似フラッシュバンクレジスタ1 (FELBANK1)		6-24
H'0080 07EC	疑似フラッシュバンクレジスタ2 (FELBANK2)		6-24
H'0080 07EE	疑似フラッシュバンクレジスタ3 (FELBANK3)		6-24
H'0080 07F0	疑似フラッシュバンクレジスタ4(注3) (FELBANK4)		6-24
H'0080 07F2	疑似フラッシュバンクレジスタ5(注3) (FELBANK5)		6-24
H'0080 07F4	疑似フラッシュバンクレジスタ6(注3) (FELBANK6)		6-24
H'0080 07F6	疑似フラッシュバンクレジスタ7(注3) (FELBANK7)		6-24
H'0080 07F8	疑似フラッシュバンクレジスタ8(注2) (FELBANK8)		6-24
H'0080 07FA	疑似フラッシュバンクレジスタ9(注2) (FELBANK9)		6-24
H'0080 07FC	疑似フラッシュバンクレジスタ10(注2) (FELBANK10)		6-24
H'0080 07FE	疑似フラッシュバンクレジスタ11(注2) (FELBANK11)		6-24
H'0080 0800	疑似フラッシュバンクレジスタ12(注2) (FELBANK12)		6-24
H'0080 0802	疑似フラッシュバンクレジスタ13(注2) (FELBANK13)		6-24
H'0080 0804	疑似フラッシュバンクレジスタ14(注2) (FELBANK14)		6-24
H'0080 0806	疑似フラッシュバンクレジスタ15(注2) (FELBANK15)		6-24
}	(使用禁止領域)		
H'0080 0A00	SIO45割り込み要求ステータスレジスタ (SI45STAT)	SIO45割り込み要求マスクレジスタ (SI45MASK)	12-9 12-10
H'0080 0A02	SIO45割り込み要求要因選択レジスタ (SI45SEL)	(使用禁止領域)	12-11
}	(使用禁止領域)		
H'0080 0A10	SIO4送信制御レジスタ (S4TCNT)	SIO4送受信モードレジスタ (S4MOD)	12-14 12-15
H'0080 0A12	SIO4送信バッファレジスタ (S4TXB)		12-19
H'0080 0A14	SIO4受信バッファレジスタ (S4RXB)		12-20
H'0080 0A16	SIO4受信制御レジスタ (S4RCNT)	SIO4ポーレートレジスタ (S4BAUR)	12-21 12-24
H'0080 0A18	SIO4特殊モードレジスタ (S4SMOD)	(使用禁止領域)	12-27
}	(使用禁止領域)		
H'0080 0A20	SIO5送信制御レジスタ (S5TCNT)	SIO5送受信モードレジスタ (S5MOD)	12-14 12-15
H'0080 0A22	SIO5送信バッファレジスタ (S5TXB)		12-19
H'0080 0A24	SIO5受信バッファレジスタ (S5RXB)		12-20
H'0080 0A26	SIO5受信制御レジスタ (S5RCNT)	SIO5ポーレートレジスタ (S5BAUR)	12-21 12-24
H'0080 0A28	SIO5特殊モードレジスタ (S5SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		

SFR領域のレジスタマップ(16/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0B8C	TID1カウンタ (TID1CT)		10-140
H'0080 0B8E	TID1リロードレジスタ (TID1RL)		10-140
H'0080 0B90	TOU1_0カウンタ (TOU10CTW)	(上位) (TOU10CTH)	10-157
H'0080 0B92	(下位) (TOU10CT)		10-159
H'0080 0B94	TOU1_0リロードレジスタ (TOU10RLW)	TOU1_0リロード1レジスタ (TOU10RL1)	10-160 10-162
H'0080 0B96	TOU1_0リロード0レジスタ (TOU10RL0)		10-161
H'0080 0B98	TOU1_1カウンタ (TOU11CTW)	(上位) (TOU11CTH)	10-157
H'0080 0B9A	(下位) (TOU11CT)		10-159
H'0080 0B9C	TOU1_1リロードレジスタ (TOU11RLW)	TOU1_1リロード1レジスタ (TOU11RL1)	10-160 10-162
H'0080 0B9E	TOU1_1リロード0レジスタ (TOU11RL0)		10-161
H'0080 0BA0	TOU1_2カウンタ (TOU12CTW)	(上位) (TOU12CTH)	10-157
H'0080 0BA2	(下位) (TOU12CT)		10-159
H'0080 0BA4	TOU1_2リロードレジスタ (TOU12RLW)	TOU1_2リロード1レジスタ (TOU12RL1)	10-160 10-162
H'0080 0BA6	TOU1_2リロード0レジスタ (TOU12RL0)		10-161
H'0080 0BA8	TOU1_3カウンタ (TOU13CTW)	(上位) (TOU13CTH)	10-157
H'0080 0BAA	(下位) (TOU13CT)		10-159
H'0080 0BAC	TOU1_3リロードレジスタ (TOU13RLW)	TOU1_3リロード1レジスタ (TOU13RL1)	10-160 10-162
H'0080 0BAE	TOU1_3リロード0レジスタ (TOU13RL0)		10-161
H'0080 0BB0	TOU1_4カウンタ (TOU14CTW)	(上位) (TOU14CTH)	10-157
H'0080 0BB2	(下位) (TOU14CT)		10-159
H'0080 0BB4	TOU1_4リロードレジスタ (TOU14RLW)	TOU1_4リロード1レジスタ (TOU14RL1)	10-160 10-162
H'0080 0BB6	TOU1_4リロード0レジスタ (TOU14RL0)		10-161
H'0080 0BB8	TOU1_5カウンタ (TOU15CTW)	(上位) (TOU15CTH)	10-157
H'0080 0BBA	(下位) (TOU15CT)		10-159
H'0080 0BBC	TOU1_5リロードレジスタ (TOU15RLW)	TOU1_5リロード1レジスタ (TOU15RL1)	10-160 10-162
H'0080 0BBE	TOU1_5リロード0レジスタ (TOU15RL0)		10-161
H'0080 0BC0	TOU1_6カウンタ (TOU16CTW)	(上位) (TOU16CTH)	10-157
H'0080 0BC2	(下位) (TOU16CT)		10-159
H'0080 0BC4	TOU1_6リロードレジスタ (TOU16RLW)	TOU1_6リロード1レジスタ (TOU16RL1)	10-160 10-162
H'0080 0BC6	TOU1_6リロード0レジスタ (TOU16RL0)		10-161
H'0080 0BC8	TOU1_7カウンタ (TOU17CTW)	(上位) (TOU17CTH)	10-157
H'0080 0BCA	(下位) (TOU17CT)		10-159
H'0080 0BCC	TOU1_7リロードレジスタ (TOU17RLW)	TOU1_7リロード1レジスタ (TOU17RL1)	10-160 10-162
H'0080 0BCE	TOU1_7リロード0レジスタ (TOU17RL0)		10-161

SFR領域のレジスタマップ(17/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 0BD0	プリスケアラレジスタ4 (PRS4)	TID1制御&プリスケアラ4イネーブルレジスタ (TID1PRS4EN)	10-13 10-139
H'0080 0BD2	TOU1割り込み要求マスクレジスタ (TOU1IMA)	TOU1割り込み要求ステータスレジスタ (TOU1IST)	10-58
H'0080 0BD4	短絡防止機能用F/F29-34プロテクトレジスタ (SHFF2934P)	F/F29-36プロテクトレジスタ (FF2936P)	10-155 10-31
H'0080 0BD6	短絡防止機能用F/F29-34データレジスタ (SHFF2934D)	F/F29-36データレジスタ (FF2936D)	10-156 10-33
H'0080 0BD8	TOU1制御レジスタ1 (TOU1CR1)		10-154
H'0080 0BDA	TOU1制御レジスタ0 (TOU1CR0)		10-154
H'0080 0BDC	(使用禁止領域)	TOU1イネーブルプロテクトレジスタ (TOU1PRO)	10-163
H'0080 0BDE	(使用禁止領域)	TOU1カウントイネーブルレジスタ (TOU1CEN)	10-164
H'0080 0BE0	PWMOFF1入力処理制御レジスタ (PWMOFF1CR)	TIN26,27入力処理制御レジスタ (TIN2627CR)	10-166 10-26
H'0080 0BE2	TIN26,27割り込み要求マスクレジスタ (TIN2627IMA)	TIN26,27割り込み要求ステータスレジスタ (TIN2627IST)	10-53
}	(使用禁止領域)		
H'0080 0FE0	TML1カウンタ (上位) (TML1CT)		10-132
H'0080 0FE2	(下位) (TML1CTL)		
}	(使用禁止領域)		
H'0080 0FEA	(使用禁止領域)	TML1制御レジスタ (TML1CR)	10-131
}	(使用禁止領域)		
H'0080 0FF0	TML1計測3レジスタ (上位) (TML1MR3)		10-132
H'0080 0FF2	(下位) (TML1MR3L)		
H'0080 0FF4	TML1計測2レジスタ (上位) (TML1MR2)		10-132
H'0080 0FF6	(下位) (TML1MR2L)		
H'0080 0FF8	TML1計測1レジスタ (上位) (TML1MR1)		10-132
H'0080 0FFA	(下位) (TML1MR1L)		
H'0080 0FFC	TML1計測0レジスタ (上位) (TML1MR0)		10-132
H'0080 0FFE	(下位) (TML1MR0L)		

SFR領域のレジスタマップ(18/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8 b15	
H'0080 1000	CAN0コントロールレジスタ (CAN0CNT)		13-26
H'0080 1002	CAN0ステータスレジスタ (CAN0STAT)		13-29
H'0080 1004	(使用禁止領域)		
H'0080 1006	CAN0コンフィグレーションレジスタ (CAN0CONF)		13-32
H'0080 1008	CAN0タイムスタンプカウンタレジスタ (CAN0TSTMP)		13-35
H'0080 100A	CAN0受信エラーカウンタレジスタ (CAN0REC)	CAN0送信エラーカウンタレジスタ (CAN0TEC)	13-36
H'0080 100C	CAN0スロット割り込み要求ステータスレジスタ (上位) (CAN0SLISTW) (CAN0SLIST)		13-40
H'0080 100E	(下位) (CAN0SLISTL)		
H'0080 1010	CAN0スロット割り込み要求マスクレジスタ (上位) (CAN0SLIMKW) (CAN0SLIMK)		13-42
H'0080 1012	(下位) (CAN0SLIMKL)		
H'0080 1014	CAN0エラー割り込み要求ステータスレジスタ (CAN0ERIST)	CAN0エラー割り込み要求マスクレジスタ (CAN0ERIMK)	13-43 13-44
H'0080 1016	CAN0ポーレートプリスケラ (CAN0BRP)	CAN0エラー要因レジスタ (CAN0EF)	13-37 13-67
H'0080 1018	CAN0モードレジスタ (CAN0MOD)	CAN0DMA転送要求選択レジスタ (CAN0DMARQ)	13-69 13-70
H'0080 101A	CAN0メッセージスロットナンバレジスタ (CAN0MSN)	CAN0クロック選択レジスタ (CAN0CKSEL)	13-71 13-72
H'0080 101C	CAN0フレームフォーマット選択レジスタ (上位) (CAN0FFSW) (CAN0FFS)		13-74
H'0080 101E	(下位) (CAN0FFSL)		
H'0080 1020	CAN0グローバルマスクレジスタA標準ID0 (C0GMSKAS0)	CAN0グローバルマスクレジスタA標準ID1 (C0GMSKAS1)	13-76
H'0080 1022	CAN0グローバルマスクレジスタA拡張ID0 (C0GMSKAE0)	CAN0グローバルマスクレジスタA拡張ID1 (C0GMSKAE1)	13-77
H'0080 1024	CAN0グローバルマスクレジスタA拡張ID2 (C0GMSKAE2)	(使用禁止領域)	13-78
H'0080 1026	(使用禁止領域)		
H'0080 1028	CAN0グローバルマスクレジスタB標準ID0 (C0GMSKBS0)	CAN0グローバルマスクレジスタB標準ID1 (C0GMSKBS1)	13-76
H'0080 102A	CAN0グローバルマスクレジスタB拡張ID0 (C0GMSKBE0)	CAN0グローバルマスクレジスタB拡張ID1 (C0GMSKBE1)	13-77
H'0080 102C	CAN0グローバルマスクレジスタB拡張ID2 (C0GMSKBE2)	(使用禁止領域)	13-78
H'0080 102E	(使用禁止領域)		
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)	CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)	13-76
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)	CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)	13-77
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)	(使用禁止領域)	13-78
H'0080 1036	(使用禁止領域)		
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)	CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)	13-76
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)	CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)	13-77
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)	(使用禁止領域)	13-78
H'0080 103E	(使用禁止領域)		
H'0080 1040	CAN0シングルショットモード制御レジスタ (上位) (CAN0SSMODEW) (CAN0SSMODE)		13-80
H'0080 1042	(下位) (CAN0SSMODEL)		

SFR領域のレジスタマップ(19/37)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1044	CAN0シングルショット割り込み要求ステータスレジスタ (上位) (CAN0SSISTW)		13-45
H'0080 1046	(下位) (CAN0SSISTL)		
H'0080 1048	CAN0シングルショット割り込み要求マスクレジスタ (上位) (CAN0SSIMKW)		13-47
H'0080 104A	(下位) (CAN0SSIMKL)		
	(使用禁止領域)		
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ (C0MSL0CNT)	CAN0メッセージスロット1コントロールレジスタ (C0MSL1CNT)	13-82
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ (C0MSL2CNT)	CAN0メッセージスロット3コントロールレジスタ (C0MSL3CNT)	13-82
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ (C0MSL4CNT)	CAN0メッセージスロット5コントロールレジスタ (C0MSL5CNT)	13-82
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ (C0MSL6CNT)	CAN0メッセージスロット7コントロールレジスタ (C0MSL7CNT)	13-82
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ (C0MSL8CNT)	CAN0メッセージスロット9コントロールレジスタ (C0MSL9CNT)	13-82
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ (C0MSL10CNT)	CAN0メッセージスロット11コントロールレジスタ (C0MSL11CNT)	13-82
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ (C0MSL12CNT)	CAN0メッセージスロット13コントロールレジスタ (C0MSL13CNT)	13-82
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ (C0MSL14CNT)	CAN0メッセージスロット15コントロールレジスタ (C0MSL15CNT)	13-82
H'0080 1060	CAN0メッセージスロット16コントロールレジスタ (C0MSL16CNT)	CAN0メッセージスロット17コントロールレジスタ (C0MSL17CNT)	13-82
H'0080 1062	CAN0メッセージスロット18コントロールレジスタ (C0MSL18CNT)	CAN0メッセージスロット19コントロールレジスタ (C0MSL19CNT)	13-82
H'0080 1064	CAN0メッセージスロット20コントロールレジスタ (C0MSL20CNT)	CAN0メッセージスロット21コントロールレジスタ (C0MSL21CNT)	13-82
H'0080 1066	CAN0メッセージスロット22コントロールレジスタ (C0MSL22CNT)	CAN0メッセージスロット23コントロールレジスタ (C0MSL23CNT)	13-82
H'0080 1068	CAN0メッセージスロット24コントロールレジスタ (C0MSL24CNT)	CAN0メッセージスロット25コントロールレジスタ (C0MSL25CNT)	13-82
H'0080 106A	CAN0メッセージスロット26コントロールレジスタ (C0MSL26CNT)	CAN0メッセージスロット27コントロールレジスタ (C0MSL27CNT)	13-82
H'0080 106C	CAN0メッセージスロット28コントロールレジスタ (C0MSL28CNT)	CAN0メッセージスロット29コントロールレジスタ (C0MSL29CNT)	13-82
H'0080 106E	CAN0メッセージスロット30コントロールレジスタ (C0MSL30CNT)	CAN0メッセージスロット31コントロールレジスタ (C0MSL31CNT)	13-82
	(使用禁止領域)		
H'0080 1100	CAN0メッセージスロット0標準ID0 (C0MSL0SID0)	CAN0メッセージスロット0標準ID1 (C0MSL0SID1)	13-86 13-88
H'0080 1102	CAN0メッセージスロット0拡張ID0 (C0MSL0EID0)	CAN0メッセージスロット0拡張ID1 (C0MSL0EID1)	13-90 13-92
H'0080 1104	CAN0メッセージスロット0拡張ID2 (C0MSL0EID2)	CAN0メッセージスロット0データ長レジスタ (C0MSL0DLC)	13-94 13-96
H'0080 1106	CAN0メッセージスロット0データ0 (C0MSL0DT0)	CAN0メッセージスロット0データ1 (C0MSL0DT1)	13-98 13-100
H'0080 1108	CAN0メッセージスロット0データ2 (C0MSL0DT2)	CAN0メッセージスロット0データ3 (C0MSL0DT3)	13-102 13-104
H'0080 110A	CAN0メッセージスロット0データ4 (C0MSL0DT4)	CAN0メッセージスロット0データ5 (C0MSL0DT5)	13-106 13-108
H'0080 110C	CAN0メッセージスロット0データ6 (C0MSL0DT6)	CAN0メッセージスロット0データ7 (C0MSL0DT7)	13-110 13-112
H'0080 110E	CAN0メッセージスロット0タイムスタンプ (C0MSL0TSP)		13-114
H'0080 1110	CAN0メッセージスロット1標準ID0 (C0MSL1SID0)	CAN0メッセージスロット1標準ID1 (C0MSL1SID1)	13-86 13-88
H'0080 1112	CAN0メッセージスロット1拡張ID0 (C0MSL1EID0)	CAN0メッセージスロット1拡張ID1 (C0MSL1EID1)	13-90 13-92
H'0080 1114	CAN0メッセージスロット1拡張ID2 (C0MSL1EID2)	CAN0メッセージスロット1データ長レジスタ (C0MSL1DLC)	13-94 13-96
H'0080 1116	CAN0メッセージスロット1データ0 (C0MSL1DT0)	CAN0メッセージスロット1データ1 (C0MSL1DT1)	13-98 13-100
H'0080 1118	CAN0メッセージスロット1データ2 (C0MSL1DT2)	CAN0メッセージスロット1データ3 (C0MSL1DT3)	13-102 13-104

SFR領域のレジスタマップ(20/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 111A	CAN0メッセージスロット1データ4 (C0MSL1DT4)	CAN0メッセージスロット1データ5 (C0MSL1DT5)	13-106 13-108
H'0080 111C	CAN0メッセージスロット1データ6 (C0MSL1DT6)	CAN0メッセージスロット1データ7 (C0MSL1DT7)	13-110 13-112
H'0080 111E	CAN0メッセージスロット1タイムスタンプ (C0MSL1TSP)		13-114
H'0080 1120	CAN0メッセージスロット2標準ID0 (C0MSL2SID0)	CAN0メッセージスロット2標準ID1 (C0MSL2SID1)	13-86 13-88
H'0080 1122	CAN0メッセージスロット2拡張ID0 (C0MSL2EID0)	CAN0メッセージスロット2拡張ID1 (C0MSL2EID1)	13-90 13-92
H'0080 1124	CAN0メッセージスロット2拡張ID2 (C0MSL2EID2)	CAN0メッセージスロット2データ長レジスタ (C0MSL2DLC)	13-94 13-96
H'0080 1126	CAN0メッセージスロット2データ0 (C0MSL2DT0)	CAN0メッセージスロット2データ1 (C0MSL2DT1)	13-98 13-100
H'0080 1128	CAN0メッセージスロット2データ2 (C0MSL2DT2)	CAN0メッセージスロット2データ3 (C0MSL2DT3)	13-102 13-104
H'0080 112A	CAN0メッセージスロット2データ4 (C0MSL2DT4)	CAN0メッセージスロット2データ5 (C0MSL2DT5)	13-106 13-108
H'0080 112C	CAN0メッセージスロット2データ6 (C0MSL2DT6)	CAN0メッセージスロット2データ7 (C0MSL2DT7)	13-110 13-112
H'0080 112E	CAN0メッセージスロット2タイムスタンプ (C0MSL2TSP)		13-114
H'0080 1130	CAN0メッセージスロット3標準ID0 (C0MSL3SID0)	CAN0メッセージスロット3標準ID1 (C0MSL3SID1)	13-86 13-88
H'0080 1132	CAN0メッセージスロット3拡張ID0 (C0MSL3EID0)	CAN0メッセージスロット3拡張ID1 (C0MSL3EID1)	13-90 13-92
H'0080 1134	CAN0メッセージスロット3拡張ID2 (C0MSL3EID2)	CAN0メッセージスロット3データ長レジスタ (C0MSL3DLC)	13-94 13-96
H'0080 1136	CAN0メッセージスロット3データ0 (C0MSL3DT0)	CAN0メッセージスロット3データ1 (C0MSL3DT1)	13-98 13-100
H'0080 1138	CAN0メッセージスロット3データ2 (C0MSL3DT2)	CAN0メッセージスロット3データ3 (C0MSL3DT3)	13-102 13-104
H'0080 113A	CAN0メッセージスロット3データ4 (C0MSL3DT4)	CAN0メッセージスロット3データ5 (C0MSL3DT5)	13-106 13-108
H'0080 113C	CAN0メッセージスロット3データ6 (C0MSL3DT6)	CAN0メッセージスロット3データ7 (C0MSL3DT7)	13-110 13-112
H'0080 113E	CAN0メッセージスロット3タイムスタンプ (C0MSL3TSP)		13-114
H'0080 1140	CAN0メッセージスロット4標準ID0 (C0MSL4SID0)	CAN0メッセージスロット4標準ID1 (C0MSL4SID1)	13-86 13-88
H'0080 1142	CAN0メッセージスロット4拡張ID0 (C0MSL4EID0)	CAN0メッセージスロット4拡張ID1 (C0MSL4EID1)	13-90 13-92
H'0080 1144	CAN0メッセージスロット4拡張ID2 (C0MSL4EID2)	CAN0メッセージスロット4データ長レジスタ (C0MSL4DLC)	13-94 13-96
H'0080 1146	CAN0メッセージスロット4データ0 (C0MSL4DT0)	CAN0メッセージスロット4データ1 (C0MSL4DT1)	13-98 13-100
H'0080 1148	CAN0メッセージスロット4データ2 (C0MSL4DT2)	CAN0メッセージスロット4データ3 (C0MSL4DT3)	13-102 13-104
H'0080 114A	CAN0メッセージスロット4データ4 (C0MSL4DT4)	CAN0メッセージスロット4データ5 (C0MSL4DT5)	13-106 13-108
H'0080 114C	CAN0メッセージスロット4データ6 (C0MSL4DT6)	CAN0メッセージスロット4データ7 (C0MSL4DT7)	13-110 13-112
H'0080 114E	CAN0メッセージスロット4タイムスタンプ (C0MSL4TSP)		13-114
H'0080 1150	CAN0メッセージスロット5標準ID0 (C0MSL5SID0)	CAN0メッセージスロット5標準ID1 (C0MSL5SID1)	13-86 13-88
H'0080 1152	CAN0メッセージスロット5拡張ID0 (C0MSL5EID0)	CAN0メッセージスロット5拡張ID1 (C0MSL5EID1)	13-90 13-92
H'0080 1154	CAN0メッセージスロット5拡張ID2 (C0MSL5EID2)	CAN0メッセージスロット5データ長レジスタ (C0MSL5DLC)	13-94 13-96
H'0080 1156	CAN0メッセージスロット5データ0 (C0MSL5DT0)	CAN0メッセージスロット5データ1 (C0MSL5DT1)	13-98 13-100
H'0080 1158	CAN0メッセージスロット5データ2 (C0MSL5DT2)	CAN0メッセージスロット5データ3 (C0MSL5DT3)	13-102 13-104
H'0080 115A	CAN0メッセージスロット5データ4 (C0MSL5DT4)	CAN0メッセージスロット5データ5 (C0MSL5DT5)	13-106 13-108
H'0080 115C	CAN0メッセージスロット5データ6 (C0MSL5DT6)	CAN0メッセージスロット5データ7 (C0MSL5DT7)	13-110 13-112
H'0080 115E	CAN0メッセージスロット5タイムスタンプ (C0MSL5TSP)		13-114

SFR領域のレジスタマップ(21/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1160	CAN0メッセージスロット6標準ID0 (C0MSL6SID0)	CAN0メッセージスロット6標準ID1 (C0MSL6SID1)	13-86 13-88
H'0080 1162	CAN0メッセージスロット6拡張ID0 (C0MSL6EID0)	CAN0メッセージスロット6拡張ID1 (C0MSL6EID1)	13-90 13-92
H'0080 1164	CAN0メッセージスロット6拡張ID2 (C0MSL6EID2)	CAN0メッセージスロット6データ長レジスタ (C0MSL6DLC)	13-94 13-96
H'0080 1166	CAN0メッセージスロット6データ0 (C0MSL6DT0)	CAN0メッセージスロット6データ1 (C0MSL6DT1)	13-98 13-100
H'0080 1168	CAN0メッセージスロット6データ2 (C0MSL6DT2)	CAN0メッセージスロット6データ3 (C0MSL6DT3)	13-102 13-104
H'0080 116A	CAN0メッセージスロット6データ4 (C0MSL6DT4)	CAN0メッセージスロット6データ5 (C0MSL6DT5)	13-106 13-108
H'0080 116C	CAN0メッセージスロット6データ6 (C0MSL6DT6)	CAN0メッセージスロット6データ7 (C0MSL6DT7)	13-110 13-112
H'0080 116E	CAN0メッセージスロット6タイムスタンプ (C0MSL6TSP)		13-114
H'0080 1170	CAN0メッセージスロット7標準ID0 (C0MSL7SID0)	CAN0メッセージスロット7標準ID1 (C0MSL7SID1)	13-86 13-88
H'0080 1172	CAN0メッセージスロット7拡張ID0 (C0MSL7EID0)	CAN0メッセージスロット7拡張ID1 (C0MSL7EID1)	13-90 13-92
H'0080 1174	CAN0メッセージスロット7拡張ID2 (C0MSL7EID2)	CAN0メッセージスロット7データ長レジスタ (C0MSL7DLC)	13-94 13-96
H'0080 1176	CAN0メッセージスロット7データ0 (C0MSL7DT0)	CAN0メッセージスロット7データ1 (C0MSL7DT1)	13-98 13-100
H'0080 1178	CAN0メッセージスロット7データ2 (C0MSL7DT2)	CAN0メッセージスロット7データ3 (C0MSL7DT3)	13-102 13-104
H'0080 117A	CAN0メッセージスロット7データ4 (C0MSL7DT4)	CAN0メッセージスロット7データ5 (C0MSL7DT5)	13-106 13-108
H'0080 117C	CAN0メッセージスロット7データ6 (C0MSL7DT6)	CAN0メッセージスロット7データ7 (C0MSL7DT7)	13-110 13-112
H'0080 117E	CAN0メッセージスロット7タイムスタンプ (C0MSL7TSP)		13-114
H'0080 1180	CAN0メッセージスロット8標準ID0 (C0MSL8SID0)	CAN0メッセージスロット8標準ID1 (C0MSL8SID1)	13-86 13-88
H'0080 1182	CAN0メッセージスロット8拡張ID0 (C0MSL8EID0)	CAN0メッセージスロット8拡張ID1 (C0MSL8EID1)	13-90 13-92
H'0080 1184	CAN0メッセージスロット8拡張ID2 (C0MSL8EID2)	CAN0メッセージスロット8データ長レジスタ (C0MSL8DLC)	13-94 13-96
H'0080 1186	CAN0メッセージスロット8データ0 (C0MSL8DT0)	CAN0メッセージスロット8データ1 (C0MSL8DT1)	13-98 13-100
H'0080 1188	CAN0メッセージスロット8データ2 (C0MSL8DT2)	CAN0メッセージスロット8データ3 (C0MSL8DT3)	13-102 13-104
H'0080 118A	CAN0メッセージスロット8データ4 (C0MSL8DT4)	CAN0メッセージスロット8データ5 (C0MSL8DT5)	13-106 13-108
H'0080 118C	CAN0メッセージスロット8データ6 (C0MSL8DT6)	CAN0メッセージスロット8データ7 (C0MSL8DT7)	13-110 13-112
H'0080 118E	CAN0メッセージスロット8タイムスタンプ (C0MSL8TSP)		13-114
H'0080 1190	CAN0メッセージスロット9標準ID0 (C0MSL9SID0)	CAN0メッセージスロット9標準ID1 (C0MSL9SID1)	13-86 13-88
H'0080 1192	CAN0メッセージスロット9拡張ID0 (C0MSL9EID0)	CAN0メッセージスロット9拡張ID1 (C0MSL9EID1)	13-90 13-92
H'0080 1194	CAN0メッセージスロット9拡張ID2 (C0MSL9EID2)	CAN0メッセージスロット9データ長レジスタ (C0MSL9DLC)	13-94 13-96
H'0080 1196	CAN0メッセージスロット9データ0 (C0MSL9DT0)	CAN0メッセージスロット9データ1 (C0MSL9DT1)	13-98 13-100
H'0080 1198	CAN0メッセージスロット9データ2 (C0MSL9DT2)	CAN0メッセージスロット9データ3 (C0MSL9DT3)	13-102 13-104
H'0080 119A	CAN0メッセージスロット9データ4 (C0MSL9DT4)	CAN0メッセージスロット9データ5 (C0MSL9DT5)	13-106 13-108
H'0080 119C	CAN0メッセージスロット9データ6 (C0MSL9DT6)	CAN0メッセージスロット9データ7 (C0MSL9DT7)	13-110 13-112
H'0080 119E	CAN0メッセージスロット9タイムスタンプ (C0MSL9TSP)		13-114
H'0080 11A0	CAN0メッセージスロット10標準ID0 (C0MSL10SID0)	CAN0メッセージスロット10標準ID1 (C0MSL10SID1)	13-86 13-88
H'0080 11A2	CAN0メッセージスロット10拡張ID0 (C0MSL10EID0)	CAN0メッセージスロット10拡張ID1 (C0MSL10EID1)	13-90 13-92
H'0080 11A4	CAN0メッセージスロット10拡張ID2 (C0MSL10EID2)	CAN0メッセージスロット10データ長レジスタ (C0MSL10DLC)	13-94 13-96

SFR領域のレジスタマップ(22/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 11A6	CAN0メッセージスロット10データ0 (C0MSL10DT0)	CAN0メッセージスロット10データ1 (C0MSL10DT1)	13-98 13-100
H'0080 11A8	CAN0メッセージスロット10データ2 (C0MSL10DT2)	CAN0メッセージスロット10データ3 (C0MSL10DT3)	13-102 13-104
H'0080 11AA	CAN0メッセージスロット10データ4 (C0MSL10DT4)	CAN0メッセージスロット10データ5 (C0MSL10DT5)	13-106 13-108
H'0080 11AC	CAN0メッセージスロット10データ6 (C0MSL10DT6)	CAN0メッセージスロット10データ7 (C0MSL10DT7)	13-110 13-112
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ (C0MSL10TSP)		13-114
H'0080 11B0	CAN0メッセージスロット11標準ID0 (C0MSL11SID0)	CAN0メッセージスロット11標準ID1 (C0MSL11SID1)	13-86 13-88
H'0080 11B2	CAN0メッセージスロット11拡張ID0 (C0MSL11EID0)	CAN0メッセージスロット11拡張ID1 (C0MSL11EID1)	13-90 13-92
H'0080 11B4	CAN0メッセージスロット11拡張ID2 (C0MSL11EID2)	CAN0メッセージスロット11データ長レジスタ (C0MSL11DLC)	13-94 13-96
H'0080 11B6	CAN0メッセージスロット11データ0 (C0MSL11DT0)	CAN0メッセージスロット11データ1 (C0MSL11DT1)	13-98 13-100
H'0080 11B8	CAN0メッセージスロット11データ2 (C0MSL11DT2)	CAN0メッセージスロット11データ3 (C0MSL11DT3)	13-102 13-104
H'0080 11BA	CAN0メッセージスロット11データ4 (C0MSL11DT4)	CAN0メッセージスロット11データ5 (C0MSL11DT5)	13-106 13-108
H'0080 11BC	CAN0メッセージスロット11データ6 (C0MSL11DT6)	CAN0メッセージスロット11データ7 (C0MSL11DT7)	13-110 13-112
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ (C0MSL11TSP)		13-114
H'0080 11C0	CAN0メッセージスロット12標準ID0 (C0MSL12SID0)	CAN0メッセージスロット12標準ID1 (C0MSL12SID1)	13-86 13-88
H'0080 11C2	CAN0メッセージスロット12拡張ID0 (C0MSL12EID0)	CAN0メッセージスロット12拡張ID1 (C0MSL12EID1)	13-90 13-92
H'0080 11C4	CAN0メッセージスロット12拡張ID2 (C0MSL12EID2)	CAN0メッセージスロット12データ長レジスタ (C0MSL12DLC)	13-94 13-96
H'0080 11C6	CAN0メッセージスロット12データ0 (C0MSL12DT0)	CAN0メッセージスロット12データ1 (C0MSL12DT1)	13-98 13-100
H'0080 11C8	CAN0メッセージスロット12データ2 (C0MSL12DT2)	CAN0メッセージスロット12データ3 (C0MSL12DT3)	13-102 13-104
H'0080 11CA	CAN0メッセージスロット12データ4 (C0MSL12DT4)	CAN0メッセージスロット12データ5 (C0MSL12DT5)	13-106 13-108
H'0080 11CC	CAN0メッセージスロット12データ6 (C0MSL12DT6)	CAN0メッセージスロット12データ7 (C0MSL12DT7)	13-110 13-112
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ (C0MSL12TSP)		13-114
H'0080 11D0	CAN0メッセージスロット13標準ID0 (C0MSL13SID0)	CAN0メッセージスロット13標準ID1 (C0MSL13SID1)	13-86 13-88
H'0080 11D2	CAN0メッセージスロット13拡張ID0 (C0MSL13EID0)	CAN0メッセージスロット13拡張ID1 (C0MSL13EID1)	13-90 13-92
H'0080 11D4	CAN0メッセージスロット13拡張ID2 (C0MSL13EID2)	CAN0メッセージスロット13データ長レジスタ (C0MSL13DLC)	13-94 13-96
H'0080 11D6	CAN0メッセージスロット13データ0 (C0MSL13DT0)	CAN0メッセージスロット13データ1 (C0MSL13DT1)	13-98 13-100
H'0080 11D8	CAN0メッセージスロット13データ2 (C0MSL13DT2)	CAN0メッセージスロット13データ3 (C0MSL13DT3)	13-102 13-104
H'0080 11DA	CAN0メッセージスロット13データ4 (C0MSL13DT4)	CAN0メッセージスロット13データ5 (C0MSL13DT5)	13-106 13-108
H'0080 11DC	CAN0メッセージスロット13データ6 (C0MSL13DT6)	CAN0メッセージスロット13データ7 (C0MSL13DT7)	13-110 13-112
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ (C0MSL13TSP)		13-114
H'0080 11E0	CAN0メッセージスロット14標準ID0 (C0MSL14SID0)	CAN0メッセージスロット14標準ID1 (C0MSL14SID1)	13-86 13-88
H'0080 11E2	CAN0メッセージスロット14拡張ID0 (C0MSL14EID0)	CAN0メッセージスロット14拡張ID1 (C0MSL14EID1)	13-90 13-92
H'0080 11E4	CAN0メッセージスロット14拡張ID2 (C0MSL14EID2)	CAN0メッセージスロット14データ長レジスタ (C0MSL14DLC)	13-94 13-96
H'0080 11E6	CAN0メッセージスロット14データ0 (C0MSL14DT0)	CAN0メッセージスロット14データ1 (C0MSL14DT1)	13-98 13-100
H'0080 11E8	CAN0メッセージスロット14データ2 (C0MSL14DT2)	CAN0メッセージスロット14データ3 (C0MSL14DT3)	13-102 13-104
H'0080 11EA	CAN0メッセージスロット14データ4 (C0MSL14DT4)	CAN0メッセージスロット14データ5 (C0MSL14DT5)	13-106 13-108

SFR領域のレジスタマップ(23/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 11EC	CAN0メッセージスロット14データ6 (C0MSL14DT6)	CAN0メッセージスロット14データ7 (C0MSL14DT7)	13-110 13-112
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ (C0MSL14TSP)		13-114
H'0080 11F0	CAN0メッセージスロット15標準ID0 (C0MSL15SID0)	CAN0メッセージスロット15標準ID1 (C0MSL15SID1)	13-86 13-88
H'0080 11F2	CAN0メッセージスロット15拡張ID0 (C0MSL15EID0)	CAN0メッセージスロット15拡張ID1 (C0MSL15EID1)	13-90 13-92
H'0080 11F4	CAN0メッセージスロット15拡張ID2 (C0MSL15EID2)	CAN0メッセージスロット15データ長レジスタ (C0MSL15DLC)	13-94 13-96
H'0080 11F6	CAN0メッセージスロット15データ0 (C0MSL15DT0)	CAN0メッセージスロット15データ1 (C0MSL15DT1)	13-98 13-100
H'0080 11F8	CAN0メッセージスロット15データ2 (C0MSL15DT2)	CAN0メッセージスロット15データ3 (C0MSL15DT3)	13-102 13-104
H'0080 11FA	CAN0メッセージスロット15データ4 (C0MSL15DT4)	CAN0メッセージスロット15データ5 (C0MSL15DT5)	13-106 13-108
H'0080 11FC	CAN0メッセージスロット15データ6 (C0MSL15DT6)	CAN0メッセージスロット15データ7 (C0MSL15DT7)	13-110 13-112
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ (C0MSL15TSP)		13-114
H'0080 1200	CAN0メッセージスロット16標準ID0 (C0MSL16SID0)	CAN0メッセージスロット16標準ID1 (C0MSL16SID1)	13-86 13-88
H'0080 1202	CAN0メッセージスロット16拡張ID0 (C0MSL16EID0)	CAN0メッセージスロット16拡張ID1 (C0MSL16EID1)	13-90 13-92
H'0080 1204	CAN0メッセージスロット16拡張ID2 (C0MSL16EID2)	CAN0メッセージスロット16データ長レジスタ (C0MSL16DLC)	13-94 13-96
H'0080 1206	CAN0メッセージスロット16データ0 (C0MSL16DT0)	CAN0メッセージスロット16データ1 (C0MSL16DT1)	13-98 13-100
H'0080 1208	CAN0メッセージスロット16データ2 (C0MSL16DT2)	CAN0メッセージスロット16データ3 (C0MSL16DT3)	13-102 13-104
H'0080 120A	CAN0メッセージスロット16データ4 (C0MSL16DT4)	CAN0メッセージスロット16データ5 (C0MSL16DT5)	13-106 13-108
H'0080 120C	CAN0メッセージスロット16データ6 (C0MSL16DT6)	CAN0メッセージスロット16データ7 (C0MSL16DT7)	13-110 13-112
H'0080 120E	CAN0メッセージスロット16タイムスタンプ (C0MSL16TSP)		13-114
H'0080 1210	CAN0メッセージスロット17標準ID0 (C0MSL17SID0)	CAN0メッセージスロット17標準ID1 (C0MSL17SID1)	13-86 13-88
H'0080 1212	CAN0メッセージスロット17拡張ID0 (C0MSL17EID0)	CAN0メッセージスロット17拡張ID1 (C0MSL17EID1)	13-90 13-92
H'0080 1214	CAN0メッセージスロット17拡張ID2 (C0MSL17EID2)	CAN0メッセージスロット17データ長レジスタ (C0MSL17DLC)	13-94 13-96
H'0080 1216	CAN0メッセージスロット17データ0 (C0MSL17DT0)	CAN0メッセージスロット17データ1 (C0MSL17DT1)	13-98 13-100
H'0080 1218	CAN0メッセージスロット17データ2 (C0MSL17DT2)	CAN0メッセージスロット17データ3 (C0MSL17DT3)	13-102 13-104
H'0080 121A	CAN0メッセージスロット17データ4 (C0MSL17DT4)	CAN0メッセージスロット17データ5 (C0MSL17DT5)	13-106 13-108
H'0080 121C	CAN0メッセージスロット17データ6 (C0MSL17DT6)	CAN0メッセージスロット17データ7 (C0MSL17DT7)	13-110 13-112
H'0080 121E	CAN0メッセージスロット17タイムスタンプ (C0MSL17TSP)		13-114
H'0080 1220	CAN0メッセージスロット18標準ID0 (C0MSL18SID0)	CAN0メッセージスロット18標準ID1 (C0MSL18SID1)	13-86 13-88
H'0080 1222	CAN0メッセージスロット18拡張ID0 (C0MSL18EID0)	CAN0メッセージスロット18拡張ID1 (C0MSL18EID1)	13-90 13-92
H'0080 1224	CAN0メッセージスロット18拡張ID2 (C0MSL18EID2)	CAN0メッセージスロット18データ長レジスタ (C0MSL18DLC)	13-94 13-96
H'0080 1226	CAN0メッセージスロット18データ0 (C0MSL18DT0)	CAN0メッセージスロット18データ1 (C0MSL18DT1)	13-98 13-100
H'0080 1228	CAN0メッセージスロット18データ2 (C0MSL18DT2)	CAN0メッセージスロット18データ3 (C0MSL18DT3)	13-102 13-104
H'0080 122A	CAN0メッセージスロット18データ4 (C0MSL18DT4)	CAN0メッセージスロット18データ5 (C0MSL18DT5)	13-106 13-108
H'0080 122C	CAN0メッセージスロット18データ6 (C0MSL18DT6)	CAN0メッセージスロット18データ7 (C0MSL18DT7)	13-110 13-112
H'0080 122E	CAN0メッセージスロット18タイムスタンプ (C0MSL18TSP)		13-114
H'0080 1230	CAN0メッセージスロット19標準ID0 (C0MSL19SID0)	CAN0メッセージスロット19標準ID1 (C0MSL19SID1)	13-86 13-88

SFR領域のレジスタマップ(24/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 1232	CAN0メッセージスロット19拡張ID0 (C0MSL19EID0)	CAN0メッセージスロット19拡張ID1 (C0MSL19EID1)	13-90 13-92
H'0080 1234	CAN0メッセージスロット19拡張ID2 (C0MSL19EID2)	CAN0メッセージスロット19データ長レジスタ (C0MSL19DLC)	13-94 13-96
H'0080 1236	CAN0メッセージスロット19データ0 (C0MSL19DT0)	CAN0メッセージスロット19データ1 (C0MSL19DT1)	13-98 13-100
H'0080 1238	CAN0メッセージスロット19データ2 (C0MSL19DT2)	CAN0メッセージスロット19データ3 (C0MSL19DT3)	13-102 13-104
H'0080 123A	CAN0メッセージスロット19データ4 (C0MSL19DT4)	CAN0メッセージスロット19データ5 (C0MSL19DT5)	13-106 13-108
H'0080 123C	CAN0メッセージスロット19データ6 (C0MSL19DT6)	CAN0メッセージスロット19データ7 (C0MSL19DT7)	13-110 13-112
H'0080 123E	CAN0メッセージスロット19タイムスタンプ (C0MSL19TSP)		13-114
H'0080 1240	CAN0メッセージスロット20標準ID0 (C0MSL20SID0)	CAN0メッセージスロット20標準ID1 (C0MSL20SID1)	13-86 13-88
H'0080 1242	CAN0メッセージスロット20拡張ID0 (C0MSL20EID0)	CAN0メッセージスロット20拡張ID1 (C0MSL20EID1)	13-90 13-92
H'0080 1244	CAN0メッセージスロット20拡張ID2 (C0MSL20EID2)	CAN0メッセージスロット20データ長レジスタ (C0MSL20DLC)	13-94 13-96
H'0080 1246	CAN0メッセージスロット20データ0 (C0MSL20DT0)	CAN0メッセージスロット20データ1 (C0MSL20DT1)	13-98 13-100
H'0080 1248	CAN0メッセージスロット20データ2 (C0MSL20DT2)	CAN0メッセージスロット20データ3 (C0MSL20DT3)	13-102 13-104
H'0080 124A	CAN0メッセージスロット20データ4 (C0MSL20DT4)	CAN0メッセージスロット20データ5 (C0MSL20DT5)	13-106 13-108
H'0080 124C	CAN0メッセージスロット20データ6 (C0MSL20DT6)	CAN0メッセージスロット20データ7 (C0MSL20DT7)	13-110 13-112
H'0080 124E	CAN0メッセージスロット20タイムスタンプ (C0MSL20TSP)		13-114
H'0080 1250	CAN0メッセージスロット21標準ID0 (C0MSL21SID0)	CAN0メッセージスロット21標準ID1 (C0MSL21SID1)	13-86 13-88
H'0080 1252	CAN0メッセージスロット21拡張ID0 (C0MSL21EID0)	CAN0メッセージスロット21拡張ID1 (C0MSL21EID1)	13-90 13-92
H'0080 1254	CAN0メッセージスロット21拡張ID2 (C0MSL21EID2)	CAN0メッセージスロット21データ長レジスタ (C0MSL21DLC)	13-94 13-96
H'0080 1256	CAN0メッセージスロット21データ0 (C0MSL21DT0)	CAN0メッセージスロット21データ1 (C0MSL21DT1)	13-98 13-100
H'0080 1258	CAN0メッセージスロット21データ2 (C0MSL21DT2)	CAN0メッセージスロット21データ3 (C0MSL21DT3)	13-102 13-104
H'0080 125A	CAN0メッセージスロット21データ4 (C0MSL21DT4)	CAN0メッセージスロット21データ5 (C0MSL21DT5)	13-106 13-108
H'0080 125C	CAN0メッセージスロット21データ6 (C0MSL21DT6)	CAN0メッセージスロット21データ7 (C0MSL21DT7)	13-110 13-112
H'0080 125E	CAN0メッセージスロット21タイムスタンプ (C0MSL21TSP)		13-114
H'0080 1260	CAN0メッセージスロット22標準ID0 (C0MSL22SID0)	CAN0メッセージスロット22標準ID1 (C0MSL22SID1)	13-86 13-88
H'0080 1262	CAN0メッセージスロット22拡張ID0 (C0MSL22EID0)	CAN0メッセージスロット22拡張ID1 (C0MSL22EID1)	13-90 13-92
H'0080 1264	CAN0メッセージスロット22拡張ID2 (C0MSL22EID2)	CAN0メッセージスロット22データ長レジスタ (C0MSL22DLC)	13-94 13-96
H'0080 1266	CAN0メッセージスロット22データ0 (C0MSL22DT0)	CAN0メッセージスロット22データ1 (C0MSL22DT1)	13-98 13-100
H'0080 1268	CAN0メッセージスロット22データ2 (C0MSL22DT2)	CAN0メッセージスロット22データ3 (C0MSL22DT3)	13-102 13-104
H'0080 126A	CAN0メッセージスロット22データ4 (C0MSL22DT4)	CAN0メッセージスロット22データ5 (C0MSL22DT5)	13-106 13-108
H'0080 126C	CAN0メッセージスロット22データ6 (C0MSL22DT6)	CAN0メッセージスロット22データ7 (C0MSL22DT7)	13-110 13-112
H'0080 126E	CAN0メッセージスロット22タイムスタンプ (C0MSL22TSP)		13-114
H'0080 1270	CAN0メッセージスロット23標準ID0 (C0MSL23SID0)	CAN0メッセージスロット23標準ID1 (C0MSL23SID1)	13-86 13-88
H'0080 1272	CAN0メッセージスロット23拡張ID0 (C0MSL23EID0)	CAN0メッセージスロット23拡張ID1 (C0MSL23EID1)	13-90 13-92
H'0080 1274	CAN0メッセージスロット23拡張ID2 (C0MSL23EID2)	CAN0メッセージスロット23データ長レジスタ (C0MSL23DLC)	13-94 13-96
H'0080 1276	CAN0メッセージスロット23データ0 (C0MSL23DT0)	CAN0メッセージスロット23データ1 (C0MSL23DT1)	13-98 13-100

SFR領域のレジスタマップ(25/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 1278	CAN0メッセージスロット23データ2 (C0MSL23DT2)	CAN0メッセージスロット23データ3 (C0MSL23DT3)	13-102 13-104
H'0080 127A	CAN0メッセージスロット23データ4 (C0MSL23DT4)	CAN0メッセージスロット23データ5 (C0MSL23DT5)	13-106 13-108
H'0080 127C	CAN0メッセージスロット23データ6 (C0MSL23DT6)	CAN0メッセージスロット23データ7 (C0MSL23DT7)	13-110 13-112
H'0080 127E	CAN0メッセージスロット23タイムスタンプ (C0MSL23TSP)		13-114
H'0080 1280	CAN0メッセージスロット24標準ID0 (C0MSL24SID0)	CAN0メッセージスロット24標準ID1 (C0MSL24SID1)	13-86 13-88
H'0080 1282	CAN0メッセージスロット24拡張ID0 (C0MSL24EID0)	CAN0メッセージスロット24拡張ID1 (C0MSL24EID1)	13-90 13-92
H'0080 1284	CAN0メッセージスロット24拡張ID2 (C0MSL24EID2)	CAN0メッセージスロット24データ長レジスタ (C0MSL24DLC)	13-94 13-96
H'0080 1286	CAN0メッセージスロット24データ0 (C0MSL24DT0)	CAN0メッセージスロット24データ1 (C0MSL24DT1)	13-98 13-100
H'0080 1288	CAN0メッセージスロット24データ2 (C0MSL24DT2)	CAN0メッセージスロット24データ3 (C0MSL24DT3)	13-102 13-104
H'0080 128A	CAN0メッセージスロット24データ4 (C0MSL24DT4)	CAN0メッセージスロット24データ5 (C0MSL24DT5)	13-106 13-108
H'0080 128C	CAN0メッセージスロット24データ6 (C0MSL24DT6)	CAN0メッセージスロット24データ7 (C0MSL24DT7)	13-110 13-112
H'0080 128E	CAN0メッセージスロット24タイムスタンプ (C0MSL24TSP)		13-114
H'0080 1290	CAN0メッセージスロット25標準ID0 (C0MSL25SID0)	CAN0メッセージスロット25標準ID1 (C0MSL25SID1)	13-86 13-88
H'0080 1292	CAN0メッセージスロット25拡張ID0 (C0MSL25EID0)	CAN0メッセージスロット25拡張ID1 (C0MSL25EID1)	13-90 13-92
H'0080 1294	CAN0メッセージスロット25拡張ID2 (C0MSL25EID2)	CAN0メッセージスロット25データ長レジスタ (C0MSL25DLC)	13-94 13-96
H'0080 1296	CAN0メッセージスロット25データ0 (C0MSL25DT0)	CAN0メッセージスロット25データ1 (C0MSL25DT1)	13-98 13-100
H'0080 1298	CAN0メッセージスロット25データ2 (C0MSL25DT2)	CAN0メッセージスロット25データ3 (C0MSL25DT3)	13-102 13-104
H'0080 129A	CAN0メッセージスロット25データ4 (C0MSL25DT4)	CAN0メッセージスロット25データ5 (C0MSL25DT5)	13-106 13-108
H'0080 129C	CAN0メッセージスロット25データ6 (C0MSL25DT6)	CAN0メッセージスロット25データ7 (C0MSL25DT7)	13-110 13-112
H'0080 129E	CAN0メッセージスロット25タイムスタンプ (C0MSL25TSP)		13-114
H'0080 12A0	CAN0メッセージスロット26標準ID0 (C0MSL26SID0)	CAN0メッセージスロット26標準ID1 (C0MSL26SID1)	13-86 13-88
H'0080 12A2	CAN0メッセージスロット26拡張ID0 (C0MSL26EID0)	CAN0メッセージスロット26拡張ID1 (C0MSL26EID1)	13-90 13-92
H'0080 12A4	CAN0メッセージスロット26拡張ID2 (C0MSL26EID2)	CAN0メッセージスロット26データ長レジスタ (C0MSL26DLC)	13-94 13-96
H'0080 12A6	CAN0メッセージスロット26データ0 (C0MSL26DT0)	CAN0メッセージスロット26データ1 (C0MSL26DT1)	13-98 13-100
H'0080 12A8	CAN0メッセージスロット26データ2 (C0MSL26DT2)	CAN0メッセージスロット26データ3 (C0MSL26DT3)	13-102 13-104
H'0080 12AA	CAN0メッセージスロット26データ4 (C0MSL26DT4)	CAN0メッセージスロット26データ5 (C0MSL26DT5)	13-106 13-108
H'0080 12AC	CAN0メッセージスロット26データ6 (C0MSL26DT6)	CAN0メッセージスロット26データ7 (C0MSL26DT7)	13-110 13-112
H'0080 12AE	CAN0メッセージスロット26タイムスタンプ (C0MSL26TSP)		13-114
H'0080 12B0	CAN0メッセージスロット27標準ID0 (C0MSL27SID0)	CAN0メッセージスロット27標準ID1 (C0MSL27SID1)	13-86 13-88
H'0080 12B2	CAN0メッセージスロット27拡張ID0 (C0MSL27EID0)	CAN0メッセージスロット27拡張ID1 (C0MSL27EID1)	13-90 13-92
H'0080 12B4	CAN0メッセージスロット27拡張ID2 (C0MSL27EID2)	CAN0メッセージスロット27データ長レジスタ (C0MSL27DLC)	13-94 13-96
H'0080 12B6	CAN0メッセージスロット27データ0 (C0MSL27DT0)	CAN0メッセージスロット27データ1 (C0MSL27DT1)	13-98 13-100
H'0080 12B8	CAN0メッセージスロット27データ2 (C0MSL27DT2)	CAN0メッセージスロット27データ3 (C0MSL27DT3)	13-102 13-104
H'0080 12BA	CAN0メッセージスロット27データ4 (C0MSL27DT4)	CAN0メッセージスロット27データ5 (C0MSL27DT5)	13-106 13-108
H'0080 12BC	CAN0メッセージスロット27データ6 (C0MSL27DT6)	CAN0メッセージスロット27データ7 (C0MSL27DT7)	13-110 13-112

SFR領域のレジスタマップ(26/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 12BE	CAN0メッセージスロット27タイムスタンプ (COMSL27TSP)		13-114
H'0080 12C0	CAN0メッセージスロット28標準ID0 (COMSL28SID0)	CAN0メッセージスロット28標準ID1 (COMSL28SID1)	13-86 13-88
H'0080 12C2	CAN0メッセージスロット28拡張ID0 (COMSL28EID0)	CAN0メッセージスロット28拡張ID1 (COMSL28EID1)	13-90 13-92
H'0080 12C4	CAN0メッセージスロット28拡張ID2 (COMSL28EID2)	CAN0メッセージスロット28データ長レジスタ (COMSL28DLC)	13-94 13-96
H'0080 12C6	CAN0メッセージスロット28データ0 (COMSL28DT0)	CAN0メッセージスロット28データ1 (COMSL28DT1)	13-98 13-100
H'0080 12C8	CAN0メッセージスロット28データ2 (COMSL28DT2)	CAN0メッセージスロット28データ3 (COMSL28DT3)	13-102 13-104
H'0080 12CA	CAN0メッセージスロット28データ4 (COMSL28DT4)	CAN0メッセージスロット28データ5 (COMSL28DT5)	13-106 13-108
H'0080 12CC	CAN0メッセージスロット28データ6 (COMSL28DT6)	CAN0メッセージスロット28データ7 (COMSL28DT7)	13-110 13-112
H'0080 12CE	CAN0メッセージスロット28タイムスタンプ (COMSL28TSP)		13-114
H'0080 12D0	CAN0メッセージスロット29標準ID0 (COMSL29SID0)	CAN0メッセージスロット29標準ID1 (COMSL29SID1)	13-86 13-88
H'0080 12D2	CAN0メッセージスロット29拡張ID0 (COMSL29EID0)	CAN0メッセージスロット29拡張ID1 (COMSL29EID1)	13-90 13-92
H'0080 12D4	CAN0メッセージスロット29拡張ID2 (COMSL29EID2)	CAN0メッセージスロット29データ長レジスタ (COMSL29DLC)	13-94 13-96
H'0080 12D6	CAN0メッセージスロット29データ0 (COMSL29DT0)	CAN0メッセージスロット29データ1 (COMSL29DT1)	13-98 13-100
H'0080 12D8	CAN0メッセージスロット29データ2 (COMSL29DT2)	CAN0メッセージスロット29データ3 (COMSL29DT3)	13-102 13-104
H'0080 12DA	CAN0メッセージスロット29データ4 (COMSL29DT4)	CAN0メッセージスロット29データ5 (COMSL29DT5)	13-106 13-108
H'0080 12DC	CAN0メッセージスロット29データ6 (COMSL29DT6)	CAN0メッセージスロット29データ7 (COMSL29DT7)	13-110 13-112
H'0080 12DE	CAN0メッセージスロット29タイムスタンプ (COMSL29TSP)		13-114
H'0080 12E0	CAN0メッセージスロット30標準ID0 (COMSL30SID0)	CAN0メッセージスロット30標準ID1 (COMSL30SID1)	13-86 13-88
H'0080 12E2	CAN0メッセージスロット30拡張ID0 (COMSL30EID0)	CAN0メッセージスロット30拡張ID1 (COMSL30EID1)	13-90 13-92
H'0080 12E4	CAN0メッセージスロット30拡張ID2 (COMSL30EID2)	CAN0メッセージスロット30データ長レジスタ (COMSL30DLC)	13-94 13-96
H'0080 12E6	CAN0メッセージスロット30データ0 (COMSL30DT0)	CAN0メッセージスロット30データ1 (COMSL30DT1)	13-98 13-100
H'0080 12E8	CAN0メッセージスロット30データ2 (COMSL30DT2)	CAN0メッセージスロット30データ3 (COMSL30DT3)	13-102 13-104
H'0080 12EA	CAN0メッセージスロット30データ4 (COMSL30DT4)	CAN0メッセージスロット30データ5 (COMSL30DT5)	13-106 13-108
H'0080 12EC	CAN0メッセージスロット30データ6 (COMSL30DT6)	CAN0メッセージスロット30データ7 (COMSL30DT7)	13-110 13-112
H'0080 12EE	CAN0メッセージスロット30タイムスタンプ (COMSL30TSP)		13-114
H'0080 12F0	CAN0メッセージスロット31標準ID0 (COMSL31SID0)	CAN0メッセージスロット31標準ID1 (COMSL31SID1)	13-86 13-88
H'0080 12F2	CAN0メッセージスロット31拡張ID0 (COMSL31EID0)	CAN0メッセージスロット31拡張ID1 (COMSL31EID1)	13-90 13-92
H'0080 12F4	CAN0メッセージスロット31拡張ID2 (COMSL31EID2)	CAN0メッセージスロット31データ長レジスタ (COMSL31DLC)	13-94 13-96
H'0080 12F6	CAN0メッセージスロット31データ0 (COMSL31DT0)	CAN0メッセージスロット31データ1 (COMSL31DT1)	13-98 13-100
H'0080 12F8	CAN0メッセージスロット31データ2 (COMSL31DT2)	CAN0メッセージスロット31データ3 (COMSL31DT3)	13-102 13-104
H'0080 12FA	CAN0メッセージスロット31データ4 (COMSL31DT4)	CAN0メッセージスロット31データ5 (COMSL31DT5)	13-106 13-108
H'0080 12FC	CAN0メッセージスロット31データ6 (COMSL31DT6)	CAN0メッセージスロット31データ7 (COMSL31DT7)	13-110 13-112
H'0080 12FE	CAN0メッセージスロット31タイムスタンプ (COMSL31TSP)		13-114
)	(使用禁止領域)		

SFR領域のレジスタマップ(27/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8 b15	
H'0080 1400	CAN1コントロールレジスタ (CAN1CNT)		13-26
H'0080 1402	CAN1ステータスレジスタ (CAN1STAT)		13-29
H'0080 1404	(使用禁止領域)		
H'0080 1406	CAN1コンフィグレーションレジスタ (CAN1CONF)		13-32
H'0080 1408	CAN1タイムスタンプカウンタレジスタ (CAN1TSTMP)		13-35
H'0080 140A	CAN1受信エラーカウンタレジスタ (CAN1REC)	CAN1送信エラーカウンタレジスタ (CAN1TEC)	13-36
H'0080 140C	CAN1スロット割り込み要求ステータスレジスタ (上位) (CAN1SLISTW) (CAN1SLIST)		13-40
H'0080 140E	(下位) (CAN1SLISTL)		
H'0080 1410	CAN1スロット割り込み要求マスクレジスタ (上位) (CAN1SLIMKW) (CAN1SLIMK)		13-42
H'0080 1412	(下位) (CAN1SLIMKL)		
H'0080 1414	CAN1エラー割り込み要求ステータスレジスタ (CAN1ERIST)	CAN1エラー割り込み要求マスクレジスタ (CAN1ERIMK)	13-43 13-44
H'0080 1416	CAN1ポーレートプリスケアラ (CAN1BRP)	CAN1エラー要因レジスタ (CAN1EF)	13-37 13-67
H'0080 1418	CAN1モードレジスタ (CAN1MOD)	CAN1DMA転送要求選択レジスタ (CAN1DMARQ)	13-69 13-70
H'0080 141A	CAN1メッセージスロットナンパレジスタ (CAN1MSN)	CAN1クロック選択レジスタ (CAN1CKSEL)	13-71 13-72
H'0080 141C	CAN1フレームフォーマット選択レジスタ (上位) (CAN1FFSW) (CAN1FFS)		13-74
H'0080 141E	(下位) (CAN1FFSL)		
H'0080 1420	CAN1グローバルマスクレジスタA標準ID0 (C1GMSKAS0)	CAN1グローバルマスクレジスタA標準ID1 (C1GMSKAS1)	13-76
H'0080 1422	CAN1グローバルマスクレジスタA拡張ID0 (C1GMSKAE0)	CAN1グローバルマスクレジスタA拡張ID1 (C1GMSKAE1)	13-77
H'0080 1424	CAN1グローバルマスクレジスタA拡張ID2 (C1GMSKAE2)	(使用禁止領域)	13-78
H'0080 1426	(使用禁止領域)		
H'0080 1428	CAN1グローバルマスクレジスタB標準ID0 (C1GMSKBS0)	CAN1グローバルマスクレジスタB標準ID1 (C1GMSKBS1)	13-76
H'0080 142A	CAN1グローバルマスクレジスタB拡張ID0 (C1GMSKBE0)	CAN1グローバルマスクレジスタB拡張ID1 (C1GMSKBE1)	13-77
H'0080 142C	CAN1グローバルマスクレジスタB拡張ID2 (C1GMSKBE2)	(使用禁止領域)	13-78
H'0080 142E	(使用禁止領域)		
H'0080 1430	CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0)	CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1)	13-76
H'0080 1432	CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0)	CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1)	13-77
H'0080 1434	CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2)	(使用禁止領域)	13-78
H'0080 1436	(使用禁止領域)		
H'0080 1438	CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0)	CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1)	13-76
H'0080 143A	CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0)	CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1)	13-77
H'0080 143C	CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2)	(使用禁止領域)	13-78
H'0080 143E	(使用禁止領域)		
H'0080 1440	CAN1シングルショットモード制御レジスタ (上位) (CAN1SSMODEW) (CAN1SSMODE)		13-80
H'0080 1442	(下位) (CAN1SSMODEL)		

SFR領域のレジスタマップ(28/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 1444	CAN1シングルショット割り込み要求ステータスレジスタ (上位) (CAN1SSISTW)		13-45
H'0080 1446	(下位) (CAN1SSISTL)		
H'0080 1448	CAN1シングルショット割り込み要求マスクレジスタ (上位) (CAN1SSIMKW)		13-47
H'0080 144A	(下位) (CAN1SSIMKL)		
	(使用禁止領域)		
H'0080 1450	CAN1メッセージスロット0コントロールレジスタ (C1MSL0CNT)	CAN1メッセージスロット1コントロールレジスタ (C1MSL1CNT)	13-82
H'0080 1452	CAN1メッセージスロット2コントロールレジスタ (C1MSL2CNT)	CAN1メッセージスロット3コントロールレジスタ (C1MSL3CNT)	13-82
H'0080 1454	CAN1メッセージスロット4コントロールレジスタ (C1MSL4CNT)	CAN1メッセージスロット5コントロールレジスタ (C1MSL5CNT)	13-82
H'0080 1456	CAN1メッセージスロット6コントロールレジスタ (C1MSL6CNT)	CAN1メッセージスロット7コントロールレジスタ (C1MSL7CNT)	13-82
H'0080 1458	CAN1メッセージスロット8コントロールレジスタ (C1MSL8CNT)	CAN1メッセージスロット9コントロールレジスタ (C1MSL9CNT)	13-82
H'0080 145A	CAN1メッセージスロット10コントロールレジスタ (C1MSL10CNT)	CAN1メッセージスロット11コントロールレジスタ (C1MSL11CNT)	13-82
H'0080 145C	CAN1メッセージスロット12コントロールレジスタ (C1MSL12CNT)	CAN1メッセージスロット13コントロールレジスタ (C1MSL13CNT)	13-82
H'0080 145E	CAN1メッセージスロット14コントロールレジスタ (C1MSL14CNT)	CAN1メッセージスロット15コントロールレジスタ (C1MSL15CNT)	13-82
H'0080 1460	CAN1メッセージスロット16コントロールレジスタ (C1MSL16CNT)	CAN1メッセージスロット17コントロールレジスタ (C1MSL17CNT)	13-82 13-83
H'0080 1462	CAN1メッセージスロット18コントロールレジスタ (C1MSL18CNT)	CAN1メッセージスロット19コントロールレジスタ (C1MSL19CNT)	13-83
H'0080 1464	CAN1メッセージスロット20コントロールレジスタ (C1MSL20CNT)	CAN1メッセージスロット21コントロールレジスタ (C1MSL21CNT)	13-83
H'0080 1466	CAN1メッセージスロット22コントロールレジスタ (C1MSL22CNT)	CAN1メッセージスロット23コントロールレジスタ (C1MSL23CNT)	13-83
H'0080 1468	CAN1メッセージスロット24コントロールレジスタ (C1MSL24CNT)	CAN1メッセージスロット25コントロールレジスタ (C1MSL25CNT)	13-83
H'0080 146A	CAN1メッセージスロット26コントロールレジスタ (C1MSL26CNT)	CAN1メッセージスロット27コントロールレジスタ (C1MSL27CNT)	13-83
H'0080 146C	CAN1メッセージスロット28コントロールレジスタ (C1MSL28CNT)	CAN1メッセージスロット29コントロールレジスタ (C1MSL29CNT)	13-83
H'0080 146E	CAN1メッセージスロット30コントロールレジスタ (C1MSL30CNT)	CAN1メッセージスロット31コントロールレジスタ (C1MSL31CNT)	13-83
	(使用禁止領域)		
H'0080 1500	CAN1メッセージスロット0標準ID0 (C1MSL0SID0)	CAN1メッセージスロット0標準ID1 (C1MSL0SID1)	13-86 13-88
H'0080 1502	CAN1メッセージスロット0拡張ID0 (C1MSL0EID0)	CAN1メッセージスロット0拡張ID1 (C1MSL0EID1)	13-90 13-92
H'0080 1504	CAN1メッセージスロット0拡張ID2 (C1MSL0EID2)	CAN1メッセージスロット0データ長レジスタ (C1MSL0DLC)	13-94 13-96
H'0080 1506	CAN1メッセージスロット0データ0 (C1MSL0DT0)	CAN1メッセージスロット0データ1 (C1MSL0DT1)	13-98 13-100
H'0080 1508	CAN1メッセージスロット0データ2 (C1MSL0DT2)	CAN1メッセージスロット0データ3 (C1MSL0DT3)	13-102 13-104
H'0080 150A	CAN1メッセージスロット0データ4 (C1MSL0DT4)	CAN1メッセージスロット0データ5 (C1MSL0DT5)	13-106 13-108
H'0080 150C	CAN1メッセージスロット0データ6 (C1MSL0DT6)	CAN1メッセージスロット0データ7 (C1MSL0DT7)	13-110 13-112
H'0080 150E	CAN1メッセージスロット0タイムスタンプ (C1MSL0TSP)		13-114
H'0080 1510	CAN1メッセージスロット1標準ID0 (C1MSL1SID0)	CAN1メッセージスロット1標準ID1 (C1MSL1SID1)	13-86 13-88
H'0080 1512	CAN1メッセージスロット1拡張ID0 (C1MSL1EID0)	CAN1メッセージスロット1拡張ID1 (C1MSL1EID1)	13-90 13-92
H'0080 1514	CAN1メッセージスロット1拡張ID2 (C1MSL1EID2)	CAN1メッセージスロット1データ長レジスタ (C1MSL1DLC)	13-94 13-96
H'0080 1516	CAN1メッセージスロット1データ0 (C1MSL1DT0)	CAN1メッセージスロット1データ1 (C1MSL1DT1)	13-98 13-100
H'0080 1518	CAN1メッセージスロット1データ2 (C1MSL1DT2)	CAN1メッセージスロット1データ3 (C1MSL1DT3)	13-102 13-104

SFR領域のレジスタマップ(29/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 151A	CAN1メッセージスロット1データ4 (C1MSL1DT4)	CAN1メッセージスロット1データ5 (C1MSL1DT5)	13-106 13-108
H'0080 151C	CAN1メッセージスロット1データ6 (C1MSL1DT6)	CAN1メッセージスロット1データ7 (C1MSL1DT7)	13-110 13-112
H'0080 151E	CAN1メッセージスロット1タイムスタンプ (C1MSL1TSP)		13-114
H'0080 1520	CAN1メッセージスロット2標準ID0 (C1MSL2SID0)	CAN1メッセージスロット2標準ID1 (C1MSL2SID1)	13-86 13-88
H'0080 1522	CAN1メッセージスロット2拡張ID0 (C1MSL2EID0)	CAN1メッセージスロット2拡張ID1 (C1MSL2EID1)	13-90 13-92
H'0080 1524	CAN1メッセージスロット2拡張ID2 (C1MSL2EID2)	CAN1メッセージスロット2データ長レジスタ (C1MSL2DLC)	13-94 13-96
H'0080 1526	CAN1メッセージスロット2データ0 (C1MSL2DT0)	CAN1メッセージスロット2データ1 (C1MSL2DT1)	13-98 13-100
H'0080 1528	CAN1メッセージスロット2データ2 (C1MSL2DT2)	CAN1メッセージスロット2データ3 (C1MSL2DT3)	13-102 13-104
H'0080 152A	CAN1メッセージスロット2データ4 (C1MSL2DT4)	CAN1メッセージスロット2データ5 (C1MSL2DT5)	13-106 13-108
H'0080 152C	CAN1メッセージスロット2データ6 (C1MSL2DT6)	CAN1メッセージスロット2データ7 (C1MSL2DT7)	13-110 13-112
H'0080 152E	CAN1メッセージスロット2タイムスタンプ (C1MSL2TSP)		13-114
H'0080 1530	CAN1メッセージスロット3標準ID0 (C1MSL3SID0)	CAN1メッセージスロット3標準ID1 (C1MSL3SID1)	13-86 13-88
H'0080 1532	CAN1メッセージスロット3拡張ID0 (C1MSL3EID0)	CAN1メッセージスロット3拡張ID1 (C1MSL3EID1)	13-90 13-92
H'0080 1534	CAN1メッセージスロット3拡張ID2 (C1MSL3EID2)	CAN1メッセージスロット3データ長レジスタ (C1MSL3DLC)	13-94 13-96
H'0080 1536	CAN1メッセージスロット3データ0 (C1MSL3DT0)	CAN1メッセージスロット3データ1 (C1MSL3DT1)	13-98 13-100
H'0080 1538	CAN1メッセージスロット3データ2 (C1MSL3DT2)	CAN1メッセージスロット3データ3 (C1MSL3DT3)	13-102 13-104
H'0080 153A	CAN1メッセージスロット3データ4 (C1MSL3DT4)	CAN1メッセージスロット3データ5 (C1MSL3DT5)	13-106 13-108
H'0080 153C	CAN1メッセージスロット3データ6 (C1MSL3DT6)	CAN1メッセージスロット3データ7 (C1MSL3DT7)	13-110 13-112
H'0080 153E	CAN1メッセージスロット3タイムスタンプ (C1MSL3TSP)		13-114
H'0080 1540	CAN1メッセージスロット4標準ID0 (C1MSL4SID0)	CAN1メッセージスロット4標準ID1 (C1MSL4SID1)	13-86 13-88
H'0080 1542	CAN1メッセージスロット4拡張ID0 (C1MSL4EID0)	CAN1メッセージスロット4拡張ID1 (C1MSL4EID1)	13-90 13-92
H'0080 1544	CAN1メッセージスロット4拡張ID2 (C1MSL4EID2)	CAN1メッセージスロット4データ長レジスタ (C1MSL4DLC)	13-94 13-96
H'0080 1546	CAN1メッセージスロット4データ0 (C1MSL4DT0)	CAN1メッセージスロット4データ1 (C1MSL4DT1)	13-98 13-100
H'0080 1548	CAN1メッセージスロット4データ2 (C1MSL4DT2)	CAN1メッセージスロット4データ3 (C1MSL4DT3)	13-102 13-104
H'0080 154A	CAN1メッセージスロット4データ4 (C1MSL4DT4)	CAN1メッセージスロット4データ5 (C1MSL4DT5)	13-106 13-108
H'0080 154C	CAN1メッセージスロット4データ6 (C1MSL4DT6)	CAN1メッセージスロット4データ7 (C1MSL4DT7)	13-110 13-112
H'0080 154E	CAN1メッセージスロット4タイムスタンプ (C1MSL4TSP)		13-114
H'0080 1550	CAN1メッセージスロット5標準ID0 (C1MSL5SID0)	CAN1メッセージスロット5標準ID1 (C1MSL5SID1)	13-86 13-88
H'0080 1552	CAN1メッセージスロット5拡張ID0 (C1MSL5EID0)	CAN1メッセージスロット5拡張ID1 (C1MSL5EID1)	13-90 13-92
H'0080 1554	CAN1メッセージスロット5拡張ID2 (C1MSL5EID2)	CAN1メッセージスロット5データ長レジスタ (C1MSL5DLC)	13-94 13-96
H'0080 1556	CAN1メッセージスロット5データ0 (C1MSL5DT0)	CAN1メッセージスロット5データ1 (C1MSL5DT1)	13-98 13-100
H'0080 1558	CAN1メッセージスロット5データ2 (C1MSL5DT2)	CAN1メッセージスロット5データ3 (C1MSL5DT3)	13-102 13-104
H'0080 155A	CAN1メッセージスロット5データ4 (C1MSL5DT4)	CAN1メッセージスロット5データ5 (C1MSL5DT5)	13-106 13-108
H'0080 155C	CAN1メッセージスロット5データ6 (C1MSL5DT6)	CAN1メッセージスロット5データ7 (C1MSL5DT7)	13-110 13-112
H'0080 155E	CAN1メッセージスロット5タイムスタンプ (C1MSL5TSP)		13-114

SFR領域のレジスタマップ(30/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 1560	CAN1メッセージスロット6標準ID0 (C1MSL6SID0)	CAN1メッセージスロット6標準ID1 (C1MSL6SID1)	13-86 13-88
H'0080 1562	CAN1メッセージスロット6拡張ID0 (C1MSL6EID0)	CAN1メッセージスロット6拡張ID1 (C1MSL6EID1)	13-90 13-92
H'0080 1564	CAN1メッセージスロット6拡張ID2 (C1MSL6EID2)	CAN1メッセージスロット6データ長レジスタ (C1MSL6DLC)	13-94 13-96
H'0080 1566	CAN1メッセージスロット6データ0 (C1MSL6DT0)	CAN1メッセージスロット6データ1 (C1MSL6DT1)	13-98 13-100
H'0080 1568	CAN1メッセージスロット6データ2 (C1MSL6DT2)	CAN1メッセージスロット6データ3 (C1MSL6DT3)	13-102 13-104
H'0080 156A	CAN1メッセージスロット6データ4 (C1MSL6DT4)	CAN1メッセージスロット6データ5 (C1MSL6DT5)	13-106 13-108
H'0080 156C	CAN1メッセージスロット6データ6 (C1MSL6DT6)	CAN1メッセージスロット6データ7 (C1MSL6DT7)	13-110 13-112
H'0080 156E	CAN1メッセージスロット6タイムスタンプ (C1MSL6TSP)		13-114
H'0080 1570	CAN1メッセージスロット7標準ID0 (C1MSL7SID0)	CAN1メッセージスロット7標準ID1 (C1MSL7SID1)	13-86 13-88
H'0080 1572	CAN1メッセージスロット7拡張ID0 (C1MSL7EID0)	CAN1メッセージスロット7拡張ID1 (C1MSL7EID1)	13-90 13-92
H'0080 1574	CAN1メッセージスロット7拡張ID2 (C1MSL7EID2)	CAN1メッセージスロット7データ長レジスタ (C1MSL7DLC)	13-94 13-96
H'0080 1576	CAN1メッセージスロット7データ0 (C1MSL7DT0)	CAN1メッセージスロット7データ1 (C1MSL7DT1)	13-98 13-100
H'0080 1578	CAN1メッセージスロット7データ2 (C1MSL7DT2)	CAN1メッセージスロット7データ3 (C1MSL7DT3)	13-102 13-104
H'0080 157A	CAN1メッセージスロット7データ4 (C1MSL7DT4)	CAN1メッセージスロット7データ5 (C1MSL7DT5)	13-106 13-108
H'0080 157C	CAN1メッセージスロット7データ6 (C1MSL7DT6)	CAN1メッセージスロット7データ7 (C1MSL7DT7)	13-110 13-112
H'0080 157E	CAN1メッセージスロット7タイムスタンプ (C1MSL7TSP)		13-114
H'0080 1580	CAN1メッセージスロット8標準ID0 (C1MSL8SID0)	CAN1メッセージスロット8標準ID1 (C1MSL8SID1)	13-86 13-88
H'0080 1582	CAN1メッセージスロット8拡張ID0 (C1MSL8EID0)	CAN1メッセージスロット8拡張ID1 (C1MSL8EID1)	13-90 13-92
H'0080 1584	CAN1メッセージスロット8拡張ID2 (C1MSL8EID2)	CAN1メッセージスロット8データ長レジスタ (C1MSL8DLC)	13-94 13-96
H'0080 1586	CAN1メッセージスロット8データ0 (C1MSL8DT0)	CAN1メッセージスロット8データ1 (C1MSL8DT1)	13-98 13-100
H'0080 1588	CAN1メッセージスロット8データ2 (C1MSL8DT2)	CAN1メッセージスロット8データ3 (C1MSL8DT3)	13-102 13-104
H'0080 158A	CAN1メッセージスロット8データ4 (C1MSL8DT4)	CAN1メッセージスロット8データ5 (C1MSL8DT5)	13-106 13-108
H'0080 158C	CAN1メッセージスロット8データ6 (C1MSL8DT6)	CAN1メッセージスロット8データ7 (C1MSL8DT7)	13-110 13-112
H'0080 158E	CAN1メッセージスロット8タイムスタンプ (C1MSL8TSP)		13-114
H'0080 1590	CAN1メッセージスロット9標準ID0 (C1MSL9SID0)	CAN1メッセージスロット9標準ID1 (C1MSL9SID1)	13-86 13-88
H'0080 1592	CAN1メッセージスロット9拡張ID0 (C1MSL9EID0)	CAN1メッセージスロット9拡張ID1 (C1MSL9EID1)	13-90 13-92
H'0080 1594	CAN1メッセージスロット9拡張ID2 (C1MSL9EID2)	CAN1メッセージスロット9データ長レジスタ (C1MSL9DLC)	13-94 13-96
H'0080 1596	CAN1メッセージスロット9データ0 (C1MSL9DT0)	CAN1メッセージスロット9データ1 (C1MSL9DT1)	13-98 13-100
H'0080 1598	CAN1メッセージスロット9データ2 (C1MSL9DT2)	CAN1メッセージスロット9データ3 (C1MSL9DT3)	13-102 13-104
H'0080 159A	CAN1メッセージスロット9データ4 (C1MSL9DT4)	CAN1メッセージスロット9データ5 (C1MSL9DT5)	13-106 13-108
H'0080 159C	CAN1メッセージスロット9データ6 (C1MSL9DT6)	CAN1メッセージスロット9データ7 (C1MSL9DT7)	13-110 13-112
H'0080 159E	CAN1メッセージスロット9タイムスタンプ (C1MSL9TSP)		13-114
H'0080 15A0	CAN1メッセージスロット10標準ID0 (C1MSL10SID0)	CAN1メッセージスロット10標準ID1 (C1MSL10SID1)	13-86 13-88
H'0080 15A2	CAN1メッセージスロット10拡張ID0 (C1MSL10EID0)	CAN1メッセージスロット10拡張ID1 (C1MSL10EID1)	13-90 13-92
H'0080 15A4	CAN1メッセージスロット10拡張ID2 (C1MSL10EID2)	CAN1メッセージスロット10データ長レジスタ (C1MSL10DLC)	13-94 13-96

SFR領域のレジスタマップ(31/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 15A6	CAN1メッセージスロット10データ0 (C1MSL10DT0)	CAN1メッセージスロット10データ1 (C1MSL10DT1)	13-98 13-100
H'0080 15A8	CAN1メッセージスロット10データ2 (C1MSL10DT2)	CAN1メッセージスロット10データ3 (C1MSL10DT3)	13-102 13-104
H'0080 15AA	CAN1メッセージスロット10データ4 (C1MSL10DT4)	CAN1メッセージスロット10データ5 (C1MSL10DT5)	13-106 13-108
H'0080 15AC	CAN1メッセージスロット10データ6 (C1MSL10DT6)	CAN1メッセージスロット10データ7 (C1MSL10DT7)	13-110 13-112
H'0080 15AE	CAN1メッセージスロット10タイムスタンプ (C1MSL10TSP)		13-114
H'0080 15B0	CAN1メッセージスロット11標準ID0 (C1MSL11SID0)	CAN1メッセージスロット11標準ID1 (C1MSL11SID1)	13-86 13-88
H'0080 15B2	CAN1メッセージスロット11拡張ID0 (C1MSL11EID0)	CAN1メッセージスロット11拡張ID1 (C1MSL11EID1)	13-90 13-92
H'0080 15B4	CAN1メッセージスロット11拡張ID2 (C1MSL11EID2)	CAN1メッセージスロット11データ長レジスタ (C1MSL11DLC)	13-94 13-96
H'0080 15B6	CAN1メッセージスロット11データ0 (C1MSL11DT0)	CAN1メッセージスロット11データ1 (C1MSL11DT1)	13-98 13-100
H'0080 15B8	CAN1メッセージスロット11データ2 (C1MSL11DT2)	CAN1メッセージスロット11データ3 (C1MSL11DT3)	13-102 13-104
H'0080 15BA	CAN1メッセージスロット11データ4 (C1MSL11DT4)	CAN1メッセージスロット11データ5 (C1MSL11DT5)	13-106 13-108
H'0080 15BC	CAN1メッセージスロット11データ6 (C1MSL11DT6)	CAN1メッセージスロット11データ7 (C1MSL11DT7)	13-110 13-112
H'0080 15BE	CAN1メッセージスロット11タイムスタンプ (C1MSL11TSP)		13-114
H'0080 15C0	CAN1メッセージスロット12標準ID0 (C1MSL12SID0)	CAN1メッセージスロット12標準ID1 (C1MSL12SID1)	13-86 13-88
H'0080 15C2	CAN1メッセージスロット12拡張ID0 (C1MSL12EID0)	CAN1メッセージスロット12拡張ID1 (C1MSL12EID1)	13-90 13-92
H'0080 15C4	CAN1メッセージスロット12拡張ID2 (C1MSL12EID2)	CAN1メッセージスロット12データ長レジスタ (C1MSL12DLC)	13-94 13-96
H'0080 15C6	CAN1メッセージスロット12データ0 (C1MSL12DT0)	CAN1メッセージスロット12データ1 (C1MSL12DT1)	13-98 13-100
H'0080 15C8	CAN1メッセージスロット12データ2 (C1MSL12DT2)	CAN1メッセージスロット12データ3 (C1MSL12DT3)	13-102 13-104
H'0080 15CA	CAN1メッセージスロット12データ4 (C1MSL12DT4)	CAN1メッセージスロット12データ5 (C1MSL12DT5)	13-106 13-108
H'0080 15CC	CAN1メッセージスロット12データ6 (C1MSL12DT6)	CAN1メッセージスロット12データ7 (C1MSL12DT7)	13-110 13-112
H'0080 15CE	CAN1メッセージスロット12タイムスタンプ (C1MSL12TSP)		13-114
H'0080 15D0	CAN1メッセージスロット13標準ID0 (C1MSL13SID0)	CAN1メッセージスロット13標準ID1 (C1MSL13SID1)	13-86 13-88
H'0080 15D2	CAN1メッセージスロット13拡張ID0 (C1MSL13EID0)	CAN1メッセージスロット13拡張ID1 (C1MSL13EID1)	13-90 13-92
H'0080 15D4	CAN1メッセージスロット13拡張ID2 (C1MSL13EID2)	CAN1メッセージスロット13データ長レジスタ (C1MSL13DLC)	13-94 13-96
H'0080 15D6	CAN1メッセージスロット13データ0 (C1MSL13DT0)	CAN1メッセージスロット13データ1 (C1MSL13DT1)	13-98 13-100
H'0080 15D8	CAN1メッセージスロット13データ2 (C1MSL13DT2)	CAN1メッセージスロット13データ3 (C1MSL13DT3)	13-102 13-104
H'0080 15DA	CAN1メッセージスロット13データ4 (C1MSL13DT4)	CAN1メッセージスロット13データ5 (C1MSL13DT5)	13-106 13-108
H'0080 15DC	CAN1メッセージスロット13データ6 (C1MSL13DT6)	CAN1メッセージスロット13データ7 (C1MSL13DT7)	13-110 13-112
H'0080 15DE	CAN1メッセージスロット13タイムスタンプ (C1MSL13TSP)		13-114
H'0080 15E0	CAN1メッセージスロット14標準ID0 (C1MSL14SID0)	CAN1メッセージスロット14標準ID1 (C1MSL14SID1)	13-86 13-88
H'0080 15E2	CAN1メッセージスロット14拡張ID0 (C1MSL14EID0)	CAN1メッセージスロット14拡張ID1 (C1MSL14EID1)	13-90 13-92
H'0080 15E4	CAN1メッセージスロット14拡張ID2 (C1MSL14EID2)	CAN1メッセージスロット14データ長レジスタ (C1MSL14DLC)	13-94 13-96
H'0080 15E6	CAN1メッセージスロット14データ0 (C1MSL14DT0)	CAN1メッセージスロット14データ1 (C1MSL14DT1)	13-98 13-100
H'0080 15E8	CAN1メッセージスロット14データ2 (C1MSL14DT2)	CAN1メッセージスロット14データ3 (C1MSL14DT3)	13-102 13-104
H'0080 15EA	CAN1メッセージスロット14データ4 (C1MSL14DT4)	CAN1メッセージスロット14データ5 (C1MSL14DT5)	13-106 13-108

SFR領域のレジスタマップ(32/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 15EC	CAN1メッセージスロット14データ6 (C1MSL14DT6)	CAN1メッセージスロット14データ7 (C1MSL14DT7)	13-110 13-112
H'0080 15EE	CAN1メッセージスロット14タイムスタンプ (C1MSL14TSP)		13-114
H'0080 15F0	CAN1メッセージスロット15標準ID0 (C1MSL15SID0)	CAN1メッセージスロット15標準ID1 (C1MSL15SID1)	13-86 13-88
H'0080 15F2	CAN1メッセージスロット15拡張ID0 (C1MSL15EID0)	CAN1メッセージスロット15拡張ID1 (C1MSL15EID1)	13-90 13-92
H'0080 15F4	CAN1メッセージスロット15拡張ID2 (C1MSL15EID2)	CAN1メッセージスロット15データ長レジスタ (C1MSL15DLC)	13-94 13-96
H'0080 15F6	CAN1メッセージスロット15データ0 (C1MSL15DT0)	CAN1メッセージスロット15データ1 (C1MSL15DT1)	13-98 13-100
H'0080 15F8	CAN1メッセージスロット15データ2 (C1MSL15DT2)	CAN1メッセージスロット15データ3 (C1MSL15DT3)	13-102 13-104
H'0080 15FA	CAN1メッセージスロット15データ4 (C1MSL15DT4)	CAN1メッセージスロット15データ5 (C1MSL15DT5)	13-106 13-108
H'0080 15FC	CAN1メッセージスロット15データ6 (C1MSL15DT6)	CAN1メッセージスロット15データ7 (C1MSL15DT7)	13-110 13-112
H'0080 15FE	CAN1メッセージスロット15タイムスタンプ (C1MSL15TSP)		13-114
H'0080 1600	CAN1メッセージスロット16標準ID0 (C1MSL16SID0)	CAN1メッセージスロット16標準ID1 (C1MSL16SID1)	13-87 13-89
H'0080 1602	CAN1メッセージスロット16拡張ID0 (C1MSL16EID0)	CAN1メッセージスロット16拡張ID1 (C1MSL16EID1)	13-91 13-93
H'0080 1604	CAN1メッセージスロット16拡張ID2 (C1MSL16EID2)	CAN1メッセージスロット16データ長レジスタ (C1MSL16DLC)	13-95 13-97
H'0080 1606	CAN1メッセージスロット16データ0 (C1MSL16DT0)	CAN1メッセージスロット16データ1 (C1MSL16DT1)	13-99 13-101
H'0080 1608	CAN1メッセージスロット16データ2 (C1MSL16DT2)	CAN1メッセージスロット16データ3 (C1MSL16DT3)	13-103 13-105
H'0080 160A	CAN1メッセージスロット16データ4 (C1MSL16DT4)	CAN1メッセージスロット16データ5 (C1MSL16DT5)	13-107 13-109
H'0080 160C	CAN1メッセージスロット16データ6 (C1MSL16DT6)	CAN1メッセージスロット16データ7 (C1MSL16DT7)	13-111 13-113
H'0080 160E	CAN1メッセージスロット16タイムスタンプ (C1MSL16TSP)		13-115
H'0080 1610	CAN1メッセージスロット17標準ID0 (C1MSL17SID0)	CAN1メッセージスロット17標準ID1 (C1MSL17SID1)	13-87 13-89
H'0080 1612	CAN1メッセージスロット17拡張ID0 (C1MSL17EID0)	CAN1メッセージスロット17拡張ID1 (C1MSL17EID1)	13-91 13-93
H'0080 1614	CAN1メッセージスロット17拡張ID2 (C1MSL17EID2)	CAN1メッセージスロット17データ長レジスタ (C1MSL17DLC)	13-95 13-97
H'0080 1616	CAN1メッセージスロット17データ0 (C1MSL17DT0)	CAN1メッセージスロット17データ1 (C1MSL17DT1)	13-99 13-101
H'0080 1618	CAN1メッセージスロット17データ2 (C1MSL17DT2)	CAN1メッセージスロット17データ3 (C1MSL17DT3)	13-103 13-105
H'0080 161A	CAN1メッセージスロット17データ4 (C1MSL17DT4)	CAN1メッセージスロット17データ5 (C1MSL17DT5)	13-107 13-109
H'0080 161C	CAN1メッセージスロット17データ6 (C1MSL17DT6)	CAN1メッセージスロット17データ7 (C1MSL17DT7)	13-111 13-113
H'0080 161E	CAN1メッセージスロット17タイムスタンプ (C1MSL17TSP)		13-115
H'0080 1620	CAN1メッセージスロット18標準ID0 (C1MSL18SID0)	CAN1メッセージスロット18標準ID1 (C1MSL18SID1)	13-87 13-89
H'0080 1622	CAN1メッセージスロット18拡張ID0 (C1MSL18EID0)	CAN1メッセージスロット18拡張ID1 (C1MSL18EID1)	13-91 13-93
H'0080 1624	CAN1メッセージスロット18拡張ID2 (C1MSL18EID2)	CAN1メッセージスロット18データ長レジスタ (C1MSL18DLC)	13-95 13-97
H'0080 1626	CAN1メッセージスロット18データ0 (C1MSL18DT0)	CAN1メッセージスロット18データ1 (C1MSL18DT1)	13-99 13-101
H'0080 1628	CAN1メッセージスロット18データ2 (C1MSL18DT2)	CAN1メッセージスロット18データ3 (C1MSL18DT3)	13-103 13-105
H'0080 162A	CAN1メッセージスロット18データ4 (C1MSL18DT4)	CAN1メッセージスロット18データ5 (C1MSL18DT5)	13-107 13-109
H'0080 162C	CAN1メッセージスロット18データ6 (C1MSL18DT6)	CAN1メッセージスロット18データ7 (C1MSL18DT7)	13-111 13-113
H'0080 162E	CAN1メッセージスロット18タイムスタンプ (C1MSL18TSP)		13-115
H'0080 1630	CAN1メッセージスロット19標準ID0 (C1MSL19SID0)	CAN1メッセージスロット19標準ID1 (C1MSL19SID1)	13-87 13-89

SFR領域のレジスタマップ(33/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 1632	CAN1メッセージスロット19拡張ID0 (C1MSL19EID0)	CAN1メッセージスロット19拡張ID1 (C1MSL19EID1)	13-91 13-93
H'0080 1634	CAN1メッセージスロット19拡張ID2 (C1MSL19EID2)	CAN1メッセージスロット19データ長レジスタ (C1MSL19DLC)	13-95 13-97
H'0080 1636	CAN1メッセージスロット19データ0 (C1MSL19DT0)	CAN1メッセージスロット19データ1 (C1MSL19DT1)	13-99 13-101
H'0080 1638	CAN1メッセージスロット19データ2 (C1MSL19DT2)	CAN1メッセージスロット19データ3 (C1MSL19DT3)	13-103 13-105
H'0080 163A	CAN1メッセージスロット19データ4 (C1MSL19DT4)	CAN1メッセージスロット19データ5 (C1MSL19DT5)	13-107 13-109
H'0080 163C	CAN1メッセージスロット19データ6 (C1MSL19DT6)	CAN1メッセージスロット19データ7 (C1MSL19DT7)	13-111 13-113
H'0080 163E	CAN1メッセージスロット19タイムスタンプ (C1MSL19TSP)		13-115
H'0080 1640	CAN1メッセージスロット20標準ID0 (C1MSL20SID0)	CAN1メッセージスロット20標準ID1 (C1MSL20SID1)	13-87 13-89
H'0080 1642	CAN1メッセージスロット20拡張ID0 (C1MSL20EID0)	CAN1メッセージスロット20拡張ID1 (C1MSL20EID1)	13-91 13-93
H'0080 1644	CAN1メッセージスロット20拡張ID2 (C1MSL20EID2)	CAN1メッセージスロット20データ長レジスタ (C1MSL20DLC)	13-95 13-97
H'0080 1646	CAN1メッセージスロット20データ0 (C1MSL20DT0)	CAN1メッセージスロット20データ1 (C1MSL20DT1)	13-99 13-101
H'0080 1648	CAN1メッセージスロット20データ2 (C1MSL20DT2)	CAN1メッセージスロット20データ3 (C1MSL20DT3)	13-103 13-105
H'0080 164A	CAN1メッセージスロット20データ4 (C1MSL20DT4)	CAN1メッセージスロット20データ5 (C1MSL20DT5)	13-107 13-109
H'0080 164C	CAN1メッセージスロット20データ6 (C1MSL20DT6)	CAN1メッセージスロット20データ7 (C1MSL20DT7)	13-111 13-113
H'0080 164E	CAN1メッセージスロット20タイムスタンプ (C1MSL20TSP)		13-115
H'0080 1650	CAN1メッセージスロット21標準ID0 (C1MSL21SID0)	CAN1メッセージスロット21標準ID1 (C1MSL21SID1)	13-87 13-89
H'0080 1652	CAN1メッセージスロット21拡張ID0 (C1MSL21EID0)	CAN1メッセージスロット21拡張ID1 (C1MSL21EID1)	13-91 13-93
H'0080 1654	CAN1メッセージスロット21拡張ID2 (C1MSL21EID2)	CAN1メッセージスロット21データ長レジスタ (C1MSL21DLC)	13-95 13-97
H'0080 1656	CAN1メッセージスロット21データ0 (C1MSL21DT0)	CAN1メッセージスロット21データ1 (C1MSL21DT1)	13-99 13-101
H'0080 1658	CAN1メッセージスロット21データ2 (C1MSL21DT2)	CAN1メッセージスロット21データ3 (C1MSL21DT3)	13-103 13-105
H'0080 165A	CAN1メッセージスロット21データ4 (C1MSL21DT4)	CAN1メッセージスロット21データ5 (C1MSL21DT5)	13-107 13-109
H'0080 165C	CAN1メッセージスロット21データ6 (C1MSL21DT6)	CAN1メッセージスロット21データ7 (C1MSL21DT7)	13-111 13-113
H'0080 165E	CAN1メッセージスロット21タイムスタンプ (C1MSL21TSP)		13-115
H'0080 1660	CAN1メッセージスロット22標準ID0 (C1MSL22SID0)	CAN1メッセージスロット22標準ID1 (C1MSL22SID1)	13-87 13-89
H'0080 1662	CAN1メッセージスロット22拡張ID0 (C1MSL22EID0)	CAN1メッセージスロット22拡張ID1 (C1MSL22EID1)	13-91 13-93
H'0080 1664	CAN1メッセージスロット22拡張ID2 (C1MSL22EID2)	CAN1メッセージスロット22データ長レジスタ (C1MSL22DLC)	13-95 13-97
H'0080 1666	CAN1メッセージスロット22データ0 (C1MSL22DT0)	CAN1メッセージスロット22データ1 (C1MSL22DT1)	13-99 13-101
H'0080 1668	CAN1メッセージスロット22データ2 (C1MSL22DT2)	CAN1メッセージスロット22データ3 (C1MSL22DT3)	13-103 13-105
H'0080 166A	CAN1メッセージスロット22データ4 (C1MSL22DT4)	CAN1メッセージスロット22データ5 (C1MSL22DT5)	13-107 13-109
H'0080 166C	CAN1メッセージスロット22データ6 (C1MSL22DT6)	CAN1メッセージスロット22データ7 (C1MSL22DT7)	13-111 13-113
H'0080 166E	CAN1メッセージスロット22タイムスタンプ (C1MSL22TSP)		13-115
H'0080 1670	CAN1メッセージスロット23標準ID0 (C1MSL23SID0)	CAN1メッセージスロット23標準ID1 (C1MSL23SID1)	13-87 13-89
H'0080 1672	CAN1メッセージスロット23拡張ID0 (C1MSL23EID0)	CAN1メッセージスロット23拡張ID1 (C1MSL23EID1)	13-91 13-93
H'0080 1674	CAN1メッセージスロット23拡張ID2 (C1MSL23EID2)	CAN1メッセージスロット23データ長レジスタ (C1MSL23DLC)	13-95 13-97
H'0080 1676	CAN1メッセージスロット23データ0 (C1MSL23DT0)	CAN1メッセージスロット23データ1 (C1MSL23DT1)	13-99 13-101

SFR領域のレジスタマップ(34/37)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1678	CAN1メッセージスロット23データ2 (C1MSL23DT2)	CAN1メッセージスロット23データ3 (C1MSL23DT3)	13-103 13-105
H'0080 167A	CAN1メッセージスロット23データ4 (C1MSL23DT4)	CAN1メッセージスロット23データ5 (C1MSL23DT5)	13-107 13-109
H'0080 167C	CAN1メッセージスロット23データ6 (C1MSL23DT6)	CAN1メッセージスロット23データ7 (C1MSL23DT7)	13-111 13-113
H'0080 167E	CAN1メッセージスロット23タイムスタンプ (C1MSL23TSP)		13-115
H'0080 1680	CAN1メッセージスロット24標準ID0 (C1MSL24SID0)	CAN1メッセージスロット24標準ID1 (C1MSL24SID1)	13-87 13-89
H'0080 1682	CAN1メッセージスロット24拡張ID0 (C1MSL24EID0)	CAN1メッセージスロット24拡張ID1 (C1MSL24EID1)	13-91 13-93
H'0080 1684	CAN1メッセージスロット24拡張ID2 (C1MSL24EID2)	CAN1メッセージスロット24データ長レジスタ (C1MSL24DLC)	13-95 13-97
H'0080 1686	CAN1メッセージスロット24データ0 (C1MSL24DT0)	CAN1メッセージスロット24データ1 (C1MSL24DT1)	13-99 13-101
H'0080 1688	CAN1メッセージスロット24データ2 (C1MSL24DT2)	CAN1メッセージスロット24データ3 (C1MSL24DT3)	13-103 13-105
H'0080 168A	CAN1メッセージスロット24データ4 (C1MSL24DT4)	CAN1メッセージスロット24データ5 (C1MSL24DT5)	13-107 13-109
H'0080 168C	CAN1メッセージスロット24データ6 (C1MSL24DT6)	CAN1メッセージスロット24データ7 (C1MSL24DT7)	13-111 13-113
H'0080 168E	CAN1メッセージスロット24タイムスタンプ (C1MSL24TSP)		13-115
H'0080 1690	CAN1メッセージスロット25標準ID0 (C1MSL25SID0)	CAN1メッセージスロット25標準ID1 (C1MSL25SID1)	13-87 13-89
H'0080 1692	CAN1メッセージスロット25拡張ID0 (C1MSL25EID0)	CAN1メッセージスロット25拡張ID1 (C1MSL25EID1)	13-91 13-93
H'0080 1694	CAN1メッセージスロット25拡張ID2 (C1MSL25EID2)	CAN1メッセージスロット25データ長レジスタ (C1MSL25DLC)	13-95 13-97
H'0080 1696	CAN1メッセージスロット25データ0 (C1MSL25DT0)	CAN1メッセージスロット25データ1 (C1MSL25DT1)	13-99 13-101
H'0080 1698	CAN1メッセージスロット25データ2 (C1MSL25DT2)	CAN1メッセージスロット25データ3 (C1MSL25DT3)	13-103 13-105
H'0080 169A	CAN1メッセージスロット25データ4 (C1MSL25DT4)	CAN1メッセージスロット25データ5 (C1MSL25DT5)	13-107 13-109
H'0080 169C	CAN1メッセージスロット25データ6 (C1MSL25DT6)	CAN1メッセージスロット25データ7 (C1MSL25DT7)	13-111 13-113
H'0080 169E	CAN1メッセージスロット25タイムスタンプ (C1MSL25TSP)		13-115
H'0080 16A0	CAN1メッセージスロット26標準ID0 (C1MSL26SID0)	CAN1メッセージスロット26標準ID1 (C1MSL26SID1)	13-87 13-89
H'0080 16A2	CAN1メッセージスロット26拡張ID0 (C1MSL26EID0)	CAN1メッセージスロット26拡張ID1 (C1MSL26EID1)	13-91 13-93
H'0080 16A4	CAN1メッセージスロット26拡張ID2 (C1MSL26EID2)	CAN1メッセージスロット26データ長レジスタ (C1MSL26DLC)	13-95 13-97
H'0080 16A6	CAN1メッセージスロット26データ0 (C1MSL26DT0)	CAN1メッセージスロット26データ1 (C1MSL26DT1)	13-99 13-101
H'0080 16A8	CAN1メッセージスロット26データ2 (C1MSL26DT2)	CAN1メッセージスロット26データ3 (C1MSL26DT3)	13-103 13-105
H'0080 16AA	CAN1メッセージスロット26データ4 (C1MSL26DT4)	CAN1メッセージスロット26データ5 (C1MSL26DT5)	13-107 13-109
H'0080 16AC	CAN1メッセージスロット26データ6 (C1MSL26DT6)	CAN1メッセージスロット26データ7 (C1MSL26DT7)	13-111 13-113
H'0080 16AE	CAN1メッセージスロット26タイムスタンプ (C1MSL26TSP)		13-115
H'0080 16B0	CAN1メッセージスロット27標準ID0 (C1MSL27SID0)	CAN1メッセージスロット27標準ID1 (C1MSL27SID1)	13-87 13-89
H'0080 16B2	CAN1メッセージスロット27拡張ID0 (C1MSL27EID0)	CAN1メッセージスロット27拡張ID1 (C1MSL27EID1)	13-91 13-93
H'0080 16B4	CAN1メッセージスロット27拡張ID2 (C1MSL27EID2)	CAN1メッセージスロット27データ長レジスタ (C1MSL27DLC)	13-95 13-97
H'0080 16B6	CAN1メッセージスロット27データ0 (C1MSL27DT0)	CAN1メッセージスロット27データ1 (C1MSL27DT1)	13-99 13-101
H'0080 16B8	CAN1メッセージスロット27データ2 (C1MSL27DT2)	CAN1メッセージスロット27データ3 (C1MSL27DT3)	13-103 13-105
H'0080 16BA	CAN1メッセージスロット27データ4 (C1MSL27DT4)	CAN1メッセージスロット27データ5 (C1MSL27DT5)	13-107 13-109
H'0080 16BC	CAN1メッセージスロット27データ6 (C1MSL27DT6)	CAN1メッセージスロット27データ7 (C1MSL27DT7)	13-111 13-113

SFR領域のレジスタマップ(35/37)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 16BE	CAN1メッセージスロット27タイムスタンプ (C1MSL27TSP)		13-115
H'0080 16C0	CAN1メッセージスロット28標準ID0 (C1MSL28SID0)	CAN1メッセージスロット28標準ID1 (C1MSL28SID1)	13-87 13-89
H'0080 16C2	CAN1メッセージスロット28拡張ID0 (C1MSL28EID0)	CAN1メッセージスロット28拡張ID1 (C1MSL28EID1)	13-91 13-93
H'0080 16C4	CAN1メッセージスロット28拡張ID2 (C1MSL28EID2)	CAN1メッセージスロット28データ長レジスタ (C1MSL28DLC)	13-95 13-97
H'0080 16C6	CAN1メッセージスロット28データ0 (C1MSL28DT0)	CAN1メッセージスロット28データ1 (C1MSL28DT1)	13-99 13-101
H'0080 16C8	CAN1メッセージスロット28データ2 (C1MSL28DT2)	CAN1メッセージスロット28データ3 (C1MSL28DT3)	13-103 13-105
H'0080 16CA	CAN1メッセージスロット28データ4 (C1MSL28DT4)	CAN1メッセージスロット28データ5 (C1MSL28DT5)	13-107 13-109
H'0080 16CC	CAN1メッセージスロット28データ6 (C1MSL28DT6)	CAN1メッセージスロット28データ7 (C1MSL28DT7)	13-111 13-113
H'0080 16CE	CAN1メッセージスロット28タイムスタンプ (C1MSL28TSP)		13-115
H'0080 16D0	CAN1メッセージスロット29標準ID0 (C1MSL29SID0)	CAN1メッセージスロット29標準ID1 (C1MSL29SID1)	13-87 13-89
H'0080 16D2	CAN1メッセージスロット29拡張ID0 (C1MSL29EID0)	CAN1メッセージスロット29拡張ID1 (C1MSL29EID1)	13-91 13-93
H'0080 16D4	CAN1メッセージスロット29拡張ID2 (C1MSL29EID2)	CAN1メッセージスロット29データ長レジスタ (C1MSL29DLC)	13-95 13-97
H'0080 16D6	CAN1メッセージスロット29データ0 (C1MSL29DT0)	CAN1メッセージスロット29データ1 (C1MSL29DT1)	13-99 13-101
H'0080 16D8	CAN1メッセージスロット29データ2 (C1MSL29DT2)	CAN1メッセージスロット29データ3 (C1MSL29DT3)	13-103 13-105
H'0080 16DA	CAN1メッセージスロット29データ4 (C1MSL29DT4)	CAN1メッセージスロット29データ5 (C1MSL29DT5)	13-107 13-109
H'0080 16DC	CAN1メッセージスロット29データ6 (C1MSL29DT6)	CAN1メッセージスロット29データ7 (C1MSL29DT7)	13-111 13-113
H'0080 16DE	CAN1メッセージスロット29タイムスタンプ (C1MSL29TSP)		13-115
H'0080 16E0	CAN1メッセージスロット30標準ID0 (C1MSL30SID0)	CAN1メッセージスロット30標準ID1 (C1MSL30SID1)	13-87 13-89
H'0080 16E2	CAN1メッセージスロット30拡張ID0 (C1MSL30EID0)	CAN1メッセージスロット30拡張ID1 (C1MSL30EID1)	13-91 13-93
H'0080 16E4	CAN1メッセージスロット30拡張ID2 (C1MSL30EID2)	CAN1メッセージスロット30データ長レジスタ (C1MSL30DLC)	13-95 13-97
H'0080 16E6	CAN1メッセージスロット30データ0 (C1MSL30DT0)	CAN1メッセージスロット30データ1 (C1MSL30DT1)	13-99 13-101
H'0080 16E8	CAN1メッセージスロット30データ2 (C1MSL30DT2)	CAN1メッセージスロット30データ3 (C1MSL30DT3)	13-103 13-105
H'0080 16EA	CAN1メッセージスロット30データ4 (C1MSL30DT4)	CAN1メッセージスロット30データ5 (C1MSL30DT5)	13-107 13-109
H'0080 16EC	CAN1メッセージスロット30データ6 (C1MSL30DT6)	CAN1メッセージスロット30データ7 (C1MSL30DT7)	13-111 13-113
H'0080 16EE	CAN1メッセージスロット30タイムスタンプ (C1MSL30TSP)		13-115
H'0080 16F0	CAN1メッセージスロット31標準ID0 (C1MSL31SID0)	CAN1メッセージスロット31標準ID1 (C1MSL31SID1)	13-87 13-89
H'0080 16F2	CAN1メッセージスロット31拡張ID0 (C1MSL31EID0)	CAN1メッセージスロット31拡張ID1 (C1MSL31EID1)	13-91 13-93
H'0080 16F4	CAN1メッセージスロット31拡張ID2 (C1MSL31EID2)	CAN1メッセージスロット31データ長レジスタ (C1MSL31DLC)	13-95 13-97
H'0080 16F6	CAN1メッセージスロット31データ0 (C1MSL31DT0)	CAN1メッセージスロット31データ1 (C1MSL31DT1)	13-99 13-101
H'0080 16F8	CAN1メッセージスロット31データ2 (C1MSL31DT2)	CAN1メッセージスロット31データ3 (C1MSL31DT3)	13-103 13-105
H'0080 16FA	CAN1メッセージスロット31データ4 (C1MSL31DT4)	CAN1メッセージスロット31データ5 (C1MSL31DT5)	13-107 13-109
H'0080 16FC	CAN1メッセージスロット31データ6 (C1MSL31DT6)	CAN1メッセージスロット31データ7 (C1MSL31DT7)	13-111 13-113
H'0080 16FE	CAN1メッセージスロット31タイムスタンプ (C1MSL31TSP)		13-115
	(使用禁止領域)		

SFR領域のレジスタマップ(36/37)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 2000	DIN割り込み要求ステータスレジスタ (DRIDINIST)	DIN割り込み要求許可レジスタ (DRIDINIEN)	14-9
H'0080 2002	DEC割り込み要求ステータスレジスタ (DRIDECIST)	DEC割り込み要求許可レジスタ (DRIDECIEN)	14-10
H'0080 2004	DRI転送割り込み要求ステータスレジスタ (DRITRMIST)	DRI転送割り込み要求許可レジスタ (DRITRMIEN)	14-11 14-12
H'0080 2006	DRI転送制御レジスタ (DRITRMCNT)	DRI特殊モードレジスタ (DRISPMOD)	14-13 14-15
H'0080 2008	DRIデータ取り込み制御レジスタ (DRIDCAPCNT)		14-18
H'0080 200A	DRIデータ間引き制御レジスタ (DRIDSELCNT)	DIN入力イベント選択レジスタ (DINSEL)	14-22
H'0080 200C	DD入力許可レジスタ0 (DRIDDEN0)	DD入力許可レジスタ1 (DRIDDEN1)	14-23
H'0080 200E	DD入力許可レジスタ2 (DRIDDEN2)	DD入力許可レジスタ3 (DRIDDEN3)	14-23 14-24
H'0080 2010	DRIデータ取り込みイベント数設定レジスタ (DRIDCAPNUM)		(上位) 14-25
H'0080 2012			(下位)
H'0080 2014	DRI取り込みイベントカウンタ (DRIDCAPCT)		(上位) 14-26
H'0080 2016			(下位)
H'0080 2018	DRI転送カウンタ (DRITRMCT)		(上位) 14-27
H'0080 201A			(下位)
H'0080 2020			(使用禁止領域)
H'0080 2020	DRIアドレスリロードレジスタ0 (DRIADR0RLD)		(上位) 14-29
H'0080 2022			(下位)
H'0080 2024	DRIアドレスカウンタ0 (DRIADR0CT)		(上位) 14-28
H'0080 2026			(下位)
H'0080 2028	DRIアドレスリロードレジスタ1 (DRIADR1RLD)		(上位) 14-29
H'0080 202A			(下位)
H'0080 202C	DRIアドレスカウンタ1 (DRIADR1CT)		(上位) 14-28
H'0080 202E			(下位)
H'0080 2030	DIN入力処理制御レジスタ (DINCNT)		14-30
H'0080 2032	DEC0制御レジスタ (DEC0CNT)		(使用禁止領域) 14-31
H'0080 2034	DEC0リロードレジスタ (DEC0RLD)		14-36
H'0080 2036	DEC0カウンタ (DEC0CT)		14-36
H'0080 2038	DEC1制御レジスタ (DEC1CNT)		(使用禁止領域) 14-31
H'0080 203A	DEC1リロードレジスタ (DEC1RLD)		14-36
H'0080 203C	DEC1カウンタ (DEC1CT)		14-36
H'0080 203E	DEC2制御レジスタ (DEC2CNT)		(使用禁止領域) 14-32
H'0080 2040	DEC2リロードレジスタ (DEC2RLD)		14-36
H'0080 2042	DEC2カウンタ (DEC2CT)		14-36
H'0080 2044	DEC3制御レジスタ (DEC3CNT)		(使用禁止領域) 14-32

SFR領域のレジスタマップ(37/37)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
H'0080 2046	DEC3リロードレジスタ (DEC3RLD)						14-36
H'0080 2048	DEC3カウンタ (DEC3CT)						14-36
H'0080 204A	DEC4制御レジスタ (DEC4CNT)			(使用禁止領域)			14-33
H'0080 204C	DEC4リロードレジスタ (DEC4RLD)						14-36
H'0080 204E	DEC4カウンタ (DEC4CT)						14-36
}	(使用禁止領域)						
H'0080 3FFE	(使用禁止領域)						

- 注1. H'0080 0600 ~ H'0080 0603番地は、ダミーアクセス領域となります。
この領域へのアクセスは、書き込み値は無効、読み出し値不定となります。
また、ダミーアクセス領域への書き込み、読み出し動作による、他SFR領域への影響はありません。
- 注2. この領域は、32192にのみ存在し、32195/32196では使用禁止領域となります。
- 注3. この領域は、32192/32196にのみ存在し、32195では使用禁止領域となります。

NBD制御領域のレジスタマップ

番地	b0	+ 0番地 b7	b8	+ 1番地 b15	掲載 ページ
H'E000 0000	NBDイネーブルレジスタ (NBDENB)		(使用禁止領域)		16-6
H'E000 0002	(使用禁止領域)				
H'E000 0004	NBD端子制御レジスタ (NBDCNT)		(使用禁止領域)		16-4
H'E000 0006	(使用禁止領域)				
H'E000 0008	イベント発生レジスタ (NEVNTGEN)		(使用禁止領域)		16-12

3.5 EITベクタエントリ

EITベクタエントリは、内蔵ROM領域/拡張領域の先頭に置かれ、各EIT事象の処理ハンドラ先頭アドレスへの分岐命令(分岐先アドレスではないことに注意)を、ここに配置します。詳細については、「第4章 EIT」を参照してください。

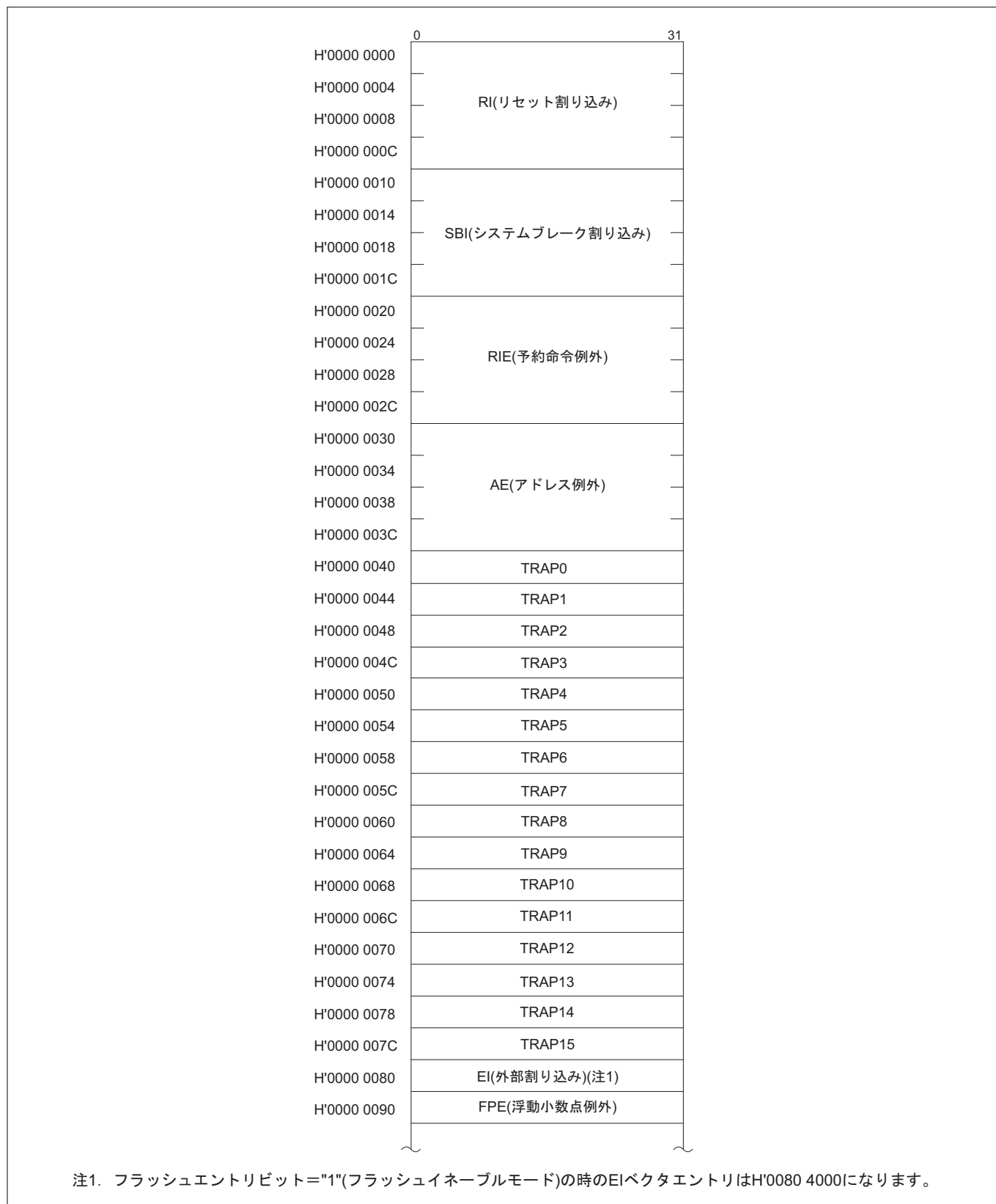


図3.5.1 EITベクタエントリ

3.6 ICUベクタテーブル

ICUベクタテーブルは、内蔵の割り込みコントローラで使用します。各内蔵周辺I/Oの割り込み要求に対応する割り込みハンドラの先頭アドレスを下記アドレスに設定します。詳細については、「第5章 割り込みコントローラ」を参照してください。

ICUベクタテーブルのメモリマップ(1/3)

番地	+ 0番地		+ 1番地	
	b0	b7	b8	b15
H'0000 0094	MJT入力割り込み4		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0096	MJT入力割り込み4		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0098	MJT入力割り込み3		ハンドラ先頭番地(A0 ~ A15)	
H'0000 009A	MJT入力割り込み3		ハンドラ先頭番地(A16 ~ A31)	
H'0000 009C	MJT入力割り込み2		ハンドラ先頭番地(A0 ~ A15)	
H'0000 009E	MJT入力割り込み2		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00A0	MJT入力割り込み1		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00A2	MJT入力割り込み1		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00A4	MJT入力割り込み0		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00A6	MJT入力割り込み0		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00A8	MJT出力割り込み7		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00AA	MJT出力割り込み7		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00AC	MJT出力割り込み6		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00AE	MJT出力割り込み6		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00B0	MJT出力割り込み5		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00B2	MJT出力割り込み5		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00B4	MJT出力割り込み4		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00B6	MJT出力割り込み4		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00B8	MJT出力割り込み3		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00BA	MJT出力割り込み3		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00BC	MJT出力割り込み2		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00BE	MJT出力割り込み2		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00C0	MJT出力割り込み1		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00C2	MJT出力割り込み1		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00C4	MJT出力割り込み0		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00C6	MJT出力割り込み0		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00C8	DMA0-4割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00CA	DMA0-4割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00CC	SIO1受信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00CE	SIO1受信割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00D0	SIO1送信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00D2	SIO1送信割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00D4	SIO0受信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00D6	SIO0受信割り込み		ハンドラ先頭番地(A16 ~ A31)	

ICUベクタテーブルのメモリマップ(2/3)

番地	+ 0番地		+ 1番地	
	b0	b7	b8	b15
H'0000 00D8	SIO0送信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00DA	SIO0送信割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00DC	A/D0変換割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00DE	A/D0変換割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00E0	TID0入力割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00E2	TID0入力割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00E4	TOU0出力割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00E6	TOU0出力割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00E8	DMA5-9割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00EA	DMA5-9割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00EC	SIO2,3送受信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00EE	SIO2,3送受信割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00F0	RTD割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00F2	RTD割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00F4	TID1入力割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00F6	TID1入力割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00F8	TOU1出力割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00FA	TOU1出力割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 00FC	SIO4,5送受信割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 00FE	SIO4,5送受信割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0100				
H'0000 0102				
H'0000 0104				
H'0000 0106				
H'0000 0108	TML1入力割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 010A	TML1入力割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 010C	CAN0送受信&エラー割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 010E	CAN0送受信&エラー割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0110	CAN1送受信&エラー割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0112	CAN1送受信&エラー割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0114	DRI転送割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0116	DRI転送割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0118	DRIカウンタ割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 011A	DRIカウンタ割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 011C	DRIイベント検出割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 011E	DRIイベント検出割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0120	CAN0送受信完了割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0122	CAN0送受信完了割り込み		ハンドラ先頭番地(A16 ~ A31)	

ICUベクタテーブルのメモリマップ(3/3)

番地	+ 0番地		+ 1番地	
	b0	b7	b8	b15
H'0000 0124	CAN0シングルショット割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0126	CAN0シングルショット割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0128	CAN0エラー割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 012A	CAN0エラー割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 012C	CAN1送受信完了割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 012E	CAN1送受信完了割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0130	CAN1シングルショット割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0132	CAN1シングルショット割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0134	CAN1エラー割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 0136	CAN1エラー割り込み		ハンドラ先頭番地(A16 ~ A31)	
H'0000 0138	RAM書き込み監視割り込み		ハンドラ先頭番地(A0 ~ A15)	
H'0000 013A	RAM書き込み監視割り込み		ハンドラ先頭番地(A16 ~ A31)	

3.7 アドレス空間の注意事項

- 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を8Kバイトごとに区切った領域(Lバンク)に、内蔵RAMの8Kバイト単位のブロック(32192の場合、最大16ブロック。32195の場合、最大4ブロック。32196の場合、最大8ブロック。)をマッピングする機能を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

これは、疑似フラッシュLバンクレジスタで指定したアドレスの内蔵フラッシュメモリ内容を、内蔵RAMの8Kバイト単位のブロックに配置したデータに切り換え、内蔵フラッシュメモリの内容をリードすると該当するRAMのデータが読み出される機能です。この機能については、「6.7 疑似フラッシュエミュレーション機能」を参照してください。

- ダミーアクセス領域

H'0080 0600 ~ H'0080 0603番地は、ダミーアクセス領域となります。

この領域へのアクセスは、書き込み値は無効、読み出し値不定となります。

また、ダミーアクセス領域への書き込み、読み出し動作による、他SFR領域への影響はありません。

第4章

EIT

- 4.1 EITの概要
- 4.2 EIT事象
- 4.3 EITの処理手順
- 4.4 EITの処理機構
- 4.5 EIT事象の受付
- 4.6 PC、PSWの退避と復帰
- 4.7 EITベクタエントリ
- 4.8 例外(Exception)処理
- 4.9 割り込み(Interrupt)処理
- 4.10 トラップ(Trap)処理
- 4.11 EITの優先順位
- 4.12 EIT処理の例
- 4.13 EITの注意事項

4.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap)事象と呼びます。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。アドレス例外(AE)、予約命令例外(RIE)と浮動小数点例外(FPE)が、これに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号および内蔵周辺I/Oによって発生します。リセット割り込み(RI)、システムブレーク割り込み(SBI)および外部割り込み(EI)がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラマがプログラム中で意識的に発生させるものです。

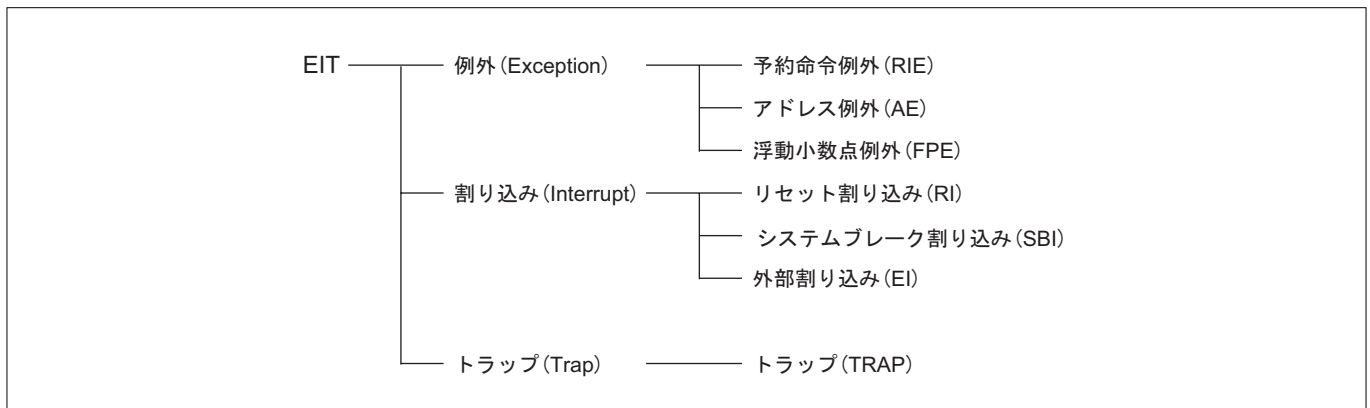


図4.1.1 EITの分類

4.2 EIT事象

4.2.1 例外(Exception)

(1) 予約命令例外(RIE)

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

(2) アドレス例外(AE)

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

(3) 浮動小数点例外(FPE)

浮動小数点例外(FPE : Floating Point Exception)は、IEEE754規格で規定された5つの例外(OVF/UDF/IXCT/DIV0/IVLD)の他に、非実装例外(UIPL)を検出した場合に発生します。以下に、各例外処理の概要を示します。

1) オーバフロー例外(OVF)

演算結果の絶対値が、浮動小数点フォーマットで表現可能な値よりも大きくなった場合に発生します。以下にOVFが発生したときの演算結果を示します。

表4.2.1 オーバフロー例外発生時の演算結果

丸めモード	結果の符号	演算結果(デスティネーションレジスタの内容)	
		オーバフロー例外によるEIT処理マスク時(注1)	オーバフロー例外によるEIT処理の実行設定時(注2)
-	+	+MAX	変化なし
	-	-	
+	+	+	
	-	-MAX	
0	+	+MAX	
	-	-MAX	
最近傍	+	+	
	-	-	

注1. オーバフロー例外イネーブル(EO)ビット(FPSRレジスタのb20)="0"のとき

注2. オーバフロー例外イネーブル(EO)ビット(FPSRレジスタのb20)="1"のとき

注. ・オーバフロー例外によるEIT処理マスク時に、オーバフロー例外が発生すると、同時に精度異常例外が発生します。

・+MAX = H'7F7F FFFF, -MAX = H'FF7F FFFF

2) アンダフロー例外(UDF)

演算結果の絶対値が、浮動小数点フォーマットの正規化数で表現可能な値よりも小さくなった場合に発生します。以下にUDFが発生したときの演算結果を示します。

表4.2.2 アンダフロー例外発生時の演算結果

演算結果(デスティネーションレジスタの内容)	
アンダフロー例外によるEIT処理マスク時(注1)	アンダフロー例外によるEIT処理の実行設定時(注2)
DNビット=0:非実装例外が発生します。 DNビット=1:0を返します。	変化なし

注1. アンダフロー例外イネーブル(EU)ビット(FPSRレジスタのb18)="0"のとき

注2. アンダフロー例外イネーブル(EU)ビット(FPSRレジスタのb18)="1"のとき

3) 精度異常例外(IXCT)

無限の有効桁を持つと仮定して計算したときの結果と、演算結果が異なっていたときに発生します。以下にIXCTの発生条件と、演算結果を示します。

表4.2.3 精度異常例外発生時の演算結果

発生条件	演算結果(デスティネーションレジスタの内容)	
	精度異常例外によるEIT処理マスク時(注1)	精度異常例外によるEIT処理の実行設定時(注2)
オーバフロー例外によるEIT処理マスク状態でのオーバフロー発生	オーバフロー例外の演算結果参照	変化なし
丸めの発生	丸め後の値	変化なし

注1．精度異常例外イネーブル(EX)ビット(FPSRレジスタのb17)="0"のとき

注2．精度異常例外イネーブル(EX)ビット(FPSRレジスタのb17)="1"のとき

4) ゼロ除算例外(DIV0)

0でない有限数を0で割ったときに発生します。以下に演算結果を示します。

表4.2.4 ゼロ除算例外発生時の演算結果

被除数	演算結果(デスティネーションレジスタの内容)	
	0除算例外によるEIT処理マスク時(注1)	0除算例外によるEIT処理の実行設定時(注2)
0でない有限数	± (符号は除数、被除数の符号の排他的論理輪となる)	変化なし

注1．ゼロ除算例外イネーブル(EZ)ビット(FPSRレジスタのb19)="0"のとき

注2．ゼロ除算例外イネーブル(EZ)ビット(FPSRレジスタのb19)="1"のとき

なお、次の場合は、DIV0は発生しません。ご注意ください。

表4.2.5 ゼロ除算例外が発生しない場合

被除数	動作
0	無効演算例外発生
	例外は発生しない(結果は" ")

5)無効演算例外(IVLD)

無効な演算が実行されたときに発生します。以下にIVLDの発生条件と、演算結果を示します。

表4.2.6 無効演算例外発生時の演算結果

発生条件	演算結果(デスティネーションレジスタの内容)	
	無効演算例外によるEIT処理 マスク時(注1)	無効演算例外によるEIT 処理の実行設定時(注2)
SNaNオペランドに対する演算	QNaN	変化なし
+ -(+), - -(-)		
0 x		
0 ÷ 0, ÷		
<ul style="list-style-type: none"> 整数変換がオーバーフローしたとき NaN、 を整数変換したとき 	FTOI命令 実行時	変換前の符号ビットが 0のとき : H'7FFF FFFF 1のとき : H'8000 0000
	FTOS命令 実行時	変換前の符号ビットが 0のとき : H'0000 7FFF 1のとき : H'FFFF 8000
<, >の比較をNaNに対して行ったとき	比較結果(比較不能)	

注1. 無効演算例外イネーブル(EV)ビット(FPSRレジスタのb21)="0"のとき

注2. 無効演算例外イネーブル(EV)ビット(FPSRレジスタのb21)="1"のとき

注. NaN(非数: Not a Number)

SNaN(Signaling NaN): 仮数部の最上位ビットが0であるNaNです。SNaNを演算のソースオペランドとして使用すると、無効演算例外が発生します。変数の初期値として使用することにより、プログラムバグの発見に役立ちます。なお、SNaNはハードウェアが生成することはありません。

QNaN(Quiet NaN): 仮数部の最上位ビットが1であるNaNです。QNaNを演算のソースオペランドとして使用しても、無効演算例外は発生しません(比較、フォーマット変換を除く)。演算によって伝播するため、EIT処理を実行せずに結果だけを見てデバッグを行うことができます。なお、QNaNは演算によりハードウェアが生成します。

6)非実装例外(UIPL)

非正規化数の0フラッシュ(DN)ビット(FPSRレジスタのb23)="0"であり、非正規化数が演算オペランドとして与えられたときに発生します(注1)。

UIPLにはイネーブルビットがないため、発生時UIPLをマスクすることはできません。

デスティネーションレジスタは変化しません。

注1. 演算の中間結果が非正規化数となったときはUDFが発生し、このときDNビット(FPSRレジスタのb23)="0"ならばUIPLが発生します。

4.2.2 割り込み(Interrupt)

(1)リセット割り込み(RI)

リセット割り込み(RI: Reset Interrupt)は、RESET#信号を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

リセット割り込みについては「第7章 リセット」を参照してください。

(2)システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI: System Break Interrupt)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される緊急用割り込みです。割り込み処理後、原則として割り込み発生時に実行していた元のプログラムに復帰しない場合にのみ使用できます。

(3)外部割り込み(EI)

外部割り込み(EI: External Interrupt)は、割り込みコントローラで管理される各内蔵周辺I/Oからの割り込み要求です。割り込みコントローラは、割り込み禁止を含めて8レベルの優先順位により管理を行います。

4.2.3 トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「 TRAP命令 」の実行により発生します。 TRAP命令 のオペランド0~15に対応して、ベクタアドレスが16種類用意されています。

4.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム(EITハンドラ)によって処理される部分があります。リセット割り込みを除くEIT受付時の処理手順を以下に示します。

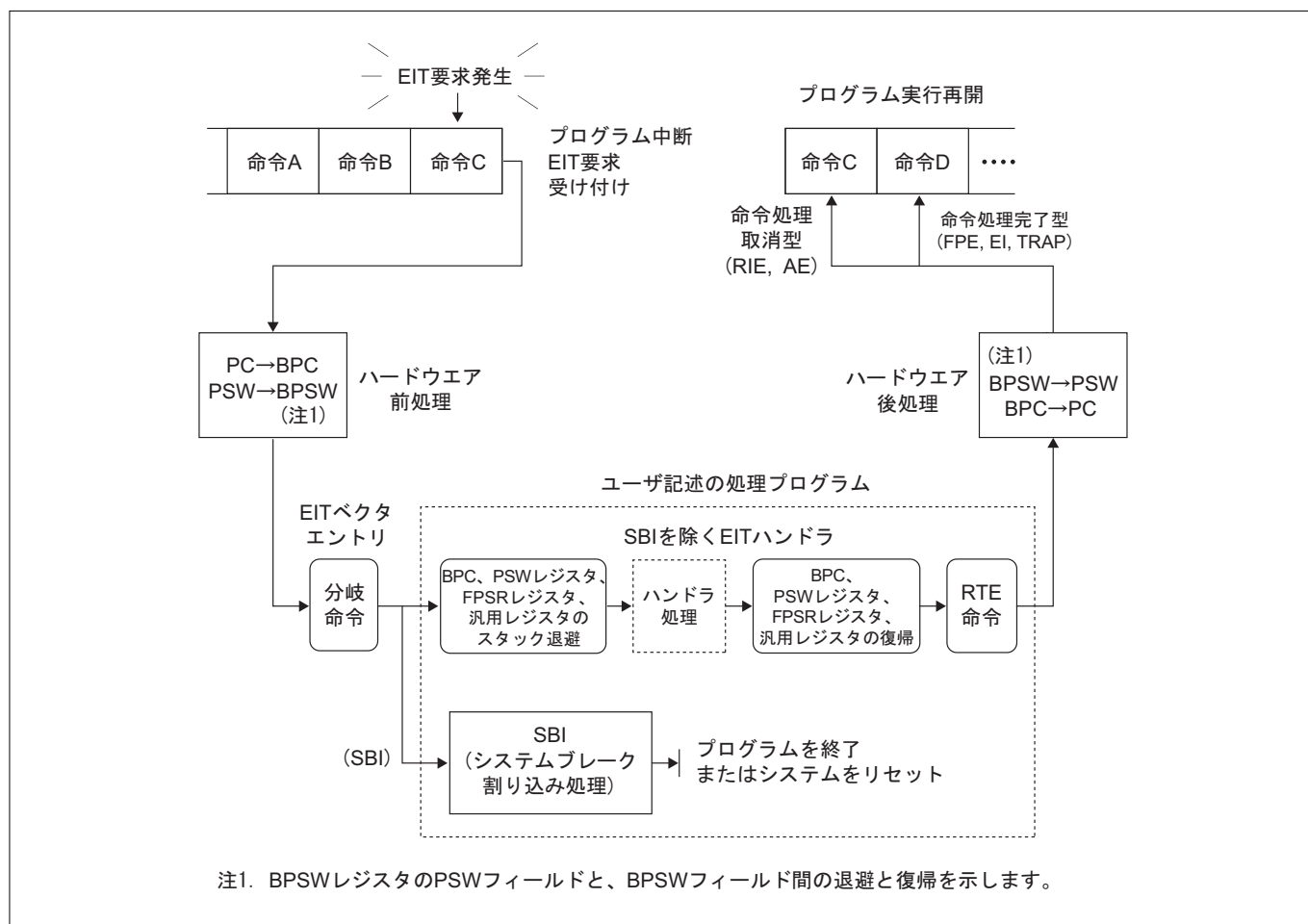


図4.3.1 EIT処理手順の概要

EITが受け付けられると、ハードウェア前処理(後述)を行った後、EITベクタに分岐します。EITベクタには各EITごとにエンリアドレスが割り当てられており、そこにEITハンドラへの「BRA命令(分岐命令)」を書きます(分岐先アドレスではないことに注意してください)。

ハードウェア前処理では、PCをBPC(バックアップPC)に、PSWレジスタのPSWフィールドの内容をBPSWフィールドへ保持します。

ユーザが記述するEITハンドラ中で、BPCとPSWレジスタ(BPSWフィールドを含む)、およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRレジスタを退避してください。これらのレジスタのスタックへの退避は、ユーザがプログラムで行うことに注意してください。

EITハンドラ処理完了後は、スタックに退避したレジスタを復帰して、最後に「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します(ただしシステムブレーク割り込みは除きます)。

ハードウェア後処理では、BPCをPCに、PSWレジスタのBPSWフィールドの内容をPSWフィールドに戻します。なお、「RTE命令」実行後のBPC、PSWレジスタのBPSWフィールドの値は不定です。

4.4 EITの処理機構

EIT処理機構は、M32R CPUコアと内蔵周辺I/Oの割り込みコントローラで構成されます。また、PC、PSWのバックアップ用のレジスタ(BPCレジスタ、PSWのBPSWフィールド)を備えています。内部EIT処理機構を以下に示します。

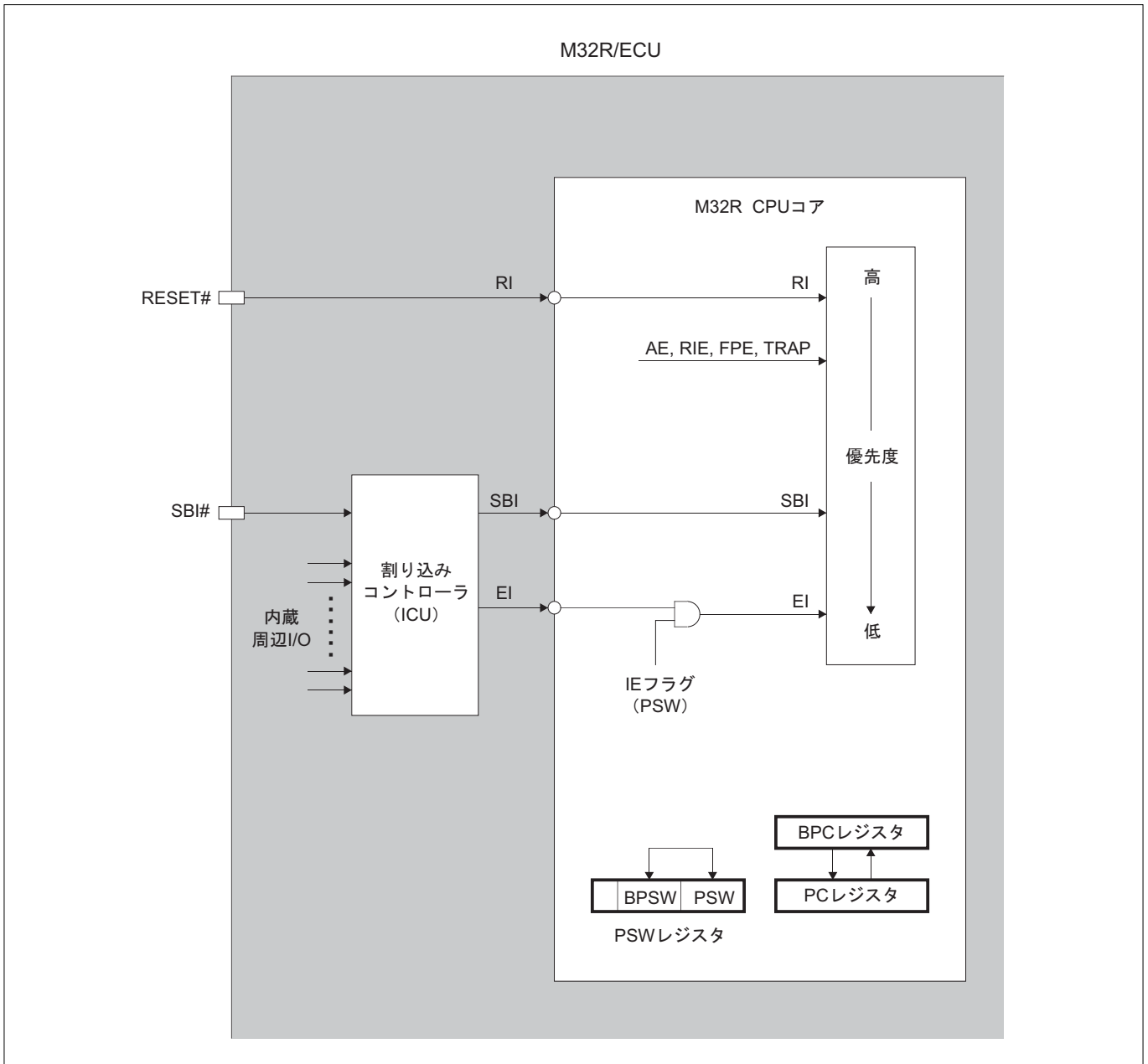


図4.4.1 EIT処理機構

4.5 EIT事象の受付

EIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受付タイミングを以下に示します。

表4.5.1 EIT事象の受付

EIT事象	処理型	受付タイミング	BPCレジスタにセットされる値
予約命令例外(RIE)	命令処理取消型	命令実行中	RIEが発生した命令のPC値
アドレス例外(AE)	命令処理取消型	命令実行中	AEが発生した命令のPC値
浮動小数点例外(FPE)	命令処理完了型	命令の区切り	FPEが発生した命令のPC値 + 4
リセット割り込み(RI)	命令処理放棄型	各マシンサイクル	不定値
システムブレーク 割り込み(SBI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
外部割り込み(EI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
トラップ(TRAP)	命令処理完了型	命令の区切り	TRAP命令のPC値 + 4

4.6 PC、PSWの退避と復帰

EIT受付時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受付時のハードウェア前処理

[1] PSW レジスタ中の SM、IE、C ビットの退避

BSM	SM
BIE	IE
BC	C

[2] PSW レジスタ中の SM、IE、C ビットの更新

SM	不変(RIE, AE, FPE, TRAP) または"0"にクリア(SBI, EI, RI)
IE	"0"にクリア
C	"0"にクリア

[3] PC レジスタの退避

BPC	PC
-----	----

[4] ベクタアドレスを PC レジスタにセット

EITベクタに分岐し、さらにそこに書かれている分岐命令(BRA命令)を実行することで、ユーザが記述したEITハンドラ処理を移します。

(2) 「RTE 命令」実行時のハードウェア後処理

[A] PSW レジスタ中の BSM、BIE、BC ビットの復帰

SM	BSM
IE	BIE
C	BC

[B] BPC レジスタの値を PC レジスタに復帰

PC	BPC
----	-----

注 . ・「RTE命令」実行後のBPC、PSWレジスタのBSM、BIE、BCビットの値は不定です。

[1] SM、IE、Cビットの退避

BSM ← SM

BIE ← IE

BC ← C

[2] SM、IE、Cビットの更新

SM ← 不変/0

IE ← 0

C ← 0

[A] BSM、BIE、BCビットの復帰

SM ← BSM

IE ← BIE

C ← BC

[3] PCの退避

BPC ← PC

[4] PCにベクタアドレスをセット

PC ← ベクタアドレス

[B] BPCの値をPCに復帰

「RTE命令」実行後のBPC
の値は不定になります。

「RTE命令」実行後のBSM、
BIE、BCビットの値は不定に
なります。

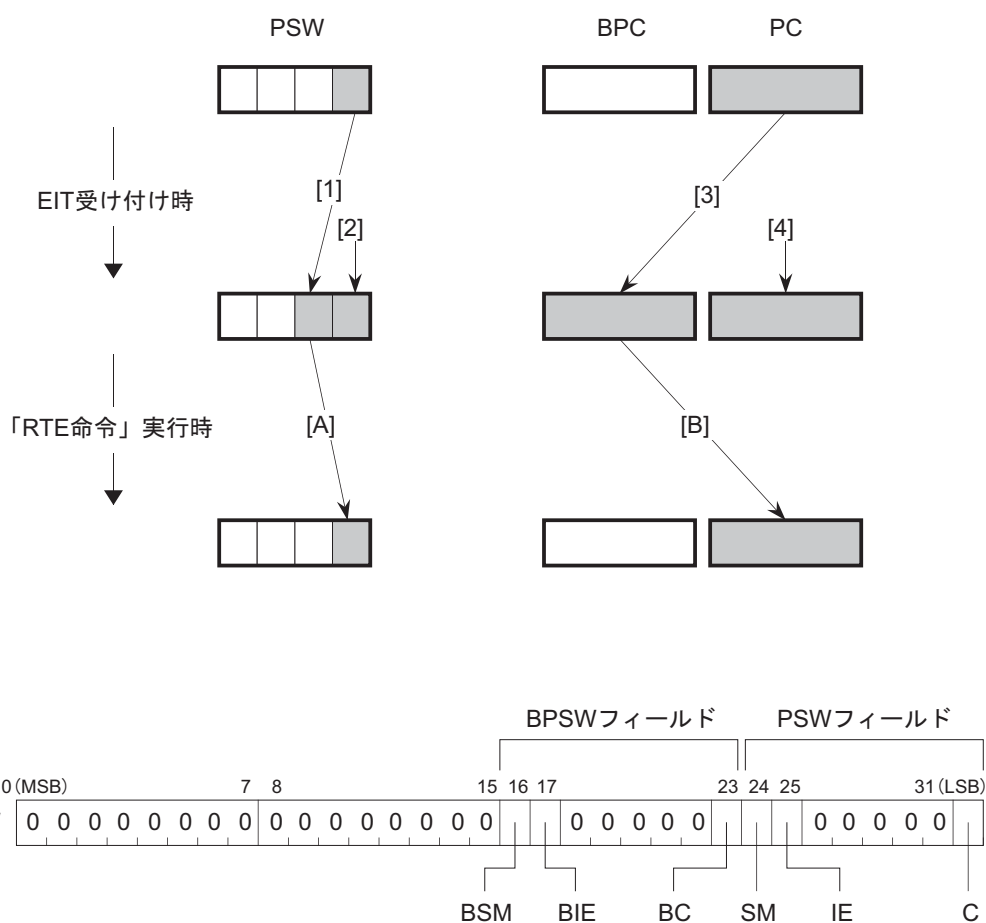


図4.6.1 PC、PSWの退避と復帰

4.7 EITベクタエントリ

EITベクタエントリはユーザ空間のH'0000 0000番地から置かれています。以下にEITベクタエントリの一覧と各EIT事象発生後のSM、IE、BPCビットの状態を示します。

表4.7.1 EITベクタエントリ

名称	略号	ベクタアドレス	SM	IE	BPC
リセット割り込み	RI	H'0000 0000(注1)	0	0	不定
システムブレーク 割り込み	SBI	H'0000 0010	0	0	次命令のPC
予約命令例外	RIE	H'0000 0020	不変	0	発生命令のPC
アドレス例外	AE	H'0000 0030	不変	0	発生命令のPC
トラップ	TRAP0	H'0000 0040	不変	0	TRAP命令のPC + 4
	TRAP1	H'0000 0044	不変	0	"
	TRAP2	H'0000 0048	不変	0	"
	TRAP3	H'0000 004C	不変	0	"
	TRAP4	H'0000 0050	不変	0	"
	TRAP5	H'0000 0054	不変	0	"
	TRAP6	H'0000 0058	不変	0	"
	TRAP7	H'0000 005C	不変	0	"
	TRAP8	H'0000 0060	不変	0	"
	TRAP9	H'0000 0064	不変	0	"
	TRAP10	H'0000 0068	不変	0	"
	TRAP11	H'0000 006C	不変	0	"
	TRAP12	H'0000 0070	不変	0	"
	TRAP13	H'0000 0074	不変	0	"
	TRAP14	H'0000 0078	不変	0	"
	TRAP15	H'0000 007C	不変	0	"
外部割り込み	EI	H'0000 0080(注2)	0	0	次命令のPC
浮動小数点例外	FPE	H'0000 0090	不変	0	FPE発生命令のPC + 4

注1. ブートモード時は、リセット解除後にブートプログラムの実行を開始します。詳細は、「6.6 内蔵フラッシュメモリの書き込み」を参照してください。

注2. フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します。詳細については、「6.6 内蔵フラッシュメモリの書き込み」を参照してください。

4.8 例外(Exception)処理

4.8.1 予約命令例外(RIE)

[発生条件]

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられません。

[EIT 処理]

(1) SM、IE、Cビットの退避

PSWレジスタ中のSM、IE、Cビットを、BSM、BIE、BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM、IE、Cビットの更新

PSWレジスタ中のSM、IE、Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PCの退避

予約命令例外を起こした命令のPC値がBPCレジスタにセットされます。例えば、予約命令例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、予約命令例外を起こした命令がワード境界上にあるか(BPCのb30 = "0")、ワード境界上にないか(BPCのb30 = "1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

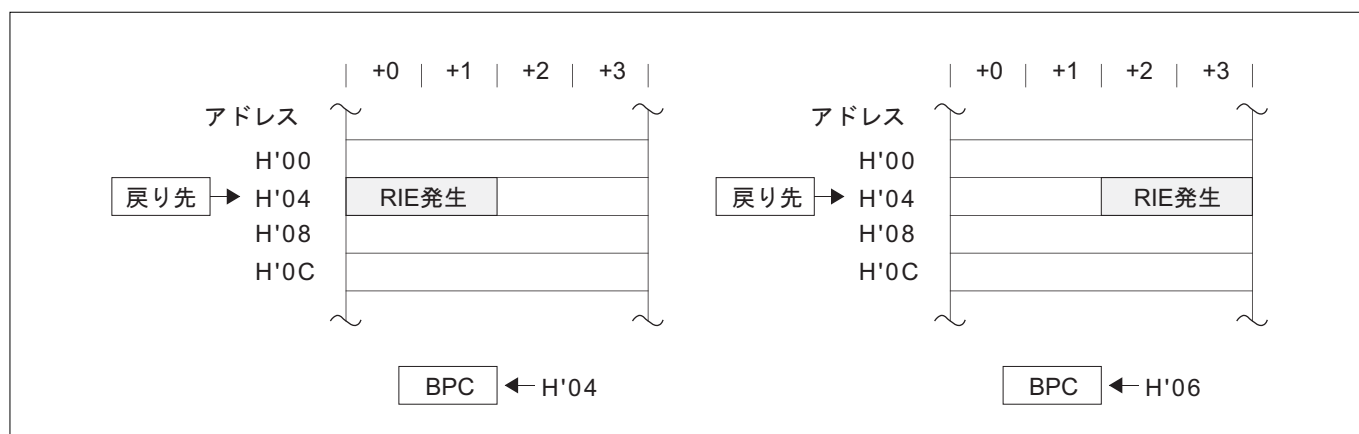


図4.8.1 予約命令例外(RIE)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0020番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0020番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの手元番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから退避した各レジスタを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、RIE発生の命令を含むワード境界の命令から再開します(図4.8.1参照)。意図的に予約命令例外を使用している場合を除き、予約命令例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、予約命令例外ハンドラから再び元のプログラムに復帰させないでください。

4.8.2 アドレス例外(AE)

[発生条件]

アドレス例外(AE: Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

- LDH命令、LDUH命令、STH命令でアドレス下位2ビットが"01"、"11"の場合
- LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが"01"、"10"、"11"の場合

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられません。

[EIT処理]

(1) SM、IE、Cビットの退避

PSWレジスタ中のSM、IE、Cビットを、BSM、BIE、BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM、IE、Cビットの更新

PSWレジスタ中のSM、IE、Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PCの退避

アドレス例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、アドレス例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか(BPCのb30="0")、ワード境界上にないか(BPCのb30="1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

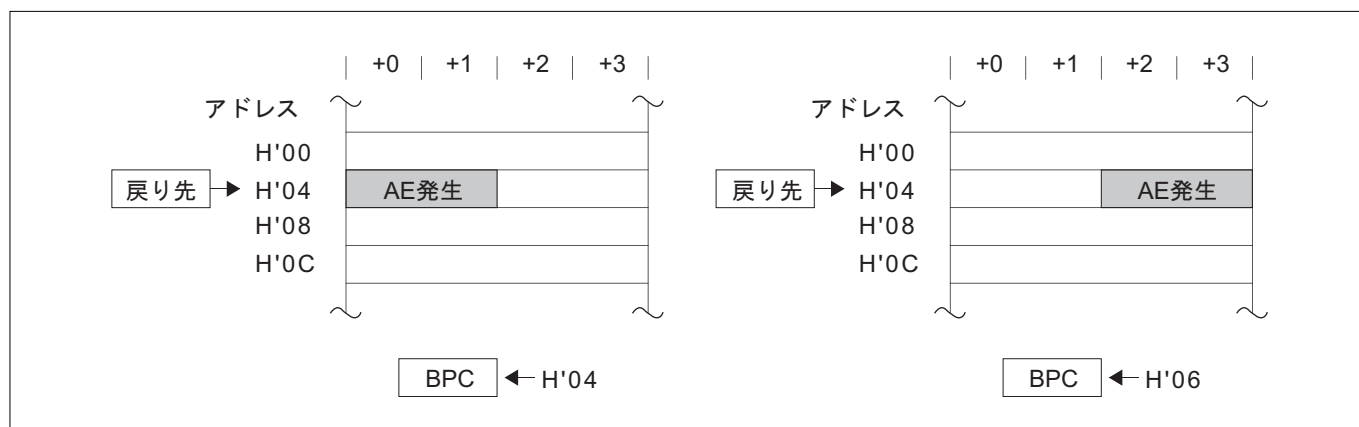


図4.8.2 アドレス例外(AE)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0030番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0030番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの手元番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりで、スタックから退避した各レジスタを復帰して、「RTE命令」を実行した場合、ハードウェア後処理が自動的に行われます。このとき、AE発生を含むワード境界の命令から再開します(図4.8.2参照)。意図的にアドレス例外を使用している場合を除き、アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、アドレス例外ハンドラから再び元のプログラムに復帰させないでください。

4.8.3 浮動小数点例外(FPE)

[発生条件]

浮動小数点例外(FPE : Floating Point Exception)は、IEEE754規格で規定された5つの例外(OVF/UDF/IXCT/DIV0/IVLD)の他に、非実装例外(UIPL)を検出した場合に発生します。

ただし、以下に示す[EIT処理]は、FPSRレジスタの例外イネーブルビットが"1"に設定されている例外の発生時、またはUIPL発生時に実行されます。

[EIT 処理]

(1) SM、IE、C ビットの退避

PSW レジスタ中のSM、IE、C ビットを、BSM、BIE、BC ビットに退避します。

BSM SM

BIE IE

BC C

(2) SM、IE、C ビットの更新

PSW レジスタ中のSM、IE、C ビットを次のように更新します。

SM 変化しない

IE 0

C 0

(3) PC の退避

FPE発生命令のPC + 4の値がBPCレジスタにセットされます。

FPEを発生する命令は全て32ビット命令のため、RTE命令の戻り先は常にFPE発生命令の次命令になります。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0090 番地へ分岐します。ハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0090番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEIT ハンドラの先頭では、まずBPC、PSW、FPSR、および必要な汎用レジスタをスタックに退避してください。

(6) EIT ハンドラからの復帰

EIT ハンドラの終わりでは、スタックから退避した各レジスタを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.9 割り込み(Interrupt)処理

4.9.1 リセット割り込み(RI)

[発生条件]

RESET#端子に"L"レベル信号を入力すると、マシンサイクルごとにリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

[EIT 処理]

(1) SM、IE、Cビットの初期化

PSWレジスタ中のSM、IE、Cビットを次のように初期化します。

SM	0
IE	0
C	0

リセット割り込みの場合、BSM、BIE、BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0000番地へ分岐します。ただし、ブートモード時は、ブートプログラムへ分岐します(詳細については、「6.6 内蔵フラッシュメモリの書き込み」を参照してください)。

(3) EITベクタエントリからユーザプログラムへの分岐

EITベクタエントリのH'0000 0000番地にユーザが書いた命令を実行します。リセットベクタエントリでは、PSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

4.9.2 システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用する緊急用割り込みです。システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません。

したがってシステムブレーク割り込みは、割り込みを検出した時点ですでにシステムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

[発生条件]

SBI#端子への立ち下がりエッジの入力でシステムブレーク割り込みが受け付けられます(システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

また、命令処理完了型のため命令の完了後にシステムブレーク割り込みが受け付けられます。

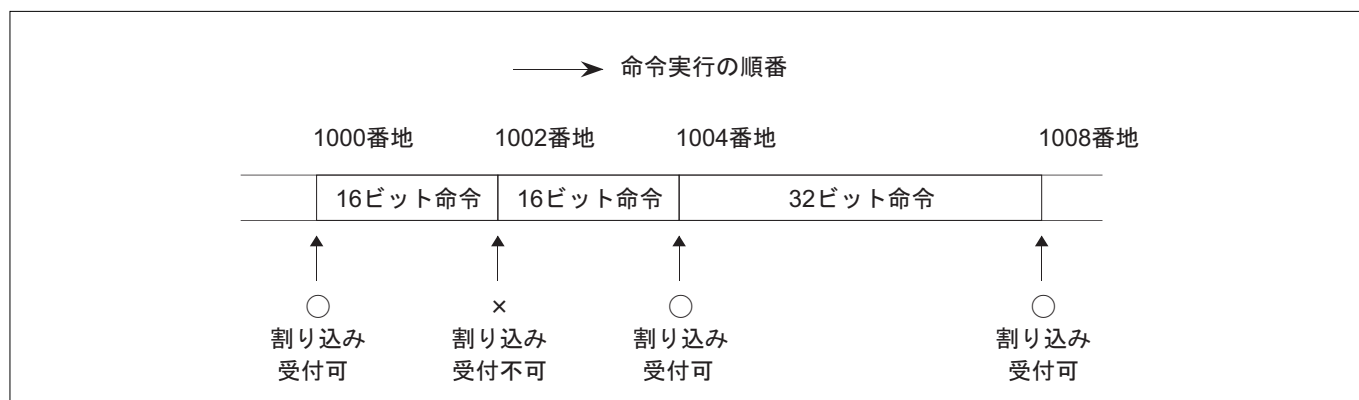


図4.9.1 システムブレーク割り込み(SBI)受付タイミング

[EIT処理]

(1) SM、IE、Cビットの退避

PSWレジスタ中のSM、IE、Cビットを、BSM、BIE、BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM、IE、Cビットの更新

PSWレジスタ中のSM、IE、Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PCの退避

BPCには、割り込みを判定した時点の次命令のアドレス(常にワード境界)が格納されます。

割り込み判定前が分岐命令の場合、次命令は分岐先の命令になります。

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0010番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0010番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。

システムブレーク割り込みは、システムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

4.9.3 外部割り込み(EI)

外部割り込みは、内蔵の割り込みコントローラから出力された割り込み要求に基づいて発生します。割り込みコントローラでは7レベルの優先順位を設けて、割り込み要求の管理を行っています。割り込みコントローラの詳細については「第5章 割り込みコントローラ」を、割り込み要求要因については内蔵周辺I/Oの各章を参照してください。

[発生条件]

外部割り込みは、各内蔵周辺I/Oからの割り込み要求に基づいて内蔵割り込みコントローラが管理を行い、それをCPUに伝えます。CPUは、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSW中のIEフラグが1のときに外部割り込みを受け付けます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

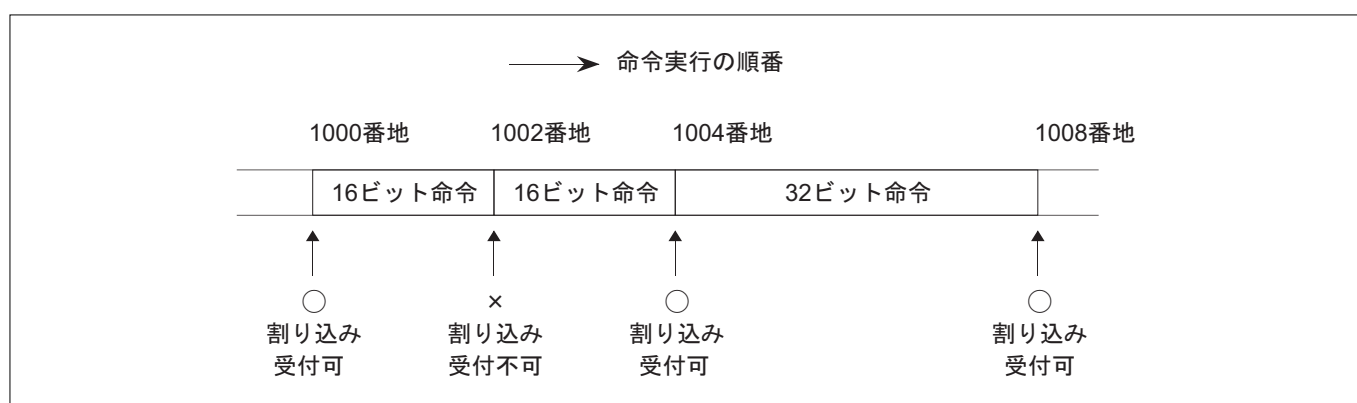


図4.9.2 外部割り込み(EI)受付タイミング

[EIT処理]

(1) SM、IE、Cビットの退避

PSWレジスタ中のSM、IE、Cビットを、BSM、BIE、BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM、IE、Cビットの更新

PSWレジスタ中のSM、IE、Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PCの退避

PCレジスタの内容(常にワード境界)をBPCレジスタに退避します。

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0080番地へ分岐します。ただし、フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します(詳細については、「6.6 内蔵フラッシュメモリの書き込み」を参照してください)。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0080番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから退避したレジスタを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.10 トラップ(Trap)処理

4.10.1 トラップ(TRAP)

[発生条件]

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0~15に対応して16種類のトラップが発生します。これに対応して、ベクタエントリは16エントリ用意されています。

[EIT 処理]

(1) SM、IE、Cビットの退避

PSWレジスタ中のSM、IE、Cビットを、BSM、BIE、BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM、IE、Cビットの更新

PSWレジスタ中のSM、IE、Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PCの退避

トラップ命令を実行すると、(TRAP命令のPC値 + 4)の値がBPCレジスタにセットされます。例えば、4番地に「TRAP命令」が置かれた場合は、BPCレジスタにH'08がセットされます。同様に6番地に置かれた場合は、BPCレジスタにはH'0Aがセットされます。BPCレジスタのビット30の値は、トラップ命令がワード境界上にあるか(BPCのb30 = "0")、ワード境界上にないか(BPCのb30 = "1")を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も8番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

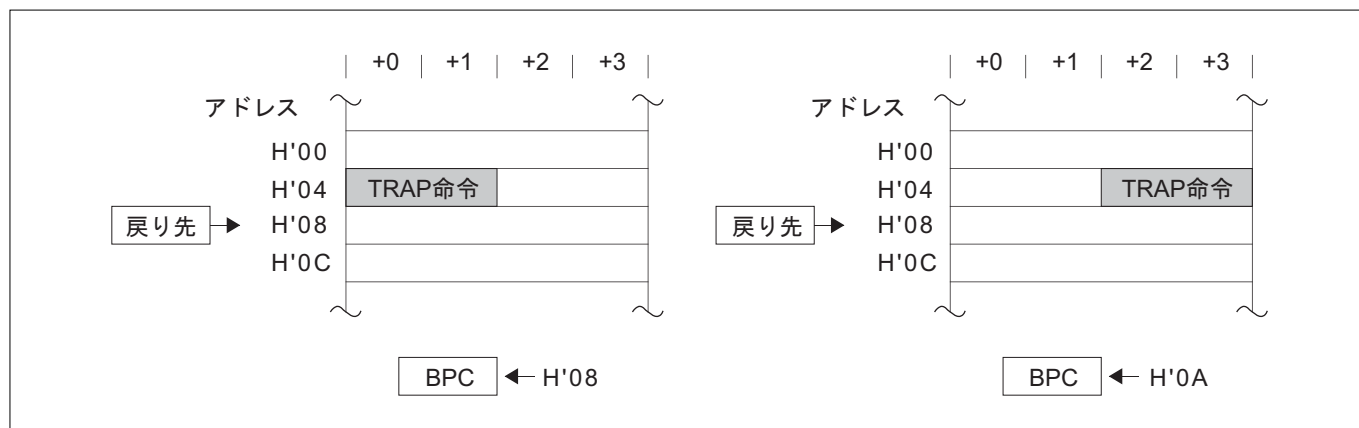


図4.10.1 トラップ(TRAP)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0040 ~ H'0000 007C番地へ分岐します。ハードウェア前処理はここまでです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

EITベクタエントリのH'0000 0040 ~ H'0000 007C番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。このときトラップ発生時の命令を含む次のワード境界の命令から再開します(図4.10.1参照)。

4.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表4.11.1 EIT事象の優先度と復帰形態

優先度	EIT事象	処理型	BPCレジスタにセットされる値
高 ↑	1 リセット割り込み(RI)	命令処理放棄型	不定
	アドレス例外(AE)	命令処理取消型	発生した命令のPC
	2 予約命令例外(RIE)	命令処理取消型	発生した命令のPC
	浮動小数点例外(FPE)	命令処理完了型	FPEを発生した命令のPC値 + 4
	トラップ(TRAP)	命令処理完了型	TRAP命令 + 4
↓	3 システムブレーク 割り込み(SBI)	命令処理完了型	次命令のPC
	低	4 外部割り込み(EI)	命令処理完了型

なお、外部割り込み(EI)における周辺I/Oからの各割り込み要求の優先順位設定は、内蔵の割り込みコントローラで行います。詳細は「第5章 割り込みコントローラ」を参照してください。

4.12 EIT処理の例

(1) RIE、AE、FPE、SBI、EI、TRAPが単独で発生した場合

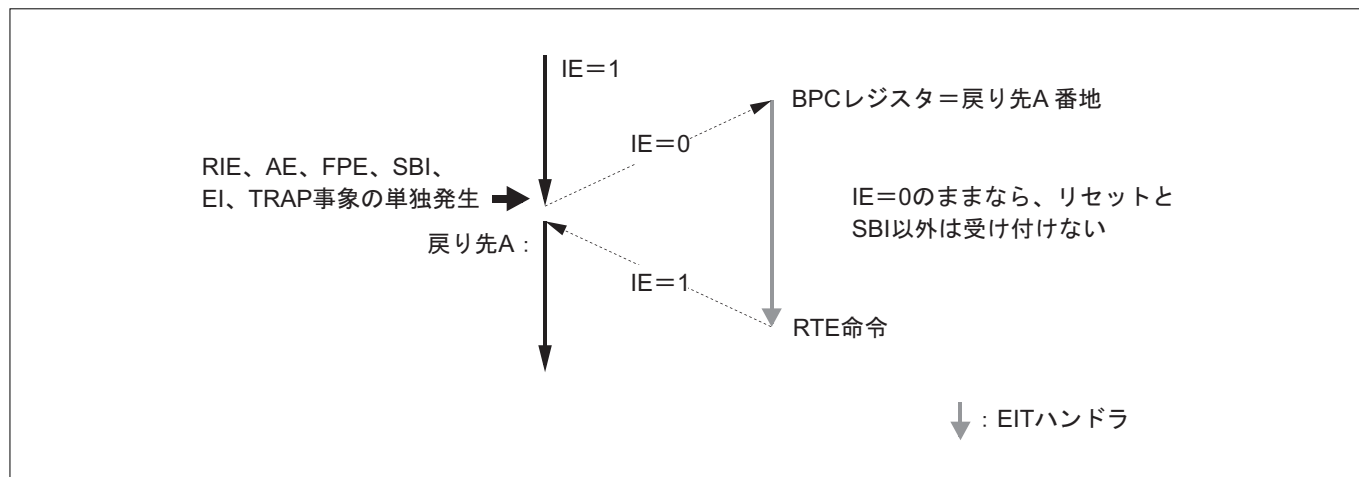


図4.12.1 RIE、AE、FPE、SBI、EI、TRAP各事象の処理

(2) RIE、AE、FPE、TRAPのいずれかとEIが同時に発生した場合

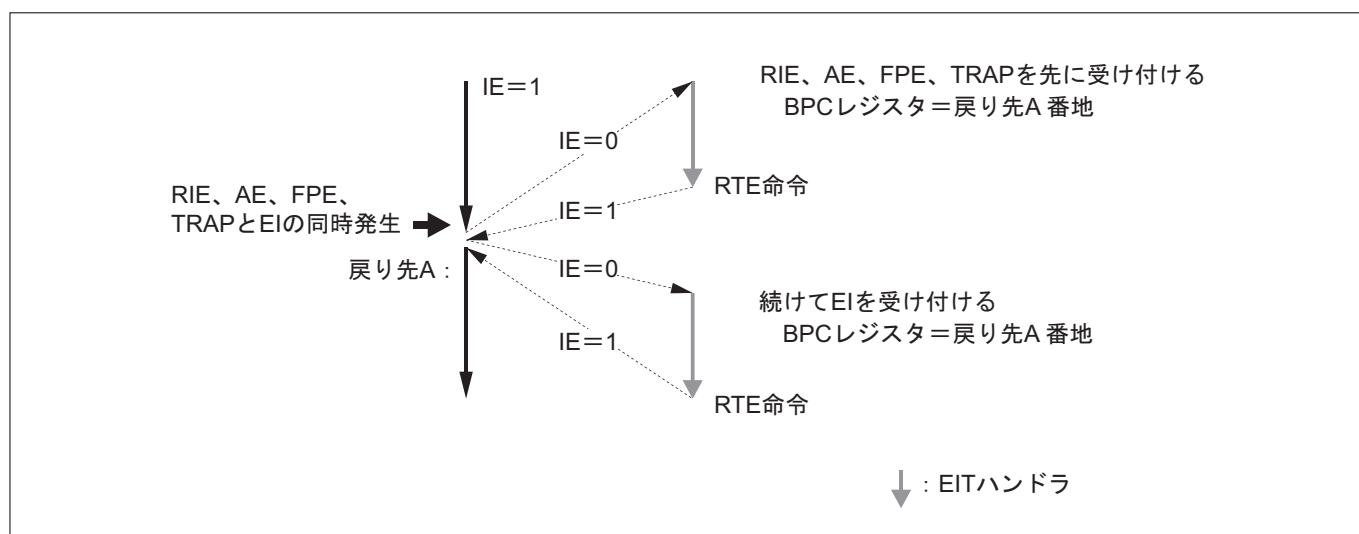


図4.12.2 RIE、AE、FPE、TRAPとEIが同時発生した場合の処理

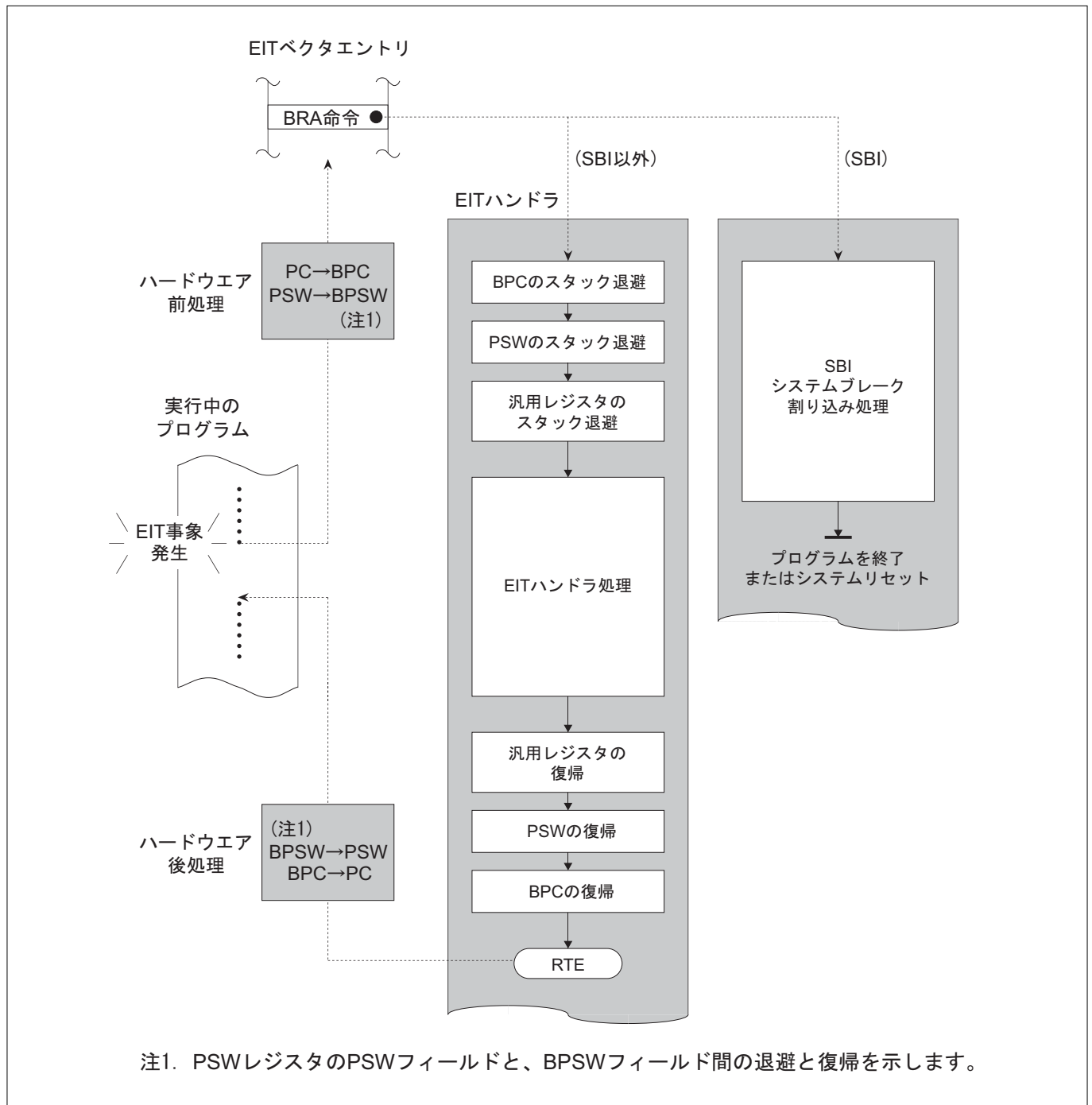


図4.12.3 EIT処理の例

4.13 EITの注意事項

アドレス例外は、「レジスタ間接 + レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(R_{src} , R_{src2})の値が不定となります。

なお、 R_{src} , R_{src2} の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

- 対象命令

LD	R_{dest} , @ R_{src} +
ST	R_{src1} , @ - R_{src2}
ST	R_{src1} , @ + R_{src2}

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

第5章

割り込みコントローラ(ICU)

- 5.1 割り込みコントローラ概要
- 5.2 ICU関連レジスタ
- 5.3 内蔵周辺I/Oの割り込み要求要因
- 5.4 ICUベクタテーブル
- 5.5 割り込み動作説明
- 5.6 システムブレーク割り込み(SBI)動作説明

5.1 割り込みコントローラ概要

割り込みコントローラ(ICU)は、内蔵周辺I/Oからのマスク可能な割り込みと、システムブ레이크割り込み(SBI)の管理を行います。内蔵周辺I/Oからのマスク可能な割り込みは、外部割り込み(EI)としてM32R CPU に伝えられます。

内蔵周辺I/Oからのマスク可能な割り込みは、割り込み禁止を含めて8レベルの優先順位により管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。内蔵周辺I/O内での割り込み要求発生元の特定は、内蔵周辺I/Oの割り込みステータスレジスタを読むことで行います。

一方システムブ레이크割り込み(SBI)は、SBI#端子に立ち下がりエッジが入力された場合に発生する割り込みです。PSWレジスタのIEビットの状態にかかわらず常に受け付けられ、電源の異常検出時や、外部ウォッチドックタイマによる異常検出時に使用される緊急用の割り込みです。システムブ레이크割り込みに対する処置の終了後には、割り込み要求発生時に実行していた元のプログラムには復帰せず、システムを終了するか、またはリセットしてください。

割り込みコントローラの概要を以下に示します。

表5.1.1 割り込みコントローラ(ICU)の概要

項目	概要
割り込み要求要因	内蔵周辺I/Oからのマスク可能な割り込み要求 : 40要因(注1) システムブ레이크割り込み要求 : 1要因(SBI#端子からの入力)
レベル管理	割り込み禁止を含めて8レベル (ただし同一レベルの場合はハードウェアで固定された優先順位を適用)

注1. 割り込み要求数をグループごとにまとめた数であり、割り込み要求要因総数としては257要因です。

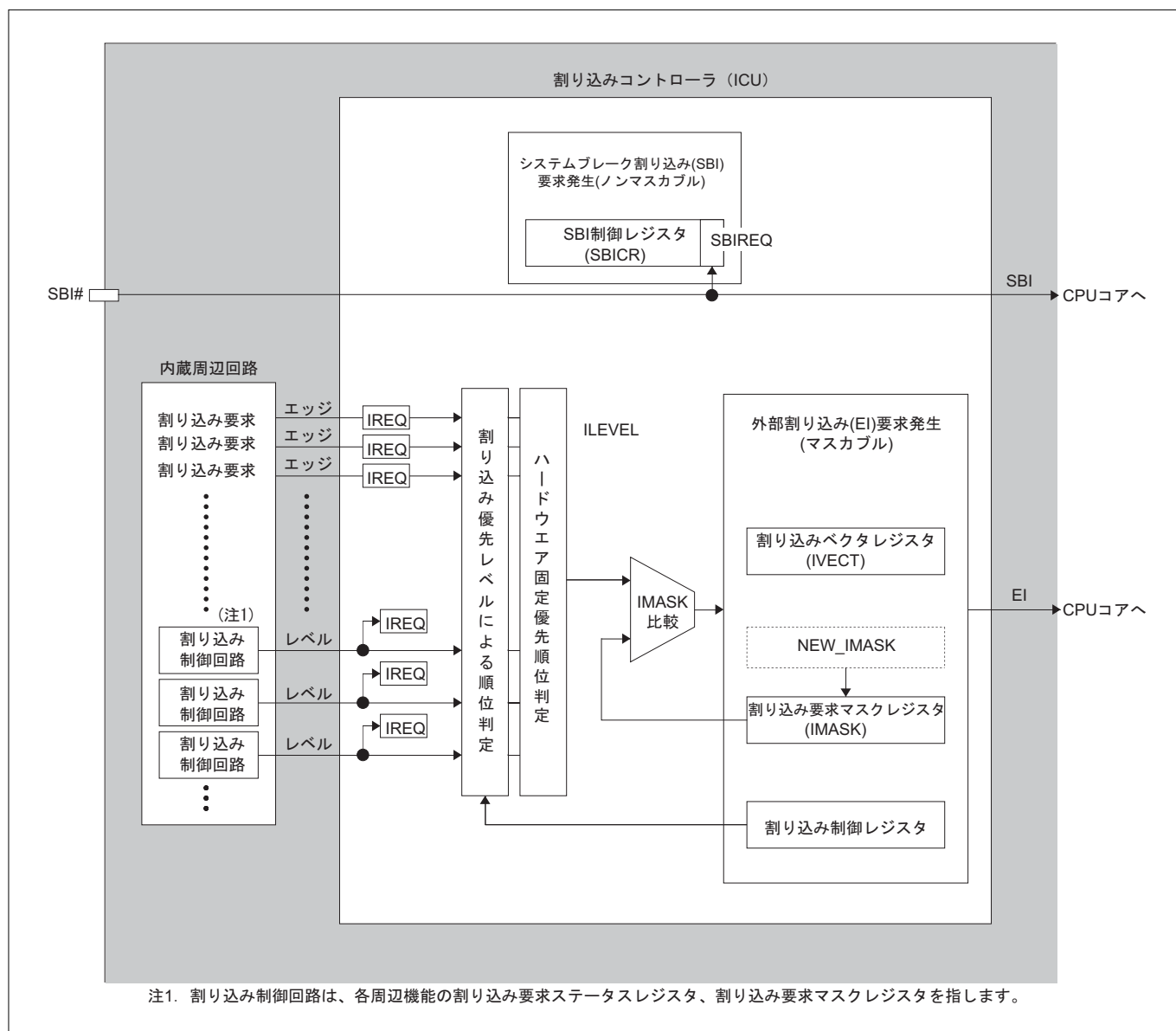


図5.1.1 割り込みコントローラブロック図

5.2 ICU関連レジスタ

割り込みコントローラ(ICU)関連のレジスタマップを以下に示します。

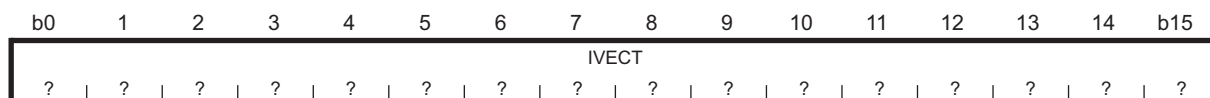
ICU関連レジスタマップ

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0000	割り込みベクタレジスタ (IVECT)		5-5
H'0080 0002	(使用禁止領域)		
H'0080 0004	割り込み要求マスクレジスタ (IMASK)	(使用禁止領域)	5-6
H'0080 0006	SBI制御レジスタ (SBICR)	(使用禁止領域)	5-7
	(使用禁止領域)		
H'0080 0056	RAM書き込み監視割り込み制御レジスタ (IRAMWRCR)	CAN1エラー割り込み制御レジスタ (ICAN1ERCR)	5-8
H'0080 0058	CAN1シングルショット割り込み制御レジスタ (ICAN1SSCR)	CAN1送受信割り込み制御レジスタ (ICAN1TRCR)	5-8
H'0080 005A	CAN0エラー割り込み制御レジスタ (ICAN0ERCR)	CAN0シングルショット割り込み制御レジスタ (ICAN0SSCR)	5-8
H'0080 005C	CAN0送受信割り込み制御レジスタ (ICAN0TRCR)	DRIイベント検出割り込み制御レジスタ (IDRIEVCRCR)	5-8
H'0080 005E	DRIカウンタ割り込み制御レジスタ (IDRICNTRCR)	DRI転送割り込み制御レジスタ (IDRITRCR)	5-8
H'0080 0060	CAN0送受信&エラー割り込み制御レジスタ (ICAN0CR)	TML1入力割り込み制御レジスタ (ITML1CR)	5-8
H'0080 0062	(使用禁止領域)		
H'0080 0064	SIO4,5送受信割り込み制御レジスタ (ISIO45CR)	TOU1出力割り込み制御レジスタ (ITOU1CR)	5-8
H'0080 0066	TID1出力割り込み制御レジスタ (ITID1CR)	RTD割り込み制御レジスタ (IRTDCR)	5-8
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)	DMA5-9割り込み制御レジスタ (IDMA59CR)	5-8
H'0080 006A	TOU0出力割り込み制御レジスタ (ITOU0CR)	TID0出力割り込み制御レジスタ (ITID0CR)	5-8
H'0080 006C	A/D0変換割り込み制御レジスタ (IAD0CCR)	SIO0送信割り込み制御レジスタ (ISIO0TXCR)	5-8
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)	SIO1送信割り込み制御レジスタ (ISIO1TXCR)	5-8
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)	DMA0-4割り込み制御レジスタ (IDMA04CR)	5-8
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)	MJT出力割り込み制御レジスタ1 (IMJTOCR1)	5-8
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)	MJT出力割り込み制御レジスタ3 (IMJTOCR3)	5-8
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)	MJT出力割り込み制御レジスタ5 (IMJTOCR5)	5-8
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)	MJT出力割り込み制御レジスタ7 (IMJTOCR7)	5-8
H'0080 007A	MJT入力割り込み制御レジスタ0 (IMJTICR0)	MJT入力割り込み制御レジスタ1 (IMJTICR1)	5-8
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)	MJT入力割り込み制御レジスタ3 (IMJTICR3)	5-8
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)	CAN1送受信&エラー割り込み制御レジスタ (ICAN1CR)	5-8

5.2.1 割り込みベクタレジスタ

割り込みベクタレジスタ(IVECT)

<アドレス: H'0080 0000 >



<リセット解除時: 不定 >

b	ビット名	機能	R	W
0~15	IVECT ICUベクタテーブルアドレス下位16ビット	割り込み要求受付時に、受け付けた割り込み要求要因に対応するICUベクタテーブルアドレスの下位16ビットが格納されます。	R	N

注. ・このレジスタは、ハーフワード(2バイト)で読み出してください(読み出し専用レジスタ)。

割り込みベクタレジスタ(IVECT)は、割り込み要求受付時に、受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。

ICUベクタテーブル(H'0000 0094 ~ H'0000 013B番地)には、あらかじめ各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定しておきます。割り込み要求受付時には、受け付けた割り込み要求要因に対応するICUベクタテーブルのアドレス下位16ビットが、このIVECTレジスタにセットされます。EITハンドラでは、このIVECTレジスタの内容を「LDH命令」で読み出すことで、ICUベクタテーブルのアドレスを取得します。

なお、IVECTレジスタを読み出すと、以下の(1)~(4)の動作がハードウェアによって自動的に行われます。

- (1) 受け付けた割り込み要求要因の割り込み優先レベル(ILEVEL)を、新しいIMASK値としてIMASKレジスタにセット(受け付けた割り込み要求要因より低い割り込み優先レベルの割り込みをマスク)
- (2) 受け付けた割り込み要求要因をクリア(レベルタイプの割り込み要求要因はクリアされません)
- (3) CPUコアへの割り込み要求(EI)を解除
- (4) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注. ・EITハンドラ内の割り込み禁止期間以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込み要求マスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。

・割り込みベクタレジスタ(IVECT)の読み出し後、割り込みを許可(IEビットへの"1"書き込み)する場合には、以下の処理順で実行してください。

- (1) 割り込みベクタレジスタ(IVECT)の読み出し
- (2) SFRへの1回以上のリードアクセス
- (3) 内蔵メモリ、SFR等への1回以上のダミーアクセス
- (4) 割り込みを許可(IEビットへの"1"書き込み)

5.2.2 割り込み要求マスクレジスタ

割り込み要求マスクレジスタ(IMASK)

< アドレス : H'0080 0004 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	1	1	1

< リセット解除時 : H'07 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5~7	IMASK 割り込み要求マスクビット	000 : マスカブル割り込み禁止 001 : レベル0 割り込み受付可 010 : レベル0~1 割り込み受付可 011 : レベル0~2 割り込み受付可 100 : レベル0~3 割り込み受付可 101 : レベル0~4 割り込み受付可 110 : レベル0~5 割り込み受付可 111 : レベル0~6 割り込み受付可	R	W

割り込み要求マスクレジスタ(IMASK)は、各割り込み要求要因ごとに設定した優先レベル(割り込み制御レジスタのILEVELビットの設定)と比較して、最終的にその割り込み要求を受け付けるかどうかを決定するレジスタです。

割り込みベクタレジスタ(IVECT)を読み出すと、このIMASKレジスタに、受け付けた割り込み要求要因の割り込み優先レベルを、新しいマスク値としてセットします。

なお、IMASKレジスタに書き込みを行うと、以下の(1)~(2)の動作がハードウェアによって自動的に行われます。

- (1) CPUコアへの割り込み要求(EI)を解除
- (2) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注 . ・ 割り込み禁止期間以外での、割り込み要求マスクレジスタ(IMASK)への書き込みは行わないでください。

・ 割り込み要求マスクレジスタ(IMASK)への書き込み後、割り込みを許可(IEビットへの "1" 書き込み)する場合には、以下の処理順で実行してください。

- (1) 割り込み要求マスクレジスタ(IMASK)への書き込み
- (2) SFRへの1回以上のリードアクセス
- (3) 内蔵メモリ、SFR等への1回以上のダミーアクセス
- (4) 割り込みを許可(IEビットへの "1" 書き込み)

または、

- (1) 割り込み要求マスクレジスタ(IMASK)への書き込み
- (2) 内蔵メモリ、SFR等への2回以上のダミーアクセス
- (3) 4個以上の命令(注1)
- (4) 割り込みを許可(IEビットへの "1" 書き込み)

注1 . クロックサイクルを消費しないNOP(アセンブラがアライメント調整のために自動挿入するNOP : 命令コードH F000)以外の命令。

5.2.3 SB(システムブレーク割り込み)制御レジスタ

SB(システムブレーク割り込み)制御レジスタ(SBICR)

<アドレス : H'0080 0006 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	0	SBIREQ 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~6		何も配置されていません。"0"に固定してください。	0	0
7	SBIREQ	0 : SBI要求なし	R (注1)	
	SBI要求ビット	1 : SBI要求あり		

注1 . クリア動作のみ可能(下記参照)

SB(システムブレーク割り込み)は、SBI#端子に立ち下がりエッジが入力された場合に発生する割り込み要求です。

SBI#端子に立ち下がりエッジが入力され、このビットが"1"にセットされるとCPUに対してシステムブレーク割り込み(SBI)要求が発生します。

このビットは、ソフトウェアにて"1"にセットできません。

このビットを"0"にクリアする場合は、以下の手順で行ってください。

- 1 . SBI要求ビットに"1"を書き込む
- 2 . SBI要求ビットに"0"を書き込む

注 . ・ただし、このビットに"1"がセットされていないときは、上記クリア動作を行わないでください。

・SBI要求ビットが"1"にセットされた状態において、再度SBI#端子に立ち下がりエッジが入力されてもシステムブレーク割り込みが発生することはありません。

5.2.4 割り込み制御レジスタ

RAM書き込み監視割り込み制御レジスタ(IRAMWRCR)	<アドレス : H'0080 0056 >
CAN1エラー割り込み制御レジスタ(ICAN1ERCR)	<アドレス : H'0080 0057 >
CAN1シングルショット割り込み制御レジスタ(ICAN1SSCR)	<アドレス : H'0080 0058 >
CAN1送受信割り込み制御レジスタ(ICAN1TRCR)	<アドレス : H'0080 0059 >
CAN0エラー割り込み制御レジスタ(ICAN0ERCR)	<アドレス : H'0080 005A >
CAN0シングルショット割り込み制御レジスタ(ICAN0SSCR)	<アドレス : H'0080 005B >
CAN0送受信割り込み制御レジスタ(ICAN0TRCR)	<アドレス : H'0080 005C >
DRIイベント検出割り込み制御レジスタ(IDRIEVCR)	<アドレス : H'0080 005D >
DRIカウンタ割り込み制御レジスタ(IDRICNTCR)	<アドレス : H'0080 005E >
DRI転送割り込み制御レジスタ(IDRITRCR)	<アドレス : H'0080 005F >
CAN0送受信&エラー割り込み制御レジスタ(ICAN0CR)	<アドレス : H'0080 0060 >
TML1入力割り込み制御レジスタ(ITML1CR)	<アドレス : H'0080 0061 >
SIO4,5送受信割り込み制御レジスタ(ISIO45CR)	<アドレス : H'0080 0064 >
TOU1出力割り込み制御レジスタ(ITOU1CR)	<アドレス : H'0080 0065 >
TID1出力割り込み制御レジスタ(ITID1CR)	<アドレス : H'0080 0066 >
RTD割り込み制御レジスタ(IRTDCR)	<アドレス : H'0080 0067 >
SIO2,3送受信割り込み制御レジスタ(ISIO23CR)	<アドレス : H'0080 0068 >
DMA5-9割り込み制御レジスタ(IDMA59CR)	<アドレス : H'0080 0069 >
TOU0出力割り込み制御レジスタ(ITOU0CR)	<アドレス : H'0080 006A >
TID0出力割り込み制御レジスタ(ITID0CR)	<アドレス : H'0080 006B >
A/D0変換割り込み制御レジスタ(IAD0CCR)	<アドレス : H'0080 006C >
SIO0送信割り込み制御レジスタ(ISIO0TXCR)	<アドレス : H'0080 006D >
SIO0受信割り込み制御レジスタ(ISIO0RXCR)	<アドレス : H'0080 006E >
SIO1送信割り込み制御レジスタ(ISIO1TXCR)	<アドレス : H'0080 006F >
SIO1受信割り込み制御レジスタ(ISIO1RXCR)	<アドレス : H'0080 0070 >
DMA0-4割り込み制御レジスタ(IDMA04CR)	<アドレス : H'0080 0071 >
MJT出力割り込み制御レジスタ0(IMJTOCR0)	<アドレス : H'0080 0072 >
MJT出力割り込み制御レジスタ1(IMJTOCR1)	<アドレス : H'0080 0073 >
MJT出力割り込み制御レジスタ2(IMJTOCR2)	<アドレス : H'0080 0074 >
MJT出力割り込み制御レジスタ3(IMJTOCR3)	<アドレス : H'0080 0075 >
MJT出力割り込み制御レジスタ4(IMJTOCR4)	<アドレス : H'0080 0076 >
MJT出力割り込み制御レジスタ5(IMJTOCR5)	<アドレス : H'0080 0077 >
MJT出力割り込み制御レジスタ6(IMJTOCR6)	<アドレス : H'0080 0078 >
MJT出力割り込み制御レジスタ7(IMJTOCR7)	<アドレス : H'0080 0079 >
MJT入力割り込み制御レジスタ0(IMJTICR0)	<アドレス : H'0080 007A >
MJT入力割り込み制御レジスタ1(IMJTICR1)	<アドレス : H'0080 007B >
MJT入力割り込み制御レジスタ2(IMJTICR2)	<アドレス : H'0080 007C >
MJT入力割り込み制御レジスタ3(IMJTICR3)	<アドレス : H'0080 007D >
MJT入力割り込み制御レジスタ4(IMJTICR4)	<アドレス : H'0080 007E >
CAN1送受信&エラー割り込み制御レジスタ(ICAN1CR)	<アドレス : H'0080 007F >

b0	1	2	3	4	5	6	b7	
(b8	9	10	11	12	13	14	b15)	
			IREQ		ILEVEL			
0	0	0	0	0	1	1	1	

<リセット解除時：H'07>

b	ビット名	機能	R	W
0~2 (8~10)	何も配置されていません。"0"に固定してください。		0	0
3 (11)	IREQ 割り込み要求ビット	<エッジタイプの場合> [読み出し時] 0：割り込み要求なし 1：割り込み要求あり [書き込み時] 0：割り込み要求クリア 1：割り込み要求発生	R	W
4 (12)	何も配置されていません。"0"に固定してください。	<レベルタイプの場合> [読み出し時] 0：割り込み要求なし 1：割り込み要求あり	R	0
5~7 (13~15)	ILEVEL 割り込み優先レベルビット	000：割り込み優先レベル0 001：割り込み優先レベル1 010：割り込み優先レベル2 011：割り込み優先レベル3 100：割り込み優先レベル4 101：割り込み優先レベル5 110：割り込み優先レベル6 111：割り込み優先レベル7(割り込み禁止状態)	R	W

(1) IREQ (割り込み要求)ビット (b3またはb11)

内蔵周辺I/Oの割り込み要求が発生すると、IREQ(割り込み要求)ビットが"1"にセットされます。

このビットはエッジタイプの割り込み要求要因のみソフトウェアでセット/クリアすることができます(レベルタイプはソフトウェアでセット/クリアできません)。また、エッジタイプの割り込み要求発生でセットされたIREQビットは、割り込みベクタレジスタ(IVECT)を読み出すと、自動的に"0"にクリアされます(レベルタイプはIVECTを読み出ししてもクリアされません)。

割り込み要求発生によるセットとソフトウェアによるクリアが同時に発生した場合は、ソフトウェアによるクリアが優先されます。また、割り込み要求発生によるセットとIVECT読み出しによるクリアが同時に発生した場合は、IVECT読み出しによるクリアが優先されます。

注・IREQビットをクリアしても、CPUコアへの割り込み要求(EI)はクリアされません。CPUコアへの割り込み要求(EI)は、次の動作によってのみクリアされます。

- (1)リセット
- (2)IVECTレジスタの読み出し
- (3)IMASKレジスタへの書き込み

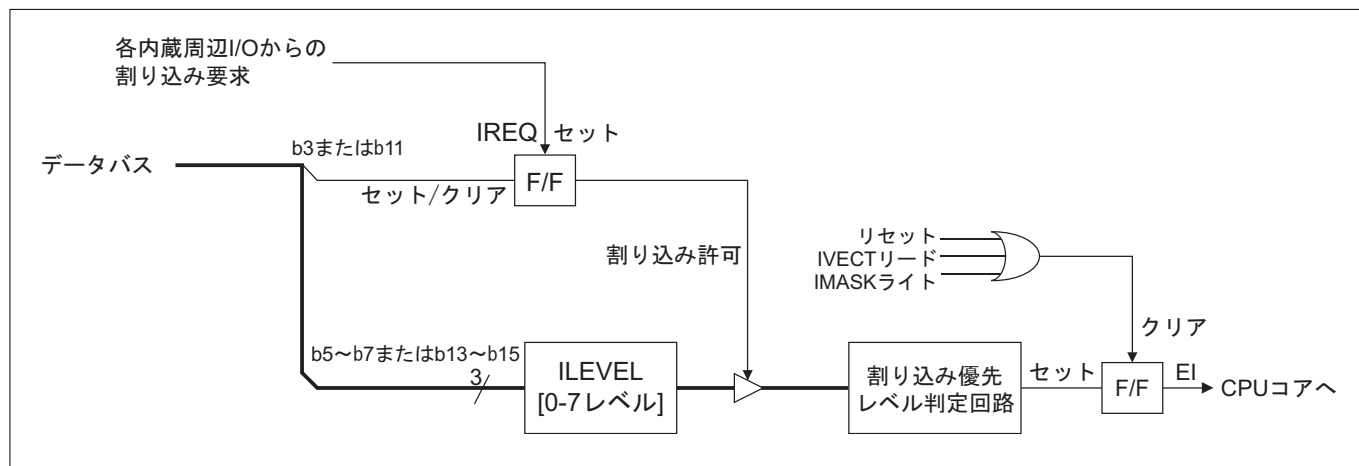


図5.2.1 割り込み制御レジスタ構成(エッジタイプ)

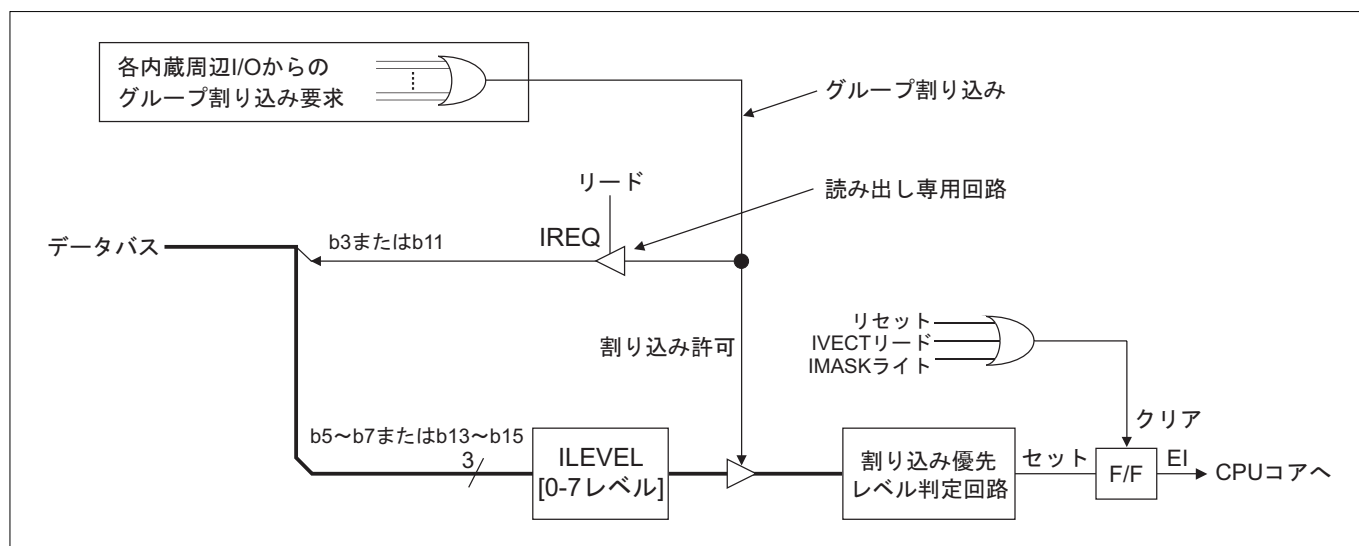


図5.2.2 割り込み制御レジスタ構成(レベルタイプ)

(2) ILEVEL(割り込み優先レベル) (b5~b7またはb13~b15)

各内蔵周辺I/Oの割り込み要求の優先レベルを設定します。内蔵周辺I/Oの割り込みを禁止する場合は"111"を、割り込みを使用する場合は"000"~"110"を設定します。

割り込み要求発生時、ILEVELの設定をもとに要因間の優先順位を判定するとともに、最終的にIMASKの値と比較してCPUへのEI要求を出力するか、保留するかが決定されます。

ILEVELの設定と受け付けられるIMASK値の関係を以下に示します。

表5.2.1 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0 (ILEVEL = "000")	IMASKが 1~7 のとき受け付けられる
1 (ILEVEL = "001")	IMASKが 2~7 のとき受け付けられる
2 (ILEVEL = "010")	IMASKが 3~7 のとき受け付けられる
3 (ILEVEL = "011")	IMASKが 4~7 のとき受け付けられる
4 (ILEVEL = "100")	IMASKが 5~7 のとき受け付けられる
5 (ILEVEL = "101")	IMASKが 6~7 のとき受け付けられる
6 (ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7 (ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.3 内蔵周辺I/Oの割り込み要求要因

割り込みコントローラには、MJT(マルチジャンクションタイム)、DMAC、シリアルインタフェース、A/Dコンバータ、RTD、CAN、DRI、RAM書き込み監視からの割り込み要求が入力されます。割り込みの詳細については、各内蔵周辺I/Oの章を参照してください。

表5.3.1 内蔵周辺I/Oの割り込み要求要因

割り込み要求要因	内容	入力要因数	ICU入力要因タイプ(注1)
MJT入力割り込み4	MJT入力割り込みグループ4(TIN3~TIN6入力)	4	レベル
MJT入力割り込み3	MJT入力割り込みグループ3(TIN20~TIN27入力)	8	レベル
MJT入力割り込み2	MJT入力割り込みグループ2(TIN16~TIN19入力)	4	レベル
MJT入力割り込み1	MJT入力割り込みグループ1(TIN0入力)	1	レベル
MJT入力割り込み0	MJT入力割り込みグループ0(TIN7~TIN11入力)	5	レベル
MJT出力割り込み7	MJT出力割り込みグループ7(TMS0、TMS1出力)	2	レベル
MJT出力割り込み6	MJT出力割り込みグループ6(TOP8、TOP9出力)	2	レベル
MJT出力割り込み5	MJT出力割り込みグループ5(TOP10出力)	1	エッジ
MJT出力割り込み4	MJT出力割り込みグループ4(TIO4~TIO7出力)	4	レベル
MJT出力割り込み3	MJT出力割り込みグループ3(TIO8、TIO9出力)	2	レベル
MJT出力割り込み2	MJT出力割り込みグループ2(TOP0~TOP5出力)	6	レベル
MJT出力割り込み1	MJT出力割り込みグループ1(TOP6、TOP7出力)	2	レベル
MJT出力割り込み0	MJT出力割り込みグループ0(TIO0~TIO3出力)	4	レベル
DMA0-4割り込み	DMA0-4の転送終了	5	レベル
SIO1受信割り込み	SIO1の受信完了、または受信エラー割り込み	1	エッジ
SIO1送信割り込み	SIO1の送信完了、または送信バッファエンプティ割り込み	1	エッジ
SIO0受信割り込み	SIO0の受信完了、または受信エラー割り込み	1	エッジ
SIO0送信割り込み	SIO0の送信完了、または送信バッファエンプティ割り込み	1	エッジ
A/D0変換割り込み	A/D0変換(単一モード、スキャンワンショットモード、スキャン連続モードの1周期)終了、コンパレート終了	1	エッジ
TID0出力割り込み	TID0出力	1	エッジ
TOU0出力割り込み	TOU0_0~TOU0_7出力	8	レベル
DMA5-9割り込み	DMA5-9の転送終了	5	レベル
SIO2,3送受信割り込み	SIO2,3の受信完了または受信エラー割り込み、送信完了または送信バッファエンプティ割り込み	4	レベル
RTD割り込み	RTD割り込み発生コマンド	1	エッジ
TID1出力割り込み	TID1出力	1	エッジ
TOU1出力割り込み	TOU1_0~TOU1_7出力	8	レベル
SIO4,5送受信割り込み	SIO4,5の受信完了、または受信エラー割り込み、送信完了または送信バッファエンプティ割り込み	4	レベル
TML1入力割り込み	TML1入力(TIN30~TIN33入力)	4	レベル
CAN0送受信&エラー割り込み	CAN0送信完了、CAN0受信完了、CAN0バスエラー、CAN0エラーバッシブ、CAN0バスオフ、CAN0シングルショット	67	レベル
CAN1送受信&エラー割り込み	CAN1送信完了、CAN1受信完了、CAN1バスエラー、CAN1エラーバッシブ、CAN1バスオフ、CAN1シングルショット	67	レベル
DRI転送割り込み	DRIアドレスカウンタ0転送完了、DRIアドレスカウンタ1転送完了、オーバーランエラー、取り込み許可エラー、DRI転送カウンタアンダフロー	5	レベル
DRIカウンタ割り込み	DEC0~DEC4アンダフロー	5	レベル
DRIイベント検出割り込み	DIN0~DIN5イベント検出	6	レベル
CAN0送受信割り込み	CAN0送信完了、CAN0受信完了	32	レベル
CAN0シングルショット割り込み	CAN0シングルショット	32	レベル
CAN0エラー割り込み	CAN0バスエラー、CAN0エラーバッシブ、CAN0バスオフ	3	レベル
CAN1送受信割り込み	CAN1送信完了、CAN1受信完了	32	レベル
CAN1シングルショット割り込み	CAN1シングルショット	32	レベル
CAN1エラー割り込み	CAN1バスエラー、CAN1エラーバッシブ、CAN1バスオフ	3	レベル
RAM書き込み監視割り込み	RAM書き込み	16	レベル

注1. ICU入力要因タイプ

- ・エッジ：ICUに入力される割り込み信号の立ち上がりエッジで、割り込み要求が発生します。
- ・レベル：ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

5.4 ICUベクタテーブル

ICUベクタテーブルは、各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定するテーブルで、40要因の割り込み要求に対して以下のアドレスが割り付けられています。

また、割り込み要求要因は、以下のハードウェアで固定された優先順位が割り付けられています。

表5.4.1 ICUベクタテーブル

優先順位	割り込み要求要因	ICUベクタテーブルアドレス	入力要因数	ICU入力要因タイプ(注1)
高 ↑	MJT入力割り込み4	H'0000 0094 ~ H'0000 0097	4	レベル
	MJT入力割り込み3	H'0000 0098 ~ H'0000 009B	8	レベル
	MJT入力割り込み2	H'0000 009C ~ H'0000 009F	4	レベル
	MJT入力割り込み1	H'0000 00A0 ~ H'0000 00A3	1	レベル
	MJT入力割り込み0	H'0000 00A4 ~ H'0000 00A7	5	レベル
	MJT出力割り込み7	H'0000 00A8 ~ H'0000 00AB	2	レベル
	MJT出力割り込み6	H'0000 00AC ~ H'0000 00AF	2	レベル
	MJT出力割り込み5	H'0000 00B0 ~ H'0000 00B3	1	エッジ
	MJT出力割り込み4	H'0000 00B4 ~ H'0000 00B7	4	レベル
	MJT出力割り込み3	H'0000 00B8 ~ H'0000 00BB	2	レベル
	MJT出力割り込み2	H'0000 00BC ~ H'0000 00BF	6	レベル
	MJT出力割り込み1	H'0000 00C0 ~ H'0000 00C3	2	レベル
	MJT出力割り込み0	H'0000 00C4 ~ H'0000 00C7	4	レベル
	DMA0-4割り込み	H'0000 00C8 ~ H'0000 00CB	5	レベル
	SIO1受信割り込み	H'0000 00CC ~ H'0000 00CF	1	エッジ
	SIO1送信割り込み	H'0000 00D0 ~ H'0000 00D3	1	エッジ
	SIO0受信割り込み	H'0000 00D4 ~ H'0000 00D7	1	エッジ
	SIO0送信割り込み	H'0000 00D8 ~ H'0000 00DB	1	エッジ
	A/D0変換割り込み	H'0000 00DC ~ H'0000 00DF	1	エッジ
	TID0出力割り込み	H'0000 00E0 ~ H'0000 00E3	1	エッジ
	TOU0出力割り込み	H'0000 00E4 ~ H'0000 00E7	8	レベル
	DMA5-9割り込み	H'0000 00E8 ~ H'0000 00EB	5	レベル
	SIO2,3送受信割り込み	H'0000 00EC ~ H'0000 00EF	4	レベル
	RTD割り込み	H'0000 00F0 ~ H'0000 00F3	1	エッジ
	TID1出力割り込み	H'0000 00F4 ~ H'0000 00F7	1	エッジ
	TOU1出力割り込み	H'0000 00F8 ~ H'0000 00FB	8	レベル
	SIO4,5送受信割り込み	H'0000 00FC ~ H'0000 00FF	4	レベル
	TML1入力割り込み	H'0000 0108 ~ H'0000 010B	4	レベル
	CAN0送受信&エラー割り込み	H'0000 010C ~ H'0000 010F	67	レベル
	CAN1送受信&エラー割り込み	H'0000 0110 ~ H'0000 0113	67	レベル
	DRI転送割り込み	H'0000 0114 ~ H'0000 0117	5	レベル
	DRIカウンタ割り込み	H'0000 0118 ~ H'0000 011B	5	レベル
	DRIイベント検出割り込み	H'0000 011C ~ H'0000 011F	6	レベル
	CAN0送受信割り込み	H'0000 0120 ~ H'0000 0123	32	レベル
	CAN0シングルショット割り込み	H'0000 0124 ~ H'0000 0127	32	レベル
	CAN0エラー割り込み	H'0000 0128 ~ H'0000 012B	3	レベル
	CAN1送受信割り込み	H'0000 012C ~ H'0000 012F	32	レベル
	CAN1シングルショット割り込み	H'0000 0130 ~ H'0000 0133	32	レベル
	CAN1エラー割り込み	H'0000 0134 ~ H'0000 0137	3	レベル
	低 ↓	RAM書き込み監視割り込み	H'0000 0138 ~ H'0000 013B	16

注1. ICU入力要因タイプ

- ・エッジ：ICUに入力される割り込み信号の立ち下がりエッジで、割り込み要求が発生します。
- ・レベル：ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

5.5 割り込み動作説明

5.5.1 内蔵周辺I/Oの割り込み要求受付

内蔵周辺I/Oからの割り込み要求は、割り込み制御レジスタで設定したILEVELと、割り込み要求マスクレジスタのIMASK値を比較して、IMASK値よりも優先度が高ければ受け付けます。ただし同時に複数の割り込み要求が発生した場合は、以下の手順で受け付けるかどうかを判定します。

- 1) 各内蔵周辺I/Oの割り込み制御レジスタで設定されたILEVEL値の比較
- 2) ILEVEL値が同一の場合は、ハードウェアであらかじめ決められた優先順位の適用
- 3) ILEVEL値とIMASK値の比較

同時に複数の割り込み要求が発生した場合、まず、各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度のもっとも高い割り込み要求が選ばれます。ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従います。

最終的に選ばれた割り込み要求のILEVELとIMASK値を比較して、IMASK値よりも優先度が高ければ、CPUに対してEI要求が出されます。

なお、割り込み要求のマスクは、各内蔵周辺I/Oの割り込み要求マスクレジスタ、割り込みコントローラのILEVEL設定(レベル7で禁止)、およびPSWレジスタのIEビットの設定で行います。

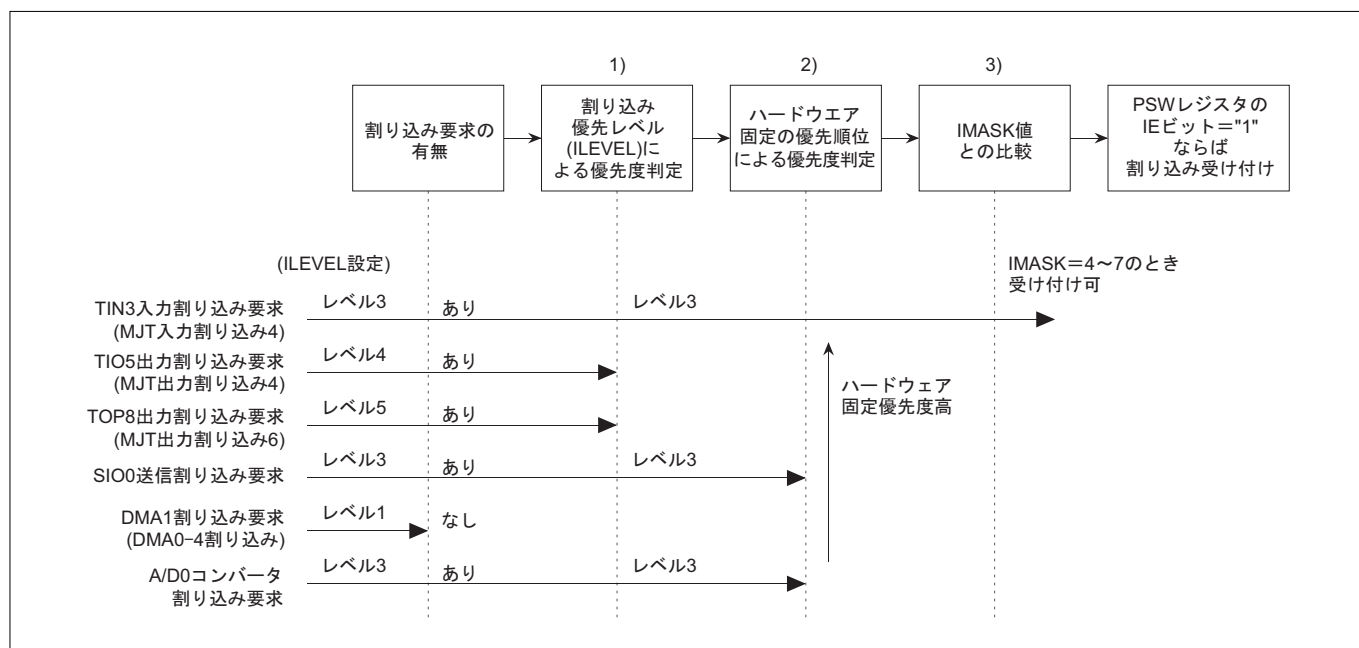


図5.5.1 割り込み要求受付時の優先順位判定例

表5.5.1 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0(ILEVEL = "000")	IMASKが 1 ~ 7 のとき受け付けられる
1(ILEVEL = "001")	IMASKが 2 ~ 7 のとき受け付けられる
2(ILEVEL = "010")	IMASKが 3 ~ 7 のとき受け付けられる
3(ILEVEL = "011")	IMASKが 4 ~ 7 のとき受け付けられる
4(ILEVEL = "100")	IMASKが 5 ~ 7 のとき受け付けられる
5(ILEVEL = "101")	IMASKが 6 ~ 7 のとき受け付けられる
6(ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7(ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.5.2 内蔵周辺I/Oの割り込みハンドラ処理

(1) 割り込みハンドラへの分岐

CPUが割り込み要求を受け付けると、「4.3 EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み(EI)に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込み要求に対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。

(2) 外部割り込み(EI)ハンドラ処理

外部割り込み(EI)ハンドラ(内蔵周辺I/Oからの割り込み)の動作例を図5.5.2に示します。

[1] 各レジスタのスタックへの退避

BPC、PSW、および汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータ、およびFPSRを退避してください。

[2] 割り込み要求マスクレジスタ(IMASK)読み出しとスタック退避

割り込みマスクレジスタを読み出してスタックに退避します。

[3] 割り込みベクタレジスタ(IVECT)読み出し

割り込みベクタレジスタを読み出します。割り込みベクタレジスタは、割り込み要求受付時に、受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。この割り込みベクタレジスタ読み出しにより、以下の処理がハードウェアで自動的に行われます。

- 受け付けた割り込み要求要因の割り込み優先レベル(ILEVEL)を、新しいIMASK値としてIMASKレジスタにセット(受け付けた割り込み要求要因より低い割り込み優先レベルの割り込みをマスク)
- 受け付けた割り込み要求要因をクリア(レベルタイプの割り込み要求要因はクリアされません)
- CPUコアへの割り込み要求(EI)を解除
- ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

[4] 割り込み要求マスクレジスタ(IMASK)の読み出しと上書き

割り込み要求マスクレジスタを読み出し、読み出した値で上書きします。この書き込みにより、以下の処理がハードウェアで自動的に行われます。

- CPUコアへの割り込み要求(EI)を解除
- ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

[5] ICUベクタテーブルの読み出し

受け付けた割り込み要求要因のICUベクタテーブルを読み出します。該当するICUベクタテーブルのアドレスは、[3]で読み出した割り込みベクタレジスタの内容(受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビット)をゼロ拡張することで得られます。ICUベクタテーブルには該当割り込み要求要因の割り込みハンドラ先頭番地を記述しておきます。

[6] 多重割り込みの許可

割り込みの処理中にさらに優先レベルの高い割り込みを許可(多重割り込みの許可)する場合には、PSWのIEビットを"1"にセットします。

注 . ・ 割り込みベクタレジスタ(IVECT)の読み出し後、割り込みを許可(IEビットへの "1" 書き込み)する場合には、注意事項があります。詳細については、「5.2.1 割り込みベクタレジスタ」を参照してください。本注意事項は、[4]の処理が該当しますので、その他の処理を追加する必要はありません。

- 割り込み要求マスクレジスタ(IMASK)への書き込み後、割り込み許可(IEビットへの "1" 書き込み)する場合には、注意事項があります。詳細については、「5.2.2 割り込み要求マスクレジスタ」を参照してください。

- [7] 各内蔵周辺I/Oの割り込みハンドラへの分岐
 - [5] で読み出した割り込みハンドラ先頭番地へ分岐します。
- [8] 各内蔵周辺I/Oの割り込みハンドラ処理
- [9] 割り込みの禁止
 - PSWのIEビットを"0"にクリアして、割り込みを禁止します。
- [10] 割り込み要求マスクレジスタ(IMASK)の復帰
 - [2] で退避した割り込みマスクレジスタを復帰します。
- [11] スタックからの各レジスタの復帰
 - [1] で退避したレジスタを復帰します。
- [12] 外部割り込み処理の完了
 - RTE命令を実行し、外部割り込み処理を完了します。プログラムは現在処理中の割り込み要求が受け付けられる前の状態に戻ります。

(3) 割り込み要求発生元の特定

各内蔵周辺I/Oで割り込み要求に複数の要因がある場合は、各内蔵周辺I/Oの割り込み要求ステータスレジスタで、要因を特定してください。

(4) 多重割り込みの許可

割り込みハンドラ内で多重割り込みを許可する場合は、PSWのIE(割り込みイネーブル)ビットに"1"をセットして、割り込み要求の受付を許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC、PSW、汎用レジスタおよびIMASK)をスタックに退避してください。

注 . . 多重割り込みの許可は、「図5.5.2 内蔵周辺I/Oからの割り込み動作例」に示すように、割り込みベクタレジスタ(IVECT)読み出し後、ICUベクタテーブルを読み出してから行ってください。

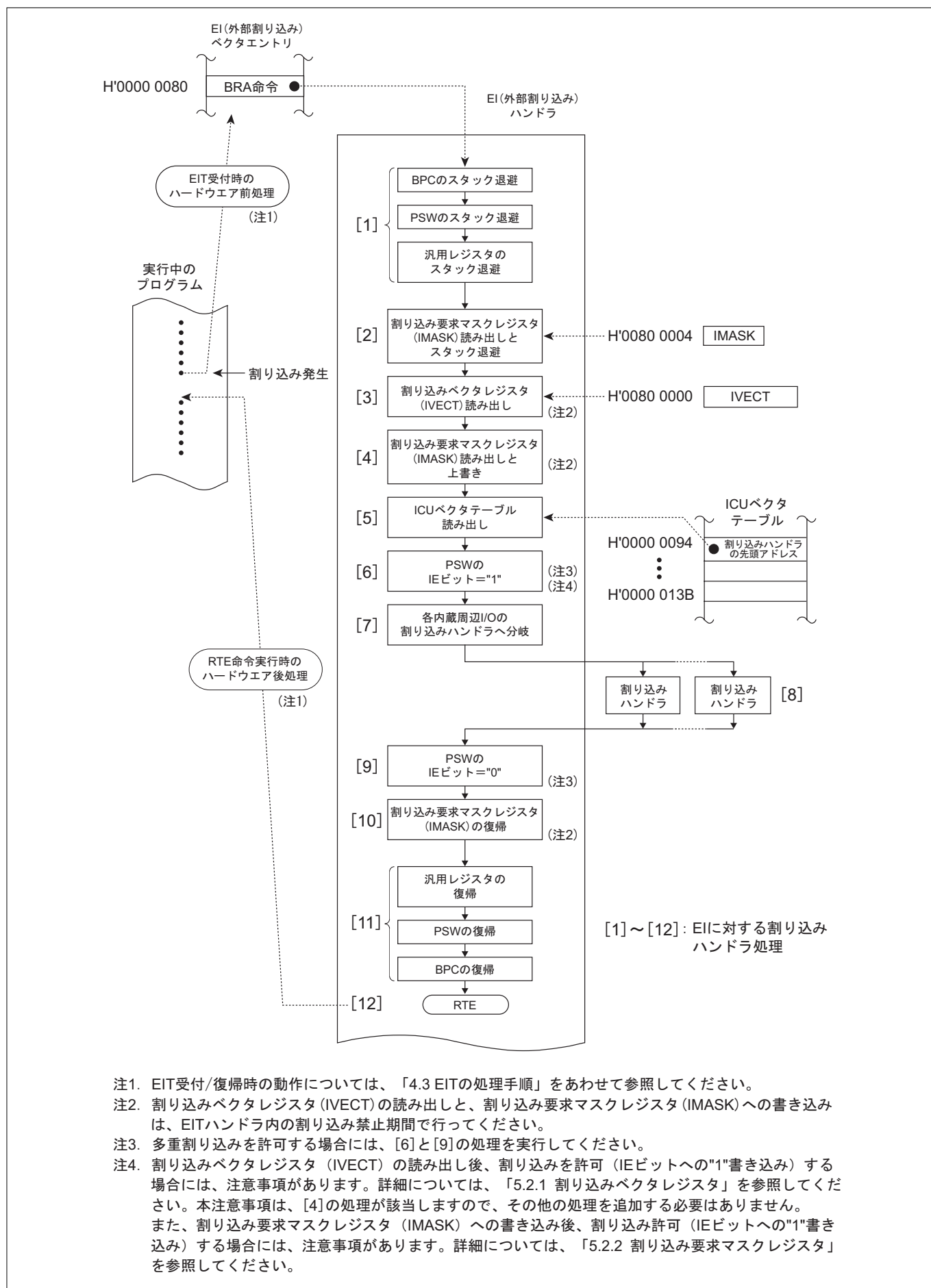


図5.5.2 内蔵周辺I/Oからの割り込み動作例

5.6 システムブレーク割り込み(SBI)動作説明

5.6.1 SBIの受付

SBIは、電源の異常検出や外部ウォッチドックタイマの異常検出に対して使用される緊急用の割り込み要求です。SBIは、PSWレジスタのIEビットの値にかかわらず、SBI#端子の立ち下がりエッジの検出で常時受け付けられ、マスクすることはできません。ただし、SBI要求ビットが"1"にセットされた状態において、再度SBI#端子に立ち下がりエッジが入力されてもシステムブレーク割り込みが発生することはありません。

5.6.2 SBIのハンドラ処理

SBIに対する処置が終わった後は、割り込み要求発生時に実行していた元のプログラムには復帰しないで、必ずシステムを終了またはリセットしてください。

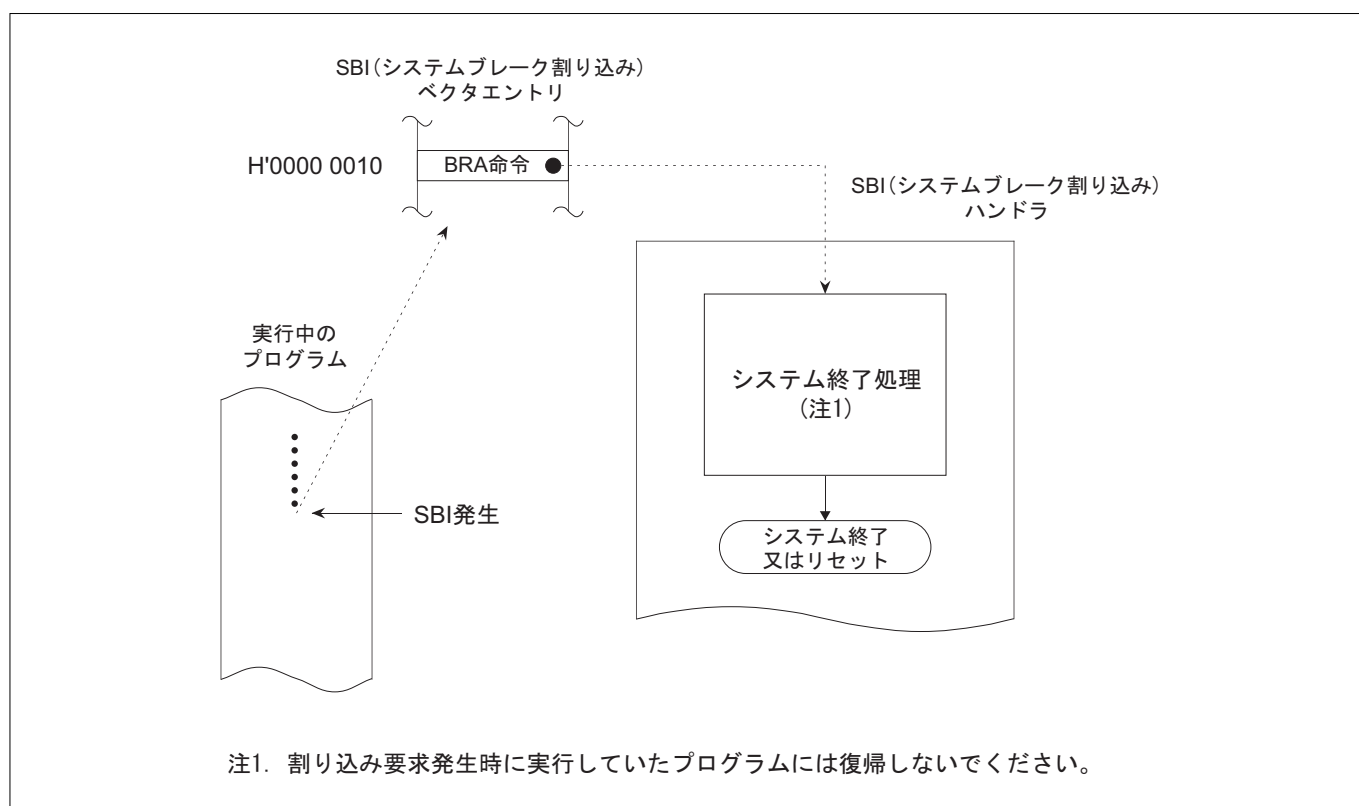


図5.6.1 SBI動作例

レイアウトの都合上、このページは白紙です。

第6章

内蔵メモリ

- 6.1 内蔵メモリ概要
- 6.2 内蔵RAM
- 6.3 内蔵RAMプロテクト機能
- 6.4 内蔵フラッシュメモリ
- 6.5 内蔵フラッシュメモリ関連レジスタ
- 6.6 内蔵フラッシュメモリの書き込み
- 6.7 疑似フラッシュエミュレーション機能
- 6.8 シリアルプログラマとの接続(CSIOモード)
- 6.9 シリアルプログラマとの接続(UARTモード)
- 6.10 内蔵フラッシュメモリのプロテクト機能
- 6.11 内蔵RAMの注意事項
- 6.12 内蔵フラッシュメモリの注意事項

6.1 内蔵メモリ概要

32192/32195/32196は、以下のメモリを内蔵しています。

- 176Kバイト、32Kバイト、64KバイトのRAM
- 1M(1024K)バイト、512Kバイトのフラッシュメモリ

6.2 内蔵RAM

内蔵RAM仕様を以下に示します。

表6.2.1 内蔵RAMの仕様

項目	仕様
容量	M32192F8:176Kバイト M32195F4:32Kバイト M32196F8:64Kバイト
配置アドレス	M32192F8:H'0080 4000 ~ H'0082 FFFF M32195F4:H'0080 4000 ~ H'0080 BFFF M32196F8:H'0080 4000 ~ H'0081 3FFF
ウェイト挿入	0ウェイト動作
内部バス接続	32ビットバス接続
デュアルポート	RTD(リアルタイムデバッガ)により、CPUとは独立して外部からシリアル通信で内蔵RAM全域のデータ読み出し(モニタ)書き込みが可能(「第15章リアルタイムデバッガ」を参照してください。)

注．．電源投入時のリセット解除直後(VDDEもGNDから立ち上がるパワーオン時)は、RAM値は不定です。ただし、RAMバックアップモード使用(VDDEにのみ電源供給)時、RAMバックアップ領域のみリセット解除前の値を保持します。

6.3 内蔵RAMプロテクト機能

内蔵RAMへの書き込みを監視する機能です。

H'0080 4000~H'0084 3FFFの領域に対して、16Kバイト単位でRAMへの書き込みを禁止することが可能です。また、書き込み禁止を設定した領域へライトアクセスがあった場合、割り込みを発生させることができます。

注．．内蔵RAMへライトアクセス可能な内蔵資源としては、CPU、DMA、SDI(ツール)、NBD、RTD、DRIの計6モジュールがありますが、そのうちRTDとDRIに関しては、RAMプロテクト機能の対象外となり、RTDとDRIが行う内蔵RAMへのライトアクセスを検知することはできません。

RAMプロテクト機能により内蔵RAMへの書き込み禁止制御を行う16Kバイト単位の領域を以下に示します。

表6.3.1 書き込み禁止領域の定義

領域	対象アドレス	M32192F8	M32195F4	M32196F8		
領域0	H'0080 4000 ~ H'0080 7FFF	M32192F8 内蔵RAM 176Kバイト	M32195F4 内蔵RAM 32Kバイト	M32196F8 内蔵RAM 64Kバイト		
領域1	H'0080 8000 ~ H'0080 BFFF					
領域2	H'0080 C000 ~ H'0080 FFFF					
領域3	H'0081 0000 ~ H'0081 3FFF					
領域4	H'0081 4000 ~ H'0081 7FFF					
領域5	H'0081 8000 ~ H'0081 BFFF					
領域6	H'0081 C000 ~ H'0081 FFFF					
領域7	H'0082 0000 ~ H'0082 3FFF					
領域8	H'0082 4000 ~ H'0082 7FFF				領域外 224Kバイト	領域外 192Kバイト
領域9	H'0082 8000 ~ H'0082 BFFF					
領域10	H'0082 C000 ~ H'0082 FFFF	領域外 80Kバイト				
領域11	H'0083 0000 ~ H'0083 3FFF					
領域12	H'0083 4000 ~ H'0083 7FFF					
領域13	H'0083 8000 ~ H'0083 BFFF					
領域14	H'0083 C000 ~ H'0083 FFFF					
領域15	H'0084 0000 ~ H'0084 3FFF					

内蔵RAMプロテクト関連のレジスタマップを以下に示します。

内蔵RAMプロテクト関連レジスタマップ

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
H'0080 0530	RAM書き込み監視割り込みステータスレジスタ (RAMWRIST)						6-4
H'0080 0532	(使用禁止領域)						
H'0080 0534	RAM書き込み要因ステータスレジスタ (RAMWRFST)						6-5
H'0080 0536	(使用禁止領域)						
H'0080 0538	RAM書き込み禁止制御レジスタ (RAMWRCNT)						6-6
H'0080 053A	(使用禁止領域)						
H'0080 053C	(使用禁止領域)	RAM書き込み禁止プロテクトレジスタ (RAMWRPROT)					6-7

RAM 書き込み監視割り込みステータスレジスタ (RAMWRIST)

< アドレス : H'0080 0530 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
RAMWRIST0	RAMWRIST1	RAMWRIST2	RAMWRIST3	RAMWRIST4	RAMWRIST5	RAMWRIST6	RAMWRIST7	RAMWRIST8	RAMWRIST9	RAMWRIST10	RAMWRIST11	RAMWRIST12	RAMWRIST13	RAMWRIST14	RAMWRIST15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	RAMWRIST0 (領域0RAM書き込み監視割り込みステータスビット)	0 : 領域0割り込み要求なし 1 : 領域0割り込み要求あり	R (注1)	
1	RAMWRIST1 (領域1RAM書き込み監視割り込みステータスビット)	0 : 領域1割り込み要求なし 1 : 領域1割り込み要求あり	R (注1)	
2	RAMWRIST2 (領域2RAM書き込み監視割り込みステータスビット)	0 : 領域2割り込み要求なし 1 : 領域2割り込み要求あり	R (注1)	
3	RAMWRIST3 (領域3RAM書き込み監視割り込みステータスビット)	0 : 領域3割り込み要求なし 1 : 領域3割り込み要求あり	R (注1)	
4	RAMWRIST4 (領域4RAM書き込み監視割り込みステータスビット)	0 : 領域4割り込み要求なし 1 : 領域4割り込み要求あり	R (注1)	
5	RAMWRIST5 (領域5RAM書き込み監視割り込みステータスビット)	0 : 領域5割り込み要求なし 1 : 領域5割り込み要求あり	R (注1)	
6	RAMWRIST6 (領域6RAM書き込み監視割り込みステータスビット)	0 : 領域6割り込み要求なし 1 : 領域6割り込み要求あり	R (注1)	
7	RAMWRIST7 (領域7RAM書き込み監視割り込みステータスビット)	0 : 領域7割り込み要求なし 1 : 領域7割り込み要求あり	R (注1)	
8	RAMWRIST8 (領域8RAM書き込み監視割り込みステータスビット)	0 : 領域8割り込み要求なし 1 : 領域8割り込み要求あり	R (注1)	
9	RAMWRIST9 (領域9RAM書き込み監視割り込みステータスビット)	0 : 領域9割り込み要求なし 1 : 領域9割り込み要求あり	R (注1)	
10	RAMWRIST10 (領域10RAM書き込み監視割り込みステータスビット)	0 : 領域10割り込み要求なし 1 : 領域10割り込み要求あり	R (注1)	
11	RAMWRIST11 (領域11RAM書き込み監視割り込みステータスビット)	0 : 領域11割り込み要求なし 1 : 領域11割り込み要求あり	R (注1)	
12	RAMWRIST12 (領域12RAM書き込み監視割り込みステータスビット)	0 : 領域12割り込み要求なし 1 : 領域12割り込み要求あり	R (注1)	
13	RAMWRIST13 (領域13RAM書き込み監視割り込みステータスビット)	0 : 領域13割り込み要求なし 1 : 領域13割り込み要求あり	R (注1)	
14	RAMWRIST14 (領域14RAM書き込み監視割り込みステータスビット)	0 : 領域14割り込み要求なし 1 : 領域14割り込み要求あり	R (注1)	
15	RAMWRIST15 (領域15RAM書き込み監視割り込みステータスビット)	0 : 領域15割り込み要求なし 1 : 領域15割り込み要求あり	R (注1)	

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

注. ・必ずハーフワードでアクセスしてください。

RAM書き込み禁止制御レジスタで"書き込み禁止"に設定している領域に対して、CPU、DMA、SDI(ツール)、NBDのいずれかが書き込みを行った場合に、対応するビットに"1"がセットされます。ビットのクリアは、ソフトウェアによって"0"を書き込むことで行います。

RAM書き込み監視割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットに"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

RAM 書き込み要因ステータスレジスタ (RAMWRFST)

< アドレス : H'0080 0534 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
RAMWRFST0	RAMWRFST1	RAMWRFST2	RAMWRFST3	RAMWRFST4	RAMWRFST5	RAMWRFST6	RAMWRFST7	RAMWRFST8	RAMWRFST9	RAMWRFST10	RAMWRFST11	RAMWRFST12	RAMWRFST13	RAMWRFST14	RAMWRFST15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	RAMWRFST0 (領域0RAM書き込み要因ステータスビット)	0 : DMAによる領域0への書き込み 1 : CPU/SDI/NBDいずれかによる領域0への書き込み	R (注1)	
1	RAMWRFST1 (領域1RAM書き込み要因ステータスビット)	0 : DMAによる領域1への書き込み 1 : CPU/SDI/NBDいずれかによる領域1への書き込み	R (注1)	
2	RAMWRFST2 (領域2RAM書き込み要因ステータスビット)	0 : DMAによる領域2への書き込み 1 : CPU/SDI/NBDいずれかによる領域2への書き込み	R (注1)	
3	RAMWRFST3 (領域3RAM書き込み要因ステータスビット)	0 : DMAによる領域3への書き込み 1 : CPU/SDI/NBDいずれかによる領域3への書き込み	R (注1)	
4	RAMWRFST4 (領域4RAM書き込み要因ステータスビット)	0 : DMAによる領域4への書き込み 1 : CPU/SDI/NBDいずれかによる領域4への書き込み	R (注1)	
5	RAMWRFST5 (領域5RAM書き込み要因ステータスビット)	0 : DMAによる領域5への書き込み 1 : CPU/SDI/NBDいずれかによる領域5への書き込み	R (注1)	
6	RAMWRFST6 (領域6RAM書き込み要因ステータスビット)	0 : DMAによる領域6への書き込み 1 : CPU/SDI/NBDいずれかによる領域6への書き込み	R (注1)	
7	RAMWRFST7 (領域7RAM書き込み要因ステータスビット)	0 : DMAによる領域7への書き込み 1 : CPU/SDI/NBDいずれかによる領域7への書き込み	R (注1)	
8	RAMWRFST8 (領域8RAM書き込み要因ステータスビット)	0 : DMAによる領域8への書き込み 1 : CPU/SDI/NBDいずれかによる領域8への書き込み	R (注1)	
9	RAMWRFST9 (領域9RAM書き込み要因ステータスビット)	0 : DMAによる領域9への書き込み 1 : CPU/SDI/NBDいずれかによる領域9への書き込み	R (注1)	
10	RAMWRFST10 (領域10RAM書き込み要因ステータスビット)	0 : DMAによる領域10への書き込み 1 : CPU/SDI/NBDいずれかによる領域10への書き込み	R (注1)	
11	RAMWRFST11 (領域11RAM書き込み要因ステータスビット)	0 : DMAによる領域11への書き込み 1 : CPU/SDI/NBDいずれかによる領域11への書き込み	R (注1)	
12	RAMWRFST12 (領域12RAM書き込み要因ステータスビット)	0 : DMAによる領域12への書き込み 1 : CPU/SDI/NBDいずれかによる領域12への書き込み	R (注1)	
13	RAMWRFST13 (領域13RAM書き込み要因ステータスビット)	0 : DMAによる領域13への書き込み 1 : CPU/SDI/NBDいずれかによる領域13への書き込み	R (注1)	
14	RAMWRFST14 (領域14RAM書き込み要因ステータスビット)	0 : DMAによる領域14への書き込み 1 : CPU/SDI/NBDいずれかによる領域14への書き込み	R (注1)	
15	RAMWRFST15 (領域15RAM書き込み要因ステータスビット)	0 : DMAによる領域15への書き込み 1 : CPU/SDI/NBDいずれかによる領域15への書き込み	R (注1)	

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

RAM書き込み禁止制御レジスタで"書き込み禁止"に設定している領域に対してCPU、SDI(ツール)、NBDいずれかによるライトアクセスが発生した場合に"1"にセットされます。"1"セット後、DMAによるライトアクセスが発生しても"0"クリアされません。"0"へのクリアはソフトウェアで"0"を書き込むことで行い、"1"を書き込んだ場合は前の値が保持されます。

RAM 書き込み禁止制御レジスタ (RAMWRCNT)

< アドレス : H'0080 0538 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
RAMWRCNT0	RAMWRCNT1	RAMWRCNT2	RAMWRCNT3	RAMWRCNT4	RAMWRCNT5	RAMWRCNT6	RAMWRCNT7	RAMWRCNT8	RAMWRCNT9	RAMWRCNT10	RAMWRCNT11	RAMWRCNT12	RAMWRCNT13	RAMWRCNT14	RAMWRCNT15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	RAMWRCNT0 (領域0RAM書き込み禁止制御ビット)	0: 領域0への書き込み許可 1: 領域0への書き込み禁止	R	W
1	RAMWRCNT1 (領域1RAM書き込み禁止制御ビット)	0: 領域1への書き込み許可 1: 領域1への書き込み禁止	R	W
2	RAMWRCNT2 (領域2RAM書き込み禁止制御ビット)	0: 領域2への書き込み許可 1: 領域2への書き込み禁止	R	W
3	RAMWRCNT3 (領域3RAM書き込み禁止制御ビット)	0: 領域3への書き込み許可 1: 領域3への書き込み禁止	R	W
4	RAMWRCNT4 (領域4RAM書き込み禁止制御ビット)	0: 領域4への書き込み許可 1: 領域4への書き込み禁止	R	W
5	RAMWRCNT5 (領域5RAM書き込み禁止制御ビット)	0: 領域5への書き込み許可 1: 領域5への書き込み禁止	R	W
6	RAMWRCNT6 (領域6RAM書き込み禁止制御ビット)	0: 領域6への書き込み許可 1: 領域6への書き込み禁止	R	W
7	RAMWRCNT7 (領域7RAM書き込み禁止制御ビット)	0: 領域7への書き込み許可 1: 領域7への書き込み禁止	R	W
8	RAMWRCNT8 (領域8RAM書き込み禁止制御ビット)	0: 領域8への書き込み許可 1: 領域8への書き込み禁止	R	W
9	RAMWRCNT9 (領域9RAM書き込み禁止制御ビット)	0: 領域9への書き込み許可 1: 領域9への書き込み禁止	R	W
10	RAMWRCNT10 (領域10RAM書き込み禁止制御ビット)	0: 領域10への書き込み許可 1: 領域10への書き込み禁止	R	W
11	RAMWRCNT11 (領域11RAM書き込み禁止制御ビット)	0: 領域11への書き込み許可 1: 領域11への書き込み禁止	R	W
12	RAMWRCNT12 (領域12RAM書き込み禁止制御ビット)	0: 領域12への書き込み許可 1: 領域12への書き込み禁止	R	W
13	RAMWRCNT13 (領域13RAM書き込み禁止制御ビット)	0: 領域13への書き込み許可 1: 領域13への書き込み禁止	R	W
14	RAMWRCNT14 (領域14RAM書き込み禁止制御ビット)	0: 領域14への書き込み許可 1: 領域14への書き込み禁止	R	W
15	RAMWRCNT15 (領域15RAM書き込み禁止制御ビット)	0: 領域15への書き込み許可 1: 領域15への書き込み禁止	R	W

RAMへのライトアクセス許可/禁止制御するためのレジスタです。制御対象となるのは、CPU、DMA、SDI、NBDです。禁止設定を行った領域に対して上記4モジュールのいずれかによるライトアクセスが発生した場合、RAMへの書き込みは行われず、RAM書き込み監視割り込みステータスが"1"にセットされます。

このレジスタを書き換えるためには、RAM書き込み禁止プロテクトレジスタのRAMWRCNTPROビットが"0"である必要があります。

RAM 書き込み禁止プロテクトレジスタ (RAMWRPROT)

< アドレス : H'0080 053D >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	RAMWRCNTP 0	RAMWRCNTPRO 0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 13	何も配置されていません。"0"に固定してください。		0	0
14	RAMWRCNTP RAMWRCNTPRO書き込み制御ビット		0	W
15	RAMWRCNTPRO RAM書き込み禁止プロテクトビット	0 : RAMWRCNTnへの書き込み許可 1 : RAMWRCNTnへの書き込み禁止	R	W

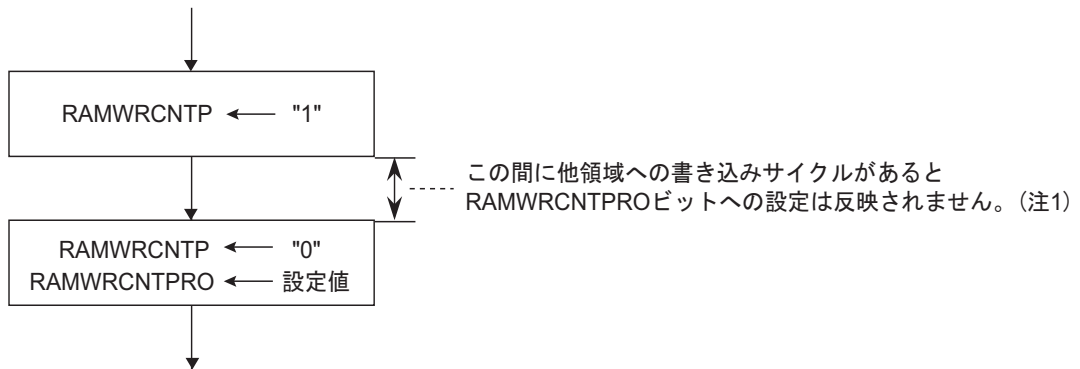
"RAM書き込み禁止制御レジスタ"への書き込みの許可/禁止を制御するためのレジスタです。
RAMWRCNTPROビットが"1"の場合、RAM書き込み禁止制御レジスタ(RAMWRCNT)へ書き込み動作を行っても無視されます。

このレジスタを設定する場合は、以下の手順で行います。

1. RAMWRCNTPに"1"を書き込み
2. 上記 1 に連続してRAMWRCNTPに"0"を、RAMWRCNTPROに設定値("0"または"1")を書き込み

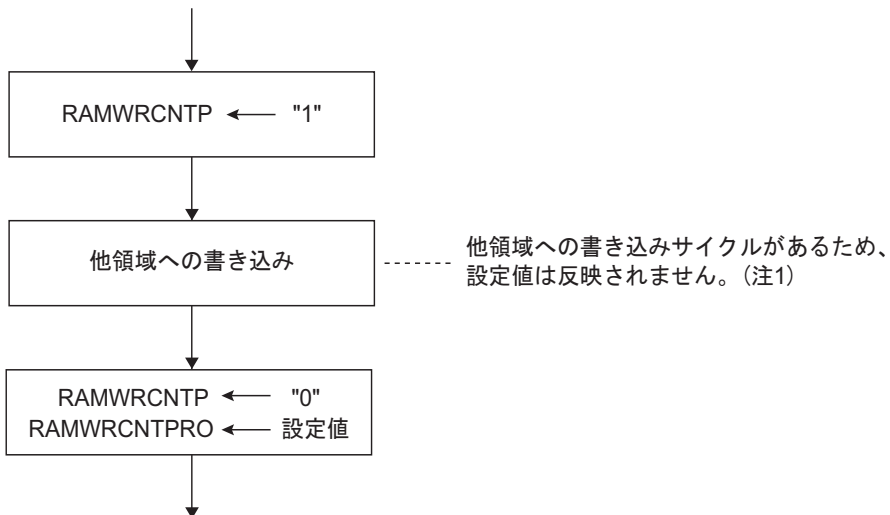
注. ・1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルは影響及ぼしません。

■ 正しい設定例

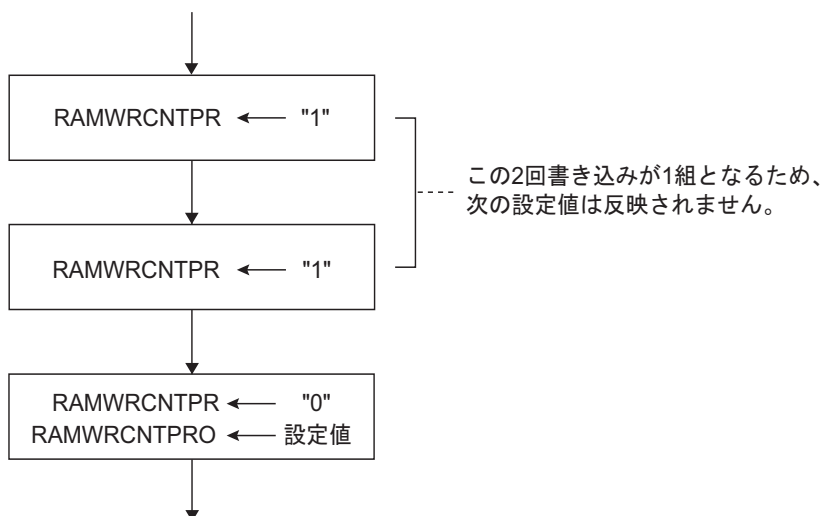


■ 設定無効となる場合

(1)



(2)



注1. 他領域への書き込みサイクルとは、CPU、DMA、SDI(ツール)、NBDから任意の領域への書き込みサイクルを示します。RTD、DRIからの書き込みサイクルには、影響しません。

図6.3.1 RAMWRCNTPRO設定手順

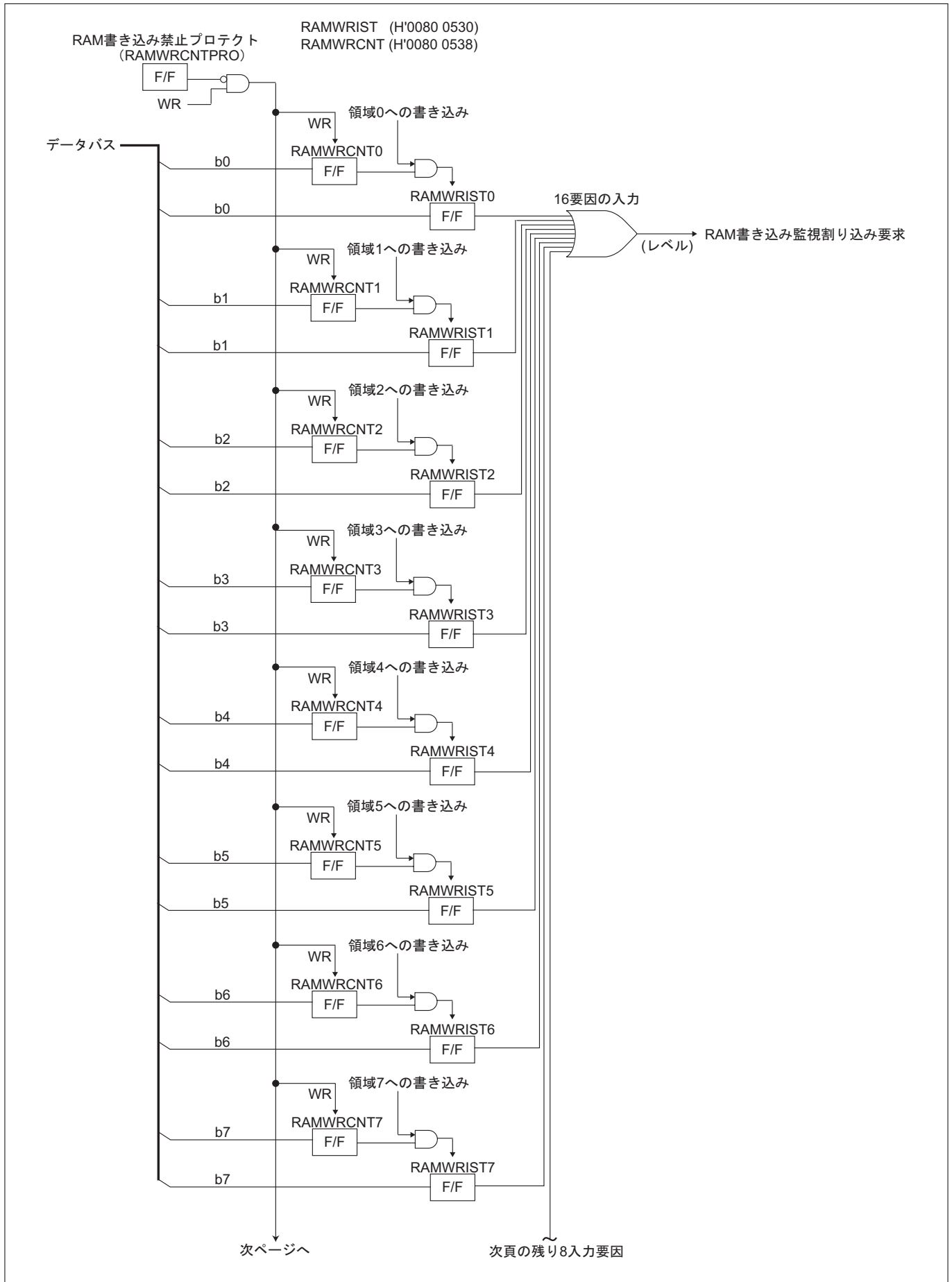


図6.3.2 RAM書き込み監視割り込み要求ブロック図(1/2)

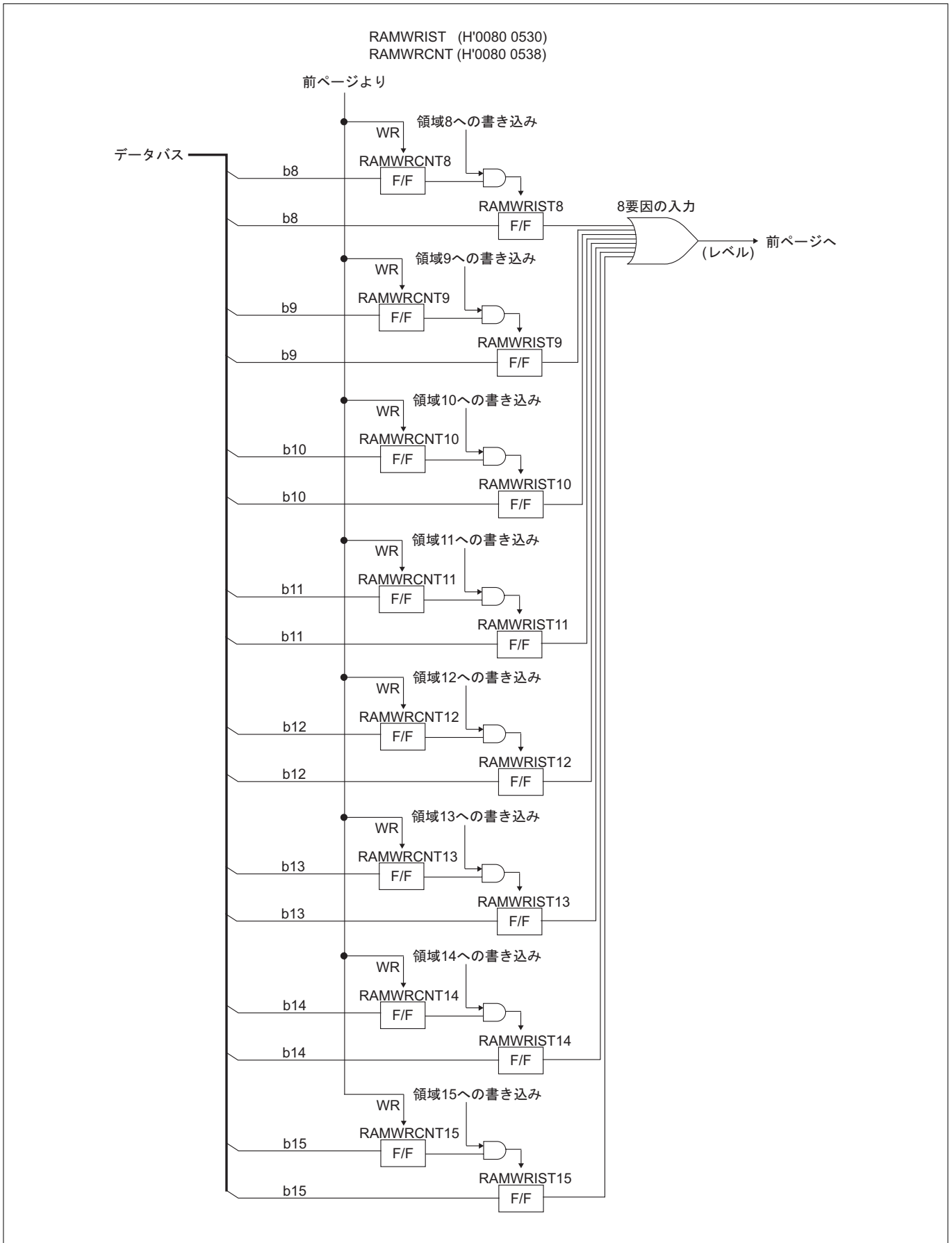


図6.3.3 RAM書き込み監視割り込み要求ブロック図(2/2)

6.4 内蔵フラッシュメモリ

内蔵フラッシュメモリ仕様を以下に示します。

表6.4.1 内蔵フラッシュメモリの仕様

項目	仕様
容量	M32192F8: 1Mバイト(1024Kバイト) M32195F4: 512Kバイト M32196F8: 1Mバイト(1024Kバイト)
配置アドレス	M32192F8: H'0000 0000 ~ H'000F FFFF M32195F4: H'0000 0000 ~ H'0007 FFFF M32196F8: H'0000 0000 ~ H'000F FFFF
ウェイト挿入	1ウェイト動作
書き換え回数	標準品 : 100回
内部バス接続	命令アクセス : 64ビットバス接続(32ビット:0ウェイト相当の転送レートを実現) データアクセス : 32ビットバス接続
その他	疑似フラッシュエミュレーション機能内蔵 (「6.7 疑似フラッシュエミュレーション機能」を参照してください。)

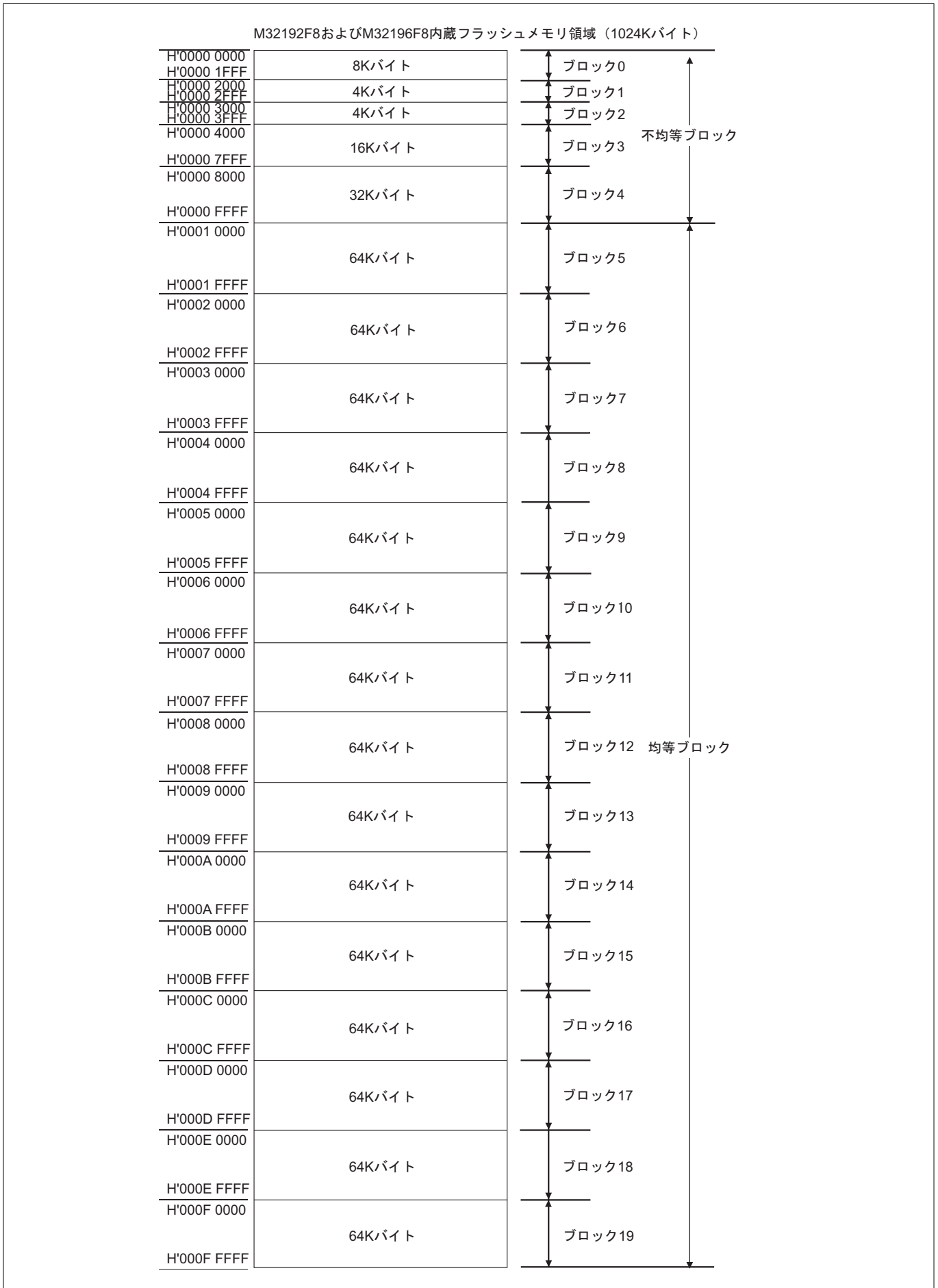


図6.4.1 M32192F8およびM32196F8フラッシュメモリのブロック構成

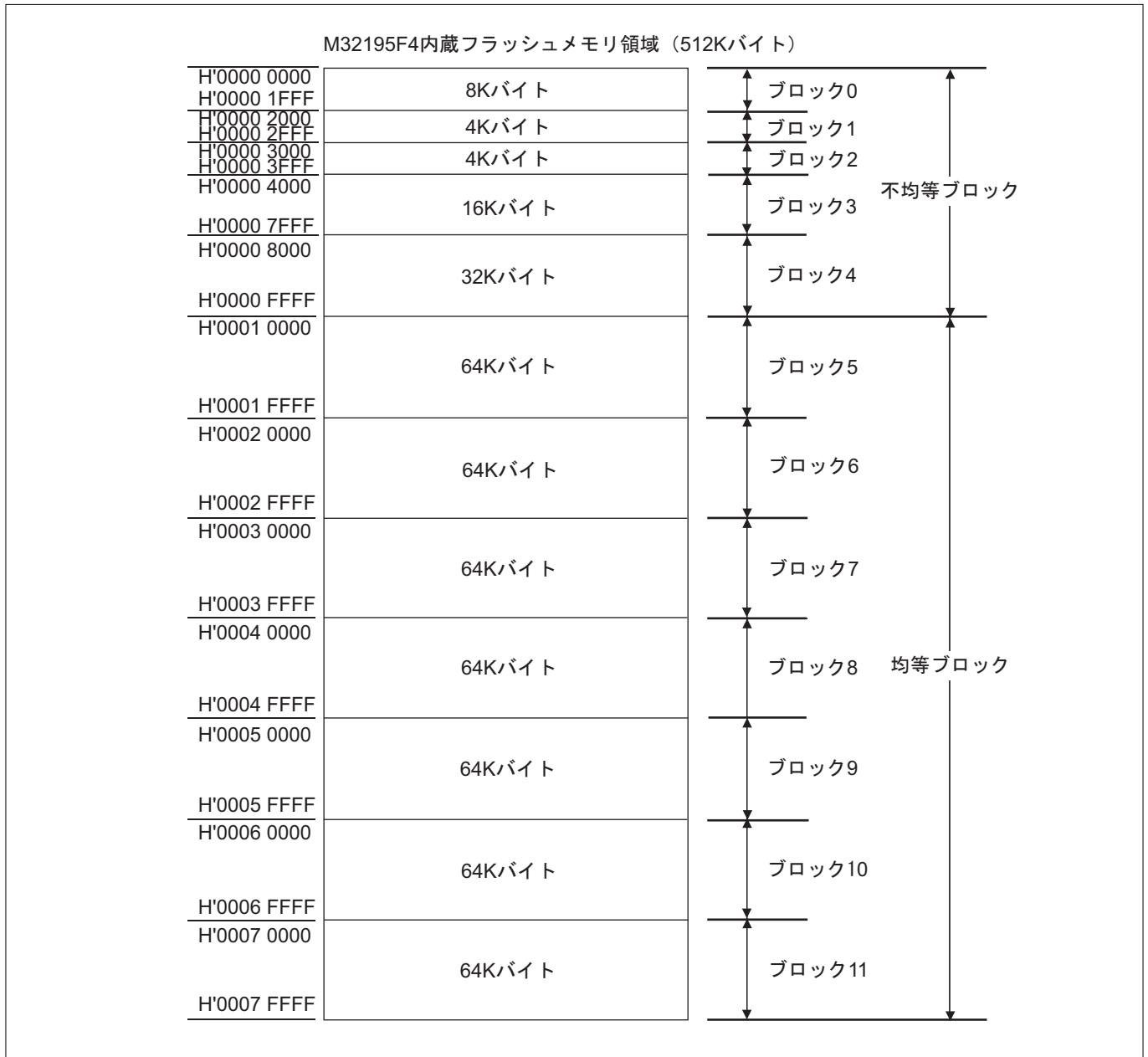


図6.4.2 M32195F4フラッシュメモリのブロック構成

6.5 内蔵フラッシュメモリ関連レジスタ

内蔵フラッシュメモリ関連のレジスタマップを以下に示します。

内蔵フラッシュメモリ関連レジスタマップ

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 01E0	フラッシュモードレジスタ (FMODE)	フラッシュステータスレジスタ (FSTAT)	6-15 6-16
H'0080 01E2	フラッシュ制御レジスタ1 (FCNT1)	フラッシュ制御レジスタ2 (FNT2)	6-17 6-18
H'0080 01E4	フラッシュ制御レジスタ3 (FCNT3)	フラッシュ制御レジスタ4 (FCNT4)	6-19 6-22
}			
H'0080 07E8	疑似フラッシュバンクレジスタ0 (FELBANK0)		6-24
H'0080 07EA	疑似フラッシュバンクレジスタ1 (FELBANK1)		6-24
H'0080 07EC	疑似フラッシュバンクレジスタ2 (FELBANK2)		6-24
H'0080 07EE	疑似フラッシュバンクレジスタ3 (FELBANK3)		6-24
H'0080 07F0	疑似フラッシュバンクレジスタ4(注2) (FELBANK4)		6-24
H'0080 07F2	疑似フラッシュバンクレジスタ5(注2) (FELBANK5)		6-24
H'0080 07F4	疑似フラッシュバンクレジスタ6(注2) (FELBANK6)		6-24
H'0080 07F6	疑似フラッシュバンクレジスタ7(注2) (FELBANK7)		6-24
H'0080 07F8	疑似フラッシュバンクレジスタ8(注1) (FELBANK8)		6-24
H'0080 07FA	疑似フラッシュバンクレジスタ9(注1) (FELBANK9)		6-24
H'0080 07FC	疑似フラッシュバンクレジスタ10(注1) (FELBANK10)		6-24
H'0080 07FE	疑似フラッシュバンクレジスタ11(注1) (FELBANK11)		6-24
H'0080 0800	疑似フラッシュバンクレジスタ12(注1) (FELBANK12)		6-24
H'0080 0802	疑似フラッシュバンクレジスタ13(注1) (FELBANK13)		6-24
H'0080 0804	疑似フラッシュバンクレジスタ14(注1) (FELBANK14)		6-24
H'0080 0806	疑似フラッシュバンクレジスタ15(注1) (FELBANK15)		6-24

注1 . この領域は32192にのみ存在し、32195/32196では使用禁止領域となります。

注2 . この領域は32192/32196にのみ存在し、32195では使用禁止領域となります。

6

6.5.1 フラッシュモードレジスタ

フラッシュモードレジスタ(FMOD)

<アドレス : H'0080 01E0 >

b0	1	2	3	4	5	6	b7
0	0	0	FAENS 0	0	0	0	FPMOD ?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	FAENS フラッシュアクセス許可ステータスビット	0 : フラッシュアクセス禁止状態 1 : フラッシュアクセス許可状態	R	-
4~6	何も配置されていません。"0"に固定してください。		0	0
7	FPMOD 外部FP端子ステータスビット	0 : FP端子 = "L" 1 : FP端子 = "H"	R	-

(1) FAENS(フラッシュアクセス許可ステータス)ビット (b3)

フラッシュメモリに対するアクセスの許可/禁止状態を示すビットです。フラッシュ制御レジスタ4 (FCNT4)のFRESETビットによるフラッシュリセット、またはフラッシュメモリに対する書き込み/消去を行うと"0"となり、フラッシュメモリへのアクセスが禁止状態となります。フラッシュメモリへのアクセスが可能な状態になると"1"にセットされます。ただし、FRESETビットによるフラッシュリセット解除、またはフラッシュメモリに対する書き込み/消去後にFAENSビットが"0"から"1"になるのに最大30 μ sかかります。

(2) FPMOD(外部FP端子ステータス)ビット (b7)

FPMODはFP(Flash Protect)端子の入力レベルを示すステータスビットです。

FPMODが"1"のときのみ、フラッシュメモリへの書き込み/消去が許可状態となり、FPMODが"0"のときに実行したフラッシュメモリへの書き込み/消去は無効となります。

6.5.2 フラッシュステータスレジスタ

フラッシュステータスレジスタ(FSTAT)

<アドレス : H'0080 01E1 >

b8	9	10	11	12	13	14	b15
FBUSY		ERASE	WRERR		FESQ1	FESQ2	
1	0	0	0	0	0	0	0

<リセット解除時 : H'80 >

b	ビット名	機能	R	W
8	FBUSY フラッシュビジービット	0 : 書き込み、または消去中 1 : レディ状態	R	-
9	何も配置されていません。"0"に固定してください。		0	0
10	ERASE 消去動作状況確認ビット	0 : 消去正常動作中/終了 1 : 消去エラー発生	R	-
11	WRERR 書き込み動作状況確認ビット	0 : 書き込み正常動作中/終了 1 : 書き込みエラー発生	R	-
12	何も配置されていません。"0"に固定してください。		0	0
13	FESQ1 予約ビット		?	-
14	FESQ2 予約ビット		?	-
15	何も配置されていません。"0"に固定してください。		0	0

フラッシュステータスレジスタ(FSTAT)はフラッシュメモリの動作状態を示す以下のステータスビットで構成されています。

(1)FBUSY(フラッシュビジー)ビット (b8)

FBUSYビットは、フラッシュメモリへの書き込み、および消去処理実行時に終了判定を行うビットです。このビットが"0"のとき処理実行中を示し、"1"のとき終了を示します。

注・フラッシュメモリに対する書き込み/消去処理の強制終了を除き、FBUSYビットが"0"(書き込み/消去中)の間は、フラッシュ制御レジスタ4(FCNT4)のFRESETビットを操作しないでください。

(2)ERASE(消去動作状況確認)ビット (b10)

ERASEビットは、フラッシュメモリへの消去処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のとき消去エラーを示します。

このビットが"1"(消去エラー発生)になる要因として、以下の場合があります。

- 無効コマンドを発行した場合
- 正常な消去条件(電圧、温度)で行われなかった場合
- ロックビットによるプロテクト機能が有効な領域を消去しようとした場合
- 内蔵フラッシュメモリが故障して消去できなくなった場合

(3)WRERR(書き込み動作状況確認)ビット (b11)

WRERRビットはフラッシュメモリへの書き込み処理完了後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のとき書き込みエラーを示します。

このビットが"1"(書き込みエラー発生)になる要因として、以下の場合があります。

- 無効コマンドを発行した場合
- 正常な書き込み条件(電圧、温度)で行われなかった場合
- ロックビットによるプロテクト機能が有効な領域を書き込みしようとした場合
- 内蔵フラッシュメモリが故障して書き込めなくなった場合

6.5.3 フラッシュ制御レジスタ

フラッシュ制御レジスタ1(FCNT1)

<アドレス : H'0080 01E2>

b0	1	2	3	4	5	6	b7
0	0	0	FENTRY 0	0	0	0	FEMMOD 0

<リセット解除時 : H'00>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	FENTRY フラッシュE/Wイネーブルモードエントリビット	0 : 通常リード 1 : 書き込み/消去可能	R	W
4~6	何も配置されていません。"0"に固定してください。		0	0
7	FEMMOD 疑似フラッシュエミュレーションモードビット	0 : 通常モード 1 : 疑似フラッシュエミュレーションモード	R	W

フラッシュ制御レジスタ1(FCNT1)は内蔵フラッシュメモリの制御を行う以下の2つのビットで構成されています。

(1) FENTRY(フラッシュE/Wイネーブルモードエントリ)ビット (b3)

FENTRYビットはフラッシュE/Wイネーブルモードへの移行を制御するビットです。このビットが"1"の場合のみフラッシュE/Wイネーブルモードへ移行します。

FENTRYビットに"1"をセットするには、FP端子="H"の状態ではFENTRYビットに連続して"0" "1"の書き込みが必要です。FENTRYビットを"0"にクリアする場合は、フラッシュステータスレジスタ(FSTAT)のFBUSYビットが"1" : レディ状態であることを確認し、リードアレイコマンドを発行(もしくは、FRESETビットによるフラッシュリセット)し、FAENSビットが"1"であることを確認した上で、FENTRYビットに"0"を書き込みます。ただし、FRESETビットによるフラッシュリセットを行っていない場合、FAENSビットの確認は不要です。

内蔵フラッシュメモリへの書き込み/消去中(FSTATレジスタのFBUSYビットが"0")に、以下の条件にしないようにしてください。また、以下の条件のとき、FENTRYビットはハードウェア的に"0"にクリアされます。

- 1) FENTRYビットへの"0"書き込み
- 2) FP端子に"L"レベルを入力
- 3) RESET#端子に"L"レベルを入力

FENTRYビットが"0"でフラッシュ上のプログラムを使用する場合には、EIベクタエントリは内蔵フラッシュメモリ上のH'0000 0080になります。FENTRYビットが"1"でフラッシュ書き込み/消去プログラムをRAM上で動作させる場合には、EIベクタエントリはRAM上のH'0080 4000になり、割り込みを使用したフラッシュ書き込み/消去制御が使用できます。

表6.5.1 FENTRYによるEIベクタエントリの遷移

FENTRY	EIベクタエントリ	番地
0	内蔵フラッシュメモリ領域	H'0000 0080
1	内蔵RAM領域	H'0080 4000

(2) FEMMOD(疑似フラッシュエミュレーションモード)ビット (b7)

FEMMODビットは、疑似フラッシュエミュレーションモードへの移行を制御するビットです。FENTRYビット="0"の状態ではFEMMODビットに"1"をセットすると疑似フラッシュエミュレーションモードへ移行します。

(詳細については、「6.7 疑似フラッシュエミュレーション機能」を参照してください。)

フラッシュ制御レジスタ2(FCNT2)

<アドレス : H'0080 01E3 >

b8	9	10	11	12	13	14	b15
0	0	0	FLOCKS 0	0	0	0	FPROT 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10		何も配置されていません。"0"に固定してください。	0	0
11	FLOCKS ロックビットリードモードセレクトビット	0 : メモリ領域リードモード 1 : レジスタリードモード	R (注1)	
12~14		何も配置されていません。"0"に固定してください。	0	0
15	FPROT ロックビットプロテクト制御ビット	0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効	R (注1)	

注1. フラッシュE/Wエントリモード(FENTRYビット="1")時のみ、書き込み可能です。

(1) FLOCKS(ロックビットリードモードセレクト)ビット (b11)

FLOCKSビットは、ロックビットステータス読み出し方法の選択を行うビットです。FLOCKSビットが"0"の場合、メモリ領域リードモードとなり、内蔵フラッシュメモリの任意アドレスに対してコマンドデータH'7171を発行後、対象ブロックの最終偶数アドレスを読み出すことによって、ロックビットステータスの確認が可能となります。FLOCKSビットが"1"の場合、レジスタリードモードとなり、対象ブロックの任意アドレスに対してコマンドデータH'7171とH'D0D0を連続発行後、FBUSYビットが"1"にセットされるとフラッシュ制御レジスタ4のFLOCKSTビットによってロックビットステータスの確認が可能となります。

FLOCKSビットは、FENTRYビット="1"のときのみ、書き込みが行えます。

また、以下の条件のときに、FLOCKSビットは"0"にクリアされます。

- 1) FLOCKSビットへの"0"書き込み
- 2) FP端子に"L"レベルを入力
- 3) FENTRYビットを"0"にクリア
- 4) RESET#端子に"L"レベルを入力

(2) FPROT(ロックビットプロテクト制御)ビット (b15)

内蔵フラッシュメモリのロックビットによるプロテクト(内蔵フラッシュメモリへの書き込み/消去の禁止)無効の制御を行います。FPROTビットに"1"をセットすると、内蔵フラッシュメモリのプロテクトが無効となり、ロックビットでプロテクトされたブロックに対する書き込み/消去が可能となります。

FPROTビットに"1"をセットするには、FENTRYビット="1"の状態ではFPROTビットに連続して"0" "1"の書き込みを行います。FPROTビットを"0"にクリアする場合は、FPROTビットに"0"を書き込みます。

また、以下の条件のときに、FPROTビットは"0"にクリアされます。

- 1) FPROTビットへの"0"書き込み
- 2) FP端子に"L"レベルを入力
- 3) FENTRYビットを"0"にクリア
- 4) RESET#端子に"L"レベルを入力

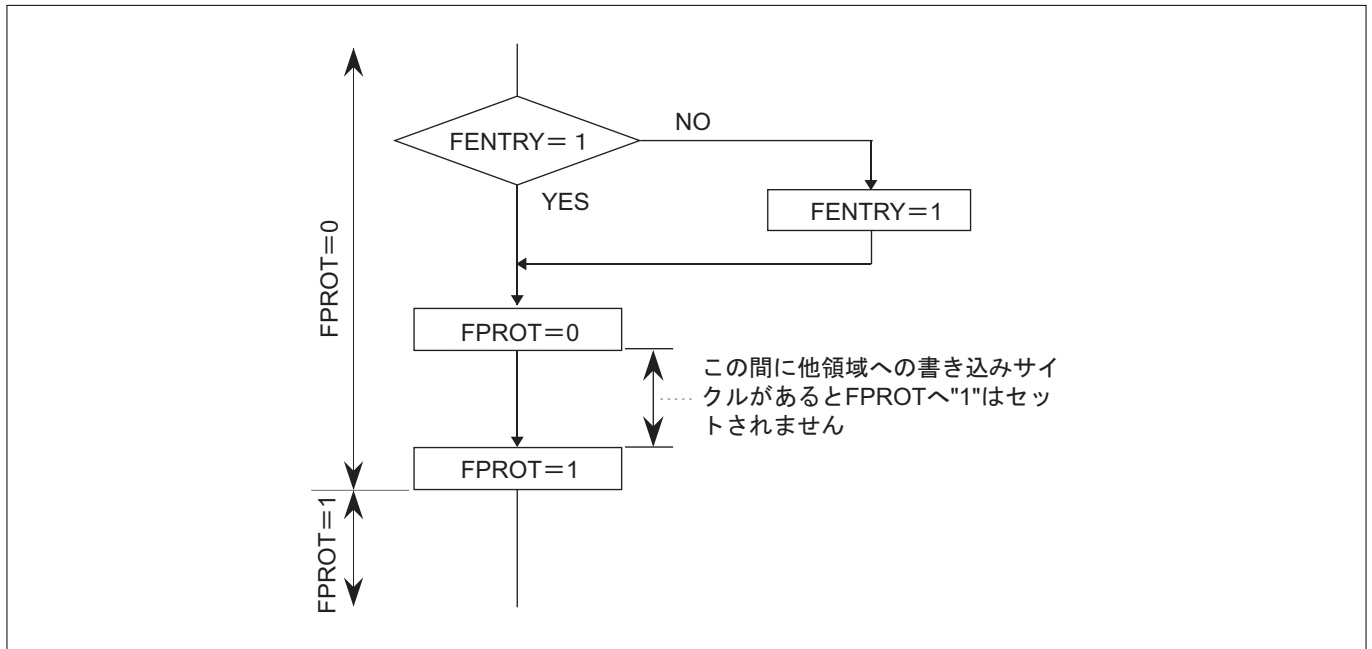


図6.5.1 プロテクト解除フロー

フラッシュ制御レジスタ3(FCNT3)

<アドレス : H'0080 01E4 >

b0	1	2	3	4	5	6	b7
0	0	0	FBSYCK 1	0	0	0	FPBSYCK 1

<リセット解除時 : H'11 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	FBSYCK ビジー確認ビット	0 : 正常コマンド受付 1 : 異常コマンド受付	R	-
4~6	何も配置されていません。"0"に固定してください。		0	0
7	FPBSYCK プリビジー確認ビット	0 : 正常コマンド受付 1 : 異常コマンド受付	R	-

フラッシュ制御レジスタ3(FCNT3)は、内蔵フラッシュメモリ書き込み/消去プログラム開発時に、正常にコマンドを受け付けたことを確認するレジスタです。動作確認完了後のプログラムでは、使用する必要はありません。

(1) FBSYCK(ビジー確認)ビット (b3)

フラッシュE/Wイネーブルモード時、フラッシュメモリに対して発行する2サイクル以上のコマンド(確認コマンドH'D0D0または書き込みデータを必要とするコマンド)が正常に受け付けられたかを確認するビットです。2サイクル以上のコマンドを表6.5.2に示します。ビジー確認対象コマンド(表6.5.2参照)発行後、FBSYCKビットが"0"であればビジー確認対象コマンドの正常コマンド受付を示し、FBSYCKビットが"1"であればビジー確認対象コマンドのコマンドを正常に受け付けなかったことを示します。

また、以下の条件のときに、FBSYCKビットは"1"にセットされます。

- 1) プリビジー確認対象コマンド受付
- 2) FRESETビット="1"
- 3) RESET#端子に"L"レベルを入力

(2)FPBSYCK(プリビジー確認)ビット (b7)

フラッシュE/Wイネーブルモード時、フラッシュメモリに対して発行する2サイクル以上のコマンド(確認コマンドH'D0D0または書き込みデータを必要とするコマンド)が正常に受け付けられたかを確認するビットです。プリビジー確認対象コマンド(表6.5.2参照)発行直後、FPBSYCKビットが"0"であればプリビジー確認対象コマンドの正常コマンド受付を示し、FPBSYCKビットが"1"であればプリビジー確認対象コマンドを正常に受け付けなかったことを示します。

また、以下の条件のときに、FPBSYCKビットは"1"にセットされます。

- 1)レディ状態(ビジー確認対象コマンド受付後で、かつFBUSYビット="H")
- 2)クリアステータスレジスタコマンドの発行
- 3)FRESETビット="1"
- 4)RESET#端子に"L"レベルを入力

表6.5.2 プリビジー、ビジー確認対象コマンド

ロックビットプログラム		ブロックイレーズ		リードロックビットステータス (レジスタリードモード時)		4ハーフワードプログラム	
H'7777(ロックビットプログラムコマンド)をライト	(注1)	H'2020(ブロックイレーズコマンド)をライト	(注1)	H'7171(リードロックビットステータスコマンド)をライト	(注1)	H'4343(4ハーフワードプログラムコマンド)をライト	—
H'D0D0(確認コマンド)をライト	(注2)	H'D0D0(確認コマンド)をライト	(注2)	H'D0D0(確認コマンド)をライト	(注2)	ハーフワードデータをライト	—
—	—	—	—	—	—	ハーフワードデータをライト	—
—	—	—	—	—	—	ハーフワードデータをライト	(注1)
—	—	—	—	—	—	ハーフワードデータをライト	(注2)

注1. プレビジー確認対象コマンドを示す。

注2. ビジー確認対象コマンドを示す。

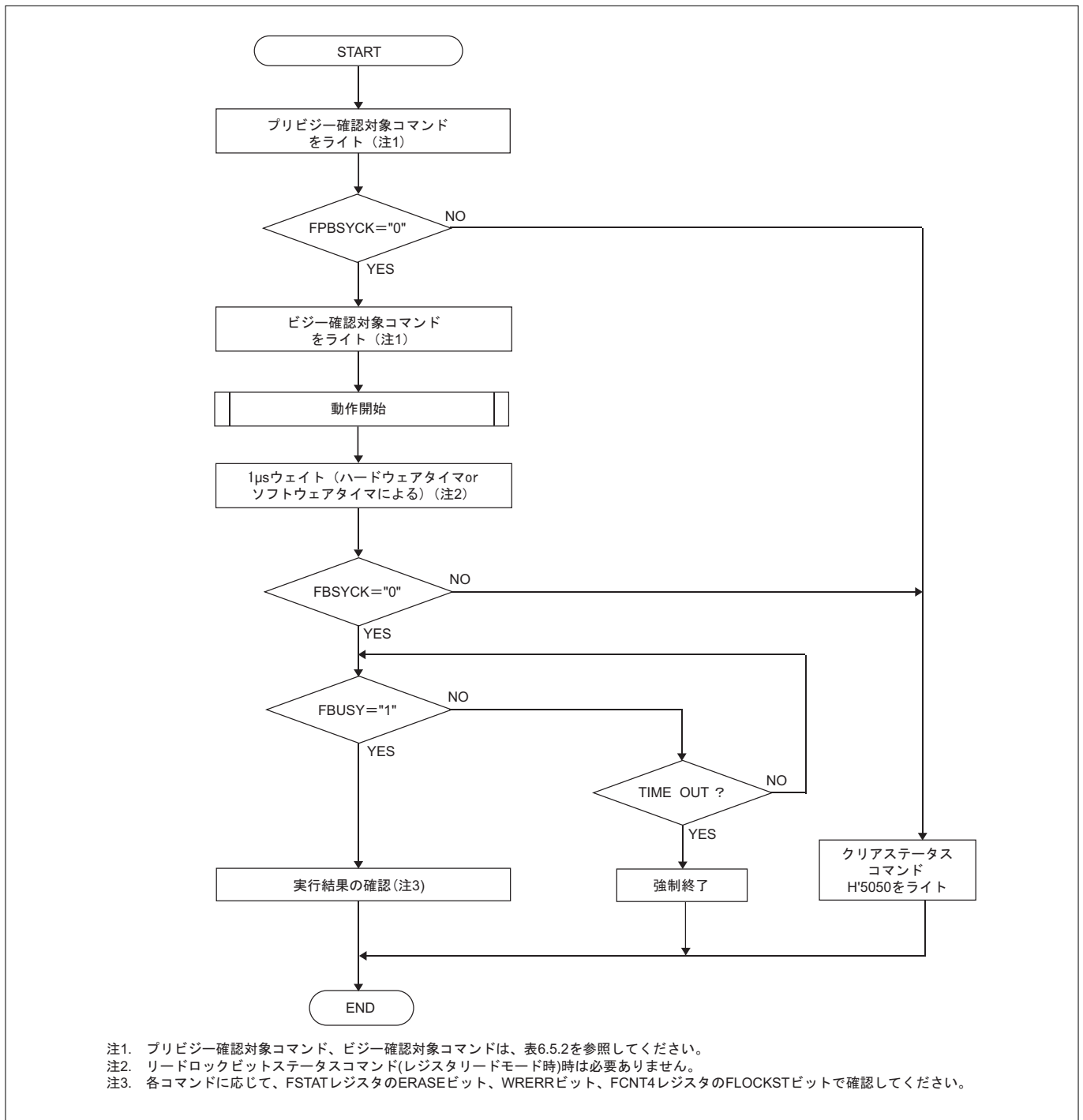


図6.5.2 FCNT3レジスタによるコマンド受付確認方法

フラッシュ制御レジスタ4(FCNT4)

<アドレス : H'0080 01E5 >

b8	9	10	11	12	13	14	b15
0	0	0	FLOCKST 0	0	0	0	FRESET 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	FLOCKST ロックビットステータスビット	0 : プロテクト状態 1 : 非プロテクト状態	(注1) -	
12~14	何も配置されていません。"0"に固定してください。		0	0
15	FRESET フラッシュリセットビット	0 : 何もしません 1 : リセット	R	W

注1. フラッシュ制御レジスタ2のFLOCKSビットを"1"(レジスタリードモード)に設定した状態において、リードロックビットステータスコマンド発行後の読み出し値のみ有効となります。FLOCKSビットを"0"(メモリ領域リードモード)に設定した状態のリードロックビットステータスコマンド発行後および、その他内蔵フラッシュ制御コマンド発行後の読み出し値は不定となります。

(1) FLOCKST(ロックビットステータス)ビット (b11)

ロックビットステータスの読み出しを行うビットです。FLOCKSTビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、FLOCKSTビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

FLOCKSTビットによるロックビットステータスの確認は、FLOCKSビット="1"の場合に有効となります。このとき、対象ブロックの任意アドレスに対してコマンドデータH'7171とH'D0D0を連続発行後、FBUSYビットが"1"にセットされるとFLOCKSTビットによってロックビットステータスの確認が可能となります。

(2) FRESET(フラッシュリセット)ビット (b15)

内蔵フラッシュメモリの書き込み/消去動作の強制終了、またはフラッシュステータスレジスタ(FSTAT)の各ステータスビットの初期化(H'80)、およびフラッシュ制御レジスタ3(FCNT3)のFPBSYCKビットの初期化を制御するビットです。

FRESETビットに"1"をセットすると、書き込み/消去動作の強制終了、FSTATの各ステータスビットの初期化(H'80)、およびFPBSYCKビットの初期化を行います。フラッシュリセット解除時、FRESET="1"状態を10 μ s以上保持ください。

フラッシュリセット解除後、FAENSビットが"1"にセットされるまでは内蔵フラッシュメモリに対するアクセスは禁止状態となります。

FRESETビットは、FENTRYビット="1"の場合のみ有効です。FENTRYビット="1"以外は、FRESETビットの設定を無視します。フラッシュメモリへの書き込み/消去時には、FRESETビット="0"の状態を制御ください。

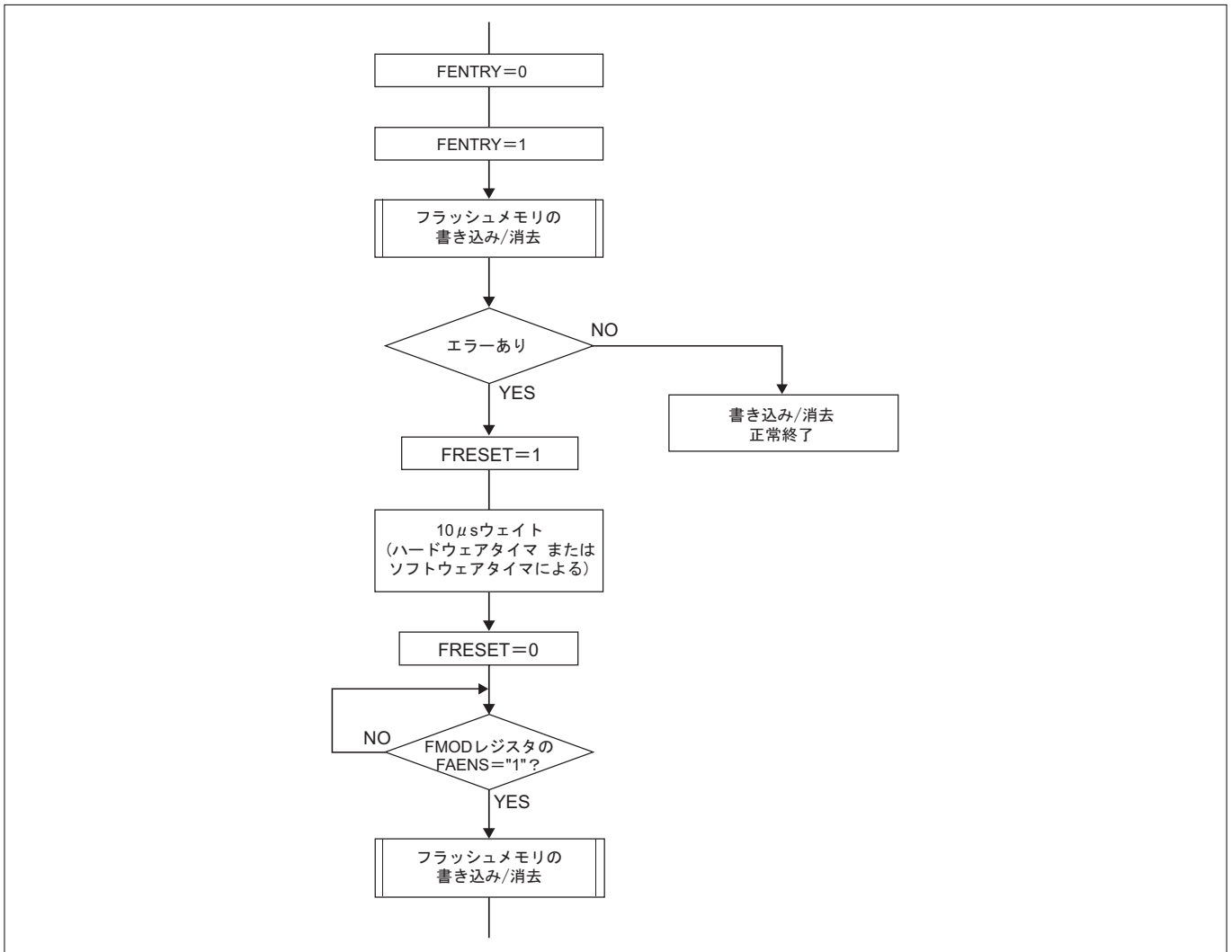


図6.5.3 FRESETビットの使用例1(フラッシュステータスレジスタ2の初期化)

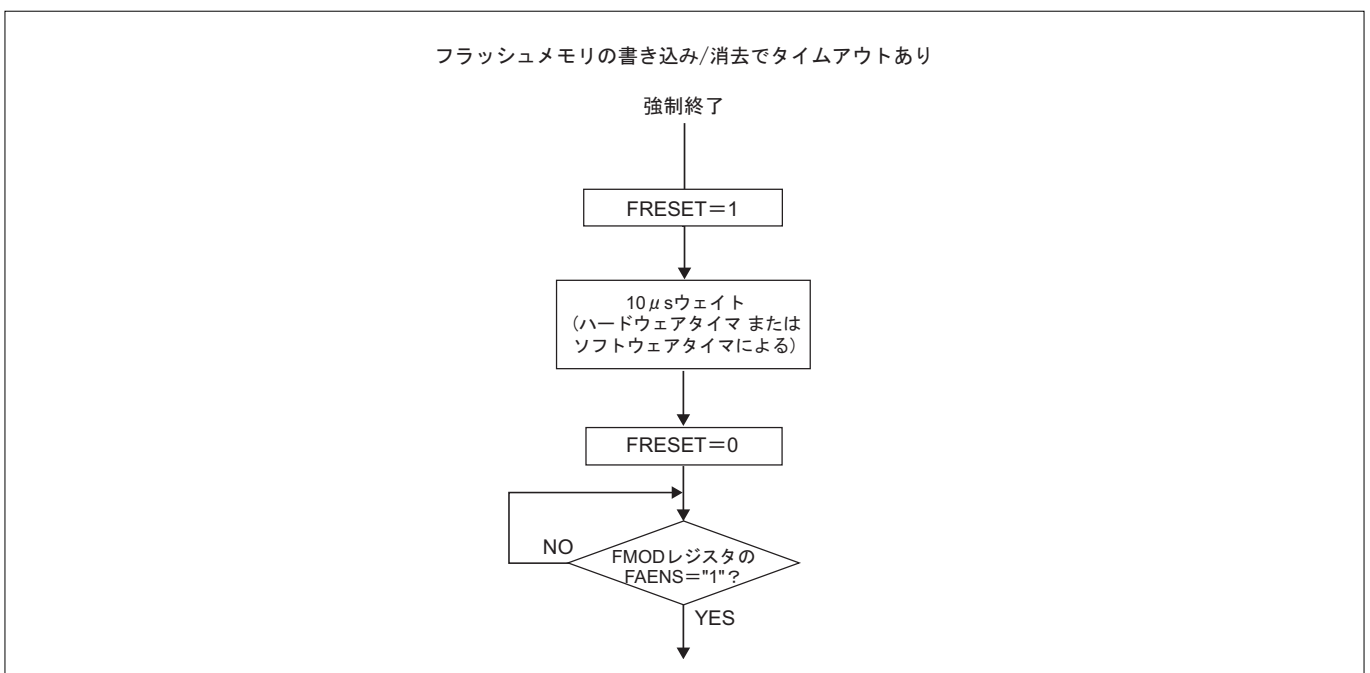
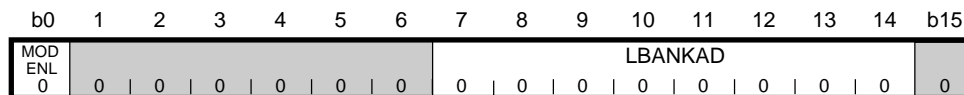


図6.5.4 FRESETビットの使用例2(フラッシュメモリの書き込み/消去強制終了)

6.5.4 疑似フラッシュLバンクレジスタ

疑似フラッシュLバンクレジスタ0 (FELBANK0)	< アドレス : H'0080 07E8 >
疑似フラッシュLバンクレジスタ1 (FELBANK1)	< アドレス : H'0080 07EA >
疑似フラッシュLバンクレジスタ2 (FELBANK2)	< アドレス : H'0080 07EC >
疑似フラッシュLバンクレジスタ3 (FELBANK3)	< アドレス : H'0080 07EE >
疑似フラッシュLバンクレジスタ4 (FELBANK4) (注3)	< アドレス : H'0080 07F0 >
疑似フラッシュLバンクレジスタ5 (FELBANK5) (注3)	< アドレス : H'0080 07F2 >
疑似フラッシュLバンクレジスタ6 (FELBANK6) (注3)	< アドレス : H'0080 07F4 >
疑似フラッシュLバンクレジスタ7 (FELBANK7) (注3)	< アドレス : H'0080 07F6 >
疑似フラッシュLバンクレジスタ8 (FELBANK8) (注2)	< アドレス : H'0080 07F8 >
疑似フラッシュLバンクレジスタ9 (FELBANK9) (注2)	< アドレス : H'0080 07FA >
疑似フラッシュLバンクレジスタ10 (FELBANK10) (注2)	< アドレス : H'0080 07FC >
疑似フラッシュLバンクレジスタ11 (FELBANK11) (注2)	< アドレス : H'0080 07FE >
疑似フラッシュLバンクレジスタ12 (FELBANK12) (注2)	< アドレス : H'0080 0800 >
疑似フラッシュLバンクレジスタ13 (FELBANK13) (注2)	< アドレス : H'0080 0802 >
疑似フラッシュLバンクレジスタ14 (FELBANK14) (注2)	< アドレス : H'0080 0804 >
疑似フラッシュLバンクレジスタ15 (FELBANK15) (注2)	< アドレス : H'0080 0806 >



<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0	MODENL 疑似フラッシュエミュレーションラインナップビット	0: 疑似フラッシュ機能ディスエーブル 1: 疑似フラッシュ機能イネーブル	R	W
1~6	何も配置されていません。"0"に固定してください。		0	0
7~14	LBANKAD Lバンクアドレスビット(注1)	該当Lバンクの先頭アドレスのA11~A18	R	W
15	何も配置されていません。"0"に固定してください。		0	0

注1. M32192F8およびM32196F8の内蔵フラッシュメモリは1M(1024K)バイトのため、b7(A11)には必ず"0"を設定してください。

また、M32195F4の内蔵フラッシュメモリは512Kバイトのため、b7(A11)、b8(A12)には必ず"0"を設定してください。

注2. この領域は32192にのみ存在し、32195/32196では使用禁止領域となります。

注3. この領域は32192/32196にのみ存在し、32195では使用禁止領域となります。

注. . このレジスタは、必ずハーフワードでアクセスしてください。

(1) MODENL(疑似フラッシュエミュレーションラインナップ)ビット (b0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット="0"の状態FEMMODビットに"1"をセット)後、MODENLビットに"1"をセットすることで、LBANKADビットで選択したLバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

(2) LBANKAD(Lバンクアドレス)ビット (b7~b14)

LBANKADビットは、8Kバイトごとに区切られたLバンクから1つのLバンクを選択するためのビットです。選択したいLバンクの先頭アドレス(32ビット)のA11~A18(b7がA11、b14がA18に対応)の8ビットをLBANKADビットに設定します。

注. . 詳細については、「6.7 疑似フラッシュエミュレーション機能」を参照してください。

6.6 内蔵フラッシュメモリの書き込み

6.6.1 内蔵フラッシュメモリ書き込みの概要

内蔵フラッシュメモリへ書き込み/消去を行う場合、次の2つの方法があります。

- (1)内蔵フラッシュメモリ上にフラッシュ書き込み/消去プログラムがない場合
- (2)内蔵フラッシュメモリ上にすでにフラッシュ書き込み/消去プログラムがある場合

(1)の場合は、FP端子="H"、MOD0="H"、MOD1="L"に設定し、動作モードをブートモードに移行します。リセットを解除するとブートプログラムの実行を開始します。

ブートプログラムは、「フラッシュ書き込み/消去プログラム」を内蔵RAMに転送します。転送後、内蔵RAM上へジャンプし、内蔵RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットに"1"をセットし、内蔵フラッシュメモリを書き込み/消去可能な状態(ブートモード+フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込み/消去プログラム」により、内蔵フラッシュメモリの書き込み/消去を実行します。

(2)の場合は、FP端子="H"、MOD0="L"、MOD1="L"に設定し、シングルチップモードに移行します。あらかじめ内蔵フラッシュメモリ内に用意した「フラッシュ書き込み/消去プログラム」を内蔵RAMに転送します。転送後、内蔵RAM上へジャンプし、内蔵RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"にセットし、内蔵フラッシュメモリを書き込み/消去が可能な状態(シングルチップモード+フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込み/消去プログラム」により、内蔵フラッシュメモリへの書き込み/消去を実行します。FP端子="H"、MOD0="L"、MOD1="H"に設定し、外部拡張モードでフラッシュE/Wイネーブルモードに移行することもできます。

フラッシュE/Wイネーブルモード(FP端子="H"、FENTRY="1")時は、外部割り込み(EI)のEITベクタエントリが内蔵RAMの先頭(H'0080 4000)に移動します。通常モード(フラッシュE/Wイネーブルモード以外)時はフラッシュ領域(H'0000 0080)になります。

フラッシュE/Wイネーブルモードで外部割り込み(EI)を使用する場合は、内蔵RAMの先頭に、内蔵RAMに転送した外部割り込み(EI)ハンドラへの分岐命令を記述します。また、外部割り込み(EI)ハンドラで読み出すIVECTレジスタには、フラッシュメモリ上のICUベクタテーブルアドレスが格納されます。そのため、フラッシュE/Wイネーブルモード時に使用するICUベクタテーブルを内蔵RAM上に用意し、IVECTレジスタの値を内蔵RAM上のICUベクタテーブルのアドレスに変換(オフセット分を加算など)して、分岐処理を行います。

ブートモードで起動した場合、「フラッシュ書き込み/消去プログラム」が内蔵RAMへ転送されるため、ブートモード軌道後の内蔵RAM値は不定となります。

6

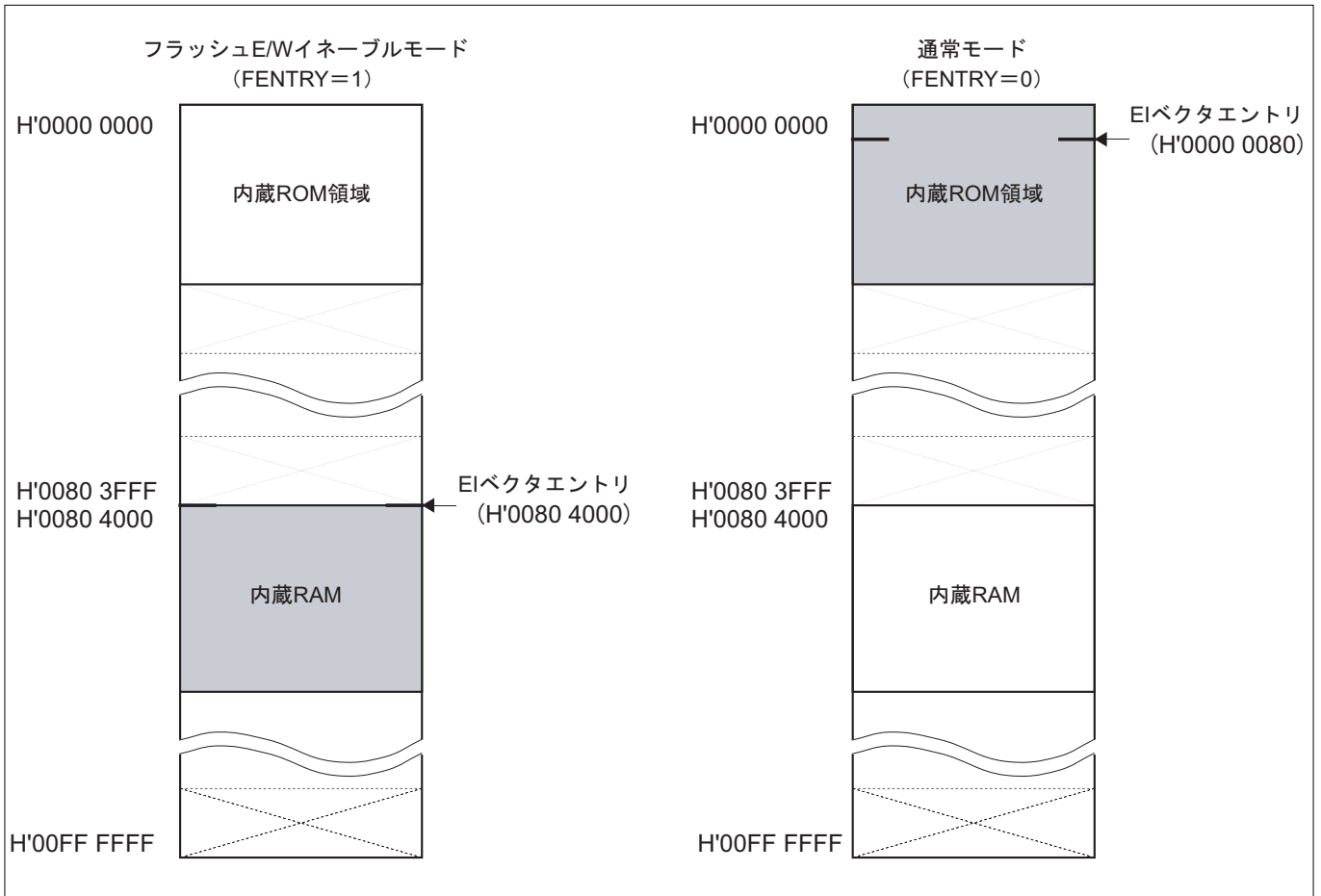


図6.6.1 フラッシュE/Wイネーブルモード時のEIベクタエントリ

(1)内蔵フラッシュメモリ上に書き込み/消去プログラムがない場合

ブートプログラムにより、内蔵フラッシュメモリを書き込み/消去します。書き込みデータの転送には、シリアルインタフェースのSIO1をクロック同期シリアルインタフェース、またはクロック非同期シリアルインタフェースで使します。

フラッシュプログラマでのフラッシュ書き込み/消去は以下の手順を実行します。

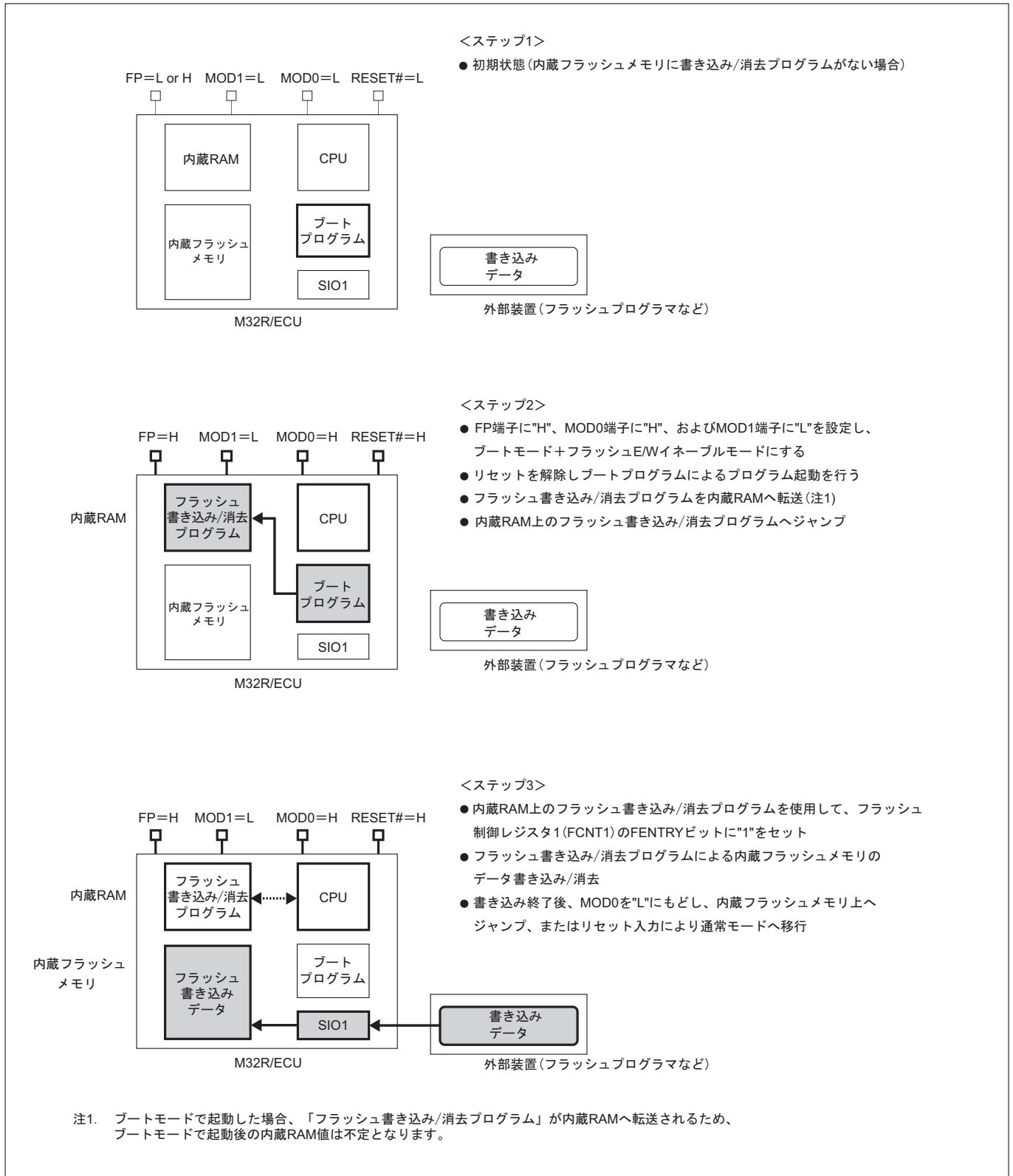


図6.6.2 内蔵フラッシュメモリへの書き込み/消去手順 (書き込み/消去プログラムが内蔵フラッシュメモリ上にない場合)

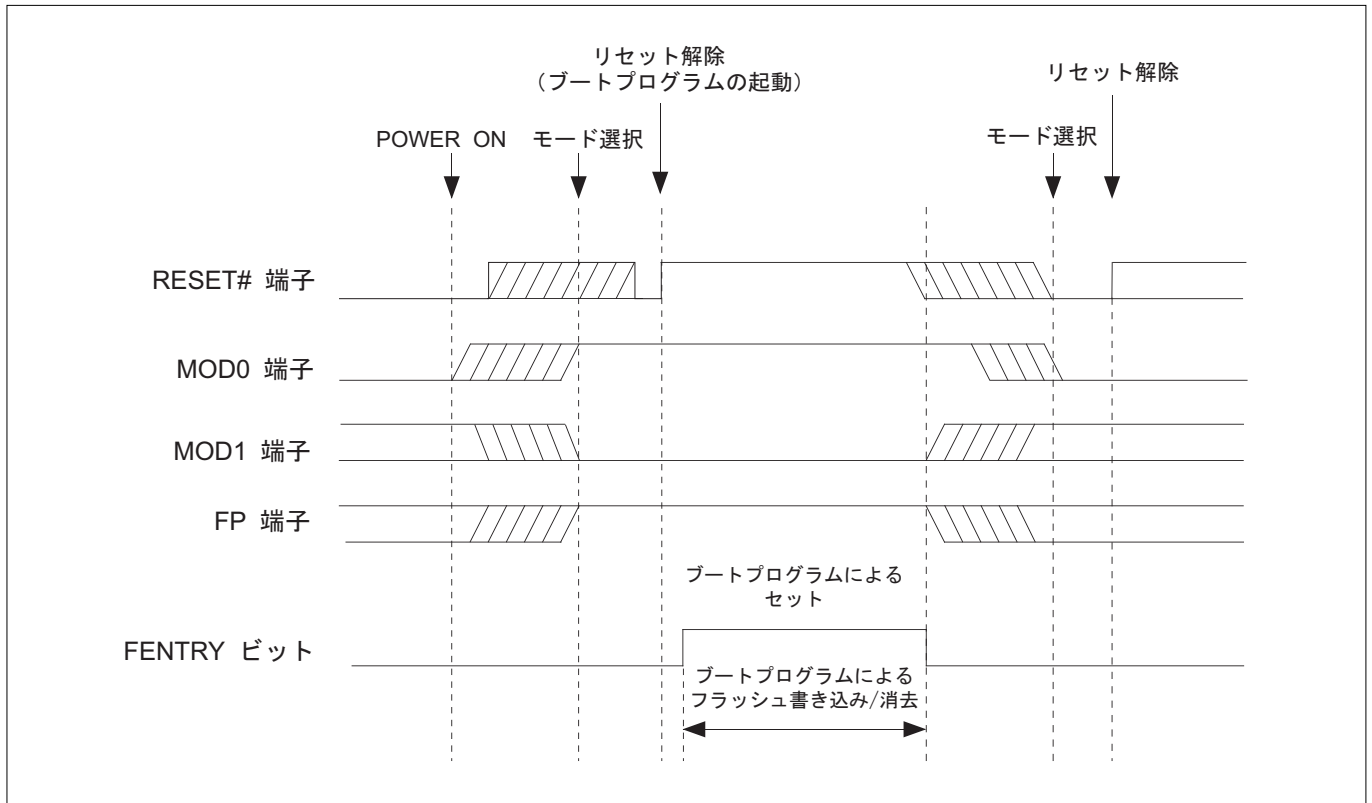


図6.6.3 内蔵フラッシュメモリ書き込み/消去制御端子タイミング(書き込み/消去プログラムが内蔵フラッシュメモリ上にない場合)

(2)内蔵フラッシュメモリ上にすでに書き込み/消去プログラムがある場合

内蔵フラッシュメモリ上に配置したフラッシュ書き込み/消去プログラムにより、内蔵フラッシュメモリに書き込みます。

書き込み/消去にはシステムに合わせて内蔵周辺回路を使用します。(データバスおよびシリアルインタフェース、ポート等内蔵する周辺回路の資源をすべて使用できます。)

以下に、シングルチップモードでSIO0を使用した書き込み/消去例を示します。

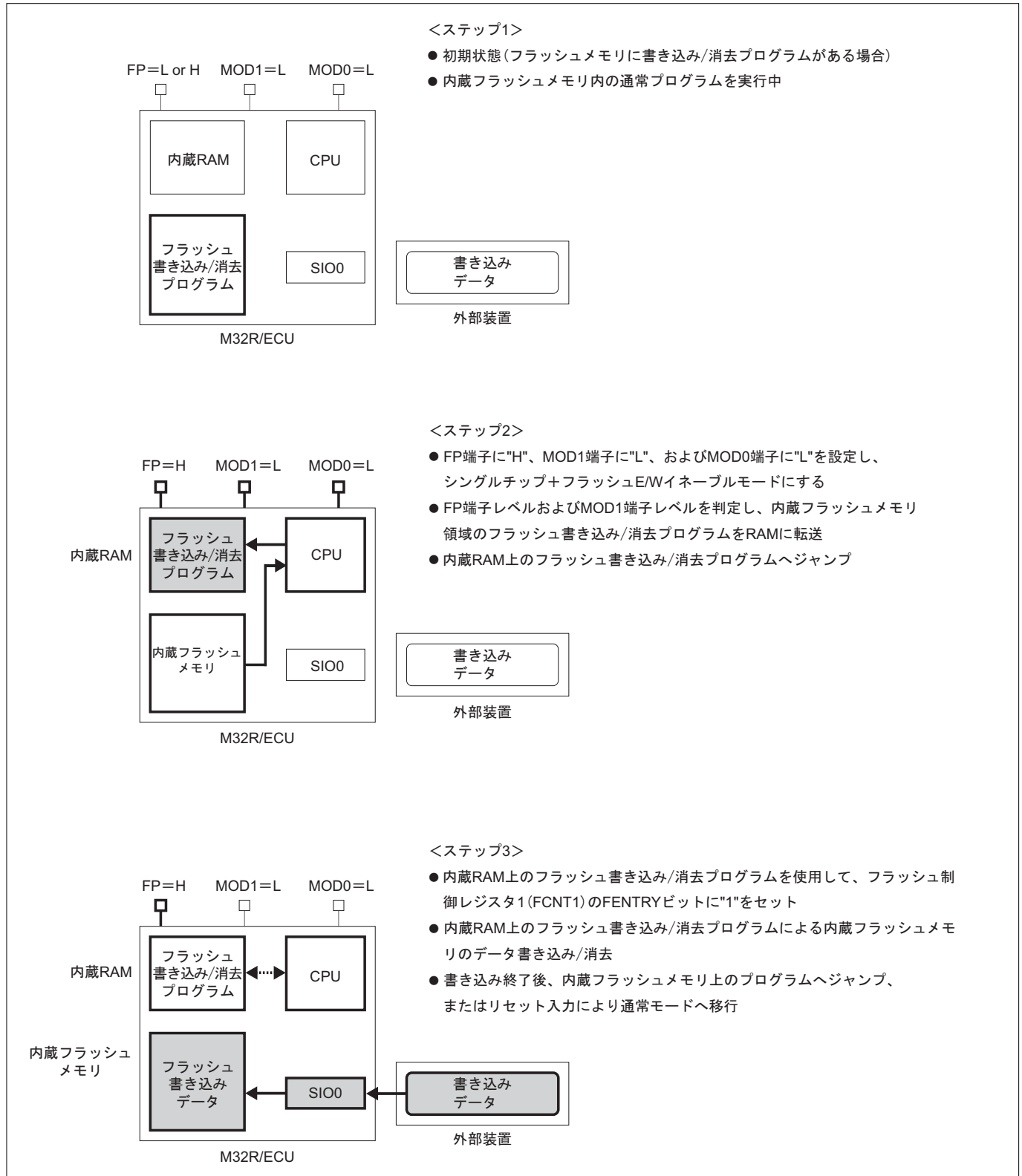


図6.6.4 内蔵フラッシュメモリへの書き込み/消去手順(書き込み/消去プログラムが内蔵フラッシュメモリ上にある場合)

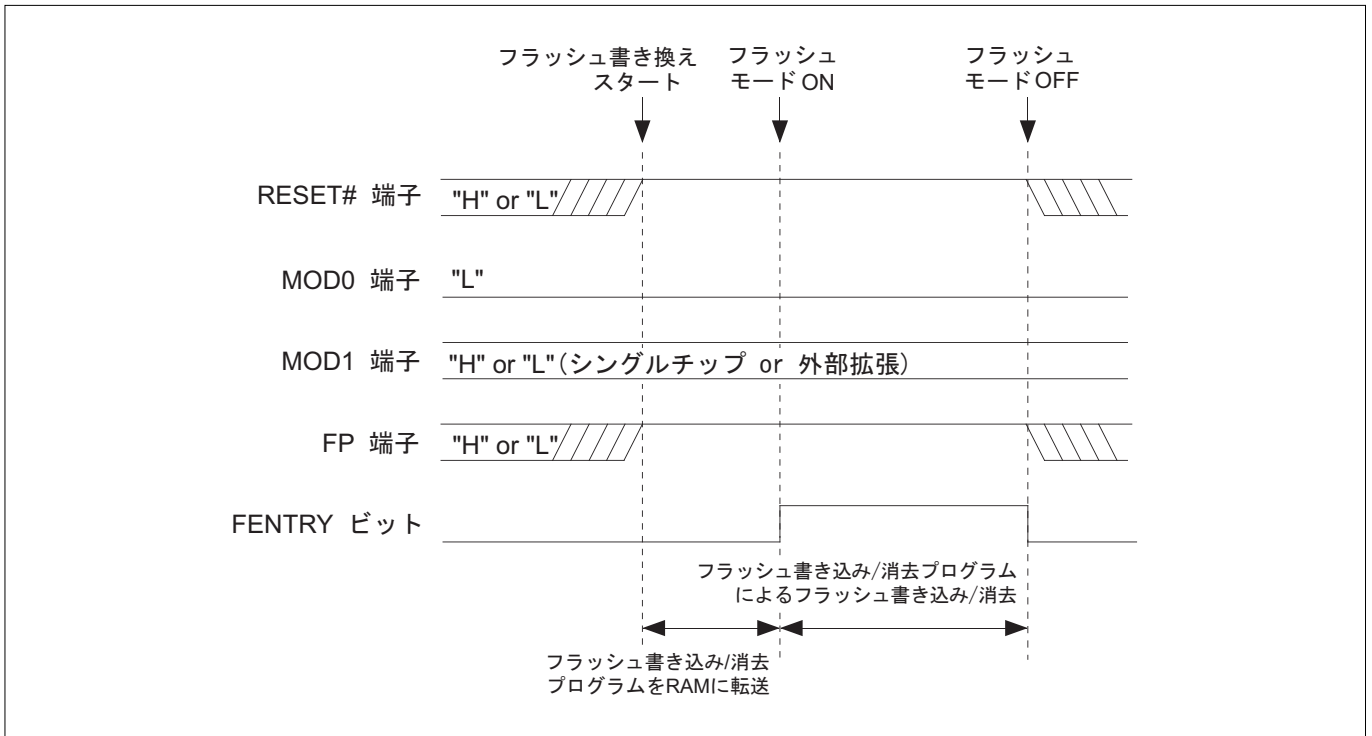


図6.6.5 内蔵フラッシュメモリ書き込み/消去制御端子タイミング(書き込み/消去プログラムが内蔵フラッシュメモリ上にある場合)

6.6.2 フラッシュ書き込み時における動作モードの制御

チップ動作モードはMOD0、MOD1、およびフラッシュ制御レジスタ1(FCNT1)のFENTRYビットで設定されます。以下にフラッシュ書き込み時における動作モードの一覧を示します。

表6.6.1 フラッシュ書き込み/消去時における動作モードの設定

FP	MOD0	MOD1	FENTRY(注1)	動作モード	リセットベクタエントリ	EIベクタエントリ
0	0	0	0	シングルチップ	内蔵フラッシュメモリ	フラッシュ領域
1	0	0	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
0	1	0	0	プロセッサ	外部領域先頭番地	外部領域
0	0	1	0	モード	(H'0000 0000)	(H'0000 0080)
0	0	1	0	外部拡張	内蔵フラッシュメモリ	フラッシュ領域
1	0	1	0	モード	先頭番地 (H'0000 0000)	(H'0000 0080)
1	0	0	1	シングルチップ	内蔵フラッシュメモリ	内蔵RAMの先頭
1	1	0	0	モード	先頭番地 (H'0000 0000)	(H'0080 4000)
1	1	0	0	+フラッシュ E/Wイネーブル	ブートプログラム の実行開始番地	フラッシュ領域 (H'0000 0080)
1	1	0	1	ブートモード	ブートプログラム の実行開始番地	内蔵RAMの先頭 (H'0080 4000)
1	0	1	1	+フラッシュ E/Wイネーブル	内蔵フラッシュメモリ 先頭番地 (H'0000 0000)	内蔵RAMの先頭 (H'0080 4000)
-	1	1	-	設定禁止	-	-

注1. フラッシュ制御レジスタ1(FCNT1)内のFENTRYビット(-: Don't Care)の状態を示します。しかし、FPが"0"の場合は、FENTRYに"1"を書き込んでも"0"にしかありません。

注2. MOD2端子は必ず"0": グランド(GND)に接続してください。

(1)フラッシュE/Wイネーブルモード

フラッシュE/Wイネーブルモードは、内蔵フラッシュメモリへの書き込みと消去をするモードです。フラッシュE/Wイネーブルモードでは、内蔵フラッシュメモリ上でのプログラムは実行できません。したがって、フラッシュE/Wイネーブルモード移行前に必要なプログラムを内蔵RAM上に転送し、内蔵RAM上でプログラム動作を行う必要があります。

(2)フラッシュE/Wイネーブルモードへの移行

フラッシュE/Wイネーブルモードに移行できるのは、シングルチップモードと外部拡張モードとブートモードだけです。FP端子が"H"レベルで、フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"の場合のみ、「フラッシュE/Wイネーブルモード」に移行します。プロセッサモードおよびFP端子が"L"の場合は移行できません。

(3)MOD0端子、MOD1端子レベルの検出

MOD0およびMOD1端子レベル("H" or "L")は、P8データレジスタ(ポートデータレジスタ、H'0080 0708)のMOD0DTビットおよびMOD1DTビットで確認できます。

P8データレジスタ(P8DATA)

< アドレス : H'0080 0708 >

b0	1	2	3	4	5	6	b7
MOD0DT	MOD1DT	P82DT	P83DT	P84DT	P85DT	P86DT	P87DT
?	?	?	?	?	?	?	?

< リセット解除時 : 不定 >

b	ビット名	機能	R	W
0	MOD0DT(P80DT) MOD0データビット	0 : MOD0端子 = "L" 1 : MOD0端子 = "H"	R	-
1	MOD1DT(P81DT) MOD1データビット	0 : MOD1端子 = "L" 1 : MOD1端子 = "H"	R	-
2	P82DT ポートP82データビット	< 読み出し時 > ポート方向レジスタの設定により	R	W
3	P83DT ポートP83データビット	・方向ビットが"0"(入力モード)の場合 0 : ポート入力端子 = "L"		
4	P84DT ポートP84データビット	1 : ポート入力端子 = "H" ・方向ビットが"1"(出力モード)の場合(注1)		
5	P85DT ポートP85データビット	0 : ポート出力ラッチ = "0"/ポート端子レベル = "L" 1 : ポート出力ラッチ = "1"/ポート端子レベル = "H"		
6	P86DT ポートP86データビット	< 書き込み時 > ポート出力ラッチへの書き込み		
7	P87DT ポートP87データビット			

注1. 読み出し対象の選択は、ポート入力特別機能制御レジスタのポート入力データ選択ビット(PISEL)で設定します。

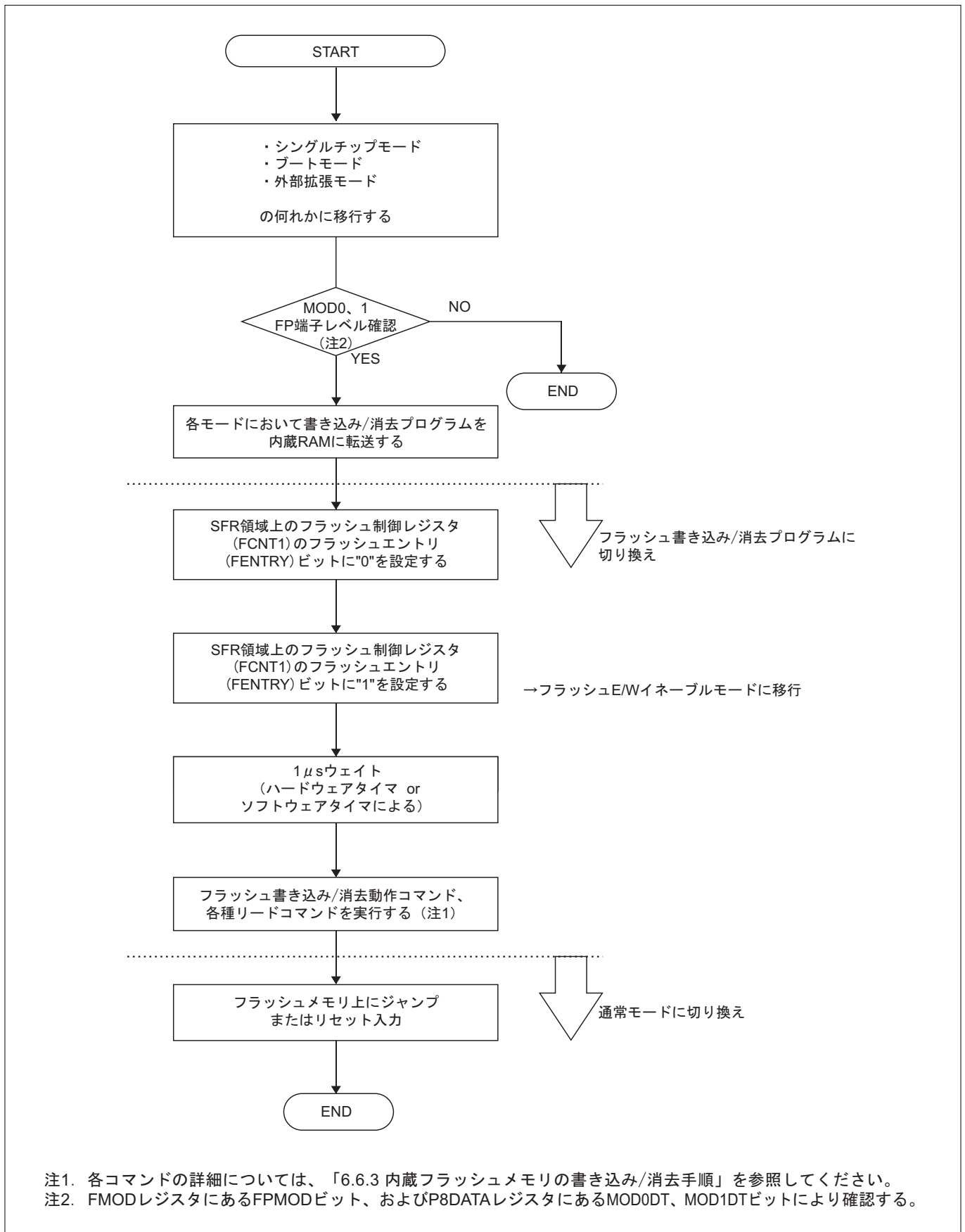


図6.6.6 フラッシュE/Wイネーブル移行手順

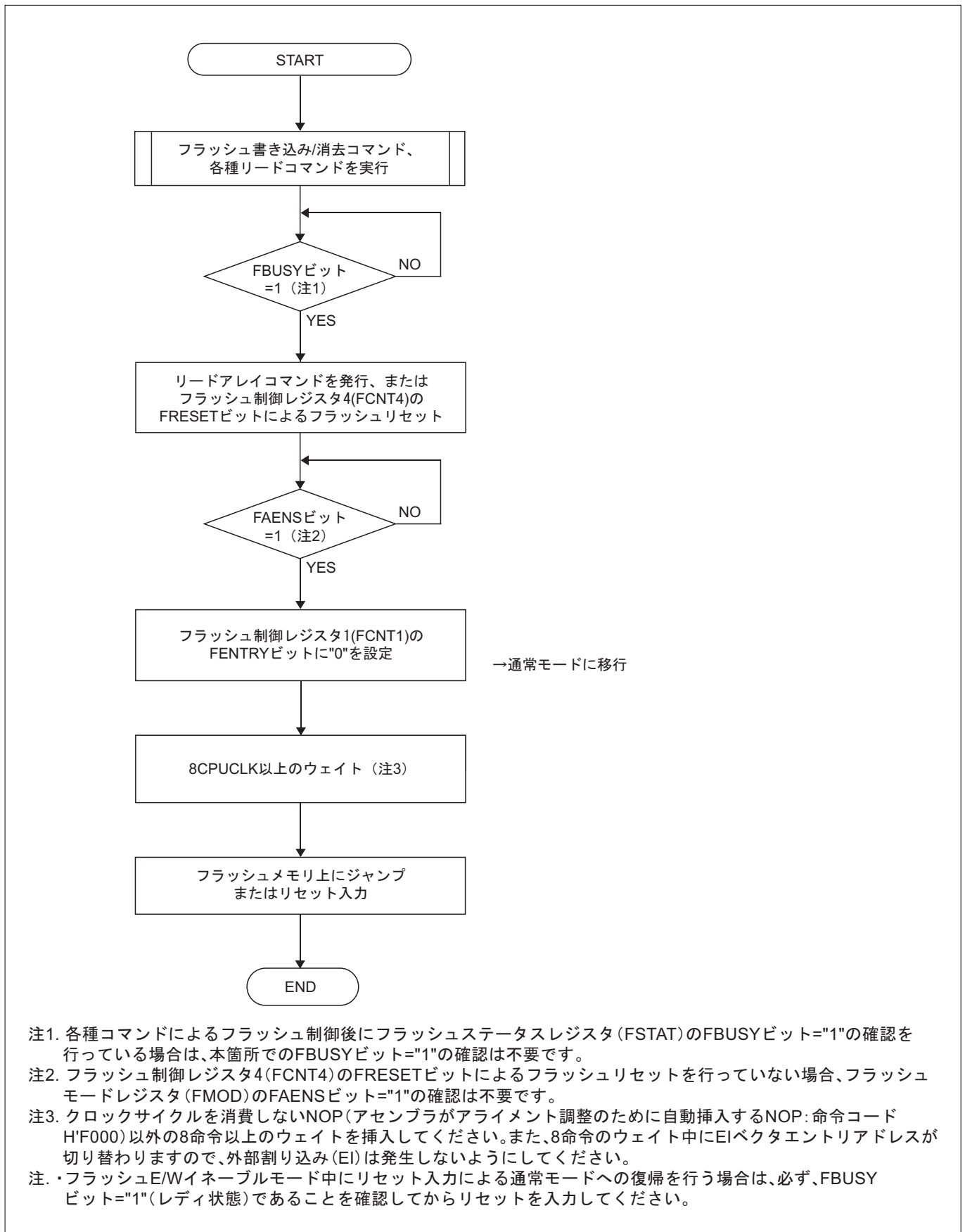


図6.6.7 通常モードへの移行手順

6.6.3 内蔵フラッシュメモリの書き込み/消去手順

内蔵フラッシュメモリへの書き込み/消去は、チップモードを制御してフラッシュE/Wイネーブルモードに移行した後、内蔵フラッシュメモリから内蔵RAMへ転送したフラッシュ書き込み/消去プログラムで行います。

フラッシュE/Wイネーブルモードでは、通常モードのように内蔵フラッシュメモリからの読み出しができませんので、内蔵フラッシュメモリ上のプログラムを実行することができません。そのため、フラッシュE/Wイネーブルモードへ移行する前にフラッシュ書き込み/消去プログラムを内蔵RAM上に用意しておかなければなりません。フラッシュE/Wイネーブルモードへの移行後、内蔵フラッシュメモリへのアクセスはフラッシュコマンド以外、禁止します。

フラッシュE/Wイネーブルモードにおける内蔵フラッシュメモリへのアクセスは、対象とする内蔵フラッシュメモリアドレスに対するコマンド発行により行います。フラッシュE/Wイネーブルモードにおいて発行できるコマンドを以下に示します。

注．・フラッシュE/Wイネーブルモード時、内蔵フラッシュメモリへのリード/ライトは、ワードアクセスできませんのでご注意ください。

表6.6.2 フラッシュE/Wイネーブルモードにおけるコマンド

コマンド名	発行コマンドデータ
リードアレイコマンド	H'FFFF
4ハーフワードプログラムコマンド	H'4343
ロックビットプログラムコマンド	H'7777
ブロックイレーズコマンド	H'2020
クリアステータスレジスタコマンド	H'5050
リードロックビットステータスコマンド	H'7171
確認コマンド(注1)	H'D0D0

注1．このコマンドはロックビットプログラム、ブロックイレーズ、リードロックビットステータスの各コマンドに連続して発行してください。ロックビットプログラム、ブロックイレーズ、リードロックビットステータスの各コマンドの後に確認コマンド(H'D0D0)以外のコマンドを発行すると、ロックビットプログラム、ブロックイレーズ、リードロックビットステータスの各コマンドが正常に実行されずにエラー終了します。

(1) リードアレイコマンド

内蔵フラッシュメモリの任意のアドレスに対して、リードアレイコマンド(H'FFFF)をライトするとリードモードとなります。次に読み出したいアドレスをリードするとその内容が読み出せます。

フラッシュE/Wイネーブルモードから抜ける場合は、必ずリードアレイコマンドを実行してから抜けてください。

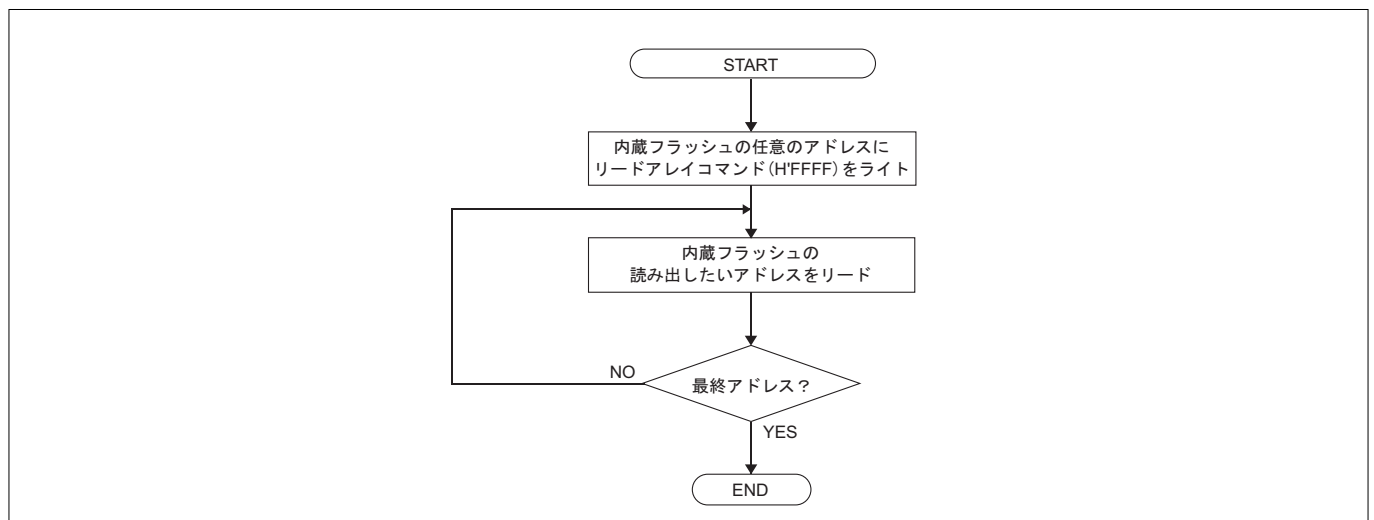


図6.6.8 リードアレイ

(2)4ハーフワードプログラムコマンド

フラッシュメモリへの書き込み(プログラム)は、2バイト(ハーフワード)×4回ごとの4ハーフワード単位(8バイト単位)で行います。また、書き込み時の先頭アドレスは、4ハーフワード境界のアドレス(下位アドレスB'000)で行ってください。

フラッシュへのデータ書き込みは、内蔵フラッシュメモリの任意のアドレスに対してプログラムコマンド(H'4343)をライトし、その後、書き込みたいアドレスに書き込むデータをライトします。

4ハーフワードプログラムコマンドにおいて、プロテクトされているブロックへの書き込みはできません。

4ハーフワードプログラムは内部制御回路で自動的に行われ、4ハーフワードプログラムコマンドの完了はフラッシュステータスレジスタ(FSTAT)のFBUSY(フラッシュビジー)ビットで確認することができます。FBUSYビットが"0"の間は、次の書き込みは行えません。

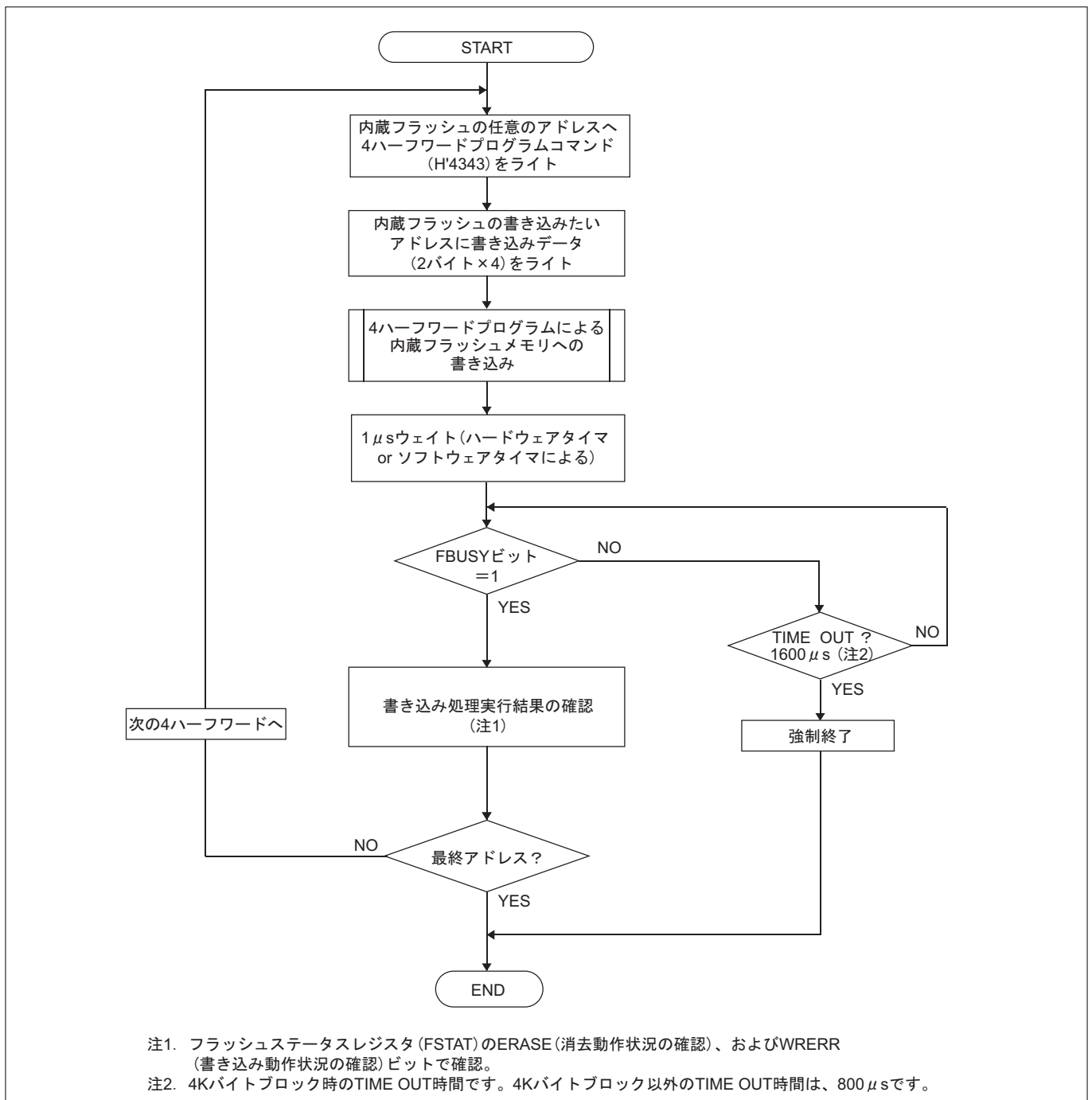


図6.6.9 4ハーフワードプログラム

(3) ロックビットプログラムコマンド

フラッシュメモリは、ブロック単位にプロテクト(書き込み/消去禁止)が可能です。ロックビットプログラムコマンドは、メモリブロックに対してプロテクトを行うコマンドです。

内蔵フラッシュメモリの任意アドレスに対して、ロックビットコマンド(H'7777)をライトします。次にプロテクトをかけたいブロックの最終偶数アドレスに確認コマンド(H'D0D0)をライトすると、該当メモリブロックがプロテクト(書き込み/消去の禁止)状態になります。プロテクトの解除は、フラッシュ制御レジスタ α (FCNT2)のFPROT(ロックビットプロテクト制御)ビットで、ロックビットによるプロテクトを無効にし、プロテクトを解除したいブロックをイレースすることにより行います(該当メモリブロックの内容も消去されます)。

ロックビットプログラムは内部制御回路で自動的に行われ、ロックビットプログラム完了はフラッシュステータスレジスタ(FSTAT)のFBUSY(フラッシュビジー)ビットで確認することができます。FBUSYビットが"0"の間は、次のロックビットプログラムは行えません。

以下に、確認コマンドデータをライトする際の対象ブロックと指定アドレスを示します。

表6.6.3 対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 1FFE
1	H'0000 2FFE
2	H'0000 3FFE
3	H'0000 7FFE
4	H'0000 FFFE
5	H'0001 FFFE
6	H'0002 FFFE
7	H'0003 FFFE
8	H'0004 FFFE
9	H'0005 FFFE
10	H'0006 FFFE
11	H'0007 FFFE
12	H'0008 FFFE
13	H'0009 FFFE
14	H'000A FFFE
15	H'000B FFFE
16	H'000C FFFE
17	H'000D FFFE
18	H'000E FFFE
19	H'000F FFFE

注. ・32195F4の内蔵フラッシュメモリは512Kバイトのため、ブロック12~ブロック19は存在しません。

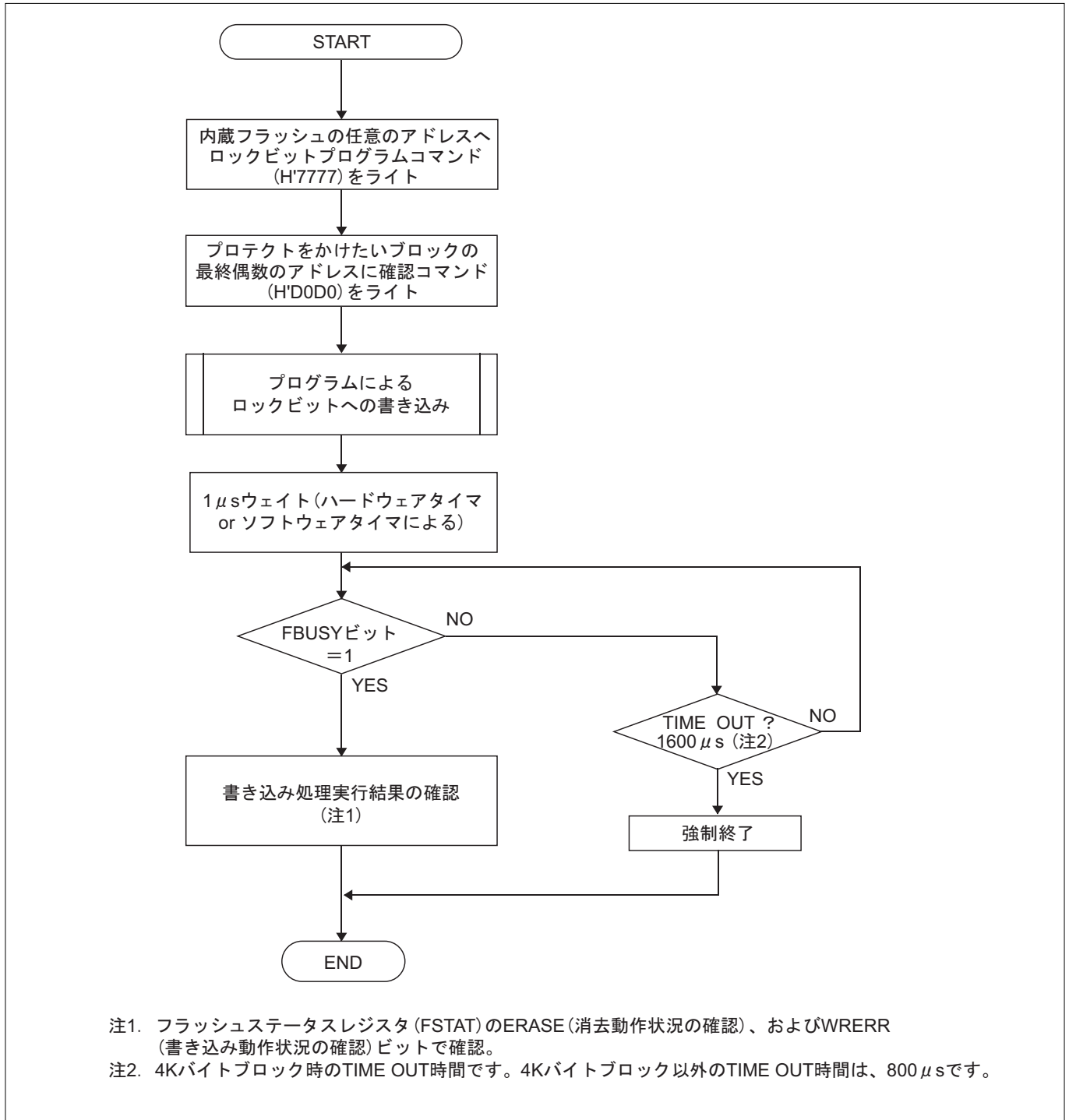


図6.6.10 ロックビットプログラム

(4) ブロックイレーズコマンド

ブロックイレーズコマンドは、内蔵フラッシュメモリの内容をブロック単位で消去します。ブロックイレーズは内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'2020をライトします。次に、消去したいメモリブロックの最終偶数アドレス(「表6.6.3 対象ブロックと指定番地」を参照してください。)に確認コマンドデータH'D0D0をライトすることにより、該当メモリブロックの内容を消去します。

ブロックイレーズコマンドにおいて、プロテクトされているブロックへのイレーズはできません。

ブロックイレーズは内部制御回路で自動的に行われ、ブロックイレーズ完了はフラッシュステータスレジスタ(FSTAT)のFBUSY(フラッシュビジー)ビットで確認することができます。FBUSYビットが"0"の間は、次のブロックイレーズは行えません。

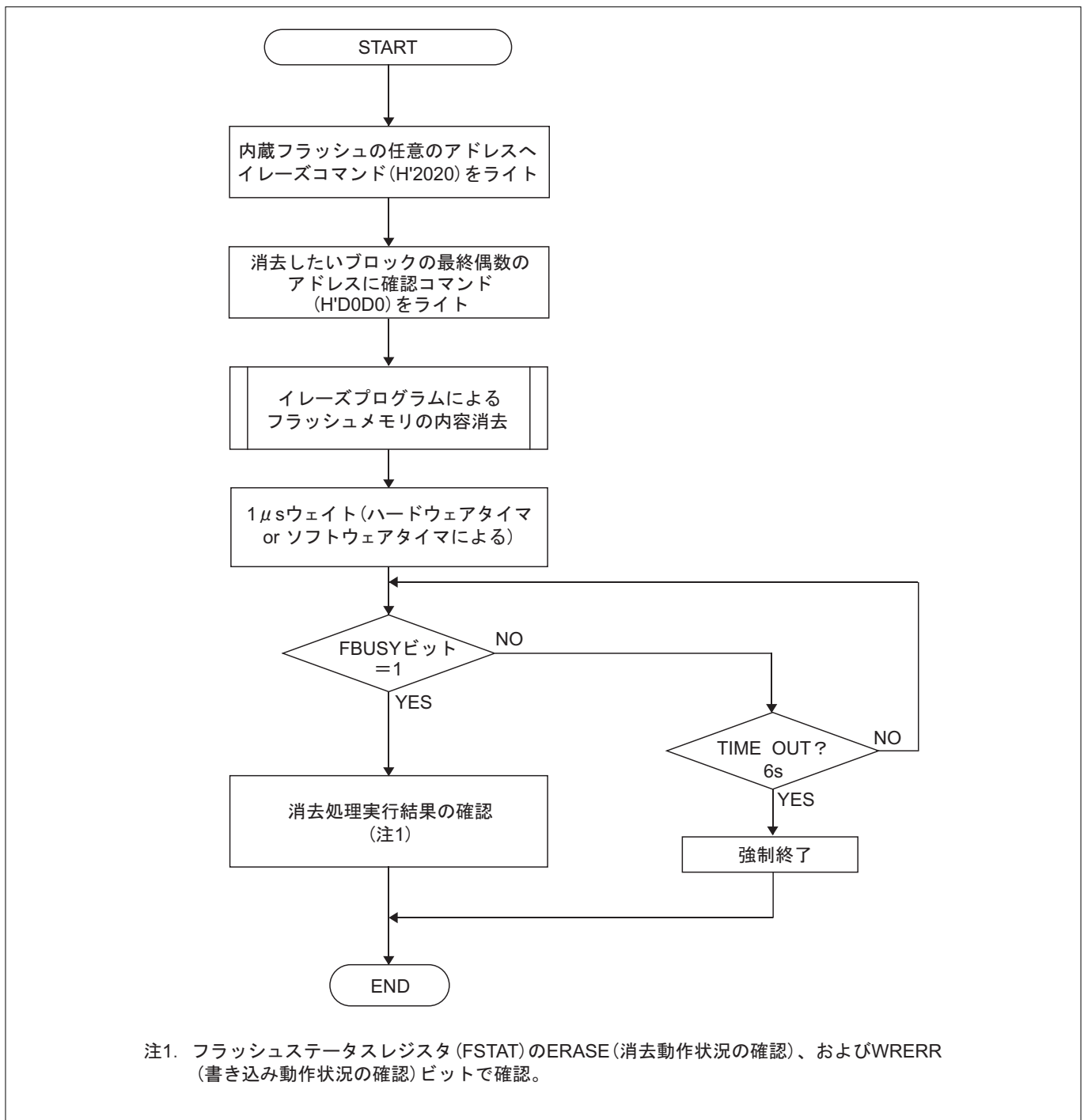


図6.6.11 ブロックイレーズ

(5) クリアステータスレジスタコマンド

クリアステータスレジスタコマンドは、フラッシュステータスレジスタ (FSTAT) の ERASE (消去動作状況確認) ビット、WRERR (書き込み動作状況確認) ビットを "0" クリアするコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータ H'5050 をライトすると、フラッシュステータスレジスタが初期化されます。また、このクリアステータスレジスタコマンドを発行すると、フラッシュ制御レジスタ3 (FCNT3) も初期化されます。

フラッシュメモリへの書き込み、消去動作でエラーが発生し、フラッシュステータスレジスタ (FSTAT) の ERASE (消去動作状況確認) ビット、WRERR (書き込み動作状況確認) ビットに "1" がセットされた場合、ERASE (消去動作状況確認) ビット、および WRERR (書き込み動作状況確認) ビットを "0" クリアしなければ、次の書き込み、消去はできません。

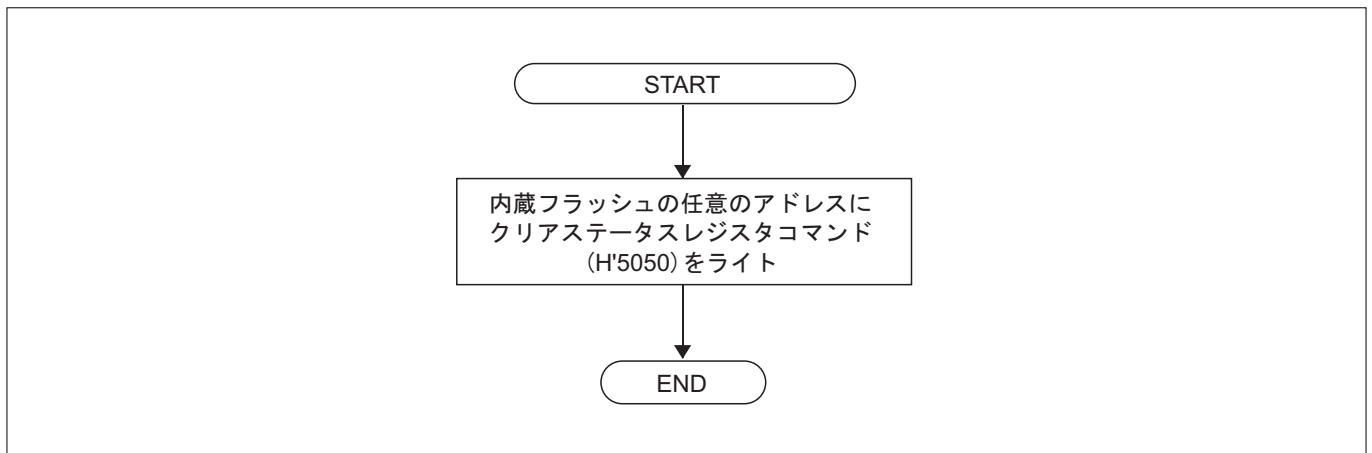


図6.6.12 クリアステータスレジスタ

(6) リードロックビットステータスコマンド

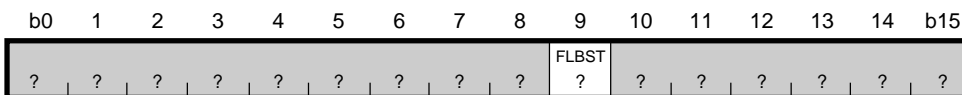
リードロックビットステータスコマンドは、メモリブロックがプロテクト(書き込み/消去禁止)状態か、プロテクト状態でないかを確認するためのコマンドです。ロックビットの読み出し方法は、フラッシュ制御レジスタ χ (FCNT2)のFLOCKS(ロックビットリードモードセレクト)ビットの設定によって、以下の2種類から選択できます。

1) メモリ領域リードモード(FLOCKSビット="0")

内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7171をライトします。次に、対象ブロックの最終偶数アドレス(「表6.6.3 対象ブロックと指定番地」を参照してください。)をリードすると、対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

リードしたデータのFLBST(ロックビット)ビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、FLBST(ロックビット)ビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

ロックビットステータスレジスタ(FLBST)



<リセット解除時:不定>

b	ビット名	機能	R	W
0~8	何も配置されていません。		?	0
9	FLBST ロックビット	0:プロテクト状態 1:非プロテクト状態	R	-
10~15	何も配置されていません。		?	0

ロックビットステータスレジスタは読み出し専用のレジスタで、各ブロックごとに独立したロックビットを内蔵しています。このレジスタを読み出す場合、フラッシュ制御レジスタ χ (FCNT2)のFLOCKSビットを"0"にする必要があります。

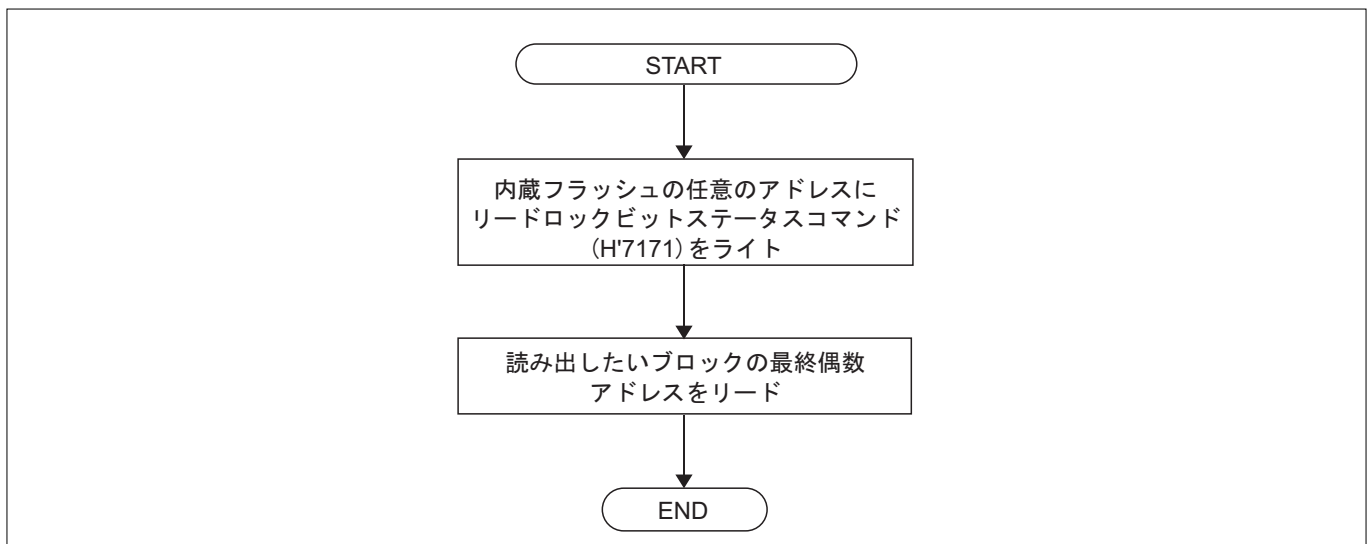


図6.6.13 リードロックビットステータス(メモリ領域リードモード)

2) レジスタリードモード(FLOCKSビット="1")

対象ブロックの任意のアドレスに対して、コマンドデータH'7171をライトします。次に、確認コマンドデータH'D0D0をライトすると、フラッシュ制御レジスタ χ (FCNT4)のFLOCKST(ロックビットステータス)ビットで対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

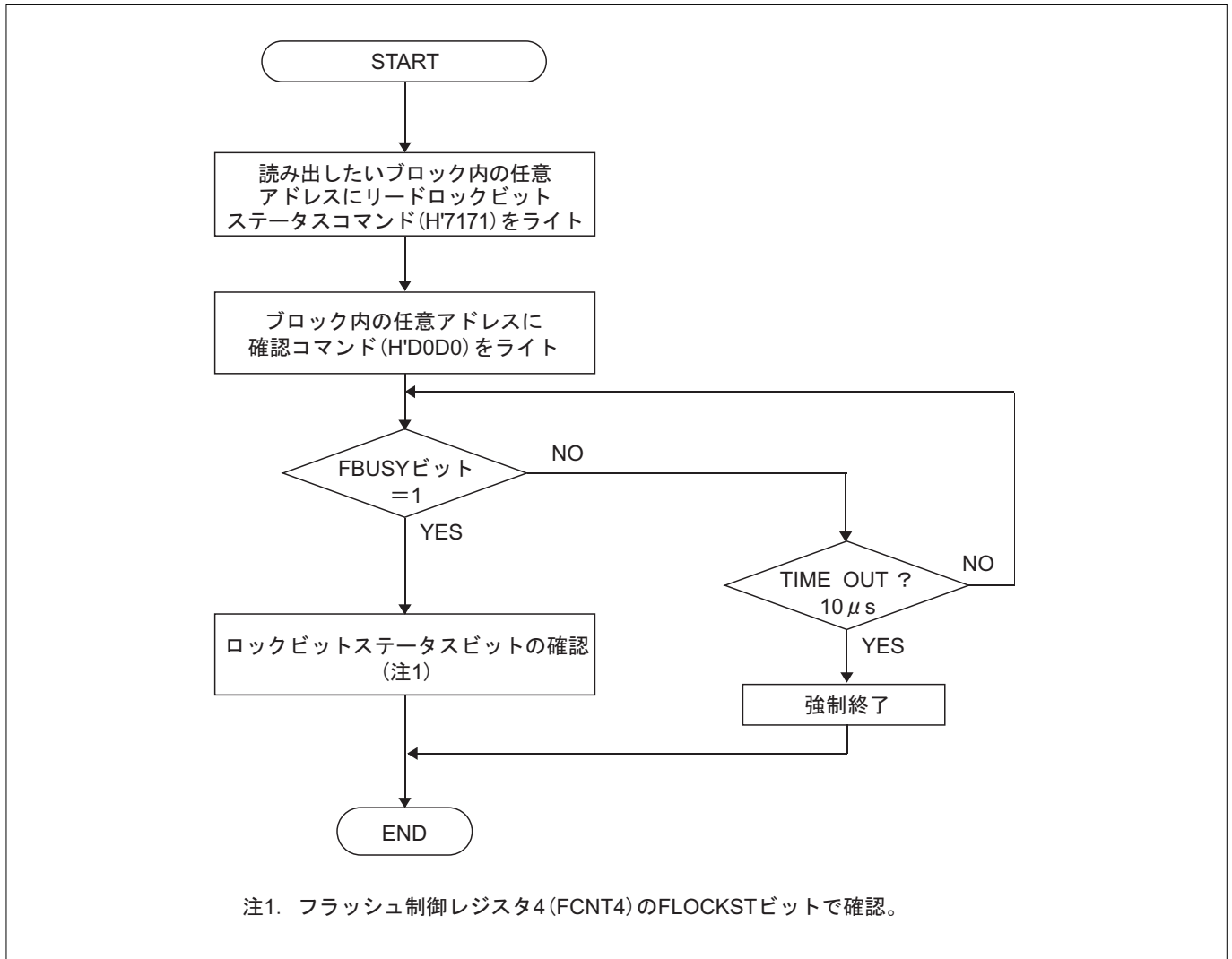


図6.6.14 リードロックビットステータス(レジスタリードモード)

ロックビットの書き込みは以下の方法で行います。

- a) ロックビットの"0"セット方法(プロテクト状態)
プロテクトしたいメモリブロックにロックビットプログラムコマンド(H'7777)を発行することで行います。
- b) ロックビットの"1"セット方法(非プロテクト状態)
フラッシュ制御レジスタ2のFPROTを"ロックビットによるプロテクト無効"にしたのち、ブロックイレーズコマンド(H'2020)で非プロテクト状態にしたいメモリブロックを消去することで行います。
ロックビットのみを"1"セットすることはできません。
- c) ロックビットのリセット解除時の状態
ロックビットは不揮発性のビットであるため、リセットおよび電源断の影響を受けません。

6.6.4 フラッシュ書き込み時間(参考値)

内蔵フラッシュメモリへの書き込み時間の参考値を以下に示します。

(1) M32192F8およびM32196F8

[1] SIOによる転送時間(転送データ容量: 1024KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 1024\text{KB} = 200.2 \text{ [s]}$$

[2] フラッシュ書き込み時間

4KBブロック以外

$$(1024\text{KB} - 4\text{KB} \times 2)/8\text{バイト} \times 100\mu\text{s} = 13.0 \text{ [s]}$$

4KBブロック

$$4\text{KB} \times 2/8\text{バイト} \times 200\mu\text{s} = 0.2 \text{ [s]}$$

合計 13.2 [s]

[3] イレーズ時間(全領域)

$$0.3\text{s} \times 3\text{ブロック} + 0.5\text{s} \times 1\text{ブロック} + 0.7\text{s} \times 1\text{ブロック} + 1.2\text{s} \times 15\text{ブロック} = 20.1 \text{ [s]}$$

[4] トータルフラッシュ書き込み時間(1024KB全領域)

UARTで57600bps通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短いため、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$[1] + [3] = 220.3 \text{ [s]}$$

なお、シリアル通信高速化または他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$[2] + [3] = 33.3 \text{ [s]}$$

(2) M32195F4

[1] SIOによる転送時間(転送データ容量: 512KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 512\text{KB} = 100.1 \text{ [s]}$$

[2] フラッシュ書き込み時間

4KBブロック以外

$$(512\text{KB} - 4\text{KB} \times 2)/8\text{バイト} \times 100\mu\text{s} = 6.5 \text{ [s]}$$

4KBブロック

$$4\text{KB} \times 2/8\text{バイト} \times 200\mu\text{s} = 0.2 \text{ [s]}$$

合計 6.7 [s]

[3] イレーズ時間(全領域)

$$0.3\text{s} \times 3\text{ブロック} + 0.5\text{s} \times 1\text{ブロック} + 0.7\text{s} \times 1\text{ブロック} + 1.2\text{s} \times 7\text{ブロック} = 10.5 \text{ [s]}$$

[4] トータルフラッシュ書き込み時間(512KB全領域)

UARTで57600bps通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短いため、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$[1] + [3] = 110.6 \text{ [s]}$$

なお、シリアル通信高速化または他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$[2] + [3] = 17.2 \text{ [s]}$$

6.7 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を8Kバイトごとに区切った領域(Lバンク)に、内蔵RAMの8Kバイト単位のブロック(32192の場合、最大16ブロック。32195の場合、最大4ブロック。32196の場合、最大8ブロック。)をマッピングする機能を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

これは、疑似フラッシュLバンクレジスタで指定したアドレスの内蔵フラッシュメモリ内容を、内蔵RAMの8Kバイト単位のブロックに配置したデータに切り換え、内蔵フラッシュメモリの内容をリードすると該当する内蔵RAMのデータが読み出される機能です。

この機能を使用することにより、動作中に内蔵フラッシュメモリ内容の変更(データテーブルなど)を必要とするアプリケーションであっても、該当する内蔵RAMデータを変更することにより、ダイナミックなデータ変更が可能となります。

疑似フラッシュエミュレーションに割り当てられた内蔵RAMは、通常の内蔵RAMと同様にリード、ライトできます。

この機能と内蔵リアルタイムデバッグ(RTD)などを組み合わせて使用することで、内蔵フラッシュメモリ上に設けたデータテーブルなどを外部から参照したり、書き換えることができ、外部からデータテーブルのチューニングなどが容易に行えます。

注．．内蔵フラッシュメモリに対する書き込み/消去操作を行う場合は、必ずこの疑似フラッシュエミュレーションモードを終了してください。

H'0080 4000	疑似フラッシュ エミュレーション機能では 使用不可 48Kバイト
H'0080 FFFF	
H'0081 0000	RAMバンクLブロック0 (FELBANK0) 8Kバイト
H'0081 1FFF	
H'0081 2000	RAMバンクLブロック1 (FELBANK1) 8Kバイト
H'0081 3FFF	
H'0081 4000	RAMバンクLブロック2 (FELBANK2) 8Kバイト
H'0081 5FFF	
H'0081 6000	RAMバンクLブロック3 (FELBANK3) 8Kバイト
H'0081 7FFF	
H'0081 8000	RAMバンクLブロック4 (FELBANK4) 8Kバイト
H'0081 9FFF	
H'0081 A000	RAMバンクLブロック5 (FELBANK5) 8Kバイト
H'0081 BFFF	
H'0081 C000	RAMバンクLブロック6 (FELBANK6) 8Kバイト
H'0081 DFFF	
H'0081 E000	RAMバンクLブロック7 (FELBANK7) 8Kバイト
H'0081 FFFF	
H'0082 0000	RAMバンクLブロック8 (FELBANK8) 8Kバイト
H'0082 1FFF	
H'0082 2000	RAMバンクLブロック9 (FELBANK9) 8Kバイト
H'0082 3FFF	
H'0082 4000	RAMバンクLブロック10 (FELBANK10) 8Kバイト
H'0082 5FFF	
H'0082 6000	RAMバンクLブロック11 (FELBANK11) 8Kバイト
H'0082 7FFF	
H'0082 8000	RAMバンクLブロック12 (FELBANK12) 8Kバイト
H'0082 9FFF	
H'0082 A000	RAMバンクLブロック13 (FELBANK13) 8Kバイト
H'0082 BFFF	
H'0082 C000	RAMバンクLブロック14 (FELBANK14) 8Kバイト
H'0082 DFFF	
H'0082 E000	RAMバンクLブロック15 (FELBANK15) 8Kバイト
H'0082 FFFF	

図6.7.1 32192内蔵RAMのバンク構成

6

H'0080 4000	RAMバンクLブロック0 (FELBANK0) 8Kバイト
H'0080 5FFF H'0080 6000	
H'0080 7FFF	RAMバンクLブロック1 (FELBANK1) 8Kバイト
H'0080 8000	
H'0080 9FFF	RAMバンクLブロック2 (FELBANK2) 8Kバイト
H'0080 A000	
H'0080 BFFF	RAMバンクLブロック3 (FELBANK3) 8Kバイト

図6.7.2 32195内蔵RAMのバンク構成

H'0080 4000	RAMバンクLブロック0 (FELBANK0) 8Kバイト
H'0080 5FFF H'0080 6000	
H'0080 7FFF	RAMバンクLブロック1 (FELBANK1) 8Kバイト
H'0080 8000	
H'0080 9FFF	RAMバンクLブロック2 (FELBANK2) 8Kバイト
H'0080 A000	
H'0080 BFFF	RAMバンクLブロック3 (FELBANK3) 8Kバイト
H'0080 C000	
H'0080 DFFF	RAMバンクLブロック4 (FELBANK4) 8Kバイト
H'0080 E000	
H'0080 FFFF	RAMバンクLブロック5 (FELBANK5) 8Kバイト
H'0081 0000	
H'0081 1FFF	RAMバンクLブロック6 (FELBANK6) 8Kバイト
H'0081 2000	
H'0081 3FFF	RAMバンクLブロック7 (FELBANK7) 8Kバイト

図6.7.3 32196内蔵RAMのバンク構成

6.7.1 疑似フラッシュエミュレーション領域

疑似フラッシュエミュレーション機能が有効な領域を図6.7.1、図6.7.2、図6.7.3に示します。

疑似フラッシュLバンクレジスタ(M32192F8:FELBANK0～FELBANK15、M32195F4:FELBANK0～FELBANK3、M32196F8:FELBANK0～FELBANK7)によって、フラッシュメモリの8Kバイトごとに区切られた全てのLバンクから、1つのLバンク領域を選択(該当Lバンクの先頭アドレスのうちA11～A18の8ビットを疑似フラッシュLバンクレジスタのLBANKADビットに設定)し、疑似フラッシュLバンクレジスタのMODENL(疑似フラッシュエミュレーションLイネーブル)ビットに"1"を設定することで、選択したLバンク領域を内蔵RAMの8Kバイト単位のブロック(M32192F8:最大16ブロック、M32195F4:最大4ブロック、M32196F8:最大8ブロック)で置き換えることができます。

注・複数の疑似フラッシュLバンクレジスタに同じバンク領域を設定し、疑似フラッシュエミュレーションイネーブルビットをイネーブルにしてアクセスすると、データが破壊されます。同じバンク領域を設定しないでください。

- ・疑似フラッシュエミュレーションモード時、内蔵RAM領域と疑似フラッシュ設定領域から内蔵RAMのリードライトが可能です。
- ・フラッシュ制御レジスタ1の疑似フラッシュエミュレーションモードビットに"1"設定後、疑似フラッシュ設定領域のリードを行う場合、疑似フラッシュエミュレーションモードビットが"1"になったことを一度読み出し確認してから、疑似フラッシュリードを行ってください。
- ・疑似フラッシュLバンクレジスタの疑似フラッシュエミュレーションLイネーブルビット、Lバンクアドレスビットに設定後、疑似フラッシュ設定領域のリードを行う場合は、疑似フラッシュエミュレーションLイネーブルビットおよびLバンクアドレスビットが設定値になったことを一度読み出し確認してから、疑似フラッシュリードを行ってください。

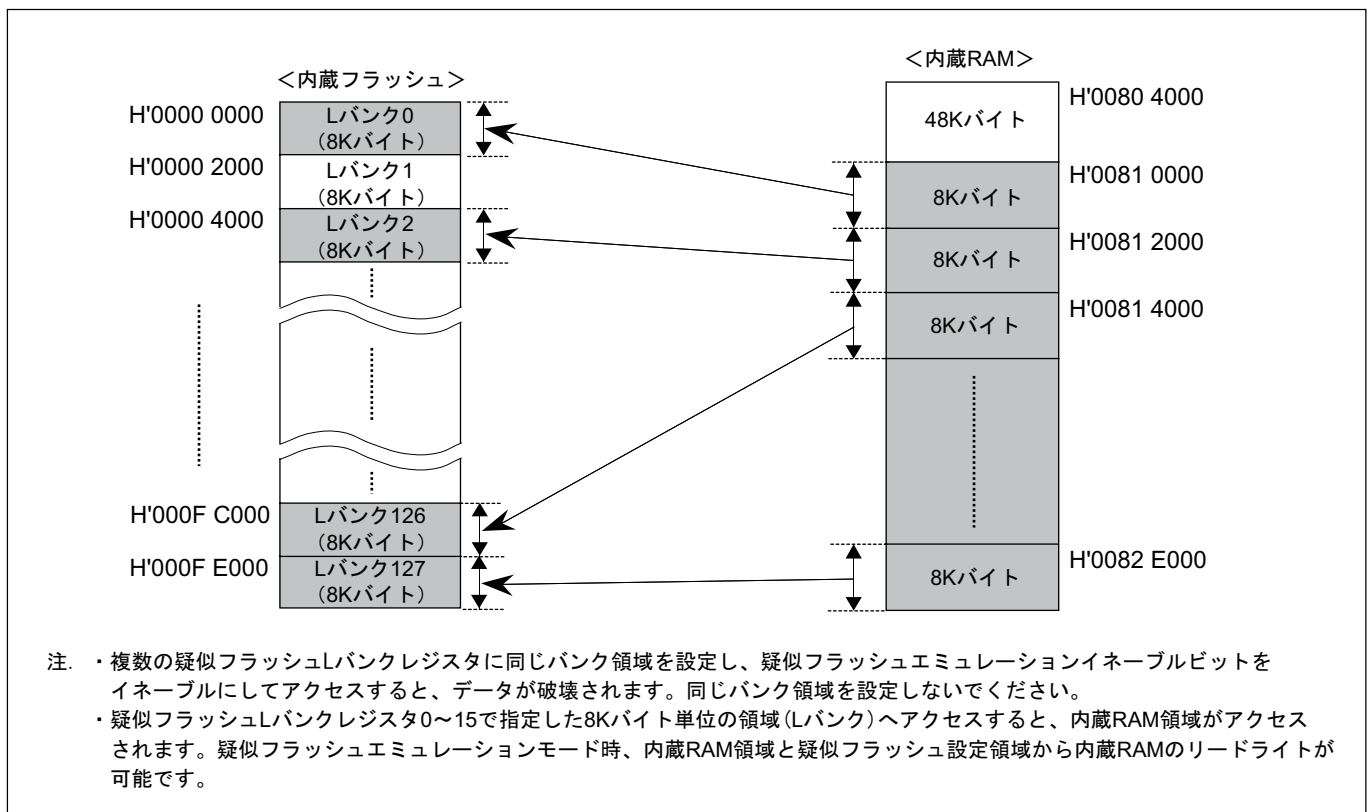


図6.7.4 M32192F8の8Kバイト単位分割の疑似フラッシュエミュレーション領域

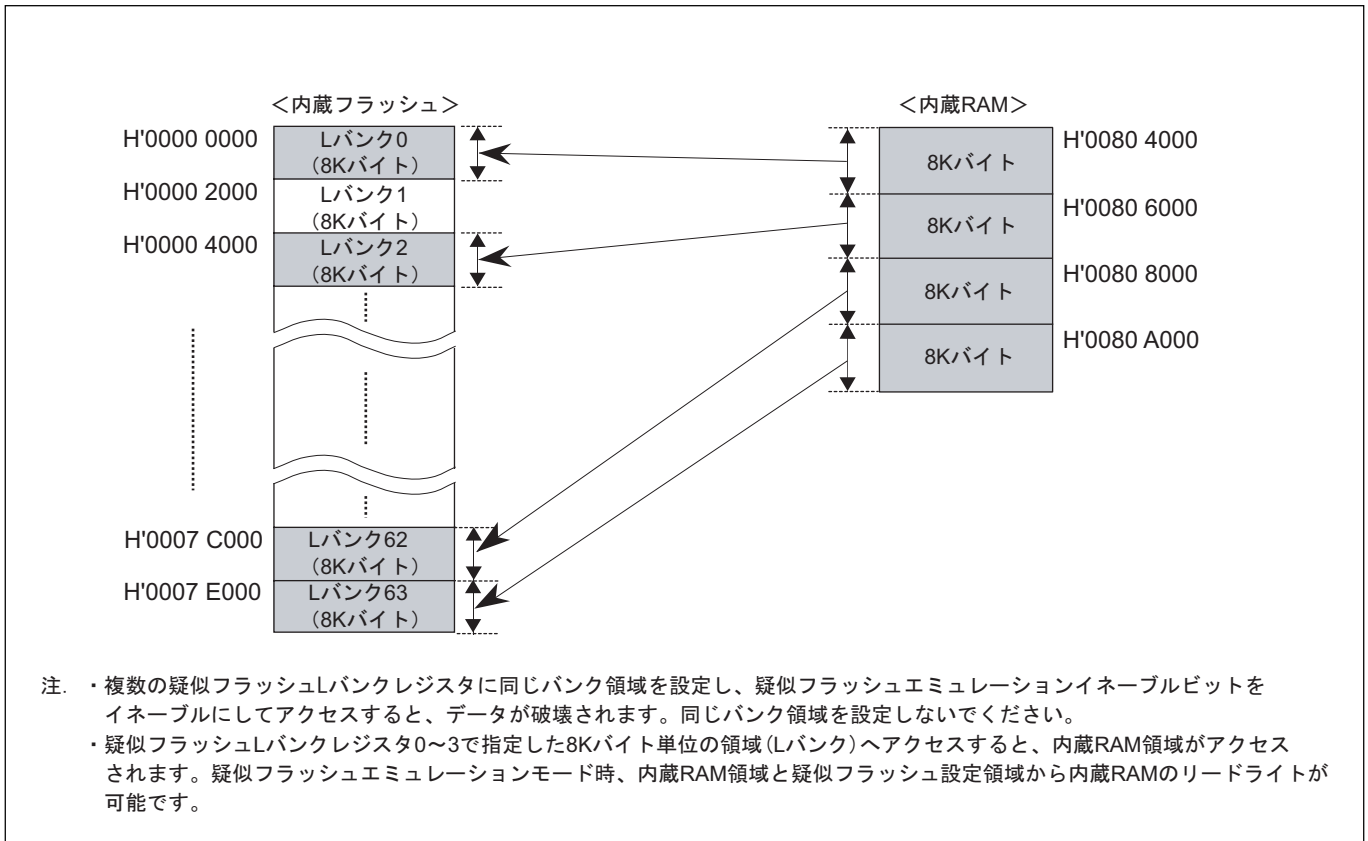


図6.7.5 M32195F4の8Kバイト単位分割の疑似フラッシュエミュレーション領域

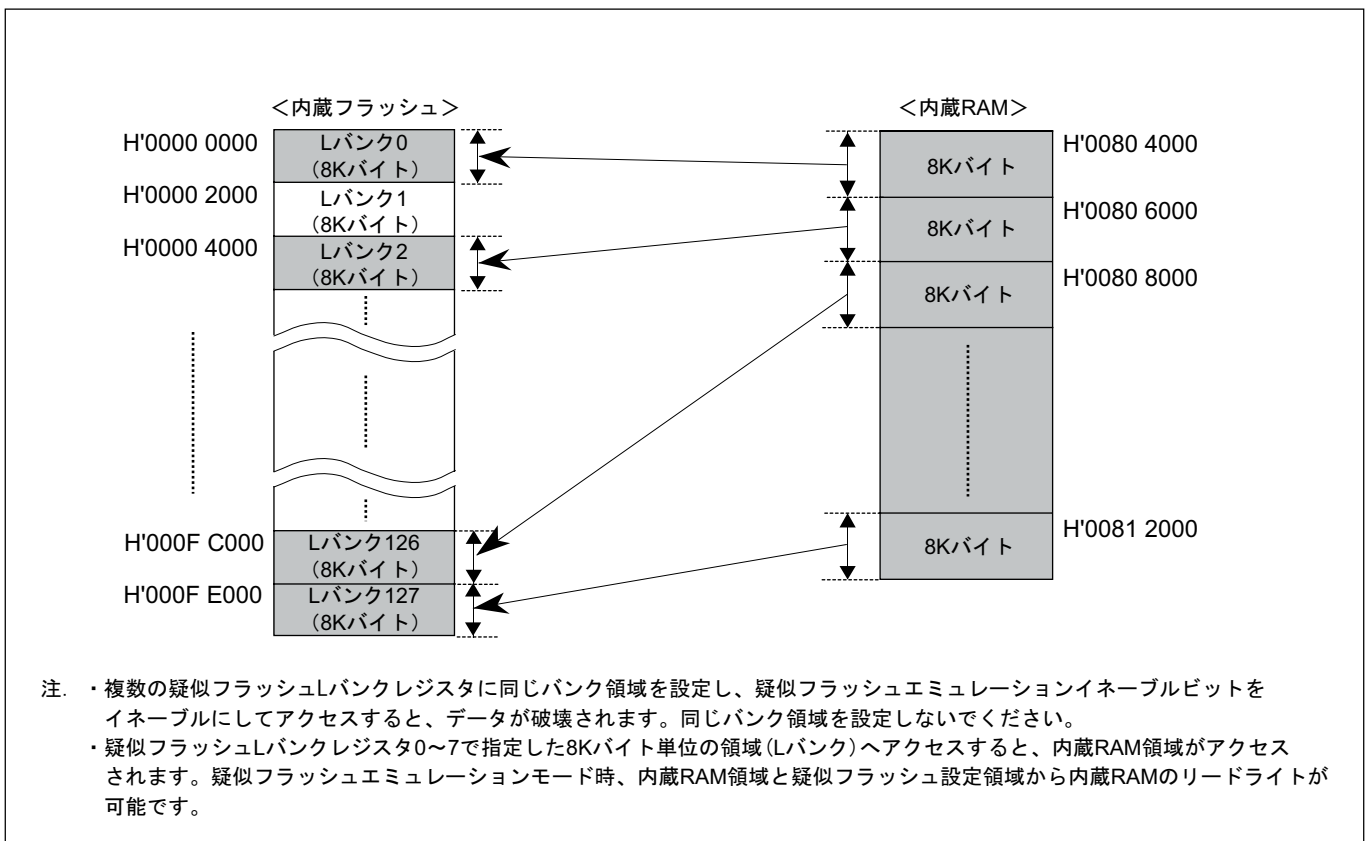


図6.7.6 M32196F8の8Kバイト単位分割の疑似フラッシュエミュレーション領域

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBANKAD) ビット設定値
Lバンク0	H'0000 0000 (注1)	H'000
Lバンク1	H'0000 2000 (注1)	H'002
Lバンク2	H'0000 4000 (注1)	H'004
⋮		
Lバンク126	H'000F C000 (注1)	H'0FC
Lバンク127	H'000F E000 (注1)	H'0FE

注1. フラッシュメモリを8Kバイトごとに区切った各Lバンクの先頭アドレス (32ビット) のA11~A18 (8ビット) を疑似フラッシュLバンクレジスタのLバンクアドレス (LBANKAD) ビットに設定する。

注. ・M32192F8およびM32196F8の内蔵フラッシュメモリは1M(1024K)バイトのため、b7(A11)には必ず"0"を設定してください。

図6.7.7 8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値(32192/32196の場合)

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBANKAD) ビット設定値
Lバンク0	H'0000 0000 (注1)	H'000
Lバンク1	H'0000 2000 (注1)	H'002
Lバンク2	H'0000 4000 (注1)	H'004
⋮		
Lバンク62	H'0007 C000 (注1)	H'07C
Lバンク63	H'0007 E000 (注1)	H'07E

注1. フラッシュメモリを8Kバイトごとに区切った各Lバンクの先頭アドレス (32ビット) のA11~A18 (8ビット) を疑似フラッシュLバンクレジスタのLバンクアドレス (LBANKAD) ビットに設定する。

注. ・M32195F4の内蔵フラッシュメモリは512Kバイトのため、b7(A11)、b8(A12)には必ず"0"を設定してください。

図6.7.8 8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値(32195の場合)

6.7.2 疑似フラッシュエミュレーションモードへの移行

疑似フラッシュエミュレーションモードに移行するには、フラッシュ制御レジスタ1(FCNT1)のFEMMODビットに"1"を書き込みます。疑似フラッシュエミュレーションモードに移行後、疑似フラッシュLバンクレジスタのMODENLビットに"1"を書き込むことで疑似フラッシュエミュレーション機能が有効になります。

疑似フラッシュエミュレーションモード時も、内蔵RAM領域(M32192F8:H'0080 4000 ~ H'0082 FFFF、M32195F4:H'0080 4000 ~ H'0080 BFFF、M32196F8:H'0080 4000 ~ H'0081 3FFF)は内蔵RAMとしてアクセス可能です。

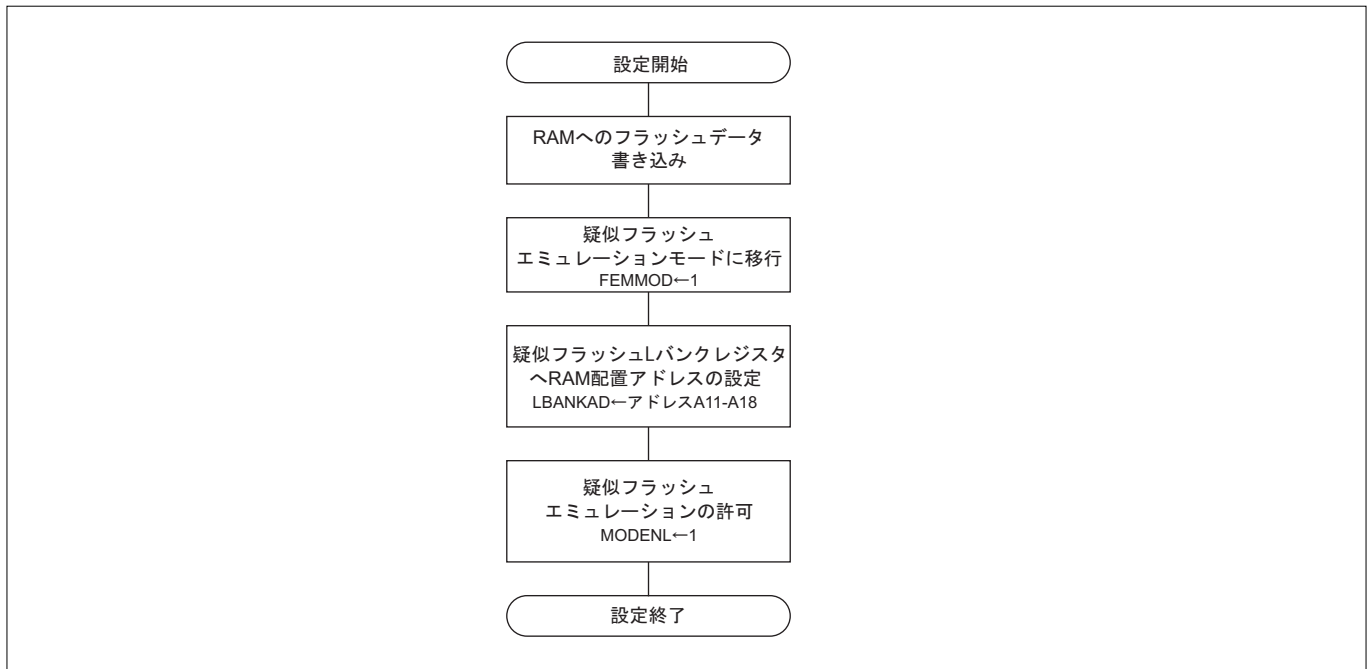


図6.7.9 疑似フラッシュエミュレーションモードシーケンス

6.8 シリアルプログラマとの接続(CSIOモード)

ブートモード+フラッシュE/Wイネーブルモードで汎用シリアルプログラマを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルプログラマへ対応した端子処理が必要です。

表6.8.1 シリアルプログラマ使用時の端子処理(CSIOモード)

端子名	端子番号	機能	備考
SCLKI1	71	転送クロック入力	プルアップ
RXD1	70	シリアルデータ入力(受信データ)	プルアップ
TXD1	69	シリアルデータ出力(送信データ)	
P84	68	送受信許可出力	プルアップ
FP	94	フラッシュメモリのプロテクト	プルアップ
MOD0	92	動作モード0	主電源に接続
MOD1	93	動作モード1	グラウンドに接続
MOD2	123	動作モード2	グラウンドに接続
RESET#	91	リセット	MOD0/MOD1を設定後、 グラウンド→主電源
XIN	4	クロック入力	
XOUT	5	クロック出力	
SBI#	77	システムブレーク割り込み(SBI)入力	プルアップまたはプルダウン
VREF0	42	A/Dコンバータの基準電圧入力	主電源に接続
AVCC0	43	アナログ電源	主電源に接続
AVSS0	60	アナロググラウンド	グラウンドに接続
VDDE	108	RAMバックアップ電源	主電源に接続
VCCER	65	内部電圧発生回路電源	5V±10%または3.3V±10%
VCCE	95, 132	主電源	5V±10%または3.3V±10%
EXCVCC	61, 137	内部電源用外付け容量接続	コンデンサを介してグラウンド
EXCVDD	73	RAM電源用外付け容量接続	コンデンサを介してグラウンド
VCC-BUS	6, 20	外部バス用電源	ターゲットシステムに依存
VSS	3, 21, 62, 72, 96, 138	グラウンド	0V
JTRST	111	JTAGリセット入力	プルダウン (0~100kΩ)

注. ・上記以外の端子については、端子処理不要です。

シリアルプログラマ接続時の、ユーザシステム構成例を以下に示します。シリアルプログラマは、ユーザシステムへ電源投入後、クロック同期形シリアル(CSIOモード)を使用し内蔵フラッシュメモリへの書き込みを行います。発振周波数に依存する通信上の問題が発生することはありません。シリアルプログラマに接続する端子をシステムで使用する場合は、シリアルプログラマ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084 ~ H'0000 008F間は内蔵フラッシュメモリのプロテクト用のID照合領域としてシリアルプログラマで使用します。内蔵フラッシュメモリのプロテクトが必要な場合は、任意のIDを設定してください。

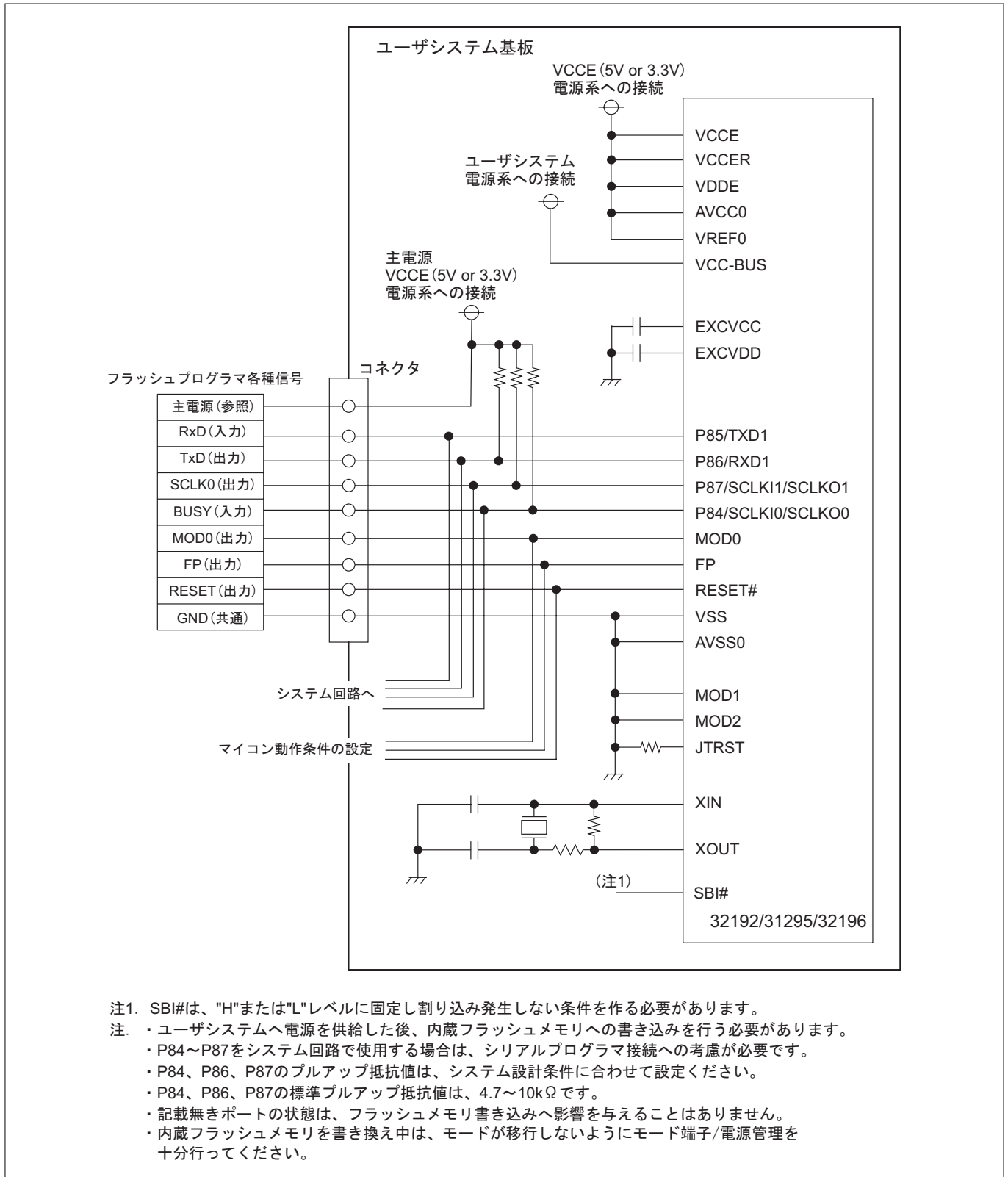


図6.8.1 端子接続図(CSIOモード)

6

6.9 シリアルプログラマとの接続(UARTモード)

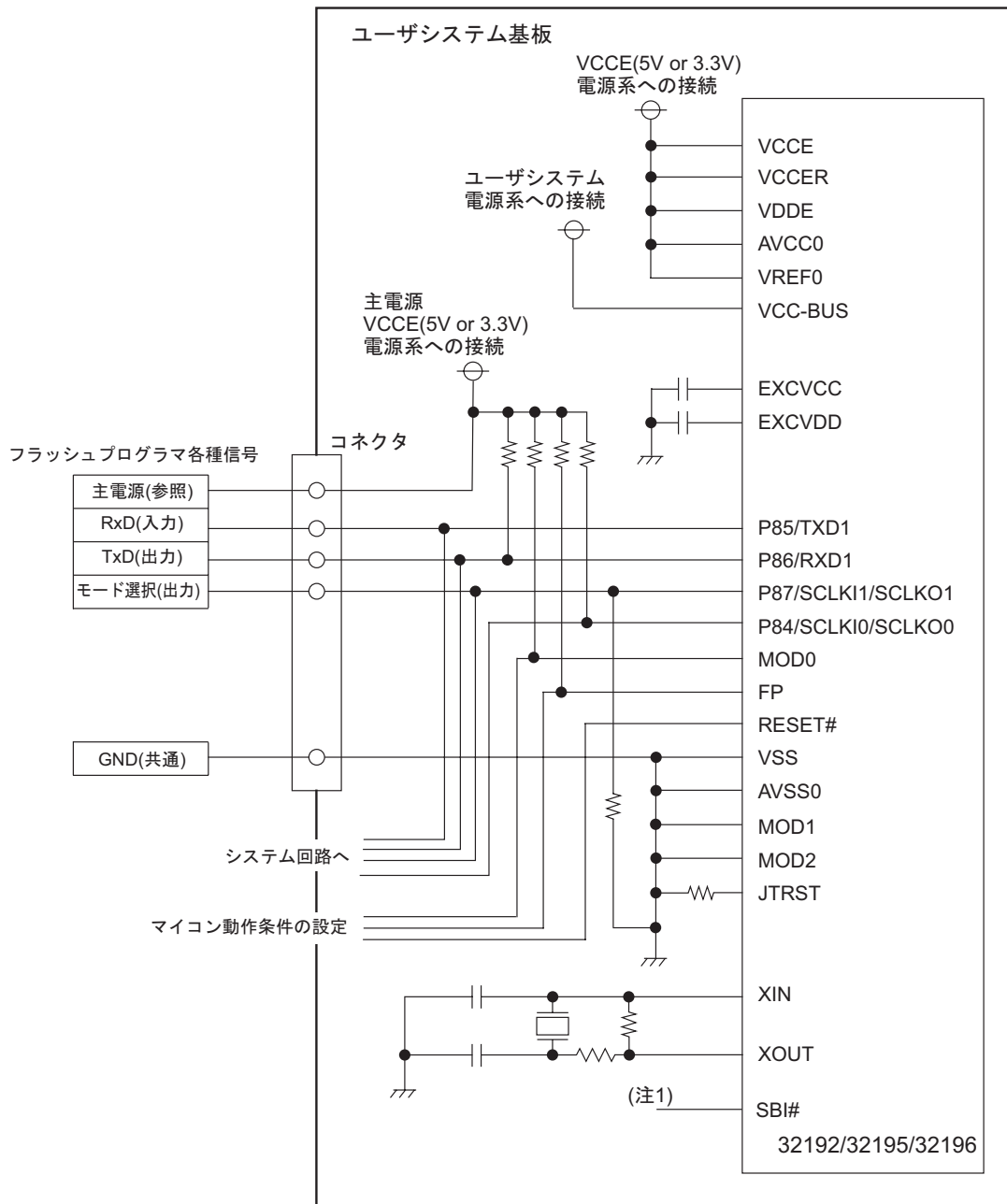
ブートモード+フラッシュE/Wイネーブルモードで汎用シリアルプログラマを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルプログラマへ対応した端子処理が必要です。

表6.9.1 シリアルプログラマ使用時の端子処理(UARTモード)

端子名	端子番号	機能	備考
SCLKI1	71	SIOモード選択	プルダウン("L"レベル入力)
RXD1	70	シリアルデータ入力(受信データ)	プルアップ
TXD1	69	シリアルデータ出力(送信データ)	
P84	68	汎用ポート入力	UARTモード時、未使用 プルアップまたはプルダウン
FP	94	フラッシュメモリのプロテクト	プルアップ
MOD0	92	動作モード0	主電源に接続
MOD1	93	動作モード1	グラウンドに接続
MOD2	123	動作モード2	グラウンドに接続
RESET#	91	リセット	
XIN	4	クロック入力	
XOUT	5	クロック出力	
SBI#	77	システムブレーク割り込み(SBI)入力	プルアップまたはプルダウン
VREF0	42	A/Dコンバータの基準電圧入力	主電源に接続
AVCC0	43	アナログ電源	主電源に接続
AVSS0	60	アナロググラウンド	グラウンドに接続
VDDE	108	RAMバックアップ電源	主電源に接続
VCCER	65	内部電圧発生回路電源	5V±10%または3.3V±10%
VCCE	95, 132	主電源	5V±10%または3.3V±10%
EXCVCC	61, 137	内部電源用外付け容量接続	コンデンサを介してグラウンド
EXCVDD	73	RAM電源用外付け容量接続	コンデンサを介してグラウンド
VCC-BUS	6, 20	外部バス用電源	ターゲットシステムに依存
VSS	3, 21, 62, 72, 96, 138	グラウンド	0V
JTRST	111	JTAGリセット入力	プルダウン (0~100kΩ)

注. ・上記以外の端子については、端子処理不要です。

シリアルプログラマ接続時の、ユーザシステム構成例を以下に示します。シリアルプログラマは、ユーザシステムへ電源投入後、クロック非同期形シリアル(UARTモード)を使用し内蔵フラッシュメモリへの書き込みを行います。発振周波数に依存する通信上の問題が発生することはありません。シリアルプログラマに接続する端子をシステムで使用する場合は、シリアルプログラマ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084 ~ H'0000 008F間は内蔵フラッシュメモリのプロテクト用のID照合領域としてシリアルプログラマで使用します。内蔵フラッシュメモリのプロテクトが必要な場合は、任意のIDを設定してください。



- 注1. SBI#は、“H”または“L”レベルに固定し割り込み発生しない条件を作る必要があります。
- 注. ユーザシステムへ電源を供給した後、内蔵フラッシュメモリへの書き込みを行う必要があります。
- ・ P84~P87をシステム回路で使用する場合は、シリアルプログラマ接続への考慮が必要です。
 - ・ P84、P86、P87、FP、MOD0のプルアップ/プルダウン抵抗値は、システム設計条件に合わせて設定ください。
 - ・ P84、P86、P87、FP、MOD0の標準プルアップ/プルダウン抵抗値は、4.7~10kΩです。
 - ・ 記載無きポートの状態は、フラッシュメモリ書き込みへ影響を与えることはありません。
 - ・ 内蔵フラッシュメモリを書き換え中は、モードが移行しないようにモード端子/電源管理を十分行ってください。

図6.9.1 端子接続図(UARTモード)

6.10 内蔵フラッシュメモリのプロテクト機能

内蔵フラッシュメモリは、誤作動による書き換え、不正なコピーや書き込み/消去を防ぐ、以下の4つのプロテクト機能を備えています。

(1)フラッシュメモリプロテクトID

汎用シリアルプログラマ、エミュレータ等の内蔵フラッシュメモリを書き込む/消去するツール使用時は、ツールで入力したIDと、内蔵フラッシュメモリ内のIDと照合を行います。正しいIDを入力しないと内蔵フラッシュメモリの読み出し/書き込み/消去を実行できません(一部ツールでは、全領域消去した後に、ツール動作が実行可能になり、内蔵フラッシュメモリの書き込みも可能になります)。

(2)FP端子によるプロテクト

FP(フラッシュプロテクト)端子を"L"レベルにすると、内蔵フラッシュメモリに対する書き込み/消去がハードウェア的にプロテクトされます。フラッシュ書き換えを必要としないシステム、また車載用途等、書き換えを禁止するシステムでは、内蔵フラッシュメモリの書き込み/消去時以外はFP端子を"L"レベルに固定してください。また、フラッシュ書き込み/消去プログラムでは、フラッシュモードレジスタ(FMOD)内のFPMOD(外部FP端子ステータス)ビットを読み出すことによって、FP端子のレベルが判別できるため、ソフトウェア的にプロテクトすることもできます。外部端子設定によるプロテクトを要求されないシステムでは、FP端子を常に"H"レベルに設定することにより、内蔵フラッシュメモリ書き込み/消去時の操作を簡略化することができます。ただし、ソフト操作ミスによる不用意な書き換えを防ぐため、下記(4)のロックビットによるプロテクトを使用してください。

ただし、JTAG経由で書き込み/消去時には、FP端子の制御をチップ内部で行ないますので端子状態に関係なくフラッシュメモリの書き込み/消去が可能です。

(3)FENTRYビットによるプロテクト

フラッシュ制御レジスタ1(FCNT1)内のFENTRY(フラッシュモードエントリ)ビットを"1"に設定しないとフラッシュE/Wイネーブルモードに移行しません。また、FENTRYビットを"1"に設定するには、FP端子が"H"レベルの状態、連続して"0" "1"を書き込む必要があります。

(4)ロックビットによるプロテクト

内蔵フラッシュメモリのブロック単位に存在するロックビットを"0"にセットし、プロテクト状態にすると、該当するメモリブロックの書き込み/消去が禁止されます。

6.11 内蔵RAMの注意事項

内蔵RAMの注意事項を以下に示します。

- ・ DRI、RTDから内蔵RAMへのデータ書き込みは、M32R-FPUとは別に用意された専用バスを使用するため、通常、他のバスマスタ(CPU、DMA、NBD、SDI)からのアクセスとの競合は発生しません。ただし、内蔵RAMの16Kbyte単位の領域に対して、DRI、RTD転送と他のバスマスタからのアクセス(読み出し/書き込み)が同時または、重なった場合は、アクセス競合が発生します。アクセス競合が発生した場合、次の優先順位に従って調停が行われます。

NBD/SDI > DMA > CPU > DRI > RTD

- ・ ブートモードで起動した場合、「フラッシュ書き込み/消去プログラム」が内蔵RAMへ転送されるため、ブートモード軌道後の内蔵RAM値は不定となります。

6.12 内蔵フラッシュメモリの注意事項

内蔵フラッシュメモリ書き込み/消去時の注意事項を以下に示します。

- ・ 内蔵フラッシュメモリ書き込み/消去時は、内部で高電圧が生成されています。書き込み/消去中のモード移行はチップ破壊の原因となり得ますので、モード移行がないように、モード端子、リセット端子、電源管理を十分に行ってください。
- ・ 汎用書き込み/消去ツールで使用する端子をシステムで使用する場合、ツール接続時に影響がでないよう考慮が必要です。
- ・ 汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが必要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域(H'0000 0084 ~ H'0000 008F)に任意のIDを設定してください。
- ・ 汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが不要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域(H'0000 0084 ~ H'0000 008F)すべてにH'FFを設定してください。
- ・ フラッシュステータスレジスタ(FSTAT)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ(FSTAT)のFBUSYビットが"1"(レディ状態)であることを確認後実施ください。
- ・ フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ(FSTAT)のFBUSYビットが"1"(レディ状態)であることを確認後実施ください。
- ・ フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"でフラッシュステータスレジスタ(FSTAT)のFBUSYビットが"0"(書き込み、または消去中)の場合、FENTRYビットのクリアは行わないでください。
- ・ JTAG経由で書き込み/消去時には、FP端子の制御をチップ内部で行いますので端子状態に関係なくフラッシュメモリの書き込み/消去できます。

レイアウトの都合上、このページは白紙です。

第7章

リセット

- 7.1 リセット概要
- 7.2 リセット動作
- 7.3 リセット解除時の内部状態
- 7.4 リセット解除時の注意事項

7.1 リセット概要

RESET#端子に"L"レベル信号を入力するとリセット状態に入ります。その後、RESET#端子を"H"にするとリセット状態が解除され、PC(プログラムカウンタ)にリセットベクタエントリの番地がセットされ、以後リセットベクタエントリから実行を開始します。

7.2 リセット動作

RESET#端子に300ns以上の"L"レベルが入力されると、リセットが受け付けられます。リセットが受け付けられると、内蔵回路(CPU含む)がリセットされます(リセット時の端子状態については、「表1.4.1 M32192F8xFP、M32195F4xFP、M32196F8xFPの端子配列表」、「表1.4.2 M32192F8xWGの端子配列表」を参照してください)。

RESET#入力が"H"レベルになると、(2333~2334BCLK)後に内蔵回路のリセットが解除されます。

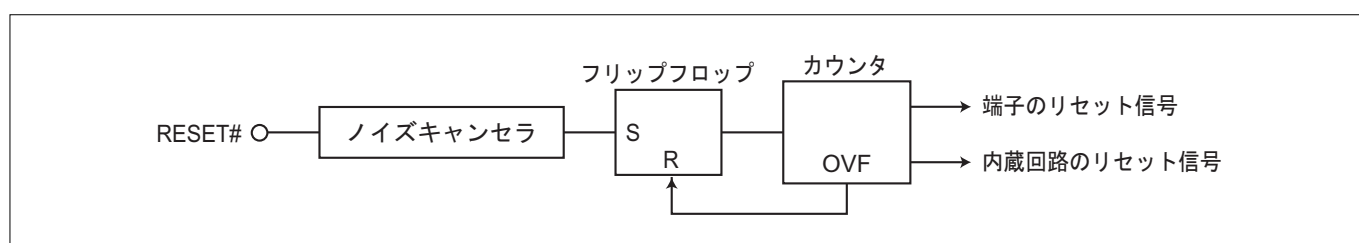


図7.2.1 リセット回路

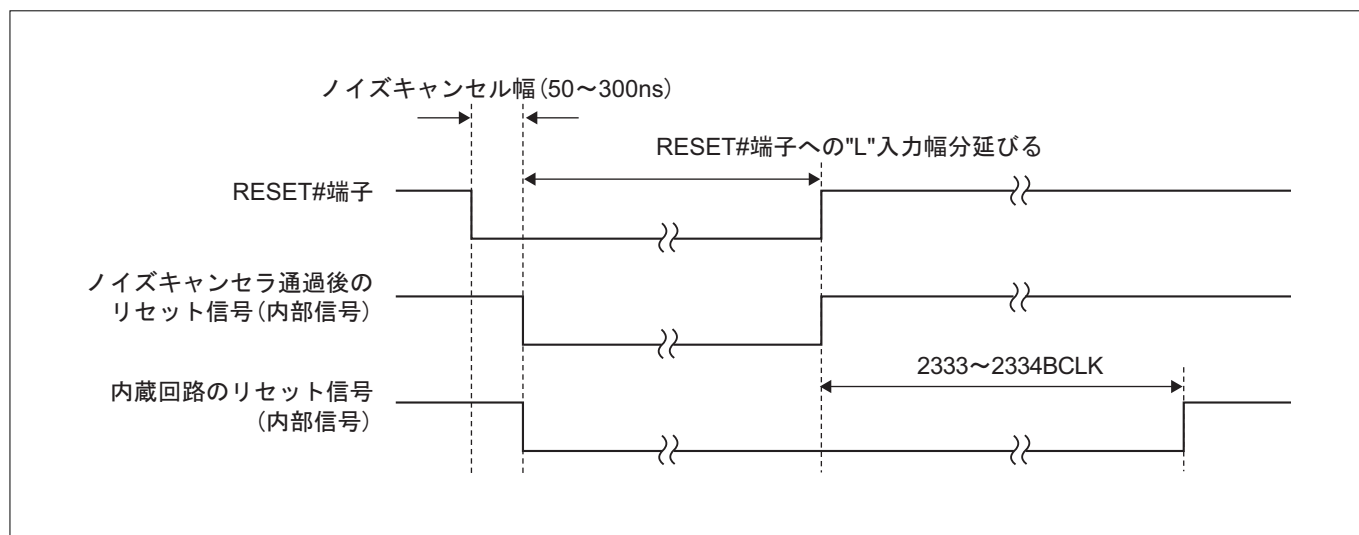


図7.2.2 リセットシーケンス

7.2.1 電源投入時のリセット

電源投入時は、電源が規格内に入り、かつ内蔵する8逓倍のクロックジェネレータの発振が安定するまで、RESET#端子に"L"レベル信号を入力してください。詳細については、「22.2 電源立ち上げシーケンス」を参照してください。

7.2.2 動作中のリセット

動作中のリセットは、300ns以上の幅でRESET#端子に"L"レベル信号を入力してください。

7.2.3 フラッシュ書き込み時のリセットベクタ移動

ブートモードに移行してリセットを解除すると、リセットベクタエントリアドレスがブートプログラムの実行開始番地へ移動して、ブートプログラムの実行を開始します。詳細については、「6.6 内蔵フラッシュメモリの書き込み」を参照してください。

7.3 リセット解除時の内部状態

以下にリセット解除時の内部状態を示します。各内蔵周辺I/Oのレジスタ初期状態については、それぞれの内蔵周辺I/Oの章を参照してください。

表7.3.1 リセット解除時の内部状態

レジスタ	リセット解除時の状態
PSW (CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM、BIE、BCビット = 不定)
CBR (CR1)	H'0000 0000 (Cビット = 0)
SPI (CR2)	不定
SPU (CR3)	不定
BPC (CR6)	不定
FPSR (CR7)	H'0000 0100 (DNビットのみ1)
PC	H'0000 0000 (H'0000 0000番地から実行) (注1)
R0 ~ R15	不定
ACC(アキュムレ - タ)	不定
RAM	パワーオンリセット時、不定 (ただし、RAMバックアップモードの状態から復帰し、リセット解除した場合は、リセット前の内容を保持しています。)

注1. ブートモード時は、ブートプログラムを実行します。

7.4 リセット解除時の注意事項

- 入出力ポート

リセット解除時は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力特別機能制御レジスタ(PICNT)のPIEN0ビットで入力許可に設定してください。詳細については、「8.3 入出力ポート関連レジスタ」を参照してください。

入出力ポートと端子機能

- 8.1 入出力ポート概要
- 8.2 端子機能の選択
- 8.3 入出力ポート関連レジスタ
- 8.4 ポート入力レベル切り換え機能
- 8.5 ポート出力ドライブ能力設定機能
- 8.6 ノイズキャンセラ制御機能
- 8.7 ポート周辺回路
- 8.8 入出力ポートの注意事項

8.1 入出力ポート概要

P0～P13、P15、P17、およびP22(ただしP5は将来のために予約)の計97本の入出力ポートを備えています。入出力ポートは、方向レジスタにより入力ポートまたは出力ポートとして使用できます。

各入出力ポートは、他の内蔵周辺I/Oまたは外部バスインタフェース関連信号線とダブルファンクション、トリプルファンクション、または周辺I/Oの複数機能との多重ファンクション端子になっており、CPU動作モード選択、または入出力ポートの動作モードレジスタ、周辺機能選択レジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

ポート入力レベル切り換え機能、ポート出力ドライブ能力設定機能、ノイズキャンセラ制御機能などの豊富な機能を内蔵しています。

なお、ポートを入力モードで使用する場合には、ポート入力機能許可ビットの設定が必要です。

入出力ポートの概要を示します。

表8.1.1 入出力ポートの概要

項目	仕様
ポート数	合計97本
	P0 : P00～P07 (8本)
	P1 : P10～P17 (8本)
	P2 : P20～P27 (8本)
	P3 : P30～P37 (8本)
	P4 : P41～P47 (7本)
	P6 : P61～P63 (3本)
	P7 : P70～P77 (8本)
	P8 : P82～P87 (6本)
	P9 : P93～P97 (5本)
	P10 : P100～P107 (8本)
	P11 : P110～P117 (8本)
	P12 : P124～P127 (4本)
	P13 : P130～P137 (8本)
	P15 : P150, P153 (2本)
	P17 : P174, P175 (2本)
	P22 : P220, P221, P224, P225 (4本)
ポート機能	入出力ポートの方向制御レジスタにより、各ポート単位で入力ポートまたは出力ポートに設定可能(ただし、P221は入力専用ポート)
端子機能	周辺I/Oまたは外部バスインタフェース信号とのダブルファンクション(または周辺I/Oの複数機能との多重ファンクション)

注 . . P5、P14、P16、P18～P21はありません。

8.2 端子機能の選択

各入出力ポートは、他の内蔵周辺I/Oまたは外部バスインタフェース関連信号線とダブルファンクション、トリプルファンクション、または周辺I/Oの複数機能との多重ファンクション端子になっており、CPU動作モード選択、または入出力ポートの動作モードレジスタ、周辺機能選択レジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

P0～P4、P124、P125、P224、P225は、CPUの動作モードをプロセッサモードに設定した場合、すべて外部アクセスのための信号端子に切り換わります。動作モードはMOD0、MOD1端子の設定で決まります(下表参照)。

表8.2.1 CPU動作モードとP0～P4、P124、P125、P224、P225端子機能

MOD0	MOD1	動作モード	P0～P4、P124、P125、P224、P225端子機能
VSS	VSS	シングルチップモード	入出力ポート端子
VSS	VCCE	外部拡張モード	入出力ポート、または外部バスインタフェース信号端子(注1)
VCCE	VSS	プロセッサモード	外部バスインタフェース信号端子
VCCE	VCCE	(設定禁止)	-

注1 . P41～P43は外部バスインタフェース信号専用端子となります。

注 . ・ VCCE = 主電源、VSS = GNDに接続

各入出力ポートは入出力ポートの動作モードレジスタ、周辺機能選択レジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り換わります。なお、内蔵周辺I/Oが複数の端子機能を備える場合は、それぞれの内蔵周辺I/Oのレジスタで端子機能を選択してください。

なお、内蔵フラッシュメモリ書き込み時の、FP端子の操作は、端子機能には影響を与えません。

ポート動作モードレジスタの設定、ポート周辺機能選択レジスタの設定により端子機能を選択

	0	1	2	3	4	5	6	7
P0	TO21 / DD0	TO22 / DD1	TO23 / DD2	TO24 / DD3	TO25 / DD4	TO26 / DD5	TO27 / DD6	TO28 / DD7
P1	TO29 / DD8	TO30 / DD9	TO31 / DD10	TO32 / DD11	TO33 / DD12	TO34 / DD13	TO35 / DD14	TO36 / DD15
P2	DD24	DD25	DD26	DD27	DD28	DD29	DD30	DD31
P3	TIN4 / DD16	TIN5 / DD17	TIN6 / DD18	TIN7 / DD19	TIN30 / DD20	TIN31 / DD21	TIN32 / DD22	TIN33 / DD23
P4		P41 (ポート専用)	P42 (ポート専用)	P43 (ポート専用)	TIN8	TIN9	TIN10	TIN11
P5								
P6		P61 (ポート専用)	P62 (ポート専用)	P63 (ポート専用)	SBI# (注1)			
P7	CLKOUT / WR# / BCLK (注2)	WAIT#	HREQ# / TIN27	HACK# / TIN26	RTDXTD / TXD3 / NBDD0	RTDRXD / RXD3 / NBDD1	RTDACK / CTX1 / NBDD2	RTDCLK / CRX1 / NBDD3
P8	MOD0 (注1)	MOD1 (注1)	TXD0 / TO26	RXD0 / TO25	SCLK10 / SCLK00 / TO24	TXD1 / TO23	RXD1 / TO22	SCLK11 / SCLK01 / TO21
P9				TO16 / SCLK15 / SCLK05	TO17 / TXD5 / DD15	TO18 / RXD5 / DD14	TO19 / DD13	TO20 / DD12
P10	TO8	TO9 / CRX0	TO10 / CTX0	TO11 / TIN24	TO12 / TIN25 / DD3	TO13 / SCLK14 / SCLK04 / DD2	TO14 / TXD4 / DD1	TO15 / RXD4 / DD0
P11	TO0 / TO29 / DD11	TO1 / TO30 / DD10	TO2 / TO31 / DD9	TO3 / TO32 / DD8	TO4 / TO33 / DD7	TO5 / TO34 / DD6	TO6 / TO35 / DD5	TO7 / TO36 / DD4
P12					TCLK0 / DD3	TCLK1 / DD2	TCLK2 / DD1	TCLK3 / DD0
P13	TIN16 / PWMOFF0 / DIN0	TIN17 / PWMOFF1 / DIN1	TIN18 / DIN2	TIN19 / DIN3	TIN20 / TXD3 / DIN4	TIN21 / RXD3	TIN22 / CRX1	TIN23 / CTX1
P14								
P15	TIN0 / CLKOUT / WR# (注2)			TIN3 / WAIT#				
P16								
P17					TXD2 / TO28	RXD2 / TO27		
P18								
P19								
P20								
P21								
P22	CTX0 / HACK#	CRX0 / HREQ#				P224 (ポート専用)	P225 (ポート専用)	

ポート動作モードレジスタの設定、ポート周辺機能選択レジスタの設定、NBD機能選択レジスタの設定により端子機能を選択

注1. 入出力ポートの機能としては使用できません。SBI#、MOD0、MOD1端子の入力レベルを読み出せます。

注2. それぞれの機能はバスモード制御レジスタで選択します。

注. ・P5、P14、P16、P18～P21は配置されていません。

・1つの機能に対して2箇所に端子が存在する機能があります。詳細については表8.2.2を参照してください。

図8.2.1 シングルチップモード時の入出力ポートと端子機能の割り当て

		0	1	2	3	4	5	6	7
ポート動作モードレジスタの設定、ポート周辺機能選択レジスタの設定により端子機能を選択	P0	DB0 / TO21 / DD0	DB1 / TO22 / DD1	DB2 / TO23 / DD2	DB3 / TO24 / DD3	DB4 / TO25 / DD4	DB5 / TO26 / DD5	DB6 / TO27 / DD6	DB7 / TO28 / DD7
	P1	DB8 / TO29 / DD8	DB9 / TO30 / DD9	DB10 / TO31 / DD10	DB11 / TO32 / DD11	DB12 / TO33 / DD12	DB13 / TO34 / DD13	DB14 / TO35 / DD14	DB15 / TO36 / DD15
	P2	A23 / DD24	A24 / DD25	A25 / DD26	A26 / DD27	A27 / DD28	A28 / DD29	A29 / DD30	A30 / DD31
	P3	A15 / TIN4 / DD16	A16 / TIN5 / DD17	A17 / TIN6 / DD18	A18 / TIN7 / DD19	A19 / TIN30 / DD20	A20 / TIN31 / DD21	A21 / TIN32 / DD22	A22 / TIN33 / DD23
	P4		BLW# / BLE# (注1、注3)	BHW# / BHE# (注1、注3)	RD# (注1)	CS0# / TIN8	CS1# / TIN9	A13 / TIN10	A14 / TIN11
	P5								
	P6		P61 (ポート専用)	P62 (ポート専用)	P63 (ポート専用)	SBI# (注2)			
	P7	CLKOUT / WR# / BCLK (注3)	WAIT#	HREQ# / TIN27	HACK# / TIN26	RTD TXD / TXD3 / NBDD0	RTD RXD / RXD3 / NBDD1	RTDACK / CTX1 / NBDD2	RTDCLK / CRX1 / NBDD3
	P8	MOD0 (注2)	MOD1 (注2)	TXD0 / TO26	RXD0 / TO25	SCLK10 / SCLK00 / TO24	TXD1 / TO23	RXD1 / TO22	SCLK11 / SCLK01 / TO21
	P9				TO16 / SCLK15 / SCLK05	TO17 / TXD5 / DD15	TO18 / RXD5 / DD14	TO19 / DD13	TO20 / DD12
	P10	TO8	TO9 / CRX0	TO10 / CTX0	TO11 / TIN24	TO12 / TIN25 / DD3	TO13 / SCLK14 / SCLK04 / DD2	TO14 / TXD4 / DD1	TO15 / RXD4 / DD0
	P11	TO0 / TO29 / DD11	TO1 / TO30 / DD10	TO2 / TO31 / DD9	TO3 / TO32 / DD8	TO4 / TO33 / DD7	TO5 / TO34 / DD6	TO6 / TO35 / DD5	TO7 / TO36 / DD4
	P12					TCLK0 / A9 / DD3	TCLK1 / A10 / DD2	TCLK2 / CS2# / DD1	TCLK3 / CS3# / DD0
P13	TIN16 / PWMOFF0 / DIN0	TIN17 / PWMOFF1 / DIN1	TIN18 / DIN2	TIN19 / DIN3	TIN20 / TXD3 / DIN4	TIN21 / RXD3	TIN22 / CRX1	TIN23 / CTX1	
P14									
P15	TIN0 / CLKOUT / WR# (注3)			TIN3 / WAIT#					
P16									
P17					TXD2 / TO28	RXD2 / TO27			
P18									
P19									
P20									
P21									
P22	CTX0 / HACK#	CRX0 / HREQ#				A11 / CS2#	A12 / CS3#		

ポート動作モードレジスタの設定、ポート周辺機能選択レジスタの設定、NBD機能選択レジスタの設定により端子機能を選択

注1. 入出力ポートの機能としては使用できません。外部バスインタフェース関連信号となります。

注2. 入出力ポートの機能としては使用できません。SBI#、MOD0、MOD1端子の入力レベルを読み出せます。

注3. それぞれの機能はバスモード制御レジスタで選択します。

注. ・P5、P14、P16、P18～P21は配置されていません。

・1つの機能に対して2箇所に端子が存在する機能があります。詳細については表8.2.2を参照してください。

図8.2.2 外部拡張モード時の入出力ポートと端子機能の割り当て

		0	1	2	3	4	5	6	7
(注1)	P0	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
	P1	DB8	DB9	DB10	DB11	DB12	DB13	DB14	DB15
	P2	A23	A24	A25	A26	A27	A28	A29	A30
	P3	A15	A16	A17	A18	A19	A20	A21	A22
	P4		BLW# / BLE# (注3)	BHW# / BHE# (注3)	RD#	CS0#	CS1#	A13	A14
P5									
	P6		P61 (ポート専用)	P62 (ポート専用)	P63 (ポート専用)	SBI# (注2)			
	P7	CLKOUT / WR# / BCLK (注3)	WAIT#	HREQ# / TIN27	HACK# / TIN26	RTDXTD / TXD3 / NBDD0	RTDRXD / RXD3 / NBDD1	RTDACK / CTX1 / NBDD2	RTDCLK / CRX1 / NBDD3
	P8	MOD0 (注2)	MOD1 (注2)	TXD0 / TO26	RXD0 / TO25	SCLK10 / SCLK00 / TO24	TXD1 / TO23	RXD1 / TO22	SCLK11 / SCLK01 / TO21
	P9				TO16 / SCLK15 / SCLK05	TO17 / TXD5 / DD15	TO18 / RXD5 / DD14	TO19 / DD13	TO20 / DD12
	P10	TO8	TO9 / CRX0	TO10 / CTX0	TO11 / TIN24	TO12 / TIN25 / DD3	TO13 / SCLK14 / SCLK04 DD2	TO14 / TXD4 / DD1	TO15 / RXD4 / DD0
	P11	TO0 / TO29 / DD11	TO1 / TO30 / DD10	TO2 / TO31 / DD9	TO3 / TO32 / DD8	TO4 / TO33 / DD7	TO5 / TO34 / DD6	TO6 / TO35 / DD5	TO7 / TO36 / DD4
	P12					A9 (注1)	A10 (注1)	TCLK2 / CS2# / DD1	TCLK3 / CS3# / DD0
	P13	TIN16 / PWMOFF0 / DIN0	TIN17 / PWMOFF1 / DIN1	TIN18 / DIN2	TIN19 / DIN3	TIN20 / TXD3 / DIN4	TIN21 / RXD3	TIN22 / CRX1	TIN23 / CTX1
	P14								
	P15	TIN0 / CLKOUT / WR# (注3)			TIN3 / WAIT#				
	P16								
	P17					TXD2 / TO28	RXD2 / TO27		
	P18								
	P19								
	P20								
	P21								
	P22	CTX0 / HACK#	CRX0 / HREQ#				A11/CS2# (注1)	A12/CS3# (注1)	

ポート動作モードレジスタの設定、ポート周辺機能選択レジスタの設定、NBD機能選択レジスタの設定により端子機能を選択

注1. 入出力ポートの機能としては使用できません。外部バスインタフェース関連信号端子となります。
注2. 入出力ポートの機能としては使用できません。SBI#、MOD0、MOD1端子の入力レベルを読み出せます。
注3. それぞれの機能はバスモード制御レジスタで選択します。
注. ・P5、P14、P16、P18～P21は配置されていません。
・1つの機能に対して2箇所に端子が存在する機能があります。詳細については表8.2.2を参照してください。

図8.2.3 プロセッサモード時の入出力ポートと端子機能の割り当て

CPU動作モードと周辺機能選択レジスタにより、1つの周辺I/Oを2箇所の端子に割り当てることができます。

表8.2.2 2端子に入出力可能な周辺I/Oと端子割り当て(1/2)

モジュール	信号名	端子グループA	端子グループB	備考
DRI	DD0	P127/TCLK3/CS3#/DD0	P00/DB0/TO21/DD0	(注1)
		P107/TO15/RXD4/DD0		
	DD1	P126/TCLK2/CS2/DD1	P01/DB1/TO22/DD1	
		P106/TO14/TXD4/DD1		
	DD2	P125/TCLK1/A10/DD2	P02/DB2/TO23/DD2	
		P105/TO13/SCLKI4/SCLKO4/DD2		
	DD3	P124/TCLK0/A9/DD3	P03/DB3/TO24/DD3	
		P104/TO12/TIN25/DD3		
	DD4	P117/TO7/TO36/DD4	P04/DB4/TO25/DD4	
	DD5	P116/TO6/TO35/DD5	P05/DB5/TO26/DD5	
	DD6	P115/TO5/TO34/DD6	P06/DB6/TO27/DD6	
	DD7	P114/TO4/TO33/DD7	P07/DB7/TO28/DD7	
	DD8	P113/TO3/TO32/DD8	P10/DB8/TO29/DD8	
	DD9	P112/TO2/TO31/DD9	P11/DB9/TO30/DD9	
	DD10	P111/TO1/TO30/DD10	P12/DB10/TO31/DD10	
	DD11	P110/TO0/TO29/DD11	P13/DB11/TO32/DD11	
DD12	P97/TO20/DD12	P14/DB12/TO33/DD12		
DD13	P96/TO19/DD13	P15/DB13/TO34/DD13		
DD14	P95/TO18/RXD5/DD14	P16/DB14/TO35/DD14		
DD15	P94/TO17/TXD5/DD15	P17/DB15/TO36/DD15		
TOU	TO21	P87/SCLKI1/SCLKO1/TO21	P00/DB0/TO21/DD0	(注2)
	TO22	P86/RXD1/TO22	P01/DB1/TO22/DD1	
	TO23	P85/TXD1/TO23	P02/DB2/TO23/DD2	
	TO24	P84/SCLKI0/SCLKO0/TO24	P03/DB3/TO24/DD3	
	TO25	P83/RXD0/TO25	P04/DB4/TO25/DD4	
	TO26	P82/TXD0/TO26	P05/DB5/TO26/DD5	
	TO27	P175/RXD2/TO27	P06/DB6/TO27/DD6	
	TO28	P174/TXD2/TO28	P07/DB7/TO28/DD7	
	TO29	P110/TO0/TO29/DD11	P10/DB8/TO29/DD8	
	TO30	P111/TO1/TO30/DD10	P11/DB9/TO30/DD9	
	TO31	P112/TO2/TO31/DD9	P12/DB10/TO31/DD10	
	TO32	P113/TO3/TO32/DD8	P13/DB11/TO32/DD11	
	TO33	P114/TO4/TO33/DD7	P14/DB12/TO33/DD12	
	TO34	P115/TO5/TO34/DD6	P15/DB13/TO34/DD13	
	TO35	P116/TO6/TO35/DD5	P16/DB14/TO35/DD14	
	TO36	P117/TO7/TO36/DD4	P17/DB15/TO36/DD15	
SIO	TXD3	P134/TIN20/TXD3/DIN4	P74/RTDXTD/TXD3/NBDD0	(注1)
	RXD3	P135/TIN21/RXD3	P75/RTDRXD/RXD3/NBDD1	
CAN	CTX0	P102/TO10/CTX0	P220/CTX0/HACK#	(注2)
	CRX0	P101/TO9/CRX0	P221/CRX0/HREQ#	(注1)
	CTX1	P137/TIN23/CTX1	P76/RTDACK/CTX1/NBDD2	(注2)
	CRX1	P136/TIN22/CRX1	P77/RTDCLK/CRX1/NBDD3	(注1)

表8.2.2 2端子に入出力可能な周辺I/Oと端子割り当て(2/2)

モジュール	信号名	端子グループA	端子グループB	備考
外部バス	CS2#	P126/TCLK2/CS2#/DD1	P224/A11/CS2#	(注2)
インタフェース	CS3#	P127/TCLK3/CS3#/DD0	P225/A12/CS3#	
関連	CLKOUT	P150/TIN0/CLKOUT/WR#	P70/CLKOUT/WR#/BCLK	
	WR#	P150/TIN0/CLKOUT/WR#	P70/CLKOUT/WR#/BCLK	(注1)
	WAIT#	P153/TIN3/WAIT#	P71/WAIT#	(注2)
	HACK#	P220/CTX0/HACK#	P73/HACK#/TIN26	(注1)
	HREQ#	P221/CRX0/HREQ#	P72/HREQ#/TIN27	(注1)

注1. 端子グループAと端子グループBに同じ内蔵周辺入力端子を設定した場合、端子グループAの設定が有効になり、端子グループAからの入力が、該当内蔵周辺I/Oの入力になります。なお、DRIのDD入力上位16ビット(DD0～DD15)に関しては、DRI関連レジスタで使用する端子を選択します(詳細については、「第14章 ダイレクトRAMインタフェース」を参照してください)。

注2. 端子グループAと端子グループBに同じ内蔵周辺出力端子を設定した場合、両方の端子から出力します。

8.3 入出力ポート関連レジスタ

以下に入出力ポート関連のレジスタマップを示します。

入出力ポート関連レジスタマップ(1/3)

番地	+0番地 b0	+1番地 b8	掲載 ページ
H'0080 0500	ポートグループ0,1入力レベル設定レジスタ (PG01LEV)	ポートグループ3入力レベル設定レジスタ (PG3LEV)	8-33
H'0080 0502	ポートグループ4,5入力レベル設定レジスタ (PG45LEV)	ポートグループ6,7入力レベル設定レジスタ (PG67LEV)	8-33
H'0080 0504	ポートグループ8入力レベル設定レジスタ (PG8LEV)	(使用禁止領域)	8-33
H'0080 0506	(使用禁止領域)		
H'0080 0508	ポートグループ0,1出力ドライブ能力設定レジスタ (PG01DRV)	ポートグループ3出力ドライブ能力設定レジスタ (PG3DRV)	8-35
H'0080 050A	ポートグループ4,5出力ドライブ能力設定レジスタ (PG45DRV)	ポートグループ6,7出力ドライブ能力設定レジスタ (PG67DRV)	8-35
H'0080 050C	ポートグループ8出力ドライブ能力設定レジスタ (PG8DRV)	P70出力ドライブ能力設定レジスタ (P70DRV)	8-35 8-36
H'0080 050E	(使用禁止領域)		
H'0080 0510	ノイズキャンセラ制御レジスタ (NZCNLSLCR)		8-38
}			
H'0080 0700	P0データレジスタ (P0DATA)	P1データレジスタ (P1DATA)	8-12
H'0080 0702	P2データレジスタ (P2DATA)	P3データレジスタ (P3DATA)	8-12
H'0080 0704	P4データレジスタ (P4DATA)	(使用禁止領域)	8-12
H'0080 0706	P6データレジスタ (P6DATA)	P7データレジスタ (P7DATA)	8-12
H'0080 0708	P8データレジスタ (P8DATA)	P9データレジスタ (P9DATA)	8-12
H'0080 070A	P10データレジスタ (P10DATA)	P11データレジスタ (P11DATA)	8-12
H'0080 070C	P12データレジスタ (P12DATA)	P13データレジスタ (P13DATA)	8-12
H'0080 070E	(使用禁止領域)	P15データレジスタ (P15DATA)	8-12
H'0080 0710	(使用禁止領域)	P17データレジスタ (P17DATA)	8-12
}	(使用禁止領域)		
H'0080 0716	P22データレジスタ (P22DATA)	(使用禁止領域)	8-12
}	(使用禁止領域)		

入出力ポート関連レジスタマップ(2/3)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0720	P0方向レジスタ (P0DIR)	P1方向レジスタ (P1DIR)	8-13
H'0080 0722	P2方向レジスタ (P2DIR)	P3方向レジスタ (P3DIR)	8-13
H'0080 0724	P4方向レジスタ (P4DIR)	(使用禁止領域)	8-13
H'0080 0726	P6方向レジスタ (P6DIR)	P7方向レジスタ (P7DIR)	8-13
H'0080 0728	P8方向レジスタ (P8DIR)	P9方向レジスタ (P9DIR)	8-13
H'0080 072A	P10方向レジスタ (P10DIR)	P11方向レジスタ (P11DIR)	8-13
H'0080 072C	P12方向レジスタ (P12DIR)	P13方向レジスタ (P13DIR)	8-13
H'0080 072E	(使用禁止領域)	P15方向レジスタ (P15DIR)	8-13
H'0080 0730	(使用禁止領域)	P17方向レジスタ (P17DIR)	8-13
}	(使用禁止領域)		
H'0080 0736	P22方向レジスタ (P22DIR)	(使用禁止領域)	8-13
}	(使用禁止領域)		
H'0080 0740	P0動作モードレジスタ (P0MOD)	P1動作モードレジスタ (P1MOD)	8-14 8-15
H'0080 0742	P2動作モードレジスタ (P2MOD)	P3動作モードレジスタ (P3MOD)	8-16 8-17
H'0080 0744	P4動作モードレジスタ (P4MOD)	ポート入力特別機能制御レジスタ (PICNT)	8-18 8-29
H'0080 0746	(使用禁止領域)	P7動作モードレジスタ (P7MOD)	8-19
H'0080 0748	P8動作モードレジスタ (P8MOD)	P9動作モードレジスタ (P9MOD)	8-20 8-21
H'0080 074A	P10動作モードレジスタ (P10MOD)	P11動作モードレジスタ (P11MOD)	8-22 8-23
H'0080 074C	P12動作モードレジスタ (P12MOD)	P13動作モードレジスタ (P13MOD)	8-24 8-25
H'0080 074E	(使用禁止領域)	P15動作モードレジスタ (P15MOD)	8-26
H'0080 0750	(使用禁止領域)	P17動作モードレジスタ (P17MOD)	8-27
H'0080 0752	(使用禁止領域)		
H'0080 0754	(使用禁止領域)		
H'0080 0756	P22動作モードレジスタ (P22MOD)	(使用禁止領域)	8-28
}	(使用禁止領域)		

入出力ポート関連レジスタマップ(3/3)

番地	+ 0番地		+ 1番地		掲載 ページ
	b0	b7	b8	b15	
H'0080 0760	P0周辺機能選択レジスタ (P0SMOD)		P1周辺機能選択レジスタ (P1SMOD)		8-14 8-15
H'0080 0762	(使用禁止領域)		P3周辺機能選択レジスタ (P3SMOD)		8-17
H'0080 0764	P4周辺機能選択レジスタ (P4SMOD)		(使用禁止領域)		8-18
H'0080 0766	(使用禁止領域)		P7周辺機能選択レジスタ (P7SMOD)		8-19
H'0080 0768	P8周辺機能選択レジスタ (P8SMOD)		P9周辺機能選択レジスタ (P9SMOD)		8-20 8-21
H'0080 076A	P10周辺機能選択レジスタ (P10SMOD)		P11周辺機能選択レジスタ (P11SMOD)		8-22 8-23
H'0080 076C	P12周辺機能選択レジスタ (P12SMOD)		P13周辺機能選択レジスタ (P13SMOD)		8-24 8-25
H'0080 076E	(使用禁止領域)		P15周辺機能選択レジスタ (P15SMOD)		8-26
H'0080 0770	(使用禁止領域)		P17周辺機能選択レジスタ (P17SMOD)		8-27
H'0080 0772	(使用禁止領域)				
H'0080 0774	(使用禁止領域)				
H'0080 0776	P22周辺機能選択レジスタ (P22SMOD)		(使用禁止領域)		8-28

8.3.1 ポートデータレジスタ

P0データレジスタ(P0DATA)	<アドレス: H'0080 0700 >
P1データレジスタ(P1DATA)	<アドレス: H'0080 0701 >
P2データレジスタ(P2DATA)	<アドレス: H'0080 0702 >
P3データレジスタ(P3DATA)	<アドレス: H'0080 0703 >
P4データレジスタ(P4DATA)	<アドレス: H'0080 0704 >
P6データレジスタ(P6DATA)	<アドレス: H'0080 0706 >
P7データレジスタ(P7DATA)	<アドレス: H'0080 0707 >
P8データレジスタ(P8DATA)	<アドレス: H'0080 0708 >
P9データレジスタ(P9DATA)	<アドレス: H'0080 0709 >
P10データレジスタ(P10DATA)	<アドレス: H'0080 070A >
P11データレジスタ(P11DATA)	<アドレス: H'0080 070B >
P12データレジスタ(P12DATA)	<アドレス: H'0080 070C >
P13データレジスタ(P13DATA)	<アドレス: H'0080 070D >
P15データレジスタ(P15DATA)	<アドレス: H'0080 070F >
P17データレジスタ(P17DATA)	<アドレス: H'0080 0711 >
P22データレジスタ(P22DATA)	<アドレス: H'0080 0716 >

b0 (b8)	1 9	2 10	3 11	4 12	5 13	6 14	b7 b15)
Pn0DT ?	Pn1DT ?	Pn2DT ?	Pn3DT ?	Pn4DT ?	Pn5DT ?	Pn6DT ?	Pn7DT ?

注. . n = 0 ~ 13, 15, 17, 22 (ただしP5を除く)

<リセット解除時: 不定>

b	ビット名	機能	R	W
0(8)	Pn0DT ポートPn0データビット	<読み出し時> ポート方向レジスタの設定により	R	W
1(9)	Pn1DT ポートPn1データビット	• 方向ビットが"0"(入力モード)の場合 0: ポート入力端子="L" 1: ポート入力端子="H"		
2(10)	Pn2DT ポートPn2データビット	• 方向ビットが"1"(出力モード)の場合(注1) 0: ポート出力ラッチ="0"/ポート端子レベル"L" 1: ポート出力ラッチ="1"/ポート端子レベル"H"		
3(11)	Pn3DT ポートPn3データビット			
4(12)	Pn4DT ポートPn4データビット	<書き込み時> ポート出力ラッチへの書き込み		
5(13)	Pn5DT ポートPn5データビット			
6(14)	Pn6DT ポートPn6データビット			
7(15)	Pn7DT ポートPn7データビット			

注1. 読み出し対象の選択は、ポート入力特別機能制御レジスタのポート入力データ選択ビット(PISEL)で設定します。

注. . 次のビットは配置されていません(読み出し時"0"、書き込み時無効)。

P40、P60、P65 ~ P67、P90 ~ P92、P120 ~ P123、P151、P152、P154 ~ P157、P170 ~ P173、P176、P177、P222、P223、P226、P227

- P64DTビット読み出しで、SBI#端子の入力レベルが読み出せません。P64DTビットへの書き込みは無効です。
- P80DTビット読み出しでMOD0端子、P81DTビット読み出しでMOD1端子の入力レベルが読み出せません。P80DT、P81DTビットへの書き込みは無効です。
- ポートP221は入力モードのみです。P221DTビットへの書き込みは無効です。

8.3.2 ポート方向レジスタ

P0方向レジスタ(P0DIR)	<アドレス: H'0080 0720 >
P1方向レジスタ(P1DIR)	<アドレス: H'0080 0721 >
P2方向レジスタ(P2DIR)	<アドレス: H'0080 0722 >
P3方向レジスタ(P3DIR)	<アドレス: H'0080 0723 >
P4方向レジスタ(P4DIR)	<アドレス: H'0080 0724 >
P6方向レジスタ(P6DIR)	<アドレス: H'0080 0726 >
P7方向レジスタ(P7DIR)	<アドレス: H'0080 0727 >
P8方向レジスタ(P8DIR)	<アドレス: H'0080 0728 >
P9方向レジスタ(P9DIR)	<アドレス: H'0080 0729 >
P10方向レジスタ(P10DIR)	<アドレス: H'0080 072A >
P11方向レジスタ(P11DIR)	<アドレス: H'0080 072B >
P12方向レジスタ(P12DIR)	<アドレス: H'0080 072C >
P13方向レジスタ(P13DIR)	<アドレス: H'0080 072D >
P15方向レジスタ(P15DIR)	<アドレス: H'0080 072F >
P17方向レジスタ(P17DIR)	<アドレス: H'0080 0731 >
P22方向レジスタ(P22DIR)	<アドレス: H'0080 0736 >

b0	1	2	3	4	5	6	b7
(b8)	9	10	11	12	13	14	b15)
Pn0DR	Pn1DR	Pn2DR	Pn3DR	Pn4DR	Pn5DR	Pn6DR	Pn7DR
0	0	0	0	0	0	0	0

注. . n = 0 ~ 13, 15, 17, 22 (ただしP5を除く)

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0(8)	Pn0DR ポートPn0方向ビット	0: 入力モード 1: 出力モード	R	W
1(9)	Pn1DR ポートPn1方向ビット			
2(10)	Pn2DR ポートPn2方向ビット			
3(11)	Pn3DR ポートPn3方向ビット			
4(12)	Pn4DR ポートPn4方向ビット			
5(13)	Pn5DR ポートPn5方向ビット			
6(14)	Pn6DR ポートPn6方向ビット			
7(15)	Pn7DR ポートPn7方向ビット			

注. . 次のビットは配置されていません(読み出し時"0"、書き込み時無効)。

P40、P60、P64 ~ P67、P80、P81、P90 ~ P92、P120 ~ P123、P151、P152、P154 ~ P157、P170 ~ P173、P176、P177、P222、P223、P226、P227

- ・リセット解除時は全ポート入力モードに設定されています。
- ・P221は入力モードのみです。書き込み時"0"に固定してください。
- ・ポート方向レジスタで出力モードから入力モードに切り替えた後、もしくは、ポート入力許可(PIENO)ビットを"1"(入力許可)に設定後、2BCLK後に端子レベルがリード可能となります。

8.3.3 ポート動作モードレジスタ、ポート周辺機能選択レジスタ

P0動作モードレジスタ(P0MOD)

<アドレス : H'0080 0740 >

b0	1	2	3	4	5	6	b7
P00MD	P01MD	P02MD	P03MD	P04MD	P05MD	P06MD	P07MD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P00MD ポートP00動作モードビット	0 : P00/DD0(注1) 1 : DB0/TO21(注2)	R	W
1	P01MD ポートP01動作モードビット	0 : P01/DD1(注1) 1 : DB1/TO22(注2)	R	W
2	P02MD ポートP02動作モードビット	0 : P02/DD2(注1) 1 : DB2/TO23(注2)	R	W
3	P03MD ポートP03動作モードビット	0 : P03/DD3(注1) 1 : DB3/TO24(注2)	R	W
4	P04MD ポートP04動作モードビット	0 : P04/DD4(注1) 1 : DB4/TO25(注2)	R	W
5	P05MD ポートP05動作モードビット	0 : P05/DD5(注1) 1 : DB5/TO26(注2)	R	W
6	P06MD ポートP06動作モードビット	0 : P06/DD6(注1) 1 : DB6/TO27(注2)	R	W
7	P07MD ポートP07動作モードビット	0 : P07/DD7(注1) 1 : DB7/TO28(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P0周辺機能選択レジスタで選択します。

注. . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB0 ~ DB7)となります。

P0周辺機能選択レジスタ(P0SMOD)

<アドレス : H'0080 0760 >

b0	1	2	3	4	5	6	b7
P00SMD	P01SMD	P02SMD	P03SMD	P04SMD	P05SMD	P06SMD	P07SMD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P00SMD ポートP00周辺機能選択ビット	0 : DB0 1 : TO21	R	W
1	P01SMD ポートP01周辺機能選択ビット	0 : DB1 1 : TO22	R	W
2	P02SMD ポートP02周辺機能選択ビット	0 : DB2 1 : TO23	R	W
3	P03SMD ポートP03周辺機能選択ビット	0 : DB3 1 : TO24	R	W
4	P04SMD ポートP04周辺機能選択ビット	0 : DB4 1 : TO25	R	W
5	P05SMD ポートP05周辺機能選択ビット	0 : DB5 1 : TO26	R	W
6	P06SMD ポートP06周辺機能選択ビット	0 : DB6 1 : TO27	R	W
7	P07SMD ポートP07周辺機能選択ビット	0 : DB7 1 : TO28	R	W

注. . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB0 ~ DB7)となります。

. このレジスタ値の変更は、P0動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P0動作モードレジスタの対応するビットを"1"に設定してください。

. シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P1動作モードレジスタ(P1MOD)

<アドレス: H'0080 0741 >

b8	9	10	11	12	13	14	b15
P10MD	P11MD	P12MD	P13MD	P14MD	P15MD	P16MD	P17MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P10MD ポートP10動作モードビット	0: P10/DD8(注1) 1: DB8/TO29(注2)	R	W
9	P11MD ポートP11動作モードビット	0: P11/DD9(注1) 1: DB9/TO30(注2)	R	W
10	P12MD ポートP12動作モードビット	0: P12/DD10(注1) 1: DB10/TO31(注2)	R	W
11	P13MD ポートP13動作モードビット	0: P13/DD11(注1) 1: DB11/TO32(注2)	R	W
12	P14MD ポートP14動作モードビット	0: P14/DD12(注1) 1: DB12/TO33(注2)	R	W
13	P15MD ポートP15動作モードビット	0: P15/D13(注1) 1: DB13/TO34(注2)	R	W
14	P16MD ポートP16動作モードビット	0: P16/DD14(注1) 1: DB14/TO35(注2)	R	W
15	P17MD ポートP17動作モードビット	0: P17/DD15(注1) 1: DB15/TO36(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P1周辺機能選択レジスタで選択します。

注. プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB8 ~ DB15)となります。

P1周辺機能選択レジスタ(P1SMOD)

<アドレス: H'0080 0761 >

b8	9	10	11	12	13	14	b15
P10SMD	P11SMD	P12SMD	P13SMD	P14SMD	P15SMD	P16SMD	P17SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P10SMD ポートP10周辺機能選択ビット	0: DB8 1: TO29	R	W
9	P11SMD ポートP11周辺機能選択ビット	0: DB9 1: TO30	R	W
10	P12SMD ポートP12周辺機能選択ビット	0: DB10 1: TO31	R	W
11	P13SMD ポートP13周辺機能選択ビット	0: DB11 1: TO32	R	W
12	P14SMD ポートP14周辺機能選択ビット	0: DB12 1: TO33	R	W
13	P15SMD ポートP15周辺機能選択ビット	0: DB13 1: TO34	R	W
14	P16SMD ポートP16周辺機能選択ビット	0: DB14 1: TO35	R	W
15	P17SMD ポートP17周辺機能選択ビット	0: DB15 1: TO36	R	W

注. プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB8 ~ DB15)となります。

. このレジスタ値の変更は、P1動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P1動作モードレジスタの対応するビットを"1"に設定してください。

. シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P2動作モードレジスタ(P2MOD)

<アドレス : H'0080 0742 >

b0	1	2	3	4	5	6	b7
P20MD	P21MD	P22MD	P23MD	P24MD	P25MD	P26MD	P27MD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P20MD ポートP20動作モードビット	0 : P20/DD24(注1) 1 : A23	R	W
1	P21MD ポートP21動作モードビット	0 : P21/DD25(注1) 1 : A24	R	W
2	P22MD ポートP22動作モードビット	0 : P22/DD26(注1) 1 : A25	R	W
3	P23MD ポートP23動作モードビット	0 : P23/DD27(注1) 1 : A26	R	W
4	P24MD ポートP24動作モードビット	0 : P24/DD28(注1) 1 : A27	R	W
5	P25MD ポートP25動作モードビット	0 : P25/DD29(注1) 1 : A28	R	W
6	P26MD ポートP26動作モードビット	0 : P26/DD30(注1) 1 : A29	R	W
7	P27MD ポートP27動作モードビット	0 : P27/DD31(注1) 1 : A30	R	W

注1. ポート、DD入力の方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注. ・シングルチップモード時は、本レジスタの設定は無効となり、ポート入出力/DD入力端子となります。

・プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(A23 ~ A30)となります。

P3動作モードレジスタ(P3MOD)

<アドレス: H'0080 0743>

b8	9	10	11	12	13	14	b15
P30MD	P31MD	P32MD	P33MD	P34MD	P35MD	P36MD	P37MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P30MD ポートP30動作モードビット	0: P30/DD16(注1) 1: A15/TIN4(注2)	R	W
9	P31MD ポートP31動作モードビット	0: P31/DD17(注1) 1: A16/TIN5(注2)	R	W
10	P32MD ポートP32動作モードビット	0: P32/DD18(注1) 1: A17/TIN6(注2)	R	W
11	P33MD ポートP33動作モードビット	0: P33/DD19(注1) 1: A18/TIN7(注2)	R	W
12	P34MD ポートP34動作モードビット	0: P34/DD20(注1) 1: A19/TIN30(注2)	R	W
13	P35MD ポートP35動作モードビット	0: P35/DD21(注1) 1: A20/TIN31(注2)	R	W
14	P36MD ポートP36動作モードビット	0: P36/DD22(注1) 1: A21/TIN32(注2)	R	W
15	P37MD ポートP37動作モードビット	0: P37/DD23(注1) 1: A22/TIN33(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P3周辺機能選択レジスタで選択します。

注. プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(A15 ~ A22)となります。

P3周辺機能選択レジスタ(P3SMOD)

<アドレス: H'0080 0763>

b8	9	10	11	12	13	14	b15
P30SMD	P31SMD	P32SMD	P33SMD	P34SMD	P35SMD	P36SMD	P37SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P30SMD ポートP30周辺機能選択ビット	0: A15 1: TIN4	R	W
9	P31SMD ポートP31周辺機能選択ビット	0: A16 1: TIN5	R	W
10	P32SMD ポートP32周辺機能選択ビット	0: A17 1: TIN6	R	W
11	P33SMD ポートP33周辺機能選択ビット	0: A18 1: TIN7	R	W
12	P34SMD ポートP34周辺機能選択ビット	0: A19 1: TIN30	R	W
13	P35SMD ポートP35周辺機能選択ビット	0: A20 1: TIN31	R	W
14	P36SMD ポートP36周辺機能選択ビット	0: A21 1: TIN32	R	W
15	P37SMD ポートP37周辺機能選択ビット	0: A22 1: TIN33	R	W

注. プロセッサモード時では設定が無効となり、外部バスインタフェース信号端子(A15 ~ A22)となります。

・このレジスタ値の変更は、P3動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P3動作モードレジスタの対応するビットを"1"に設定してください。

・シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P4動作モードレジスタ(P4MOD)

<アドレス : H'0080 0744 >

b0	1	2	3	4	5	6	b7
0	0	0	0	P44MD 0	P45MD 0	P46MD 0	P47MD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P44MD ポートP44動作モードビット	0 : P44 1 : CS0#/TIN8(注1)	R	W
5	P45MD ポートP45動作モードビット	0 : P45 1 : CS1#/TIN9(注1)	R	W
6	P46MD ポートP46動作モードビット	0 : P46 1 : A13/TIN10(注1)	R	W
7	P47MD ポートP47動作モードビット	0 : P47 1 : A14/TIN11(注1)	R	W

注1. 端子をどの機能で使用するかは、P4周辺機能選択レジスタで選択します。

注. . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(CS0#, CS1#, A13, A14)となります。

P4周辺機能選択レジスタ(P4SMOD)

<アドレス : H'0080 0764 >

b0	1	2	3	4	5	6	b7
0	0	0	0	P44SMD 0	P45SMD 0	P46SMD 0	P47SMD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P44SMD ポートP44周辺機能選択ビット	0 : CS0# 1 : TIN8	R	W
5	P45SMD ポートP45周辺機能選択ビット	0 : CS1# 1 : TIN9	R	W
6	P46SMD ポートP46周辺機能選択ビット	0 : A13 1 : TIN10	R	W
7	P47SMD ポートP47周辺機能選択ビット	0 : A14 1 : TIN11	R	W

注. . プロセッサモード時では設定が無効となり、外部バスインタフェース信号端子(CS0#, CS1#, A13, A14)となります。

. このレジスタ値の変更は、P4動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)、行ってください。

その後、P4動作モードレジスタの対応するビットを"1"に設定してください。

. シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P7動作モードレジスタ(P7MOD)

<アドレス: H'0080 0747 >

b8	9	10	11	12	13	14	b15
P70MD	P71MD	P72MD	P73MD	P74MD	P75MD	P76MD	P77MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P70MD ポートP70動作モードビット	0: P70 1: CLKOUT/WR#/BCLK(注1)	R	W
9	P71MD ポートP71動作モードビット	0: P71 1: WAIT#(注2)	R	W
10	P72MD ポートP72動作モードビット	0: P72 1: HREQ#/TIN27(注3)	R	W
11	P73MD ポートP73動作モードビット	0: P73 1: HACK#/TIN26(注3)	R	W
12	P74MD ポートP74動作モードビット(注4)	0: P74 1: RTDXTD/TXD3/NBDD(注3)	R	W
13	P75MD ポートP75動作モードビット(注4)	0: P75 1: RTDRXD/RXD3/NBDD1(注3)	R	W
14	P76MD ポートP76動作モードビット(注4)	0: P76 1: RTDACK/CTX1/NBDD2(注3)	R	W
15	P77MD ポートP77動作モードビット(注4)	0: P77 1: RTDCLK/CRX1/NBDD3(注3)	R	W

注1. 端子をどの機能で使用するかは、P7周辺機能選択レジスタ、およびバスモード制御レジスタで選択します。

注2. シングルチップモード時は、本レジスタの設定は無効となり、ポート入出力端子となります。

注3. 端子をどの機能で使用するかは、P7周辺機能選択レジスタで選択します。

注4. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

P7周辺機能選択レジスタ(P7SMOD)

<アドレス: H'0080 0767 >

b8	9	10	11	12	13	14	b15
P70SMD		P72SMD	P73SMD	P74SMD	P75SMD	P76SMD	P77SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P70SMD ポートP70周辺機能選択ビット	0: CLKOUT/WR#(注1) 1: BCLK	R	W
9		何も配置されていません。"0"に固定してください。	0	0
10	P72SMD ポートP72周辺機能選択ビット	0: HREQ# 1: TIN27	R	W
11	P73SMD ポートP73周辺機能選択ビット	0: HACK# 1: TIN26	R	W
12	P74SMD(注2) ポートP74周辺機能選択ビット	0: RTDXTD 1: TXD3	R	W
13	P75SMD(注2) ポートP75周辺機能選択ビット	0: RTDRXD 1: RXD3	R	W
14	P76SMD(注2) ポートP76周辺機能選択ビット	0: RTDACK 1: CTX1	R	W
15	P77SMD(注2) ポートP77周辺機能選択ビット	0: RTDCLK 1: CRX1	R	W

注1. 端子をどの機能で使用するかは、バスモード制御レジスタで選択します。

注2. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

注. . このレジスタ値の変更は、P7動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。その後、P7動作モードレジスタの対応するビットを"1"に設定してください。

P8動作モードレジスタ(P8MOD)

<アドレス: H'0080 0748 >

b0	1	2	3	4	5	6	b7
		P82MD	P83MD	P84MD	P85MD	P86MD	P87MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2	P82MD ポートP82動作モードビット	0: P82 1: TXD0/TO26(注1)	R	W
3	P83MD ポートP83動作モードビット	0: P83 1: RXD0/TO25(注1)	R	W
4	P84MD ポートP84動作モードビット	0: P84 1: SCLKI0/SCLKO0/TO24(注1)	R	W
5	P85MD ポートP85動作モードビット	0: P85 1: TXD1/TO23(注1)	R	W
6	P86MD ポートP86動作モードビット	0: P86 1: RXD1/TO22(注1)	R	W
7	P87MD ポートP87動作モードビット	0: P87 1: SCLKI1/SCLKO1/TO21(注1)	R	W

注1. 端子をどの機能で使用するかは、P8周辺機能選択レジスタで選択します。

P8周辺機能選択レジスタ(P8SMOD)

<アドレス: H'0080 0768 >

b0	1	2	3	4	5	6	b7
		P82SMD	P83SMD	P84SMD	P85SMD	P86SMD	P87SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2	P82SMD ポートP82周辺機能選択ビット	0: TXD0 1: TO26	R	W
3	P83SMD ポートP83周辺機能選択ビット	0: RXD0 1: TO25	R	W
4	P84SMD ポートP84周辺機能選択ビット	0: SCLKI0/SCLKO0 1: TO24	R	W
5	P85SMD ポートP85周辺機能選択ビット	0: TXD1 1: TO23	R	W
6	P86SMD ポートP86周辺機能選択ビット	0: RXD1 1: TO22	R	W
7	P87SMD ポートP87周辺機能選択ビット	0: SCLKI1/SCLKO1 1: TO21	R	W

注. . . このレジスタ値の変更は、P8動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。
その後、P8動作モードレジスタの対応するビットを"1"に設定してください。

P9動作モードレジスタ(P9MOD)

<アドレス: H'0080 0749>

b8	9	10	11	12	13	14	b15
0	0	0	P93MD	P94MD	P95MD	P96MD	P97MD
			0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	P93MD ポートP93動作モードビット	0: P93 1: TO16/SCLKI5/SCLKO5(注2)	R	W
12	P94MD ポートP94動作モードビット	0: P94/DD15(注1) 1: TO17/TXD5(注2)	R	W
13	P95MD ポートP95動作モードビット	0: P95/DD14(注1) 1: TO18/RXD5(注2)	R	W
14	P96MD ポートP96動作モードビット	0: P96/DD13(注1) 1: TO19	R	W
15	P97MD ポートP97動作モードビット	0: P97/DD12(注1) 1: TO20	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P9周辺機能選択レジスタで選択します。

P9周辺機能選択レジスタ(P9SMOD)

<アドレス: H'0080 0769>

b8	9	10	11	12	13	14	b15
0	0	0	P93SMD	P94SMD	P95SMD	0	0
			0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	P93SMD ポートP93周辺機能選択ビット	0: TO16 1: SCLKI5/SCLKO5	R	W
12	P94SMD ポートP94周辺機能選択ビット	0: TO17 1: TXD5	R	W
13	P95SMD ポートP95周辺機能選択ビット	0: TO18 1: RXD5	R	W
14, 15	何も配置されていません。"0"に固定してください。		0	0

注. このレジスタ値の変更は、P9動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。

その後、P9動作モードレジスタの対応するビットを"1"に設定してください。

P10動作モードレジスタ(P10MOD)

<アドレス: H'0080 074A>

b0	1	2	3	4	5	6	b7
P100MD	P101MD	P102MD	P103MD	P104MD	P105MD	P106MD	P107MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	P100MD ポートP100動作モードビット	0: P100 1: TO8	R	W
1	P101MD ポートP101動作モードビット	0: P101 1: TO9/CRX α (注1)	R	W
2	P102MD ポートP102動作モードビット	0: P102 1: TO10/CTX α (注1)	R	W
3	P103MD ポートP103動作モードビット	0: P103 1: TO11/TIN24(注1)	R	W
4	P104MD ポートP104動作モードビット	0: P104/DD3(注2) 1: TO12/TIN25(注1)	R	W
5	P105MD ポートP105動作モードビット	0: P105/DD2(注2) 1: TO13/SCLKI4/SCLKO4(注1)	R	W
6	P106MD ポートP106動作モードビット	0: P106/DD1(注2) 1: TO14/TXD4(注1)	R	W
7	P107MD ポートP107動作モードビット	0: P107/DD α (注2) 1: TO15/RXD4(注1)	R	W

注1. 端子をどの機能で使用するかは、P10周辺機能選択レジスタで選択します。

注2. DD入力端子選択レジスタ(DDSEL)の設定によりDD入力の機能が有効となります(詳細については、「第14章 ダイレクトRAM インタフェース」を参照してください)。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

P10周辺機能選択レジスタ(P10SMOD)

<アドレス: H'0080 076A>

b0	1	2	3	4	5	6	b7
	P101SMD	P102SMD	P103SMD	P104SMD	P105SMD	P106SMD	P107SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1	P101SMD ポートP101周辺機能選択ビット(注1)	0: TO9 1: CRX0	R	W
2	P102SMD ポートP102周辺機能選択ビット	0: TO10 1: CTX0	R	W
3	P103SMD ポートP103周辺機能選択ビット	0: TO11 1: TIN24	R	W
4	P104SMD ポートP104周辺機能選択ビット	0: TO12 1: TIN25	R	W
5	P105SMD ポートP105周辺機能選択ビット	0: TO13 1: SCLKI4/SCLKO4	R	W
6	P106SMD ポートP106周辺機能選択ビット	0: TO14 1: TXD4	R	W
7	P107SMD ポートP107周辺機能選択ビット	0: TO15 1: RXD4	R	W

注1. 本端子をCRX0端子として使用しない場合は、必ず"0"を設定してください。

注. このレジスタ値の変更は、P10動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。その後、P10動作モードレジスタの対応するビットを"1"に設定してください。

P11動作モードレジスタ(P11MOD)

<アドレス: H'0080 074B>

b8	9	10	11	12	13	14	b15
P110MD	P111MD	P112MD	P113MD	P114MD	P115MD	P116MD	P117MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P110MD ポートP110動作モードビット	0: P110/DD11(注1) 1: TO0/TO29(注2)	R	W
9	P111MD ポートP111動作モードビット	0: P111/DD10(注1) 1: TO1/TO30(注2)	R	W
10	P112MD ポートP112動作モードビット	0: P112/DD9(注1) 1: TO2/TO31(注2)	R	W
11	P113MD ポートP113動作モードビット	0: P113/DD8(注1) 1: TO3/TO32(注2)	R	W
12	P114MD ポートP114動作モードビット	0: P114/DD7(注1) 1: TO4/TO33(注2)	R	W
13	P115MD ポートP115動作モードビット	0: P115/DD6(注1) 1: TO5/TO34(注2)	R	W
14	P116MD ポートP116動作モードビット	0: P116/DD5(注1) 1: TO6/TO35(注2)	R	W
15	P117MD ポートP117動作モードビット	0: P117/DD4(注1) 1: TO7/TO36(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P11周辺機能選択レジスタで選択します。

P11周辺機能選択レジスタ(P11SMOD)

<アドレス: H'0080 076B>

b8	9	10	11	12	13	14	b15
P110SMD	P111SMD	P112SMD	P113SMD	P114SMD	P115SMD	P116SMD	P117SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P110SMD ポートP110周辺機能選択ビット	0: TO0 1: TO29	R	W
9	P111SMD ポートP111周辺機能選択ビット	0: TO1 1: TO30	R	W
10	P112SMD ポートP112周辺機能選択ビット	0: TO2 1: TO31	R	W
11	P113SMD ポートP113周辺機能選択ビット	0: TO3 1: TO32	R	W
12	P114SMD ポートP114周辺機能選択ビット	0: TO4 1: TO33	R	W
13	P115SMD ポートP115周辺機能選択ビット	0: TO5 1: TO34	R	W
14	P116SMD ポートP116周辺機能選択ビット	0: TO6 1: TO35	R	W
15	P117SMD ポートP117周辺機能選択ビット	0: TO7 1: TO36	R	W

注. このレジスタ値の変更は、P11動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P11動作モードレジスタの対応するビットを"1"に設定してください。

P12動作モードレジスタ(P12MOD)

<アドレス : H'0080 074C >

b0	1	2	3	4	5	6	b7
0	0	0	0	P124MD 0	P125MD 0	P126MD 0	P127MD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P124MD ポートP124動作モードビット(注3)	0 : P124/DD3(注1) 1 : TCLK0/A9(注2)	R	W
5	P125MD ポートP125動作モードビット(注3)	0 : P125/DD2(注1) 1 : TCLK1/A10(注2)	R	W
6	P126MD ポートP126動作モードビット	0 : P126/DD1(注1) 1 : TCLK2/CS2 #(注2)	R	W
7	P127MD ポートP127動作モードビット	0 : P127/DD0(注1) 1 : TCLK3/CS3 #(注2)	R	W

注1. DD入力端子選択レジスタ(DDSEL)の設定によりDD入力の機能が有効となります(詳細については、「第14章 ダイレクトRAM インタフェース」を参照してください)。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P12周辺機能選択レジスタで選択します。

注3. プロセッサモード時は、設定が無効となり、外部バスインタフェース信号端子(A9, A10)となります。

P12周辺機能選択レジスタ(P12SMOD)

<アドレス : H'0080 076C >

b0	1	2	3	4	5	6	b7
0	0	0	0	P124SMD 0	P125SMD 0	P126SMD 0	P127SMD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P124SMD ポートP124周辺機能選択ビット(注1)	0 : TCLK0 1 : A9	R	W
5	P125SMD ポートP125周辺機能選択ビット(注1)	0 : TCLK1 1 : A10	R	W
6	P126SMD ポートP126周辺機能選択ビット	0 : TCLK2 1 : CS2#	R	W
7	P127SMD ポートP127周辺機能選択ビット	0 : TCLK3 1 : CS3#	R	W

注1. プロセッサモード時は、設定が無効となり、外部バスインタフェース信号端子(A9, A10)となります。

注. . . このレジスタ値の変更は、P12動作モードレジスタの対応するビットが"0"とき(ポート側設定時)行ってください。その後、P12動作モードレジスタの対応するビットを"1"に設定してください。

P13動作モードレジスタ(P13MOD)

<アドレス: H'0080 074D>

b8	9	10	11	12	13	14	b15
P130MD	P131MD	P132MD	P133MD	P134MD	P135MD	P136MD	P137MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P130MD ポートP130動作モードビット	0: P130 1: TIN16/PWMOFF0/DIN α (注1)	R	W
9	P131MD ポートP131動作モードビット	0: P131 1: TIN17/PWMOFF1/DIN1(注1)	R	W
10	P132MD ポートP132動作モードビット	0: P132 1: TIN18/DIN α (注2)	R	W
11	P133MD ポートP133動作モードビット	0: P133 1: TIN19/DIN α (注2)	R	W
12	P134MD ポートP134動作モードビット	0: P134 1: TIN20/TXD3/DIN α (注3)	R	W
13	P135MD ポートP135動作モードビット	0: P135 1: TIN21/RXD α (注3)	R	W
14	P136MD ポートP136動作モードビット	0: P136 1: TIN22/CRX1(注3)	R	W
15	P137MD ポートP137動作モードビット	0: P137 1: TIN23/CTX1(注3)	R	W

注1. TIN入力、DIN入力、PWMOFF入力全ての機能が有効となります。

注2. TIN入力、DIN入力の両方の機能が有効になります。

注3. 端子をどの機能で使用するかは、P13周辺機能選択レジスタで選択します。

P13周辺機能選択レジスタ(P13SMOD)

<アドレス: H'0080 076D>

b8	9	10	11	12	13	14	b15
				P134SMD	P135SMD	P136SMD	P137SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12	P134SMD ポートP134周辺機能選択ビット	0: TIN20/DIN α (注1) 1: TXD3	R	W
13	P135SMD ポートP135周辺機能選択ビット(注2)	0: TIN21 1: RXD3	R	W
14	P136SMD ポートP136周辺機能選択ビット(注3)	0: TIN22 1: CRX1	R	W
15	P137SMD ポートP137周辺機能選択ビット	0: TIN23 1: CTX1	R	W

注1. TIN入力、DIN入力の両方の機能が有効になります。

注2. 本端子をRXD3端子として使用しない場合は、必ず"0"を設定してください。

注3. 本端子をCRX1端子として使用しない場合は、必ず"0"を設定してください。

注. このレジスタ値の変更は、P13動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。その後、P13動作モードレジスタの対応するビットを"1"に設定してください。

P15動作モードレジスタ(P15MOD)

<アドレス: H'0080 074F>

b8	9	10	11	12	13	14	b15
P150MD			P153MD				
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P150MD ポートP150動作モードビット	0: P150 1: TIN0/CLKOUT/WR#(注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153MD ポートP153動作モードビット	0: P153 1: TIN3/WAIT#(注2)	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、P15周辺機能選択レジスタ、およびバスモード制御レジスタによって選択します。

注2. 端子をどの機能で使用するかは、P15周辺機能選択レジスタで選択します。

P15周辺機能選択レジスタ(P15SMOD)

<アドレス: H'0080 076F>

b8	9	10	11	12	13	14	b15
P150SMD			P153SMD				
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P150SMD ポートP150周辺機能選択ビット	0: TIN0 1: CLKOUT/WR#(注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153SMD ポートP153周辺機能選択ビット(注2)	0: TIN3 1: WAIT#	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、バスモード制御レジスタによって選択します。

注2. シングルチップモード時、外部バスインタフェース信号機能は選択しないでください。

注. . . このレジスタ値の変更は、P15動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P15動作モードレジスタの対応するビットを"1"に設定してください。

P17動作モードレジスタ(P17MOD)

< アドレス : H'0080 0751 >

b8	9	10	11	12	13	14	b15
0	0	0	0	P174MD 0	P175MD 0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12	P174MD ポートP174動作モードビット	0 : P174 1 : TXD2/TO28(注1)	R	W
13	P175MD ポートP175動作モードビット	0 : P175 1 : RXD2/TO27(注1)	R	W
14, 15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、P17周辺機能選択レジスタで選択します。

P17周辺機能選択レジスタ(P17SMOD)

< アドレス : H'0080 0771 >

b8	9	10	11	12	13	14	b15
0	0	0	0	P174SMD 0	P175SMD 0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12	P174SMD ポートP174周辺機能選択ビット	0 : TXD2 1 : TO28	R	W
13	P175SMD ポートP175周辺機能選択ビット	0 : RXD2 1 : TO27	R	W
14, 15	何も配置されていません。"0"に固定してください。		0	0

注. . このレジスタ値の変更は、P17動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。
その後、P17動作モードレジスタの対応するビットを"1"に設定してください。

P22動作モードレジスタ(P22MOD)

< アドレス : H'0080 0756 >

b0	1	2	3	4	5	6	b7
P220MD	P221MD			P224MD	P225MD		
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P220MD ポートP220動作モードビット	0 : P220 1 : CTX0/HACK#(注1)	R	W
1	P221MD ポートP221動作モードビット	0 : P221 1 : CRX0/HREQ#(注1)	R	W
2, 3	何も配置されていません。"0"に固定してください。		0	0
4	P224MD ポートP224動作モードビット(注2)	0 : P224 1 : A11/CS2#(注1)	R	W
5	P225MD ポートP225動作モードビット(注2)	0 : P225 1 : A12/CS3#(注1)	R	W
6, 7	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、P22周辺機能選択レジスタで選択します。

注2. プロセッサモード時は、設定は無効となり、外部バスインタフェース信号端子(A11/CS2#, A12/CS3#)となります。

P22周辺機能選択レジスタ(P22SMOD)

< アドレス : H'0080 0776 >

b0	1	2	3	4	5	6	b7
P220SMD	P221SMD			P224SMD	P225SMD		
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P220SMD ポートP220周辺機能選択ビット	0 : CTX0 1 : HACK#	R	W
1	P221SMD ポートP221周辺機能選択ビット	0 : CRX0 1 : HREQ#	R	W
2, 3	何も配置されていません。"0"に固定してください。		0	0
4	P224SMD ポートP224周辺機能選択ビット(注1)	0 : A11 1 : CS2#	R	W
5	P225SMD ポートP225周辺機能選択ビット(注1)	0 : A12 1 : CS3#	R	W
6, 7	何も配置されていません。"0"に固定してください。		0	0

注1. シングルチップモード時、外部バスインタフェース信号機能は選択しないでください。

注. . . このレジスタ値の変更は、P22動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。

その後、P22動作モードレジスタの対応するビットを"1"に設定してください。

8.3.4 ポート入力特別機能制御レジスタ

ポート入力特別機能制御レジスタ(PICNT)

<アドレス : H'0080 0745 >

b8	9	10	11	12	13	14	b15
0	0	0	XSTAT 0	0	0	PISEL 0	PIENO 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。	0		0
11	XSTAT XIN発振状態ビット	0 : XINは発振状態 1 : XINは停止状態	R (注1)	
12, 13	何も配置されていません。"0"に固定してください。	0		0
14	PISEL ポート入力データ選択ビット	0 : ポート出力ラッチの内容 1 : ポート端子レベル	R	W
15	PIENO ポート入力許可ビット(注2)	0 : 入力禁止 1 : 入力許可	R	W

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

注2 . ポート方向レジスタで出力モードから入力モードに切り替えた後、もしくは、ポート入力許可(PIENO)ビットを"1"(入力許可)に設定後、2BCLK後に端子レベルがリード可能となります。

(1) XSTAT(XIN発振状態)ビット (b11)

・ XSTATビットが"1"となる条件

XSTATビットはXINの発振が停止したことを検知して、"1"にセットされます。XINが一定時間(最大4BCLK、最小3BCLK)以上、しきい値を基準として同一レベルを保持したときを発振停止とみなします。なお、通常動作時においてXINは1BCLK間に1回の割合で変化します。

・ XSTATビットが"0"となる条件

システムリセット、またはXSTATビットへの"0"書き込みにより"0"にクリアされます。上記によるXSTATビットの"1"セットと、"0"書き込みが競合したときは、"0"書き込みによるクリアが優先されます。なおXSTATビットへの"1"書き込みは無視されます。

・ XSTATビットを使用したXIN発振停止検出方法

PLLを内蔵しているため、XINの発振が停止していても内部クロックは停止しません。

リセット解除後、一度もXSTATビットをクリアすることなしにXSTATビットをリードすれば、リセット解除から現在までにXINが停止したことがあるかどうかを知ることができます。また、XSTATへ0を書き込んでからリードすれば、現時点でのXINの発振状態を知ることができます。ただし、ライトとリードの間は5BCLK(20CPUクロック)以上空けてください。

XSTATビットが"1"にセットされた時の処理については、XSTATビットをいったんクリアした後、に再チェックする等、十分注意してご使用ください。

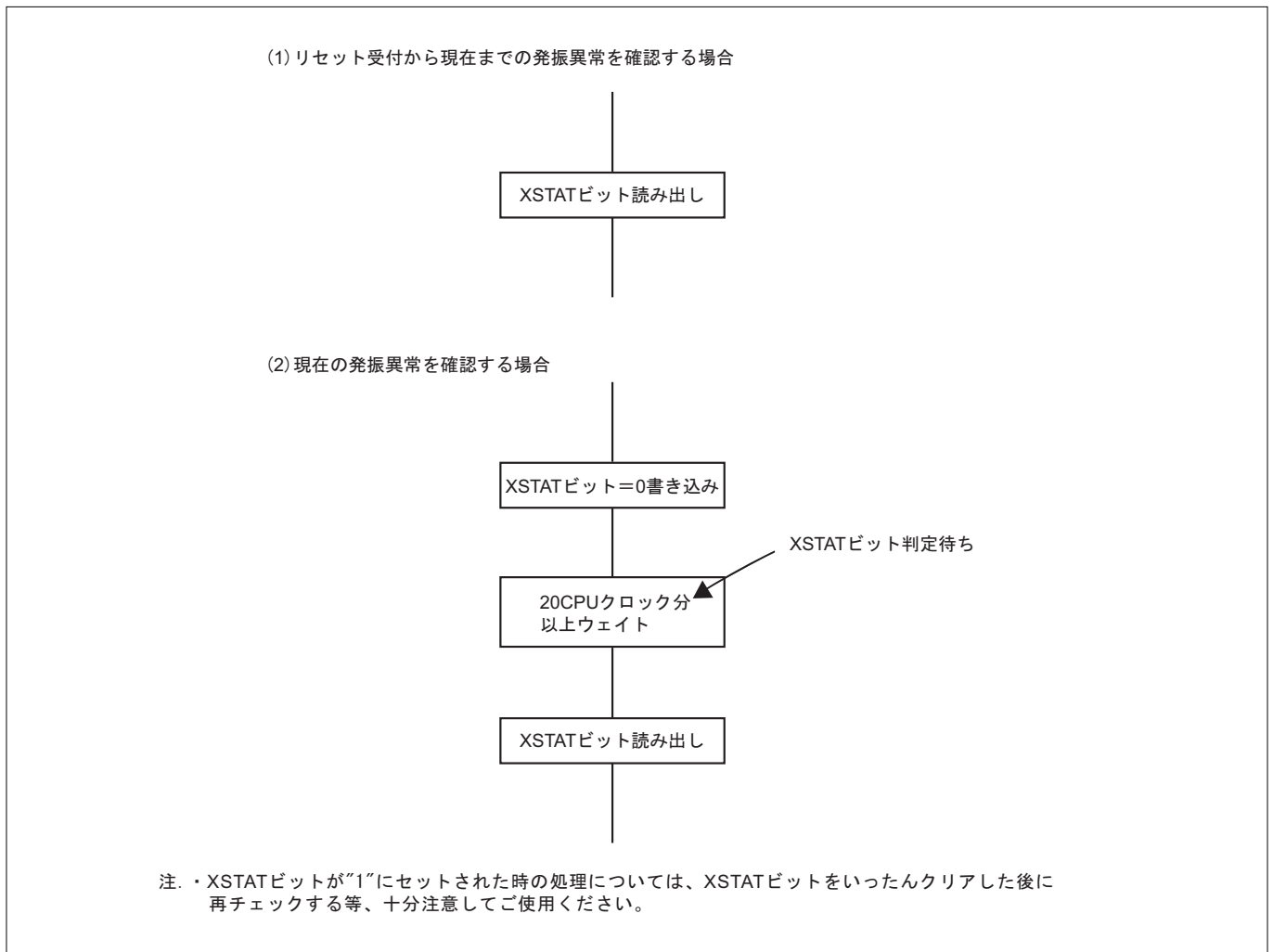


図8.3.1 XSTATビット設定手順

(2) PISEL(ポート入力データ選択)ビット (b14)

ポート方向レジスタが出力設定時、ポートデータレジスタの読み込み対象を選択するビットです。この際、ポート動作モードレジスタの影響は受けません。

表8.3.1 ポート入力データ選択ビットの設定値とポートデータレジスタ読み出し対象

方向レジスタ	PISELの設定	読み込み対象
0(入力)	0/1	ポート端子レベル
1(出力)	0	ポート出力ラッチ
	1	ポート端子レベル

(3) PIENQ(ポート入力許可)ビット (b15)

ポート入力端子の貫通電流を防止するためのビットです。

リセット解除時は入力禁止になっているため、"1"にして入力処理を行う必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

周辺入力機能を選択する場合の設定順序を以下に示します。

- 1) 端子レベル確定後にポート入力許可
- 2) ポート動作モードによる機能選択

ブートモード時は、シリアルインタフェース機能と兼用となっている端子は入力許可となるため、シリアルによるフラッシュ書き換え時には、"0"にしてシリアルインタフェース機能以外の端子から貫通電流を防止することができます。

各モードにおけるポート入力許可ビットで制御可能な端子を次に示します。

表8.3.2 ポート入力許可ビットで制御可能な端子

モード名	制御可能な端子	制御非対象端子
シングルチップ	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P41 ~ P47, P61 ~ P63 P70 ~ P77, P82 ~ P87, P93 ~ P97 P100 ~ P107, P110 ~ P117, P124 ~ P127 P130 ~ P137, P150, P153, P174, P175 P220, P224, P225	P221, FP, SBI#, MOD0, MOD1, MOD2, RESET#
外部拡張 マイクロプロセッサ	P61 ~ P63, P70 ~ P77, P82 ~ P87 P93 ~ P97, P100 ~ P107, P110 ~ P117 P126, P127, P130 ~ P137 P150, P153, P174, P175, P220	P00 ~ P07, P10 ~ P17 P20 ~ P27, P30 ~ P37 P41 ~ P47, P124, P125, P221, P224, P225 FP, SBI#, MOD0, MOD1, MOD2, RESET#
ブート (シングルチップ)	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P41 ~ P47, P61 ~ P63 P70 ~ P77, P93 ~ P97 P100 ~ P107, P110 ~ P117, P124 ~ P127 P130 ~ P137, P150, P153, P220, P224, P225	P82 ~ P87, P174, P175, P221, FP, SBI#, MOD0, MOD1, MOD2, RESET#

8.4 ポート入力レベル切り換え機能

ポート入力レベル切り換え機能は、ポートしきい値を以下のグループ単位で3種類の電圧レベル(シュミット有無設定可能)に切り換える機能です。この設定は、以下レジスタにグループ単位で設定可能です。

なお、DRIのDD入力はポート入力を使用しています。

ポートグループ0 : P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224, P225

ポートグループ1 : P82 ~ P87, P174, P175

ポートグループ3 : P93 ~ P97, P110 ~ P117

ポートグループ4 : P124 ~ P127

ポートグループ5 : P61 ~ P63, SBI#

ポートグループ6 : P74 ~ P77, P100 ~ P107

ポートグループ7 : P220, P221

ポートグループ8 : P130 ~ P137, P150, P153

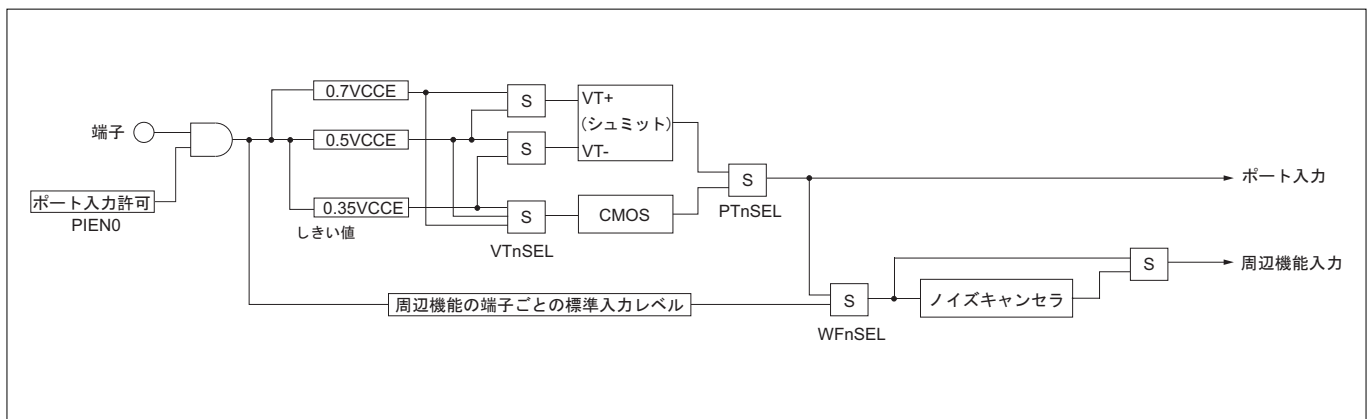


図8.4.1 ポート入力レベル切り換え機能

ポートグループ0,1入力レベル設定レジスタ(PG01LEV)

<アドレス : H'0080 0500 >

b0	1	2	3	4	5	6	b7
WF0SEL	PT0SEL	VT0SEL0	VT0SEL1	WF1SEL	PT1SEL	VT1SEL0	VT1SEL1
0	0	0	1	0	0	0	1

ポートグループ3入力レベル設定レジスタ(PG3LEV)

<アドレス : H'0080 0501 >

b8	9	10	11	12	13	14	b15
				WF3SEL	PT3SEL	VT3SEL0	VT3SEL1
0	0	0	0	0	0	0	1

注 . PG3LEVレジスタのb8~b11には、何も配置されていません。

ポートグループ4,5入力レベル設定レジスタ(PG45LEV)

<アドレス : H'0080 0502 >

b0	1	2	3	4	5	6	b7
WF4SEL	PT4SEL	VT4SEL0	VT4SEL1	WF5SEL	PT5SEL	VT5SEL0	VT5SEL1
0	0	0	1	0	0	0	1

ポートグループ6,7入力レベル設定レジスタ(PG67LEV)

<アドレス : H'0080 0503 >

b8	9	10	11	12	13	14	b15
WF6SEL	PT6SEL	VT6SEL0	VT6SEL1	WF7SEL	PT7SEL	VT7SEL0	VT7SEL1
0	0	0	1	0	0	0	1

ポートグループ8入力レベル設定レジスタ(PG8LEV)

<アドレス : H'0080 0504 >

b0	1	2	3	4	5	6	b7
WF8SEL	PT8SEL	VT8SEL0	VT8SEL1				
0	0	0	1	0	0	0	0

注 . PG8LEVレジスタのb4~b7には、何も配置されていません。

<リセット解除時 : H'11, H'01, H'10>(注2)

b	ビット名	機能	R	W
0(8)	WF _n SEL(注1) グループ _n ダブルファンクション入力選択ビット	0 : 端子ごとの標準入力を選択 1 : しきい値切り換え機能を選択	R	W
1~3 (9~11)	PT _n SEL (グループ _n ポート入力選択ビット) VT _n SEL0, VT _n SEL1 (グループ _n 入力しきい値選択ビット)	000 : CMOS入力、0.35VCCE選択 001 : CMOS入力、0.50VCCE選択 010 : CMOS入力、0.70VCCE選択 011 : 設定禁止 100 : シュミット入力、VT+ = 0.50VCCE、VT- = 0.35VCCE 101 : 設定禁止 110 : シュミット入力、VT+ = 0.70VCCE、VT- = 0.35VCCE 111 : シュミット入力、VT+ = 0.70VCCE、VT- = 0.50VCCE	R	W
4(12)	WF _n SEL(注1) グループ _n ダブルファンクション入力選択ビット	0 : 端子ごとの標準入力を選択 1 : しきい値切り換え機能を選択	R	W
5~7 (13~15)	PT _n SEL (グループ _n ポート入力選択ビット) VT _n SEL0, VT _n SEL1 (グループ _n 入力しきい値選択ビット)	000 : CMOS入力、0.35VCCE選択 001 : CMOS入力、0.50VCCE選択 010 : CMOS入力、0.70VCCE選択 011 : 設定禁止 100 : シュミット入力、VT+ = 0.50VCCE、VT- = 0.35VCCE 101 : 設定禁止 110 : シュミット入力、VT+ = 0.70VCCE、VT- = 0.35VCCE 111 : シュミット入力、VT+ = 0.70VCCE、VT- = 0.50VCCE	R	W

注1 . 汎用ポート機能端子を選択時(Px動作モードレジスタ(PxMOD)の対応するビットを"0"に設定時)は、WF_nSELビットの設定値は無効となり、しきい値切り換え機能が有効になっています。注2 . VT_nSEL1ビットのリセット解除時の値は"1"、それ以外のビットのリセット解除時の値は"0"となります。

8.5 ポート出力ドライブ能力設定機能

出力ドライブ能力切り換え機能は、出力端子のドライブ能力をグループ単位で切り換える機能です。

ポートグループ0 : P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P70 ~ P73, P224, P225

ポートグループ1 : P82 ~ P87, P174, P175

ポートグループ3 : P93 ~ P97, P110 ~ P117

ポートグループ4 : P124 ~ P127

ポートグループ5 : P61 ~ P63, SBI#

ポートグループ6 : P74 ~ P77, P100 ~ P107

ポートグループ7 : P220, P221

ポートグループ8 : P130 ~ P137, P150, P153

ポートグループ0,1出力ドライブ能力設定レジスタ(PG01DRV)

<アドレス : H'0080 0508 >

b0	1	2	3	4	5	6	b7
			G0DSEL				G1DSEL
0	0	0	0	0	0	0	0

ポートグループ3出力ドライブ能力設定レジスタ(PG3DRV)

<アドレス : H'0080 0509 >

b8	9	10	11	12	13	14	b15
							G3DSEL
0	0	0	0	0	0	0	0

注 . . PG3DRVレジスタのb8~b14には、何も配置されていません。

ポートグループ4,5出力ドライブ能力設定レジスタ(PG45DRV)

<アドレス : H'0080 050A >

b0	1	2	3	4	5	6	b7
			G4DSEL				G5DSEL
0	0	0	0	0	0	0	0

ポートグループ6,7出力ドライブ能力設定レジスタ(PG67DRV)

<アドレス : H'0080 050B >

b8	9	10	11	12	13	14	b15
			G6DSEL				G7DSEL
0	0	0	0	0	0	0	0

ポートグループ8出力ドライブ能力設定レジスタ(PG8DRV)

<アドレス : H'0080 050C >

b0	1	2	3	4	5	6	b7
			G8DSEL				
0	0	0	0	0	0	0	0

注 . . PG8DRVレジスタのb4~b7には、何も配置されていません。

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
(8~10)				
3(11)	GnDSEL(注1)	0 : 50%	R	W
	グループn出力ドライブ能力選択ビット	1 : 100%		
4~6	何も配置されていません。"0"に固定してください。		0	0
(12~14)				
7(15)	GnDSEL(注1)	0 : 50%	R	W
	グループn出力ドライブ能力選択ビット	1 : 100%		

注1 . ドライブ能力50%は、ポート出力ドライブ能力設定機能がないIM32R/ECUシリーズのマイコンと同等のドライブ能力です。

注 . . P70/CLKOUT/WR#/BCLK端子については、P70出力ドライブ能力設定レジスタで4段階の選択をすることができます。

なお、GnDSELビットの50%とP70DSELビットの50%は同一のドライブ能力です。

P70出力ドライブ能力設定レジスタ(P70DRV)

<アドレス : H'0080 050D >

b8	9	10	11	12	13	14	b15
					P70DSELEN	P70DSEL	
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~12	何も配置されていません。"0"に固定してください。		0	0
13	P70DSELEN(注1) P70出力ドライブ能力設定イネーブルビット	0 : 設定無効 1 : 設定有効	R	W
14, 15	P70DSEL(注2)(注3) P70出力ドライブ能力設定ビット	00 : 25% 01 : 50% 10 : 75% 11 : 100%	R	W

低
↑
↓
高

注1 . "0"を設定した場合、本レジスタの設定は無効となり、"グループ0,1出力ドライブ能力設定レジスタ"設定値によってドライブ能力が制御されます。

"1"を設定した場合、"グループ0,1出力ドライブ能力設定レジスタ"設定値は無効となり、P70DSELビットによってドライブ能力が制御されます。

注2 . P70/CLKOUT/WR#/BCLK端子のドライブ能力を選択します。このビットの設定を有効とするためには、P70DSELENビットに"1"を設定する必要があります。

注3 . ドライブ能力50%は、ポート出力ドライブ能力設定機能がないIM32R/ECUシリーズと同等のドライブ能力です。

注 . P70/CLKOUT/WR#/BCLK端子以外の端子については、ポートグループ出力ドライブ能力設定レジスタで選択することができます。なお、GnDSELの50%とP70DSELの50%は同一のドライブ能力です。

8.6 ノイズキャンセラ制御機能

ノイズキャンセラ制御レジスタでは、各種周辺モジュールへの入力信号に対してグループ単位でノイズキャンセラ有無を選択することができます。なお、DRIのDD入力はポート入力を使用しています。

ポートグループ0 : TIN26, TIN27, TIN4 ~ TIN11, TIN30 ~ TIN33

ポートグループ1 : RXD0, SCLKI0, RXD1, SCLKI1, RXD2

ポートグループ2 : なし

ポートグループ3 : SCLKI5, RXD5

ポートグループ4 : TCLK0 ~ TCLK3

ポートグループ5 : なし

ポートグループ6 : RTDRXD, RTDCLK, RXD3, TIN24, TIN25, SCLKI4, RXD4

ポートグループ7 : なし

ポートグループ8 : TIN16 ~ TIN23, PWMOFF0, PWMOFF1, TIN0, TIN3

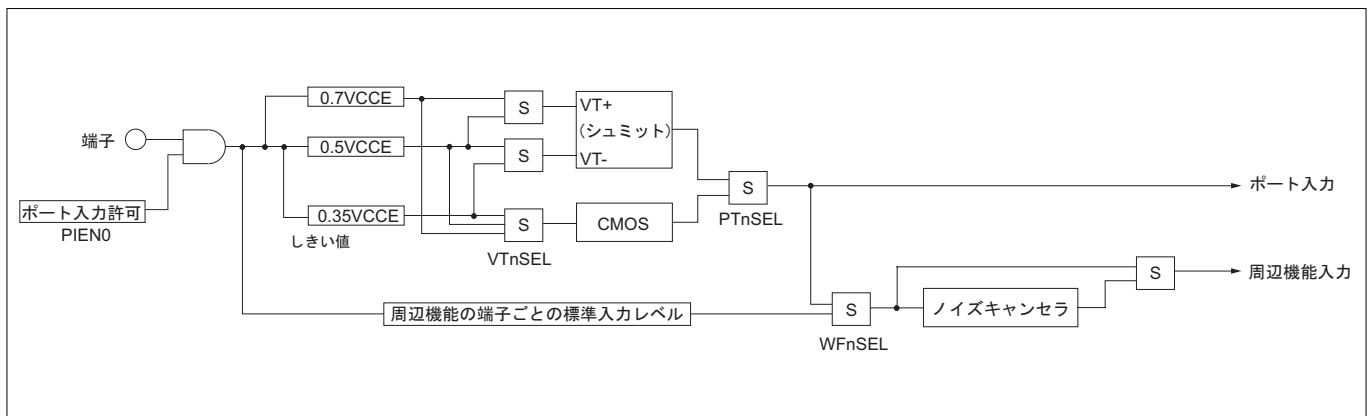


図8.6.1 ノイズキャンセラ制御機能

ノイズキャンセラ制御レジスタ(NZCNLSLR)

<アドレス : H'0080 0510 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
G0NSEL	G1NSEL		G3NSEL	G4NSEL		G6NSEL		G8NSEL							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	G0NSEL グループ0ノイズキャンセラ無効ビット	0 : グループ0ノイズキャンセラあり 1 : グループ0ノイズキャンセラなし	R	W
1	G1NSEL グループ1ノイズキャンセラ無効ビット	0 : グループ1ノイズキャンセラあり 1 : グループ1ノイズキャンセラなし	R	W
2	何も配置されていません。"0"に固定してください。		0	0
3	G3NSEL グループ3ノイズキャンセラ無効ビット	0 : グループ3ノイズキャンセラあり 1 : グループ3ノイズキャンセラなし	R	W
4	G4NSEL グループ4ノイズキャンセラ無効ビット	0 : グループ4ノイズキャンセラあり 1 : グループ4ノイズキャンセラなし	R	W
5	何も配置されていません。"0"に固定してください。		0	0
6	G6NSEL グループ6ノイズキャンセラ無効ビット	0 : グループ6ノイズキャンセラあり 1 : グループ6ノイズキャンセラなし	R	W
7	何も配置されていません。"0"に固定してください。		0	0
8	G8NSEL グループ8ノイズキャンセラ無効ビット	0 : グループ8ノイズキャンセラあり 1 : グループ8ノイズキャンセラなし	R	W
9~15	何も配置されていません。"0"に固定してください。		0	0

注 . . 必ずハーフワードでアクセスしてください。

8.7 ポート周辺回路

図8.7.1～図8.7.5にポートの周辺回路図を示します。

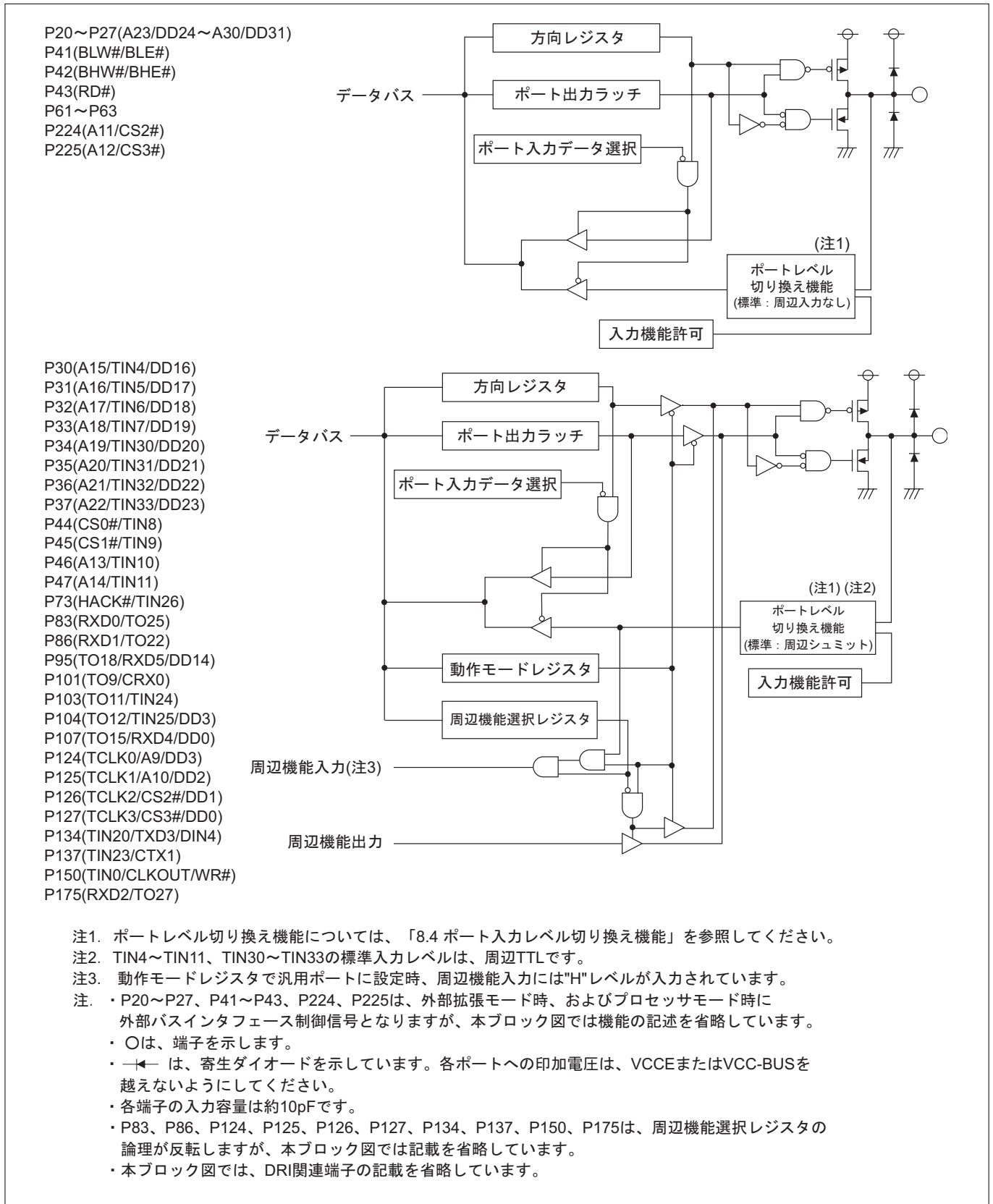


図8.7.1 ポート周辺回路図(1)

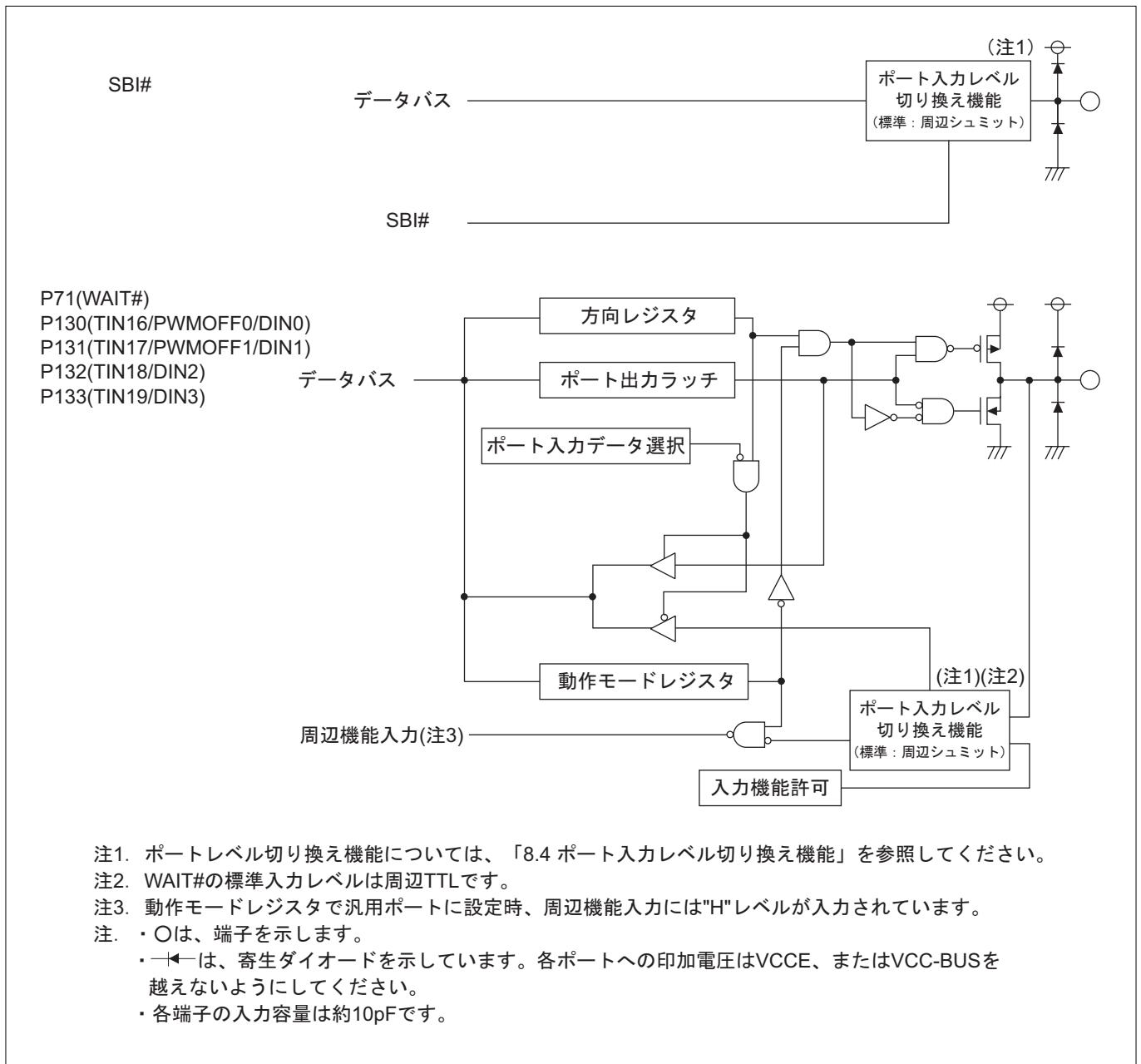


図8.7.2 ポート周辺回路図(2)

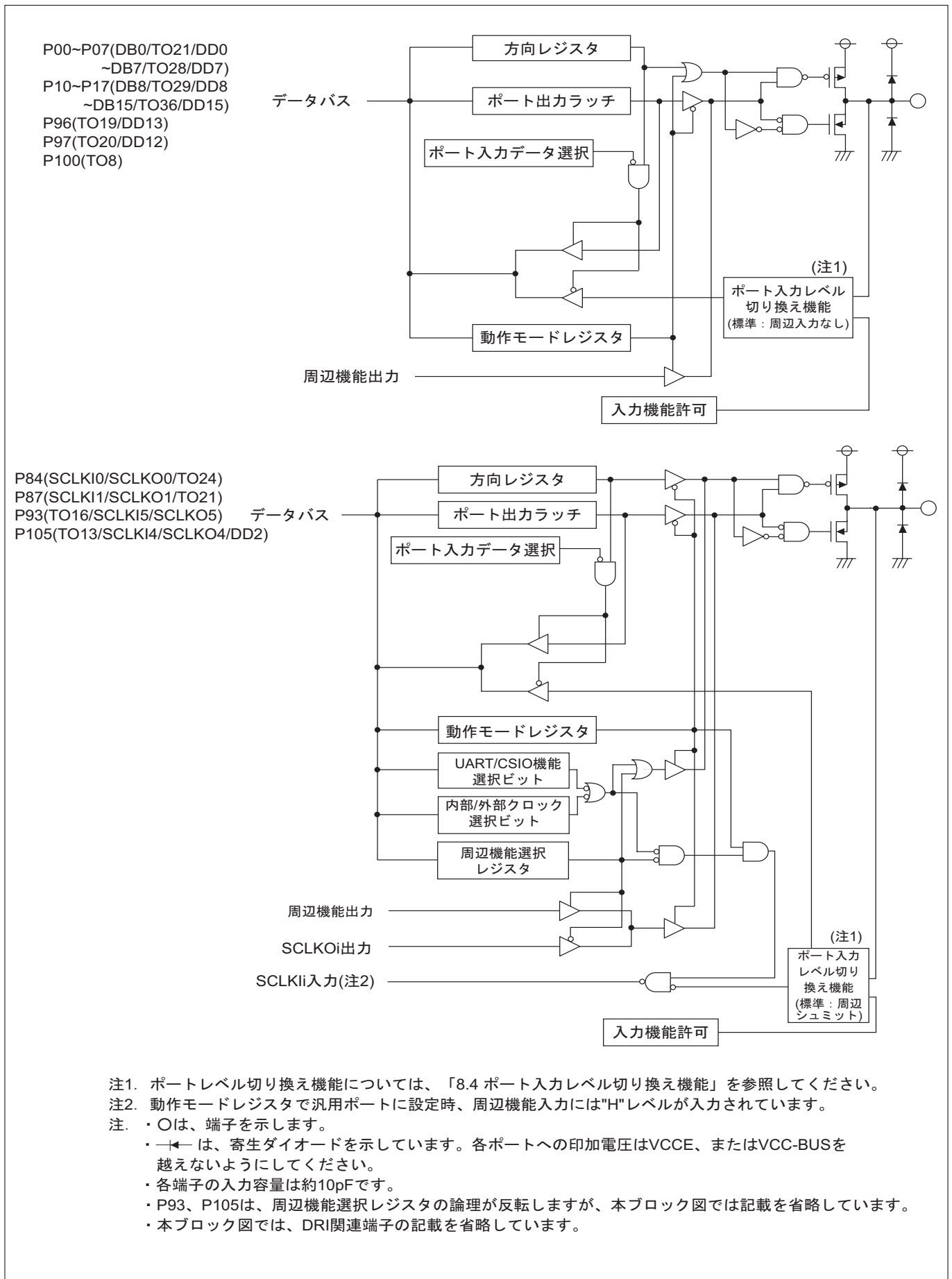


図8.7.3 ポート周辺回路図(3)

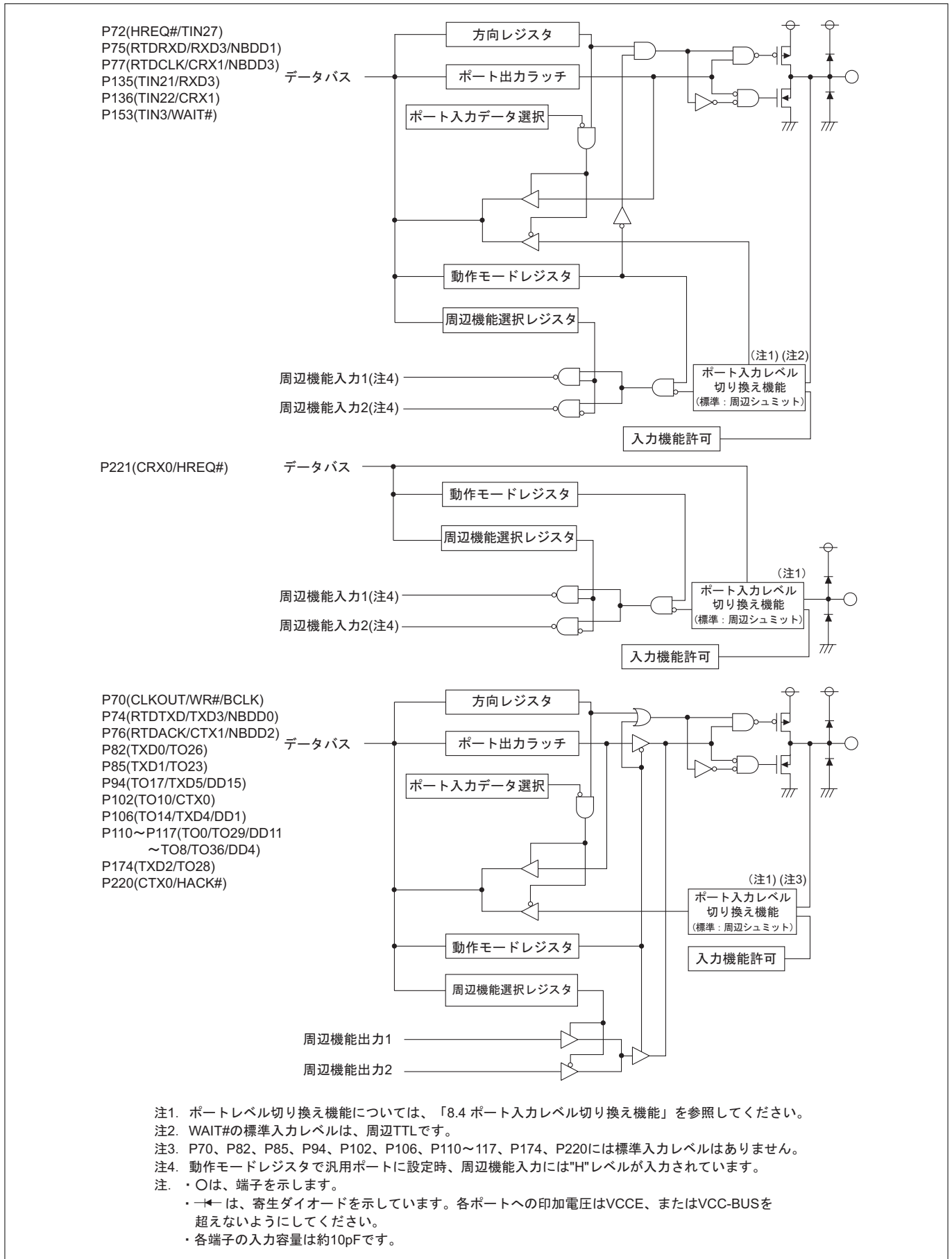


図8.7.4 ポート周辺回路図(4)

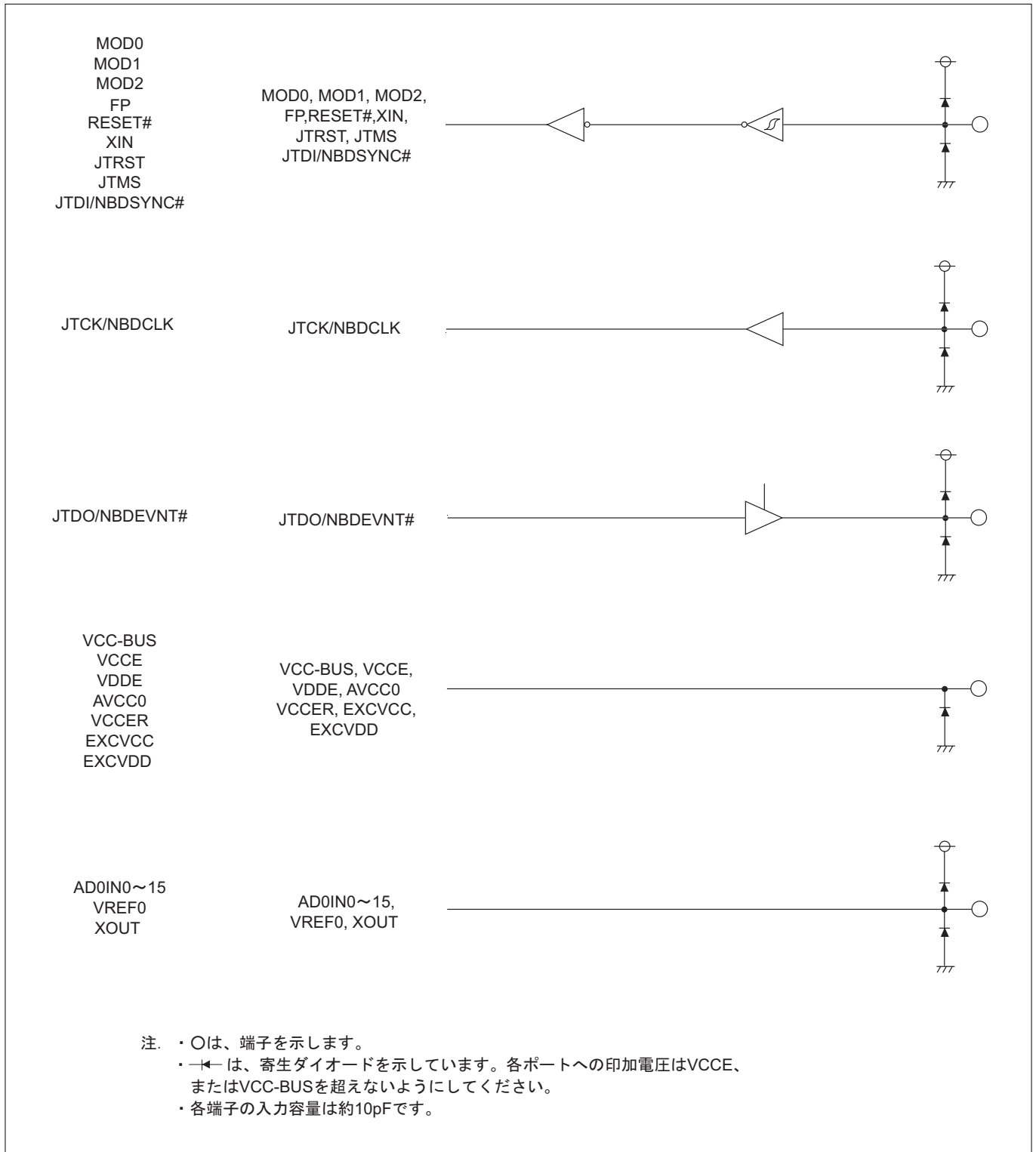


図8.7.5 ポート周辺回路図(5)

8.8 入出力ポートの注意事項

- ポートを出力モードで使用する場合

リセット解除時のポートデータレジスタは、値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力に設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力に設定すると、ポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

- ポートを入力モードで使用する場合について

ポート方向レジスタで出力モードから入力モードに切り替えた後、もしくは、ポート入力許可(PIENO)ビットを"1"(入力許可)に設定後、2BCLK後に端子レベルがリード可能となります。

- ポート入力禁止機能について

リセット解除時は入力禁止になっているため、入力機能を使用するためには、ポート入力許可ビットを"1"にして入力許可に設定する必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

- ポート周辺機能選択レジスタの設定について

ポート周辺機能選択レジスタは、対応するポート動作モードレジスタのビットが"0"のときに設定してください。

- 汎用ポートに設定時の周辺機能入力について

周辺機能入力、汎用ポートの兼用端子において、動作モードレジスタで汎用ポートに設定時、周辺機能入力には"H"レベルが入力されています。そのため、周辺機能入力端子に"L"レベルが入力されている時は、動作モードレジスタを操作時に周辺機能入力にエッジ信号が入力されません。

第9章

DMAC

- 9.1 DMAC概要
- 9.2 DMAC関連レジスタ
- 9.3 DMAC機能説明
- 9.4 DMACの注意事項

9.1 DMAC概要

10チャンネルのDMAC(ダイレクトメモリアクセスコントローラ)を内蔵しており、ソフトウェアトリガや、内蔵周辺I/Oからの要求により、内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間において、高速にデータを転送できます。

表9.1.1 DMAC概要

項目	内容
チャンネル数	10チャンネル
転送要求要因	<ul style="list-style-type: none"> ソフトウェアトリガ 内蔵周辺I/Oからの要求：A/Dコンバータ、マルチジャンクションタイマ、シリアルインタフェース(受信完了、送信バッファエンプティ)、CAN、およびDRI DMAチャンネル間のカスケード接続可能(注1)
最大転送回数	65536回
転送可能アドレス空間 (注2)	<ul style="list-style-type: none"> 32192: 64Kバイト×3バンク(H'0080 0000 ~ H'0082 FFFFのアドレス空間) 32195: 48Kバイト(H'0080 0000 ~ H'0080 BFFFのアドレス空間) 32196: 64Kバイト+16Kバイト(H'0080 0000 ~ H'0081 3FFFのアドレス空間) 内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間の転送をサポート
転送データサイズ	16ビットまたは8ビット
転送方式	単転送方式DMA(1回の転送ごとに内部バス権を解放)、デュアルアドレス転送
転送モード	単転送モード
転送方向	ソースとデスティネーションに対して、3種類のモードを選択可能 <ul style="list-style-type: none"> アドレス固定 アドレスインクリメント リングバッファ(32、16、8、4、2回の選択可能)
チャンネル優先度	DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5 > DMA6 > DMA7 > DMA8 > DMA9 (優先順位固定)
最大転送速度	26.6Mバイト/秒(内部周辺クロック：BCLK40MHz時)
割り込み要求	各転送カウントレジスタのアンダフロー発生時にグループ割り込み要求発生可能
転送エリア (注2)	<ul style="list-style-type: none"> 32192: H'0080 0000 ~ H'0082 FFFFの64Kバイト×3バンク 32195: H'0080 0000 ~ H'0080 BFFFの48Kバイト 32196: H'0080 0000 ~ H'0081 3FFFの64Kバイト+16Kバイト (内蔵RAM/SFRの全領域で転送可能)

注1. 以下のDMAチャンネルはカスケード接続できます。

- DMA0の1回のDMA転送完了で、DMA1のDMA転送を起動
- DMA0のDMA全転送終了(転送カウントレジスタのアンダフロー)で、DMA5のDMA転送を起動
- DMA1の1回のDMA転送完了で、DMA2のDMA転送を起動
- DMA2の1回のDMA転送完了で、DMA0のDMA転送を起動
- DMA2の1回のDMA転送完了で、DMA3のDMA転送を起動
- DMA3の1回のDMA転送完了で、DMA4のDMA転送を起動
- DMA5の1回のDMA転送完了で、DMA6のDMA転送を起動
- DMA6の1回のDMA転送完了で、DMA7のDMA転送を起動
- DMA7の1回のDMA転送完了で、DMA5のDMA転送を起動
- DMA7の1回のDMA転送完了で、DMA8のDMA転送を起動
- DMA8の1回のDMA転送完了で、DMA9のDMA転送を起動

注2. ソースアドレス、デスティネーションアドレスは、それぞれバンクを超えることはできません。ある1つのバンクから、同一、または別の1つのバンクへの転送のみ可能です。

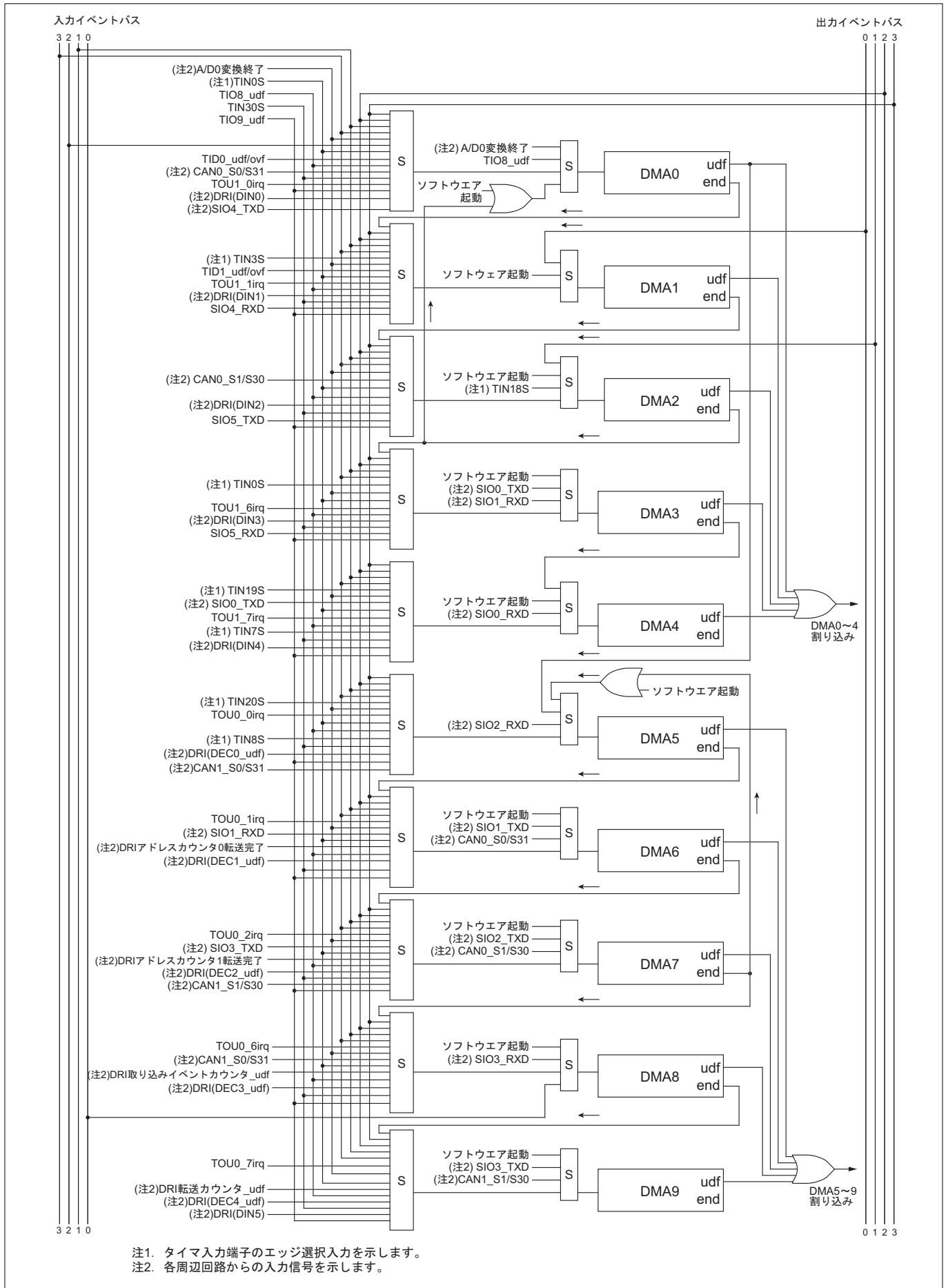


図9.1.1 DMACブロック図

9.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップを以下に示します。

DMAC関連レジスタマップ(1/2)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0400	DMA0-4割り込み要求ステータスレジスタ (DM04ITST)	DMA0-4割り込み要求マスクレジスタ (DM04ITMK)	9-35 9-36
)	(使用禁止領域)		
H'0080 0408	DMA5-9割り込み要求ステータスレジスタ (DM59ITST)	DMA5-9割り込み要求マスクレジスタ (DM59ITMK)	9-35 9-36
)	(使用禁止領域)		
H'0080 0410	DMA0チャンネル制御レジスタ0 (DM0CNT0)	DMA0チャンネル制御レジスタ1 (DM0CNT1)	9-6 9-7
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)		9-30
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)		9-31
H'0080 0416	DMA0転送カウントレジスタ (DM0TCT)		9-32
H'0080 0418	DMA5チャンネル制御レジスタ0 (DM5CNT0)	DMA5チャンネル制御レジスタ1 (DM5CNT1)	9-16 9-17
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)		9-30
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)		9-31
H'0080 041E	DMA5転送カウントレジスタ (DM5TCT)		9-32
H'0080 0420	DMA1チャンネル制御レジスタ0 (DM1CNT0)	DMA1チャンネル制御レジスタ1 (DM1CNT1)	9-8 9-9
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)		9-30
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)		9-31
H'0080 0426	DMA1転送カウントレジスタ (DM1TCT)		9-32
H'0080 0428	DMA6チャンネル制御レジスタ0 (DM6CNT0)	DMA6チャンネル制御レジスタ1 (DM6CNT1)	9-18 9-19
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)		9-30
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)		9-31
H'0080 042E	DMA6転送カウントレジスタ (DM6TCT)		9-32
H'0080 0430	DMA2チャンネル制御レジスタ0 (DM2CNT0)	DMA2チャンネル制御レジスタ1 (DM2CNT1)	9-10 9-11
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)		9-30
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)		9-31
H'0080 0436	DMA2転送カウントレジスタ (DM2TCT)		9-32
H'0080 0438	DMA7チャンネル制御レジスタ0 (DM7CNT0)	DMA7チャンネル制御レジスタ1 (DM7CNT1)	9-20 9-21
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)		9-30
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)		9-31
H'0080 043E	DMA7転送カウントレジスタ (DM7TCT)		9-32
H'0080 0440	DMA3チャンネル制御レジスタ0 (DM3CNT0)	DMA3チャンネル制御レジスタ1 (DM3CNT1)	9-12 9-13
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)		9-30
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)		9-31
H'0080 0446	DMA3転送カウントレジスタ (DM3TCT)		9-32

DMAC関連レジスタマップ(2/2)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載ページ
H'0080 0448		DMA8チャンネル制御レジスタ0 (DM8CNT0)			DMA8チャンネル制御レジスタ1 (DM8CNT1)		9-22 9-23
H'0080 044A		DMA8ソースアドレスレジスタ (DM8SA)					9-30
H'0080 044C		DMA8デスティネーションアドレスレジスタ (DM8DA)					9-31
H'0080 044E		DMA8転送カウントレジスタ (DM8TCT)					9-32
H'0080 0450		DMA4チャンネル制御レジスタ0 (DM4CNT0)			DMA4チャンネル制御レジスタ1 (DM4CNT1)		9-14 9-15
H'0080 0452		DMA4ソースアドレスレジスタ (DM4SA)					9-30
H'0080 0454		DMA4デスティネーションアドレスレジスタ (DM4DA)					9-31
H'0080 0456		DMA4転送カウントレジスタ (DM4TCT)					9-32
H'0080 0458		DMA9チャンネル制御レジスタ0 (DM9CNT0)			DMA9チャンネル制御レジスタ1 (DM9CNT1)		9-24 9-25
H'0080 045A		DMA9ソースアドレスレジスタ (DM9SA)					9-30
H'0080 045C		DMA9デスティネーションアドレスレジスタ (DM9DA)					9-31
H'0080 045E		DMA9転送カウントレジスタ (DM9TCT)					9-32
H'0080 0460		DMA0ソフトウェア要求発生レジスタ (DM0SRI)					9-29
H'0080 0462		DMA1ソフトウェア要求発生レジスタ (DM1SRI)					9-29
H'0080 0464		DMA2ソフトウェア要求発生レジスタ (DM2SRI)					9-29
H'0080 0466		DMA3ソフトウェア要求発生レジスタ (DM3SRI)					9-29
H'0080 0468		DMA4ソフトウェア要求発生レジスタ (DM4SRI)					9-29
		(使用禁止領域)					
H'0080 0470		DMA5ソフトウェア要求発生レジスタ (DM5SRI)					9-29
H'0080 0472		DMA6ソフトウェア要求発生レジスタ (DM6SRI)					9-29
H'0080 0474		DMA7ソフトウェア要求発生レジスタ (DM7SRI)					9-29
H'0080 0476		DMA8ソフトウェア要求発生レジスタ (DM8SRI)					9-29
H'0080 0478		DMA9ソフトウェア要求発生レジスタ (DM9SRI)					9-29
		(使用禁止領域)					
H'0080 0480		(使用禁止領域)			DMA0チャンネル制御レジスタ2 (DM0CNT2)		9-26
H'0080 0482		(使用禁止領域)			DMA1チャンネル制御レジスタ2 (DM1CNT2)		9-26
H'0080 0484		(使用禁止領域)			DMA2チャンネル制御レジスタ2 (DM2CNT2)		9-26
H'0080 0486		(使用禁止領域)			DMA3チャンネル制御レジスタ2 (DM3CNT2)		9-26
H'0080 0488		(使用禁止領域)			DMA4チャンネル制御レジスタ2 (DM4CNT2)		9-26
		(使用禁止領域)					
H'0080 0490		(使用禁止領域)			DMA5チャンネル制御レジスタ2 (DM5CNT2)		9-26
H'0080 0492		(使用禁止領域)			DMA6チャンネル制御レジスタ2 (DM6CNT2)		9-26
H'0080 0494		(使用禁止領域)			DMA7チャンネル制御レジスタ2 (DM7CNT2)		9-26
H'0080 0496		(使用禁止領域)			DMA8チャンネル制御レジスタ2 (DM8CNT2)		9-26
H'0080 0498		(使用禁止領域)			DMA9チャンネル制御レジスタ2 (DM9CNT2)		9-26

9.2.1 DMAチャンネル制御レジスタ

DMA0チャンネル制御レジスタα(DM0CNT0)

<アドレス: H'0080 0410 >

b0	1	2	3	4	5	6	b7
MDSEL0	TREQF0	REQSL0		TENL0	TSZSL0	SADSL0	DADSL0
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	MDSEL0 DMA0転送モード選択ビット	0: ノーマルモード 1: リングバッファモード	R	W
1	TREQF0 DMA0転送要求フラグビット	0: 要求なし 1: 要求あり	R (注1)	
2, 3	REQSL0 DMA0転送要求要因選択ビット	00: ソフトウェア起動 または、DMA2-1回転送完了 01: A/D0変換終了 10: MJT(TIO8_udf) 11: DMA0拡張転送要求要因選択 (DMA0チャンネル制御レジスタ1)	R	W
4	TENL0 DMA0転送許可ビット	0: 転送禁止 1: 転送許可	R	W
5	TSZSL0 DMA0転送サイズ選択ビット	0: 16ビット 1: 8ビット	R	W
6	SADSL0 DMA0ソースアドレス方向選択ビット	0: 固定 1: インクリメント	R	W
7	DADSL0 DMA0デスティネーションアドレス方向選択ビット	0: 固定 1: インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

DMA0チャンネル制御レジスタ1(DM0CNT1)

<アドレス: H'0080 0411 >

b8	9	10	11	12	13	14	b15
SADBN0		DADBN0		REQESEL0			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8, 9	SADBN0 ソースアドレスバンク選択ビット (注1)注2)	00: バンク0(A14=0, A15=0) 01: バンク1(A14=0, A15=1) 10: バンク2(A14=1, A15=0) 11: 設定禁止	R	W
10, 11	DADBN0 デスティネーションアドレスバンク選択ビット (注1)注2)	00: バンク0(A14=0, A15=0) 01: バンク1(A14=0, A15=1) 10: バンク2(A14=1, A15=0) 11: 設定禁止	R	W
12~15	REQESEL0 DMA0拡張転送要求要因選択ビット	0000: MJT(入力イベントバス2) 0001: MJT(TID0_udf/ovf) 0010: CAN(CAN0_S0/S31) 0011: 共通1)MJT(入力イベントバス1) 0100: 共通2)MJT(入力イベントバス3) 0101: 共通3)MJT(出力イベントバス2) 0110: 共通4)MJT(出力イベントバス3) 0111: 共通5)A/D0変換終了 1000: 共通6)MJT(TIN0S) 1001: 共通7)MJT(TIO8_udf) 1010: 共通8)MJT(TIN30S) 1011: 共通9)MJT(TIO9_udf) 1100: 共通10)設定禁止 1101: MJT(TOU1_0irq) 1110: DR(DIN0) 1111: SIO4_TXD(送信バッファエンプティ)	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2(A14=1, A15=0)の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1(A14=0, A15=1) \ バンク2(A14=1, A15=0)の設定は行わないでください。

DMA1チャンネル制御レジスタ(DM1CNT0)

< アドレス : H'0080 0420 >

b0	1	2	3	4	5	6	b7
MDSEL1	TREQF1	REQSL1		TENL1	TSZSL1	SADSL1	DADSL1
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL1 DMA1転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF1 DMA1転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL1 DMA1転送要求要因選択ビット	00 : ソフトウェア起動 01 : MJT(出力イベントバス0) 10 : 設定禁止 11 : DMA1拡張転送要求要因選択 (DMA1チャンネル制御レジスタ1)	R	W
4	TENL1 DMA1転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL1 DMA1転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL1 DMA1ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL1 DMA1デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA1チャンネル制御レジスタ1(DM1CNT1)

<アドレス : H'0080 0421 >

b8	9	10	11	12	13	14	b15
SADBN1		DADBN1		REQESEL1			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN1 ソースアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14=0, A15=0) 01 : バンク1 (A14=0, A15=1) 10 : バンク2 (A14=1, A15=0) 11 : 設定禁止	R	W
10, 11	DADBN1 デスティネーションアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14=0, A15=0) 01 : バンク1 (A14=0, A15=1) 10 : バンク2 (A14=1, A15=0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL1 DMA1拡張転送要求要因選択ビット	0000 : DMA0-1回転送完了 0001 : MJT(TIN3S) 0010 : MJT(TID1_udf/ovf) 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : MJT(TOU1_1irq) 1110 : DR(DIN1) 1111 : SIO4_RXD(受信完了)	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1)、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA2チャンネル制御レジスタ0(DM2CNT0)

<アドレス : H'0080 0430 >

b0	1	2	3	4	5	6	b7
MDSSEL2	TREQF2	REQSL2		TENL2	TSZSL2	SADSL2	DADSL2
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSSEL2 DMA2転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF2 DMA2転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL2 DMA2転送要求要因選択ビット	00 : ソフトウェア起動 01 : MJT(出力イベントバス1) 10 : MJT(TIN18S) 11 : DMA2拡張転送要求要因選択 (DMA2チャンネル制御レジスタ1)	R	W
4	TENL2 DMA2転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL2 DMA2転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL2 DMA2ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL2 DMA2デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA2チャンネル制御レジスタ1(DM2CNT1)

<アドレス : H'0080 0431 >

b8	9	10	11	12	13	14	b15
SADBN2		DADBN2		REQESEL2			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN2 ソースアドレスバンク選択ビット (注1)注2)	00 : バンク0(A14=0, A15=0) 01 : バンク1(A14=0, A15=1) 10 : バンク2(A14=1, A15=0) 11 : 設定禁止	R	W
10, 11	DADBN2 デスティネーションアドレスバンク選択ビット (注1)注2)	00 : バンク0(A14=0, A15=0) 01 : バンク1(A14=0, A15=1) 10 : バンク2(A14=1, A15=0) 11 : 設定禁止	R	W
12~15	REQESEL2 DMA2拡張転送要求要因選択ビット	0000 : DMA1-1回転送完了 0001 : 設定禁止 0010 : CAN(CAN0_S1/S30) 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10 設定禁止 1101 : 設定禁止 1110 : DR(DIN2) 1111 : SIO5_TXD(送信バッファエンプティ)	R	W

注1 . バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2 . 32196の場合、バンク2は存在しないため、バンク2(A14=1,A15=0)の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1(A14=0, A15=1) 、バンク2(A14=1, A15=0)の設定は行わないでください。

DMA3チャンネル制御レジスタ(DM3CNT0)

< アドレス : H'0080 0440 >

b0	1	2	3	4	5	6	b7
MDSEL3	TREQF3	REQSL3		TENL3	TSZSL3	SADSL3	DADSL3
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL3 DMA3転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF3 DMA3転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL3 DMA3転送要求要因選択ビット	00 : ソフトウェア起動 01 : SIO0_TXD(送信バッファエンブティ) 10 : SIO1_RXD(受信完了) 11 : DMA3拡張転送要求要因選択 (DMA3チャンネル制御レジスタ1)	R	W
4	TENL3 DMA3転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL3 DMA3転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL3 DMA3ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL3 DMA3デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA3チャンネル制御レジスタ1(DM3CNT1)

<アドレス : H'0080 0441 >

b8	9	10	11	12	13	14	b15
SADBN3		DADBN3		REQESEL3			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN3 ソースアドレスバンク選択ビット (注1)注2)	00 : バンク0(A14=0, A15=0) 01 : バンク1(A14=0, A15=1) 10 : バンク2(A14=1, A15=0) 11 : 設定禁止	R	W
10, 11	DADBN3 デスティネーションアドレスバンク選択ビット (注1)注2)	00 : バンク0(A14=0, A15=0) 01 : バンク1(A14=0, A15=1) 10 : バンク2(A14=1, A15=0) 11 : 設定禁止	R	W
12~15	REQESEL3 DMA3拡張転送要求要因選択ビット	0000 : MJT(TIN0S) 0001 : DMA2-1回転送完了 0010 : 設定禁止 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : MJT(TOU1_6irq) 1110 : DR(DIN3) 1111 : SIO5_RXD(受信完了)	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2(A14=1, A15=0)の設定は行わないでください。

また、32195の場合、バンク1、バンク2は存在しないため、バンク1(A14=0, A15=1)、バンク2(A14=1, A15=0)の設定は行わないでください。

DMA4チャンネル制御レジスタ0(DM4CNT0)

< アドレス : H'0080 0450 >

b0	1	2	3	4	5	6	b7
MDSEL4	TREQF4	REQSL4		TENL4	TSZSL4	SADSL4	DADSL4
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL4 DMA4転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF4 DMA4転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL4 DMA4転送要求要因選択ビット	00 : ソフトウェア起動 01 : DMA3-1回転送完了 10 : SIO0_RXD(受信完了) 11 : DMA4拡張転送要求要因選択 (DMA4チャンネル制御レジスタ1)	R	W
4	TENL4 DMA4転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL4 DMA4転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL4 DMA4ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL4 DMA4デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA4チャンネル制御レジスタ1(DM4CNT1)

<アドレス : H'0080 0451 >

b8	9	10	11	12	13	14	b15
SADBN4		DADBN4		REQESEL4			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN4 ソースアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
10, 11	DADBN4 デスティネーションアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL4 DMA4拡張転送要求要因選択ビット	0000 : MJT(TIN19S) 0001 : SIO0_TXD(送信バッファエンプティ) 0010 : MJT(TOU1_7irq) 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : MJT(TIN7S) 1110 : DR(DIN4) 1111 : 設定禁止	R	W

注1 . バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2 . 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1) 、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA5チャンネル制御レジスタ0(DM5CNT0)

<アドレス : H'0080 0418 >

b0	1	2	3	4	5	6	b7
MDSEL5	TREQF5	REQSL5		TENL5	TSZSL5	SADSL5	DADSL5
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL5 DMA5転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF5 DMA5転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL5 DMA5転送要求要因選択ビット	00 : ソフトウェア起動 または、DMA7-1回転送完了 01 : DMA0全転送終了 10 : SIO2_RXD(受信完了) 11 : DMA5拡張転送要求要因選択 (DMA5チャンネル制御レジスタ1)	R	W
4	TENL5 DMA5転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL5 DMA5転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL5 DMA5ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL5 DMA5デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5チャンネル制御レジスタ1(DM5CNT1)

< アドレス : H'0080 0419 >

b8	9	10	11	12	13	14	b15
SADBN5		DADBN5		REQESEL5			
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN5 ソースアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
10, 11	DADBN5 デスティネーションアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL5 DMA5拡張転送要求要因選択ビット	0000 : MJT(TIN20S) 0001 : MJT(TOU0_0irq) 0010 : 設定禁止 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : MJT(TIN8S) 1110 : DR(DEC0_udf) 1111 : CAN1_S0/S31	R	W

注1 . バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2 . 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1)、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA6チャンネル制御レジスタ(DM6CNT0)

< アドレス : H'0080 0428 >

b0	1	2	3	4	5	6	b7
MDSEL6	TREQF6	REQSL6		TENL6	TSZSL6	SADSL6	DADSL6
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL6 DMA6転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF6 DMA6転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL6 DMA6転送要求要因選択ビット	00 : ソフトウェア起動 01 : SIO1_TXD(送信バッファエンプティ) 10 : CAN0_S0/S31 11 : DMA6拡張転送要求要因選択 (DMA6チャンネル制御レジスタ1)	R	W
4	TENL6 DMA6転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL6 DMA6転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL6 DMA6ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL6 DMA6デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA6チャンネル制御レジスタ1(DM6CNT1)

< アドレス : H'0080 0429 >

b8	9	10	11	12	13	14	b15
SADBN6		DADBN6		REQESEL6			
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN6 ソースアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
10, 11	DADBN6 デスティネーションアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL6 DMA6拡張転送要求要因選択ビット	0000 : DMA5-1回転送完了 0001 : MJT(TOU0_1irq) 0010 : SIO1_RXD(受信完了) 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : DR(アドレスカウンタ0転送) 1110 : DR(DEC1_udf) 1111 : 設定禁止	R	W

注1 . バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2 . 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。

また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1)、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA7チャンネル制御レジスタ0(DM7CNT0)

<アドレス : H'0080 0438 >

b0	1	2	3	4	5	6	b7
MDSL7	TREQF7	REQSL7		TENL7	TSZSL7	SADSL7	DADSL7
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSL7 DMA7転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF7 DMA7転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL7 DMA7転送要求要因選択ビット	00 : ソフトウェア起動 01 : SIO2_TXD(送信バッファエンブティ) 10 : CAN0_S1/S30 11 : DMA7拡張転送要求要因選択 (DMA7チャンネル制御レジスタ1)	R	W
4	TENL7 DMA7転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL7 DMA7転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL7 DMA7ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL7 DMA7デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA7チャンネル制御レジスタ1(DM7CNT1)

<アドレス : H'0080 0439 >

b8	9	10	11	12	13	14	b15
SADBN7		DADBN7		REQESEL7			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN7 ソースアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
10, 11	DADBN7 デスティネーションアドレスバンク選択ビット (注1)注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL7 DMA7拡張転送要求要因選択ビット	0000 : DMA6-1回転送完了 0001 : MJT(TOU0_2irq) 0010 : SIO3_TXD(送信バッファEMPTY) 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : DR(アドレスカウンタ1転送) 1110 : DR(DEC2_udf) 1111 : CAN1_S1/S30	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。
また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1)、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA8チャンネル制御レジスタ0(DM8CNT0)

<アドレス : H'0080 0448 >

b0	1	2	3	4	5	6	b7
MDSEL8	TREQF8	REQSL8		TENL8	TSZSL8	SADSL8	DADSL8
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL8 DMA8転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF8 DMA8転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL8 DMA8転送要求要因選択ビット	00 : ソフトウェア起動 01 : MJT(入力イベントパス0) 10 : SIO3_RXD(受信完了) 11 : DMA8拡張転送要求要因選択 (DMA8チャンネル制御レジスタ1)	R	W
4	TENL8 DMA8転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL8 DMA8転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL8 DMA8ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL8 DMA8デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA8チャンネル制御レジスタ1(DM8CNT1)

<アドレス : H'0080 0449 >

b8	9	10	11	12	13	14	b15
SADBN8		DADBN8		REQESEL8			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN8 ソースアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14=0, A15=0) 01 : バンク1 (A14=0, A15=1) 10 : バンク2 (A14=1, A15=0) 11 : 設定禁止	R	W
10, 11	DADBN8 デスティネーションアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14=0, A15=0) 01 : バンク1 (A14=0, A15=1) 10 : バンク2 (A14=1, A15=0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL8 DMA8拡張転送要求要因選択ビット	0000 : CAN1_S0/S31 0001 : MJT(TOU0_6irq) 0010 : DMA7-1回転送完了 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : DRK(取り込みイベントカウンタ_udf) 1110 : DRK(DEC3_udf) 1111 : 設定禁止	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。

また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1) 、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA9チャンネル制御レジスタ(DM9CNT0)

< アドレス : H'0080 0458 >

b0	1	2	3	4	5	6	b7
MDSEL9	TREQF9	REQSL9		TENL9	TSZSL9	SADSL9	DADSL9
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	MDSEL9 DMA9転送モード選択ビット	0 : ノーマルモード 1 : リングバッファモード	R	W
1	TREQF9 DMA9転送要求フラグビット	0 : 要求なし 1 : 要求あり	R (注1)	
2, 3	REQSL9 DMA9転送要求要因選択ビット	00 : ソフトウェア起動 01 : SIO3_TXD(送信バッファエンブティ) 10 : CAN1_S1/S30 11 : DMA9拡張転送要求要因選択 (DMA9チャンネル制御レジスタ1)	R	W
4	TENL9 DMA9転送許可ビット	0 : 転送禁止 1 : 転送許可	R	W
5	TSZSL9 DMA9転送サイズ選択ビット	0 : 16ビット 1 : 8ビット	R	W
6	SADSL9 DMA9ソースアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W
7	DADSL9 DMA9デスティネーションアドレス方向選択ビット	0 : 固定 1 : インクリメント	R	W

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA9チャンネル制御レジスタ1(DM9CNT1)

<アドレス : H'0080 0459 >

b8	9	10	11	12	13	14	b15
SADBN9		DADBN9		REQESEL9			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	SADBN9 ソースアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
10, 11	DADBN9 デスティネーションアドレスバンク選択ビット (注1) (注2)	00 : バンク0 (A14 = 0, A15 = 0) 01 : バンク1 (A14 = 0, A15 = 1) 10 : バンク2 (A14 = 1, A15 = 0) 11 : 設定禁止	R	W
12 ~ 15	REQESEL9 DMA9拡張転送要求要因選択ビット	0000 : DMA8-1回転送完了 0001 : MJT(TOU0_7irq) 0010 : 設定禁止 0011 : 共通1)MJT(入力イベントパス1) 0100 : 共通2)MJT(入力イベントパス3) 0101 : 共通3)MJT(出力イベントパス2) 0110 : 共通4)MJT(出力イベントパス3) 0111 : 共通5)A/D0変換終了 1000 : 共通6)MJT(TIN0S) 1001 : 共通7)MJT(TIO8_udf) 1010 : 共通8)MJT(TIN30S) 1011 : 共通9)MJT(TIO9_udf) 1100 : 共通10)設定禁止 1101 : DRK(転送カウンタ_udf) 1110 : DRK(DEC4_udf) 1111 : DRK(DIN5)	R	W

注1. バンクを超える転送はできません。バンクの切れ目でアドレスがインクリメントされバンクを超えたとしても、ソースアドレスバンク選択/デスティネーションアドレスバンク選択ビットはインクリメントされず、バンクの先頭がソースアドレス/デスティネーションアドレスになります。

注2. 32196の場合、バンク2は存在しないため、バンク2 (A14=1, A15=0) の設定は行わないでください。

また、32195の場合、バンク1、バンク2は存在しないため、バンク1 (A14=0, A15=1)、バンク2 (A14=1, A15=0) の設定は行わないでください。

DMA0チャンネル制御レジスタ2(DM0CNT2)	<アドレス : H'0080 0481 >
DMA1チャンネル制御レジスタ2(DM1CNT2)	<アドレス : H'0080 0483 >
DMA2チャンネル制御レジスタ2(DM2CNT2)	<アドレス : H'0080 0485 >
DMA3チャンネル制御レジスタ2(DM3CNT2)	<アドレス : H'0080 0487 >
DMA4チャンネル制御レジスタ2(DM4CNT2)	<アドレス : H'0080 0489 >
DMA5チャンネル制御レジスタ2(DM5CNT2)	<アドレス : H'0080 0491 >
DMA6チャンネル制御レジスタ2(DM6CNT2)	<アドレス : H'0080 0493 >
DMA7チャンネル制御レジスタ2(DM7CNT2)	<アドレス : H'0080 0495 >
DMA8チャンネル制御レジスタ2(DM8CNT2)	<アドレス : H'0080 0497 >
DMA9チャンネル制御レジスタ2(DM9CNT2)	<アドレス : H'0080 0499 >

b8	9	10	11	12	13	14	b15
SELFEN	RINGSEL						
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	SELFEN 自チャンネル転送選択	0 : 自チャンネル転送禁止 1 : 自チャンネル転送許可	R	W
9	何も配置されていません。		0	-
10 ~ 15	RINGSEL リングバッファ選択ビット	00 0000 : 32回リングバッファモード 10 0000 : 32回リングバッファモード 11 0000 : 16回リングバッファモード 11 1000 : 8回リングバッファモード 11 1100 : 4回リングバッファモード 11 1110 : 2回リングバッファモード 上記以外設定禁止	R	W

DMAチャンネル制御レジスタ0は、各チャンネルのDMA転送モード選択、DMA転送要求フラグ、DMA転送要因選択、DMA転送許可、転送サイズ、ソース/デスティネーションアドレス方向を設定するビットで構成しています。

DMAチャンネル制御レジスタ1は、各チャンネルのソース/デスティネーションアドレスバンク選択、DMA拡張転送要因選択を設定するビットで構成しています。

DMAチャンネル制御レジスタ2は、各チャンネルの自チャンネル転送選択、リングバッファ選択を設定するビットで構成しています。

【DMnCNT0 レジスタ】

(1) MDSELn (DMA_n 転送モード選択) ビット (b0)

単転送モードにおいて、ノーマルモードかリングバッファモードかを選択するビットです。このビットを"0"にするとノーマルモードに、"1"にするとリングバッファモードになります。

リングバッファモードでの転送回数はDMnCNT2レジスタで選択します。

(2) TREQFn (DMA_n 転送要求フラグ) ビット (b1)

このフラグは、各チャンネルのDMA転送要求の有無を示します。このビットは、TENLnビットの設定値に関わらず、DMA転送要求が発生したとき"1"にセットされ、その転送要求に対する転送が完了すると"0"にクリアされます。

また、このビットに"0"を書き込むと、発生したDMA転送要求をクリアします。"1"を書き込んだ場合は、書き込み前の値を保持します。

既にDMA転送要求フラグが"1"にセットされているチャンネルに対して新たなDMA転送要求が発生しても、そのチャンネルが転送を完了するまで次のDMA転送要求は受け付けられません。

(3) REQSLn (DMA_n 転送要求要因選択) ビット (b2, b3)

DMAの各チャンネルに対するDMA転送要求要因を選択します。

(4) TENLn (DMA_n 転送許可) ビット (b4)

このビットを"1"(転送許可)に設定するとDMA転送可能状態となり、全転送が完了(転送カウンタレジスタのアンダフロー)すると、"0"にクリアされます。また、既にDMA転送要求が発生している状態において、転送許可に設定すると、すぐにDMA転送が開始されますので、ご注意ください。

また、"0"(転送禁止)にするとDMA転送禁止状態となります。ただし、既に転送要求が受け付けられていた場合は、その転送が完了後に禁止されます。

(5) TSZSLn (DMA_n 転送サイズ選択) ビット (b5)

1回のDMA転送動作(1転送単位)で転送するビット数を選択します。

このビットを"0"にすると1転送単位が16ビット、"1"にすると1転送単位が8ビットになります。

(6) SADSLn (DMA_n ソースアドレス方向選択) ビット (b6)

ソースアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

(7) DADSLn (DMA_n デスティネーションアドレス方向選択) ビット (b7)

デスティネーションアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

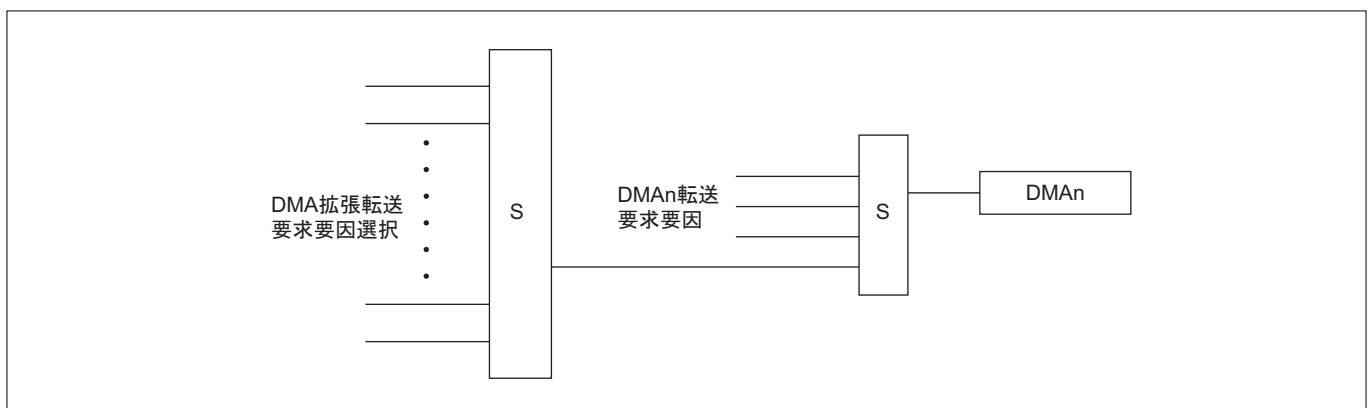


図9.2.1 DMA_n拡張転送要求要因選択ブロック図

【DMnCNT1 レジスタ】

(1) SADBnX (DMA_n ソースアドレスバンク選択) ビット (b8, b9)

使用するソースアドレスバンクをバンク0/バンク1/バンク2から選択します。ただし、32196の場合、バンク2は存在しないため、バンク2を選択する事は禁止です。またバンクを超える転送は行いません。バンクの最終アドレスに対する転送が終了すると、次はバンクの先頭アドレスに対する転送となります。

(2) DADBnX (DMA_n デスティネーションアドレスバンク選択) ビット (b10, b11)

使用するデスティネーションアドレスバンクをバンク0/バンク1/バンク2から選択します。ただし、32196の場合、バンク2は存在しないため、バンク2を選択する事は禁止です。またバンクを超える転送は行いません。バンクの最終アドレスに対する転送が終了すると、次はバンクの先頭アドレスに対する転送となります。

(3) REQESEL_n (DMA_n 拡張転送要求要因選択) ビット (b12 ~ b15)

DMAの各チャンネルに対するDMA拡張転送要求要因を選択します。

注. ・DMAチャンネル制御レジスタのDMA要求要因選択(REQSL_n)ビットで拡張転送要求要因を選択した場合のみ、REQESEL_n(DMA拡張転送要因)ビットで選択したDMA拡張転送要求要因が有効になります。

【DMnCNT2 レジスタ】

(1) SELFEN (DMA_n 自チャンネル転送選択) ビット (b8)

このビットを"0"に設定すると自チャンネルの転送が禁止され、"1"にすると自チャンネルの転送が許可されます。自チャンネルの転送が許可された場合、最初の転送要求が発生すると、1回のDMA転送完了ごとに自チャンネルに対してDMA転送要求が発生し、全転送が完了(転送カウントレジスタのアンダフロー)するまで、DMA転送が行われます。ただし、内部バス権は、1回のDMA転送完了ごとに開放されます。

また、n回のDMA転送を設定している場合、n回目のDMA転送完了時(全転送完了時)にも自チャンネルに対するDMA転送要求が発生するため、再度DMA転送開始時にはDMA転送要求をクリアする等の注意が必要です。

(2) RINGSEL (DMA_n リングバッファ選択) ビット (b10 ~ b15)

DMAの各チャンネルに対するリングバッファモードでの転送回数を32回/16回/8回/4回/2回から選択します。

リングバッファモードでは転送開始アドレスから転送後、再び転送開始アドレスに戻り、選択した回数だけ同じ動作を繰り返します。リングバッファモードでは転送カウントレジスタはフリーランとなり、転送許可ビットを"0"(転送禁止)にするまで転送動作を継続します。

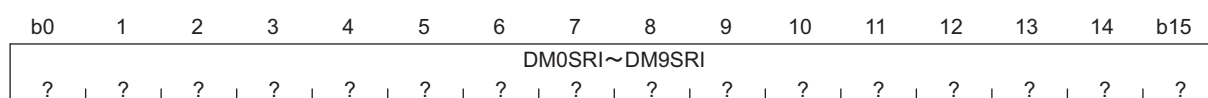
また、リングバッファモード時はDMA転送終了割り込み要求が発生しません。

注. ・リングバッファモード設定時、自チャンネル転送許可にした場合、永遠に転送し続けることに注意が必要です。
・転送開始アドレスは下記である必要があります。

	転送サイズ8bit時	転送サイズ16bit時
32回リングバッファモード	下位5bit B'00000	下位6bit B'000000
16回リングバッファモード	下位4bit B'0000	下位5bit B'00000
8回リングバッファモード	下位3bit B'000	下位4bit B'0000
4回リングバッファモード	下位2bit B'00	下位3bit B'000
2回リングバッファモード	下位1bit B'0	下位2bit B'00

9.2.2 DMAソフトウェア要求発生レジスタ

DMA0ソフトウェア要求発生レジスタ(DM0SRI)	<アドレス: H'0080 0460 >
DMA1ソフトウェア要求発生レジスタ(DM1SRI)	<アドレス: H'0080 0462 >
DMA2ソフトウェア要求発生レジスタ(DM2SRI)	<アドレス: H'0080 0464 >
DMA3ソフトウェア要求発生レジスタ(DM3SRI)	<アドレス: H'0080 0466 >
DMA4ソフトウェア要求発生レジスタ(DM4SRI)	<アドレス: H'0080 0468 >
DMA5ソフトウェア要求発生レジスタ(DM5SRI)	<アドレス: H'0080 0470 >
DMA6ソフトウェア要求発生レジスタ(DM6SRI)	<アドレス: H'0080 0472 >
DMA7ソフトウェア要求発生レジスタ(DM7SRI)	<アドレス: H'0080 0474 >
DMA8ソフトウェア要求発生レジスタ(DM8SRI)	<アドレス: H'0080 0476 >
DMA9ソフトウェア要求発生レジスタ(DM9SRI)	<アドレス: H'0080 0478 >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	DM0SRI~DM9SRI DMAソフトウェア要求発生ビット	任意データの書き込みで DMA転送要求を発生	?	W

注. このレジスタはバイトでもハーフワードでもアクセス可能です。

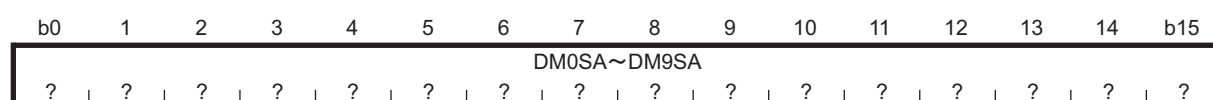
DMAソフトウェア要求発生レジスタは、ソフトウェアでDMA転送要求を発生するためのレジスタで、DMA転送要因として「ソフトウェア起動」を選択しているとき、このレジスタに任意の値を書き込むとDMA転送要求を発生することができます。

(1) DM0SRI ~ DM9SRI (DMAソフトウェア要求発生) ビット

DMA転送要求要因としてソフトウェア起動を選択(DManチャンネル制御レジスタ0のb2, b3を"00"に設定)した場合、このレジスタにハーフワード(16ビット)か、偶数もしくは奇数番地で始まるバイト(8ビット)に任意データを書き込むと、ソフトウェアDMA転送要求が発生します。

9.2.3 DMAソースアドレスレジスタ

DMA0ソースアドレスレジスタ(DM0SA)	<アドレス: H'0080 0412 >
DMA1ソースアドレスレジスタ(DM1SA)	<アドレス: H'0080 0422 >
DMA2ソースアドレスレジスタ(DM2SA)	<アドレス: H'0080 0432 >
DMA3ソースアドレスレジスタ(DM3SA)	<アドレス: H'0080 0442 >
DMA4ソースアドレスレジスタ(DM4SA)	<アドレス: H'0080 0452 >
DMA5ソースアドレスレジスタ(DM5SA)	<アドレス: H'0080 041A >
DMA6ソースアドレスレジスタ(DM6SA)	<アドレス: H'0080 042A >
DMA7ソースアドレスレジスタ(DM7SA)	<アドレス: H'0080 043A >
DMA8ソースアドレスレジスタ(DM8SA)	<アドレス: H'0080 044A >
DMA9ソースアドレスレジスタ(DM9SA)	<アドレス: H'0080 045A >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	DM0SA~DMA9SA	ソースアドレスのA16~A31 (注1)	R	W

注1. A0~A15は、DMA_nチャンネル制御レジスタ1(DM_nCNT1)のb8、b9による設定にて固定されます。

注. このレジスタは、必ずハーフワードでアクセスしてください。

・存在するSFR領域、内蔵RAM領域以外のアドレスは設定しないでください。

DMAソースアドレスレジスタには、b0がA16、b15がA31になるようにDMA転送元のアドレスを設定します。このレジスタはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス+1(8ビット転送時)または最終転送アドレス+2(16ビット転送時)になります。

DMAソースアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

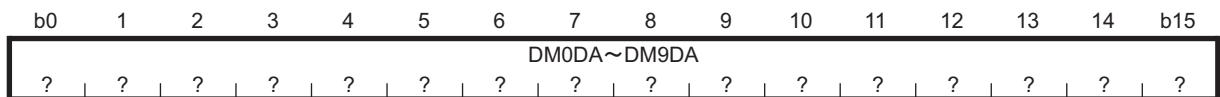
(1) DM0SA ~ DM9SA (ソースアドレスのA16 ~ A31)

このレジスタの設定により、SFR領域または内蔵RAM領域のソースアドレスを指定します。

ソースアドレスの上位16ビット(A0~A15)は、DMA_nチャンネル制御レジスタ1(DM_nCNT1)のb8、b9の設定により、対応するソースアドレスの上位16ビットが固定されます。このレジスタではソースアドレスの下位16ビットを設定します(b0がソースアドレスのA16、b15がソースアドレスのA31に相当します)。なお、DMA_nチャンネル制御レジスタ(DM_nCNT0)のSADSL_nビットにて"インクリメント"を選択時、バンクを超える転送は行いません。バンクの最終アドレスに対する転送が終了すると、次はバンクの先頭アドレスに対する転送となります。

9.2.4 DMAデスティネーションアドレスレジスタ

DMA0デスティネーションアドレスレジスタ(DM0DA)	<アドレス: H'0080 0414 >
DMA1デスティネーションアドレスレジスタ(DM1DA)	<アドレス: H'0080 0424 >
DMA2デスティネーションアドレスレジスタ(DM2DA)	<アドレス: H'0080 0434 >
DMA3デスティネーションアドレスレジスタ(DM3DA)	<アドレス: H'0080 0444 >
DMA4デスティネーションアドレスレジスタ(DM4DA)	<アドレス: H'0080 0454 >
DMA5デスティネーションアドレスレジスタ(DM5DA)	<アドレス: H'0080 041C >
DMA6デスティネーションアドレスレジスタ(DM6DA)	<アドレス: H'0080 042C >
DMA7デスティネーションアドレスレジスタ(DM7DA)	<アドレス: H'0080 043C >
DMA8デスティネーションアドレスレジスタ(DM8DA)	<アドレス: H'0080 044C >
DMA9デスティネーションアドレスレジスタ(DM9DA)	<アドレス: H'0080 045C >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	DM0DA~DM9DA	デスティネーションアドレスのA16~A31 (注1)	R	W

注1. A0~A15は、DMA_nチャンネル制御レジスタ1(DM_nCNT1)のb10、b11による設定にて固定されます。

注. このレジスタは、必ずハーフワードでアクセスしてください。

・存在するSFR領域、内蔵RAM領域以外のアドレスは設定しないでください。

DMAデスティネーションアドレスレジスタには、b0がA16、b15がA31になるようにDMA転送先のアドレスを設定します。このレジスタへのアクセスはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時) または最終転送アドレス + 2(16ビット転送時) になります。

DMAデスティネーションアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

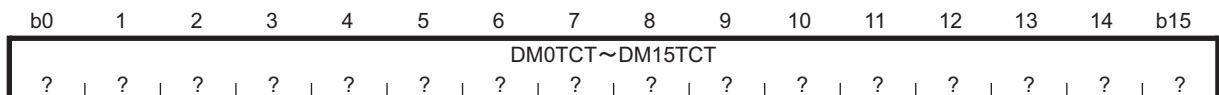
(1) DM0DA ~ DM9DA (デスティネーションアドレスのA16 ~ A31)

このレジスタの設定により、SFR領域または内蔵RAM領域のデスティネーションアドレスを指定します。

デスティネーションアドレスの上位16ビット(A0~A15)は、DMA_nチャンネル制御レジスタ1(DM_nCNT1)のb10、b11の設定によりバンク0~2が選択され、対応するデスティネーションアドレスの上位16ビットが固定されます。このレジスタではデスティネーションアドレスの下位16ビットを設定します(b0がデスティネーションアドレスのA16、b15がデスティネーションアドレスのA31に相当します)。なお、DMA_nチャンネル制御レジスタ(DM_nCNT0)のSADSL_nビットにて"インクリメント"を選択時、バンクを超える転送は行いません。バンクの最終アドレスに対する転送が終了すると、次はバンクの先頭アドレスに対する転送となります。

9.2.5 DMA転送カウントレジスタ

DMA0転送カウントレジスタ(DM0TCT)	<アドレス : H'0080 0416 >
DMA1転送カウントレジスタ(DM1TCT)	<アドレス : H'0080 0426 >
DMA2転送カウントレジスタ(DM2TCT)	<アドレス : H'0080 0436 >
DMA3転送カウントレジスタ(DM3TCT)	<アドレス : H'0080 0446 >
DMA4転送カウントレジスタ(DM4TCT)	<アドレス : H'0080 0456 >
DMA5転送カウントレジスタ(DM5TCT)	<アドレス : H'0080 041E >
DMA6転送カウントレジスタ(DM6TCT)	<アドレス : H'0080 042E >
DMA7転送カウントレジスタ(DM7TCT)	<アドレス : H'0080 043E >
DMA8転送カウントレジスタ(DM8TCT)	<アドレス : H'0080 044E >
DMA9転送カウントレジスタ(DM9TCT)	<アドレス : H'0080 045E >



<リセット解除時 : 不定>

b	ビット名	機能	R	W
0 ~ 15	DM0TCT ~ DM9TCT (リングバッファモード時は無効)	DMA転送回数	R	W

注・このレジスタは、必ずハーフワードでアクセスしてください。

DMA転送カウントレジスタは、各チャンネルごとに転送する回数を設定します。ただし、リングバッファモード時はこのレジスタの値は無効です。

転送回数は(転送カウントレジスタの設定値 + 1)となります。DMA転送カウントレジスタは、カレントレジスタで構成されているため、読み出し値は現在値となります(ただし、転送直後のサイクルで読み出した場合は、転送前のカウントレジスタ値となります)。

また転送終了時は、アンダフロー(読み出し値はH'FFFF)となります。

転送許可状態では、ハードウェア的にプロテクトされているためデータの書き込みはできません。

リングバッファモードでは、転送カウントレジスタはフリーランダウンカウントとなります。転送禁止にするまで継続します。また、アンダフローによる割り込みは発生しません。

なお、カスケード接続されたチャンネルがある場合、DMAの1回転送(バイトまたはハーフワード)完了ごとに、または全転送終了(転送カウントレジスタのアンダフロー)で、カスケード接続されたチャンネルが起動します。

DMA転送カウントレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

9.2.6 DMA割り込み関連レジスタ

DMA割り込み関連レジスタは、DMACから割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求マスクビット

グルーピングされた割り込み要求の内不要な割り込み要求を禁止にするためのフラグです。割り込み要求許可時には"0"、割り込み要求禁止時には"1"を設定します。

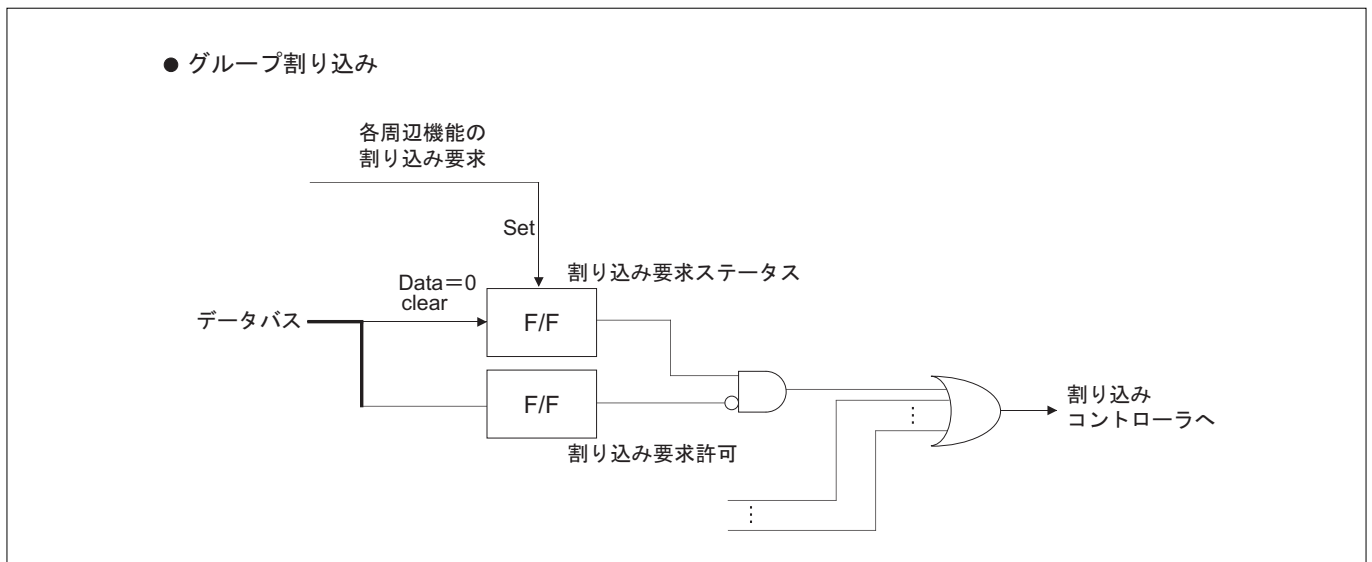
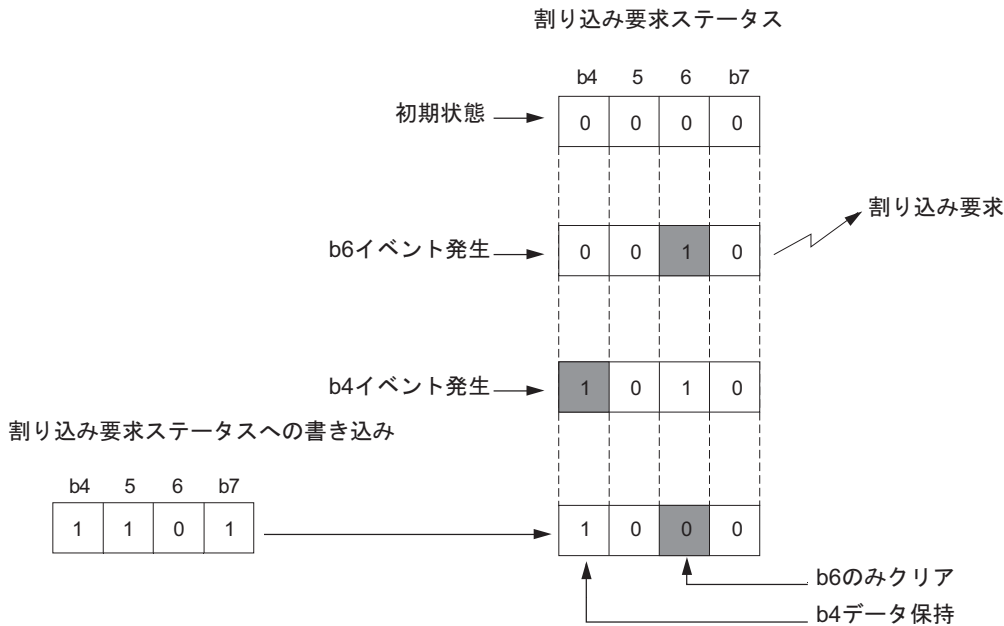


図9.2.2 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



ISTREG = 0xfd;

/*ISTAT1 (0x02ビット) のみクリア*/

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



ISTREG &= 0xfd;

/*ISTAT1 (0x02ビット) のみクリア*/

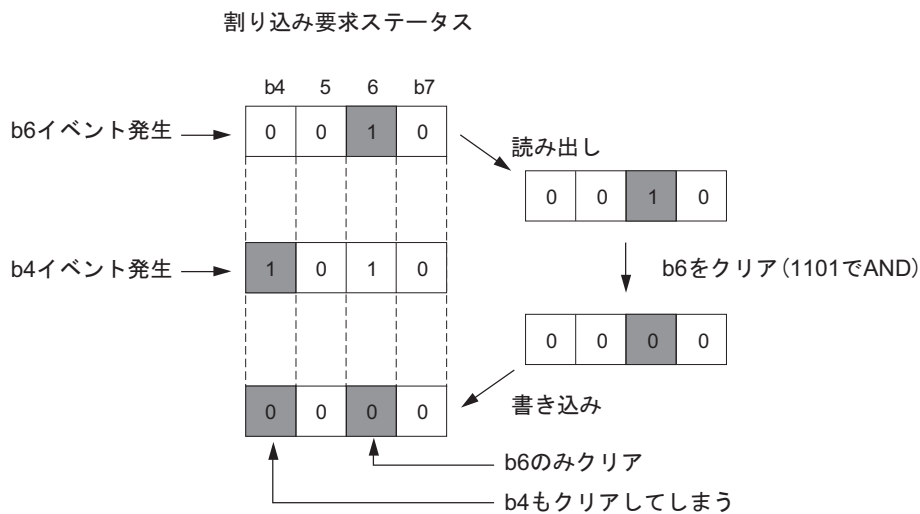


図9.2.3 割り込み要求ステータスクリア例

DMA0-4割り込み要求ステータスレジスタ(DM04ITST)

<アドレス : H'0080 0400 >

b0	1	2	3	4	5	6	b7
0			DMITST4	DMITST3	DMITST2	DMITST1	DMITST0
0			0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	DMITST4 (DMA4割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
4	DMITST3 (DMA3割り込み要求ステータスビット)	1 : 割り込み要求あり		
5	DMITST2 (DMA2割り込み要求ステータスビット)			
6	DMITST1 (DMA1割り込み要求ステータスビット)			
7	DMITST0 (DMA0割り込み要求ステータスビット)			

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5-9割り込み要求ステータスレジスタ(DM59ITST)

<アドレス : H'0080 0408 >

b0	1	2	3	4	5	6	b7
0			DMITST9	DMITST8	DMITST7	DMITST6	DMITST5
0			0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	DMITST9 (DMA9割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
4	DMITST8 (DMA8割り込み要求ステータスビット)	1 : 割り込み要求あり		
5	DMITST7 (DMA7割り込み要求ステータスビット)			
6	DMITST6 (DMA6割り込み要求ステータスビット)			
7	DMITST5 (DMA5割り込み要求ステータスビット)			

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=0\sim 9$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

(1) DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 0 \sim 9$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ・割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

DMA0-4割り込み要求マスクレジスタ(DM04ITMK)

<アドレス : H'0080 0401 >

b8	9	10	11	12	13	14	b15
0 0 0			DMITMK4	DMITMK3	DMITMK2	DMITMK1	DMITMK0
0 0 0			0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	DMITMK4 (DMA4割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
12	DMITMK3 (DMA3割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
13	DMITMK2 (DMA2割り込み要求マスクビット)			
14	DMITMK1 (DMA1割り込み要求マスクビット)			
15	DMITMK0 (DMA0割り込み要求マスクビット)			

DMA5-9割り込み要求マスクレジスタ(DM59ITMK)

<アドレス : H'0080 0409 >

b8	9	10	11	12	13	14	b15
0 0 0			DMITMK9	DMITMK8	DMITMK7	DMITMK6	DMITMK5
0 0 0			0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	DMITMK9 (DMA9割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
12	DMITMK8 (DMA8割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
13	DMITMK7 (DMA7割り込み要求マスクビット)			
14	DMITMK6 (DMA6割り込み要求マスクビット)			
15	DMITMK5 (DMA5割り込み要求マスクビット)			

DMA割り込み要求マスクレジスタは、DMA各チャネルの割り込み要求をマスクするレジスタです。

(1) DMITMK_n (DMA_n 割り込み要求マスク) ビット (n = 0 ~ 9)

DMA_n割り込み要求マスクビットを"1"にすると、DMA_nの割り込み要求がマスクされます。ただし割り込み要求発生時、DMA_n割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

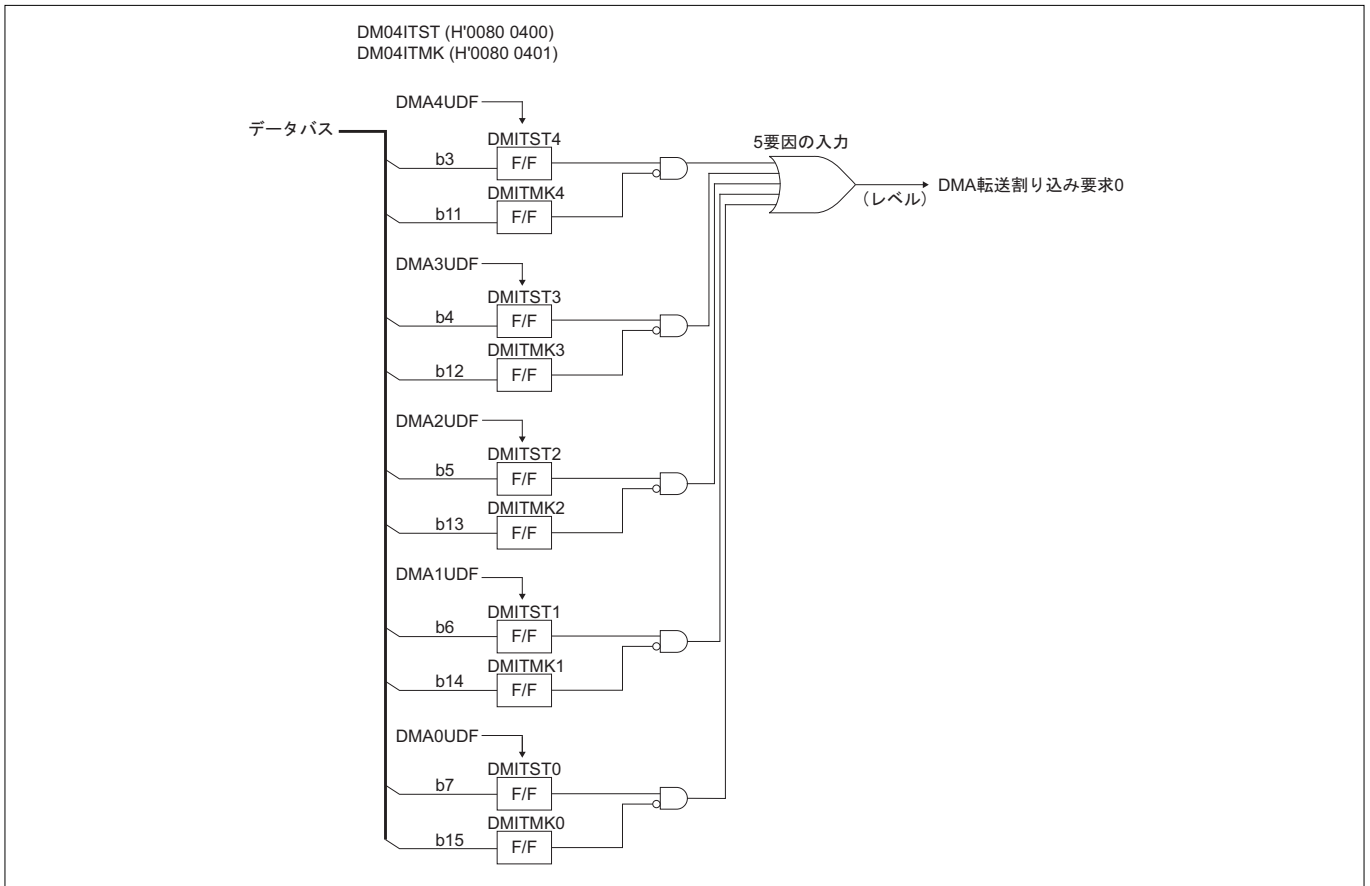


図9.2.4 DMA転送割り込み要求0ブロック図

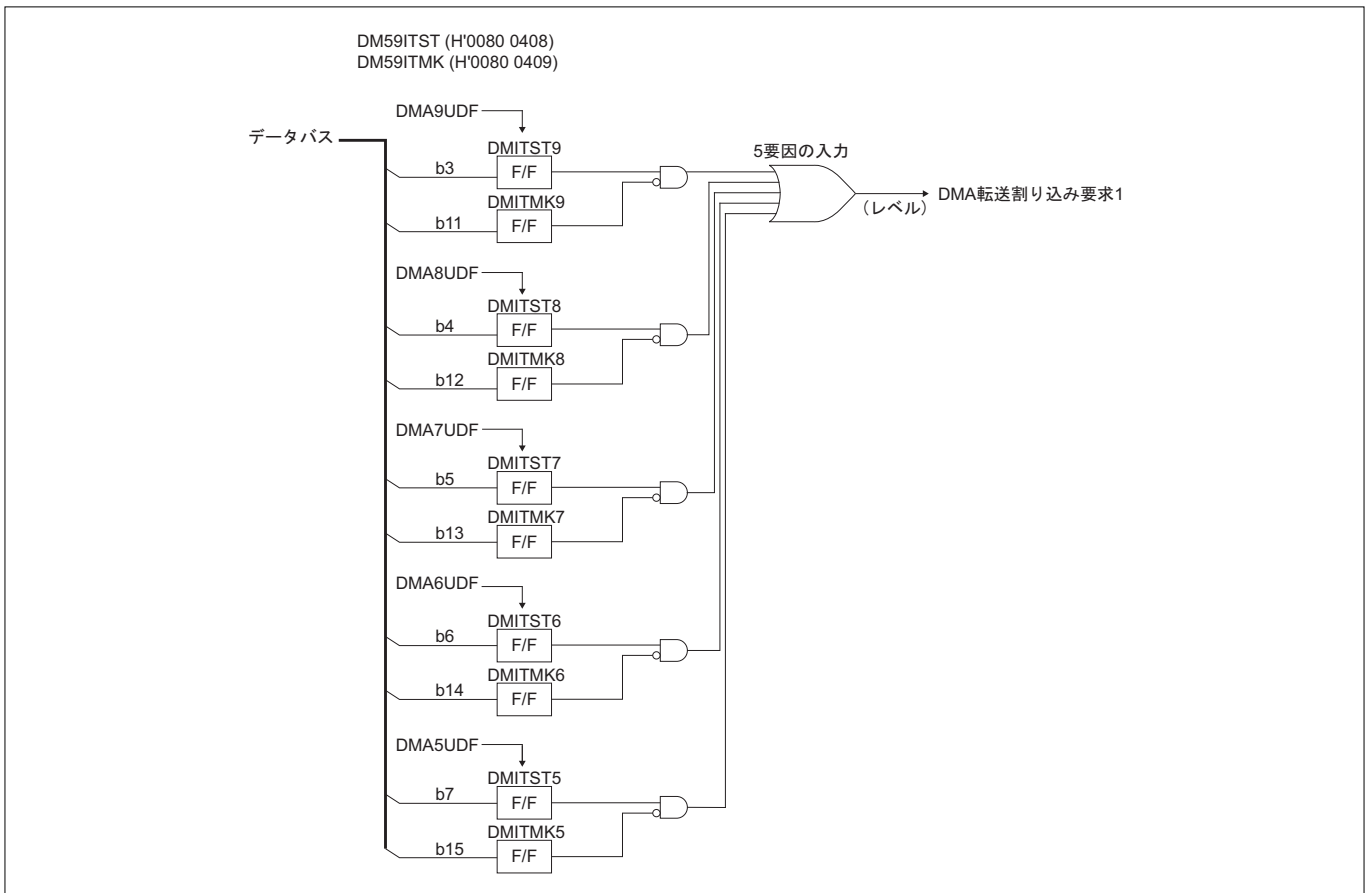


図9.2.5 DMA転送割り込み要求1ブロック図

9.3 DMAC機能説明

9.3.1 DMA転送要求要因

DMAは各チャンネル(0~9チャンネル)ごとに、複数の要因からDMA転送を要求することができます。DMA転送の要求要因には、内蔵周辺I/Oによる起動、プログラムによるソフトウェア起動、およびDMA他チャンネルの1回転送完了、または全転送終了による起動(カスケードモード)があります。

DMA転送要求要因の選択は、各チャンネルの転送要求要因選択ビットREQSLn(DMA_nチャンネル制御レジスタ0のb2とb3)と拡張転送要求要因選択ビットREQESELn(DMA_nチャンネル制御レジスタ1のb12~b15)で行います。以下に各チャンネルのDMA転送要求要因の一覧を示します。

表9.3.1 DMA0のDMA転送要求要因とその発生タイミング

REQSL0	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動 またはDMA2-1回転送完了	DMA0ソフトウェア要求発生レジスタに任意データを書き込んだとき (ソフトウェア起動) またはDMA2の1回転送完了時(カスケードモード)
0 1	A/D0変換終了	A/D0変換終了時
1 0	MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1 1	DMA0拡張転送要求要因選択	DMA0チャンネル制御レジスタ1: DM0CNT1のREQESEL0で選択した要因(以下参照)

REQESEL0	DMA転送要求要因	DMA転送要求発生タイミング
0000	MJT(入力イベントバス2)	MJTの入力イベントバス2の信号発生時
0001	MJT(TID0_udf/ovf)	MJTのTID0アンダフロー/オーバフロー発生時
0010	CAN(CAN0_S0/S31)	CAN0: スロット0の送信失敗、またはスロット31の送受信完了
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	MJT(TOU1_0irq)	MJTのTOU1_0割り込み要求発生時
1110	DR(DIN0)	DRIのDIN0イベント検出割り込み発生時
1111	SIO4_TXD (送信バッファエンプティ)	SIO4送信バッファエンプティ割り込み発生時

表9.3.2 DMA1のDMA転送要求要因とその発生タイミング

REQSL1	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA1ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出力イベントバス0)	MJTの出力イベントバス0の信号発生時
1 0	設定禁止	-
1 1	DMA1拡張転送要求要因選択	DMA1チャンネル制御レジスタ1: DM1CNT1のREQESEL1で選択した要因(以下参照)

REQESEL1	DMA転送要求要因	DMA転送要求発生タイミング
0000	DMA0-1回転送完了	DMA0の1回転送完了時(カスケードモード)
0001	MJT(TIN3S)	MJTのTIN3入力信号発生時
0010	MJT(TID1_udf/ovf)	MJTのTID1アンダフロー/オーバフロー発生時
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	MJT(TOU1_1irq)	MJTのTOU1_1割り込み要求発生時
1110	DR(DIN1)	DRIのDIN1イベント検出割り込み発生時
1111	SIO4_RXD(受信完了)	SIO4受信完了割り込み発生時

表9.3.3 DMA2のDMA転送要求要因とその発生タイミング

REQSL2	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA2ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出力イベントバス1)	MJTの出力イベントバス1の信号発生時
1 0	MJT(TIN18S)	MJTのTIN18入力信号発生時
1 1	DMA2拡張転送要求要因選択	DMA2チャンネル制御レジスタ1: DM2CNT1のREQESEL2で選択した要因(以下参照)

REQESEL2	DMA転送要求要因	DMA転送要求発生タイミング
0000	DMA1-1回転送完了	DMA1の1回転送完了時(カスケードモード)
0001	設定禁止	-
0010	CAN(CAN0_S1/S30)	CAN0: スロット1の送信失敗、またはスロット30の送受信完了
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	設定禁止	-
1110	DR(DIN2)	DRIのDIN2イベント検出割り込み発生時
1111	SIO5_TXD (送信バッファエンプティ)	SIO5送信バッファエンプティ割り込み発生時

表9.3.4 DMA3のDMA転送要求要因とその発生タイミング

REQSL3	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA3ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	SIO0_TXD (送信バッファEMPTY)	SIO0の送信バッファが空になったとき
1 0	SIO1_RXD(受信完了)	SIO1の受信完了時
1 1	DMA3拡張転送要求要因選択	DMA3チャンネル制御レジスタ1: DM3CNT1のREQESEL3で選択した要因(以下参照)

REQESEL3	DMA転送要求要因	DMA転送要求発生タイミング
0000	MJT(TIN0S)	MJTのTIN0入力信号発生時
0001	DMA2-1回転送完了	DMA2の1回転送完了時(カスケードモード)
0010	設定禁止	-
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	MJT(TOU1_6irq)	MJTのTOU1_6割り込み要求発生時
1110	DR(DIN3)	DRIのDIN3イベント検出割り込み発生時
1111	SIO5_RXD(受信完了)	SIO5受信完了割り込み発生時

表9.3.5 DMA4のDMA転送要求要因とその発生タイミング

REQSL4	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA4ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	DMA3-1回転送完了	DMA3の1回転送完了時(カスケードモード)
1 0	SIO0_RXD(受信完了)	SIO0の受信完了時
1 1	DMA4拡張転送要求要因選択	DMA4チャンネル制御レジスタ1: DM4CNT1のREQESEL4で選択した要因(以下参照)

REQESEL4	DMA転送要求要因	DMA転送要求発生タイミング
0000	MJT(TIN19S)	MJTのTIN19入力信号発生時
0001	SIO0_TXD (送信バッファEMPTY)	SIO0の送信バッファが空になったとき
0010	MJT(TOU1_7irq)	MJTのTOU1_7の割り込み要因
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	MJT(TIN7S)	MJTのTIN7入力信号発生時
1110	DR(DIN4)	DRIのDIN4イベント検出割り込み発生時
1111	設定禁止	-

表9.3.6 DMA5のDMA転送要求要因とその発生タイミング

REQSL5	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動 またはDMA7-1回転送完了	DMA5ソフトウェア要求発生レジスタに任意データを書き込んだとき、 またはDMA7の1回転送完了時(カスケードモード)
0 1	DMA0全転送終了	DMA0全転送終了時(カスケードモード)
1 0	SIO2_RXD(受信完了)	SIO2の受信完了時
1 1	DMA5拡張転送要求要因選択	DMA5チャンネル制御レジスタ1: DM5CNT1のREQESEL5で選択した要因(以下参照)

REQESEL5	DMA転送要求要因	DMA転送要求発生タイミング
0000	MJT(TIN20S)	MJTのTIN20入力信号発生時
0001	MJT(TOU0_0irq)	MJTのTOU0_0の割り込み要因
0010	設定禁止	-
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	MJT(TIN8S)	MJTのTIN8入力信号発生時
1110	DR(DEC0_udf)	DRIのDEC0アンダフロー発生時
1111	CAN1_S0/S31	CAN1: スロット0の送信失敗、またはスロット31の送受信完了

表9.3.7 DMA6のDMA転送要求要因とその発生タイミング

REQSL6	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA6ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	SIO1_TXD (送信バッファエンプティ)	SIO1の送信バッファが空になったとき
1 0	CAN0_S0/S31	CAN0: スロット0の送信失敗、またはスロット31の送受信完了
1 1	DMA6拡張転送要求要因選択	DMA6チャンネル制御レジスタ1: DM6CNT1のREQESEL6で選択した要因(以下参照)

REQESEL6	DMA転送要求要因	DMA転送要求発生タイミング
0000	DMA5-1回転送完了	DMA5の1回転送完了時(カスケードモード)
0001	MJT(TOU0_1irq)	MJTのTOU0_1の割り込み要因
0010	SIO1_RXD(受信完了)	SIO1の受信完了時
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	DRIアドレスカウンタ0転送完了	DRIのアドレスカウンタ0転送完了時
1110	DR(DEC1_udf)	DRIのDEC1アンダフロー発生時
1111	設定禁止	-

表9.3.8 DMA7のDMA転送要求要因とその発生タイミング

REQSL7	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA7ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	SIO2_TXD (送信バッファエンプティ)	SIO2の送信バッファが空になったとき
1 0	CAN0_S1/S30	CAN0: スロット1の送信失敗、またはスロット30の送受信完了
1 1	DMA7拡張転送要求要因選択	DMA7チャンネル制御レジスタ1: DM7CNT1のREQESEL7で選択した要因(以下参照)

REQESEL7	DMA転送要求要因	DMA転送要求発生タイミング
0000	DMA6-1回転送完了	DMA6の1回転送完了時(カスケードモード)
0001	MJT(TOU0_2irq)	MJTのTOU0_2の割り込み要因
0010	SIO3_TXD (送信バッファエンプティ)	SIO3の送信バッファが空になったとき
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	DRIアドレスカウンタ1転送完了	DRIのアドレスカウンタ1転送完了時
1110	DR(DEC2_udf)	DRIのDEC2アンダフロー発生時
1111	CAN1_S1/S30	CAN1: スロット1の送信失敗、またはスロット30の送受信完了

表9.3.9 DMA8のDMA転送要求要因とその発生タイミング

REQSL8	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA8ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(入力イベントバス0)	MJTの入力イベントバス0の信号発生時
1 0	SIO3_RXD(受信完了)	SIO3の受信完了時
1 1	DMA8拡張転送要求要因選択	DMA8チャンネル制御レジスタ1: DM8CNT1のREQESEL8で選択した要因(以下参照)

REQESEL8	DMA転送要求要因	DMA転送要求発生タイミング
0000	CAN1_S0/S31	CAN1: スロット0の送信失敗、またはスロット31の送受信完了
0001	MJT(TOU0_6irq)	MJTのTOU0_6の割り込み要因
0010	DMA7-1回転送完了	DMA7の1回転送完了時(カスケードモード)
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	DRI 取り込みイベントカウンタ_udf	DRIの取り込みイベントカウンタアンダフロー発生時
1110	DR(DEC3_udf)	DRIのDEC3アンダフロー発生時
1111	設定禁止	-

表9.3.10 DMA9のDMA転送要求要因とその発生タイミング

REQSL9	DMA転送要求要因	DMA転送要求発生タイミング
0 0	ソフトウェア起動	DMA9ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	SIO3_TXD (送信バッファエンプティ)	SIO3の送信バッファが空になったとき
1 0	CAN1_S1/S30	CAN1 : スロット1の送信失敗、またはスロット30の送受信完了
1 1	DMA9拡張転送要求要因選択	DMA9チャンネル制御レジスタ1 : DM9CNT1のREQESEL9で選択した要因 (以下参照)

REQESEL9	DMA転送要求要因	DMA転送要求発生タイミング
0000	DMA8-1回転送完了	DMA8の1回転送完了時(カスケードモード)
0001	MJT(TOU0_7irq)	MJTのTOU0_7の割り込み要因
0010	設定禁止	-
0011	共通1)MJT(入力イベントバス1)	MJTの入力イベントバス1の信号発生時
0100	共通2)MJT(入力イベントバス3)	MJTの入力イベントバス3の信号発生時
0101	共通3)MJT(出力イベントバス2)	MJTの出力イベントバス2の信号発生時
0110	共通4)MJT(出力イベントバス3)	MJTの出力イベントバス3の信号発生時
0111	共通5)A/D0変換終了	A/D0変換終了時
1000	共通6)MJT(TIN0S)	MJTのTIN0入力信号発生時
1001	共通7)MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1010	共通8)MJT(TIN30S)	MJTのTIN30入力信号発生時
1011	共通9)MJT(TIO9_udf)	MJTのTIO9アンダフロー発生時
1100	共通10)設定禁止	-
1101	DRI転送カウンタ_udf	DRIの転送カウンタアンダフロー発生時
1110	DR(DEC4_udf)	DRIのDEC4アンダフロー発生時
1111	DR(DIN5)	DRIのDIN5イベント検出割り込み発生時

9.3.2 DMA転送の処理手順

DMA0を使用してDMA転送を行う場合の制御例を以下に示します。

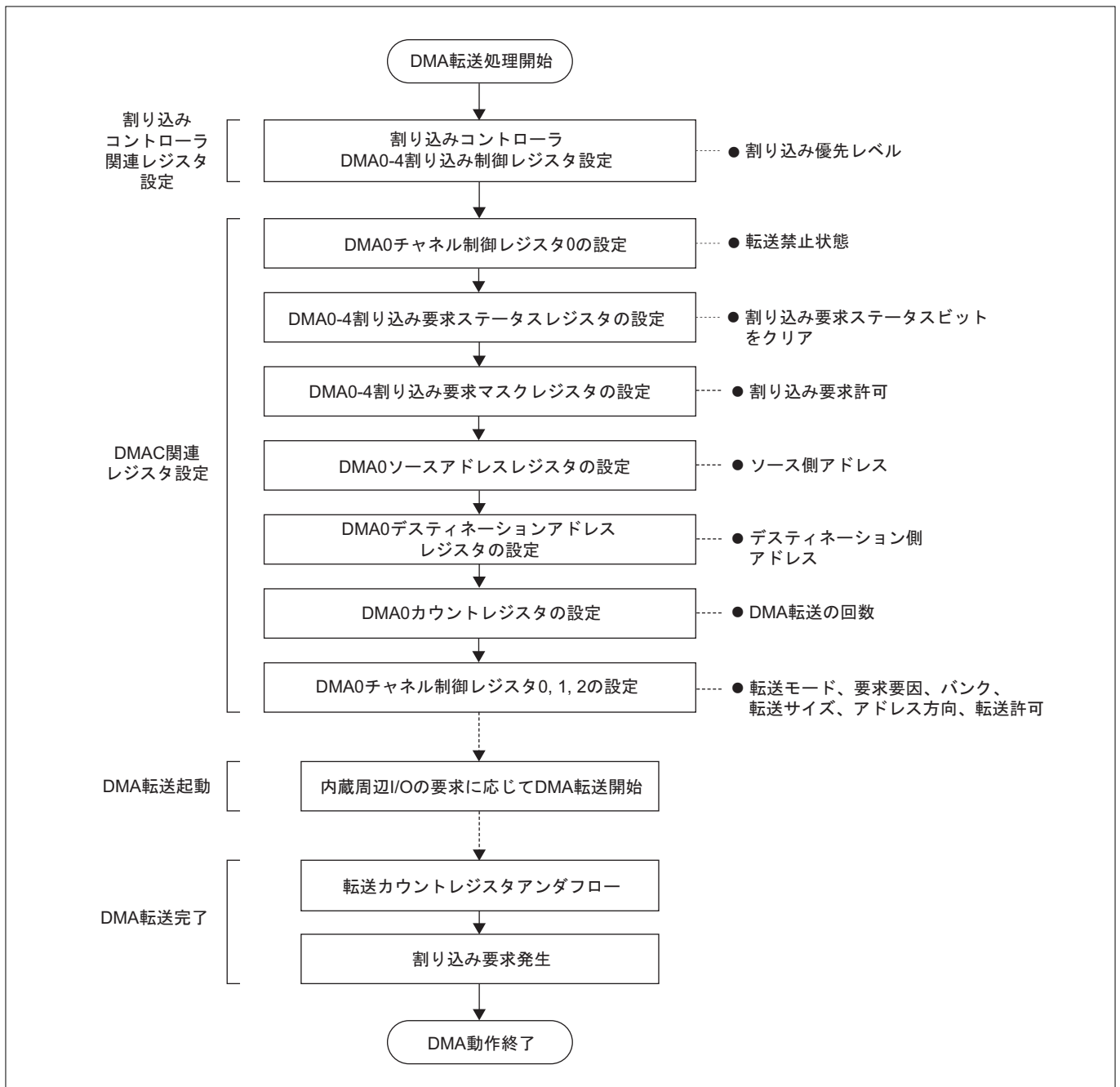


図9.3.1 DMA転送の処理手順(例)

9.3.3 DMAの起動

DMA転送要求要因は、DMA_nチャンネル制御レジスタ0のREQSL(DMA転送要求要因選択)およびDMA_nチャンネル制御レジスタ1のREQESEL(拡張転送要求要因選択)ビットで設定します。DMAの許可は、TENI(DMA転送許可)ビットを"1"にセットすることにより行います。TENI(DMA転送許可)ビットを"1"にセットし、指定した転送要因が有効になるとDMA転送が開始されます。

注・ REQSL(DMA転送要求要因選択)ビット、およびREQESEL(拡張転送要求要因選択)ビットで指定した転送要求要因がMJT(TIN入力信号)の場合、TIN入力信号の立ち上がりエッジ、立ち下がりエッジ、または両エッジを検出してからDMA転送が開始されるまでの時間は、最短で3サイクル(内部周辺クロック = 40MHz動作時、75ns)かかります。また、前後のバスの使用状態によっては最大5サイクル(内部周辺クロック = 40MHz動作時、125ns)かかる場合があります。(ただし、外部バス未使用、HOLDなし、およびLOCK命令未使用の場合)

なお、TIN入力信号の変化を正しく検出するために、 $7t_{\alpha}(\text{BCLK}/2)$ 以上のパルス幅のTIN入力信号を入力してください(詳細については、「23.9 AC特性(VCCE = 5V時)」、および「23.10 AC特性(VCCE = 3.3V時)」を参照してください)。

9.3.4 チャンネルの優先順位

チャンネルの優先順位はDMA0が最優先で、以下、

DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5 > DMA6 > DMA7 > DMA8 > DMA9
の順で固定です。要求の出ているチャンネルの中で最も優先順位の高いチャンネルが選択されます。

9.3.5 内部バス権の獲得と解放

内部バス権の獲得/解放は、各チャンネルすべて「単転送方式DMA」で行われます。単転送方式DMAでは、DMA転送要求が受け付けられると内部バス権を獲得(周辺クロック1サイクル)し、1回の転送(周辺クロックの1リードサイクル+1ライトサイクル)のDMA転送実行後、CPUへバス権を返します。以下に単転送方式DMAの動作を示します。

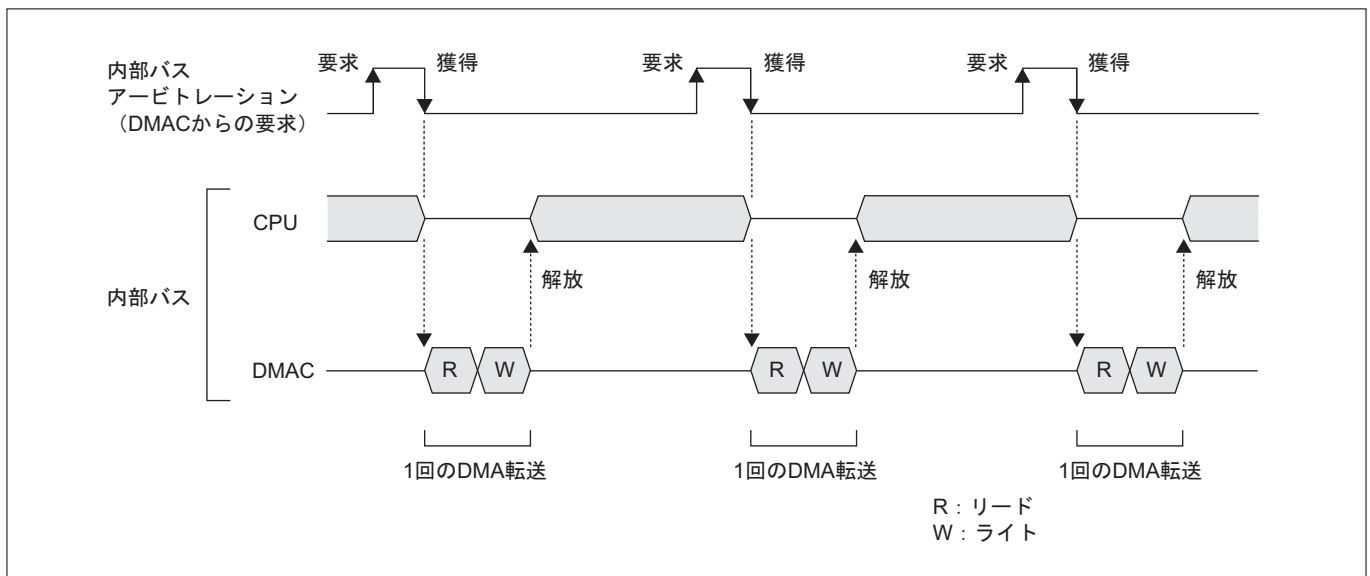


図9.3.2 内部バス権の獲得と解放

9.3.6 転送単位

1回のDMAで転送するビット数(8ビットまたは16ビット)は、チャンネルごとにTSZSL(DMA転送サイズ選択)ビットで設定します。

9.3.7 転送回数

転送回数は、チャンネルごとにDMA転送カウントレジスタに設定します。最大65536回まで転送できます。1転送単位を転送するごとに、転送カウントレジスタの値が1ずつダウンカウントします。

リングバッファモードではDMA転送カウントレジスタはフリーランとなり、設定値は無視されます。

9.3.8 アドレス空間

DMA転送が可能なアドレス空間は、ソース/デスティネーションともSFR領域または内蔵RAM領域(32192の場合、H'0080 0000 ~ H'0082 FFFF。32195の場合、H'0080 0000 ~ H'0080 BFFF。32196の場合、H'0080 0000 ~ H'0081 3FFF。)です。各DMAチャンネルのソース/デスティネーションアドレスは、DMAソースアドレスレジスタおよびDMAデスティネーションアドレスレジスタで設定します。なお、バンクを超える転送は行いません。バンクの最終アドレスに対する転送が終了すると、次はバンクの先頭アドレスに対する転送となります。

9.3.9 転送動作

(1) デュアルアドレス転送

転送単位にかかわらずソースリードアクセスと、デスティネーションライトアクセスの2つのバスサイクルによって転送します(転送データは一度、DMA内部のテンポラリレジスタに取り込まれます)。

(2) バスプロトコルおよびバスタイミング

バスインタフェースはCPUと共通であるため、バスプロトコル、バスタイミングともにCPUからの周辺モジュールアクセスと同じです。

(3) 転送速度

転送は、バス権の獲得(周辺クロック1サイクル)+1回の転送(周辺クロック1リードサイクル+1ライトサイクル)の計3サイクルで行います。このため、最大転送速度は、次式で算出されます。

$$\text{最大転送速度 [バイト/秒]} = 2\text{バイト} \times \frac{1}{1 / (\text{BCLK}) \times 3\text{サイクル}}$$

(4) アドレスカウント方向とアドレス変化

ソースアドレス、デスティネーションアドレスのカウント方向(アドレスの固定/インクリメント)は、チャンネルごとにSADSL(ソースアドレス方向選択)ビットと、DADSL(デスティネーションアドレス方向選択)ビットで設定します。

アドレスは、1回のDMA転送につき転送単位が16ビットの場合は+2され、転送単位が8ビットの場合は+1されます。

表9.3.11 アドレスカウント方向とアドレス変化

アドレスカウント方向	転送単位	1回のDMAによるアドレス変化
アドレス固定	8ビット	0
	16ビット	0
アドレスインクリメント	8ビット	+1
	16ビット	+2

(5) 転送カウント値

転送カウント値は、転送単位(8ビット/16ビット)に関係なく、1ずつデクリメントされます。

(6) 転送バイト位置

転送単位が8ビット単位の場合はソース/デスティネーションとも、アドレスレジスタのLSBが有効です(したがって偶数 偶数、奇数 奇数番地転送の他に、偶数 奇数、奇数 偶数番地転送も行われます)。転送単位が16ビットの場合、アドレスレジスタのLSB(アドレスレジスタのb15)は無視され、常に16ビットバスに対してアライメントのとれた2バイトを転送します。

以下に有効な転送バイト位置を示します。

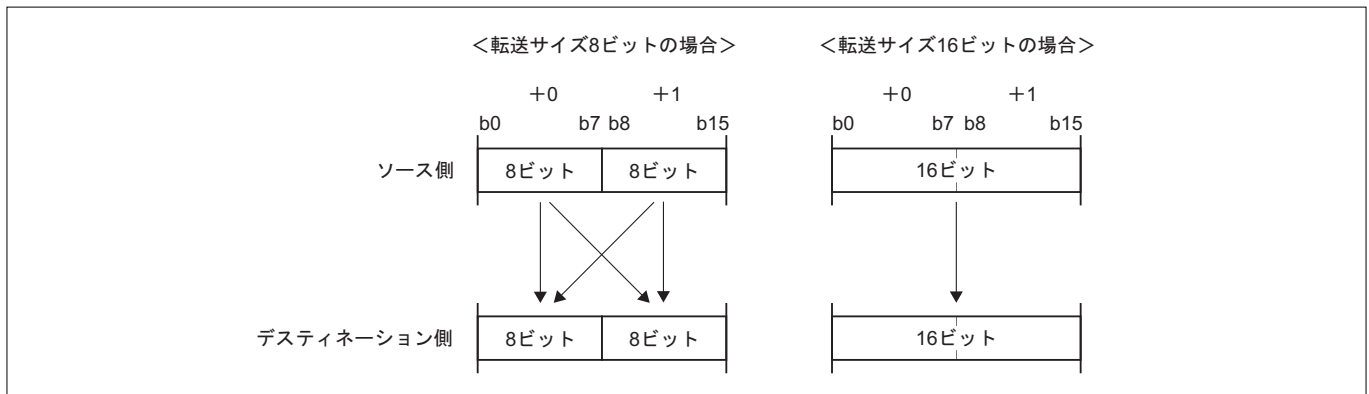


図9.3.3 転送バイト位置

(7) リングバッファモード

リングバッファモードではDMAの各チャンネルに対する転送回数を32回/16回/8回/4回/2回から選択でき、転送開始アドレスから転送後、再び転送開始アドレスに戻り、選択した回数だけ同じ動作を繰り返します。

注. ・転送開始アドレスは下記である必要があります。

	転送サイズ8bit時	転送サイズ16bit時
32回リングバッファモード	下位5bit B'00000	下位6bit B'000000
16回リングバッファモード	下位4bit B'0000	下位5bit B'00000
8回リングバッファモード	下位3bit B'000	下位4bit B'0000
4回リングバッファモード	下位2bit B'00	下位3bit B'000
2回リングバッファモード	下位1bit B'0	下位2bit B'00

リングバッファモードにおけるアドレスのインクリメント動作は、次のとおりです。

転送サイズ8ビットの場合

転送開始アドレスの上位27ビットは固定で、下位5ビットが1ずつインクリメントされます。開始アドレスから下位5ビットがB'11111に達したとき、次のインクリメント動作で下位5ビットはB'00000になり開始アドレスに戻ります。

転送サイズ16ビットの場合

転送開始アドレスの上位26ビットは固定で、下位6ビットが2ずつインクリメントされます。開始アドレスから下位6ビットがB'111110に達したとき、次のインクリメント動作で下位6ビットはB'000000になり開始アドレスに戻るようインクリメントされます。

開始アドレスに戻るのは、ソース側がインクリメントに設定されている場合はソースアドレス、デスティネーション側がインクリメントに設定されている場合はデスティネーションアドレスです。

ソース側とデスティネーション側がともにインクリメントの場合は、両方のアドレスが開始アドレスに戻ります。ただしどちらの開始アドレスも初期値の下位5ビットは必ずB'00000(転送サイズが16ビットの場合は下位6ビットがB'000000)でなければなりません。

リングバッファモード時は転送カウントレジスタは無視されます。また、DMA動作開始後はフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。

<転送サイズ8ビットの場合>		<転送サイズ16ビットの場合>	
転送回数	転送アドレス	転送回数	転送アドレス
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
3	H'0080 1002	3	H'0080 1004
⋮	⋮	⋮	⋮
31	H'0080 101E	31	H'0080 103C
32	H'0080 101F	32	H'0080 103E
↓	↓	↓	↓
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
⋮	⋮	⋮	⋮

図9.3.4 32チャンネルリングバッファモードの場合のアドレスインクリメント動作例

9.3.10 DMAの終了と割り込み

ノーマルモードの場合、DMA転送は転送カウントレジスタのアンダフローで終了します。転送が終了すると、転送許可ビットが"0"にクリアされ転送禁止状態になります。また、転送終了時に割り込み要求が発生しますが、DMA割り込み要求マスクレジスタで割り込み要求がマスクされているチャンネルについては、割り込み要求は発生しません。

リングバッファモード時は、転送カウントレジスタはフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。このため、DMA転送終了割り込み要求は発生しません。また、転送許可ビットをクリアしてリングバッファモード転送を終了したときも、DMA転送終了割り込み要求は発生しません。

9.3.11 DMA転送終了後の各レジスタの状態

DMA転送終了時、ソースアドレスレジスタおよびデスティネーションアドレスレジスタは以下の条件となります。

(1) アドレス固定

DMA転送開始前の設定値のまま固定

(2) アドレスインクリメント時

8ビット転送時、最終転送アドレス + 1

16ビット転送時、最終転送アドレス + 2

また、転送カウントレジスタはDMA転送終了時、アンダフロー(H'FFFF)状態となっています。したがって再度DMA転送を行う場合は、65536(H'FFFF)回の転送を行う場合を除き、転送カウントレジスタの再設定を行ってください。

9.4 DMACの注意事項

- DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット解除時または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

表9.4.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	DMA割込関連レジスタ	その他DMAC関連レジスタ
転送許可状態				x
転送禁止状態				

: 可 x : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

(1) DMAチャンネル制御レジスタ0の転送許可ビット、および転送要求フラグ

DMAチャンネル制御レジスタ0の転送許可ビットおよび転送要求フラグ以外のビットには、書き込み前と同じデータを書き込んでください。なお、転送要求フラグは"0"の書き込みのみ有効です。

(2) DMA転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

(3) DMA転送による異なるチャンネルのDMAソースアドレス、およびDMAデスティネーションアドレスの書き換え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うこととなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

- DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き換えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き換え操作など)。

- DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んでください。"1"を書き込んだビットは、書き込み前のデータが保持されます。

- DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、DMAチャンネル制御レジスタ0の転送許可ビットを除き、必ず転送禁止時のみ行うようにしてください。ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えは転送許可時でも可能です。

レイアウトの都合上、このページは白紙です。

第10章

マルチジャンクションタイマ

- 10.1 マルチジャンクションタイマ概要
- 10.2 タイマ共通部
- 10.3 TOP(出力系16ビットタイマ)
- 10.4 TIQ(入出力系16ビットタイマ)
- 10.5 TMS(入力系16ビットタイマ)
- 10.6 TML(入力系32ビットタイマ)
- 10.7 TID(入力系16ビットタイマ)
- 10.8 TOU(出力系24ビットタイマ)

10.1 マルチジャンクションタイマ概要

マルチジャンクションタイマ(以下MJTと略)には入力イベントバスおよび出力イベントバスが備えられており、タイマ単独での使用に加えてタイマ相互の内部接続が可能です。この機能によりフレキシビリティに富んだタイマが構成でき、多様なアプリケーションに対応できます。タイマが内部のイベントバスとの多数の接続点を持つことからマルチジャンクションの名前が付けられています。

32192/32195/32196のMJTには6種類、合計55チャンネルのタイマがあります。

表10.1.1 MJTの概要

名称	種類	チャンネル数	内容
TOP (Timer OutPut)	出力系 16ビットタイマ (ダウンカウンタ)	11	ソフトウェアにより、3種類の出力モードを選択 <補正機能あり> <ul style="list-style-type: none"> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> <ul style="list-style-type: none"> 連続出力モード
TIO (Timer Input Output)	入出力系 16ビットタイマ (ダウンカウンタ)	10	ソフトウェアにより、3種類の入力モードと4種類の出力モードを選択 <入力モード> <ul style="list-style-type: none"> 計測クリア入力モード 計測フリーラン入力モード ノイズ処理入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
TMS (Timer Measure Small)	入力系 16ビットタイマ (アップカウンタ)	8	16ビット入力計測タイマ
TML (Timer Measure Large)	入力系 32ビットタイマ (アップカウンタ)	8	32ビット入力計測タイマ
TID (Timer Input Derivation)	入力系 16ビットタイマ (アップダウンカウンタ)	2	ソフトウェアにより、4種類の入力モードを選択 <ul style="list-style-type: none"> 定周期モード イベントカウントモード 4週倍イベントカウントモード アップ/ダウンイベントカウントモード
TOU (Timer Output Unification)	出力系 24ビットタイマ (ダウンカウンタ) (PWM出力モード/ ワンショットPWM 出力モード時は 16ビットタイマ)	16	ソフトウェアにより、5種類の出力モードを選択 <補正機能なし> <ul style="list-style-type: none"> PWM出力モード ワンショットPWM出力モード ディレイドワンショット出力モード ワンショット出力モード 連続出力モード

表10.1.2 MJTの割り込み発生機能

信号名	MJT割り込み要求元	割り込み要因	ICU要因入力数
IRQ0	TIO0 ~ 3出力	MJT出力割り込み0	4
IRQ1	TOP6、TOP7出力	MJT出力割り込み1	2
IRQ2	TOP0 ~ 5出力	MJT出力割り込み2	6
IRQ3	TIO8、TIO9出力	MJT出力割り込み3	2
IRQ4	TIO4 ~ 7出力	MJT出力割り込み4	4
IRQ5	TOP10出力	MJT出力割り込み5	1
IRQ6	TOP8、TOP9出力	MJT出力割り込み6	2
IRQ7	TMS0、TMS1出力	MJT出力割り込み7	2
IRQ8	TIN7 ~ TIN11入力	MJT入力割り込み0	5
IRQ9	TIN0入力	MJT入力割り込み1	1
IRQ10	TIN16 ~ TIN19入力	MJT入力割り込み2	4
IRQ11	TIN20 ~ TIN27入力	MJT入力割り込み3	8
IRQ12	TIN3 ~ TIN6入力	MJT入力割り込み4	4
IRQ13	TOU0_0 ~ TOU0_7出力	TOU0出力割り込み	8
IRQ14	TID0出力	TID0出力割り込み	1
IRQ15	TID1出力	TID1出力割り込み	1
IRQ16	TOU1_0 ~ TOU1_7出力	TOU1出力割り込み	8
IRQ18	TIN30 ~ TIN33入力	TML1入力割り込み	4

表10.1.3 MJTのDMA転送要求発生機能

DMACの対応するチャンネル番号	DMA転送要因
DMA0	TIO8_udf
	入力イベントバス2
	TID0_udf/ovf
	TOU1_0irq
	共通転送要因(表10.1.4参照)
DMA1	出力イベントバス0
	TIN3入力信号
	TID1_udf/ovf
	TOU1_1irq
	共通転送要因(表10.1.4参照)
DMA2	出力イベントバス1
	TIN18入力信号
	共通転送要因(表10.1.4参照)
DMA3	TIN0入力信号
	TOU1_6irq
	共通転送要因(表10.1.4参照)
DMA4	TIN19入力信号
	TOU1_7irq
	TIN7入力信号
	共通転送要因(表10.1.4参照)
DMA5	TIN20入力信号
	TOU0_0irq
	TIN8入力信号
	共通転送要因(表10.1.4参照)

DMA6	TOU0_1irq 共通転送要因(表10.1.4参照)
DMA7	TOU0_2irq 共通転送要因(表10.1.4参照)
DMA8	入カイベントバス0 TOU0_6irq 共通転送要因(表10.1.4参照)
DMA9	TOU0_7irq 共通転送要因(表10.1.4参照)

表10.1.4 MJTのDMA転送要求発生機能(共通)

DMACの対応するチャンネル番号	DMA転送要因
DMA _n	入カイベントバス1
	入カイベントバス3
	出カイベントバス2
	出カイベントバス3
	TIN0入力信号
	TIN30入力信号
	TIO8_udf
	TIO9_udf

表10.1.5 MJTのA/D変換開始要求機能

信号名	A/D変換開始要求元	A/Dコンバータ
AD0TRG	入カイベントバス2、入カイベントバス3 出カイベントバス3、TIN23	A/D0変換開始トリガに入力可能

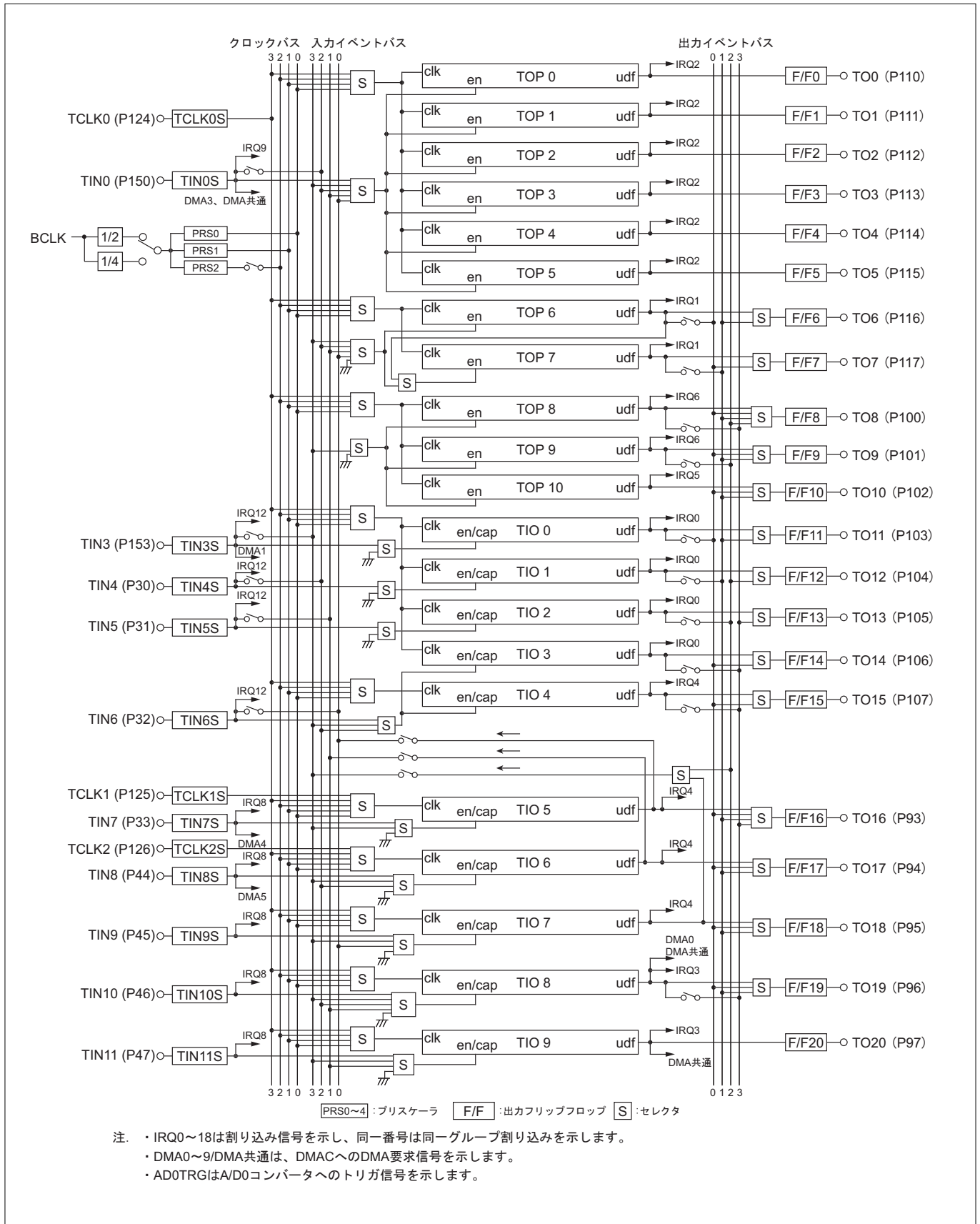


図10.1.1 MJTブロック図(1/4)

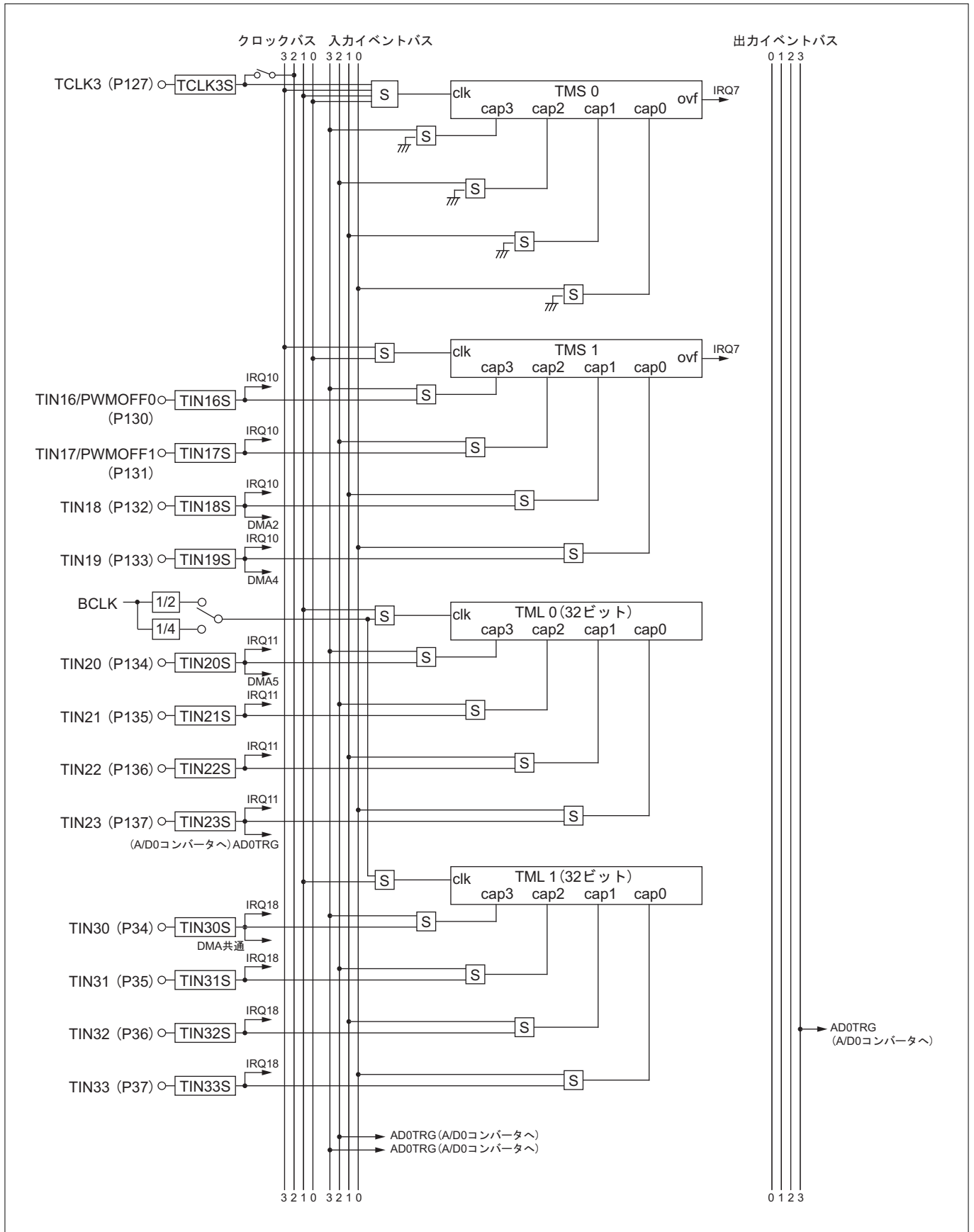


図10.1.2 MJTブロック図(2/4)

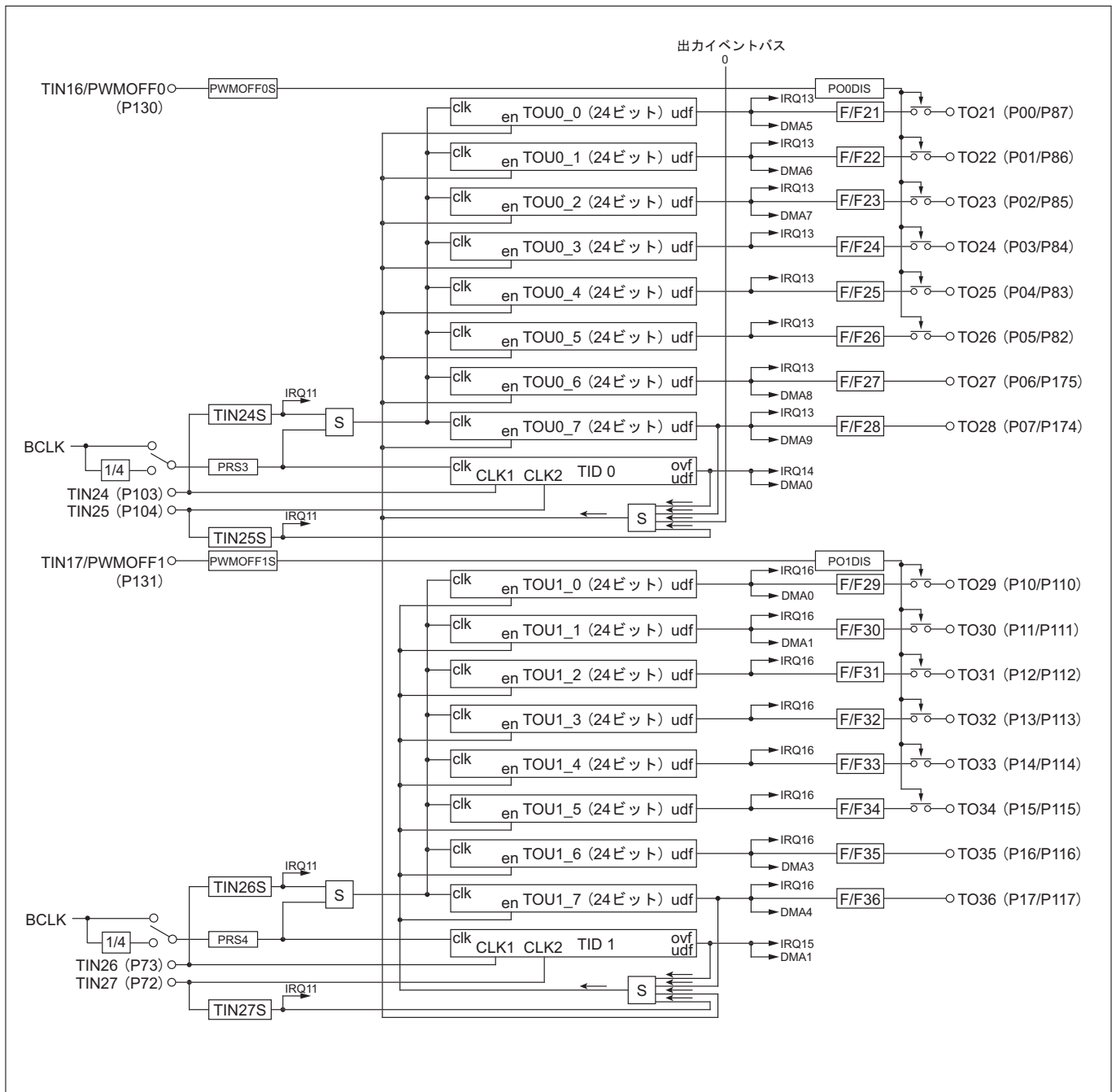


図10.1.3 MJTブロック図(3/4)

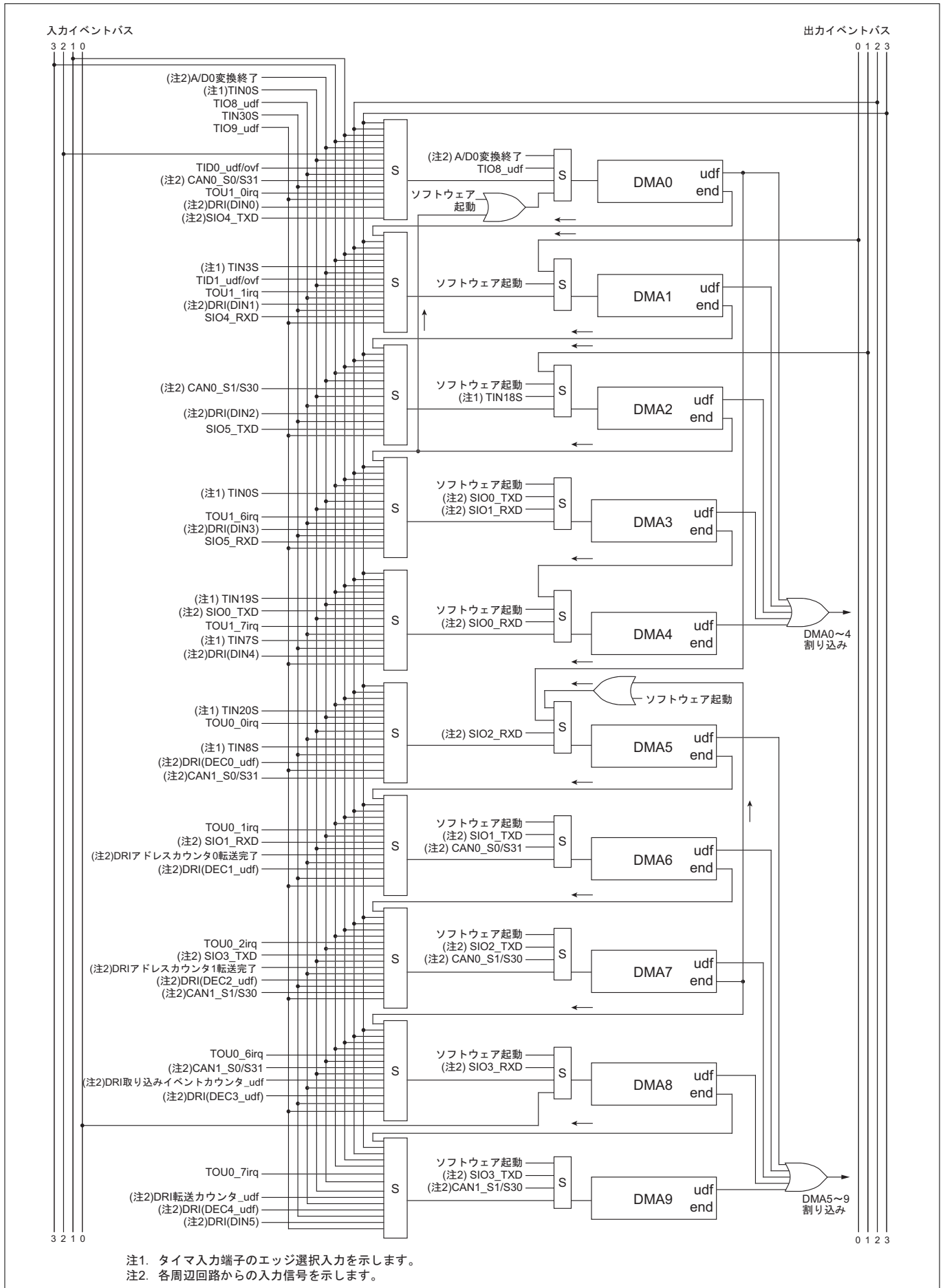


図10.1.4 MJTブロック図(4/4)

10.2 タイマ共通部

タイマ共通部には以下のブロックが含まれます。

- プリスケーラ部
- クロックバス/入出力イベントバス制御部
- 入力処理制御部
- 出力フリップフロップ制御部
- 割り込み制御部

10.2.1 タイマ共通部レジスタマップ

タイマ共通部のレジスタマップを以下に示します。

タイマ共通部レジスタマップ(1/2)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0200	共通カウンタクロック選択レジスタ (CNTCKSEL)	クロックパス&入力イベントパス制御レジスタ (CKIEBCR)	10-12 10-17
H'0080 0202	プリスケアラレジスタ0 (PRS0)	プリスケアラレジスタ1 (PRS1)	10-13
H'0080 0204	プリスケアラレジスタ2 (PRS2)	出力イベントパス制御レジスタ (OEBCR)	10-13 10-18
	(使用禁止領域)		
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)		10-21
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)		10-22
H'0080 0214	TIN入力処理制御レジスタ1 (TINCR1)		10-23
H'0080 0216	TIN入力処理制御レジスタ2 (TINCR2)		10-24
H'0080 0218	TIN入力処理制御レジスタ3 (TINCR3)		10-25
H'0080 021A	TIN入力処理制御レジスタ4 (TINCR4)		10-25
	(使用禁止領域)		
H'0080 0220	F/Fソース選択レジスタ0 (FFS0)		10-28
H'0080 0222	(使用禁止領域)	F/Fソース選択レジスタ1 (FFS1)	10-29
H'0080 0224	F/Fプロテクトレジスタ0 (FFP0)		10-30
H'0080 0226	F/Fデータレジスタ0 (FFD0)		10-32
H'0080 0228	(使用禁止領域)	F/Fプロテクトレジスタ1 (FFP1)	10-30
H'0080 022A	(使用禁止領域)	F/Fデータレジスタ1 (FFD1)	10-32
	(使用禁止領域)		
H'0080 0230	TOP割り込み制御レジスタ0 (TOPIR0)	TOP割り込み制御レジスタ1 (TOPIR1)	10-38
H'0080 0232	TOP割り込み制御レジスタ2 (TOPIR2)	TOP割り込み制御レジスタ3 (TOPIR3)	10-40 10-41
H'0080 0234	TIO割り込み制御レジスタ0 (TIOIR0)	TIO割り込み制御レジスタ1 (TIOIR1)	10-42 10-43
H'0080 0236	TIO割り込み制御レジスタ2 (TIOIR2)	TMS割り込み制御レジスタ (TMSIR)	10-44 10-45
H'0080 0238	TIN割り込み制御レジスタ0 (TINIR0)	TIN割り込み制御レジスタ1 (TINIR1)	10-46 10-47
H'0080 023A	TIN割り込み制御レジスタ2 (TINIR2)	TIN割り込み制御レジスタ3 (TINIR3)	10-48
H'0080 023C	TIN割り込み制御レジスタ4 (TINIR4)	TIN割り込み制御レジスタ5 (TINIR5)	10-50
H'0080 023E	TIN割り込み制御レジスタ6 (TINIR6)	TIN割り込み制御レジスタ7 (TINIR7)	10-52 10-55
	(使用禁止領域)		
H'0080 07D0	プリスケアラレジスタ3 (PRS3)		10-13
H'0080 07D2	TOU0割り込み要求マスクレジスタ (TOU0IMA)	TOU0割り込み要求ステータスレジスタ (TOU0IST)	10-56
H'0080 07D4		F/F21-28プロテクトレジスタ (FF2128P)	10-31
H'0080 07D6		F/F21-28データレジスタ (FF2128D)	10-33
	(使用禁止領域)		

タイマ共通部レジスタマップ(2/2)

番地	+ 0番地		+ 1番地		掲載 ページ
	b0	b7	b8	b15	
H'0080 07E0			TIN24,25入力処理制御レジスタ (TIN2425CR)		10-26
H'0080 07E2 }	TIN24,25割り込み要求マスクレジスタ (TIN2425IMA)		TIN24,25割り込み要求ステータスレジスタ (TIN2425IST)		10-52
H'0080 0BD0	プリスケールレジスタ4 (PRS4)				10-13
H'0080 0BD2	TOU1割り込み要求マスクレジスタ (TOU1IMA)		TOU1割り込み要求ステータスレジスタ (TOU1IST)		10-58
H'0080 0BD4			F/F29-36プロテクトレジスタ (FF2936P)		10-31
H'0080 0BD6 }			F/F29-36データレジスタ (FF2936D)		10-33
H'0080 0BE0			TIN26,27入力処理制御レジスタ (TIN2627CR)		10-26
H'0080 0BE2	TIN26,27割り込み要求マスクレジスタ (TIN2627IMA)		TIN26,27割り込み要求ステータスレジスタ (TIN2627IST)		10-53

10.2.2 共通カウントクロック選択機能

共通カウントクロック選択レジスタ(CNTCKSEL)

<アドレス : H'0080 0200 >

b0	1	2	3	4	5	6	b7
PRS012CKS	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	PRS012CKS	0 : BCLK/4 プリスケアラ0-2, TML0, 1供給クロック選択ビット	R	W
1~7	何も配置されていません。"0"に固定してください。		0	0

注1. クロックの切り換えは、カウントクロックと非同期に行われます。このビットの切り換えは、TOP/TIO/TMS動作停止時のプリスケアラ0、1、2の設定前、およびTML0、1のカウンタ設定前に行ってください。

プリスケアラ0~2、各タイマ(TML0、1)へ供給するクロックを選択するレジスタです。

(1) PRS012CKS (プリスケアラ0-2、TML0、1供給クロック選択) ビット (b0)

プリスケアラ0~2、TML0、TML1に供給するクロックを選択します。"0"を設定すると、 $BCLK/4$ (f_{CPUCLK}) = 160MHz時、10MHz)が、"1"を設定すると $BCLK/2$ (f_{CPUCLK}) = 160MHz時、20MHz)が供給されます。

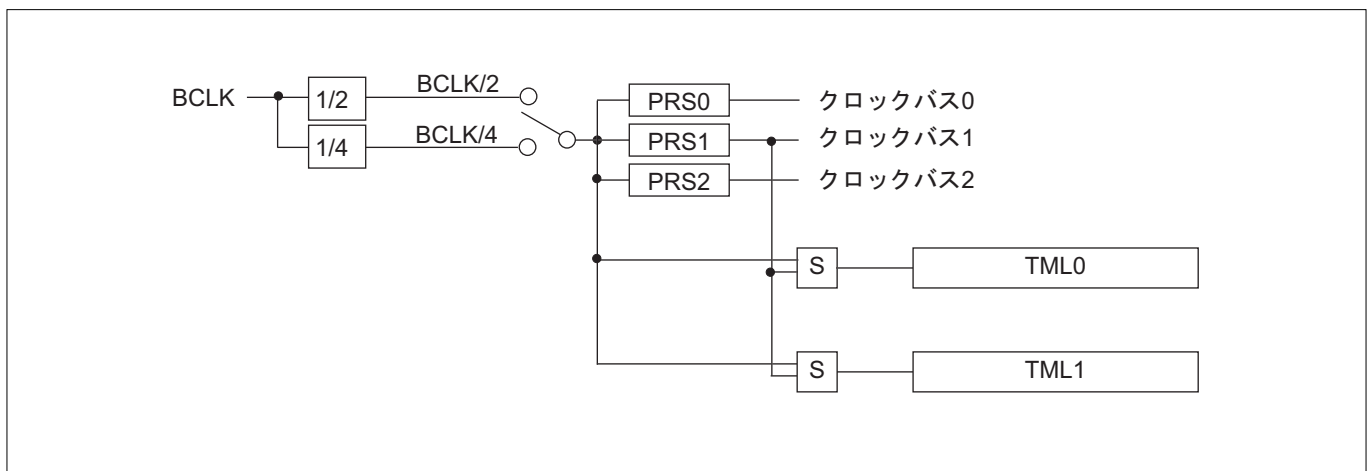


図10.2.1 共通カウントクロック選択機能ブロック図

10.2.3 プリスケーラ部

プリスケーラPRS0~2は8ビット構成のカウンタでBCLKの1/2、またはBCLKの1/4の周波数をもとに、クロックを分周して各タイマ(TOP, TIO, TMS, TML)へクロックを供給します。

プリスケーラ3、4は8ビット構成のカウンタでBCLK、またはBCLKの1/4の周波数をもとに、クロックを分周してTID、TOUへクロックを供給します。

プリスケーラレジスタの値はリセット解除時にH'00に初期化されます。

また、プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケーラレジスタにはH'00~H'FFの値が設定できます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{プリスケーラ設定値} + 1}$$

プリスケーラレジスタ0 (PRS0)	<アドレス: H'0080 0202 >
プリスケーラレジスタ1 (PRS1)	<アドレス: H'0080 0203 >
プリスケーラレジスタ2 (PRS2)	<アドレス: H'0080 0204 >
プリスケーラレジスタ3 (PRS3)	<アドレス: H'0080 07D0 >
プリスケーラレジスタ4 (PRS4)	<アドレス: H'0080 0BD0 >

b0	1	2	3	4	5	6	b7
b8	9	10	11	12	13	14	b15
PRS0-PRS4							
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~7	PRS0-PRS4	プリスケーラ分周値設定	R	W
(8~15)	プリスケーラ			

プリスケーラレジスタ0~2は、リセット解除後カウント動作を開始します。

プリスケーラレジスタ3、4は、それぞれTID0制御&プリスケーラ3イネーブルレジスタ(TID0PRS3EN)、TID1制御&プリスケーラ4イネーブルレジスタ(TID1PRS4EN)のプリスケーラnイネーブル(PRSnEN)ビットに"1"をセット(カウント開始)すると起動し、プリスケーラレジスタ値をリロードして、カウント動作を開始します。

詳細については、「10.7 TID」を参照してください。

プリスケーラレジスタを動作中に読み出すと、カウント動作中の値ではなく書き込んだ値を読み出します。

10.2.4 クロックバス/入出力イベントバス制御部

(1) クロックバス

クロックバスは、各タイマにクロックを供給するためのバスで、クロックバス0～3の4本で構成されます。各タイマではこのクロックバス信号をクロック入力信号とすることができます。クロックバスに入力可能な信号は以下の通りです。

表10.2.1 クロックバス各線に入力可能な信号

クロックバス	入力可能信号
3	TCLK0入力
2	内部プリスケアラ(PRS2) または TCLK3入力
1	内部プリスケアラ(PRS1)
0	内部プリスケアラ(PRS0)

(2) 入力イベントバス

入力イベントバスは、各タイマのカウントイネーブル信号や計測キャプチャ信号を供給するためのバスで、入力イベントバス0～3の4本で構成されます。各タイマではこの入力イベントバス信号をイネーブル(またはキャプチャ)信号入力とすることができます。また、A/D変換、DMA転送の起動要求とすることができます。入力イベントバスに入力可能な信号は以下の通りです。

表10.2.2 入力イベントバス各線に接続(入力)可能な信号

入力イベントバス	接続(入力)可能信号(注1)
3	TIN3入力、出力イベントバス2 または TIO7アンダフロー信号
2	TIN0入力、またはTIN4入力
1	TIO6アンダフロー信号、TIN5入力
0	TIO5アンダフロー信号、TIN6入力

注1. 入力イベントバス信号の接続先(出力)については、「図10.1.1 MJTブロック図」を参照してください。

(3) 出力イベントバス

出力イベントバスは、各タイマのアンダフロー信号が接続され、出力イベントバス0～3の4本で構成されます。出力イベントバスの信号は出力フリップフロップに接続されるほか、A/Dコンバータ、DMACに接続できます。また、出力イベントバス2は、入力イベントバス3に接続可能です。出力イベントバスに接続可能な信号は以下の通りです。

表10.2.3 出力イベントバス各線に接続(入力)可能な信号

出力イベントバス	接続(入力)可能信号(注1)
3	TOP8、TIO3、TIO4、TIO8アンダフロー信号
2	TOP9 または TIO2アンダフロー信号
1	TOP7 または TIO1アンダフロー信号
0	TOP6 または TIO0アンダフロー信号

注1. 出力イベントバス信号の接続先(出力)については、「図10.1.1 MJTブロック図」を参照してください。

なお、各タイマから出力イベントバスに対する信号(およびTIO5、6による入力イベントバスへの信号)が発生するのは、表10.2.4に示すタイミングです(タイマから出力フリップフロップへの信号出力タイミングとは異なるため注意してください)。

表10.2.4 各タイマから出力イベントバスに対する信号発生タイミング

タイマ	モード	出力イベントバスへの信号発生タイミング
TOP	ワンショット出力モード	カウンタアンダフロー時
	ディレイドワンショット出力モード	"
	連続出力モード	"
TIO(注1)	計測クリア入力モード	カウンタアンダフロー時
	計測フリーラン入力モード	"
	ノイズ処理入力モード	"
	PWM出力モード	カウンタアンダフロー時
	ワンショット出力モード	"
	ディレイドワンショット出力モード	"
	連続出力モード	"
	TMS	(16ビット計測入力)
TML	(32ビット計測入力)	信号発生機能なし
TID	定周期モード	信号発生機能なし
	イベントカウントモード	"
	4逓倍イベントカウントモード	"
	アップ/ダウンイベントカウントモード	"
TOU	PWM出力モード	信号発生機能なし
	ワンショットPWMモード	"
	ディレイドワンショット出力モード	"
	ワンショット出力モード	"
	連続出力モード	"

注1. TIO5~7は入力イベントバスに対してアンダフロー信号を出力します。

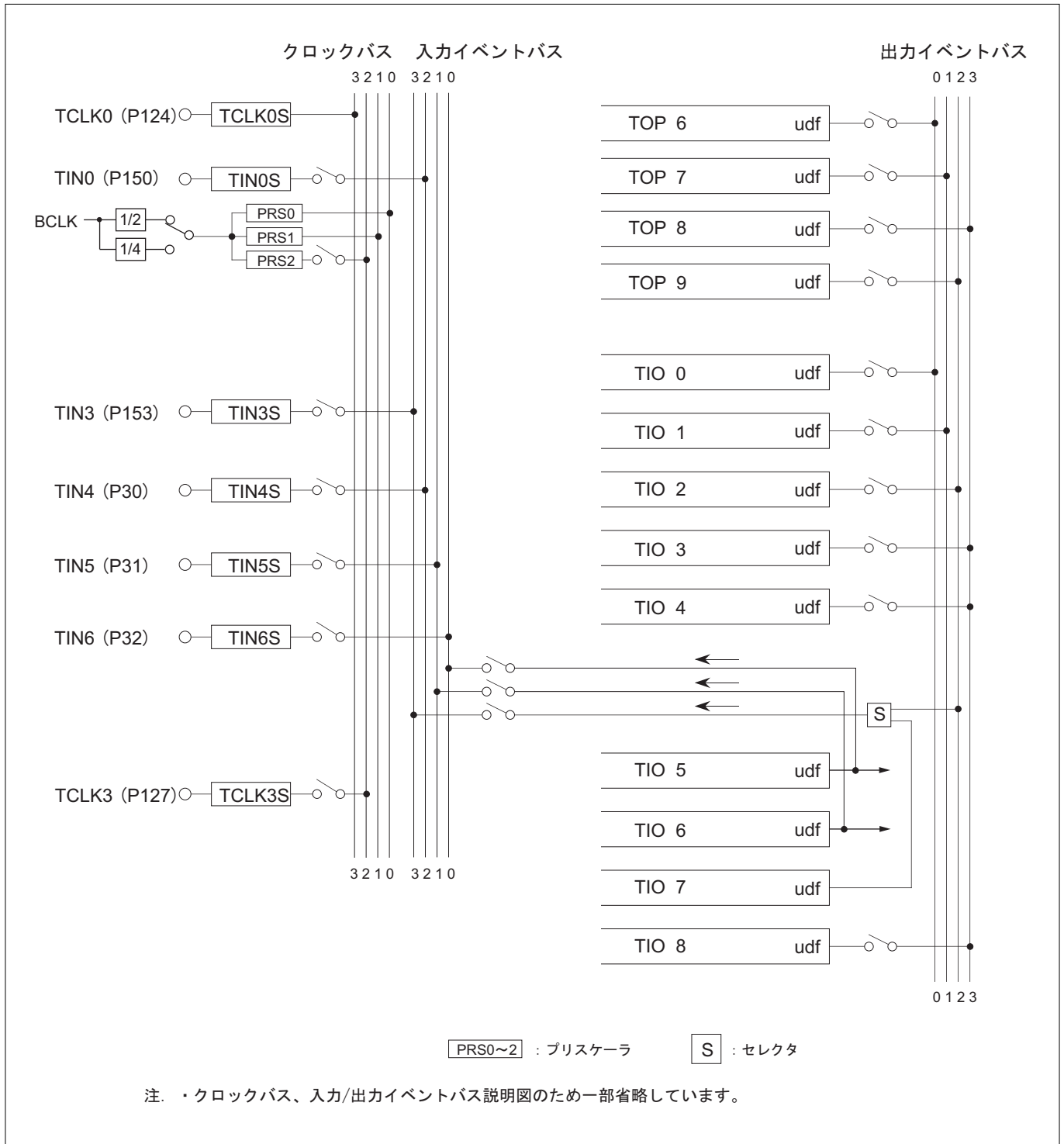


図10.2.2 クロックバス、入力/出力イベントバスの概念図

クロックバス/入出力イベントバス制御部には以下のレジスタがあります。

- クロックバス&入力イベントバス制御レジスタ(CKIEBCR)
- 出力イベントバス制御レジスタ(OEBCR)

クロックバス&入力イベントバス制御レジスタ(CKIEBCR)

<アドレス : H'0080 0201 >

b8	9	10	11	12	13	14	b15
IEB3S		IEB2S		IEB1S	IEB0S	0	CKB2S
0	0	0	0	0	0		0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	IEB3S 入力イベントバス3入力選択ビット	00 : 外部入力3(TIN3)選択 01 : " " 10 : 出力イベントバス2選択 11 : TIO7出力選択	R	W
10, 11	IEB2S 入力イベントバス2入力選択ビット	00 : 外部入力0(TIN0)選択 01 : 入力イベントバス2を使用しません。 10 : 外部入力4(TIN4)選択 11 : " "	R	W
12	IEB1S 入力イベントバス1入力選択ビット	0 : 外部入力5(TIN5)選択 1 : TIO6出力選択	R	W
13	IEB0S 入力イベントバス0入力選択ビット	0 : 外部入力6(TIN6)選択 1 : TIO5出力選択	R	W
14	何も配置されていません。"0"に固定してください。		0	0
15	CKB2S クロックバス2入力選択ビット	0 : プリスケアラ2選択 1 : 外部クロック3(TCLK3)選択	R	W

CKIEBCRは、クロックバスに供給するクロックソースの選択(外部入力またはプリスケアラ) および入力イベントバスへ供給するカウントイネーブル/キャプチャ信号の選択(外部入力または出力イベントバス)を行うレジスタです。

出力イベントバス制御レジスタ(OEBCR)

<アドレス: H'0080 0205 >

b8	9	10	11	12	13	14	b15
OEB3S			OEB2S		OEB1S		OEB0S
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8, 9	OEB3S 出力イベントバス3入力選択ビット	00: TOP8出力選択 01: TIO3出力選択 10: TIO4出力選択 11: TIO8出力選択	R	W
10	何も配置されていません。"0"に固定してください。		0	0
11	OEB2S 出力イベントバス2入力選択ビット	0: TOP9出力選択 1: TIO2出力選択	R	W
12	何も配置されていません。"0"に固定してください。		0	0
13	OEB1S 出力イベントバス1入力選択ビット	0: TOP7出力選択 1: TIO1出力選択	R	W
14	何も配置されていません。"0"に固定してください。		0	0
15	OEB0S 出力イベントバス0入力選択ビット	0: TOP6出力選択 1: TIO0出力選択	R	W

OEBCRは、出力イベントバスにどのタイマ(TOP, TIO)のアンダフロー信号を供給するかを選択するレジスタです。

10.2.5 入力処理制御部

入力処理制御部では、TCLK信号およびTIN信号の入力処理を行います。TCLK入力処理部では、TCLK信号のソース、外部入力の場合は信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)でクロックバスへの供給クロック信号を発生させるかを選択します。

またTIN入力処理部では、信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)で、各タイマのイネーブル信号/計測信号/カウントソース信号、または各イベントバスへの供給信号を発生させるかを選択します。

入力処理制御レジスタには以下のものがあります。

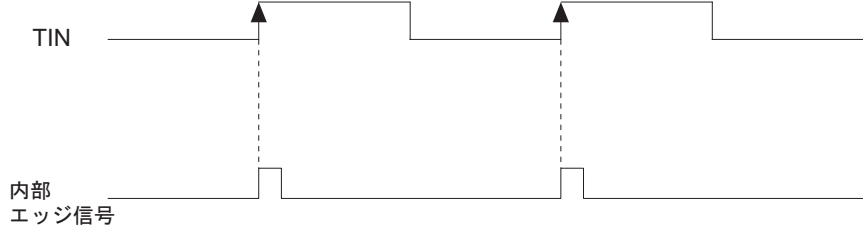
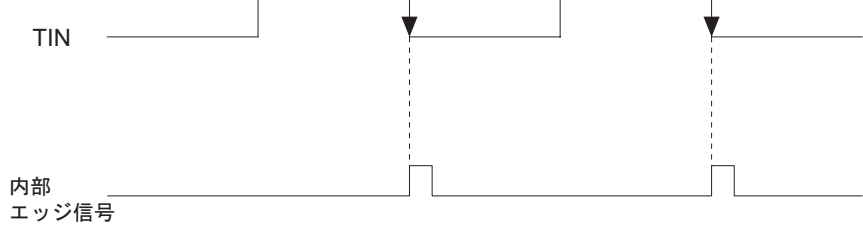
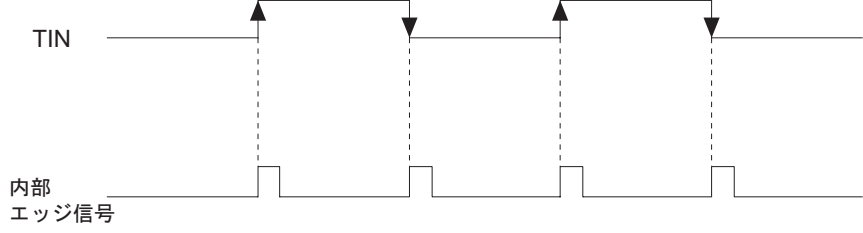

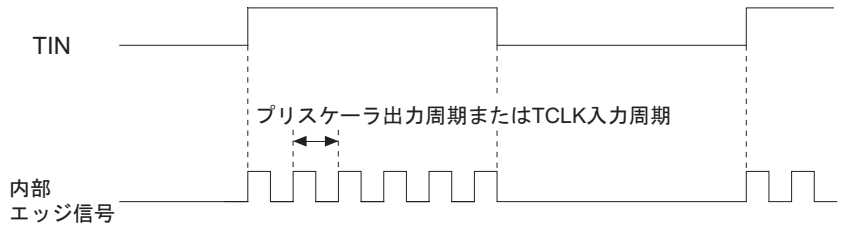
- TCLK入力処理制御レジスタ(TCLKCR)
- TIN入力処理制御レジスタ0(TINCR0)
- TIN入力処理制御レジスタ1(TINCR1)
- TIN入力処理制御レジスタ2(TINCR2)
- TIN入力処理制御レジスタ3(TINCR3)
- TIN入力処理制御レジスタ4(TINCR4)
- TIN24,25入力処理制御レジスタ(TIN2425CR)
- TIN26,27入力処理制御レジスタ(TIN2627CR)

(1)TCLK入力処理制御レジスタ機能一覧

項目	動作機能
BCLK/2、(注1) またはBCLK/4	<p>カウントクロック</p>
立ち上がりエッジ	<p>TCLK</p> <p>カウントクロック</p>
立ち下がりエッジ	<p>TCLK</p> <p>カウントクロック</p>
両エッジ	<p>TCLK</p> <p>カウントクロック</p>
Lレベル	<p>TCLK</p> <p>カウントクロック</p>
Hレベル	<p>TCLK</p> <p>カウントクロック</p>

注1 . BCLK/2、BCLK/4の選択は、共通カウントクロック選択レジスタ(CNTCKSEL)のPRS012CKS(プリスケラ0-2、TML0、1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウントクロック選択機能」を参照してください。

(2) TIN入力処理制御レジスタ機能一覧

項目	動作機能
立ち上がりエッジ	 <p>TIN</p> <p>内部エッジ信号</p>
立ち下がりエッジ	 <p>TIN</p> <p>内部エッジ信号</p>
両エッジ	 <p>TIN</p> <p>内部エッジ信号</p>
Lレベル	 <p>TIN</p> <p>プリスケアラ出力周期またはTCLK入力周期</p> <p>内部エッジ信号</p>
Hレベル	 <p>TIN</p> <p>プリスケアラ出力周期またはTCLK入力周期</p> <p>内部エッジ信号</p>

TCLK入力処理制御レジスタ(TCLKCR)

<アドレス : H'0080 0210 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15		
TCLK3S		TCLK2S			TCLK1S				TCLK0S								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2, 3	TCLK3S TCLK3 入力処理選択ビット	00 : BCLK/2、またはBCLK/4(注1) 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ	R	W
4	何も配置されていません。"0"に固定してください。		0	0
5~7	TCLK2S TCLK2 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
8	何も配置されていません。"0"に固定してください。		0	0
9~11	TCLK1S TCLK1 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
12,13	何も配置されていません。"0"に固定してください。		0	0
14,15	TCLK0S TCLK0 入力処理選択ビット	00 : BCLK/2、またはBCLK/4(注1) 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ	R	W

注1 . BCLK/2、BCLK/4の選択は、共通カウンタクロック選択レジスタ(CNTCKSEL)のPRS012CKΣ(プリスケアラ0-2、TML0、1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウンタクロック選択機能」を参照してください。

注 . このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ(TINCRO)

<アドレス : H'0080 0212 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIN4S				TIN3S				TIN2S		TIN1S		TIN0S			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1~3	TIN4S TIN4 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
4	何も配置されていません。"0"に固定してください。		0	0
5~7	TIN3S TIN3 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
8, 9	何も配置されていません。"0"に固定してください。		0	0
10, 11	TIN2S 予約ビット	"0"に固定してください。	0	0
12, 13	TIN1S 予約ビット	"0"に固定してください。	0	0
14, 15	TIN0S TIN0 入力処理選択ビット	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ1(TINCR1)

<アドレス : H'0080 0214 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIN8S				TIN7S				TIN6S				TIN5S			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

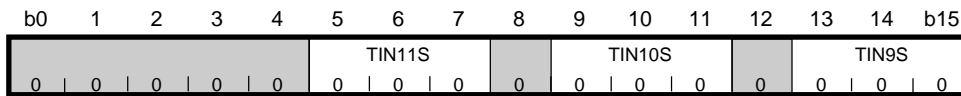
<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1~3	TIN8S TIN8 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
4	何も配置されていません。"0"に固定してください。		0	0
5~7	TIN7S TIN7 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
8	何も配置されていません。"0"に固定してください。		0	0
9~11	TIN6S TIN6 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
12	何も配置されていません。"0"に固定してください。		0	0
13~15	TIN5S TIN5 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W

注 . ・ このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ2 (TINCR2)

< アドレス : H'0080 0216 >



< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5~7	TIN11S TIN11 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
8	何も配置されていません。"0"に固定してください。		0	0
9~11	TIN10S TIN10 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W
12	何も配置されていません。"0"に固定してください。		0	0
13~15	TIN9S TIN9 入力処理選択ビット	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 100 : Lレベル 101 : Lレベル 110 : Hレベル 111 : Hレベル	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ3(TINCR3)

<アドレス : H'0080 0218 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIN19S		TIN18S		TIN17S		TIN16S		TIN15S		TIN14S		TIN13S		TIN12S	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	TIN19S (TIN19 入力処理選択ビット)	00 : 入力を無効にする	R	W
2, 3	TIN18S (TIN18 入力処理選択ビット)	01 : 立ち上がりエッジ		
4, 5	TIN17S (TIN17 入力処理選択ビット)	10 : 立ち下がりエッジ		
6, 7	TIN16S (TIN16 入力処理選択ビット)	11 : 両エッジ		
8, 9	TIN15S (予約ビット)	"0"に固定してください。	0	0
10, 11	TIN14S (予約ビット)			
12, 13	TIN13S (予約ビット)			
14, 15	TIN12S (予約ビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ4(TINCR4)

<アドレス : H'0080 021A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIN33S		TIN32S		TIN31S		TIN30S		TIN23S		TIN22S		TIN21S		TIN20S	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	TIN33S (TIN33 入力処理選択ビット)	00 : 入力を無効にする	R	W
2, 3	TIN32S (TIN32 入力処理選択ビット)	01 : 立ち上がりエッジ		
4, 5	TIN31S (TIN31 入力処理選択ビット)	10 : 立ち下がりエッジ		
6, 7	TIN30S (TIN30 入力処理選択ビット)	11 : 両エッジ		
8, 9	TIN23S (TIN23 入力処理選択ビット)			
10, 11	TIN22S (TIN22 入力処理選択ビット)			
12, 13	TIN21S (TIN21 入力処理選択ビット)			
14, 15	TIN20S (TIN20 入力処理選択ビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIN24,25入力処理制御レジスタ(TIN2425CR)

<アドレス : H'0080 07E1 >

b8	9	10	11	12	13	14	b15
0	0	0	0	TIN25S		TIN24S	
				0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12, 13	TIN25S (TIN25 入力処理選択ビット)	00 : 入力無効	R	W
14, 15	TIN24S (TIN24 入力処理選択ビット)	01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

TIN26,27入力処理制御レジスタ(TIN2627CR)

<アドレス : H'0080 0BE1 >

b8	9	10	11	12	13	14	b15
0	0	0	0	TIN27S		TIN26S	
				0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12, 13	TIN27S (TIN27 入力処理選択ビット)	00 : 入力無効	R	W
14, 15	TIN26S (TIN26 入力処理選択ビット)	01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

10.2.6 出力フリップフロップ制御部

出力フリップフロップ制御部では、各タイマ出力に設けられたフリップフロップ(F/F)の制御を行います。出力フリップフロップ制御レジスタには以下のものがあります。

- F/Fソース選択レジスタ0(FFS0)
- F/Fソース選択レジスタ1(FFS1)
- F/Fプロテクトレジスタ0(FFP0)
- F/Fプロテクトレジスタ1(FFP1)
- F/F21-28プロテクトレジスタ(FF2128P)
- F/F29-36プロテクトレジスタ(FF2936P)
- F/Fデータレジスタ0(FFD0)
- F/Fデータレジスタ1(FFD1)
- F/F21-28データレジスタ(FF2128D)
- F/F29-36データレジスタ(FF2936D)

なお、各タイマから出力フリップフロップに対する信号の発生するタイミングを表10.2.5に示します(出力イベントバスへの信号出力タイミングと異なるため注意してください)。

表10.2.5 各タイマから出力フリップフロップに対する信号発生タイミング

タイマ	モード	出力フリップフロップへの信号発生タイミング
TOP	ワンショット出力モード	カウントイネーブル時およびアンダフロー時
	ディレイドワンショット出力モード	カウンタアンダフロー時
	連続出力モード	カウントイネーブル時およびアンダフロー時
TIO	計測クリア入力モード	カウンタアンダフロー時
	計測フリーラン入力モード	カウンタアンダフロー時
	ノイズ処理入力モード	カウンタアンダフロー時
	PWM出力モード	カウントイネーブル時およびアンダフロー時
	ワンショット出力モード	カウントイネーブル時およびアンダフロー時
	ディレイドワンショット出力モード	カウンタアンダフロー時
	連続出力モード	カウントイネーブル時およびアンダフロー時
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし
TID	定周期カウントモード	信号発生機能なし
	イベントカウントモード	信号発生機能なし
	4通倍イベントカウントモード	信号発生機能なし
	アップ/ダウンイベントカウントモード	信号発生機能なし
TOU	PWM出力モード	カウントイネーブル時およびアンダフロー時
	ワンショットPWM出力モード	カウンタアンダフロー時
	ディレイドワンショット出力モード	カウンタアンダフロー時
	ワンショット出力モード	カウントイネーブル時およびアンダフロー時
	連続出力モード	カウントイネーブル時およびアンダフロー時

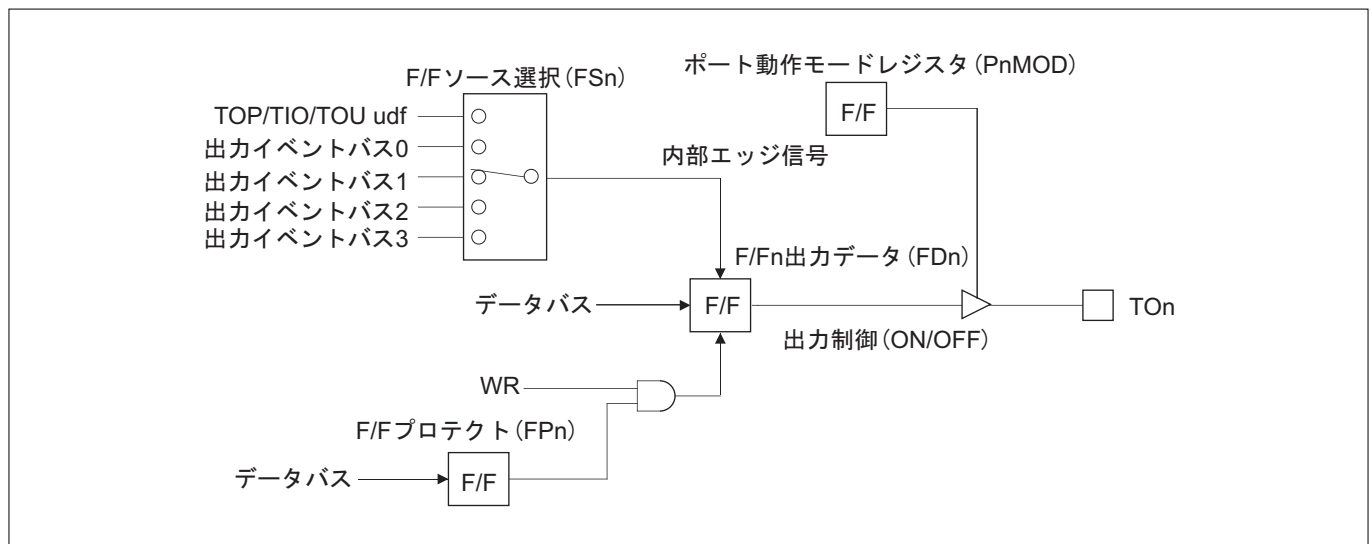


図10.2.3 F/F出力回路構成図

F/Fソース選択レジスタ(FFS0)

<アドレス : H'0080 0220 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	FS15	FS14	FS13	FS12	FS11	FS10	FS9	FS8	FS7	FS6			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	FS15 F/F15 ソース選択ビット	0 : TIO 4 出力 1 : 出力イベントバス0	R	W
4	FS14 F/F14 ソース選択ビット	0 : TIO 3 出力 1 : 出力イベントバス0	R	W
5	FS13 F/F13 ソース選択ビット	0 : TIO 2 出力 1 : 出力イベントバス3	R	W
6	FS12 F/F12 ソース選択ビット	0 : TIO 1 出力 1 : 出力イベントバス2	R	W
7	FS11 F/F11 ソース選択ビット	0 : TIO 0 出力 1 : 出力イベントバス1	R	W
8, 9	FS10 F/F10 ソース選択ビット	00 : TOP 10 出力 01 : TOP 10 出力 10 : 出力イベントバス0 11 : 出力イベントバス1	R	W
10, 11	FS9 F/F9 ソース選択ビット	00 : TOP 9 出力 01 : TOP 9 出力 10 : 出力イベントバス0 11 : 出力イベントバス1	R	W
12, 13	FS8 F/F8 ソース選択ビット	00 : TOP 8 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス2	R	W
14	FS7 F/F7 ソース選択ビット	0 : TOP 7 出力 1 : 出力イベントバス0	R	W
15	FS6 F/F6 ソース選択ビット	0 : TOP 6 出力 1 : 出力イベントバス1	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/Fソース選択レジスタ1(FFS1)

<アドレス : H'0080 0223 >

b8	9	10	11	12	13	14	b15
FS19		FS18		FS17		FS16	
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	FS19 F/F19 ソース選択ビット	00 : TIO 8 出力 01 : TIO 8 出力 10 : 出力イベントバス0 11 : 出力イベントバス1	R	W
10, 11	FS18 F/F18 ソース選択ビット	00 : TIO 7 出力 01 : TIO 7 出力 10 : 出力イベントバス0 11 : 出力イベントバス1	R	W
12, 13	FS17 F/F17 ソース選択ビット	00 : TIO 6 出力 01 : TIO 6 出力 10 : 出力イベントバス0 11 : 出力イベントバス1	R	W
14, 15	FS16 F/F16 ソース選択ビット	00 : TIO 5 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス3	R	W

各出力F/F(フリップフロップ)への信号ソースの選択レジスタです。信号ソースには内部出力バスからの選択、または各タイマからのアンダフロー出力を選択できます。

F/Fプロテクトレジスタ0(FFP0)

<アドレス : H'0080 0224 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	FP15(F/F15 プロテクトビット)	0 : F/F出力ビットへの書き込み許可	R	W
1	FP14(F/F14 プロテクトビット)	1 : F/F出力ビットへの書き込み禁止		
2	FP13(F/F13 プロテクトビット)			
3	FP12(F/F12 プロテクトビット)			
4	FP11(F/F11 プロテクトビット)			
5	FP10(F/F10 プロテクトビット)			
6	FP9(F/F9 プロテクトビット)			
7	FP8(F/F8 プロテクトビット)			
8	FP7(F/F7 プロテクトビット)			
9	FP6(F/F6 プロテクトビット)			
10	FP5(F/F5 プロテクトビット)			
11	FP4(F/F4 プロテクトビット)			
12	FP3(F/F3 プロテクトビット)			
13	FP2(F/F2 プロテクトビット)			
14	FP1(F/F1 プロテクトビット)			
15	FP0(F/F0 プロテクトビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/Fプロテクトレジスタ1(FFP1)

<アドレス : H'0080 0229 >

b8	9	10	11	12	13	14	b15
0	0	0	FP20	FP19	FP18	FP17	FP16
			0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	FP20(F/F20 プロテクトビット)	0 : F/F出力ビットへの書き込み許可	R	W
12	FP19(F/F19 プロテクトビット)	1 : F/F出力ビットへの書き込み禁止		
13	FP18(F/F18 プロテクトビット)			
14	FP17(F/F17 プロテクトビット)			
15	FP16(F/F16 プロテクトビット)			

F/F21-28プロテクトレジスタ(FF2128P)

<アドレス : H'0080 07D5 >

b8	9	10	11	12	13	14	b15
FP21	FP22	FP23	FP24	FP25	FP26	FP27	FP28
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	FP21 (F/F21 プロテクトビット)	0 : F/F出力ビットへの書き込み許可	R	W
9	FP22 (F/F22 プロテクトビット)	1 : F/F出力ビットへの書き込み禁止		
10	FP23 (F/F23 プロテクトビット)			
11	FP24 (F/F24 プロテクトビット)			
12	FP25 (F/F25 プロテクトビット)			
13	FP26 (F/F26 プロテクトビット)			
14	FP27 (F/F27 プロテクトビット)			
15	FP28 (F/F28 プロテクトビット)			

F/F29-36プロテクトレジスタ(FF2936P)

<アドレス : H'0080 0BD5 >

b8	9	10	11	12	13	14	b15
FP29	FP30	FP31	FP32	FP33	FP34	FP35	FP36
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	FP29 (F/F29 プロテクトビット)	0 : F/F出力ビットへの書き込み許可	R	W
9	FP30 (F/F30 プロテクトビット)	1 : F/F出力ビットへの書き込み禁止		
10	FP31 (F/F31 プロテクトビット)			
11	FP32 (F/F32 プロテクトビット)			
12	FP33 (F/F33 プロテクトビット)			
13	FP34 (F/F34 プロテクトビット)			
14	FP35 (F/F35 プロテクトビット)			
15	FP36 (F/F36 プロテクトビット)			

各出力F/F(フリップフロップ)への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止した場合は、F/Fデータレジスタへの書き込みは無効になります。

F/Fデータレジスタ0(FFD0)

<アドレス : H'0080 0226 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	FD15(F/F15 出力データビット)	0 : F/F出力データ = 0	R	W
1	FD14(F/F14 出力データビット)	1 : F/F出力データ = 1		
2	FD13(F/F13 出力データビット)			
3	FD12(F/F12 出力データビット)			
4	FD11(F/F11 出力データビット)			
5	FD10(F/F10 出力データビット)			
6	FD9(F/F9 出力データビット)			
7	FD8(F/F8 出力データビット)			
8	FD7(F/F7 出力データビット)			
9	FD6(F/F6 出力データビット)			
10	FD5(F/F5 出力データビット)			
11	FD4(F/F4 出力データビット)			
12	FD3(F/F3 出力データビット)			
13	FD2(F/F2 出力データビット)			
14	FD1(F/F1 出力データビット)			
15	FD0(F/F0 出力データビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

F/Fデータレジスタ1(FFD1)

<アドレス : H'0080 022B >

b8	9	10	11	12	13	14	b15
			FD20	FD19	FD18	FD17	FD16
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	FD20(F/F20 出力データビット)	0 : F/F出力データ = 0	R	W
12	FD19(F/F19 出力データビット)	1 : F/F出力データ = 1		
13	FD18(F/F18 出力データビット)			
14	FD17(F/F17 出力データビット)			
15	FD16(F/F16 出力データビット)			

F/F21-28データレジスタ(FF2128D)

<アドレス : H'0080 07D7 >

b8	9	10	11	12	13	14	b15
FD21	FD22	FD23	FD24	FD25	FD26	FD27	FD28
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	FD21 (F/F21 出力データビット)	0 : F/F出力データ = 0	R	W
9	FD22 (F/F22 出力データビット)	1 : F/F出力データ = 1		
10	FD23 (F/F23 出力データビット)			
11	FD24 (F/F24 出力データビット)			
12	FD25 (F/F25 出力データビット)			
13	FD26 (F/F26 出力データビット)			
14	FD27 (F/F27 出力データビット)			
15	FD28 (F/F28 出力データビット)			

F/F29-36データレジスタ(FF2936D)

<アドレス : H'0080 0BD7 >

b8	9	10	11	12	13	14	b15
FD29	FD30	FD31	FD32	FD33	FD34	FD35	FD36
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	FD29 (F/F29 出力データビット)	0 : F/F出力データ = 0	R	W
9	FD30 (F/F30 出力データビット)	1 : F/F出力データ = 1		
10	FD31 (F/F31 出力データビット)			
11	FD32 (F/F32 出力データビット)			
12	FD33 (F/F33 出力データビット)			
13	FD34 (F/F34 出力データビット)			
14	FD35 (F/F35 出力データビット)			
15	FD36 (F/F36 出力データビット)			

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定が書き込み許可の場合のみ操作できます。

10.2.7 割り込み制御部

割り込み制御部は、各タイマから割り込みコントローラに出力する割り込み要求信号を制御します。タイマ割り込み制御レジスタには、各タイマごとに以下のレジスタがあります。

- TOP割り込み制御レジスタ α (TOPIR0)
- TOP割り込み制御レジスタ1 (TOPIR1)
- TOP割り込み制御レジスタ α (TOPIR2)
- TOP割り込み制御レジスタ α (TOPIR3)
- TIO割り込み制御レジスタ α (TIOIR0)
- TIO割り込み制御レジスタ1 (TIOIR1)
- TIO割り込み制御レジスタ α (TIOIR2)
- TMS割り込み制御レジスタ (TMSIR)
- TIN割り込み制御レジスタ α (TINIR0)
- TIN割り込み制御レジスタ1 (TINIR1)
- TIN割り込み制御レジスタ α (TINIR2)
- TIN割り込み制御レジスタ α (TINIR3)
- TIN割り込み制御レジスタ4 (TINIR4)
- TIN割り込み制御レジスタ5 (TINIR5)
- TIN割り込み制御レジスタ6 (TINIR6)
- TIN24,25割り込み要求マスクレジスタ (TIN2425IMA)
- TIN24,25割り込み要求ステータスレジスタ (TIN2425IST)
- TIN26,27割り込み要求マスクレジスタ (TIN2627IMA)
- TIN26,27割り込み要求ステータスレジスタ (TIN2627IST)
- TIN割り込み制御レジスタ7 (TINIR7)
- TOU0割り込み要求マスクレジスタ (TOU0IMA)
- TOU0割り込み要求ステータスレジスタ (TOU0IST)
- TOU1割り込み要求マスクレジスタ (TOU1IMA)
- TOU1割り込み要求ステータスレジスタ (TOU1IST)

1つの割り込みベクタテーブルに対して割り込み要求要因数が1つの割り込みは、タイマ内に割り込み制御レジスタを持っておらず、割り込みコントローラ中で割り込み要求ステータスフラグの管理を自動的に行います。

(詳細については、「第5章 割り込みコントローラ」を参照してください。)

- TOP10 TOP10出力割り込み要求 (IRQ5)
- TID0 TID0出力割り込み要求 (IRQ14)
- TID1 TID1出力割り込み要求 (IRQ15)

1つの割り込みベクタテーブルに対して、割り込み要因数が2以上の割り込みは割り込み制御レジスタを使用した割り込み要求制御と割り込み入力の判定を行っています。このため割り込みコントローラ内のステータスフラグは割り込み許可された割り込み要求の判定ビットとしてのみ機能し、書き込み処理はできません。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グループ割り込みとしてグループ化された割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求マスクビット

グループ割り込みとしてグループ化された割り込み要求の内、不要な割り込みを禁止にするためのフラグです。割り込み要求許可時には"0"、割り込み要求禁止時には"1"を設定します。

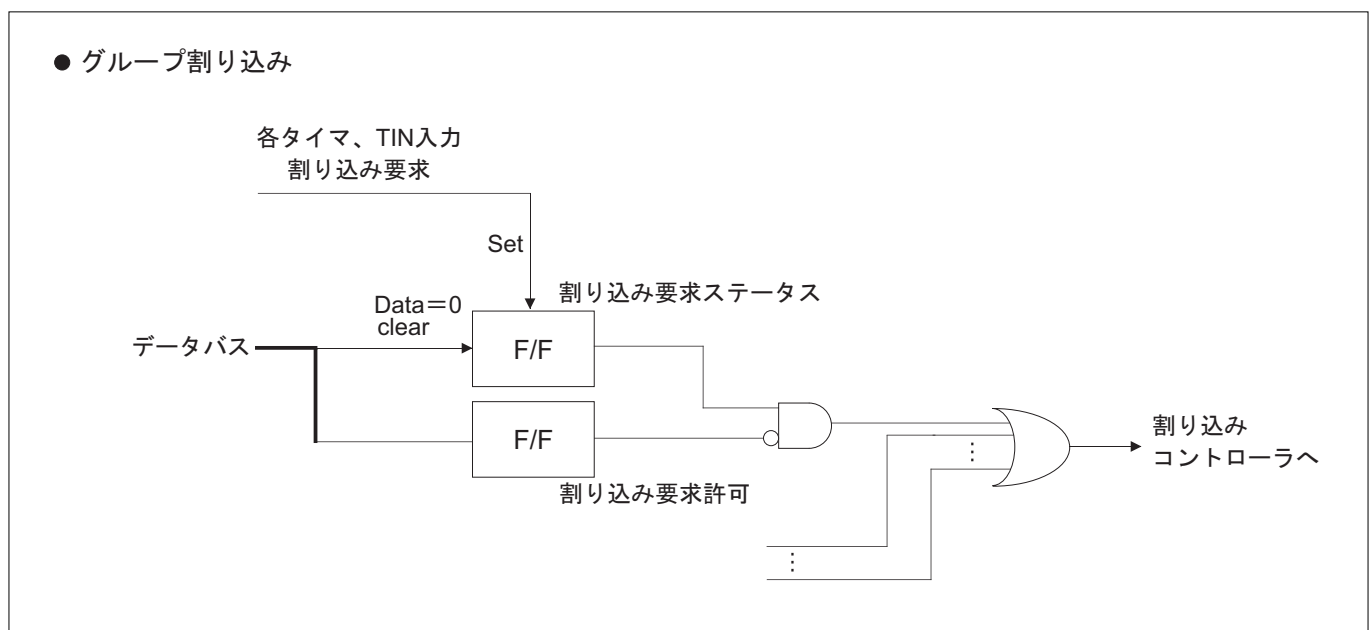
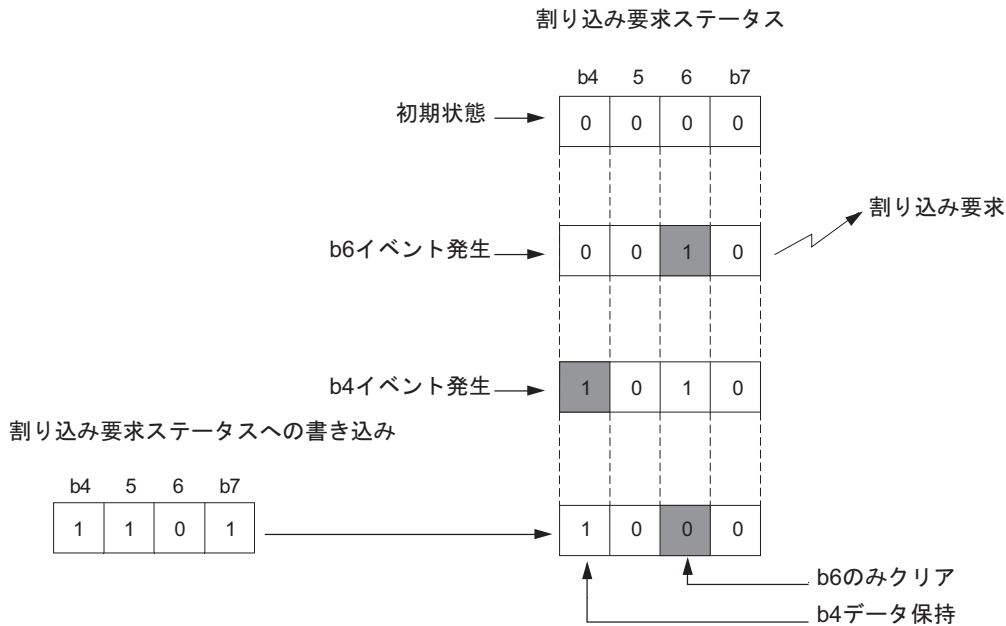


図10.2.4 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



ISTREG = 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



ISTREG &= 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

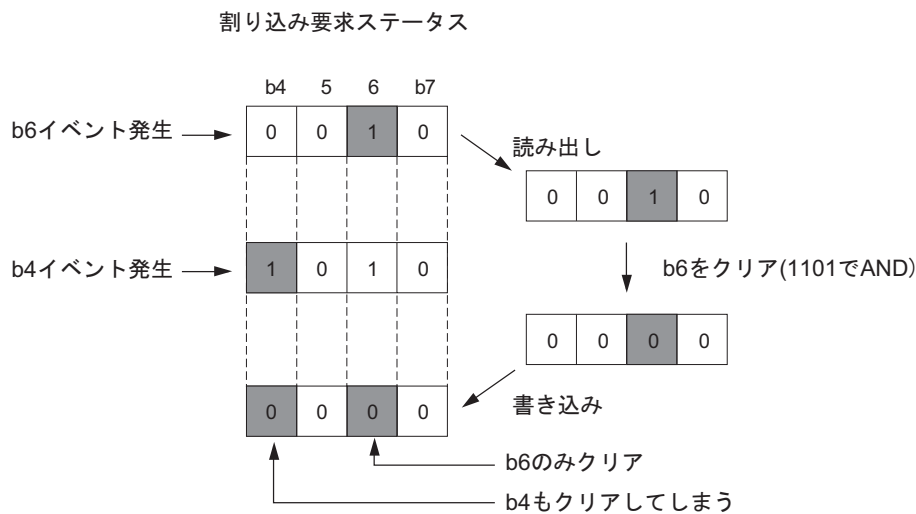


図10.2.5 割り込み要求ステータスクリア例

マルチジャンクションタイマから出力される割り込み要求信号と、割り込みコントローラの入力の間を以下に示します。

表10.2.6 MJTで発生する割り込み要求信号

信号名	発生源	割り込み要求要因(注1)	ICU入力要因数
IRQ0	TIO0, TIO1, TIO2, TIO3	MJT出力割り込み0	4
IRQ1	TOP6, TOP7	MJT出力割り込み1	2
IRQ2	TOP0, TOP1, TOP2, TOP3, TOP4, TOP5	MJT出力割り込み2	6
IRQ3	TIO8, TIO9	MJT出力割り込み3	2
IRQ4	TIO4, TIO5, TIO6, TIO7	MJT出力割り込み4	4
IRQ6	TOP8, TOP9	MJT出力割り込み6	2
IRQ7	TMS0, TMS1	MJT出力割り込み7	2
IRQ8	TIN7, TIN8, TIN9, TIN10, TIN11	MJT入力割り込み0	5
IRQ9	TIN0	MJT入力割り込み1	1
IRQ10	TIN16, TIN17, TIN18, TIN19	MJT入力割り込み2	4
IRQ11	TIN20, TIN21, TIN22, TIN23, TIN24, TIN25 TIN26, TIN27	MJT入力割り込み3	8
IRQ12	TIN3, TIN4, TIN5, TIN6	MJT入力割り込み4	4
IRQ13	TOU0_0, TOU0_1, TOU0_2, TOU0_3 TOU0_4, TOU0_5, TOU0_6, TOU0_7	TOU0出力割り込み	8
IRQ16	TOU1_0, TOU1_1, TOU1_2, TOU1_3 TOU1_4, TOU1_5, TOU1_6, TOU1_7	TOU1出力割り込み	8
IRQ18	TIN30, TIN31, TIN32, TIN33	TML1入力割り込み	4

注1. 「第5章 割り込みコントローラ(ICU)」を参照してください。

注. . TOP10、TID0、TID1は割り込みグループで1つの要求要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

TOP割り込み制御レジスタ0 (TOPIR0)

<アドレス : H'0080 0230 >

b0	1	2	3	4	5	6	b7
0	0	TOPIS5	TOPIS4	TOPIS3	TOPIS2	TOPIS1	TOPIS0
		0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2	TOPIS5 (TOP5 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
3	TOPIS4 (TOP4 割り込み要求ステータスビット)	1 : 割り込み要求あり		
4	TOPIS3 (TOP3 割り込み要求ステータスビット)			
5	TOPIS2 (TOP2 割り込み要求ステータスビット)			
6	TOPIS1 (TOP1 割り込み要求ステータスビット)			
7	TOPIS0 (TOP0 割り込み要求ステータスビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOP割り込み制御レジスタ1 (TOPIR1)

<アドレス : H'0080 0231 >

b8	9	10	11	12	13	14	b15
0	0	TOPIM5	TOPIM4	TOPIM3	TOPIM2	TOPIM1	TOPIM0
		0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	何も配置されていません。"0"に固定してください。		0	0
10	TOPIM5 (TOP5 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
11	TOPIM4 (TOP4 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
12	TOPIM3 (TOP3 割り込み要求マスクビット)			
13	TOPIM2 (TOP2 割り込み要求マスクビット)			
14	TOPIM1 (TOP1 割り込み要求マスクビット)			
15	TOPIM0 (TOP0 割り込み要求マスクビット)			

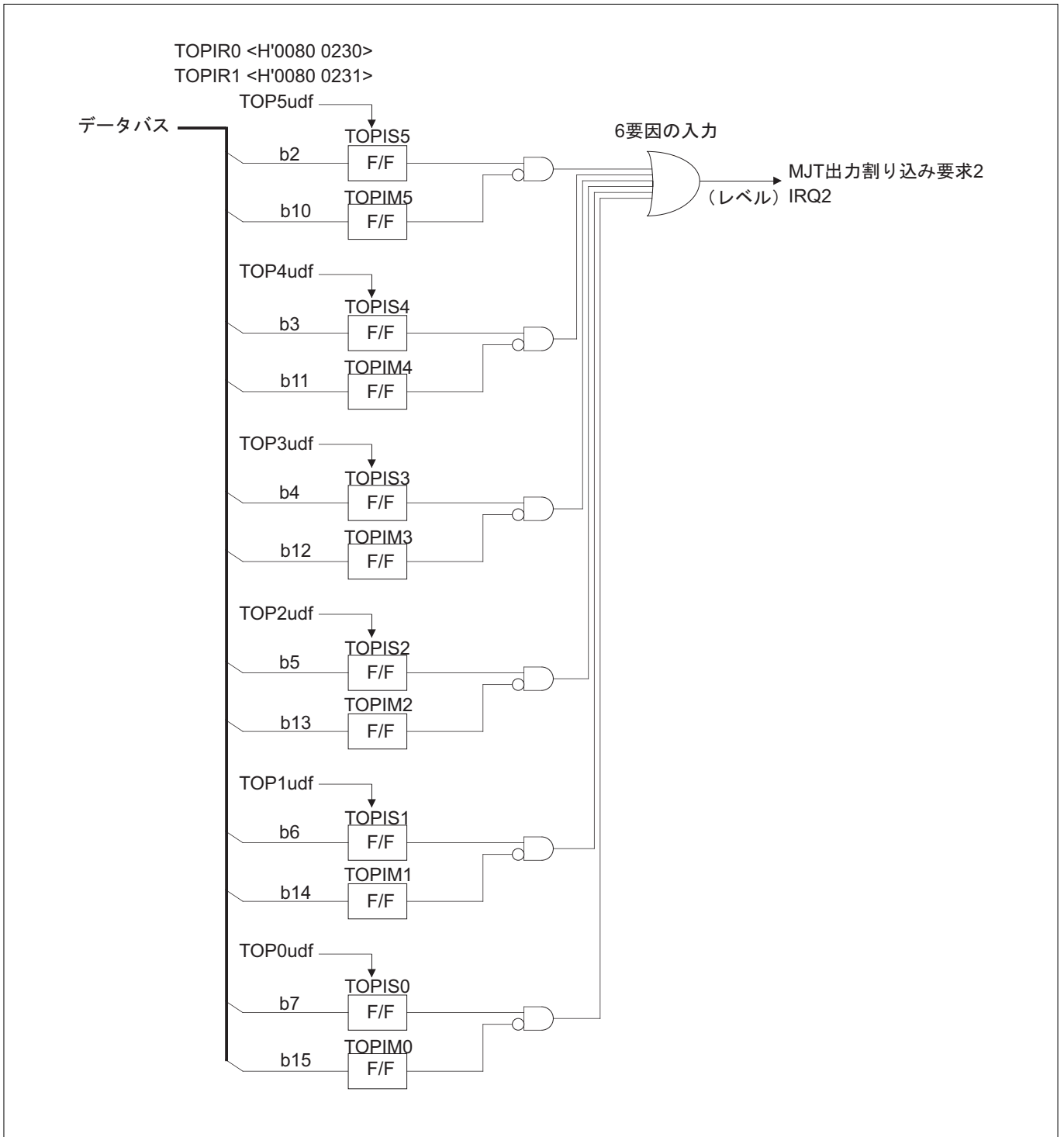


図10.2.6 MJT出力割り込み要求2ブロック図

TOP割り込み制御レジスタ2 (TOPIR2)

<アドレス : H'0080 0232 >

b0	1	2	3	4	5	6	b7
0	0	TOPIS7 0	TOPIS6 0	0	0	TOPIM7 0	TOPIM6 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2	TOPIS7 (TOP7 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
3	TOPIS6 (TOP6 割り込み要求ステータスビット)	1 : 割り込み要求あり		
4, 5	何も配置されていません。"0"に固定してください。		0	0
6	TOPIM7 (TOP7 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
7	TOPIM6 (TOP6 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

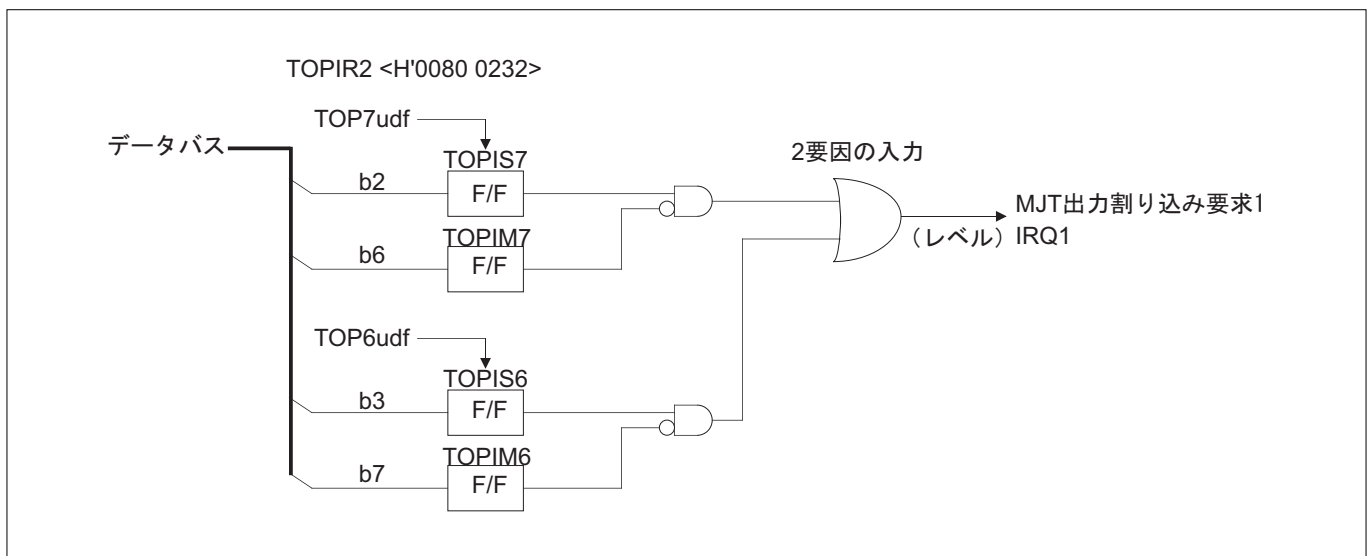


図10.2.7 MJT出力割り込み要求1ブロック図

TOP割り込み制御レジスタ3 (TOPIR3)

<アドレス : H'0080 0233 >

b8	9	10	11	12	13	14	b15
0	0	TOPIS9 0	TOPIS8 0	0	0	TOPIM9 0	TOPIM8 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	何も配置されていません。"0"に固定してください。		0	0
10	TOPIS9 (TOP9 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
11	TOPIS8 (TOP8 割り込み要求ステータスビット)	1 : 割り込み要求あり		
12, 13	何も配置されていません。"0"に固定してください。		0	0
14	TOPIM9 (TOP9 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
15	TOPIM8 (TOP8 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. ・TOP10は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

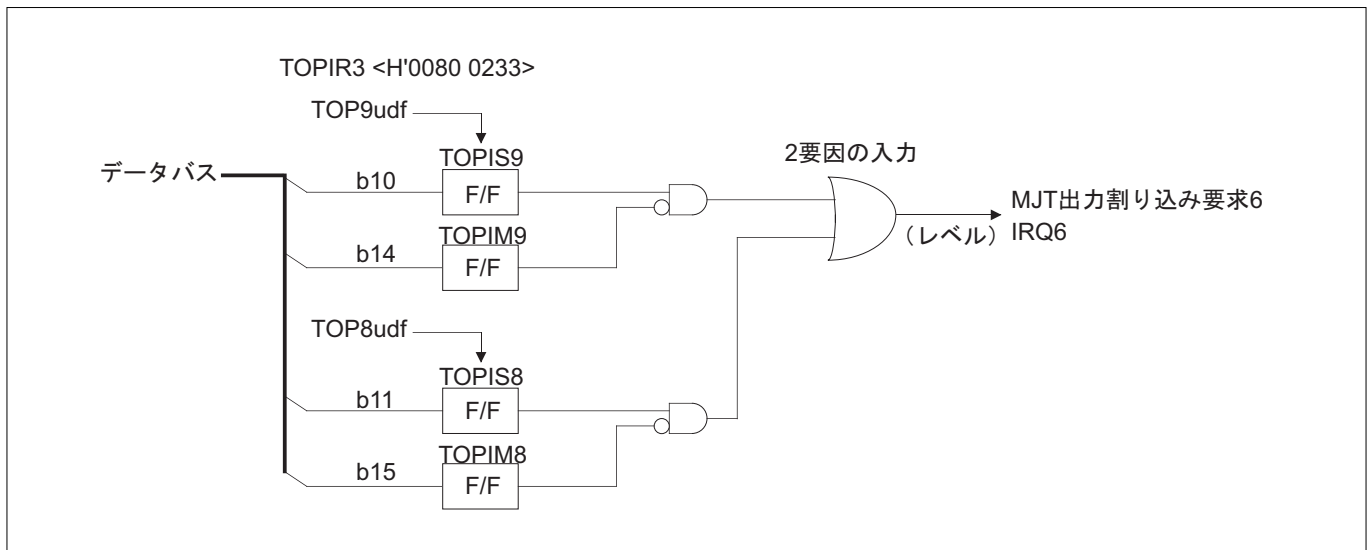


図10.2.8 MJT出力割り込み要求6ブロック図

TIO割り込み制御レジスタ(TIOIR0)

<アドレス : H'0080 0234 >

b0	1	2	3	4	5	6	b7
TIOIS3	TIOIS2	TIOIS1	TIOIS0	TIOIM3	TIOIM2	TIOIM1	TIOIM0
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	TIOIS3 (TIO3 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
1	TIOIS2 (TIO2 割り込み要求ステータスビット)	1 : 割り込み要求あり		
2	TIOIS1 (TIO1 割り込み要求ステータスビット)			
3	TIOIS0 (TIO0 割り込み要求ステータスビット)			
4	TIOIM3 (TIO3 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
5	TIOIM2 (TIO2 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
6	TIOIM1 (TIO1 割り込み要求マスクビット)			
7	TIOIM0 (TIO0 割り込み要求マスクビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

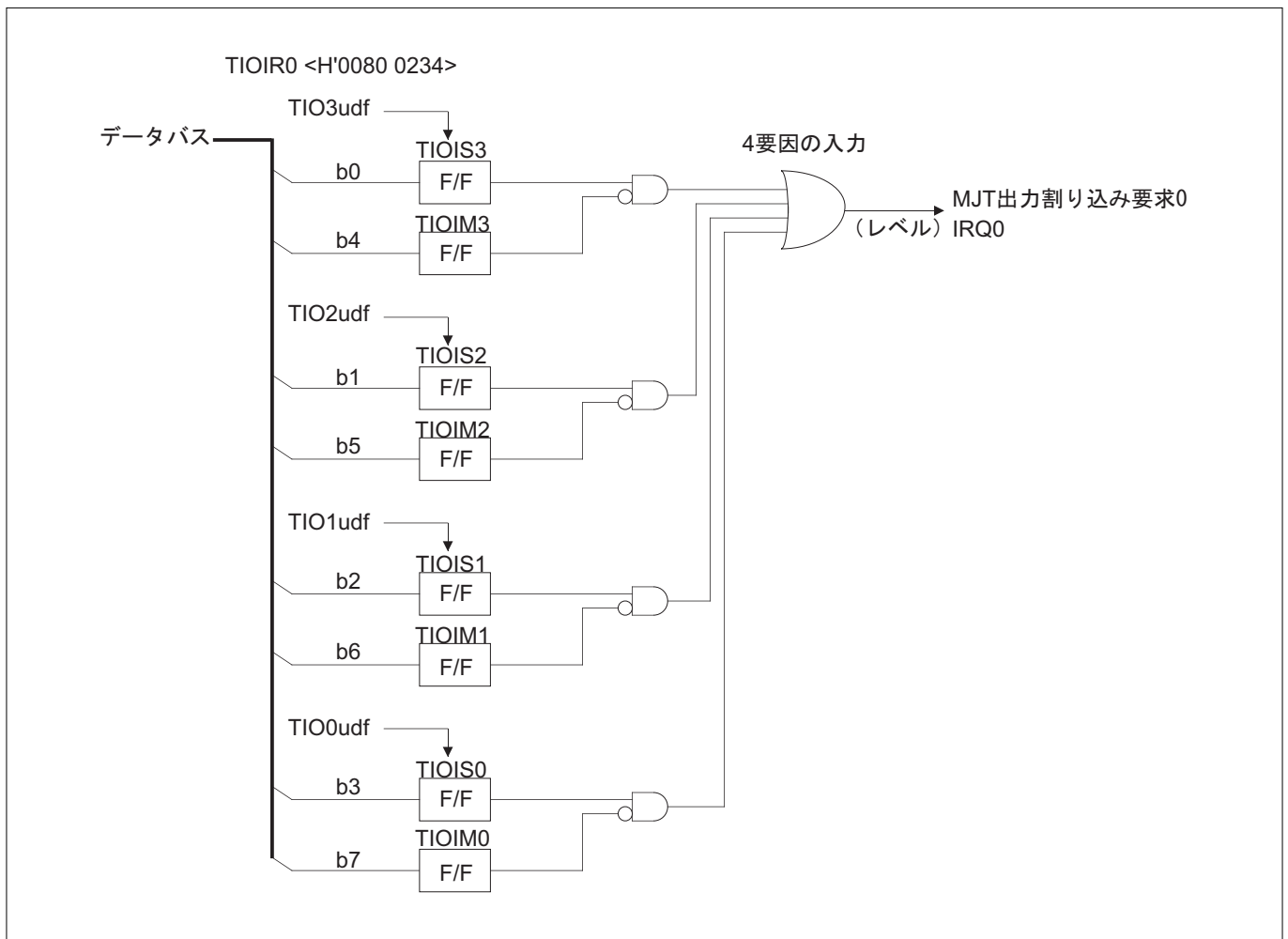


図10.2.9 MJT出力割り込み要求0ブロック図

TIO割り込み制御レジスタ1(TIOIR1)

<アドレス : H'0080 0235 >

b8	9	10	11	12	13	14	b15
TIOIS7	TIOIS6	TIOIS5	TIOIS4	TIOIM7	TIOIM6	TIOIM5	TIOIM4
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TIOIS7 (TIO7 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
9	TIOIS6 (TIO6 割り込み要求ステータスビット)	1 : 割り込み要求あり		
10	TIOIS5 (TIO5 割り込み要求ステータスビット)			
11	TIOIS4 (TIO4 割り込み要求ステータスビット)			
12	TIOIM7 (TIO7 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
13	TIOIM6 (TIO6 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
14	TIOIM5 (TIO5 割り込み要求マスクビット)			
15	TIOIM4 (TIO4 割り込み要求マスクビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

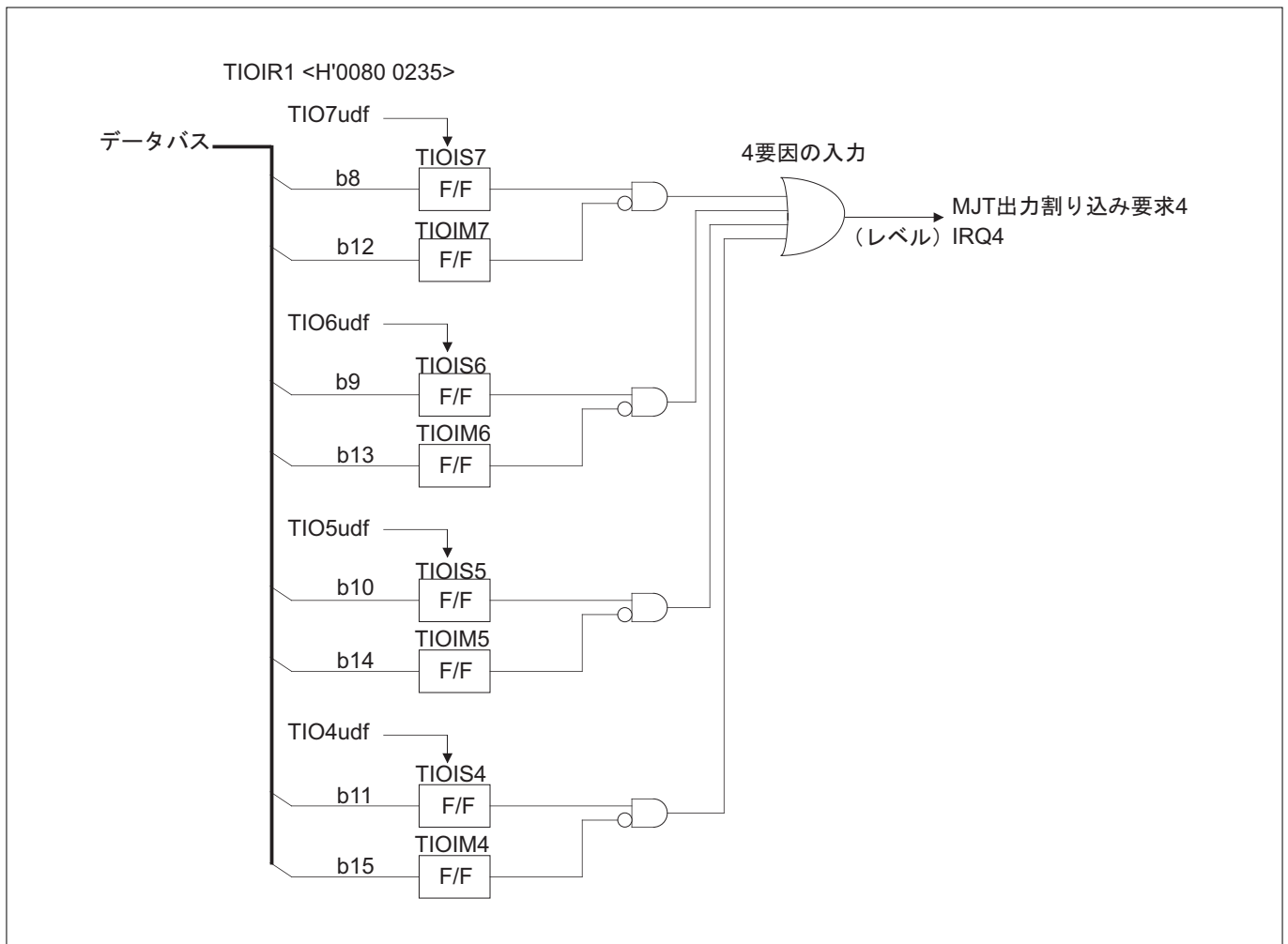


図10.2.10 MJT出力割り込み要求4ブロック図

TIO割り込み制御レジスタ(TIOIR2)

<アドレス: H'0080 0236>

b0	1	2	3	4	5	6	b7
0	0	TIOIS9 0	TIOIS8 0	0	0	TIOIM9 0	TIOIM8 0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2	TIOIS9 (TIO9 割り込み要求ステータスビット)	0: 割り込み要求なし	R (注1)	
3	TIOIS8 (TIO8 割り込み要求ステータスビット)	1: 割り込み要求あり		
4, 5	何も配置されていません。"0"に固定してください。		0	0
6	TIOIM9 (TIO9 割り込み要求マスクビット)	0: 割り込み要求許可	R	W
7	TIOIM8 (TIO8 割り込み要求マスクビット)	1: 割り込み要求マスク(禁止)		

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

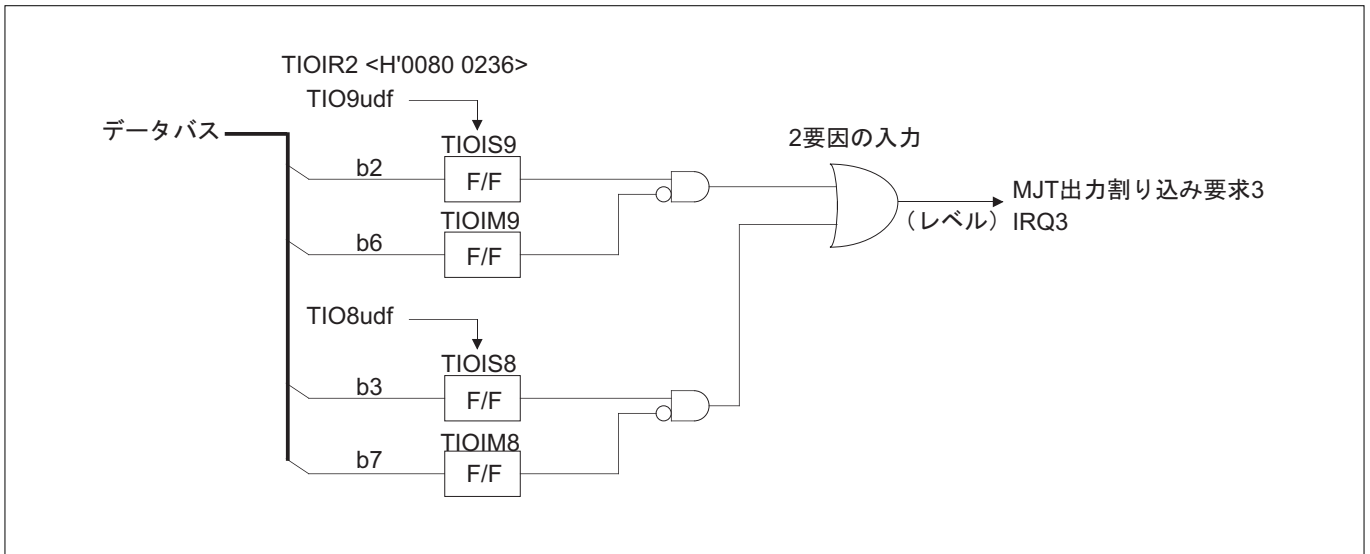


図10.2.11 MQT出力割り込み要求3ブロック図

TMS割り込み制御レジスタ(TMSIR)

<アドレス : H'0080 0237 >

b8	9	10	11	12	13	14	b15
0	0	TMSIS1 0	TMSIS0 0	0	0	TMSIM1 0	TMSIM0 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8, 9	何も配置されていません。"0"に固定してください。		0	0
10	TMSIS1 (TMS1 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
11	TMSIS0 (TMS0 割り込み要求ステータスビット)	1 : 割り込み要求あり		
12, 13	何も配置されていません。"0"に固定してください。		0	0
14	TMSIM1 (TMS1 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
15	TMSIM0 (TMS0 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します

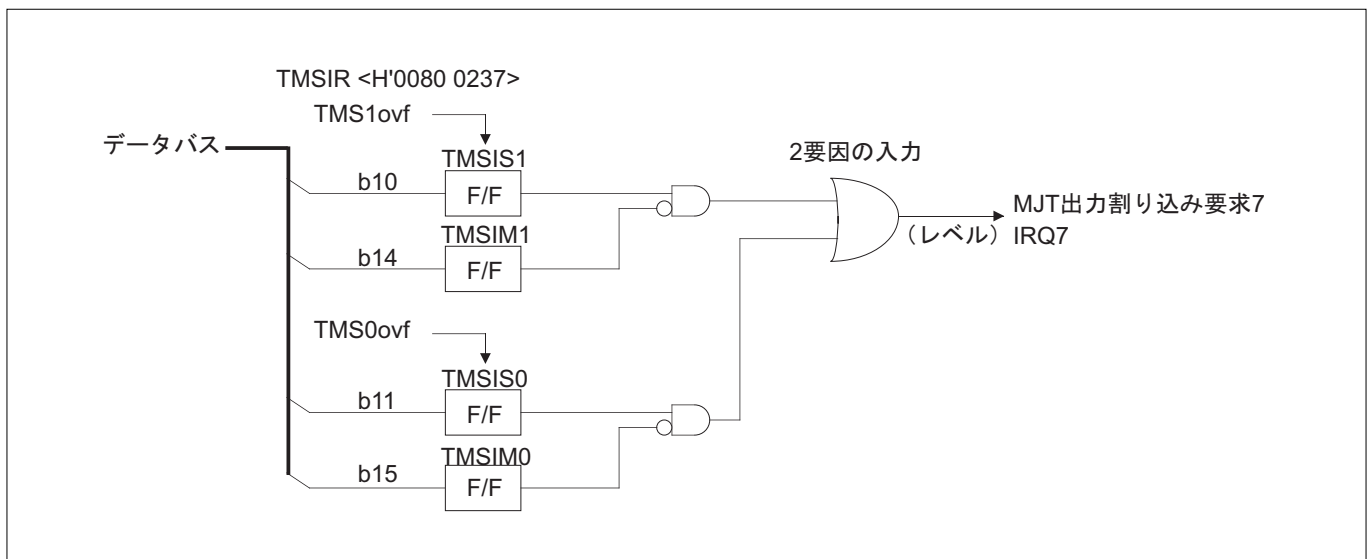


図10.2.12 MJT出力割り込み要求7ブロック図

TIN割り込み制御レジスタ(TINIR0)

<アドレス : H'0080 0238 >

b0	1	2	3	4	5	6	b7
0	TINIS2 0	TINIS1 0	TINIS0 0	0	TINIM2 0	TINIM1 0	TINIM0 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0		何も配置されていません。"0"に固定してください。	0	0
1	TINIS2 (予約ビット)	"0"に固定してください。	0	0
2	TINIS1 (予約ビット)			
3	TINIS0 (TIN0 割り込み要求ステータスビット)	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
4		何も配置されていません。"0"に固定してください。	0	0
5	TINIM2 (予約ビット)	"0"に固定してください。	0	0
6	TINIM1 (予約ビット)			
7	TINIM0 (TIN0 割り込み要求マスクビット)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)	R	W

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

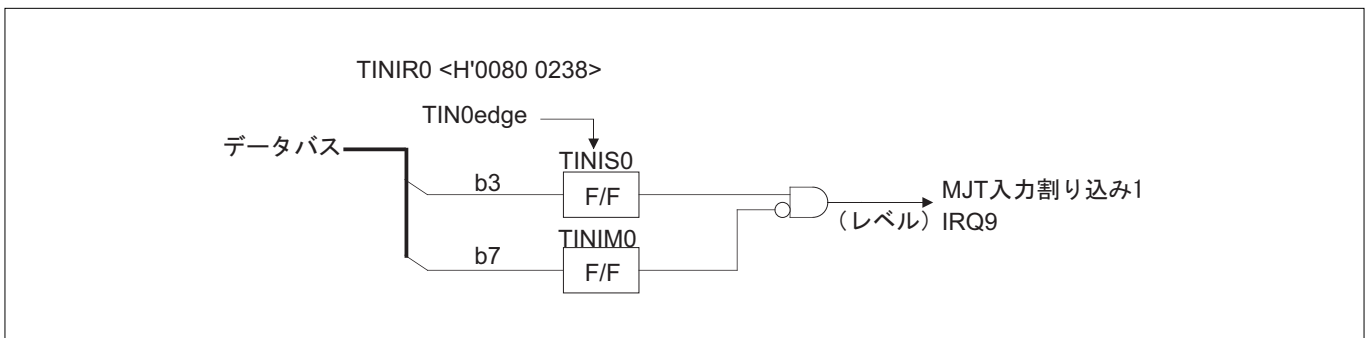


図10.2.13 MJT入力割り込み1要求ブロック図

TIN割り込み制御レジスタ1(TINIR1)

<アドレス : H'0080 0239 >

b8	9	10	11	12	13	14	b15
TINIS6	TINIS5	TINIS4	TINIS3	TINIM6	TINIM5	TINIM4	TINIM3
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TINIS6 (TIN6 割り込み要求ステータスビット)	0 : 割り込み要求なし	R	(注1)
9	TINIS5 (TIN5 割り込み要求ステータスビット)	1 : 割り込み要求あり		
10	TINIS4 (TIN4 割り込み要求ステータスビット)			
11	TINIS3 (TIN3 割り込み要求ステータスビット)			
12	TINIM6 (TIN6 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
13	TINIM5 (TIN5 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
14	TINIM4 (TIN4 割り込み要求マスクビット)			
15	TINIM3 (TIN3 割り込み要求マスクビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

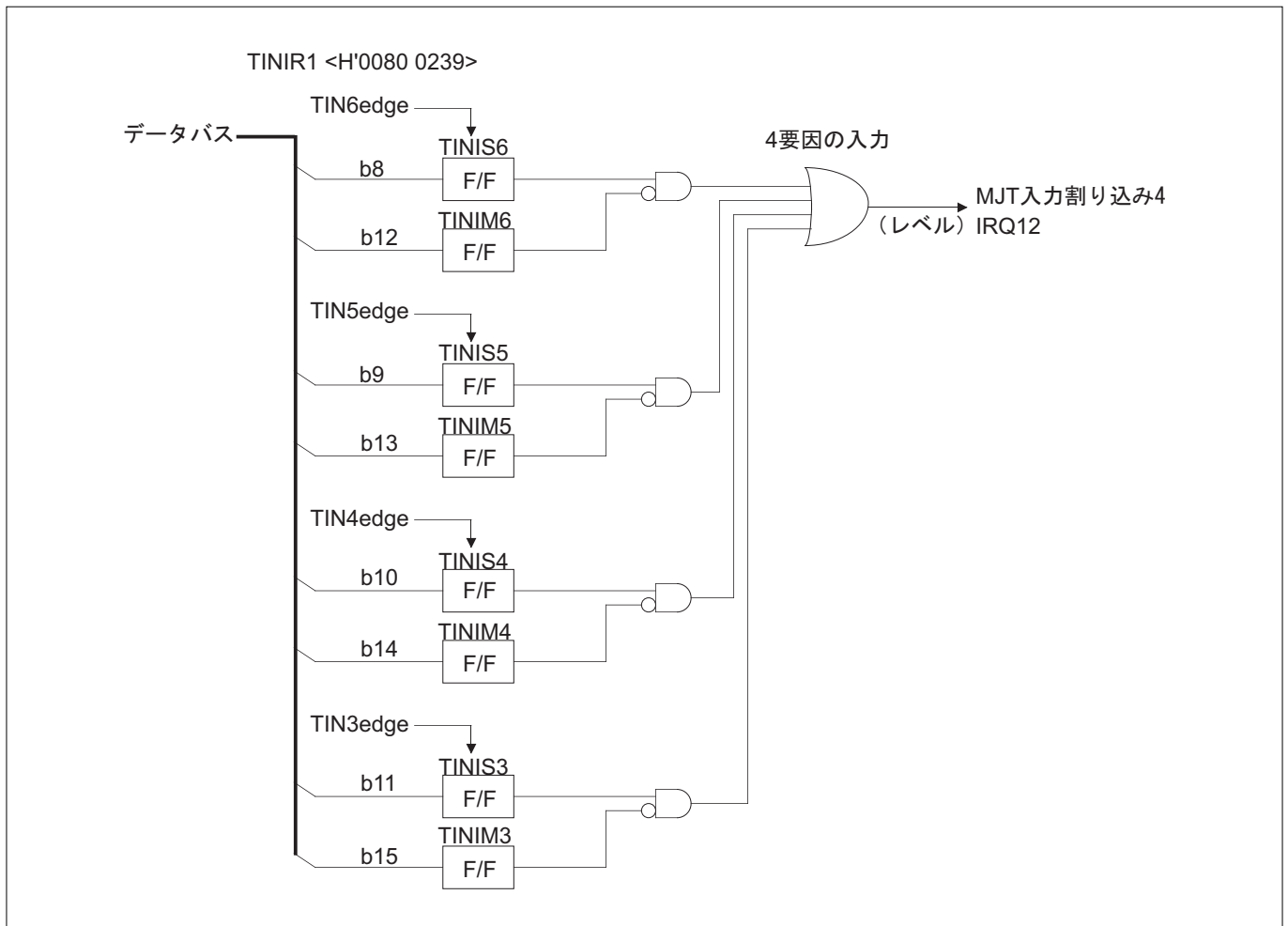


図10.2.14 MJT入力割り込み4要求ブロック図

TIN割り込み制御レジスタ2 (TINIR2)

< アドレス : H'0080 023A >

b0	1	2	3	4	5	6	b7
0	0	0	TINIS11 0	TINIS10 0	TINIS9 0	TINIS8 0	TINIS7 0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3	TINIS11 (TIN11 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
4	TINIS10 (TIN10 割り込み要求ステータスビット)	1 : 割り込み要求あり		
5	TINIS9 (TIN9 割り込み要求ステータスビット)			
6	TINIS8 (TIN8 割り込み要求ステータスビット)			
7	TINIS7 (TIN7 割り込み要求ステータスビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込み制御レジスタ3 (TINIR3)

< アドレス : H'0080 023B >

b8	9	10	11	12	13	14	b15
0	0	0	TINIM11 0	TINIM10 0	TINIM9 0	TINIM8 0	TINIM7 0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	TINIM11 (TIN11 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
12	TINIM10 (TIN10 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
13	TINIM9 (TIN9 割り込み要求マスクビット)			
14	TINIM8 (TIN8 割り込み要求マスクビット)			
15	TINIM7 (TIN7 割り込み要求マスクビット)			

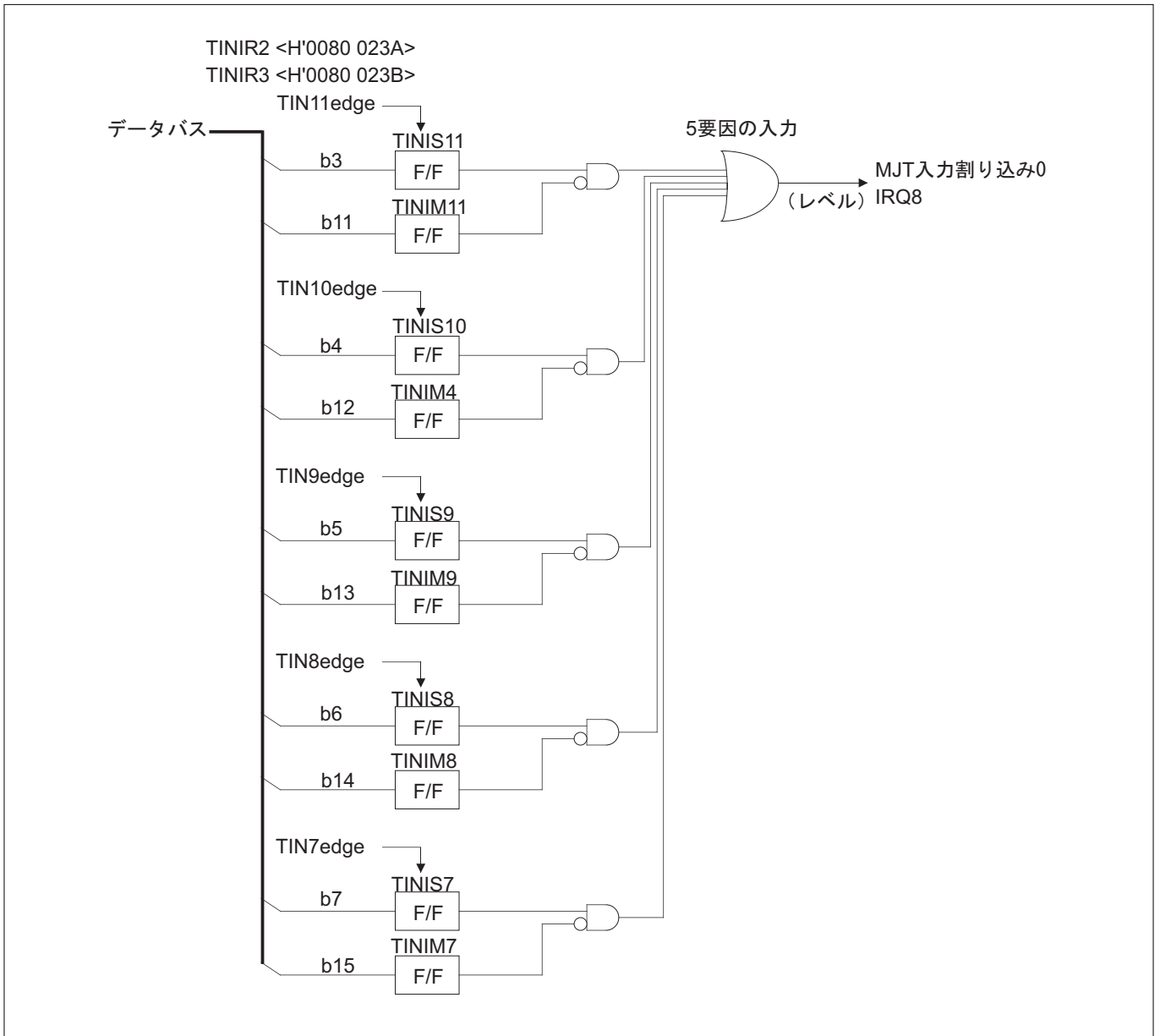


図10.2.15 MJT入力割り込み0要求ブロック図

TIN割り込み制御レジスタ4(TINIR4)

<アドレス : H'0080 023C >

b0	1	2	3	4	5	6	b7
TINIS19	TINIS18	TINIS17	TINIS16	TINIS15	TINIS14	TINIS13	TINIS12
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	TINIS19(TIN19 割り込み要求ステータスビット)	0 : 割り込み要求なし	R	(注1)
1	TINIS18(TIN18 割り込み要求ステータスビット)	1 : 割り込み要求あり		
2	TINIS17(TIN17 割り込み要求ステータスビット)			
3	TINIS16(TIN16 割り込み要求ステータスビット)			
4	TINIS15(予約ビット)	"0"に固定してください。	0	0
5	TINIS14(予約ビット)			
6	TINIS13(予約ビット)			
7	TINIS12(予約ビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN割り込み制御レジスタ5(TINIR5)

<アドレス : H'0080 023D >

b8	9	10	11	12	13	14	b15
TINIM19	TINIM18	TINIM17	TINIM16	TINIM15	TINIM14	TINIM13	TINIM12
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TINIM19(TIN19 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
9	TINIM18(TIN18 割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
10	TINIM17(TIN17 割り込み要求マスクビット)			
11	TINIM16(TIN16 割り込み要求マスクビット)			
12	TINIM15(予約ビット)	"0"に固定してください。	0	0
13	TINIM14(予約ビット)			
14	TINIM13(予約ビット)			
15	TINIM12(予約ビット)			

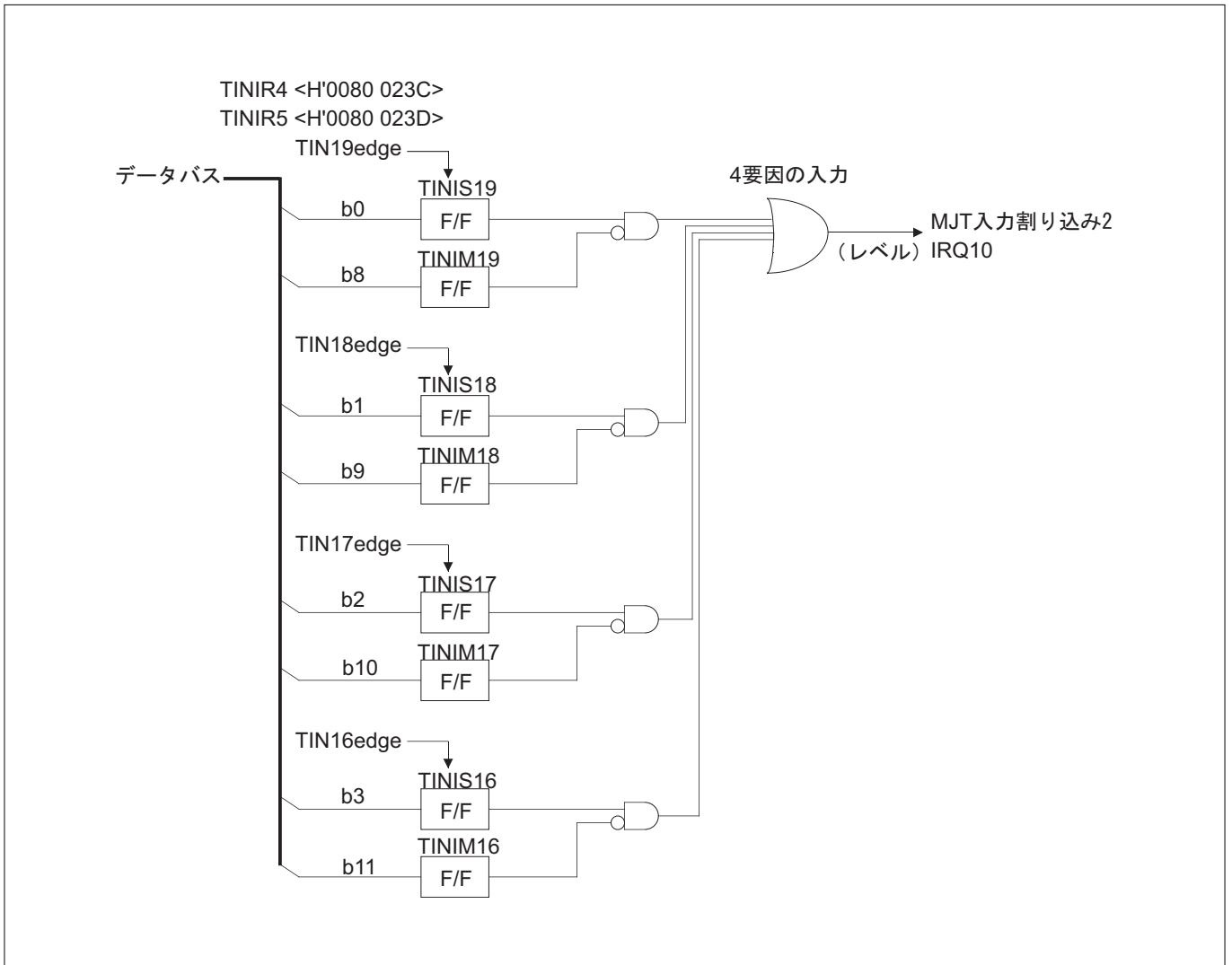


図10.2.16 MJT入力割り込み2要求ブロック図

TIN割り込み制御レジスタ(TINIR6)

<アドレス: H'0080 023E >

b0	1	2	3	4	5	6	b7
TINIS23	TINIS22	TINIS21	TINIS20	TINIM23	TINIM22	TINIM21	TINIM20
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	TINIS23 (TIN23 割り込み要求ステータスビット)	0: 割り込み要求なし	R	(注1)
1	TINIS22 (TIN22 割り込み要求ステータスビット)	1: 割り込み要求あり		
2	TINIS21 (TIN21 割り込み要求ステータスビット)			
3	TINIS20 (TIN20 割り込み要求ステータスビット)			
4	TINIM23 (TIN23 割り込み要求マスクビット)	0: 割り込み要求許可	R	W
5	TINIM22 (TIN22 割り込み要求マスクビット)	1: 割り込み要求マスク(禁止)		
6	TINIM21 (TIN21 割り込み要求マスクビット)			
7	TINIM20 (TIN20 割り込み要求マスクビット)			

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN24,25割り込み要求マスクレジスタ(TIN2425IMA)

<アドレス: H'0080 07E2 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	TINIM24	TINIM25
						0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	TINIM24 (TIN24 割り込み要求マスクビット)	0: 割り込み要求許可	R	W
7	TINIM25 (TIN25 割り込み要求マスクビット)	1: 割り込み要求マスク(禁止)		

TIN24,25割り込み要求ステータスレジスタ(TIN2425IST)

<アドレス: H'0080 07E3 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	TINIS24	TINIS25
						0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	TINIS24 (TIN24 割り込み要求ステータスビット)	0: 割り込み要求なし	R	(注1)
15	TINIS25 (TIN25 割り込み要求ステータスビット)	1: 割り込み要求あり		

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN26,27割り込み要求マスクレジスタ(TIN2627IMA)

<アドレス: H'0080 0BE2 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	TINIM26 0	TINIM27 0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	TINIM26 (TIN26 割り込み要求マスクビット)	0: 割り込み要求許可	R	W
7	TINIM27 (TIN27 割り込み要求マスクビット)	1: 割り込み要求マスク(禁止)		

TIN26,27割り込み要求ステータスレジスタ(TIN2627IST)

<アドレス: H'0080 0BE3 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	TINIS26 0	TINIS27 0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	TINIS26 (TIN26 割り込み要求ステータスビット)	0: 割り込み要求なし	R (注1)	
15	TINIS27 (TIN27 割り込み要求ステータスビット)	1: 割り込み要求あり		

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

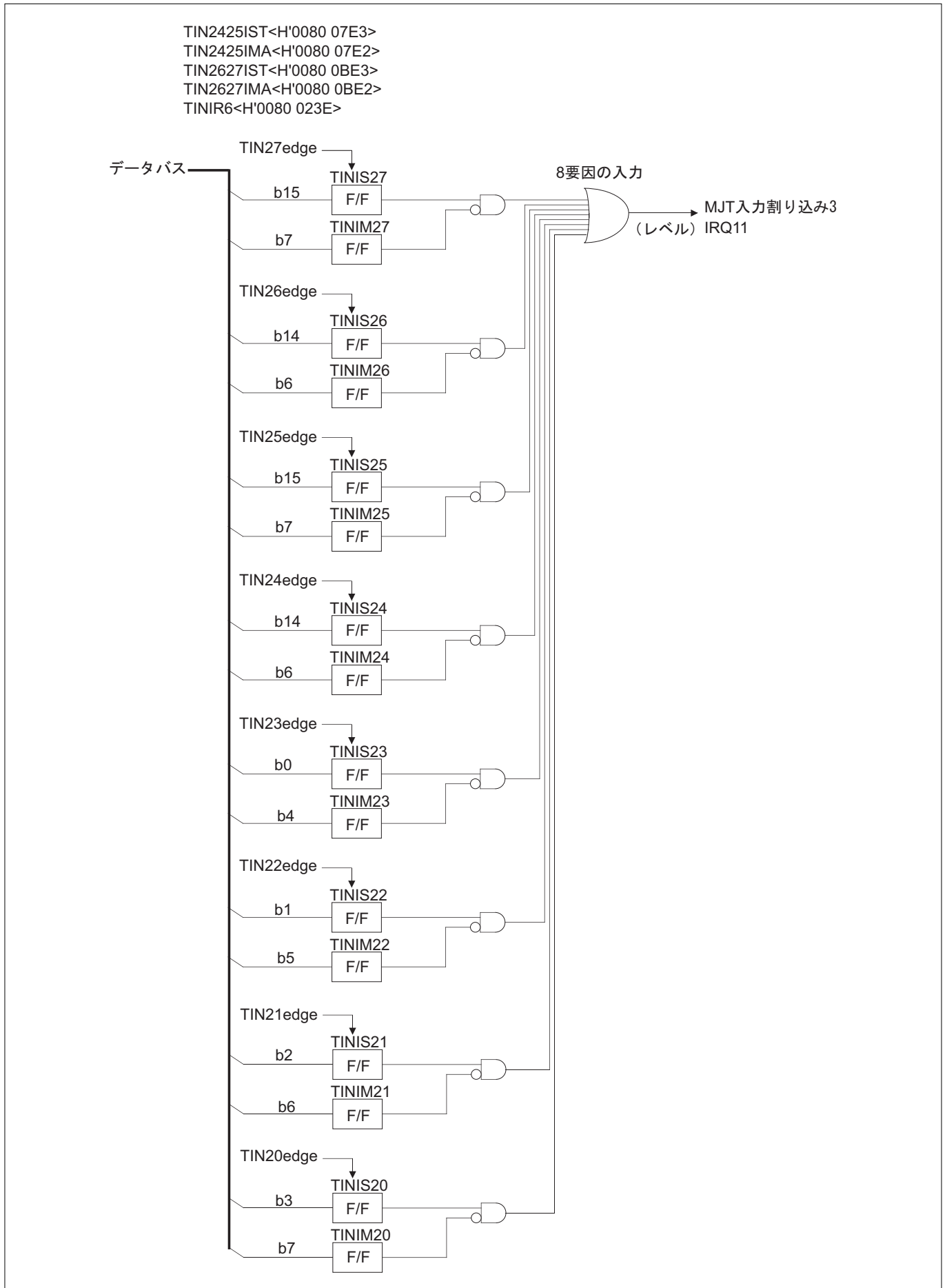


図10.2.17 MJT入力割り込み3要求ブロック図

TIN割り込み制御レジスタ7 (TINIR7)

<アドレス : H'0080 023F >

b8	9	10	11	12	13	14	b15
TINIS33	TINIS32	TINIS31	TINIS30	TINIM33	TINIM32	TINIM31	TINIM30
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TINIS33 (TIN33 割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
9	TINIS32 (TIN32 割り込み要求ステータスビット)	1 : 割り込み要求あり		
10	TINIS31 (TIN31 割り込み要求ステータスビット)			
11	TINIS30 (TIN30 割り込み要求ステータスビット)			
12	TINIM33 (TIN33 割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
13	TINIM32 (TIN32 割り込み要求マスクビット)	1 : 割り込み要求マスク (禁止)		
14	TINIM31 (TIN31 割り込み要求マスクビット)			
15	TINIM30 (TIN30 割り込み要求マスクビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注 . ・ TIN24 ~ TIN29は割り込み機能がないため、割り込みステータス/マスクレジスタはありません。

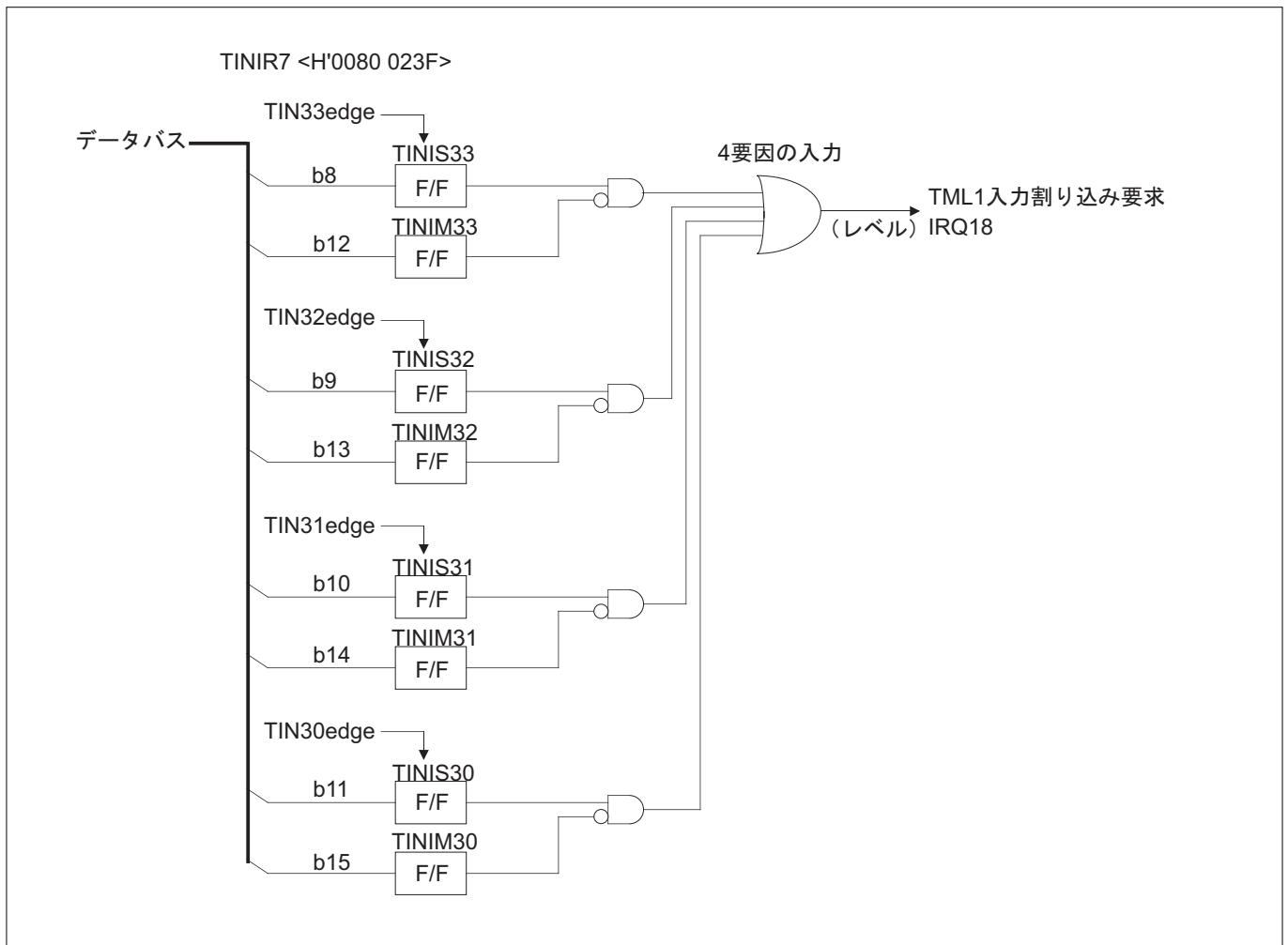


図10.2.18 TML1入力割り込み要求ブロック図

TOU0割り込み要求マスクレジスタ(TOU0IMA)

< アドレス : H'0080 07D2 >

b0	1	2	3	4	5	6	b7
TOU0IM7	TOU0IM6	TOU0IM5	TOU0IM4	TOU0IM3	TOU0IM2	TOU0IM1	TOU0IM0
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	TOU0IM7 (TOU0_7割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
1	TOU0IM6 (TOU0_6割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
2	TOU0IM5 (TOU0_5割り込み要求マスクビット)			
3	TOU0IM4 (TOU0_4割り込み要求マスクビット)			
4	TOU0IM3 (TOU0_3割り込み要求マスクビット)			
5	TOU0IM2 (TOU0_2割り込み要求マスクビット)			
6	TOU0IM1 (TOU0_1割り込み要求マスクビット)			
7	TOU0IM0 (TOU0_0割り込み要求マスクビット)			

TOU0割り込み要求ステータスレジスタ(TOU0IST)

< アドレス : H'0080 07D3 >

b8	9	10	11	12	13	14	b15
TOU0IS7	TOU0IS6	TOU0IS5	TOU0IS4	TOU0IS3	TOU0IS2	TOU0IS1	TOU0IS0
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TOU0IS7 (TOU0_7割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
9	TOU0IS6 (TOU0_6割り込み要求ステータスビット)	1 : 割り込み要求あり		
10	TOU0IS5 (TOU0_5割り込み要求ステータスビット)			
11	TOU0IS4 (TOU0_4割り込み要求ステータスビット)			
12	TOU0IS3 (TOU0_3割り込み要求ステータスビット)			
13	TOU0IS2 (TOU0_2割り込み要求ステータスビット)			
14	TOU0IS1 (TOU0_1割り込み要求ステータスビット)			
15	TOU0IS0 (TOU0_0割り込み要求ステータスビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

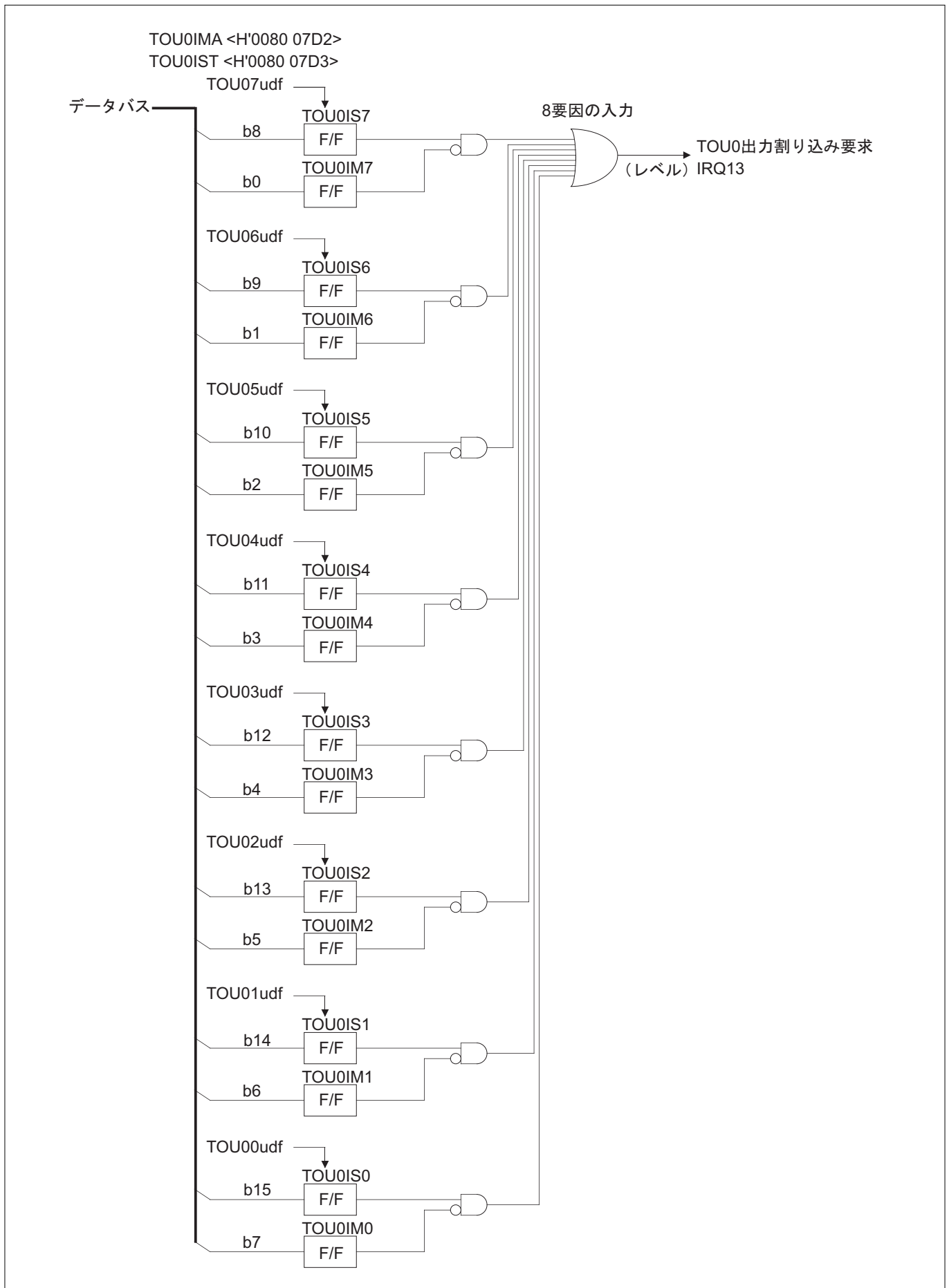


図10.2.19 TOU0出力割り込み要求ブロック図

TOU1割り込み要求マスクレジスタ(TOU1IMA)

< アドレス : H'0080 0BD2 >

b0	1	2	3	4	5	6	b7
TOU1IM7	TOU1IM6	TOU1IM5	TOU1IM4	TOU1IM3	TOU1IM2	TOU1IM1	TOU1IM0
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	TOU1IM7 (TOU1_7割り込み要求マスクビット)	0 : 割り込み要求許可	R	W
1	TOU1IM6 (TOU1_6割り込み要求マスクビット)	1 : 割り込み要求マスク(禁止)		
2	TOU1IM5 (TOU1_5割り込み要求マスクビット)			
3	TOU1IM4 (TOU1_4割り込み要求マスクビット)			
4	TOU1IM3 (TOU1_3割り込み要求マスクビット)			
5	TOU1IM2 (TOU1_2割り込み要求マスクビット)			
6	TOU1IM1 (TOU1_1割り込み要求マスクビット)			
7	TOU1IM0 (TOU1_0割り込み要求マスクビット)			

TOU1割り込み要求ステータスレジスタ(TOU1IST)

< アドレス : H'0080 0BD3 >

b8	9	10	11	12	13	14	b15
TOU1IS7	TOU1IS6	TOU1IS5	TOU1IS4	TOU1IS3	TOU1IS2	TOU1IS1	TOU1IS0
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TOU1IS7 (TOU1_7割り込み要求ステータスビット)	0 : 割り込み要求なし	R (注1)	
9	TOU1IS6 (TOU1_6割り込み要求ステータスビット)	1 : 割り込み要求あり		
10	TOU1IS5 (TOU1_5割り込み要求ステータスビット)			
11	TOU1IS4 (TOU1_4割り込み要求ステータスビット)			
12	TOU1IS3 (TOU1_3割り込み要求ステータスビット)			
13	TOU1IS2 (TOU1_2割り込み要求ステータスビット)			
14	TOU1IS1 (TOU1_1割り込み要求ステータスビット)			
15	TOU1IS0 (TOU1_0割り込み要求ステータスビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

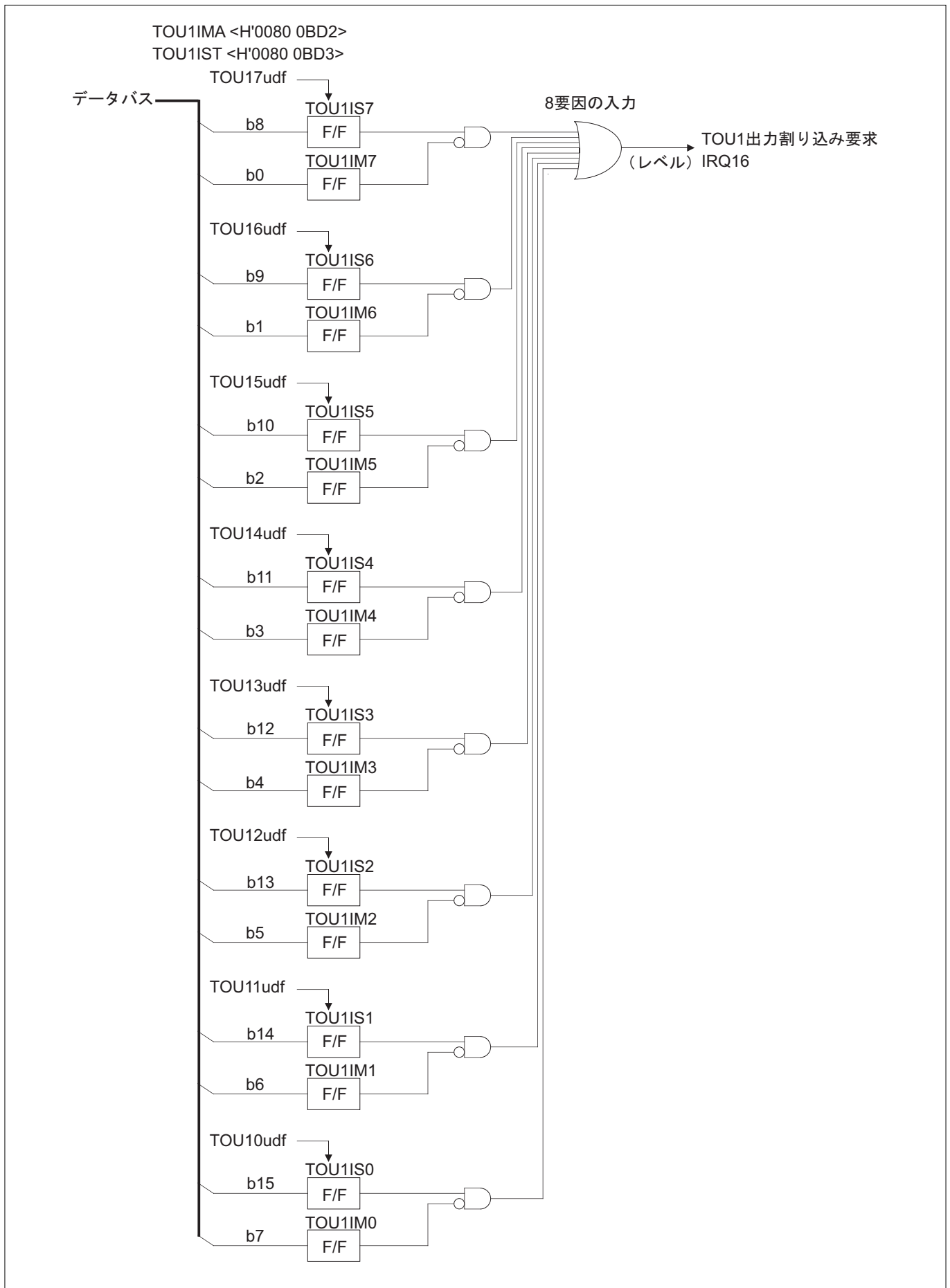


図10.2.20 TOU1出力割り込み要求ブロック図

10.3 TOP(出力系16ビットタイマ)

10.3.1 TOP概要

TOP(Timer OutPut)は出力系16ビットタイマで、ソフトウェアによるモード切り換えにより以下のモードを選択できます。

- ワンショット出力モード
- デイレイドワンショット出力モード
- 連続出力モード

以下にTOPの仕様を、また、次ページにTOPのブロック図を示します。

表10.3.1 TOP(出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	11チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
補正レジスタ	16ビット補正レジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル (立ち上がりエッジ/立ち下がりエッジ/両エッジ)
動作モード	<補正機能あり> <ul style="list-style-type: none"> • ワンショット出力モード • デイレイドワンショット出力モード <補正機能なし> <ul style="list-style-type: none"> • 連続出力モード
割り込み要求発生	カウンタのアンダフローで発生可能

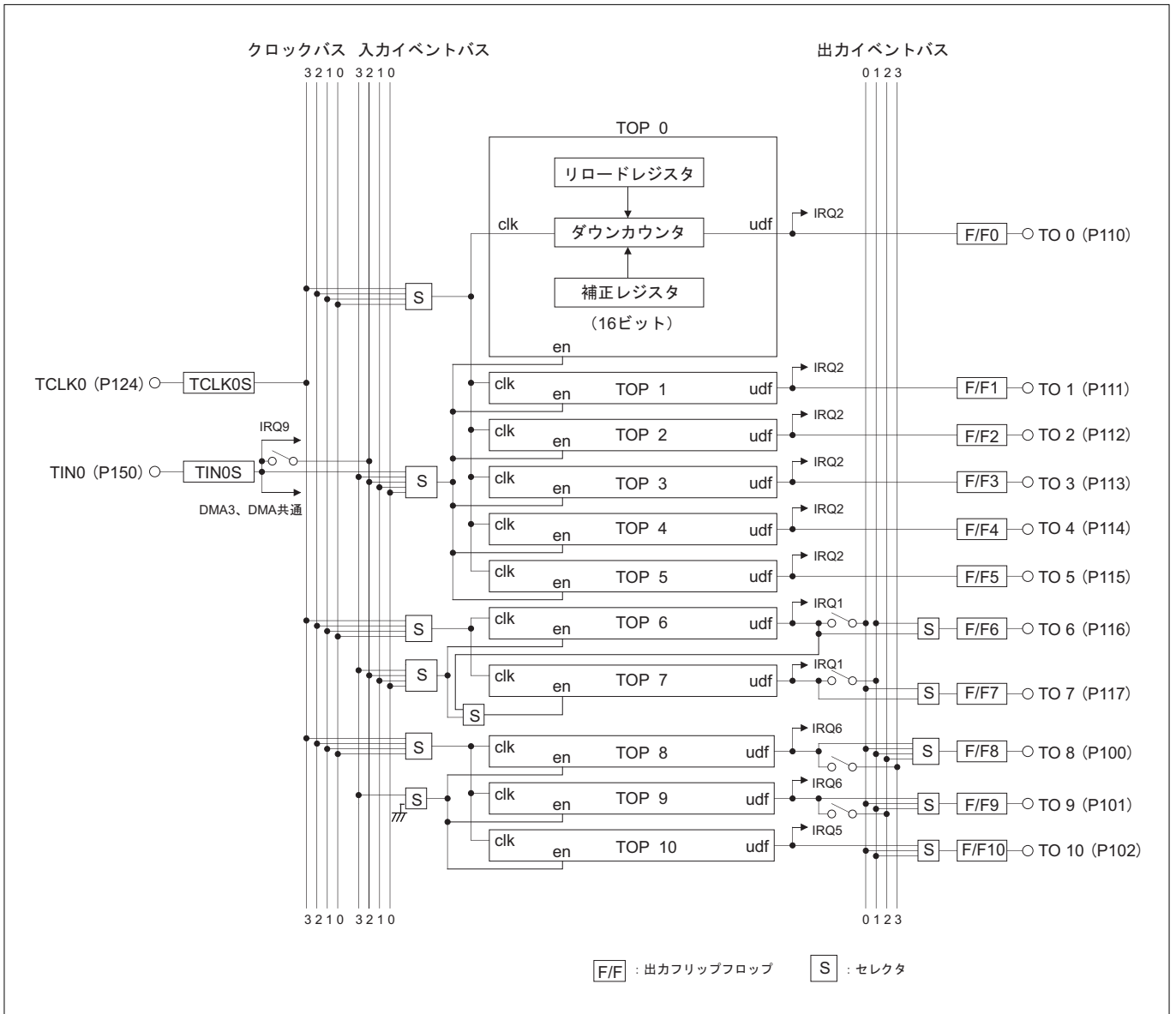


図10.3.1 TOP(出力系16ビットタイマ)ブロック図

10.3.2 TOP各モードの概要

以下にTOPの各モードの概要を示します。なお、TOP各チャンネルのモードは、この中から1つだけを選択できます。

(1)ワンショット出力モード

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロードレジスタ - 1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、イネーブル時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。カウント値はリロードレジスタの設定値+1です。

(2)ディレイドワンショット出力モード

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで、"リロードレジスタ - 1"の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生することができます。カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。

(3)連続出力モード

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローの次のサイクルで"リロードレジスタ - 1"の値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返して、リロードレジスタ設定値+1の幅で反転する連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローの次のサイクルで"リロードレジスタ - 1"の内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダフローごとに、割り込み要求を発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。

< カウントクロック分のディレイ >

- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからタイマ動作開始までに最大で1カウントクロック分のディレイが発生します。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

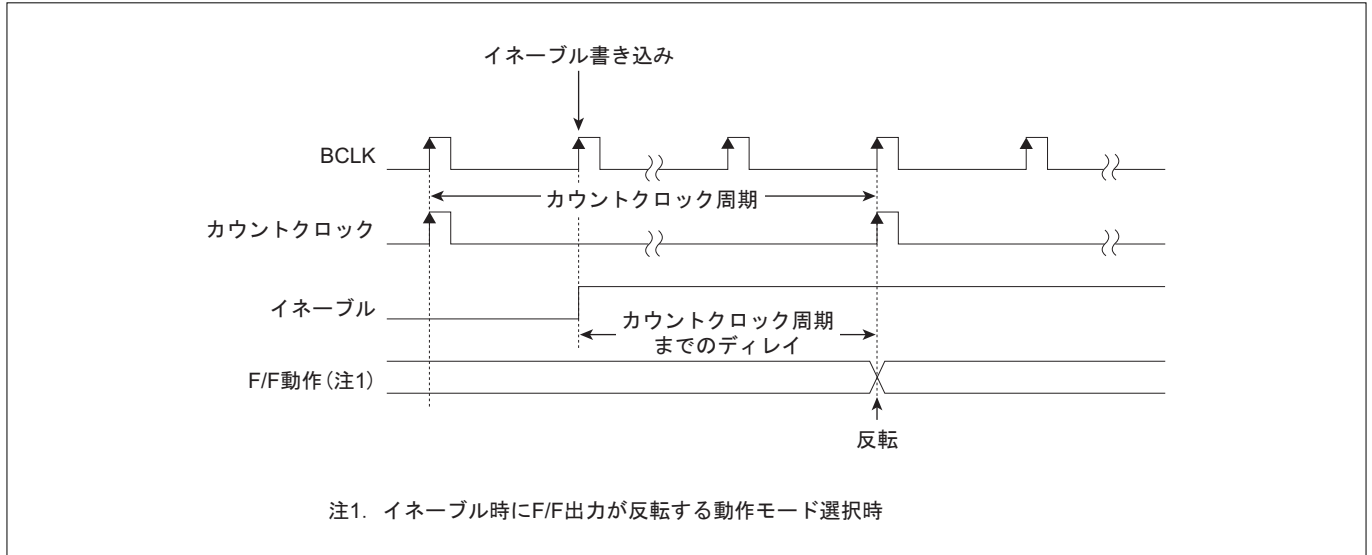


図10.3.2 カウントクロック分のディレイ

10.3.3 TOP関連レジスタマップ

以下にTOP関連のレジスタマップを示します。

TOP関連レジスタマップ(1/2)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0240		TOP0カウンタ (TOP0CT)	10-71
H'0080 0242		TOP0リロードレジスタ (TOP0RL)	10-72
H'0080 0244		(使用禁止領域)	
H'0080 0246		TOP0補正レジスタ (TOP0CC)	10-73
}		(使用禁止領域)	
H'0080 0250		TOP1カウンタ (TOP1CT)	10-71
H'0080 0252		TOP1リロードレジスタ (TOP1RL)	10-72
H'0080 0254		(使用禁止領域)	
H'0080 0256		TOP1補正レジスタ (TOP1CC)	10-73
}		(使用禁止領域)	
H'0080 0260		TOP2カウンタ (TOP2CT)	10-71
H'0080 0262		TOP2リロードレジスタ (TOP2RL)	10-72
H'0080 0264		(使用禁止領域)	
H'0080 0266		TOP2補正レジスタ (TOP2CC)	10-73
}		(使用禁止領域)	
H'0080 0270		TOP3カウンタ (TOP3CT)	10-71
H'0080 0272		TOP3リロードレジスタ (TOP3RL)	10-72
H'0080 0274		(使用禁止領域)	
H'0080 0276		TOP3補正レジスタ (TOP3CC)	10-73
}		(使用禁止領域)	
H'0080 0280		TOP4カウンタ (TOP4CT)	10-71
H'0080 0282		TOP4リロードレジスタ (TOP4RL)	10-72
H'0080 0284		(使用禁止領域)	
H'0080 0286		TOP4補正レジスタ (TOP4CC)	10-73
}		(使用禁止領域)	
H'0080 0290		TOP5カウンタ (TOP5CT)	10-71
H'0080 0292		TOP5リロードレジスタ (TOP5RL)	10-72
H'0080 0294		(使用禁止領域)	
H'0080 0296		TOP5補正レジスタ (TOP5CC)	10-73
H'0080 0298		(使用禁止領域)	

TOP関連レジスタマップ(2/2)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 029A	TOP0-5制御レジスタ0 (TOP05CR0)		10-67
H'0080 029C	(使用禁止領域)	TOP0-5制御レジスタ1 (TOP05CR1)	10-67
}	(使用禁止領域)		
H'0080 02A0	TOP6カウンタ (TOP6CT)		10-71
H'0080 02A2	TOP6リロードレジスタ (TOP6RL)		10-72
H'0080 02A4	(使用禁止領域)		
H'0080 02A6	TOP6補正レジスタ (TOP6CC)		10-73
H'0080 02A8	(使用禁止領域)		
H'0080 02AA	TOP6,7制御レジスタ (TOP67CR)		10-69
}	(使用禁止領域)		
H'0080 02B0	TOP7カウンタ (TOP7CT)		10-71
H'0080 02B2	TOP7リロードレジスタ (TOP7RL)		10-72
H'0080 02B4	(使用禁止領域)		
H'0080 02B6	TOP7補正レジスタ (TOP7CC)		10-73
}	(使用禁止領域)		
H'0080 02C0	TOP8カウンタ (TOP8CT)		10-71
H'0080 02C2	TOP8リロードレジスタ (TOP8RL)		10-72
H'0080 02C4	(使用禁止領域)		
H'0080 02C6	TOP8補正レジスタ (TOP8CC)		10-73
}	(使用禁止領域)		
H'0080 02D0	TOP9カウンタ (TOP9CT)		10-71
H'0080 02D2	TOP9リロードレジスタ (TOP9RL)		10-72
H'0080 02D4	(使用禁止領域)		
H'0080 02D6	TOP9補正レジスタ (TOP9CC)		10-73
}	(使用禁止領域)		
H'0080 02E0	TOP10カウンタ (TOP10CT)		10-71
H'0080 02E2	TOP10リロードレジスタ (TOP10RL)		10-72
H'0080 02E4	(使用禁止領域)		
H'0080 02E6	TOP10補正レジスタ (TOP10CC)		10-73
H'0080 02E8	(使用禁止領域)		
H'0080 02EA	TOP8-10制御レジスタ (TOP810CR)		10-70
}	(使用禁止領域)		
H'0080 02FA	TOP0-10外部イネーブル許可レジスタ (TOPEEN)		10-74
H'0080 02FC	TOP0-10イネーブルプロテクトレジスタ (TOPPRO)		10-74
H'0080 02FE	TOP0-10カウントイネーブルレジスタ (TOPCEN)		10-75

10.3.4 TOP制御レジスタ

TOP制御レジスタは、TOP0～10の動作モード(ワンショット出力、ディレイドワンショット出力、連続出力モード)の選択、カウントイネーブルの入力選択、およびカウントクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに以下のレジスタがあります。

- TOP0-5制御レジスタ0(TOP05CR0)
- TOP0-5制御レジスタ1(TOP05CR1)
- TOP6,7制御レジスタ(TOP67CR)
- TOP8-10制御レジスタ(TOP810CR)

TOP0-5制御レジスタ0(TOP05CR0)

<アドレス: H'0080 029A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOP3M		TOP2M		TOP1M		TOP0M			TOP05ENS			TOP05CKS			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0, 1	TOP3M(TOP3動作モード選択ビット)	00: ワンショット出力モード	R	W
2, 3	TOP2M(TOP2動作モード選択ビット)	01: ディレイドワンショット出力モード		
4, 5	TOP1M(TOP1動作モード選択ビット)	10: 連続出力モード		
6, 7	TOP0M(TOP0動作モード選択ビット)	11: "		
8	何も配置されていません。"0"に固定してください。		0	0
9~11	TOP05ENS	000: 外部TIN0 入力	R	W
	TOP0~5イネーブルソース選択ビット	001: "		
		010: "		
		011: "		
		100: 入力イベントバス0		
		101: 入力イベントバス1		
		110: 入力イベントバス2		
		111: 入力イベントバス3		
12, 13	何も配置されていません。"0"に固定してください。		0	0
14, 15	TOP05CKS	00: クロックバス0	R	W
	TOP0~5クロックソース選択ビット	01: クロックバス1		
		10: クロックバス2		
		11: クロックバス3		

注. . このレジスタは、必ずハーフワードでアクセスしてください。
 . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TOP0-5制御レジスタ1(TOP05CR1)

<アドレス: H'0080 029D >

b8	9	10	11	12	13	14	b15
				TOP5M		TOP4M	
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~11	何も配置されていません。"0"に固定してください。		0	0
12, 13	TOP5M(TOP5動作モード選択ビット)	00: ワンショット出力モード	R	W
14, 15	TOP4M(TOP4動作モード選択ビット)	01: ディレイドワンショット出力モード		
		10: 連続出力モード		
		11: "		

注. . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

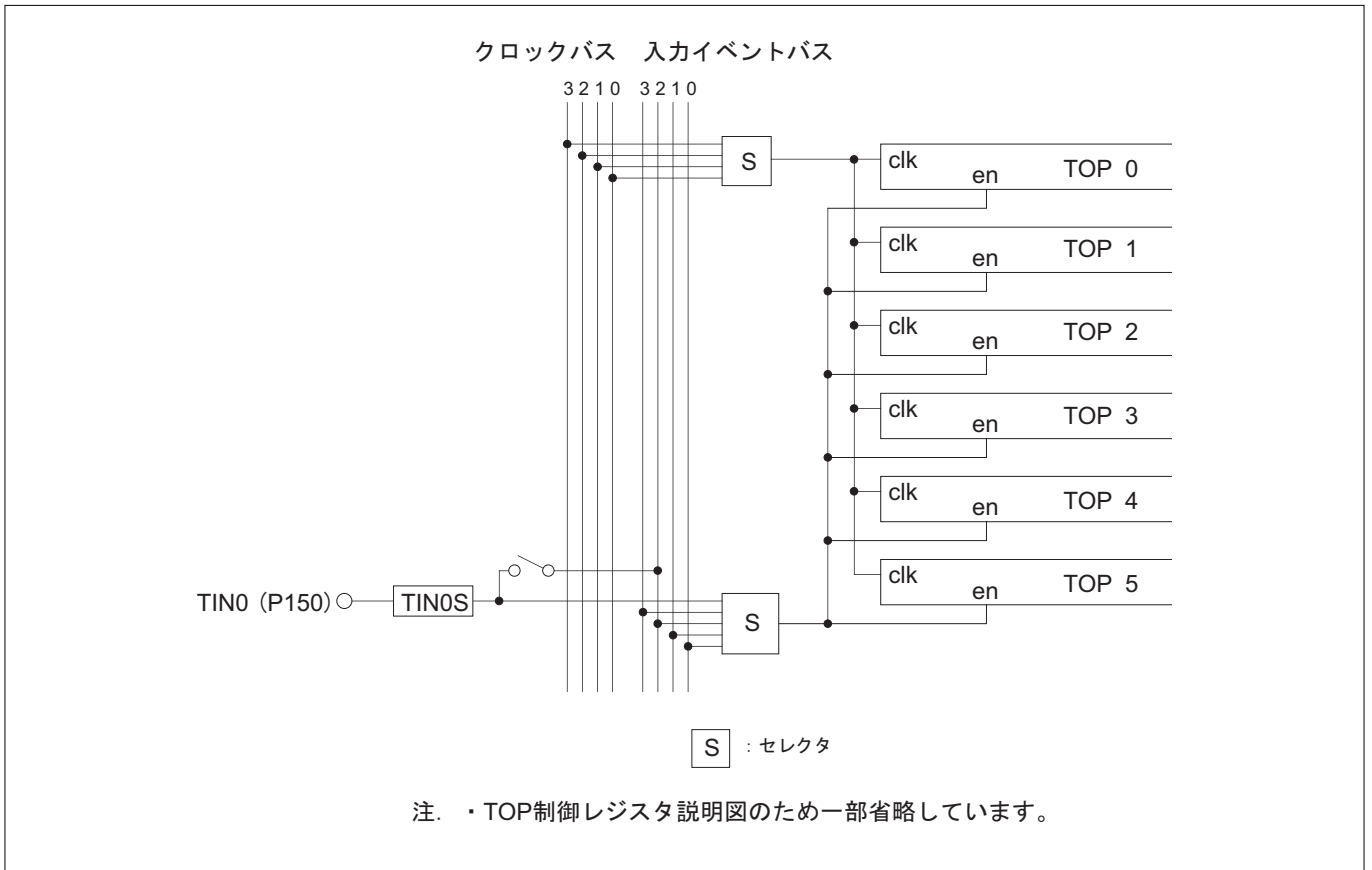


図10.3.3 TOP0~5のクロック/イネーブル入力概略図

TOP6,7制御レジスタ(TOP67CR)

<アドレス : H'0080 02AA >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	TOP7 ENS 0	TOP7M 0 0		0 0		TOP6M 0 0		0	TOP67ENS 0 0 0			0 0		TOP67CKS 0 0	

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1	TOP7ENS TOP7イネーブルソース選択ビット	0 : 「TOP67ENS」ビットの選択結果 1 : TOP6出力	R	W
2, 3	TOP7M TOP7動作モード選択ビット	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : "	R	W
4, 5	何も配置されていません。"0"に固定してください。		0	0
6, 7	TOP6M TOP6動作モード選択ビット	00 : ワンショット出力モード 01 : ディレイドワンショット出力モード 10 : 連続出力モード 11 : "	R	W
8	何も配置されていません。"0"に固定してください。		0	0
9~11	TOP67ENS TOP6, TOP7イネーブルソース選択ビット	000 : イネーブルソースを選択しません。 001 : " 010 : " 011 : " 100 : 入力イベントバス0 101 : 入力イベントバス1 110 : 入力イベントバス2 111 : 入力イベントバス3	R	W
12, 13	何も配置されていません。"0"に固定してください。		0	0
14, 15	TOP67CKS TOP6, TOP7クロックソース選択ビット	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。
・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

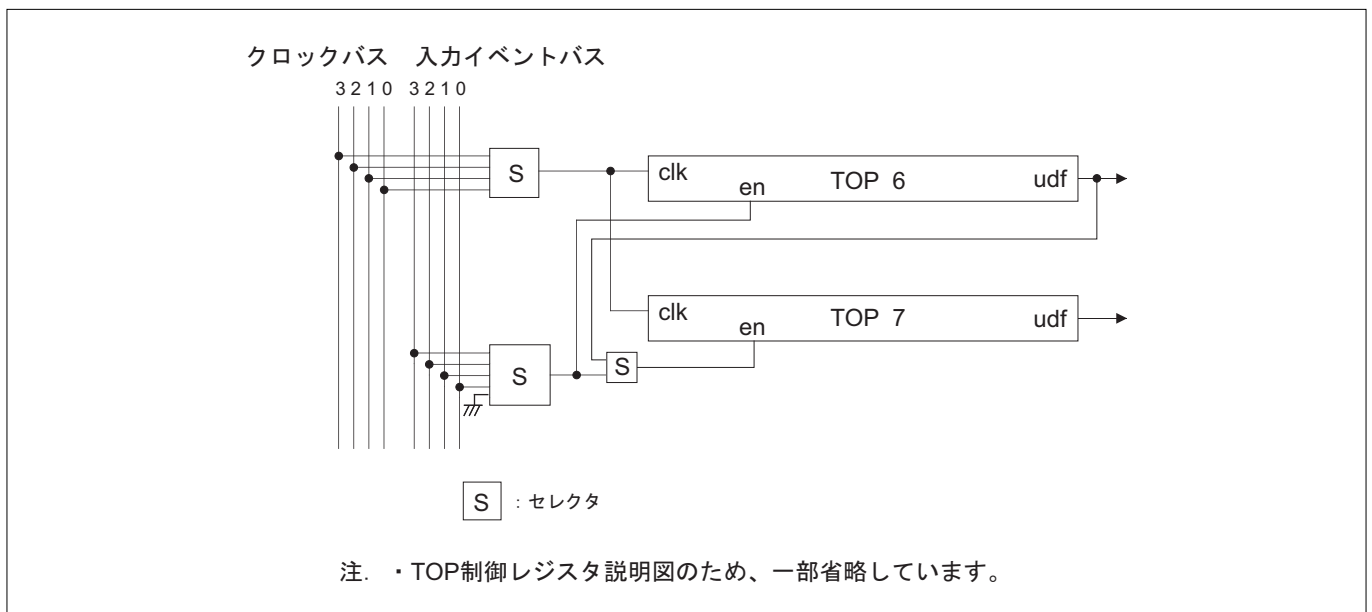


図10.3.4 TOP6、TOP7のクロック/イネーブル入力概略図

TOP8-10制御レジスタ(TOP810CR)

<アドレス : H'0080 02EA >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOP10M		TOP9M		TOP8M		TOP810ENS		TOP810CKS							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2, 3	TOP10M (TOP10動作モード選択ビット)	00 : ワンショット出力モード	R	W
4, 5	TOP9M (TOP9動作モード選択ビット)	01 : ディレイドワンショット出力モード		
6, 7	TOP8M (TOP8動作モード選択ビット)	10 : 連続出力モード 11 : "		
8 ~ 10	何も配置されていません。"0"に固定してください。		0	0
11	TOP810ENS TOP8 ~ 10イネーブルソース選択ビット	0 : イネーブルソースを選択しません。 1 : 入力イベントバス3	R	W
12, 13	何も配置されていません。"0"に固定してください。		0	0
14, 15	TOP810CKS TOP8 ~ 10クロックソース選択ビット	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3	R	W

- 注 . . このレジスタは、必ずハーフワードでアクセスしてください。
 . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

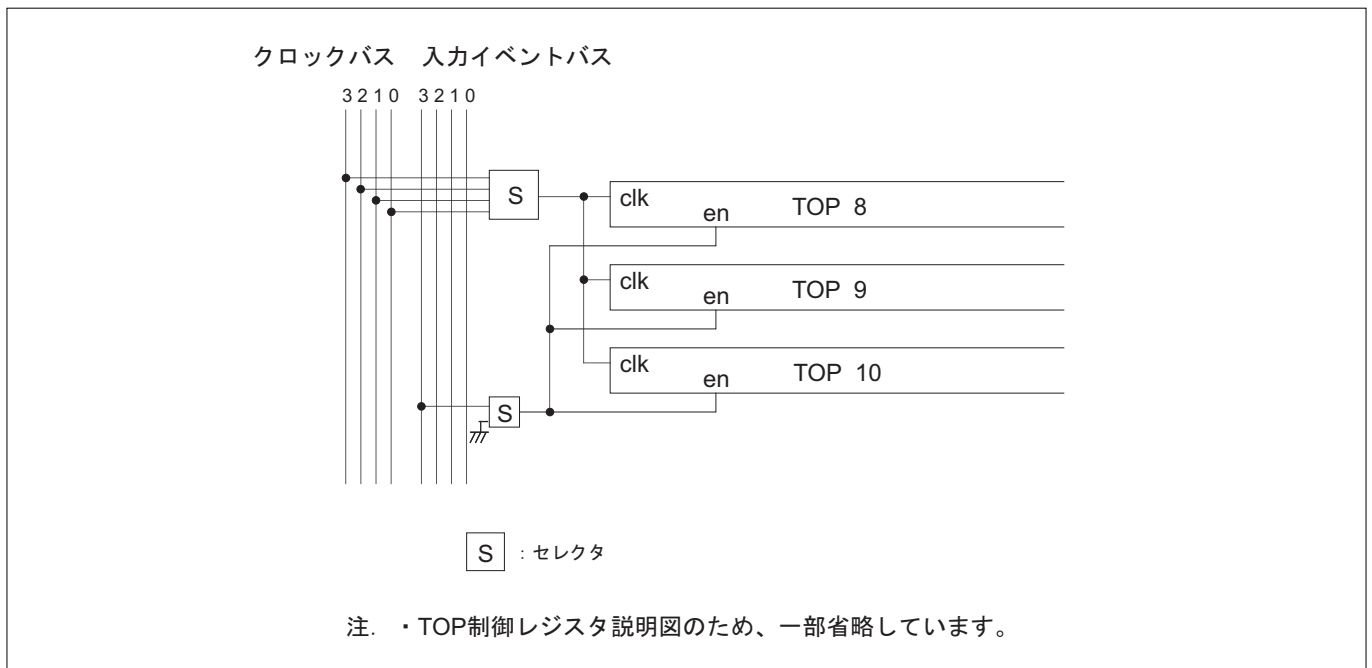
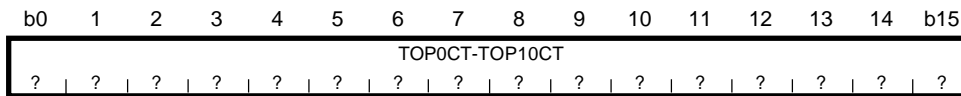


図10.3.5 TOP8 ~ 10のクロック/イネーブル入力概略図

10.3.5 TOPカウンタ(TOP0CT ~ TOP10CT)

TOP0カウンタ(TOP0CT)	<アドレス: H'0080 0240 >
TOP1カウンタ(TOP1CT)	<アドレス: H'0080 0250 >
TOP2カウンタ(TOP2CT)	<アドレス: H'0080 0260 >
TOP3カウンタ(TOP3CT)	<アドレス: H'0080 0270 >
TOP4カウンタ(TOP4CT)	<アドレス: H'0080 0280 >
TOP5カウンタ(TOP5CT)	<アドレス: H'0080 0290 >
TOP6カウンタ(TOP6CT)	<アドレス: H'0080 02A0 >
TOP7カウンタ(TOP7CT)	<アドレス: H'0080 02B0 >
TOP8カウンタ(TOP8CT)	<アドレス: H'0080 02C0 >
TOP9カウンタ(TOP9CT)	<アドレス: H'0080 02D0 >
TOP10カウンタ(TOP10CT)	<アドレス: H'0080 02E0 >



<リセット解除時: 不定 >

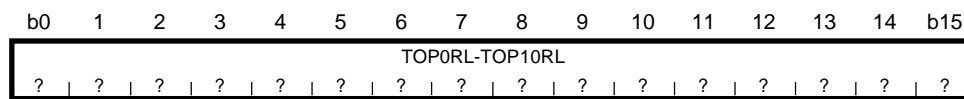
b	ビット名	機能	R	W
0~15	TOP0CT-TOP10CT	16ビットカウンタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOPカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

10.3.6 TOPリロードレジスタ(TOP0RL~TOP10RL)

TOP0リロードレジスタ(TOP0RL)	<アドレス: H'0080 0242>
TOP1リロードレジスタ(TOP1RL)	<アドレス: H'0080 0252>
TOP2リロードレジスタ(TOP2RL)	<アドレス: H'0080 0262>
TOP3リロードレジスタ(TOP3RL)	<アドレス: H'0080 0272>
TOP4リロードレジスタ(TOP4RL)	<アドレス: H'0080 0282>
TOP5リロードレジスタ(TOP5RL)	<アドレス: H'0080 0292>
TOP6リロードレジスタ(TOP6RL)	<アドレス: H'0080 02A2>
TOP7リロードレジスタ(TOP7RL)	<アドレス: H'0080 02B2>
TOP8リロードレジスタ(TOP8RL)	<アドレス: H'0080 02C2>
TOP9リロードレジスタ(TOP9RL)	<アドレス: H'0080 02D2>
TOP10リロードレジスタ(TOP10RL)	<アドレス: H'0080 02E2>



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TOP0RL-TOP10RL	16ビットリロードレジスタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOPリロードレジスタは、TOPカウンタ(TOP0CT~TOP10CT)へデータをロードするためのレジスタです。以下のタイミングに"リロードレジスタ - 1"の内容が、カウントクロックに同期してカウンタにロードされます。

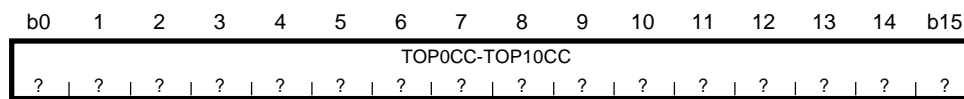
- ワンショット出力モードでカウンタがイネーブルになった次のサイクル
- ディレイドワンショット出力または連続出力モードでカウンタがアンダフローした次のサイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

なおアンダフロー後のデータリロードは、アンダフローを起こしたクロックに同期して行われます。

10.3.7 TOP補正レジスタ(TOP0CC ~ TOP10CC)

TOP0補正レジスタ(TOP0CC)	<アドレス: H'0080 0246 >
TOP1補正レジスタ(TOP1CC)	<アドレス: H'0080 0256 >
TOP2補正レジスタ(TOP2CC)	<アドレス: H'0080 0266 >
TOP3補正レジスタ(TOP3CC)	<アドレス: H'0080 0276 >
TOP4補正レジスタ(TOP4CC)	<アドレス: H'0080 0286 >
TOP5補正レジスタ(TOP5CC)	<アドレス: H'0080 0296 >
TOP6補正レジスタ(TOP6CC)	<アドレス: H'0080 02A6 >
TOP7補正レジスタ(TOP7CC)	<アドレス: H'0080 02B6 >
TOP8補正レジスタ(TOP8CC)	<アドレス: H'0080 02C6 >
TOP9補正レジスタ(TOP9CC)	<アドレス: H'0080 02D6 >
TOP10補正レジスタ(TOP10CC)	<アドレス: H'0080 02E6 >



(設定可能値 +32767 ~ -32768)

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TOP0CC-TOP10CC	16ビット補正レジスタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOP補正レジスタは、TOPカウンタの値を動作途中で補正(加減算)するために使用されます。カウンタの増減を行いたい場合は、カウンタの初めの設定からの増減値をこの補正レジスタに書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込みんだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばカウンタ初期値が10で、カウンタが5まで来たところで3を補正レジスタに書き込んだ場合、全体としては15をカウントしたところでアンダフローします。

10.3.8 TOPイネーブル制御レジスタ

TOP0-10外部イネーブル許可レジスタ(TOPEEN)

<アドレス : H'0080 02FA >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	TOP10 EEN	TOP9 EEN	TOP8 EEN	TOP7 EEN	TOP6 EEN	TOP5 EEN	TOP4 EEN	TOP3 EEN	TOP2 EEN	TOP1 EEN	TOP0 EEN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5	TOP10EEN(TOP10外部イネーブル許可ビット)	0 : 外部イネーブル禁止	R	W
6	TOP9EEN(TOP9外部イネーブル許可ビット)	1 : 外部イネーブル許可		
7	TOP8EEN(TOP8外部イネーブル許可ビット)			
8	TOP7EEN(TOP7外部イネーブル許可ビット)			
9	TOP6EEN(TOP6外部イネーブル許可ビット)			
10	TOP5EEN(TOP5外部イネーブル許可ビット)			
11	TOP4EEN(TOP4外部イネーブル許可ビット)			
12	TOP3EEN(TOP3外部イネーブル許可ビット)			
13	TOP2EEN(TOP2外部イネーブル許可ビット)			
14	TOP1EEN(TOP1外部イネーブル許可ビット)			
15	TOP0EEN(TOP0外部イネーブル許可ビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TOP0 ~ 10外部イネーブル許可レジスタは、TOPカウンタの外部からのイネーブル操作の許可/禁止を制御します。

TOP0-10イネーブルプロテクトレジスタ(TOPPRO)

<アドレス : H'0080 02FC >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	TOP10 PRO	TOP9 PRO	TOP8 PRO	TOP7 PRO	TOP6 PRO	TOP5 PRO	TOP4 PRO	TOP3 PRO	TOP2 PRO	TOP1 PRO	TOP0 PRO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5	TOP10PRO(TOP10イネーブルプロテクトビット)	0 : 書き換え許可	R	W
6	TOP9PRO(TOP9イネーブルプロテクトビット)	1 : 書き換え禁止		
7	TOP8PRO(TOP8イネーブルプロテクトビット)			
8	TOP7PRO(TOP7イネーブルプロテクトビット)			
9	TOP6PRO(TOP6イネーブルプロテクトビット)			
10	TOP5PRO(TOP5イネーブルプロテクトビット)			
11	TOP4PRO(TOP4イネーブルプロテクトビット)			
12	TOP3PRO(TOP3イネーブルプロテクトビット)			
13	TOP2PRO(TOP2イネーブルプロテクトビット)			
14	TOP1PRO(TOP1イネーブルプロテクトビット)			
15	TOP0PRO(TOP0イネーブルプロテクトビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TOP0 ~ 10イネーブルプロテクトレジスタは、TOPカウントイネーブルビットの書き換えの許可/禁止を制御するレジスタです。

TOP0-10カウントイネーブルレジスタ(TOPCEN)

<アドレス: H'0080 02FE >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	TOP10 CEN	TOP9 CEN	TOP8 CEN	TOP7 CEN	TOP6 CEN	TOP5 CEN	TOP4 CEN	TOP3 CEN	TOP2 CEN	TOP1 CEN	TOP0 CEN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5	TOP10CEN(TOP10カウントイネーブルビット)	0: カウント停止	R	W
6	TOP9CEN(TOP9カウントイネーブルビット)	1: カウント許可		
7	TOP8CEN(TOP8カウントイネーブルビット)			
8	TOP7CEN(TOP7カウントイネーブルビット)			
9	TOP6CEN(TOP6カウントイネーブルビット)			
10	TOP5CEN(TOP5カウントイネーブルビット)			
11	TOP4CEN(TOP4カウントイネーブルビット)			
12	TOP3CEN(TOP3カウントイネーブルビット)			
13	TOP2CEN(TOP2カウントイネーブルビット)			
14	TOP1CEN(TOP1カウントイネーブルビット)			
15	TOP0CEN(TOP0カウントイネーブルビット)			

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOP0~10カウントイネーブルレジスタは、TOPカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続出力モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOP0~10カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

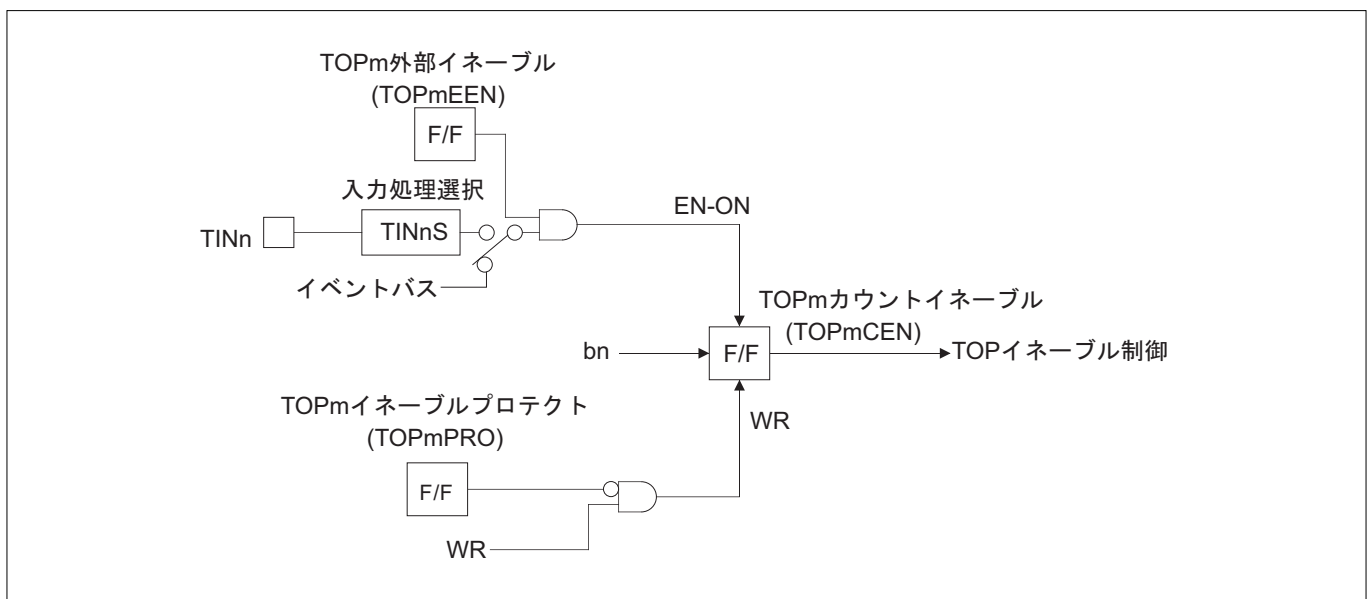


図10.3.6 TOPイネーブル回路構成図

10.3.9 TOPワンショット出力モード(補正機能あり)の動作

(1) TOPワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロードレジスタ - 1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、イネーブル時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求を発生することができます。カウント値はリロードレジスタの設定値+1です。

例えばリロードレジスタの初期値が7の場合、カウント値は8となります。

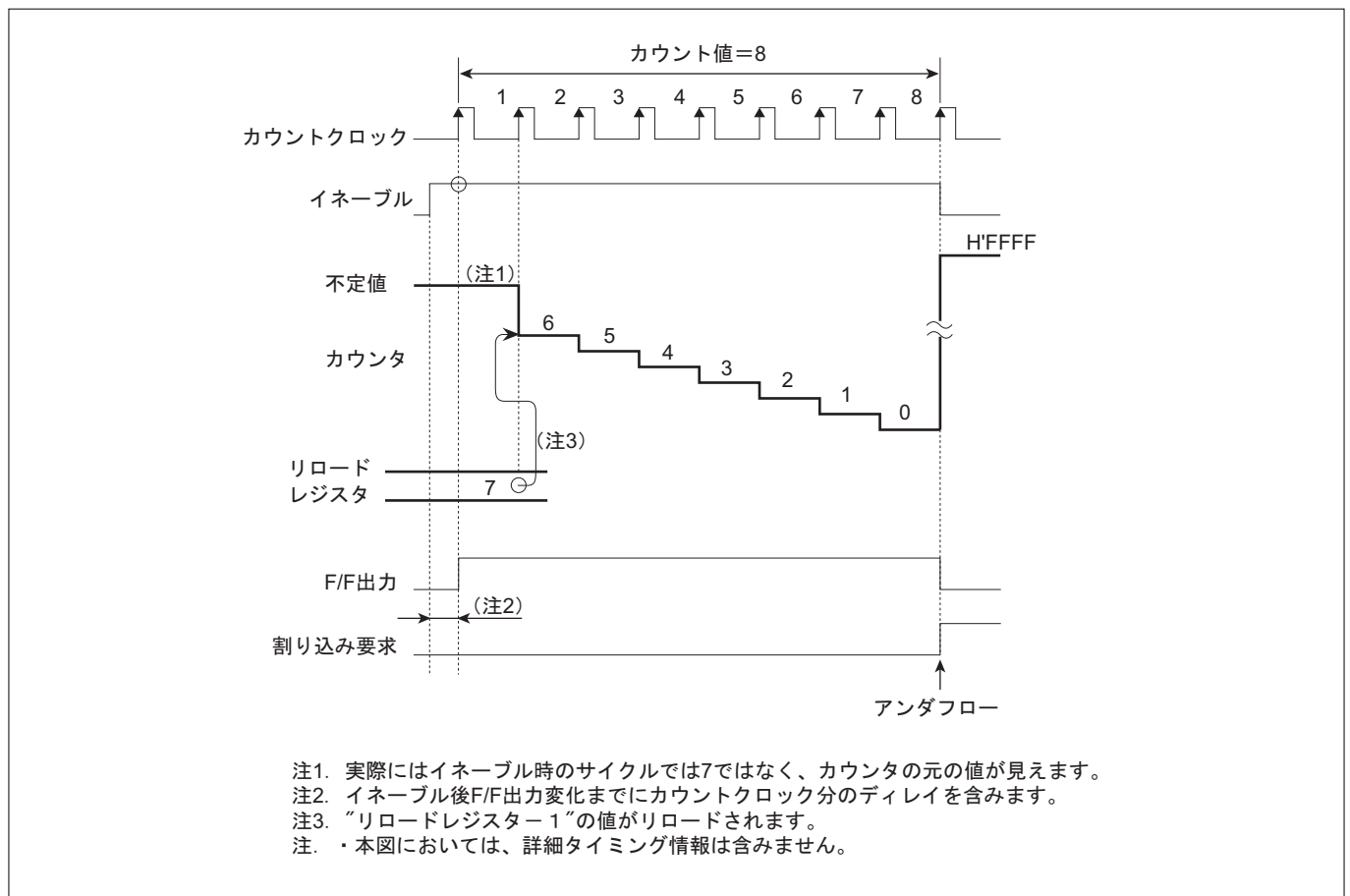


図10.3.7 TOPワンショット出力モードのカウント例

以下の例ではリロードレジスタの初期値にH'A000を設定しています(カウンタの初期値は不定でよい)。タイマが起動すると、"リロードレジスタ - 1"の値がカウンタにロードされ、以後カウンタがアンダフローするまでダウンカウントします。

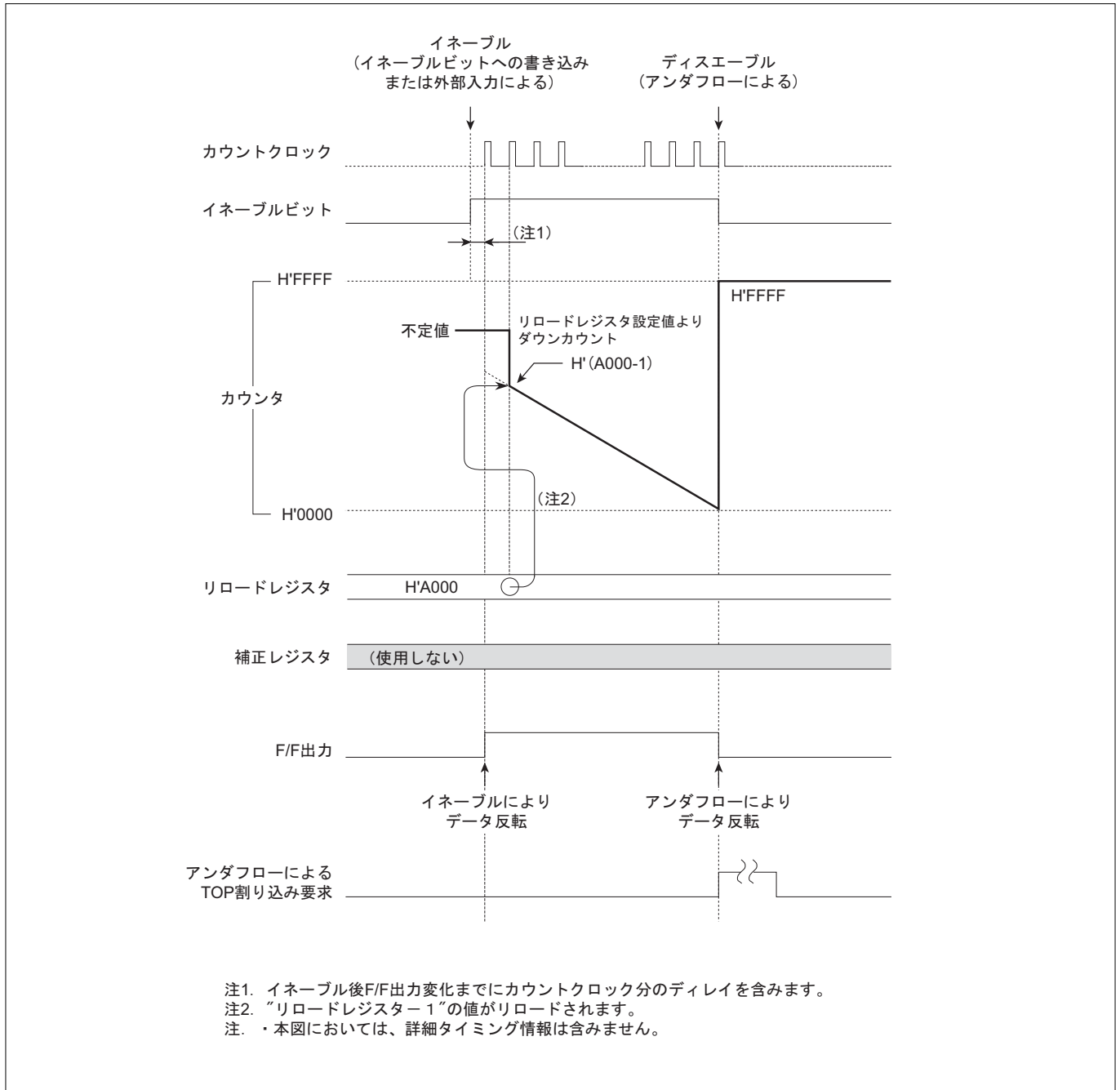


図10.3.8 TOPワンショット出力モード動作例

(2) TOPワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のカウントクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

例えばカウンタ初期値が7で、カウンタが3まで来たところで補正レジスタに3を書き込んだ場合、全体としては12をカウントしたところでアンダフローします。

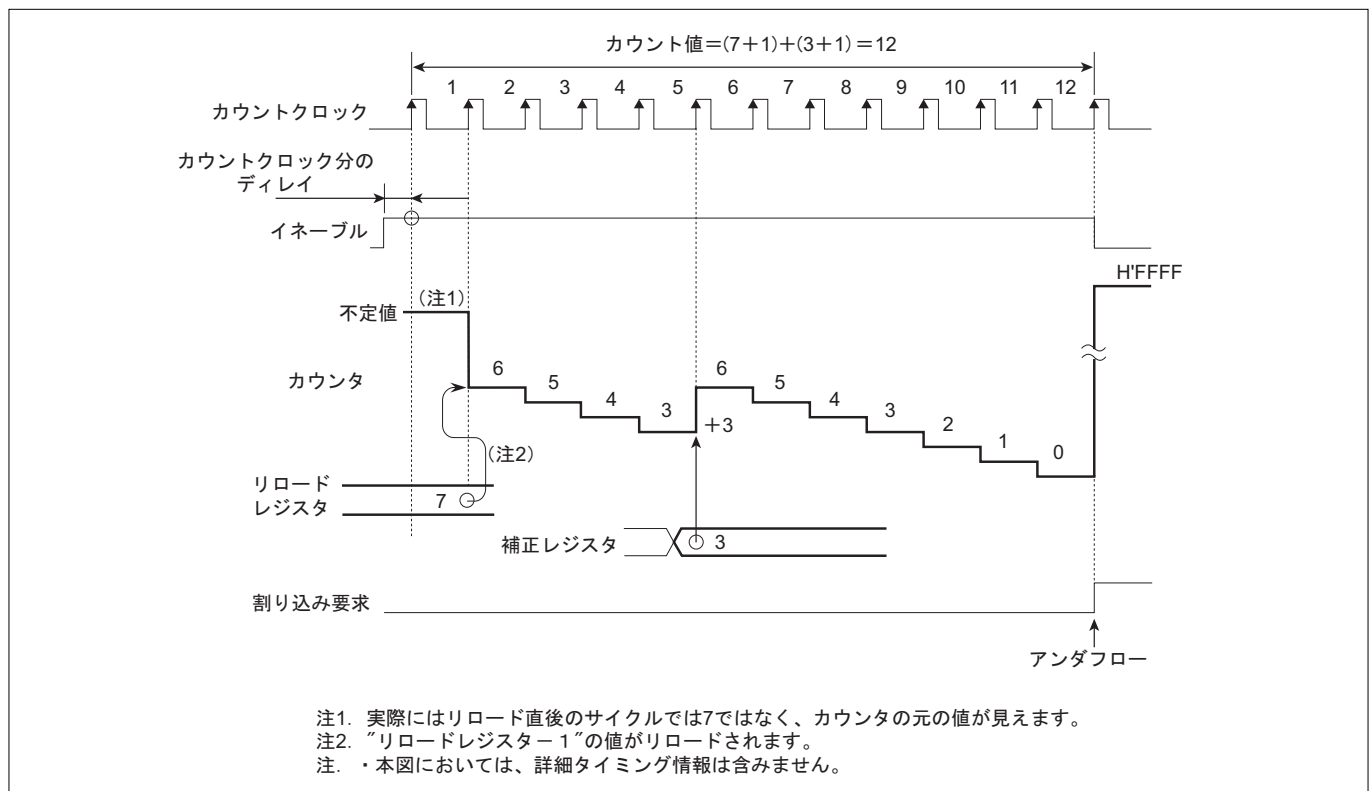


図10.3.9 TOPワンショット出力モード補正時のカウント例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作によりオーバーフローした場合でも、オーバーフローしたことによる割り込み要求は発生しません。

以下の例では、リロードレジスタの初期値にH'8000を設定しています。タイマが起動すると、"リロードレジスタ - 1"の値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'5000までカウントしたところで、補正レジスタにH'4000を書き込んでいます。この補正の結果、カウンタはH'9000になり、全体としては(H'8000 + 1 + H'4000 + 1)をカウントしたところで停止します。

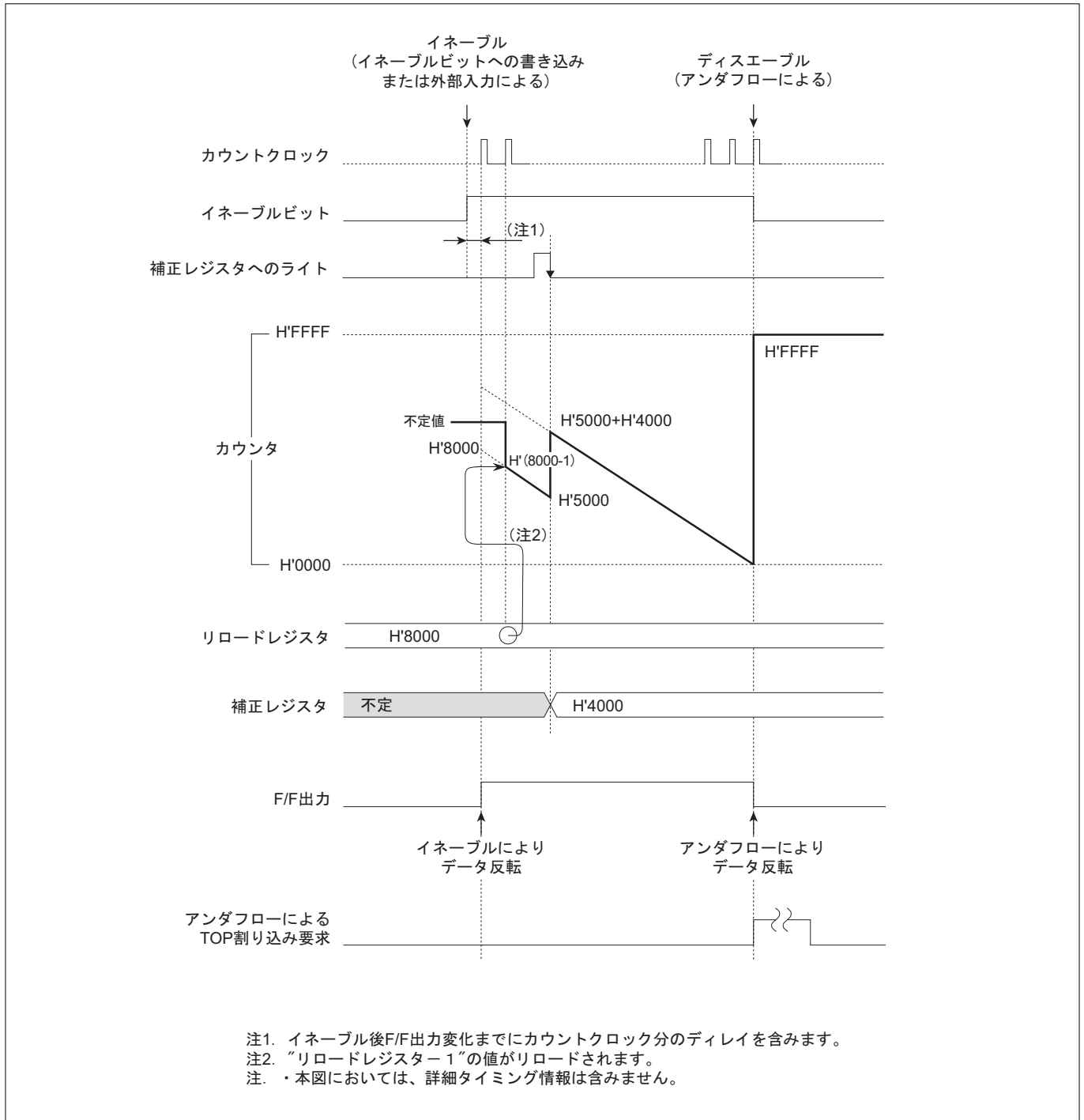


図10.3.10 TOPワンショット出力モード補正時の動作例

(3) TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。
- 補正レジスタの操作でカウンタがオーバフローしないようご注意ください。補正レジスタの操作により万一オーバフローしても、オーバフローしたことによる割り込み要求は発生しません。オーバフロー後に継続したダウンカウントでアンダフローした場合は、オーバフローした値での誤ったアンダフロー割り込み要求が発生します。

以下の例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込み要求は、オーバーフローした誤った値で発生しています。

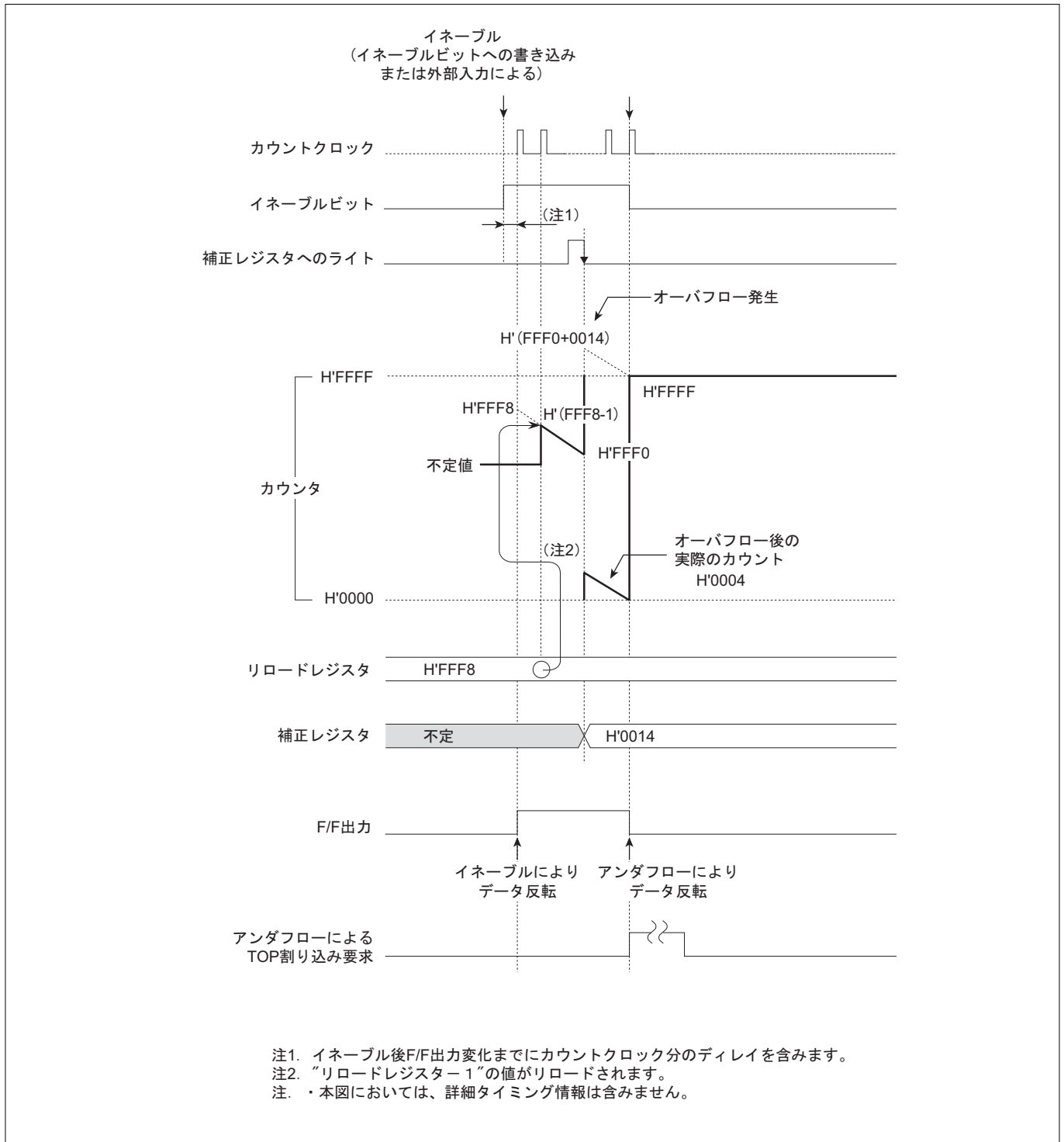


図10.3.11 TOPワンショット出力モード補正実行でオーバーフローした場合の例

10.3.10 TOPディレイドワンショット出力モード(補正機能あり)の動作

(1)TOPディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値 + 1の幅のパルスを、カウンタ設定値 + 1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで、"リロードレジスタ - 1"の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値 + 1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値 + 1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求を発生させることができます。カウンタの設定値 + 1、リロードレジスタの設定値 + 1がカウント値として有効です。

例えばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

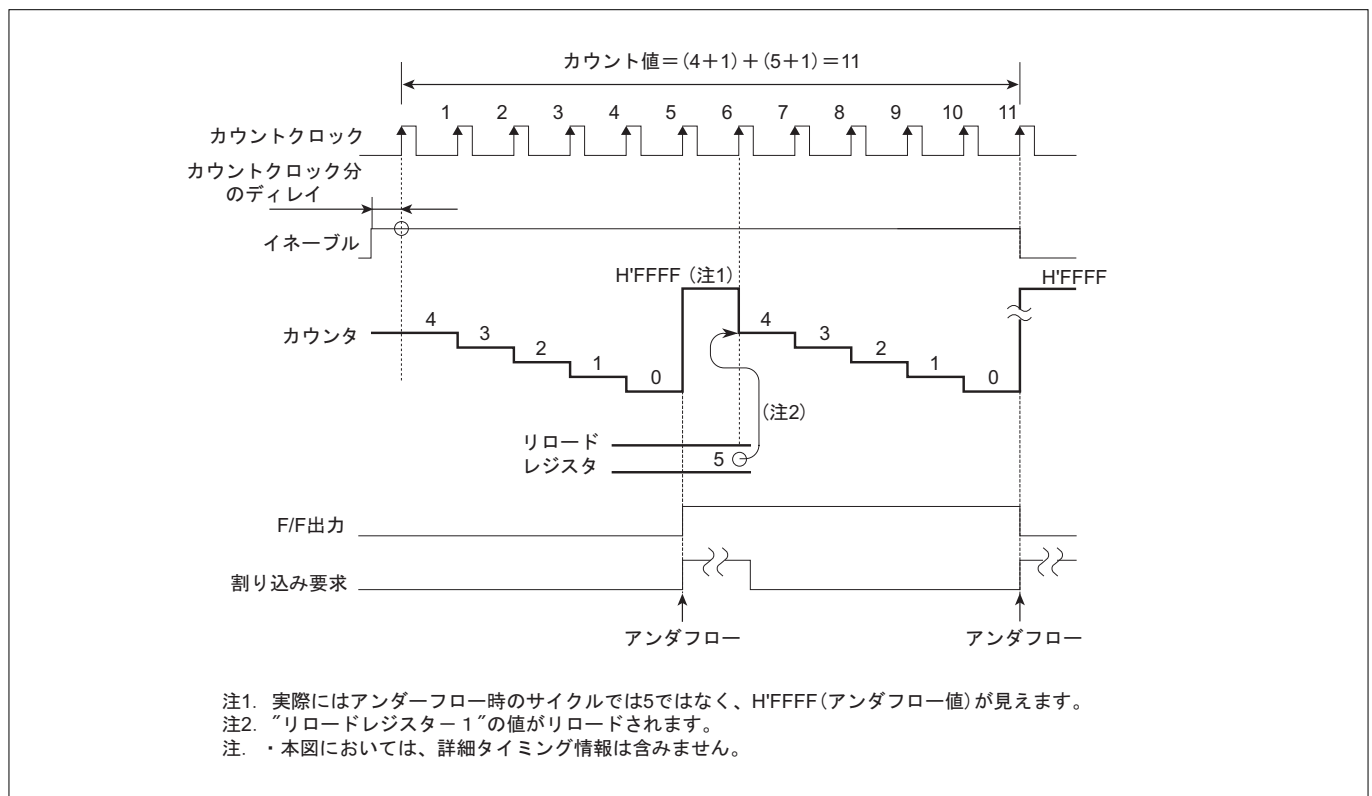


図10.3.12 TOPディレイドワンショット出力モードのカウンタ例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローした次のサイクルに"リロードレジスタ - 1"の内容をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止しています。

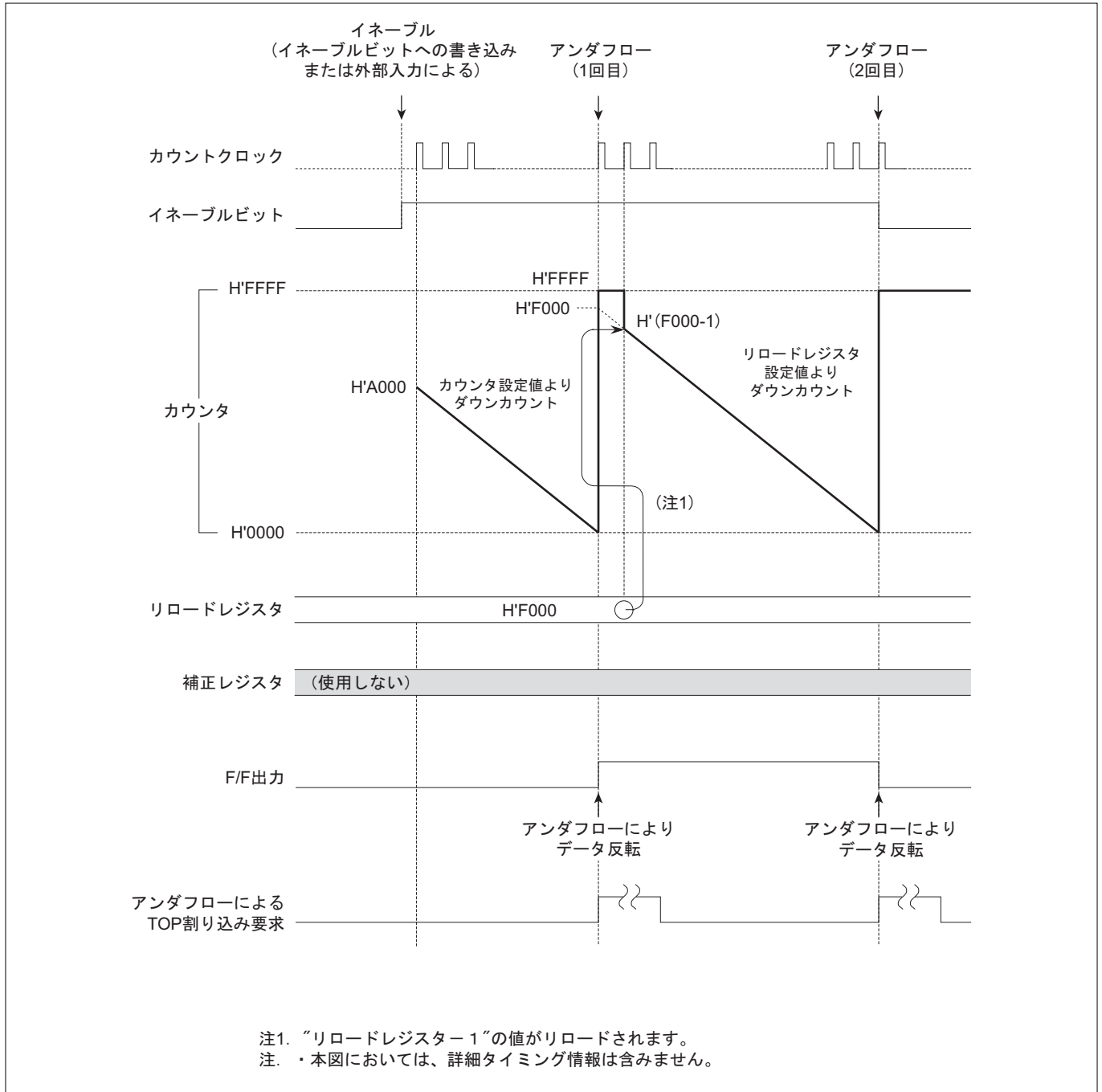


図10.3.13 TOPディレイドワンショット出力モード動作例

(2)TOPディレイドワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のカウンタクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

例えばリロードレジスタ値が7で、リロード後カウンタが3まで来たところで3を補正レジスタに書き込むと、リロード後のカウンタ値は12でアンダフローします。

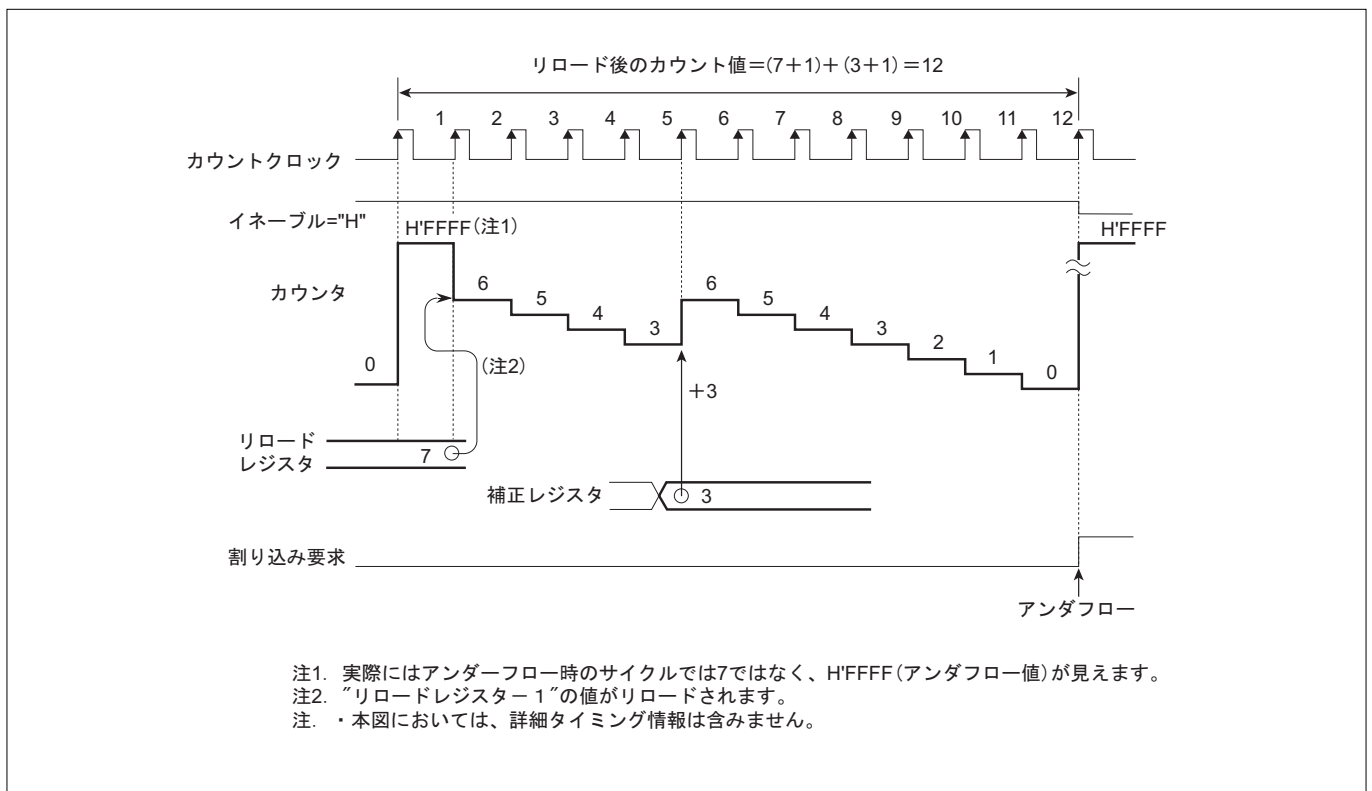


図10.3.14 TOPディレイドワンショット出力モード補正時のカウンタ例

なお、補正レジスタの操作でカウンタがオーバフローしないようご注意ください。補正レジスタの操作により万一オーバフローしても、オーバフローしたことによる割り込み要求は発生しません。

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動すると、ダウンカウントが始まります。1回目のアンダフローの次のサイクルで"リロードレジスタ - 1"の値をカウンタにロードし、さらにダウンカウントを続けます。図の例ではH'9000までカウントしたところで、補正レジスタにH'0008を書き込んでいます。この補正の結果、カウンタはH'9008になり、1回目のアンダフロー後(H'F000 + 1 + H'0008 + 1)をカウントしたところで停止します。

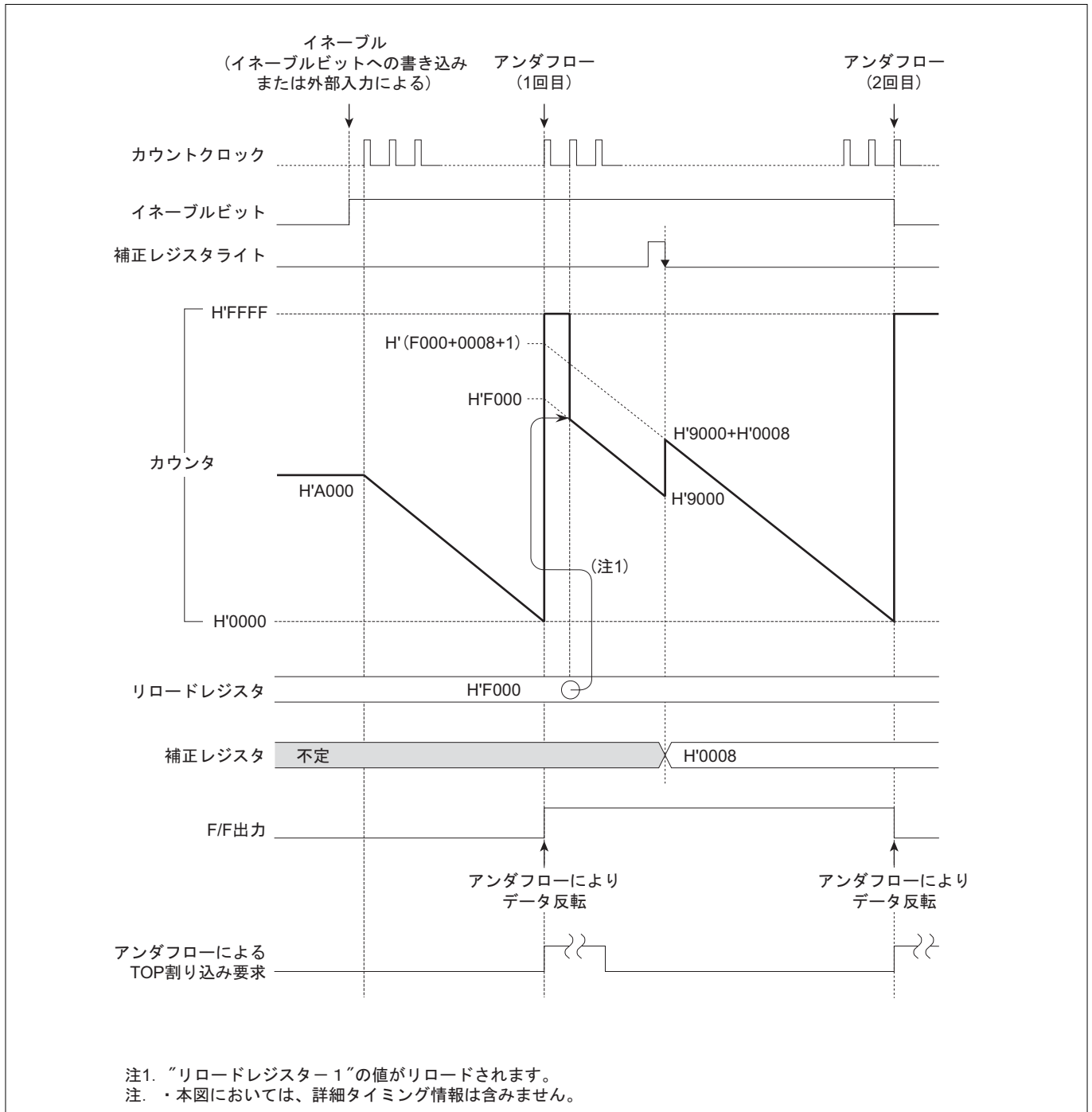


図10.3.15 TOPディレイドワンショット出力モード補正時の動作例

(3) TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウンタ許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウンタ禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウンタ禁止書き込みが優先されます。
- 補正レジスタの操作により万一カウンタがオーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込み要求が発生します。
- アンダフロー時のサイクルにカウンタを読むと、一時的に値をH'FFFFと読み出します。リロードは、アンダフローの次のカウンタクロックのタイミング時に「リロードレジスタ - 1」の値をカウンタにとりこみます。

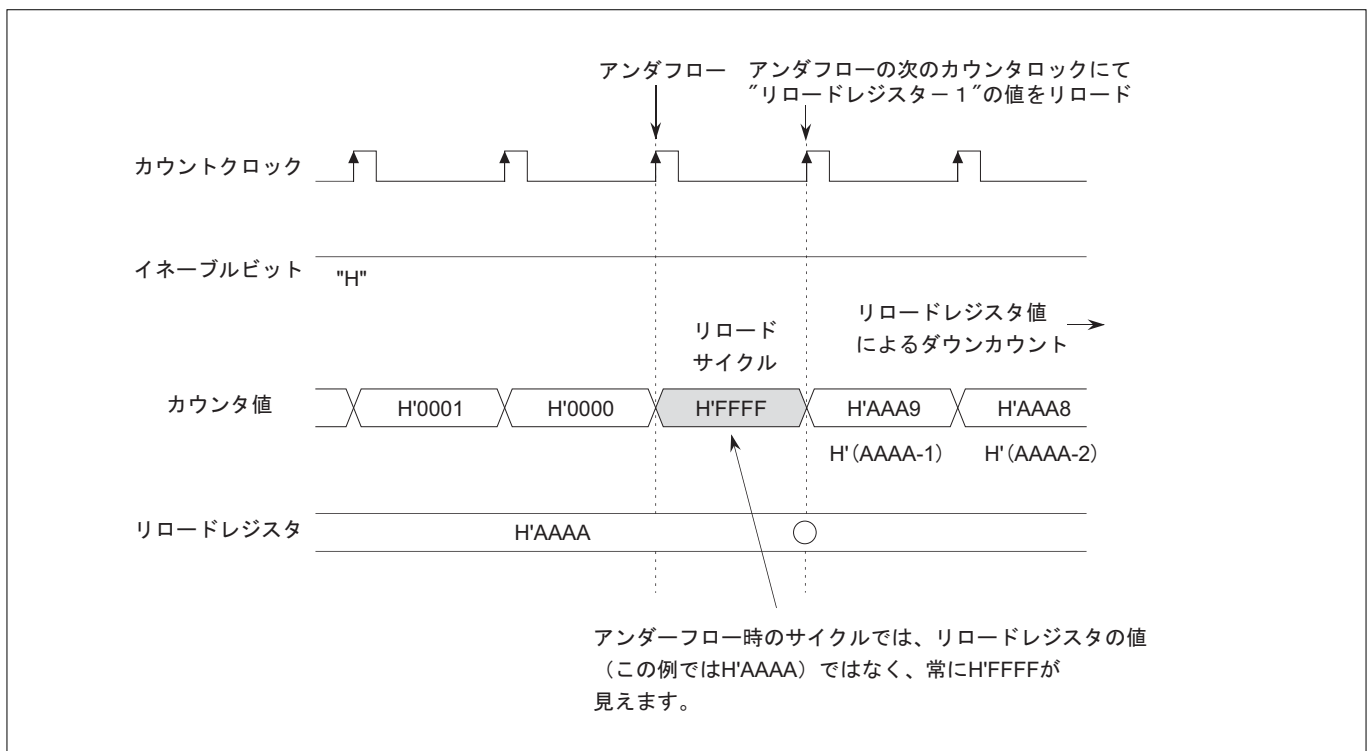


図10.3.16 アンダフロー直後のカウンタ値

10.3.11 TOP連続出力モード(補正機能なし)の動作

(1) TOP連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローの次のサイクルで"リロードレジスタ - 1"の値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値 + 1の幅で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウンタクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローの次のサイクルで"リロードレジスタ - 1"の内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダフローごとに、割り込み要求を発生することができます。

カウンタの設定値 + 1、リロードレジスタの設定値 + 1がカウント値として有効です。

例えばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

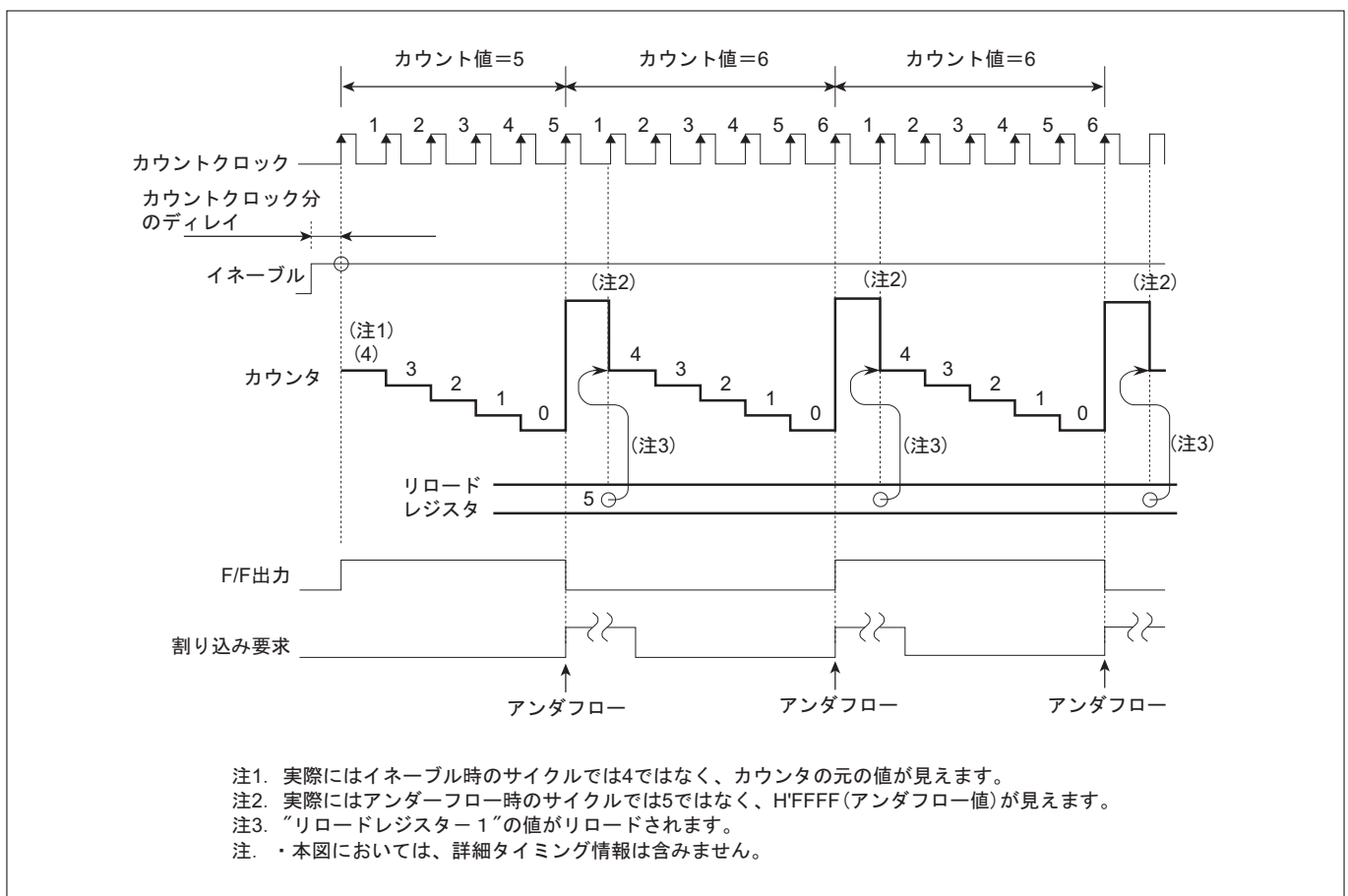


図10.3.17 TOP連続出力モードのカウント例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'E000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローするごとに"リロードレジスタ - 1"の内容をカウンタにロードし、ダウンカウントを続けます。ただし、リロードするタイミングは、アンダフローした次のサイクルです。

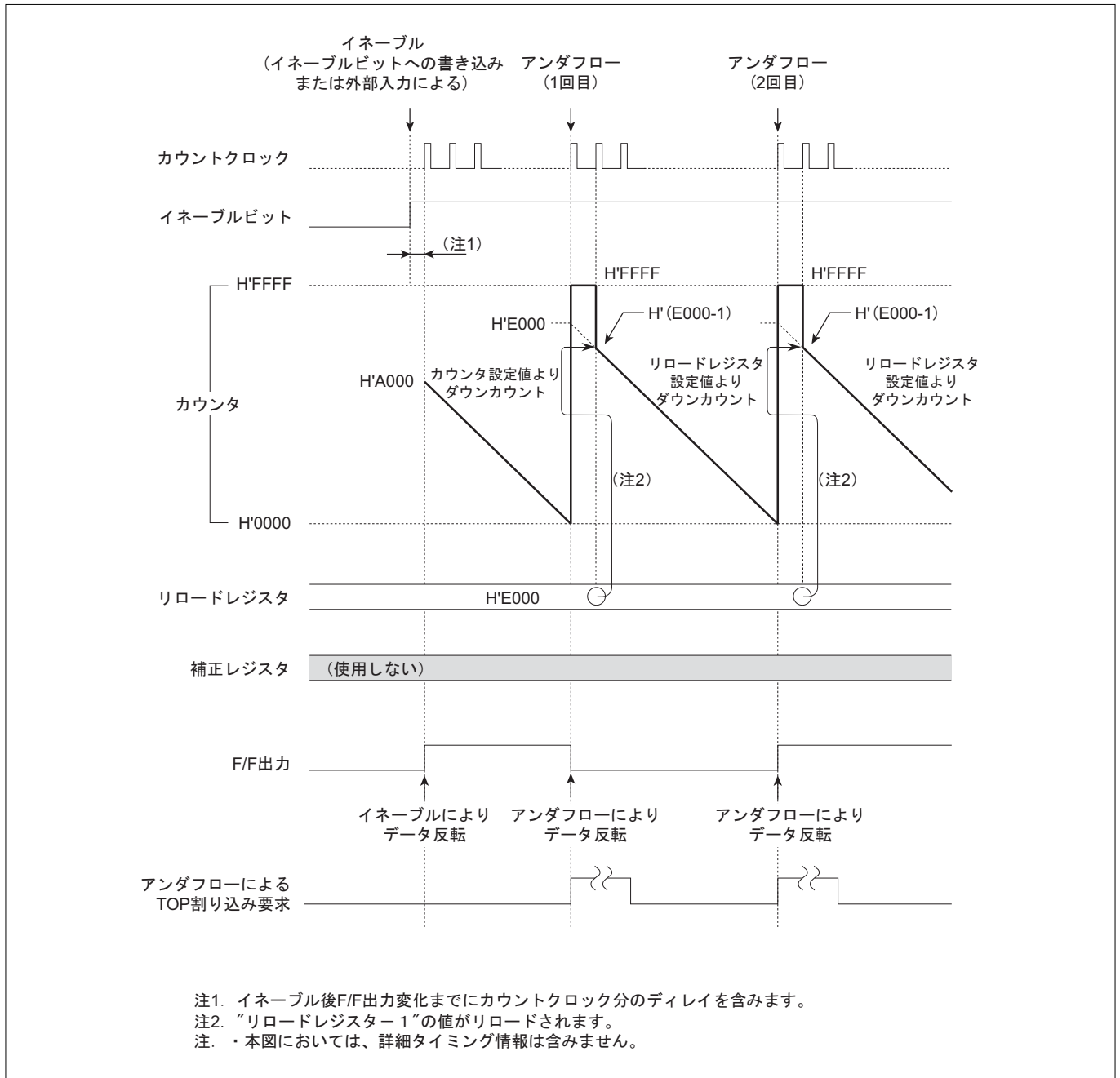


図10.3.18 TOP連続出力モード動作例

(2) TOP連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックのタイミングでカウンタ値は「リロードレジスタ値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

10.4 TIO(入出力系16ビットタイマ)

10.4.1 TIO概要

TIO(Timer Input/Output)は入出力系16ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

<入力モード>

- 計測クリア入力モード
- 計測フリーラン入力モード
- ノイズ処理入力モード

<補正機能なし出力モード>

- PWM出力モード
- ワンショット出力モード
- デイレイドワンショット出力モード
- 連続出力モード

以下にTIOの仕様を、また次ページにTIOのブロック図を示します。

表10.4.1 TIO(入出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	10チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
計測レジスタ	16ビットキャプチャレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ/Hレベル/Lレベル)
動作モード	<入力モード> <ul style="list-style-type: none"> ● 計測クリア入力モード ● 計測フリーラン入力モード ● ノイズ処理入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> ● PWM出力モード ● ワンショット出力モード ● デイレイドワンショット出力モード ● 連続出力モード
割り込み要求発生	カウンタのアンダフローで発生可能
DMA転送要求発生	カウンタのアンダフローで発生可能 (TIO8,TIO9のみ)

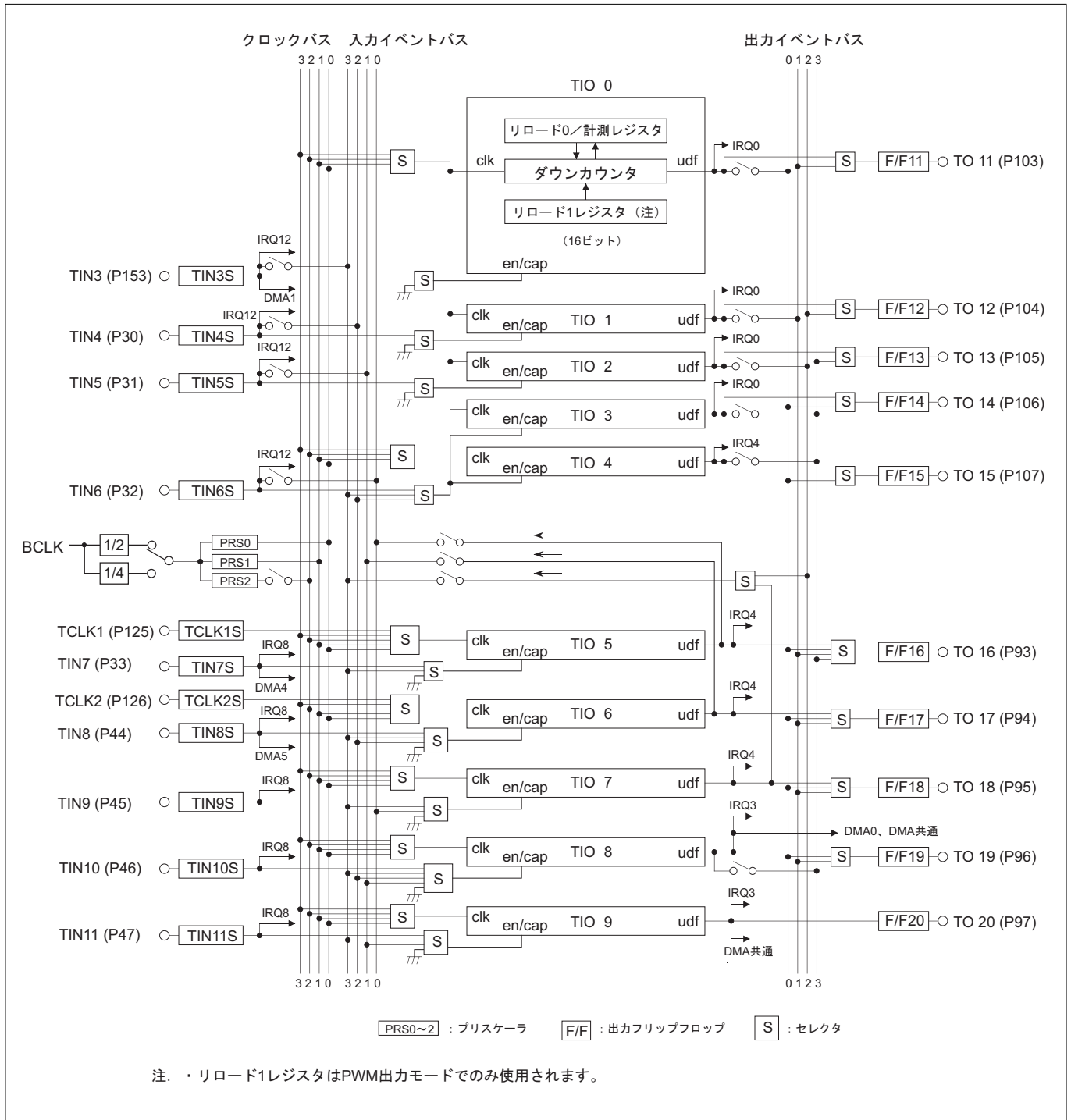


図10.4.1 TIQ(入出力系16ビットタイマ)ブロック図

10.4.2 TIO各モードの概要

以下にTIOの各モードの概要を示します。なおTIO各チャンネルのモードは、この中から1つだけを選択できます。

(1) 計測(クリア/フリーラン)入力モード

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。また、カウンタのアンダフローまたは計測動作の実行による割り込み要求発生と、カウンタのアンダフローによるDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。また、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

計測フリーラン入力モードでは、キャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

(2) ノイズ処理入力モード

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込み要求を発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効になった場合はいったんカウントを停止し、再度有効なレベルが入力された次のサイクルにカウントクロックに同期して"リロードレジスタ - 1"の値をカウンタにリロードしてカウント動作を再開します。有効カウント幅はリロード0レジスタの設定値 + 1です。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時に Rowe れます。

なお、カウンタのアンダフローで割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

(3) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に Rowe れます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローによる割り込み要求発生と、カウンタのアンダフローごとにDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

なお、TIOのPWM出力モードには補正機能はありません。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロード0レジスタ-1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタのアンダフローで割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

(5) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで"リロード0レジスタ-1"の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

(6) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローの次サイクルで"リロード0レジスタ-1"の値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1で反転する連続的なパルスを発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローの次のサイクルで"リロード0レジスタ-1"の内容をカウンタにロードし、再度カウントを行います。

以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。カウンタにリロードするタイミングは、アンダフローの次のサイクルです。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

< カウントクロック分のディレイ >

- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからタイマ動作開始までに最大で1カウントクロック分のディレイが発生します。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

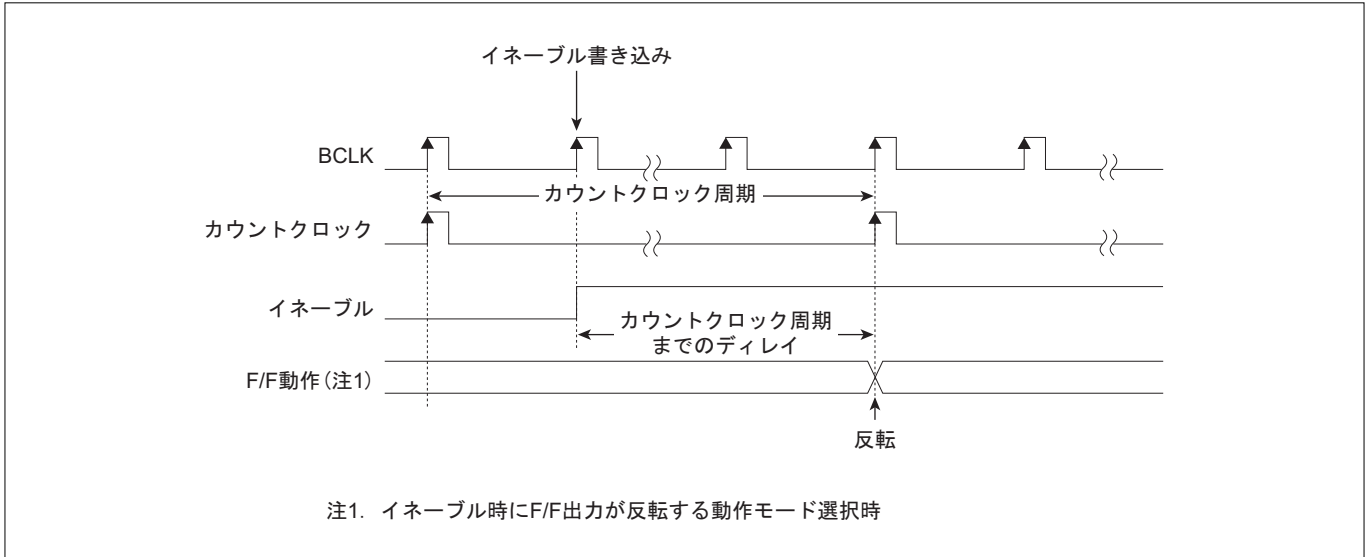


図10.4.2 カウントクロック分のディレイ

10.4.3 TIO関連レジスタマップ

以下にTIO関連のレジスタマップを示します。

TIO関連レジスタマップ(1/2)

番地	+ 0番地	b7 b8	+ 1番地	b15	掲載ページ
H'0080 0300		TIO0カウンタ (TIO0CT)			10-105
H'0080 0302		(使用禁止領域)			
H'0080 0304		TIO0リロード1レジスタ (TIO0RL1)			10-107
H'0080 0306		TIO0リロード0/計測レジスタ (TIO0RL0)			10-106
}		(使用禁止領域)			
H'0080 0310		TIO1カウンタ (TIO1CT)			10-105
H'0080 0312		(使用禁止領域)			
H'0080 0314		TIO1リロード1レジスタ (TIO1RL1)			10-107
H'0080 0316		TIO1リロード0/計測レジスタ (TIO1RL0)			10-106
H'0080 0318		(使用禁止領域)			
H'0080 031A		TIO0-3制御レジスタ0 (TIO03CR0)			10-98
H'0080 031C	(使用禁止領域)		TIO0-3制御レジスタ1 (TIO03CR1)		10-99
}		(使用禁止領域)			
H'0080 0320		TIO2カウンタ (TIO2CT)			10-105
H'0080 0322		(使用禁止領域)			
H'0080 0324		TIO2リロード1レジスタ (TIO2RL1)			10-107
H'0080 0326		TIO2リロード0/計測レジスタ (TIO2RL0)			10-106
}		(使用禁止領域)			
H'0080 0330		TIO3カウンタ (TIO3CT)			10-105
H'0080 0332		(使用禁止領域)			
H'0080 0334		TIO3リロード1レジスタ (TIO3RL1)			10-107
H'0080 0336		TIO3リロード0/計測レジスタ (TIO3RL0)			10-106
}		(使用禁止領域)			
H'0080 0340		TIO4カウンタ (TIO4CT)			10-105
H'0080 0342		(使用禁止領域)			
H'0080 0344		TIO4リロード1レジスタ (TIO4RL1)			10-107
H'0080 0346		TIO4リロード0/計測レジスタ (TIO4RL0)			10-106
H'0080 0348		(使用禁止領域)			
H'0080 034A	TIO4制御レジスタ (TIO4CR)		TIO5制御レジスタ (TIO5CR)		10-100 10-102
}		(使用禁止領域)			

TIO関連レジスタマップ(2/2)

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載 ページ
H'0080 0350			TIO5カウンタ (TIO5CT)				10-105
H'0080 0352			(使用禁止領域)				
H'0080 0354			TIO5リロード1レジスタ (TIO5RL1)				10-107
H'0080 0356			TIO5リロード0/計測レジスタ (TIO5RL0)				10-106
}			(使用禁止領域)				
H'0080 0360			TIO6カウンタ (TIO6CT)				10-105
H'0080 0362			(使用禁止領域)				
H'0080 0364			TIO6リロード1レジスタ (TIO6RL1)				10-107
H'0080 0366			TIO6リロード0/計測レジスタ (TIO6RL0)				10-106
H'0080 0368			(使用禁止領域)				
H'0080 036A		TIO6制御レジスタ (TIO6CR)			TIO7制御レジスタ (TIO7CR)		10-103 10-104
}			(使用禁止領域)				
H'0080 0370			TIO7カウンタ (TIO7CT)				10-105
H'0080 0372			(使用禁止領域)				
H'0080 0374			TIO7リロード1レジスタ (TIO7RL1)				10-107
H'0080 0376			TIO7リロード0/計測レジスタ (TIO7RL0)				10-106
}			(使用禁止領域)				
H'0080 0380			TIO8カウンタ (TIO8CT)				10-105
H'0080 0382			(使用禁止領域)				
H'0080 0384			TIO8リロード1レジスタ (TIO8RL1)				10-107
H'0080 0386			TIO8リロード0/計測レジスタ (TIO8RL0)				10-106
H'0080 0388			(使用禁止領域)				
H'0080 038A		TIO8制御レジスタ (TIO8CR)			TIO9制御レジスタ (TIO9CR)		10-104 10-105
}			(使用禁止領域)				
H'0080 0390			TIO9カウンタ (TIO9CT)				10-105
H'0080 0392			(使用禁止領域)				
H'0080 0394			TIO9リロード1レジスタ (TIO9RL1)				10-107
H'0080 0396			TIO9リロード0/計測レジスタ (TIO9RL0)				10-106
}			(使用禁止領域)				
H'0080 03BC			TIO0-9イネーブルプロテクトレジスタ (TIOPRO)				10-108
H'0080 03BE			TIO0-9カウントイネーブルレジスタ (TIOCEN)				10-109

10.4.4 TIO制御レジスタ

TIO制御レジスタは、TIO0～9の動作モード(計測入力、ノイズ処理入力、PWM出力、ワンショット出力、ディレイドワンショット出力、連続出力モード)の選択、カウントイネーブルの入力選択、およびカウントクロックの入力選択を行います。

TIO制御レジスタには、タイマのグループごとに以下のレジスタがあります。

- TIO0-3制御レジスタ0(TIO03CR0)
- TIO0-3制御レジスタ1(TIO03CR1)
- TIO4制御レジスタ(TIO4CR)
- TIO5制御レジスタ(TIO5CR)
- TIO6制御レジスタ(TIO6CR)
- TIO7制御レジスタ(TIO7CR)
- TIO8制御レジスタ(TIO8CR)
- TIO9制御レジスタ(TIO9CR)

TIO0-3制御レジスタ(TIO03CR0)

<アドレス: H'0080 031A>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIO3 EEN	TIO3M			TIO2 ENS	TIO2M			TIO1 ENS	TIO1M			TIO0 ENS	TIO0M		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000>

b	ビット名	機能	R	W
0	TIO3EEN(注1) TIO3外部入力許可ビット	0: 外部入力禁止 1: 外部入力許可	R	W
1~3	TIO3M TIO3動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W
4	TIO2ENS TIO2イネーブル/計測入力ソース選択ビット	0: イネーブル/計測入力ソースを使用しません。 1: 外部入力TIN5	R	W
5~7	TIO2M TIO2動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W
8	TIO1ENS TIO1イネーブル/計測入力ソース選択ビット	0: イネーブル/計測入力ソースを使用しません。 1: 外部入力TIN4	R	W
9~11	TIO1M TIO1動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W
12	TIO0ENS TIO0イネーブル/計測入力ソース選択ビット	0: イネーブル/計測入力ソースを使用しません。 1: 外部入力TIN3	R	W
13~15	TIO0M TIO0動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注1. 計測(フリーラン/クリア)モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

注. このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

・TIO3のイネーブル/測量入力ソース選択は、TIO4制御レジスタのTIO34ENS(TIO3、TIO4イネーブル/測量入力ソース選択)ビットで選択します。

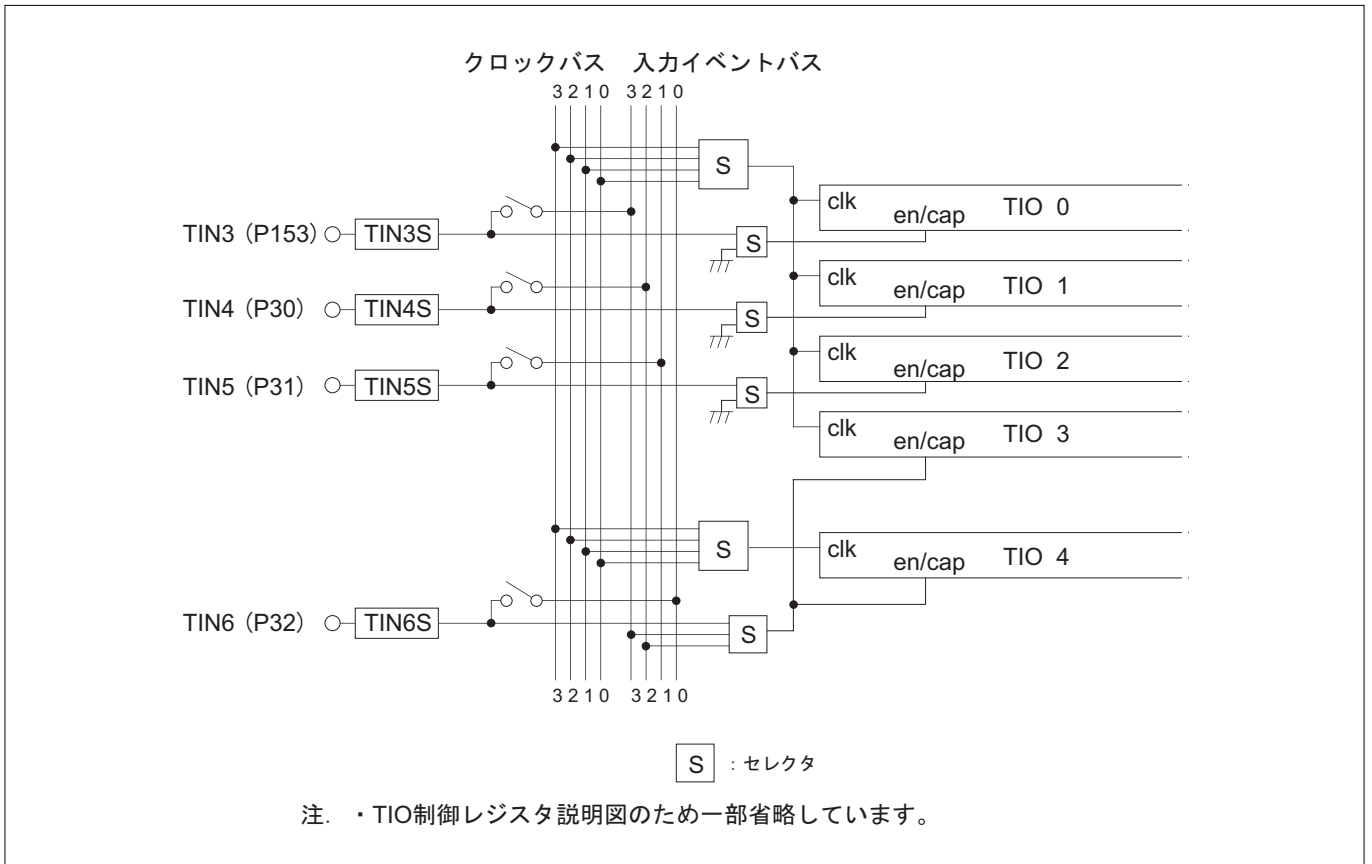


図10.4.3 TIO0～4のクロック/イネーブル入力概略図

TIO0-3制御レジスタ1(TIO03CR1)

<アドレス : H'0080 031D >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	TIO03CKS 0 0	

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 13		何も配置されていません。"0"に固定してください。	0	0
14, 15	TIO03CKS TIO0～3クロックソース選択ビット	00 : クロックバス0 01 : クロックバス1 10 : クロックバス2 11 : クロックバス3	R	W

TIO4制御レジスタ(TIO4CR)

<アドレス: H'0080 034A >

b0	1	2	3	4	5	6	b7
TIO4CKS		TIO4EEN	TIO34ENS		TIO4M		
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0, 1	TIO4CKS TIO4クロックソース選択ビット	00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3	R	W
2	TIO4EEN (注1) TIO4外部入力許可ビット	0: 外部入力禁止 1: 外部入力許可	R	W
3, 4	TIO34ENS TIO3,4イネーブル/ 計測入力ソース選択ビット	00: 外部入力TIN6 01: " 10: 入力イベントバス2 11: 入力イベントバス3	R	W
5~7	TIO4M TIO4動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注1. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

注. ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

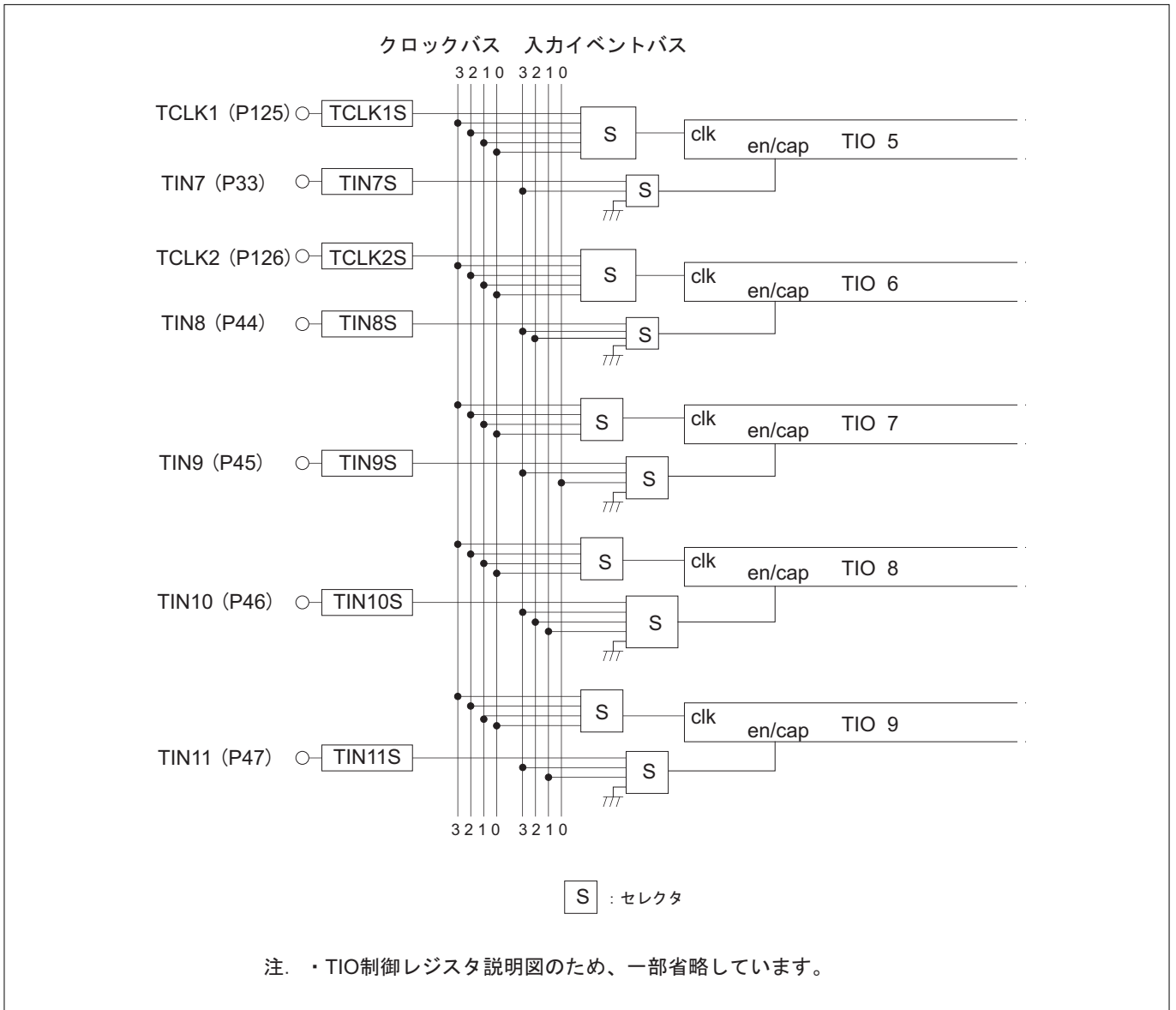


図10.4.4 TIO5~9のクロック/イネーブル入力概略図

TIO5制御レジスタ(TIO5CR)

<アドレス : H'0080 034B >

b8	9	10	11	12	13	14	b15
TIO5CKS			TIO5ENS		TIO5M		
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 10	TIO5CKS TIO5クロックソース選択ビット	000 : 外部入力TCLK1 001 : " 010 : " 011 : " 100 : クロックバス0 101 : クロックバス1 110 : クロックバス2 111 : クロックバス3	R	W
11, 12	TIO5ENS TIO5イネーブル/ 計測入力ソース選択ビット	00 : イネーブル/計測入力ソースを使用しません。 01 : " 10 : 外部入力TIN7 11 : 入力イベントバス3	R	W
13 ~ 15	TIO5M TIO5動作モード選択ビット	000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 110 : ノイズ処理入力モード 111 : "	R	W

注 . ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO6制御レジスタ(TIO6CR)

<アドレス: H'0080 036A>

b0	1	2	3	4	5	6	b7
TIO6CKS			TIO6ENS		TIO6M		
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0~2	TIO6CKS TIO6クロックソース選択ビット	000: 外部入力TCLK2 001: " 010: " 011: " 100: クロックバス0 101: クロックバス1 110: クロックバス2 111: クロックバス3	R	W
3, 4	TIO6ENS TIO6イネーブル/ 計測入力ソース選択ビット	00: イネーブル/計測入力ソースを使用しません。 01: 外部入力TIN8 10: 入力イベントバス2 11: 入力イベントバス3	R	W
5~7	TIO6M TIO6動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注. ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO7制御レジスタ(TIO7CR)

<アドレス: H'0080 036B>

b8	9	10	11	12	13	14	b15
0	TIO7CKS 0 0		TIO7ENS 0 0		0	TIO7M 0 0	

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	何も配置されていません。"0"に固定してください。		0	0
9, 10	TIO7CKS TIO7クロックソース選択ビット	00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3	R	W
11, 12	TIO7ENS TIO7イネーブル/ 計測入力ソース選択ビット	00: イネーブル/計測入力ソースを使用しません。 01: 外部入力TIN9 10: 入力イベントバス0 11: 入力イベントバス3	R	W
13~15	TIO7M TIO7動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注. . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO8制御レジスタ(TIO8CR)

<アドレス: H'0080 038A>

b0	1	2	3	4	5	6	b7
TIO8CKS 0 0		TIO8ENS 0 0 0			TIO8M 0 0 0		

<リセット解除時: H'00>

b	ビット名	機能	R	W
0, 1	TIO8CKS TIO8クロックソース選択ビット	00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3	R	W
2~4	TIO8ENS TIO8イネーブル/ 計測入力ソース選択ビット	000: イネーブル/計測入力ソースを使用しません。 001: " 010: " 011: " 100: 外部入力TIN10 101: 入力イベントバス1 110: 入力イベントバス2 111: 入力イベントバス3	R	W
5~7	TIO8M TIO8動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注. . 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO9制御レジスタ(TIO9CR)

<アドレス: H'0080 038B >

b8	9	10	11	12	13	14	b15
0	TIO9CKS		TIO9ENS		TIO9M		
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8		何も配置されていません。"0"に固定してください。	0	0
9, 10	TIO9CKS TIO9クロックソース選択ビット	00: クロックバス0 01: クロックバス1 10: クロックバス2 11: クロックバス3	R	W
11, 12	TIO9ENS TIO9イネーブル/ 計測入力ソース選択ビット	00: イネーブル/計測入力ソースを使用しません。 01: 外部入力TIN11 10: 入力イベントバス1 11: 入力イベントバス3	R	W
13~15	TIO9M TIO9動作モード選択ビット	000: ワンショット出力モード 001: ディレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 110: ノイズ処理入力モード 111: "	R	W

注. ・動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

10.4.5 TIOカウンタ(TIO0CT ~ TIO9CT)

TIO0カウンタ(TIO0CT)	<アドレス: H'0080 0300 >
TIO1カウンタ(TIO1CT)	<アドレス: H'0080 0310 >
TIO2カウンタ(TIO2CT)	<アドレス: H'0080 0320 >
TIO3カウンタ(TIO3CT)	<アドレス: H'0080 0330 >
TIO4カウンタ(TIO4CT)	<アドレス: H'0080 0340 >
TIO5カウンタ(TIO5CT)	<アドレス: H'0080 0350 >
TIO6カウンタ(TIO6CT)	<アドレス: H'0080 0360 >
TIO7カウンタ(TIO7CT)	<アドレス: H'0080 0370 >
TIO8カウンタ(TIO8CT)	<アドレス: H'0080 0380 >
TIO9カウンタ(TIO9CT)	<アドレス: H'0080 0390 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TIO0CT-TIO9CT															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

<リセット解除時: 不定 >

b	ビット名	機能	R	W
0~15	TIO0CT-TIO9CT	16ビットカウンタ値	R(注1)	

注1. PWM出力モード時は書き込み不可

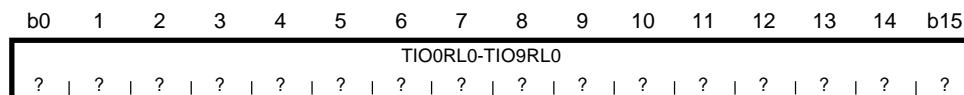
注. ・このレジスタは、必ずハーフワードでアクセスしてください。

TIOカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モードでは書き込み不可になります。

10.4.6 TIOリロード0/計測レジスタ(TIO0RL0~TIO9RL0)

TIO0リロード0/計測レジスタ(TIO0RL0)	<アドレス: H'0080 0306 >
TIO1リロード0/計測レジスタ(TIO1RL0)	<アドレス: H'0080 0316 >
TIO2リロード0/計測レジスタ(TIO2RL0)	<アドレス: H'0080 0326 >
TIO3リロード0/計測レジスタ(TIO3RL0)	<アドレス: H'0080 0336 >
TIO4リロード0/計測レジスタ(TIO4RL0)	<アドレス: H'0080 0346 >
TIO5リロード0/計測レジスタ(TIO5RL0)	<アドレス: H'0080 0356 >
TIO6リロード0/計測レジスタ(TIO6RL0)	<アドレス: H'0080 0366 >
TIO7リロード0/計測レジスタ(TIO7RL0)	<アドレス: H'0080 0376 >
TIO8リロード0/計測レジスタ(TIO8RL0)	<アドレス: H'0080 0386 >
TIO9リロード0/計測レジスタ(TIO9RL0)	<アドレス: H'0080 0396 >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TIO0RL0-TIO9RL0	16ビットリロードレジスタ値	R	(注1)

注1. 計測入力モード時は書き込み不可

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード0/計測レジスタは、TIOカウンタレジスタ(TIO0CT~TIO9CT)へデータをリロードするためのレジスタと、計測入力モードでの計測レジスタを兼ねています。このレジスタは、計測入力モード時には書き込み不可となります。

以下のタイミングに"リロード0レジスタ - 1"の内容がカウントクロックに同期してカウンタにロードされます。

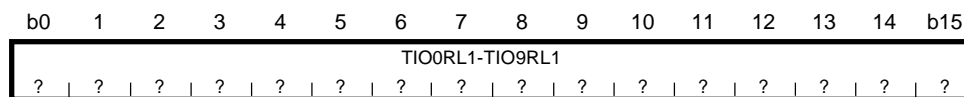
- ノイズ処理入力モードでカウントを開始した後、カウンタアンダフロー前に、入力信号が反転し、再度有効レベルの入力があった次のサイクル
- ワンショットモードでカウンタがイネーブルになった次のサイクル
- ディレイドワンショットまたは連続モードでカウンタがアンダフローした次のサイクル
- PWM出力モードでイネーブルになった時と、リロード1レジスタでセットしたカウンタ値がアンダフローした次のサイクル

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

一方計測レジスタとして使用する場合は、イベント入力により、カウンタの値をこの計測レジスタに取り込みます。

10.4.7 TIOリロード1レジスタ(TIO0RL1 ~ TIO9RL1)

TIO0リロード1レジスタ(TIO0RL1)	<アドレス : H'0080 0304 >
TIO1リロード1レジスタ(TIO1RL1)	<アドレス : H'0080 0314 >
TIO2リロード1レジスタ(TIO2RL1)	<アドレス : H'0080 0324 >
TIO3リロード1レジスタ(TIO3RL1)	<アドレス : H'0080 0334 >
TIO4リロード1レジスタ(TIO4RL1)	<アドレス : H'0080 0344 >
TIO5リロード1レジスタ(TIO5RL1)	<アドレス : H'0080 0354 >
TIO6リロード1レジスタ(TIO6RL1)	<アドレス : H'0080 0364 >
TIO7リロード1レジスタ(TIO7RL1)	<アドレス : H'0080 0374 >
TIO8リロード1レジスタ(TIO8RL1)	<アドレス : H'0080 0384 >
TIO9リロード1レジスタ(TIO9RL1)	<アドレス : H'0080 0394 >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0 ~ 15	TIO0RL1-TIO9RL1	16ビットリロードレジスタ値	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード1レジスタは、TIOカウンタレジスタ(TIO0CT ~ TIO9CT)へデータをリロードするためのレジスタです。

以下のタイミングに"リロード1レジスタ - 1"の内容がカウントクロックに同期してカウンタにロードされます。

- PWM出力モードでリロード0レジスタでセットしたカウント値がアンダフローした次のサイクル

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.4.8 TIOイネーブル制御レジスタ

TIO0-9イネーブルプロテクトレジスタ(TIOPRO)

<アドレス: H'0080 03BC >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	TIO9 PRO 0	TIO8 PRO 0	TIO7 PRO 0	TIO6 PRO 0	TIO5 PRO 0	TIO4 PRO 0	TIO3 PRO 0	TIO2 PRO 0	TIO1 PRO 0	TIO0 PRO 0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	TIO9PRO (TIO9イネーブルプロテクトビット)	0: 書き換え許可	R	W
7	TIO8PRO (TIO8イネーブルプロテクトビット)	1: 書き換え禁止		
8	TIO7PRO (TIO7イネーブルプロテクトビット)			
9	TIO6PRO (TIO6イネーブルプロテクトビット)			
10	TIO5PRO (TIO5イネーブルプロテクトビット)			
11	TIO4PRO (TIO4イネーブルプロテクトビット)			
12	TIO3PRO (TIO3イネーブルプロテクトビット)			
13	TIO2PRO (TIO2イネーブルプロテクトビット)			
14	TIO1PRO (TIO1イネーブルプロテクトビット)			
15	TIO0PRO (TIO0イネーブルプロテクトビット)			

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIO0~9イネーブルプロテクトレジスタは、次に示すTIOカウントイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

TIO0-9カウントイネーブルレジスタ(TIOCEN)

<アドレス: H'0080 03BE >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	TIO9 CEN	TIO8 CEN	TIO7 CEN	TIO6 CEN	TIO5 CEN	TIO4 CEN	TIO3 CEN	TIO2 CEN	TIO1 CEN	TIO0 CEN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	TIO9CEN(TIO9カウントイネーブルビット)	0: カウント停止	R	W
7	TIO8CEN(TIO8カウントイネーブルビット)	1: カウント許可		
8	TIO7CEN(TIO7カウントイネーブルビット)			
9	TIO6CEN(TIO6カウントイネーブルビット)			
10	TIO5CEN(TIO5カウントイネーブルビット)			
11	TIO4CEN(TIO4カウントイネーブルビット)			
12	TIO3CEN(TIO3カウントイネーブルビット)			
13	TIO2CEN(TIO2カウントイネーブルビット)			
14	TIO1CEN(TIO1カウントイネーブルビット)			
15	TIO0CEN(TIO0カウントイネーブルビット)			

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TIO0~9カウントイネーブルレジスタは、TIOカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続出力モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTIO0~9カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

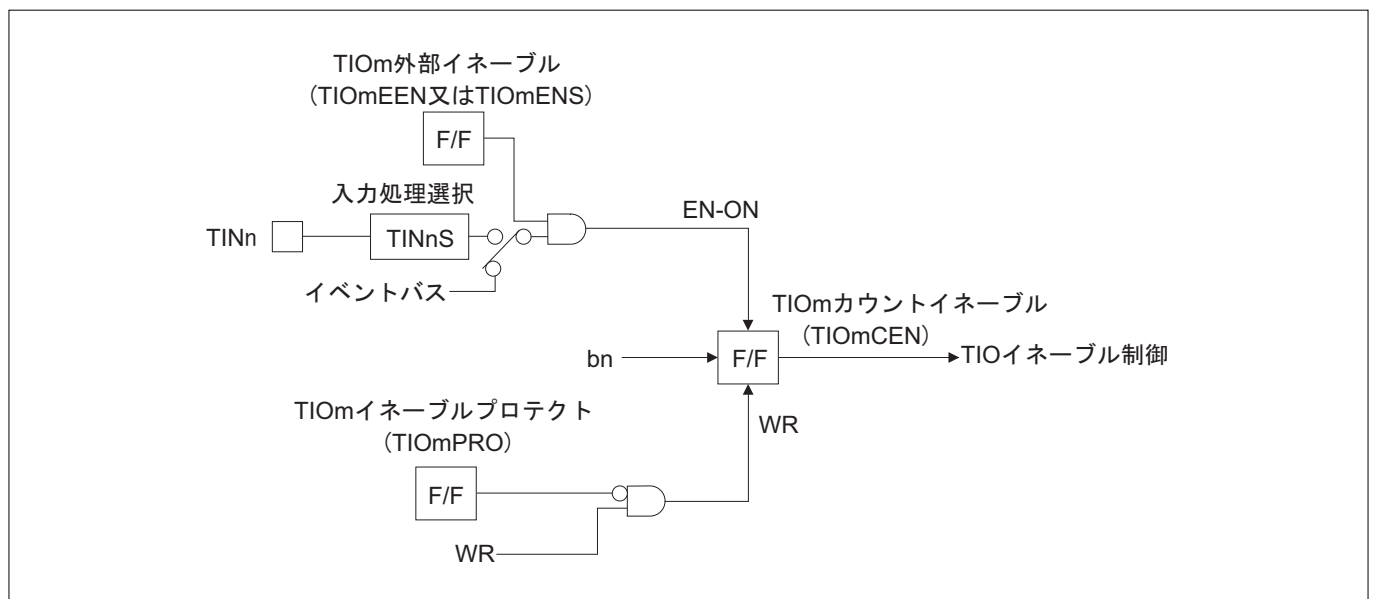


図10.4.5 TIOイネーブル回路構成図

10.4.9 TIO計測(フリーラン/クリア)入力モードの動作

(1) TIO計測(フリーラン/クリア)入力モード概要

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。また、カウンタのアンダフローまたは計測動作の実行による割り込み要求発生と、カウンタのアンダフローによるDMA転送要求(TIO8、TIO9のみ可能)を発生させることができます。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。また、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

計測フリーラン入力モードでは、キャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

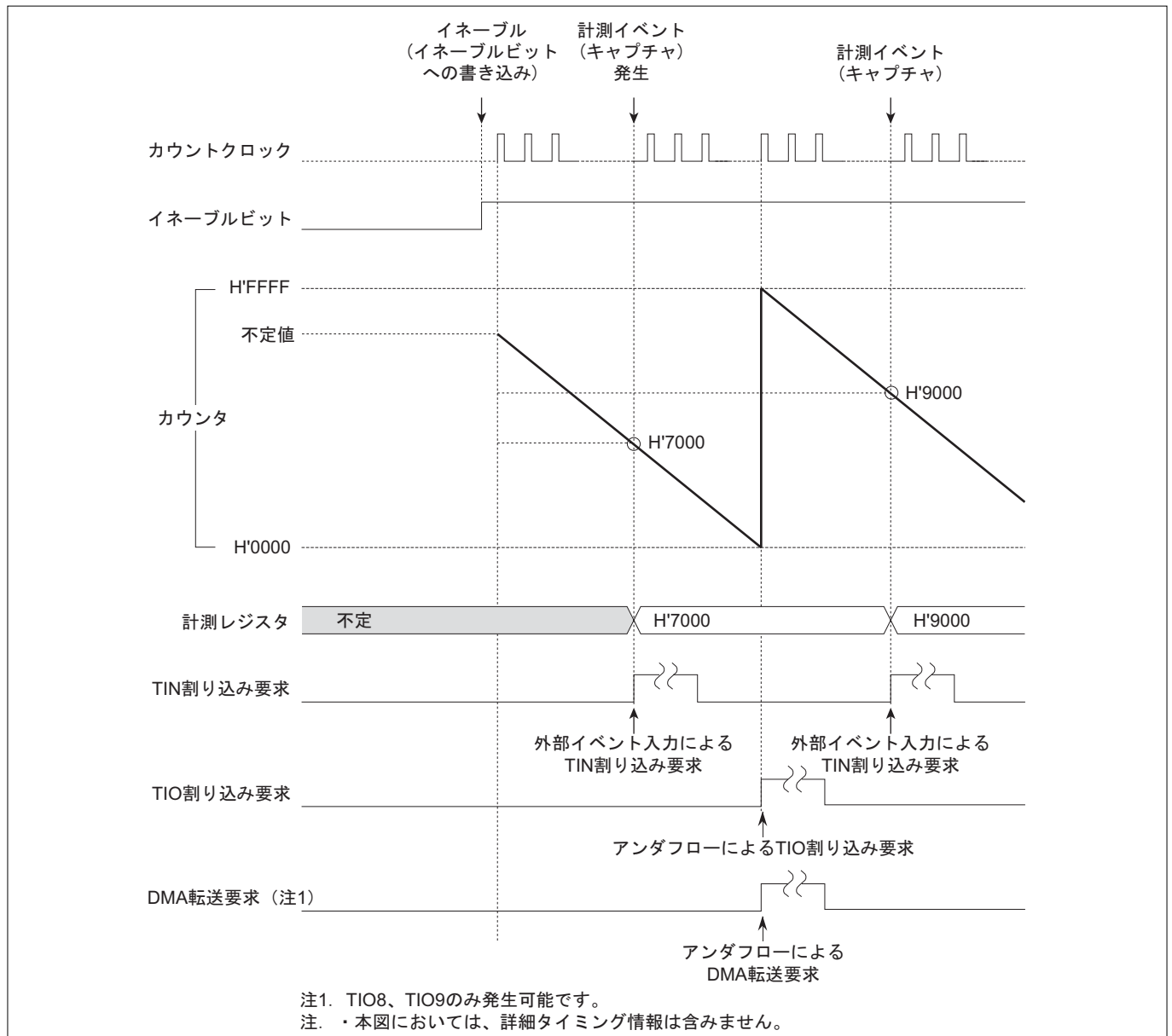


図10.4.6 計測フリーラン入力モードの動作例

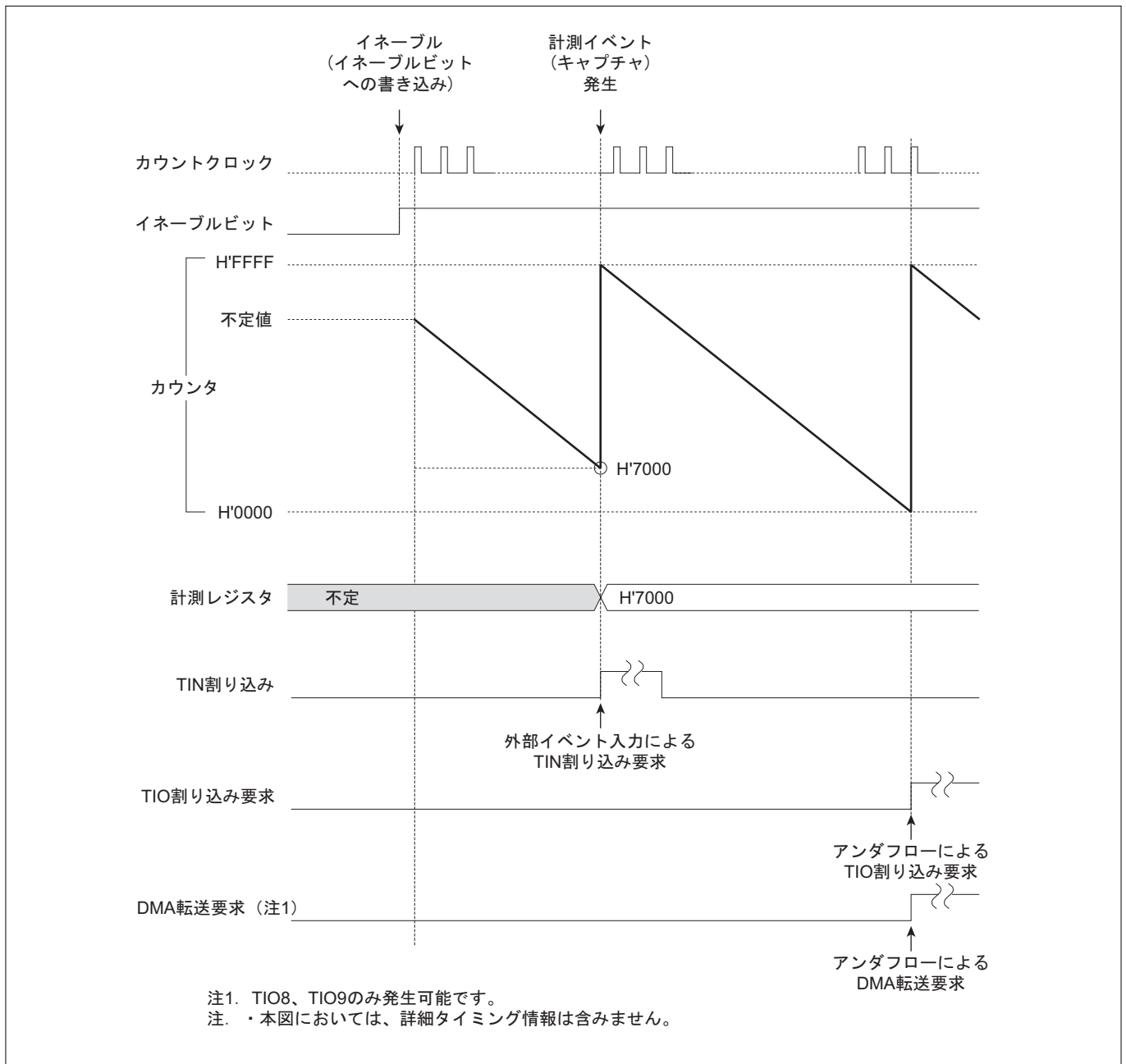


図10.4.7 計測クリア入力モードの動作例

(2) TIO計測(フリーラン/クリア)入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

- 計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.4.10 TIOノイズ処理入力モードの動作

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込み要求を発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効になった場合はいったんカウントを停止し、再度有効なレベルが入力された次のサイクルにカウントクロックに同期して"リロードレジスタ - 1"の値をカウンタにリロードしてカウント動作を再開します。有効カウント幅はリロード0レジスタの設定値 + 1です。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時に行われます。

なお、カウンタのアンダフローで割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

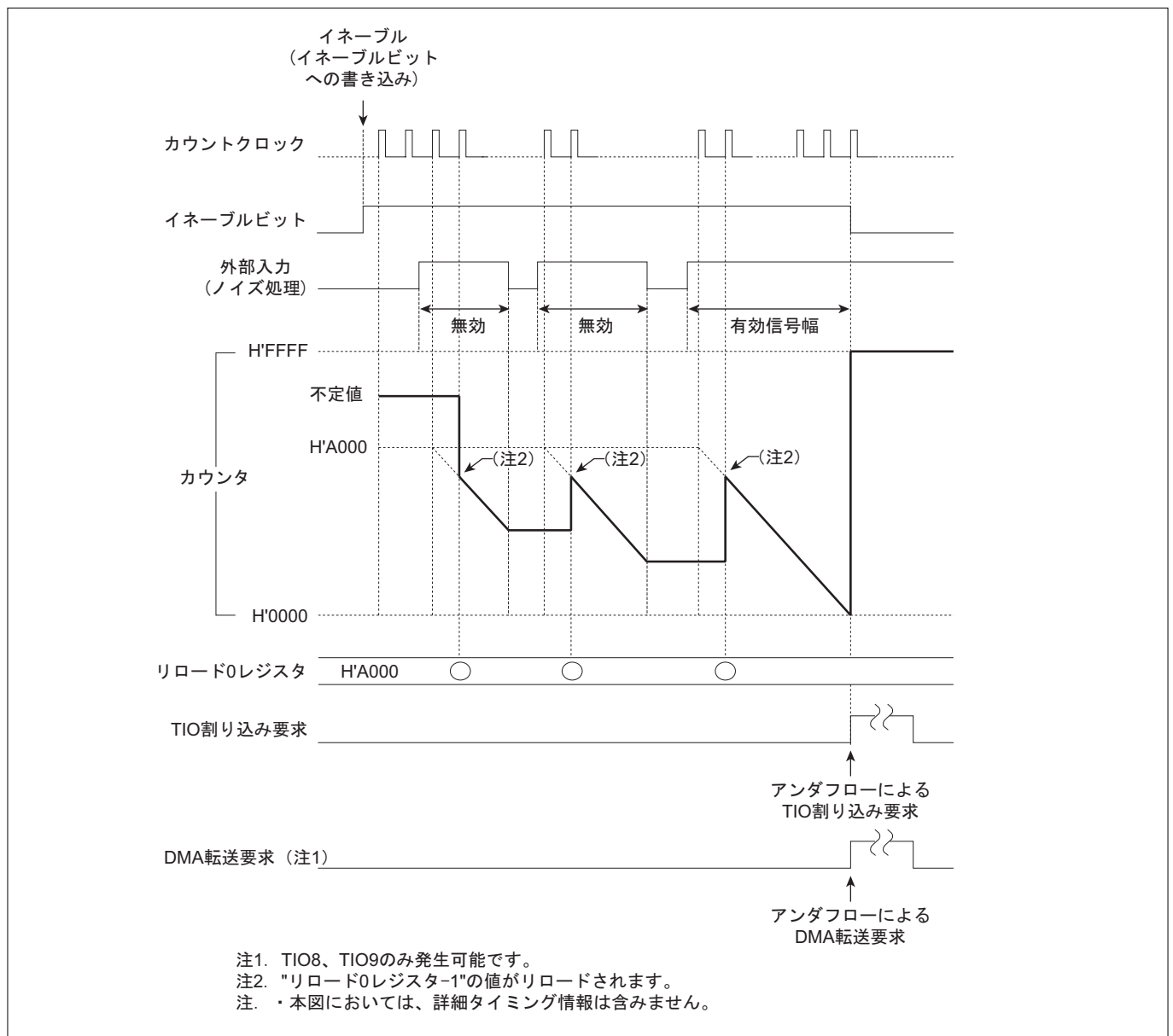


図10.4.8 ノイズ処理入力モードの動作例

10.4.11 TIO PWM出力モード動作

(1) TIO PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時にされます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローによる割り込み要求発生と、カウンタのアンダフローごとにDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

なお、TIOのPWM出力モードには補正機能はありません。

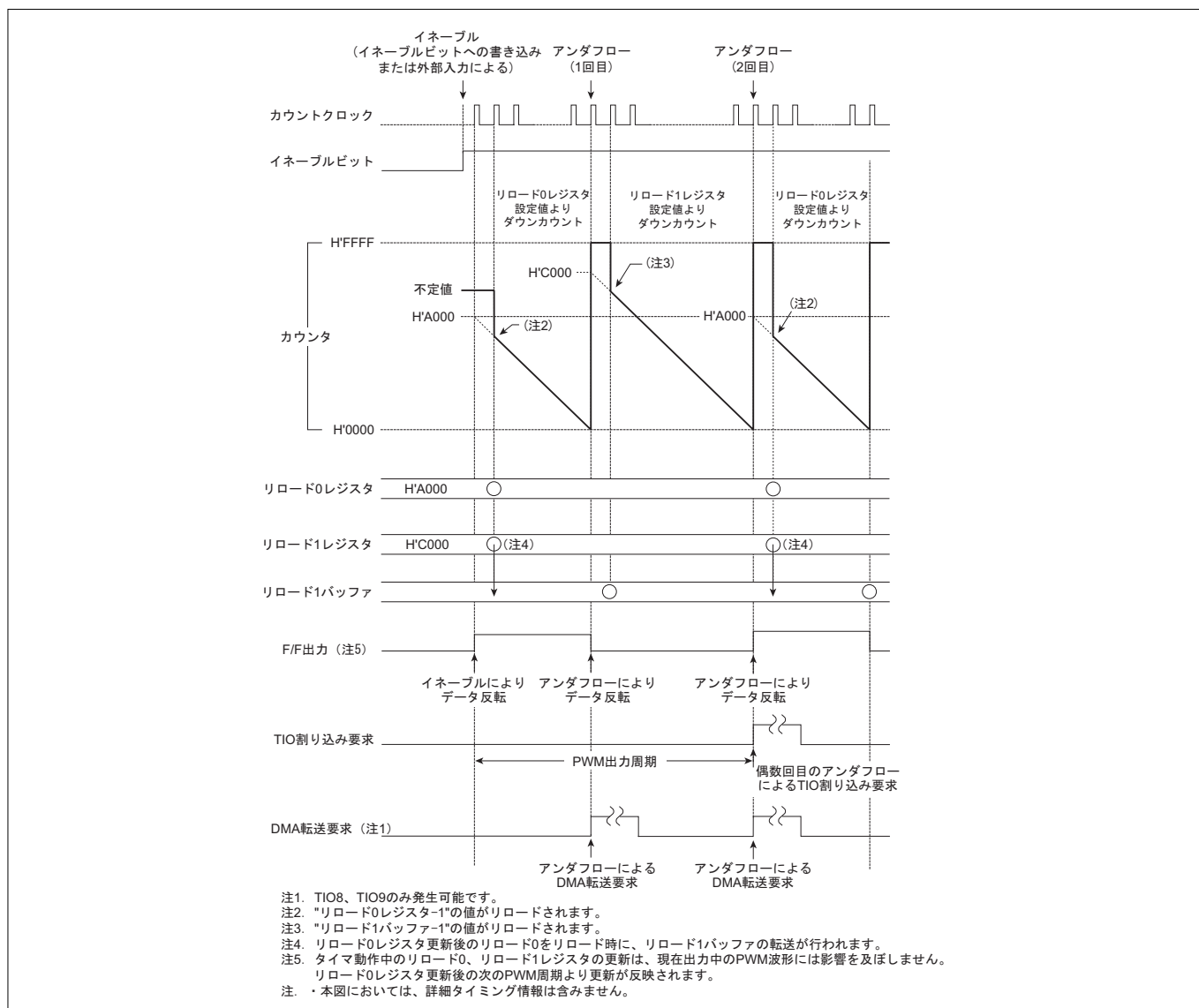


図10.4.9 PWM出力モードの動作例

(2) TIO PWM出力モードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0、1レジスタの更新はレジスタへのデータ書き込みと同時にされますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新後のリロード0レジスタをリロード時に行われます。ただし、リロード0、1レジスタをリードすると、常に書き込んだデータが読み出されます。

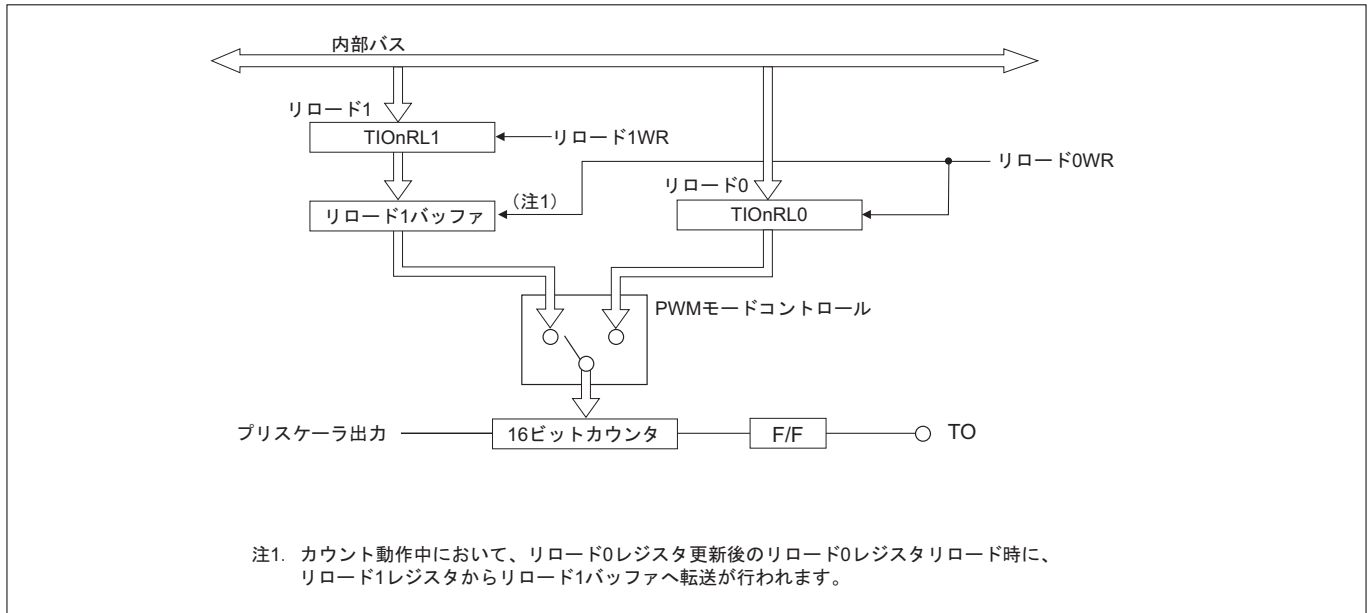


図10.4.10 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0、1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

また、リロード0、1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

PWM出力モードで動作中にPWM周期内でリロード0レジスタとリロード1レジスタを2回以上書き込み、下記2条件を同時に満たす場合、前回書き込みを行ったリロード0レジスタ値と、最終的に書き込みを行ったリロード1レジスタ値でPWM波形が出力されます。

条件1：旧PWM出力周期のリロード0レジスタのPWM周期取り込み後に、リロード0レジスタの書き込み実施。

条件2：新PWM出力周期のPWM周期取り込み前にリロード1レジスタを書き換え、PWM周期取り込み後にリロード0レジスタの書き込み実施。

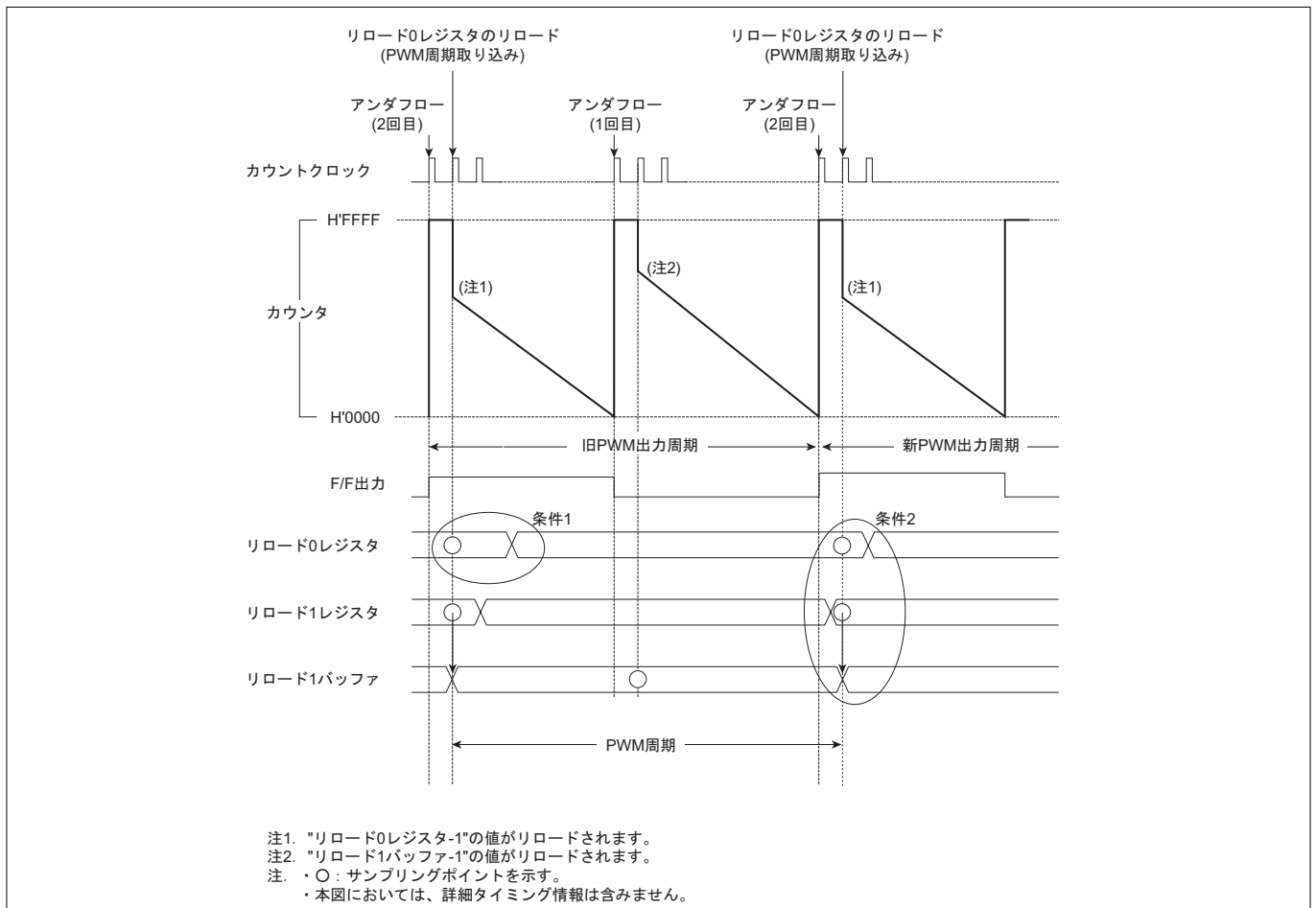


図10.4.11 PWM周期の更新タイミング

PWM周期の更新を正しく行うために、以下のいずれかのソフトウェア対策を行ってください。

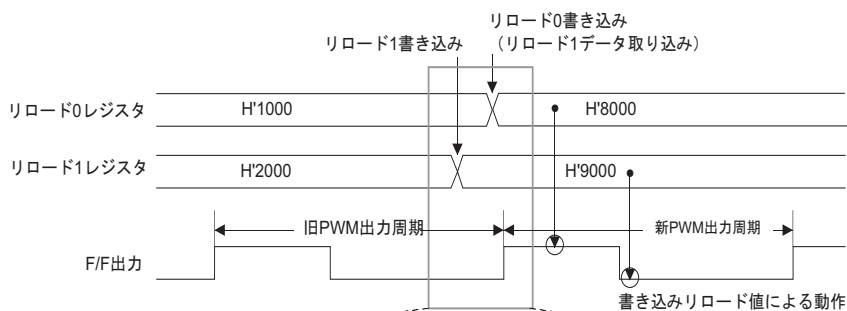
- リロード1レジスタとリロード0レジスタへの書き込み時にカウンタ値を読み出すことによってPWM周期の終了タイミングを判別し、PWM周期をまたがないようにリロード1レジスタとリロード0レジスタへの書き込みを行う。
- 割り込みを使用してリロード1レジスタとリロード0レジスタへの書き込みを行っている場合には、カウンタのプリスケアラ値をできる限り最小設定を行う。プリスケアラ値をできる限り最小にすることにより、PWM周期でH'FFFFとなる状態より後でリロード1レジスタとリロード0レジスタへの書き込みを行う。
- リロード1レジスタとリロード0レジスタの書き込みは、PWM周期あたり1回以下の周期で行う。(PWM周期に対して、リロードレジスタの書き換え周期を長くする。)

(3) TIO PWM出力モード使用上の注意

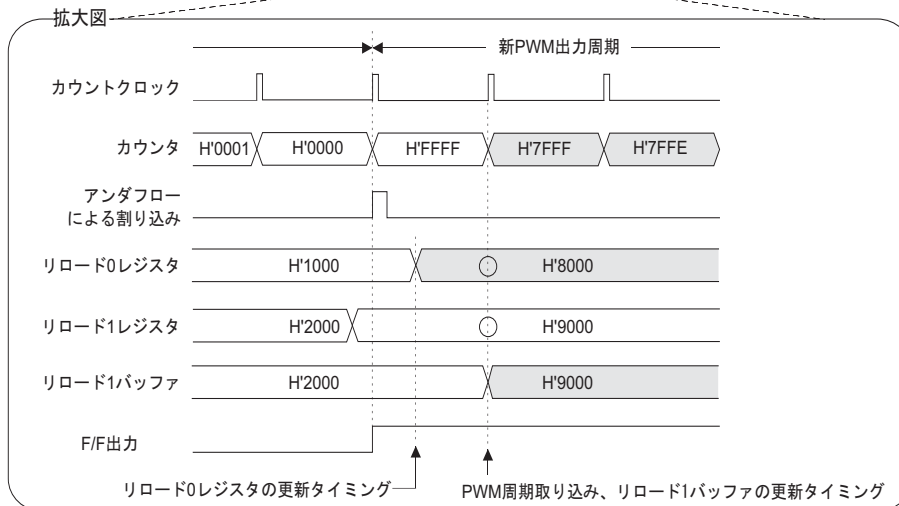
TIO PWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分の遅延が発生します。

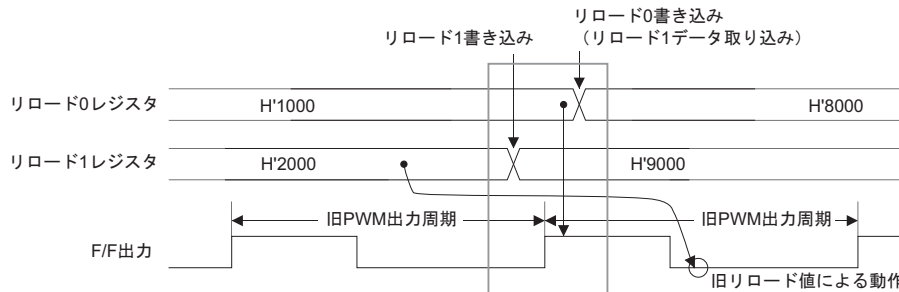
(a) 現周期でリロードレジスタ更新が有効となる場合 (次周期に反映)



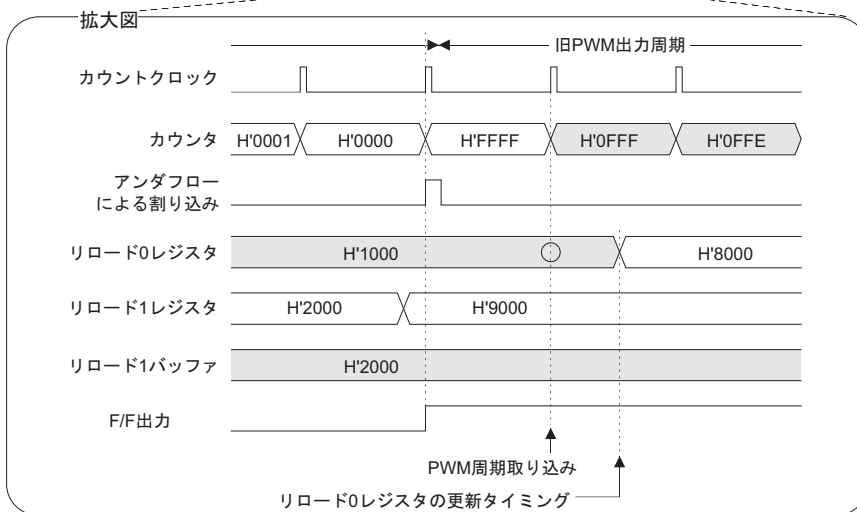
拡大図



(b) 次周期でリロードレジスタ更新が有効となる場合 (1周期遅れで反映)



拡大図



注: ・本図においては、詳細タイミング情報は含みません。

図10.4.12 PWM出力モードにおけるリロード0、1レジスタの更新

10.4.12 TIOワンショット出力モード(補正機能なし)の動作

(1) TIOワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、次のサイクルにカウントクロックに同期して"リロード0レジスタ-1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタのアンダフローで割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

カウント値はリロード0レジスタの設定値+1です(カウント動作については「10.3.9 TOPワンショット出力モードの動作」も参照してください)。

(2) TIOワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

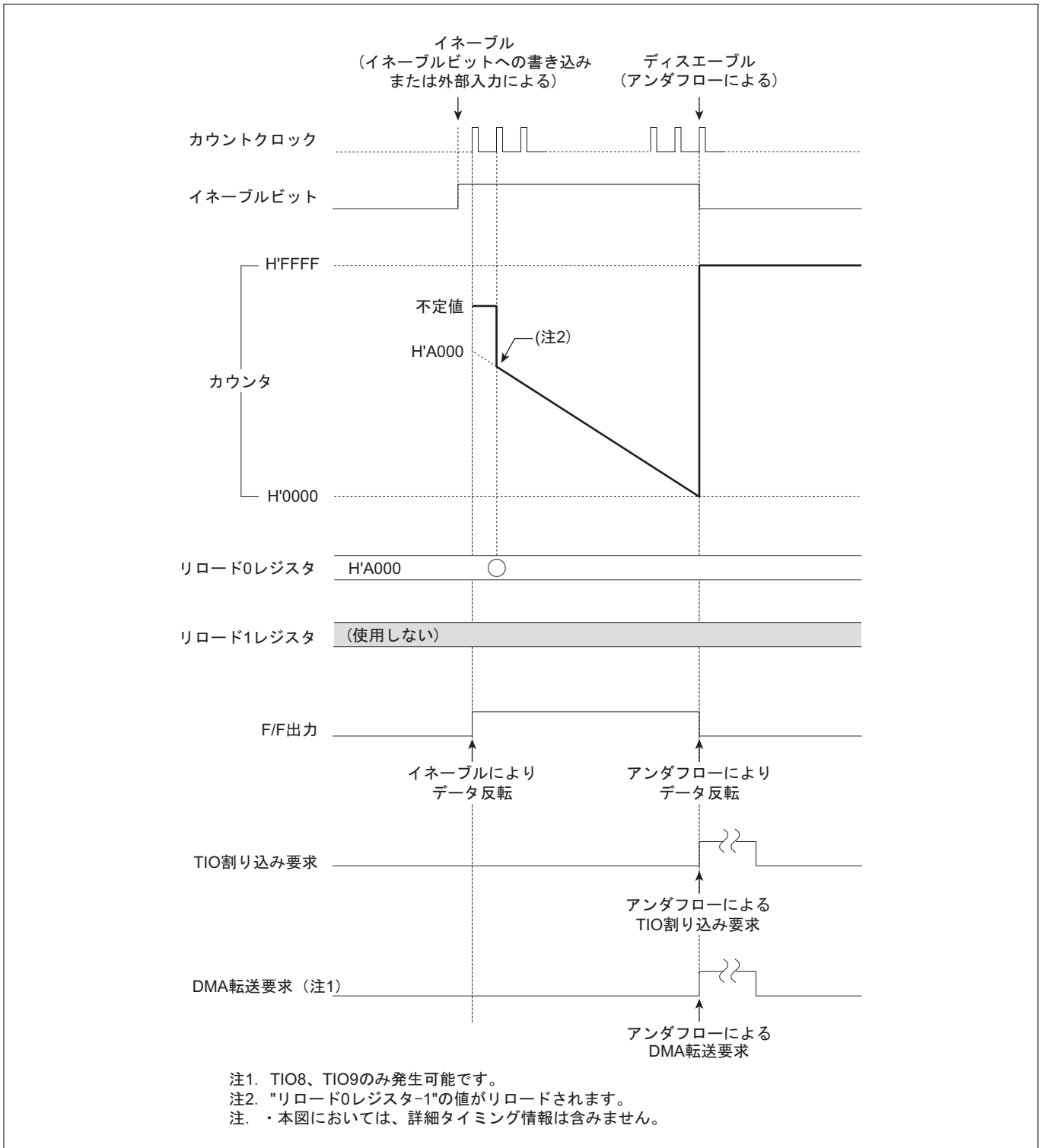


図10.4.13 TIOワンショット出力モード(補正機能なし)の動作例

10.4.13 TIOディレイドワンショット出力モード(補正機能なし)の動作

(1) TIOディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで「リロード0レジスタ-1」の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが「L」→「H」、または「H」→「L」に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については「10.3.10 TOPディレイドワンショット出力モードの動作」も参照してください)。

(2) TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウンタクロックでカウンタ値は「リロードレジスタ値-1」の値をリロードします。

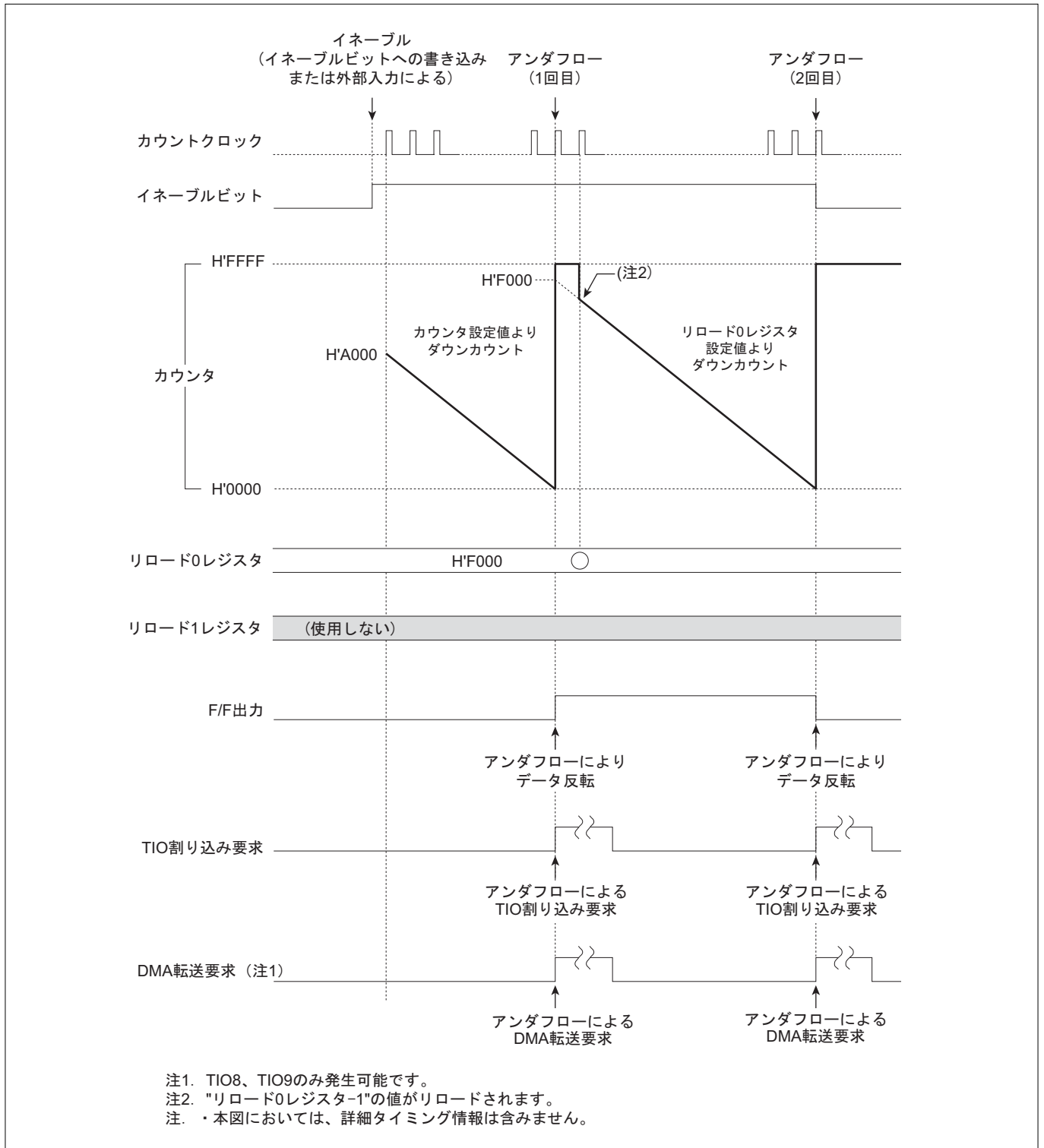


図10.4.14 TIOディレイドワンショット出力モード(補正機能なし)の動作例

10.4.14 TIO連続出力モード(補正機能なし)の動作

(1) TIO連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローの次サイクルで"リロードレジスタ - 1"の値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値 + 1で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローの次のサイクルで"リロードレジスタ - 1"の内容をカウンタにロードし、再度カウントを行います。

以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。カウンタにリロードするタイミングは、アンダフローの次のサイクルです。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA転送要求(TIO8、TIO9のみ可能)を発生することができます。

カウンタの設定値 + 1、リロードレジスタの設定値 + 1がカウント値として有効です(カウント動作については「10.3.11 TOP連続出力モードの動作」も参照してください)。

(2) TIO連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

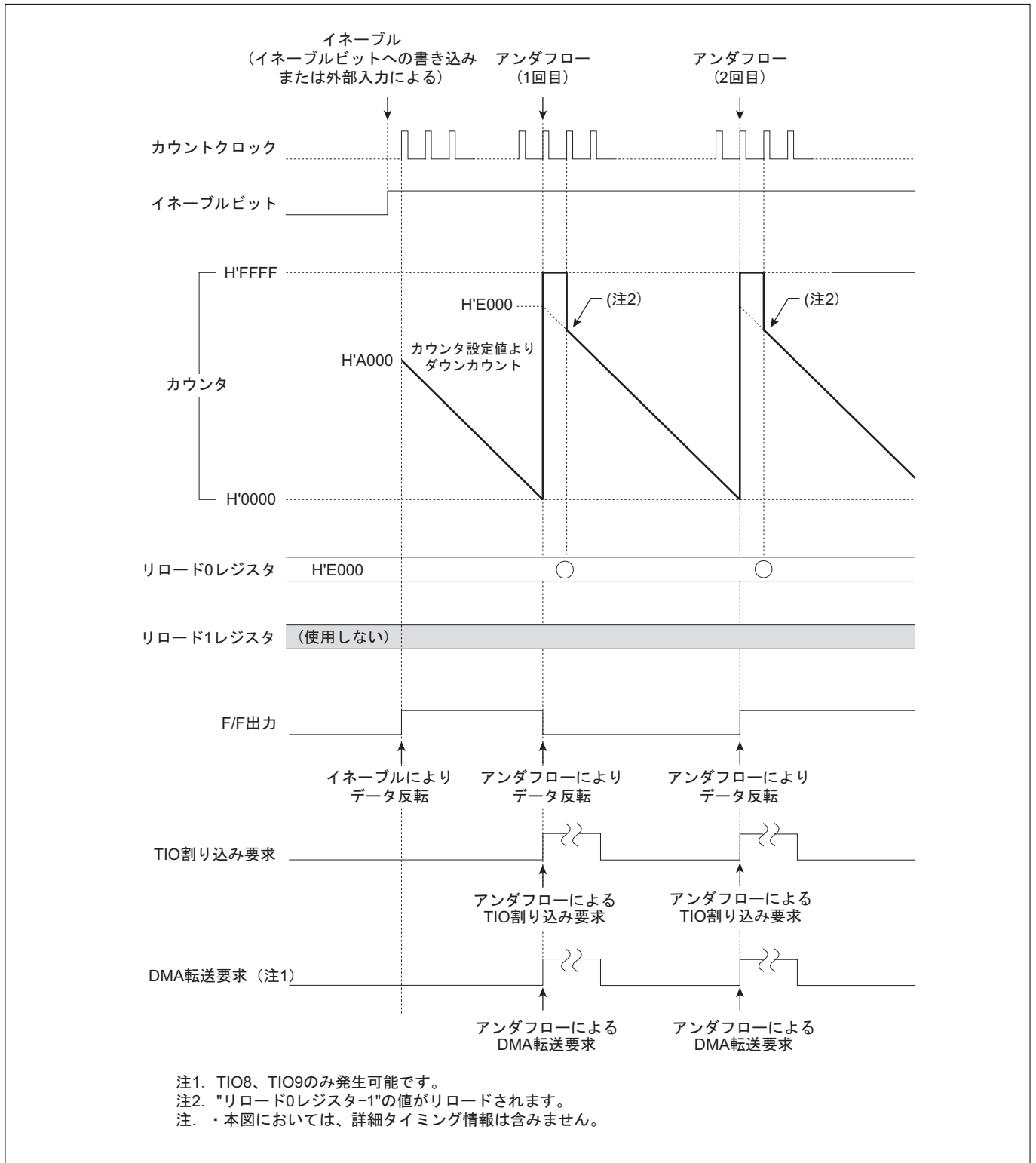


図10.4.15 TIO連続出力モード(補正機能なし)の動作例

10.5 TMS(入力系16ビットタイマ)

10.5.1 TMS概要

TMS(Timer Measure Small)は入力系16ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMSの仕様を、また次ページにTMSのブロック図を示します。

表10.5.1 TMS(入力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル(2系統 各4チャンネル、計8チャンネル)
カウンタ	16ビットアップカウンタ(2本)
計測レジスタ	16ビット計測レジスタ(8本)
タイマの起動	イネーブルビットへのソフトウェア書き込み
割り込み要求発生	カウンタのオーバフローで発生可能

10.5.2 TMSの動作概要

TMSは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは16ビットのアップカウンタで、外部入力による計測信号の発生で、カウンタ値を各計測レジスタに取り込みます。

カウンタの停止は、ソフトウェアによるイネーブルビットへのカウンタ禁止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込みを、またカウンタのオーバフロー発生でTMS割り込み要求を発生することができます。

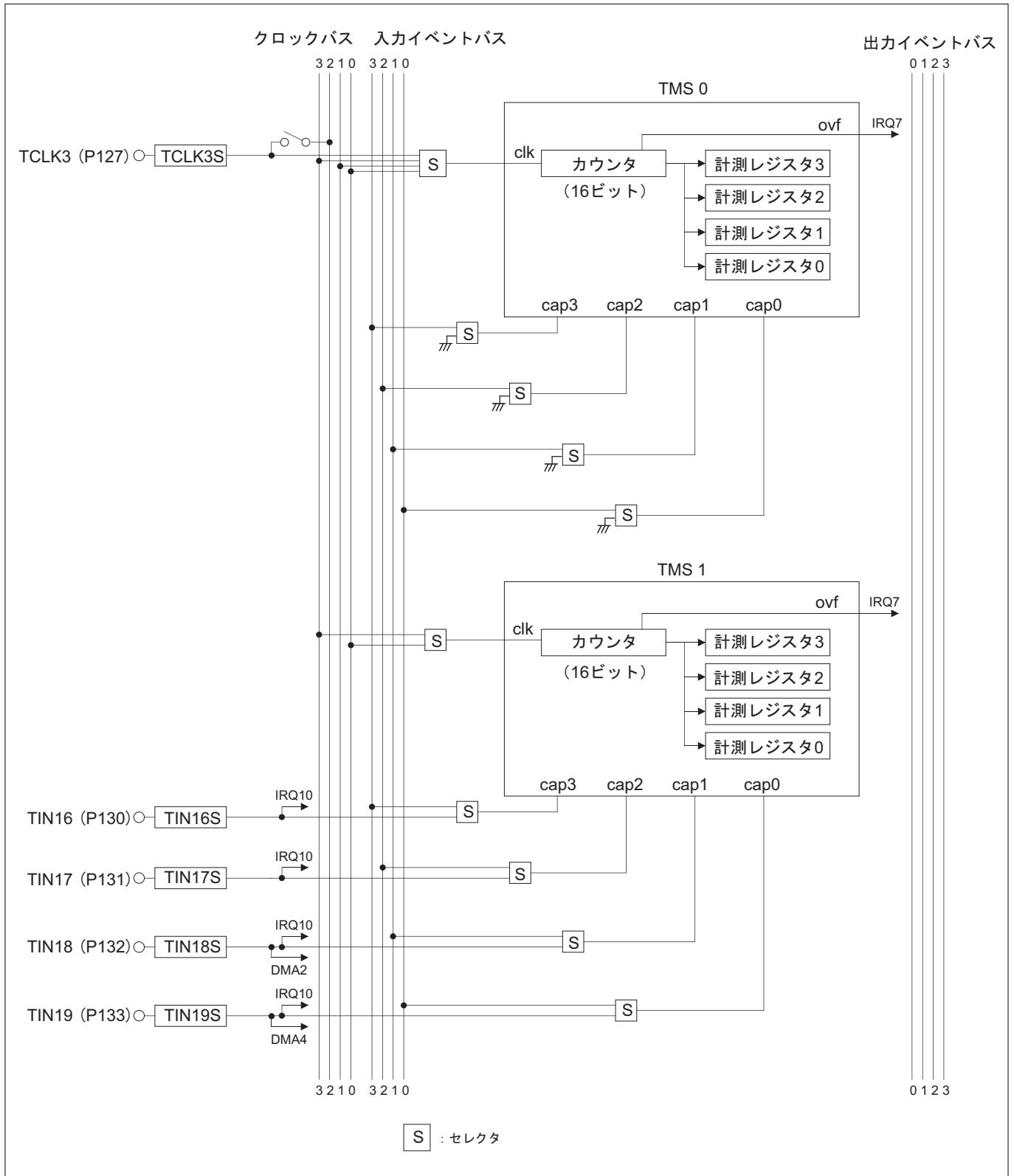


図10.5.1 TMS(入力系16ビットタイマ)ブロック図

< カウントクロック分のディレイ >

- タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。

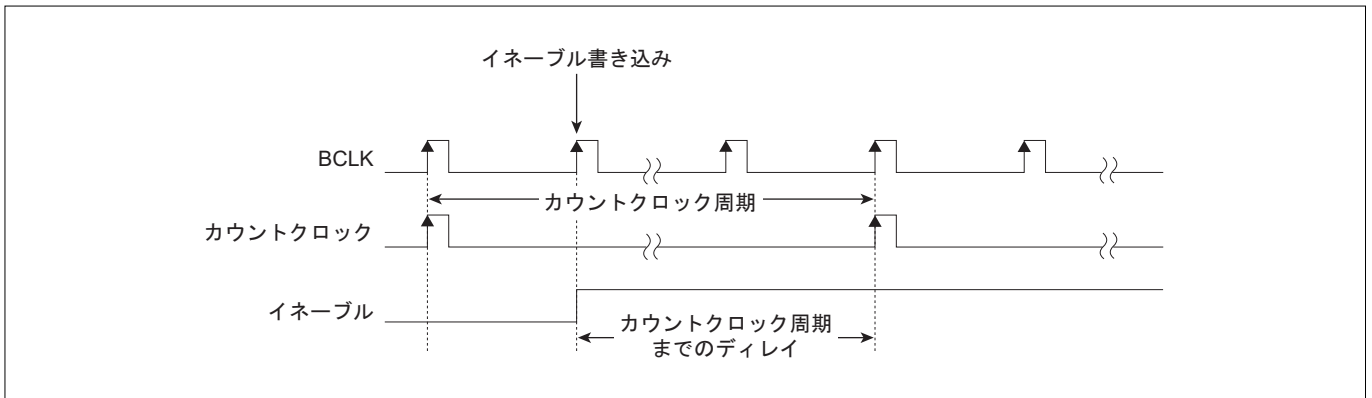


図10.5.2 カウントクロック分のディレイ

10.5.3 TMS関連レジスタマップ

以下にTMS関連のレジスタマップを示します。

TMS関連レジスタマップ

番地	b0	+ 0番地	b7	b8	+ 1番地	b15	掲載ページ
H'0080 03C0	TMS0カウンタ (TMS0CT)						10-127
H'0080 03C2	TMS0計測3レジスタ (TMS0MR3)						10-127
H'0080 03C4	TMS0計測2レジスタ (TMS0MR2)						10-127
H'0080 03C6	TMS0計測1レジスタ (TMS0MR1)						10-127
H'0080 03C8	TMS0計測0レジスタ (TMS0MR0)						10-127
H'0080 03CA	TMS0制御レジスタ (TMS0CR)			TMS1制御レジスタ (TMS1CR)			10-126
	(使用禁止領域)						
H'0080 03D0	TMS1カウンタ (TMS1CT)						10-127
H'0080 03D2	TMS1計測3レジスタ (TMS1MR3)						10-127
H'0080 03D4	TMS1計測2レジスタ (TMS1MR2)						10-127
H'0080 03D6	TMS1計測1レジスタ (TMS1MR1)						10-127
H'0080 03D8	TMS1計測0レジスタ (TMS1MR0)						10-127

10.5.4 TMS制御レジスタ

TMS制御レジスタは、TMS0、1の入カイベント選択、カウントクロックの入力選択、およびカウントイネーブルの制御を行います。

TMS制御レジスタには、以下のレジスタがあります。

- TMS0制御レジスタ(TMS0CR)
- TMS1制御レジスタ(TMS1CR)

TMS0制御レジスタ(TMS0CR)

< アドレス : H'0080 03CA >

b0	1	2	3	4	5	6	b7
TMS0SS0	TMS0SS1	TMS0SS2	TMS0SS3	TMS0CKS			TMS0CEN
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	TMS0SS0 TMS0計測0ソース選択ビット	0 : 計測入力ソースを使用しません。 1 : 入力イベントバス0	R	W
1	TMS0SS1 TMS0計測1ソース選択ビット	0 : 計測入力ソースを使用しません。 1 : 入力イベントバス1	R	W
2	TMS0SS2 TMS0計測2ソース選択ビット	0 : 計測入力ソースを使用しません。 1 : 入力イベントバス2	R	W
3	TMS0SS3 TMS0計測3ソース選択ビット	0 : 計測入力ソースを使用しません。 1 : 入力イベントバス3	R	W
4, 5	TMS0CKS TMS0クロックソース選択ビット	00 : 外部入力TCLK3 01 : クロックバス0 10 : クロックバス1 11 : クロックバス3	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	TMS0CEN TMS0カウントイネーブルビット	0 : カウント停止 1 : カウント開始	R	W

TMS1制御レジスタ(TMS1CR)

< アドレス : H'0080 03CB >

b8	9	10	11	12	13	14	b15
TMS1SS0	TMS1SS1	TMS1SS2	TMS1SS3		TMS1CKS		TMS1CEN
0	0	0	0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TMS1SS0 TMS1計測0ソース選択ビット	0 : 外部入力TIN19 1 : 入力イベントバス0	R	W
9	TMS1SS1 TMS1計測1ソース選択ビット	0 : 外部入力TIN18 1 : 入力イベントバス1	R	W
10	TMS1SS2 TMS1計測2ソース選択ビット	0 : 外部入力TIN17 1 : 入力イベントバス2	R	W
11	TMS1SS3 TMS1計測3ソース選択ビット	0 : 外部入力TIN16 1 : 入力イベントバス3	R	W
12	何も配置されていません。"0"に固定してください。		0	0
13	TMS1CKS TMS1クロックソース選択ビット	0 : クロックバス0 1 : クロックバス3	R	W
14	何も配置されていません。"0"に固定してください。		0	0
15	TMS1CEN TMS1カウントイネーブルビット	0 : カウント停止 1 : カウント開始	R	W

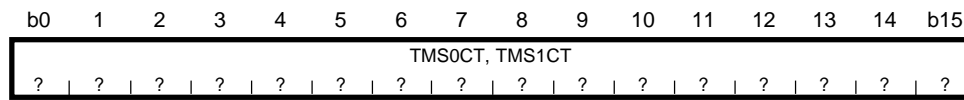
10.5.5 TMSカウンタ(TMS0CT, TMS1CT)

TMS0カウンタ(TMS0CT)

<アドレス: H'0080 03C0 >

TMS1カウンタ(TMS1CT)

<アドレス: H'0080 03D0 >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TMS0CT, TMS1CT	16ビットカウンタ値	R	W

注...このレジスタは、必ずハーフワードでアクセスしてください。

TMSカウンタは16ビットのアップカウンタで、タイマの起動(イネーブルビットへのソフトウェア書き込み)によりカウント動作を開始します。

カウンタは動作中の読み出しが可能です。

10.5.6 TMS計測レジスタ(TMS0MR3~0, TMS1MR3~0)

TMS0計測3レジスタ(TMS0MR3)

<アドレス: H'0080 03C2 >

TMS0計測2レジスタ(TMS0MR2)

<アドレス: H'0080 03C4 >

TMS0計測1レジスタ(TMS0MR1)

<アドレス: H'0080 03C6 >

TMS0計測0レジスタ(TMS0MR0)

<アドレス: H'0080 03C8 >

TMS1計測3レジスタ(TMS1MR3)

<アドレス: H'0080 03D2 >

TMS1計測2レジスタ(TMS1MR2)

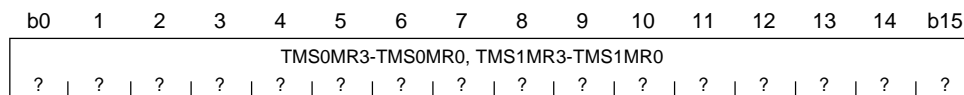
<アドレス: H'0080 03D4 >

TMS1計測1レジスタ(TMS1MR1)

<アドレス: H'0080 03D6 >

TMS1計測0レジスタ(TMS1MR0)

<アドレス: H'0080 03D8 >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TMS0MR3-TMS0MR0 TMS1MR3-TMS1MR0	16ビット計測値	R	-

注...このレジスタは読み出しのみ可能です。

・このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TMS計測レジスタは、読み出しのみ可能です。

10.5.7 TMS計測入力の動作

(1) TMS計測入力概要

TMS計測入力では、まずタイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウントを開始します。タイマ動作中にTMSイベント入力がある場合、計測レジスタ0~3にカウンタ値を取り込みます。

タイマの停止は、イネーブルビットへのカウント停止書き込みと同時にされます。

外部から計測信号が入力された場合にはTIN割り込みを、またカウンタがオーバフローした場合にはTMS割り込み要求を発生することができます。

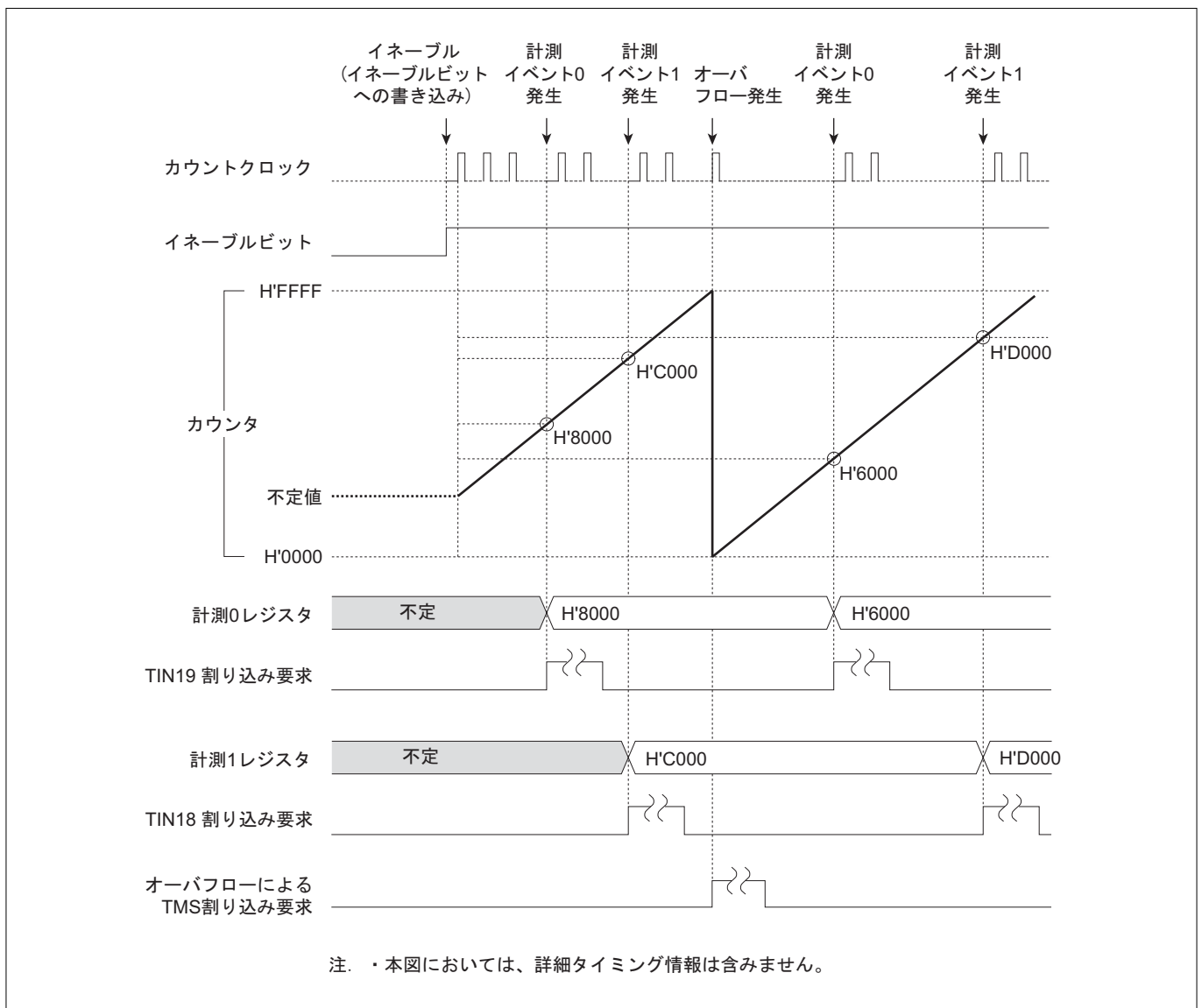


図10.5.3 TMS計測入力の動作例

(2) TMS計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.6 TML(入力系32ビットタイマ)

10.6.1 TML概要

TML(Timer Measure Large)は入力系32ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMLの仕様、およびTMLのブロック図を示します。

表10.6.1 TML(入力系32ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル(2系統、各4チャンネル、計8チャンネル)
入力クロック	BCLK/4($f(BCLK) = 40\text{MHz}$ 時は10.0MHz)、BCLK/2($f(BCLK) = 40\text{MHz}$ 時は20.0MHz)、またはクロックバス1入力
カウンタ	32ビットアップカウンタ(2本)
計測レジスタ	32ビット計測レジスタ(8本)
タイマの起動	リセット解除後カウント動作開始

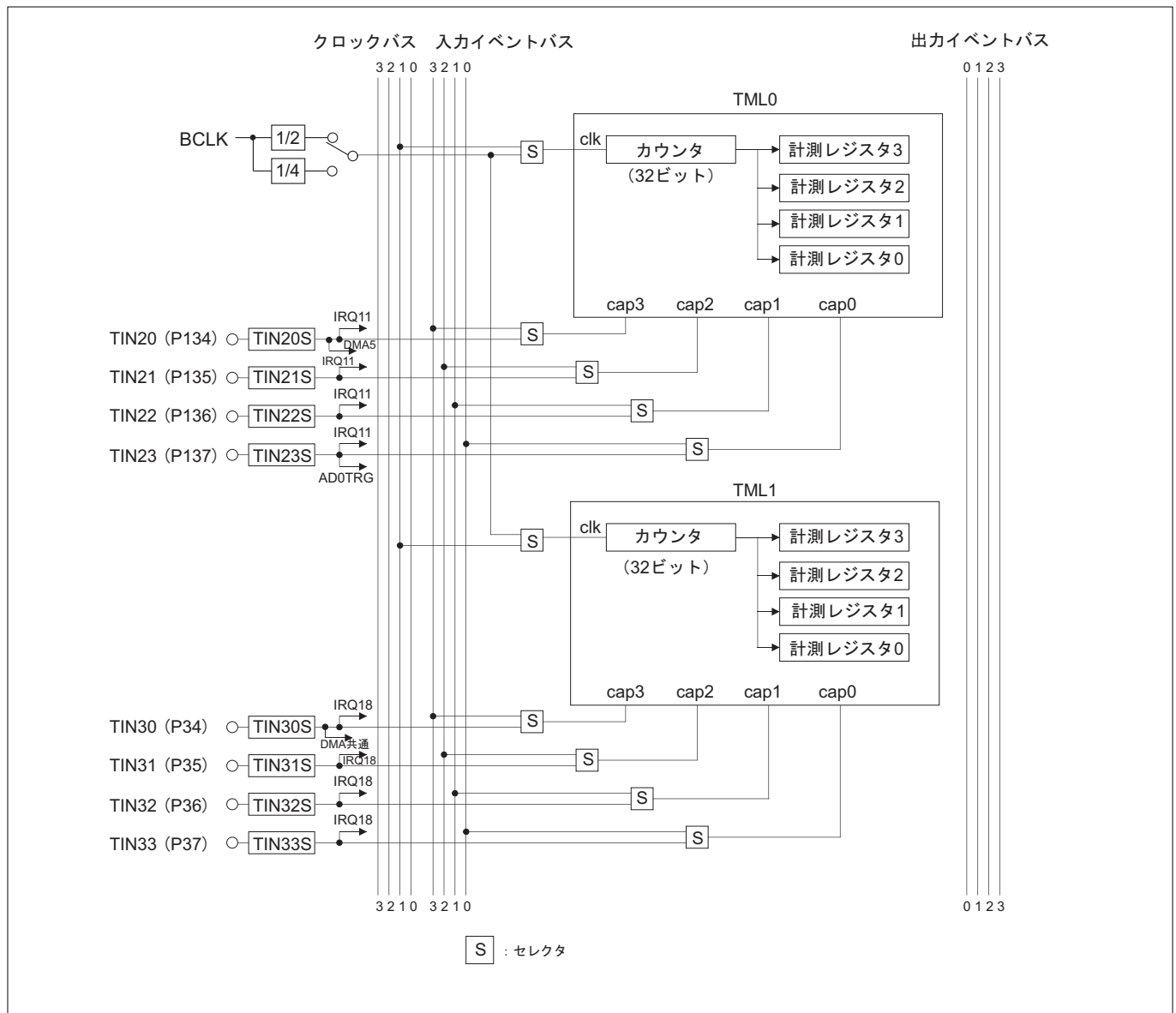


図10.6.1 TML(入力系32ビットタイマ)ブロック図

10.6.2 TMLの動作概要

TMLは、リセット解除により、カウンタの動作を開始します。カウンタは32ビットのアップカウンタで、外部入力による計測イベント信号の発生で、その時点のカウント値を各計測レジスタ(32ビット)に格納します。

カウンタはリセット解除により、BCLK/4クロックで動作を開始します。動作開始後カウンタを停止させることはできません。リセット中のみカウントを停止します。

外部計測信号の入力でTIN割り込み要求を発生することができます。ただし、TMLカウンタのオーバーフロー割り込み要求はありません。

10.6.3 TML関連レジスタマップ

以下にTML関連のレジスタマップを示します。

TML関連レジスタマップ

番地	b0	+0番地	b7	b8	+1番地	b15	掲載ページ
H'0080 03E0	TML0カウンタ (TML0CT)				(上位) (TML0CTH)		10-132
H'0080 03E2					(下位) (TML0CTL)		
}	(使用禁止領域)						
H'0080 03EA	(使用禁止領域)				TML0制御レジスタ (TML0CR)		10-131
}	(使用禁止領域)						
H'0080 03F0	TML0計測3レジスタ (TML0MR3)				(上位) (TML0MR3H)		10-132
H'0080 03F2					(下位) (TML0MR3L)		
H'0080 03F4	TML0計測2レジスタ (TML0MR2)				(上位) (TML0MR2H)		10-132
H'0080 03F6					(下位) (TML0MR2L)		
H'0080 03F8	TML0計測1レジスタ (TML0MR1)				(上位) (TML0MR1H)		10-132
H'0080 03FA					(下位) (TML0MR1L)		
H'0080 03FC	TML0計測0レジスタ (TML0MR0)				(上位) (TML0MR0H)		10-132
H'0080 03FE					(下位) (TML0MR0L)		
}							
H'0080 0FE0	TML1カウンタ (TML1CT)				(上位) (TML1CTH)		10-132
H'0080 0FE2					(下位) (TML1CTL)		
}	(使用禁止領域)						
H'0080 0FEA	(使用禁止領域)				TML1制御レジスタ (TML1CR)		10-131
}	(使用禁止領域)						
H'0080 0FF0	TML1計測3レジスタ (TML1MR3)				(上位) (TML1MR3H)		10-132
H'0080 0FF2					(下位) (TML1MR3L)		
H'0080 0FF4	TML1計測2レジスタ (TML1MR2)				(上位) (TML1MR2H)		10-132
H'0080 0FF6					(下位) (TML1MR2L)		
H'0080 0FF8	TML1計測1レジスタ (TML1MR1)				(上位) (TML1MR1H)		10-132
H'0080 0FFA					(下位) (TML1MR1L)		
H'0080 0FFC	TML1計測0レジスタ (TML1MR0)				(上位) (TML1MR0H)		10-132
H'0080 0FFE					(下位) (TML1MR0L)		

10.6.4 TML制御レジスタ

TML0制御レジスタ(TML0CR)

<アドレス: H'0080 03EB >

b8	9	10	11	12	13	14	b15
TML0SS0	TML0SS1	TML0SS2	TML0SS3	0	0	0	TML0CKS
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	TML0SS0 TML0計測0ソース選択ビット	0: 外部入力TIN23 1: 入力イベントバス0	R	W
9	TML0SS1 TML0計測1ソース選択ビット	0: 外部入力TIN22 1: 入力イベントバス1	R	W
10	TML0SS2 TML0計測2ソース選択ビット	0: 外部入力TIN21 1: 入力イベントバス2	R	W
11	TML0SS3 TML0計測3ソース選択ビット	0: 外部入力TIN20 1: 入力イベントバス3	R	W
12~14	何も配置されていません。"0"に固定してください。		0	0
15	TML0CKS TML0クロックソース選択ビット	0: BCLK/2、またはBCLK/4(注1) 1: クロックバス1	R	W

注1. BCLK/2、BCLK/4の選択は、PRS012CKΣ(プリスケアラ0-2、TML0, 1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウントクロック選択機能」を参照してください。

TML1制御レジスタ(TML1CR)

<アドレス: H'0080 0FEB >

b8	9	10	11	12	13	14	b15
TML1SS0	TML1SS1	TML1SS2	TML1SS3	0	0	0	TML1CKS
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	TML1SS0 TML1計測0ソース選択ビット	0: 外部入力TIN33 1: 入力イベントバス0	R	W
9	TML1SS1 TML1計測1ソース選択ビット	0: 外部入力TIN32 1: 入力イベントバス1	R	W
10	TML1SS2 TML1計測2ソース選択ビット	0: 外部入力TIN31 1: 入力イベントバス2	R	W
11	TML1SS3 TML1計測3ソース選択ビット	0: 外部入力TIN30 1: 入力イベントバス3	R	W
12~14	何も配置されていません。"0"に固定してください。		0	0
15	TML1CKS TML1クロックソース選択ビット	0: BCLK/2、またはBCLK/4(注1) 1: クロックバス1	R	W

注1. BCLK/2、BCLK/4の選択は、PRS012CKΣ(プリスケアラ0-2、TML0, 1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウントクロック選択機能」を参照してください。

TML制御レジスタは、TMLの入力イベント選択およびカウントクロックの選択を行います。

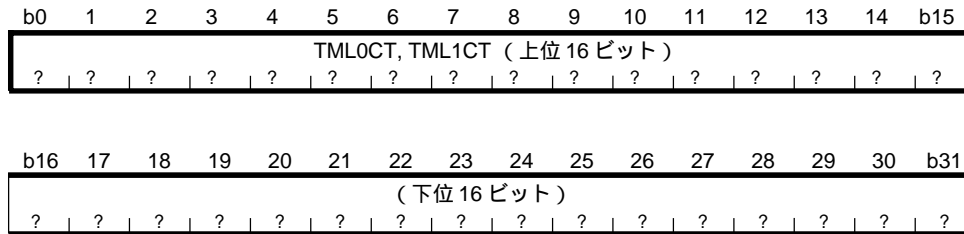
10.6.5 TMLカウンタ

TML0カウンタ(TML0CT)

<アドレス: H'0080 03E0 >

TML1カウンタ(TML1CT)

<アドレス: H'0080 0FE0 >



<リセット解除時: 不定 >

b	ビット名	機能	R	W
0~31	TML0CT	32ビットカウンタ値	R	W

注. . このレジスタは必ずワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

TMLカウンタは32ビットのアップカウンタで、リセット解除後、カウント動作を開始します。
カウンタは動作中の読み出しが可能です。

10.6.6 TML計測レジスタ

TML0計測3レジスタ(TML0MR3)

<アドレス: H'0080 03F0 >

TML0計測2レジスタ(TML0MR2)

<アドレス: H'0080 03F4 >

TML0計測1レジスタ(TML0MR1)

<アドレス: H'0080 03F8 >

TML0計測0レジスタ(TML0MR0)

<アドレス: H'0080 03FC >

TML1計測3レジスタ(TML1MR3)

<アドレス: H'0080 0FF0 >

TML1計測2レジスタ(TML1MR2)

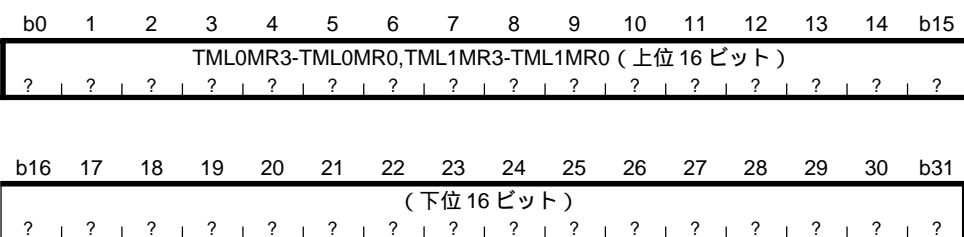
<アドレス: H'0080 0FF4 >

TML1計測1レジスタ(TML1MR1)

<アドレス: H'0080 0FF8 >

TML1計測0レジスタ(TML1MR0)

<アドレス: H'0080 0FFC >



<リセット解除時: 不定 >

b	ビット名	機能	R	W
0~31	TML0MR3-TML0MR0, TML1MR3-TML1MR0	32ビット計測レジスタ値	R	-

注. . これらのレジスタは読み出しのみ可能です。

. これらのレジスタは必ずワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

TML計測レジスタは、イベント入力時にカウンタの内容を取り込む32ビットのレジスタです。TML計測レジスタは、読み出しのみ可能です。

10.6.7 TML計測入力の動作

(1) TML計測入力概要

TML計測入力では、リセット解除によりアップカウントを開始します。計測レジスタ0~3 イベント入力があると、カウンタ値を計測レジスタに取り込みます。

外部計測信号の入力でTIN割り込み要求を発生することができます(カウンタのオーバーフロー割り込み要求はありません)。

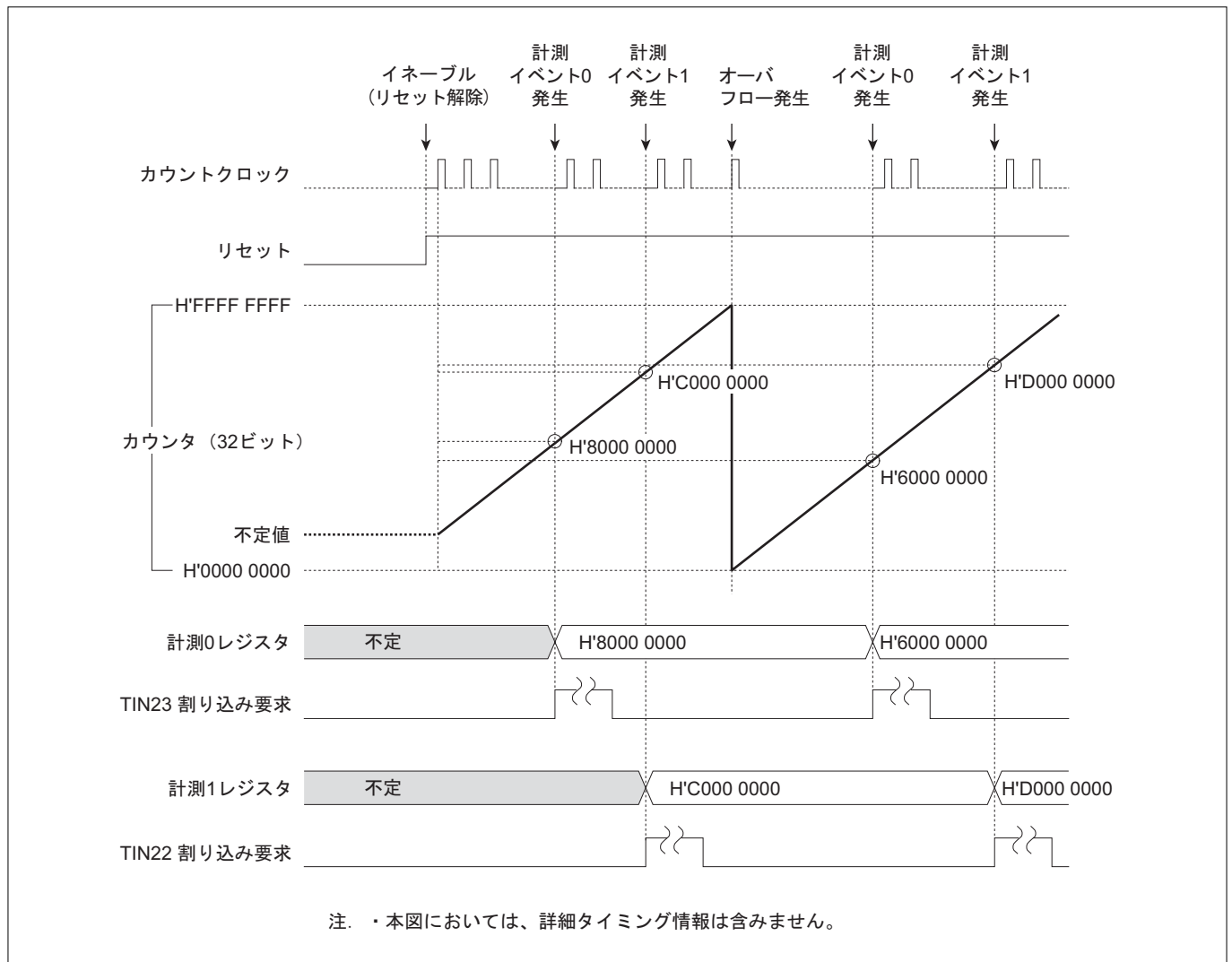


図10.6.2 TML計測入力の動作例

(2) TML計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き換え前の)アップカウント値が取り込まれます。
- クロックバス1を選択した場合で、内部プリスケータPRS1による分周によりBCLK/2、またはBCLK/4(注1)以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも1つ進んだ値を取り込みます。ただし、カウントクロックからBCLK/2、またはBCLK/4(注1)周期の間は、カウント値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

注1 . BCLK/2、BCLK/4の選択は、PRS012CKS(プリスケータ0-2、TML0, 1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウントクロック選択機能」を参照してください。

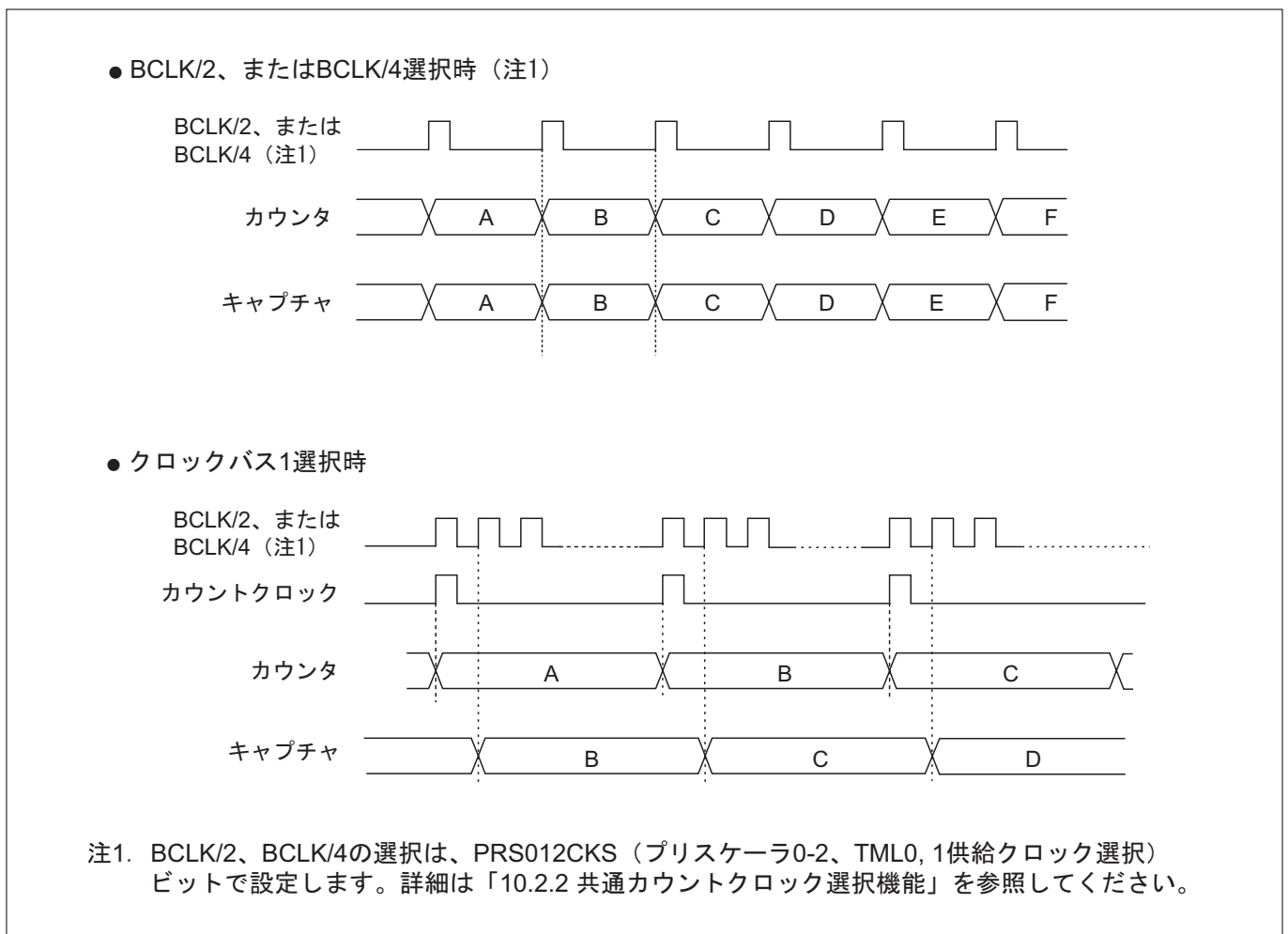


図10.6.3 カウンタ値とキャプチャ値のずれ

10.7 TID(入力系16ビットタイマ)

10.7.1 TID概要

TID(Timer Input Derivation)は入力系16ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

- 定周期カウントモード
- イベントカウントモード
- 4通倍イベントカウントモード
- アップ/ダウンイベントカウントモード

以下にTIDの仕様を、また次ページにTIDのブロック図を示します。

表10.7.1 TID(入力16ビットタイマ)の仕様

項目	仕様
チャンネル数	2チャンネル
カウンタ	16ビットアップダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み
動作モード	<入力モード> <ul style="list-style-type: none"> ● 定周期カウントモード ● イベントカウントモード ● 4通倍イベントカウントモード ● アップ/ダウンイベントカウントモード
割り込み要求発生	カウンタのアンダフローとオーバフローで発生可能
DMA転送要求発生	カウンタのアンダフローとオーバフローで発生可能

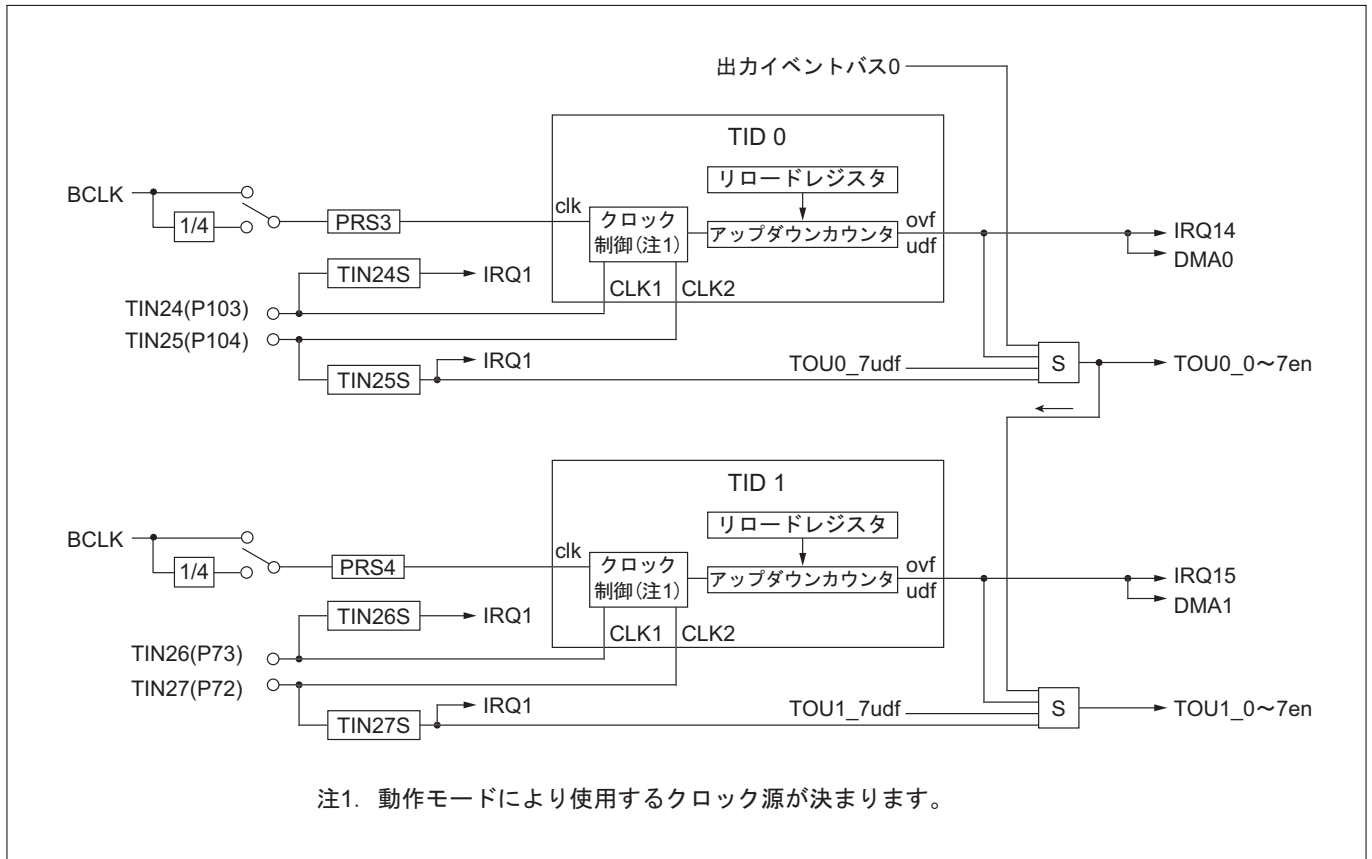


図10.7.1 TID(入力系16ビットタイマ)ブロック図

< カウントクロック分のディレイ >

- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからタイマ動作開始までに最大で1カウントクロック分のディレイが発生します。

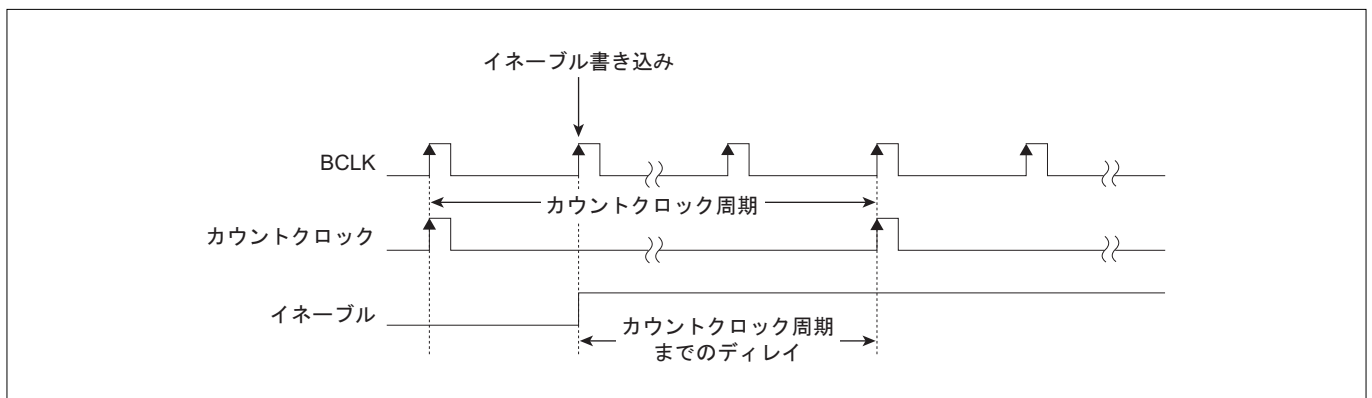


図10.7.2 カウントクロック分のディレイ

10.7.2 TID関連レジスタマップ

以下にTID関連のレジスタマップを示します。

TID関連レジスタマップ

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8 b15	
H'0080 078C	TID0カウンタ (TID0CT)		10-140
H'0080 078E	TID0リロードレジスタ (TID0RL)		10-140
}			
H'0080 07D0	TID0制御 & プリスケアラ3イネーブルレジスタ (TID0PRS3EN)		10-138
}			
H'0080 0B8C	TID1カウンタ (TID1CT)		10-140
H'0080 0B8E	TID1リロードレジスタ (TID1RL)		10-140
}			
H'0080 0BD0	TID1制御 & プリスケアラ4イネーブルレジスタ (TID1PRS4EN)		10-139

10.7.3 TID制御&プリスケラ3イネーブルレジスタ

TID0制御&プリスケラ3イネーブルレジスタ(TID0PRS3EN)

<アドレス : H'0080 07D1 >

b8	9	10	11	12	13	14	b15
TID0M		TID0CEN		TOU0ENS		PRS3EN	
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~10	TID0M TID0動作モード選択ビット	000 : 定周期カウントモード 001 : " 010 : 4通倍イベントカウントモード 011 : イベントカウントモード 100 : 定周期カウントモード 101 : " 110 : 4通倍イベントカウントモード 111 : アップ/ダウンイベントカウントモード	R	W
11	TID0CEN TID0カウントイネーブルビット	0 : TID0 カウント停止 1 : TID0 カウント開始	R	W
12~14	TOU0ENS TOU0イネーブル要因選択ビット	000 : イベントイネーブル禁止 001 : " 010 : TID0アンダフロー/オーバフロー 011 : TOU0_7アンダフロー 100 : イベントイネーブル禁止 101 : " 110 : 出力イベントバス0 111 : 外部入力TIN25信号	R	W
15	PRS3EN プリスケラ3イネーブルビット	0 : プリスケラ3 カウント停止 1 : プリスケラ3 カウント開始	R	W

注 . . 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TID0制御&プリスケラ3イネーブルレジスタは、TID0の動作モード(定周期カウントモード、イベントカウントモード、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOU0_0~7タイマのイネーブル要因選択、プリスケラ3の起動制御を行います。

TID1制御&プリスケラ4イネーブルレジスタ(TID1PRS4EN)

<アドレス: H'0080 0BD1>

b8	9	10	11	12	13	14	b15
TID1M		TID1CEN		TOU1ENS			PRS4EN
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8~10	TID1M TID1動作モード選択ビット	000: 定周期カウントモード 001: " 010: 4通倍イベントカウントモード 011: イベントカウントモード 100: 定周期カウントモード 101: " 110: 4通倍イベントカウントモード 111: アップ/ダウンイベントカウントモード	R	W
11	TID1CEN TID1カウントイネーブルビット	0: TID1 カウント停止 1: TID1 カウント開始	R	W
12~14	TOU1ENS TOU1イネーブル要因選択ビット	000: イベントイネーブル禁止 001: " 010: TID1アンダフロー/オーバフロー 011: TOU1_7アンダフロー 100: イベントイネーブル禁止 101: " 110: TOU0の起動要因(注1) (TOU0ENSで選択した要因) 111: 外部入力TIN27信号	R	W
15	PRS4EN プリスケラ4イネーブルビット	0: プリスケラ4 カウント停止 1: プリスケラ4 カウント開始	R	W

注1. TOU0イネーブル要因選択で、イベントイネーブルを選択する必要があります。

注. ・動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TID1制御&プリスケラ4イネーブルレジスタは、TID1の動作モード(定周期カウントモード、イベントカウント、4通倍イベントカウントモード、アップ/ダウンイベントカウントモード)の選択、TOU1_0~7タイマのイネーブル要因選択、プリスケラ4の起動の制御を行います。

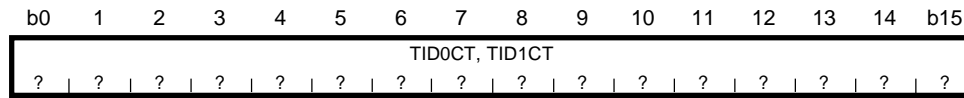
10.7.4 TIDカウンタ(TID0CT, TID1CT)

TID0カウンタ(TID0CT)

<アドレス : H'0080 078C >

TID1カウンタ(TID1CT)

<アドレス : H'0080 0B8C >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~15	TID0CT, TID1CT	16ビットカウンタ値	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIDカウンタは16ビットのアップダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウントクロックに同期してカウント動作を開始します。

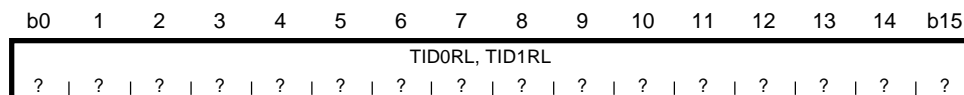
10.7.5 TIDリロードレジスタ(TID0RL, TID1RL)

TID0リロードレジスタ(TID0RL)

<アドレス : H'0080 078E >

TID1リロードレジスタ(TID1RL)

<アドレス : H'0080 0B8E >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~15	TID0RL, TID1RL	16ビットリロードレジスタ値	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

TIDリロードレジスタは、TIDカウンタレジスタ(TID0CT, TID1CT)へデータをリロードするためのレジスタです。

以下のタイミングに"リロードレジスタ - 1"の内容がカウントクロックに同期してカウンタにデータがロードされます。

- 定周期カウントモードでカウンタがイネーブルになった次のサイクル
- 定周期カウントモードでカウンタがアンダフローした次のサイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.7.6 TID各モードの概略

以下にTIDの各モードの概要を示します。TIDのモードは、この中から1つだけを選択できます。

(1) 定周期カウントモード

定周期カウントモードは、リロードレジスタを使用してリロードレジスタの設定値+1の周期で割り込み要求を発生するモードです。

注. ・ TINnはクロック源として使用できません。

リロードレジスタ設定後(初期値は不定)、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、次のサイクルにカウントクロックに同期して、"リロードレジスタ-1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローすると、再び"リロードレジスタ-1"の内容をカウンタにロードし、カウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。また、カウンタのアンダフローごとに、割り込み要求、およびDMA転送要求を発生することができます。リロードレジスタの設定値+1がカウント値として有効です。

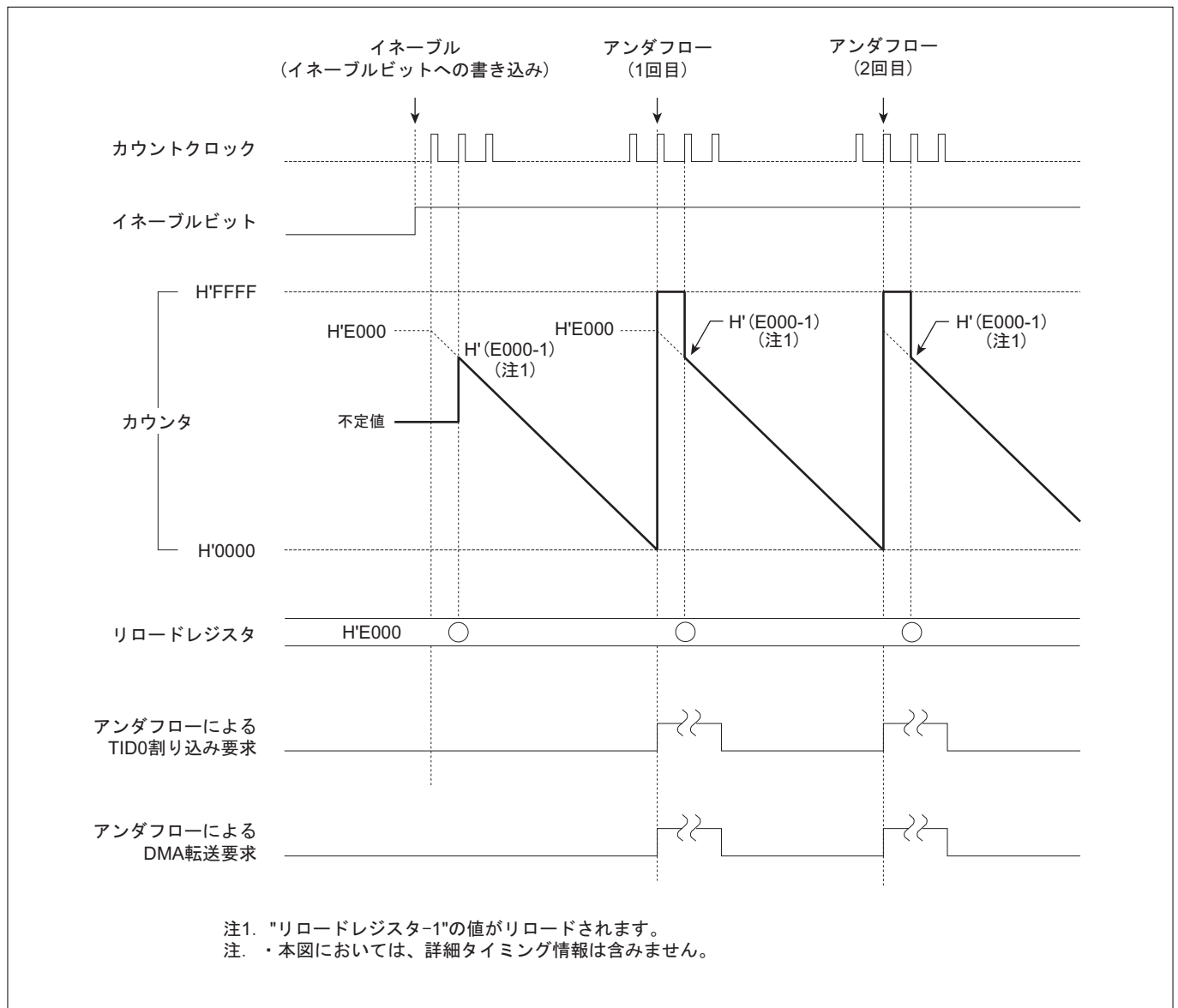


図10.7.3 TID定周期カウントモードの動作例

(2) イベントカウントモード

イベントカウントモードは、外部から入力された信号(TIN24, TIN26)をクロック源として、カウンタを動作させるモードです。

注 . ・ TIN25、TIN27はクロック源として使用できません。

外部から入力された信号(TIN24, TIN26)の立ち上がり、立ち下がりのエッジを検出し、内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウント設定値からアップカウントを開始します。

また、カウンタのオーバーフローで割り込み要求、およびDMA転送要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

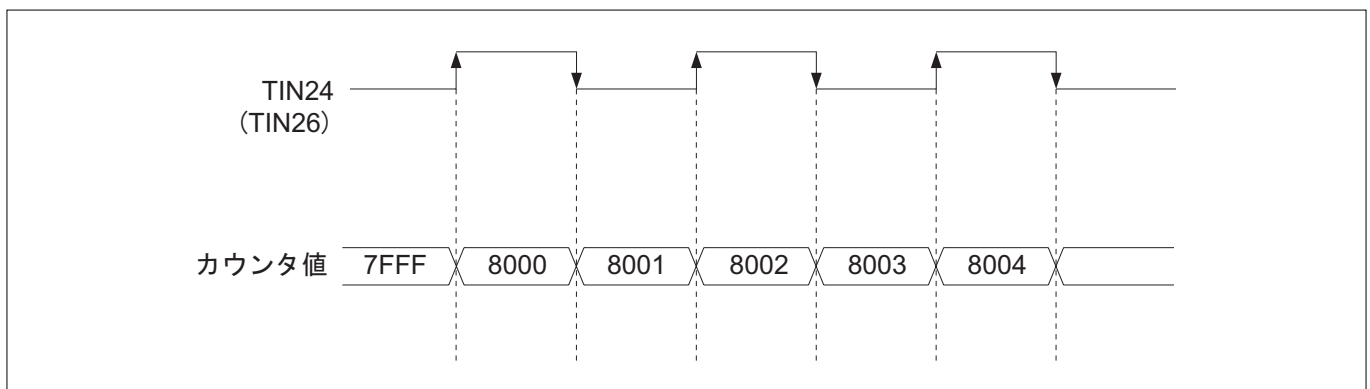


図10.7.4 TIDイベントカウントモード動作例(基本動作)

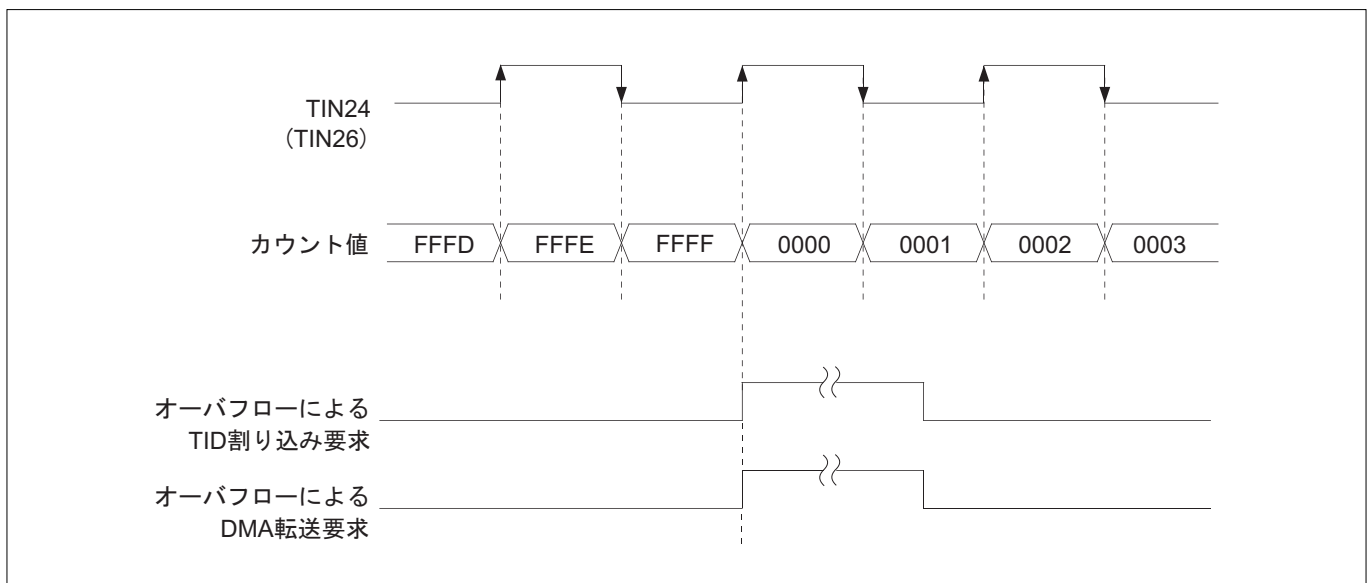


図10.7.5 TIDイベントカウントモード動作例(オーバーフロー発生時)

(3) 4通倍イベントカウントモード

4通倍イベントカウントモードは、外部から入力された2系統の信号(TIN24とTIN25、TIN26とTIN27)をクロック源として、カウンタを動作させるモードです。2本の信号の入力状態によって、アップカウントとダウンカウントを切り換えます。

外部から入力された信号は、2本とも立ち上がり、立ち下がりエッジを検出し内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み)すると、生成されたクロックに同期して、カウントを開始します。カウントの方向は、表10.7.2を参照してください。

また、カウンタのオーバフロー、アンダフローで割り込み要求、およびDMA転送要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からの入力信号のレベルを"H"または"L"に固定してください。

表10.7.2 4通倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIN24 (TIN26)	H	↓	L	↑	H	↓	L	↑
TIN25 (TIN27)	↑	H	↓	L	↓	L	↑	H

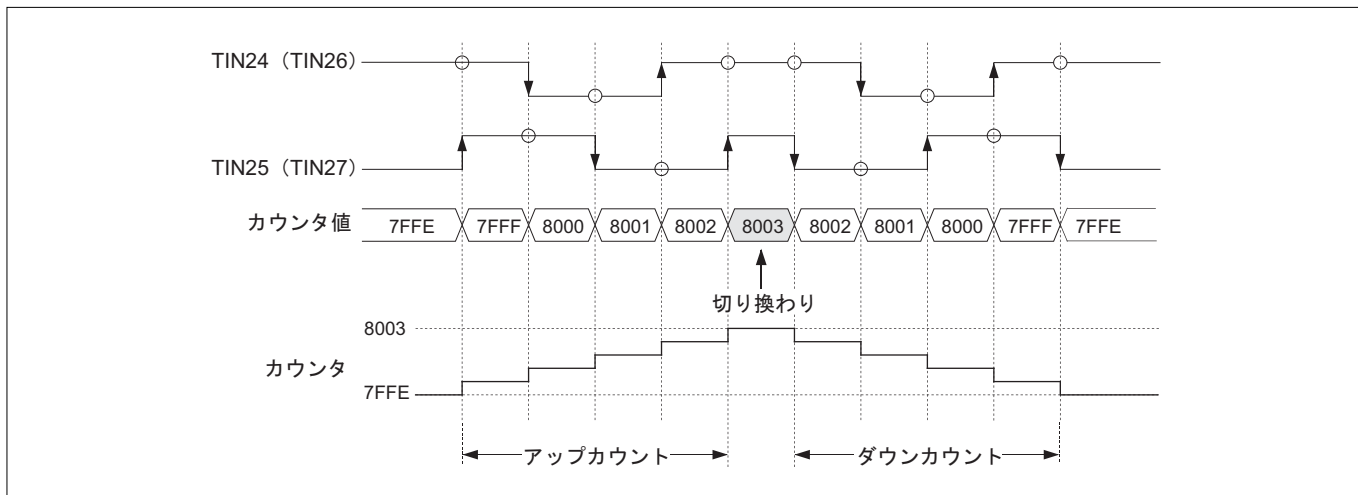


図10.7.6 4逓倍カウント動作(切り替わりタイミング)

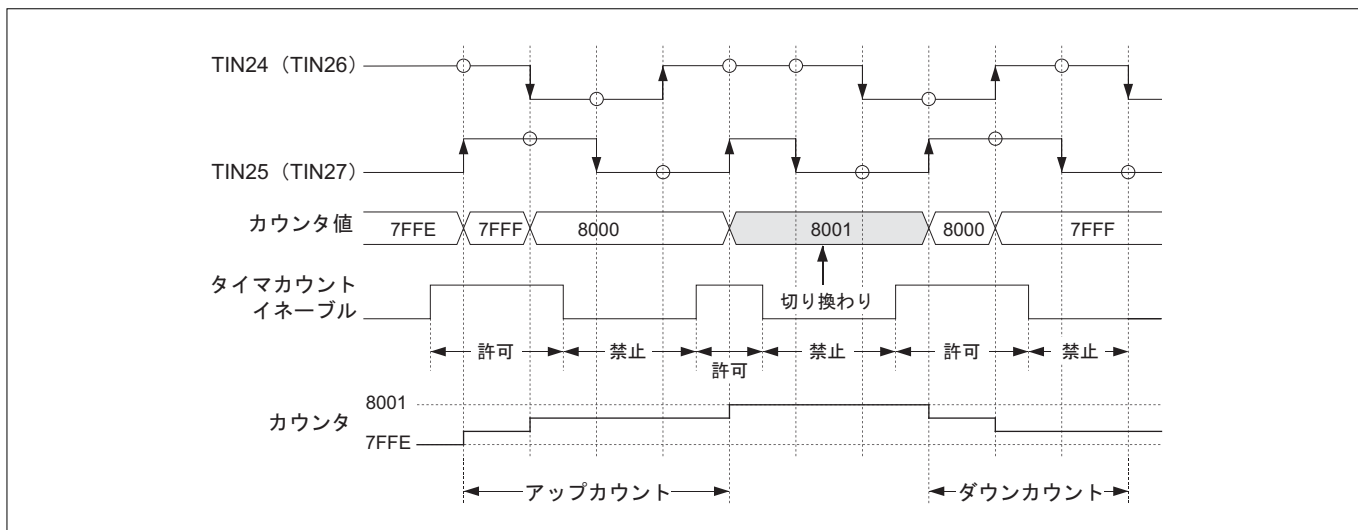


図10.7.7 4逓倍カウント動作(カウント許可禁止)

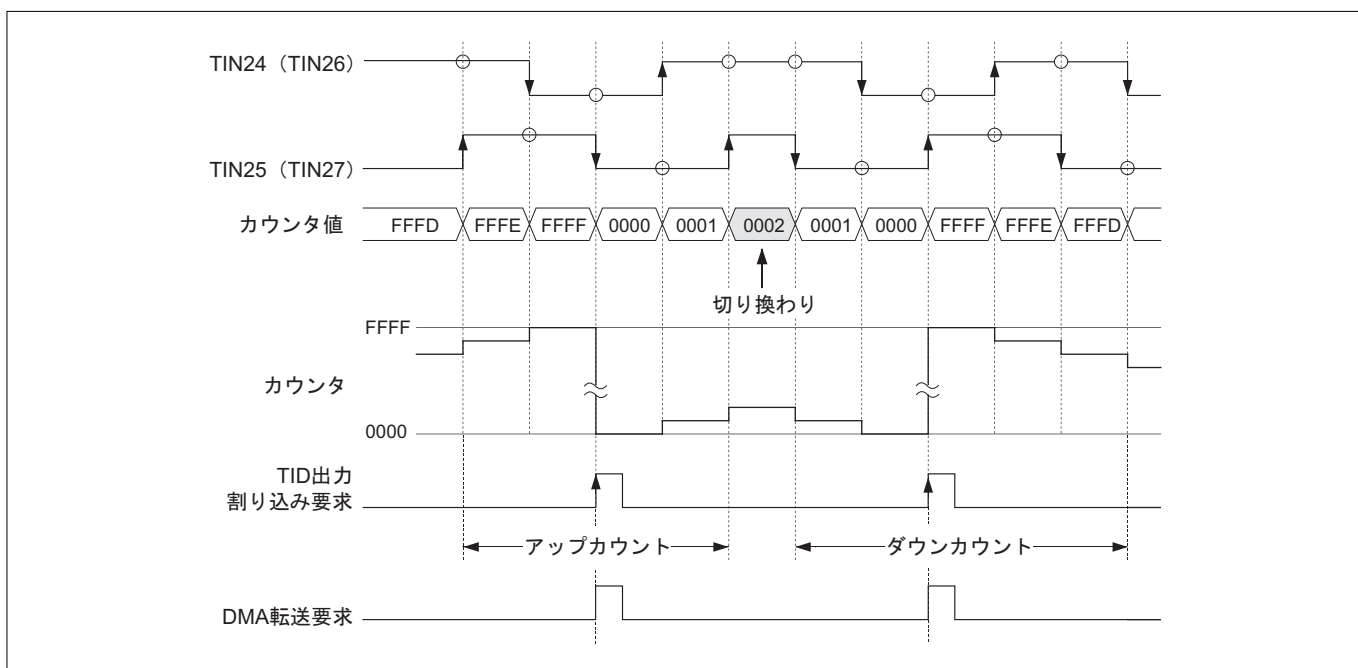


図10.7.8 4逓倍カウント動作(割り込み要求タイミング)

(4) アップ/ダウンイベントカウントモード

アップ/ダウンイベントカウントモードは、外部から入力された2系統の信号の一方(TIN24, TIN26)をクロック源として、もう一方(TIN25, TIN27)をアップ/ダウンの信号としてカウンタを動作させるモードです。

アップ/ダウンの信号の入力状態によって、アップカウントとダウンカウントを切り換えます。

外部から入力されたクロック源の信号は、立ち上がり、立ち下がりエッジを検出して内部のクロックに同期したクロックを生成します。カウンタの設定後、タイマをイネーブルにすると、生成されたクロックに同期してアップまたはダウンカウントを開始します。

カウントの方向は、アップ/ダウンの信号の入力レベルにより決定されます(表10.7.3を参照してください)。また、カウンタのオーバーフロー/アンダフローで割り込み要求、およびDMA転送要求を発生することができます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止するか、外部からのクロック源の入力信号を"H"または"L"レベルに固定してください。

TIN25、TIN27は、クロック源として使用できません。

表10.7.3 アップ/ダウンイベントカウントモード時のカウント方向

入力	カウント方向	
	アップカウント	ダウンカウント
TIN24 (TIN26)	↑	↓
TIN25 (TIN27)	Lレベル	Hレベル

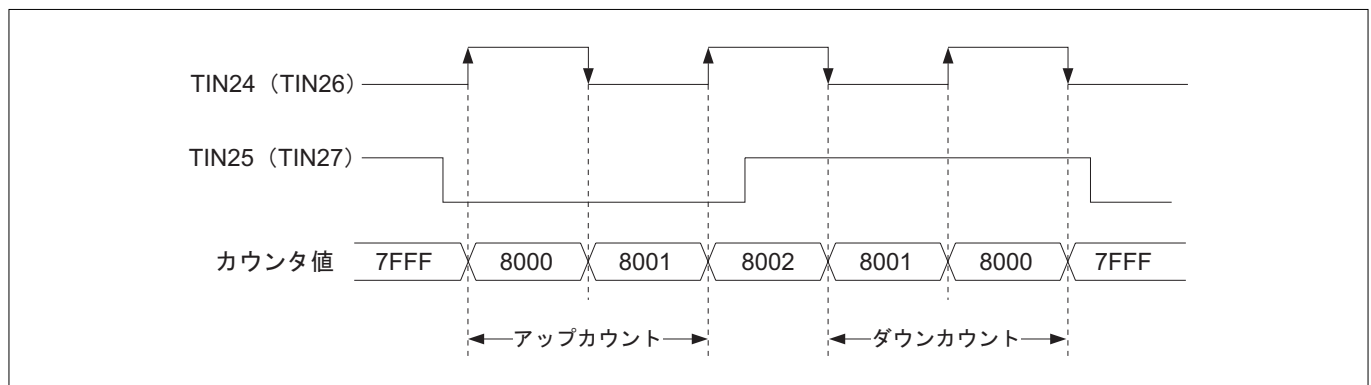


図10.7.9 アップダウンカウント動作

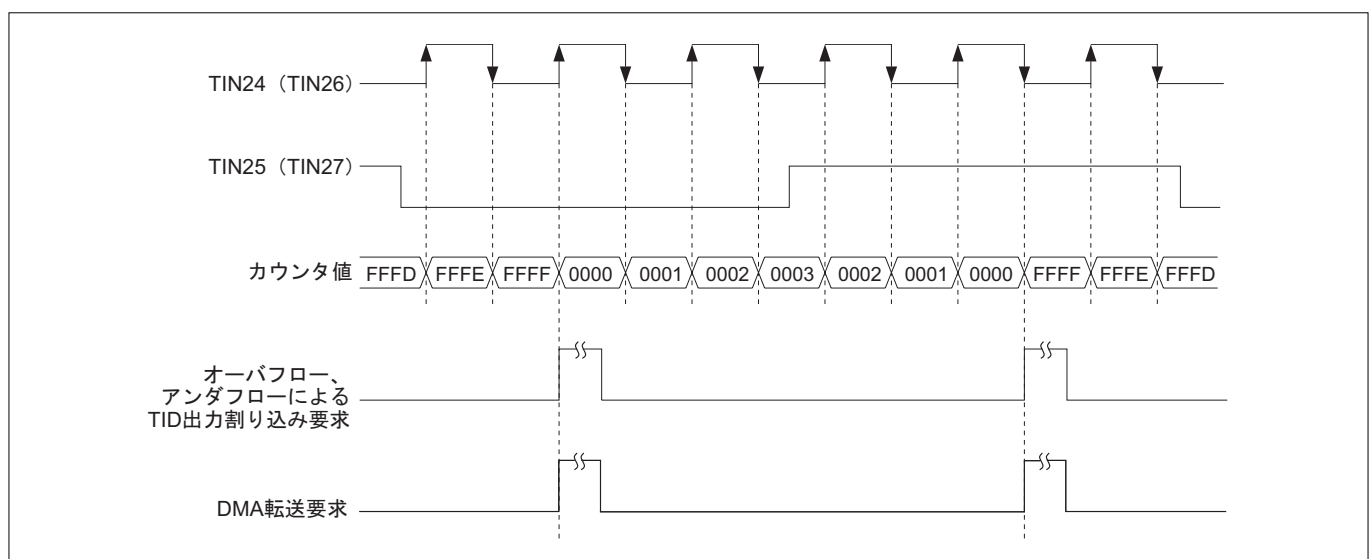


図10.7.10 アップダウンカウント動作(割り込み要求タイミング)

10.8 TOU(出力系24ビットタイマ)

10.8.1 TOU概要

TOU(Timer Output Unification)は出力系24ビットタイマで、ソフトウェアによるモード切り換えにより、以下のモードから1つを選択できます。

<補正機能なし出力モード>

- PWM出力モード
- ワンショットPWM出力モード
- ディレイドワンショット出力モード
- ワンショット出力モード
- 連続出力モード

以下にTOUの仕様を、また次ページにTOUのブロック図を示します。

表10.8.1 TOU(出力系24ビットタイマ)の仕様

項目	仕様
チャンネル数	16チャンネル(8チャンネル×2系統)
カウンタ	24ビットダウンカウンタ (PWM出力/ワンショットPWM出力モード時は、16ビットダウンカウンタ)
リロードレジスタ	24ビットリロードレジスタ (PWM出力/ワンショットPWM出力モード時は、16ビットリロードレジスタ)
タイマの起動	TOU0 : <ul style="list-style-type: none"> • イネーブルビットへのソフトウェア書き込み • TID0のアンダフロー/オーバフロー信号 • TOU0_7のアンダフロー信号 • 出力イベントバス0信号 • 外部入力TIN25信号 TOU1 : <ul style="list-style-type: none"> • イネーブルビットへのソフトウェア書き込み • TID1のアンダフロー/オーバフロー信号 • TOU1_7のアンダフロー信号 • TOU0の起動要因信号 (TOU0がイベントイネーブルを選択する必要あり) • 外部入力TIN27信号
モード切り換え	<補正機能なし出力モード> <ul style="list-style-type: none"> • PWM出力モード • ワンショットPWM出力モード • ディレイドワンショット出力モード • ワンショット出力モード • 連続出力モード
割り込み要求発生	カウンタのアンダフローで発生可能
DMA転送要求発生	カウンタのアンダフローで発生可能

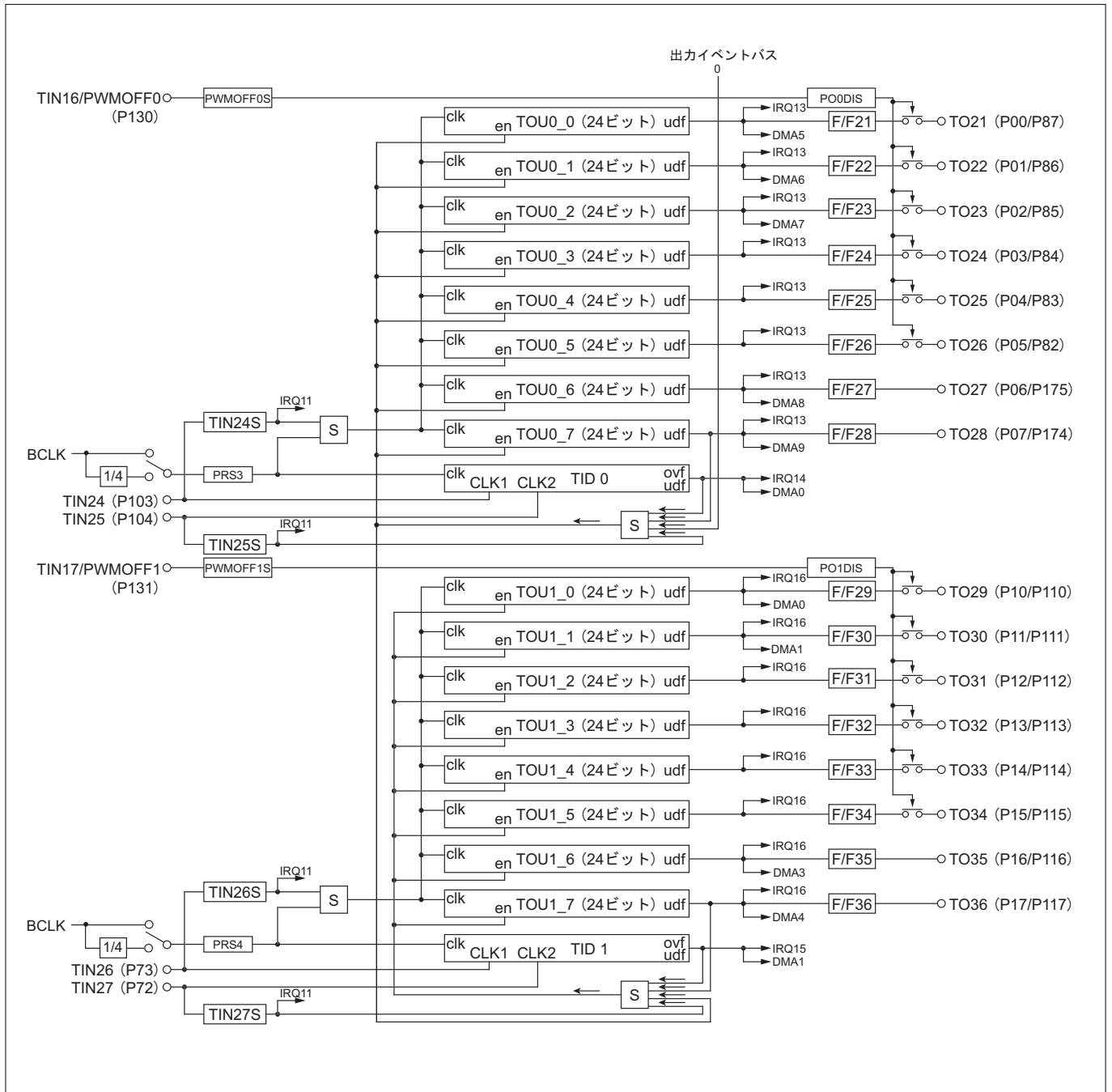


図10.8.1 TOU(出力系24ビットタイマ)ブロック図

10.8.2 TOU各モードの概要

以下にTOUの各モードの概要を示します。なおTOU各チャネルのモードは、この中から1つだけを選択できます。

(1) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。PWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求、およびDMA転送要求を発生することができます。

(2) ワンショットPWM出力モード(補正機能なし)

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。ワンショットPWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時、F/F出力は反転しません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込み要求、およびDMA要求を発生することができます。

(3) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロードレジスタの設定値 + 1のパルスを、カウンタ設定値 + 1の分遅れて1回だけ発生して停止するモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで、"リロードレジスタ - 1"の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値 + 1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値 + 1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、およびDMA要求を発生することができます。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して停止するモードです。

リロードレジスタ設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロードレジスタ - 1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求、およびDMA要求を発生することができます。

(5) 連続出力モード(補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の反転する連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローにより次のサイクルで"リロードレジスタ - 1"の内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA要求を発生することができます。

< カウントクロック分のディレイ >

- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからタイマ動作開始までに最大で1カウントクロック分のディレイが発生します。イネーブル時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

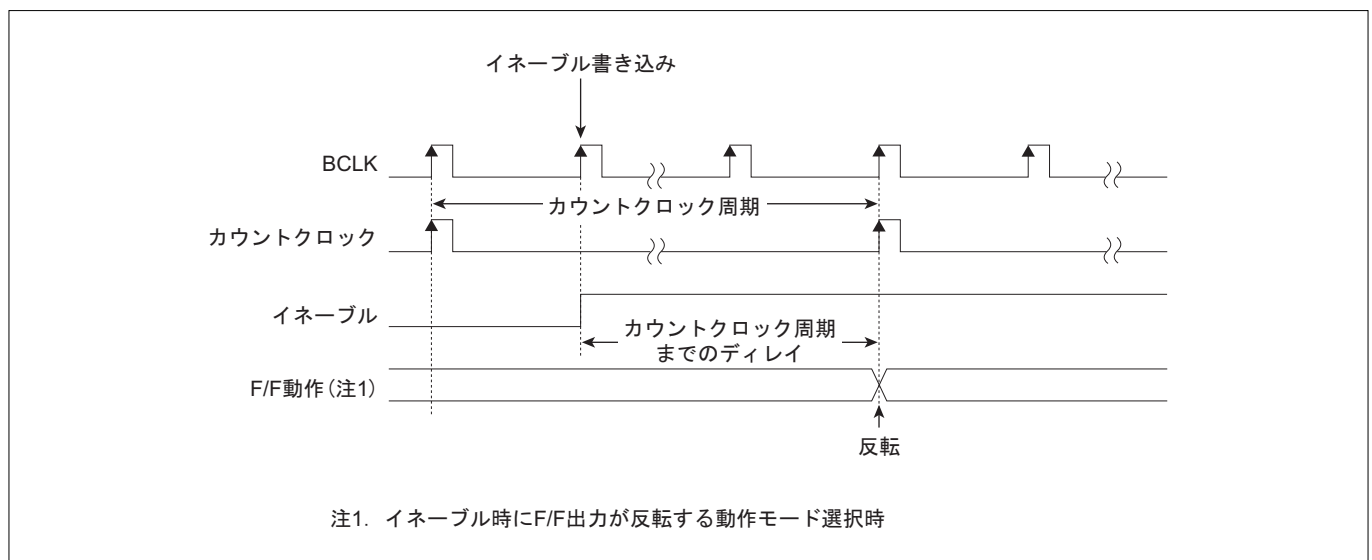


図10.8.2 カウントクロック分のディレイ

10.8.3 TOU関連レジスタマップ

以下にTOU関連のレジスタマップを示します。

TOU関連レジスタマップ(1/3)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8 b15	
H'0080 0520	PWM出力0禁止制御レジスタGA (PO0DISGACR)	PWM出力0禁止レベル制御レジスタGA (PO0LVGACR)	10-168 10-171
H'0080 0522	PWM出力1禁止制御レジスタGA (PO1DISGACR)	PWM出力1禁止レベル制御レジスタGA (PO1LVGACR)	10-168 10-171
H'0080 0524	(使用禁止領域)		
H'0080 0526 }	PWMOFF0機能許可レジスタ (PWMOFF0EN)	PWMOFF1機能許可レジスタ (PWMOFF1EN)	10-173
H'0080 0780	PWM出力0禁止制御レジスタGB (PO0DISGBCR)	PWM出力0禁止レベル制御レジスタGB (PO0LVGBCR)	10-168 10-171
H'0080 0782 }	PWM出力1禁止制御レジスタGB (PO1DISGBCR)	PWM出力1禁止レベル制御レジスタGB (PO1LVGBCR)	10-169 10-171
H'0080 0790	TOU0_0カウンタ (TOU00CTW)	(上位) (TOU00CTH)	10-157
H'0080 0792		(下位) (TOU00CT)	10-159
H'0080 0794	TOU0_0リロードレジスタ (TOU00RLW)	TOU0_0リロード1レジスタ (TOU00RL1)	10-160 10-162
H'0080 0796		TOU0_0リロード0レジスタ (TOU00RL0)	10-161
H'0080 0798	TOU0_1カウンタ (TOU01CTW)	(上位) (TOU01CTH)	10-157
H'0080 079A		(下位) (TOU01CT)	10-159
H'0080 079C	TOU0_1リロードレジスタ (TOU01RLW)	TOU0_1リロード1レジスタ (TOU01RL1)	10-160 10-162
H'0080 079E		TOU0_1リロード0レジスタ (TOU01RL0)	10-161
H'0080 07A0	TOU0_2カウンタ (TOU02CTW)	(上位) (TOU02CTH)	10-157
H'0080 07A2		(下位) (TOU02CT)	10-159
H'0080 07A4	TOU0_2リロードレジスタ (TOU02RLW)	TOU0_2リロード1レジスタ (TOU02RL1)	10-160 10-162
H'0080 07A6		TOU0_2リロード0レジスタ (TOU02RL0)	10-161
H'0080 07A8	TOU0_3カウンタ (TOU03CTW)	(上位) (TOU03CTH)	10-157
H'0080 07AA		(下位) (TOU03CT)	10-159
H'0080 07AC	TOU0_3リロードレジスタ (TOU03RLW)	TOU0_3リロード1レジスタ (TOU03RL1)	10-160 10-162
H'0080 07AE		TOU0_3リロード0レジスタ (TOU03RL0)	10-161
H'0080 07B0	TOU0_4カウンタ (TOU04CTW)	(上位) (TOU04CTH)	10-157
H'0080 07B2		(下位) (TOU04CT)	10-159
H'0080 07B4	TOU0_4リロードレジスタ (TOU04RLW)	TOU0_4リロード1レジスタ (TOU04RL1)	10-160 10-162
H'0080 07B6		TOU0_4リロード0レジスタ (TOU04RL0)	10-161

TOU関連レジスタマップ(2/3)

番地	+ 0番地	+ 1番地	掲載 ページ	
	b0	b7 b8	b15	
H'0080 07B8	TOU0_5カウンタ (TOU05CTW)		(上位) (TOU05CTH)	10-157
H'0080 07BA			(下位) (TOU05CT)	10-159
H'0080 07BC	TOU0_5リロードレジスタ (TOU05RLW)		TOU0_5リロード1レジスタ (TOU05RL1)	10-160 10-162
H'0080 07BE			TOU0_5リロード0レジスタ (TOU05RL0)	10-161
H'0080 07C0	TOU0_6カウンタ (TOU06CTW)		(上位) (TOU06CTH)	10-157
H'0080 07C2			(下位) (TOU06CT)	10-159
H'0080 07C4	TOU0_6リロードレジスタ (TOU06RLW)		TOU0_6リロード1レジスタ (TOU06RL1)	10-160 10-162
H'0080 07C6			TOU0_6リロード0レジスタ (TOU06RL0)	10-161
H'0080 07C8	TOU0_7カウンタ (TOU07CTW)		(上位) (TOU07CTH)	10-157
H'0080 07CA			(下位) (TOU07CT)	10-159
H'0080 07CC	TOU0_7リロードレジスタ (TOU07RLW)		TOU0_7リロード1レジスタ (TOU07RL1)	10-160 10-162
H'0080 07CE			TOU0_7リロード0レジスタ (TOU07RL0)	10-161
}				
H'0080 07D4	短絡防止機能用F/F21-26プロテクトレジスタ (SHFF2126P)			10-155
H'0080 07D6	短絡防止機能用F/F21-26データレジスタ (SHFF2126D)			10-156
H'0080 07D8	TOU0制御レジスタ1 (TOU0CR1)			10-153
H'0080 07DA	TOU0制御レジスタ0 (TOU0CR0)			10-153
H'0080 07DC	(使用禁止領域)	TOU0イネーブルプロテクトレジスタ (TOU0PRO)		10-163
H'0080 07DE	(使用禁止領域)	TOU0カウントイネーブルレジスタ (TOU0CEN)		10-164
H'0080 07E0	PWMOFF0入力処理制御レジスタ (PWMOFF0CR)			10-166
}				
H'0080 0B90	TOU1_0カウンタ (TOU10CTW)		(上位) (TOU10CTH)	10-157
H'0080 0B92			(下位) (TOU10CT)	10-159
H'0080 0B94	TOU1_0リロードレジスタ (TOU10RLW)		TOU1_0リロード1レジスタ (TOU10RL1)	10-160 10-162
H'0080 0B96			TOU1_0リロード0レジスタ (TOU10RL0)	10-161
H'0080 0B98	TOU1_1カウンタ (TOU11CTW)		(上位) (TOU11CTH)	10-157
H'0080 0B9A			(下位) (TOU11CT)	10-159
H'0080 0B9C	TOU1_1リロードレジスタ (TOU11RLW)		TOU1_1リロード1レジスタ (TOU11RL1)	10-160 10-162
H'0080 0B9E			TOU1_1リロード0レジスタ (TOU11RL0)	10-161

TOU関連レジスタマップ(3/3)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8 b15	
H'0080 0BA0	TOU1_2カウンタ (TOU12CTW)	(上位) (TOU12CTH)	10-157
H'0080 0BA2		(下位) (TOU12CT)	10-159
H'0080 0BA4	TOU1_2リロードレジスタ (TOU12RLW)	TOU1_2リロード1レジスタ (TOU12RL1)	10-160 10-162
H'0080 0BA6		TOU1_2リロード0レジスタ (TOU12RL0)	10-161
H'0080 0BA8	TOU1_3カウンタ (TOU13CTW)	(上位) (TOU13CTH)	10-157
H'0080 0BAA		(下位) (TOU13CT)	10-159
H'0080 0BAC	TOU1_3リロードレジスタ (TOU13RLW)	TOU1_3リロード1レジスタ (TOU13RL1)	10-160 10-162
H'0080 0BAE		TOU1_3リロード0レジスタ (TOU13RL0)	10-161
H'0080 0BB0	TOU1_4カウンタ (TOU14CTW)	(上位) (TOU14CTH)	10-157
H'0080 0BB2		(下位) (TOU14CT)	10-159
H'0080 0BB4	TOU1_4リロードレジスタ (TOU14RLW)	TOU1_4リロード1レジスタ (TOU14RL1)	10-160 10-162
H'0080 0BB6		TOU1_4リロード0レジスタ (TOU14RL0)	10-161
H'0080 0BB8	TOU1_5カウンタ (TOU15CTW)	(上位) (TOU15CTH)	10-157
H'0080 0BBA		(下位) (TOU15CT)	10-159
H'0080 0BBC	TOU1_5リロードレジスタ (TOU15RLW)	TOU1_5リロード1レジスタ (TOU15RL1)	10-160 10-162
H'0080 0BBE		TOU1_5リロード0レジスタ (TOU15RL0)	10-161
H'0080 0BC0	TOU1_6カウンタ (TOU16CTW)	(上位) (TOU16CTH)	10-157
H'0080 0BC2		(下位) (TOU16CT)	10-159
H'0080 0BC4	TOU1_6リロードレジスタ (TOU16RLW)	TOU1_6リロード1レジスタ (TOU16RL1)	10-160 10-162
H'0080 0BC6		TOU1_6リロード0レジスタ (TOU16RL0)	10-161
H'0080 0BC8	TOU1_7カウンタ (TOU17CTW)	(上位) (TOU17CTH)	10-157
H'0080 0BCA		(下位) (TOU17CT)	10-159
H'0080 0BCC	TOU1_7リロードレジスタ (TOU17RLW)	TOU1_7リロード1レジスタ (TOU17RL1)	10-160 10-162
H'0080 0BCE		TOU1_7リロード0レジスタ (TOU17RL0)	10-161
H'0080 0BD4	短絡防止機能用F/F29-34プロテクトレジスタ (SHFF2934P)		10-155
H'0080 0BD6	短絡防止機能用F/F29-34データレジスタ (SHFF2934D)		10-156
H'0080 0BD8	TOU1制御レジスタ1 (TOU1CR1)		10-154
H'0080 0BDA	TOU1制御レジスタ0 (TOU1CR0)		10-154
H'0080 0BDC	(使用禁止領域)	TOU1イネーブルプロテクトレジスタ (TOU1PRO)	10-163
H'0080 0BDE	(使用禁止領域)	TOU1カウントイネーブルレジスタ (TOU1CEN)	10-164
H'0080 0BE0	PWMOFF1入力処理制御レジスタ (PWMOFF1CR)		10-166

10.8.4 TOU制御レジスタ

TOU0制御レジスタ0(TOU0CR0)

< アドレス : H'0080 07DA >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOU00M0	TOU01M0	TOU02M0	TOU03M0	TOU04M0	TOU05M0	TOU06M0	TOU07M0								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	TOU00M0(TOU0_0動作モード選択0ビット)	00 : ワンショット出力モード	R	W
2, 3	TOU01M0(TOU0_1動作モード選択0ビット)	01 : ワンショットPWM出力モード		
4, 5	TOU02M0(TOU0_2動作モード選択0ビット)	または、ディレイドワンショット出力モード(注1)		
6, 7	TOU03M0(TOU0_3動作モード選択0ビット)	10 : 連続出力モード		
8, 9	TOU04M0(TOU0_4動作モード選択0ビット)	11 : PWM出力モード		
10, 11	TOU05M0(TOU0_5動作モード選択0ビット)			
12, 13	TOU06M0(TOU0_6動作モード選択0ビット)			
14, 15	TOU07M0(TOU0_7動作モード選択0ビット)			

注1 . TOU0制御レジスタ1で選択します。

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

・動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TOU0制御レジスタ1(TOU0CR1)

< アドレス : H'0080 07D8 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOU0CKS	PRS3CKS						TOU0SHEN	TOU00M1	TOU01M1	TOU02M1	TOU03M1	TOU04M1	TOU05M1	TOU06M1	TOU07M1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0	TOU0CKS TOU0クロックソース選択ビット	0 : プリスケアラ3を使用 1 : 外部クロック(TIN24)を使用	R	W
1	PRS3CKS プリスケアラ3供給クロック選択ビット	0 : BCLK/4 1 : BCLK	R	W
2~6	何も配置されていません。"0"に固定してください。		0	-
7	TOU0SHEN TOU0短絡防止機能許可ビット	0 : 短絡防止機能無効 1 : 短絡防止機能有効	R	W
8	TOU00M1(TOU0_0動作モード選択1ビット)	0 : ワンショットPWM出力モード	R	W
9	TOU01M1(TOU0_1動作モード選択1ビット)	1 : ディレイドワンショット出力モード		
10	TOU02M1(TOU0_2動作モード選択1ビット)			
11	TOU03M1(TOU0_3動作モード選択1ビット)			
12	TOU04M1(TOU0_4動作モード選択1ビット)			
13	TOU05M1(TOU0_5動作モード選択1ビット)			
14	TOU06M1(TOU0_6動作モード選択1ビット)			
15	TOU07M1(TOU0_7動作モード選択1ビット)			

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

・動作モード、および短絡防止機能の設定、変更は必ずカウンタ停止状態で行ってください。

TOU0制御レジスタ0,1では、TOU0_0~7の動作モードの選択を行います。

TOU0のクロックソースにプリスケアラ3を選択する場合、TID0制御&プリスケアラ3イネーブルレジスタにてプリスケアラ3をカウント開始に設定してください。

詳細については「10.7.3 TID制御&プリスケアラ3イネーブルレジスタ」を参照してください。

注 . . TOU制御レジスタの設定、変更は該当するタイマのカウントイネーブルビットへの"0"書き込みによるカウント停止後に行ってください。

TOU1制御レジスタ0(TOU1CR0)

<アドレス: H'0080 0BDA >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOU10M0	TOU11M0	TOU12M0	TOU13M0	TOU14M0	TOU15M0	TOU16M0	TOU17M0								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0, 1	TOU10M0(TOU1_0動作モード選択0ビット)	00: ワンショット出力モード	R	W
2, 3	TOU11M0(TOU1_1動作モード選択0ビット)	01: ワンショットPWM出力モード		
4, 5	TOU12M0(TOU1_2動作モード選択0ビット)	または、ディレイドワンショット出力モード(注1)		
6, 7	TOU13M0(TOU1_3動作モード選択0ビット)	10: 連続出力モード		
8, 9	TOU14M0(TOU1_4動作モード選択0ビット)	11: PWM出力モード		
10, 11	TOU15M0(TOU1_5動作モード選択0ビット)			
12, 13	TOU16M0(TOU1_6動作モード選択0ビット)			
14, 15	TOU17M0(TOU1_7動作モード選択0ビット)			

注1. TOU1制御レジスタ1で選択します。

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モードの設定、変更は必ずカウンタ停止状態で行ってください。

TOU1制御レジスタ1(TOU1CR1)

<アドレス: H'0080 0BD8 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TOU1CKS	PRS4CKS						TOU1SHEN	TOU10M1	TOU11M1	TOU12M1	TOU13M1	TOU14M1	TOU15M1	TOU16M1	TOU17M1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0	TOU1CKS TOU1クロックソース選択ビット	0: プリスケアラ4を使用 1: 外部クロック(TIN26)を使用	R	W
1	PRS4CKS プリスケアラ4供給クロック選択ビット	0: BCLK/4 1: BCLK	R	W
2~6	何も配置されていません。"0"に固定してください。		0	-
7	TOU1SHEN TOU1短絡防止機能許可ビット	0: 短絡防止機能無効 1: 短絡防止機能有効	R	W
8	TOU10M1(TOU1_0動作モード選択1ビット)	0: ワンショットPWM出力モード	R	W
9	TOU11M1(TOU1_1動作モード選択1ビット)	1: ディレイドワンショット出力モード		
10	TOU12M1(TOU1_2動作モード選択1ビット)			
11	TOU13M1(TOU1_3動作モード選択1ビット)			
12	TOU14M1(TOU1_4動作モード選択1ビット)			
13	TOU15M1(TOU1_5動作モード選択1ビット)			
14	TOU16M1(TOU1_6動作モード選択1ビット)			
15	TOU17M1(TOU1_7動作モード選択1ビット)			

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. 動作モード、および短絡防止機能の設定、変更は必ずカウンタ停止状態で行ってください。

TOU1制御レジスタ0, 1では、TOU1_0~7の動作モードの選択を行います。

TOU1のクロックソースにプリスケアラ4を選択する場合、TID1制御&プリスケアラ4イネーブルレジスタにてプリスケアラ4をカウント開始に設定してください。

詳細については「10.7.3 TID制御&プリスケアライネーブルレジスタ」を参照してください。

注. . TOU制御レジスタの設定、変更は該当するタイマのカウントイネーブルビットへの"0"書き込みによるカウント停止後に行ってください。

10.8.5 短絡防止機能レジスタ

短絡防止機能用F/F21～26プロテクトレジスタ(SHFF2126P)

<アドレス: H'0080 07D4>

b0	1	2	3	4	5	6	b7
SHFP21	SHFP22	SHFP23	SHFP24	SHFP25	SHFP26	0	0
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	SHFP21(短絡防止機能F/F21プロテクトビット)	0: 短絡防止機能用F/F出力ビットへの書き込み許可	R	W
1	SHFP22(短絡防止機能F/F22プロテクトビット)	1: 短絡防止機能用F/F出力ビットへの書き込み禁止		
2	SHFP23(短絡防止機能F/F23プロテクトビット)			
3	SHFP24(短絡防止機能F/F24プロテクトビット)			
4	SHFP25(短絡防止機能F/F25プロテクトビット)			
5	SHFP26(短絡防止機能F/F26プロテクトビット)			
6~7	何も配置されていません。"0"に固定してください。		0	0

短絡防止機能用F/F29～34プロテクトレジスタ(SHFF2934P)

<アドレス: H'0080 0BD4>

b0	1	2	3	4	5	6	b7
SHFP29	SHFP30	SHFP31	SHFP32	SHFP33	SHFP34	0	0
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	SHFP29(短絡防止機能F/F29プロテクトビット)	0: 短絡防止機能用F/F出力ビットへの書き込み許可	R	W
1	SHFP30(短絡防止機能F/F30プロテクトビット)	1: 短絡防止機能用F/F出力ビットへの書き込み禁止		
2	SHFP31(短絡防止機能F/F31プロテクトビット)			
3	SHFP32(短絡防止機能F/F32プロテクトビット)			
4	SHFP33(短絡防止機能F/F33プロテクトビット)			
5	SHFP34(短絡防止機能F/F34プロテクトビット)			
6~7	何も配置されていません。"0"に固定してください。		0	0

各短絡防止機能用F/R(フリップフロップ)への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止した場合は、短絡防止用F/Fデータレジスタへの書き込みは無効となります。

短絡防止機能用F/F21～26データレジスタ(SHFF2126D)

<アドレス: H'0080 07D6>

b0	1	2	3	4	5	6	b7
SHFD21	SHFD22	SHFD23	SHFD24	SHFD25	SHFD26	0	0
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	SHFD21(短絡防止機能F/F21データビット)	0: 短絡防止機能用F/F出力データ=0	R	W
1	SHFD22(短絡防止機能F/F22データビット)	1: 短絡防止機能用F/F出力データ=1		
2	SHFD23(短絡防止機能F/F23データビット)			
3	SHFD24(短絡防止機能F/F24データビット)			
4	SHFD25(短絡防止機能F/F25データビット)			
5	SHFD26(短絡防止機能F/F26データビット)			
6~7	何も配置されていません。"0"に固定してください。		0	0

短絡防止機能用F/F29～34データレジスタ(SHFF2934D)

<アドレス: H'0080 0BD6>

b0	1	2	3	4	5	6	b7
SHFD29	SHFD30	SHFD31	SHFD32	SHFD33	SHFD34	0	0
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	SHFD29(短絡防止機能F/F29データビット)	0: 短絡防止機能用F/F出力データ=0	R	W
1	SHFD30(短絡防止機能F/F30データビット)	1: 短絡防止機能用F/F出力データ=1		
2	SHFD31(短絡防止機能F/F31データビット)			
3	SHFD32(短絡防止機能F/F32データビット)			
4	SHFD33(短絡防止機能F/F33データビット)			
5	SHFD34(短絡防止機能F/F34データビット)			
6~7	何も配置されていません。"0"に固定してください。		0	0

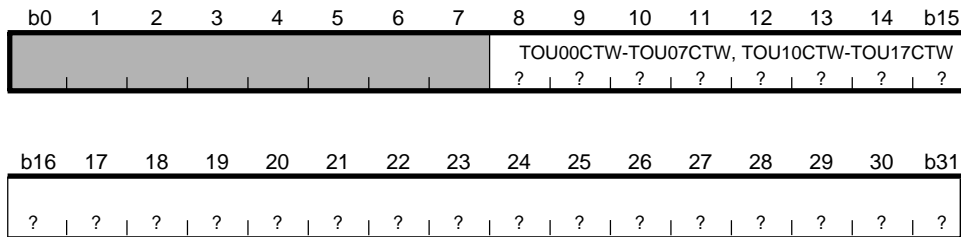
各短絡防止機能用F/F(フリップフロップ)の出力を設定するためのレジスタです。短絡防止用F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定が書き込み許可の場合のみ操作できます。

10.8.6 TOUカウンタ

TOUのカウンタです。このレジスタは、タイマの動作モードによって機能が異なります。

(1) ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUカウンタ

TOU0_0カウンタ(TOU00CTW)	< アドレス : H'0080 0790 >
TOU0_1カウンタ(TOU01CTW)	< アドレス : H'0080 0798 >
TOU0_2カウンタ(TOU02CTW)	< アドレス : H'0080 07A0 >
TOU0_3カウンタ(TOU03CTW)	< アドレス : H'0080 07A8 >
TOU0_4カウンタ(TOU04CTW)	< アドレス : H'0080 07B0 >
TOU0_5カウンタ(TOU05CTW)	< アドレス : H'0080 07B8 >
TOU0_6カウンタ(TOU06CTW)	< アドレス : H'0080 07C0 >
TOU0_7カウンタ(TOU07CTW)	< アドレス : H'0080 07C8 >
TOU1_0カウンタ(TOU10CTW)	< アドレス : H'0080 0B90 >
TOU1_1カウンタ(TOU11CTW)	< アドレス : H'0080 0B98 >
TOU1_2カウンタ(TOU12CTW)	< アドレス : H'0080 0BA0 >
TOU1_3カウンタ(TOU13CTW)	< アドレス : H'0080 0BA8 >
TOU1_4カウンタ(TOU14CTW)	< アドレス : H'0080 0BB0 >
TOU1_5カウンタ(TOU15CTW)	< アドレス : H'0080 0BB8 >
TOU1_6カウンタ(TOU16CTW)	< アドレス : H'0080 0BC0 >
TOU1_7カウンタ(TOU17CTW)	< アドレス : H'0080 0BC8 >



<リセット解除時：不定>

b	ビット名	機能	R	W
0~7		何も配置されていません。"0"に固定してください。	0	0
8~31	TOU00CTW-TOU07CTW, TOU10CTW-TOU17CTW	24ビットカウンタ値	R	W

注．．このレジスタは必ずハーフワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

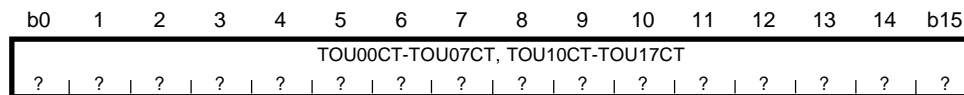
TOUカウンタはワンショット出力/ディレイドワンショット出力/連続出力モード時には24ビットのダウンカウンタとなり、タイマのイネーブル(カウントイネーブルビットへのソフトウェア書き込み、またはTOUイネーブル要因選択ビットで選択したイベント発生)後、カウントクロックに同期してカウントを開始します。b8～b15が上位8ビット、b16～b31が下位16ビットとなり、b0～b7は無視されます。

カウンタを上位、下位に分けて書き込む場合は、まず上位8ビットを書き換えてから下位16ビットを書き換えてください。下位16ビット書き換え時に上位8ビットの値が有効となります。逆の順序で下位16ビットから書き換えた場合、上位8ビットの値は次に下位16ビットを書き換えるまで反映されません。上位8ビット書き換え後、下位16ビットを書き換える前に上位8ビットを読み出した場合は、書き換えたデータは読み出せず、その前の状態(カウント停止中：前データ、カウント中：前データの現カウント値)を読み出します。32ビット単位で書き換えた場合は、自動的に上位8ビット 下位16ビットの書き換えを連続して行います。

PWM出力/ワンショットPWM出力モード時は、下位16ビットのみ有効な16ビットのダウンカウンタとなります。詳細は「10.8.6(2)PWM出力/ワンショットPWM出力モード時のTOUカウンタ」を参照してください。

(2) PWM出力/ワンショットPWM出力モード時のTOUカウンタ

TOU0_0カウンタ(TOU00CT)	<アドレス: H'0080 0792 >
TOU0_1カウンタ(TOU01CT)	<アドレス: H'0080 079A >
TOU0_2カウンタ(TOU02CT)	<アドレス: H'0080 07A2 >
TOU0_3カウンタ(TOU03CT)	<アドレス: H'0080 07AA >
TOU0_4カウンタ(TOU04CT)	<アドレス: H'0080 07B2 >
TOU0_5カウンタ(TOU05CT)	<アドレス: H'0080 07BA >
TOU0_6カウンタ(TOU06CT)	<アドレス: H'0080 07C2 >
TOU0_7カウンタ(TOU07CT)	<アドレス: H'0080 07CA >
TOU1_0カウンタ(TOU10CT)	<アドレス: H'0080 0B92 >
TOU1_1カウンタ(TOU11CT)	<アドレス: H'0080 0B9A >
TOU1_2カウンタ(TOU12CT)	<アドレス: H'0080 0BA2 >
TOU1_3カウンタ(TOU13CT)	<アドレス: H'0080 0BAA >
TOU1_4カウンタ(TOU14CT)	<アドレス: H'0080 0BB2 >
TOU1_5カウンタ(TOU15CT)	<アドレス: H'0080 0BBA >
TOU1_6カウンタ(TOU16CT)	<アドレス: H'0080 0BC2 >
TOU1_7カウンタ(TOU17CT)	<アドレス: H'0080 0BCA >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TOU00CT-TOU07CT, TOU10CT-TOU17CT	16ビットカウンタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOUカウンタはPWM出力/ワンショットPWM出力モード時には16ビットのダウンカウンタとなり、タイマのイネーブル(カウントイネーブルビットへのソフトウェア書き込み、またはTOUイネーブル要因選択ビットで選択したイベント発生)後、カウントクロックに同期してカウントを開始します。

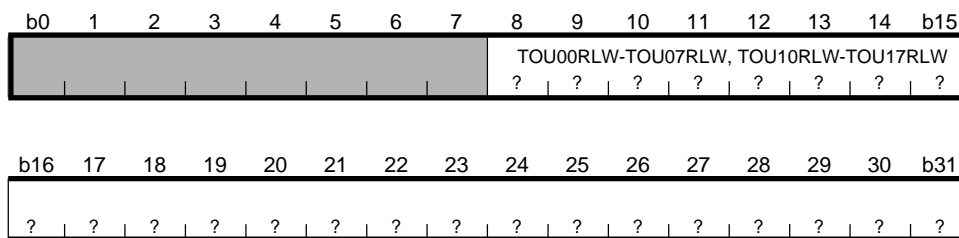
ワンショット出力/ディレイドワンショット出力/連続出力モード時は、上位8ビットを追加した24ビットのダウンカウンタとなります。詳細は「10.8.6(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUカウンタ」を参照してください。

10.8.7 TOUリロードレジスタ

TOUリロードレジスタは、TOUカウンタヘデータをリロードするためのレジスタです。このレジスタは、タイマの動作モードによって機能が異なります。

(1) ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ

TOU0_0リロードレジスタ(TOU00RLW)	< アドレス : H'0080 0794 >
TOU0_1リロードレジスタ(TOU01RLW)	< アドレス : H'0080 079C >
TOU0_2リロードレジスタ(TOU02RLW)	< アドレス : H'0080 07A4 >
TOU0_3リロードレジスタ(TOU03RLW)	< アドレス : H'0080 07AC >
TOU0_4リロードレジスタ(TOU04RLW)	< アドレス : H'0080 07B4 >
TOU0_5リロードレジスタ(TOU05RLW)	< アドレス : H'0080 07BC >
TOU0_6リロードレジスタ(TOU06RLW)	< アドレス : H'0080 07C4 >
TOU0_7リロードレジスタ(TOU07RLW)	< アドレス : H'0080 07CC >
TOU1_0リロードレジスタ(TOU10RLW)	< アドレス : H'0080 0B94 >
TOU1_1リロードレジスタ(TOU11RLW)	< アドレス : H'0080 0B9C >
TOU1_2リロードレジスタ(TOU12RLW)	< アドレス : H'0080 0BA4 >
TOU1_3リロードレジスタ(TOU13RLW)	< アドレス : H'0080 0BAC >
TOU1_4リロードレジスタ(TOU14RLW)	< アドレス : H'0080 0BB4 >
TOU1_5リロードレジスタ(TOU15RLW)	< アドレス : H'0080 0BBC >
TOU1_6リロードレジスタ(TOU16RLW)	< アドレス : H'0080 0BC4 >
TOU1_7リロードレジスタ(TOU17RLW)	< アドレス : H'0080 0BCC >



< リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~7	何も配置されていません。"0"に固定してください。		0	0
8~31	TOU00RLW-TOU07RLW, TOU10RLW-TOU17RLW	24ビットリロードレジスタ値	R	W

注 . . このレジスタは必ずハーフワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

TOUはワンショット出力/ディレイドワンショット出力/連続出力モード時には、24ビットタイマとして動作します。このレジスタの下位24ビットに設定した値が、カウンタにリロードされます。b8~b15が上位8ビット、b16~b31が下位16ビットとなり、b0~b7は無視されます。

以下のタイミングに"リロードレジスタの内容 - 1"がカウントクロックに同期してカウンタにロードされます。

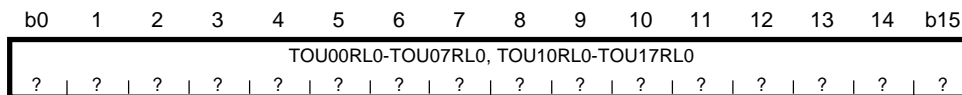
- ワンショット出力モードでカウンタがイネーブルになった次サイクル
- ディレイドワンショット出力または連続出力モードでカウンタがアンダフローした次サイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

PWM出力/ワンショットPWM出力モード時は、16ビットのリロード0レジスタ、リロード1レジスタとなります。詳細は「10.8.7(2)PWM出力/ワンショットPWM出力モード時のTOUリロードレジスタ」を参照してください。

(2) PWM出力/ワンショットPWM出力モード時のTOUリロードレジスタ

TOU0_0リロード0レジスタ(TOU00RL0)	<アドレス: H'0080 0796 >
TOU0_1リロード0レジスタ(TOU01RL0)	<アドレス: H'0080 079E >
TOU0_2リロード0レジスタ(TOU02RL0)	<アドレス: H'0080 07A6 >
TOU0_3リロード0レジスタ(TOU03RL0)	<アドレス: H'0080 07AE >
TOU0_4リロード0レジスタ(TOU04RL0)	<アドレス: H'0080 07B6 >
TOU0_5リロード0レジスタ(TOU05RL0)	<アドレス: H'0080 07BE >
TOU0_6リロード0レジスタ(TOU06RL0)	<アドレス: H'0080 07C6 >
TOU0_7リロード0レジスタ(TOU07RL0)	<アドレス: H'0080 07CE >
TOU1_0リロード0レジスタ(TOU10RL0)	<アドレス: H'0080 0B96 >
TOU1_1リロード0レジスタ(TOU11RL0)	<アドレス: H'0080 0B9E >
TOU1_2リロード0レジスタ(TOU12RL0)	<アドレス: H'0080 0BA6 >
TOU1_3リロード0レジスタ(TOU13RL0)	<アドレス: H'0080 0BAE >
TOU1_4リロード0レジスタ(TOU14RL0)	<アドレス: H'0080 0BB6 >
TOU1_5リロード0レジスタ(TOU15RL0)	<アドレス: H'0080 0BBE >
TOU1_6リロード0レジスタ(TOU16RL0)	<アドレス: H'0080 0BC6 >
TOU1_7リロード0レジスタ(TOU17RL0)	<アドレス: H'0080 0BCE >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TOU00RL0-TOU07RL0, TOU10RL0-TOU17RL0	16ビットリロードレジスタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOUはPWM出力/ワンショットPWM出力モード時には、16ビットタイマとして動作します。リロード0レジスタには、カウントイネーブル時にロードする16ビットの値を設定します。

以下のタイミングに"リロードレジスタの内容 - 1"がカウントクロックに同期してカウンタにロードされます。

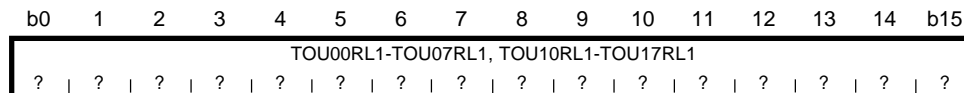
- カウンタがイネーブルになった次サイクル
- PWM出力モードでリロード1レジスタがセットしたカウント値がアンダフローした次サイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

リロードレジスタに"H'FFFF"を設定すると、PWM出力の反転を行わないカウント(デューティ0%、100%)が可能です。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

ワンショット出力/ディレイドワンショット出力/連続出力モード時は、リロード0レジスタ、リロード1レジスタを合わせて、24ビットのリロードレジスタとなります。詳細は「10.8.7(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ」を参照してください。

TOU0_0リロード1レジスタ(TOU00RL1)	<アドレス: H'0080 0794 >
TOU0_1リロード1レジスタ(TOU01RL1)	<アドレス: H'0080 079C >
TOU0_2リロード1レジスタ(TOU02RL1)	<アドレス: H'0080 07A4 >
TOU0_3リロード1レジスタ(TOU03RL1)	<アドレス: H'0080 07AC >
TOU0_4リロード1レジスタ(TOU04RL1)	<アドレス: H'0080 07B4 >
TOU0_5リロード1レジスタ(TOU05RL1)	<アドレス: H'0080 07BC >
TOU0_6リロード1レジスタ(TOU06RL1)	<アドレス: H'0080 07C4 >
TOU0_7リロード1レジスタ(TOU07RL1)	<アドレス: H'0080 07CC >
TOU1_0リロード1レジスタ(TOU10RL1)	<アドレス: H'0080 0B94 >
TOU1_1リロード1レジスタ(TOU11RL1)	<アドレス: H'0080 0B9C >
TOU1_2リロード1レジスタ(TOU12RL1)	<アドレス: H'0080 0BA4 >
TOU1_3リロード1レジスタ(TOU13RL1)	<アドレス: H'0080 0BAC >
TOU1_4リロード1レジスタ(TOU14RL1)	<アドレス: H'0080 0BB4 >
TOU1_5リロード1レジスタ(TOU15RL1)	<アドレス: H'0080 0BBC >
TOU1_6リロード1レジスタ(TOU16RL1)	<アドレス: H'0080 0BC4 >
TOU1_7リロード1レジスタ(TOU17RL1)	<アドレス: H'0080 0BCC >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	TOU00RL1-TOU07RL1, TOU10RL1-TOU17RL1	16ビットリロードレジスタ値	R	W

注. . このレジスタは、必ずハーフワードでアクセスしてください。

TOUはPWM出力/ワンショットPWM出力モード時には、16ビットタイマとして動作します。リロード1レジスタには、リロード1レジスタで設定したカウント値がアンダフローしたときにリロードされる16ビットの値を設定します。

以下のタイミングに"リロードレジスタの内容-1"がカウントクロックに同期してカウンタにロードされます。

- PWM出力モードでリロード0レジスタがセットしたカウント値がアンダフローした次サイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

リロードレジスタに"H'FFFF"を設定すると、PWM出力の反転を行わないカウント(デューティ0%、100%)が可能です。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

ワンショット出力/ディレイドワンショット出力/連続出力モード時は、リロード0レジスタ、リロード1レジスタを組み合わせた24ビットのリロードレジスタとなります。詳細は「10.8.7(1)ワンショット出力/ディレイドワンショット出力/連続出力モード時のTOUリロードレジスタ」を参照してください。

10.8.8 TOUイネーブルプロテクトレジスタ

TOU0イネーブルプロテクトレジスタ(TOU0PRO)

<アドレス : H'0080 07DD >

TOU1イネーブルプロテクトレジスタ(TOU1PRO)

<アドレス : H'0080 0BDD >

b8	9	10	11	12	13	14	b15
TOUn0PRO	TOUn1PRO	TOUn2PRO	TOUn3PRO	TOUn4PRO	TOUn5PRO	TOUn6PRO	TOUn7PRO
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TOUn0PRO TOUn_0イネーブルプロテクトビット	0 : 書き換え許可 1 : 書き換え禁止	R	W
9	TOUn1PRO TOUn_1イネーブルプロテクトビット			
10	TOUn2PRO TOUn_2イネーブルプロテクトビット			
11	TOUn3PRO TOUn_3イネーブルプロテクトビット			
12	TOUn4PRO TOUn_4イネーブルプロテクトビット			
13	TOUn5PRO TOUn_5イネーブルプロテクトビット			
14	TOUn6PRO TOUn_6イネーブルプロテクトビット			
15	TOUn7PRO TOUn_7イネーブルプロテクトビット			

TOUイネーブルプロテクトレジスタは、「10.8.9 TOUカウントイネーブルレジスタ」に示すTOUカウントイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

10.8.9 TOUカウントイネーブルレジスタ

TOU0カウントイネーブルレジスタ(TOU0CEN)

<アドレス : H'0080 07DF >

TOU1カウントイネーブルレジスタ(TOU1CEN)

<アドレス : H'0080 0BDF >

b8	9	10	11	12	13	14	b15
TOUn0CEN	TOUn1CEN	TOUn2CEN	TOUn3CEN	TOUn4CEN	TOUn5CEN	TOUn6CEN	TOUn7CEN
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TOUn0CEN TOUn_0カウントイネーブルビット	0 : カウント停止 1 : カウント許可	R	W
9	TOUn1CEN TOUn_1カウントイネーブルビット			
10	TOUn2CEN TOUn_2カウントイネーブルビット			
11	TOUn3CEN TOUn_3カウントイネーブルビット			
12	TOUn4CEN TOUn_4カウントイネーブルビット			
13	TOUn5CEN TOUn_5カウントイネーブルビット			
14	TOUn6CEN TOUn_6カウントイネーブルビット			
15	TOUn7CEN TOUn_7カウントイネーブルビット			

TOUカウントイネーブルレジスタは、TOUカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するイネーブルプロテクトビットを書き換え許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、イネーブルプロテクトビットを書き換え許可にし、カウントイネーブルビットに"0"を書き込みます。

ワンショット出力、ワンショットPWM出力、またはディレイドワンショット出力モードではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOUカウントイネーブルレジスタを読み出した場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

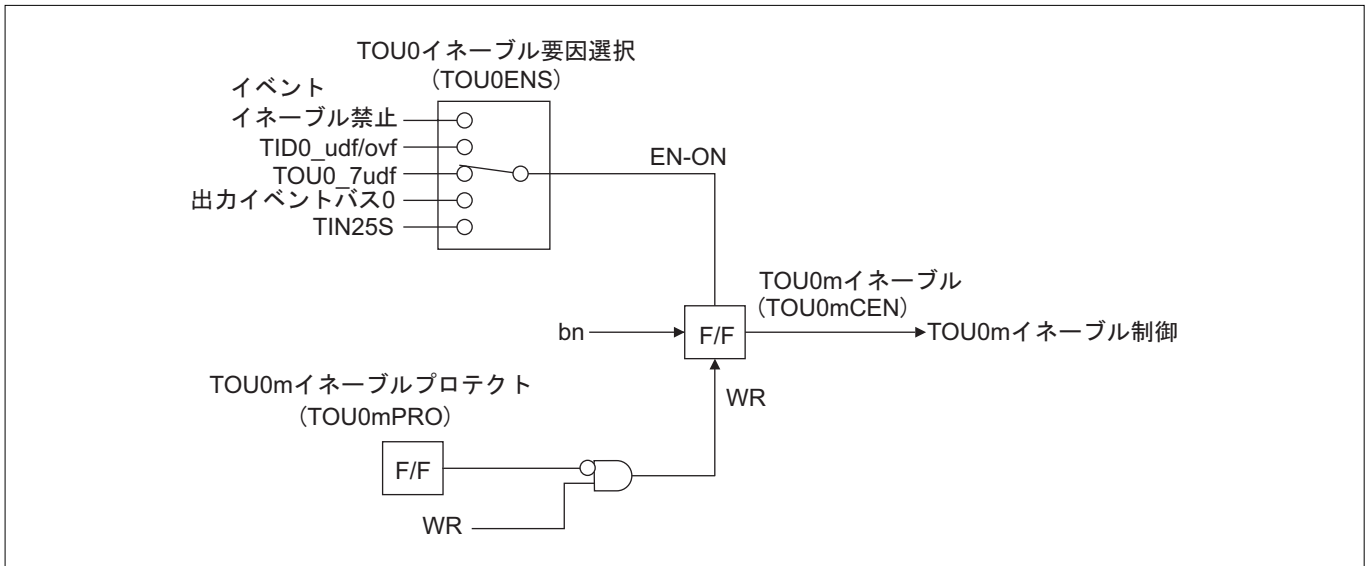


図10.8.3 TOU0イネーブル回路構成図

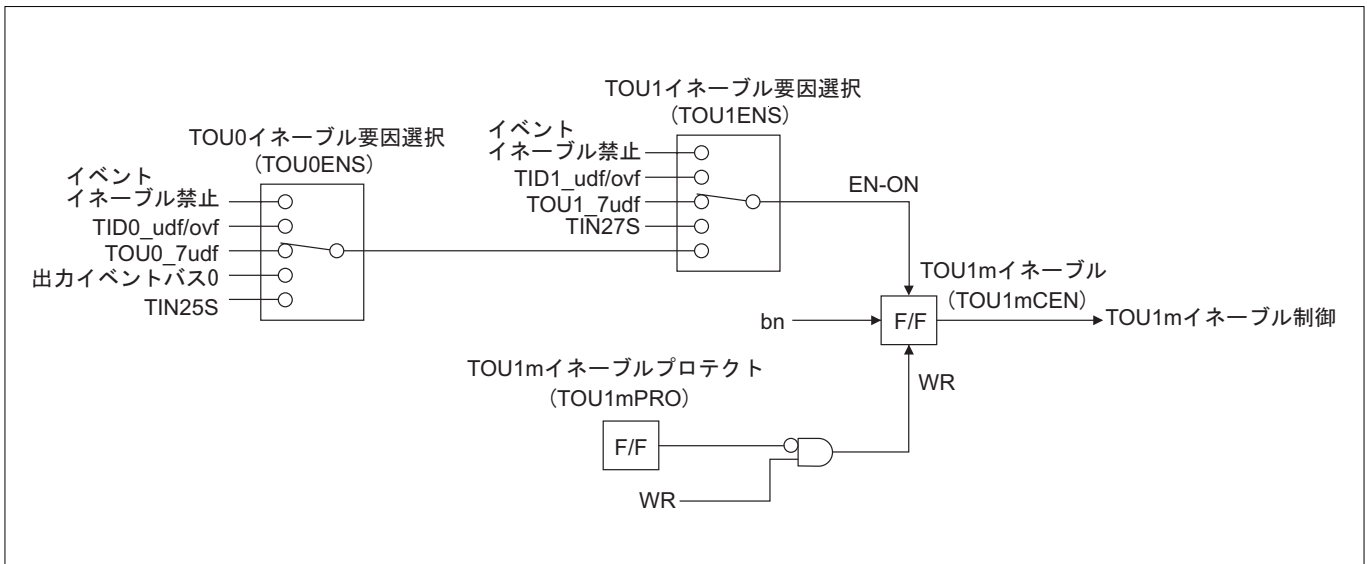


図10.8.4 TOU1イネーブル回路構成図

10.8.10 PWMOFF入力処理制御レジスタ

PWMOFF0入力処理制御レジスタ(PWMOFF0CR)

<アドレス: H'0080 07E0>

b0	1	2	3	4	5	6	b7
0	0	0	0	PWMOFF0SP 0	0	PWMOFF0S 0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	PWMOFF0SP PWMOFF0S書き込み制御ビット	-	0	W
5~7	PWMOFF0S PWMOFF0入力処理制御ビット	000: 入力無効 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 10X: Lレベル 11X: Hレベル	R	W

PWMOFF1入力処理制御レジスタ(PWMOFF1CR)

<アドレス: H'0080 0BE0>

b0	1	2	3	4	5	6	b7
0	0	0	0	PWMOFF1SP 0	0	PWMOFF1S 0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	PWMOFF1SP PWMOFF1S書き込み制御ビット	-	0	W
5~7	PWMOFF1S PWMOFF1入力処理制御ビット	000: 入力無効 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 10X: Lレベル 11X: Hレベル	R	W

PWMOFF入力処理制御レジスタは、外部端子によるPWM出力禁止制御を設定するレジスタです。PWM出力禁止機能の詳細は「10.8.20 PWM出力禁止機能」を参照してください。

PWMOFF入力処理制御ビットを設定する場合は、下記の手順で行います。

1. PWMOFFnS書き込み制御ビット(PWMOFFnSP)に"1"を書き込み
2. 上記1. に連続してPWMOFFnS書き込み制御ビット(PWMOFFnSP)に"0"を、PWMOFF入力処理制御ビット(PWMOFFnS)に設定値を書き込み

注. ・1と2の間にCPU、DMA、SDK(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルには影響しません。

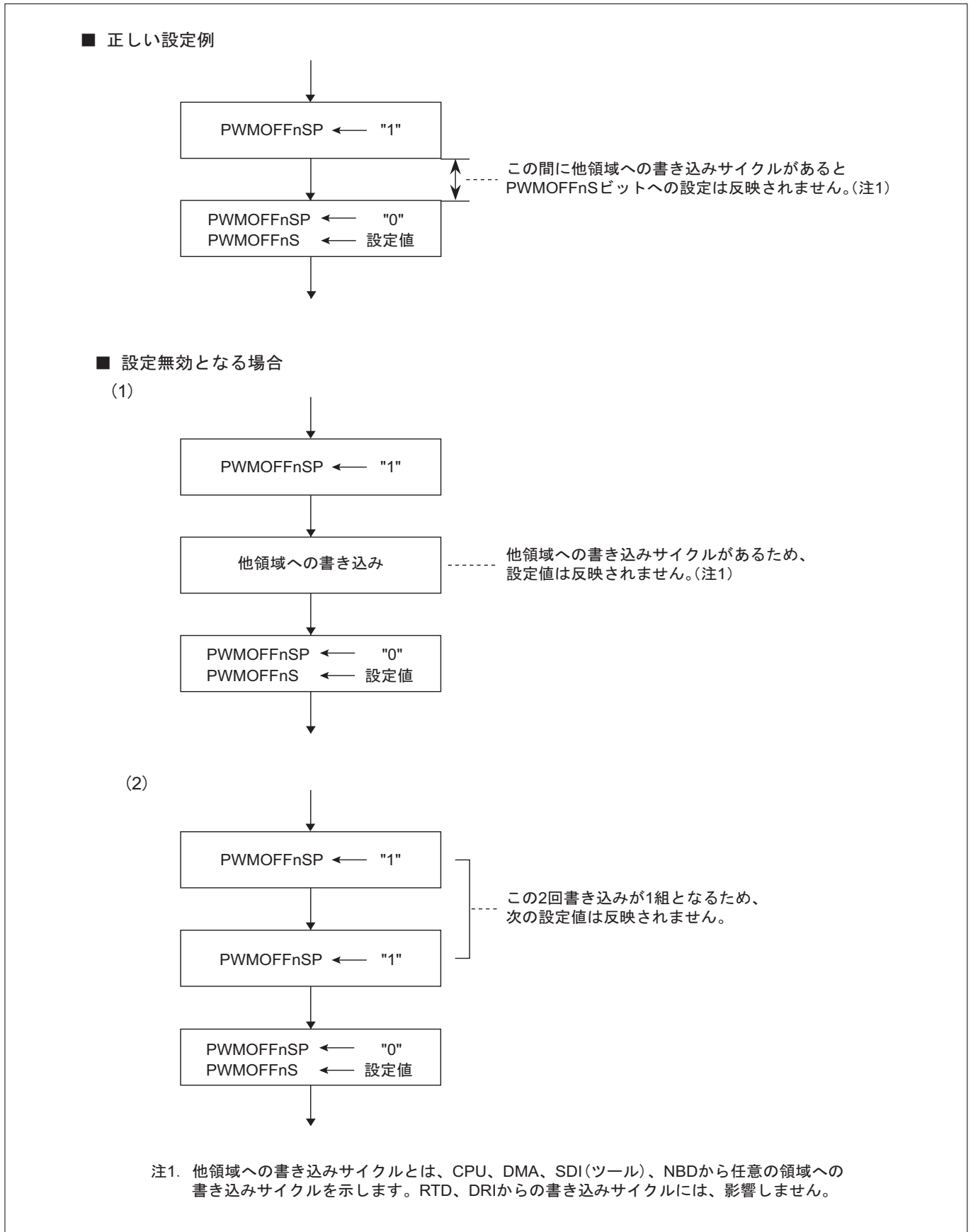


図10.8.5 PWMOFFnS設定手順

10.8.11 PWM出力禁止制御レジスタ

PWM出力0禁止制御レジスタGA(PO0DISGACR)

<アドレス : H'0080 0520 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	PO0DISGAP 0	PO0DISGA 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	PO0DISGAP PO0DISGA書き込み制御ビット	-	0	W
7	PO0DISGA P87/TO21 ~ P82/TO26出力禁止選択ビット	0 : 出力許可 1 : 出力禁止	R	W

PWM出力1禁止制御レジスタGA(PO1DISGACR)

<アドレス : H'0080 0522 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	PO1DISGAP 0	PO1DISGA 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	PO1DISGAP PO1DISGA書き込み制御ビット	-	0	W
7	PO1DISGA P110/TO29 ~ P115/TO34出力禁止選択ビット	0 : 出力許可 1 : 出力禁止	R	W

PWM出力0禁止制御レジスタGB(PO0DISGBCR)

<アドレス : H'0080 0780 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	PO0DISGBP 0	PO0DISGB 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	PO0DISGBP PO0DISGB書き込み制御ビット	-	0	W
7	PO0DISGB P00/TO21 ~ P05/TO26出力禁止選択ビット	0 : 出力許可 1 : 出力禁止	R	W

PWM出力禁止制御レジスタは、TO21 ~ 26、TO29 ~ TO34端子からのPWM出力の禁止制御を行うレジスタです。PWM出力禁止機能の詳細は「10.8.20PWM出力禁止機能」を参照してください。

POnDISGmビットを設定する場合は、下記の手順で行います。

1. POnDISGmCRのPOnDISGmPビットに"1"を設定
2. 上記1. 書き込み後、連続してPOnDISGmPビットに"0"を、POnDISGmビットに設定値を書き込み

注. ・1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルには影響しません。

PWM出力1禁止制御レジスタGB(PO1DISGBCR)

<アドレス : H'0080 0782 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	PO1DISGBP 0	PO1DISGB 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	PO1DISGBP PO1DISGB書き込み制御ビット	-	0	W
7	PO1DISGB P10/TO29 ~ P15/TO34出力禁止選択ビット	0 : 出力許可 1 : 出力禁止	R	W

このレジスタは、それぞれ対応する端子の出力許可/禁止を制御するレジスタです。これらの端子はTOUタイマで3相PWM出力制御を行う場合に使用可能です。

このレジスタを制御することにより、3相PWM出力を強制的に禁止(ハイインピーダンス状態)にすることができます。TOUのすべての出力モード、ポート出力であっても使用できます。ただし、その他のモード(外部バス、SIOモード、DRIモード、TOPの出力モード(TO0-TO5)ポート入力)の場合には、使用禁止です。詳細については、「10.8.20 PWM出力禁止機能」を参照してください。また、POnDISGmを読み出した場合は、出力禁止状態を示すステータスビットとなります。

このレジスタを設定する場合は、下記の手順で行います。

1. POnDISGm書き込み制御ビット(POnDISGmP)に"1"を書き込み
2. 上記1. に連続してPOnDISGm書き込み制御ビット(POnDISGmP)に"0"を、出力禁止選択ビット(POnDISGm)に"0"または"1"を書き込み

注 . . 1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルには影響しません。

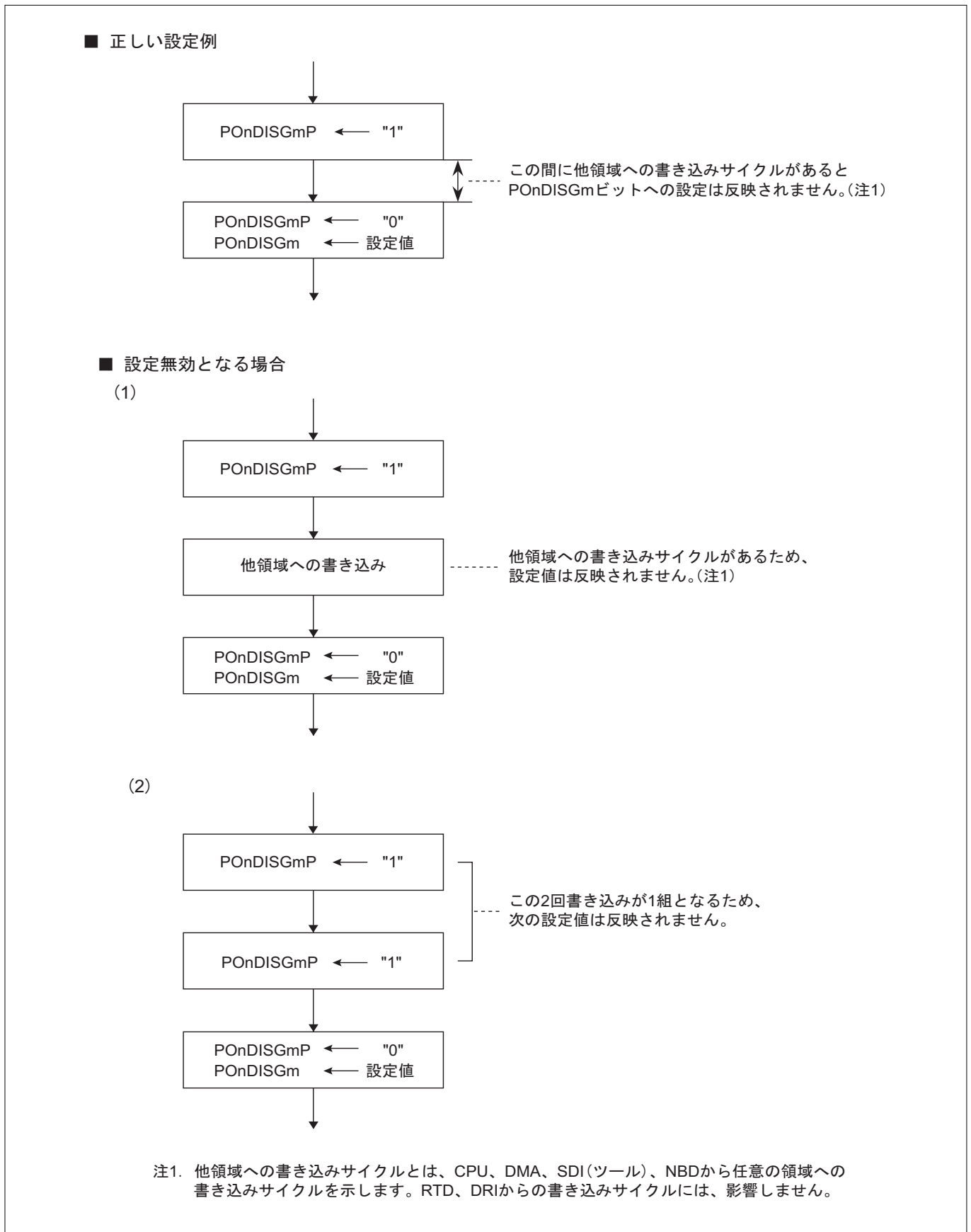


図10.8.6 POnDISGm設定手順

10.8.12 PWM出力禁止レベル制御レジスタ

PWM出力0禁止レベル制御レジスタGA(PO0LVGACR)

<アドレス : H'0080 0521 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	PO0LVSELGA 0	PO0LVENGA 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	PO0LVSELGA P87/TO21 ~ P82/TO26出力禁止レベル選択ビット	0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択	R	W
15	PO0LVENGA 出力禁止レベル有効/無効選択ビット	0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効	R	W

PWM出力1禁止レベル制御レジスタGA(PO1LVGACR)

<アドレス : H'0080 0523 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	PO1LVSELGA 0	PO1LVENGA 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	PO1LVSELGA P110/TO29 ~ P115/TO34出力禁止レベル選択ビット	0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択	R	W
15	PO1LVENGA 出力禁止レベル有効/無効選択ビット	0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効	R	W

PWM出力0禁止レベル制御レジスタGB(PO0LVGBCR)

<アドレス : H'0080 0781 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	PO0LVSELGB 0	PO0LVENGB 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	PO0LVSELGB P00/TO21 ~ P05/TO26出力禁止レベル選択ビット	0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択	R	W
15	PO0LVENGB 出力禁止レベル有効/無効選択ビット	0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効	R	W

PWM出力1禁止レベル制御レジスタGB(PO1LVGBCR)

<アドレス : H'0080 0783 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	PO1LVSELGB 0	PO1LVENGB 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	PO1LVSELGB P10/TO29 ~ P15/TO34出力禁止レベル選択ビット	0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択	R	W
15	PO1LVENGB 出力禁止レベル有効/無効選択ビット	0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効	R	W

出力禁止レベル選択機能は、ポートの出力状態に応じてポートの出力を強制的に禁止(ハイインピーダンス状態)する機能です。

出力禁止レベル選択機能は、3相PWMの信号同時ONの判定等で使用可能です。また、ポートの出力状態に応じて動作するためポートの2重検証としても使用可能です。TOUのすべての出力モード、ポート出力であっても使用できます。ただし、その他のモード(外部バス、SIOモード、DRIモード、TOPの出力モード(TO0-TO5)ポート入力)の場合には、使用禁止です。詳細については、「10.8.20 PWM出力禁止機能」を参照してください。

(1) POnLVSEL(出力禁止レベル選択)ビット(b14)

どの出力レベル("L"レベル、"H"レベル)で出力を禁止するかを指定するビットです。

"L"レベルのとき出力を禁止する場合にはこのビットに"0"を、"H"レベルのとき出力を禁止する場合にはこのビットに"1"を設定します。

ポートの出力状態に応じてポートの出力をOFFにする場合の条件を以下に示します。

1) PO0LVSEL = 0

下記条件のうち、いずれか1つでも成立すれば、TO21~TO24(TOU0_0~TOU0_5出力端子)の出力が禁止されます。

- TO21(TOU0_0出力端子)出力、TO22(TOU0_1出力端子)出力が共に"L"レベル
- TO23(TOU0_2出力端子)出力、TO24(TOU0_3出力端子)出力が共に"L"レベル
- TO25(TOU0_4出力端子)出力、TO26(TOU0_5出力端子)出力が共に"L"レベル

2) PO0LVSEL = 1

下記条件のうち、いずれか1つでも成立すれば、TO21~TO24(TOU0_0~TOU0_5出力端子)の出力が禁止されます。

- TO21(TOU0_0出力端子)出力、TO22(TOU0_1出力端子)出力が共に"H"レベル
- TO23(TOU0_2出力端子)出力、TO24(TOU0_3出力端子)出力が共に"H"レベル
- TO25(TOU0_4出力端子)出力、TO26(TOU0_5出力端子)出力が共に"H"レベル

3) PO1LVSEL = 0

下記条件のうち、いずれか1つでも成立すれば、TO29~TO34(TOU1_0~TOU1_5出力端子)の出力が禁止されます。

- TO29(TOU1_0出力端子)出力、TO30(TOU1_1出力端子)出力が共に"L"レベル
- TO31(TOU1_2出力端子)出力、TO32(TOU1_3出力端子)出力が共に"L"レベル
- TO33(TOU1_4出力端子)出力、TO34(TOU1_5出力端子)出力が共に"L"レベル

4) PO1LVSEL = 1

下記条件のうち、いずれか1つでも成立すれば、TO29~TO34(TOU1_0~TOU1_5出力端子)の出力が禁止されます。

- TO29(TOU1_0出力端子)出力、TO30(TOU1_1出力端子)出力が共に"H"レベル
- TO31(TOU1_2出力端子)出力、TO32(TOU1_3出力端子)出力が共に"H"レベル
- TO33(TOU1_4出力端子)出力、TO34(TOU1_5出力端子)出力が共に"H"レベル

(2) POnLVEN(出力禁止レベル有効/無効選択)ビット(b15)

POnLVSELビットで選択した出力禁止レベルの有効/無効を指定するビットです。このビットに"1"を設定した場合、POnLVSELビットで選択した出力禁止レベルが有効になり、このビットに"0"を設定した場合、POnLVSELビットで選択した出力禁止レベルは無効になります。

10.8.13 PWMOFF機能許可レジスタ

PWMOFF0機能許可レジスタ(PWMOFF0EN)

<アドレス : H'0080 0526 >

b0	1	2	3	4	5	6	b7
PWMOFF0 GBEN 0	PWMOFF0 GAEN 0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	PWMOFF0GBEN P00 ~ P05PWMOFF機能選択ビット	0 : PWMOFF0機能無効 1 : PWMOFF0機能有効	R	W
1	PWMOFF0GAEN P87 ~ P82PWMOFF機能選択ビット	0 : PWMOFF0機能無効 1 : PWMOFF0機能有効	R	W
2 ~ 7	何も配置されていません。"0"に固定してください。		0	0

PWMOFF1機能許可レジスタ(PWMOFF1EN)

<アドレス : H'0080 0527 >

b8	9	10	11	12	13	14	b15
PWMOFF1 GBEN 0	PWMOFF1 GAEN 0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	PWMOFF1GBEN P10 ~ P15PWMOFF機能選択ビット	0 : PWMOFF1機能無効 1 : PWMOFF1機能有効	R	W
9	PWMOFF1GAEN P110 ~ P115PWMOFF機能選択ビット	0 : PWMOFF1機能無効 1 : PWMOFF1機能有効	R	W
10 ~ 15	何も配置されていません。"0"に固定してください。		0	0

PWMOFF入力端子によるPWM出力禁止機能の有効/無効を設定するレジスタです。PWM出力禁止機能は、TOUのすべての出力モード、ポート出力であっても使用できます。ただし、その他のモード(外部バス、SIOモード、DRIモード、TOPの出力モード(TO0-TO5)ポート入力)の場合には、使用禁止です。詳細については、「10.8.20 PWM出力禁止機能」を参照してください。

10.8.14 TOU PWM出力モード(補正機能なし)の動作

(1) TOU PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。PWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

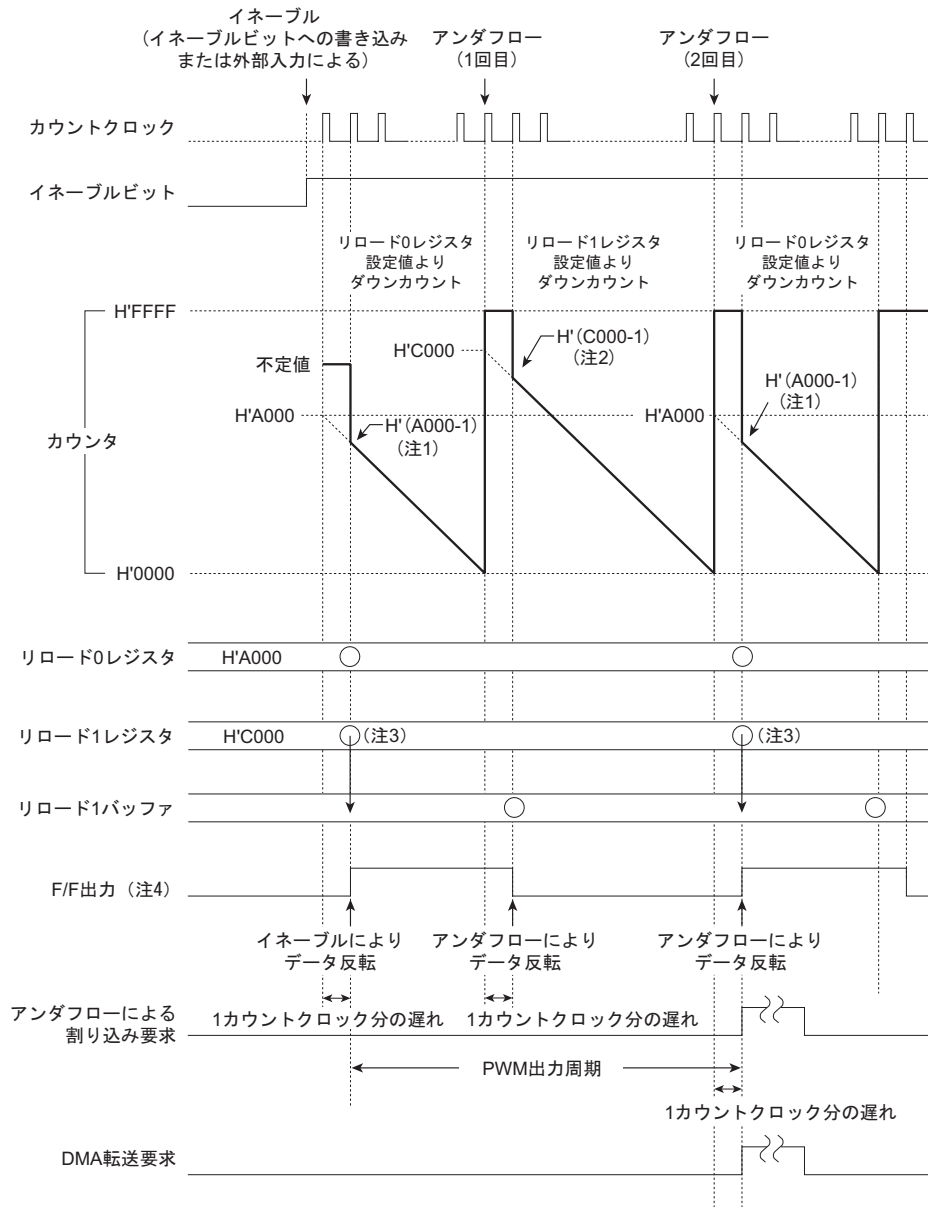
タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に行われます(PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが "L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込み要求、およびDMA転送要求を発生することができます。

リロード0レジスタまたはリロード1レジスタのどちらかに"H'FFFF"を設定した場合は、割り込み要求は発生しますがF/Fは反転しないデューティ0%、100%のPWM出力を行うことが可能です。また、リロードするときデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「 10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力 」を参照してください。

なお、TOUのPWM出力モードには補正機能はありません。



- 注1. "リロード0レジスタ-1"の値がリロードされます。
 注2. "リロード1バッファ-1"の値がリロードされます。
 注3. リロード0レジスタ更新後のリロード0をリロード時に、リロード1バッファの転送が行われます。
 注4. タイマ動作中のリロード0、リロード1レジスタの更新は、現在出力中のPWM波形には影響を及ぼしません。
 リロード0レジスタ更新後の次のPWM周期より更新が反映されます。
 注. ・本図においては、詳細タイミング情報は含みません。

図10.8.7 PWM出力モードの動作例

(2) TOU PWM出力モードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0、1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新後のリロード0レジスタをリロード時に行われます。ただし、リロード0、1レジスタをリードすると、常に書き込んだデータが読み出されます。

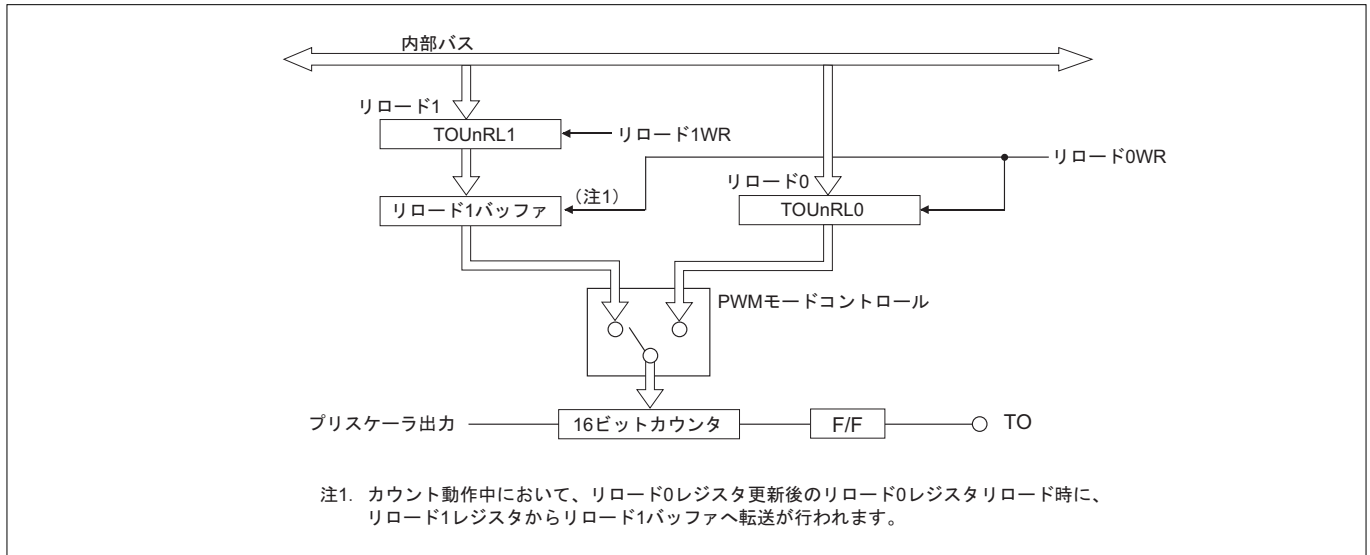


図10.8.8 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0、1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、タイミングによりリロード0レジスタのみ更新される場合があります。また、リロード0、1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

PWM出力モードで動作中にPWM周期内でリロード0レジスタとリロード1レジスタを2回以上書き込み、下記2条件を同時に満たす場合、前回書き込みを行ったリロード0レジスタ値と、最終的に書き込みを行ったリロード1レジスタ値でPWM波形が出力されます。

条件1：旧PWM出力周期のリロード0レジスタのPWM周期取り込み後に、リロード0レジスタの書き込み実施。

条件2：新PWM出力周期のPWM周期取り込み前にリロード1レジスタを書き換え、PWM周期取り込み後にリロード0レジスタの書き込み実施。

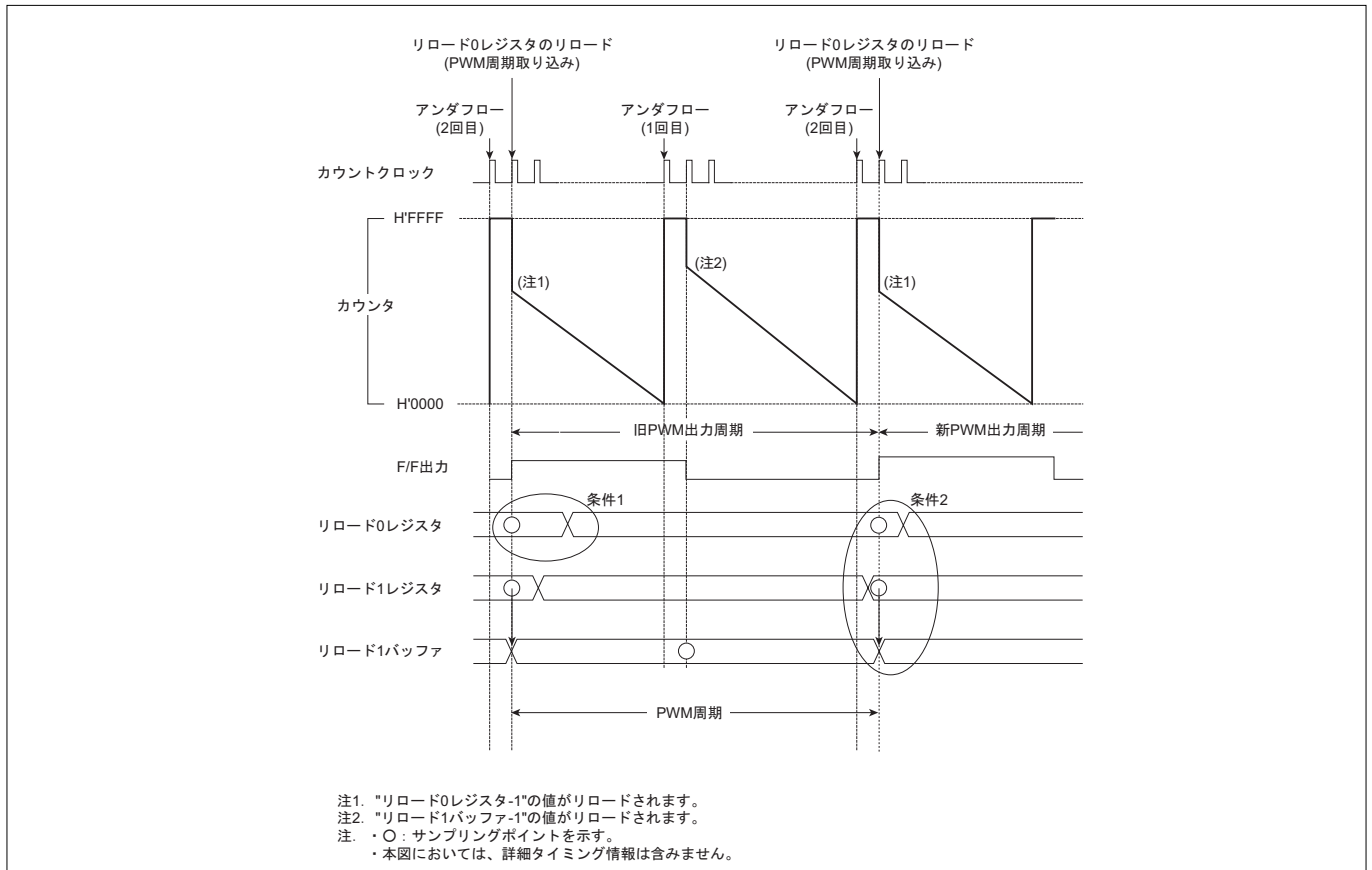


図10.8.9 PWM周期の更新タイミング

PWM周期の更新を正しく行うために、以下のいずれかのソフトウェア対策を行ってください。

- リロード1レジスタとリロード0レジスタへの書き込み時にカウンタ値を読み出すことによってPWM周期の終了タイミングを判別し、PWM周期をまたがないようにリロード1レジスタとリロード0レジスタへの書き込みを行う。
- 割り込みを使用してリロード1レジスタとリロード0レジスタへの書き込みを行っている場合には、カウンタのプリスケアラ値をできる限り最小設定を行う。プリスケアラ値をできる限り最小にすることにより、PWM周期でH'FFFFとなる状態より後でリロード1レジスタとリロード0レジスタへの書き込みを行う。
- リロード1レジスタとリロード0レジスタの書き込みは、PWM周期あたり1回以下の周期で行う。(PWM周期に対して、リロードレジスタの書き換え周期を長くする。)

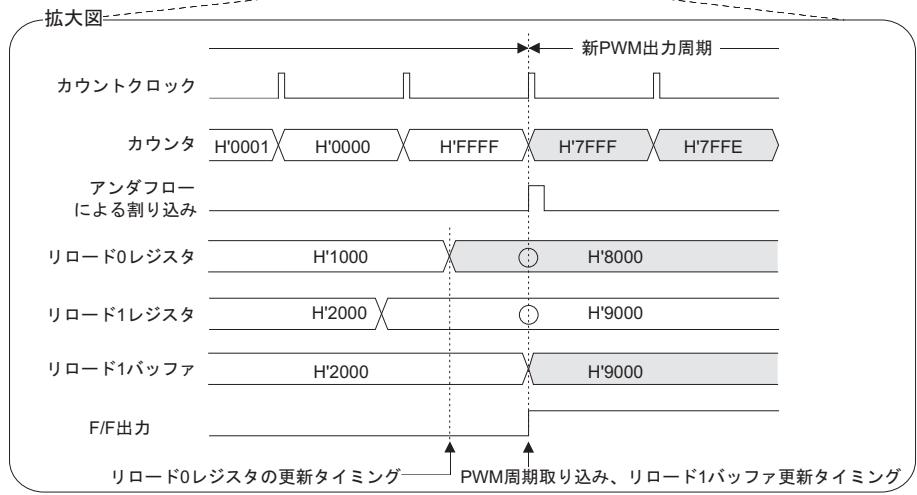
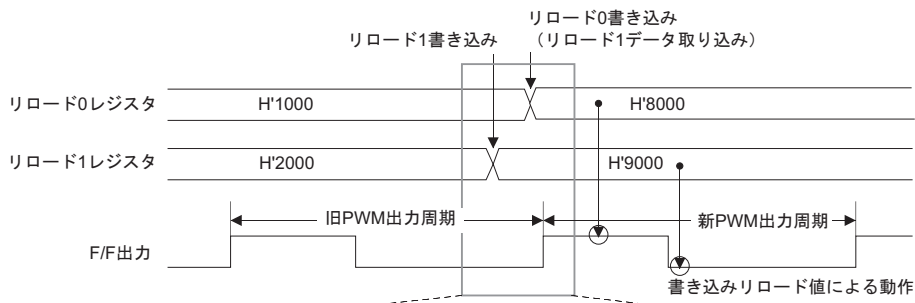
(3) TOU PWM 出力モード使用上の注意

TOU PWM出力モードを使用する場合の注意点を以下に示します。

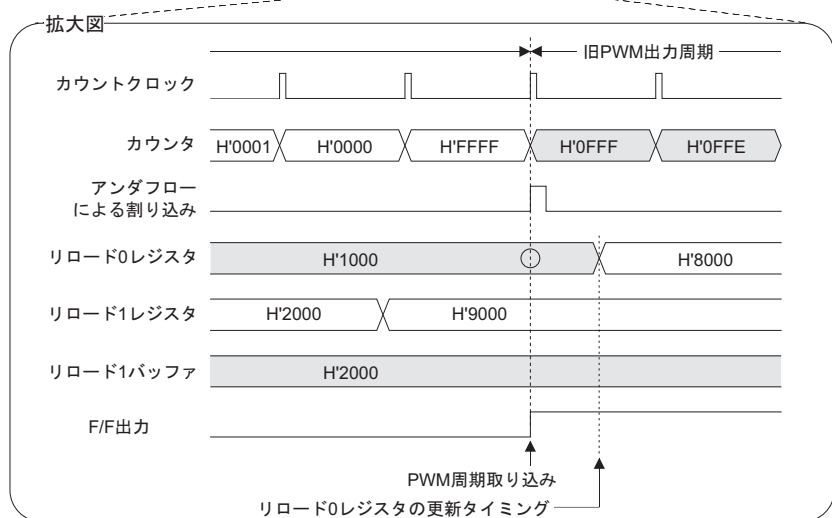
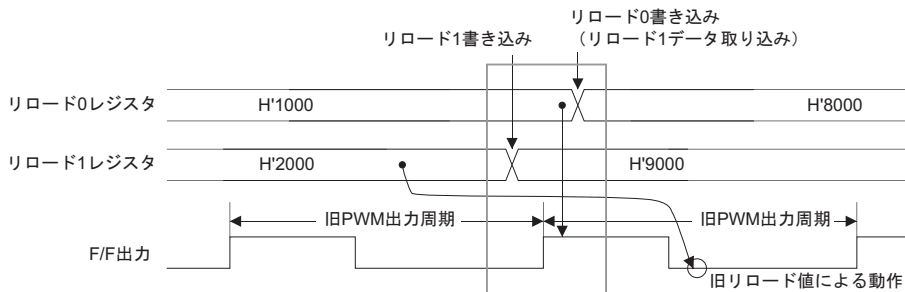
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウンタクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウンタクロックに同期しているため、イネーブルからF/F出力反転までに最大で1カウンタクロック分の遅延が発生します。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウンタクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

(a) 現周期でリロードレジスタ更新が有効となる場合 (次周期に反映)



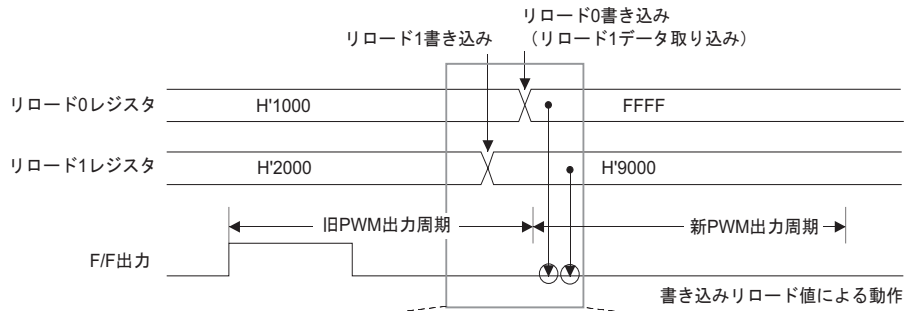
(b) 次周期でリロードレジスタ更新が有効となる場合 (1周期遅れで反映)



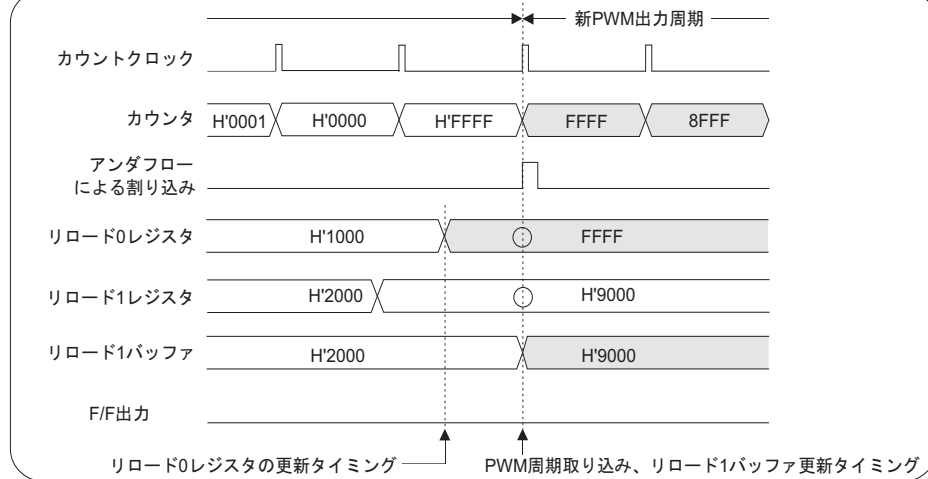
注: ・本図においては、詳細タイミング情報は含みません。

図10.8.10 PWM出力モードにおけるリロード0、1レジスタの更新

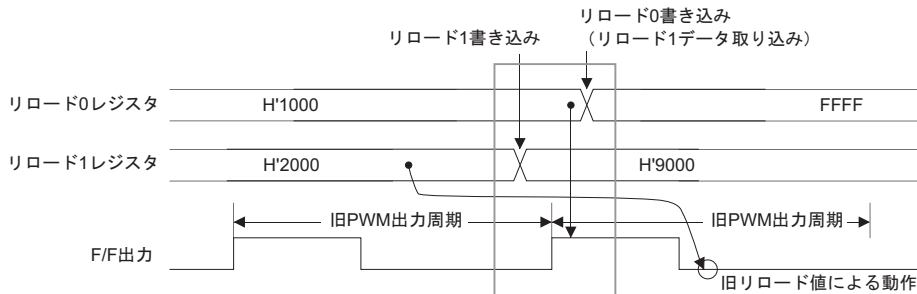
(a) 現周期でリロードレジスタ更新が有効となる場合 (次周期に反映)



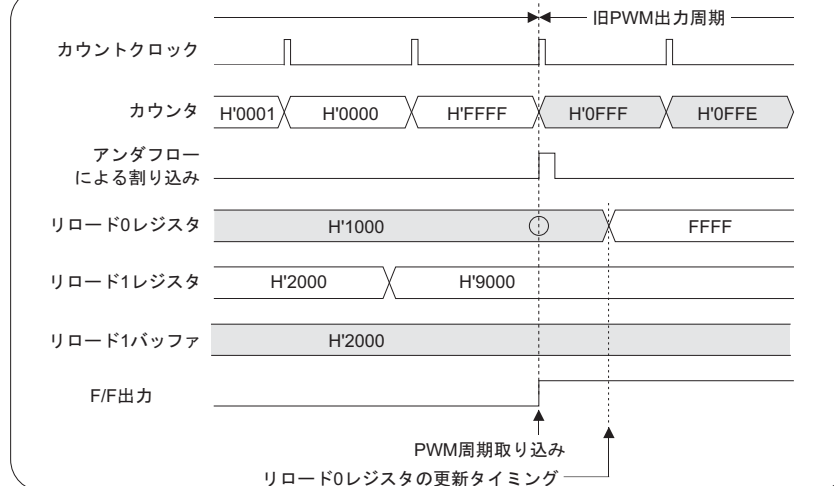
拡大図



(b) 次周期でリロードレジスタ更新が有効となる場合 (1周期遅れで反映)



拡大図



注: 本図においては、詳細タイミング情報は含みません。

図10.8.11 PWM出力モードにおけるリロード0、1レジスタの更新(デューティ0%、100%出力時)

10.8.15 TOUワンショットPWM出力モード(補正機能なし)の動作

(1) TOUワンショットPWM出力モード概要

ワンショットPWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。ワンショットPWM出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロード0レジスタ - 1"の値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローの次のサイクルで、"リロード1レジスタ - 1"の内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値 + 1、リロード1レジスタの設定値 + 1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に Rowe 行われます(PWM出力周期には同期しません)。

ワンショットPWM出力モードのF/F出力波形は、各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します(PWM出力モードと異なり、カウンタイネーブル時、F/F出力は反転しません)。

また、カウンタイネーブル後の2回目のアンダフローで割り込み要求、およびDMA要求を発生することができます。

リロード0レジスタまたはリロード1レジスタのどちらかに"H'FFFF"を設定した場合は、割り込み要求は発生しますがF/Fは反転しないデューティ0%、100%のPWM出力を行うことが可能です。また、リロードするときデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

なお、TOUのワンショットPWM出力モードには補正機能はありません。

(2) TOUワンショットPWM出力モード使用上の注意

TOUワンショットPWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作中のリロード0、リロード1レジスタの更新は、現在出力中のPWM波形には影響を及ぼしません。更新は、次のイネーブル時のPWM周期より反映されます。

リロードするときデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

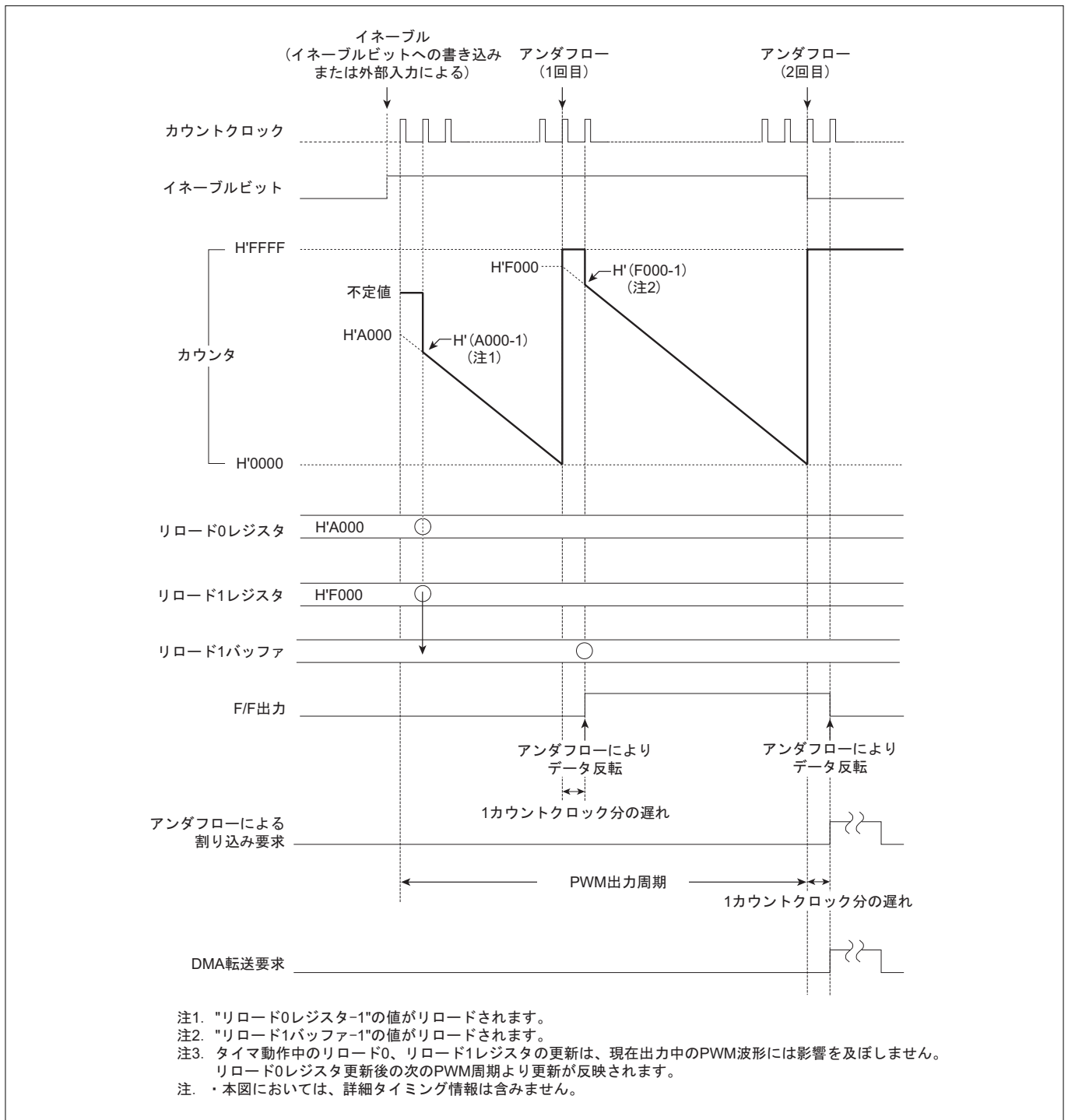


図10.8.12 TOUワンショットPWM出力モード(補正機能なし)の動作例

10.8.16 TOUディレイドワンショット出力モード(補正機能なし)の動作

(1) TOUディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して停止するモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローの次のサイクルで、「リロードレジスタ - 1」の値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、およびDMA要求を発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です(カウント動作については「10.3.10 TOPディレイドワンショット出力モードの動作」も参照してください)。

(2) TOUディレイドワンショット出力モード使用上の注意

TOUディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FF FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

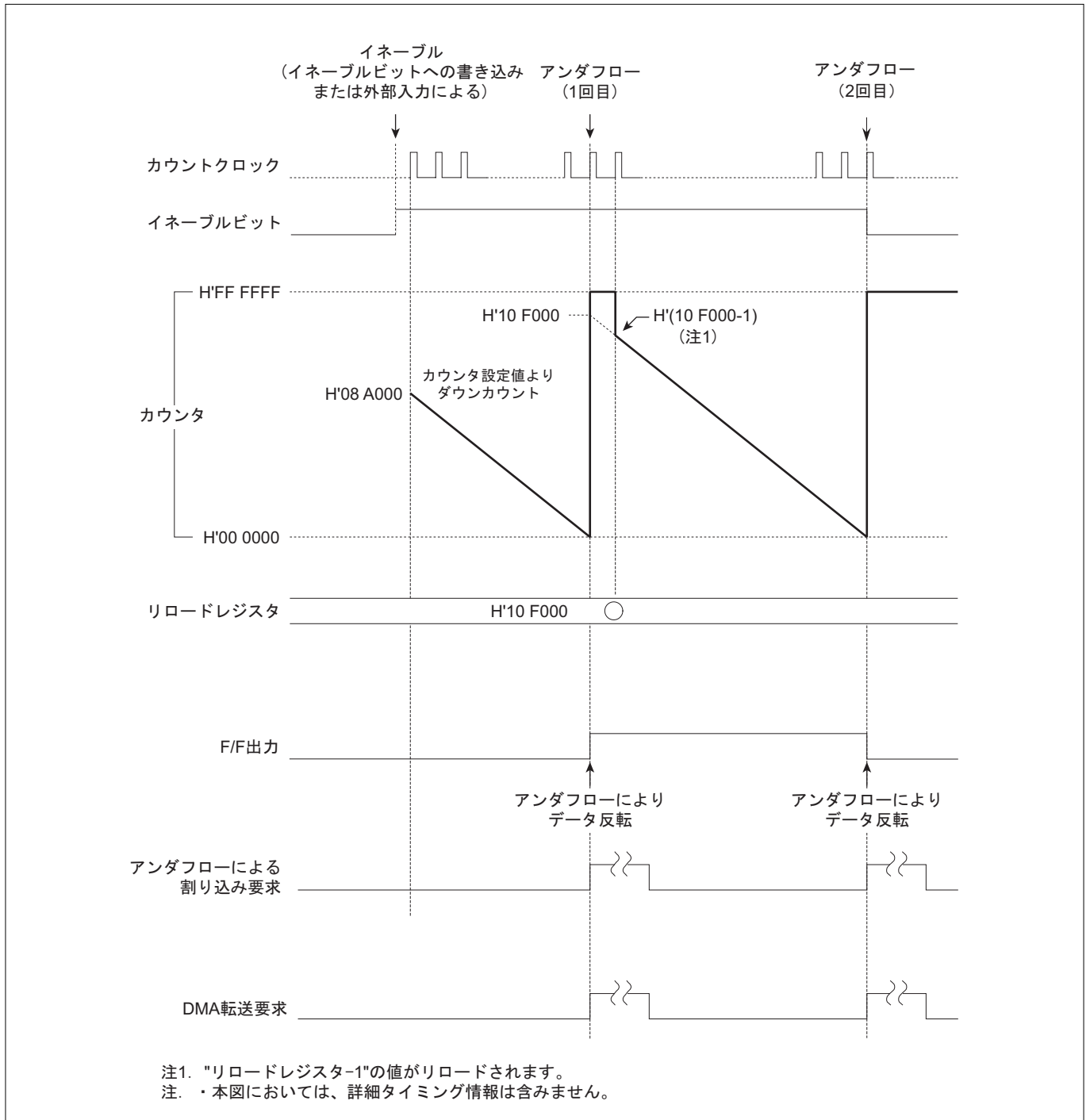


図10.8.13 TOUディレイドワンショット出力モード(補正機能なし)の動作例

10.8.17 TOUワンショット出力モード(補正機能なし)の動作

(1) TOUワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して停止するモードです。

リロードレジスタ設定後、タイマをイネーブルすると、次のサイクルにカウントクロックに同期して"リロードレジスタ-1"の内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求、およびDMA要求を発生することができます。

カウント値はリロードレジスタの設定値+1です(カウント動作については「10.3.9 TOPワンショット出力モードの動作」も参照してください)。

(2) TOUワンショット出力モード使用上の注意

TOUワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

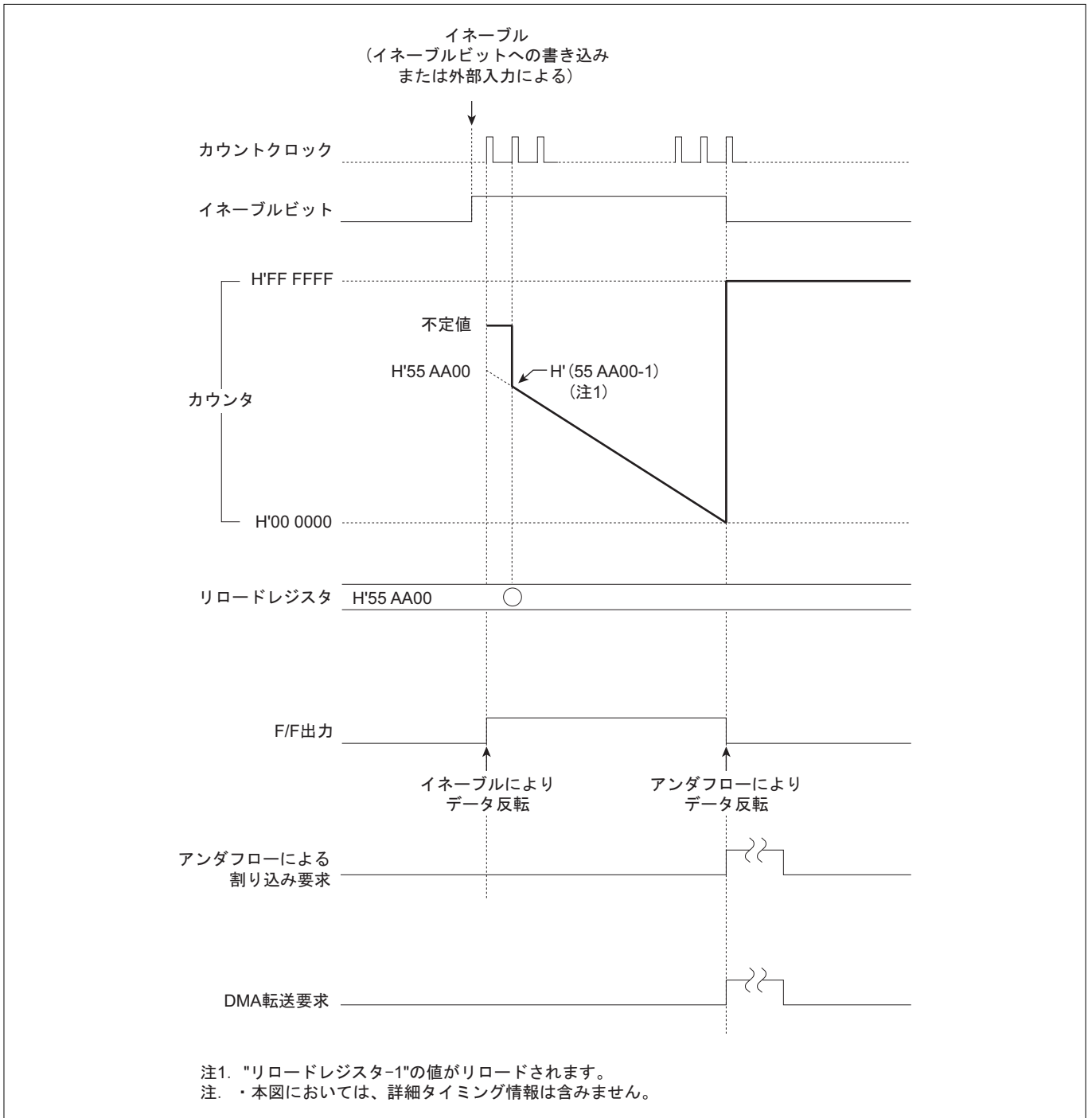


図10.8.14 TOUワンショット出力モード(補正機能なし)の動作例

10.8.18 TOU連続出力モード(補正機能なし)の動作

(1) TOU連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値 + 1の反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブルすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローが発生します。

このアンダフローにより次のサイクルで「リロードレジスタ - 1」の内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA要求が発生することができます。

カウンタの設定値 + 1、リロードレジスタの設定値 + 1がカウント値として有効です(カウント動作については「10.3.11 TOP連続出力モードの動作」も参照してください)。

(2) TOU連続出力モード使用上の注意

TOU連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FF FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分の遅延が発生します。

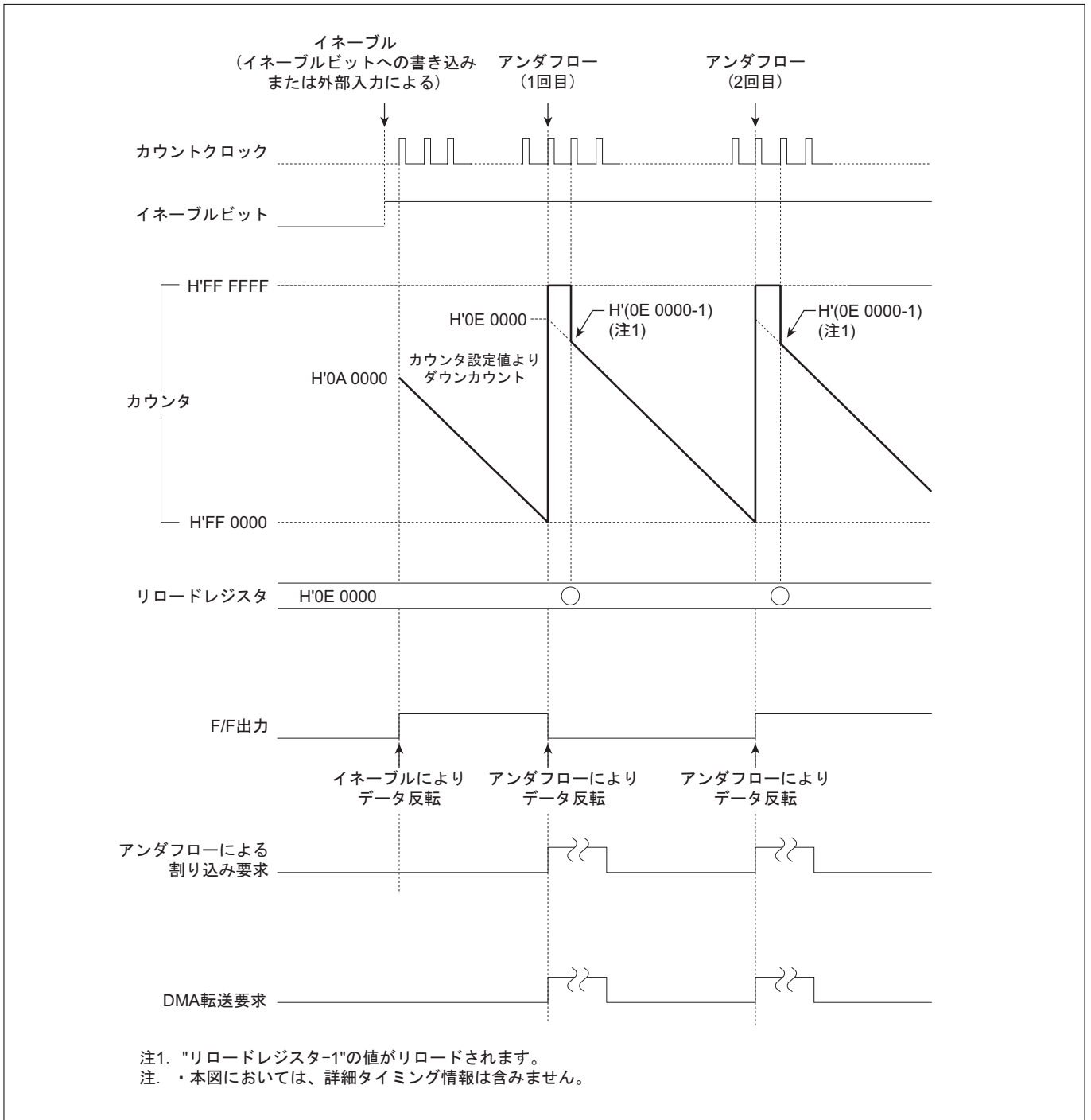


図10.8.15 TOU連続出力モード(補正機能なし)の動作例

10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力

PWM出力/ワンショットPWM出力モード時にリロード0レジスタ、またはリロード1レジスタに"H'FFFF"を書き込み、動作させるとF/Fを反転しないPWM出力(デューティ0%、100%)を設定できます。

PWM出力/ワンショットPWM出力モード時は、リロード値が"H'FFFF"かどうかを判定するため、下記の注意が必要です。

- (1)0%、100%検出時でも1カウントするため、片方のリロードレジスタには、-1した値を入れなければ周期は一定になりません。

(例)出力したい周期が、"10"カウントのとき

周期割合	50% : 50%	80% : 20%	90% : 10%	100% : 0%
カウント割合	5 : 5	8 : 2	9 : 1	10 : 0
レジスタ設定値	0004 : 0004	0007 : 0001	0008 : 0000	<u>0009 : FFFF</u>

n+1カウントするので実際の設定値はそれぞれ"-1"する必要があります。

0008:FFFF

"FFFF"を検出後F/F反転せず、1カウントします。

このため、周期を一定にするには"0009"を"0008"にしてください。

- (2)リロードレジスタに"H'FFFF"を設定した場合はデューティ0%、100%となるため、純粋な"H'FFFF"カウントはできません。
- (3)リロード0レジスタ、およびリロード1レジスタ共に"H'FFFF"を設定するのは、使用禁止です。
- (4)動作中のカウンタへの"H'FFFF"書き込みは、使用禁止です。
- (5)デューティ0%、100%の場合でも、割り込み要求、他のタイマへの起動要求は発生します。
- (6)リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロックだけ遅れます。ただし、他のタイマへの起動要求は遅れません。

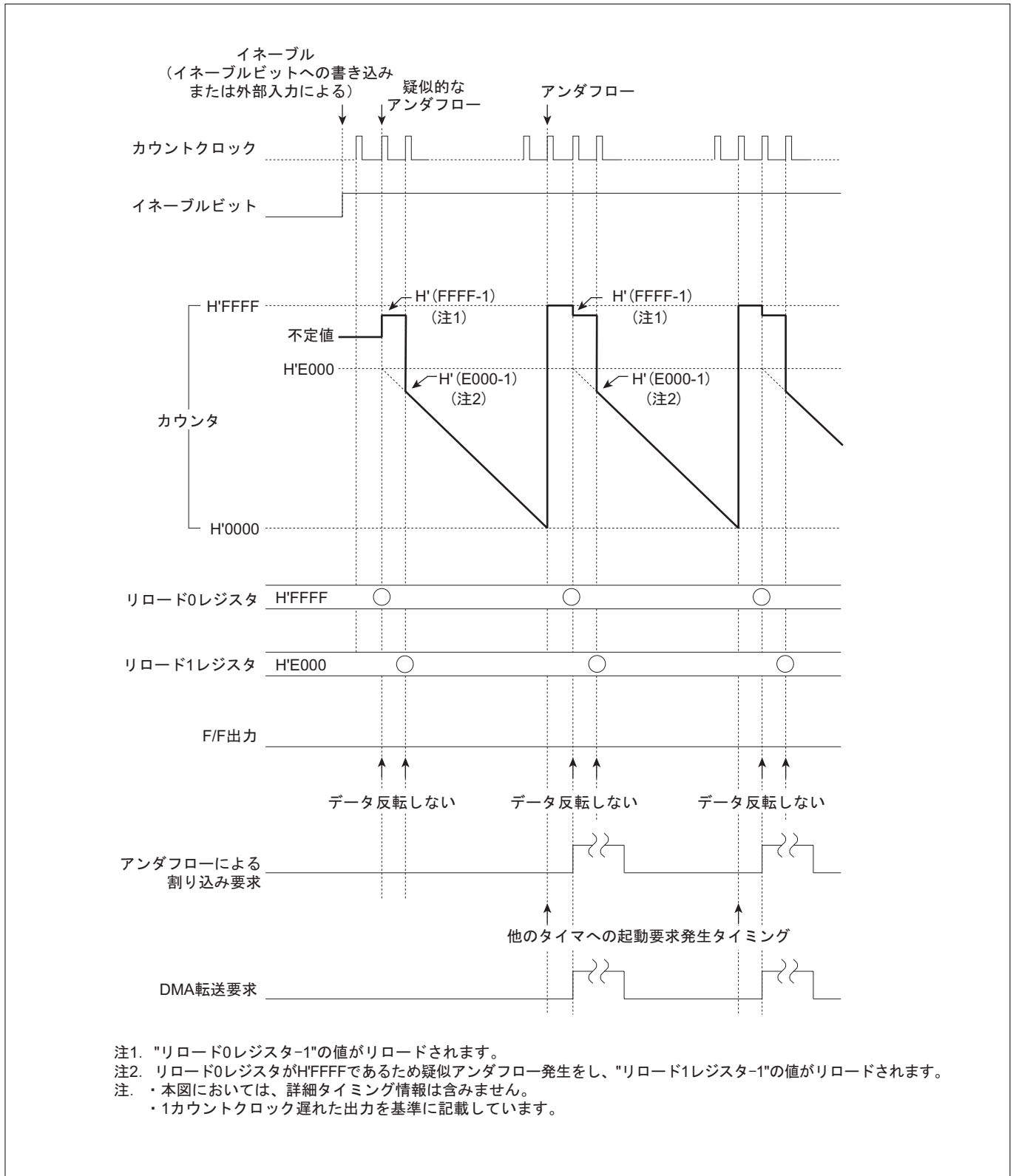


図10.8.16 PWM出力モードの動作例(リロード0レジスタ：H'FFFF)

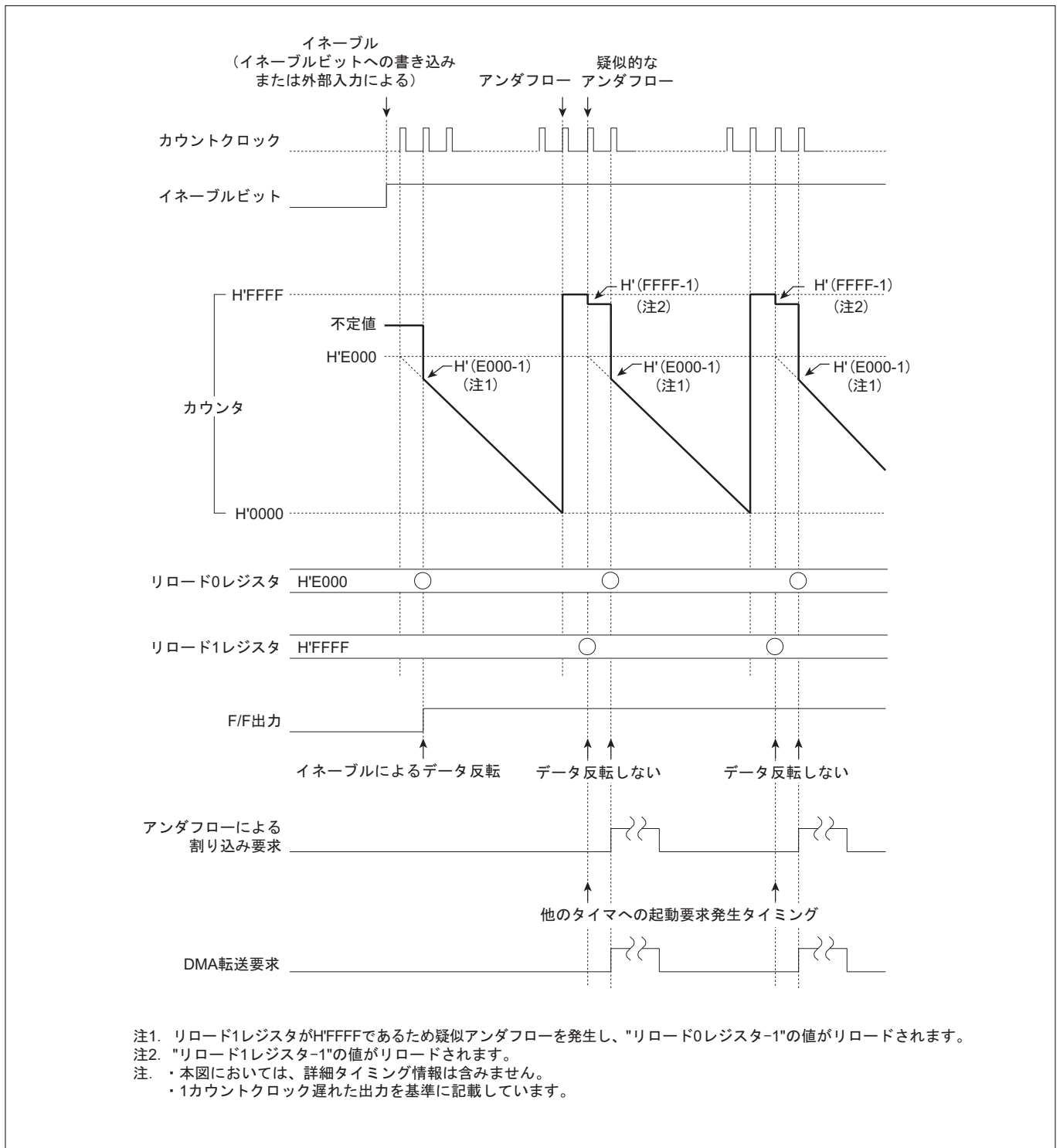


図10.8.17 PWM出力モードの動作例(リロード1レジスタ : H'FFFF)

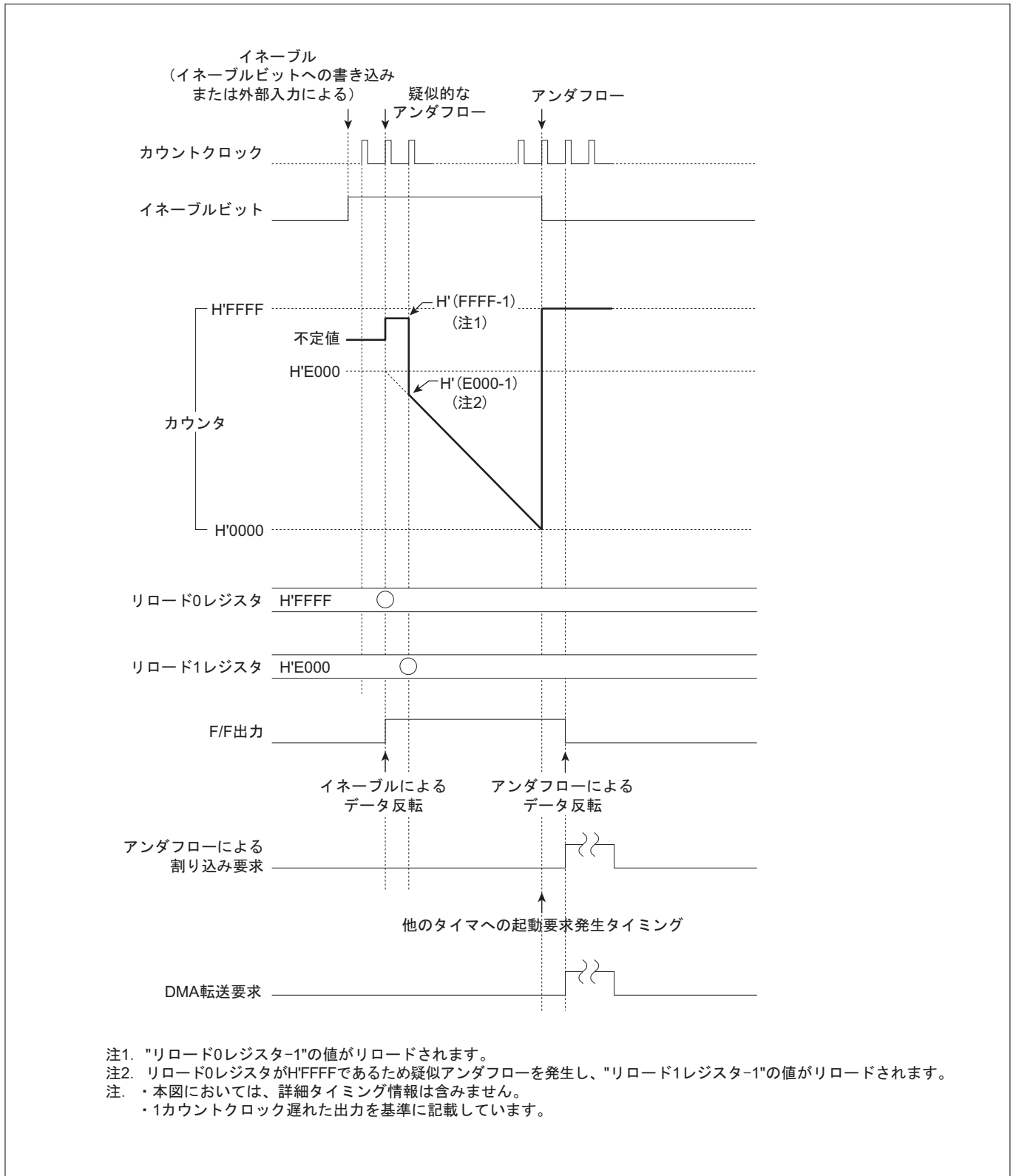


図10.8.18 ワンショットPWM出力モードの動作例(リロード0レジスタ：H'FFFF)

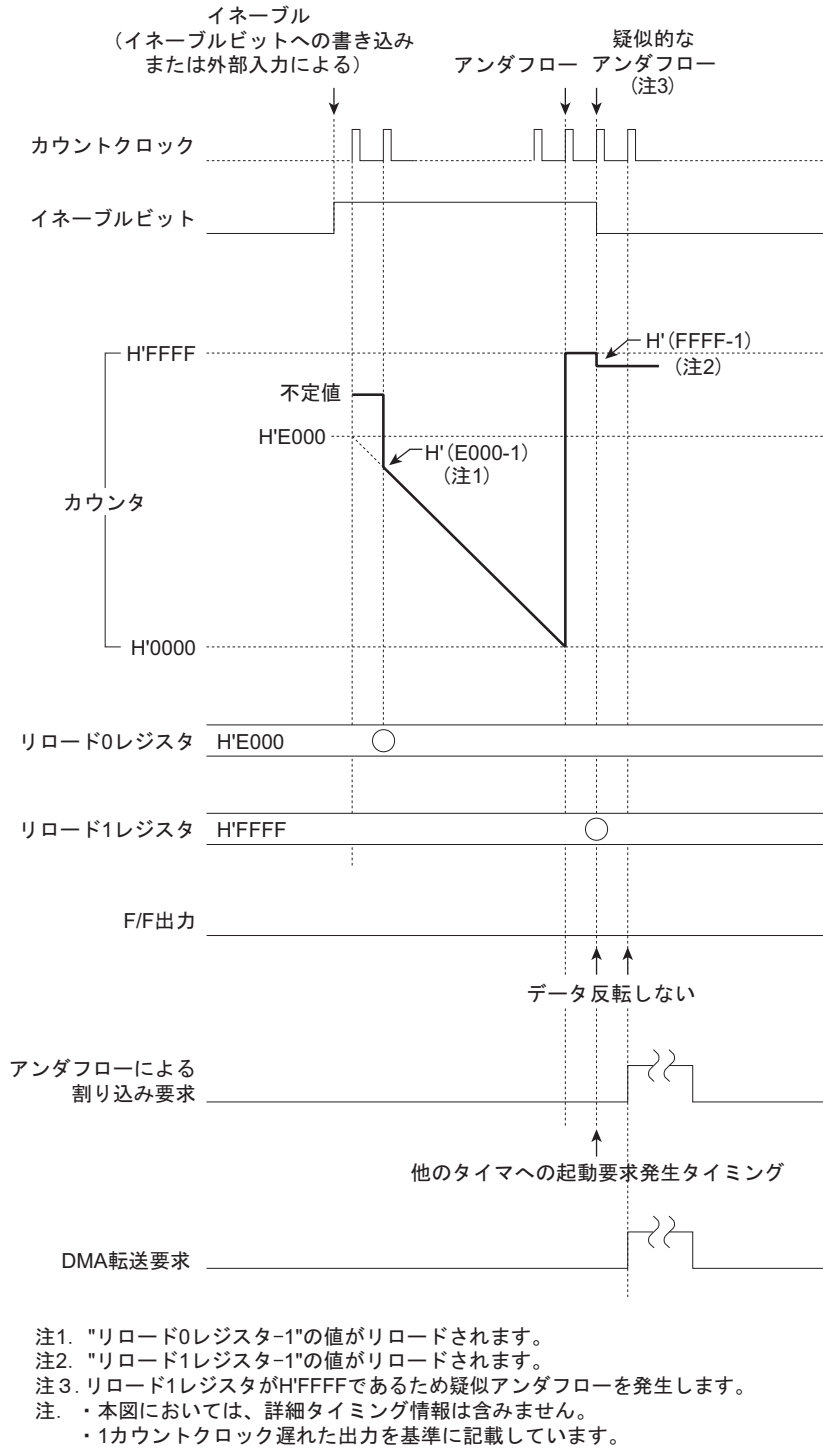


図10.8.19 ワンショットPWM出力モードの動作例(リロード1レジスタ：H'FFFF)

10.8.20 PWM出力禁止機能

TOU0_0 ~ TOU0_5タイマ、およびTOU1_0 ~ TOU1_5タイマの出力端子であるP87 (P00)TO21 ~ P82 (P05)TO26、およびP110 (P10)TO29 ~ P115 (P15)TO34からの出力を強制的に禁止する機能を備えています。この機能は3相PWM制御時に短絡等の異状状態検出時の保護機能として使用可能ですが、TOUのすべての出力モード、ポート出力であっても使用できます。ただし、その他のモード(外部バス、SIOモード、DRIモード、TOPの出力モード(TO0-TO5)ポート入力)の場合には、使用禁止です。図10.8.19にPWM出力禁止機能の回路構成を示します。

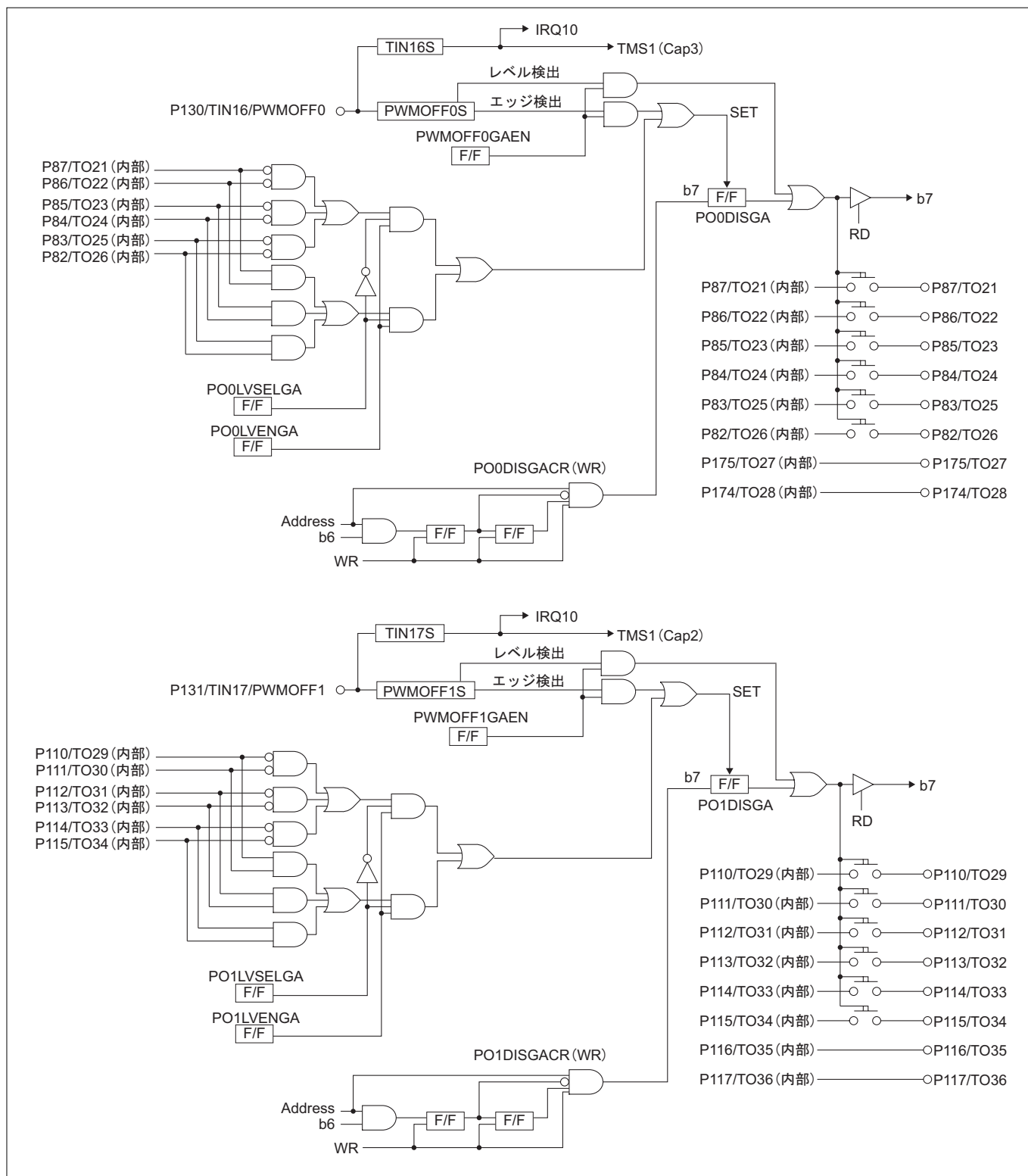


図10.8.20 PWM出力禁止機能の回路構成(端子グループA)

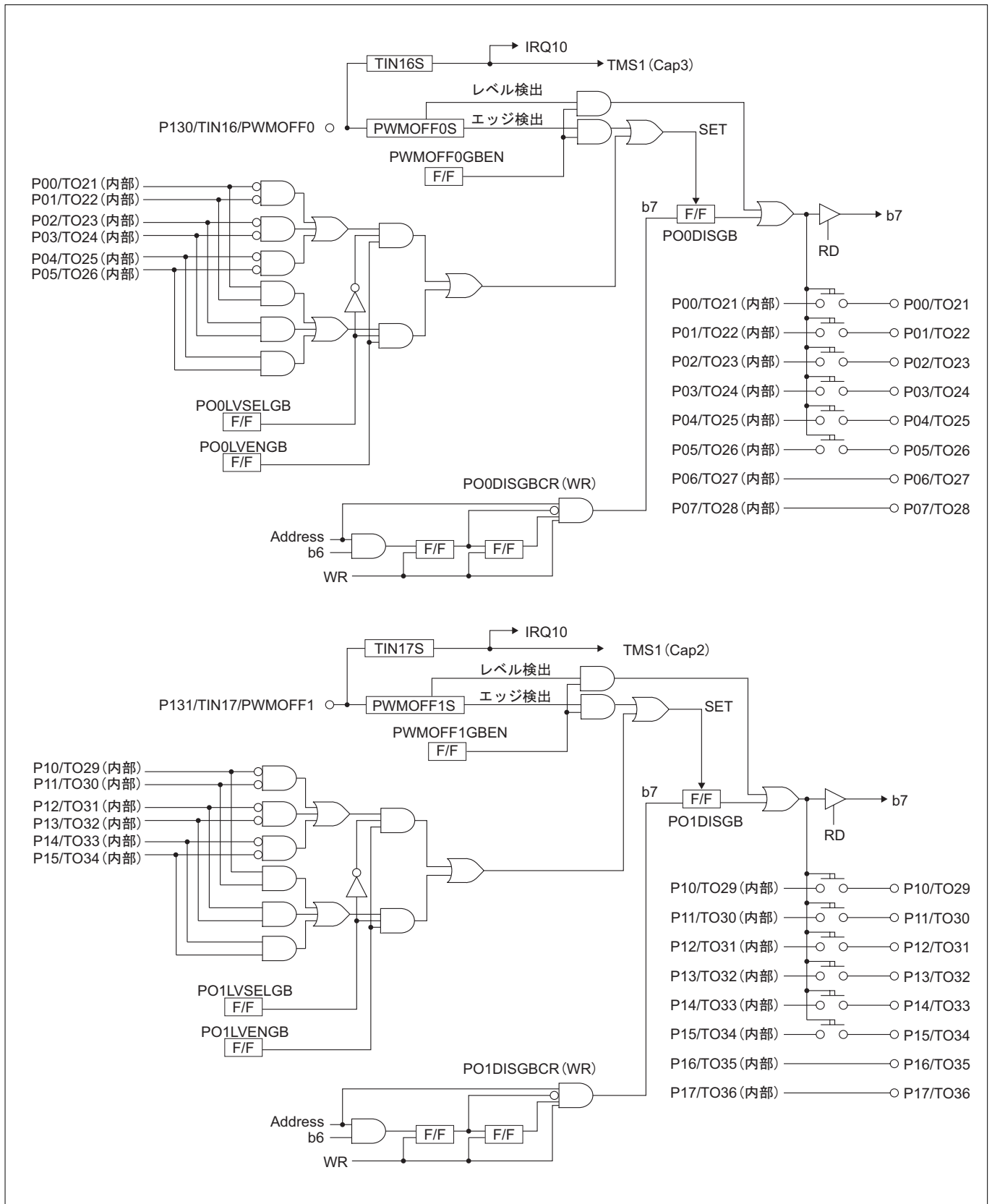


図10.8.21 PWM出力禁止機能の回路構成(端子グループB)

PWM出力を禁止するには次の3つの方法があります。

(1) 外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1)から入力された信号によるPWM出力禁止

外部端子TIN16/PWMOFF0への入力信号によって、タイマTOU0_0~TOU0_5のPWM出力に対応するポートP87(P00)TO21~P82(P05)TO26への出力を禁止することができます。また、外部端子TIN17/PWMOFF1への入力信号によって、タイマTOU1_0~TOU1_5のPWM出力に対応するポートP110(P10)TO29~P115(P15)TO34への出力を禁止することができます。

PWMOFFn入力処理制御レジスタ(PWMOFFnCR)のPWMOFFnSビットにて立ち上がりエッジ、立ち下りエッジ、両エッジを選択した場合

外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1, TIN33/PWMOFF2)でのエッジ検出時にPWM出力が禁止となります。この時、PWM出力n禁止制御GmレジスタのPOnDISGmビットが"1"にセットされます。

PWM出力許可状態への復帰は、PWM出力n禁止制御Gmレジスタ(POnDISGmCR)のPOnDISGmビットの"0"クリアによって行います。

PWMOFFn入力処理制御レジスタ(PWMOFFnCR)のPWMOFFnSビットにて"L"レベル、"H"レベルを選択した場合

外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1, TIN33/PWMOFF2)へのPWM出力禁止レベル入力期間中、PWM出力が禁止となります。この時、PWM出力n禁止制御GmレジスタのPOnDISGmビットが"1"にセットされます。

PWM出力許可状態への復帰は、外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1, TIN33/PWMOFF2)へのPWM出力禁止レベル入力解除によって行われます。この時、PWM出力n禁止制御Gmレジスタ(POnDISGmCR)のPOnDISGmビットからは、最後に書き込みを行った設定値が読み出されます。

注・外部端子(TIN16/PWMOFF0, TIN17/PWMOFF1, TIN33/PWMOFF2)へのPWM出力禁止レベル入力中にPWM出力n禁止制御GmレジスタのPOnDISGmビットへ書き込みを行った場合、書き込んだ値はレジスタに格納されます。ただし、読み出しを行った場合は、"1"が読み出されます。その後、外部端子へのPWM出力禁止レベル入力が解除されるとPOnDISGmビット設定内容が読み出し可能となり、その設定値にしたがってPWM出力が制御されます。

外部端子TIN16/PWMOFF0、TIN17/PWMOFF1への入力信号によってPWM出力を禁止するためには、PWMOFFn入力処理制御レジスタ(PWMOFFnCR)、PWMOFFn機能許可レジスタ(PWMOFFnEN)に対して下記の設定を行います。

TIN16/PWMOFF0から入力された信号によるPWM出力禁止の場合

1. PWMOFF0CRレジスタのPWMOFF0SPビットに"1"を書き込む。
2. 上記1.書き込み後、連続してPWMOFF0SPビットに"0"を、PWMOFF0Sビットに設定値("000"、"001"、"010"、"011"、"10X"、または"11X")を書き込む。
3. PWMOFF0ENレジスタのPWMOFF0GAENビット、またはPWMOFF0GBENビット、もしくは両方のビットに"1"を書き込み、PWMOFF0機能を有効にする。

注・1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルは影響及ぼしません。

TIN17/PWMOFF1によるPWM出力禁止の場合

1. PWMOFF1CRレジスタのPWMOFF1SPビットに"1"を書き込む。
2. 上記1.書き込み後、連続してPWMOFF1SPビットに"0"を、PWMOFF1Sビットに設定値("000"、"001"、"010"、"011"、"10X"、または"11X")を書き込む。
3. PWMOFF1ENレジスタのPWMOFF1GAEN、またはPWMOFF1GBENビット、もしくは両方のビットに"1"を書き込み、PWMOFF1機能を有効にする。

注．・1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルには影響しません。

(2) PWM出力禁止制御レジスタによるPWM出力禁止

PWM出力0禁止制御Gmレジスタ(PO0DISGACR, PO0DISGBCR)によってタイマTOU0_0~TOU0_5のPWM出力に対応するポートP87(P00)/TO21~P82(P05)/TO26への出力を禁止することができます。また、PWM出力1禁止制御Gmレジスタ(PO1DISGACR, PO1DISGBCR)によってタイマTOU1_0~TOU1_5のPWM出力に対応するポートP110(P10)/TO29~P115(P15)/TO34への出力を禁止することができます。

PWM出力禁止制御Gmレジスタ(POnDISGACR, POnDISGBCR)によってPWM出力を禁止するためには、下記の設定を行います。

PWM出力0禁止制御レジスタ(PO0DISGACR, PO0DISGBCR)によるPWM出力禁止の場合

1. PO0DISGACR(PO0DISGBCR)のPO0DISGAP(PO0DISGBP)ビットに"1"を設定。
2. 上記1.書き込み後、連続してPO0DISGAP(PO0DISGBP)ビットに"0"を、PO0DISGA(PO0DISGB)ビットに"1"(出力禁止)を設定。

注．・1.と2.の間に他の領域への書き込みサイクルがあるとPO0DISGA(PO0DISGB)ビットへの設定は無効になります。

PWM出力1禁止制御レジスタ(PO1DISGACR, PO1DISGBCR)によるPWM出力禁止の場合

1. PO1DISGACR(PO1DISGBCR)のPO1DISGAP(PO1DISGBP)ビットに"1"を設定。
2. 上記1.書き込み後、連続してPO1DISGAP(PO1DISGBP)ビットに"0"を、PO1DISGA(PO1DISGB)ビットに"1"(出力禁止)を設定。

注．・1.と2.の間に他の領域への書き込みサイクルがあるとPO1DISGA(PO1DISGB)ビットへの設定は無効になります。

(3) ポートP87(P00)/TO21~P82(P05)/TO26、P110(P10)/TO29~P115(P15)/TO34の端子レベルによるPWM出力禁止

ポートP87(P00)/TO21~P82(P05)/TO26の端子レベル("L"レベルまたは"H"レベル)によってタイマTOU0_0~TOU0_5のPWM出力に対応するポートP87(P00)/TO21~P82(P05)/TO26への出力を禁止することができます。また、ポートP110(P10)/TO29~P115(P15)/TO34の端子レベル("L"レベルまたは"H"レベル)によってタイマTOU1_0~TOU1_5のPWM出力に対応するポートP110(P10)/TO29~P115(P15)/TO34への出力を禁止することができます。

ポートP87(P00)/TO21~P82(P05)/TO26、P110(P10)/TO29~P115(P15)/TO34からのPWM出力禁止レベル検出後、PWM出力が禁止となります。PWM出力禁止時、PWM出力n禁止制御Gmレジスタ(POnDISGmCR)のPOnDISGmビットに"1"がセットされます。

PWM出力許可状態への復帰は、ポートP87(P00)/TO21~P82(P05)/TO26、P110(P10)/TO29~P115(P15)/TO34からのPWM出力禁止レベルの出力を解除後、PWM出力n禁止制御GmレジスタのPOnDISGmビットの"0"クリアによって行います。

注．・ポートP87(P00)/TO21~P82(P05)/TO26、P110(P10)/TO29~P115(P15)/TO34からのPWM出力禁止レベルが出力時、PWM出力n禁止制御GmレジスタにあるPOnDISGmビットへの書き込みを行った場合は、その時の書き込み動作は無効となります。

ポートの端子レベルによってPWM出力を禁止するためには、PWM出力禁止レベル制御レジスタ (PO_nLVGACR, PO_nLVGBCR)、PWMOFF機能許可レジスタ(PWMOFF_nEN)に対して下記の設定を行います。

ポートP87(P00)TO21～P82(P05)TO26のレベルによるPWM出力禁止の場合

1. PO0LVGACR(PO0LVGBCR)レジスタのPO0LVSELGA(PO0LVSELGB)ビットにどのレベル("L"レベルまたは"H"レベル)のときにPWM出力禁止するかを設定する。
2. PO0LVENGA(PO0LVENGB)ビットに"1"(出力禁止有効)を設定する。
3. PWMOFF0ENのPWMOFF0GAEN、またはPWMOFF0GBENビット、もしくは両方のビットに"1"を書き込み、PWMOFF0機能を有効にする。

ポートP110(P10)TO29～P115(P15)TO34のレベルによるPWM出力禁止の場合

1. PO1LVGACR(PO1LVGBCR)レジスタのPO1LVSELGA(PO1LVSELGB)ビットにどのレベル("L"レベルまたは"H"レベル)のときにPWM出力禁止するかを設定する。
2. PO1LVENGA(PO1LVENGB)ビットに"1"(出力禁止有効)を設定する。
3. PWMOFF1ENのPWMOFF1GAEN、またはPWMOFF1GBENビット、もしくは両方のビットに"1"を書き込み、PWMOFF1機能を有効にする。

10.8.21 短絡防止機能

短絡防止機能有効/無効ビットを設定する際は、TOUn₀～TOUn₅のカウンタをカウント停止状態で実施ください(カウント許可状態でのビット設定は禁止します)。

短絡防止機能有効時の各タイマの動作モードは以下で実施してください(その他のモードでの使用を禁止します)。

TOUn _α (2, 4)	ワンショットPWMモード
TOUn ₁ (3, 5)	ワンショット出力モード

短絡防止機能有効時は、TOUn₁(3, 5)のTOUnイネーブル要因選択ビットは無効になり、それぞれTOUn_α(2, 4)のアンダフローによって起動されます。

短絡防止時間は、TOUn₁(3, 5)のリロードレジスタに設定します。この時、短絡防止時間は、リロードレジスタ設定値+3、となります。なお、リロードレジスタの設定値は、下記の条件を満たさなければなりません。

$$\text{TOUn}_1(3, 5)\text{のリロードレジスタ設定値} - \text{TOUn}_\alpha(2, 4)\text{のリロード1レジスタ設定値} - 4$$

短絡防止機能を有効とする場合、F/Fデータレジスタと短絡防止機能用F/Fデータレジスタに値を設定する必要があります。

- 最初にHレベルを出力する場合
F/Fデータレジスタに"1"を、短絡防止機能用F/Fデータレジスタに"0"を設定する。
- 最初にLレベルを出力する場合
F/Fデータレジスタに"0"を、短絡防止機能用F/Fデータレジスタに"1"を設定する。

なお、F/Fデータレジスタと、短絡防止機能用F/Fデータレジスタに同じ値を書き込んだ場合、一定出力となります。

短絡防止機能を有効にした場合、TOUn_α(2, 4)リロードレジスタ0、およびTOUn_α(2, 4)リロードレジスタ1へH'FFFFを書き込むことは禁止します。

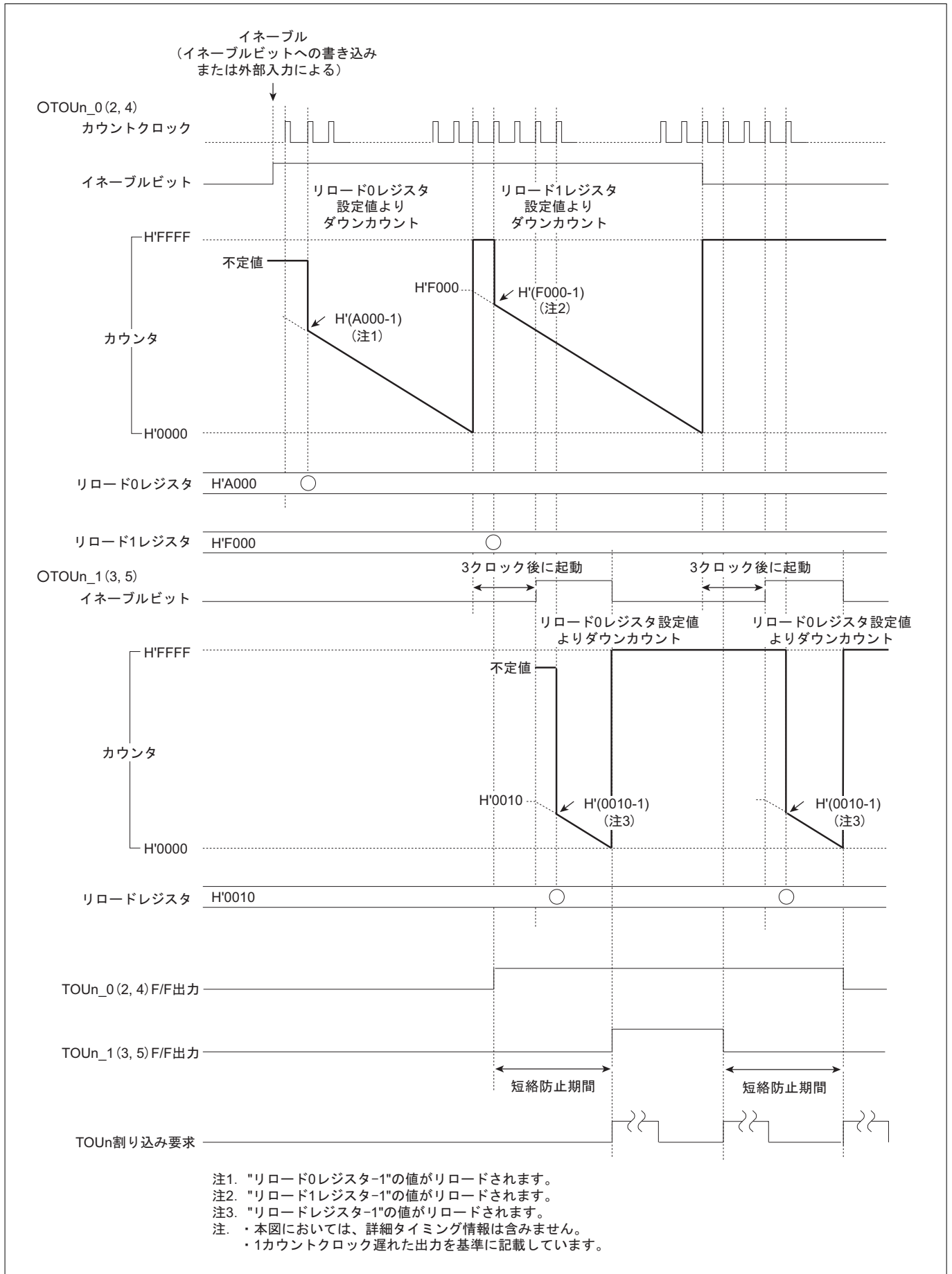


図10.8.22 短絡防止機能の動作概要

ソフトウェアで強制的に出力を固定させる場合に短絡防止機能を有効にするには、以下の手続きを行ってください。

- (1) TOUn_0/1(2/3, 4/5)カウンティネーブルビットに"0"を書き込む
- (2) F/Fデータレジスタに短絡防止となるような値を、短絡防止機能用F/Fデータレジスタに固定させる値を書き込む
- (3) TOUn_1(3, 5)のカウンティネーブルビットに"1"を書き込む

この時、短絡防止時間は以下ようになります。

F/Fデータ書き込み ~ TOUn_1(3, 5)カウンティネーブルまでの時間 + TOUn_1(3, 5)リロードレジスタ設定値 + 1

ソフトウェアでカウンタを停止する場合、TOUn_0/1(2/3, 4/5)を同時にカウント停止してください。個別にカウント停止することは禁止します。

TOUn_1(3, 5)のカウンティネーブルビットに"1"を書き込む場合、TOUn_0(2, 4) およびTOUn_1(3, 5)ともにカウント停止状態で実施してください。

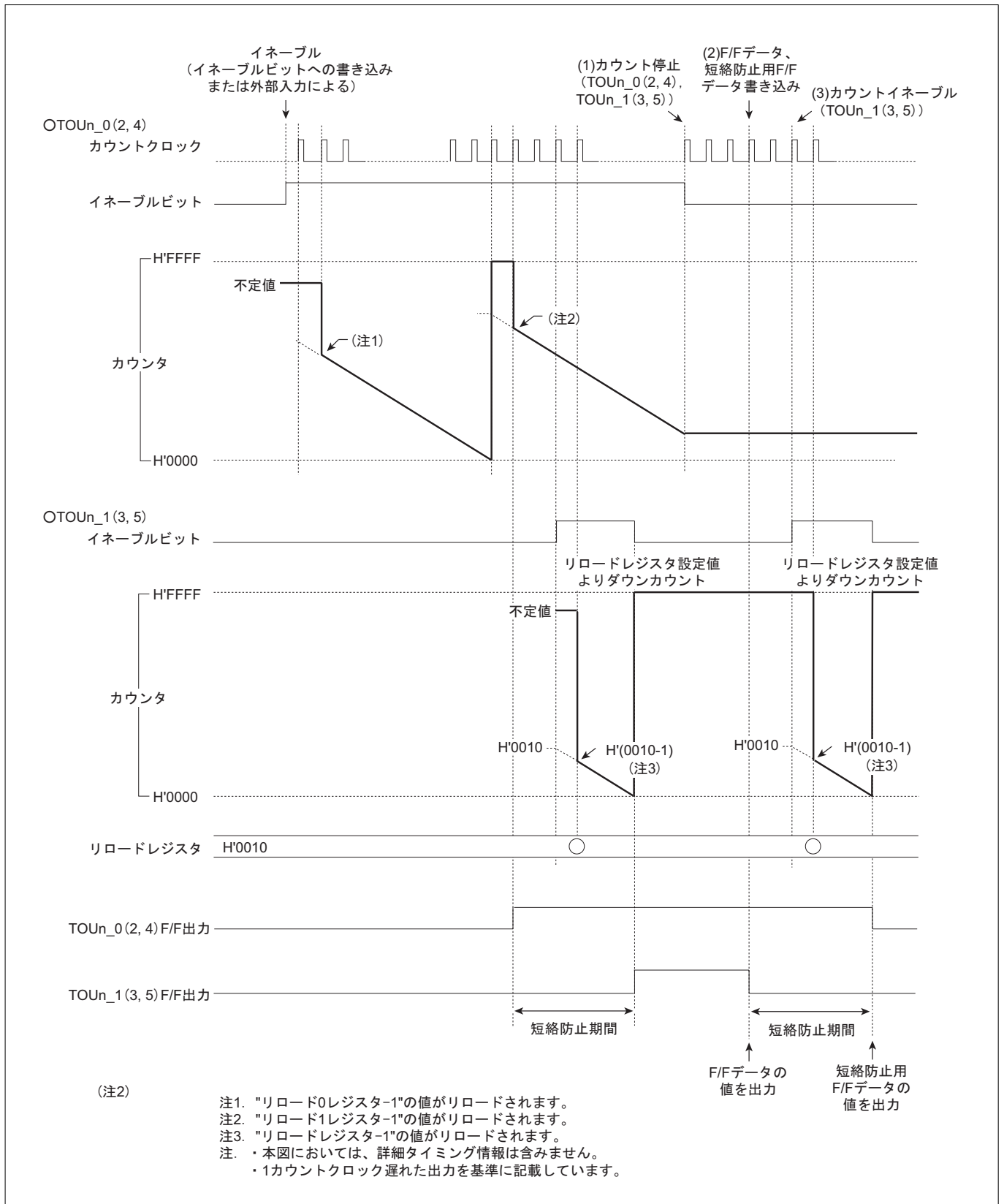


図10.8.23 ソフトウェアで強制的に出力を固定させる場合の動作概要

10.8.22 32192/32195/32196モータ制御機能への応用例

32192/32196ではモータ制御時のS/W負荷を軽減したタイマTOUを2系統を内蔵しています。

3相モータ制御波形は、TIDで生成した20kHz定周期のTOU起動タイミングに対応してTOUを起動し実現します。TOUに内蔵したワンショットPWM機能を使用し、書き換え必要タイミングのみに波形データを格納することで容易に出力波形を構成することができます。なお、トランジスタの短絡防止時間はTOUへの設定時間をソフトウェアで変更する、または、短絡防止機能を使用することにより実現します。

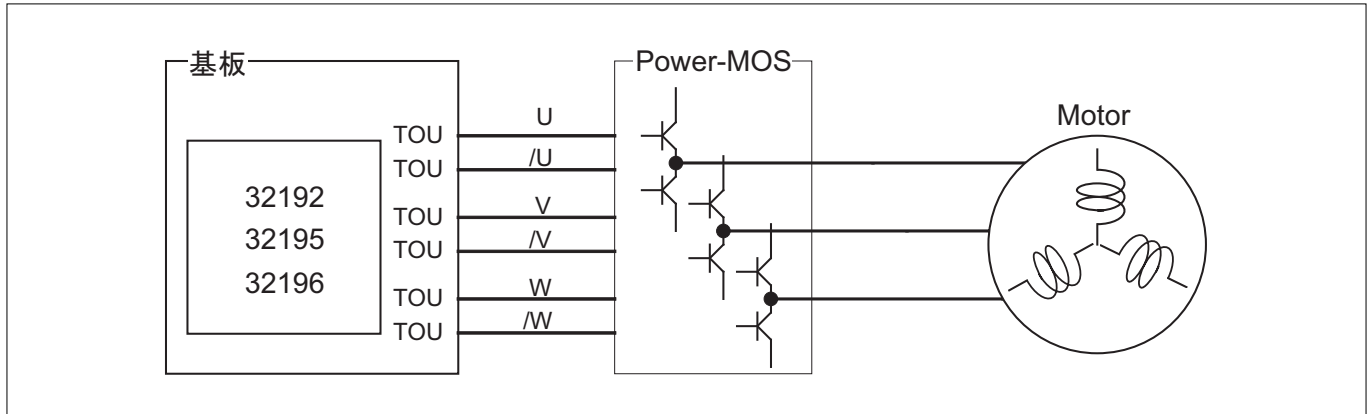


図10.8.24 システム構成図

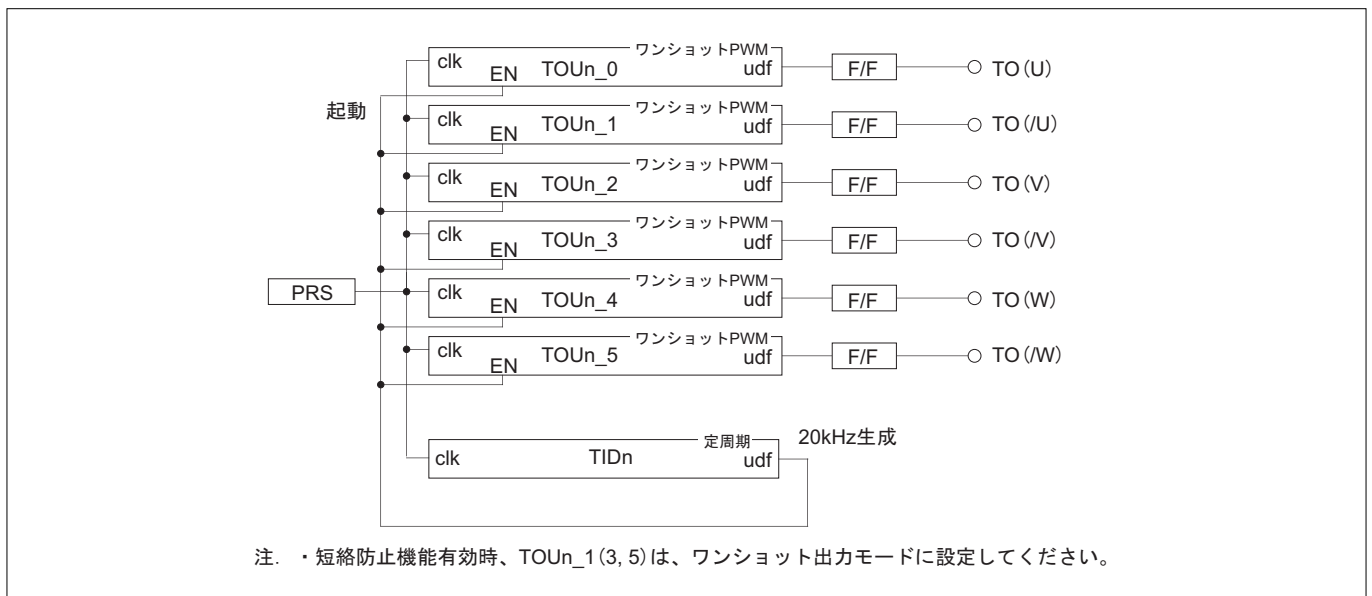


図10.8.25 3相モータ制御時のタイマ接続方法

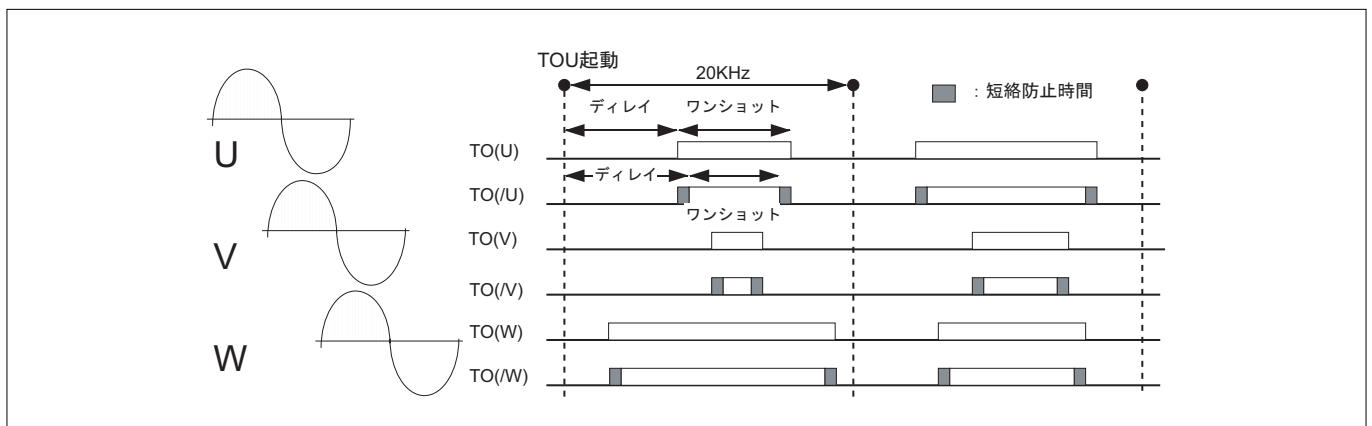


図10.8.26 制御イメージ図

レイアウトの都合上、このページは白紙です。

第11章

A/Dコンバータ

- 11.1 A/Dコンバータ概要
- 11.2 A/Dコンバータ関連レジスタ
- 11.3 A/Dコンバータ機能説明
- 11.4 注入電流バイパス回路
- 11.5 A/Dコンバータの注意事項

11.1 A/Dコンバータ概要

32192/32195/32196は、10ビット分解能を持つ逐次近似比較方式のA/Dコンバータを内蔵しています。アナログ入力端子(チャンネル)は、AD0IN0~AD0IN15の16チャンネルあり、各チャンネルの単独変換のほかに、N(N=1~16)チャンネルを1つのグループとした連続的なA/D変換が可能です。

また、A/D変換値は、10ビットまたは8ビットで読み出すことができます。

A/D変換には、以下に示す変換モードと動作モードがあります。

(1)変換モード

- A/D変換モード : 通常のアナログ入力電圧をA/D変換するモード
- コンパレータモード(注1): 設定した比較電圧とアナログ入力電圧を比較して、その大小のみを得るモード(単一モードのみ)

(2)動作モード

- 単一モード : 1チャンネルのアナログ入力電圧を1回A/D変換、またはコンパレート(注1)するモード
- スキャンモード : 選択された複数チャンネル(Nチャンネル単位、N=1~16)のアナログ入力電圧を順次A/D変換するモード
 - スキャンワンショットモード : スキャン動作を1周期行うモード
 - スキャン連続モード : スキャン動作を停止するまで繰り返し行うモード

(3)特殊動作モード

- スキャンモード動作中の単一モード強制実行 : スキャン動作中に強制的に単一モード(コンパレータモード)変換を実行するモード
- 単一モード実行後スキャンモード開始 : 単一モードからスキャン動作を連続して起動するモード
- 変換再スタート : 単一モードまたはスキャンモードで、動作中のA/D変換動作を再スタートするモード

(4)サンプル&ホールド機能

A/D変換開始時に入力電圧をサンプリングし、サンプリングされた電圧に対してA/D変換を行う機能です。この機能は、有効/無効の切り換えが可能です。

(5)同時サンプリング機能

2チャンネルを同時にサンプリングし、サンプリングされた電圧に対して2チャンネル連続A/D変換を行うことが可能です。

(6)A/D断線検出アシスト機能

スキャンモード動作時に前のチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCC0またはGND)に固定する機能を内蔵しています。この機能によりアナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

(7) 注入電流バイパス回路

A/D変換中でないアナログ入力チャンネルに過電圧/負電圧が印加されると、内部の回路を経由して、A/D変換中のアナログ入力チャンネルへ電流の流れ込み、または流れ出しが発生し、正しい変換精度が得られなくなります。この影響を受けないように、電流をバイパスする注入電流バイパス回路を内蔵しています。なお、この回路は常に有効となっています。

(8) 変換速度

A/Dコンバータの変換速度を表11.1.1に示します。A/D変換モードの変換速度は、サンプル&ホールドの有無/ノーマルサンプル&ホールドと高速サンプル&ホールドの選択/低速モードと高速モードの選択/変換速度がノーマルか倍速の選択の組み合わせで決定します。コンパレータモードの変換速度は、低速モードが高速モードの選択/変換速度のノーマルと倍速の選択の組み合わせで決定します。

(9) 割り込み要求およびDMA転送要求発生機能

A/D変換(単一モード、スキャンワンショットモード、スキャン連続モード)の1周期終了時、コンパレータ終了ごとに、A/D変換割り込み要求またはDMA転送要求を発生することができます。

注1. 逐次近似比較方式であるA/Dコンバータ内部の比較動作と、A/Dコンバータをコンパレータとして使用するコンパレータモードでの動作を区別するために、本書ではコンパレータモードでの比較動作のことを「コンパレート」と呼びます。

表11.1.1にA/Dコンバータの概要を、図11.1.1にA/Dコンバータのブロック図を示します。

表11.1.1 A/Dコンバータの概要(1/2)

項目	内容			
アナログ入力	16チャンネル×1			
A/D変換方式	逐次近似比較方式			
分解能	10ビット(8ビット/10ビット変換結果読み出し機能)			
絶対精度 (注1)	サンプル&ホールド無効	低速モード	ノーマル	±2LSB
			倍速	±2LSB
(注2)	ノーマルサンプル&ホールド有効、 同時サンプリング無効	高速モード	ノーマル	±3LSB
			倍速	±3LSB
		低速モード	ノーマル	±2LSB
			倍速	±2LSB
	高速サンプル&ホールド有効、 同時サンプリング無効	高速モード	ノーマル	±3LSB
			倍速	±3LSB
		低速モード	ノーマル	±3LSB
			倍速	±3LSB
	ノーマルサンプル&ホールド有効、 同時サンプリング有効	高速モード	ノーマル	±3LSB
			倍速	±3LSB
		低速モード	ノーマル	±3LSB
			倍速	±3LSB
	高速サンプル&ホールド有効、 同時サンプリング有効	高速モード	ノーマル	±3LSB
			倍速	±3LSB
		低速モード	ノーマル	±3LSB
			倍速	±8LSB

表11.1.1 A/Dコンバータの概要(2/2)

項目	内容				
変換モード	A/D変換モード、コンパレータモード				
動作モード	単一モード、スキャンワンショットモード、スキャン連続モード				
変換起動トリガ	ソフトウェア起動	A/D変換スタートビットに"1"をセット			
	ハードウェア起動	A/D0コンバータ	MJT(入力イベントバス2)	MJT(入力イベントバス3) MJT(出力イベントバス3) MJT(TIN23)	
変換速度 (注1) (注2)	単一モード時 (サンプル&ホールド無効時、または ノーマルサンプル&ホールド有効時)	低速モード	ノーマル	598 × BCLK 14.95 μs	
			倍速	346 × BCLK 8.65 μs	
		高速モード	ノーマル	262 × BCLK 6.55 μs	
			倍速	178 × BCLK 4.45 μs	
		単一モード時 (高速サンプル&ホールド有効時)	低速モード	ノーマル	382 × BCLK 9.55 μs
				倍速	202 × BCLK 5.05 μs
	高速モード	ノーマル	190 × BCLK 4.75 μs		
		倍速	106 × BCLK 2.65 μs		
	コンパレータモード時	低速モード	ノーマル	94 × BCLK 2.35 μs	
			倍速	58 × BCLK 1.45 μs	
		高速モード	ノーマル	46 × BCLK 1.15 μs	
			倍速	34 × BCLK 0.85 μs	
サンプル&ホールド機能	サンプル&ホールド機能有効/無効切り換え可能				
同時サンプリング機能	サンプル&ホールド機能有効時、2チャンネル同時サンプリング機能が選択可能				
A/D断線検出アシスト機能	スキャンモード動作時、前チャンネルのアナログ入力電圧の回り込みによる影響を抑制				
割り込み要求発生機能	A/D変換 単一モード、スキャンワンショットモード、スキャン連続モードの1周期 終了時、コンパレート終了				
DMA転送要求発生機能	A/D変換 単一モード、スキャンワンショットモード、スキャン連続モードの1周期 終了時、コンパレート終了				

注1. 規格値の条件: f(XIN)=20MHz、VCCE=VCCBUS=VDDE=AVCC0=5.12V、VCCER=3.3V ± 0.3V、Ta= -40 ~ +105、2BCLKモード

注2. 規格値(精度)はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。

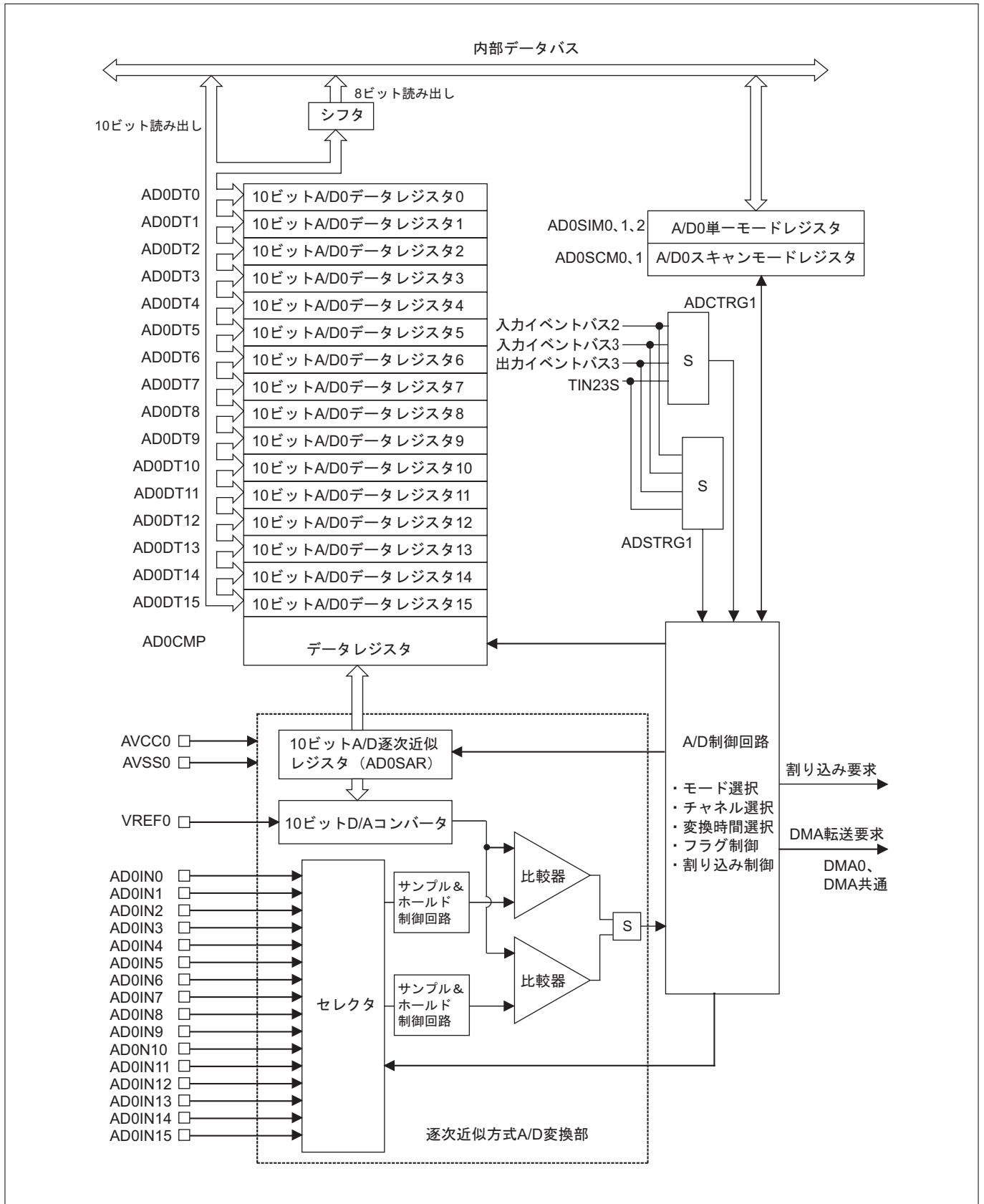


図11.1.1 A/Dコンバータブロック図

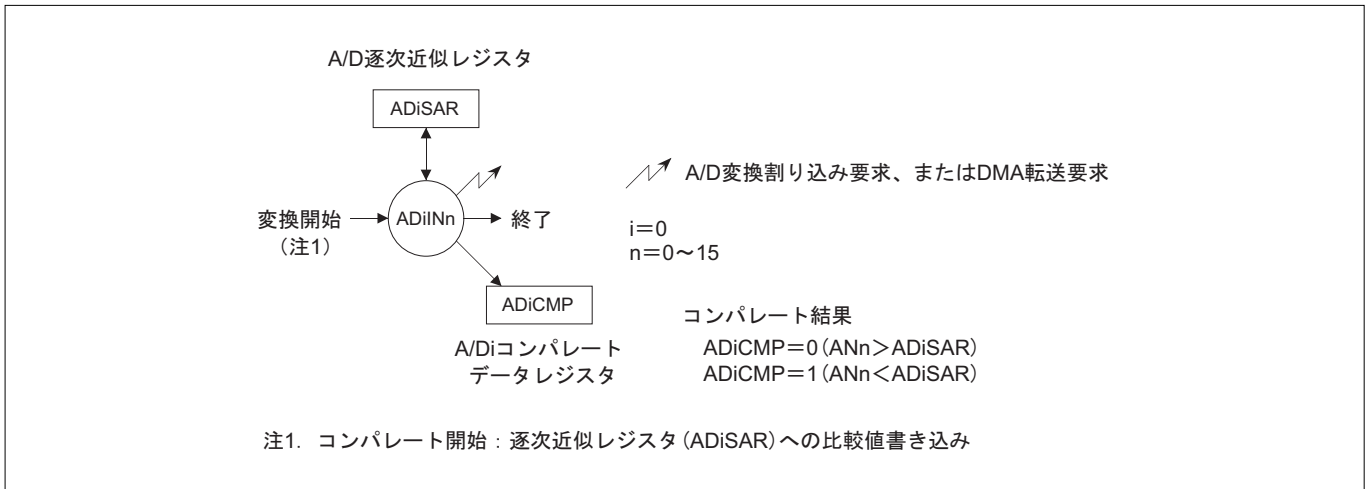


図11.1.3 単一モード動作(コンパレート)

(2) スキャンモード

スキャンモードは、チャンネル0からA/Dスキャンモードレジスタ1のスクランループ指定ビットで指定したチャンネル(チャンネル0~15)のアナログ入力電圧を順次A/D変換するモードです。

スキャンモードには、1周期のスキャン動作でA/D変換を終了する「スキャンワンショットモード」と、A/Dスキャンモードレジスタ0のA/D変換ストップビットに"1"を書き込むまでスキャン動作を継続する「スキャン連続モード」があります。

スキャンモードの選択は、A/Dスキャンモードレジスタ0で行います。また、スキャンするチャンネルの選択は、A/Dスキャンモードレジスタ1で行います。スキャンはチャンネル0から順に行います。

1周期のスキャン動作終了時には、A/D変換割り込み要求、またはDMA転送要求を発生することができます。

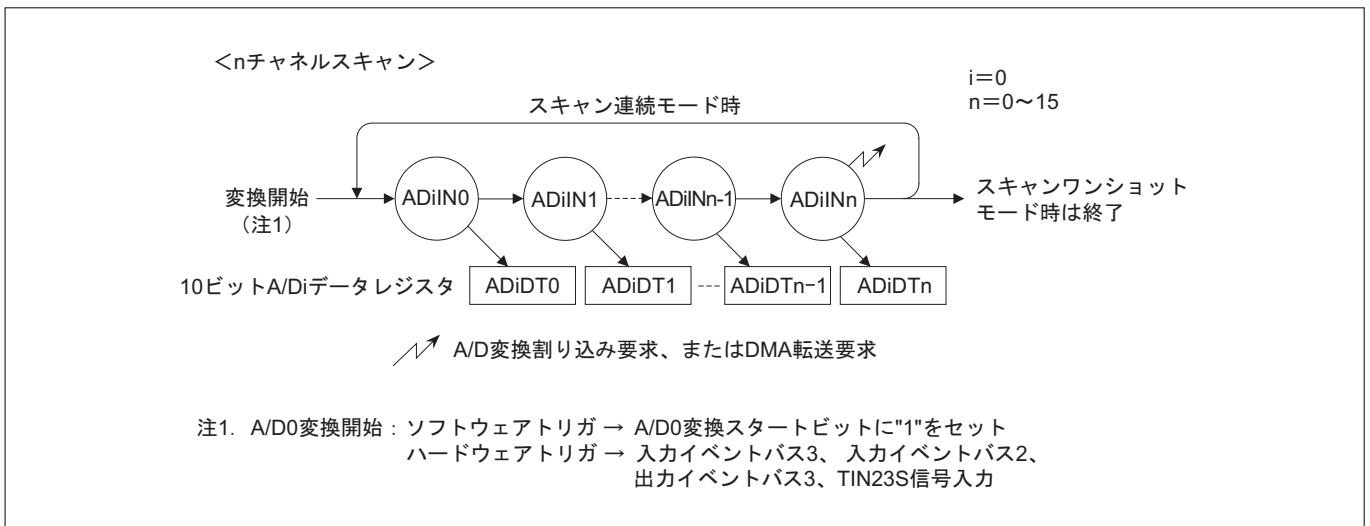


図11.1.4 スキャンモードA/D変換動作

表11.1.2 スキャンモードでのA/D変換結果の格納レジスタ

スキャンモードレジスタ1 指定チャンネル	スキャンワンショット モード対象チャンネル	スキャン連続 モード対象チャンネル	A/D変換結果 格納レジスタ
B'0000 : 0 (ADiIN0)	ADiIN0	ADiIN0	10ビットA/Diデータレジスタ0
	終了	ADiIN0	10ビットA/Diデータレジスタ0
		⋮ (強制終了まで繰り返し)	⋮
B'0001 : 1 (ADiIN1)	ADiIN0	ADiIN0	10ビットA/Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA/Diデータレジスタ1
	終了	ADiIN0	10ビットA/Diデータレジスタ0
		⋮ (強制終了まで繰り返し)	⋮
B'0010 : 2 (ADiIN2)	ADiIN0	ADiIN0	10ビットA/Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA/Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA/Diデータレジスタ2
	終了	ADiIN0	10ビットA/Diデータレジスタ0
	⋮ (強制終了まで繰り返し)	⋮	
B'0011 : 3 (ADiIN3)	ADiIN0	ADiIN0	10ビットA/Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA/Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA/Diデータレジスタ2
	ADiIN3	ADiIN3	10ビットA/Diデータレジスタ3
	終了	ADiIN0	10ビットA/Diデータレジスタ0
	⋮ (強制終了まで繰り返し)	⋮	
B'XXXX : n (ADiINn)	ADiIN0	ADiIN0	10ビットA/Diデータレジスタ0
	ADiIN1	ADiIN1	10ビットA/Diデータレジスタ1
	ADiIN2	ADiIN2	10ビットA/Diデータレジスタ2
		⋮	⋮
	ADiINn	ADiINn	10ビットA/Diデータレジスタn
	終了	ADiIN0	10ビットA/Diデータレジスタ0
	⋮ (強制終了まで繰り返し)	⋮	

(i=0)

11.1.3 特殊動作モード

(1) スキャンモード動作中の単一モード強制実行

この特殊動作モードは、スキャンモード動作中に指定チャンネルの単一モード変換(A/D変換またはコンパレート)を強制的に実行します。A/D変換モードの場合は、指定チャンネルに対応した10ビットA/Dデータレジスタに変換結果を、コンパレートモードの場合はA/Dコンパレートデータレジスタに比較結果を格納します。指定チャンネルのA/D変換またはコンパレートが終了すると、スキャン中にキャンセルされたチャンネルから再びスキャンモードのA/D変換を再開します。

ソフトウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA/D変換開始トリガ選択ビットでソフトウェアトリガを選択し、A/D変換の場合は、同レジスタのA/D変換スタートビットに"1"をセットします。また、コンパレートモードの場合は、スキャンモード動作中にA/D逐次近似レジスタ(AD0SAR)へ比較する値を書き込みます。

ハードウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA/D変換開始トリガ選択ビットでハードウェアトリガを選択し、同レジスタで指定したハードウェアトリガを入力します。

指定チャンネルでの変換終了時、および1周期のスキャン動作終了時にA/D変換割り込み要求またはDMA転送要求を発生することができます。

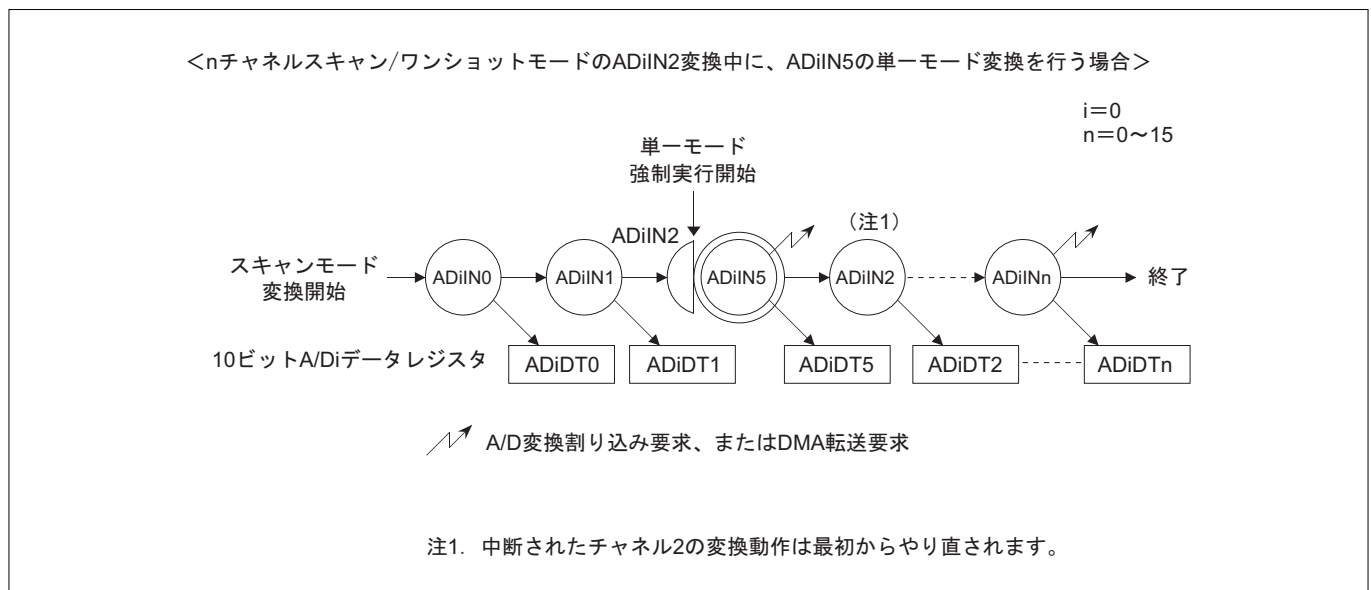


図11.1.5 スキャンモード動作中の単一モード強制実行

(2) 単一モード実行後スキャンモード開始

この特殊動作モードは、単一モード変換(A/D変換またはコンパレート)から連続してスキャン動作を起動します。

ソフトウェアで起動するには、A/Dスキャンモードレジスタ0内のA/D変換開始トリガ選択ビットでソフトウェアトリガを選択し、単一モード変換動作中にA/Dスキャンモードレジスタ0内のA/D変換スタートビットに"1"をセットします。

ハードウェアで起動するには、A/Dスキャンモードレジスタ0内のA/D変換開始トリガ選択ビットでハードウェアトリガを選択し、単一モード変換動作中に同レジスタで指定したハードウェアトリガを入力します。

A/D単一モードレジスタ0、およびA/Dスキャンモードレジスタ0の両方のレジスタのA/D変換開始トリガ選択ビットでハードウェアトリガを選択し、ハードウェアトリガが入力された場合は、最初に単一モード変換を行い、単一モード変換実行後、続けてスキャンモード変換を行います。

指定チャンネルでの単一モード変換終了時、および1周期のスキャン動作終了時にA/D変換割り込み要求またはDMA転送要求を発生することができます。

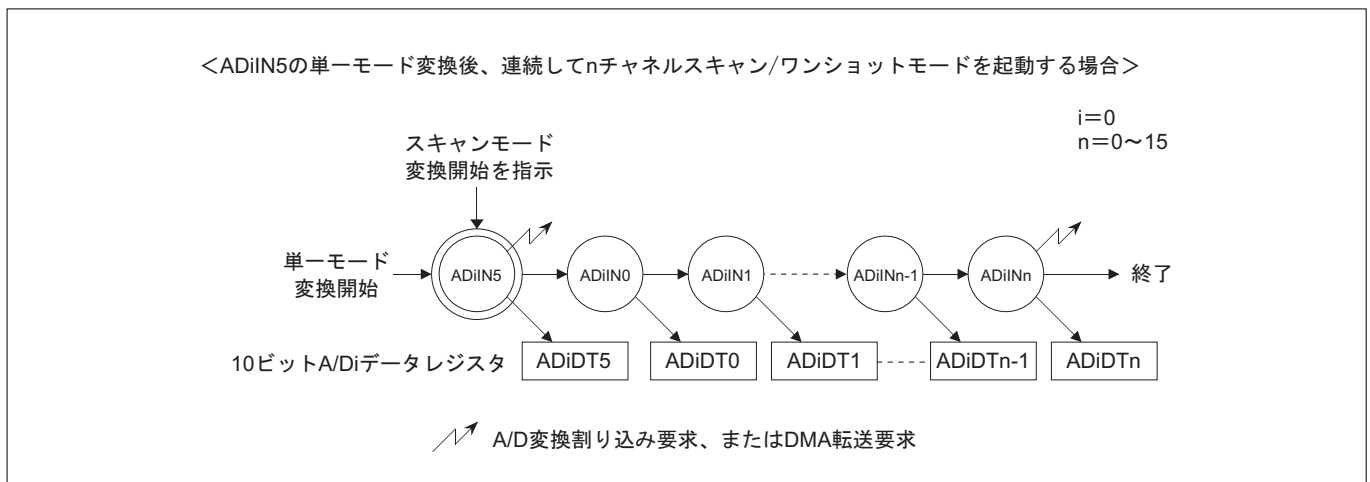


図11.1.6 単一モード実行後スキャンモード開始

(3)変換再スタート

この特殊動作モードは、単一モードまたはスキャンモードで実行中の動作を中止して、再度最初からやり直すものです。

単一モードの場合は、A/D変換またはコンパレート中にA/D単一モードレジスタ0内のA/D変換スタートビットに再度"1"をセットするか、ハードウェアトリガを入力すると、実行中の動作をやり直します。

スキャンモードの場合は、スキャン動作中にA/Dスキャンモードレジスタ0内のA/D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号を入力すると、変換中のチャンネルをキャンセルし、チャンネル0からA/D変換を行います。

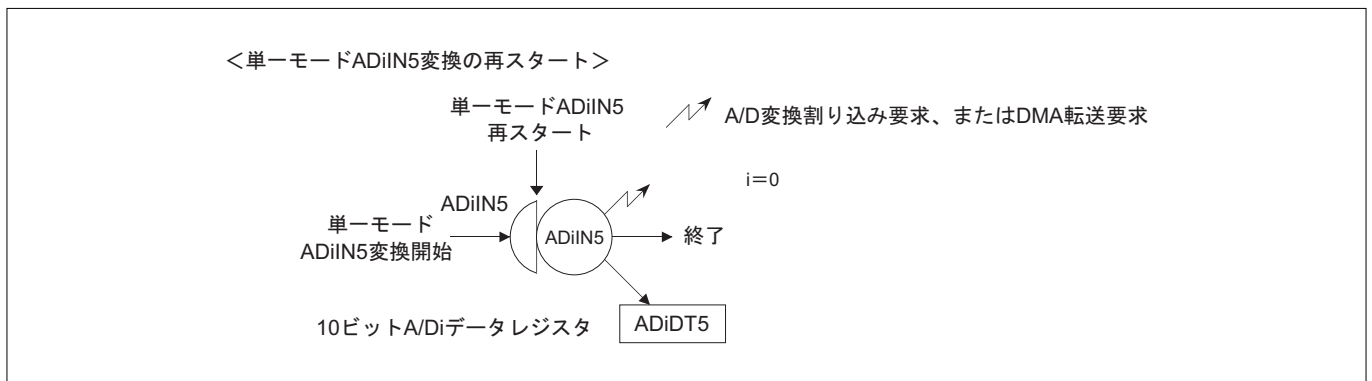


図11.1.7 単一モード動作中の変換再スタート

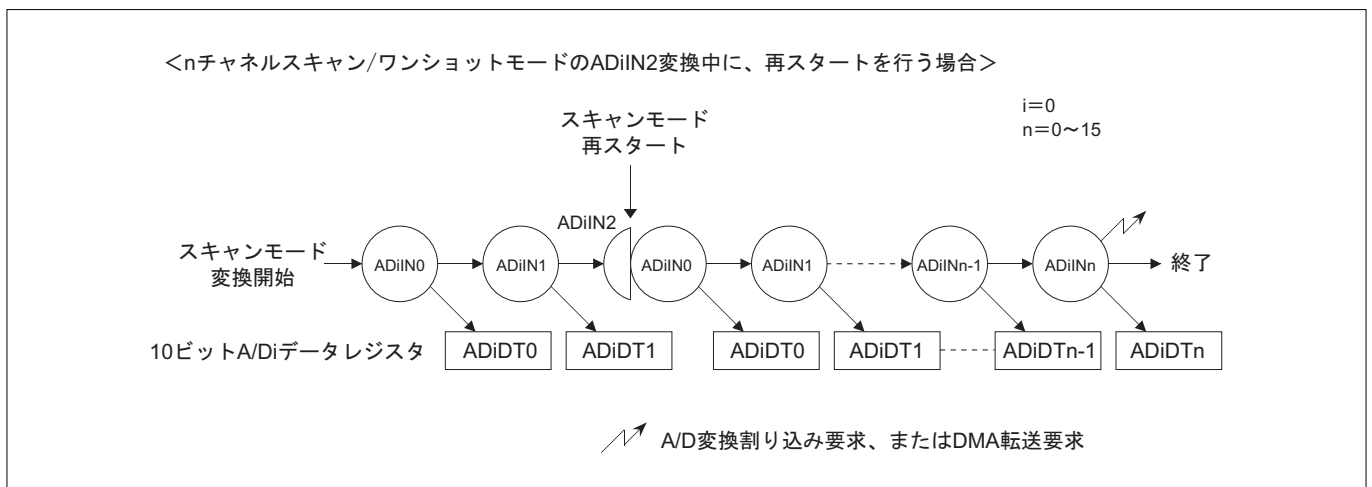


図11.1.8 スキャン動作中の変換再スタート

11.1.4 A/Dコンバータの割り込み要求とDMA転送要求

A/Dコンバータでは、A/D変換(単一モード、スキャンワンショットモード、スキャン連続モードの1周期)終了時、コンパレート終了ごとに、A/D変換割り込み要求またはDMA転送要求を発生することができます。A/D変換割り込み要求とDMA転送要求の選択は、A/D単一モードレジスタ0と、A/Dスキャンモードレジスタ0で行います。

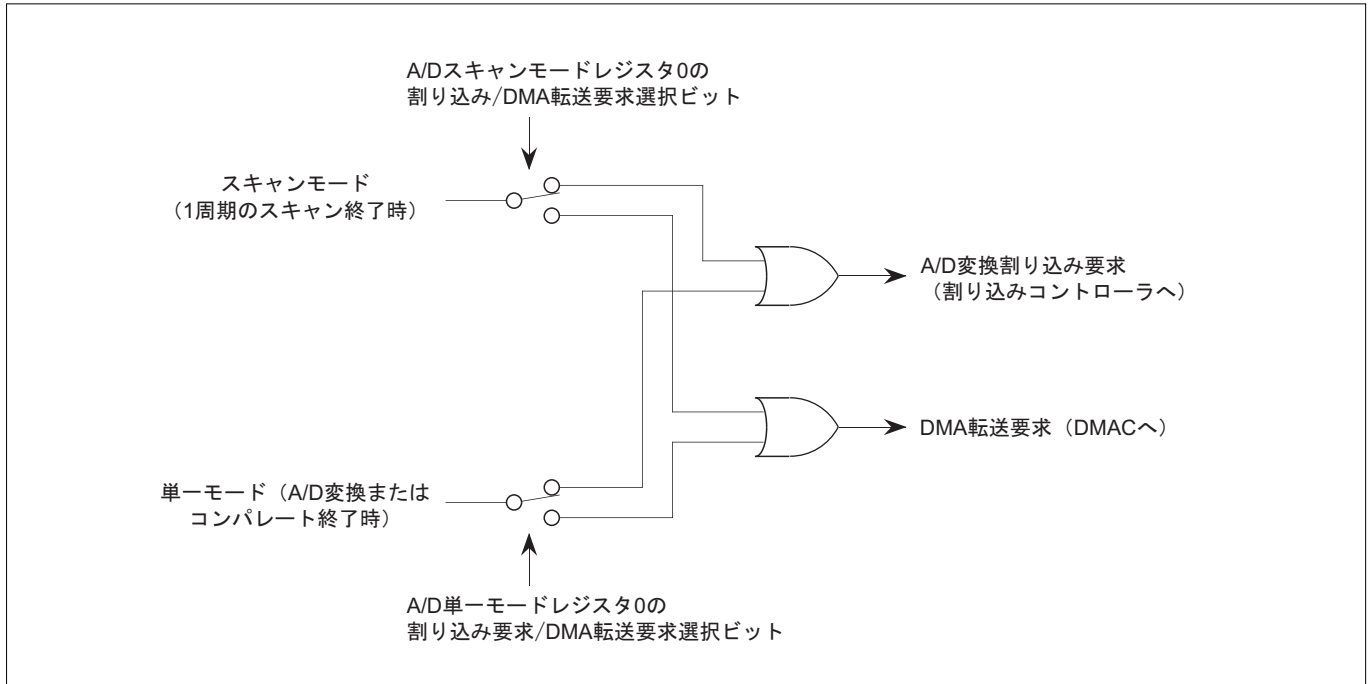


図11.1.9 割り込み要求とDMA転送要求の切り換え

11.1.5 サンプル&ホールド機能

A/D変換開始直後にサンプリングしたアナログ入力電圧をホールドし、そのホールドした電圧に対してA/D変換を行います。

ノーマルサンプル&ホールドモード時のA/D変換時間は、従来の32170グループなどのA/D変換モードと同じですが、高速サンプル&ホールドモード時のA/D変換時間は、より高速に変換結果を得ることができます。

11.1.6 同時サンプリング機能

サンプル&ホールド機能有効時に2チャンネル同時サンプリング機能が使用できます。2チャンネルを同時にサンプリングし、サンプリングされた電圧に対して2チャンネルを連続してA/D変換を行います。

<チャンネル0(A/D0単一モードレジスタ1設定)とチャンネル15(A/D0単一モードレジスタ2設定)同時サンプリングした場合>

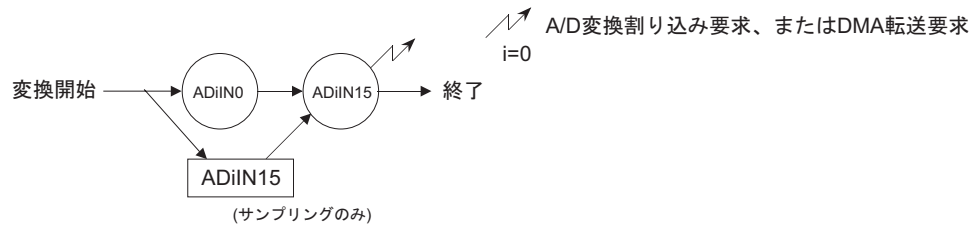


図11.1.10 同時サンプリング有効時の単一モード

<チャンネル0(A/D0単一モードレジスタ1設定)とチャンネル15(A/D0単一モードレジスタ2設定)を同時サンプリングした場合>

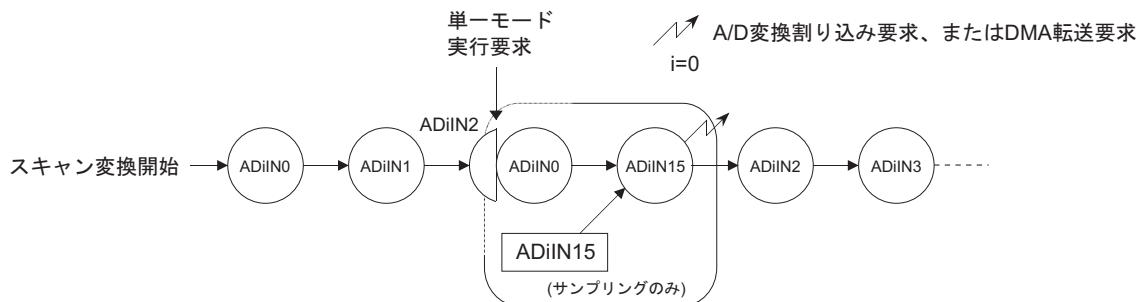


図11.1.11 同時サンプリング有効時のスキャン中の単一モード強行実行

<チャンネル0(A/D0単一モードレジスタ1設定)とチャンネル15(A/D0単一モードレジスタ2設定)を同時サンプリングした場合>

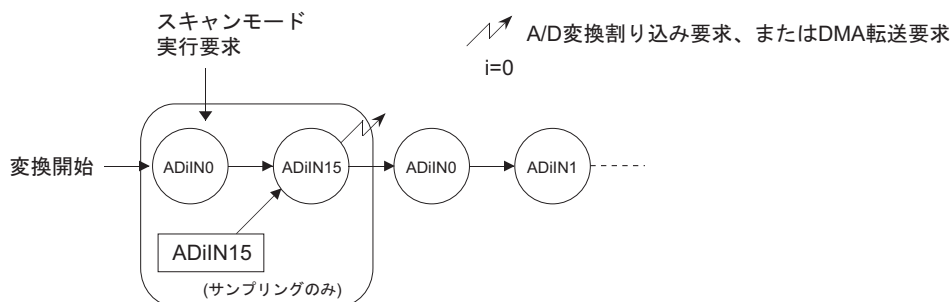


図11.1.12 同時サンプリング有効時の単一モード実行後スキャン開始

<チャンネル0 (A/D0単一モードレジスタ1設定)とチャンネル15 (A/D0単一モードレジスタ2設定)を同時サンプリングした場合>

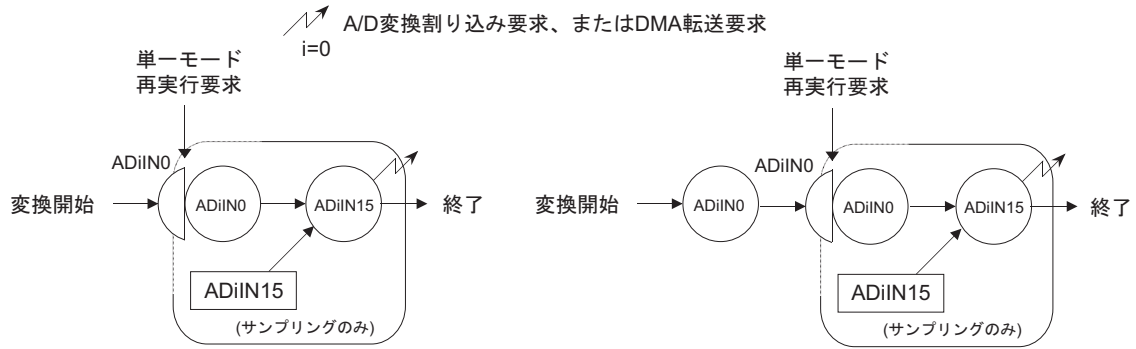


図11.1.13 同時サンプリング有効時の単一モード再スタート

11.2 A/Dコンバータ関連レジスタ

A/Dコンバータ関連レジスタマップを以下に示します。

A/D変換関連レジスタマップ(1/2)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0080	A/D0単一モードレジスタ0 (AD0SIM0)	A/D0単一モードレジスタ1 (AD0SIM1)	11-17 11-19
H'0080 0082	(使用禁止領域)	A/D0単一モードレジスタ2 (AD0SIM2)	11-21
H'0080 0084	A/D0スキャンモードレジスタ0 (AD0SCM0)	A/D0スキャンモードレジスタ1 (AD0SCM1)	11-22 11-24
H'0080 0086	A/D0断線検出アシスト機能制御レジスタ (AD0DDACR)	A/D0変換速度制御レジスタ (AD0CVSCR)	11-27 11-26
H'0080 0088	A/D0逐次近似レジスタ (AD0SAR)		11-31
H'0080 008A	A/D0断線検出アシスト方式選択レジスタ (AD0DDASEL)		11-28
H'0080 008C	A/D0コンパレートデータレジスタ (AD0CMP)		11-32
H'0080 008E	(使用禁止領域)		
H'0080 0090	10ビットA/D0データレジスタ0 (AD0DT0)		11-33
H'0080 0092	10ビットA/D0データレジスタ1 (AD0DT1)		11-33
H'0080 0094	10ビットA/D0データレジスタ2 (AD0DT2)		11-33
H'0080 0096	10ビットA/D0データレジスタ3 (AD0DT3)		11-33
H'0080 0098	10ビットA/D0データレジスタ4 (AD0DT4)		11-33
H'0080 009A	10ビットA/D0データレジスタ5 (AD0DT5)		11-33
H'0080 009C	10ビットA/D0データレジスタ6 (AD0DT6)		11-33
H'0080 009E	10ビットA/D0データレジスタ7 (AD0DT7)		11-33
H'0080 00A0	10ビットA/D0データレジスタ8 (AD0DT8)		11-33
H'0080 00A2	10ビットA/D0データレジスタ9 (AD0DT9)		11-33
H'0080 00A4	10ビットA/D0データレジスタ10 (AD0DT10)		11-33
H'0080 00A6	10ビットA/D0データレジスタ11 (AD0DT11)		11-33
H'0080 00A8	10ビットA/D0データレジスタ12 (AD0DT12)		11-33
H'0080 00AA	10ビットA/D0データレジスタ13 (AD0DT13)		11-33
H'0080 00AC	10ビットA/D0データレジスタ14 (AD0DT14)		11-33
H'0080 00AE	10ビットA/D0データレジスタ15 (AD0DT15)		11-33
	(使用禁止領域)		
H'0080 00D0	(使用禁止領域)	8ビットA/D0データレジスタ0 (AD08DT0)	11-34
H'0080 00D2	(使用禁止領域)	8ビットA/D0データレジスタ1 (AD08DT1)	11-34
H'0080 00D4	(使用禁止領域)	8ビットA/D0データレジスタ2 (AD08DT2)	11-34
H'0080 00D6	(使用禁止領域)	8ビットA/D0データレジスタ3 (AD08DT3)	11-34
H'0080 00D8	(使用禁止領域)	8ビットA/D0データレジスタ4 (AD08DT4)	11-34
H'0080 00DA	(使用禁止領域)	8ビットA/D0データレジスタ5 (AD08DT5)	11-34
H'0080 00DC	(使用禁止領域)	8ビットA/D0データレジスタ6 (AD08DT6)	11-34

A/D変換関連レジスタマップ(2/2)

番地	+ 0番地		+ 1番地		掲載 ページ
	b0	b7	b8	b15	
H'0080 00DE	(使用禁止領域)		8ビットA/D0データレジスタ7 (AD08DT7)		11-34
H'0080 00E0	(使用禁止領域)		8ビットA/D0データレジスタ8 (AD08DT8)		11-34
H'0080 00E2	(使用禁止領域)		8ビットA/D0データレジスタ9 (AD08DT9)		11-34
H'0080 00E4	(使用禁止領域)		8ビットA/D0データレジスタ10 (AD08DT10)		11-34
H'0080 00E6	(使用禁止領域)		8ビットA/D0データレジスタ11 (AD08DT11)		11-34
H'0080 00E8	(使用禁止領域)		8ビットA/D0データレジスタ12 (AD08DT12)		11-34
H'0080 00EA	(使用禁止領域)		8ビットA/D0データレジスタ13 (AD08DT13)		11-34
H'0080 00EC	(使用禁止領域)		8ビットA/D0データレジスタ14 (AD08DT14)		11-34
H'0080 00EE	(使用禁止領域)		8ビットA/D0データレジスタ15 (AD08DT15)		11-34

11.2.1 A/D単一モードレジスタ0

A/D0単一モードレジスタ0(AD0SIM0)

<アドレス: H'0080 0080 >

b0	1	2	3	4	5	6	b7
ADSTRG1		ADSTRG0	ADSSEL	ADSREQ	ADSCMP	ADSSTP	ADSSTT
0	0	0	0	0	1	0	0

<リセット解除時: H'04 >

b	ビット名	機能	R	W
0	ADSTRG1(注1) A/Dハードウェアトリガ選択1ビット	b0およびb2ビットでA/Dハードウェアトリガを選択 b0 b2 0 0 : 入力イベントバス2 0 1 : 入力イベントバス3 1 0 : 出力イベントバス3 1 1 : TIN23S信号	R	W
1	何も配置されていません。"0"に固定してください。		0	0
2	ADSTRG0(注1) A/Dハードウェアトリガ選択0ビット	b0およびb2ビットでA/Dハードウェアトリガを選択 (b0ビットの欄参照)	R	W
3	ADSSEL A/D変換開始トリガ選択ビット	0: ソフトウェアトリガ 1: ハードウェアトリガ(注2)	R	W
4	ADSREQ A/D割り込み要求/DMA転送要求選択ビット	0: A/D変換割り込み要求 1: DMA転送要求	R	W
5	ADSCMP A/D変換/コンパレート終了ビット	0: A/D変換中/コンパレート中 1: A/D変換終了/コンパレート終了	R	-
6	ADSSTP A/D変換ストップビット	0: 何もしません 1: A/D変換停止	0	W
7	ADSSTT A/D変換スタートビット	0: 何もしません 1: A/D変換開始	0	W

注1. ハードウェアトリガ選択はb0ビット(A/Dハードウェアトリガ選択1)およびb2ビット(A/Dハードウェアトリガ選択0)の2ビットで行います。

注2. コンパレータモード時は、ハードウェアトリガを選択しても無視され、ソフトウェアトリガ動作となります。

A/D単一モードレジスタ0は、A/Dコンバータの単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) ADSTRG(A/Dハードウェアトリガ選択)ビット (b0, b2)

A/DコンバータのA/D変換をハードウェアで起動する場合のハードウェアトリガを選択するビットです。ハードウェアトリガは以下の要因から選択します。

A/D0コンバータ: 入力イベントバス2
入力イベントバス3
出力イベントバス3
TIN23のエッジ選択出力

ADSSEL(A/D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) ADSSEL(A/D変換開始トリガ選択)ビット (b3)

単一モード時のA/D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADSSTT(A/D変換スタート)ビットを"1"にするとA/D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADSTRG(ハードウェアトリガ選択)ビットで選択した要因でA/D変換が起動されます。

(3) ADSREQ(A/D割り込み要求/DMA転送要求選択)ビット (b4)

単一モード(A/D変換またはコンパレート)終了時に、A/D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、A/D変換割り込み要求を選択し、ICUのA/D変換割り込み制御レジスタでマスクするか、またはDMA転送を選択し、DMAチャンネル制御レジスタでA/D変換終了によるDMA転送を行わないよう設定してください。

(4) ADSCMP(A/D変換/コンパレート終了)ビット (b5)

読み出し専用のビットで、リセット解除時は"1"です。A/Dコンバータの単一モード(A/D変換またはコンパレート)動作中は"0"になり、終了時に"1"になります。

A/D変換中またはコンパレート中にADSSTP(A/D変換ストップ)ビットへ"1"を書き込み、A/D変換動作またはコンパレート動作を強制終了したときも"1"になります。

(5) ADSSTP(A/D変換ストップ)ビット (b6)

A/Dコンバータの単一モード(A/D変換またはコンパレート)中にこのビットを"1"にすると、その動作を停止させることができます。単一モードの動作停止中、およびスキャンモードの動作に対しては、このビットの操作は無視されます。

動作の停止はこのビットへの書き込み後直ちに行われ、停止後に「A/D0逐次近似レジスタ」の内容を読み出すと、変換途中の値が読み出されます(A/Dデータレジスタへの転送は行われません)。

A/D変換スタートビットとA/D変換ストップビットを同時に"1"にした場合、A/D変換ストップビットが有効になります。

特殊モード「スキャンモード動作中の単一モード強制実行」で、単一モードの動作中にこのビットを"1"にすると単一モード変換のみが停止し、スキャンモード動作が再開されます。

(6) ADSSTT(A/D変換スタート)ビット (b7)

ADSSEL(A/D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットを"1"にするとA/DコンバータのA/D変換がスタートします。

A/D変換スタートビットとA/D変換ストップビットを同時に"1"にした場合、A/D変換ストップビットが有効になります。

単一モード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、単一モードでの変換を再スタートします。

スキャンモードのA/D変換中にこのビットを"1"にすると、特殊動作モード「スキャンモード動作中の単一モード強制実行」になり、スキャンモードで変換中のチャンネルをキャンセルして単一モード変換を行います。単一モード変換終了後は、キャンセルされたチャンネルからスキャンモードでのA/D変換を再開します。

11.2.2 A/D単一モードレジスタ1

A/D0単一モードレジスタ1 (AD0SIM1)

<アドレス : H'0080 0081 >

b8	9	10	11	12	13	14	b15
ADSM SL	ADSSPD	ADSSHSL	ADSSHSPD	ADSEL			
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	ADSM SL A/D変換モード選択ビット	0 : A/D0変換モード 1 : コンパレータモード	R	W
9	ADSSPD (注1) A/D変換速度選択ビット	0 : ノーマル 1 : 倍速	R	W
10	ADSSHSL A/D変換方式選択ビット	0 : サンプル&ホールド無効 1 : サンプル&ホールド有効	R	W
11	ADSSHSPD (注2) A/Dサンプル&ホールド変換速度選択ビット	0 : ノーマルサンプル&ホールド 1 : 高速サンプル&ホールド	R	W
12 ~ 15	ANSEL A/Dアナログ入力端子選択ビット	0000 : ADiIN0を選択 (i=0) 0001 : ADiIN1を選択 0010 : ADiIN2を選択 0011 : ADiIN3を選択 0100 : ADiIN4を選択 0101 : ADiIN5を選択 0110 : ADiIN6を選択 0111 : ADiIN7を選択 1000 : ADiIN8を選択 1001 : ADiIN9を選択 1010 : ADiIN10を選択 1011 : ADiIN11を選択 1100 : ADiIN12を選択 1101 : ADiIN13を選択 1110 : ADiIN14を選択 1111 : ADiIN15を選択	R	W

注1 . A/D変換速度はADSSPDビット、ADSSHSLビット、ADSSHSPDビットおよびA/D変換速度制御レジスタのADCVSD2ビットとADCVSDビットの組み合わせで決まります。

注2 . ADSSHSLビットでサンプル&ホールド有効を選択した場合に有効になります。

A/D単一モードレジスタ1は、A/Dコンバータの単一モード時の動作モード、変換スピードおよびアナログ入力端子の選択を制御するためのレジスタです。

(1) ADSMSL(A/D変換モード選択)ビット (b8)

A/Dコンバータの単一モード時のA/D変換モードを選択するビットです。このビットが"0"のときはA/D変換モード、"1"のときはコンパレータモードになります。

(2) ADSSPD(A/D変換速度選択)ビット (b9)

A/Dコンバータの単一モード時のA/D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(3) ADSSHSL(A/D変換方式選択)ビット (b10)

A/Dコンバータの単一モード時、サンプル&ホールド機能の有効/無効を切り換えるビットです。このビットが"0"のときはサンプル&ホールド無効、"1"のときはサンプル&ホールド有効です。

ADMSL(A/D変換モード選択)ビットでコンパレートモードを選択した場合は、このビットの設定は無効になります。

(4) ADSSHSPD(A/Dサンプル&ホールド変換速度選択)ビット (b11)

A/Dコンバータのサンプル&ホールド機能を有効にしたときの変換速度を切り換えるビットです。このビットが"0"のときは通常のA/D変換速度と同じになりますが、"1"のときは通常のA/D変換に比べ高速に変換します。

ADSSHSL(A/D変換方式選択)ビットを"0"のサンプル&ホールド無効に設定した場合は、このビットの設定は無効になります。

変換時間については、「11.3.4 A/D変換時間算出方法」を参照してください。

(5) ANSEL(A/Dアナログ入力端子選択)ビット (b12~b15)

A/Dコンバータの単一モード時のアナログ入力端子選択ビットです。このビットで選択されたチャンネルがA/D変換またはコンパレートの対象チャンネルになります。なお、読み出し時は書き込んだ値が読み出されます。

11.2.3 A/D単一モードレジスタ2

A/D0単一モードレジスタ2(AD0SIM2)

<アドレス: H'0080 0083 >

b8	9	10	11	12	13	14	b15
ADSH2	ADSH2ST			ADSEL2			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	ADSH2 A/D同時サンプリング選択ビット(注1)	0: 同時サンプリング無効 1: 同時サンプリング有効	R	W
9	ADSH2ST A/D同時サンプリングステータスビット(注2)	0: 同時サンプリングの2回目変換時以外 1: 同時サンプリングの2回目を変換中	R	-
10, 11	何も配置されていません。"0"に固定してください。		R	-
12 ~ 15	ADSEL2 A/D同時サンプリング アナログ入力端子選択ビット(注3)	0000: どのチャンネルも選択されません } } 1011: どのチャンネルも選択されません 1100: AD0IN12を選択 1101: AD0IN13を選択 1110: AD0IN14を選択 1111: AD0IN15を選択	R	W

注1. 単一モードレジスタ1で、A/D変換モード/サンプル&ホールドが有効である必要があります。コンパレータモード、サンプル&ホールド無効時には、同時サンプリング無効に設定してください。

注2. 2回目の変換速度は、1回目と同じです。

注3. ADSH2ビットで同時サンプリング有効を選択時は、B'1100 ~ B'1111のいずれかを選択してください。また、同時サンプリング無効を選択時は、B'0000 ~ B'1011のいずれかを選択してください。

A/D単一モードレジスタ2は、A/Dコンバータの単一モード時の同時サンプリングの有効無効や同時にサンプリングするアナログ入力端子を選択するためのレジスタです。

(1) ADSH2(A/D同時サンプリング選択)ビット (b8)

A/Dコンバータの単一モード時の同時サンプリングの有効/無効を選択するビットです。このビットを"0"に設定すると同時サンプリング無効、"1"に設定すると同時サンプリング有効となります。

(2) ADSH2ST(A/D同時サンプリングステータス)ビット (b9)

同時サンプリング有効時に、A/D変換実行何回目の変換を実行しているを示すステータスビットです。2回目の変換実行時のみ"1"になります。

(3) ADSEL2(A/D同時サンプリングアナログ入力端子選択)ビット (b12 ~ b15)

同時サンプリング有効時に、同時にサンプリングするチャンネルを選択するビットです。

11.2.4 A/Dスキャンモードレジスタ0

A/D0スキャンモードレジスタ0 (AD0SCM0)

<アドレス : H'0080 0084 >

b0	1	2	3	4	5	6	b7
ADCTRG1	ADCMSL	ADCTRG0	ADCSEL	ADCREQ	ADCCMP	ADCSTP	ADCSTT
0	0	0	0	0	1	0	0

<リセット解除時 : H'04 >

b	ビット名	機能	R	W
0	ADCTRG1(注1) A/Dハードウェアトリガ選択1ビット	b0およびb2ビットでA/Dハードウェアトリガを選択 b0 b2 0 0 : 入力イベントバス2 0 1 : 入力イベントバス3 1 0 : 出力イベントバス3 1 1 : TIN23S信号	R	W
1	ADCMSL A/Dスキャンモード選択ビット	0 : ワンショットモード 1 : 連続モード	R	W
2	ADCTRG0 A/Dハードウェアトリガ選択0ビット	b0およびb2ビットでA/Dハードウェアトリガを選択 (b0ビットの欄参照)	R	W
3	ADCSEL A/D変換開始トリガ選択ビット	0 : ソフトウェアトリガ 1 : ハードウェアトリガ	R	W
4	ADCREQ A/D割り込み要求/DMA転送要求選択ビット	0 : A/D変換割り込み要求 1 : DMA転送要求	R	W
5	ADCCMP A/D変換終了ビット	0 : A/D変換中 1 : A/D変換終了	R	-
6	ADCSTP A/D変換ストップビット	0 : 何もしません 1 : A/D変換停止	0	W
7	ADCSTT A/D変換スタートビット	0 : 何もしません 1 : A/D変換開始	0	W

注1 . ハードウェアトリガ選択はb0ビット(A/Dハードウェアトリガ選択1)およびb2ビット(A/Dハードウェアトリガ選択0)で設定します。

A/Dスキャンモードレジスタ0は、A/Dコンバータのスキャンモード時の動作を制御するためのレジスタです。

(1) ADCTRG(A/Dハードウェアトリガ選択)ビット (b0, b2)

A/DコンバータのA/D変換をハードウェアで起動する場合のハードウェアトリガを選択するビットです。ハードウェアトリガは以下の要因から選択します。

A/D0コンバータ : 入力イベントバス2
入力イベントバス3
出力イベントバス3
TIN23のエッジ選択出力

ADCSEL(A/D変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) ADCMSL(A/Dスキャンモード選択)ビット (b1)

このビットでA/Dコンバータスキャンワンショットモードと、スキャン連続モードを選択します。

このビットが"0"のときはスキャンワンショットモードになり、A/D0スキャンモードレジスタ1 (AD0SCM1)のANSCAN(A/Dスキャンループ選択)ビットで選択されたチャンネルのA/D変換を順次行い、すべてのチャンネルのA/D変換が終了すると変換動作は停止します。

このビットが"1"のときはスキャン連続モードになり、スキャンワンショットモードの動作終了後、再び最初のチャンネルからA/D変換を行い、ADCSTP(A/D変換ストップ)ビットを"1"にして停止するまでこれを継続します。

(3) ADCSEL(A/D変換開始トリガ選択)ビット (b3)

A/Dコンバータのスキャンモード時のA/D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、ADCSTT(A/D変換スタート)ビットを"1"にするとA/D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、ADCTRG(A/Dハードウェアトリガ選択)ビットで選択した要因でA/D変換が起動されます。

(4) ADCREQ(A/D割り込み要求/DMA転送要求選択)ビット (b4)

スキャンモードの1周期終了時に、A/D変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。割り込み、DMA転送共に使用しない場合は、A/D変換割り込み要求を選択し、ICUのA/D変換割り込み制御レジスタでマスクするか、またはDMA転送を選択し、DMAチャンネル制御レジスタでA/D変換終了によるDMA転送を行わないよう設定してください。

(5) ADCCMP(A/D変換終了)ビット (b5)

読み出し専用のビットで、リセット解除時は"1"です。A/DコンバータのスキャンモードA/D変換動作中は"0"になり、スキャンワンショットモード終了時、またはスキャン連続モードをADCSTP(A/D変換ストップ)ビットを"1"にして停止したとき"1"になります。

(6) ADCSTP(A/D変換ストップ)ビット (b6)

A/DコンバータでスキャンモードのA/D変換中に、このビットに"1"を書き込むことで、スキャンモードの動作を停止させることができます。このビットはスキャンモードの動作にのみ有効で、特殊動作モードで単一モード、スキャンモードが共に起動されている場合でも単一モードの動作には影響を与えません。

動作の停止はこのビットへの書き込み後直ちに行われ、変換途中のチャンネルのA/D変換は途中で打ち切られ、A/Dデータレジスタへの転送は行われません。

A/D変換スタートビットとA/D変換ストップビットを同時に"1"にした場合、A/D変換ストップビットが有効になります。

(7) ADCSTT(A/D変換スタート)ビット (b7)

ADCSEL(A/D変換開始トリガ選択)ビットで、A/Dコンバータのスキャンモードをソフトウェアで起動するためのビットで、ソフトウェアトリガを選択している場合にのみ、このビットを"1"にするとA/D変換がスタートします。

A/D変換スタートビットとA/D変換ストップビットを同時に"1"にした場合、A/D変換ストップビットが有効になります。

スキャンモード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、A/Dスキャンモードレジスタ0およびA/Dスキャンモードレジスタ1で設定された内容で、スキャン動作が再起動されます。

単一モードのA/D変換中にこのビットを"1"にすると、特殊動作モード「単一モード実行後スキャンモード開始」になり、単一モード終了後にスキャンモード動作を連続して開始します。

11.2.5 A/Dスキャンモードレジスタ1

A/D0スキャンモードレジスタ1(AD0SCM1)

<アドレス : H'0080 0085 >

b8	9	10	11	12	13	14	b15
0	ADCSPD 0	ADCSHSL 0	ADCSHSPD 0	0	0	ANSCAN 0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8		何も配置されていません。"0"に固定してください。	0	0
9	ADCSPD (注1) A/D変換速度選択ビット	0 : ノーマル 1 : 倍速	R	W
10	ADCSHSL A/D変換方式選択ビット	0 : サンプル&ホールド無効 1 : サンプル&ホールド有効	R	W
11	ADCSHSPD (注2) A/Dサンプル&ホールド変換速度選択ビット	0 : ノーマルサンプル&ホールド 1 : 高速サンプル&ホールド	R	W
12 ~ 15	ANSCAN A/Dスキャンループ選択ビット	<書き込み時> B'0000 ~ B'1111(チャンネル0 ~ チャンネル15) <変換中読み出し時> (i=0) 0000 : ADiIN0を変換中 0001 : ADiIN1を変換中 0010 : ADiIN2を変換中 0011 : ADiIN3を変換中 0100 : ADiIN4を変換中 0101 : ADiIN5を変換中 0110 : ADiIN6を変換中 0111 : ADiIN7を変換中 1000 : ADiIN8を変換中 1001 : ADiIN9を変換中 1010 : ADiIN10を変換中 1011 : ADiIN11を変換中 1100 : ADiIN12を変換中 1101 : ADiIN13を変換中 1110 : ADiIN14を変換中 1111 : ADiIN15を変換中	R	W

注1 . A/D変換速度はADCSPDビット、ADCSHSLビット、ADCSHSPDビットおよびA/D変換速度制御レジスタのADCVSD2ビットとADCVSDビットの組み合わせで決まります。

注2 . ADCSHSLビットでサンプル&ホールド有効を選択した場合に有効になります。

A/Dスキャンモードレジスタ1は、A/Dコンバータのスキャンモード時の動作モード、変換スピードおよびスキャンループの選択を制御するためのレジスタです。スキャンループ選択ビットにより設定されたチャンネルまでのスキャン(nチャンネルスキャン)動作が可能です。

(1)ADCSPD(A/D変換速度選択)ビット (b9)

A/Dコンバータのスキャンモード時のA/D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(2)ADCSHSL(A/D変換方式選択)ビット (b10)

A/Dコンバータのスキャンモード時、サンプル&ホールド機能の有効/無効を切り換えるビットです。このビットが"0"のときはサンプル&ホールド無効、"1"のときはサンプル&ホールド有効です。

(3) ADCSHSPD(A/Dサンプル&ホールド変換速度選択)ビット (b11)

A/Dコンバータのサンプル&ホールド機能を有効にしたときの変換速度を切り換えるビットです。このビットが"0"のときは通常のA/D変換速度と同じになりますが、"1"のときは通常のA/D変換に比べ高速に変換します。

ADCSHSI(A/D変換方式選択)ビットを"0"のサンプル&ホールド無効に設定した場合は、このビットの設定は無効になります。

変換時間については、「11.3.4 A/D変換時間算出方法」を参照してください。

(4) ANSCAN(A/Dスキャンループ選択)ビット (b12~b15)

ANSKAN(A/Dスキャンループ選択)ビットで、A/Dコンバータのスキャンモード時のスキャンチャンネルを設定します。

ANSKAN(A/Dスキャンループ選択)ビットをスキャン動作時に読み出すと、変換中のチャンネルを示すステータスとなります。

単一モード時に、このビットは常に"B'0000"が読み出されます。

ワンショットモードによるスキャン動作終了時後に読み出すと、最後に変換したチャンネルの値が読み出されます。

スキャンモード実行中に、A/Dスキャンモードレジスタ0のADCSTP(A/D変換ストップ)ビットに"1"をセットしてA/D変換を中止した場合は、A/D変換動作をキャンセルされたチャンネルの値が読み出されます。

また、特殊動作モード「スキャンモード動作中の単一モード強制実行」で単一モード変換中は、スキャン途中でA/D変換動作をキャンセルされたチャンネルの値が読み出されます。

11.2.6 A/D変換速度制御レジスタ

A/D0変換速度制御レジスタ (AD0CVSCR)

<アドレス : H'0080 0087 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	ADCVSD2 0	ADCVSD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	-
14	ADCVSD2 A/D変換速度制御ビット2	0 : 2BCLKモード 1 : 設定禁止	R	W
15	ADCVSD (注1) A/D変換速度制御ビット	0 : 低速モード 1 : 高速モード	R	W

注1 . A/D変換速度は、単一モードではADCVSD、ADCVSD2ビットとA/D0単一モードレジスタ1のADSSPDビットの組み合わせで、スキャンモードではADCVSD、ADCVSD2ビットとA/Dスキャンモードレジスタ1のADCSPDビットの組み合わせで決まります。

A/D変換速度制御レジスタは、A/Dコンバータの単一モード時およびスキャンモード時のA/D変換速度を制御するレジスタです。A/D単一モードレジスタ1のA/D変換速度選択ビット(倍速/ノーマル) およびA/Dスキャンモードレジスタ1のA/D変換速度選択ビット(倍速/ノーマル)との組み合わせで変換スピードが決定されます。

11.2.7 A/D断線検出アシスト機能制御レジスタ

A/D0断線検出アシスト機能制御レジスタ (AD0DDACR)

<アドレス : H'0080 0086 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	0	ADDDAEN 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~6	何も配置されていません。"0"に固定してください。		0	0
7	ADDDAEN (注1)	0 : A/D断線検出アシスト機能無効 A/D断線検出アシスト機能有効	R	W
		1 : A/D断線検出アシスト機能有効		

注1 . A/D断線検出アシスト機能を有効にするためには、ADDDAENビットを"1"にセット後、A/D断線検出アシスト方式選択レジスタで変換開始状態を設定してください。

A/D断線検出アシスト機能制御レジスタは、A/D断線検出アシスト方式選択レジスタの内容を有効にするか無効にするかを選択するためのレジスタです。

注 . ・断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で使用してください。

11.2.8 A/D断線検出アシスト方式選択レジスタ

A/D0断線検出アシスト方式選択レジスタ (AD0DDASEL)

<アドレス: H'0080 008A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
ADDDASEL0 ?	ADDDASEL1 ?	ADDDASEL2 ?	ADDDASEL3 ?	ADDDASEL4 ?	ADDDASEL5 ?	ADDDASEL6 ?	ADDDASEL7 ?	ADDDASEL8 ?	ADDDASEL9 ?	ADDDASEL10 ?	ADDDASEL11 ?	ADDDASEL12 ?	ADDDASEL13 ?	ADDDASEL14 ?	ADDDASEL15 ?

<リセット解除時: 不定 >

b	ビット名	機能	R	W
0	ADDDASEL0 チャンネル0断線検出アシスト方式選択ビット	0: 変換前ディスチャージ 1: 変換前プリチャージ	R	W
1	ADDDASEL1 チャンネル1断線検出アシスト方式選択ビット			
2	ADDDASEL2 チャンネル2断線検出アシスト方式選択ビット			
3	ADDDASEL3 チャンネル3断線検出アシスト方式選択ビット			
4	ADDDASEL4 チャンネル4断線検出アシスト方式選択ビット			
5	ADDDASEL5 チャンネル5断線検出アシスト方式選択ビット			
6	ADDDASEL6 チャンネル6断線検出アシスト方式選択ビット			
7	ADDDASEL7 チャンネル7断線検出アシスト方式選択ビット			
8	ADDDASEL8 チャンネル8断線検出アシスト方式選択ビット			
9	ADDDASEL9 チャンネル9断線検出アシスト方式選択ビット			
10	ADDDASEL10 チャンネル10断線検出アシスト方式選択ビット			
11	ADDDASEL11 チャンネル11断線検出アシスト方式選択ビット			
12	ADDDASEL12 チャンネル12断線検出アシスト方式選択ビット			
13	ADDDASEL13 チャンネル13断線検出アシスト方式選択ビット			
14	ADDDASEL14 チャンネル14断線検出アシスト方式選択ビット			
15	ADDDASEL15 チャンネル15断線検出アシスト方式選択ビット			

注. . このレジスタは、必ずハーフワードでアクセスしてください。

. これらのビットを有効にするには、ADDDAENビット(A/D断線検出アシスト機能制御レジスタのb7)を"1"にセット後、これらのビットを設定してください。

A/D断線検出アシスト方式選択レジスタは、A/D変換結果が前のチャンネルのアナログ入力電圧の影響を抑制するために、チョップアップキャパシタにたまった電荷を引き抜く、または充電してから従来の変換動作を行う場合の状態制御レジスタです。

図11.2.1にAVCC0側でのA/D断線検出例を示し、図11.2.2にはAVSS0側でのA/D断線検出例を示します。

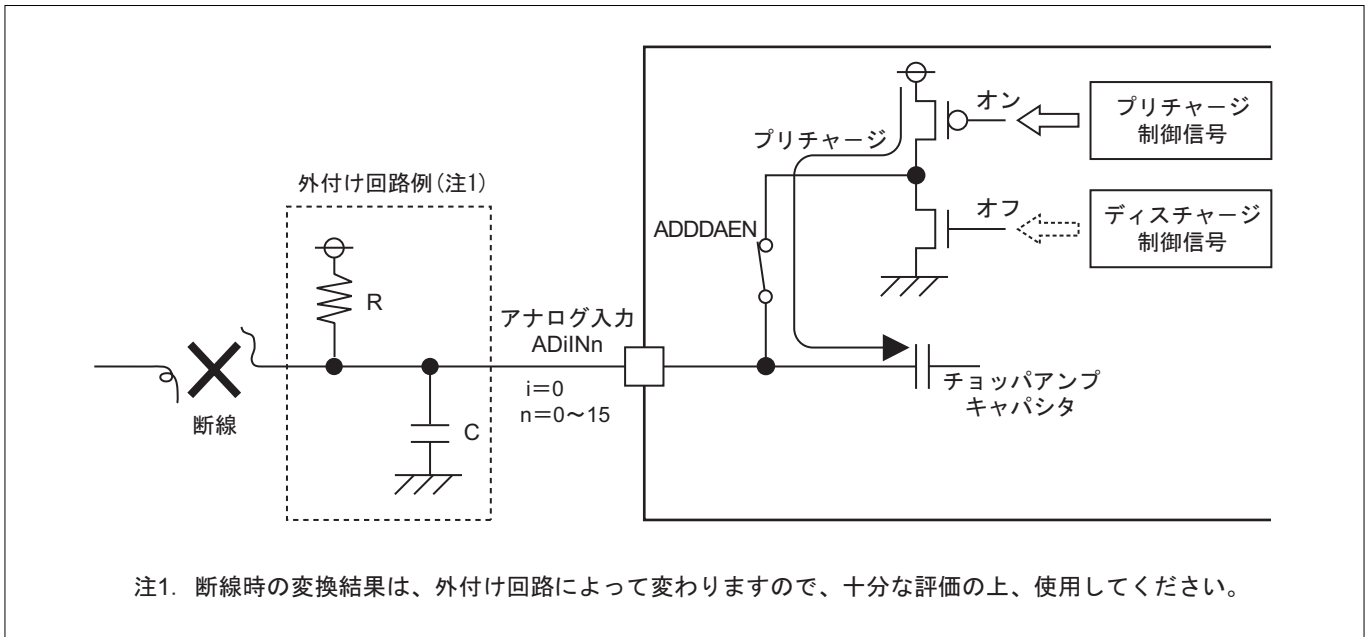


図11.2.1 AVCC0側でのA/D断線検出例(変換前プリチャージを選択)

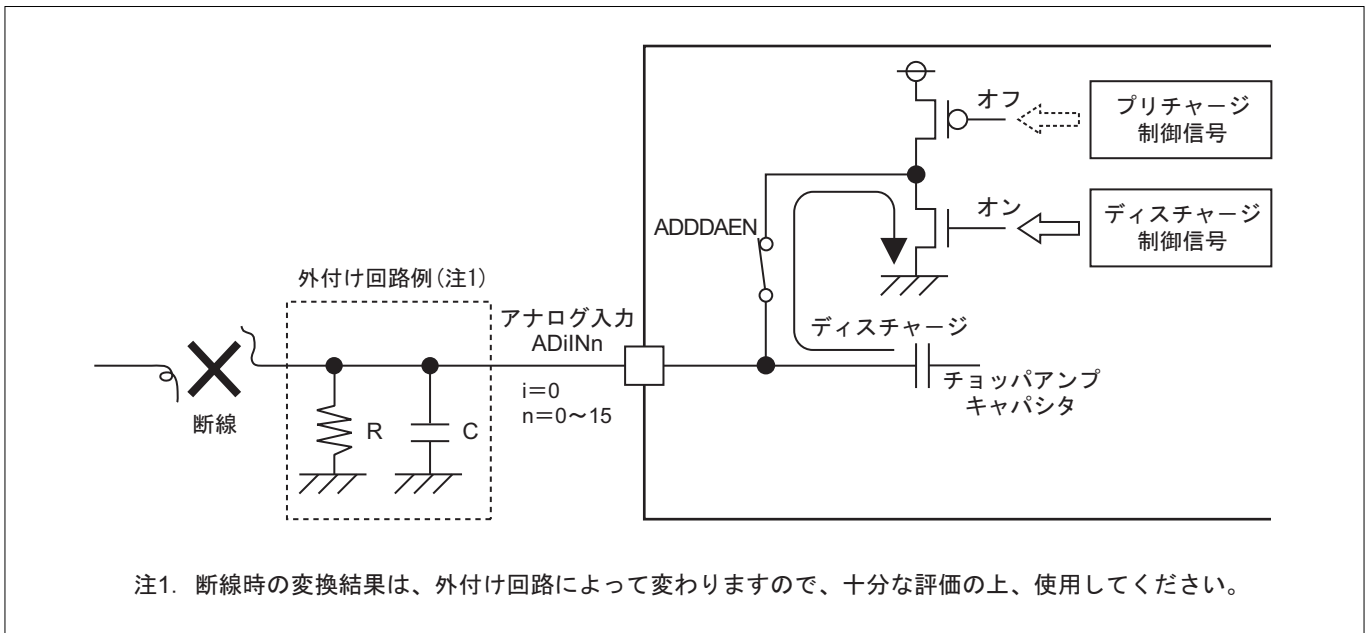


図11.2.2 AVSS0側でのA/D断線検出例(変換前ディスチャージを選択)

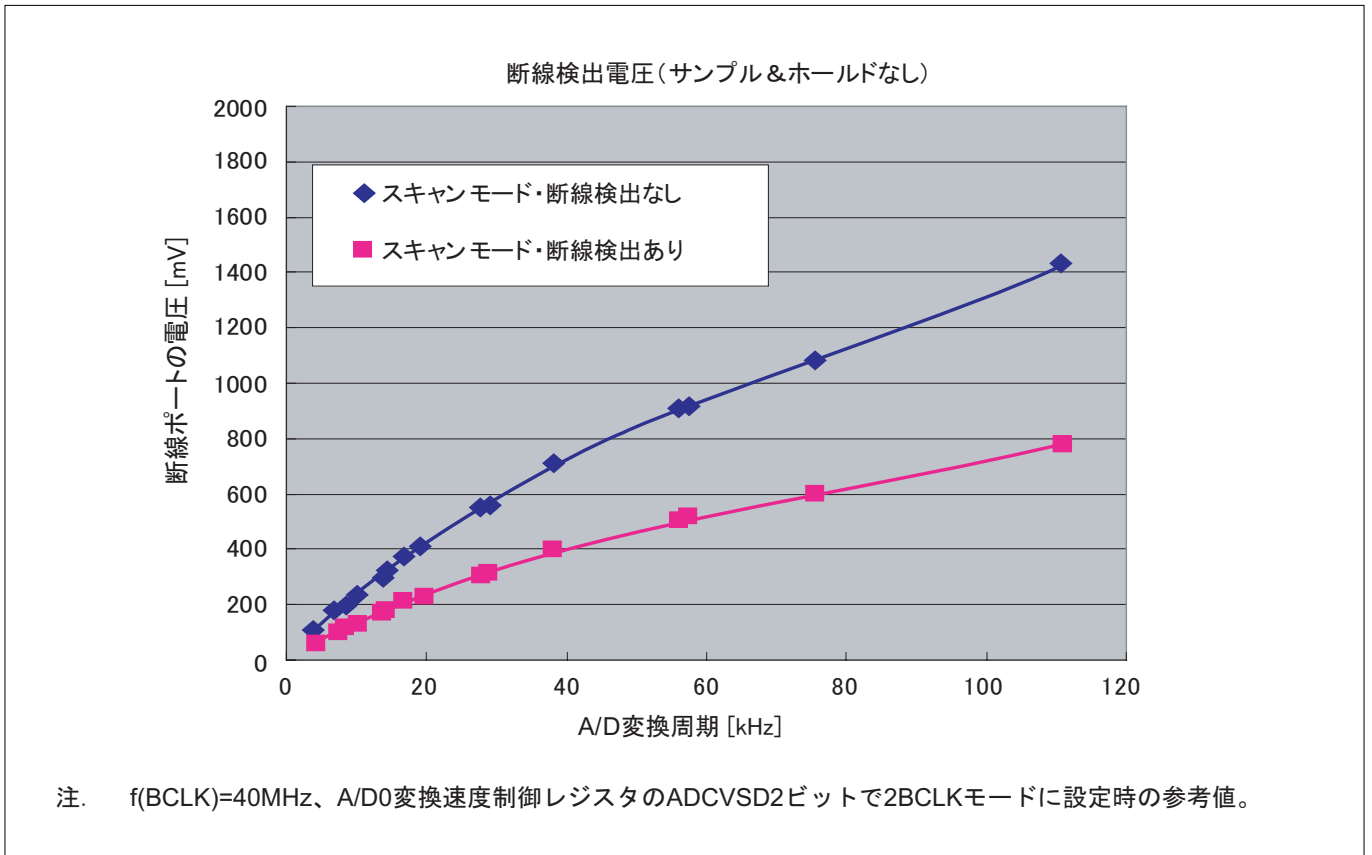


図11.2.3 A/D断線検出アシストデータ(変換前ディスチャージ使用時の参考値)

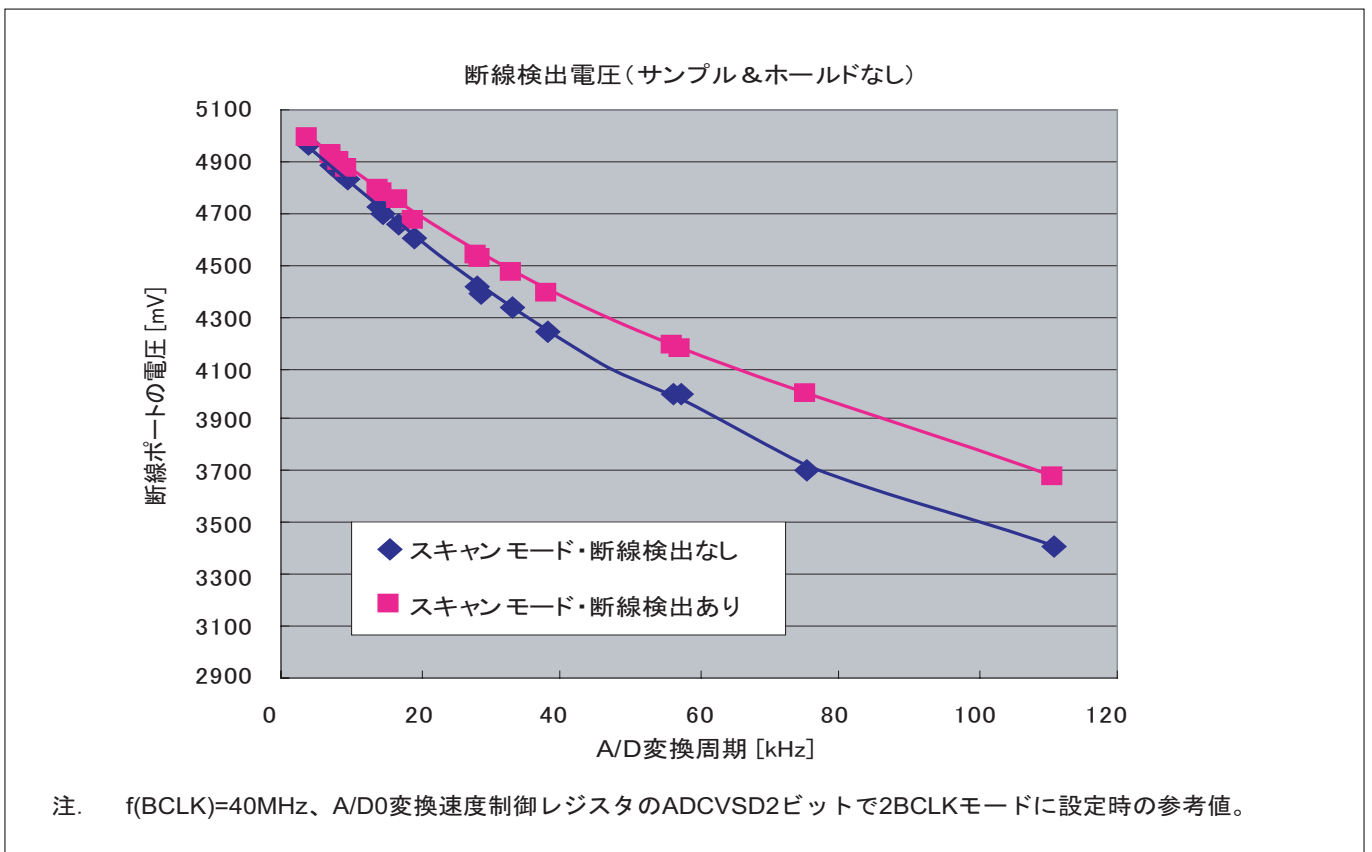
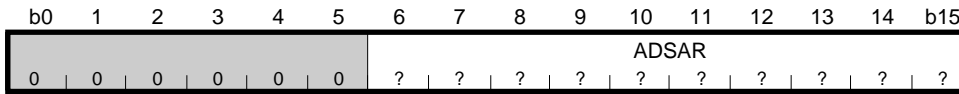


図11.2.4 A/D断線検出アシストデータ(変換前プリチャージ使用時の参考値)

11.2.9 A/D逐次近似レジスタ

A/D0逐次近似レジスタ(AD0SAR)

<アドレス : H'0080 0088 >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6~15	ADSAR A/D逐次近似値/比較値	<ul style="list-style-type: none"> A/D逐次近似値(A/D変換モード) 比較値(コンパレータモード) 	R	W

注 . . このレジスタは、必ずハーフワードでアクセスしてください。

A/D逐次近似レジスタ(ADSAR)は、A/D変換モードの場合はA/Dコンバータの変換結果を読み出し、コンパレータモードの場合は比較値を書き込むレジスタです。

A/D変換モードでは、A/D変換を逐次近似比較方式で行いますが、この方式では基準電圧VREF0とアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A/D逐次近似レジスタ(ADSAR)の各ビット(b6~b15)に対してセットします。A/D変換終了後はこのレジスタの値が、変換を行ったチャンネルに対応する10ビットA/Dデータレジスタ(ADDTn)に転送されます。なお、A/D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

コンパレータモードでは、このレジスタに比較値(コンパレート比較電圧)を書き込みます。書き込みと同時にA/D単一モードレジスタ1で設定したアナログ入力端子とのコンパレート動作が開始されます。コンパレート終了後、結果はA/Dコンパレートデータレジスタ(ADCMP)に格納されます。

コンパレータモードでA/D逐次近似レジスタ(ADSAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H}'3\text{FF} \times \frac{\text{コンパレート比較電圧 [V]}}{\text{VREF0入力電圧 [V]}}$$

11.2.10 A/Dコンパレートデータレジスタ

A/D0コンパレートデータレジスタ(AD0CMP)

<アドレス : H'0080 008C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
AD CMP0 ?	AD CMP1 ?	AD CMP2 ?	AD CMP3 ?	AD CMP4 ?	AD CMP5 ?	AD CMP6 ?	AD CMP7 ?	AD CMP8 ?	AD CMP9 ?	AD CMP10 ?	AD CMP11 ?	AD CMP12 ?	AD CMP13 ?	AD CMP14 ?	AD CMP15 ?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0 ~ 15	ADCMP0 ~ ADCMP15 (注1) A/Dコンパレート結果フラグ	0 : アナログ入力電圧 > 比較電圧 1 : アナログ入力電圧 < 比較電圧	R	-

注1 . コンパレータモード時に、各ビットがチャンネル0 ~ チャンネル15に対応します。

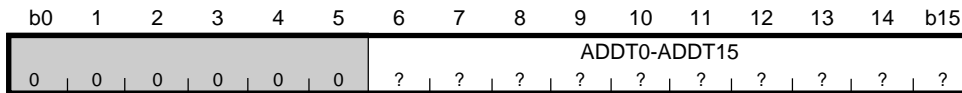
注 . . このレジスタは、必ずハーフワードでアクセスしてください。

A/Dコンパレートデータレジスタは、A/D単一モードレジスタ1のADSMSL(A/D変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A/D逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

11.2.11 10ビットA/Dデータレジスタ

10ビットA/D0データレジスタ0(AD0DT0)	<アドレス: H'0080 0090 >
10ビットA/D0データレジスタ1(AD0DT1)	<アドレス: H'0080 0092 >
10ビットA/D0データレジスタ2(AD0DT2)	<アドレス: H'0080 0094 >
10ビットA/D0データレジスタ3(AD0DT3)	<アドレス: H'0080 0096 >
10ビットA/D0データレジスタ4(AD0DT4)	<アドレス: H'0080 0098 >
10ビットA/D0データレジスタ5(AD0DT5)	<アドレス: H'0080 009A >
10ビットA/D0データレジスタ6(AD0DT6)	<アドレス: H'0080 009C >
10ビットA/D0データレジスタ7(AD0DT7)	<アドレス: H'0080 009E >
10ビットA/D0データレジスタ8(AD0DT8)	<アドレス: H'0080 00A0 >
10ビットA/D0データレジスタ9(AD0DT9)	<アドレス: H'0080 00A2 >
10ビットA/D0データレジスタ10(AD0DT10)	<アドレス: H'0080 00A4 >
10ビットA/D0データレジスタ11(AD0DT11)	<アドレス: H'0080 00A6 >
10ビットA/D0データレジスタ12(AD0DT12)	<アドレス: H'0080 00A8 >
10ビットA/D0データレジスタ13(AD0DT13)	<アドレス: H'0080 00AA >
10ビットA/D0データレジスタ14(AD0DT14)	<アドレス: H'0080 00AC >
10ビットA/D0データレジスタ15(AD0DT15)	<アドレス: H'0080 00AE >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~5	何も配置されていません。		0	-
6~15	ADDT0~ADDT15 10ビットA/Dデータ	10ビットA/D変換結果	R	-

注. . このレジスタは、必ずハーフワードでアクセスしてください。

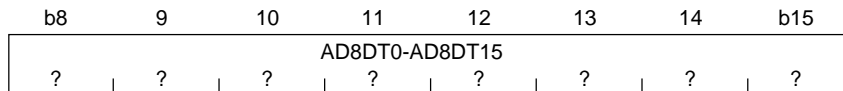
10ビットA/Dデータレジスタは、単一モード時に対応するチャンネルのA/D変換の結果が格納されるレジスタです。

スキャンワンショット/連続モード時に、各チャンネルのA/D変換終了ごとにA/D逐次近似レジスタの内容が、対応するチャンネルの10ビットA/Dデータレジスタに転送されます。

各10ビットA/Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.2.12 8ビットA/Dデータレジスタ

8ビットA/D0データレジスタ0(AD08DT0)	<アドレス: H'0080 00D1 >
8ビットA/D0データレジスタ1(AD08DT1)	<アドレス: H'0080 00D3 >
8ビットA/D0データレジスタ2(AD08DT2)	<アドレス: H'0080 00D5 >
8ビットA/D0データレジスタ3(AD08DT3)	<アドレス: H'0080 00D7 >
8ビットA/D0データレジスタ4(AD08DT4)	<アドレス: H'0080 00D9 >
8ビットA/D0データレジスタ5(AD08DT5)	<アドレス: H'0080 00DB >
8ビットA/D0データレジスタ6(AD08DT6)	<アドレス: H'0080 00DD >
8ビットA/D0データレジスタ7(AD08DT7)	<アドレス: H'0080 00DF >
8ビットA/D0データレジスタ8(AD08DT8)	<アドレス: H'0080 00E1 >
8ビットA/D0データレジスタ9(AD08DT9)	<アドレス: H'0080 00E3 >
8ビットA/D0データレジスタ10(AD08DT10)	<アドレス: H'0080 00E5 >
8ビットA/D0データレジスタ11(AD08DT11)	<アドレス: H'0080 00E7 >
8ビットA/D0データレジスタ12(AD08DT12)	<アドレス: H'0080 00E9 >
8ビットA/D0データレジスタ13(AD08DT13)	<アドレス: H'0080 00EB >
8ビットA/D0データレジスタ14(AD08DT14)	<アドレス: H'0080 00ED >
8ビットA/D0データレジスタ15(AD08DT15)	<アドレス: H'0080 00EF >



<リセット解除時: 不定 >

b	ビット名	機能	R	W
8~15	AD8DT0 ~ AD8DT15 8ビットA/Dデータ	8ビットA/D変換結果	R	-

この8ビットA/Dデータレジスタには、A/Dコンバータの8ビット変換データが格納されます。

A/Dコンバータの単一モード時に、A/D変換の結果が、対応するチャンネルの8ビットA/Dデータレジスタに格納されます。

スキャンワンショット/連続モード時に、各チャンネルのA/D変換終了ごとにA/D逐次近似レジスタの内容が、対応するチャンネルの8ビットA/Dデータレジスタに転送されます。

各8ビットA/Dデータレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでもその内容を読み出すことができます。

11.3 A/Dコンバータ機能説明

11.3.1 アナログ入力電圧の求め方

A/Dコンバータは、10ビット逐次近似方式を採用しており、A/D変換の実行結果で得られる値(デジタル値)から実際のアナログ入力電圧を求めるには、以下の計算を行います。

$$\text{アナログ入力電圧 [V]} = \frac{\text{A/D変換結果} \times \text{VREF入力電圧 [V]}}{1024}$$

A/Dコンバータは10ビット構成であり、分解能は1024となります。A/Dコンバータの基準電圧は、VREF0端子に入力された電圧になるため、VREF0には正確かつ安定な定電圧電源を接続してください。またアナログ系の電源、グランド(AVCC0、AVSS0)はデジタル系の電源と分離し、ノイズ対策を十分とってください。

なお、変換の精度については、「11.3.5 A/D変換精度の定義」を参照してください。

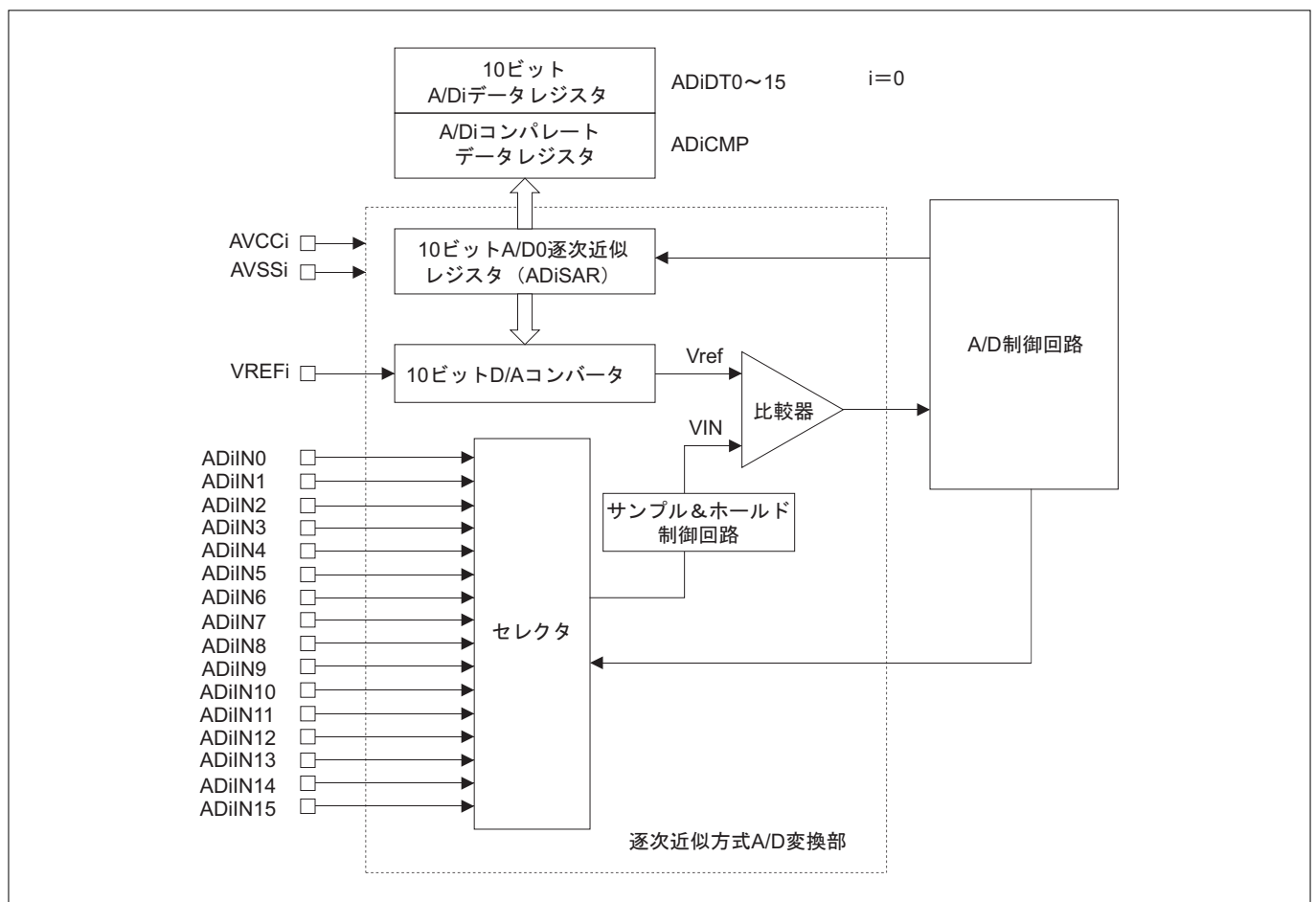


図11.3.1 逐次近似方式A/D変換部概略ブロック図

11.3.2 逐次近似比較方式のA/D変換

A/Dコンバータは、A/D変換開始トリガ(ソフトウェアまたはハードウェア)によりA/D変換動作を開始します。A/D変換開始後は、以下の動作を自動的に実行します。

1. 単一モード時はA/D単一モードレジスタ0のA/D変換/コンパレート終了ビットを、またスキャンモード時はA/Dスキャンモードレジスタ0のA/D変換終了ビットを"0"にクリア
2. A/D逐次近似レジスタの内容を"H'0000"にクリア
3. A/D逐次近似レジスタの最上位ビット(b6)を"1"にセット
4. 比較電圧Vref(注1)を、D/Aコンバータから比較器へ入力
5. 比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をb6に格納
Vref < VIN ならば、b6 = "1"
Vref > VIN ならば、b6 = "0"
6. 上記(3~5)の動作を、以下b7~b15までの全ビットに対して実行
7. b15の比較終了時A/D逐次近似レジスタに格納されている値をA/D変換結果として確定

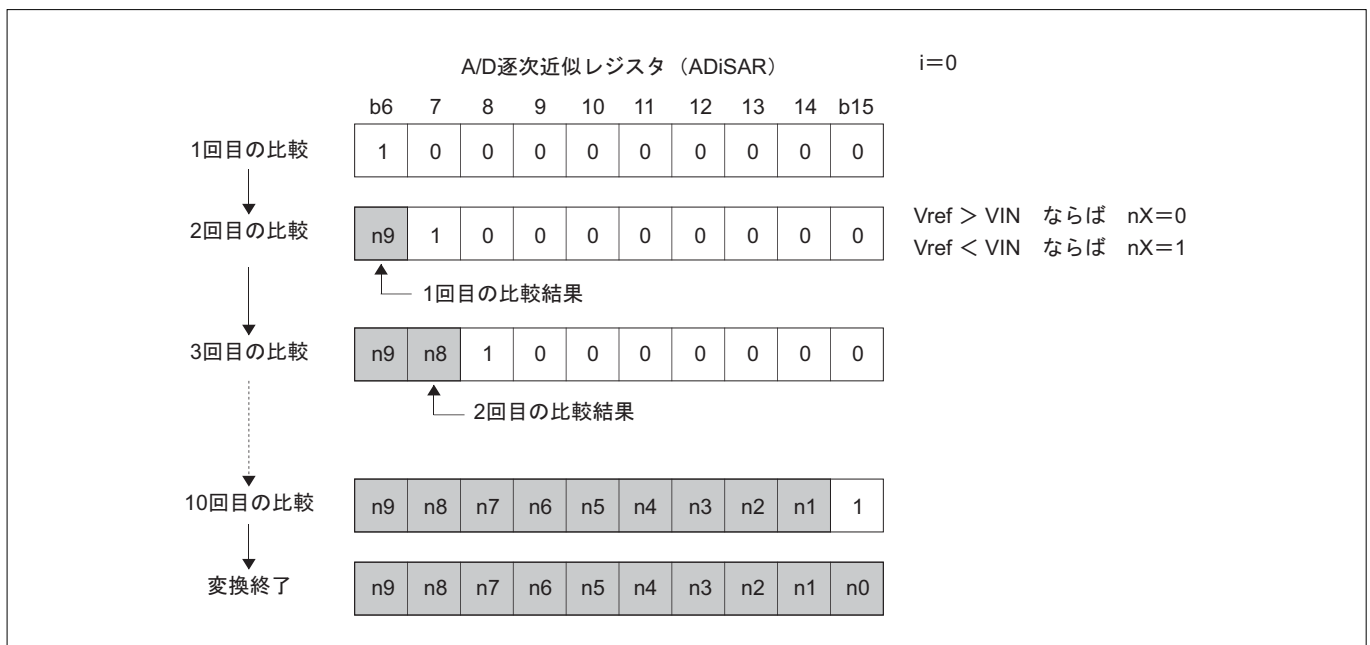


図11.3.2 A/D変換動作中のA/D逐次近似レジスタの変化

注1. 比較電圧Vref(D/Aコンバータから比較器に入力される電圧)は、A/D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

- A/D逐次近似レジスタの内容 = 0の場合
 $Vref[V] = 0$
- A/D逐次近似レジスタの内容 = 1 ~ 1023の場合
 $Vref[V] = (\text{基準電圧 } VREF0/1024) \times (\text{A/D逐次近似レジスタの内容} - 0.5)$

比較結果は、変換を行ったチャンネルに対応した10ビットA/Dデータレジスタ(AD0DTn)に格納されます。また、8ビットA/Dデータレジスタ(AD08DTn)からは、10ビットA/D変換結果の上位8ビットが読み出せます。

各動作モードにおける逐次近似比較方式のA/D変換の手順を以下に示します。

(1) 単一モードの場合

A/D逐次近似レジスタのb15ビットの比較が完了すると変換動作は停止します。A/D逐次近似レジスタの内容(A/D変換結果)は、変換を行った10ビットA/Dデータレジスタ0~15に転送されます。

(2) スキャンワンショットモードの場合

指定したあるチャンネルのA/D逐次近似レジスタでb15ビットの比較が完了すると、A/D逐次近似レジスタの内容は対応する10ビットA/Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記2.~7.の変換動作を再び実行します。

スキャンワンショットモード時は、指定した1スキャンループのA/D変換が終了すると、変換動作は停止します。

(3) スキャン連続モードの場合

指定したチャンネルのA/D逐次近似レジスタでb15ビットの比較が完了すると、A/D逐次近似レジスタの内容は対応する10ビットA/Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記2.~7.の変換動作を再び実行します。

スキャン連続モード時は、A/D変換ストップビット(スキャンモードレジスタ0のb6)を"1"にセットし、スキャン動作を強制停止させるまで、連続して変換動作を実行します。

11.3.3 コンパレータ動作

コンパレータモード(単一モードのみ)を選択すると、A/Dコンバータはソフトウェアによって設定した比較電圧と、アナログ入力電圧を比較するコンパレータとして機能します。

逐次近似レジスタに比較値を書き込むと、単一モードレジスタ1のアナログ入力選択ビットで選択されたアナログ入力電圧と、逐次近似レジスタに書き込んだ値とのコンパレートを開始します。コンパレートが開始すると、以下の動作が自動的に実行されます。

1. A/D単一モードレジスタ0のA/D変換/コンパレート終了
フラグを"0"にクリア
2. 比較電圧Vref(注1)を、D/Aコンバータから比較器へ入力
3. 比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果を対応するチャンネルのコンパレート結果フラグに格納
 $V_{ref} < V_{IN}$ ならば、コンパレート結果フラグ = "0"
 $V_{ref} > V_{IN}$ ならば、コンパレート結果フラグ = "1"
4. 比較結果を格納後、コンパレート動作を停止

比較結果は、A/D0コンパレートデータレジスタ(AD0CMP)の対応するビットに格納されます。

注1. 比較電圧Vref(D/Aコンバータから比較器へ入力される電圧)は、A/D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

- A/D逐次近似レジスタの内容 = 0の場合
 $V_{ref}[V] = 0$
- A/D逐次近似レジスタの内容 = 1 ~ 1023の場合
 $V_{ref}[V] = (\text{基準電圧 } V_{REF0}/1024) \times (\text{A/D0逐次近似レジスタの内容} - 0.5)$

11.3.4 A/D変換時間算出方法

A/D変換時間はダミーサイクル時間と実際の実行サイクル時間との和で表されます。変換時間の算出に必要な各時間は以下の通りです。

1. 開始ダミー時間

CPUがA/D変換の開始命令を実行した時点から、A/DコンバータがA/D変換を開始するまでの時間

2. A/D変換実行サイクル時間

サンプル&ホールド有効時のサンプリング時間は、この実行サイクルに含まれます。

3. コンパレート実行サイクル時間

4. 終了ダミー時間

A/DコンバータがA/D変換を終了した時点から、CPUがその変換結果をA/Dデータレジスタから読み出せる(安定読み出し領域)までの時間

5. スキャン間ダミー時間

スキャンワンショット/連続モード時、A/DコンバータがあるチャンネルのA/D変換を終了した時点から、次のチャンネルのA/D変換を開始するまでの時間

A/D変換時間の計算式は以下のとおりです。

$$\begin{aligned} \text{A/D変換時間} &= \text{開始ダミー時間} + \text{実行サイクル時間} \\ &\quad (+ \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ &\quad + \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\ &\quad + \text{スキャン間ダミー時間} \quad + \text{実行サイクル時間}) \\ &\quad + \text{終了ダミー時間} \end{aligned}$$

注．・()内はスキャンモードで、2チャンネル目以降の変換時間を示します。

1) A/D変換モード時の変換時間算出方法

A/D変換モード時の変換時間算出方法を以下に示します。

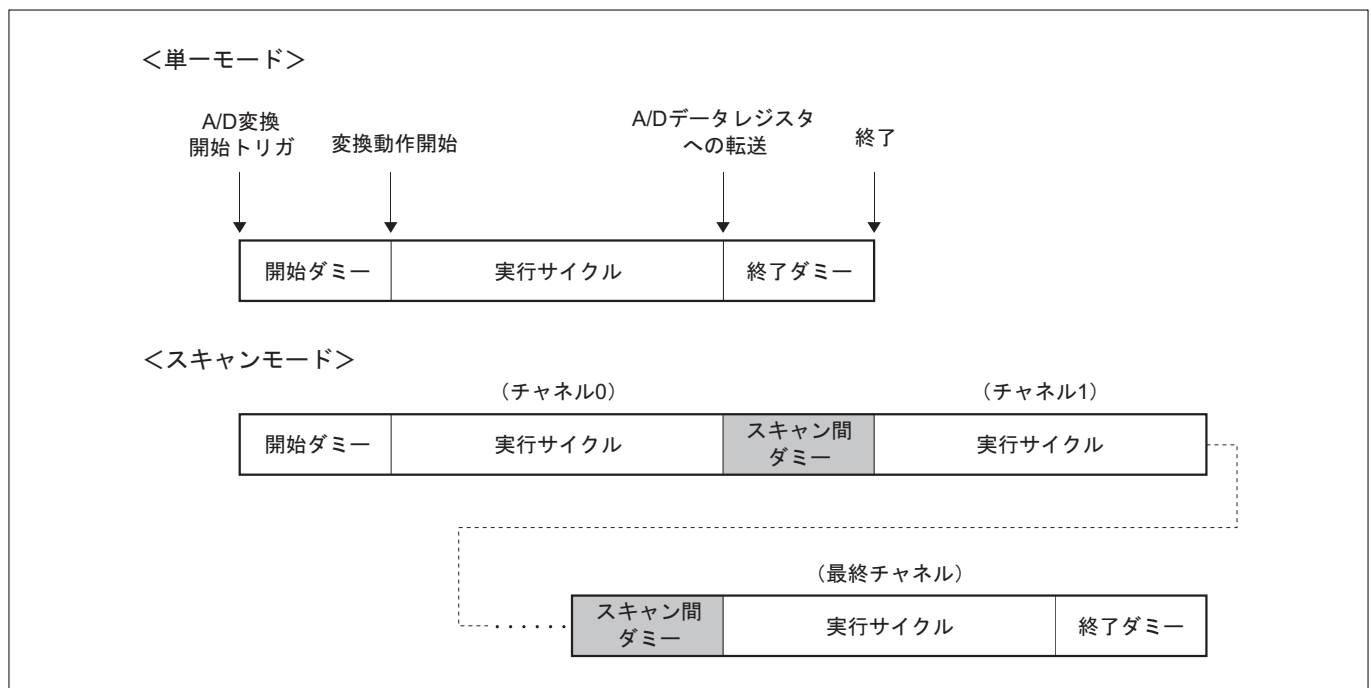


図11.3.3 A/D変換時間概念図

(2) サンプル&ホールド有効時の変換時間算出方法

サンプル&ホールド有効時の変換時間算出方法を以下に示します。

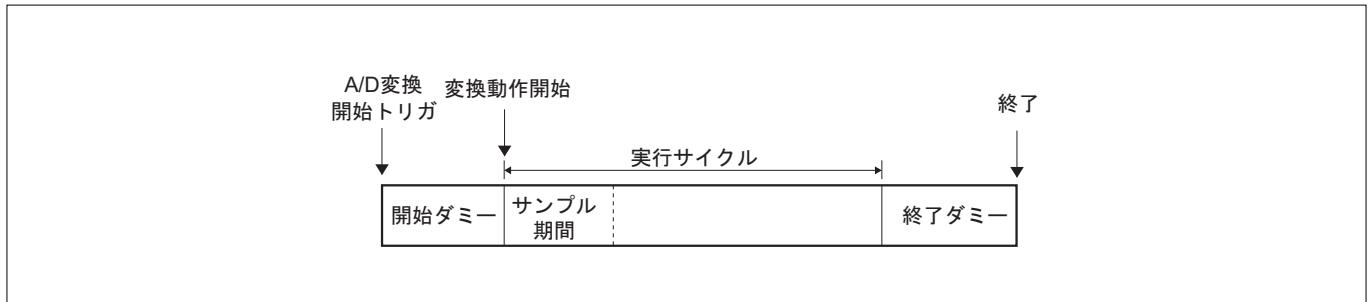


図11.3.4 サンプル&ホールド有効時の時間概念図

表11.3.1 サンプル&ホールド無効時またはノーマルサンプル&ホールド有効時A/D変換モードの

変換クロック数一覧表(最短時間)

単位: BCLK

変換速度		開始ダミー(注1)	実行サイクル	終了ダミー	スキャン間ダミー(注2)	
2BCLKモード	低速モード	ノーマル	8	588	2	8
		倍速	8	336	2	8
	高速モード	ノーマル	8	252	2	8
		倍速	8	168	2	8

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一です。

注2. スキャンモード動作時のみ、チャンネルごとの実行時間に加算されます。

表11.3.2 高速サンプル&ホールド有効時A/D変換モードの変換クロック数一覧表(最短時間)

単位: BCLK

変換速度		開始ダミー(注1)	実行サイクル	終了ダミー	スキャン間ダミー(注2)	
2BCLKモード	低速モード	ノーマル	8	372	2	8
		倍速	8	192	2	8
	高速モード	ノーマル	8	180	2	8
		倍速	8	96	2	8

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一です。

注2. スキャンモード動作時のみ、チャンネルごとの実行時間に加算されます。

(3) コンパレートモード時の変換時間算出方法

コンパレートモード時の変換時間算出方法を以下に示します。

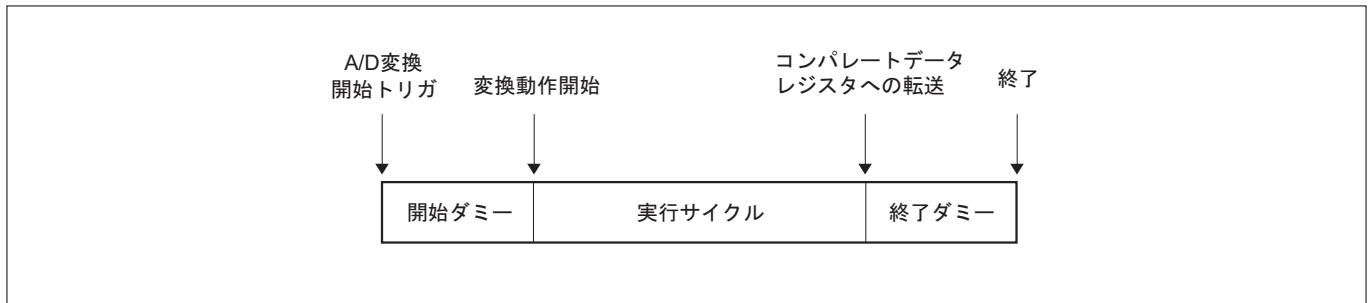


図11.3.5 コンパレートモード時の時間概念図

表11.3.3 コンパレートモードの変換クロック数一覧表(最短時間)

単位：BCLK

変換速度			開始ダミー	実行サイクル	終了ダミー
2BCLKモード	低速モード	ノーマル	8	84	2
		倍速	8	48	2
	高速モード	ノーマル	8	36	2
		倍速	8	24	2

(4)同時サンプリング変換時の変換時間算出方法

同時サンプリング変換時の変換時間算出方法を以下に示します。

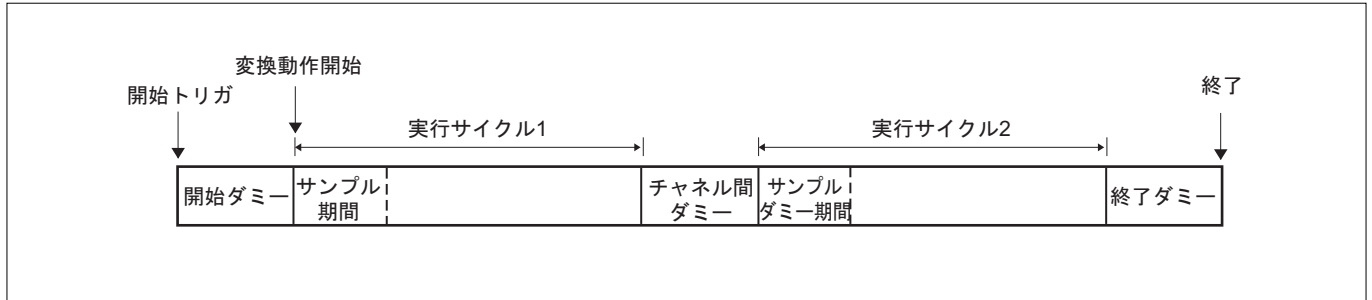


図11.3.6 同時サンプリング時の時間概念図

表11.3.4 ノーマルサンプル&ホールド有効時の同時サンプリング変換クロック数一覧表(最短時間) 単位: BCLK

変換速度		開始ダミー(注1)	実行サイクル1	チャンネル間ダミー	実行サイクル2	終了ダミー	
2BCLKモード	低速モード	ノーマル	8	588	8	588	2
		倍速	8	336	8	336	2
	高速モード	ノーマル	8	252	8	252	2
		倍速	8	168	8	168	2

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一です。

表11.3.5 高速サンプル&ホールド有効時の同時サンプリング変換クロック数一覧表(最短時間) 単位: BCLK

変換速度		開始ダミー(注1)	実行サイクル1	チャンネル間ダミー	実行サイクル2	終了ダミー	
2BCLKモード	低速モード	ノーマル	8	372	8	372	2
		倍速	8	192	8	192	2
	高速モード	ノーマル	8	180	8	180	2
		倍速	8	96	8	96	2

注1. ソフトウェアトリガの場合もハードウェアトリガの場合も同一です。

(5) A/D変換合計時間

A/D変換合計時間を以下に示します。

表11.3.6 A/D変換時間(合計時間)

単位: BCLK

変換開始方法	変換速度		変換モード(注1)		変換時間	高速サンプル& ホールド有効時
ソフトウェアトリガ および ハードウェアトリガ (注2)	2BCLK モード	低速	ノーマル	単一モード	598	382
				スキャンワンショット、 nチャンネルスキャン/連続モード	$(596 \times n) + 2$	$(380 \times n) + 2$
				コンパレータモード	94	94
				同時サンプリング	1194	762
		倍速	単一モード	346	202	
			スキャンワンショット、 nチャンネルスキャン/連続モード	$(344 \times n) + 2$	$(200 \times n) + 2$	
			コンパレータモード	58	58	
			同時サンプリング	690	402	
	高速 モード	ノーマル	単一モード	262	190	
			スキャンワンショット、 nチャンネルスキャン/連続モード	$(260 \times n) + 2$	$(188 \times n) + 2$	
			コンパレータモード	46	46	
			同時サンプリング	522	378	
		倍速	単一モード	178	106	
			スキャンワンショット、 nチャンネルスキャン/連続モード	$(176 \times n) + 2$	$(104 \times n) + 2$	
			コンパレータモード	34	34	
			同時サンプリング	354	210	

注1. 単一モードおよびコンパレータモードは、1チャンネルのA/D変換コンパレート時間を示します。スキャンワンショット/連続モードは1スキャンループのA/D変換時間を、同時サンプリングは1回目+2回目の合計時間を示します。

注2. レジスタの書き込みサイクルが終了してから、A/D変換終了割り込み要求が発生するまでの時間を示します。またはイベントバスを含むMJTなどのイベントによる起動後、A/D変換終了割り込み要求が発生するまでの時間を示します。

注. 2BCLKモード時は、開始ダミー/終了ダミーサイクルそれぞれにおいて、クロック同期化のための1~2BCLKの追加サイクルが発生します。

11.3.5 A/D変換精度の定義

A/Dコンバータの精度は絶対精度で示します。絶対精度とは、アナログ入力電圧をA/D変換して得られる出力コードと、理想的な特性を持つA/Dコンバータに期待される出力コードの差をLSBを用いて示した精度です。

精度測定時のアナログ入力電圧は、理想的な特性を持つA/Dコンバータが同一の出力コードを出力する電圧幅の midpoint の値とします。例えば、 $V_{REF0} = 5.12V$ の場合、10ビットA/Dコンバータの1LSBの幅は5mVとなり、アナログ入力電圧の midpoint として0mV、5mV、10mV、15mV、20mV、25mV……が選ばれます。

A/Dコンバータの絶対精度 = $\pm 2LSB$ とは、例えば入力電圧が25mVの場合、理想的なA/Dコンバータに期待される出力コードが"H'005"であるのに対して、実際のA/D変換結果は"H'003 ~ H'007"の範囲にあることを示します。なお、絶対精度にはゼロ誤差、フルスケール誤差が含まれます。

実際にA/Dコンバータを使用するときの、アナログ入力電圧の範囲は $AVSS0$ から V_{REF0} までですが、 V_{REF0} の電圧を下げて使用すると分解能が悪くなります。また、 V_{REF0} から $AVCC0$ までのアナログ入力電圧に対する出力コードは、常に"H'3FF"となります。

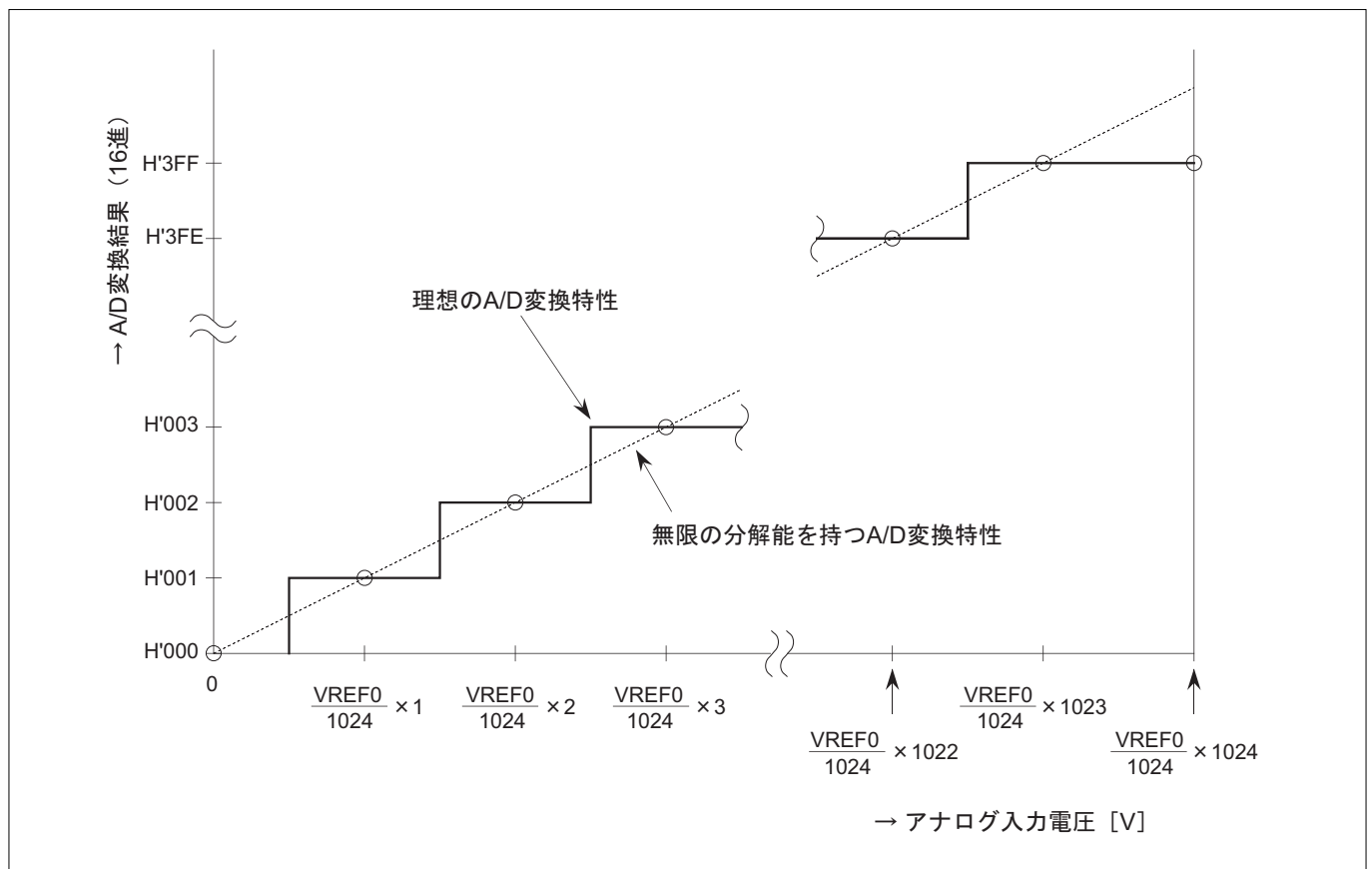


図11.3.7 10ビットA/Dコンバータのアナログ入力電圧に対する理想的A/D変換特性

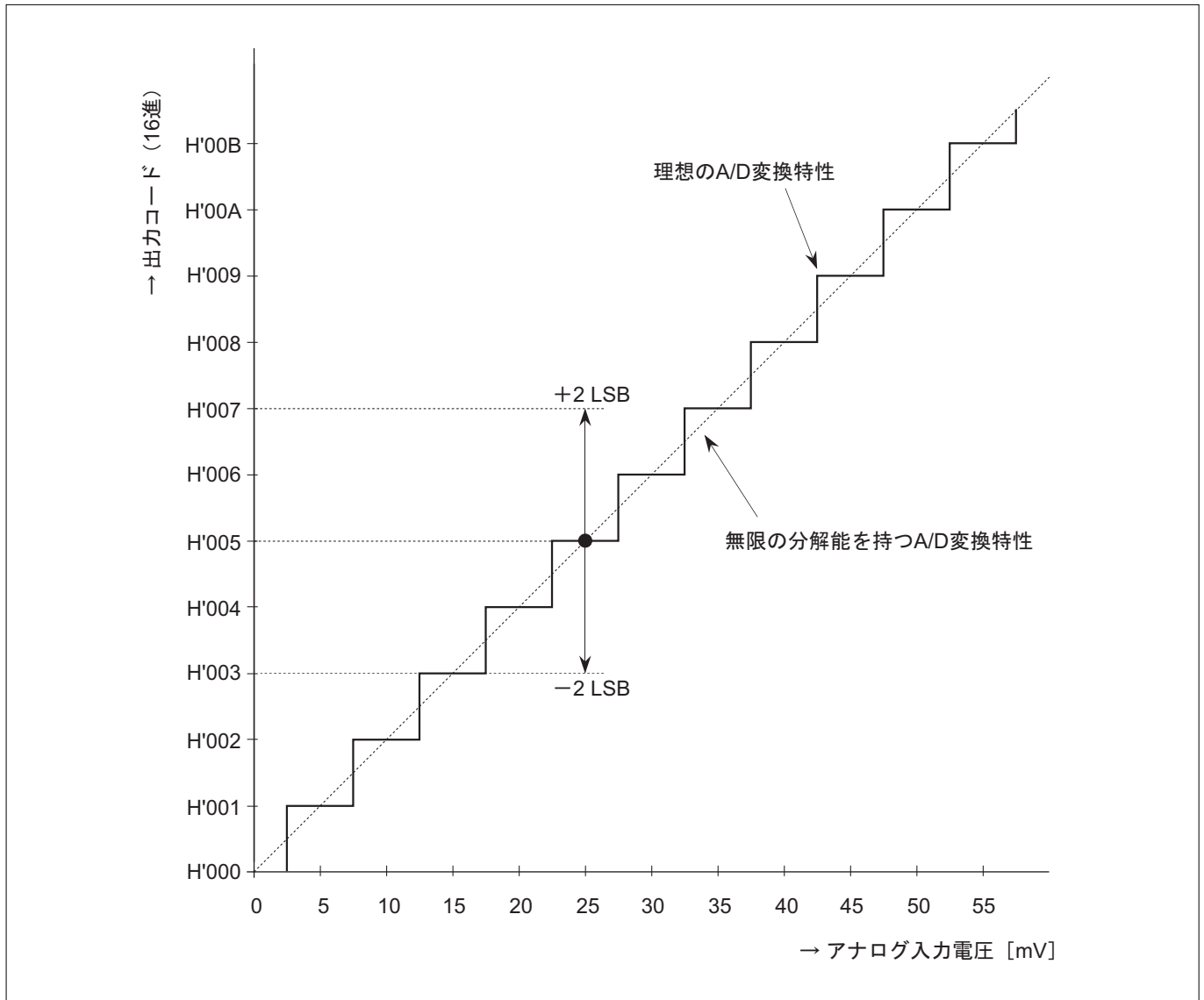


図11.3.8 A/Dコンバータの絶対精度

11.4 注入電流バイパス回路

A/Dコンバータは、選択されたアナログ入力をA/D変換中に、非選択のアナログ入力に絶対最大定格を越える過電圧が印可されると、非選択のアナログ入力の選択回路が過電圧により選択されてしまい、選択中のアナログ入力へ回り込みを起こし、A/D変換結果の精度異常を起こします。

注入電流バイパス回路では、アナログ入力の内部信号を非選択時にGNDレベルへ固定することで、過電圧が印可された場合にGND側へ電流を流し、選択中のアナログ入力への回り込みを防ぎ、A/D変換結果の精度異常を防止します。

この回路は、A/Dコンバータを使用中は絶えず動作しており、ソフトウェアでの制御は不要です。

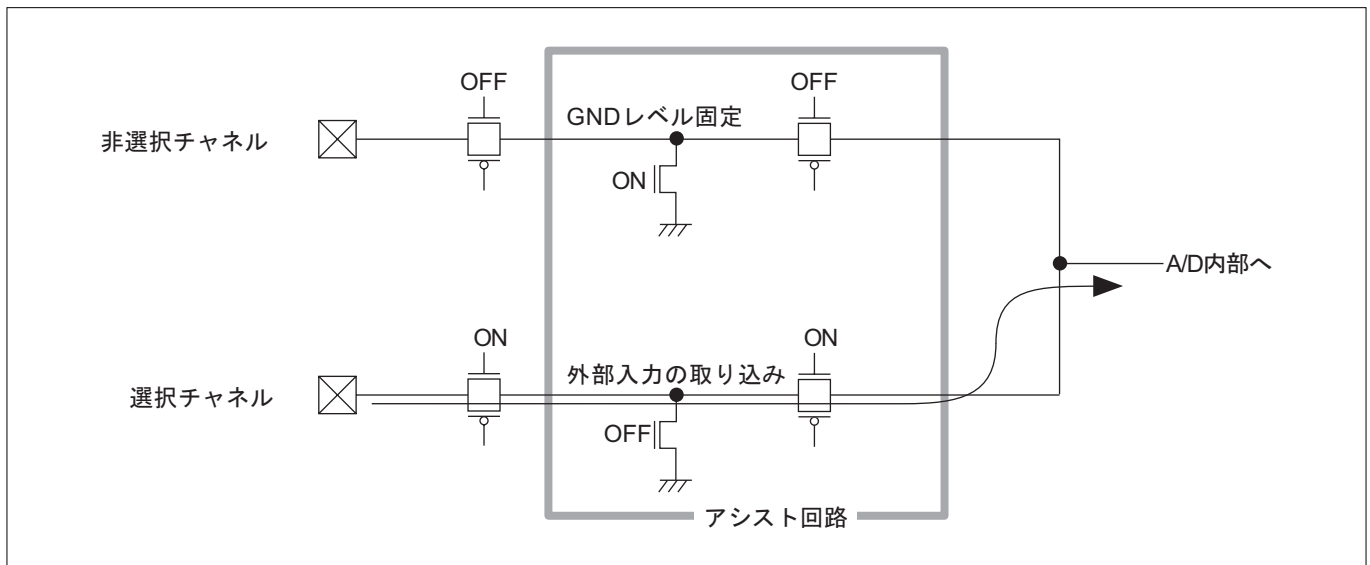


図11.4.1 注入電流バイパス回路構成図

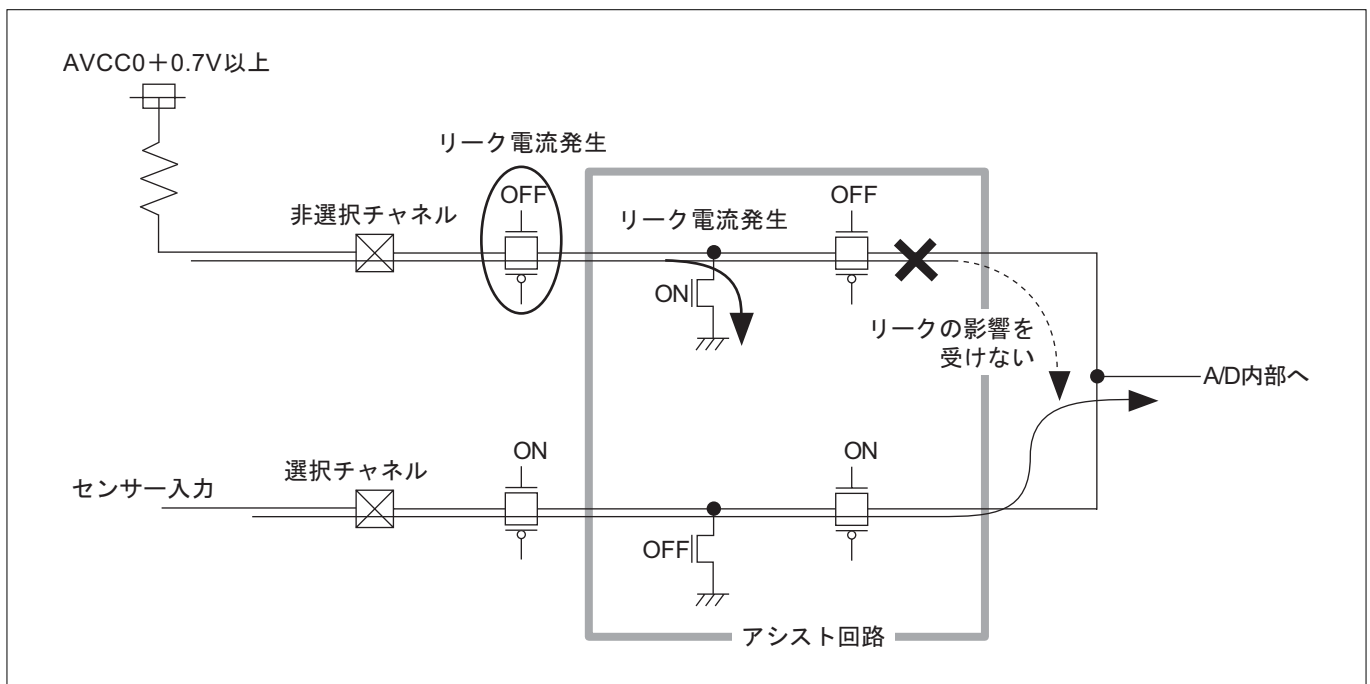


図11.4.2 注入電流バイパス回路へAVCC0 + 0.7V以上印加例

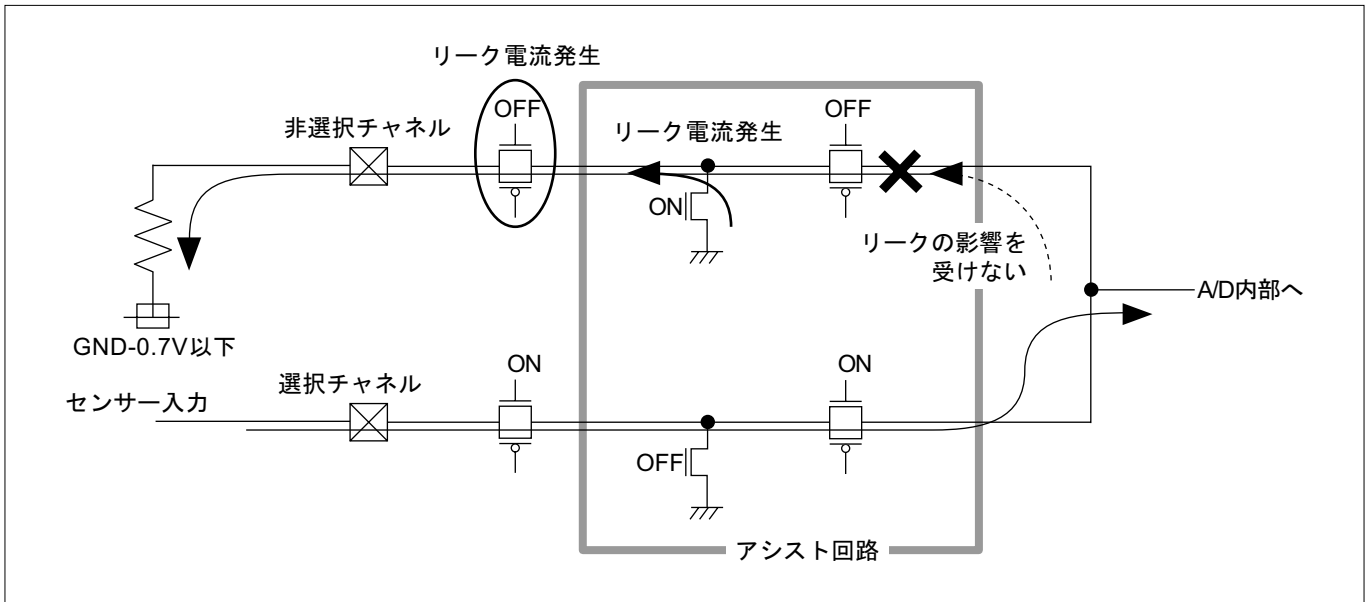


図11.4.3 注入電流バイパス回路へGND - 0.7V以下印加例

表11.4.1 AD0IN0へ電流注入時の精度誤差(参考値)

		過電流注入ポートの精度誤差 (単位: LSB)															
アナログ入力端子		AD0IN0	AD0IN1	AD0IN2	AD0IN3	AD0IN4	AD0IN5	AD0IN6	AD0IN7	AD0IN8	AD0IN9	AD0IN10	AD0IN11	AD0IN12	AD0IN13	AD0IN14	AD0IN15
注入電流	2mA	×	4	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	1mA	×	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	0mA	×	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	-1mA	×	1	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	-2mA	×	0	2	2	2	2	2	2	2	2	2	2	2	2	2	2

注. ・隣接チャンネルの精度への影響が大きくなるため、A/D単一モードレジスタ α (ADSIM2)のA/D0同時サンプリングアナログ入力選択ビット(ADSEL2)で選択されたチャンネルには過電流を注入しないで下さい。(ADSEL2ビットにて"0000"~"1011"を設定すれば、どのチャンネルも選択されません。)

11.5 A/Dコンバータの注意事項

- スキャン動作中の強制終了

スキャンモード動作中に、A/D変換ストップビット(ADCSTP)を"1"にセットしてA/D変換を強制停止した場合、変換途中のチャンネルに対応するA/Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

- A/Dコンバータ関連レジスタの変更

A/D変換ストップビットを除くA/D変換割り込み制御レジスタ、各モードレジスタおよびA/D逐次近似レジスタの内容の変更は、A/D変換停止中に行うか、変更後に再スタートしてください。A/D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

- アナログ入力信号の取り扱い

サンプル&ホールド無効で使用する場合、A/D変換中はアナログ入力レベルを固定してください。

- A/D変換終了ビットの読み出しタイミング

A/D変換起動直後、およびA/D変換ストップビットによるA/D変換停止直後にA/D変換終了ビット(単一モードレジスタ0のADSCMPビット、およびスキャンモードレジスタ0のADCCMPビット)、およびA/D同時サンプリングステータスビット(単一モードレジスタ2のADSH2STビット)を読み出す場合は、当該レジスタに対するダミーリード等により6BCLK分タイミング調整してから読み出してください。

- アナログ入力端子に関して

図11.5.1にアナログ入力部の内部等価回路を示します。正確なA/D変換結果を得るには、所定の時間(サンプリング時間)内にA/D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不要な場合についての考え方も示します。

- 絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC/AVSS/VREFを他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。

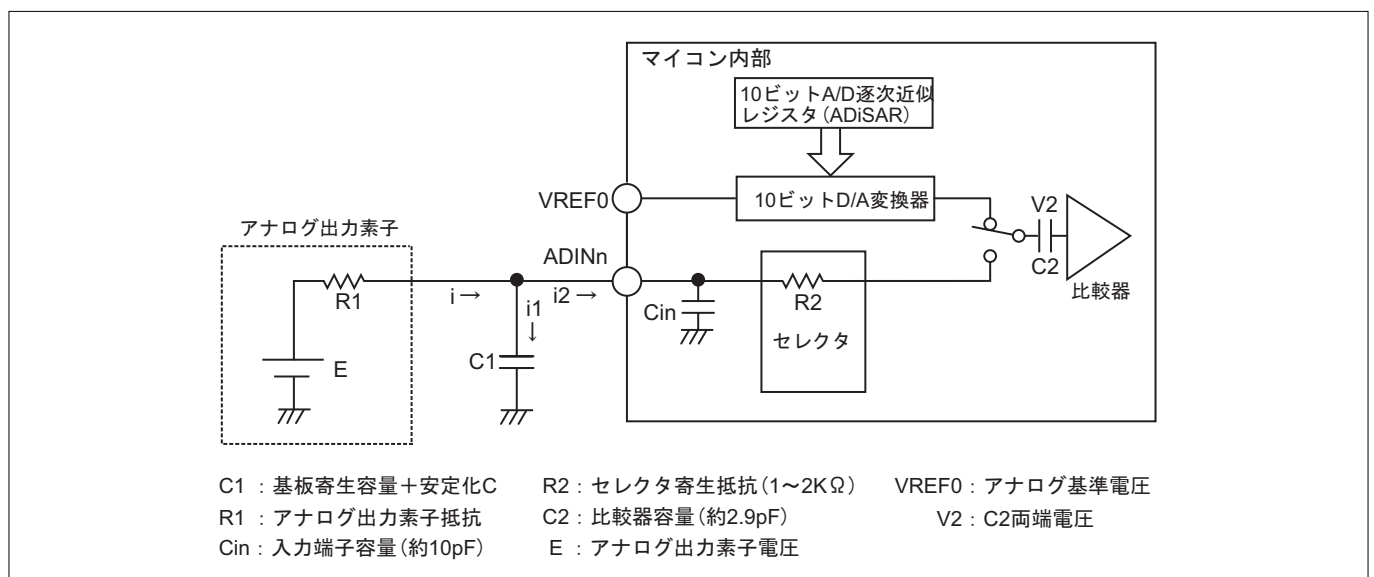


図11.5.1 アナログ入力部の内部等価回路

(a)外付け安定化コンデンサC1(付加を推奨)の算出例

図11.5.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VREF0を5.12Vとした場合の10ビットA/Dコンバータでは、1LSB判定電圧 = 5.12V/1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \text{ ----- (A-1)式}$$

また、Vpは以下の式にて求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF0}}{10 \times 2^x} \text{ ----- (A-2)式}$$

注・Vp1は、A/D変換1回目の電位変動
・10ビット分解能A/Dコンバータのため、xは"10"です。

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \text{ ----- (A-3)式}$$

$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \text{ ----- (A-4)式}$$

よって、10ビット分解能=A/Dコンバータで C2=2.9pFの場合のC1は、0.06μF以上となります。C1設定時の参考としてご使用ください。

(b)C1を付加しない場合の出力インピーダンスR1の最大値

図11.5.1において、外付けコンデンサC1を使用しない場合、アナログ出力素子が一定時間内にC2を十分に充電できるかを検討する必要があります。まず、図11.5.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i_2 = \frac{C_2 (E - V_2)}{C_{in} \times R_1 + C_2 (R_1 + R_2)} \times \exp \left\{ \frac{-t}{C_{in} \times R_1 + C_2 (R_1 + R_2)} \right\} \text{ ----- (B-1)式}$$

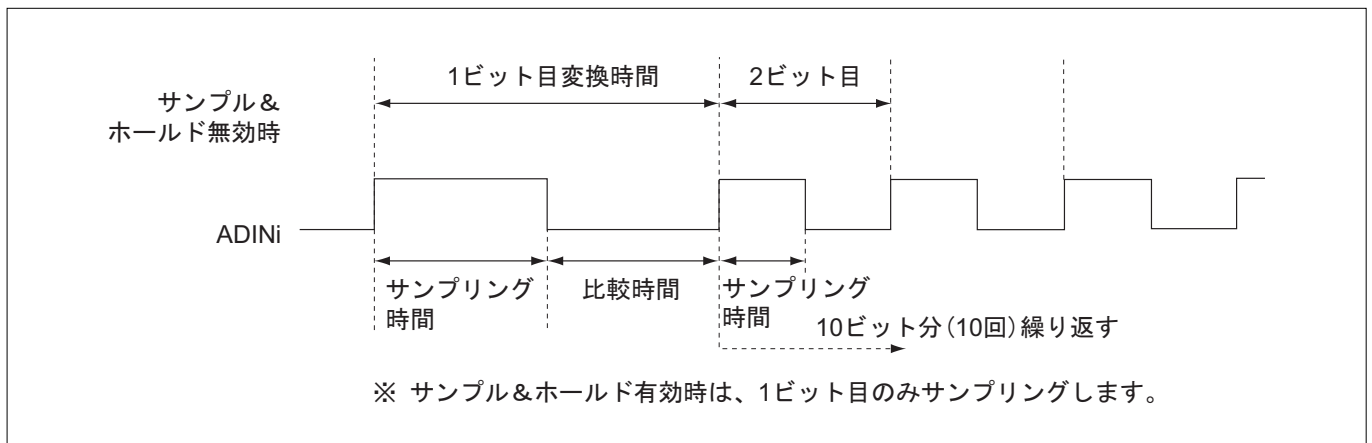


図11.5.2 A/D変換タイミング図

図11.5.2にA/D変換タイミング図を示します。C2への充電に必要な時間は図中のサンプリング時間ですが、サンプル&ホールド無効の場合の2ビット目以降のサンプリング時間は、1ビット目にくらべて約半分となります。

各変換スピードごとのサンプリング時間を次ページに示します。なお、サンプル&ホールド有効の場合は1ビット目のサンプリングのみとなります。

表11.5.1 サンプルング時間(C2充電必要時間)

変換開始方法		変換速度	1ビット目サンプルング時間		2ビット目以降サンプルング時間
2BCLK モード	単一モード	低速モード	ノーマル	55BCLK	27BCLK
	(サンプル&ホールド		倍速	31BCLK	15BCLK
	無効時またはノーマル	高速モード	ノーマル	23BCLK	11BCLK
	サンプル&ホールド有効時)		倍速	15BCLK	7BCLK
単一モード (高速サンプル& ホールド有効時)	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	
コンパレータモード	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	
同時サンプルング	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	

よって、C2を充電するために必要な時間は、(B-1)式より

$$\text{サンプルング時間(C2充電必要時間)} > C_{in} \times R1 + C2(R1 + R2) \text{-----}(B-2) \text{式}$$

となり、R1の最大値を求める目安の式は、以下のようになります。

なお、単一モード(サンプル&ホールド無効時)は、2ビット目以降のサンプルング時間(C2充電必要時間)を使用してください。

$$R1 < \frac{C2 \text{充電必要時間} - C2 \times R2}{C_{in} + C2}$$

レイアウトの都合上、このページは白紙です。

第12章

シリアルインタフェース

- 12.1 シリアルインタフェース概要
- 12.2 シリアルインタフェース関連レジスタ
- 12.3 CSIOモード送信動作説明
- 12.4 CSIOモード受信動作説明
- 12.5 CSIOモード時の注意事項
- 12.6 UARTモード送信動作説明
- 12.7 UARTモード受信動作説明
- 12.8 定周期クロック出力機能
- 12.9 UARTモード時の注意事項

12.1 シリアルインタフェース概要

32192/32195/32196は、SIO0～SIO5の計6チャンネルのシリアルインタフェースを内蔵しています。SIO0、SIO1、SIO4、SIO5はCSIOモード(クロック同期形シリアルインタフェース)と、UARTモード(クロック非同期形シリアルインタフェース)を選択できます。SIO2およびSIO3はUARTモード専用です。

- CSIOモード(クロック同期形シリアルインタフェース)

転送クロックに同期して通信を行うモードで、送受信間で同一のクロックを使用します。転送データ長は8～16ビットの範囲で選択できます。

- UARTモード(クロック非同期形シリアルインタフェース)

任意の転送速度、転送データフォーマットを設定できるモードです。転送データ長は7ビット、8ビット、9ビットから選択できます。

SIO0～SIO5は、それぞれ送信DMA転送要求と受信DMA転送要求を持っています。内蔵DMACを用いることにより、高速なシリアル通信が可能となり、また、データ通信にともなうCPUの負荷も低減されます。

以下にシリアルインタフェースの概要を示します。

表12.1.1 シリアルインタフェースの概要

項目	内容
チャンネル数	CSIOモード/UARTモード兼用 : 4チャンネル(SIO0, SIO1, SIO4, SIO5) UART専用 : 2チャンネル(SIO2, SIO3)
クロック	CSIOモード時 : 内部クロック/外部クロック選択可(注1)、クロック極性選択可 UARTモード時 : 内部クロック固定
転送モード	送信半二重、受信半二重、送受信全二重
BRGカウンタソース (内部クロック選択時)	ƒ(BCLK)、ƒ(BCLK)/8、ƒ(BCLK)/32、ƒ(BCLK)/256(注2) ƒ(BCLK)/2、ƒ(BCLK)/16、ƒ(BCLK)/64、ƒ(BCLK)/512 ƒ(BCLK): 周辺クロック動作周波数
データフォーマット	CSIOモード : データ長 = 8ビット～16ビットから選択 (注1) 転送順序 = LSBファースト/MSBファーストから選択 UARTモード : スタートビット = 1ビット キャラクタ長 = 7ビット/8ビット/9ビット パリティビット = あり(奇数、偶数)なし ストップビット = 1ビット/2ビット 転送順序 = LSBファースト/MSBファーストから選択
ボーレート	CSIOモード : 152ビット/秒～5Mビット/秒(ƒ(BCLK)=40MHz動作、内部クロック選択時) (注1) 最大2.5Mビット/秒(ƒ(BCLK)=40MHz動作、外部クロック選択時) UARTモード : 19ビット/秒～2.5Mビット/秒(ƒ(BCLK)=40MHz動作時)
エラー検出	CSIOモード : オバランエラーのみ UARTモード : オバランエラー、パリティエラー、フレミングエラー (いずれかのエラーが発生したことはエラーサムビットで表示)
定周期クロック出力機能	SIO0、SIO1、SIO4、SIO5をUARTとして用いる場合、SCLK端子からBRGの2分周クロックを出力させる機能

注1. CSIOモード時の外部クロックの最大入力周波数はƒ(BCLK)の16分周です。

注2. BRGカウンタソースとしてƒ(BCLK)を選択した場合、BRG設定値に制限があります。

表12.1.2 シリアルインタフェースの割り込み要求発生機能

シリアルインタフェースの割り込み要求元	ICU割り込み要求要因
SIO0の送信バッファエンプティ、または送信完了	SIO0送信割り込み
SIO0の受信完了、または受信エラー	SIO0受信割り込み
SIO1の送信バッファエンプティ、または送信完了	SIO1送信割り込み
SIO1の受信完了、または受信エラー	SIO1受信割り込み
SIO2の送信バッファエンプティ、または送信完了	SIO2, 3送受信割り込み(グループ割り込み)
SIO2の受信完了、または受信エラー	SIO2, 3送受信割り込み(グループ割り込み)
SIO3の送信バッファエンプティ、または送信完了	SIO2, 3送受信割り込み(グループ割り込み)
SIO3の受信完了、または受信エラー	SIO2, 3送受信割り込み(グループ割り込み)
SIO4の送信バッファエンプティ、または送信完了	SIO4, 5送受信割り込み(グループ割り込み)
SIO4の受信完了、または受信エラー	SIO4, 5送受信割り込み(グループ割り込み)
SIO5の送信バッファエンプティ、または送信完了	SIO4, 5送受信割り込み(グループ割り込み)
SIO5の受信完了、または受信エラー	SIO4, 5送受信割り込み(グループ割り込み)

注．．送信完了割り込みはUARTモード、またはCSIOモードで内部クロック選択時に有効です。

表12.1.3 シリアルインタフェースのDMA転送要求発生機能

シリアルインタフェースのDMA転送要求	DMAC入力チャンネル
SIO0送信バッファエンプティ	DMA3, DMA4
SIO0受信完了	DMA4
SIO1送信バッファエンプティ	DMA6
SIO1受信完了	DMA3, DMA6
SIO2送信バッファエンプティ	DMA7
SIO2受信完了	DMA5
SIO3送信バッファエンプティ	DMA7, DMA9
SIO3受信完了	DMA8
SIO4送信バッファエンプティ	DMA0
SIO4受信完了	DMA1
SIO5送信バッファエンプティ	DMA2
SIO5受信完了	DMA3

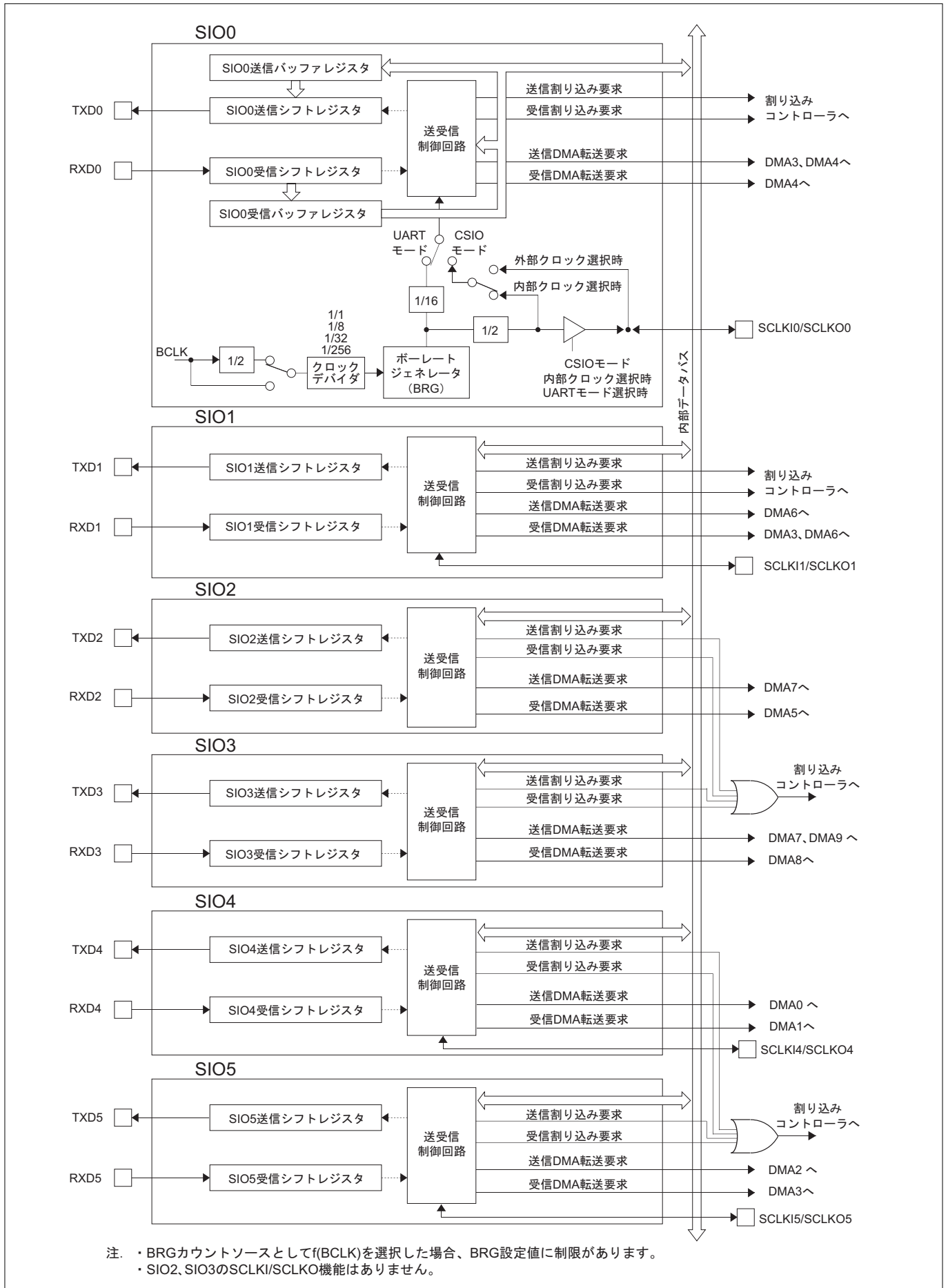


図12.1.1 シリアルインタフェースブロック図

12.2 シリアルインタフェース関連レジスタ

シリアルインタフェース関連のレジスタマップを以下に示します。

シリアルインタフェース関連レジスタマップ(1/2)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0100	SIO23割り込み要求ステータスレジスタ (S123STAT)	SIO03割り込み要求マスクレジスタ (S103MASK)	12-9 12-10
H'0080 0102	SIO03割り込み要求要因選択レジスタ (S103SEL)	(使用禁止領域)	12-11
	(使用禁止領域)		
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)	SIO0送受信モードレジスタ (S0MOD)	12-14 12-15
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)		12-19
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)		12-20
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)	SIO0ボーレートレジスタ (S0BAUR)	12-21 12-24
H'0080 0118	SIO0特殊モードレジスタ (S0SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)	SIO1送受信モードレジスタ (S1MOD)	12-14 12-15
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)		12-19
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)		12-20
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)	SIO1ボーレートレジスタ (S1BAUR)	12-21 12-24
H'0080 0128	SIO1特殊モードレジスタ (S1SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)	SIO2送受信モードレジスタ (S2MOD)	12-14 12-15
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)		12-19
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)		12-20
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)	SIO2ボーレートレジスタ (S2BAUR)	12-21 12-24
H'0080 0138	SIO2特殊モードレジスタ (S2SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0140	SIO3送信制御レジスタ (S3TCNT)	SIO3送受信モードレジスタ (S3MOD)	12-14 12-15
H'0080 0142	SIO3送信バッファレジスタ (S3TXB)		12-19
H'0080 0144	SIO3受信バッファレジスタ (S3RXB)		12-20
H'0080 0146	SIO3受信制御レジスタ (S3RCNT)	SIO3ボーレートレジスタ (S3BAUR)	12-21 12-24
H'0080 0148	SIO3特殊モードレジスタ (S3SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0A00	SIO45割り込み要求ステータスレジスタ (S145STAT)	SIO45割り込み要求マスクレジスタ (S145MASK)	12-9 12-10
H'0080 0A02	SIO45割り込み要求要因選択レジスタ (S145SEL)	(使用禁止領域)	12-11
	(使用禁止領域)		
H'0080 0A10	SIO4送信制御レジスタ (S4TCNT)	SIO4送受信モードレジスタ (S4MOD)	12-14 12-15
H'0080 0A12	SIO4送信バッファレジスタ (S4TXB)		12-19
H'0080 0A14	SIO4受信バッファレジスタ (S4RXB)		12-20
H'0080 0A16	SIO4受信制御レジスタ (S4RCNT)	SIO4ボーレートレジスタ (S4BAUR)	12-21 12-24

シリアルインタフェース関連レジスタマップ(2/2)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0A18 }	SIO4特殊モードレジスタ (S4SMOD)	(使用禁止領域)	12-27
	(使用禁止領域)		
H'0080 0A20	SIO5送信制御レジスタ (S5TCNT)	SIO5送受信モードレジスタ (S5MOD)	12-14 12-15
H'0080 0A22	SIO5送信バッファレジスタ (S5TXB)		12-19
H'0080 0A24	SIO5受信バッファレジスタ (S5RXB)		12-20
H'0080 0A26	SIO5受信制御レジスタ (S5RCNT)	SIO5ボーレートレジスタ (S5BAUR)	12-21 12-24
H'0080 0A28	SIO5特殊モードレジスタ (S5SMOD)	(使用禁止領域)	12-27

12.2.1 SIO割り込み関連レジスタ

SIO割り込み関連レジスタは、SIOから割り込みコントローラに出力する割り込み要求信号の制御や、割り込み要求要因を選択するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求マスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求マスクビット

グルーピングされた割り込み要求の内不要な割り込みを禁止にするためのフラグです。割り込み要求許可時には"1"、割り込み要求禁止時には"0"を設定します。

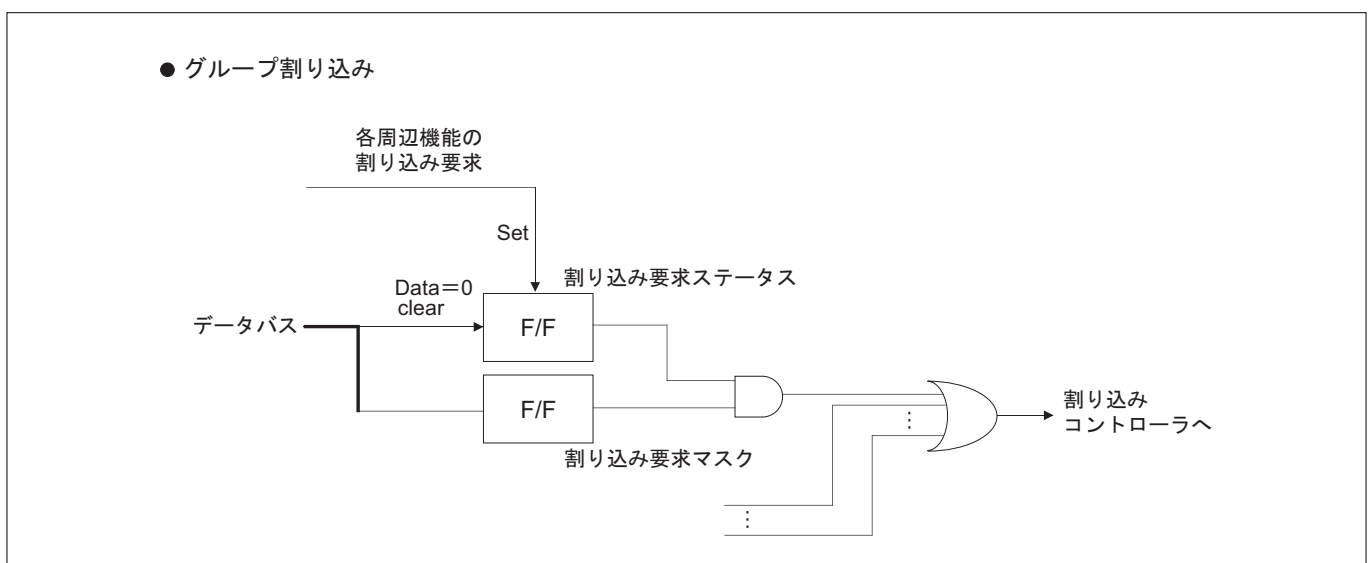
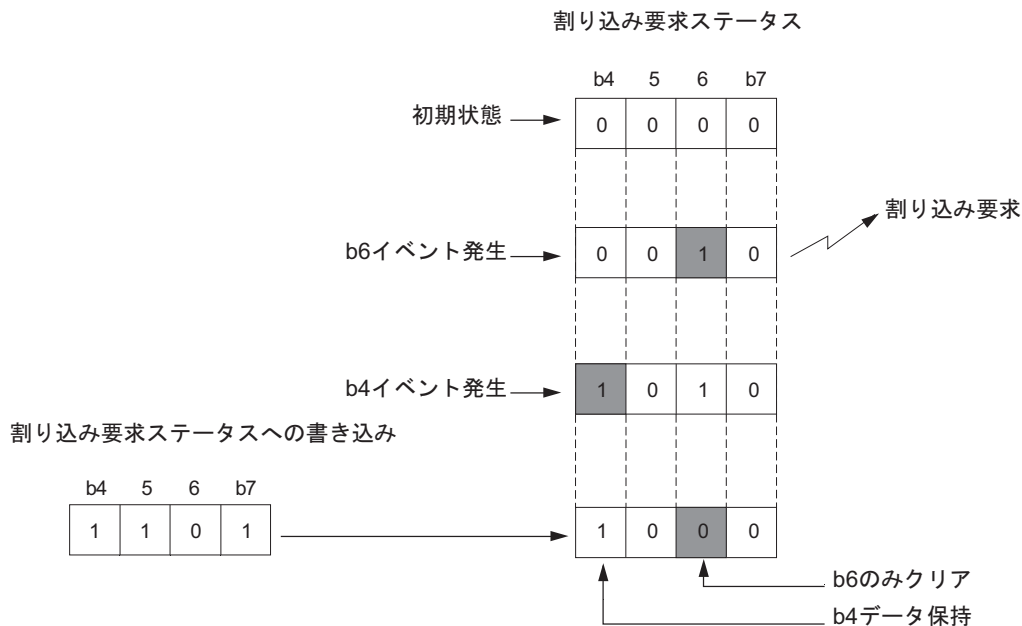


図12.2.1 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



ISTREG = 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



ISTREG &= 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

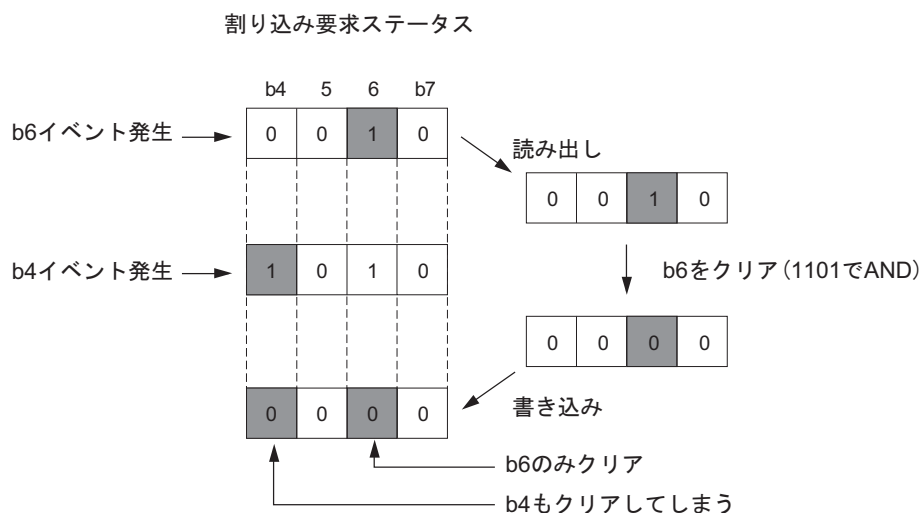


図12.2.2 割り込み要求ステータスクリア例

(3) 割り込み要求要因の選択

各SIOからICU(割り込みコントローラ)へ出力される割り込み要求信号には、送信割り込みと、受信割り込みとがあります。それぞれの割り込みは、割り込み要因選択レジスタ(SI03SEL, SI45SEL)によって、送信バッファエンプティ割り込みと送信完了割り込みから、受信完了割り込みと受信エラー割り込みから選択できます。

- 注
- ・割り込み要求信号は、対応するSIOのTEN(送信許可)ビット、またはREN(受信許可)ビットを許可にし、SIO割り込み要求許可レジスタで許可することによってはじめて発生します。
 - ・SIO2とSIO3、SIO4とSIO5は、それぞれ2本でグループ割り込み1つとなっています。
 - ・送信完了割り込みはUARTモード、またはCSIOモードで内部クロック選択時に有効です。

(4) 送信割り込みに関する注意

SIO 割り込み要求マスクレジスタで割り込み要求許可、かつSIO割り込み要求要因選択レジスタで送信バッファエンプティ割り込み選択時において対応するTEN(送信許可)ビットを許可にすると、送信割り込み要求が発生します。

(5) SIOのDMA転送要求について

各SIOは送信DMA転送要求と受信完了DMA転送要求を発生することができます。DMA転送要求は各SIOの対応するTEN(送信許可)ビット、もしくはREN(受信許可)ビットを許可することで発生可能となります。

DMA転送を用いて通信を行う場合は、TENビット、RENビットを許可にする前にDMACの設定を行ってください。

受信エラーが発生した場合、受信完了DMA転送要求は発生しません。

- 送信DMA転送要求

送信バッファエンプティで、TENビットが許可の場合に発生します。

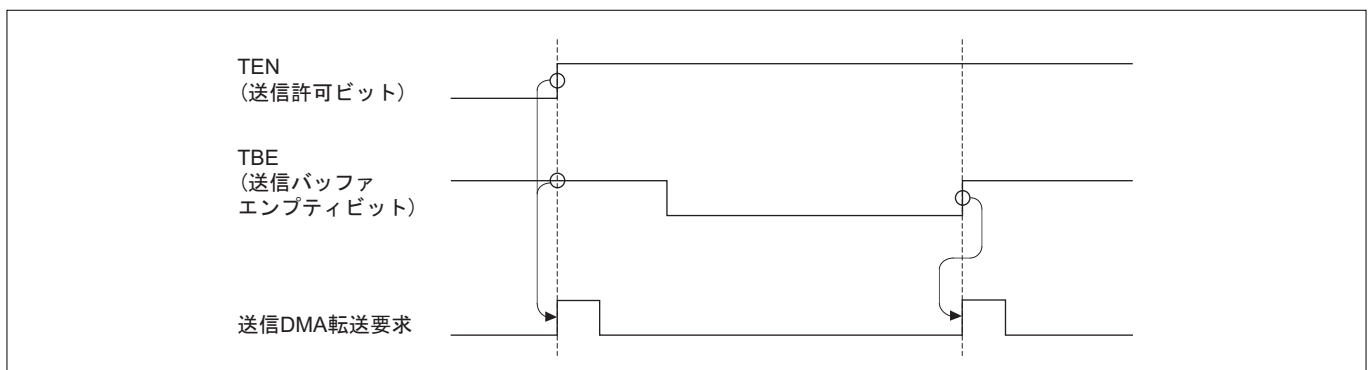


図12.2.3 送信DMA転送要求

- 受信完了DMA転送要求

受信バッファフルになった時にDMA転送要求を発生します。

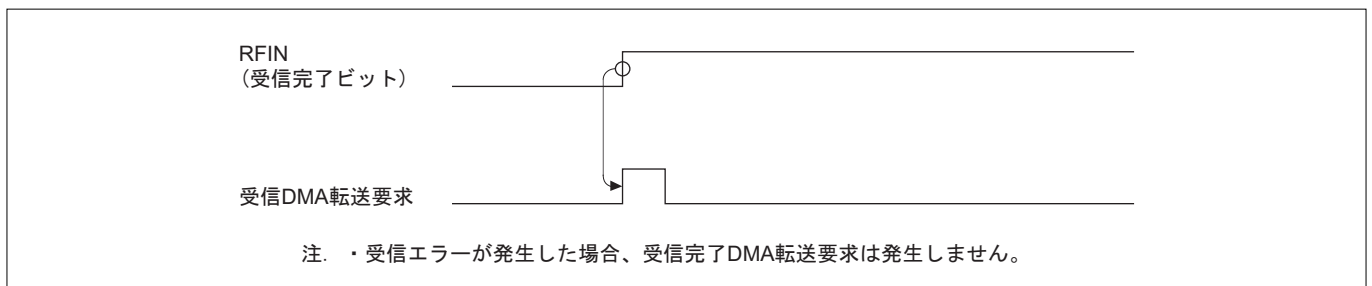


図12.2.4 受信完了DMA転送要求

SIO23割り込み要求ステータスレジスタ(SI23STAT)

<アドレス : H'0080 0100 >

b0	1	2	3	4	5	6	b7
0	0	0	0	IRQT2 0	IRQR2 0	IRQT3 0	IRQR3 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	IRQT2 SIO2送信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
5	IRQR2 SIO2受信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
6	IRQT3 SIO3送信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
7	IRQR3 SIO3受信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO45割り込み要求ステータスレジスタ(SI45STAT)

<アドレス : H'0080 0A00 >

b0	1	2	3	4	5	6	b7
IRQT4 0	IRQR4 0	IRQT5 0	IRQR5 0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	IRQT4 SIO4送信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
1	IRQR4 SIO4受信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
2	IRQT5 SIO5送信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
3	IRQR5 SIO5受信割り込み要求ステータスビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R (注1)	
4~7	何も配置されていません。"0"に固定してください。		0	0

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

各SIOからの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注 . ・ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO03割り込み要求マスクレジスタ(SI03MASK)

<アドレス : H'0080 0101 >

b8	9	10	11	12	13	14	b15
T0MASK	R0MASK	T1MASK	R1MASK	T2MASK	R2MASK	T3MASK	R3MASK
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	T0MASK SIO0送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
9	R0MASK SIO0受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
10	T1MASK SIO1送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
11	R1MASK SIO1受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
12	T2MASK SIO2送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
13	R2MASK SIO2受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
14	T3MASK SIO3送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
15	R3MASK SIO3受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W

SIO45割り込み要求マスクレジスタ(SI45MASK)

<アドレス : H'0080 0A01 >

b8	9	10	11	12	13	14	b15
T4MASK	R4MASK	T5MASK	R5MASK				
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	T4MASK SIO4送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
9	R4MASK SIO4受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
10	T5MASK SIO5送信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
11	R5MASK SIO5受信割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
12 ~ 15	何も配置されていません。"0"に固定してください。		0	0

各SIOから出された割り込み要求の許可/禁止を制御するレジスタです。割り込み要求許可ビットに"1"をセットすると、対応するSIOからの割り込み要求が許可されます。

SIO03割り込み要求要因選択レジスタ(SI03SEL)

<アドレス : H'0080 0102 >

b0	1	2	3	4	5	6	b7
IST0	IST1	IST2	IST3	ISR0	ISR1	ISR2	ISR3
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	IST0 SIO0送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
1	IST1 SIO1送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
2	IST2 SIO2送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
3	IST3 SIO3送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
4	ISR0 SIO0受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W
5	ISR1 SIO1受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W
6	ISR2 SIO2受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W
7	ISR3 SIO3受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W

SIO45割り込み要求要因選択レジスタ(SI45SEL)

<アドレス : H'0080 0A02 >

b0	1	2	3	4	5	6	b7
IST4	IST5			ISR4	ISR5		
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	IST4 SIO4送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
1	IST5 SIO5送信割り込み要求要因選択ビット	0 : 送信バッファエンプティ割り込み 1 : 送信完了割り込み	R	W
2, 3	何も配置されていません。"0"に固定してください。		0	0
4	ISR4 SIO4受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W
5	ISR5 SIO5受信割り込み要求要因選択ビット	0 : 受信完了割り込み 1 : 受信エラー割り込み	R	W
6, 7	何も配置されていません。"0"に固定してください。		0	0

送信/受信動作完了時の割り込み要求要因を選択します。

(1) SIO_n送信割り込み要求要因選択ビット

["0"にセットした場合]

送信バッファエンプティ割り込みが選択されます。送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込み要求が発生します。また、TEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込み要求が発生します。

["1"にセットした場合]

送信完了(送信シフトバッファエンプティ)割り込みが選択されます。送信シフトレジスタのデータ転送が完了したときに、送信完了割り込み要求が発生します。

注 . . CSIOモードで外部クロック選択時は、送信完了割り込みを選択しないでください。

(2) SIO_n受信割り込み要求要因選択ビット

["0"にセットした場合]

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込み要求は、受信エラー発生時でも発生します(オーバランエラーを除く)。

["1"にセットした場合]

受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

- CSIOモード : オーバランエラー
- UARTモード : オーバランエラー、パリティエラー、フレーミングエラー

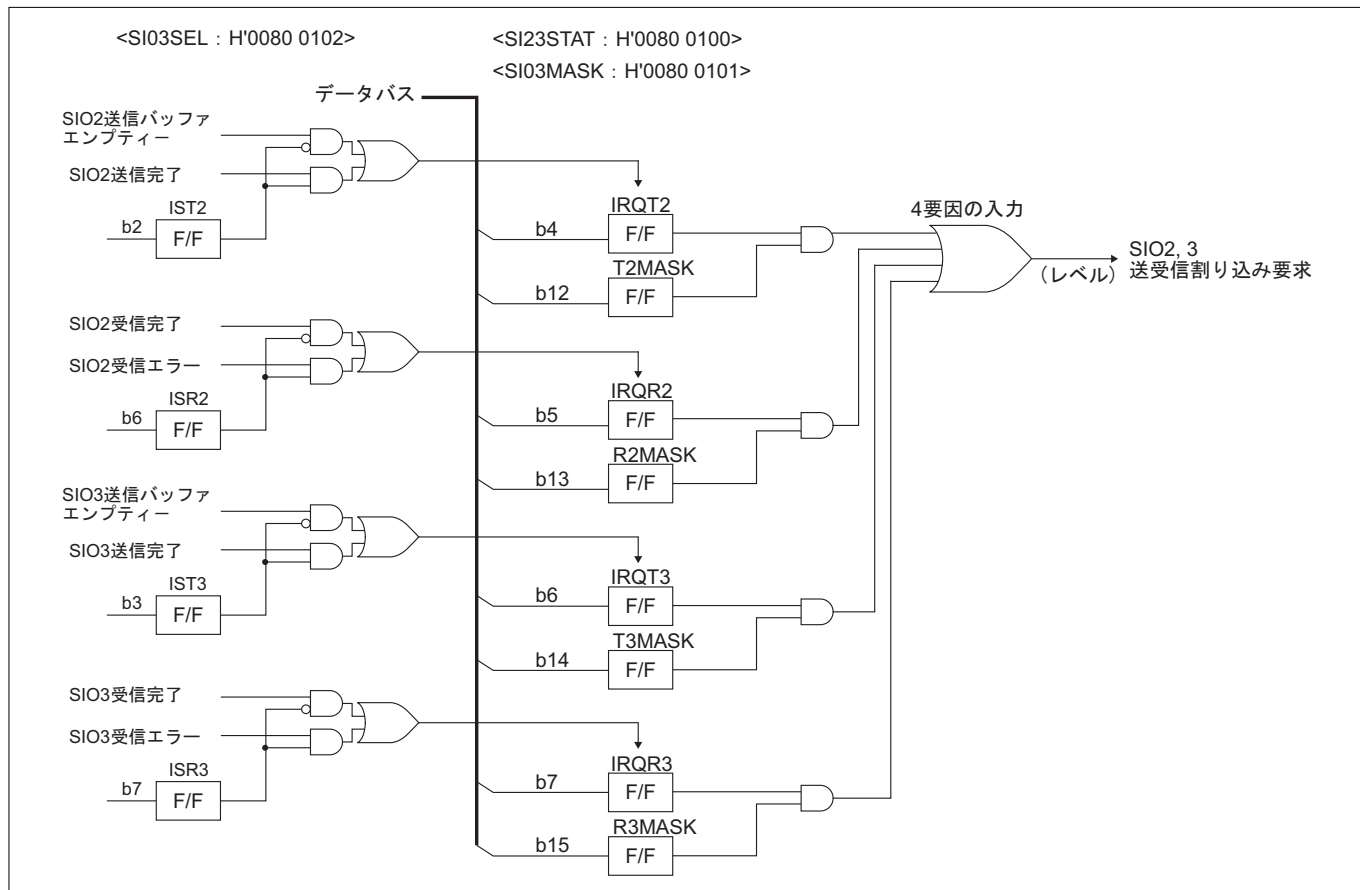


図12.2.5 SIO2, 3送信割り込み要求ブロック図

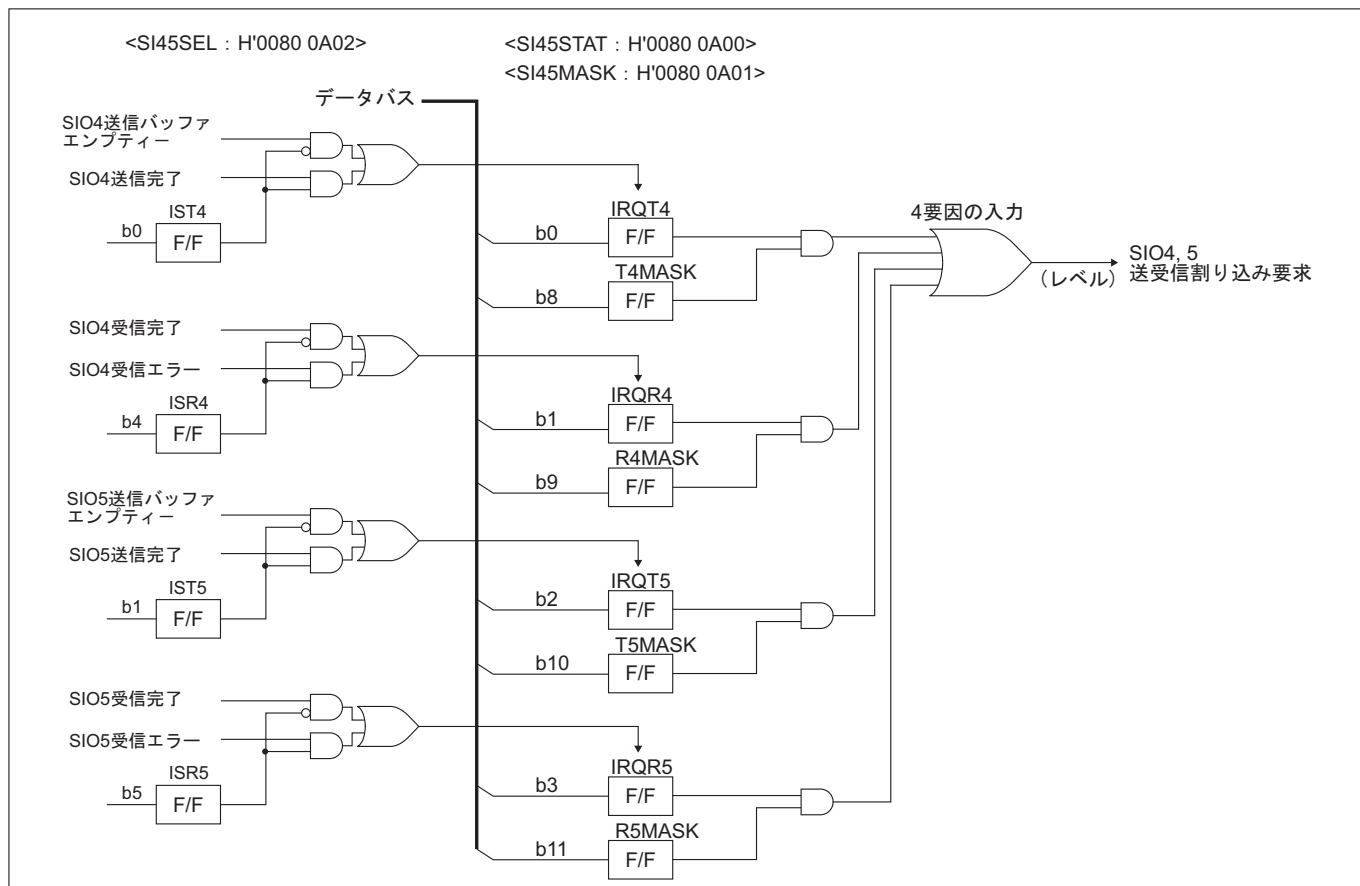


図12.2.6 SIO4, 5送信割り込み要求ブロック図

12.2.2 SIO送信制御レジスタ

SIO0送信制御レジスタ(S0TCNT)	<アドレス: H'0080 0110 >
SIO1送信制御レジスタ(S1TCNT)	<アドレス: H'0080 0120 >
SIO2送信制御レジスタ(S2TCNT)	<アドレス: H'0080 0130 >
SIO3送信制御レジスタ(S3TCNT)	<アドレス: H'0080 0140 >
SIO4送信制御レジスタ(S4TCNT)	<アドレス: H'0080 0A10 >
SIO5送信制御レジスタ(S5TCNT)	<アドレス: H'0080 0A20 >

b0	1	2	3	4	5	6	b7
0	0	CDIV		0	TSTAT	TBE	TEN
		0	1		0	1	0

<リセット解除時: H'12 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2, 3	CDIV BRGカウントソース選択ビット	b2 b3 (注1) 0 0: f(BCLK) または f(BCLK)/2 を選択 0 1: f(BCLK) または f(BCLK)/2 の8分周を選択 1 0: f(BCLK) または f(BCLK)/2 の32分周を選択 1 1: f(BCLK) または f(BCLK)/2 の256分周を選択	R	W
4	何も配置されていません。"0"に固定してください。		0	0
5	TSTAT 送信ステータスビット	0: 送信停止 & 送信バッファレジスタ内にデータなし 1: 送信中 or 送信バッファレジスタ内にデータあり	R	-
6	TBE 送信バッファ エンプティビット	0: 送信バッファレジスタ内にデータあり 1: 送信バッファレジスタ内にデータなし	R	-
7	TEN 送信許可ビット	0: 送信禁止 1: 送信許可	R	W

注1. f(BCLK)、f(BCLK)/2の選択は、SIO特殊モードレジスタ(SnSMOD)で設定を行います。

(1) CDIV (BRG カウントソース選択) ビット (b2, b3)

BRG(ボーレートジェネレータ)のカウントソースを選択するビットです。

(2) TSTAT (送信ステータス) ビット (b5)

[セット条件]

送信許可状態の時に送信バッファレジスタへ書き込むと"1"がセットされます。

[クリア条件]

送信停止(送信シフトレジスタにデータがない)かつ送信バッファレジスタにデータが存在しない場合、"0"にクリアされます。また、送信許可ビットのクリアによってもクリアされます。

(3) TBE (送信バッファエンプティ) ビット (b6)

[セット条件]

送信バッファレジスタから送信シフトレジスタにデータが転送され、送信バッファレジスタが空になると"1"にセットされます。また、送信許可ビットを"0"にクリアするとセットされます。

[クリア条件]

送信許可の状態(TENが"1"にセット)で送信バッファレジスタの下位バイトにデータを書き込むと"0"にクリアされます。

(4) TEN (送信許可) ビット (b7)

このビットを"1"にセットすると送信許可状態になり、"0"にクリアすると送信禁止となります。データ送信中に"0"にクリアした場合、送信動作は停止します。

12.2.3 SIO送受信モードレジスタ

SIO0送受信モードレジスタ(S0MOD)	<アドレス: H'0080 0111 >
SIO1送受信モードレジスタ(S1MOD)	<アドレス: H'0080 0121 >
SIO2送受信モードレジスタ(S2MOD)	<アドレス: H'0080 0131 >
SIO3送受信モードレジスタ(S3MOD)	<アドレス: H'0080 0141 >
SIO4送受信モードレジスタ(S4MOD)	<アドレス: H'0080 0A11 >
SIO5送受信モードレジスタ(S5MOD)	<アドレス: H'0080 0A21 >

b8	9	10	11	12	13	14	b15
SMOD			CKS	STB	PSEL	PEN	SEN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~10	SMOD シリアルインタフェースモード選択ビット (注1)	b8 b9 b10 0 0 0 : 7ビットUART 0 0 1 : 8ビットUART 0 1 X : 9ビットUART 1 X X : 8~16ビットCSIO(注4)	R	W
11	CKS 内部/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック	R	W (注2)
12	STB ストップビット長選択ビット、UARTモード専用	0: 1ストップビット 1: 2ストップビット	R	W (注3)
13	PSEL パリティ奇/偶選択ビット、UARTモード専用	0: 奇数パリティ 1: 偶数パリティ	R	W (注3)
14	PEN パリティ許可ビット、UARTモード専用	0: パリティ禁止 1: パリティ許可	R	W (注3)
15	SEN スリープ選択ビット、UARTモード専用	0: スリープ機能無効 1: スリープ機能有効	R	W (注3)

注1. SIO2,3では、b8ビットはハードウェア的に"0"固定です。b8ビットに"1"を設定(クロック同期シリアルインタフェースを選択)することはできません。

注2. UARTモード選択時は無効となります。

注3. クロック同期形モード時、b12~b15は無効となります。

注4. CSIOビット長の選択は、SIO_n特殊モードレジスタ(S_nSMOD)で行います。

SIO送受信モードレジスタは、シリアルインタフェースの動作モード、デ - タフォ - マットおよび通信時に使用する機能を設定するビットで構成されています。

SIO送受信モードレジスタは、必ずシリアルインタフェースの動作開始前に設定を行ってください。送受信開始後に設定を変更する場合は、送信および受信動作の完了を確認し、送受信動作を禁止(SIO送信制御レジスタの送信許可ビットおよびSIO受信制御レジスタの受信許可ビットを"0"にクリア)したのち設定してください。

(1) SMOD (シリアルインタフェースモード選択) ビット (b8 ~ b10)

シリアルインタフェースモード選択ビットは、シリアルインタフェースの動作モードを選択するビットです。

(2) CKS (内部/外部クロック選択) ビット (b11)

CSIOモード選択時に有効なビットです。UARTモード選択時は、このビットの設定は無効となり、内部クロックで動作します。

(3) STB (ストップビット長選択) ビット (b12)

UARTモード時に有効なビットです。送信するデータの終わりを示すストップビット長を、このビットで選択します。このビットが"0"のとき1ストップビット、"1"のとき2ストップビットです。

クロック同期形モード時、このビットの内容は無効になります。

(4) PSEL (パリティ奇/偶選択) ビット (b13)

UARTモード時に有効なビットです。パリティを許可(b14="1")した場合、このビットでパリティの属性(奇数/偶数)を選択します。このビットが"0"のとき奇数パリティ、"1"のとき偶数パリティです。

パリティを禁止(b14="0")した場合、およびクロック同期形モード時はこのビットの内容は無効になります。

(5) PEN (パリティ許可) ビット (b14)

UARTモード時に有効なビットです。このビットを"1"にしたとき、送信データのデータビットの直後にパリティビットを付加します。受信データに対しては、パリティチェックを行います。

送信データに付加されるパリティビットは、データビットの"1"の個数とパリティビットの内容を加算した結果の属性(奇数/偶数)が、パリティ奇/偶選択ビット(b13)で選択した属性と一致するように、自動的に"0"または"1"に決定されます。

図12.2.7にパリティ許可時のデータフォーマット例を示します。

(6) SEN (スリープ選択) ビット (b15)

UARTモード時に有効なビットです。このビットを"1"にしてスリープ機能を有効にした場合、受信データの最上位ビット(MSB)の内容が"1"の場合だけ、UART受信バッファレジスタへデータを取り込みます。

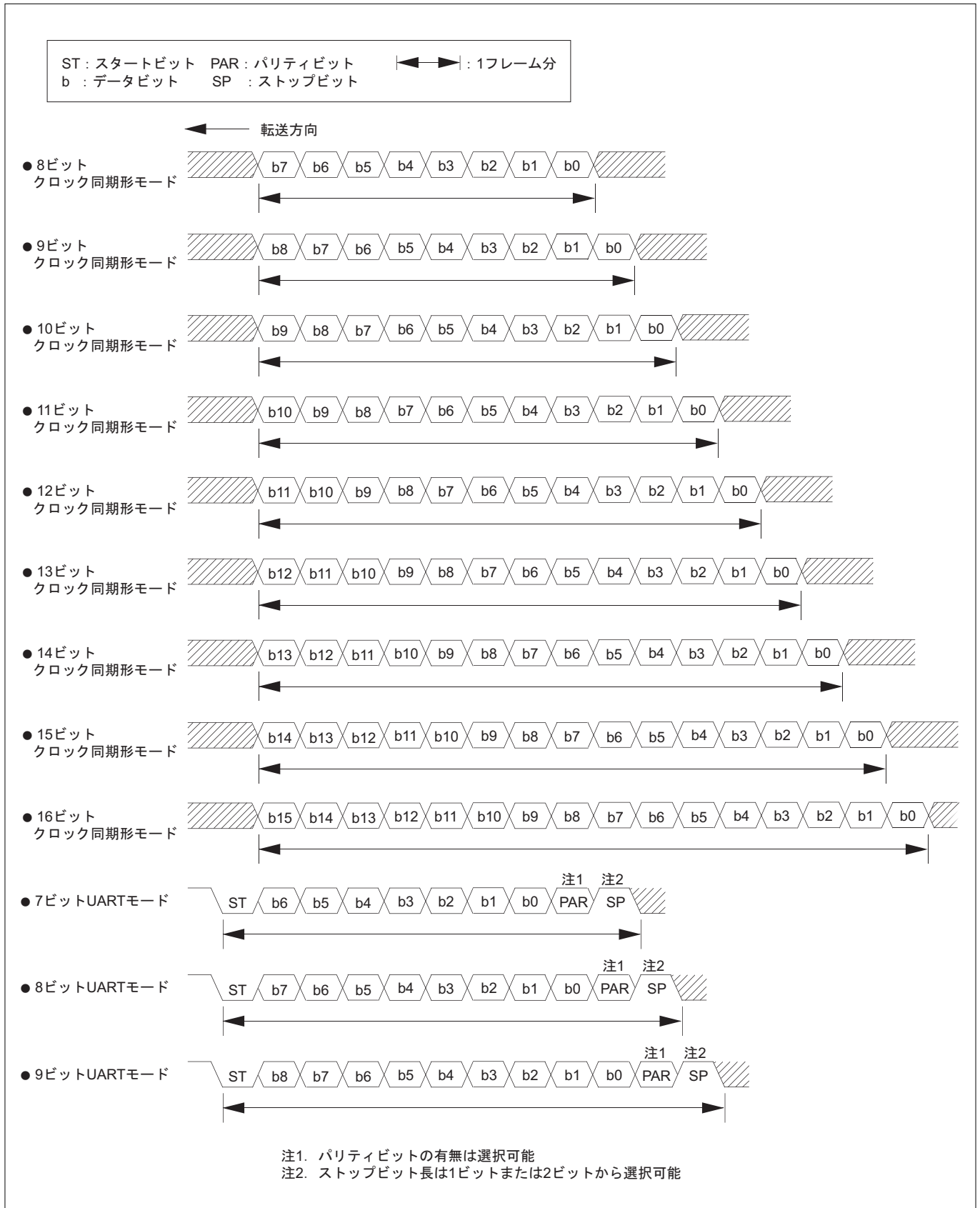
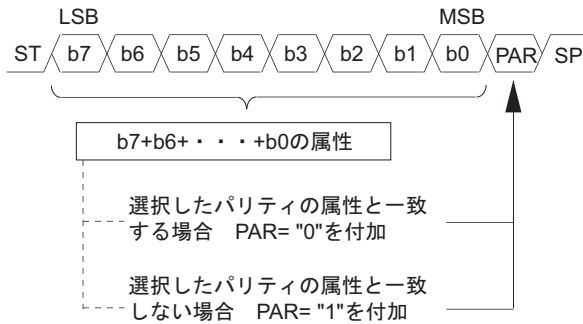


図12.2.7 パリティ許可時のデータフォーマット(1/2)

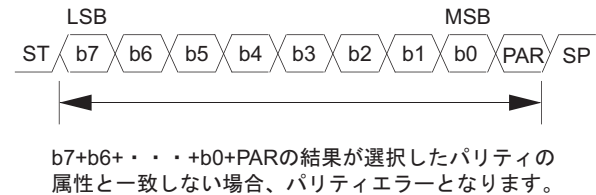
● 送信時

データビットに含まれる"1"の個数の属性が選択したパリティの属性と一致するときは、パリティビットとして"0"が付加されます。データビットに含まれる"1"の個数の属性が選択したパリティの属性と一致しないときは、パリティビットとして"1"が付加されます。



● 受信時

データビットとパリティビットに含まれる"1"の個数が、パリティの属性と一致しているかを判定します(パリティチェック)。

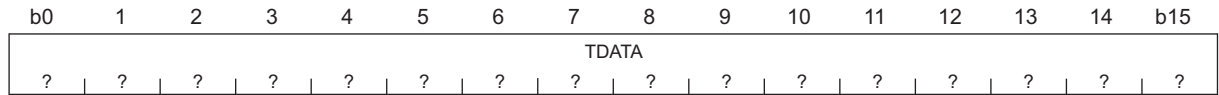


- 注. ・上記データフォーマットは8ビットUARTモードの場合の例です。
 ・上記でデータビットの番号 (bn) は、データの並びを示すものであってレジスタのビット番号 (bn) を示すものではありません。

図12.2.8 パリティ許可時のデータフォーマット(2/2)

12.2.4 SIO送信バッファレジスタ

SIO0送信バッファレジスタ(S0TXB)	<アドレス : H'0080 0112 >
SIO1送信バッファレジスタ(S1TXB)	<アドレス : H'0080 0122 >
SIO2送信バッファレジスタ(S2TXB)	<アドレス : H'0080 0132 >
SIO3送信バッファレジスタ(S3TXB)	<アドレス : H'0080 0142 >
SIO4送信バッファレジスタ(S4TXB)	<アドレス : H'0080 0A12 >
SIO5送信バッファレジスタ(S5TXB)	<アドレス : H'0080 0A22 >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0 ~ 15	TDATA 送信データ	送信データを設定します。	R	W

SIO送信バッファレジスタは、送信データを設定するレジスタです。このレジスタは書き込み値を読み出すことができます。データはLSB側につめて送信データを書きます。

シリアルインタフェースモード選択、およびCSIOビット長選択、転送順序選択ビットの条件によりLSB側またはMSB側から指定ビット分のデータを送信します。

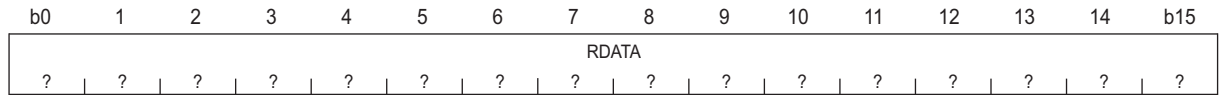
送信データの設定は、送信制御レジスタのTEN(送信許可)ビットを許可("1"にセット)にしてから行ってください。TENビットが不許可("0"にクリア)の状態での書き込みは無効です。

送信許可の状態で送信バッファレジスタにデータが書き込まれると、SIO送信バッファレジスタのデータはSIO送信シフトレジスタに転送され、送信が開始されます。

注 . . 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.5 SIO受信バッファレジスタ

SIO0受信バッファレジスタ(S0RXB)	<アドレス : H'0080 0114 >
SIO1受信バッファレジスタ(S1RXB)	<アドレス : H'0080 0124 >
SIO2受信バッファレジスタ(S2RXB)	<アドレス : H'0080 0134 >
SIO3受信バッファレジスタ(S3RXB)	<アドレス : H'0080 0144 >
SIO4受信バッファレジスタ(S4RXB)	<アドレス : H'0080 0A14 >
SIO5受信バッファレジスタ(S5RXB)	<アドレス : H'0080 0A24 >



<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0 ~ 15	RDATA 受信データ	受信データが格納されます。	R	-

SIO受信バッファレジスタは、受信データを格納するレジスタです。データの受信が完了すると、SIO受信シフトレジスタの内容がSIO受信バッファレジスタに転送されます。このレジスタは読み出し専用のレジスタです。

データはLSB側からつめて受信データを取り込みます。

シリアルインタフェース選択、およびCSIOビット長選択、転送順序選択ビットの条件によりLSB側またはMSB側から指定ビット分のデータを受信し、未使用のMSB側ビットは"0"がセットされます。

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、それ以後受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、受信制御レジスタのREN(受信許可)ビットを"0"にクリアしてください。

注 . ・7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.6 SIO受信制御レジスタ

SIO0受信制御レジスタ(S0RCNT)	<アドレス : H'0080 0116 >
SIO1受信制御レジスタ(S1RCNT)	<アドレス : H'0080 0126 >
SIO2受信制御レジスタ(S2RCNT)	<アドレス : H'0080 0136 >
SIO3受信制御レジスタ(S3RCNT)	<アドレス : H'0080 0146 >
SIO4受信制御レジスタ(S4RCNT)	<アドレス : H'0080 0A16 >
SIO5受信制御レジスタ(S5RCNT)	<アドレス : H'0080 0A26 >

b0	1	2	3	4	5	6	b7
0	RSTAT	RFIN	REN	OVR	PTY	FLM	ERS
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0		何も配置されていません。"0"に固定してください。	0	0
1	RSTAT 受信ステータスビット	0 : 受信停止 1 : 受信中	R	-
2	RFIN 受信完了ビット	0 : 受信バッファレジスタ内にデータなし 1 : 受信バッファレジスタ内にデータあり	R	-
3	REN 受信許可ビット	0 : 受信禁止 1 : 受信許可	R	W
4	OVR オーバーランエラービット	0 : オーバーランエラーなし 1 : オーバーランエラー発生	R	-
5	PTY パリティエラービット、UARTモード専用	0 : パリティエラーなし 1 : パリティエラー発生	R	-
6	FLM フレーミングエラービット、UARTモード専用	0 : フレーミングエラーなし 1 : フレーミングエラー発生	R	-
7	ERS エラーサムビット	0 : エラーなし 1 : エラー発生	R	-

(1) RSTAT (受信ステータス) ビット (b1)

[セット条件]

受信動作の開始によって"1"にセットされます。このビットが"1"の時は、データ受信中であることを示しています。

[クリア条件]

受信動作の完了、もしくはREN(受信許可)ビットを"0"にクリアすることによってクリアされます。

(2) RFIN (受信完了) ビット (b2)

[セット条件]

受信シフトレジスタにデータが揃い、その内容が受信バッファレジスタに転送された時、"1"にセットされます。

[クリア条件]

受信バッファレジスタの下位バイトの読み出し、もしくはREN(受信許可)ビットのクリアによって行います。ただし、オーバーランエラー発生時は、受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(3) REN (受信許可) ビット (b3)

このビットを"1"にセットすると受信許可状態になり、"0"にクリアすると受信禁止となるとともに受信部を初期化します。これに伴い、受信ステータスフラグ、受信完了フラグビット、オーバーランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグの各ビットがクリアされます。データ受信中に受信許可ビットを"0"にクリアした場合、受信動作は停止します。

(4) OVR (オーバーランエラー) ビット (b4)

オーバーランエラー発生時、受信データの受信バッファレジスタへの格納は行われません。この時、受信完了による割り込み要求も受信完了によるDMA転送要求も発生しません。

[セット条件]

受信バッファレジスタに前回の受信データが存在するにもかかわらず、受信シフトレジスタに次の受信データが揃ってしまった場合、"1"にセットされます。オーバーランエラーフラグが"1"の状態では受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、このビットをクリアする必要があります。

[クリア条件]

REN(受信許可)ビットを"0"にクリアすることによってのみクリアされます。

(5) PTY (パリティエラー) ビット (b5)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。パリティエラー発生時、受信データの受信バッファレジスタへの格納は行われます。この時、受信完了による割り込み要求は発生しますが、受信完了によるDMA転送要求は発生しません。

[セット条件]

PTY(パリティエラー)ビットはSIO送受信モードレジスタのPEN(パリティ有効/無効)ビットが有効でかつ、受信データのパリティ(偶数/奇数)が同じレジスタのPSEL(パリティ選択)ビットで設定した値と異なる場合、"1"がセットされます。

[クリア条件]

PTYビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくはSIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。ただし、オーバーランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(6) FLM (フレーミングエラー) ビット (b6)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。フレーミングエラー発生時、受信データの受信バッファレジスタへの格納は行われます。この時、受信完了による割り込み要求は発生しますが、受信完了によるDMA転送要求は発生しません。

[セット条件]

FLM(フレーミングエラー)ビットは受信したビットの数が、SIO送受信モードレジスタで選択した数と異なる場合に"1"がセットされます。

[クリア条件]

FLMビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

ただし、オーバランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(7) ERS (エラーサム) ビット (b7)

[セット条件]

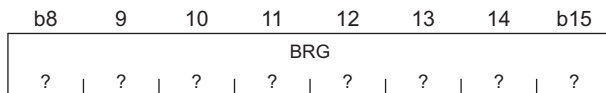
受信完了時にオーバランエラー、フレーミングエラー、およびパリティエラーのうち、いずれかの1つでも発生した場合、このフラグに"1"がセットされます。

[クリア条件]

オーバランエラー発生時は、REN(受信許可)ビットを"0"にクリアすることによって行います。それ以外の場合は、受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

12.2.7 SIOボーレートレジスタ

SIO0ボーレートレジスタ(S0BAUR)	<アドレス: H'0080 0117>
SIO1ボーレートレジスタ(S1BAUR)	<アドレス: H'0080 0127>
SIO2ボーレートレジスタ(S2BAUR)	<アドレス: H'0080 0137>
SIO3ボーレートレジスタ(S3BAUR)	<アドレス: H'0080 0147>
SIO4ボーレートレジスタ(S4BAUR)	<アドレス: H'0080 0A17>
SIO5ボーレートレジスタ(S5BAUR)	<アドレス: H'0080 0A27>



<リセット解除時: 不定>

b	ビット名	機能	R	W
8 ~ 15	BRG ボーレート分周値	ボーレート分周値設定	R	W

(1) BRG(ボーレート分周値)(b8 ~ b15)

SIOボーレートレジスタは、SIO送信制御レジスタで選択したBRGカウントソースを、BRG設定値に従って(BRG設定値+1)分周します。

初期状態ではBRGの値は不定となっているため、必ずシリアルインタフェース動作前に分周値を設定してください。送受信中のBRG書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。

CSIOモードで内部クロックを使用する(SCLKO信号を出力する)場合は、クロックデバイダカウントソースをクロックデバイダで分周し、次にBRG設定値に従って(BRG設定値+1)分周後、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで外部クロックを使用する場合は、BRGは使用しません(外部から入力されたクロックに同期して送受信が行われます)。

UARTモードでは、クロックデバイダカウントソースをクロックデバイダで分周した後、BRG設定値に従って(BRG設定値+1)分周し、さらに16分周したクロックが送受信シフトクロックになります。

SIO0、SIO1、SIO4、およびSIO5をUARTモードで使用する場合、該当ポートをそれぞれSCLKO端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

内部クロックCSIOモード時には転送速度が $f(\text{BCLK})/8$ を越えないように設定してください。

内部クロック選択時のボーレートレジスタ設定値は以下の式で求められます。

- CSIOモード

$$\text{SIOボーレートレジスタ設定値} = \frac{\text{クロックデバイダカウントソース}}{\text{ボーレート} \times \text{クロックデバイダ分周値} \times 2} - 1$$

- UARTモード

$$\text{SIOボーレートレジスタ設定値} = \frac{\text{クロックデバイダカウントソース}}{\text{ボーレート} \times \text{クロックデバイダ分周値} \times 16} - 1$$

クロックデバイダカウントソース: SIO特殊モードレジスタのクロックデバイダカウントソース選択ビットで $f(\text{BCLK})$ 、 $f(\text{BCLK})/2$ から選択します。

クロックデバイダ分周値: SIO送信制御レジスタのBRGカウントソース選択ビットで1、8、32、256の中から選択します。

表12.2.1 SIOボーレートレジスタ設定例(CSIOモード) (1/2)

項目 ボーレート (bps)	クロックデバイダカウントソース = 16MHz時			クロックデバイダカウントソース = 20MHz時		
	クロックデバイダ 分周値(分周)	BRG 設定値	実際のボーレート (bps)	クロックデバイダ 分周値(分周)	BRG 設定値	実際のボーレート (bps)
250	256	124	250.00	256	155	250.40
500	256	62	496.03	256	77	500.80
1000	32	249	1000.00	256	38	1001.60
2500	32	99	2500.00	32	124	2500.00
5000	32	49	5000.00	8	249	5000.00
10000	32	24	10000.00	8	124	10000.00
25000	32	9	25000.00	8	49	25000.00
50000	32	4	50000.00	1	199	50000.00
100000	8	9	100000.00	1	99	100000.00
250000	1	31	250000.00	1	39	250000.00
500000	1	15	500000.00	1	19	500000.00
1000000	1	7	1000000.00	1	9	1000000.00
2500000	-	-	-	1	3	2500000.00
5000000	1	1	4000000.00	1	1	5000000.00

注 . . 上記設定ボーレートでの通信を保証するものではありません。お客様の環境にて十分な評価・検証の上、ご使用ください。
 ・クロックデバイダカウントソースは、SIO特殊モードレジスタ(SnSMOD)のSELCLKビットで選択します。
 ・クロックデバイダ分周値は、SIO送信制御レジスタ(SnTCNT)のCDIVビットで選択します。
 ・BRG設定値は、SIOボーレートレジスタ(SnBAUR)で設定します。

表12.2.1 SIOボーレートレジスタ設定例(CSIOモード) (2/2)

項目 ボーレート (bps)	クロックデバイダカウントソース = 32MHz時			クロックデバイダカウントソース = 40MHz時		
	クロックデバイダ 分周値(分周)	BRG 設定値	実際のボーレート (bps)	クロックデバイダ 分周値(分周)	BRG 設定値	実際のボーレート (bps)
250	256	249	250.00	-	-	-
500	256	124	500.00	256	155	500.80
1000	256	62	922.06	256	77	1001.60
2500	32	199	2500.00	32	249	2500.00
5000	32	99	5000.00	32	124	5000.00
10000	32	49	10000.00	8	249	10000.00
25000	32	19	25000.00	8	99	25000.00
50000	32	9	50000.00	8	49	50000.00
100000	8	19	100000.00	1	199	100000.00
250000	1	63	250000.00	1	79	250000.00
500000	1	31	500000.00	1	39	500000.00
1000000	1	15	1000000.00	1	19	1000000.00
2500000	-	-	-	1	7	2500000.00
5000000	-	-	-	1	3	5000000.00

注 . . 上記設定ボーレートでの通信を保証するものではありません。お客様の環境にて十分な評価・検証の上、ご使用ください。
 ・クロックデバイダカウントソースは、SIO特殊モードレジスタ(SnSMOD)のSELCLKビットで選択します。
 ・クロックデバイダ分周値は、SIO送信制御レジスタ(SnTCNT)のCDIVで選択します。
 ・BRG設定値は、SIOボーレートレジスタ(SnBAUR)で設定します。

表12.2.2 SIOボーレートレジスタ設定例(UARTモード)(1/2)

項目 ボーレート (bps)	クロックデバイダカウントソース = 16MHz時				クロックデバイダカウントソース = 20MHz時			
	クロックデバイダ 分周値(分周)	BRG 設定値	誤差 (%)	実際のボーレート (bps)	クロックデバイダ 分周値(分周)	BRG 設定値	誤差 (%)	実際のボーレート (bps)
300	32	103	0.16	300.48	32	129	0.16	300.48
600	32	51	0.16	600.96	32	64	0.16	600.96
1200	32	25	0.16	1201.92	8	129	0.16	1201.92
2400	32	12	0.16	2403.85	8	64	0.16	2403.85
4800	1	207	0.16	4807.69	8	32	-1.36	4734.85
9600	1	103	0.16	9615.38	1	129	0.16	9615.38
12500	1	79	0.00	12500.00	1	99	0.00	12500.00
14400	1	68	0.64	14492.75	1	86	-0.22	14367.82
19200	1	51	0.16	19230.77	1	64	0.16	19230.77
28800	1	34	-0.79	28571.43	1	42	0.94	29069.77
31250	1	31	0.00	31250.00	1	39	0.00	31250.00
38400	1	25	0.16	38461.54	1	32	-1.36	37878.79
57600	1	16	2.12	58823.53	1	21	-1.36	56818.18
62500	1	15	0.00	62500.00	1	19	0.00	62500.00
115200	1	8	-3.55	111111.11	1	10	-1.36	113636.36
125000	1	7	0.00	125000.00	1	9	0.00	125000.00
250000	1	3	0.00	250000.00	1	4	0.00	250000.00
500000	1	1	0.00	500000.00	1	2	-16.67	416666.67
625000	-	-	-	-	1	1	0.00	625000.00
1000000	1	0	0.00	1000000.00	-	-	-	-
1250000	-	-	-	-	1	0	0.00	1250000.00

注．．上記設定ボーレートでの通信を保証するものではありません。お客様の環境にて十分な評価・検証の上、ご使用ください。

- ・クロックデバイダカウントソースは、SIO特殊モードレジスタ(SnSMOD)のSELCLKビットで選択します。
- ・クロックデバイダ分周値は、SIO送信制御レジスタ(SnTCNT)のCDIVビットで選択します。
- ・BRG設定値は、SIOボーレートレジスタ(SnBAUR)で設定します。

表12.2.2 SIOボーレートレジスタ設定例(UARTモード)(2/2)

項目 ボーレート (bps)	クロックデバイダカウントソース = 32MHz時				クロックデバイダカウントソース = 40MHz時			
	クロックデバイダ 分周値(分周)	BRG 設定値	誤差 (%)	実際のボーレート (bps)	クロックデバイダ 分周値(分周)	BRG 設定値	誤差 (%)	実際のボーレート (bps)
300	256	25	0.16	300.48	256	32	-1.36	295.93
600	256	12	0.16	600.96	32	129	0.16	600.96
1200	32	51	0.16	1201.92	32	64	0.16	1201.92
2400	32	25	0.16	2403.85	8	129	0.16	2403.85
4800	32	12	0.16	4807.69	8	64	0.16	4807.69
9600	8	25	0.16	9615.38	8	32	-1.36	9469.70
12500	8	19	0.00	12500.00	1	199	0.00	12500.00
14400	1	138	-0.08	14388.49	1	173	-0.22	14367.82
19200	1	103	0.16	19230.77	1	129	0.16	19230.77
28800	1	68	0.64	28985.51	1	86	-0.22	28735.63
31250	1	63	0.00	31250.00	1	79	0.00	31250.00
38400	1	51	0.16	38461.54	1	64	0.16	38461.54
57600	1	34	-0.79	57142.86	1	42	0.94	58139.53
62500	1	31	0.00	62500.00	1	39	0.00	62500.00
115200	1	16	2.12	117647.06	1	21	-1.36	113636.36
125000	1	15	0.00	125000.00	1	19	0.00	125000.00
250000	1	7	0.00	250000.00	1	9	0.00	250000.00
500000	1	3	0.00	500000.00	1	4	0.00	500000.00
625000	-	-	-	-	1	3	0.00	625000.00
1000000	1	1	0.00	1000000.00	-	-	-	-
1250000	-	-	-	-	1	1	0.00	1250000.00
2000000	1	0	0.00	2000000.00	-	-	-	-
2500000	-	-	-	-	1	0	0.00	2500000.00

注．．上記設定ボーレートでの通信を保証するものではありません。お客様の環境にて十分な評価・検証の上、ご使用ください。

- ・クロックデバイダカウントソースは、SIO特殊モードレジスタ(SnSMOD)のSELCLKビットで選択します。
- ・クロックデバイダ分周値は、SIO送信制御レジスタ(SnTCNT)のCDIVで選択します。
- ・BRG設定値は、SIOボーレートレジスタ(SnBAUR)で設定します。

12.2.8 SIO特殊モードレジスタ

SIO0特殊モードレジスタ(S0SMOD)	<アドレス: H'0080 0118 >
SIO1特殊モードレジスタ(S1SMOD)	<アドレス: H'0080 0128 >
SIO2特殊モードレジスタ(S2SMOD)	<アドレス: H'0080 0138 >
SIO3特殊モードレジスタ(S3SMOD)	<アドレス: H'0080 0148 >
SIO4特殊モードレジスタ(S4SMOD)	<アドレス: H'0080 0A18 >
SIO5特殊モードレジスタ(S5SMOD)	<アドレス: H'0080 0A28 >

b0	1	2	3	4	5	6	b7
CSIBL				SELCLK	SELFST	SEL3PNT	CKPOL
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~3	CSIBL CSIOビット長選択ビット	0000: 8ビット 0001: 9ビット 0010: 10ビット 0011: 11ビット 0100: 12ビット 0101: 13ビット 0110: 14ビット 0111: 15ビット 1XXX: 16ビット	R	W
4	SELCLK クロックデバイダカウントソース選択ビット	0: f(BCLK)/2 1: f(BCLK)	R	W
5	SELFST 転送順序選択ビット	0: LSBファースト 1: MSBファースト	R	W
6	SEL3PNT 3ポイントサンプリング制御ビット	0: 3ポイントサンプリング無効 1: 3ポイントサンプリング有効	R	W
7	CKPOL 送受信クロック極性選択ビット	0: SCLKの立ち下がりで送信データ出力 立ち上がりで受信データ取り込み 1: SCLKの立ち上がりで送信データ出力 立ち下がりで受信データ取り込み	R	W

(1) (CSIOビット長選択)ビット (b0 ~ 3)

送受信モードレジスタでクロック同期シリアルインタフェースを選択した場合のみ有効なビットで、データ長を選択します。

(2) (クロックデバイダカウントソース選択)ビット (b4)

クロックデバイダのカウントソースを選択するビットです。

(3) (転送順序選択)ビット (b5)

データビットの転送順序を選択するビットです。

(4) (3ポイントサンプリング制御)ビット (b6)

3ポイントサンプリング制御ビットを"1"にセットすると、RxD入力/SCLKI入力の各信号をBCLK周期で3ポイントサンプリングを行い、その多数決出力をRxD入力/SCLKI入力としてSIOが動作します。RxD入力、SCLKI入力を個別に制御することはできません。また、SCLKIに対する3ポイントサンプリングはCSIOモード、外部クロック選択時のみ有効となります。

(5) CKPOL(送受信クロック極性選択)ビット (b7)

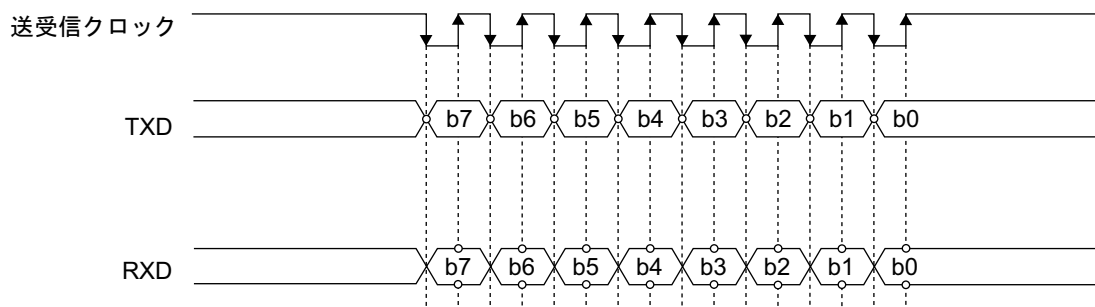
CSIOモードでの送受信クロック極性を選択するビットです。

CKPOLビットを"0"にすると、SCLK立ち下がりに同期してTXD端子からデータを出し、SCLK立ち上がりに同期してRXD端子よりデータを取り込みます。

CKPOLビットを"1"にすると、SCLK立ち上がりに同期してTXD端子からデータを出し、SCLK立ち下がりに同期してRXD端子よりデータを取り込みます。

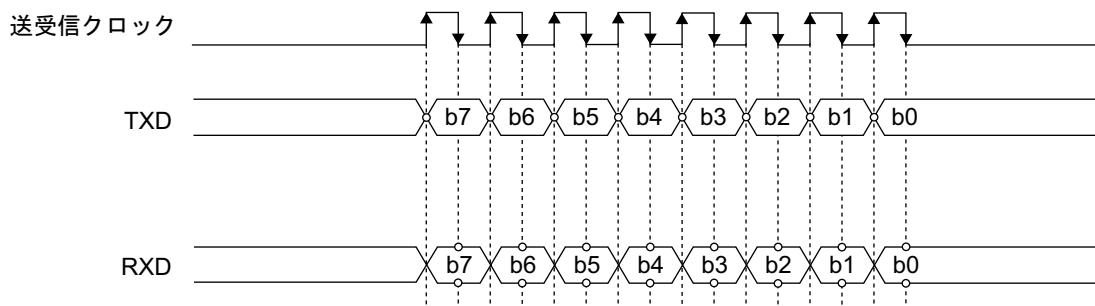
注・SIO特殊モードレジスタ値の変更は、送信許可ビット/受信許可ビットの両ビットとも禁止状態で行ってください。

(1) クロック極性選択ビット="0"のとき



注・内部クロック選択時、送受信を行っていないときのSCLKO端子からは、"H"レベルが出力されます。

(2) クロック極性選択ビット="1"のとき



注・内部クロック選択時、送受信を行っていないときのSCLKO端子からは、"L"レベルが出力されます。

図12.2.9 送受信クロック極性の選択

12.3 CSIOモード送信動作説明

12.3.1 CSIOボーレートの設定

CSIOモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックを生成するクロックソースは、内部クロック($f(\text{BCLK})$)、または外部クロックから選択します。クロックソースの選択はCKS(内部/外部クロック選択)ビット(SIO送受信モードレジスタのb11)により行います。

送受信のボーレート値の算出式は、内部/外部クロックの選択によって異なります。

(1) CSIOモードで内部クロック選択時

内部クロックを選択した場合、クロックソースはクロックデバイダカウントソース選択ビット(SIO特殊モードレジスタのb4)によって $f(\text{BCLK})$ 、または $f(\text{BCLK})/2$ から選択します。 $f(\text{BCLK})$ 、または $f(\text{BCLK})/2$ はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力されます。

クロックデバイダの分周値は、CDIV(ボーレートジェネレータカウトソース選択)ビット(送信制御レジスタb2、b3)で、1分周、8分周、32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)分周し、さらに2分周したクロックをデータの送受信シフトクロックとします。

CSIOモードで内部クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} = \frac{f(\text{BCLK}) \text{、または } f(\text{BCLK})/2}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 2}$$

[bps]

ボーレートレジスタ設定値 = H'00 ~ H'FF (注1)

クロックデバイダ分周値 = 1、8、32、256

注1. $f(\text{BCLK})/8$ を越えないようにボーレートレジスタの値を設定してください。

(2) CSIOモードで外部クロック選択時

ボーレートジェネレータは使用されず、SCLKI端子からの入力クロックが、そのままCSIOの送受信シフトクロックになります。

SCLKI端子への入力クロック最大周波数は、 $f(\text{BCLK})/16$ です。

$$\text{ボーレート} = \text{SCLKI端子入力クロック}$$

[bps]

12.3.2 CSIO送信時の初期設定

CSIOで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO特殊モードレジスタ設定

- CSIOモードでのデータ長選択の設定
- クロックデバイダカウントソース選択
- データビットの転送順序設定
- 3ポイントサンプリング制御
- CSIOモードでのクロック極性の選択

(2) SIO送受信モードレジスタの設定

- CSIOモードに設定
- 内部クロック/外部クロック選択

(3) SIO送信制御レジスタの設定

- クロックデバイダ分周比の選択(内部クロック選択時)

(4) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(「12.3.1 CSIOボーレートの設定」を参照してください)。

(5) SIO割り込み関連レジスタの設定

- 送信割り込み要求要因(送信バッファエンプティ/送信完了)の選択(SIO割り込み要求要因選択レジスタ)
- 送信割り込み要求の許可/禁止(SIO割り込み要求許可レジスタ)

注：・送信完了割り込み要求は、内部クロック選択時のみ有効です。

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

送信バッファエンプティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(8) 端子機能の選択

シリアルインタフェースの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

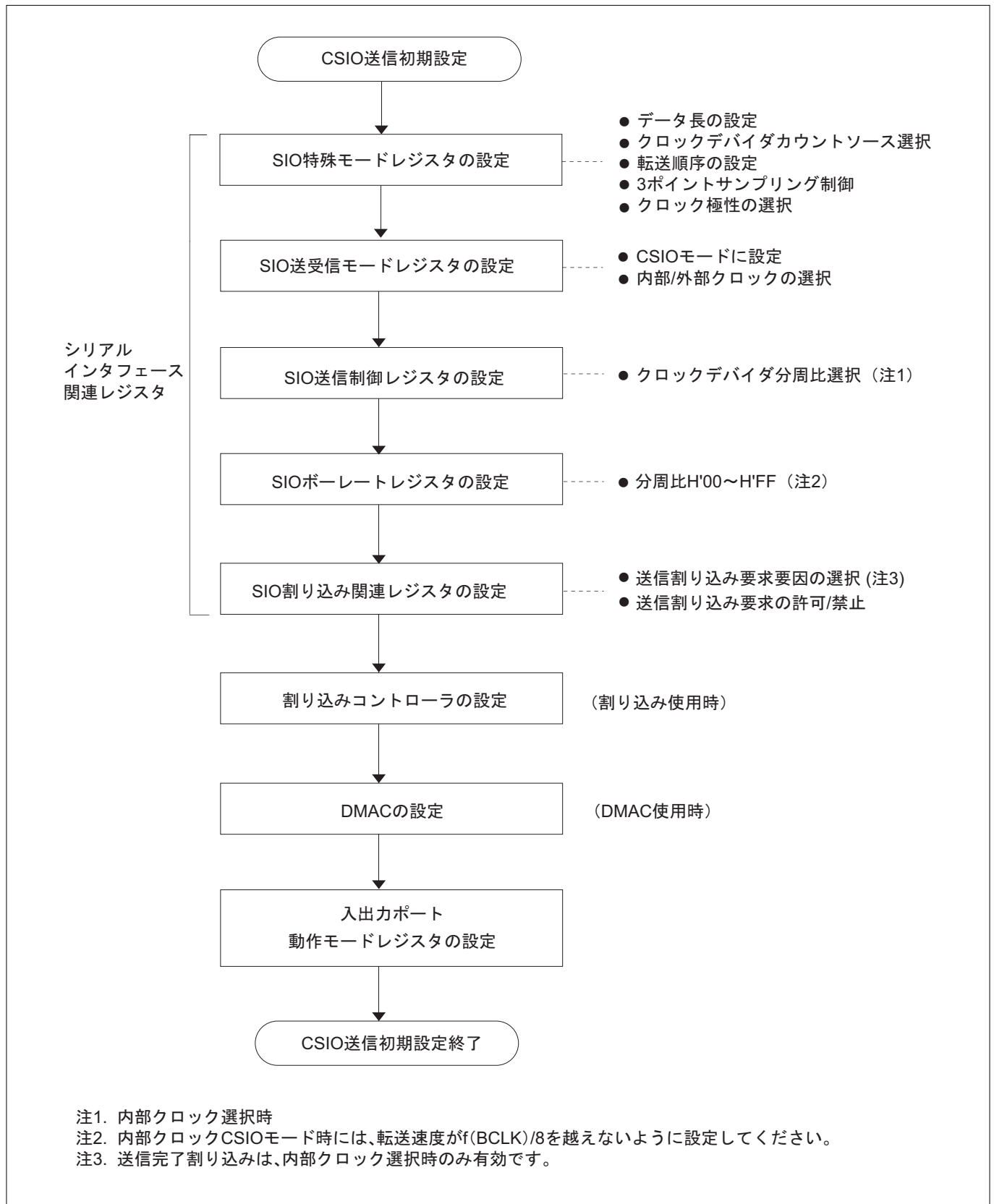


図12.3.1 CSIO送信初期化手順

12.3.3 CSIO送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

(1) CSIOモード内部クロック選択時の送信条件

- SIO制御レジスタの送信許可ビットに"1"をセット
- SIO送信バッファレジスタの下位バイトに送信データ(8~16ビット)を書き込み(注1)(注2)
(送信バッファエンプティビットが"0")

(2) CSIOモード外部クロック選択時の送信条件

- SIO制御レジスタ0の送信許可ビットに"1"をセット
- SIO送信バッファレジスタの下位バイトに送信データを書き込み(注1)
(送信バッファエンプティビットが"0")
- SCLKI端子へ送信クロックの立ち下がりエッジが入力される

注1．送信許可ビットが"0"にクリアされた状態では、送信バッファレジスタの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。また、SIO送信バッファレジスタの下位バイトにデータをセットした時点で、送信ステータスビットが"1"にセットされます。

注2．内部クロック選択時は、送信バッファレジスタの下位バイトへの書き込みが送信開始のトリガとなります。

送信が開始されると以下の手順でデータが送信されます。

- SIO送信バッファの内容を、SIO送信シフトレジスタに転送
- 送信バッファエンプティビットに"1"をセット(注1)
- シフトクロックに同期してデータ送信を開始

注1．送信バッファエンプティ、送信完了により送信割り込み要求を発生することができます。また、送信バッファエンプティは、DMA転送要求を発生することができます。送信完了では、DMA転送要求を発生することはできません。

12.3.4 CSIOの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIOステータスレジスタの送信バッファエンプティフラグで確認します。

12.3.5 CSIO送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1)連続送信しない場合

- 送信ステータスビットに"0"をセット

(2)連続送信の場合

- 連続したデータのうち最終データの送信が完了したとき、送信ステータスビットに"0"をセット

12.3.6 送信割り込み

(1)送信バッファエンプティ割り込み

SIO割り込み要求要因選択レジスタで送信バッファエンプティ割り込みを選択した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込み要求が発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込み要求が発生します。

(2)送信完了割り込み

SIO割り込み要求要因選択レジスタで送信完了割り込みを選択した場合、送信シフトレジスタのデータの最終ビットの転送が完了する内部転送クロックの立ち下がりですべて送信完了割り込み要求が発生します。

送信割り込みを使用するためには、SIO割り込み要求許可レジスタ、割り込みコントローラ(ICU)の設定が必要です。

12.3.7 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止 許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMACの設定が必要です。

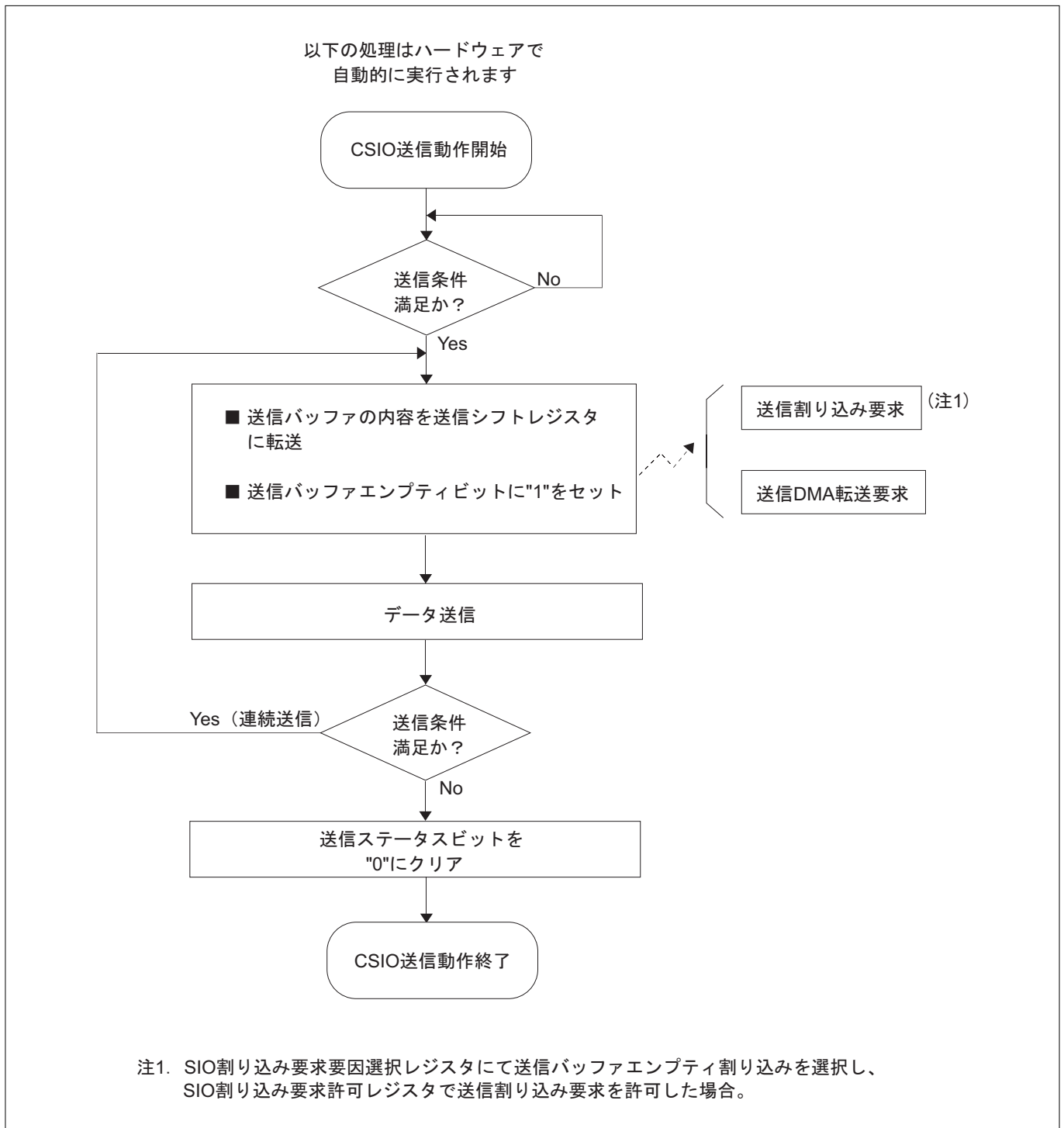


図12.3.2 CSIOモード時の送信動作(ハードウェア処理)

12.3.8 CSIO送信動作例

CSIOモードでの送信動作例を以下に示します。

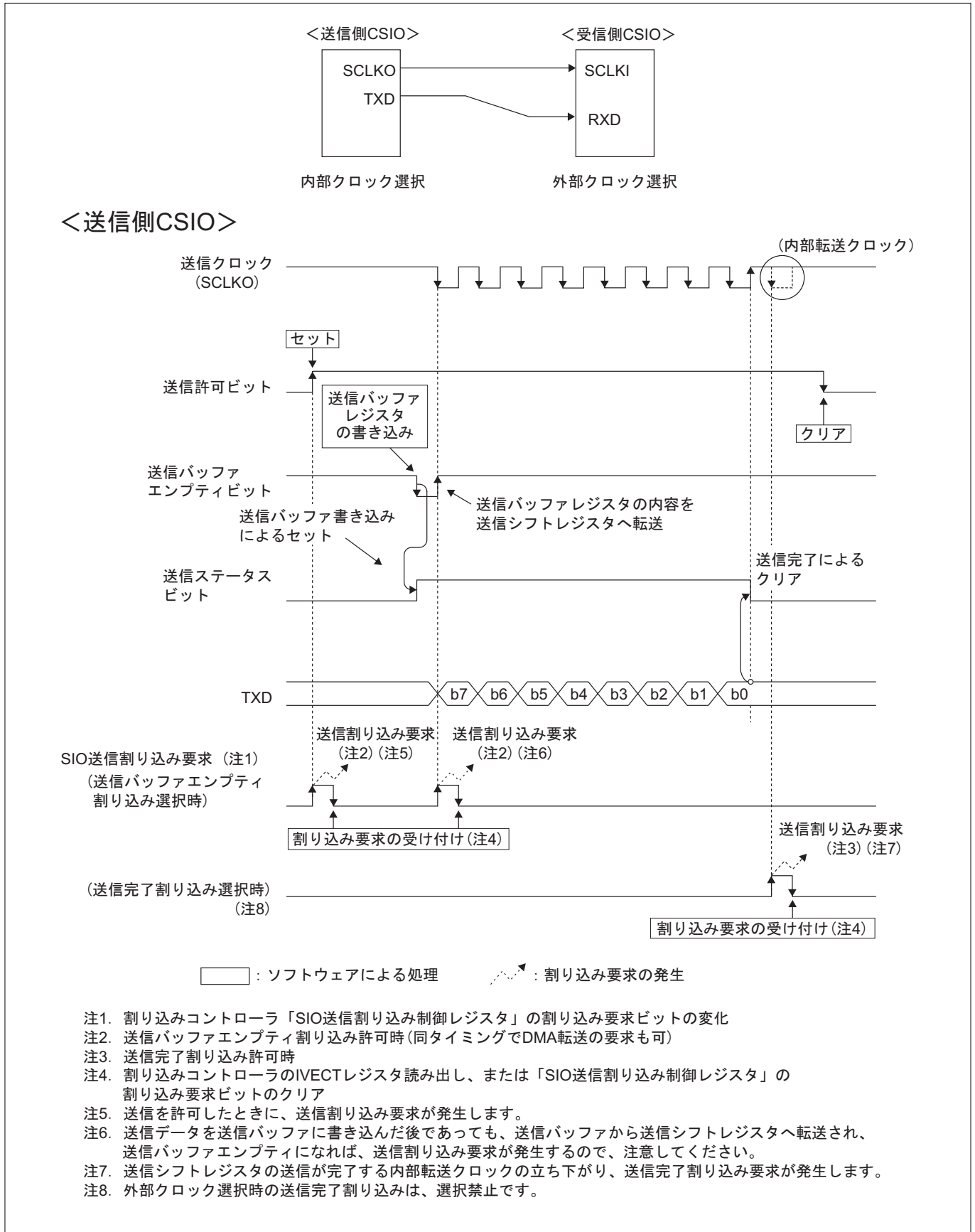


図12.3.3 CSIO送信例 (1回だけの送信)

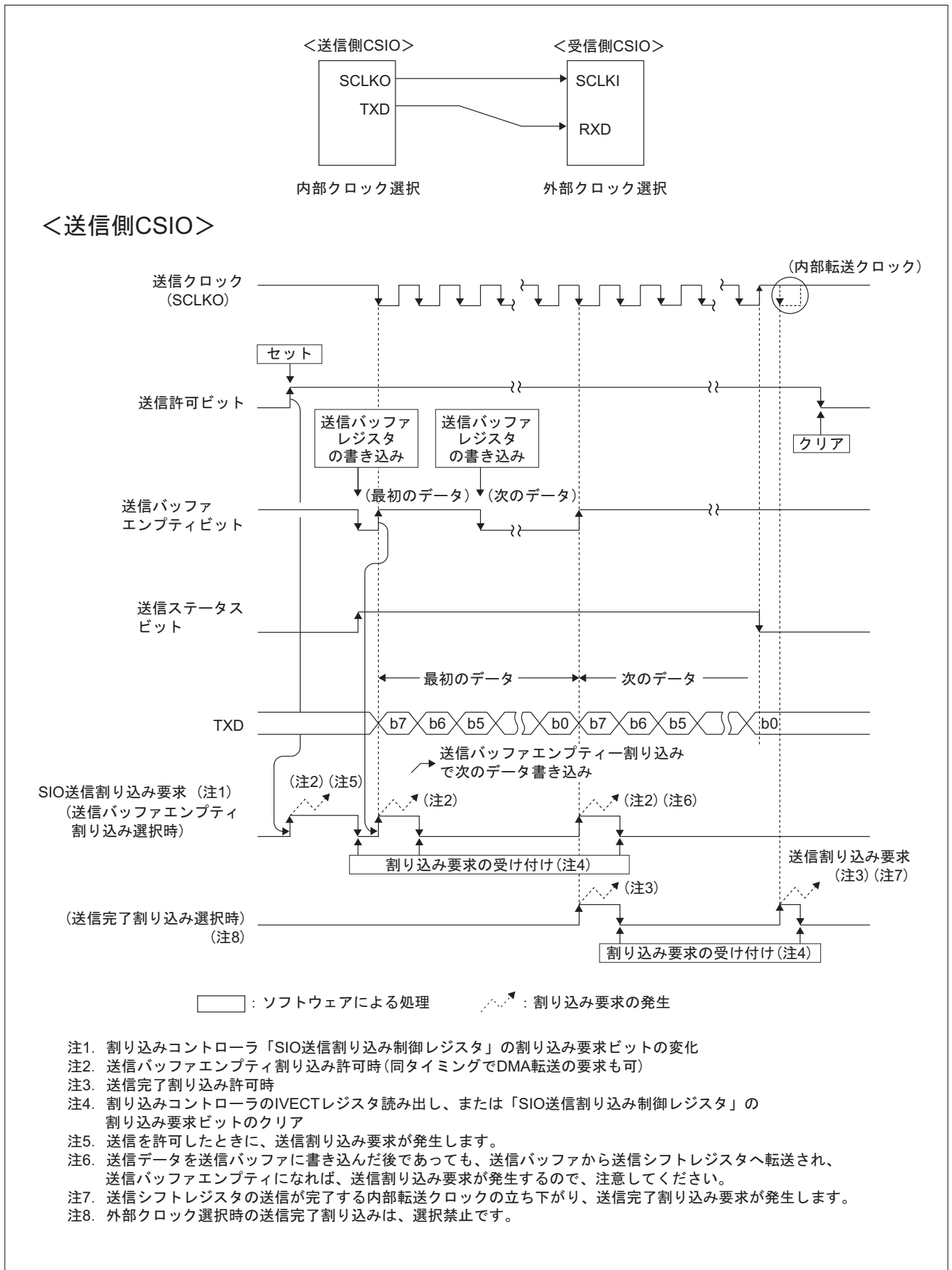


図12.3.4 CSIO送信例(連続送信)

12.4 CSIOモード受信動作説明

12.4.1 CSIO受信時の初期設定

CSIOで受信を行う場合は、以下の手順で初期設定を行います。なお、受信シフトクロックは送信回路の動作によって得られますので、受信だけ行う場合にも送信動作を実行させる必要があります。

(1) SIO特殊モードレジスタ設定

- CSIOモードでのデータ長選択の設定
- クロックデバイダカウントソース選択
- データビットの転送順序設定
- 3ポイントサンプリング制御
- CSIOモードでのクロック極性の選択

(2) SIOモードレジスタの設定

- CSIOモードに設定
- 内部クロック/外部クロックの選択

(3) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(4) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(「12.3.1 CSIOボーレートの設定」を参照してください)。

(5) SIO割り込み関連レジスタの設定

- 受信割り込み要因(受信完了/エラー)の選択(受信割り込み要因選択レジスタ)
- 受信割り込みの許可/禁止(SIO割り込みマスクレジスタ)

(6) SIO受信制御レジスタの設定

受信許可ビットのセット

(7) 割り込みコントローラの設定(SIO受信割り込み制御レジスタ)

受信割り込みを使用する場合は、優先レベルの設定を行います。

(8) DMACの設定

受信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(9) 端子機能の選択

シリアルインタフェースの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

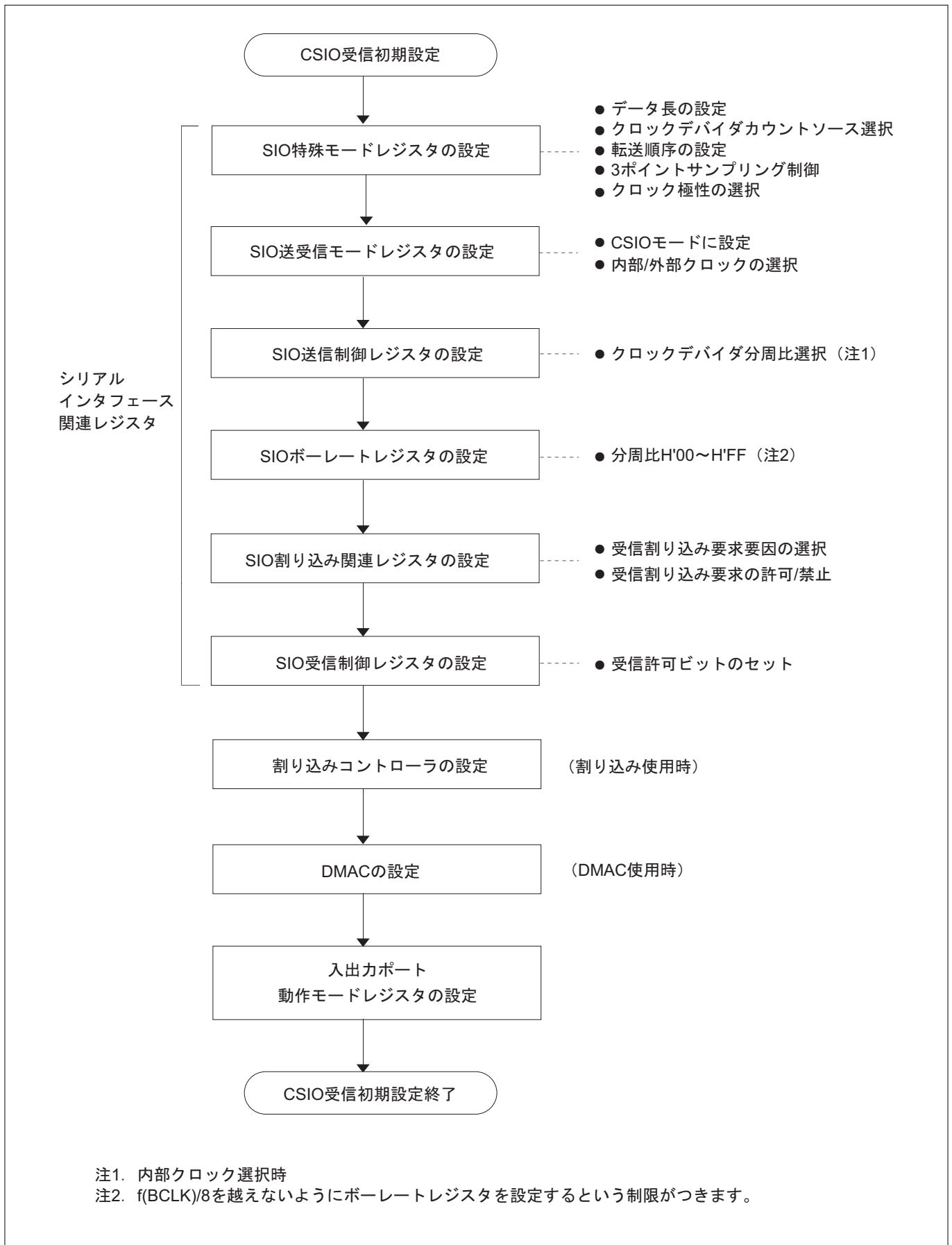


図12.4.1 CSIO受信初期化手順

12.4.2 CSIO受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

(1) CSIOモード内部クロック選択時の受信条件

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- 送信条件が満たされていること(「12.3.3 CSIO送信の開始」を参照してください。)

(2) CSIOモード外部クロック選択時の受信条件

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- 送信条件が満たされていること(「12.3.3 CSIO送信の開始」を参照してください。)

注．・SIO送信バッファレジスタの下位バイトにダミーデータをセットした時点で、受信ステータスビットが"1"にセットされます。

上記の条件が満たされると、受信シフトクロックに同期して、8~16ビットのシリアルデータの受信を行います。

12.4.3 CSIO受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

- 注．・受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求が発生します。
・DMA転送要求が発生します。

(2) 受信エラーが発生した場合

受信エラー(CSIOモード時はオーバランエラーのみ発生)時は、オーバランエラービットと受信エラーサムビットに"1"をセット

- 注．・受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時は、受信完了割り込み要求もDMA転送要求も発生しません。
・受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時は、割り込み要求が許可された場合、受信エラー割り込み要求が発生します。DMA転送要求は発生しません。

12.4.4 連続受信について

データ受信完了時に以下の条件が満たされていれば、連続受信可能となります。

- 受信許可ビットが"1"にセットされていること
- 送信条件が満たされていること
- オーバランエラーが発生していないこと

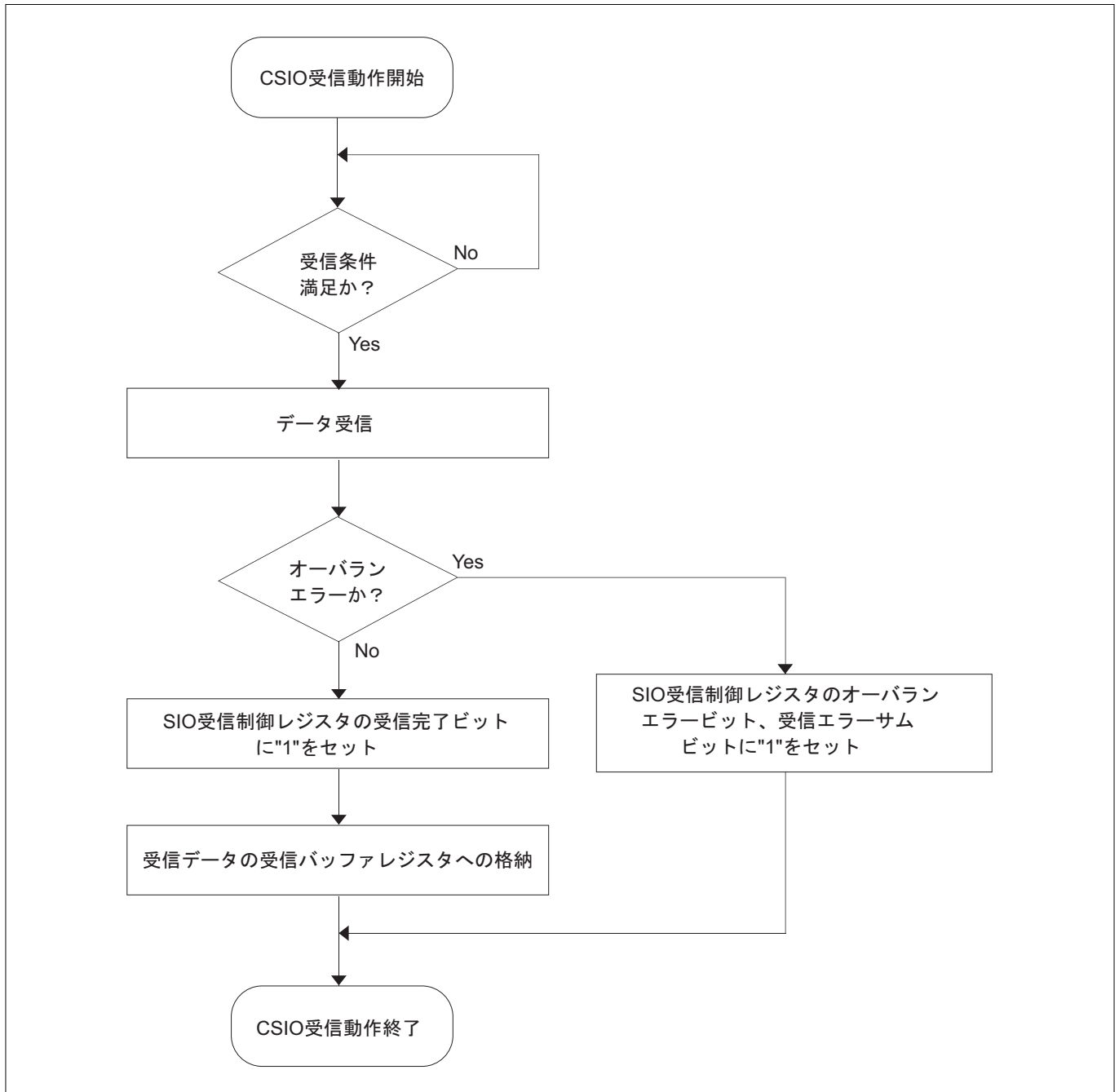


図12.4.2 CSIOモード時の受信動作(ハードウェア処理)

12.4.5 CSIO受信動作の状態を示すフラグ

CSIOモードの受信動作の状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、以後の受信データのSIO受信バッファレジスタへの格納は行われなくなります。

受信を再開するためには、いったん受信許可ビットを"0"にクリアし、受信制御部を初期化する必要があります。

上記の受信完了ビットのクリアは、受信エラー(注1)が発生していない場合は、SIO受信バッファレジスタの下位バイト読み出し、もしくは、REN(受信許可)ビットのクリアで行います。

受信エラーが発生した場合は、REN(受信許可)ビットのクリアで行います。この場合、SIO受信バッファレジスタの下位バイトの読み出しでのクリアはできませんので、ご注意ください。

注1 . CSIOモードで検出可能なエラーは、オーバランエラーのみとなっています。

12.4.6 CSIO受信動作例

CSIOモードでの受信動作例を以下に示します。

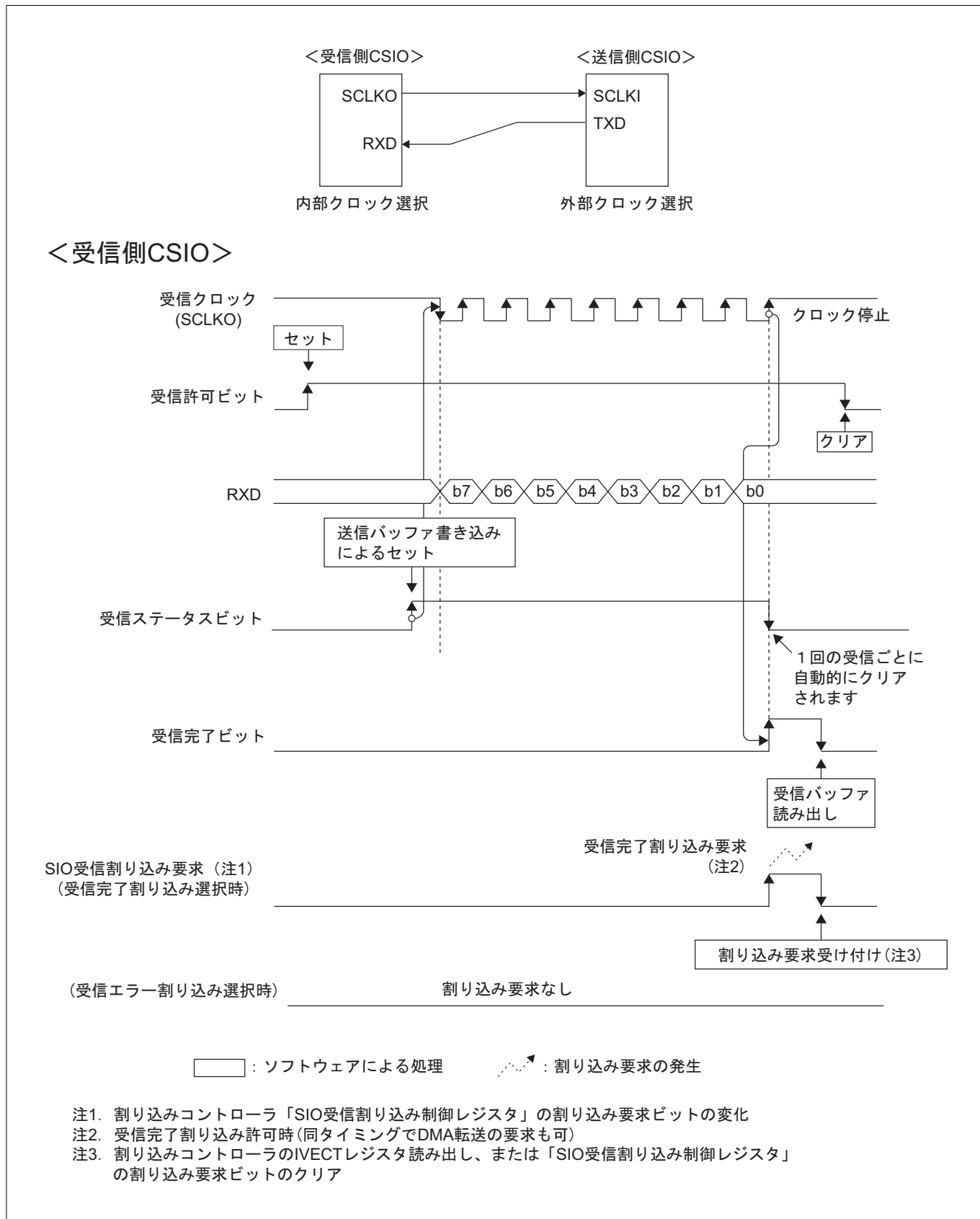


図12.4.3 CSIO受信例(正常受信時)

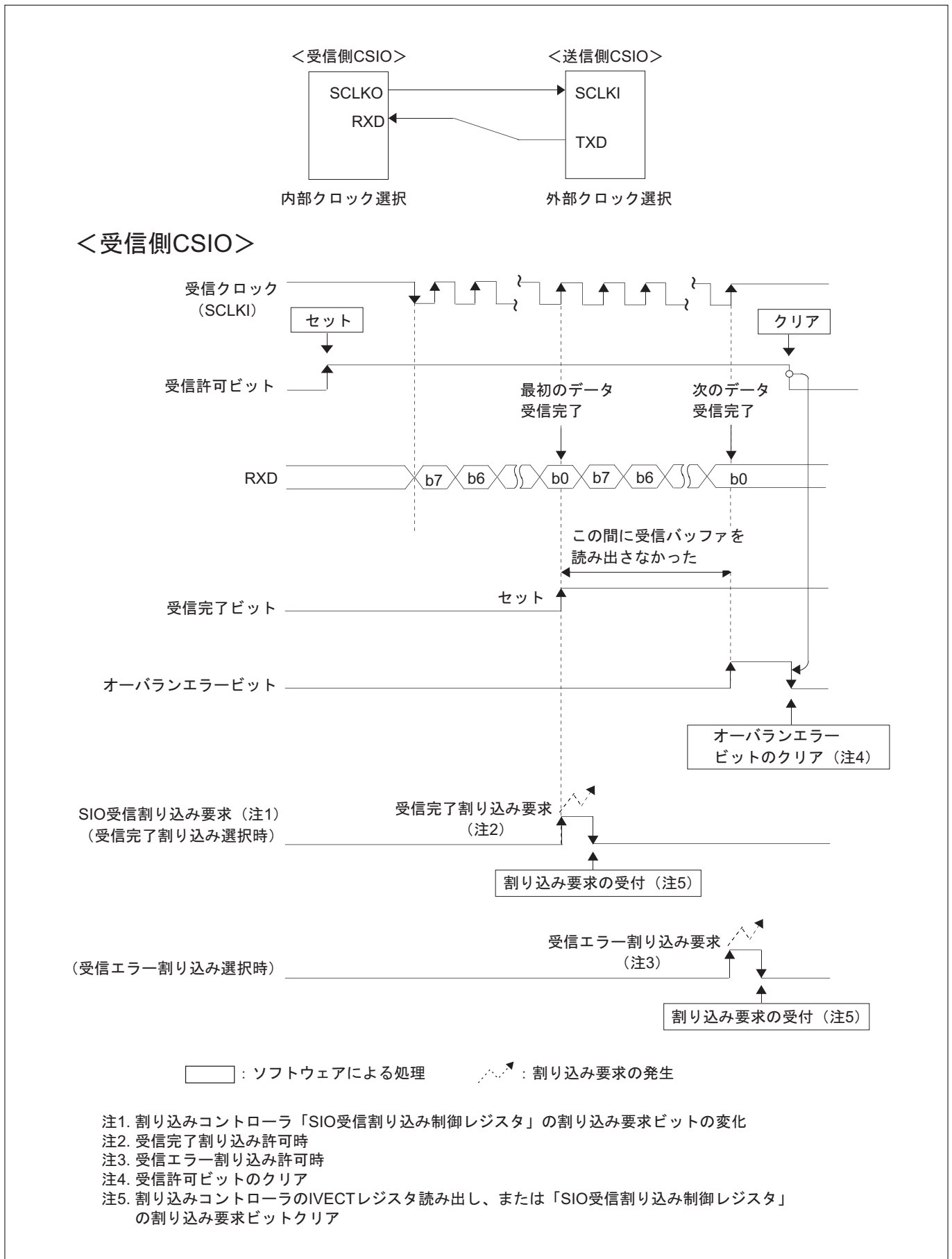


図12.4.4 CSIO受信例(オーバーランエラー発生時)

12.5 CSIOモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIO特殊モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG (ボーレート) レジスタの設定

$\lceil \text{BCLK} \rceil / 8$ を越えないようにBRGレジスタの値を設定してください。

- 連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

- 受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

- 連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- 受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

- SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

- SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんので注意してください。

- 汎用ポートからシリアルインタフェース端子への切り換え

ポート動作モードレジスタにより、汎用ポートからシリアルインタフェース端子へ切り換えた際、SCLKOn端子は"Hレベル"(内部クロック選択、CKPOLビットを"0"に設定の場合。CKPOLビットを"1"に設定の場合は"Lレベル")、TXDn端子は不定値を出力します。ただし、SIO_n送信制御レジスタのTENビットを"1"(送信許可)に保持した状態で汎用ポートからシリアルインタフェース端子へ切り換えた際は、TXDn端子は以前に出力したシリアルデータの最終ビットのレベルを出力します。

12.6 UARTモード送信動作説明

12.6.1 UARTボーレートの設定

UARTモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックのソースは、内部/外部クロック選択ビット(SIO送受信モードレジスタのb11)の内容にかかわらず内部クロックとなります。

(1) UARTモードのボーレート算出

クロックソースはクロックデバイダカウントソース選択ビット(SIO特殊モードレジスタのb4)によって $f(\text{BCLK})$ 、または $f(\text{BCLK})/2$ から選択します。 $f(\text{BCLK})$ 、または $f(\text{BCLK})/2$ はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)にされ、その後さらに16分周されて送受信シフトクロックになります。

クロックデバイダの分周値は、SIO送信制御レジスタのCDIV(ボーレートジェネレータカウントソース選択)ビット(b2, b3)で、1分周、8分周、32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)に分周し、さらにその後16分周して送受信シフトクロックとします。

UARTモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート} = \frac{f(\text{BCLK}), \text{ または } f(\text{BCLK})/2}{[\text{bps}] \quad \text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 16}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF

クロックデバイダ分周値 = 1、8、32、256

12.6.2 UART送受信データフォーマット

UARTモード時の送受信データのフォーマットは、SIO送受信モードレジスタで設定します。以下にUARTモードで使用可能な送受信データフォーマットを示します。

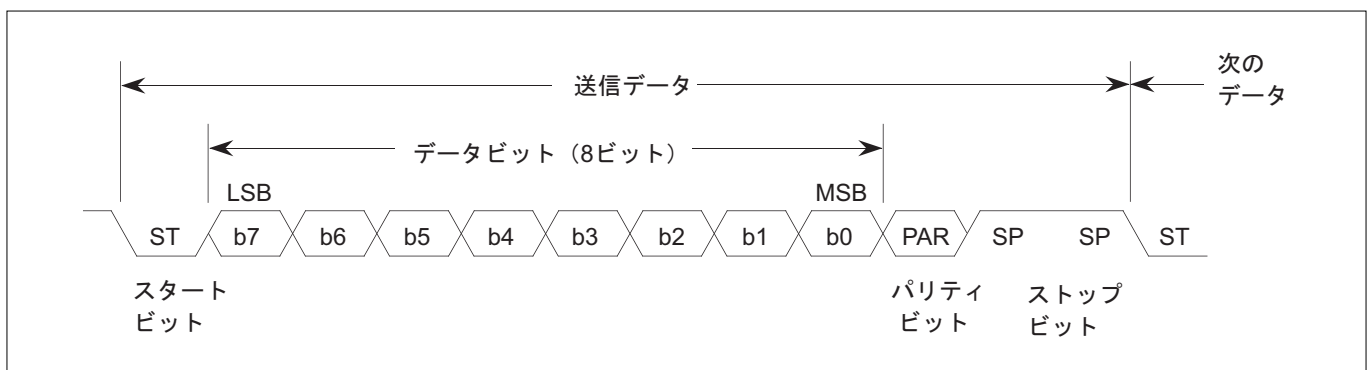


図12.6.1 UARTモード時の転送データフォーマット例

表12.6.1 UARTモード時の転送データ

ビット名称	内容
ST(スタートビット)	データの送信開始を示すビットで、1ビット分の"L"信号が送信データの直前に付加されます。
b0~b8(キャラクタビット)	シリアルインタフェースを通じて転送される送受信データです。UARTモードでは7ビット、8ビットデータ、または9ビットデータの送受信が可能です。
PAR(パリティビット)	送受信キャラクタに付加されるビットで、パリティ有効時、偶数/奇数パリティの選択によって、パリティビットを含めたキャラクタ中の"1"の個数が常に偶数、または奇数になるように自動的に設定されます。
SP(ストップビット)	データの送信終了を示すビットで、キャラクタの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットは1ビット、または2ビットを選択することができます。

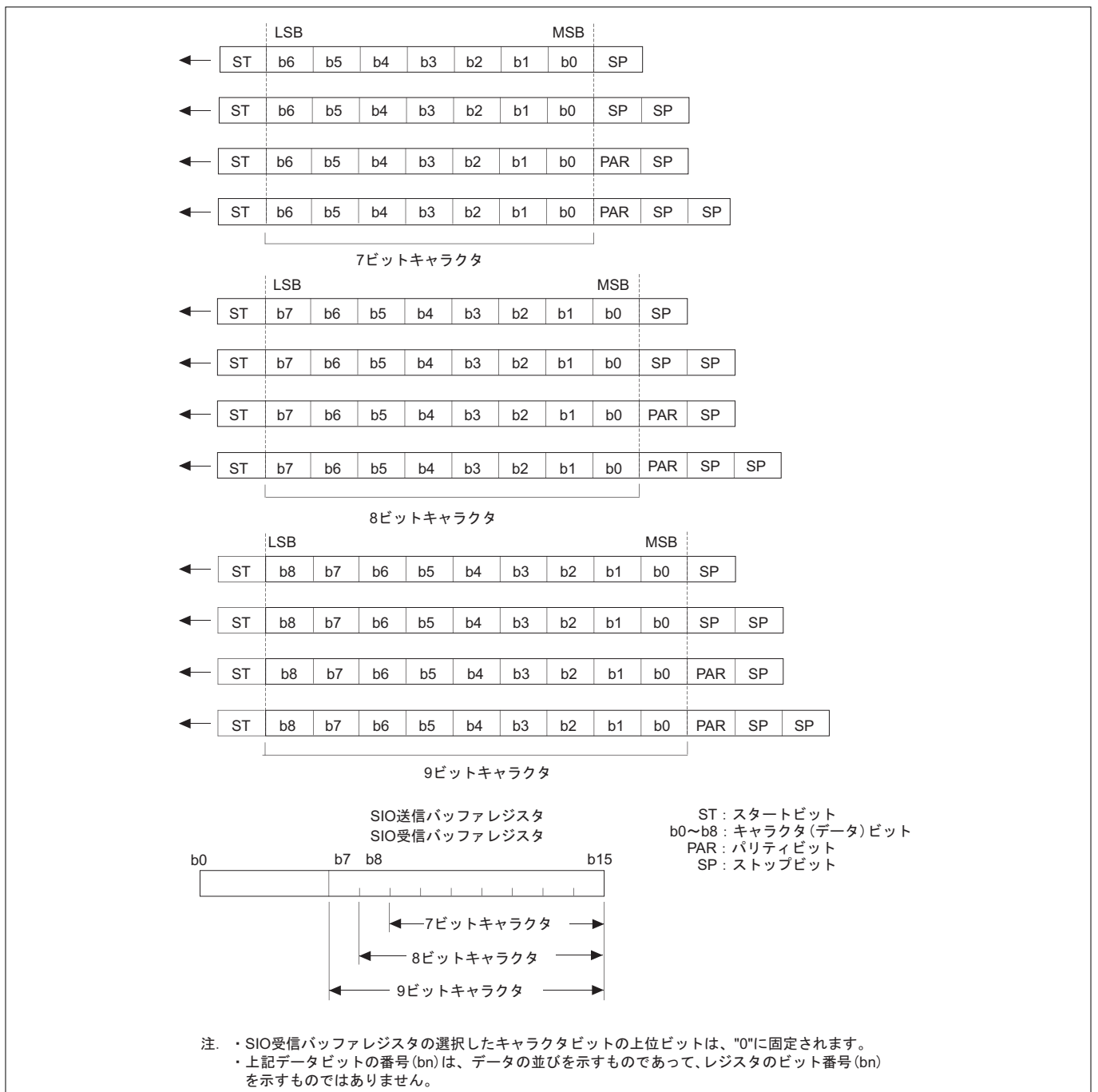


図12.6.2 UARTモード時に選択可能なデータフォーマット一覧

12.6.3 UART送信時の初期設定

UARTで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO特殊モードレジスタ設定

- クロックデバイダカウントソース選択
- データビットの転送順序設定
- 3ポイントサンプリング制御

(2) SIO送受信モードレジスタの設定

- UARTモードに設定
- パリティの設定(有効時は奇数/偶数選択)
- ストップビット長の設定
- キャラクタ長の設定(注1)

注1. UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(3) SIO送信制御レジスタの設定

クロックデバイダ分周比を選択します。

(4) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(「12.6.1 UARTボーレートの設定」を参照してください)。

(5) SIO割り込み関連レジスタの設定

- 送信割り込み要因(送信バッファエンプティ/送信完了)の選択(SIO割り込み要因選択レジスタ)
- SIO送信割り込みの許可/禁止(SIO割り込み要求マスクレジスタ)

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

送信バッファエンプティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(8) 端子機能の選択

シリアルインタフェースの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

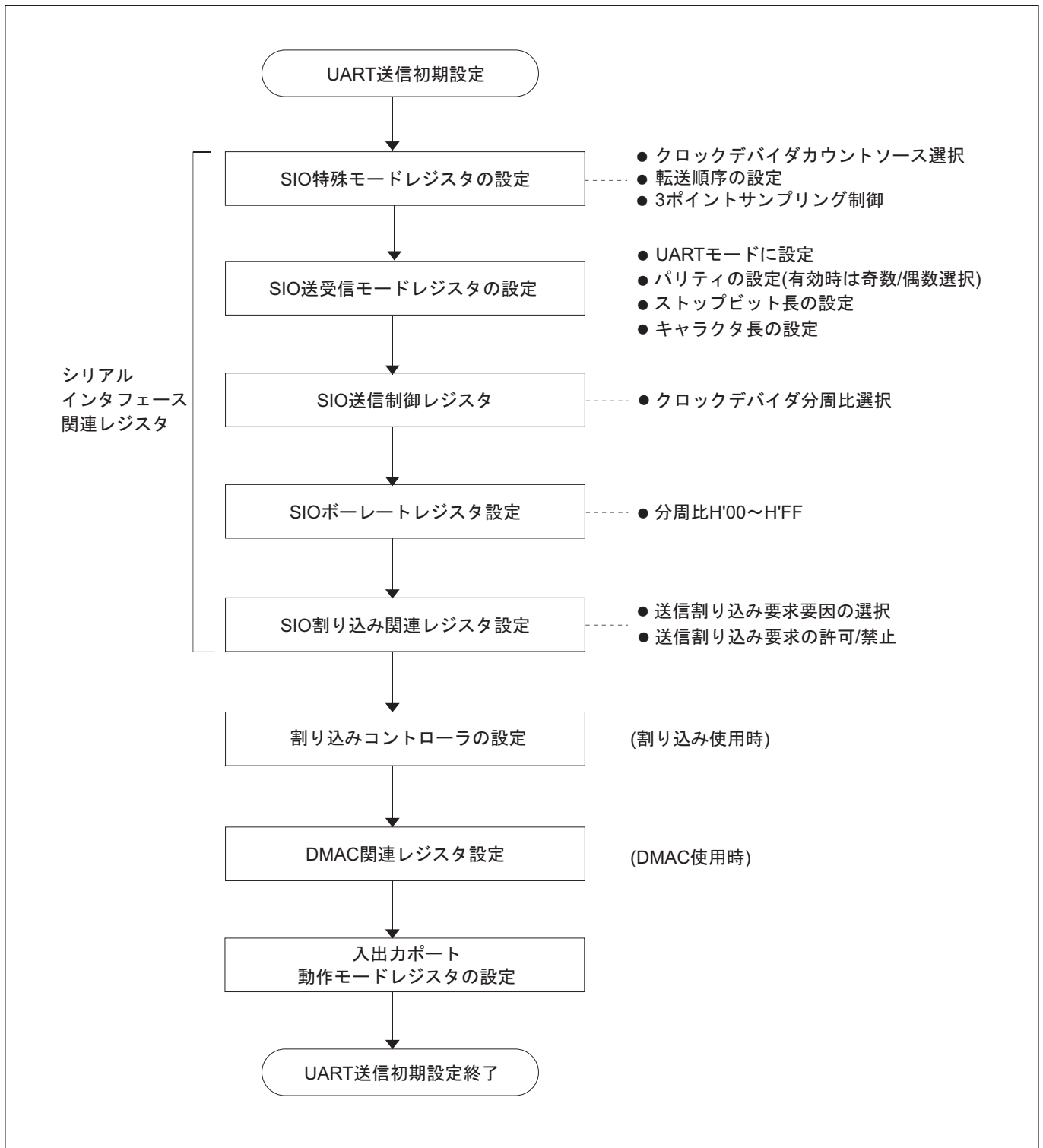


図12.6.3 UART送信初期化手順

12.6.4 UART送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

- SIO送信制御レジスタのTEN(送信許可)ビットに"1"をセット(注1)
- SIO送信バッファレジスタに送信データを書き込み
(送信バッファエンプティビットが"0")

注1．送信許可ビットが"0"にクリアされている状態では、送信バッファへの書き込みは無視されます。
必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

送信が開始されると以下の手順でデータが送信されます。

- SIO送信バッファの内容を、SIO送信シフトレジスタに転送
- 送信バッファエンプティビットに"1"をセット(注2)
- シフトクロックに同期してデータ送信を開始

注2．送信バッファエンプティ、送信完了により送信割り込み要求を発生する事が出来ます。
また、送信バッファエンプティは、DMA転送要求を発生することができます。
送信完了では、DMA転送要求を発生する事は出来ません。

12.6.5 UARTの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIO送信制御レジスタの送信バッファエンプティフラグで確認します。

12.6.6 UART送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1)連続送信しない場合

- 送信ステータスビットに"0"をセット

(2)連続送信の場合

- 連続したデータのうち最終データの送信が完了したとき、送信ステータスビットに"0"をセット

12.6.7 送信割り込み

(1)送信バッファエンプティ割り込み

SIO割り込み要因選択レジスタで送信バッファエンプティ割り込みを選択した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。

(2)送信完了割り込み

SIO割り込み要因選択レジスタで送信完了割り込みを選択した場合、送信シフトレジスタのデータ転送が完了したときに、送信完了割り込みが発生します。

送信割り込みを使用するためには、SIO割り込みマスクレジスタ、割り込みコントローラ(ICU)の設定が必要です。

12.6.8 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止 許可)した場合も出力されます。DMA転送を使用して送信を行うためには、DMACの設定が必要となります。

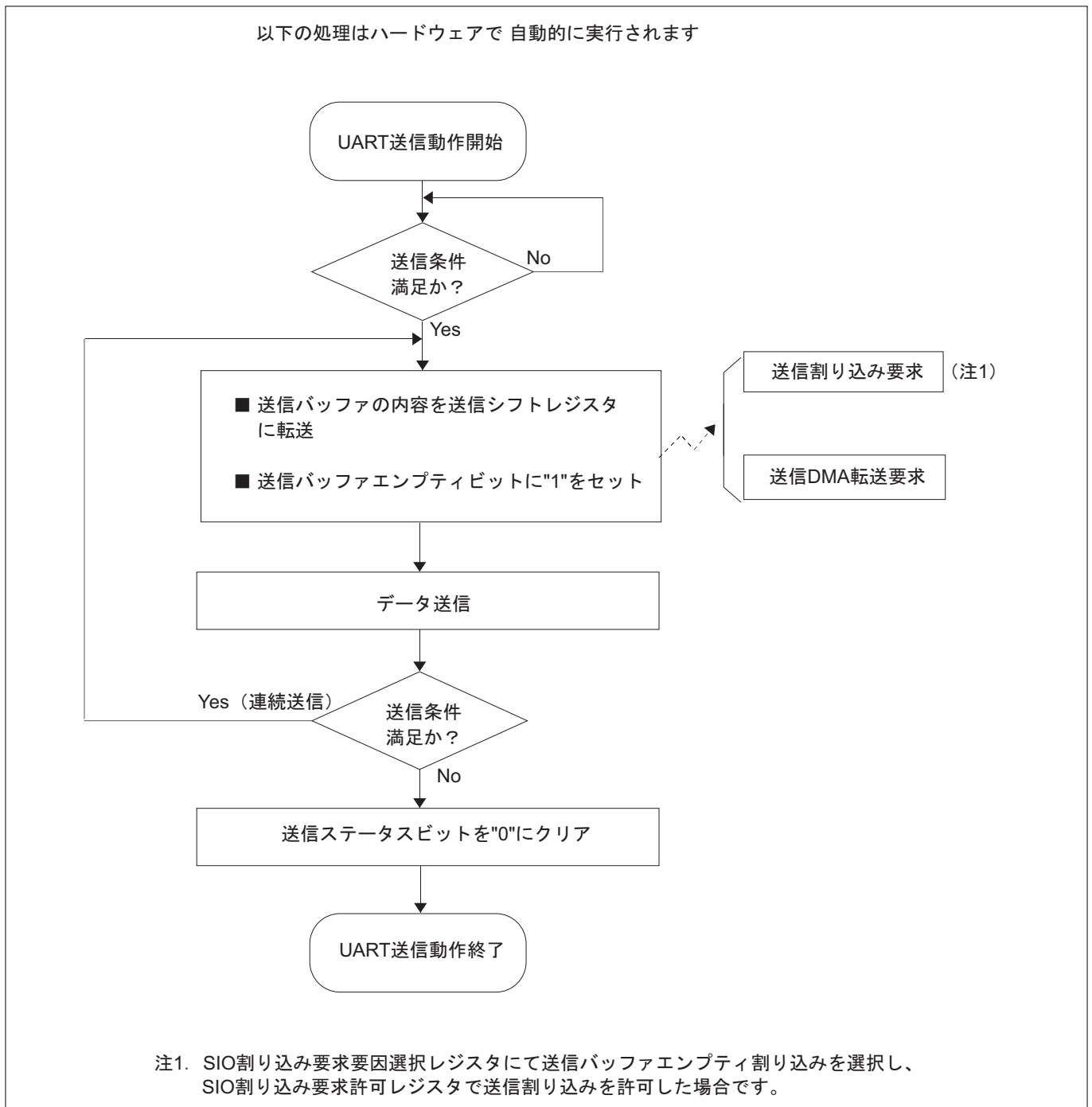


図12.6.4 UARTモード時の送信動作(ハードウェア処理)

12.6.9 UART送信動作例

UARTモードでの送信動作例を以下に示します。

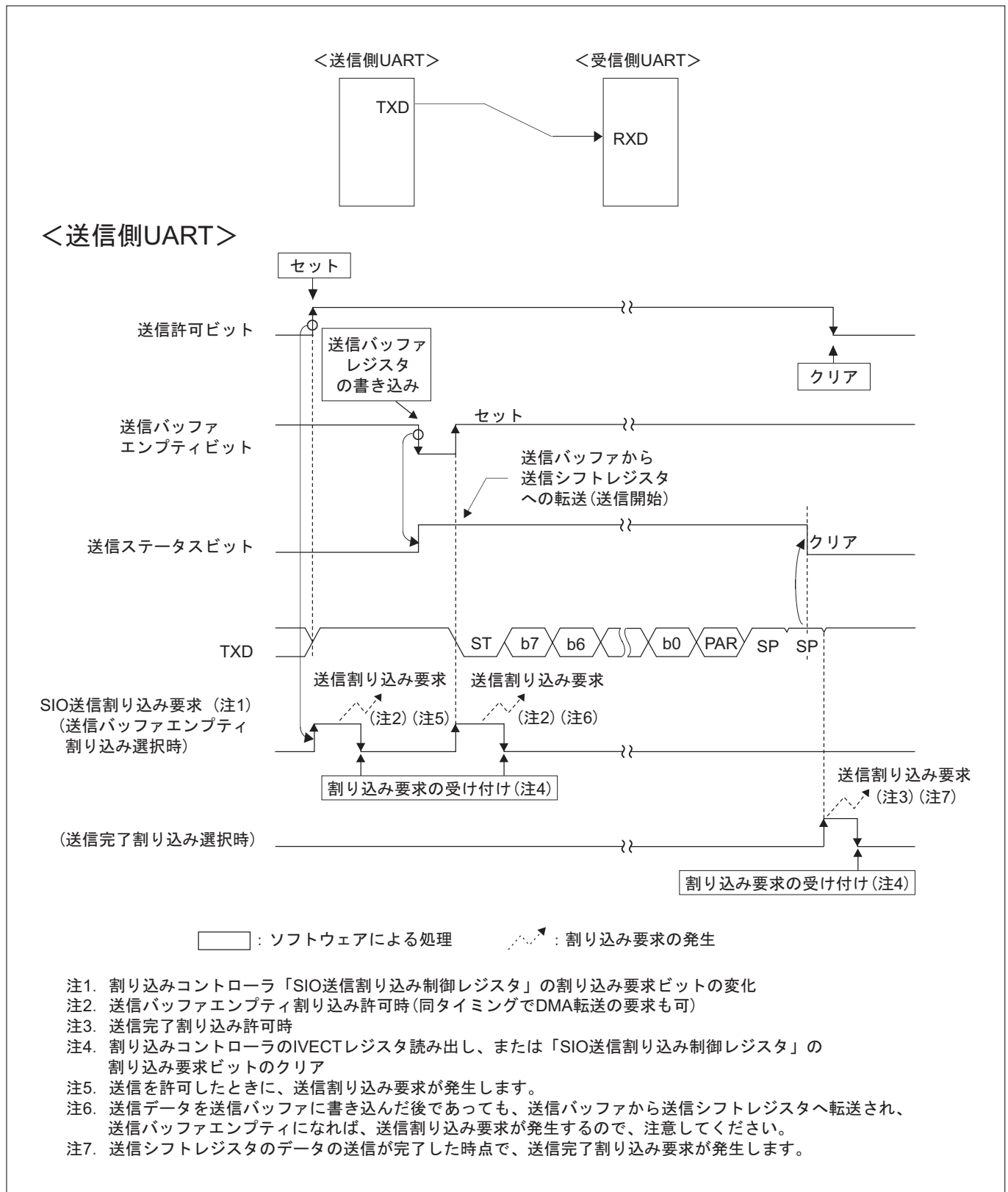


図12.6.5 UART送信例(1回だけの送信)

12.7 UARTモード受信動作説明

12.7.1 UART受信時の初期設定

UARTで受信を行う場合は、以下の手順で初期設定を行います。

(1) SIO特殊モードレジスタ設定

- クロックデバイダカウンタソース選択
- データビットの転送順序設定
- 3ポイントサンプリング制御

(2) SIOモードレジスタの設定

- UARTモードに設定
- パリティの設定(有効時は奇数/偶数選択)
- ストップビット長の設定
- キャラクタ長の設定

注．・UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(3) SIO送信制御レジスタの設定

- クロックデバイダ分周比の設定

(4) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(「12.6.1 UARTボーレートの設定」を参照してください)。

(5) SIO割り込み関連の設定

- 受信割り込み要因(受信完了/受信エラー)の選択(受信割り込み要因選択レジスタ)
- 受信割り込みの許可/禁止(SIO割り込み要求マスクレジスタ)

(6) 割り込みコントローラの設定

受信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

受信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(「第9章 DMAC」を参照してください)。

(8) 端子機能の選択

シリアルインタフェースの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

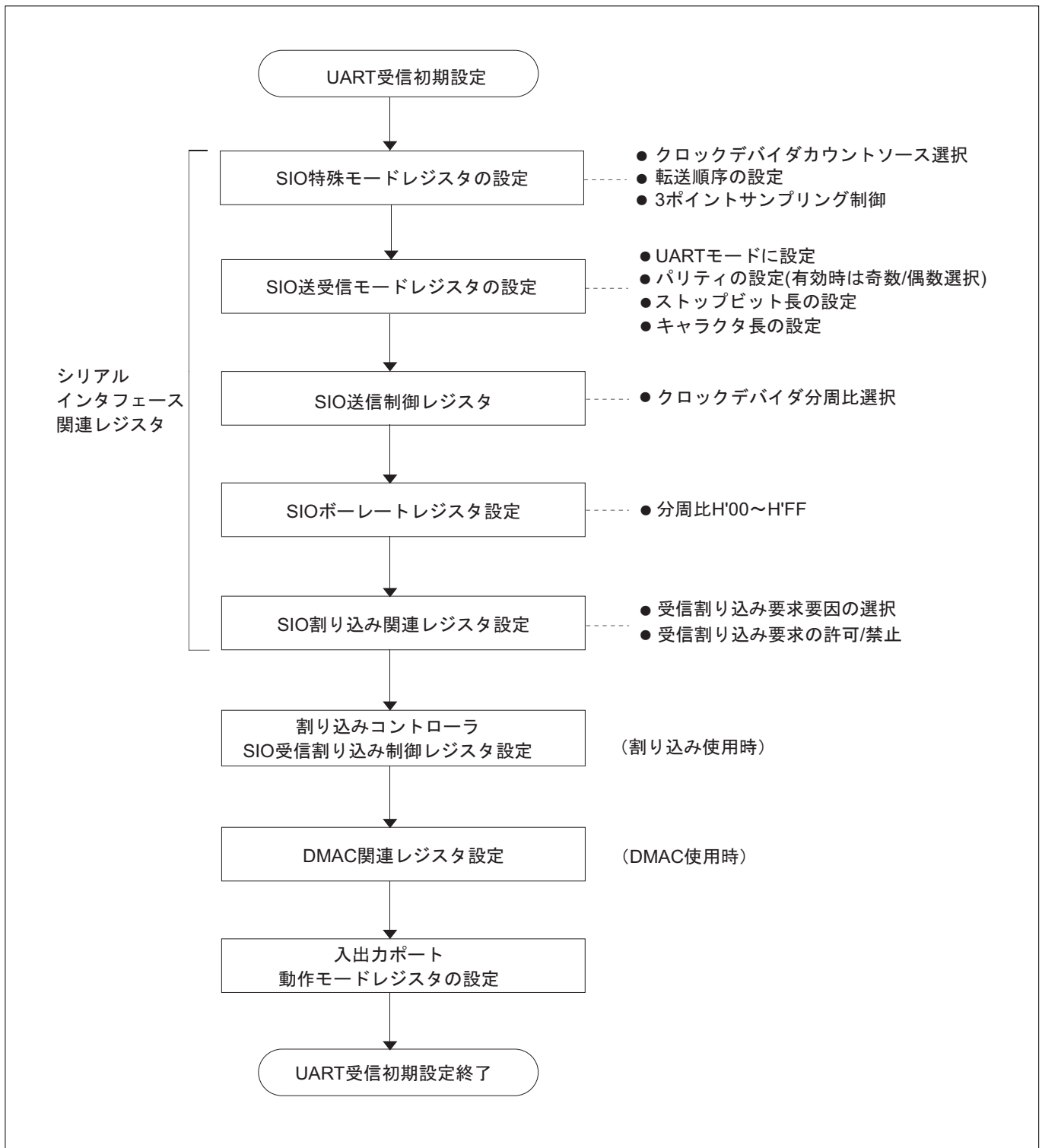


図12.7.1 UART受信初期化手順

12.7.2 UART受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

- SIO受信制御レジスタの受信許可ビットに"1"をセット
- RXD端子へのスタートビット(立ち下がリエッジ信号)入力

上記の条件が満たされるとUART受信動作に入ります。ただし、内部受信シフトクロックの最初の立ち上がりでもう一度スタートビットをチェックし、その時ノイズなどにより"H"が検出された場合は、受信動作を停止し、再度スタートビット待ちとなります。

12.7.3 UART受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

- 注 . . 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。
• DMA転送要求を発生します。

(2) 受信エラーが発生した場合

エラー発生時は該当エラービット(OE, FE, PE)と受信エラーサムビットに"1"をセット

- 注 . . 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が許可された場合、受信完了割り込み要求が発生します。ただし、オーバランエラー発生時は、受信完了割り込みは発生しませんので注意してください。
• 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時、割り込み要求が許可された場合、受信エラー割り込み要求が発生します。
• DMA転送要求は発生しません。

以下の処理はハードウェアで自動的に実行されます

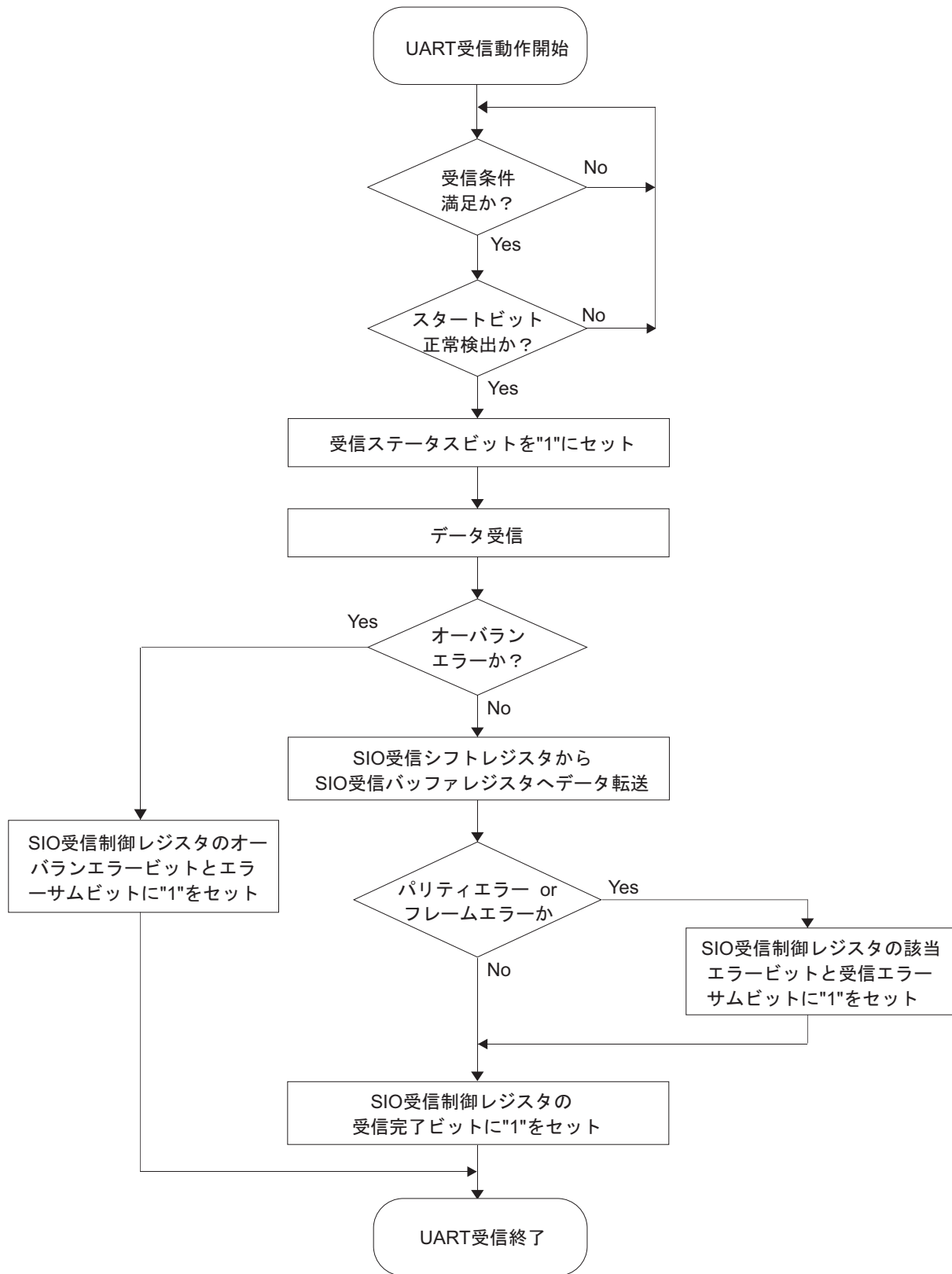


図12.7.2 UARTモード時の受信動作(ハードウェア処理)

12.7.4 UART受信動作例

UARTモードでの受信動作例を以下に示します。

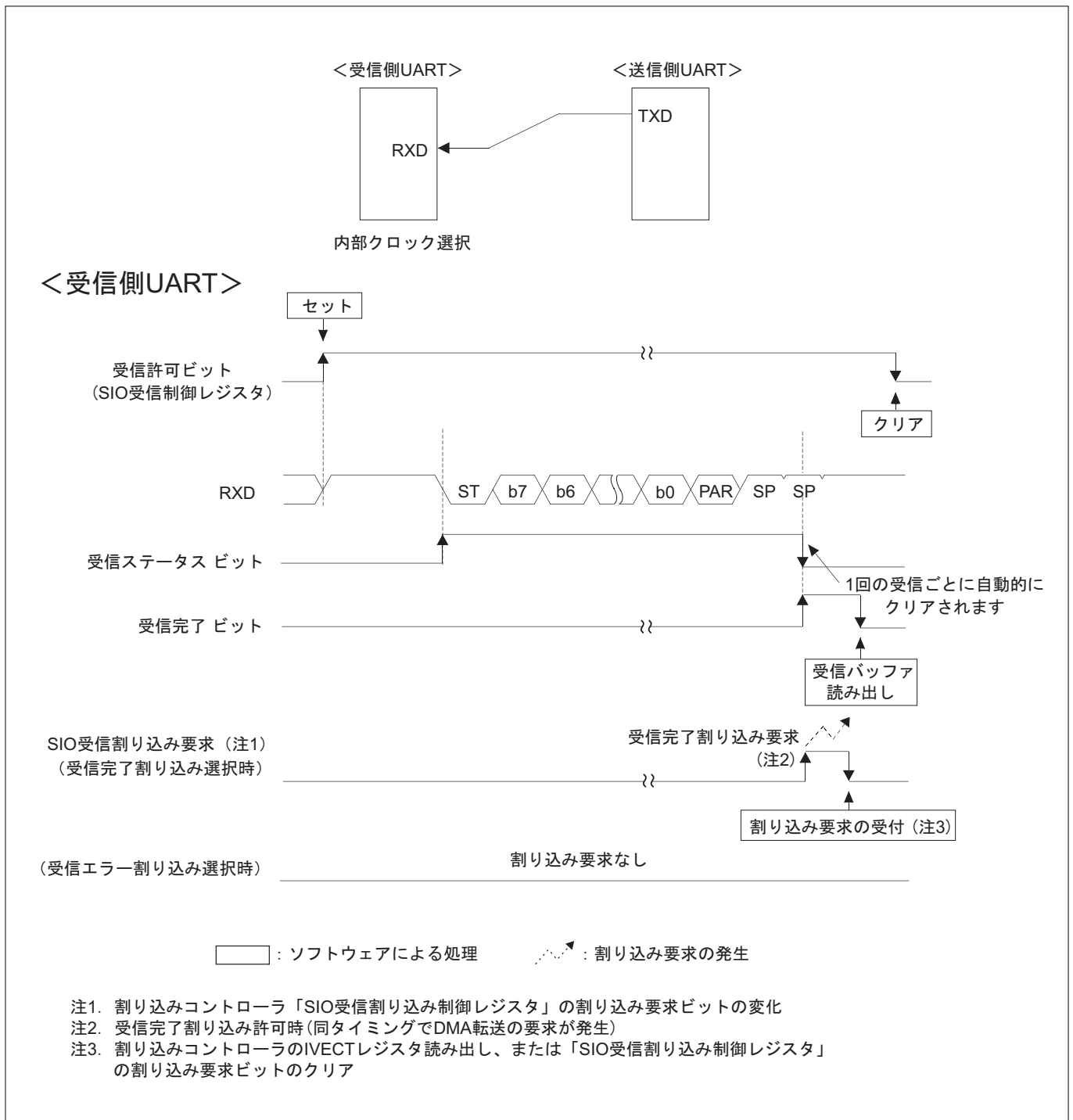


図12.7.3 UART受信例(正常受信時)

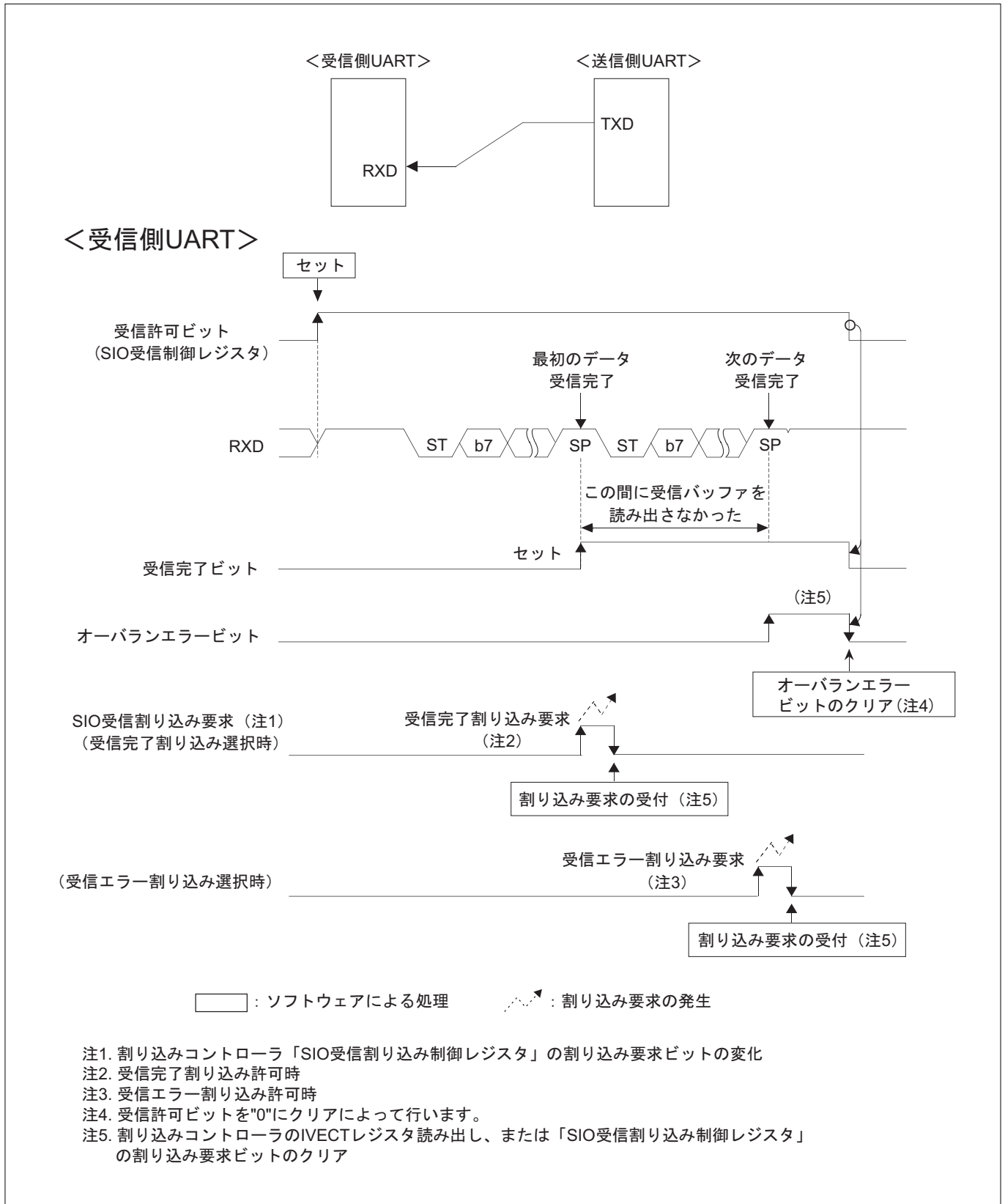


図12.7.4 UART受信例(オーバーランエラー発生時)

12.7.5 UART受信時のスタートビットの検出とデータサンプリングタイミング

スタートビットは、内部BRG出力のタイミングでサンプリングします。スタートビットの立ち下がり検出後、内部BRG出力の8サイクル後のレベルが"L"であれば、スタートビットが確定し、更に8サイクル後からをLSBデータ(1ビット目のデータ)として取り込みます。スタートビット確定時に"H"であれば、再度立ち下がり検出を行います。内部BRGに同期してサンプリングするため、最大BRG出力分のディレイが生じます。以降、ディレイが生じたタイミングで受信します。

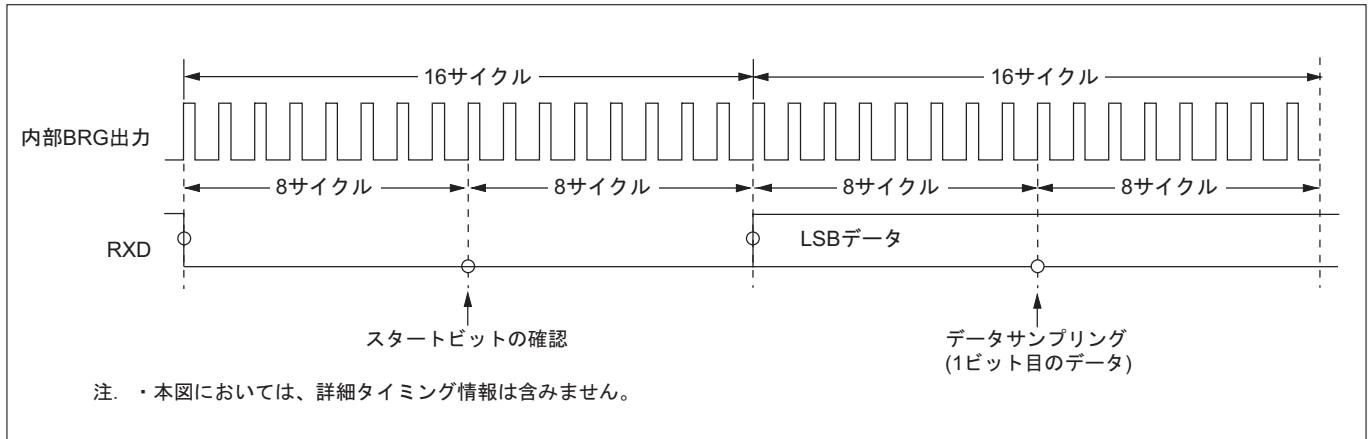


図12.7.5 スタートビットの検出、データサンプリングタイミング

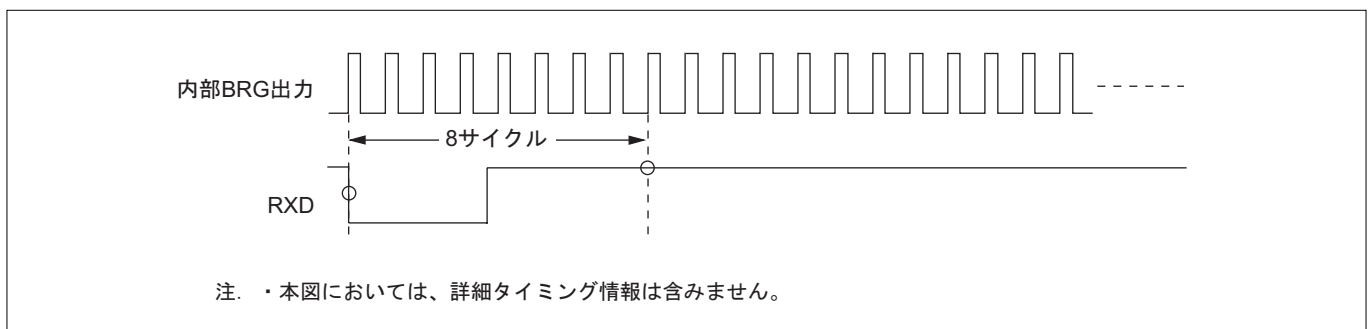


図12.7.6 スタートビット無効例(受信しない)

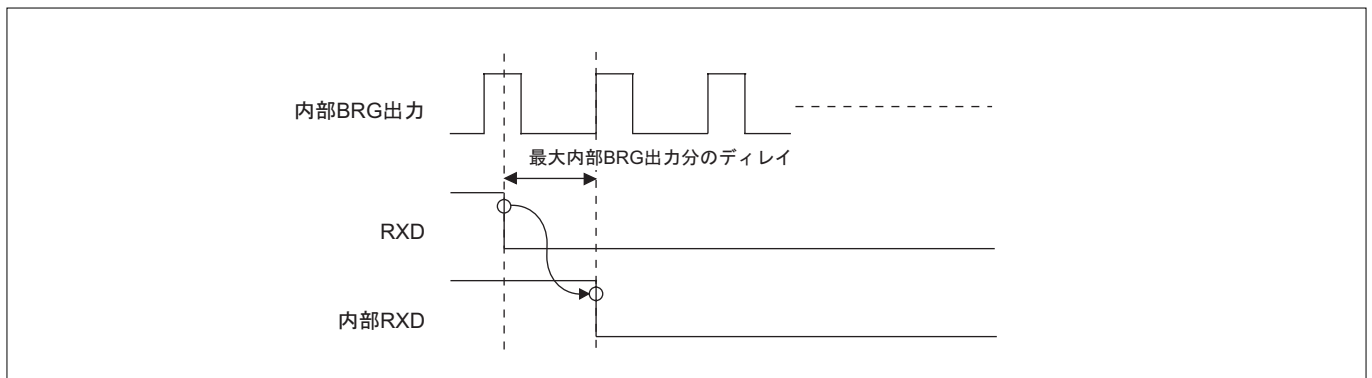


図12.7.7 受信時のディレイ

12.8 定周期クロック出力機能

SIO0、SIO1、SIO4、SIO5をUARTモードで使用する場合、該当ポート(P84, P87, P105, P93)をそれぞれSCLKO0端子、SCLKO1端子、SCLKO4端子、SCLKO5端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

注．．クロック出力はデータ転送時以外も出力されます。

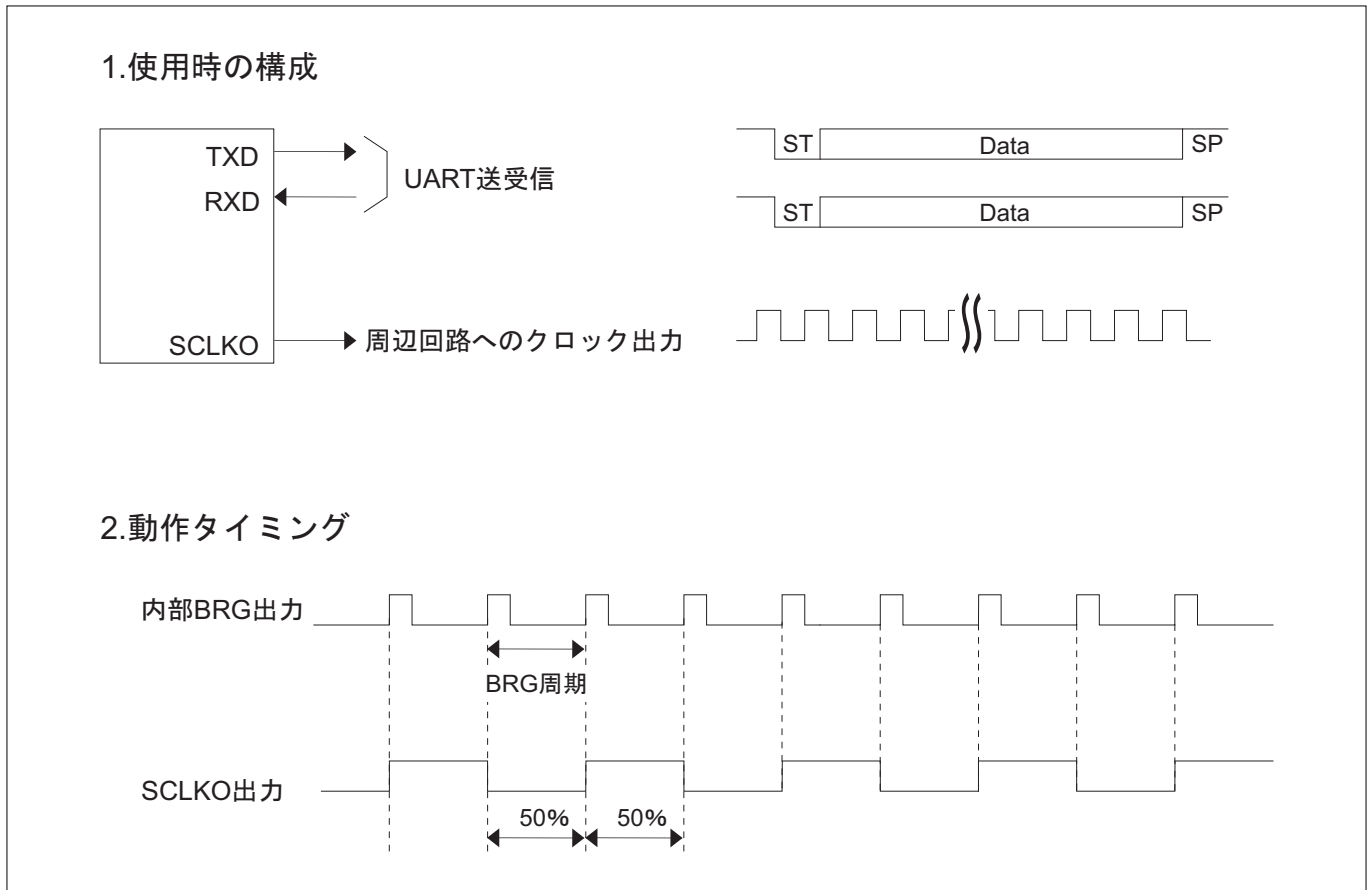


図12.8.1 定周期クロック出力例

12.9 UARTモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIO特殊モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず非動作中に設定してください。送受信中に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG(ボーレート)レジスタの設定

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信および受信禁止の状態では、書き込みと同時に変更可能です。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

- UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

- 汎用ポートからシリアルインタフェース端子への切り換え

ポート動作モードレジスタにより、汎用ポートからシリアルインタフェース端子へ切り換えた際、TXDn端子は"Hレベル"を出力します。

第13章

CANモジュール

- 13.1 CANモジュールの概要
- 13.2 CANモジュール関連レジスタ
- 13.3 CANプロトコル
- 13.4 CANモジュール初期設定
- 13.5 データフレーム送信
- 13.6 データフレーム受信
- 13.7 リモートフレーム送信
- 13.8 リモートフレーム受信
- 13.9 CANモジュールの注意事項

表13.1.3 CANモジュールの割り込み要求発生機能

CANモジュール割り込み要求元	ICU割り込み要求要因
CAN0送信完了	CAN0送受信 & エラー割り込み、CAN0送受信完了割り込み
CAN1送信完了	CAN1送受信 & エラー割り込み、CAN1送受信完了割り込み
CAN0受信完了	CAN0送受信 & エラー割り込み、CAN0送受信完了割り込み
CAN1受信完了	CAN1送受信 & エラー割り込み、CAN1送受信完了割り込み
CAN0バスエラー	CAN0送受信 & エラー割り込み、CAN0エラー割り込み
CAN1バスエラー	CAN1送受信 & エラー割り込み、CAN1エラー割り込み
CAN0エラーパッシブ	CAN0送受信 & エラー割り込み、CAN0エラー割り込み
CAN1エラーパッシブ	CAN1送受信 & エラー割り込み、CAN1エラー割り込み
CAN0バスオフ	CAN0送受信 & エラー割り込み、CAN0エラー割り込み
CAN1バスオフ	CAN1送受信 & エラー割り込み、CAN1エラー割り込み
CAN0シングルショット	CAN0送受信 & エラー割り込み、CAN0シングルショット割り込み
CAN1シングルショット	CAN1送受信 & エラー割り込み、CAN1シングルショット割り込み

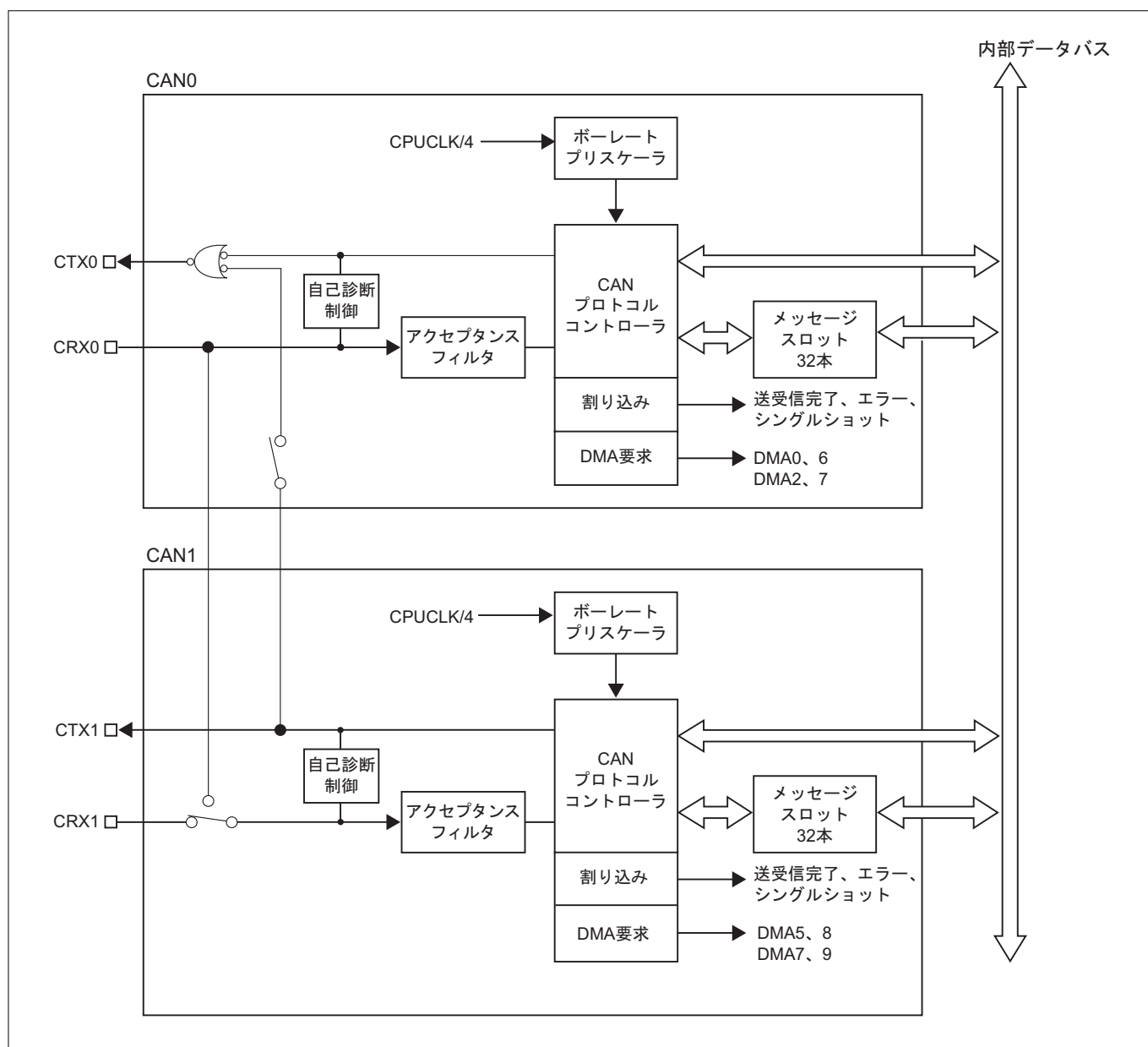


図13.1.1 CANモジュールブロック図

13.2 CANモジュール関連レジスタ

CANモジュール関連のレジスタマップを以下に示します。

CANモジュール関連レジスタマップ(1/19)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 052A {	CANバスモード制御レジスタ (CANBUSCR)		13-23
H'0080 1000	CAN0コントロールレジスタ (CAN0CNT)		13-26
H'0080 1002	CAN0ステータスレジスタ (CAN0STAT)		13-29
H'0080 1004	(使用禁止領域)		
H'0080 1006	CAN0コンフィグレーションレジスタ (CAN0CONF)		13-32
H'0080 1008	CAN0タイムスタンプカウントレジスタ (CAN0TSTMP)		13-35
H'0080 100A	CAN0受信エラーカウントレジスタ (CAN0REC)	CAN0送信エラーカウントレジスタ (CAN0TEC)	13-36
H'0080 100C	CAN0スロット割り込み要求ステータスレジスタ (上位) (CAN0SLISTW)		13-40
H'0080 100E	(下位) (CAN0SLISTL)		
H'0080 1010	CAN0スロット割り込み要求マスクレジスタ (上位) (CAN0SLIMKW)		13-42
H'0080 1012	(下位) (CAN0SLIMKL)		
H'0080 1014	CAN0エラー割り込み要求ステータスレジスタ (CAN0ERIST)	CAN0エラー割り込み要求マスクレジスタ (CAN0ERIMK)	13-43 13-44
H'0080 1016	CAN0ポーレートプリスケアラ (CAN0BRP)	CAN0エラー要因レジスタ (CAN0EF)	13-37 13-67
H'0080 1018	CAN0モードレジスタ (CAN0MOD)	CAN0DMA転送要求選択レジスタ (CAN0DMARQ)	13-69 13-70
H'0080 101A	CAN0メッセージスロットナンパレレジスタ (CAN0MSN)	CAN0クロック選択レジスタ (CAN0CKSEL)	13-71 13-72
H'0080 101C	CAN0フレームフォーマット選択レジスタ (上位) (CAN0FFSW)		13-74
H'0080 101E	(下位) (CAN0FFSL)		
H'0080 1020	CAN0グローバルマスクレジスタA標準ID0 (C0GMSKAS0)	CAN0グローバルマスクレジスタA標準ID1 (C0GMSKAS1)	13-76
H'0080 1022	CAN0グローバルマスクレジスタA拡張ID0 (C0GMSKAE0)	CAN0グローバルマスクレジスタA拡張ID1 (C0GMSKAE1)	13-77
H'0080 1024	CAN0グローバルマスクレジスタA拡張ID2 (C0GMSKAE2)	(使用禁止領域)	13-78
H'0080 1026	(使用禁止領域)		
H'0080 1028	CAN0グローバルマスクレジスタB標準ID0 (C0GMSKBS0)	CAN0グローバルマスクレジスタB標準ID1 (C0GMSKBS1)	13-76
H'0080 102A	CAN0グローバルマスクレジスタB拡張ID0 (C0GMSKBE0)	CAN0グローバルマスクレジスタB拡張ID1 (C0GMSKBE1)	13-77
H'0080 102C	CAN0グローバルマスクレジスタB拡張ID2 (C0GMSKBE2)	(使用禁止領域)	13-78
H'0080 102E	(使用禁止領域)		
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)	CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)	13-76
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)	CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)	13-77
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)	(使用禁止領域)	13-78
H'0080 1036	(使用禁止領域)		
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)	CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)	13-76
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)	CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)	13-77

CANモジュール関連レジスタマップ(2/19)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8 b15	
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)	(使用禁止領域)	13-78
H'0080 103E	(使用禁止領域)		
H'0080 1040	CAN0シングルショットモード制御レジスタ (CAN0SSMODEW)	(上位) (CAN0SSMODE)	13-80
H'0080 1042	(下位) (CAN0SSMODEL)		
H'0080 1044	CAN0シングルショット割り込み要求ステータスレジスタ (上位) (CAN0SSISTW)	(CAN0SSIST)	13-45
H'0080 1046	(下位) (CAN0SSISTL)		
H'0080 1048	CAN0シングルショット割り込み要求マスクレジスタ (上位) (CAN0SSIMKW)	(CAN0SSIMK)	13-47
H'0080 104A	(下位) (CAN0SSIMKL)		
H'0080 104C	(使用禁止領域)		
H'0080 104E	(使用禁止領域)		
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ (C0MSL0CNT)	CAN0メッセージスロット1コントロールレジスタ (C0MSL1CNT)	13-82
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ (C0MSL2CNT)	CAN0メッセージスロット3コントロールレジスタ (C0MSL3CNT)	13-82
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ (C0MSL4CNT)	CAN0メッセージスロット5コントロールレジスタ (C0MSL5CNT)	13-82
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ (C0MSL6CNT)	CAN0メッセージスロット7コントロールレジスタ (C0MSL7CNT)	13-82
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ (C0MSL8CNT)	CAN0メッセージスロット9コントロールレジスタ (C0MSL9CNT)	13-82
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ (C0MSL10CNT)	CAN0メッセージスロット11コントロールレジスタ (C0MSL11CNT)	13-82
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ (C0MSL12CNT)	CAN0メッセージスロット13コントロールレジスタ (C0MSL13CNT)	13-82
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ (C0MSL14CNT)	CAN0メッセージスロット15コントロールレジスタ (C0MSL15CNT)	13-82
H'0080 1060	CAN0メッセージスロット16コントロールレジスタ (C0MSL16CNT)	CAN0メッセージスロット17コントロールレジスタ (C0MSL17CNT)	13-82
H'0080 1062	CAN0メッセージスロット18コントロールレジスタ (C0MSL18CNT)	CAN0メッセージスロット19コントロールレジスタ (C0MSL19CNT)	13-82
H'0080 1064	CAN0メッセージスロット20コントロールレジスタ (C0MSL20CNT)	CAN0メッセージスロット21コントロールレジスタ (C0MSL21CNT)	13-82
H'0080 1066	CAN0メッセージスロット22コントロールレジスタ (C0MSL22CNT)	CAN0メッセージスロット23コントロールレジスタ (C0MSL23CNT)	13-82
H'0080 1068	CAN0メッセージスロット24コントロールレジスタ (C0MSL24CNT)	CAN0メッセージスロット25コントロールレジスタ (C0MSL25CNT)	13-82
H'0080 106A	CAN0メッセージスロット26コントロールレジスタ (C0MSL26CNT)	CAN0メッセージスロット27コントロールレジスタ (C0MSL27CNT)	13-82
H'0080 106C	CAN0メッセージスロット28コントロールレジスタ (C0MSL28CNT)	CAN0メッセージスロット29コントロールレジスタ (C0MSL29CNT)	13-82
H'0080 106E	CAN0メッセージスロット30コントロールレジスタ (C0MSL30CNT)	CAN0メッセージスロット31コントロールレジスタ (C0MSL31CNT)	13-82
	(使用禁止領域)		
H'0080 1100	CAN0メッセージスロット0標準ID0 (C0MSL0SID0)	CAN0メッセージスロット0標準ID1 (C0MSL0SID1)	13-86 13-88
H'0080 1102	CAN0メッセージスロット0拡張ID0 (C0MSL0EID0)	CAN0メッセージスロット0拡張ID1 (C0MSL0EID1)	13-90 13-92
H'0080 1104	CAN0メッセージスロット0拡張ID2 (C0MSL0EID2)	CAN0メッセージスロット0データ長レジスタ (C0MSL0DLC)	13-94 13-96
H'0080 1106	CAN0メッセージスロット0データ0 (C0MSL0DT0)	CAN0メッセージスロット0データ1 (C0MSL0DT1)	13-98 13-100
H'0080 1108	CAN0メッセージスロット0データ2 (C0MSL0DT2)	CAN0メッセージスロット0データ3 (C0MSL0DT3)	13-102 13-104
H'0080 110A	CAN0メッセージスロット0データ4 (C0MSL0DT4)	CAN0メッセージスロット0データ5 (C0MSL0DT5)	13-106 13-108
H'0080 110C	CAN0メッセージスロット0データ6 (C0MSL0DT6)	CAN0メッセージスロット0データ7 (C0MSL0DT7)	13-110 13-112
H'0080 110E	CAN0メッセージスロット0タイムスタンプ (C0MSL0TSP)		13-114

CANモジュール関連レジスタマップ (3/19)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1110	CAN0メッセージスロット1標準ID0 (C0MSL1SID0)	CAN0メッセージスロット1標準ID1 (C0MSL1SID1)	13-86 13-88
H'0080 1112	CAN0メッセージスロット1拡張ID0 (C0MSL1EID0)	CAN0メッセージスロット1拡張ID1 (C0MSL1EID1)	13-90 13-92
H'0080 1114	CAN0メッセージスロット1拡張ID2 (C0MSL1EID2)	CAN0メッセージスロット1データ長レジスタ (C0MSL1DLC)	13-94 13-96
H'0080 1116	CAN0メッセージスロット1データ0 (C0MSL1DT0)	CAN0メッセージスロット1データ1 (C0MSL1DT1)	13-98 13-100
H'0080 1118	CAN0メッセージスロット1データ2 (C0MSL1DT2)	CAN0メッセージスロット1データ3 (C0MSL1DT3)	13-102 13-104
H'0080 111A	CAN0メッセージスロット1データ4 (C0MSL1DT4)	CAN0メッセージスロット1データ5 (C0MSL1DT5)	13-106 13-108
H'0080 111C	CAN0メッセージスロット1データ6 (C0MSL1DT6)	CAN0メッセージスロット1データ7 (C0MSL1DT7)	13-110 13-112
H'0080 111E	CAN0メッセージスロット1タイムスタンプ (C0MSL1TSP)		13-114
H'0080 1120	CAN0メッセージスロット2標準ID0 (C0MSL2SID0)	CAN0メッセージスロット2標準ID1 (C0MSL2SID1)	13-86 13-88
H'0080 1122	CAN0メッセージスロット2拡張ID0 (C0MSL2EID0)	CAN0メッセージスロット2拡張ID1 (C0MSL2EID1)	13-90 13-92
H'0080 1124	CAN0メッセージスロット2拡張ID2 (C0MSL2EID2)	CAN0メッセージスロット2データ長レジスタ (C0MSL2DLC)	13-94 13-96
H'0080 1126	CAN0メッセージスロット2データ0 (C0MSL2DT0)	CAN0メッセージスロット2データ1 (C0MSL2DT1)	13-98 13-100
H'0080 1128	CAN0メッセージスロット2データ2 (C0MSL2DT2)	CAN0メッセージスロット2データ3 (C0MSL2DT3)	13-102 13-104
H'0080 112A	CAN0メッセージスロット2データ4 (C0MSL2DT4)	CAN0メッセージスロット2データ5 (C0MSL2DT5)	13-106 13-108
H'0080 112C	CAN0メッセージスロット2データ6 (C0MSL2DT6)	CAN0メッセージスロット2データ7 (C0MSL2DT7)	13-110 13-112
H'0080 112E	CAN0メッセージスロット2タイムスタンプ (C0MSL2TSP)		13-114
H'0080 1130	CAN0メッセージスロット3標準ID0 (C0MSL3SID0)	CAN0メッセージスロット3標準ID1 (C0MSL3SID1)	13-86 13-88
H'0080 1132	CAN0メッセージスロット3拡張ID0 (C0MSL3EID0)	CAN0メッセージスロット3拡張ID1 (C0MSL3EID1)	13-90 13-92
H'0080 1134	CAN0メッセージスロット3拡張ID2 (C0MSL3EID2)	CAN0メッセージスロット3データ長レジスタ (C0MSL3DLC)	13-94 13-96
H'0080 1136	CAN0メッセージスロット3データ0 (C0MSL3DT0)	CAN0メッセージスロット3データ1 (C0MSL3DT1)	13-98 13-100
H'0080 1138	CAN0メッセージスロット3データ2 (C0MSL3DT2)	CAN0メッセージスロット3データ3 (C0MSL3DT3)	13-102 13-104
H'0080 113A	CAN0メッセージスロット3データ4 (C0MSL3DT4)	CAN0メッセージスロット3データ5 (C0MSL3DT5)	13-106 13-108
H'0080 113C	CAN0メッセージスロット3データ6 (C0MSL3DT6)	CAN0メッセージスロット3データ7 (C0MSL3DT7)	13-110 13-112
H'0080 113E	CAN0メッセージスロット3タイムスタンプ (C0MSL3TSP)		13-114
H'0080 1140	CAN0メッセージスロット4標準ID0 (C0MSL4SID0)	CAN0メッセージスロット4標準ID1 (C0MSL4SID1)	13-86 13-88
H'0080 1142	CAN0メッセージスロット4拡張ID0 (C0MSL4EID0)	CAN0メッセージスロット4拡張ID1 (C0MSL4EID1)	13-90 13-92
H'0080 1144	CAN0メッセージスロット4拡張ID2 (C0MSL4EID2)	CAN0メッセージスロット4データ長レジスタ (C0MSL4DLC)	13-94 13-96
H'0080 1146	CAN0メッセージスロット4データ0 (C0MSL4DT0)	CAN0メッセージスロット4データ1 (C0MSL4DT1)	13-98 13-100
H'0080 1148	CAN0メッセージスロット4データ2 (C0MSL4DT2)	CAN0メッセージスロット4データ3 (C0MSL4DT3)	13-102 13-104
H'0080 114A	CAN0メッセージスロット4データ4 (C0MSL4DT4)	CAN0メッセージスロット4データ5 (C0MSL4DT5)	13-106 13-108
H'0080 114C	CAN0メッセージスロット4データ6 (C0MSL4DT6)	CAN0メッセージスロット4データ7 (C0MSL4DT7)	13-110 13-112
H'0080 114E	CAN0メッセージスロット4タイムスタンプ (C0MSL4TSP)		13-114
H'0080 1150	CAN0メッセージスロット5標準ID0 (C0MSL5SID0)	CAN0メッセージスロット5標準ID1 (C0MSL5SID1)	13-86 13-88
H'0080 1152	CAN0メッセージスロット5拡張ID0 (C0MSL5EID0)	CAN0メッセージスロット5拡張ID1 (C0MSL5EID1)	13-90 13-92

CANモジュール関連レジスタマップ(4/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1154	CAN0メッセージスロット5拡張ID2 (C0MSL5EID2)	CAN0メッセージスロット5データ長レジスタ (C0MSL5DLC)	13-94 13-96
H'0080 1156	CAN0メッセージスロット5データ0 (C0MSL5DT0)	CAN0メッセージスロット5データ1 (C0MSL5DT1)	13-98 13-100
H'0080 1158	CAN0メッセージスロット5データ2 (C0MSL5DT2)	CAN0メッセージスロット5データ3 (C0MSL5DT3)	13-102 13-104
H'0080 115A	CAN0メッセージスロット5データ4 (C0MSL5DT4)	CAN0メッセージスロット5データ5 (C0MSL5DT5)	13-106 13-108
H'0080 115C	CAN0メッセージスロット5データ6 (C0MSL5DT6)	CAN0メッセージスロット5データ7 (C0MSL5DT7)	13-110 13-112
H'0080 115E	CAN0メッセージスロット5タイムスタンプ (C0MSL5TSP)		13-114
H'0080 1160	CAN0メッセージスロット6標準ID0 (C0MSL6SID0)	CAN0メッセージスロット6標準ID1 (C0MSL6SID1)	13-86 13-88
H'0080 1162	CAN0メッセージスロット6拡張ID0 (C0MSL6EID0)	CAN0メッセージスロット6拡張ID1 (C0MSL6EID1)	13-90 13-92
H'0080 1164	CAN0メッセージスロット6拡張ID2 (C0MSL6EID2)	CAN0メッセージスロット6データ長レジスタ (C0MSL6DLC)	13-94 13-96
H'0080 1166	CAN0メッセージスロット6データ0 (C0MSL6DT0)	CAN0メッセージスロット6データ1 (C0MSL6DT1)	13-98 13-100
H'0080 1168	CAN0メッセージスロット6データ2 (C0MSL6DT2)	CAN0メッセージスロット6データ3 (C0MSL6DT3)	13-102 13-104
H'0080 116A	CAN0メッセージスロット6データ4 (C0MSL6DT4)	CAN0メッセージスロット6データ5 (C0MSL6DT5)	13-106 13-108
H'0080 116C	CAN0メッセージスロット6データ6 (C0MSL6DT6)	CAN0メッセージスロット6データ7 (C0MSL6DT7)	13-110 13-112
H'0080 116E	CAN0メッセージスロット6タイムスタンプ (C0MSL6TSP)		13-114
H'0080 1170	CAN0メッセージスロット7標準ID0 (C0MSL7SID0)	CAN0メッセージスロット7標準ID1 (C0MSL7SID1)	13-86 13-88
H'0080 1172	CAN0メッセージスロット7拡張ID0 (C0MSL7EID0)	CAN0メッセージスロット7拡張ID1 (C0MSL7EID1)	13-90 13-92
H'0080 1174	CAN0メッセージスロット7拡張ID2 (C0MSL7EID2)	CAN0メッセージスロット7データ長レジスタ (C0MSL7DLC)	13-94 13-96
H'0080 1176	CAN0メッセージスロット7データ0 (C0MSL7DT0)	CAN0メッセージスロット7データ1 (C0MSL7DT1)	13-98 13-100
H'0080 1178	CAN0メッセージスロット7データ2 (C0MSL7DT2)	CAN0メッセージスロット7データ3 (C0MSL7DT3)	13-102 13-104
H'0080 117A	CAN0メッセージスロット7データ4 (C0MSL7DT4)	CAN0メッセージスロット7データ5 (C0MSL7DT5)	13-106 13-108
H'0080 117C	CAN0メッセージスロット7データ6 (C0MSL7DT6)	CAN0メッセージスロット7データ7 (C0MSL7DT7)	13-110 13-112
H'0080 117E	CAN0メッセージスロット7タイムスタンプ (C0MSL7TSP)		13-114
H'0080 1180	CAN0メッセージスロット8標準ID0 (C0MSL8SID0)	CAN0メッセージスロット8標準ID1 (C0MSL8SID1)	13-86 13-88
H'0080 1182	CAN0メッセージスロット8拡張ID0 (C0MSL8EID0)	CAN0メッセージスロット8拡張ID1 (C0MSL8EID1)	13-90 13-92
H'0080 1184	CAN0メッセージスロット8拡張ID2 (C0MSL8EID2)	CAN0メッセージスロット8データ長レジスタ (C0MSL8DLC)	13-94 13-96
H'0080 1186	CAN0メッセージスロット8データ0 (C0MSL8DT0)	CAN0メッセージスロット8データ1 (C0MSL8DT1)	13-98 13-100
H'0080 1188	CAN0メッセージスロット8データ2 (C0MSL8DT2)	CAN0メッセージスロット8データ3 (C0MSL8DT3)	13-102 13-104
H'0080 118A	CAN0メッセージスロット8データ4 (C0MSL8DT4)	CAN0メッセージスロット8データ5 (C0MSL8DT5)	13-106 13-108
H'0080 118C	CAN0メッセージスロット8データ6 (C0MSL8DT6)	CAN0メッセージスロット8データ7 (C0MSL8DT7)	13-110 13-112
H'0080 118E	CAN0メッセージスロット8タイムスタンプ (C0MSL8TSP)		13-114
H'0080 1190	CAN0メッセージスロット9標準ID0 (C0MSL9SID0)	CAN0メッセージスロット9標準ID1 (C0MSL9SID1)	13-86 13-88
H'0080 1192	CAN0メッセージスロット9拡張ID0 (C0MSL9EID0)	CAN0メッセージスロット9拡張ID1 (C0MSL9EID1)	13-90 13-92
H'0080 1194	CAN0メッセージスロット9拡張ID2 (C0MSL9EID2)	CAN0メッセージスロット9データ長レジスタ (C0MSL9DLC)	13-94 13-96
H'0080 1196	CAN0メッセージスロット9データ0 (C0MSL9DT0)	CAN0メッセージスロット9データ1 (C0MSL9DT1)	13-98 13-100
H'0080 1198	CAN0メッセージスロット9データ2 (C0MSL9DT2)	CAN0メッセージスロット9データ3 (C0MSL9DT3)	13-102 13-104

CANモジュール関連レジスタマップ(5/19)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 119A	CAN0メッセージスロット9データ4 (C0MSL9DT4)	CAN0メッセージスロット9データ5 (C0MSL9DT5)	13-106 13-108
H'0080 119C	CAN0メッセージスロット9データ6 (C0MSL9DT6)	CAN0メッセージスロット9データ7 (C0MSL9DT7)	13-110 13-112
H'0080 119E	CAN0メッセージスロット9タイムスタンプ (C0MSL9TSP)		13-114
H'0080 11A0	CAN0メッセージスロット10標準ID0 (C0MSL10SID0)	CAN0メッセージスロット10標準ID1 (C0MSL10SID1)	13-86 13-88
H'0080 11A2	CAN0メッセージスロット10拡張ID0 (C0MSL10EID0)	CAN0メッセージスロット10拡張ID1 (C0MSL10EID1)	13-90 13-92
H'0080 11A4	CAN0メッセージスロット10拡張ID2 (C0MSL10EID2)	CAN0メッセージスロット10データ長レジスタ (C0MSL10DLC)	13-94 13-96
H'0080 11A6	CAN0メッセージスロット10データ0 (C0MSL10DT0)	CAN0メッセージスロット10データ1 (C0MSL10DT1)	13-98 13-100
H'0080 11A8	CAN0メッセージスロット10データ2 (C0MSL10DT2)	CAN0メッセージスロット10データ3 (C0MSL10DT3)	13-102 13-104
H'0080 11AA	CAN0メッセージスロット10データ4 (C0MSL10DT4)	CAN0メッセージスロット10データ5 (C0MSL10DT5)	13-106 13-108
H'0080 11AC	CAN0メッセージスロット10データ6 (C0MSL10DT6)	CAN0メッセージスロット10データ7 (C0MSL10DT7)	13-110 13-112
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ (C0MSL10TSP)		13-114
H'0080 11B0	CAN0メッセージスロット11標準ID0 (C0MSL11SID0)	CAN0メッセージスロット11標準ID1 (C0MSL11SID1)	13-86 13-88
H'0080 11B2	CAN0メッセージスロット11拡張ID0 (C0MSL11EID0)	CAN0メッセージスロット11拡張ID1 (C0MSL11EID1)	13-90 13-92
H'0080 11B4	CAN0メッセージスロット11拡張ID2 (C0MSL11EID2)	CAN0メッセージスロット11データ長レジスタ (C0MSL11DLC)	13-94 13-96
H'0080 11B6	CAN0メッセージスロット11データ0 (C0MSL11DT0)	CAN0メッセージスロット11データ1 (C0MSL11DT1)	13-98 13-100
H'0080 11B8	CAN0メッセージスロット11データ2 (C0MSL11DT2)	CAN0メッセージスロット11データ3 (C0MSL11DT3)	13-102 13-104
H'0080 11BA	CAN0メッセージスロット11データ4 (C0MSL11DT4)	CAN0メッセージスロット11データ5 (C0MSL11DT5)	13-106 13-108
H'0080 11BC	CAN0メッセージスロット11データ6 (C0MSL11DT6)	CAN0メッセージスロット11データ7 (C0MSL11DT7)	13-110 13-112
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ (C0MSL11TSP)		13-114
H'0080 11C0	CAN0メッセージスロット12標準ID0 (C0MSL12SID0)	CAN0メッセージスロット12標準ID1 (C0MSL12SID1)	13-86 13-88
H'0080 11C2	CAN0メッセージスロット12拡張ID0 (C0MSL12EID0)	CAN0メッセージスロット12拡張ID1 (C0MSL12EID1)	13-90 13-92
H'0080 11C4	CAN0メッセージスロット12拡張ID2 (C0MSL12EID2)	CAN0メッセージスロット12データ長レジスタ (C0MSL12DLC)	13-94 13-96
H'0080 11C6	CAN0メッセージスロット12データ0 (C0MSL12DT0)	CAN0メッセージスロット12データ1 (C0MSL12DT1)	13-98 13-100
H'0080 11C8	CAN0メッセージスロット12データ2 (C0MSL12DT2)	CAN0メッセージスロット12データ3 (C0MSL12DT3)	13-102 13-104
H'0080 11CA	CAN0メッセージスロット12データ4 (C0MSL12DT4)	CAN0メッセージスロット12データ5 (C0MSL12DT5)	13-106 13-108
H'0080 11CC	CAN0メッセージスロット12データ6 (C0MSL12DT6)	CAN0メッセージスロット12データ7 (C0MSL12DT7)	13-110 13-112
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ (C0MSL12TSP)		13-114
H'0080 11D0	CAN0メッセージスロット13標準ID0 (C0MSL13SID0)	CAN0メッセージスロット13標準ID1 (C0MSL13SID1)	13-86 13-88
H'0080 11D2	CAN0メッセージスロット13拡張ID0 (C0MSL13EID0)	CAN0メッセージスロット13拡張ID1 (C0MSL13EID1)	13-90 13-92
H'0080 11D4	CAN0メッセージスロット13拡張ID2 (C0MSL13EID2)	CAN0メッセージスロット13データ長レジスタ (C0MSL13DLC)	13-94 13-96
H'0080 11D6	CAN0メッセージスロット13データ0 (C0MSL13DT0)	CAN0メッセージスロット13データ1 (C0MSL13DT1)	13-98 13-100
H'0080 11D8	CAN0メッセージスロット13データ2 (C0MSL13DT2)	CAN0メッセージスロット13データ3 (C0MSL13DT3)	13-102 13-104
H'0080 11DA	CAN0メッセージスロット13データ4 (C0MSL13DT4)	CAN0メッセージスロット13データ5 (C0MSL13DT5)	13-106 13-108
H'0080 11DC	CAN0メッセージスロット13データ6 (C0MSL13DT6)	CAN0メッセージスロット13データ7 (C0MSL13DT7)	13-110 13-112
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ (C0MSL13TSP)		13-114

CANモジュール関連レジスタマップ(6/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 11E0	CAN0メッセージスロット14標準ID0 (C0MSL14SID0)	CAN0メッセージスロット14標準ID1 (C0MSL14SID1)	13-86 13-88
H'0080 11E2	CAN0メッセージスロット14拡張ID0 (C0MSL14EID0)	CAN0メッセージスロット14拡張ID1 (C0MSL14EID1)	13-90 13-92
H'0080 11E4	CAN0メッセージスロット14拡張ID2 (C0MSL14EID2)	CAN0メッセージスロット14データ長レジスタ (C0MSL14DLC)	13-94 13-96
H'0080 11E6	CAN0メッセージスロット14データ0 (C0MSL14DT0)	CAN0メッセージスロット14データ1 (C0MSL14DT1)	13-98 13-100
H'0080 11E8	CAN0メッセージスロット14データ2 (C0MSL14DT2)	CAN0メッセージスロット14データ3 (C0MSL14DT3)	13-102 13-104
H'0080 11EA	CAN0メッセージスロット14データ4 (C0MSL14DT4)	CAN0メッセージスロット14データ5 (C0MSL14DT5)	13-106 13-108
H'0080 11EC	CAN0メッセージスロット14データ6 (C0MSL14DT6)	CAN0メッセージスロット14データ7 (C0MSL14DT7)	13-110 13-112
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ (C0MSL14TSP)		13-114
H'0080 11F0	CAN0メッセージスロット15標準ID0 (C0MSL15SID0)	CAN0メッセージスロット15標準ID1 (C0MSL15SID1)	13-86 13-88
H'0080 11F2	CAN0メッセージスロット15拡張ID0 (C0MSL15EID0)	CAN0メッセージスロット15拡張ID1 (C0MSL15EID1)	13-90 13-92
H'0080 11F4	CAN0メッセージスロット15拡張ID2 (C0MSL15EID2)	CAN0メッセージスロット15データ長レジスタ (C0MSL15DLC)	13-94 13-96
H'0080 11F6	CAN0メッセージスロット15データ0 (C0MSL15DT0)	CAN0メッセージスロット15データ1 (C0MSL15DT1)	13-98 13-100
H'0080 11F8	CAN0メッセージスロット15データ2 (C0MSL15DT2)	CAN0メッセージスロット15データ3 (C0MSL15DT3)	13-102 13-104
H'0080 11FA	CAN0メッセージスロット15データ4 (C0MSL15DT4)	CAN0メッセージスロット15データ5 (C0MSL15DT5)	13-106 13-108
H'0080 11FC	CAN0メッセージスロット15データ6 (C0MSL15DT6)	CAN0メッセージスロット15データ7 (C0MSL15DT7)	13-110 13-112
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ (C0MSL15TSP)		13-114
H'0080 1200	CAN0メッセージスロット16標準ID0 (C0MSL16SID0)	CAN0メッセージスロット16標準ID1 (C0MSL16SID1)	13-86 13-88
H'0080 1202	CAN0メッセージスロット16拡張ID0 (C0MSL16EID0)	CAN0メッセージスロット16拡張ID1 (C0MSL16EID1)	13-90 13-92
H'0080 1204	CAN0メッセージスロット16拡張ID2 (C0MSL16EID2)	CAN0メッセージスロット16データ長レジスタ (C0MSL16DLC)	13-94 13-96
H'0080 1206	CAN0メッセージスロット16データ0 (C0MSL16DT0)	CAN0メッセージスロット16データ1 (C0MSL16DT1)	13-98 13-100
H'0080 1208	CAN0メッセージスロット16データ2 (C0MSL16DT2)	CAN0メッセージスロット16データ3 (C0MSL16DT3)	13-102 13-104
H'0080 120A	CAN0メッセージスロット16データ4 (C0MSL16DT4)	CAN0メッセージスロット16データ5 (C0MSL16DT5)	13-106 13-108
H'0080 120C	CAN0メッセージスロット16データ6 (C0MSL16DT6)	CAN0メッセージスロット16データ7 (C0MSL16DT7)	13-110 13-112
H'0080 120E	CAN0メッセージスロット16タイムスタンプ (C0MSL16TSP)		13-114
H'0080 1210	CAN0メッセージスロット17標準ID0 (C0MSL17SID0)	CAN0メッセージスロット17標準ID1 (C0MSL17SID1)	13-86 13-88
H'0080 1212	CAN0メッセージスロット17拡張ID0 (C0MSL17EID0)	CAN0メッセージスロット17拡張ID1 (C0MSL17EID1)	13-90 13-92
H'0080 1214	CAN0メッセージスロット17拡張ID2 (C0MSL17EID2)	CAN0メッセージスロット17データ長レジスタ (C0MSL17DLC)	13-94 13-96
H'0080 1216	CAN0メッセージスロット17データ0 (C0MSL17DT0)	CAN0メッセージスロット17データ1 (C0MSL17DT1)	13-98 13-100
H'0080 1218	CAN0メッセージスロット17データ2 (C0MSL17DT2)	CAN0メッセージスロット17データ3 (C0MSL17DT3)	13-102 13-104
H'0080 121A	CAN0メッセージスロット17データ4 (C0MSL17DT4)	CAN0メッセージスロット17データ5 (C0MSL17DT5)	13-106 13-108
H'0080 121C	CAN0メッセージスロット17データ6 (C0MSL17DT6)	CAN0メッセージスロット17データ7 (C0MSL17DT7)	13-110 13-112
H'0080 121E	CAN0メッセージスロット17タイムスタンプ (C0MSL17TSP)		13-114

CANモジュール関連レジスタマップ(7/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1220	CAN0メッセージスロット18標準ID0 (C0MSL18SID0)	CAN0メッセージスロット18標準ID1 (C0MSL18SID1)	13-86 13-88
H'0080 1222	CAN0メッセージスロット18拡張ID0 (C0MSL18EID0)	CAN0メッセージスロット18拡張ID1 (C0MSL18EID1)	13-90 13-92
H'0080 1224	CAN0メッセージスロット18拡張ID2 (C0MSL18EID2)	CAN0メッセージスロット18データ長レジスタ (C0MSL18DLC)	13-94 13-96
H'0080 1226	CAN0メッセージスロット18データ0 (C0MSL18DT0)	CAN0メッセージスロット18データ1 (C0MSL18DT1)	13-98 13-100
H'0080 1228	CAN0メッセージスロット18データ2 (C0MSL18DT2)	CAN0メッセージスロット18データ3 (C0MSL18DT3)	13-102 13-104
H'0080 122A	CAN0メッセージスロット18データ4 (C0MSL18DT4)	CAN0メッセージスロット18データ5 (C0MSL18DT5)	13-106 13-108
H'0080 122C	CAN0メッセージスロット18データ6 (C0MSL18DT6)	CAN0メッセージスロット18データ7 (C0MSL18DT7)	13-110 13-112
H'0080 122E	CAN0メッセージスロット18タイムスタンプ (C0MSL18TSP)		13-114
H'0080 1230	CAN0メッセージスロット19標準ID0 (C0MSL19SID0)	CAN0メッセージスロット19標準ID1 (C0MSL19SID1)	13-86 13-88
H'0080 1232	CAN0メッセージスロット19拡張ID0 (C0MSL19EID0)	CAN0メッセージスロット19拡張ID1 (C0MSL19EID1)	13-90 13-92
H'0080 1234	CAN0メッセージスロット19拡張ID2 (C0MSL19EID2)	CAN0メッセージスロット19データ長レジスタ (C0MSL19DLC)	13-94 13-96
H'0080 1236	CAN0メッセージスロット19データ0 (C0MSL19DT0)	CAN0メッセージスロット19データ1 (C0MSL19DT1)	13-98 13-100
H'0080 1238	CAN0メッセージスロット19データ2 (C0MSL19DT2)	CAN0メッセージスロット19データ3 (C0MSL19DT3)	13-102 13-104
H'0080 123A	CAN0メッセージスロット19データ4 (C0MSL19DT4)	CAN0メッセージスロット19データ5 (C0MSL19DT5)	13-106 13-108
H'0080 123C	CAN0メッセージスロット19データ6 (C0MSL19DT6)	CAN0メッセージスロット19データ7 (C0MSL19DT7)	13-110 13-112
H'0080 123E	CAN0メッセージスロット19タイムスタンプ (C0MSL19TSP)		13-114
H'0080 1240	CAN0メッセージスロット20標準ID0 (C0MSL20SID0)	CAN0メッセージスロット20標準ID1 (C0MSL20SID1)	13-86 13-88
H'0080 1242	CAN0メッセージスロット20拡張ID0 (C0MSL20EID0)	CAN0メッセージスロット20拡張ID1 (C0MSL20EID1)	13-90 13-92
H'0080 1244	CAN0メッセージスロット20拡張ID2 (C0MSL20EID2)	CAN0メッセージスロット20データ長レジスタ (C0MSL20DLC)	13-94 13-96
H'0080 1246	CAN0メッセージスロット20データ0 (C0MSL20DT0)	CAN0メッセージスロット20データ1 (C0MSL20DT1)	13-98 13-100
H'0080 1248	CAN0メッセージスロット20データ2 (C0MSL20DT2)	CAN0メッセージスロット20データ3 (C0MSL20DT3)	13-102 13-104
H'0080 124A	CAN0メッセージスロット20データ4 (C0MSL20DT4)	CAN0メッセージスロット20データ5 (C0MSL20DT5)	13-106 13-108
H'0080 124C	CAN0メッセージスロット20データ6 (C0MSL20DT6)	CAN0メッセージスロット20データ7 (C0MSL20DT7)	13-110 13-112
H'0080 124E	CAN0メッセージスロット20タイムスタンプ (C0MSL20TSP)		13-114
H'0080 1250	CAN0メッセージスロット21標準ID0 (C0MSL21SID0)	CAN0メッセージスロット21標準ID1 (C0MSL21SID1)	13-86 13-88
H'0080 1252	CAN0メッセージスロット21拡張ID0 (C0MSL21EID0)	CAN0メッセージスロット21拡張ID1 (C0MSL21EID1)	13-90 13-92
H'0080 1254	CAN0メッセージスロット21拡張ID2 (C0MSL21EID2)	CAN0メッセージスロット21データ長レジスタ (C0MSL21DLC)	13-94 13-96
H'0080 1256	CAN0メッセージスロット21データ0 (C0MSL21DT0)	CAN0メッセージスロット21データ1 (C0MSL21DT1)	13-98 13-100
H'0080 1258	CAN0メッセージスロット21データ2 (C0MSL21DT2)	CAN0メッセージスロット21データ3 (C0MSL21DT3)	13-102 13-104
H'0080 125A	CAN0メッセージスロット21データ4 (C0MSL21DT4)	CAN0メッセージスロット21データ5 (C0MSL21DT5)	13-106 13-108
H'0080 125C	CAN0メッセージスロット21データ6 (C0MSL21DT6)	CAN0メッセージスロット21データ7 (C0MSL21DT7)	13-110 13-112
H'0080 125E	CAN0メッセージスロット21タイムスタンプ (C0MSL21TSP)		13-114

CANモジュール関連レジスタマップ (8/19)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1260	CAN0メッセージスロット22標準ID0 (C0MSL22SID0)	CAN0メッセージスロット22標準ID1 (C0MSL22SID1)	13-86 13-88
H'0080 1262	CAN0メッセージスロット22拡張ID0 (C0MSL22EID0)	CAN0メッセージスロット22拡張ID1 (C0MSL22EID1)	13-90 13-92
H'0080 1264	CAN0メッセージスロット22拡張ID2 (C0MSL22EID2)	CAN0メッセージスロット22データ長レジスタ (C0MSL22DLC)	13-94 13-96
H'0080 1266	CAN0メッセージスロット22データ0 (C0MSL22DT0)	CAN0メッセージスロット22データ1 (C0MSL22DT1)	13-98 13-100
H'0080 1268	CAN0メッセージスロット22データ2 (C0MSL22DT2)	CAN0メッセージスロット22データ3 (C0MSL22DT3)	13-102 13-104
H'0080 126A	CAN0メッセージスロット22データ4 (C0MSL22DT4)	CAN0メッセージスロット22データ5 (C0MSL22DT5)	13-106 13-108
H'0080 126C	CAN0メッセージスロット22データ6 (C0MSL22DT6)	CAN0メッセージスロット22データ7 (C0MSL22DT7)	13-110 13-112
H'0080 126E	CAN0メッセージスロット22タイムスタンプ (C0MSL22TSP)		13-114
H'0080 1270	CAN0メッセージスロット23標準ID0 (C0MSL23SID0)	CAN0メッセージスロット23標準ID1 (C0MSL23SID1)	13-86 13-88
H'0080 1272	CAN0メッセージスロット23拡張ID0 (C0MSL23EID0)	CAN0メッセージスロット23拡張ID1 (C0MSL23EID1)	13-90 13-92
H'0080 1274	CAN0メッセージスロット23拡張ID2 (C0MSL23EID2)	CAN0メッセージスロット23データ長レジスタ (C0MSL23DLC)	13-94 13-96
H'0080 1276	CAN0メッセージスロット23データ0 (C0MSL23DT0)	CAN0メッセージスロット23データ1 (C0MSL23DT1)	13-98 13-100
H'0080 1278	CAN0メッセージスロット23データ2 (C0MSL23DT2)	CAN0メッセージスロット23データ3 (C0MSL23DT3)	13-102 13-104
H'0080 127A	CAN0メッセージスロット23データ4 (C0MSL23DT4)	CAN0メッセージスロット23データ5 (C0MSL23DT5)	13-106 13-108
H'0080 127C	CAN0メッセージスロット23データ6 (C0MSL23DT6)	CAN0メッセージスロット23データ7 (C0MSL23DT7)	13-110 13-112
H'0080 127E	CAN0メッセージスロット23タイムスタンプ (C0MSL23TSP)		13-114
H'0080 1280	CAN0メッセージスロット24標準ID0 (C0MSL24SID0)	CAN0メッセージスロット24標準ID1 (C0MSL24SID1)	13-86 13-88
H'0080 1282	CAN0メッセージスロット24拡張ID0 (C0MSL24EID0)	CAN0メッセージスロット24拡張ID1 (C0MSL24EID1)	13-90 13-92
H'0080 1284	CAN0メッセージスロット24拡張ID2 (C0MSL24EID2)	CAN0メッセージスロット24データ長レジスタ (C0MSL24DLC)	13-94 13-96
H'0080 1286	CAN0メッセージスロット24データ0 (C0MSL24DT0)	CAN0メッセージスロット24データ1 (C0MSL24DT1)	13-98 13-100
H'0080 1288	CAN0メッセージスロット24データ2 (C0MSL24DT2)	CAN0メッセージスロット24データ3 (C0MSL24DT3)	13-102 13-104
H'0080 128A	CAN0メッセージスロット24データ4 (C0MSL24DT4)	CAN0メッセージスロット24データ5 (C0MSL24DT5)	13-106 13-108
H'0080 128C	CAN0メッセージスロット24データ6 (C0MSL24DT6)	CAN0メッセージスロット24データ7 (C0MSL24DT7)	13-110 13-112
H'0080 128E	CAN0メッセージスロット24タイムスタンプ (C0MSL24TSP)		13-114
H'0080 1290	CAN0メッセージスロット25標準ID0 (C0MSL25SID0)	CAN0メッセージスロット25標準ID1 (C0MSL25SID1)	13-86 13-88
H'0080 1292	CAN0メッセージスロット25拡張ID0 (C0MSL25EID0)	CAN0メッセージスロット25拡張ID1 (C0MSL25EID1)	13-90 13-92
H'0080 1294	CAN0メッセージスロット25拡張ID2 (C0MSL25EID2)	CAN0メッセージスロット25データ長レジスタ (C0MSL25DLC)	13-94 13-96
H'0080 1296	CAN0メッセージスロット25データ0 (C0MSL25DT0)	CAN0メッセージスロット25データ1 (C0MSL25DT1)	13-98 13-100
H'0080 1298	CAN0メッセージスロット25データ2 (C0MSL25DT2)	CAN0メッセージスロット25データ3 (C0MSL25DT3)	13-102 13-104
H'0080 129A	CAN0メッセージスロット25データ4 (C0MSL25DT4)	CAN0メッセージスロット25データ5 (C0MSL25DT5)	13-106 13-108
H'0080 129C	CAN0メッセージスロット25データ6 (C0MSL25DT6)	CAN0メッセージスロット25データ7 (C0MSL25DT7)	13-110 13-112
H'0080 129E	CAN0メッセージスロット25タイムスタンプ (C0MSL25TSP)		13-114

CANモジュール関連レジスタマップ (9/19)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 12A0	CAN0メッセージスロット26標準ID0 (C0MSL26SID0)	CAN0メッセージスロット26標準ID1 (C0MSL26SID1)	13-86 13-88
H'0080 12A2	CAN0メッセージスロット26拡張ID0 (C0MSL26EID0)	CAN0メッセージスロット26拡張ID1 (C0MSL26EID1)	13-90 13-92
H'0080 12A4	CAN0メッセージスロット26拡張ID2 (C0MSL26EID2)	CAN0メッセージスロット26データ長レジスタ (C0MSL26DLC)	13-94 13-96
H'0080 12A6	CAN0メッセージスロット26データ0 (C0MSL26DT0)	CAN0メッセージスロット26データ1 (C0MSL26DT1)	13-98 13-100
H'0080 12A8	CAN0メッセージスロット26データ2 (C0MSL26DT2)	CAN0メッセージスロット26データ3 (C0MSL26DT3)	13-102 13-104
H'0080 12AA	CAN0メッセージスロット26データ4 (C0MSL26DT4)	CAN0メッセージスロット26データ5 (C0MSL26DT5)	13-106 13-108
H'0080 12AC	CAN0メッセージスロット26データ6 (C0MSL26DT6)	CAN0メッセージスロット26データ7 (C0MSL26DT7)	13-110 13-112
H'0080 12AE	CAN0メッセージスロット26タイムスタンプ (C0MSL26TSP)		13-114
H'0080 12B0	CAN0メッセージスロット27標準ID0 (C0MSL27SID0)	CAN0メッセージスロット27標準ID1 (C0MSL27SID1)	13-86 13-88
H'0080 12B2	CAN0メッセージスロット27拡張ID0 (C0MSL27EID0)	CAN0メッセージスロット27拡張ID1 (C0MSL27EID1)	13-90 13-92
H'0080 12B4	CAN0メッセージスロット27拡張ID2 (C0MSL27EID2)	CAN0メッセージスロット27データ長レジスタ (C0MSL27DLC)	13-94 13-96
H'0080 12B6	CAN0メッセージスロット27データ0 (C0MSL27DT0)	CAN0メッセージスロット27データ1 (C0MSL27DT1)	13-98 13-100
H'0080 12B8	CAN0メッセージスロット27データ2 (C0MSL27DT2)	CAN0メッセージスロット27データ3 (C0MSL27DT3)	13-102 13-104
H'0080 12BA	CAN0メッセージスロット27データ4 (C0MSL27DT4)	CAN0メッセージスロット27データ5 (C0MSL27DT5)	13-106 13-108
H'0080 12BC	CAN0メッセージスロット27データ6 (C0MSL27DT6)	CAN0メッセージスロット27データ7 (C0MSL27DT7)	13-110 13-112
H'0080 12BE	CAN0メッセージスロット27タイムスタンプ (C0MSL27TSP)		13-114
H'0080 12C0	CAN0メッセージスロット28標準ID0 (C0MSL28SID0)	CAN0メッセージスロット28標準ID1 (C0MSL28SID1)	13-86 13-88
H'0080 12C2	CAN0メッセージスロット28拡張ID0 (C0MSL28EID0)	CAN0メッセージスロット28拡張ID1 (C0MSL28EID1)	13-90 13-92
H'0080 12C4	CAN0メッセージスロット28拡張ID2 (C0MSL28EID2)	CAN0メッセージスロット28データ長レジスタ (C0MSL28DLC)	13-94 13-96
H'0080 12C6	CAN0メッセージスロット28データ0 (C0MSL28DT0)	CAN0メッセージスロット28データ1 (C0MSL28DT1)	13-98 13-100
H'0080 12C8	CAN0メッセージスロット28データ2 (C0MSL28DT2)	CAN0メッセージスロット28データ3 (C0MSL28DT3)	13-102 13-104
H'0080 12CA	CAN0メッセージスロット28データ4 (C0MSL28DT4)	CAN0メッセージスロット28データ5 (C0MSL28DT5)	13-106 13-108
H'0080 12CC	CAN0メッセージスロット28データ6 (C0MSL28DT6)	CAN0メッセージスロット28データ7 (C0MSL28DT7)	13-110 13-112
H'0080 12CE	CAN0メッセージスロット28タイムスタンプ (C0MSL28TSP)		13-114
H'0080 12D0	CAN0メッセージスロット29標準ID0 (C0MSL29SID0)	CAN0メッセージスロット29標準ID1 (C0MSL29SID1)	13-86 13-88
H'0080 12D2	CAN0メッセージスロット29拡張ID0 (C0MSL29EID0)	CAN0メッセージスロット29拡張ID1 (C0MSL29EID1)	13-90 13-92
H'0080 12D4	CAN0メッセージスロット29拡張ID2 (C0MSL29EID2)	CAN0メッセージスロット29データ長レジスタ (C0MSL29DLC)	13-94 13-96
H'0080 12D6	CAN0メッセージスロット29データ0 (C0MSL29DT0)	CAN0メッセージスロット29データ1 (C0MSL29DT1)	13-98 13-100
H'0080 12D8	CAN0メッセージスロット29データ2 (C0MSL29DT2)	CAN0メッセージスロット29データ3 (C0MSL29DT3)	13-102 13-104
H'0080 12DA	CAN0メッセージスロット29データ4 (C0MSL29DT4)	CAN0メッセージスロット29データ5 (C0MSL29DT5)	13-106 13-108
H'0080 12DC	CAN0メッセージスロット29データ6 (C0MSL29DT6)	CAN0メッセージスロット29データ7 (C0MSL29DT7)	13-110 13-112
H'0080 12DE	CAN0メッセージスロット29タイムスタンプ (C0MSL29TSP)		13-114

CANモジュール関連レジスタマップ(10/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 12E0	CAN0メッセージスロット30標準ID0 (C0MSL30SID0)	CAN0メッセージスロット30標準ID1 (C0MSL30SID1)	13-86 13-88
H'0080 12E2	CAN0メッセージスロット30拡張ID0 (C0MSL30EID0)	CAN0メッセージスロット30拡張ID1 (C0MSL30EID1)	13-90 13-92
H'0080 12E4	CAN0メッセージスロット30拡張ID2 (C0MSL30EID2)	CAN0メッセージスロット30データ長レジスタ (C0MSL30DLC)	13-94 13-96
H'0080 12E6	CAN0メッセージスロット30データ0 (C0MSL30DT0)	CAN0メッセージスロット30データ1 (C0MSL30DT1)	13-98 13-100
H'0080 12E8	CAN0メッセージスロット30データ2 (C0MSL30DT2)	CAN0メッセージスロット30データ3 (C0MSL30DT3)	13-102 13-104
H'0080 12EA	CAN0メッセージスロット30データ4 (C0MSL30DT4)	CAN0メッセージスロット30データ5 (C0MSL30DT5)	13-106 13-108
H'0080 12EC	CAN0メッセージスロット30データ6 (C0MSL30DT6)	CAN0メッセージスロット30データ7 (C0MSL30DT7)	13-110 13-112
H'0080 12EE	CAN0メッセージスロット30タイムスタンプ (C0MSL30TSP)		13-114
H'0080 12F0	CAN0メッセージスロット31標準ID0 (C0MSL31SID0)	CAN0メッセージスロット31標準ID1 (C0MSL31SID1)	13-86 13-88
H'0080 12F2	CAN0メッセージスロット31拡張ID0 (C0MSL31EID0)	CAN0メッセージスロット31拡張ID1 (C0MSL31EID1)	13-90 13-92
H'0080 12F4	CAN0メッセージスロット31拡張ID2 (C0MSL31EID2)	CAN0メッセージスロット31データ長レジスタ (C0MSL31DLC)	13-94 13-96
H'0080 12F6	CAN0メッセージスロット31データ0 (C0MSL31DT0)	CAN0メッセージスロット31データ1 (C0MSL31DT1)	13-98 13-100
H'0080 12F8	CAN0メッセージスロット31データ2 (C0MSL31DT2)	CAN0メッセージスロット31データ3 (C0MSL31DT3)	13-102 13-104
H'0080 12FA	CAN0メッセージスロット31データ4 (C0MSL31DT4)	CAN0メッセージスロット31データ5 (C0MSL31DT5)	13-106 13-108
H'0080 12FC	CAN0メッセージスロット31データ6 (C0MSL31DT6)	CAN0メッセージスロット31データ7 (C0MSL31DT7)	13-110 13-112
H'0080 12FE	CAN0メッセージスロット31タイムスタンプ (C0MSL31TSP)		13-114
	(使用禁止領域)		
H'0080 1400	CAN1コントロールレジスタ (CAN1CNT)		13-26
H'0080 1402	CAN1ステータスレジスタ (CAN1STAT)		13-29
H'0080 1404	(使用禁止領域)		
H'0080 1406	CAN1コンフィグレーションレジスタ (CAN1CONF)		13-32
H'0080 1408	CAN1タイムスタンプカウンタレジスタ (CAN1TSTMP)		13-35
H'0080 140A	CAN1受信エラーカウンタレジスタ (CAN1REC)	CAN1送信エラーカウンタレジスタ (CAN1TEC)	13-36
H'0080 140C	CAN1スロット割り込み要求ステータスレジスタ (上位) (CAN1SLISTW) (CAN1SLIST)		13-40
H'0080 140E	(下位) (CAN1SLISTL)		
H'0080 1410	CAN1スロット割り込み要求マスクレジスタ (上位) (CAN1SLIMKW) (CAN1SLIMK)		13-42
H'0080 1412	(下位) (CAN1SLIMKL)		
H'0080 1414	CAN1エラー割り込み要求ステータスレジスタ (CAN1ERIST)	CAN1エラー割り込み要求マスクレジスタ (CAN1ERIMK)	13-43 13-44
H'0080 1416	CAN1ポーレートプリスケアラ (CAN1BRP)	CAN1エラー要因レジスタ (CAN1EF)	13-37 13-67
H'0080 1418	CAN1モードレジスタ (CAN1MOD)	CAN1DMA転送要求選択レジスタ (CAN1DMARQ)	13-69 13-70
H'0080 141A	CAN1メッセージスロットナンバレジスタ (CAN1MSN)	CAN1クロック選択レジスタ (CAN1CKSEL)	13-71 13-72
H'0080 141C	CAN1フレームフォーマット選択レジスタ (上位) (CAN1FFSW) (CAN1FFS)		13-74
H'0080 141E	(下位) (CAN1FFSL)		
H'0080 1420	CAN1グローバルマスクレジスタA標準ID0 (C1GMSKAS0)	CAN1グローバルマスクレジスタA標準ID1 (C1GMSKAS1)	13-76
H'0080 1422	CAN1グローバルマスクレジスタA拡張ID0 (C1GMSKAE0)	CAN1グローバルマスクレジスタA拡張ID1 (C1GMSKAE1)	13-77

CANモジュール関連レジスタマップ(11/19)

番地	+ 0番地	+ 1番地	掲載ページ
	b0	b7 b8 b15	
H'0080 1424	CAN1グローバルマスクレジスタA拡張ID2 (C1GMSKAE2)	(使用禁止領域)	13-78
H'0080 1426	(使用禁止領域)		
H'0080 1428	CAN1グローバルマスクレジスタB標準ID0 (C1GMSKBS0)	CAN1グローバルマスクレジスタB標準ID1 (C1GMSKBS1)	13-76
H'0080 142A	CAN1グローバルマスクレジスタB拡張ID0 (C1GMSKBE0)	CAN1グローバルマスクレジスタB拡張ID1 (C1GMSKBE1)	13-77
H'0080 142C	CAN1グローバルマスクレジスタB拡張ID2 (C1GMSKBE2)	(使用禁止領域)	13-78
H'0080 142E	(使用禁止領域)		
H'0080 1430	CAN1ローカルマスクレジスタA標準ID0 (C1LMSKAS0)	CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1)	13-76
H'0080 1432	CAN1ローカルマスクレジスタA拡張ID0 (C1LMSKAE0)	CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1)	13-77
H'0080 1434	CAN1ローカルマスクレジスタA拡張ID2 (C1LMSKAE2)	(使用禁止領域)	13-78
H'0080 1436	(使用禁止領域)		
H'0080 1438	CAN1ローカルマスクレジスタB標準ID0 (C1LMSKBS0)	CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1)	13-76
H'0080 143A	CAN1ローカルマスクレジスタB拡張ID0 (C1LMSKBE0)	CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1)	13-77
H'0080 143C	CAN1ローカルマスクレジスタB拡張ID2 (C1LMSKBE2)	(使用禁止領域)	13-78
H'0080 143E	(使用禁止領域)		
H'0080 1440	CAN1シングルショットモード制御レジスタ (上位) (CAN1SSMODEW) (CAN1SSMODE)		13-80
H'0080 1442	(下位) (CAN1SSMODEL)		
H'0080 1444	CAN1シングルショット割り込み要求ステータスレジスタ (上位) (CAN1SSISTW) (CAN1SSIST)		13-45
H'0080 1446	(下位) (CAN1SSISTL)		
H'0080 1448	CAN1シングルショット割り込み要求マスクレジスタ (上位) (CAN1SSIMKW) (CAN1SSIMK)		13-47
H'0080 144A	(下位) (CAN1SSIMKL)		
H'0080 144C	(使用禁止領域)		
H'0080 144E	(使用禁止領域)		
H'0080 1450	CAN1メッセージロット0コントロールレジスタ (C1MSL0CNT)	CAN1メッセージロット1コントロールレジスタ (C1MSL1CNT)	13-82
H'0080 1452	CAN1メッセージロット2コントロールレジスタ (C1MSL2CNT)	CAN1メッセージロット3コントロールレジスタ (C1MSL3CNT)	13-82
H'0080 1454	CAN1メッセージロット4コントロールレジスタ (C1MSL4CNT)	CAN1メッセージロット5コントロールレジスタ (C1MSL5CNT)	13-82
H'0080 1456	CAN1メッセージロット6コントロールレジスタ (C1MSL6CNT)	CAN1メッセージロット7コントロールレジスタ (C1MSL7CNT)	13-82
H'0080 1458	CAN1メッセージロット8コントロールレジスタ (C1MSL8CNT)	CAN1メッセージロット9コントロールレジスタ (C1MSL9CNT)	13-82
H'0080 145A	CAN1メッセージロット10コントロールレジスタ (C1MSL10CNT)	CAN1メッセージロット11コントロールレジスタ (C1MSL11CNT)	13-82
H'0080 145C	CAN1メッセージロット12コントロールレジスタ (C1MSL12CNT)	CAN1メッセージロット13コントロールレジスタ (C1MSL13CNT)	13-82
H'0080 145E	CAN1メッセージロット14コントロールレジスタ (C1MSL14CNT)	CAN1メッセージロット15コントロールレジスタ (C1MSL15CNT)	13-82
H'0080 1460	CAN1メッセージロット16コントロールレジスタ (C1MSL16CNT)	CAN1メッセージロット17コントロールレジスタ (C1MSL17CNT)	13-82 13-83
H'0080 1462	CAN1メッセージロット18コントロールレジスタ (C1MSL18CNT)	CAN1メッセージロット19コントロールレジスタ (C1MSL19CNT)	13-83
H'0080 1464	CAN1メッセージロット20コントロールレジスタ (C1MSL20CNT)	CAN1メッセージロット21コントロールレジスタ (C1MSL21CNT)	13-83
H'0080 1466	CAN1メッセージロット22コントロールレジスタ (C1MSL22CNT)	CAN1メッセージロット23コントロールレジスタ (C1MSL23CNT)	13-83
H'0080 1468	CAN1メッセージロット24コントロールレジスタ (C1MSL24CNT)	CAN1メッセージロット25コントロールレジスタ (C1MSL25CNT)	13-83

CANモジュール関連レジスタマップ(12/19)

番地	+0番地 b0	b7	+1番地 b8	b15	掲載 ページ
H'0080 146A	CAN1メッセージスロット26コントロールレジスタ (C1MSL26CNT)		CAN1メッセージスロット27コントロールレジスタ (C1MSL27CNT)		13-83
H'0080 146C	CAN1メッセージスロット28コントロールレジスタ (C1MSL28CNT)		CAN1メッセージスロット29コントロールレジスタ (C1MSL29CNT)		13-83
H'0080 146E	CAN1メッセージスロット30コントロールレジスタ (C1MSL30CNT)		CAN1メッセージスロット31コントロールレジスタ (C1MSL31CNT)		13-83
	(使用禁止領域)				
H'0080 1500	CAN1メッセージスロット0標準ID0 (C1MSL0SID0)		CAN1メッセージスロット0標準ID1 (C1MSL0SID1)		13-86 13-88
H'0080 1502	CAN1メッセージスロット0拡張ID0 (C1MSL0EID0)		CAN1メッセージスロット0拡張ID1 (C1MSL0EID1)		13-90 13-92
H'0080 1504	CAN1メッセージスロット0拡張ID2 (C1MSL0EID2)		CAN1メッセージスロット0データ長レジスタ (C1MSL0DLC)		13-94 13-96
H'0080 1506	CAN1メッセージスロット0データ0 (C1MSL0DT0)		CAN1メッセージスロット0データ1 (C1MSL0DT1)		13-98 13-100
H'0080 1508	CAN1メッセージスロット0データ2 (C1MSL0DT2)		CAN1メッセージスロット0データ3 (C1MSL0DT3)		13-102 13-104
H'0080 150A	CAN1メッセージスロット0データ4 (C1MSL0DT4)		CAN1メッセージスロット0データ5 (C1MSL0DT5)		13-106 13-108
H'0080 150C	CAN1メッセージスロット0データ6 (C1MSL0DT6)		CAN1メッセージスロット0データ7 (C1MSL0DT7)		13-110 13-112
H'0080 150E	CAN1メッセージスロット0タイムスタンプ (C1MSL0TSP)				13-114
H'0080 1510	CAN1メッセージスロット1標準ID0 (C1MSL1SID0)		CAN1メッセージスロット1標準ID1 (C1MSL1SID1)		13-86 13-88
H'0080 1512	CAN1メッセージスロット1拡張ID0 (C1MSL1EID0)		CAN1メッセージスロット1拡張ID1 (C1MSL1EID1)		13-90 13-92
H'0080 1514	CAN1メッセージスロット1拡張ID2 (C1MSL1EID2)		CAN1メッセージスロット1データ長レジスタ (C1MSL1DLC)		13-94 13-96
H'0080 1516	CAN1メッセージスロット1データ0 (C1MSL1DT0)		CAN1メッセージスロット1データ1 (C1MSL1DT1)		13-98 13-100
H'0080 1518	CAN1メッセージスロット1データ2 (C1MSL1DT2)		CAN1メッセージスロット1データ3 (C1MSL1DT3)		13-102 13-104
H'0080 151A	CAN1メッセージスロット1データ4 (C1MSL1DT4)		CAN1メッセージスロット1データ5 (C1MSL1DT5)		13-106 13-108
H'0080 151C	CAN1メッセージスロット1データ6 (C1MSL1DT6)		CAN1メッセージスロット1データ7 (C1MSL1DT7)		13-110 13-112
H'0080 151E	CAN1メッセージスロット1タイムスタンプ (C1MSL1TSP)				13-114
H'0080 1520	CAN1メッセージスロット2標準ID0 (C1MSL2SID0)		CAN1メッセージスロット2標準ID1 (C1MSL2SID1)		13-86 13-88
H'0080 1522	CAN1メッセージスロット2拡張ID0 (C1MSL2EID0)		CAN1メッセージスロット2拡張ID1 (C1MSL2EID1)		13-90 13-92
H'0080 1524	CAN1メッセージスロット2拡張ID2 (C1MSL2EID2)		CAN1メッセージスロット2データ長レジスタ (C1MSL2DLC)		13-94 13-96
H'0080 1526	CAN1メッセージスロット2データ0 (C1MSL2DT0)		CAN1メッセージスロット2データ1 (C1MSL2DT1)		13-98 13-100
H'0080 1528	CAN1メッセージスロット2データ2 (C1MSL2DT2)		CAN1メッセージスロット2データ3 (C1MSL2DT3)		13-102 13-104
H'0080 152A	CAN1メッセージスロット2データ4 (C1MSL2DT4)		CAN1メッセージスロット2データ5 (C1MSL2DT5)		13-106 13-108
H'0080 152C	CAN1メッセージスロット2データ6 (C1MSL2DT6)		CAN1メッセージスロット2データ7 (C1MSL2DT7)		13-110 13-112
H'0080 152E	CAN1メッセージスロット2タイムスタンプ (C1MSL2TSP)				13-114
H'0080 1530	CAN1メッセージスロット3標準ID0 (C1MSL3SID0)		CAN1メッセージスロット3標準ID1 (C1MSL3SID1)		13-86 13-88
H'0080 1532	CAN1メッセージスロット3拡張ID0 (C1MSL3EID0)		CAN1メッセージスロット3拡張ID1 (C1MSL3EID1)		13-90 13-92
H'0080 1534	CAN1メッセージスロット3拡張ID2 (C1MSL3EID2)		CAN1メッセージスロット3データ長レジスタ (C1MSL3DLC)		13-94 13-96
H'0080 1536	CAN1メッセージスロット3データ0 (C1MSL3DT0)		CAN1メッセージスロット3データ1 (C1MSL3DT1)		13-98 13-100
H'0080 1538	CAN1メッセージスロット3データ2 (C1MSL3DT2)		CAN1メッセージスロット3データ3 (C1MSL3DT3)		13-102 13-104
H'0080 153A	CAN1メッセージスロット3データ4 (C1MSL3DT4)		CAN1メッセージスロット3データ5 (C1MSL3DT5)		13-106 13-108
H'0080 153C	CAN1メッセージスロット3データ6 (C1MSL3DT6)		CAN1メッセージスロット3データ7 (C1MSL3DT7)		13-110 13-112

CANモジュール関連レジスタマップ(13/19)

番地	+ 0番地	+ 1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 153E	CAN1メッセージスロット3タイムスタンプ (C1MSL3TSP)		13-114
H'0080 1540	CAN1メッセージスロット4標準ID0 (C1MSL4SID0)	CAN1メッセージスロット4標準ID1 (C1MSL4SID1)	13-86 13-88
H'0080 1542	CAN1メッセージスロット4拡張ID0 (C1MSL4EID0)	CAN1メッセージスロット4拡張ID1 (C1MSL4EID1)	13-90 13-92
H'0080 1544	CAN1メッセージスロット4拡張ID2 (C1MSL4EID2)	CAN1メッセージスロット4データ長レジスタ (C1MSL4DLC)	13-94 13-96
H'0080 1546	CAN1メッセージスロット4データ0 (C1MSL4DT0)	CAN1メッセージスロット4データ1 (C1MSL4DT1)	13-98 13-100
H'0080 1548	CAN1メッセージスロット4データ2 (C1MSL4DT2)	CAN1メッセージスロット4データ3 (C1MSL4DT3)	13-102 13-104
H'0080 154A	CAN1メッセージスロット4データ4 (C1MSL4DT4)	CAN1メッセージスロット4データ5 (C1MSL4DT5)	13-106 13-108
H'0080 154C	CAN1メッセージスロット4データ6 (C1MSL4DT6)	CAN1メッセージスロット4データ7 (C1MSL4DT7)	13-110 13-112
H'0080 154E	CAN1メッセージスロット4タイムスタンプ (C1MSL4TSP)		13-114
H'0080 1550	CAN1メッセージスロット5標準ID0 (C1MSL5SID0)	CAN1メッセージスロット5標準ID1 (C1MSL5SID1)	13-86 13-88
H'0080 1552	CAN1メッセージスロット5拡張ID0 (C1MSL5EID0)	CAN1メッセージスロット5拡張ID1 (C1MSL5EID1)	13-90 13-92
H'0080 1554	CAN1メッセージスロット5拡張ID2 (C1MSL5EID2)	CAN1メッセージスロット5データ長レジスタ (C1MSL5DLC)	13-94 13-96
H'0080 1556	CAN1メッセージスロット5データ0 (C1MSL5DT0)	CAN1メッセージスロット5データ1 (C1MSL5DT1)	13-98 13-100
H'0080 1558	CAN1メッセージスロット5データ2 (C1MSL5DT2)	CAN1メッセージスロット5データ3 (C1MSL5DT3)	13-102 13-104
H'0080 155A	CAN1メッセージスロット5データ4 (C1MSL5DT4)	CAN1メッセージスロット5データ5 (C1MSL5DT5)	13-106 13-108
H'0080 155C	CAN1メッセージスロット5データ6 (C1MSL5DT6)	CAN1メッセージスロット5データ7 (C1MSL5DT7)	13-110 13-112
H'0080 155E	CAN1メッセージスロット5タイムスタンプ (C1MSL5TSP)		13-114
H'0080 1560	CAN1メッセージスロット6標準ID0 (C1MSL6SID0)	CAN1メッセージスロット6標準ID1 (C1MSL6SID1)	13-86 13-88
H'0080 1562	CAN1メッセージスロット6拡張ID0 (C1MSL6EID0)	CAN1メッセージスロット6拡張ID1 (C1MSL6EID1)	13-90 13-92
H'0080 1564	CAN1メッセージスロット6拡張ID2 (C1MSL6EID2)	CAN1メッセージスロット6データ長レジスタ (C1MSL6DLC)	13-94 13-96
H'0080 1566	CAN1メッセージスロット6データ0 (C1MSL6DT0)	CAN1メッセージスロット6データ1 (C1MSL6DT1)	13-98 13-100
H'0080 1568	CAN1メッセージスロット6データ2 (C1MSL6DT2)	CAN1メッセージスロット6データ3 (C1MSL6DT3)	13-102 13-104
H'0080 156A	CAN1メッセージスロット6データ4 (C1MSL6DT4)	CAN1メッセージスロット6データ5 (C1MSL6DT5)	13-106 13-108
H'0080 156C	CAN1メッセージスロット6データ6 (C1MSL6DT6)	CAN1メッセージスロット6データ7 (C1MSL6DT7)	13-110 13-112
H'0080 156E	CAN1メッセージスロット6タイムスタンプ (C1MSL6TSP)		13-114
H'0080 1570	CAN1メッセージスロット7標準ID0 (C1MSL7SID0)	CAN1メッセージスロット7標準ID1 (C1MSL7SID1)	13-86 13-88
H'0080 1572	CAN1メッセージスロット7拡張ID0 (C1MSL7EID0)	CAN1メッセージスロット7拡張ID1 (C1MSL7EID1)	13-90 13-92
H'0080 1574	CAN1メッセージスロット7拡張ID2 (C1MSL7EID2)	CAN1メッセージスロット7データ長レジスタ (C1MSL7DLC)	13-94 13-96
H'0080 1576	CAN1メッセージスロット7データ0 (C1MSL7DT0)	CAN1メッセージスロット7データ1 (C1MSL7DT1)	13-98 13-100
H'0080 1578	CAN1メッセージスロット7データ2 (C1MSL7DT2)	CAN1メッセージスロット7データ3 (C1MSL7DT3)	13-102 13-104
H'0080 157A	CAN1メッセージスロット7データ4 (C1MSL7DT4)	CAN1メッセージスロット7データ5 (C1MSL7DT5)	13-106 13-108
H'0080 157C	CAN1メッセージスロット7データ6 (C1MSL7DT6)	CAN1メッセージスロット7データ7 (C1MSL7DT7)	13-110 13-112
H'0080 157E	CAN1メッセージスロット7タイムスタンプ (C1MSL7TSP)		13-114

CANモジュール関連レジスタマップ(14/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1580	CAN1メッセージスロット8標準ID0 (C1MSL8SID0)	CAN1メッセージスロット8標準ID1 (C1MSL8SID1)	13-86 13-88
H'0080 1582	CAN1メッセージスロット8拡張ID0 (C1MSL8EID0)	CAN1メッセージスロット8拡張ID1 (C1MSL8EID1)	13-90 13-92
H'0080 1584	CAN1メッセージスロット8拡張ID2 (C1MSL8EID2)	CAN1メッセージスロット8データ長レジスタ (C1MSL8DLC)	13-94 13-96
H'0080 1586	CAN1メッセージスロット8データ0 (C1MSL8DT0)	CAN1メッセージスロット8データ1 (C1MSL8DT1)	13-98 13-100
H'0080 1588	CAN1メッセージスロット8データ2 (C1MSL8DT2)	CAN1メッセージスロット8データ3 (C1MSL8DT3)	13-102 13-104
H'0080 158A	CAN1メッセージスロット8データ4 (C1MSL8DT4)	CAN1メッセージスロット8データ5 (C1MSL8DT5)	13-106 13-108
H'0080 158C	CAN1メッセージスロット8データ6 (C1MSL8DT6)	CAN1メッセージスロット8データ7 (C1MSL8DT7)	13-110 13-112
H'0080 158E	CAN1メッセージスロット8タイムスタンプ (C1MSL8TSP)		13-114
H'0080 1590	CAN1メッセージスロット9標準ID0 (C1MSL9SID0)	CAN1メッセージスロット9標準ID1 (C1MSL9SID1)	13-86 13-88
H'0080 1592	CAN1メッセージスロット9拡張ID0 (C1MSL9EID0)	CAN1メッセージスロット9拡張ID1 (C1MSL9EID1)	13-90 13-92
H'0080 1594	CAN1メッセージスロット9拡張ID2 (C1MSL9EID2)	CAN1メッセージスロット9データ長レジスタ (C1MSL9DLC)	13-94 13-96
H'0080 1596	CAN1メッセージスロット9データ0 (C1MSL9DT0)	CAN1メッセージスロット9データ1 (C1MSL9DT1)	13-98 13-100
H'0080 1598	CAN1メッセージスロット9データ2 (C1MSL9DT2)	CAN1メッセージスロット9データ3 (C1MSL9DT3)	13-102 13-104
H'0080 159A	CAN1メッセージスロット9データ4 (C1MSL9DT4)	CAN1メッセージスロット9データ5 (C1MSL9DT5)	13-106 13-108
H'0080 159C	CAN1メッセージスロット9データ6 (C1MSL9DT6)	CAN1メッセージスロット9データ7 (C1MSL9DT7)	13-110 13-112
H'0080 159E	CAN1メッセージスロット9タイムスタンプ (C1MSL9TSP)		13-114
H'0080 15A0	CAN1メッセージスロット10標準ID0 (C1MSL10SID0)	CAN1メッセージスロット10標準ID1 (C1MSL10SID1)	13-86 13-88
H'0080 15A2	CAN1メッセージスロット10拡張ID0 (C1MSL10EID0)	CAN1メッセージスロット10拡張ID1 (C1MSL10EID1)	13-90 13-92
H'0080 15A4	CAN1メッセージスロット10拡張ID2 (C1MSL10EID2)	CAN1メッセージスロット10データ長レジスタ (C1MSL10DLC)	13-94 13-96
H'0080 15A6	CAN1メッセージスロット10データ0 (C1MSL10DT0)	CAN1メッセージスロット10データ1 (C1MSL10DT1)	13-98 13-100
H'0080 15A8	CAN1メッセージスロット10データ2 (C1MSL10DT2)	CAN1メッセージスロット10データ3 (C1MSL10DT3)	13-102 13-104
H'0080 15AA	CAN1メッセージスロット10データ4 (C1MSL10DT4)	CAN1メッセージスロット10データ5 (C1MSL10DT5)	13-106 13-108
H'0080 15AC	CAN1メッセージスロット10データ6 (C1MSL10DT6)	CAN1メッセージスロット10データ7 (C1MSL10DT7)	13-110 13-112
H'0080 15AE	CAN1メッセージスロット10タイムスタンプ (C1MSL10TSP)		13-114
H'0080 15B0	CAN1メッセージスロット11標準ID0 (C1MSL11SID0)	CAN1メッセージスロット11標準ID1 (C1MSL11SID1)	13-86 13-88
H'0080 15B2	CAN1メッセージスロット11拡張ID0 (C1MSL11EID0)	CAN1メッセージスロット11拡張ID1 (C1MSL11EID1)	13-90 13-92
H'0080 15B4	CAN1メッセージスロット11拡張ID2 (C1MSL11EID2)	CAN1メッセージスロット11データ長レジスタ (C1MSL11DLC)	13-94 13-96
H'0080 15B6	CAN1メッセージスロット11データ0 (C1MSL11DT0)	CAN1メッセージスロット11データ1 (C1MSL11DT1)	13-98 13-100
H'0080 15B8	CAN1メッセージスロット11データ2 (C1MSL11DT2)	CAN1メッセージスロット11データ3 (C1MSL11DT3)	13-102 13-104
H'0080 15BA	CAN1メッセージスロット11データ4 (C1MSL11DT4)	CAN1メッセージスロット11データ5 (C1MSL11DT5)	13-106 13-108
H'0080 15BC	CAN1メッセージスロット11データ6 (C1MSL11DT6)	CAN1メッセージスロット11データ7 (C1MSL11DT7)	13-110 13-112
H'0080 15BE	CAN1メッセージスロット11タイムスタンプ (C1MSL11TSP)		13-114

CANモジュール関連レジスタマップ(15/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 15C0	CAN1メッセージスロット12標準ID0 (C1MSL12SID0)	CAN1メッセージスロット12標準ID1 (C1MSL12SID1)	13-86 13-88
H'0080 15C2	CAN1メッセージスロット12拡張ID0 (C1MSL12EID0)	CAN1メッセージスロット12拡張ID1 (C1MSL12EID1)	13-90 13-92
H'0080 15C4	CAN1メッセージスロット12拡張ID2 (C1MSL12EID2)	CAN1メッセージスロット12データ長レジスタ (C1MSL12DLC)	13-94 13-96
H'0080 15C6	CAN1メッセージスロット12データ0 (C1MSL12DT0)	CAN1メッセージスロット12データ1 (C1MSL12DT1)	13-98 13-100
H'0080 15C8	CAN1メッセージスロット12データ2 (C1MSL12DT2)	CAN1メッセージスロット12データ3 (C1MSL12DT3)	13-102 13-104
H'0080 15CA	CAN1メッセージスロット12データ4 (C1MSL12DT4)	CAN1メッセージスロット12データ5 (C1MSL12DT5)	13-106 13-108
H'0080 15CC	CAN1メッセージスロット12データ6 (C1MSL12DT6)	CAN1メッセージスロット12データ7 (C1MSL12DT7)	13-110 13-112
H'0080 15CE	CAN1メッセージスロット12タイムスタンプ (C1MSL12TSP)		13-114
H'0080 15D0	CAN1メッセージスロット13標準ID0 (C1MSL13SID0)	CAN1メッセージスロット13標準ID1 (C1MSL13SID1)	13-86 13-88
H'0080 15D2	CAN1メッセージスロット13拡張ID0 (C1MSL13EID0)	CAN1メッセージスロット13拡張ID1 (C1MSL13EID1)	13-90 13-92
H'0080 15D4	CAN1メッセージスロット13拡張ID2 (C1MSL13EID2)	CAN1メッセージスロット13データ長レジスタ (C1MSL13DLC)	13-94 13-96
H'0080 15D6	CAN1メッセージスロット13データ0 (C1MSL13DT0)	CAN1メッセージスロット13データ1 (C1MSL13DT1)	13-98 13-100
H'0080 15D8	CAN1メッセージスロット13データ2 (C1MSL13DT2)	CAN1メッセージスロット13データ3 (C1MSL13DT3)	13-102 13-104
H'0080 15DA	CAN1メッセージスロット13データ4 (C1MSL13DT4)	CAN1メッセージスロット13データ5 (C1MSL13DT5)	13-106 13-108
H'0080 15DC	CAN1メッセージスロット13データ6 (C1MSL13DT6)	CAN1メッセージスロット13データ7 (C1MSL13DT7)	13-110 13-112
H'0080 15DE	CAN1メッセージスロット13タイムスタンプ (C1MSL13TSP)		13-114
H'0080 15E0	CAN1メッセージスロット14標準ID0 (C1MSL14SID0)	CAN1メッセージスロット14標準ID1 (C1MSL14SID1)	13-86 13-88
H'0080 15E2	CAN1メッセージスロット14拡張ID0 (C1MSL14EID0)	CAN1メッセージスロット14拡張ID1 (C1MSL14EID1)	13-90 13-92
H'0080 15E4	CAN1メッセージスロット14拡張ID2 (C1MSL14EID2)	CAN1メッセージスロット14データ長レジスタ (C1MSL14DLC)	13-94 13-96
H'0080 15E6	CAN1メッセージスロット14データ0 (C1MSL14DT0)	CAN1メッセージスロット14データ1 (C1MSL14DT1)	13-98 13-100
H'0080 15E8	CAN1メッセージスロット14データ2 (C1MSL14DT2)	CAN1メッセージスロット14データ3 (C1MSL14DT3)	13-102 13-104
H'0080 15EA	CAN1メッセージスロット14データ4 (C1MSL14DT4)	CAN1メッセージスロット14データ5 (C1MSL14DT5)	13-106 13-108
H'0080 15EC	CAN1メッセージスロット14データ6 (C1MSL14DT6)	CAN1メッセージスロット14データ7 (C1MSL14DT7)	13-110 13-112
H'0080 15EE	CAN1メッセージスロット14タイムスタンプ (C1MSL14TSP)		13-114
H'0080 15F0	CAN1メッセージスロット15標準ID0 (C1MSL15SID0)	CAN1メッセージスロット15標準ID1 (C1MSL15SID1)	13-86 13-88
H'0080 15F2	CAN1メッセージスロット15拡張ID0 (C1MSL15EID0)	CAN1メッセージスロット15拡張ID1 (C1MSL15EID1)	13-90 13-92
H'0080 15F4	CAN1メッセージスロット15拡張ID2 (C1MSL15EID2)	CAN1メッセージスロット15データ長レジスタ (C1MSL15DLC)	13-94 13-96
H'0080 15F6	CAN1メッセージスロット15データ0 (C1MSL15DT0)	CAN1メッセージスロット15データ1 (C1MSL15DT1)	13-98 13-100
H'0080 15F8	CAN1メッセージスロット15データ2 (C1MSL15DT2)	CAN1メッセージスロット15データ3 (C1MSL15DT3)	13-102 13-104
H'0080 15FA	CAN1メッセージスロット15データ4 (C1MSL15DT4)	CAN1メッセージスロット15データ5 (C1MSL15DT5)	13-106 13-108
H'0080 15FC	CAN1メッセージスロット15データ6 (C1MSL15DT6)	CAN1メッセージスロット15データ7 (C1MSL15DT7)	13-110 13-112
H'0080 15FE	CAN1メッセージスロット15タイムスタンプ (C1MSL15TSP)		13-114

CANモジュール関連レジスタマップ(16/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1600	CAN1メッセージスロット16標準ID0 (C1MSL16SID0)	CAN1メッセージスロット16標準ID1 (C1MSL16SID1)	13-87 13-89
H'0080 1602	CAN1メッセージスロット16拡張ID0 (C1MSL16EID0)	CAN1メッセージスロット16拡張ID1 (C1MSL16EID1)	13-91 13-93
H'0080 1604	CAN1メッセージスロット16拡張ID2 (C1MSL16EID2)	CAN1メッセージスロット16データ長レジスタ (C1MSL16DLC)	13-95 13-97
H'0080 1606	CAN1メッセージスロット16データ0 (C1MSL16DT0)	CAN1メッセージスロット16データ1 (C1MSL16DT1)	13-99 13-101
H'0080 1608	CAN1メッセージスロット16データ2 (C1MSL16DT2)	CAN1メッセージスロット16データ3 (C1MSL16DT3)	13-103 13-105
H'0080 160A	CAN1メッセージスロット16データ4 (C1MSL16DT4)	CAN1メッセージスロット16データ5 (C1MSL16DT5)	13-107 13-109
H'0080 160C	CAN1メッセージスロット16データ6 (C1MSL16DT6)	CAN1メッセージスロット16データ7 (C1MSL16DT7)	13-111 13-113
H'0080 160E	CAN1メッセージスロット16タイムスタンプ (C1MSL16TSP)		13-115
H'0080 1610	CAN1メッセージスロット17標準ID0 (C1MSL17SID0)	CAN1メッセージスロット17標準ID1 (C1MSL17SID1)	13-87 13-89
H'0080 1612	CAN1メッセージスロット17拡張ID0 (C1MSL17EID0)	CAN1メッセージスロット17拡張ID1 (C1MSL17EID1)	13-91 13-93
H'0080 1614	CAN1メッセージスロット17拡張ID2 (C1MSL17EID2)	CAN1メッセージスロット17データ長レジスタ (C1MSL17DLC)	13-95 13-97
H'0080 1616	CAN1メッセージスロット17データ0 (C1MSL17DT0)	CAN1メッセージスロット17データ1 (C1MSL17DT1)	13-99 13-101
H'0080 1618	CAN1メッセージスロット17データ2 (C1MSL17DT2)	CAN1メッセージスロット17データ3 (C1MSL17DT3)	13-103 13-105
H'0080 161A	CAN1メッセージスロット17データ4 (C1MSL17DT4)	CAN1メッセージスロット17データ5 (C1MSL17DT5)	13-107 13-109
H'0080 161C	CAN1メッセージスロット17データ6 (C1MSL17DT6)	CAN1メッセージスロット17データ7 (C1MSL17DT7)	13-111 13-113
H'0080 161E	CAN1メッセージスロット17タイムスタンプ (C1MSL17TSP)		13-115
H'0080 1620	CAN1メッセージスロット18標準ID0 (C1MSL18SID0)	CAN1メッセージスロット18標準ID1 (C1MSL18SID1)	13-87 13-89
H'0080 1622	CAN1メッセージスロット18拡張ID0 (C1MSL18EID0)	CAN1メッセージスロット18拡張ID1 (C1MSL18EID1)	13-91 13-93
H'0080 1624	CAN1メッセージスロット18拡張ID2 (C1MSL18EID2)	CAN1メッセージスロット18データ長レジスタ (C1MSL18DLC)	13-95 13-97
H'0080 1626	CAN1メッセージスロット18データ0 (C1MSL18DT0)	CAN1メッセージスロット18データ1 (C1MSL18DT1)	13-99 13-101
H'0080 1628	CAN1メッセージスロット18データ2 (C1MSL18DT2)	CAN1メッセージスロット18データ3 (C1MSL18DT3)	13-103 13-105
H'0080 162A	CAN1メッセージスロット18データ4 (C1MSL18DT4)	CAN1メッセージスロット18データ5 (C1MSL18DT5)	13-107 13-109
H'0080 162C	CAN1メッセージスロット18データ6 (C1MSL18DT6)	CAN1メッセージスロット18データ7 (C1MSL18DT7)	13-111 13-113
H'0080 162E	CAN1メッセージスロット18タイムスタンプ (C1MSL18TSP)		13-115
H'0080 1630	CAN1メッセージスロット19標準ID0 (C1MSL19SID0)	CAN1メッセージスロット19標準ID1 (C1MSL19SID1)	13-87 13-89
H'0080 1632	CAN1メッセージスロット19拡張ID0 (C1MSL19EID0)	CAN1メッセージスロット19拡張ID1 (C1MSL19EID1)	13-91 13-93
H'0080 1634	CAN1メッセージスロット19拡張ID2 (C1MSL19EID2)	CAN1メッセージスロット19データ長レジスタ (C1MSL19DLC)	13-95 13-97
H'0080 1636	CAN1メッセージスロット19データ0 (C1MSL19DT0)	CAN1メッセージスロット19データ1 (C1MSL19DT1)	13-99 13-101
H'0080 1638	CAN1メッセージスロット19データ2 (C1MSL19DT2)	CAN1メッセージスロット19データ3 (C1MSL19DT3)	13-103 13-105
H'0080 163A	CAN1メッセージスロット19データ4 (C1MSL19DT4)	CAN1メッセージスロット19データ5 (C1MSL19DT5)	13-107 13-109
H'0080 163C	CAN1メッセージスロット19データ6 (C1MSL19DT6)	CAN1メッセージスロット19データ7 (C1MSL19DT7)	13-111 13-113
H'0080 163E	CAN1メッセージスロット19タイムスタンプ (C1MSL19TSP)		13-115

CANモジュール関連レジスタマップ(17/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1640	CAN1メッセージスロット20標準ID0 (C1MSL20SID0)	CAN1メッセージスロット20標準ID1 (C1MSL20SID1)	13-87 13-89
H'0080 1642	CAN1メッセージスロット20拡張ID0 (C1MSL20EID0)	CAN1メッセージスロット20拡張ID1 (C1MSL20EID1)	13-91 13-93
H'0080 1644	CAN1メッセージスロット20拡張ID2 (C1MSL20EID2)	CAN1メッセージスロット20データ長レジスタ (C1MSL20DLC)	13-95 13-97
H'0080 1646	CAN1メッセージスロット20データ0 (C1MSL20DT0)	CAN1メッセージスロット20データ1 (C1MSL20DT1)	13-99 13-101
H'0080 1648	CAN1メッセージスロット20データ2 (C1MSL20DT2)	CAN1メッセージスロット20データ3 (C1MSL20DT3)	13-103 13-105
H'0080 164A	CAN1メッセージスロット20データ4 (C1MSL20DT4)	CAN1メッセージスロット20データ5 (C1MSL20DT5)	13-107 13-109
H'0080 164C	CAN1メッセージスロット20データ6 (C1MSL20DT6)	CAN1メッセージスロット20データ7 (C1MSL20DT7)	13-111 13-113
H'0080 164E	CAN1メッセージスロット20タイムスタンプ (C1MSL20TSP)		13-115
H'0080 1650	CAN1メッセージスロット21標準ID0 (C1MSL21SID0)	CAN1メッセージスロット21標準ID1 (C1MSL21SID1)	13-87 13-89
H'0080 1652	CAN1メッセージスロット21拡張ID0 (C1MSL21EID0)	CAN1メッセージスロット21拡張ID1 (C1MSL21EID1)	13-91 13-93
H'0080 1654	CAN1メッセージスロット21拡張ID2 (C1MSL21EID2)	CAN1メッセージスロット21データ長レジスタ (C1MSL21DLC)	13-95 13-97
H'0080 1656	CAN1メッセージスロット21データ0 (C1MSL21DT0)	CAN1メッセージスロット21データ1 (C1MSL21DT1)	13-99 13-101
H'0080 1658	CAN1メッセージスロット21データ2 (C1MSL21DT2)	CAN1メッセージスロット21データ3 (C1MSL21DT3)	13-103 13-105
H'0080 165A	CAN1メッセージスロット21データ4 (C1MSL21DT4)	CAN1メッセージスロット21データ5 (C1MSL21DT5)	13-107 13-109
H'0080 165C	CAN1メッセージスロット21データ6 (C1MSL21DT6)	CAN1メッセージスロット21データ7 (C1MSL21DT7)	13-111 13-113
H'0080 165E	CAN1メッセージスロット21タイムスタンプ (C1MSL21TSP)		13-115
H'0080 1660	CAN1メッセージスロット22標準ID0 (C1MSL22SID0)	CAN1メッセージスロット22標準ID1 (C1MSL22SID1)	13-87 13-89
H'0080 1662	CAN1メッセージスロット22拡張ID0 (C1MSL22EID0)	CAN1メッセージスロット22拡張ID1 (C1MSL22EID1)	13-91 13-93
H'0080 1664	CAN1メッセージスロット22拡張ID2 (C1MSL22EID2)	CAN1メッセージスロット22データ長レジスタ (C1MSL22DLC)	13-95 13-97
H'0080 1666	CAN1メッセージスロット22データ0 (C1MSL22DT0)	CAN1メッセージスロット22データ1 (C1MSL22DT1)	13-99 13-101
H'0080 1668	CAN1メッセージスロット22データ2 (C1MSL22DT2)	CAN1メッセージスロット22データ3 (C1MSL22DT3)	13-103 13-105
H'0080 166A	CAN1メッセージスロット22データ4 (C1MSL22DT4)	CAN1メッセージスロット22データ5 (C1MSL22DT5)	13-107 13-109
H'0080 166C	CAN1メッセージスロット22データ6 (C1MSL22DT6)	CAN1メッセージスロット22データ7 (C1MSL22DT7)	13-111 13-113
H'0080 166E	CAN1メッセージスロット22タイムスタンプ (C1MSL22TSP)		13-115
H'0080 1670	CAN1メッセージスロット23標準ID0 (C1MSL23SID0)	CAN1メッセージスロット23標準ID1 (C1MSL23SID1)	13-87 13-89
H'0080 1672	CAN1メッセージスロット23拡張ID0 (C1MSL23EID0)	CAN1メッセージスロット23拡張ID1 (C1MSL23EID1)	13-91 13-93
H'0080 1674	CAN1メッセージスロット23拡張ID2 (C1MSL23EID2)	CAN1メッセージスロット23データ長レジスタ (C1MSL23DLC)	13-95 13-97
H'0080 1676	CAN1メッセージスロット23データ0 (C1MSL23DT0)	CAN1メッセージスロット23データ1 (C1MSL23DT1)	13-99 13-101
H'0080 1678	CAN1メッセージスロット23データ2 (C1MSL23DT2)	CAN1メッセージスロット23データ3 (C1MSL23DT3)	13-103 13-105
H'0080 167A	CAN1メッセージスロット23データ4 (C1MSL23DT4)	CAN1メッセージスロット23データ5 (C1MSL23DT5)	13-107 13-109
H'0080 167C	CAN1メッセージスロット23データ6 (C1MSL23DT6)	CAN1メッセージスロット23データ7 (C1MSL23DT7)	13-111 13-113
H'0080 167E	CAN1メッセージスロット23タイムスタンプ (C1MSL23TSP)		13-115

CANモジュール関連レジスタマップ(18/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 1680	CAN1メッセージスロット24標準ID0 (C1MSL24SID0)	CAN1メッセージスロット24標準ID1 (C1MSL24SID1)	13-87 13-89
H'0080 1682	CAN1メッセージスロット24拡張ID0 (C1MSL24EID0)	CAN1メッセージスロット24拡張ID1 (C1MSL24EID1)	13-91 13-93
H'0080 1684	CAN1メッセージスロット24拡張ID2 (C1MSL24EID2)	CAN1メッセージスロット24データ長レジスタ (C1MSL24DLC)	13-95 13-97
H'0080 1686	CAN1メッセージスロット24データ0 (C1MSL24DT0)	CAN1メッセージスロット24データ1 (C1MSL24DT1)	13-99 13-101
H'0080 1688	CAN1メッセージスロット24データ2 (C1MSL24DT2)	CAN1メッセージスロット24データ3 (C1MSL24DT3)	13-103 13-105
H'0080 168A	CAN1メッセージスロット24データ4 (C1MSL24DT4)	CAN1メッセージスロット24データ5 (C1MSL24DT5)	13-107 13-109
H'0080 168C	CAN1メッセージスロット24データ6 (C1MSL24DT6)	CAN1メッセージスロット24データ7 (C1MSL24DT7)	13-111 13-113
H'0080 168E	CAN1メッセージスロット24タイムスタンプ (C1MSL24TSP)		13-115
H'0080 1690	CAN1メッセージスロット25標準ID0 (C1MSL25SID0)	CAN1メッセージスロット25標準ID1 (C1MSL25SID1)	13-87 13-89
H'0080 1692	CAN1メッセージスロット25拡張ID0 (C1MSL25EID0)	CAN1メッセージスロット25拡張ID1 (C1MSL25EID1)	13-91 13-93
H'0080 1694	CAN1メッセージスロット25拡張ID2 (C1MSL25EID2)	CAN1メッセージスロット25データ長レジスタ (C1MSL25DLC)	13-95 13-97
H'0080 1696	CAN1メッセージスロット25データ0 (C1MSL25DT0)	CAN1メッセージスロット25データ1 (C1MSL25DT1)	13-99 13-101
H'0080 1698	CAN1メッセージスロット25データ2 (C1MSL25DT2)	CAN1メッセージスロット25データ3 (C1MSL25DT3)	13-103 13-105
H'0080 169A	CAN1メッセージスロット25データ4 (C1MSL25DT4)	CAN1メッセージスロット25データ5 (C1MSL25DT5)	13-107 13-109
H'0080 169C	CAN1メッセージスロット25データ6 (C1MSL25DT6)	CAN1メッセージスロット25データ7 (C1MSL25DT7)	13-111 13-113
H'0080 169E	CAN1メッセージスロット25タイムスタンプ (C1MSL25TSP)		13-115
H'0080 16A0	CAN1メッセージスロット26標準ID0 (C1MSL26SID0)	CAN1メッセージスロット26標準ID1 (C1MSL26SID1)	13-87 13-89
H'0080 16A2	CAN1メッセージスロット26拡張ID0 (C1MSL26EID0)	CAN1メッセージスロット26拡張ID1 (C1MSL26EID1)	13-91 13-93
H'0080 16A4	CAN1メッセージスロット26拡張ID2 (C1MSL26EID2)	CAN1メッセージスロット26データ長レジスタ (C1MSL26DLC)	13-95 13-97
H'0080 16A6	CAN1メッセージスロット26データ0 (C1MSL26DT0)	CAN1メッセージスロット26データ1 (C1MSL26DT1)	13-99 13-101
H'0080 16A8	CAN1メッセージスロット26データ2 (C1MSL26DT2)	CAN1メッセージスロット26データ3 (C1MSL26DT3)	13-103 13-105
H'0080 16AA	CAN1メッセージスロット26データ4 (C1MSL26DT4)	CAN1メッセージスロット26データ5 (C1MSL26DT5)	13-107 13-109
H'0080 16AC	CAN1メッセージスロット26データ6 (C1MSL26DT6)	CAN1メッセージスロット26データ7 (C1MSL26DT7)	13-111 13-113
H'0080 16AE	CAN1メッセージスロット26タイムスタンプ (C1MSL26TSP)		13-115
H'0080 16B0	CAN1メッセージスロット27標準ID0 (C1MSL27SID0)	CAN1メッセージスロット27標準ID1 (C1MSL27SID1)	13-87 13-89
H'0080 16B2	CAN1メッセージスロット27拡張ID0 (C1MSL27EID0)	CAN1メッセージスロット27拡張ID1 (C1MSL27EID1)	13-91 13-93
H'0080 16B4	CAN1メッセージスロット27拡張ID2 (C1MSL27EID2)	CAN1メッセージスロット27データ長レジスタ (C1MSL27DLC)	13-95 13-97
H'0080 16B6	CAN1メッセージスロット27データ0 (C1MSL27DT0)	CAN1メッセージスロット27データ1 (C1MSL27DT1)	13-99 13-101
H'0080 16B8	CAN1メッセージスロット27データ2 (C1MSL27DT2)	CAN1メッセージスロット27データ3 (C1MSL27DT3)	13-103 13-105
H'0080 16BA	CAN1メッセージスロット27データ4 (C1MSL27DT4)	CAN1メッセージスロット27データ5 (C1MSL27DT5)	13-107 13-109
H'0080 16BC	CAN1メッセージスロット27データ6 (C1MSL27DT6)	CAN1メッセージスロット27データ7 (C1MSL27DT7)	13-111 13-113
H'0080 16BE	CAN1メッセージスロット27タイムスタンプ (C1MSL27TSP)		13-115

CANモジュール関連レジスタマップ(19/19)

番地	+0番地	+1番地	掲載 ページ
	b0	b7 b8	b15
H'0080 16C0	CAN1メッセージスロット28標準ID0 (C1MSL28SID0)	CAN1メッセージスロット28標準ID1 (C1MSL28SID1)	13-87 13-89
H'0080 16C2	CAN1メッセージスロット28拡張ID0 (C1MSL28EID0)	CAN1メッセージスロット28拡張ID1 (C1MSL28EID1)	13-91 13-93
H'0080 16C4	CAN1メッセージスロット28拡張ID2 (C1MSL28EID2)	CAN1メッセージスロット28データ長レジスタ (C1MSL28DLC)	13-95 13-97
H'0080 16C6	CAN1メッセージスロット28データ0 (C1MSL28DT0)	CAN1メッセージスロット28データ1 (C1MSL28DT1)	13-99 13-101
H'0080 16C8	CAN1メッセージスロット28データ2 (C1MSL28DT2)	CAN1メッセージスロット28データ3 (C1MSL28DT3)	13-103 13-105
H'0080 16CA	CAN1メッセージスロット28データ4 (C1MSL28DT4)	CAN1メッセージスロット28データ5 (C1MSL28DT5)	13-107 13-109
H'0080 16CC	CAN1メッセージスロット28データ6 (C1MSL28DT6)	CAN1メッセージスロット28データ7 (C1MSL28DT7)	13-111 13-113
H'0080 16CE	CAN1メッセージスロット28タイムスタンプ (C1MSL28TSP)		13-115
H'0080 16D0	CAN1メッセージスロット29標準ID0 (C1MSL29SID0)	CAN1メッセージスロット29標準ID1 (C1MSL29SID1)	13-87 13-89
H'0080 16D2	CAN1メッセージスロット29拡張ID0 (C1MSL29EID0)	CAN1メッセージスロット29拡張ID1 (C1MSL29EID1)	13-91 13-93
H'0080 16D4	CAN1メッセージスロット29拡張ID2 (C1MSL29EID2)	CAN1メッセージスロット29データ長レジスタ (C1MSL29DLC)	13-95 13-97
H'0080 16D6	CAN1メッセージスロット29データ0 (C1MSL29DT0)	CAN1メッセージスロット29データ1 (C1MSL29DT1)	13-99 13-101
H'0080 16D8	CAN1メッセージスロット29データ2 (C1MSL29DT2)	CAN1メッセージスロット29データ3 (C1MSL29DT3)	13-103 13-105
H'0080 16DA	CAN1メッセージスロット29データ4 (C1MSL29DT4)	CAN1メッセージスロット29データ5 (C1MSL29DT5)	13-107 13-109
H'0080 16DC	CAN1メッセージスロット29データ6 (C1MSL29DT6)	CAN1メッセージスロット29データ7 (C1MSL29DT7)	13-111 13-113
H'0080 16DE	CAN1メッセージスロット29タイムスタンプ (C1MSL29TSP)		13-115
H'0080 16E0	CAN1メッセージスロット30標準ID0 (C1MSL30SID0)	CAN1メッセージスロット30標準ID1 (C1MSL30SID1)	13-87 13-89
H'0080 16E2	CAN1メッセージスロット30拡張ID0 (C1MSL30EID0)	CAN1メッセージスロット30拡張ID1 (C1MSL30EID1)	13-91 13-93
H'0080 16E4	CAN1メッセージスロット30拡張ID2 (C1MSL30EID2)	CAN1メッセージスロット30データ長レジスタ (C1MSL30DLC)	13-95 13-97
H'0080 16E6	CAN1メッセージスロット30データ0 (C1MSL30DT0)	CAN1メッセージスロット30データ1 (C1MSL30DT1)	13-99 13-101
H'0080 16E8	CAN1メッセージスロット30データ2 (C1MSL30DT2)	CAN1メッセージスロット30データ3 (C1MSL30DT3)	13-103 13-105
H'0080 16EA	CAN1メッセージスロット30データ4 (C1MSL30DT4)	CAN1メッセージスロット30データ5 (C1MSL30DT5)	13-107 13-109
H'0080 16EC	CAN1メッセージスロット30データ6 (C1MSL30DT6)	CAN1メッセージスロット30データ7 (C1MSL30DT7)	13-111 13-113
H'0080 16EE	CAN1メッセージスロット30タイムスタンプ (C1MSL30TSP)		13-115
H'0080 16F0	CAN1メッセージスロット31標準ID0 (C1MSL31SID0)	CAN1メッセージスロット31標準ID1 (C1MSL31SID1)	13-87 13-89
H'0080 16F2	CAN1メッセージスロット31拡張ID0 (C1MSL31EID0)	CAN1メッセージスロット31拡張ID1 (C1MSL31EID1)	13-91 13-93
H'0080 16F4	CAN1メッセージスロット31拡張ID2 (C1MSL31EID2)	CAN1メッセージスロット31データ長レジスタ (C1MSL31DLC)	13-95 13-97
H'0080 16F6	CAN1メッセージスロット31データ0 (C1MSL31DT0)	CAN1メッセージスロット31データ1 (C1MSL31DT1)	13-99 13-101
H'0080 16F8	CAN1メッセージスロット31データ2 (C1MSL31DT2)	CAN1メッセージスロット31データ3 (C1MSL31DT3)	13-103 13-105
H'0080 16FA	CAN1メッセージスロット31データ4 (C1MSL31DT4)	CAN1メッセージスロット31データ5 (C1MSL31DT5)	13-107 13-109
H'0080 16FC	CAN1メッセージスロット31データ6 (C1MSL31DT6)	CAN1メッセージスロット31データ7 (C1MSL31DT7)	13-111 13-113
H'0080 16FE	CAN1メッセージスロット31タイムスタンプ (C1MSL31TSP)		13-115

13.2.1 CANバスモード制御レジスタ

CANバスモード制御レジスタ(CANBUSCR)

<アドレス: H'0080 052A >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	CBUSSELP 0	CBUSSEL 0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	CBUSSELP(CBUSSEL書き込み制御ビット)		0	W
7	CBUSSEL(CANバスモード選択ビット)	0 : CAN0/CAN1 CANバス独立 1 : CAN0/CAN1 CANバス共有	R	W

注. . このレジスタ値の変更は、CAN0、CAN1双方のFRSTビット(CANコントロールレジスタ内)が"1"の状態で行ってください。

CBUSSELビットを"1"にセットすることで、内部でCAN2chを接続し擬似的に64スロットCANとして使用することができます。

• CBUSSEL = 0の場合

CAN0はCTX0/CRX0を、CAN1はCTX1/CRX1を端子として使用します。

• CBUSSEL = 1の場合

CAN0/CAN1ともにCTX0/CRX0を端子として使用します。

CAN0/CAN1 CANバス共有(CBUSSEL = 1)の場合の注意事項を以下に示します。

- ポート動作モードレジスタ/ポート周辺機能選択レジスタでCTX1/CRX1を選択しないでください。
- CAN0/CAN1ともに動作させている、かつ双方のCANが送信要求を出している場合は、内部でのアービトラジョンにより優先順位の高いIDを持ったCANの出力がCTX0の出力となります。また、アービトラジョンに負けた方のCANはその後受信ノードとして動作しますが、ACKフィールドでドミナントレベルを出力しません。
- CAN0/CAN1ともに動作させている場合、双方のCANがエラーパッシブ状態とならない限り、外部から見るとエラーパッシブノードとしての動作にはなりません。また、双方のCANがエラーバスオフ状態とならない限り、外部から見るとエラーバスオフノードとしての動作にはなりません。そのため、ソフトウェアにて双方のCANのエラー状態を同じにする等の考慮が必要です。
- CAN0/CAN1双方に同じIDを持った送信スロットを設定しないでください。
- CAN0/CAN1ともに動作させている場合で、一方のCANの送信が完了し他方のCANで受信条件を満たすスロットがあると、"他方のCAN"は受信データを格納します。

このレジスタを設定する場合は、下記の手順で行います。

1. CBUSSEL書き込み制御ビット(CBUSSELP)に"1"を書き込み
2. 上記1.に連続してCBUSSEL書き込み制御ビット(CBUSSELP)に"0"を、出力禁止選択ビット(CBUSSEL)に"0"または"1"書き込み

注. . 1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルは影響しません。

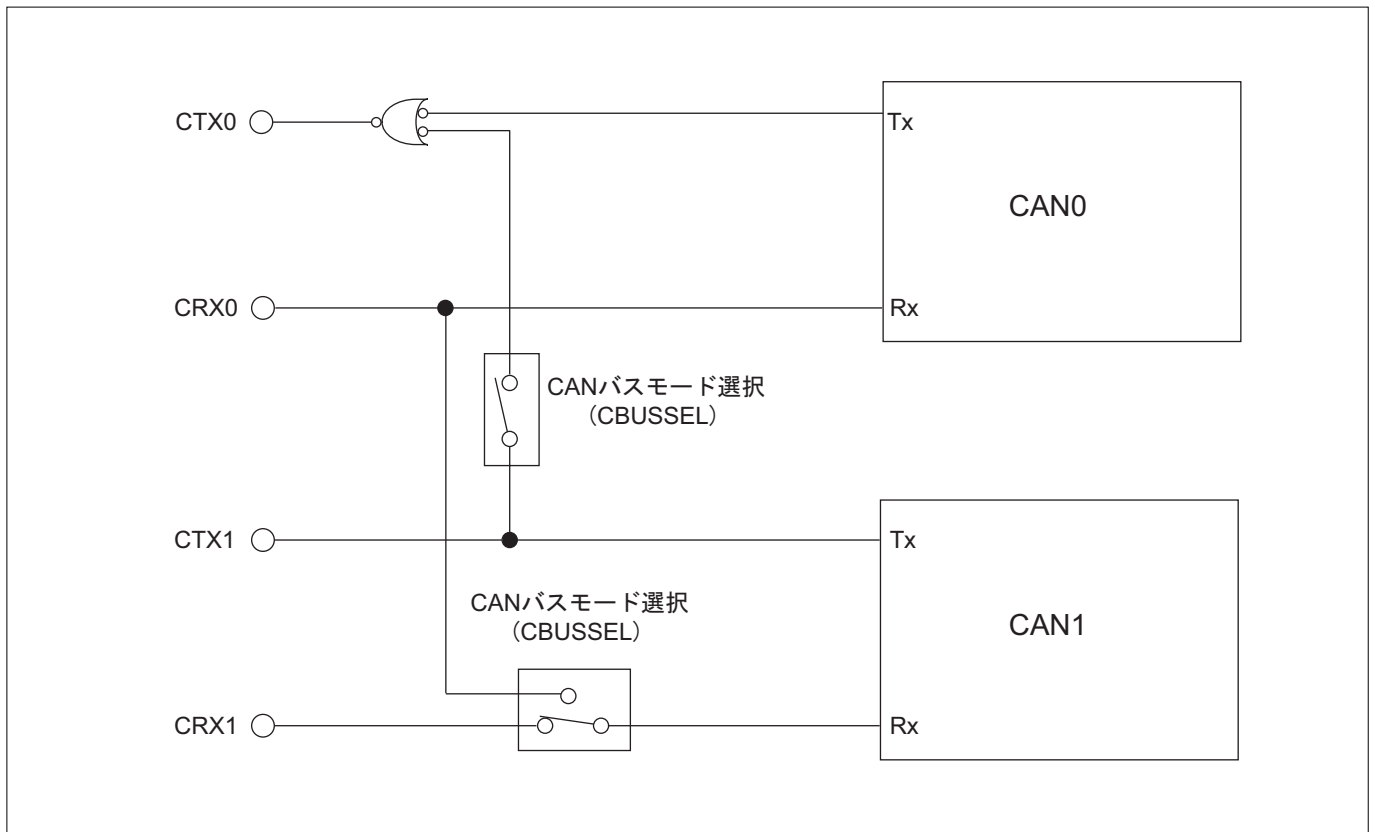


図13.2.1 CANバスモード選択回路構成図(イメージ図)

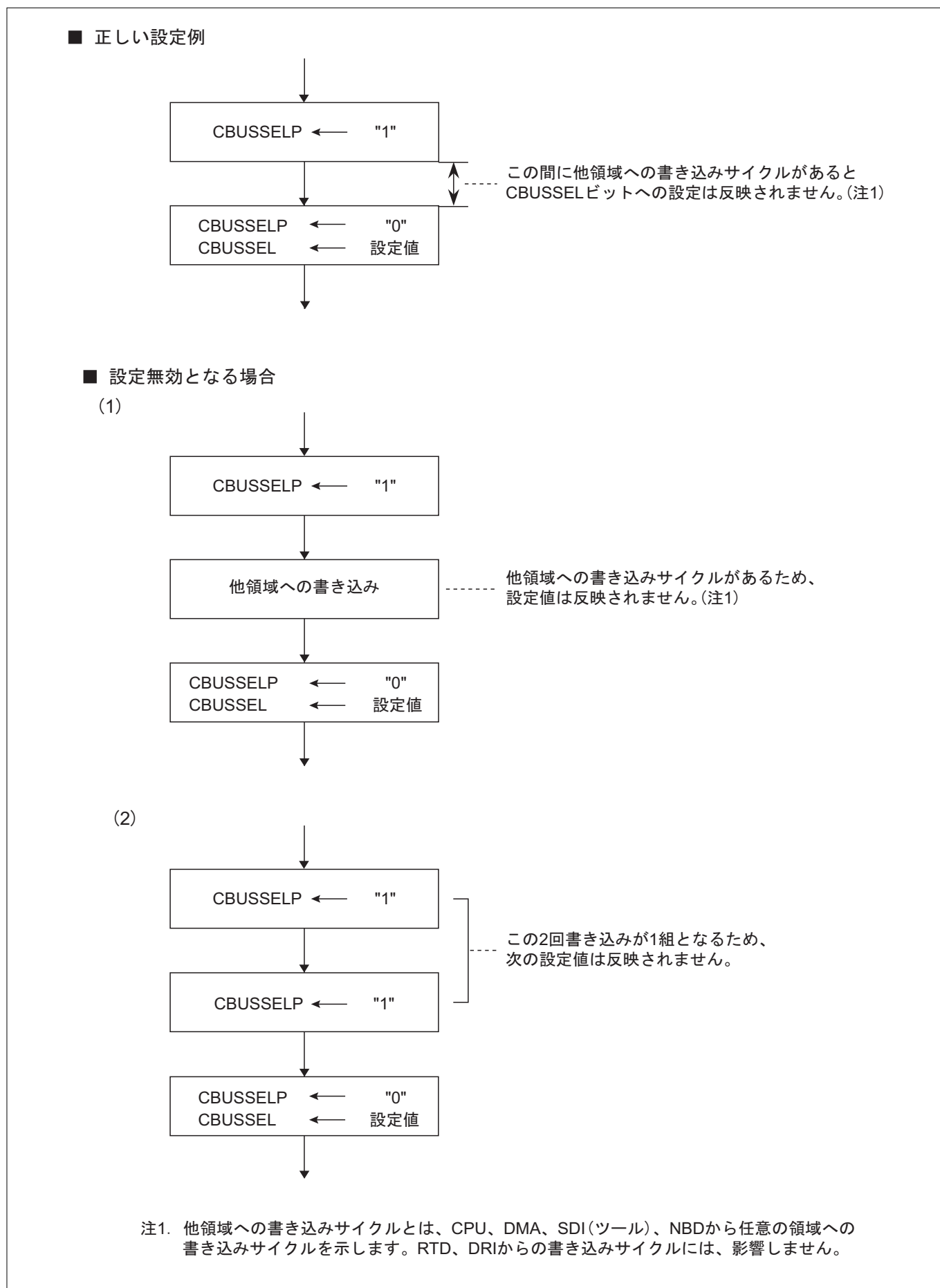


図13.2.2 CBUSSEL設定手順

13.2.2 CANコントロールレジスタ

CAN0コントロールレジスタ(CAN0CNT)

<アドレス : H'0080 1000 >

CAN1コントロールレジスタ(CAN1CNT)

<アドレス : H'0080 1400 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
				RBO	TSR	TSP					FRST	BCM		LBM	RST
0				0	0	0	0	0	0	0	1	0	0	0	1

<リセット解除時 : H'0011 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	RBO リターンバスオフビット	0 : 通常動作許可 1 : エラーカウンタのクリアを要求	R (注1)	
5	TSR タイムスタンプカウンタリセットビット	0 : カウント動作許可 1 : カウントの初期化(H'0000のセット)	R (注1)	
6~7	TSP タイムスタンププリスケアラビット	00 : CANバスピットクロックを選択 01 : CANバスピットクロックの2分周を選択 10 : CANバスピットクロックの3分周を選択 11 : CANバスピットクロックの4分周を選択	R	W
8~10	何も配置されていません。"0"に固定してください。		0	0
11	FRST 強制リセットビット	0 : リセット解除 1 : 強制リセット	R	W
12	BCM BasicCANモードビット	0 : BasicCAN機能無効 1 : BasicCANモード	R	W
13	何も配置されていません。"0"に固定してください。		0	0
14	LBM ループバックモードビット	0 : ループバック機能無効 1 : ループバック機能有効	R	W
15	RST CANリセットビット	0 : リセット解除 1 : リセット要求	R	W

注1 . 書き込みは"1"のみ有効。"0"へのクリアはハードウェアによって自動的に行われます。

(1)RBQ(リターンバスオフ)ビット (b4)

バスオフ状態時、このビットに"1"を設定することによって、CAN受信エラーカウントレジスタ(CAN0REC, CAN1REC)CAN送信エラーカウントレジスタ(CAN0TEC, CAN1TEC)をH'00にクリアし、CANモジュールの状態を強制的にエラーアクティブにすることができます。

このビットは、エラーアクティブに遷移したとき、クリアされます。

- 注 .
- ・エラーカウンタクリア後は、CANバス上に11ビットの連続したレセシブビットを検出した後に通信可能となります。
 - ・エラーアクティブ状態、エラーパッシブ状態の通信可能な状態において、このビットに"1"を設定しないでください。

(2)TSR(タイムスタンプカウンタリセット)ビット (b5)

このビットに"1"を設定することによって、CANタイムスタンプカウントレジスタ(CAN0TSTMP, CAN1TSTMP)の値をH'0000にクリアする事ができます。

このビットは、CANタイムスタンプカウントレジスタ(CAN0TSTMP, CAN1TSTMP)の値がH'0000にクリアされた後、クリアされます。

(3)TSP(タイムスタンププリスケアラ)ビット (b6, b7)

タイムスタンプカウンタのカウントクロックソースを選択します。

- 注 .
- ・CAN動作中(CANステータスレジスタのCRSビットが"0")は、TSPビットの設定変更を行わないでください。

(4)FRST(強制リセット)ビット (b11)

FRSTビットに"1"をセットすると、CANモジュールが通信中かどうかに関係なくCANモジュールをCANバスから切り離し、プロトコル制御部がリセットされます。

FRSTビットセットからプロトコル制御部リセットまでは最大で5BCLKかかります。

- 注 .
- ・CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。
 - ・通信中にFRSTビットに"1"をセットした場合、その直後からCTX端子出力は"H"固定になります。このため、CANフレーム送信中にFRSTビットに"1"をセットした場合、CANバスエラー発生の原因になることがあります。
 - ・FRST、RSTビットのセットによりCANメッセージスロットコントロールレジスタの送受信要求はクリアされません。
 - ・FRSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウントレジスタとCAN送受信エラーカウントレジスタは0に初期化されます。

(5)BCM(BasicCANモード)ビット (b12)

このビットに"1"をセットすることによって、CANモジュールのローカルスロット30、31をBasicCANモードで動作させることができます。

• BasicCANモード時の動作

BasicCANモードでは、ローカルスロット30、31の2本をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDマッチした受信フレームをスロット30、31へ交互に格納します。そのときのアクセプタンスフィルタリングには、スロット30がアクティブ(つぎの受信フレームが格納されるスロットが30)の場合はスロット30にセットしたIDとローカルマスクAが、スロット31がアクティブの場合はスロット31にセットしたIDとローカルマスクBが使用されます。また、データフレーム、リモートフレームの2タイプのフレームを受信することができます。2つのスロットのIDとマスクレジスタの設定を同じにすることによって、多数のIDを持ったフレームを受信する場合などで、メッセージロス発生の可能性を低くすることができます。

- BasicCANモードエントリ手順

初期設定の中で以下の手順で行います。

- 1) スロット30、31のID、およびローカルマスクレジスタA、Bを設定する。(同一値設定を推奨)
- 2) スロット30、31で扱うフレームのタイプ(標準/拡張)をCANフレームフォーマット選択レジスタにて設定する。(同一タイプを推奨)
- 3) スロット30、31のメッセージスロットコントロールレジスタをデータフレーム受信に設定する。
- 4) BCMビットを"1"にセットする。

注 . . CAN動作中(CANステータスレジスタのCRSビットが"0")は、BCMビットの設定を変更しないでください。

- RSTビットクリア後、最初にアクティブなスロットはスロット30です。
- BasicCANモードでもスロット0～スロット29は通常動作時と同様に使用できます。

(6) LBM(ループバックモード)ビット(b14)

LBMビットに"1"を設定すると、自分が送信したフレームとIDマッチする受信スロットがあった場合に、そのフレームを受信することができます。

注 . . 送信したフレームに対するACKは返しません。

- CAN動作中(CANステータスレジスタのCRSビットが"0")は、LBMビットの設定変更を行わないでください。
- 正常にフレームを送信完了時、CANステータスレジスタ(CANnSTAT)のTSCビットは"1"となりますがRSCビットは"1"となりません。また、送信完了割り込み要求、受信完了割り込み要求は共に発生可能です。

(7) RST(CANリセット)ビット(b15)

RSTビットを"0"にクリアすると、CANモジュールはCANバスと接続され、11ビットの連続したレセシブビットを検出した後に通信可能となります。また、これによってCANタイムスタンプカウントレジスタがカウントを開始します。

RSTビットを"1"にセットすると、それまでに送信要求をセットしたスロットのフレームを送信した後、バスアイドル状態となるのを待って、プロトコル制御部がリセット状態になりCANバスから切り離されます。その間受信したフレームは正常に処理されます。また、バスオフ状態においてRSTビットを"1"にセットした場合は、CANバス上に11ビットの連続したレセシブビットを128回検出後、バスオフ状態を抜け出し、プロトコル制御部がリセット状態となります。

注 . . RSTビットを"1"にセットした後、プロトコル制御部がリセット状態になるまでの間(CANステータスレジスタのCRSビットが"1")、新たな送信要求をセットする事は禁止です。

- RSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウントレジスタとCAN送受信エラーカウントレジスタは0に初期化されます。
- CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

13.2.3 CANステータスレジスタ

CAN0ステータスレジスタ(CAN0STAT)

<アドレス : H'0080 1002 >

CAN1ステータスレジスタ(CAN1STAT)

<アドレス : H'0080 1402 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	BOS	EPS	CBS	BCS	0	LBS	CRS	RSB	TSB	RSC	TSC	MSN			
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

<リセット解除時 : H'0100 >

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1	BOS バスオフステータスビット	0 : バスオフでない 1 : バスオフ状態	R	-
2	EPS エラーパッシブステータスビット	0 : エラーパッシブでない 1 : エラーパッシブ状態	R	-
3	CBS CANバスエラービット	0 : エラー発生なし 1 : エラー発生あり	R	-
4	BCS BasicCANステータスビット	0 : 通常モード 1 : BasicCANモード	R	-
5	何も配置されていません。"0"に固定してください。		0	0
6	LBS ループバックステータスビット	0 : 通常モード 1 : ループバックモード	R	-
7	CRS CANリセットステータスビット	0 : 動作中 1 : リセット状態	R	-
8	RSB 受信ステータスビット	0 : 非受信状態 1 : 受信中	R	-
9	TSB 送信ステータスビット	0 : 非送信状態 1 : 送信中	R	-
10	RSC 受信完了ステータスビット	0 : 受信未完了 1 : 受信完了	R	-
11	TSC 送信完了ステータスビット	0 : 送信未完了 1 : 送信完了	R	-
12~15	MSN メッセージスロットナンバビット	送信/受信完了したメッセージスロットの番号(注1) 0000 : スロット0 0001 : スロット1 0010 : スロット2 0011 : スロット3 0100 : スロット4 0101 : スロット5 0110 : スロット6 0111 : スロット7 1000 : スロット8 1001 : スロット9 1010 : スロット10 1011 : スロット11 1100 : スロット12 1101 : スロット13 1110 : スロット14 1111 : スロット15	R	-

注1. メッセージスロット番号の下位4ビットのみを示すため、スロット0~15とスロット16~31は同じ値となります。全32スロットを使用する場合には、CANnメッセージスロットナンバレジスタ(CANnMSN)を参照してください。

(1) BOS(バスオフステータス)ビット (b1)

BOSビットが"1"のとき、CANモジュールの状態がバスオフであることを示します。

[セット条件]

送信エラーカウントレジスタの値が255を超えてバスオフになった場合に"1"がセットされます。

[クリア条件]

バスオフ状態から復帰したときにクリアされます。

(2) EPS(エラーパッシブステータス)ビット (b2)

EPSビットが"1"のとき、CANモジュールの状態がエラーパッシブであることを示します。

[セット条件]

送信エラーカウントレジスタの値、あるいは受信エラーカウントレジスタの値が127を超えてエラーパッシブになった場合に"1"がセットされます。

[クリア条件]

エラーパッシブから変化したときにクリアされます。

(3) CBS(CANバスエラー)ビット (b3)

[セット条件]

CANバス上にエラーを検出した場合に"1"がセットされます。

[クリア条件]

正常に送受信が完了したときにクリアされます。

(4) BCS(BasicCANステータス)ビット (b4)

BCSビットが"1"のとき、BasicCANモードで動作していることを示します。

[セット条件]

BasicCANモードで動作しているとき、"1"がセットされます。

BasicCANモードは、下記条件で動作します。

- ・ CANコントロールレジスタのBCMビットが"1"にセットされていること。
- ・ スロット30、31がともにデータフレーム受信にセットされていること。

[クリア条件]

BCMビットを"0"にクリアすると、BCSビットもクリアされます。

(5) LBS(ループバックステータス)ビット (b6)

LBSビットが"1"のとき、ループバックモードで動作していることを示します。

[セット条件]

CANコントロールレジスタのLBM(ループバックモード)ビットに"1"をセットすると"1"がセットされます。

[クリア条件]

LBMビットを"0"にクリアすると、LBSビットもクリアされます。

(6) CRS(CANリセットステータス)ビット (b7)

CRSビットが"1"のとき、プロトコル制御部がリセット状態にあることを示します。

[セット条件]

CANのプロトコル制御部がリセット状態にあるとき、"1"がセットされます。

[クリア条件]

CANコントロールレジスタのRST(CANリセット)ビットとFRSTビットを"0"にクリアすると、CRSビットもクリアされます。ただし、RSTビットとFRSTビットを"0"にクリアしてからCRSビットが"0"にクリアされるまでに、設定されているポーレートの1ビット分の時間がかかります。

(7) RSB(受信ステータス)ビット (b8)

[セット条件]

CANが受信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

送信ノードとして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(8) TSB(送信ステータス)ビット (b9)

[セット条件]

CANが送信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

受信ノードとして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(9) RSQ(受信完了ステータス)ビット (b10)

[セット条件]

CANが正常に受信を完了した(受信条件を満たすスロットの有無にかかわらず)とき、"1"がセットされます。

[クリア条件]

正常に送信完了したときにクリアされます。

(10) TSQ(送信完了ステータス)ビット (b11)

[セット条件]

CANが正常に送信を完了したとき、"1"がセットされます。

[クリア条件]

正常に受信完了したときにクリアされます。

(11) MSN(メッセージスロットナンバ)ビット(b12~b15)

送信完了時または受信データ格納完了時に、該当スロット番号の下位4ビットを示します。

スロット0~15とスロット16~31は同じ値となります。スロット0~15、またはスロット16~31のみを使用する場合に、他のステータスビットと同時に読み出せます。全スロットを使用する場合には、CANnメッセージスロットナンバレジスタ(CANnMSN)を参照してください。

MSNビットはソフトウェアによって"0"クリアすることはできません。

注 . . ループバックモード時に自分自身が送信したフレームを受信した場合、MSNビットは送信スロット番号を表示します。

13.2.4 CANコンフィグレーションレジスタ

CAN0コンフィグレーションレジスタ(CAN0CONF)

<アドレス : H'0080 1006 >

CAN1コンフィグレーションレジスタ(CAN1CONF)

<アドレス : H'0080 1406 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SJW		PH2			PH1			PRB			SAM				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0~1	SJW reSynchronization Jump Width設定ビット	00 : SJW = 1Tq 01 : SJW = 2Tq 10 : SJW = 3Tq 11 : SJW = 4Tq	R	W
2~4	PH2 Phase Segment2設定ビット	000 : Phase Segment2 = 1Tq 001 : Phase Segment2 = 2Tq 010 : Phase Segment2 = 3Tq 011 : Phase Segment2 = 4Tq 100 : Phase Segment2 = 5Tq 101 : Phase Segment2 = 6Tq 110 : Phase Segment2 = 7Tq 111 : Phase Segment2 = 8Tq	R	W
5~7	PH1 Phase Segment1設定ビット	000 : Phase Segment1 = 1Tq 001 : Phase Segment1 = 2Tq 010 : Phase Segment1 = 3Tq 011 : Phase Segment1 = 4Tq 100 : Phase Segment1 = 5Tq 101 : Phase Segment1 = 6Tq 110 : Phase Segment1 = 7Tq 111 : Phase Segment1 = 8Tq	R	W
8~10	PRB Propagation Segment設定ビット	000 : Propagation Segment = 1Tq 001 : Propagation Segment = 2Tq 010 : Propagation Segment = 3Tq 011 : Propagation Segment = 4Tq 100 : Propagation Segment = 5Tq 101 : Propagation Segment = 6Tq 110 : Propagation Segment = 7Tq 111 : Propagation Segment = 8Tq	R	W
11	SAM サンプリング数選択ビット	0 : 1回サンプリング 1 : 3回サンプリング	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注 . ・ CAN動作中(CANステータスレジスタのCRSビットが"0")は、CANコンフィグレーションレジスタ(CAN0CONF, CAN1CONF)の設定変更を行わないでください。

・ ビット構成は以下の条件を満たすように、CANプロトコル仕様書にて規定されています。

・ 1ビット分のTq数 : 8 ~ 25Tq

・ SJW $\min(\text{Phase Segment1}, \text{Phase Segment2})$

・ Phase Segment2 = $\max(\text{Phase Segment1}, \text{IPT}^*)$ ただし、32192/32196内蔵のCANモジュールはIPT = 1となっています。

$\min()$ は小さい方の値を返す関数です。

$\max()$ は最大値を返す関数です。

*IPTとは、Information Processing Time(情報処理時間)の略で、サンプリングポイント直後の時間を指します。

(1) SJWビット (b0 ~ b1)

reSynchronization Jump Widthの幅を設定します。

(2) PH2ビット (b2 ~ b4)

Phase Segment2の幅を設定します。

(3) PH1ビット (b5 ~ b7)

Phase Segment1の幅を設定します。

(4) PRBビット (b8 ~ b10)

Propagation Segmentの幅を設定します。

(5) SAMビット (b11)

1ビットあたりのサンプリング数を設定します。

"0": Phase Segment1の最後でサンプリングした値をそのビット値とみなします。

"1": Phase Segment1の最後でサンプリングした値、1T_q前のサンプリング値、および2T_q前のサンプリング値の計3ポイントの値から多数決回路によって、ビットの値を決定します。

表13.2.1 (CPUCLK): 160MHz時のビットタイミング設定例 (注2)

ボーレート	BRP設定値	T _q 周期 (ns)	1ビット内のT _q 数	PROP + PH1	PH2	ビットタイミング	
1M bps	1	50	20	16	3	85% (注1)	
				15	4	80% (注1)	
				14	5	75% (注1)	
	3	100	10	7	2	80%	
				6	3	70%	
				5	4	60%	
	4	125	8	6	1	88%	
				5	2	75%	
				4	3	63%	
	500K bps	3	100	20	16	3	85% (注1)
					15	4	80% (注1)
					14	5	75% (注1)
4		125	16	13	2	88% (注1)	
				12	3	81% (注1)	
				11	4	75%	
7		200	10	8	1	90%	
				7	2	80%	
				6	3	70%	
9		250	8	6	1	88%	
				5	2	75%	
				4	3	63%	

注1. CANプロトコル規定であるPH2=max(PH1, IPT)を満たすことはできません。

注2. CANモジュールクロックは、CANクロック選択レジスタでCPUCLK/4を選択してください。

注. . . 上記設定ボーレートでの通信を保証するものではありません。十分な評価・検証の上、ご使用ください。

表13.2.2 (CPUCLK): 128MHz時のビットタイミング設定例(注2)

ボーレート	BRP設定値	Tq周期(ns)	1ビット内のTq数	PROP + PH1	PH2	ビットタイミング
1M bps	1	62.5	16	13	2	88% (注1)
				12	3	81% (注1)
				11	4	75%
	3	125	8	6	1	88%
				5	2	75%
				4	3	63%
500K bps	3	125	16	12	3	81% (注1)
				11	4	75%
				10	5	69%
	7	250	8	6	1	88%
				5	2	75%
				4	3	63%

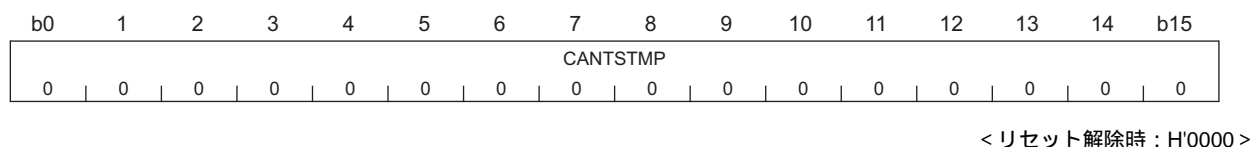
注1 . CANプロトコル規定である $PH2 = \max(PH1, IPT)$ を満たすことはできません。

注2 . CANモジュールクロックは、CANクロック選択レジスタでCPUCLK/4を選択してください。

注 . . 上記設定ボーレートでの通信を保証するものではありません。十分な評価・検証の上、ご使用ください。

13.2.5 CANタイムスタンプカウントレジスタ

CAN0タイムスタンプカウントレジスタ(CAN0TSTMP) <アドレス: H'0080 1008 >
 CAN1タイムスタンプカウントレジスタ(CAN1TSTMP) <アドレス: H'0080 1408 >



b	ビット名	機能	R	W
0~15	CANTSTMP	16ビットタイムスタンプカウンタ値	R	-

CANモジュールは16ビットのアップカウントレジスタを内蔵しています。カウント周期はCANコントロールレジスタ(CAN0CNT, CAN1CNT)のTSP(タイムスタンププリスケラ)ビットでCANバスビット周期の1分周、2分周、3分周、4分周のいずれかを選択します。

送信/受信完了時、カウントレジスタ値をキャプチャし、その値をメッセージロットへ格納します。

カウンタは、CANコントロールレジスタ(CAN0CNT, CAN1CNT)のRSTビットを"0"クリアすることによってカウント動作を開始します。

- 注 .
- ・ CANコントロールレジスタ(CAN0CNT, CAN1CNT)のRST(CANリセット)ビットを"1"にセットすることによって、プロトコル制御部がリセットされH'0000へ初期化することができます。また、TSR(タイムスタンプカウンタリセット)ビットを"1"にセットすることによって、CANモジュールを動作させたままH'0000へ初期化することができます。
 - ・ ループバックモード時、IDマッチするロットが存在する場合には、受信完了時に対応したロットへタイムスタンプ値が格納されます(送信完了時、タイムスタンプ値は格納されません)。
 - ・ CANタイムスタンプカウントレジスタのカウント周期はCAN再同期機能により変化します。

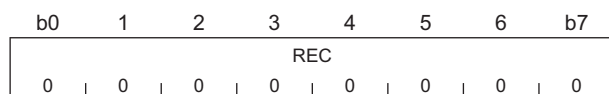
13.2.6 CANエラーカウントレジスタ

CAN0受信エラーカウントレジスタ(CAN0REC)

<アドレス : H'0080 100A >

CAN1受信エラーカウントレジスタ(CAN1REC)

<アドレス : H'0080 140A >



<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~7	REC	受信エラーカウント値	R	-

エラーアクティブ/エラーパッシブ状態のときは、受信エラーのカウント値が格納されます。正常受信時にダウンカウントし、エラー発生時にアップカウントします。

REC 128の状態(エラーパッシブ)で正常に受信完了した場合、RECは127にセットされます。

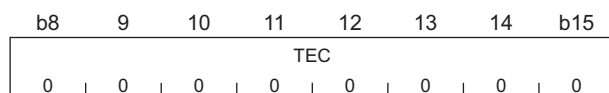
バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

CAN0送信エラーカウントレジスタ(CAN0TEC)

<アドレス : H'0080 100B >

CAN1送信エラーカウントレジスタ(CAN1TEC)

<アドレス : H'0080 140B >



<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~15	TEC	送信エラーカウント値	R	-

エラーアクティブ/エラーパッシブ状態のときは、送信エラーのカウント値が格納されます。正常送信時にダウンカウントし、エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

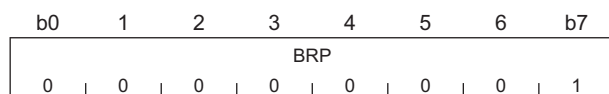
13.2.7 CANボーレートプリスケアラ

CAN0ボーレートプリスケアラ(CAN0BRP)

<アドレス : H'0080 1016 >

CAN1ボーレートプリスケアラ(CAN1BRP)

<アドレス : H'0080 1416 >



<リセット解除時 : H'01 >

b	ビット名	機能	R	W
0~7	BRP	CANボーレートプリスケアラ値	R	W

CANのTq周期を設定します。CANボーレートは、「Tq周期 × 1ビット内のTqの数」で決定します。

$$Tq周期 = (BRP設定値 + 1) \times (CPUCLK/4)$$

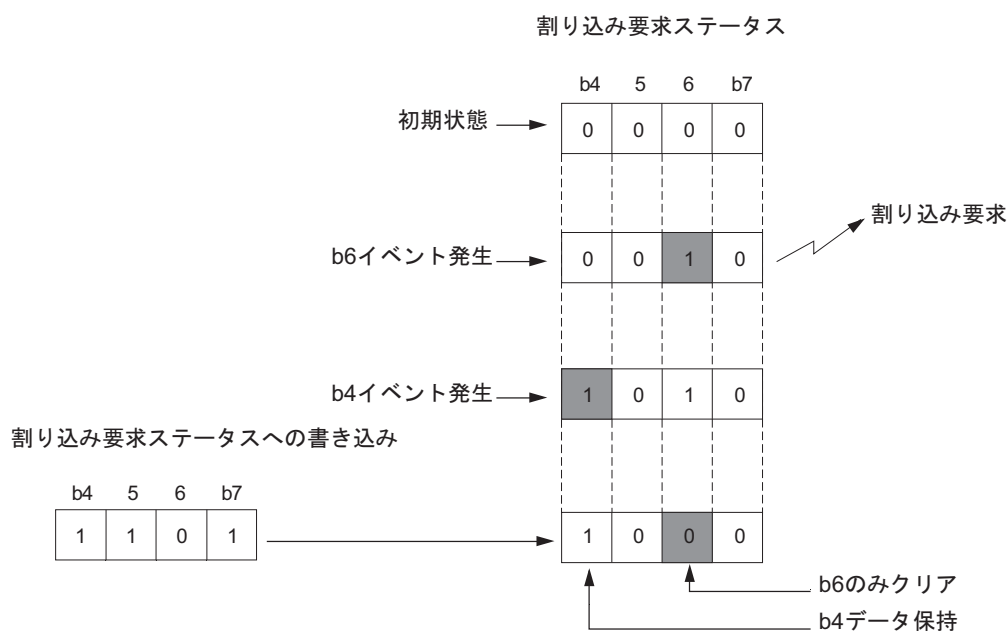
$$CAN転送ボーレート = \frac{1}{Tq周期 \times 1ビット内のTqの数}$$

$$1ビット内のTqの数 = Synchronization Segment + Propagation Segment + Phase Segment 1 + Phase Segment 2$$

注 . ・ H'00(1分周)は設定禁止です。

- ・ CAN動作中(CANステータスレジスタのCRSビット"0")は、CANボーレートプリスケアラ(CANnBRP)の設定を変更しないでください。
- ・ CANモジュールクロックは、CANクロック選択レジスタでCPUCLK/4を選択してください。

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0 (ISTREG) の割り込み要求ステータス1 : ISTAT1 (0x02ビット) をクリアする場合



ISTREG = 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



ISTREG &= 0xfd; /*ISTAT1 (0x02ビット) のみ クリア*/

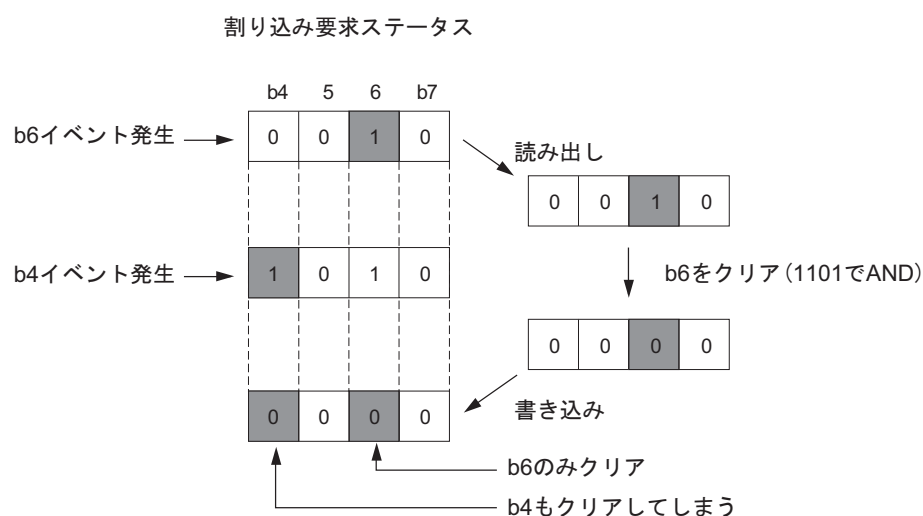


図13.2.5 割り込み要求ステータスクリア例

CAN0スロット割り込み要求ステータスレジスタ(CAN0SLISTW)

<アドレス : H'0080 100C >

CAN1スロット割り込み要求ステータスレジスタ(CAN1SLISTW)

<アドレス : H'0080 140C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SSB0	SSB1	SSB2	SSB3	SSB4	SSB5	SSB6	SSB7	SSB8	SSB9	SSB10	SSB11	SSB12	SSB13	SSB14	SSB15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SSB16	SSB17	SSB18	SSB19	SSB20	SSB21	SSB22	SSB23	SSB24	SSB25	SSB26	SSB27	SSB28	SSB29	SSB30	SSB31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	SSB0(スロット0割り込み要求ステータスビット)	0 : 割り込み要求なし	R	(注1)
1	SSB1(スロット1割り込み要求ステータスビット)	1 : 割り込み要求あり		
2	SSB2(スロット2割り込み要求ステータスビット)			
3	SSB3(スロット3割り込み要求ステータスビット)			
4	SSB4(スロット4割り込み要求ステータスビット)			
5	SSB5(スロット5割り込み要求ステータスビット)			
6	SSB6(スロット6割り込み要求ステータスビット)			
7	SSB7(スロット7割り込み要求ステータスビット)			
8	SSB8(スロット8割り込み要求ステータスビット)			
9	SSB9(スロット9割り込み要求ステータスビット)			
10	SSB10(スロット10割り込み要求ステータスビット)			
11	SSB11(スロット11割り込み要求ステータスビット)			
12	SSB12(スロット12割り込み要求ステータスビット)			
13	SSB13(スロット13割り込み要求ステータスビット)			
14	SSB14(スロット14割り込み要求ステータスビット)			
15	SSB15(スロット15割り込み要求ステータスビット)			
16	SSB16(スロット16割り込み要求ステータスビット)			
17	SSB17(スロット17割り込み要求ステータスビット)			
18	SSB18(スロット18割り込み要求ステータスビット)			
19	SSB19(スロット19割り込み要求ステータスビット)			
20	SSB20(スロット20割り込み要求ステータスビット)			
21	SSB21(スロット21割り込み要求ステータスビット)			
22	SSB22(スロット22割り込み要求ステータスビット)			
23	SSB23(スロット23割り込み要求ステータスビット)			
24	SSB24(スロット24割り込み要求ステータスビット)			
25	SSB25(スロット25割り込み要求ステータスビット)			
26	SSB26(スロット26割り込み要求ステータスビット)			
27	SSB27(スロット27割り込み要求ステータスビット)			
28	SSB28(スロット28割り込み要求ステータスビット)			
29	SSB29(スロット29割り込み要求ステータスビット)			
30	SSB30(スロット30割り込み要求ステータスビット)			
31	SSB31(スロット31割り込み要求ステータスビット)			

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、どのスロットから割り込み要求があったかをこのレジスタで知ることができます。

- 送信設定スロット

送信が完了したとき"1"がセットされます。
このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

- 受信設定スロット

受信が完了し、受信メッセージのメッセージスロットへの格納が終わったとき"1"がセットされます。
このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

CANスロット割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

- 注 .
- ・ リモートフレーム受信スロットで自動応答機能を有効にしている場合は、リモートフレーム受信完了後、およびデータフレーム送信完了後ともに要求ステータスがセットされます。
 - ・ リモートフレーム送信スロットでは、リモートフレーム送信完了後、およびデータフレーム受信完了後ともに要求ステータスがセットされます。
 - ・ 割り込み要求による要求ステータスのセットとソフトウェアによる要求ステータスのクリアが同時に起こった場合は、割り込み要求による要求ステータスのセットが優先されます。

CAN0スロット割り込み要求マスクレジスタ(CAN0SLIMKW)

<アドレス : H'0080 1010 >

CAN1スロット割り込み要求マスクレジスタ(CAN1SLIMKW)

<アドレス : H'0080 1410 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
IRB0	IRB1	IRB2	IRB3	IRB4	IRB5	IRB6	IRB7	IRB8	IRB9	IRB10	IRB11	IRB12	IRB13	IRB14	IRB15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
IRB16	IRB17	IRB18	IRB19	IRB20	IRB21	IRB22	IRB23	IRB24	IRB25	IRB26	IRB27	IRB28	IRB29	IRB30	IRB31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	IRB0(スロット0割り込み要求マスクビット)	0 : 割り込み要求マスク(禁止)	R	W
1	IRB1(スロット1割り込み要求マスクビット)	1 : 割り込み要求許可		
2	IRB2(スロット2割り込み要求マスクビット)			
3	IRB3(スロット3割り込み要求マスクビット)			
4	IRB4(スロット4割り込み要求マスクビット)			
5	IRB5(スロット5割り込み要求マスクビット)			
6	IRB6(スロット6割り込み要求マスクビット)			
7	IRB7(スロット7割り込み要求マスクビット)			
8	IRB8(スロット8割り込み要求マスクビット)			
9	IRB9(スロット9割り込み要求マスクビット)			
10	IRB10(スロット10割り込み要求マスクビット)			
11	IRB11(スロット11割り込み要求マスクビット)			
12	IRB12(スロット12割り込み要求マスクビット)			
13	IRB13(スロット13割り込み要求マスクビット)			
14	IRB14(スロット14割り込み要求マスクビット)			
15	IRB15(スロット15割り込み要求マスクビット)			
16	IRB16(スロット16割り込み要求マスクビット)			
17	IRB17(スロット17割り込み要求マスクビット)			
18	IRB18(スロット18割り込み要求マスクビット)			
19	IRB19(スロット19割り込み要求マスクビット)			
20	IRB20(スロット20割り込み要求マスクビット)			
21	IRB21(スロット21割り込み要求マスクビット)			
22	IRB22(スロット22割り込み要求マスクビット)			
23	IRB23(スロット23割り込み要求マスクビット)			
24	IRB24(スロット24割り込み要求マスクビット)			
25	IRB25(スロット25割り込み要求マスクビット)			
26	IRB26(スロット26割り込み要求マスクビット)			
27	IRB27(スロット27割り込み要求マスクビット)			
28	IRB28(スロット28割り込み要求マスクビット)			
29	IRB29(スロット29割り込み要求マスクビット)			
30	IRB30(スロット30割り込み要求マスクビット)			
31	IRB31(スロット31割り込み要求マスクビット)			

対応するスロットのデータの送信/受信完了による割り込み要求の許可/禁止を制御するレジスタです。IRBn(n = 0 ~ 31)に"1"を設定した場合、対応するスロットの送信/受信完了による割り込み要求が許可されます。どのスロットから割り込み要求があったかは、CANスロット割り込み要求ステータスレジスタ(CAN0SLISTW, CAN1SLISTW)で確認できます。

CAN0エラー割り込み要求ステータスレジスタ(CAN0ERIST)

<アドレス: H'0080 1014 >

CAN1エラー割り込み要求ステータスレジスタ(CAN1ERIST)

<アドレス: H'0080 1414 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	EIS	PIS	OIS
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5	EIS CANバスエラー割り込み要求ステータスビット	0: 割り込み要求なし 1: 割り込み要求あり	R (注1)	
6	PIS エラーパッシブ割り込み要求ステータスビット			
7	OIS バスオフ割り込み要求ステータスビット			

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、割り込み要求要因がエラーに関連するものであったときはこのレジスタでその要因を確認することができます。

(1) EIS(CANバスエラー割り込み要求ステータス)ビット (b5)

通信エラーが検出された場合、EISビットに"1"がセットされます。

EISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(2) PIS(エラーパッシブ割り込み要求ステータス)ビット (b6)

CANモジュールの状態がエラーパッシブとなった場合、PISビットに"1"がセットされます。

PISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(3) OIS(バスオフ割り込み要求ステータス)ビット (b7)

CANモジュールの状態がバスオフとなった場合、OISビットに"1"がセットされます。

OISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

CANエラー割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0エラー割り込み要求マスクレジスタ(CAN0ERIMK)

<アドレス : H'0080 1015 >

CAN1エラー割り込み要求マスクレジスタ(CAN1ERIMK)

<アドレス : H'0080 1415 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	EIM 0	PIM 0	OIM 0

<リセット解除時:H'00>

b	ビット名	機能	R	W
8~12	何も配置されていません。"0"に固定してください。		0	0
13	EIM CANバスエラー割り込み要求マスクビット	0:割り込み要求マスク(禁止) 1:割り込み要求許可	R	W
14	PIM エラーパッシブ割り込み要求マスクビット			
15	OIM バスオフ割り込み要求マスクビット			

(1)EIM(CANバスエラー割り込み要求マスク)ビット (b13)

CANバスエラーの発生による割り込み要求の許可/禁止を制御するビットです。EIMビットに"1"をセットすることによって、CANバスエラー割り込み要求が許可されます。

(2)PIM(エラーパッシブ割り込み要求マスク)ビット (b14)

CANモジュールの状態がエラーパッシブに遷移したときの割り込み要求の許可/禁止を制御するビットです。PIMビットに"1"をセットすることによって、エラーパッシブ割り込み要求が許可されます。

(3)OIM(バスオフ割り込み要求マスク)ビット (b15)

CANモジュールの状態がバスオフに遷移したときの割り込み要求の許可/禁止を制御するビットです。OIMビットに"1"をセットすることによって、バスオフ割り込み要求が許可されます。

CAN0シングルショット割り込み要求ステータスレジスタ(CAN0SSISTW) <アドレス : H'0080 1044 >
 CAN1シングルショット割り込み要求ステータスレジスタ(CAN1SSISTW) <アドレス : H'0080 1444 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SSIST0	SSIST1	SSIST2	SSIST3	SSIST4	SSIST5	SSIST6	SSIST7	SSIST8	SSIST9	SSIST10	SSIST11	SSIST12	SSIST13	SSIST14	SSIST15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SSIST16	SSIST17	SSIST18	SSIST19	SSIST20	SSIST21	SSIST22	SSIST23	SSIST24	SSIST25	SSIST26	SSIST27	SSIST28	SSIST29	SSIST30	SSIST31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	SSIST0(スロット0シングルショット割り込み要求ステータスビット)	0 : アービトレーションロストなし	R (注1)	
1	SSIST1(スロット1シングルショット割り込み要求ステータスビット)	/送信エラーなし		
2	SSIST2(スロット2シングルショット割り込み要求ステータスビット)	1 : アービトレーションロストあり		
3	SSIST3(スロット3シングルショット割り込み要求ステータスビット)	/送信エラー発生		
4	SSIST4(スロット4シングルショット割り込み要求ステータスビット)			
5	SSIST5(スロット5シングルショット割り込み要求ステータスビット)			
6	SSIST6(スロット6シングルショット割り込み要求ステータスビット)			
7	SSIST7(スロット7シングルショット割り込み要求ステータスビット)			
8	SSIST8(スロット8シングルショット割り込み要求ステータスビット)			
9	SSIST9(スロット9シングルショット割り込み要求ステータスビット)			
10	SSIST10(スロット10シングルショット割り込み要求ステータスビット)			
11	SSIST11(スロット11シングルショット割り込み要求ステータスビット)			
12	SSIST12(スロット12シングルショット割り込み要求ステータスビット)			
13	SSIST13(スロット13シングルショット割り込み要求ステータスビット)			
14	SSIST14(スロット14シングルショット割り込み要求ステータスビット)			
15	SSIST15(スロット15シングルショット割り込み要求ステータスビット)			
16	SSIST16(スロット16シングルショット割り込み要求ステータスビット)			
17	SSIST17(スロット17シングルショット割り込み要求ステータスビット)			
18	SSIST18(スロット18シングルショット割り込み要求ステータスビット)			
19	SSIST19(スロット19シングルショット割り込み要求ステータスビット)			
20	SSIST20(スロット20シングルショット割り込み要求ステータスビット)			
21	SSIST21(スロット21シングルショット割り込み要求ステータスビット)			
22	SSIST22(スロット22シングルショット割り込み要求ステータスビット)			
23	SSIST23(スロット23シングルショット割り込み要求ステータスビット)			
24	SSIST24(スロット24シングルショット割り込み要求ステータスビット)			
25	SSIST25(スロット25シングルショット割り込み要求ステータスビット)			
26	SSIST26(スロット26シングルショット割り込み要求ステータスビット)			
27	SSIST27(スロット27シングルショット割り込み要求ステータスビット)			
28	SSIST28(スロット28シングルショット割り込み要求ステータスビット)			
29	SSIST29(スロット29シングルショット割り込み要求ステータスビット)			
30	SSIST30(スロット30シングルショット割り込み要求ステータスビット)			
31	SSIST31(スロット31シングルショット割り込み要求ステータスビット)			

注1 . 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

シングルショットモード時のアービトレーションロストの検出、あるいは送信エラーによって送信が失敗した場合はスロットに対応したビットに"1"がセットされます。ビットのクリアは、ソフトウェアによって"0"を書き込むことで行います。

また、CANシングルショット割り込み要求マスクレジスタの対応するビットに"1"をセットしていた場合、割り込み要求を発生させることができます。

CANシングルショット割り込み要求ステータス書き込み時は、クリア操作するビットに"0"を、その他のビットに"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0シングルショット割り込み要求マスクレジスタ(CAN0SSIMKW) < アドレス : H'0080 1048 >
 CAN1シングルショット割り込み要求マスクレジスタ(CAN1SSIMKW) < アドレス : H'0080 1448 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SSIMK0	SSIMK1	SSIMK2	SSIMK3	SSIMK4	SSIMK5	SSIMK6	SSIMK7	SSIMK8	SSIMK9	SSIMK10	SSIMK11	SSIMK12	SSIMK13	SSIMK14	SSIMK15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SSIMK16	SSIMK17	SSIMK18	SSIMK19	SSIMK20	SSIMK21	SSIMK22	SSIMK23	SSIMK24	SSIMK25	SSIMK26	SSIMK27	SSIMK28	SSIMK29	SSIMK30	SSIMK31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	SSIMK0(スロット0シングルショット割り込み要求マスクビット)	0 : 割り込み要求禁止	R	W
1	SSIMK1(スロット1シングルショット割り込み要求マスクビット)	1 : 割り込み要求許可		
2	SSIMK2(スロット2シングルショット割り込み要求マスクビット)			
3	SSIMK3(スロット3シングルショット割り込み要求マスクビット)			
4	SSIMK4(スロット4シングルショット割り込み要求マスクビット)			
5	SSIMK5(スロット5シングルショット割り込み要求マスクビット)			
6	SSIMK6(スロット6シングルショット割り込み要求マスクビット)			
7	SSIMK7(スロット7シングルショット割り込み要求マスクビット)			
8	SSIMK8(スロット8シングルショット割り込み要求マスクビット)			
9	SSIMK9(スロット9シングルショット割り込み要求マスクビット)			
10	SSIMK10(スロット10シングルショット割り込み要求マスクビット)			
11	SSIMK11(スロット11シングルショット割り込み要求マスクビット)			
12	SSIMK12(スロット12シングルショット割り込み要求マスクビット)			
13	SSIMK13(スロット13シングルショット割り込み要求マスクビット)			
14	SSIMK14(スロット14シングルショット割り込み要求マスクビット)			
15	SSIMK15(スロット15シングルショット割り込み要求マスクビット)			
16	SSIMK16(スロット16シングルショット割り込み要求マスクビット)			
17	SSIMK17(スロット17シングルショット割り込み要求マスクビット)			
18	SSIMK18(スロット18シングルショット割り込み要求マスクビット)			
19	SSIMK19(スロット19シングルショット割り込み要求マスクビット)			
20	SSIMK20(スロット20シングルショット割り込み要求マスクビット)			
21	SSIMK21(スロット21シングルショット割り込み要求マスクビット)			
22	SSIMK22(スロット22シングルショット割り込み要求マスクビット)			
23	SSIMK23(スロット23シングルショット割り込み要求マスクビット)			
24	SSIMK24(スロット24シングルショット割り込み要求マスクビット)			
25	SSIMK25(スロット25シングルショット割り込み要求マスクビット)			
26	SSIMK26(スロット26シングルショット割り込み要求マスクビット)			
27	SSIMK27(スロット27シングルショット割り込み要求マスクビット)			
28	SSIMK28(スロット28シングルショット割り込み要求マスクビット)			
29	SSIMK29(スロット29シングルショット割り込み要求マスクビット)			
30	SSIMK30(スロット30シングルショット割り込み要求マスクビット)			
31	SSIMK31(スロット31シングルショット割り込み要求マスクビット)			

対応するスロットが送信に失敗したことによる割り込み要求の許可/禁止を制御するレジスタです。SSIMKnに"1"をセットした場合、対応するスロット(シングルショットモードの場合のみ)での送信失敗による割り込み要求が許可されます。

どのスロットから割り込み要求があったかは、CANシングルショット割り込み要求ステータスレジスタで確認することができます。

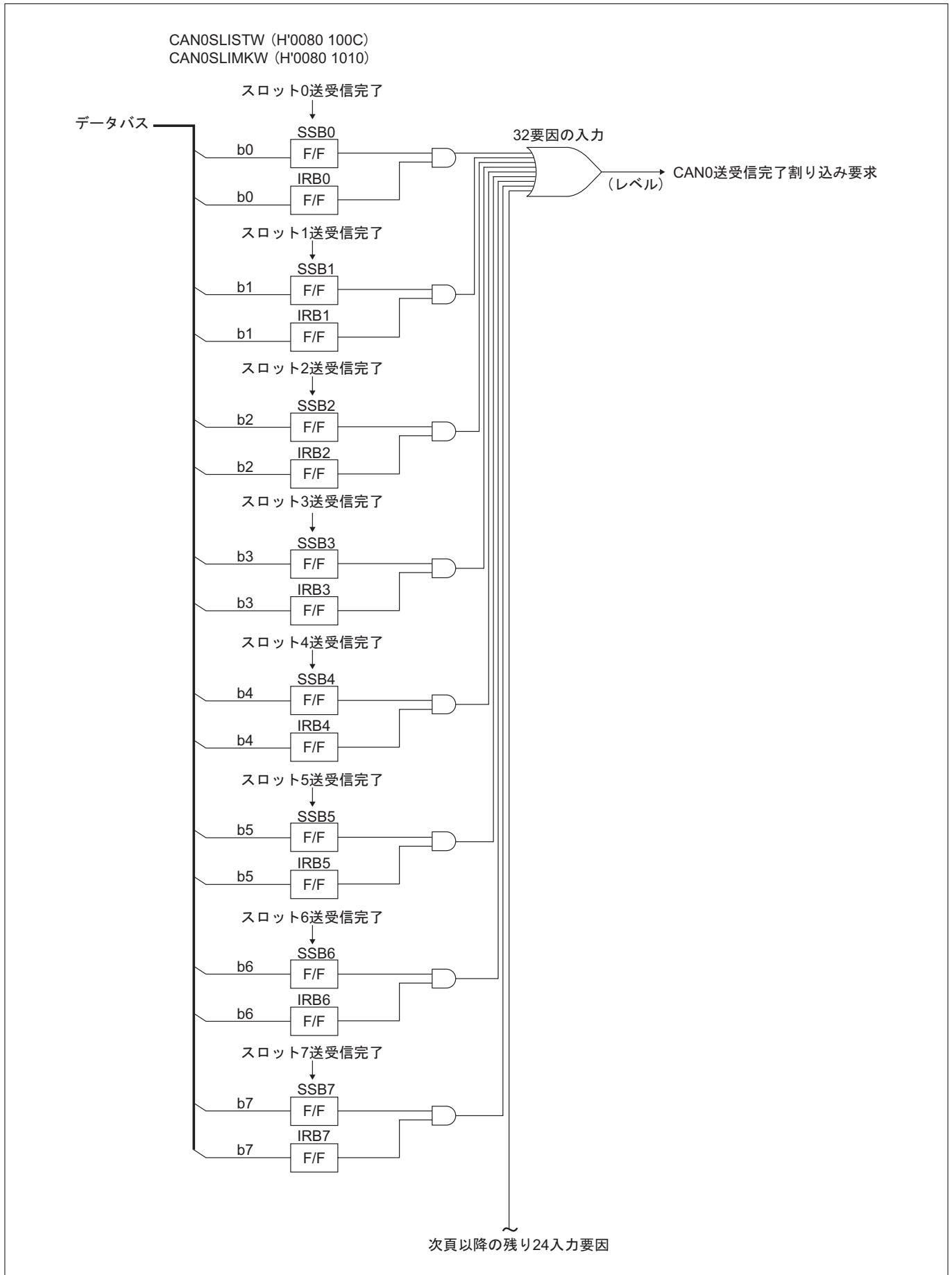


図13.2.6 CAN0送受信完了割り込み要求ブロック図(1/4)

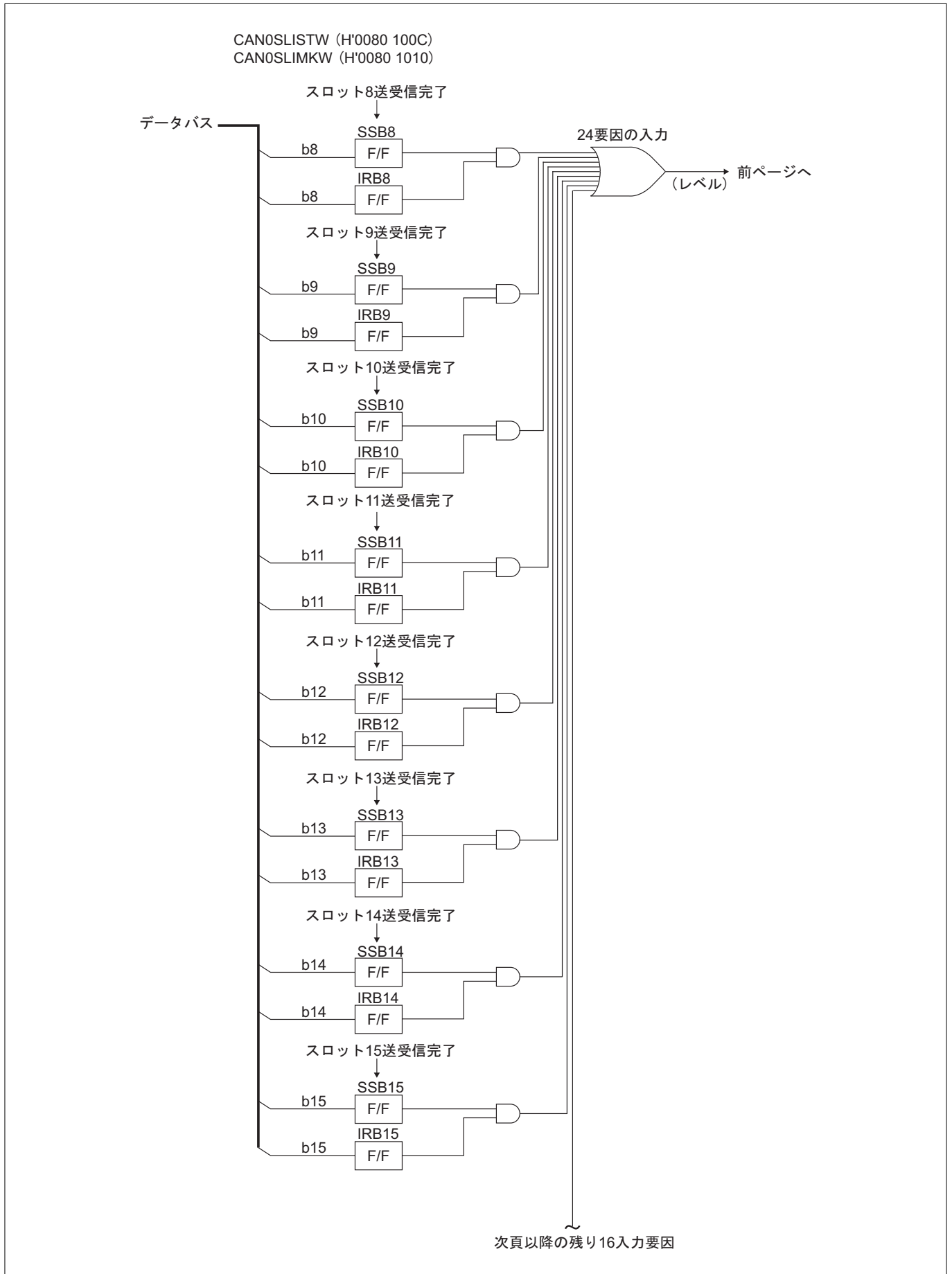


図13.2.7 CAN0送受信完了割り込み要求ブロック図(2/4)

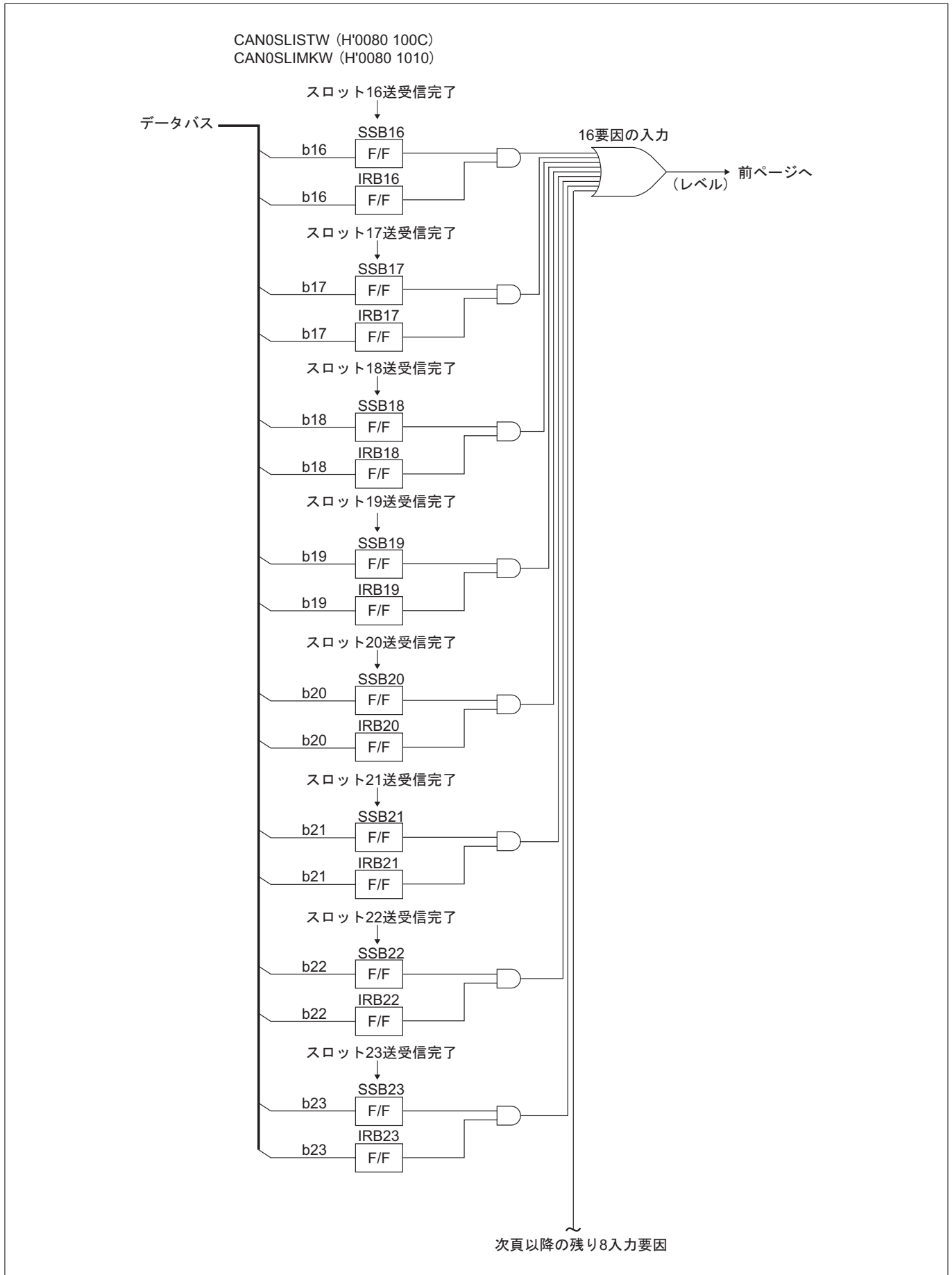


図13.2.8 CAN0送受信完了割り込み要求ブロック図(3/4)

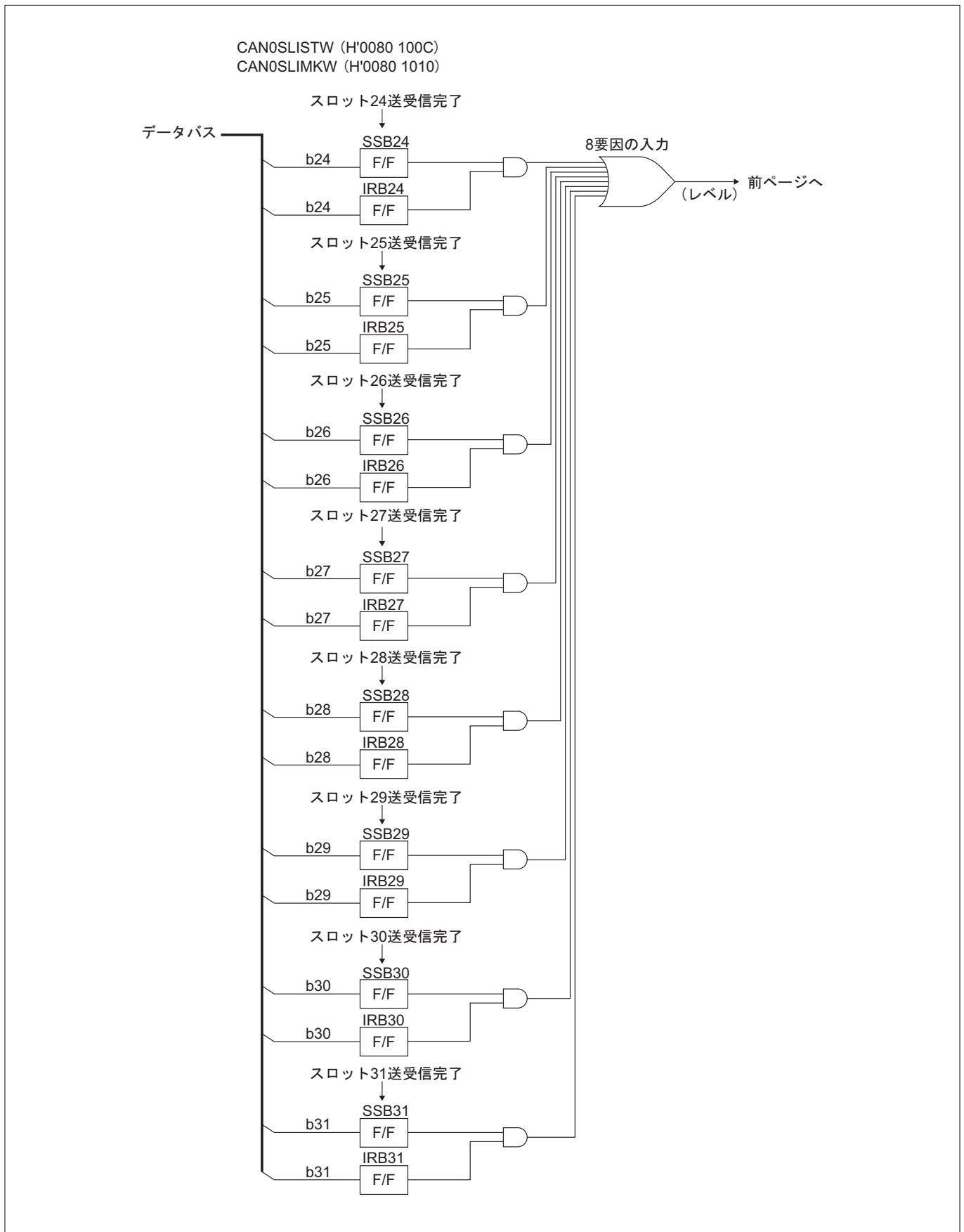


図13.2.9 CAN0送受信完了割り込み要求ブロック図(4/4)

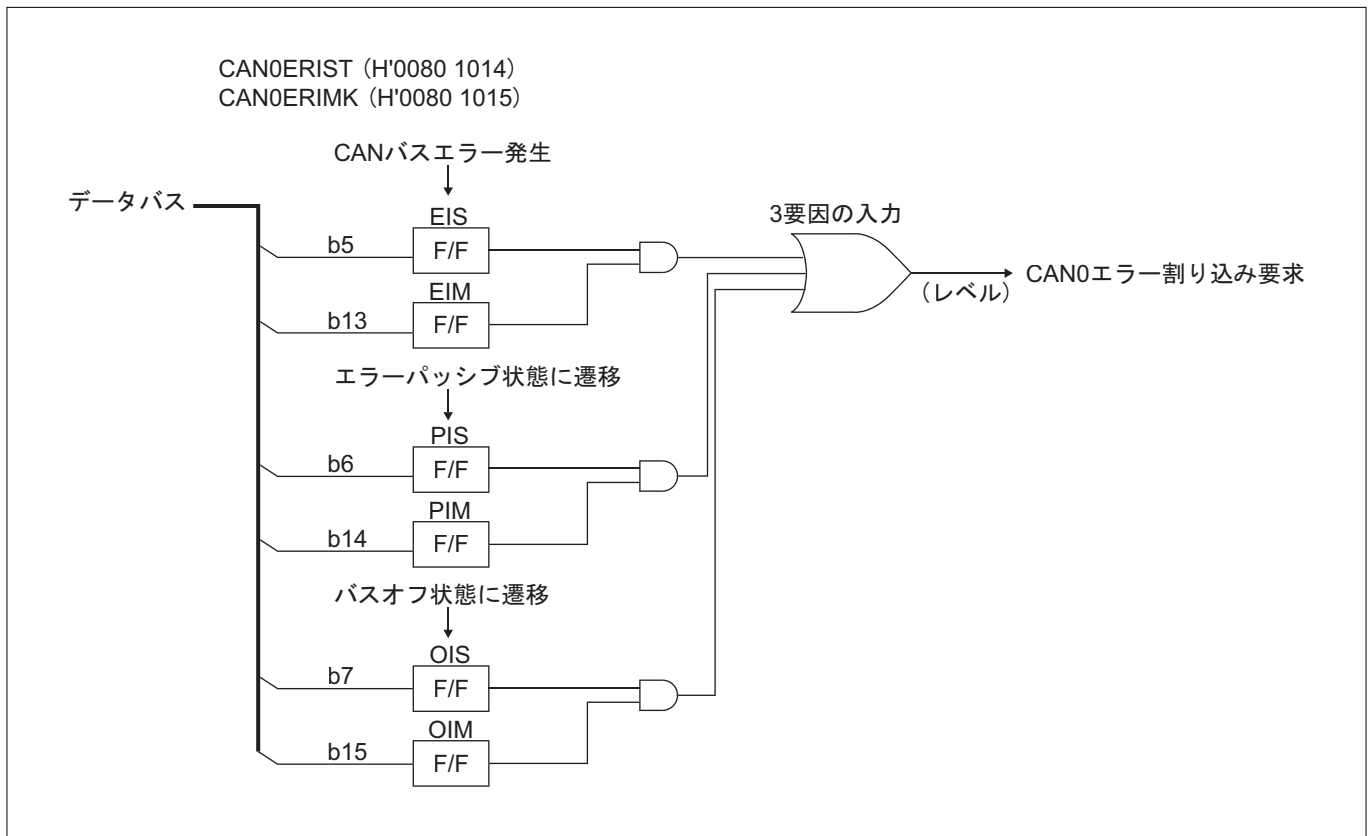


図13.2.10 CAN0エラー割り込み要求ブロック図

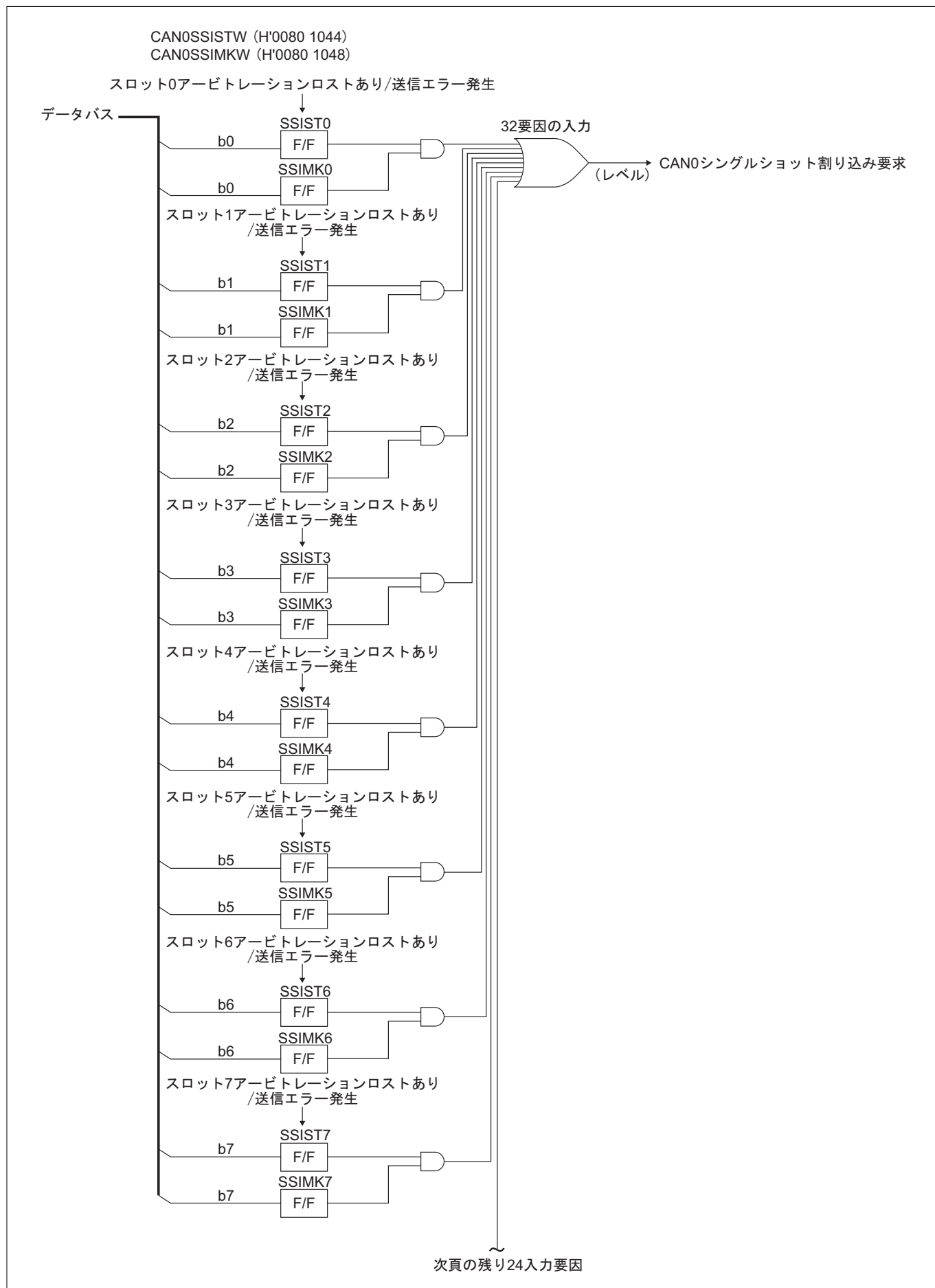


図13.2.11 CAN0シングルショット割り込み要求ブロック図(1/4)

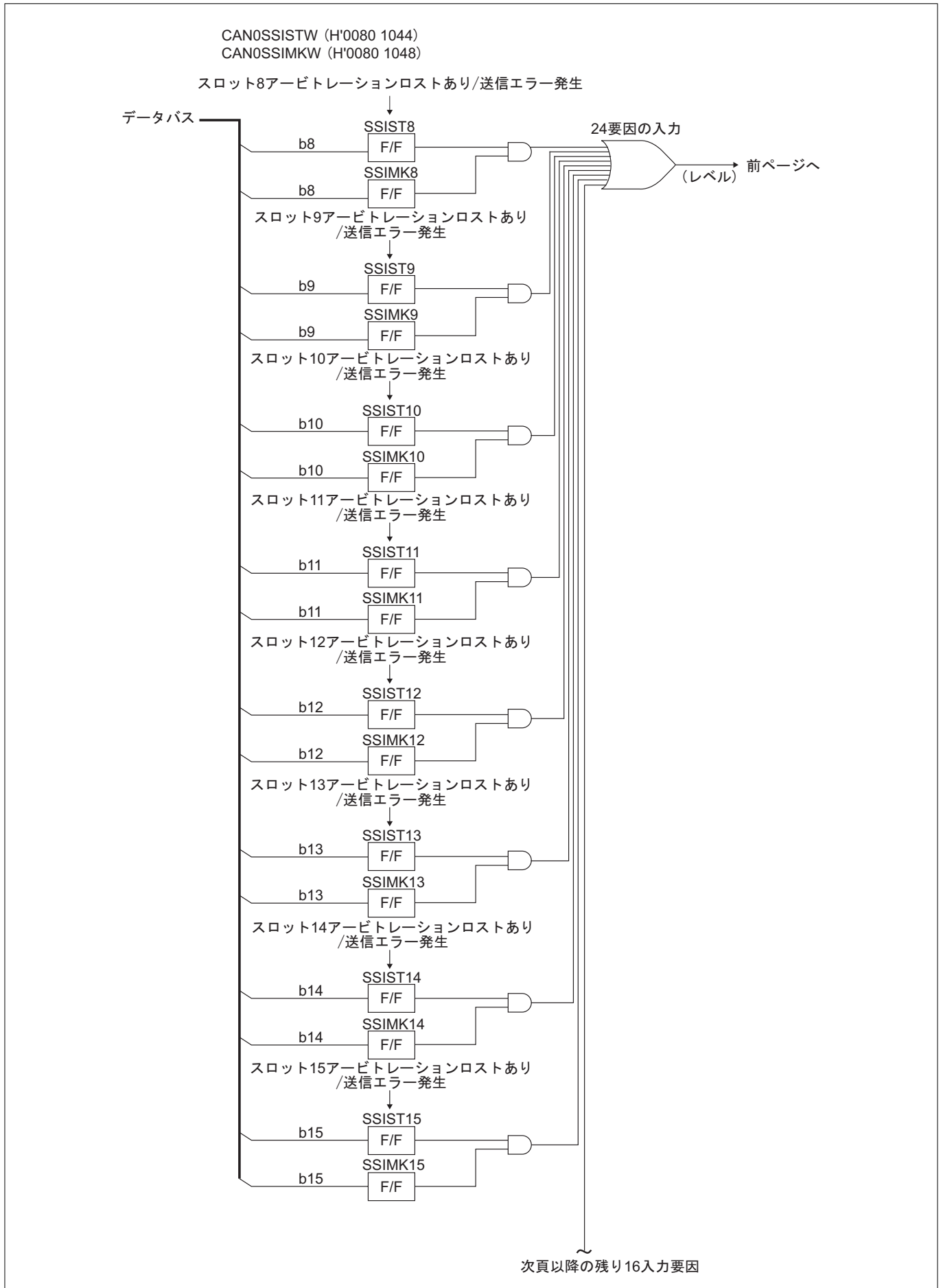


図13.2.12 CAN0シングルショット割り込み要求ブロック図(2/4)

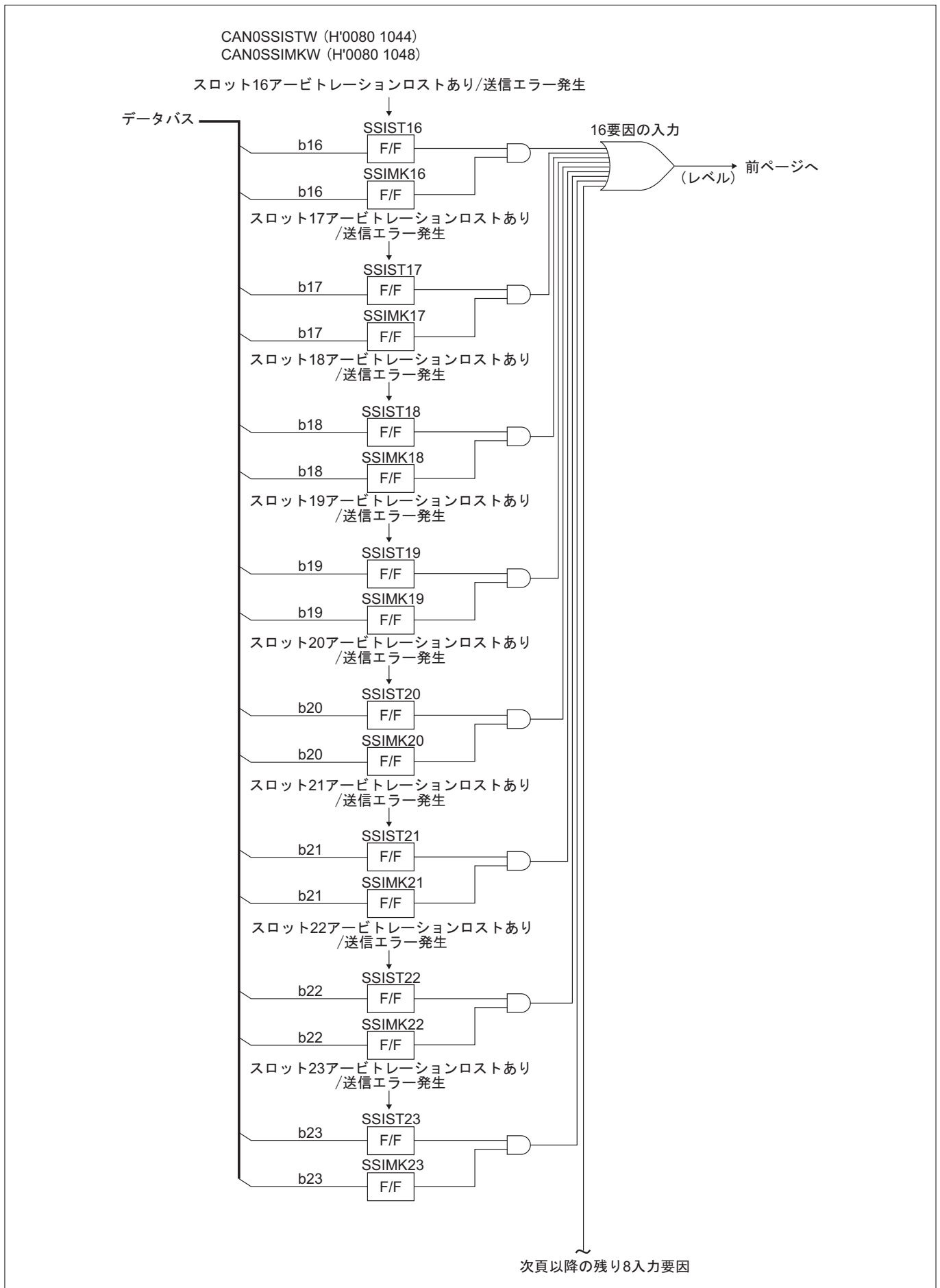


図13.2.13 CAN0シングルショット割り込み要求ブロック図(3/4)

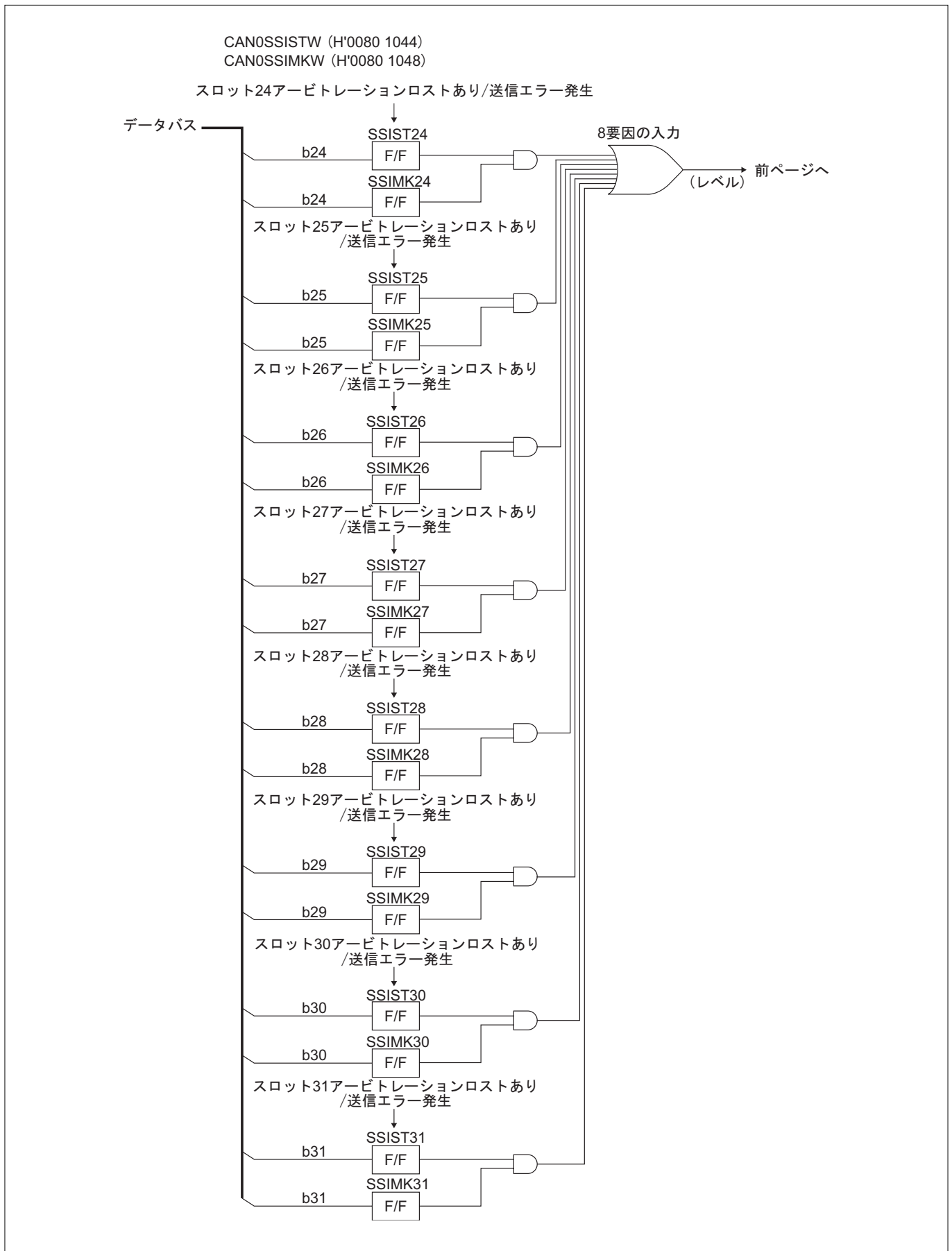


図13.2.14 CAN0シングルショット割り込み要求ブロック図(4/4)

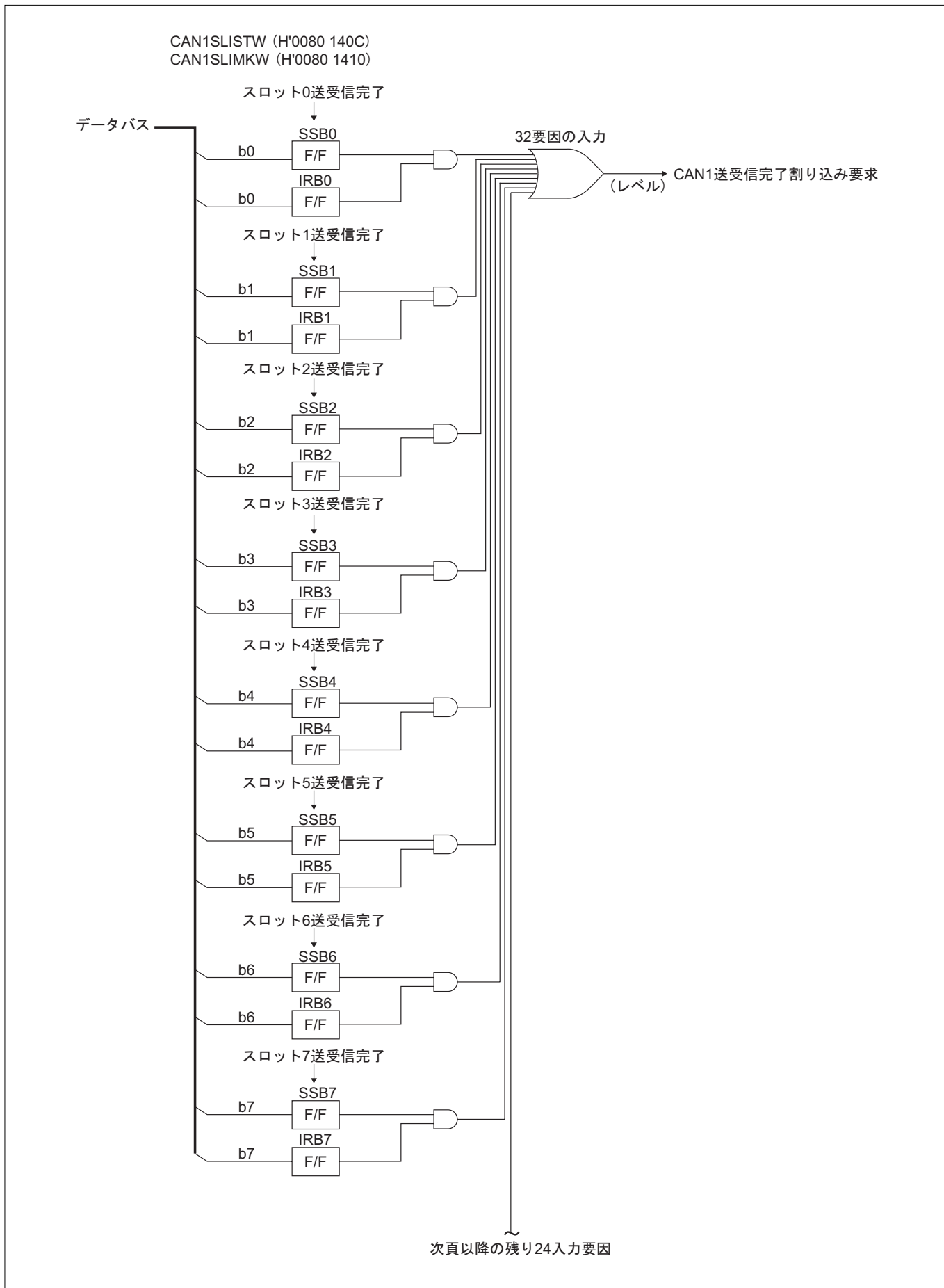


図13.2.15 CAN1送受信完了割り込み要求ブロック図(1/4)

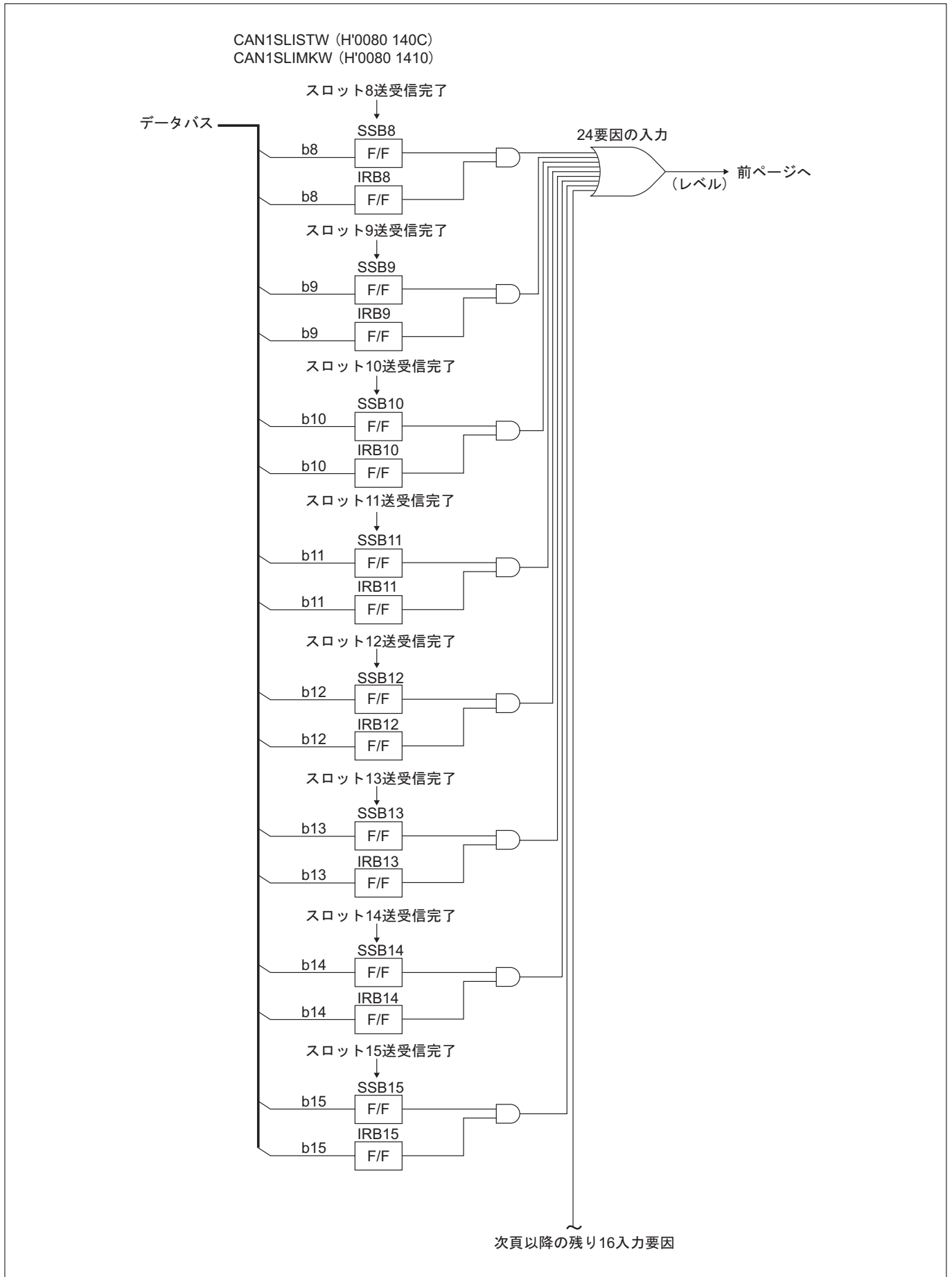


図13.2.16 CAN1送受信完了割り込み要求ブロック図(2/4)

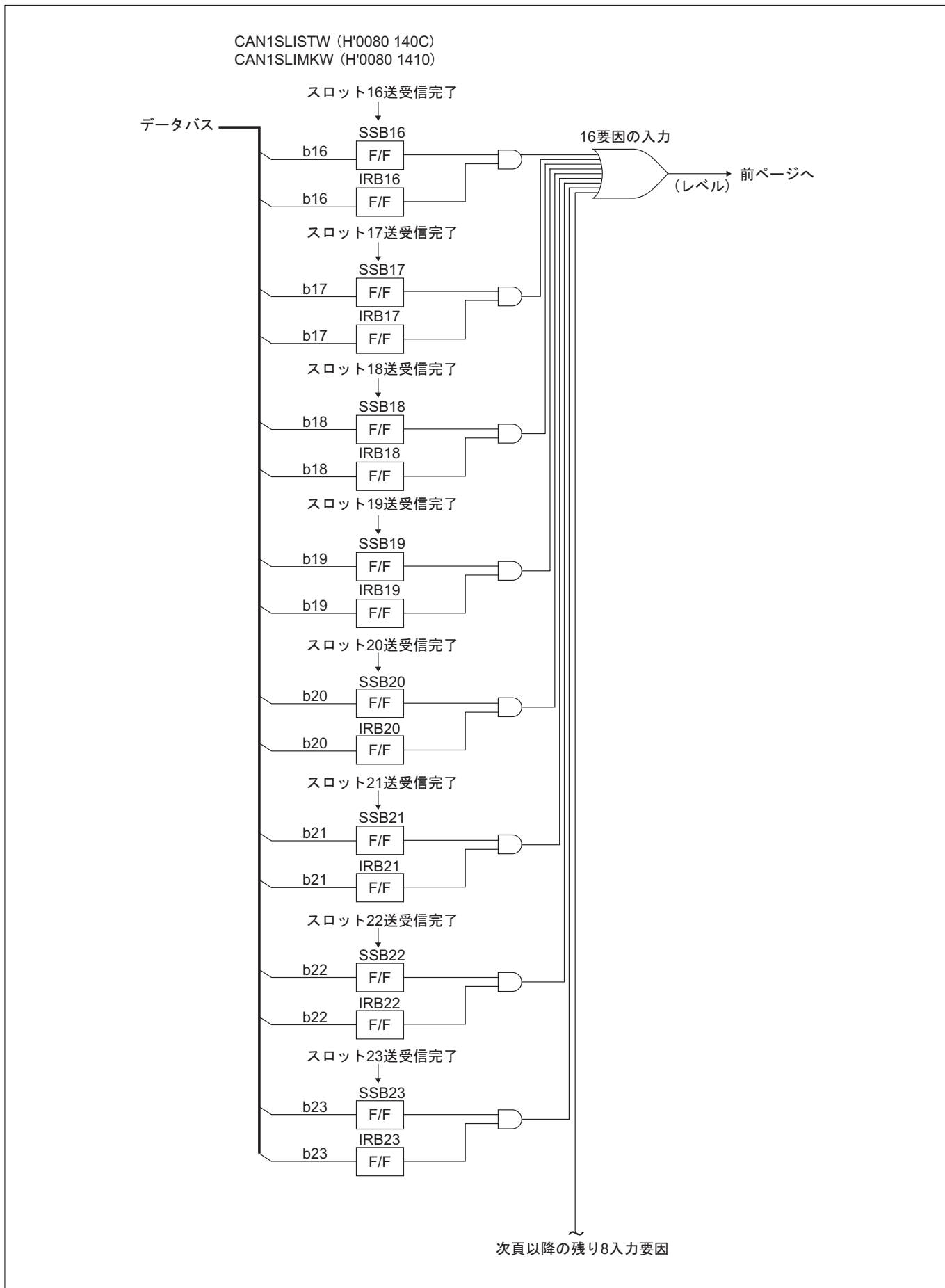


図13.2.17 CAN1送受信完了割り込み要求ブロック図(3/4)

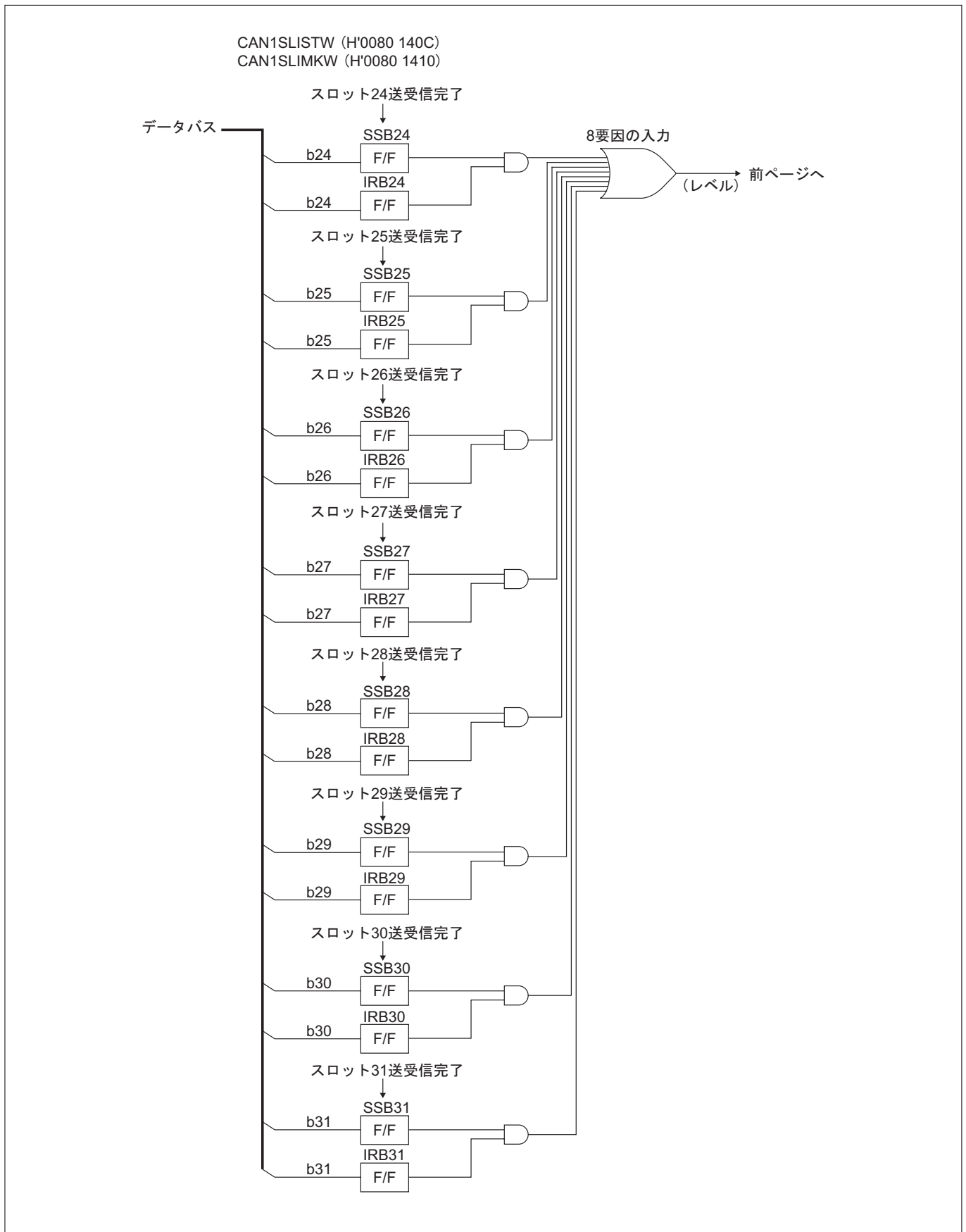


図13.2.18 CAN1送受信完了割り込み要求ブロック図(4/4)

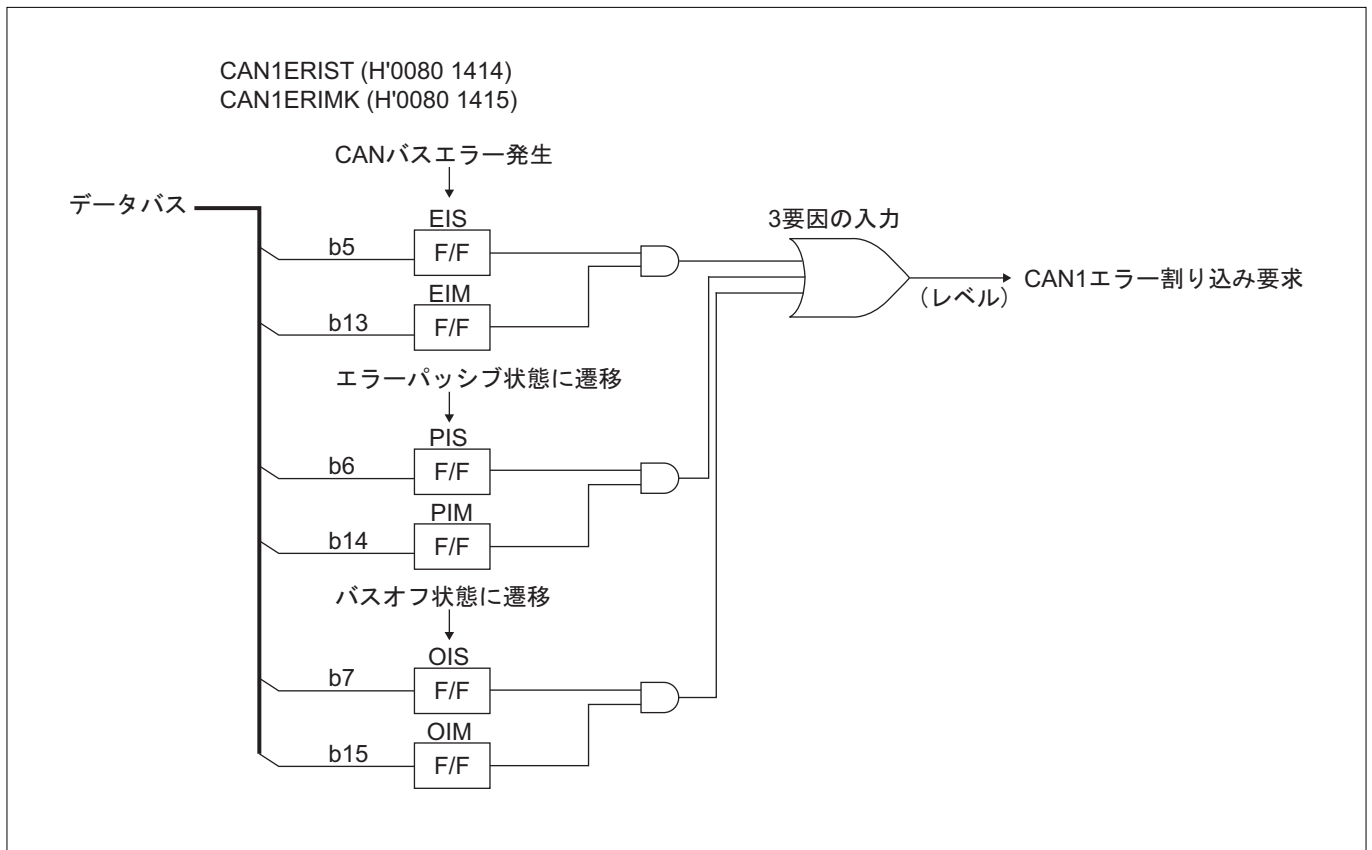


図13.2.19 CAN1エラー割り込み要求ブロック図

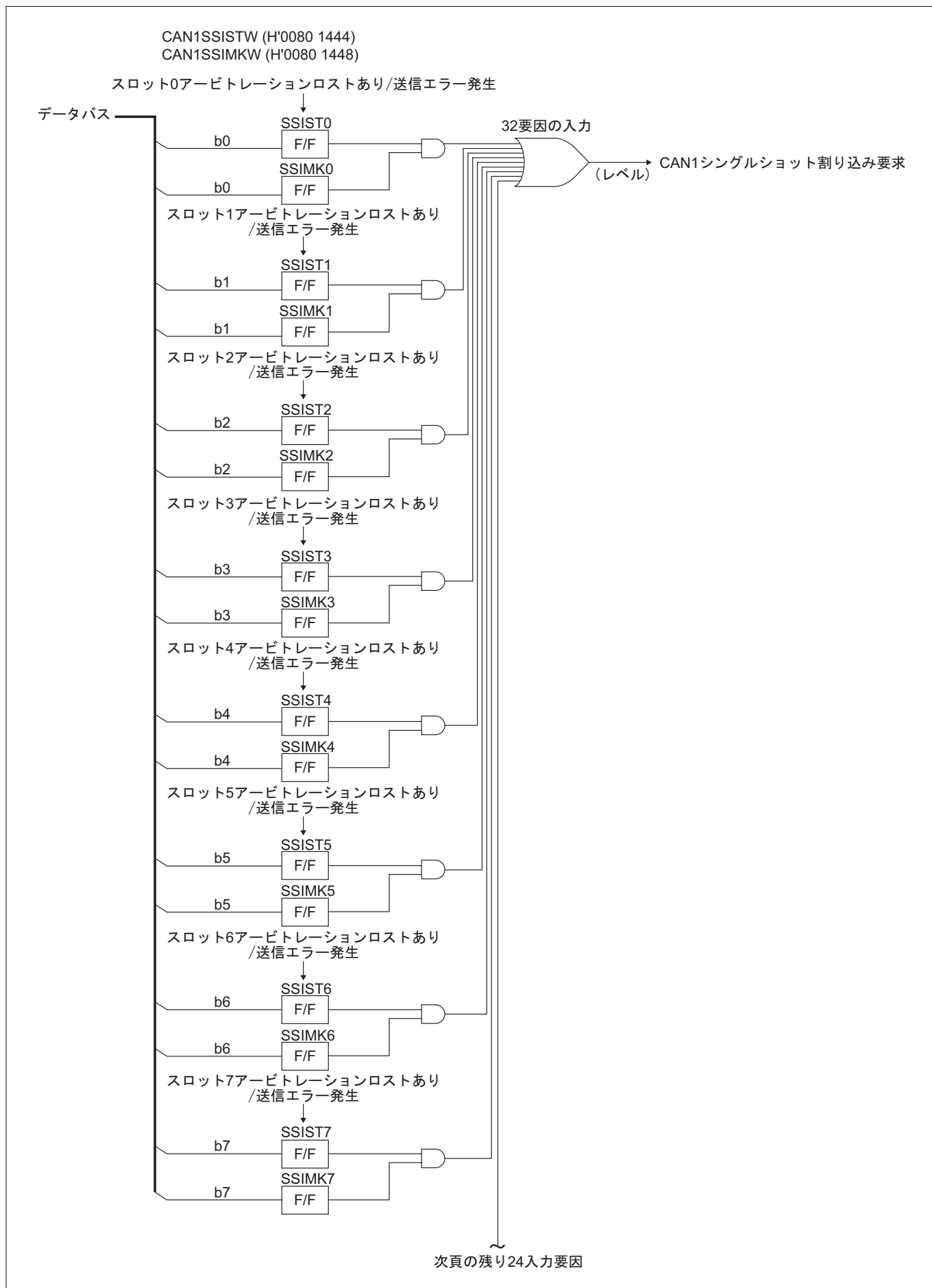


図13.2.20 CAN1シングルショット割り込み要求ブロック図(1/4)

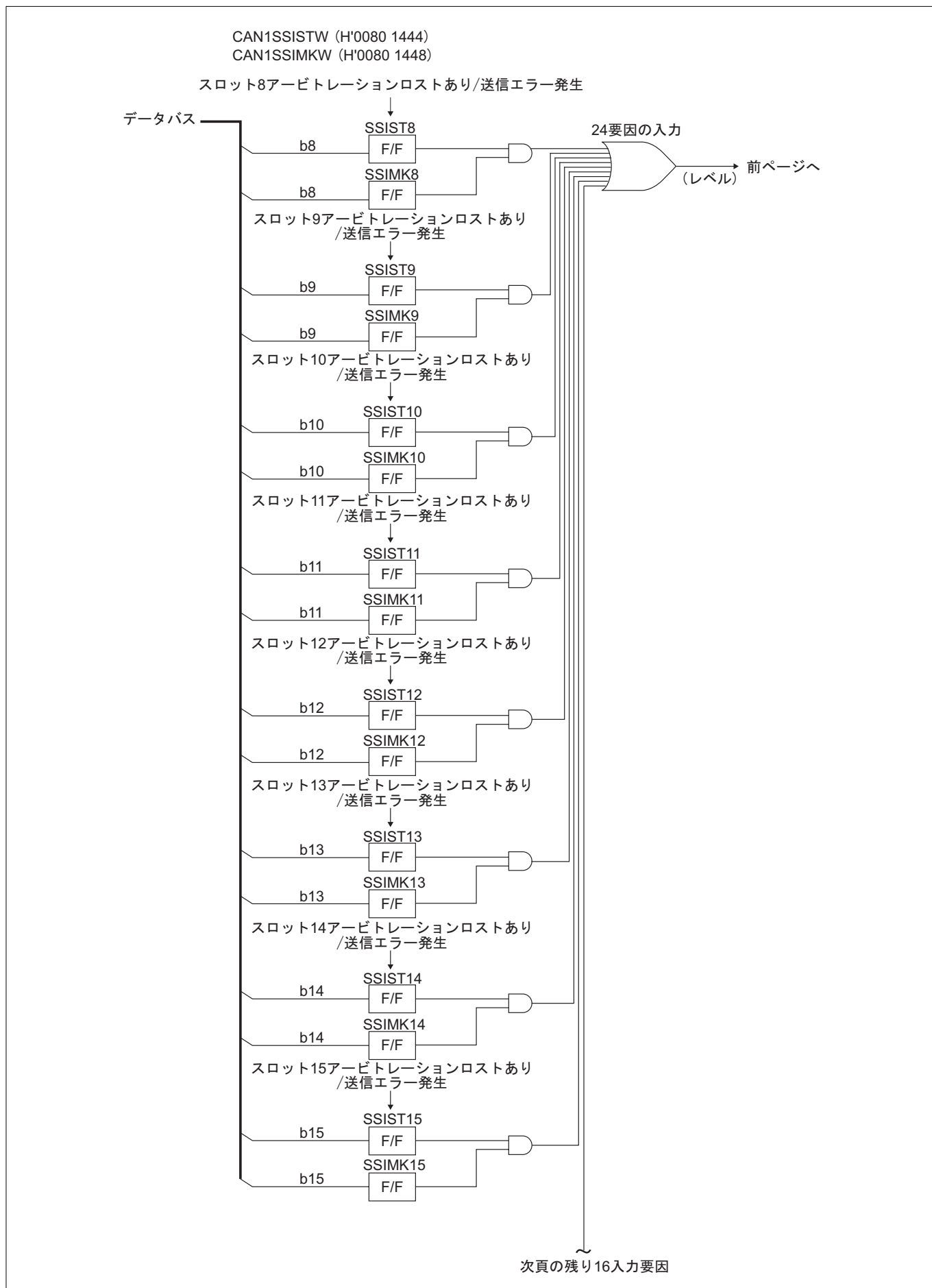


図13.2.21 CAN1シングルショット割り込み要求ブロック図(2/4)

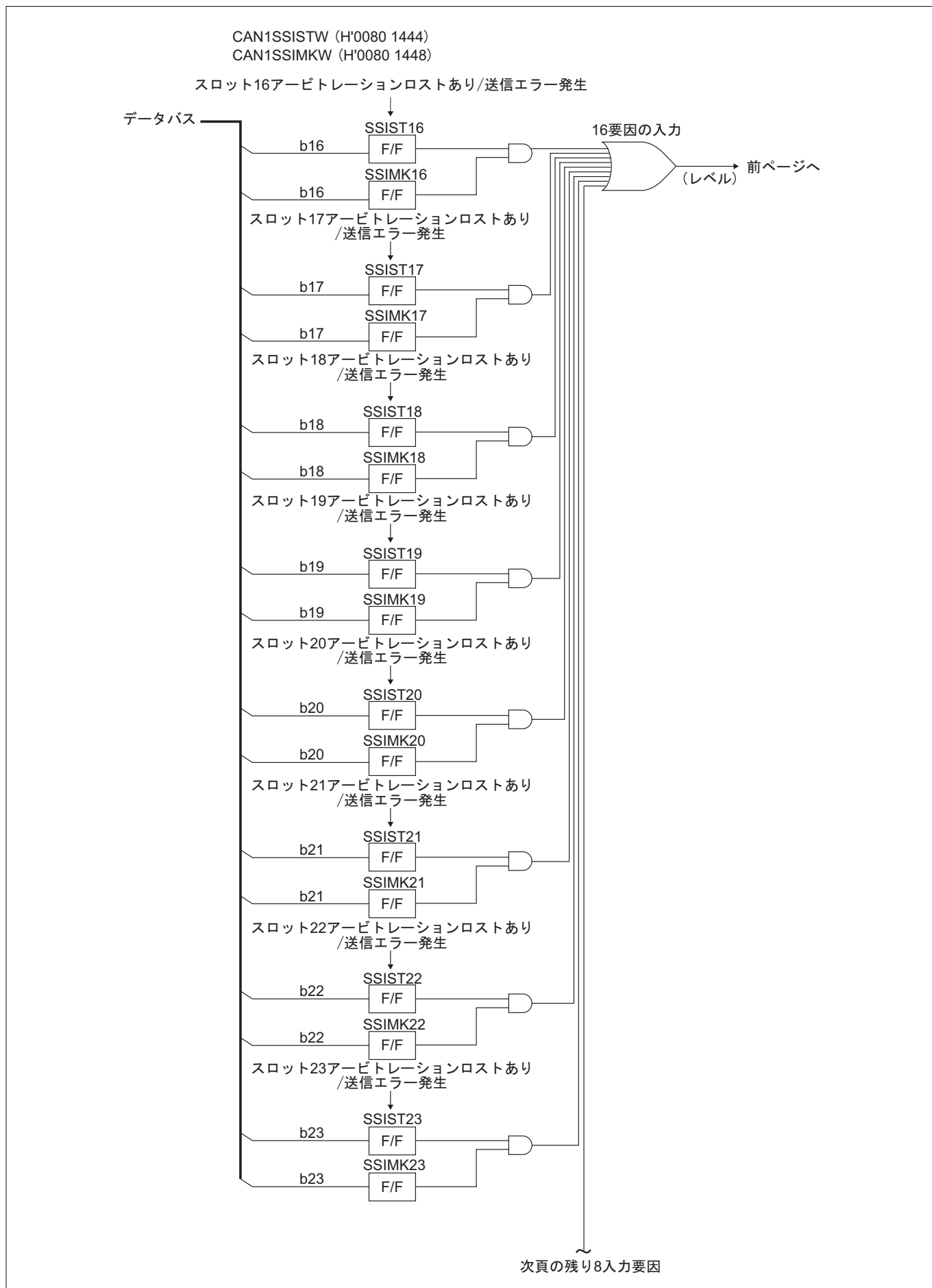


図13.2.22 CAN1シングルショット割り込み要求ブロック図(3/4)

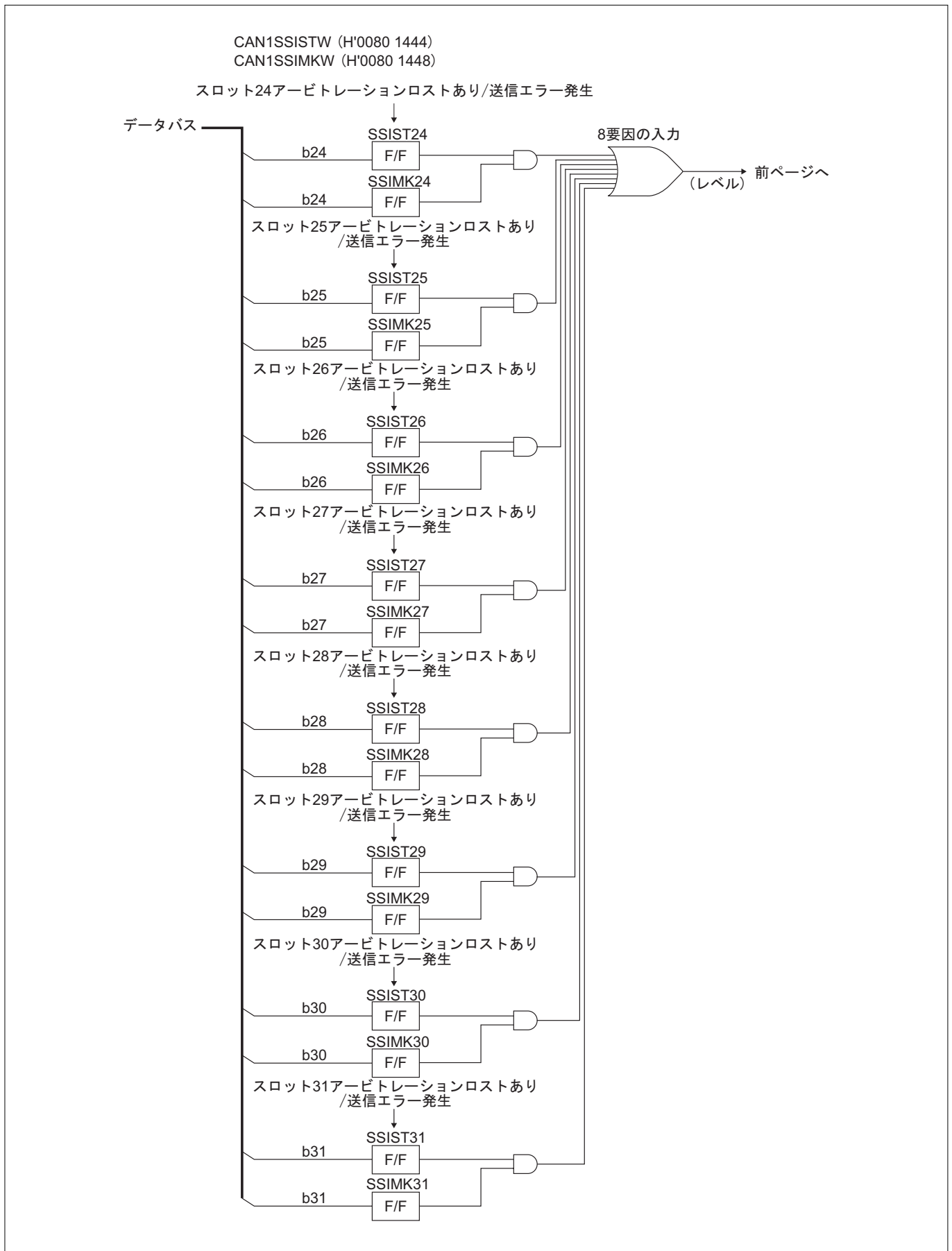


図13.2.23 CAN1シングルショット割り込み要求ブロック図(4/4)

13.2.9 CANエラー要因レジスタ

CAN0エラー要因レジスタ(CAN0EF)

<アドレス : H'0080 1017 >

CAN1エラー要因レジスタ(CAN1EF)

<アドレス : H'0080 1417 >

b8	9	10	11	12	13	14	b15
TRE	RCVE	BITE0	BITE1	STFE	FORME	CRCE	ACKE
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	TRE 送信エラー検出ビット	0 : 未検出 1 : 送信エラー検出	R (注1)	
9	RCVE 受信エラー検出ビット	0 : 未検出 1 : 受信エラー検出	R (注1)	
10	BITE0 "0"送信中ビットエラー検出ビット	0 : 未検出 1 : "0"送信中にビットエラー検出	R (注1)	
11	BITE1 "1"送信中ビットエラー検出ビット	0 : 未検出 1 : "1"送信中にビットエラー検出	R (注1)	
12	STFE スタッフエラー検出ビット	0 : 未検出 1 : スタッフエラーを検出	R (注1)	
13	FORME フォームエラー検出ビット	0 : 未検出 1 : フォームエラーを検出	R (注1)	
14	CRCE CRCエラー検出ビット	0 : 未検出 1 : CRCエラーを検出	R (注1)	
15	ACKE ACKエラー検出ビット	0 : 未検出 1 : ACKエラーを検出	R (注1)	

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

通信エラー発生時、エラー情報を表示するレジスタです。

各ビットのセットは通信エラー検出ごとに行われ、"0"書き込みを行わない限りクリアされることはありません。

(1) TRE(送信エラー検出)ビット (b8)

送信ノード時に通信エラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(2) RCVE(受信エラー検出)ビット (b9)

受信ノード時に通信エラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(3) BITE0("0"送信中ビットエラー検出)ビット (b10)

CTXから"0"を送信中にビットエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(4) BITE1("1"送信中ビットエラー検出)ビット (b11)

CTXから"1"を送信中にビットエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(5)STFE(スタッフエラー検出)ビット (b12)

スタッフエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(6)FORME(フォームエラー検出)ビット (b13)

フォームエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(7)CRCE(CRCエラー検出)ビット (b14)

CRCエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

(8)ACKE(ACKエラー検出)ビット (b15)

ACKエラーを検出した場合、"1"にセットされます。
このビットに"0"を書き込むことによってクリアされます。

注．・BITE0、BITE1、STFE、FORME、CRCE、ACKEの各ビットは、エラー状態によっては複数ビットが同時にセットされる場合があります。

13.2.10 CANモードレジスタ

CAN0モードレジスタ(CAN0MOD)

<アドレス : H'0080 1018 >

CAN1モードレジスタ(CAN1MOD)

<アドレス : H'0080 1418 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	CMOD	
						0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6~7	CMOD CAN動作モード選択ビット	00 : 通常モード 01 : バスモニタモード 10 : 自己診断モード 11 : 設定禁止	R	W

(1)CMOD(CAN動作モード選択)ビット (b6, b7)

CANの動作モードを選択します。

• 通常動作モード

通常を送受信を行うことができます。

• バスモニタモード

受信動作のみを行うモードです。バスモニタモードではCTX出力は"H"固定となり、ACKを返すこともエラーフレームを返すこともできません。

注 . . バスモニタモード時は、送信要求を出すことは禁止です。

バスモニタモード時は、ACKビットは"Don't Care"として扱われます。従って、CRCデリミタまで正常に受信できた場合、ACKビットが"H"でも正常受信できたものと判定されます。

• 自己診断モード

CANモジュール内部で、CTX-CRXを接続します。ループバックモードと組み合わせることによってCAN単体で通信を行うことができます。自己診断モード時は、送信中もCTX端子出力が"H"固定となります。

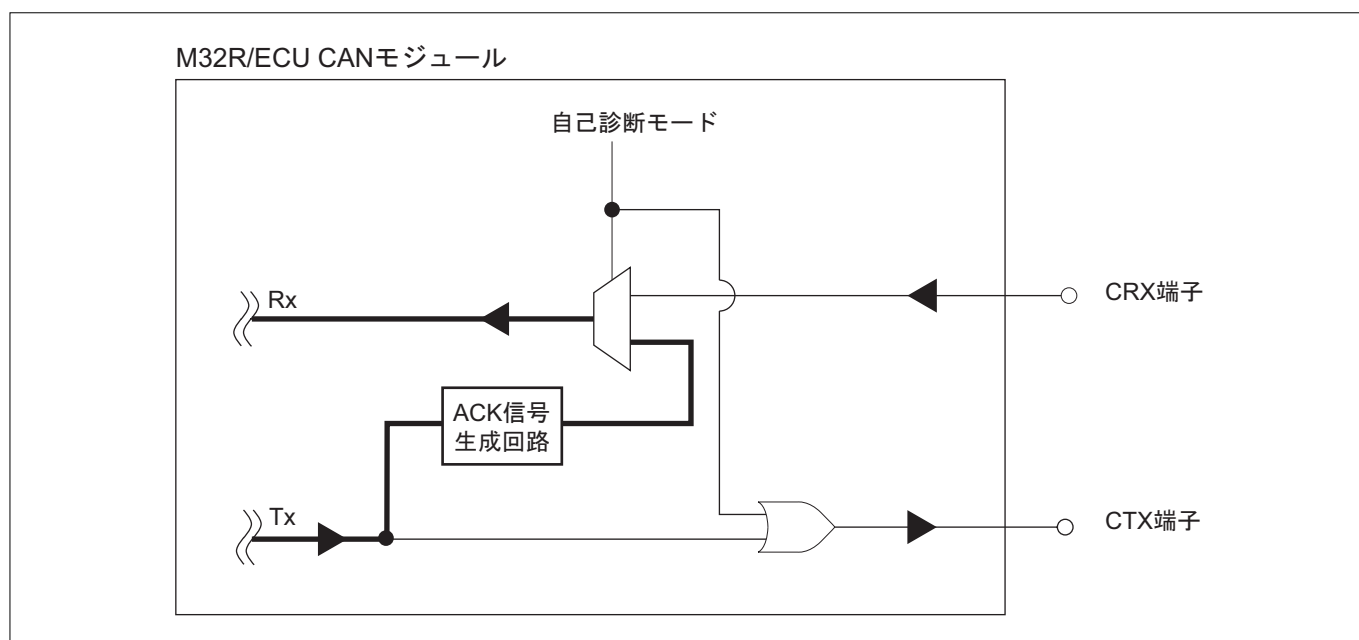


図13.2.24 自己診断モード(イメージ図)

13.2.11 CAN DMA転送要求選択レジスタ

CAN0DMA転送要求選択レジスタ(CAN0DMARQ)

<アドレス : H'0080 1019 >

CAN1DMA転送要求選択レジスタ(CAN1DMARQ)

<アドレス : H'0080 1419 >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	CDMSEL1	CDMSEL0
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	CDMSEL1 CANDMA1転送要求要因選択ビット	0 : スロット1送信失敗 1 : スロット30送受信完了	R	W
15	CDMSEL0 CANDMA0転送要求要因選択ビット	0 : スロット0送信失敗 1 : スロット31送受信完了	R	W

CAN0、1はDMA転送要求を発生させることができます。このレジスタではその要因を選択します。

(1) CDMSEL1(CANDMA1転送要求要因選択)ビット (b14)

CAN0はDMA2とDMA7に、CAN1はDMA7とDMA9にDMA転送要求を発生させることができます。転送要求要因として、次の2つから選択します。

- スロット1送信失敗
CDMSEL1ビットに"0"セットした場合、スロット1での送信がアービトレーションロストか送信エラーによって失敗したときに転送要求を発生します。
- スロット30送受信完了
CDMSEL1ビットに"1"をセットした場合、スロット30での送受信が完了したときに転送要求を発生します。

- 注 . . スロット30をリモートフレーム送信設定にした場合は、リモートフレーム送信完了/データフレーム受信完了のそれぞれの事象に対してDMA転送要求を発生します。
- スロット30をリモートフレーム受信(自動応答)設定にした場合、リモートフレーム受信完了/データフレーム送信完了のそれぞれの事象に対してDMA転送要求を発生します。

(2) CDMSEL0(CANDMA0転送要求要因選択)ビット (b15)

CAN0はDMA0とDMA6に、CAN1はDMA5とDMA8にDMA転送要求を発生させることができます。転送要求要因として、次の2つから選択します。

- スロット0送信失敗
CDMSEL0ビットに"0"をセットした場合、スロット0での送信がアービトレーションロストか送信エラーによって失敗したときに転送要求を発生します。
- スロット31送受信完了
CDMSEL0ビットに"1"をセットした場合、スロット31での送受信が完了したときに転送要求を発生します。

- 注 . . スロット31をリモートフレーム送信設定にした場合、リモートフレーム送信完了/データフレーム受信完了のそれぞれの事象に対してDMA転送要求を発生します。
- スロット31をリモートフレーム受信(自動応答)設定にした場合、リモートフレーム受信完了/データフレーム送信完了のそれぞれの事象に対してDMA転送要求を発生します。

13.2.12 CANメッセージスロットナンバレジスタ

CAN0メッセージスロットナンバレジスタ(CAN0MSN)

<アドレス : H'0080 101A >

CAN1メッセージスロットナンバレジスタ(CAN1MSN)

<アドレス : H'0080 141A >

b0	1	2	3	4	5	6	b7
0	0	0	EXMSN				0
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~7	EXMSN(拡張メッセージスロットナンバビット)	送信/受信完了したメッセージスロット番号 00000 : スロット0 ⋮ 11111 : スロット31	0	-

送信完了時、または受信データ格納完了時に、該当スロット番号を示します。
EXMSNビットはソフトウェアによって"0"クリアすることはできません。

注 . ・ループバックモード時に自分自身が送信したフレームを受信した場合、EXMSNビットは送信スロット番号を表示します。

13.2.13 CANクロック選択レジスタ

CAN0クロック選択レジスタ(CAN0CKSEL)

<アドレス : H'0080 101B >

CAN1クロック選択レジスタ(CAN1CKSEL)

<アドレス : H'0080 141B >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	CANCKSP 0	CANCKS 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14	CANCKSP(CANCKS書き込み制御ビット)		0	W
15	CANCKS(CANモジュールクロック選択ビット)	0 : CPUCLK/4クロック 1 : CPUCLK/2クロック	R	W

注 . ・ CANCKS = 0(CPUCLK/4クロック選択)でご使用ください。CANCKS = 1(CPUCLK/2クロック選択)での動作は保証されません。

CANモジュールのプロトコルエンジンブロックへ供給するクロックを切り換えるレジスタです。
CANCKSビットを設定する場合は、以下の手順で行います。

1. CANモジュールがリセット状態であることを確認。
2. CANCKS書き込み制御ビット(CANCKSP)に"1"を書き込み
3. 上記2. に連続して、CANCKS書き込み制御ビット(CANCKSP)に"0"を、CANモジュールクロック選択ビット(CANCKS)に"設定値"を書き込み

注 . ・ 2と3の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。ただし、RTD、DRIからの書き込みサイクルは影響しません。

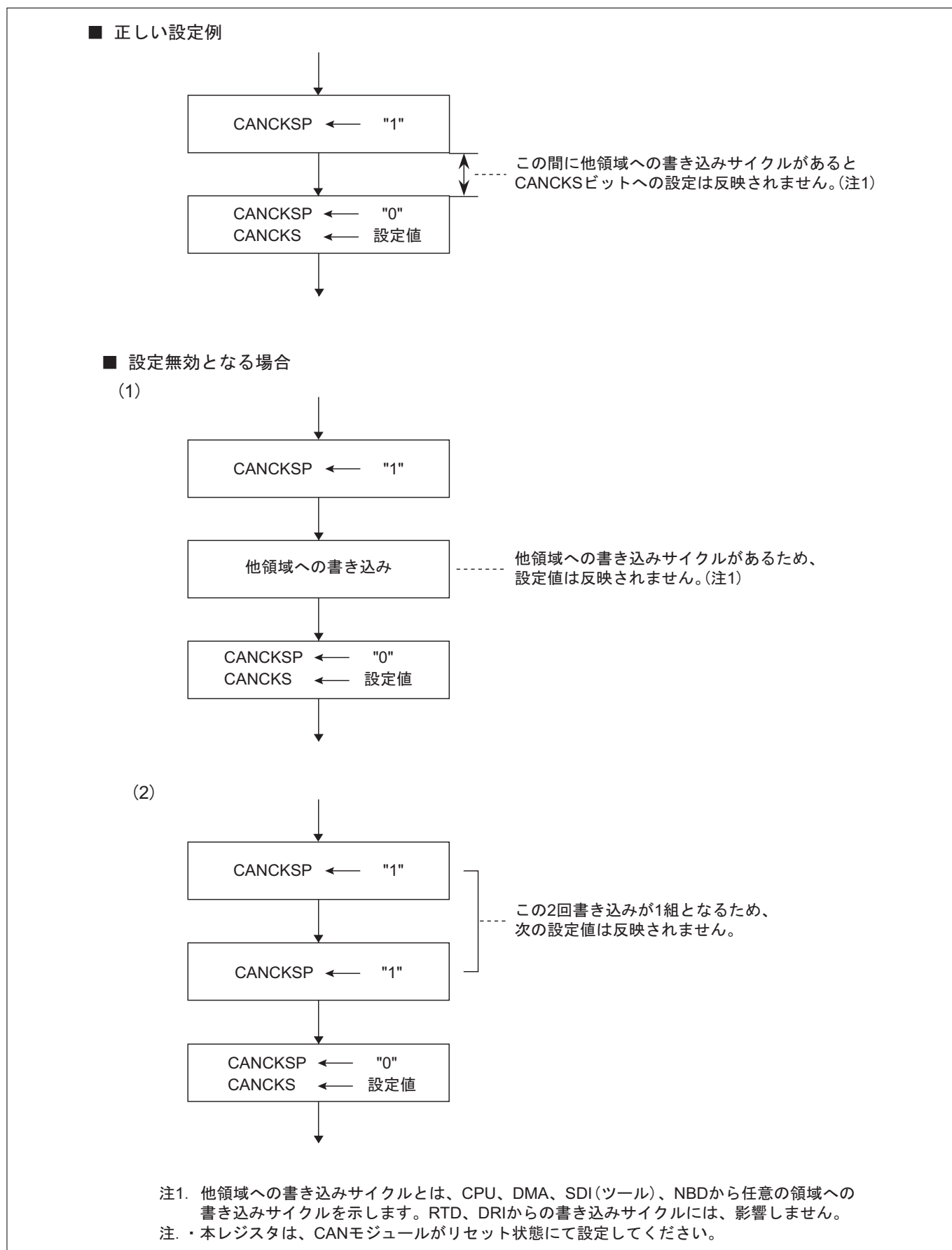


図13.2.25 CANCKS設定手順

13.2.14 CANフレームフォーマット選択レジスタ

CAN0フレームフォーマット選択レジスタ(CAN0FFSW)

<アドレス : H'0080 101C >

CAN1フレームフォーマット選択レジスタ(CAN1FFSW)

<アドレス : H'0080 141C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
IDE0	IDE1	IDE2	IDE3	IDE4	IDE5	IDE6	IDE7	IDE8	IDE9	IDE10	IDE11	IDE12	IDE13	IDE14	IDE15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
IDE16	IDE17	IDE18	IDE19	IDE20	IDE21	IDE22	IDE23	IDE24	IDE25	IDE26	IDE27	IDE28	IDE29	IDE30	IDE31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	IDE0(フレームフォーマット0選択ビット)	0 : 標準ID(Standard ID)フォーマット	R	W
1	IDE1(フレームフォーマット1選択ビット)	1 : 拡張ID(Extended ID)フォーマット		
2	IDE2(フレームフォーマット2選択ビット)			
3	IDE3(フレームフォーマット3選択ビット)			
4	IDE4(フレームフォーマット4選択ビット)			
5	IDE5(フレームフォーマット5選択ビット)			
6	IDE6(フレームフォーマット6選択ビット)			
7	IDE7(フレームフォーマット7選択ビット)			
8	IDE8(フレームフォーマット8選択ビット)			
9	IDE9(フレームフォーマット9選択ビット)			
10	IDE10(フレームフォーマット10選択ビット)			
11	IDE11(フレームフォーマット11選択ビット)			
12	IDE12(フレームフォーマット12選択ビット)			
13	IDE13(フレームフォーマット13選択ビット)			
14	IDE14(フレームフォーマット14選択ビット)			
15	IDE15(フレームフォーマット15選択ビット)			
16	IDE16(フレームフォーマット16選択ビット)			
17	IDE17(フレームフォーマット17選択ビット)			
18	IDE18(フレームフォーマット18選択ビット)			
19	IDE19(フレームフォーマット19選択ビット)			
20	IDE20(フレームフォーマット20選択ビット)			
21	IDE21(フレームフォーマット21選択ビット)			
22	IDE22(フレームフォーマット22選択ビット)			
23	IDE23(フレームフォーマット23選択ビット)			
24	IDE24(フレームフォーマット24選択ビット)			
25	IDE25(フレームフォーマット25選択ビット)			
26	IDE26(フレームフォーマット26選択ビット)			
27	IDE27(フレームフォーマット27選択ビット)			
28	IDE28(フレームフォーマット28選択ビット)			
29	IDE29(フレームフォーマット29選択ビット)			
30	IDE30(フレームフォーマット30選択ビット)			
31	IDE31(フレームフォーマット31選択ビット)			

各ビットに対応したメッセージロットで取り扱うフレームのフォーマットを選択します。

"0"を設定した場合、標準(Standard ID)フォーマットが選択されます。

"1"を設定した場合、拡張(Extended ID)フォーマットが選択されます。

注．．このレジスタの各ビットの変更は、対応するロットの送信要求/受信要求が立っていない状態で行ってください。

13.2.15 CANマスキングレジスタ

CAN0グローバルマスクレジスタA標準ID α (C0GMSKAS0) <アドレス: H'0080 1020 >
 CAN0グローバルマスクレジスタB標準ID α (C0GMSKBS0) <アドレス: H'0080 1028 >
 CAN0ローカルマスクレジスタA標準ID α (C0LMSKAS0) <アドレス: H'0080 1030 >
 CAN0ローカルマスクレジスタB標準ID α (C0LMSKBS0) <アドレス: H'0080 1038 >

CAN1グローバルマスクレジスタA標準ID α (C1GMSKAS0) <アドレス: H'0080 1420 >
 CAN1グローバルマスクレジスタB標準ID α (C1GMSKBS0) <アドレス: H'0080 1428 >
 CAN1ローカルマスクレジスタA標準ID α (C1LMSKAS0) <アドレス: H'0080 1430 >
 CAN1ローカルマスクレジスタB標準ID α (C1LMSKBS0) <アドレス: H'0080 1438 >

b0	1	2	3	4	5	6	b7
0	0	0	SID0M	SID1M	SID2M	SID3M	SID4M
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~7	SID0M ~ SID4M (標準マスクID0 ~ 標準マスクID4)	0 : IDチェックなし 1 : IDチェックあり	R	W

CAN0グローバルマスクレジスタA標準ID1 (C0GMSKAS1) <アドレス: H'0080 1021 >
 CAN0グローバルマスクレジスタB標準ID1 (C0GMSKBS1) <アドレス: H'0080 1029 >
 CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1) <アドレス: H'0080 1031 >
 CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1) <アドレス: H'0080 1039 >

CAN1グローバルマスクレジスタA標準ID1 (C1GMSKAS1) <アドレス: H'0080 1421 >
 CAN1グローバルマスクレジスタB標準ID1 (C1GMSKBS1) <アドレス: H'0080 1429 >
 CAN1ローカルマスクレジスタA標準ID1 (C1LMSKAS1) <アドレス: H'0080 1431 >
 CAN1ローカルマスクレジスタB標準ID1 (C1LMSKBS1) <アドレス: H'0080 1439 >

b8	9	10	11	12	13	14	b15
0	0	SID5M	SID6M	SID7M	SID8M	SID9M	SID10M
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~9	何も配置されていません。"0"に固定してください。		0	0
10~15	SID5M ~ SID10M (標準マスクID5 ~ 標準マスクID10)	0 : IDチェックなし 1 : IDチェックあり	R	W

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタA、グローバルマスクレジスタB、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタAはメッセージスロット0~15に、グローバルマスクレジスタBはメッセージスロット16~29に、そしてローカルマスクレジスタA、Bはそれぞれメッセージスロット30、31に適用されます。

- "0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。
- "1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

注 . . SID0Mが標準IDのMSBに対応します。

- グローバルマスクレジスタAの変更は、スロット0~15のどのスロットにも受信要求をセットしていない状態で行ってください。
- グローバルマスクレジスタBの変更は、スロット16~29のどのスロットにも受信要求をセットしていない状態で行ってください。
- ローカルマスクレジスタAの変更は、スロット30に受信要求をセットしていない状態で行ってください。
- ローカルマスクレジスタBの変更は、スロット31に受信要求をセットしていない状態で行ってください。

CAN0グローバルマスクレジスタA拡張ID α (C0GMSKAE0)	<アドレス : H'0080 1022 >
CAN0グローバルマスクレジスタB拡張ID α (C0GMSKBE0)	<アドレス : H'0080 102A >
CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE0)	<アドレス : H'0080 1032 >
CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE0)	<アドレス : H'0080 103A >

CAN1グローバルマスクレジスタA拡張ID α (C1GMSKAE0)	<アドレス : H'0080 1422 >
CAN1グローバルマスクレジスタB拡張ID α (C1GMSKBE0)	<アドレス : H'0080 142A >
CAN1ローカルマスクレジスタA拡張ID α (C1LMSKAE0)	<アドレス : H'0080 1432 >
CAN1ローカルマスクレジスタB拡張ID α (C1LMSKBE0)	<アドレス : H'0080 143A >

b0	1	2	3	4	5	6	b7
0	0	0	0	EID0M	EID1M	EID2M	EID3M
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4~7	EID0M ~ EID3M (拡張マスクID0 ~ 拡張マスクID3)	0 : IDチェックなし 1 : IDチェックあり	R	W

CAN0グローバルマスクレジスタA拡張ID1 (C0GMSKAE1)	<アドレス : H'0080 1023 >
CAN0グローバルマスクレジスタB拡張ID1 (C0GMSKBE1)	<アドレス : H'0080 102B >
CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)	<アドレス : H'0080 1033 >
CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)	<アドレス : H'0080 103B >

CAN1グローバルマスクレジスタA拡張ID1 (C1GMSKAE1)	<アドレス : H'0080 1423 >
CAN1グローバルマスクレジスタB拡張ID1 (C1GMSKBE1)	<アドレス : H'0080 142B >
CAN1ローカルマスクレジスタA拡張ID1 (C1LMSKAE1)	<アドレス : H'0080 1433 >
CAN1ローカルマスクレジスタB拡張ID1 (C1LMSKBE1)	<アドレス : H'0080 143B >

b8	9	10	11	12	13	14	b15
EID4M	EID5M	EID6M	EID7M	EID8M	EID9M	EID10M	EID11M
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8~15	EID4M ~ EID11M (拡張マスクID4 ~ 拡張マスクID11)	0 : IDチェックなし 1 : IDチェックあり	R	W

CAN0グローバルマスクレジスタA拡張ID \times C0GMSKAE2)	<アドレス: H'0080 1024 >
CAN0グローバルマスクレジスタB拡張ID \times C0GMSKBE2)	<アドレス: H'0080 102C >
CAN0ローカルマスクレジスタA拡張ID \times C0LMSKAE2)	<アドレス: H'0080 1034 >
CAN0ローカルマスクレジスタB拡張ID \times C0LMSKBE2)	<アドレス: H'0080 103C >
CAN1グローバルマスクレジスタA拡張ID \times C1GMSKAE2)	<アドレス: H'0080 1424 >
CAN1グローバルマスクレジスタB拡張ID \times C1GMSKBE2)	<アドレス: H'0080 142C >
CAN1ローカルマスクレジスタA拡張ID \times C1LMSKAE2)	<アドレス: H'0080 1434 >
CAN1ローカルマスクレジスタB拡張ID \times C1LMSKBE2)	<アドレス: H'0080 143C >

b0	1	2	3	4	5	6	b7
		EID12M	EID13M	EID14M	EID15M	EID16M	EID17M
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2~7	EID12M~EID17M (拡張マスクID12~拡張マスクID17)	0: IDチェックなし 1: IDチェックあり	R	W

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタA、グローバルマスクレジスタB、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタAはメッセージスロット0~15に、グローバルマスクレジスタBはメッセージスロット16~29に、そしてローカルマスクレジスタA、Bはそれぞれメッセージスロット30、31に適用されます。

- "0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。
- "1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

注 . . EID0Mが拡張IDのMSBに対応します。

- グローバルマスクレジスタAの変更は、スロット0~15のどのスロットにも受信要求をセットしていない状態で行ってください。
- グローバルマスクレジスタBの変更は、スロット16~29のどのスロットにも受信要求をセットしていない状態で行ってください。
- ローカルマスクレジスタAの変更は、スロット30に受信要求をセットしていない状態で行ってください。
- ローカルマスクレジスタBの変更は、スロット31に受信要求をセットしていない状態で行ってください。

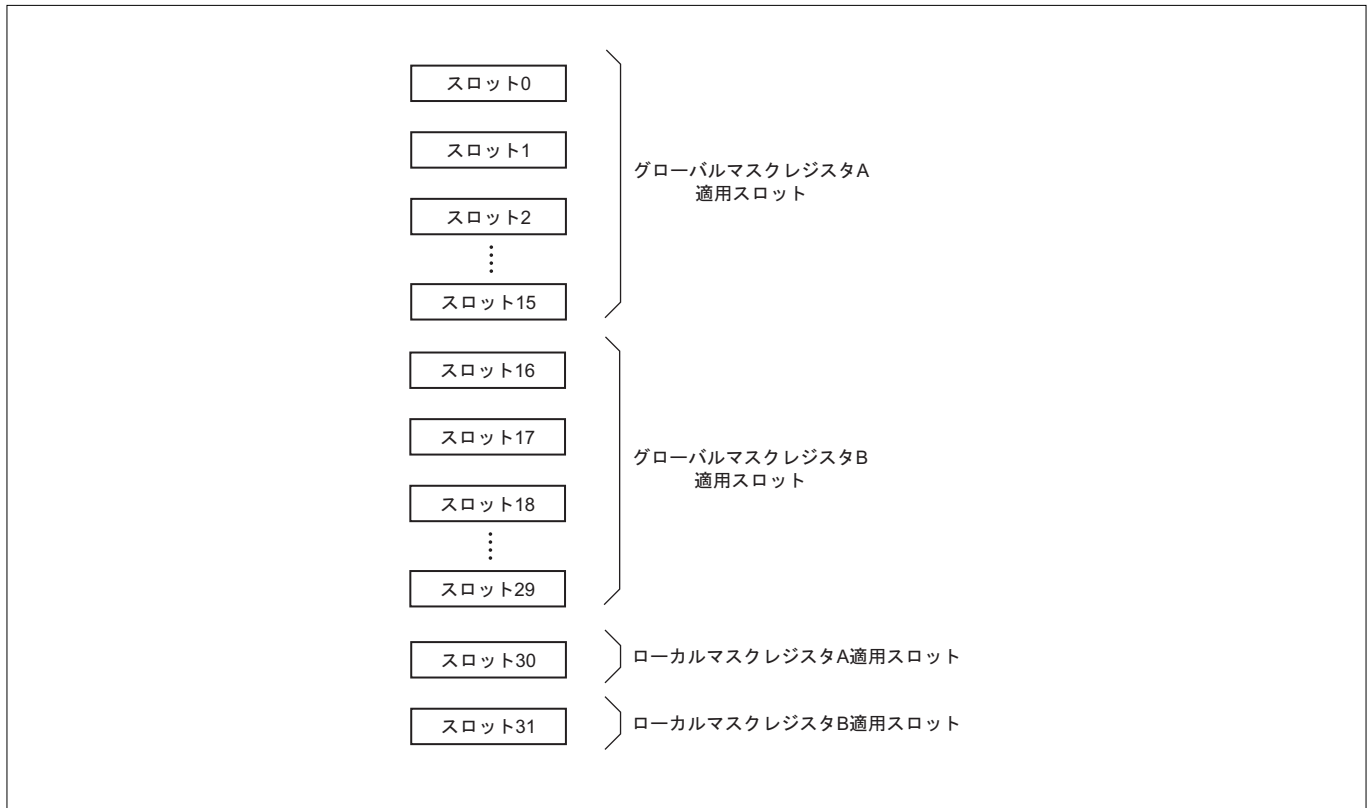


図13.2.26 マスクレジスタと適用スロットの対応

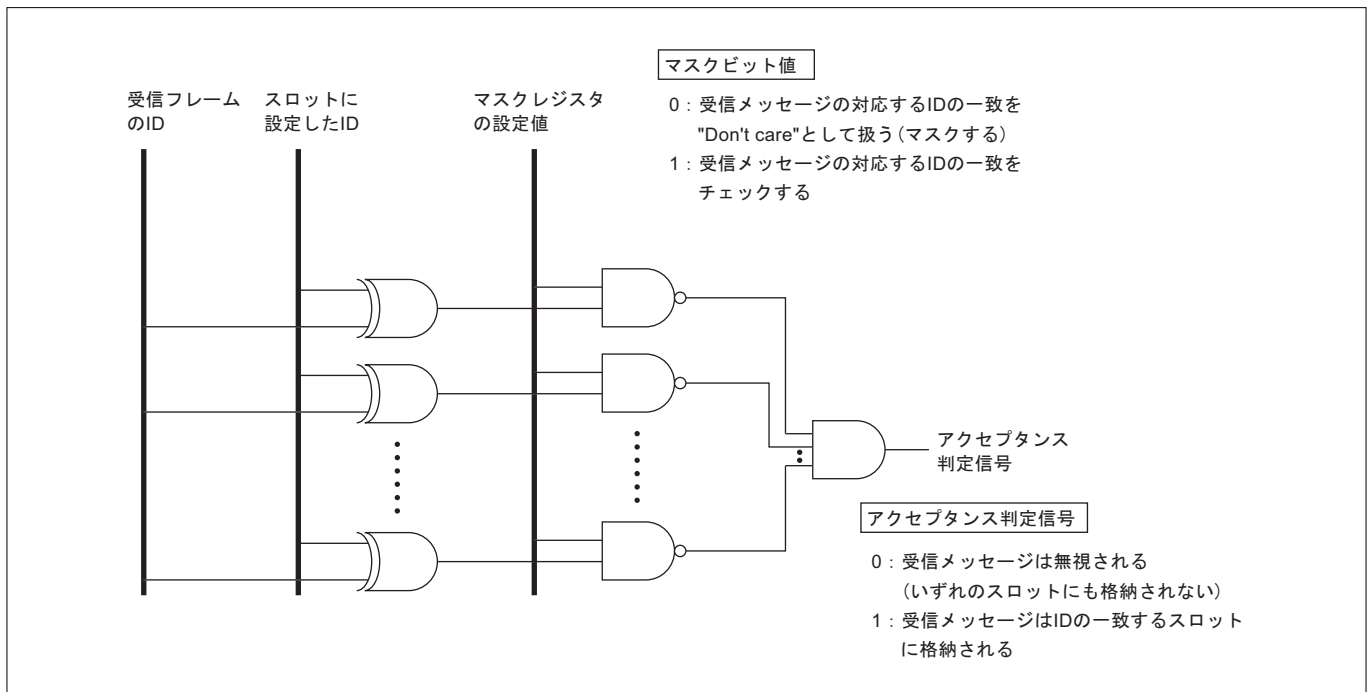


図13.2.27 アクセプタンスフィルタ動作説明

13.2.16 CANシングルショットモード制御レジスタ

CAN0シングルショットモード制御レジスタ(CAN0SSMODEW)

<アドレス : H'0080 1040 >

CAN1シングルショットモード制御レジスタ(CAN1SSMODEW)

<アドレス : H'0080 1440 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SSCNT0	SSCNT1	SSCNT2	SSCNT3	SSCNT4	SSCNT5	SSCNT6	SSCNT7	SSCNT8	SSCNT9	SSCNT10	SSCNT11	SSCNT12	SSCNT13	SSCNT14	SSCNT15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SSCNT16	SSCNT17	SSCNT18	SSCNT19	SSCNT20	SSCNT21	SSCNT22	SSCNT23	SSCNT24	SSCNT25	SSCNT26	SSCNT27	SSCNT28	SSCNT29	SSCNT30	SSCNT31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0	SSCNT0(スロット0シングルショットモードビット)	0 : 通常モード	R	W
1	SSCNT1(スロット1シングルショットモードビット)	1 : シングルショットモード		
2	SSCNT2(スロット2シングルショットモードビット)			
3	SSCNT3(スロット3シングルショットモードビット)			
4	SSCNT4(スロット4シングルショットモードビット)			
5	SSCNT5(スロット5シングルショットモードビット)			
6	SSCNT6(スロット6シングルショットモードビット)			
7	SSCNT7(スロット7シングルショットモードビット)			
8	SSCNT8(スロット8シングルショットモードビット)			
9	SSCNT9(スロット9シングルショットモードビット)			
10	SSCNT10(スロット10シングルショットモードビット)			
11	SSCNT11(スロット11シングルショットモードビット)			
12	SSCNT12(スロット12シングルショットモードビット)			
13	SSCNT13(スロット13シングルショットモードビット)			
14	SSCNT14(スロット14シングルショットモードビット)			
15	SSCNT15(スロット15シングルショットモードビット)			
16	SSCNT16(スロット16シングルショットモードビット)			
17	SSCNT17(スロット17シングルショットモードビット)			
18	SSCNT18(スロット18シングルショットモードビット)			
19	SSCNT19(スロット19シングルショットモードビット)			
20	SSCNT20(スロット20シングルショットモードビット)			
21	SSCNT21(スロット21シングルショットモードビット)			
22	SSCNT22(スロット22シングルショットモードビット)			
23	SSCNT23(スロット23シングルショットモードビット)			
24	SSCNT24(スロット24シングルショットモードビット)			
25	SSCNT25(スロット25シングルショットモードビット)			
26	SSCNT26(スロット26シングルショットモードビット)			
27	SSCNT27(スロット27シングルショットモードビット)			
28	SSCNT28(スロット28シングルショットモードビット)			
29	SSCNT29(スロット29シングルショットモードビット)			
30	SSCNT30(スロット30シングルショットモードビット)			
31	SSCNT31(スロット31シングルショットモードビット)			

通常、CANではアービトレーションロストや送信エラーによって送信に失敗した場合、送信が成功するまで送信動作を実行しつづけます。このレジスタでは、その再送信動作を行うかどうかについてスロットごとに制御することができます。

シングルショットモードでは、アービトレーションロストや送信エラーによって送信に失敗した場合、再送信動作を行いません。SSCNTnビット($n = 0 \sim 31$)に"1"をセットすると対応するスロットnは、シングルショットモードで動作します。

注．．このレジスタの設定変更は、変更を加えるビットに対応したスロットのメッセージスロットコントロールレジスタの値がH'00の状態で行ってください。

CAN1メッセージスロット17コントロールレジスタ(C1MSL17CNT)	<アドレス: H'0080 1461 >
CAN1メッセージスロット18コントロールレジスタ(C1MSL18CNT)	<アドレス: H'0080 1462 >
CAN1メッセージスロット19コントロールレジスタ(C1MSL19CNT)	<アドレス: H'0080 1463 >
CAN1メッセージスロット20コントロールレジスタ(C1MSL20CNT)	<アドレス: H'0080 1464 >
CAN1メッセージスロット21コントロールレジスタ(C1MSL21CNT)	<アドレス: H'0080 1465 >
CAN1メッセージスロット22コントロールレジスタ(C1MSL22CNT)	<アドレス: H'0080 1466 >
CAN1メッセージスロット23コントロールレジスタ(C1MSL23CNT)	<アドレス: H'0080 1467 >
CAN1メッセージスロット24コントロールレジスタ(C1MSL24CNT)	<アドレス: H'0080 1468 >
CAN1メッセージスロット25コントロールレジスタ(C1MSL25CNT)	<アドレス: H'0080 1469 >
CAN1メッセージスロット26コントロールレジスタ(C1MSL26CNT)	<アドレス: H'0080 146A >
CAN1メッセージスロット27コントロールレジスタ(C1MSL27CNT)	<アドレス: H'0080 146B >
CAN1メッセージスロット28コントロールレジスタ(C1MSL28CNT)	<アドレス: H'0080 146C >
CAN1メッセージスロット29コントロールレジスタ(C1MSL29CNT)	<アドレス: H'0080 146D >
CAN1メッセージスロット30コントロールレジスタ(C1MSL30CNT)	<アドレス: H'0080 146E >
CAN1メッセージスロット31コントロールレジスタ(C1MSL31CNT)	<アドレス: H'0080 146F >

b0(b8) 1 2 3 4 5 6 b7(b15)

TR	RR	RM	RL	RA	ML	TRSTAT	TRFIN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0(8)	TR 送信要求ビット	0: メッセージスロットを送信スロットとして 使用しない 1: メッセージスロットを送信スロットとして 使用する	R	W
1(9)	RR 受信要求ビット	0: メッセージスロットを受信スロットとして 使用しない 1: メッセージスロットを受信スロットとして 使用する	R	W
2(10)	RM リモートビット	0: データフレームの送受信 1: リモートフレームの送受信	R	W
3(11)	RL 自動応答禁止ビット	0: リモートフレームに対する自動応答許可 1: リモートフレームに対する自動応答禁止	R	W
4(12)	RA リモートアクティブビット	BasicCANモード時 0: データフレーム受信(ステータス) 1: リモートフレーム受信(ステータス) 通常モード時 0: データフレーム 1: リモートフレーム	R	-
5(13)	ML メッセージロストビット	0: メッセージロスト発生なし 1: メッセージロスト発生	R(注1)	
6(14)	TRSTAT 送受信ステータスビット	送信スロット時 0: 送信停止 1: 送信要求受付 受信スロット時 0: 受信停止 1: 受信データ格納中	R	-
7(15)	TRFIN 送受信完了ビット	送信スロット時 0: 未送信 1: 送信完了 受信スロット時 0: 未受信 1: 受信完了	R(注1)	

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

- 注 . . CANモジュールがリセット状態(CAN0CNT, CAN1CNTのFRSTまたはRSTビットが"1"にセットされた状態)でCANメッセージスロットコントロールレジスタに送信要求を書き込んだ場合、CANモジュールのリセット解除後CANバス上に11ビットの連続したレセシブビットを検出した後に、送信を開始します。
- ・複数スロットにデータ/リモートフレーム送信要求が出ている場合、スロット番号の一番小さいスロットがフレーム送信を行います。
複数スロットにデータ/リモートフレーム受信要求が出ている場合、受信条件を満たすスロットのうち、スロット番号の一番小さいスロットがフレーム受信を行います。
 - ・シングルショットモード設定時、送信に失敗した場合このレジスタはH'00にクリアされます。

(1)TR(送信要求)ビット (b0, 8)

メッセージスロットを送信スロットとして使用する場合に"1"を設定します。
データフレーム受信/リモートフレーム受信スロットとして使用する場合は、"0"を設定してください。

(2)RR(受信要求)ビット (b1, 9)

メッセージボックスを受信スロットとして使用する場合に"1"を設定します。
データフレーム送信/リモートフレーム送信スロットとして使用する場合は、"0"を設定してください。
TR(送信要求)ビットとRR(受信要求)ビットを両方とも"1"に設定した場合、動作は不定になります。

(3)RM(リモート)ビット (b2, 10)

メッセージスロットでリモートフレームを扱う場合に"1"を設定します。
リモートフレームを扱う設定には以下の2通りがあります。

- ・リモートフレーム送信設定
メッセージスロットに設定されているデータをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信スロットに切り換わります
ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータをメッセージスロットへ格納しリモートフレームの送信は行いません。
- ・リモートフレーム受信設定
リモートフレームを受信します。受信後の処理はRI(自動応答禁止)ビットにより選択します。

(4)RI(自動応答禁止)ビット (b3, 11)

リモートフレーム受信スロットとして設定した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

"0"を設定した場合は、リモートフレーム受信後、自動的に送信スロットに切り換わり、メッセージスロットに設定されているデータをデータフレームとして送信します。

また、"1"を設定した場合は、リモートフレーム受信後、停止します。

注 . . リモートフレーム受信スロット以外の設定の場合は、必ず"0"を設定してください。

(5)RA(リモートアクティブ)ビット (b4, 12)

スロット0~29までと、スロット30、31では機能が異なります。

- ・スロット0~29
スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。その後、リモートフレームの送信(受信)が完了すると"0"にクリアされます。
- ・スロット30、31
CANコントロールレジスタのBCM(BasicCANモード)ビットの設定によって機能が異なります。

BCM = "0" (通常動作時) : スロットをリモートフレーム送信 (受信) として設定した場合、RA (リモートアクティブ) ビットに "1" がセットされます。

BCM = "1" (BasicCAN) : RA ビットは、どのタイプのフレームを受信したかを示します。BasicCAN モード時のスロット 30、31 ではデータフレーム、リモートフレームともに受信データの格納を行います。

RA = "0" : スロットに格納されているフレームがデータフレームである事を示します。

RA = "1" : スロットに格納されているフレームがリモートフレームである事を示します。

(6) ML (メッセージロスト) ビット (b5, 13)

受信スロット時に有効なビットで、メッセージスロットに未読の受信データがあり、受信により上書きされた場合に "1" がセットされます。

このビットはソフトウェアによる "0" 書き込みでクリアされます。

(7) TRSTAT (送受信ステータス) ビット (b6, 14)

CANモジュールが送受信中で、メッセージスロットへアクセス中であることを示します。アクセス中は "1" がセットされ、アクセスしていないときは "0" がセットされます。

- 送信スロット時

メッセージスロットの送信要求が受け付けられたとき、"1" がセットされます。アービトレーションに敗れた場合、CANバスエラー発生、送信完了によって "0" にクリアされます。

- 受信スロット時

データ受信中でメッセージスロットに受信データを格納中であるとき、"1" がセットされます。このビットが "1" の間にメッセージスロットから読み出した値は不定値となりますのでご注意ください。

(8) TRFIN (送受信完了) ビット (b7, 15)

CANモジュールが送受信を完了したことを示します。

- 送信スロット設定時

メッセージスロットのデータが送信完了したとき、"1" がセットされます。

このビットはソフトウェアによる "0" 書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが "1" の場合は "0" にクリアできません。

- 受信スロット設定時

メッセージスロットへ格納すべきデータを正常受信にしたとき、"1" がセットされます。

このビットはソフトウェアによる "0" 書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが "1" の場合は "0" にクリアできません。

注 . . 受信データをメッセージスロットから読み出す場合は、読み出し前に TRFIN (送受信完了) ビットを "0" にクリアしてください。また、読み出し後に TRFIN (送受信完了) ビットが "1" にセットされていた場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は、読み出しデータを破棄し、TRFIN (送受信完了) ビットを "0" にクリア後、再度読み出し処理を行ってください。

- リモートフレーム送受信時は、TRFIN ビットはハードウェアにより自動的にクリア動作が行われます。TRFIN ビットを送受信完了フラグとして使用できません。

13.2.18 CANメッセージスロット

CAN0メッセージスロット0標準ID α (C0MSL0SID0)	<アドレス : H'0080 1100 >
CAN0メッセージスロット1標準ID α (C0MSL1SID0)	<アドレス : H'0080 1110 >
CAN0メッセージスロット2標準ID α (C0MSL2SID0)	<アドレス : H'0080 1120 >
CAN0メッセージスロット3標準ID α (C0MSL3SID0)	<アドレス : H'0080 1130 >
CAN0メッセージスロット4標準ID α (C0MSL4SID0)	<アドレス : H'0080 1140 >
CAN0メッセージスロット5標準ID α (C0MSL5SID0)	<アドレス : H'0080 1150 >
CAN0メッセージスロット6標準ID α (C0MSL6SID0)	<アドレス : H'0080 1160 >
CAN0メッセージスロット7標準ID α (C0MSL7SID0)	<アドレス : H'0080 1170 >
CAN0メッセージスロット8標準ID α (C0MSL8SID0)	<アドレス : H'0080 1180 >
CAN0メッセージスロット9標準ID α (C0MSL9SID0)	<アドレス : H'0080 1190 >
CAN0メッセージスロット10標準ID α (C0MSL10SID0)	<アドレス : H'0080 11A0 >
CAN0メッセージスロット11標準ID α (C0MSL11SID0)	<アドレス : H'0080 11B0 >
CAN0メッセージスロット12標準ID α (C0MSL12SID0)	<アドレス : H'0080 11C0 >
CAN0メッセージスロット13標準ID α (C0MSL13SID0)	<アドレス : H'0080 11D0 >
CAN0メッセージスロット14標準ID α (C0MSL14SID0)	<アドレス : H'0080 11E0 >
CAN0メッセージスロット15標準ID α (C0MSL15SID0)	<アドレス : H'0080 11F0 >
CAN0メッセージスロット16標準ID α (C0MSL16SID0)	<アドレス : H'0080 1200 >
CAN0メッセージスロット17標準ID α (C0MSL17SID0)	<アドレス : H'0080 1210 >
CAN0メッセージスロット18標準ID α (C0MSL18SID0)	<アドレス : H'0080 1220 >
CAN0メッセージスロット19標準ID α (C0MSL19SID0)	<アドレス : H'0080 1230 >
CAN0メッセージスロット20標準ID α (C0MSL20SID0)	<アドレス : H'0080 1240 >
CAN0メッセージスロット21標準ID α (C0MSL21SID0)	<アドレス : H'0080 1250 >
CAN0メッセージスロット22標準ID α (C0MSL22SID0)	<アドレス : H'0080 1260 >
CAN0メッセージスロット23標準ID α (C0MSL23SID0)	<アドレス : H'0080 1270 >
CAN0メッセージスロット24標準ID α (C0MSL24SID0)	<アドレス : H'0080 1280 >
CAN0メッセージスロット25標準ID α (C0MSL25SID0)	<アドレス : H'0080 1290 >
CAN0メッセージスロット26標準ID α (C0MSL26SID0)	<アドレス : H'0080 12A0 >
CAN0メッセージスロット27標準ID α (C0MSL27SID0)	<アドレス : H'0080 12B0 >
CAN0メッセージスロット28標準ID α (C0MSL28SID0)	<アドレス : H'0080 12C0 >
CAN0メッセージスロット29標準ID α (C0MSL29SID0)	<アドレス : H'0080 12D0 >
CAN0メッセージスロット30標準ID α (C0MSL30SID0)	<アドレス : H'0080 12E0 >
CAN0メッセージスロット31標準ID α (C0MSL31SID0)	<アドレス : H'0080 12F0 >
CAN1メッセージスロット0標準ID α (C1MSL0SID0)	<アドレス : H'0080 1500 >
CAN1メッセージスロット1標準ID α (C1MSL1SID0)	<アドレス : H'0080 1510 >
CAN1メッセージスロット2標準ID α (C1MSL2SID0)	<アドレス : H'0080 1520 >
CAN1メッセージスロット3標準ID α (C1MSL3SID0)	<アドレス : H'0080 1530 >
CAN1メッセージスロット4標準ID α (C1MSL4SID0)	<アドレス : H'0080 1540 >
CAN1メッセージスロット5標準ID α (C1MSL5SID0)	<アドレス : H'0080 1550 >
CAN1メッセージスロット6標準ID α (C1MSL6SID0)	<アドレス : H'0080 1560 >
CAN1メッセージスロット7標準ID α (C1MSL7SID0)	<アドレス : H'0080 1570 >
CAN1メッセージスロット8標準ID α (C1MSL8SID0)	<アドレス : H'0080 1580 >
CAN1メッセージスロット9標準ID α (C1MSL9SID0)	<アドレス : H'0080 1590 >
CAN1メッセージスロット10標準ID α (C1MSL10SID0)	<アドレス : H'0080 15A0 >
CAN1メッセージスロット11標準ID α (C1MSL11SID0)	<アドレス : H'0080 15B0 >
CAN1メッセージスロット12標準ID α (C1MSL12SID0)	<アドレス : H'0080 15C0 >
CAN1メッセージスロット13標準ID α (C1MSL13SID0)	<アドレス : H'0080 15D0 >
CAN1メッセージスロット14標準ID α (C1MSL14SID0)	<アドレス : H'0080 15E0 >
CAN1メッセージスロット15標準ID α (C1MSL15SID0)	<アドレス : H'0080 15F0 >

CAN1メッセージスロット16標準ID α (C1MSL16SID0)	<アドレス : H'0080 1600 >
CAN1メッセージスロット17標準ID α (C1MSL17SID0)	<アドレス : H'0080 1610 >
CAN1メッセージスロット18標準ID α (C1MSL18SID0)	<アドレス : H'0080 1620 >
CAN1メッセージスロット19標準ID α (C1MSL19SID0)	<アドレス : H'0080 1630 >
CAN1メッセージスロット20標準ID α (C1MSL20SID0)	<アドレス : H'0080 1640 >
CAN1メッセージスロット21標準ID α (C1MSL21SID0)	<アドレス : H'0080 1650 >
CAN1メッセージスロット22標準ID α (C1MSL22SID0)	<アドレス : H'0080 1660 >
CAN1メッセージスロット23標準ID α (C1MSL23SID0)	<アドレス : H'0080 1670 >
CAN1メッセージスロット24標準ID α (C1MSL24SID0)	<アドレス : H'0080 1680 >
CAN1メッセージスロット25標準ID α (C1MSL25SID0)	<アドレス : H'0080 1690 >
CAN1メッセージスロット26標準ID α (C1MSL26SID0)	<アドレス : H'0080 16A0 >
CAN1メッセージスロット27標準ID α (C1MSL27SID0)	<アドレス : H'0080 16B0 >
CAN1メッセージスロット28標準ID α (C1MSL28SID0)	<アドレス : H'0080 16C0 >
CAN1メッセージスロット29標準ID α (C1MSL29SID0)	<アドレス : H'0080 16D0 >
CAN1メッセージスロット30標準ID α (C1MSL30SID0)	<アドレス : H'0080 16E0 >
CAN1メッセージスロット31標準ID α (C1MSL31SID0)	<アドレス : H'0080 16F0 >

b0	1	2	3	4	5	6	b7
?	?	?	SID0	SID1	SID2	SID3	SID4
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~7	SID0~SID4 (標準ID0~標準ID4)	標準ID0~標準ID4	R	W

送信フレーム/受信フレームのメモリスペースです。

CAN0メッセージスロット0標準ID1(C0MSL0SID1)	<アドレス : H'0080 1101 >
CAN0メッセージスロット1標準ID1(C0MSL1SID1)	<アドレス : H'0080 1111 >
CAN0メッセージスロット2標準ID1(C0MSL2SID1)	<アドレス : H'0080 1121 >
CAN0メッセージスロット3標準ID1(C0MSL3SID1)	<アドレス : H'0080 1131 >
CAN0メッセージスロット4標準ID1(C0MSL4SID1)	<アドレス : H'0080 1141 >
CAN0メッセージスロット5標準ID1(C0MSL5SID1)	<アドレス : H'0080 1151 >
CAN0メッセージスロット6標準ID1(C0MSL6SID1)	<アドレス : H'0080 1161 >
CAN0メッセージスロット7標準ID1(C0MSL7SID1)	<アドレス : H'0080 1171 >
CAN0メッセージスロット8標準ID1(C0MSL8SID1)	<アドレス : H'0080 1181 >
CAN0メッセージスロット9標準ID1(C0MSL9SID1)	<アドレス : H'0080 1191 >
CAN0メッセージスロット10標準ID1(C0MSL10SID1)	<アドレス : H'0080 11A1 >
CAN0メッセージスロット11標準ID1(C0MSL11SID1)	<アドレス : H'0080 11B1 >
CAN0メッセージスロット12標準ID1(C0MSL12SID1)	<アドレス : H'0080 11C1 >
CAN0メッセージスロット13標準ID1(C0MSL13SID1)	<アドレス : H'0080 11D1 >
CAN0メッセージスロット14標準ID1(C0MSL14SID1)	<アドレス : H'0080 11E1 >
CAN0メッセージスロット15標準ID1(C0MSL15SID1)	<アドレス : H'0080 11F1 >
CAN0メッセージスロット16標準ID1(C0MSL16SID1)	<アドレス : H'0080 1201 >
CAN0メッセージスロット17標準ID1(C0MSL17SID1)	<アドレス : H'0080 1211 >
CAN0メッセージスロット18標準ID1(C0MSL18SID1)	<アドレス : H'0080 1221 >
CAN0メッセージスロット19標準ID1(C0MSL19SID1)	<アドレス : H'0080 1231 >
CAN0メッセージスロット20標準ID1(C0MSL20SID1)	<アドレス : H'0080 1241 >
CAN0メッセージスロット21標準ID1(C0MSL21SID1)	<アドレス : H'0080 1251 >
CAN0メッセージスロット22標準ID1(C0MSL22SID1)	<アドレス : H'0080 1261 >
CAN0メッセージスロット23標準ID1(C0MSL23SID1)	<アドレス : H'0080 1271 >
CAN0メッセージスロット24標準ID1(C0MSL24SID1)	<アドレス : H'0080 1281 >
CAN0メッセージスロット25標準ID1(C0MSL25SID1)	<アドレス : H'0080 1291 >
CAN0メッセージスロット26標準ID1(C0MSL26SID1)	<アドレス : H'0080 12A1 >
CAN0メッセージスロット27標準ID1(C0MSL27SID1)	<アドレス : H'0080 12B1 >
CAN0メッセージスロット28標準ID1(C0MSL28SID1)	<アドレス : H'0080 12C1 >
CAN0メッセージスロット29標準ID1(C0MSL29SID1)	<アドレス : H'0080 12D1 >
CAN0メッセージスロット30標準ID1(C0MSL30SID1)	<アドレス : H'0080 12E1 >
CAN0メッセージスロット31標準ID1(C0MSL31SID1)	<アドレス : H'0080 12F1 >
CAN1メッセージスロット0標準ID1(C1MSL0SID1)	<アドレス : H'0080 1501 >
CAN1メッセージスロット1標準ID1(C1MSL1SID1)	<アドレス : H'0080 1511 >
CAN1メッセージスロット2標準ID1(C1MSL2SID1)	<アドレス : H'0080 1521 >
CAN1メッセージスロット3標準ID1(C1MSL3SID1)	<アドレス : H'0080 1531 >
CAN1メッセージスロット4標準ID1(C1MSL4SID1)	<アドレス : H'0080 1541 >
CAN1メッセージスロット5標準ID1(C1MSL5SID1)	<アドレス : H'0080 1551 >
CAN1メッセージスロット6標準ID1(C1MSL6SID1)	<アドレス : H'0080 1561 >
CAN1メッセージスロット7標準ID1(C1MSL7SID1)	<アドレス : H'0080 1571 >
CAN1メッセージスロット8標準ID1(C1MSL8SID1)	<アドレス : H'0080 1581 >
CAN1メッセージスロット9標準ID1(C1MSL9SID1)	<アドレス : H'0080 1591 >
CAN1メッセージスロット10標準ID1(C1MSL10SID1)	<アドレス : H'0080 15A1 >
CAN1メッセージスロット11標準ID1(C1MSL11SID1)	<アドレス : H'0080 15B1 >
CAN1メッセージスロット12標準ID1(C1MSL12SID1)	<アドレス : H'0080 15C1 >
CAN1メッセージスロット13標準ID1(C1MSL13SID1)	<アドレス : H'0080 15D1 >
CAN1メッセージスロット14標準ID1(C1MSL14SID1)	<アドレス : H'0080 15E1 >
CAN1メッセージスロット15標準ID1(C1MSL15SID1)	<アドレス : H'0080 15F1 >

CAN1メッセージスロット16標準ID1(C1MSL16SID1)	<アドレス : H'0080 1601 >
CAN1メッセージスロット17標準ID1(C1MSL17SID1)	<アドレス : H'0080 1611 >
CAN1メッセージスロット18標準ID1(C1MSL18SID1)	<アドレス : H'0080 1621 >
CAN1メッセージスロット19標準ID1(C1MSL19SID1)	<アドレス : H'0080 1631 >
CAN1メッセージスロット20標準ID1(C1MSL20SID1)	<アドレス : H'0080 1641 >
CAN1メッセージスロット21標準ID1(C1MSL21SID1)	<アドレス : H'0080 1651 >
CAN1メッセージスロット22標準ID1(C1MSL22SID1)	<アドレス : H'0080 1661 >
CAN1メッセージスロット23標準ID1(C1MSL23SID1)	<アドレス : H'0080 1671 >
CAN1メッセージスロット24標準ID1(C1MSL24SID1)	<アドレス : H'0080 1681 >
CAN1メッセージスロット25標準ID1(C1MSL25SID1)	<アドレス : H'0080 1691 >
CAN1メッセージスロット26標準ID1(C1MSL26SID1)	<アドレス : H'0080 16A1 >
CAN1メッセージスロット27標準ID1(C1MSL27SID1)	<アドレス : H'0080 16B1 >
CAN1メッセージスロット28標準ID1(C1MSL28SID1)	<アドレス : H'0080 16C1 >
CAN1メッセージスロット29標準ID1(C1MSL29SID1)	<アドレス : H'0080 16D1 >
CAN1メッセージスロット30標準ID1(C1MSL30SID1)	<アドレス : H'0080 16E1 >
CAN1メッセージスロット31標準ID1(C1MSL31SID1)	<アドレス : H'0080 16F1 >

b8	9	10	11	12	13	14	b15
?	?	SID5	SID6	SID7	SID8	SID9	SID10
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
8, 9	何も配置されていません。"0"に固定してください。		0	0
10 ~ 15	SID5 ~ SID10 (標準ID5 ~ 標準ID10)	標準ID5 ~ 標準ID10	R	W

送信フレーム/受信フレームのメモリスペースです。

CAN0メッセージスロット0拡張ID α (C0MSL0EID0)	<アドレス: H'0080 1102 >
CAN0メッセージスロット1拡張ID α (C0MSL1EID0)	<アドレス: H'0080 1112 >
CAN0メッセージスロット2拡張ID α (C0MSL2EID0)	<アドレス: H'0080 1122 >
CAN0メッセージスロット3拡張ID α (C0MSL3EID0)	<アドレス: H'0080 1132 >
CAN0メッセージスロット4拡張ID α (C0MSL4EID0)	<アドレス: H'0080 1142 >
CAN0メッセージスロット5拡張ID α (C0MSL5EID0)	<アドレス: H'0080 1152 >
CAN0メッセージスロット6拡張ID α (C0MSL6EID0)	<アドレス: H'0080 1162 >
CAN0メッセージスロット7拡張ID α (C0MSL7EID0)	<アドレス: H'0080 1172 >
CAN0メッセージスロット8拡張ID α (C0MSL8EID0)	<アドレス: H'0080 1182 >
CAN0メッセージスロット9拡張ID α (C0MSL9EID0)	<アドレス: H'0080 1192 >
CAN0メッセージスロット10拡張ID α (C0MSL10EID0)	<アドレス: H'0080 11A2 >
CAN0メッセージスロット11拡張ID α (C0MSL11EID0)	<アドレス: H'0080 11B2 >
CAN0メッセージスロット12拡張ID α (C0MSL12EID0)	<アドレス: H'0080 11C2 >
CAN0メッセージスロット13拡張ID α (C0MSL13EID0)	<アドレス: H'0080 11D2 >
CAN0メッセージスロット14拡張ID α (C0MSL14EID0)	<アドレス: H'0080 11E2 >
CAN0メッセージスロット15拡張ID α (C0MSL15EID0)	<アドレス: H'0080 11F2 >
CAN0メッセージスロット16拡張ID α (C0MSL16EID0)	<アドレス: H'0080 1202 >
CAN0メッセージスロット17拡張ID α (C0MSL17EID0)	<アドレス: H'0080 1212 >
CAN0メッセージスロット18拡張ID α (C0MSL18EID0)	<アドレス: H'0080 1222 >
CAN0メッセージスロット19拡張ID α (C0MSL19EID0)	<アドレス: H'0080 1232 >
CAN0メッセージスロット20拡張ID α (C0MSL20EID0)	<アドレス: H'0080 1242 >
CAN0メッセージスロット21拡張ID α (C0MSL21EID0)	<アドレス: H'0080 1252 >
CAN0メッセージスロット22拡張ID α (C0MSL22EID0)	<アドレス: H'0080 1262 >
CAN0メッセージスロット23拡張ID α (C0MSL23EID0)	<アドレス: H'0080 1272 >
CAN0メッセージスロット24拡張ID α (C0MSL24EID0)	<アドレス: H'0080 1282 >
CAN0メッセージスロット25拡張ID α (C0MSL25EID0)	<アドレス: H'0080 1292 >
CAN0メッセージスロット26拡張ID α (C0MSL26EID0)	<アドレス: H'0080 12A2 >
CAN0メッセージスロット27拡張ID α (C0MSL27EID0)	<アドレス: H'0080 12B2 >
CAN0メッセージスロット28拡張ID α (C0MSL28EID0)	<アドレス: H'0080 12C2 >
CAN0メッセージスロット29拡張ID α (C0MSL29EID0)	<アドレス: H'0080 12D2 >
CAN0メッセージスロット30拡張ID α (C0MSL30EID0)	<アドレス: H'0080 12E2 >
CAN0メッセージスロット31拡張ID α (C0MSL31EID0)	<アドレス: H'0080 12F2 >
CAN1メッセージスロット0拡張ID α (C1MSL0EID0)	<アドレス: H'0080 1502 >
CAN1メッセージスロット1拡張ID α (C1MSL1EID0)	<アドレス: H'0080 1512 >
CAN1メッセージスロット2拡張ID α (C1MSL2EID0)	<アドレス: H'0080 1522 >
CAN1メッセージスロット3拡張ID α (C1MSL3EID0)	<アドレス: H'0080 1532 >
CAN1メッセージスロット4拡張ID α (C1MSL4EID0)	<アドレス: H'0080 1542 >
CAN1メッセージスロット5拡張ID α (C1MSL5EID0)	<アドレス: H'0080 1552 >
CAN1メッセージスロット6拡張ID α (C1MSL6EID0)	<アドレス: H'0080 1562 >
CAN1メッセージスロット7拡張ID α (C1MSL7EID0)	<アドレス: H'0080 1572 >
CAN1メッセージスロット8拡張ID α (C1MSL8EID0)	<アドレス: H'0080 1582 >
CAN1メッセージスロット9拡張ID α (C1MSL9EID0)	<アドレス: H'0080 1592 >
CAN1メッセージスロット10拡張ID α (C1MSL10EID0)	<アドレス: H'0080 15A2 >
CAN1メッセージスロット11拡張ID α (C1MSL11EID0)	<アドレス: H'0080 15B2 >
CAN1メッセージスロット12拡張ID α (C1MSL12EID0)	<アドレス: H'0080 15C2 >
CAN1メッセージスロット13拡張ID α (C1MSL13EID0)	<アドレス: H'0080 15D2 >
CAN1メッセージスロット14拡張ID α (C1MSL14EID0)	<アドレス: H'0080 15E2 >
CAN1メッセージスロット15拡張ID α (C1MSL15EID0)	<アドレス: H'0080 15F2 >

CAN1メッセージスロット16拡張ID α (C1MSL16EID0)	<アドレス : H'0080 1602 >
CAN1メッセージスロット17拡張ID α (C1MSL17EID0)	<アドレス : H'0080 1612 >
CAN1メッセージスロット18拡張ID α (C1MSL18EID0)	<アドレス : H'0080 1622 >
CAN1メッセージスロット19拡張ID α (C1MSL19EID0)	<アドレス : H'0080 1632 >
CAN1メッセージスロット20拡張ID α (C1MSL20EID0)	<アドレス : H'0080 1642 >
CAN1メッセージスロット21拡張ID α (C1MSL21EID0)	<アドレス : H'0080 1652 >
CAN1メッセージスロット22拡張ID α (C1MSL22EID0)	<アドレス : H'0080 1662 >
CAN1メッセージスロット23拡張ID α (C1MSL23EID0)	<アドレス : H'0080 1672 >
CAN1メッセージスロット24拡張ID α (C1MSL24EID0)	<アドレス : H'0080 1682 >
CAN1メッセージスロット25拡張ID α (C1MSL25EID0)	<アドレス : H'0080 1692 >
CAN1メッセージスロット26拡張ID α (C1MSL26EID0)	<アドレス : H'0080 16A2 >
CAN1メッセージスロット27拡張ID α (C1MSL27EID0)	<アドレス : H'0080 16B2 >
CAN1メッセージスロット28拡張ID α (C1MSL28EID0)	<アドレス : H'0080 16C2 >
CAN1メッセージスロット29拡張ID α (C1MSL29EID0)	<アドレス : H'0080 16D2 >
CAN1メッセージスロット30拡張ID α (C1MSL30EID0)	<アドレス : H'0080 16E2 >
CAN1メッセージスロット31拡張ID α (C1MSL31EID0)	<アドレス : H'0080 16F2 >

b0	1	2	3	4	5	6	b7
?	?	?	?	EID0	EID1	EID2	EID3
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4~7	EID0~EID3 (拡張ID0~拡張ID3)	拡張ID0~拡張ID3	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID1(C0MSL0EID1)	<アドレス : H'0080 1103 >
CAN0メッセージスロット1拡張ID1(C0MSL1EID1)	<アドレス : H'0080 1113 >
CAN0メッセージスロット2拡張ID1(C0MSL2EID1)	<アドレス : H'0080 1123 >
CAN0メッセージスロット3拡張ID1(C0MSL3EID1)	<アドレス : H'0080 1133 >
CAN0メッセージスロット4拡張ID1(C0MSL4EID1)	<アドレス : H'0080 1143 >
CAN0メッセージスロット5拡張ID1(C0MSL5EID1)	<アドレス : H'0080 1153 >
CAN0メッセージスロット6拡張ID1(C0MSL6EID1)	<アドレス : H'0080 1163 >
CAN0メッセージスロット7拡張ID1(C0MSL7EID1)	<アドレス : H'0080 1173 >
CAN0メッセージスロット8拡張ID1(C0MSL8EID1)	<アドレス : H'0080 1183 >
CAN0メッセージスロット9拡張ID1(C0MSL9EID1)	<アドレス : H'0080 1193 >
CAN0メッセージスロット10拡張ID1(C0MSL10EID1)	<アドレス : H'0080 11A3 >
CAN0メッセージスロット11拡張ID1(C0MSL11EID1)	<アドレス : H'0080 11B3 >
CAN0メッセージスロット12拡張ID1(C0MSL12EID1)	<アドレス : H'0080 11C3 >
CAN0メッセージスロット13拡張ID1(C0MSL13EID1)	<アドレス : H'0080 11D3 >
CAN0メッセージスロット14拡張ID1(C0MSL14EID1)	<アドレス : H'0080 11E3 >
CAN0メッセージスロット15拡張ID1(C0MSL15EID1)	<アドレス : H'0080 11F3 >
CAN0メッセージスロット16拡張ID1(C0MSL16EID1)	<アドレス : H'0080 1203 >
CAN0メッセージスロット17拡張ID1(C0MSL17EID1)	<アドレス : H'0080 1213 >
CAN0メッセージスロット18拡張ID1(C0MSL18EID1)	<アドレス : H'0080 1223 >
CAN0メッセージスロット19拡張ID1(C0MSL19EID1)	<アドレス : H'0080 1233 >
CAN0メッセージスロット20拡張ID1(C0MSL20EID1)	<アドレス : H'0080 1243 >
CAN0メッセージスロット21拡張ID1(C0MSL21EID1)	<アドレス : H'0080 1253 >
CAN0メッセージスロット22拡張ID1(C0MSL22EID1)	<アドレス : H'0080 1263 >
CAN0メッセージスロット23拡張ID1(C0MSL23EID1)	<アドレス : H'0080 1273 >
CAN0メッセージスロット24拡張ID1(C0MSL24EID1)	<アドレス : H'0080 1283 >
CAN0メッセージスロット25拡張ID1(C0MSL25EID1)	<アドレス : H'0080 1293 >
CAN0メッセージスロット26拡張ID1(C0MSL26EID1)	<アドレス : H'0080 12A3 >
CAN0メッセージスロット27拡張ID1(C0MSL27EID1)	<アドレス : H'0080 12B3 >
CAN0メッセージスロット28拡張ID1(C0MSL28EID1)	<アドレス : H'0080 12C3 >
CAN0メッセージスロット29拡張ID1(C0MSL29EID1)	<アドレス : H'0080 12D3 >
CAN0メッセージスロット30拡張ID1(C0MSL30EID1)	<アドレス : H'0080 12E3 >
CAN0メッセージスロット31拡張ID1(C0MSL31EID1)	<アドレス : H'0080 12F3 >
CAN1メッセージスロット0拡張ID1(C1MSL0EID1)	<アドレス : H'0080 1503 >
CAN1メッセージスロット1拡張ID1(C1MSL1EID1)	<アドレス : H'0080 1513 >
CAN1メッセージスロット2拡張ID1(C1MSL2EID1)	<アドレス : H'0080 1523 >
CAN1メッセージスロット3拡張ID1(C1MSL3EID1)	<アドレス : H'0080 1533 >
CAN1メッセージスロット4拡張ID1(C1MSL4EID1)	<アドレス : H'0080 1543 >
CAN1メッセージスロット5拡張ID1(C1MSL5EID1)	<アドレス : H'0080 1553 >
CAN1メッセージスロット6拡張ID1(C1MSL6EID1)	<アドレス : H'0080 1563 >
CAN1メッセージスロット7拡張ID1(C1MSL7EID1)	<アドレス : H'0080 1573 >
CAN1メッセージスロット8拡張ID1(C1MSL8EID1)	<アドレス : H'0080 1583 >
CAN1メッセージスロット9拡張ID1(C1MSL9EID1)	<アドレス : H'0080 1593 >
CAN1メッセージスロット10拡張ID1(C1MSL10EID1)	<アドレス : H'0080 15A3 >
CAN1メッセージスロット11拡張ID1(C1MSL11EID1)	<アドレス : H'0080 15B3 >
CAN1メッセージスロット12拡張ID1(C1MSL12EID1)	<アドレス : H'0080 15C3 >
CAN1メッセージスロット13拡張ID1(C1MSL13EID1)	<アドレス : H'0080 15D3 >
CAN1メッセージスロット14拡張ID1(C1MSL14EID1)	<アドレス : H'0080 15E3 >
CAN1メッセージスロット15拡張ID1(C1MSL15EID1)	<アドレス : H'0080 15F3 >

CAN1メッセージスロット16拡張ID1(C1MSL16EID1)	<アドレス : H'0080 1603 >
CAN1メッセージスロット17拡張ID1(C1MSL17EID1)	<アドレス : H'0080 1613 >
CAN1メッセージスロット18拡張ID1(C1MSL18EID1)	<アドレス : H'0080 1623 >
CAN1メッセージスロット19拡張ID1(C1MSL19EID1)	<アドレス : H'0080 1633 >
CAN1メッセージスロット20拡張ID1(C1MSL20EID1)	<アドレス : H'0080 1643 >
CAN1メッセージスロット21拡張ID1(C1MSL21EID1)	<アドレス : H'0080 1653 >
CAN1メッセージスロット22拡張ID1(C1MSL22EID1)	<アドレス : H'0080 1663 >
CAN1メッセージスロット23拡張ID1(C1MSL23EID1)	<アドレス : H'0080 1673 >
CAN1メッセージスロット24拡張ID1(C1MSL24EID1)	<アドレス : H'0080 1683 >
CAN1メッセージスロット25拡張ID1(C1MSL25EID1)	<アドレス : H'0080 1693 >
CAN1メッセージスロット26拡張ID1(C1MSL26EID1)	<アドレス : H'0080 16A3 >
CAN1メッセージスロット27拡張ID1(C1MSL27EID1)	<アドレス : H'0080 16B3 >
CAN1メッセージスロット28拡張ID1(C1MSL28EID1)	<アドレス : H'0080 16C3 >
CAN1メッセージスロット29拡張ID1(C1MSL29EID1)	<アドレス : H'0080 16D3 >
CAN1メッセージスロット30拡張ID1(C1MSL30EID1)	<アドレス : H'0080 16E3 >
CAN1メッセージスロット31拡張ID1(C1MSL31EID1)	<アドレス : H'0080 16F3 >

b8	9	10	11	12	13	14	b15
EID4	EID5	EID6	EID7	EID8	EID9	EID10	EID11
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
8 ~ 15	EID4 ~ EID11 (拡張ID4 ~ 拡張ID11)	拡張ID4 ~ 拡張ID11	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID \times C0MSL0EID2)	<アドレス: H'0080 1104 >
CAN0メッセージスロット1拡張ID \times C0MSL1EID2)	<アドレス: H'0080 1114 >
CAN0メッセージスロット2拡張ID \times C0MSL2EID2)	<アドレス: H'0080 1124 >
CAN0メッセージスロット3拡張ID \times C0MSL3EID2)	<アドレス: H'0080 1134 >
CAN0メッセージスロット4拡張ID \times C0MSL4EID2)	<アドレス: H'0080 1144 >
CAN0メッセージスロット5拡張ID \times C0MSL5EID2)	<アドレス: H'0080 1154 >
CAN0メッセージスロット6拡張ID \times C0MSL6EID2)	<アドレス: H'0080 1164 >
CAN0メッセージスロット7拡張ID \times C0MSL7EID2)	<アドレス: H'0080 1174 >
CAN0メッセージスロット8拡張ID \times C0MSL8EID2)	<アドレス: H'0080 1184 >
CAN0メッセージスロット9拡張ID \times C0MSL9EID2)	<アドレス: H'0080 1194 >
CAN0メッセージスロット10拡張ID \times C0MSL10EID2)	<アドレス: H'0080 11A4 >
CAN0メッセージスロット11拡張ID \times C0MSL11EID2)	<アドレス: H'0080 11B4 >
CAN0メッセージスロット12拡張ID \times C0MSL12EID2)	<アドレス: H'0080 11C4 >
CAN0メッセージスロット13拡張ID \times C0MSL13EID2)	<アドレス: H'0080 11D4 >
CAN0メッセージスロット14拡張ID \times C0MSL14EID2)	<アドレス: H'0080 11E4 >
CAN0メッセージスロット15拡張ID \times C0MSL15EID2)	<アドレス: H'0080 11F4 >
CAN0メッセージスロット16拡張ID \times C0MSL16EID2)	<アドレス: H'0080 1204 >
CAN0メッセージスロット17拡張ID \times C0MSL17EID2)	<アドレス: H'0080 1214 >
CAN0メッセージスロット18拡張ID \times C0MSL18EID2)	<アドレス: H'0080 1224 >
CAN0メッセージスロット19拡張ID \times C0MSL19EID2)	<アドレス: H'0080 1234 >
CAN0メッセージスロット20拡張ID \times C0MSL20EID2)	<アドレス: H'0080 1244 >
CAN0メッセージスロット21拡張ID \times C0MSL21EID2)	<アドレス: H'0080 1254 >
CAN0メッセージスロット22拡張ID \times C0MSL22EID2)	<アドレス: H'0080 1264 >
CAN0メッセージスロット23拡張ID \times C0MSL23EID2)	<アドレス: H'0080 1274 >
CAN0メッセージスロット24拡張ID \times C0MSL24EID2)	<アドレス: H'0080 1284 >
CAN0メッセージスロット25拡張ID \times C0MSL25EID2)	<アドレス: H'0080 1294 >
CAN0メッセージスロット26拡張ID \times C0MSL26EID2)	<アドレス: H'0080 12A4 >
CAN0メッセージスロット27拡張ID \times C0MSL27EID2)	<アドレス: H'0080 12B4 >
CAN0メッセージスロット28拡張ID \times C0MSL28EID2)	<アドレス: H'0080 12C4 >
CAN0メッセージスロット29拡張ID \times C0MSL29EID2)	<アドレス: H'0080 12D4 >
CAN0メッセージスロット30拡張ID \times C0MSL30EID2)	<アドレス: H'0080 12E4 >
CAN0メッセージスロット31拡張ID \times C0MSL31EID2)	<アドレス: H'0080 12F4 >
CAN1メッセージスロット0拡張ID \times C1MSL0EID2)	<アドレス: H'0080 1504 >
CAN1メッセージスロット1拡張ID \times C1MSL1EID2)	<アドレス: H'0080 1514 >
CAN1メッセージスロット2拡張ID \times C1MSL2EID2)	<アドレス: H'0080 1524 >
CAN1メッセージスロット3拡張ID \times C1MSL3EID2)	<アドレス: H'0080 1534 >
CAN1メッセージスロット4拡張ID \times C1MSL4EID2)	<アドレス: H'0080 1544 >
CAN1メッセージスロット5拡張ID \times C1MSL5EID2)	<アドレス: H'0080 1554 >
CAN1メッセージスロット6拡張ID \times C1MSL6EID2)	<アドレス: H'0080 1564 >
CAN1メッセージスロット7拡張ID \times C1MSL7EID2)	<アドレス: H'0080 1574 >
CAN1メッセージスロット8拡張ID \times C1MSL8EID2)	<アドレス: H'0080 1584 >
CAN1メッセージスロット9拡張ID \times C1MSL9EID2)	<アドレス: H'0080 1594 >
CAN1メッセージスロット10拡張ID \times C1MSL10EID2)	<アドレス: H'0080 15A4 >
CAN1メッセージスロット11拡張ID \times C1MSL11EID2)	<アドレス: H'0080 15B4 >
CAN1メッセージスロット12拡張ID \times C1MSL12EID2)	<アドレス: H'0080 15C4 >
CAN1メッセージスロット13拡張ID \times C1MSL13EID2)	<アドレス: H'0080 15D4 >
CAN1メッセージスロット14拡張ID \times C1MSL14EID2)	<アドレス: H'0080 15E4 >
CAN1メッセージスロット15拡張ID \times C1MSL15EID2)	<アドレス: H'0080 15F4 >

CAN1メッセージスロット16拡張ID \times C1MSL16EID2)	<アドレス : H'0080 1604 >
CAN1メッセージスロット17拡張ID \times C1MSL17EID2)	<アドレス : H'0080 1614 >
CAN1メッセージスロット18拡張ID \times C1MSL18EID2)	<アドレス : H'0080 1624 >
CAN1メッセージスロット19拡張ID \times C1MSL19EID2)	<アドレス : H'0080 1634 >
CAN1メッセージスロット20拡張ID \times C1MSL20EID2)	<アドレス : H'0080 1644 >
CAN1メッセージスロット21拡張ID \times C1MSL21EID2)	<アドレス : H'0080 1654 >
CAN1メッセージスロット22拡張ID \times C1MSL22EID2)	<アドレス : H'0080 1664 >
CAN1メッセージスロット23拡張ID \times C1MSL23EID2)	<アドレス : H'0080 1674 >
CAN1メッセージスロット24拡張ID \times C1MSL24EID2)	<アドレス : H'0080 1684 >
CAN1メッセージスロット25拡張ID \times C1MSL25EID2)	<アドレス : H'0080 1694 >
CAN1メッセージスロット26拡張ID \times C1MSL26EID2)	<アドレス : H'0080 16A4 >
CAN1メッセージスロット27拡張ID \times C1MSL27EID2)	<アドレス : H'0080 16B4 >
CAN1メッセージスロット28拡張ID \times C1MSL28EID2)	<アドレス : H'0080 16C4 >
CAN1メッセージスロット29拡張ID \times C1MSL29EID2)	<アドレス : H'0080 16D4 >
CAN1メッセージスロット30拡張ID \times C1MSL30EID2)	<アドレス : H'0080 16E4 >
CAN1メッセージスロット31拡張ID \times C1MSL31EID2)	<アドレス : H'0080 16F4 >

b0	1	2	3	4	5	6	b7
?	?	EID12	EID13	EID14	EID15	EID16	EID17
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0, 1	何も配置されていません。"0"に固定してください。		0	0
2~7	EID12~EID17 (拡張ID12~拡張ID17)	拡張ID12~拡張ID17	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN1メッセージスロット16データ長レジスタ(C1MSL16DLC)	<アドレス : H'0080 1605 >
CAN1メッセージスロット17データ長レジスタ(C1MSL17DLC)	<アドレス : H'0080 1615 >
CAN1メッセージスロット18データ長レジスタ(C1MSL18DLC)	<アドレス : H'0080 1625 >
CAN1メッセージスロット19データ長レジスタ(C1MSL19DLC)	<アドレス : H'0080 1635 >
CAN1メッセージスロット20データ長レジスタ(C1MSL20DLC)	<アドレス : H'0080 1645 >
CAN1メッセージスロット21データ長レジスタ(C1MSL21DLC)	<アドレス : H'0080 1655 >
CAN1メッセージスロット22データ長レジスタ(C1MSL22DLC)	<アドレス : H'0080 1665 >
CAN1メッセージスロット23データ長レジスタ(C1MSL23DLC)	<アドレス : H'0080 1675 >
CAN1メッセージスロット24データ長レジスタ(C1MSL24DLC)	<アドレス : H'0080 1685 >
CAN1メッセージスロット25データ長レジスタ(C1MSL25DLC)	<アドレス : H'0080 1695 >
CAN1メッセージスロット26データ長レジスタ(C1MSL26DLC)	<アドレス : H'0080 16A5 >
CAN1メッセージスロット27データ長レジスタ(C1MSL27DLC)	<アドレス : H'0080 16B5 >
CAN1メッセージスロット28データ長レジスタ(C1MSL28DLC)	<アドレス : H'0080 16C5 >
CAN1メッセージスロット29データ長レジスタ(C1MSL29DLC)	<アドレス : H'0080 16D5 >
CAN1メッセージスロット30データ長レジスタ(C1MSL30DLC)	<アドレス : H'0080 16E5 >
CAN1メッセージスロット31データ長レジスタ(C1MSL31DLC)	<アドレス : H'0080 16F5 >

b8	9	10	11	12	13	14	b15
?	?	?	?	DLC0	DLC1	DLC2	DLC3
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
8 ~ 11	何も配置されていません。"0"に固定してください。		0	0
12 ~ 15	DLC0 ~ DLC3 データ長設定ビット	0000 : 0バイト 0001 : 1バイト 0010 : 2バイト 0011 : 3バイト 0100 : 4バイト 0101 : 5バイト 0110 : 6バイト 0111 : 7バイト 1000 : 8バイト ? ? 1111 : 8バイト	R	W

送信フレーム/受信フレームのメモリスペースです。送信時は送信データ長を設定します。受信時は受信フレームのDLCが格納されます。

CAN0メッセージスロット0データ(C0MSL0DT0)	<アドレス: H'0080 1106 >
CAN0メッセージスロット1データ(C0MSL1DT0)	<アドレス: H'0080 1116 >
CAN0メッセージスロット2データ(C0MSL2DT0)	<アドレス: H'0080 1126 >
CAN0メッセージスロット3データ(C0MSL3DT0)	<アドレス: H'0080 1136 >
CAN0メッセージスロット4データ(C0MSL4DT0)	<アドレス: H'0080 1146 >
CAN0メッセージスロット5データ(C0MSL5DT0)	<アドレス: H'0080 1156 >
CAN0メッセージスロット6データ(C0MSL6DT0)	<アドレス: H'0080 1166 >
CAN0メッセージスロット7データ(C0MSL7DT0)	<アドレス: H'0080 1176 >
CAN0メッセージスロット8データ(C0MSL8DT0)	<アドレス: H'0080 1186 >
CAN0メッセージスロット9データ(C0MSL9DT0)	<アドレス: H'0080 1196 >
CAN0メッセージスロット10データ(C0MSL10DT0)	<アドレス: H'0080 11A6 >
CAN0メッセージスロット11データ(C0MSL11DT0)	<アドレス: H'0080 11B6 >
CAN0メッセージスロット12データ(C0MSL12DT0)	<アドレス: H'0080 11C6 >
CAN0メッセージスロット13データ(C0MSL13DT0)	<アドレス: H'0080 11D6 >
CAN0メッセージスロット14データ(C0MSL14DT0)	<アドレス: H'0080 11E6 >
CAN0メッセージスロット15データ(C0MSL15DT0)	<アドレス: H'0080 11F6 >
CAN0メッセージスロット16データ(C0MSL16DT0)	<アドレス: H'0080 1206 >
CAN0メッセージスロット17データ(C0MSL17DT0)	<アドレス: H'0080 1216 >
CAN0メッセージスロット18データ(C0MSL18DT0)	<アドレス: H'0080 1226 >
CAN0メッセージスロット19データ(C0MSL19DT0)	<アドレス: H'0080 1236 >
CAN0メッセージスロット20データ(C0MSL20DT0)	<アドレス: H'0080 1246 >
CAN0メッセージスロット21データ(C0MSL21DT0)	<アドレス: H'0080 1256 >
CAN0メッセージスロット22データ(C0MSL22DT0)	<アドレス: H'0080 1266 >
CAN0メッセージスロット23データ(C0MSL23DT0)	<アドレス: H'0080 1276 >
CAN0メッセージスロット24データ(C0MSL24DT0)	<アドレス: H'0080 1286 >
CAN0メッセージスロット25データ(C0MSL25DT0)	<アドレス: H'0080 1296 >
CAN0メッセージスロット26データ(C0MSL26DT0)	<アドレス: H'0080 12A6 >
CAN0メッセージスロット27データ(C0MSL27DT0)	<アドレス: H'0080 12B6 >
CAN0メッセージスロット28データ(C0MSL28DT0)	<アドレス: H'0080 12C6 >
CAN0メッセージスロット29データ(C0MSL29DT0)	<アドレス: H'0080 12D6 >
CAN0メッセージスロット30データ(C0MSL30DT0)	<アドレス: H'0080 12E6 >
CAN0メッセージスロット31データ(C0MSL31DT0)	<アドレス: H'0080 12F6 >
CAN1メッセージスロット0データ(C1MSL0DT0)	<アドレス: H'0080 1506 >
CAN1メッセージスロット1データ(C1MSL1DT0)	<アドレス: H'0080 1516 >
CAN1メッセージスロット2データ(C1MSL2DT0)	<アドレス: H'0080 1526 >
CAN1メッセージスロット3データ(C1MSL3DT0)	<アドレス: H'0080 1536 >
CAN1メッセージスロット4データ(C1MSL4DT0)	<アドレス: H'0080 1546 >
CAN1メッセージスロット5データ(C1MSL5DT0)	<アドレス: H'0080 1556 >
CAN1メッセージスロット6データ(C1MSL6DT0)	<アドレス: H'0080 1566 >
CAN1メッセージスロット7データ(C1MSL7DT0)	<アドレス: H'0080 1576 >
CAN1メッセージスロット8データ(C1MSL8DT0)	<アドレス: H'0080 1586 >
CAN1メッセージスロット9データ(C1MSL9DT0)	<アドレス: H'0080 1596 >
CAN1メッセージスロット10データ(C1MSL10DT0)	<アドレス: H'0080 15A6 >
CAN1メッセージスロット11データ(C1MSL11DT0)	<アドレス: H'0080 15B6 >
CAN1メッセージスロット12データ(C1MSL12DT0)	<アドレス: H'0080 15C6 >
CAN1メッセージスロット13データ(C1MSL13DT0)	<アドレス: H'0080 15D6 >
CAN1メッセージスロット14データ(C1MSL14DT0)	<アドレス: H'0080 15E6 >
CAN1メッセージスロット15データ(C1MSL15DT0)	<アドレス: H'0080 15F6 >

CAN1メッセージスロット16データ(C1MSL16DT0)	<アドレス: H'0080 1606 >
CAN1メッセージスロット17データ(C1MSL17DT0)	<アドレス: H'0080 1616 >
CAN1メッセージスロット18データ(C1MSL18DT0)	<アドレス: H'0080 1626 >
CAN1メッセージスロット19データ(C1MSL19DT0)	<アドレス: H'0080 1636 >
CAN1メッセージスロット20データ(C1MSL20DT0)	<アドレス: H'0080 1646 >
CAN1メッセージスロット21データ(C1MSL21DT0)	<アドレス: H'0080 1656 >
CAN1メッセージスロット22データ(C1MSL22DT0)	<アドレス: H'0080 1666 >
CAN1メッセージスロット23データ(C1MSL23DT0)	<アドレス: H'0080 1676 >
CAN1メッセージスロット24データ(C1MSL24DT0)	<アドレス: H'0080 1686 >
CAN1メッセージスロット25データ(C1MSL25DT0)	<アドレス: H'0080 1696 >
CAN1メッセージスロット26データ(C1MSL26DT0)	<アドレス: H'0080 16A6 >
CAN1メッセージスロット27データ(C1MSL27DT0)	<アドレス: H'0080 16B6 >
CAN1メッセージスロット28データ(C1MSL28DT0)	<アドレス: H'0080 16C6 >
CAN1メッセージスロット29データ(C1MSL29DT0)	<アドレス: H'0080 16D6 >
CAN1メッセージスロット30データ(C1MSL30DT0)	<アドレス: H'0080 16E6 >
CAN1メッセージスロット31データ(C1MSL31DT0)	<アドレス: H'0080 16F6 >

b0	1	2	3	4	5	6	b7
C0MSL0DT0-C0MSL31DT0, C1MSL0DT0-C1MSL31DT0							
?	?	?	?	?	?	?	?

<リセット解除時: 不定 >

b	ビット名	機能	R	W
0~7	C0MSL0DT0~C0MSL31DT0, C1MSL0DT0~C1MSL31DT0	メッセージスロットデータ0	R	W

送信フレーム/受信フレームのメモリスペースです。

- 注 . . 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が0の場合には不定値が書き込まれます。
- CANフレームのデータフィールド1バイト目がメッセージスロットnデータ0に対応します。データはレジスタのMSB側から送受信されます。

CAN0メッセージスロット0データ1(C0MSL0DT1)	<アドレス: H'0080 1107 >
CAN0メッセージスロット1データ1(C0MSL1DT1)	<アドレス: H'0080 1117 >
CAN0メッセージスロット2データ1(C0MSL2DT1)	<アドレス: H'0080 1127 >
CAN0メッセージスロット3データ1(C0MSL3DT1)	<アドレス: H'0080 1137 >
CAN0メッセージスロット4データ1(C0MSL4DT1)	<アドレス: H'0080 1147 >
CAN0メッセージスロット5データ1(C0MSL5DT1)	<アドレス: H'0080 1157 >
CAN0メッセージスロット6データ1(C0MSL6DT1)	<アドレス: H'0080 1167 >
CAN0メッセージスロット7データ1(C0MSL7DT1)	<アドレス: H'0080 1177 >
CAN0メッセージスロット8データ1(C0MSL8DT1)	<アドレス: H'0080 1187 >
CAN0メッセージスロット9データ1(C0MSL9DT1)	<アドレス: H'0080 1197 >
CAN0メッセージスロット10データ1(C0MSL10DT1)	<アドレス: H'0080 11A7 >
CAN0メッセージスロット11データ1(C0MSL11DT1)	<アドレス: H'0080 11B7 >
CAN0メッセージスロット12データ1(C0MSL12DT1)	<アドレス: H'0080 11C7 >
CAN0メッセージスロット13データ1(C0MSL13DT1)	<アドレス: H'0080 11D7 >
CAN0メッセージスロット14データ1(C0MSL14DT1)	<アドレス: H'0080 11E7 >
CAN0メッセージスロット15データ1(C0MSL15DT1)	<アドレス: H'0080 11F7 >
CAN0メッセージスロット16データ1(C0MSL16DT1)	<アドレス: H'0080 1207 >
CAN0メッセージスロット17データ1(C0MSL17DT1)	<アドレス: H'0080 1217 >
CAN0メッセージスロット18データ1(C0MSL18DT1)	<アドレス: H'0080 1227 >
CAN0メッセージスロット19データ1(C0MSL19DT1)	<アドレス: H'0080 1237 >
CAN0メッセージスロット20データ1(C0MSL20DT1)	<アドレス: H'0080 1247 >
CAN0メッセージスロット21データ1(C0MSL21DT1)	<アドレス: H'0080 1257 >
CAN0メッセージスロット22データ1(C0MSL22DT1)	<アドレス: H'0080 1267 >
CAN0メッセージスロット23データ1(C0MSL23DT1)	<アドレス: H'0080 1277 >
CAN0メッセージスロット24データ1(C0MSL24DT1)	<アドレス: H'0080 1287 >
CAN0メッセージスロット25データ1(C0MSL25DT1)	<アドレス: H'0080 1297 >
CAN0メッセージスロット26データ1(C0MSL26DT1)	<アドレス: H'0080 12A7 >
CAN0メッセージスロット27データ1(C0MSL27DT1)	<アドレス: H'0080 12B7 >
CAN0メッセージスロット28データ1(C0MSL28DT1)	<アドレス: H'0080 12C7 >
CAN0メッセージスロット29データ1(C0MSL29DT1)	<アドレス: H'0080 12D7 >
CAN0メッセージスロット30データ1(C0MSL30DT1)	<アドレス: H'0080 12E7 >
CAN0メッセージスロット31データ1(C0MSL31DT1)	<アドレス: H'0080 12F7 >
CAN1メッセージスロット0データ1(C1MSL0DT1)	<アドレス: H'0080 1507 >
CAN1メッセージスロット1データ1(C1MSL1DT1)	<アドレス: H'0080 1517 >
CAN1メッセージスロット2データ1(C1MSL2DT1)	<アドレス: H'0080 1527 >
CAN1メッセージスロット3データ1(C1MSL3DT1)	<アドレス: H'0080 1537 >
CAN1メッセージスロット4データ1(C1MSL4DT1)	<アドレス: H'0080 1547 >
CAN1メッセージスロット5データ1(C1MSL5DT1)	<アドレス: H'0080 1557 >
CAN1メッセージスロット6データ1(C1MSL6DT1)	<アドレス: H'0080 1567 >
CAN1メッセージスロット7データ1(C1MSL7DT1)	<アドレス: H'0080 1577 >
CAN1メッセージスロット8データ1(C1MSL8DT1)	<アドレス: H'0080 1587 >
CAN1メッセージスロット9データ1(C1MSL9DT1)	<アドレス: H'0080 1597 >
CAN1メッセージスロット10データ1(C1MSL10DT1)	<アドレス: H'0080 15A7 >
CAN1メッセージスロット11データ1(C1MSL11DT1)	<アドレス: H'0080 15B7 >
CAN1メッセージスロット12データ1(C1MSL12DT1)	<アドレス: H'0080 15C7 >
CAN1メッセージスロット13データ1(C1MSL13DT1)	<アドレス: H'0080 15D7 >
CAN1メッセージスロット14データ1(C1MSL14DT1)	<アドレス: H'0080 15E7 >
CAN1メッセージスロット15データ1(C1MSL15DT1)	<アドレス: H'0080 15F7 >

CAN1メッセージスロット16データ1(C1MSL16DT1)	<アドレス: H'0080 1607 >
CAN1メッセージスロット17データ1(C1MSL17DT1)	<アドレス: H'0080 1617 >
CAN1メッセージスロット18データ1(C1MSL18DT1)	<アドレス: H'0080 1627 >
CAN1メッセージスロット19データ1(C1MSL19DT1)	<アドレス: H'0080 1637 >
CAN1メッセージスロット20データ1(C1MSL20DT1)	<アドレス: H'0080 1647 >
CAN1メッセージスロット21データ1(C1MSL21DT1)	<アドレス: H'0080 1657 >
CAN1メッセージスロット22データ1(C1MSL22DT1)	<アドレス: H'0080 1667 >
CAN1メッセージスロット23データ1(C1MSL23DT1)	<アドレス: H'0080 1677 >
CAN1メッセージスロット24データ1(C1MSL24DT1)	<アドレス: H'0080 1687 >
CAN1メッセージスロット25データ1(C1MSL25DT1)	<アドレス: H'0080 1697 >
CAN1メッセージスロット26データ1(C1MSL26DT1)	<アドレス: H'0080 16A7 >
CAN1メッセージスロット27データ1(C1MSL27DT1)	<アドレス: H'0080 16B7 >
CAN1メッセージスロット28データ1(C1MSL28DT1)	<アドレス: H'0080 16C7 >
CAN1メッセージスロット29データ1(C1MSL29DT1)	<アドレス: H'0080 16D7 >
CAN1メッセージスロット30データ1(C1MSL30DT1)	<アドレス: H'0080 16E7 >
CAN1メッセージスロット31データ1(C1MSL31DT1)	<アドレス: H'0080 16F7 >

b8	9	10	11	12	13	14	b15
C0MSL0DT1~C0MSL31DT1, C1MSL0DT1~C1MSL31DT1							
?	?	?	?	?	?	?	?

<リセット解除時: 不定>

b	ビット名	機能	R	W
8~15	C0MSL0DT1~C0MSL31DT1, C1MSL0DT1~C1MSL31DT1	メッセージスロットデータ1	R	W

送信フレーム/受信フレームのメモリスペースです。

注... 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が1以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT2)	<アドレス: H'0080 1108 >
CAN0メッセージスロット1データ(C0MSL1DT2)	<アドレス: H'0080 1118 >
CAN0メッセージスロット2データ(C0MSL2DT2)	<アドレス: H'0080 1128 >
CAN0メッセージスロット3データ(C0MSL3DT2)	<アドレス: H'0080 1138 >
CAN0メッセージスロット4データ(C0MSL4DT2)	<アドレス: H'0080 1148 >
CAN0メッセージスロット5データ(C0MSL5DT2)	<アドレス: H'0080 1158 >
CAN0メッセージスロット6データ(C0MSL6DT2)	<アドレス: H'0080 1168 >
CAN0メッセージスロット7データ(C0MSL7DT2)	<アドレス: H'0080 1178 >
CAN0メッセージスロット8データ(C0MSL8DT2)	<アドレス: H'0080 1188 >
CAN0メッセージスロット9データ(C0MSL9DT2)	<アドレス: H'0080 1198 >
CAN0メッセージスロット10データ(C0MSL10DT2)	<アドレス: H'0080 11A8 >
CAN0メッセージスロット11データ(C0MSL11DT2)	<アドレス: H'0080 11B8 >
CAN0メッセージスロット12データ(C0MSL12DT2)	<アドレス: H'0080 11C8 >
CAN0メッセージスロット13データ(C0MSL13DT2)	<アドレス: H'0080 11D8 >
CAN0メッセージスロット14データ(C0MSL14DT2)	<アドレス: H'0080 11E8 >
CAN0メッセージスロット15データ(C0MSL15DT2)	<アドレス: H'0080 11F8 >
CAN0メッセージスロット16データ(C0MSL16DT2)	<アドレス: H'0080 1208 >
CAN0メッセージスロット17データ(C0MSL17DT2)	<アドレス: H'0080 1218 >
CAN0メッセージスロット18データ(C0MSL18DT2)	<アドレス: H'0080 1228 >
CAN0メッセージスロット19データ(C0MSL19DT2)	<アドレス: H'0080 1238 >
CAN0メッセージスロット20データ(C0MSL20DT2)	<アドレス: H'0080 1248 >
CAN0メッセージスロット21データ(C0MSL21DT2)	<アドレス: H'0080 1258 >
CAN0メッセージスロット22データ(C0MSL22DT2)	<アドレス: H'0080 1268 >
CAN0メッセージスロット23データ(C0MSL23DT2)	<アドレス: H'0080 1278 >
CAN0メッセージスロット24データ(C0MSL24DT2)	<アドレス: H'0080 1288 >
CAN0メッセージスロット25データ(C0MSL25DT2)	<アドレス: H'0080 1298 >
CAN0メッセージスロット26データ(C0MSL26DT2)	<アドレス: H'0080 12A8 >
CAN0メッセージスロット27データ(C0MSL27DT2)	<アドレス: H'0080 12B8 >
CAN0メッセージスロット28データ(C0MSL28DT2)	<アドレス: H'0080 12C8 >
CAN0メッセージスロット29データ(C0MSL29DT2)	<アドレス: H'0080 12D8 >
CAN0メッセージスロット30データ(C0MSL30DT2)	<アドレス: H'0080 12E8 >
CAN0メッセージスロット31データ(C0MSL31DT2)	<アドレス: H'0080 12F8 >
CAN1メッセージスロット0データ(C1MSL0DT2)	<アドレス: H'0080 1508 >
CAN1メッセージスロット1データ(C1MSL1DT2)	<アドレス: H'0080 1518 >
CAN1メッセージスロット2データ(C1MSL2DT2)	<アドレス: H'0080 1528 >
CAN1メッセージスロット3データ(C1MSL3DT2)	<アドレス: H'0080 1538 >
CAN1メッセージスロット4データ(C1MSL4DT2)	<アドレス: H'0080 1548 >
CAN1メッセージスロット5データ(C1MSL5DT2)	<アドレス: H'0080 1558 >
CAN1メッセージスロット6データ(C1MSL6DT2)	<アドレス: H'0080 1568 >
CAN1メッセージスロット7データ(C1MSL7DT2)	<アドレス: H'0080 1578 >
CAN1メッセージスロット8データ(C1MSL8DT2)	<アドレス: H'0080 1588 >
CAN1メッセージスロット9データ(C1MSL9DT2)	<アドレス: H'0080 1598 >
CAN1メッセージスロット10データ(C1MSL10DT2)	<アドレス: H'0080 15A8 >
CAN1メッセージスロット11データ(C1MSL11DT2)	<アドレス: H'0080 15B8 >
CAN1メッセージスロット12データ(C1MSL12DT2)	<アドレス: H'0080 15C8 >
CAN1メッセージスロット13データ(C1MSL13DT2)	<アドレス: H'0080 15D8 >
CAN1メッセージスロット14データ(C1MSL14DT2)	<アドレス: H'0080 15E8 >
CAN1メッセージスロット15データ(C1MSL15DT2)	<アドレス: H'0080 15F8 >

CAN1メッセージスロット16データ(C1MSL16DT2)	<アドレス: H'0080 1608 >
CAN1メッセージスロット17データ(C1MSL17DT2)	<アドレス: H'0080 1618 >
CAN1メッセージスロット18データ(C1MSL18DT2)	<アドレス: H'0080 1628 >
CAN1メッセージスロット19データ(C1MSL19DT2)	<アドレス: H'0080 1638 >
CAN1メッセージスロット20データ(C1MSL20DT2)	<アドレス: H'0080 1648 >
CAN1メッセージスロット21データ(C1MSL21DT2)	<アドレス: H'0080 1658 >
CAN1メッセージスロット22データ(C1MSL22DT2)	<アドレス: H'0080 1668 >
CAN1メッセージスロット23データ(C1MSL23DT2)	<アドレス: H'0080 1678 >
CAN1メッセージスロット24データ(C1MSL24DT2)	<アドレス: H'0080 1688 >
CAN1メッセージスロット25データ(C1MSL25DT2)	<アドレス: H'0080 1698 >
CAN1メッセージスロット26データ(C1MSL26DT2)	<アドレス: H'0080 16A8 >
CAN1メッセージスロット27データ(C1MSL27DT2)	<アドレス: H'0080 16B8 >
CAN1メッセージスロット28データ(C1MSL28DT2)	<アドレス: H'0080 16C8 >
CAN1メッセージスロット29データ(C1MSL29DT2)	<アドレス: H'0080 16D8 >
CAN1メッセージスロット30データ(C1MSL30DT2)	<アドレス: H'0080 16E8 >
CAN1メッセージスロット31データ(C1MSL31DT2)	<アドレス: H'0080 16F8 >

b0	1	2	3	4	5	6	b7
C0MSL0DT2-C0MSL31DT2, C1MSL0DT2-C1MSL31DT2							
?	?	?	?	?	?	?	?

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~7	C0MSL0DT2~C0MSL31DT2, C1MSL0DT2~C1MSL31DT2	メッセージスロットデータ2	R	W

送信フレーム/受信フレームのメモリスペースです。

注. . 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が2以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ3 (C0MSL0DT3)	<アドレス: H'0080 1109>
CAN0メッセージスロット1データ3 (C0MSL1DT3)	<アドレス: H'0080 1119>
CAN0メッセージスロット2データ3 (C0MSL2DT3)	<アドレス: H'0080 1129>
CAN0メッセージスロット3データ3 (C0MSL3DT3)	<アドレス: H'0080 1139>
CAN0メッセージスロット4データ3 (C0MSL4DT3)	<アドレス: H'0080 1149>
CAN0メッセージスロット5データ3 (C0MSL5DT3)	<アドレス: H'0080 1159>
CAN0メッセージスロット6データ3 (C0MSL6DT3)	<アドレス: H'0080 1169>
CAN0メッセージスロット7データ3 (C0MSL7DT3)	<アドレス: H'0080 1179>
CAN0メッセージスロット8データ3 (C0MSL8DT3)	<アドレス: H'0080 1189>
CAN0メッセージスロット9データ3 (C0MSL9DT3)	<アドレス: H'0080 1199>
CAN0メッセージスロット10データ3 (C0MSL10DT3)	<アドレス: H'0080 11A9>
CAN0メッセージスロット11データ3 (C0MSL11DT3)	<アドレス: H'0080 11B9>
CAN0メッセージスロット12データ3 (C0MSL12DT3)	<アドレス: H'0080 11C9>
CAN0メッセージスロット13データ3 (C0MSL13DT3)	<アドレス: H'0080 11D9>
CAN0メッセージスロット14データ3 (C0MSL14DT3)	<アドレス: H'0080 11E9>
CAN0メッセージスロット15データ3 (C0MSL15DT3)	<アドレス: H'0080 11F9>
CAN0メッセージスロット16データ3 (C0MSL16DT3)	<アドレス: H'0080 1209>
CAN0メッセージスロット17データ3 (C0MSL17DT3)	<アドレス: H'0080 1219>
CAN0メッセージスロット18データ3 (C0MSL18DT3)	<アドレス: H'0080 1229>
CAN0メッセージスロット19データ3 (C0MSL19DT3)	<アドレス: H'0080 1239>
CAN0メッセージスロット20データ3 (C0MSL20DT3)	<アドレス: H'0080 1249>
CAN0メッセージスロット21データ3 (C0MSL21DT3)	<アドレス: H'0080 1259>
CAN0メッセージスロット22データ3 (C0MSL22DT3)	<アドレス: H'0080 1269>
CAN0メッセージスロット23データ3 (C0MSL23DT3)	<アドレス: H'0080 1279>
CAN0メッセージスロット24データ3 (C0MSL24DT3)	<アドレス: H'0080 1289>
CAN0メッセージスロット25データ3 (C0MSL25DT3)	<アドレス: H'0080 1299>
CAN0メッセージスロット26データ3 (C0MSL26DT3)	<アドレス: H'0080 12A9>
CAN0メッセージスロット27データ3 (C0MSL27DT3)	<アドレス: H'0080 12B9>
CAN0メッセージスロット28データ3 (C0MSL28DT3)	<アドレス: H'0080 12C9>
CAN0メッセージスロット29データ3 (C0MSL29DT3)	<アドレス: H'0080 12D9>
CAN0メッセージスロット30データ3 (C0MSL30DT3)	<アドレス: H'0080 12E9>
CAN0メッセージスロット31データ3 (C0MSL31DT3)	<アドレス: H'0080 12F9>
CAN1メッセージスロット0データ3 (C1MSL0DT3)	<アドレス: H'0080 1509>
CAN1メッセージスロット1データ3 (C1MSL1DT3)	<アドレス: H'0080 1519>
CAN1メッセージスロット2データ3 (C1MSL2DT3)	<アドレス: H'0080 1529>
CAN1メッセージスロット3データ3 (C1MSL3DT3)	<アドレス: H'0080 1539>
CAN1メッセージスロット4データ3 (C1MSL4DT3)	<アドレス: H'0080 1549>
CAN1メッセージスロット5データ3 (C1MSL5DT3)	<アドレス: H'0080 1559>
CAN1メッセージスロット6データ3 (C1MSL6DT3)	<アドレス: H'0080 1569>
CAN1メッセージスロット7データ3 (C1MSL7DT3)	<アドレス: H'0080 1579>
CAN1メッセージスロット8データ3 (C1MSL8DT3)	<アドレス: H'0080 1589>
CAN1メッセージスロット9データ3 (C1MSL9DT3)	<アドレス: H'0080 1599>
CAN1メッセージスロット10データ3 (C1MSL10DT3)	<アドレス: H'0080 15A9>
CAN1メッセージスロット11データ3 (C1MSL11DT3)	<アドレス: H'0080 15B9>
CAN1メッセージスロット12データ3 (C1MSL12DT3)	<アドレス: H'0080 15C9>
CAN1メッセージスロット13データ3 (C1MSL13DT3)	<アドレス: H'0080 15D9>
CAN1メッセージスロット14データ3 (C1MSL14DT3)	<アドレス: H'0080 15E9>
CAN1メッセージスロット15データ3 (C1MSL15DT3)	<アドレス: H'0080 15F9>

CAN1メッセージスロット16データ3 (C1MSL16DT3)	<アドレス : H'0080 1609 >
CAN1メッセージスロット17データ3 (C1MSL17DT3)	<アドレス : H'0080 1619 >
CAN1メッセージスロット18データ3 (C1MSL18DT3)	<アドレス : H'0080 1629 >
CAN1メッセージスロット19データ3 (C1MSL19DT3)	<アドレス : H'0080 1639 >
CAN1メッセージスロット20データ3 (C1MSL20DT3)	<アドレス : H'0080 1649 >
CAN1メッセージスロット21データ3 (C1MSL21DT3)	<アドレス : H'0080 1659 >
CAN1メッセージスロット22データ3 (C1MSL22DT3)	<アドレス : H'0080 1669 >
CAN1メッセージスロット23データ3 (C1MSL23DT3)	<アドレス : H'0080 1679 >
CAN1メッセージスロット24データ3 (C1MSL24DT3)	<アドレス : H'0080 1689 >
CAN1メッセージスロット25データ3 (C1MSL25DT3)	<アドレス : H'0080 1699 >
CAN1メッセージスロット26データ3 (C1MSL26DT3)	<アドレス : H'0080 16A9 >
CAN1メッセージスロット27データ3 (C1MSL27DT3)	<アドレス : H'0080 16B9 >
CAN1メッセージスロット28データ3 (C1MSL28DT3)	<アドレス : H'0080 16C9 >
CAN1メッセージスロット29データ3 (C1MSL29DT3)	<アドレス : H'0080 16D9 >
CAN1メッセージスロット30データ3 (C1MSL30DT3)	<アドレス : H'0080 16E9 >
CAN1メッセージスロット31データ3 (C1MSL31DT3)	<アドレス : H'0080 16F9 >

b8	9	10	11	12	13	14	b15
C0MSL0DT3-C0MSL31DT3, C1MSL0DT3-C1MSL31DT3							
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
8 ~ 15	C0MSL0DT3 ~ C0MSL31DT3, C1MSL0DT3 ~ C1MSL31DT3	メッセージスロットデータ3	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が3以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ4 (C0MSL0DT4)	<アドレス: H'0080 110A >
CAN0メッセージスロット1データ4 (C0MSL1DT4)	<アドレス: H'0080 111A >
CAN0メッセージスロット2データ4 (C0MSL2DT4)	<アドレス: H'0080 112A >
CAN0メッセージスロット3データ4 (C0MSL3DT4)	<アドレス: H'0080 113A >
CAN0メッセージスロット4データ4 (C0MSL4DT4)	<アドレス: H'0080 114A >
CAN0メッセージスロット5データ4 (C0MSL5DT4)	<アドレス: H'0080 115A >
CAN0メッセージスロット6データ4 (C0MSL6DT4)	<アドレス: H'0080 116A >
CAN0メッセージスロット7データ4 (C0MSL7DT4)	<アドレス: H'0080 117A >
CAN0メッセージスロット8データ4 (C0MSL8DT4)	<アドレス: H'0080 118A >
CAN0メッセージスロット9データ4 (C0MSL9DT4)	<アドレス: H'0080 119A >
CAN0メッセージスロット10データ4 (C0MSL10DT4)	<アドレス: H'0080 11AA >
CAN0メッセージスロット11データ4 (C0MSL11DT4)	<アドレス: H'0080 11BA >
CAN0メッセージスロット12データ4 (C0MSL12DT4)	<アドレス: H'0080 11CA >
CAN0メッセージスロット13データ4 (C0MSL13DT4)	<アドレス: H'0080 11DA >
CAN0メッセージスロット14データ4 (C0MSL14DT4)	<アドレス: H'0080 11EA >
CAN0メッセージスロット15データ4 (C0MSL15DT4)	<アドレス: H'0080 11FA >
CAN0メッセージスロット16データ4 (C0MSL16DT4)	<アドレス: H'0080 120A >
CAN0メッセージスロット17データ4 (C0MSL17DT4)	<アドレス: H'0080 121A >
CAN0メッセージスロット18データ4 (C0MSL18DT4)	<アドレス: H'0080 122A >
CAN0メッセージスロット19データ4 (C0MSL19DT4)	<アドレス: H'0080 123A >
CAN0メッセージスロット20データ4 (C0MSL20DT4)	<アドレス: H'0080 124A >
CAN0メッセージスロット21データ4 (C0MSL21DT4)	<アドレス: H'0080 125A >
CAN0メッセージスロット22データ4 (C0MSL22DT4)	<アドレス: H'0080 126A >
CAN0メッセージスロット23データ4 (C0MSL23DT4)	<アドレス: H'0080 127A >
CAN0メッセージスロット24データ4 (C0MSL24DT4)	<アドレス: H'0080 128A >
CAN0メッセージスロット25データ4 (C0MSL25DT4)	<アドレス: H'0080 129A >
CAN0メッセージスロット26データ4 (C0MSL26DT4)	<アドレス: H'0080 12AA >
CAN0メッセージスロット27データ4 (C0MSL27DT4)	<アドレス: H'0080 12BA >
CAN0メッセージスロット28データ4 (C0MSL28DT4)	<アドレス: H'0080 12CA >
CAN0メッセージスロット29データ4 (C0MSL29DT4)	<アドレス: H'0080 12DA >
CAN0メッセージスロット30データ4 (C0MSL30DT4)	<アドレス: H'0080 12EA >
CAN0メッセージスロット31データ4 (C0MSL31DT4)	<アドレス: H'0080 12FA >
CAN1メッセージスロット0データ4 (C1MSL0DT4)	<アドレス: H'0080 150A >
CAN1メッセージスロット1データ4 (C1MSL1DT4)	<アドレス: H'0080 151A >
CAN1メッセージスロット2データ4 (C1MSL2DT4)	<アドレス: H'0080 152A >
CAN1メッセージスロット3データ4 (C1MSL3DT4)	<アドレス: H'0080 153A >
CAN1メッセージスロット4データ4 (C1MSL4DT4)	<アドレス: H'0080 154A >
CAN1メッセージスロット5データ4 (C1MSL5DT4)	<アドレス: H'0080 155A >
CAN1メッセージスロット6データ4 (C1MSL6DT4)	<アドレス: H'0080 156A >
CAN1メッセージスロット7データ4 (C1MSL7DT4)	<アドレス: H'0080 157A >
CAN1メッセージスロット8データ4 (C1MSL8DT4)	<アドレス: H'0080 158A >
CAN1メッセージスロット9データ4 (C1MSL9DT4)	<アドレス: H'0080 159A >
CAN1メッセージスロット10データ4 (C1MSL10DT4)	<アドレス: H'0080 15AA >
CAN1メッセージスロット11データ4 (C1MSL11DT4)	<アドレス: H'0080 15BA >
CAN1メッセージスロット12データ4 (C1MSL12DT4)	<アドレス: H'0080 15CA >
CAN1メッセージスロット13データ4 (C1MSL13DT4)	<アドレス: H'0080 15DA >
CAN1メッセージスロット14データ4 (C1MSL14DT4)	<アドレス: H'0080 15EA >
CAN1メッセージスロット15データ4 (C1MSL15DT4)	<アドレス: H'0080 15FA >

CAN1メッセージスロット16データ4 (C1MSL16DT4)	<アドレス : H'0080 160A >
CAN1メッセージスロット17データ4 (C1MSL17DT4)	<アドレス : H'0080 161A >
CAN1メッセージスロット18データ4 (C1MSL18DT4)	<アドレス : H'0080 162A >
CAN1メッセージスロット19データ4 (C1MSL19DT4)	<アドレス : H'0080 163A >
CAN1メッセージスロット20データ4 (C1MSL20DT4)	<アドレス : H'0080 164A >
CAN1メッセージスロット21データ4 (C1MSL21DT4)	<アドレス : H'0080 165A >
CAN1メッセージスロット22データ4 (C1MSL22DT4)	<アドレス : H'0080 166A >
CAN1メッセージスロット23データ4 (C1MSL23DT4)	<アドレス : H'0080 167A >
CAN1メッセージスロット24データ4 (C1MSL24DT4)	<アドレス : H'0080 168A >
CAN1メッセージスロット25データ4 (C1MSL25DT4)	<アドレス : H'0080 169A >
CAN1メッセージスロット26データ4 (C1MSL26DT4)	<アドレス : H'0080 16AA >
CAN1メッセージスロット27データ4 (C1MSL27DT4)	<アドレス : H'0080 16BA >
CAN1メッセージスロット28データ4 (C1MSL28DT4)	<アドレス : H'0080 16CA >
CAN1メッセージスロット29データ4 (C1MSL29DT4)	<アドレス : H'0080 16DA >
CAN1メッセージスロット30データ4 (C1MSL30DT4)	<アドレス : H'0080 16EA >
CAN1メッセージスロット31データ4 (C1MSL31DT4)	<アドレス : H'0080 16FA >

b0	1	2	3	4	5	6	b7
C0MSL0DT4~C0MSL31DT4, C1MSL0DT4~C1MSL31DT4							
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
0~7	C0MSL0DT4~C0MSL31DT4, C1MSL0DT4~C1MSL31DT4	メッセージスロットデータ4	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が4以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ5 (C0MSL0DT5)	<アドレス : H'0080 110B >
CAN0メッセージスロット1データ5 (C0MSL1DT5)	<アドレス : H'0080 111B >
CAN0メッセージスロット2データ5 (C0MSL2DT5)	<アドレス : H'0080 112B >
CAN0メッセージスロット3データ5 (C0MSL3DT5)	<アドレス : H'0080 113B >
CAN0メッセージスロット4データ5 (C0MSL4DT5)	<アドレス : H'0080 114B >
CAN0メッセージスロット5データ5 (C0MSL5DT5)	<アドレス : H'0080 115B >
CAN0メッセージスロット6データ5 (C0MSL6DT5)	<アドレス : H'0080 116B >
CAN0メッセージスロット7データ5 (C0MSL7DT5)	<アドレス : H'0080 117B >
CAN0メッセージスロット8データ5 (C0MSL8DT5)	<アドレス : H'0080 118B >
CAN0メッセージスロット9データ5 (C0MSL9DT5)	<アドレス : H'0080 119B >
CAN0メッセージスロット10データ5 (C0MSL10DT5)	<アドレス : H'0080 11AB >
CAN0メッセージスロット11データ5 (C0MSL11DT5)	<アドレス : H'0080 11BB >
CAN0メッセージスロット12データ5 (C0MSL12DT5)	<アドレス : H'0080 11CB >
CAN0メッセージスロット13データ5 (C0MSL13DT5)	<アドレス : H'0080 11DB >
CAN0メッセージスロット14データ5 (C0MSL14DT5)	<アドレス : H'0080 11EB >
CAN0メッセージスロット15データ5 (C0MSL15DT5)	<アドレス : H'0080 11FB >
CAN0メッセージスロット16データ5 (C0MSL16DT5)	<アドレス : H'0080 120B >
CAN0メッセージスロット17データ5 (C0MSL17DT5)	<アドレス : H'0080 121B >
CAN0メッセージスロット18データ5 (C0MSL18DT5)	<アドレス : H'0080 122B >
CAN0メッセージスロット19データ5 (C0MSL19DT5)	<アドレス : H'0080 123B >
CAN0メッセージスロット20データ5 (C0MSL20DT5)	<アドレス : H'0080 124B >
CAN0メッセージスロット21データ5 (C0MSL21DT5)	<アドレス : H'0080 125B >
CAN0メッセージスロット22データ5 (C0MSL22DT5)	<アドレス : H'0080 126B >
CAN0メッセージスロット23データ5 (C0MSL23DT5)	<アドレス : H'0080 127B >
CAN0メッセージスロット24データ5 (C0MSL24DT5)	<アドレス : H'0080 128B >
CAN0メッセージスロット25データ5 (C0MSL25DT5)	<アドレス : H'0080 129B >
CAN0メッセージスロット26データ5 (C0MSL26DT5)	<アドレス : H'0080 12AB >
CAN0メッセージスロット27データ5 (C0MSL27DT5)	<アドレス : H'0080 12BB >
CAN0メッセージスロット28データ5 (C0MSL28DT5)	<アドレス : H'0080 12CB >
CAN0メッセージスロット29データ5 (C0MSL29DT5)	<アドレス : H'0080 12DB >
CAN0メッセージスロット30データ5 (C0MSL30DT5)	<アドレス : H'0080 12EB >
CAN0メッセージスロット31データ5 (C0MSL31DT5)	<アドレス : H'0080 12FB >
CAN1メッセージスロット0データ5 (C1MSL0DT5)	<アドレス : H'0080 150B >
CAN1メッセージスロット1データ5 (C1MSL1DT5)	<アドレス : H'0080 151B >
CAN1メッセージスロット2データ5 (C1MSL2DT5)	<アドレス : H'0080 152B >
CAN1メッセージスロット3データ5 (C1MSL3DT5)	<アドレス : H'0080 153B >
CAN1メッセージスロット4データ5 (C1MSL4DT5)	<アドレス : H'0080 154B >
CAN1メッセージスロット5データ5 (C1MSL5DT5)	<アドレス : H'0080 155B >
CAN1メッセージスロット6データ5 (C1MSL6DT5)	<アドレス : H'0080 156B >
CAN1メッセージスロット7データ5 (C1MSL7DT5)	<アドレス : H'0080 157B >
CAN1メッセージスロット8データ5 (C1MSL8DT5)	<アドレス : H'0080 158B >
CAN1メッセージスロット9データ5 (C1MSL9DT5)	<アドレス : H'0080 159B >
CAN1メッセージスロット10データ5 (C1MSL10DT5)	<アドレス : H'0080 15AB >
CAN1メッセージスロット11データ5 (C1MSL11DT5)	<アドレス : H'0080 15BB >
CAN1メッセージスロット12データ5 (C1MSL12DT5)	<アドレス : H'0080 15CB >
CAN1メッセージスロット13データ5 (C1MSL13DT5)	<アドレス : H'0080 15DB >
CAN1メッセージスロット14データ5 (C1MSL14DT5)	<アドレス : H'0080 15EB >
CAN1メッセージスロット15データ5 (C1MSL15DT5)	<アドレス : H'0080 15FB >

CAN1メッセージスロット16データ5 (C1MSL16DT5)	<アドレス : H'0080 160B >
CAN1メッセージスロット17データ5 (C1MSL17DT5)	<アドレス : H'0080 161B >
CAN1メッセージスロット18データ5 (C1MSL18DT5)	<アドレス : H'0080 162B >
CAN1メッセージスロット19データ5 (C1MSL19DT5)	<アドレス : H'0080 163B >
CAN1メッセージスロット20データ5 (C1MSL20DT5)	<アドレス : H'0080 164B >
CAN1メッセージスロット21データ5 (C1MSL21DT5)	<アドレス : H'0080 165B >
CAN1メッセージスロット22データ5 (C1MSL22DT5)	<アドレス : H'0080 166B >
CAN1メッセージスロット23データ5 (C1MSL23DT5)	<アドレス : H'0080 167B >
CAN1メッセージスロット24データ5 (C1MSL24DT5)	<アドレス : H'0080 168B >
CAN1メッセージスロット25データ5 (C1MSL25DT5)	<アドレス : H'0080 169B >
CAN1メッセージスロット26データ5 (C1MSL26DT5)	<アドレス : H'0080 16AB >
CAN1メッセージスロット27データ5 (C1MSL27DT5)	<アドレス : H'0080 16BB >
CAN1メッセージスロット28データ5 (C1MSL28DT5)	<アドレス : H'0080 16CB >
CAN1メッセージスロット29データ5 (C1MSL29DT5)	<アドレス : H'0080 16DB >
CAN1メッセージスロット30データ5 (C1MSL30DT5)	<アドレス : H'0080 16EB >
CAN1メッセージスロット31データ5 (C1MSL31DT5)	<アドレス : H'0080 16FB >

b8	9	10	11	12	13	14	b15
C0MSL0DT5-C0MSL31DT5, C1MSL0DT5-C1MSL31DT5							
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

b	ビット名	機能	R	W
8 ~ 15	C0MSL0DT5 ~ C0MSL31DT5, C1MSL0DT5 ~ C1MSL31DT5	メッセージスロットデータ5	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が5以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(C0MSL0DT6)	<アドレス: H'0080 110C >
CAN0メッセージスロット1データ(C0MSL1DT6)	<アドレス: H'0080 111C >
CAN0メッセージスロット2データ(C0MSL2DT6)	<アドレス: H'0080 112C >
CAN0メッセージスロット3データ(C0MSL3DT6)	<アドレス: H'0080 113C >
CAN0メッセージスロット4データ(C0MSL4DT6)	<アドレス: H'0080 114C >
CAN0メッセージスロット5データ(C0MSL5DT6)	<アドレス: H'0080 115C >
CAN0メッセージスロット6データ(C0MSL6DT6)	<アドレス: H'0080 116C >
CAN0メッセージスロット7データ(C0MSL7DT6)	<アドレス: H'0080 117C >
CAN0メッセージスロット8データ(C0MSL8DT6)	<アドレス: H'0080 118C >
CAN0メッセージスロット9データ(C0MSL9DT6)	<アドレス: H'0080 119C >
CAN0メッセージスロット10データ(C0MSL10DT6)	<アドレス: H'0080 11AC >
CAN0メッセージスロット11データ(C0MSL11DT6)	<アドレス: H'0080 11BC >
CAN0メッセージスロット12データ(C0MSL12DT6)	<アドレス: H'0080 11CC >
CAN0メッセージスロット13データ(C0MSL13DT6)	<アドレス: H'0080 11DC >
CAN0メッセージスロット14データ(C0MSL14DT6)	<アドレス: H'0080 11EC >
CAN0メッセージスロット15データ(C0MSL15DT6)	<アドレス: H'0080 11FC >
CAN0メッセージスロット16データ(C0MSL16DT6)	<アドレス: H'0080 120C >
CAN0メッセージスロット17データ(C0MSL17DT6)	<アドレス: H'0080 121C >
CAN0メッセージスロット18データ(C0MSL18DT6)	<アドレス: H'0080 122C >
CAN0メッセージスロット19データ(C0MSL19DT6)	<アドレス: H'0080 123C >
CAN0メッセージスロット20データ(C0MSL20DT6)	<アドレス: H'0080 124C >
CAN0メッセージスロット21データ(C0MSL21DT6)	<アドレス: H'0080 125C >
CAN0メッセージスロット22データ(C0MSL22DT6)	<アドレス: H'0080 126C >
CAN0メッセージスロット23データ(C0MSL23DT6)	<アドレス: H'0080 127C >
CAN0メッセージスロット24データ(C0MSL24DT6)	<アドレス: H'0080 128C >
CAN0メッセージスロット25データ(C0MSL25DT6)	<アドレス: H'0080 129C >
CAN0メッセージスロット26データ(C0MSL26DT6)	<アドレス: H'0080 12AC >
CAN0メッセージスロット27データ(C0MSL27DT6)	<アドレス: H'0080 12BC >
CAN0メッセージスロット28データ(C0MSL28DT6)	<アドレス: H'0080 12CC >
CAN0メッセージスロット29データ(C0MSL29DT6)	<アドレス: H'0080 12DC >
CAN0メッセージスロット30データ(C0MSL30DT6)	<アドレス: H'0080 12EC >
CAN0メッセージスロット31データ(C0MSL31DT6)	<アドレス: H'0080 12FC >
CAN1メッセージスロット0データ(C1MSL0DT6)	<アドレス: H'0080 150C >
CAN1メッセージスロット1データ(C1MSL1DT6)	<アドレス: H'0080 151C >
CAN1メッセージスロット2データ(C1MSL2DT6)	<アドレス: H'0080 152C >
CAN1メッセージスロット3データ(C1MSL3DT6)	<アドレス: H'0080 153C >
CAN1メッセージスロット4データ(C1MSL4DT6)	<アドレス: H'0080 154C >
CAN1メッセージスロット5データ(C1MSL5DT6)	<アドレス: H'0080 155C >
CAN1メッセージスロット6データ(C1MSL6DT6)	<アドレス: H'0080 156C >
CAN1メッセージスロット7データ(C1MSL7DT6)	<アドレス: H'0080 157C >
CAN1メッセージスロット8データ(C1MSL8DT6)	<アドレス: H'0080 158C >
CAN1メッセージスロット9データ(C1MSL9DT6)	<アドレス: H'0080 159C >
CAN1メッセージスロット10データ(C1MSL10DT6)	<アドレス: H'0080 15AC >
CAN1メッセージスロット11データ(C1MSL11DT6)	<アドレス: H'0080 15BC >
CAN1メッセージスロット12データ(C1MSL12DT6)	<アドレス: H'0080 15CC >
CAN1メッセージスロット13データ(C1MSL13DT6)	<アドレス: H'0080 15DC >
CAN1メッセージスロット14データ(C1MSL14DT6)	<アドレス: H'0080 15EC >
CAN1メッセージスロット15データ(C1MSL15DT6)	<アドレス: H'0080 15FC >

CAN1メッセージスロット16データ(C1MSL16DT6)	<アドレス: H'0080 160C >
CAN1メッセージスロット17データ(C1MSL17DT6)	<アドレス: H'0080 161C >
CAN1メッセージスロット18データ(C1MSL18DT6)	<アドレス: H'0080 162C >
CAN1メッセージスロット19データ(C1MSL19DT6)	<アドレス: H'0080 163C >
CAN1メッセージスロット20データ(C1MSL20DT6)	<アドレス: H'0080 164C >
CAN1メッセージスロット21データ(C1MSL21DT6)	<アドレス: H'0080 165C >
CAN1メッセージスロット22データ(C1MSL22DT6)	<アドレス: H'0080 166C >
CAN1メッセージスロット23データ(C1MSL23DT6)	<アドレス: H'0080 167C >
CAN1メッセージスロット24データ(C1MSL24DT6)	<アドレス: H'0080 168C >
CAN1メッセージスロット25データ(C1MSL25DT6)	<アドレス: H'0080 169C >
CAN1メッセージスロット26データ(C1MSL26DT6)	<アドレス: H'0080 16AC >
CAN1メッセージスロット27データ(C1MSL27DT6)	<アドレス: H'0080 16BC >
CAN1メッセージスロット28データ(C1MSL28DT6)	<アドレス: H'0080 16CC >
CAN1メッセージスロット29データ(C1MSL29DT6)	<アドレス: H'0080 16DC >
CAN1メッセージスロット30データ(C1MSL30DT6)	<アドレス: H'0080 16EC >
CAN1メッセージスロット31データ(C1MSL31DT6)	<アドレス: H'0080 16FC >

b0	1	2	3	4	5	6	b7
C0MSL0DT6-C0MSL31DT6, C1MSL0DT6-C1MSL31DT6							
?	?	?	?	?	?	?	?

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~7	C0MSL0DT6~C0MSL31DT6, C1MSL0DT6~C1MSL31DT6	メッセージスロットデータ6	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が6以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ7 (C0MSL0DT7)	<アドレス : H'0080 110D >
CAN0メッセージスロット1データ7 (C0MSL1DT7)	<アドレス : H'0080 111D >
CAN0メッセージスロット2データ7 (C0MSL2DT7)	<アドレス : H'0080 112D >
CAN0メッセージスロット3データ7 (C0MSL3DT7)	<アドレス : H'0080 113D >
CAN0メッセージスロット4データ7 (C0MSL4DT7)	<アドレス : H'0080 114D >
CAN0メッセージスロット5データ7 (C0MSL5DT7)	<アドレス : H'0080 115D >
CAN0メッセージスロット6データ7 (C0MSL6DT7)	<アドレス : H'0080 116D >
CAN0メッセージスロット7データ7 (C0MSL7DT7)	<アドレス : H'0080 117D >
CAN0メッセージスロット8データ7 (C0MSL8DT7)	<アドレス : H'0080 118D >
CAN0メッセージスロット9データ7 (C0MSL9DT7)	<アドレス : H'0080 119D >
CAN0メッセージスロット10データ7 (C0MSL10DT7)	<アドレス : H'0080 11AD >
CAN0メッセージスロット11データ7 (C0MSL11DT7)	<アドレス : H'0080 11BD >
CAN0メッセージスロット12データ7 (C0MSL12DT7)	<アドレス : H'0080 11CD >
CAN0メッセージスロット13データ7 (C0MSL13DT7)	<アドレス : H'0080 11DD >
CAN0メッセージスロット14データ7 (C0MSL14DT7)	<アドレス : H'0080 11ED >
CAN0メッセージスロット15データ7 (C0MSL15DT7)	<アドレス : H'0080 11FD >
CAN0メッセージスロット16データ7 (C0MSL16DT7)	<アドレス : H'0080 120D >
CAN0メッセージスロット17データ7 (C0MSL17DT7)	<アドレス : H'0080 121D >
CAN0メッセージスロット18データ7 (C0MSL18DT7)	<アドレス : H'0080 122D >
CAN0メッセージスロット19データ7 (C0MSL19DT7)	<アドレス : H'0080 123D >
CAN0メッセージスロット20データ7 (C0MSL20DT7)	<アドレス : H'0080 124D >
CAN0メッセージスロット21データ7 (C0MSL21DT7)	<アドレス : H'0080 125D >
CAN0メッセージスロット22データ7 (C0MSL22DT7)	<アドレス : H'0080 126D >
CAN0メッセージスロット23データ7 (C0MSL23DT7)	<アドレス : H'0080 127D >
CAN0メッセージスロット24データ7 (C0MSL24DT7)	<アドレス : H'0080 128D >
CAN0メッセージスロット25データ7 (C0MSL25DT7)	<アドレス : H'0080 129D >
CAN0メッセージスロット26データ7 (C0MSL26DT7)	<アドレス : H'0080 12AD >
CAN0メッセージスロット27データ7 (C0MSL27DT7)	<アドレス : H'0080 12BD >
CAN0メッセージスロット28データ7 (C0MSL28DT7)	<アドレス : H'0080 12CD >
CAN0メッセージスロット29データ7 (C0MSL29DT7)	<アドレス : H'0080 12DD >
CAN0メッセージスロット30データ7 (C0MSL30DT7)	<アドレス : H'0080 12ED >
CAN0メッセージスロット31データ7 (C0MSL31DT7)	<アドレス : H'0080 12FD >
CAN1メッセージスロット0データ7 (C1MSL0DT7)	<アドレス : H'0080 150D >
CAN1メッセージスロット1データ7 (C1MSL1DT7)	<アドレス : H'0080 151D >
CAN1メッセージスロット2データ7 (C1MSL2DT7)	<アドレス : H'0080 152D >
CAN1メッセージスロット3データ7 (C1MSL3DT7)	<アドレス : H'0080 153D >
CAN1メッセージスロット4データ7 (C1MSL4DT7)	<アドレス : H'0080 154D >
CAN1メッセージスロット5データ7 (C1MSL5DT7)	<アドレス : H'0080 155D >
CAN1メッセージスロット6データ7 (C1MSL6DT7)	<アドレス : H'0080 156D >
CAN1メッセージスロット7データ7 (C1MSL7DT7)	<アドレス : H'0080 157D >
CAN1メッセージスロット8データ7 (C1MSL8DT7)	<アドレス : H'0080 158D >
CAN1メッセージスロット9データ7 (C1MSL9DT7)	<アドレス : H'0080 159D >
CAN1メッセージスロット10データ7 (C1MSL10DT7)	<アドレス : H'0080 15AD >
CAN1メッセージスロット11データ7 (C1MSL11DT7)	<アドレス : H'0080 15BD >
CAN1メッセージスロット12データ7 (C1MSL12DT7)	<アドレス : H'0080 15CD >
CAN1メッセージスロット13データ7 (C1MSL13DT7)	<アドレス : H'0080 15DD >
CAN1メッセージスロット14データ7 (C1MSL14DT7)	<アドレス : H'0080 15ED >
CAN1メッセージスロット15データ7 (C1MSL15DT7)	<アドレス : H'0080 15FD >

CAN1メッセージスロット16データ7 (C1MSL16DT7)	<アドレス : H'0080 160D >
CAN1メッセージスロット17データ7 (C1MSL17DT7)	<アドレス : H'0080 161D >
CAN1メッセージスロット18データ7 (C1MSL18DT7)	<アドレス : H'0080 162D >
CAN1メッセージスロット19データ7 (C1MSL19DT7)	<アドレス : H'0080 163D >
CAN1メッセージスロット20データ7 (C1MSL20DT7)	<アドレス : H'0080 164D >
CAN1メッセージスロット21データ7 (C1MSL21DT7)	<アドレス : H'0080 165D >
CAN1メッセージスロット22データ7 (C1MSL22DT7)	<アドレス : H'0080 166D >
CAN1メッセージスロット23データ7 (C1MSL23DT7)	<アドレス : H'0080 167D >
CAN1メッセージスロット24データ7 (C1MSL24DT7)	<アドレス : H'0080 168D >
CAN1メッセージスロット25データ7 (C1MSL25DT7)	<アドレス : H'0080 169D >
CAN1メッセージスロット26データ7 (C1MSL26DT7)	<アドレス : H'0080 16AD >
CAN1メッセージスロット27データ7 (C1MSL27DT7)	<アドレス : H'0080 16BD >
CAN1メッセージスロット28データ7 (C1MSL28DT7)	<アドレス : H'0080 16CD >
CAN1メッセージスロット29データ7 (C1MSL29DT7)	<アドレス : H'0080 16DD >
CAN1メッセージスロット30データ7 (C1MSL30DT7)	<アドレス : H'0080 16ED >
CAN1メッセージスロット31データ7 (C1MSL31DT7)	<アドレス : H'0080 16FD >

b8	9	10	11	12	13	14	b15
C0MSL0DT7-C0MSL31DT7, C1MSL0DT7-C1MSL31DT7							
?	?	?	?	?	?	?	?

<リセット解除時 : 不定 >

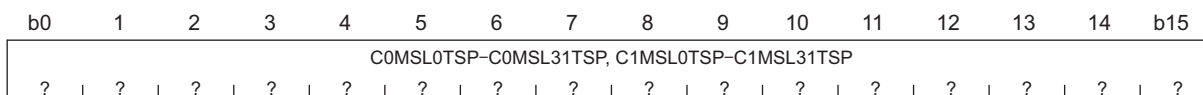
b	ビット名	機能	R	W
8 ~ 15	C0MSL0DT7 ~ C0MSL31DT7, C1MSL0DT7 ~ C1MSL31DT7	メッセージスロットデータ7	R	W

送信フレーム/受信フレームのメモリスペースです。

注 . . 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が7以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)	<アドレス: H'0080 110E >
CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)	<アドレス: H'0080 111E >
CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)	<アドレス: H'0080 112E >
CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)	<アドレス: H'0080 113E >
CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)	<アドレス: H'0080 114E >
CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)	<アドレス: H'0080 115E >
CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)	<アドレス: H'0080 116E >
CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)	<アドレス: H'0080 117E >
CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)	<アドレス: H'0080 118E >
CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)	<アドレス: H'0080 119E >
CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)	<アドレス: H'0080 11AE >
CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)	<アドレス: H'0080 11BE >
CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)	<アドレス: H'0080 11CE >
CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)	<アドレス: H'0080 11DE >
CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)	<アドレス: H'0080 11EE >
CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)	<アドレス: H'0080 11FE >
CAN0メッセージスロット16タイムスタンプ(C0MSL16TSP)	<アドレス: H'0080 120E >
CAN0メッセージスロット17タイムスタンプ(C0MSL17TSP)	<アドレス: H'0080 121E >
CAN0メッセージスロット18タイムスタンプ(C0MSL18TSP)	<アドレス: H'0080 122E >
CAN0メッセージスロット19タイムスタンプ(C0MSL19TSP)	<アドレス: H'0080 123E >
CAN0メッセージスロット20タイムスタンプ(C0MSL20TSP)	<アドレス: H'0080 124E >
CAN0メッセージスロット21タイムスタンプ(C0MSL21TSP)	<アドレス: H'0080 125E >
CAN0メッセージスロット22タイムスタンプ(C0MSL22TSP)	<アドレス: H'0080 126E >
CAN0メッセージスロット23タイムスタンプ(C0MSL23TSP)	<アドレス: H'0080 127E >
CAN0メッセージスロット24タイムスタンプ(C0MSL24TSP)	<アドレス: H'0080 128E >
CAN0メッセージスロット25タイムスタンプ(C0MSL25TSP)	<アドレス: H'0080 129E >
CAN0メッセージスロット26タイムスタンプ(C0MSL26TSP)	<アドレス: H'0080 12AE >
CAN0メッセージスロット27タイムスタンプ(C0MSL27TSP)	<アドレス: H'0080 12BE >
CAN0メッセージスロット28タイムスタンプ(C0MSL28TSP)	<アドレス: H'0080 12CE >
CAN0メッセージスロット29タイムスタンプ(C0MSL29TSP)	<アドレス: H'0080 12DE >
CAN0メッセージスロット30タイムスタンプ(C0MSL30TSP)	<アドレス: H'0080 12EE >
CAN0メッセージスロット31タイムスタンプ(C0MSL31TSP)	<アドレス: H'0080 12FE >
CAN1メッセージスロット0タイムスタンプ(C1MSL0TSP)	<アドレス: H'0080 150E >
CAN1メッセージスロット1タイムスタンプ(C1MSL1TSP)	<アドレス: H'0080 151E >
CAN1メッセージスロット2タイムスタンプ(C1MSL2TSP)	<アドレス: H'0080 152E >
CAN1メッセージスロット3タイムスタンプ(C1MSL3TSP)	<アドレス: H'0080 153E >
CAN1メッセージスロット4タイムスタンプ(C1MSL4TSP)	<アドレス: H'0080 154E >
CAN1メッセージスロット5タイムスタンプ(C1MSL5TSP)	<アドレス: H'0080 155E >
CAN1メッセージスロット6タイムスタンプ(C1MSL6TSP)	<アドレス: H'0080 156E >
CAN1メッセージスロット7タイムスタンプ(C1MSL7TSP)	<アドレス: H'0080 157E >
CAN1メッセージスロット8タイムスタンプ(C1MSL8TSP)	<アドレス: H'0080 158E >
CAN1メッセージスロット9タイムスタンプ(C1MSL9TSP)	<アドレス: H'0080 159E >
CAN1メッセージスロット10タイムスタンプ(C1MSL10TSP)	<アドレス: H'0080 15AE >
CAN1メッセージスロット11タイムスタンプ(C1MSL11TSP)	<アドレス: H'0080 15BE >
CAN1メッセージスロット12タイムスタンプ(C1MSL12TSP)	<アドレス: H'0080 15CE >
CAN1メッセージスロット13タイムスタンプ(C1MSL13TSP)	<アドレス: H'0080 15DE >
CAN1メッセージスロット14タイムスタンプ(C1MSL14TSP)	<アドレス: H'0080 15EE >
CAN1メッセージスロット15タイムスタンプ(C1MSL15TSP)	<アドレス: H'0080 15FE >

CAN1メッセージスロット16タイムスタンプ(C1MSL16TSP)	<アドレス: H'0080 160E >
CAN1メッセージスロット17タイムスタンプ(C1MSL17TSP)	<アドレス: H'0080 161E >
CAN1メッセージスロット18タイムスタンプ(C1MSL18TSP)	<アドレス: H'0080 162E >
CAN1メッセージスロット19タイムスタンプ(C1MSL19TSP)	<アドレス: H'0080 163E >
CAN1メッセージスロット20タイムスタンプ(C1MSL20TSP)	<アドレス: H'0080 164E >
CAN1メッセージスロット21タイムスタンプ(C1MSL21TSP)	<アドレス: H'0080 165E >
CAN1メッセージスロット22タイムスタンプ(C1MSL22TSP)	<アドレス: H'0080 166E >
CAN1メッセージスロット23タイムスタンプ(C1MSL23TSP)	<アドレス: H'0080 167E >
CAN1メッセージスロット24タイムスタンプ(C1MSL24TSP)	<アドレス: H'0080 168E >
CAN1メッセージスロット25タイムスタンプ(C1MSL25TSP)	<アドレス: H'0080 169E >
CAN1メッセージスロット26タイムスタンプ(C1MSL26TSP)	<アドレス: H'0080 16AE >
CAN1メッセージスロット27タイムスタンプ(C1MSL27TSP)	<アドレス: H'0080 16BE >
CAN1メッセージスロット28タイムスタンプ(C1MSL28TSP)	<アドレス: H'0080 16CE >
CAN1メッセージスロット29タイムスタンプ(C1MSL29TSP)	<アドレス: H'0080 16DE >
CAN1メッセージスロット30タイムスタンプ(C1MSL30TSP)	<アドレス: H'0080 16EE >
CAN1メッセージスロット31タイムスタンプ(C1MSL31TSP)	<アドレス: H'0080 16FE >



<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	C0MSL0TSP~C0MSL31TSP, C1MSL0TSP~C1MSL31TSP	メッセージスロットタイムスタンプ	R	W

送信フレーム/受信フレームのメモリスペースです。送信/受信完了時にCANタイムスタンプカウントレジスタの値が格納されます。

13.3 CANプロトコル

13.3.1 CANプロトコルフレーム

CANプロトコルで取り扱うフレームは

- (1) データフレーム
- (2) リモートフレーム
- (3) エラーフレーム
- (4) オーバロードフレーム

の4種類があります。各フレームはインタフレームスペースで区切られています。

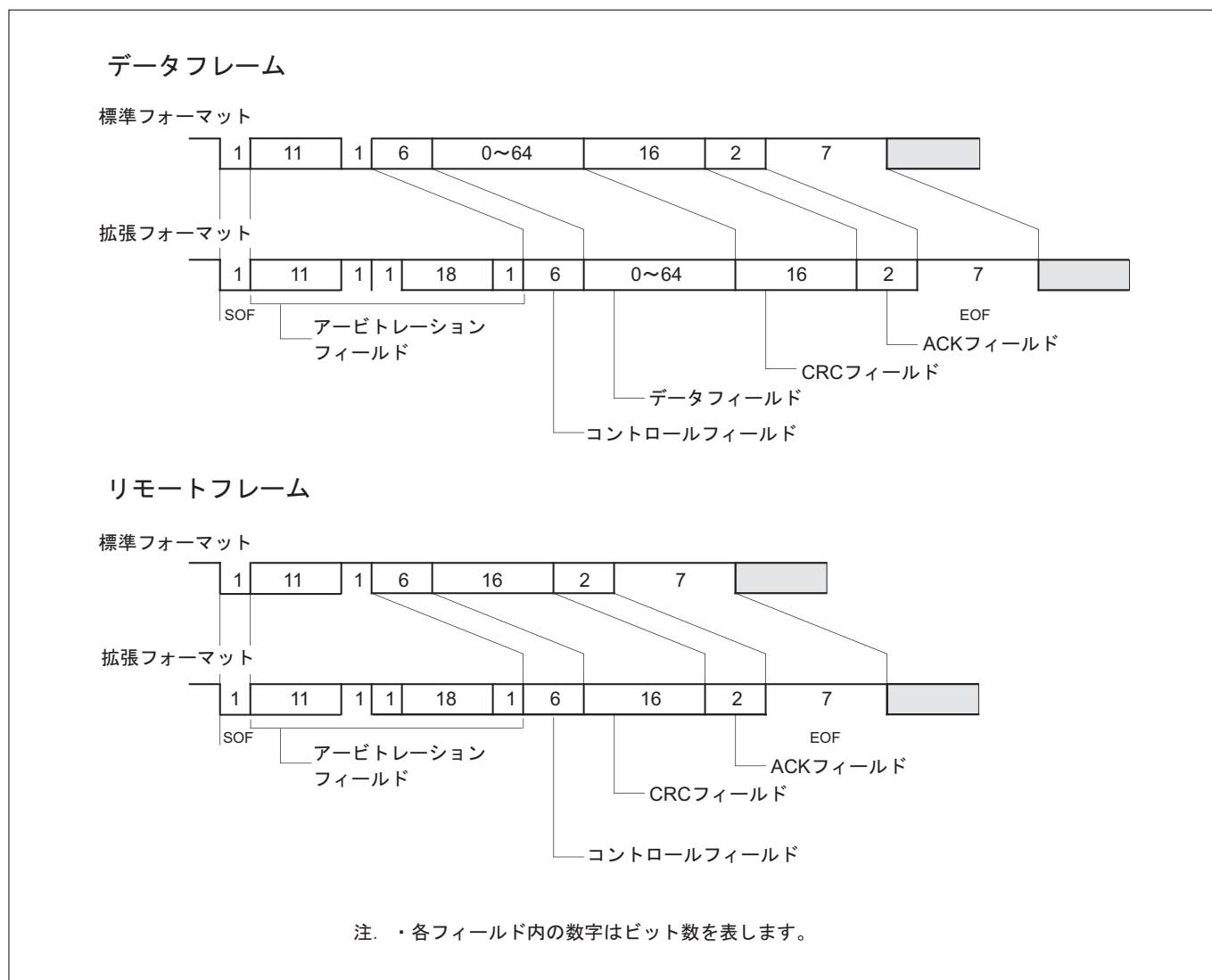


図13.3.1 CANプロトコルフレーム(1)

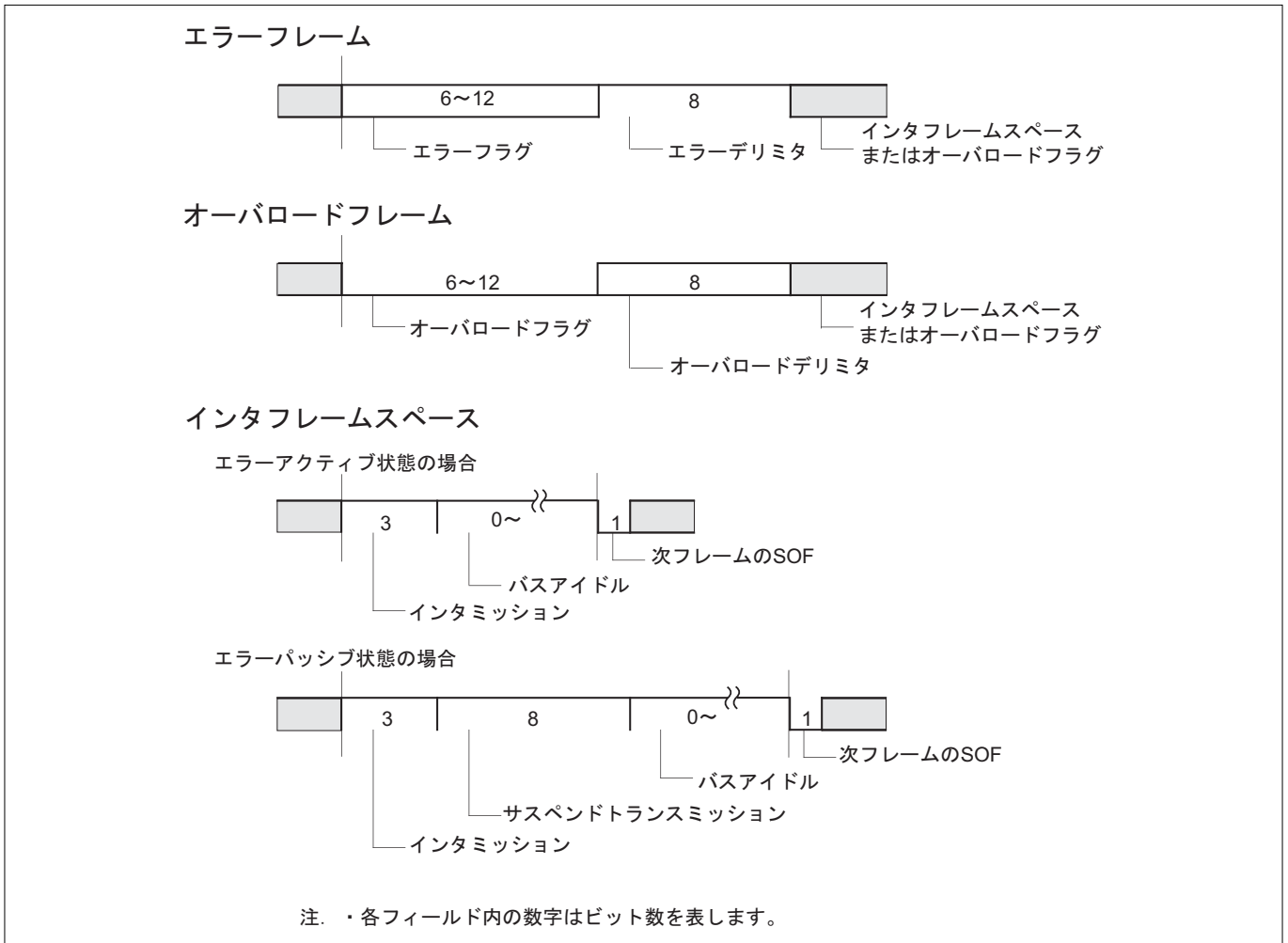


図13.3.2 CANプロトコルフレーム(2)

13.3.2 CAN送受信時のデータフォーマット

図13.3.3に、CANで使用可能な送受信転送データフォーマット例を示します。

送受信はCANメッセージロット(C0MSLnSID0 ~ C0MSLnDT7, C1MSLnSID0 ~ C1MSLnDT7)のMSB側から順に行われます。

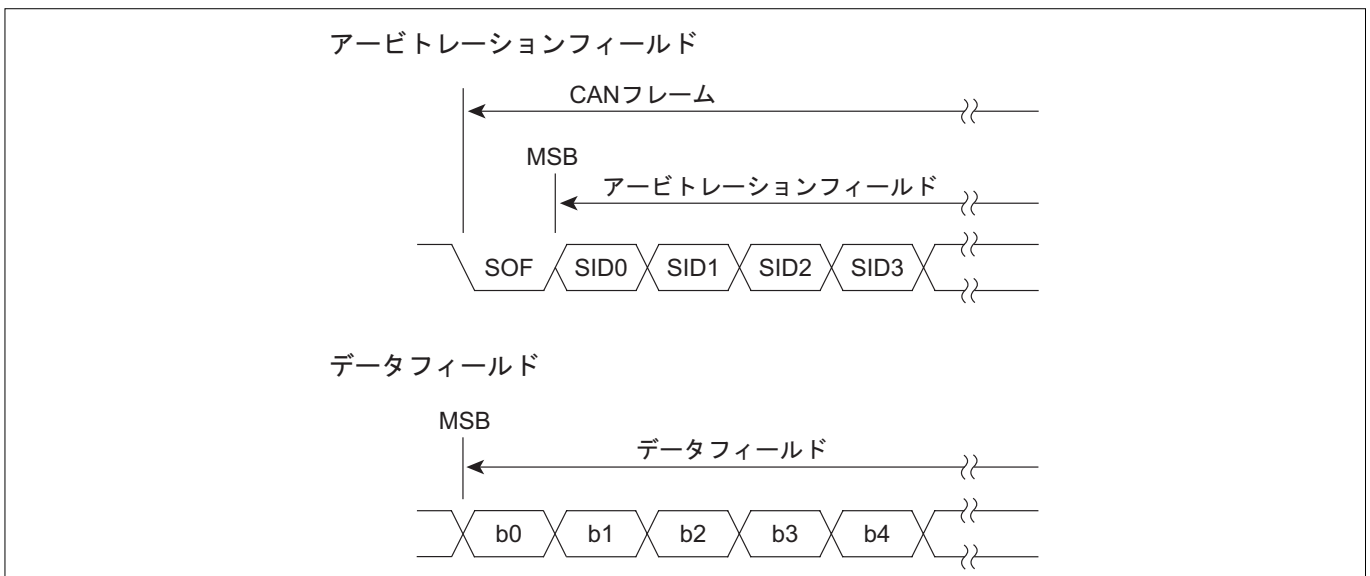


図13.3.3 CAN送受信転送データフォーマット例

13.3.3 CANコントローラのエラー状態

CANコントローラは送信エラーカウンタと受信エラーカウンタの値により次の三つのエラー状態をとります。

(1) エラーアクティブ状態

- エラーがほとんど発生していない状態
- エラー検出時にアクティブエラーフラグを送信
- 初期設定直後のCANコントローラの状態

(2) エラーパッシブ状態

- エラーが多数発生している状態
- エラー検出時にパッシブエラーフラグを送信

(3) バスオフ状態

- エラーが非常に多数発生している状態
- エラーアクティブ状態に戻るまで他のノードとのCAN通信が不可能

ユニットエラーの状態	送信エラーカウンタ		受信エラーカウンタ
エラーアクティブ状態	0 ~ 127	かつ	0 ~ 127
エラーパッシブ状態	128 ~ 255	または	128 ~
バスオフ状態	256 ~		-

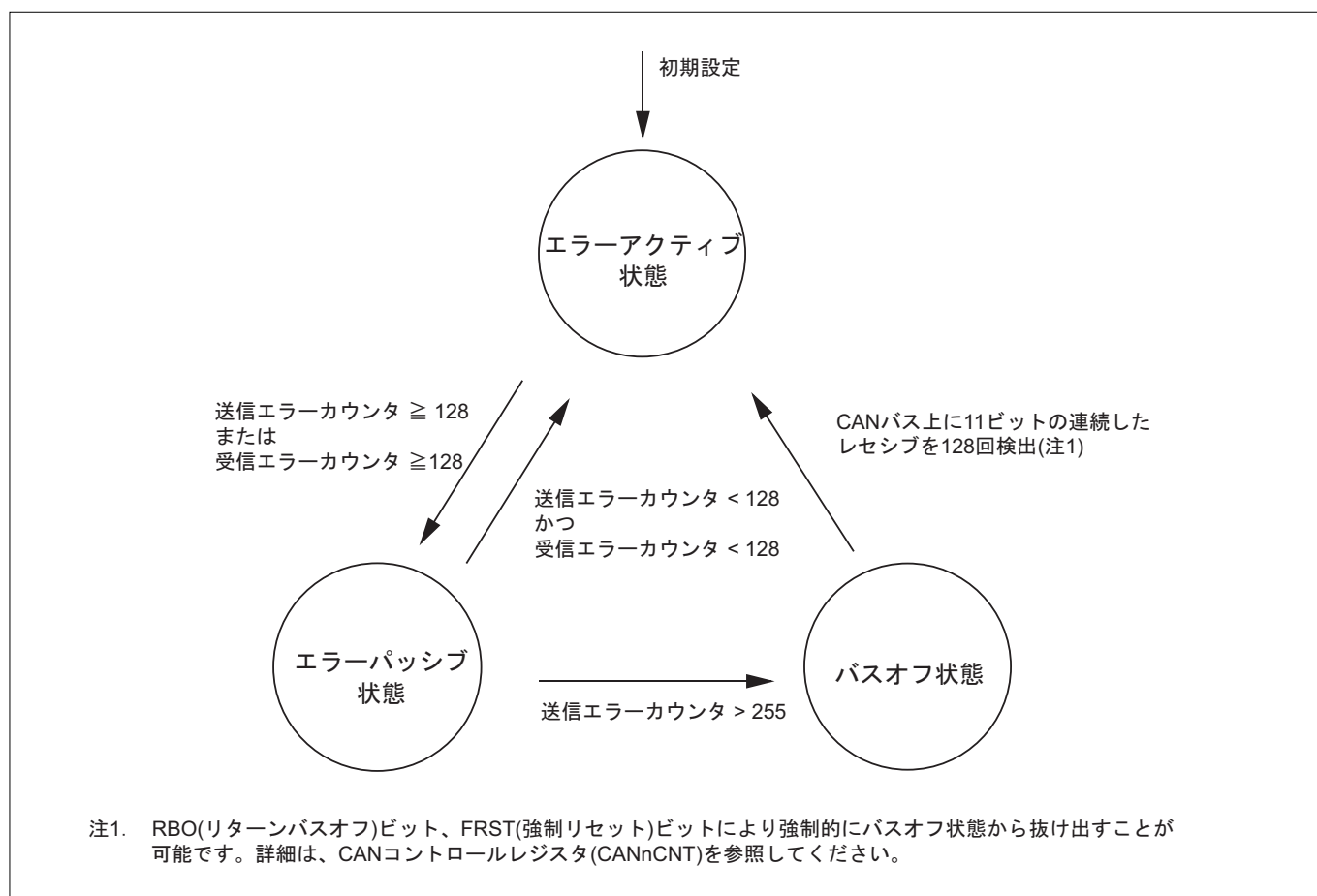


図13.3.4 CANコントローラのエラー状態

13.4 CANモジュール初期設定

13.4.1 CANモジュールの初期設定

通信を行う前に以下の設定を行います。

(1) 端子機能の選択

CAN送信データ出力端子(CTX)、およびCAN受信データ入力端子(CRX)は、入出力ポートとのダブルファンクションになっていますので端子機能の設定を行ってください(「第8章 入出力ポートと端子機能」を参照してください)。

(2) 割り込みコントローラ(ICU)の設定

CANモジュールの割り込みを使用する場合は、割り込み優先レベルを設定します。

(3) CANエラー割り込み要求マスクレジスタ、CANシングルショット割り込み要求マスクレジスタ、CANスロット割り込み要求マスクレジスタの設定

CANバスエラー割り込み、CANエラーパッシブ割り込み、CANエラーバスオフ割り込み、CANシングルショット割り込み、あるいはCANスロット割り込みを使用する場合は、対応するビットに"1"をセットして、割り込み要求を許可してください。

(4) DMACの設定

CANによるDMA転送を使用する場合は、DMACを設定します。

(5) CAN DMA転送要求選択レジスタの設定

CANによるDMA転送を使用する場合は、CANDMA転送要求選択レジスタで転送要求要因を選択してください。

(6) CANモジュールクロックの設定

CANモジュールのプロトコルエンジンブロックへ供給するクロックを設定します。
CANモジュールがリセット状態である事を確認してから、CANxクロック選択レジスタにて、CPUCLK/4 を選択してください。

(7) ビットタイミング/サンプリング回数の設定

CANコンフィグレーションレジスタとCANボーレートプリスケアラでビットタイミングとCANバスのサンプリング回数を設定します。

1) ビットタイミングの設定

ビットタイミングの基本となる周期 T_q と、Propagation Segment、Phase Segment1、Phase Segment2の構成、およびreSynchronization Jump Widthを決めます。

T_q の計算式を以下に示します。

$$T_q \text{ 周期} = (\text{BRP} + 1) / (\text{CPUCLK} / 4)$$

1ビットをいくつの T_q で構成するかによってボーレートが決まります。

ボーレートの計算式を以下に示します。

$$\text{ボーレート (bps)} = \frac{1}{T_q \text{ 周期} \times 1 \text{ ビット内の } T_q \text{ 数}}$$

$$1 \text{ ビット内の } T_q \text{ 数} = \text{Synchronization Segment} + \text{Propagation Segment} + \text{Phase Segment 1} + \text{Phase Segment 2}$$

注．．通信可能な最大ボーレートは、システム構成(バス長、クロック誤差、CANバストランシーバ、サンプリング位置、ビット構成など)に依存します。
システム構成を考慮したボーレート、 T_q 数設定を行ってください。

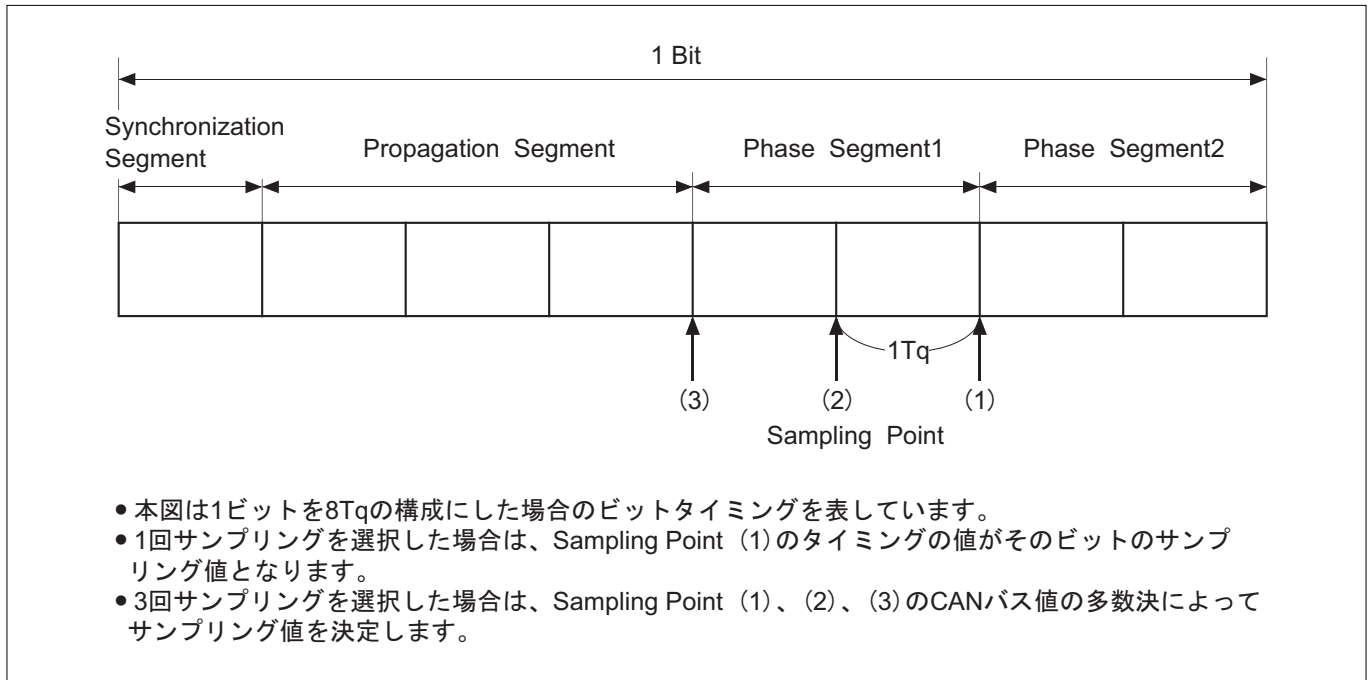


図13.4.1 ビットタイミング例

2)サンプリング回数の設定

CANバスのサンプリング回数を"1回"と"3回"とから選択します。

- 1回を選択した場合は、Phase Segment1の最後にサンプリングした値をそのビットの値とみなします。
- 3回を選択した場合は、1回のサンプリングに加え、その1Tq前、および2Tq前のサンプリング値の計3ポイントのサンプリング値による多数決によって、そのビットの値とみなします。

(8)IDマスクレジスタ設定

受信メッセージのアクセプタンスフィルタリングに使用されるIDマスクレジスタ(グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタB)の値を設定します。

(9)BasicCANモードで使用する場合の設定

- CANフレームフォーマット選択レジスタのIDE30、IDE31ビットを設定(同一設定を推奨)
- メッセージロット30、31へIDを設定
- メッセージコントロールレジスタ30、31をデータフレーム受信(H'40)に設定

(10)シングルショットモードで使用する場合の設定

CANモードレジスタ(CAN0MODE, CAN1MODE)、CANコントロールレジスタ(CAN0CNT, CAN1CNT)によって、CANモジュールの動作モード(BasicCANモード、ループバックモード)およびタイムスタンプカウンタのクロックソースを選択します。

(11)CANモジュールの動作モードの設定

CANシングルショットモード制御レジスタにシングルショットモードで動作させるロットを設定します。

(12)CANモジュールのリセット解除

(1)~(11)の初期設定完了後、CANコントロールレジスタ(CAN0CNT, CAN1CNT)の強制リセットビット(FRST)およびリセットビット(RST)を"0"クリアすると、CANバス上に11個の連続したレセシブビットを検出した後、CANモジュールは通信可能となります。

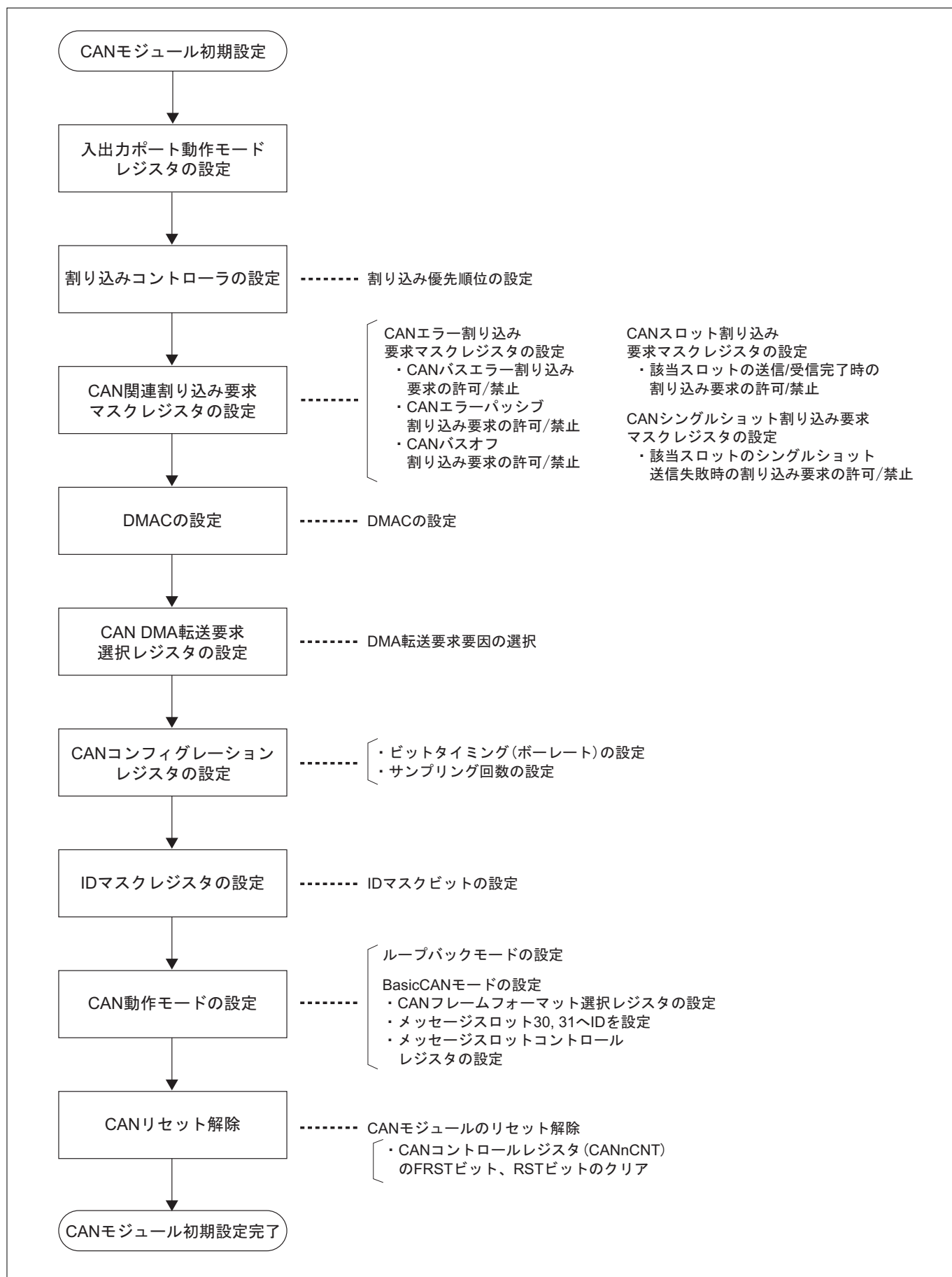


図13.4.2 CANモジュール初期設定

13.5 データフレーム送信

13.5.1 データフレーム送信手順

データフレーム送信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 送信データの設定

送信ID、送信データをメッセージスロットへセットします。

(4) CANフレームフォーマット選択レジスタの設定

CANフレームフォーマット選択レジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'80(注1)を書き込み、TR(送信要求)ビットに"1"をセットします。

注1. データフレーム送信の場合は、必ずH'80を書き込んでください。

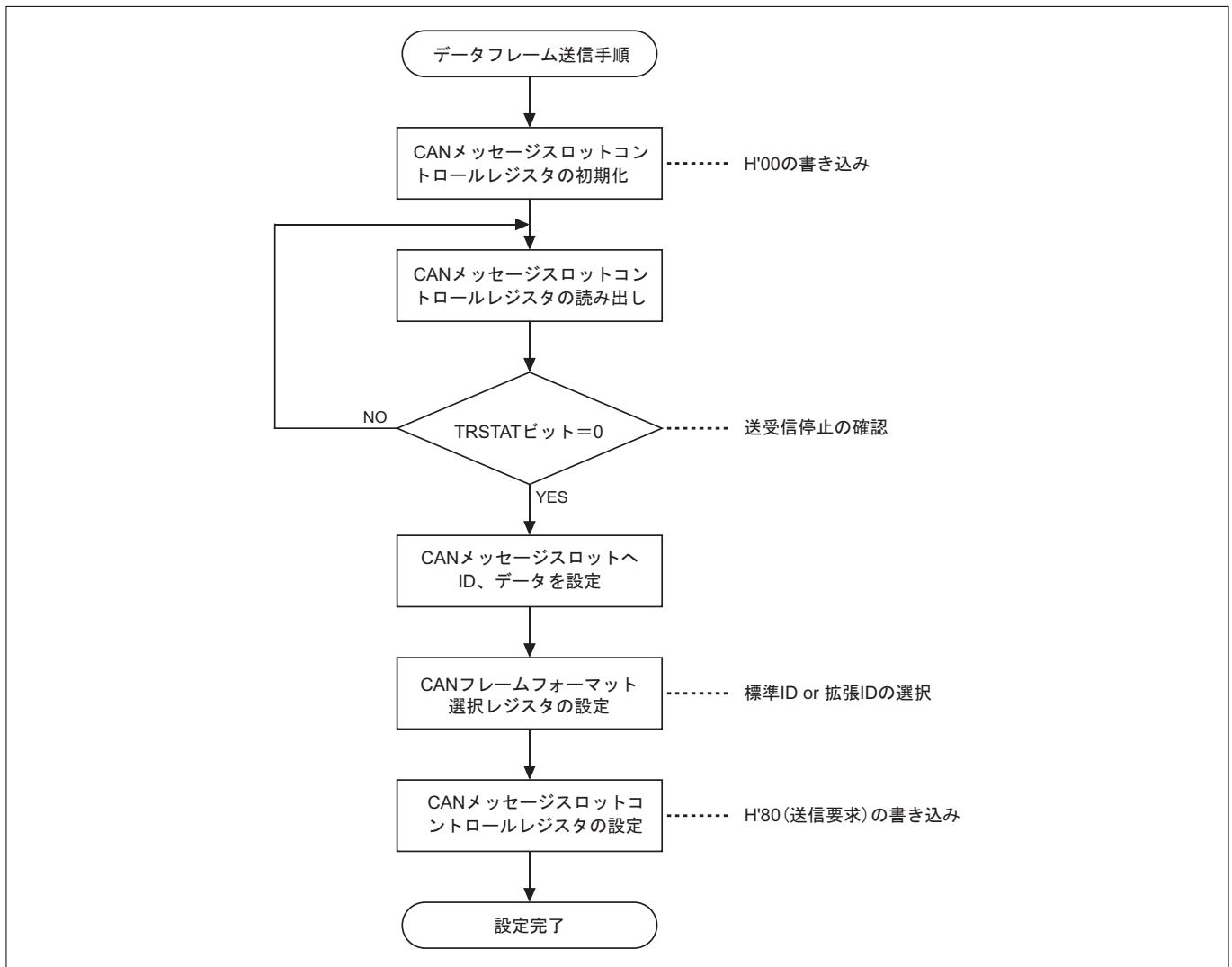


図13.5.1 データフレーム送信手順

13.5.2 データフレーム送信動作

データフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) 送信フレームの選択

CANモジュールはインタミッションごとに送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(2) データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットに"1"をセットし、送信を開始します。

(3) CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(4)データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込み要求ステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ送信が完了したときのタイムスタンプカウンタ値を書き込み、送信動作を完了します。

CANスロット割り込み要求を許可にしていた場合は、送信動作完了で割り込み要求が発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

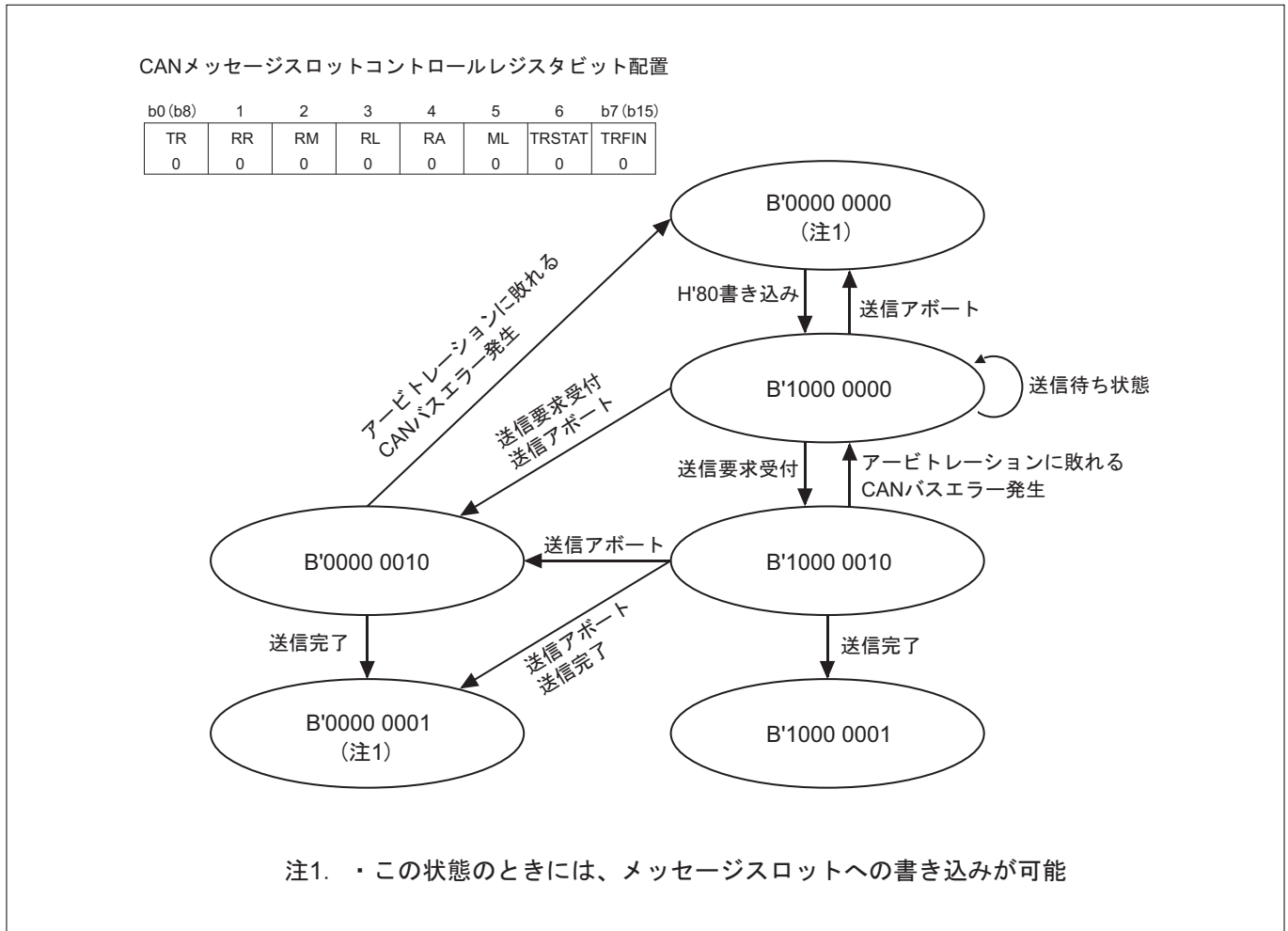


図13.5.2 データフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.5.3 送信アポート機能

送信アポート機能は、一度立てた送信要求をキャンセルする機能です。キャンセルしたいスロットに対応したCANメッセージスロットコントロールレジスタにH'0Fを書き込むことによって行います。

送信アポート機能が受け付けられると、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアし、メッセージスロットへの書き込みが可能になります。

送信アポートが受け付けられる条件を以下に示します。

【条件】

- 対象のメッセージが送信待ち状態の場合
- 送信中にCANバスエラーが発生した場合
- アービトレーションに敗れた場合

13.6 データフレーム受信

13.6.1 データフレーム受信手順

データフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) CANフレームフォーマット選択レジスタの設定

CANフレームフォーマット選択レジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'40を書き込み、RR(受信要求)ビットに"1"をセットします。

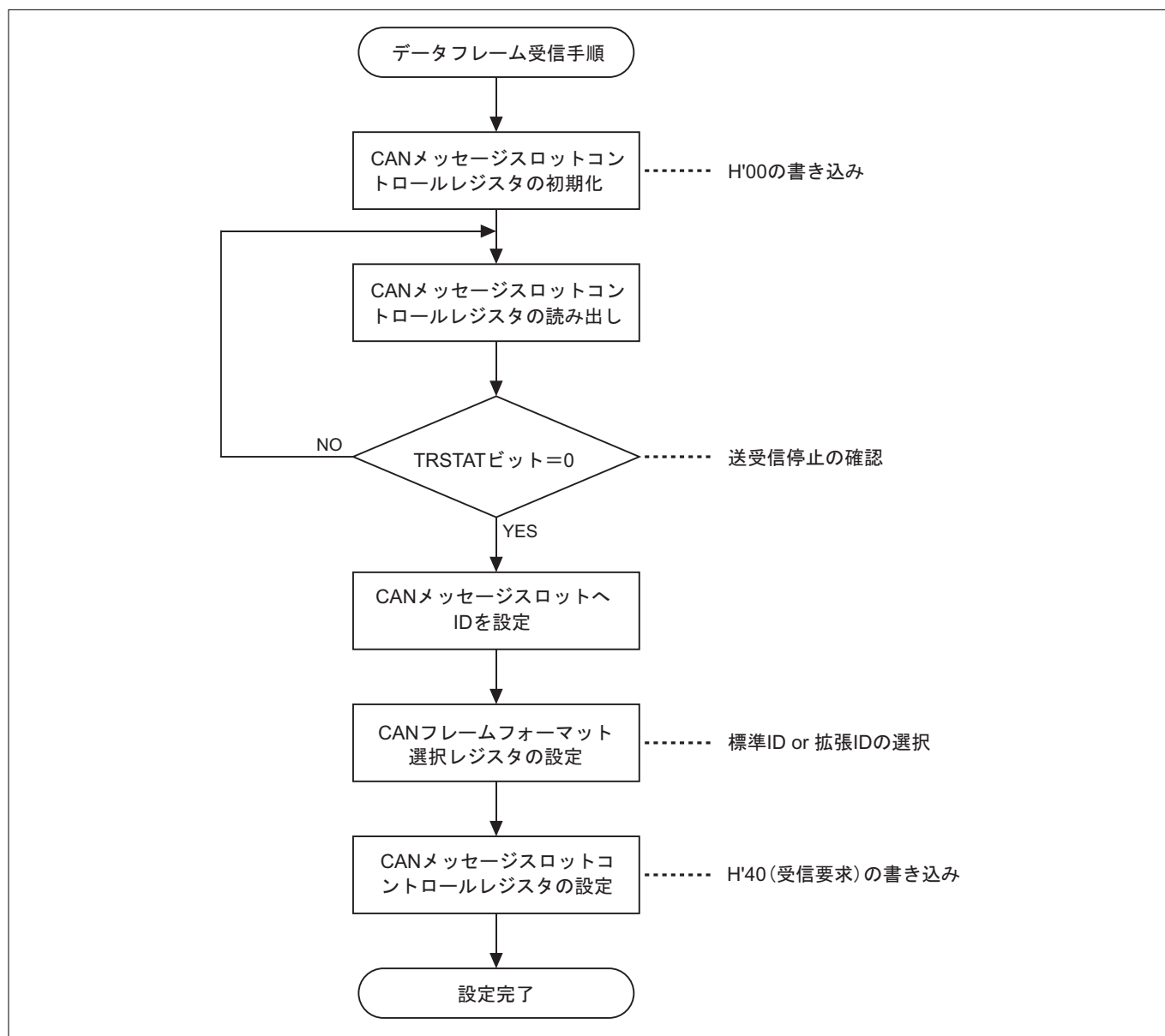


図13.6.1 データフレーム受信手順

13.6.2 データフレーム受信動作

データフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット31まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがデータフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

注 . . BasicCANモード時のスロット30、31ではデータフレーム受信設定でリモートフレームの受信も行います。

(2) 受信条件を満たした場合

前記(1)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定し、メッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドとともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSL_nTSP, C1MSL_nTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求を発生し、次の受信待ち状態となります。

(3) 受信条件を満たしていない場合

受信フレームは破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

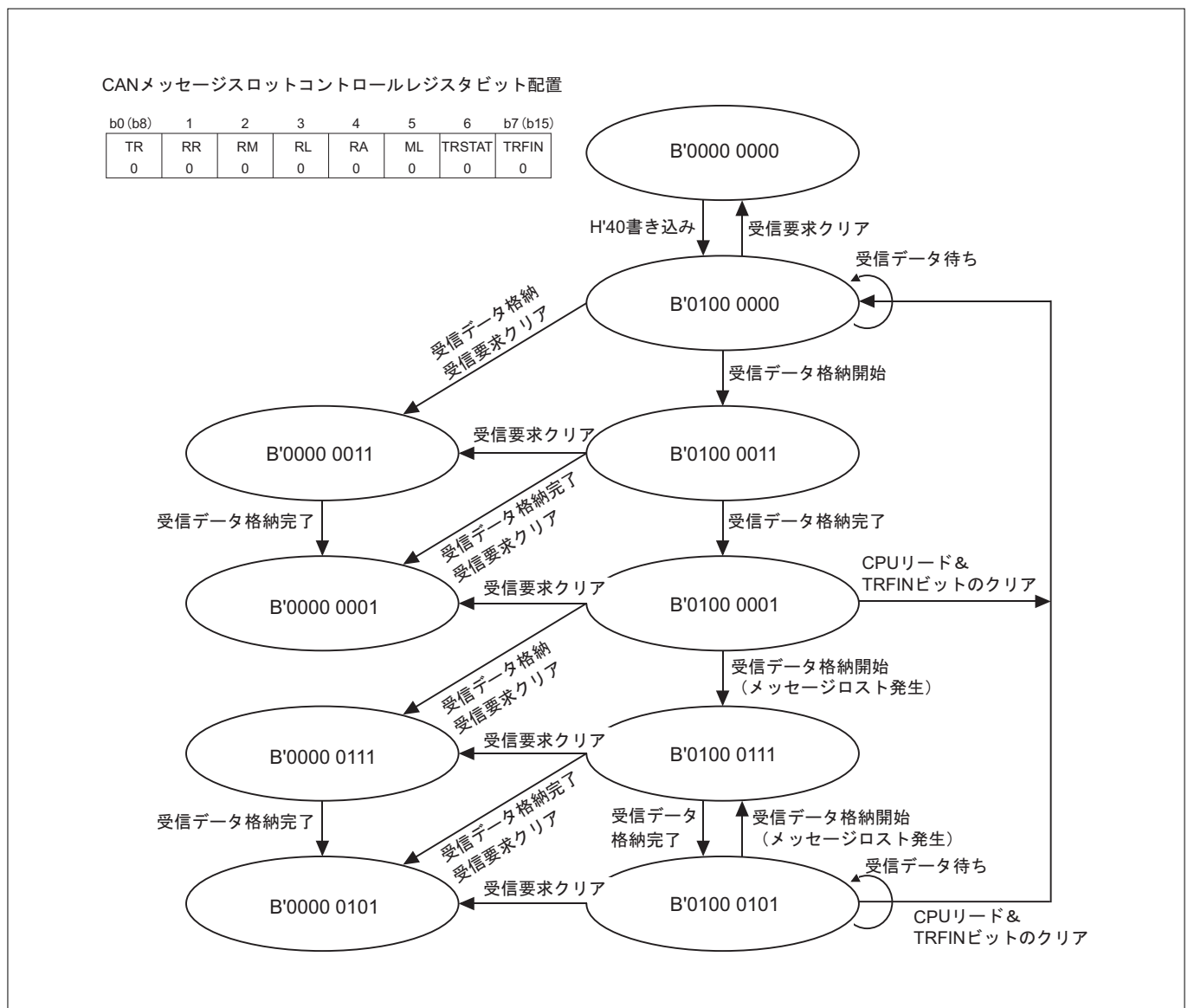


図13.6.2 データフレーム受信時のCANメッセージスロットコントロールレジスタの動作

13.6.3 受信データフレームの読み出し

受信データフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージスロットコントロールレジスタ(C0MSLnCNT, C1MSLnCNT)にH'4E、H'40またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

CnMSLnCNTに書き込む値	書き込み後のスロットの動作
H'4E	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'40	データフレーム受信スロットとして動作します。 MLビットによる上書き確認はできません。
H'00(注1)	スロットは送受信動作を停止します。

注1. H'00を書き込むことによって、CANメッセージスロットコントロールレジスタ(C0MSLnCNT, C1MSLnCNT)のRR(受信要求)ビットを"0"にクリアした場合、その直前までに受信動作が開始されていれば、その時の受信動作が終了するまで送受信制御が行われます。

注. ・MLビットによるメッセージロスチェックが必要な場合には、H'4Eを書き込んでTRFINビットをクリアしてください。

(2) メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3) TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

1) TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

2) TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

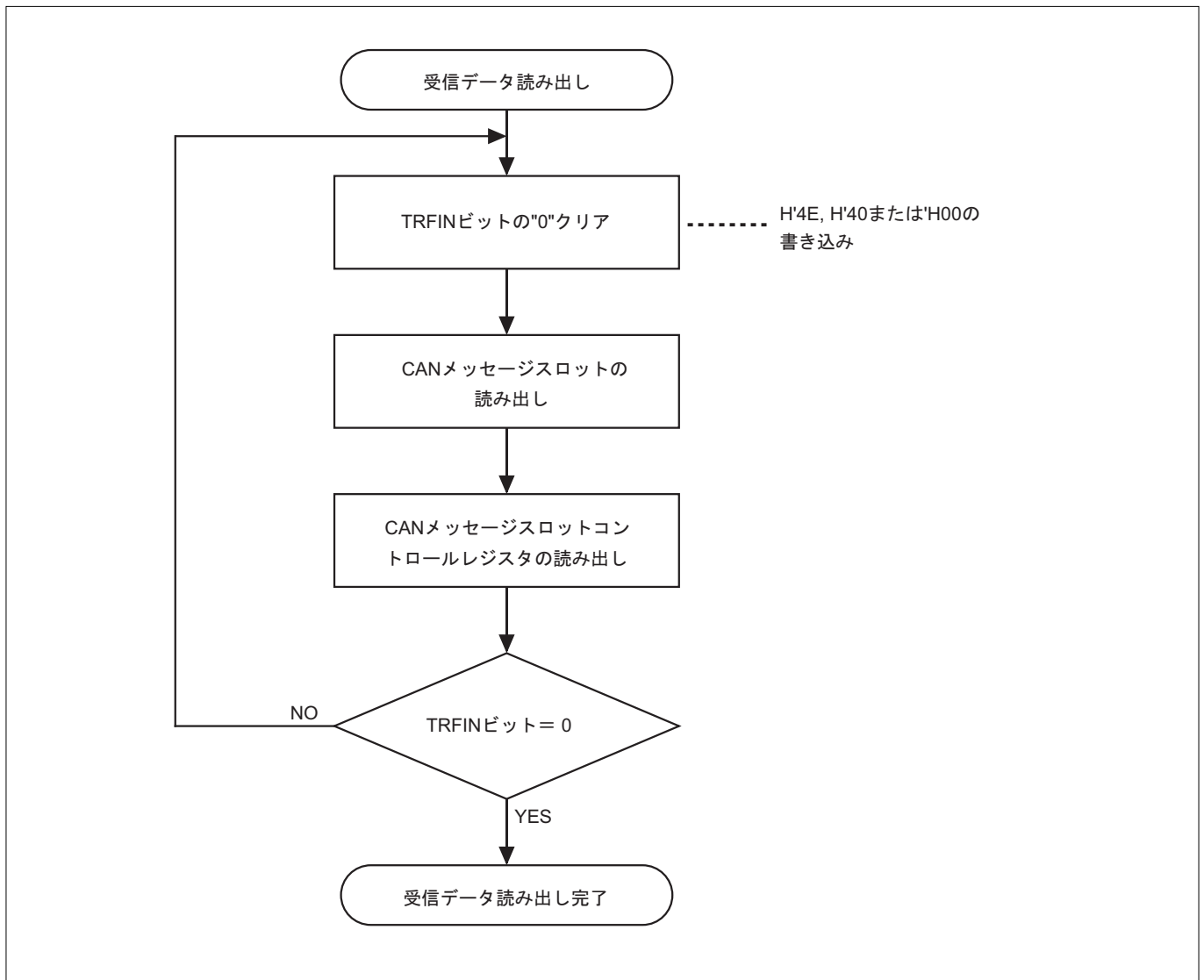


図13.6.3 受信データ読み出し手順

13.7 リモートフレーム送信

13.7.1 リモートフレーム送信手順

リモートフレーム送信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 送信IDのセット

メッセージスロットへ送信すべきIDをセットします。

(4) CANフレームフォーマット選択レジスタの設定

CANフレームフォーマット選択レジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'A0を書き込み、TR(送信要求)ビット、RM(リモート)ビットに"1"をセットします。

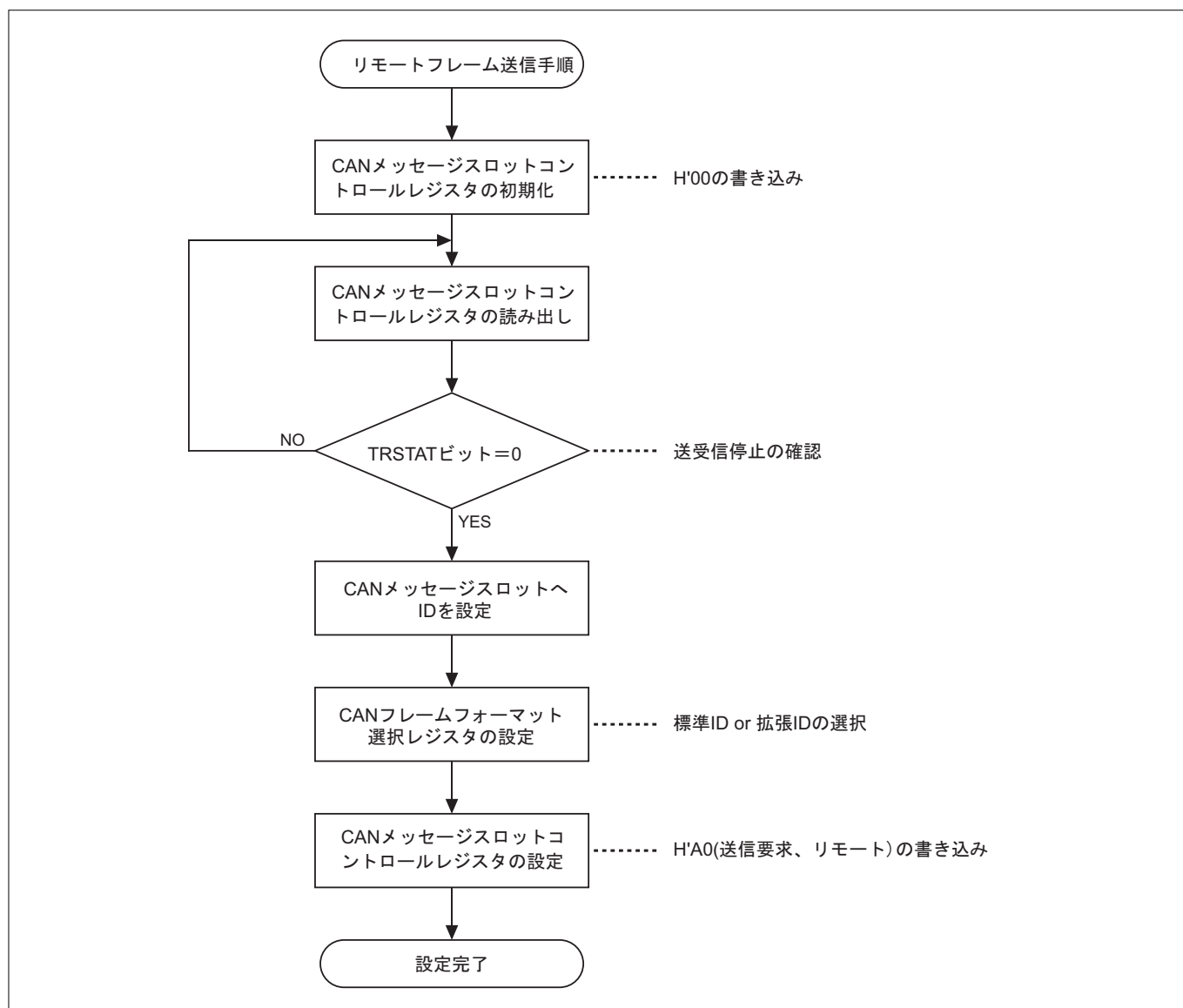


図13.7.1 リモートフレーム送信手順

13.7.2 リモートフレーム送信動作

リモートフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA(リモートアクティブ)ビットの設定

CANメッセージスロットコントロールレジスタへH'A0(送信要求、リモート)を書き込むと同時に、対応するスロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) 送信フレームの選択

CANモジュールはインタミッションごとに送信要求のあるスロット(データフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロット番号の小さいものから送信します。

(3) リモートフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

(4) CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(5) リモートフレーム送信完了

リモートフレームの送信が完了すると、完了したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)に格納し、CANメッセージスロットコントロールレジスタのRA(リモートアクティブ)ビットを"0"クリアします。

また、送信完了によってCANスロット割り込み要求ステータスビットは"1"がセットされますが、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビットへは"1"がセットされません。

CANスロット割り込み要求を許可にしていた場合は、送信完了で割り込み要求が発生します。

(6) データフレーム受信

リモートフレームの送信が完了したら、そのスロットは自動的にデータフレーム受信スロットとして機能します。

(7) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット31まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがデータフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

注 . . BasicCANモードではスロット30、31を送信スロットとして使用することはできません。

(8) 受信条件を満たした場合

上記(7)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定しメッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求が発生し、次のフレームの受信待ち状態となります。

注 . . リモートフレームを送信する前に対応するデータフレームを受信した場合は、データフレームの格納を行ないリモートフレームは送信されません。

(9) 受信条件を満たしていない場合

受信フレームを破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

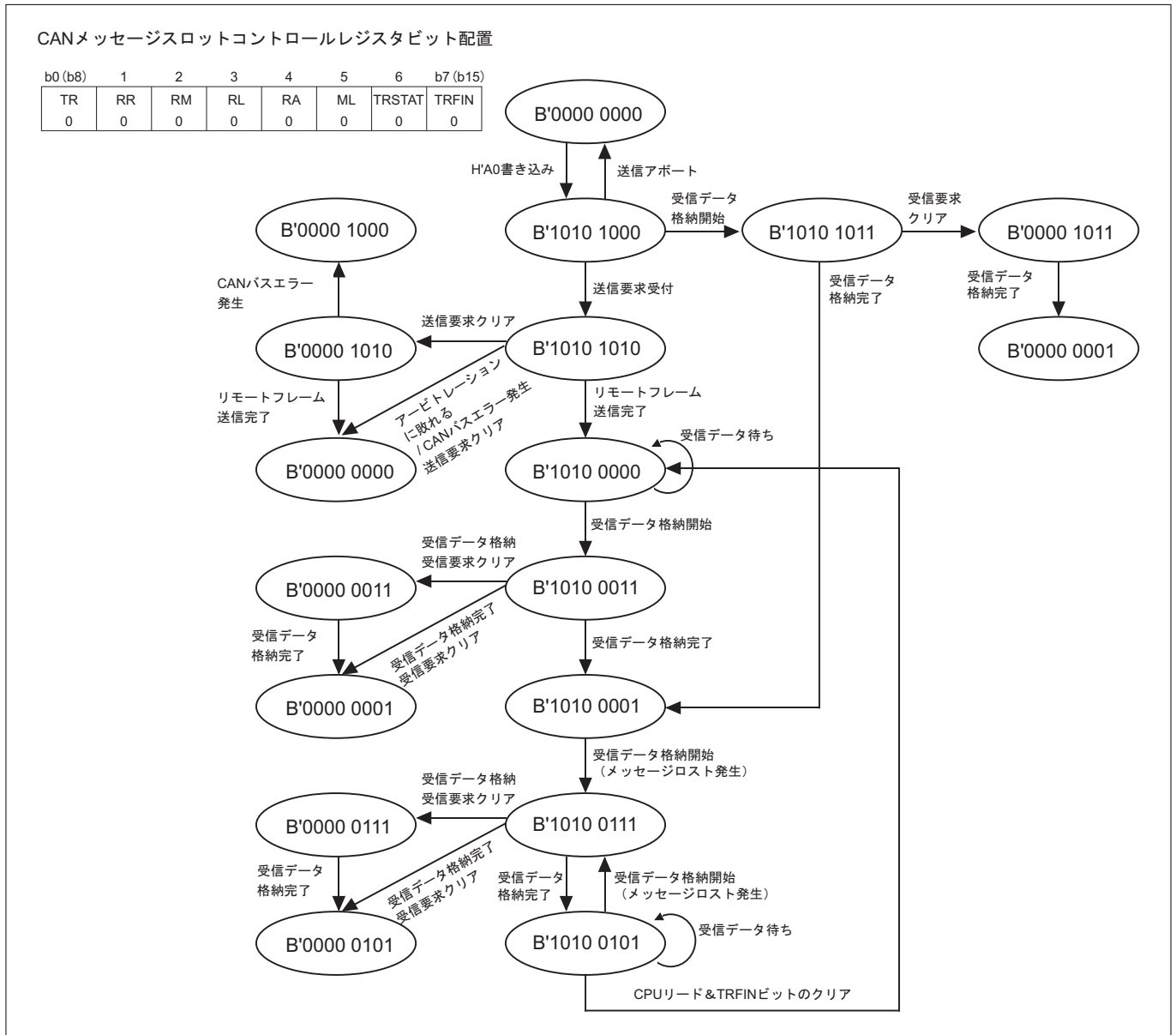


図13.7.2 リモートフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.7.3 リモートフレーム送信設定時の受信データフレームの読み出し

リモートフレーム送信設定時に受信したデータフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージスロットコントロールレジスタ(C0MSLnCNT, C1MSLnCNT)にH'AE、またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

CnMSLnCNTに書き込む値	書き込み後のスロットの動作
H'AE	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'00	スロットは送受信動作を停止します。

注・MLビットによるメッセージロストチェックが必要な場合には、H'AEを書き込んでTRFINビットをクリアしてください。
 ・H'AEまたはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。
 ・H'A0を書き込んで受信データフレームを読み出すことはできません。H'A0を書き込んでTRFINビットを"0"クリアした場合は、スロットはリモートフレーム送信動作を行います。

(2)メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3)TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

1)TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

2)TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

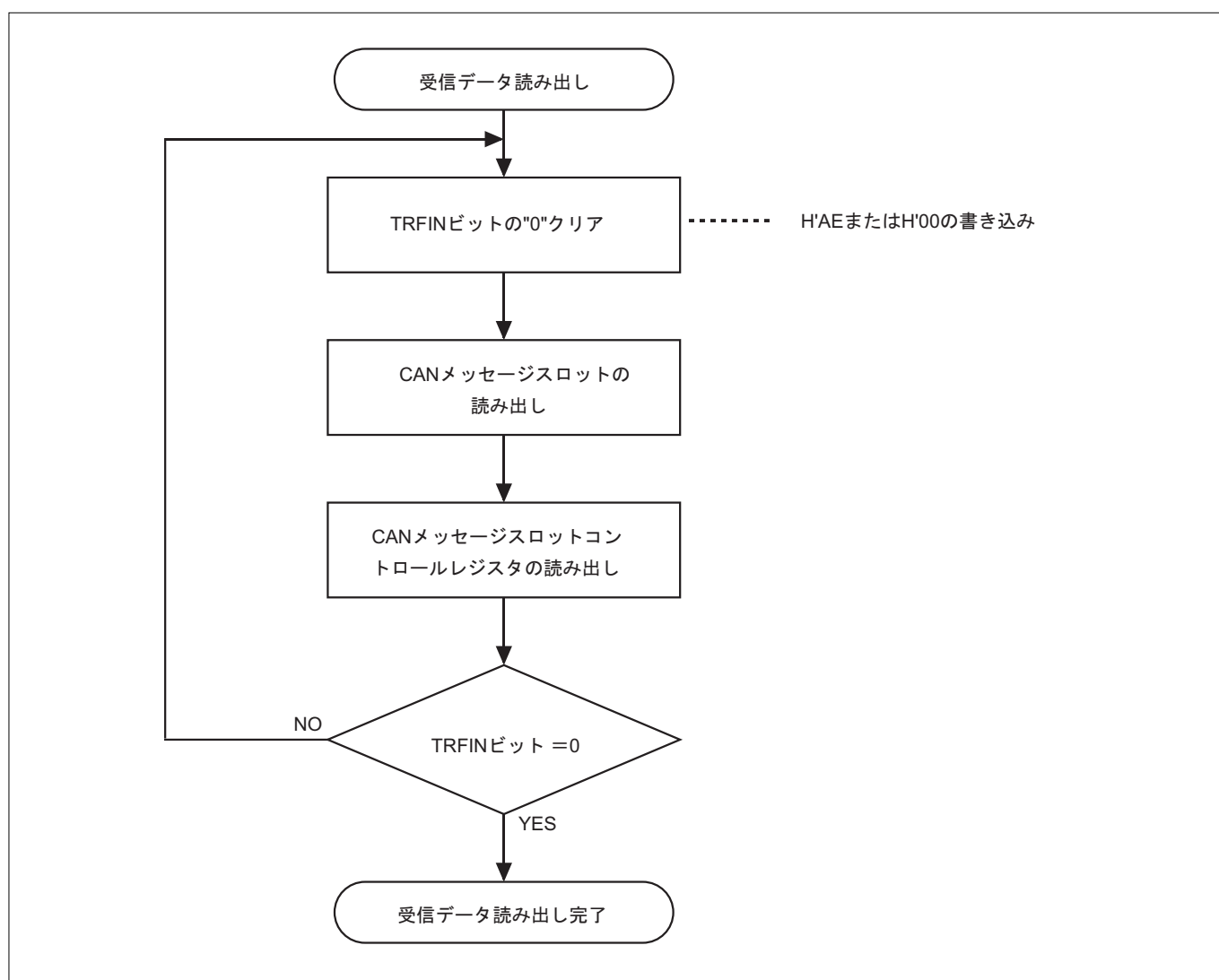


図13.7.3 リモートフレーム送信設定時の受信データ読み出し手順

13.8 リモートフレーム受信

13.8.1 リモートフレーム受信手順

リモートフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT(送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) CANフレームフォーマット選択レジスタの設定

CANフレームフォーマット選択レジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

1) リモートフレーム受信に対して自動応答させたい場合(データフレーム送信)

CANメッセージスロットコントロールレジスタへH'60を書き込み、RR(受信要求)ビット、RM(リモート)ビットに"1"をセットします。

2) リモートフレーム受信に対して自動応答を禁止させたい場合

CANメッセージスロットコントロールレジスタへH'70を書き込み、RR(受信要求)ビット、RM(リモート)ビット、RI(自動応答禁止)ビットに"1"をセットします。

注 . . BasicCANモード時はスロット30、31ではリモートフレーム受信はできますが、自動応答を行うことはできません。

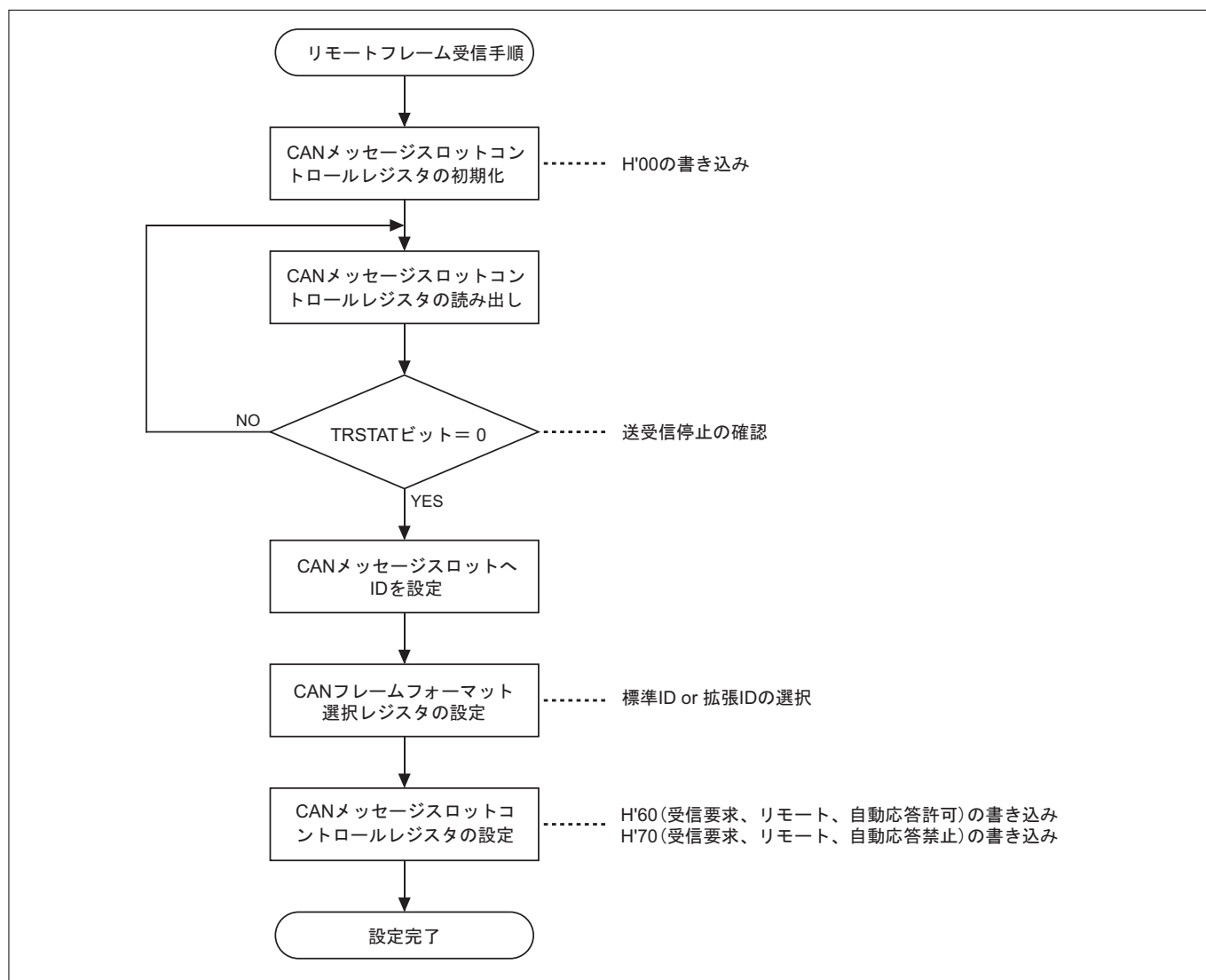


図13.8.1 リモートフレーム受信手順

13.8.2 リモートフレーム受信動作

リモートフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA(リモートアクティブ)ビットの設定

CANメッセージスロットコントロールレジスタへH'60(受信要求、リモート、自動応答許可)またはH'70(受信要求、リモート、自動応答禁止)を書き込むと、対応スロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット31まで)検索します。

リモートフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

- 受信フレームがリモートフレームであること
- IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること
- 標準/拡張のフレームタイプが同一であること

(3) 受信条件を満たした場合

前記(2)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込み要求ステータスビットへ"1"をセットします。割り込み要求が許可されていれば割り込み要求が発生します。

- 注
- ・メッセージスロットにはIDフィールドとDLCの値が書き込まれます。
 - ・標準フォーマット時の拡張ID領域には不定値が書き込まれます。
 - ・データフィールドに対しては書き込み動作は行いません。
 - ・リモートフレーム受信データの書き込み後、RAビット、TRFINビットは"0"クリアされます。

(4) 受信条件を満たしていない場合

受信データを破棄し、次の受信フレームを待ちます。メッセージスロットへの書き込みは行いません。

(5) リモートフレーム受信後の動作

リモートフレーム受信後の動作は、自動応答の設定によって異なります。

1) 自動応答禁止の場合

受信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで該当スロットの送受信は行われません。

2) 自動応答許可の場合

リモートフレーム受信後、自動的にデータフレーム送信スロットに切り換わり、以下動作で送信処理を行います。その場合、送信されるデータは受信したリモートフレームのID、DLCに従います。

• 送信フレーム選択

CANモジュールは、インタミッションごとに送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロットナンバの小さいものから送信されます。

• データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

• CANバス上のアービトレーションに敗れた場合/CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

• データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込み要求ステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(C0MSLnTSP, C1MSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込み要求を許可にしていた場合は、送信動作完了で割り込み要求が発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

CANメッセージスロットコントロールレジスタビット配置

b0 (b8)	1	2	3	4	5	6	b7 (b15)
TR	RR	RM	RL	RA	ML	TRSTAT	TRFIN
0	0	0	0	0	0	0	0

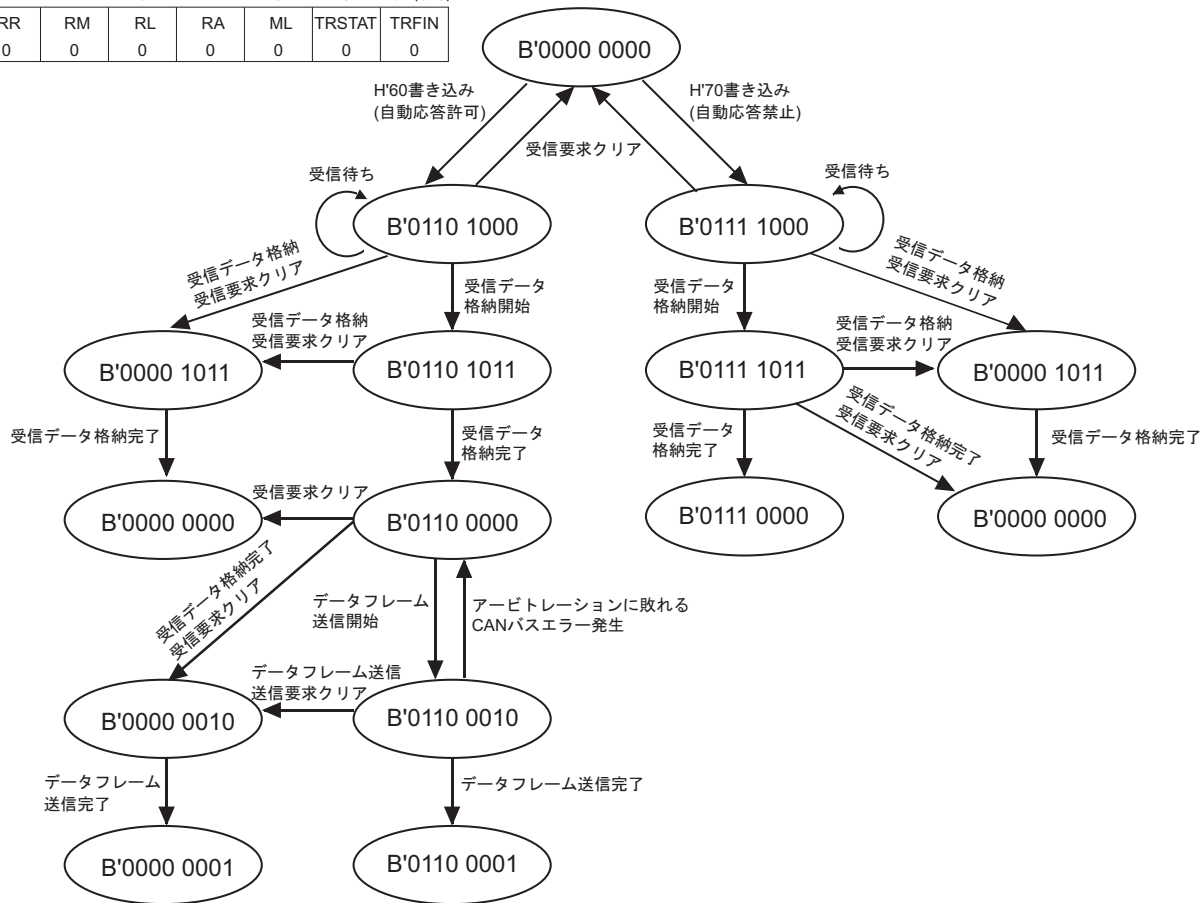


図13.8.2 リモートフレーム受信時のCANメッセージスロットコントロールレジスタの動作

13.9 CANモジュールの注意事項

• リモートフレーム送受信キャンセルについて

リモートフレーム送信アボート、リモートフレーム受信キャンセルを行う際には、CANメッセージスロットコントロールレジスタにH'00またはH'0Fを書き込んだ後、RA(リモートアクティブ)ビットが"0"にクリアされたことを確認してください。

(1) リモートフレーム送信アボート時

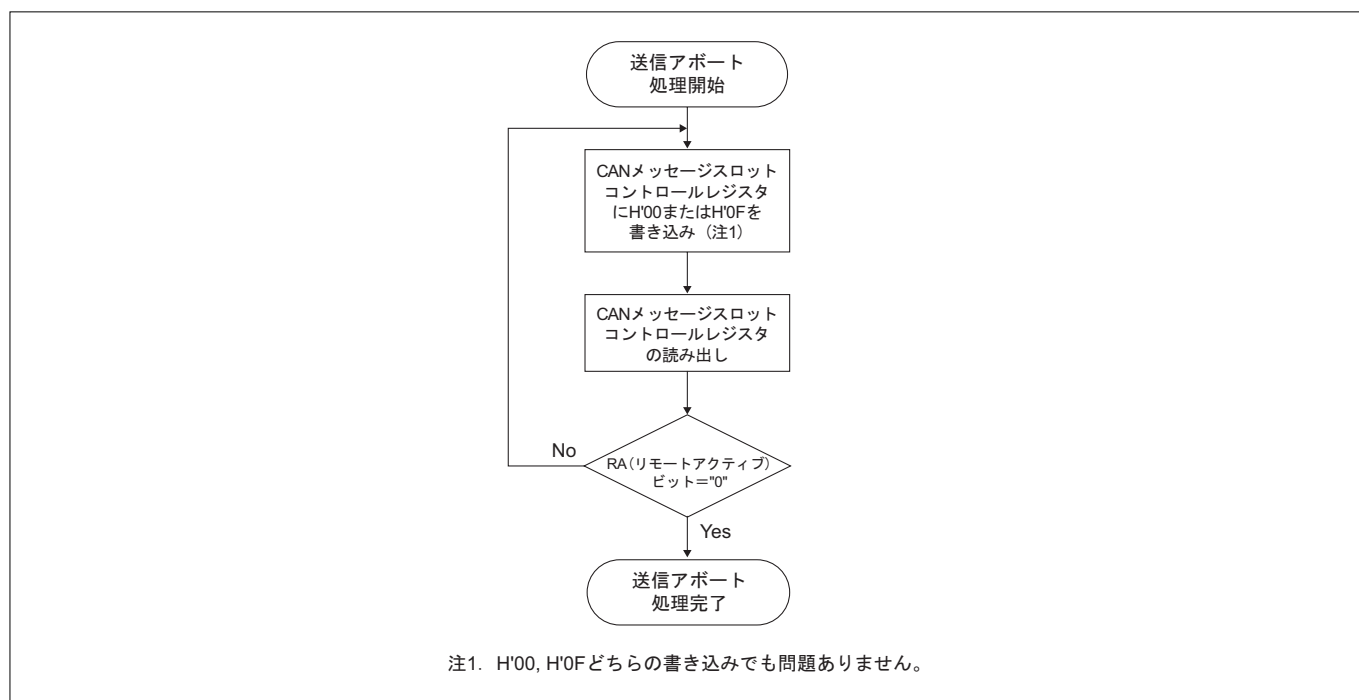


図13.9.1 リモートフレーム送信アボート時の処理フロー

(2) リモートフレーム受信キャンセル時

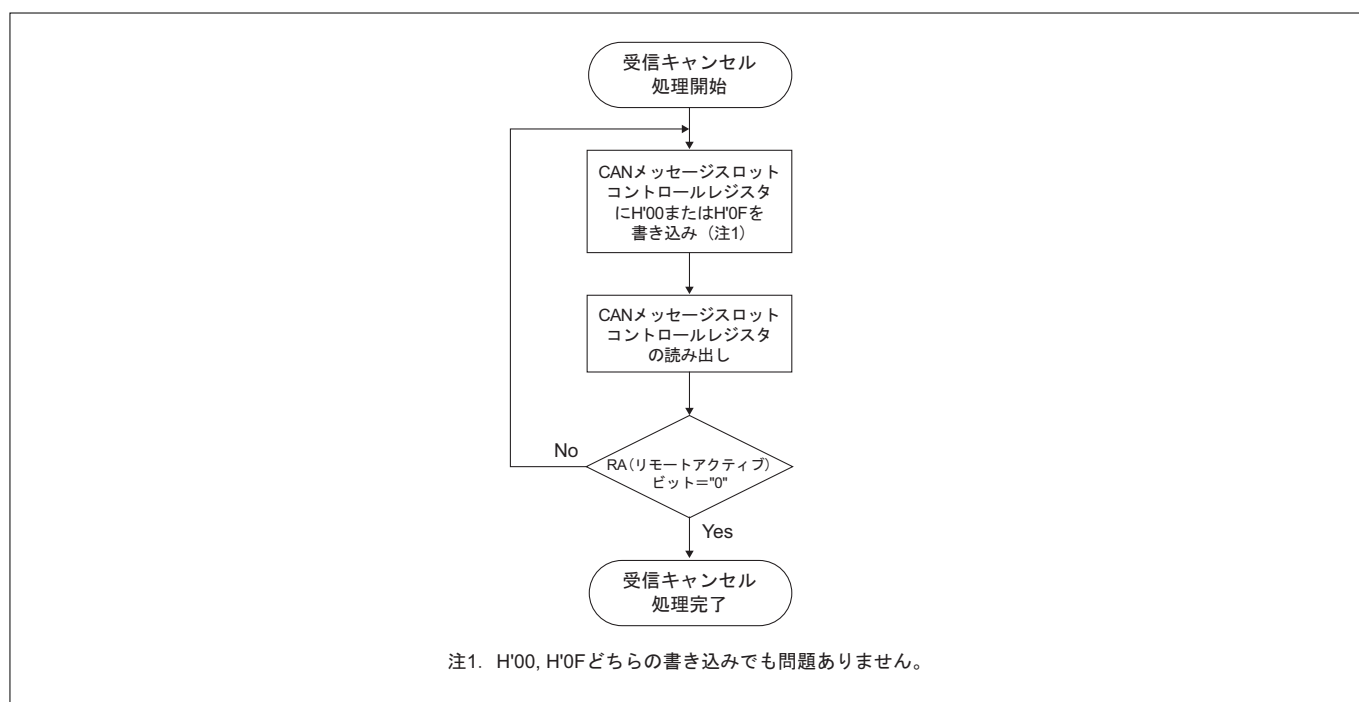


図13.9.2 リモートフレーム受信キャンセル時の処理フロー

レイアウトの都合上、このページは白紙です。

第14章

ダイレクトRAMインタフェース(DRI)

- 14.1 ダイレクトRAMインタフェース(DRI)概要
- 14.2 DRI関連レジスタ
- 14.3 DRIの注意事項

14.1 ダイレクトRAMインタフェース(DRI)概要

DRI(Direct RAM Interface)は、クロックに同期してマイコンへ入力されるパラレルデータを内蔵RAMへ取り込むためのパラレルI/Fです。DRIから内蔵RAMへのデータ書込みは、M32R-FPUとは別に用意された専用バスを通じて行うため、M32R-FPUの動作を停止させることなくデータを取り込むことが可能です。また、DRI内部のイベントカウンタを利用した選択的データ取り込み機能もサポートしています。

表14.1.1 ダイレクトRAMインタフェース(DRI)の概要

項目	内容
転送方式	クロック同期形パラレル入力
RAMアクセス領域	内蔵RAM(32192: 176KB, 32195: 32KB, 32196: 64KB)全領域
受信データ幅	32ビット/16ビット/8ビットから選択
最大転送速度	40Mバイト/秒
データ取り込み最小周期	100ns(特殊モード非選択、入力データバス幅32ビット時) 87.5ns(特殊モード非選択、入力データバス幅16/8ビット時) 50ns(特殊モード選択時)
データ取り込みバス幅	32/16/8ビット(特殊モード非選択時)、16/8ビット(特殊モード選択時)
イベントカウンタ	16ビット×5本(DEC0~DEC4)
バンク切り換え機能	データ格納先をRAM上2バンク指定可能
データ取り込みエッジ	立ち上がり/立ち下がり/両エッジから選択
取り込みタイミング調整機能	データ取り込みエッジ検出からデータサンプリングまでのタイミングを設定可能
間引き制御機能	内蔵イベントカウンタを使用して選択的にデータ取り込み可能

注．・f(BCLK) = 40MHz動作時

表14.1.2 DRIの割り込み要求発生機能

DRIの割り込み要求	ICUの割り込み要因
DIN0イベント検出	DRIイベント検出割り込み(グループ割り込み)
DIN1イベント検出	
DIN2イベント検出	
DIN3イベント検出	
DIN4イベント検出	
DIN5イベント検出	
DEC0アンダフロー	DRIカウンタ割り込み(グループ割り込み)
DEC1アンダフロー	
DEC2アンダフロー	
DEC3アンダフロー	
DEC4アンダフロー	
DRIアドレスカウンタ0転送完了	DRI転送割り込み(グループ割り込み)
DRIアドレスカウンタ1転送完了	
オーバランエラー	
取り込み許可エラー	
DRI転送カウンタアンダフロー	

表14.1.3 DRIのDMA転送要求発生機能

DRIのDMA転送要求	DMAC入力チャネル
DIN0イベント検出	DMA0
DIN1イベント検出	DMA1
DIN2イベント検出	DMA2
DIN3イベント検出	DMA3
DIN4イベント検出	DMA4
DIN5イベント検出	DMA9
DEC0アンダフロー	DMA5
DEC1アンダフロー	DMA6
DEC2アンダフロー	DMA7
DEC3アンダフロー	DMA8
DEC4アンダフロー	DMA9
DRIアドレスカウンタ0転送完了	DMA6
DRIアドレスカウンタ1転送完了	DMA7
DRI取り込みイベントカウンタアンダフロー	DMA8
DRI転送カウンタアンダフロー	DMA9

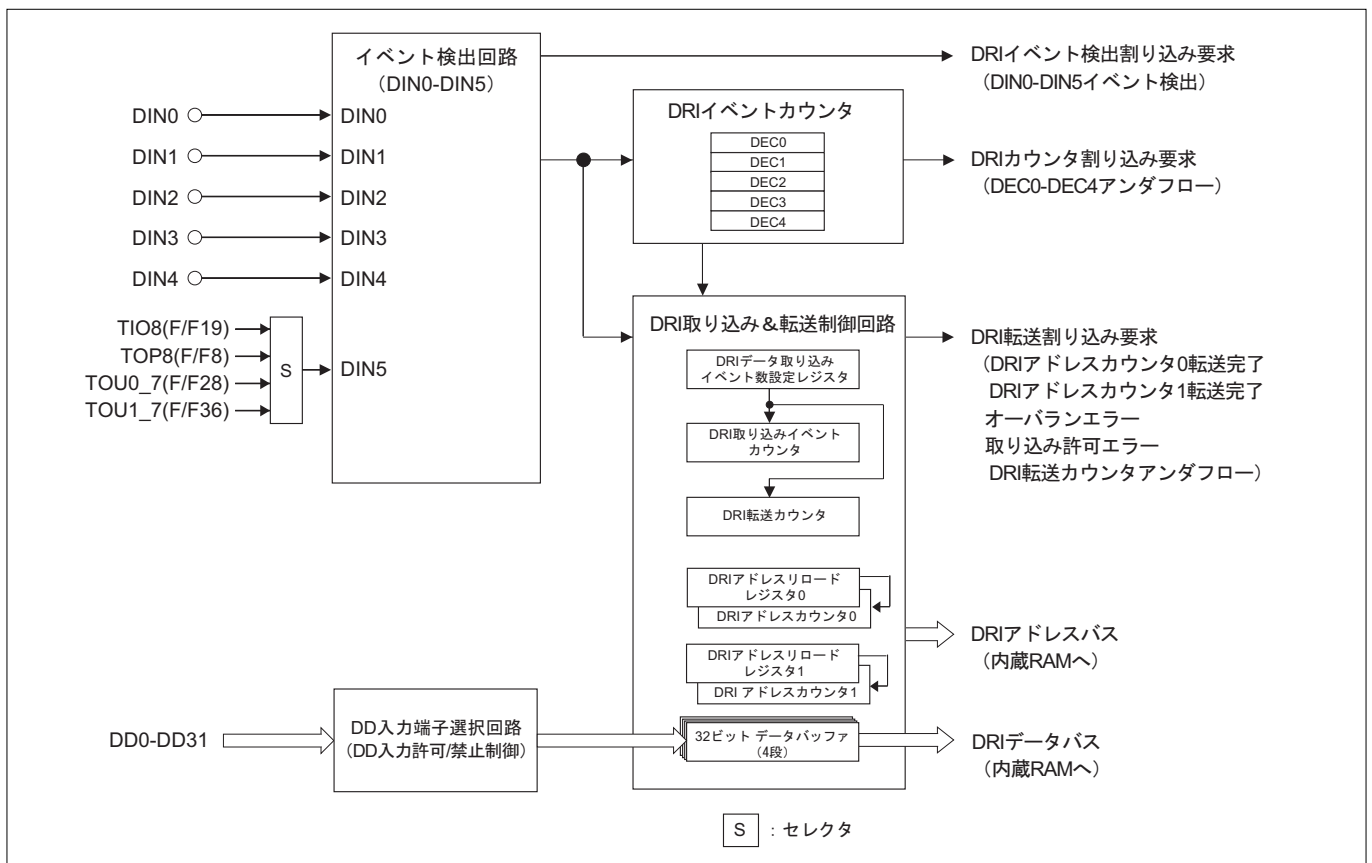


図14.1.1 ダイレクトRAMインタフェース(DRI)ブロック図

14.2 DRI関連レジスタ

DRI関連のレジスタマップを以下に示します。

DRI関連レジスタマップ(1/2)

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 052A		DD入力端子選択レジスタ (DDSEL)	14-6
H'0080 2000	DIN割り込み要求ステータスレジスタ (DRIDINIST)	DIN割り込み要求許可レジスタ (DRIDINIEN)	14-9
H'0080 2002	DEC割り込み要求ステータスレジスタ (DRIDECIST)	DEC割り込み要求許可レジスタ (DRIDECIEN)	14-10
H'0080 2004	DRI転送割り込み要求ステータスレジスタ (DRITRMIST)	DRI転送割り込み要求許可レジスタ (DRITRMIEN)	14-11 14-12
H'0080 2006	DRI転送制御レジスタ (DRITRMCNT)	DRI特殊モードレジスタ (DRISPMOD)	14-13 14-15
H'0080 2008	DRIデータ取り込み制御レジスタ (DRIDCAPCNT)		14-18
H'0080 200A	DRIデータ間引き制御レジスタ (DRIDSELCNT)	DIN入力イベント選択レジスタ (DINSEL)	14-22
H'0080 200C	DD入力許可レジスタ0 (DRIDDEN0)	DD入力許可レジスタ1 (DRIDDEN1)	14-23
H'0080 200E	DD入力許可レジスタ2 (DRIDDEN2)	DD入力許可レジスタ3 (DRIDDEN3)	14-23 14-24
H'0080 2010	DRIデータ取り込みイベント数設定レジスタ (上位) (DRIDCAPNUM)		14-25
H'0080 2012	(下位)		
H'0080 2014	DRI取り込みイベントカウンタ (上位) (DRIDCAPCT)		14-26
H'0080 2016	(下位)		
H'0080 2018	DRI転送カウンタ (上位) (DRITRMCT)		14-27
H'0080 201A	(下位)		
H'0080 201C	(使用禁止領域)		
H'0080 201E	(使用禁止領域)		
H'0080 2020	DRIアドレスリロードレジスタ0 (上位) (DRIADR0RLD)		14-29
H'0080 2022	(下位)		
H'0080 2024	DRIアドレスカウンタ0 (上位) (DRIADR0CT)		14-28
H'0080 2026	(下位)		
H'0080 2028	DRIアドレスリロードレジスタ1 (上位) (DRIADR1RLD)		14-29
H'0080 202A	(下位)		
H'0080 202C	DRIアドレスカウンタ1 (上位) (DRIADR1CT)		14-28
H'0080 202E	(下位)		
H'0080 2030	DIN入力処理制御レジスタ (DINCNT)		14-30
H'0080 2032	DEC0制御レジスタ (DEC0CNT)	(使用禁止領域)	14-31
H'0080 2034	DEC0リロードレジスタ (DEC0RLD)		14-36
H'0080 2036	DEC0カウンタ (DEC0CT)		14-36
H'0080 2038	DEC1制御レジスタ (DEC1CNT)	(使用禁止領域)	14-31
H'0080 203A	DEC1リロードレジスタ (DEC1RLD)		14-36

DRI関連レジスタマップ(2/2)

番地	+ 0番地		+ 1番地		掲載 ページ
	b0	b7	b8	b15	
H'0080 203C	DEC1カウンタ (DEC1CT)				14-36
H'0080 203E	DEC2制御レジスタ (DEC2CNT)		(使用禁止領域)		14-32
H'0080 2040	DEC2リロードレジスタ (DEC2RLD)				14-36
H'0080 2042	DEC2カウンタ (DEC2CT)				14-36
H'0080 2044	DEC3制御レジスタ (DEC3CNT)		(使用禁止領域)		14-32
H'0080 2046	DEC3リロードレジスタ (DEC3RLD)				14-36
H'0080 2048	DEC3カウンタ (DEC3CT)				14-36
H'0080 204A	DEC4制御レジスタ (DEC4CNT)		(使用禁止領域)		14-33
H'0080 204C	DEC4リロードレジスタ (DEC4RLD)				14-36
H'0080 204E	DEC4カウンタ (DEC4CT)				14-36

14.2.1 DD入力端子選択レジスタ

DD入力端子選択レジスタ(DDSEL)

<アドレス : H'0080 052B >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	DD03SEL 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 14	何も配置されていません。"0"に固定してください。		0	0
15	DD03SEL DD0-3入力端子選択ビット	0 : DD0 P127/TCLK3/CS3#/DD0 DD1 P126/TCLK2/CS2#/DD1 DD2 P125/TCLK1/A10/DD2 DD3 P124/TCLK0/A9/DD3 1 : DD0 P107/TO15/RXD4/DD0 DD1 P106/TO14/TXD4/DD1 DD2 P105/TO13/SCLKI4/SCLKO4/DD2 DD3 P104/TO12/TIN25/DD3	R	W

(1) DD03SEL(DD0-3入力端子選択)ビット (b15)

DRIへのデータ入力であるDD_n(n=0~31)のうち上位16ビットについては端子を2つのグループ(端子グループA、B)から選択することができます。どちらの端子グループ(端子グループA、B)を使用するかは、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDDSL(DD入力上位16ビット端子選択)ビットにて選択します。このDDSELレジスタでは、端子グループAを選択した場合のDD0~DD3について、どの端子を使用するかを選択します。

DRIDCAPCNTレジスタのDDSLビットにおいて、端子グループBを選択した場合は、このDDSELレジスタの設定は無視されます。

端子機能をDD入力端子として使用するためには、別途ポート動作モードレジスタの設定も必要です。表14.2.2に端子グループ表を示します。

14.2.2 DRI割り込み関連レジスタ

DRI割り込み関連レジスタは、DRIから割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求許可ビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、グルーピングされた割り込み要求ステータスの内、割り込み処理を行ったステータスビットのみクリアください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込み要求許可ビット

グルーピングされた割り込み要求の内不要な割り込みを禁止するためのフラグです。割り込み要求許可時には"1"、割り込み要求禁止時には"0"を設定します。

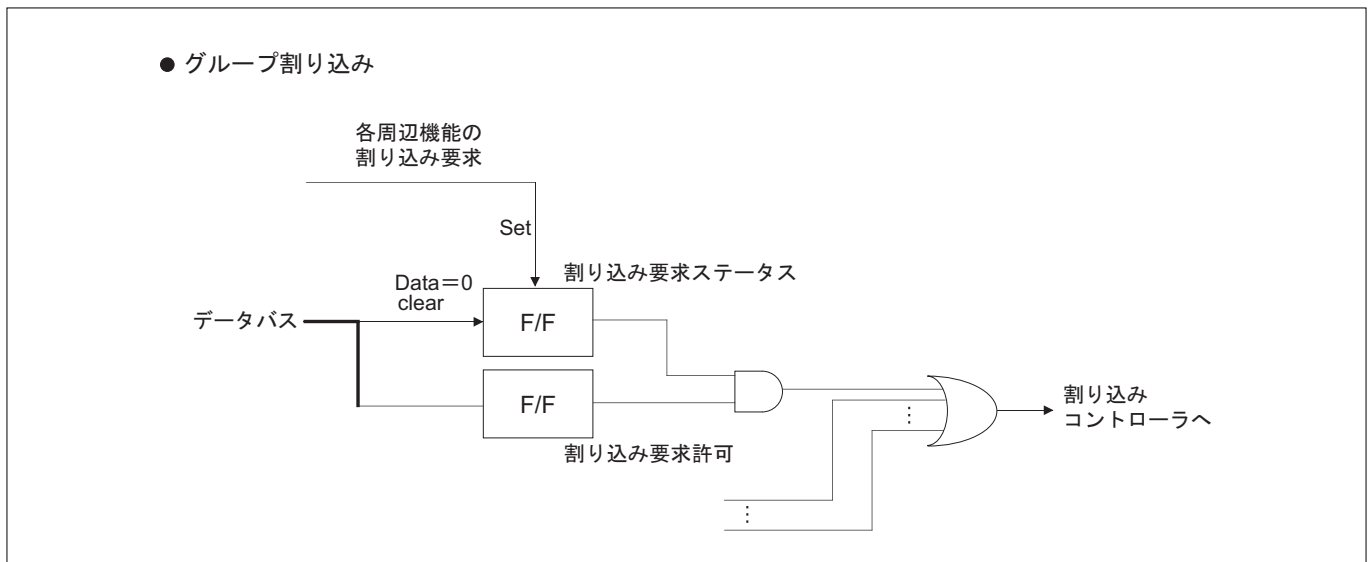
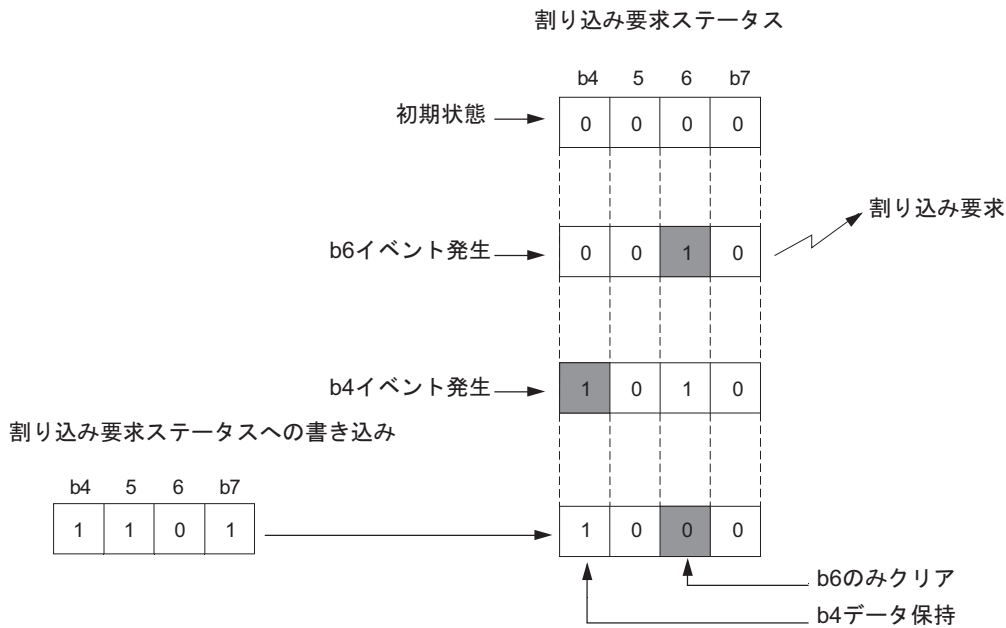


図14.2.1 割り込み要求ステータスレジスタとマスクレジスタ

● 割り込み要求ステータスクリア例



● プログラム例

- ・ 割り込み要求ステータスレジスタ0(ISTREG)の割り込み要求ステータス1: ISTAT1(0x02ビット)をクリアする場合



ISTREG = 0xfd; /*ISTAT1(0x02ビット)のみクリア*/

割り込み要求ステータスをクリアする場合は、必ず他の要求ステータスビットには"1"を書き込んでください。その際、下のように論理演算を用いるとISTREGの読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



ISTREG &= 0xfd; /*ISTAT1(0x02ビット)のみクリア*/

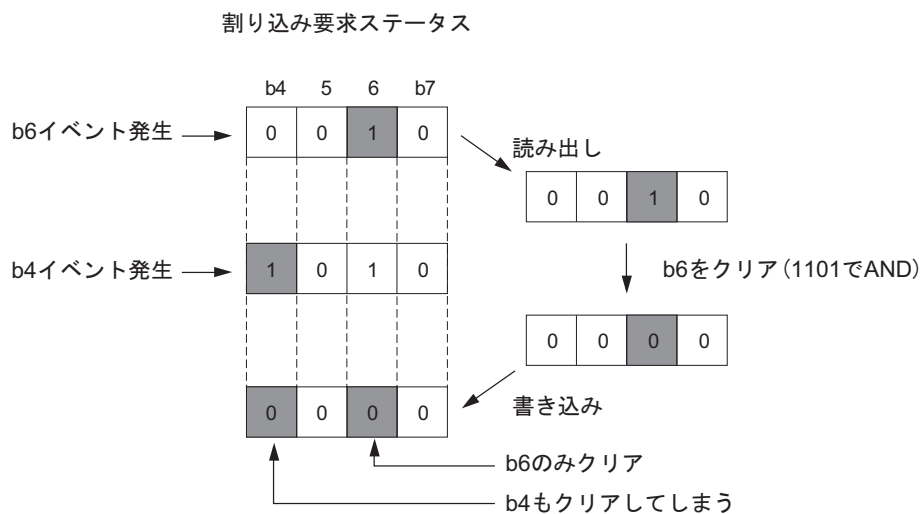


図14.2.2 割り込み要求ステータスクリア例

DIN割り込み要求ステータスレジスタ(DRIDINIST)

<アドレス: H'0080 2000 >

b0	1	2	3	4	5	6	b7
DIN0IS	DIN1IS	DIN2IS	DIN3IS	DIN4IS	DIN5IS		
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DIN0IS DIN0割り込み要求ステータスビット	0: 割り込み要求なし 1: 割り込み要求あり	R (注1)	
1	DIN1IS DIN1割り込み要求ステータスビット			
2	DIN2IS DIN2割り込み要求ステータスビット			
3	DIN3IS DIN3割り込み要求ステータスビット			
4	DIN4IS DIN4割り込み要求ステータスビット			
5	DIN5IS DIN5割り込み要求ステータスビット			
6, 7	何も配置されていません。"0"に固定してください。		0	0

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

DIN入力処理制御レジスタの設定に従ってDIN_nイベントを検出した場合に、そのDIN_nに対応したステータスビットがハードウェアによって"1"にセットされます。

注. ・割り込み要求によるステータスのセットと、ソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

DIN割り込み要求許可レジスタ(DRIDINIEN)

<アドレス: H'0080 2001 >

b8	9	10	11	12	13	14	b15
DIN0IEN	DIN1IEN	DIN2IEN	DIN3IEN	DIN4IEN	DIN5IEN		
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	DIN0IEN (DIN0割り込み要求許可ビット)	0: 割り込み要求マスク(禁止)	R	W
9	DIN1IEN (DIN1割り込み要求許可ビット)	1: 割り込み要求許可		
10	DIN2IEN (DIN2割り込み要求許可ビット)			
11	DIN3IEN (DIN3割り込み要求許可ビット)			
12	DIN4IEN (DIN4割り込み要求許可ビット)			
13	DIN5IEN (DIN5割り込み要求許可ビット)			
14, 15	何も配置されていません。"0"に固定してください。		0	0

DIN_nイベント検出による割り込み要求の許可/禁止を制御するレジスタです。

ビットに"1"をセットした場合、対応するDIN_nイベント検出による割り込み要求が許可されます。

DEC割り込み要求ステータスレジスタ(DRIDECIST)

<アドレス: H'0080 2002 >

b0	1	2	3	4	5	6	b7
DEC0IS	DEC1IS	DEC2IS	DEC3IS	DEC4IS			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DEC0IS (DEC0割り込み要求ステータスビット)	0: 割り込み要求なし	R (注1)	
1	DEC1IS (DEC1割り込み要求ステータスビット)	1: 割り込み要求あり		
2	DEC2IS (DEC2割り込み要求ステータスビット)			
3	DEC3IS (DEC3割り込み要求ステータスビット)			
4	DEC4IS (DEC4割り込み要求ステータスビット)			
5~7	何も配置されていません。"0"に固定してください。		0	0

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

DRIが内蔵している5本のイベントカウンタ(DEC0~DEC4)のアンダフローによって、対応する割り込みステータスがハードウェアによって"1"にセットされます。

注. ・割り込み要求によるステータスのセットと、ソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

DEC割り込み要求許可レジスタ(DRIDECIEN)

<アドレス: H'0080 2003 >

b8	9	10	11	12	13	14	b15
DEC0IEN	DEC1IEN	DEC2IEN	DEC3IEN	DEC4IEN			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	DEC0IEN (DEC0割り込み要求許可ビット)	0: 割り込み要求マスク(禁止)	R	W
9	DEC1IEN (DEC1割り込み要求許可ビット)	1: 割り込み要求許可		
10	DEC2IEN (DEC2割り込み要求許可ビット)			
11	DEC3IEN (DEC3割り込み要求許可ビット)			
12	DEC4IEN (DEC4割り込み要求許可ビット)			
13~15	何も配置されていません。"0"に固定してください。		0	0

イベントカウンタのアンダフローによる割り込み要求の許可/不許可を制御するレジスタです。

ビットに"1"をセットした場合、対応するイベントカウンタのアンダフローによる割り込み要求が許可されます。

DRI転送割り込み要求ステータスレジスタ(DRITRMIST)

<アドレス: H'0080 2004 >

b0	1	2	3	4	5	6	b7
ADR0IS	ADR1IS	OVREIS	DCPEIS	DTRFIS			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	ADR0IS DRIアドレスカウンタ0割り込み要求ステータスビット	0: 割り込み要求なし 1: 割り込み要求あり	R (注1)	
1	ADR1IS DRIアドレスカウンタ1割り込み要求ステータスビット			
2	OVREIS オーバランエラー割り込み要求ステータスビット			
3	DCPEIS 取り込み許可エラー割り込み要求ステータスビット			
4	DTRFIS DRI転送カウンタ割り込み要求ステータスビット			
5~7	何も配置されていません。"0"に固定してください。		0	0

注1. 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

(1) ADR0IS(DRIアドレスカウンタ0割り込み要求ステータス)ビット (b0)

取り込んだデータの転送先としてDRIアドレスカウンタ0(DRIADROCT)が有効な状態で、DRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000: カウント停止)した場合には、ハードウェアによって"1"にセットされます。

(2) ADR1IS(DRIアドレスカウンタ1割り込み要求ステータス)ビット (b1)

取り込んだデータの転送先としてDRIアドレスカウンタ1(DRIADR1CT)が有効な状態で、DRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000: カウント停止)した場合には、ハードウェアによって"1"にセットされます。

(3) OVREIS(オーバランエラー割り込み要求ステータス)ビット (b2)

DRIは他のバスマスタとのRAMアクセス競合による取り込みデータロス为了避免のため、32ビット×4段の中間バッファを内蔵していますが、その全てがフルの状態、データ取り込みイベントが検出された場合にこのビットがハードウェアによって"1"にセットされます。バッファフルの状態検出されたデータ取り込みイベントは無視されます。

(4) DCPEIS(取り込み許可エラー割り込み要求ステータス)ビット (b3)

DRI取り込みイベントカウンタ(DRIDCAPCT)、もしくはDRI転送カウンタ(DRITRMCT)のどちらかがアンダフロー(H'0000 0000: カウント停止)する前に、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"0"から"1"に変化、または外部イベントを検出した場合、このビットが"1"にセットされます。

[セット条件]

- DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDEXSL(取り込み許可外部要因選択)ビットで外部イベントによる取り込み許可を選択時
 - DCPEN(取り込み許可)ビットがデータ取り込み許可の状態、選択した外部イベントを検出した場合
 - DRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000: カウント停止)する前に、選択した外部イベントを検出した場合
- DRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000: カウント停止)する前に、ソフトウェアによってDCPEN(取り込み許可)ビットを"0"から"1"に変化させた場合

注. ・1の場合、取り込み許可イベントは無視されます。
 ・2の場合、DRI転送制御レジスタ(DRITRMCT)とDRIデータ取り込み制御レジスタ(DRIDCAPCNT)を"0"クリアし、DRI制御部を初期化する必要があります。

(5) DTRFIS(DRI転送カウンタ割り込み要求ステータス)ビット (b4)

DRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000 : カウント停止)となった時点でセットされます。

注 . . 割り込み要求によるステータスのセットと、ソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

DRI転送割り込み要求許可レジスタ(DRITRMEN)

<アドレス : H'0080 2005 >

b8	9	10	11	12	13	14	b15
ADR0IEN	ADR1IEN	OVREIEN	DCPEIEN	DTRFIEN	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	ADR0IEN DRIアドレスカウンタ0割り込み要求許可ビット	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可	R	W
9	ADR1IEN DRIアドレスカウンタ1割り込み要求許可ビット			
10	OVREIEN オーバランエラー割り込み要求許可ビット			
11	DCPEIEN 取り込み許可エラー割り込み要求許可ビット			
12	DTRFIEN DRI転送カウンタ割り込み要求許可ビット			
13~15	何も配置されていません。"0"に固定してください。		0	0

DRI転送関連の割り込み要求の許可/禁止を制御するレジスタです。

ビットに"1"をセットした場合、対応するビットによる割り込みが許可されます。

14.2.3 DRI転送制御レジスタ

DRI転送制御レジスタ(DRITRMCT)

<アドレス: H'0080 2006 >

b0	1	2	3	4	5	6	b7
DRST	DBST	ADST	ADMD	ADSL			ADEV
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DRST DRIリセットビット	0: DRIリセット 1: 動作許可	R	W
1	DBST DRIバッファステータスビット	0: DRI転送未完了のデータなし 1: DRI転送未完了のデータあり	R	-
2	ADST アドレスカウンタステータスビット	0: DRIアドレスカウンタ0がアクティブ 1: DRIアドレスカウンタ1がアクティブ	R	-
3	ADMD アドレスカウンタ動作モード選択ビット	0: 連続モード 1: リロードモード	R	W
4, 5	ADSL アドレスカウンタ選択ビット	00: DRIアドレスカウンタ0選択 01: DRIアドレスカウンタ1選択 10: DRIアドレスカウンタ0/1交互切り換え 11: 設定禁止	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	ADEV アドレスカウンタ切り換え選択ビット	0: DRI転送カウンタアンダフロー 1: DEC4アンダフロー	R	W

(1) DRST(DRIリセット)ビット (b0)

DRI制御部のソフトウェアリセットビットで、このビットが"0"の状態ではデータ取り込み、DRI転送は行われません。DRIを動作させる場合はこのビットを"1"にセットする必要があります。DRI動作中にこのビットを"0"クリアした場合、DRI取り込み制御部、DRI転送制御部が初期化され、DRI内部にDRI転送未完了のデータがあればその転送は全てキャンセルされるとともに、データ取り込みも行わなくなります。このビットの影響を受けるレジスタ、ビットは以下の通りです。

1) ADST(アドレスカウンタステータス)ビット

ADSL(アドレスカウンタ選択)ビットで、DRIアドレスカウンタ0/1交互切り換えを選択していた場合、DRSTビットを"0"にすることでDRIアドレスカウンタ0(DRIADR0CT)がアクティブになり、ADSTビットが"0"にクリアされます。

2) DRST(DRIバッファステータス)ビット

DRSTビットを"0"クリアすることで、"0"に初期化されます。

3) DRI転送カウンタ(DRITRMCT)

DRSTビットを"0"にすることで、DRI転送カウンタ(DRITRMCT)が"0"に初期化されます。

- 注 .
- ・DIN入力処理制御、DEC0~4の動作にはDRSTビットの操作は影響を与えません。
 - ・DRSTビットの値を変更してから有効になるまで4BCLK必要となります。その間、DRSTビットを再度変更することは禁止です。
 - ・DRSTビット操作後、ADSTビット、DBSTビットが初期化されるまでに1BCLK必要となります。
 - ・DRSTビットが"1"の状態、ADMD(アドレスカウンタ動作モード選択)ビット、ADSL(アドレスカウンタ選択)ビット、ADEV(アドレスカウンタ切り換え選択)ビットの各ビット値を変更することは禁止です。

(2) DBST(DRIバッファステータス)ビット (b1)

DRI内部のDRI転送完了していないデータの有無を示すビットです。

DRI内部には、DRI転送のデータロス为避免のため、32ビット×4段の中間バッファを内蔵しておりますが、この中間バッファにデータがある状態の時にDBSTビットが"1"を示し、データがない状態の時に"0"を示します。

また、DRSTビットを"0"クリアすると、DBSTビットも"0"クリアされます。

(3) ADST(アドレスカウンタステータス)ビット (b2)

DRI転送先のアドレス指定が、DRIアドレスカウンタ0で行われているのか、DRIアドレスカウンタ1で行われているのかを示すステータスビットです。

(4) ADMX(アドレスカウンタ動作モード選択)ビット (b3)

DRIアドレスカウンタ0(DRIADR0CT)およびDRIアドレスカウンタ1(DRIADR1CT)の動作モードを選択するビットです。どちらのDRIアドレスカウンタも同じ動作モードとなります。

• 連続モード選択時

DRI転送許可後、DRI転送完了ごとにアクティブなDRIアドレスカウンタに対して+4インクリメントを行います。連続モードではDRIアドレスリロードレジスタ値は使用されません。

• リロードモード選択時

DRI転送許可後、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"取り込み禁止"から"取り込み許可"へ変化した場合に、DRIアドレスカウンタに対応したDRIアドレスリロードレジスタから値をリロードし、以後DRI転送完了ごとに、アクティブなDRIアドレスカウンタに対して+4インクリメントを行います。

注 . ・ 外部から入力されるデータのバス幅を8ビット選択時は4回のデータ取り込みイベント発生ごと、16ビット選択時は2回のデータ取り込みイベント発生ごと、32ビット選択時は1回のデータ取り込みイベント発生ごとにDRI転送が実行されます。

(5) ADSL(アドレスカウンタ選択)ビット (b4, 5)

DRIは転送先である内蔵RAMのアドレスを指定するためのアドレスカウンタを2本内蔵しており、どのアドレスカウンタを使用するかを選択することができます。

1) DRIアドレスカウンタ0選択

DRIアドレスカウンタ0(DRIADR0CT)で指定された内蔵RAM上にデータを転送します。

2) DRIアドレスカウンタ1選択

DRIアドレスカウンタ1(DRIADR1CT)で指定された内蔵RAM上にデータを転送します。

3) DRIアドレスカウンタ0/1交互切り換え

ADEV(アドレスカウンタ切り換え選択)ビットによって選択されたイベントにより、DRIアドレスカウンタがハードウェア的に切り換わります。マイコンのリセット解除後は、DRIアドレスカウンタ0(DRIADR0CT)がアクティブになっています。また、DRST(DRIリセット)ビットを"0"へクリアすると、有効なDRIアドレスカウンタがDRIアドレスカウンタ0(DRIADR0CT)へ初期化されます。

(6) ADEV(アドレスカウンタ切り換え選択)ビット (b7)

ADSL(アドレスカウンタ選択)ビットの設定が"DRIアドレスカウンタ0/1交互"を選択時のみ有効なビットで、取り込みデータの転送先である内蔵RAM上のアドレスを指定するDRIアドレスカウンタ0(DRIADR0CT)とDRIアドレスカウンタ1(DRIADR1CT)を切り換えるイベントを選択します。

注 . ・ アドレスカウンタ切り換えイベントとしてDEC4アンダフローを選択した場合、DEC4のカウントイベントとして、DIN4イベント検出/取り込みイベントを選択することは禁止です。

14.2.4 DRI特殊モード制御レジスタ

特殊モードを選択することによって、より高度なデータ取り込みが可能となります。ただし、特殊モードで使用時の入力データバス幅は、8ビットもしくは16ビットのいずれかとなります。また、同期信号は、DIN3のみ選択できます。

また、DRIのイベント検出部、およびデータ取り込み部には図14.2.5に示すように、外部比で転送レートを半分にした信号が渡されます。

DRI特殊モードレジスタ(DRISPMOD)

<アドレス : H'0080 2007 >

b8	9	10	11	12	13	14	b15
SPSSL		SPISL	SPMEN				
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	SPSSL DIN3サンプリングエッジ選択ビット	0 : 立ち上がり 1 : 立ち下がり	R	W
9	何も配置されていません。"0"に固定してください。		0	0
10	SPISL 特殊モード制御部初期化DIN1レベル選択ビット	0 : "L"レベル 1 : "H"レベル	R	W
11	SPMEN 特殊モード許可ビット	0 : 特殊モードOFF 1 : 特殊モードON	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

(1) SPSSL(DIN3サンプリングエッジ選択)ビット (b8)

図14.2.3に示す転送方式であれば立ち下がりエッジを、図14.2.4に示す方式であれば立ち上がりエッジをサンプリングエッジとして選択します。このビットの変更は、DRI転送制御レジスタ(DRITRMCNT)のDRST(DRIリセット)ビットが"0"の状態で行ってください。なお特殊モードでのデータ同期信号はDIN3固定となっており、変更することはできません。また、特殊モードでは入力処理制御レジスタ(DINCNT)のDIN3ED(DIN3イベント検出制御)ビットで制御される信号は、DIN3端子からの入力信号ではなく、図14.2.5で示す"イベント検出部への出力信号"となります。

(2) SPISL(特殊モード制御部初期化DIN1レベル選択)ビット (b10)

DIN1から入力される信号で特殊モード制御回路部を初期化することができます。このビットではDIN1がどのレベルにあるときに初期化を行うかを選択します。DIN1が初期化レベルになると、"イベント検出部への出力信号"および"データ取り込み部への出力信号"は全て"L"レベルとなり、データのサンプリング動作は行われません。逆にDIN1が初期化レベルにないときは、データのサンプリング動作を行い、図14.2.5に示す信号がイベント検出部/データ取り込み部へ渡されます。なお、DIN1による特殊モード制御回路部の初期化機能は、DIN入力処理制御レジスタ(DINCNT)のDIN1EDビットの設定の影響を受けません。また、本ビットの変更はDRI転送制御レジスタ(DRITRMCNT)のDRST(DRIリセット)ビットが"0"の状態で行ってください。

注 . . DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"1"の状態
で、DIN1が初期化レベルへ変化した場合、以下の現象が発生する可能性があります。

- 1) DRIが誤ったデータを取り込んでしまう。
- 2) リセット状態に変化する前の8つのデータに関する取り込みが行われぬ。

(3)SPMEN(特殊モード許可)ビット (b11)

特殊モードで動作させるか否かを選択します。特殊モードでの動作を選択した場合以下の制限事項があります。

A) DRIデータ取り込み制御レジスタ(DRIDCAPCNT)

1) DWDSL(入力データバス幅選択)ビット

特殊モードで扱えるデータ幅は8ビットもしくは16ビットとなっています。扱うデータ幅に応じてDWDSLビットを次に示す設定にしてください。

- ・入力データが8ビットの場合 : DWDSLビットを16ビットに設定
- ・入力データが16ビットの場合 : DWDSLビットを32ビットに設定

2) DCPSL(取り込みイベント選択)ビット

DIN3を選択してください。

3) DTMSL(取り込みタイミング選択)ビット

"デフォルト"を選択してください。

B) DIN入力処理制御レジスタ(DINCNT)

1) DIN3ED(DIN3イベント検出制御)ビット

立ち下がり検出を設定してください。

注 . . このレジスタの設定は必ずDRI転送制御レジスタ(DRITRMCNT)のDRST(DRIリセット)ビットが"0"(禁止)の状態で行ってください。

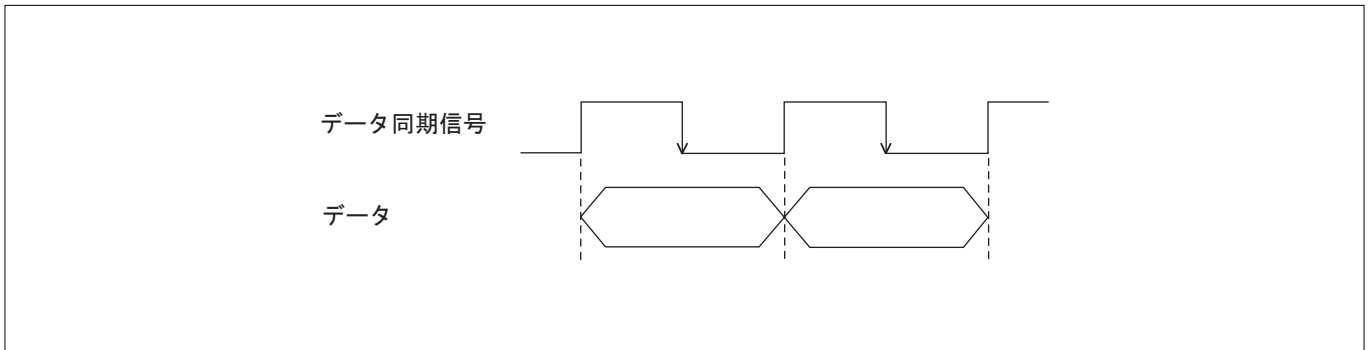


図14.2.3 データ転送方式1

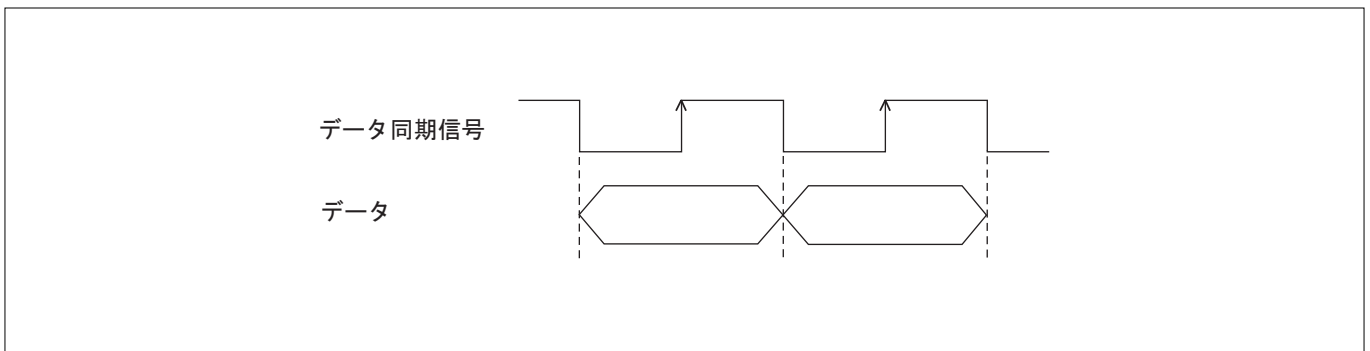


図14.2.4 データ転送方式2

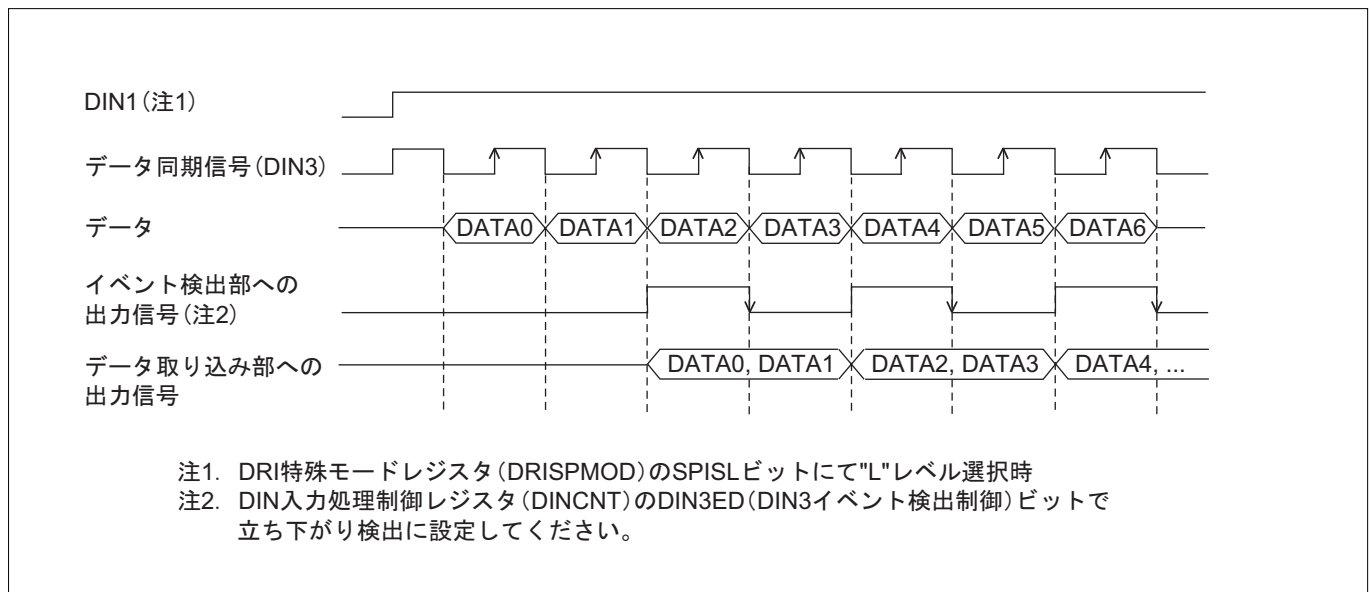


図14.2.5 特殊モードON時のタイミングチャート(DIN3サンプリングエッジ：立ち上がりの場合)

14.2.5 DRIデータ取り込み制御レジスタ

DRIデータ取り込み制御レジスタ(DRIDCAPCNT)

<アドレス : H'0080 2008 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DCPEN	DEXSL			DDSSL		DWDSL		DCPSL		DDSL	DWRPR	DTMSL			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	DCPEN 取り込み許可ビット	0 : データ取り込み禁止 1 : データ取り込み許可	R	W
1 ~ 3	DEXSL 取り込み許可外部要因選択ビット	0XX : 外部要因非選択 100 : DIN0イベント検出 101 : DIN1イベント検出 110 : DIN2イベント検出 111 : DEC0アンダフロー	R	W
4, 5	DDSSL 取り込み外部制御禁止要因選択ビット	00 : 禁止要因非選択 01 : DRI取り込みイベントカウンタアンダフロー 10 : DEC3アンダフロー 11 : DEC4アンダフロー	R	W
6, 7	DWDSL 入力データバス幅選択ビット	00 : 8ビット 01 : 16ビット 10 : 32ビット 11 : 設定禁止	R	W
8, 9	DCPSL 取り込みイベント選択ビット	00 : DIN2イベント検出 01 : DIN3イベント検出 10 : DIN4イベント検出 11 : DIN5イベント検出	R	W
10	DDSL DD入力上位16ビット端子選択ビット	0 : 端子グループA選択 1 : 端子グループB選択	R	W
11	DWRPR 取り込み制御WRプロテクトビット	0 : WR許可 1 : WR禁止	0	W
12 ~ 15	DTMSL 取り込みタイミング選択ビット	0000 : デフォルト 0001 : 1BCLK後 0010 : 2BCLK後 0011 : 3BCLK後 0100 : 4BCLK後 0101 : 5BCLK後 0110 : 6BCLK後 0111 : 7BCLK後 1000 : 8BCLK後 1001 : 9BCLK後 1010 : 10BCLK後 1011 : 11BCLK後 1100 : 12BCLK後 1101 : 13BCLK後 1110 : 14BCLK後 1111 : 15BCLK後	R	W

注 . . このレジスタは必ずハーフワード境界からハーフワード(16ビット)単位でアクセスしてください。

このレジスタでは、外部クロック信号に同期して入力されるデータの取り込みに関わる設定を行います。本レジスタの設定は、DRI転送制御レジスタ(DRITRMCNT)のDRST(DRIリセット)ビットを"1"に設定した後に行ってください。また、DRSTビットを"0"クリアした場合は、本レジスタも"0"クリアしてください。

(1) DCPEN(取り込み許可)ビット (b0)

このビットが"1"の時、データ取り込みが許可されます。

[セット条件]

- ・ソフトウェアで"1"を書き込む
- ・DEXSL(取り込み許可外部要因選択)ビットで選択したイベントが検出された場合

[クリア条件]

- ・ソフトウェアで"0"を書き込む
- ・DRI取り込みイベントカウンタ(DRIDCAPCT)でアンダフロー(H'0000 0000: カウント停止)が発生した場合

注・DEXSL(取り込み許可外部要因選択)ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。

- ・ソフトウェアで"1"をセットする場合は、必ずDRI転送カウンタ(DRITRMCT)を読み出し、アンダフロー(H'0000 0000: カウント停止)状態であることを確認してから行ってください。

(2) DEXSL(取り込み許可外部要因選択)ビット (b1~3)

このビットでDCPEN(取り込み許可)ビットをデータ取り込み許可にする外部要因を選択します。ここで選択したイベントが検出された場合に取り込み許可ビットが"1"にセットされます。非選択時は外部要因による許可ビットのセットは行われません。また、DDSSL(取り込み外部制御禁止要因選択)ビットの設定により、ハードウェアによって"0"クリアすることもできます。

(3) DDSSL(取り込み外部制御禁止要因選択)ビット (b4, 5)

このビットで取り込み許可外部要因選択ビットを"0"クリアするイベントを選択します。

(4) DWDSL(入力データバス幅選択)ビット (b6, 7)

外部から入力されるデータのバス幅を選択します。8ビット選択時は4回ごとのデータ取り込みイベント発生後、16ビット選択時は2回ごとのデータ取り込みイベント発生後、32ビット選択時は1回ごとのデータ取り込みイベント発生後にDRI転送が実行されます。表14.2.1に各データバス幅選択時にデータとして取り込まれるビットを示します。

注・特殊モード選択時は、入力データバス幅選択ビットの設定に制限があります。詳細については、DRI特殊モード制御レジスタ(DRISPMOD)を参照してください。

(5) DCPSL(取り込みイベント選択)ビット (b8, 9)

データを取り込むイベントを選択します。DRI転送制御レジスタ(DRITRMCNT)のDRST(DRIリセット)ビットが"動作許可"、DCPEN(取り込み許可)ビットが"データ取り込み許可"の状態、かつ、間引き制御を使用している場合は取り込みイベント検出条件を満たしている場合に、選択したイベントが検出されるとデータ取り込みが行われます。

なお、DCPEN(取り込み許可)ビットのセットと同時にデータ取り込みイベントが検出された場合、データ取り込みは行われません。

注・特殊モード選択時は、必ずDIN3イベント検出を選択してください。

(6) DDSL(DD入力上位16ビット端子選択)ビット (b10)

DRIへのデータ入力であるDD_n(n=0~31)のうち、上位16ビット(DD0~DD15)については端子を2つのグループから選択することができます。このビットではどちらの端子グループ(端子グループA、B)を使用するかを選択します。なお、DD16~DD31の端子は固定となります。表14.2.2にそれぞれの端子グループを示します。端子グループAを選択した場合は、DD入力端子選択レジスタ(DDSEL)でDD0~DD3について、どの端子を使用するかを選択する必要があります。

注・ポート動作モードの設定は別途必要になります。

(7)DWRPR(取り込み制御WRプロテクト)ビット (b11)

本レジスタへの書き込み時、このビットの値によりDCPEN(取り込み許可)ビット、およびDEXSL(取り込み許可外部要因選択)ビットの書き込み許可/禁止を制御することができます。書き込み時、このビットの値が"0"であれば書き込みが許可されます。このビットが"1"であれば、書き込みは無視されます。

(8)DTMSL(データ取り込みタイミング選択)ビット (b12~15)

データ取り込みイベント検出からデータを取り込むまでの時間を選択します。DRIはイベント検出をBCLK立ち下がりごとに行っており、デフォルト選択時はイベントを検出した時点のBCLK立ち下がりエッジでデータを取り込みます。そこを起点として1BCLK~15BCLK後まで選択可能です。図14.2.6にデータ取り込みのタイミングチャートを示します。

注・特殊モード選択時は、必ずデフォルトを選択してください。

表14.2.1 取り込みデータ位置

	DD0~7	DD8~15	DD16~23	DD24~31
8ビット選択時	取り込みデータ		Don't care	
16ビット選択時	取り込みデータ		Don't care	
32ビット選択時	取り込みデータ			

注・特殊モードで動作させる場合は、実際のデータバス幅と入力データバス幅選択ビット設定値との関係が変わります。詳細は、DRI特殊モード制御レジスタ(DRISPMOD)を参照してください。

・"DD0"がMSB、"DD31"がLSBになります。

表14.2.2 端子グループ表

機能	端子グループA		端子グループB
	DD03SEL = "0"	DD03SEL = "1"	
DD0	P127/TCLK3/CS3#/DD0	P107/TO15/RXD4/DD0	P00/DB0/TO21/DD0
DD1	P126/TCLK2/CS2#/DD1	P106/TO14/TXD4/DD1	P01/DB1/TO22/DD1
DD2	P125/TCLK1/A10/DD2	P105/TO13/SCLKI4/SCLKO4/DD2	P02/DB2/TO23/DD2
DD3	P124/TCLK0/A9/DD3	P104/TO12/TIN25/DD3	P03/DB3/TO24/DD3
DD4	P117/TO7/TO36/DD4		P04/DB4/TO25/DD4
DD5	P116/TO6/TO35/DD5		P05/DB5/TO26/DD5
DD6	P115/TO5/TO34/DD6		P06/DB6/TO27/DD6
DD7	P114/TO4/TO33/DD7		P07/DB7/TO28/DD7
DD8	P113/TO3/TO32/DD8		P10/DB8/TO29/DD8
DD9	P112/TO2/TO31/DD9		P11/DB9/TO30/DD9
DD10	P111/TO1/TO30/DD10		P12/DB10/TO31/DD10
DD11	P110/TO0/TO29/DD11		P13/DB11/TO32/DD11
DD12	P97/TO20/DD12		P14/DB12/TO33/DD12
DD13	P96/TO19/DD13		P15/DB13/TO34/DD13
DD14	P95/TO18/RXD5/DD14		P16/DB14/TO35/DD14
DD15	P94/TO17/TXD5/DD15		P17/DB15/TO36/DD15

注・端子グループA、Bのどちらの端子グループを使用するかは、DRIDCAPCNTレジスタのDDSLビットにて選択します。
 ・端子グループAを選択した場合、DD0~DD3の端子をどちらの端子で使用するかは、DDSELレジスタのDD03SELビットにて選択します。

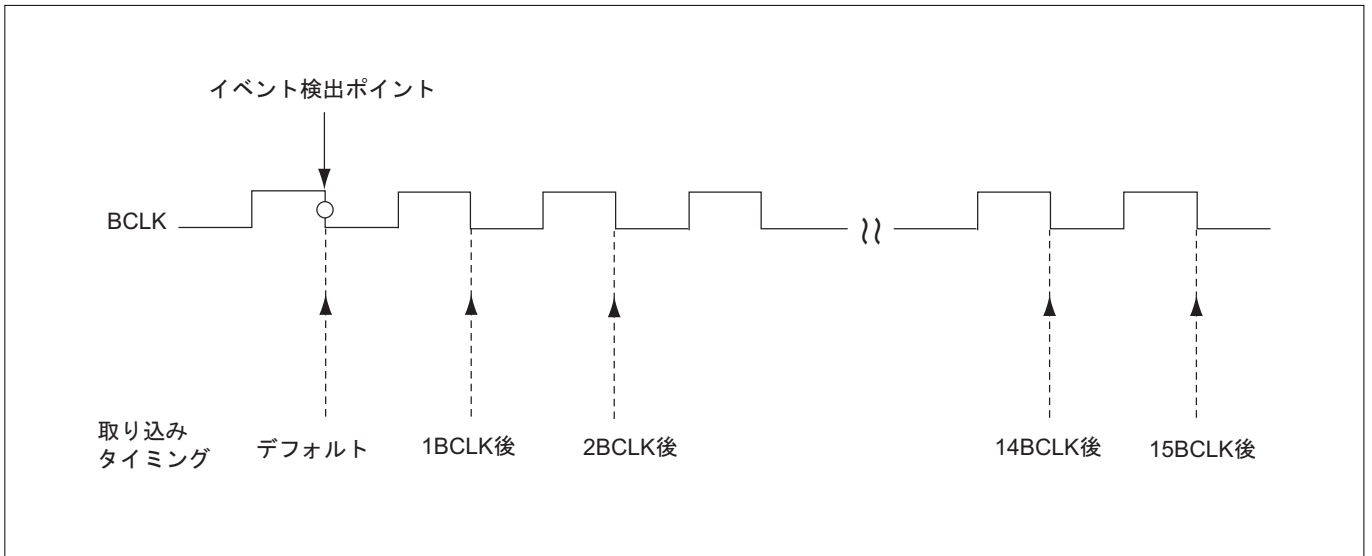


図14.2.6 データ取り込みタイミング

14.2.6 DRIデータ間引き制御レジスタ

DRIデータ間引き制御レジスタ(DRIDSELCNT)

<アドレス: H'0080 200A >

b0	1	2	3	4	5	6	b7
DSD0	DSD1	DSD2	DSD3	DSD4			
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DSD0 DEC0データ間引き制御ビット	0: 間引きなし 1: DEC0CTによる間引きあり	R	W
1	DSD1 DEC1データ間引き制御ビット	0: 間引きなし 1: DEC1CTによる間引きあり	R	W
2	DSD2 DEC2データ間引き制御ビット	0: 間引きなし 1: DEC2CTによる間引きあり	R	W
3	DSD3 DEC3データ間引き制御ビット	0: 間引きなし 1: DEC3CTによる間引きあり	R	W
4	DSD4 DEC4データ間引き制御ビット	0: 間引きなし 1: DEC4CTによる間引きあり	R	W
5~7	何も配置されていません。"0"に固定してください。		0	0

DRIは内蔵している5本のイベントカウンタを使用して、ハードウェア的にデータを間引いて取り込むことができます。本レジスタでは間引き制御に関する設定を行います。

DECnデータ間引き制御ビット(n = 0 ~ 4)を"0"に設定した場合、対応するDECnカウンタによるデータ間引き制御は行われません。

DECnデータ間引き制御ビットを"1"に設定した場合、対応するDECnカウンタがアンダフロー状態(カウンタ値 = H'FFFF)以外では、データ取り込みは行われません。

複数のイベントカウンタによる間引き制御を有効にした場合、間引き制御ビットが"1"にセットされたDECnカウンタ全てがアンダフロー状態にある間に入力されたデータ取り込みイベントのみ、データ取り込みは行われます。

注: ・カウンタをアンダフロー状態にした次のイベントから取り込みイベントとして有効になります。

14.2.7 DIN入力イベント選択レジスタ

DIN入力イベント選択レジスタ(DINSEL)

<アドレス: H'0080 200B >

b8	9	10	11	12	13	14	b15
						DIN5SL	
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8~13	何も配置されていません。"0"に固定してください。		0	0
14, 15	DIN5SL DIN5入力イベント選択ビット	00: F/F19(TIO8) 01: F/F8(TOP8) 10: F/F28(TOU0_7) 11: F/F36(TOU1_7)	R	W

DIN5SLビットで選択したフリップフロップの値がDIN5入力処理回路への入力信号として入力されます。

14.2.8 DD入力許可レジスタ

DD入力許可レジスタα(DRIDDEN0)

<アドレス: H'0080 200C >

b0	1	2	3	4	5	6	b7
DD0EN	DD1EN	DD2EN	DD3EN	DD4EN	DD5EN	DD6EN	DD7EN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DD0EN(DD0入力許可ビット)	0: 入力禁止	R	W
1	DD1EN(DD1入力許可ビット)	1: 入力許可		
2	DD2EN(DD2入力許可ビット)			
3	DD3EN(DD3入力許可ビット)			
4	DD4EN(DD4入力許可ビット)			
5	DD5EN(DD5入力許可ビット)			
6	DD6EN(DD6入力許可ビット)			
7	DD7EN(DD7入力許可ビット)			

DD入力許可レジスタ1(DRIDDEN1)

<アドレス: H'0080 200D >

b8	9	10	11	12	13	14	b15
DD8EN	DD9EN	DD10EN	DD11EN	DD12EN	DD13EN	DD14EN	DD15EN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	DD8EN(DD8入力許可ビット)	0: 入力禁止	R	W
9	DD9EN(DD9入力許可ビット)	1: 入力許可		
10	DD10EN(DD10入力許可ビット)			
11	DD11EN(DD11入力許可ビット)			
12	DD12EN(DD12入力許可ビット)			
13	DD13EN(DD13入力許可ビット)			
14	DD14EN(DD14入力許可ビット)			
15	DD15EN(DD15入力許可ビット)			

DD入力許可レジスタ2(DRIDDEN2)

<アドレス: H'0080 200E >

b0	1	2	3	4	5	6	b7
DD16EN	DD17EN	DD18EN	DD19EN	DD20EN	DD21EN	DD22EN	DD23EN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DD16EN(DD16入力許可ビット)	0: 入力禁止	R	W
1	DD17EN(DD17入力許可ビット)	1: 入力許可		
2	DD18EN(DD18入力許可ビット)			
3	DD19EN(DD19入力許可ビット)			
4	DD20EN(DD20入力許可ビット)			
5	DD21EN(DD21入力許可ビット)			
6	DD22EN(DD22入力許可ビット)			
7	DD23EN(DD23入力許可ビット)			

DD入力許可レジスタ3(DRIDDEN3)

<アドレス: H'0080 200F >

b8	9	10	11	12	13	14	b15
DD24EN	DD25EN	DD26EN	DD27EN	DD28EN	DD29EN	DD30EN	DD31EN
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	DD24EN(DD24入力許可ビット)	0: 入力禁止	R	W
9	DD25EN(DD25入力許可ビット)	1: 入力許可		
10	DD26EN(DD26入力許可ビット)			
11	DD27EN(DD27入力許可ビット)			
12	DD28EN(DD28入力許可ビット)			
13	DD29EN(DD29入力許可ビット)			
14	DD30EN(DD30入力許可ビット)			
15	DD31EN(DD31入力許可ビット)			

DD入力許可レジスタ n ($n=0\sim 3$)は、DRIへのデータ入力の禁止/許可を制御するレジスタです。

DD n 入力許可ビットを0に設定した場合、対応する端子の入力レベルに関わらずDRIへの入力は"0"固定となります。DD n 入力許可ビットを1に設定した場合、対応する端子の入力レベルに応じてDRIへのデータ入力が行われます。

図14.2.7に回路イメージを示します。

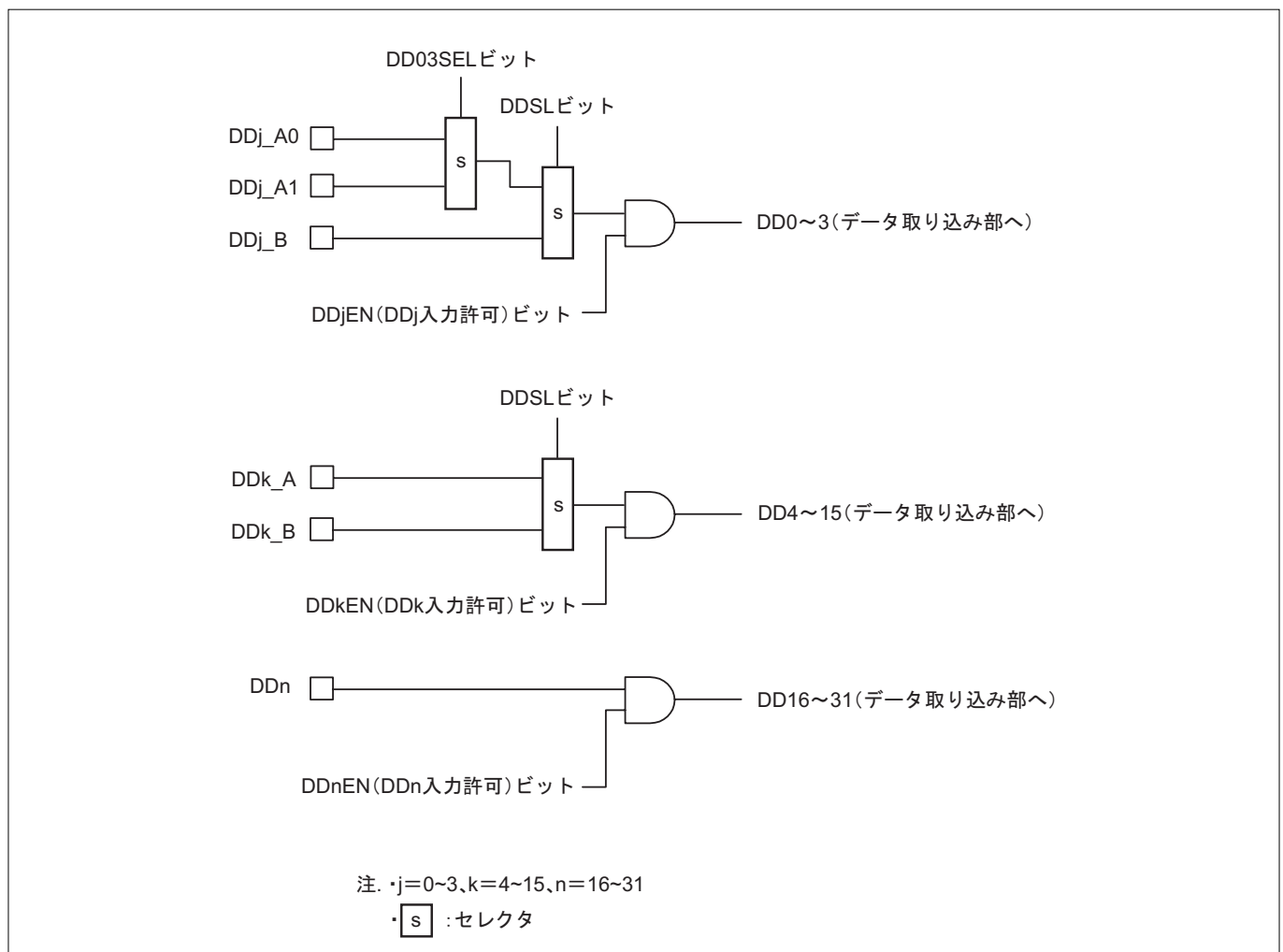
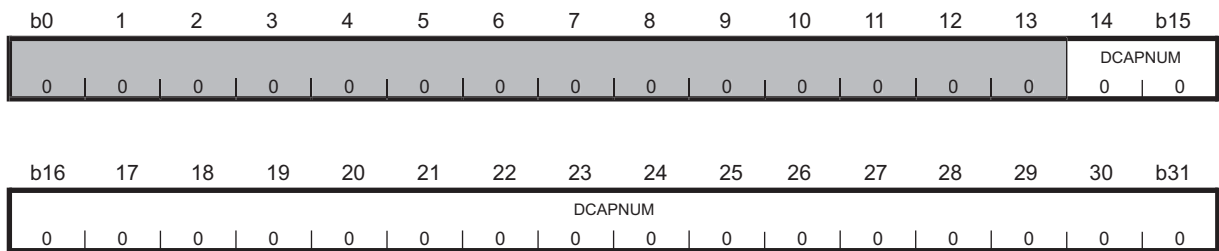


図14.2.7 DD入力ブロック図

14.2.9 DRIデータ取り込みイベント数設定レジスタ

DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)

<アドレス : H'0080 2010 >



<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0~13		何も配置されていません。"0"に固定してください。	0	0
14~31	DCAPNUM 転送イベント数		R	W

注 . . このレジスタは必ず偶数のアドレスから始まるハーフワード以上でアクセスしてください。

このレジスタには、データ取り込みを行うイベント数を設定します。

また、ここに設定した値は、DRI取り込みイベントカウンタ(DRIDCAPCT)、およびDRI転送カウンタ(DRITRMCT)のリロード値として使用されます。DRIが32ビット単位でDRI転送を行うことから、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDWDSL(入力データバス幅選択)ビットの設定に応じて、本レジスタへの設定値は以下を満たす値を設定ください。

- ・ 8ビット選択時 : 4の倍数(4以上)
- ・ 16ビット選択時 : 2の倍数(2以上)
- ・ 32ビット選択時 : 任意(1以上)

また、総取り込みデータ容量がDRIのサポートしているRAM領域を越えないようにご注意ください。

注 . . このレジスタの書き換えは、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"0"の状態で行ってください。

14.2.10 DRI取り込みイベントカウンタ

DRI取り込みイベントカウンタ(DRIDCAPCT)

<アドレス : H'0080 2014 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
														DCAPCT	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
														DCAPCT	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0~13		何も配置されていません。"0"に固定してください。	0	0
14~31	DCAPCT 取り込みイベントカウンタ		R	-

注 . . このレジスタは必ずワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

DRI取り込みイベントカウンタは、データ取り込みイベントをカウントする18ビットカウンタです。DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットがデータ取り込み禁止から許可に変化すると、DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)の値がリロードされます。その後、データ取り込みが行われるたびに"1"デクリメントされます。

その後、DRI取り込みイベントカウンタがH'0000 0000となった時点でカウント動作が停止します。

14.2.11 DRI転送カウンタ

DRI転送カウンタ(DRITRMCT)

<アドレス : H'0080 2018 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
														DRICT	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
														DRICT	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0~13	何も配置されていません。"0"に固定してください。		0	0
14~31	DRICT DRI転送カウンタ		R	-

注 . . このレジスタは必ずDRI転送カウンタ(上位)のアドレスから始まるワード(32ビット)でアクセスしてください。

DRI転送カウンタは、DRI転送データ取り込みをカウントする18ビットカウンタです。DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットがデータ取り込み禁止から許可に変化すると、DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)の設定値とDRIDCAPCNTレジスタのDWDSL(入力データバス幅選択)ビットの設定値とによって、以下に示す値がカウンタ値としてリロードされます。

- ・ 8ビット選択時 : DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)値 ÷ 4
- ・ 16ビット選択時 : DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)値 ÷ 2
- ・ 32ビット選択時 : DRIデータ取り込みイベント数設定レジスタ(DRIDCAPNUM)値

外部から入力されるデータのバス幅を8ビット選択時は4回のデータ取り込みイベント発生ごと、16ビット選択時は2回のデータ取り込みイベント発生ごと、32ビット選択時は1回のデータ取り込みイベント発生ごとにDRI転送が実行されます。DRI転送が完了するたびに"1"デクリメントされ、カウンタがアンダフロー(H'0000 0000)となった時点でカウント動作が停止し、DRI転送カウンタ割り込み要求が発生します。DRI転送カウンタのアンダフローは、H'0000 0000(カウント停止)となった時点を示します。

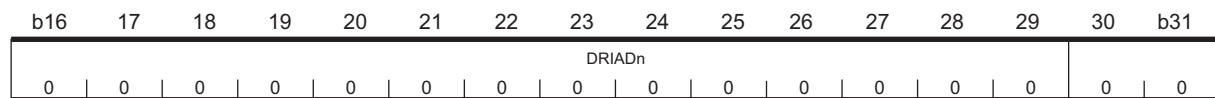
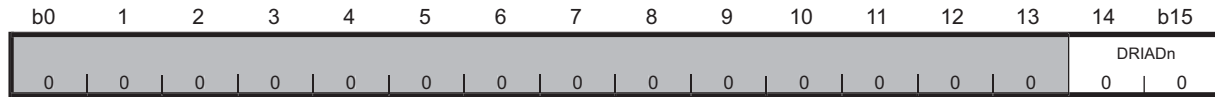
14.2.12 DRIアドレスカウンタ

DRIアドレスカウンタ0(DRIADR0CT)

<アドレス : H'0080 2024 >

DRIアドレスカウンタ1(DRIADR1CT)

<アドレス : H'0080 202C >



<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0 ~ 13		何も配置されていません。"0"に固定してください。	0	0
14 ~ 29	DRIADn	ディステーションアドレスのA14-A29	R	W
30, 31		ディステーションアドレスのA30、31("0"に固定してください。)	0	0

注 . . このレジスタは必ずワード境界(下位アドレス B'00)からワード(32ビット)単位でアクセスしてください。

DRIアドレスカウンタ0/1は、DRI転送先である内蔵RAM上のアドレスのA14 ~ 29を指定するためのカウンタで、A30 ~ 31は"0"固定となっています。DRI転送が完了するたびに"4"インクリメントされます。DRIアドレスカウンタには2つの動作モードがあり、モード選択することができます。詳細については、DRI転送制御レジスタ(DRITRMCNT)を参照してください。

- 注 . . DRIアドレスカウンタ値が内蔵RAMの配置されている領域以外の値であった場合、DRIはあたかもDRI転送が完了したかのように動作しますが、取り込みデータの書き込みはどこにも行われません。
- ・DRI転送が完了したとき"4"インクリメントされるDRIアドレスカウンタは、DRI転送制御レジスタ(DRITRMCNT)のADSL(アドレスカウンタ選択)ビットの設定により、その時アクティブなものに対して行われます。
 - ・このレジスタの書き換えは、必ずDRI転送カウンタ(DRITRMCT)がアンダフロー(H'0000 0000 : カウント停止)した状態で行ってください。

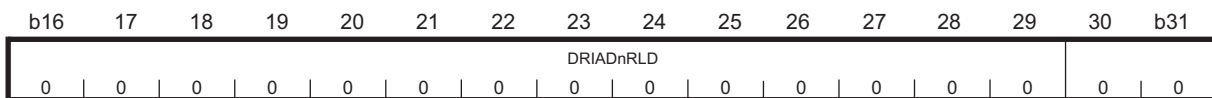
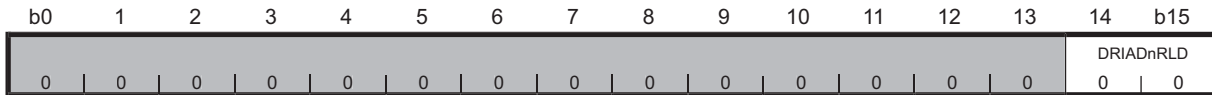
14.2.13 DRIアドレスリロードレジスタ

DRIアドレスリロードレジスタ0(DRIADR0RLD)

<アドレス : H'0080 2020 >

DRIアドレスリロードレジスタ1(DRIADR1RLD)

<アドレス : H'0080 2028 >



<リセット解除時 : H'0000 0000 >

b	ビット名	機能	R	W
0 ~ 13		何も配置されていません。"0"に固定してください。	0	0
14 ~ 29	DRIADnRLD A14-A29リロード値		R	W
30, 31		A30、A31リロード値("0"に固定してください。)	0	0

注 . . このレジスタは必ず偶数のアドレスから始まるハーフワード以上でアクセスしてください。

DRIアドレスカウンタ0/1のリロード値を格納するレジスタです。DRI転送制御レジスタ(DRITRMCNT)のADMD(アドレスカウンタ動作モード選択)ビットでリロードモードを選択した場合、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"0"から"1"へ変化したときに、ここに設定した値が対応するDRIアドレスカウンタにリロードされます。

注 . . このレジスタの書き換えは、DRIデータ取り込み制御レジスタ(DRIDCAPCNT)のDCPEN(取り込み許可)ビットが"0"の状態で行ってください。

14.2.14 DIN入力処理制御レジスタ

DIN入力処理制御レジスタ(DINCNT)

<アドレス : H'0080 2030 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DIN0ED		DIN1ED		DIN2ED		DIN3ED		DIN4ED		DIN5ED					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット解除時 : H'0000 >

b	ビット名	機能	R	W
0, 1	DIN0ED DIN0イベント検出制御ビット	00 : 入力無効 01 : 立ち上がり検出	R	W
2, 3	DIN1ED DIN1イベント検出制御ビット	10 : 立ち下がり検出 11 : 両エッジ検出		
4, 5	DIN2ED DIN2イベント検出制御ビット			
6, 7	DIN3ED DIN3イベント検出制御ビット			
8, 9	DIN4ED DIN4イベント検出制御ビット			
10, 11	DIN5ED DIN5イベント検出制御ビット			
12 ~ 15	何も配置されていません。"0"に固定してください。		0	0

注 . . このレジスタは必ずハーフワード境界からハーフワード(16ビット)単位でアクセスしてください。

DRI外部から入力される信号のイベント検出方法を選択します。イベント検出は立ち上がり/立ち下がり/両エッジから選択可能です。入力無効を選択した場合は、イベント検出を行いません。各DINnイベント検出回路とDRI外部から入力される信号の対応関係を表14.2.3に示します。

注 . . DIN3イベント検出回路はDRI特殊モードON/OFFにより入力されるイベント信号が異なります。

表14.2.3 イベント検出-端子対応表

	特殊モードOFF	特殊モードON
DIN0イベント検出回路	P130/TIN16/PWMOFF0/DIN0	
DIN1イベント検出回路	P131/TIN17/PWMOFF1/DIN1	
DIN2イベント検出回路	P132/TIN18/DIN2	
DIN3イベント検出回路	P133/TIN19/DIN3	DIN3 2分周出力
DIN4イベント検出回路	P134/TIN20/TXD3/DIN4	
DIN5イベント検出回路	DIN入力イベント選択レジスタにより選択	

14.2.15 DRIイベントカウンタ(DEC)制御レジスタ

DEC0制御レジスタ(DEC0CNT)

<アドレス : H'0080 2032 >

b0	1	2	3	4	5	6	b7
DEC0EN	DEC0EXT			DEC0CS		0	DEC0MOD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	DEC0EN DEC0カウント許可ビット	0 : カウント禁止 1 : カウント許可	R	W
1~3	DEC0EXT DEC0カウント許可要因選択ビット	0XX : 外部要因禁止 100 : DIN0イベント検出 101 : DIN1イベント検出 110 : DIN2イベント検出 111 : 取り込み許可	R	W
4~5	DEC0CS DEC0カウントイベント選択ビット	00 : DIN0イベント検出 01 : DIN1イベント検出 10 : DIN2イベント検出 11 : DRI取り込みイベントカウンタアンダフロー	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DEC0MOD DEC0動作モード選択ビット	0 : ワンショットモード 1 : 連続動作モード	R	W

DEC1制御レジスタ(DEC1CNT)

<アドレス : H'0080 2038 >

b0	1	2	3	4	5	6	b7
DEC1EN	DEC1EXT			DEC1CS		0	DEC1MOD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	DEC1EN DEC1カウント許可ビット	0 : カウント禁止 1 : カウント許可	R	W
1~3	DEC1EXT DEC1カウント許可要因選択ビット	0XX : 外部要因禁止 100 : DIN0イベント検出 101 : DIN1イベント検出 110 : DEC0アンダフロー 111 : 取り込み許可	R	W
4~5	DEC1CS DEC1カウントイベント選択ビット	00 : DIN1イベント検出 01 : DIN2イベント検出 10 : DIN3イベント検出 11 : DEC0アンダフロー	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DEC1MOD DEC1動作モード選択ビット	0 : ワンショットモード 1 : 連続動作モード	R	W

DEC2制御レジスタ(DEC2CNT)

<アドレス : H'0080 203E >

b0	1	2	3	4	5	6	b7
DEC2EN	DEC2EXT			DEC2CS		0	DEC2MOD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	DEC2EN DEC2カウント許可ビット	0 : カウント禁止 1 : カウント許可	R	W
1 ~ 3	DEC2EXT DEC2カウント許可要因選択ビット	0XX : 外部要因禁止 100 : DIN0イベント検出 101 : DIN1イベント検出 110 : DIN2イベント検出 111 : 取り込み許可	R	W
4, 5	DEC2CS DEC2カウントイベント選択ビット	00 : DIN1イベント検出 01 : DIN2イベント検出 10 : DIN3イベント検出 11 : 取り込みイベント	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DEC2MOD DEC2動作モード選択ビット	0 : ワンショットモード 1 : 連続動作モード	R	W

DEC3制御レジスタ(DEC3CNT)

<アドレス : H'0080 2044 >

b0	1	2	3	4	5	6	b7
DEC3EN	DEC3EXT			DEC3CS		0	DEC3MOD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	DEC3EN DEC3カウント許可ビット	0 : カウント禁止 1 : カウント許可	R	W
1 ~ 3	DEC3EXT DEC3カウント許可要因選択ビット	0XX : 外部要因禁止 100 : DIN0イベント検出 101 : DIN1イベント検出 110 : DEC2アンダフロー 111 : 取り込み許可	R	W
4, 5	DEC3CS DEC3カウントイベント選択ビット	00 : DIN2イベント検出 01 : DIN3イベント検出 10 : DIN4イベント検出 11 : DIN5イベント検出	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DEC3MOD DEC3動作モード選択ビット	0 : ワンショットモード 1 : 連続動作モード	R	W

DEC4制御レジスタ(DEC4CNT)

<アドレス: H'0080 204A >

b0	1	2	3	4	5	6	b7
DEC4EN	DEC4EXT			DEC4CS			DEC4MOD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0	DEC4EN DEC4カウント許可ビット	0: カウント禁止 1: カウント許可	R	W
1~3	DEC4EXT DEC4カウント許可要因選択ビット	0XX: 外部要因禁止 100: DIN0イベント検出 101: DIN1イベント検出 110: DEC3アンダフロー 111: 取り込み許可	R	W
4, 5	DEC4CS DEC4カウントイベント選択ビット	00: DIN4イベント検出 01: 取り込みイベント 10: DRI転送一回完了 11: DRI転送カウンタアンダフロー	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DEC4MOD DEC4動作モード選択ビット	0: ワンショットモード 1: 連続動作モード	R	W

DRIが内蔵しているイベントカウンタDECnを制御するためのレジスタです。

(1) DECnEN(DECnカウント許可)ビット (b0)

DECnのカウント動作許可/禁止を制御するビットです。外部イベントによって"1"にセットすることが可能です。また、動作モードでワンショットモード選択時は、DECnカウンタアンダフローによってハードウェア的に"0"へのクリアが行われます。

["1"へのセット条件]

- ・ソフトウェアによる"1"書き込み
- ・DECnEXT(DECnカウント許可要因選択)ビットで選択したイベントが発生

["0"へのクリア条件]

- ・ソフトウェアによる"0"書き込み
- ・ワンショットモード選択時、DECnカウンタがアンダフローした場合

注 . . DECnEXT(DECnカウント許可要因選択)ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。

(2) DECnEXT(DECnカウント許可要因選択)ビット (b1~b3)

DECnカウンタ(DECnCT)を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DECnEN(DECnカウント許可)ビットが"1"にセットされます。

(3) DECnCS(DECnカウントイベント選択)ビット (b4, b5)

DECnカウンタ(DECnCT)のカウントソースとなるイベントを選択します。DECnEN(DECnカウント許可)ビットが"1"の状態を選択した要因からイベントが検出された場合、DECnカウンタ(DECnCT)の値が1デクリメントされます。

(4) DECnMOD(DECn動作モード選択)ビット (b7)

DECnカウンタ(DECnCT)の動作モードを選択します。

・ワンショットモード

DECnEN(DECnカウント許可)ビットが禁止から許可に変化すると、DECnリロードレジスタ(DECnRLD)の内容をDECnカウンタ(DECnCT)にロードします。以降、DECnCS(DECnカウントイベント選択)ビットで選択したイベントが発生するたびにダウンカウントします。"DECnリロードレジスタ設定値(DECnRLD)+1"だけイベントをカウントするとアンダフロー状態(カウンタ値=H'FFFF)でカウント動作を停止し、DECnEN(DECnカウント許可)ビットを"0"クリアします。

- 注・
- ・カウント許可時にカウンタへリロードしたリロード値を読み出すことはできません。読み出した場合、リロード前のカウンタ値が読み出されます。
 - ・外部イベントによるカウント許可とカウントソースが同時に発生した場合、外部イベントによるカウント許可ビットの"1"へのセットは行われますが、カウント動作は行われません。
 - ・アンダフローによるカウンタ停止と外部イベントによるカウント許可が同時に発生した場合、アンダフローによるカウンタ停止が優先されます。
 - ・外部イベントによるカウント許可とカウント許可ビットへのカウント禁止書き込みが同時に発生した場合、カウント禁止が優先されます。

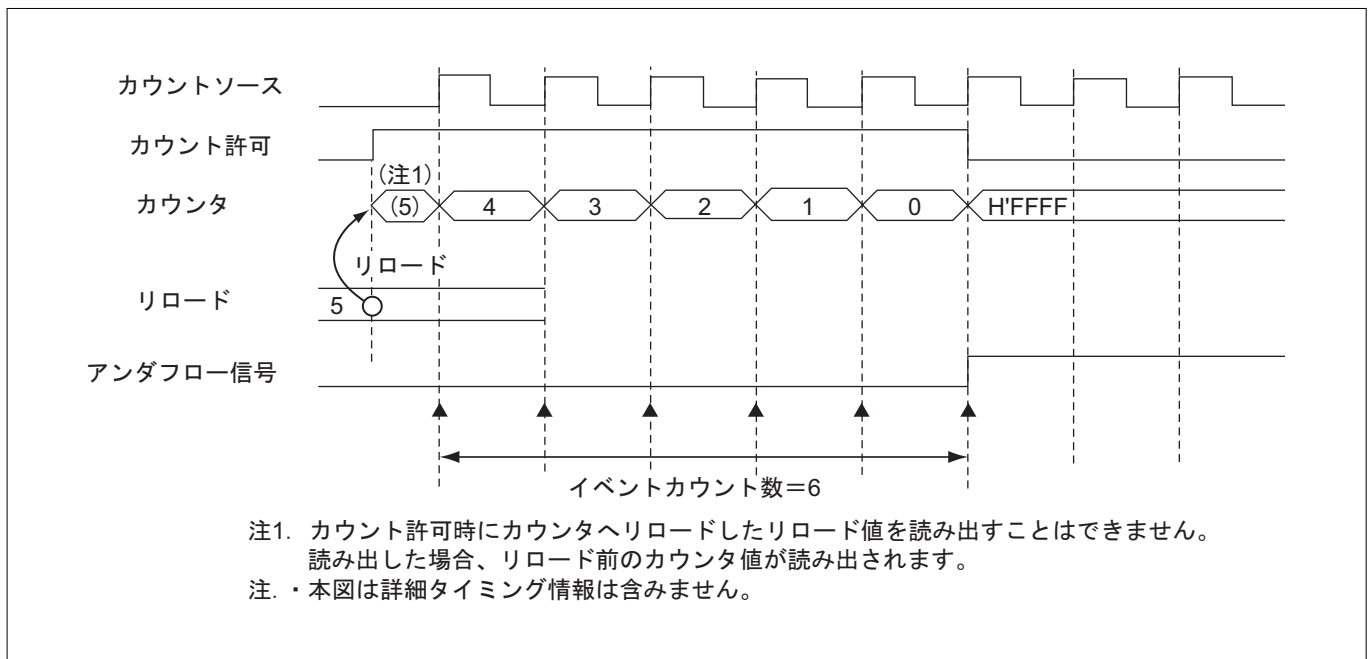


図14.2.8 DECワンショットモードのカウント例

・連続動作モード

DECnEN(DECnカウント許可)ビットが許可になると、DECnCS(DECnカウントイベント選択)ビットで選択したイベントが発生するたびにDECnカウンタ(DECnCT)設定値からダウンカウントを行い、DECnカウンタアンダフロー(カウンタ値 = H'FFFF)でDECnリロードレジスタ(DECnRLD)の値をリロードします。以後、DECnカウンタ(DECnCT)のアンダフローごとにこの動作を繰り返します。

- 注・リロード発生時、カウンタへリロードしたリロード値を読み出すことはできません。読み出した場合、H'FFFF(アンダフロー値)が読み出されます。
- 外部イベントによるカウント許可とカウントソースが同時に発生した場合、外部イベントによるカウント許可ビットの"1"へのセットは行われますが、カウント動作は行われません。
 - 外部イベントによるカウント許可とDECnEN(カウント許可)ビットへのカウント禁止書き込みが同時に発生した場合、カウント禁止が優先されます。
 - リロードとカウンタへの書き込みが同時に発生した場合、カウンタへの書き込みが優先されます。このとき、DECnカウンタアンダフローによる割り込みは発生しません。
 - カウントソースとカウンタへの書き込みが同時に発生した場合、カウンタへの書き込みが優先されます。このとき、カウントソースは無視されます。

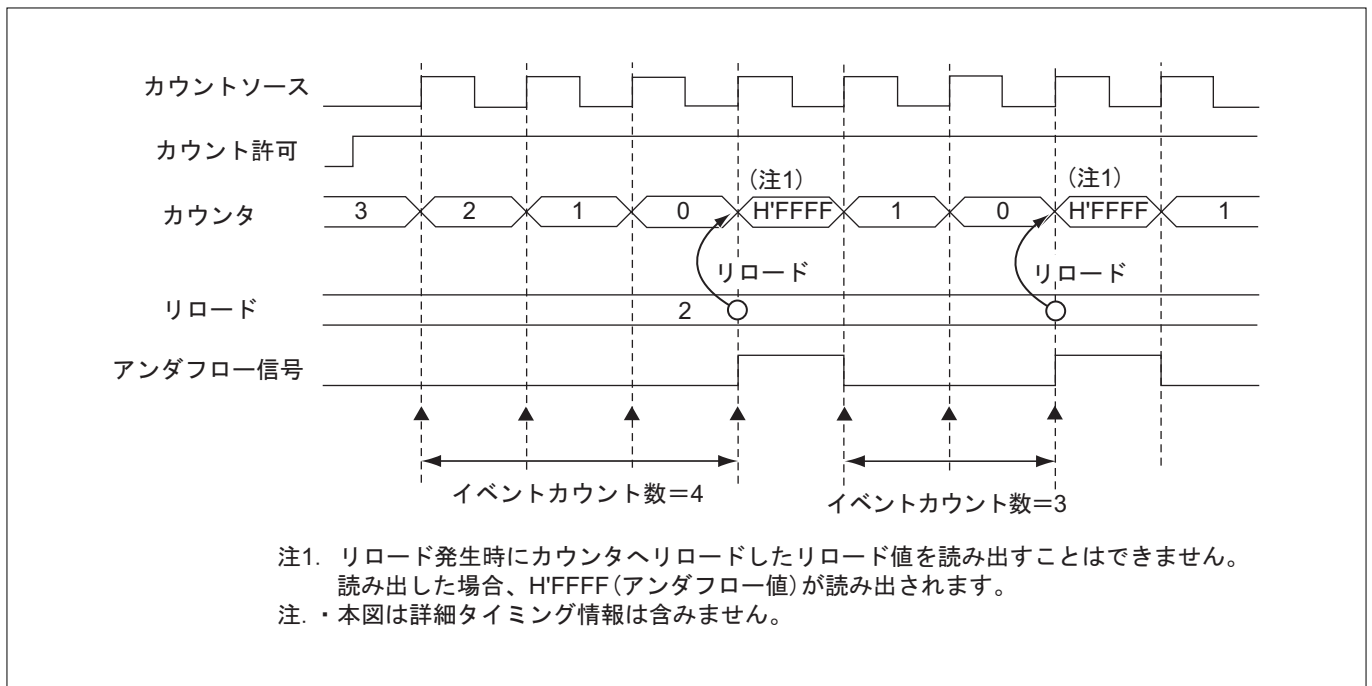
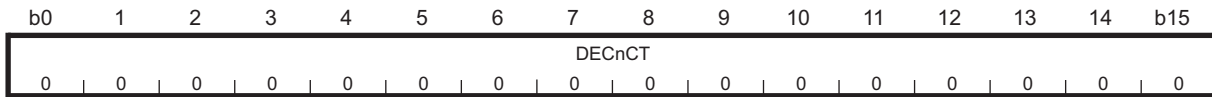


図14.2.9 DEC連続動作モードのカウント例

14.2.16 DRIイベントカウンタ(DECカウンタ)

DEC0カウンタ(DEC0CT)	<アドレス: H'0080 2036 >
DEC1カウンタ(DEC1CT)	<アドレス: H'0080 203C >
DEC2カウンタ(DEC2CT)	<アドレス: H'0080 2042 >
DEC3カウンタ(DEC3CT)	<アドレス: H'0080 2048 >
DEC4カウンタ(DEC4CT)	<アドレス: H'0080 204E >



<リセット解除時: H'0000 >

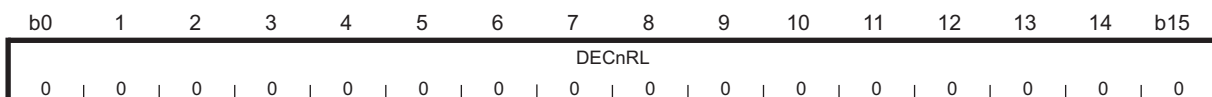
b	ビット名	機能	R	W
0 ~ 15	DECnCT DECnカウンタ		R	W

注. . このレジスタは必ずハーフワード境界からハーフワード(16ビット)単位でアクセスしてください。

DECnカウンタは16ビットのダウンカウンタで、カウント許可後イベント検出に同期してカウント動作を行います。DECnカウンタをワンショットモードで使用する場合、カウント許可の状態ではDECnカウンタへ書き込みを行わないでください。

14.2.17 DRIイベントカウンタ(DEC)リロードレジスタ

DEC0リロードレジスタ(DEC0RLD)	<アドレス: H'0080 2034 >
DEC1リロードレジスタ(DEC1RLD)	<アドレス: H'0080 203A >
DEC2リロードレジスタ(DEC2RLD)	<アドレス: H'0080 2040 >
DEC3リロードレジスタ(DEC3RLD)	<アドレス: H'0080 2046 >
DEC4リロードレジスタ(DEC4RLD)	<アドレス: H'0080 204C >



<リセット解除時: H'0000 >

b	ビット名	機能	R	W
0 ~ 15	DECnRL DECnリロード値		R	W

注. . このレジスタは必ずハーフワード境界からハーフワード(16ビット)単位でアクセスしてください。

DECnリロードレジスタは、DECnカウンタヘデータをロードするためのレジスタです。リロードレジスタの内容がカウンタにリロードされるのは、以下の場合です。

- ・ワンショットモードで、カウント禁止から許可に変化した場合
- ・連続動作モードでDECnカウンタがアンダフローしたとき

14.3 DRIの注意事項

DRIの注意事項を以下に示します。

- ・ DRI、RTDから内蔵RAMへのデータ書き込みは、M32R-FPUとは別に用意された専用バスを使用するため、通常、他のバスマスタ(CPU、DMA、NBD、SDI)からのアクセスとの競合は発生しません。ただし、内蔵RAMの16Kbyte単位の領域に対して、DRI、RTD転送と他のバスマスタからのアクセス(読み出し/書き込み)が同時または、重なった場合は、アクセス競合が発生します。アクセス競合が発生した場合、次の優先順位に従って調停が行われます。

NBD/SDI > DMA > CPU > DRI > RTD

レイアウトの都合上、このページは白紙です。

第15章

リアルタイムデバッガ(RTD)

- 15.1 リアルタイムデバッガ(RTD)概要
- 15.2 RTD端子機能
- 15.3 RTD関連レジスタ
- 15.4 RTD動作説明
- 15.5 ホストとの接続例

15.1 リアルタイムデバッグ(RTD)概要

リアルタイムデバッグ(Real Time Debugger)は、内蔵RAM全領域を、マイコン外部からコマンドを使用し、リード/ライトするためのシリアルインタフェースです。RTDと内蔵RAM間のデータ転送はM32R-FPUと別に内蔵した専用バスを通じて行うため、M32R-FPUの動作を停止させることなく制御することができます。

表15.1.1 リアルタイムデバッグ(RTD)の概要

項目	内容
転送方式	クロック同期形シリアルインタフェース
転送クロックの発生	外部ホスト側が発生
RAMアクセス領域	内蔵RAM全領域(A14 ~ A29による制御)
送受信データ長	32ビット(固定)
ビット転送順序	LSBファースト
最大転送速度	2Mビット/秒
入出力端子	4本(RTDTXD, RTDRXD, RTDACK, RTDCLK)
コマンド数	以下の5機能 <ul style="list-style-type: none"> ● 継続モニタ ● リアルタイムRAM内容出力 ● RAM内容強制書き換え(ベリファイ付き) ● 暴走状態からの復帰 ● RTD割り込み要求

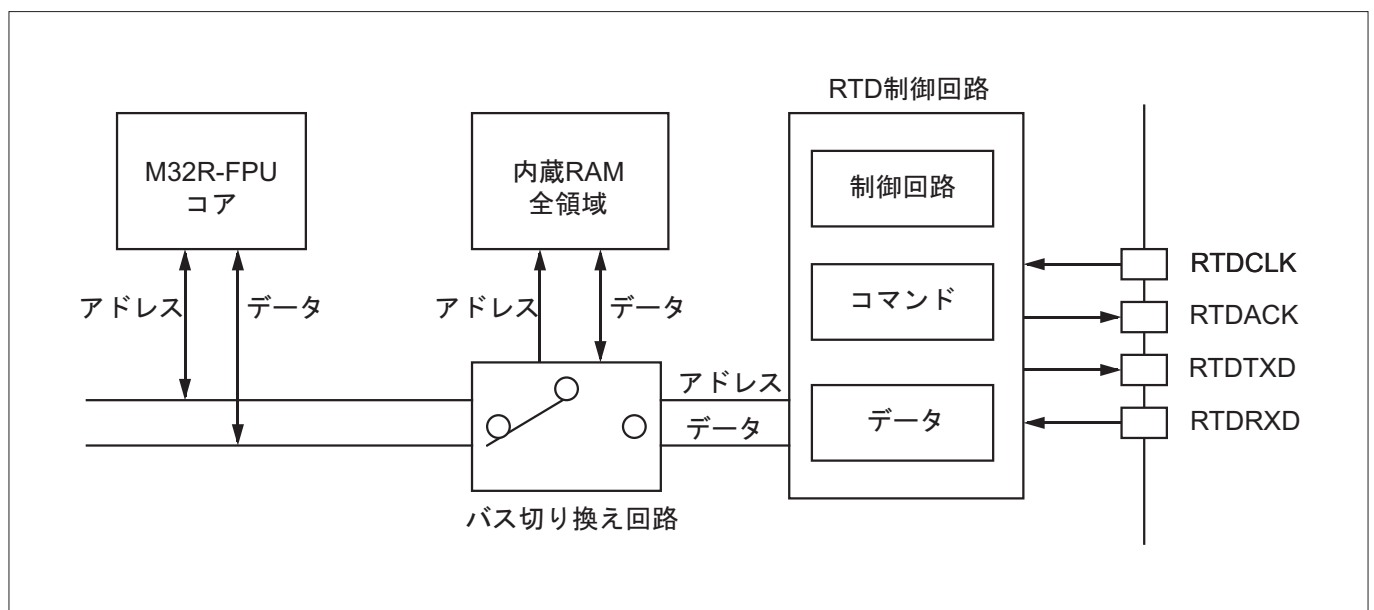


図15.1.1 リアルタイムデバッグ(RTD)ブロック図

15.2 RTD端子機能

RTDの端子機能を以下に示します。

表15.2.1 RTD端子機能

端子名	入出力	機能
RTDTXD	出力	RTDシリアルデータ出力
RTDRXD	入力	RTDシリアルデータ入力
RTDACK	出力	出力データワードの先頭クロックに同期した、"L"パルスを出力します。 出力される"L"パルスの幅は、RTDが受信した命令/データの種類を示します。 1クロック : VER(継続モニタ)コマンド 1クロック : VE(RTD割り込み要求)コマンド 2クロック : RDR(リアルタイムRAM内容出力)コマンド 3クロック : WRR(RAM内容強制書き換え)コマンド、またはそのデータ 4クロック以上 : RCV(暴走状態からの復帰)コマンド
RTDCLK	入力	RTD転送クロック入力

15.3 RTD関連レジスタ

以下にRTD関連のレジスタマップを示します。

RTD関連レジスタマップ

番地	+ 0番地	+ 1番地	掲載ページ
H'0080 077A	b0 (使用禁止領域)	b7 b8 RTD書き込み機能禁止レジスタ (WRRDIS)	b15 15-3

15.3.1 RTD書き込み機能禁止レジスタ

RTD書き込み機能禁止レジスタ(WRRDIS)

< アドレス : H'0080 077B >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	RTDWRDIS 0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 14	何も配置されていません。"0"に固定してください。		0	0
15	RTDWRDIS	0 : RTDのRAM書き込み機能許可	R	W
	RTD RAM書き込み機能禁止ビット	1 : RTDのRAM書き込み機能禁止		

RTDがRAMへの書き込み機能の許可/禁止を選択するレジスタです。

RTDWRDISビットに"1"をセットすると、RTDのRAMへの書き込み機能が禁止となり、RTDがRAMへの書き込みコマンドを受け取ってもそのコマンドは無視され、RAMへの書き込みは実行されません。

注 . ・ RTD使用中に設定を変更しないでください。

15.4 RTD動作説明

15.4.1 RTD動作概要

RTDの動作は、チップ外部から入力されたコマンドで指定されます。コマンドは、RTD受信データのb16～b19(注1)により指定します。

表15.4.1 RTDコマンド

RTD受信データ				コマンド	RTD機能
b19	b18	b17	b16	ニーモニック	
0	0	0	0	VER(VERify)	継続モニタ
0	1	0	0		
0	1	0	1		
0	1	1	0	VEI(VERify Interrupt request)	RTD割り込み要求
0	0	1	0	RDR(ReaD RAM)	リアルタイムRAM内容出力
0	0	1	1	WRR(WRite RAM)	RAM内容強制書き換え(ベリファイ付き)
1	1	1	1	RCV(ReCoVer)	暴走状態からの復帰(注2、注3)
0	0	0	1	システム予約(使用禁止)	

(注1)

注1. RTD受信データのb19は、実際にはコマンドレジスタには格納されず、RCVコマンド以外は、Don't Careとなります(b16～b18がコマンド指定として有効です)。

注2. RCVコマンドは必ず2回連続して送信してください。

注3. RCVコマンドの場合は、b16～b19以外のビット(b0～b15, b20～b31)もすべて"1"にしてください。

15.4.2 RDR(リアルタイムRAM内容出力)動作

RDR(リアルタイムRAM内容出力)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を外部に転送できます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMのデータを読み出すため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界(下位アドレス B'00)のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また内蔵RAMからは、32ビット単位で読み出したデータが転送されます。

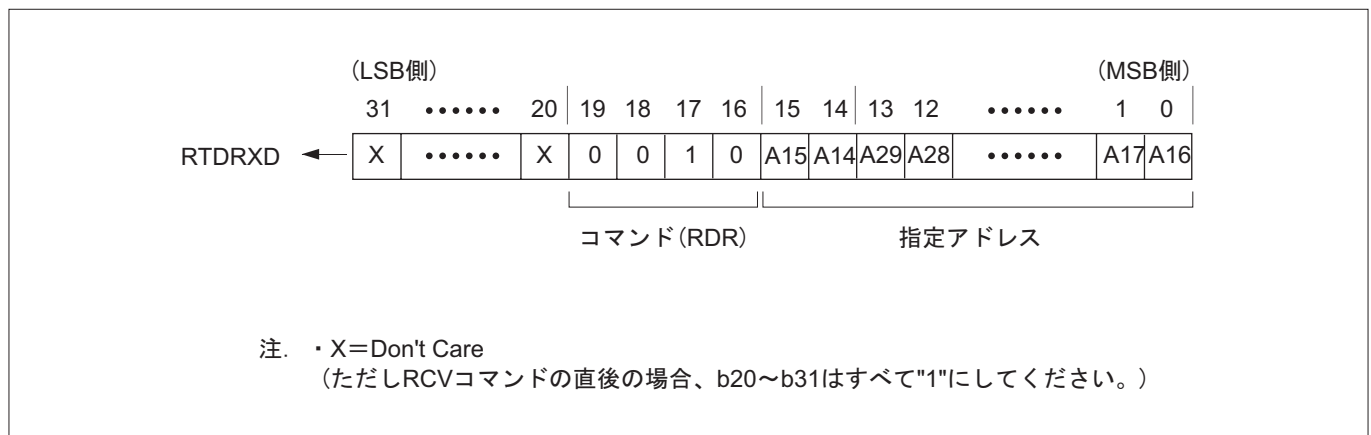


図15.4.1 RDRコマンドデータフォーマット

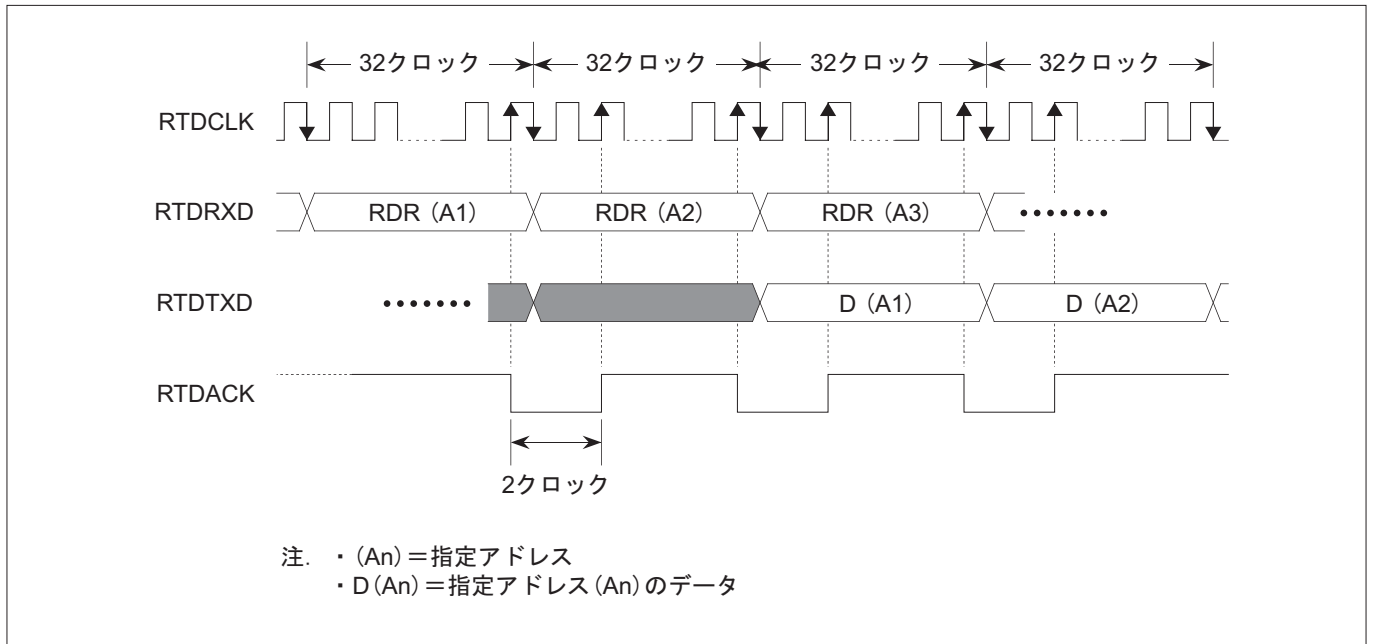


図15.4.2 RDRコマンド動作

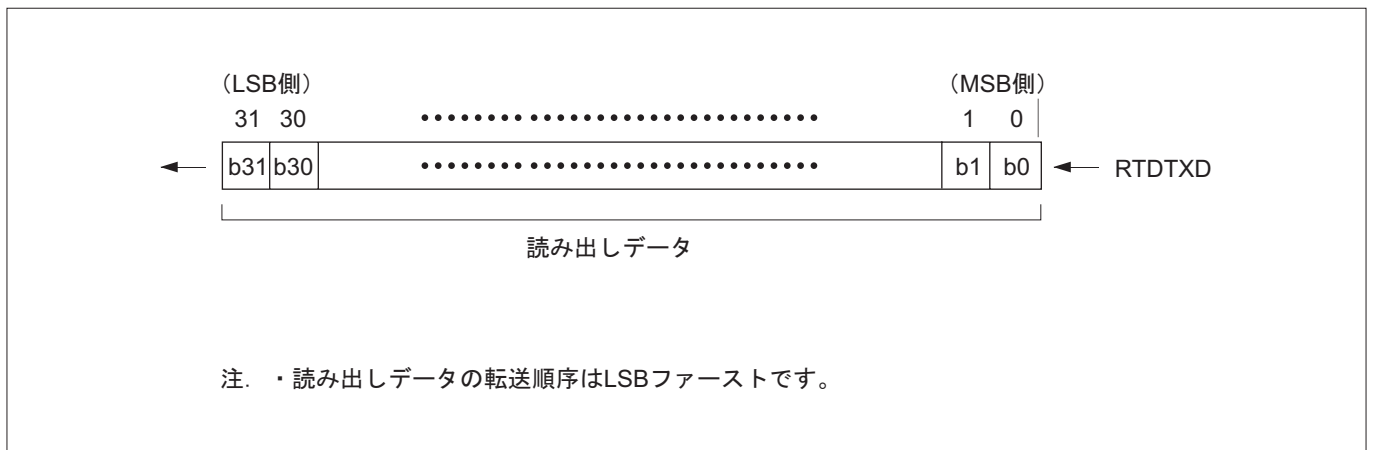


図15.4.3 読み出しデータ転送フォーマット

15.4.3 WRR(RAM内容強制書き換え)動作

WRR(RAM内容強制書き換え)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を強制的に書き換えます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMへデータを書き込むため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界(下位アドレス B'00)のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また、内蔵RAMへのデータ書き込みは、32ビット単位で行われます。

外部ホストからは、第1フレームでコマンドとアドレスを送信し、第2フレームで書き込みデータを送信します。RTDから内蔵RAMへの書き込みは、書き込みデータ受信後の第3フレームで行われます。

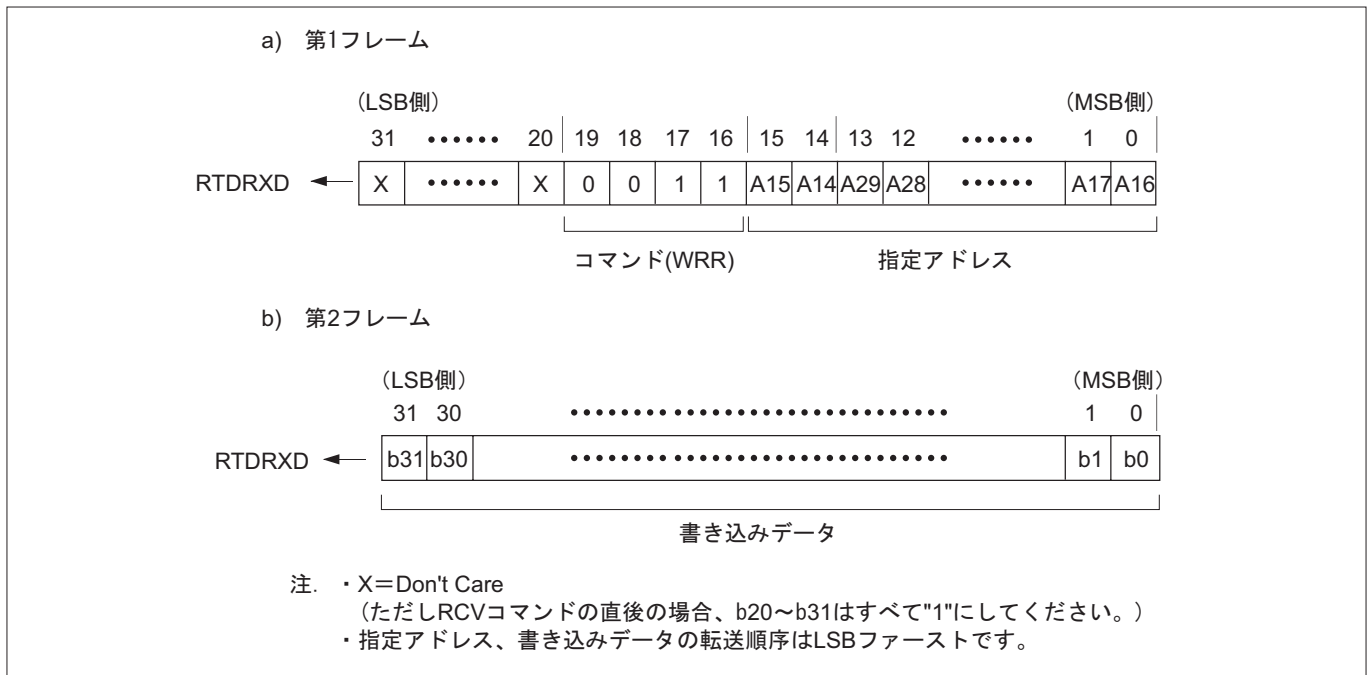


図15.4.4 WRRコマンドデータフォーマット

RTDは指定アドレスのデータを書き込みの前に読み出すとともに、書き込み直後に再度、同一アドレスのデータを読み出します(これによりベリファイができます)。読み出されたデータは以下のタイミングで出力されます。

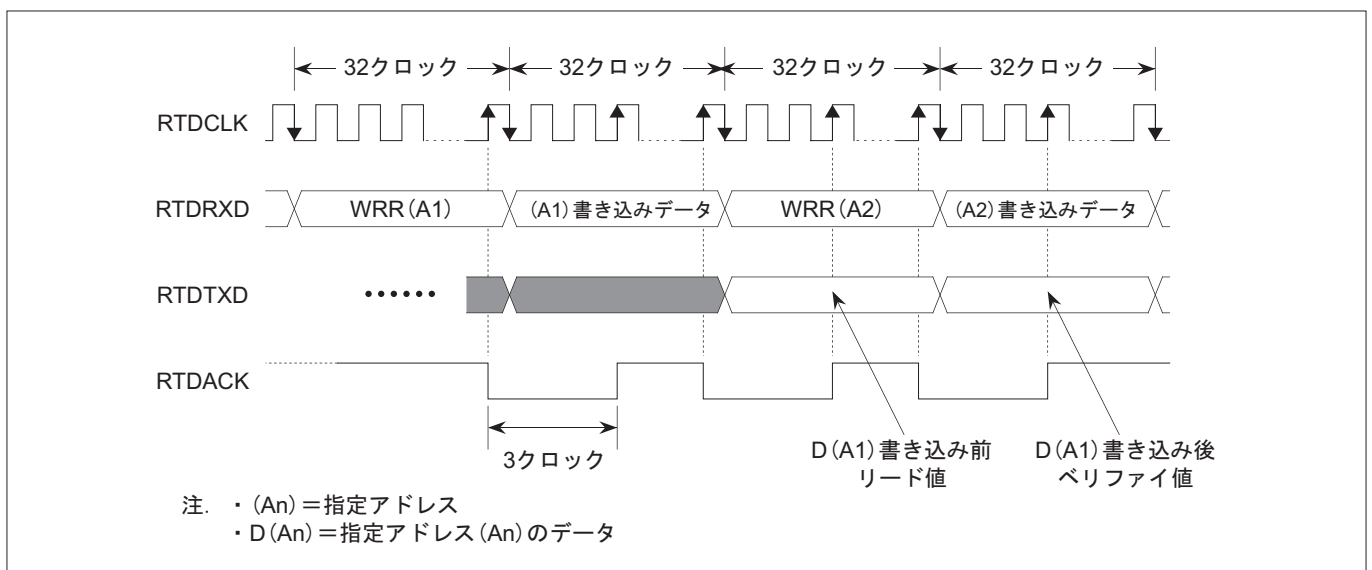


図15.4.5 WRRコマンド動作

15.4.4 VER(継続モニタ)動作

VER(継続モニタ)コマンドを発行すると、RTDはVERコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。



図15.4.6 VER(継続モニタ)コマンドデータフォーマット

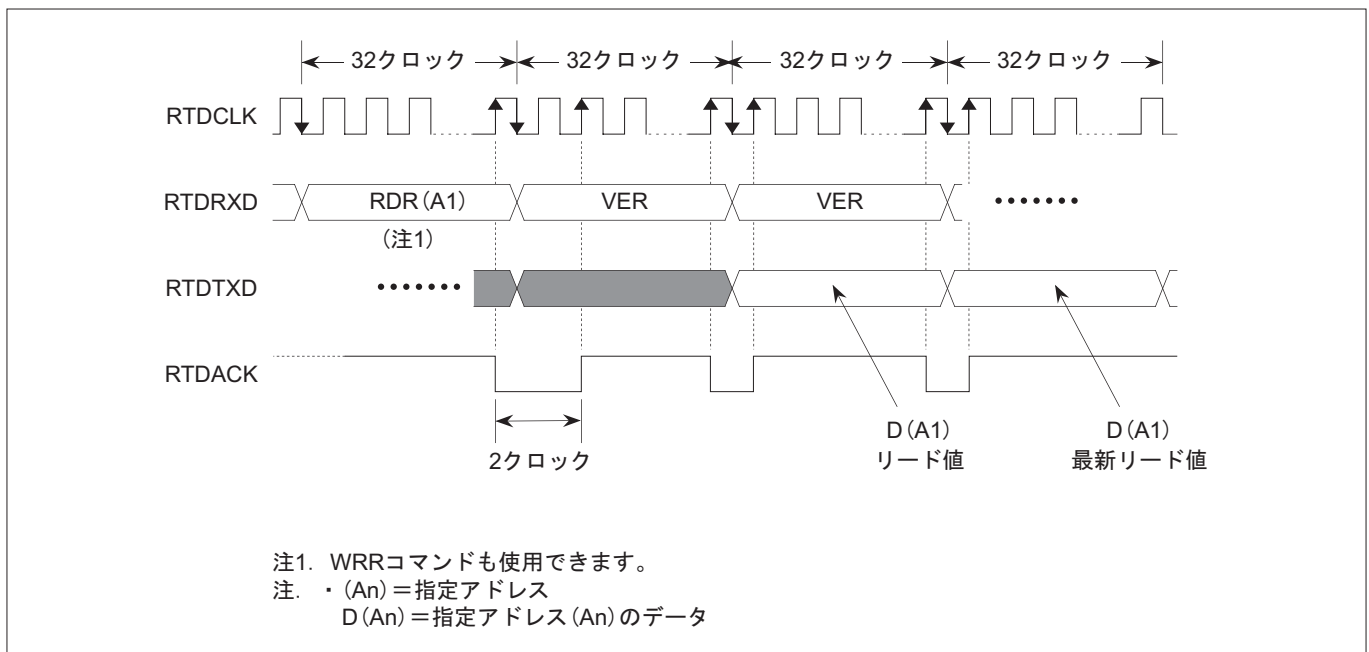


図15.4.7 VER(継続モニタ)コマンド動作

15.4.5 VEI(割り込み要求)動作

VEI(割り込み要求)コマンドを発行すると、RTD割り込み要求が発生します。また、RTDはVEIコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。



図15.4.8 VEI(割り込み要求)コマンドデータフォーマット

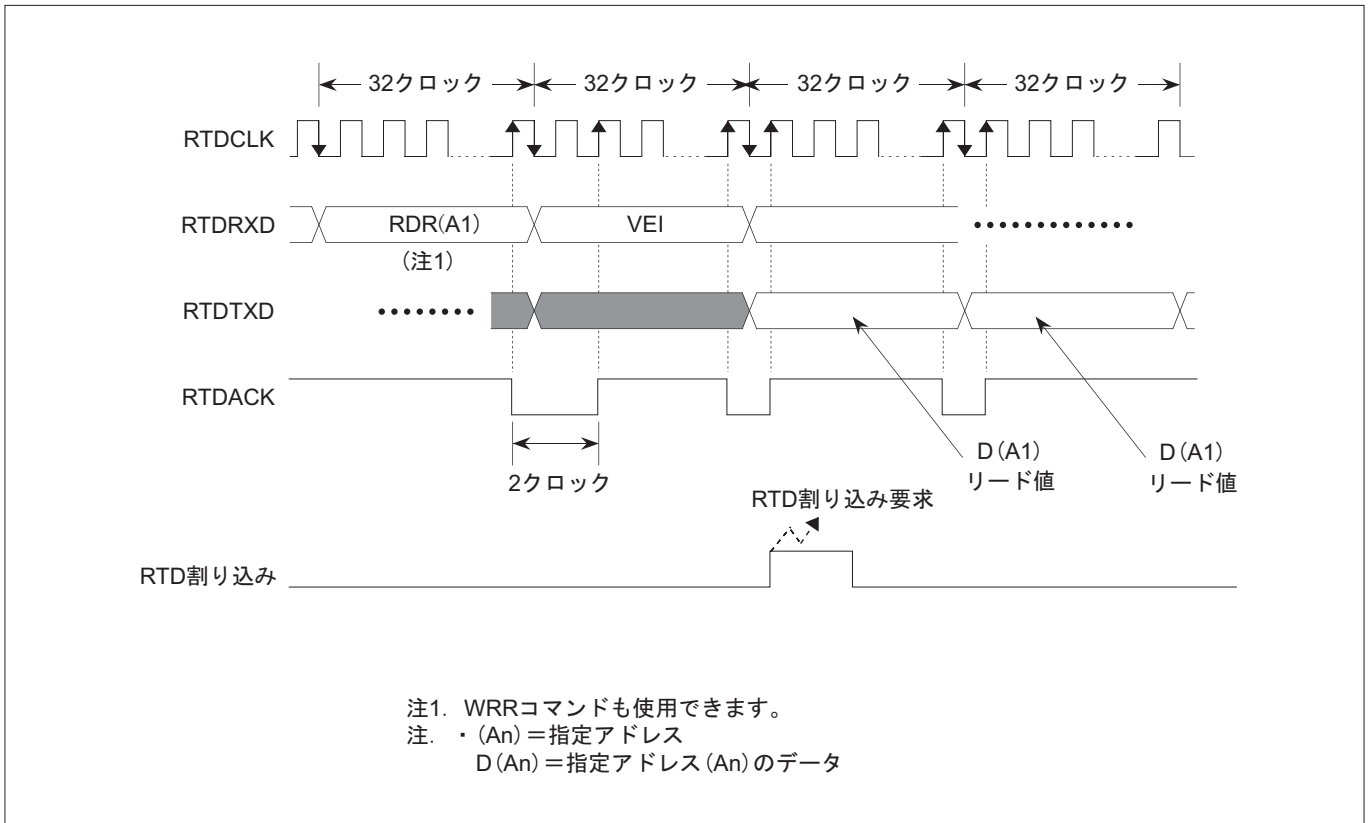


図15.4.9 VEI(割り込み要求)コマンド動作

15.4.6 RCV(暴走状態からの復帰)動作

RTDが暴走した場合、RCV(暴走状態からの復帰)コマンドを発行することでシステムリセットを行うことなく、強制的に暴走状態から復帰させることができます。RCVコマンドは必ず2回続けて発行してください。また、RCVコマンドに続けて発行するコマンドのb20~b31はすべて"1"にしてください。



図15.4.10 RCVコマンドデータフォーマット

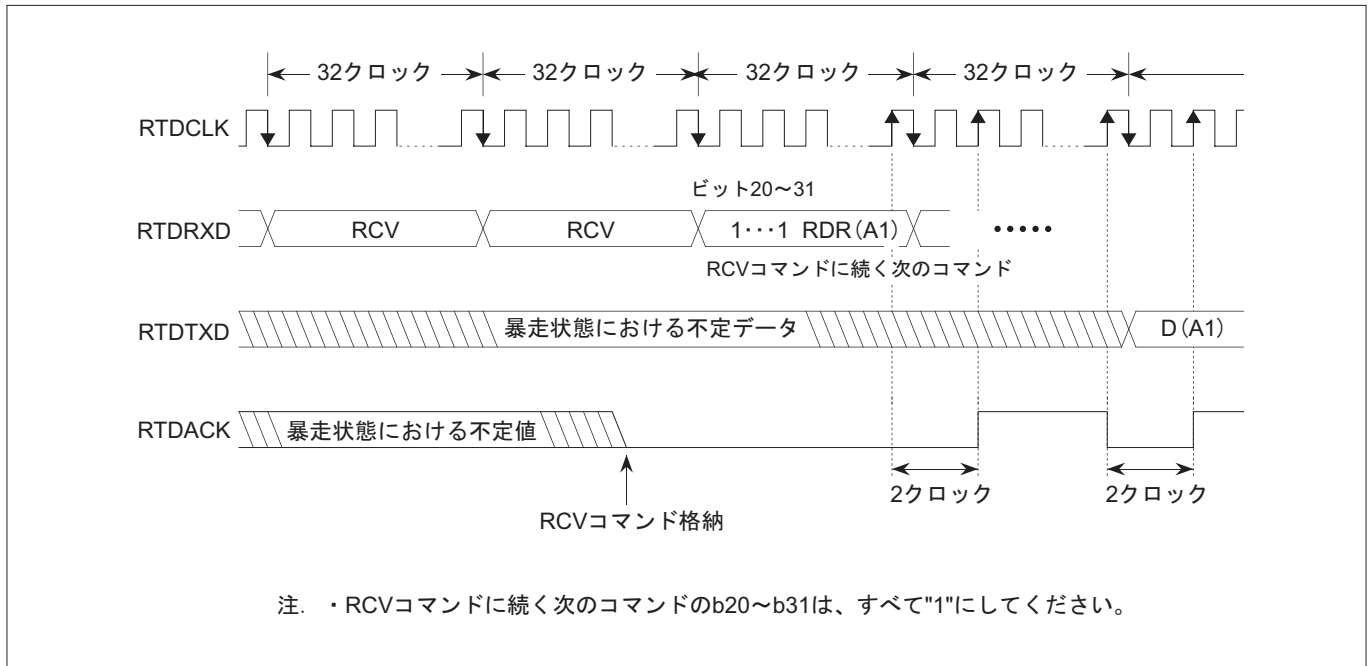


図15.4.11 RCVコマンド動作

15.4.7 リアルタイムデバッガ使用時の指定アドレス設定方法

RTDでは内蔵RAM領域の下位18ビットアドレス(H'0 0000~H'3 FFFF)が設定可能です。ただし、RAM配置領域(32192の場合、H'0080 4000~H'0082 FFFF。32195の場合、H'0080 4000~H'0080 BFFF。32196の場合、H'0080 4000~H'0081 3FFF)以外はアクセスを禁止します。また、アドレス最下位の2ビットA31、A30はリード、ライトのデータ幅が32ビット固定長のため、常に"0"になります。

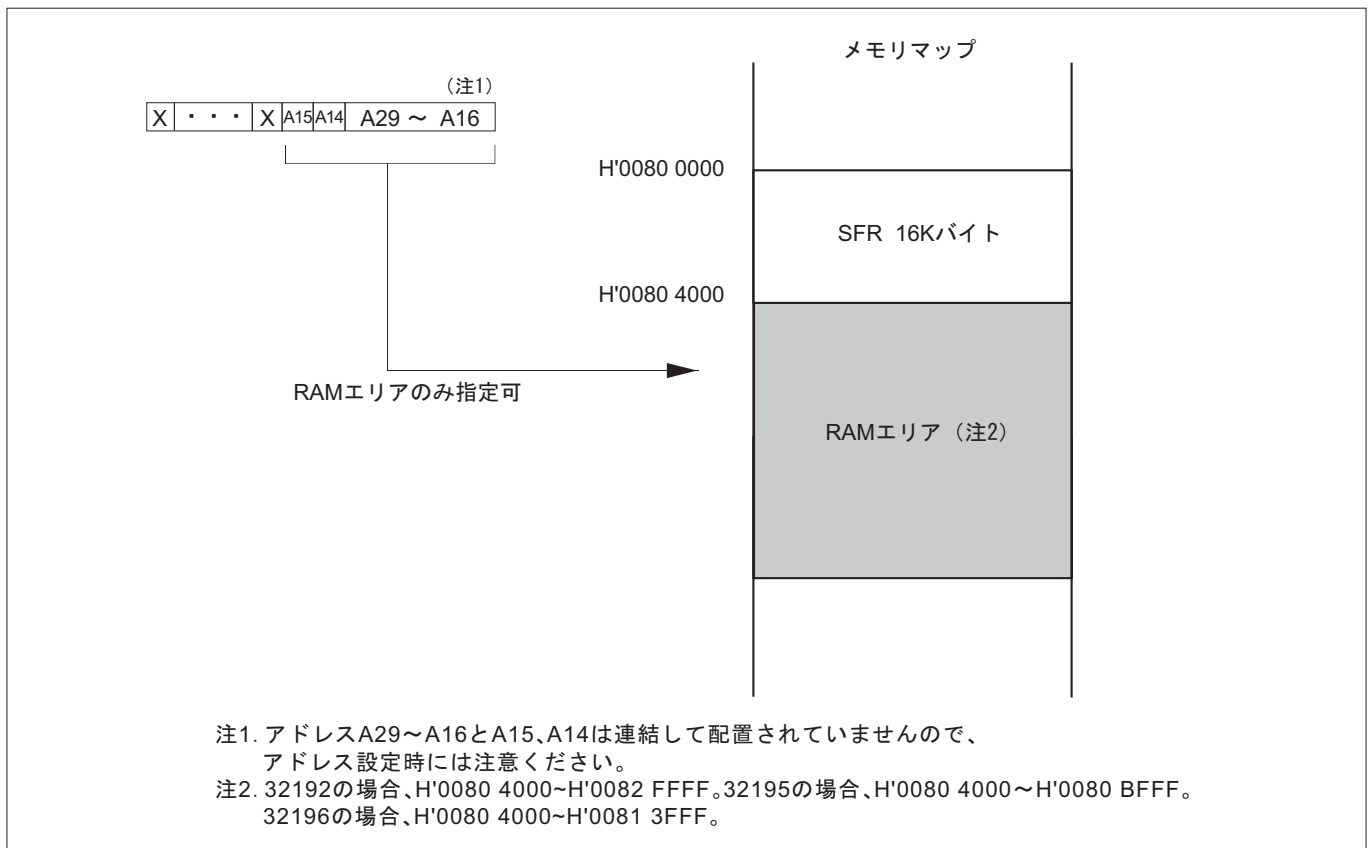


図15.4.12 リアルタイムデバッガのアドレス設定方法

15.4.8 RTDのリセット

RTDは、システムリセット(RESET#信号の入力)によりリセットされます。システムリセット解除時のRTD関連の出力端子の状態は以下のとおりです。

表15.4.2 システムリセット解除時のRTD端子状態

端子名	状態
RTDACK	"H"レベル出力
RTDTXD	"H"レベル出力

RTDのリセットを行った後の最初のコマンド転送は、RTDCLKの立ち下がりエッジに同期してRTDRXD端子へデータを転送することで開始されます。

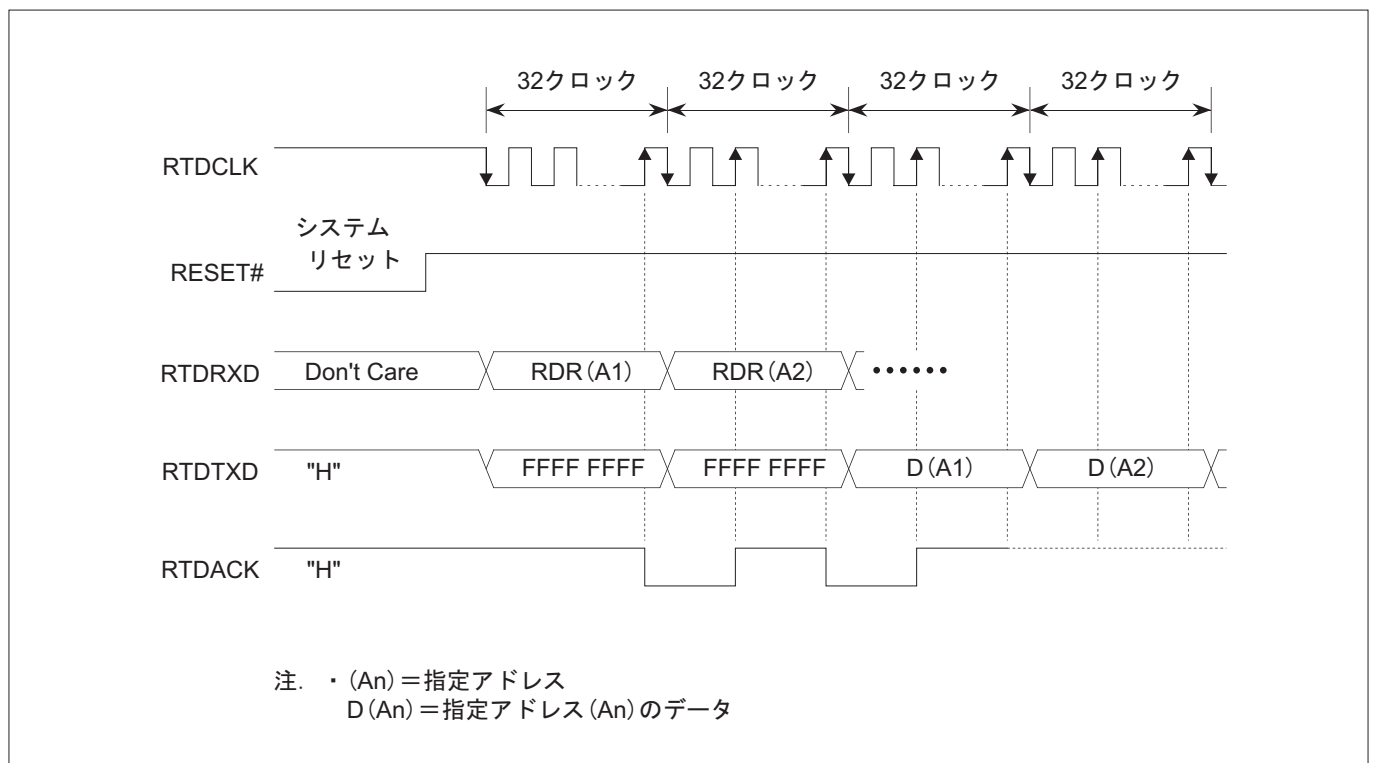


図15.4.13 システムリセット後のRTDへのコマンド転送

15.5 ホストとの接続例

ホスト側ではシリアル同期式のインタフェースで、データの転送を行います。同期通信用のクロックは、ホスト側が発生します。RTDとホストの接続例を以下に示します。

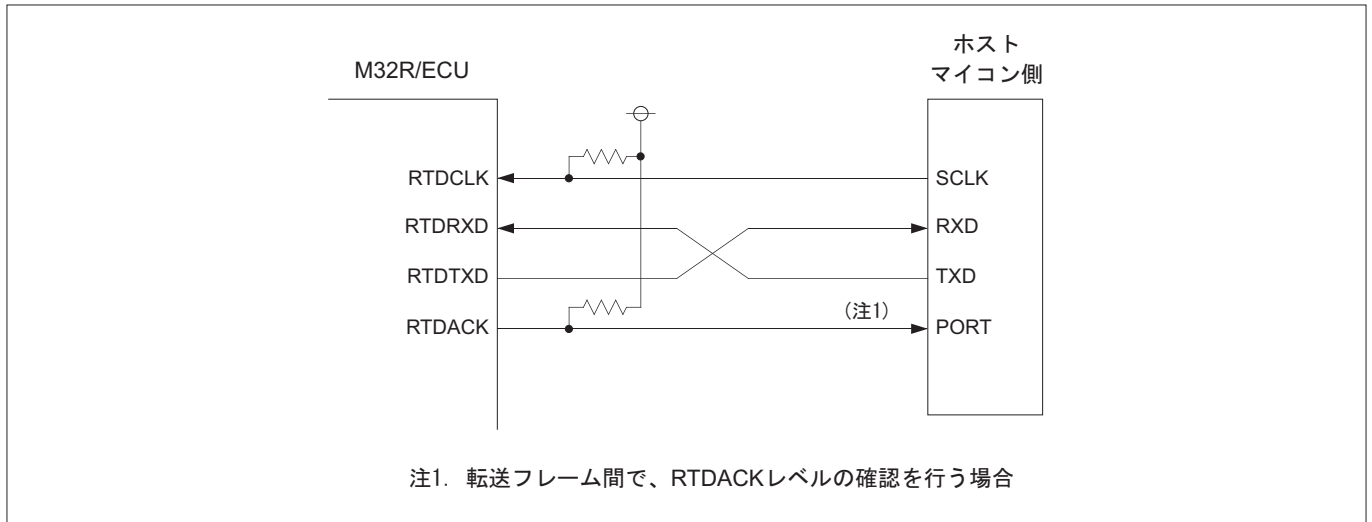


図15.5.1 RTDとホストの接続

RTD通信は1フレーム32ビット固定長の通信です。一般にシリアルインタフェースでは8ビット単位で転送を行うため、8ビット単位で4回に分けて行います。また、通信が正常に行われていることは、RTDACK信号で確認します。

RTDACK信号は、コマンドを送信した後"L"レベルになることで通信状態を確認します。VERコマンド発行時には、1クロック分のみ"L"が出力されるため、シリアルインタフェースで1フレーム32ビットを送信した後、RTDCLKの送出を止めてRTDACKが"L"レベルになっていれば正常に通信できているか容易に判断できます。

なお、RTDACKの幅で送信コマンドの種類まで特定したい場合は、マイコン内蔵の計測タイマを利用(RTDACKが"L"の期間、RTDCLKをカウント)するか、または専用の回路を作成してください。

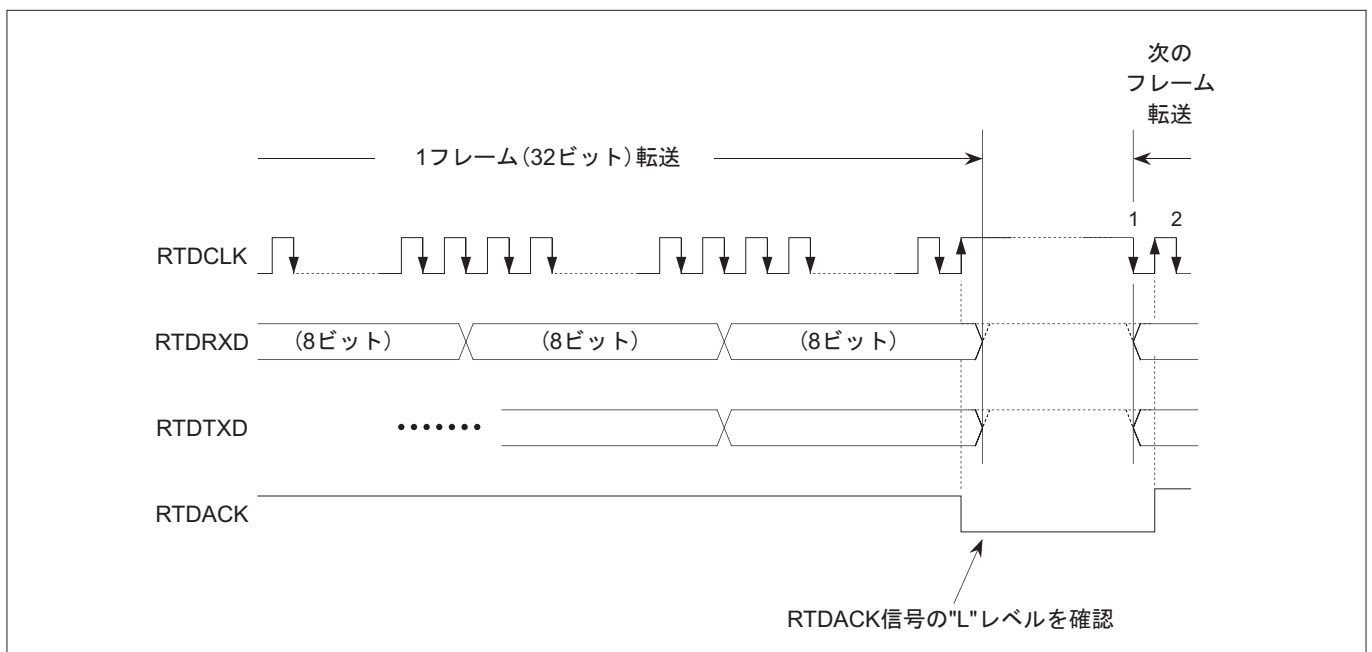


図15.5.2 ホストとの通信動作例 (VERコマンド時)

レイアウトの都合上、このページは白紙です。

第16章

ノンブ레이크デバッグ(NBD)

- 16.1 ノンブ레이크デバッグ(NBD)概要
- 16.2 NBD端子機能
- 16.3 NBD関連レジスタ
- 16.4 通信プロトコル
- 16.5 RAMモニタ機能
- 16.6 イベント検出機能

16.1 ノンブ레이크デバッグ(NBD)概要

ノンブ레이크デバッグ(Non-Break Debug)は、RAMモニタ機能とイベント出力機能があります。NBDには専用のDMAが内蔵されており、内蔵RAMなどへのアクセスは本DMAを用いて行われます。

(1) RAMモニタ機能

アドレスマップ上に配置された内部/外部バスに接続されるすべての資源に対し、読み出し/書き込みを行う機能です。本機能よりRAMデータなどの参照、変更ができます。またNBD専用の空間(NBD空間)へのアクセスも本機能を用いて実施します。

(2) イベント出力機能

設定番地へのアクセスが発生したことを検知して、NBDEVNT#端子より"L"レベルを出力する機能です。イベント発生条件としては、アドレス、リード/ライトを指定可能です。

表16.1.1 ノンブ레이크デバッグ(NBD)の概要

項目	内容
転送方式	クロック同期形パラレルインタフェース(4ビット)
転送クロックの発生	外部ホスト側が発生
アクセス領域	アドレスマップ上の全領域とNBD空間
アクセスサイズ	8/16/32ビット(NBD空間は8ビット固定)
最大転送速度	12.5MHz
入出力端子	7本(NBDD3~NBDD0, NBDCLK, NBDSYNC#, NBDEVNT#)
機能	<ul style="list-style-type: none"> ● RAMモニタ機能(注1) ● イベント出力機能
イベント設定数	1点

注1. RAMだけでなく内部/外部バスに接続されたすべての資源に対してアクセス可能です。

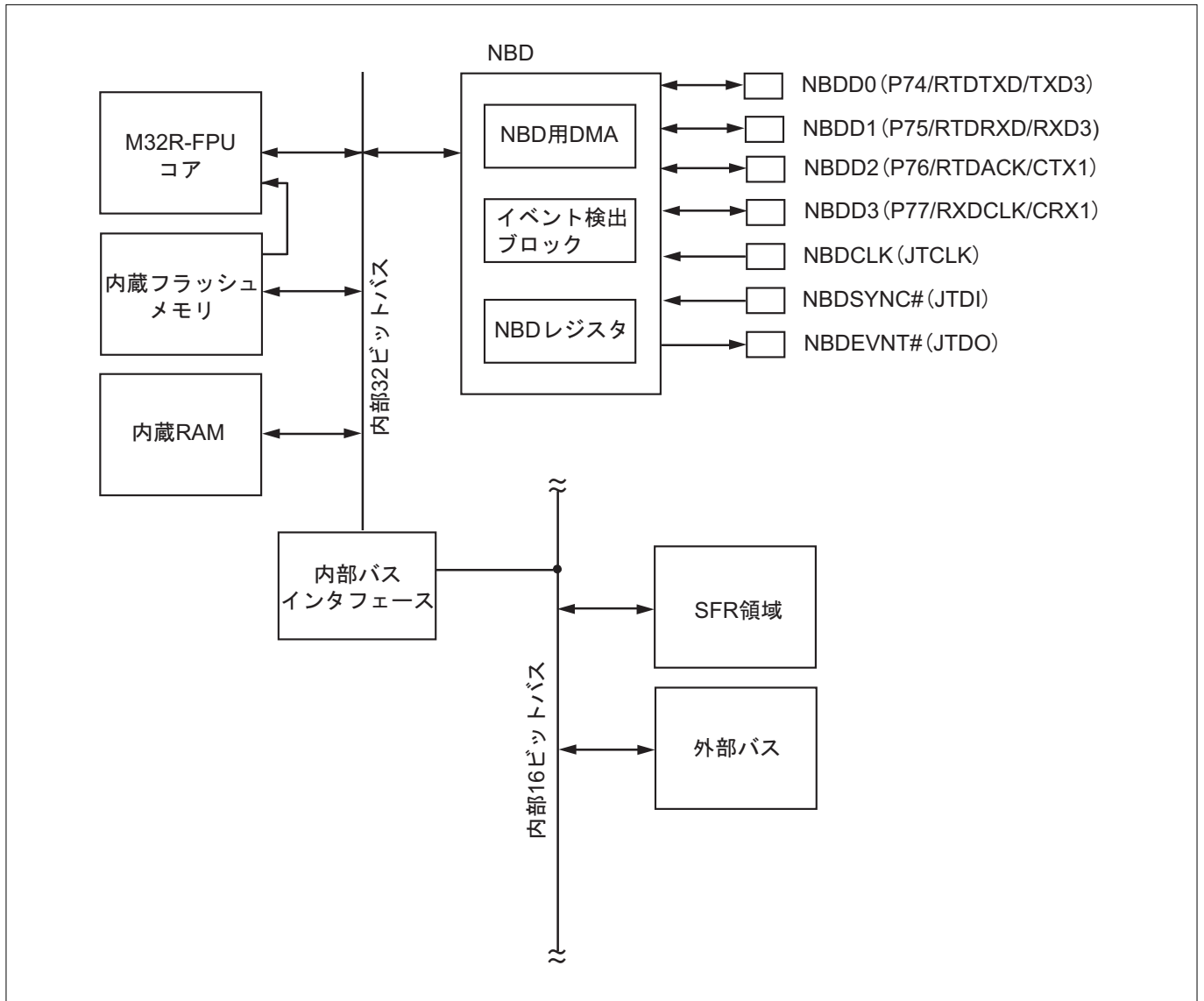


図16.1.1 ノンブレイクデバッグ(NBD)のブロック図

16.2 NBD端子機能

NBDの端子機能を以下に示します。

表16.2.1 NBD端子機能

端子名	入出力	機能
NBDD3 ~ NBDD0	入出力	コマンド、アドレス/データ入出力
NBDCLK	入力	同期クロック入力
NBDSYNC#	入力	データ先頭位置認識信号入力
NBDEVENT#	出力	イベント出力(イベント発生時に2BCLK幅の"L"レベルを出力)

注. ・NBD端子はRTD、JTAGなどの他の機能と兼用になっており、NBDを使用するためにはNBD端子制御レジスタ(NBDCNT)を用いた端子機能の設定が必要です。

16.2.1 NBD端子制御レジスタ

NBD端子制御レジスタ(NBDCNT)

< アドレス : H'E000 0004 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	NBDSETP	NBDSET

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0 ~ 5	何も配置されていません。"0"に固定してください。		0	0
6	NBDSETP	NBDSET書き込み制御ビット	0	W
7	NBDSET	0 : NBD関連端子をNBD機能以外の機能に設定 NBD関連端子選択ビット 1 : NBD関連端子をNBD機能に設定	R	W

注. ・システムリセット中はNBD機能を使用できません(NBDSET = 0のため)。また、NBD機能使用時はJTRST(JTAGリセット端子を"L"としてください)。

NBDSETビットはNBD関連端子機能の切り換えを行うビットです。NBD機能を使用する場合はこのビットを"1"にセットし、NBD関連端子を表16.2.1のNBD端子機能に設定する必要があります。

このレジスタを設定する場合は、以下の手順で行います。

1. NBDSETP に "1" を書き込み
2. 上記 1. に連続して「NBDSETP に "0" を、NBDSET に "0" または "1"」を書き込み

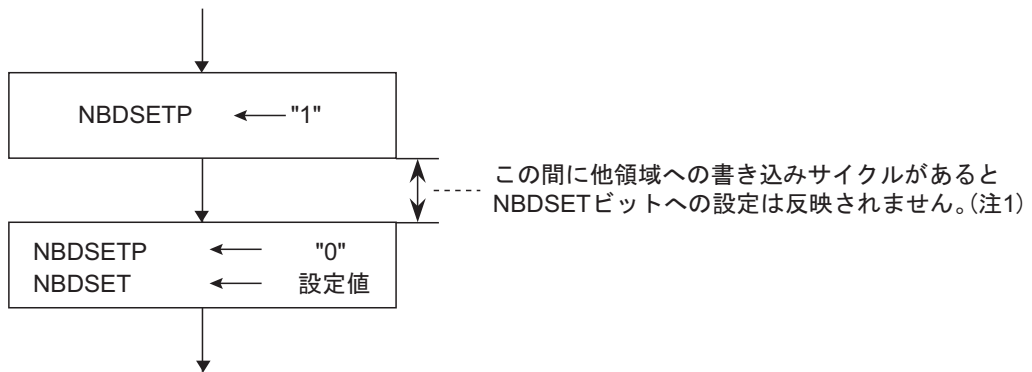
注. ・1と2の間にCPU、DMA、SD(ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定(書き込み動作は、2回連続が1組)は無効となり、書き込み値は反映されません。

割り込み処理、DMA転送を禁止状態にて設定してください。

ただし、RTD、DRIからの書き込みサイクルは影響しません。

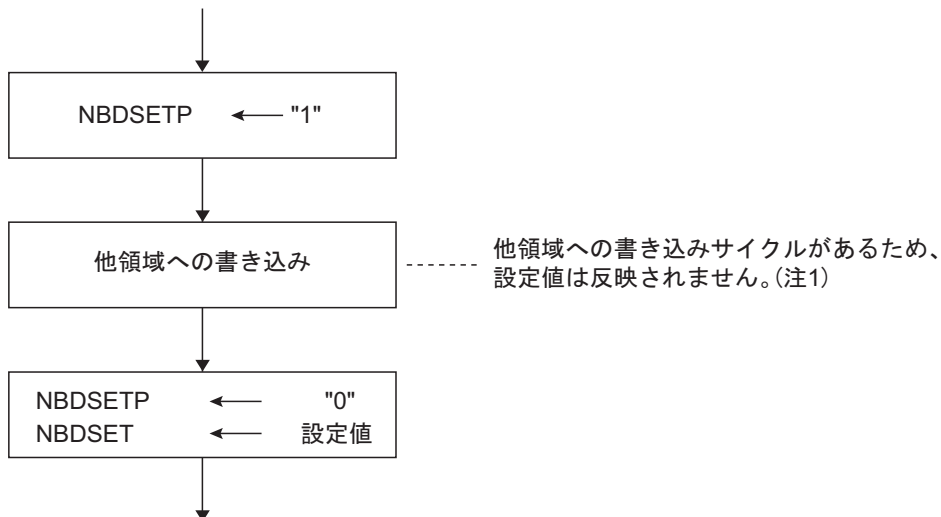
- ・NBDCNTレジスタにて、NBD関連端子をNBD機能に設定時、リセット解除後からEVTU_AレジスタとEVTU_Cレジスタの設定を行うまでの間、NBDEVENT#端子から不定値が出力されます。

■ 正しい設定例

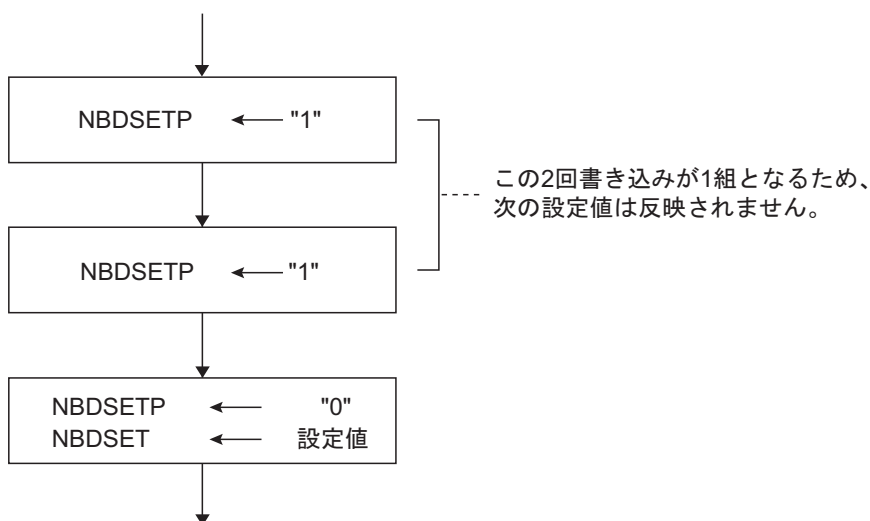


■ 設定無効となる場合

(1)



(2)



注1. 他領域への書き込みサイクルとは、CPU、DMA、SDI(ツール)、NBDから任意の領域への書き込みサイクルを示します。RTD、DRIからの書き込みサイクルには、影響しません。

図16.2.1 NBDSETビットの設定手順

16.3 NBD関連レジスタ

NBD関連のレジスタマップを以下に示します。NBD関連レジスタはアドレスマップ上(CPU空間)に存在するものと、CPU空間とは別のNBD専用の空間(NBD空間)に存在するものとがあります。NBD空間のアドレスは12ビットで、アクセスサイズは8ビット固定です。また、NBD空間はNBD専用インタフェースからのみアクセス可能な構成となっており、CPUからのアクセスは行えません。

表16.3.1 NBD関連レジスタマップ

空間	アドレス	レジスタ名称	R/W	リセット解除時
CPU空間	H'E000 0000	NBDイネーブルレジスタ(NBDENB)	R/W	H'00
	H'E000 0004	NBD端子制御レジスタ(NBDCNT)	R/W	H'00
	H'E000 0008	イベント発生レジスタ(NEVNTGEN)	W	不定
NBD空間	H'800	イベントアドレス設定レジスタ(EVTU_A)	R/W	不定
	H'801			
	H'802			
	H'803			
	H'820	イベント条件設定レジスタ(EVTU_C)	R/W	不定

16.3.1 NBDイネーブルレジスタ

NBDイネーブルレジスタ(NBDENB)

<アドレス: H'E000 0000>

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	NBDENP	NBDEN

<リセット解除時: H'00>

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6	NBDENP NBDEN書き込み制御ビット		0	W
7	NBDEN NBD動作許可ビット	0: NBD動作禁止 1: NBD動作許可	R	W

注. ・ NBDENビット値を変更するときは、20CPUCLK以上の間隔を空けてください。
 ・ NBDENビットを禁止から許可に変更した場合、NBDが動作可能となるまで20CPUCLK必要です。
 ・ NBDENビット値の変更は、NBD端子制御レジスタのNBDSETビットが"0"(NBD関連端子をNBD機能以外の機能に設定)の状態で行ってください。

NBDENビットはNBD機能の許可/禁止を切り換えるビットです。NBDENが"0"の状態、NBDはリセット状態となり、各レジスタの値はリセット解除時の値に戻ります。NBD機能を使用する場合は他のNBDレジスタの設定前に、このビットに"1"をセットする必要があります。

NBDENビットが"0"のとき、NBDENBレジスタ以外のNBDレジスタ(CPU空間、NBD空間とも)へのアクセスは禁止です。

このレジスタを設定する場合は、以下の手順で行います。

1. NBDENP に "1" を書き込み
2. 上記 1. に連続して「NBDENP に "0" を、NBDEN に "0" または "1"」を書き込み

注. ・ 1 と 2 の間に CPU、DMA、SDI (ツール)、NBD から任意の領域への書き込みサイクルがあると、連続設定 (書き込み動作は、2 回連続が 1 組) は無効となり、書き込み値は反映されません。割り込み処理、DMA 転送を禁止状態にて設定してください。
 ただし、RTD、DRI からの書き込みサイクルは影響しません。
 ・ NBDEN ビットの設定手順は図 16.2.1 の NBDSET ビットの設定手順と同様です。

16.4 通信プロトコル

NBDはNBDSYNC#がアサートされるとNBDCLKに同期してNBDD3～NBDD0の取り込みを開始します。NBDD3～NBDD0は以下のフォーマットで入力してください。

図16.4.1に示すNBDD3～NBDD0からのデータ入力完了後、1NBDCLKのハイインピーダンス(Hi-Z)期間を経てNBDD3～NBDD0から図16.4.2に示すフォーマットのデータがNBDCLKに同期して出力されます。

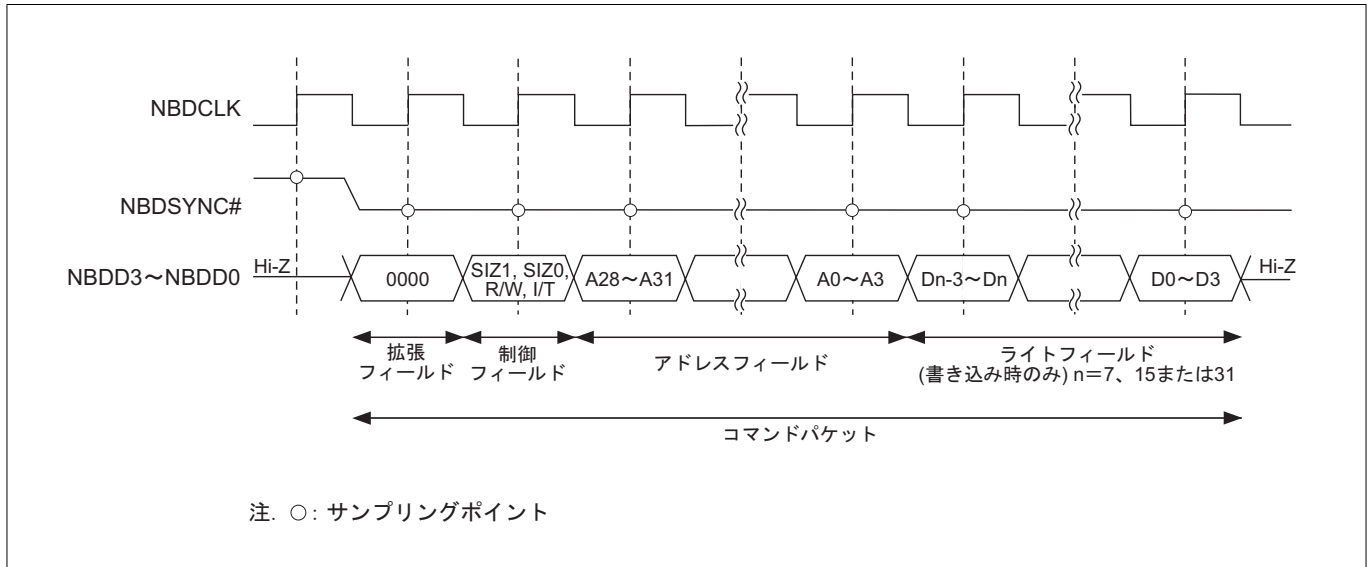


図16.4.1 NBDD3～NBDD0入力フォーマット

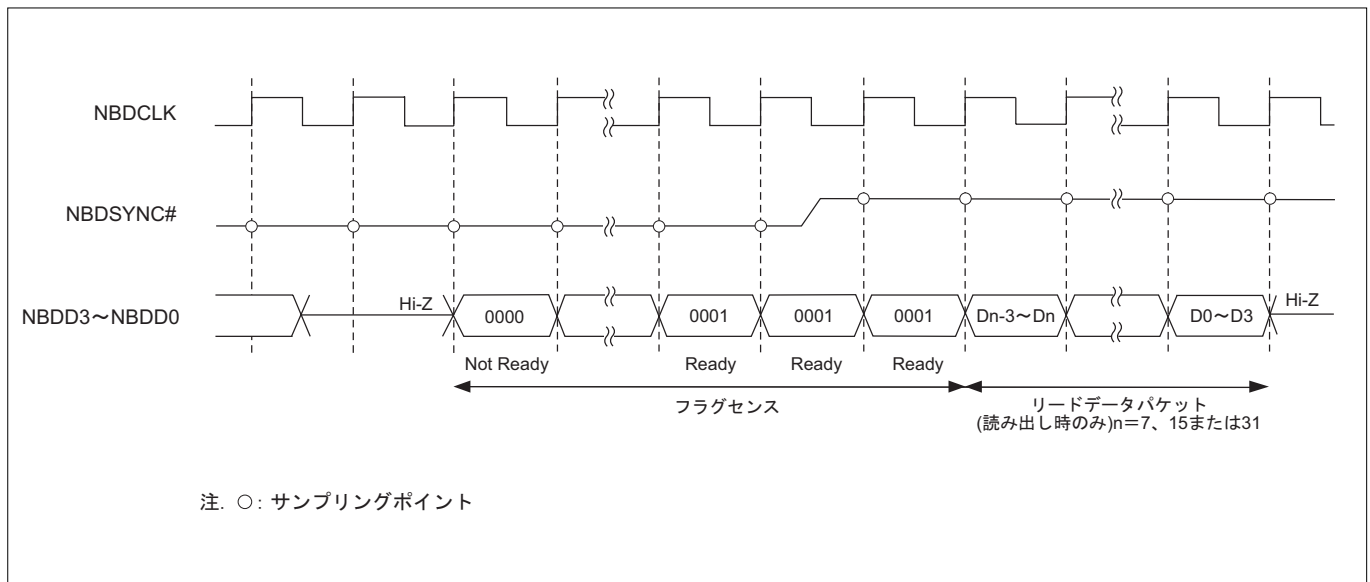


図16.4.2 NBDD3～NBDD0出力フォーマット

16.5 RAMモニタ機能

16.5.1 NBD動作説明

図16.5.1にリード動作の例を、図16.5.2にライト動作の例を示します。NBDSYNC#端子に"L"レベルが入力されると、図16.4.1に示すフォーマットでNBDD3~NBDD0からコマンドパケットの入力を開始します。コマンドパケットの入力が完了すると、NBDはアドレスフィールドで指定されたアドレスへの読み出し/書き込みを開始します。コマンドパケットの受信完了後、1NBDCLKのハイインピーダンス(Hi-Z)期間を経てNBDD3~NBDD0は図16.4.2のフォーマットでデータ出力を開始します。NBDSYNC#端子に"L"レベルが入力されている間、NBDD3~NBDD0はフラグセンス期間となり、読み出し/書き込み動作の実行中はNot Ready(0000)を、実行が完了するとReady(0001)を出力します。

読み出し時は、Readyの検出後NBDSYNC#端子に"H"レベルを入力すると、NBDCLK立ち上がりによる"H"レベルの検出後、次のNBDCLK立ち上がりから読み出しデータ(リードデータパケット)を出力します。(図16.5.1)また、書き込み時は、Readyの検出後NBDSYNC#端子に"H"レベルを入力すると、NBDCLK立ち上がりによる"H"レベルの検出後、次のNBDCLK立ち上がりによってハイインピーダンス状態へ遷移します。(図16.5.2)

次のコマンドパケット送信までの間には、NBDSYNC#端子に最小2NBDCLK分の"H"レベルを入力してください。

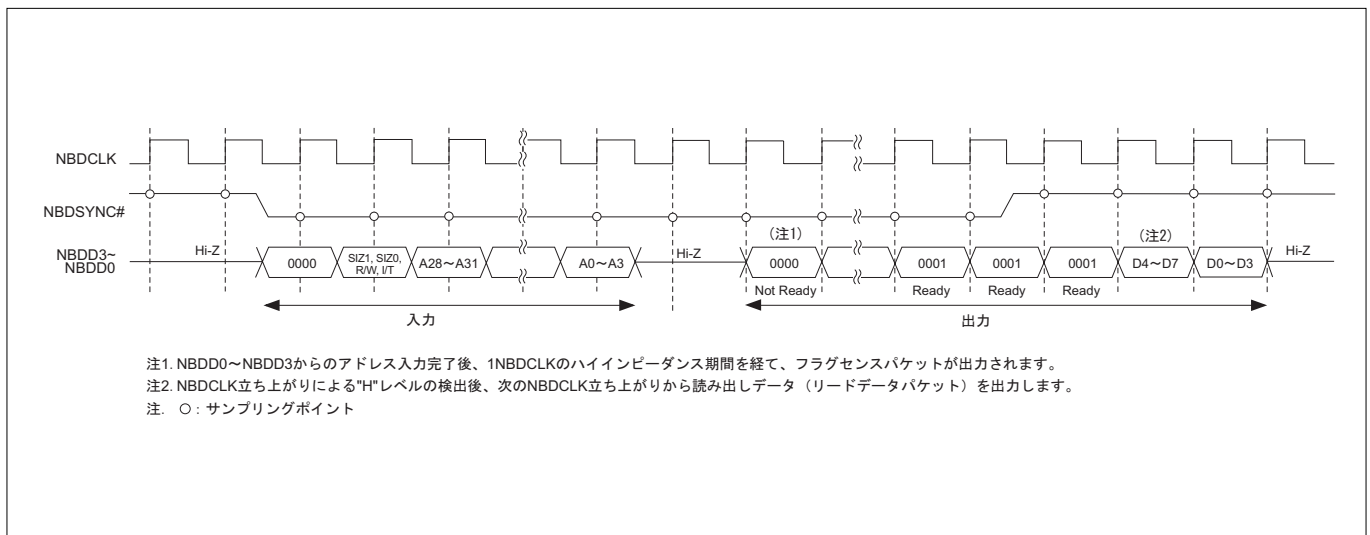


図16.5.1 リード動作例(CPU空間への8ビットリードの場合)

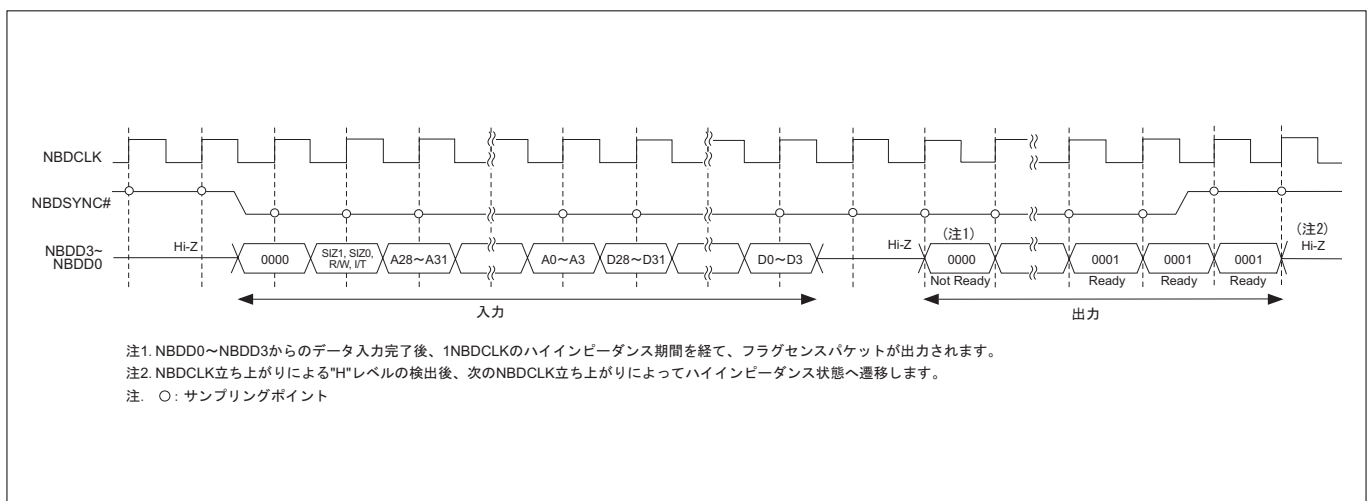


図16.5.2 ライト動作例(CPU空間への32ビットライトの場合)

16.5.2 NBDDデータフォーマットの説明

NBDD3 ~ NBDD0端子から入出力される各パケット/フィールドの内容について説明します。

(1) コマンドパケット(入力)

表16.5.1 コマンドパケットのビット配置

入力 順	フィールド名	ビット配置				: 必要、-: 不要						
		NBDD3	NBDD2	NBDD1	NBDD0	NBD空間アクセス時		CPU空間アクセス時				
						リード時	ライト時	リード時	8bit ライト時	16bit ライト時	32bit ライト時	
先 ↓ 後	拡張フィールド	aux3	aux2	aux1	aux0							
	制御フィールド	SIZ1	SIZ0	R/W	I/T							
	アドレス フィールド	A28	A29	A30	A31	-	-					
		A24	A25	A26	A27	-	-					
		A20	A21	A22	A23	-	-					
		A16	A17	A18	A19	-	-					
		A12	A13	A14	A15	-	-					
		A8	A9	A10	A11							
		A4	A5	A6	A7							
		A0	A1	A2	A3							
	ライトデータ フィールド	D28	D29	D30	D31	-	-	-	-	-	-	
		D24	D25	D26	D27	-	-	-	-	-	-	
		D20	D21	D22	D23	-	-	-	-	-	-	
		D16	D17	D18	D19	-	-	-	-	-	-	
		D12	D13	D14	D15	-	-	-	-	-	-	
		D8	D9	D10	D11	-	-	-	-	-	-	
		D4	D5	D6	D7	-	-	-	-	-	-	
		D0	D1	D2	D3	-	-	-	-	-	-	

1) 拡張フィールド

ビット名	機能	内容
aux3	将来拡張用	"0"に設定してください
aux2	将来拡張用	"0"に設定してください
aux1	将来拡張用	"0"に設定してください
aux0	将来拡張用	"0"に設定してください

注. ・他の設定を行った時の動作は保証されません。

2) 制御フィールド

ビット名	機能	内容															
SIZ1, SIZ0	アクセスサイズを指定	<table border="1"> <thead> <tr> <th>SIZ1</th> <th>SIZ0</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット(注1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>32ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SIZ1	SIZ0	内容	0	0	8ビット(注1)	0	1	16ビット	1	0	32ビット	1	1	設定禁止
SIZ1	SIZ0	内容															
0	0	8ビット(注1)															
0	1	16ビット															
1	0	32ビット															
1	1	設定禁止															
R/W	リード/ライトを指定	0: リード 1: ライト															
I/T	アクセス空間を指定	0: NBD空間をアクセス 1: CPU空間をアクセス															

注1. NBD空間をアクセス選択時(I/T="0"時)は8ビットアクセスのみ可能です。他の設定を行った時の動作は保証されません。

3)アドレスフィールド

ビット名	機能	内容
A0~A31	アドレスを指定	A0~A31はビッグエンディアンで指定します(A0がMSB)。NBD空間アクセス時：A0~A11の12ビットで指定 CPU空間アクセス時：A0~A31の32ビットで指定

4)ライトデータフィールド

ビット名	機能	内容
D0~D31	ライトデータを指定	D0~D31はビッグエンディアンで指定します(D0がMSB)。制御フィールドのR/WビットおよびSIZ1、SIZ0ビットの指定により必要なビット数が変化します(表16.5.1 コマンドパケットの配置を参照)

(2)フラグセンスパケット(出力)

表16.5.2 フラグセンスパケットのビット配置

ビット配置			
NBDD3	NBDD2	NBDD1	NBDD0
0	0	0	RFLG

ビット名	機能	内容
RFLG	NBD内部動作の完了を示します	0 : Not Ready 1 : Ready

(3)リードデータパケット(出力)

表16.5.3 リードデータパケットのビット配置

出力 順	ビット配置				: 必要、- : 不要					
	NBDD3	NBDD2	NBDD1	NBDD0	NBD空間アクセス時		CPU空間アクセス時			
					リード時 (注1)	ライト時	8bit リード時	16bit リード時	32bit リード時	ライト時
先 ↓ 後	D28	D29	D30	D31	-	-	-	-		-
	D24	D25	D26	D27	-	-	-	-		-
	D20	D21	D22	D23	-	-	-	-		-
	D16	D17	D18	D19	-	-	-	-		-
	D12	D13	D14	D15	-	-	-			-
	D8	D9	D10	D11	-	-	-			-
	D4	D5	D6	D7	-	-				-
	D0	D1	D2	D3		-				-

注1. . . NBD空間アクセス選択時は、8ビットアクセスのみ可能です。

ビット名	機能	内容
D0~D31	リードデータ出力	D0~D31はビッグエンディアンで指定します(D0がMSB)。制御フィールドのR/WビットおよびSIZ1、SIZ0ビットの指定により出力されるビット数が変化します(表16.5.3 リードデータパケットのビット配置を参照)。

16.6 イベント検出機能

NBDはCPU空間に対するアドレス、リード/ライト一致によるイベント出力機能を持っています。イベント出力は"L"レベルが有効で、有効期間はBCLKに同期します。有効期間は、2BCLKです。

また、NBDEVNT#端子はCPU空間に配置されたNEVNTGENレジスタへのライトアクセスの場合も、2BCLK幅の"L"レベルを出力することができます。NBDEVNT#端子の出力は、前記アドレス一致によるイベント出力と、NEVNTGENレジスタへのライトアクセスによる出力のOR条件になります。

図16.6.1にNBDEVNT#端子の構成を示します。

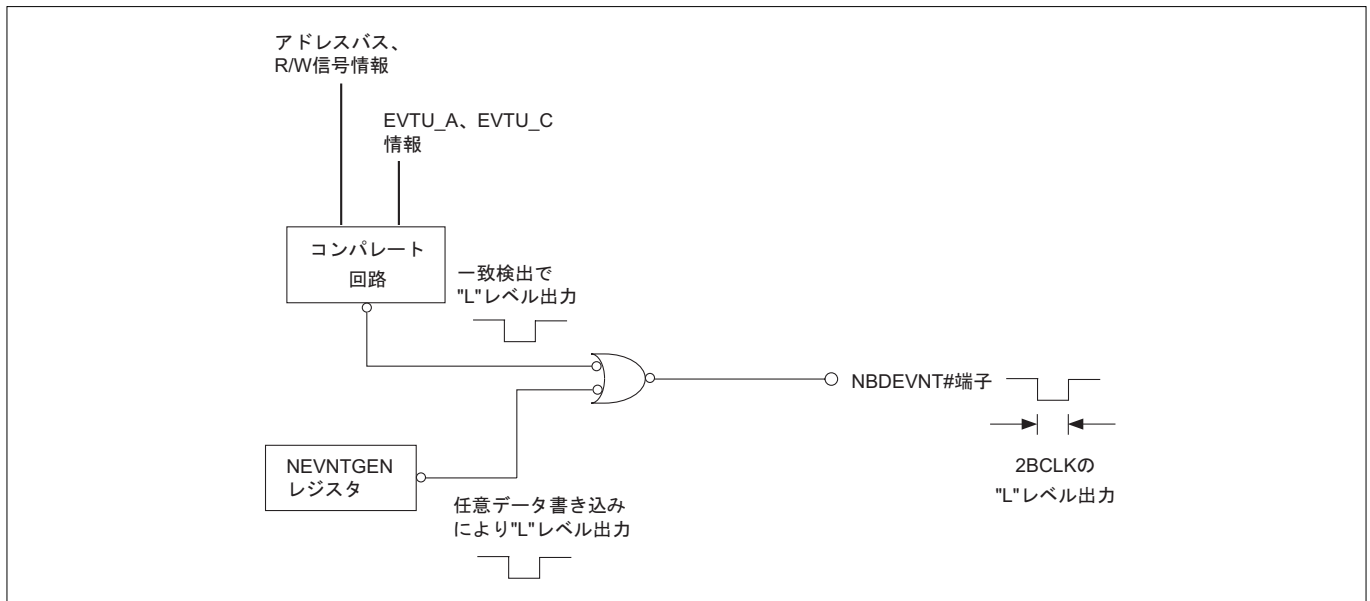


図16.6.1 NBDEVNT#端子の構成

16.6.1 イベントアドレス設定レジスタ

イベントアドレス設定レジスタ(EVTU_A)

< アドレス : H'800 ~ H'803(NBD空間) >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15	
EVTU_A																
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31	
EVTU_A															0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	

< リセット解除時 : 不定 >

b	ビット名	機能	R	W
0 ~ 29	EVTU_A	イベント検出対象アドレスのA0 ~ A29を指定	R	W
30, 31	何も配置されていません。"0"に固定してください。		0	0

注 . ・ NBDイネーブルレジスタ(NBDENB)のNBDENビットにて、"0"(NBD動作禁止)から"1"(NBD許可)に設定後、AVTU_Aビット値は、不定となります。

・ NBD動作許可後(NBDENBレジスタのNBDENビットにて"1"設定後)、NBD端子制御レジスタ(NBDCNT)にて、NBD関連端子をNBD機能に設定してからEVTU_AレジスタとEVTU_Cレジスタの設定値が有効になる(フラグセンス期間でReady状態となる時点から3NBDCLK後)までの間、NBDEVNT#端子から不定値が出力されます。

・ イベント検出機能使用中、EVTU_Aレジスタまたは、EVTU_Cレジスタの設定値を変更した場合、変更された設定条件によるイベント検出結果は、EVTU_Aレジスタまたは、EVTU_Cレジスタ設定後(フラグセンス期間でReady状態となる時点)から3NBDCLK後より有効となります。

16.6.2 イベント条件設定レジスタ

イベント条件設定レジスタ(EVTU_C)

<アドレス: H'820(NBD空間)>

b0	1	2	3	4	5	6	b7
0	0	0	0	0	ACC1 ?	ACC0 ?	0

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5, 6	ACC1, ACC0	イベント検出のR/W条件を指定 ACC1 ACC0 イベント発生条件	R	W
		0 0 リードアクセス		
		0 1 ライトアクセス		
		1 0 リードあるいはライトアクセス		
		1 1 設定禁止		
7	何も配置されていません。"0"に固定してください。		0	0

- 注・ NBDイネーブルレジスタ(NBDENB)のNBDENビットにて、"0"(NBD動作禁止)から"1"(NBD許可)に設定後、ACC0ビット、ACC1ビット値は、不定となります。
- ・ NBD動作許可後(NBDENBレジスタのNBDENビットにて"1"設定後)、NBD端子制御レジスタ(NBDCNT)にて、NBD関連端子をNBD機能に設定してからEVTU_AレジスタとEVTU_Cレジスタの設定値が有効になる(フラグセンス期間でReady状態となる時点から3NBDCCLK後)までの間、NBDEVENT#端子から不定値が出力されます。
 - ・ イベント検出機能使用中、EVTU_Aレジスタまたは、EVTU_Cレジスタの設定値を変更した場合、変更された設定条件によるイベント検出結果は、EVTU_Aレジスタまたは、EVTU_Cレジスタ設定後(フラグセンス期間でReady状態となる時点)から3NBDCCLK後より有効となります。

イベントアドレス設定レジスタ(EVTU_A) イベント条件設定レジスタ(EVTU_C)を使用して実行PCイベント検出を行うためには、EVTU_Aレジスタにイベント対象PCアドレスを設定し、EVTU_CレジスタのACC1、ACC0ビットをH'00(リードアクセス)に設定してください。この設定を行うことで、CPUがEVTU_Aレジスタのアドレスに対して命令リードアクセス(命令プリフェッチ)を行ったことを検知し、イベント出力が可能となります。なお、この場合EVTU_Aレジスタのアドレスに対するCPUのオペランドアクセスでもイベントが発生します。また本機能は命令リードアクセス(命令プリフェッチ)に対してイベント検出を行う構成となっているため、実際には実行されない命令に対してもイベントが発生することがあります。

16.6.3 イベント発生レジスタ

イベント発生レジスタ(NEVNTGEN)

<アドレス: H'E000 0008>

b0	1	2	3	4	5	6	b7
?	?	?	?	?	?	?	?

<リセット解除時: 不定 (リード不可)>

b	ビット名	機能	R	W
0~7	NEVNTGEN	本レジスタへ任意のデータを書き込むと、NBDEVNT#端子により2BCLKの"L"レベルが出力されます。リード時は不定データが読み出されます。	-	W

- 注・ 複数のイベントが時間的に近接して発生した場合、NBDEVNT#端子から出力される"L"レベルが2BCLK分(1イベント分)しか出力されない場合があります。またイベント発生状態により、2BCLK分の"L"レベルが連続して出力される場合があります。

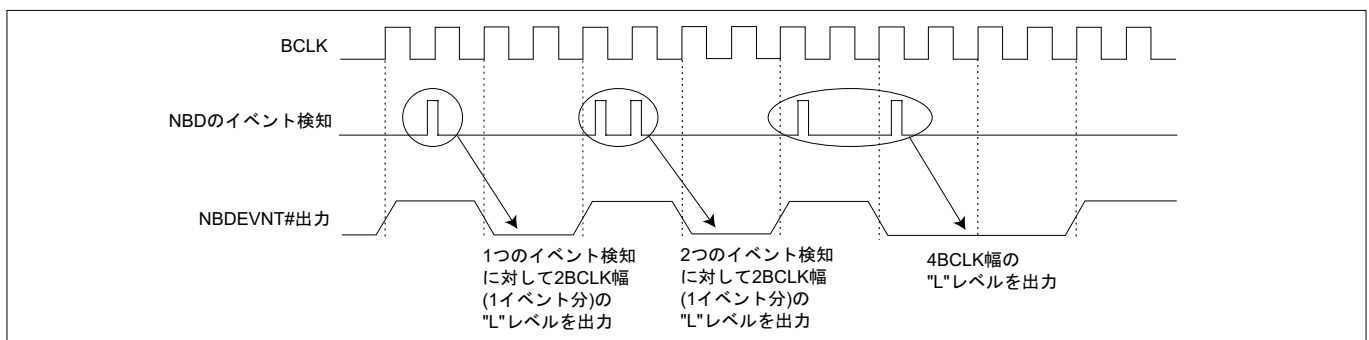


図16.6.2 NBDのイベント検知とNBDEVNT#端子動作の関係

第17章

外部バスインタフェース

- 17.1 外部バスインタフェース概要
- 17.2 外部バスインタフェース関連レジスタ
- 17.3 リード/ライト動作
- 17.4 バスアービトレーション
- 17.5 外部拡張メモリ接続例
- 17.6 VCC-BUSによるバス電圧設定例

17.1 外部バスインタフェース概要

17.1.1 外部バスインタフェース関連信号

32192/32195/32196は、以下に示す外部バスインタフェース関連信号を備えています。これらの信号は、外部拡張モードまたはプロセッサモードで使用できます。また、バス制御端子への供給電源(バス電源: VCC-BUS)を分離することにより、主電源と異なる電圧レベルの外部デバイスと接続できます。

信号名(端子名)の最後に"#"が付いている信号(端子)は、"L"アクティブ信号(端子)であることを示します。

(1) アドレス

32192/32195/32196は8Mバイトの空間をアドレッシングする22ビットのアドレス(A9~A30)を出力します。最下位のA31は出力されません。

注・外部拡張モード時は、リセット解除時にポート機能となっています。アドレスとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(2) チップセレクト(CS0# ~ CS3#)

8Mバイトごとの外部拡張領域をCS0# ~ CS3#信号で出力します。CS0#信号は、プロセッサモード使用時、8Mバイトの領域を示し、外部拡張モード使用時、7Mバイトの領域を示します(詳細については、「第3章 アドレス空間」を参照してください)。

注・外部拡張モード時は、リセット解除時にポート機能となっています。チップセレクトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(3) リードストローブ(RD#)

外部リードサイクル中に出力され、リードデータの読み込みタイミングを示します。ライト時および内蔵領域アクセス時には"H"を出力します。

(4) バイトハイライト/バイトハイイネーブル(BHW#/BHE#)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り換わります。

BUSMOD = 0でバイトハイライト(BHW#)の場合、外部ライトアクセス時にデータバスの上位側バイト(DB0 ~ DB7)で有効なデータ転送を示します。外部リード時および内蔵領域アクセス時には"H"を出力します。

BUSMOD = 1でバイトハイイネーブル(BHE#)の場合、外部アクセス(外部リードおよび外部ライト)時にデータバスの上位側バイト(DB0 ~ DB7)で有効なデータ転送を示します。内蔵領域アクセス時には"H"を出力します。

(5) バイトローライト/バイトローイネーブル(BLW#/BLE#)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り換わります。

BUSMOD = 0でバイトローライト(BLW#)の場合、外部ライトアクセス時にデータバスの下位側バイト(DB8 ~ DB15)で有効なデータ転送を示します。外部リード時および内蔵領域アクセス時には"H"を出力します。

BUSMOD = 1でバイトローイネーブル(BLE#)の場合、外部アクセス(外部リードおよび外部ライト)時にデータバスの下位側バイト(DB8 ~ DB15)で有効なデータ転送を示します。内蔵領域をアクセス時には"H"を出力します。

(6) データバス (DB0 ~ DB15)

外部デバイスをアクセスするための16ビットデータバスです。外部リードアクセス時、リードストロープの立ち上がり同期してデータを取り込みます。8ビットリード時であっても常に16ビットのデータを読み込みますが、内部へは有効なバイト位置のみが転送されます。外部ライトアクセス時、データを出力します。8ビットライト時は、有効な書き込みを行うバイト位置をBHW#/BLW#として出力します。内蔵領域アクセス時、入力機能となります。

注．・外部拡張モード時は、リセット解除時にポート機能となっています。データバスとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(7) システムクロック/ライト (CLKOUT/WR#)

バスモード制御レジスタ (BUSMODC) により、端子機能が切り換わります。

BUSMOD = 0でシステムクロック (CLKOUT) の場合、外部システムで同期設計を行うためのシステムクロックを出力します。CPUクロック160MHzの場合、CLKOUT選択レジスタにあるCLKOSEL (CLKOUT選択) ビットを"0"にセットすると20MHzのクロックが出力され、CLKOSELビットを"1"にセットすると40MHzのクロックが出力されます。また、CLKOUT/WR#機能を未使用時、P7動作モードレジスタのP70MDを"0"にクリアすることでP70として使用でき、P15動作モードレジスタのP150MDを"0"にクリアすることでP150として使用できます。

BUSMOD = 1でライト (WR#) の場合、外部ライトアクセス時にデータバスの有効なデータ転送を示します。外部リードサイクルおよび内蔵領域アクセス時には"H"を出力します。

注．・外部拡張モード時は、リセット解除時にポート機能となっています。システムクロック/ライトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(8) ウェイト (WAIT#)

外部バスサイクルを起動した場合、WAIT#信号が入力されている間、ウェイトサイクルを自動的に挿入します。詳細については、「第18章 ウェイトコントローラ」を参照してください。また、WAIT機能を未使用時、P7動作モードレジスタのP71MDを"0"にクリアすることでP71として使用でき、P15動作モードレジスタのP153MDを"0"にクリアすることでP153として使用できます。

注．・外部拡張モード時は、リセット解除時にポート機能となっています。ウェイトとして使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(9) ホールド制御 (HREQ#, HACK#)

ホールド状態とは、内部、外部バスがバスアクセスを停止し、バスインタフェース関連の各端子がハイインピーダンスになっている状態をいいます。ホールド状態にある間は、外部にあるバスマスタはシステムバスを使用したデータ転送を行うことができます。ホールド状態でもCPUの命令キューの中にある命令は実行されますが、バスアクセスを伴う命令を実行しようとするとその時点でCPUの命令実行動作は停止します。

HREQ#端子に"L"信号を入力すると、ホールド状態へ遷移します。ホールド要求受け付け後のホールド中およびホールド状態への遷移中は、HACK#端子から"L"信号を出力します。ホールド状態から通常動作状態へ復帰するにはHREQ#信号を"H"にしてください。

注．・外部拡張モード時は、リセット解除時にポート機能となっています。ホールド制御として使用するには、対応するポート動作モードレジスタによる端子機能の設定が必要です。

(10) 周辺クロック (BCLK)

周辺クロックを出力します。CPUクロック160MHzの場合、40MHzのクロックが出力されます。また、BCLK出力機能を未使用時、P7動作モードレジスタのP70MDを"0"にクリアすることでP70として使用できます。

注．．外部拡張モード時は、リセット解除時にポート機能となっています。周辺クロックとして使用するには、対応するポート動作モードレジスタと周辺機能選択レジスタによる端子機能の設定が必要です。

ホールド中の各端子状態を以下に示します。

表17.1.1 ホールド期間中の端子状態

端子名	端子の状態または動作
A9 ~ A30, DB0 ~ DB15, CS0# ~ CS3#, RD#, BHW#, BLW#, BHE#, BLE#, WR#	ハイインピーダンス
HACK#	"L"を出力
その他の端子(ポートおよびタイマ出力等)	通常動作

(11) バス電源 (VCC-BUS)

バス制御端子への供給電源です。外部デバイスとの接続を考慮し、主電源と異なる電圧を印加できます。

17.2 外部バスインタフェース関連レジスタ

以下に外部バスインタフェース関連レジスタを示します。

17.2.1 ポート動作モードレジスタ、ポート周辺機能選択レジスタ

ポートP0～P4(P41～P43は除く)、P124、P125、P224、P225は外部拡張モード時に、対応する動作モードレジスタの設定により、外部アクセスのための信号端子に切り換わります。プロセッサモード時は、外部アクセス信号端子に固定されます。

これらの端子は、外部拡張モードでリセット解除した場合にポート機能となっているため、外部アクセスのために使用する端子のみを切り換えることで、残りの端子をポートとして使用できます。

ポートP70～P73、P126、P127、P150、P153、P220、P221は、いずれのCPU動作モードであっても、外部アクセスのための信号端子に切り換えることができます。また、ポートP41～P43は外部拡張モード、プロセッサモード時共に、外部アクセス信号端子に固定されます。

P0動作モードレジスタ(P0MOD)

<アドレス：H'0080 0740>

b0	1	2	3	4	5	6	b7
P00MD	P01MD	P02MD	P03MD	P04MD	P05MD	P06MD	P07MD
0	0	0	0	0	0	0	0

<リセット解除時：H'00>

b	ビット名	機能	R	W
0	P00MD ポートP00動作モードビット	0：P00/DD0(注1) 1：DB0/TO21(注2)	R	W
1	P01MD ポートP01動作モードビット	0：P01/DD1(注1) 1：DB1/TO22(注2)	R	W
2	P02MD ポートP02動作モードビット	0：P02/DD2(注1) 1：DB2/TO23(注2)	R	W
3	P03MD ポートP03動作モードビット	0：P03/DD3(注1) 1：DB3/TO24(注2)	R	W
4	P04MD ポートP04動作モードビット	0：P04/DD4(注1) 1：DB4/TO25(注2)	R	W
5	P05MD ポートP05動作モードビット	0：P05/DD5(注1) 1：DB5/TO26(注2)	R	W
6	P06MD ポートP06動作モードビット	0：P06/DD6(注1) 1：DB6/TO27(注2)	R	W
7	P07MD ポートP07動作モードビット	0：P07/DD7(注1) 1：DB7/TO28(注2)	R	W

注1．ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2．端子をどの機能で使用するかは、P0周辺機能選択レジスタで選択します。

注．．プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB0～DB7)となります。

P0周辺機能選択レジスタ(P0SMOD)

<アドレス : H'008 0760 >

b0	1	2	3	4	5	6	b7
P00SMD	P01SMD	P02SMD	P03SMD	P04SMD	P05SMD	P06SMD	P07SMD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P00SMD ポートP00周辺機能選択ビット	0 : DB0 1 : TO21	R	W
1	P01SMD ポートP01周辺機能選択ビット	0 : DB1 1 : TO22	R	W
2	P02SMD ポートP02周辺機能選択ビット	0 : DB2 1 : TO23	R	W
3	P03SMD ポートP03周辺機能選択ビット	0 : DB3 1 : TO24	R	W
4	P04SMD ポートP04周辺機能選択ビット	0 : DB4 1 : TO25	R	W
5	P05SMD ポートP05周辺機能選択ビット	0 : DB5 1 : TO26	R	W
6	P06SMD ポートP06周辺機能選択ビット	0 : DB6 1 : TO27	R	W
7	P07SMD ポートP07周辺機能選択ビット	0 : DB7 1 : TO28	R	W

注 . . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB0 ~ DB7)となります。

- ・このレジスタ値の変更は、P0動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。その後、P0動作モードレジスタの対応するビットを"1"に設定してください。
- ・シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P1動作モードレジスタ(P1MOD)

<アドレス: H'0080 0741 >

b8	9	10	11	12	13	14	b15
P10MD	P11MD	P12MD	P13MD	P14MD	P15MD	P16MD	P17MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P10MD ポートP10動作モードビット	0: P10/DD8(注1) 1: DB8/TO29(注2)	R	W
9	P11MD ポートP11動作モードビット	0: P11/DD9(注1) 1: DB9/TO30(注2)	R	W
10	P12MD ポートP12動作モードビット	0: P12/DD10(注1) 1: DB10/TO31(注2)	R	W
11	P13MD ポートP13動作モードビット	0: P13/DD11(注1) 1: DB11/TO32(注2)	R	W
12	P14MD ポートP14動作モードビット	0: P14/DD12(注1) 1: DB12/TO33(注2)	R	W
13	P15MD ポートP15動作モードビット	0: P15/D13(注1) 1: DB13/TO34(注2)	R	W
14	P16MD ポートP16動作モードビット	0: P16/DD14(注1) 1: DB14/TO35(注2)	R	W
15	P17MD ポートP17動作モードビット	0: P17/DD15(注1) 1: DB15/TO36(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P1周辺機能選択レジスタで選択します。

注. プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB8 ~ DB15)となります。

P1周辺機能選択レジスタ(P1SMOD)

<アドレス: H'0080 0761 >

b8	9	10	11	12	13	14	b15
P10SMD	P11SMD	P12SMD	P13SMD	P14SMD	P15SMD	P16SMD	P17SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
8	P10SMD ポートP10周辺機能選択ビット	0: DB8 1: TO29	R	W
9	P11SMD ポートP11周辺機能選択ビット	0: DB9 1: TO30	R	W
10	P12SMD ポートP12周辺機能選択ビット	0: DB10 1: TO31	R	W
11	P13SMD ポートP13周辺機能選択ビット	0: DB11 1: TO32	R	W
12	P14SMD ポートP14周辺機能選択ビット	0: DB12 1: TO33	R	W
13	P15SMD ポートP15周辺機能選択ビット	0: DB13 1: TO34	R	W
14	P16SMD ポートP16周辺機能選択ビット	0: DB14 1: TO35	R	W
15	P17SMD ポートP17周辺機能選択ビット	0: DB15 1: TO36	R	W

注. プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(DB8 ~ DB15)となります。

このレジスタ値の変更は、P1動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)に行ってください。その後、P1動作モードレジスタの対応するビットを"1"に設定してください。

シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P2動作モードレジスタ(P2MOD)

<アドレス : H'0080 0742 >

b0	1	2	3	4	5	6	b7
P20MD	P21MD	P22MD	P23MD	P24MD	P25MD	P26MD	P27MD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0	P20MD ポートP20動作モードビット	0 : P20/DD24(注1) 1 : A23	R	W
1	P21MD ポートP21動作モードビット	0 : P21/DD25(注1) 1 : A24	R	W
2	P22MD ポートP22動作モードビット	0 : P22/DD26(注1) 1 : A25	R	W
3	P23MD ポートP23動作モードビット	0 : P23/DD27(注1) 1 : A26	R	W
4	P24MD ポートP24動作モードビット	0 : P24/DD28(注1) 1 : A27	R	W
5	P25MD ポートP25動作モードビット	0 : P25/DD29(注1) 1 : A28	R	W
6	P26MD ポートP26動作モードビット	0 : P26/DD30(注1) 1 : A29	R	W
7	P27MD ポートP27動作モードビット	0 : P27/DD31(注1) 1 : A30	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注. ・シングルチップモード時は、本レジスタの設定は無効となり、ポート入出力/DD入力端子となります。

・プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(A23 ~ A30)となります。

P3動作モードレジスタ(P3MOD)

<アドレス: H'0080 0743>

b8	9	10	11	12	13	14	b15
P30MD	P31MD	P32MD	P33MD	P34MD	P35MD	P36MD	P37MD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P30MD ポートP30動作モードビット	0: P30/DD16(注1) 1: A15/TIN4(注2)	R	W
9	P31MD ポートP31動作モードビット	0: P31/DD17(注1) 1: A16/TIN5(注2)	R	W
10	P32MD ポートP32動作モードビット	0: P32/DD18(注1) 1: A17/TIN6(注2)	R	W
11	P33MD ポートP33動作モードビット	0: P33/DD19(注1) 1: A18/TIN7(注2)	R	W
12	P34MD ポートP34動作モードビット	0: P34/DD20(注1) 1: A19/TIN30(注2)	R	W
13	P35MD ポートP35動作モードビット	0: P35/DD21(注1) 1: A20/TIN31(注2)	R	W
14	P36MD ポートP36動作モードビット	0: P36/DD22(注1) 1: A21/TIN32(注2)	R	W
15	P37MD ポートP37動作モードビット	0: P37/DD23(注1) 1: A22/TIN33(注2)	R	W

注1. ポート、DD入力の両方の機能が有効となります。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P3周辺機能選択レジスタで選択します。

注. . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(A15 ~ A22)となります。

P3周辺機能選択レジスタ(P3SMOD)

<アドレス: H'0080 0763>

b8	9	10	11	12	13	14	b15
P30SMD	P31SMD	P32SMD	P33SMD	P34SMD	P35SMD	P36SMD	P37SMD
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
8	P30SMD ポートP30周辺機能選択ビット	0: A15 1: TIN4	R	W
9	P31SMD ポートP31周辺機能選択ビット	0: A16 1: TIN5	R	W
10	P32SMD ポートP32周辺機能選択ビット	0: A17 1: TIN6	R	W
11	P33SMD ポートP33周辺機能選択ビット	0: A18 1: TIN7	R	W
12	P34SMD ポートP34周辺機能選択ビット	0: A19 1: TIN30	R	W
13	P35SMD ポートP35周辺機能選択ビット	0: A20 1: TIN31	R	W
14	P36SMD ポートP36周辺機能選択ビット	0: A21 1: TIN32	R	W
15	P37SMD ポートP37周辺機能選択ビット	0: A22 1: TIN33	R	W

注. . プロセッサモード時では設定が無効となり、外部バスインタフェース信号端子(A15 ~ A22)となります。

- このレジスタ値の変更は、P3動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。その後、P3動作モードレジスタの対応するビットを"1"に設定してください。

- シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P4動作モードレジスタ(P4MOD)

<アドレス: H'0080 0744 >

b0	1	2	3	4	5	6	b7
0	0	0	0	P44MD 0	P45MD 0	P46MD 0	P47MD 0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P44MD ポートP44動作モードビット	0: P44 1: CS0#/TIN8(注1)	R	W
5	P45MD ポートP45動作モードビット	0: P45 1: CS1#/TIN9(注1)	R	W
6	P46MD ポートP46動作モードビット	0: P46 1: A13/TIN10(注1)	R	W
7	P47MD ポートP47動作モードビット	0: P47 1: A14/TIN11(注1)	R	W

注1. 端子をどの機能で使用するかは、P4周辺機能選択レジスタで選択します。

注. . プロセッサモード時は、本レジスタの設定は無効となり、外部バスインタフェース信号端子(CS0#, CS1#, A13, A14)となります。

P4周辺機能選択レジスタ(P4SMOD)

<アドレス: H'0080 0764 >

b0	1	2	3	4	5	6	b7
0	0	0	0	P44SMD 0	P45SMD 0	P46SMD 0	P47SMD 0

<リセット解除時: H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P44SMD ポートP44周辺機能選択ビット	0: CS0# 1: TIN8	R	W
5	P45SMD ポートP45周辺機能選択ビット	0: CS1# 1: TIN9	R	W
6	P46SMD ポートP46周辺機能選択ビット	0: A13 1: TIN10	R	W
7	P47SMD ポートP47周辺機能選択ビット	0: A14 1: TIN11	R	W

注. . プロセッサモード時では設定が無効となり、外部バスインタフェース信号端子(CS0#, CS1#, A13, A14)となります。

. このレジスタ値の変更は、P4動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。その後、P4動作モードレジスタの対応するビットを"1"に設定してください。

. シングルチップモード時、外部バスインタフェース機能は選択しないでください。

P7動作モードレジスタ(P7MOD)

<アドレス : H'0080 0747 >

b8	9	10	11	12	13	14	b15
P70MD	P71MD	P72MD	P73MD	P74MD	P75MD	P76MD	P77MD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P70MD ポートP70動作モードビット	0 : P70 1 : CLKOUT/WR#/BCLK(注1)	R	W
9	P71MD ポートP71動作モードビット	0 : P71 1 : WAIT#(注2)	R	W
10	P72MD ポートP72動作モードビット	0 : P72 1 : HREQ#/TIN27(注3)	R	W
11	P73MD ポートP73動作モードビット	0 : P73 1 : HACK#/TIN26(注3)	R	W
12	P74MD ポートP74動作モードビット(注4)	0 : P74 1 : RTDCLK/TXD3(注3)	R	W
13	P75MD ポートP75動作モードビット(注4)	0 : P75 1 : RTDRXD/RXD3(注3)	R	W
14	P76MD ポートP76動作モードビット(注4)	0 : P76 1 : RTDACK/CTX1(注3)	R	W
15	P77MD ポートP77動作モードビット(注4)	0 : P77 1 : RTDCLK/CRX1(注3)	R	W

注1. 端子をどの機能で使用するかは、P7周辺機能選択レジスタ、およびバスモード制御レジスタで選択します。

注2. シングルチップモード時は、本レジスタの設定は無効となり、ポート入出力端子となります。

注3. 端子をどの機能で使用するかは、P7周辺機能選択レジスタで選択します。

注4. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

P7周辺機能選択レジスタ(P7SMOD)

<アドレス : H'0080 0767 >

b8	9	10	11	12	13	14	b15
P70SMD		P72SMD	P73SMD	P74SMD	P75SMD	P76SMD	P77SMD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P70SMD ポートP70周辺機能選択ビット	0 : CLKOUT/WR#(注1) 1 : BCLK	R	W
9	何も配置されていません。"0"に固定してください。		0	0
10	P72SMD ポートP72周辺機能選択ビット	0 : HREQ# 1 : TIN27	R	W
11	P73SMD ポートP73周辺機能選択ビット	0 : HACK# 1 : TIN26	R	W
12	P74SMD(注2) ポートP74周辺機能選択ビット	0 : RTDCLK 1 : TXD3	R	W
13	P75SMD(注2) ポートP75周辺機能選択ビット	0 : RTDRXD 1 : RXD3	R	W
14	P76SMD(注2) ポートP76周辺機能選択ビット	0 : RTDACK 1 : CTX1	R	W
15	P77SMD(注2) ポートP77周辺機能選択ビット	0 : RTDCLK 1 : CRX1	R	W

注1. 端子をどの機能で使用するかは、バスモード制御レジスタで選択します。

注2. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

注. . このレジスタ値の変更は、P7動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。その後、P7動作モードレジスタの対応するビットを"1"に設定してください。

P12動作モードレジスタ(P12MOD)

<アドレス : H'0080 074C >

b0	1	2	3	4	5	6	b7
0	0	0	0	P124MD 0	P125MD 0	P126MD 0	P127MD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P124MD ポートP124動作モードビット(注3)	0 : P124/DD3(注1) 1 : TCLK0/A9(注2)	R	W
5	P125MD ポートP125動作モードビット(注3)	0 : P125/DD2(注1) 1 : TCLK1/A10(注2)	R	W
6	P126MD ポートP126動作モードビット	0 : P126/DD1(注1) 1 : TCLK2/CS2#(注2)	R	W
7	P127MD ポートP127動作モードビット	0 : P127/DD0(注1) 1 : TCLK3/CS3#(注2)	R	W

注1. DD入力端子選択レジスタ(DDSEL)の設定によりDD入力の機能が有効となります(詳細については、「第14章 ダイレクトRAM インタフェース」を参照してください)。DD入力端子として使用する場合は、ポートの方向を入力に設定してください。

注2. 端子をどの機能で使用するかは、P12周辺機能選択レジスタで選択します。

注3. プロセッサモード時は、設定が無効となり、外部バスインタフェース信号端子(A9, A10)となります。

P12周辺機能選択レジスタ(P12SMOD)

<アドレス : H'0080 076C >

b0	1	2	3	4	5	6	b7
0	0	0	0	P124SMD 0	P125SMD 0	P126SMD 0	P127SMD 0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~3	何も配置されていません。"0"に固定してください。		0	0
4	P124SMD ポートP124周辺機能選択ビット(注1)	0 : TCLK0 1 : A9	R	W
5	P125SMD ポートP125周辺機能選択ビット(注1)	0 : TCLK1 1 : A10	R	W
6	P126SMD ポートP126周辺機能選択ビット	0 : TCLK2 1 : CS2#	R	W
7	P127SMD ポートP127周辺機能選択ビット	0 : TCLK3 1 : CS3#	R	W

注1. プロセッサモード時は、設定が無効となり、外部バスインタフェース信号端子(A9, A10)となります。

注. . このレジスタ値の変更は、P12動作モードレジスタの対応するビットが"0"とき(ポート側設定時)に行ってください。その後、P12動作モードレジスタの対応するビットを"1"に設定してください。

P15動作モードレジスタ(P15MOD)

< アドレス : H'0080 074F >

b8	9	10	11	12	13	14	b15
P150MD 0	0	0	P153MD 0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P150MD ポートP150動作モードビット	0 : P150 1 : TIN0/CLKOUT/WR#(注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153MD ポートP153動作モードビット	0 : P153 1 : TIN3/WAIT#(注2)	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、P15周辺機能選択レジスタ、およびバスモード制御レジスタによって選択します。

注2. 端子をどの機能で使用するかは、P15周辺機能選択レジスタで選択します。

P15周辺機能選択レジスタ(P15SMOD)

< アドレス : H'0080 076F >

b8	9	10	11	12	13	14	b15
P150SMD 0	0	0	P153SMD 0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P150SMD ポートP150周辺機能選択ビット	0 : TIN0 1 : CLKOUT/WR#(注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153SMD ポートP153周辺機能選択ビット(注2)	0 : TIN3 1 : WAIT#	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、バスモード制御レジスタによって選択します。

注2. シングルチップモード時、外部バスインタフェース信号機能は選択しないでください。

注. . . このレジスタ値の変更は、P15動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)、行ってください。その後、P15動作モードレジスタの対応するビットを"1"に設定してください。

P22動作モードレジスタ(P22MOD)

<アドレス: H'0080 0756>

b0	1	2	3	4	5	6	b7
P220MD	P221MD			P224MD	P225MD		
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	P220MD ポートP220動作モードビット	0: P220 1: CTX0/HACK#(注1)	R	W
1	P221MD ポートP221動作モードビット	0: P221 1: CRX0/HREQ#(注1)	R	W
2, 3	何も配置されていません。"0"に固定してください。		0	0
4	P224MD ポートP224動作モードビット(注2)	0: P224 1: A11/CS2#(注1)	R	W
5	P225MD ポートP225動作モードビット(注2)	0: P225 1: A12/CS3#(注1)	R	W
6, 7	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、P22周辺機能選択レジスタで選択します。

注2. プロセッサモード時は、設定は無効となり、外部バスインタフェース信号端子(A11/CS2#, A12/CS3#)となります。

P22周辺機能選択レジスタ(P22SMOD)

<アドレス: H'0080 0776>

b0	1	2	3	4	5	6	b7
P220SMD	P221SMD			P224SMD	P225SMD		
0	0	0	0	0	0	0	0

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	P220SMD ポートP220周辺機能選択ビット	0: CTX0 1: HACK#	R	W
1	P221SMD ポートP221周辺機能選択ビット	0: CRX0 1: HREQ#	R	W
2, 3	何も配置されていません。"0"に固定してください。		0	0
4	P224SMD ポートP224周辺機能選択ビット(注1)	0: A11 1: CS2#	R	W
5	P225SMD ポートP225周辺機能選択ビット(注1)	0: A12 1: CS3#	R	W
6, 7	何も配置されていません。"0"に固定してください。		0	0

注1. シングルチップモード時、外部バスインタフェース信号機能は選択しないでください。

注. . . このレジスタ値の変更は、P22動作モードレジスタの対応するビットが"0"のとき(ポート側設定時)行ってください。

その後、P22動作モードレジスタの対応するビットを"1"に設定してください。

17.2.2 バスモード制御レジスタ

バスモード制御レジスタ(BUSMODC)

< アドレス : H'0080 077F >

b8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	BUSMOD 0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8 ~ 14		何も配置されていません。"0"に固定してください。	0	0
15	BUSMOD	0 : WR信号分離モード	R	W
	バスモードコントロールビット	1 : バイトイネーブル分離モード		

プロセッサモードおよび外部拡張モードで、メモリ接続方法を容易にするために使用します。

バスモードコントロールビット(BUSMOD)を"0"にクリアした場合、WR#信号をバイト領域ごとに分離して出力します。RD#、BHW#、BLW#、CLKOUT、WAIT#、BCLK信号を使用できます。

バスモードコントロールビット(BUSMOD)を"1"にセットした場合、バイトイネーブル信号をバイト領域ごとに分離して出力します。RD#、BHE#、BLE#、WR#、WAIT#、BCLK信号を使用できます。WAIT制御回路構成時は、CLKOUTが出力されないため、BCLK、または外部でのタイミング制御が必要です。

ブートモードでメモリ接続時、バスモード制御レジスタは無効となり、バスモードコントロールビット(BUSMOD)を"0"にクリアした設定で動作します。

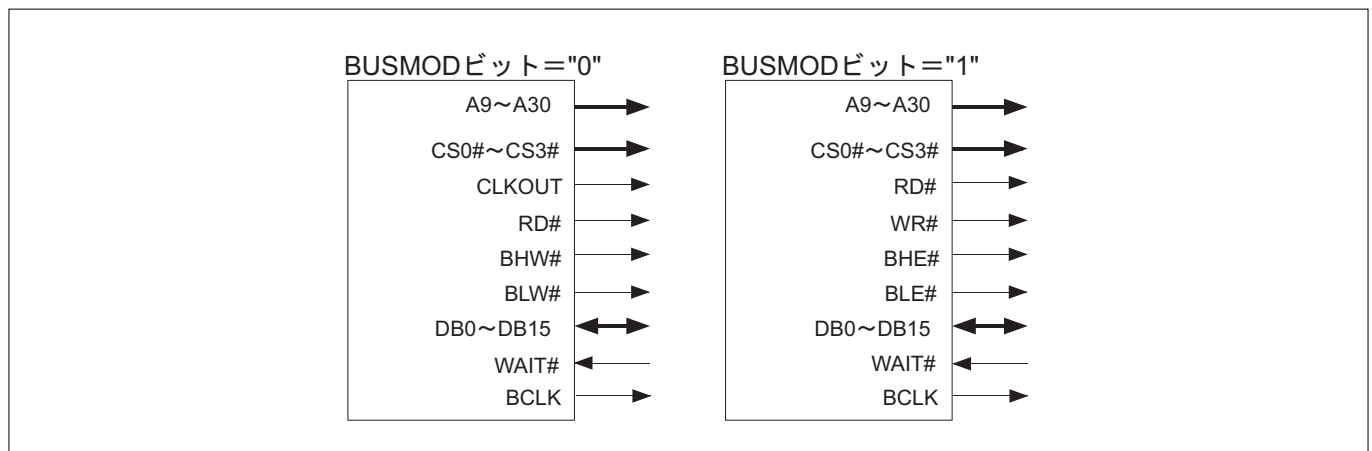


図17.2.1 外部バスモード切り換え時の端子機能

17.2.3 CLKOUT選択レジスタ

CLKOUT選択レジスタ(CLKOUTSEL)

< アドレス : H'0080 01A0 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	CLKOSELP	CLKOSEL
						0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。		0	-
6	CLKOSELP CLKOSEL書き込み制御ビット		0	W
7	CLKOSEL CLKOUT選択ビット	0 : BCLKの2分周 1 : BCLK	R	W

注 . ・ CLKOUTがBCLKの2分周からBCLKへ切り換わる時、またはBCLKからBCLKの2分周へ切り換わる時には、CLKOUTにハザードが乗る場合があります。

・ CLKOUT端子出力として、BCLKを選択した場合、CS0~CS3空間を使用する、使用しないに関わらず、CSx領域ウェイト制御レジスタのWAIT(内部ウェイト数選択)ビットで0ウェイトを選択することは禁止です。

(1) CLKOSELP (CLKOSEL 書き込み制御) ビット (b6)

CLKOUT選択ビットの書き込み制御ビットです。

(2) CLKOUT 選択 (CLKOSEL) ビット (b7)

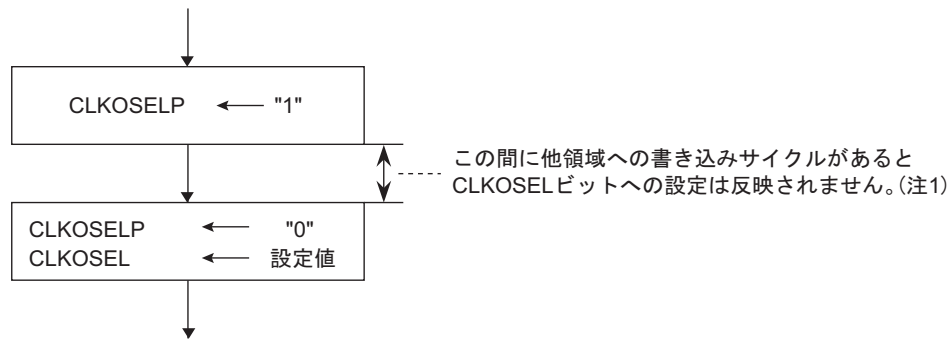
CLKOUT選択(CLKOSEL)ビットはCLKOUT(外部バス同期クロック)端子出力としてBCLK、またはBCLKの2分周のいずれかを選択するビットです。CPUクロック160MHzの場合はBCLKは40MHzとなります。CLKOSELを"0"にクリアすると外部バスの基準クロックであるCLKOUTは20MHzとなり、CLKOSELを"1"にセットすると40MHzとなります。また、CSn領域ウェイト制御レジスタで設定したウェイト数、CSウェイト、ストローブウェイト、リカバリサイクル、リード後のアイドルサイクルはいずれもCLKOUTに同期します。

ただし、CLKOSELビットで"1"(CLKOUT出力としてBCLKを選択)に設定した場合、CS0~CS3空間を使用する、使用しないに関わらず、CSn領域ウェイト制御レジスタのWAIT(内部ウェイト数選択)ビットで0ウェイトを選択することは禁止してください。

以下にCLKOSEL(CLKOUT選択)ビットの設定方法を示します。

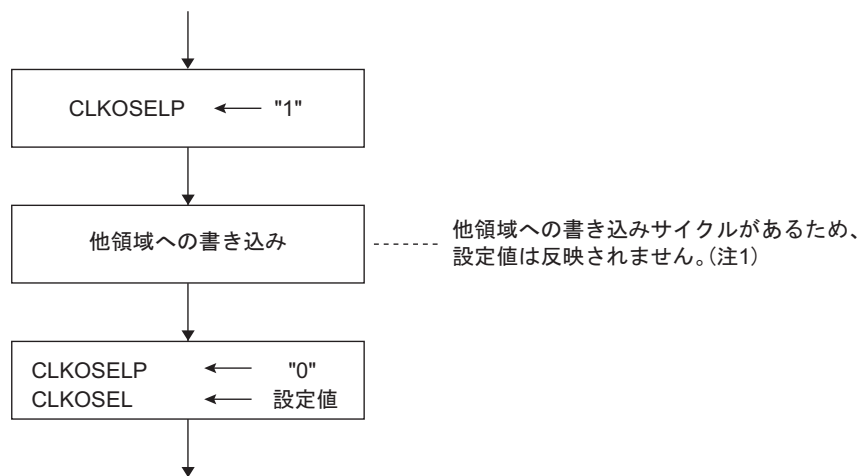
1. 設定は内蔵 ROM 上、または内蔵 RAM 上のプログラムで実施してください。
2. CLKOSEL 書き込み制御ビット (CLKOSELP) に "1" を書き込んでください。
3. 上記 2. に連続して CLKOSEL 書き込み制御ビット (CLKOSELP) に "0" を、CLKOUT 選択ビット (CLKOSEL) に " 設定値 " を書き込んでください。
4. 書き込み後は任意 SFR 領域へのリードを 2 回実施してください。

■ 正しい設定例

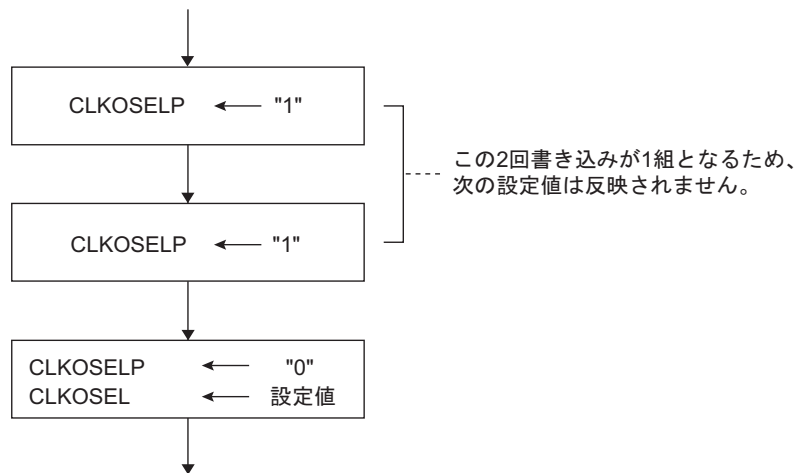


■ 設定無効となる場合

(1)



(2)



注1. 他領域への書き込みサイクルとは、CPU、DMA、SDI(ツール)、NBDから任意の領域への書き込みサイクルを示します。RTD、DRIからの書き込みサイクルには、影響しません。

注. ・本設定は、内蔵ROM上または内蔵RAM上のプログラムで実施してください。

図17.2.2 CLKOUT選択(CLKOSEL)ビットの設定手順

CPUCLK、BCLK、CLKOUTのクロック構成図を図17.2.3に示します。

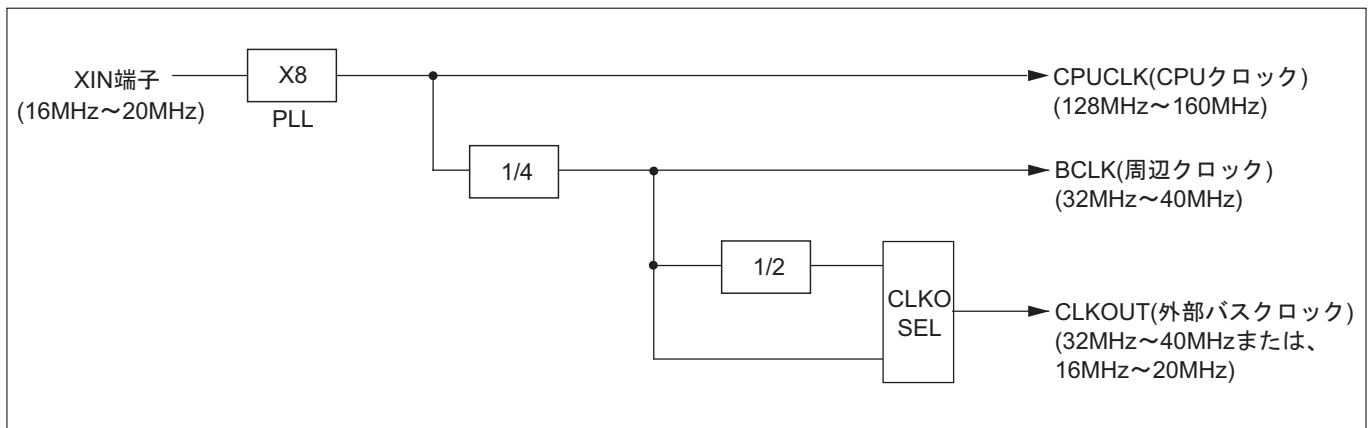


図17.2.3 クロック構成図

CLKOUT、BCLKの出力端子を表17.2.1に、CLKOUT、BCLKの選択構成図を図17.2.4に示します。

表17.2.1 CLKOUT、BCLKの出力端子

PIN No.	端子名	機能	設定値
78	P70/CLKOUT/WR#/BCLK	P70	P70MD = 0
		CLKOUT	P70MD = 1, P70SMD = 0, BUSMOD = 0
		WR#	P70MD = 1, P70SMD = 0, BUSMOD = 1
		BCLK	P70MD = 1, P70SMD = 1
133	P150/TIN0/CLKOUT/WR#	P150	P150MD = 0
		TIN0	P150MD = 1, P150SMD = 0
		CLKOUT	P150MD = 1, P150SMD = 1, BUSMOD = 0
		WR#	P150MD = 1, P150SMD = 1, BUSMOD = 1

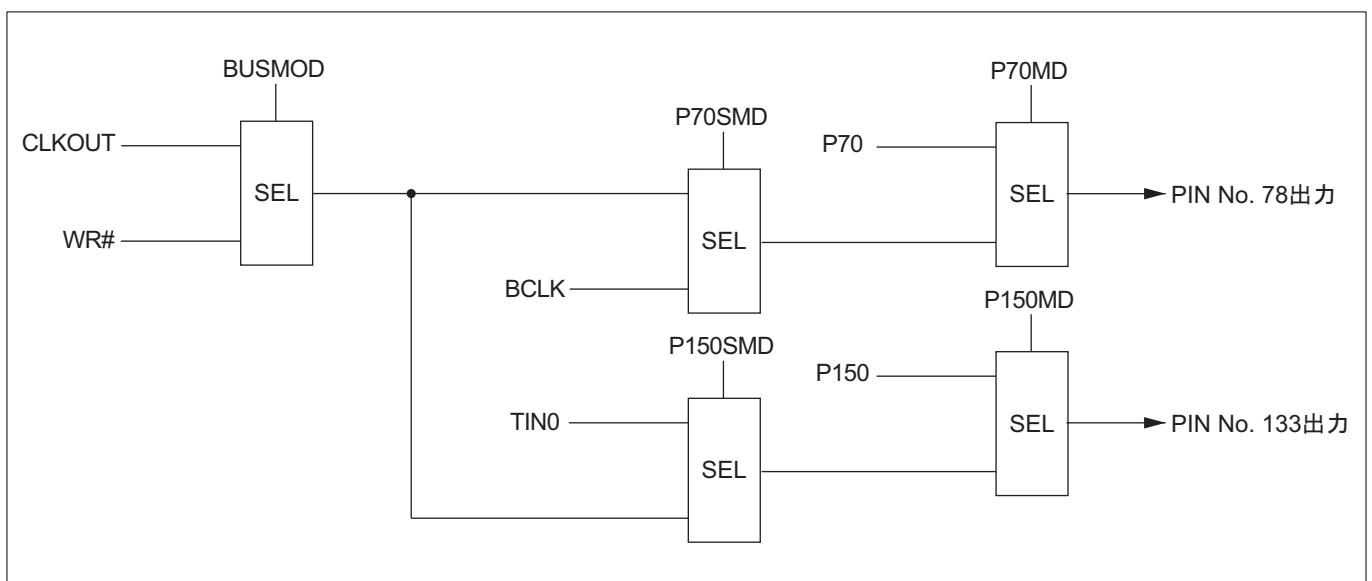


図17.2.4 CLKOUT、BCLKの選択構成図

17.3 リード/ライト動作

(1) バスモード制御レジスタを "0" に設定した場合

外部リード/ライト動作は、アドレスバス、データバスとCS0# ~ CS3#、RD#、BHW#、BLW#、WAIT#、CLKOUT、BCLKの各信号により行います。外部リードサイクルで、RD#信号は"L"、BHW#、BLW#は共に"H"になり、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、書き込みを行うバイト位置に対応したBHW#、またはBLW#信号に"L"を出力し、データの書き込みを行います。

外部バスサイクル起動時、WAIT#信号を"L"にするとウェイトサイクルを挿入し続けます。WAIT#信号は必要なとき以外は、常に"H"状態を保ってください。WAIT機能を使用しない場合、P7動作モードレジスタのP71MD、またはP15動作モードレジスタのP153MDを"0"にすることでポート機能として使用できます。

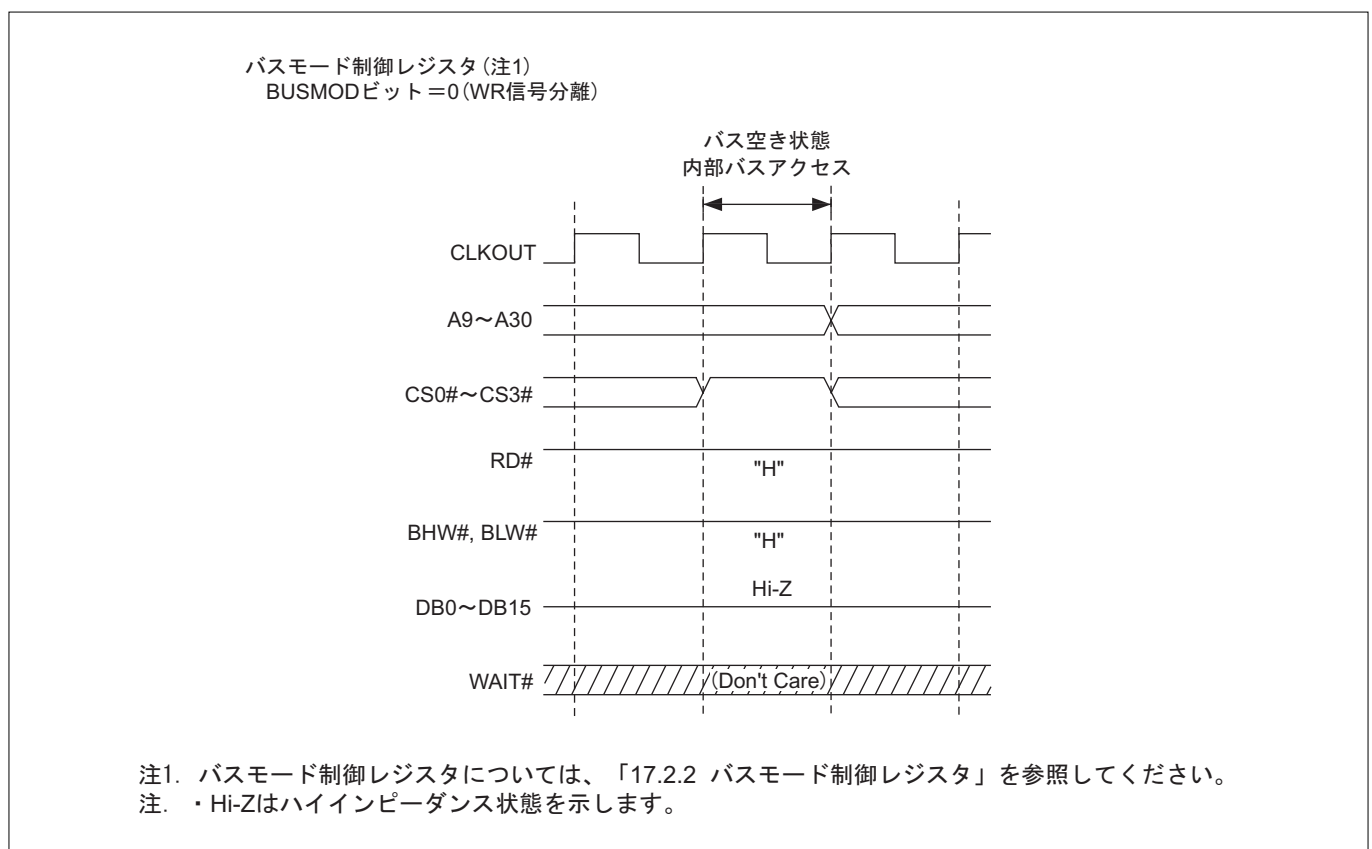
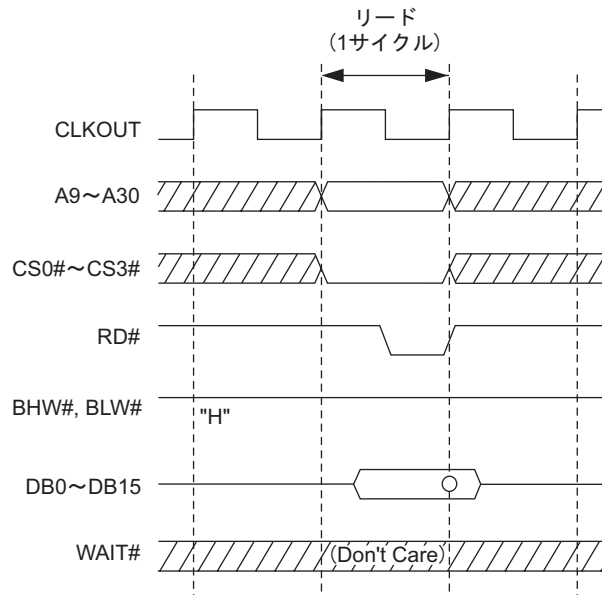


図17.3.1 バス空き状態/内部バスアクセス時

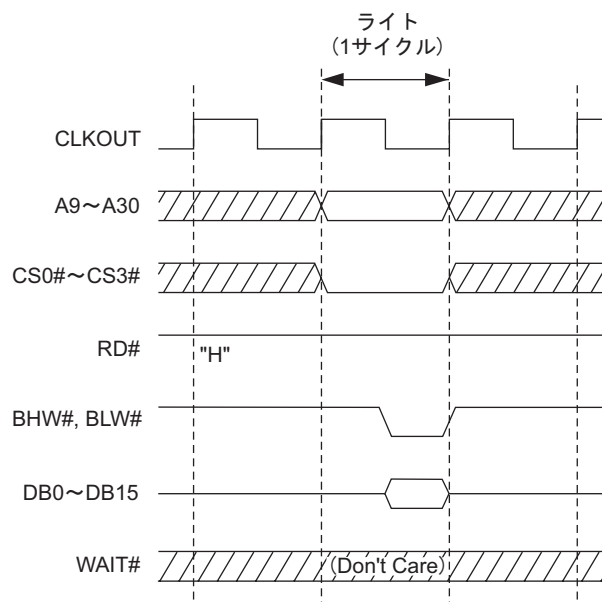
バスモード制御レジスタ (注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0000 (0ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

注. 0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。

図17.3.2 リード/ライトタイミング(0ウェイトアクセス時)

バスモード制御レジスタ (注1)

BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)

WAITビット = 0010 (2ウェイト)

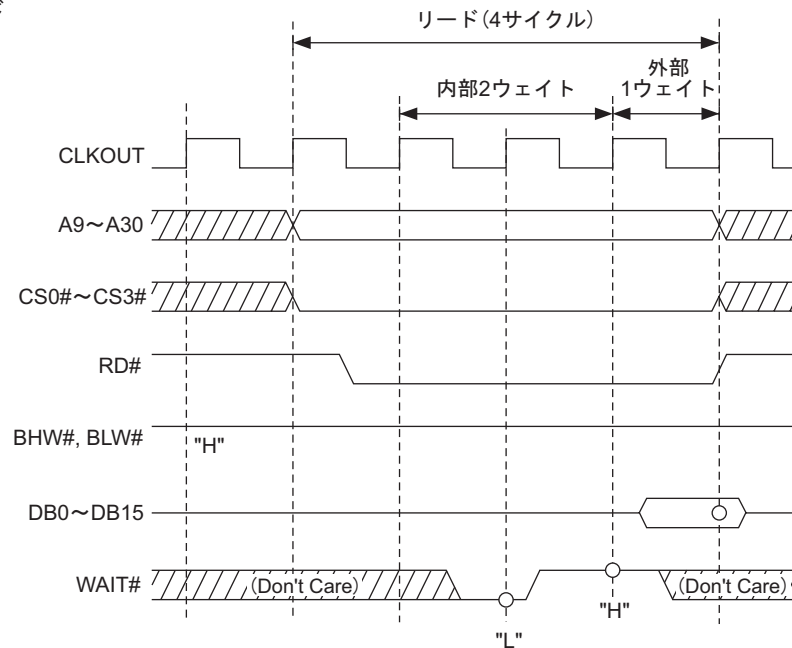
CWAITビット = 0 (CSウェイトなし)

SWAITビット = 0 (ストローブウェイトなし)

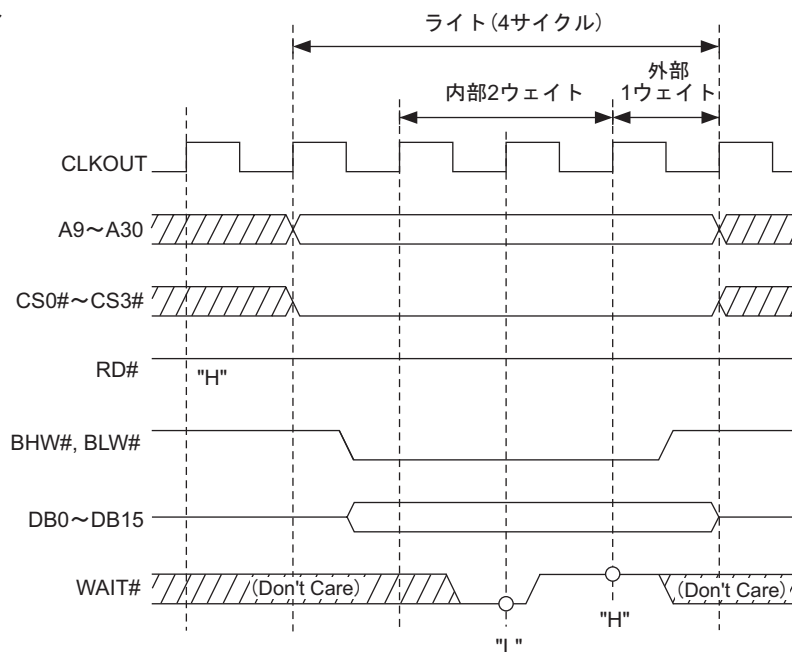
RECOVビット = 0 (リカバリサイクルなし)

IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

注. ・図中○印はサンプリングタイミングを示します。

図17.3.3 リード/ライトタイミング (内部2ウェイト+外部1ウェイトアクセス時)

(2) バスモード制御レジスタを1に設定した場合

外部リード/ライト動作は、アドレスバス、データバスとCS0#～CS3#、RD#、BHE#、BLE#、WAIT#、WR#、BCLKの各信号により行います。外部リードサイクルでは、RD#信号は"L"、読み込みを行うバイト位置に対応したBHE#、またはBLE#に"L"を出力し、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、WR#信号は"L"、書き込みを行うバイト位置に対応したBHE#、またはBLE#に"L"を出力し、必要なバイト位置のデータの書き込みを行います。

外部バスサイクル起動時、WAIT#信号を"L"にするとウェイトサイクルを挿入し続けます。WAIT#信号は必要なとき以外は、常に"H"状態を保ってください。

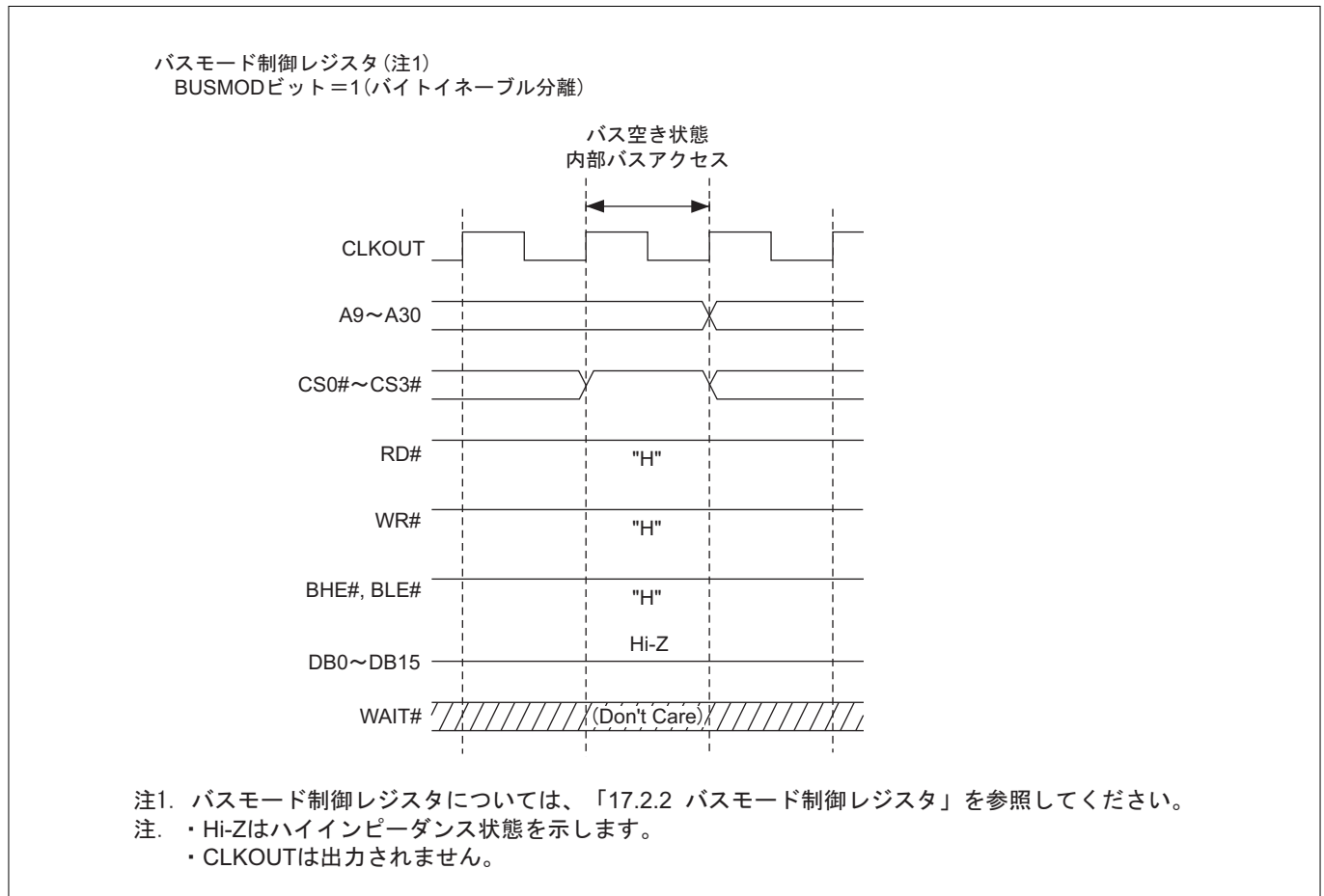
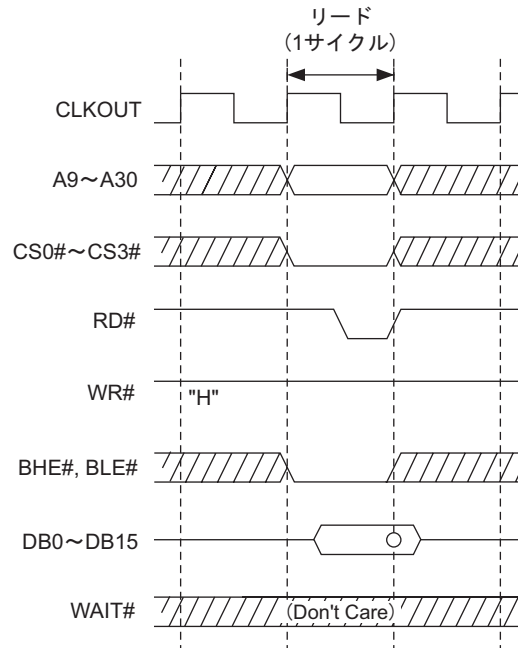


図17.3.4 バス空き状態/内部バスアクセス時

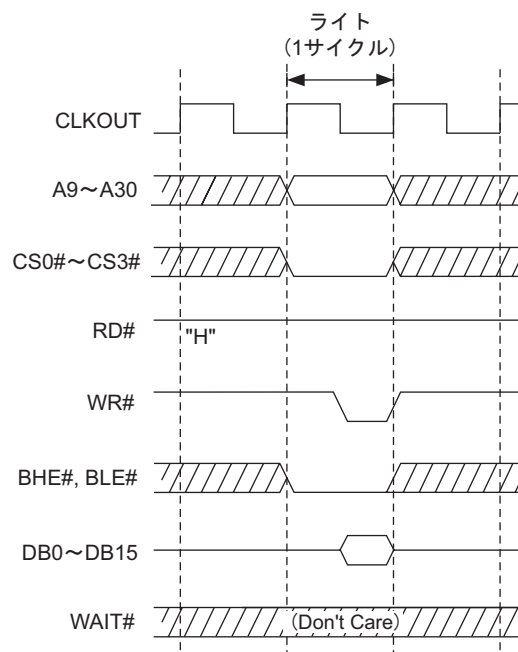
バスモード制御レジスタ (注1)
 BUSMODビット =1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
 WAITビット =0000(0ウェイト)
 CWAITビット =0 (CSウェイトなし)
 SWAITビット =0 (ストローブウェイトなし)
 RECOVビット =0 (リカバリサイクルなし)
 IDLEビット =0 (アイドルサイクルなし)

リード



ライト



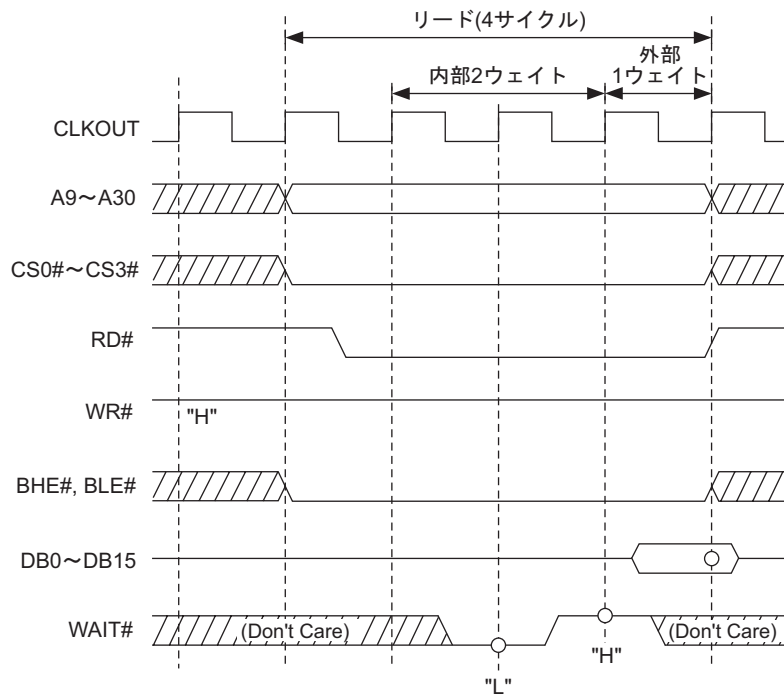
- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。
 ・CLKOUTは出力されません。

図17.3.5 リード/ライトタイミング(0ウェイトアクセス時)

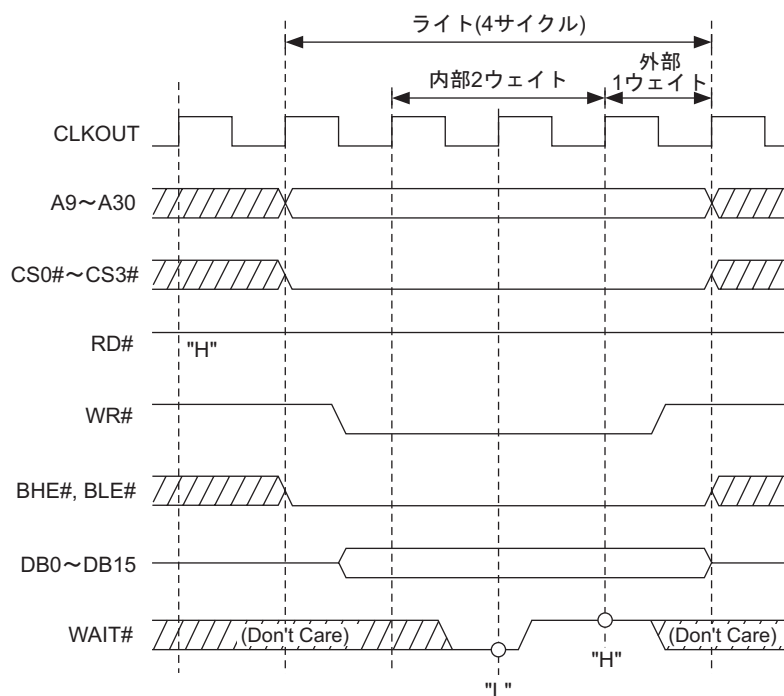
バスモード制御レジスタ(注1)
 BUSMODビット = 1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
 WAITビット = 0010(2ウェイト)
 CWAITビット = 0 (CSウェイトなし)
 SWAITビット = 0 (ストローブウェイトなし)
 RECOVビット = 0 (リカバリサイクルなし)
 IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中O印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

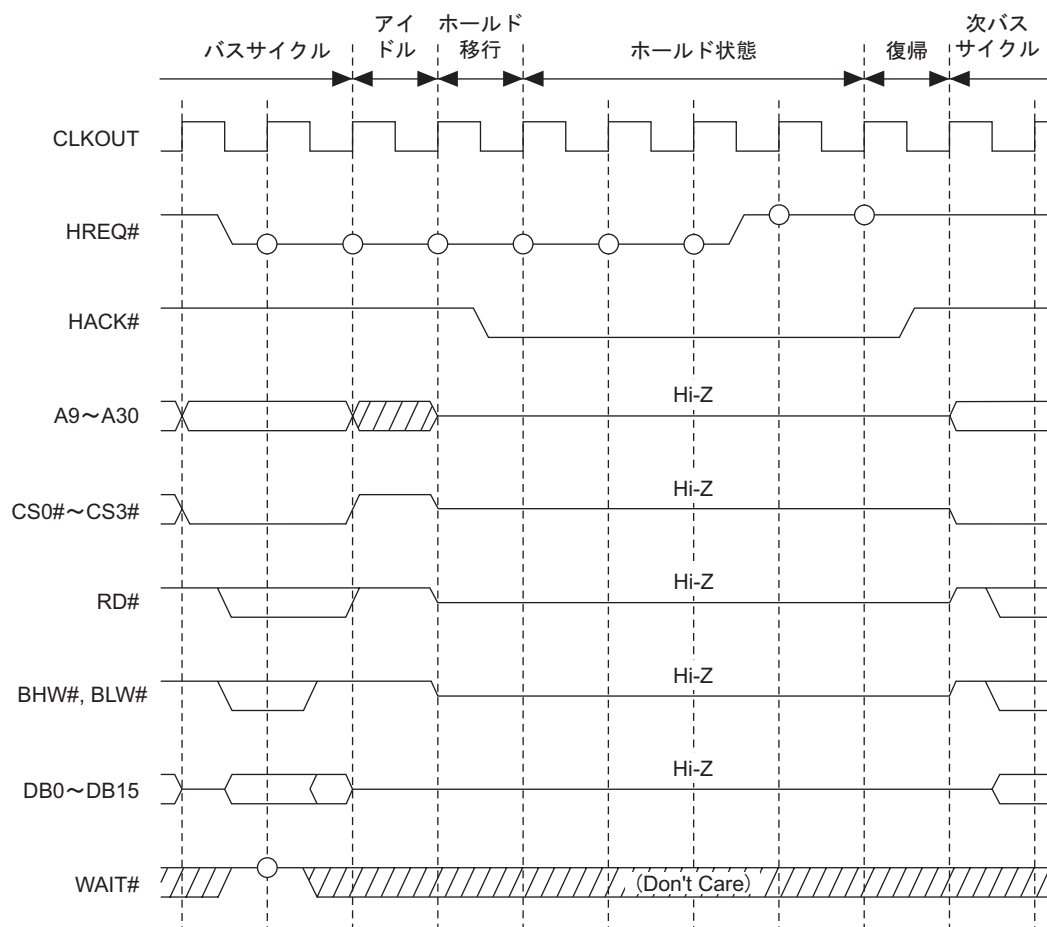
図17.3.6 リード/ライトタイミング(内部2ウェイト+外部1ウェイトアクセス時)

17.4 バスアービトラーション

(1) バスモード制御レジスタが0の場合

HREQ#端子に"L"信号を入力し、それが受け付けられると32192/32195/32196はホールド状態へ遷移し、HACK#端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ#信号を"H"にしてください。

バスモード制御レジスタ(注1)
BUSMODビット=0(WR信号分離)



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注. 図中○印はサンプリングタイミングを示します。

・Hi-Zはハイインピーダンス状態を示します。

・アイドルサイクルは外部リードアクセスに続いてホールド状態となる場合にのみ挿入されます。

なお、ウェイトコントローラでRECOV=1、IDLE=0に設定した時は

アイドルサイクルの代わりにリカバリサイクルが挿入されます。

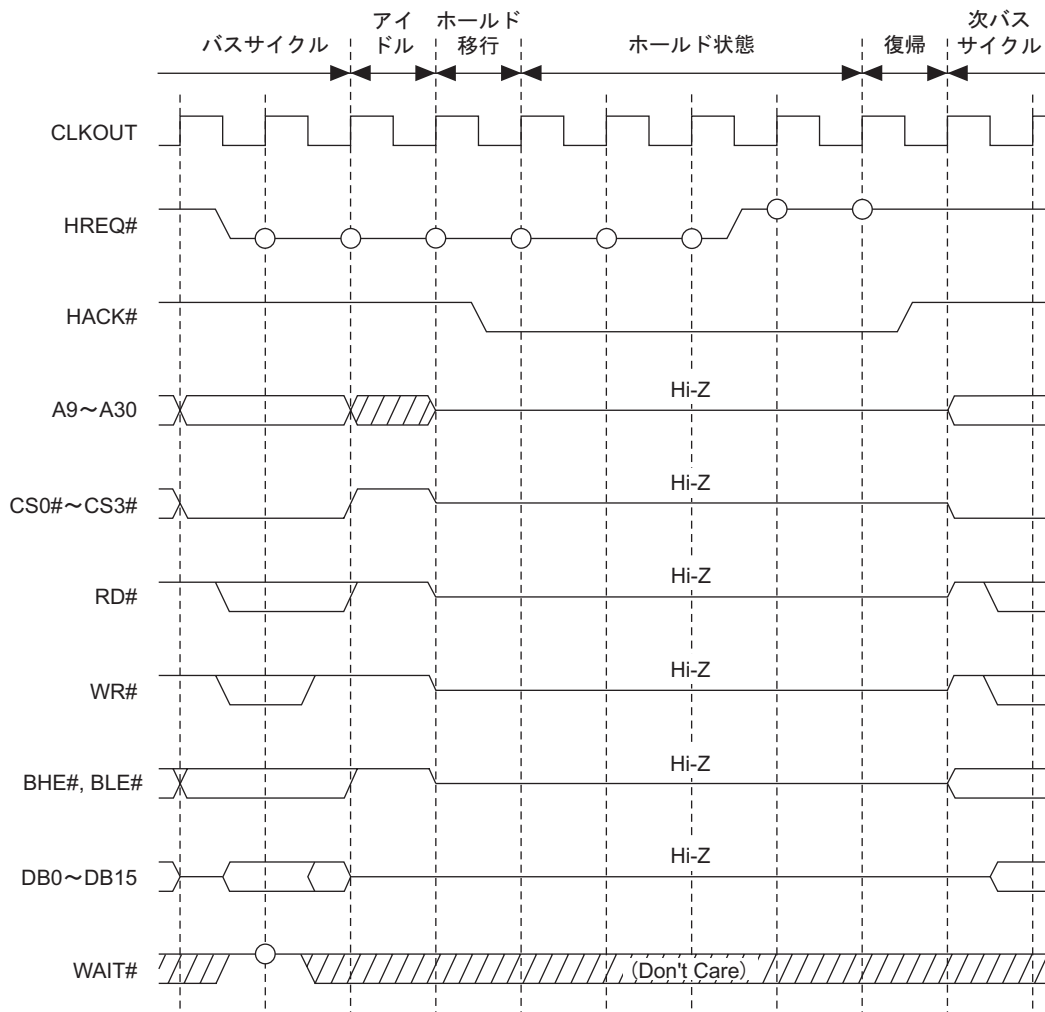
・HREQ#端子に、"L"を入力してから、アイドル(リカバリ)、ホールド移行状態へ遷移するまでのサイクル数は、その時実行中のバスアクセスの状態により変化します。

図17.4.1 バスアービトラーションタイミング

(2) バスモード制御レジスタが1の場合

HREQ#端子に"L"信号を入力し、それが受け付けられると32192/32195/32196はホールド状態へ遷移し、HACK#端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ#信号を"H"にしてください。

バスモード制御レジスタ(注1)
BUSMODビット=1(バイトイネーブル分離)



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注. 図中○印はサンプリングタイミングを示します。

・Hi-Zはハイインピーダンス状態を示します。

・アイドルサイクルは外部リードアクセスに続いてホールド状態となる場合にのみ挿入されます。なお、ウェイトコントローラでRECOV=1、IDLE=0に設定した時はアイドルサイクルの代わりにリカバリサイクルが挿入されます。

・HREQ#端子に、"L"を入力してから、アイドル(リカバリ)、ホールド移行状態へ遷移するまでのサイクル数は、その時実行中のバスアクセスの状態により変化します。

図17.4.2 バスアービトレーションタイミング

17.5 外部拡張メモリ接続例

(1) バスモード制御レジスタが0の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図17.5.1に示します。

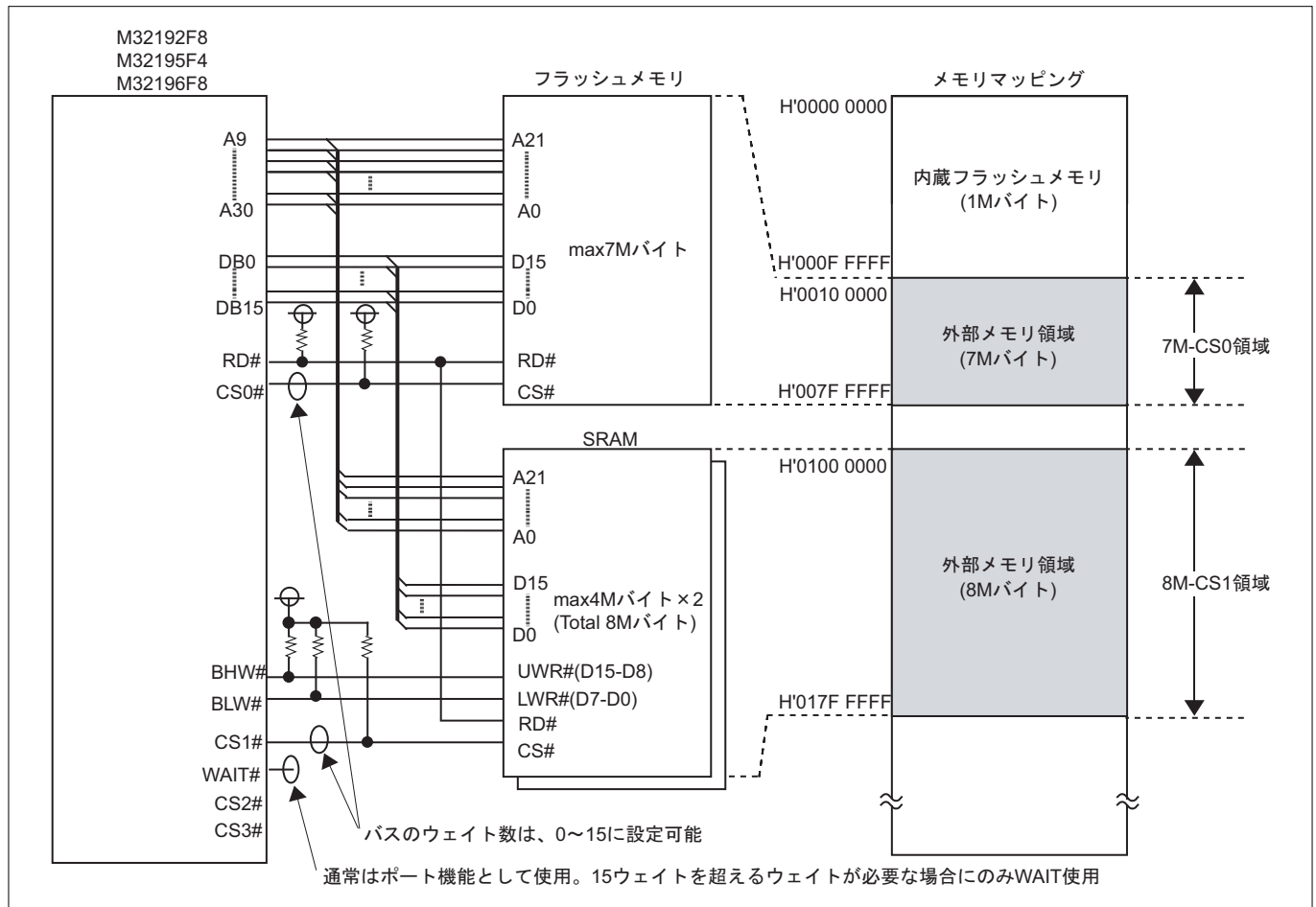


図17.5.1 外部拡張メモリ接続例(BUSMODビット="0"の場合)

- 注
- ・アドレスは、"0"がMSBで"31"がLSBとなります(出力は、9~30)。
 - ・データは、"0"がMSBで"15"がLSBとなります。
 - ・外部拡張メモリ接続時には、MSB側とLSB側(エンディアン)を考慮して各端子を接続する必要があります。

(2) バスモード制御レジスタが1の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図17.5.2に示します。

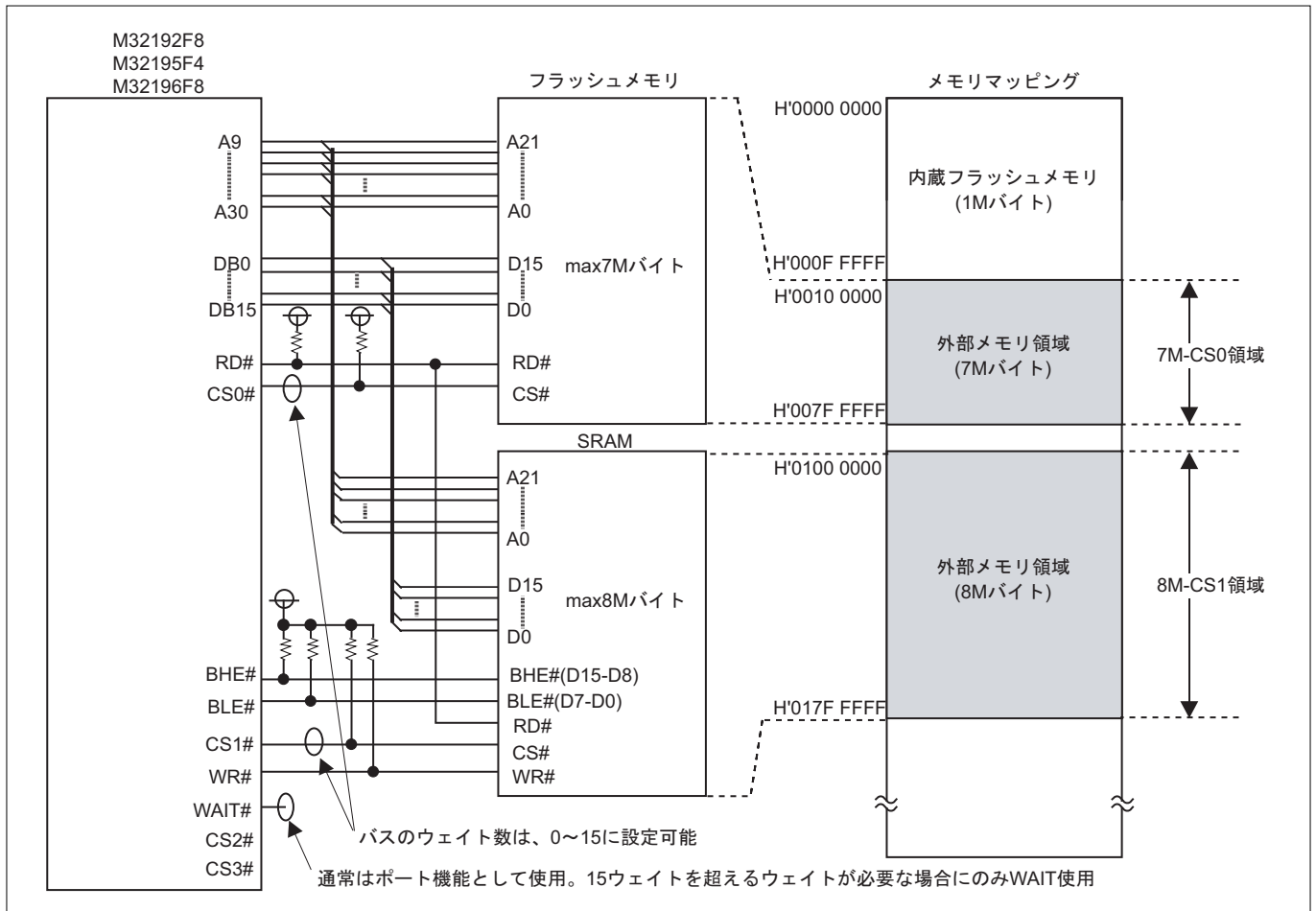


図17.5.2 外部拡張メモリ接続例 (BUSMODビット="1"の場合)

- 注 .
- ・アドレスは、"0"がMSBで"31"がLSBとなります(出力は、9~30)。
 - ・データは、"0"がMSBで"15"がLSBとなります。
 - ・外部拡張メモリ接続時には、MSB側とLSB側(エンディアン)を考慮して各端子を接続する必要があります。

(3) バスモード制御レジスタが1で8/16ビットデータバスメモリを混在使用する場合

CS0領域に8ビットデータバスメモリを配置し、CS1領域に16ビットデータバスメモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図17.5.3に示します。

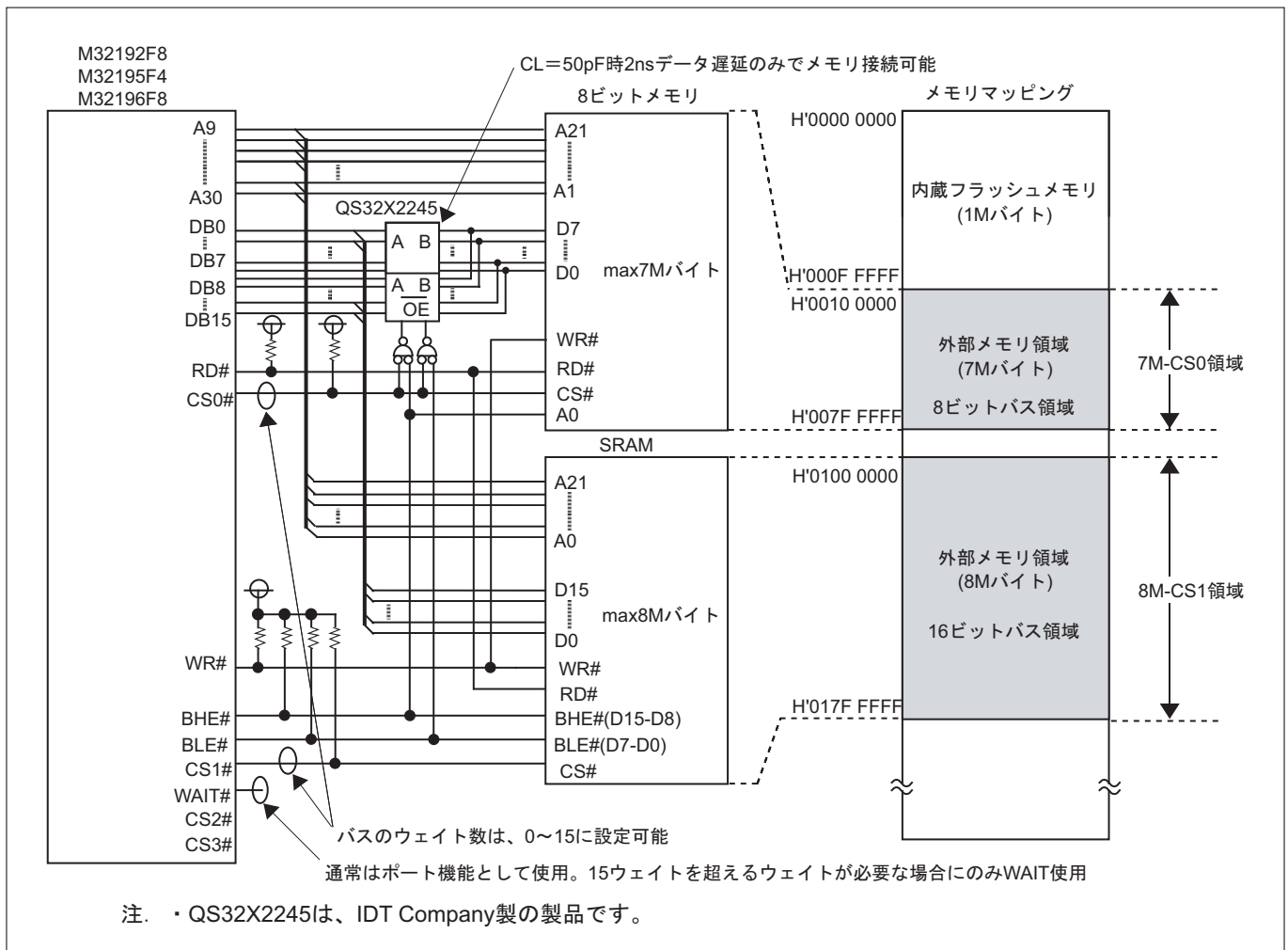


図17.5.3 外部拡張メモリ接続例 (BUSMOD = "1"で8/16ビット混在メモリ使用時)

- 注・
- ・アドレスは、"0"がMSBで"31"がLSBとなります(出力は、9~30)。
 - ・データは、"0"がMSBで"15"がLSBとなります。
 - ・外部拡張メモリ接続時には、MSB側とLSB側(エンディアン)を考慮して各端子を接続する必要があります。

17.6 VCC-BUSによるバス電圧設定例

(1) ポート、メモリとも5V接続時

ポートおよびメモリを、5Vインタフェースで外部回路と接続できます。

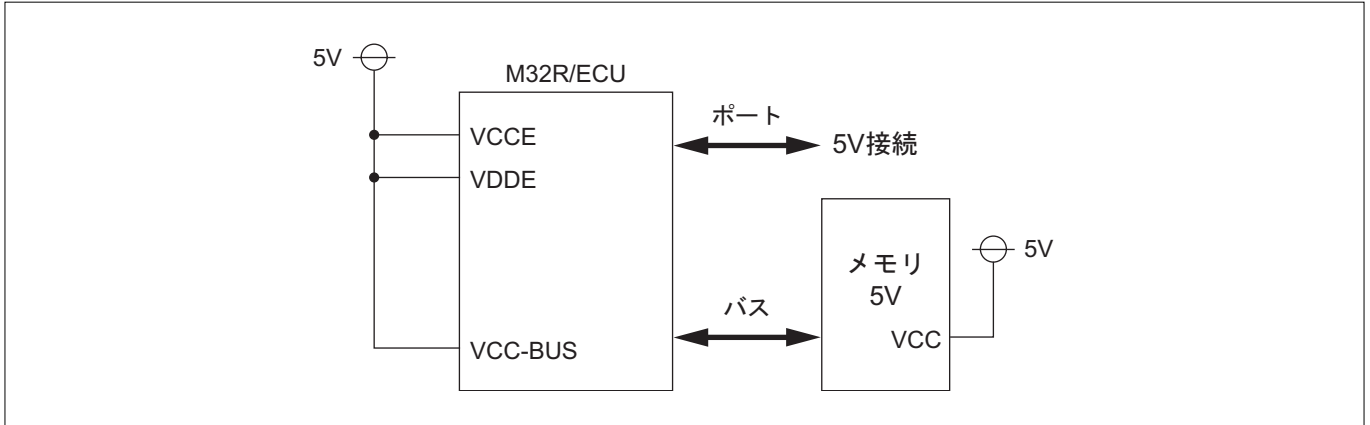


図17.6.1 ポート、メモリとも5V接続時

(2) ポート3.3V、メモリ5V接続時

ポートは3.3Vインタフェースのまま、メモリを5Vインタフェースで外部回路と接続できます。

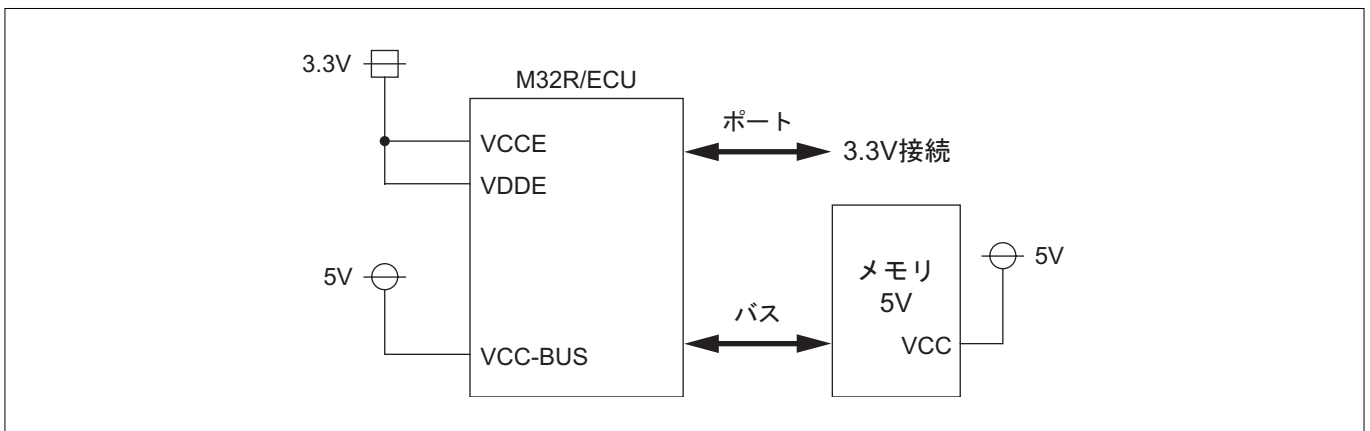


図17.6.2 ポート3.3V、メモリ5V接続時

(3) ポート 5V、メモリ 3.3V 接続時

ポートは5Vインタフェースのまま、メモリを3.3Vインタフェースで外部回路と接続できます。

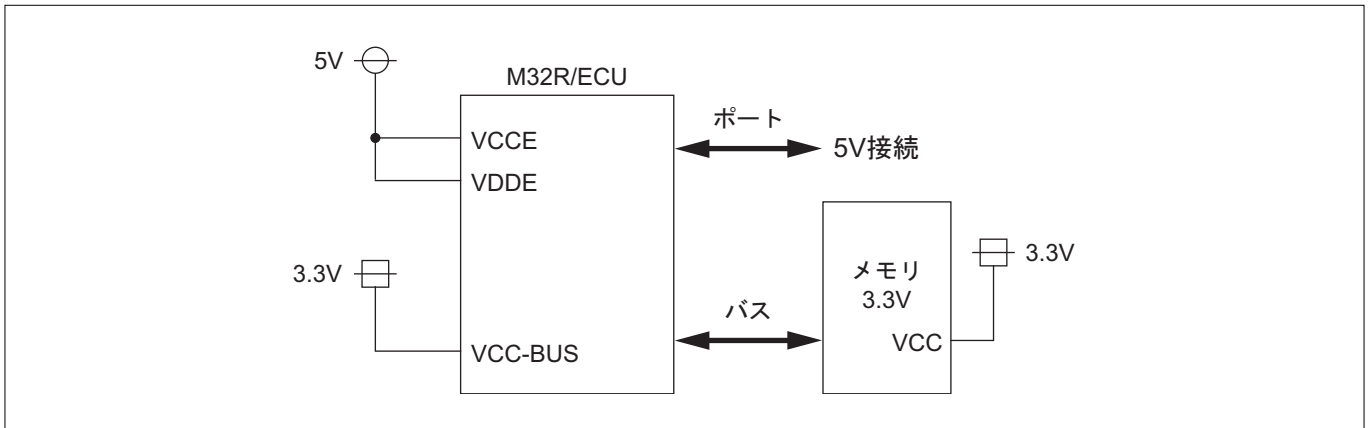


図17.6.3 ポート5V、メモリ3.3V接続時

(4) ポート、メモリとも 3.3V 接続時

ポートおよびメモリを、3.3Vインタフェースで外部回路と接続できます。

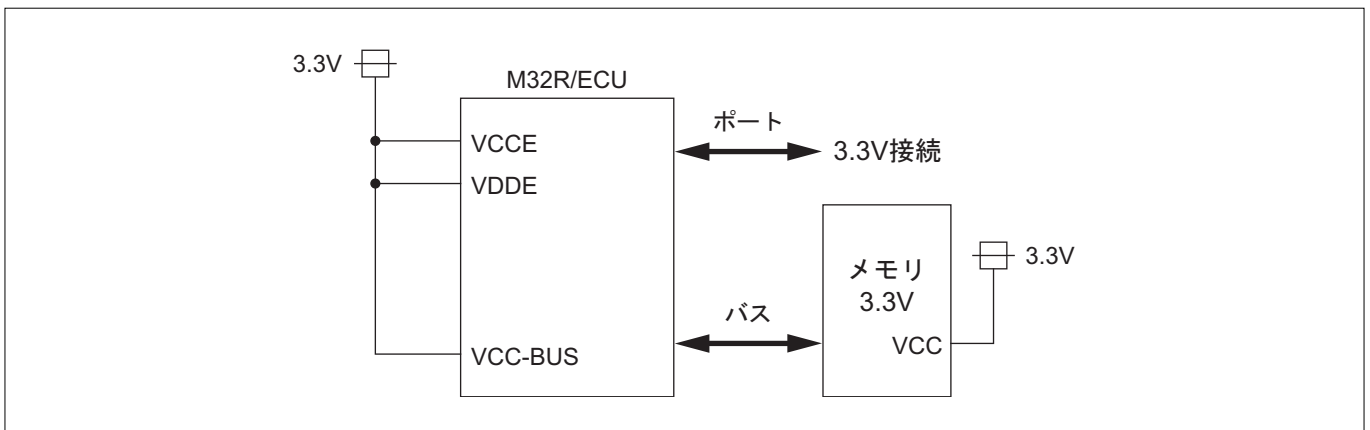


図17.6.4 ポート、メモリとも3.3V接続時

レイアウトの都合上、このページは白紙です。

第18章

ウェイトコントローラ

- 18.1 ウェイトコントローラ概要
- 18.2 ウェイトコントローラ関連レジスタ
- 18.3 ウェイトコントローラ動作例

18.1 ウェイトコントローラ概要

ウェイトコントローラは、外部拡張領域アクセスにおけるバスサイクルの挿入ウェイト数を制御します。以下にウェイトコントローラ概要を示します。

表18.1.1 ウェイトコントローラの概要

項目	仕様
対象空間	動作モードにより以下の空間を制御 シングルチップモード：対象空間なし(ウェイトコントローラの設定は無効) 外部拡張モード：CS0領域(7Mバイト)、CS1領域(8Mバイト) : CS2領域(8Mバイト)、CS3領域(8Mバイト) プロセッサモード：CS0領域(8Mバイト)、CS1領域(8Mバイト) : CS2領域(8Mバイト)、CS3領域(8Mバイト)
挿入ウェイト数	ソフトウェア設定による0~15ウェイト挿入+WAIT#端子入力による任意のウェイト数挿入可能

外部拡張モードとプロセッサモードでは、外部拡張領域に対して4本のチップセレクト信号(CS0#~CS3#)が出力され、4本のチップセレクト信号に対応した4つの領域をそれぞれCS0~CS3領域と呼びます。

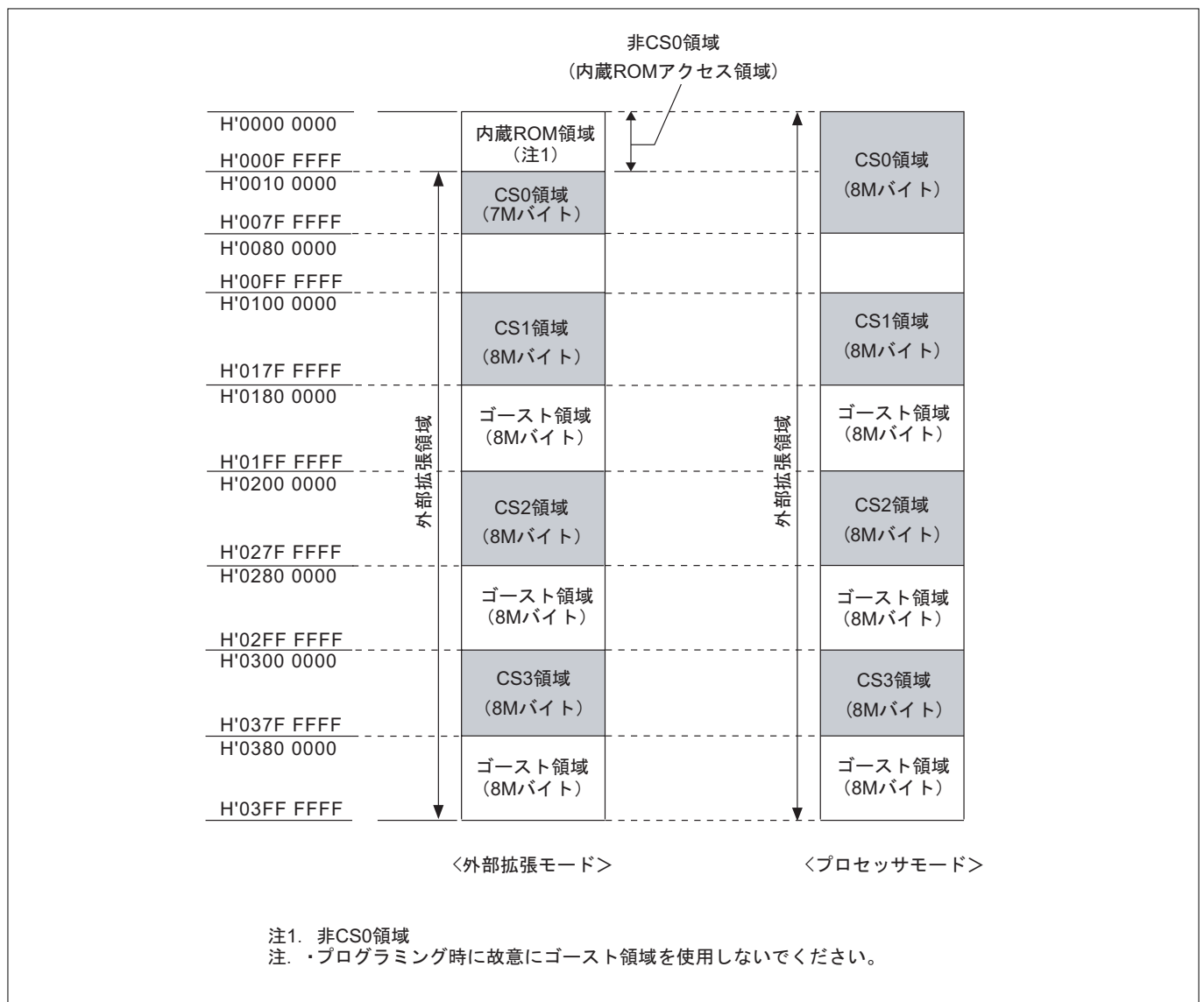


図18.1.1 CS0~CS3領域のアドレスマップ

外部拡張領域アクセス時、ウェイトコントローラはソフトウェアで設定されたウェイト数、およびWAIT#(ウェイト)端子からの入力信号に基づいて、バスサイクルに挿入されるウェイト数を制御します。

ソフトウェアで制御可能なウェイト数は、0から15です。

ソフトウェアで設定された内部ウェイトの最終サイクルでWAIT#(ウェイト)端子に"L"レベル信号が入力されていると、ウェイトサイクルが延長されます。その後外部WAIT#端子に"H"レベル信号が入力されると、ウェイトサイクルを終了し、次の新しいバスサイクルに移行します。

表18.1.2 ウェイトコントローラで設定可能なウェイト数

外部拡張領域	アドレス	挿入ウェイト数
CS0領域	H'0010 0000 ~ H'007F FFFF (外部拡張モード) H'0000 0000 ~ H'007F FFFF (プロセッサモード)	ソフトウェア設定により0~15ウェイト挿入 + WAIT#端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
CS1領域 (注1)	H'0100 0000 ~ H'017F FFFF (外部拡張モード およびプロセッサモード)	ソフトウェア設定により0~15ウェイト挿入 + WAIT#端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
CS2領域 (注2)	H'0200 0000 ~ H'027F FFFF (外部拡張モード およびプロセッサモード)	ソフトウェア設定により0~15ウェイト挿入 + WAIT#端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
CS3領域 (注3)	H'0300 0000 ~ H'037F FFFF (外部拡張モード およびプロセッサモード)	ソフトウェア設定により0~15ウェイト挿入 + WAIT#端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)

注1．H'0180 0000 ~ H'01FF FFFFの領域にCS1領域のゴースト(8Mバイト)が見えます。

注2．H'0280 0000 ~ H'02FF FFFFの領域にCS2領域のゴースト(8Mバイト)が見えます。

注3．H'0380 0000 ~ H'03FF FFFFの領域にCS3領域のゴースト(8Mバイト)が見えます。

18.2 ウェイトコントローラ関連レジスタ

以下にウェイトコントローラ関連のレジスタマップを示します。

ウェイトコントローラ関連レジスタマップ

番地	+0番地	+1番地	掲載ページ
	b0	b7 b8	b15
H'0080 0180	CS0領域ウェイト制御レジスタ (CS0WTCCR)	CS1領域ウェイト制御レジスタ (CS1WTCCR)	18-4
H'0080 0182	CS2領域ウェイト制御レジスタ (CS2WTCCR)	CS3領域ウェイト制御レジスタ (CS3WTCCR)	18-4
H'0080 01A2	フラッシュE/Wウェイト選択レジスタ (FWAIT)	(使用禁止領域)	18-6

18.2.1 CS領域ウェイト制御レジスタ

CS0領域ウェイト制御レジスタ (CS0WTCCR)	<アドレス : H'0080 0180 >
CS1領域ウェイト制御レジスタ (CS1WTCCR)	<アドレス : H'0080 0181 >
CS2領域ウェイト制御レジスタ (CS2WTCCR)	<アドレス : H'0080 0182 >
CS3領域ウェイト制御レジスタ (CS3WTCCR)	<アドレス : H'0080 0183 >

b0 (b8) 1 2 3 4 5 6 b7 (b15)

WAITn				CWAITn	SWAITn	RECOVn	IDLEn
1	1	1	1	1	1	1	1

<リセット解除時 : H'FF >

b	ビット名	機能	R	W
0~3	WAIT	0000 : 0ウェイト(注1)	R	W
(8~11)	内部ウェイト数選択ビット	0001 : 1ウェイト 1111 : 15ウェイト		
4	CWAIT	0 : CSウェイトなし	R	W
(12)	CS信号ウェイトビット	1 : CSウェイトあり		
5	SWAIT	0 : ストローブウェイトなし	R	W
(13)	ストローブ信号ウェイトビット	1 : ストローブウェイトあり		
6	RECOV	0 : リカバリサイクルなし	R	W
(14)	リカバリサイクル追加ビット	1 : リカバリサイクルあり		
7	IDLE	0 : リード後のアイドルサイクルなし	R	W
(15)	リードサイクル後のアイドルサイクル追加ビット	1 : リード後のアイドルサイクルあり		

注1. 0ウェイト選択時は外部WAIT#入力によるウェイトは受け付けられません。また、CLKOUT選択レジスタ (CLKOUTSEL) の CLKOSSELビットを"1"に設定 (CLKOUT出力としてBCLKを選択) した場合、CS0~CS3空間を使用/未使用に関わらず0ウェイトの選択は禁止です。

表18.2.1に示す設定を選択した場合の動作は保証されません。

表18.2.1 設定禁止一覧

CLKOSEL	WAIT	CWAIT	SWAIT	RECOV	IDLE
0	0000	1	-	-	-
0	0000	-	1	-	-
0	0000	-	-	1	-
0	0000	-	-	-	1
0	0001	1	1	-	-
1	0000	-	-	-	-
1	0001	1	-	-	-
1	0001	-	1	-	-

注 . . - = Don't Care

なお、リードサイクル後にライトサイクルが実行される場合は、RECOVビット=1、IDLEビット=0以外の条件で、アイドルサイクルが1サイクル分追加されます。表18.2.2にRECOV、IDLEビットの設定と、バスサイクルの後に挿入されるアイドルサイクル数の関係を示します。

表18.2.2 RECOV、IDLEビットの設定と、バスサイクル後に挿入されるアイドルサイクル数

RECOV	IDLE	リード(後ろにライトが続く場合)	リード(後ろにリードが続く場合)	ライト
0	0	1	α(注1)	0
0	1	1	1	0
1	0	0	0	0
1	1	1	1	0

注1 . 命令フェッチアクセスが連続する場合、およびワード(32ビット)アクセスによってオペランドアクセスが連続する場合の挿入サイクル数です。それ以外の場合(オペランドアクセスが連続する場合、命令フェッチアクセスの後にオペランドアクセスが続く場合、オペランドアクセスの後に命令フェッチアクセスが続く場合)では、1サイクルのアイドルサイクルが挿入されます。

注 . . リカバリサイクルは上記各条件において、RECOVビット=0のときは0サイクル、RECOVビット=1のときは1サイクルのリカバリサイクルが挿入されます。

18.2.2 フラッシュE/Wウェイト選択レジスタ

フラッシュE/Wウェイト選択レジスタ(FWAIT)

<アドレス : H'0080 01A2>

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	0	FEWWAIT 0

<リセット解除時 : H'00>

b	ビット名	機能	R	W
0~6		何も配置されていません。"0"に固定してください。	0	-
7	FEWWAIT	0 : 9WAIT	R	0
	フラッシュE/W時の内部ウェイト数選択ビット	1 : 4WAIT		

(1) FEWWAIT (フラッシュE/W時の内部ウェイト数選択) ビット (b7)

フラッシュE/Wアクセス時に内部サイクルに挿入されるウェイト数を選択するビットです。本ビットには、必ず"0"を設定してフラッシュE/Wを実施ください。

18.3 ウェイトコントローラ動作例

以下にウェイトコントローラの動作例を示します。

ウェイトコントローラでは0～15サイクルのバスアクセスが制御可能で、それ以上のアクセスサイクルが必要な場合にはWAIT機能との組み合わせ使用が必要です。

(1) バスモード制御レジスタが0の場合

外部リード/ライト動作は、アドレスバス、データバスとCS0#、CS1#、CS2#、CS3#、RD#、BHW#、BLW#、WAIT#、CLKOUT、BCLKの各信号により行います。

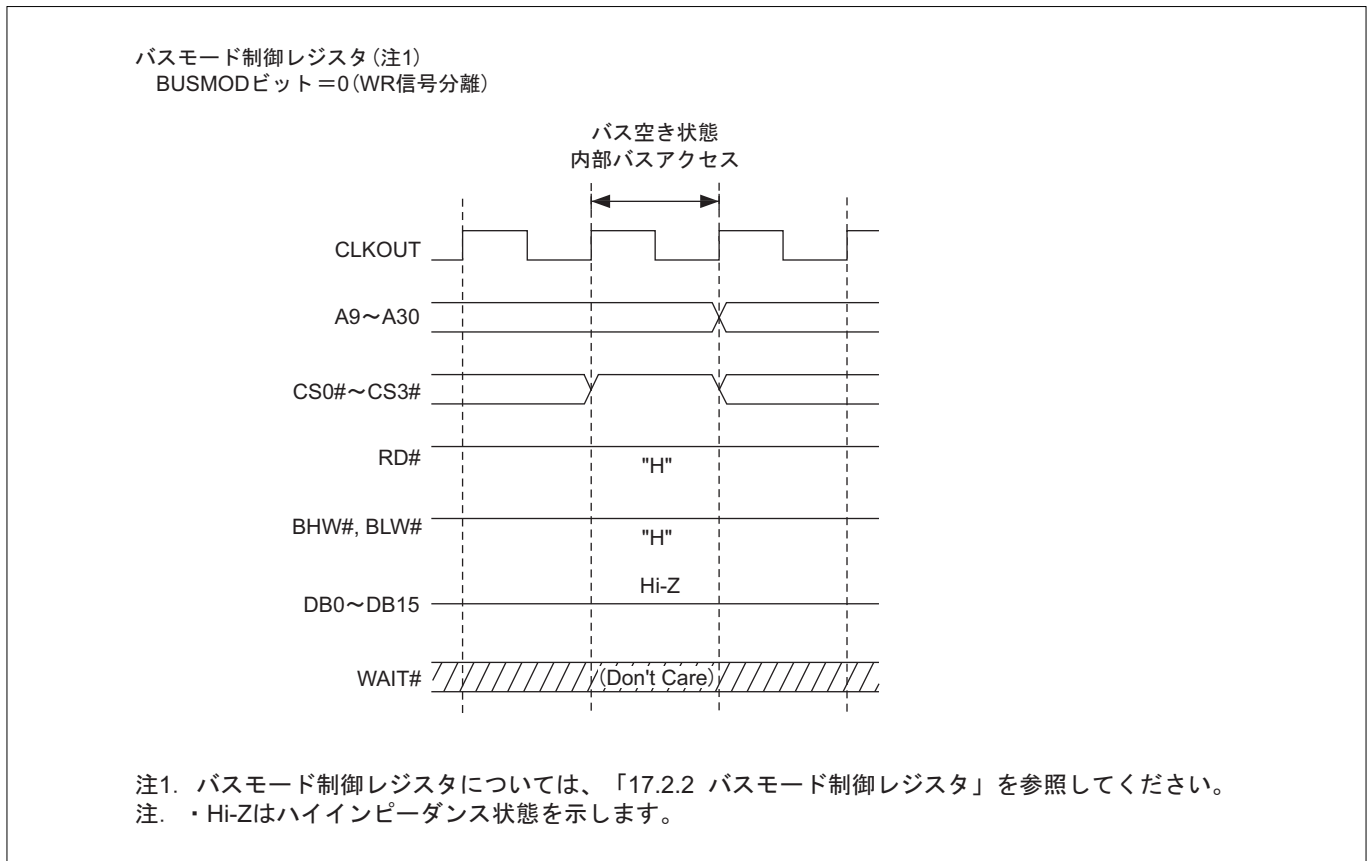
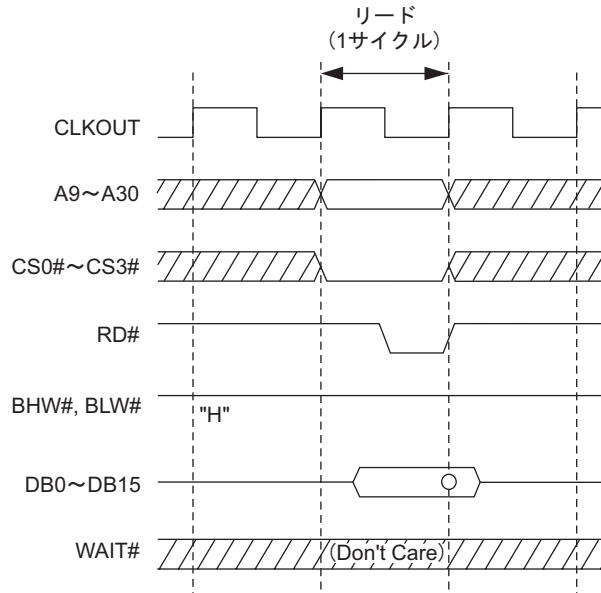


図18.3.1 バス空き状態/内部バスアクセス時

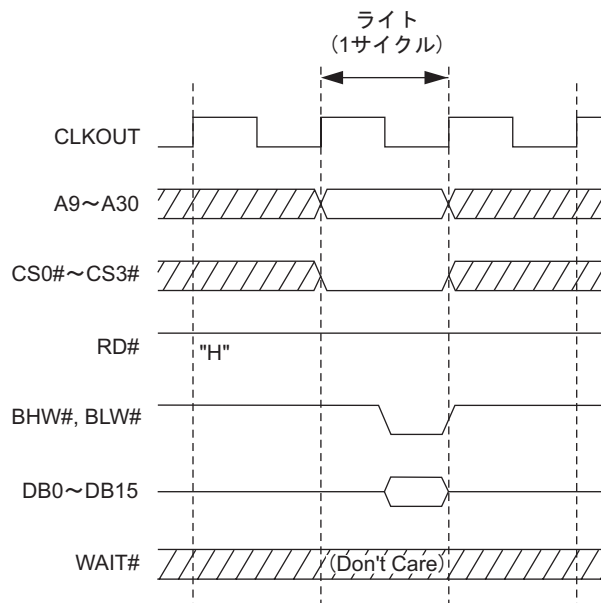
バスモード制御レジスタ (注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0000 (0ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

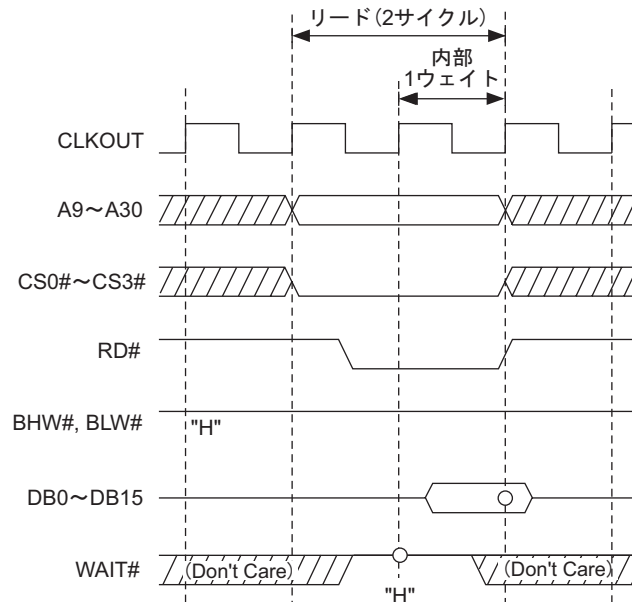
注. ・0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。

図18.3.2 リード/ライトタイミング(0ウェイトアクセス時)

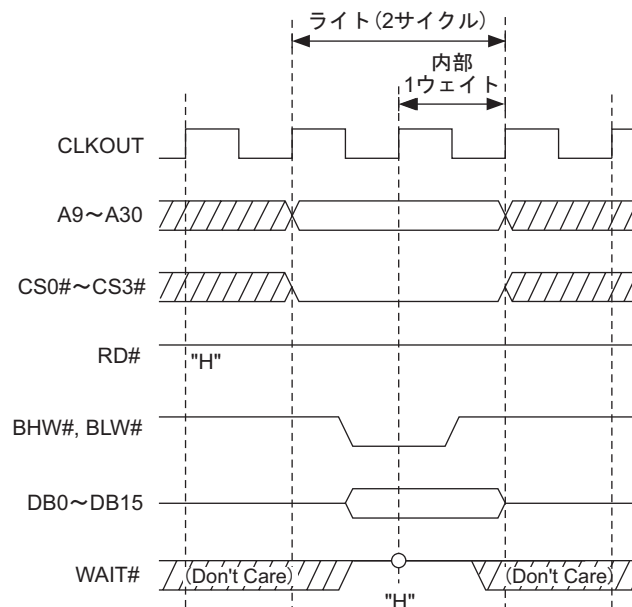
バスモード制御レジスタ (注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト

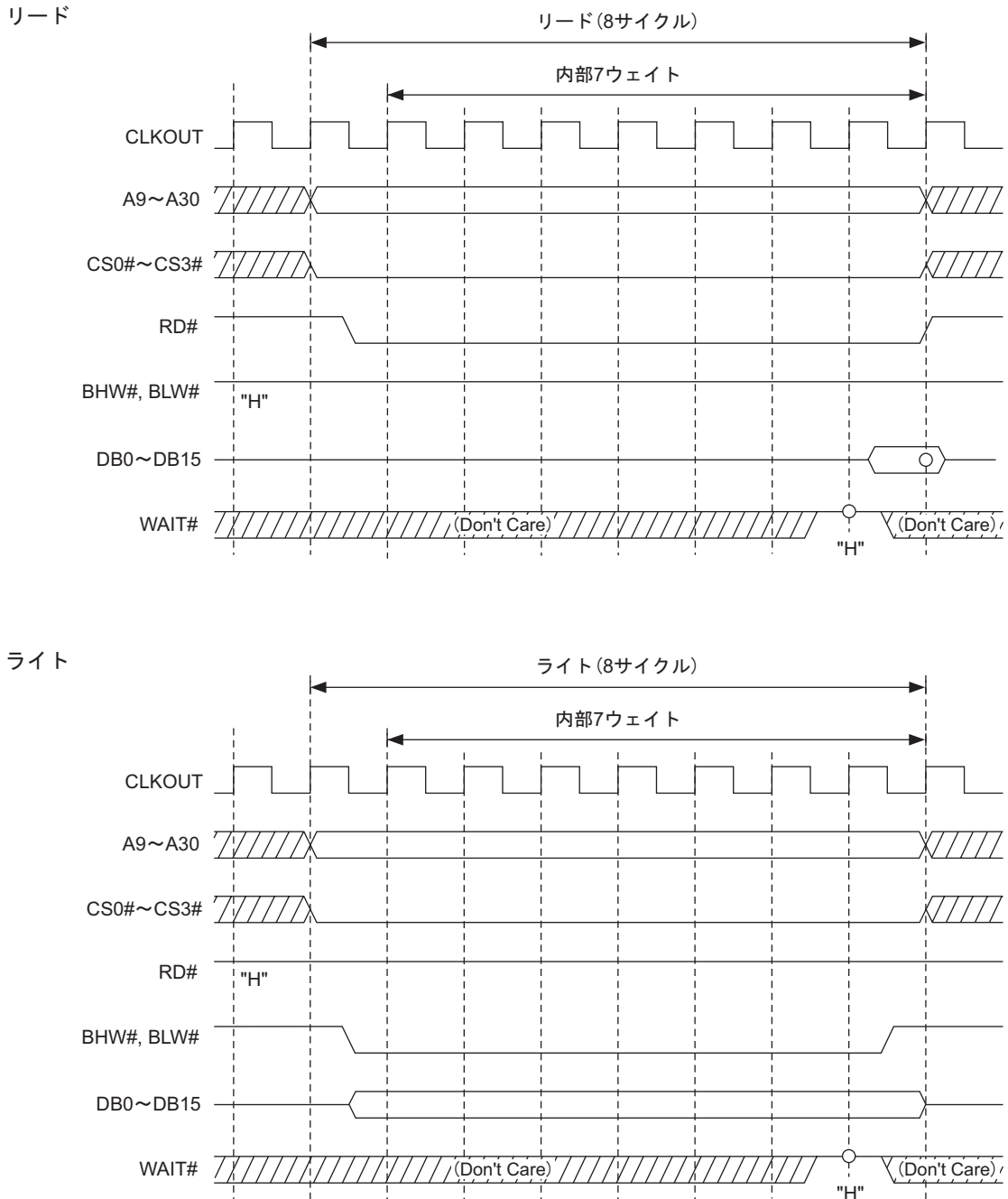


注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.3 リード/ライトタイミング (内部1ウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット =0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット =0111 (7ウェイト)
CWAITビット =0 (CSウェイトなし)
SWAITビット =0 (ストロブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

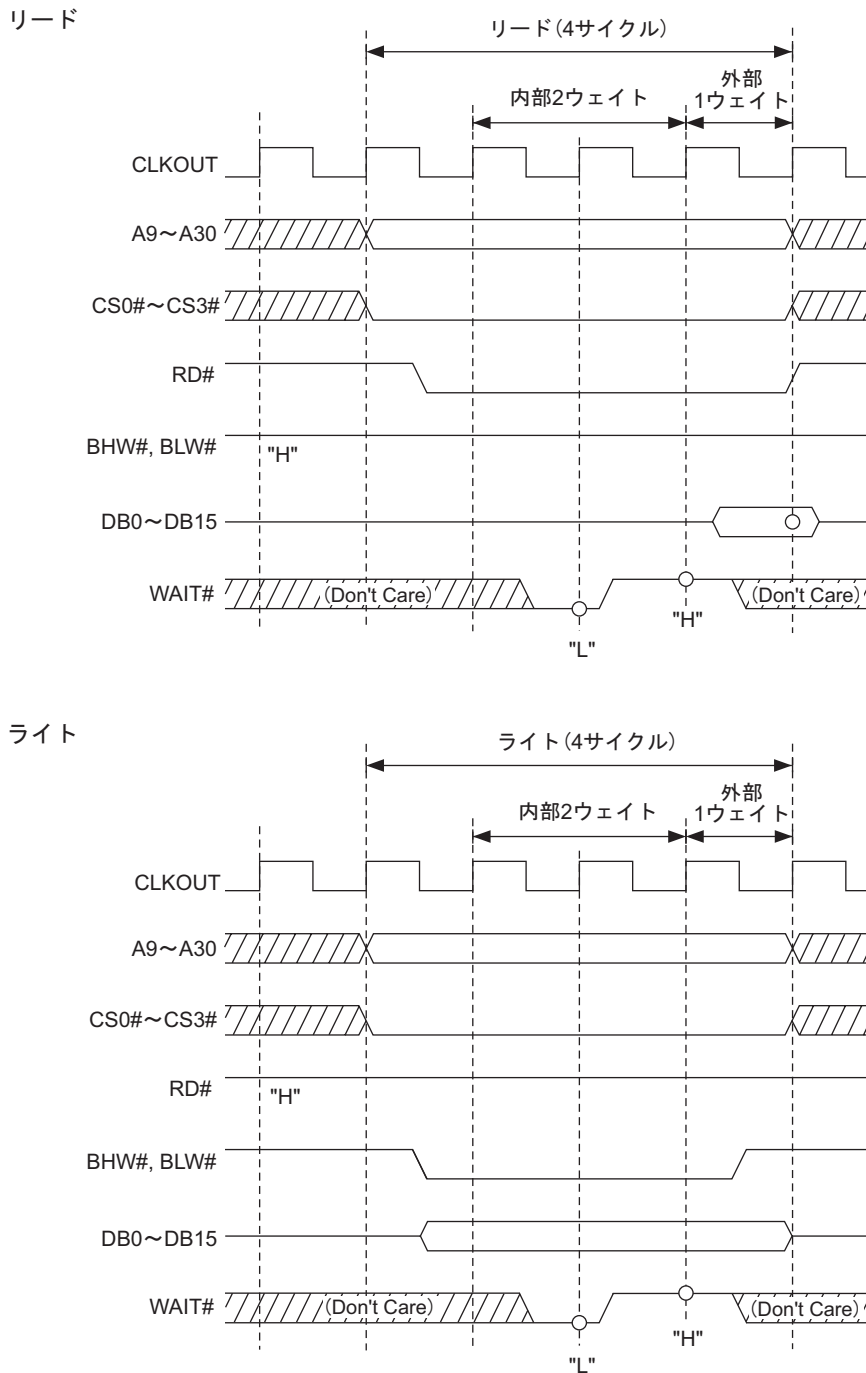


注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・ 図中O印はサンプリングタイミングを示します。

図18.3.4 リード/ライトタイミング (内部7ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)



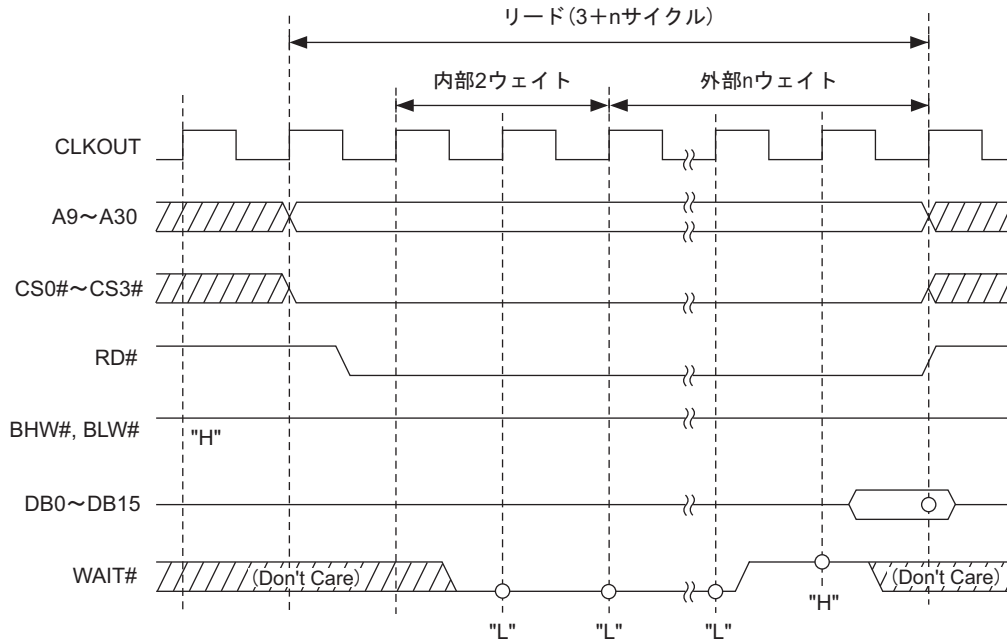
注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・図中○印はサンプリングタイミングを示します。

図18.3.5 リード/ライトタイミング(内部2ウェイト+外部1ウェイトアクセス時)

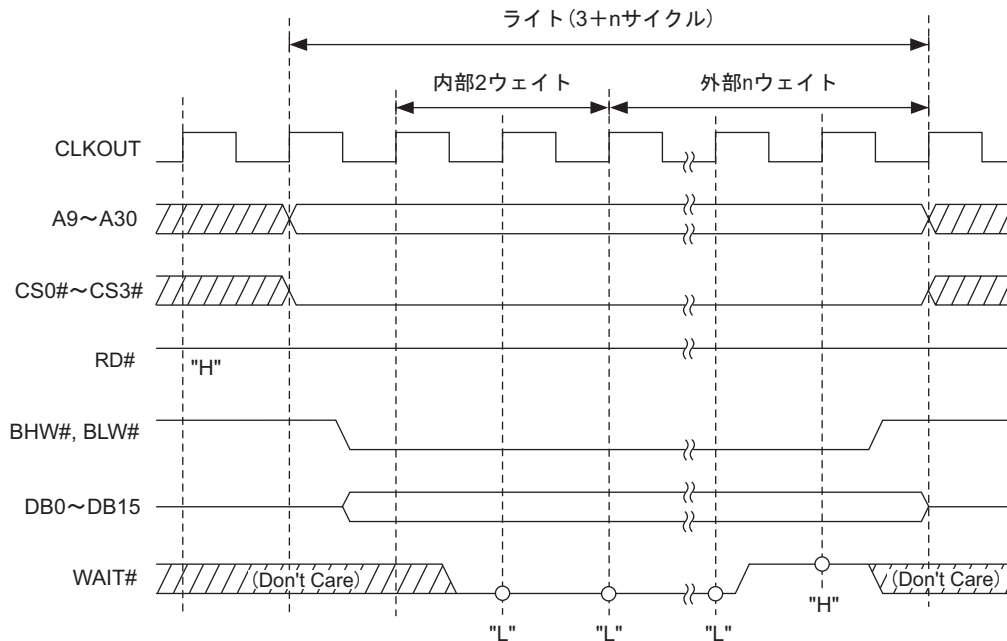
バスモード制御レジスタ (注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



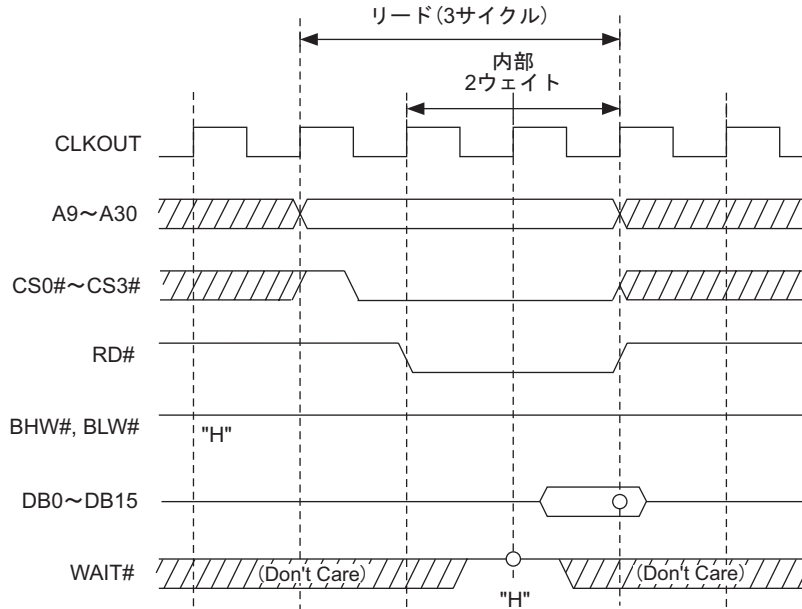
注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.6 リード/ライトタイミング(内部2ウェイト+外部nウェイトアクセス時)

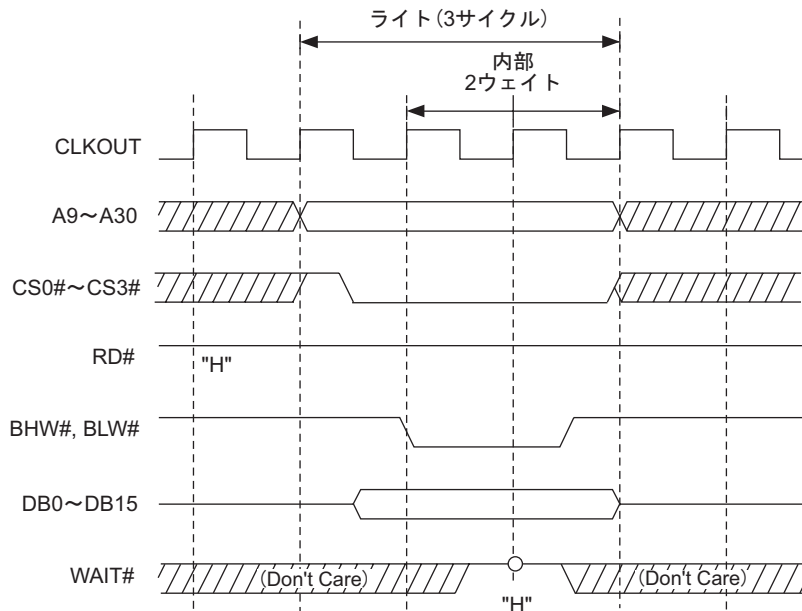
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 1 (CSウェイトあり)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

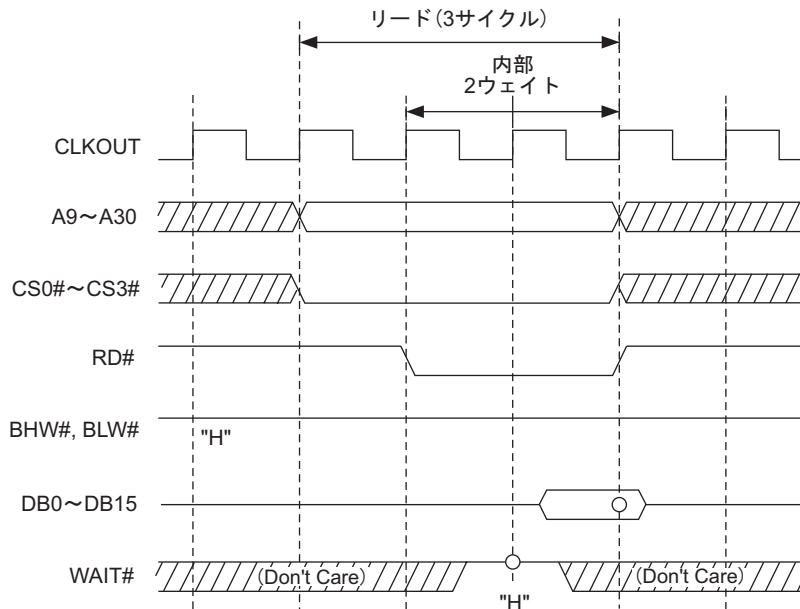
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.7 リード/ライトタイミング(内部2ウェイト+CSウェイトアクセス時)

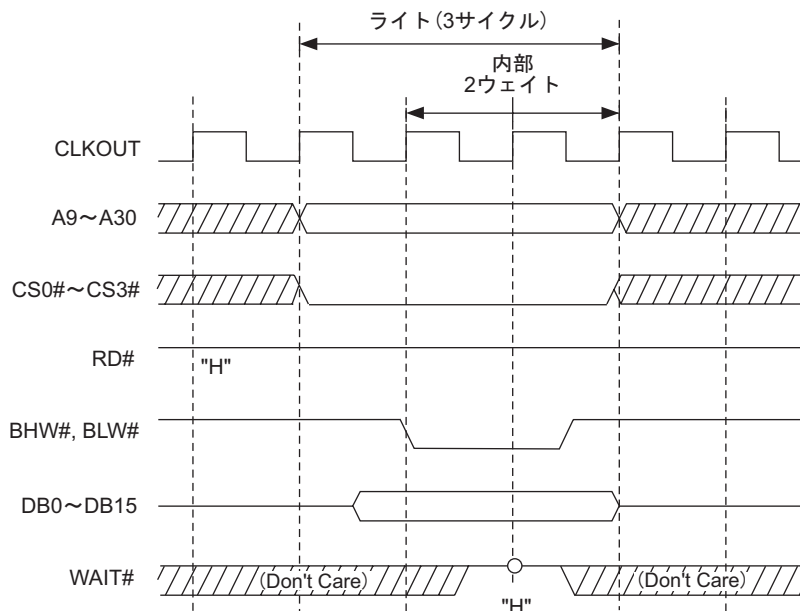
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 1 (ストローブウェイトあり)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



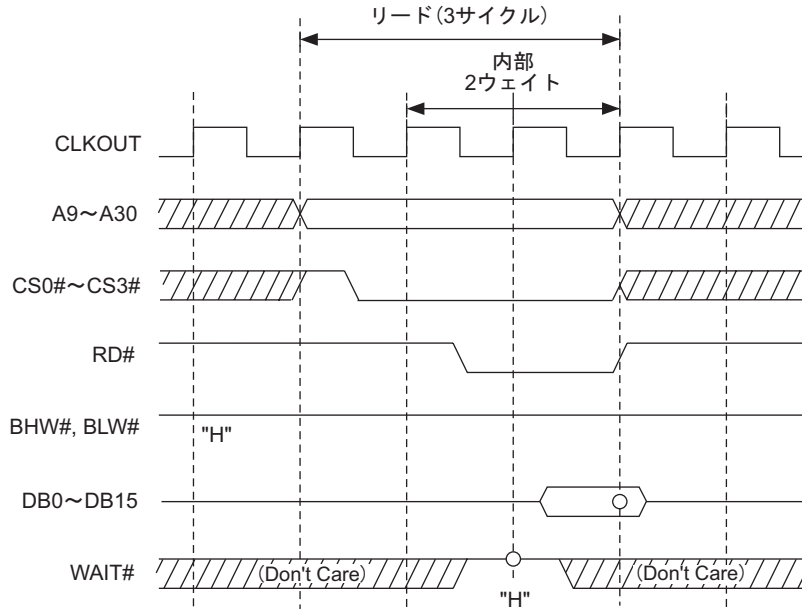
注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.8 リード/ライトタイミング(内部2ウェイト+ストローブウェイトアクセス時)

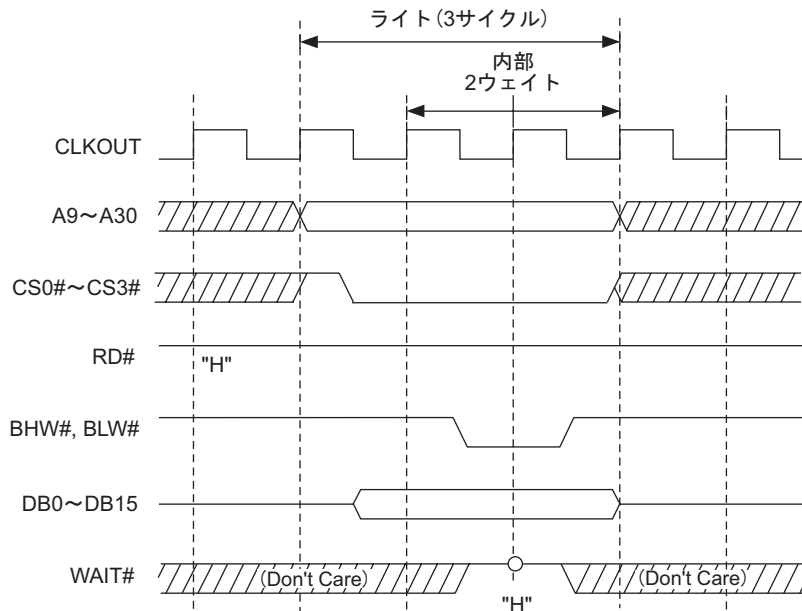
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 1 (CSウェイトあり)
SWAITビット = 1 (ストローブウェイトあり)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

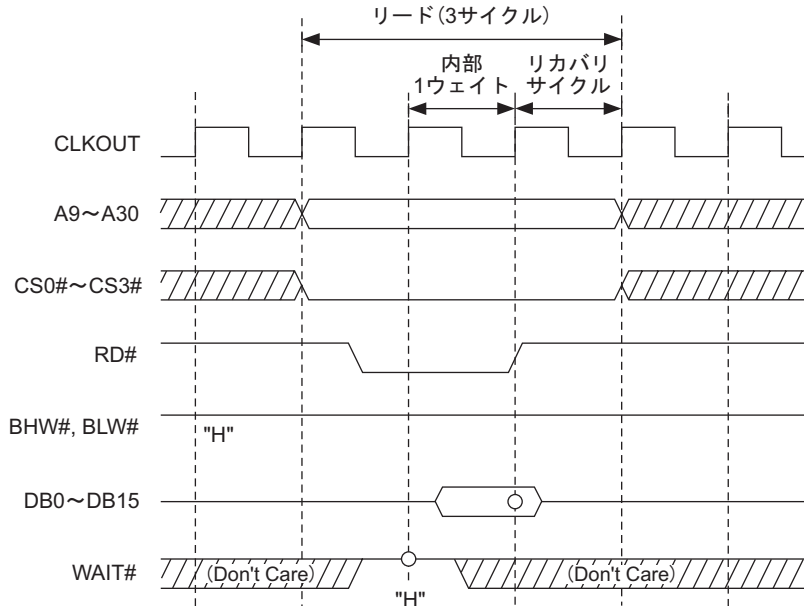
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.9 リード/ライトタイミング(内部2ウェイト+CS/ストローブウェイトアクセス時)

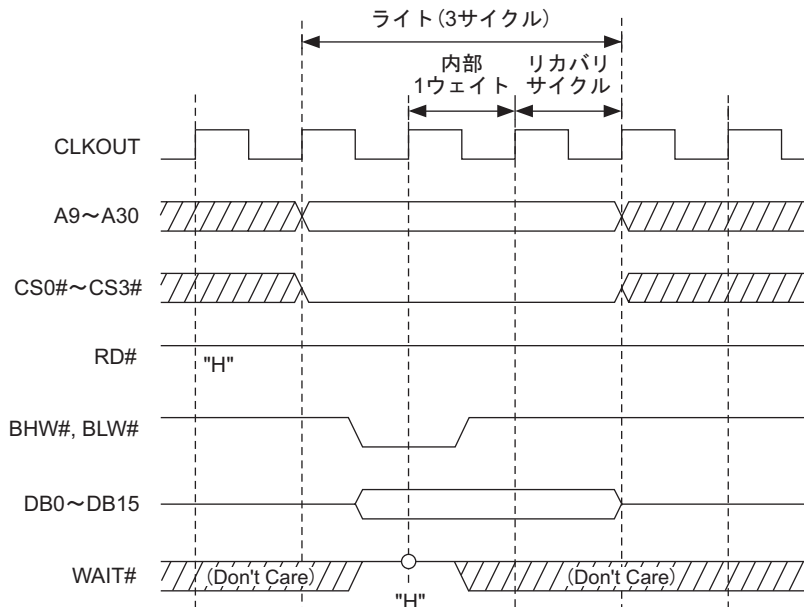
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 1 (リカバリサイクルあり)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

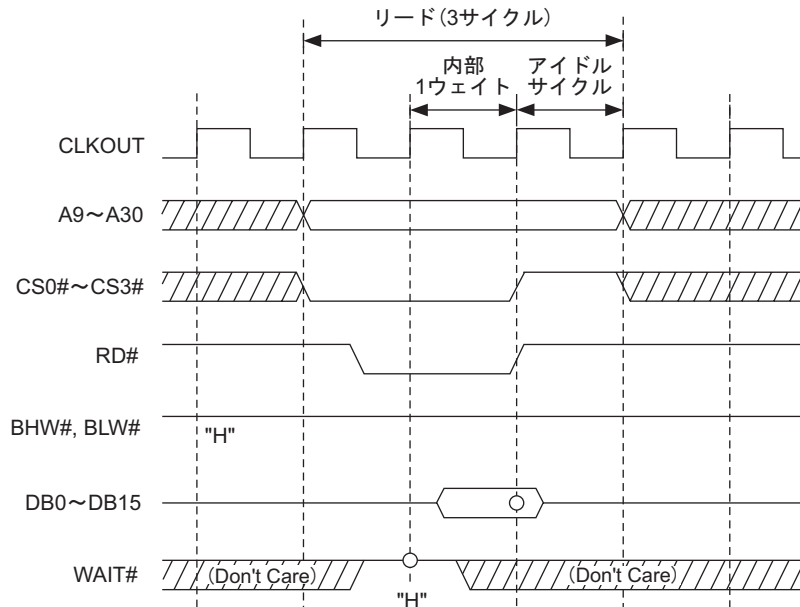
注. ・ 図中○印はサンプリングタイミングを示します。

図18.3.10 リード/ライトタイミング(内部1ウェイト+リカバリサイクル追加)

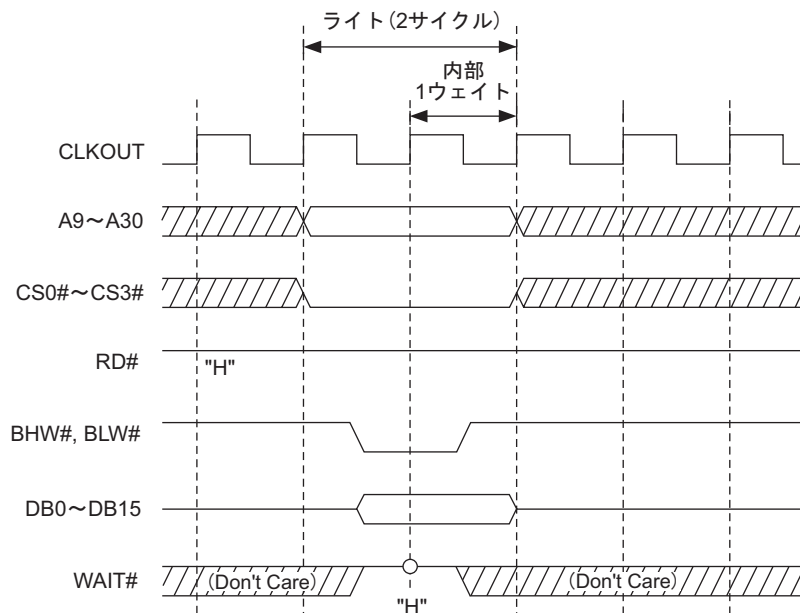
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 1 (アイドルサイクルあり)

リード



ライト



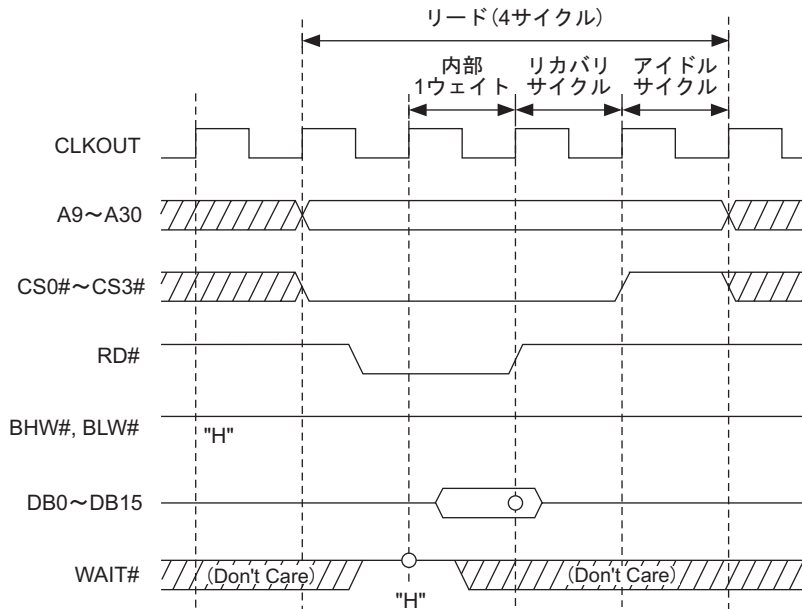
- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中○印はサンプリングタイミングを示します。
 ・ ライトサイクルの後にアイドルサイクルは追加されません。

図18.3.11 リード/ライトタイミング(内部1ウェイト+アイドルサイクル追加)

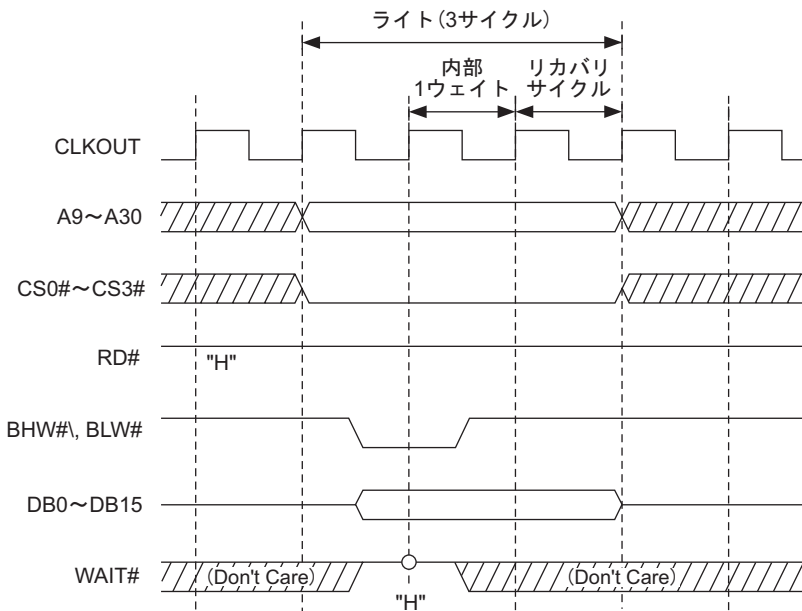
バスモード制御レジスタ(注1)
BUSMODビット = 0 (WR信号分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 1 (リカバリサイクルあり)
IDLEビット = 1 (アイドルサイクルあり)

リード



ライト



- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中○印はサンプリングタイミングを示します。
 ・ ライトサイクルの後にアイドルサイクルは追加されません。

図18.3.12 リード/ライトタイミング(内部1ウェイト+リカバリ+アイドルサイクル追加)

(2) バスモード制御レジスタが1の場合

外部リード/ライト動作は、アドレスバス、データバスとCS0#、CS1#、CS2#、CS3#、RD#、BHE#、BLE#、WAIT#、WR#、BCLKの各信号により行います。

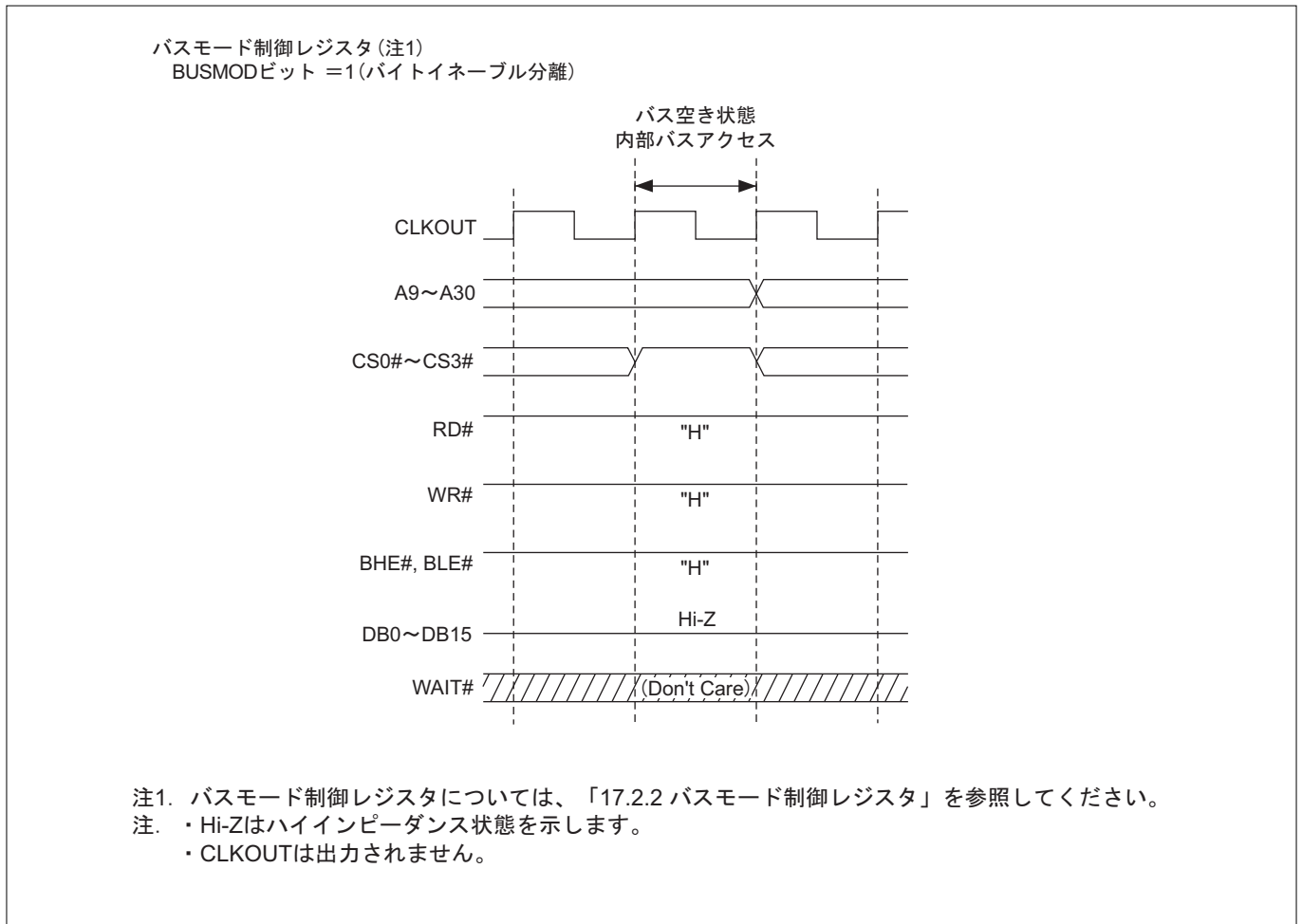
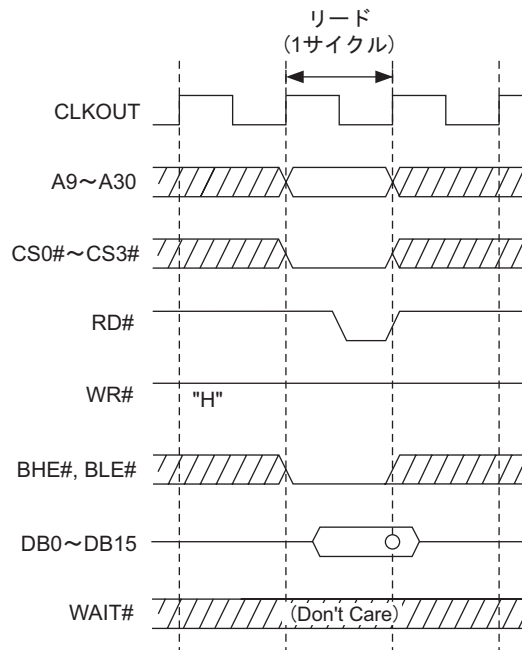


図18.3.13 バス空き状態/内部バスアクセス時

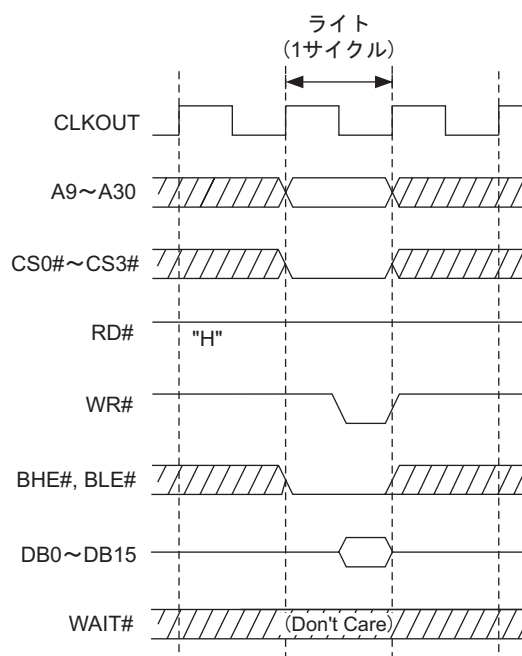
バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0000 (0ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト

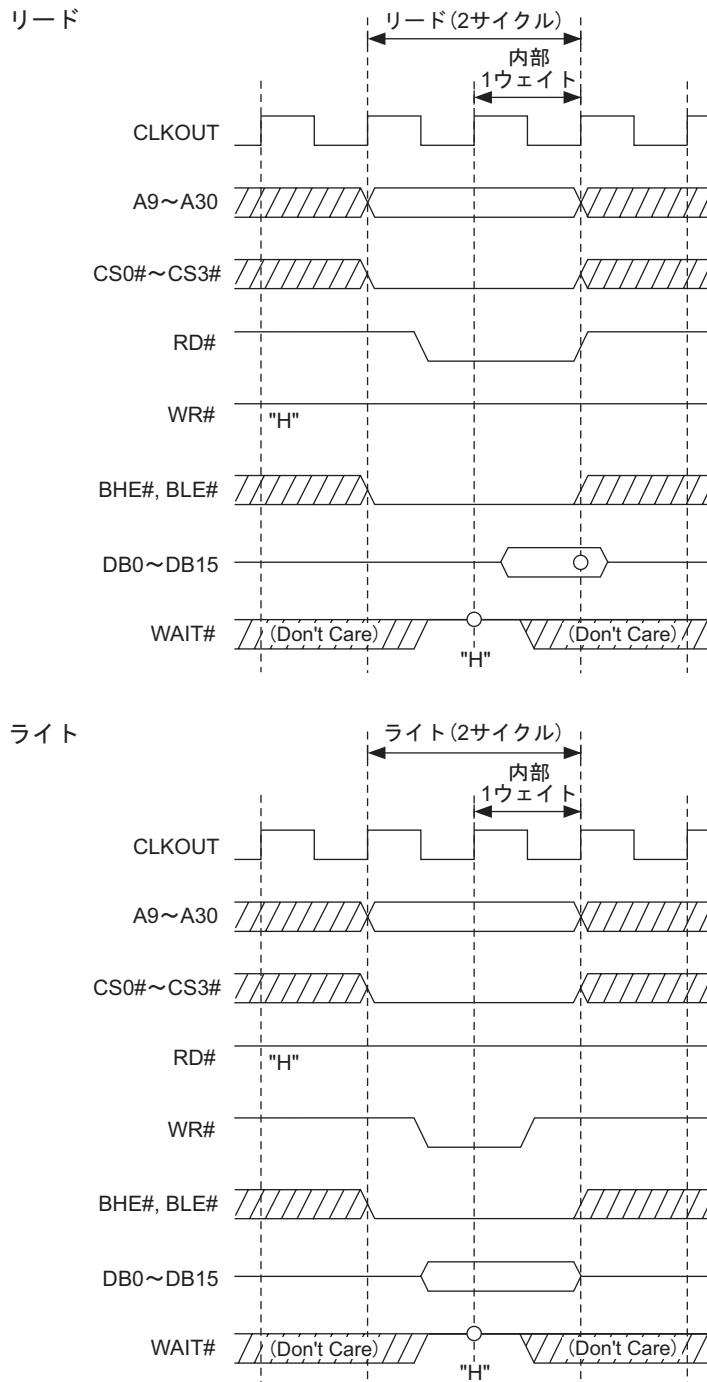


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中○印はサンプリングタイミングを示します。
 ・ 0ウェイト選択時は、WAIT#によるウェイトは受け付けられません。
 ・ CLKOUTは出力されません。

図18.3.14 リード/ライトタイミング(0ウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

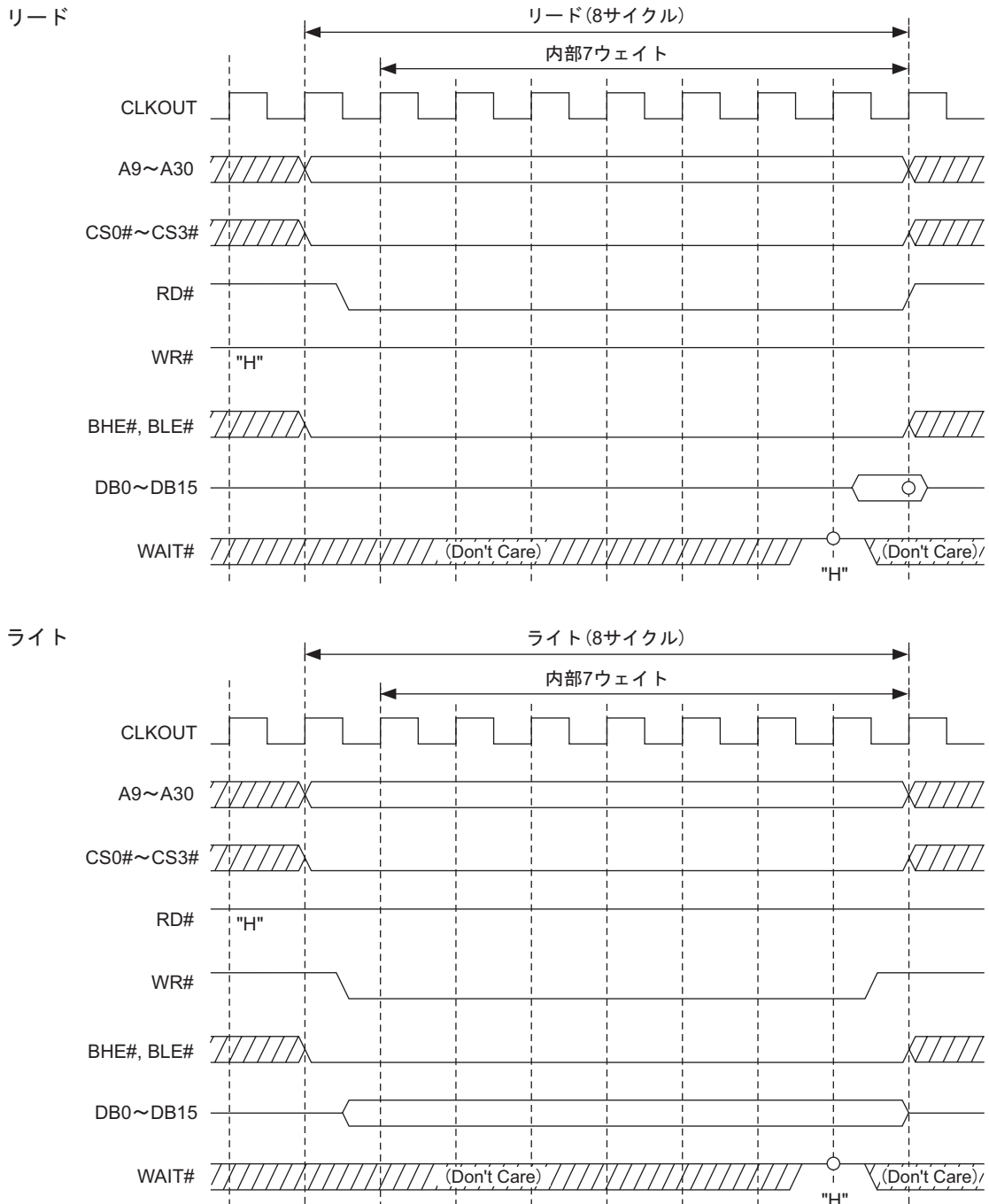


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中○印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

図18.3.15 リード/ライトタイミング(内部1ウェイトアクセス時)

バスモード制御レジスタ(注1)
BUSMODビット =1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット =0111(7ウェイト)
CWAITビット =0 (CSウェイトなし)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =0 (リカバリサイクルなし)
IDLEビット =0 (アイドルサイクルなし)

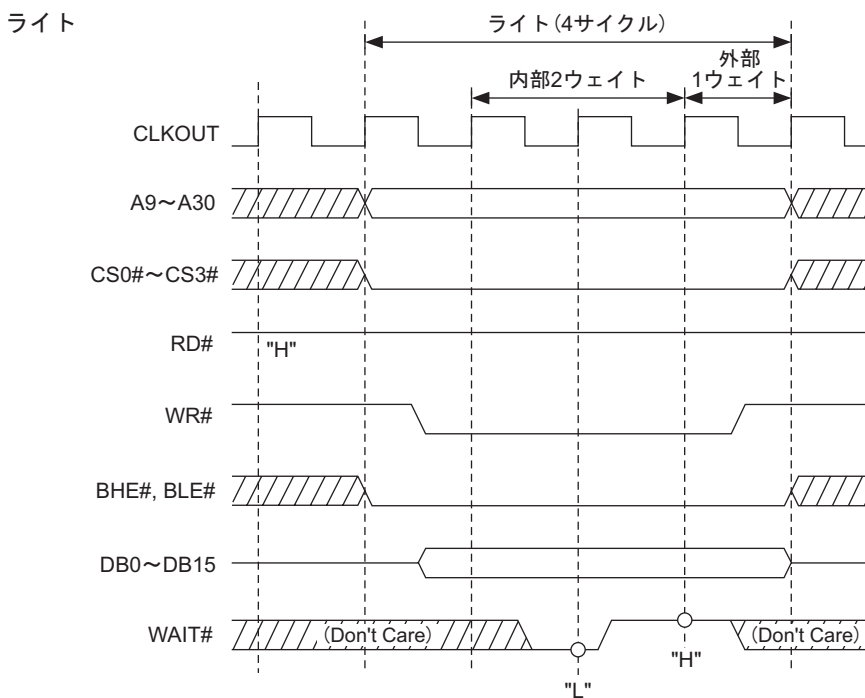
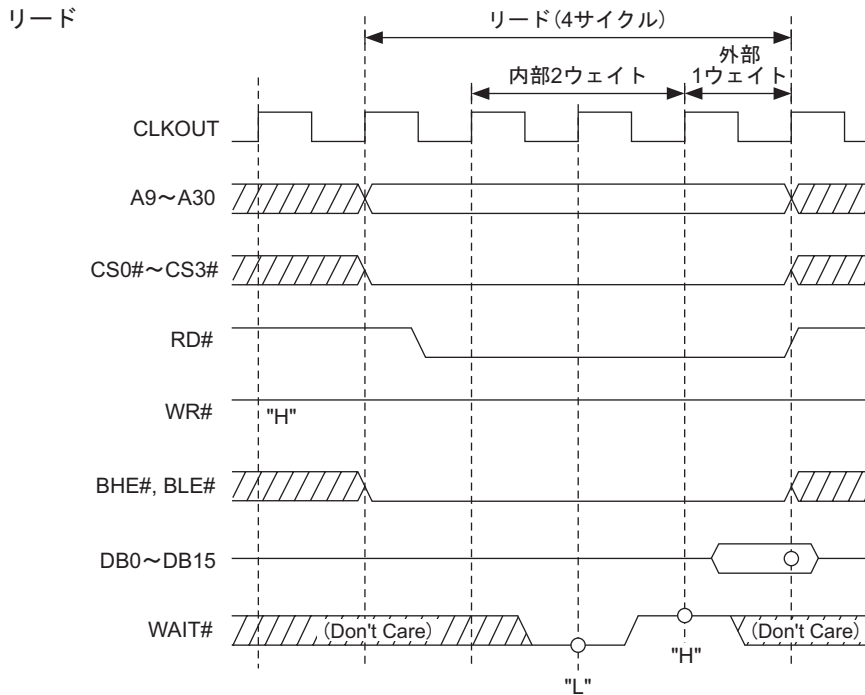


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・図中○印はサンプリングタイミングを示します。
 ・CLKOUTは出力されません。

図18.3.16 リード/ライトタイミング(内部7ウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

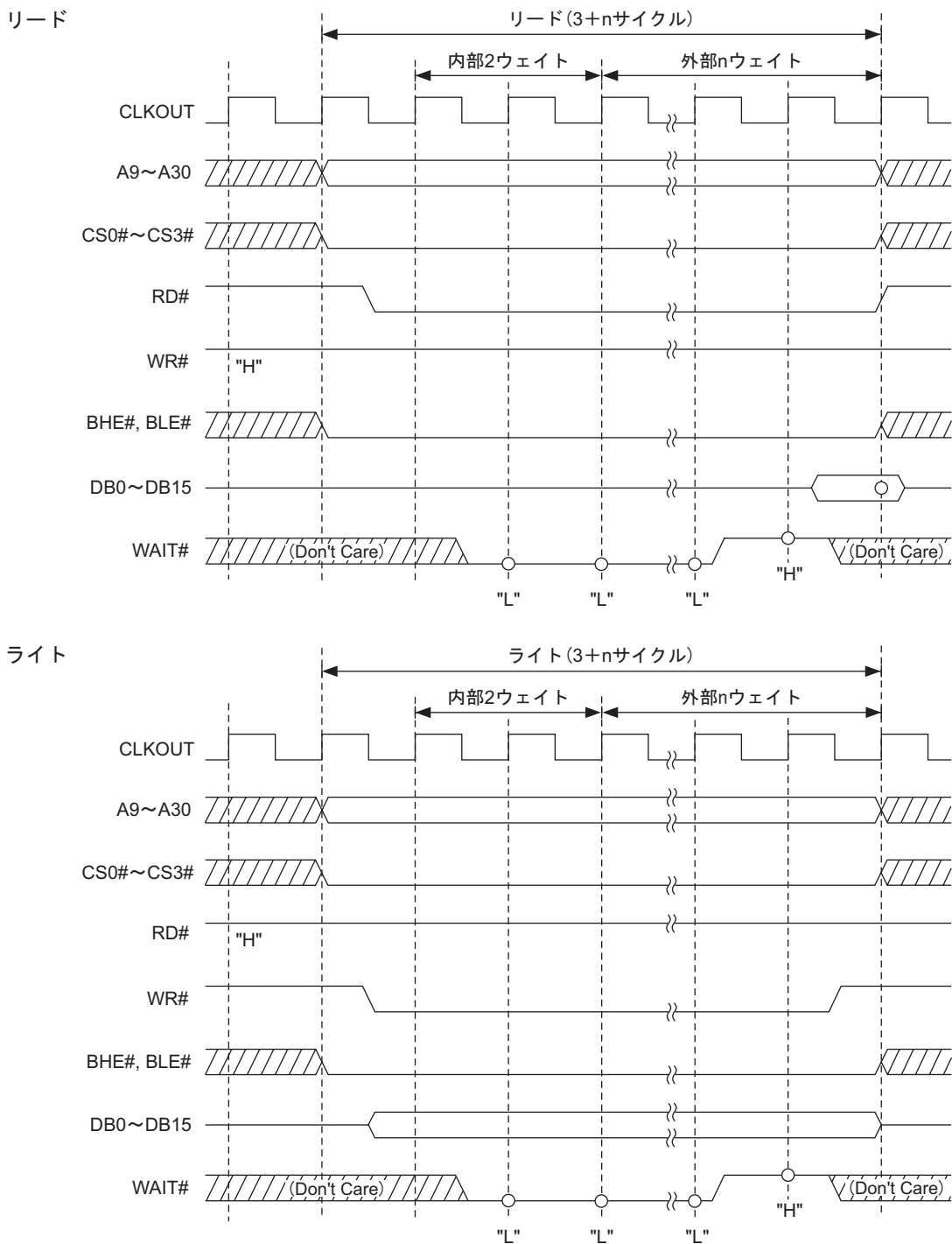


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中O印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

図18.3.17 リード/ライトタイミング (内部2ウェイト+外部1ウェイトアクセス時)

バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)



注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。

注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。

注. 図中○印はサンプリングタイミングを示します。

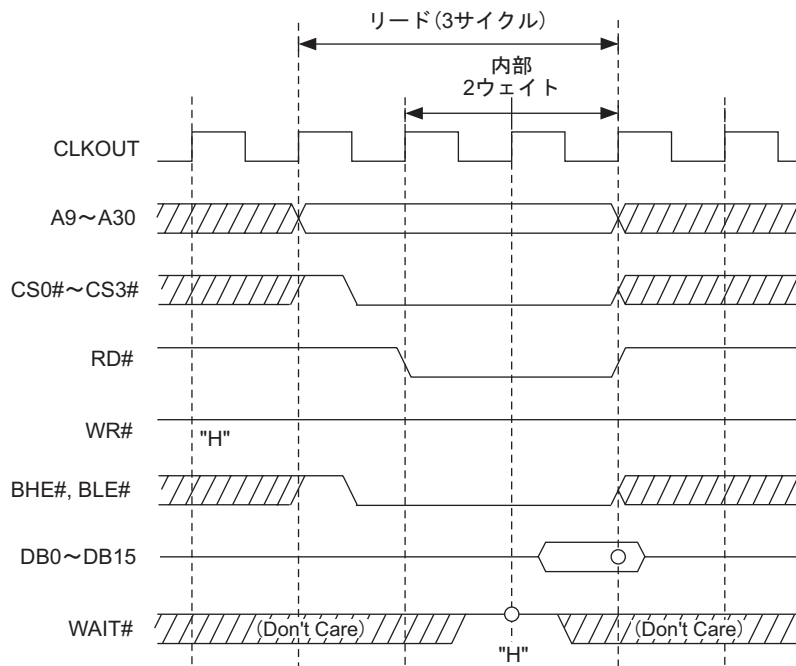
・CLKOUTは出力されません。

図18.3.18 リード/ライトタイミング (内部2ウェイト + 外部nウェイトアクセス時)

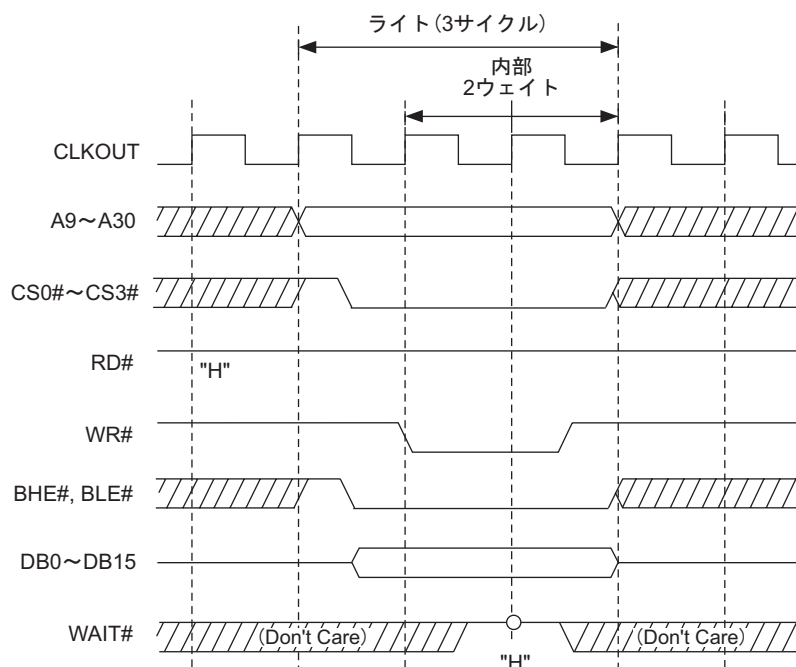
バスモード制御レジスタ(注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 1 (CSウェイトあり)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



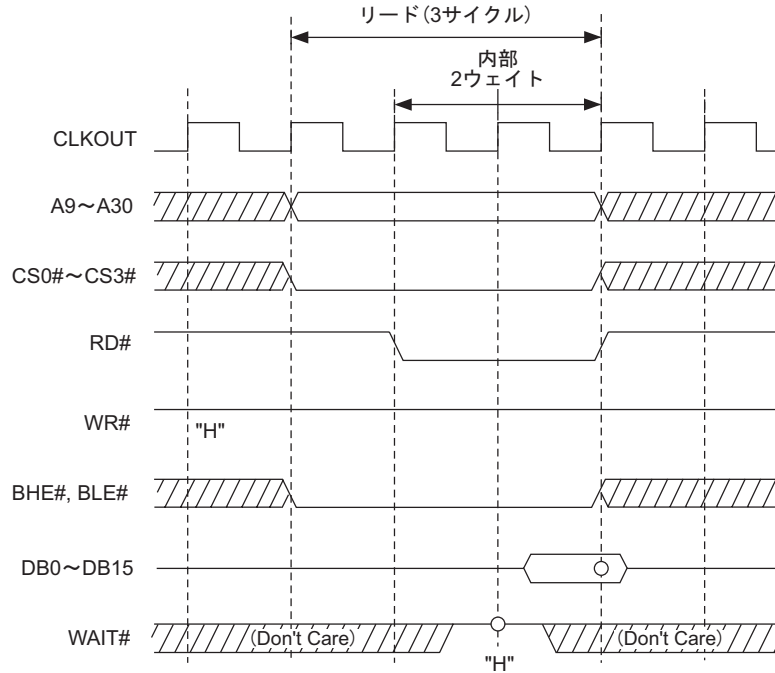
- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中O印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

図18.3.19 リード/ライトタイミング(内部2ウェイト+CSウェイトアクセス時)

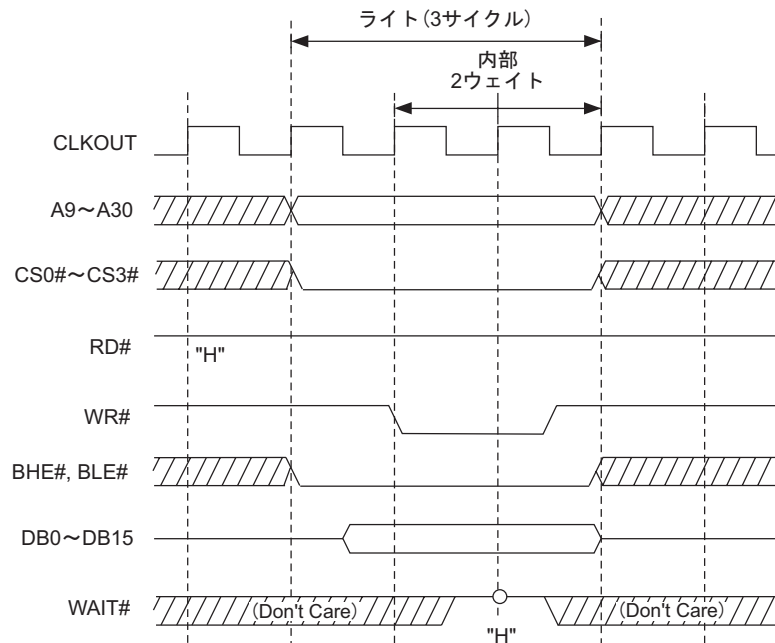
バスモード制御レジスタ(注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 1 (ストローブウェイトあり)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



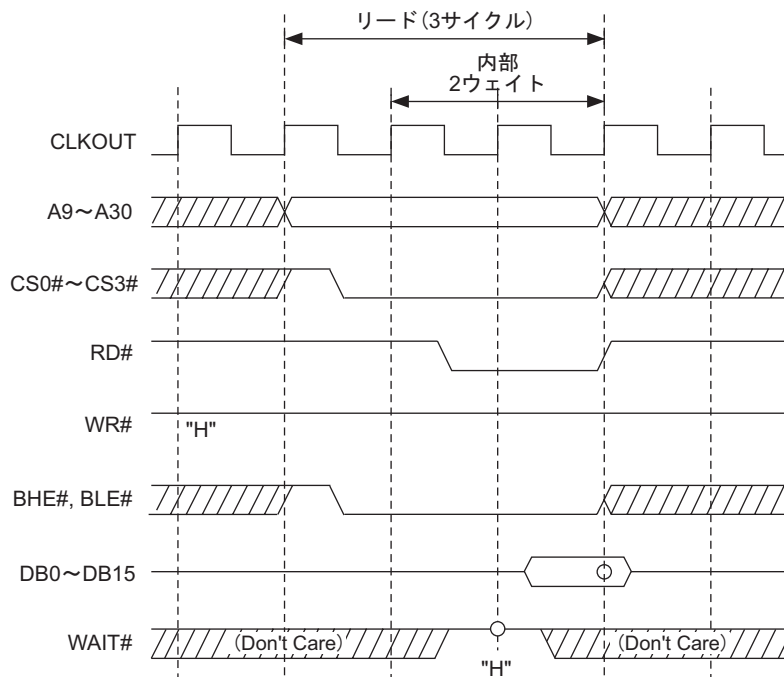
注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
注. ・ 図中○印はサンプリングタイミングを示します。
・ CLKOUTは出力されません。

図18.3.20 リード/ライトタイミング(内部2ウェイト+ストローブウェイトアクセス時)

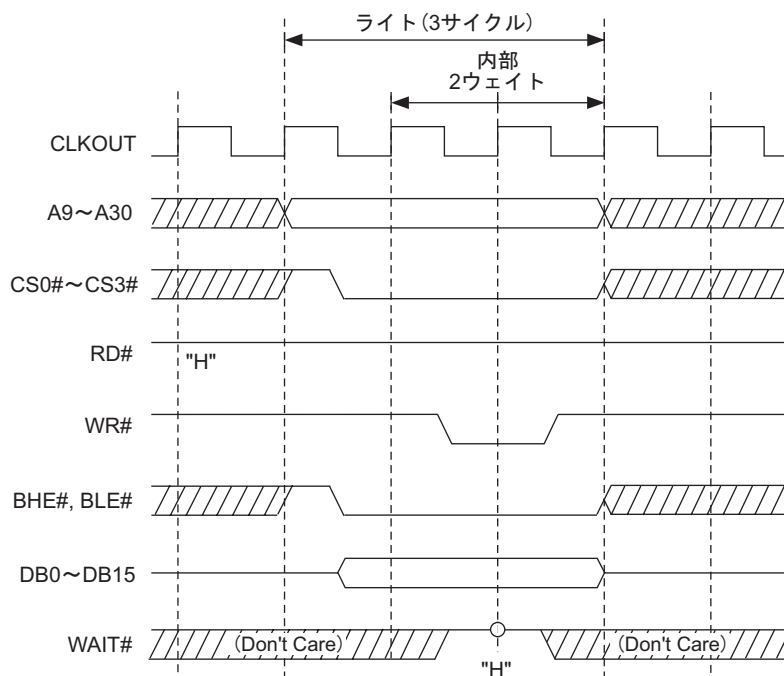
バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0010 (2ウェイト)
CWAITビット = 1 (CSウェイトあり)
SWAITビット = 1 (ストローブウェイトあり)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト



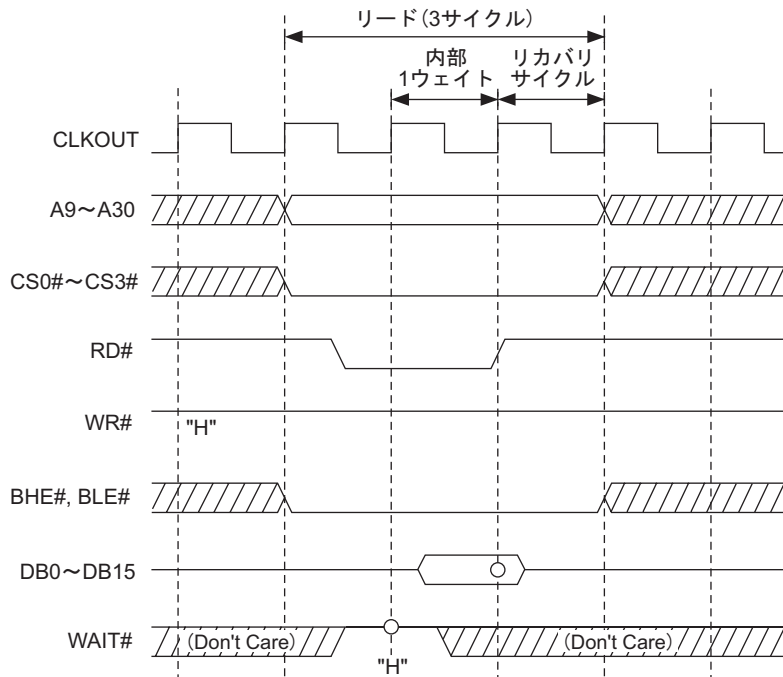
- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中O印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

図18.3.21 リード/ライトタイミング(内部2ウェイト+CS/ストローブウェイトアクセス時)

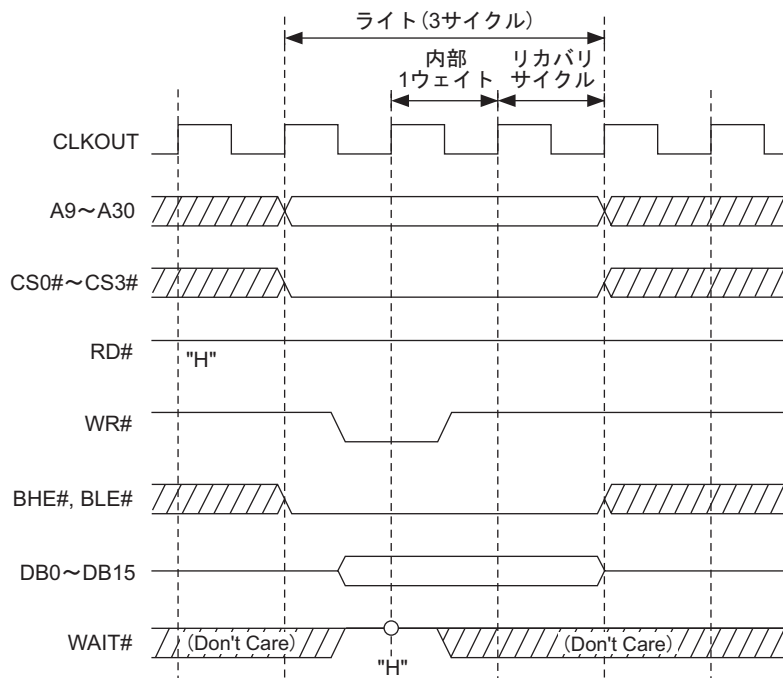
バスモード制御レジスタ (注1)
BUSMODビット = 1 (バイトイネーブル分離)

CS領域ウェイト制御レジスタ (注2)
WAITビット = 0001 (1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 1 (リカバリサイクルあり)
IDLEビット = 0 (アイドルサイクルなし)

リード



ライト

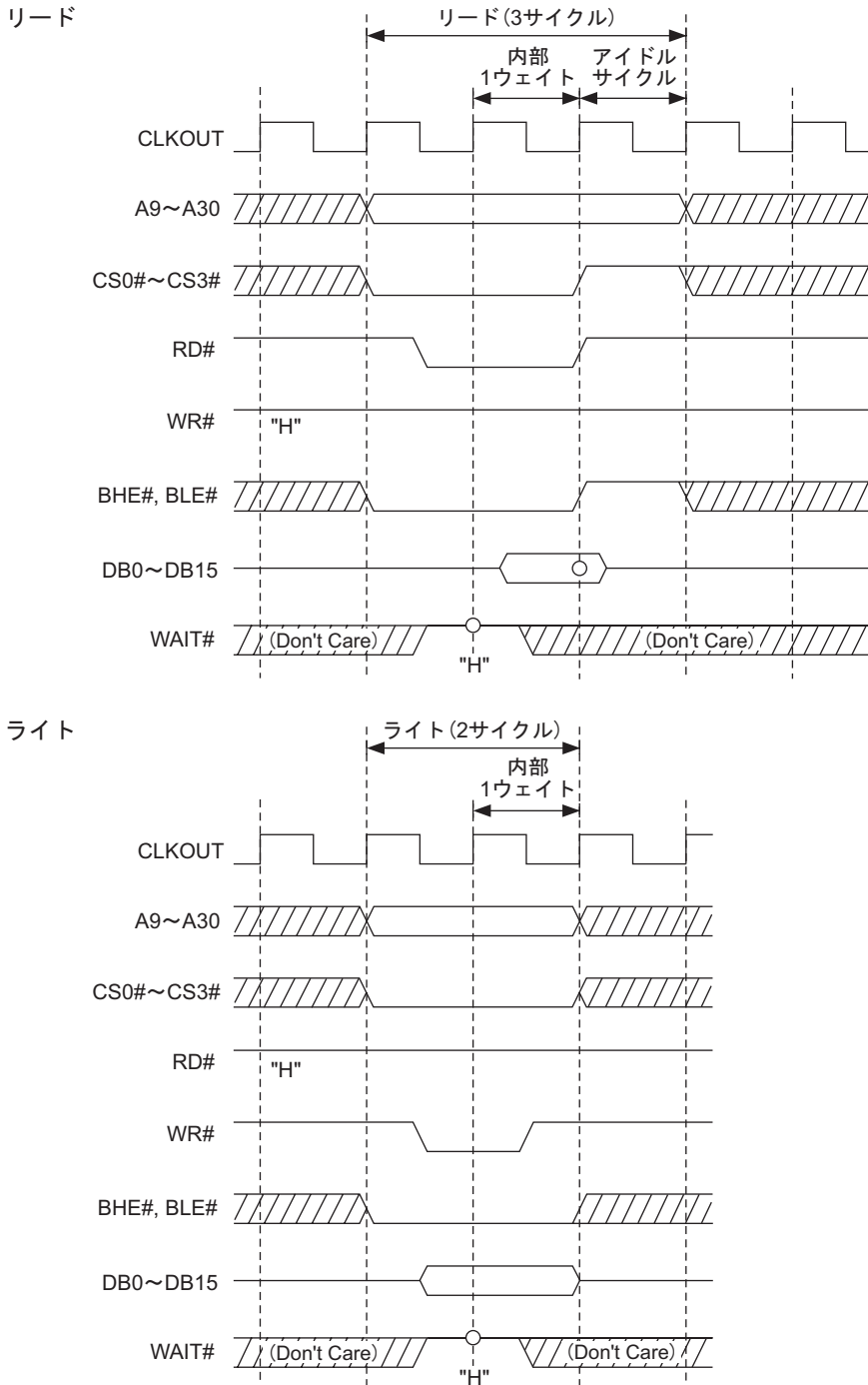


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. ・ 図中O印はサンプリングタイミングを示します。
 ・ CLKOUTは出力されません。

図18.3.22 リード/ライトタイミング(内部1ウェイト+リカバリサイクル追加時)

バスモード制御レジスタ(注1)
BUSMODビット = 1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット = 0001(1ウェイト)
CWAITビット = 0 (CSウェイトなし)
SWAITビット = 0 (ストローブウェイトなし)
RECOVビット = 0 (リカバリサイクルなし)
IDLEビット = 1 (アイドルサイクルあり)

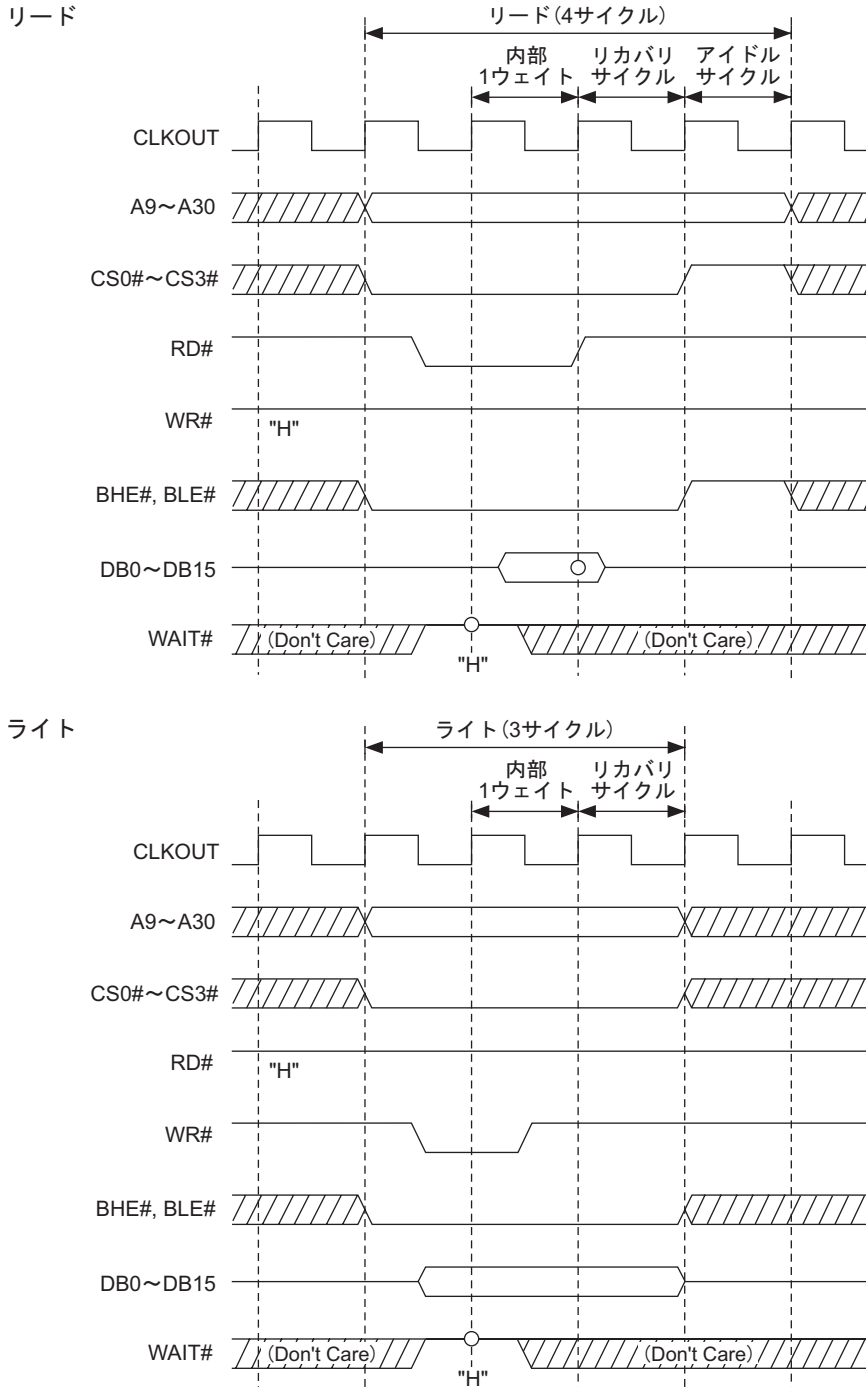


- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. 図中○印はサンプリングタイミングを示します。
 ・CLKOUTは出力されません。
 ・ライトサイクル後にはアイドルサイクルは追加されません。

図18.3.23 リード/ライトタイミング(内部1ウェイト+アイドルサイクル追加時)

バスモード制御レジスタ(注1)
BUSMODビット =1(バイトイネーブル分離)

CS領域ウェイト制御レジスタ(注2)
WAITビット =0001(1ウェイト)
CWAITビット =0 (CSウェイトなし)
SWAITビット =0 (ストローブウェイトなし)
RECOVビット =1 (リカバリサイクルあり)
IDLEビット =1 (アイドルサイクルあり)



- 注1. バスモード制御レジスタについては、「17.2.2 バスモード制御レジスタ」を参照してください。
 注2. CS領域ウェイト制御レジスタについては、「18.2.1 CS領域ウェイト制御レジスタ」を参照してください。
 注. 図中○印はサンプリングタイミングを示します。
 ・CLKOUTは出力されません。
 ・ライトサイクル後にはアイドルサイクルは追加されません。

図18.3.24 リード/ライトタイミング(内部1ウェイト+リカバリ/アイドルサイクル追加時)

RAMバックアップモード

- 19.1 概要
- 19.2 電源断時のRAMバックアップ例
- 19.3 低消費電力化のためのRAMバックアップ例
- 19.4 RAMバックアップモードの解除
(ウェイクアップ)

19.1 概要

RAMバックアップモードは、電源を切った状態で内蔵RAM領域の一部を保持するモードです。RAMバックアップモードは、次の2つの目的で使用されます。

32192の場合のRAMバックアップ領域は、H'0080 4000 ~ H'0081 3FFF(64KB)です。

32195/32196の場合のRAMバックアップ領域は、H'0080 4000 ~ H'0080 7FFF(16KB)です。

- 外部より、強制的に電源オフされる場合の内蔵RAMデータの一部をバックアップ(電源断時のRAMバックアップ)
- システムの低消費電力化のために、M32R/ECUが内蔵RAMデータの一部を保持しながら任意のタイミングでCPUの電源をオフにする場合(低消費電力化のためのRAMバックアップ)

RAMバックアップ用のVDDE端子に3.3Vまたは5.0Vの電圧を印加し、その他の端子に0Vを印加すると、M32R/ECUはRAMバックアップモードになります。ただし、ブートモードで起動した場合、「フラッシュ書き込み/消去プログラム」が内蔵RAMへ転送されるため、ブートモードで起動後の内蔵RAM値は不定となります。

RAMバックアップモード時、内部RAMの内容の一部が保持された状態で、CPUおよび内蔵周辺I/Oは停止しています。また、RAMバックアップモード中はVDDE端子以外の端子は"L"レベルのため、効果的な低消費電力が実現できます。

32192内蔵RAM(176KB)		32195内蔵RAM(32KB)		32196内蔵RAM(64KB)	
H'0080 4000	RAMバックアップ領域(64KB)	H'0080 4000	RAMバックアップ領域(16KB)	H'0080 4000	RAMバックアップ領域(16KB)
}					
		H'0080 7FFF		H'0080 7FFF	
		H'0080 8000	非RAMバックアップ領域	H'0080 8000	非RAMバックアップ領域
		H'0080 BFFF			
H'0081 3FFF				H'0081 3FFF	
H'0081 4000	非RAMバックアップ領域				
H'0082 FFFF					

図19.1.1 RAMバックアップ領域

19.2 電源断時のRAMバックアップ例

電源断時のRAMバックアップ回路例を図19.2.1に示します。この回路例を使用した場合のRAMバックアップ例について、以下に説明します。

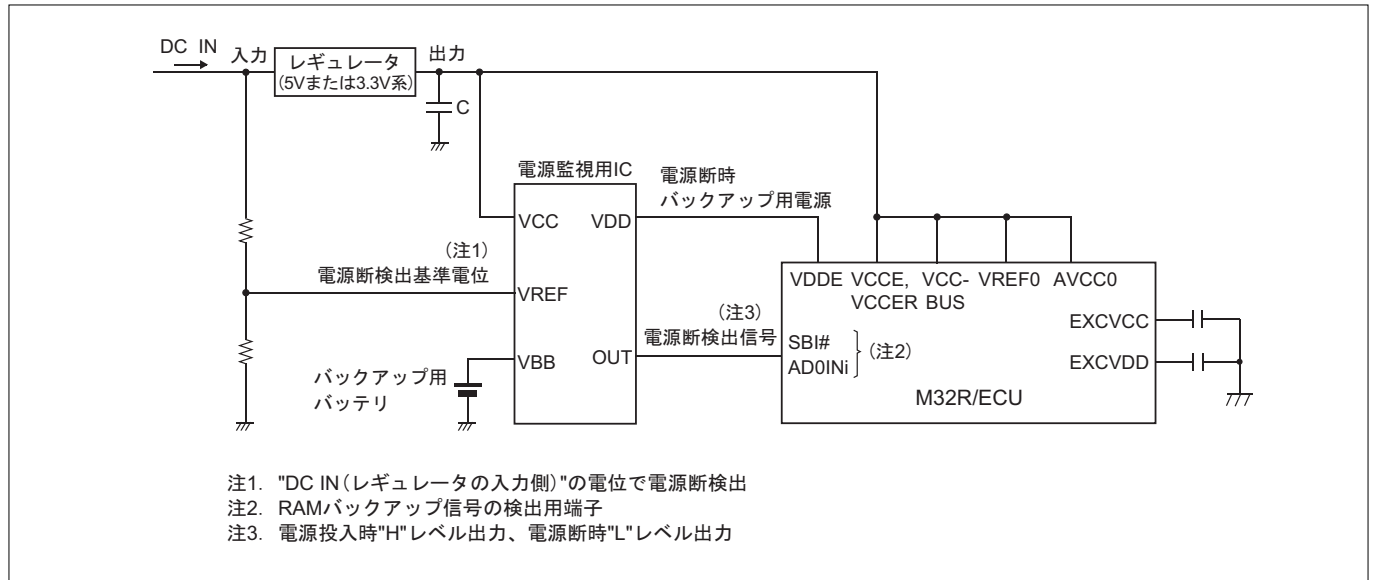


図19.2.1 電源断時のRAMバックアップ回路例

19.2.1 通常動作時の状態

図19.2.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号の検出用のSBI端子またはAD0IN $(i = 0 \sim 15)$ 端子へは"H"レベルが入力されます。

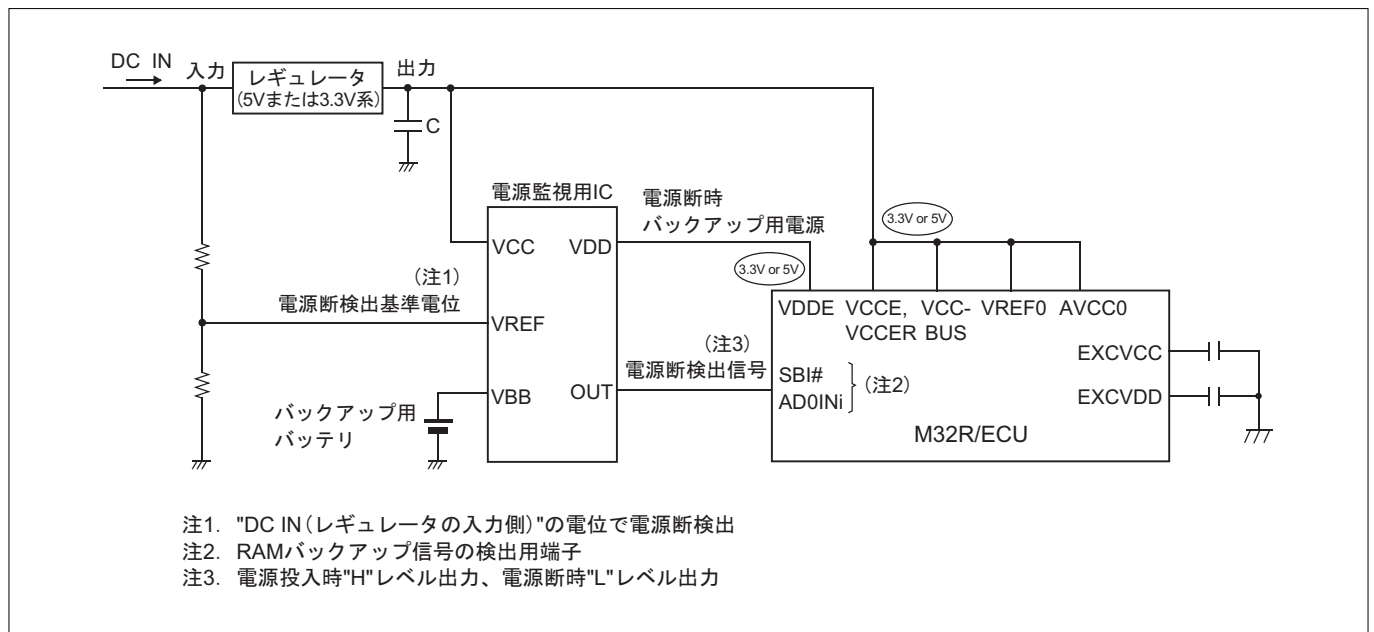


図19.2.2 通常動作時の状態

19.2.2 RAMバックアップ時の状態

図19.2.3に電源断時のRAMバックアップの状態を示します。電源オフすると電源監視用ICによって、バックアップ用バッテリーから電流が供給されます。また、電源監視用ICの電源断検出信号端子から"L"レベルが出力され、SBI#端子またはAD0INi端子は"L"レベルになりRAMバックアップ信号の発生となります(図19.2.3の(a))。電源断検出判定は、電源断時のソフトウェア処理時間を確保するため、必ず"DC IN (レギュレータの入力側)"の電位で行う必要があります。

RAMバックアップモードを有効にするためには、次の設定を行ってください。

(1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図19.2.3の(b))

(1)の設定後、VCCEへの電流の供給が切れると、VDDE端子は3.0V ~ 3.3V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図19.2.3の(c))。

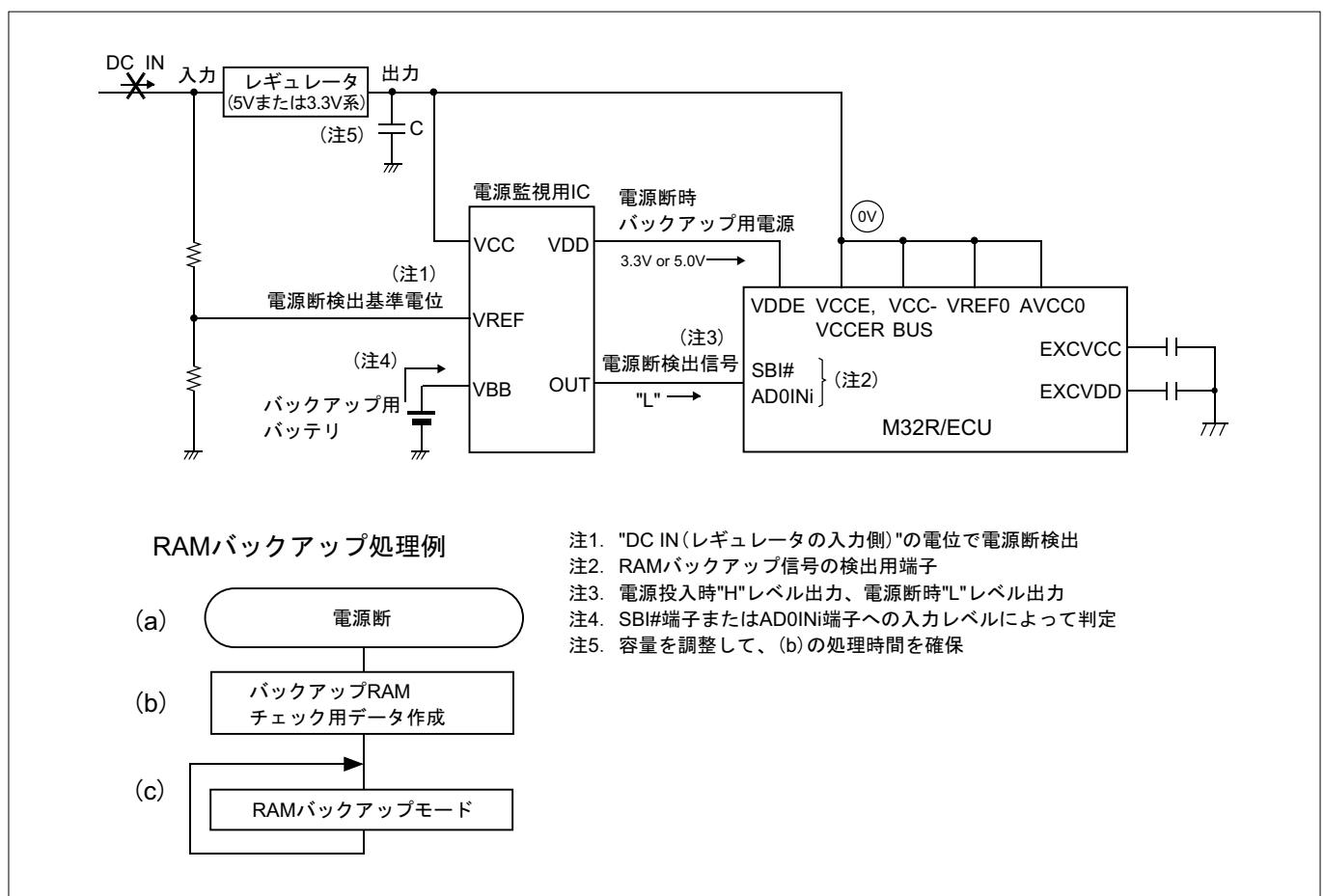


図19.2.3 電源断時のRAMバックアップ時の状態

19.3 低消費電力化のためのRAMバックアップ例

低消費電力化のためのRAMバックアップ回路例を図19.3.1に示します。この回路例を使用した場合の低消費電力化のためのRAMバックアップ例について、以下に説明します。

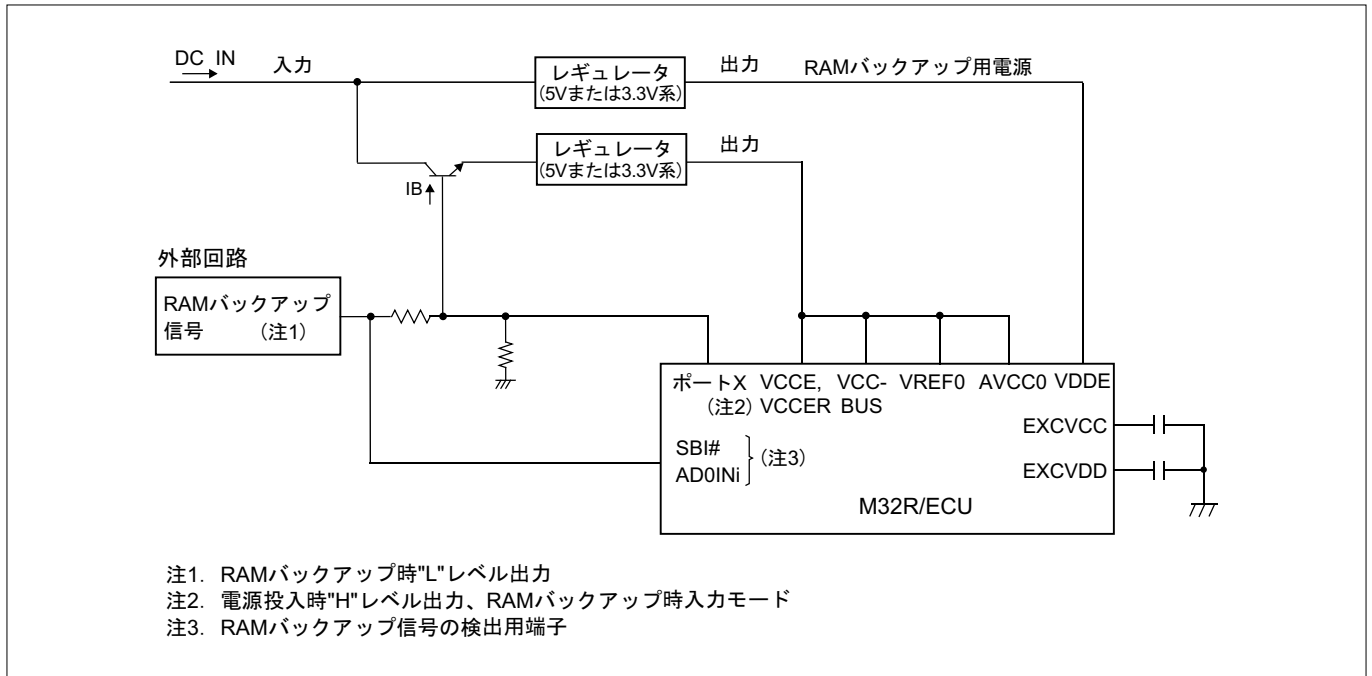


図19.3.1 低消費電力化のためのRAMバックアップ回路例

19.3.1 通常動作時の状態

図19.3.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号を出力する外部回路からは、"H"レベルが出力されます。RAMバックアップ信号の検出用のSBI#端子またはAD0IN_i($i=0\sim 15$)端子へは"H"レベルが入力されます。

トランジスタのベース接続端子であるポートnからは、"H"レベルを出力してください。この処置によって、トランジスタのベース電圧IBが"H"レベルになり、トランジスタを経由して電源からVCCE端子へ電流が供給されます。

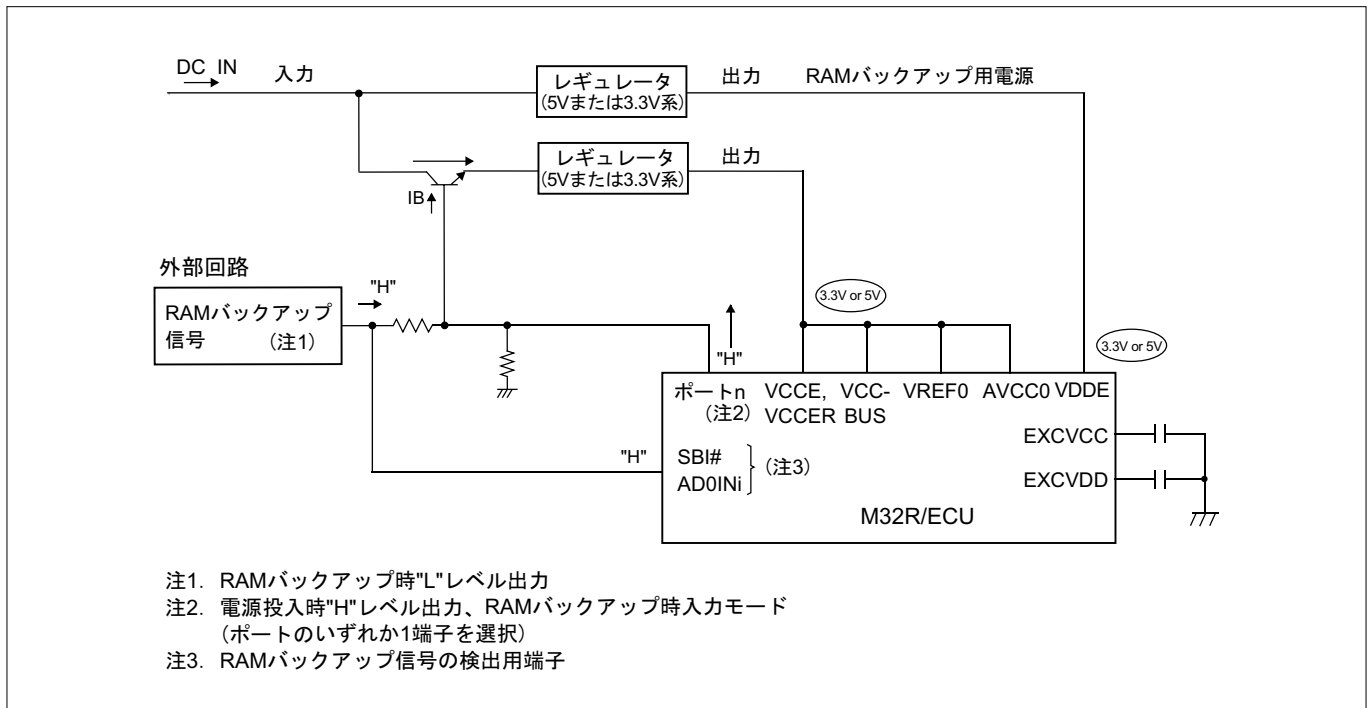


図19.3.2 通常動作時の状態

19.3.2 RAMバックアップ時の状態

図19.3.3にRAMバックアップ時の状態を示し、図19.3.4にRAMバックアップシーケンスを示します。外部回路から"L"レベルが出力されるとSBI#端子またはAD0INi端子へ"L"レベルが入力されます。これらの端子への"L"レベル入力、RAMバックアップ信号の発生となります(図19.3.3のA、(a))。RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図19.3.3の(b))
- (2) 低消費電力を実現するために、ポートn以外のプログラマブル入出力ポートをすべて入力モード(または出力モードで"L"レベル出力)に設定(図19.3.3の(c))
- (3) ポートnを入力モードに設定(図19.3.3のB、(d))
この処置によってトランジスタのベース電圧IBが"L"レベルになり、VDDE端子以外の電源端子への電源供給が遮断(図19.3.3のC、D)

(1)~(3)の設定によってVDDE端子は3.0V~5.5V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図19.3.3の(d))。

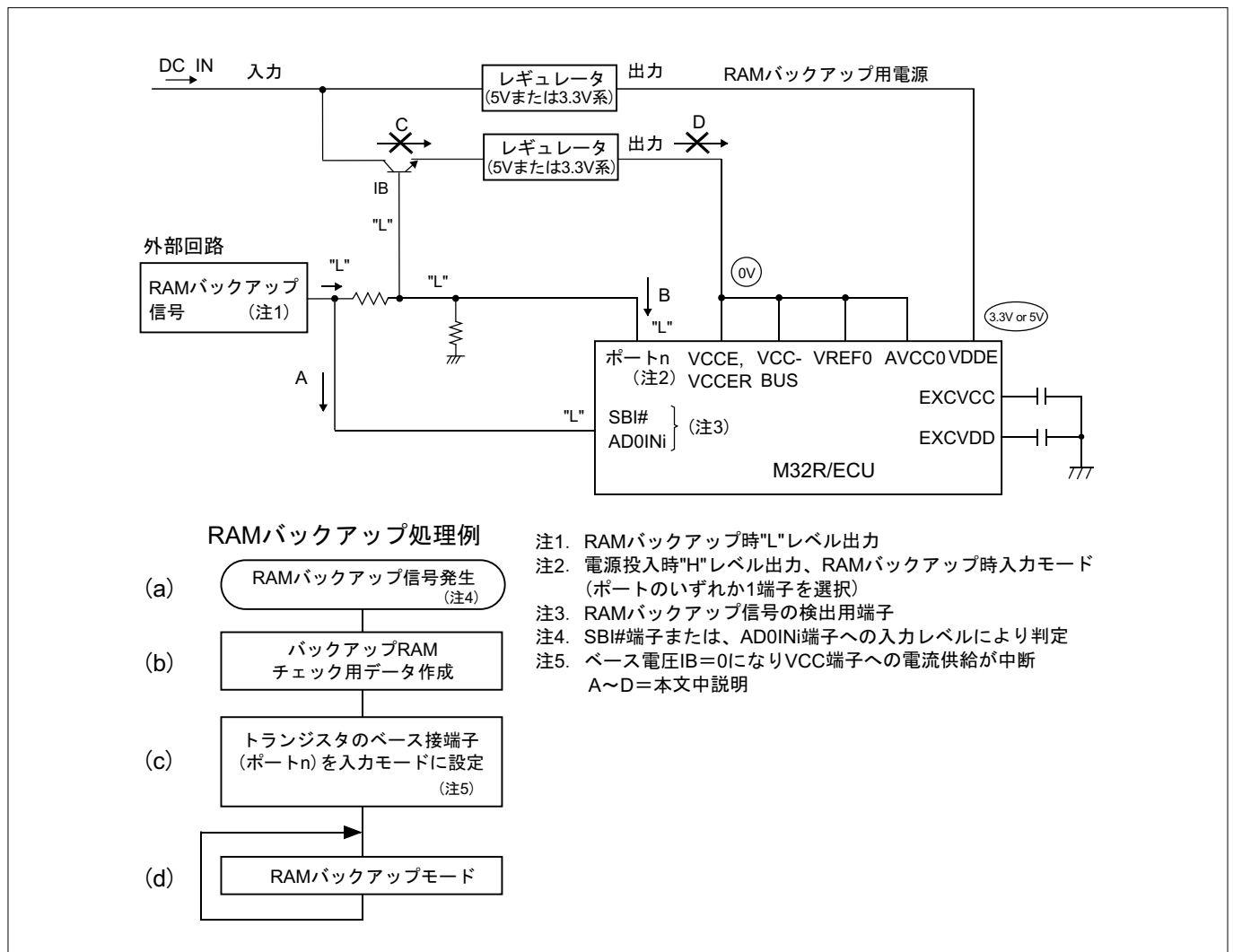


図19.3.3 低消費電力化時のRAMバックアップ時の状態

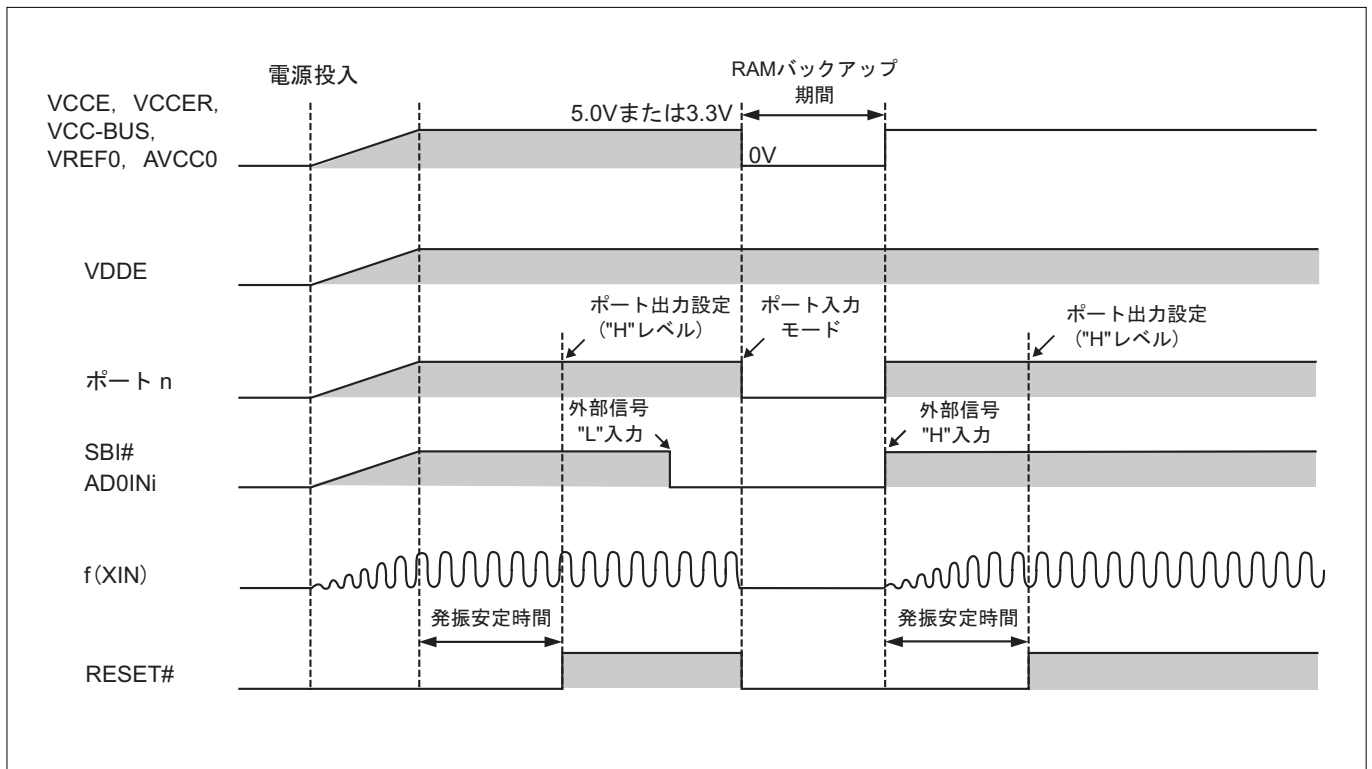


図19.3.4 低消費電力化のためのRAMバックアップシーケンス例

19.3.3 電源立ち上げ時の注意事項

電源投入後ポートnを入力モードから出力モードにする場合、以下の点に注意してください。

ポートnデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートnデータレジスタへ出力レベル"H"を設定した後、ポートnを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が"L"レベルになり、RAMバックアップモードになることがあります。

19.3.4 電源立ち上げ時の制約事項

電源立ち上げ時、VDDE VCCERを満たすようにしてください。ただし、VDDEが3.0以上の場合は、制約事項VDDE VCCERを満たさなくても問題ありません。

また、上記電源立ち上げ時の制約事項を満たせない場合、1V以上の電位差でマイコンに印加されないようにユーザーにて十分評価し、システム設計を行ってください。

電位差が0V ~ 0.6V程度では電流の流れ込みはなく、0.6Vを超える辺りから流れ込み電流が増加します。

19.4 RAMバックアップモードの解除(ウェイクアップ)

RAMバックアップモードを解除して通常動作に復帰するための処理を、ウェイクアップ処理と呼びます。図19.4.1にウェイクアップ処理例を示します。

ウェイクアップ処理は、リセット入力により行います。ウェイクアップ処理を次に示します。

- (1) リセット動作を実行(図19.4.1の(a))
- (2) ポートnを出力モードに設定し、"H"レベルを出力(図19.4.1の(b))〔注1〕
- (3) RAMバックアップモード時に作成した、チェック用データの内容を判定(図19.4.1の(c))
- (4) (3)の判定結果が一致しなかった場合、RAMの初期設定を実行(図19.4.1の(d))
 - (3)の判定結果が一致した場合は、保持されていたデータをプログラム中で使用
- (5) 各初期設定の実行(図19.4.1の(e))後、メインルーチンへ復帰(図19.4.1の(f))

注1．電源断時のRAMバックアップモードのウェイクアップには、ポートXの設定処理は不要です。

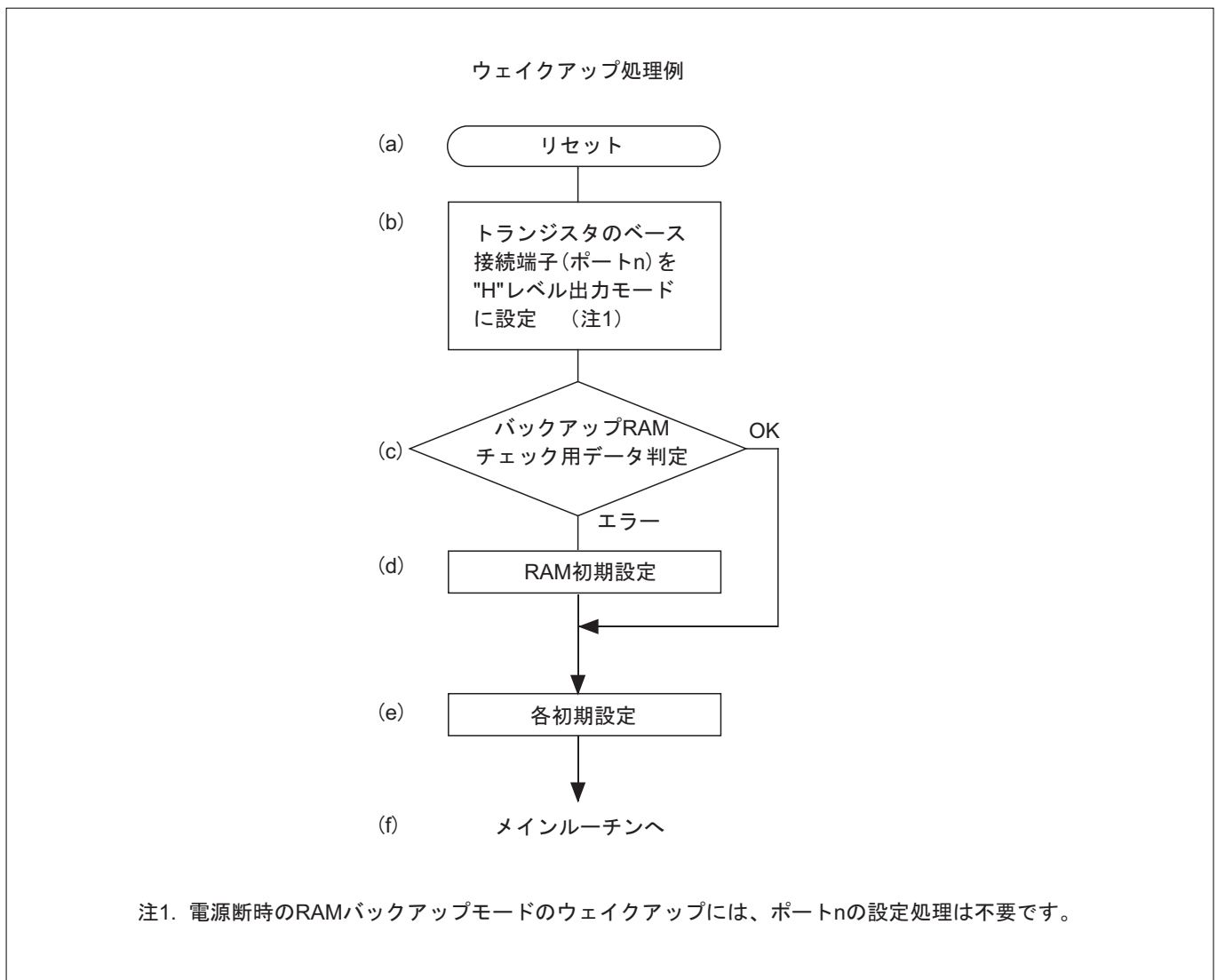


図19.4.1 ウェイクアップ処理

レイアウトの都合上、このページは白紙です。

第20章

発振回路

- 20.1 発振回路
- 20.2 クロック発生回路

20.1 発振回路

M32R/ECUは、M32R-FPUコア、内蔵周辺I/Oおよび内蔵メモリなどの動作クロックを供給する発振回路を内蔵しています。クロック入力端子（XIN）に入力された周波数を内蔵PLL回路により8通倍したクロックがM32R-FPUコア、内蔵メモリの動作クロックであるCPUクロックになります。また、8通倍したクロックを4分周したクロックが内蔵周辺I/Oおよび外部データバスの動作クロックである周辺クロックになります。

20.1.1 発振回路例

XIN端子とXOUT端子の間にセラミック共振子（または水晶発振子）を外付けすることによって、クロック発振回路を構成することができます。

共振子を外付けした場合の回路を示したシステムクロック発生回路例を図20.1.1に示します。Rf、Cin、Cout、Rdなどの定数は、共振子および発振子メーカーにお問い合わせの上、推奨する値に設定してください。

発振回路を用いずに、外部からクロック信号を入力する場合は、XIN端子にクロック信号を入力し、XOUT端子はオープンにしてください。

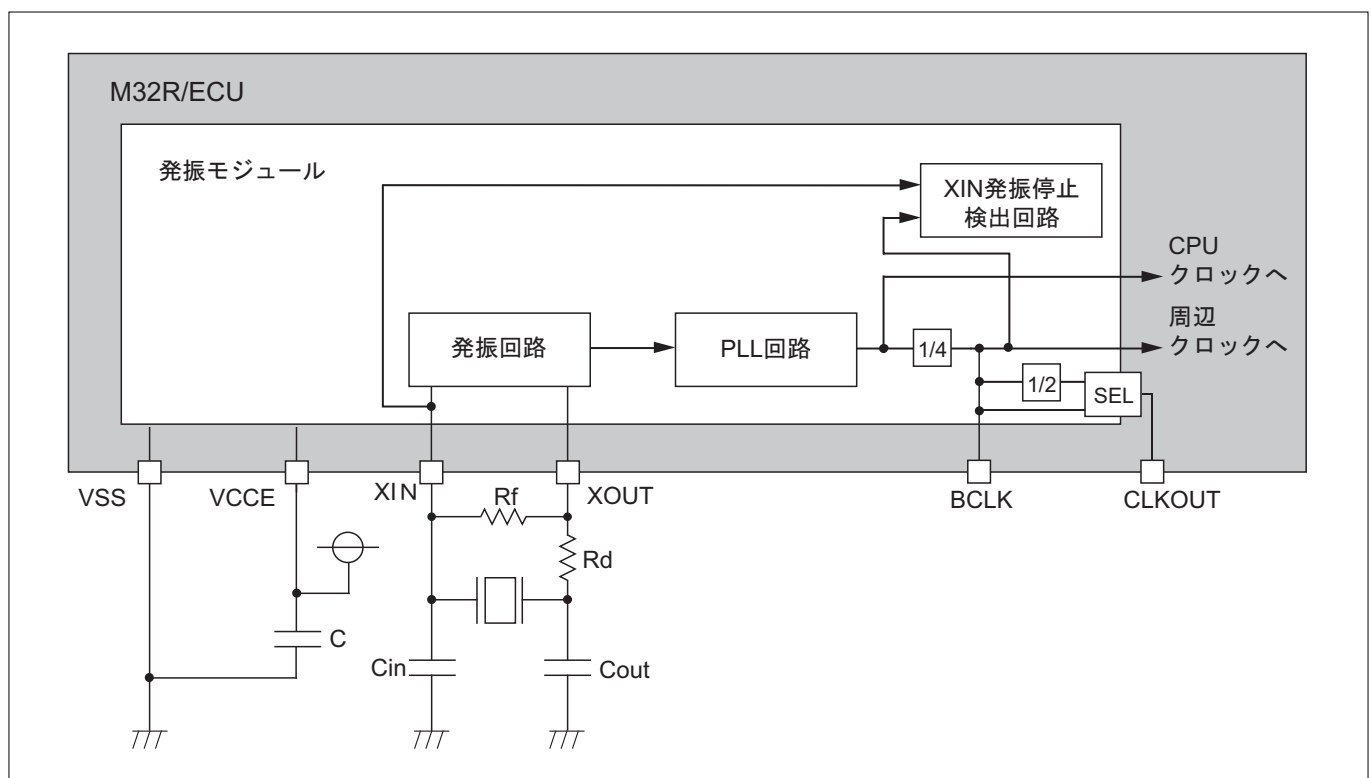


図20.1.1 発振回路例

20.1.2 XIN発振停止検知機能

M32R/ECUは、発振入力（XIN）の停止を検知する回路を内蔵しています。

PLL回路には、基準となる発振入力がない場合、固有振動数で発振を行います。

XIN発振入力を周辺クロックでサンプリングし、XIN発振がXIN発振停止検知のしきい値を基準として同一レベルの場合にXSTATビットをセットします。XIN発振が停止していても、PLL回路の固有周波数でCPUは動作しますので、ソフトウェアによりXSTATビットを確認することで、XIN発振停止により異常処理を行うことができます。

XIN発振停止検知のしきい値は、「23章 電気的特性」を参照してください。

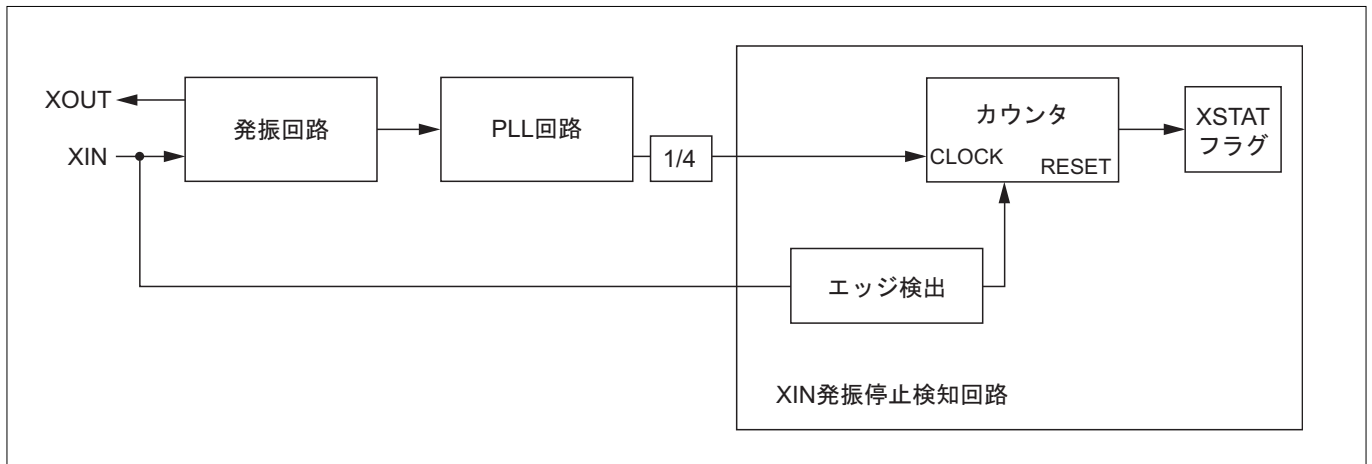


図20.1.2 XIN発振停止検知回路ブロック図

ポート入力特別機能制御レジスタ（PICNT）

<アドレス：H'0080 0745>

b8	9	10	11	12	13	14	b15
0	0	0	XSTAT 0	0	0	PISEL 0	PIEN0 0

<リセット解除時：H'00>

b	ビット名	機能	R	W
8~10		何も配置されていません。"0"に固定してください。	0	0
11	XSTAT XIN発振状態ビット	0：XINは発振状態 1：XINは停止状態	R（注1）	
12, 13		何も配置されていません。"0"に固定してください。	0	0
14	PISEL ポート入力データ選択ビット	0：ポート出力ラッチの内容 1：ポート端子レベル	R	W
15	PIEN0 ポート入力許可ビット	0：入力禁止 1：入力許可	R	W

注1．書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

ポート入力データ選択ビット（PISEL）、およびポート入力許可ビット（PIEN0）の機能説明については、「8章 入出力ポートと端子機能」を参照してください。

(1) XSTAT (XIN発振状態) ビット

・ XSTATビットが"1"となる条件

XSTATビットはXINの発振が停止したことを検知して、"1"にセットされます。XINが一定時間（最大4BCLK、最小3BCLK）以上XIN発振停止検知のしきい値を基準として同一レベルを保持したときに発振停止とみなします。なお、通常動作時においてXINは1BCLK間に1回の割合で変化します。

・ XSTATビットが"0"となる条件

システムリセット、またはXSTATビットへの"0"書き込みにより"0"にクリアされます。上記によるXSTATビットの"1"セットと、"0"書き込みが重なったときは、"0"書き込みによるクリアが優先されます。なおXSTATビットへの"1"書き込みは無視されます。

・ XSTATビットを使用したXIN発振停止検出方法

PLLを内蔵しているため、XINの発振が停止していても内部クロックは停止しません。

リセット解除後、一度もXSTATビットをクリアすることなしにXSTATビットをリードすれば、リセット解除から現在までにXINが停止したことがあるかどうかを知ることができます。また、XSTATビットへ0を書き込んでからリードすれば、現時点でのXINの発振状態を知ることができます（ただし、ライトとリードの間は5BCLK（20CPUクロック）以上空けてください）。

XSTATビットが"1"にセットされた時の処理については、XSTATビットをいったんクリアした後に再チェックする等、十分注意してご使用ください。

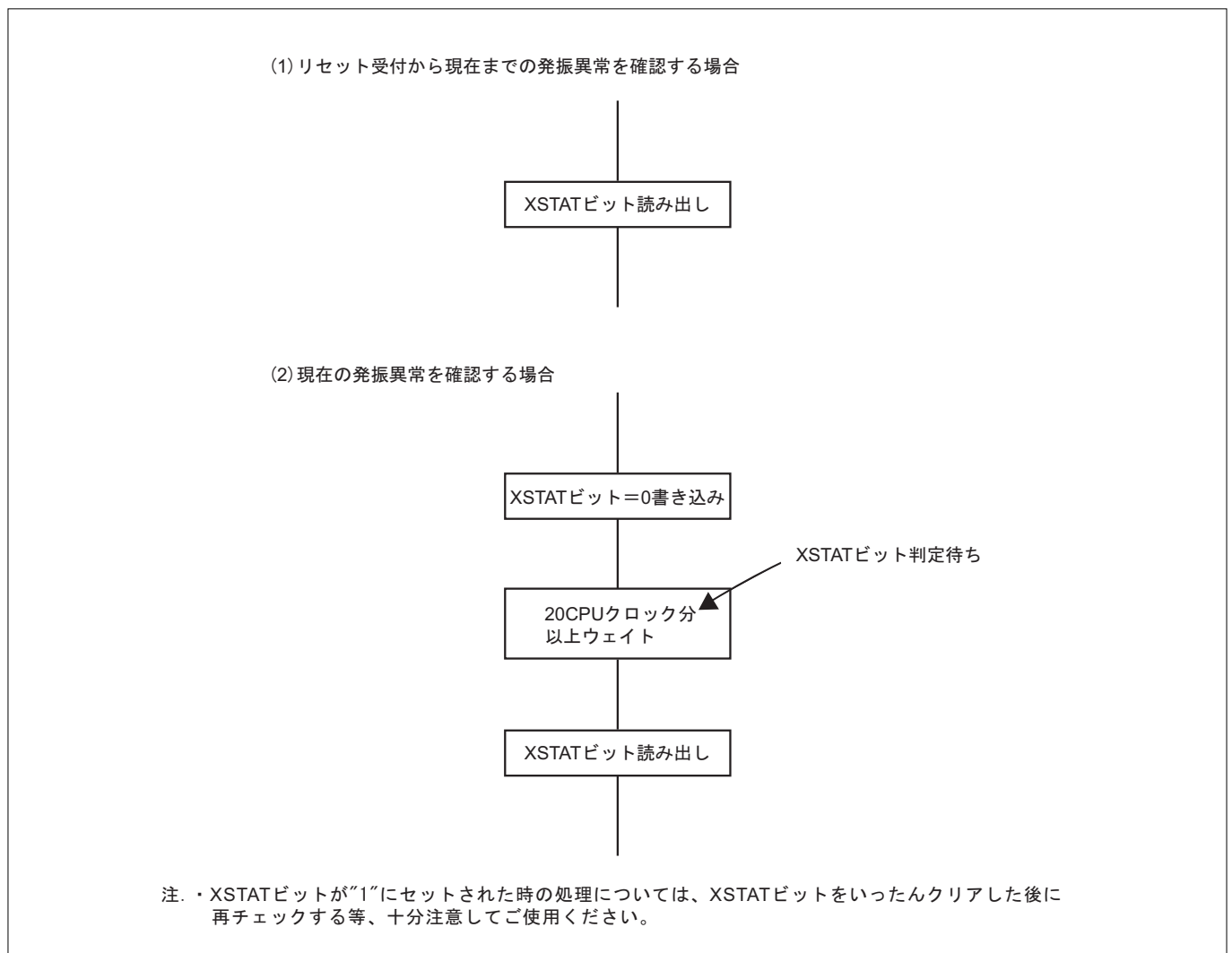


図20.1.3 XSTATビット設定手順

20.1.3 発振駆動能力選択機能

発振駆動能力を4段階内蔵しています。

発振回路の発振が安定した後は、XIN-XOUT駆動能力を弱めることができます。駆動能力を弱めると、消費電力は低減します。

クロック制御レジスタ (CLKCR)

<アドレス : H'0080 0786 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	XDRVP 0	XDRV 1	1

<リセット解除時 : H'03 >

b	ビット名	機能	R	W
0~4	何も配置されていません。"0"に固定してください。		0	0
5	XDRVP XDRV書き込み制御ビット		0	W
6, 7	XDRV XIN-XOUT駆動能力選択ビット	XIN-XOUT駆動能力 (能力比) 00 : 低 0.25 01 : ↑ 0.5 10 : ↓ 0.75 11 : 高 1	R	W

(1) XDRV書き込み制御 (XDRVP) (b5)

XIN-XOUT駆動能力選択ビットの書き込み制御ビットです。

(2) XIN-XOUT駆動能力選択ビット (b6, b7)

以下にこのビットへの書き込み方法を示します。

- 書き込み制御ビット (XDRVP) に"1"を書き込む。
- 上記1. に連続して書き込み制御ビット (XDRVP) に"0"を、XIN-XOUT駆動能力選択ビットに"設定内容"を書き込む。

注. ・1と2の間にCPU、DMA、SDI (ツール)、NBDから任意の領域への書き込みサイクルがあると、連続設定 (書き込み動作は、2回連続が1組) は無効となり、書き込み値は反映されません。割り込み処理、DMA転送を禁止状態にて設定してください。

ただし、RTD、DRIからの書き込みサイクルは影響しません。

- 共振子、または発振子以外の外部クロックを入力する場合は、XOUT端子はオープンにし、XDRVビットは、XIN-XOUT駆動能力高 (最大) を選択してください。

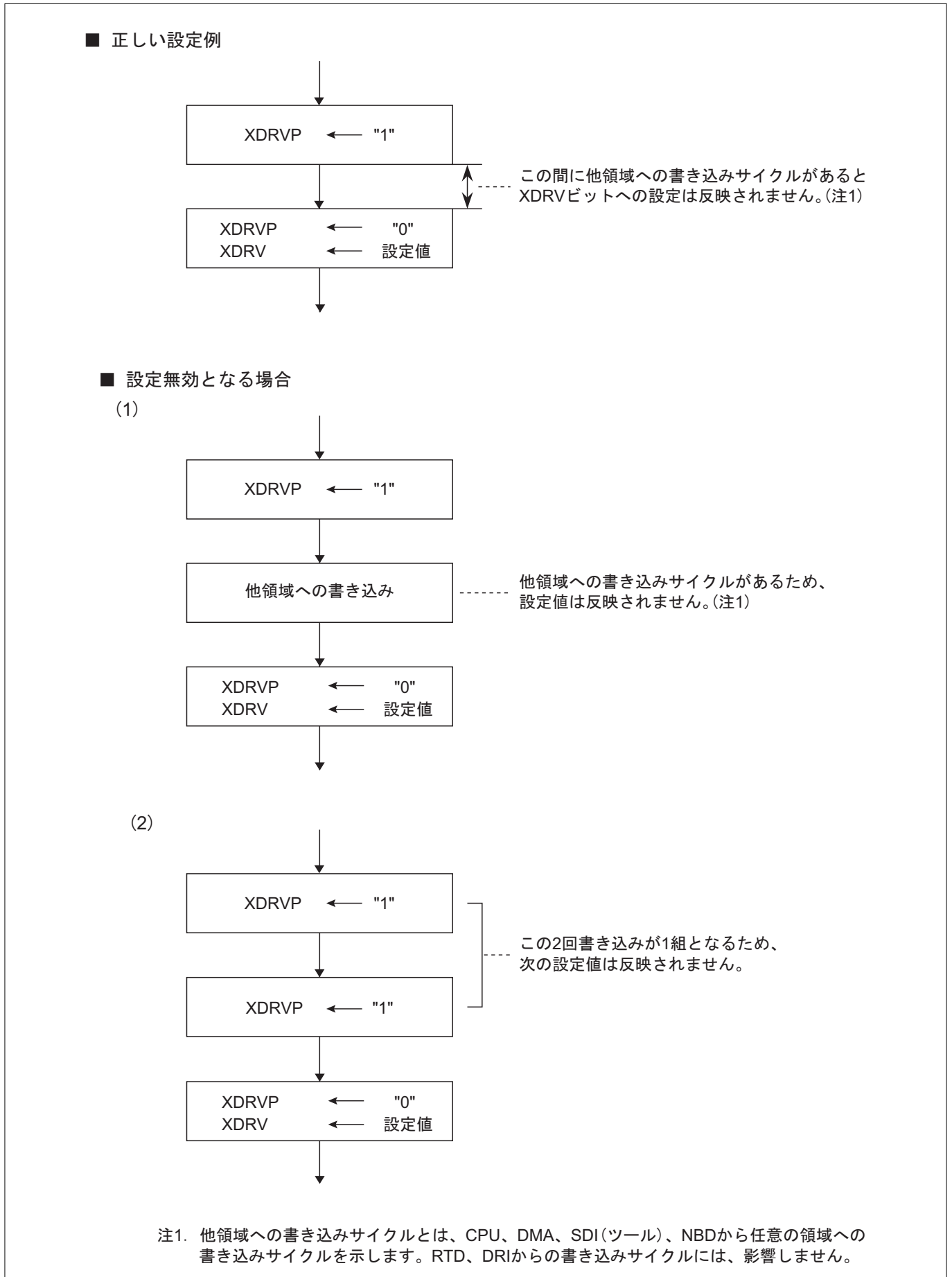


図20.1.4 発振駆動能力の設定手順

20.1.4 システムクロックの出力機能

入力クロックの2倍の周波数のクロック（周辺クロック）をBCLK端子から出力させることができます。周辺クロックまたは周辺クロックの2分周を外部バスクロックとしてCLKOUT端子から出力させることができます。BCLK端子はポートP70と共用しています。CLKOUT端子はポートP70あるいはポートP150と共用しています。

周辺クロックBCLKおよび、外部バスクロックCLKOUTの出力端子を表20.1.1に、CLKOUT、BCLKの選択構成図を図20.1.5に示します。

表20.1.1 CLKOUT、BCLKの出力端子

PIN No.	端子名	機能	設定値
78	P70/CLKOUT/WR#/BCLK	P70	P70MD = 0
		CLKOUT	P70MD = 1, P70SMD = 0, BUSMOD = 0
		WR#	P70MD = 1, P70SMD = 0, BUSMOD = 1
		BCLK	P70MD = 1, P70SMD = 1
133	P150/TIN0/CLKOUT/WR#	P150	P150MD = 0
		TIN0	P150MD = 1, P150SMD = 0
		CLKOUT	P150MD = 1, P150SMD = 1, BUSMOD = 0
		WR#	P150MD = 1, P150SMD = 1, BUSMOD = 1

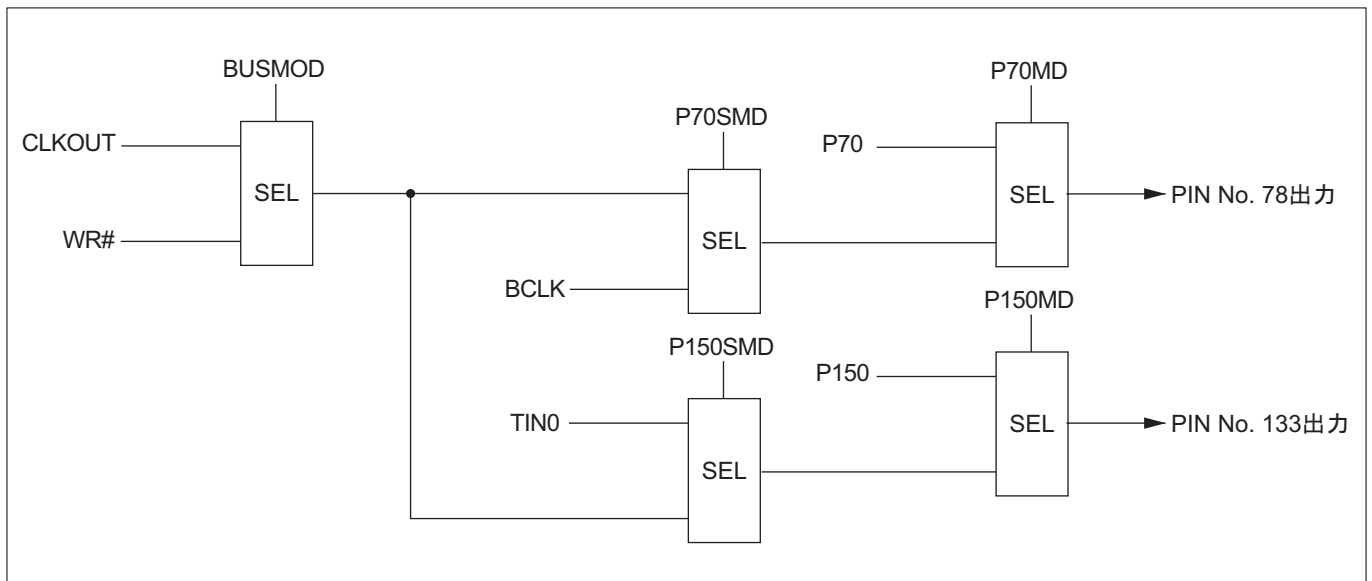


図20.1.5 CLKOUT、BCLKの選択構成図

外部バスクロックは、CLKOUT選択レジスタにより、BCLKとBCLKの2分周から選択できます。

CLKOUT選択レジスタ (CLKOUTSEL)

<アドレス : H'0080 01A0 >

b0	1	2	3	4	5	6	b7
0	0	0	0	0	0	CLKOSELP	CLKOSEL
						0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
0~5	何も配置されていません。		0	-
6	CLKOSELP CLKOSEL書き込み制御ビット		0	W
7	CLKOSEL CLKOUT選択ビット	0 : BCLKの2分周 1 : BCLK	R	W

注 . ・ CLKOUTの出力がBCLKの2分周からBCLKへ切り換わるタイミング、またはBCLKからBCLKの2分周へ切り換わるタイミングで、不定出力が発生する場合があります。

・ CLKOUT端子出力として、BCLKを選択した場合、CS0~CS3空間を使用する、使用しないに関わらず、CSx領域ウェイト制御レジスタのWAIT(内部ウェイト数選択)ビットで0ウェイトを選択することは禁止です。

(1) CLKOSELP (CLKOSEL書き込み制御) ビット (b6)

CLKOUT選択ビットの書き込み制御ビットです。

(2) CLKOSEL (CLKOUT選択) ビット (b7)

CLKOSEL (CLKOUT選択) ビットはCLKOUT (外部バス同期クロック) 端子出力としてBCLK、またはBCLKの2分周のいずれかを選択するビットです。CPUクロック160MHzの場合はBCLKは40MHzとなります。CLKOSELを"0"にクリアすると外部バスの基準クロックであるCLKOUTは20MHzとなり、CLKOSELを"1"にセットすると40MHzとなります。また、CSn領域制御レジスタで設定したウェイト数、CSウェイト、ストローブウェイト、リカバリサイクル、リード後のアイドルサイクルはいずれもCLKOUTに同期します。

ただし、CLKOSELビットで"1" (CLKOUT出力としてBCLKを選択) に設定した場合、CS0~CS3空間を使用する、使用しないに関わらず、CSx領域ウェイト制御レジスタのWAIT (内部ウェイト数選択) ビットで0ウェイトを選択することは禁止してください。

以下にCLKOSEL (CLKOUT選択) ビットの設定方法 (図17.2.2 参照) を示します。

1. 設定は内蔵ROM上、または内蔵RAM上のプログラムで実施してください。
2. CLKOSEL書き込み制御ビット (CLKOSELP) に"1"を書き込んでください。
3. 上記2. に連続してCLKOSEL書き込み制御ビット (CLKOSELP) に"0"を、CLKOUT選択ビット (CLKOSEL) に"設定値"を書き込んでください。
4. 書き込み後は任意SFR領域へのリードを2回実施してください。

下記にP7動作モードレジスタ、P7周辺機能選択レジスタ、P15動作モードレジスタ、P15周辺機能選択レジスタの構成を示します。

P7動作モードレジスタ (P7MOD)

<アドレス : H'0080 0747 >

b8	9	10	11	12	13	14	b15
P70MD	P71MD	P72MD	P73MD	P74MD	P75MD	P76MD	P77MD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P70MD ポートP70動作モードビット	0 : P70 1 : CLKOUT/WR#/BCLK (注1)	R	W
9	P71MD ポートP71動作モードビット	0 : P71 1 : WAIT# (注2)	R	W
10	P72MD ポートP72動作モードビット	0 : P72 1 : HREQ#/TIN27 (注3)	R	W
11	P73MD ポートP73動作モードビット	0 : P73 1 : HACK#/TIN26 (注3)	R	W
12	P74MD ポートP74動作モードビット (注4)	0 : P74 1 : RTDXTD/TXD3 (注3)	R	W
13	P75MD ポートP75動作モードビット (注4)	0 : P75 1 : RTDRXD/RXD3 (注3)	R	W
14	P76MD ポートP76動作モードビット (注4)	0 : P76 1 : RTDACK/CTX1 (注3)	R	W
15	P77MD ポートP77動作モードビット (注4)	0 : P77 1 : RTDCLK/CRX1 (注3)	R	W

注1. 端子をどの機能で使用するかは、P7周辺機能選択レジスタ、およびバスモード制御レジスタで選択します。

注2. シングルチップモード時は、本レジスタの設定は無効となり、ポート入出力端子となります。

注3. 端子をどの機能で使用するかは、P7周辺機能選択レジスタで選択します。

注4. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

P7周辺機能選択レジスタ (P7SMOD)

<アドレス : H'0080 0767 >

b8	9	10	11	12	13	14	b15
P70SMD		P72SMD	P73SMD	P74SMD	P75SMD	P76SMD	P77SMD
0	0	0	0	0	0	0	0

<リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P70SMD ポートP70周辺機能選択ビット	0 : CLKOUT/WR# (注1) 1 : BCLK	R	W
9		何も配置されていません。"0"に固定してください。	0	0
10	P72SMD ポートP72周辺機能選択ビット	0 : HREQ# 1 : TIN27	R	W
11	P73SMD ポートP73周辺機能選択ビット	0 : HACK# 1 : TIN26	R	W
12	P74SMD (注2) ポートP74周辺機能選択ビット	0 : RTDXTD 1 : TXD3	R	W
13	P75SMD (注2) ポートP75周辺機能選択ビット	0 : RTDRXD 1 : RXD3	R	W
14	P76SMD (注2) ポートP76周辺機能選択ビット	0 : RTDACK 1 : CTX1	R	W
15	P77SMD (注2) ポートP77周辺機能選択ビット	0 : RTDCLK 1 : CRX1	R	W

注1. 端子をどの機能で使用するかは、バスモード制御レジスタで選択します。

注2. NBD端子制御レジスタでNBD機能を選択した場合、このレジスタの設定に関係なく、NBD端子として機能します。

注. . このレジスタ値の変更は、P7動作モードレジスタの対応するビットが"0"のとき (ポート側設定時)、行ってください。

その後、P7動作モードレジスタの対応するビットを"1"に設定してください。

P15動作モードレジスタ (P15MOD)

< アドレス : H'0080 074F >

b8	9	10	11	12	13	14	b15
P150MD 0	0	0	P153MD 0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P150MD ポートP150動作モードビット	0 : P150 1 : TIN0/CLKOUT/WR# (注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153MD ポートP153動作モードビット	0 : P153 1 : TIN3/WAIT# (注2)	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、p15周辺機能選択レジスタ、およびバスモード制御レジスタによって選択します。

注2. 端子をどの機能で使用するかは、P15周辺機能選択レジスタで選択します。

P15周辺機能選択レジスタ (P15SMD)

< アドレス : H'0080 076F >

b8	9	10	11	12	13	14	b15
P150SMD 0	0	0	P153SMD 0	0	0	0	0

< リセット解除時 : H'00 >

b	ビット名	機能	R	W
8	P150SMD ポートP150周辺機能選択ビット	0 : TIN0 1 : CLKOUT/WR# (注1)	R	W
9, 10	何も配置されていません。"0"に固定してください。		0	0
11	P153SMD ポートP153周辺機能選択ビット (注2)	0 : TIN3 1 : WAIT#	R	W
12~15	何も配置されていません。"0"に固定してください。		0	0

注1. 端子をどの機能で使用するかは、バスモード制御レジスタによって選択します。

注2. シングルチップモード時、外部バスインタフェース信号機能は選択しないでください。

注. . このレジスタ値の変更は、P15動作モードレジスタの対応するビットが"0"のとき (ポート側設定時)、行ってください。
その後、P15動作モードレジスタの対応するビットを"1"に設定してください。

20.1.5 電源投入時の発振安定時間

セラミック共振子（または水晶発振子）を使用した発振回路では、電源投入後に発振が安定しない期間があります。このため、使用する発振回路条件に適応した発振安定時間を生成してください。

図20.1.6に電源投入時の発振安定時間を示します。

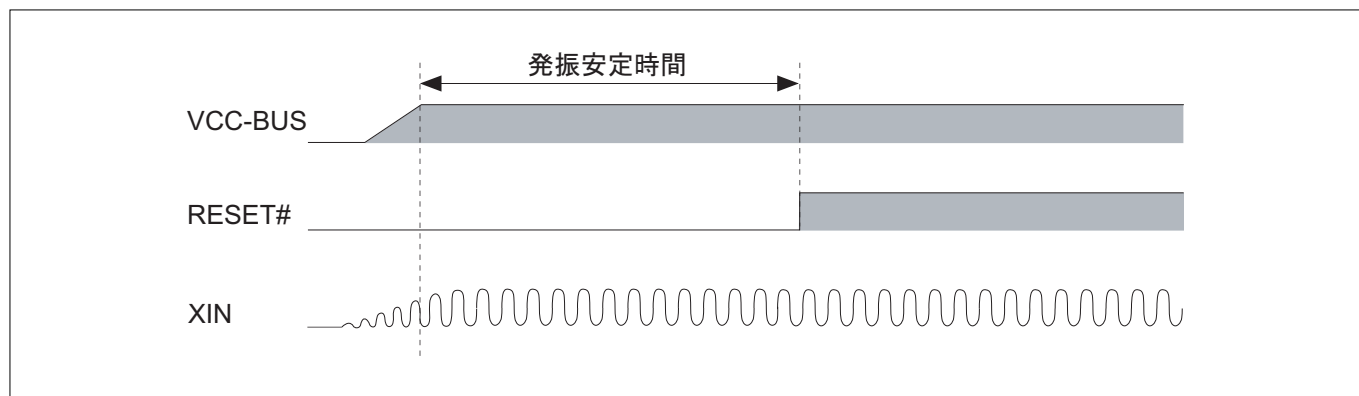


図20.1.6 電源投入時の発振安定時間

20.2 クロック発生回路

CPUおよび周辺回路にそれぞれ独立したクロックを供給します。

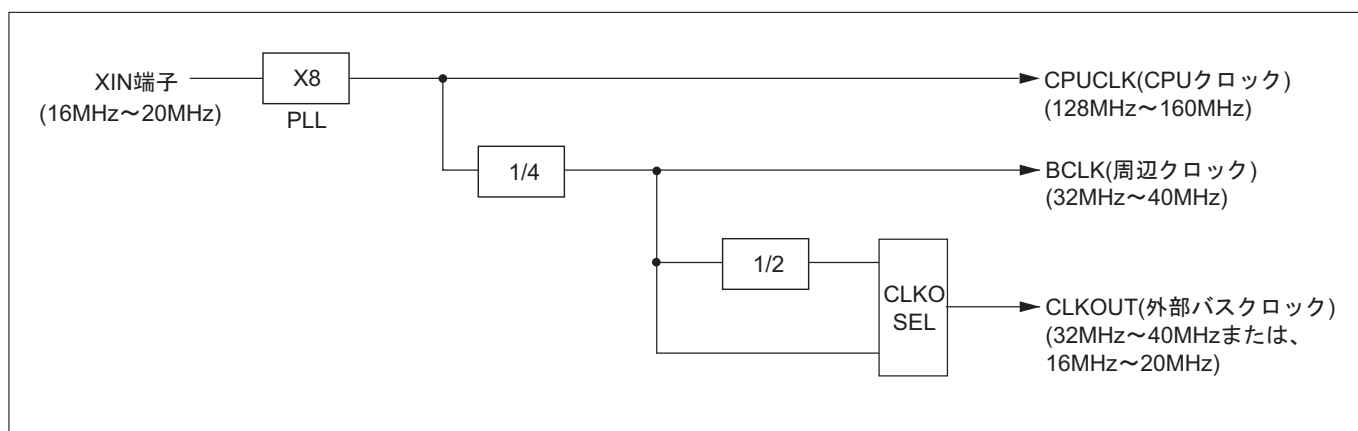


図20.2.1 クロック概念図

第21章

JTAG

- 21.1 JTAG概要
- 21.2 JTAG回路構成
- 21.3 JTAGレジスタ
- 21.4 JTAG基本動作
- 21.5 バウンダリスキャン記述言語
- 21.6 JTAG接続時のボード設計注意事項
- 21.7 JTAG未使用時の端子処理

21.1 JTAG概要

M32R/ECUは、IEEE 1149.1テストアクセスポート規格(IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE Std. 1149.1a-1993))に準拠したJTAG(Joint Test Action Group)インタフェースを備えています。

このJTAGインタフェースは、バウンダリスキャンテストのための入出力パス(バウンダリスキャンパス)として使用できます。IEEE 1149.1 JTAGテストアクセスポートの詳細については、「IEEE Std. 1149.1a-1993」の文書を参照してください。

注．・M32R/ECUでは、JTAGインタフェースはデバッグ時にJTAGエミュレータとの接続にも使用します。本章では、主にJTAGインタフェースをバウンダリスキャンテストのための入出力パスとして使用する場合について説明します。

M32R/ECUに実装されているJTAGインタフェース関連端子の機能を、以下に示します。

表21.1.1 JTAG端子機能

種類	端子名	名称	入出力	機能
TAP (注1)	JTCK	テスト クロック	入力	テスト回路へのクロック入力です。
	JTDI	テストデータ 入力	入力	テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。JTCKの立ち上がりでサンプリングされます。
	JTDO	テストデータ 出力	出力	テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。JTCKの立ち下がりで変化、「Shift-IR」もしくは「Shift-DR」状態のときにのみ出力されます。それ以外の状態の時はハイインピーダンス状態になります。
	JTMS	テストモード セレクト	入力	テスト回路の状態遷移を制御するテストモード選択入力です。JTCKの立ち上がりでサンプリングされます。
	JTRST	テスト リセット	入力	テスト回路を非同期に初期化する"L"アクティブのテストリセット入力です。リセット動作を保証するため、この信号が"L"から"H"に変化するときにはJTMS信号入力を"H"に保つ必要があります。

注1．TAP：Test Access Port(IEEE 1149.1に規定されたJTAGインタフェース)

21.2 JTAG回路構成

JTAG回路は、以下のブロックから構成されます。

- バウンダリスキャンパスを通してフェッチされる命令コードを保持する命令レジスタ
- バウンダリスキャンパスを通してアクセスされるデータレジスタ群
- JTAG部の状態遷移を制御するテストアクセスポート(以下TAPと略)コントローラ
- 入力選択、出力選択等の制御ロジック

JTAG回路構成を以下に示します。

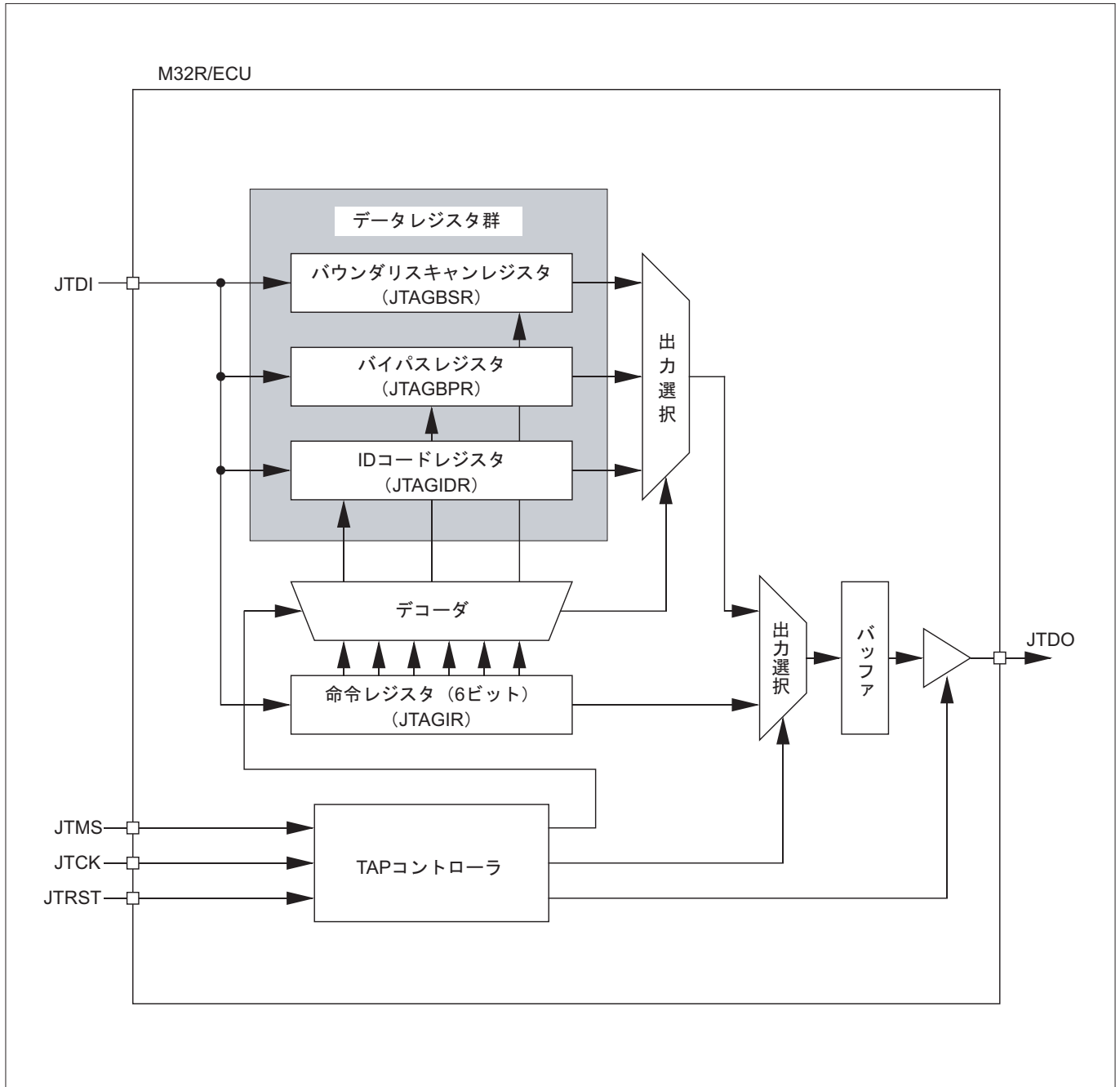


図21.2.1 JTAG回路構成

21.3 JTAGレジスタ

21.3.1 命令レジスタ(JTAGIR)

命令レジスタは、命令コードを保持する6ビットのレジスタであり、IRパスシーケンスで設定します。命令レジスタに設定された命令によって、続くDRパスシーケンスで選択するデータレジスタが決定されます。

テストリセット解除時(テスト回路の初期化)の初期値はb'000010(IDCODE命令)です。テストリセット後は、外部から命令コードが設定されるまでデータレジスタとしてIDCODEレジスタが選択されています。

「Capture-IR」状態では必ずb'110001(固定値)がロードされます。このため、本レジスタに設定した値にかかわらず、「Shift-IR」状態では必ずb'110001が(LSB側から順に)JTDO端子から出力されます。ただし、通常はこの値が命令コードとして扱われることはありません。

以下の操作は動作保証対象外です。以下の操作を行うと、例外的にb'110001を命令コードとして扱おうとするため、正常動作できなくなりますのでご注意ください。

「Capture-IR」 「Exit1-IR」 「Update-IR」

M32R/ECUのJTAGインタフェースでは、以下の命令をサポートしています。

- IEEE 1149.1で必須として定められた3命令(EXTEST, SAMPLE/PRELOAD, BYPASS)
- デバイス識別レジスタアクセス命令(IDCODE)

表21.3.1 JTAG命令一覧

命令コード	命令略称	動作
b'000000	EXTEST	チップ外の回路/基板レベルの接続テストを行います。
b'000001	SAMPLE/PRELOAD	動作中の回路の状態をサンプリングし、JTDO端子から出力すると同時に、次のバウンダリスキャンテストで使用されるデータをJTDI端子から入力し、事前に「バウンダリスキャンレジスタ」に設定します。
b'000010	IDCODE	「IDコードレジスタ」を選択し、デバイスおよびメーカー識別データをJTDO端子から出力します。
b'111111	BYPASS	「バイパスレジスタ」を選択し、データの参照/設定を行います。

注. ・上記以外の命令コードは、設定しないでください。

- ・「IRパスシーケンス」、「DRパスシーケンス」、「テストリセット」、「Capture-IR」状態、「Shift-IR」状態、「Exit1-IR」状態「Update-IR」状態については、「21.4 JTAG基本動作」を参照してください。

21.3.2 データレジスタ

(1) バウンダリスキャンレジスタ(JTAGBSR)

バウンダリスキャンレジスタは、バウンダリスキャンテストを行うための294ビットのレジスタで、各端子ごとに割り当てられています。

このレジスタは、JTDI/JTDO端子間に接続されており、「EXTEST命令」および「SAMPLE/PRELOAD命令」発行時に選択されます。「Capture-DR」状態で入力端子または内部ロジック出力値の状態をキャプチャします。「Shift-DR」状態では、サンプリングした値を出力するのと並行して、バウンダリスキャンテスト用データを入力し、端子機能(入出力端子、3ステート出力端子の方向)および出力値を設定します。

(2) バイパスレジスタ(JTAGBPR)

バイパスレジスタは、バウンダリスキャンテストにおいて、その対象とならないときに、バウンダリスキャンパスをバイパスするための1ビットのレジスタです。

JTDI/JTDO端子間に接続されており、「BYPASS命令」発行時に選択されます。本レジスタは、「Capture-DR」状態でb'0(固定値)がロードされます。

(3) IDコードレジスタ(JTAGIDR)

IDコードレジスタは、デバイスおよびメーカを識別するための32ビットのレジスタであり、以下の情報を保持しています。

- バージョン情報(4ビット) : b'0000
- パート番号(16ビット) : b'0011 0010 0010 0101(32192)
: b'0011 0010 0010 0111(32195)
: b'0011 0010 0010 0110(32196)
- 製造者ID(11ビット) : b'010 0010 0011

このレジスタは、JTDI/JTDO端子間に接続されており、「IDCODE命令」発行時に選択されます。「Capture-DR」状態で上記IDCODEデータをロードし、「Shift-DR」状態でJTDO端子から出力します。

本レジスタは読み出しのみ可能です。DRパスシーケンスにおけるJTDI端子からの書き込みデータは無視されますので、「Shift-DR」状態中はJTDI端子へは"L"レベルを入力してください。

0	3 4	19 20	30 31
バージョン	パート番号	製造者ID	1
4ビット	16ビット	11ビット	

注 . ・「Capture-DR」状態、「Shift-DR」状態については「21.4 JTAG基本動作」を参照してください。

21.4 JTAG基本動作

21.4.1 JTAG動作概要

命令レジスタおよびデータレジスタに対する基本的なアクセスには以下の3動作があり、TAPコントローラの状態遷移にもとづいて行われます。TAPコントローラは、JTMS入力によって状態遷移を行い、それぞれの状態における動作に必要な制御信号を生成し供給します。

- キャプチャ (Capture) 動作

バウンダリスキャンテストの結果、またはレジスタごとに定義された固定データをサンプリングします。レジスタの動作としては、データ入力をシフトレジスタステージへロードします。

- シフト (Shift) 動作

バウンダリスキャンパスを通して外部からアクセスを行います。外部からのデータ設定を行うと同時に、キャプチャ時にサンプリングした値を外部に出力します。レジスタの動作としては、各ビットのシフトレジスタステージ間で右シフト動作を行います。

- アップデート (Update) 動作

シフト時に外部から設定したデータをドライブします。レジスタの動作としては、シフトレジスタステージに設定した値をパラレル出力ステージへ転送します。

JTAGインタフェースは、JTMS入力にしたがって内部状態を遷移し、以下の2つの動作を行います。いずれの場合も基本的に「キャプチャ シフト アップデート」の順で行われます。

- IRパスシーケンス

命令コードを命令レジスタに設定して、続くDRパスシーケンスで操作の対象となるデータレジスタを選択します。

- DRパスシーケンス

選択されたデータレジスタに対して、データの参照や設定を行います。

TAPコントローラの状態遷移、およびJTAG関連レジスタの基本構成を以下に示します。

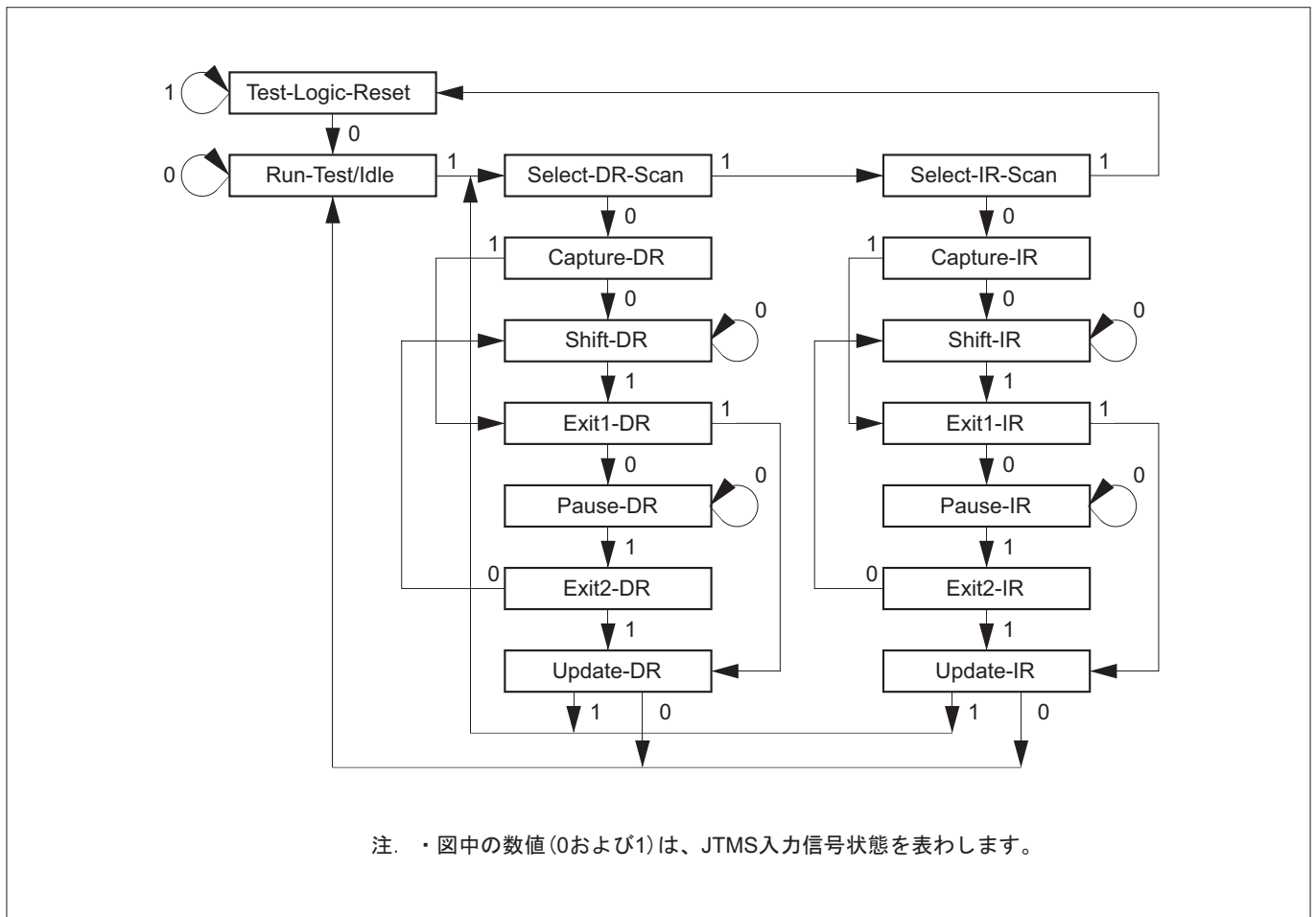


図21.4.1 TAPコントローラの状態遷移

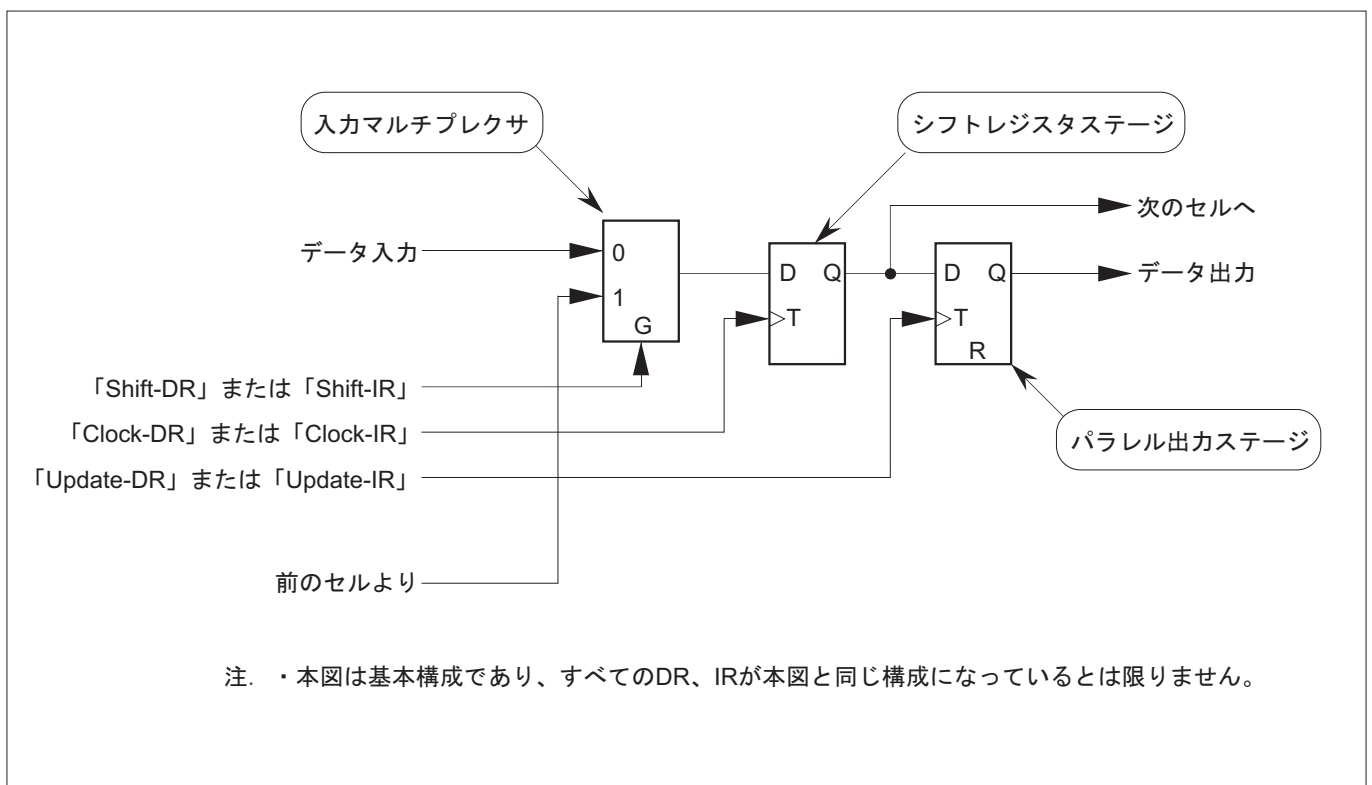


図21.4.2 JTAG関連レジスタの基本構成

21.4.2 IRパスシーケンス

命令レジスタ(JTAGIR)に命令コードを設定し、続くDRパスシーケンスでアクセス対象となるデータレジスタを選択します。IRパスシーケンスは、以下の手順で行います。

- (1)「Run-Test/Idle」状態からJTMS = "H"をJTCKの2サイクル期間入力し、「Select-IR-Scan」状態に移行します。
- (2)JTMS = "L"にして「Capture-IR」状態に移行します。このとき、b'110001(固定値)が命令レジスタのシフトレジスタステージに設定されます。
- (3)続けてJTMS = "L"を入力すると「Shift-IR」状態に移行します。
「Shift-IR」状態では、各サイクルごとにシフトレジスタステージの値が1ビット右シフトされ、(2)で設定されたb'110001(固定値)がJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される命令コードがシフトレジスタステージに設定されていきます。6ビット構成の命令レジスタのシフトレジスタステージに命令コードを設定するため、「Shift-IR」状態はJTCKの6サイクル期間続けます。
シフト動作を中断したい場合は、一旦「Exit1-IR」状態を経由して「Pause-IR」状態へ移行します(JTMS = "H" "L"を入力)。また「Pause-IR」状態から復帰する場合は、一旦「Exit2-IR」状態を経由して「Shift-IR」状態へ移行します(JTMS = "H" "L"を入力)。
- (4)JTMS = "H"にして「Shift-IR」状態から「Exit1-IR」状態に移行します。これでシフト動作完了です。
- (5)続けてJTMS = "H"を入力すると「Update-IR」状態に移行します。「Update-IR」状態では、命令レジスタのシフトレジスタステージに設定された命令コードが、命令レジスタの平行出力ステージに転送され、JTAG命令のデコードが開始されます。
- (6)続けてJTMS = "H"を入力すると「Select-DR-Scan」状態に、JTMS = "L"を入力すると「Run-Test/Idle」状態に移行します。

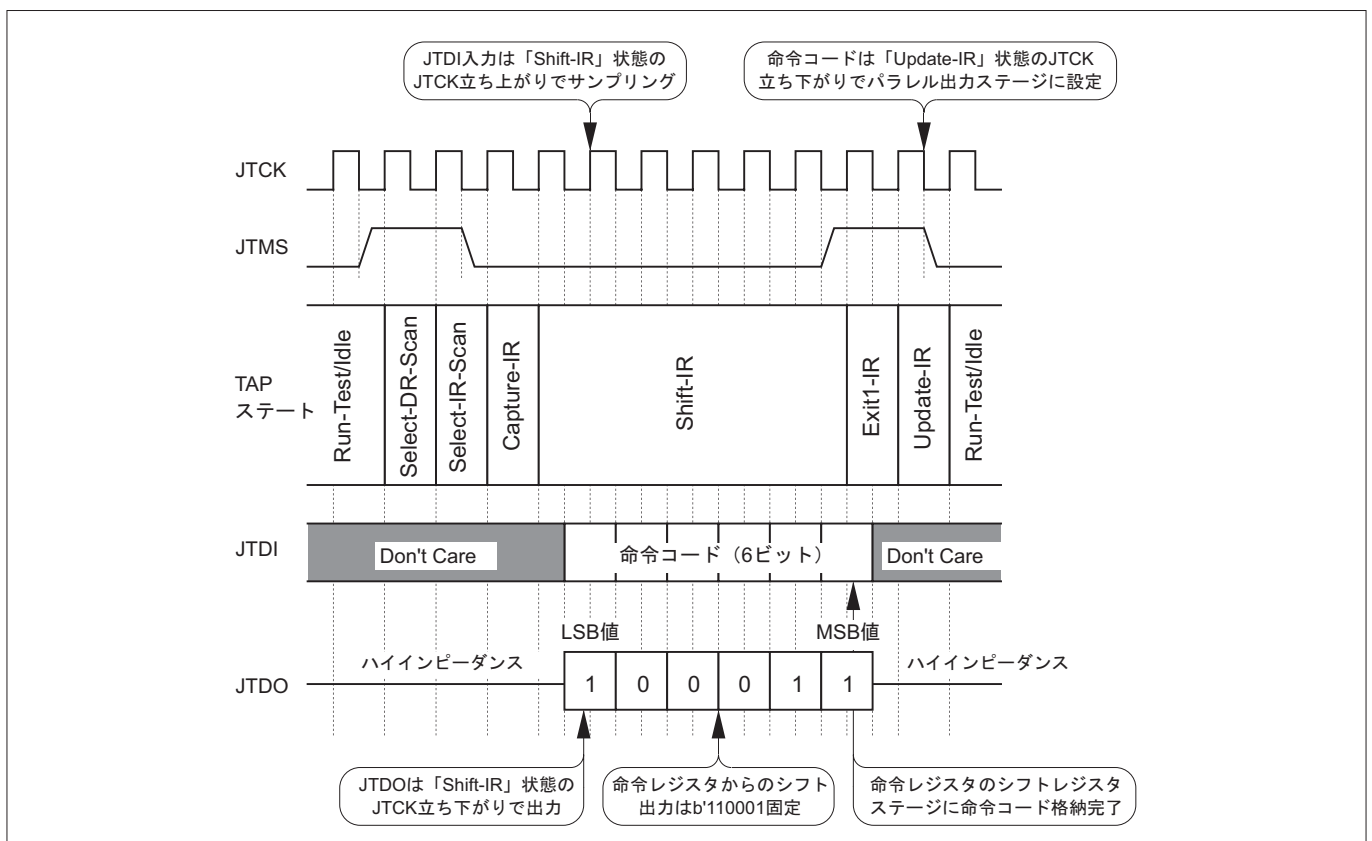


図21.4.3 IRパスシーケンス

21.4.3 DRパスシーケンス

DRパスシーケンスの前に行われたIRパスシーケンスで選択されたデータレジスタに対し、データの参照および設定を行います。DRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS = "H"をJTCKの1サイクル期間入力し、「Select-DR-Scan」状態に移行します。このとき、どのデータレジスタが選択されるかは、DRパスシーケンスの前に行われたIRパスシーケンスで設定された命令によって決まります。
- (2) JTMS = "L"にして「Capture-DR」状態に移行します。このとき、データレジスタのシフトレジスタステージに、バウンダリスキャンテストの結果またはレジスタごとに定義された固定データが設定されます。
- (3) 続けてJTMS = "L"を入力すると「Shift-DR」状態に移行します。「Shift-DR」状態では、各サイクルごとにDRの値が1ビット右シフトされ、(2)で設定されたデータがJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される設定データがデータレジスタのシフトレジスタステージに設定されていきます。「Shift-IR」状態を選択したデータレジスタのビット数分続ける(JTMS = "L"を入力する)ことで、シフトレジスタステージ全ビットのデータを設定および読み出すことができます。シフト動作を中断したい場合は、一旦「Exit1-DR」状態を経由して「Pause-DR」状態へ移行します(JTMS = "H" "L"を入力)。また「Pause-DR」状態から復帰する場合は、一旦「Exit2-DR」状態を経由して「Shift-DR」状態へ移行します(JTMS = "H" "L"を入力)。
- (4) JTMS = "H"にして「Shift-DR」状態から「Exit1-DR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS = "H"を入力すると「Update-DR」状態に移行します。「Update-DR」状態では、データレジスタのシフトレジスタステージに設定されたデータが平行出力ステージに転送され、設定データが使用可能になります。
- (6) 続けてJTMS = "H"を入力すると「Select-DR-Scan」状態に、JTMS = "L"を入力すると「Run-Test/Idle」状態に移行します。

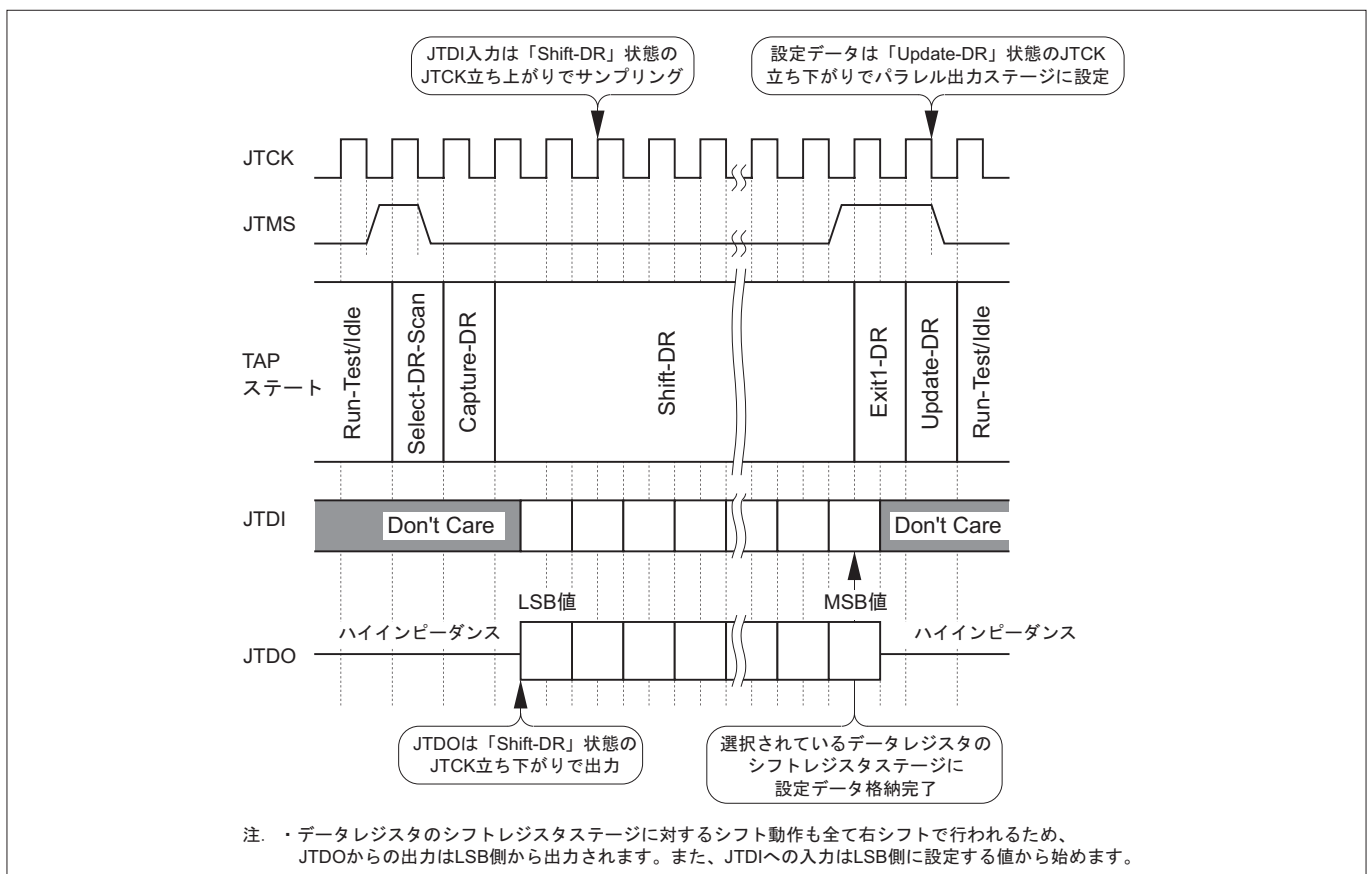


図21.4.4 DRパスシーケンス

21.4.4 データレジスタの参照および設定

データレジスタを参照/設定する場合は、以下の手順で行います。

- (1) 最初にテストアクセスポート(JTAG)をアクセスする場合は、テストリセット(テスト回路の初期化)を行います。テストリセットを行うには以下の2つの方法があります。
 - JTRST端子に"L"を入力する
 - JTMS端子を"H"にして5サイクル以上JTCKを入力する
- (2) JTMS = "L"にして「Run-Test/Idle」状態に移行します。アイドル状態を続ける場合は、JTMS = "L"を入力し続けます。
- (3) JTMS = "H"にして「Run-Test/Idle」状態を抜け、IRパスシーケンスを行います。IRパスシーケンスでは参照/設定したいデータレジスタを指定します。
- (4) 続いてDRパスシーケンスを行います。IRパスシーケンスで指定したデータレジスタに対し、JTDI端子から設定データを入力し、JTDO端子から参照データを読み出します。
- (5) DRパスシーケンス完了後、続けてIRパスシーケンスやDRパスシーケンスを行う場合は、JTMS = "H"を入力して「Select-DR-Scan」状態に戻ります。一連のIR/DRパスシーケンス処理が完了して次の処理を待つ場合は、JTMS = "L"を入力して「Run-Test/Idle」状態に移行し、その状態を保ちます。

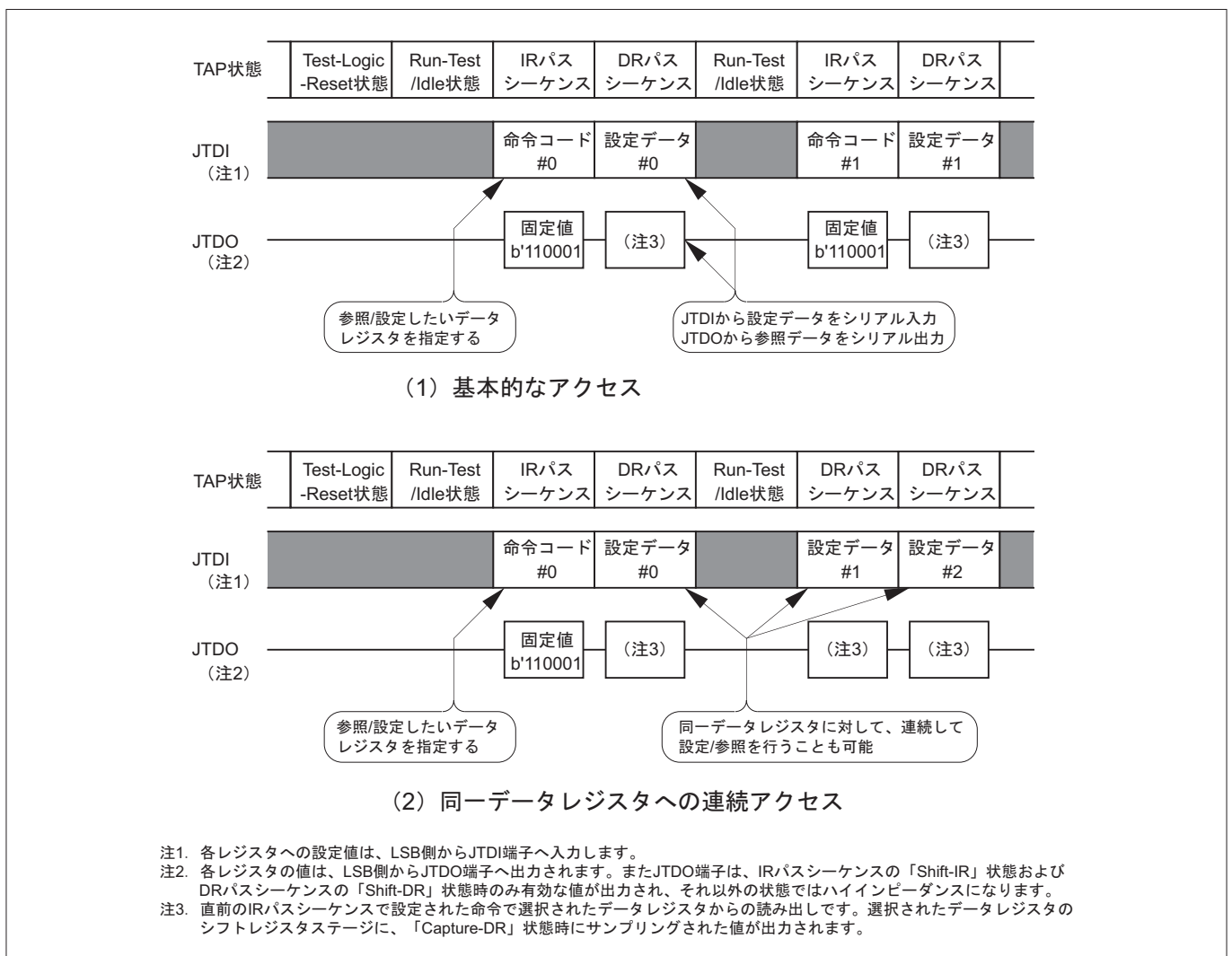


図21.4.5 JTAG連続アクセス

21.5 バウンダリスキャン記述言語

バウンダリスキャン記述言語(以下BSDLと略)は、IEEE 1149.1-1990およびIEEE 1149.1a-1993の「Standard Test Access Port and Boundary-Scan Architecture」に対する補足事項の中で述べられています。

BSDLは、IEEE 1076-1993 Standard VHSIC Hardware Description Language(VHDL)のサブセットです。BSDLでは、基準を満たすコンポーネントのテスト対象の機能を厳密に記述することができます。この言語は、パッケージ接続テストではAutomated Test Pattern Generationツールで、Synthesized Test Logic and VerificationではElectronic Design Automationツールで使用されます。BSDLは、内部のTest Generationで使用可能な、またHardware Debug and Diagnostics用のソフトウェアを記述するための強力な拡張機能を規定します。

BSDLのプライマリセクションには、論理ポート記述、物理ピンマップ、命令セット、およびバウンダリレジスタ記述のステートメントがあります。

- 論理ポート記述

論理ポート記述は、チップのピンに対して意味のある記号名を割り当てます。ここで、信号フローの論理方向を定義する各ピンの入力、出力、入出力、バッファ、またはリンクの論理タイプが決まります。

- 物理ピンマップ

物理ピンマップは、チップの論理ポートを各パッケージの物理ピンに関連付けます。各マップを個別の名前にすれば、1つのBSDL記述で複数の物理ピンマップを定義することができます。

- 命令セットステートメント

命令セットステートメントは、チップの命令レジスタにシフトインすべきビットパターンを記述します。このビットパターンは、基準で定義される各テストモードにチップを移行させるために必要です。また、チップ専用の命令を記述することも可能です。

- バウンダリレジスタ記述

バウンダリレジスタ記述は、バウンダリレジスタの各セルまたはシフトステージのリストです。各セルには個別の番号が付きます。番号が0のセルは、テストデータ出力(JTDO)ピンに最も近接するセル、番号が最大のセルはテストデータ入力(JTDI)ピンに最も近接するセルです。セルにはそれ以外の関連情報、つまりセルタイプ、セルに対応する論理ポート、セルの論理機能、安全値、制御セル番号、ディセーブル値、および結果値などの情報も含まれます。

注．．バウンダリスキャン言語(BSDL)につきましては、量産後に「ルネサス テクノロジーホームページ」からダウンロードできます。

21.6 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

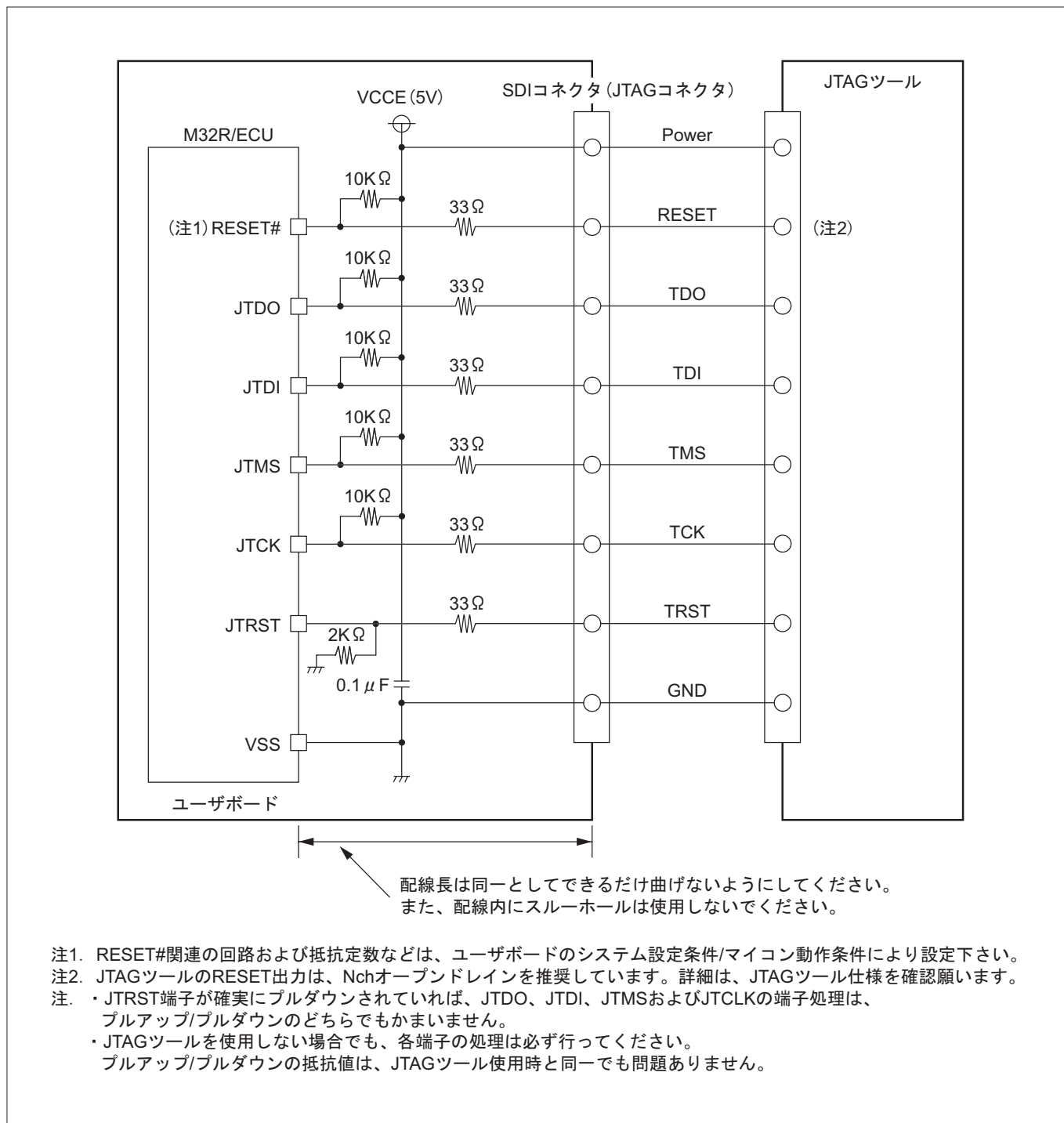


図21.6.1 JTAGツール接続時の注意事項

21.7 JTAG未使用時の端子処理

JTAG端子を使用しない場合の端子処理を以下に示します。

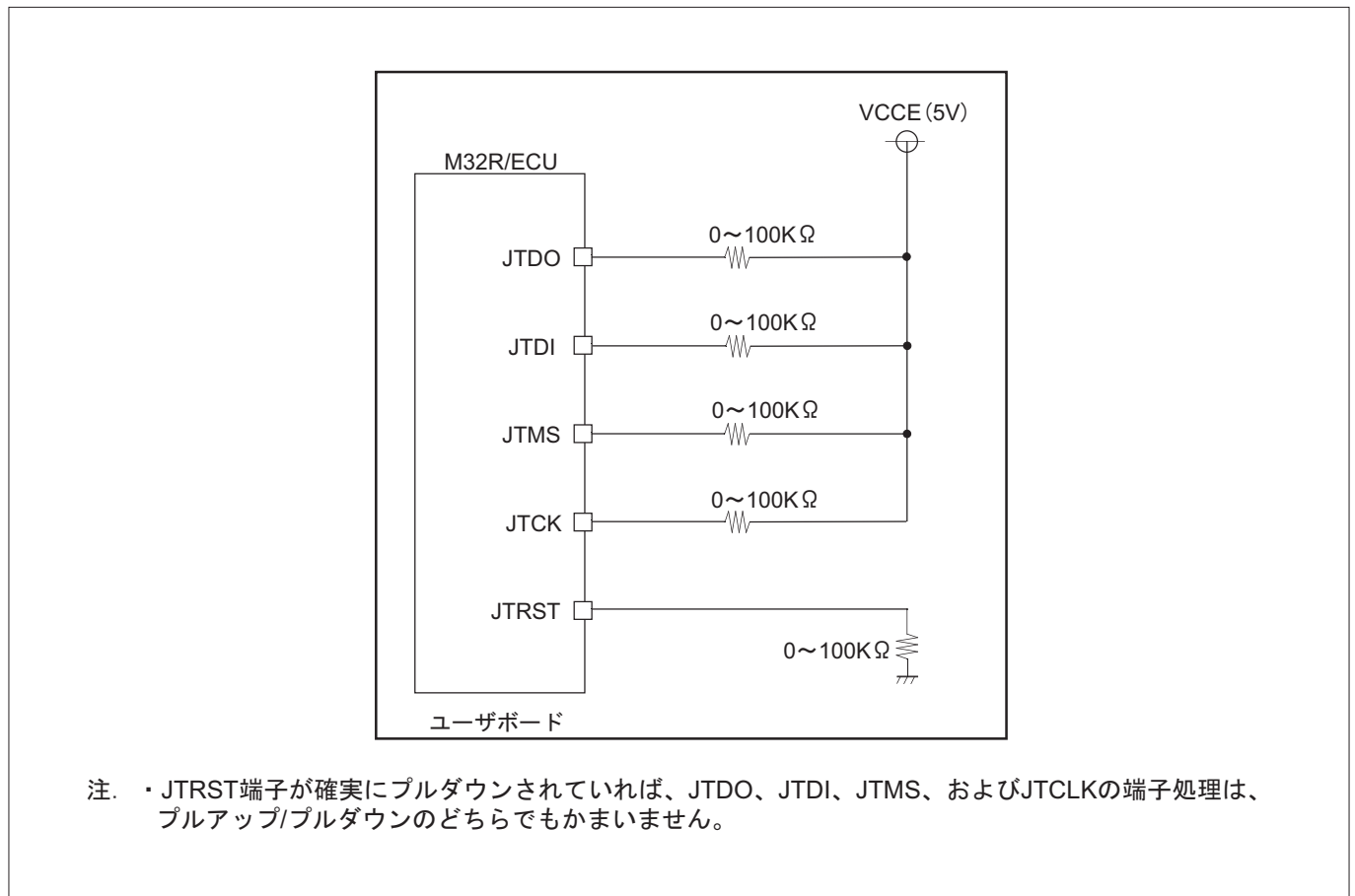


図21.7.1 JTAG未使用時の端子処理

レイアウトの都合上、このページは白紙です。

第22章

電源回路

- 22.1 電源回路の構成
- 22.2 電源立ち上げシーケンス
- 22.3 電源立ち下げシーケンス

22.1 電源回路の構成

32192/32195/32196は、 $5V \pm 0.5V$ または $3.3V \pm 0.3V$ の電源で動作します。
以下、本章で注釈がない場合 $5V \pm 0.5V$ は $5V$ 、 $3.3V \pm 0.3V$ は $3.3V$ と示します。

表22.1.1 電源機能一覧

電源種別	端子名	機能
5.0Vまたは3.3V	VCCE	主電源
	AVCC0	A/Dコンバータの電源
	VREF0	A/Dコンバータの基準電圧
	VDDE	内部RAMバックアップ用電源
	VCC-BUS	外部バス電源
	EXCVCC	外付け容量接続端子
	EXCVDD	外付け容量接続端子
	VCCER(注1)	内部電圧発生回路電源

注1．製品により電源電圧仕様が異なります。詳細は、「表1.1.1 製品一覧表」を参照してください。

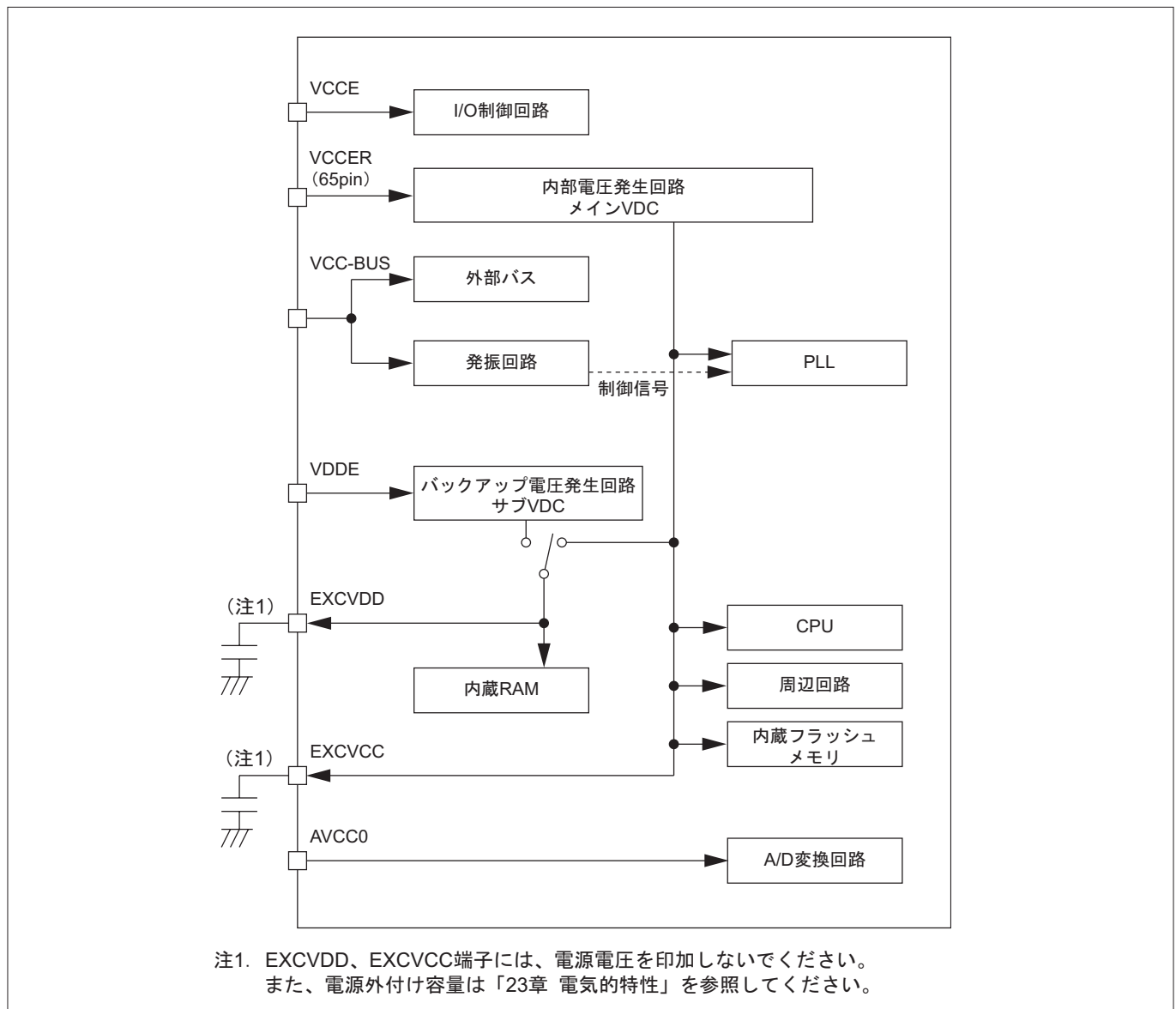


図22.1.1 電源回路構成図(VCCE = 5.0Vまたは3.3V)

22.2 電源立ち上げシーケンス

22.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

RAMバックアップ未使用時の電源(5.0Vまたは3.3V)立ち上げシーケンスを以下に示します。

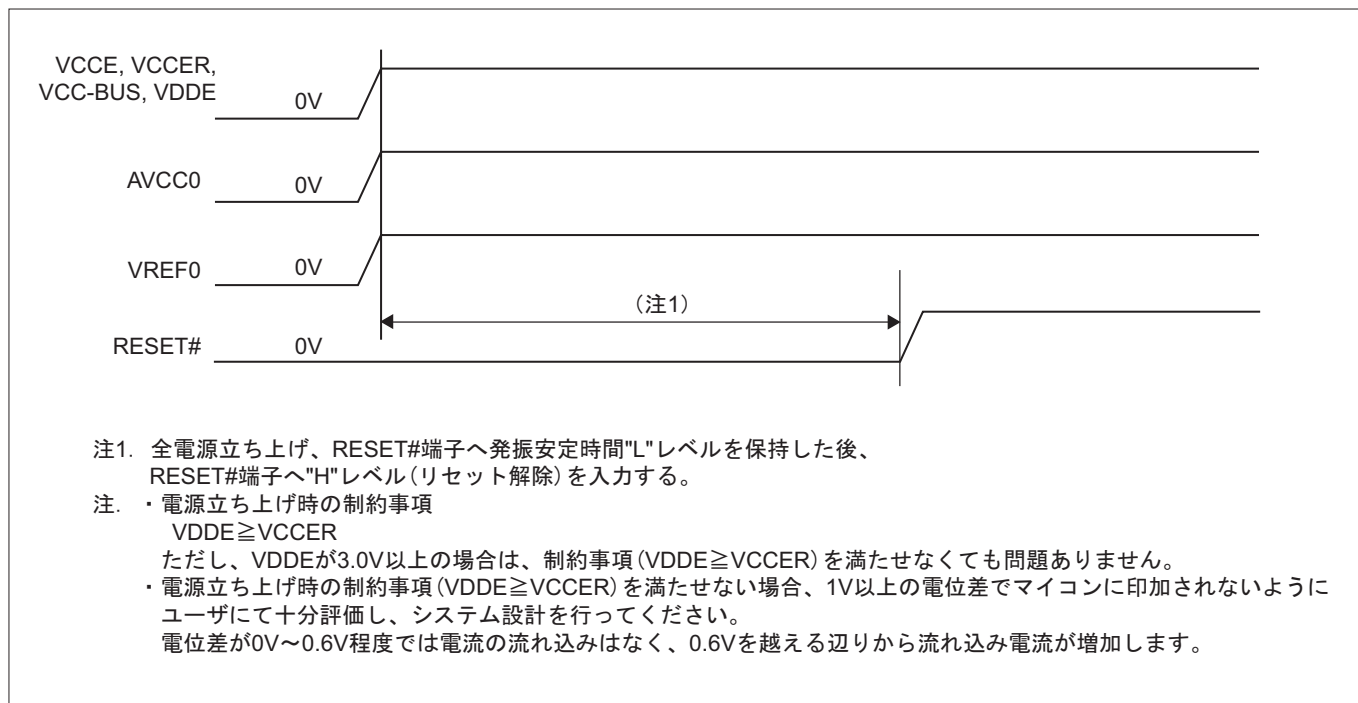


図22.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

22.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

RAMバックアップ使用時の電源(5.0Vまたは3.3V)立ち上げシーケンスを以下に示します。

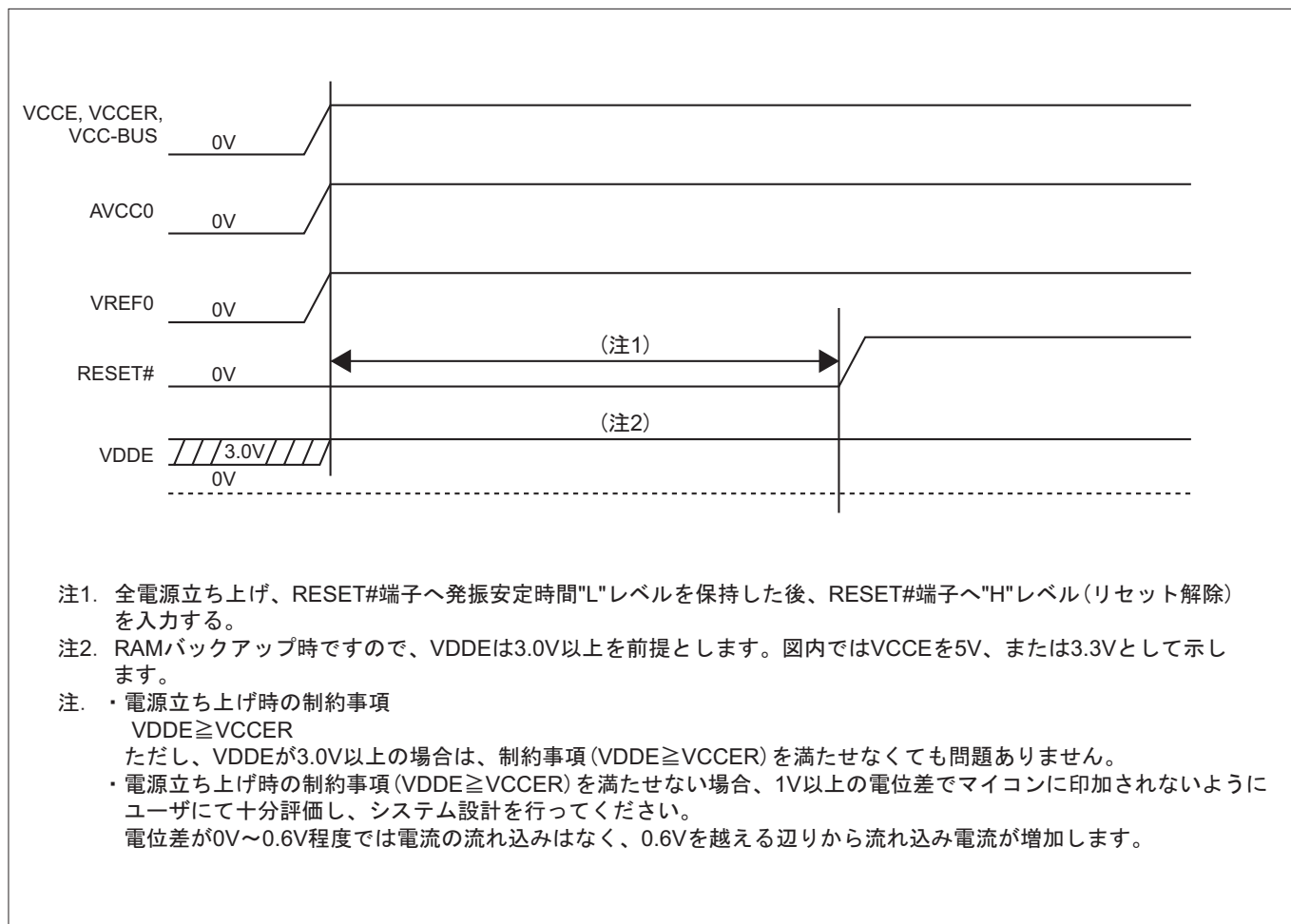


図22.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

22.3 電源立ち下げシーケンス

22.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

32192/32195/32196でのRAMバックアップ未使用時の電源(5.0Vまたは3.3V)立ち下げシーケンスを以下に示します。

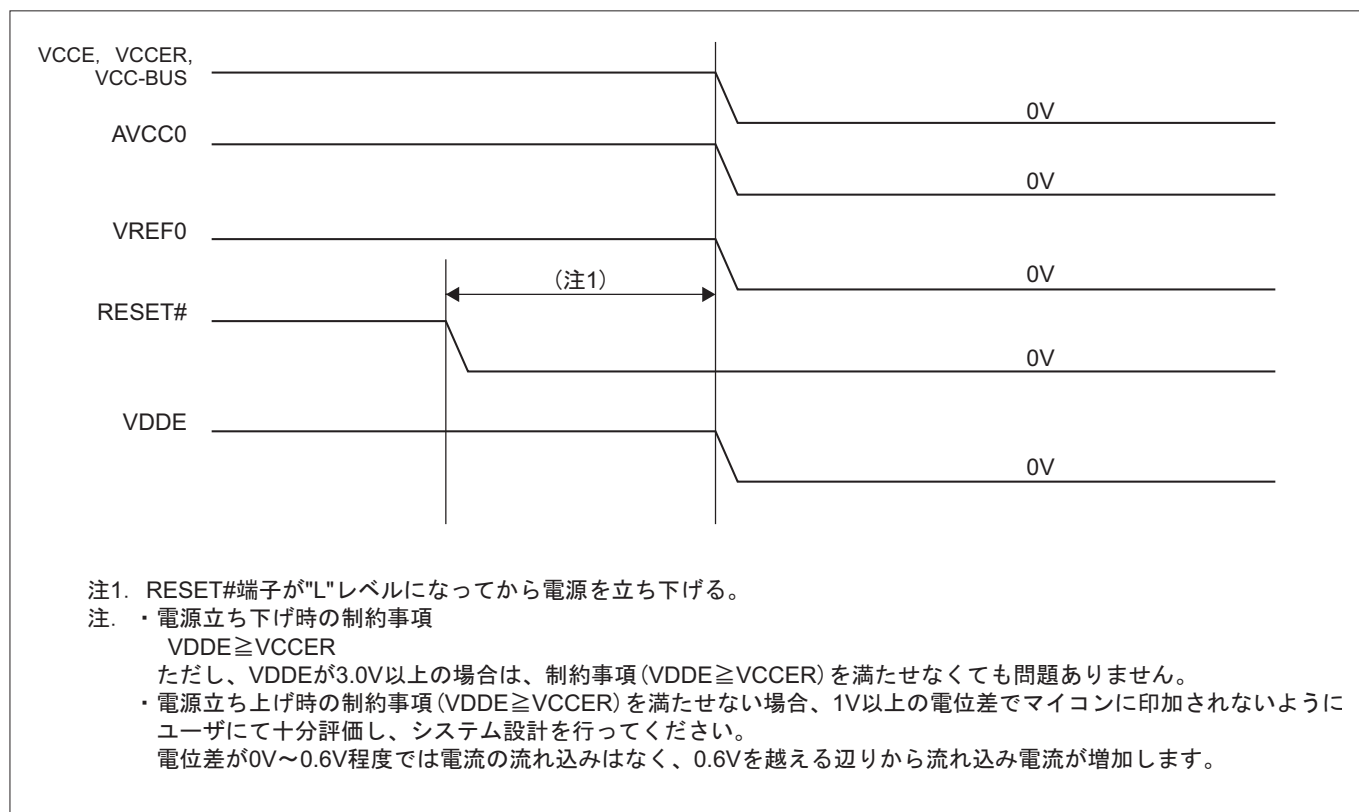


図22.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

22.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

HREQ機能を使用したRAMバックアップ使用時の電源(VCCE=VDDE=5.0Vまたは3.3V)立ち下げシーケンスを以下に示します。

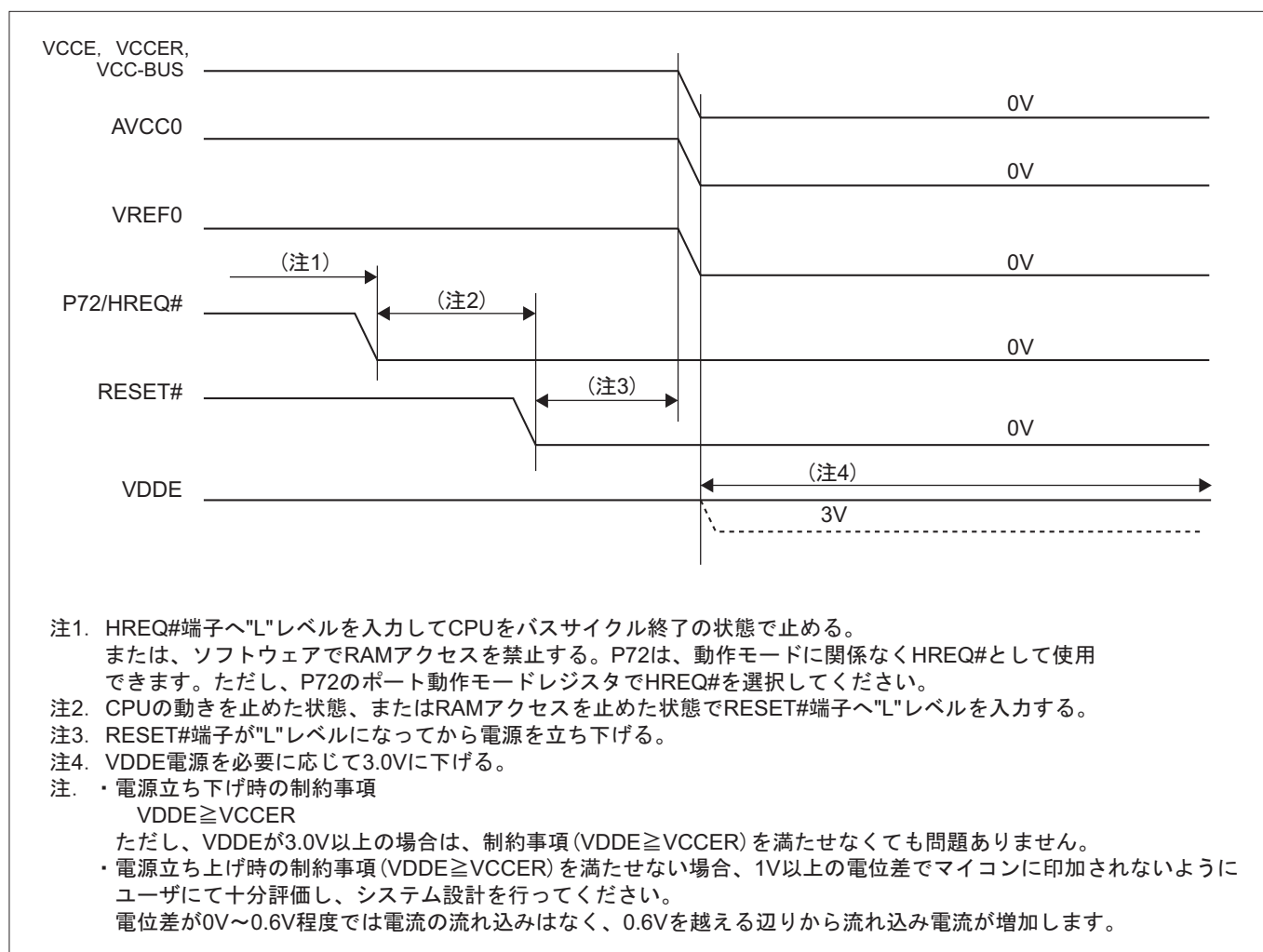


図22.3.2 RAMバックアップ使用時の電源立ち下げシーケンス(VCCE = VDDE = 5.0Vまたは3.3V)

HREQ機能を使用したRAMバックアップ使用時の電源(VCCE=5.0V、VDDE=3.3V)立ち下げシーケンスを以下に示します。

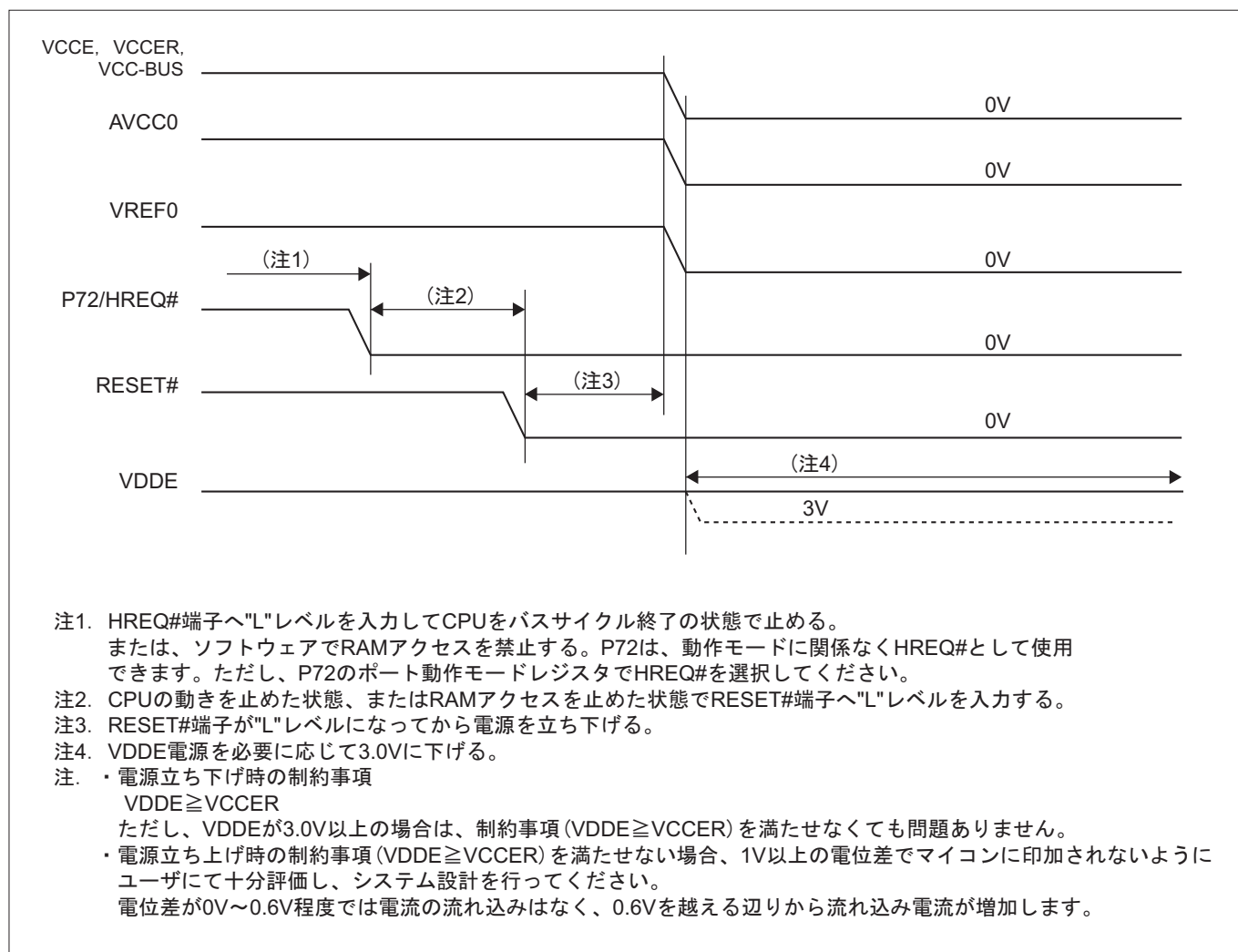


図22.3.3 RAMバックアップ使用時の電源立ち下げシーケンス(VCCE = 5.0V、VDDE = 3.3V)

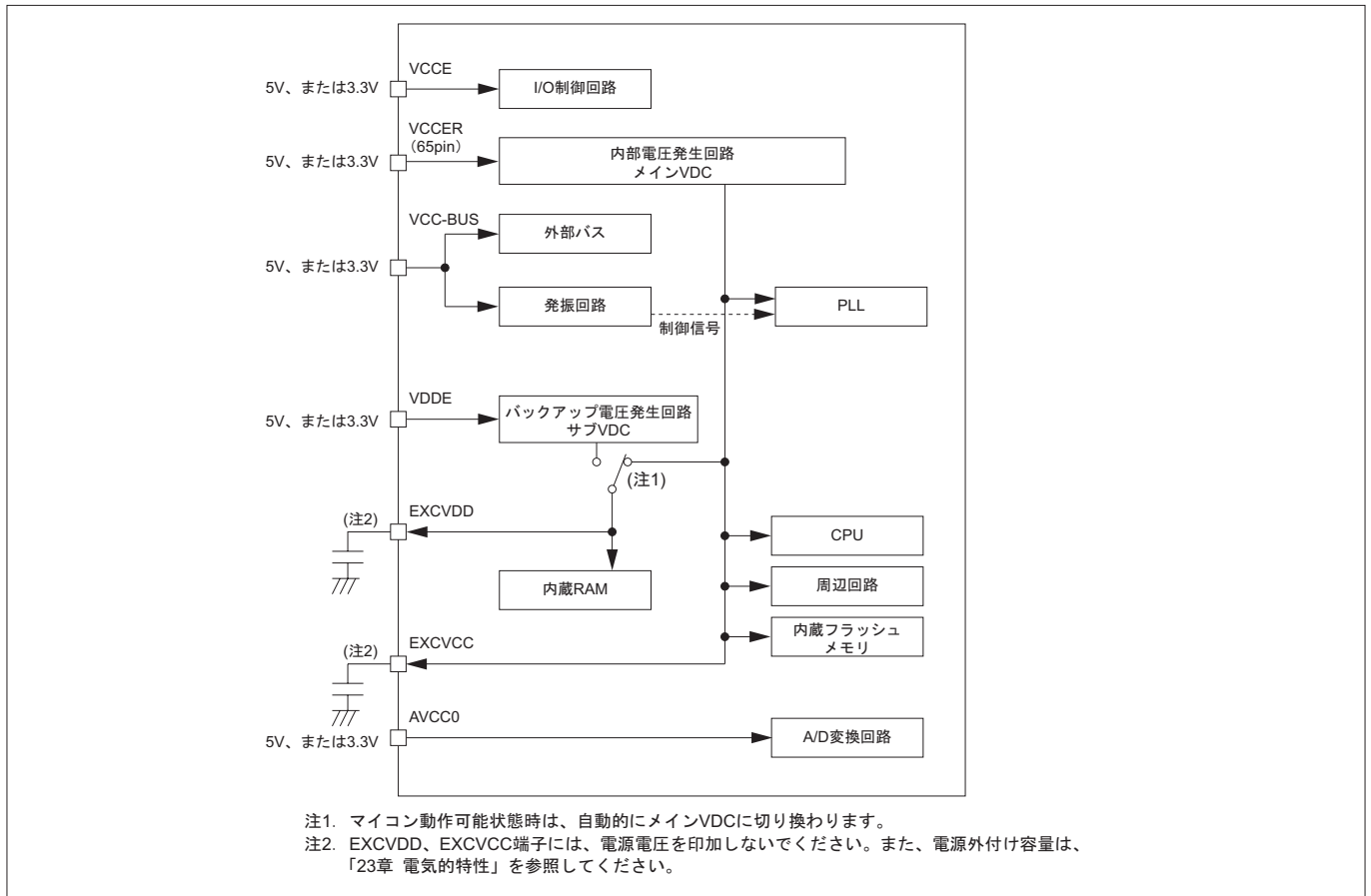


図22.3.4 マイコン動作可能状態 (VCCE = 5.0Vまたは3.3V)

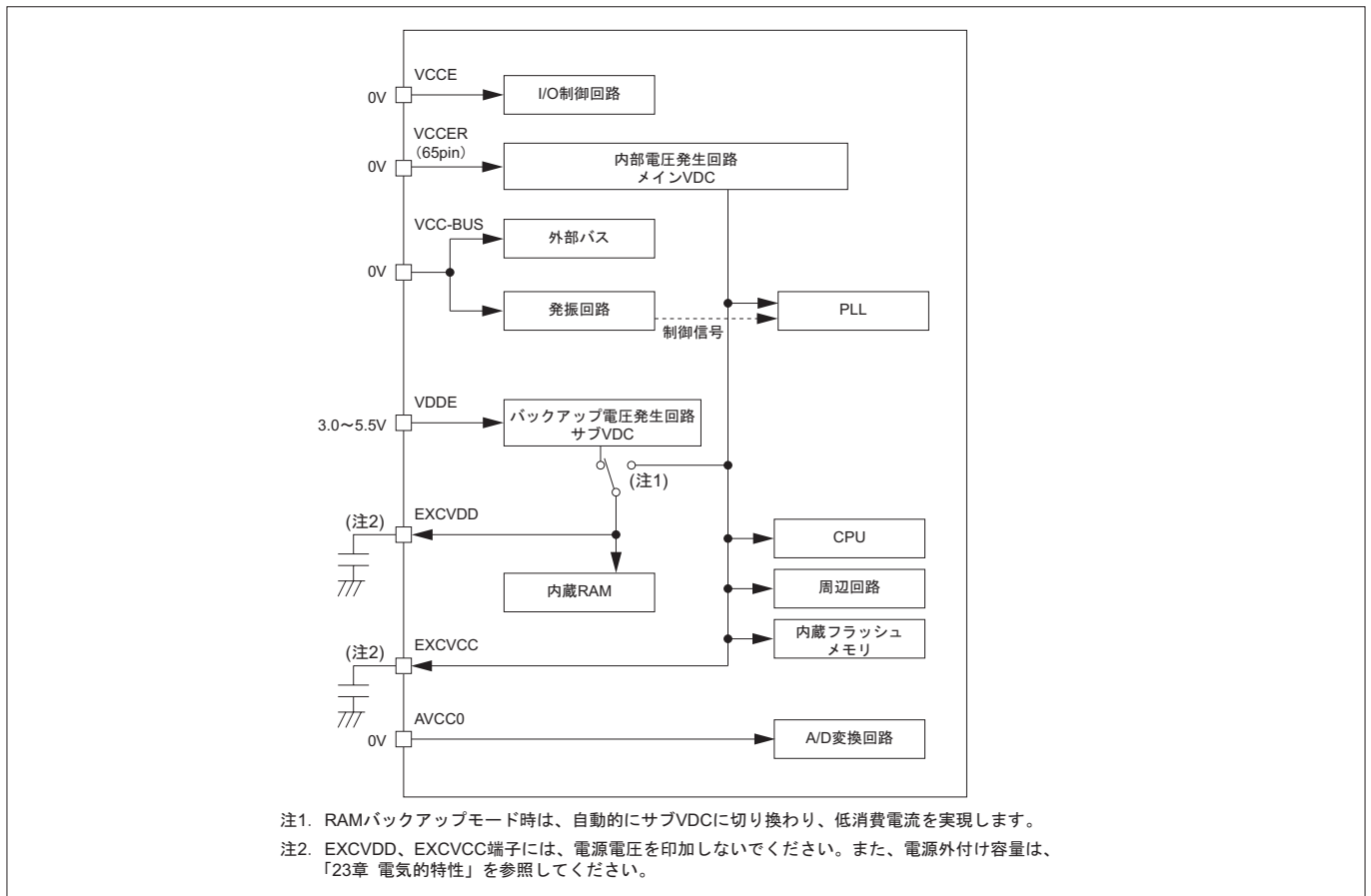


図22.3.5 RAMデータバックアップ状態 (VCCE = 5.0Vまたは3.3V)

第23章

電氣的特性

- 23.1 適合表
- 23.2 絶対最大定格
- 23.3 $V_{CC} = 5V$ 、 $f(XIN) = 20MHz$ 時の電氣的特性
- 23.4 $V_{CC} = 5V$ 、 $f(XIN) = 16MHz$ 時の電氣的特性
- 23.5 $V_{CC} = 3.3V$ 、 $f(XIN) = 20MHz$ 時の電氣的特性
- 23.6 $V_{CC} = 3.3V$ 、 $f(XIN) = 16MHz$ 時の電氣的特性
- 23.7 フラッシュ関連特性
- 23.8 電源外付け容量
- 23.9 AC特性($V_{CC} = 5V$ 時)
- 23.10 AC特性($V_{CC} = 3.3V$ 時)

23.1 適合表

使用時の条件				適合する節番号					備考
XIN	VCCE	VCCER	動作周囲温度 (Ta)	絶対最大定格	推奨動作条件、DC特性、A/D変換特性	フラッシュ関連特性	電源外付け容量	AC特性	
20MHz	5.0V±0.5V	5.0V±0.5V	-40°C~85°C	23.2	23.3	23.7	23.8	23.9	(注1)
		3.3V±0.3V	-40°C~85°C	23.2	23.3	23.7	23.8	23.9	(注2)
			-40°C~105°C	23.2	23.3	23.7	23.8	23.9	(注2)
	3.3V±0.3V	5.0V±0.5V	-40°C~85°C	23.2	23.5	23.7	23.8	23.10	(注2)
		3.3V±0.3V	-40°C~105°C	23.2	23.5	23.7	23.8	23.10	(注1)
			-40°C~85°C	23.2	23.5	23.7	23.8	23.10	(注1)
16MHz	5.0V±0.5V	5.0V±0.5V	-40°C~85°C	23.2	23.4	23.7	23.8	23.9	(注1)
		3.3V±0.3V	-40°C~85°C	23.2	23.4	23.7	23.8	23.9	(注2)
			-40°C~105°C	23.2	23.4	23.7	23.8	23.9	(注2)
			-40°C~125°C	23.2	23.4	23.7	23.8	23.9	(注2)
	3.3V±0.3V	5.0V±0.5V	-40°C~85°C	23.2	23.6	23.7	23.8	23.10	(注2)
		3.3V±0.3V	-40°C~85°C	23.2	23.6	23.7	23.8	23.10	(注1)
			-40°C~105°C	23.2	23.6	23.7	23.8	23.10	(注1)
			-40°C~105°C	23.2	23.6	23.7	23.8	23.10	(注1)
			-40°C~125°C	23.2	23.6	23.7	23.8	23.10	(注1)

注1．指定のない場合は、VCCE=VCC-BUS=VDDE=VCCER

注2．指定のない場合は、VCCE=VCC-BUS=VDDE

23.2 絶対最大定格

絶対最大定格

記号	項目	条件	定格値	単位
VCCE	主電源		-0.3 ~ 6.5	V
VCCER	内部電圧発生回路電源		-0.3 ~ 6.5	V
VCC-BUS	バス電源		-0.3 ~ 6.5	V
VDDE	RAM電源		-0.3 ~ 6.5	V
AVCC	アナログ電源	VCCE AVCC VREF	-0.3 ~ 6.5	V
VREF	基準電圧入力	VCCE AVCC VREF	-0.3 ~ 6.5	V
VI	XIN		-0.3 ~ VCC-BUS+0.3	V
	その他(注2)		-0.3 ~ VCCE (VCC-BUS)+0.3	V
VO	XOUT		-0.3 ~ VCC-BUS+0.3	V
	その他(注2)		-0.3 ~ VCCE (VCC-BUS)+0.3	V
Pd	消費電力	Ta=-40 ~ 85	1200	mW
		Ta=-40 ~ 105	800	mW
		Ta=-40 ~ 125	650	mW
TOPR	動作周囲温度(注1)		-40 ~ 125	
Tstg	保存温度		-65 ~ 150	

注1．85 を超える連続動作を保証するものではありません。85 を超える応用を検討されているお客様は弊社までお問い合わせください。

注2．以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、規程値は、VCC-BUS基準となります。

P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P41 ~ P47、P150、P153、P220、P221、P224、P225、XIN、XOUT

23.3 VCCE = 5V、f(XIN) = 20MHz時の電氣的特性

23.3.1 推奨動作条件(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)

推奨動作条件(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			定格値			単位		
				最小	標準	最大			
VCCE	主電源(注1)			4.5	5.0	5.5	V		
VCCER	内部電圧発生回路電源(注1) (注2)			3.0	3.3	3.6	V		
				4.5	5.0	5.5	V		
VCC-BUS	バス電源(注1)			4.5	5.0	5.5	V		
VDDE	RAM電源(注1)			4.5	5.0	5.5	V		
AVCC	アナログ電源(注1)			4.5	5.0	5.5	V		
VREF	基準電圧入力(注1)			4.5	5.0	5.5	V		
VIH	"H"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0.45VCCE		VCCE	V	
				しきい値選択 : 0.5VCCE	0.6VCCE		VCCE	V	
				しきい値選択 : 0.7VCCE	0.8VCCE		VCCE	V	
			シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0.6VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.35VCCE	0.8VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.5VCCE	0.8VCCE		VCCE	V	
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0.8VCCE			VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0.8VCCE			VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0.43VCCE			VCCE	V
		次の端子の標準入力: SBI#, HREQ#, TIN27			0.6VCCE			VCCE	V
XIN 発振停止検知のしきい値(注6)			0.65VCC-BUS			VCC-BUS	V		

記号	項目			定格値			単位	
				最小	標準	最大		
VIL	"L"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0		0.25VCCE	V
				しきい値選択 : 0.5VCCE	0		0.4VCCE	V
				しきい値選択 : 0.7VCCE	0		0.6VCCE	V
			シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0		0.25VCCE	V
				VT+/VT- : 0.7VCCE/0.35VCCE	0		0.25VCCE	V
				VT+/VT- : 0.7VCCE/0.5VCCE	0		0.4VCCE	V
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0		0.2VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0		0.25VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0		0.16VCCE	V
		次の端子の標準入力: SBI#, HREQ#, TIN27 XIN 発振停止検知のしきい値(注6)			0		0.35VCC-BUS	V
IOH(peak)	"H"尖塔出力電流P0 ~ P2(注4)					-10	mA	
IOH(avg)	"H"平均出力電流P0 ~ P2(注5)					-5	mA	
IOL(peak)	"L"尖塔出力電流P0 ~ P2(注4)					10	mA	
IOL(avg)	"L"平均出力電流P0 ~ P2(注5)					5	mA	
CL	出力負荷 容量	NBDD0 ~ NBDD3(出力時), NBDEVNT#				100	pF	
		JTDO				80	pF	
		上記以外		15		50	pF	
f(XIN)	外部クロック入力周波数			15		20	MHz	

注1. 条件: VCCE AVCC VREF

注2. Ta=-40 ~ 85 の条件時、VCCER=5V±0.5Vを印加できます。

注3. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P150, P153, P220, P221, P224, P225, XIN, XOUT

注4. ポートの出力電流(peak)の合計は、

ポートP0 + P1 + P2 80mA

ポートP3 + P4 + P13 + P15 + P22 80mA

ポートP6 + P7 + P8 + P9 + P17 80mA

ポートP10 + P11 + P12 80mA

注5. 平均出力電流は、100msの期間内での平均値です。

注6. XIN発振停止検出回路がXINのレベルが変化したことを判断するための電圧レベルを規程します。XIN発振停止検出回路がXINのレベルが変化すると判断するためには、VIH/VIL規格内の電圧を5ns以上保持する必要があります。

23.3.2 DC特性(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)

電氣的特性 指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH -5mA	VCCE+0.165 ×IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 5mA	0		0.15×IOL (mA)	V
VDDE	RAM保持電源電圧	動作時	4.5		5.5	V
		バックアップ時	3.0		5.5	V
IIH	"H"入力電流	VI=VCCE	-5		5	μA
IIL	"L"入力電流	VI=0V	-5		5	μA
ICC	全電源電流(注1)	リセット中			90	mA
		動作時		150	210	
IDDEhold	RAM保持電源電流(32192)	Ta=25		60	800	μA
		Ta=105		300	3000	
	RAM保持電源電流(32195)	Ta=25		24	320	
		Ta=105		150	1500	
	RAM保持電源電流(32196)	Ta=25		24	320	
		Ta=105		150	1500	
VT+	FP, MOD0, MOD1, JTMS, JTRST, JTDI/NBDSYNC#, RESET#		1.0			V
VT-	次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3		1.0			
	次の端子の標準入力: SBI#, HREQ#, TIN27		0.3			
	しきい値切り換え機能 使用時(VT+/VT-)	0.7VCCE/0.35VCCE		1.0		
0.7VCCE/0.5VCCE			0.3			
	0.5VCCE/0.35VCCE		0.3			

注1. シングルチップモード時の全電流

各電源端子の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN)=20.0MHz			20	mA
ICCEr	動作時VCCER電源電流	f(XIN)=20.0MHz			190	mA
IDDE	動作時VDDE電源電流	f(XIN)=20.0MHz			1	mA
ICC-BUS	動作時VCC-BUS電源電流	f(XIN)=20.0MHz			20	mA
IAVCC	動作時AVCC電源電流	f(XIN)=20.0MHz			3	mA
IVREF	動作時VREF電源電流	f(XIN)=20.0MHz			1	mA

23.3.3 A/D変換特性(VCCE = 5V ± 0.5V、f(XIN) = 20MHz時)

A/D変換特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目		測定条件		定格値			単位
					最小	標準	最大	
-	分解能		VREF=VCCE=AVCC				10	bits
-	絶対精度 (注1)	S & H無効	低速モード	ノーマル			±2	LSB
				倍速			±2	
			高速モード	ノーマル			±3	
				倍速			±3	
		ノーマル S & H有効、 同時S & H 無効	低速モード	ノーマル			±2	
				倍速			±2	
			高速モード	ノーマル			±3	
				倍速			±3	
		高速S & H 有効、 同時S & H 無効	低速モード	ノーマル			±3	
				倍速			±3	
			高速モード	ノーマル			±3	
				倍速			±8	
		ノーマル S & H有効、 同時S & H 有効	低速モード	ノーマル			±3	
				倍速			±3	
			高速モード	ノーマル			±3	
				倍速			±3	
高速S & H 有効、 同時S & H 有効	低速モード	ノーマル			±3			
		倍速			±3			
	高速モード	ノーマル			±3			
		倍速			±8			
TCONV	変換時間	S & Hなし または ノーマル S & H時	低速モード	ノーマル	14.95			μs
				倍速	8.65			
			高速モード	ノーマル	6.55			
				倍速	4.45			
		高速 S & H時	低速モード	ノーマル	9.55			
				倍速	5.05			
			高速モード	ノーマル	4.75			
				倍速	2.65			
I _{IAN}	アナログ入力リーク電流(注2)		AVSS ADiInn AVCC	-5		5	μA	

注1. 絶対精度はA/Dコンバータにおけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧ADiInn}/1\text{LSB})$$

AVCC = AVREF = 5.12Vの時、1LSB = 5mVです。

注2. A/Dコンバータが静止した状態におけるADiInnの入力リーク電流です。

注. ・S & H: サンプル & ホールド

・2BCLKモード、VCCE = VCC - BUS = VDDE = 3.072V、VCCER = 5.12Vまたは3.072V時のA/D変換特性です。

23.4 VCCE = 5V、f(XIN) = 16MHz時の電氣的特性

23.4.1 推奨動作条件(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)

推奨動作条件(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			定格値			単位		
				最小	標準	最大			
VCCE	主電源(注1)			4.5	5.0	5.5	V		
VCCER	内部電圧発生回路電源(注1)(注2)			3.0	3.3	3.6	V		
				4.5	5.0	5.5	V		
VCC-BUS	バス電源(注1)			4.5	5.0	5.5	V		
VDDE	RAM電源(注1)			4.5	5.0	5.5	V		
AVCC	アナログ電源(注1)			4.5	5.0	5.5	V		
VREF	基準電圧入力(注1)			4.5	5.0	5.5	V		
VIH	"H"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0.45VCCE		VCCE	V	
				しきい値選択 : 0.5VCCE	0.6VCCE		VCCE	V	
				しきい値選択 : 0.7VCCE	0.8VCCE		VCCE	V	
			シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0.6VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.35VCCE	0.8VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.5VCCE	0.8VCCE		VCCE	V	
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0.8VCCE			VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0.8VCCE			VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0.43VCCE			VCCE	V
次の端子の標準入力: SBI#, HREQ#, TIN27			0.6VCCE			VCCE	V		
XIN 発振停止検知のしきい値(注6)			0.65VCC-BUS			VCC-BUS	V		

記号	項目			定格値			単位		
				最小	標準	最大			
VIL	"L"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0		0.25VCCE	V	
				しきい値選択 : 0.5VCCE	0		0.4VCCE	V	
				しきい値選択 : 0.7VCCE	0		0.6VCCE	V	
		シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0		0.25VCCE	V		
			VT+/VT- : 0.7VCCE/0.35VCCE	0		0.25VCCE	V		
			VT+/VT- : 0.7VCCE/0.5VCCE	0		0.4VCCE	V		
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0			0.2VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0			0.25VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0			0.16VCCE	V
		次の端子の標準入力: SBI#, HREQ#, TIN27			0			0.25VCCE	V
XIN 発振停止検知のしきい値(注6)			0			0.35VCC-BUS	V		
IOH(peak)	"H"尖塔出力電流P0 ~ P2(注4)						-10	mA	
IOH(avg)	"H"平均出力電流P0 ~ P2(注5)						-5	mA	
IOL(peak)	"L"尖塔出力電流P0 ~ P2(注4)						10	mA	
IOL(avg)	"L"平均出力電流P0 ~ P2(注5)						5	mA	
CL	出力負荷 容量	NBDD0 ~ NBDD3(出力時), NBDEVNT#					100	pF	
		JTDO					80	pF	
		上記以外		15			50	pF	
f(XIN)	外部クロック入力周波数			15			16	MHz	

注1. 条件: VCCE AVCC VREF

注2. Ta=-40 ~ 85 の条件時、VCCER=5V±0.5Vを印加できます。

注3. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P150, P153, P220, P221, P224, P225, XIN, XOUT

注4. ポートの出力電流(peak)の合計は、

ポートP0 + P1 + P2 80mA

ポートP3 + P4 + P13 + P15 + P22 80mA

ポートP6 + P7 + P8 + P9 + P17 80mA

ポートP10 + P11 + P12 80mA

注5. 平均出力電流は、100msの期間内での平均値です。

注6. XIN発振停止検出回路がXINのレベルが変化したことを判断するための電圧レベルを規程します。XIN発振停止検出回路がXINのレベルが変化すると判断するためには、VIH/VIL規格内の電圧を5ns以上保持する必要があります。

23.4.2 DC特性(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)

電氣的特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH -5mA	VCCE+0.165 × IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 5mA	0		0.15× IOL (mA)	V
VDDE	RAM保持電源電圧	動作時	4.5		5.5	V
		バックアップ時	3.0		5.5	V
IIH	"H"入力電流	VI=VCCE	-5		5	μA
IIL	"L"入力電流	VI=0V	-5		5	μA
ICC	全電源電流(注1)	リセット中			80	mA
		動作時		130	190	
IDDEhold	RAM保持電源電流(32192)	Ta=25		60	800	μA
		Ta=125		500	5000	
	RAM保持電源電流(32195)	Ta=25		24	320	
		Ta=125		200	2000	
	RAM保持電源電流(32196)	Ta=25		24	320	
		Ta=125		200	2000	
VT+	FP, MOD0, MOD1, JTMS, JTRST, JTDI/NBDSYNC#, RESET#		1.0			V
VT-	次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD05, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3		1.0			
	次の端子の標準入力: SBI#, HREQ#, TIN27		0.3			
	しきい値切り換え機能 使用時(VT+/VT-)	0.7VCCE/0.35VCCE		1.0		
0.7VCCE/0.5VCCE			0.3			
	0.5VCCE/0.35VCCE		0.3			

注1. シングルチップモード時の全電流

各電源端子の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN) = 16.0MHz			20	mA
ICCER	動作時VCCER電源電流	f(XIN) = 16.0MHz			170	mA
IDDE	動作時VDDE電源電流	f(XIN) = 16.0MHz			1	mA
ICC-BUS	動作時VCC-BUS電源電流	f(XIN) = 16.0MHz			20	mA
IAVCC	動作時AVCC電源電流	f(XIN) = 16.0MHz			3	mA
IVREF	動作時VREF電源電流	f(XIN) = 16.0MHz			1	mA

23.4.3 A/D変換特性(VCCE = 5V ± 0.5V、f(XIN) = 16MHz時)

A/D変換特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			測定条件	定格値			単位
					最小	標準	最大	
-	分解能			VREF=VCCE=AVCC			10	bits
-	絶対精度 (注1)	S&H無効	低速モード	ノーマル			±2	LSB
				倍速			±2	
			高速モード	ノーマル			±3	
				倍速			±3	
		ノーマル S&H有効、 同時S&H 無効	低速モード	ノーマル			±2	
				倍速			±2	
			高速モード	ノーマル			±3	
				倍速			±3	
		高速S&H 有効、 同時S&H 無効	低速モード	ノーマル			±3	
				倍速			±3	
			高速モード	ノーマル			±3	
				倍速			±3	
		ノーマル S&H有効、 同時S&H 有効	低速モード	ノーマル			±3	
				倍速			±3	
			高速モード	ノーマル			±3	
				倍速			±3	
高速S&H 有効、 同時S&H 有効	低速モード	ノーマル			±3			
		倍速			±3			
	高速モード	ノーマル			±3			
		倍速			±8			
TCONV	変換時間	S&Hなし または ノーマル S&H時	低速モード	ノーマル	18.6875			μs
				倍速	10.8125			
			高速モード	ノーマル	8.1875			
				倍速	5.5625			
		高速 S&H時	低速モード	ノーマル	11.9375			
				倍速	6.3125			
			高速モード	ノーマル	5.9375			
				倍速	3.3125			
IIAN	アナログ入力リーク電流(注2)			AVSS ADiInn AVCC	-5		5	μA

注1. 絶対精度はA/Dコンバータにおけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧ADiInn}/1\text{LSB})$$

$$\text{AVCC} = \text{AVREF} = 5.12\text{Vの時、} 1\text{LSB} = 5\text{mVです。}$$

注2. A/Dコンバータが静止した状態におけるADiInnの入力リーク電流です。

注. ・S&H: サンプル&ホールド

・2BCLKモード、VCCE = VCC - BUS = VDDE = 3.072V、VCCER = 5.12Vまたは3.072V時のA/D変換特性です。

23.5 VCCE = 3.3V、f(XIN) = 20MHz時の電氣的特性

23.5.1 推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)

推奨動作条件(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			定格値			単位		
				最小	標準	最大			
VCCE	主電源(注1)			3.0	3.3	3.6	V		
VCCER	内部電圧発生回路電源(注1)(注2)			3.0	3.3	3.6	V		
				4.5	5.0	5.5	V		
VCC-BUS	バス電源(注1)			3.0	VCCE	3.6	V		
VDDE	RAM電源(注1)			3.0	VCCE	3.6	V		
AVCC	アナログ電源(注1)			3.0	VCCE	3.6	V		
VREF	基準電圧入力(注1)			3.0	VCCE	3.6	V		
VIH	"H"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0.5VCCE		VCCE	V	
				しきい値選択 : 0.5VCCE	0.65VCCE		VCCE	V	
				しきい値選択 : 0.7VCCE	0.8VCCE		VCCE	V	
			シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0.65VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.35VCCE	0.8VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.5VCCE	0.8VCCE		VCCE	V	
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0.8VCCE			VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0.8VCCE			VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0.5VCCE			VCCE	V
次の端子の標準入力: SBI#, HREQ#, TIN27			0.65VCCE			VCCE	V		
XIN 発振停止検知のしきい値(注6)			0.65VCC-BUS			VCC-BUS	V		

記号	項目			定格値			単位	
				最小	標準	最大		
VIL	"L"入力電圧 (注3)	しきい値切り換え機能 (汎用ポート機能端子)	CMOS入力選択時	しきい値選択 : 0.35VCCE	0		0.2VCCE	V
				しきい値選択 : 0.5VCCE	0		0.35VCCE	V
				しきい値選択 : 0.7VCCE	0		0.5VCCE	V
			シュミット入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0		0.2VCCE	V
				VT+/VT- : 0.7VCCE/0.35VCCE	0		0.2VCCE	V
				VT+/VT- : 0.7VCCE/0.5VCCE	0		0.35VCCE	V
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK, JTDI/NBDSYNC#, RESET#			0		0.2VCCE	V
		次の端子の標準入力 : RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0		0.2VCCE	V
		次の端子の標準入力 : DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0		0.2VCCE	V
		次の端子の標準入力 : SBI#, HREQ#, TIN27			0		0.2VCCE	V
XIN 発振停止検知のしきい値(注6)			0		0.35VCC-BUS	V		
IOH(peak)	"H"尖塔出力電流P0 ~ P2(注4)					-10	mA	
IOH(avg)	"H"平均出力電流P0 ~ P2(注5)					-5	mA	
IOL(peak)	"L"尖塔出力電流P0 ~ P2(注4)					10	mA	
IOL(avg)	"L"平均出力電流P0 ~ P2(注5)					5	mA	
CL	出力負荷容量	NBDD0 ~ NBDD3(出力時), NBDEVNT#				100	pF	
		JTDO				80	pF	
		上記以外		15		50	pF	
f(XIN)	外部クロック入力周波数			15		20	MHz	

注1. 条件 : VCCE AVCC VREF

注2. Ta=-40 ~ 85 の条件時、VCCER=5V±0.5Vを印加できます。

注3. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P150, P153, P220, P221, P224, P225, XIN, XOUT

注4. ポートの出力電流(peak)の合計は、

ポートP0 + P1 + P2 80mA

ポートP3 + P4 + P13 + P15 + P22 80mA

ポートP6 + P7 + P8 + P9 + P17 80mA

ポートP10 + P11 + P12 80mA

注5. 平均出力電流は、100msの期間内での平均値です。

注6. XIN発振停止検出回路がXINのレベルが変化したことを判断するための電圧レベルを規程します。XIN発振停止検出回路がXINのレベルが変化すると判断するためには、VIH/VIL規格内の電圧を5ns以上保持する必要があります。

23.5.2 DC特性(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)

電氣的特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH -2mA	VCCE+0.5 ×IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225×IOL (mA)	V
VDDE	RAM保持電源電圧	動作時	3.0		3.6	V
		バックアップ時	3.0		3.6	V
IiH	"H"入力電流	Vi=VCCE	-5		5	μA
IiL	"L"入力電流	Vi=0V	-5		5	μA
ICC	全電源電流(注1)	リセット中			90	mA
		動作時		150	210	
IDDEhold	RAM保持電源電流(32192)	Ta=25		60	800	μA
		Ta=105		300	3000	
	RAM保持電源電流(32195)	Ta=25		24	320	
		Ta=105		150	1500	
	RAM保持電源電流(32196)	Ta=25		24	320	
		Ta=105		150	1500	
VT+-	FP, MOD0, MOD1, JTMS, JTRST, JTDI/NBDSYNC#, RESET#		0.65			V
VT-	次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD05, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3		0.5			
	次の端子の標準入力: SBI#, HREQ#, TIN27		0.2			
	しきい値切り換え機能 使用時(VT+/VT-)	0.7VCCE/0.35VCCE		0.5		
0.7VCCE/0.5VCCE			0.2			
			0.5VCCE/0.35VCCE		0.2	

注1. シングルチップモード時の全電流

各電源端子の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN) = 20.0MHz			14	mA
ICCER	動作時VCCER電源電流	f(XIN) = 20.0MHz			190	mA
IDDE	動作時VDDE電源電流	f(XIN) = 20.0MHz			1	mA
ICC-BUS	動作時VCC-BUS電源電流	f(XIN) = 20.0MHz			14	mA
IAVCC	動作時AVCC電源電流	f(XIN) = 20.0MHz			2	mA
IVREF	動作時VREF電源電流	f(XIN) = 20.0MHz			1	mA

23.5.3 A/D変換特性(VCCE = 3.3V ± 0.3V、f(XIN) = 20MHz時)

A/D変換特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			測定条件	定格値			単位
					最小	標準	最大	
-	分解能			VREF=VCCE=AVCC			10	bits
-	絶対精度 (注1)	S&H無効	低速モード	ノーマル			±4	LSB
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
		ノーマル S&H有効、 同時S&H 無効	低速モード	ノーマル			±4	
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
		高速S&H 有効、 同時S&H 無効	低速モード	ノーマル			±4	
				倍速			±16	
			高速モード	ノーマル			±16	
				倍速			±48	
		ノーマル S&H有効、 同時S&H 有効	低速モード	ノーマル			±4	
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
高速S&H 有効、 同時S&H 有効	低速モード	ノーマル			±4			
		倍速			±16			
	高速モード	ノーマル			±16			
		倍速			±48			
TCONV	変換時間	S&Hなし または ノーマル S&H時	低速モード	ノーマル	14.95			μs
				倍速	8.65			
			高速モード	ノーマル	6.55			
				倍速	4.45			
		高速 S&H時	低速モード	ノーマル	9.55			
				倍速	5.05			
			高速モード	ノーマル	4.75			
				倍速	2.65			
IIAN	アナログ入力リーク電流(注2)			AVSS ADiINn AVCC	-5		5	μA

注1. 絶対精度はA/Dコンバータにおけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧ADiINn}/1\text{LSB})$$

AVCC = AVREF = 3.072Vの時、1LSB = 3mVです。

注2. A/Dコンバータが静止した状態におけるADiINnの入力リーク電流です。

注. ・S&H: サンプル&ホールド

・2BCLKモード、VCCE = VCC - BUS = VDDE = 3.072V、VCCER = 5.12Vまたは3.072V時のA/D変換特性です。

23.6 VCCE = 3.3V、f(XIN) = 16MHz時の電氣的特性

23.6.1 推奨動作条件(VCCE = 3.3V ± 0.3V、f(XIN) = 16MHz時)

推奨動作条件(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目			定格値			単位		
				最小	標準	最大			
VCCE	主電源(注1)			3.0	3.3	3.6	V		
VCCER	内部電圧発生回路電源(注1) (注2)			3.0	3.3	3.6	V		
				4.5	5.0	5.5	V		
VCC-BUS	バス電源(注1)			3.0	VCCE	3.6	V		
VDDE	RAM電源(注1)			3.0	VCCE	3.6	V		
AVCC	アナログ電源(注1)			3.0	VCCE	3.6	V		
VREF	基準電圧入力(注1)			3.0	VCCE	3.6	V		
VIH	"H"入力電圧(注3)	しきい値切り換え機能(汎用ポート機能端子)	CMOS入力選択時	しきい値選択 : 0.35VCCE	0.5VCCE		VCCE	V	
				しきい値選択 : 0.5VCCE	0.65VCCE		VCCE	V	
				しきい値選択 : 0.7VCCE	0.8VCCE		VCCE	V	
			シュミット入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0.65VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.35VCCE	0.8VCCE		VCCE	V	
				VT+/VT- : 0.7VCCE/0.5VCCE	0.8VCCE		VCCE	V	
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDCLK#, JTDI/NBDSYNC#, RESET#			0.8VCCE			VCCE	V
		次の端子の標準入力 : RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0.8VCCE			VCCE	V
		次の端子の標準入力 : DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0.5VCCE			VCCE	V
		次の端子の標準入力 : SBI#, HREQ#, TIN27			0.65VCCE			VCCE	V
XIN 発振停止検知のしきい値(注6)			0.65VCC-BUS			VCC-BUS	V		

記号	項目			定格値			単位	
				最小	標準	最大		
VIL	"L"入力 電圧 (注3)	しきい値 切り換え 機能 (汎用ポート 機能端子)	CMOS 入力選択時	しきい値選択 : 0.35VCCE	0		0.2VCCE	V
				しきい値選択 : 0.5VCCE	0		0.35VCCE	V
				しきい値選択 : 0.7VCCE	0		0.5VCCE	V
			シュミット 入力選択時	VT+/VT- : 0.5VCCE/0.35VCCE	0		0.2VCCE	V
				VT+/VT- : 0.7VCCE/0.35VCCE	0		0.2VCCE	V
				VT+/VT- : 0.7VCCE/0.5VCCE	0		0.35VCCE	V
		FP, MOD0, MOD1, JTMS, JTRST, JTCK/NBDSYNC#, JTDI/NBDSYNC#, RESET#			0		0.2VCCE	V
		次の端子の標準入力: RTDCLK, RTDRXD, SCLKI0, SCLKI1, SCLKI4, SCLKI5, RXD0 ~ RXD5, TCLK0 ~ TCLK3, TIN0, TIN3, TIN16 ~ TIN26, CRX0, CRX1, NBDD0 ~ NBDD3			0		0.2VCCE	V
		次の端子の標準入力: DB0 ~ DB15, WAIT#, TIN4 ~ TIN11, TIN30 ~ TIN33			0		0.2VCCE	V
		次の端子の標準入力: SBI#, HREQ#, TIN27 XIN 発振停止検知のしきい値(注6)			0		0.35VCC-BUS	V
IOH(peak)	"H"尖塔出力電流P0 ~ P2(注4)					-10	mA	
IOH(avg)	"H"平均出力電流P0 ~ P2(注5)					-5	mA	
IOL(peak)	"L"尖塔出力電流P0 ~ P2(注4)					10	mA	
IOL(avg)	"L"平均出力電流P0 ~ P2(注5)					5	mA	
CL	出力負荷 容量	NBDD0 ~ NBDD3(出力時), NBDEVNT#				100	pF	
		JTDO				80	pF	
		上記以外		15		50	pF	
f(XIN)	外部クロック入力周波数			15		16	MHz	

注1. 条件: VCCE AVCC VREF

注2. Ta=-40 ~ 85 の条件時、VCCER=5V±0.5Vを印加できます。

注3. 以下のポートはVCCE電源ではなく、VCC-BUS電源で動作するため、基準の電圧はVCC-BUS入力電圧となります。

P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P150, P153, P220, P221, P224, P225, XIN, XOUT

注4. ポートの出力電流(peak)の合計は、

ポートP0 + P1 + P2 80mA

ポートP3 + P4 + P13 + P15 + P22 80mA

ポートP6 + P7 + P8 + P9 + P17 80mA

ポートP10 + P11 + P12 80mA

注5. 平均出力電流は、100msの期間内での平均値です。

注6. XIN発振停止検出回路がXINのレベルが変化したことを判断するための電圧レベルを規程します。XIN発振停止検出回路がXINのレベルが変化すると判断するためには、VIH/VIL規格内の電圧を5ns以上保持する必要があります。

23.6.2 DC特性(VCCE = 3.3V ± 0.3、f(XIN) = 16MHz時)

電氣的特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」を参照してください。)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH -2mA	VCCE+0.5 ×IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225×IOL (mA)	V
VDDE	RAM保持電源電圧	動作時	3.0		3.6	V
		バックアップ時	3.0		3.6	V
I _{IH}	"H"入力電流	V _I =VCCE	-5		5	μA
I _{IL}	"L"入力電流	V _I =0V	-5		5	μA
ICC	全電源電流(注1)	リセット中			80	mA
		動作時		130	190	
IDDEhold	RAM保持電源電流(32192)	Ta=25		60	800	μA
		Ta=125		500	5000	
	RAM保持電源電流(32195)	Ta=25		24	320	
		Ta=125		200	2000	
	RAM保持電源電流(32196)	Ta=25		24	320	
		Ta=125		200	2000	
VT+	FP, MOD0, MOD1, JTMS, JTRST, JTDI/NBDSYNC#, RESET#		0.65			V
VT-	次の端子の標準入力: RTDCLK, RTDRXD, SCLK10, SCLK11, SCLK14, SCLK15, RXD0~RXD5, TCLK0~TCLK3, TIN0, TIN3, TIN16~TIN26, CRX0, CRX1, NBDD0~NBDD3		0.5			
	次の端子の標準入力: SBI#, HREQ#, TIN27		0.2			
	しきい値切り換え機能 使用時(VT+/VT-)	0.7VCCE/0.35VCCE		0.5		
0.7VCCE/0.5VCCE			0.2			
		0.5VCCE/0.35VCCE		0.2		

注1. シングルチップモード時の全電流

各電源端子の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN) ≧ 16.0MHz			14	mA
ICCER	動作時VCCER電源電流	f(XIN) ≧ 16.0MHz			170	mA
IDDE	動作時VDDE電源電流	f(XIN) ≧ 16.0MHz			1	mA
ICC-BUS	動作時VCC-BUS電源電流	f(XIN) ≧ 16.0MHz			14	mA
I _{AVCC}	動作時AVCC電源電流	f(XIN) ≧ 16.0MHz			2	mA
I _{VREF}	動作時VREF電源電流	f(XIN) ≧ 16.0MHz			1	mA

23.6.3 A/D変換特性(VCCE = 3.3V ± 0.3V、f(XIN) = 16MHz時)

A/D変換特性(指定のない場合のVCCE、VCCER、VCC-BUS、VDDE、Taは、「23.1 適合表」をご参照ください。)

記号	項目			測定条件	定格値			単位
					最小	標準	最大	
-	分解能			VREF=VCCE=AVCC			10	bits
-	絶対精度 (注1)	S&H無効	低速モード	ノーマル			±4	LSB
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
		ノーマル S&H有効、 同時S&H 無効	低速モード	ノーマル			±4	
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
		高速S&H 有効、 同時S&H 無効	低速モード	ノーマル			±4	
				倍速			±16	
			高速モード	ノーマル			±16	
				倍速			±48	
		ノーマル S&H有効、 同時S&H 有効	低速モード	ノーマル			±4	
				倍速			±4	
			高速モード	ノーマル			±6	
				倍速			±16	
高速S&H 有効、 同時S&H 有効	低速モード	ノーマル			±4			
		倍速			±16			
	高速モード	ノーマル			±16			
		倍速			±48			
TCONV	変換時間	S&Hなし または ノーマル S&H時	低速モード	ノーマル	18.6875			μs
				倍速	10.8125			
			高速モード	ノーマル	8.1875			
				倍速	5.5625			
		高速 S&H時	低速モード	ノーマル	11.9375			
				倍速	6.3125			
			高速モード	ノーマル	5.9375			
				倍速	3.3125			
IIAN	アナログ入力リーク電流(注2)			AVSS ADiInn AVCC	-5		5	μA

注1. 絶対精度はA/Dコンバータにおけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧ADiInn}/1\text{LSB})$$

AVCC = AVREF = 3.072Vの時、1LSB = 3mVです。

注2. A/Dコンバータが静止した状態におけるADiInnの入力リーク電流です。

注. ・S&H: サンプル&ホールド

・2BCLKモード、VCCE = VCC - BUS = VDDE = 3.072V、VCCER = 5.12Vまたは3.072V時のA/D変換特性です。

23.7 フラッシュ関連特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Topr	フラッシュ書き換え周囲温度	M3219xF8VFP, M32195F4VFP	-40		125	
		M3219xF8UFP, M32195F4UFP	-40		105	
		M3219xF8TFP, M32195F4TFP	-40		85	
cycle	フラッシュ 書き換え回数(注1)	標準品	100 (注2)			回

注1. フラッシュ書き換え回数の定義

フラッシュ書き換え回数はブロックごとのイレーズ回数です。回数が100回の場合、ブロックごとに、それぞれ100回ずつイレーズすることができます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての特性を保証する最小回数です(保証は1~"最小"値の範囲です)。

(1)標準品(フラッシュ書き換え回数：100回)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tPRG	プログラム時間(注1)	4Kバイトブロック	100回まで	200	1600	μs
		4Kバイトブロック以外	100回まで	100	800	μs
TBERS	ブロック消去時間	4Kバイトブロック	100回まで	0.3	6	s
		8Kバイトブロック	100回まで	0.3	6	s
		16Kバイトブロック	100回まで	0.5	6	s
		32Kバイトブロック	100回まで	0.7	6	s
		64Kバイトブロック	100回まで	1.2	6	s

注1. 4ハーフワードあたりの書き込み時間を示します。

23.8 電源外付け容量

記号	項目	規格値			単位
		最小	標準	最大	
EXCVCC	外付け容量接続端子	1		10	μF
EXCVDD	内蔵RAM内部電源用の外付け容量接続端子	1		10	μF

23.9 AC特性(VCCE = 5V時)

- 指定のないタイミング条件は、VCCE、VCCER、VCC-BUS、VDDE = 5V ± 0.5V、Ta = - 40 ~ 125 です。
- 規格値は測定端子の出力負荷容量が15pF ~ 50pFの時の保証値(ただし、JTAG関連は80pF、NBD関連は100pFの集中キャパシタンス時の保証値)です。
- 規格値中のW、C、S、R、IDの意味は下記のとおりです。CS領域ウェイト制御レジスタの詳細については、CSn領域ウェイト制御レジスタ(CSnWTCR)を参照してください。
 W : ウェイト数(CSn領域ウェイト制御レジスタのWAITビットで選択)
 C : CSn領域ウェイト制御レジスタのCWAITビット = 1の時"1"、CWAITビット = 0の時"0"
 S : CSn領域ウェイト制御レジスタのSWAITビット = 1の時"1"、SWAITビット = 0の時"0"
 R : CSn領域ウェイト制御レジスタのRECOVビット = 1の時"1"、RECOVビット = 0の時"0"
 ID : バスサイクルの最後に挿入されるアイドルサイクルのサイクル数。CSn領域ウェイト制御レジスタのIDLEビットの設定により挿入される場合と、リードの直後にライトが実行された場合にデフォルトで挿入される場合がある(ID = 0、または1)。
- 外部バスのクロック同期タイミングは、CLKOUT基準で規定しています(BCLK基準での規定はありません)。
- CLKOUT/WR#機能はP70/CLKOUT/WR#/BCLK端子(78番端子)と、P150/TIN0/CLKOUT/WR#端子(133番端子)の2端子に割り当てられています。指定のない場合は、CLKOUT端子/WR#端子の特性値は、133番端子の値です。
- 出力ドライブ能力については、下記条件での値です。出力ドライブ能力の切り換えについては、「8.5ポート出力ドライブ能力設定機能」をご参照ください。
 - ・ CLKOUT端子/WR#端子(133番端子) : ドライブ能力高を選択
 - ・ その他の出力端子 : ドライブ能力低(リセット解除時の値)を選択

(1) 出力スイッチング特性測定回路

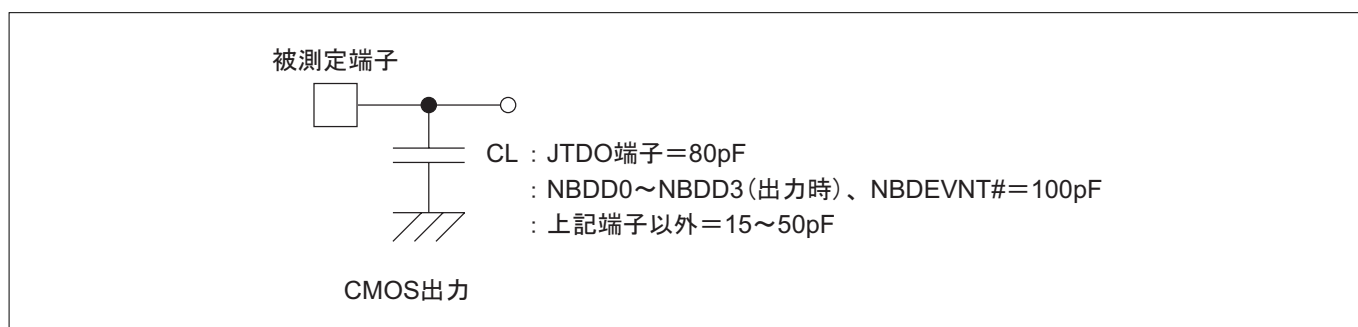


図23.9.1 出力スイッチング特性測定回路

(2) 入力および出力遷移時間

	記号	項目	規格値		単位	参照図番 図23.9.2	
			最小	最大			
タイミング 必要条件	t _r (INPUT)	入力立ち上がり 遷移時間(注1)	NBDCLK、NBDD0 ~ NBDD3端子(入力時) NBDSYNC#端子		8	ns	[115]
			JTCK、JTDI、JTMS		10	ns	
			JTRST端子		2	ms	
	t _f (INPUT)	入力立ち下がり 遷移時間(注1)	NBDCLK、NBDD0 ~ NBDD3端子(入力時) NBDSYNC#端子		8	ns	[116]
			JTCK、JTDI、JTMS		10	ns	
			JTRST端子		2	ms	

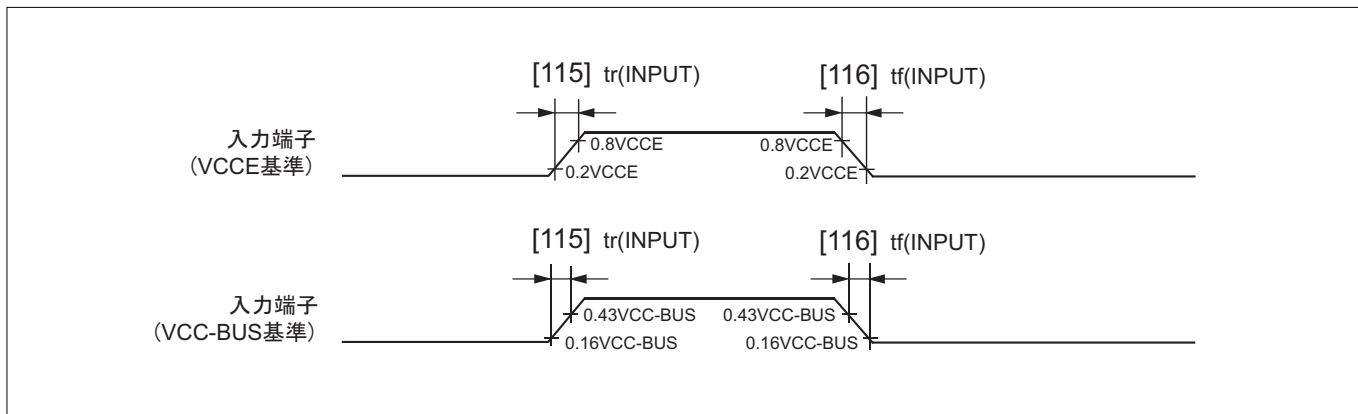
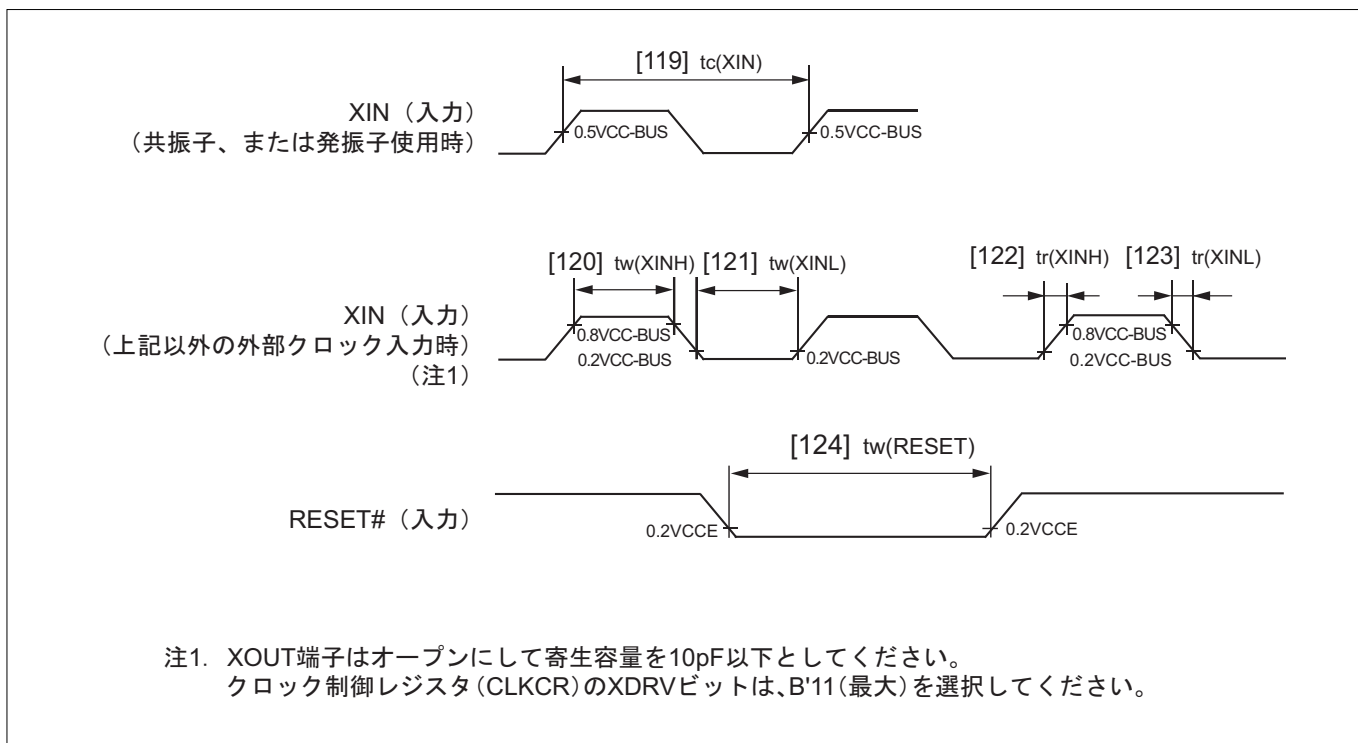


図23.9.2 入出力遷移時間

(3) クロックおよびリセットタイミング

	記号	項目	規格値		単位	参照図番 図23.9.3
			最小	最大		
必要条件 タイミング	$t_c(XIN)$	クロック入力サイクル時間	50	66.7	ns	[119]
	$t_w(XINH)$	外部クロック入力"H"パルス幅	20		ns	[120]
	$t_w(XINL)$	外部クロック入力"L"パルス幅	20		ns	[121]
	$t_r(XINH)$	外部クロック入力立ち上がり時間		5	ns	[122]
	$t_r(XINL)$	外部クロック入力立ち下がり時間		5	ns	[123]
	$t_w(RESET)$	リセット入力"L"パルス幅	300		ns	[124]



注1. XOUT端子はオープンにして寄生容量を10pF以下としてください。
 クロック制御レジスタ (CLKCR) のXDRVビットは、B'11(最大)を選択してください。

図23.9.3 クロックおよびリセットタイミング

(4) 入出力ポート

	記号	項目	規格値		単位	参照図番 図23.9.4
			最小	最大		
タイミ ング 条件	tsu (P-E)	ポート入力セットアップ時間	100		ns	[1]
	th (E-P)	ポート入力ホールド時間	0		ns	[2]
ス グ イ ツ チ 特 性	td (E-P)	ポートデータ出力遅延時間		100	ns	[3]

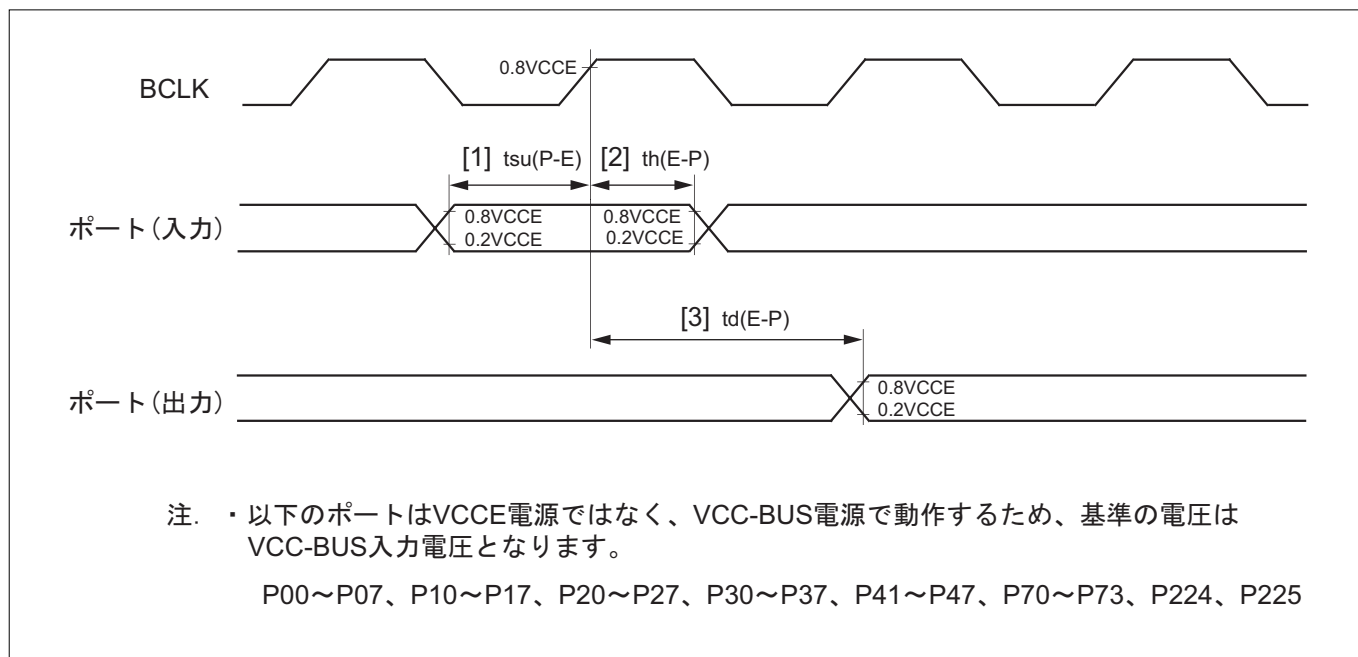


図23.9.4 入出力ポートタイミング

(5) シリアルインタフェース

a) CSIOモード、内部クロック選択時

	記号	項目	規格値		単位	参照図番 図23.9.5
			最小	最大		
タイミ ング 条件	tsu(D-CLK)	RXD入力セットアップ時間	3ポイントサンプリング無効時	80	ns	[4]
			3ポイントサンプリング有効時	$80+t\alpha(\text{BCLK})$	ns	
	th(CLK-D)	RXD入力ホールド時間		$15+t\alpha(\text{BCLK})$	ns	[5]
ス イ ッ チ 特 性	t α (CLK-D)	TXD出力遅延時間		50	ns	[6]
	th(CLK-D)	TXDホールド時間	0		ns	[98]

b) CSIOモード、外部クロック選択時

	記号	項目	規格値		単位	参照図番 図23.9.5
			最小	最大		
タイミ ング 条件	t α (CLK)	CLK入力サイクル時間	$16 \times t\alpha(\text{BCLK})$		ns	[7]
	tw(CLKH)	CLK入力"H"パルス幅	$5 \times t\alpha(\text{BCLK})$		ns	[8]
	tw(CLKL)	CLK入力"L"パルス幅	$5 \times t\alpha(\text{BCLK})$		ns	[9]
	tsu(D-CLK)	RXD入力セットアップ時間	50		ns	[10]
	th(CLK-D)	RXD入力ホールド時間	$55+t\alpha(\text{BCLK})$		ns	[11]
ス イ ッ チ 特 性	t α (CLK-D)	TXD出力遅延時間	3ポイントサンプリング無効時	$85+2t\alpha(\text{BCLK})$	ns	[12]
			3ポイントサンプリング有効時	$85+3t\alpha(\text{BCLK})$	ns	

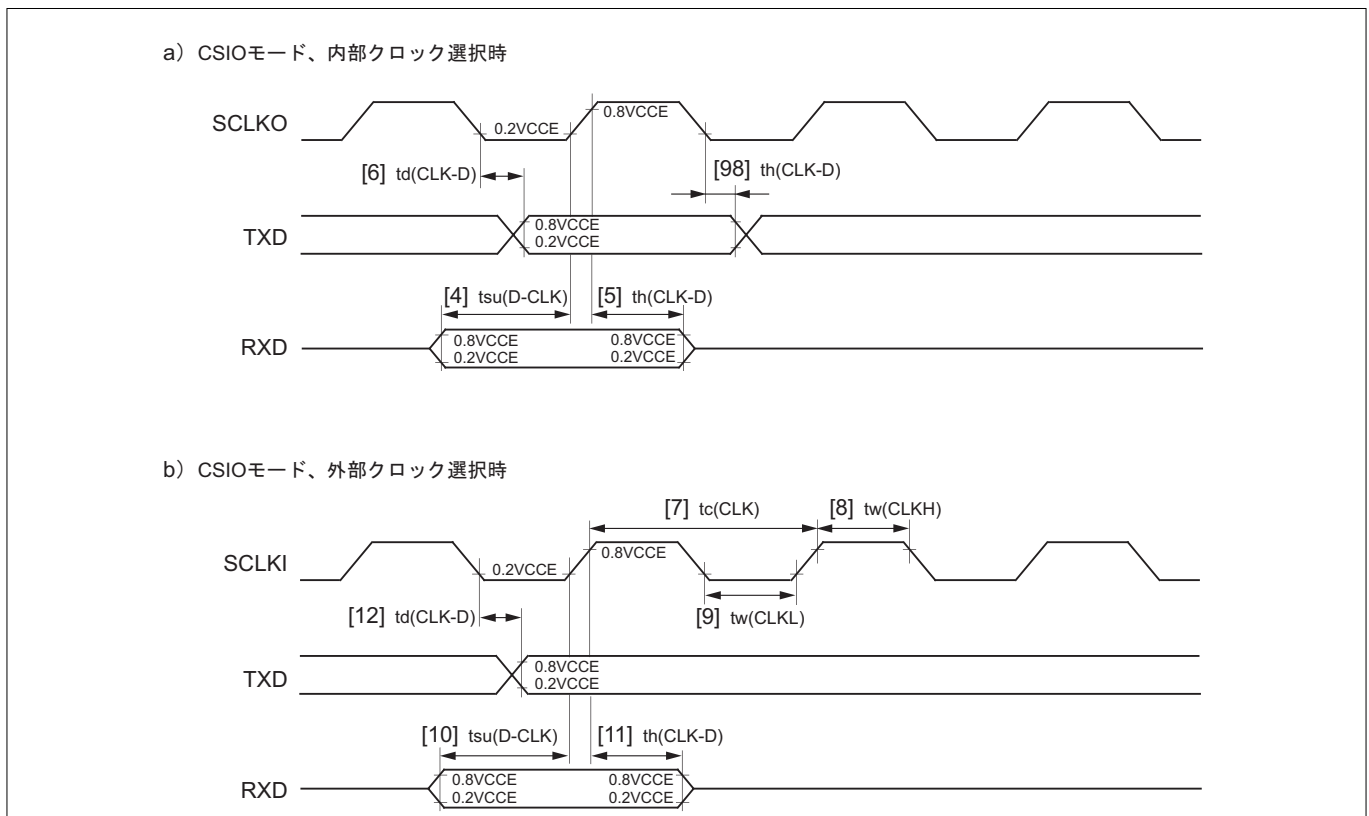


図23.9.5 シリアルインタフェースタイミング

(6) SBI

	記号	項目	規格値		単位	参照図番 図23.9.6
			最小	最大		
タイミ ング 必要 条件	tw(SBIL)	SBI#入力パルス幅	$5 \times \frac{t\alpha(\text{BCLK})}{2}$		ns	[13]

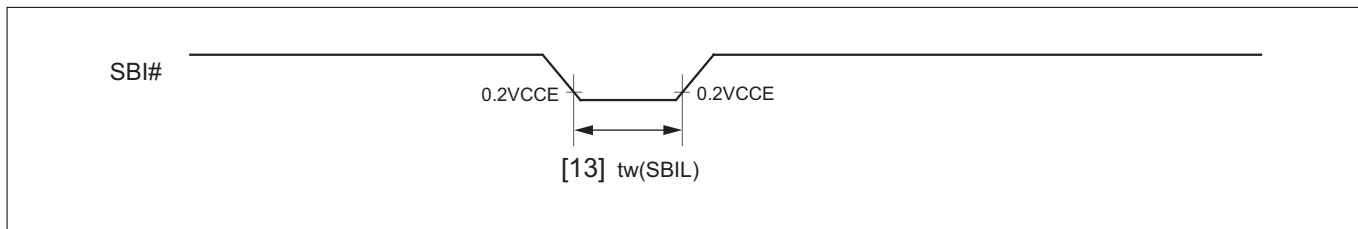


図23.9.6 SBIタイミング

(7) TIN

	記号	項目	規格値		単位	参照図番 図23.9.7
			最小	最大		
タイミ ング 必要 条件	tw(TIN)	TIN入力パルス幅	BCLK/4 選択時(注1)	$7 \times t\alpha(\text{BCLK})$	ns	[14]
			BCLK/4 以外選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$	ns	

注1. TIN24、25、PWMOFF0は、TOU0制御レジスタ(TOU0CR1)PRS3CKSビット、TIN26、27、PWMOFF1は、TOU1制御レジスタ(TOU1CR1)PRS4CKSビット、その他のTINIは、共通カウントクロック選択レジスタ(CNTCKSEL)PRS012CKSビットにより選択

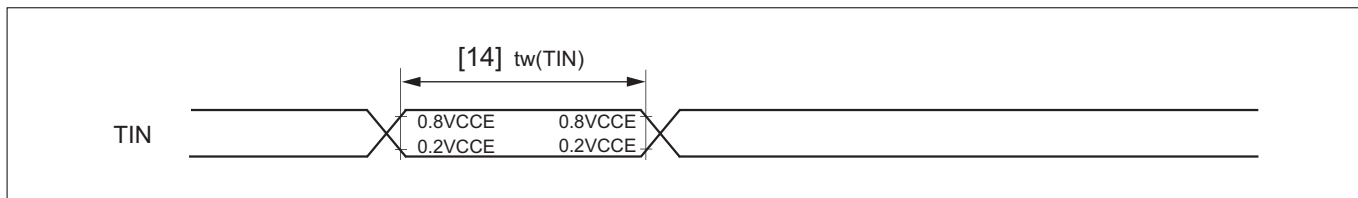


図23.9.7 TINタイミング

(8) TO

	記号	項目	規格値		単位	参照図番 図23.9.8
			最小	最大		
ン グ ス イ ツ ッ チ 特 性	tα(BCLK-TO)	TO出力遅延時間		100	ns	[15]

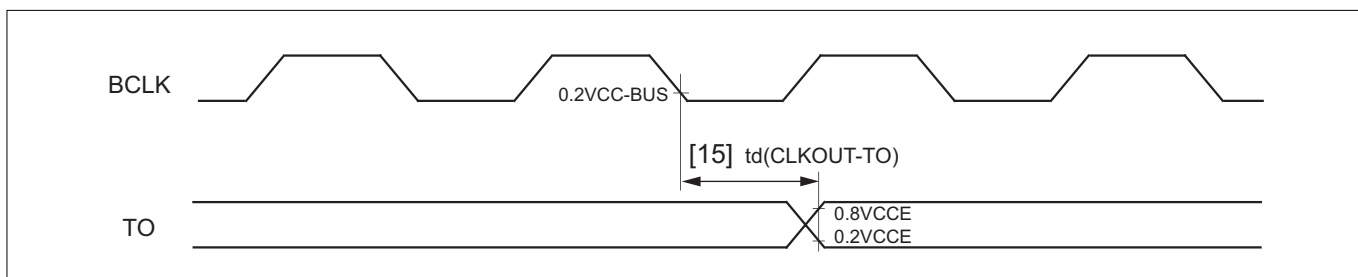


図23.9.8 TOタイミング

(9)TCLK

	記号	項目	規格値		単位	参照図番 図23.9.9
			最小	最大		
タイミング 必要条件	tw(TCLKH)	TCLK入力"H"パルス幅	BCLK/4選択時(注1)	$7 \times t\alpha(\text{BCLK})$		[99]
			BCLK/2選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$		
	tw(TCLKL)	TCLK入力"L"パルス幅	BCLK/4選択時(注1)	$7 \times t\alpha(\text{BCLK})$		[100]
			BCLK/2選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$		

注1．共通カウントクロック選択レジスタ(CNTCKSEL)PRS012CKSビットにより選択

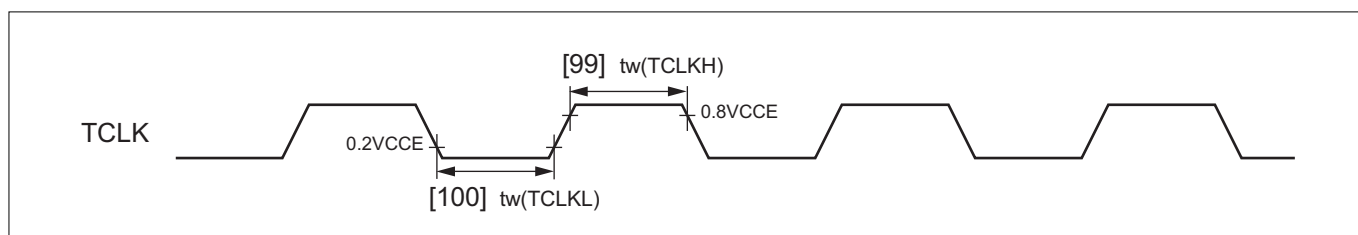


図23.9.9 TCLKタイミング

(10)リードおよびライトタイミング(1/4)

	記号	項目	規格値		単位	参照図番 図23.9.10 図23.9.11
			最小	最大		
タイミング 必要条件	tsu(D-CLKOUTH)	CLKOUT前データ入力セットアップ時間	26		ns	[31]
	th(CLKOUTH-D)	CLKOUT後データ入力ホールド時間	0		ns	[32]
	tsu(WAITL-CLKOUTH)	CLKOUT前WAIT#入力セットアップ時間	26		ns	[33]
	th(CLKOUTH-WAITL)	CLKOUT後WAIT#入力ホールド時間	0		ns	[34]
	tsu(WAITH-CLKOUTH)	CLKOUT前WAIT#入力セットアップ時間	26		ns	[78]
	th(CLKOUTH-WAITH)	CLKOUT後WAIT#入力ホールド時間	0		ns	[79]
スイッチング 特性	tv(CLKOUTH-BLWL) tv(CLKOUTH-BHWL)	CLKOUT後ライト有効時間 (0ウェイト時)	-5		ns	[90]
	td(CLKOUTH-RDL)	CLKOUT後リード遅延時間 (SWAIT、CWAITの何れか一方に1設定時)		12	ns	[92]
	td(CLKOUTH-BLWL) td(CLKOUTH-BHWL)	CLKOUT後ライト遅延時間 (バイトライトモード) (SWAIT、CWAITの何れか一方に1設定時)		13	ns	[112]
	td(CLKOUTL-BLWH) td(CLKOUTL-BHWH)	CLKOUT後ライト遅延時間		14	ns	[97]
	tc(CLKOUT)	CLKOUT出力サイクル時間		$\frac{tc(XIN)}{2}$	ns	[16]
	tw(CLKOUTH)	CLKOUT出力"H"パルス幅	$\frac{tc(CLKOUT)}{2} - 5$		ns	[17]
	tw(CLKOUTL)	CLKOUT出力"L"パルス幅	$\frac{tc(CLKOUT)}{2} - 5$		ns	[18]
	td(CLKOUTH-A)	CLKOUT後アドレス遅延時間		24	ns	[19]
	td(CLKOUTH-CS)	CLKOUT後チップセレクト遅延時間 (CWAIT = 0設定時)		24	ns	[20]
	td(CLKOUTL-CSL)	CLKOUT後チップセレクト遅延時間 (CWAIT = 1設定時)		24	ns	[113]
	tv(CLKOUTH-A)	CLKOUT後アドレス有効時間	-5		ns	[21]
	tv(CLKOUTH-CS)	CLKOUT後チップセレクト有効時間	-5		ns	[22]
	td(CLKOUTL-RDL)	CLKOUT後リード遅延時間 (SWAIT、CWAITが共に0設定時、 または共に1設定時)		10	ns	[23]
	tv(CLKOUTH-RDL)	CLKOUT後リード有効時間	-5		ns	[24]
	td(CLKOUTL-BLWL) td(CLKOUTL-BHWL)	CLKOUT後ライト遅延時間 (SWAIT、CWAITが共に0設定時、 または共に1設定時)		11	ns	[25]
	tv(CLKOUTL-BLWL) tv(CLKOUTL-BHWL)	CLKOUT後ライト有効時間	-5		ns	[26]
	td(CLKOUTL-D)	CLKOUT後データ出力遅延時間		0ウェイト時 : 11 1ウェイト以上時 : 18	ns	[27]
	tv(CLKOUTH-D)	CLKOUT後データ出力有効時間	0ウェイト時 : -4 1ウェイト以上時 : -10		ns	[28]
	tpzx(CLKOUTL-DZ)	CLKOUT後データ出カインエーブル時間	-10		ns	[29]
	tpxz(CLKOUTH-DZ)	CLKOUT後データ出力ディスエーブル時間		5	ns	[30]
tw(CSH)	チップセレクト"H"パルス幅	C = 0 : (tc(CLKOUT) × ID) - 15ID C = 1 : $\frac{1}{2}tc(CLKOUT) + ID - 15$		ns	[114]	

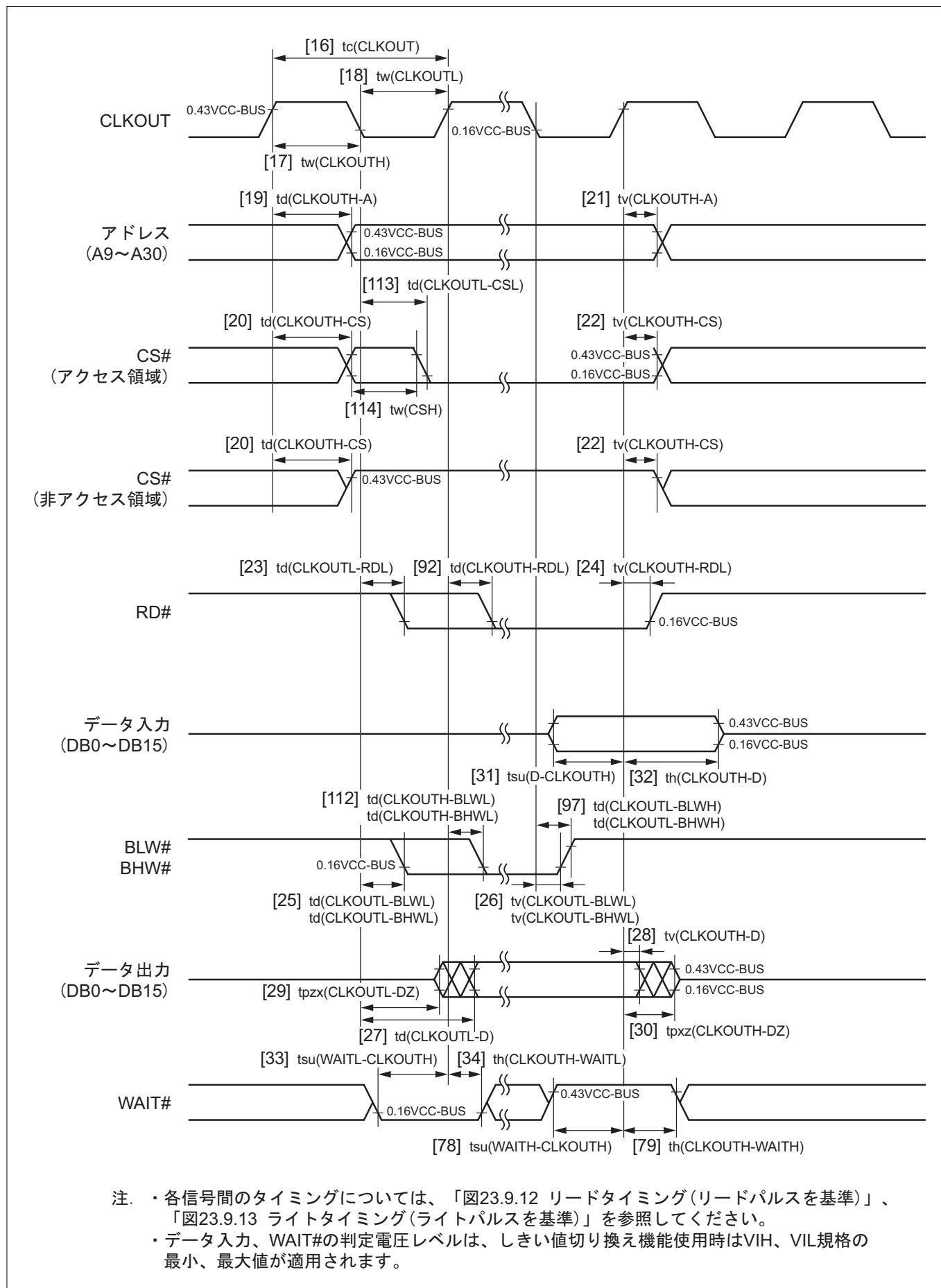


図23.9.10 リードおよびライトタイミング(CLKOUT基準) 1ウェイト以上挿入時

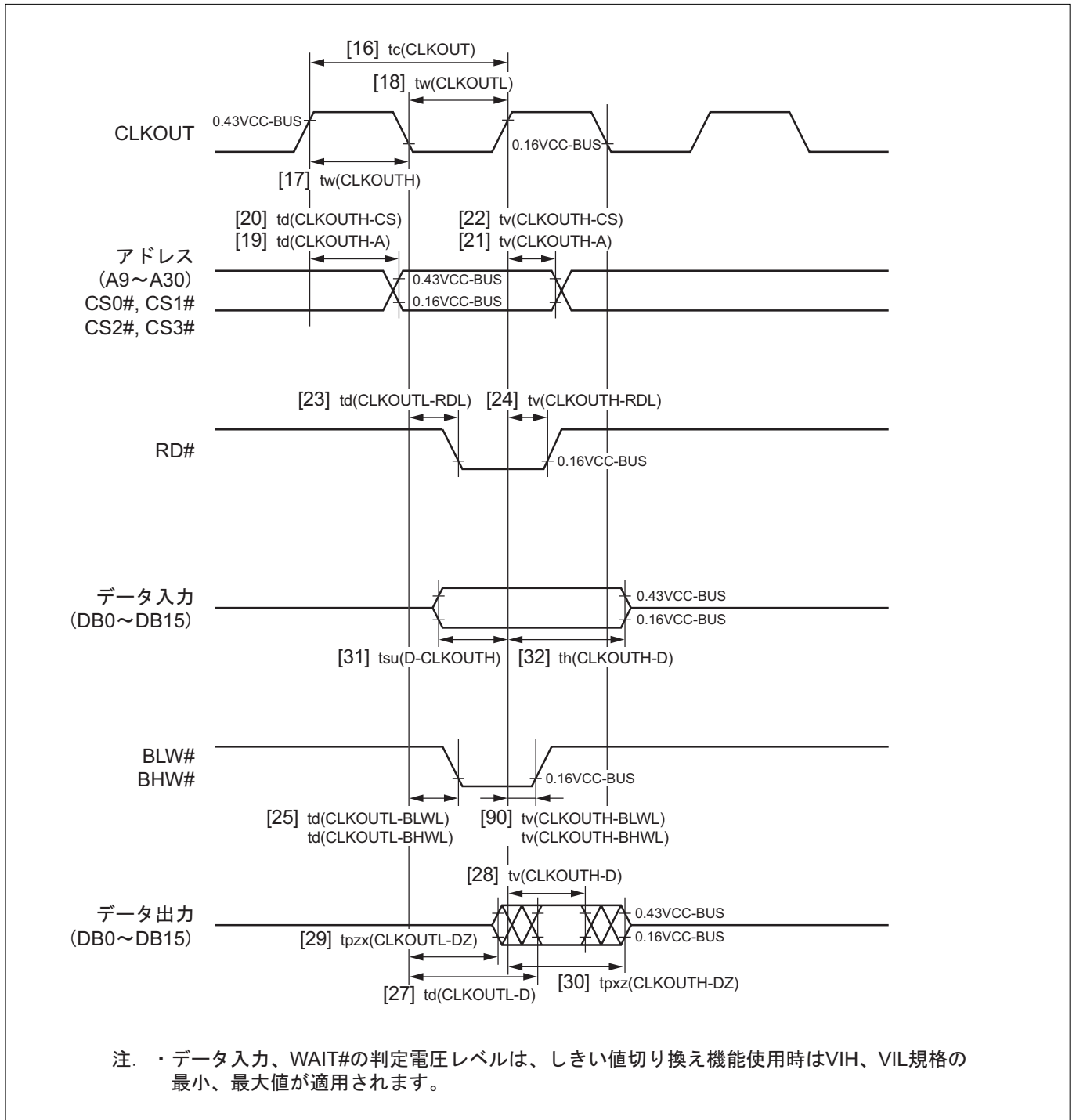


図23.9.11 リードおよびライトタイミング (CLKOUT基準) 0ウェイト時

(11)リードおよびライトタイミング(2/4)

	記号	項目	規格値		単位	参照図番 図23.9.12 図23.9.13
			最小	最大		
必要条件 タイミング	tsu(D-RDH)	リード前データ入力セットアップ時間	30		ns	[44]
	th(RDH-D)	リード後データ入力ホールド時間	0		ns	[45]
	tsu(WAITH-RDL)	リード前ウェイト入力セットアップ時間	tc(CLKOUT) + 21		ns	[132]
	tsu(WAITL-RDL)					
	tw(WAITH)	ウェイト"H"パルス幅 (注1)	26		ns	[133]
	tw(WAITL)	ウェイト"L"パルス幅 (注1)	26		ns	[134]
	tsu(WAITH-BLWL)	ライト前ウェイト入力セットアップ時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} + 21$		ns	[135]
	tsu(WAITH-BHWL)					
	tsu(WAITL-BLWL)					
tsu(WAITL-BHWL)						
スイッチング特性	tw(RDH)	リード"H"パルス幅	$\frac{tc(CLKOUT)}{2} (1+C+S) - 5$		ns	[55]
	tw(RDL)	リード"L"パルス幅	$\frac{tc(CLKOUT)}{2} (1+2W-C-S) - 20$		ns	[43]
	tw(BLWL)	ライト"L"パルス幅 (バイトライトモード)	0ウェイト時: $\frac{tc(CLKOUT)}{2} - 8$		ns	[51]
	tw(BHWL)		1ウェイト以上時: $\frac{tc(CLKOUT)}{2} (2W-C-S) - 20$			
	td(RDH-BLWL)	リード後ライト遅延時間	$tc(CLKOUT) (\frac{1+C+S}{2} + R + ID) - 10$		ns	[56]
	td(RDH-BHWL)					
	td(BLWH-RDL)	ライト後リード遅延時間	0ウェイト時: $\frac{tc(CLKOUT)}{2} - 10$		ns	[57]
	td(BHWH-RDL)		1ウェイト以上時: $tc(CLKOUT) (1+R + \frac{C+S}{2}) - 10$			
	td(CSL-RDL)	リード前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S) - 16$		ns	[93]
	td(CSL-BLWL)	ライト前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S) - 15$		ns	[95]
	td(CSL-BHWL)					
	td(A-RDL)	リード前アドレス遅延時間	$\frac{tc(CLKOUT)}{2} (1+C+S) - 15$		ns	[39]
	td(CS-RDL)	リード前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S) - 15$		ns	[40]
	tv(RDH-A)	リード後アドレス有効時間	$tc(CLKOUT) \times (R + ID)$		ns	[41]
	tv(RDH-CS)	リード後チップセレクト有効時間	$tc(CLKOUT) \times R$		ns	[42]
	tpzx(RDH-DZ)	リード後データ出カインエーブル時間	$tc(CLKOUT) (\frac{1}{2} + R + ID)$		ns	[46]
	td(A-BLWL)	ライト前アドレス遅延時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} (1+C+S) - 15$		ns	[47]
	td(A-BHWL)					
	td(CS-BLWL)	ライト前チップセレクト遅延時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} (1+S) - 15$		ns	[48]
	td(CS-BHWL)					
tv(BLWH-A)	ライト後アドレス有効時間 (バイトライトモード)	0ウェイト時: -5		ns	[49]	
tv(BHWH-A)		1ウェイト以上時: $tc(CLKOUT) (\frac{1}{2} + R) - 5$				
tv(BLWH-CS)	ライト後チップセレクト有効時間 (バイトライトモード)	0ウェイト時: -5		ns	[50]	
tv(BHWH-CS)		1ウェイト以上時: $tc(CLKOUT) (\frac{1}{2} + R) - 5$				
td(BLWL-D)	ライト後データ出力遅延時間 (バイトライトモード)		0ウェイト時: 5		ns	[52]
td(BHWL-D)			1ウェイト以上時: $15 - (\frac{tc(CLKOUT)}{2}) \times (S+C)$			

注1. tsu(WAITH-RDL), tsu(WAITL-RDL), tsu(WAITH-BLWL), tsu(WAITH-BHWL), tsu(WAITL-BLWL), tsu(WAITL-BHWL)の最小値の位置からtw(WAITH), tw(WAITL)の期間、レベルを保持してください。

	記号	項目	規格値		単位	参照図番 図23.9.12 図23.9.13	
			最小	最大			
スイッチング特性	tv(BLWH-D) tv(BHWH-D)	ライト後データ出力有効時間 (バイトライトモード)	0ウェイト時: -7 1ウェイト以上時: $t_c(\text{CLKOUT})(\frac{1}{2} + R) - 13$		ns	[53]	
	tpzx(BLWL-DZ) tpzx(BHWL-DZ)	ライト後データ出力イネーブル時間 (バイトライトモード)	0ウェイト時: -20 1ウェイト時: $-22 - \frac{t_c(\text{CLKOUT})}{2} \times (S+C)$		ns	[126]	
	tpxz(BLWH-DZ) tpxz(BHWH-DZ)	ライト後データ出力ディスエーブル時間 (バイトライトモード)		0ウェイト時: 5 1ウェイト以上時: $t_c(\text{CLKOUT})(\frac{1}{2} + R) + 5$		ns	[54]

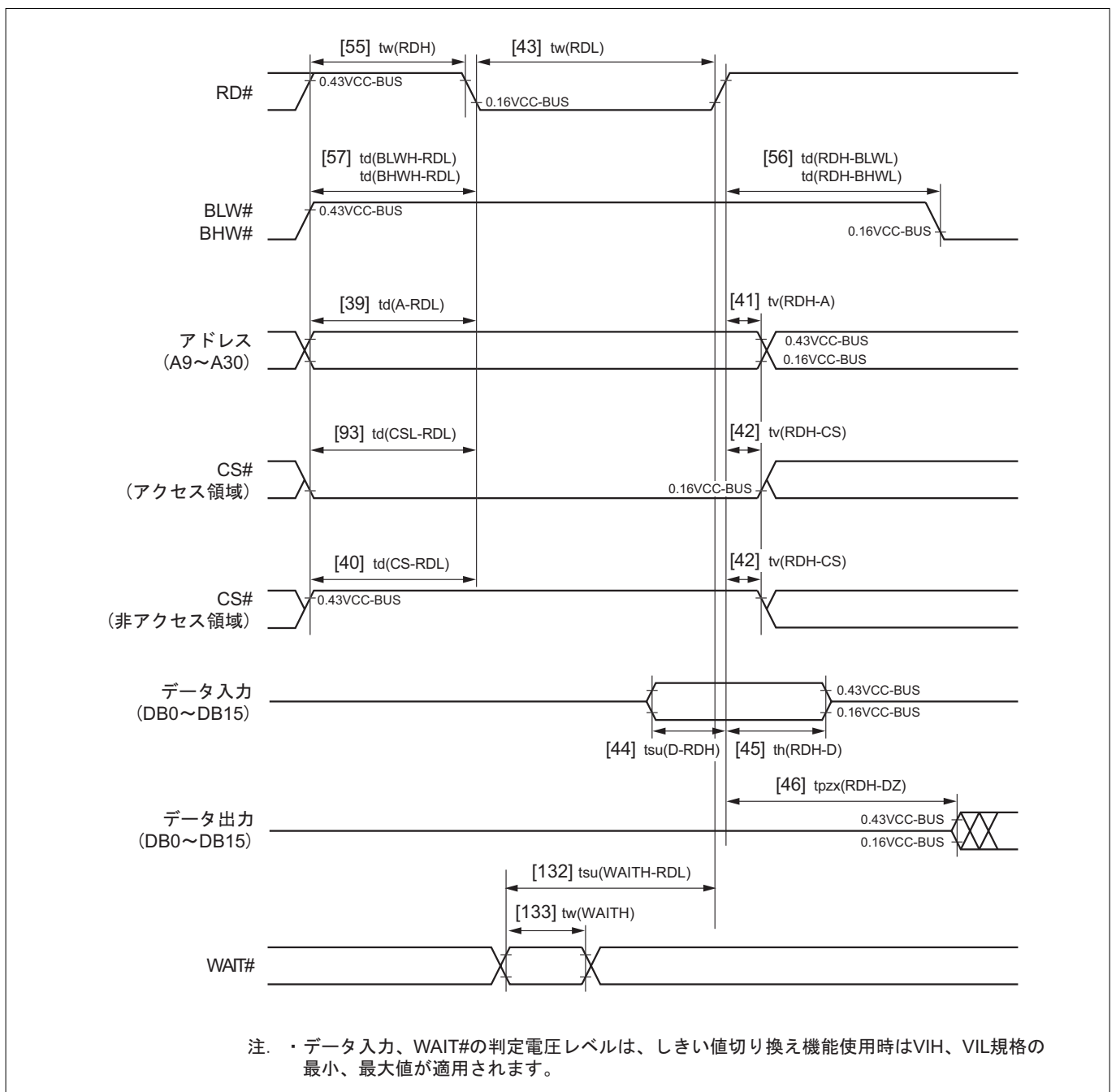


図23.9.12 リードタイミング(リードパルスを基準)

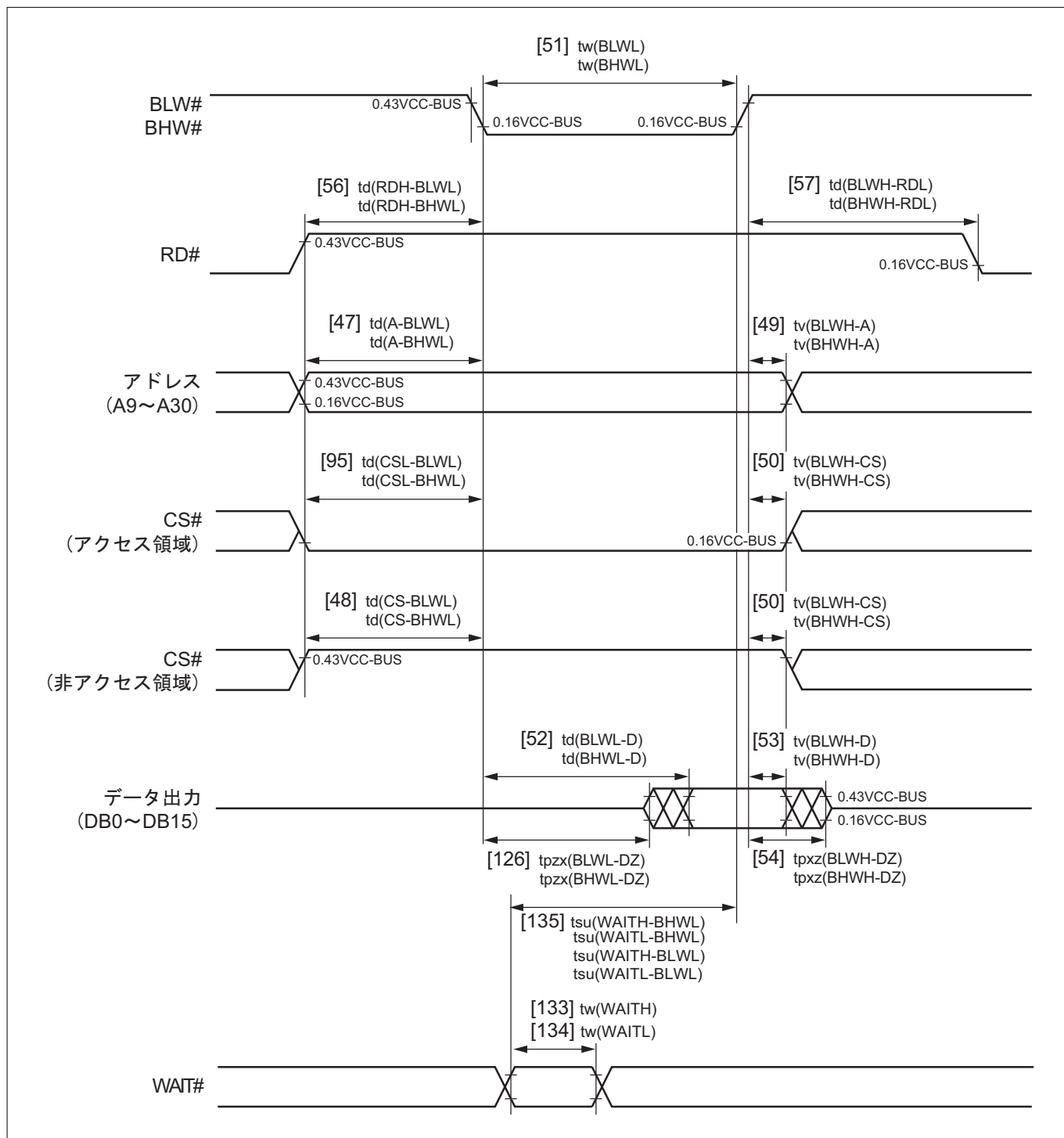


図23.9.13 ライトタイミング(ライトパルスを基準)

(12)リードおよびライトタイミング(3/4)

	記号	項目	規格値		単位	参照図番 図23.9.14
			最小	最大		
必要条件 タイミング	tsu(D-RDH)	リード前データ入力セットアップ時間	30		ns	[44]
	th(RDH-D)	リード前データ入力ホールド時間	0		ns	[45]
スイッチング 特性	td(A-RDL)	リード前アドレス遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+C+S) - 15$		ns	[39]
	td(CS-RDL)	リード前チップセレクト遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+S) - 15$		ns	[40]
	tv(RDH-A)	リード後アドレス有効時間	$t_c(\text{CLKOUT}) \times (R+ID)$		ns	[41]
	tv(RDH-CS)	リード後チップセレクト有効時間	$t_c(\text{CLKOUT}) \times R$		ns	[42]
	tw(RDL)	リード"L"パルス幅	$\frac{t\alpha(\text{CLKOUT})}{2}(1+2W-C-S) - 20$		ns	[43]
	tpzx(RDH-DZ)	リード後データ出力イネーブル時間	$t_c(\text{CLKOUT})(\frac{1}{2} + R+ID)$		ns	[46]
	td(RDH-WRL)	リード後ライト遅延時間 (バイトイネーブルモード)	$t_c(\text{CLKOUT})(\frac{1+C+S}{2} + R+ID) - 10$		ns	[80]
	td(WRH-RDL)	ライト後リード遅延時間 (バイトイネーブルモード)	0ウェイト時： $\frac{t\alpha(\text{CLKOUT})}{2} - 20$ 1ウェイト以上時： $t_c(\text{CLKOUT})(1+R+\frac{C+S}{2}) - 20$		ns	[81]
	td(CSL-RDL)	リード前チップセレクト遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+S) - 16$		ns	[93]
	td(BLEL-RDL)	リード前バイトイネーブル遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2} \times (1+S) - 20$		ns	[136]
	td(BHEL-RDL)	(バイトイネーブルモード)				
	tv(RDH-BLEL)	リード後バイトイネーブル有効時間	$t_c(\text{CLKOUT}) \times R - 5$		ns	[137]
tv(RDH-BHEL)	(バイトイネーブルモード)					

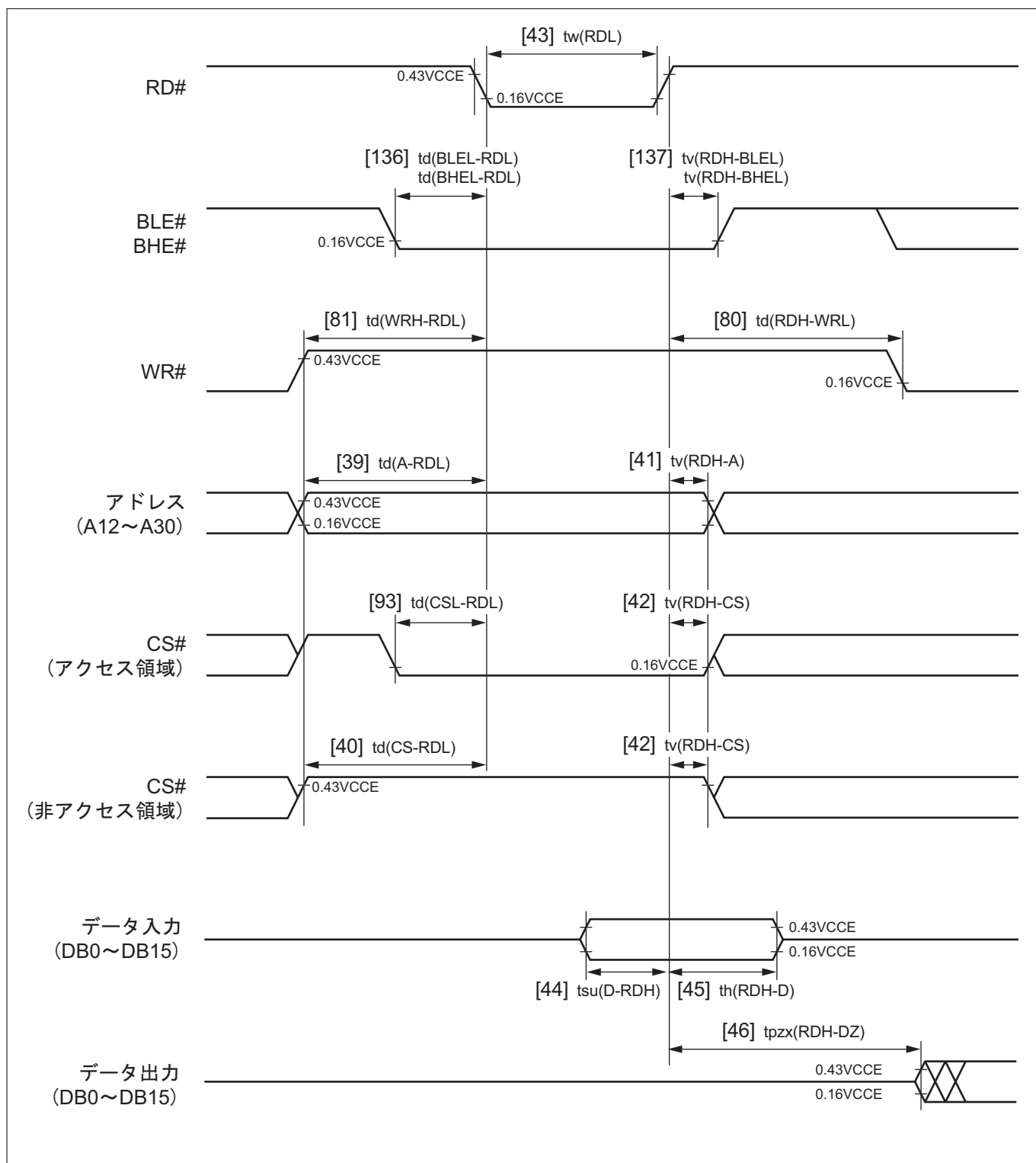


図23.9.14 リードタイミング(バイトイネーブルモード)

(13)リードおよびライトタイミング(4/4)

	記号	項目	規格値		単位	参照図番 図23.9.15
			最小	最大		
スイッチング特性	tw(WRL)	ライト"L"パルス幅 (バイトイネーブルモード)	0ウェイト時： $\frac{tc(\text{CLKOUT})}{2} - 6$ 1ウェイト以上時： $\frac{tc(\text{CLKOUT})}{2} (2W-C-S) - 20$		ns	[68]
	td(RDH-WRL)	リード後ライト遅延時間 (バイトイネーブルモード)	$tc(\text{CLKOUT}) \left(\frac{1+C+S}{2} + R + ID \right) - 10$		ns	[80]
	td(WRH-RDL)	ライト後リード遅延時間 (バイトイネーブルモード)	0ウェイト時： $\frac{tc(\text{CLKOUT})}{2} - 20$ 1ウェイト以上時： $tc(\text{CLKOUT}) \left(1 + R + \frac{C+S}{2} \right) - 20$		ns	[81]
	td(CSL-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S) - 15$		ns	[96]
	td(A-WRL)	ライト前アドレス遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+C+S) - 15$		ns	[69]
	td(CS-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S) - 15$		ns	[70]
	tv(WRH-A)	ライト後アドレス有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT}) \left(\frac{1}{2} + R \right) - 5$		ns	[71]
	tv(WRH-CS)	ライト後チップセレクト有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT}) \left(\frac{1}{2} + R \right) - 5$		ns	[72]
	td(BLEL-WRL) td(BHEL-WRL)	ライト前バイトイネーブル遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S) - 15$		ns	[73]
	tv(WRH-BLEL) tv(WRH-BHEL)	ライト後バイトイネーブル有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT}) \left(\frac{1}{2} + R \right) - 5$		ns	[74]
	td(WRL-D)	ライト後データ出力遅延時間 (バイトイネーブルモード)		0ウェイト時：7 1ウェイト以上時： $15 - \left(\frac{tc(\text{CLKOUT})}{2} \right) \times (S+C)$	ns	[75]
	tv(WRH-D)	ライト後データ出力有効時間 (バイトイネーブルモード)	0ウェイト時：-7 1ウェイト以上時： $tc(\text{CLKOUT}) \left(\frac{1}{2} + R \right) - 13$		ns	[76]
	tpzx(WRH-DZ)	ライト後データ出カインーブル時間 (バイトイネーブルモード)	0ウェイト時：-20 1ウェイト時： $-22 - \frac{tc(\text{CLKOUT})}{2} \times (S+C)$			[127]
	tpxz(WRH-DZ)	ライト後データ出カディスエーブル時間 (バイトイネーブルモード)		0ウェイト時：5 1ウェイト以上時： $tc(\text{CLKOUT}) \left(\frac{1}{2} + R \right) + 5$	ns	[77]

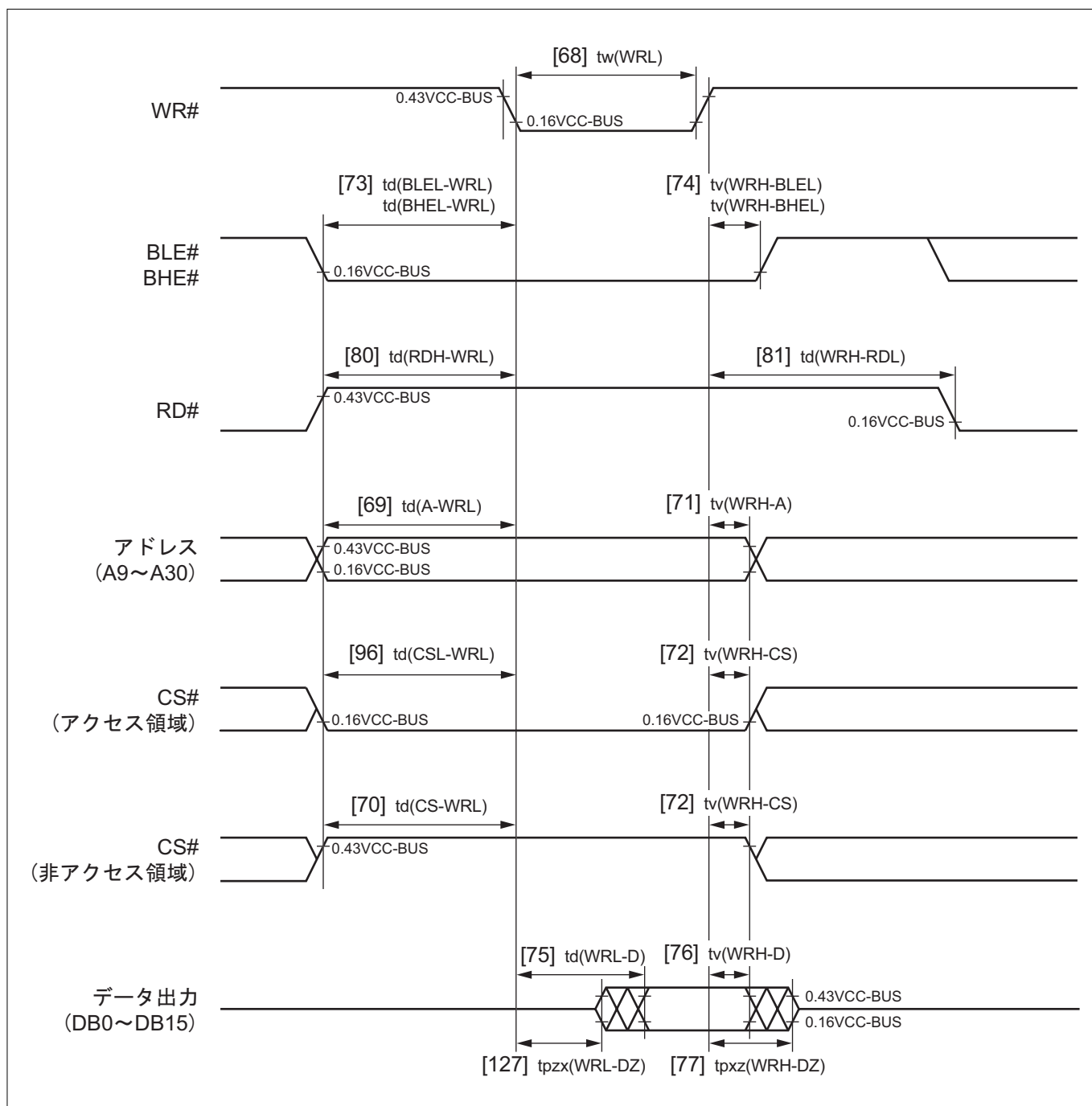


図23.9.15 ライトタイミング(バイトイネーブルモード)

(14)バスアービトレーションタイミング

	記号	項目	規格値		単位	参照図番 図23.9.16
			最小	最大		
必要条件 タイミング	$t_{su}(\text{HREQL-CLKOUTH})$	CLKOUT前HREQ#入力セットアップ時間	27		ns	[35]
	$t_h(\text{CLKOUTH-HREQL})$	CLKOUT後HREQ#入力ホールド時間	0		ns	[36]
スイッチ特性	$t_d(\text{CLKOUTL-HACKL})$	CLKOUT後HACK#遅延時間		29	ns	[37]
	$t_v(\text{CLKOUTL-HACKL})$	CLKOUT後HACK#有効時間	-11		ns	[38]

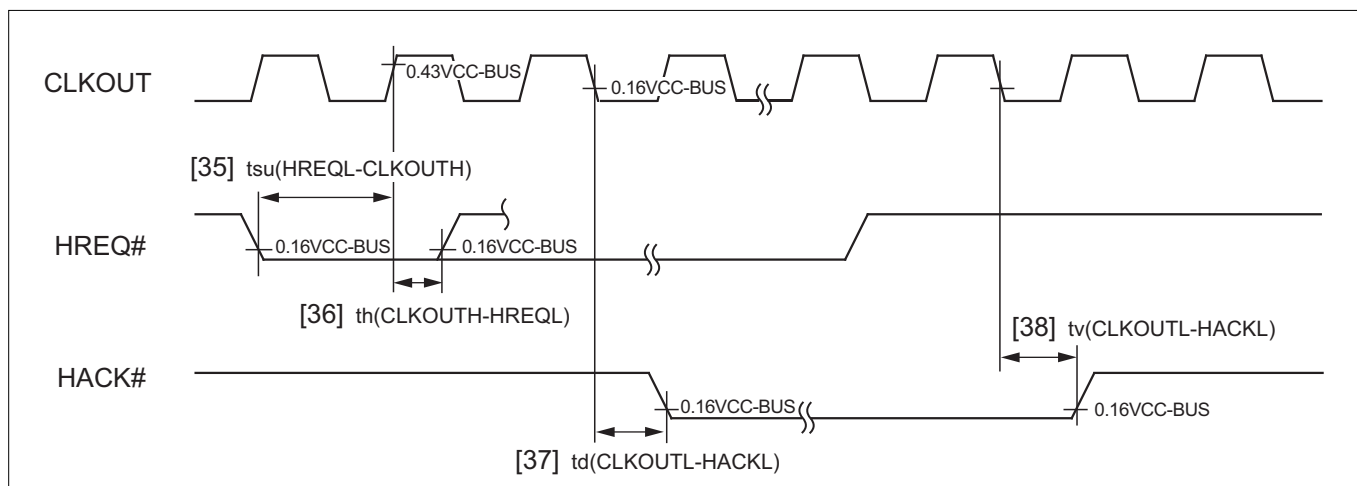


図23.9.16 バスアービトレーションタイミング

(15) JTAGインタフェースタイミング

	記号	項目	測定条件	規格値		単位	参照図番 図23.9.17
				最小	最大		
必要条件 タイミング	t_{α} (JTCK)	JTCK入力サイクル時間		100		ns	[60]
	t_w (JTCKH)	JTCK入力"H"パルス幅		40		ns	[61]
	t_w (JTCKL)	JTCK入力"L"パルス幅		40		ns	[62]
	t_{su} (JTDI-JTCK)	JTDI、JTMS入力セットアップ時間		15		ns	[63]
	t_h (JTCK-JTDI)	JTDI、JTMS入力ホールド時間		20		ns	[64]
	t_w (JTRST)	JTRST入力"L"パルス幅		t_{α} (JTCK)		ns	[67]
スイッチ特性	t_d (JTCK-JTDO)	JTCK後JTDO出力遅延時間	CL=80pF		40	ns	[65]
	t_{pzx} (JTCK-JTDOZ)	JTCK後JTDO出力カインープル時間	CL=80pF	5		ns	[128]
	t_{pxz} (JTCK-JTDOZ)	JTCK後JTDO出力ディスエーブル時間	CL=80pF		40	ns	[66]
	t_v (JTCK-JTDO)	JTCK後TDO出力有効時間	CL=80pF	5		ns	[129]

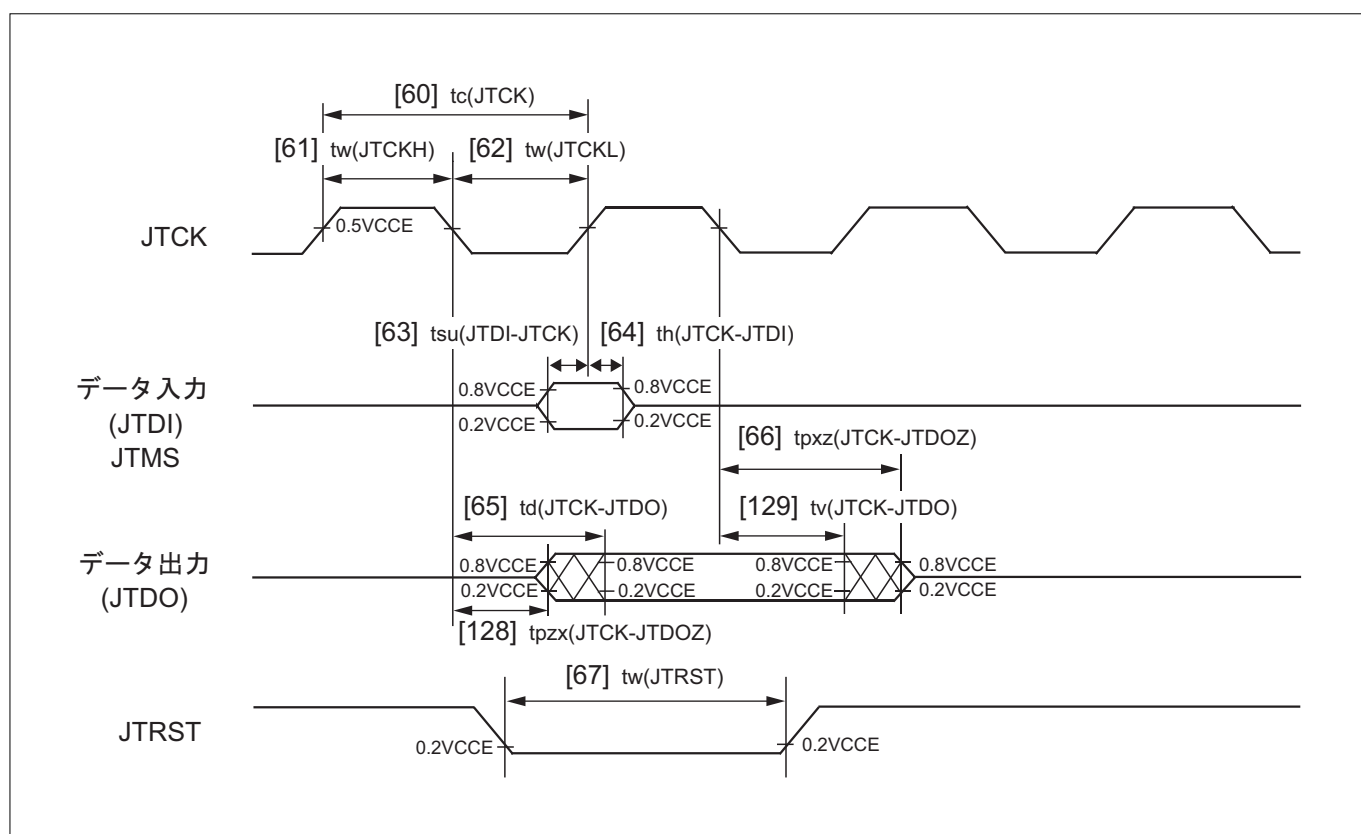


図23.9.17 JTAGインタフェースタイミング

(16) RTDタイミング

	記号	項目	規格値		単位	参照図番 図23.9.18
			最小	最大		
必要条件 タイミング	t_c (RTDCLK)	RTDCLK入力サイクル時間	500		ns	[82]
	t_w (RTDCLKH)	RTDCLK入力"H"パルス幅	230		ns	[83]
	t_w (RTDCLKL)	RTDCLK入力"L"パルス幅	230		ns	[84]
	t_h (RTDCLKH-RTDRXD)	RTDRXD入力ホールド時間	50		ns	[88]
	t_{su} (RTDRXD-RTDCLKL)	RTDRXD入力セットアップ時間	60		ns	[89]
スイッチ特性	t_d (RTDCLKH-RTDACK)	RTDCLK入力後RTDACK遅延時間		160	ns	[85]
	t_v (RTDCLKL-RTDACK)	RTDCLK入力後RTDACK有効時間		160	ns	[86]
	t_d (RTDCLKH-RTDTXD)	RTDCLK入力後RTDTXD遅延時間		160	ns	[87]

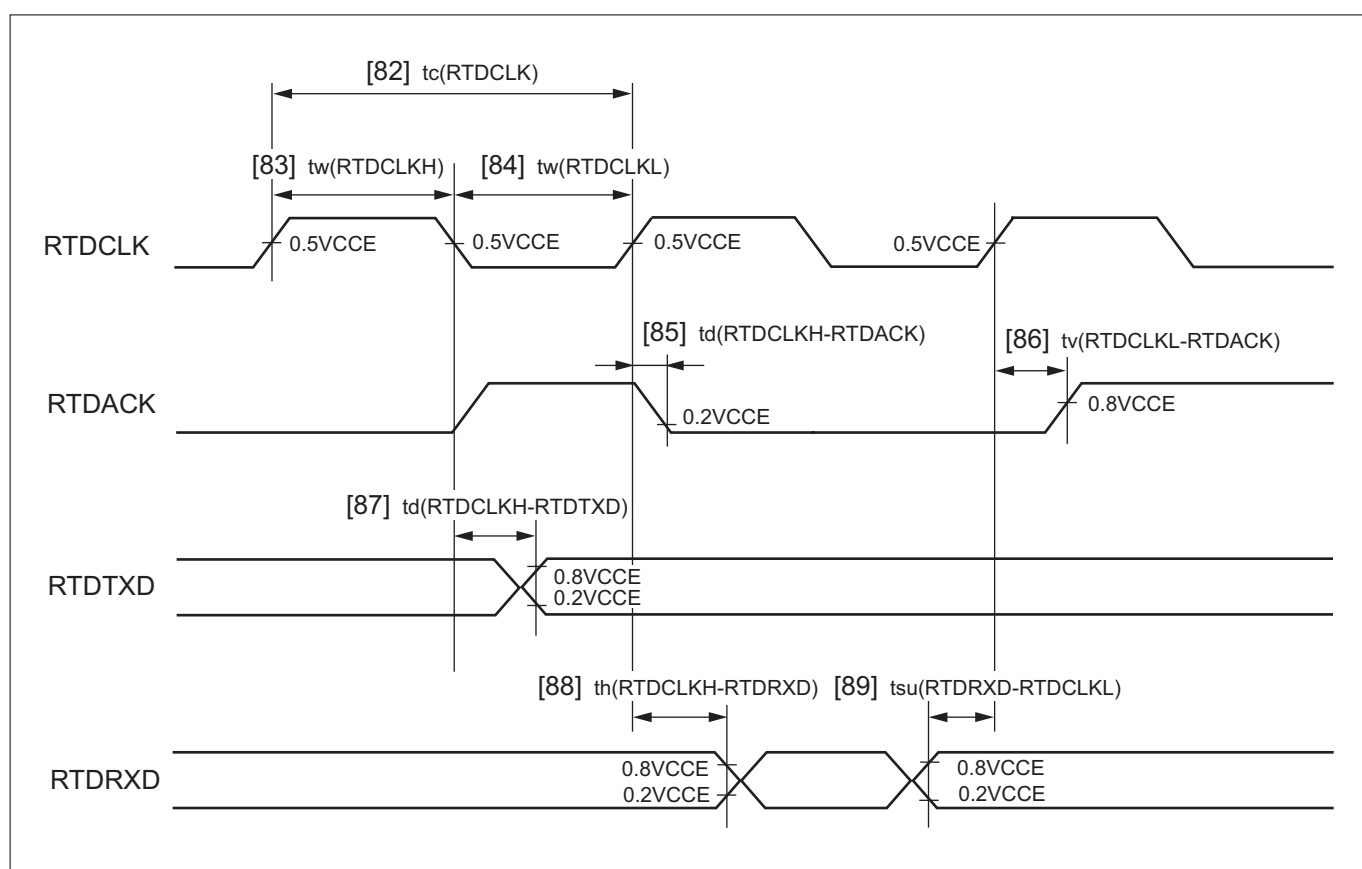


図23.9.18 RTDタイミング

(17) NBDタイミング

	記号	項目	測定条件	規格値		単位	参照図番 図23.9.19
				最小	最大		
タイミング必要条件	t_{α} (NBDCLK)	NBDCLK入力サイクル時間		80		ns	[103]
	t_w (NBDCLKL)	NBDCLK入力"L"パルス幅		35		ns	[104]
	t_{su} (NBDD-NBDCLKH)	NBDCLK前NBDD 入力セットアップ時間		20		ns	[107]
	t_h (NBDCLKH-NBDD)	NBDCLK後NBDD 入力ホールド時間		5		ns	[108]
	t_{su} (NBDSYNCL-NBDCLKH)	NBDCLK前NBDSYNC# 入力セットアップ時間		20		ns	[109]
	t_h (NBDCLKH-NBDSYNCL)	NBDCLK後NBDSYNC# 入力ホールド時間	CL=100pF	5		ns	[110]
スイッチ特性	t_{α} (NBDCLKH-NBDD)	NBDCLK後NBDD出力遅延時間	CL=100pF	7	t_{α} (NBDCLK) > 20	ns	[105]
	t_{pz} (NBDCLKH-NBDDZ)	NBDCLK後 NBDD出力カインエーブル時間	CL=100pF	5		ns	[130]
	t_{α} (NBDCLKH-NBDD)	NBDCLK後NBDD出力有効時間	CL=100pF	5		ns	[106]
	t_{pxz} (NBDCLKH-NBDDZ)	NBDCLK後 NBDD出力ディスエーブル時間	CL=100pF		60	ns	[131]
	t_w (NBDEVNTL)	NBDEVNT#出力"L"パルス幅	CL=100pF	30		ns	[111]

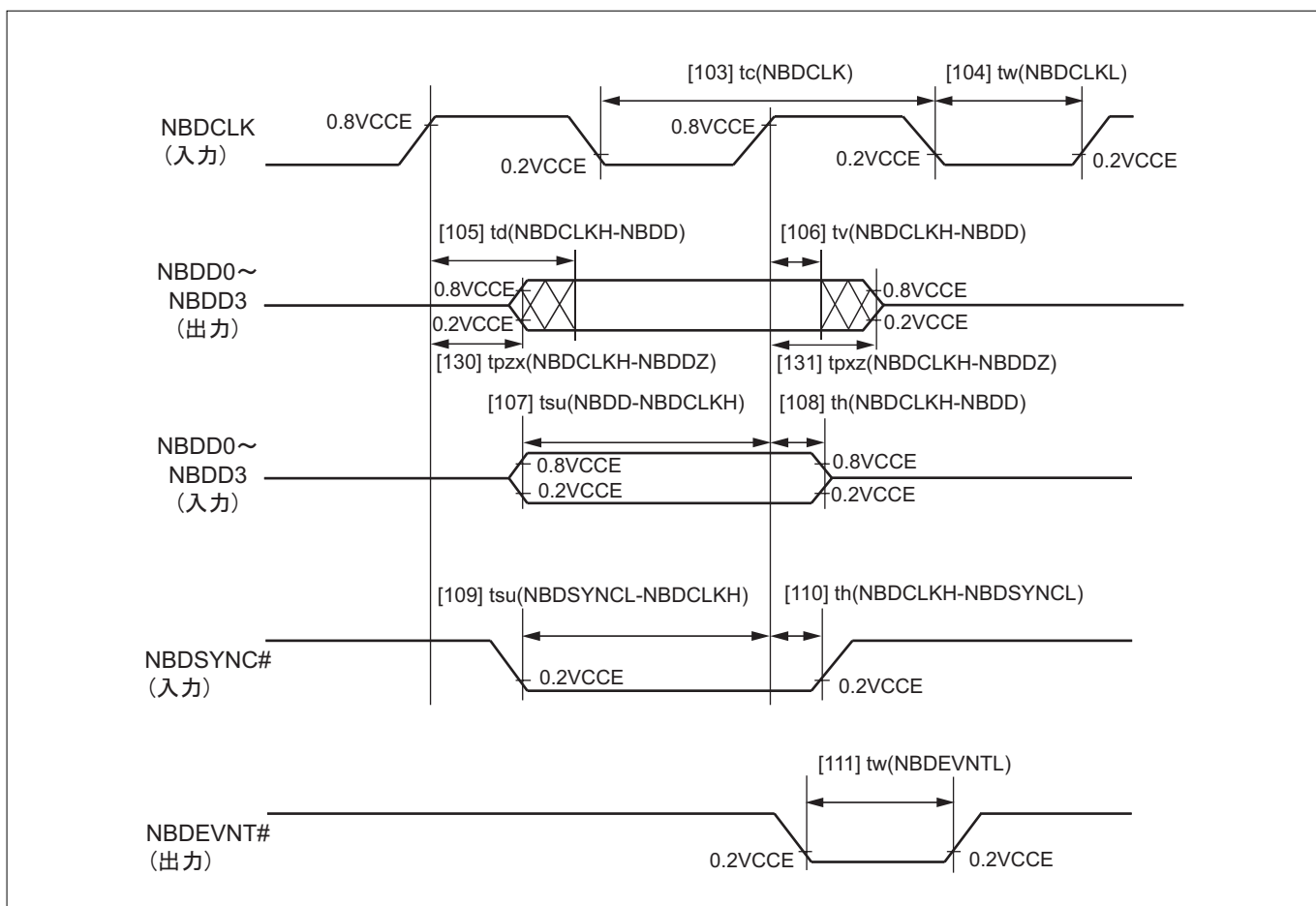


図23.9.19 NBDタイミング

(18) DRIタイミング

a) 特殊モードOFF時

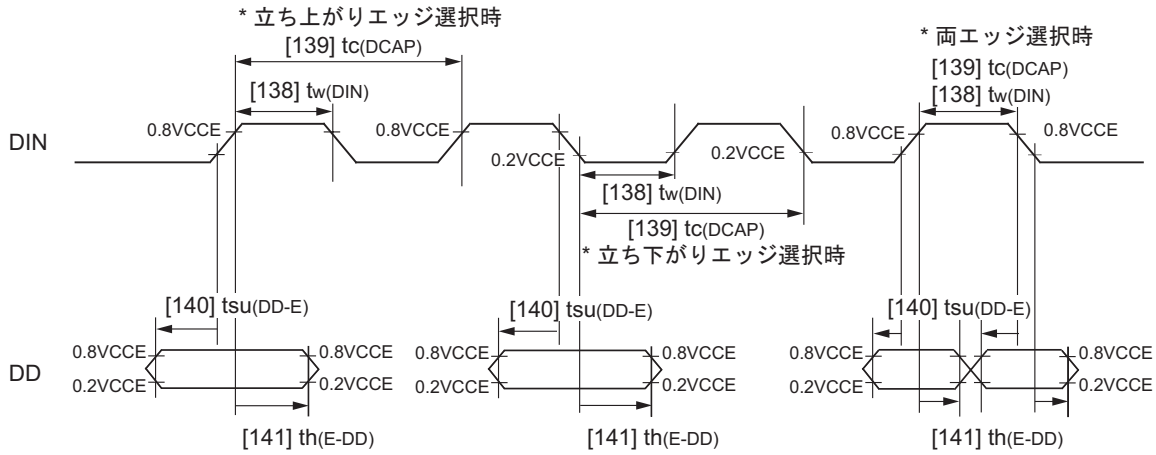
	記号	項目		規格値		単位	参照図番 図23.9.20
				最小	最大		
タイミング 必要条件	tw(DIN)	DIN入力パルス幅	DIN0、DIN1、DIN2、DIN3、DIN4	1.5×tα(BCLK)		ns	[138]
	tα(DCAP)	取り込み周期	入力データバス幅 8、16ビット時	3.5×tα(BCLK)		ns	[139]
			入力データバス幅 32ビット時	4×tα(BCLK)		ns	
	tsu(DD-E)	DD入力 - 取り込みエッジ セットアップ時間(注1)	取り込みイベントにDIN2、DIN3、DIN4選択時	20		ns	[140]
			取り込みイベントにDIN5選択時	40		ns	
	th(E-DD)	取り込みエッジ - DD入力 ホールド時間(注1)	取り込みイベントにDIN2、DIN3、DIN4選択時	15 + tα(BCLK)		ns	[141]
取り込みイベントにDIN5選択時			15 + tα(BCLK)		ns		
tα(E-E)	イベント検出が同時と ならないエッジ間隔	DIN0、DIN1、DIN2、DIN3、DIN4	15 + tα(BCLK)		ns	[142]	

注. ・本規格値は、取り込みタイミングをデフォルト設定とした時のものです。デフォルト以外の設定を行なっている場合は、基準エッジからtα(BCLK)だけ後ろにずらした点を基準として規格値を適用ください。

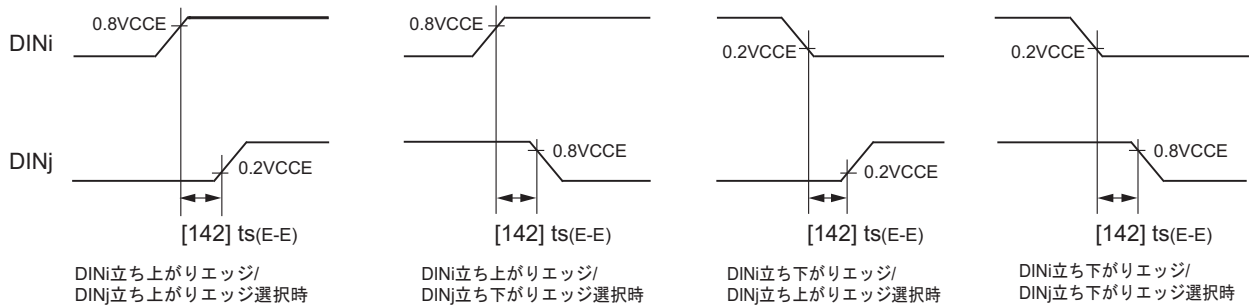
b) 特殊モードON時

	記号	項目		規格値		単位	参照図番 図23.9.20
				最小	最大		
タイミング 必要条件	tw(DIN)	DIN入力パルス幅	DIN0、DIN1、DIN2、DIN4	1.5×tα(BCLK)		ns	[138]
			DIN3	0.8×tα(BCLK)		ns	
	tα(DCAP)	取り込み周期	入力データバス幅 8、16ビット時	2×tα(BCLK)		ns	[139]
	tsu(DD-E)	DD入力 - 取り込みエッジ セットアップ時間	取り込みイベントにDIN3選択時	20		ns	[140]
			取り込みイベントにDIN3選択時	20		ns	[141]
	th(E-DD)	取り込みエッジ - DD入力 ホールド時間	取り込みイベントにDIN3選択時	20		ns	[141]
	tα(E-E)	イベント検出が同時とならない エッジ間隔	DIN0、DIN1、DIN2、DIN4	15 + tα(BCLK)		ns	[142]
tar	DIN1による初期化レベル解除前の DIN3サンプリングエッジ不定期間		20		ns	[143]	
tbr	DIN1による初期化レベル解除後の DIN3サンプリングエッジ不定期間		20		ns	[144]	

a) データ取り込みタイミング



b) DINエッジ検出タイミング (DRI内部でエッジ検出が同時とならないための間隔)



c) 特殊モード時のDIN1による初期化後のDIN3サンプリングエッジ

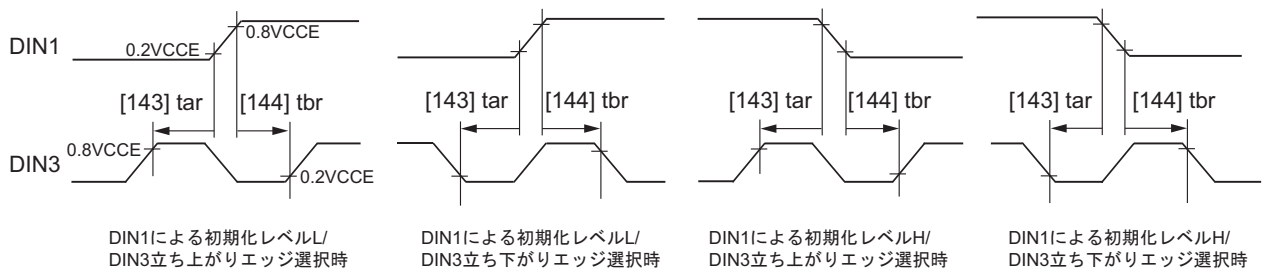


図23.9.20 DRIタイミング

23.10 AC特性(VCCE = 3.3V時)

- 指定のないタイミング条件は、VCCE、VCCER、VCC-BUS、VDDE = 3.3V ± 0.3V、Ta = - 40 ~ 125 です。
- 規格値は測定端子の出力負荷容量が15pF ~ 50pFの時の保証値(ただし、JTAG関連は80pF、NBD関連は100pFの集中キャパシタンス時の保証値)です。
- 規格値中のW、C、S、R、IDの意味は下記のとおりです。CS領域ウェイト制御レジスタの詳細については、CSn領域ウェイト制御レジスタ(CSnWTCR)を参照してください。
 W : ウェイト数(CSn領域ウェイト制御レジスタのWAITビットで選択)
 C : CSn領域ウェイト制御レジスタのCWAITビット = 1の時"1"、CWAITビット = 0の時"0"
 S : CSn領域ウェイト制御レジスタのSWAITビット = 1の時"1"、SWAITビット = 0の時"0"
 R : CSn領域ウェイト制御レジスタのRECOVビット = 1の時"1"、RECOVビット = 0の時"0"
 ID : バスサイクルの最後に挿入されるアイドルサイクルのサイクル数。CSn領域ウェイト制御レジスタのIDLEビットの設定により挿入される場合と、リードの直後にライトが実行された場合にデフォルトで挿入される場合がある(ID = 0、または1)。
- 外部バスのクロック同期タイミングは、CLKOUT基準で規定しています(BCLK基準での規定はありません)。
- CLKOUT/WR#機能はP70/CLKOUT/WR#/BCLK端子(78番端子)と、P150/TIN0/CLKOUT/WR#端子(133番端子)の2端子に割り当てられています。指定のない場合は、CLKOUT端子/WR#端子の特性値は、133番端子の値です。
- 出力ドライブ能力については、下記条件での値です。出力ドライブ能力の切り換えについては、「8.5ポート出力ドライブ能力設定機能」をご参照ください。
 - CLKOUT端子/WR#端子(133番端子) : ドライブ能力高を選択
 - その他の出力端子 : ドライブ能力低(リセット解除時の値)を選択

(1) 出力スイッチング特性測定回路

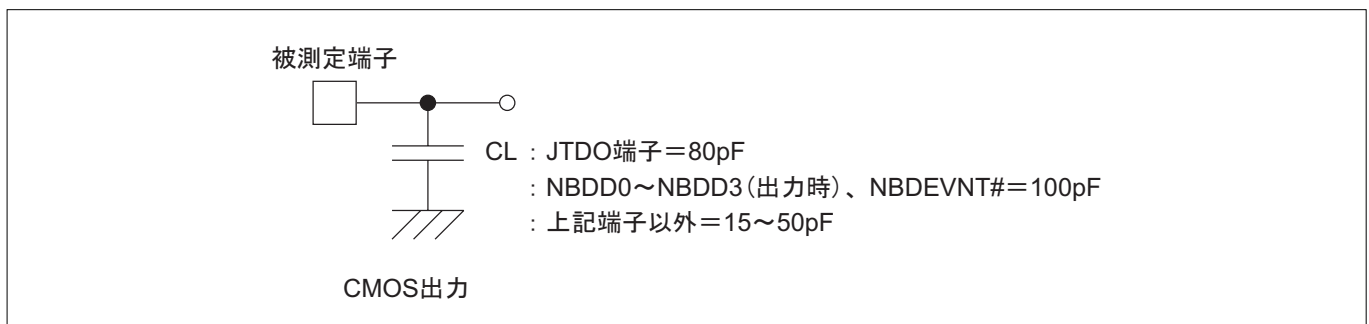


図23.10.1 出力スイッチング特性測定回路

(2) 入力および出力遷移時間

	記号	項目	規格値		単位	参照図番 図23.10.2	
			最小	最大			
タイミング 必要条件	t _r (INPUT)	入力立ち上がり 遷移時間(注1)	NBDCLK、NBDD0 ~ NBDD3端子(入力時)、 NBDSYNC#端子		8	ns	[115]
			JTCK、JTDI、JTMS		10	ns	
			JTRST端子		2	ms	
	t _f (INPUT)	入力立ち下がり 遷移時間(注1)	NBDCLK、NBDD0 ~ NBDD3端子(入力時)、 NBDSYNC#端子		8	ns	[116]
			JTCK、JTDI、JTMS		10	ns	
			JTRST端子		2	ms	

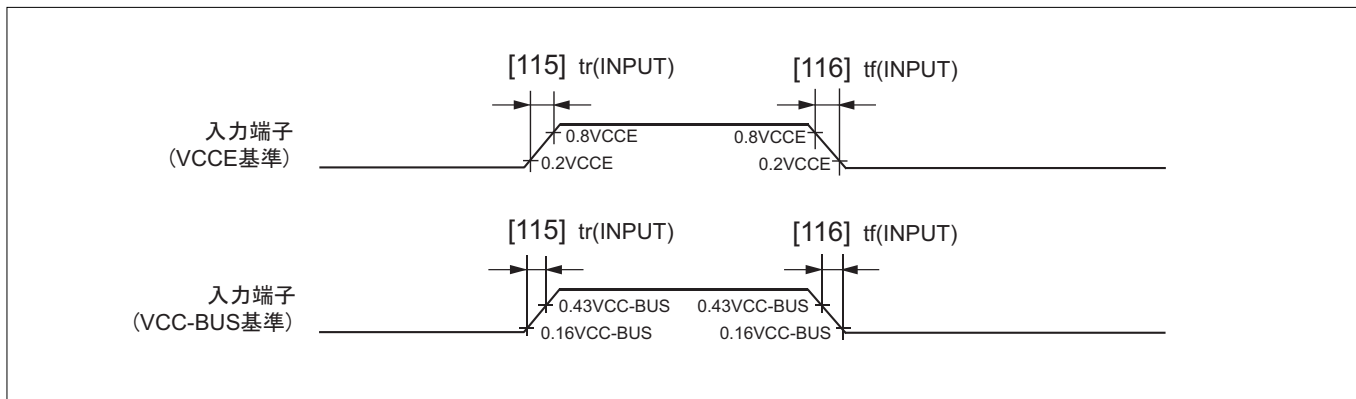
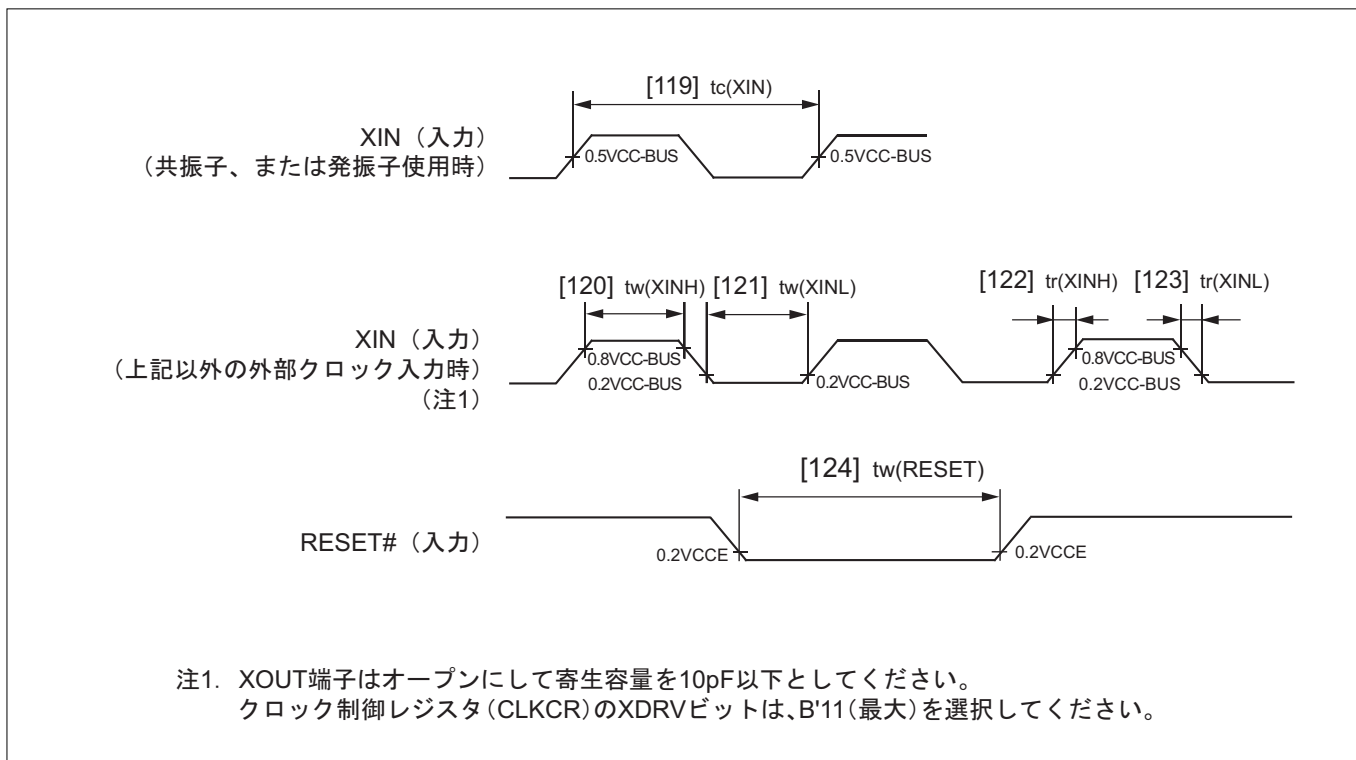


図23.10.2 入出力遷移時間

(3) クロックおよびリセットタイミング

	記号	項目	規格値		単位	参照図番 図23.10.3
			最小	最大		
必要条件 タイミング	t _c (XIN)	クロック入力サイクル時間	50	66.7	ns	[119]
	t _w (XINH)	外部クロック入力"H"パルス幅	20		ns	[120]
	t _w (XINL)	外部クロック入力"L"パルス幅	20		ns	[121]
	t _r (XINH)	外部クロック入力立ち上がり時間		5	ns	[122]
	t _r (XINL)	外部クロック入力立ち下がり時間		5	ns	[123]
	t _w (RESET)	リセット入力"L"パルス幅	300		ns	[124]



注1. XOUT端子はオープンにして寄生容量を10pF以下としてください。
 クロック制御レジスタ(CLKCR)のXDRVビットは、B'11(最大)を選択してください。

図23.10.3 クロックおよびリセットタイミング

(4)入出力ポート

	記号	項目	規格値		単位	参照図番 図23.10.4
			最小	最大		
タイミ ング 条件	tsu(P-E)	ポート入力セットアップ時間	100		ns	[1]
	th(E-P)	ポート入力ホールド時間	0		ns	[2]
ス イ ッ チ 特 性	td(E-P)	ポートデータ出力遅延時間		100	ns	[3]

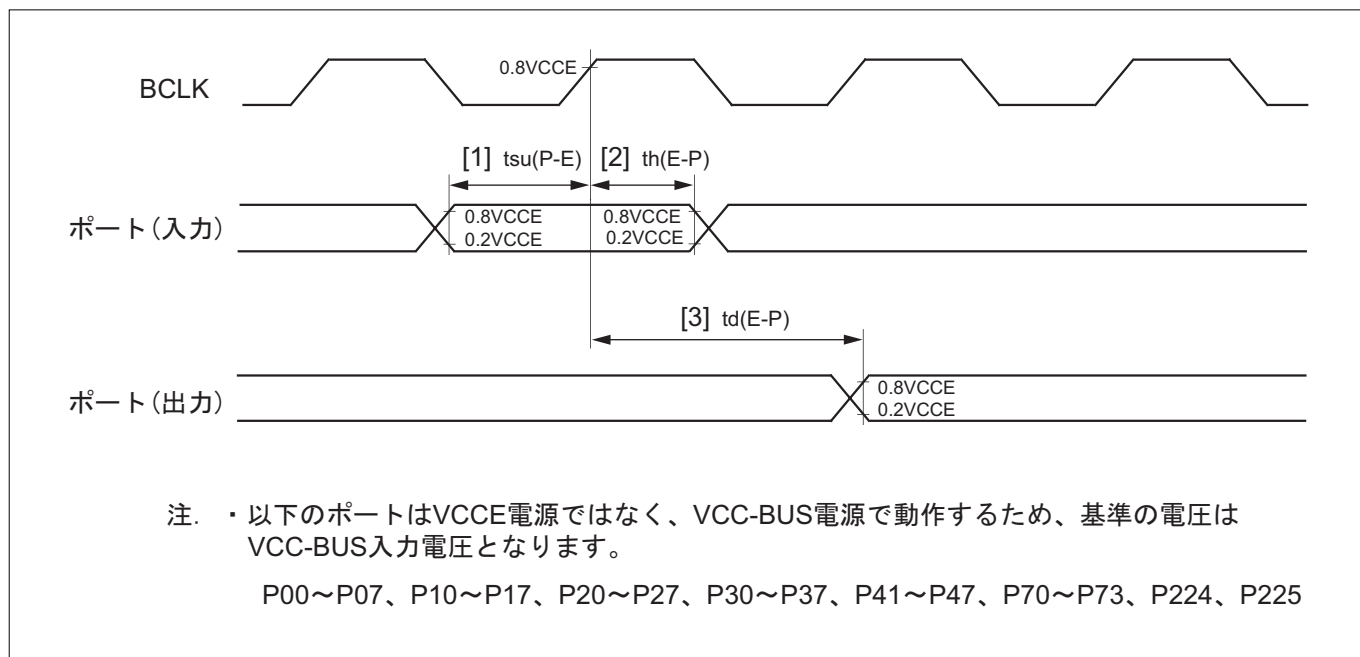


図23.10.4 入出力ポートタイミング

(5) シリアルインタフェース

a) CSIOモード、内部クロック選択時

	記号	項目	規格値		単位	参照図番 図23.10.5
			最小	最大		
タイミ ング 必要 条件	tsu(D-CLK)	RXD入力セットアップ時間	3ポイントサンプリング無効時	80		[4]
			3ポイントサンプリング有効時	$80+t\alpha(\text{BCLK})$		
	th(CLK-D)	RXD入力ホールド時間		$15+t\alpha(\text{BCLK})$		[5]
ス イ ッ チ 特 性	t α (CLK-D)	TXD出力遅延時間			50	[6]
	th(CLK-D)	TXDホールド時間	0			[98]

b) CSIOモード、外部クロック選択時

	記号	項目	規格値		単位	参照図番 図23.10.5
			最小	最大		
タイミ ング 必要 条件	t α (CLK)	CLK入力サイクル時間	$16 \times t\alpha(\text{BCLK})$			[7]
	tw(CLKH)	CLK入力"H"パルス幅	$5 \times t\alpha(\text{BCLK})$			[8]
	tw(CLKL)	CLK入力"L"パルス幅	$5 \times t\alpha(\text{BCLK})$			[9]
	tsu(D-CLK)	RXD入力セットアップ時間	50			[10]
	th(CLK-D)	RXD入力ホールド時間	$55+t\alpha(\text{BCLK})$			[11]
ス イ ッ チ 特 性	t α (CLK-D)	TXD出力遅延時間	3ポイントサンプリング無効時		$85+2t\alpha(\text{BCLK})$	[12]
			3ポイントサンプリング有効時		$85+3t\alpha(\text{BCLK})$	

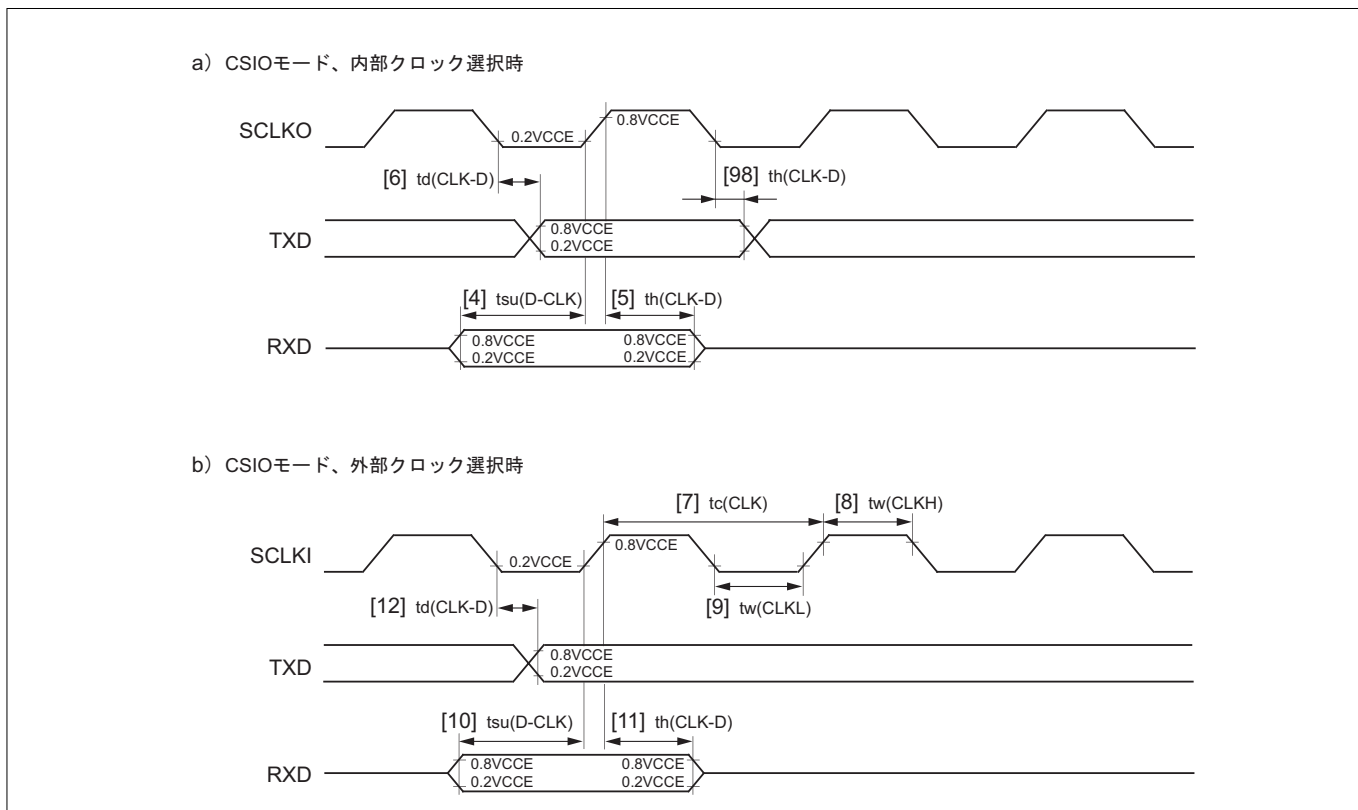


図23.10.5 シリアルインタフェースタイミング

(6) SBI

	記号	項目	規格値		単位	参照図番 図23.10.6
			最小	最大		
タイミ ング 必要 条件	tw(SBIL)	SBI#入力パルス幅	$5 \times \frac{t\alpha(\text{BCLK})}{2}$		ns	[13]

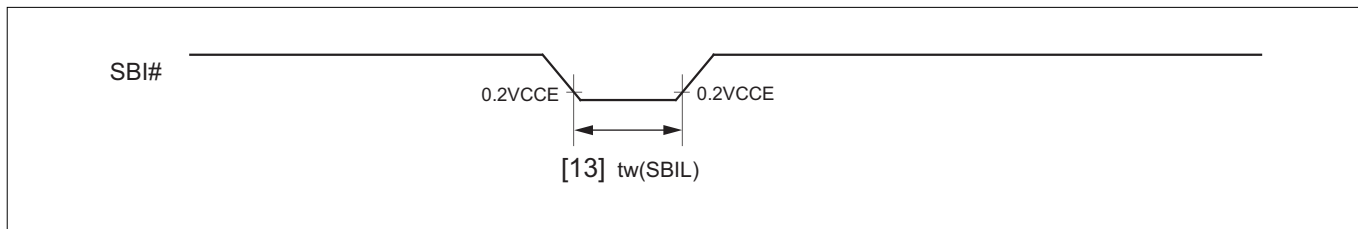


図23.10.6 SBIタイミング

(7) TIN

	記号	項目	規格値		単位	参照図番 図23.10.7
			最小	最大		
タイミ ング 必要 条件	tw(TIN)	TIN入力パルス幅	BCLK/4 選択時(注1)	$7 \times t\alpha(\text{BCLK})$	ns	[14]
			BCLK/4 以外選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$		

注1 . TIN24、25、PWMOFF0は、TOU0制御レジスタ(TOU0CR1)PRS3CKSBIT、TIN26、27、PWMOFF1は、TOU1制御レジスタ(TOU1CR1)PRS4CKSBIT、その他のTINは、共通カウンタクロック選択レジスタ(CNTCKSEL)PRS012CKSBITにより選択

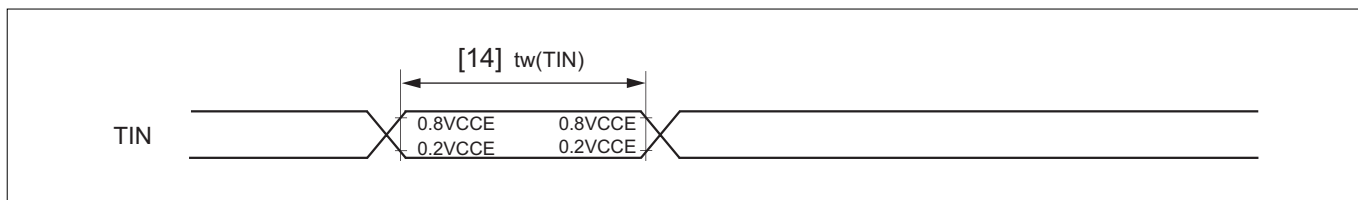


図23.10.7 TINタイミング

(8) TO

	記号	項目	規格値		単位	参照図番 図23.10.8
			最小	最大		
ンス グイ ツ 特性	tα(BCLK-TO)	TO出力遅延時間		100	ns	[15]

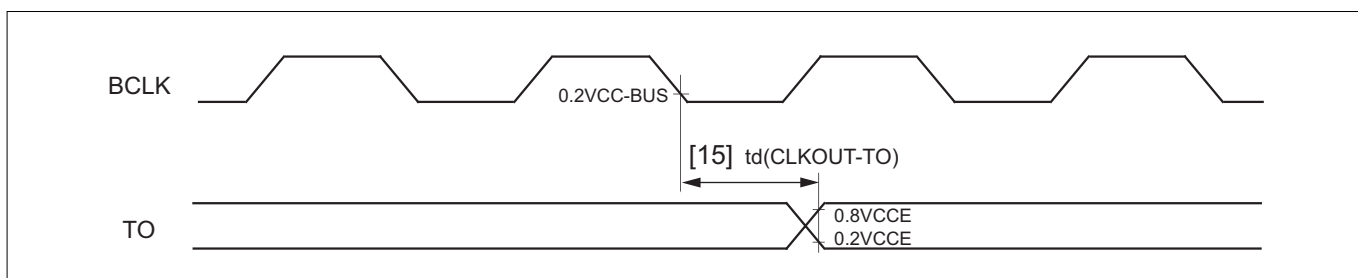


図23.10.8 TOタイミング

(9)TCLK

	記号	項目	規格値		単位	参照図番 図23.10.9
			最小	最大		
タイミング 必要条件	tw(TCLKH)	TCLK入力"H"パルス幅	BCLK/4選択時(注1)	$7 \times t\alpha(\text{BCLK})$		[99]
			BCLK/2選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$		
	tw(TCLKL)	TCLK入力"L"パルス幅	BCLK/4選択時(注1)	$7 \times t\alpha(\text{BCLK})$		[100]
			BCLK/2選択時(注1)	$7 \times \frac{t\alpha(\text{BCLK})}{2}$		

注1．共通カウントクロック選択レジスタ(CNTCKSEL)PRS012CKSビットにより選択

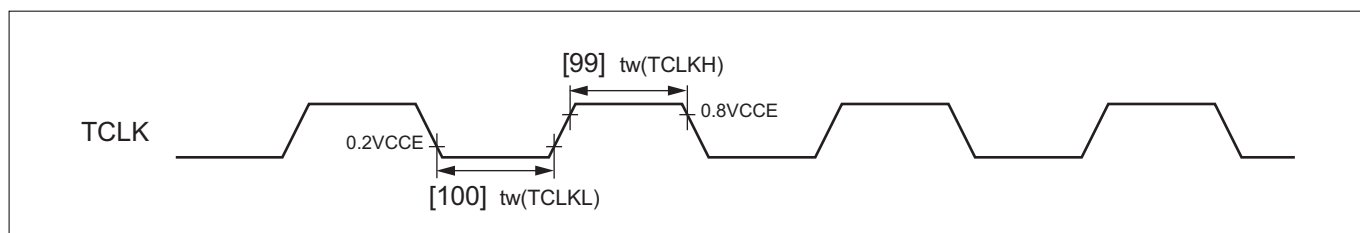


図23.10.9 TCLKタイミング

(10)リードおよびライトタイミング(1/4)

	記号	項目	規格値		単位	参照図番 図23.10.10 図23.10.11
			最小	最大		
タイミング必要条件	tsu(D-CLKOUTH)	CLKOUT前データ入力セットアップ時間	26		ns	[31]
	th(CLKOUTH-D)	CLKOUT後データ入力ホールド時間	0		ns	[32]
	tsu(WAITL-CLKOUTH)	CLKOUT前WAIT#入力セットアップ時間	26		ns	[33]
	th(CLKOUTH-WAITL)	CLKOUT後WAIT#入力ホールド時間	0		ns	[34]
	tsu(WAITH-CLKOUTH)	CLKOUT前WAIT#入力セットアップ時間	26		ns	[78]
	th(CLKOUTH-WAITH)	CLKOUT後WAIT#入力ホールド時間	0		ns	[79]
スイッチング特性	tv(CLKOUTH-BLWL) tv(CLKOUTH-BHWL)	CLKOUT後ライト有効時間 (0ウェイト時)	-5		ns	[90]
	td(CLKOUTH-RDL)	CLKOUT後リード遅延時間 (SWAIT、CWAITの何れか一方に1設定時)		17	ns	[92]
	td(CLKOUTH-BLWL) td(CLKOUTH-BHWL)	CLKOUT後ライト遅延時間 (パイトライトモード) (SWAIT、CWAITの何れか一方に1設定時)		17	ns	[112]
	td(CLKOUTL-BLWH) td(CLKOUTL-BHWH)	CLKOUT後ライト遅延時間		14	ns	[97]
	tc(CLKOUT)	CLKOUT出力サイクル時間		$\frac{tc(XIN)}{2}$	ns	[16]
	tw(CLKOUTH)	CLKOUT出力"H"パルス幅	$\frac{tc(CLKOUT)}{2} - 5$		ns	[17]
	tw(CLKOUTL)	CLKOUT出力"L"パルス幅	$\frac{tc(CLKOUT)}{2} - 5$		ns	[18]
	td(CLKOUTH-A)	CLKOUT後アドレス遅延時間		29	ns	[19]
	td(CLKOUTH-CS)	CLKOUT後チップセレクト遅延時間 (CWAIT = 0設定時)		30	ns	[20]
	td(CLKOUTL-CSL)	CLKOUT後チップセレクト遅延時間 (CWAIT = 1設定時)		30	ns	[113]
	tv(CLKOUTH-A)	CLKOUT後アドレス有効時間	-5		ns	[21]
	tv(CLKOUTH-CS)	CLKOUT後チップセレクト有効時間	-5		ns	[22]
	td(CLKOUTL-RDL)	CLKOUT後リード遅延時間 (SWAIT、CWAITが共に0設定時、 または共に1設定時)		14	ns	[23]
	tv(CLKOUTH-RDL)	CLKOUT後リード有効時間	-5		ns	[24]
	td(CLKOUTL-BLWL) td(CLKOUTL-BHWL)	CLKOUT後ライト遅延時間 (SWAIT、CWAITが共に0設定時、 または共に1設定時)		14	ns	[25]
	tv(CLKOUTL-BLWL) tv(CLKOUTL-BHWL)	CLKOUT後ライト有効時間	-5		ns	[26]
	td(CLKOUTL-D)	CLKOUT後データ出力遅延時間		0ウェイト時 : 14 1ウェイト以上時 : 19	ns	[27]
	tv(CLKOUTH-D)	CLKOUT後データ出力有効時間	0ウェイト時 : -4 1ウェイト以上時 : -10		ns	[28]
	tpzx(CLKOUTL-DZ)	CLKOUT後データ出カインエーブル時間	-10		ns	[29]
	tpxz(CLKOUTH-DZ)	CLKOUT後データ出力ディスエーブル時間		5	ns	[30]
tw(CSH)	チップセレクト"H"パルス幅	C = 0 : $tc(CLKOUT) \times ID - (15ID)$ C = 1 : $\frac{1}{2} tc(CLKOUT) + ID - 15$		ns	[114]	

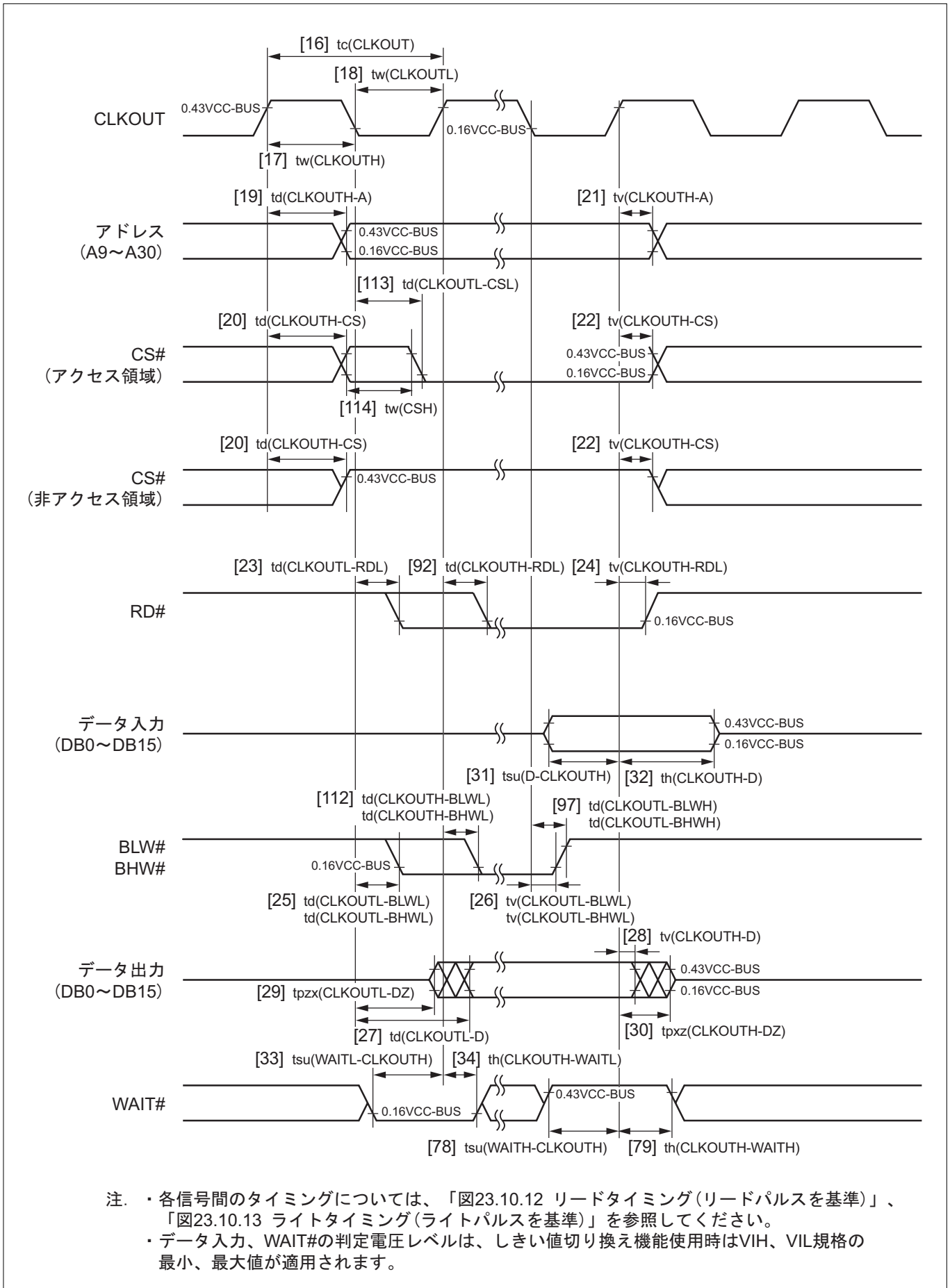


図23.10.10 リードおよびライトタイミング(CLKOUT基準) 1ウェイト以上挿入時

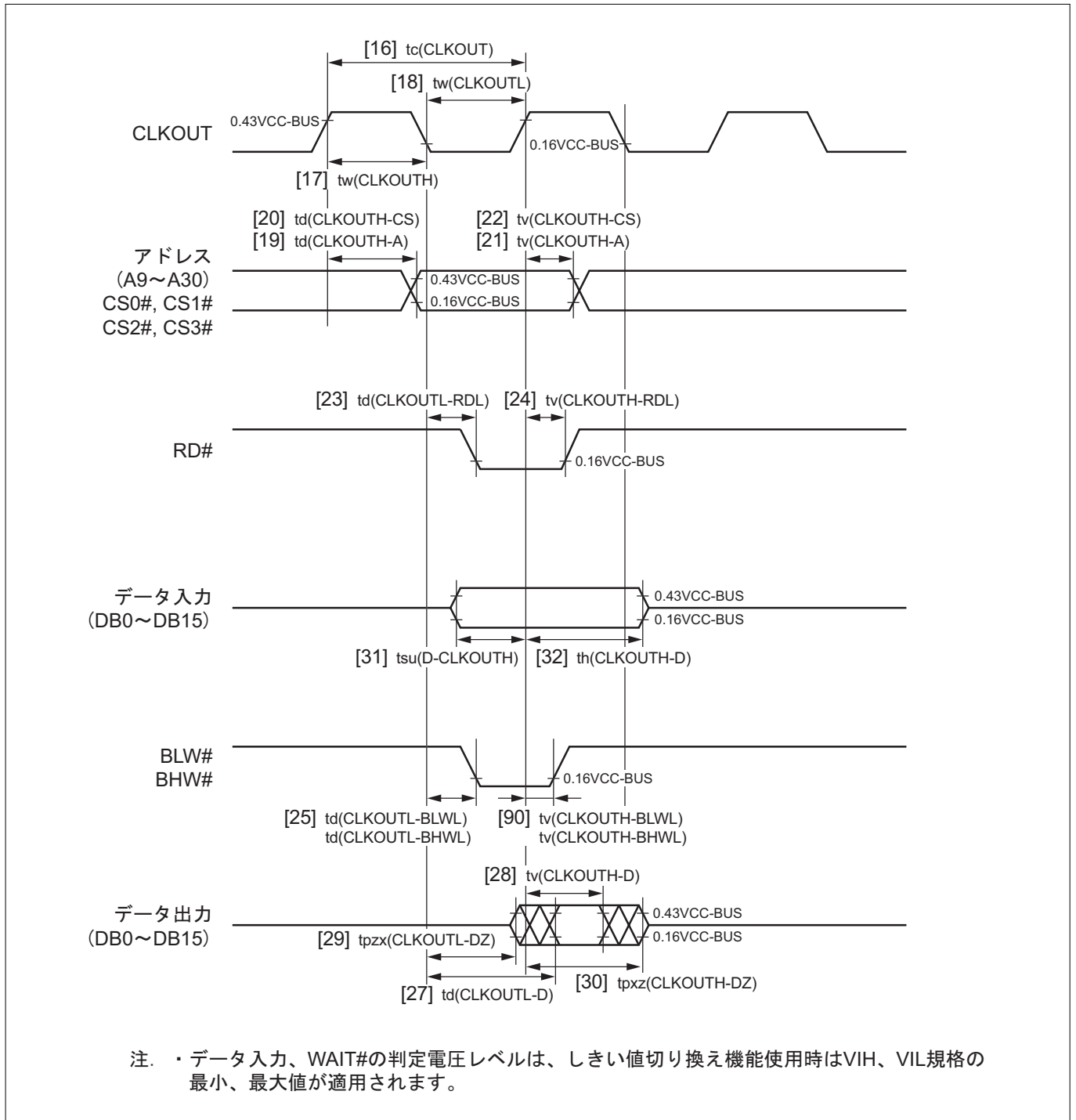


図23.10.11 リードおよびライトタイミング(CLKOUT基準) 0ウェイト時

(11)リードおよびライトタイミング(2/4)

	記号	項目	規格値		単位	参照図番 図23.10.12 図23.10.13
			最小	最大		
必要条件 タイミング	tsu(D-RDH)	リード前データ入力セットアップ時間	30		ns	[44]
	th(RDH-D)	リード後データ入力ホールド時間	0		ns	[45]
	tsu(WAITH-RDL)	リード前ウェイト入力セットアップ時間	tc(CLKOUT) + 21		ns	[132]
	tsu(WAITL-RDL)					
	tw(WAITH)	ウェイト"H"パルス幅(注1)	26		ns	[133]
	tw(WAITL)	ウェイト"L"パルス幅(注1)	26		ns	[134]
	tsu(WAITH-BLWL)	ライト前ウェイト入力セットアップ時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} + 21$		ns	[135]
	tsu(WAITH-BHWL)					
	tsu(WAITL-BLWL)					
tsu(WAITL-BHWL)						
スイッチング特性	tw(RDH)	リード"H"パルス幅	$\frac{tc(CLKOUT)}{2} (1+C+S) - 5$		ns	[55]
	tw(RDL)	リード"L"パルス幅	$\frac{tc(CLKOUT)}{2} (1+2W-C-S)-20$		ns	[43]
	tw(BLWL)	ライト"L"パルス幅 (バイトライトモード)	0ウェイト時: $\frac{tc(CLKOUT)}{2} - 11$		ns	[51]
	tw(BHWL)		1ウェイト以上時: $\frac{tc(CLKOUT)}{2} (2W-C-S)-20$			
	td(RDH-BLWL)	リード後ライト遅延時間	$tc(CLKOUT)(\frac{1+C+S}{2}+R+ID)-10$		ns	[56]
	td(RDH-BHWL)					
	td(BLWH-RDL)	ライト後リード遅延時間	0ウェイト時: $\frac{tc(CLKOUT)}{2} - 10$		ns	[57]
	td(BHWH-RDL)		1ウェイト以上時: $tc(CLKOUT)(1+R+\frac{C+S}{2})-10$			
	td CSL-RDL)	リード前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S)-16$		ns	[93]
	td(CSL-BLWL)	ライト前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S)-16$		ns	[95]
	td(CSL-BHWL)					
	td(A-RDL)	リード前アドレス遅延時間	$\frac{tc(CLKOUT)}{2} (1+C+S) - 15$		ns	[39]
	td(CS-RDL)	リード前チップセレクト遅延時間	$\frac{tc(CLKOUT)}{2} (1+S) - 15$		ns	[40]
	tv(RDH-A)	リード後アドレス有効時間	$tc(CLKOUT) \times (R+ID)$		ns	[41]
	tv(RDH-CS)	リード後チップセレクト有効時間	$tc(CLKOUT) \times R$		ns	[42]
	tpzx(RDH-DZ)	リード後データ出力イネーブル時間	$tc(CLKOUT)(\frac{1}{2}+R+ID)$		ns	[46]
	td(A-BLWL)	ライト前アドレス遅延時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} (1+C+S) - 15$		ns	[47]
	td(A-BHWL)					
	td(CS-BLWL)	ライト前チップセレクト遅延時間 (バイトライトモード)	$\frac{tc(CLKOUT)}{2} (1+S) - 15$		ns	[48]
	td(CS-BHWL)					
tv(BLWH-A)	ライト後アドレス有効時間 (バイトライトモード)	0ウェイト時: -5		ns	[49]	
tv(BHWH-A)		1ウェイト以上時: $tc(CLKOUT)(\frac{1}{2}+R) - 5$				
tv(BLWH-CS)	ライト後チップセレクト有効時間 (バイトライトモード)	0ウェイト時: -5		ns	[50]	
tv(BHWH-CS)		1ウェイト以上時: $tc(CLKOUT)(\frac{1}{2}+R) - 5$				
td(BLWL-D)	ライト後データ出力遅延時間 (バイトライトモード)		0ウェイト時: 5		ns	[52]
td(BHWL-D)			1ウェイト以上時: $15 - (\frac{tc(CLKOUT)}{2}) \times (S+C)$			

注1. tsu(WAITH-RDL), tsu(WAITL-RDL), tsu(WAITH-BLWL), tsu(WAITH-BHWL), tsu(WAITL-BLWL), tsu(WAITL-BHWL)の最小値の位置からtw(WAITH), tw(WAITL)の期間、レベルを保持してください。

	記号	項目	規格値		単位	参照図番 図23.10.12 図23.10.13
			最小	最大		
スイッチング特性	tv(BLWH-D) tv(BHWH-D)	ライト後データ出力有効時間 (バイトライトモード)	0ウェイト時: -7 1ウェイト以上時: $t_c(\text{CLKOUT})(\frac{1}{2} + R) - 13$		ns	[53]
	tpzx(BLWL-DZ) tpzx(BHWL-DZ)	ライト後データ出力カインエプル時間 (バイトライトモード)	0ウェイト時: -20 1ウェイト時: $-22 \cdot \frac{t_c(\text{CLKOUT})}{2} \times (S+C)$		ns	[126]
	tpxz(BLWH-DZ) tpxz(BHWH-DZ)	ライト後データ出力ディスエーブル時間 (バイトライトモード)		0ウェイト時: 5 1ウェイト以上時: $t_c(\text{CLKOUT})(\frac{1}{2} + R) + 5$		ns

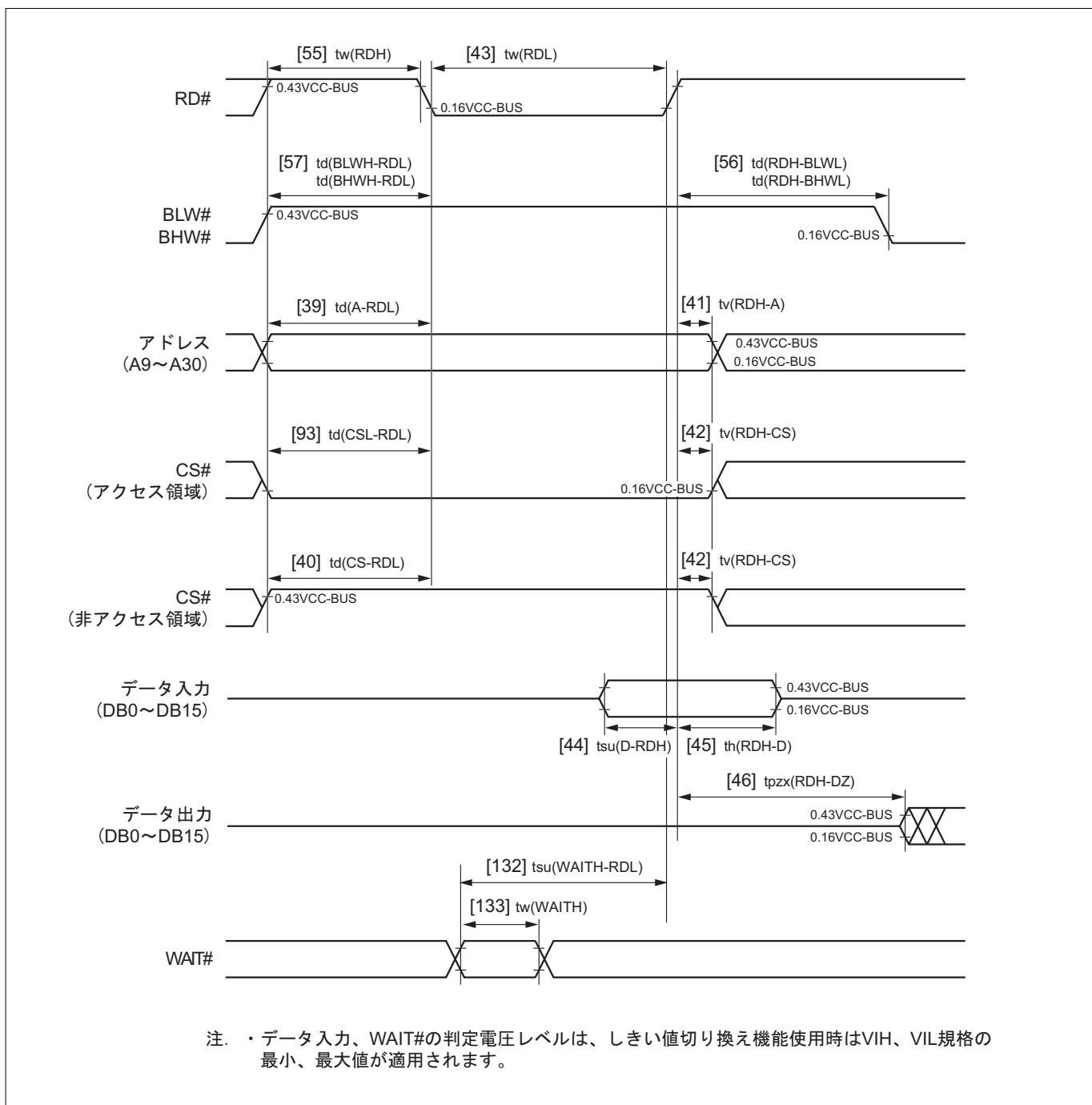


図23.10.12 リードタイミング(リードパルスを基準)

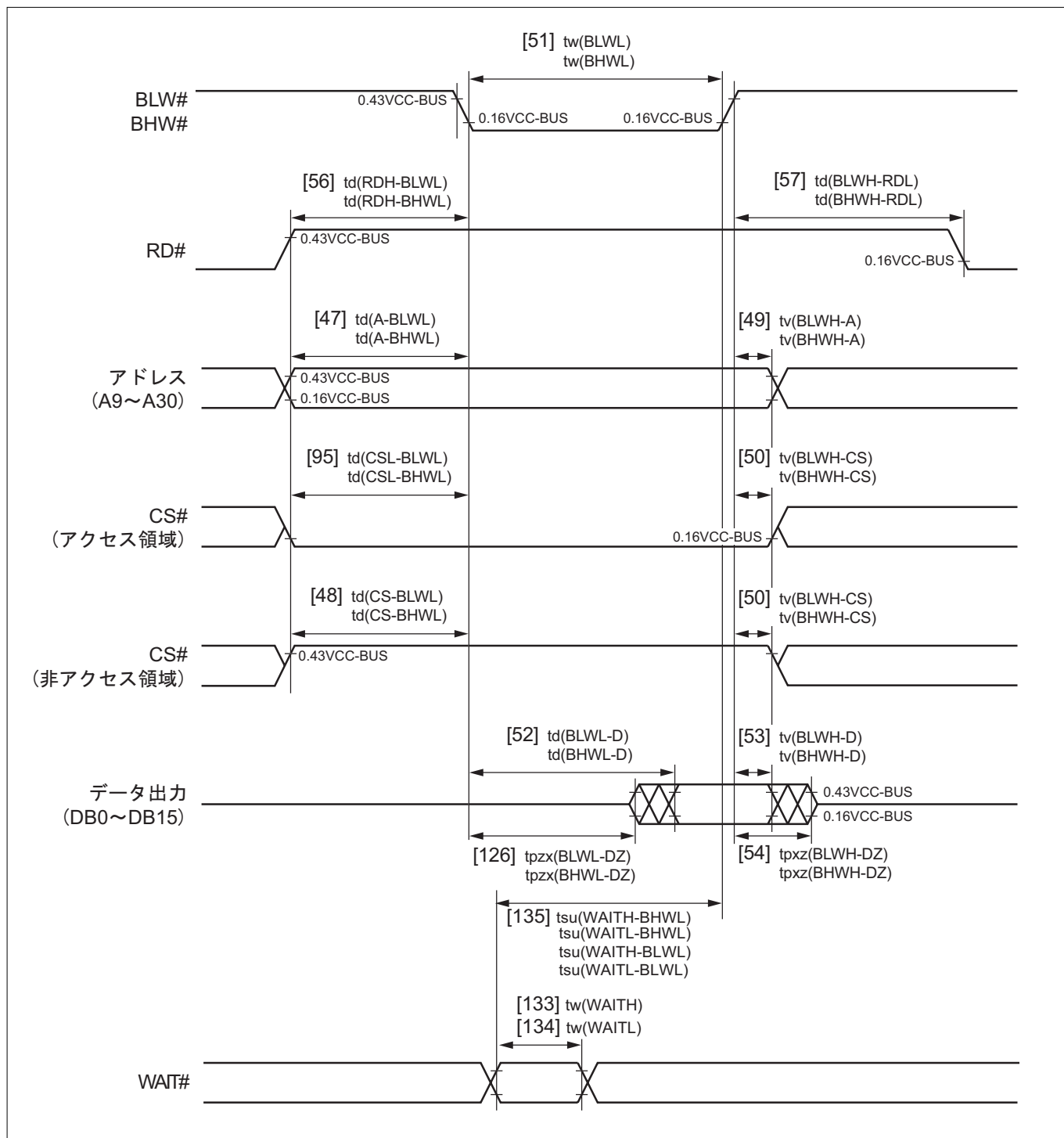


図23.10.13 ライトタイミング(ライトパルスを基準)

(12)リードおよびライトタイミング(3/4)

	記号	項目	規格値		単位	参照図番 図23.10.14
			最小	最大		
必要条件 タイミング	tsu(D-RDH)	リード前データ入力セットアップ時間	30		ns	[44]
	th(RDH-D)	リード前データ入力ホールド時間	0		ns	[45]
スイッチング 特性	td(A-RDL)	リード前アドレス遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+C+S) - 15$		ns	[39]
	td(CS-RDL)	リード前チップセレクト遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+S) - 15$		ns	[40]
	tv(RDH-A)	リード後アドレス有効時間	$t_c(\text{CLKOUT}) \times (R+ID)$		ns	[41]
	tv(RDH-CS)	リード後チップセレクト有効時間	$t_c(\text{CLKOUT}) \times R$		ns	[42]
	tw(RDL)	リード"L"パルス幅	$\frac{t\alpha(\text{CLKOUT})}{2}(1+2W-C-S)-20$		ns	[43]
	tpzx(RDH-DZ)	リード後データ出カインエーブル時間	$t_c(\text{CLKOUT})(\frac{1}{2}+R+ID)$		ns	[46]
	td(RDH-WRL)	リード後ライト遅延時間 (バイトインエーブルモード)	$t_c(\text{CLKOUT})(\frac{1+C+S}{2}+R+ID)-10$		ns	[80]
	td(WRH-RDL)	ライト後リード遅延時間 (バイトインエーブルモード)	0ウェイト時： $\frac{t\alpha(\text{CLKOUT})}{2}-20$ 1ウェイト以上時： $t_c(\text{CLKOUT})(1+R+\frac{C+S}{2})-20$		ns	[81]
	td(CSL-RDL)	リード前チップセレクト遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2}(1+S) - 16$		ns	[93]
	td(BLEL-RDL)	リード前バイトインエーブル遅延時間	$\frac{t\alpha(\text{CLKOUT})}{2} \times (1+S) - 20$		ns	[136]
	td(BHEL-RDL)	(バイトインエーブルモード)				
tv(RDH-BLEL)	リード後バイトインエーブル有効時間	$t_c(\text{CLKOUT}) \times R - 5$		ns	[137]	
tv(RDH-BHEL)	(バイトインエーブルモード)					

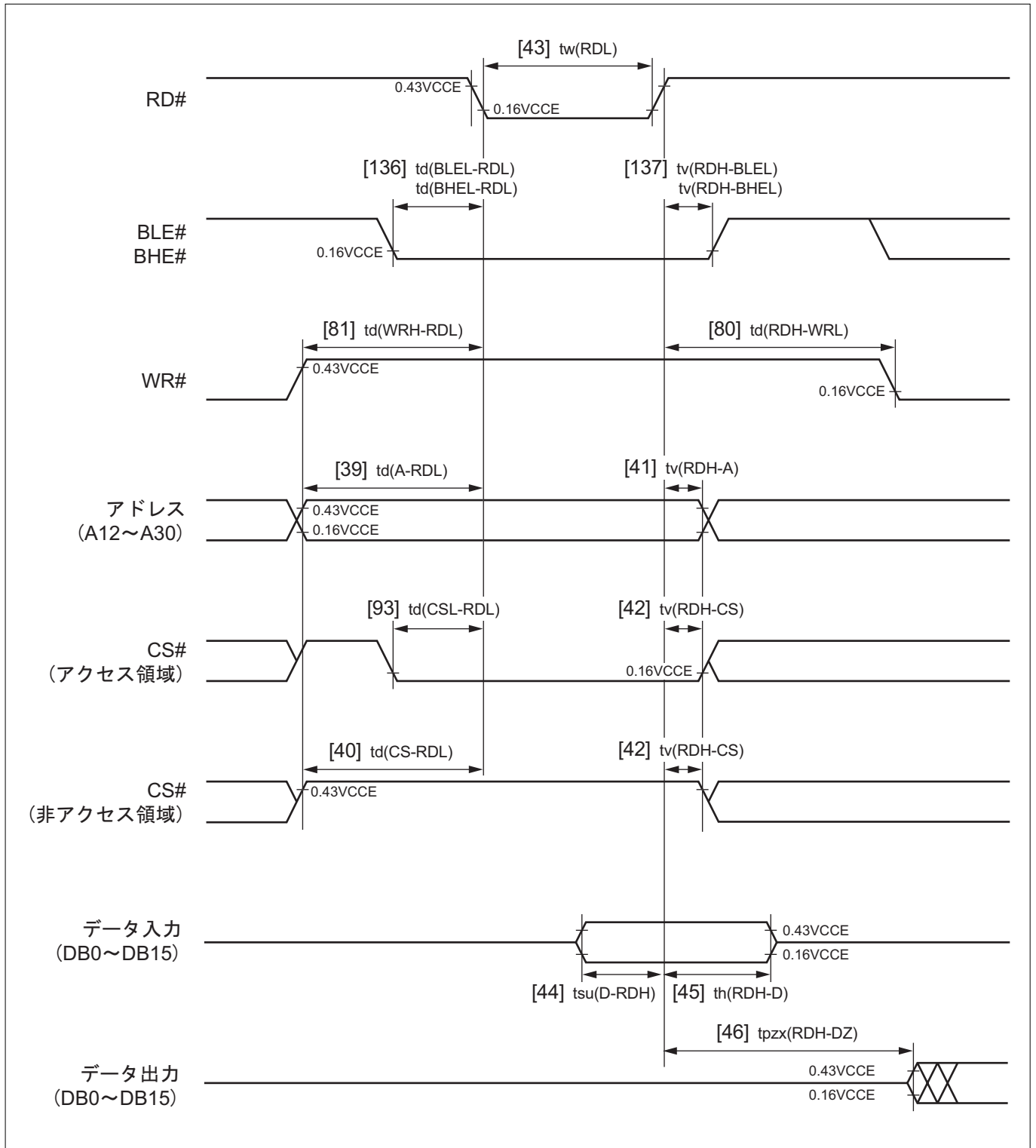


図23.10.14 リードタイミング(バイトイネーブルモード)

(13)リードおよびライトタイミング(4/4)

	記号	項目	規格値		単位	参照図番 図23.10.15
			最小	最大		
スイッチング特性	tw(WRL)	ライト"L"パルス幅 (バイトイネーブルモード)	0ウェイト時： $\frac{tc(\text{CLKOUT})}{2} - 7$ 1ウェイト以上時： $\frac{tc(\text{CLKOUT})}{2} (2W-C-S)-20$		ns	[68]
	td(RDH-WRL)	リード後ライト遅延時間 (バイトイネーブルモード)	$tc(\text{CLKOUT})(\frac{1+C+S}{2}+R+ID)-10$		ns	[80]
	td(WRH-RDL)	ライト後リード遅延時間 (バイトイネーブルモード)	0ウェイト時： $\frac{tc(\text{CLKOUT})}{2} - 20$ 1ウェイト以上時： $tc(\text{CLKOUT})(1+R+\frac{C+S}{2})-20$		ns	[81]
	td(CSL-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S)-20$		ns	[96]
	td(A-WRL)	ライト前アドレス遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+C+S) - 20$		ns	[69]
	td(CS-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S) - 15$		ns	[70]
	tv(WRH-A)	ライト後アドレス有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT})(\frac{1}{2}+R) - 5$		ns	[71]
	tv(WRH-CS)	ライト後チップセレクト有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT})(\frac{1}{2}+R) - 5$		ns	[72]
	td(BLEL-WRL) td(BHEL-WRL)	ライト前バイトイネーブル遅延時間 (バイトイネーブルモード)	$\frac{tc(\text{CLKOUT})}{2} (1+S) - 15$		ns	[73]
	tv(WRH-BLEL) tv(WRH-BHEL)	ライト後バイトイネーブル有効時間 (バイトイネーブルモード)	0ウェイト時：-5 1ウェイト以上時： $tc(\text{CLKOUT})(\frac{1}{2}+R) - 5$		ns	[74]
	td(WRL-D)	ライト後データ出力遅延時間 (バイトイネーブルモード)		0ウェイト時：9 1ウェイト以上時： $15 - (\frac{tc(\text{CLKOUT})}{2}) \times (S+C)$	ns	[75]
	tv(WRH-D)	ライト後データ出力有効時間 (バイトイネーブルモード)	0ウェイト時：-7 1ウェイト以上時： $tc(\text{CLKOUT})(\frac{1}{2}+R)-13$		ns	[76]
	tpzx(WRH-DZ)	ライト後データ出カインーブル時間 (バイトイネーブルモード)	0ウェイト時：-20 1ウェイト時： $-22 - \frac{tc(\text{CLKOUT})}{2} \times (S+C)$		ns	[127]
	tpxz(WRH-DZ)	ライト後データ出カディスエーブル時間 (バイトイネーブルモード)		0ウェイト時：5 1ウェイト以上時： $tc(\text{CLKOUT})(\frac{1}{2}+R) + 5$	ns	[77]

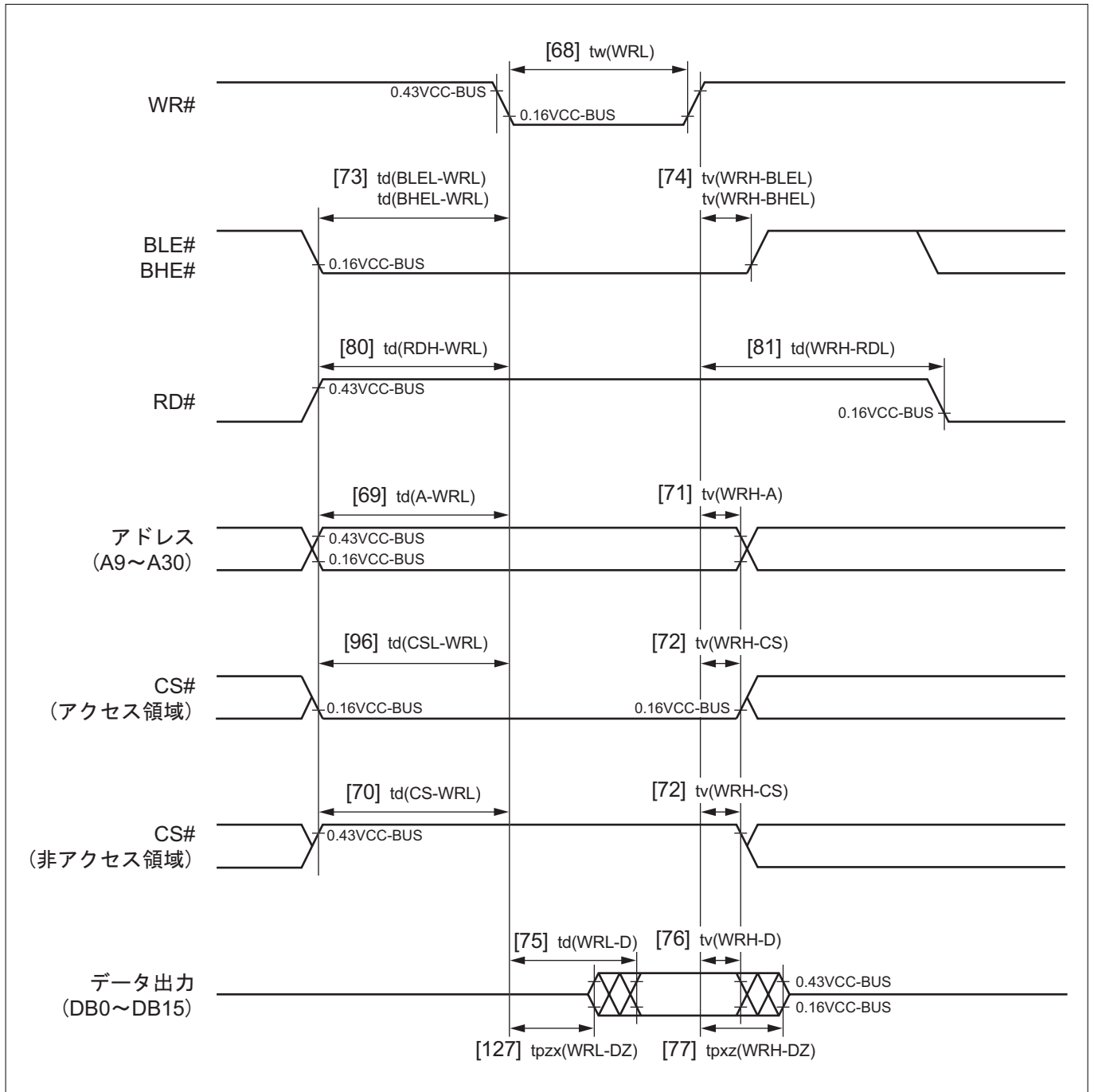


図23.10.15 ライトタイミング(バイトイネーブルモード)

(14)バスアービトレーションタイミング

	記号	項目	規格値		単位	参照図番 図23.10.16
			最小	最大		
必要 条件 タイ ミン グ	$t_{su}(\text{HREQL-CLKOUTH})$	CLKOUT前HREQ#入力セットアップ時間	27		ns	[35]
	$t_h(\text{CLKOUTH-HREQL})$	CLKOUT後HREQ#入力ホールド時間	0		ns	[36]
ス イ ツ チ 特 性	$t_d(\text{CLKOUTL-HACKL})$	CLKOUT後HACK#遅延時間		29	ns	[37]
	$t_v(\text{CLKOUTL-HACKL})$	CLKOUT後HACK#有効時間	-11		ns	[38]

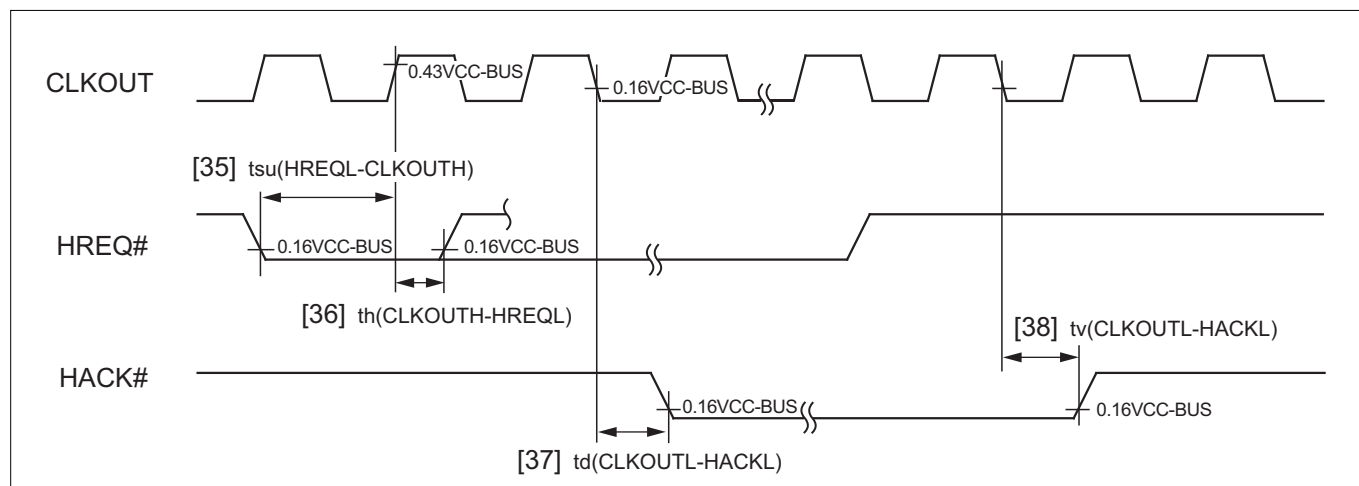


図23.10.16 バスアービトレーションタイミング

(15)JTAGインタフェースタイミング

	記号	項目	測定条件	規格値		単位	参照図番 図23.10.17
				最小	最大		
必要条件 タイミング	$t_{\alpha}(\text{JTCK})$	JTCK入力サイクル時間		100		ns	[60]
	$t_w(\text{JTCKH})$	JTCK入力"H"パルス幅		40		ns	[61]
	$t_w(\text{JTCKL})$	JTCK入力"L"パルス幅		40		ns	[62]
	$t_{su}(\text{JTDI-JTCK})$	JTDI、JTMS入力セットアップ時間		15		ns	[63]
	$t_h(\text{JTCK-JTDI})$	JTDI、JTMS入力ホールド時間		20		ns	[64]
	$t_w(\text{JTRST})$	JTRST入力"L"パルス幅		$t_{\alpha}(\text{JTCK})$		ns	[67]
スイッチ特性	$t_d(\text{JTCK-JTDO})$	JTCK後JTDO出力遅延時間	CL=80pF		40	ns	[65]
	$t_{pzx}(\text{JTCK-JTDOZ})$	JTCK後JTDO出力カインエーブル時間	CL=80pF	5		ns	[128]
	$t_{pxz}(\text{JTCK-JTDOZ})$	JTCK後JTDO出力ディスエーブル時間	CL=80pF		40	ns	[66]
	$t_v(\text{JTCK-JTDO})$	JTCK後TDO出力有効時間	CL=80pF	5		ns	[129]

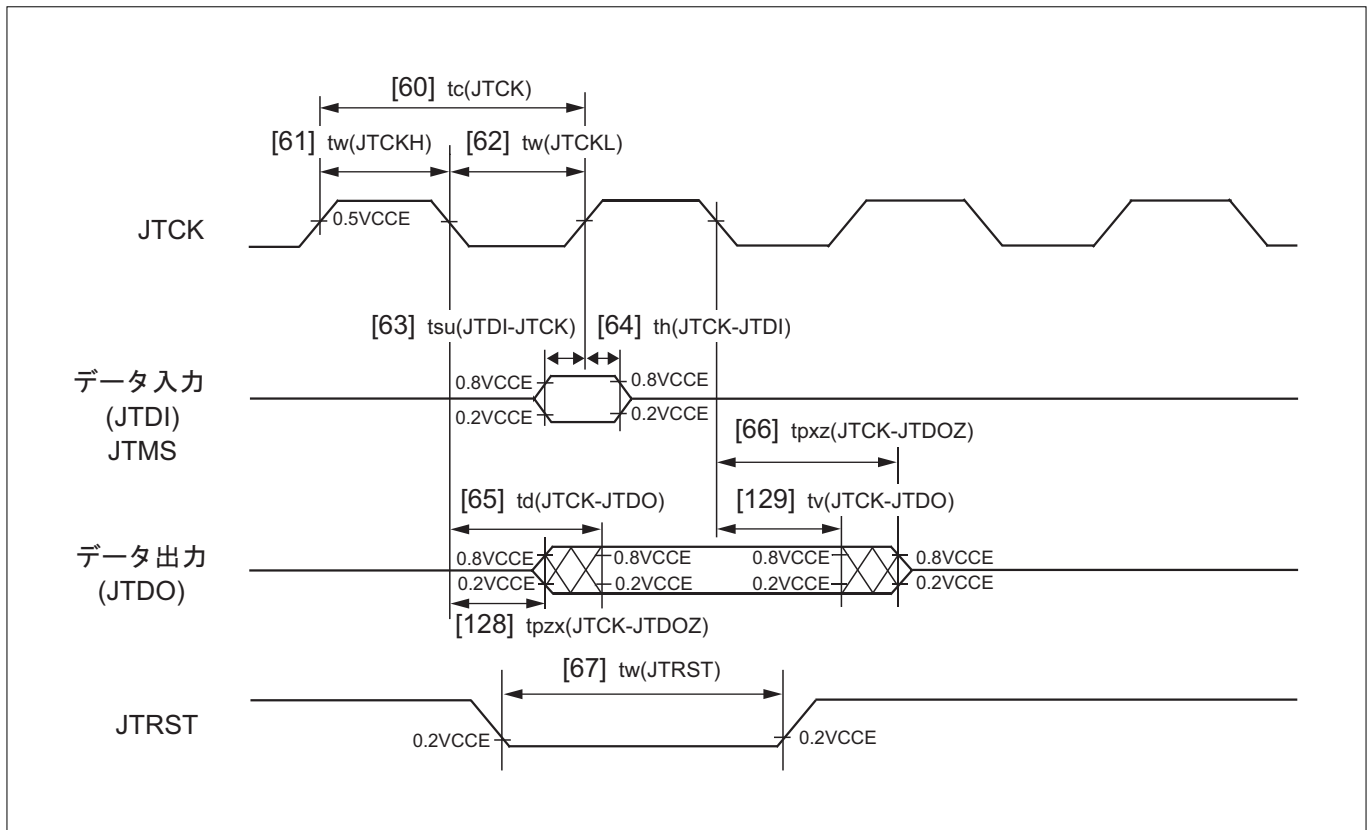


図23.10.17 JTAGインタフェースタイミング

(16)RTDタイミング

	記号	項目	規格値		単位	参照図番 図23.10.18
			最小	最大		
必要条件 タイミング	t_c (RTDCLK)	RTDCLK入力サイクル時間	500		ns	[82]
	t_w (RTDCLKH)	RTDCLK入力"H"パルス幅	230		ns	[83]
	t_w (RTDCLKL)	RTDCLK入力"L"パルス幅	230		ns	[84]
	t_h (RTDCLKH-RTDRXD)	RTDRXD入力ホールド時間	50		ns	[88]
	t_{su} (RTDRXD-RTDCLKL)	RTDRXD入力セットアップ時間	60		ns	[89]
スイッチ特性	t_d (RTDCLKH-RTDACK)	RTDCLK入力後RTDACK遅延時間		160	ns	[85]
	t_v (RTDCLKL-RTDACK)	RTDCLK入力後RTDACK有効時間		160	ns	[86]
	t_d (RTDCLKH-RTDTXD)	RTDCLK入力後RTDTXD遅延時間		160	ns	[87]

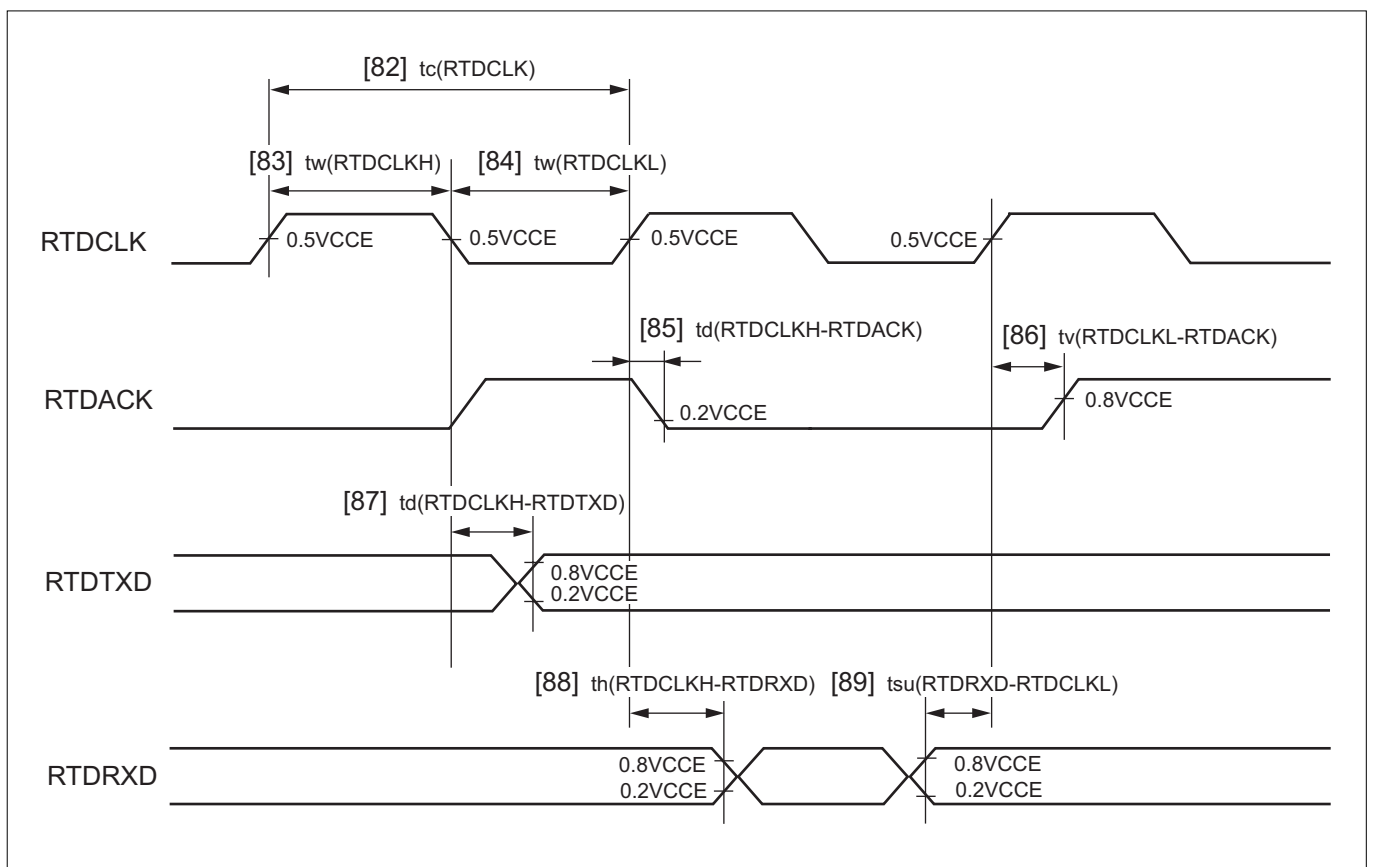


図23.10.18 RTDタイミング

(17) NBDタイミング

	記号	項目	測定条件	規格値		単位	参照図番 図23.10.19
				最小	最大		
タイミング 必要条件	t_{α} (NBDCLK)	NBDCLK入力サイクル時間		100		ns	[103]
	t_w (NBDCLKL)	NBDCLK入力"L"パルス幅		45		ns	[104]
	t_{su} (NBDD-NBDCLKH)	NBDCLK前NBDD 入力セットアップ時間		20		ns	[107]
	t_h (NBDCLKH-NBDD)	NBDCLK後NBDD 入力ホールド時間		5		ns	[108]
	t_{su} (NBDSYNCL-NBDCLKH)	NBDCLK前NBDSYNC# 入力セットアップ時間		20		ns	[109]
	t_h (NBDCLKH-NBDSYNCL)	NBDCLK後NBDSYNC# 入力ホールド時間	CL=100pF	5		ns	[110]
スイッチ 特性	t_{α} (NBDCLKH-NBDD)	NBDCLK後NBDD出力遅延時間	CL=100pF	7	t_c (NBDCLK)-20	ns	[105]
	t_{pz} (NBDCLKH-NBDDZ)	NBDCLK後 NBDD出力カインエーブル時間	CL=100pF	5		ns	[130]
	t_{α} (NBDCLKH-NBDD)	NBDCLK後NBDD出力有効時間	CL=100pF	5		ns	[106]
	t_{pxz} (NBDCLKH-NBDDZ)	NBDCLK後 NBDD出力ディスエーブル時間	CL=100pF		60	ns	[131]
	t_w (NBDEVNTL)	NBDEVNT#出力"L"パルス幅	CL=100pF	30		ns	[111]

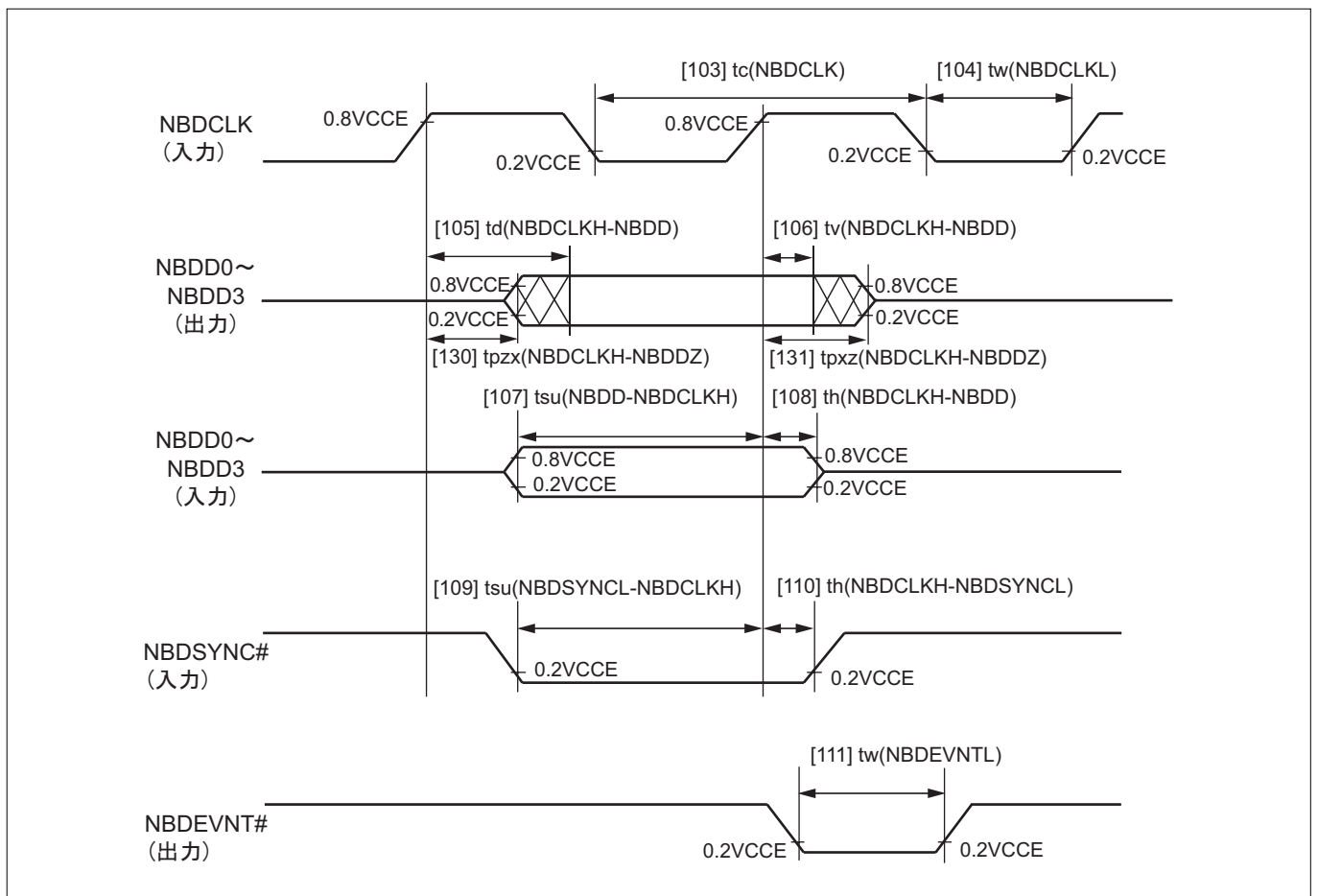


図23.10.19 NBDタイミング

(18) DRIタイミング

a) 特殊モードOFF時

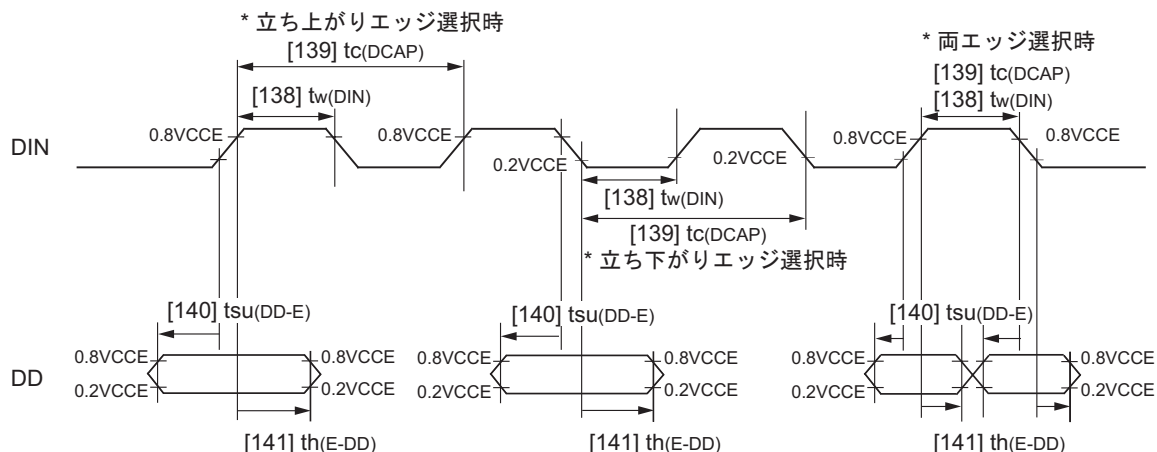
	記号	項目		規格値		単位	参照図番 図23.10.20
				最小	最大		
タイミング 必要条件	tw(DIN)	DIN入力パルス幅	DIN0、DIN1、DIN2、DIN3、DIN4	1.5×tα(BCLK)		ns	[138]
	tα(DCAP)	取り込み周期	入力データバス幅 8、16ビット時	3.5×tα(BCLK)		ns	[139]
			入力データバス幅 32ビット時	4×tα(BCLK)		ns	
	tsu(DD-E)	DD入力 - 取り込みエッジ セットアップ時間(注1)	取り込みイベントにDIN2、DIN3、DIN4選択時	20		ns	[140]
			取り込みイベントにDIN5選択時	60		ns	
	th(E-DD)	取り込みエッジ - DD入力 ホールド時間(注1)	取り込みイベントにDIN2、DIN3、DIN4選択時	15 + tα(BCLK)		ns	[141]
取り込みイベントにDIN5選択時			15 + tα(BCLK)		ns		
tα(E-E)	イベント検出が同時と ならないエッジ間隔	DIN0、DIN1、DIN2、DIN3、DIN4	15 + tα(BCLK)		ns	[142]	

注. ・本規格値は、取り込みタイミングをデフォルト設定とした時のものです。デフォルト以外の設定を行なっている場合は、基準エッジからtc(BCLK)だけ後ろにずらした点を基準として規格値を適用ください。

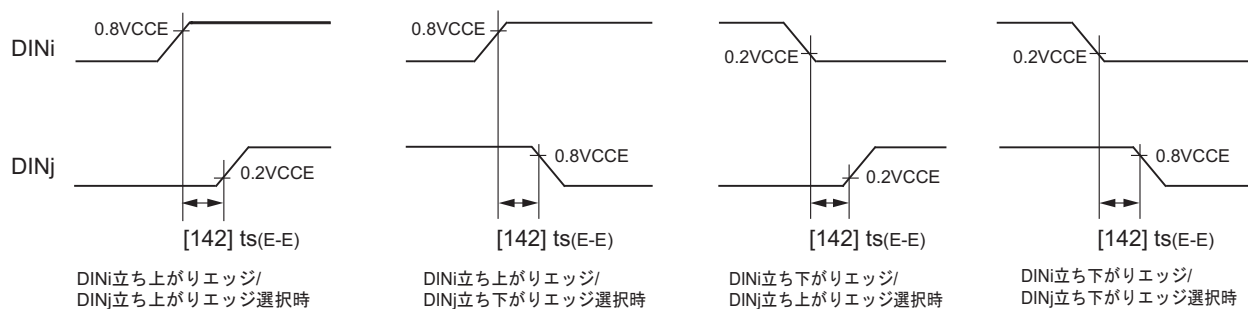
b) 特殊モードON時

	記号	項目		規格値		単位	参照図番 図23.10.20
				最小	最大		
タイミング 必要条件	tw(DIN)	DIN入力パルス幅	DIN0、DIN1、DIN2、DIN4	1.5×tα(BCLK)		ns	[138]
			DIN3	0.8×tα(BCLK)		ns	
	tα(DCAP)	取り込み周期	入力データバス幅 8、16ビット時	2×tα(BCLK)		ns	[139]
	tsu(DD-E)	DD入力 - 取り込みエッジ セットアップ時間	取り込みイベントにDIN3選択時	20		ns	[140]
			取り込みイベントにDIN3選択時	20		ns	[141]
	th(E-DD)	取り込みエッジ - DD入力 ホールド時間	取り込みイベントにDIN3選択時	20		ns	[141]
	tα(E-E)	イベント検出が同時と ならないエッジ間隔	DIN0、DIN1、DIN2、DIN4	15 + tα(BCLK)		ns	[142]
tar	DIN1による初期化レベル解除前の DIN3サンプリングエッジ不定期間		20		ns	[143]	
tbr	DIN1による初期化レベル解除後の DIN3サンプリングエッジ不定期間		20		ns	[144]	

a) データ取り込みタイミング



b) DINエッジ検出タイミング (DRI内部でエッジ検出が同時とならないための間隔)



c) 特殊モード時のDIN1による初期化後のDIN3サンプリングエッジ

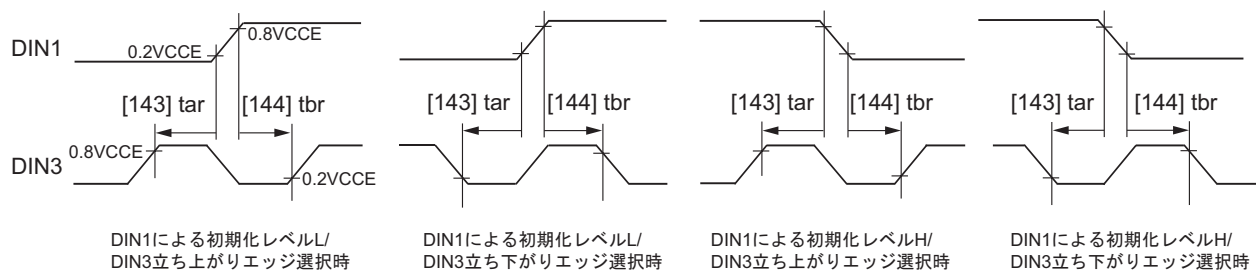


図23.10.20 DRIタイミング

レイアウトの都合上、このページは白紙です。

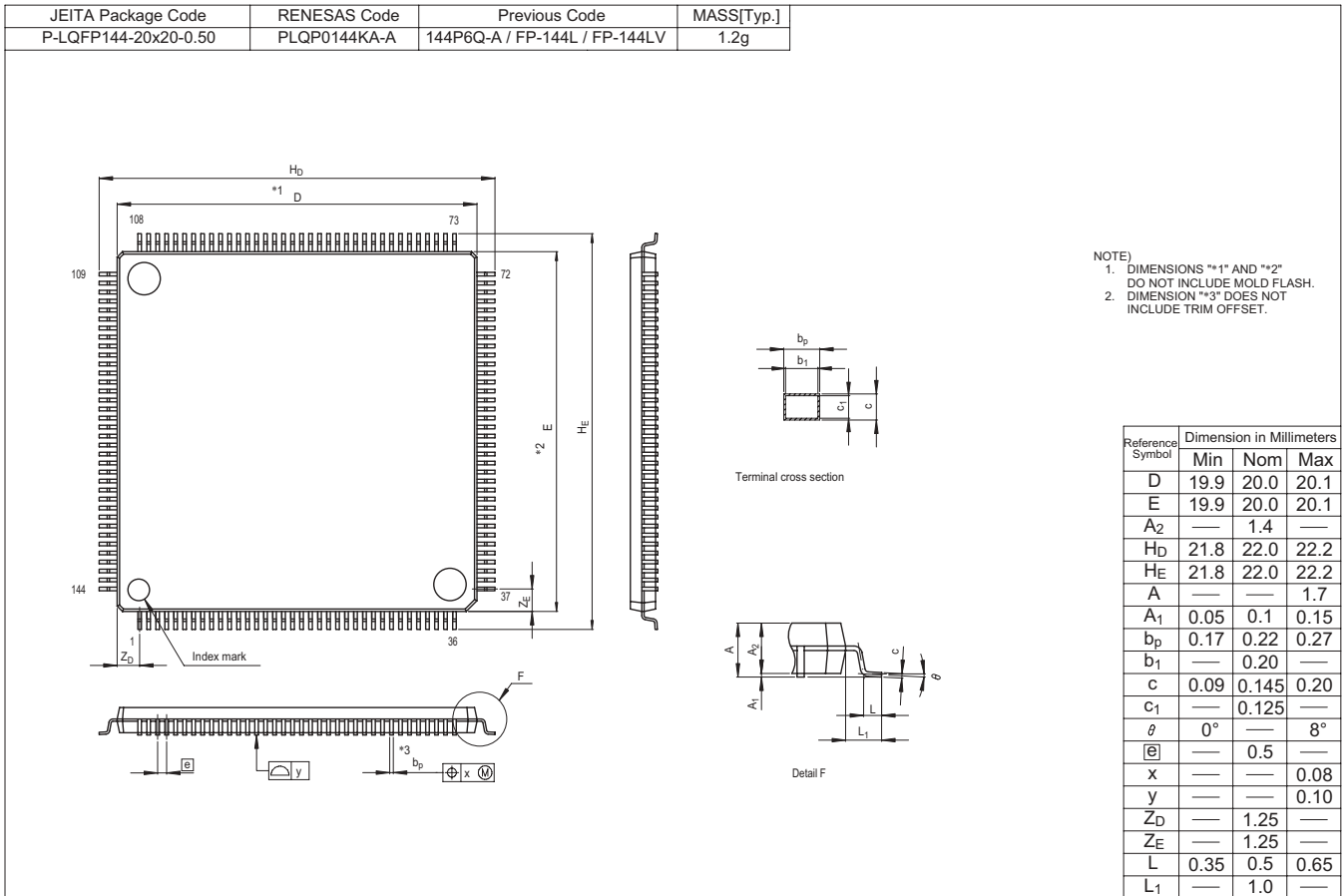
付録1

機械の仕様

付録1.1 外形寸法図

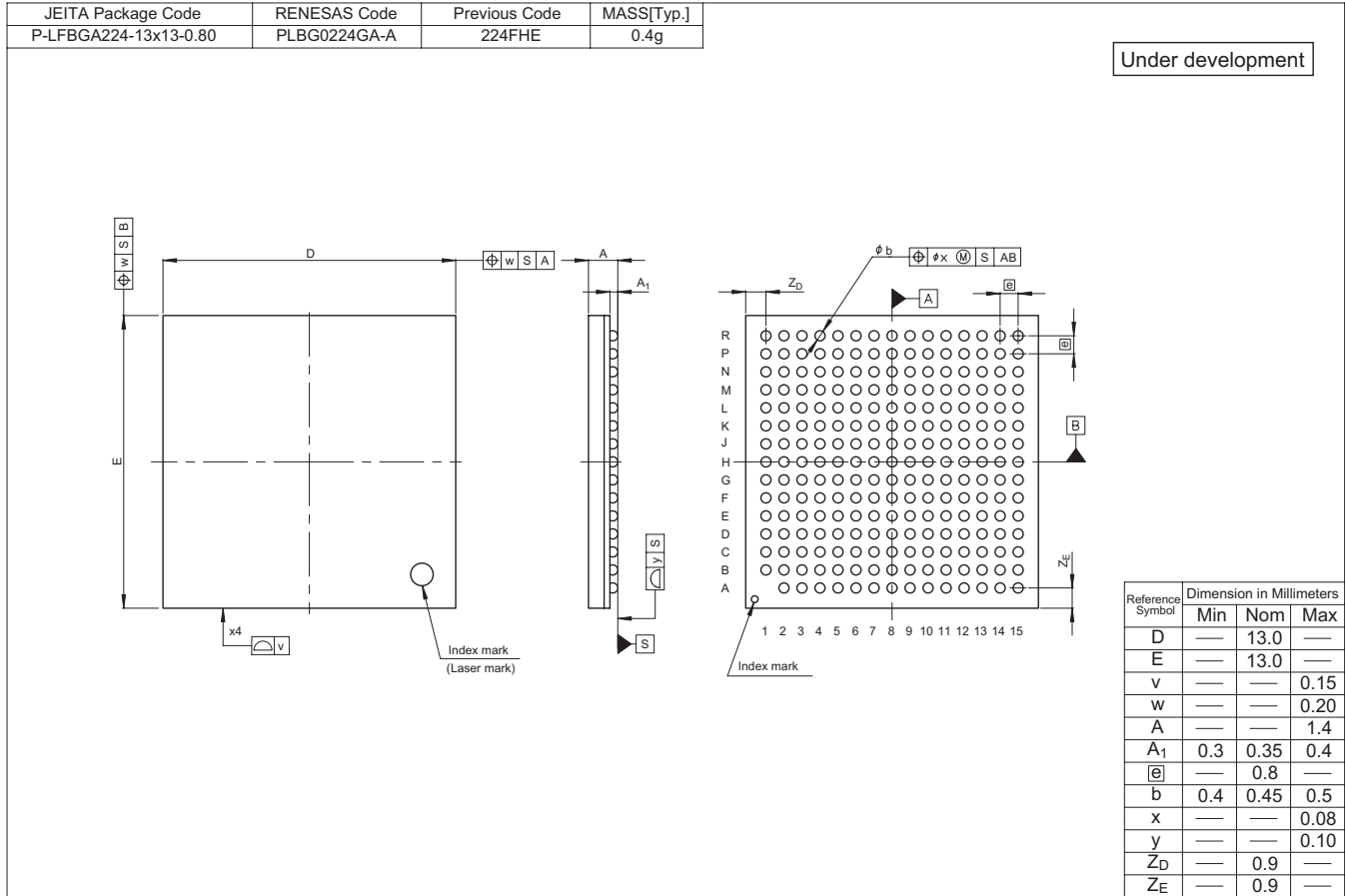
付録1.1 外形寸法図

(1) 144pin LQFP (PLQP0144KA-A)



注. 外形寸法図の最新版は、ルネサス テクノロジホームページに掲載されています。
本資料が最新版であるか必ずご確認の上ご参照ください。

(2) 224pin FBGA (PLBG0224GA-A)



注. 外形寸法図の最新版は、ルネサス テクノロジホームページに掲載されています。
本資料が最新版であるか必ずご確認の上ご参照ください。

レイアウトの都合上、このページは白紙です。

付録2

命令処理時間

付録2.1 32192/32195/32196 命令処理時間

付録2.1 32192/32195/32196 命令処理時間

通常Eステージ（注1）における命令実行サイクル数を命令処理時間として代表しますが、パイプラインの動作によっては、それ以外のステージが処理時間に影響を与えることがあります。特に分岐命令を実行した場合の次命令においては、IF（命令フェッチ）、D（デコード）、E（実行）の各ステージの処理時間を考慮に入れる必要があります。

以下に各パイプラインステージごとの命令処理時間を示します。

注1．FPU命令ではE1およびEMステージを使用します。

付表2.1.1 各パイプラインステージにおける命令処理時間 [FPU命令以外]

命令	各ステージにおける実行サイクル数					
	IF	D	E	MEM1	MEM2	WB
ロード命令 (LD, LDB, LDUB, LDH, LDUH, LOCK)	R (注1)	1	1	R (注1)	1	1
ストア命令 (ST, STB, STH, UNLOCK)	R (注1)	1	1	W (注1)	1	(1) (注2)
BSET, BCLR命令	R (注1)	1	R (注1)	W (注1)	1	-
			+3			
乗算命令 (MUL)	R (注1)	1	3	-	-	1
除算/剰余命令 (DIV, DIVU, REM, REMU)	R (注1)	1	37	-	-	1
上記以外の命令 (DSP機能用命令 BTST, SETPSW, CLRPSWを含む)	R (注1)	1	1	-	-	1

注1．R, W：計算方法は次ページを参照してください。

注2．ストア命令のうち、レジスタ間接+レジスタ更新アドレッシングモードを持つもののみWBステージに1サイクル必要です（それ以上は必要ありません）。

付表2.1.2 各パイプラインステージにおける命令処理時間 [FPU命令]

命令	各ステージにおける実行サイクル数						
	IF	D	E1	EM	EA	E2	WB
FMADD, FMSUB命令	R (注1)	1	-	1	1	1	1
FDIV命令	R (注1)	1	14	-	-	1	1
上記以外のFPU命令	R (注1)	1	1	-	-	1	1

注1．R, W：計算方法は次ページを参照してください。

以下にIF、MEMステージでのメモリアクセスのサイクル数を示します。ここに示す値は、メモリアクセスのための最小サイクル数です。したがって実際のメモリやバスアクセスにかかるサイクル数とは異なる場合があります。

例えばライトアクセスについては、CPUはライトバッファに書き込むだけでMEMステージを終了しますが、実際にはその後にメモリのライトが行われます。CPUがメモリアクセス要求した前後のメモリやバスの状態によって、命令処理時間は計算値から増える場合があります。

R (リードサイクル)

命令キューにある場合	1CPUCLK
内蔵リソース (RAM) をリードした場合	1CPUCLK
内蔵リソース (ROM) をリードした場合	2CPUCLK
内蔵リソース (SFR) をリードした場合 (バイト、ハーフワード)	4CPUCLK
内蔵リソース (SFR) をリードした場合 (ワード)	8CPUCLK
外部メモリをリードした場合 (バイト、ハーフワード)	1CPUCLK + 1CLKOUT (注1)
外部メモリをリードした場合 (ワード)	1CPUCLK + 2CLKOUT (注1)
外部メモリから連続して命令フェッチした場合	2CLKOUT (注1)

W (ライトサイクル)

内蔵リソース (RAM) にライトした場合	1CPUCLK
内蔵リソース (SFR) にライトした場合 (バイト、ハーフワード)	4CPUCLK
内蔵リソース (SFR) にライトした場合 (ワード)	8CPUCLK
外部メモリにライトした場合 (バイト、ハーフワード)	1CLKOUT (注1)
外部メモリにライトした場合 (ワード)	2CLKOUT (注1)

注1 . 外部アクセスが0ウェイトの場合です。1ウェイト挿入で、1CLKOUT増えます。

注 . ・CLKOUTとCPUCLKとの関係は、1CLKOUT = 8CPUCLKです。CLKOUT選択レジスタで
CLKOUT = BCLKに設定した場合は、1CLKOUT = 4CPUCLKです。

レイアウトの都合上、このページは白紙です。

付録3

未使用端子の処理

付録3.1 未使用端子の処理例

付録3.1 未使用端子の処理例

未使用端子の処理例を以下に示します。

(1) 動作モードがシングルチップモードの場合

付表3.1.1 シングルチップモード時の未使用端子の処理例(注1)

端子名	処理
入出力ポート(注2)	
P61~P63, P70~P77, P82~P87, P93~P97, P100~P107, P110~P117, P124~P127, P130~P137, P174, P175	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
P00~P07, P10~P17, P20~P27, P30~P37, P41~P47, P150, P153, P220, P221, P224, P225	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
SBI#(注3)	1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)
XOUT(注4)	開放
A/Dコンバータ	
AD0IN0~AD0IN15, AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン)
JTRST	0~100kΩの抵抗を介してVSSに接続(プルダウン)

注1. 未使用端子処理は、マイコンの端子からできるだけ短い(20mm以内)配線で処理してください。

注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り換えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。

ただし、P221は入力専用ポートのため、出力ポートにはなりません。

注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。

(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)

注4. XINに外部クロック入力時。

(2) 動作モードが外部拡張モードの場合

付表3.1.2 外部拡張モード時の未使用端子の処理例(注1)

端子名	処理
入出力ポート(注2)	
P61~P63, P70~P77, P82~P87, P93~P97, P100~P107, P110~P117, P124~P127, P130~P137, P174, P175	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
P00~P07, P10~P17, P20~P27, P30~P37, P44~P47, P150, P153, P220, P221, P224, P225	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
BLW#/BLE#, BHW#/BHE#, RD#	開放
SBI#(注3)	1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)
XOUT(注4)	開放
A/Dコンバータ	
AD0IN0~AD0IN15, AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン)
JTRST	0~100kΩの抵抗を介してVSSに接続(プルダウン)

注1. 未使用端子処理は、マイコンの端子からできるだけ短い(20mm以内)配線で処理してください。

注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り換えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。

ただし、P221は入力専用ポートのため、出力ポートにはなりません。

注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。

(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)

注4. XINに外部クロック入力時。

(3) 動作モードがプロセッサモードの場合

付表3.1.3 プロセッサモード時の未使用端子の処理例(注1)

端子名	処理
入出力ポート(注2)	
P61~P63, P70~P77, P82~P87, P93~P97, P100~P107, P110~P117, P126, P127, P130~P137, P174, P175	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCCEに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
P150, P153, P220, P221	ポートを入力モードに設定し、端子ごとに1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)、またはVCC-BUSに接続(プルアップ)、もしくは出力モードに設定し、端子を開放
A9~A30, DB0~DB15, BLW#/BLE#, BHW#/BHE#, RD#, CS0#, CS1#	開放
SBI#(注3)	1kΩ~10kΩの抵抗を介してVSSに接続(プルダウン)
XOUT(注4)	開放
A/Dコンバータ	
AD0IN0~AD0IN15, AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0~100kΩの抵抗を介してVCCEに接続(プルアップ)、またはVSSに接続(プルダウン)
JTRST	0~100kΩの抵抗を介してVSSに接続(プルダウン)

注1. 未使用端子処理は、マイコンの端子からできるだけ短い(20mm以内)配線で処理してください。

注2. 出力モードに設定して開放する場合、リセットからプログラムによりポートを出力に切り換えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。ノイズやノイズによって引き起こされる暴走などによって方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方が信頼性が高くなります。ただし、P221は入力専用ポートのため、出力ポートにはなりません。

注3. ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。

(SBI#端子に立ち下がりエッジ信号が入力されると、システムブレーク割り込みが発生します。)

注4. XINに外部クロック入力時。

付録4

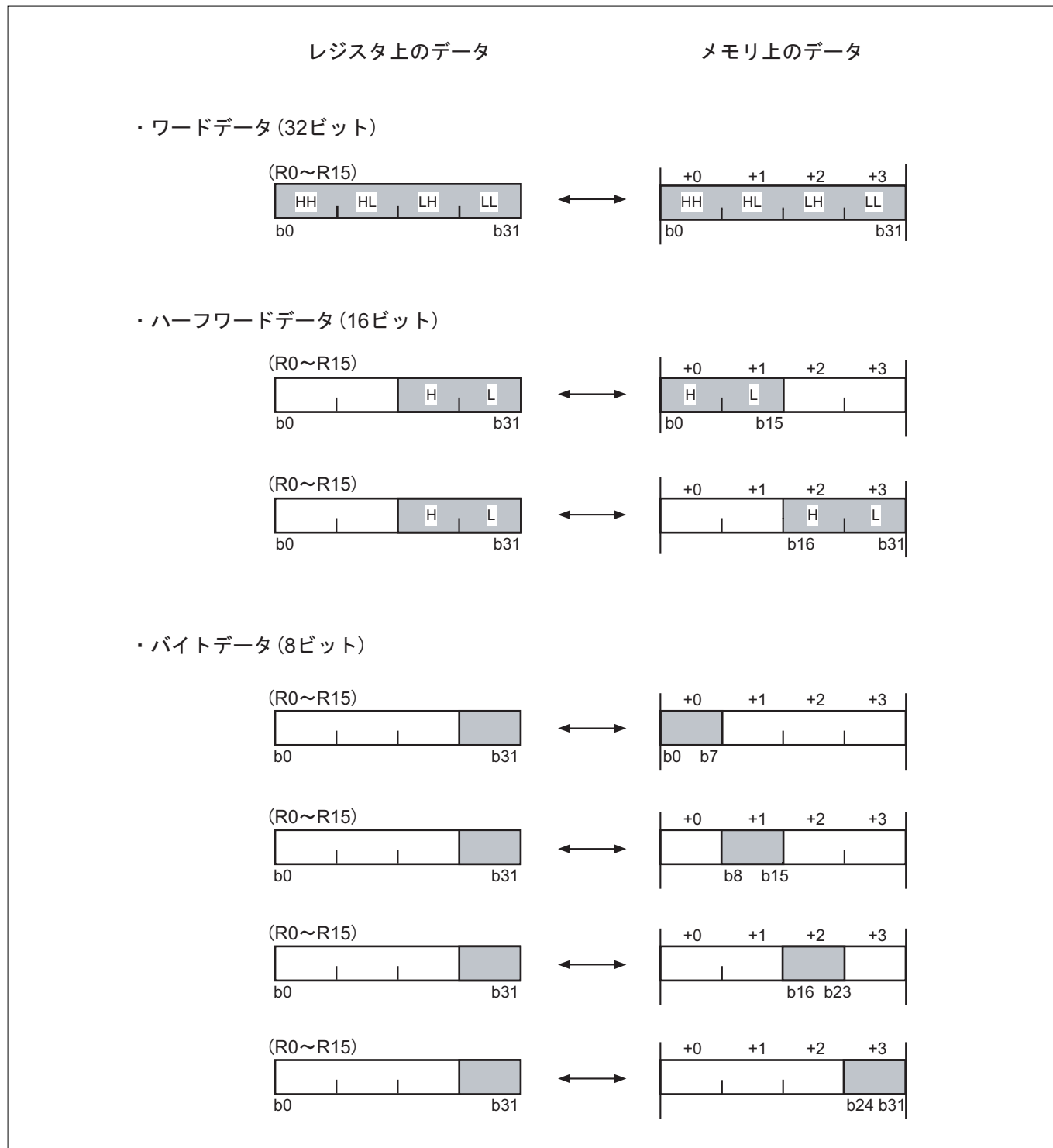
注意事項のまとめ

- 付録4.1 CPUに関する注意事項
- 付録4.2 アドレス空間の注意事項
- 付録4.3 EITの注意事項
- 付録4.4 内蔵RAMの注意事項
- 付録4.5 内蔵フラッシュメモリの注意事項
- 付録4.6 リセット解除時の注意事項
- 付録4.7 入出力ポートの注意事項
- 付録4.8 DMACの注意事項
- 付録4.9 マルチジャンクションタイマの注意事項
- 付録4.10 A/Dコンバータの注意事項
- 付録4.11 シリアルインタフェースの注意事項
- 付録4.12 CANモジュールの注意事項
- 付録4.13 DRIの注意事項
- 付録4.14 RAMバックアップモードの注意事項
- 付録4.15 JTAGに関する注意事項
- 付録4.16 ノイズに関する注意事項

付録4.1 CPUに関する注意事項

・データ転送の注意事項

データの転送は、レジスタ上のデータ配置とメモリ上のデータ配置に違いがありますのでご注意ください。



付図4.1.1 データ配置の違い

付録4.2 アドレス空間の注意事項

- 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を8Kバイトごとに区切った領域(Lバンク)に、内蔵RAMの8Kバイト単位のブロック(32192の場合、最大16ブロック。32195の場合、最大4ブロック。32196の場合、最大8ブロック。)をマッピングする機能を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

これは、疑似フラッシュLバンクレジスタで指定したアドレスの内蔵フラッシュメモリ内容を、内蔵RAMの8Kバイト単位のブロックに配置したデータに切り換え、内蔵フラッシュメモリの内容をリードすると該当するRAMのデータが読み出される機能です。この機能については、「6.7 疑似フラッシュエミュレーション機能」を参照してください。

- ダミーアクセス領域

H'0080 0600 ~ H'0080 0603番地は、ダミーアクセス領域となります。

この領域へのアクセスは、書き込み値は無効、読み出し値不定となります。

また、ダミーアクセス領域への書き込み、読み出し動作による、他SFR領域への影響はありません。

付録4.3 EITの注意事項

アドレス例外は、「レジスタ間接 + レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc, Rsrc2)の値が不定となります。

なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

- 対象命令

LD	Rdest, @Rsrc +
ST	Rsrc1, @ - Rsrc2
ST	Rsrc1, @ + Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

付録4.4 内蔵RAMの注意事項

内蔵RAMの注意事項を以下に示します。

- DRI、RTDから内蔵RAMへのデータ書き込みは、M32R-FPUとは別に用意された専用バスを使用するため、通常、他のバスマスタ(CPU、DMA、NBD、SDI)からのアクセスとの競合は発生しません。ただし、内蔵RAMの16Kbyte単位の領域に対して、DRI、RTD転送と他のバスマスタからのアクセス(読み出し/書き込み)が同時または、重なった場合は、アクセス競合が発生します。アクセス競合が発生した場合、次の優先順位に従って調停が行われます。

NBD/SDI > DMA > CPU > DRI > RTD

- ブートモードで起動した場合、「フラッシュ書き込み/消去プログラム」が内蔵RAMへ転送されるため、ブートモード軌道後の内蔵RAM値は不定となります。

付録4

付録4.5 内蔵フラッシュメモリの注意事項

内蔵フラッシュメモリ書き込み/消去時の注意事項を以下に示します。

- ・内蔵フラッシュメモリ書き込み/消去時は、内部で高電圧が生成されています。書き込み/消去中のモード移行はチップ破壊の原因となり得ますので、モード移行がないように、モード端子、リセット端子、電源管理を十分に行ってください。
- ・汎用書き込み/消去ツールで使用する端子をシステムで使用する場合、ツール接続時に影響がでないよう考慮が必要です。
- ・汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが必要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域 (H'0000 0084 ~ H'0000 008F) に任意のIDを設定してください。
- ・汎用書き込み/消去ツール使用時に内蔵フラッシュメモリのプロテクトが不要な場合は、内蔵フラッシュメモリのプロテクト用ID照合領域 (H'0000 0084 ~ H'0000 008F) すべてにH'FFを設定してください。
- ・フラッシュステータスレジスタ (FSTAT) の各エラーステータスのクリア (初期化H'80) に、フラッシュ制御レジスタ4 (FCNT4) のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ (FSTAT) のFBUSYビットが"1" (レディ状態) であることを確認後実施ください。
- ・フラッシュ制御レジスタ1 (FCNT1) のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ (FSTAT) のFBUSYビットが"1" (レディ状態) であることを確認後実施ください。
- ・フラッシュ制御レジスタ1 (FCNT1) のFENTRYビットを"1"でフラッシュステータスレジスタ (FSTAT) のFBUSYビットが"0" (書き込み、または消去中) の場合、FENTRYビットのクリアは行わないでください。
- ・JTAG経由で書き込み/消去時には、FP端子の制御をチップ内部で行いますので端子状態に関係なくフラッシュメモリの書き込み/消去できます。

付録4.6 リセット解除時の注意事項

- ・入出力ポート

リセット解除時は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力特別機能制御レジスタ (PICNT) のPIEN0ビットで入力許可に設定してください。詳細については、「8.3 入出力ポート関連レジスタ」を参照してください。

付録4.7 入出力ポートの注意事項

- ポートを出力モードで使用する場合

リセット解除時のポートデータレジスタは、値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力に設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力に設定すると、ポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

- ポートを入力モードで使用する場合について

ポート方向レジスタで出力モードから入力モードに切り替えた後、もしくは、ポート入力許可(PIENO)ビットを"1"(入力許可)に設定後、2BCLK後に端子レベルがリード可能となります。

- ポート入力禁止機能について

リセット解除時は入力禁止になっているため、入力機能を使用するためには、ポート入力許可ビットを"1"にして入力許可に設定する必要があります。

ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能(制御非対象端子)を選択すると、"L"レベル入力により意図しない動作となる場合があります。

- ポート周辺機能選択レジスタの設定について

ポート周辺機能選択レジスタは、対応するポート動作モードレジスタのビットが"0"のときに設定してください。

- 汎用ポートに設定時の周辺機能入力について

周辺機能入力、汎用ポートの兼用端子において、動作モードレジスタで汎用ポートに設定時、周辺機能入力には"H"レベルが入力されています。そのため、周辺機能入力端子に"L"レベルが入力されている時は、動作モードレジスタを操作時に周辺機能入力にエッジ信号が入力されません。

付録4.8 DMACの注意事項

- DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット解除時または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないでください。

以下に、各レジスタのライトアクセスの可否を示します。

付表4.8.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	DMA割込関連レジスタ	その他DMAC関連レジスタ
転送許可状態				x
転送禁止状態				

: 可 x : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守ってください。

(1) DMAチャンネル制御レジスタ0の転送許可ビット、および転送要求フラグ

DMAチャンネル制御レジスタ0の転送許可ビットおよび転送要求フラグ以外のビットには、書き込み前と同じデータを書き込んでください。なお、転送要求フラグは"0"の書き込みのみ有効です。

(2) DMA転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

(3) DMA転送による異なるチャンネルのDMAソースアドレス、およびDMAデスティネーションアドレスの書き換え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うこととなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

- DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き換えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き換え操作など)。

- DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んでください。"1"を書き込んだビットは、書き込み前のデータが保持されます。

- DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、DMAチャンネル制御レジスタ0の転送許可ビットを除き、必ず転送禁止時のみ行うようにしてください。ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えは転送許可時でも可能です。

付録4.9 マルチジャンクションタイマの注意事項

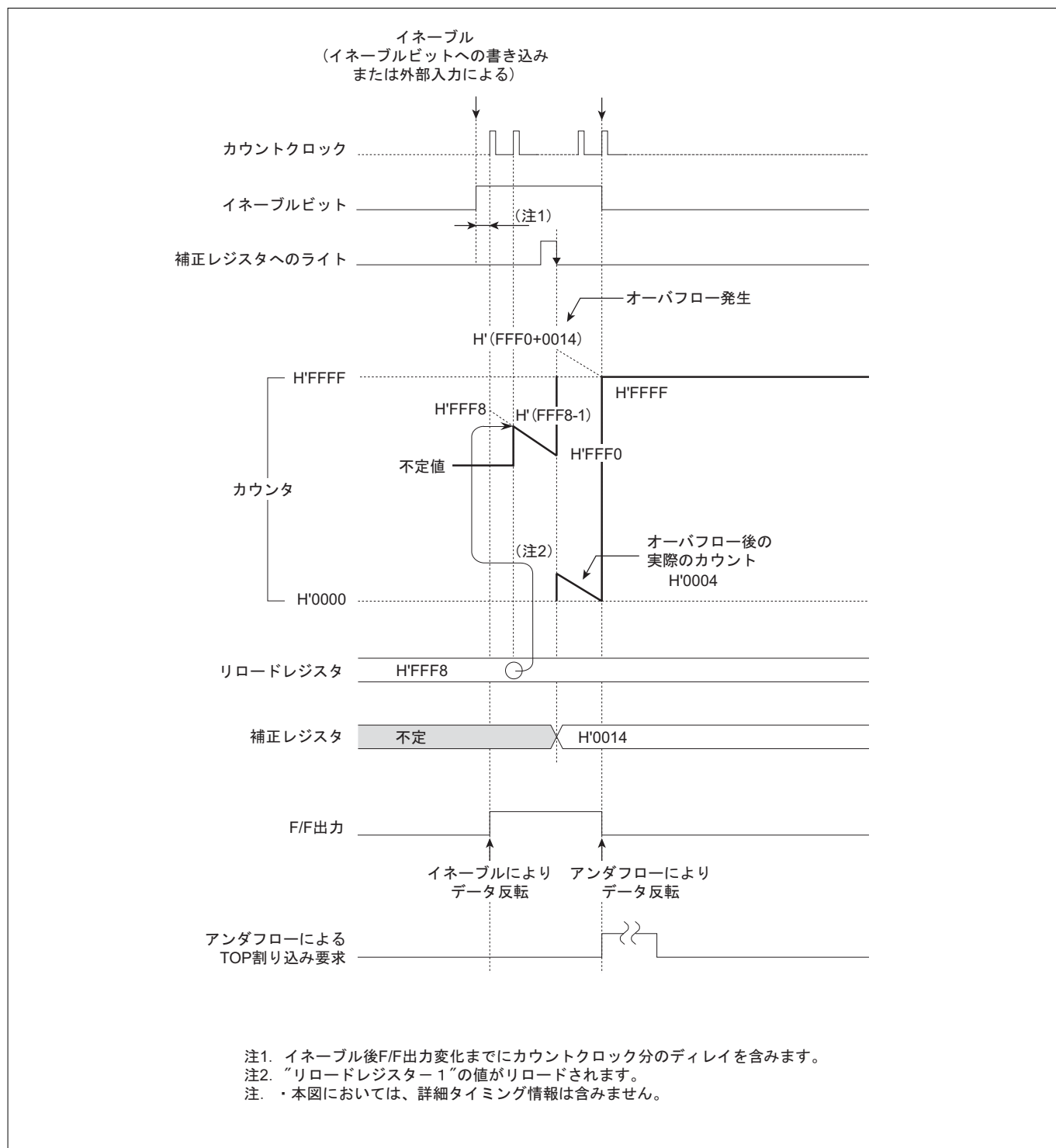
付録4.9.1 TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。
- 補正レジスタの操作でカウンタがオーバフローしないようご注意ください。補正レジスタの操作により万一オーバフローしても、オーバフローしたことによる割り込み要求は発生しません。オーバフロー後に継続したダウンカウントでアンダフローした場合は、オーバフローした値での誤ったアンダフロー割り込み要求が発生します。

以下の例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込み要求は、オーバーフローした誤った値で発生しています。

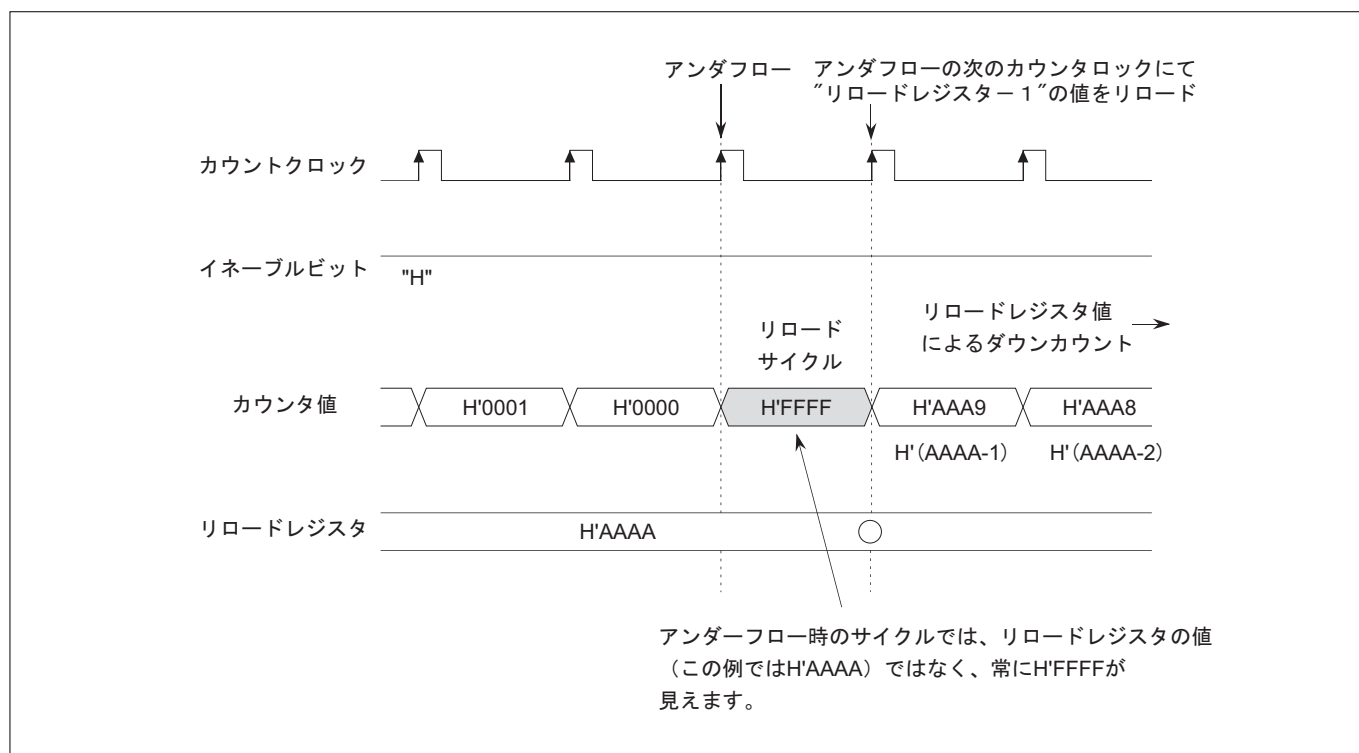


付図4.9.1 TOPワンショット出力モード補正実行でオーバーフローした場合の例

付録4.9.2 TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- 補正レジスタの操作により万一カウンタがオーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込み要求が発生します。
- アンダフロー時のサイクルにカウンタを読むと、一時的に値をH'FFFFと読み出します。リロードは、アンダフローの次のカウンタクロックのタイミング時に「リロードレジスタ - 1」の値をカウンタにとりこみます。



付図4.9.2 アンダフロー直後のカウンタ値

付録4.9.3 TOP連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックのタイミングでカウンタ値は「リロードレジスタ値 - 1」となります。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までには、カウントクロック分のディレイを含みます。

付録4.9.4 TIO計測(フリーラン/クリア)入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

- 計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

付録4.9.5 TIO PWM出力モード使用上の注意

TIO PWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.6 TIOワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロックに同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.7 TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。

付録4.9.8 TIO連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.9 TMS計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

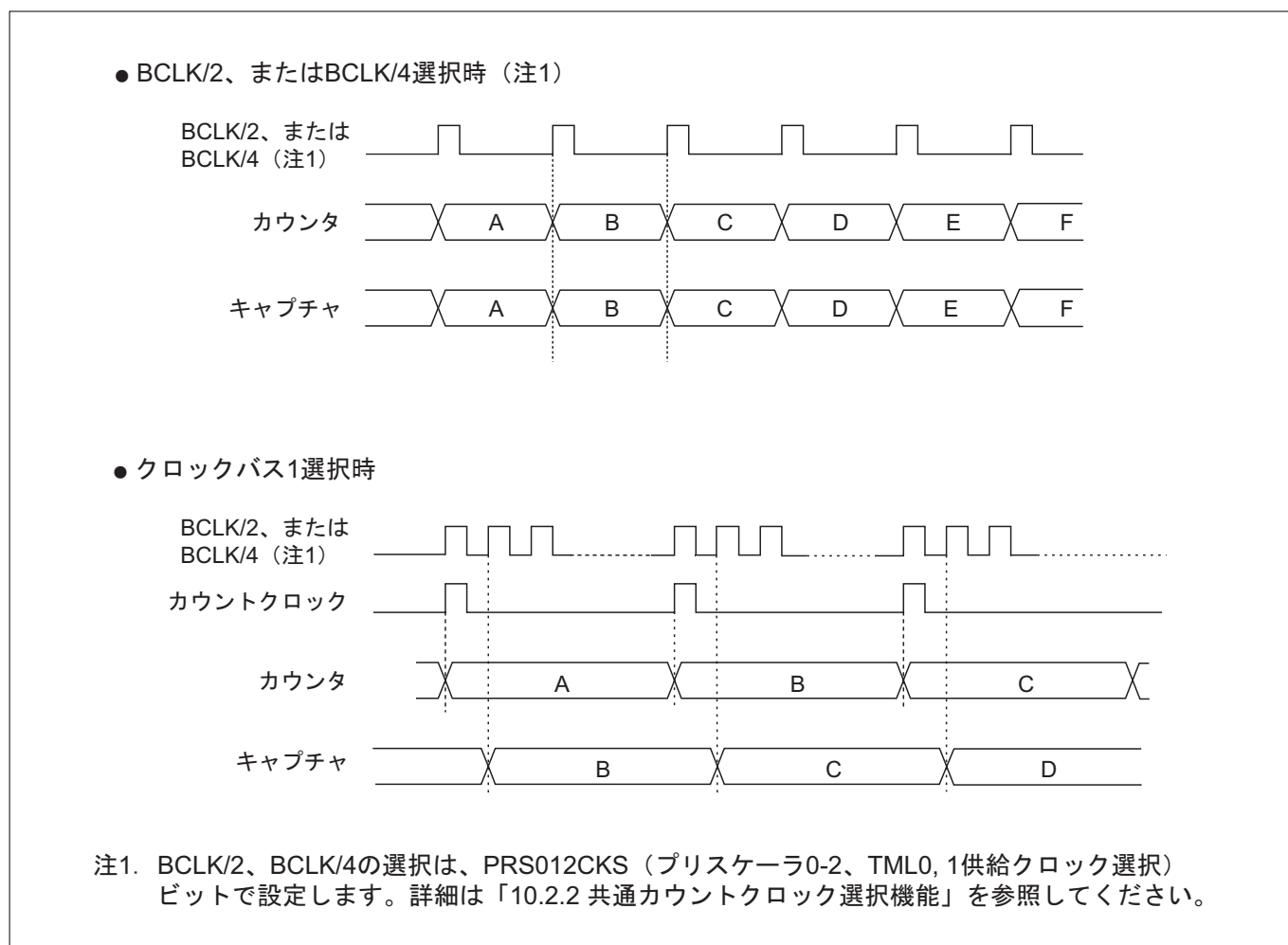
付録4.9.10 TML計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

- 計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き換え前の)アップカウント値が取り込まれます。
- クロックバス1を選択した場合で、内部プリスケータPRS1による分周によりBCLK/2、またはBCLK/4(注1)以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも1つ進んだ値を取り込みます。ただし、カウントクロックからBCLK/2、またはBCLK/4(注1)周期の間は、カウント値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

注1 . BCLK/2、BCLK/4の選択は、PRS012CKS(プリスケータ0-2、TML0, 1供給クロック選択)ビットで設定します。詳細は「10.2.2 共通カウントクロック選択機能」を参照してください。



付図4.9.3 カウンタ値とキャプチャ値のずれ

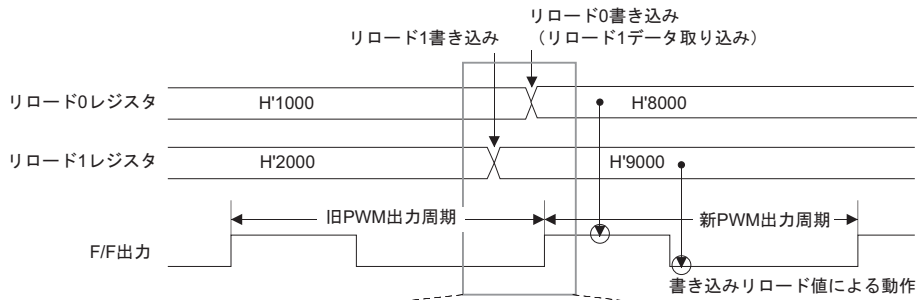
付録4.9.11 TOU PWM出力モード使用上の注意

TOU PWM出力モードを使用する場合の注意点を以下に示します。

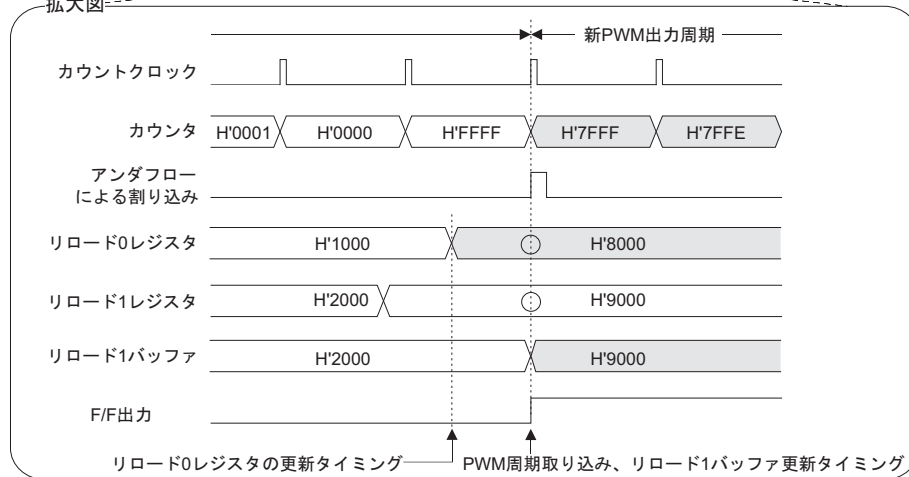
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウンタクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「10.8.19 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

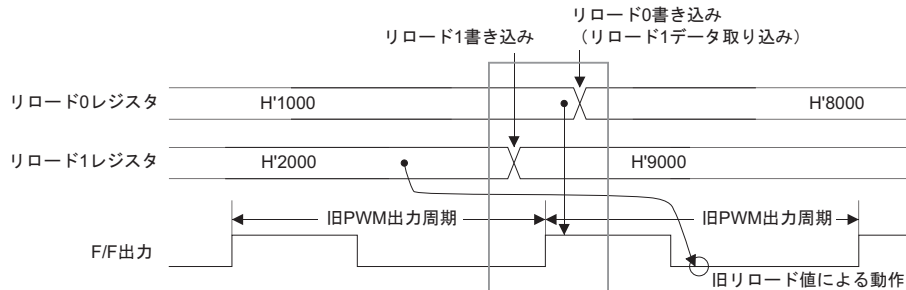
(a) 現周期でリロードレジスタ更新が有効となる場合（次周期に反映）



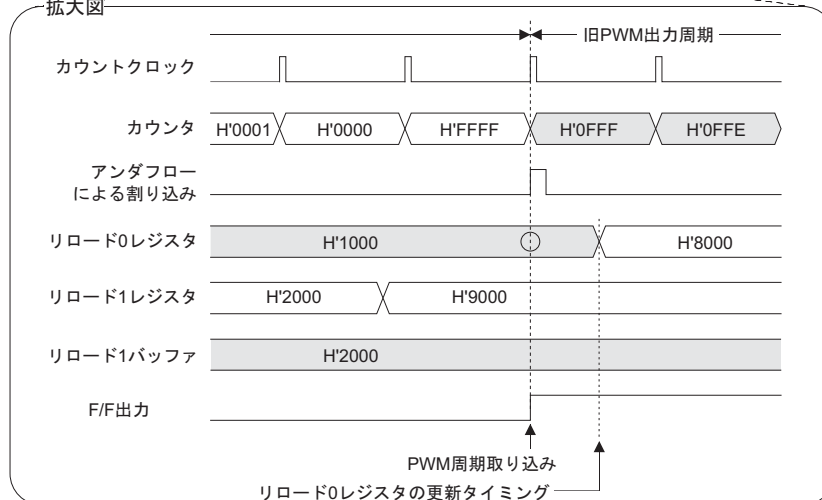
拡大図



(b) 次周期でリロードレジスタ更新が有効となる場合（1周期遅れて反映）



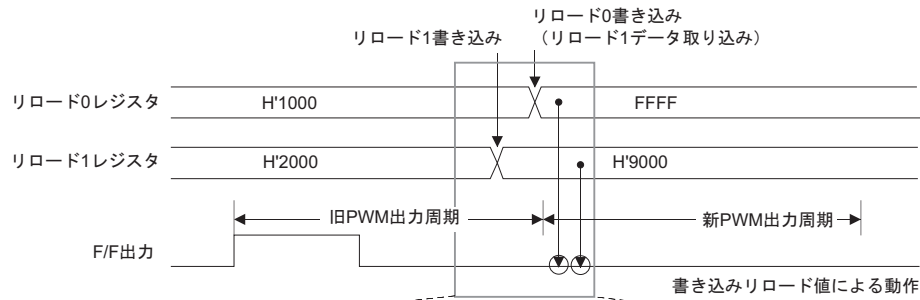
拡大図



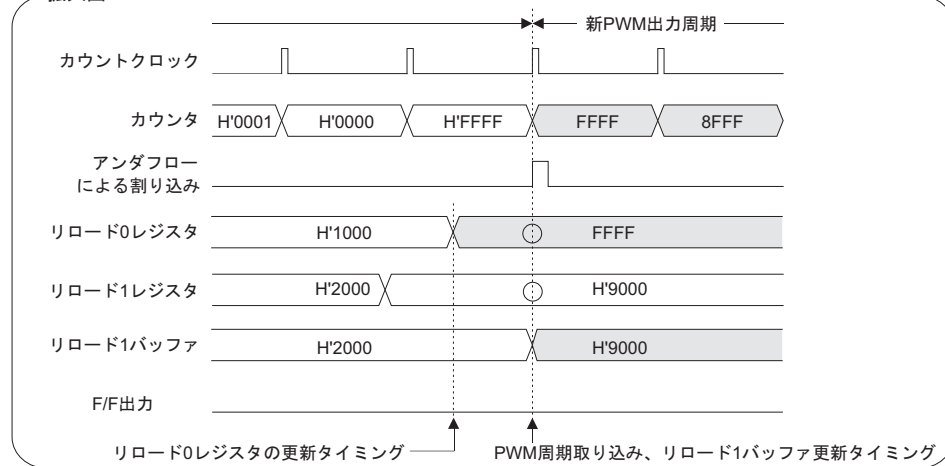
注・本図においては、詳細タイミング情報は含みません。

付図4.9.4 PWM出力モードにおけるリロード0、1レジスタの更新

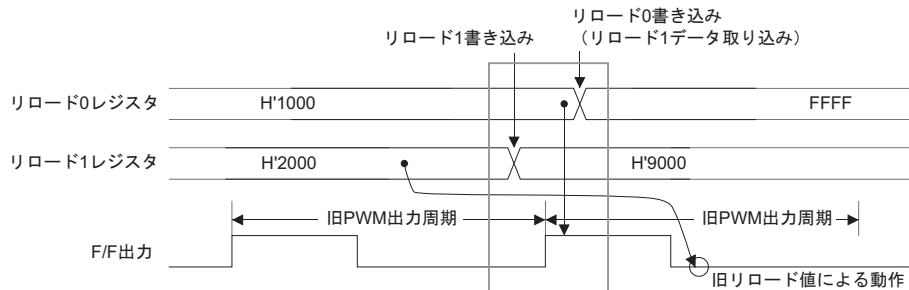
(a) 現周期でリロードレジスタ更新が有効となる場合（次周期に反映）



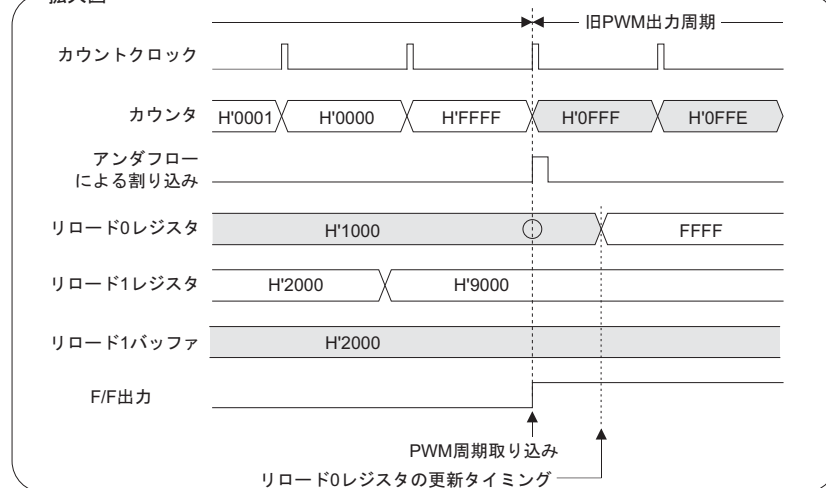
拡大図



(b) 次周期でリロードレジスタ更新が有効となる場合（1周期遅れで反映）



拡大図



注・本図においては、詳細タイミング情報は含みません。

付図4.9.5 PWM出力モードにおけるリロード0、1レジスタの更新(デューティ0%、100%出力時)

付録4.9.12 TOUワンショットPWM出力モード使用上の注意

TOUワンショットPWM出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作中のリロード0、リロード1レジスタの更新は、現在出力中のPWM波形には影響を及ぼしません。更新は、次のイネーブル時のPWM周期より反映されます。

リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロック遅れます。ただし、他のタイマへの起動要求は遅れません。詳細は「付録4.9.16 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力」を参照してください。

付録4.9.13 TOUディレイドワンショット出力モード使用上の注意

TOUディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FF FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロックに同期しているため、イネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.14 TOUワンショット出力モード使用上の注意

TOUワンショット出力モードを使用する場合の注意点を以下に示します。

- アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。
- アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。
- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.15 TOU連続出力モード使用上の注意

TOU連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、H'FF FFFFが読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値 - 1」の値をリロードします。
- タイマ動作はカウントクロック出力に同期しているため、イネーブル書き込みからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

付録4.9.16 PWM出力/ワンショットPWM出力モード時のデューティ0%、100%出力

PWM出力/ワンショットPWM出力モード時にリロード0レジスタ、またはリロード1レジスタに"H'FFFF"を書き込み、動作させるとF/Fを反転しないPWM出力(デューティ0%、100%)を設定できます。

PWM出力/ワンショットPWM出力モード時は、リロード値が"H'FFFF"かどうかを判定するため、下記の注意が必要です。

- (1) 0%、100%検出時でも1カウントするため、片方のリロードレジスタには、-1した値を入れなければ周期は一定になりません。

(例)出力したい周期が、「10」カウントのとき

周期割合	50% : 50%	80% : 20%	90% : 10%	100% : 0%
カウント割合	5 : 5	8 : 2	9 : 1	10 : 0
レジスタ設定値	0004 : 0004	0007 : 0001	0008 : 0000	0009 : FFFF

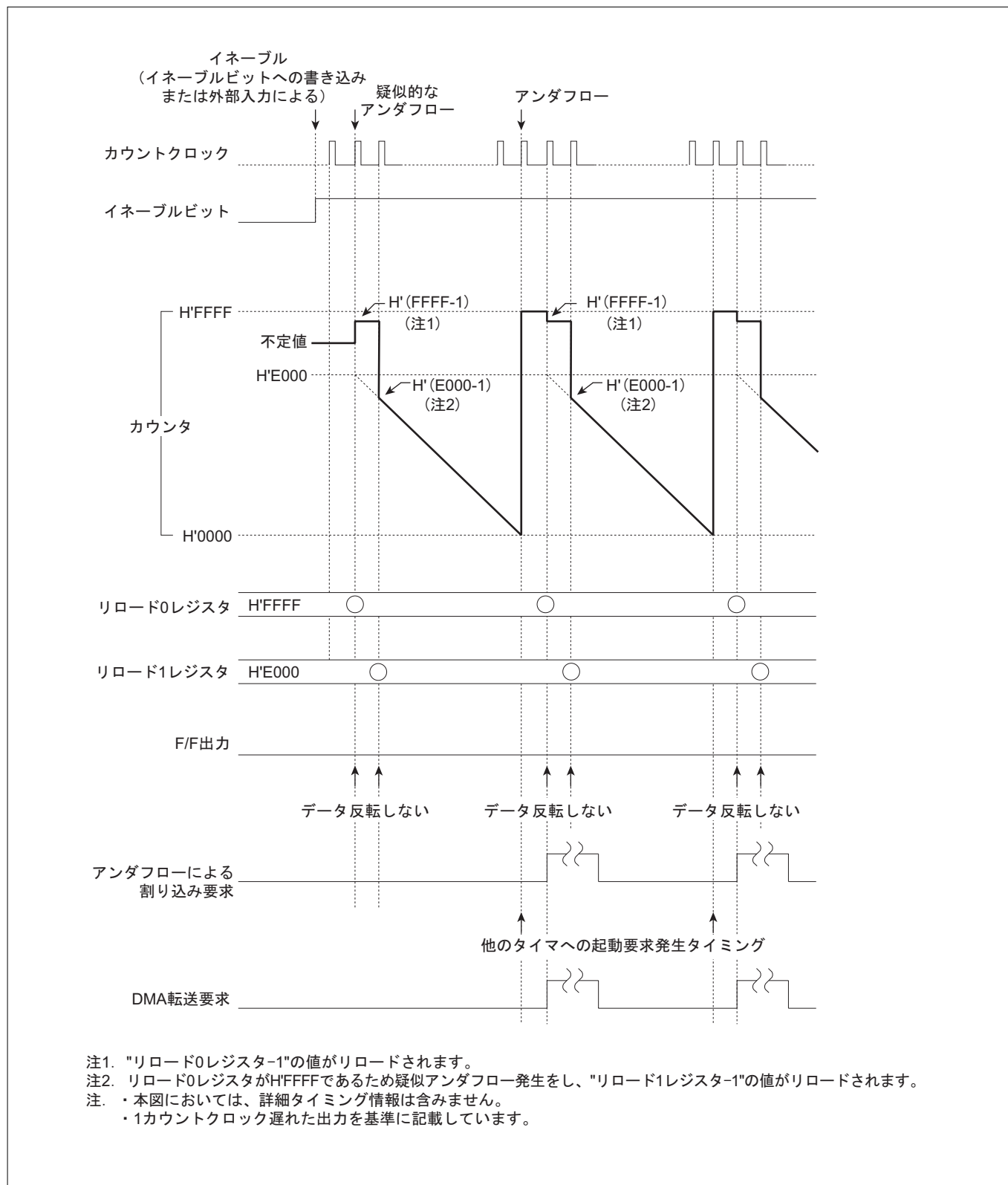
n + 1カウントするので実際の設定値はそれぞれ " - 1"する必要があります。

0008 : FFFF

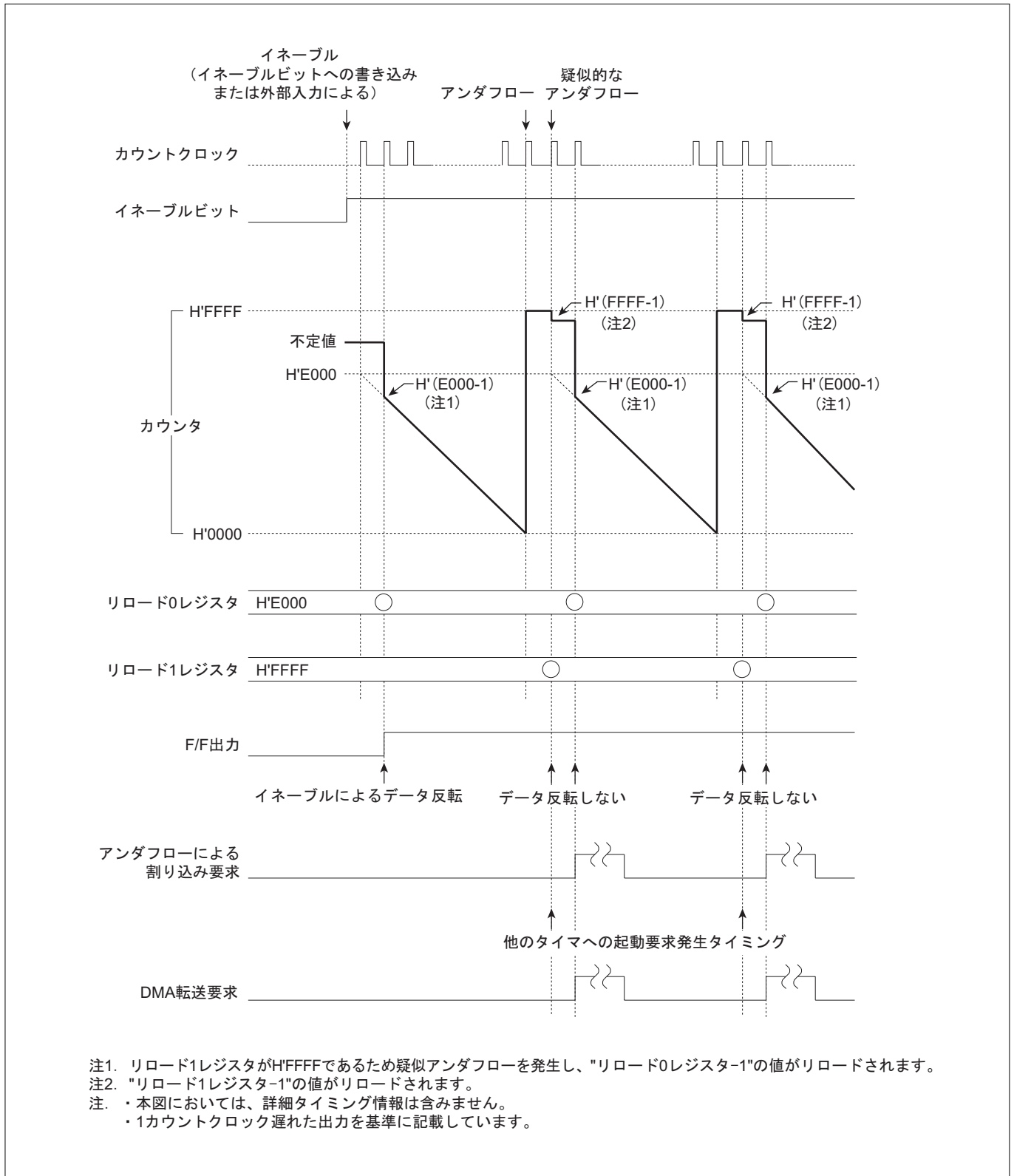
"FFFF"を検出後F/F反転せず、1カウントします。

このため、周期を一定にするには"0009"を"0008"にしてください。

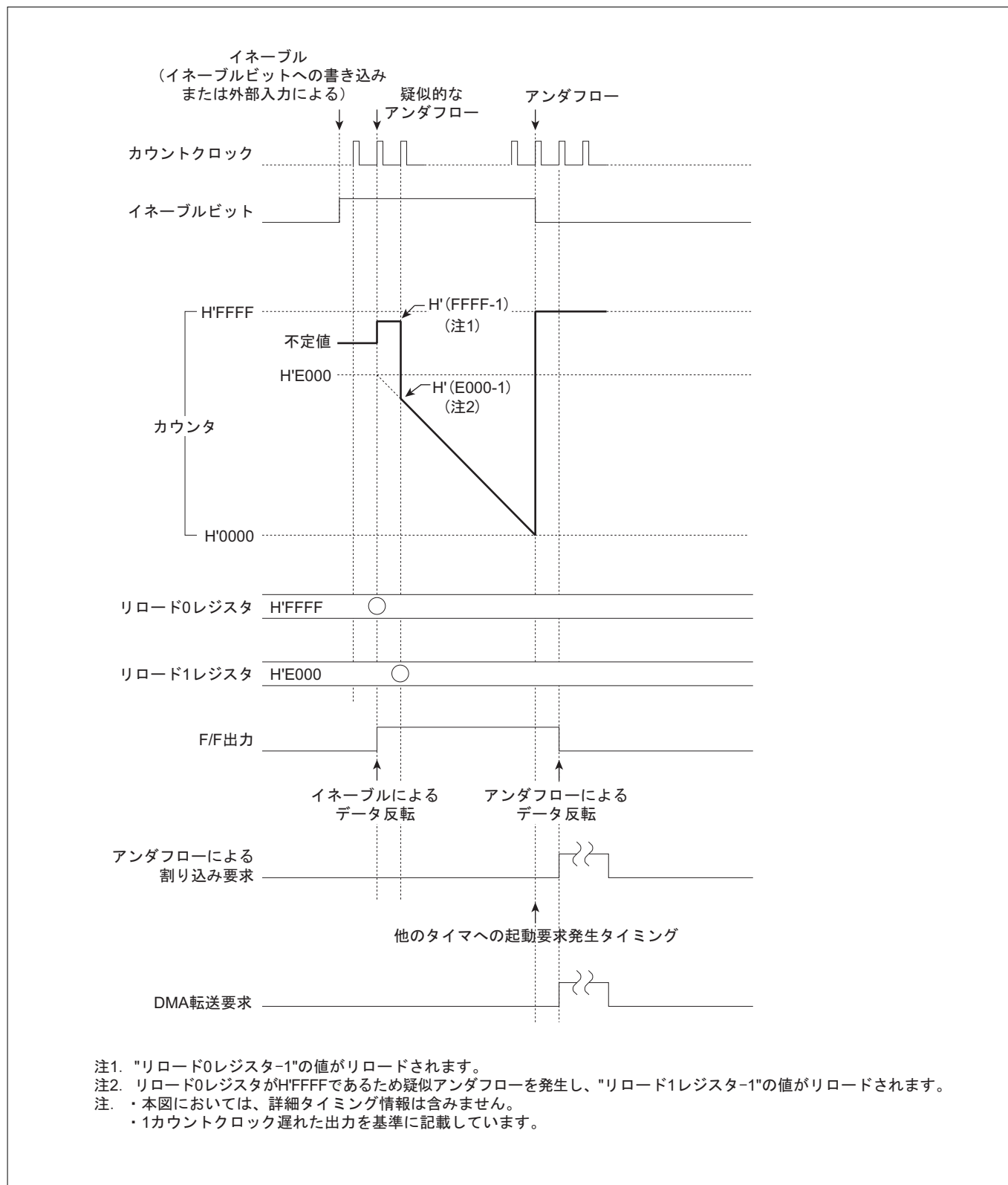
- (2) リロードレジスタに"H'FFFF"を設定した場合はデューティ0%、100%となるため、純粋な"H'FFFF"カウントはできません。
- (3) リロード0レジスタ、およびリロード1レジスタ共に"H'FFFF"を設定するのは、使用禁止です。
- (4) 動作中のカウンタへの"H'FFFF"書き込みは、使用禁止です。
- (5) デューティ0%、100%の場合でも、割り込み要求、他のタイマへの起動要求は発生します。
- (6) リロードするときにデューティ0%、100%を判定するためF/F反転、割り込み要求の発生、DMA転送要求の発生が1カウントクロックだけ遅れます。ただし、他のタイマへの起動要求は遅れません。



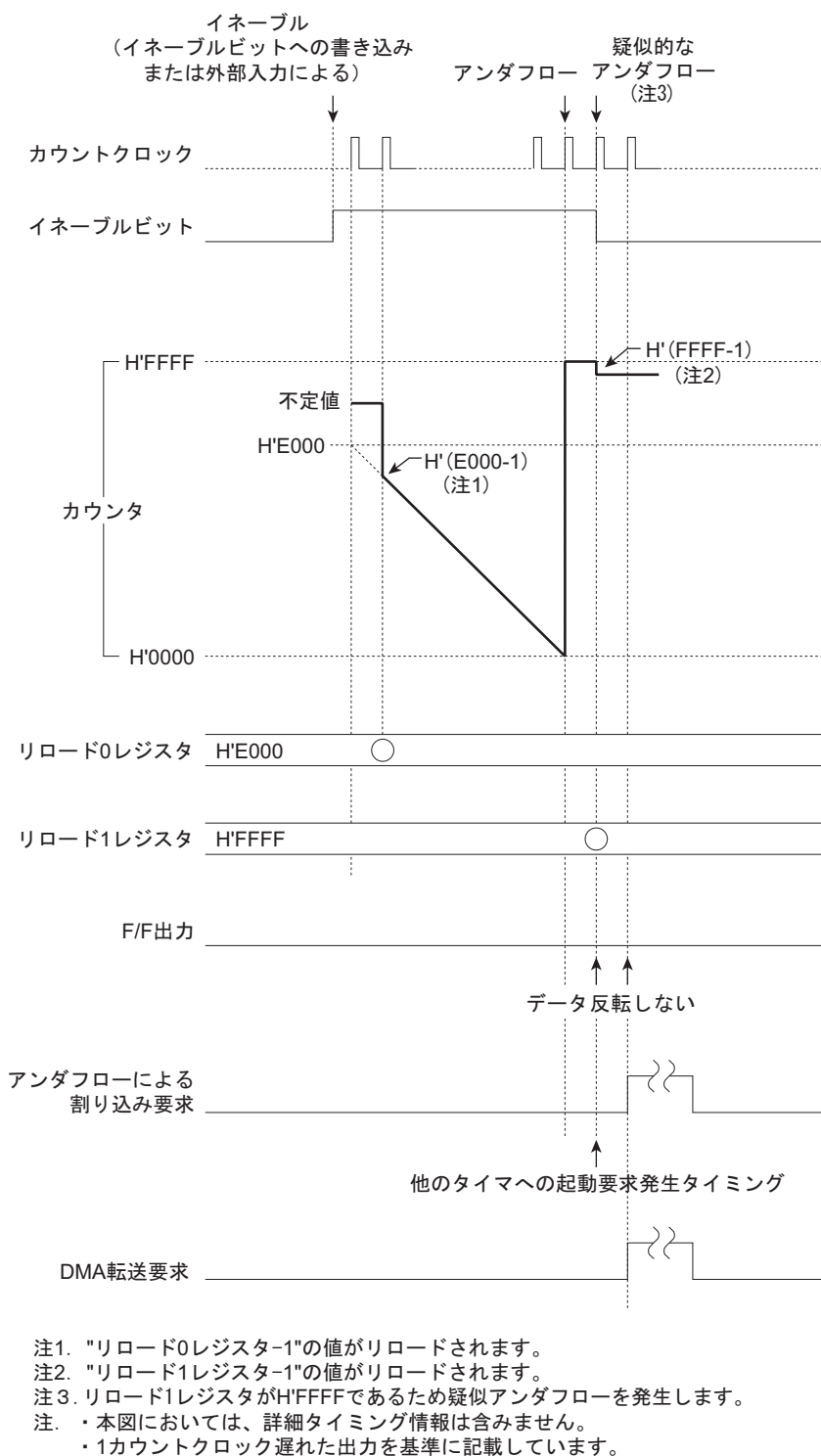
付図4.9.6 PWM出力モードの動作例(リロード0レジスタ : H'FFFF)



付図4.9.7 PWM出力モードの動作例(リロード1レジスタ : H'FFFF)



付図4.9.8 ワンショットPWM出力モードの動作例(リロード0レジスタ : H'FFFF)



付図4.9.9 ワンショットPWM出力モードの動作例(リロード1レジスタ : H'FFFF)

付録4

付録4.10 A/Dコンバータの注意事項

- スキャン動作中の強制終了

スキャンモード動作中に、A/D変換ストップビット(ADCSTP)を"1"にセットしてA/D変換を強制停止した場合、変換途中のチャネルに対応するA/Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

- A/Dコンバータ関連レジスタの変更

A/D変換ストップビットを除くA/D変換割り込み制御レジスタ、各モードレジスタおよびA/D逐次近似レジスタの内容の変更は、A/D変換停止中に行うか、変更後に再スタートしてください。A/D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

- アナログ入力信号の取り扱い

サンプル&ホールド無効で使用する場合、A/D変換中はアナログ入力レベルを固定してください。

- A/D変換終了ビットの読み出しタイミング

A/D変換起動直後、およびA/D変換ストップビットによるA/D変換停止直後にA/D変換終了ビット(単一モードレジスタ0のADSCMPビット、およびスキャンモードレジスタ0のADCCMPビット)、およびA/D同時サンプリングステータスビット(単一モードレジスタ2のADSH2STビット)を読み出す場合は、当該レジスタに対するダミーリード等により6BCLK分タイミング調整してから読み出してください。

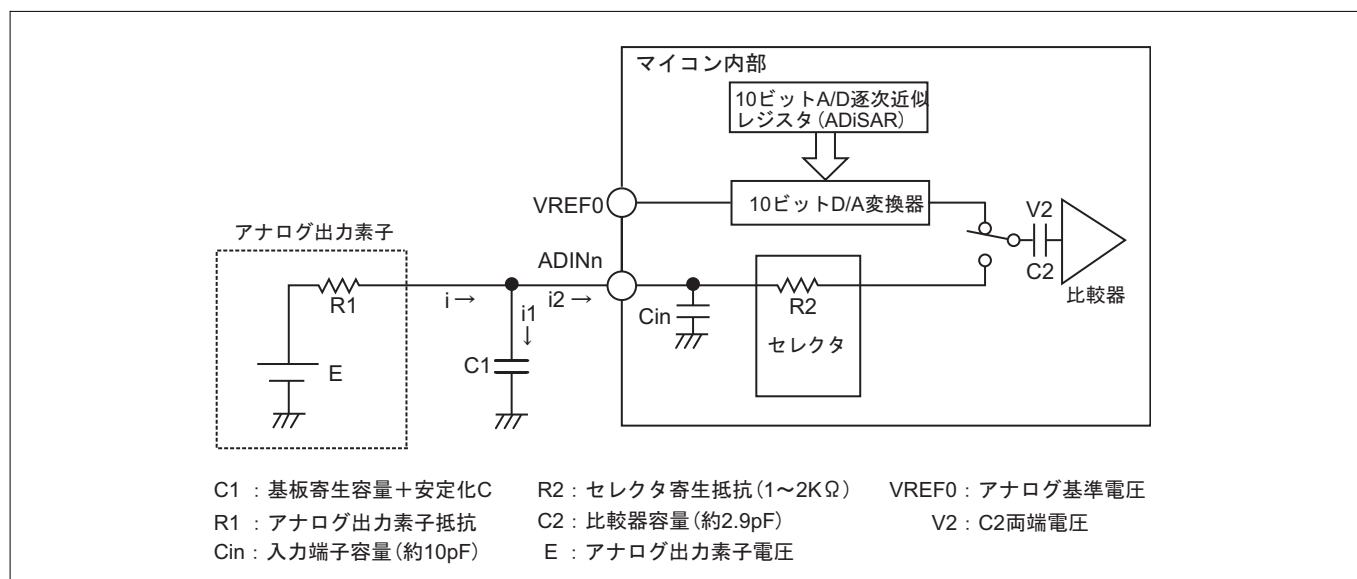
- アナログ入力端子に関して

付図4.10.1にアナログ入力部の内部等価回路を示します。正確なA/D変換結果を得るには、所定の時間(サンプリング時間)内にA/D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不要な場合についての考え方も示します。

- 絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC/AVSS/VREFを他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。



付図4.10.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1(付加を推奨)の算出例

付図4.10.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VREF0を5.12Vとした場合の10ビットA/Dコンバータでは、1LSB判定電圧 = 5.12V/1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \quad \text{----- (A-1)式}$$

また、Vpは以下の式にても求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF0}}{10 \times 2^x} \quad \text{----- (A-2)式}$$

注・ Vp1は、A/D変換1回目の電位変動
・ 10ビット分解能A/Dコンバータのため、xは"10"です。

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \quad \text{----- (A-3)式}$$

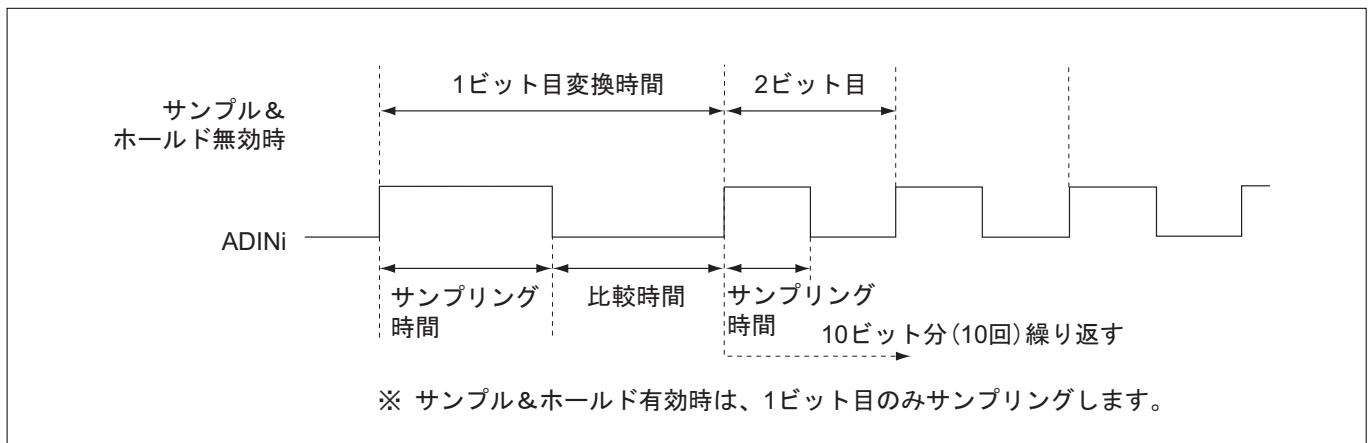
$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \quad \text{----- (A-4)式}$$

よって、10ビット分解能=A/Dコンバータで C2=2.9pFの場合のC1は、0.06μF以上となります。C1設定時の参考としてご使用ください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

付図4.10.1において、外付けコンデンサC1を使用しない場合、アナログ出力素子が一定時間内にC2を十分に充電できるかを検討する必要があります。まず、図11.5.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i_2 = \frac{C_2 (E - V_2)}{C_{in} \times R_1 + C_2 (R_1 + R_2)} \times \exp \left\{ \frac{-t}{C_{in} \times R_1 + C_2 (R_1 + R_2)} \right\} \quad \text{----- (B-1)式}$$



付図4.10.2 A/D変換タイミング図

付図4.10.2にA/D変換タイミング図を示します。C2への充電に必要な時間は図中のサンプリング時間ですが、サンプル&ホールド無効の場合の2ビット目以降のサンプリング時間は、1ビット目にくらべて約半分となります。

各変換スピードごとのサンプリング時間を次ページに示します。なお、サンプル&ホールド有効の場合は1ビット目のサンプリングのみとなります。

付表4.10.1 サンプルング時間(C2充電必要時間)

変換開始方法		変換速度	1ビット目サンプルング時間		2ビット目以降サンプルング時間
2BCLK モード	単一モード	低速モード	ノーマル	55BCLK	27BCLK
	(サンプル&ホールド		倍速	31BCLK	15BCLK
	無効時またはノーマル	高速モード	ノーマル	23BCLK	11BCLK
	サンプル&ホールド有効時)		倍速	15BCLK	7BCLK
単一モード (高速サンプル& ホールド有効時)	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	
コンパレータモード	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	
同時サンプルング	低速モード	ノーマル	55BCLK	-	
		倍速	31BCLK	-	
	高速モード	ノーマル	23BCLK	-	
		倍速	15BCLK	-	

よって、C2を充電するために必要な時間は、(B-1)式より

$$\text{サンプルング時間(C2充電必要時間)} > C_{in} \times R1 + C2(R1 + R2) \text{ -----(B-2)式}$$

となり、R1の最大値を求める目安の式は、以下ようになります。

なお、単一モード(サンプル&ホールド無効時)は、2ビット目以降のサンプルング時間(C2充電必要時間)を使用してください。

$$R1 < \frac{C2 \text{ 充電必要時間} - C2 \times R2}{C_{in} + C2}$$

付録4.11 シリアルインタフェースの注意事項

付録4.11.1 CSIOモード時の注意事項

- SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIO特殊モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

- BRG(ボーレート)レジスタの設定

$f(\text{BCLK})/8$ を越えないようにBRGレジスタの値を設定してください。

- 連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

- 受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

- 連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

- DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

- 受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

- オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなります(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

- SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

- SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバーランエラー発生時は、受信完了DMA転送要求は発生しませんので注意してください。

- 汎用ポートからシリアルインタフェース端子への切り換え

ポート動作モードレジスタにより、汎用ポートからシリアルインタフェース端子へ切り換えた際、SCLKOn端子は"Hレベル"(内部クロック選択、CKPOLビットを"0"に設定の場合。CKPOLビットを"1"に設定の場合は"Lレベル")、TXDn端子は不定値を出力します。ただし、SIO_n送信制御レジスタのTENビットを"1"(送信許可)に保持した状態で汎用ポートからシリアルインタフェース端子へ切り換えた際は、TXDn端子は以前に出力したシリアルデータの最終ビットのレベルを出力します。

付録4.11.2 UARTモード時の注意事項

● SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIO特殊モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず非動作中に設定してください。送受信中に設定を変更するには送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

● BRG(ボーレート)レジスタの設定

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信および受信禁止の状態では、書き込みと同時に変更可能です。

● DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

● オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

● UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

● 汎用ポートからシリアルインタフェース端子への切り換え

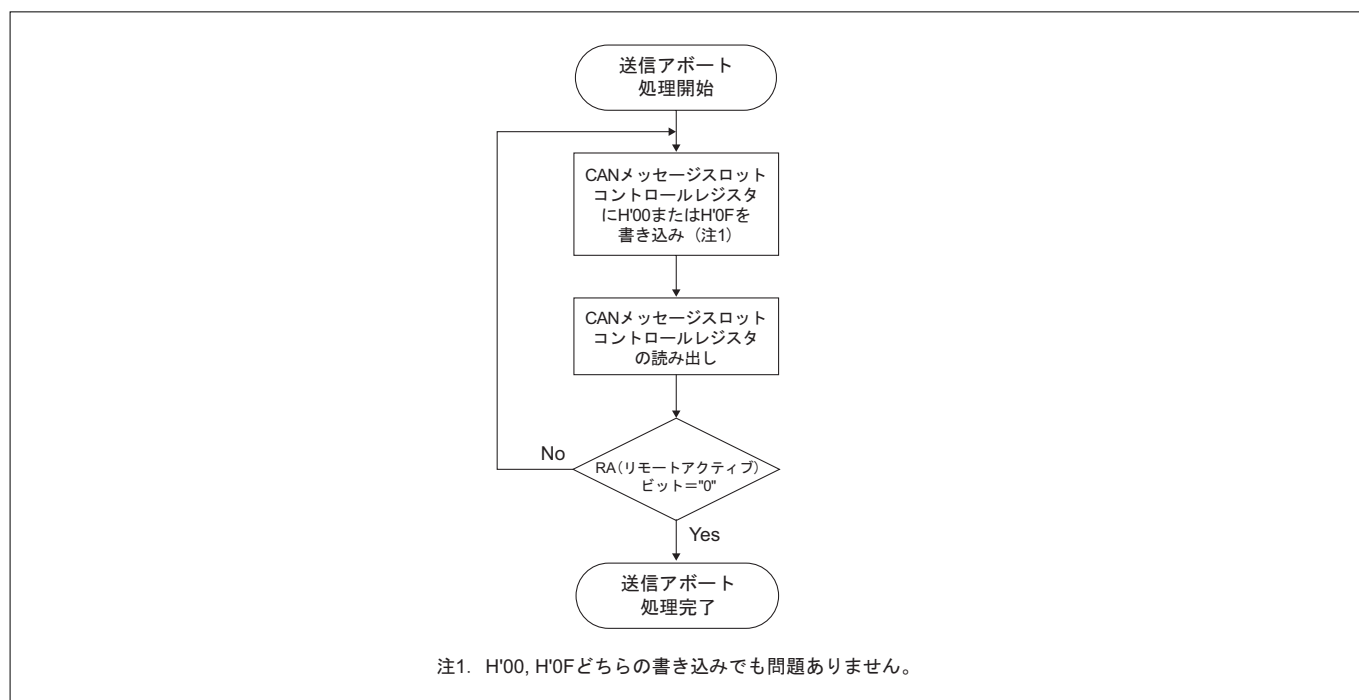
ポート動作モードレジスタにより、汎用ポートからシリアルインタフェース端子へ切り換えた際、TXDn端子は"Hレベル"を出力します。

付録4.12 CANモジュールの注意事項

・リモートフレーム送受信キャンセルについて

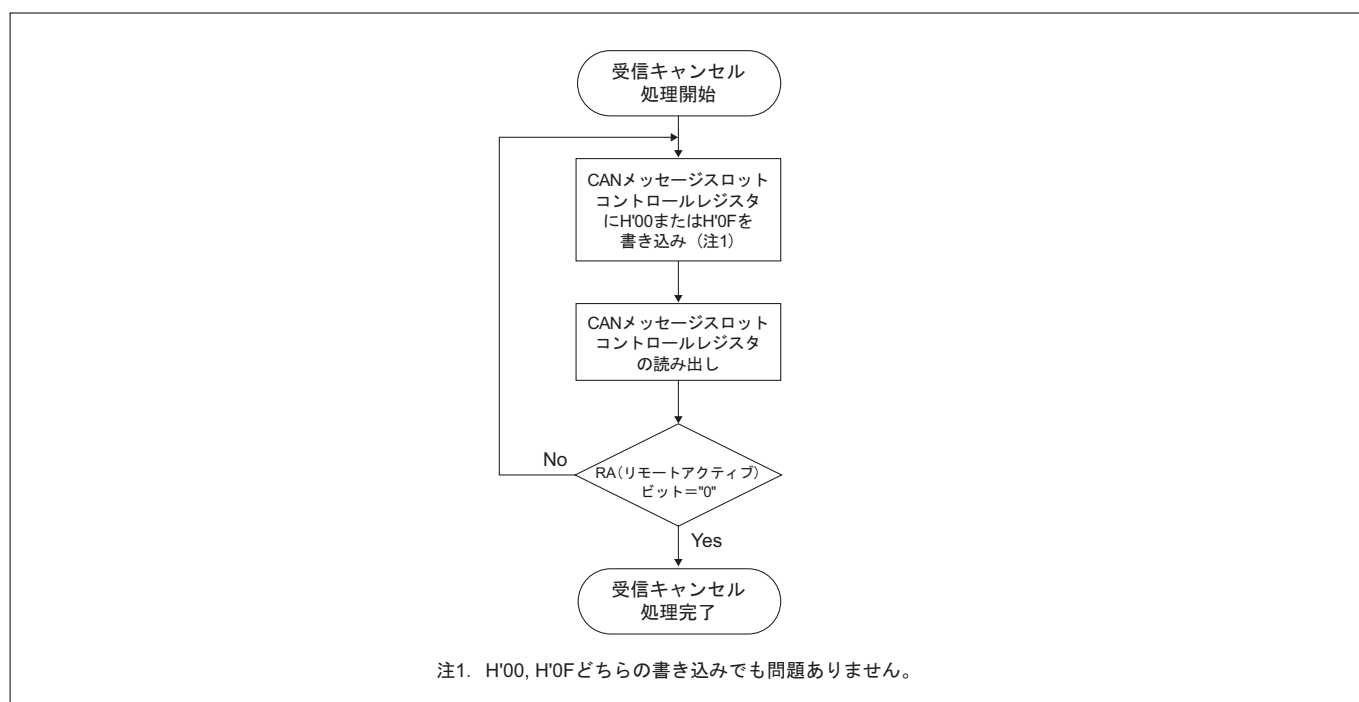
リモートフレーム送信アボート、リモートフレーム受信キャンセルを行う際には、CANメッセージスロットコントロールレジスタにH'00またはH'0Fを書き込んだ後、RA(リモートアクティブ)ビットが"0"にクリアされたことを確認してください。

(1)リモートフレーム送信アボート時



付図4.12.1 リモートフレーム送信アボート時の処理フロー

(2)リモートフレーム受信キャンセル時



付図4.12.2 リモートフレーム受信キャンセル時の処理フロー

付録4.13 DRIの注意事項

DRIの注意事項を以下に示します。

- ・ DRI、RTDから内蔵RAMへのデータ書き込みは、M32R-FPUとは別に用意された専用バスを使用するため、通常、他のバスマスタ(CPU、DMA、NBD、SDI)からのアクセスとの競合は発生しません。ただし、内蔵RAMの16Kbyte単位の領域に対して、DRI、RTD転送と他のバスマスタからのアクセス(読み出し/書き込み)が同時または、重なった場合は、アクセス競合が発生します。アクセス競合が発生した場合、次の優先順位に従って調停が行われます。

NBD/SDI > DMA > CPU > DRI > RTD

付録4.14 RAMバックアップモードの注意事項

付録4.14.1 電源立ち上げ時の注意事項

電源投入後ポートnを入力モードから出力モードにする場合、以下の点に注意してください。

ポートnデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートnデータレジスタへ出力レベル"H"を設定した後、ポートnを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が"L"レベルになり、RAMバックアップモードになることがあります。

付録4.14.2 電源立ち上げ時の制約事項

電源立ち上げ時、VDDE VCCERを満たすようにしてください。ただし、VDDEが3.0以上の場合は、制約事項VDDE VCCERを満たさなくても問題ありません。

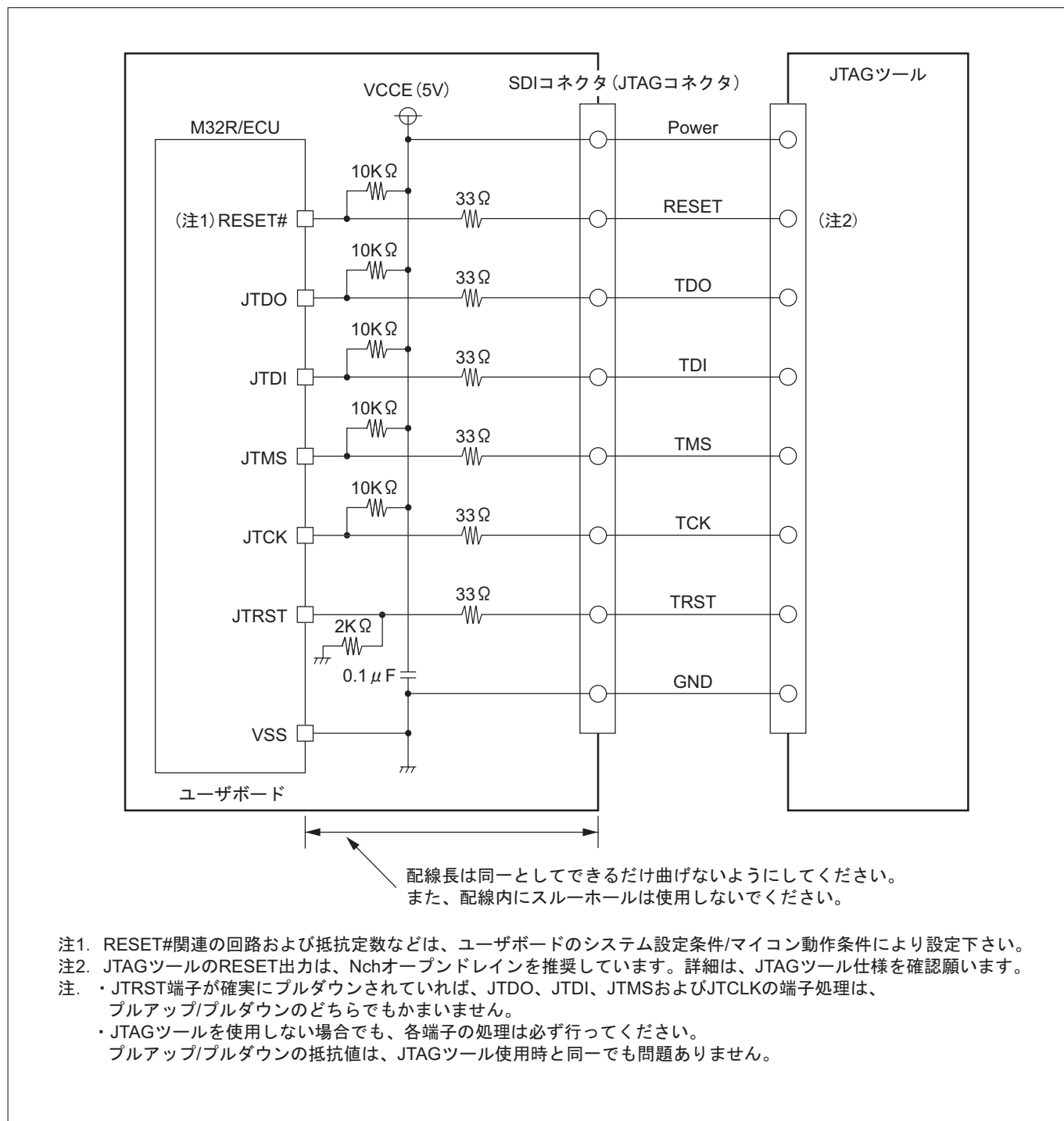
また、上記電源立ち上げ時の制約事項を満たせない場合、1V以上の電位差でマイコンに印加されないようにユーザーにて十分評価し、システム設計を行ってください。

電位差が0V~0.6V程度では電流の流れ込みはなく、0.6Vを超える辺りから流れ込み電流が増加します。

付録4.15 JTAGに関する注意事項

付録4.15.1 JTAG接続時のボード設計注意事項

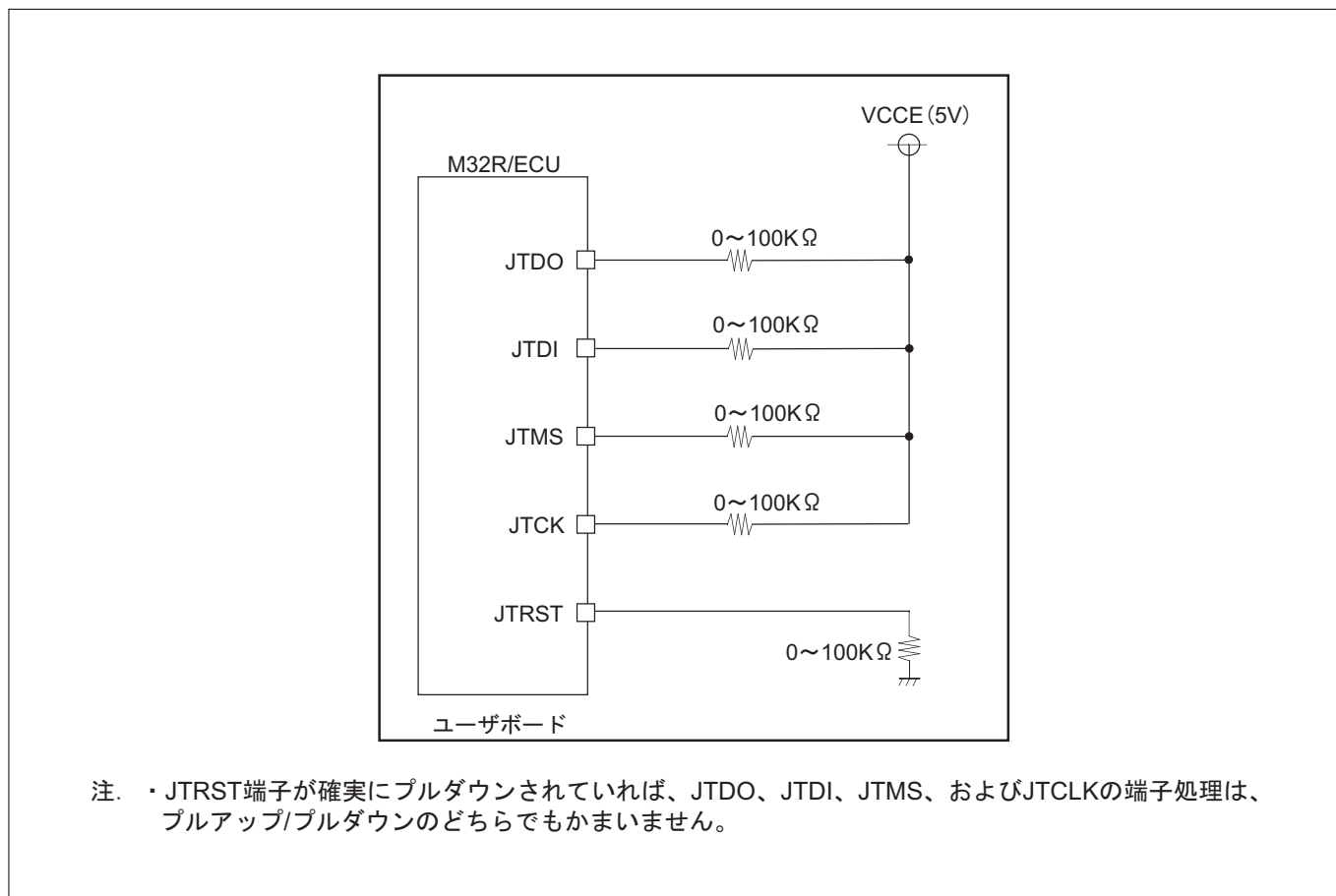
JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。



付図4.15.1 JTAGツール接続時の注意事項

付録4.15.2 JTAG未使用時の端子処理

JTAG端子を使用しない場合の端子処理を以下に示します。



付図4.15.2 JTAG未使用時の端子処理

付録4.16 ノイズに関する注意事項

ノイズに関する注意事項およびその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。

付録4.16.1 配線長の短縮

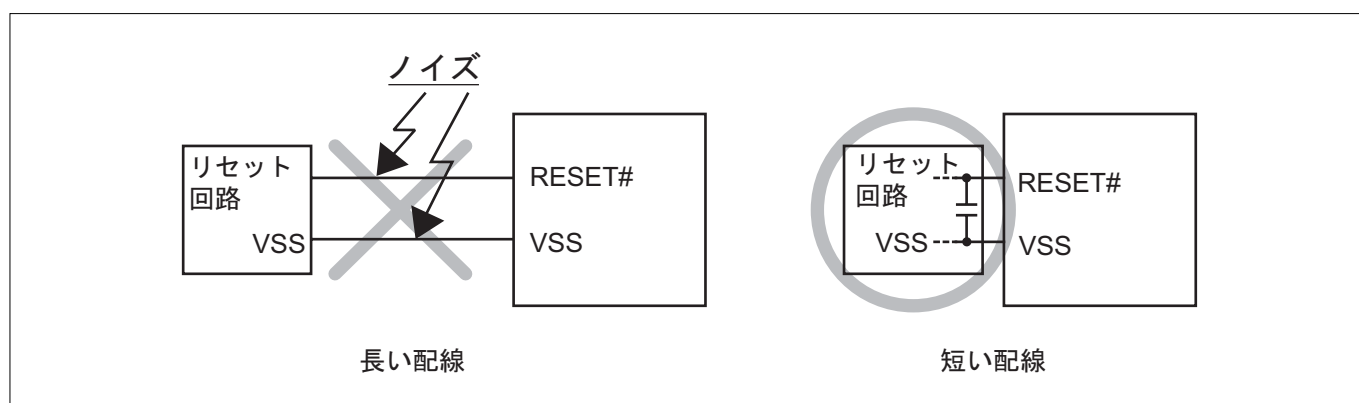
基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。

(1) RESET#端子の配線

RESET#端子に接続する配線は、短くしてください。特にRESET#端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。

<理由>

リセットは、マイコン内部を初期状態にする機能です。RESET#端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET#端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。



付図4.16.1 RESET#端子の配線例

(2) クロック入出力端子の配線

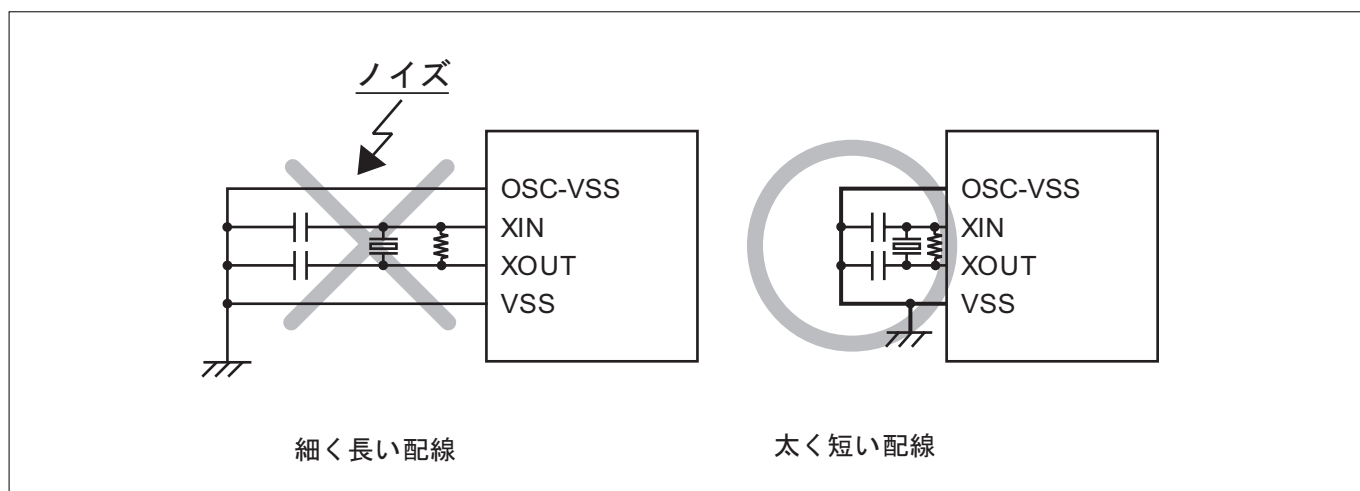
クロック入出力端子に接続する配線は、できるだけ太く短くしてください。

発振子に接続するコンデンサの接地側リード線とマイコンのOSC-VSS端子とは、最短(20mm以内)の配線で接続してください。

発振用のVSSパターンはベタパターンとしてGNDに接地ください。

<理由>

マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロックの入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコン入力されません。



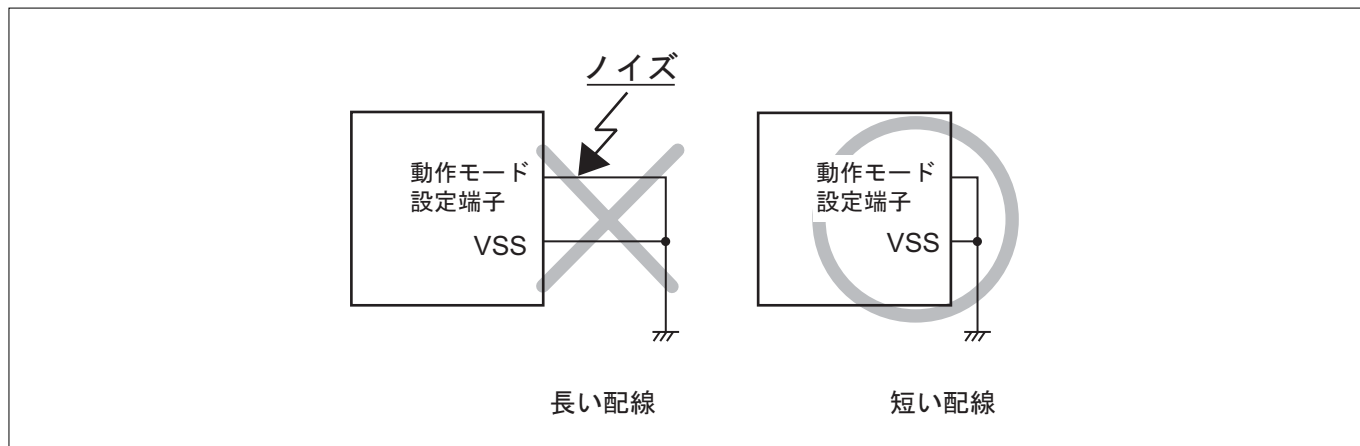
付図4.16.2 クロック入出力端子の配線例

(3) 動作モード設定端子の配線

動作モード設定端子とVCCまたはVSS端子とを接続する場合、最短の配線で接続してください。

<理由>

動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCCまたはVSS端子とを接続する場合、動作モード設定端子とVCCまたはVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

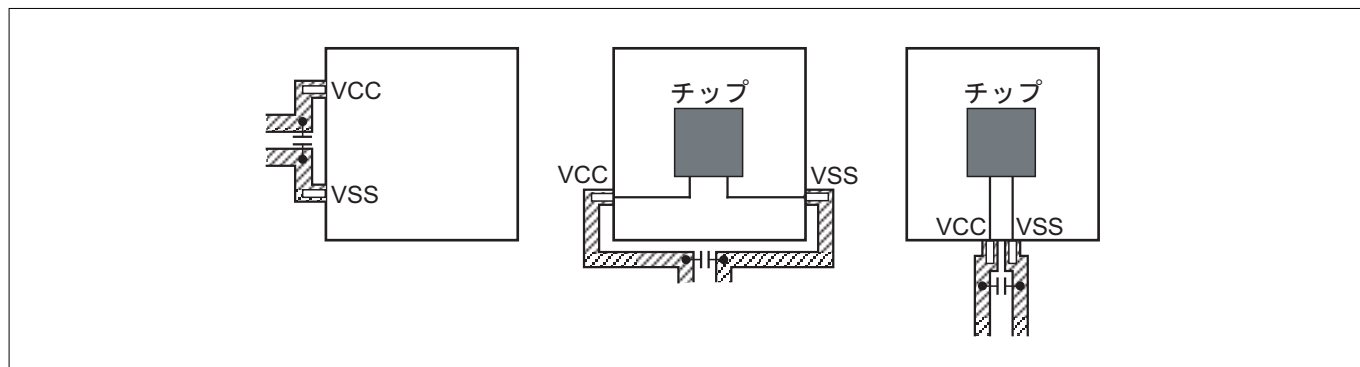


付図4.16.3 MOD0, MOD1端子の配線例

付録4.16.2 VSS - VCCライン間へのバイパスコンデンサ挿入

VSS - VCCライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を等しくする
- VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を最短とする
- VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する



付図4.16.4 VSS - VCCライン間のバイパスコンデンサ挿入例

付録4.16.3 アナログ入力端子の配線処理

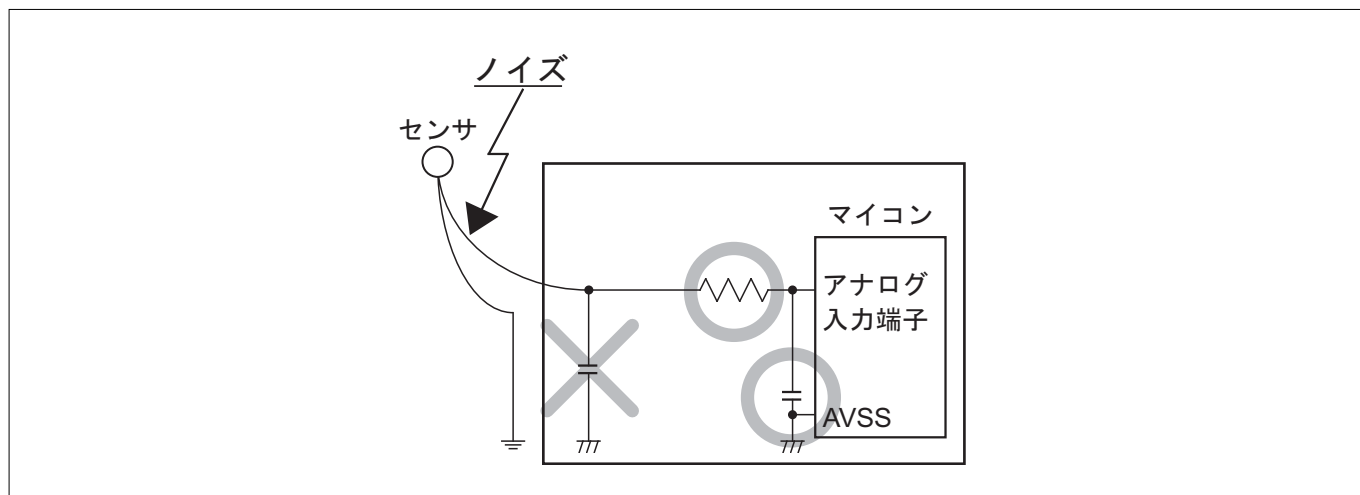
アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100 ~ 500 Ω 程度の抵抗を直列に接続してください。

アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。

<理由>

通常、アナログ入力端子(A/Dコンバータ入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。



付図4.16.5 アナログ信号線と抵抗及びコンデンサ挿入例

付録4.16.4 発振用端子への配慮

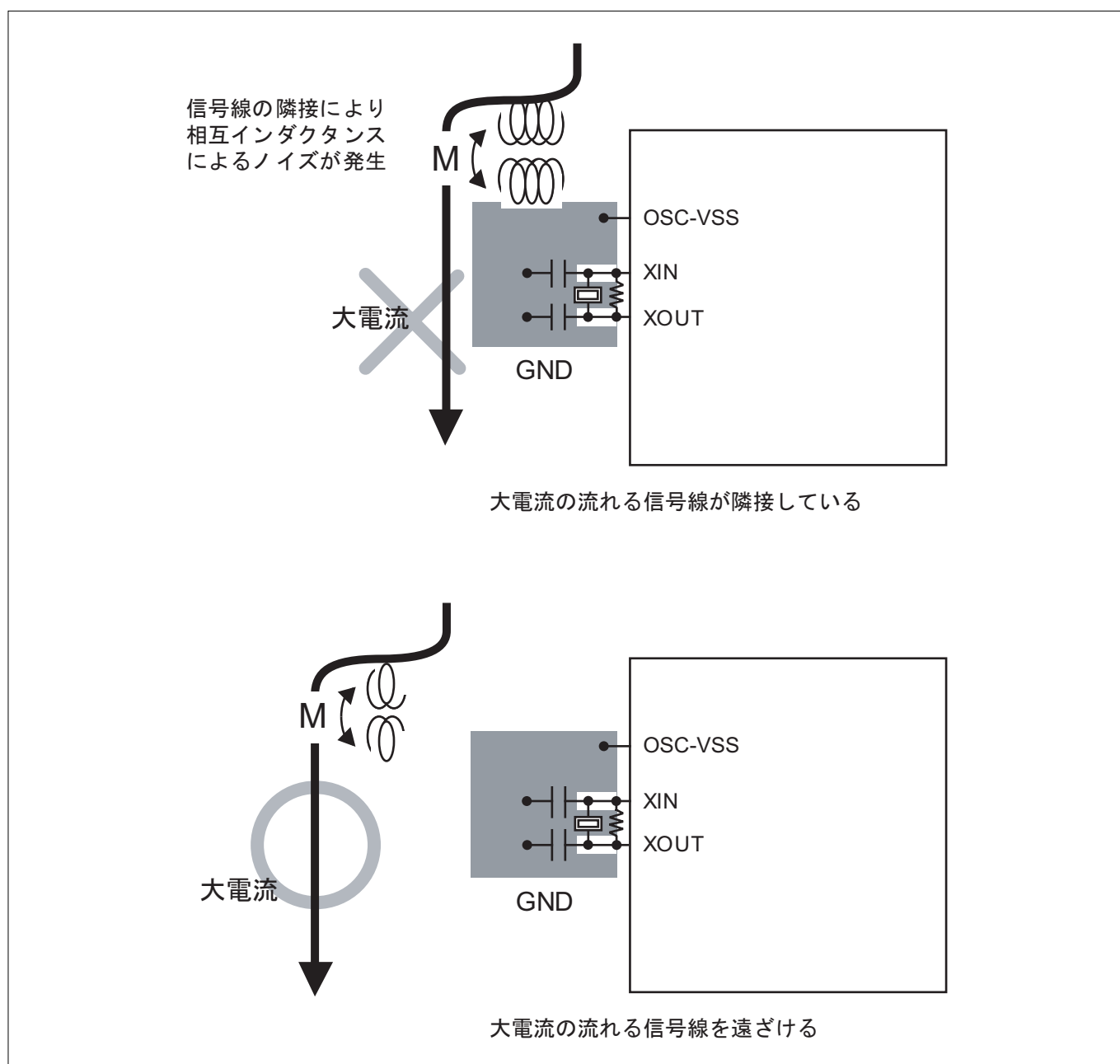
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振用端子)からできるだけ遠い位置に配置ください。また、GNDパターンによる回路の保護を実施ください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンス(M)によるノイズが発生します。



付図4.16.6 大電流が流れる信号線の配線例

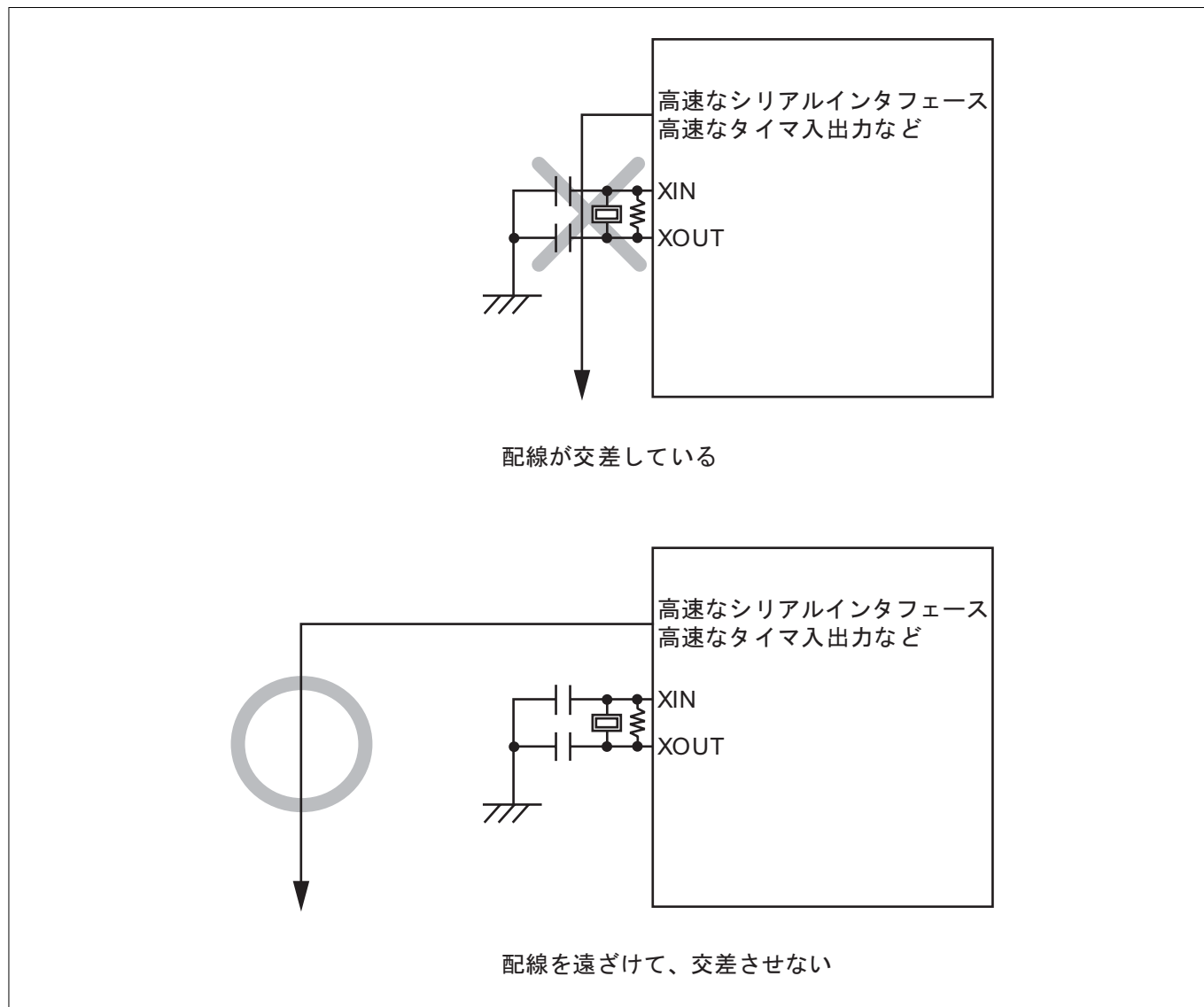
(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。



付図4.16.7 高速にレベル変化する信号線の配線例

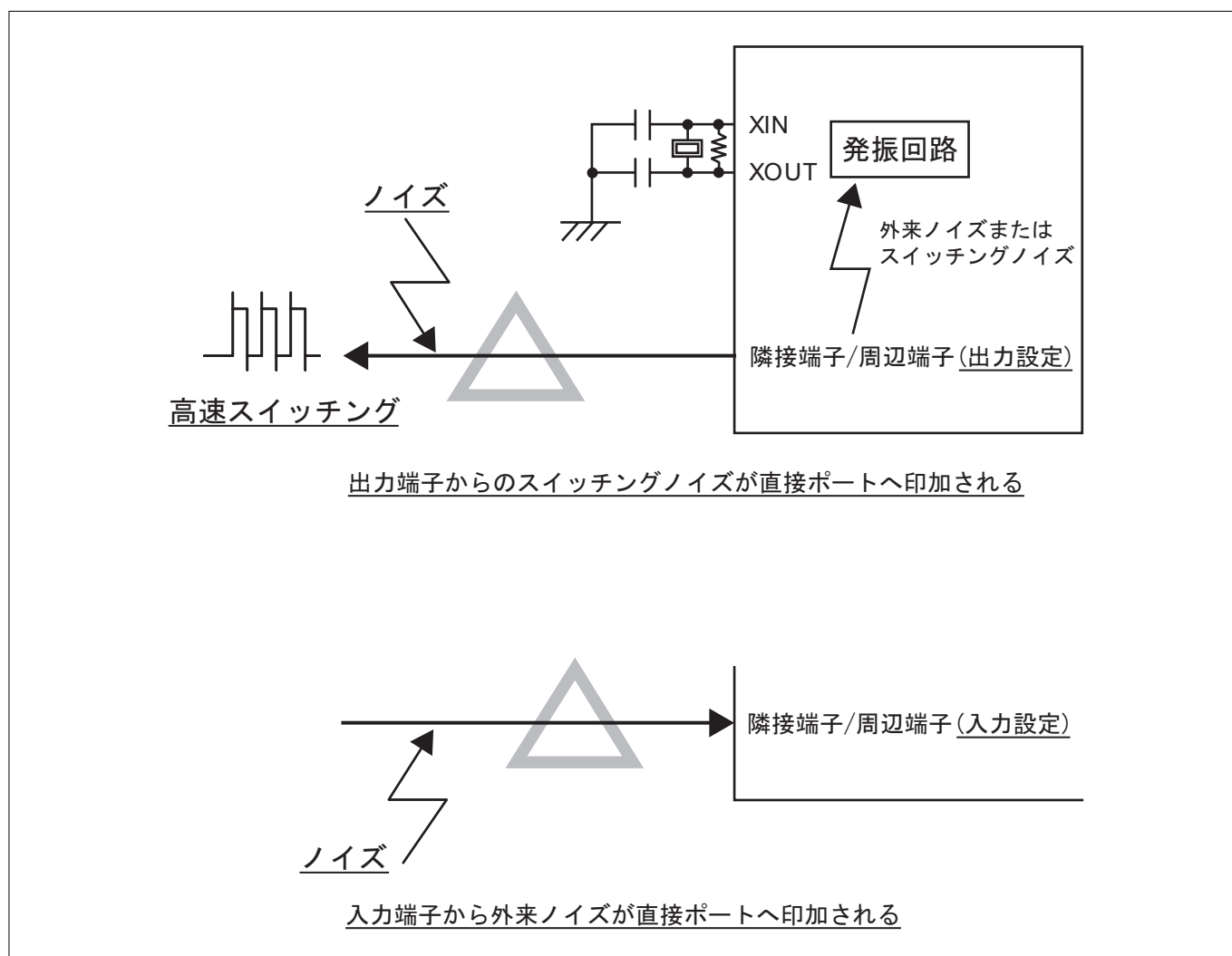
(3) 強力なノイズ源となる信号線からの保護

強力なノイズが印加される可能性のある端子を発振用端子の隣接ポートに極力使用しないでください。もし空き端子として処理が可能である場合は入力ポート状態で抵抗を介してGNDに接続、もしくは出力オープン状態で出力固定としてください。使用される場合は、入力専用を推奨いたします。

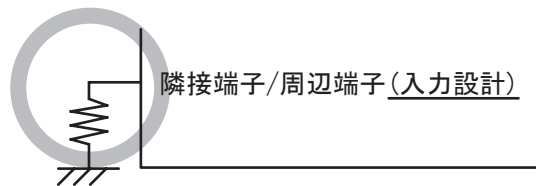
より強力なノイズ源から保護するには、隣接ポートを入力ポート状態で抵抗を介してGNDに接続し、隣接ポートと同一のポートグループは、なるべく入力専用とします。更に安定させたい場合には、同一のポートグループも使用せず入力ポート状態で抵抗を介してGNDに接続します。使用される場合は、ノイズ保護のための制限抵抗を接続します。

<理由>

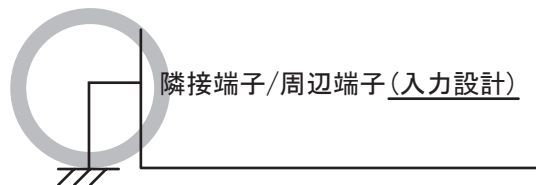
発振用端子に隣接するポートまたは端子が、高速動作したり、外部から強いノイズを受けると、発振回路にノイズが回り込むことが考えられ、発振が不安定になる可能性があります。



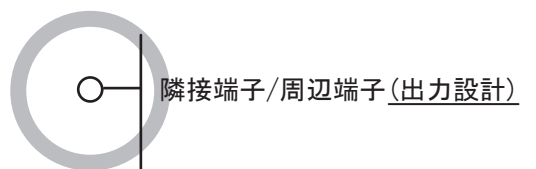
付図4.16.8 ノイズが印加される端子処理例



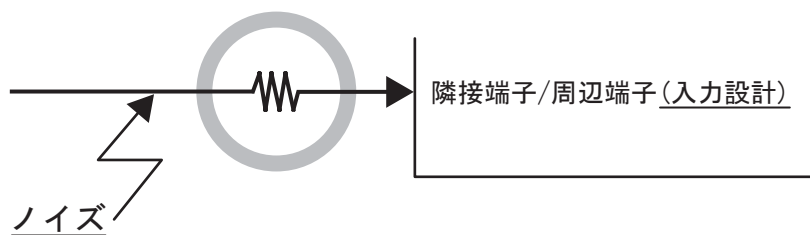
入力モードでノイズの影響を制限する方法



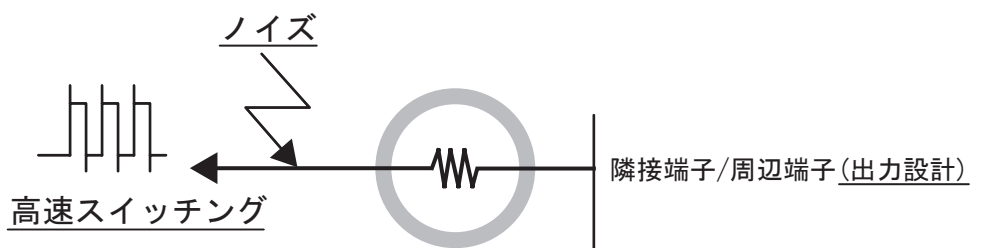
入力モードでノイズの影響を制限する方法



出力モードでノイズの影響を制限する方法



抵抗によるノイズを制限する方法



抵抗によるスイッチングノイズを制限する方法

付図4.16.9 発振用端子に隣接する端子処理例

付録4.16.5 入出力ポート処理

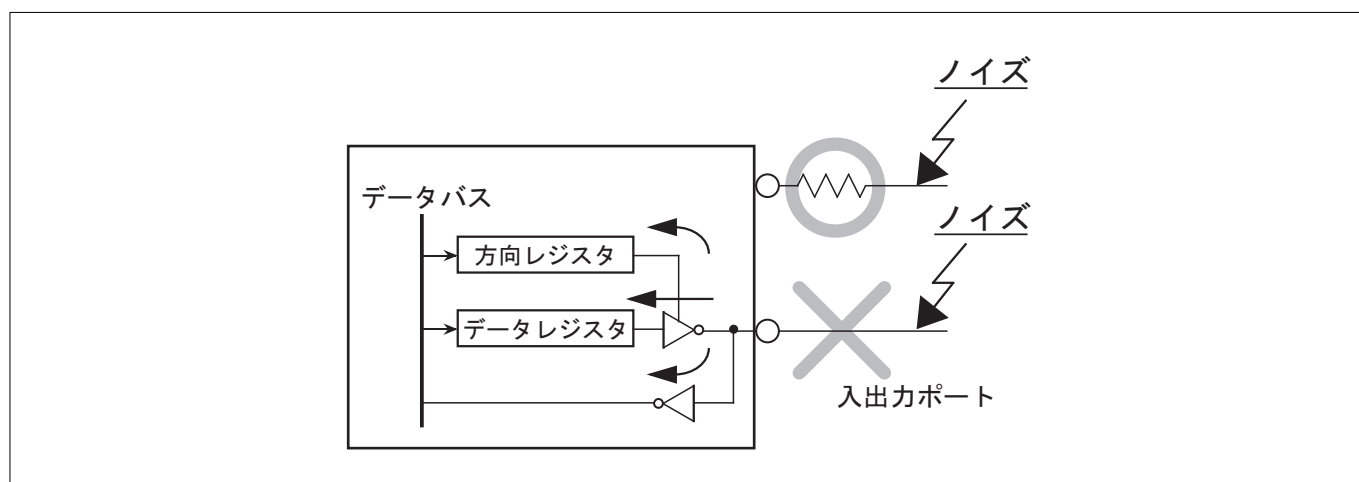
入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- 入出力ポートに100 Ω以上の抵抗を直列に挿入する

ソフトウェア面

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する
- 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う
- 一定周期で、方向レジスタの再書き込みを行う



付図4.16.10 入出力ポート処理例

レイアウトの都合上、このページは白紙です。

32192/32195/32196グループ ハードウェアマニュアル

発行年月日 2005年5月25日 Rev. 1.00

2006年8月31日 Rev. 1.10

発行 株式会社ルネサステクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

32192/32195/32196 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0099-0110