

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサス テクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサス エレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサス エレクトロニクス株式会社

【発行】ルネサス エレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に關し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に關し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害があ客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができます。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができます。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に關し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に關して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/6N グループ (M16C/6N5)

ハードウェアマニュアル

ルネサスマイクロコンピュータ
M16C ファミリ / M16C/60 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

(このページは白紙です)

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/6Nグループ(M16C/6N5)では次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/6Nグループ (M16C/6N5) データシート	RJJ03B0004
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング) と動作説明 周辺機能の使用方法はアプリケーション ノートを参照してください。	M16C/6Nグループ (M16C/6N5) ハードウェアマニュアル	本ハードウェア マニュアル (RJJ09B0008)
ソフトウェアマニュアル	CPU命令セットの説明	M16C/60、M16C/20、 M16C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0136
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの 作成方法	ルネサス テクノロジホームページに 掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット

P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数 : 11b

16進数 : EFA0h

10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

... レジスタ

シンボル	アドレス	リセット後の値
... 0 0	...	00h
ビット シンボル	ビット名	機能
... 0	... ピット	b1b0 00: ... 01: ... 10: 設定しないでください 11: ...
... 1		RW RW
- (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-
- (b4-b3)	予約ビット	“0”にしてください
... 5	... ピット	WO
... 6		RW
... 7	... ピット	RW RO
		0: ... 1: ...

*1 空白 : 用途に応じて“0”または“1”にしてください。
0 : “0”してください。
1 : “1”してください。
× : 何も配置されてないビットです。

*2 RW : 読むとビットの状態が読みます。書くと有効データになります。
RO : 読むとビットの状態が読みます。書いた値は無効になります。
WO : 書くと有効データになります。ビットの状態は読みません。
- : 何も配置されてないビットです。

*3 • 予約ビット
予約ビットです。指定された値にしてください。

*4 • 何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
• 設定しないでください
設定した場合の動作は保証されません。
• 動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NEC エレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のIC カード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインターフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目 次

番地別ページ早見表	B-1
1 . 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	3
1.4 製品一覧	4
1.5 ピン接続図	5
1.6 端子の機能説明	9
2 . 中央演算処理装置(CPU)	12
2.1 データレジスタ(R0、R1、R2、R3)	12
2.2 アドレスレジスタ(A0、A1)	12
2.3 フレームベースレジスタ(FB)	13
2.4 割り込みテーブルレジスタ(INTB)	13
2.5 プログラムカウンタ(PC)	13
2.6 ユーザystackポインタ(USP)、割り込みstackポインタ(ISP)	13
2.7 スタティックベースレジスタ(SB)	13
2.8 フラグレジスタ(FLG)	13
2.8.1 キャリフラグ(Cフラグ)	13
2.8.2 デバッグフラグ(Dフラグ)	13
2.8.3 ゼロフラグ(Zフラグ)	13
2.8.4 サインフラグ(Sフラグ)	13
2.8.5 レジスタバンク指定フラグ(Bフラグ)	13
2.8.6 オーバフローフラグ(Oフラグ)	13
2.8.7 割り込み許可フラグ(Iフラグ)	13
2.8.8 スタックポインタ指定フラグ(Uフラグ)	13
2.8.9 プロセッサ割り込み優先レベル(IPL)	13
2.8.10 予約領域	13
3 . メモリ	14
4 . SFR	15
5 . リセット	27
5.1 ハードウェアリセット	27
5.1.1 電源安定時	27
5.1.2 電源投入時	27
5.2 ソフトウェアリセット	29
5.3 ウオッチドッグタイマリセット	29
5.4 発振停止検出リセット	29
5.5 内部領域の状態	29
6 . プロセッサモード	30
6.1 プロセッサモードの種類	30
6.2 プロセッサモードの設定	30
7 . バス	35
7.1 バス形式	35
7.1.1 セパレートバス	35
7.1.2 マルチプレクスバス	35

7.2 バス制御	36
7.2.1 アドレスバス	36
7.2.2 データバス	36
7.2.3 チップセレクト信号	36
7.2.4 リード信号、ライト信号	38
7.2.5 ALE信号	38
7.2.6 RDY信号	39
7.2.7 HOLD信号	40
7.2.8 BCLK出力	40
7.2.9 内部領域をアクセスしたときの外部バスの状態	42
7.2.10 ソフトウェアウェイト	42
8 . クロック発生回路	46
8.1 クロック発生回路の種類	46
8.1.1 メインクロック	53
8.1.2 サブクロック	54
8.1.3 オンチップオシレータクロック	55
8.1.4 PLLクロック	55
8.2 CPUクロックと周辺機能クロック	57
8.2.1 CPUクロックとBCLK	57
8.2.2 周辺機能クロック	57
8.3 クロック出力機能	57
8.4 パワーコントロール	58
8.4.1 通常動作モード	58
8.4.2 ウエイトモード	60
8.4.3 ストップモード	62
8.5 発振停止、再発振検出機能	67
8.5.1 CM27ビットが 0 (リセット) の場合の動作	67
8.5.2 CM27ビットが 1 (発振停止、再発振検出割り込み) の場合の動作	67
8.5.3 発振停止、再発振検出機能使用方法	68
9 . プロテクト	69
10 . 割り込み	70
10.1 割り込みの分類	70
10.2 ソフトウェア割り込み	71
10.2.1 未定義命令割り込み	71
10.2.2 オーバフロー割り込み	71
10.2.3 BRK割り込み	71
10.2.4 INT命令割り込み	71
10.3 ハードウェア割り込み	72
10.3.1 特殊割り込み	72
10.3.2 周辺機能割り込み	72
10.4 割り込みと割り込みベクタ	73
10.4.1 固定ベクタテーブル	73
10.4.2 可変ベクタテーブル	74
10.5 割り込み制御	75
10.5.1 Iフラグ	77
10.5.2 IRビット	77
10.5.3 ILVL2～ILVL0ビット、IPL	77

10.5.4	割り込みシーケンス	78
10.5.5	割り込み応答時間	79
10.5.6	割り込み要求受付時のIPLの変化	79
10.5.7	レジスタ退避	80
10.5.8	割り込みルーチンからの復帰	81
10.5.9	割り込み優先順位	81
10.5.10	割り込み優先レベル判定回路	81
10.6	INT割り込み	83
10.7	NMI割り込み	85
10.8	キー入力割り込み	85
10.9	CAN0ウェイクアップ割り込み	85
10.10	アドレス一致割り込み	86
11 .	ウォッチドッグタイマ	88
11.1	カウントソース保護モード	89
12 .	DMAC	90
12.1	転送サイクル	95
12.1.1	転送元番地、転送先番地の影響	95
12.1.2	BYTE端子の影響	95
12.1.3	ソフトウェアウェイトの影響	95
12.1.4	RDY信号の影響	95
12.2	DMACの転送サイクル数	97
12.3	DMA許可	98
12.4	DMA要求	98
12.5	チャネルの優先順位とDMA転送タイミング	99
13 .	タイマ	100
13.1	タイマA	102
13.1.1	タイマモード	106
13.1.2	イベントカウンタモード	107
13.1.3	ワンショットタイマモード	112
13.1.4	パルス幅変調モード(PWMモード)	114
13.2	タイマB	117
13.2.1	タイマモード	120
13.2.2	イベントカウンタモード	121
13.2.3	パルス周期測定、パルス幅測定モード	122
14 .	三相モータ制御用タイマ機能	125
15 .	シリアルインターフェース	136
15.1	UART _i	136
15.1.1	クロック同期形シリアルI/Oモード	146
15.1.2	クロック非同期形シリアルI/O(UART)モード	154
15.1.3	特殊モード1(I ² Cモード)	162
15.1.4	特殊モード2	171
15.1.5	特殊モード3(IEモード)	176
15.1.6	特殊モード4(SIMモード)(UART2)	178
15.2	SI/O3	183
15.2.1	SI/O3動作タイミング	186
15.2.2	CLK極性選択	186
15.2.3	SOUT3初期値設定機能	187

16 . A/Dコンバータ	188
16.1 モードの説明	192
16.1.1 単発モード	192
16.1.2 繰り返しモード	194
16.1.3 単掃引モード	196
16.1.4 繰り返し掃引モード0	198
16.1.5 繰り返し掃引モード1	200
16.2 機能	202
16.2.1 分解能選択機能	202
16.2.2 サンプル&ホールド	202
16.2.3 拡張アナログ入力端子	202
16.2.4 外部オペアンプ接続モード	202
16.2.5 消費電流低減機能	203
16.2.6 A/D変換時のセンサーの出力インピーダンス	203
17 . D/Aコンバータ	205
18 . CRC演算回路	207
19 . CANモジュール	209
19.1 CANモジュール関連レジスタ	210
19.1.1 CAN0メッセージボックス	210
19.1.2 アクセプタンスマスクレジスタ	210
19.1.3 CAN専用レジスタ(SFR)	210
19.2 CAN0メッセージボックス	211
19.3 アクセプタンスマスクレジスタ	213
19.4 CAN SFRレジスタ	214
19.5 動作モード	221
19.5.1 CANリセット / 初期化モード	221
19.5.2 CAN動作モード	222
19.5.3 CANスリープモード	222
19.5.4 CANインターフェーススリープモード	222
19.5.5 バスオフステート	223
19.6 CANモジュールシステムクロックの設定	224
19.7 ビットタイミングの設定	224
19.8 転送速度	225
19.8.1 転送速度の算出式	225
19.9 アクセプタンスフィルタ機能とマスク機能	226
19.10 アクセプタンスフィルタサポートユニット(ASU)	227
19.11 Basic CANモード	228
19.12 リターンフロムバスオフ機能	229
19.13 タイムスタンプカウンタとタイムスタンプ機能	229
19.14 リッスンオンリーモード	229
19.15 CAN受信とCAN送信	230
19.15.1 受信	231
19.15.2 送信	232
19.16 CAN割り込み	233

20 . プログラマブル入出力ポート	234
20.1 PDiレジスタ	234
20.2 Piレジスタ	234
20.3 PURjレジスタ	234
20.4 PCRレジスタ	235
21 . フラッシュメモリ版	247
21.1 メモリ配置	248
21.1.1 ブートモード	248
21.2 フラッシュメモリ書き換え禁止機能	249
21.2.1 ROMコードプロテクト機能	249
21.2.2 IDコードチェック機能	249
21.3 CPU書き換えモード	251
21.3.1 EW0モード	252
21.3.2 EW1モード	252
21.3.3 FMR0、FMR1レジスタ	253
21.3.4 CPU書き換えモードの注意事項	258
21.3.5 ソフトウェアコマンド	260
21.3.6 データ保護機能	265
21.3.7 ステータスレジスタ(SRDレジスタ)	265
21.3.8 フルステータスチェック	267
21.4 標準シリアル入出力モード	269
21.4.1 IDコードチェック機能	269
21.4.2 標準シリアル入出力モード1および2時の端子処理例	273
21.5 パラレル入出力モード	274
21.5.1 ブートROM領域	274
21.5.2 ROMコードプロテクト機能	274
21.6 CAN入出力モード	275
21.6.1 IDコードチェック機能	275
21.6.2 CAN入出力モード時の端子処理例	278
21.7 電気的特性	279
21.7.1 電気的特性(T/V-ver.)	279
21.7.2 電気的特性(Normal-ver.)	280
22 . 電気的特性	281
22.1 電気的特性(T/V-ver.)	281
22.2 電気的特性(Normal-ver.)	302
23 . 使用上の注意	338
23.1 SFR	338
23.2 外部バス	339
23.3 PLL周波数シンセサイザ	340
23.4 パワーコントロール	341
23.5 プロテクト	343
23.6 割り込み	344
23.6.1 00000h番地の読み出し	344
23.6.2 SPの設定	344
23.6.3 NMI割り込み	344
23.6.4 割り込み要因の変更	345
23.6.5 INT割り込み	345
23.6.6 割り込み制御レジスタの変更	346
23.6.7 ウオッチドッグタイマ割り込み	346

23.7	DMAC	347
23.7.1	DMICONレジスタのDMAEビットへの書き込み	347
23.8	タイマ	348
23.8.1	タイマA	348
23.8.2	タイマB	351
23.9	シリアルインターフェース	353
23.9.1	クロック同期形シリアルI/Oモード	353
23.9.2	特殊モード	354
23.9.3	SI/O3	355
23.10	A/Dコンバータ	356
23.11	CANモジュール	358
23.11.1	C0STRレジスタの読み出し	358
23.11.2	CAN動作モードとCANリセットモードの移行	360
23.11.3	消費電流を小さくするためのポイント	361
23.11.4	標準ブートプログラム使用時のCANトランシーバ制御	362
23.12	プログラマブル入出力ポート	363
23.13	フラッシュメモリ版とマスクROM版の相違点	364
23.14	マスクROM版	365
23.15	フラッシュメモリ版	366
23.15.1	フラッシュメモリ書き換え禁止機能	366
23.15.2	ストップモード	366
23.15.3	ウェイトモード	366
23.15.4	低消費電力モード、オンチップオシレータ低消費電力モード	366
23.15.5	コマンド、データの書き込み	366
23.15.6	プログラムコマンド	366
23.15.7	ロックビットプログラムコマンド	366
23.15.8	動作速度	366
23.15.9	使用禁止命令	367
23.15.10	割り込み	367
23.15.11	アクセス方法	367
23.15.12	ユーザROM領域の書き換え	367
23.15.13	DMA転送	367
23.16	標準ブートプログラムによるフラッシュメモリ書き込み	368
23.16.1	シリアルを利用した書き込みを行う場合	368
23.16.2	CANを利用した書き込みを行う場合	368
23.17	ノイズ	369
	付録1. 外形寸法図	370
	レジスタ索引	371

本資料はできる限り正確を期すよう努力をしておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので、最新版をご使用ください。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	31
0005h	プロセッサモードレジスタ1	PM1	32
0006h	システムクロック制御レジスタ0	CM0	48
0007h	システムクロック制御レジスタ1	CM1	49
0008h	チップセレクト制御レジスタ	CSR	36
0009h	アドレス一致割り込み許可レジスタ	AIER	87
000Ah	プロテクトレジスタ	PRCR	69
000Bh			
000Ch	発振停止検出レジスタ	CM2	50
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	89
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	89
0010h			
0011h	アドレス一致割り込みレジスタ0	RMAD0	87
0012h			
0013h			
0014h			
0015h	アドレス一致割り込みレジスタ1	RMAD1	87
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh	チップセレクト拡張制御レジスタ	CSE	42
001Ch	PLL制御レジスタ0	PLC0	52
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	52
001Fh			
0020h			
0021h	DMA0ソースポインタ	SAR0	94
0022h			
0023h			
0024h			
0025h	DMA0ディスティネーションポインタ	DAR0	94
0026h			
0027h			
0028h	DMA0転送カウンタ	TCR0	94
0029h			
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	93
002Dh			
002Eh			
002Fh			
0030h			
0031h	DMA1ソースポインタ	SAR1	94
0032h			
0033h			
0034h			
0035h	DMA1ディスティネーションポインタ	DAR1	94
0036h			
0037h			
0038h	DMA1転送カウンタ	TCR1	94
0039h			
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	93
003Dh			
003Eh			
003Fh			

空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	CAN0ウェイクアップ割り込み制御レジスタ	C01WKIC	75
0042h	CAN0受信完了割り込み制御レジスタ	C0RECIC	75
0043h	CAN0送信完了割り込み制御レジスタ	C0TRMIC	75
0044h	INT3割り込み制御レジスタ	INT3IC	76
0045h	タイマB5割り込み制御レジスタ	TB5IC	75
0046h	タイマB4割り込み制御レジスタ	TB4IC	75
0047h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	75
0048h	UART0バス衝突検出割り込み制御レジスタ	U0BCNIC	75
0049h	INT5割り込み制御レジスタ	INT5IC	76
004Ah	SI/O3割り込み制御レジスタ	S3IC	76
004Bh	INT4割り込み制御レジスタ	INT4IC	76
004Ch	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	75
004Dh	DMA0割り込み制御レジスタ	DM0IC	75
004Eh	DMA1割り込み制御レジスタ	DM1IC	75
004Fh	CAN0ストート、エラー割り込み制御レジスタ	C01ERRIC	75
0050h	A/D変換割り込み制御レジスタ	ADIC	75
0051h	キー入力割り込み制御レジスタ	KUPIC	75
0052h	UART0受信割り込み制御レジスタ	S0RIC	75
0053h	UART1送信割り込み制御レジスタ	S1TIC	75
0054h	UART1受信割り込み制御レジスタ	S1RIC	75
0055h	タイマA0割り込み制御レジスタ	TA0IC	75
0056h	タイマA1割り込み制御レジスタ	TA1IC	75
0057h	タイマA2割り込み制御レジスタ	TA2IC	75
0058h	タイマA3割り込み制御レジスタ	TA3IC	75
0059h	タイマA4割り込み制御レジスタ	TA4IC	75
005Ah	タイマB0割り込み制御レジスタ	TB0IC	75
005Bh	タイマB1割り込み制御レジスタ	TB1IC	75
005Ch	タイマB2割り込み制御レジスタ	TB2IC	75
005Dh	INT0割り込み制御レジスタ	INT0IC	76
005Eh	INT1割り込み制御レジスタ	INT1IC	76
005Fh	INT2割り込み制御レジスタ	INT2IC	76
0060h			
0061h			
0062h			
0063h	CAN0スロット0 : メッセージ識別子/DLC		
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	CAN0スロット0 : データフィールド		
006Ah			
006Bh			
006Ch			
006Dh			
006Eh	CAN0スロット0 : タイムスタンプ		
006Fh			
0070h			
0071h			
0072h	CAN0スロット1 : メッセージ識別子/DLC		
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h	CAN0スロット1 : データフィールド		
007Ah			
007Bh			
007Ch			
007Dh			
007Eh	CAN0スロット1 : タイムスタンプ		
007Fh			

211
212

番地	レジスタ	シンボル	掲載ページ	番地	レジスタ	シンボル	掲載ページ
0080h	CAN0スロット2 : メッセージ識別子/DLC			00C0h	CAN0スロット6 : メッセージ識別子/DLC		
0081h				00C1h			
0082h				00C2h			
0083h				00C3h			
0084h				00C4h			
0085h				00C5h			
0086h	CAN0スロット2 : データフィールド			00C6h			
0087h				00C7h			
0088h				00C8h			
0089h				00C9h	CAN0スロット6 : データフィールド		
008Ah				00CAh			
008Bh				00CBh			
008Ch				00CCh			
008Dh				00CDh			
008Eh	CAN0スロット2 : タイムスタンプ			00CEh	CAN0スロット6 : タイムスタンプ		
008Fh				00CFh			
0090h	CAN0スロット3 : メッセージ識別子/DLC			00D0h			
0091h				00D1h			
0092h				00D2h	CAN0スロット7 : メッセージ識別子/DLC		
0093h				00D3h			
0094h				00D4h			
0095h				00D5h			
0096h	CAN0スロット3 : データフィールド			00D6h			
0097h				00D7h			
0098h				00D8h			
0099h				00D9h	CAN0スロット7 : データフィールド		
009Ah				00DAh			
009Bh				00DBh			
009Ch				00DCh			
009Dh				00DDh			
009Eh	CAN0スロット3 : タイムスタンプ			00DEh	CAN0スロット7 : タイムスタンプ		
009Fh				00DFh			
00A0h	CAN0スロット4 : メッセージ識別子/DLC			00E0h	CAN0スロット8 : メッセージ識別子/DLC		
00A1h				00E1h			
00A2h				00E2h			
00A3h				00E3h			
00A4h				00E4h			
00A5h				00E5h			
00A6h	CAN0スロット4 : データフィールド			00E6h			
00A7h				00E7h			
00A8h				00E8h			
00A9h				00E9h	CAN0スロット8 : データフィールド		
00AAh				00EAh			
00ABh				00EBh			
00ACh				00ECh			
00ADh				00EDh			
00AEh	CAN0スロット4 : タイムスタンプ			00EEh	CAN0スロット8 : タイムスタンプ		
00AFh				00EFh			
00B0h	CAN0スロット5 : メッセージ識別子/DLC			00F0h			
00B1h				00F1h			
00B2h				00F2h	CAN0スロット9 : メッセージ識別子/DLC		
00B3h				00F3h			
00B4h				00F4h			
00B5h				00F5h			
00B6h	CAN0スロット5 : データフィールド			00F6h			
00B7h				00F7h			
00B8h				00F8h			
00B9h				00F9h	CAN0スロット9 : データフィールド		
00BAh				00FAh			
00BBh				00FBh			
00BCh				00FCh			
00BDh				00FDh			
00BEh	CAN0スロット5 : タイムスタンプ			00FEh	CAN0スロット9 : タイムスタンプ		
00BFh				00FFh			

番地	レジスタ	シンボル	掲載ページ
0100h	CAN0スロット10 : メッセージ識別子/DLC		
0101h			
0102h			
0103h			
0104h			
0105h			
0106h	CAN0スロット10 : データフィールド		
0107h			
0108h			
0109h			
010Ah			
010Bh			
010Ch			
010Dh			
010Eh	CAN0スロット10 : タイムスタンプ		
010Fh			
0110h	CAN0スロット11 : メッセージ識別子/DLC		
0111h			
0112h			
0113h			
0114h			
0115h			
0116h	CAN0スロット11 : データフィールド		
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh	CAN0スロット11 : タイムスタンプ		
011Fh			
0120h	CAN0スロット12 : メッセージ識別子/DLC		
0121h			
0122h			
0123h			
0124h			
0125h			
0126h	CAN0スロット12 : データフィールド		
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh	CAN0スロット12 : タイムスタンプ		
012Fh			
0130h	CAN0スロット13 : メッセージ識別子/DLC		
0131h			
0132h			
0133h			
0134h			
0135h			
0136h	CAN0スロット13 : データフィールド		
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh	CAN0スロット13 : タイムスタンプ		
013Fh			

空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0140h	CAN0スロット14 : メッセージ識別子/DLC		
0141h			
0142h			
0143h			
0144h			
0145h			
0146h	CAN0スロット14 : データフィールド		
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh	CAN0スロット14 : タイムスタンプ		
014Fh			
0150h	CAN0スロット15 : メッセージ識別子/DLC		
0151h			
0152h			
0153h			
0154h			
0155h			
0156h	CAN0スロット15 : データフィールド		
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh	CAN0スロット15 : タイムスタンプ		
015Fh			
0160h	CAN0グローバルマスクレジスタ	C0GMR	213
0161h			
0162h			
0163h			
0164h			
0165h			
0166h	CAN0ローカルマスクAレジスタ	C0LMAR	213
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh	CAN0ローカルマスクBレジスタ	C0LMBR	213
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

番地	レジスタ	シンボル	掲載ページ
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	253
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	253
01B8h			
01B9h	アドレス一致割り込みレジスタ2	RMAD2	87
01BAh			
01BBh	アドレス一致割り込み許可レジスタ2	AIER2	87
01BCh			
01BDh	アドレス一致割り込みレジスタ3	RMAD3	87
01BEh			
01BFh			

空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
01C0h	タイマB3, B4, B5カウント開始フラグ	TBSR	119
01C1h			
01C2h	タイマA1-1レジスタ	TA11	130
01C3h			
01C4h	タイマA2-1レジスタ	TA21	130
01C5h			
01C6h	タイマA4-1レジスタ	TA41	130
01C7h			
01C8h	三相PWM制御レジスタ0	INVC0	127
01C9h	三相PWM制御レジスタ1	INVC1	128
01CAh	三相出力パッファレジスタ0	IDB0	129
01CBh	三相出力パッファレジスタ1	IDB1	129
01CCh	短絡防止タイマ	DTT	129
01CDh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	131
01CEh			
01CFh			
01D0h	タイマB3レジスタ	TB3	118
01D1h			
01D2h	タイマB4レジスタ	TB4	118
01D3h			
01D4h	タイマB5レジスタ	TB5	118
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh	タイマB3モードレジスタ	TB3MR	118
01DCh	タイマB4モードレジスタ	TB4MR	120
01DDh	タイマB5モードレジスタ	TB5MR	121
01DEh	割り込み要因選択レジスタ0	IFSR0	123
01DFh	割り込み要因選択レジスタ1	IFSR1	84
01E0h	SI/O3送受信レジスタ	S3TRR	84
01E1h			
01E2h	SI/O3制御レジスタ	S3C	184
01E3h	SI/O3ピットレートレジスタ	S3BRG	184
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh	UART0特殊モードレジスタ4	U0SMR4	145
01EDh	UART0特殊モードレジスタ3	U0SMR3	144
01EEh	UART0特殊モードレジスタ2	U0SMR2	144
01EFh	UART0特殊モードレジスタ	U0SMR	143
01F0h	UART1特殊モードレジスタ4	U1SMR4	145
01F1h	UART1特殊モードレジスタ3	U1SMR3	144
01F2h	UART1特殊モードレジスタ2	U1SMR2	144
01F3h	UART1特殊モードレジスタ	U1SMR	143
01F4h	UART2特殊モードレジスタ4	U2SMR4	145
01F5h	UART2特殊モードレジスタ3	U2SMR3	144
01F6h	UART2特殊モードレジスタ2	U2SMR2	144
01F7h	UART2特殊モードレジスタ	U2SMR	143
01F8h	UART2送受信モードレジスタ	U2MR	141
01F9h	UART2ピットレートレジスタ	U2BRG	140
01FAh	UART2送信バッファレジスタ	U2TB	140
01FBh			
01FCCh	UART2送受信制御レジスタ0	U2C0	141
01FDh	UART2送受信制御レジスタ1	U2C1	142
01FEh	UART2受信バッファレジスタ	U2RB	140
01FFh			

番地	レジスタ	シンボル	掲載ページ
0200h	CAN0メッセージ制御レジスタ0	C0MCTL0	214
0201h	CAN0メッセージ制御レジスタ1	C0MCTL1	
0202h	CAN0メッセージ制御レジスタ2	C0MCTL2	
0203h	CAN0メッセージ制御レジスタ3	C0MCTL3	
0204h	CAN0メッセージ制御レジスタ4	C0MCTL4	
0205h	CAN0メッセージ制御レジスタ5	C0MCTL5	
0206h	CAN0メッセージ制御レジスタ6	C0MCTL6	
0207h	CAN0メッセージ制御レジスタ7	C0MCTL7	
0208h	CAN0メッセージ制御レジスタ8	C0MCTL8	
0209h	CAN0メッセージ制御レジスタ9	C0MCTL9	
020Ah	CAN0メッセージ制御レジスタ10	C0MCTL10	
020Bh	CAN0メッセージ制御レジスタ11	C0MCTL11	
020Ch	CAN0メッセージ制御レジスタ12	C0MCTL12	
020Dh	CAN0メッセージ制御レジスタ13	C0MCTL13	
020Eh	CAN0メッセージ制御レジスタ14	C0MCTL14	
020Fh	CAN0メッセージ制御レジスタ15	C0MCTL15	
0210h	CAN0制御レジスタ	C0CTLR	215
0211h			
0212h	CAN0ステータスレジスタ	C0STR	217
0213h			
0214h	CAN0スロットステータスレジスタ	C0SSTR	218
0215h			
0216h	CAN0割り込み制御レジスタ	C0ICR	218
0217h			
0218h	CAN0拡張IDレジスタ	C0IDR	218
0219h			
021Ah	CAN0パステイミング制御レジスタ	C0CONR	219
021Bh			
021Ch	CAN0受信エラーカウントレジスタ	C0RECR	220
021Dh	CAN0送信エラーカウントレジスタ	C0TECR	220
021Eh			
021Fh	CAN0タイムスタンプレジスタ	C0TSR	220
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	CAN1制御レジスタ	C1CTLR	216
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0240h			
0241h			
0242h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	220
0243h			
0244h			
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	51
025Fh	CAN0クロック選択レジスタ	CCLKR	51
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch			
037Dh			
037Eh			
037Fh			

番地	レジスタ	シンポル	掲載ページ
0380h	カウント開始フラグ	TABSR	104,119,132
0381h	時計用ブリスケーラリセットフラグ	CPSRF	105,119
0382h	ワンショット開始フラグ	ONSF	105
0383h	トリガ選択レジスタ	TRGSR	105,132
0384h	アップダウンフラグ	UDF	104
0385h			
0386h			
0387h	タイマA0レジスタ	TA0	13
0388h	タイマA1レジスタ	TA1	103 130
038Ah	タイマA2レジスタ	TA2	103 130
038Bh	タイマA3レジスタ	TA3	103
038Ch	タイマA4レジスタ	TA4	103 130
0390h	タイマB0レジスタ	TB0	118
0391h	タイマB1レジスタ	TB1	118
0394h	タイマB2レジスタ	TB2	118 130
0395h			
0396h	タイマA0モードレジスタ	TA0MR	103
0397h	タイマA1モードレジスタ	TA1MR	106 133
0398h	タイマA2モードレジスタ	TA2MR	108 110,133
0399h	タイマA3モードレジスタ	TA3MR	113 110
039Ah	タイマA4モードレジスタ	TA4MR	115 110,133
039Bh	タイマB0モードレジスタ	TB0MR	118,120
039Ch	タイマB1モードレジスタ	TB1MR	121,123
039Dh	タイマB2モードレジスタ	TB2MR	133
039Eh	タイマB2特殊モードレジスタ	TB2SC	131
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	141
03A1h	UART0ビットレートレジスタ	U0BRG	140
03A2h	UART0送信バッファレジスタ	U0TB	140
03A3h			
03A4h	UART0送受信制御レジスタ0	U0C0	141
03A5h	UART0送受信制御レジスタ1	U0C1	142
03A6h	UART0受信バッファレジスタ	U0RB	140
03A7h			
03A8h	UART1送受信モードレジスタ	U1MR	141
03A9h	UART1ビットレートレジスタ	U1BRG	140
03AAh	UART1送信バッファレジスタ	U1TB	140
03ABh			
03ACh	UART1送受信制御レジスタ0	U1C0	141
03ADh	UART1送受信制御レジスタ1	U1C1	142
03AEh	UART1受信バッファレジスタ	U1RB	140
03AFh			
03B0h	UART送受信制御レジスタ2	UCON	143
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	92
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	93
03BBh			
03BCh	CRCデータレジスタ	CRCD	207
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	207
03BFh			

空欄はすべて予約領域です。

番地	レジスタ	シンポル	掲載ページ
03C0h	A/Dレジスタ0	AD0	
03C1h			
03C2h	A/Dレジスタ1	AD1	
03C3h			
03C4h	A/Dレジスタ2	AD2	
03C5h			
03C6h	A/Dレジスタ3	AD3	
03C7h			
03C8h	A/Dレジスタ4	AD4	
03C9h			
03CAh	A/Dレジスタ5	AD5	
03CBh			
03CCh	A/Dレジスタ6	AD6	
03CDh			
03CEh	A/Dレジスタ7	AD7	
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	191
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	190,193,195
03D7h	A/D制御レジスタ1	ADCON1	197,199,201
03D8h	D/Aレジスタ0	DA0	206
03D9h			
03DAh	D/Aレジスタ1	DA1	206
03DBh			
03DCh	D/A制御レジスタ	DACON	206
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	242
03E1h	ポートP1レジスタ	P1	242
03E2h	ポートP0方向レジスタ	PD0	241
03E3h	ポートP1方向レジスタ	PD1	241
03E4h	ポートP2レジスタ	P2	242
03E5h	ポートP3レジスタ	P3	242
03E6h	ポートP2方向レジスタ	PD2	241
03E7h	ポートP3方向レジスタ	PD3	241
03E8h	ポートP4レジスタ	P4	242
03E9h	ポートP5レジスタ	P5	242
03EAh	ポートP4方向レジスタ	PD4	241
03EBh	ポートP5方向レジスタ	PD5	241
03ECCh	ポートP6レジスタ	P6	242
03EDh	ポートP7レジスタ	P7	242
03EEh	ポートP6方向レジスタ	PD6	241
03EFh	ポートP7方向レジスタ	PD7	241
03F0h	ポートP8レジスタ	P8	242
03F1h	ポートP9レジスタ	P9	242
03F2h	ポートP8方向レジスタ	PD8	241
03F3h	ポートP9方向レジスタ	PD9	241
03F4h	ポートP10レジスタ	P10	242
03F5h			
03F6h	ポートP10方向レジスタ	PD10	241
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCCh	ブルアップ制御レジスタ0	PUR0	243
03FDh	ブルアップ制御レジスタ1	PUR1	243
03FEh	ブルアップ制御レジスタ2	PUR2	243
03FFh	ポート制御レジスタ	PCR	244

1. 概要

M16C/6Nグループ(M16C/6N5)は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したマイクロコンピュータで、100ピンプラスチックモールドQFPまたはLQFPに収められています。このマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。CANモジュールを1チャネル内蔵し、車載やFAのLANシステムに適したマイクロコンピュータです。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御にも適しています。

1.1 応用

- ・車載、FAのLANシステム、他(T/V-ver.品)
- ・カーオーディオ、産業機器、他(Normal-ver.品)

1.2 性能概要

表1.1に性能概要を示します。

表1.1 性能概要

項目		性能	
		Normal-ver.	T/V-ver.
CPU	基本命令数	91命令	
	最小命令実行時間	41.7ns(f(BCLK) = 24MHz、 1/1プリスケーラ、ウェイトなし時)	50.0ns(f(BCLK) = 20MHz、 1/1プリスケーラ、ウェイトなし時)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	
	アドレス空間	1Mバイト	
	メモリ容量	「表1.2 製品一覧表」を参照してください	
周辺機能	ポート	入出力 : 87本、入力 : 1本	
	多機能タイマ	タイマA : 16ビット×5チャネル タイマB : 16ビット×6チャネル 三相モータ制御回路	
	シリアルインターフェース	3チャネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus(注1)、IEBus(注2) 1チャネル クロック同期形シリアルI/O	
	A/Dコンバータ	10ビットA/Dコンバータ : 1回路、26チャネル	
	D/Aコンバータ	8ビット×2チャネル	
	DMAC	2チャネル	
	CRC演算回路	CRC-CCITT方式	
	CANモジュール	1チャネル、2.0B対応	
	ウォッチドッグタイマ	15ビット×1チャネル(プリスケーラ付)	
	割り込み	内部 : 29要因、外部 : 9要因、ソフトウェア : 4要因 割り込み優先レベル : 7レベル	
クロック発生回路	4回路 ・メインクロック発振回路(*) ・サブクロック発振回路(*) ・オンチップオシレータ ・PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵		
	発振停止検出機能		メインクロック発振停止、再発振検出機能
電気的特性	電源電圧		VCC = 3.0 ~ 5.5V(f(BCLK) = 24MHz、 1/1プリスケーラ、ウェイトなし時)
	消費電流	マスクROM	18mA(f(BCLK) = 24MHz、 PLL動作時、分周なし)
		フラッシュメモリ	20mA(f(BCLK) = 24MHz、 PLL動作時、分周なし)
	マスクROM フラッシュメモリ	3 μA(f(BCLK) = 32kHz、ウェイトモード時、発振能力Low)	18mA(f(BCLK) = 20MHz、 PLL動作時、分周なし)
		0.8 μA(ストップモード時、Topr = 25)	
フラッシュメモリ版	プログラム、イレーズ電圧	3.3 ± 0.3Vまたは5.0 ± 0.5V	5.0 ± 0.5V
	プログラム、イレーズ回数	100回	
入出力特性	入出力耐電圧	5.0V	
	出力電流	5mA	
動作周囲温度		- 40 ~ 85	T-ver. : - 40 ~ 85 V-ver. : - 40 ~ 125 (オプション)
素子構造		CMOS高性能シリコンゲート	
パッケージ		100ピンプラスチックモールドQFP、LQFP	

注1 . I²C busはオランダPHILIPS社の登録商標です。

注2 . IEbusはNECエレクトロニクス株式会社の登録商標です。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にブロック図を示します。

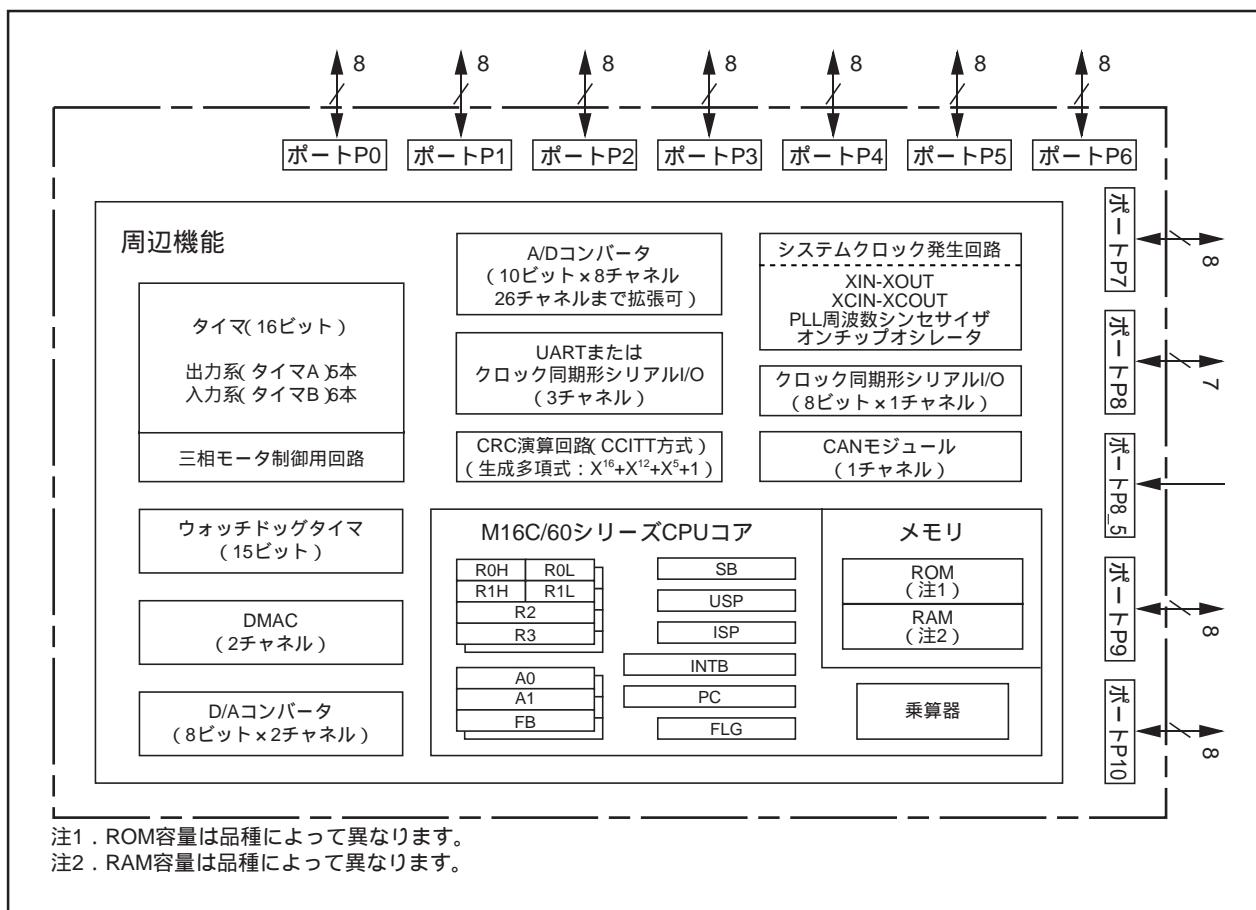


図1.1 ブロック図

1.4 製品一覧

表1.2に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.2 製品一覧表

2006年4月現在

型名	ROM容量	RAM容量	パッケージ(注2)	備考	
M306N5FCFP	128K+4Kバイト	5Kバイト	PRQP0100JB-A	(注1)	フラッシュメモリ版 Normal-ver.
M306N5FCGP			PLQP0100KB-A		メモリ版 T-ver.
M306N5FCTFP			PRQP0100JB-A		
M306N5FCTGP			PLQP0100KB-A		
M306N5FCVFP			PRQP0100JB-A		V-ver.
M306N5FCVGP			PLQP0100KB-A		
M306N5MC-XXXGP	128Kバイト	5Kバイト	PLQP0100KB-A	マスク ROM版	Normal-ver.
M306N5MCT-XXXFP			PRQP0100JB-A		T-ver.
M306N5MCT-XXXGP			PLQP0100KB-A		
M306N5MCV-XXXFP			PRQP0100JB-A		
M306N5MCV-XXXGP			PLQP0100KB-A		V-ver.

注1. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注2. 各パッケージの旧パッケージ型名は次のとおりです。

PRQP0100JB-A : 100P6S-A

PLQP0100KB-A : 100P6Q-A

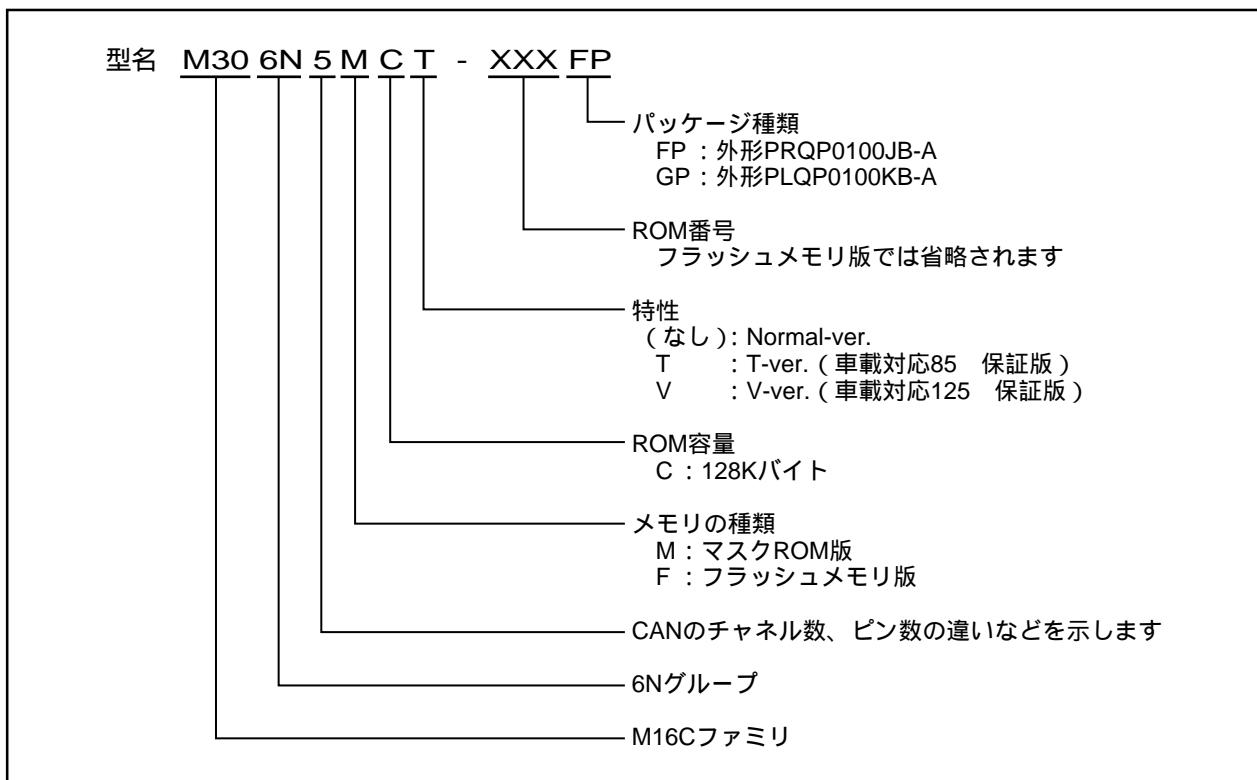


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3、図1.4にピン接続図(上面図)、表1.3、表1.4に端子名一覧表を示します。

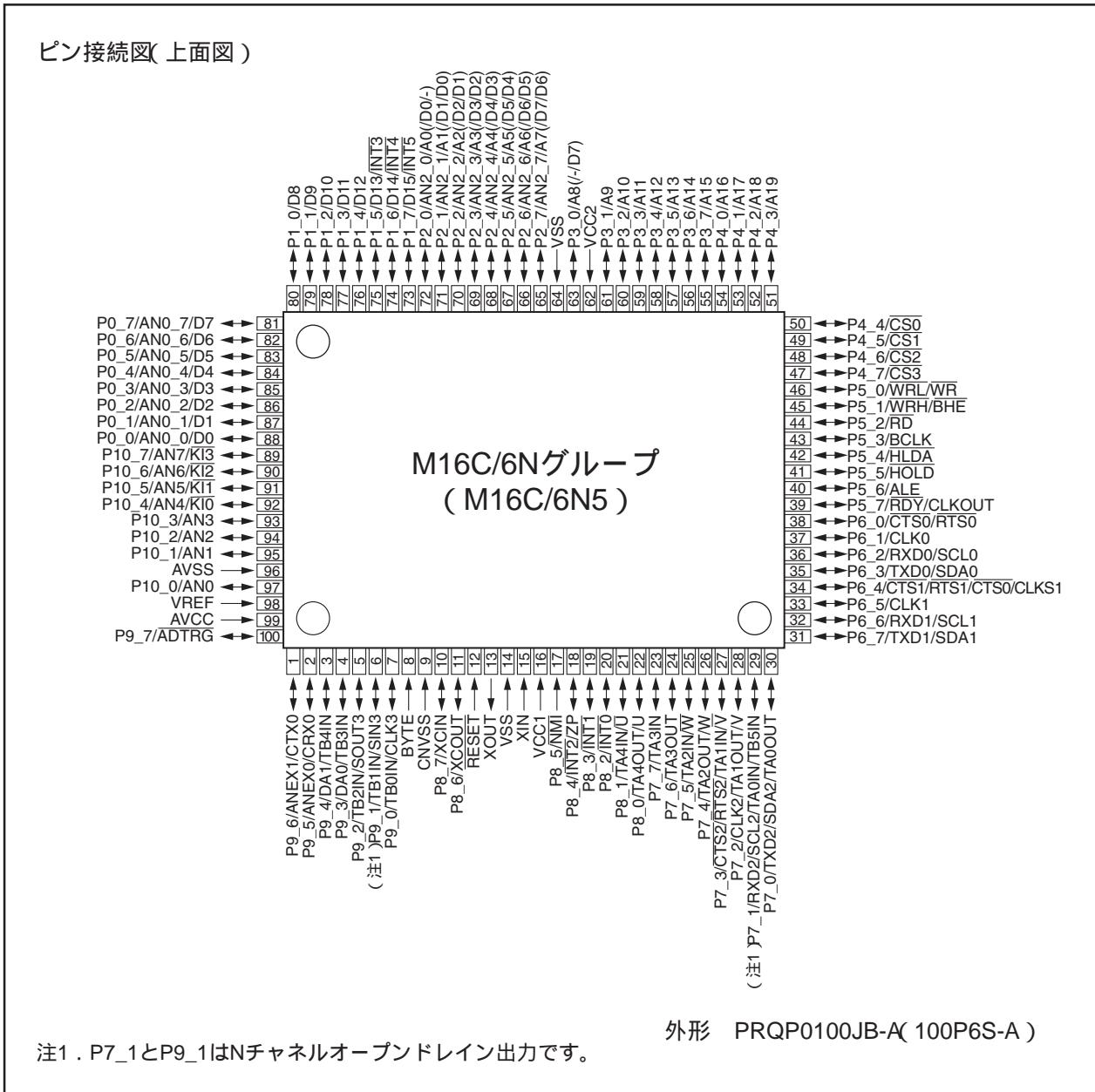


図1.3 ピン接続図(上面図)(1)

ピン接続図(上面図)

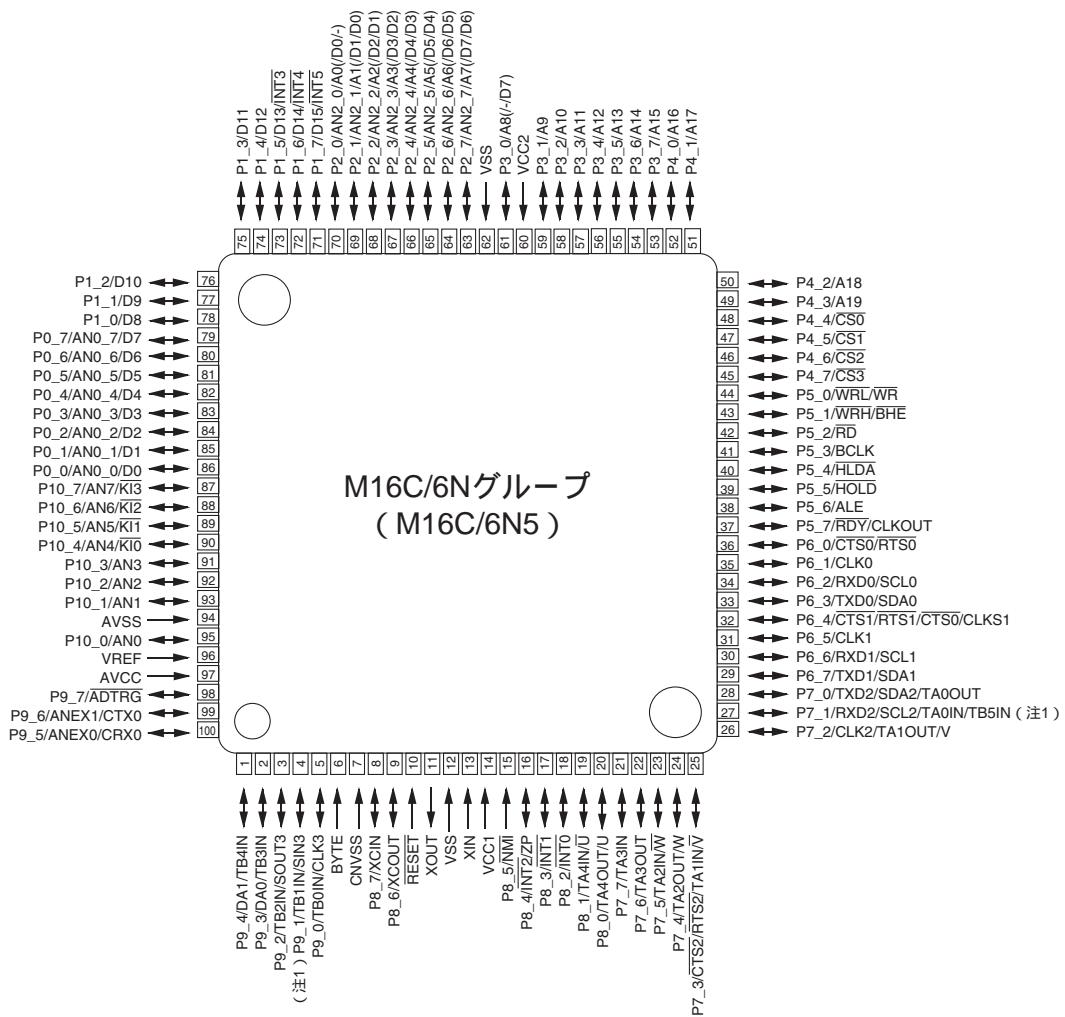


図1.4 ピン接続図(上面図) (2)

表1.3 端子名一覧表(1)

Pin No.		制御端子	ポート	割り込み端子	タイム端子	UART端子	アナログ端子	CANモジュール端子	バス制御端子
FP	GP								
1	99		P9_6				ANEX1	CTX0	
2	100		P9_5				ANEX0	CRX0	
3	1		P9_4		TB4IN		DA1		
4	2		P9_3		TB3IN		DA0		
5	3		P9_2		TB2IN	SOUT3			
6	4		P9_1		TB1IN	SIN3			
7	5		P9_0		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVSS							
10	8	XCIN	P8_7						
11	9	XCOUNT	P8_6						
12	10	RESET							
13	11	XOUT							
14	12	VSS							
15	13	XIN							
16	14	VCC1							
17	15		P8_5	NMI					
18	16		P8_4	INT2	ZP				
19	17		P8_3	INT1					
20	18		P8_2	INT0					
21	19		P8_1		TA4IN/U				
22	20		P8_0		TA4OUT/U				
23	21		P7_7		TA3IN				
24	22		P7_6		TA3OUT				
25	23		P7_5		TA2IN/W				
26	24		P7_4		TA2OUT/W				
27	25		P7_3		TA1IN/V	CTS2/RTS2			
28	26		P7_2		TA1OUT/V	CLK2			
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2			
30	28		P7_0		TA0OUT	TXD2/SDA2			
31	29		P6_7			TXD1/SDA1			
32	30		P6_6			RXD1/SCL1			
33	31		P6_5			CLK1			
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1			
35	33		P6_3			TXD0/SDA0			
36	34		P6_2			RXD0/SCL0			
37	35		P6_1			CLK0			
38	36		P6_0			CTS0/RTS0			
39	37		P5_7					RDY/CLKOUT	
40	38		P5_6					ALE	
41	39		P5_5					HOLD	
42	40		P5_4					HLDA	
43	41		P5_3					BCLK	
44	42		P5_2					RD	
45	43		P5_1					WRH/BHE	
46	44		P5_0					WRL/WR	
47	45		P4_7					CS3	
48	46		P4_6					CS2	
49	47		P4_5					CS1	
50	48		P4_4					CS0	

FP : PRQP0100JB-A(100P6S-A) GP : PLQP0100KB-A(100P6Q-A)

表1.4 端子名一覧表(2)

Pin No. FP	制御端子 GP	ポート	割り込み 端子	タイマ端子	UART端子	アナログ 端子	CANモジュール 端子	バス制御端子
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8(/-D7)
64	62	VSS						
65	63		P2_7			AN2_7		A7(/D7/D6)
66	64		P2_6			AN2_6		A6(/D6/D5)
67	65		P2_5			AN2_5		A5(/D5/D4)
68	66		P2_4			AN2_4		A4(/D4/D3)
69	67		P2_3			AN2_3		A3(/D3/D2)
70	68		P2_2			AN2_2		A2(/D2/D1)
71	69		P2_1			AN2_1		A1(/D1/D0)
72	70		P2_0			AN2_0		A0(/D0/-)
73	71		P1_7	INT5				D15
74	72		P1_6	INT4				D14
75	73		P1_5	INT3				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7			AN0_7		D7
82	80		P0_6			AN0_6		D6
83	81		P0_5			AN0_5		D5
84	82		P0_4			AN0_4		D4
85	83		P0_3			AN0_3		D3
86	84		P0_2			AN0_2		D2
87	85		P0_1			AN0_1		D1
88	86		P0_0			AN0_0		D0
89	87		P10_7	KI3		AN7		
90	88		P10_6	KI2		AN6		
91	89		P10_5	KI1		AN5		
92	90		P10_4	KI0		AN4		
93	91		P10_3			AN3		
94	92		P10_2			AN2		
95	93		P10_1			AN1		
96	94	AVSS						
97	95		P10_0			AN0		
98	96	VREF						
99	97	AVCC						
100	98		P9_7			ADTRG		

FP : PRQP0100JB-A(100P6S-A) GP : PLQP0100KB-A(100P6Q-A)

1.6 端子の機能説明

表1.5～表1.7に端子の機能説明を示します。

表1.5 端子の機能説明(1)

名称	端子名	入出力	機能
電源入力	VCC1、VCC2、VSS	入力	VCC1、VCC2端子には4.2～5.5V(T/V-ver.) 3.0～5.5V(Normal-ver.)を入力してください。VCCの入力条件はVCC2 = VCC1です(注1)。VSS端子には0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	外部領域のデータバスを切り替えるための端子です。この端子が“L”的場合16ビット、“H”的場合8ビットになります。どちらかに固定してください。シングルチップモードではVSSに接続してください。
バス制御端子	D0～D7	入出力	セパレートバスを設定している領域をアクセスしたとき、データ(D0～D7)の入出力を行います。
	D8～D15	入出力	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたとき、データ(D8～D15)の入出力を行います。
	A0～A19	出力	アドレスA0～A19を出力します。
	A0/D0～A7/D7	入出力	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A0～A7)の出力を時分割で行います。
	A1/D0～A8/D7	入出力	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A1～A8)の出力を時分割で行います。
	CS0～CS3	出力	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	WRL、WRH、(WR、BHE) RD信号を出力します。プログラムでWRL、WRH、またはBHE、WRを切り替えられます。 • WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”的ときは偶数番地に、WRH信号が“L”的ときは奇数番地に書きます。RD信号が“L”的とき読み出します。 • WR、BHE、RD選択時 WR信号が“L”的とき書き込み、RD信号が“L”的とき読み出します。BHE信号が“L”的とき奇数番地をアクセスします。外部データバスが8ビットのときは、このモードを使用してください。
	ALE	出力	アドレスをラッチするための信号です。
	HOLD	入力	入力が“L”的期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	ホールド状態の期間、“L”を出力します。
	RDY	入力	入力が“L”的期間、マイクロコンピュータのバスはウェイト状態になります。

注1. こここの説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

表1.6 端子の機能説明(2)

名称	端子名	入出力	機能
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放してください。
メインクロック出力	XOUT	出力	(注1) 外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放してください。
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください(注1)。
サブクロック出力	XCOUT	出力	外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放してください。
BCLK出力	BCLK	出力	BCLK信号を出力します。
クロック出力	CLKOUT	出力	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT5	入力	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	NMI割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	TA0 ~ TA4の入出力です。
	TA0IN ~ TA4IN	入力	TA0 ~ TA4の入力です。
	ZP	入力	Z相の入力です。
タイマB	TB0IN ~ TB5IN	入力	TB0 ~ TB5の入力です。
三相モータ制御用タイマ出力	U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W}	出力	三相モータ制御用タイマの出力です。
シリアルインターフェース	CTS0 ~ CTS2	入力	送信制御用入力です。
	RTS0 ~ RTS2	出力	受信制御用出力です。
	CLK0 ~ CLK3	入出力	転送クロック入出力です。
	RXD0 ~ RXD2	入力	シリアルデータ入力です。
	SIN3	入力	シリアルデータ入力です。
	TXD0 ~ TXD2	出力	シリアルデータ出力です。
	SOUT3	出力	シリアルデータ出力です。
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
I ² Cモード	SDA0 ~ SDA2	入出力	シリアルデータ入出力です。
	SCL0 ~ SCL2	入出力	転送クロック入出力です(ただし、SCL2の出力はNチャネルオープンドレイン)。
基準電圧入力	VREF	入力	A/Dコンバータ、D/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN7 AN0_0 ~ AN0_7 AN2_0 ~ AN2_7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。
	DA0、DA1	出力	D/Aコンバータの出力です。
CANモジュール	CRX0	入力	CANモジュールの入力です。
	CTX0	出力	CANモジュールの出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表1.7 端子の機能説明(3)

名称	端子名	入出力	機能
入出力ポート	P0_0 ~ P0_7 P1_0 ~ P1_7 P2_0 ~ P2_7 P3_0 ~ P3_7 P4_0 ~ P4_7 P5_0 ~ P5_7 P6_0 ~ P6_7 P7_0 ~ P7_7 P8_0 ~ P8_4 P8_6、P8_7 P9_0 ~ P9_7 P10_0 ~ P10_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます(ただし、P7_1、P9_1はNチャネルオープンドレイン出力)。
入力ポート	P8_5	入力	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

2 . 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

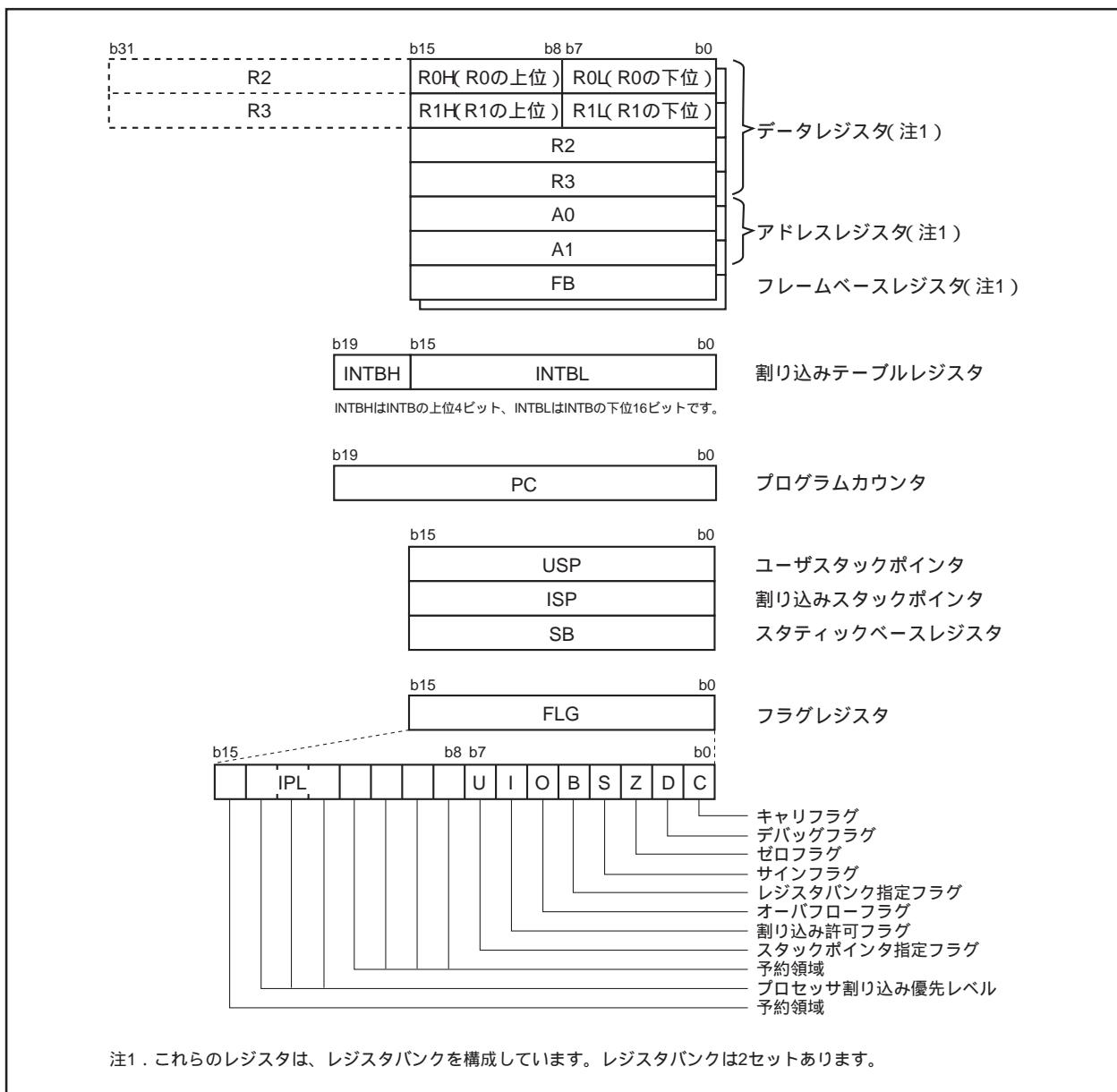


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算にも使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザstackoverflowポインタ(USP) 割り込みstackoverflowポインタ(ISP)

stackoverflowポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”的場合、レジスタバンク0が指定され、“1”的場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが“0”的場合、マスカブル割り込みは禁止され、“1”的場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”的場合、ISPが指定され、“1”的場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3 . メモリ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFh番地から下位方向に配置されています。例えば128Kバイトの内部ROMは、E0000h番地からFFFFFh番地に配置されています。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域(ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクターテーブルはFFFDCCh番地からFFFFFh番地に配置されています。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されています。例えば5Kバイトの内部RAMは、00400h番地から017FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクターテーブルはFFE00h番地からFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「 M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル 」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

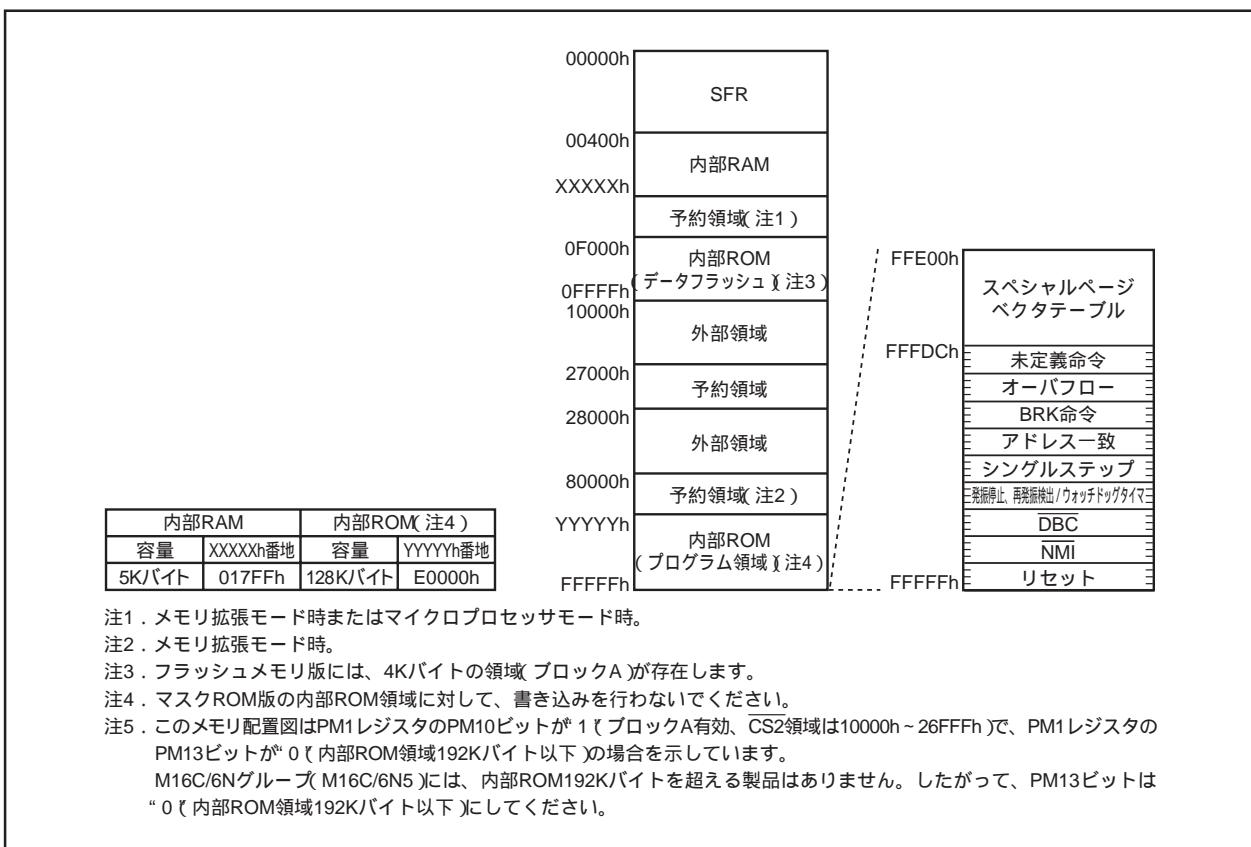


図3.1 メモリ配置図

4 . SFR

SFR(Special Function Register)は周辺機能の制御レジスタです。

表4.1～表4.12にSFR一覧を示します。

表4.1 SFR一覧(1) (注3)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注1)	PM0	00000000b(CNVSS端子が" L ") 00000011b(CNVSS端子が" H ")
0005h	プロセッサモードレジスタ1	PM1	00001000b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ	CSR	00000001b
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh			
000Ch	発振停止検出レジスタ(注2)	CM2	0X000000b
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTs	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXXXb
0010h		RMAD0	00h
0011h	アドレス一致割り込みレジスタ0		00h
0012h			X0h
0013h			
0014h		RMAD1	00h
0015h	アドレス一致割り込みレジスタ1		00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh	チップセレクト拡張制御レジスタ	CSE	00h
001Ch	PLL制御レジスタ0	PLC0	0001X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XXX00000b
001Fh			
0020h		SAR0	XXh
0021h	DMA0ソースポインタ		XXh
0022h			XXh
0023h			
0024h		DAR0	XXh
0025h	DMA0ディスティネーションポインタ		XXh
0026h			XXh
0027h			
0028h	DMA0転送カウンタ	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			
0030h		SAR1	XXh
0031h	DMA1ソースポインタ		XXh
0032h			XXh
0033h			
0034h		DAR1	XXh
0035h	DMA1ディスティネーションポインタ		XXh
0036h			XXh
0037h			
0038h	DMA1転送カウンタ	TCR1	XXh
0039h			XXh
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	00000X00b
003Dh			
003Eh			
003Fh			

X : 不定です。

注1 . PM0レジスタのPM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注2 . CM2レジスタのCM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注3 . 空欄は予約領域です。アクセスしないでください。

表4.2 SFR一覧(2)注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h	CAN0ウェイクアップ割り込み制御レジスタ	C01WKIC	XXXXXX000b
0042h	CAN0受信完了割り込み制御レジスタ	C0RECIC	XXXXXX000b
0043h	CAN0送信完了割り込み制御レジスタ	C0TRMIC	XXXXXX000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00X000b
0045h	タイムB5割り込み制御レジスタ	TB5IC	XXXXXX000b
0046h	タイムB4割り込み制御レジスタ	TB4IC	
	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXXXX000b
0047h	タイムB3割り込み制御レジスタ	TB3IC	
	UART0バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXXXX000b
0048h	INT5割り込み制御レジスタ	INT5IC	XX00X000b
0049h	SI/O3割り込み制御レジスタ	S3IC	
	INT4割り込み制御レジスタ	INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXXX000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXXXX000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXXXX000b
004Dh	CAN0ステート、エラー割り込み制御レジスタ	C01ERRIC	XXXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	
	キー入力割り込み制御レジスタ	KUPIC	XXXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXXX000b
0055h	タイムA0割り込み制御レジスタ	TA0IC	XXXXXX000b
0056h	タイムA1割り込み制御レジスタ	TA1IC	XXXXXX000b
0057h	タイムA2割り込み制御レジスタ	TA2IC	XXXXXX000b
0058h	タイムA3割り込み制御レジスタ	TA3IC	XXXXXX000b
0059h	タイムA4割り込み制御レジスタ	TA4IC	XXXXXX000b
005Ah	タイムB0割り込み制御レジスタ	TB0IC	XXXXXX000b
005Bh	タイムB1割り込み制御レジスタ	TB1IC	XXXXXX000b
005Ch	タイムB2割り込み制御レジスタ	TB2IC	XXXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0060h			XXh
0061h			XXh
0062h			XXh
0063h			XXh
0064h			XXh
0065h			XXh
0066h			XXh
0067h			XXh
0068h			XXh
0069h			XXh
006Ah			XXh
006Bh			XXh
006Ch			XXh
006Dh			XXh
006Eh	CAN0スロット0 : タイムスタンプ		XXh
006Fh			XXh
0070h			XXh
0071h			XXh
0072h			XXh
0073h			XXh
0074h			XXh
0075h			XXh
0076h			XXh
0077h			XXh
0078h			XXh
0079h			XXh
007Ah			XXh
007Bh			XXh
007Ch			XXh
007Dh			XXh
007Eh	CAN0スロット1 : タイムスタンプ		XXh
007Fh			XXh

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
0080h	CAN0スロット2 : メッセージ識別子/DLC		XXh
0081h			XXh
0082h			XXh
0083h			XXh
0084h			XXh
0085h			XXh
0086h			XXh
0087h			XXh
0088h			XXh
0089h	CAN0スロット2 : データフィールド		XXh
008Ah			XXh
008Bh			XXh
008Ch			XXh
008Dh			XXh
008Eh	CAN0スロット2 : タイムスタンプ		XXh
008Fh			XXh
0090h	CAN0スロット3 : メッセージ識別子/DLC		XXh
0091h			XXh
0092h			XXh
0093h			XXh
0094h			XXh
0095h			XXh
0096h	CAN0スロット3 : データフィールド		XXh
0097h			XXh
0098h			XXh
0099h			XXh
009Ah			XXh
009Bh			XXh
009Ch			XXh
009Dh			XXh
009Eh	CAN0スロット3 : タイムスタンプ		XXh
009Fh			XXh
00A0h	CAN0スロット4 : メッセージ識別子/DLC		XXh
00A1h			XXh
00A2h			XXh
00A3h			XXh
00A4h			XXh
00A5h			XXh
00A6h	CAN0スロット4 : データフィールド		XXh
00A7h			XXh
00A8h			XXh
00A9h			XXh
00AAh			XXh
00ABh			XXh
00ACh			XXh
00ADh			XXh
00AEh	CAN0スロット4 : タイムスタンプ		XXh
00AFh			XXh
00B0h	CAN0スロット5 : メッセージ識別子/DLC		XXh
00B1h			XXh
00B2h			XXh
00B3h			XXh
00B4h			XXh
00B5h			XXh
00B6h	CAN0スロット5 : データフィールド		XXh
00B7h			XXh
00B8h			XXh
00B9h			XXh
00BAh			XXh
00BBh			XXh
00BCh			XXh
00BDh			XXh
00BEh	CAN0スロット5 : タイムスタンプ		XXh
00BFh			XXh

X : 不定です。

表4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
00C0h	CAN0スロット6 : メッセージ識別子/DLC		XXh
00C1h			XXh
00C2h			XXh
00C3h			XXh
00C4h			XXh
00C5h			XXh
00C6h			XXh
00C7h	CAN0スロット6 : データフィールド		XXh
00C8h			XXh
00C9h			XXh
00CAh			XXh
00CBh			XXh
00CCh			XXh
00CDh			XXh
00CEh	CAN0スロット6 : タイムスタンプ		XXh
00CFh			XXh
00D0h	CAN0スロット7 : メッセージ識別子/DLC		XXh
00D1h			XXh
00D2h			XXh
00D3h			XXh
00D4h			XXh
00D5h			XXh
00D6h	CAN0スロット7 : データフィールド		XXh
00D7h			XXh
00D8h			XXh
00D9h			XXh
00DAh			XXh
00DBh			XXh
00DCh			XXh
00DDh			XXh
00DEh	CAN0スロット7 : タイムスタンプ		XXh
00DFh			XXh
00E0h	CAN0スロット8 : メッセージ識別子/DLC		XXh
00E1h			XXh
00E2h			XXh
00E3h			XXh
00E4h			XXh
00E5h			XXh
00E6h	CAN0スロット8 : データフィールド		XXh
00E7h			XXh
00E8h			XXh
00E9h			XXh
00EAh			XXh
00EBh			XXh
00ECh			XXh
00EDh			XXh
00EEh	CAN0スロット8 : タイムスタンプ		XXh
00EFh			XXh
00F0h	CAN0スロット9 : メッセージ識別子/DLC		XXh
00F1h			XXh
00F2h			XXh
00F3h			XXh
00F4h			XXh
00F5h			XXh
00F6h	CAN0スロット9 : データフィールド		XXh
00F7h			XXh
00F8h			XXh
00F9h			XXh
00FAh			XXh
00FBh			XXh
00FCh			XXh
00FDh			XXh
00FEh	CAN0スロット9 : タイムスタンプ		XXh
00FFh			XXh

X : 不定です。

表4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
0100h	CAN0スロット10 : メッセージ識別子/DLC		XXh
0101h			XXh
0102h			XXh
0103h			XXh
0104h			XXh
0105h			XXh
0106h			XXh
0107h			XXh
0108h			XXh
0109h	CAN0スロット10 : データフィールド		XXh
010Ah			XXh
010Bh			XXh
010Ch			XXh
010Dh			XXh
010Eh	CAN0スロット10 : タイムスタンプ		XXh
010Fh			XXh
0110h			XXh
0111h			XXh
0112h	CAN0スロット11 : メッセージ識別子/DLC		XXh
0113h			XXh
0114h			XXh
0115h			XXh
0116h	CAN0スロット11 : データフィールド		XXh
0117h			XXh
0118h			XXh
0119h			XXh
011Ah			XXh
011Bh			XXh
011Ch			XXh
011Dh			XXh
011Eh	CAN0スロット11 : タイムスタンプ		XXh
011Fh			XXh
0120h			XXh
0121h			XXh
0122h	CAN0スロット12 : メッセージ識別子/DLC		XXh
0123h			XXh
0124h			XXh
0125h			XXh
0126h	CAN0スロット12 : データフィールド		XXh
0127h			XXh
0128h			XXh
0129h			XXh
012Ah			XXh
012Bh			XXh
012Ch			XXh
012Dh			XXh
012Eh	CAN0スロット12 : タイムスタンプ		XXh
012Fh			XXh
0130h			XXh
0131h			XXh
0132h	CAN0スロット13 : メッセージ識別子/DLC		XXh
0133h			XXh
0134h			XXh
0135h			XXh
0136h	CAN0スロット13 : データフィールド		XXh
0137h			XXh
0138h			XXh
0139h			XXh
013Ah			XXh
013Bh			XXh
013Ch			XXh
013Dh			XXh
013Eh	CAN0スロット13 : タイムスタンプ		XXh
013Fh			XXh

X : 不定です。

表4.6 SFR一覧(6)注1)

番地	レジスタ	シンボル	リセット後の値
0140h	CAN0スロット14 : メッセージ識別子/DLC		XXh
0141h			XXh
0142h			XXh
0143h			XXh
0144h			XXh
0145h			XXh
0146h			XXh
0147h			XXh
0148h			XXh
0149h	CAN0スロット14 : データフィールド		XXh
014Ah			XXh
014Bh			XXh
014Ch			XXh
014Dh			XXh
014Eh	CAN0スロット14 : タイムスタンプ		XXh
014Fh			XXh
0150h			XXh
0151h			XXh
0152h	CAN0スロット15 : メッセージ識別子/DLC		XXh
0153h			XXh
0154h			XXh
0155h			XXh
0156h			XXh
0157h			XXh
0158h			XXh
0159h	CAN0スロット15 : データフィールド		XXh
015Ah			XXh
015Bh			XXh
015Ch			XXh
015Dh			XXh
015Eh	CAN0スロット15 : タイムスタンプ		XXh
015Fh			XXh
0160h			XXh
0161h			XXh
0162h	CAN0グローバルマスクレジスタ	C0GMR	XXh
0163h			XXh
0164h			XXh
0165h			XXh
0166h			XXh
0167h			XXh
0168h	CAN0ローカルマスクAレジスタ		XXh
0169h		COLMAR	XXh
016Ah			XXh
016Bh			XXh
016Ch			XXh
016Dh			XXh
016Eh	CAN0ローカルマスクBレジスタ		XXh
016Fh			XXh
0170h			XXh
0171h			XXh
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.7 SFR一覧(7)注2)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	フラッシュメモリ制御レジスタ1(注1)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0(注1)	FMR0	00000001b
01B8h			
01B9h	アドレス一致割り込みレジスタ2	RMAD2	00h
01BAh			00h
01BBh	アドレス一致割り込み許可レジスタ2	AIER2	X0h
01BCh			
01BDh	アドレス一致割り込みレジスタ3	RMAD3	XXXXXX00b
01BEh			00h
01BFh			

X : 不定です。

注1 . これらのレジスタはフラッシュメモリ版にあります。マスクROM版ではアクセスしないでください。
注2 . 空欄は予約領域です。アクセスしないでください。

表4.8 SFR一覧(8)注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	タイマB3, B4, B5カウント開始フラグ	TBSR	000XXXXXb
01C1h			
01C2h	タイマA1-1レジスタ	TA11	XXh
01C3h			XXh
01C4h	タイマA2-1レジスタ	TA21	XXh
01C5h			XXh
01C6h	タイマA4-1レジスタ	TA41	XXh
01C7h			XXh
01C8h	三相PWM制御レジスタ0	INVCO	00h
01C9h	三相PWM制御レジスタ1	INVC1	00h
01CAh	三相出力バッファレジスタ0	IDB0	00111111b
01CBh	三相出力バッファレジスタ1	IDB1	00111111b
01CCh	短絡防止タイマ	DTT	XXh
01CDh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
01CEh			
01CFh			
01D0h	タイマB3レジスタ	TB3	XXh
01D1h			XXh
01D2h	タイマB4レジスタ	TB4	XXh
01D3h			XXh
01D4h	タイマB5レジスタ	TB5	XXh
01D5h			XXh
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh	タイマB3モードレジスタ	TB3MR	00XX0000b
01DCh	タイマB4モードレジスタ	TB4MR	00XX0000b
01DDh	タイマB5モードレジスタ	TB5MR	00XX0000b
01DEh	割り込み要因選択レジスタ0	IFSR0	00XXX000b
01DFh	割り込み要因選択レジスタ1	IFSR1	00h
01E0h	SI/O3送受信レジスタ	S3TRR	XXh
01E1h			
01E2h	SI/O3制御レジスタ	S3C	01000000b
01E3h	SI/O3ピットレートレジスタ	S3BRG	XXh
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh	UART0特殊モードレジスタ4	U0SMR4	00h
01EDh	UART0特殊モードレジスタ3	U0SMR3	000X0X0Xb
01EEh	UART0特殊モードレジスタ2	U0SMR2	X0000000b
01EFh	UART0特殊モードレジスタ	U0SMR	X0000000b
01F0h	UART1特殊モードレジスタ4	U1SMR4	00h
01F1h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
01F2h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
01F3h	UART1特殊モードレジスタ	U1SMR	X0000000b
01F4h	UART2特殊モードレジスタ4	U2SMR4	00h
01F5h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
01F6h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
01F7h	UART2特殊モードレジスタ	U2SMR	X0000000b
01F8h	UART2送受信モードレジスタ	U2MR	00h
01F9h	UART2ピットレートレジスタ	U2BRG	XXh
01FAh	UART2送信バッファレジスタ	U2TB	XXh
01FBh			XXh
01FCh	UART2送受信制御レジスタ0	U2C0	00001000b
01FDh	UART2送受信制御レジスタ1	U2C1	00000010b
01FEh			XXh
01FFh	UART2受信バッファレジスタ	U2RB	XXh

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h	CAN0メッセージ制御レジスタ0	COMCTL0	00h
0201h	CAN0メッセージ制御レジスタ1	COMCTL1	00h
0202h	CAN0メッセージ制御レジスタ2	COMCTL2	00h
0203h	CAN0メッセージ制御レジスタ3	COMCTL3	00h
0204h	CAN0メッセージ制御レジスタ4	COMCTL4	00h
0205h	CAN0メッセージ制御レジスタ5	COMCTL5	00h
0206h	CAN0メッセージ制御レジスタ6	COMCTL6	00h
0207h	CAN0メッセージ制御レジスタ7	COMCTL7	00h
0208h	CAN0メッセージ制御レジスタ8	COMCTL8	00h
0209h	CAN0メッセージ制御レジスタ9	COMCTL9	00h
020Ah	CAN0メッセージ制御レジスタ10	COMCTL10	00h
020Bh	CAN0メッセージ制御レジスタ11	COMCTL11	00h
020Ch	CAN0メッセージ制御レジスタ12	COMCTL12	00h
020Dh	CAN0メッセージ制御レジスタ13	COMCTL13	00h
020Eh	CAN0メッセージ制御レジスタ14	COMCTL14	00h
020Fh	CAN0メッセージ制御レジスタ15	COMCTL15	00h
0210h	CAN0制御レジスタ	C0CTRL	X0000001b
0211h			XX0X0000b
0212h	CAN0ステータスレジスタ	C0STR	00h
0213h			X0000001b
0214h	CAN0スロットステータスレジスタ	C0SSTR	00h
0215h			00h
0216h	CAN0割り込み制御レジスタ	C0ICR	00h
0217h			00h
0218h	CAN0拡張IDレジスタ	C0IDR	00h
0219h			00h
021Ah	CAN0バスタイミング制御レジスタ	C0CONR	XXh
021Bh			XXh
021Ch	CAN0受信エラーカウントレジスタ	C0RECR	00h
021Dh	CAN0送信エラーカウントレジスタ	C0TECR	00h
021Eh	CAN0タイムスタンプレジスタ	C0TSR	00h
021Fh			00h
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	CAN1制御レジスタ	C1CTRL	X0000001b
0231h			XX0X0000b
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	XXh
0243h			XXh
0244h			
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00h
025Fh	CAN0クロック選択レジスタ	CCLKR	00h
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h `			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch			
037Dh			
037Eh			
037Fh			

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.11 SFR一覧(11)(注2)

番地	レジスタ	シンボル	リセット後の値
0380h	カウント開始フラグ	TABSR	00h
0381h	時計用プリスケーラリセットフラグ	CPSRF	0XXXXXXXXb
0382h	ワンショット開始フラグ	ONSF	00h
0383h	トリガ選択レジスタ	TRGSR	00h
0384h	アップダウンフラグ	UDF	00h (注1)
0385h			
0386h	タイマA0レジスタ	TA0	XXh
0387h			XXh
0388h	タイマA1レジスタ	TA1	XXh
0389h			XXh
038Ah	タイマA2レジスタ	TA2	XXh
038Bh			XXh
038Ch	タイマA3レジスタ	TA3	XXh
038Dh			XXh
038Eh	タイマA4レジスタ	TA4	XXh
038Fh			XXh
0390h	タイマB0レジスタ	TB0	XXh
0391h			XXh
0392h	タイマB1レジスタ	TB1	XXh
0393h			XXh
0394h	タイマB2レジスタ	TB2	XXh
0395h			XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h	タイマA3モードレジスタ	TA3MR	00h
039Ah	タイマA4モードレジスタ	TA4MR	00h
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh	タイマB2特殊モードレジスタ	TB2SC	XXXXXX00b
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0ピットレートレジスタ	U0BRG	XXh
03A2h	UART0送信バッファレジスタ	U0TB	XXh
03A3h			XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h	UART0受信バッファレジスタ	U0RB	XXh
03A7h			XXh
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1ピットレートレジスタ	U1BRG	XXh
03AAh	UART1送信バッファレジスタ	U1TB	XXh
03ABh			XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh	UART1受信バッファレジスタ	U1RB	XXh
03AFh			XXh
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

X : 不定です。

注1 . UDFレジスタのTA2P ~ TA4Pビットはリセット後の値は“0”ですが、これらのビットを読んだ場合、その値は不定です。
 注2 . 空欄は予約領域です。アクセスしないでください。

表4.12 SFR一覧(12)(注2)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/Dレジスタ0	AD0	XXh
03C1h			XXh
03C2h	A/Dレジスタ1	AD1	XXh
03C3h			XXh
03C4h	A/Dレジスタ2	AD2	XXh
03C5h			XXh
03C6h	A/Dレジスタ3	AD3	XXh
03C7h			XXh
03C8h	A/Dレジスタ4	AD4	XXh
03C9h			XXh
03CAh	A/Dレジスタ5	AD5	XXh
03CBh			XXh
03CCh	A/Dレジスタ6	AD6	XXh
03CDh			XXh
03CEh	A/Dレジスタ7	AD7	XXh
03CFh			XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	00h
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	00000XXXb
03D7h	A/D制御レジスタ1	ADCON1	00h
03D8h	D/Aレジスタ0	DA0	00h
03D9h			
03DAh	D/Aレジスタ1	DA1	00h
03DBh			
03DCh	D/A制御レジスタ	DACON	00h
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00X00000b
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	ブルアップ制御レジスタ0	PUR0	00h
03FDh	ブルアップ制御レジスタ1	PUR1	00000000b(注1) 00000010b
03FEh	ブルアップ制御レジスタ2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

X : 不定です。

注1 . ハードウェアリセットでは次のようになります。

- ・CNVSS端子に“L”を入力している場合、“00000000b”
- ・CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、および発振停止検出リセットでは次のようになります。

- ・PM0レジスタのPM01~00ビットが“00b”(シングルチップモード)の場合、“0000000b”
- ・PM0レジスタのPM01~00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

注2 . 空欄は予約領域です。アクセスしないでください。

5 . リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(「表5.1 RESET端子のレベルが“L”的期間の端子の状態」参照)。また、発振回路が初期化され、メインクロックの発振が始まります。RESET端子の入力レベルを“L”から“H”になるとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中にRESET端子が“L”になると、内部RAMは不定になります。

図5.1にリセット回路の一例、図5.2にリセットシーケンス、表5.1にRESET端子のレベルが“L”的期間の端子の状態を示します。

5.1.1 電源安定時

- (1)RESET端子に“L”を入力する
- (2)XIN端子に20サイクル以上のクロックを入力する
- (3)RESET端子に“H”を入力する

5.1.2 電源投入時

- (1)RESET端子に“L”を入力する
- (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3)内部電源が安定するまで $t_{d(P-R)}$ 待つ
- (4)XIN端子に20サイクル以上のクロックを入力する
- (5)RESET端子に“H”を入力する

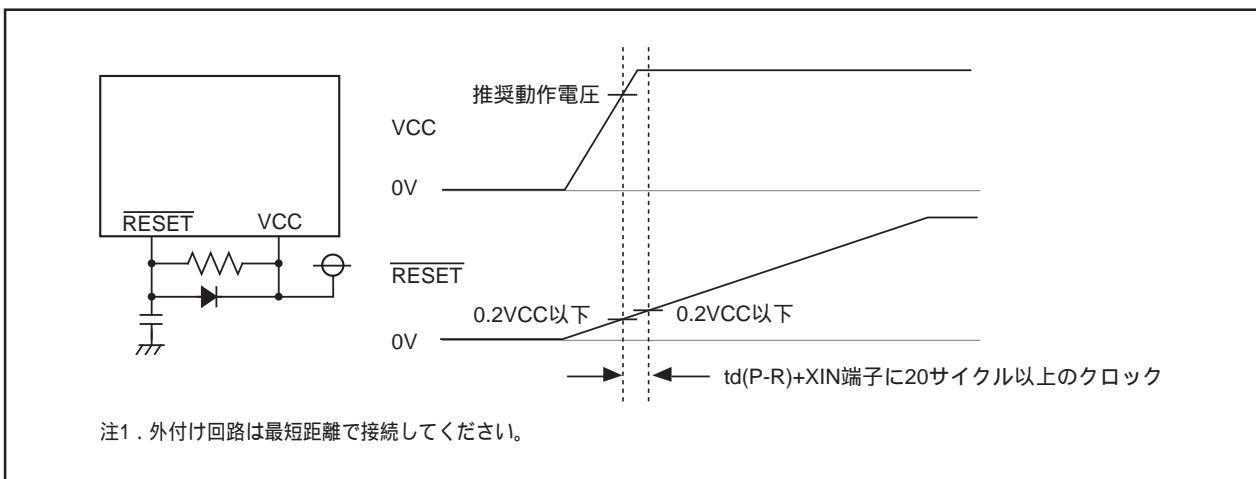


図5.1 リセット回路の一例

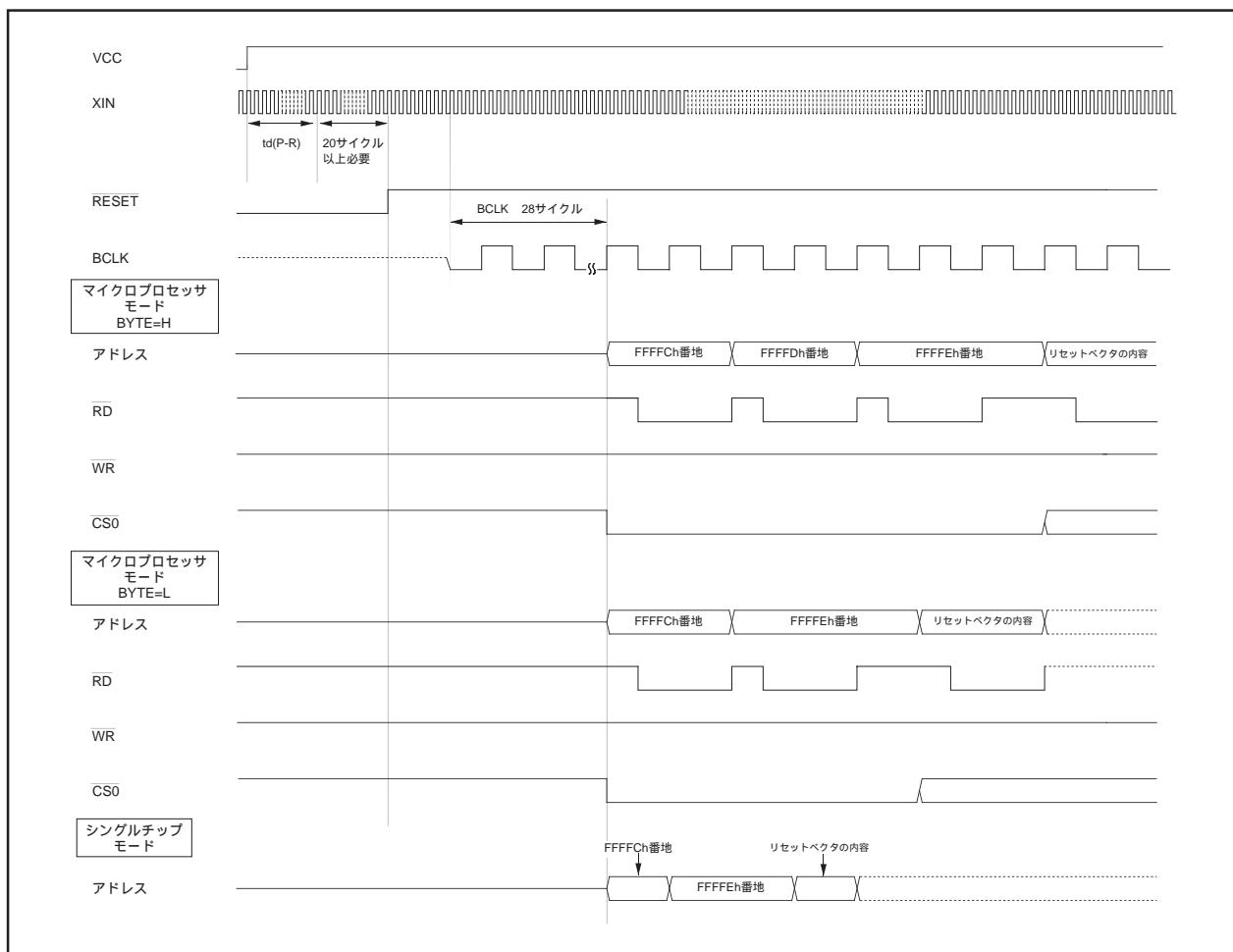


図5.2 リセットシーケンス

表5.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVSS = VSS	CNVSS = VCC(注1)	
		BYTE = VSS	BYTE = VCC
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P4_0 ~ P4_3	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P4_4	入力ポート	CS0出力("H"を出力)	CS0出力("H"を出力)
P4_5 ~ P4_7	入力ポート	入力ポート(ブルアップあり)	入力ポート(ブルアップあり)
P5_0	入力ポート	WR出力("H"を出力)	WR出力("H"を出力)
P5_1	入力ポート	BHE出力(不定)	BHE出力(不定)
P5_2	入力ポート	RD出力("H"を出力)	RD出力("H"を出力)
P5_3	入力ポート	BCLK出力	BCLK出力
P5_4	入力ポート	HLDA出力(出力値はHOLD 端子の入力に依存)	HLDA出力(出力値はHOLD 端子の入力に依存)
P5_5	入力ポート	HOLD入力	HOLD入力
P5_6	入力ポート	ALE出力("L"を出力)	ALE出力("L"を出力)
P5_7	入力ポート	RDY入力	RDY入力
P6, P7, P8_0 ~ P8_4, P8_6, P8_7, P9, P10	入力ポート	入力ポート	入力ポート

注1. CNVSS = VCC時は、電源投入後、内部電源電圧が安定してからの状態です。内部電源電圧が安定するまでは不定です。

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4 . SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.3 ウオッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4 . SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.4 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「8.5 発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4 . SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.5 内部領域の状態

図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4 . SFR」を参照してください。

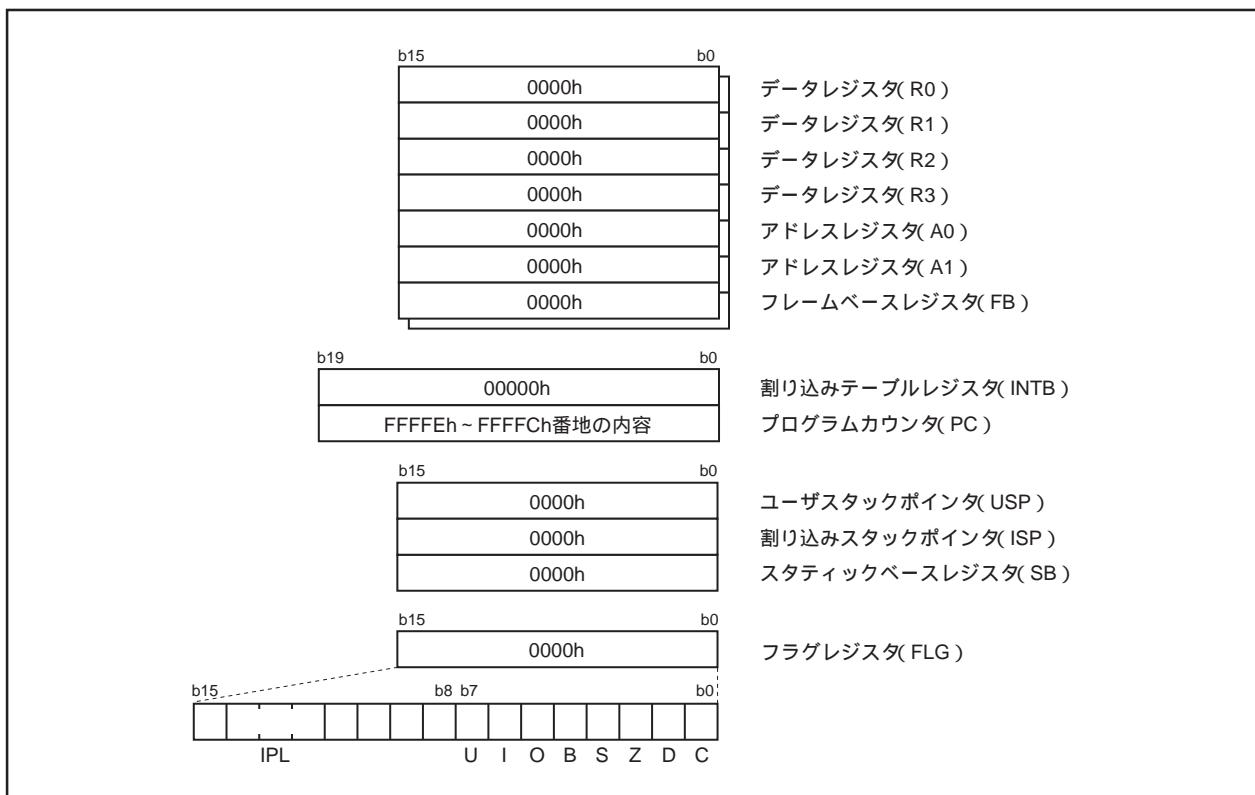


図5.3 リセット後のCPUレジスタの状態

6 . プロセッサモード

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表6.1にプロセッサモードの特長を示します。

表6.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポート または周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、 外部領域(注1)	一部の端子がバス制御端子(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域(注1)	一部の端子がバス制御端子(注1)

注1 . 詳細は「7 . バス」を参照してください。

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子およびPM0レジスタのPM01～PM00ビットで行います。

表6.2にハードウェアリセット後のプロセッサモード、表6.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表6.2 ハードウェアリセット後のプロセッサモード

CNVSS端子の入力レベル	プロセッサモード
VSS	シングルチップモード
VCC(注1、2)	マイクロプロセッサモード

注1 . CNVSS端子にVCCを入力し、ハードウェアリセットした場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

注2 . マルチプレクスバスをCSの全空間に割り当てるることはできません。

表6.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
10b	設定しないでください
11b	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07～PM02ビットと同時に書き換えないでください。また、内部ROMでのマイクロプロセッサモードへの移行、および内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVSS端子にVCCを入力し、ハードウェアリセットした場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

図6.1、図6.2にプロセッサモード関連レジスタ、図6.3にシングルチップモード時のメモリ配置を示します。図6.4、図6.5にメモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域を示します。

プロセッサモードレジスタ0(注1)										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル PM0	アドレス 0004h番地	リセット後の値(注2) 00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)
								PM00	プロセッサモードビット (注2)	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 設定しないでください 1 1 : マイクロプロセッサモード
								PM01		RW
								PM02	R/Wモード選択ビット (注3)	0 : <u>RD</u> 、 <u>BHE</u> 、 <u>WR</u> 1 : RD、WRH、WRl
								PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロ コンピュータはリセットされる。 読んだ場合、その値は“0”。
								PM04	マルチプレクスバス空間 選択ビット (注3)	b5 b4 0 0 : マルチプレクスバスを使用しない (CSの全空間はセバレートバス) 0 1 : CS2の空間に割り当てる 1 0 : CS1の空間に割り当てる 1 1 : CSの全空間に割り当てる(注4)
								PM05		RW
								PM06	ポートP4_0 ~ P4_3機能 選択ビット (注3)	0 : アドレス出力 1 : ポート機能 (アドレスは出力されません)
								PM07	BCLK出力禁止ビット (注3)	0 : 出力する 1 : 出力しない (端子はハイインピーダンスになります)

注1 . このレジスタは、PRCRレジスタのPRC1ビットを“1(書き込み許可)にした後で書き換えてください。

注2 . PM00、PM01ビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注3 . PM01～PM00ビットが“01b(メモリ拡張モード)または“11b(マイクロプロセッサモード)”の場合に有効。

注4 . PM01～PM00ビットが“01b”で、PM05～PM04ビットを“11b(マルチプレクスバスをCSの全空間に割り当てる)”にする場合、BYTE端子に“H”を入力(外部データバスは8ビット)にしてください。
CNVSS端子にVCCを入力している場合、リセット後、PM05～PM04ビットを“11b”にしないでください。
メモリ拡張モードで、PM05～PM04ビットを“11b”にした場合、P3_1～P3_7、P4_0～P4_3は入出力ポートになるため、アクセスできる空間はCSごとに256バイトです。

図6.1 PM0レジスタ

プロセッサモードレジスタ1(注1)										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
	0	0	0	0				PM1	0005h番地	00001000b
								ピットシンボル	ピット名	機能
								PM10	CS2領域切り替えピット (データブロック有効ピット) (注2)	0 : 08000h ~ 26FFFFh(ブロックA無効) 1 : 10000h ~ 26FFFFh(ブロックA有効)
								PM11	ポートP3_7 ~ P3_4機能選択 ピット (注3)	0 : アドレス出力 1 : ポート機能
								PM12	ウォッチドッグタイム 機能選択ピット	0 : ウォッチドッグタイム割り込み 1 : ウォッチドッグタイマリセット(注4)
								PM13	内部予約領域拡張ピット (注5)	0 : 内部ROM領域192Kバイト以下 1 : 内部ROM領域192Kバイト超えに拡張
								- (b6-b4)	予約ピット	" 0 "にしてください。
								PM17	ウェイトピット (注6)	0 : ウェイトなし 1 : ウェイトあり(1ウェイト)

注1 . このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2 . マスクROM版では“0”にしてください。
 フラッシュメモリ版の場合、PM10ビットはブロックAが有効か無効かも制御します。またこのビットが“1”的場合、0F000h ~ 0FFFFh(ブロックA)が内部ROM領域になります。
 なお、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、PM10ビットは自動的に“1”になります。
注3 . PM01 ~ PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合に有効。
注4 . PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
注5 . M16C/6Nグループ(M16C/6N5)には、内部ROM192Kバイトを超える製品はありません。したがって、PM13ビットは“0”にしてください。
 FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、PM13ビットは自動的に“1”になります。
注6 . PM17ビットが“1”(ウェイトあり)の場合、内部RAM、内部ROMアクセス時に1ウェイトが挿入されます。
 PM17ビットが“1”で外部領域をアクセスする場合は、CSRレジスタのCSIWビット(i=0~3)を“0”(ウェイトなし)にしてください。

図6.2 PM1 レジスタ

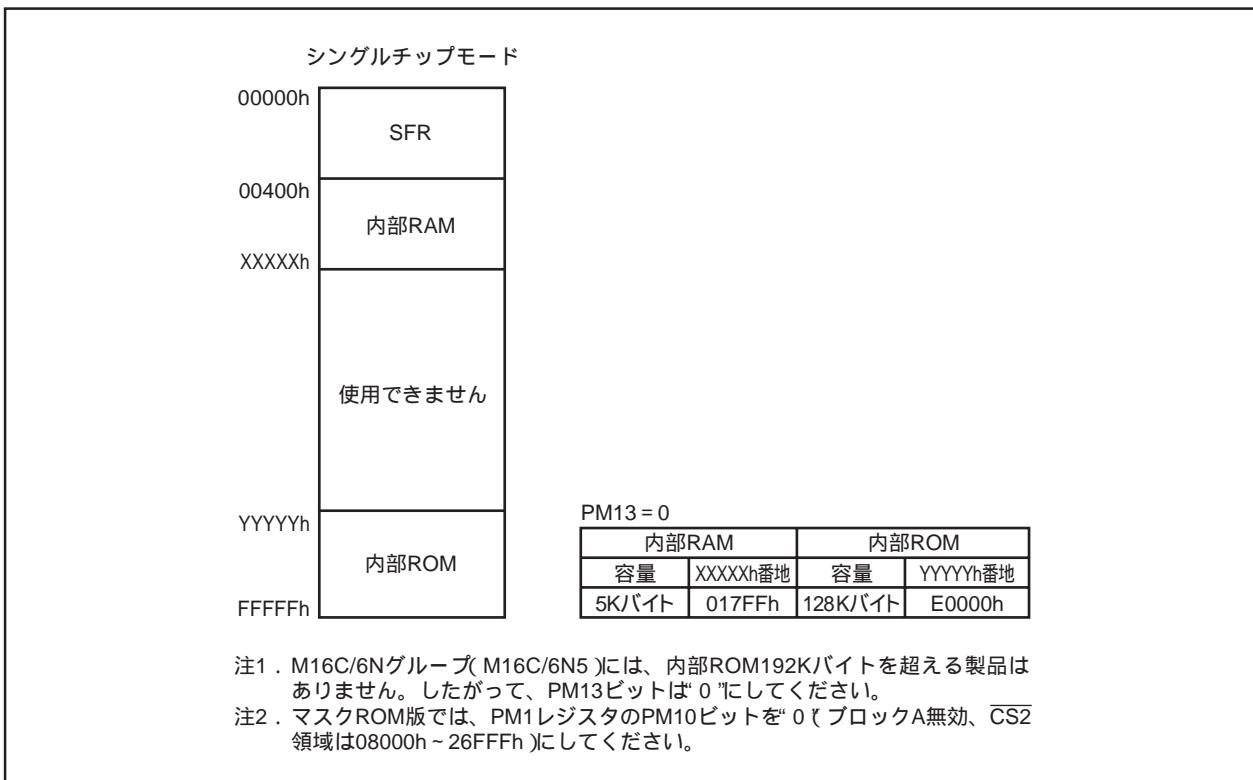


図6.3 シングルチップモード時のメモリ配置

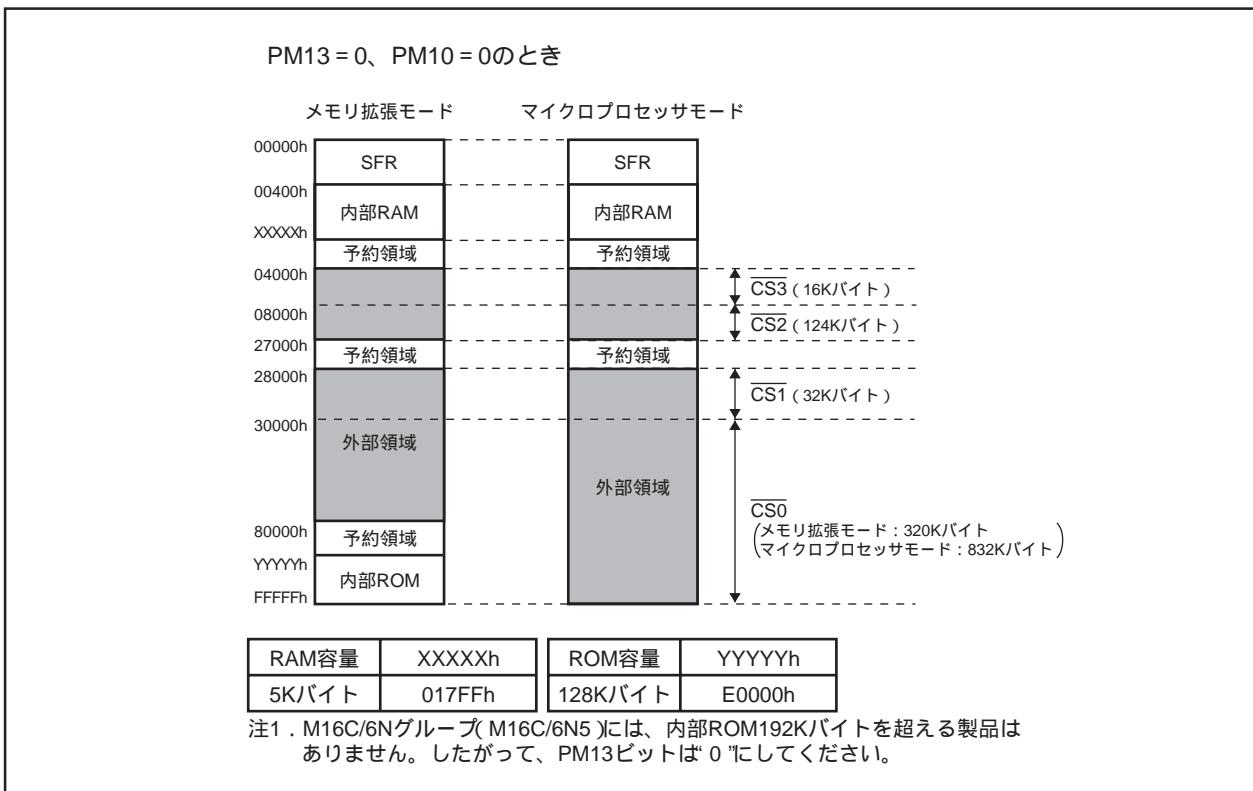


図6.4 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(1)

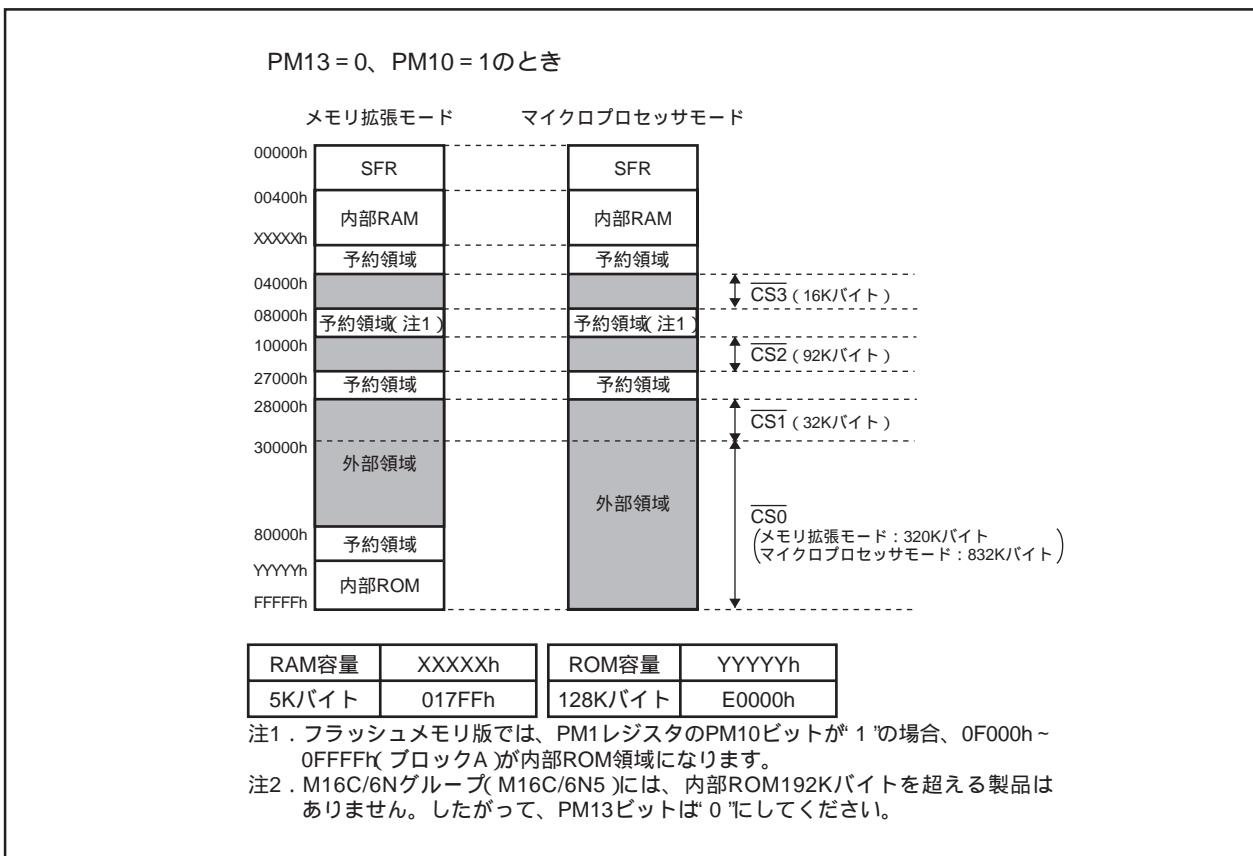


図6.5 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(2)

7 . バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子になります。バス制御端子には、A0～A19、D0～D15、CS0～CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、およびBCLKがあります。

7.1 バス形式

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。

7.1.1 セパレートバス

データとアドレスを分離するバスの形式です。

7.1.2 マルチプレクスバス

データとアドレスをマルチプレクスするバスの形式です。

7.1.2.1 BYTE端子に“ H ”を入力している(データバス幅8ビット)場合

D0～D7がA0～A7とマルチプレクスされます。

7.1.2.2 BYTE端子に“ L ”を入力している(データバス幅16ビット)場合

D0～D7がA1～A8とマルチプレクスされます。D8～D15はマルチプレクスされません。D8～D15は使用しないでください。マルチプレクスバスに接続した外部デバイスは、マイクロコンピュータの偶数番地のみに配置されます。奇数番地にはアクセスできません。

表7.1にセパレートバスとマルチプレクスバスの相違を示します。

表7.1 セパレートバスとマルチプレクスバスの相違

端子名(注1)	セパレートバス	マルチプレクスバス	
		BYTE = H	BYTE = L
P0_0～P0_7/D0～D7	X D0～D7 X	(注2)	(注2)
P1_0～P1_7/D8～D15	X D8～D15 X	入出力ポート P1_0～P1_7	(注2)
P2_0/A0(/D0/-)	X A0 X	X A0 X D0 X	X A0 X
P2_1～P2_7/A1～A7 (/D1～D7/D0～D6)	X A1～A7 X	X A1～A7 X D1～D7 X	X A1～A7 X D0～D6 X
P3_0/A8(/-/D7)	X A8 X	X A8 X	X A8 X D7 X

注1 . 上記以外のバス制御信号は「表7.6 プロセッサモードと端子の機能表」を参照してください。

注2 . PM0レジスタのPM05～PM04ビットの設定、アクセスする領域によって異なります。

詳細は「表7.6 プロセッサモードと端子の機能表」を参照してください。

7.2 バス制御

外部デバイスのアクセスに必要な信号と、ソフトウェアウェイトについて説明します。

7.2.1 アドレスバス

アドレスバスはA0～A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットとPM1レジスタのPM11ビットによって12ビット、16ビット、20ビットから選択できます。

表7.2にPM06ビット、PM11ビットの設定値とアドレスバス幅を示します。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

表7.2 PM06ビット、PM11ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM11 = 1	P3_4 ~ P3_7	12ビット
PM06 = 1	P4_0 ~ P4_3	
PM11 = 0	A12 ~ A15	16ビット
PM06 = 1	P4_0 ~ P4_3	
PM11 = 0	A12 ~ A15	20ビット
PM06 = 0	A16 ~ A19	

注1. この表で示す値以外を設定しないでください。

7.2.2 データバス

BYTE端子に“H”を入力している(データバス幅8ビット)場合、D0～D7の8本がデータバスに、BYTE端子に“L”を入力している(データバス幅16ビット)場合、D0～D15の16本がデータバスになります。

BYTE端子の入力レベルは変更しないでください。

7.2.3 チップセレクト信号

チップセレクト信号(以下、CS*i*と称す)は、CS*i*(*i*=0～3)端子から出力されます。CSRレジスタのCS*i*ビットによって、端子の機能を入出力ポートにするか、CS*i*にするかを選択できます。

図7.1にCSRレジスタを示します。

CS*i*端子から出力されるCS*i*信号によって、外部領域を最大4つに分割できます。

図7.2にアドレスバスとCS*i*信号の出力例(セパレートバス、ウェイトなし)を示します。

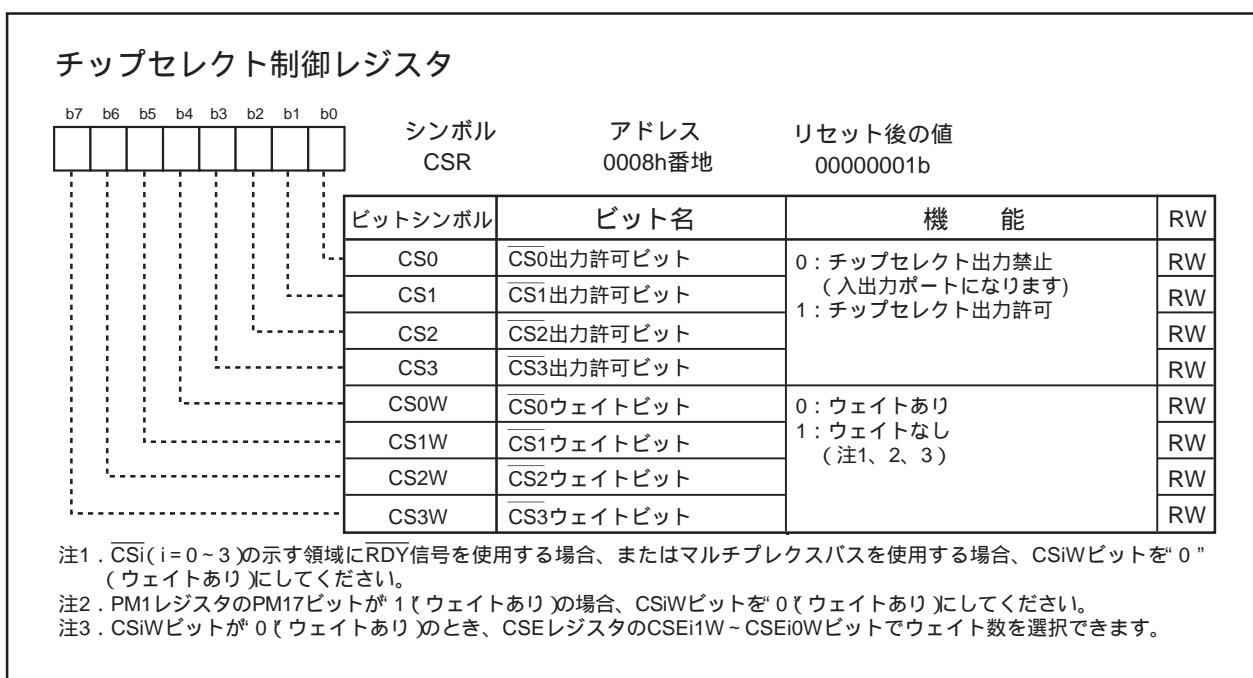
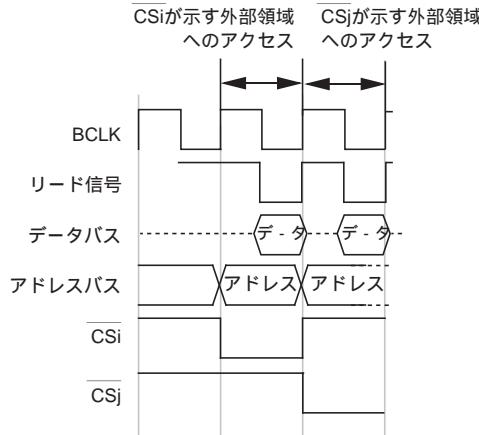


図7.1 CSRレジスタ

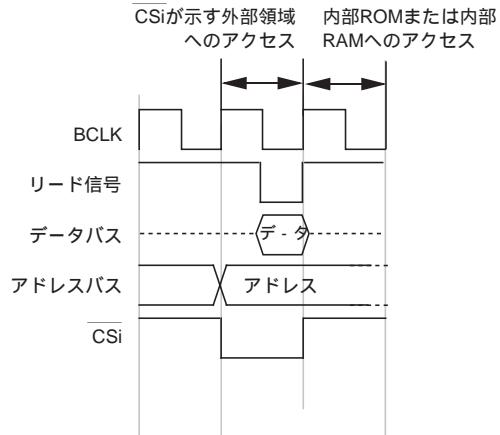
例1. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで \overline{CSj} が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化する。



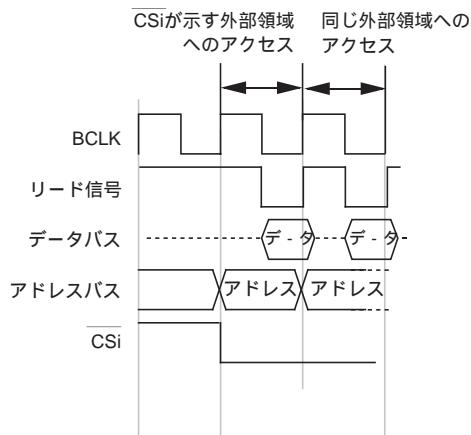
例2. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合

この2つのサイクル間でチップセレクト信号は変化するが、アドレスバスは変化しない。



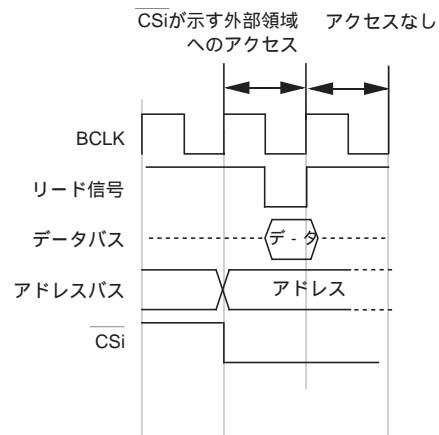
例3. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで同じ \overline{CSi} が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバスは変化するが、チップセレクト信号は変化しない。



例4. \overline{CSi} が示す外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合

この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しない。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。
これらの例の組み合わせにより、チップセレクトは2バスサイクル以上、伸びる場合があります。

上図は、セバレートバス、ウェイトなし、読み出しの場合です。i=0~3, j=0~3(ただし、iを除く)。

図7.2 アドレスバスと \overline{CSi} 信号の出力例

7.2.4 リード信号、ライト信号

データバス幅が16ビットの場合、リード信号、ライト信号はPM0レジスタのPM02ビットによって、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または RD 、 WRL 、 WRH の組み合わせを選択できます。データバス幅が8ビットの場合は、 RD 、 \overline{WR} 、 \overline{BHE} の組み合わせにしてください。

表7.3にRD、WR_L、WR_H信号の動作、表7.4にRD、WR、BHE信号の動作を示します。

表7.3 RD、WRL、WRH信号の動作

データバス幅	RD	WRL	WRH	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地とともにデータを書く

表7.4 RD、WR、BHE信号の動作

データバス幅	RD	WR	BHE	A0	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地の1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地の1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む
8ビット (BYTE端子に “H”を入力)	H	L	- (注1)	HまたはL	1バイトのデータを書く
	L	H	- (注1)	HまたはL	1バイトのデータを読む

注1 使用しないでください。

7.2.5 ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

図7.3にALE信号とアドレスバス、データバスを示します。

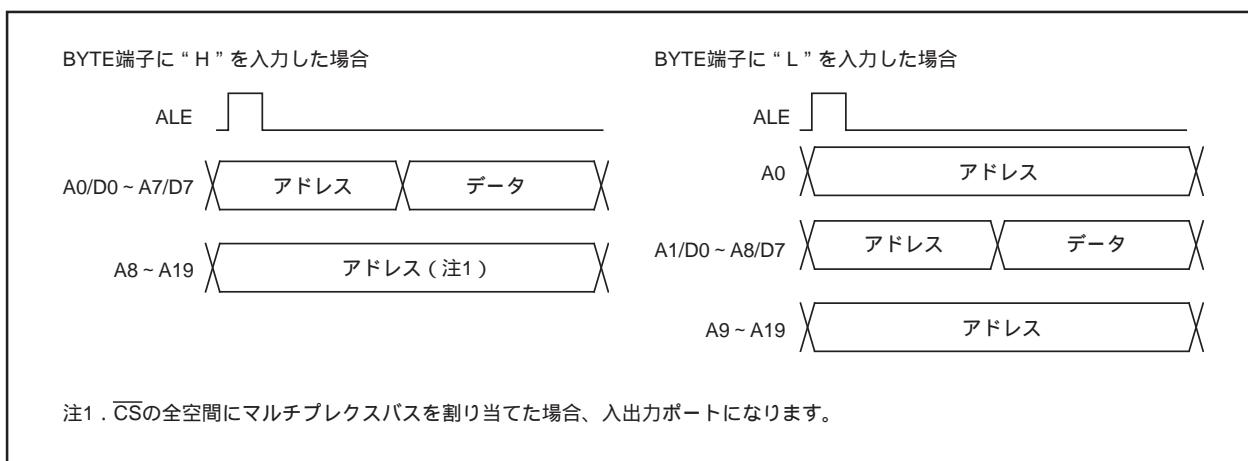


図7.3 ALE信号とアドレスバス、データバス

7.2.6 $\overline{\text{RDY}}$ 信号

アクセス速度が遅い外部デバイスにアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がり時にRDY端子に“L”が入力されている場合、バスサイクルにウェイトが挿入されます。 $\overline{\text{RDY}}$ 信号によるウェイト中、次の信号はRDY信号を受け付けたときの状態を保持します。

A0～A19、D0～D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{HLDA}}$

その後、BCLKの立ち下がり時にRDY端子に“H”が入力されていると、残りのバスサイクルを実行します。
図7.4にRDY信号によってリードサイクルにウェイトが挿入された例を示します。

$\overline{\text{RDY}}$ 信号を使用する場合、CSRレジスタの対応するビット($\text{CS3W} \sim \text{CS0W}$ ビット)を“0”(ウェイトあり)にしてください。 $\overline{\text{RDY}}$ 信号を使用しない場合、RDY端子をプルアップしてください。

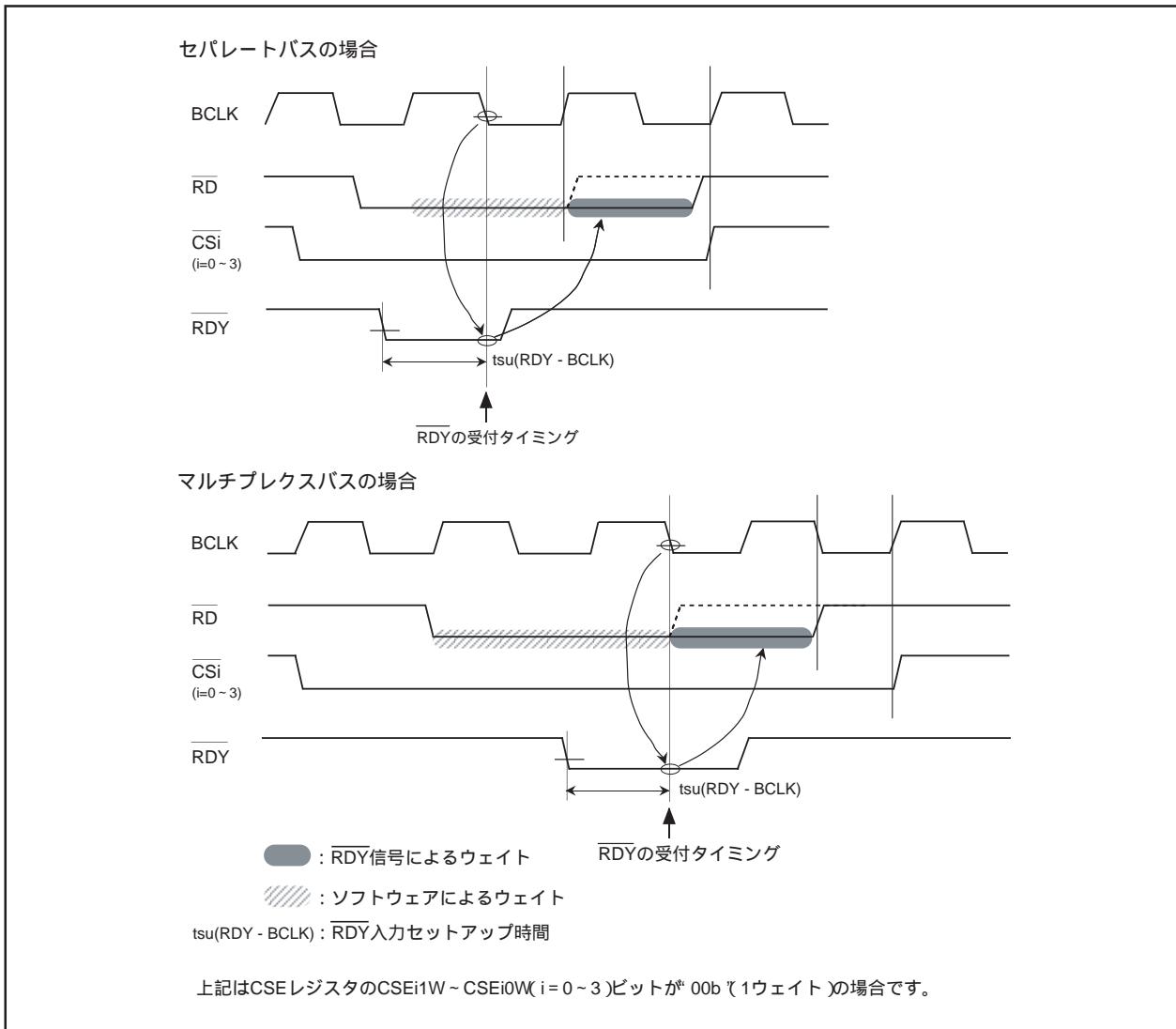


図7.4 RDY信号によってリードサイクルにウェイトが挿入された例

7.2.7 HOLD信号

バスの使用権をCPUやDMAから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。HOLD端子が“L”的期間、ホールド状態を保持し、HLDA端子からホールド状態の間、“L”を出力します。

表7.5にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなります(「図7.5 バス使用優先順位」参照)。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。

HOLD > DMAC > CPU

図7.5 バス使用優先順位

表7.5 ホールド状態におけるマイクロコンピュータの状態

項目	状態
BCLK	出力
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WRL、WRH、WR、BHE	ハイインピーダンス
入出力ポート	ハイインピーダンス
P0、P1、P3、P4(注1)	ハイインピーダンス
P6 ~ P10	HOLD信号を受け付けたときの状態を保持
HLDA	“L”を出力
内部周辺機能	動作(ただしウォッチドッグタイマは停止(注2))
ALE	不定

注1. 入出力ポートを選択した場合です。

注2. PM2レジスタのPM22ビットが1(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)のとき、ウォッチドッグタイマは停止しません。

7.2.8 BCLK出力

PM0レジスタのPM07ビットを“0(出力する)”にすると、CPUクロックと同一周波数のクロックがBCLKとしてBCLK端子から出力されます。詳細は「8.2 CPUクロックと周辺機能クロック」を参照してください。

表7.6にプロセッサモードと端子の機能表を示します。

表7.6 プロセッサモードと端子の機能表

プロセッサモード	メモリ拡張モードまたはマイクロプロセッサモード			メモリ拡張モード
PM05 ~ PM04ビット	00b(セパレートバス)	01b(CS2領域はマルチプレクスバス それ以外はセパレートバス) 10b(CS1領域はマルチプレクスバス それ以外はセパレートバス)	11b(CSの全空間が マルチプレクスバス) (注1)	
データバス幅 BYTE端子	8ビット “ H ”	16ビット “ L ”	8ビット “ H ”	16ビット “ L ”
P0_0 ~ P0_7	D0 ~ D7	D0 ~ D7(注4)		入出力ポート
P1_0 ~ P1_7	入出力ポート	D8 ~ D15	入出力ポート	D8 ~ D15(注4)
P2_0	A0	A0/D0(注2)	A0	A0/D0
P2_1 ~ P2_7	A1 ~ A7	A1 ~ A7/D1 ~ D7 (注2)	A1 ~ A7/D0 ~ D6 (注2)	A1 ~ A7/D1 ~ D7
P3_0	A8		A8/D7(注2)	A8
P3_1 ~ P3_3	A9 ~ A11			入出力ポート
P3_4 ~ P3_7	PM11 = 0	A12 ~ A15		入出力ポート
	PM11 = 1	入出力ポート		
P4_0 ~ P4_3	PM06 = 0	A16 ~ A19		入出力ポート
	PM06 = 1	入出力ポート		
P4_4	CS0 = 0	入出力ポート		
	CS0 = 1	CS0		
P4_5	CS1 = 0	入出力ポート		
	CS1 = 1	CS1		
P4_6	CS2 = 0	入出力ポート		
	CS2 = 1	CS2		
P4_7	CS3 = 0	入出力ポート		
	CS3 = 1	CS3		
P5_0	PM02 = 0	WR		
	PM02 = 1	-(注3)	WRL	-(注3)
P5_1	PM02 = 0	BHE		
	PM02 = 1	-(注3)	WRH	-(注3)
P5_2	RD			
P5_3	BCLK			
P5_4	HLDA			
P5_5	HOLD			
P5_6	ALE			
P5_7	RDY			

入出力ポート：入出力ポートまたは周辺機能入出力端子として機能する。

注1 . PM01 ~ PM00ビットが“ 01b ”(メモリ拡張モード)で、PM05 ~ PM04ビットを“ 11b ”(マルチプレクスバス をCSの全空間に割り当てる)にする場合、BYTE端子に“ H ”を入力(外部データバスは8ビット)してください。

CNVSS端子にVCCを入力している場合、リセット後、PM05 ~ PM04ビットを“ 11b ”にしないでください。
メモリ拡張モードで、PM05 ~ PM04ビットを“ 11b ”にした場合、P3_1 ~ P3_7、P4_0 ~ P4_3は入出力ポートになりますので、アクセスできる領域はCSごとに256バイトです。

注2 . セパレートバスではアドレスバスになります。

注3 . データバス幅8ビットの場合、PM02ビットは“ 0 ”(RD、BHE、WR)にしてください。

注4 . マルチプレクスバスを使用する領域をアクセスする場合、書き込み時は不定値を出力します。

7.2.9 内部領域をアクセスしたときの外部バスの状態

表7.7に内部領域をアクセスしたときの外部バスの状態を示します。

表7.7 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態		内部ROM、内部RAMをアクセスしたときの状態
A0 ~ A19	アドレスを出力		直前にアクセスされた外部領域またはSFRのアドレスを保持
D0 ~ D15	リード時	ハイインピーダンス	ハイインピーダンス
	ライト時	データを出力	不定
RD、WR、WRL、WRH	RD、WR、WRL、WRHを出力		" H "を出力
BHE	BHEを出力		直前にアクセスされた外部領域またはSFRの状態を保持
CS0 ~ CS3	" H "を出力		" H "を出力
ALE	" L "を出力		" L "を出力

7.2.10 ソフトウェアウェイト

PM1レジスタのPM17ビット、CSRレジスタのCS0W ~ CS3Wビット、およびCSEレジスタによって、ソフトウェアウェイトを挿入できます。SFR領域は、これらの制御ビットの影響を受けず、PM2レジスタのPM20ビットによって、BCLKの2サイクル、またはBCLKの3サイクルでアクセスされます。詳細は「表7.8 ソフトウェアウェイト関連ビットとバスサイクル」を参照してください。

RDY信号を使用する場合、CS0W ~ CS3Wビットの該当するビットを" 0 (ウェイトあり)"にしてください。

図7.6にCSEレジスタ、表7.8にソフトウェアウェイト関連ビットとバスサイクル、図7.7、図7.8にソフトウェアウェイトを使用した場合のバスタイミング例を示します。

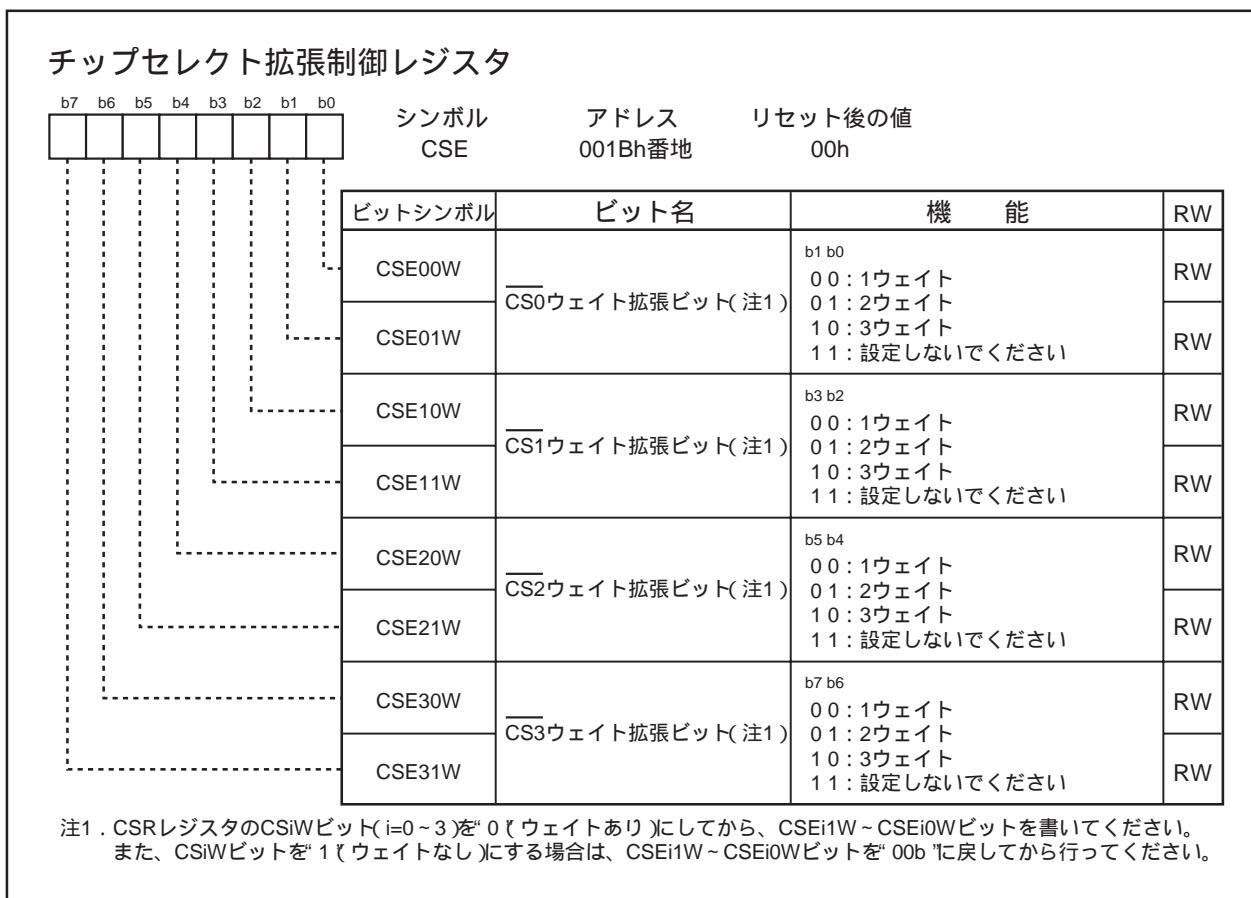


図7.6 CSEレジスタ

表7.8 ソフトウェアウェイト関連ビットとバスサイクル

領域	バス形状	PM2レジスタ PM20ビット	PM1レジスタ PM17ビット (注5)	CSRレジスタ CS3Wビット(注1) CS2Wビット(注1) CS1Wビット(注1) CS0Wビット(注1)	CSEレジスタ CS31W～CS30Wビット CS21W～CS20Wビット CS11W～CS10Wビット CS01W～CS00Wビット	ソフトウェア ウェイト	バスサイクル
SFR	-	0	-	-	-	-	BCLKの3サイクル(注4)
	-	1	-	-	-	-	BCLKの2サイクル(注4)
内部ROM	-	-	0	-	-	なし	BCLKの1サイクル(注3)
	-	-	1	-	-	1ウェイト	BCLKの2サイクル
外部領域	セパレート バス	-	0	1	00b	なし	BCLKの1サイクル(リード)
		-	-	0	00b	1ウェイト	BCLKの2サイクル(注3)
		-	-	0	01b	2ウェイト	BCLKの3サイクル
		-	-	0	10b	3ウェイト	BCLKの4サイクル
		-	1	0	00b	1ウェイト	BCLKの2サイクル
	マルチ プレクス バス (注2)	-	-	0	00b	1ウェイト	BCLKの3サイクル
		-	-	0	01b	2ウェイト	BCLKの3サイクル
		-	-	0	10b	3ウェイト	BCLKの4サイクル
		-	1	0	00b	1ウェイト	BCLKの3サイクル

注1 . RDY信号を使用する場合、“0(ウェイトあり)”にしてください。

注2 . マルチプレクスバスでアクセスする場合は、CS0W～CS3Wビットの該当するビットを“0(ウェイトあり)”にしてください。

注3 . リセット後、PM17ビットは“0(ウェイトなし)”。CS0W～CS3Wビットはすべて“0(ウェイトあり)”。CSEレジスタは“00h(CS0～CS3は1ウェイト)”なので、内部RAMと内部ROMはウェイトなし、外部領域はすべて1ウェイトになります。

注4 . CPUクロックがPLLクロックの場合は、PM2レジスタのPM20ビットでウェイト数が変更できます。PLLクロックを16MHzを超えて使用する場合は、PM20ビットを“0(2ウェイト)”にしてください。

注5 . PM17ビットが“1”で外部領域をアクセスする場合は、CSRレジスタのCSiWビット(i=0～3)を“0”(ウェイトあり)にしてください。

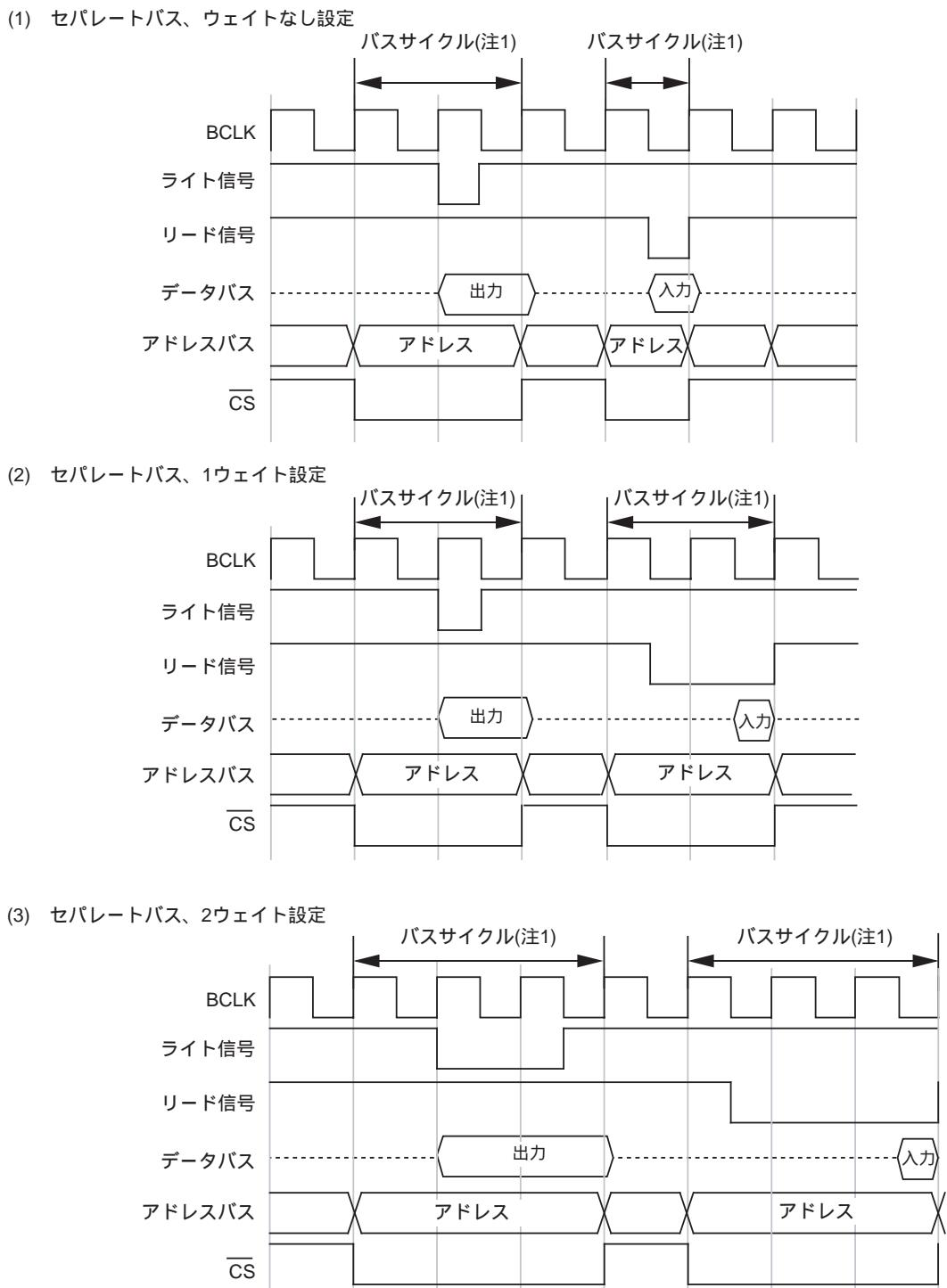
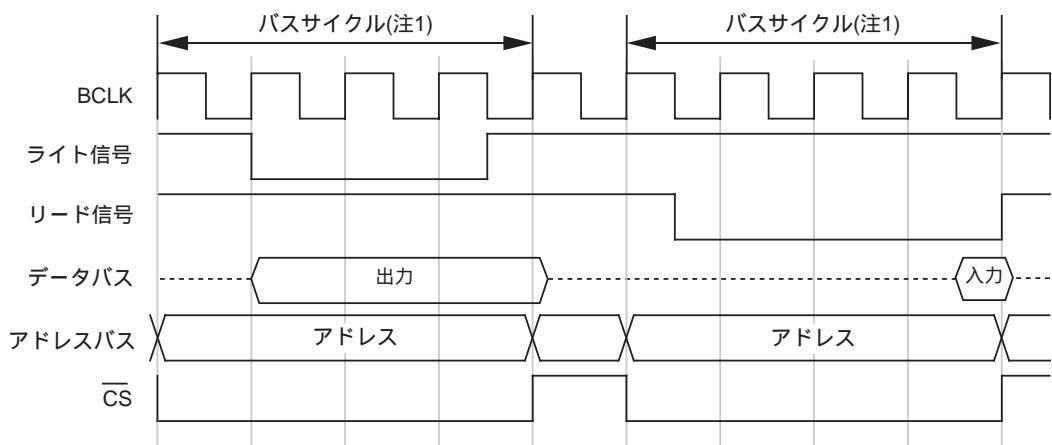
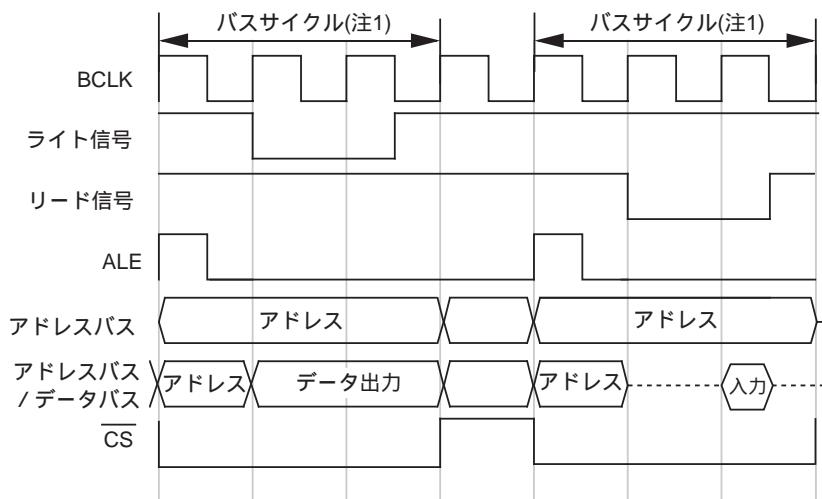


図7.7 ソフトウェイトを使用した場合のバスタイミング例(1)

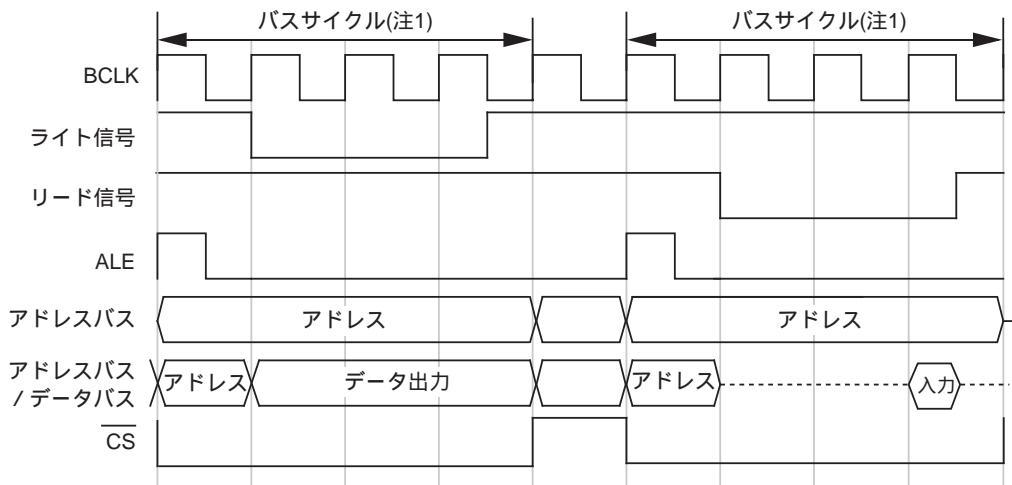
(1) セパレートバス、3ウェイト設定



(2) マルチプレクスバス、1ウェイトまたは2ウェイト設定



(3) マルチプレクスバス、3ウェイト設定



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。

図7.8 ソフトウェアウェイトを使用した場合のバスタイミング例(2)

8 . クロック発生回路

8.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- ・ メインクロック発振回路
- ・ サブクロック発振回路
- ・ オンチップオシレータ
- ・ PLL周波数シンセサイザ

表8.1にクロック発生回路の概略仕様、図8.1にシステムクロック発生回路ブロック図、図8.2～図8.8にクロック関連レジスタを示します。

表8.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップオシレータ	PLL周波数 シンセサイザ
用途	・CPUのクロック源 ・周辺機能のクロック源	・CPUのクロック源 ・タイマA, Bの クロック源	・CPUのクロック源 ・周辺機能のクロック源 ・メインクロック発振 停止時のCPU、周辺 機能のクロック源	・CPUのクロック源 ・周辺機能のクロック源
クロック周波数	0～16MHz	32.768kHz	約1MHz	16MHz、20MHz、 24MHz(注1)
接続できる 発振子	・セラミック発振子 ・水晶発振子	・水晶発振子	-	-
発振子の 接続端子	XIN、XOUT	XCIN、XCOUT	-	-
発振停止、 再発振検出機能	あり	あり	あり	あり
リセット後の 状態	発振	停止	停止	停止
その他	外部で生成されたクロックを入力可能	-	-	-

注1 . 24MHzは、Normal-ver.でのみ使用できます。

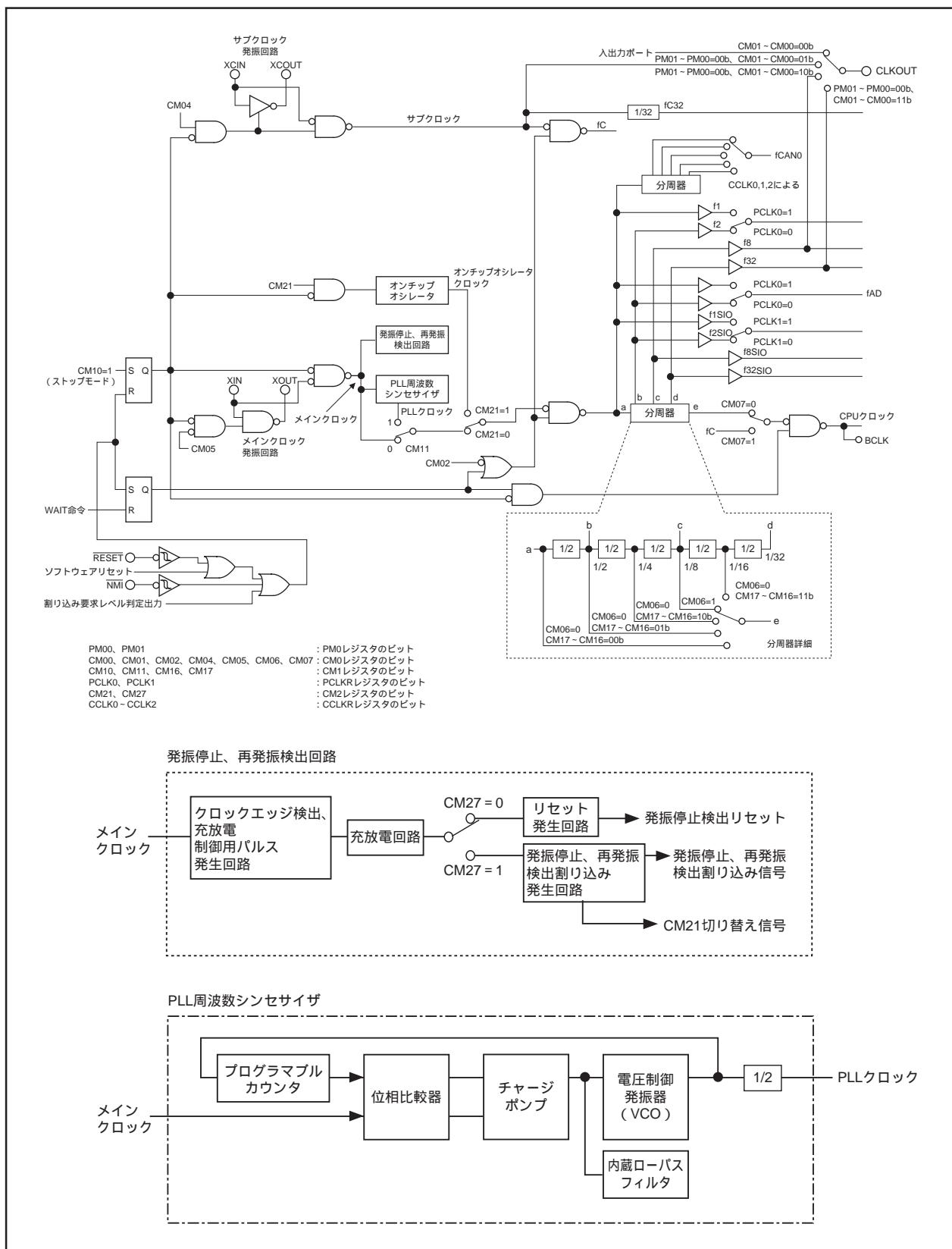


図8.1 システムクロック発生回路ブロック図

システムクロック制御レジスタ(注1)											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル CM0	アドレス 0006h番地	リセット後の値 01001000b	
								CM00	クロック出力機能選択ビット (シングルチップモード時 のみ有効)	b1 b0 0 0 : 入出力ポートP5_7 0 1 : FCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
								CM01			RW
								CM02	ウェイトモード時周辺機能 クロック停止ビット	0 : ウェイトモード時、周辺機能 クロックを停止しない 1 : ウェイトモード時、周辺機能 クロックを停止する(注2)	RW
								CM03	XCIN-XCOUT駆動能力 選択ビット(注3)	0 : LOW 1 : HIGH	RW
								CM04	ポートXC切り替えビット (注3)	0 : 入出力ポートP8_6、P8_7 1 : XCIN-XCOUT発振機能(注4)	RW
								CM05	メインクロック停止ビット (注5、6、7)	0 : 発振 1 : 停止(注8、9)	RW
								CM06	メインクロック分周比選択 ビット0(注7、10、12)	0 : CM16、CM17ビット有効 1 : 8分周モード	RW
								CM07	システムクロック選択 ビット(注6、11)	0 : メインクロック、PLLクロック、 またはオンチップオシレータクロック 1 : サブクロック	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. fC32は停止しません。低速モードまたは低消費電力モード時は“1”(ウェイトモード時、周辺機能クロックを停止する)にしないでください。
 注3. CM04ビットが“0”(入出力ポート)の間、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。
 注4. サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8_6、P8_7は入力ポートで、ブルアップなしにしてください。
 注5. このビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。
 (1)サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータ選択)にする。
 (2)CM2レジスタのCM20ビットを“0”(発振停止、再発振検出機能無効)にする。
 (3)CM05ビットを“1”(停止)にする。
 注6. CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。
 (1)CM05ビットを“0”(発振)にする
 (2)メインクロック発振安定時間を持つ
 (3)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”にする
 注7. CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。
 注8. 外部クロック入力時は“0”(発振)にしてください。
 注9. CM05ビットが“1”的場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続したままのため、XIN端子は帰還抵抗を介して、XOUT(“H”)にブルアップされた状態になります。
 注10. 高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
 注11. CM04ビットを“1”(XCIN-XCOUT発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。
 注12. オンチップオシレータモードから高速、中速モードに戻すときは、CM06ビットおよびCM15ビットを“1”にしてください。

図8.2 CM0レジスタ

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1(書き込み許可)にした後で書き換えてください。

注2 . CM10ビットが“1”(ストップモード)の場合、XOUTは“H”になり、内蔵している帰還抵抗は切り離されます。XCIN端子、XCOUT端子は、ハイインピーダンスになります。CM11ビットが“1”(PLLクロック)、CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、CM10ビットを“1”にしないでください。

注3 . PM2レジスタのPM22ビットが1(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、CM10ビットに書いても変化しません。

注4 . CM07 = 0、CM21 = 0のとき有効。

注5 . PLC0レジスタのPLC07ビットを“1”(PLL動作)にした後、tsU(PLL)待って、CM11ビットを“1”(PLLクロック)にしてください。

注6. 高速モード、中速モードからストップモードへの移行時、または低速モードで、CM05ビットを1(メインクロック停止)にしたとき、CM15ビットは1(駆動能力HIGH)になります。

注7. CM06ビットが0(CM16、CM17ビット有効)の場合、有効となります。

図8.3 CM1レジスタ

発振停止検出レジスタ(注1)						
b7	b6	b5	b4 b3 b2 b1 b0	シンボル CM2	アドレス 000Ch番地	リセット後の値 0X00000000(注2)
				ピットシンボル	ピット名	機能
				CM20	発振停止、再発振検出許可 ピット(注2、3、4)	0: 発振停止、再発振検出機能無効 1: 発振停止、再発振検出機能有効
				CM21	システムクロック選択ピット2 (注2、5、6、7、8、11)	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック (オンチップオシレータ発振)
				CM22	発振停止、再発振検出フラグ (注9)	0: メインクロック停止、再発振を未検出 1: メインクロック停止、再発振を検出
				CM23	XINモニタフラグ(注10)	0: メインクロック発振 1: メインクロック停止
				(b5-b4)	予約ピット	"0"にしてください
				- (b6)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。	
				CM27	発振停止、再発振検出時の 動作選択ピット(注2)	0: 発振停止検出リセット 1: 発振停止、再発振検出割り込み

注1. このレジスタはPRCRレジスタのPRC0ピットを“1”(書き込み許可)にした後で書き換えてください。
注2. CM20、CM21、CM27ピットは発振停止検出リセット時は変化しません。
注3. ストップモードへ移行する場合、CM20ピットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ピットを“1”(有効)にしてください。
注4. CM0レジスタのCM05ピットを“1”(メインクロック停止)にする前にCM20ピットを“0”(無効)にしてください。
注5. CM20ピットが“1”(発振停止、再発振検出機能有効) CM27ピットが“1”(発振停止、再発振検出割り込み) CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ピットは“1”(オンチップオシレータクロック)になります。
注6. CM20ピットが“1”で、かつCM23ピットが“1”(メインクロック停止)のとき、CM21ピットを“0”にしないでください。
注7. CM0レジスタのCM07ピットが“0”的とき有効。
注8. CM20ピットが“1”(発振停止、再発振検出機能有効) CM27ピットが“1”(発振停止、再発振検出割り込み) CM11ピットが“1”(CPUクロック源はPLLクロック)のとき、メインクロック停止を検出してもCM21ピットは変化ません。この条件でCM22ピットが“0”的場合はメインクロック停止検出時に発振停止、再発振検出割り込み要求が発生するため、割り込みルーチン内でCM21ピットを“1”(オンチップオシレータクロック)にしてください。
注9. メインクロック停止検出時とメインクロック再発振検出時“1”になります。このピットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。また、発振停止、再発振検出割り込み要求が受け付けられても“0”なりません。
注10. CM22ピットが“1”的とき、発振停止または再発振を検出しても、発振停止、再発振検出割り込み要求は発生しません。
注11. 発振停止、再発振検出割り込みルーチンで、CM23ピットを数回読むことによりメインクロックの状態を判定してください。
注12. CM21ピットが“0”(オンチップオシレータ停止) CM05ピットが“1”(メインクロックを停止)のとき、CM06ピットが“1”(8分周モード)、CM15ピットが“1”(駆動能力HIGH)に固定されます。

図8.4 CM2レジスタ

周辺クロック選択レジスタ(注1)																				
b7	b6	b5	b4	b3	b2	b1	b0													
0	0	0	0	0	0															
				シンボル PCLKR																
				アドレス 025Eh番地		リセット後の値 00h														
<table border="1"> <thead> <tr> <th>ピットシンボル</th> <th>ピット名</th> <th>機能</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>PCLK0</td> <td>タイマA、B、A/D用クロック選択ビット (タイマA、タイマB、短絡防止タイマ、A/Dのクロック源)</td> <td>0 : fADの2分周モード、f2 1 : fADの1分周モード、f1</td> <td>RW</td> </tr> <tr> <td>PCLK1</td> <td>SI/Oクロック選択ビット (UART0～UART2、SI/O3のクロック源)</td> <td>0 : f2SIO 1 : f1SIO</td> <td>RW</td> </tr> <tr> <td>(b7-b2)</td> <td>予約ビット</td> <td>“0”にしてください</td> <td>RW</td> </tr> </tbody> </table>					ピットシンボル	ピット名	機能	RW	PCLK0	タイマA、B、A/D用クロック選択ビット (タイマA、タイマB、短絡防止タイマ、A/Dのクロック源)	0 : fADの2分周モード、f2 1 : fADの1分周モード、f1	RW	PCLK1	SI/Oクロック選択ビット (UART0～UART2、SI/O3のクロック源)	0 : f2SIO 1 : f1SIO	RW	(b7-b2)	予約ビット	“0”にしてください	RW
ピットシンボル	ピット名	機能	RW																	
PCLK0	タイマA、B、A/D用クロック選択ビット (タイマA、タイマB、短絡防止タイマ、A/Dのクロック源)	0 : fADの2分周モード、f2 1 : fADの1分周モード、f1	RW																	
PCLK1	SI/Oクロック選択ビット (UART0～UART2、SI/O3のクロック源)	0 : f2SIO 1 : f1SIO	RW																	
(b7-b2)	予約ビット	“0”にしてください	RW																	

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CAN0クロック選択レジスタ(注1)																											
b7	b6	b5	b4	b3	b2	b1	b0																				
1	0	0	0																								
				シンボル CCLKR		アドレス 025Fh番地																					
				リセット後の値 00h																							
<table border="1"> <thead> <tr> <th>ピットシンボル</th> <th>ピット名</th> <th>機能</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>CCLK0</td> <td rowspan="4">CAN0クロック選択ビット (注2)</td> <td>b2 b1 b0 0 0 0 : 分周なし 0 0 1 : 2分周モード 0 1 0 : 4分周モード 0 1 1 : 8分周モード 1 0 0 : 16分周モード 1 0 1 : 1 1 0 : } 設定しないでください 1 1 1 :</td> <td>RW</td> </tr> <tr> <td>CCLK1</td> <td>RW</td> </tr> <tr> <td>CCLK2</td> <td>RW</td> </tr> <tr> <td>CCLK3</td> <td>0 : CAN0CPUインタフェース動作 1 : CAN0CPUインタフェーススリープ</td> <td>RW</td> </tr> <tr> <td>(b6-b4)</td> <td>予約ビット</td> <td>“0”にしてください</td> <td>RW</td> </tr> <tr> <td>(b7)</td> <td>予約ビット</td> <td>“1”にしてください</td> <td>RW</td> </tr> </tbody> </table>					ピットシンボル	ピット名	機能	RW	CCLK0	CAN0クロック選択ビット (注2)	b2 b1 b0 0 0 0 : 分周なし 0 0 1 : 2分周モード 0 1 0 : 4分周モード 0 1 1 : 8分周モード 1 0 0 : 16分周モード 1 0 1 : 1 1 0 : } 設定しないでください 1 1 1 :	RW	CCLK1	RW	CCLK2	RW	CCLK3	0 : CAN0CPUインタフェース動作 1 : CAN0CPUインタフェーススリープ	RW	(b6-b4)	予約ビット	“0”にしてください	RW	(b7)	予約ビット	“1”にしてください	RW
ピットシンボル	ピット名	機能	RW																								
CCLK0	CAN0クロック選択ビット (注2)	b2 b1 b0 0 0 0 : 分周なし 0 0 1 : 2分周モード 0 1 0 : 4分周モード 0 1 1 : 8分周モード 1 0 0 : 16分周モード 1 0 1 : 1 1 0 : } 設定しないでください 1 1 1 :	RW																								
CCLK1		RW																									
CCLK2		RW																									
CCLK3		0 : CAN0CPUインタフェース動作 1 : CAN0CPUインタフェーススリープ	RW																								
(b6-b4)	予約ビット	“0”にしてください	RW																								
(b7)	予約ビット	“1”にしてください	RW																								

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このビットは、C1CTRLレジスタを“0020h”にしてから設定してください。また、C0CTRLレジスタのResetビットが“1”(リセット/初期化モード)のときのみに設定してください。

注3. このビットを“1”にする場合は、C0CTRLレジスタのSleepビットを“1”(スリープモード)にしてから設定してください。

図8.6 CCLKRレジスタ

プロセッサモードレジスタ2(注1)							
b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0				
				シンボル PM2	アドレス 001Eh番地	リセット後の値 XXX00000b	
				ピットシンボル	ピット名	機能	RW
				PM20	PLL動作時のSFRアクセスのウェイト指定(注2)	0:2ウェイト 1:1ウェイト	RW
				(b1)	予約ピット	"0"にしてください	RW
				PM22	WDTカウントソース保護ピット(注3、4)	0:ウォッチドッグタイムのカウントソースはCPUクロック 1:ウォッチドッグタイムのカウントソースはオンチップオシレータクロック	RW
				(b4-b3)	予約ピット	"0"にしてください	RW
				(b7-b5)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		

注1. このレジスタは、PRCRレジスタのPRC1ピットを"1"(書き込み許可)にした後で書き換えてください。
注2. PLC0レジスタのPLC07ピットが"1"(PLL動作)のとき、PM20ピットは有効になります。PM20ピットはPLC07ピットが"0"(PLL停止)のときに変更してください。PLLクロック > 16MHzの場合は、"0"(2ウェイト)にしてください。
注3. 一度"1"にすると、プログラムでは"0"できません。
注4. PM22ピットを"1"にすると次の状態になります。
 - オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイムのカウントソースになる
 - CM1レジスタのCM10ピットへの書き込み禁止("1"を書いても変化せず、ストップモードに移行しない)
 - ウェイトモードまたはホールド状態のとき、ウォッチドッグタイムは停止しない

図8.7 PM2レジスタ

PLL制御レジスタ0(注1)							
b7	b6	b5	b4	b3	b2	b1	b0
0	0	1	X				
				シンボル PLC0	アドレス 001Ch番地	リセット後の値 0001X010b	
				ピットシンボル	ピット名	機能	RW
				PLC00	PLL倍率選択ピット(注2) 000: 設定しないでください 001: 2倍倍 010: 4倍倍 011: 6倍倍(注4) 100: 101: 110: 111: 設定しないでください	b2 b1 b0	RW
				PLC01			RW
				PLC02			RW
				- (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		
				- (b4)	予約ピット	"1"にしてください	RW
				(b6-b5)	予約ピット	"0"にしてください	RW
				PLC07	動作許可ピット(注3)	0: PLL停止 1: PLL動作	RW

注1. このレジスタは、PRCRレジスタのPRC0ピットを"1"(書き込み許可)にした後で書き換えてください。
注2. PLC07ピットが"0"(PLL停止)のときに書いてください。一度書いた値は変更できません。
注3. このピットを"1"にする場合は、CM07ピットを"0"(メインクロック) CM17~CM16ピットを"00b"(メインクロック分周なしモード) CM06ピットを"0"(CM16, CM17ピット有効)にしてから設定してください。
注4. Normal-ver.でのみ使用できます。

図8.8 PLC0レジスタ

クロック発生回路で発生するクロックを順に説明します。

8.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。

メインクロック発振回路は、XIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図8.9にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)になると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONのままのため、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもサブクロックをCPUのクロック源に選択していない限り、メインクロックは停止しないため、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「8.4 パワーコントロール」を参照してください。

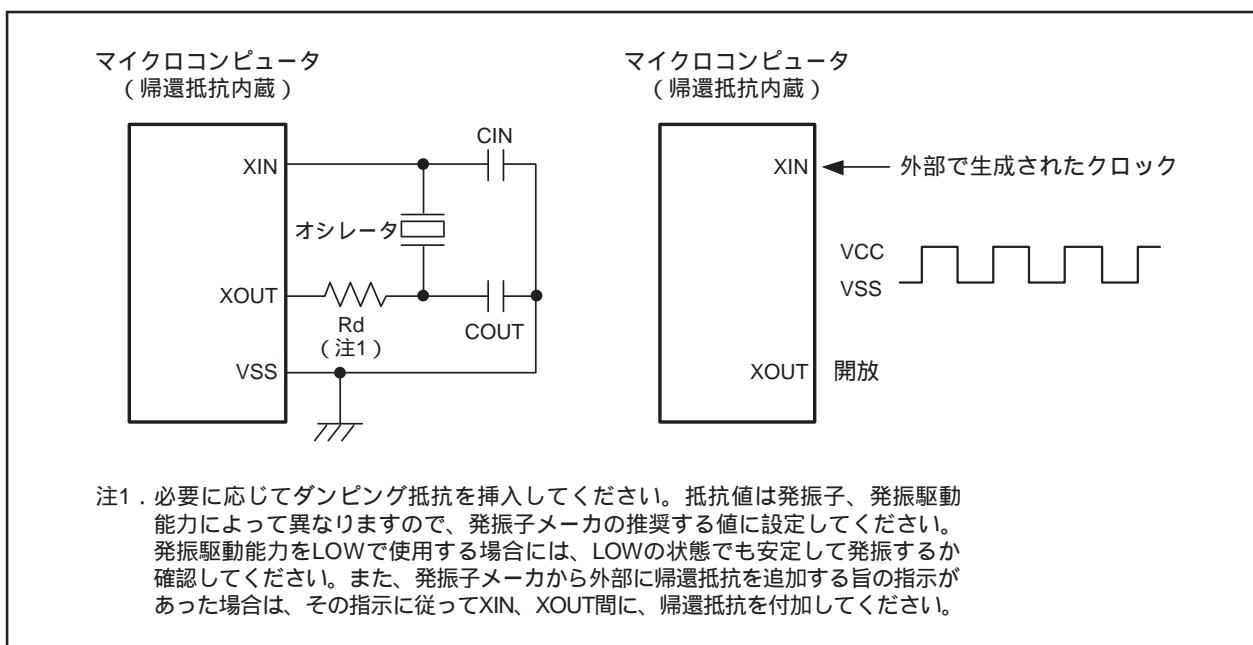


図8.9 メインクロックの接続回路例

8.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックとタイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図8.10にサブクロックの接続回路例を示します。

リセット後はサブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1(サブクロック)”にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「8.4 パワーコントロール」を参照してください。

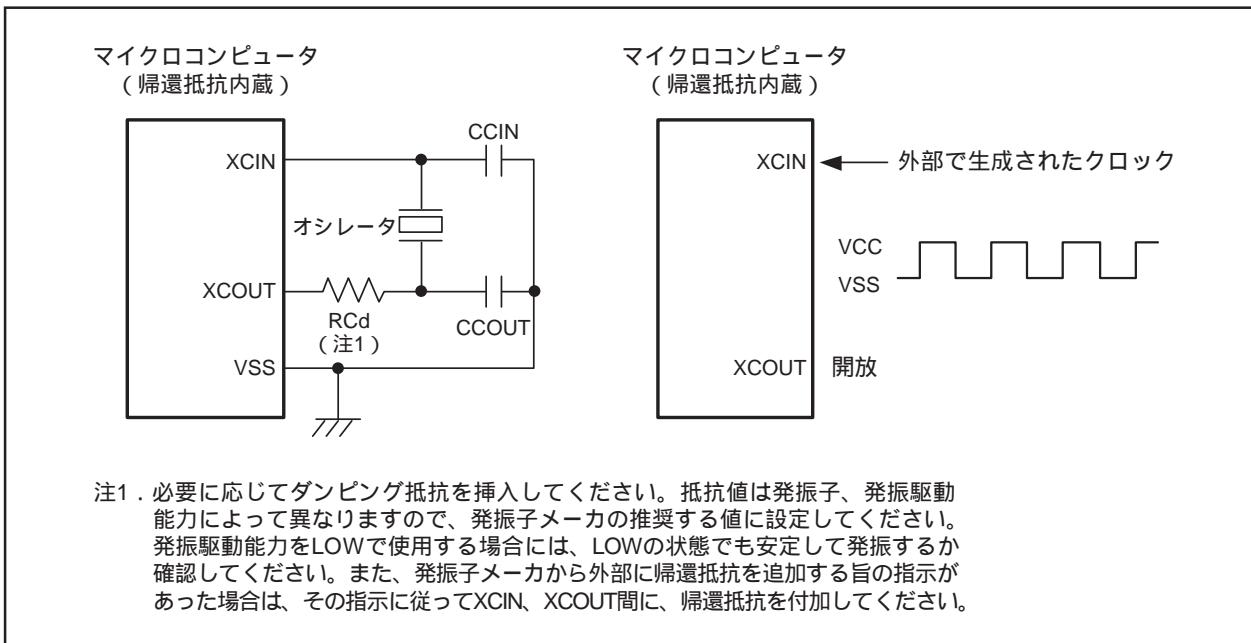


図8.10 サブクロックの接続回路例

8.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマのカウントソースになります(「11.1 ウォッチドッグタイマ カウントソース保護モード」参照)。

リセット後、オンチップオシレータは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わって、CPUクロックと周辺機能クロックのクロック源になります。また、CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)かつCM27ビットが“1”(発振停止、再発振検出割り込み)の場合、メインクロックが停止すると、自動的にオンチップオシレータが動作を開始し、クロックを供給します。

8.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、PLL周波数シンセサイザは停止しています。PLC07ビットを“1”(PLL動作)にすると、PLL周波数シンセサイザが動作します。PLLクロックをCPUクロックのクロック源にする場合は、PLLクロックが安定するまで、tsu(PLL)待ってCM1レジスタのCM11ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行する場合は、CM11ビットを“0”(CPUのクロック源はメインクロック)にしてください。ストップモードへは、さらに、PLC0レジスタのPLC07ビットを“0”(PLL停止)にしてから移行してください。図8.11にPLLクロックをCPUのクロック源にする手順を示します。

PLLクロックの周波数は次のとおりです。PLLクロックの周波数が16MHz以上の場合は、PM2レジスタのPM20ビットを“0”(2ウェイト)にしてください。

PLLクロックの周波数 = $f(XIN) \times (PLC0\text{レジスタのPLC02} \sim PLC00\text{ビットで設定した倍率})$
(ただし、PLLクロックの周波数 = 16MHz、20MHz、24MHz(注1))

注1. 24MHzは、Normal-ver.でのみ使用できます。

PLC02～PLC00ビットはリセット後、1回だけ設定できます。表8.2にPLLクロックの周波数の設定例を示します。

表8.2 PLLクロックの周波数の設定例

XIN (MHz)	PLC02	PLC01	PLC00	倍率	PLLクロック (MHz)(注1)
8	0	0	1	2	16
4	0	1	0	4	
10	0	0	1	2	20
5	0	1	0	4	
12	0	0	1	2	24 (注2)
6	0	1	0	4	
4	0	1	1	6(注3)	

注1. PLLクロックの周波数 = 16MHz、20MHz、24MHz。

注2. 24MHzは、Normal-ver.でのみ使用できます。

注3. 6倍は、Normal-ver.でのみ使用できます。

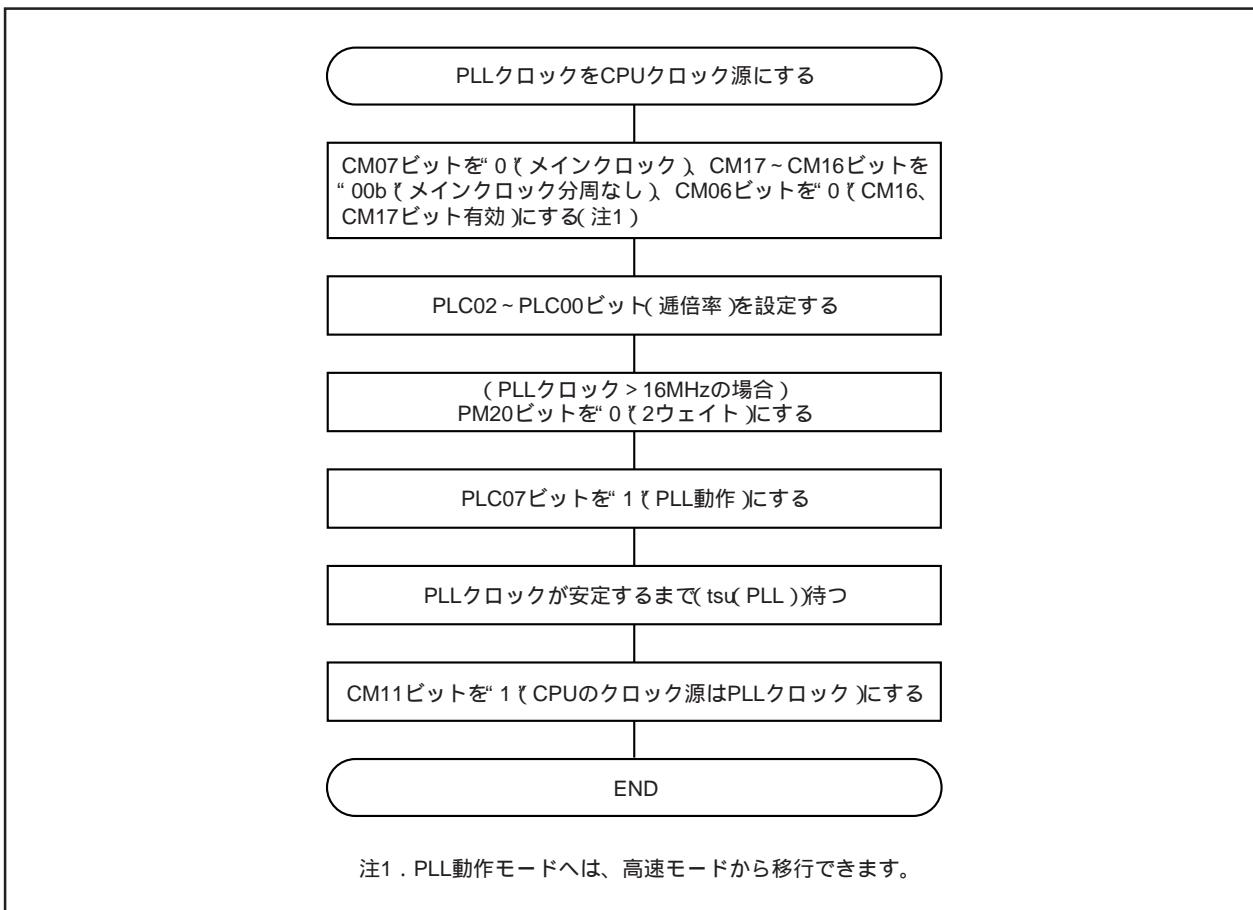


図8.11 PLLクロックをCPUのクロック源にする手順

8.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

8.2.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。

CPUクロックのクロック源として、メインクロック、またはオンチップオシレータクロックを選択した場合、選択したクロックを1(分周なし)、2、4、8、または16分周したものがCPUのクロックになります。分周は、CM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

CPUクロックのクロック源としてPLLクロックを選択する場合、CM06ビットを“0”、CM17～CM16ビットを“00b(分周なし)”にしてください。

リセット後、メインクロックの8分周がCPUクロックになります。

メモリ拡張モードおよびマイクロプロセッサモード時、PM0レジスタのPM07ビットを“0(出力する)”にすると、BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

なお、高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1(停止)”にしたとき、CM0レジスタのCM06ビットは“1(8分周モード)”になります。

8.2.2 周辺機能クロック(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fCAN0、fC32)

周辺機能の動作クロックです。

f_i ($i = 1, 2, 8, 32$)と f_{iSIO} はメインクロック、PLLクロック、またはオンチップオシレータクロックを i 分周したクロックです。 f_i はタイマA、タイマBで、 f_{iSIO} はシリアルインターフェースで使用します。 f_8 と f_{32} はCLKOUT端子から出力できます。

f_{AD} は、メインクロック、PLLクロック、またはオンチップオシレータクロックをクロック源とし、A/Dコンバータで使用します。

f_{CAN0} は、メインクロック、PLLクロック、またはオンチップオシレータクロックを1(分周なし)、2、4、8、または16分周したCAN0の専用クロックです。

CM0レジスタのCM02ビットを“1(ウェイトモード時周辺機能クロックを停止する)”にした後にWAIT命令を実行した場合、または低消費電力モード時、 f_i 、 f_{iSIO} 、 f_{AD} 、 f_{CAN0} は停止します(注1)。

f_{C32} はサブクロックをクロック源とし、タイマA、タイマBで使用します。 f_{C32} はサブクロックが供給されているときに使用できます。

注1. f_{CAN0} のクロックは、CAN0のスリープモードのとき“H”で停止します。

8.3 クロック出力機能

シングルチップモード時、CLKOUT端子から f_8 、 f_{32} 、または f_C を出力できます。CM0レジスタのCM01～CM00ビットで選択してください。

8.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここではウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

8.4.1 通常動作モード

通常動作モードは、さらに7つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されているため、CPUも周辺機能も動作します。CPUクロックの周波数を制御することでパワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロック、PLLクロックの場合、プログラムで発振が安定するまで待ち時間を取りながら移るようしてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えないでください。同様に、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えないでください。

CPUクロックのクロック源をオンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(CM0レジスタのCM06ビット=1)にした後、中速モード(8分周)に切り替えてください。

8.4.1.1 高速モード

メインクロックの1分周がCPUクロックになります。サブクロックが供給されている場合は、fC32がタイマA、タイマBのカウントソースに使用できます。

8.4.1.2 PLL動作モード

メインクロックの2、4、または6倍倍(注1)がPLLクロックになり、PLLクロックがCPUクロックになります。サブクロックが供給されている場合は、fC32がタイマA、タイマBのカウントソースとして使用できます。PLL動作モードへは高速モードから移行できます。ウェイトまたはストップモードへ移行するときは、高速モードに移行してから移行してください。

注1. 6倍倍は、Normal-ver.でのみ使用できます。

8.4.1.3 中速モード

メインクロックの2、4、8、または16分周がCPUクロックになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

8.4.1.4 低速モード

サブクロックがCPUクロックになります。周辺機能クロックのクロック源は、CM21ビットが“0”(オンチップオシレータ停止)の場合はメインクロック、CM21ビットが“1”(オンチップオシレータ発振)の場合はオンチップオシレータクロックです。

fC32がタイマA、タイマBのカウントソースに使用できます。

8.4.1.5 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。fC32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

8.4.1.6 オンチップオシレータモード

オンチップオシレータクロックの(分周なし) 2、4、8、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合は、fC32がタイマA、タイマBのカウントソースに使用できます。高速、中速モードに戻すときはCM06ビットを“1(8分周モード)”にしてください。

8.4.1.7 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータモードと同様にCPUクロックを選択できます。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

表8.3にクロック関連ビットの設定とモードを示します。

表8.3 クロック関連ビットの設定とモード

モード	CM2レジスタ		CM1レジスタ		CM0レジスタ			
	CM21	CM11	CM17、CM16	CM07	CM06	CM05	CM04	
PLL動作モード	0	1	00b	0	0	0	-	
高速モード	0	0	00b	0	0	0	-	
中速モード	2分周	0	01b	0	0	0	-	
	4分周	0	10b	0	0	0	-	
	8分周	0	-	0	1	0	-	
	16分周	0	11b	0	0	0	-	
低速モード	-	0	-	1	-	0	1	
低消費電力モード	0	0	-	1	1(注1)	1(注1)	1	
オンチップ オシレータ モード	分周なし	1	00b	0	0	0	-	
	2分周	1	01b	0	0	0	-	
	4分周	1	10b	0	0	0	-	
	8分周	1	-	0	1	0	-	
	16分周	1	11b	0	0	0	-	
オンチップオシレータ 低消費電力モード	1	0	(注2)	0	(注2)	1	-	

-：“0”または“1”

注1 . 低速モードでCM05ビットを“1(メインクロック停止)”にすると、低消費電力モードになり、同時にCM06ビットは“1(8分周モード)”になります。

注2 . オンチップオシレータモードと同様に分周値を選択できます。

8.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止するため、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが 1 (ウォッチドッグタイマのカウントソースはオンチップオシレータクロック) の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しないため、これらのクロックを使用する周辺機能は動作します。

8.4.2.1 周辺機能クロック停止機能

CM02ビットが 1 (ウェイトモード時、周辺機能クロックを停止する) の場合、ウェイトモード時に f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fCAN0が停止するため、消費電力が低減できます。fC32は停止しません。

8.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

CM11ビットが 1 (CPUクロックのクロック源はPLLクロック) の場合は、CM11ビットを“ 0 (CPUクロックのクロック源はメインクロック) ”にしてから、ウェイトモードにしてください。PLC07ビットを“ 0 (PLL停止) ”にすると、消費電力が低減できます。

8.4.2.3 ウェイトモード時の端子の状態

表8.4にウェイトモード時の端子の状態を示します。

表8.4 ウェイトモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE	ウェイトモードに入る直前の状態を 保持	バス制御端子にはなりません
RD、WR、WRL、WRH	“ H ”	
HLDA、BCLK	“ H ”	
ALE	“ L ”	
入出力ポート	ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	CLKOUT端子にはなりません	停止しない
fC選択時		・ CM02ビット = 0 : 停止しない
f8、f32選択時		・ CM02ビット = 1 : ウェイトモードに入る 直前の状態を保持

8.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI割り込み、または周辺機能割り込みによって、ウェイトモードから復帰します。

ハードウェアリセットまたはNMI割り込みで復帰する場合、周辺機能割り込みのILVL2 ~ ILVL0ビットを“ 000b (割り込み禁止) ”にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが 0 (ウェイトモード時、周辺機能クロックを停止しない) の場合は、周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが 1 (ウェイトモード時、周辺機能クロックを停止する) の場合は、周辺機能クロックを使用する周辺機能は停止するため、外部信号によって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表8.5にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表8.5 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02 = 0の場合	CM02 = 1の場合
NMI割り込み	使用可	使用可
シリアルインターフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは单掃引モードで 使用可	使用しないでください
タイマA割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウント ソースがfC32のとき使用可
タイマB割り込み		
INT割り込み	使用可	使用可
CAN0ウェイクアップ割り込み	CANスリープモードで使用可	CANスリープモードで使用可

ウェイトモードからの復帰に周辺機能割り込みを使用する場合は、WAIT命令実行前に次の設定をしてください。

(1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。

また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0 ビットをすべて“000b (割り込み禁止)”にする。

(2) Iフラグを“1”にする。

(3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

8.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表8.6にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表8.6 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	条件
NMI割り込み	使用可
キー入力割り込み	使用可
INT割り込み	使用可
タイマA割り込み タイマB割り込み	イベントカウンタモードで外部パルスをカウント時、使用可
シリアルインタフェース割り込み	外部クロック選択時、使用可
CAN0ウェイクアップ割り込み	CANスリープモード時、使用可

8.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1(全クロック停止)”にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1(8分周モード)”, CM1レジスタのCM15ビットは“1(メインクロック発振回路の駆動能力HIGH)”になります。

ストップモードを使用する場合、CM20ビットを“0(発振停止、再発振検出機能無効)”にしてからストップモードにしてください。

また、CM11ビットが“1(CPUクロックのクロック源はPLLクロック)”の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0(PLL停止)”にしてからストップモードにしてください。

8.4.3.2 ストップモード時の端子の状態

表8.7にストップモード時の端子の状態を示します。

表8.7 ストップモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0～A19、D0～D15、 CS0～CS3、BHE	ストップモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、WRL、WRH	“H”	
HLDA、BCLK	“H”	
ALE	不定	
入出力ポート	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	fC選択時 f8、f32選択時	CLKOUT端子にはなりません
		“H”
		ストップモードに入る直前の状態を保持

8.4.3.3 ストップモードからの復帰

ハードウェアリセット、NMI割り込み、または周辺機能割り込みによって、ストップモードから復帰します。

ハードウェアリセットまたはNMI割り込みで復帰する場合は、周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

(1)ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2)Iフラグを“1”にする。

(3)ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、またはNMI割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックに従って、次のようにになります。

- ・ストップモード移行前のCPUクロック源がサブクロックの場合 : サブクロック
- ・ストップモード移行前のCPUクロック源がメインクロックの場合 : メインクロックの8分周
- ・ストップモード移行前のCPUクロック源がオンチップオシレータクロックの場合 : オンチップオシレータクロックの8分周

図8.12に通常動作モードからのストップモード、ウェイトモードへの状態遷移、図8.13に通常動作モードの状態遷移、表8.8に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。

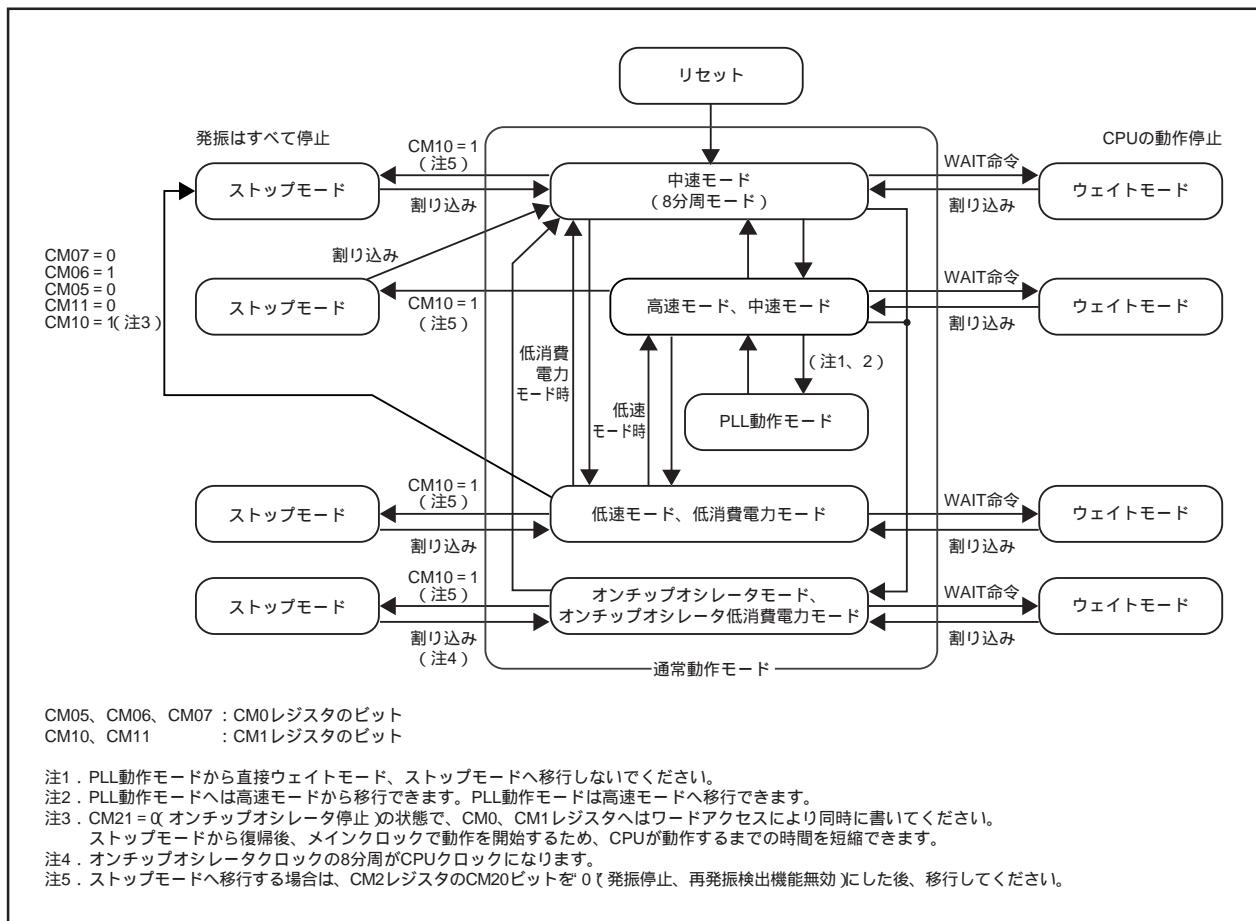


図8.12 ストップモード、ウェイトモード状態遷移

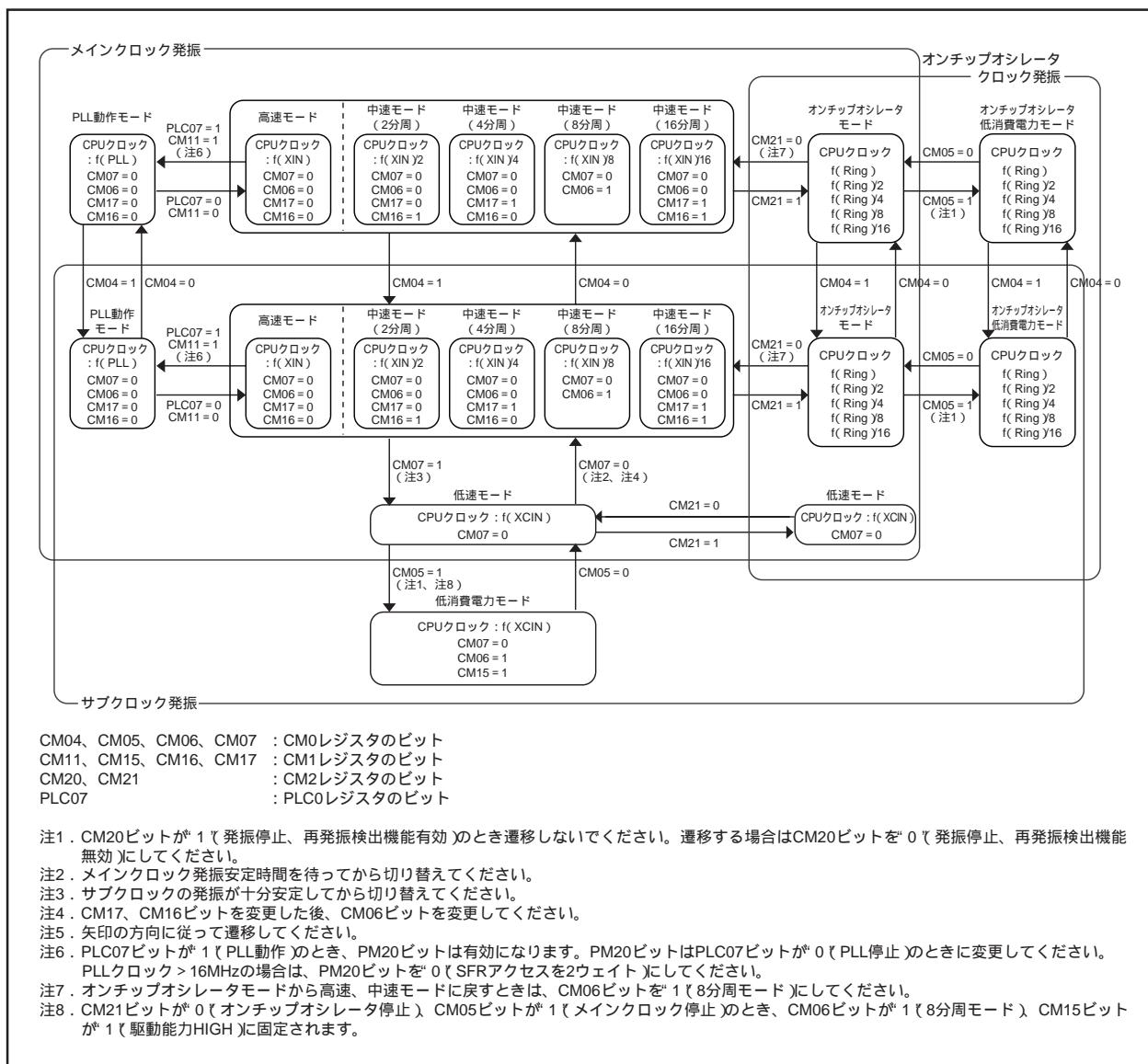


図8.13 通常動作モード状態遷移

表8.8 現在の状態から次に遷移可能な状態と設定方法(注9)

		次の状態							
		高速、中速モード	低速モード(注2)	低消費電力モード	PLL動作モード(注2)	オンチップオシレータモード	オンチップオシレータ低消費電力モード	ストップモード	ウェイトモード
現在の状態	高速、中速モード	(注8)	(9) (注7)	-	(13) (注3)	(15)	-	(16) (注1)	(17)
	低速モード(注2)	(8)		(11) (注1、6)	-	-	-	(16) (注1)	(17)
	低消費電力モード	-	(10)		-	-	-	(16) (注1)	(17)
	PLL動作モード(注2)	(12) (注3)	-	-		-	-	-	-
	オンチップオシレータモード	(14) (注4)	-	-	-	(注8)	(11) (注1)	(16) (注1)	(17)
	オンチップオシレータ低消費電力モード	-	-	-	-	(10)	(注8)	(16) (注1)	(17)
	ストップモード	(18) (注5)	(18)	(18)	-	(18)	(18) (注5)		-
	ウェイトモード	(18)	(18)	(18)	-	(18)	(18)	-	

- : 遷移できません。

注1 . CM20ビットが“1”(発振停止、再発振検出機能有効)のとき遷移しないでください。遷移する場合はCM20ビットを“0”(発進停止、再発振検出機能無効)にしてください。

注2 . 低速モードはオンチップオシレータクロックの発振、停止ができます。この時のオンチップオシレータクロックは周辺機能クロックとして使用できます。PLL動作モードはサブクロックの発振、停止ができます。この時のサブクロックは周辺機能クロックとして使用できます。

注3 . PLL動作モードへの移行は高速モードから行ってください。また、PLL動作モードからは、高速モードへ移行してください。

注4 . オンチップオシレータモードから高速、中速モードへ移行するときはCM06ビットを“1”(8分周モード)にしてください。

注5 . ストップモードから復帰した場合、CM06ビットが“1”(8分周モード)になります。

注6 . CM05ビットを“1”(メインクロック停止)にすると、CM06ビットが“1”(8分周モード)になります。

注7 . サブクロックが発振しているときに移行できます。

注8 . 同モード内での遷移(分周の変更とサブクロック発振または停止)は次のとおりです。

		サブクロック発振					サブクロック停止				
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし		(4)	(5)	(7)	(6)	(1)	-	-	-	-
	2分周	(3)		(5)	(7)	(6)	-	(1)	-	-	-
	4分周	(3)	(4)		(7)	(6)	-	-	(1)	-	-
	8分周	(3)	(4)	(5)		(6)	-	-	-	(1)	-
	16分周	(3)	(4)	(5)	(7)		-	-	-	-	(1)
サブクロック停止	分周なし	(2)	-	-	-	-		(4)	(5)	(7)	(6)
	2分周	-	(2)	-	-	-	(3)		(5)	(7)	(6)
	4分周	-	-	(2)	-	-	(3)	(4)		(7)	(6)
	8分周	-	-	-	(2)	-	(3)	(4)	(5)		(6)
	16分周	-	-	-	-	(2)	(3)	(4)	(5)	(7)	

注9 . ()内は設定方法。右表参照。

設定内容	動作内容
(1) CM04=0	サブクロック停止
(2) CM04=1	サブクロック発振
(3) CM06=0 CM17=0 CM16=0	CPUクロック分周なしモード
(4) CM06=0 CM17=0 CM16=1	CPUクロック2分周モード
(5) CM06=0 CM17=1 CM16=0	CPUクロック4分周モード
(6) CM06=0 CM17=1 CM16=1	CPUクロック16分周モード
(7) CM06=1	CPUクロック8分周モード
(8) CM07=0	メインクロック、PLLクロックまたはオンチップオシレータクロック選択
(9) CM07=1	サブクロック選択
(10) CM05=0	メインクロック発振
(11) CM05=1	メインクロック停止
(12) PLC07=0 CM11=0	メインクロック選択
(13) PLC07=1 CM11=1	PLLクロック選択
(14) CM21=0	メインクロックまたはPLLクロック選択
(15) CM21=1	オンチップオシレータクロック選択
(16) CM10=1	ストップモードに移行
(17) WAIT命令	ウェイトモードに移行
(18) ハードウェア割り込み	ストップモード、ウェイトモードから復帰

CM04, CM05, CM06, CM07 : CM0レジスタのビット

CM10, CM11, CM16, CM17 : CM1レジスタのビット

CM20, CM21 : CM2レジスタのビット

PLC07 : PLC0レジスタのビット

8.5 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込み要求を発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能は、CM2レジスタのCM20ビットで有効、無効が選択できます。

表8.9に発振停止、再発振検出機能の仕様を示します。

表8.9 発振停止、再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止、再発振検出機能有効条件	CM20ビットを“1(有効)”にする
発振停止、再発振検出時の動作	<ul style="list-style-type: none"> ・リセット発生(CM27ビット = 0) ・発振停止、再発振検出割り込み発生(CM27ビット = 1)

8.5.1 CM27ビットが“0(リセット)”の場合の動作

CM20ビットが“1(発振停止、再発振検出機能有効)”のときに、メインクロックの停止を検出した場合、マイクロコンピュータは初期化され、停止します(発振停止検出リセット。[「4 . SFR」、「5 . リセット」参照](#))。この状態はハードウェアリセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

8.5.2 CM27ビットが“1(発振停止、再発振検出割り込み)”の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1(発振停止、再発振検出機能有効)”の場合、メインクロックが停止すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になる
- ・CM21ビット = 1(オンチップオシレータクロックがCPUクロックのクロック源)
- ・CM22ビット = 1(メインクロック停止を検出)
- ・CM23ビット = 1(メインクロック停止)

PLLクロックがCPUクロック源でCM20ビットが“1”的場合、メインクロックが停止すると次の状態になります。CM21ビットは変化しないため、割り込みルーチン内で“1(オンチップオシレータクロック)”にしてください。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM22ビット = 1(メインクロック停止を検出)
- ・CM23ビット = 1(メインクロック停止)
- ・CM21ビットは変化しない

CM20ビットが“1”的場合、メインクロックが停止した状態から再発振すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM22ビット = 1(メインクロック再発振を検出)
- ・CM23ビット = 0(メインクロック発振)
- ・CM21ビットは変化しない

8.5.3 発振停止、再発振検出機能使用方法

- ・発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合は、割り込み処理プログラムでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
- ・発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図8.14にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・発振停止、再発振検出割り込み要求発生と同時にCM22ビットが“1”になります。CM22ビットが“1”的とき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
- ・低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータクロックになります。
- ・発振停止、再発振検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- ・発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能のため、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてください。
- ・メインクロックの周波数が2MHz以下の場合、この機能は使用できないため、CM20ビットを“0”にしてください。

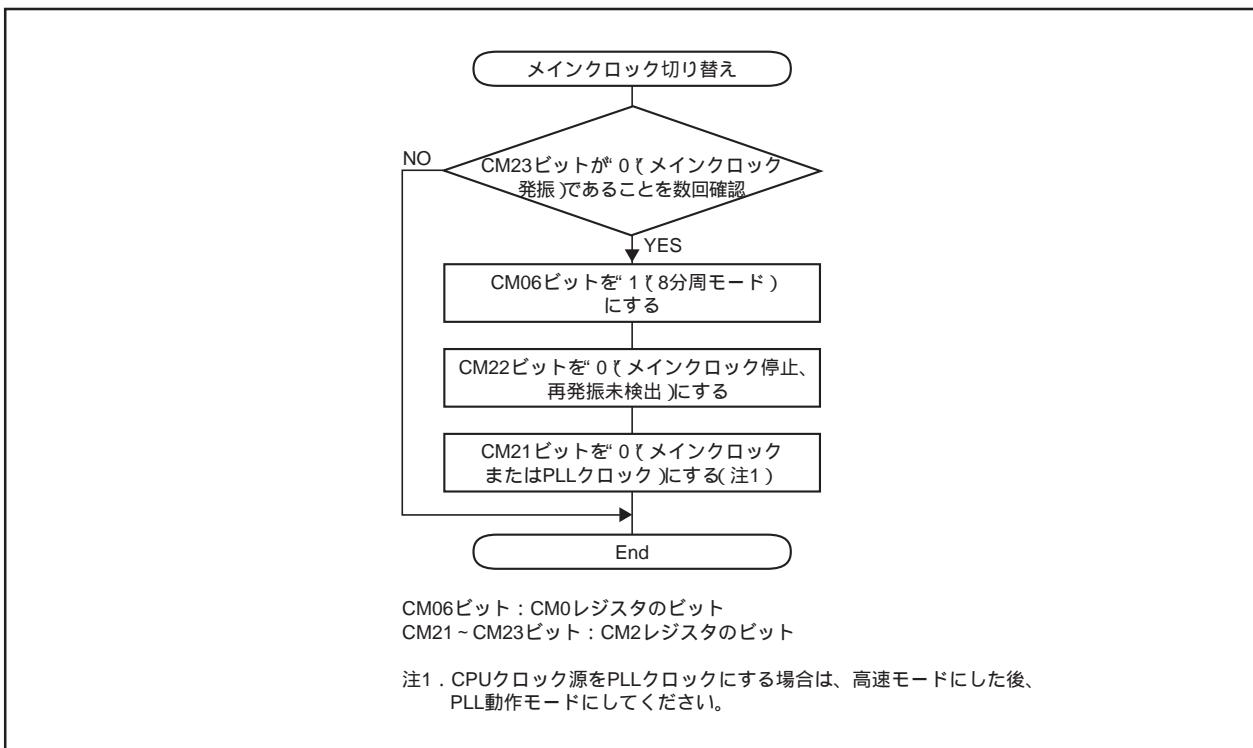


図8.14 オンチップオシレータクロックからメインクロックへの切り替え手順

9 . プロテクト

プロテクトは、プログラムが暴走したときに備え、重要なレジスタを簡単に書き換えることができないよう保護する機能です。

図9.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとあります。

- PRC0ビットで保護されるレジスタ : CM0、CM1、CM2、PLC0、PCLKR、CCLKRレジスタ
- PRC1ビットで保護されるレジスタ : PM0、PM1、PM2、TB2SC、INVCO、INVCIレジスタ
- PRC2ビットで保護されるレジスタ : PD7、PD9、S3Cレジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1ビットは任意の番地に書き込みを実行しても“0”にならないため、プログラムで“0”にしてください。

プロテクトレジスタ									
b7	b6	b5	b4	b3	b2	b1	b0		
シンボル PRCR				アドレス 000Ah番地		リセット後の値 XX000000b			
ビットシンボル	ビット名	機能	RW						
PRC0	プロテクトビット0	CM0、CM1、CM2、PLC0、PCLKR、CCLKRレジスタへの書き込み許可 0 : 書き込み禁止 1 : 書き込み許可	RW						
PRC1	プロテクトビット1	PM0、PM1、PM2、TB2SC、INVCO、INVCIレジスタへの書き込み許可 0 : 書き込み禁止 1 : 書き込み許可	RW						
PRC2	プロテクトビット2	PD7、PD9、S3Cレジスタへの書き込み許可 0 : 書き込み禁止 1 : 書き込み許可 (注1)	RW						
(b5-b3)	予約ビット	“0”にしてください	RW						
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。								

注1 . PRC2ビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。他のビットは“0”にならないため、プログラムで“0”にしてください。

図9.1 PRCRレジスタ

10 . 割り込み

10.1 割り込みの分類

図10.1に割り込みの分類を示します。

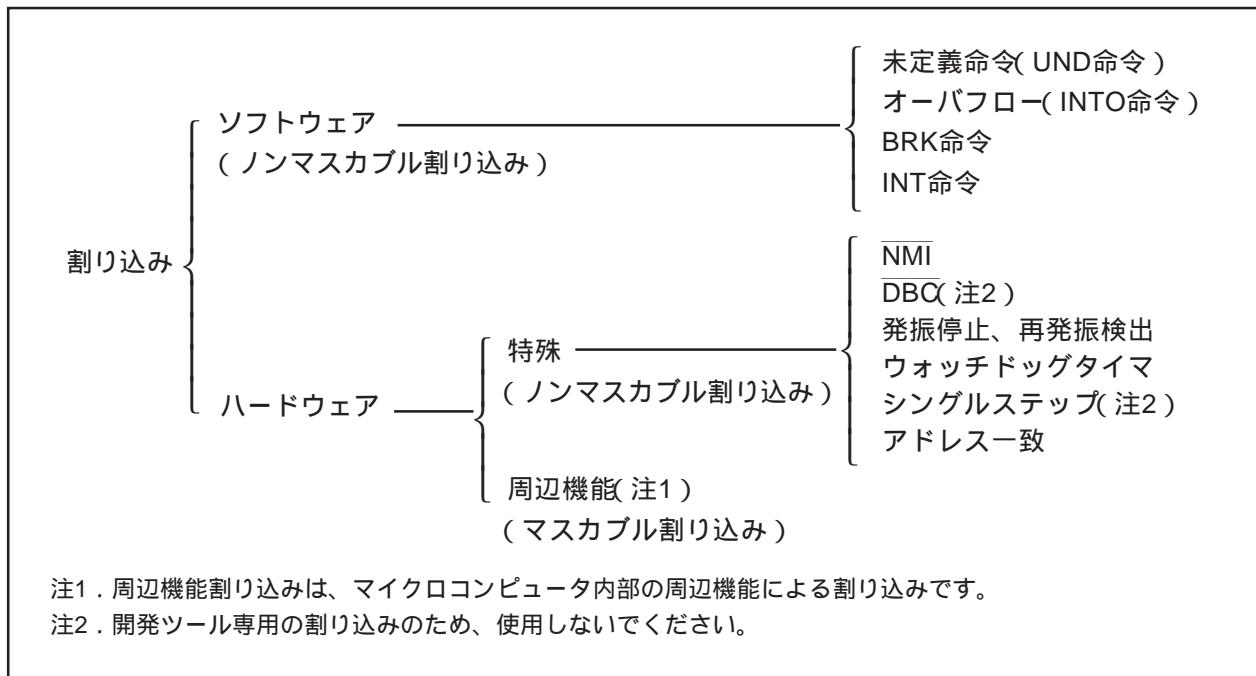


図10.1 割り込みの分類

- ・マスクブル割り込み : 割り込み許可フラグ(I フラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ・ノンマスクブル割り込み : 割り込み許可フラグ(I フラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

10.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

10.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

10.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが 1 (演算の結果がオーバフロー) の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

10.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

10.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号1～31は周辺機能割り込みに割り当てられるので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0 (ISPを選択)”にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

10.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

10.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

10.3.1.1 NMI割り込み

NMI割り込みは、NMI端子の入力が“H”から“L”に変化すると発生します。詳細は「10.7 NMI割り込み」を参照してください。

10.3.1.2 DBC割り込み

開発ツール専用の割り込みのため、使用しないでください。

10.3.1.3 ウオッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み要求発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「11. ウォッチドッグタイマ」を参照してください。

10.3.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「8. クロック発生回路」を参照してください。

10.3.1.5 シングルステップ割り込み

開発ツール専用の割り込みのため、使用しないでください。

10.3.1.6 アдрес一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが1(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD3レジスタで示される番地の命令を実行する直前に発生します。

詳細は「10.10 アドレス一致割り込み」を参照してください。

10.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みはマスカブル割り込みです。周辺機能割り込みの割り込み要因は「表10.2 可変ベクターテーブル」を参照してください。

また、周辺機能の詳細は各周辺機能の説明を参照してください。

10.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図10.2に割り込みベクタを示します。

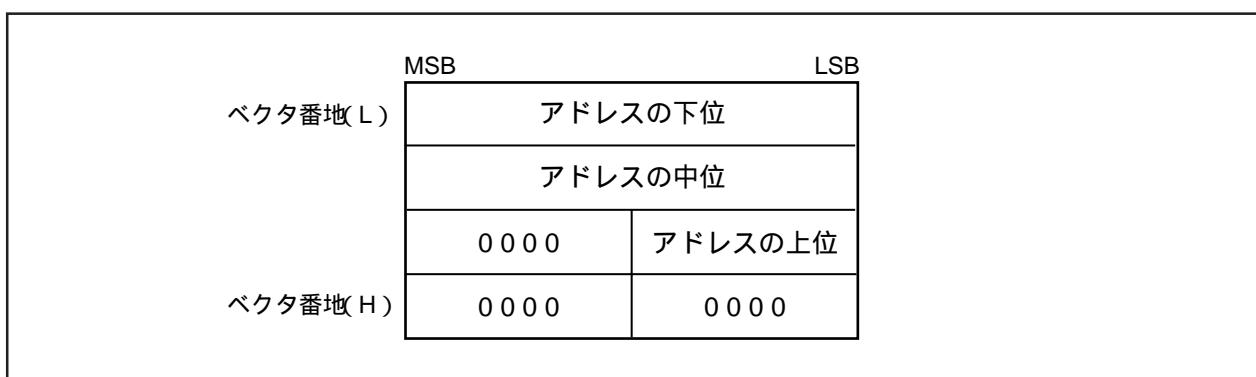


図10.2 割り込みベクタ

10.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表10.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「21.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表10.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)~番地(H)	参照先
未定義命令(UND命令)	FFFDCh ~ FFFFDFh	M16C/60、M16C/20、M16C/Tinyシリーズ
オーバフロー(INTO命令)	FFFFE0h ~ FFFE3h	ソフトウェアマニュアル
BRK命令(注2)	FFFE4h ~ FFFE7h	
アドレス一致	FFFE8h ~ FFFEBh	10.10 アドレス一致割り込み
シングルステップ(注1)	FFFECh ~ FFFEFh	-
発振停止、再発振検出 ウォッチドッグタイマ	FFFF0h ~ FFFF3h	8 . クロック発生回路 11 . ウォッチドッグタイマ
DBQ(注1)	FFFF4h ~ FFFF7h	-
NMI	FFFF8h ~ FFFF Bh	10.7 NMI割り込み
リセット	FFFFCh ~ FFFFFh	5 . リセット

注1 . 開発ツール専用の割り込みのため、使用しないでください。

注2 . FFFE7h番地の内容がFFhの場合は、可変ベクタテーブル内のベクタが示す番地から実行。

10.4.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。

表10.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表10.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+ 0 ~ + 3(0000h ~ 0003h)	0	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル
CAN0ウェイクアップ(注3)	+ 4 ~ + 7(0004h ~ 0007h)	1	19 . CANモジュール
CAN0受信完了	+ 8 ~ + 11(0008h ~ 000Bh)	2	
CAN0送信完了	+ 12 ~ + 15(000Ch ~ 000Fh)	3	
INT3	+ 16 ~ + 19(0010h ~ 0013h)	4	10.6 INT割り込み
タイマB5	+ 20 ~ + 23(0014h ~ 0017h)	5	13 . タイマ
タイマB4、UART1バス衝突検出(注4、10)	+ 24 ~ + 27(0018h ~ 001Bh)	6	13 . タイマ
タイマB3、UART0バス衝突検出(注5、10)	+ 28 ~ + 31(001Ch ~ 001Fh)	7	15 . シリアルインタフェース
INT5(注6)	+ 32 ~ + 35(0020h ~ 0023h)	8	10.6 INT割り込み
SIO3、INT4(注7)	+ 36 ~ + 39(0024h ~ 0027h)	9	15 . シリアルインタフェース、10.6 INT割り込み
UART2バス衝突検出(注10)	+ 40 ~ + 43(0028h ~ 002Bh)	10	15 . シリアルインタフェース
DMA0	+ 44 ~ + 47(002Ch ~ 002Fh)	11	12 . DMAC
DMA1	+ 48 ~ + 51(0030h ~ 0033h)	12	
CAN0エラー(注3)	+ 52 ~ + 55(0034h ~ 0037h)	13	19 . CANモジュール
A/D、キー入力(注8)	+ 56 ~ + 59(0038h ~ 003Bh)	14	16 . A/Dコンバータ、10.8 キー入力割り込み
UART2送信、NACK2(注9)	+ 60 ~ + 63(003Ch ~ 003Fh)	15	15 . シリアルインタフェース
UART2受信、ACK2(注9)	+ 64 ~ + 67(0040h ~ 0043h)	16	
UART0送信、NACK0(注9)	+ 68 ~ + 71(0044h ~ 0047h)	17	
UART0受信、ACK0(注9)	+ 72 ~ + 75(0048h ~ 004Bh)	18	
UART1送信、NACK1(注9)	+ 76 ~ + 79(004Ch ~ 004Fh)	19	
UART1受信、ACK1(注9)	+ 80 ~ + 83(0050h ~ 0053h)	20	
タイマA0	+ 84 ~ + 87(0054h ~ 0057h)	21	13 . タイマ
タイマA1	+ 88 ~ + 91(0058h ~ 005Bh)	22	
タイマA2	+ 92 ~ + 95(005Ch ~ 005Fh)	23	
タイマA3	+ 96 ~ + 99(0060h ~ 0063h)	24	
タイマA4	+ 100 ~ + 103(0064h ~ 0067h)	25	
タイマB0	+ 104 ~ + 107(0068h ~ 006Bh)	26	
タイマB1	+ 108 ~ + 111(006Ch ~ 006Fh)	27	
タイマB2	+ 112 ~ + 115(0070h ~ 0073h)	28	
INT0	+ 116 ~ + 119(0074h ~ 0077h)	29	10.6 INT割り込み
INT1	+ 120 ~ + 123(0078h ~ 007Bh)	30	
INT2	+ 124 ~ + 127(007Ch ~ 007Fh)	31	
INT命令割り込み(注2)	+ 128 ~ + 131(0080h ~ 0083h) ⋮ + 252 ~ + 255(00FCh ~ 00FFh)	32 ⋮ 63	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル

注1 . INTBレジスタが示す番地からの相対番地です。

注2 . Iフラグによる禁止はできません。

注3 . IFSR0レジスタのIFSR02ビットを“0”(CAN0ウェイクアップ / エラー)にしてください。

注4 . IFSR0レジスタのIFSR07ビットで選択してください。

注5 . IFSR0レジスタのIFSR06ビットで選択してください。

注6 . IFSR1レジスタのIFSR17ビットを“1”(INT5)にしてください。

注7 . IFSR1レジスタのIFSR16ビットで選択してください。

SI/O3を選択する場合は、同時にIFSR0レジスタのIFSR00ビットを“1”(SI/O3)にしてください。

注8 . IFSR0レジスタのIFSR01ビットで選択してください。

注9 . I²Cモード時にNACK、ACKが割り込み要因になります。

注10 . バス衝突検出 : IEモード時は、バス衝突検出が割り込み要因になります。

I²Cモード時は、スタートコンディション検出、ストップコンディション検出が割り込み要因になります。

10.5 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIFラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図10.3、図10.4に割り込み制御レジスタを示します。

割り込み制御レジスタ(注1)			
シンボル	アドレス	リセット後の値	
C01WKIC	0041h番地	XXXXXX000b	
C0RECIC	0042h番地	XXXXXX000b	
C0TRMIC	0043h番地	XXXXXX000b	
TB5IC	0045h番地	XXXXXX000b	
TB4IC/U1BCNIC(注2)	0046h番地	XXXXXX000b	
TB3IC/U0BCNIC(注3)	0047h番地	XXXXXX000b	
U2BCNIC	004Ah番地	XXXXXX000b	
DM0IC、DM1IC	004Bh、004Ch番地	XXXXXX000b	
C01ERRIC	004Dh番地	XXXXXX000b	
ADIC/KUPIC(注5)	004Eh番地	XXXXXX000b	
S0TIC～S2TIC	0051h、0053h、004Fh番地	XXXXXX000b	
S0RIC～S2RIC	0052h、0054h、0050h番地	XXXXXX000b	
TA0IC～TA4IC	0055h～0059h番地	XXXXXX000b	
TB0IC～TB2IC	005Ah～005Ch番地	XXXXXX000b	

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b ₂ b ₁ b ₀ 0 0 0 : レベル0(割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注4)
(b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1 . 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。

詳細は、「23.6 割り込み」を参照してください。

注2 . IFSR0レジスタのIFSR07ビットで選択してください。

注3 . IFSR0レジスタのIFSR06ビットで選択してください。

注4 . IRビットは“0”のみ書けます(“1”を書かないでください)。

注5 . IFSR0レジスタのIFSR01ビットで選択してください。

図10.3 割り込み制御レジスタ(1)

割り込み制御レジスタ(注1)		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0	INT3IC(注2) INT5IC(注2) S3IC/INT4IC(注2、6) INT0IC ~ INT2IC	0044h番地 0048h番地 0049h番地 005Dh ~ 005Fh番地	XX00X000b XX00X000b XX00X000b XX00X000b
ビットシンボル	ビット名	機能	RW							
ILVL0	割り込み優先レベル選択ビット	b ₂ b ₁ b ₀ 0 0 0 : レベル0(割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW							
ILVL1			RW							
ILVL2			RW							
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注3)							
POL	極性切り替えビット	0 : 立ち下がりエッジを選択(注4、5) 1 : 立ち上がりエッジを選択	RW							
(b5)	予約ビット	"0"にしてください。	RW							
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。	-	-							

注1 . 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。
詳細は、「23.6 割り込み」を参照してください。

注2 . BYTE端子が“L”で、メモリ拡張モード、マイクロプロセッサモード時は、INT5IC ~ INT3ICレジスタのILVL2 ~ ILVL0ビットを“000b”(割り込み禁止)にしてください。

注3 . IRビットは“0”のみ書けます(“1”を書かないでください)。

注4 . IFSR1レジスタのIFSR1iビット(i=0~5か“1”両エッジ)の場合、INTiCレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

注5 . IFSR0レジスタのIFSR00ビットが“1”、IFSR1レジスタのIFSR16ビットが“0”(SI/O3選択)のときは、S3ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

注6 . IFSR1レジスタのIFSR16ビットおよびIFSR00レジスタのIFSR00ビットで選択してください。

図10.4 割り込み制御レジスタ(2)

10.5.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1(許可)”にすると、マスカブル割り込みは許可され、“0(禁止)”にするとすべてのマスカブル割り込みは禁止されます。

10.5.2 IRビット

IRビットは割り込み要求が発生すると、“1(割り込み要求あり)”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0(割り込み要求なし)”になります。

IRビットはプログラムによって“0”できます。“1”を書かないでください。

10.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表10.3に割り込み優先レベルの設定、表10.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・Iフラグ = 1
- ・IRビット = 1
- ・割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、およびIPLはそれぞれ独立しており、互いに影響を与えることはありません。

表10.3 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	-
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表10.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

10.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUはその命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは次のように動作します。図10.5に割り込みシーケンスの実行時間を示します。

(1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。

その後、該当する割り込みのIRビットが0(割り込み要求なし)になります。

(2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。

(3) FLGレジスタのうち、Iフラグ、Dフラグ、およびUフラグは次のようになります。

- ・Iフラグは0(割り込み禁止)

- ・Dフラグは0(シングルステップ割り込みは割り込み禁止)

- ・Uフラグは0(ISPを指定)

ただし、Uフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。

(4) CPU内部の一時レジスタ(注1)をスタックに退避します。

(5) PCをスタックに退避します。

(6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。

(7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

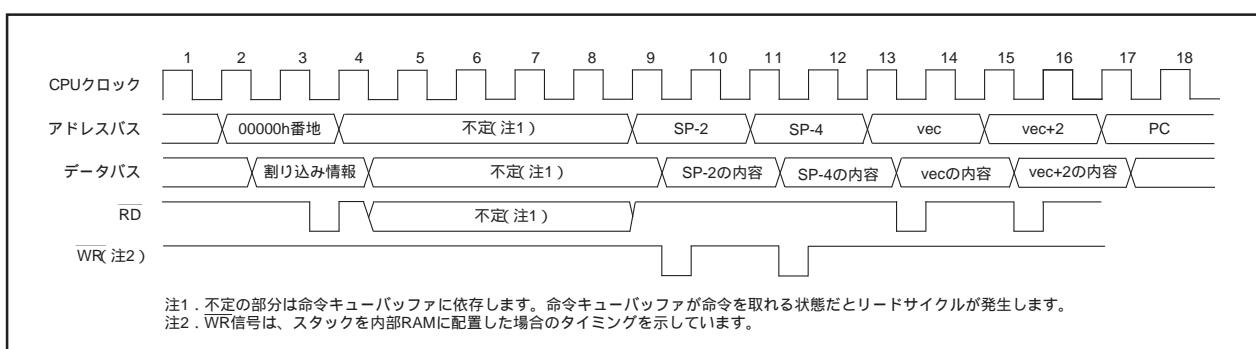
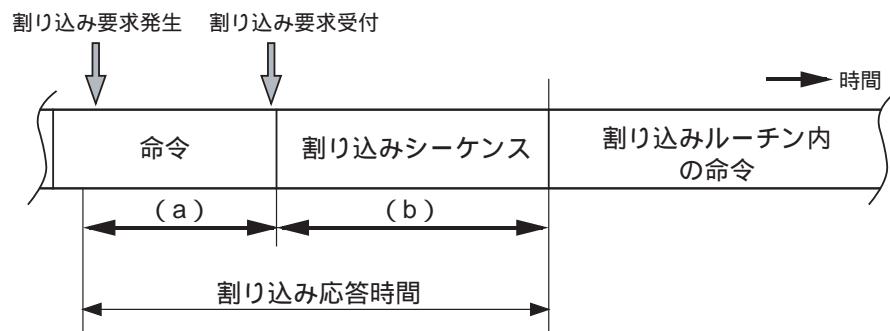


図10.5 割り込みシーケンスの実行時間

10.5.5 割り込み応答時間

図10.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図10.6の(a))と割り込みシーケンスを実行する時間(図10.6の(b))で構成されます。



- (a) 割り込み要求発生点からそのとき実行している命令が終了するまでの時間。
実行している命令によって異なります。この時間が最も長くなる命令はDIVX命令で30サイクル(ウェイトなし、除数がレジスタの場合のサイクル数)です。
- (b) 割り込みシーケンスを実行する時間。次の表を参照してください。
なお、DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

割り込みベクタの番地	SPの値	16ビットバス、ウェイトなし	8ビットバス、ウェイトなし
偶 数	偶 数	18サイクル	20サイクル
	奇 数	19サイクル	
奇 数	偶 数	19サイクル	
	奇 数	20サイクル	

図10.6 割り込み応答時間

10.5.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると、表10.5に示す値がIPLに設定されます。表10.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表10.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定される IPL の値
発振停止、再発振検出、ウォッチドッグタイマ、NMI	7
ソフトウェア、アドレス一致、DBC、シングルステップ	変化しない

10.5.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへは、PCの上位4ビットとFLGレジスタの上位4ビット(IPL) および下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図10.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

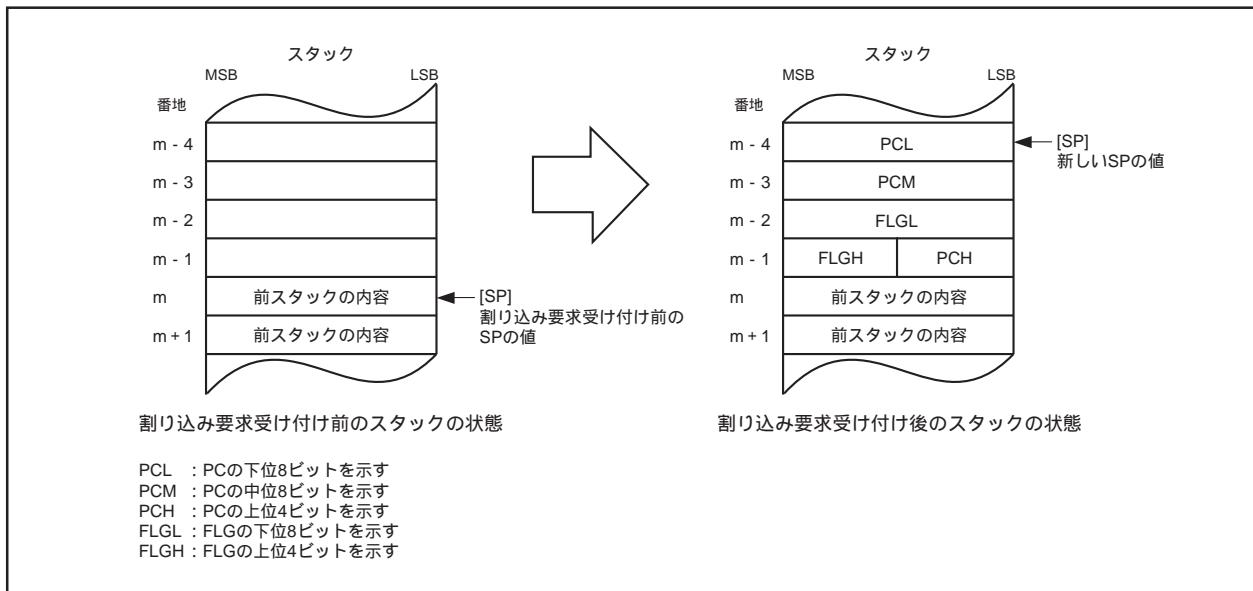


図10.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図10.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32~63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外はISPです。

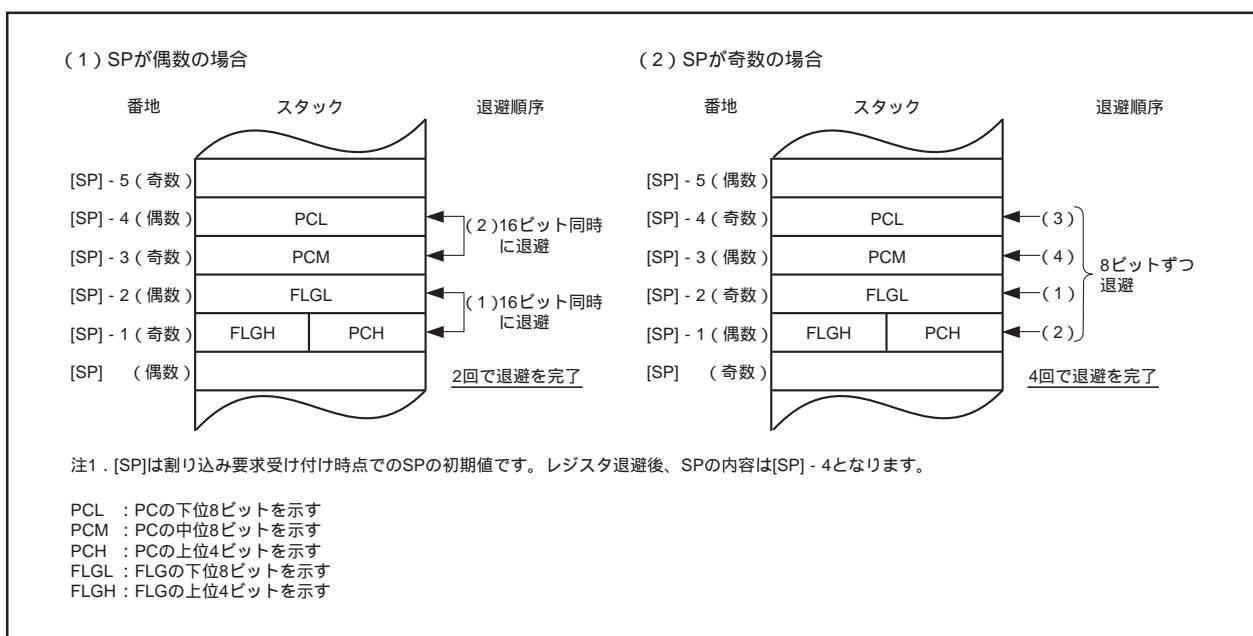


図10.8 レジスタ退避動作

10.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

10.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2 ~ ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。
図10.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

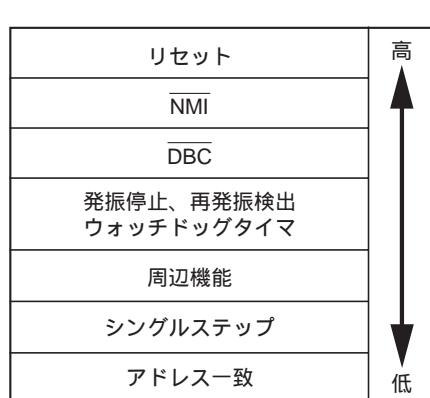


図10.9 ハードウェア割り込みの割り込み優先順位

10.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図10.10に割り込み優先レベルの判定回路を示します。

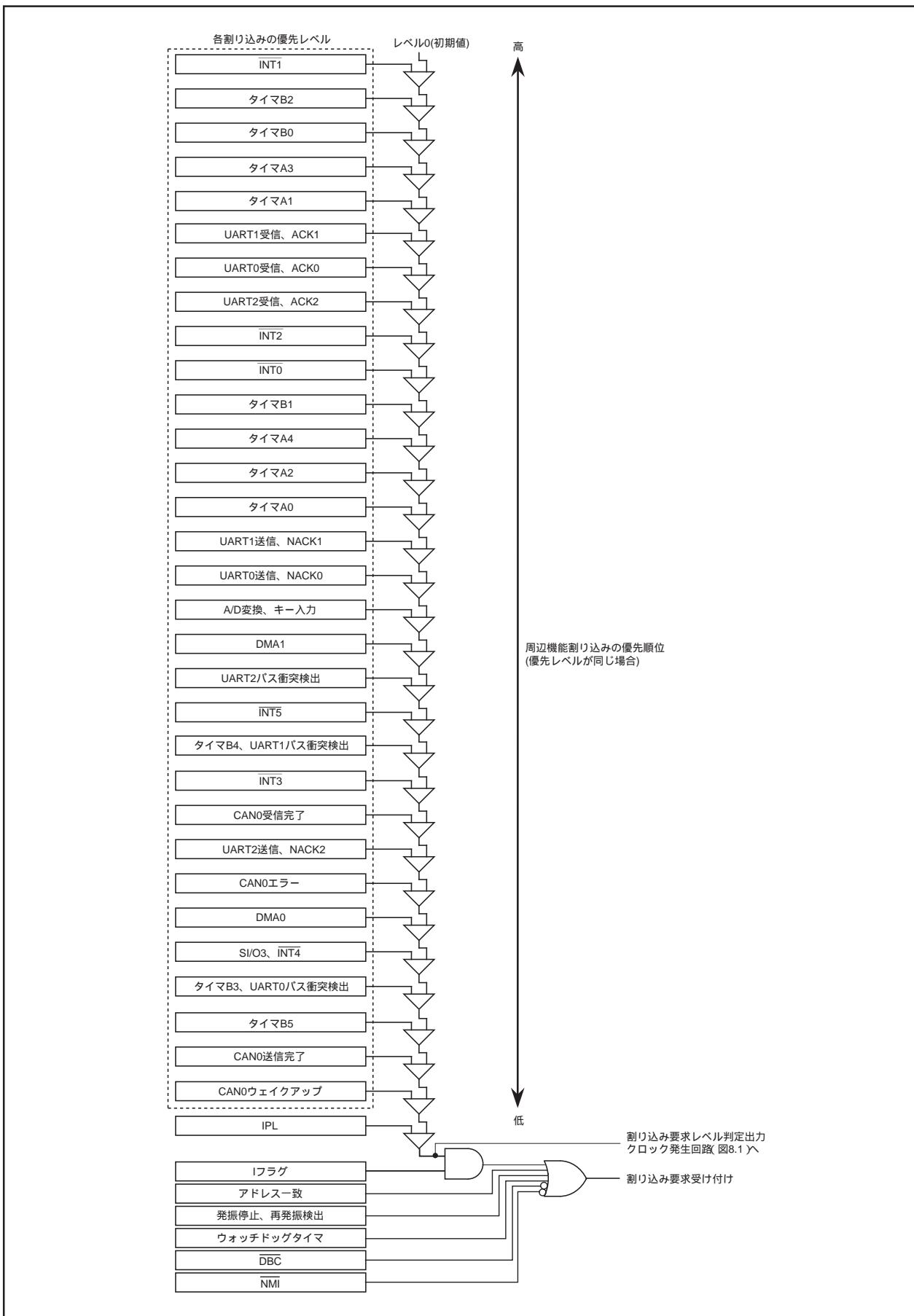


図10.10 割り込み優先レベル判定回路

10.6 INT割り込み

INT_i割り込み($i = 0 \sim 5$)は外部入力による割り込みです。極性をIFSR1レジスタのIFSR1_iビットで選択できます。

SI/O3とINT4はベクタや割り込み制御レジスタを共用しています。INT4割り込みを使用するときは、IFSR1レジスタのIFSR16ビットを“1”(INT4)にしてください。

IFSR16ビットを変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

図10.11にIFSR0、IFSR1レジスタを示します。

割り込み要因選択レジスタ0																																			
b7	b6	b5	b4	b3	b2	b1	b0																												
		0		1		シンボル IFSR0	アドレス 01DEh番地																												
						リセット後の値 00XXX000b																													
<table border="1"> <thead> <tr> <th>ピットシンボル</th> <th>ピット名</th> <th>機能</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>IFSR00</td> <td>割り込み要因切り替えピット</td> <td>0 : 設定しないでください 1 : SI/O3</td> <td>RW</td> </tr> <tr> <td>IFSR01</td> <td>割り込み要因切り替えピット</td> <td>0 : A/D変換 1 : キー入力</td> <td>RW</td> </tr> <tr> <td>IFSR02</td> <td>割り込み要因切り替えピット</td> <td>0 : CAN0ウェイクアップ / エラー 1 : 設定しないでください</td> <td>RW</td> </tr> <tr> <td>(b5-b3)</td> <td>何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。</td> <td>-</td> <td>-</td> </tr> <tr> <td>IFSR06</td> <td>割り込み要因切り替えピット (注1)</td> <td>0 : タイマB3 1 : UART0バス衝突検出</td> <td>RW</td> </tr> <tr> <td>IFSR07</td> <td>割り込み要因切り替えピット (注2)</td> <td>0 : タイマB4 1 : UART1バス衝突検出</td> <td>RW</td> </tr> </tbody> </table>								ピットシンボル	ピット名	機能	RW	IFSR00	割り込み要因切り替えピット	0 : 設定しないでください 1 : SI/O3	RW	IFSR01	割り込み要因切り替えピット	0 : A/D変換 1 : キー入力	RW	IFSR02	割り込み要因切り替えピット	0 : CAN0ウェイクアップ / エラー 1 : 設定しないでください	RW	(b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-	-	IFSR06	割り込み要因切り替えピット (注1)	0 : タイマB3 1 : UART0バス衝突検出	RW	IFSR07	割り込み要因切り替えピット (注2)	0 : タイマB4 1 : UART1バス衝突検出	RW
ピットシンボル	ピット名	機能	RW																																
IFSR00	割り込み要因切り替えピット	0 : 設定しないでください 1 : SI/O3	RW																																
IFSR01	割り込み要因切り替えピット	0 : A/D変換 1 : キー入力	RW																																
IFSR02	割り込み要因切り替えピット	0 : CAN0ウェイクアップ / エラー 1 : 設定しないでください	RW																																
(b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-	-																																
IFSR06	割り込み要因切り替えピット (注1)	0 : タイマB3 1 : UART0バス衝突検出	RW																																
IFSR07	割り込み要因切り替えピット (注2)	0 : タイマB4 1 : UART1バス衝突検出	RW																																

注1 . タイマB3とUART0バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。
タイマB3割り込みを使用するときは、IFSR06ピットを“0”(タイマB3)にしてください。
UART0バス衝突検出割り込みを使用するときは、IFSR06ピットを“1”(UART0バス衝突検出)にしてください。

注2 . タイマB4とUART1バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。
タイマB4割り込みを使用するときは、IFSR07ピットを“0”(タイマB4)にしてください。
UART1バス衝突検出割り込みを使用するときは、IFSR07ピットを“1”(UART1バス衝突検出)にしてください。

割り込み要因選択レジスタ1																																											
b7	b6	b5	b4	b3	b2	b1	b0																																				
1																																											
		シルボル IFSR1		アドレス 01DFh番地		リセット後の値 00h																																					
<table border="1"> <thead> <tr> <th>ピットシンボル</th> <th>ピット名</th> <th>機能</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>IFSR10</td> <td>INT0割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR11</td> <td>INT1割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR12</td> <td>INT2割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR13</td> <td>INT3割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR14</td> <td>INT4割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR15</td> <td>INT5割り込み極性切り替えピット</td> <td>0 : 片エッジ 1 : 兩エッジ (注1)</td> <td>RW</td> </tr> <tr> <td>IFSR16</td> <td>割り込み要因切り替えピット (注2)</td> <td>0 : SI/O3 (注3) 1 : INT4</td> <td>RW</td> </tr> <tr> <td>IFSR17</td> <td>割り込み要因切り替えピット</td> <td>0 : 設定しないでください 1 : INT5</td> <td>RW</td> </tr> </tbody> </table>								ピットシンボル	ピット名	機能	RW	IFSR10	INT0割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR11	INT1割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR12	INT2割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR13	INT3割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR14	INT4割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR15	INT5割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW	IFSR16	割り込み要因切り替えピット (注2)	0 : SI/O3 (注3) 1 : INT4	RW	IFSR17	割り込み要因切り替えピット	0 : 設定しないでください 1 : INT5	RW
ピットシンボル	ピット名	機能	RW																																								
IFSR10	INT0割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR11	INT1割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR12	INT2割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR13	INT3割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR14	INT4割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR15	INT5割り込み極性切り替えピット	0 : 片エッジ 1 : 兩エッジ (注1)	RW																																								
IFSR16	割り込み要因切り替えピット (注2)	0 : SI/O3 (注3) 1 : INT4	RW																																								
IFSR17	割り込み要因切り替えピット	0 : 設定しないでください 1 : INT5	RW																																								

注1 . “1”(兩エッジ)を選択する場合は、対応するINT0IC ~ INT5ICレジスタのPOLピットを“0”(立ち下がりエッジ)にしてください。

注2 . メモリ拡張モード、マイクロプロセッサモード時で、データバス幅が16ビット(BYTE端子が“L”)の時は、“0”(SI/O3)にしてください。

注3 . “0”(SI/O3)を選択する場合は、同時にIFSR0レジスタのIFSR00ピットを“1”(SI/O3)してください。
また、対応するS3ICレジスタのPOLピットを“0”(立ち下がりエッジ)にしてください。

図10.11 IFSR0、IFSR1レジスタ

10.7 NMI割り込み

NMI端子の入力が“H”から“L”に変化したとき、NMI割り込み要求が発生します。NMI割り込みは、ノンマスカブル割り込みです。また、この端子はNMI割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読みます。この端子は入力ポートとしては使用できません。

10.8 キー入力割り込み

P10_4～P10_7のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”(入力)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合は、P10_4～P10_7をアナログ入力端子として使用しないでください。

図10.12にキー入力割り込みブロック図を示します。なお、PD10_4～PD10_7ビットを“0”(入力モード)にしている端子のいずれかに“L”が入力されると、他の端子の入力は割り込みとして検知されません。

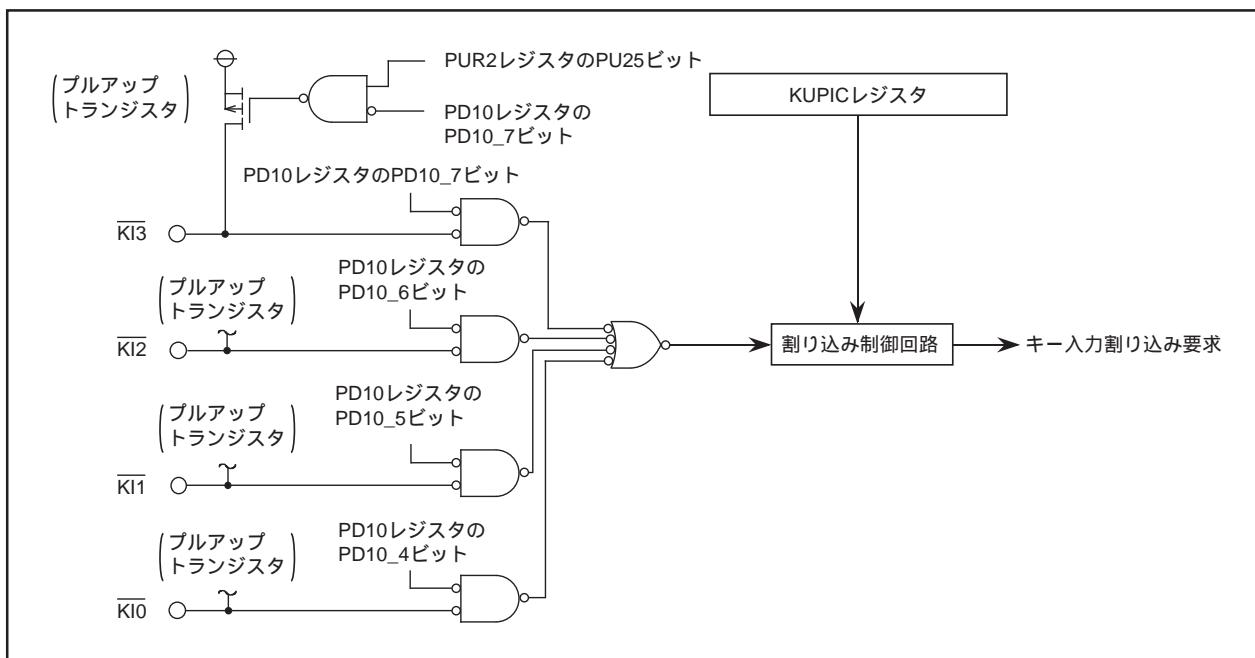


図10.12 キー入力割り込みブロック図

10.9 CAN0ウェイクアップ割り込み

CRX0に立ち下がりエッジが入力されたとき、CAN0ウェイクアップ割り込み要求が発生します。CAN0ウェイクアップ割り込みは、C0CTRLRレジスタのPortEnビットが“1”(CTX/CRXとして機能)およびSleepビットが“1”(スリープモード)のときのみ有効です。

図10.13にCAN0ウェイクアップ割り込みブロック図を示します。

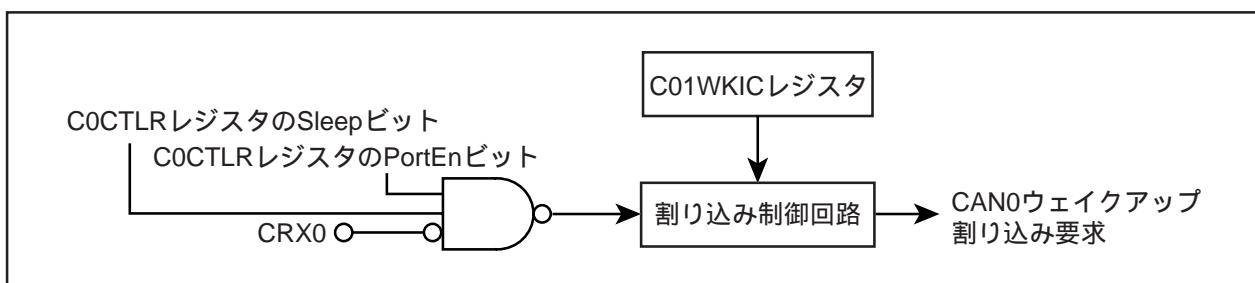


図10.13 CAN0ウェイクアップ割り込みブロック図

10.10 アドレス一致割り込み

RMADIレジスタ($i=0 \sim 3$)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADIレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、IFラグとIPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「10.5.7 レジスタ退避」参照)は、RMADIレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表10.6にアドレス一致割り込み要求受け付け時に退避されるPCの値、表10.7にアドレス一致割り込み要因と関連レジスタの対応を示します。

なお、外部データバスを8ビットで使用している場合は、外部領域に対してアドレス一致割り込みは使用できません。

図10.14にAIER、AIER2、RMAD0～RMAD3レジスタを示します。

表10.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADIレジスタで示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、次に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADIレジスタで示される番地+2
上記以外	RMADIレジスタで示される番地+1

退避されるPCの値 : 「10.5.7 レジスタ退避」参照

表10.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

アドレス一致割り込み許可レジスタ			
シンボル AIER	アドレス 0009h番地	リセット後の値 XXXXXX00b	
b7 b6 b5 b4 b3 b2 b1 b0	ピットシンボル AIER0 AIER1 - (b7-b2)	ピット名 アドレス一致割り込み0 許可ビット アドレス一致割り込み1 許可ビット 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	機能 0: 禁止 1: 許可 0: 禁止 1: 許可 RW
			RW
			RW
			RW

アドレス一致割り込み許可レジスタ2			
シンボル AIER2	アドレス 01BBh番地	リセット後の値 XXXXXX00b	
b7 b6 b5 b4 b3 b2 b1 b0	ピットシンボル AIER20 AIER21 - (b7-b2)	ピット名 アドレス一致割り込み2 許可ビット アドレス一致割り込み3 許可ビット 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	機能 0: 禁止 1: 許可 0: 禁止 1: 許可 RW
			RW
			RW
			RW

アドレス一致割り込みレジスタi(i=0~3)			
シンボル RMAD0 RMAD1 RMAD2 RMAD3	アドレス 0012h ~ 0010h番地 0016h ~ 0014h番地 01BAh ~ 01B8h番地 01BEh ~ 01BCCh番地	リセット後の値 X00000h X00000h X00000h X00000h	
(b23) (b19) b7 b3	ピットシンボル - (b19-b0) - (b23-b20)	機能 アドレス一致割り込み用アドレス設定レジスタ 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	設定範囲 00000h ~ FFFFFh RW
(b16) (b15) b0 b7			
(b8) b0 b7			

図10.14 AIER、AIER2、RMAD0～RMAD3レジスタ

11 . ウオッヂドッグタイマ

ウォッヂドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッヂドッグタイマを使用されることをお奨めします。ウォッヂドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケーラで分周したクロックをダウンカウントします。ウォッヂドッグタイマがアンダフローしたときの処理として、ウォッヂドッグタイマ割り込み要求を発生させるか、ウォッヂドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッヂドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッヂドッグタイマ割り込み)にできません。ウォッヂドッグタイマリセットの詳細は「5.3 ウォッヂドッグタイマリセット」を参照してください。

CPUクロック源にメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケーラが16分周するか128分周するかを選択できます。CPUクロック源にサブクロックを選択している場合、WDC7ビットに関係なくプリスケーラは2分周します。したがって、ウォッヂドッグタイマの周期は次のように計算できます。ただし、ウォッヂドッグタイマの周期には、プリスケーラによる誤差が生じます。

CPUクロック源にメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合

$$\text{ウォッヂドッグタイマの周期} = \frac{\text{プリスケーラの分周(16または128)} \times \text{ウォッヂドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロック源にサブクロックを選択している場合

$$\text{ウォッヂドッグタイマの周期} = \frac{\text{プリスケーラの分周(2)} \times \text{ウォッヂドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロック源が16MHzで、プリスケーラが16分周する場合、ウォッヂドッグタイマの周期は、約32.8msとなります。

ウォッヂドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケーラは、リセット後に初期化されています。なお、リセット後はウォッヂドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、またはホールド状態時、ウォッヂドッグタイマとプリスケーラは停止し、解除すると保持された値からカウントします。

図11.1にウォッヂドッグタイマブロック図、図11.2にウォッヂドッグタイマ関連レジスタを示します。

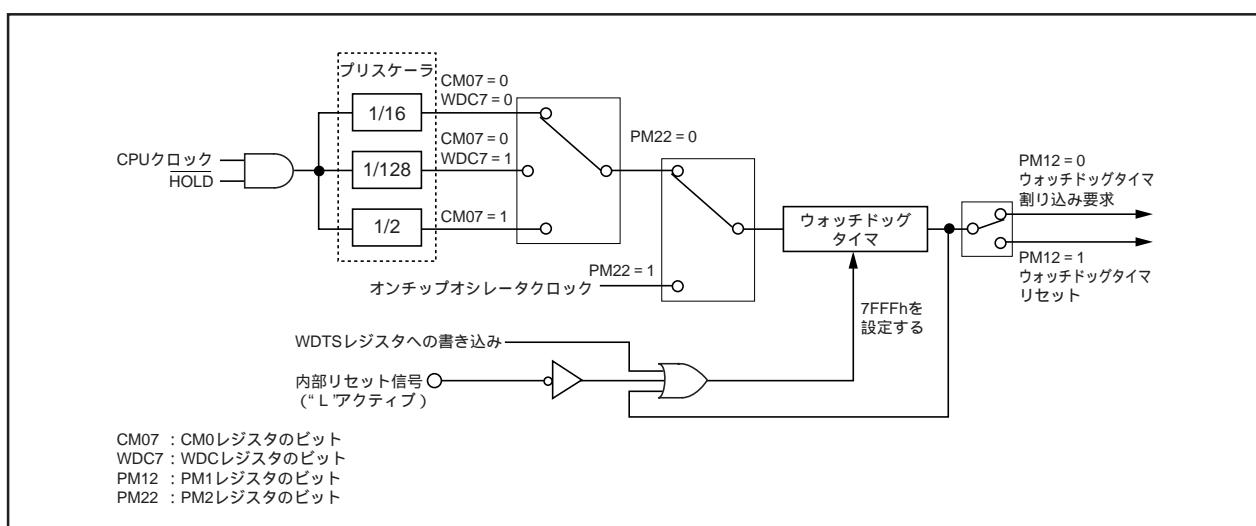


図11.1 ウォッヂドッグタイマブロック図

ウォッチドッグタイマ制御レジスタ							
b7	b6	b5	b4	b3	b2	b1	b0
0	0						
		シンボル WDC		アドレス 000Fh番地		リセット後の値 00XXXXXXb	
		ピットシンボル		ピット名		機能	
		(b4-b0)		ウォッチドッグタイマの上位ピット		RW	
		(b6-b5)		予約ピット		“ 0 ”にしてください	
		WDC7		プリスケーラ選択ピット		0 : 16分周 1 : 128分周	
ウォッチドッグタイマスタートレジスタ(注1)							
b7	b6						
		シンボル WDTST		アドレス 000Eh番地		リセット後の値 不定	
		ピットシンボル		機能		RW	
		(b7-b0)		このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。 ウォッチドッグタイマの初期値は、書き込む値にかわらず“ 7FFFh ”が設定されます。		WO	

注1. ウォッチドッグタイマ割り込み要求発生後は、WDTSTレジスタに書き込みを行ってください。

図11.2 WDC、WDTSTレジスタ

11.1 カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。
暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

- (1)PRCRレジスタのPRC1ビットを“ 1 ”(PM1、PM2レジスタ書き込み許可)にする
- (2)PM1レジスタのPM12ビットを“ 1 ”(ウォッチドッグタイマアンダフロー時リセット)にする
- (3)PM2レジスタのPM22ビットを“ 1 ”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (4)PRCRレジスタのPRC1ビットを“ 0 ”(PM1、PM2レジスタ書き込み禁止)にする
- (5)WDTSTレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“ 1 ”にすると次の状態になります。

- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックがウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

- ・CM1レジスタのCM10ビットへの書き込み禁止(“ 1 ”を書いても変化せず、ストップモードに移行しない)
- ・ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

12 . DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)は、CPUを使わずにデータを転送する機能で、2チャネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図12.1にDMACブロック図、表12.1にDMACの仕様、図12.2～図12.4にDMAC関連レジスタを示します。

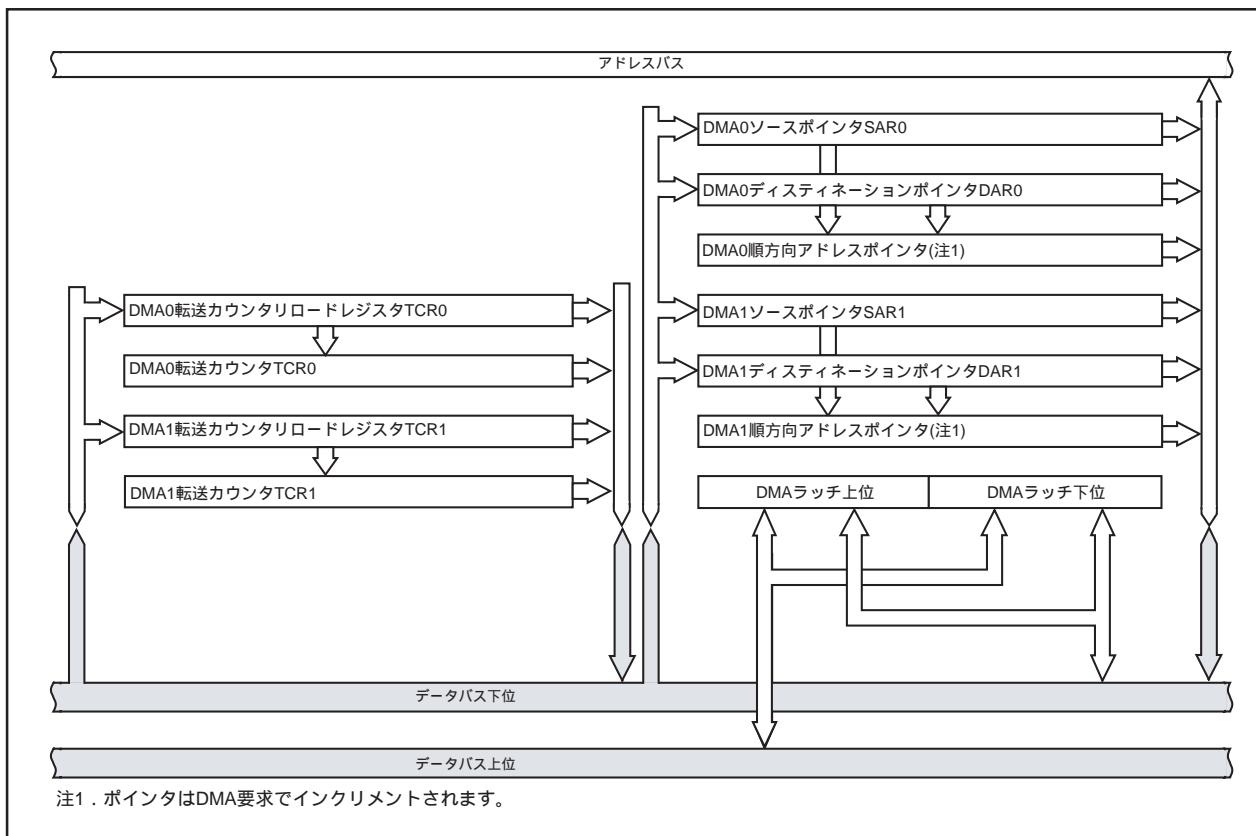


図12.1 DMACブロック図

DMA要求は、DMiSLレジスタ($i=0, 1$)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、IFラグ、割り込み制御レジスタの影響を受けないため、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えないため、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが 1 (DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細は「12.4 DMA要求」を参照してください。

表12.1 DMACの仕様

項目	仕様				
チャネル数	2チャネル(サイクルスチール方式)				
転送空間	<ul style="list-style-type: none"> ・ 1Mバイトの任意の空間から固定番地 ・ 固定番地から1Mバイトの任意の空間 ・ 固定番地から固定番地 				
最大転送バイト数	128Kバイト(16ビット転送時) , 64Kバイト(8ビット転送時)				
DMA要求要因(注1、2)	INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 SI/O3割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ				
チャネル優先順位	DMA0 > DMA1(DMA0が優先)				
転送単位	8ビットまたは16ビット				
転送番地方向	順方向または固定(転送元と転送先の両方を順方向にしないでください)				
転送モード	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="padding: 2px;">単転送</td><td style="padding: 2px;">DMA<i>i</i>転送カウンタがアンダフローすると転送が終了する</td></tr> <tr> <td style="padding: 2px;">リピート転送</td><td style="padding: 2px;">DMA<i>i</i>転送カウンタがアンダフローした後、DMA<i>i</i>転送カウンタリロードレジスタの値がDMA<i>i</i>転送カウンタにリロードされ、DMA転送を継続する</td></tr> </table>	単転送	DMA <i>i</i> 転送カウンタがアンダフローすると転送が終了する	リピート転送	DMA <i>i</i> 転送カウンタがアンダフローした後、DMA <i>i</i> 転送カウンタリロードレジスタの値がDMA <i>i</i> 転送カウンタにリロードされ、DMA転送を継続する
単転送	DMA <i>i</i> 転送カウンタがアンダフローすると転送が終了する				
リピート転送	DMA <i>i</i> 転送カウンタがアンダフローした後、DMA <i>i</i> 転送カウンタリロードレジスタの値がDMA <i>i</i> 転送カウンタにリロードされ、DMA転送を継続する				
DMA割り込み要求発生タイミング	DMA <i>i</i> 転送カウンタがアンダフローしたとき				
DMA転送開始	DMA <i>i</i> CONレジスタのDMAEビットを“1(許可)”にすると、DMA要求が発生ごとにデータ転送が開始される				
DMA転送停止	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="padding: 2px;">単転送</td><td style="padding: 2px;"> <ul style="list-style-type: none"> ・ DMAEビットを“0(禁止)”にする ・ DMA<i>i</i>転送カウンタがアンダフローした後 </td></tr> <tr> <td style="padding: 2px;">リピート転送</td><td style="padding: 2px;">DMAEビットを“0(禁止)”にする</td></tr> </table>	単転送	<ul style="list-style-type: none"> ・ DMAEビットを“0(禁止)”にする ・ DMA<i>i</i>転送カウンタがアンダフローした後 	リピート転送	DMAEビットを“0(禁止)”にする
単転送	<ul style="list-style-type: none"> ・ DMAEビットを“0(禁止)”にする ・ DMA<i>i</i>転送カウンタがアンダフローした後 				
リピート転送	DMAEビットを“0(禁止)”にする				
順方向アドレスポインタ、 DMA <i>i</i> 転送カウンタのリロードタイミング	DMAEビットを“1(許可)”にした後のデータ転送開始時に、SAR <i>i</i> ポインタまたはDAR <i>i</i> ポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMA <i>i</i> 転送カウンタリロードレジスタの値をDMA <i>i</i> 転送カウンタへリロード				
DMA転送サイクル数	SFR、内部RAM間：最短3サイクル				

i = 0、1

注1 . DMA転送は各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2 . 選択できる要因はチャネルによって異なります。

注3 . DMAC関連レジスタ(0020h～003Fh番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ		シンボル DM0SL	アドレス 03B8h番地	リセット後の値 00h
ビットシンボル	ビット名	機能	RW	
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW	
DSEL1			RW	
DSEL2			RW	
DSEL3			RW	
- (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-	
DMS	DMA要因拡張選択ビット	0 : 基本要因 1 : 拡張要因	RW	
DSR	ソフトウェアDMA 要求ビット	DMSビットが“0”(基本要因)、DSEL3 ~ DSEL0ビットが“0001b”(ソフトウェア トリガ)のとき、このビットを“1”に するとDMA要求が発生する (読んだ場合、その値は“0”)	RW	

注1 . DMA0の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3 ~ DSEL0 DMS=0(基本要因)	DMS=1(拡張要因)
0 0 0 0 b INT0端子の立ち下がりエッジ	-
0 0 0 1 b ソフトウェアトリガ	-
0 0 1 0 b タイマA0	-
0 0 1 1 b タイマA1	-
0 1 0 0 b タイマA2	-
0 1 0 1 b タイマA3	-
0 1 1 0 b タイマA4	INT0端子の両エッジ
0 1 1 1 b タイマB0	タイマB3
1 0 0 0 b タイマB1	タイマB4
1 0 0 1 b タイマB2	タイマB5
1 0 1 0 b UART0送信	-
1 0 1 1 b UART0受信	-
1 1 0 0 b UART2送信	-
1 1 0 1 b UART2受信	-
1 1 1 0 b A/D変換	-
1 1 1 1 b UART1送信	-

図12.2 DM0SLレジスタ

DMA1要因選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル DM1SL	アドレス 03BAh番地	リセット後の値 00h	RW
		X	X	X				DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
								DSEL1			RW
								DSEL2			RW
								DSEL3			RW
								- (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
								DMS	DMA要因拡張選択ビット	0: 基本要因 1: 拡張要因	RW
								DSR	ソフトウェアDMA 要求ビット	DMSビットが“0”(基本要因)、DSEL3 ~ DSEL0ビットが“0001b”(ソフトウェア トリガ)のとき、このビットを“1”に するとDMA要求が発生する (読んだ場合、その値は“0”)	RW

注1. DMA1の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0 0 0 0 b	INT1端子の立ち下がりエッジ -	
0 0 0 1 b	ソフトウェアトリガ	-
0 0 1 0 b	タイマA0	-
0 0 1 1 b	タイマA1	-
0 1 0 0 b	タイマA2	-
0 1 0 1 b	タイマA3	SI/O3
0 1 1 0 b	タイマA4	-
0 1 1 1 b	タイマB0	INT1端子の両エッジ
1 0 0 0 b	タイマB1	-
1 0 0 1 b	タイマB2	-
1 0 1 0 b	UART0送信	-
1 0 1 1 b	UART0受信/ACK0	-
1 1 0 0 b	UART2送信	-
1 1 0 1 b	UART2受信/ACK2	-
1 1 1 0 b	A/D変換	-
1 1 1 1 b	UART1受信/ACK1	-

DMA*i*制御レジスタ(i = 0、1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル DM0CON DM1CON	アドレス 002Ch番地 003Ch番地	リセット後の値 00000X00b 00000X00b	RW
X								DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット	RW
								DMASL	リピート転送モード 選択ビット	0: 単転送 1: リピート転送	RW
								DMAS	DMA要求ビット	0: 要求なし 1: 要求あり	RW (注1)
								DMAE	DMA許可ビット	0: 禁止 1: 許可	RW
								DSD	転送元アドレス方向 選択ビット(注2)	0: 固定 1: 順方向	RW
								DAD	転送先アドレス方向 選択ビット(注2)	0: 固定 1: 順方向	RW
								- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-	

注1. DMASビットは、プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注2. DSDビット、DADビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

図12.3 DM1SL、DM0CON、DM1CONレジスタ

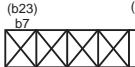
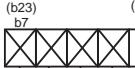
DMAiソースポインタ(i = 0、 1)(注1)												
(b23) b7 	(b19) b3 -----	(b16)(b15) b0 b7 -----	(b8) b0 b7 -----									
b0 シンボル アドレス リセット後の値												
SAR0 0022h ~ 0020h番地 不定												
SAR1 0032h ~ 0030h番地 不定												
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center; padding: 2px;">機 能</th><th style="text-align: center; padding: 2px;">設定範囲</th><th style="text-align: center; padding: 2px;">RW</th></tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">転送元番地を設定してください</td><td style="text-align: center; padding: 2px;">00000h ~ FFFFFh</td><td style="text-align: center; padding: 2px;">RW</td></tr> <tr> <td style="text-align: center; padding: 2px;">何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。</td><td style="text-align: center; padding: 2px;">-</td><td style="text-align: center; padding: 2px;">-</td></tr> </tbody> </table>				機 能	設定範囲	RW	転送元番地を設定してください	00000h ~ FFFFFh	RW	何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。	-	-
機 能	設定範囲	RW										
転送元番地を設定してください	00000h ~ FFFFFh	RW										
何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。	-	-										
<p>注1 . DMICONレジスタのDSDビットが“ 0 ”(固定)の場合は、DMICONレジスタのDMAEビットが“ 0 ”(DMA禁止)のとき書いてください。 DSDビットが“ 1 ”(順方向)の場合は、いつでも書けます。 DSDビットが“ 1 ”かつDMAEビットが“ 1 ”(DMA許可)の場合は、DMAi順方向アドレスポインタが読みます。それ以外では書いた値が読みます。</p>												
DMAiディスティネーションポインタ(i = 0、 1)(注1)												
(b23) b7 	(b19) b3 -----	(b16)(b15) b0 b7 -----	(b8) b0 b7 -----									
b0 シンボル アドレス リセット後の値												
DAR0 0026h ~ 0024h番地 不定												
DAR1 0036h ~ 0034h番地 不定												
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center; padding: 2px;">機 能</th><th style="text-align: center; padding: 2px;">設定範囲</th><th style="text-align: center; padding: 2px;">RW</th></tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">転送先番地を設定してください</td><td style="text-align: center; padding: 2px;">00000h ~ FFFFFh</td><td style="text-align: center; padding: 2px;">RW</td></tr> <tr> <td style="text-align: center; padding: 2px;">何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。</td><td style="text-align: center; padding: 2px;">-</td><td style="text-align: center; padding: 2px;">-</td></tr> </tbody> </table>				機 能	設定範囲	RW	転送先番地を設定してください	00000h ~ FFFFFh	RW	何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。	-	-
機 能	設定範囲	RW										
転送先番地を設定してください	00000h ~ FFFFFh	RW										
何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は “ 0 ” 。	-	-										
<p>注1 . DMICONレジスタのDADビットが“ 0 ”(固定)の場合は、DMICONレジスタのDMAEビットが“ 0 ”(DMA禁止)のとき書いてください。 DADビットが“ 1 ”(順方向)の場合は、いつでも書けます。 DADビットが“ 1 ”かつDMAEビットが“ 1 ”(DMA許可)の場合は、DMAi順方向アドレスポインタが読みます。それ以外では書いた値が読みます。</p>												
DMAi転送カウンタ(i = 0、 1)												
(b15) b7 	(b8) b0 b7 -----	b0										
シンボル アドレス リセット後の値												
TCR0 0029h-0028h番地 不定												
TCR1 0039h-0038h番地 不定												
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center; padding: 2px;">機 能</th><th style="text-align: center; padding: 2px;">設定範囲</th><th style="text-align: center; padding: 2px;">RW</th></tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">転送回数-1を設定してください。書いた値はDMAi転送カウンタリロードレジスタに格納され、DMICONレジスタのDMAEビットを“ 1 ”(DMA許可)にしたとき、またはDMICONレジスタのDMASLビットが“ 1 ”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読みます。</td><td style="text-align: center; padding: 2px;">0000h ~ FFFFh</td><td style="text-align: center; padding: 2px;">RW</td></tr> </tbody> </table>				機 能	設定範囲	RW	転送回数-1を設定してください。書いた値はDMAi転送カウンタリロードレジスタに格納され、DMICONレジスタのDMAEビットを“ 1 ”(DMA許可)にしたとき、またはDMICONレジスタのDMASLビットが“ 1 ”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読みます。	0000h ~ FFFFh	RW			
機 能	設定範囲	RW										
転送回数-1を設定してください。書いた値はDMAi転送カウンタリロードレジスタに格納され、DMICONレジスタのDMAEビットを“ 1 ”(DMA許可)にしたとき、またはDMICONレジスタのDMASLビットが“ 1 ”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読みます。	0000h ~ FFFFh	RW										

図12.4 SAR0、 SAR1、 DAR0、 DAR1、 TCR0、 TCR1レジスタ

12.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、および書き込みのバスサイクル回数は、転送元および転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウェイトやRDY信号の影響により、バスサイクル自体が長くなります。

12.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

12.1.2 BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

12.1.3 ソフトウェアウェイトの影響

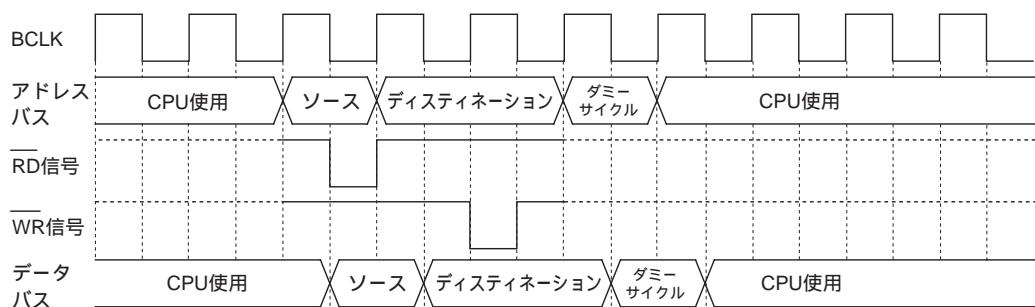
ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

12.1.4 RDY信号の影響

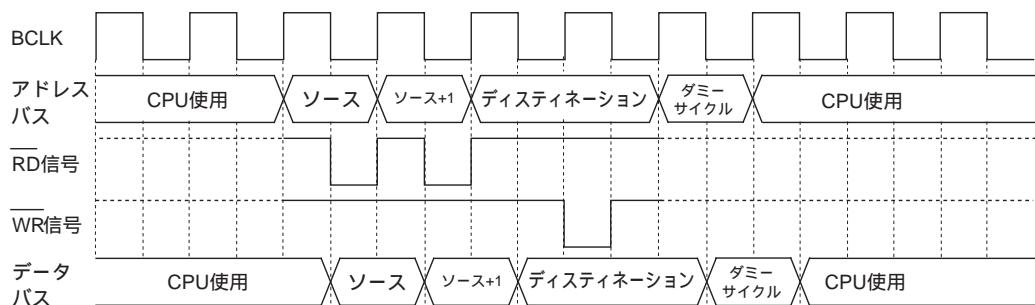
メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「7.2.6 RDY信号」を参照してください。

図12.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで8ビットバス使用している場合(図12.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

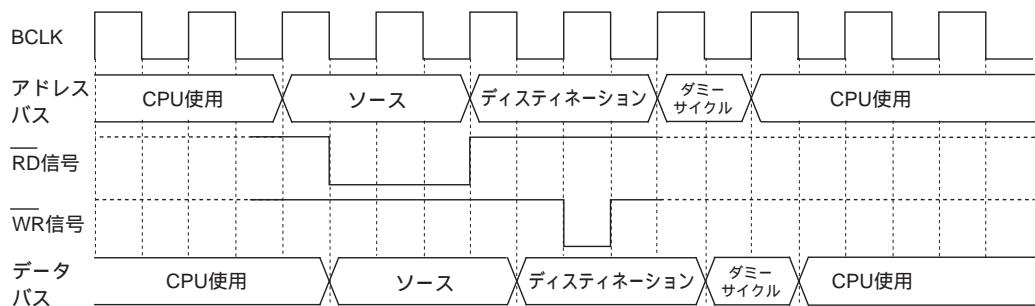
(1) 転送単位が8ビットの場合または転送単位が16ビットでソースが偶数番地の場合



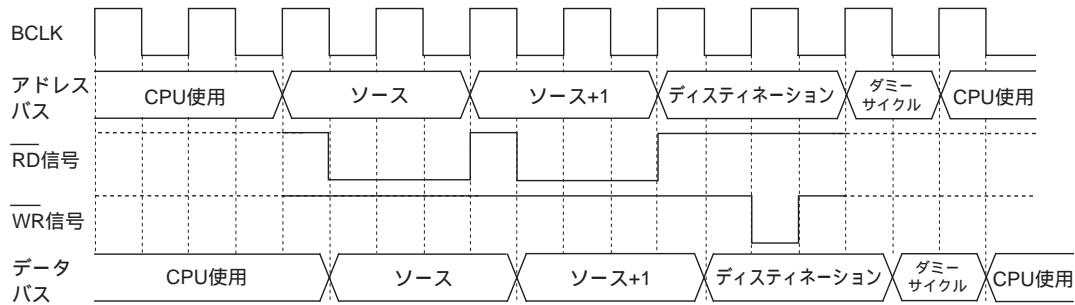
(2) 転送単位が16ビットでソースが奇数番地の場合または転送単位が16ビットで8ビットバスを使用している場合



(3) (1)の条件でソースリードに1ウェイトが入った場合



(4) (2)の条件でソースリードに1ウェイトが入った場合



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図12.5 ソースリードサイクル例

12.2 DMACの転送サイクル数

DMACの転送サイクル数は次のとおり計算できます。

表12.2にDMAC転送サイクル数、表12.3に係数j、kを示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表12.2 DMAC転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT = 1)	16ビット (BYTE = L)	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE = H)	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT = 0)	16ビット (BYTE = L)	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE = H)	偶 数	-	-	2	2
		奇 数	-	-	2	2

- : この条件はありません。

表12.3 係数j、k

	内部領域				外部領域							
	内部ROM、内部RAM		SFR		セパレートバス				マルチプレクスバス			
	ウェイトなし	ウェイトあり	1ウェイト (注1)	2ウェイト (注1)	ウェイトなし	ウェイトあり(注2)			1ウェイト	2ウェイト	3ウェイト	1ウェイト
j	1	2	2	3	1	2	3	4	3	3	4	
k	1	2	2	3	2	2	3	4	3	3	4	

注1 . PM2レジスタのPM20ビットの設定値に依存します。

注2 . CSEレジスタの設定値に依存します。

12.3 DMA許可

DMiCONレジスタ($i = 0, 1$)のDMAEビットを“1(許可)”にした後のデータ転送開始時に、DMACは次のように動作します。

- (a) DMiCONレジスタのDSDビットが“1(順方向)”の場合はSAR i レジスタの、DMiCONレジスタのDADビットが“1(順方向)”の場合はDARIレジスタの値を順方向アドレスポインタへリロードする
- (b) DMA i 転送カウンタリロードレジスタの値をDMA i 転送カウンタへリロードする

DMAEビットが“1”的場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く
 - (2) DMA i が初期状態(上記(a)(b)の状態)になっていることを、プログラムで確認する
- DMA i が初期状態になっていない場合は、(1)(2)を繰り返す

12.4 DMA要求

DMACは、チャネルごとにDMiSLレジスタ($i = 0, 1$)のDMSビット、DSEL3～DSEL0ビットで選択した要因をトリガとして、DMA要求を発生できます。表12.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生するど“1(要求あり)”になります。DMAEビットが“1(許可)”の場合、データ転送が開始される直前にDMASビットは“0(要求なし)”になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるため、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読みます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表12.4 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

$i = 0, 1$

12.5 チャネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング周期(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャネルのDMASビットは同時に“1(要求あり)”になります。この場合のチャネル優先順位はDMA0 > DMA1です。

次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。

図12.6に外部要因によるDMA転送例を示します。

図12.6に示すように、DMA0とDMA1の要求が同時に発生すると、チャネル優先順位が高いDMA0が先に受け付けられ、転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャネル1ビットのため、DMA要求の回数はカウントできません。したがって、図12.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0(要求なし)”にして、1転送単位終了後、CPUにバス使用権を返します。

CPUとのバスの使用優先順位については、「7.2.7 HOLD信号」も参照してください。

外部要因によるDMA要求が同時に入り、
DMA転送を最短サイクルで実行した場合の例

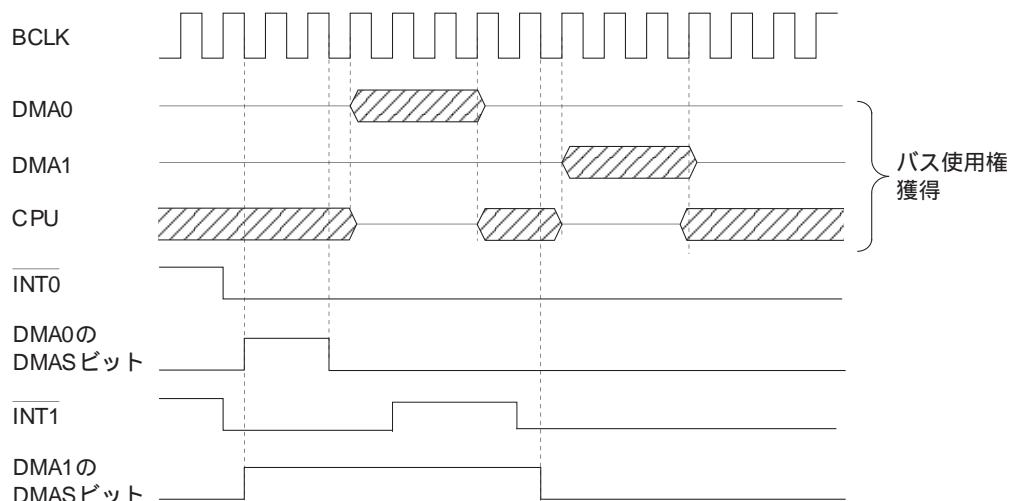


図12.6 外部要因によるDMA転送例

13 . タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図13.1にタイマA構成、図13.2にタイマB構成を示します。

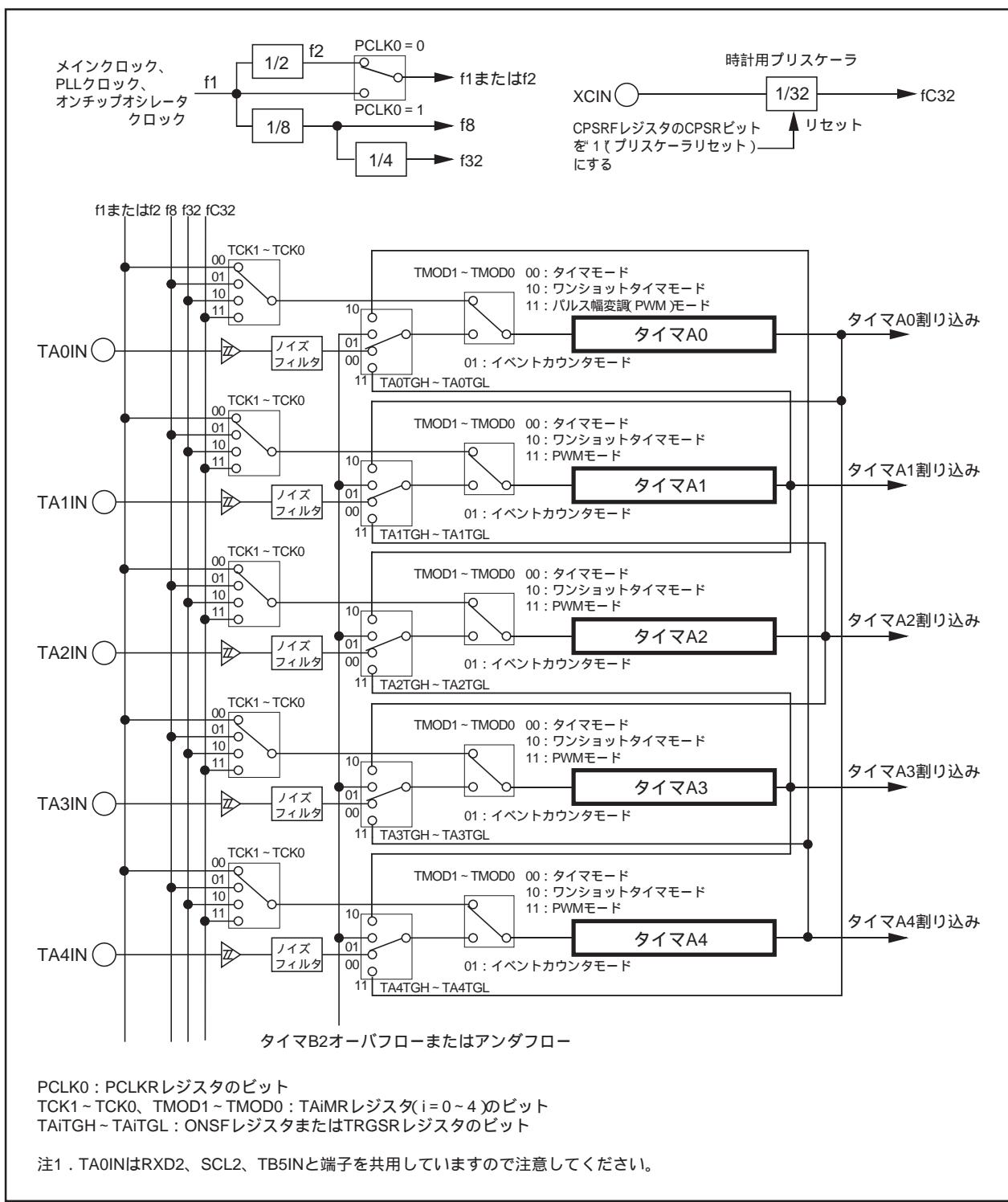


図13.1 タイマA構成

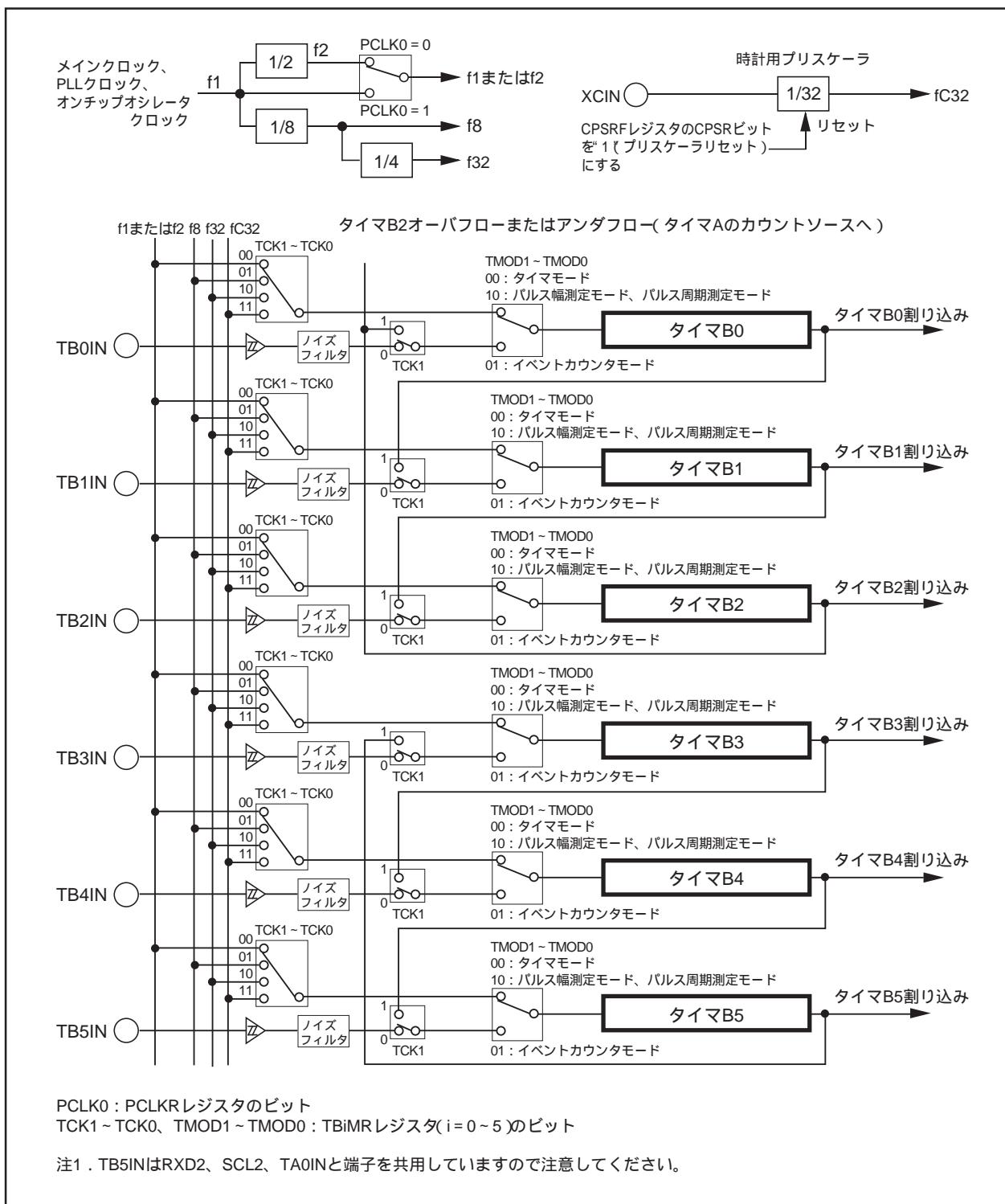


図13.2 タイマB構成

13.1 タイマA

図13.3にタイマAブロック図、図13.4～図13.6にタイマA関連レジスタを示します。

タイマAIは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ($i=0 \sim 4$)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調(PWM)モード 任意の幅のパルスを連続して出力するモード

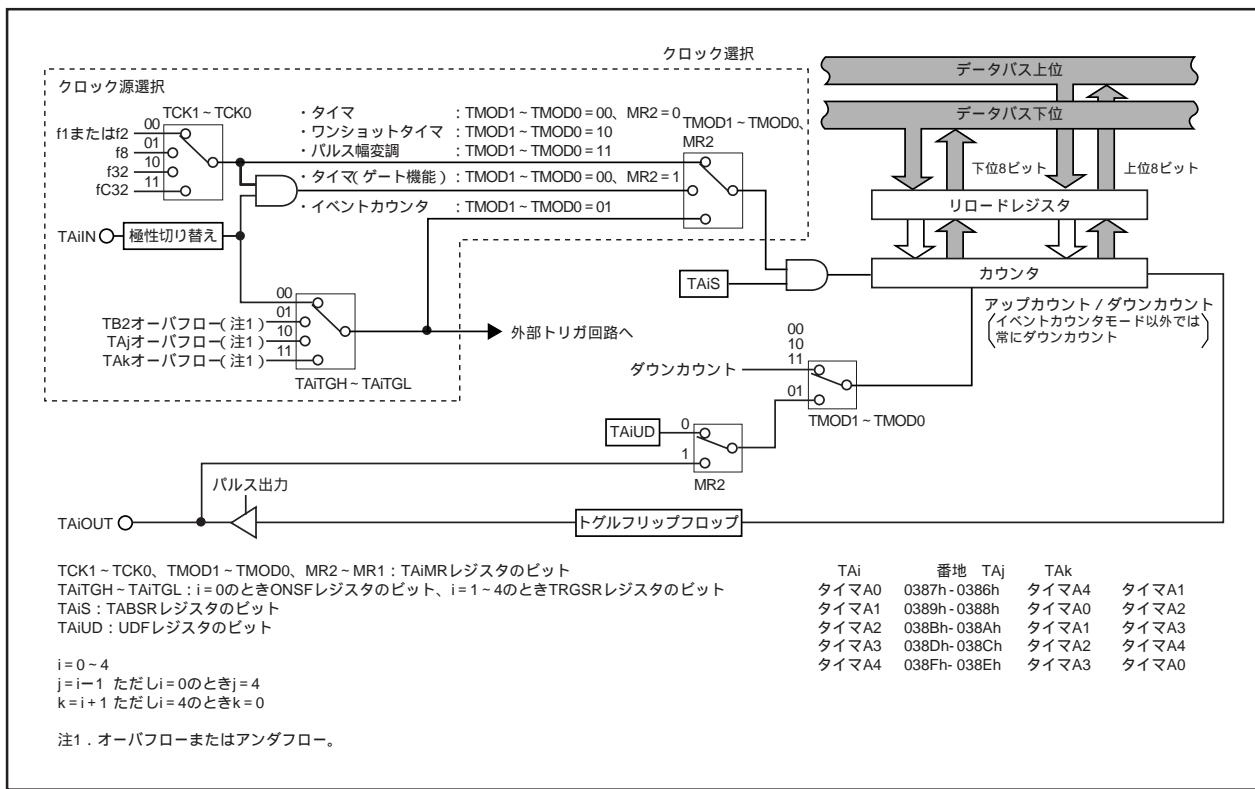


図13.3 タイマAブロック図

タイマAiモードレジスタ(i=0 ~ 4)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TA0MR ~ TA4MR	アドレス 0396h ~ 039Ah番地	リセット後の値 00h
ピットシンボル	ピット名	機能	RW
	TMOD0	b1 b0 00 : タイマモード 01 : イベントカウンタモード 10 : ワンショットタイマモード 11 : パルス幅変調(PWM)モード	RW
	TMOD1		RW
	MR0		RW
	MR1		RW
	MR2		RW
	MR3		RW
	TCK0	動作モードによって機能が異なる	RW
	TCK1	(動作モードによって機能が異なる)	RW

タイマAiレジスタ(i=0 ~ 4)(注1)

(b15) b7	(b8) b0	b7	シンボル TA0 TA1 TA2 TA3 TA4	アドレス 0387h-0386h番地 0389h-0388h番地 038Bh-038Ah番地 038Dh-038Ch番地 038Fh-038Eh番地	リセット後の値 不定 不定 不定 不定 不定
モード	機能	設定範囲	RW		
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h ~ FFFFh	RW		
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースをFFFFh - n+1分周し、ダウンカウント時、カウントソースをn+1分周する (注2)	0000h ~ FFFFh	RW		
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000h ~ FFFFh (注3、4)	WO		
パルス幅変調モード (16ビットPWM)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期 : $(2^{16}-1) / fj$ PWMパルスの“H”幅 : n / fj	0000h ~ FFFEh (注4、5)	WO		
パルス幅変調モード (8ビットPWM)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期 : $(2^8-1) \times (m+1) / fj$ PWMパルスの“H”幅 : (m+1)n / fj	00h ~ FEh (上位番地) 00h ~ FFh (下位番地) (注4、5)	WO		

注1 . 16ビット単位でアクセスしてください。

注2 . 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

注3 . TAIレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

注4 . TAIレジスタへはMOV命令を使用して書いてください。

注5 . TAIレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”的まで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットに“00h”を設定した場合も同様です。

図13.4 TA0MR ~ TA4MR、TA0 ~ TA4レジスタ

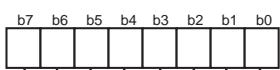
カウント開始フラグ							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル TABSR	アドレス 0380h番地	リセット後の値 00h	
				ピットシンボル	ピット名	機能	RW
				TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
				TA1S	タイマA1カウント開始フラグ		RW
				TA2S	タイマA2カウント開始フラグ		RW
				TA3S	タイマA3カウント開始フラグ		RW
				TA4S	タイマA4カウント開始フラグ		RW
				TB0S	タイマB0カウント開始フラグ		RW
				TB1S	タイマB1カウント開始フラグ		RW
				TB2S	タイマB2カウント開始フラグ		RW

アップダウンフラグ(注1)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル UDF	アドレス 0384h番地	リセット後の値 00h	
				ピットシンボル	ピット名	機能	RW
				TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント	RW
				TA1UD	タイマA1アップダウンフラグ		RW
				TA2UD	タイマA2アップダウンフラグ		RW
				TA3UD	タイマA3アップダウンフラグ		RW
				TA4UD	タイマA4アップダウンフラグ		RW
				TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 (注2、3)	WO
				TA3P	タイマA3二相パルス信号処理機能選択ビット		WO
				TA4P	タイマA4二相パルス信号処理機能選択ビット		WO

注1 . UDFレジスタへはMOV命令を使用して書いてください。
注2 . TA2IN ~ TA4IN、TA2OUT ~ TA4OUT端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注3 . 二相パルス信号処理機能を使用しない場合、タイマA2 ~ タイマA4に対応するビットを“0”にしてください。

図13.5 TABSR、UDFレジスタ

ワンショット開始フラグ



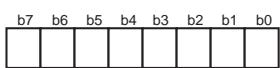
シンボル
ONSF アドレス
0382h番地 リセット後の値
00h

ビットシンボル	ビット名	機能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0~4)のTMOD1~TMOD0ビットが“10b”(ワンショットタイマモード)、かつTAIMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。	RW
TA1OS	タイマA1ワンショット開始フラグ		RW
TA2OS	タイマA2ワンショット開始フラグ		RW
TA3OS	タイマA3ワンショット開始フラグ		RW
TA4OS	タイマA4ワンショット開始フラグ	読んだ場合、その値は“0”	RW
TAZIE	Z相入力有効ビット	0 : Z相入力無効 1 : Z相入力有効	RW
TA0TGL	タイマA0イベント / トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA4を選択(注2) 1 1 : TA1を選択(注2)	RW
TA0TGH			RW

注1 . PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。

注2 . オーバフローまたはアンダフロー。

トリガ選択レジスタ



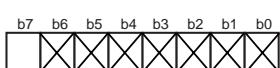
シンボル
TRGSR アドレス
0383h番地 リセット後の値
00h

ビットシンボル	ビット名	機能	RW
TA1TGL	タイマA1イベント / トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA0を選択(注2) 1 1 : TA2を選択(注2)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント / トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA1を選択(注2) 1 1 : TA3を選択(注2)	RW
TA2TGH			RW
TA3TGL	タイマA3イベント / トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA2を選択(注2) 1 1 : TA4を選択(注2)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント / トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA3を選択(注2) 1 1 : TA0を選択(注2)	RW
TA4TGH			RW

注1 . TA1IN ~ TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2 . オーバフローまたはアンダフロー。

時計用プリスケーラリセットフラグ



シンボル
CPSRF アドレス
0381h番地 リセット後の値
0XXXXXXXXb

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-	-
CPSR	時計用プリスケーラリセットフラグ	このビットを“1”にすると時計用プリスケーラが初期化される (読んだ場合、その値は“0”)	RW

図13.6 ONSF、TRGSR、CPSRFレジスタ

13.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表13.1にタイマモードの仕様、図13.7にタイマモード時のTAiMRレジスタを示します。

表13.1 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n : TAiレジスタの設定値 0000h ~ FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止)の期間は“L”を出力

i=0~4

タイマAiモードレジスタ(i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
		0				0	0	TA0MR ~ TA4MR	0396h ~ 039Ah番地	00h
ビットシンボル								ビット名	機能	RW
TMOD0								動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1										RW
MR0								パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1									b4 b3 0 0 : ゲート機能なし 0 1 : (TAiIN端子は入出力ポート) 1 0 : TAiIN端子に“L”が入力されている 期間カウントする(注1) 1 1 : TAiIN端子に“H”が入力されている 期間カウントする(注1)	RW
MR2										RW
MR3								タイマモードでは“0”にしてください		RW
TCK0								カウントソース選択ビット	b7 b6 0 0 : f1またはf2(注2) 0 1 : f8 1 0 : f32 1 1 : fc32	RW
TCK1										RW

注1 . TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2 . PCLKRレジスタのPCLK0ビットで選択してください。

図13.7 タイマモード時のTAiMRレジスタ

13.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

タイマA2、A3、A4は、二相の外部信号をカウントできます。

表13.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図13.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表13.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

図13.9にイベントカウンタモード時のTA2MR～TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表13.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子に入力された外部信号(プログラムで有効エッジを選択可能) タイマB2のオーバフローまたはアンダフロー タイマAjのオーバフローまたはアンダフロー タイマAkのオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリー郎機能選択時は、リロードせずカウントを継続する
分周比	<ul style="list-style-type: none"> アップカウント時 $1/(FFFFh - n+1)$ ダウンカウント時 $1/(n+1)$ n : TAiレジスタの設定値 $0000h \sim FFFFh$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> フリー郎カウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止)の期間は“L”を出力

$i = 0 \sim 4$

$j = i - 1$ 、ただし $i = 0$ のとき $j = 4$

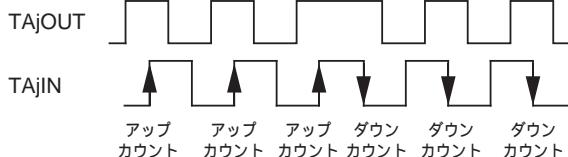
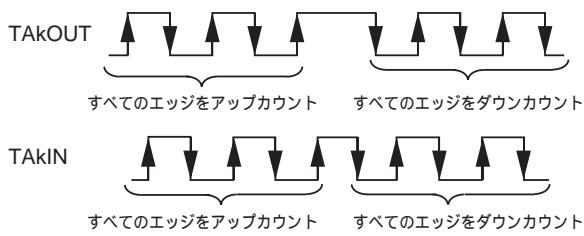
$k = i + 1$ 、ただし $i = 4$ のとき $k = 0$

タイマAiモードレジスタ(i = 0 ~ 4)(二相パルス信号処理を使用しない場合)										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
		0			0	1		TA0MR ~ TA4MR	0396h ~ 039Ah番地	00h
ピットシンボル	ピット名	機能	RW							
TMOD0	動作モード選択ピット	b1 b0 0 1 : イベントカウンタモード(注1)	RW							
TMOD1		0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (TAiOUT端子はパルス出力端子)	RW							
MR0	パルス出力機能選択ピット	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	RW							
MR1	カウント極性選択ピット(注2)	0 : UDFレジスタ 1 : TAiOUT端子の入力信号(注3)	RW							
MR2	アップ / ダウン切り替え 要因選択ピット	0 : リロードタイプ 1 : フリーランタイプ	RW							
MR3	イベントカウンタモードでは“0”にしてください		RW							
TCK0	カウントタイプ選択ピット	0 : リロードタイプ 1 : フリーランタイプ	RW							
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW							

注1 . イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。
注2 . ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。
注3 . TAiOUT端子に“L”が入力されているときダウンカウント、“H”が入力されているときアップカウントします。
TAiOUT端子に対応するポート方向ピットは“0”(入力モード)にしてください。

図13.8 イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

表13.3 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> ・アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ・オーバフローまたはアンダーフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する
分周比	<ul style="list-style-type: none"> ・アップカウント時 $1(\text{FFFFh} - n+1)$ ・ダウンカウント時 $1(n+1)$ $n : \text{TAiレジスタの設定値 } 0000h \sim \text{FFFFh}$
カウント開始条件	TABSRレジスタのTAiSビットを“1(カウント開始)”にする
カウント停止条件	TAiSビットを“0(カウント停止)”にする
割り込み要求発生タイミング	オーバフロー時またはアンダーフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	<ul style="list-style-type: none"> ・通常処理動作(タイマA2、タイマA3) TAjOUT端子の入力信号が“H”的期間、TAjIN端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。  アップ カウント アップ カウント アップ カウント ダウン カウント ダウン カウント ・4倍処理動作(タイマA3、タイマA4) TAKOUT端子の入力信号が“H”的期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをアップカウントします。 TAKOUT端子の入力信号が“H”的期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをダウンカウントします。  すべてのエッジをアップカウント すべてのエッジをダウンカウント ・Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にする

 $i = 2 \sim 4$ $j = 2, 3$ $k = 3, 4$

注1 . タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4倍処理動作です。

タイマAiモードレジスタ(i=2~4)(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル TA2MR ~ TA4MR	アドレス 0398h ~ 039Ah番地	リセット後の値 00h
ピットシンボル	ピット名	機能		RW						
TMOD0	動作モード選択ピット	b1 b0 0 1 : イベントカウンタモード		RW						
TMOD1				RW						
MR0		二相パルス信号処理を使用する場合、"0"にしてください。		RW						
MR1				RW						
MR2		二相パルス信号処理を使用する場合、"1"にしてください。		RW						
MR3		二相パルス信号処理を使用する場合、"0"にしてください。		RW						
TCK0	カウント動作タイプ選択ピット	0: リロードタイプ 1: フリーランタイプ		RW						
TCK1	二相パルス処理動作選択ピット(注1、2)	0: 通常処理動作 1: 4倍処理動作		RW						

注1. タイマA3は選択できます。このピットにかかわらずタイマA2は通常処理動作に、タイマA4は4倍処理動作に固定です。
 注2. 二相パルス信号処理を行う場合、次のとおりしてください。
 ・UDFレジスタのTAiPピットを“1”(二相パルス信号処理機能を許可)にする
 ・TRGSRレジスタのTAiTGH、TAiTGLピットを“00b”(TAiIN端子入力)にする
 ・TAiIN、TAiOUTに対応するポート方向ピットを“0”(入力モード)にする

図13.9 イベントカウンタモード時のTA2MR ~ TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

13.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウント値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍速処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウントソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図13.10に二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバーフローまたはアンダーフローとZ相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生するため、この機能使用時はタイマA3割り込みを使用しないでください。

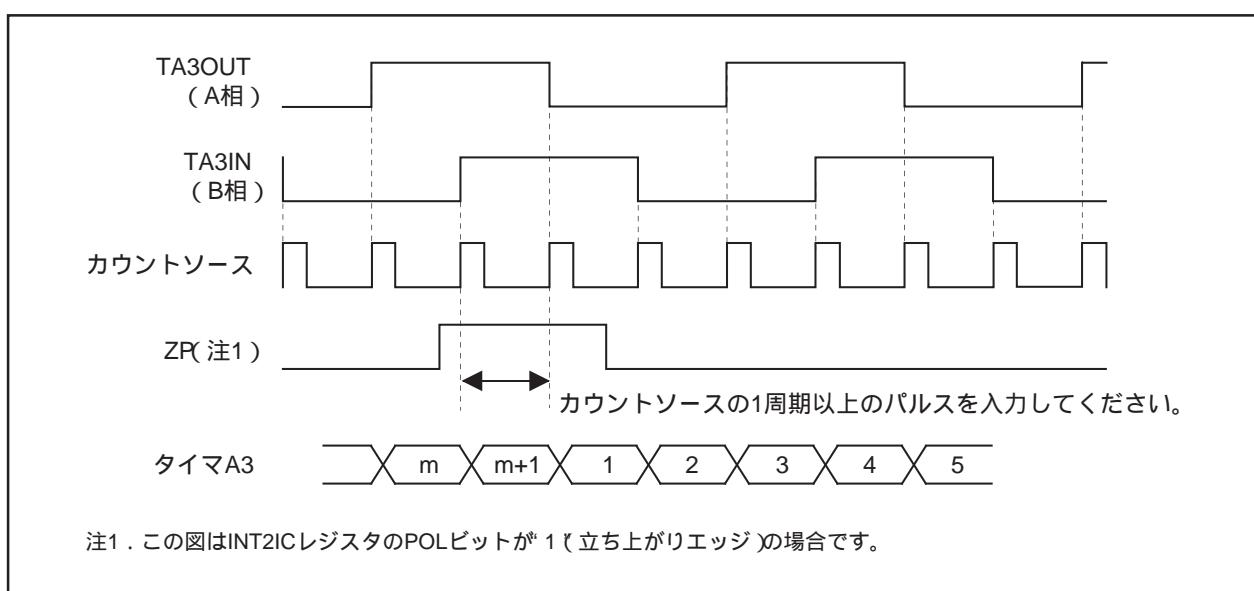


図13.10 二相パルス(A相、B相)とZ相の関係

13.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。

表13.4にワンショットタイマモードの仕様、図13.11にワンショットタイマモード時のTAiMRレジスタを示します。

表13.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・カウンタが“0000h”になるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n : TAiレジスタの設定値 0000h ~ FFFFh ただし、“0000h”を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーバフローまたはアンダフロー ・タイマAjのオーバフローまたはアンダフロー ・タイマAkのオーバフローまたはアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> ・カウント値が“0000h”になりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が“0000h”になるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

i = 0 ~ 4

j = i - 1、ただし i = 0 のとき j = 4

k = i + 1、ただし i = 4 のとき k = 0

タイマAiモードレジスタ(i=0~4)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル TA0MR ~ TA4MR			
				アドレス 0396h ~ 039Ah番地			
				リセット後の値 00h			
ビットシンボル	ビット名	機能	RW				
TMOD0	動作モード選択ビット	^{b1 b0} 1 0 : ワンショットタイマモード	RW				
TMOD1			RW				
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (TAiOUT端子はパルス出力端子)	RW				
MR1	外部トリガ選択ビット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	RW				
MR2	トリガ選択ビット	0 : TAiOSビットが有効 1 : TAiTGH ~ TAiTGLビットで選択	RW				
MR3	ワンショットタイマモードでは“0”にしてください		RW				
TCK0	カウントソース選択ビット	^{b7 b6} 0 0 : f1またはf2(注3) 0 1 : f8 1 0 : f32 1 1 : fC32	RW				
TCK1			RW				

注1 . ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。
 注2 . TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注3 . PCLKRレジスタのPCLK0ビットで選択してください。

図13.11 ワンショットタイマモード時のTAiMRレジスタ

13.1.4 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。

表13.5にPWMモードの仕様、図13.12にPWMモード時のTAiMRレジスタ、図13.13に16ビットパルス幅変調器の動作例、図13.14に8ビットパルス幅変調器の動作例を示します。

表13.5 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ・PWMパルスの立ち上がりでリロードしてカウントを継続 ・カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・“ H 幅 n / fj n : TAiレジスタの設定値 ・周期 ($2^{16} - 1$)/ fj 固定 fj : カウントソースの周波数(f1、f2、f8、f32、fc32)
8ビットPWM	<ul style="list-style-type: none"> ・“ H 幅 n ×(m+1) / fj n : TAiレジスタの上位番地の設定値 ・周期 ($2^8 - 1$)×(m+1)/ fj m : TAiレジスタの下位番地の設定値
カウント開始条件	<ul style="list-style-type: none"> ・TABSРレジスタのTAiSビットを“ 1 (カウント開始)”にする ・TAiSビットが“ 1 ”で、かつTAiIN端子からの外部トリガ入力 ・TAiSビットが“ 1 ”で、かつ次のトリガ発生 タイマB2のオーバフローまたはアンダフロー タイマAjのオーバフローまたはアンダフロー タイマAkのオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“ 0 (カウント停止)”にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i = 0 ~ 4

j = i - 1、ただし i = 0 のとき j = 4

k = i + 1、ただし i = 4 のとき k = 0

タイマAiモードレジスタ($i = 0 \sim 4$)									
b7	b6	b5	b4	b3	b2	b1 b0	シンボル	アドレス	リセット後の値
						1 1	TA0MR ~ TA4MR	0396h ~ 039Ah番地	00h
ピットシンボル	ピット名	機能	RW						
TMOD0	動作モード選択ピット	^{b1 b0} 11 : パルス幅変調(PWM)モード	RW						
TMOD1			RW						
MR0	パルス出力機能選択ピット (注3)	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (TAiOUT端子はパルス出力端子)	RW						
MR1	外部トリガ選択ピット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	RW						
MR2	トリガ選択ピット	0 : TABSRレジスタのTAiSビットへの1書き込み 1 : TAiTGH ~ TAiTGLビットで選択	RW						
MR3	16/8ビットPWMモード選択ピット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	RW						
TCK0	カウントソース選択ピット	^{b7 b6} 0 0 : f1またはf2(注4) 0 1 : f8 1 0 : f32 1 1 : fC32	RW						
TCK1			RW						

注1 . ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが^a 00b (TAiIN端子の入力)のとき有効。
 注2 . TAiIN端子に対応するポート方向ピットは^a 0 (入力モード)にしてください。
 注3 . PWMパルスを出力する場合は^a 1 (パルス出力あり)にしてください。
 注4 . PCLKRレジスタのPCLK0ビットで選択してください。

図13.12 PWMモード時のTAiMRレジスタ

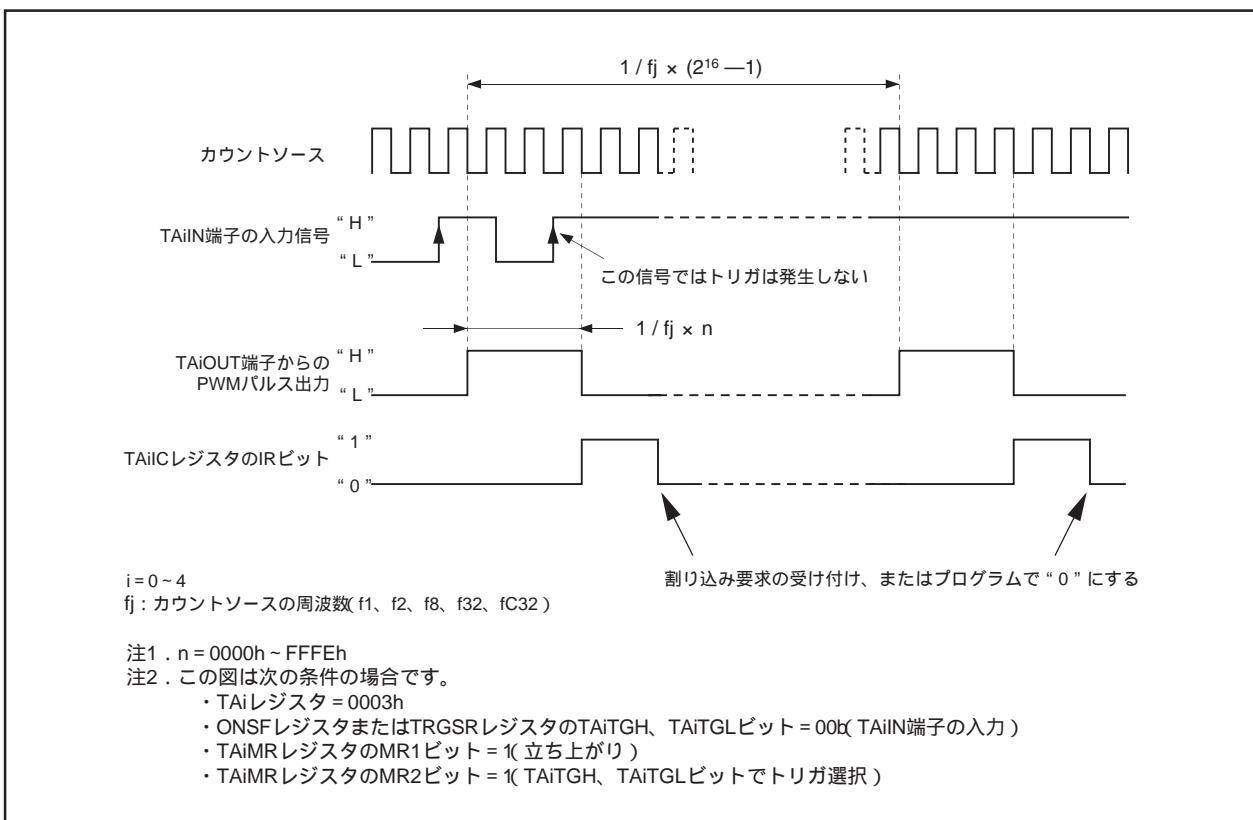


図13.13 16ビットパルス幅変調器の動作例

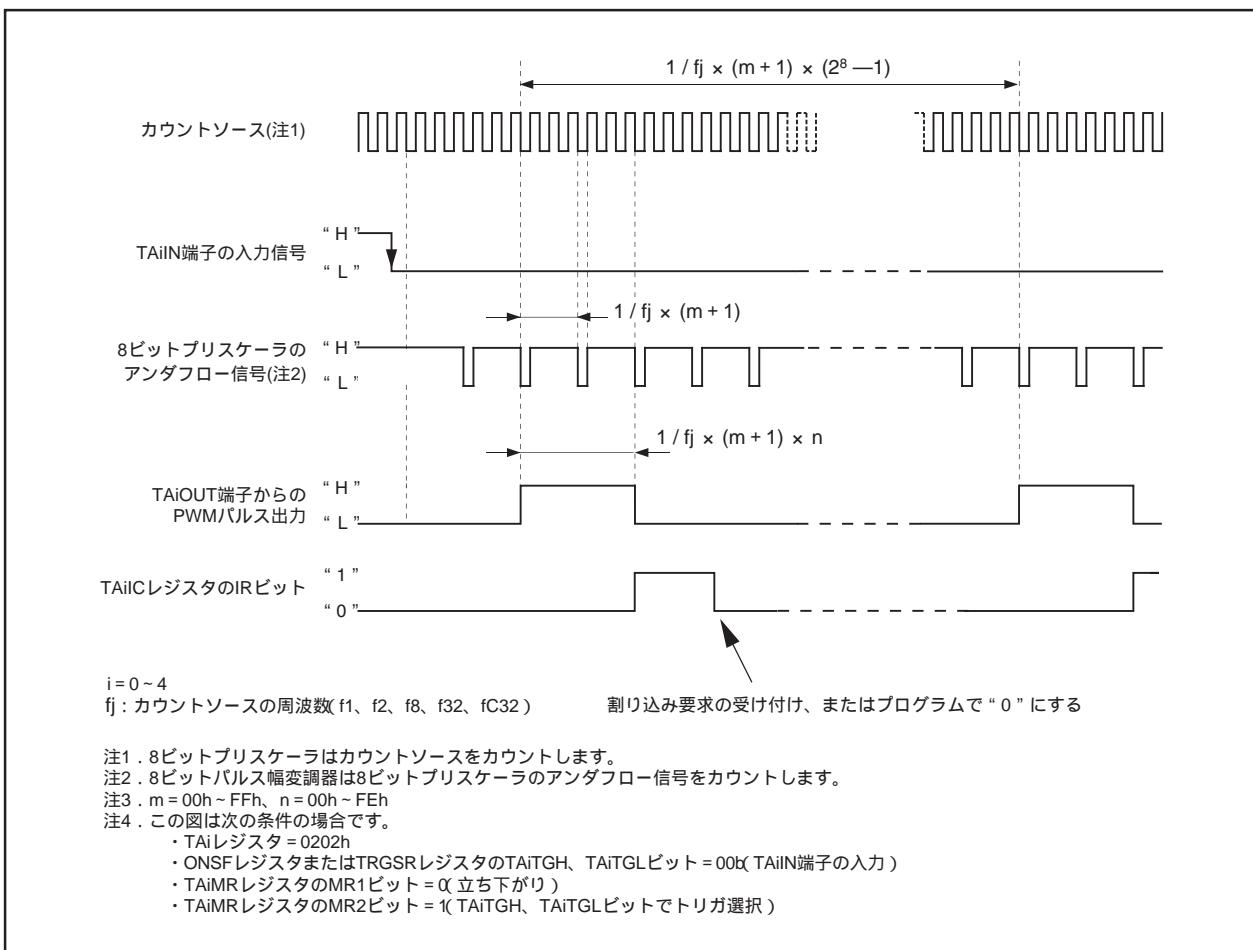


図13.14 8ビットパルス幅変調器の動作例

13.2 タイマB

図13.15にタイマBブロック図、図13.16、図13.17にタイマB関連レジスタを示します。

タイマBには次の3種類のモードがあり、モードはTBiMRレジスタ($i=0 \sim 5$)のTMOD1～TMOD0ビットで選択できます。

- ・ タイマモード 内部カウントソースをカウントするモード
- ・ イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・ パルス周期測定モード、パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

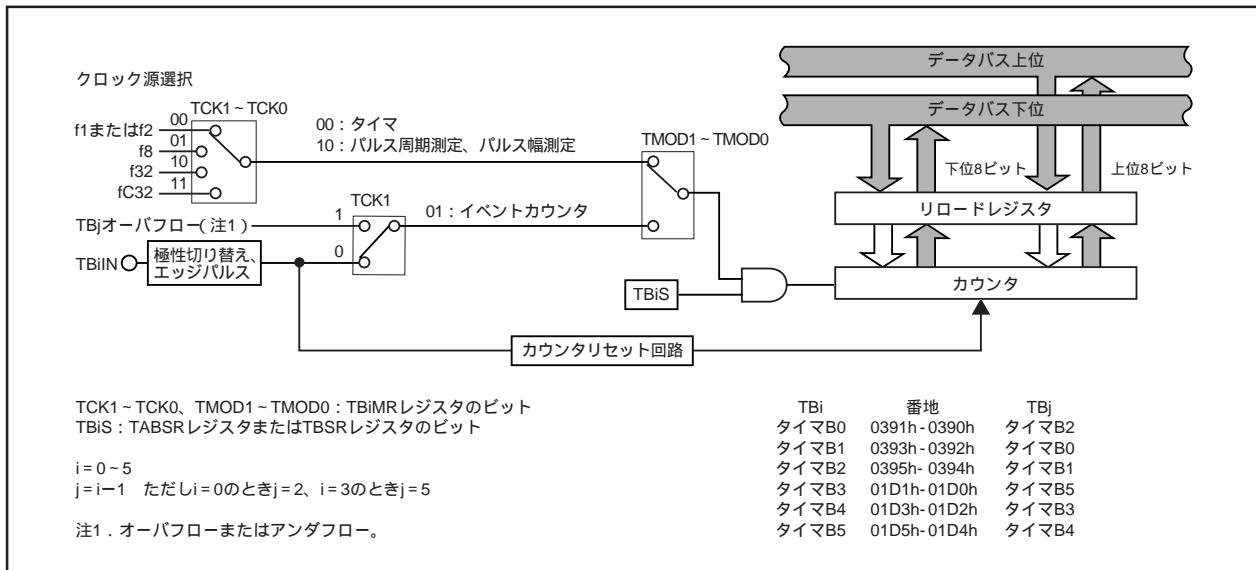
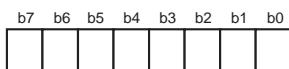


図13.15 タイマ B ブロック図

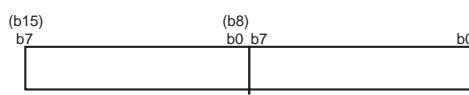
タイマBiモードレジスタ($i = 0 \sim 5$)

シンボル	アドレス	リセット後の値
TB0MR ~ TB2MR	039Bh ~ 039Dh番地	00XX0000b
TB3MR ~ TB5MR	01DBh ~ 01DDh番地	00XX0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	^{b1 b0} 00 : タイマモード 01 : イベントカウンタモード 10 : パルス周期測定モード、 パルス幅測定モード 11 : 設定しないでください	RW
TMOD1			RW
MR0			RW
MR1			RW
MR2		動作モードによって機能が異なる	RW (注1) (注2)
MR3			RO
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

注1. タイマB0、タイマB3。

注2. タイマB1、タイマB2、タイマB4、タイマB5。

タイマBiレジスタ($i = 0 \sim 5$)(注1)

シンボル	アドレス	リセット後の値
TB0	0391h -0390h 番地	不定
TB1	0393h -0392h 番地	不定
TB2	0395h -0394h 番地	不定
TB3	01D1h -01D0h 番地	不定
TB4	01D3h -01D2h 番地	不定
TB5	01D5h -01D4h 番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h ~ FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h ~ FFFFh	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	-	RO

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図13.16 TB0MR ~ TB5MR、TB0 ~ TB5レジスタ

カウント開始フラグ							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル TABSR	アドレス 0380h番地	リセット後の値 00h	
ピットシンボル	ピット名	機能			RW		
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始			RW		
TA1S	タイマA1カウント開始フラグ				RW		
TA2S	タイマA2カウント開始フラグ				RW		
TA3S	タイマA3カウント開始フラグ				RW		
TA4S	タイマA4カウント開始フラグ				RW		
TB0S	タイマB0カウント開始フラグ				RW		
TB1S	タイマB1カウント開始フラグ				RW		
TB2S	タイマB2カウント開始フラグ				RW		

タイマB3, B4, B5カウント開始フラグ							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル TBSR	アドレス 01C0h番地	リセット後の値 000XXXXXb	
ピットシンボル	ピット名	機能			RW		
— (b4-b0)	何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は不定。				-		
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始			RW		
TB4S	タイマB4カウント開始フラグ				RW		
TB5S	タイマB5カウント開始フラグ				RW		

時計用プリスケーラリセットフラグ							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル CPSRF	アドレス 0381h番地	リセット後の値 0XXXXXXXb	
ピットシンボル	ピット名	機能			RW		
— (b6-b0)	何も配置されていない。書く場合、 “ 0 ” を書いてください。 読んだ場合、その値は不定。				-		
CPSR	時計用プリスケーラリセットフラグ	このピットを “ 1 ” にすると時計用 プリスケーラが初期化される (読んだ場合、その値は “ 0 ”)			RW		

図13.17 TABSR、TBSR、CPSRFレジスタ

13.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表13.6にタイマモードの仕様、図13.18にタイマモード時のTBiMRレジスタを示します。

表13.6 タイマモードの仕様

項目	仕様
カウントソース	f1, f2, f8, f32, fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)$ n : TBiレジスタの設定値 0000h ~ FFFFh
カウント開始条件	TBiSビット(注1)を“1(カウント開始)”にする
カウント停止条件	TBiSビットを“0(カウント停止)”にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i = 0 ~ 5

注1 . TB0S ~ TB2SビットはTABSРレジスタのビット5~7、TB3S ~ TB5SビットはTBSRレジスタのビット5~7です。

タイマBiモードレジスタ(i=0~5)						
b7	b6	b5	b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
				TB0MR ~ TB2MR	039Bh ~ 039Dh番地	00XX0000b
				TB3MR ~ TB5MR	01DBh ~ 01DDh番地	00XX0000b
ビットシンボル	ビット名	機能	RW			
TMOD0	動作モード選択ビット 0 0 : タイマモード	b1 b0	RW			
TMOD1			RW			
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		RW			
MR1			RW			
MR2	TB0MR、TB3MRレジスタの場合 タイマモードでは“0”にしてください。 TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW		
MR3	タイマモードで書く場合、“0”を書いてください。 タイマモードで読んだ場合、その値は不定。			-		
TCK0	カウントソース選択ビット 0 0 : f1またはf2(注1) 0 1 : f8 1 0 : f32 1 1 : fC32	b7 b6	RW			
TCK1			RW			

注1 . PCLKRレジスタのPCLK0ビットで選択してください。

図13.18 タイマモード時のTBiMRレジスタ

13.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

表13.7にイベントカウンタモードの仕様、図13.19にイベントカウンタモード時のTBiMRレジスタを示します。

表13.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> TBiIN端子に入力された外部信号(カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可能) タイマBjのオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	• 1($n+1$) n : TBiSレジスタの設定値 0000h ~ FFFFh
カウント開始条件	TBiSビット(注1)を“ 1 ”(カウント開始)にする
カウント停止条件	TBiSビットを“ 0 ”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i = 0 ~ 5

j = i - 1 、ただし i = 0 のとき j = 2 、 i = 3 のとき j = 5

注1 . TB0S ~ TB2SビットはTBSRレジスタのビット5~7、TB3S ~ TB5SビットはTBSRレジスタのビット5~7です。

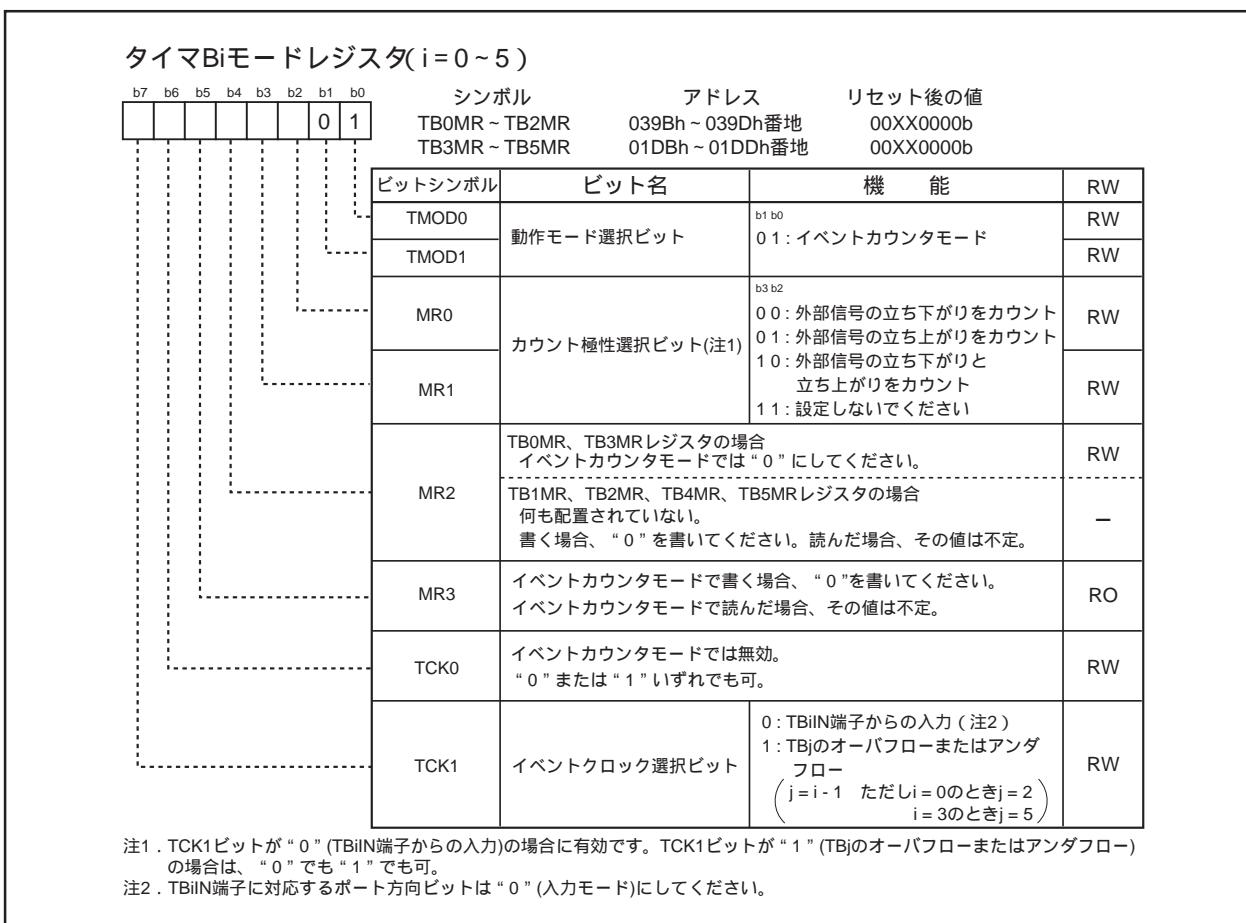


図13.19 イベントカウンタモード時のTBiMRレジスタ

13.2.3 パルス周期測定、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。

表13.8にパルス周期測定モード、パルス幅測定モードの仕様、図13.20にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ、図13.21にパルス周期測定時の動作図、図13.22にパルス幅測定時の動作図を示します。

表13.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TBiSビット(注1)を“1(カウント開始)”にする
カウント停止条件	TBiSビットを“0(カウント停止)”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・測定パルスの有効エッジ入力時(注2) ・オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になる。TBiSビットが“1(カウント開始)”のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0(オーバフローなし)”になる
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注3)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

i = 0 ~ 5

注1 . TB0S ~ TB2SビットはTBSRレジスタのビット5~7、TB3S ~ TB5SビットはTBSRレジスタのビット5~7です。

注2 . カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注3 . カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

タイマBiモードレジスタ($i=0 \sim 5$)										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
					1	0		TB0MR ~ TB2MR TB3MR ~ TB5MR	039Bh ~ 039Dh番地 01DBh ~ 01DDh番地	00XX0000b 00XX0000b
								ピットシンボル	ピット名	機能
								TMOD0	動作モード選択ピット	RW
								TMOD1		RW
								MRO	測定モード選択ピット	RW
								MR1		RW
								MR2	TB0MR、TB3MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。 TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。	
								MR3	タイマBiオーバフロー フラグ(注1)	0: オーバフローなし 1: オーバフローあり
								TCK0	カウントソース選択ピット	RW
								TCK1		RW

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S ~ TB2SビットはTABSРレジスタのビット5~7、TB3S ~ TB5SビットはTBSRレジスタのビット5~7です。

注2. PCLKRレジスタのPCLK0ビットで選択してください。

図13.20 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

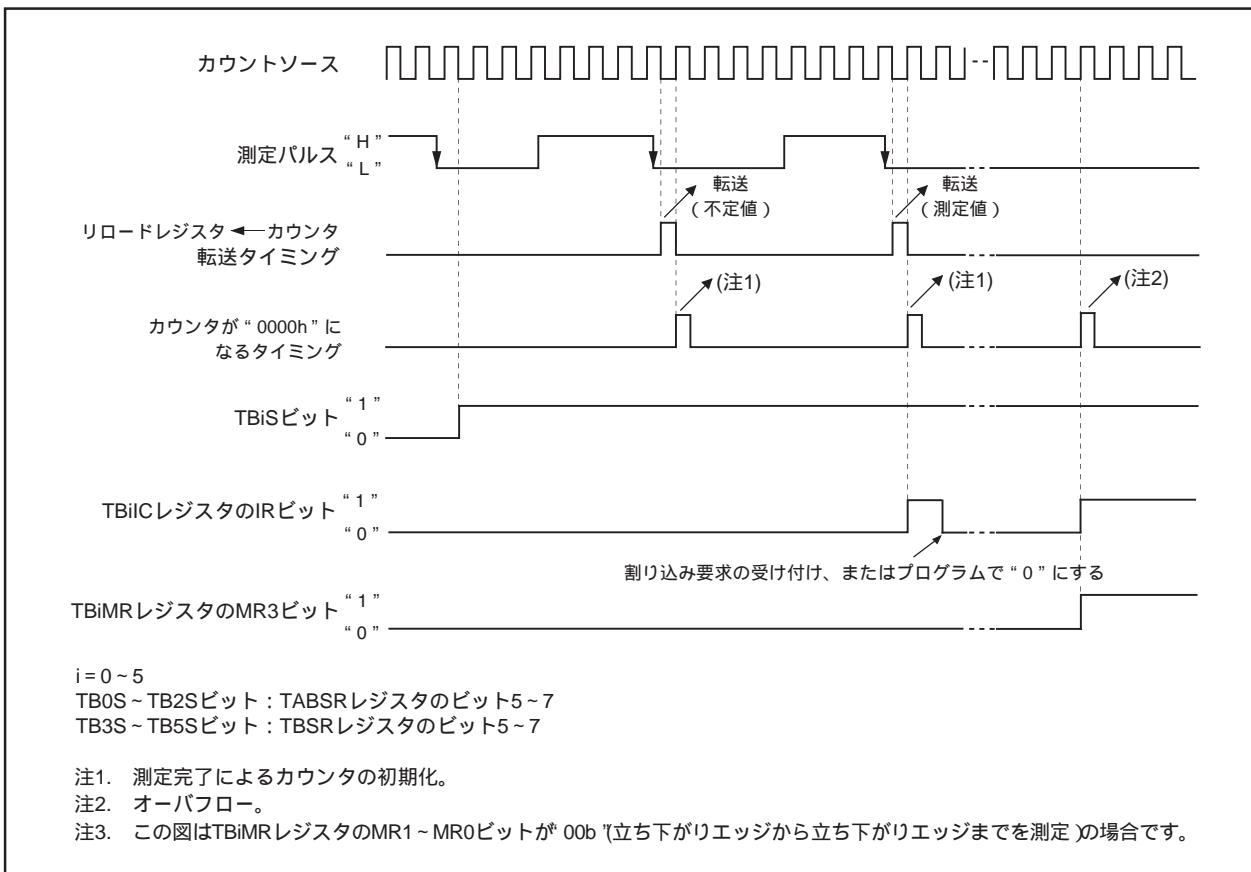


図13.21 パルス周期測定時の動作図

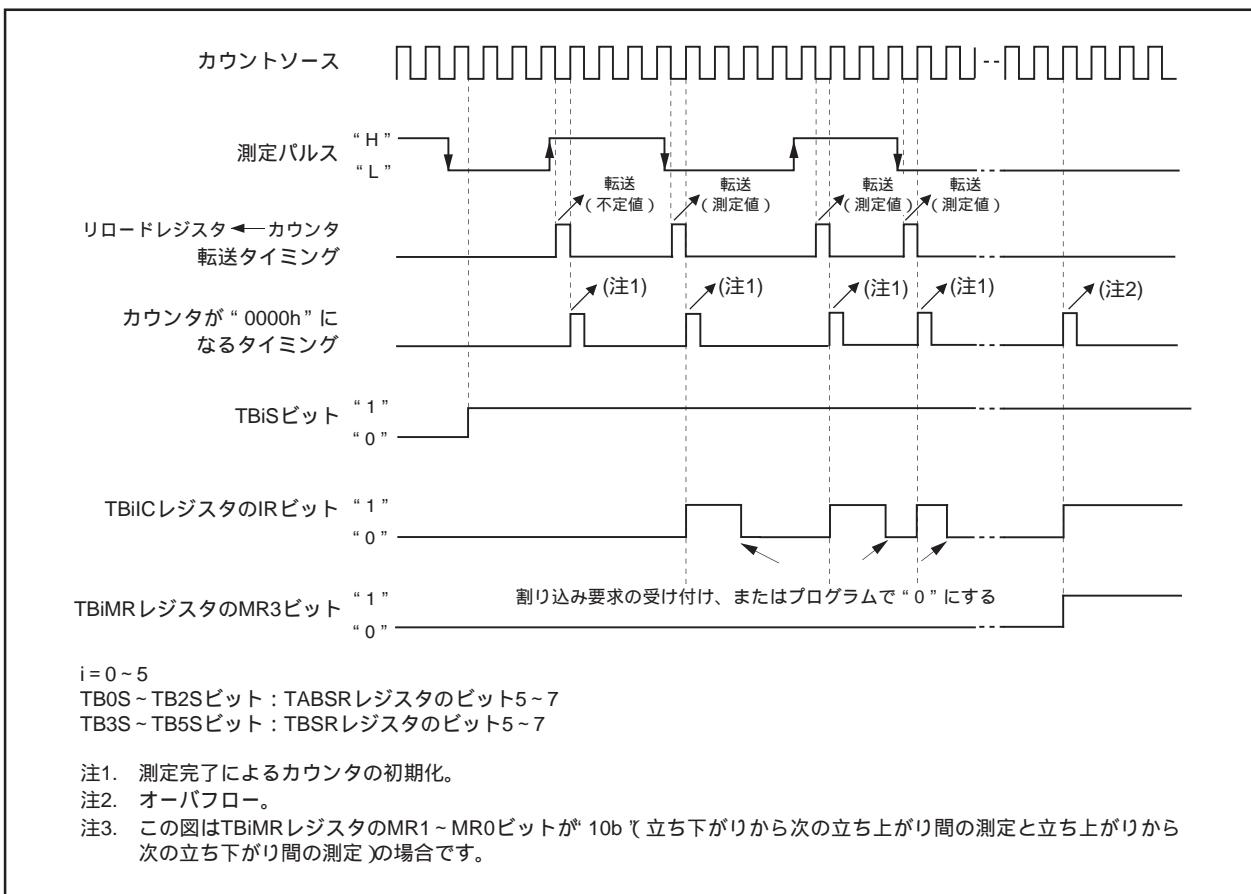


図13.22 パルス幅測定時の動作図

14 . 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。

表14.1に三相モータ制御用タイマ機能の仕様、図14.1に三相モータ制御用タイマ機能ブロック図、図14.2～図14.8に三相モータ制御用タイマ機能関連レジスタを示します。

表14.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	NMI端子に“ L ”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) <ul style="list-style-type: none"> ・タイマA4 : U、\bar{U}相波形制御 ・タイマA1 : V、\bar{V}相波形制御 ・タイマA2 : W、\bar{W}相波形制御 タイマB2(タイマモードで使用) <ul style="list-style-type: none"> ・搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) <ul style="list-style-type: none"> ・短絡防止時間制御
出力波形	三角波変調、鋸波変調 <ul style="list-style-type: none"> ・1周期すべて“ H ”または“ L ”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調 : カウントソース × (m+1) × 2 鋸波変調 : カウントソース × (m+1) m : TB2レジスタ設定値。0000h ~ FFFFh カウントソース : f1、f2、f8、f32、fc32
三相PWM出力幅	三角波変調 : カウントソース × n × 2 鋸波変調 : カウントソース × n n : TA4、TA1、TA2(INV11ビットが“ 1 ”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h ~ FFFFh カウントソース : f1、f2、f8、f32、fc32
短絡防止時間(幅)	カウントソース × p、または短絡防止時間なし p : DTTレジスタ設定値。01h ~ FFh カウントソース : f1、f2、f1の2分周、f2の2分周
アクティブルーベル	“ H ”または“ L ”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり。正逆同時アクティブ検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1 . NMI入力による強制遮断はTB2SCレジスタのIVPCR1ビットが“ 1 ”(NMI端子入力による三相出力強制遮断を許可)のとき有効です。 IVPCR1ビットが“ 1 ”のとき、NMI端子に“ L ”が入力されると、対象端子は使用している機能に関係なく、ハイインピーダンス状態になります。

- 対象端子
- P7_2/CLK2/TA1OUT/V
 - P7_3/CTS2/RTS2/TA1IN/ \bar{V}
 - P7_4/TA2OUT/W
 - P7_5/TA2IN/W
 - P8_0/TA4OUT/U
 - P8_1/TA4IN/ \bar{U}

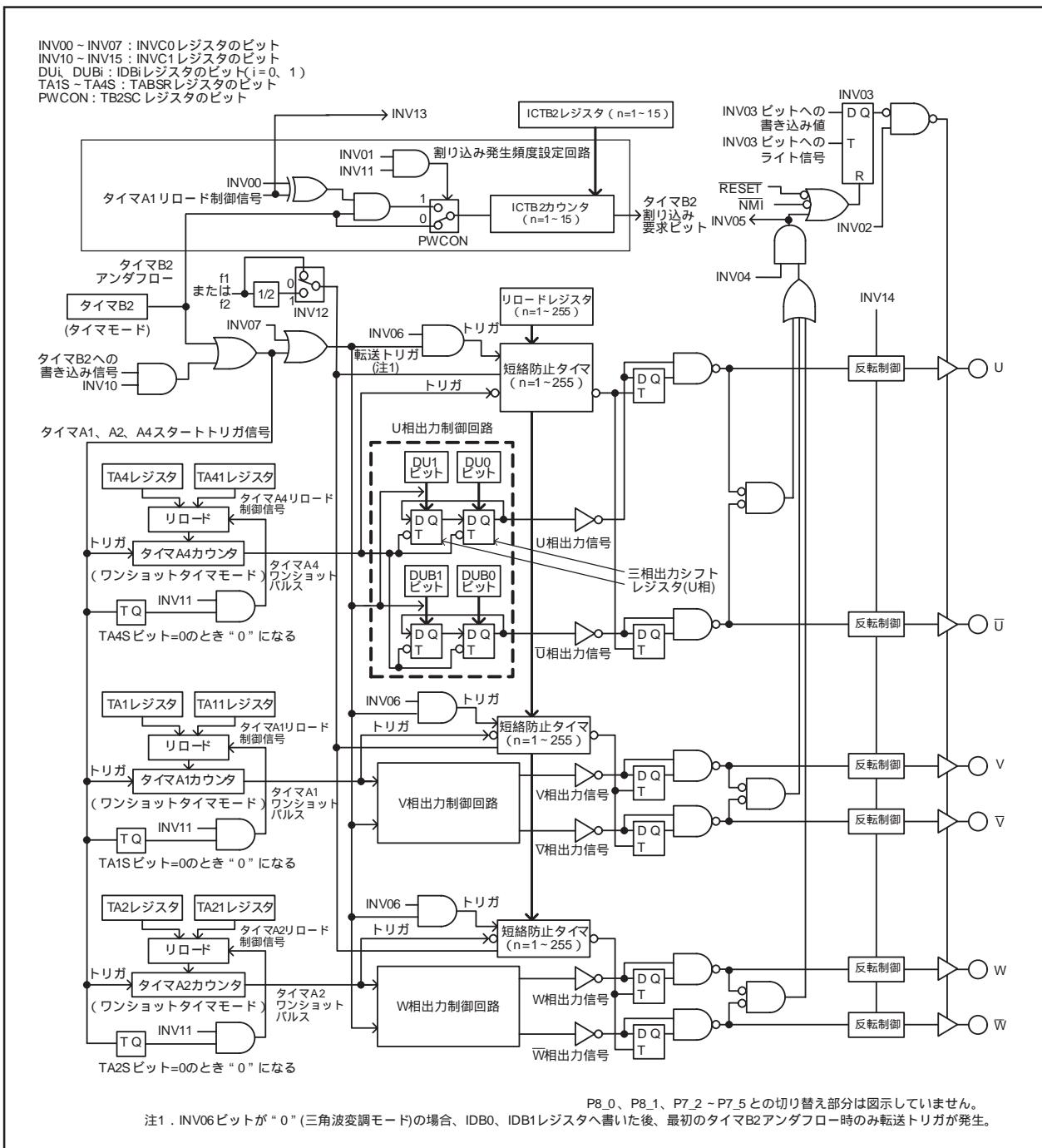


図14.1 三相モータ制御用タイマ機能ブロック図

三相PWM制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル INVC0	アドレス 01C8h番地	リセット後の値 00h	
								ビット シンボル	ビット名	機能	RW
								INV00	割り込み有効出力 極性選択ビット	0 : タイマA1リロード制御信号の立ち上がりで ICTB2カウンタのカウントを1進める 1 : タイマA1リロード制御信号の立ち下がりで ICTB2カウンタのカウントを1進める (注2)	RW
								INV01	割り込み有効出力 指定ビット (注3)	0 : タイマB2アンダフローでICTB2カウンタ のカウントを1進める 1 : INV00ビットで選択 (注2)	RW
								INV02	モード選択ビット (注4)	0 : 三相モータ制御用タイマ機能を使用しない 1 : 三相モータ制御用タイマ機能 (注5)	RW
								INV03	出力制御ビット	0 : 三相モータ制御用タイマ出力禁止 (注5) 1 : 三相モータ制御用タイマ出力許可 (注6)	RW
								INV04	正逆相同時アクティブ 出力禁止機能許可ビット	0 : 同時アクティブ出力許可 1 : 同時アクティブ出力禁止	RW
								INV05	正逆相同時アクティブ 出力検出フラグ	0 : 未検出 1 : 検出 (注7)	RW
								INV06	変調モード選択ビット (注8)	0 : 三角波変調モード 1 : 鋸波変調モード (注9)	RW
								INV07	ソフトウェアトリガ 選択ビット	このビットに“1”を書くと転送トリガが発生 する。INV06ビットが“1”的場合、短絡防止 タイマへのトリガも発生する。 読んだ場合、その値は“0”。	RW

注1 . このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、INV00～INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2 . INVC1レジスタのINV11ビットが“1”(三相モード1)のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウントを1進めます。

INV01ビットを“1”にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに“1”にしてください。
INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはタイマB2アンダフローのn-1回目で発生し、2回目以降の割り込みはタイマB2アンダフローのn回目ごとに発生します。

注3 . このビットに“1”を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注4 . INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5 . U、U、V、V、W、W端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを“1”(三相モータ制御用タイマ機能)にし、各ポートの方向レジスタを入力で、かつINV03ビットを“0”(三相モータ制御用タイマ出力禁止)にすると、すべてハイインピーダンスになります。

INV03ビットが“1”的とき、U/V/W対応端子は、三相PWM出力を行います。

注6 . INV03ビットは次のとき“0”になります。

- ・リセット
- ・INV04ビットが“1”的とき、同時アクティブになった場合
- ・プログラムで“0”にしたとき
- ・NMI端子入力が“H”から“L”に変化したとき

INV04ビットとINV05ビットがともに“1”的とき、INV03ビットは“0”になります。

注7 . プログラムで“1”は書けません。このビットを“0”にする場合は、INV04ビットに“0”を書いてください。

注8 . INV06ビットの影響は下表のとおりです。

項目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0、IDB1レジスタから三相出力 シフトレジスタへの転送タイミング	IDB0、IDB1レジスタに書いた後、転送 トリガに同期して1回のみ転送	転送トリガごとに転送
INV16 = 0の場合の短絡防止タイマ トリガタイミング	タイマA1、A2、A4のワンショット パルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルス の立ち下がりと、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ：タイマB2アンダフローとINV07ビットへの書き込み、またはINV10 = 1のときのTB2レジスタへの書き込み

注9 . INV06ビットが“1”的場合、INV11ビットを“0”(三相モード0)、TB2SCレジスタのPWCONビットを“0”(タイマB2の
アンダフローでタイマB2リロード)にしてください。

図14.2 INVC0レジスタ

三相PWM制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル INVCI	アドレス 01C9h番地	リセット後の値 00h	
								ピット シンボル	ピット名	機能	RW
								INV10	タイマA1、A2、A4スタートトリガ選択ピット	0 : タイマB2アンダフロー 1 : タイマB2アンダフローと、TB2レジスタへの書き込み	RW
								INV11	タイマA1-1、A2-1、A4-1制御ピット(注2)	0 : 三相モード0(注3) 1 : 三相モード1	RW
								INV12	短絡防止タイマカウントソース選択ピット	0 : f1またはf2(注6) 1 : f1の2分周またはf2の2分周	RW
								INV13	搬送波状態検出フラグ(注4)	0 : タイマA1リロード制御信号が"0" 1 : タイマA1リロード制御信号が"1"	RO
								INV14	出力極性制御ピット	0 : 出力波形" L "アクティブ 1 : 出力波形" H "アクティブ	RW
								INV15	短絡防止時間無効ピット	0 : 短絡防止時間有効 1 : 短絡防止時間無効	RW
								INV16	短絡防止時間タイマトリガ選択ピット	0 : タイマ(A4、A1、A2)のワンショットパルスの立ち下がり(注5) 1 : 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
								(b7)	予約ピット	"0"にしてください	RW

注1 . このレジスタはPRCRレジスタのPRC1ピットを"1"(書き込み許可)にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2 . INV11ピットの影響は下表のとおりです。

項目	INV11 = 0の場合	INV11 = 1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVCOレジスタのINV00ピット、INV01ピット	無効。INV00、INV01ピットの値に関係なく、 タイマB2アンダフローごとにICTB2カウント	有効
INV13ピット	無効	INV11 = 1かつINV06 = 0のとき有効

注3 . INVCOレジスタのINV06ピットが"1"(鋸波変調モード)の場合は、INV11ピットを"0"(三相モード0)にしてください。
また、INV11ピットが"0"の場合、TB2SCレジスタのPWCONピットを"0"(タイマB2のアンダフローでタイマB2リロード)にしてください。

注4 . INV13ピットはINV06ピットが"0"(三角波変調モード)かつINV11ピットが"1"(三相モード1)のときのみ有効です。

注5 . 次の条件がすべて当てはまる場合は、INV16ピットを"1"(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- ・INV15ピットが"0"(短絡防止時間有効)
- ・INV03ピットが"1"(三相モータ制御用タイマ出力許可)のときは、常にDij(i: U、VまたはW、j: 0、1)ピットとDiBjピットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)
また、上記の条件のいずれかがあてはまらない場合は、INV16ピットを"0"(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

注6 . PCLKRレジスタのPCLK0ピットで選択してください。

図14.3 INVCIレジスタ

三相出力バッファレジスタ <i>i</i> (<i>i</i> =0、1 (注1))										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0							IDB0	01CAh番地	0011111b
								IDB1	01CBh番地	0011111b
								ピット シンボル	ビット名	機能
								DUi	U相出力バッファ <i>i</i>	RW
								DUB <i>i</i>	\bar{U} 相出力バッファ <i>i</i>	RW
								DVi	V相出力バッファ <i>i</i>	RW
								DVB <i>i</i>	\bar{V} 相出力バッファ <i>i</i>	RW
								DWi	W相出力バッファ <i>i</i>	RW
								DWB <i>i</i>	\bar{W} 相出力バッファ <i>i</i>	RW
							(b7-b6)	予約ピット	" 0 " にしてください	RO

注1 . IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0レジスタに書いた値が初めに各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりでIDB1レジスタに書いた値が各相出力信号となります。

短絡防止タイマ(注1、2)

b7	b0	シンボル	アドレス	リセット後の値
		DTT	01CCh番地	不定
		機能	設定範囲	RW
		設定値をnとすると、スタートトリガ後、INV12ピットで選択したカウントソースをn回カウントして停止する。 正逆相のうちアクティブでないレベルから、アクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化する。	1 ~ 255	WO

注1 . このレジスタの書き込みはMOV命令を使用してください。
注2 . INV1レジスタのINV15ピットが" 0 " (短絡防止時間有効)のとき有効です。INV15ピットが" 1 " (短絡防止時間無効)のとき短絡防止時間はありません。DTTレジスタのスタートトリガは、INV0レジスタのINV06ピットで選択してください。

図14.4 IDB0、IDB1、DTTレジスタ

タイマAi、Ai-1レジスタ($i=1, 2, 4$)注1、2、3、4、5、6)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				TA1、TA2、TA4 TA11、TA21、TA41(注7)	0389h-0388h、038Bh-038Ah、038Fh-038Eh番地 01C3h-01C2h、01C5h-01C4h、01C7h-01C6h番地	不定 不定
				機能	設定範囲	RW
				設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000h ~ FFFFh	WO

注1 . 読み出し、書き込みは16ビット単位で実行してください。

注2 . これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注3 . これらのレジスタへの書き込みにはMOV命令を使用してください。

注4 . INV1レジスタのINV15ビットが“0”(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。

注5 . INV1レジスタのINV11ビットが“0”(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。

INV11ビットが“1”(三相モード1)の場合、タイマAiスタートトリガによって、まずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。

注6 . タイマB2アンダフローのタイミングで、これらのレジスタへ書かいでください。

注7 . TAi1レジスタは次の手順で書いてください。

(1) TAi1レジスタへ値を書く

(2) タイマAiカウントソースの1サイクル分待つ

(3) もう一度、TAi1レジスタへ同じ値を書く

タイマB2レジスタ(注1)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				TB2	0395h-0394h番地	不定
				機能	設定範囲	RW
				設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000h ~ FFFFh	RW

注1 . 読み出し、書き込みは16ビット単位で実行してください。

図14.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2レジスタ

タイマB2割り込み発生頻度設定カウンタ(注1、2、3)

b7  ----- b0	シンボル ICTB2	アドレス 01CDh番地	リセット後の値 不定
INVC0レジスタのINV01ビットが“0”(タイマB2アンダフローごとにICTB2カウンタカウント)の場合、設定値をnとすると、n回目のタイマB2アンダフローごとにタイマB2割り込み要求が発生する。 INV01ビットが“1”(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローがn回発生することにタイマB2割り込み要求が発生する。		機能	設定範囲 1 ~ 15
何も配置されていない。書く場合、“0”を書いてください。		RW WO	—
			—

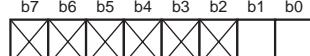
注1 . ICTB2レジスタへは、MOV命令を使用して書いてください。

注2 . INVC0レジスタのINV01ビットが“1”的場合は、TBSRレジスタのTB2Sビットが“0”(タイマB2カウント停止)のときに書いてください。

INV01ビットが“0”的場合は、TB2Sビットが“1”(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

注3 . INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn - 1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

タイマB2特殊モードレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0  -----	シンボル TB2SC	アドレス 039Eh番地	リセット後の値 XXXXXX00b
ピット シンボル		ピット名	機能
PWCON		タイマB2リロード タイミング切り替えピット	0 : タイマB2アンダフロー 1 : 奇数回目のタイマA出力(注2)
IVPCR1		三相出力ポートNMI制御 ピット1(注3)	0 : NMI端子入力による三相出力強制遮断 (ハイインピーダンス 禁止) 1 : NMI端子入力による三相出力強制遮断 (ハイインピーダンス 許可)
(b7-b2)			何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。
			-

注1 . このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2 . INVC1レジスタのINV11ビットが“0”(三相モード0)、またはINVC0レジスタのINV06ビットが“1”(鋸波変調モード)の場合には“0”(タイマB2アンダフロー)にしてください。

注3 . 対象端子は、U(P8_0/TA4OUT)、U(P8_1/TA4IN)、V(P7_2/CLK2/TA1OUT)、V(P7_3/CTS2/RTS2/TA1IN)、W(P7_4/TA2OUT)、W(P7_5/TA2IN)。IVPCR1ピットが“1”的とき、NMI端子に“L”が入力されると対象端子は使用している機能に関係なく、ハイインピーダンスになります。強制遮断後は、NMI端子に“H”を入力し、IVPCR1ピットを“0”にすると強制遮断が解除されます。

図14.6 ICTB2、TB2SCレジスタ

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TRGSR	アドレス 0383h番地	リセット後の値 00h	
	ピット シンボル	ピット名	機能	RW
	TA1TGL	タイマA1イベント/ トリガ選択ピット	V相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA1TGH			RW
	TA2TGL	タイマA2イベント/ トリガ選択ピット	W相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA2TGH			RW
	TA3TGL	タイマA3イベント/ トリガ選択ピット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA2を選択(注2) 1 1 : TA4を選択(注2)	RW
	TA3TGH			RW
	TA4TGL	タイマA4イベント/ トリガ選択ピット	U相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA4TGH			RW

注1. 対応するポート方向ピットは“0(入力モード)にしてください。

注2. オーバフローまたはアンダフロー。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TABSR	アドレス 0380h番地	リセット後の値 00h	
	ピット シンボル	ピット名	機能	RW
	TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
	TA1S	タイマA1カウント開始フラグ		RW
	TA2S	タイマA2カウント開始フラグ		RW
	TA3S	タイマA3カウント開始フラグ		RW
	TA4S	タイマA4カウント開始フラグ		RW
	TB0S	タイマB0カウント開始フラグ		RW
	TB1S	タイマB1カウント開始フラグ		RW
	TB2S	タイマB2カウント開始フラグ		RW

図14.7 TRGSR、TABSRレジスタ

タイマAiモードレジスタ(i=1、2、4)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル	アドレス		リセット後の値
				TA1MR	0397h番地		00h
				TA2MR	0398h番地		00h
				TA4MR	039Ah番地		00h
ビット シンボル	ビット名	機能				RW	
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“10b” (ワンショットタイマモード)にしてください				RW	
TMOD1						RW	
MR0	パルス出力機能選択ビット	三相モータ制御用タイマ機能では“0”にしてください				RW	
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では“0”にしてください				RW	
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では“1” (TRGSRレジスタで選択)にしてください				RW	
MR3						RW	
TCK0	カウントソース 選択ビット	b7 b6 0 0 : f1またはf2(注1) 0 1 : f8 1 0 : f32 1 1 : fC32				RW	
TCK1						RW	

注1 . PCLKRレジスタのPCLK0ビットで選択してください。

タイマB2モードレジスタ							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル	アドレス		リセット後の値
				TB2MR	039Dh番地		00XX0000b
ビット シンボル	ビット名	機能				RW	
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“00b” (タイマモード)にしてください				RW	
TMOD1						RW	
MR0		三相モータ制御用タイマ機能では無効。 書く場合、“0”を書いてください。読んだ場合、その値は不定。				RW	
MR1						RW	
MR2		三相モータ制御用タイマ機能では“0”にしてください				RW	
MR3		三相モータ制御用タイマ機能で書く場合、“0”を書いてください。 三相モータ制御用タイマ機能で読んだ場合、その値は不定。				RO	
TCK0	カウントソース 選択ビット	b7 b6 0 0 : f1またはf2(注1) 0 1 : f8 1 0 : f32 1 1 : fC32				RW	
TCK1						RW	

注1 . PCLKRレジスタのPCLK0ビットで選択してください。

図14.8 TA1MR、TA2MR、TA4MR、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。

図14.9に三角波変調動作例、図14.10に鋸波変調動作例を示します。

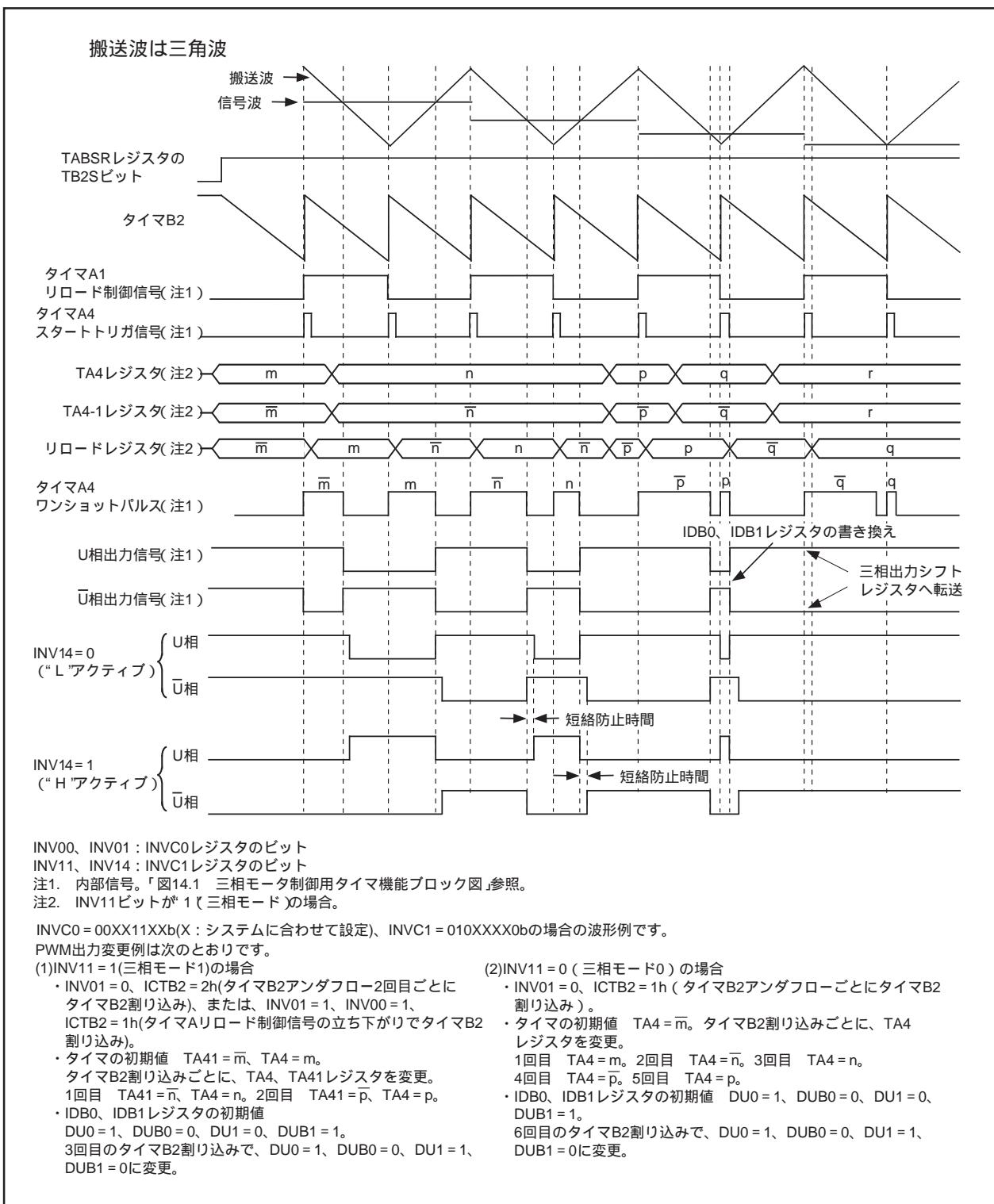


図14.9 三角波変調動作例

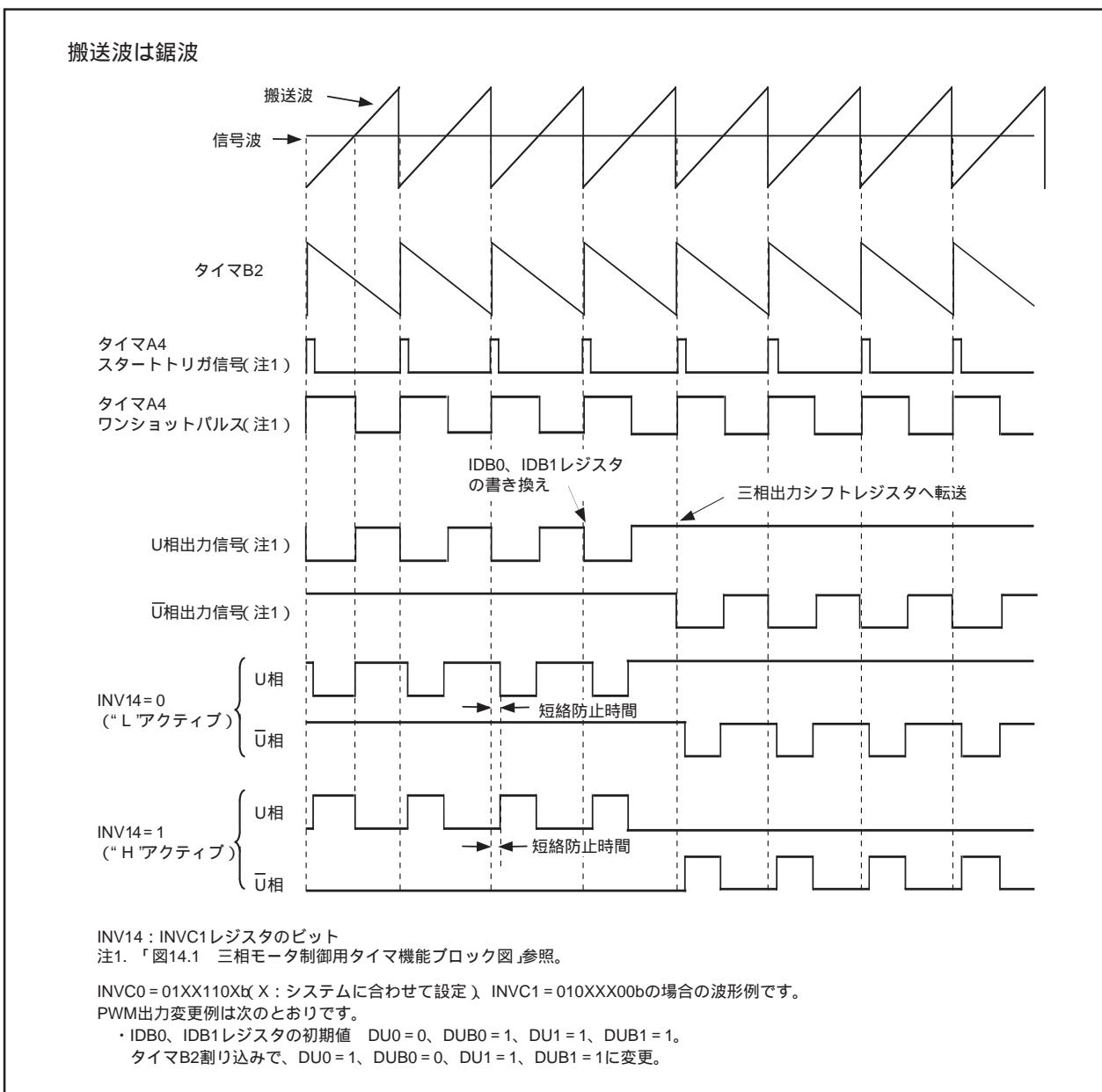


図14.10 鋸波変調動作例

15 . シリアルインタフェース

シリアルインタフェースは、UART0～UART2、SI/O3の4チャネルで構成しています。
次にそれについて説明します。

15.1 UART($i = 0 \sim 2$)

UART i はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図15.1～図15.3にUART i ブロック図、図15.4にUART i 送受信部ブロック図を示します。

UART i には、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード(UARTモード)
- ・特殊モード1(I²Cモード)
- ・特殊モード2
- ・特殊モード3(バス衝突検出機能、IEモード)
- ・特殊モード4(SIMモード): UART2

図15.5～図15.10にUART i 関連レジスタを示します。

レジスタの設定はモードごとの表を参照してください。

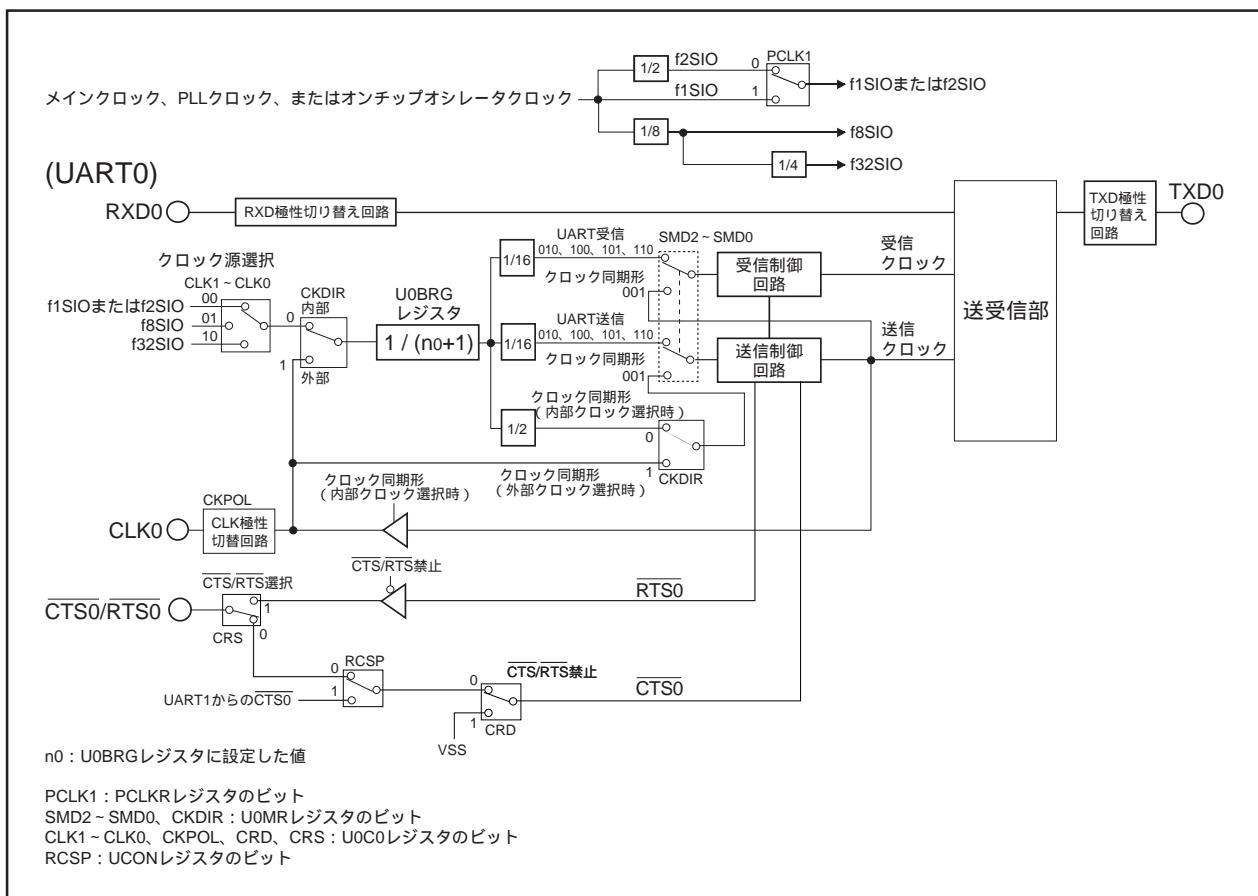


図15.1 UART0ブロック図

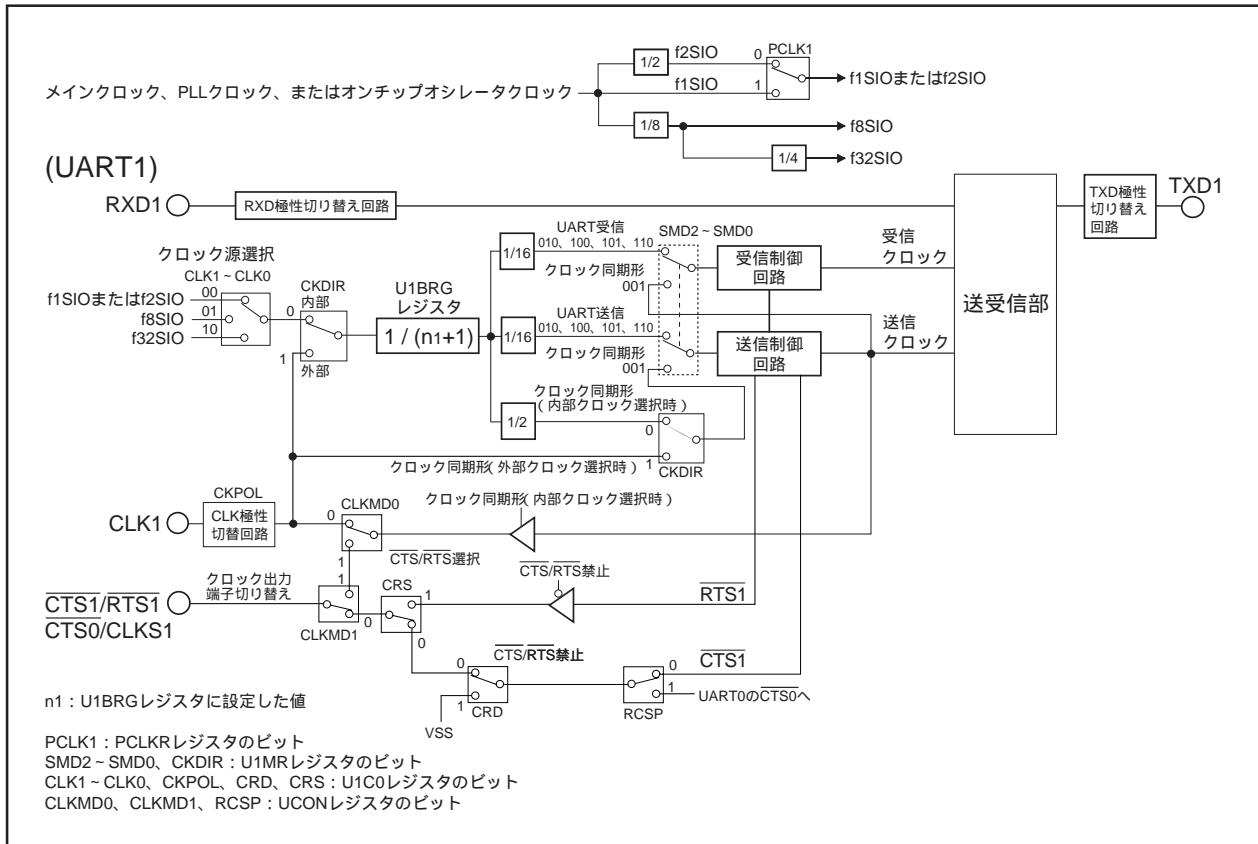


図15.2 UART1ブロック図

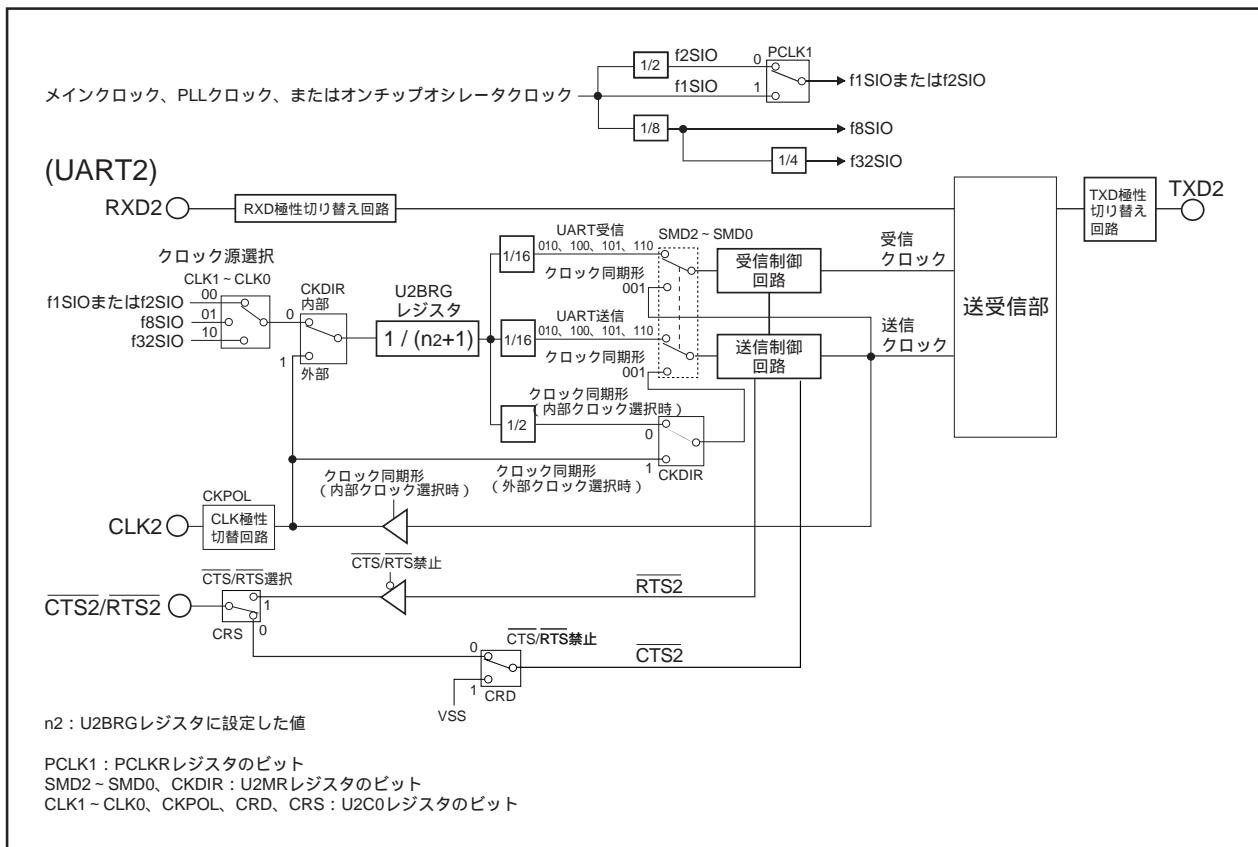


図15.3 UART2ブロック図

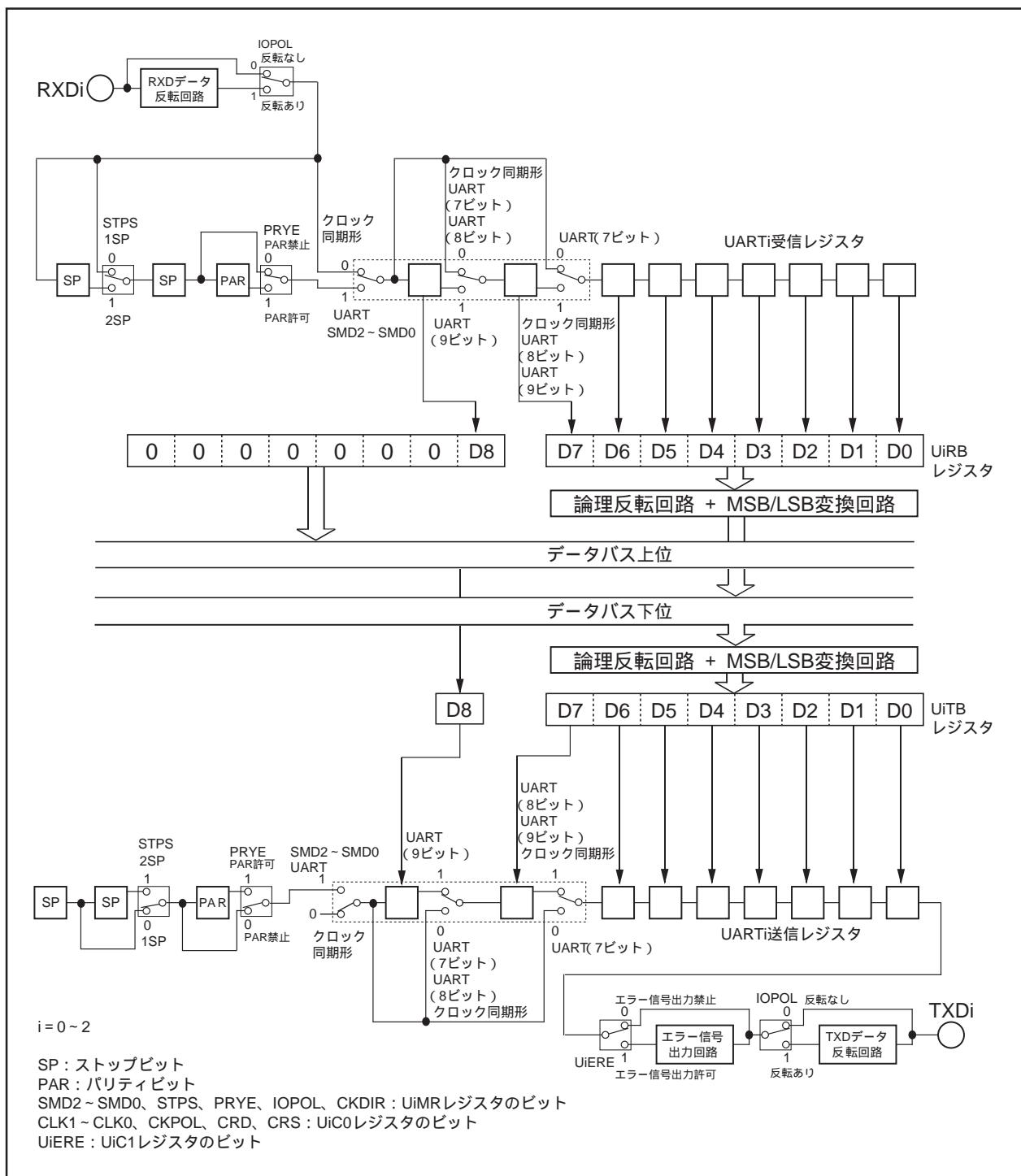


図15.4 UARTi送受信部ブロック図

UART <i>i</i> 送信バッファレジスタ(<i>i</i> =0~2) ^(注1)		シンボル	アドレス	リセット後の値	
(b15) b7	(b8) b0 b7	b0	U0TB U1TB U2TB	03A3h-03A2h番地 03ABh-03AAh番地 01FBh-01FAh番地	不定 不定 不定
		ピット シンボル	機 能	RW	
		- (b8-b0)	送信データ	WO	
		- (b15-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-	

注1 . このレジスタはMOV命令を使用して書いてください。

UART <i>i</i> 受信バッファレジスタ(<i>i</i> =0~2)		シンボル	アドレス	リセット後の値	
(b15) b7	(b8) b0 b7	b0	U0RB U1RB U2RB	03A7h-03A6h番地 03AFh-03AEh番地 01FFh-01FEh番地	不定 不定 不定
		ピット シンボル	ピット名	RW	
		- (b7-b0)	- 受信データ (D7~D0)	RO	
		- (b8)	- 受信データ (D8)	RO	
		- (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-	
		ABT	アービトレーション ロスト検出フラグ(注1)	RW	
		OER	オーバランエラー フラグ(注2)	RO	
		FER	フレーミングエラー フラグ(注2, 3)	RO	
		PER	パリティエラーフラグ (注2, 3)	RO	
		SUM	エラーサムフラグ (注2, 3)	RO	

注1 . ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注2 . UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインターフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットはすべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になるほど“0”(エラーなし)になります。

また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。

注3 . SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I^Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UART <i>i</i> ピットトレートレジスタ(<i>i</i> =0~2) ^(注1, 2, 3)		シンボル	アドレス	リセット後の値
b7	b0	U0BRG U1BRG U2BRG	03A1h番地 03A9h番地 01F9h番地	不定 不定 不定
		ピット シンボル	機 能	RW
		- (b7-b0)	設定値をnとすると、UiBRGは カウントソースをn+1分周する	00h~FFh WO

注1 . 送受信停止中に書いてください。

注2 . このレジスタはMOV命令を使用して書いてください。

注3 . このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

図15.5 U0TB ~ U2TB、U0RB ~ U2RB、U0BRG ~ U2BRG レジスタ

UART*i*送受信モードレジスタ(*i*=0~2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル
U0MR ~ U2MRアドレス
03A0h、03A8h、01F8h番地リセット後の値
00h

ビット シンボル	ビット名	機能	RW
SMD0		b2 b1 b0 0 0 0 :シリアルインターフェースは無効 0 0 1 :クロック同期形シリアルI/Oモード 0 1 0 :I ² Cモード (注2) 1 0 0 :UARTモード転送データ長7ビット 1 0 1 :UARTモード転送データ長8ビット 1 1 0 :UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1	シリアルI/Oモード選択ビット(注1)		RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注3)	RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE = 1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	RW

注1 . 受信する場合、RXDi端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2 . SDA、SCL端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注3 . CLK*i*端子に対応するポート方向ビットは“0”(入力モード)にしてください。UART*i*送受信制御レジスタ(*i*=0~2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル
U0C0 ~ U2C0アドレス
03A4h、03ACh、01FCCh番地リセット後の値
00001000b

ビット シンボル	ビット名	機能	RW
CLK0	UiBRGカウントソース選択ビット(注5)	b1 b0 0 0 : f1SIOまたはf2SIOを選択(注6) 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS機能選択ビット(注1)	CRD = 0のとき有効 0: CTS機能を選択(注2) 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止(P6_0、P6_4、P7_3は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット(注3)	0: TXDi/SDAi、SCLI端子はCMOS出力 1: TXDi/SDAi、SCLI端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット(注4)	0: LSBファースト 1: MSBファースト	RW

注1 . CTS1/RTS1はUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)かつUCONレジスタのRCSPビットが“0”(CTS0/RTS0は分離しない)のとき使用できます。

注2 . CTS端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注3 . SCL2/P7_1はNチャネルオープンドレイン端子のため、U2C0レジスタのNCHビットの値にかかわらず、Nチャネルオープンドレイン出力になります。

注4 . UIMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“101b”(UARTモード転送データ長8ビット)のとき有効です。

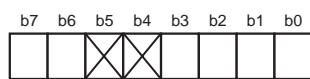
SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

注5 . CLK1~CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

注6 . PCLKRレジスタのPCLK1ビットで選択してください。

図15.6 U0MR ~ U2MR、U0C0 ~ U2C0レジスタ

UARTj送受信制御レジスタ1(j = 0、1)



シンボル
U0C1、U1C1

アドレス
03A5h、03Adh番地

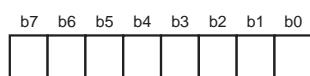
リセット後の値
00XX0010b

ビット シンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UjTBレジスタにデータあり 1 : UjTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UjRBレジスタにデータなし 1 : UjRBレジスタにデータあり	RO
- (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
UjLCH	データ論理選択ビット (注1)	0 : 反転なし 1 : 反転あり	RW
UjERE	エラー信号出力許可 ビット	0 : 出力しない 1 : 出力する	RW

注1 . UjMRレジスタのSMD2～SMD0ビットが 001b (クロック同期形シリアルI/Oモード)、100b (UARTモード転送データ長7ビット) または 101b (UARTモード転送データ長8ビット) のとき有効です。

SMD2～SMD0ビットが 010b (I²Cモード) または 110b (UARTモード転送データ長9ビット) のときは“0”にしてください。

UART2送受信制御レジスタ1



シンボル
U2C1

アドレス
01FDh番地

リセット後の値
00000010b

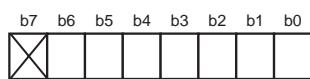
ビット シンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : U2TBレジスタにデータあり 1 : U2TBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : U2RBレジスタにデータなし 1 : U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み 要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U2RRM	UART2連続受信モード 許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U2LCH	データ論理選択ビット (注1)	0 : 反転なし 1 : 反転あり	RW
U2ERE	エラー信号出力許可 ビット	0 : 出力しない 1 : 出力する	RW

注1 . U2MRレジスタのSMD2～SMD0ビットが 001b (クロック同期形シリアルI/Oモード)、100b (UARTモード転送データ長7ビット) または 101b (UARTモード転送データ長8ビット) のとき有効です。

SMD2～SMD0ビットが 010b (I²Cモード) または 110b (UARTモード転送データ長9ビット) のときは“0”にしてください。

図15.7 U0C1～U2C1レジスタ

UART送受信制御レジスタ2



シンボル
UCON

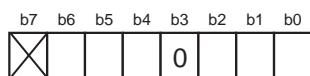
アドレス
03B0h番地

リセット後の値
X0000000b

ビット シンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1 = 1 のとき有効 0 : CLK1からクロックを出力 1 : CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1 (注1)	0 : CLK出力はCLK1のみ 1 : 転送クロック複数端子出力機能選択	RW
RCSP	UART0 CTS/RTS 分離ビット	0 : CTS/RTS共通端子 1 : CTS/RTS分離 (CTS0をP6_4端子から入力)	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1 . 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。

- ・ U1MRレジスタのCKDIRビット = 0 (内部クロック)

UART*i*特殊モードレジスタ(i = 0 ~ 2)

シンボル
U0SMR ~ U2SMR

アドレス
01EFh、01F3h、01F7番地

リセット後の値
X0000000b

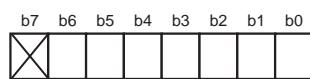
ビット シンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0 : I ² Cモード以外 1 : I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0 : ピットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出 (ビジー)	RW (注1)
- (b3)	予約ビット	“0”にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0 : 転送クロックの立ち上がり 1 : タイマAjのアンダフロー信号 (注2)	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0 : RXDiに同期しない 1 : RXDiに同期する (注3)	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1 . BBSビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

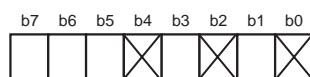
注2 . UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号。

注3 . 転送が始まると、SSSビットは“0 (RXDiに同期しない)”になります。

図15.8 UCON、U0SMR ~ U2SMR レジスタ

UART*i*特殊モードレジスタ2(*i*=0~2)シンボル
U0SMR2 ~ U2SMR2アドレス
01EEh、01F2h、01F6h番地リセット後の値
X0000000b

ビット シンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	「表15.12 I ² Cモード時の各機能」参照	RW
CSC	クロック同期化ビット	0: 禁止 1: 許可	RW
SWC	SCLウェイト出力ビット	0: 禁止 1: 許可	RW
ALS	SDA出力停止ビット	0: 禁止 1: 許可	RW
STAC	UART <i>i</i> 初期化ビット	0: 禁止 1: 許可	RW
SWC2	SCLウェイト出力ビット2	0: 転送クロック 1: "L"出力	RW
SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

UART*i*特殊モードレジスタ3(*i*=0~2)シンボル
U0SMR3 ~ U2SMR3アドレス
01EDh、01F1h、01F5h番地リセット後の値
000X0X0Xb

ビット シンボル	ビット名	機能	RW
- (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
- (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
NODC	クロック出力選択ビット	0: CLK <i>i</i> はCMOS出力 1: CLK <i>i</i> はNチャネルオープンドレイン出力	RW
- (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
DL0	SDAiデジタル遅延値 設定ビット(注1、2)	b ₇ b ₆ b ₅ 0 0 0: 遅延なし 0 0 1: UiBRGカウントソースの1~2サイクル 0 1 0: UiBRGカウントソースの2~3サイクル 0 1 1: UiBRGカウントソースの3~4サイクル 1 0 0: UiBRGカウントソースの4~5サイクル 1 0 1: UiBRGカウントソースの5~6サイクル 1 1 0: UiBRGカウントソースの6~7サイクル 1 1 1: UiBRGカウントソースの7~8サイクル	RW
DL1			RW
DL2			RW

注1. DL2 ~ DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、"000b(遅延なし)"にしてください。

注2. 遅延量はSCL端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

図15.9 U0SMR2 ~ U2SMR2、U0SMR3 ~ U2SMR3レジスタ

UARTi特殊モードレジスタ4(i=0~2)		シンボル U0SMR4 ~ U2SMR4	アドレス 01ECh、01F0h、01F4番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
	STAREQ	スタートコンディション生成ビット(注1)	0:クリア 1:スタート	RW
	RSTAREQ	リスタートコンディション生成ビット(注1)	0:クリア 1:スタート	RW
	STPREQ	ストップコンディション生成ビット(注1)	0:クリア 1:スタート	RW
	STSPSEL	SCL、SDA出力選択ビット	0:スタートコンディション、ストップコンディション出力しない 1:スタートコンディション、ストップコンディション出力する	RW
	ACKD	ACKデータビット	0:ACK 1:NACK	RW
	ACKC	ACKデータ出力許可ビット	0:シリアルインターフェースデータ出力 1:ACKデータ出力	RW
	SCLHI	SCL出力停止許可ビット	0:禁止 1:許可	RW
	SWC9	SCLウェイトビット3	0:SCL“L”ホールド禁止 1:SCL“L”ホールド許可	RW

注1. 各コンディションが生成されたとき、“0”になります。

図15.10 U0SMR4 ~ U2SMR4レジスタ

15.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表15.1にクロック同期形シリアルI/Oモードの仕様、表15.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> UiMRレジスタのCKDIRビットが“0”(内部クロック): $f_j/2((n+1))$ $f_j=f_1SIO, f_2SIO, f_8SIO, f_{32SIO}$ $n=UiBRG$レジスタの設定値 $00h \sim FFh$ CKDIRビットが“1”(外部クロック): CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	<p>送信開始には、次の条件が必要(注1)</p> <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	<p>受信開始には、次の条件が必要(注1)</p> <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	<p>送信する場合、次の条件のいずれかを選択可</p> <ul style="list-style-type: none"> UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信する場合 UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<p>オーバランエラー(注3)</p> <p>UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生</p>
選択機能	<ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

i = 0 ~ 2

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”的状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”的状態で条件を満たしてください。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。またSiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注1)	0 ~ 7	送信データを設定してください
UiRB(注1)	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR(注1)	SMD2 ~ SMD0	" 001b "にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	" 0 "にしてください
UiC0	CLK1 ~ CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送信を許可する場合、" 1 "にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、" 1 "にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	連続受信モードを使用する場合、" 1 "にしてください
	UiLCH	データ論理反転を使用する場合、" 1 "にしてください
	UiERE	" 0 "にしてください
UiSMR	0 ~ 7	" 0 "にしてください
UiSMR2	0 ~ 7	" 0 "にしてください
UiSMR3	0 ~ 2	" 0 "にしてください
	NODC	クロック出力形式を選択してください
	4 ~ 7	" 0 "にしてください
UiSMR4	0 ~ 7	" 0 "にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、" 1 "にしてください
	CLKMD0	CLKMD1 = 1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、" 1 "にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、" 1 "にしてください
	7	" 0 "にしてください

i = 0 ~ 2

注1 . この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、" 0 "を書いてください。

注2 . U0C1、U1C1レジスタのビット4、5は" 0 "にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

表15.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表15.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表15.4にクロック同期形シリアルI/Oモード時のP6_4端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します。

図15.11にクロック同期形シリアルI/Oモード時の送信、受信タイミング例を示します。

表15.3 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力選択機能を非選択の場合)

端子名	機能	選択方法
TXDi (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_2ビット = 0、PD6_6ビット = 0 PD7レジスタのPD7_1ビット = 0 (送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	転送クロック出力	UiMRレジスタのCKDIRビット = 0
	転送クロック入力	UiMRレジスタのCKDIRビット = 1 PD6レジスタのPD6_1ビット = 0、PD6_5ビット = 0 PD7レジスタのPD7_2ビット = 0
CTSi/RTSi (P6_0、P6_4、P7_3)	CTS入力	UiC0レジスタのCRDビット = 0 UiC0レジスタのCRSビット = 0 PD6レジスタのPD6_0ビット = 0、PD6_4ビット = 0 PD7レジスタのPD7_3ビット = 0
	RTS出力	UiC0レジスタのCRDビット = 0 UiC0レジスタのCRSビット = 1
	入出力ポート	UiC0レジスタのCRDビット = 1

i = 0 ~ 2

表15.4 クロック同期形シリアルI/Oモード時のP6_4端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	-	0	0	-	入力 : 0、出力 : 1
CTS1	0	0	0	0	-	0
RTS1	0	1	0	0	-	-
CTS0(注1)	0	0	1	0	-	0
CLKS1	-	-	-	1(注2)	1	-

- : “0”または“1”

注1 . この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

注2 . CLKMD1ビットが“1”でCLKMD0ビットが“0”的場合は、次のレベルを出力します。

- ・ U1C0レジスタのCKPOLビットが“0”：“H”
- ・ U1C0レジスタのCKPOLビットが“1”：“L”

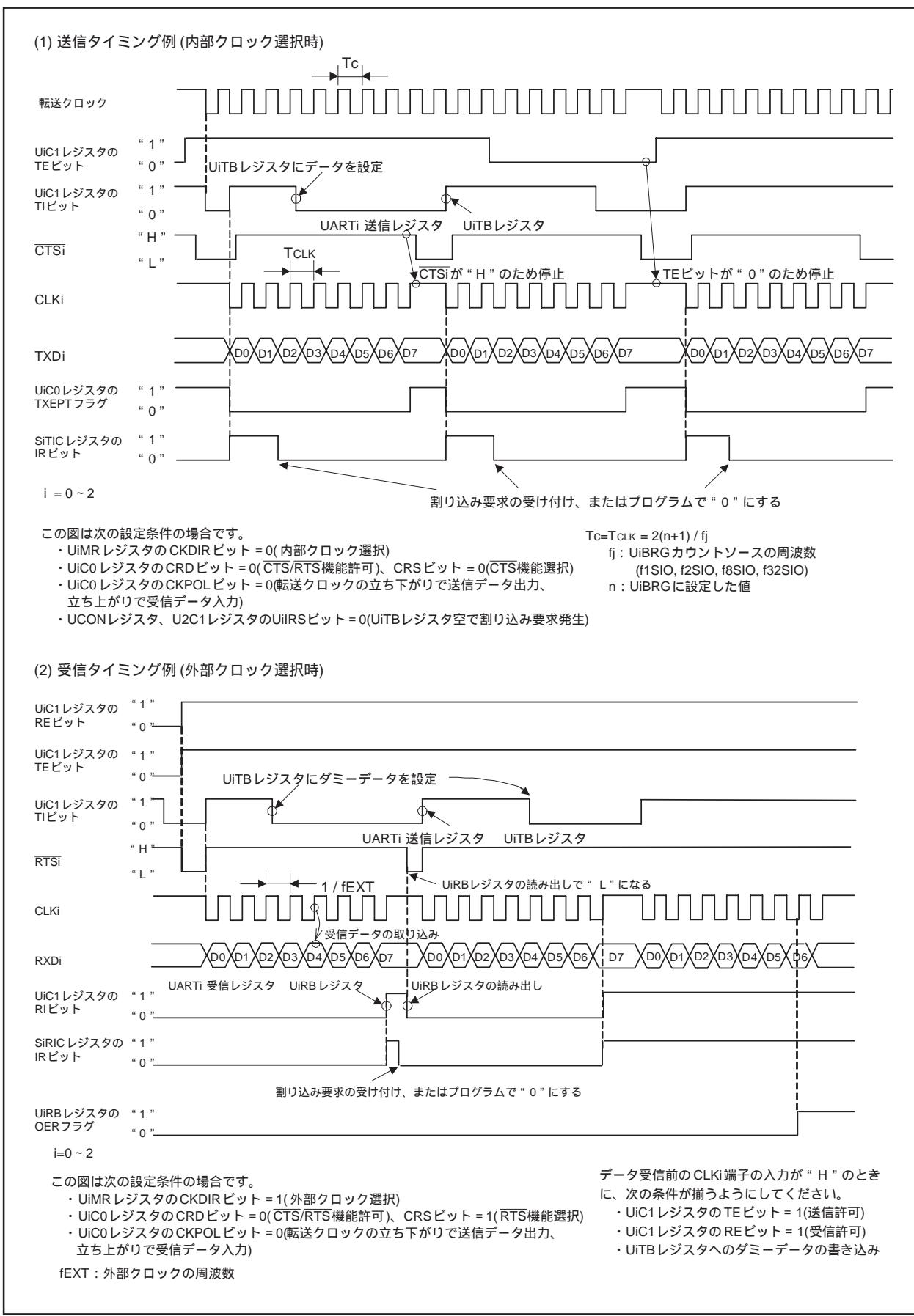


図15.11 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

15.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定してください。

- UiRBレジスタ($i = 0 \sim 2$)の初期化手順

(1)UiC1レジスタのREビットを“0(受信禁止)”にする。

(2)UiMRレジスタのSMD2～SMD0ビットを“000b(シリアルインターフェースは無効)”にする。

(3)UiMRレジスタのSMD2～SMD0ビットを“001b(クロック同期形シリアルI/Oモード)”にする。

(4)UiC1レジスタのREビットを“1(受信許可)”にする。

- UiTBレジスタの初期化手順

(1)UiMRレジスタのSMD2～SMD0ビットを“000b(シリアルインターフェースは無効)”にする。

(2)UiMRレジスタのSMD2～SMD0ビットを“001b(クロック同期形シリアルI/Oモード)”にする。

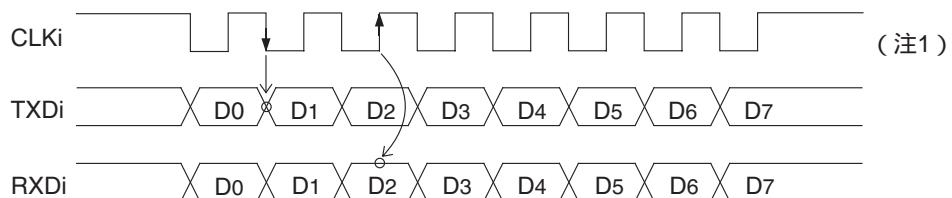
(3)UiC1レジスタのTEビットの値にかかわらず、TEビットに“1(送信許可)”を書き込む。

15.1.1.2 CLK極性選択

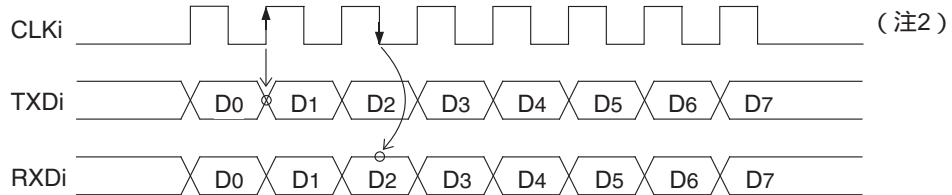
UiC0レジスタ($i = 0 \sim 2$)のCKPOLビットで転送クロックの極性を選択できます。

図15.12に転送クロックの極性を示します。

- (1) UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のとき



- (2) UiC0レジスタのCKPOLビット=1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のとき



$i=0 \sim 2$

UiC0レジスタのUFORMビット=0(LSBファースト)、UiC1レジスタのUiLCHビット=0(反転なし)の場合です。

- 注1. 転送していないとき、CLKi端子から“H”を出力します。
注2. 転送していないとき、CLKi端子から“L”を出力します。

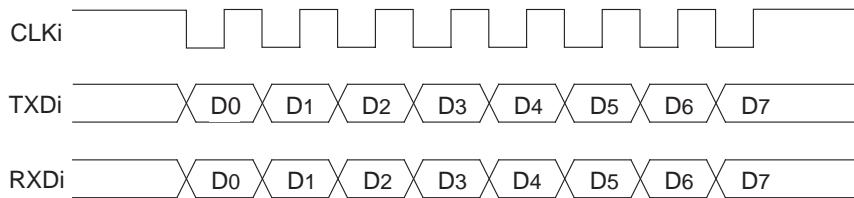
図15.12 転送クロックの極性

15.1.1.3 LSBファースト、MSBファースト選択

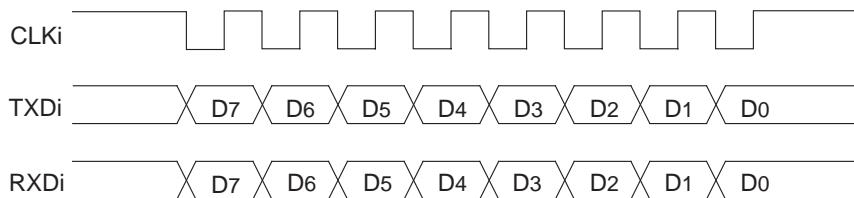
UiC0レジスタ($i = 0 \sim 2$)のUFORMビットで転送フォーマットを選択できます。

図15.13に転送フォーマットを示します。

(1) UiC0レジスタのUFORMビット=0(LSBファースト)のとき



(2) UiC0レジスタのUFORMビット=1(MSBファースト)のとき



$i=0 \sim 2$

UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)、UiC1レジスタのUiLCHビット=0(反転なし)の場合です。

図15.13 転送フォーマット

15.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット($i = 0 \sim 2$)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”的場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3で、U2RRMビットはU2C1レジスタのビット5です。

15.1.1.5 シリアルデータ論理切り替え

UiC1レジスタ($i=0 \sim 2$)のUiLCHビットが1(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。

図15.14にシリアルデータ論理を示します。

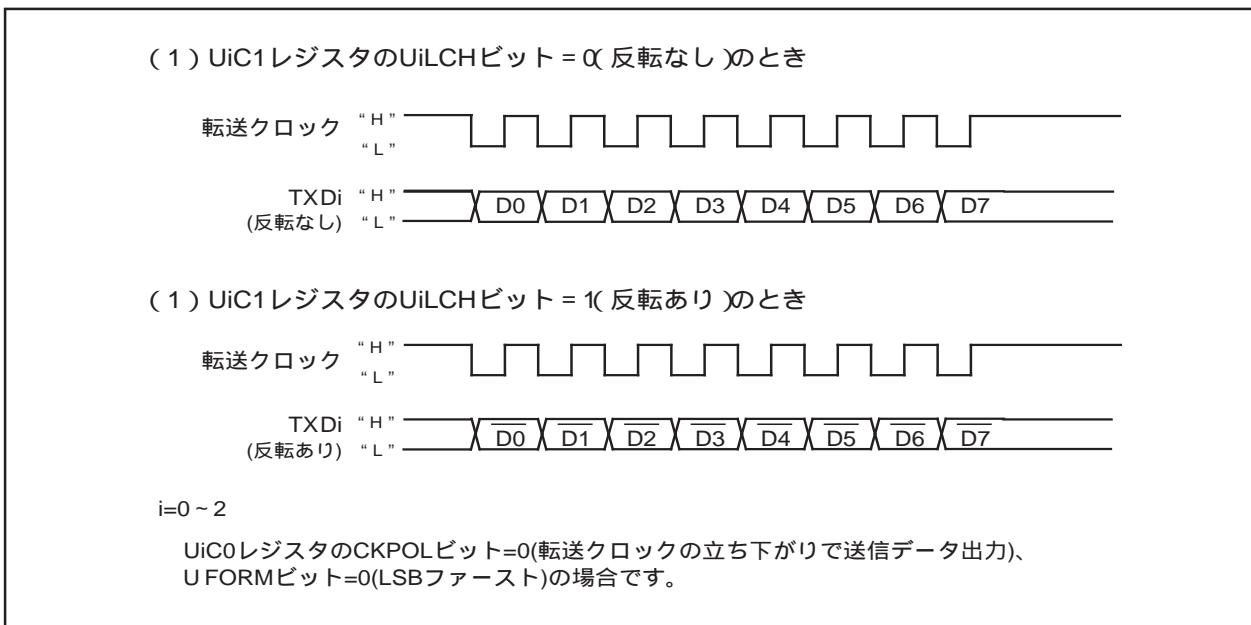


図15.14 シリアルデータ論理

15.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます。

図15.15に転送クロック複数端子出力機能の使用例を示します。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

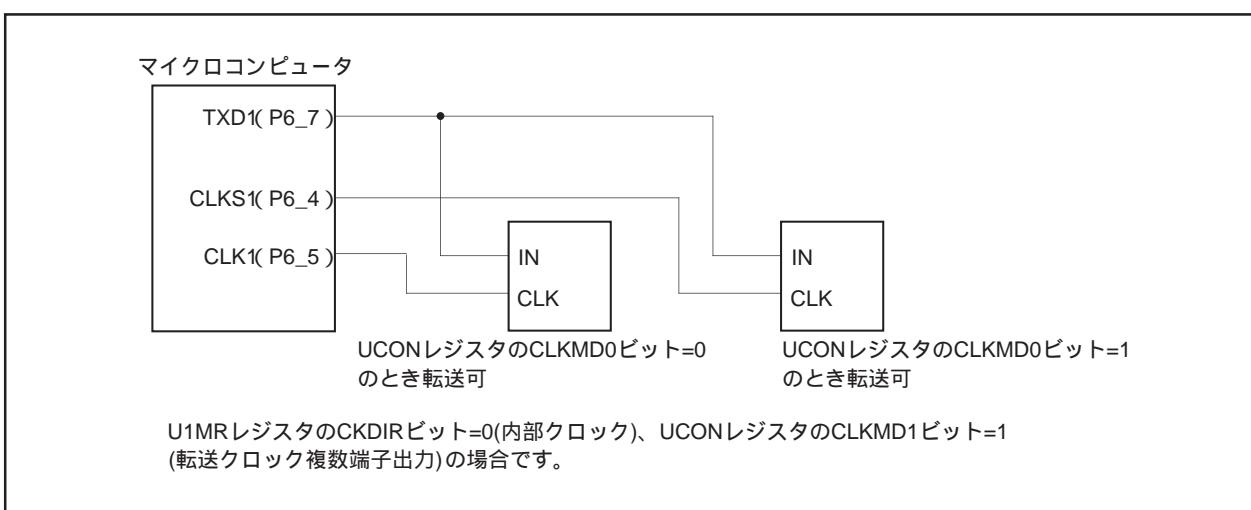


図15.15 転送クロック複数端子出力機能の使用例

15.1.1.7 CTS/RTS機能

CTS機能は、 \overline{CTS}_i ($i = 0 \sim 2$)端子に“L”を入力すると、送受信を開始させる機能です。 \overline{CTS}_i 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 \overline{RTS}_i 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち下がりで出力レベルが“H”になります。

- UIC0レジスタのCRDビット = 1(CTS/RTS機能禁止) \overline{CTS}_i 端子はプログラマブル入出力機能
- CRDビット = 0、UIC0レジスタのCRSビット = 0(CTS機能選択) \overline{CTS}_i 端子はCTS機能
- CRDビット = 0、CRSビット = 1(RTS機能選択) \overline{CTS}_i 端子はRTS機能

15.1.1.8 CTS/RTS分離機能(UART0)

\overline{CTS}_0 / \overline{RTS}_0 を分離し、 \overline{RTS}_0 をP6_0端子から出力、 \overline{CTS}_0 をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット = 0(UART0のCTS/RTS許可)
- U0C0レジスタのCRSビット = 1(UART0のRTS出力)
- U1C0レジスタのCRDビット = 0(UART1のCTS/RTS許可)
- U1C0レジスタのCRSビット = 0(UART1のCTS入力)
- UCONレジスタのRCSPビット = 1(\overline{CTS}_0 をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット = 0(CLKS1を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

図15.16にCTS/RTS分離機能の使用例を示します。

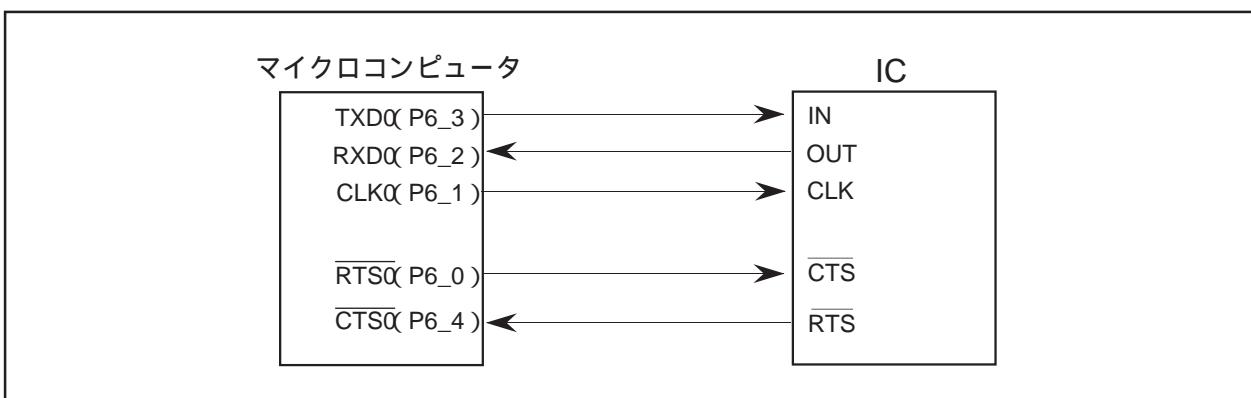


図15.16 CTS/RTS分離機能の使用例

15.1.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表15.5にUARTモードの仕様、表15.6にUARTモード時の使用レジスタと設定値を示します。

表15.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 スタートビット 1ビット parityビット 奇数、偶数、なしを選択可 ストップビット 1ビット、2ビットを選択可
転送クロック	<ul style="list-style-type: none"> UiMRレジスタのCKDIRビットが“0”(内部クロック): $f_j(16(n+1))$ $f_j = f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ $n = \text{UiBRGレジスタの設定値 } 00h \sim FFh$ CKDIRビットが“1”(外部クロック): $f_{EXT}(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n = \text{UiBRGレジスタの設定値 } 00h \sim FFh$
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> UiIRSビット(注1)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時受信する場合 UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 parityエラー(注3) parity許可時にparityビットとキャラクタビット中の“1”的個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、parityエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

i = 0 ~ 2

注1. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注3. フレーミングエラーフラグ、parityエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表15.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)
UiRB	0 ~ 8	受信データが読みます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください 転送データが8ビットの場合、“101b”を設定してください 転送データが9ビットの場合、“110b”を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD / RXD入出力極性を選択してください
UiC0	CLK1 ~ CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、 LSBファースト、 MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0 ~ 7	“0”にしてください
UiSMR2	0 ~ 7	“0”にしてください
UiSMR3	0 ~ 7	“0”にしてください
UiSMR4	0 ~ 7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1 = 0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i = 0 ~ 2

注1 . 使用するビットは次のとおりです。

- ・転送データ長7ビット：ビット0~6
- ・転送データ長8ビット：ビット0~7
- ・転送データ長9ビット：ビット0~8

注2 . U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

表15.7にUARTモード時の入出力端子の機能、表15.8にUARTモード時のP6_4端子の機能を示します。
 なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します。
 図15.17にUARTモード時の送信タイミング例、図15.18にUARTモード時の受信タイミング例を示します。

表15.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXDi (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_2ビット = 0、PD6_6ビット = 0 PD7レジスタのPD7_1ビット = 0 (送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	入出力ポート	UiMRレジスタのCKDIRビット = 0
	転送クロック入力	UiMRレジスタのCKDIRビット = 1 PD6レジスタのPD6_1ビット = 0、PD6_5ビット = 0 PD7レジスタのPD7_2ビット = 0
CTSi/RTSi (P6_0、P6_4、P7_3)	CTS入力	UiC0レジスタのCRDビット = 0 UiC0レジスタのCRSビット = 0 PD6レジスタのPD6_0ビット = 0、PD6_4ビット = 0 PD7レジスタのPD7_3ビット = 0
	RTS出力	UiC0レジスタのCRDビット = 0 UiC0レジスタのCRSビット = 1
	入出力ポート	UiC0レジスタのCRDビット = 1

i = 0 ~ 2

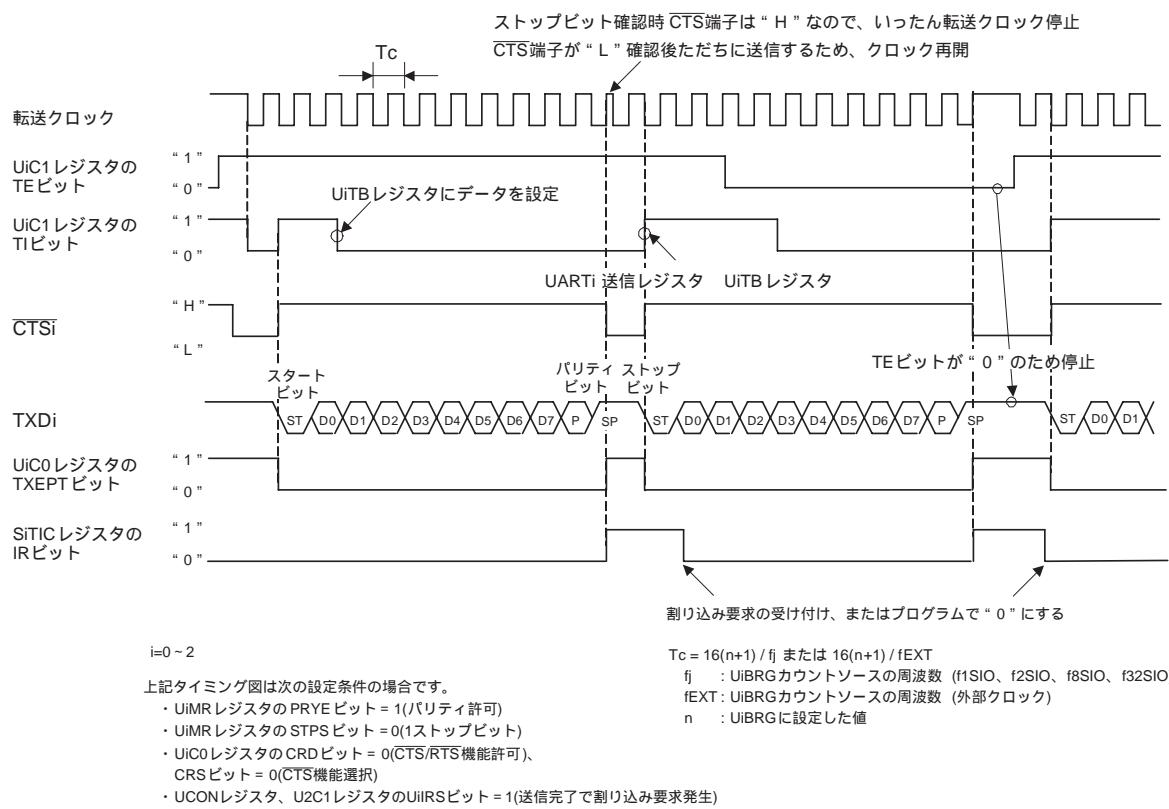
表15.8 UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	-	0	0	入力 : 0、出力 : 1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	-
CTS0(注1)	0	0	1	0	0

- : “0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

(1) 転送データ長8ビット時の送信タイミング例 (parity許可、1ストップピット)



(2) 転送データ長9ビット時の送信タイミング例 (パリティ禁止、2ストップピット)

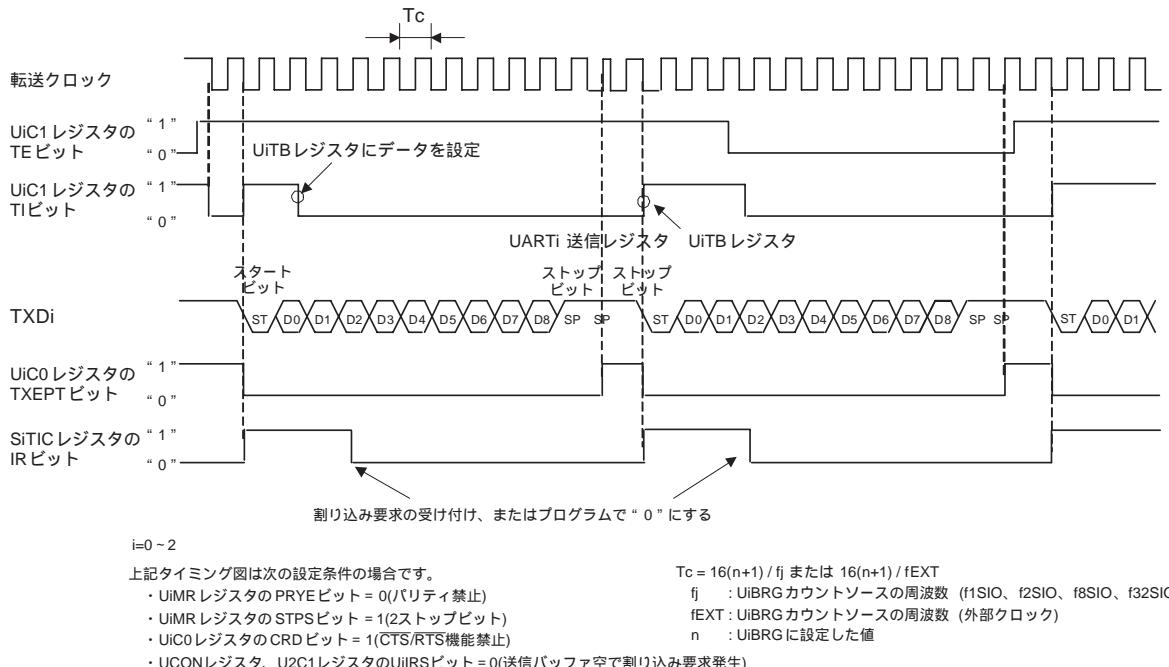


図15.17 UARTモード時の送信タイミング例

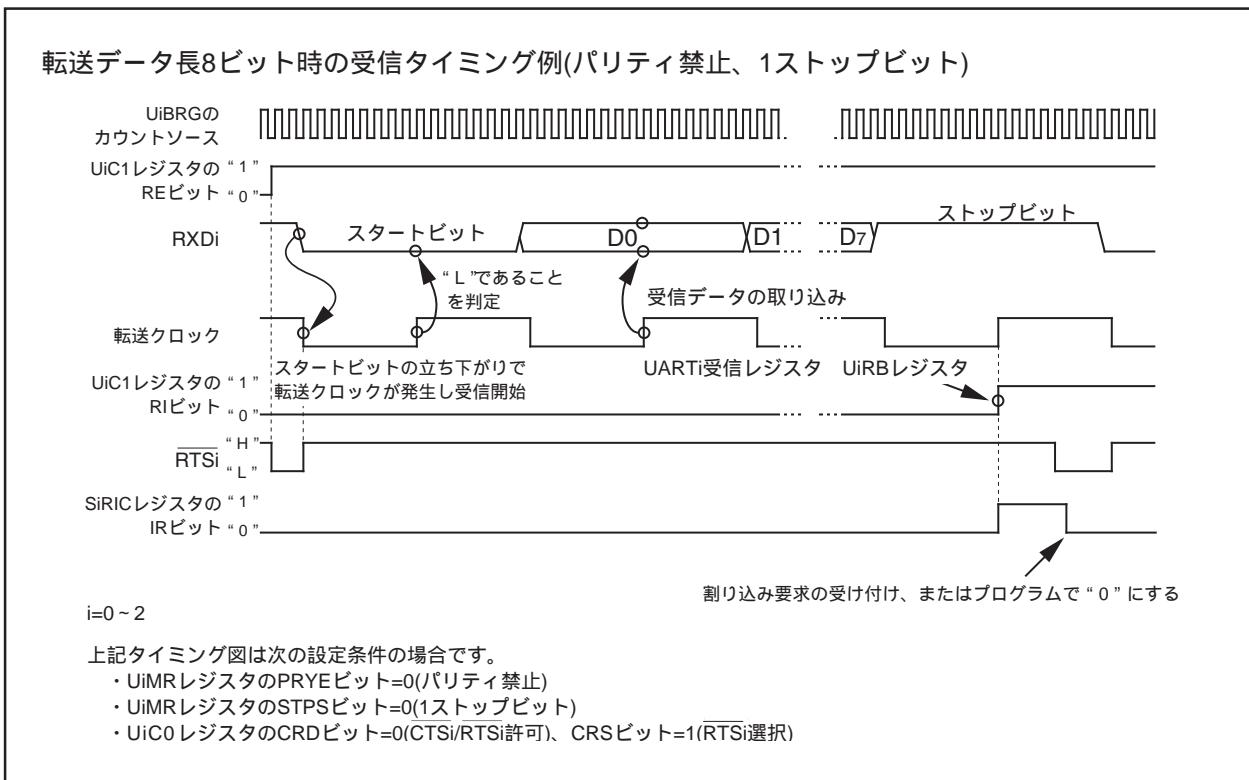


図15.18 UARTモード時の受信タイミング例

15.1.2.1 ビットレート

UARTモードは、UiBRGレジスタ($i = 0 \sim 2$)で分周した周波数の16分周がビットレートになります。

表15.9にビットレートの設定例を示します。

表15.9 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック : 16MHz		周辺機能クロック : 20MHz		周辺機能クロック : 24MHz(注1)	
		UiBRGの 設定値:n	ビットレート (bps)	UiBRGの 設定値:n	ビットレート (bps)	UiBRGの 設定値:n	ビットレート (bps)
1200	f8	103(67h)	1202	129(81h)	1202	155(9Bh)	1202
2400	f8	51(33h)	2404	64(40h)	2404	77(4Dh)	2404
4800	f8	25(19h)	4808	32(20h)	4735	38(26h)	4808
9600	f1	103(67h)	9615	129(81h)	9615	155(9Bh)	9615
14400	f1	68(44h)	14493	86(56h)	14368	103(67h)	14423
19200	f1	51(33h)	19231	64(40h)	19231	77(4Dh)	19231
28800	f1	34(22h)	28571	42(2Ah)	29070	51(33h)	28846
31250	f1	31(1Fh)	31250	39(27h)	31250	47(2Fh)	31250
38400	f1	25(19h)	38462	32(20h)	37879	38(26h)	38462
51200	f1	19(13h)	50000	23(17h)	52083	28(1Ch)	51724

i = 0 ~ 2

注1 . 24MHzは、Normal-ver.でのみ使用できます。

15.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ($i = 0 \sim 2$)の初期化手順

(1)UiC1レジスタのREビットを“0(受信禁止)”にする。

(2)UiC1レジスタのREビットを“1(受信許可)”にする。

- UiTBレジスタの初期化手順

(1)UiMRレジスタのSMD2～SMD0ビットを“000b(シリアルインターフェースは無効)”にする。

(2)UiMRレジスタのSMD2～SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。

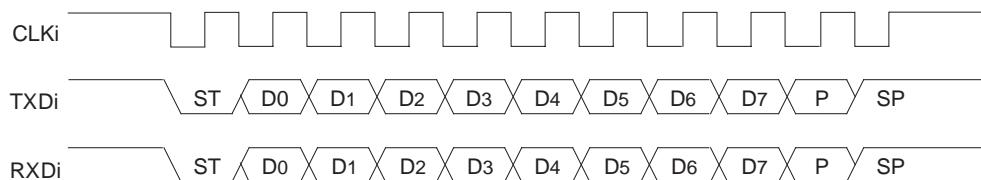
(3)UiC1レジスタのTEビットの値にかかわらず、TEビットに“1(送信許可)”を書き込む。

15.1.2.3 LSBファースト、MSBファースト選択

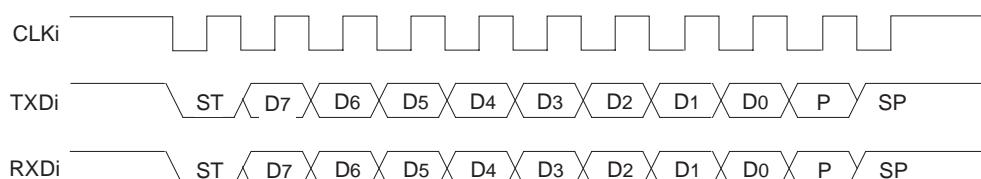
図15.19に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。

図15.19に転送フォーマットを示します。この機能は転送データ長8ビットのときに有効です。

(1) UiC0レジスタのUFORMビット = 0(LSBファースト)のとき



(2) UiC0レジスタのUFORMビット = 1(MSBファースト)のとき



$i=0 \sim 2$

ST : スタートビット

P : パリティビット

SP : ストップビット

UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)、UiC1レジスタのUiLCHビット=0(反転なし)、UiMRレジスタのSTPSビット=0(1ストップビット)、UiMRレジスタのPRYEビット=1(パリティ許可)の場合です。

図15.19 転送フォーマット

15.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読みます。

図15.20にシリアルデータ論理を示します。

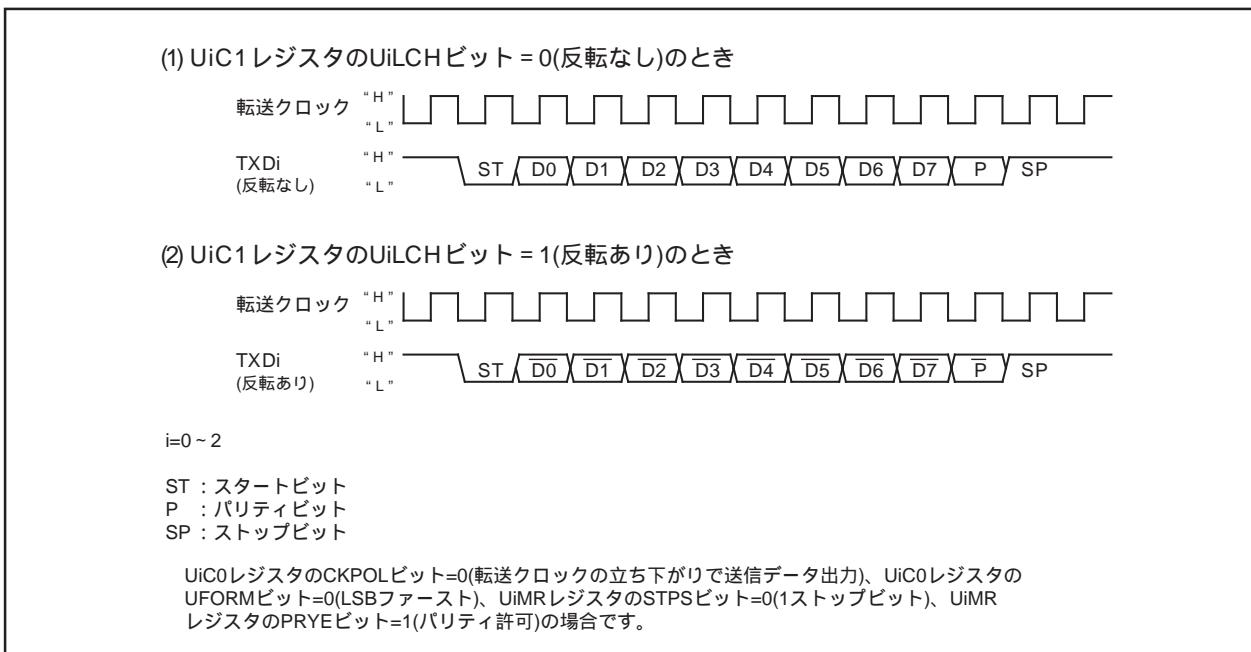


図15.20 シリアルデータ論理

15.1.2.5 TXD、RXD入出力極性切り替え機能

TXD_i端子出力とRXD_i端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。

図15.21にTXD、RXD入出力極性切り替えを示します。

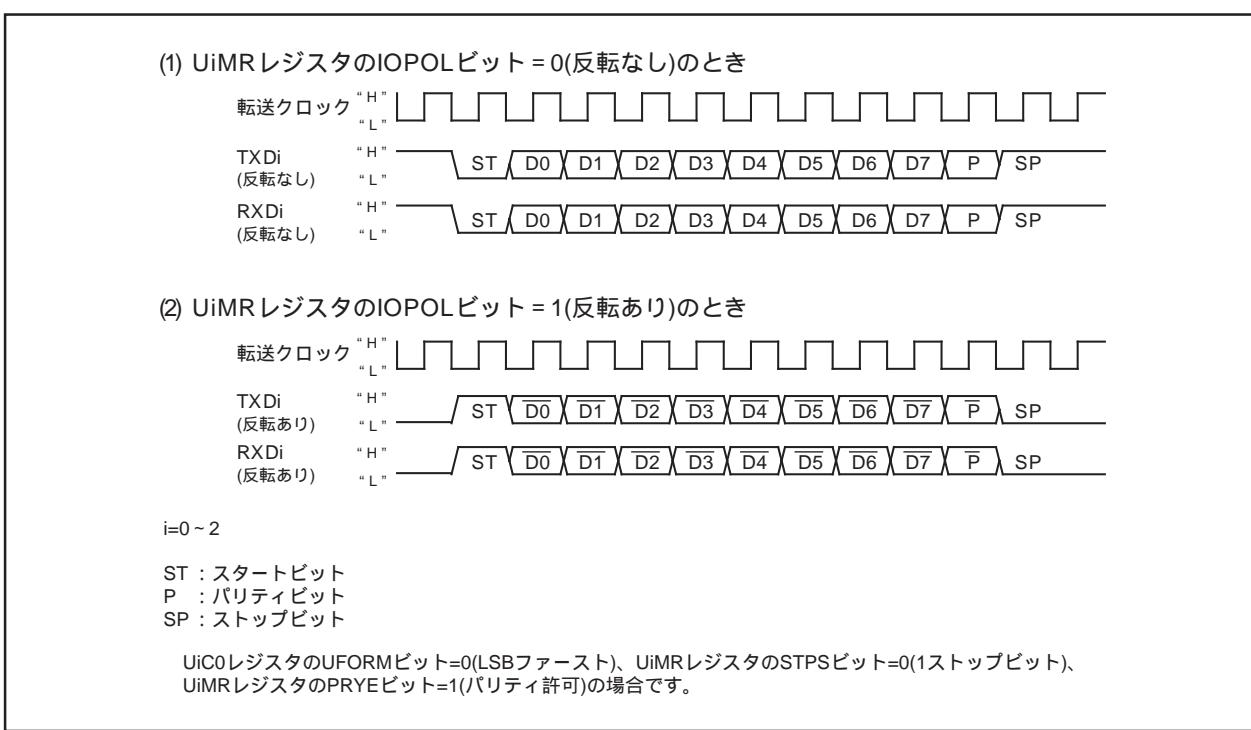


図15.21 TXD、RXD入出力極性切り替え

15.1.2.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}_i}$ ($i = 0 \sim 2$)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}_i}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}_i}$ 端子の出力レベルが“L”になります。CLK*i*端子の最初の立ち下がりで出力レベルが“H”になります。

- UIC0レジスタのCRDビット = 1(CTS/RTS機能禁止) $\overline{\text{CTS}_i}$ 端子はプログラマブル入出力機能
- CRDビット = 0、UIC0レジスタのCRSビット = 0(CTS機能選択) $\overline{\text{CTS}_i}$ 端子はCTS機能
- CRDビット = 0、CRSビット = 1(RTS機能選択) $\overline{\text{CTS}_i}$ 端子はRTS機能

15.1.2.7 CTS/RTS分離機能(UART0)

$\overline{\text{CTS}_0}$ / $\overline{\text{RTS}_0}$ を分離し、 $\overline{\text{RTS}_0}$ をP6_0端子から出力、 $\overline{\text{CTS}_0}$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット = 0(UART0のCTS/RTS許可)
- U0C0レジスタのCRSビット = 1(UART0のRTS出力)
- U1C0レジスタのCRDビット = 0(UART1のCTS/RTS許可)
- U1C0レジスタのCRSビット = 0(UART1のCTS入力)
- UCONレジスタのRCSPビット = 1($\overline{\text{CTS}_0}$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット = 0(CLKS1を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

図15.22にCTS/RTS分離機能の使用例を示します。

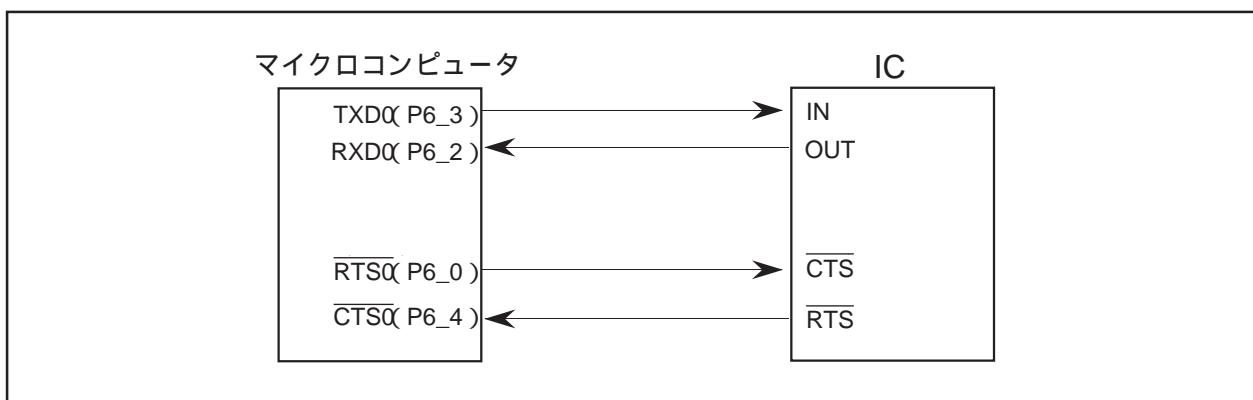


図15.22 CTS/RTS分離機能の使用例

15.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインターフェースに対応したモードです。

表15.10にI²Cモードの仕様、図15.23にI²Cモード時のプロック図、表15.11にI²Cモード時の使用レジスタと設定値、表15.12にI²Cモード時の各機能、図15.24にUiRBレジスタへの転送、割り込みタイミングを示します。

表15.12に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表15.10 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> ・マスタ時 UiMRレジスタのCKDIRビットが“0”(内部クロック): $f_j/2((n+1))$ $f_j = f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ $n = \text{UiBRGレジスタの設定値 } 00h \sim FFh$ ・スレーブ時 CKDIRビットが“1”(外部クロック): SCLi端子からの入力
送信開始条件	<p>送信開始には、次の条件が必要(注1)</p> <ul style="list-style-type: none"> ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	<p>受信開始には、次の条件が必要(注1)</p> <ul style="list-style-type: none"> ・UiC1レジスタのREビットが“1”(受信許可) ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	<p>オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生</p>
選択機能	<ul style="list-style-type: none"> ・アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 ・SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 ・クロック位相設定 クロック遅れあり、なしを選択可

i = 0 ~ 2

注1. 外部クロックを選択している場合、外部クロックが“H”的状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

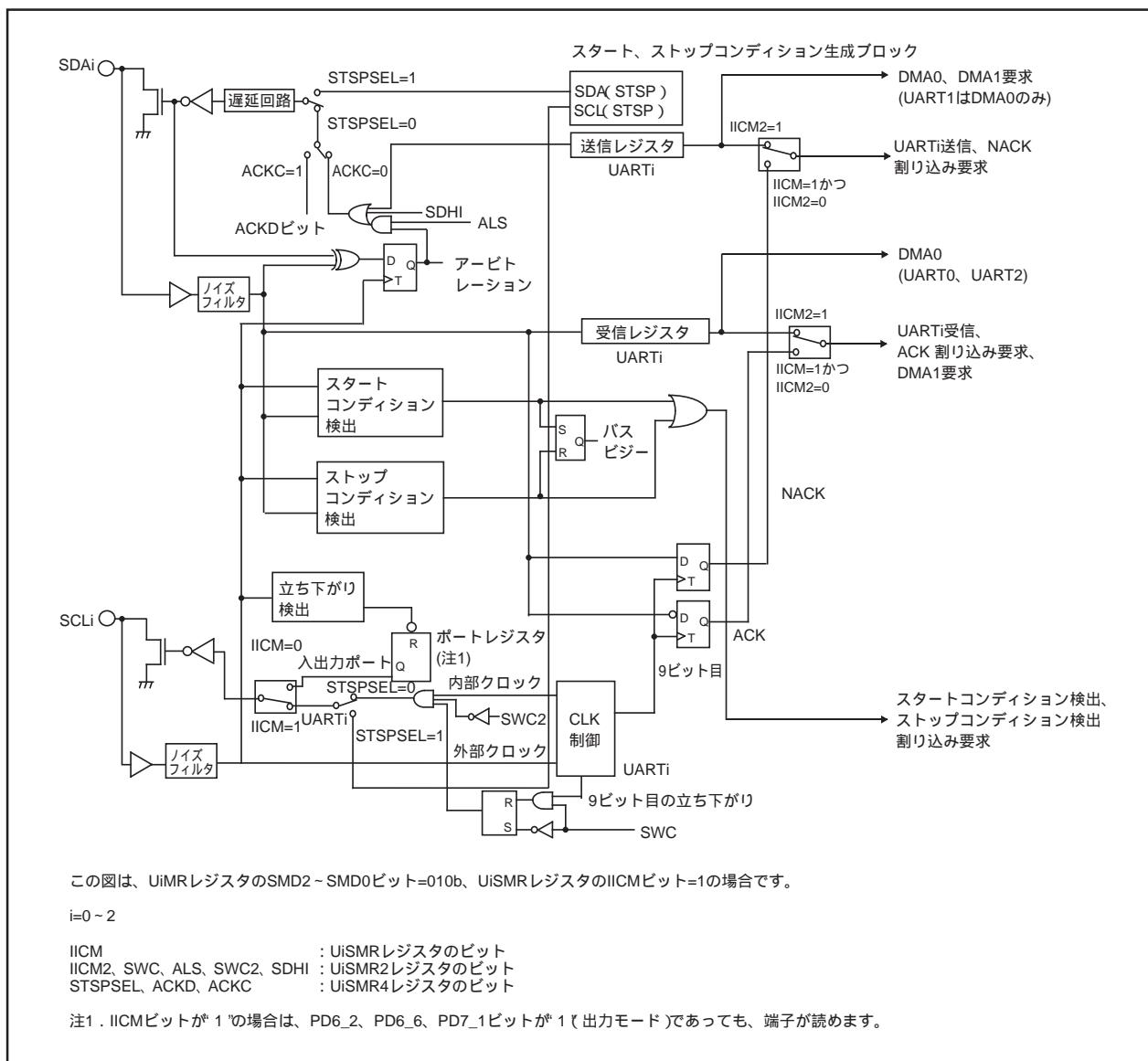
図15.23 I²Cモード時のブロック図

表15.11 I²Cモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		マスター時	スレーブ時
UiTB(注1)	0 ~ 7	送信データを設定してください	
UiRB(注1)	0 ~ 7	受信データが読みます	
	8	ACK、NACKが入ります	
	ABT	アービトレイションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	
UiBRG	0 ~ 7	ピットレートを設定してください	無効
UiMRC(注1)	SMD2 ~ SMD0	“010b”にしてください	
	CKDIR	“0”にしてください	“1”にしてください
	IOPOL	“0”にしてください	
UiC0	CLK1 ~ CLK0	UiBRGのカウントソースを選択してください	無効
	CRS	CRD = 1なので無効	
	TXEPT	送信レジスタ空フラグ	
	CRD(注3)	“1”にしてください	
	NCH	“1”にしてください	
	CKPOL	“0”にしてください	
UiC1	UFORM	“1”にしてください	
	TE	送信を許可する場合、“1”にしてください	
	TI	送信バッファ空フラグ	
	RE	受信を許可する場合、“1”にしてください	
	RI	受信完了フラグ	
	U2IIRS(注2)	無効	
UiSMR	U2RRM(注2)、UiLCH、UIERE	“0”にしてください	
	IICM	“1”にしてください	
	ABC	アービトレイションロスト検出タイミングを選択してください	無効
	BBS	バスビジーングフラグ	
UiSMR2	3 ~ 7	“0”にしてください	
	IICM2	「表15.12 I ² Cモード時の各機能」参照	
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1”してください	
	ALS	アービトレイションロスト検出時にSDAiの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUARTiを初期化する場合、“1”にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1”にしてください	
	SDHI	SDAi出力を禁止する場合、“1”にしてください	
	7	“0”にしてください	
UiSMR3	0、2、4、NODC	“0”にしてください	
	CKPH	「表15.12 I ² Cモード時の各機能」参照	
	DL2 ~ DL0	SDAiのデジタル遅延値を設定してください	
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	
	ACKC	ACKデータを出力する場合、“1”にしてください	
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCLiを“L”ホールドにする場合、“1”にしてください
IFSR0	IFSR06、IFSR07	“1”にしてください	
UCON	U0IRS、U1IRS	無効	
	2 ~ 7	“0”にしてください	

i = 0 ~ 2

注1. この表に記載していないビットはI²Cモード時に書く場合、“0”を書いてください。

注2. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS機能許可)、CRSビットを“0”(CTS機能を選択)にしてください。

表15.12 I²Cモード時の各機能

機能	クロック同期形 シリアルI/Oモード (SMD2 ~ SMD0 = 001b, IICM = 0)	I ² Cモード(SMD2 ~ SMD0 = 010b, IICM = 1)			
		IICM2 = 0 (NACK/ACK割り込み)		IICM2 = 1 (UART送信 / UART受信割り込み)	
		CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)	CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)
割り込み番号6,7,10 の要因(注1、5、7)	-	スタートコンディション検出、ストップコンディション検出 (「表15.13 STSPSELビットの機能」参照)			
割り込み番号 15,17,19の要因 (注1、6)	UARTi送信 送信開始、または 送信完了 (UiRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLi の立ち上がり	UARTi送信 9ビット目の次の SCLiの立ち下がり
割り込み番号 16,18,20の要因 (注1、6)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi受信 9ビット目のSCLiの立ち下がり	
UART受信シフト レジスタからUiRB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLi の立ち下がり	9ビット目のSCLi の立ち下がりと、 立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P6_3、P6_7、P7_0 端子の機能	TXDi出力	SDAi入出力			
P6_2、P6_6、P7_1 端子の機能	RXDi入力	SCLi入出力			
P6_1、P6_5、P7_2 端子の機能	CLKi入力または 出力選択	-(I ² Cモードには使用しない)			
ノイズフィルタ幅	15ns	200ns			
RXDi、SCLi端子 レベルの読み込み	対応するポート 方向ビットが“0” の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi、SDAi出力 の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	-	H	L	H	L
DMA1要因(注6)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目を UiRBレジスタの ビット0~7に格納	1~8ビット目をUiRBレジスタの ビット7~0に格納		1~7ビット目をUiRBレジスタビット 6~0に、8ビット目を UiRBレジスタのビット ビット8に格納	1~8ビット目をUiRB レジスタのビット 7~0に格納(注3)
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す				UiRBレジスタのビット 6~0はビット7~1と して、ビット8はビット0 として読み出す(注4)

i = 0 ~ 2

注1 . 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「23.6 割り込み」参照)。次のビットを変更すると、割り込み要因、割り込みタイミングなどが変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

- UiMRレジスタのSMD2 ~ SMD0ビット
- UiSMRレジスタのIICMビット、
- UiSMR2レジスタのIICM2ビット
- UiSMR3レジスタのCKPHビット

注2 . SDAi出力の初期値は、SMD2 ~ SMD0ビットが“000b”(シリアルインターフェースは無効)の状態で設定してください。

注3 . UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)

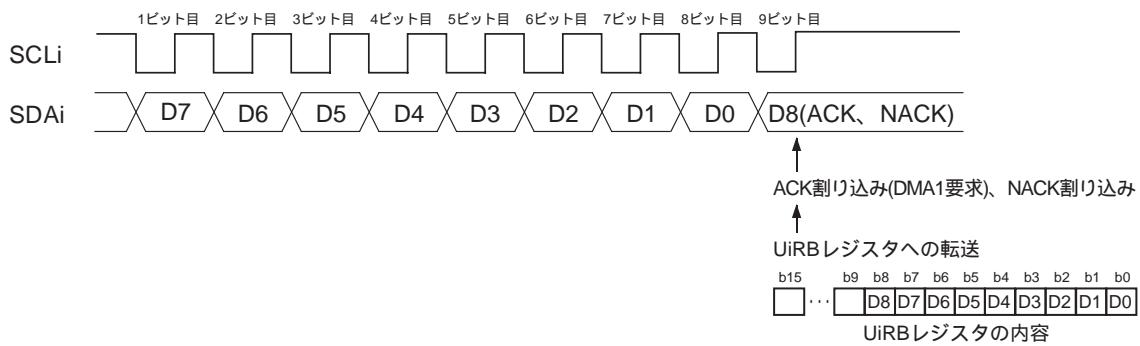
注4 . UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)

注5 . 「図15.26 STSPSELビットの機能」参照。

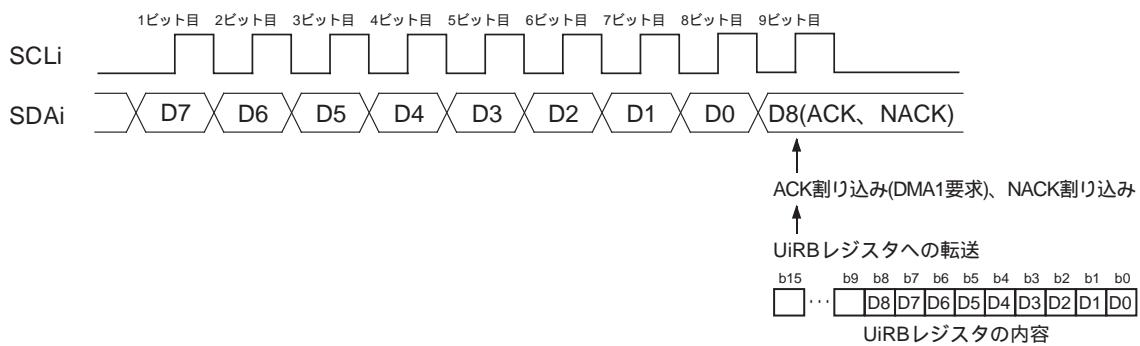
注6 . 「図15.24 UiRBレジスタへの転送、割り込みのタイミング」参照。

注7 . UART0使用時はIFSR0レジスタのIFSR06ビットを“1”(割り込み要因はUART0バス衝突検出)にしてください。
UART1使用時はIFSR0レジスタのIFSR07ビットを“1”(割り込み要因はUART1バス衝突検出)にしてください。

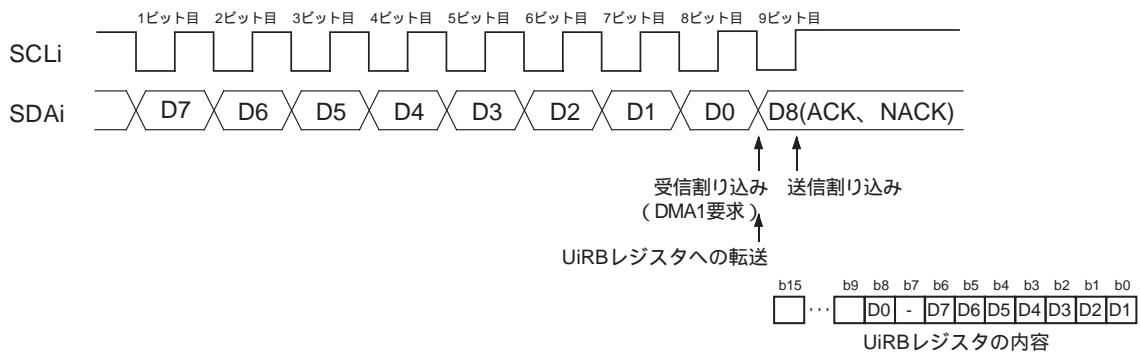
(1) IICM2 = 0(ACK、NACK割り込み) CKPH = 0(クロック遅れなし)の場合



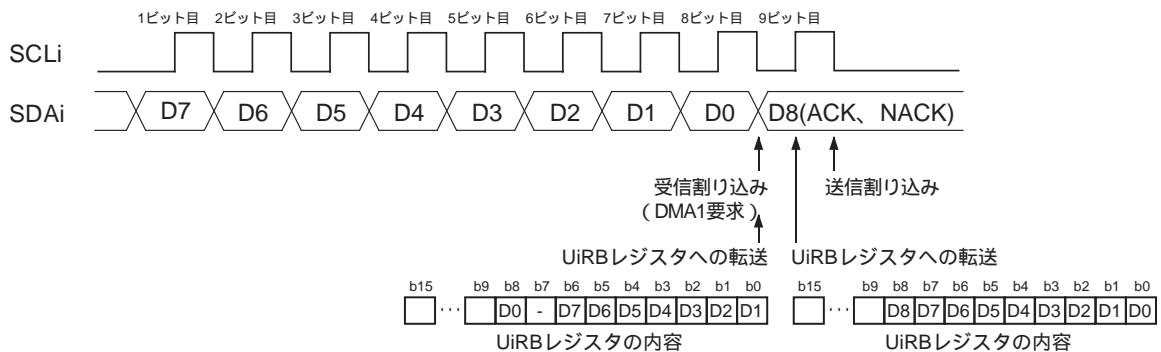
(2) IICM2 = 0、CKPH = 1(クロック遅れあり)の場合



(3) IICM2 = 1(UART送信、受信割り込み) CKPH = 0の場合



(4) IICM2 = 1、CKPH = 1の場合

 $i = 0 \sim 2$

この図は次の設定条件の場合です。

- UiMRレジスタのCKDIRビット = 0(スレーブ選択)

図15.24 UIRBレジスタへの転送、割り込みタイミング

15.1.3.1 スタートコンディション、ストップコンディションの検出

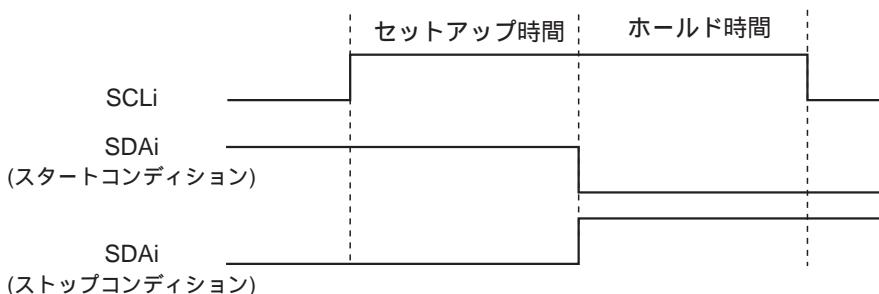
スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、 SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、 SCLi端子が“H”的状態でSDAi端子が“L”から“H”に変化すると発生します。

図15.25にスタートコンディション、ストップコンディションの検出を示します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

3~6サイクル < セットアップ時間(注1)
3~6サイクル < ホールド時間(注1)



i=0 ~ 2

注1 . PCLKRレジスタのPCLK1ビットが“1”的場合はf1SIOの、PCLK1ビットが“0”的場合はf2SIOのサイクル数です。

図15.25 スタートコンディション、ストップコンディションの検出

15.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ($i=0 \sim 2$)のSTAREQビットを“1(スタート)”にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1(スタート)”にするとリストアコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1(スタート)”にするとストップコンディションを生成します。

出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1(スタート)”にする
- (2) UiSMR4レジスタのSTSPSELビットを“1(出力)”にする

表15.13、図15.26にSTSPSELビットの機能を示します。

表15.13 STSPSELビットの機能

機能	STSPSEL = 0	STSPSEL = 1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力は、ポートを使ったプログラムで実現(ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

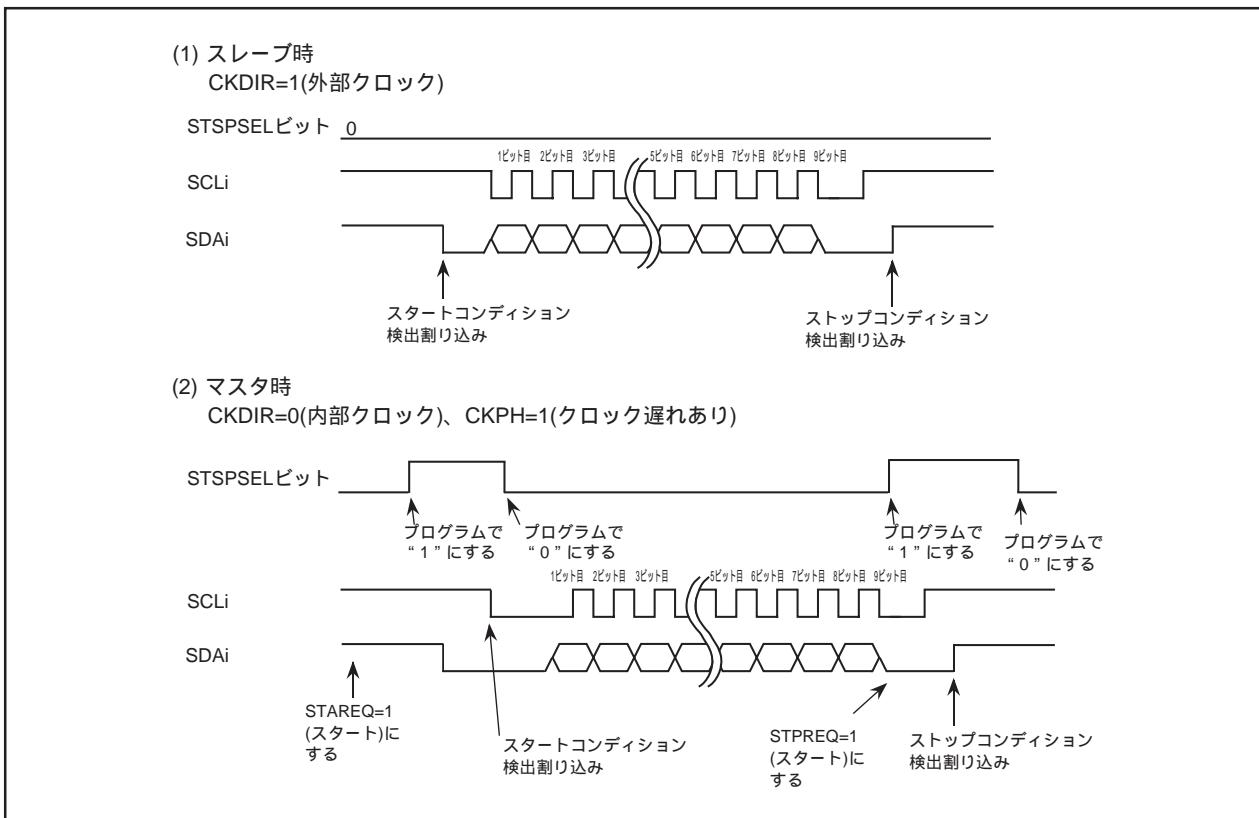


図15.26 STSPSELビットの機能

15.1.3.3 アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0(ビットごとに更新)”の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりでABTビットが“1(不一致検出)”になります。なお、バイトごとに更新する場合は、1バイト目のアノリッジ検出完了後、ABTビットを“0(未検出)”にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1(SDA出力停止許可)”にすると、アービトレーションロストが発生し、ABTビットが“1(不一致検出)”になったとき、同時にSDAi端子がハイインピーダンス状態になります。

15.1.3.4 転送クロック

図15.24に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”的とき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。

したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”的とき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

15.1.3.5 SDA出力

UiTBレジスタのビット7～0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM = 1(I²Cモード)で、UiMRレジスタのSMD2～SMD0ビットが“000b”(シリアルインターフェースは無効)の状態で設定してください。

UiSMR3レジスタのDL2～DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

15.1.3.6 SDA入力

IICM2ビットが“0”的とき、受信したデータの1～8ビット目(D7～D0)をUiRBレジスタのビット7～0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”的とき、受信したデータの1～7ビット目(D7～D1)をUiRBレジスタのビット6～0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”的ときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”的ときと同様のデータが読めます。

15.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”的場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”的ままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

15.1.3.8 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- ・送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- ・受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- ・SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用してUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

15.1.4 特殊モード2

1つのマスターから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。

表15.14に特殊モード2の仕様、図15.27に特殊モード2の通信制御例(UART2) 表15.15に特殊モード2時の使用レジスタと設定値を示します。

表15.14 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> ・マスターモード <ul style="list-style-type: none"> UiMRレジスタのCKDIRビットが“0”(内部クロック選択): $f_j (2^{n+1})$ $f_j = f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ n: UiBRGレジスタ設定値 00h ~ FFh ・スレーブモード <ul style="list-style-type: none"> CKDIRビットが“1”(外部クロック選択): CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) <ul style="list-style-type: none"> ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> ・UiC1レジスタのREビットが“1”(受信許可) ・TEビットが“1”(送信許可) ・TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> ・UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時受信時 <ul style="list-style-type: none"> ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) <ul style="list-style-type: none"> UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 <ul style="list-style-type: none"> 転送クロックの極性と相の4つの組み合わせを選択可

$i = 0 \sim 2$

注1 . 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”的状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)ときは外部クロックが“L”的状態で条件を満たしてください。

注2 . U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3 . オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

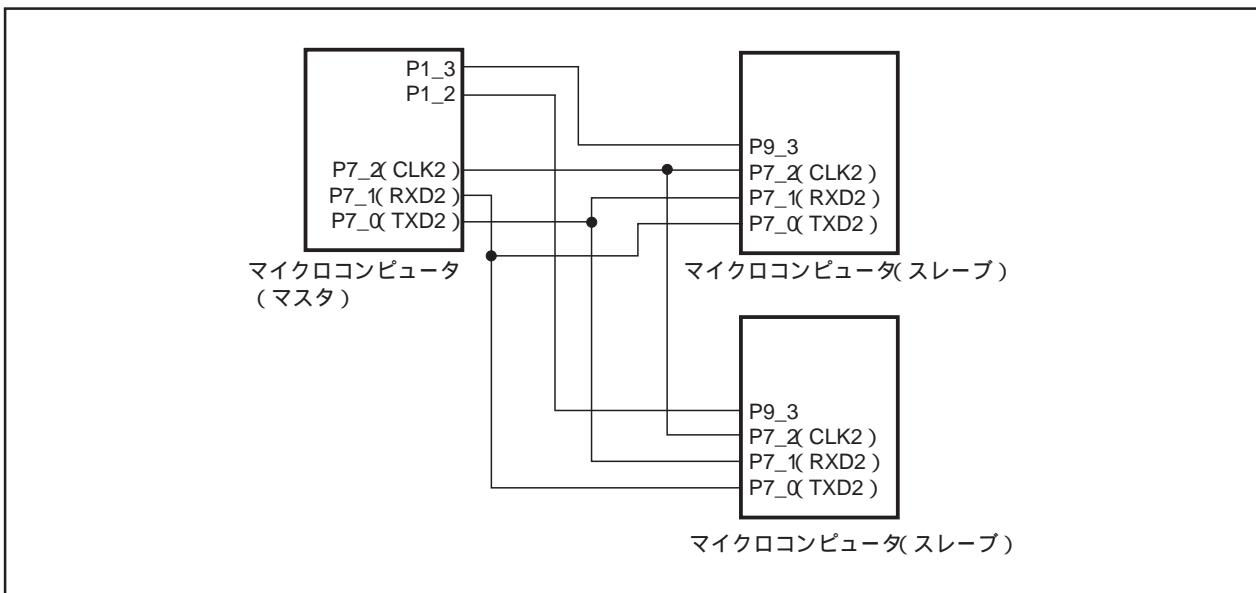


図15.27 特殊モード2の通信制御例(UART2)

表15.15 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注1)	0 ~ 7	送信データを設定してください
UiRB(注1)	0 ~ 7	受信データが読みます
	OER	オーバランエラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR(注1)	SMD2 ~ SMD0	“ 001b ”にしてください
	CKDIR	マスター モードの場合 “ 0 ”に、スレーブ モードの場合 “ 1 ”にしてください
	IOPOL	“ 0 ”にしてください
UiC0	CLK1 ~ CLK0	UiBRG のカウントソースを選択してください
	CRS	CRD = 1 なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“ 1 ”にしてください
	NCH	TXDi 端子の出力形式を選択してください
	CKPOL	UiSMR3 レジスタの CKPH ビットとの組み合わせでクロック位相が設定できます
	UFORM	“ 0 ”にしてください
UiC1	TE	送受信許可する場合、“ 1 ”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“ 1 ”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2 送信割り込み要因を選択してください
	U2RRM(注2)	“ 0 ”にしてください
	UiLCH、UiERE	
UiSMR	0 ~ 7	“ 0 ”にしてください
UiSMR2	0 ~ 7	“ 0 ”にしてください
UiSMR3	CKPH	UiC0 レジスタの CKPOL ビットとの組み合わせでクロック位相が設定できます
	NODC	“ 0 ”にしてください
	0、2、4 ~ 7	“ 0 ”にしてください
UiSMR4	0 ~ 7	“ 0 ”にしてください
UCON	U0IRS、U1IRS	UART0、1 送信割り込み要因を選択してください
	U0RRM、U1RRM	“ 0 ”にしてください
	CLKMD0	CLKMD1 = 0 なので無効
	CLKMD1、RCSP、7	“ 0 ”にしてください

i = 0 ~ 2

注1 . この表に記載していないビットは特殊モード2時に書く場合、“ 0 ”を書いてください。

注2 . U0C1、U1C1 レジスタのビット4、5 は “ 0 ”にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットは UCON レジスタにあります。

15.1.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスターとスレーブで同じにしてください。

図15.28にマスター(内部クロック)の場合の送受信のタイミングを示します。

図15.29にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH = 0) 図15.30にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH = 1)を示します。

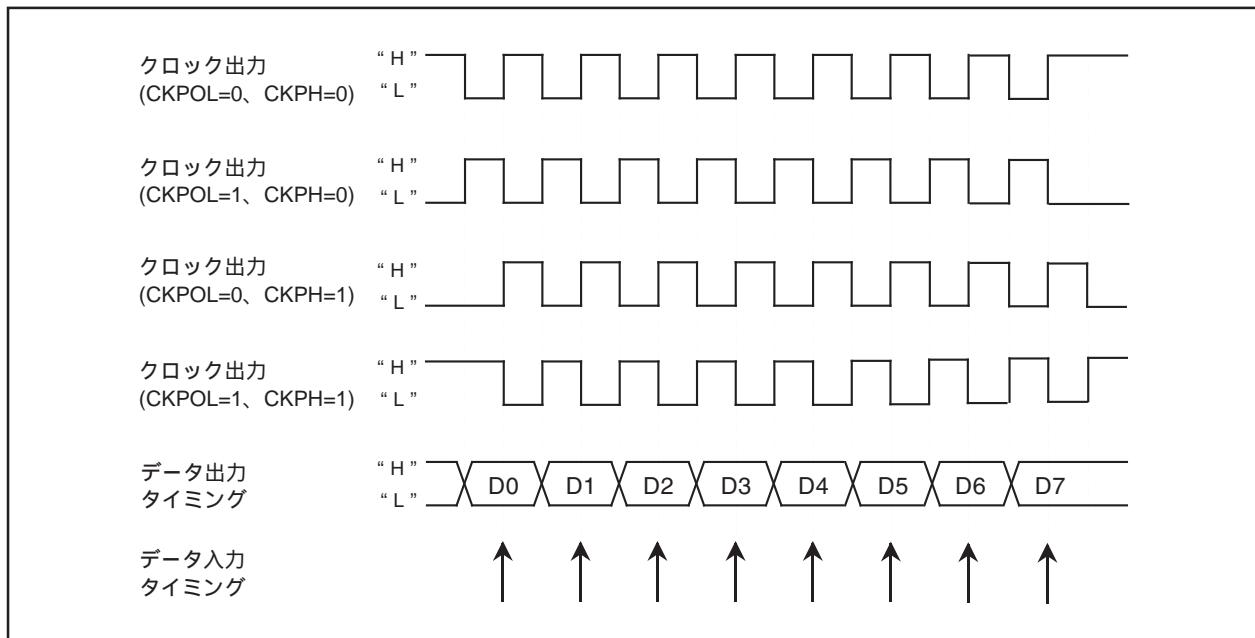


図15.28 マスター(内部クロック)の場合の送受信のタイミング

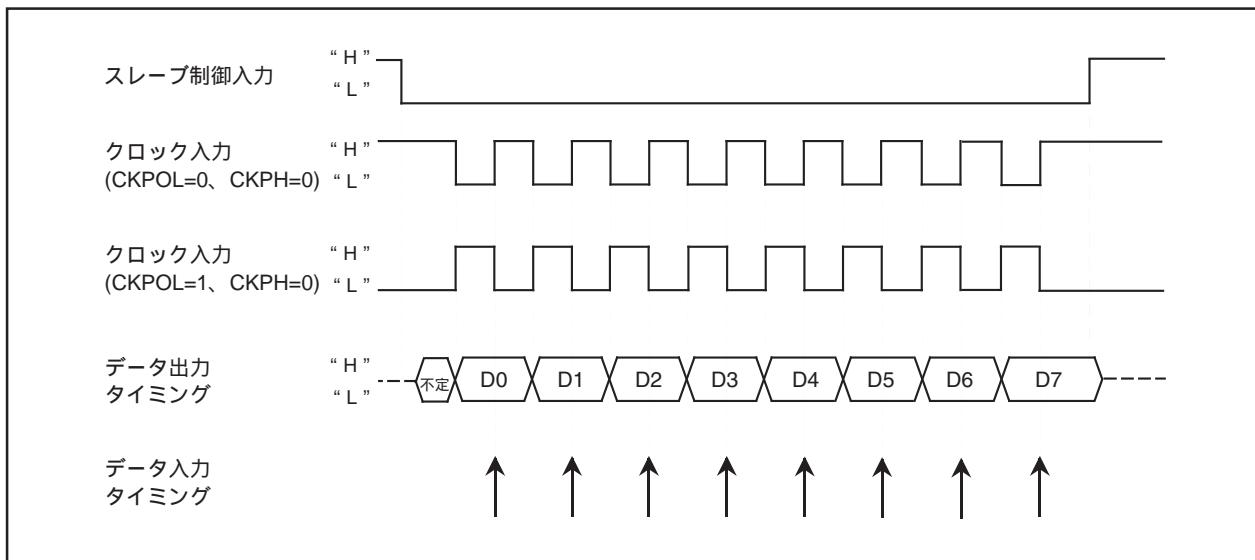


図15.29 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH = 0)

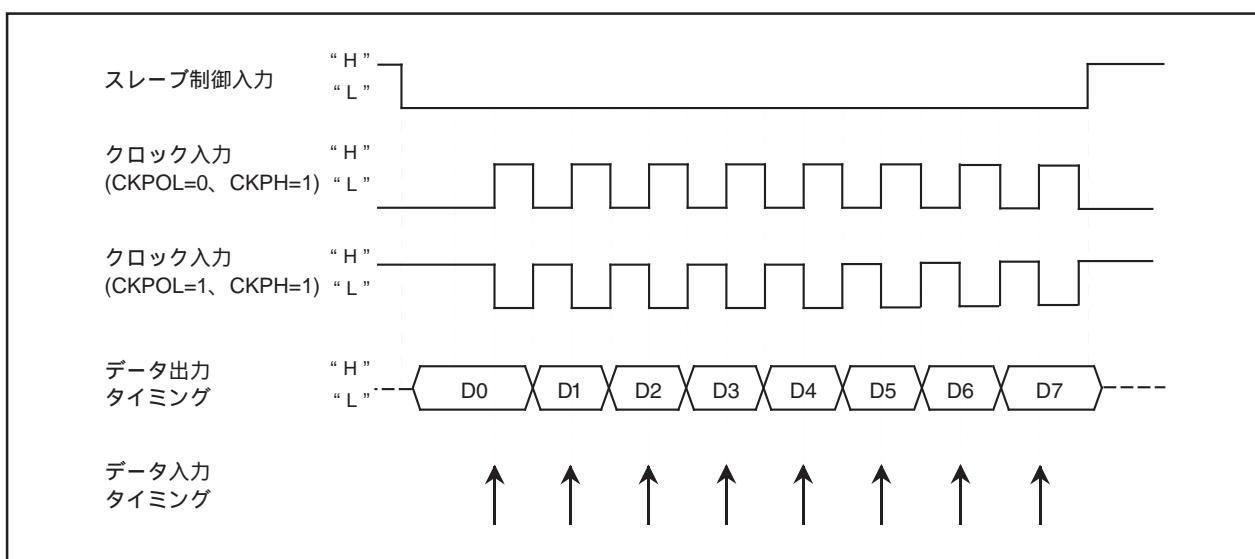


図15.30 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH = 1)

15.1.5 特殊モード3(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表15.16にIEモード時の使用レジスタと設定値、図15.31にバス衝突検出機能関連ビットの機能を示します。

TXDi端子($i = 0 \sim 2$)の出力レベルとRXDi端子の入力レベルが異なる場合、UART*i*バス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR0レジスタのIFSR06ビットとIFSR07ビットで選択してください。

表15.16 IEモード時の使用レジスタと設定値

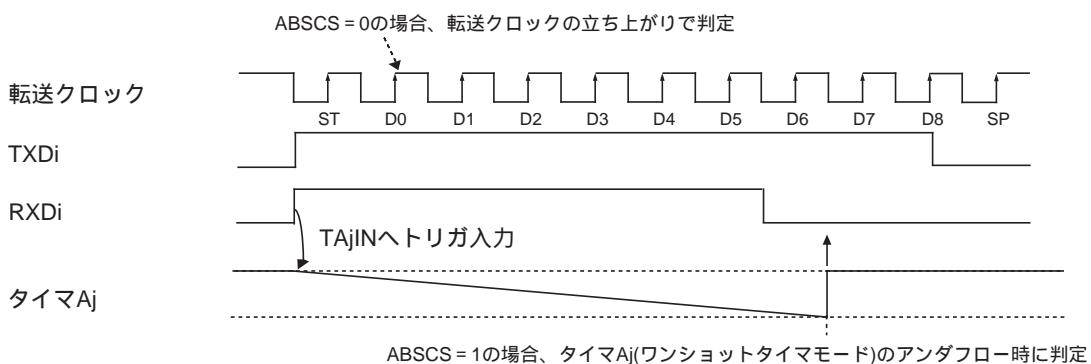
レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください
UiRB(注1)	0 ~ 8	受信データが読みます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ピットレートを設定してください
UiMR	SMD2 ~ SMD0	" 110b "にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	" 0 "にしてください
	PRY	PRYE = 0なので無効
	PRYE	" 0 "にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1 ~ CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD = 1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	" 1 "にしてください
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	" 0 "にしてください
UiC1	UFORM	" 0 "にしてください
	TE	送信を許可する場合、" 1 "にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、" 1 "にしてください
	RI	受信完了フラグ
	U2IRS(注2)	URAT2送信割り込み要因を選択してください
UiSMR	U2RRM(注2)	" 0 "にしてください
	UiLCH、UiERE	
UiSMR	0 ~ 3、7	" 0 "にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、" 1 "にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0 ~ 7	" 0 "にしてください
UiSMR3	0 ~ 7	" 0 "にしてください
UiSMR4	0 ~ 7	" 0 "にしてください
IFSR0	IFSR06、IFSR07	" 1 "にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	" 0 "にしてください
	CLKMD0	CLKMD1 = 0なので無効
	CLKMD1、RCSP、7	" 0 "にしてください

$i = 0 \sim 2$

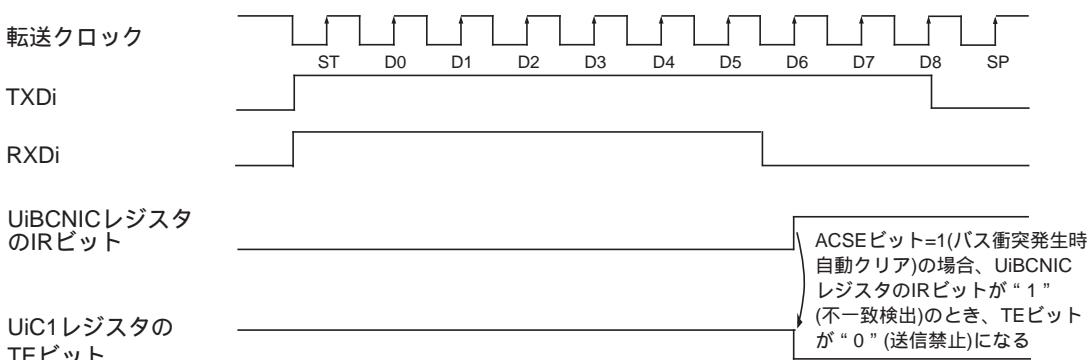
注1 . この表に記載していないビットはIEモード時に書く場合、" 0 "を書いてください。

注2 . U0C1、U1C1レジスタのビット4、5は" 0 "にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

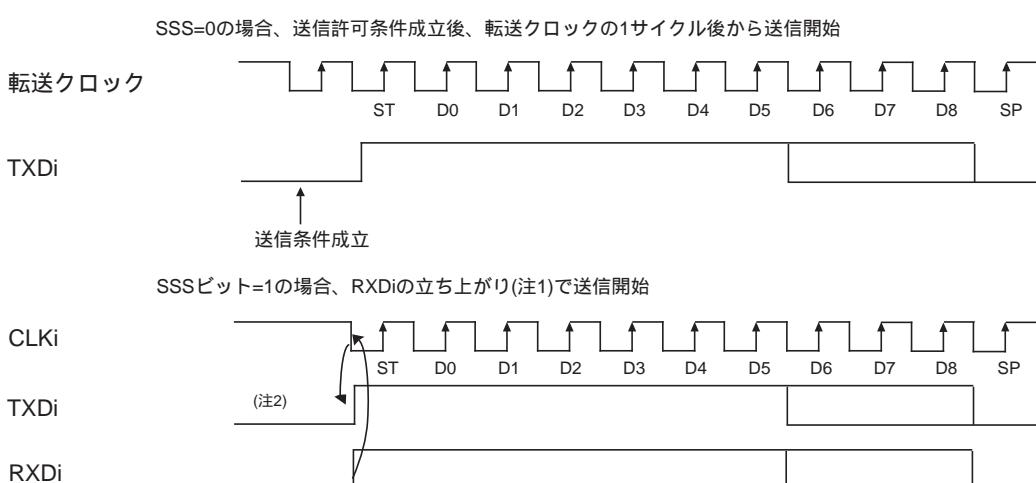
(1) UiSMRレジスタのABSCSビット(バス衝突検出サンプリングクロック選択)



(2) UiSMRレジスタのACSEビット(送信許可ビット自動クリア)



(3) UiSMRレジスタのSSSビット(送信開始条件選択)



注1 . IOPOL=0の場合、RXDiの立ち下がり。IOPOL=1の場合、RXDiの立ち上がり。

注2 . 送信条件は、RXDiの立ち下がり(注1)前に成立している必要があります。

$i = 0 \sim 2$
この図は、IOPOL = 1(反転あり)の場合です。

図15.31 バス衝突検出機能関連ビットの機能

15.1.6 特殊モード4(SIMモード (UART2))

UARTモードを使用して、SIMインターフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表15.17にSIMモードの仕様、表15.18にSIMモード時の使用レジスタと設定値、図15.32にSIMモードの送受信タイミング例を示します。

表15.17 SIMモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ダイレクトフォーマット インバースフォーマット
転送クロック	<ul style="list-style-type: none"> U2MRレジスタのCKDIRビットが“0”(内部クロック): fi(16(n+1)) fi=f1SIO、f2SIO、f8SIO、f32SIO n=U2BRGレジスタの設定値 00h ~ FFh CKDIRビットが“1”(外部クロック): fEXT(16(n+1)) fEXTはCLK2端子からの入力 n=U2BRGレジスタの設定値 00h ~ FFh
送信開始条件	<p>送信開始には、次の条件が必要</p> <ul style="list-style-type: none"> U2C1レジスタのTEビットが“1”(送信許可) U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	<p>受信開始には、次の条件が必要</p> <ul style="list-style-type: none"> U2C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング(注2)	<ul style="list-style-type: none"> 送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット = 1) 受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1 . オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

注2 . リセット後、U2C1レジスタのU2IRSビットを“1”(送信完了) U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

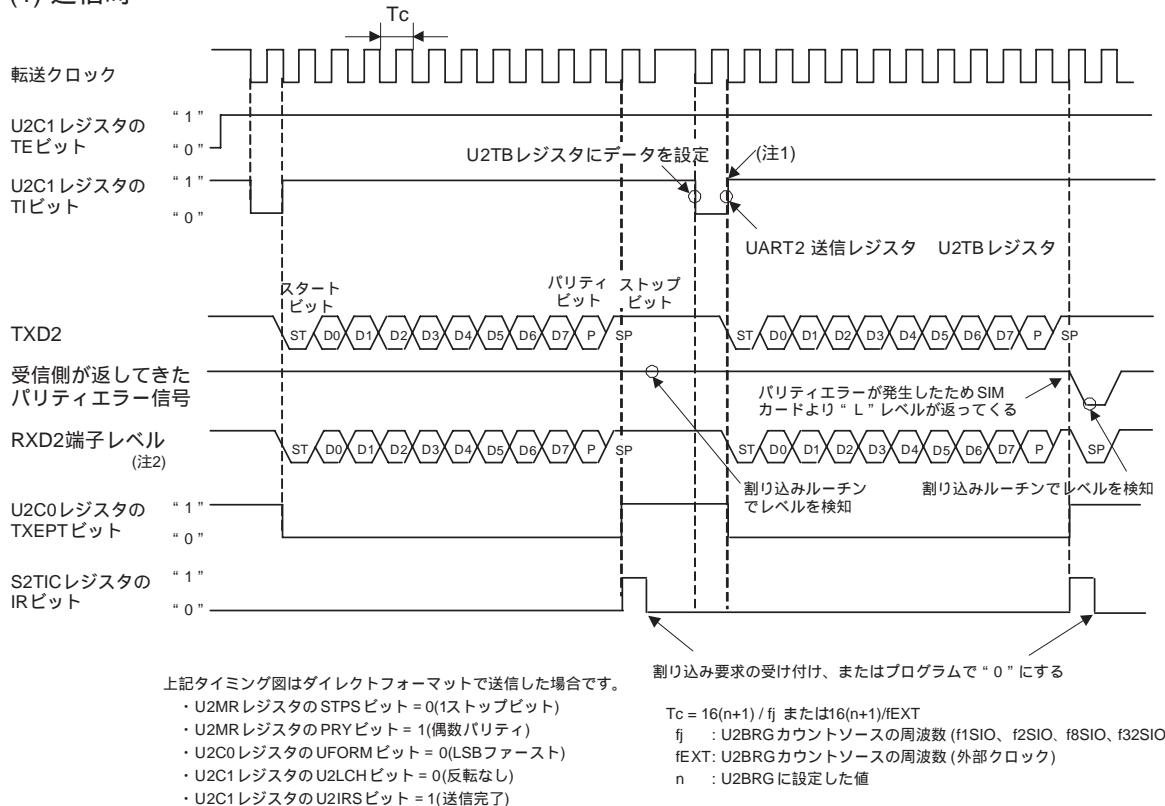
注3 . フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表15.18 SIMモード時の使用レジスタと設定値

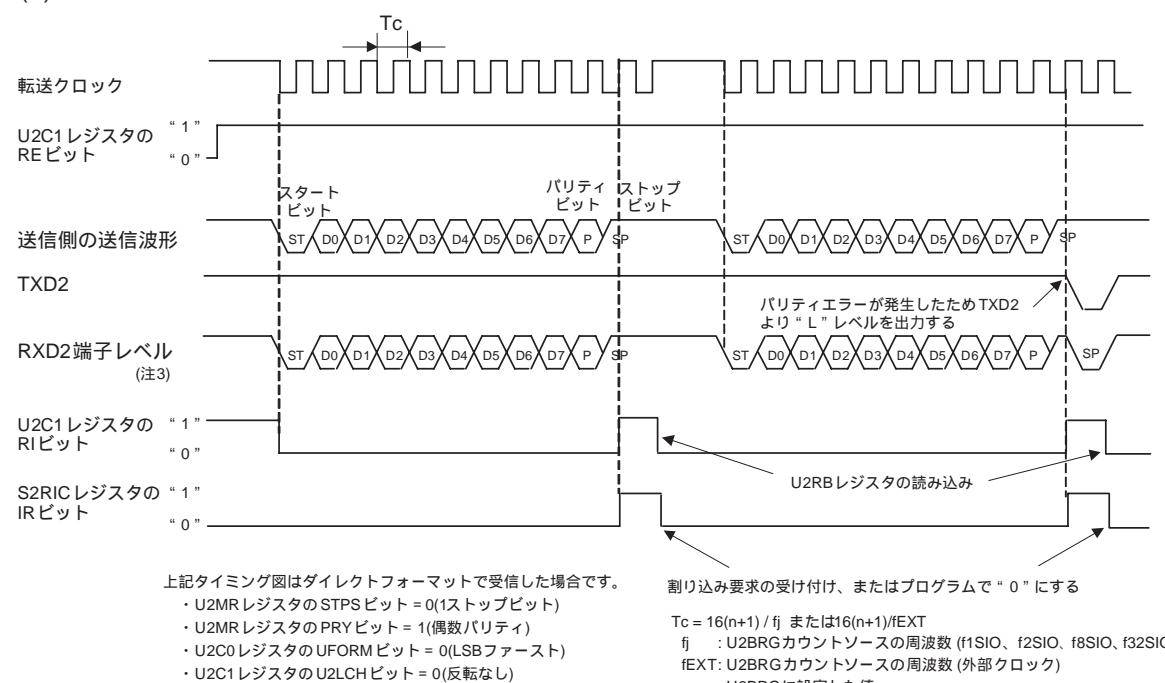
レジスタ	ビット	機能
U2TB(注1)	0 ~ 7	送信データを設定してください
U2RB(注1)	0 ~ 7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0 ~ 7	ビットレートを設定してください
U2MR	SMD2 ~ SMD0	“ 101b ”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“ 0 ”にしてください
	PRY	ダイレクトフォーマットの場合“ 1 ”に、インバースフォーマットの場合“ 0 ”にしてください
	PRYE	“ 1 ”にしてください
	IOPOL	“ 0 ”にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD = 1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“ 1 ”にしてください
	NCH	“ 0 ”にしてください
	CKPOL	“ 0 ”にしてください
	UFORM	ダイレクトフォーマットの場合“ 0 ”に、インバースフォーマットの場合“ 1 ”にしてください
U2C1	TE	送信を許可する場合“ 1 ”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“ 1 ”にしてください
	RI	受信完了フラグ
	U2IRS	“ 1 ”にしてください
	U2RRM	“ 0 ”にしてください
	U2LCH	ダイレクトフォーマットの場合“ 0 ”に、インバースフォーマットの場合“ 1 ”にしてください
U2SMR(注1)	U2ERE	“ 1 ”にしてください
	0 ~ 3	“ 0 ”にしてください
	U2SMR2	“ 0 ”にしてください
	U2SMR3	“ 0 ”にしてください
U2SMR4	0 ~ 7	“ 0 ”にしてください

注1 . この表に記載していないビットはSIMモード時に書く場合、“ 0 ”を書いてください。

(1) 送信時



(2) 受信時



注1. 上記タイミングで、U2TBレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。
注2. TXD2とRXD2を接続しているため、TXD2の送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。
注3. TXD2とRXD2を接続しているため、送信側の送信波形と TXD2のパリティエラー信号出力を合成した波形になります。

図15.32 SIMモードの送受信タイミング例

図15.33にSIMインターフェースの接続例を示します。TXD2とRXD2を接続してブルアップしてください。

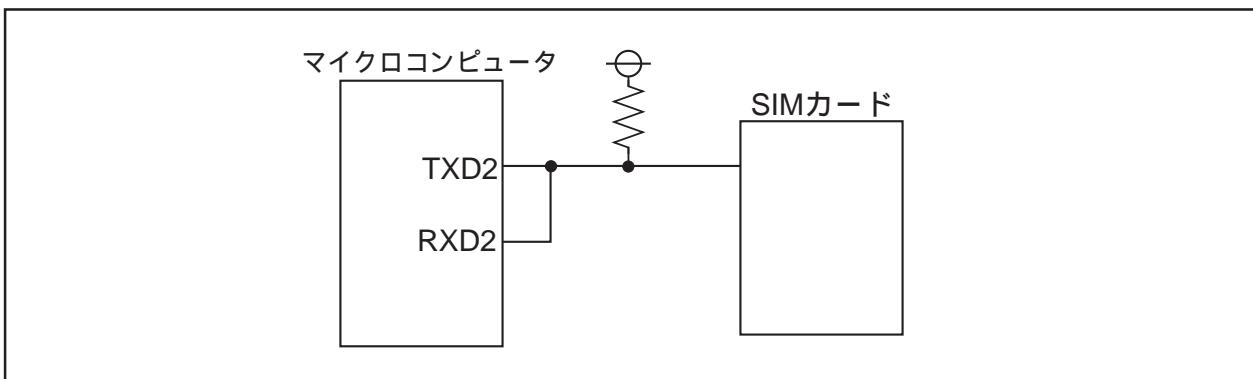


図15.33 SIMインターフェース接続例

15.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1(出力する)”にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図15.32に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0(パリティエラーなし)”になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップピットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうかが判定できます。

図15.34にパリティエラー信号出力タイミングを示します。

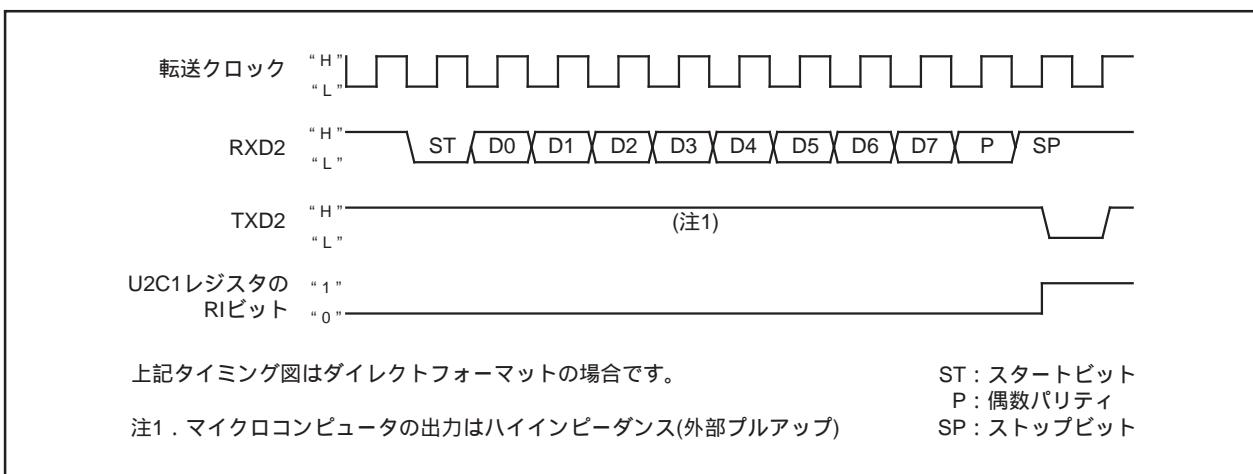


図15.34 パリティエラー信号出力タイミング

15.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1（パリティ許可）、PRYビットを“1（偶数パリティ）、U2C0レジスタのUFORMビットを“0（ LSB ファースト）、U2C1レジスタのU2LCHビットを“0（反転なし）にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを附加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを附加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図15.35にSIMインターフェースフォーマットを示します。

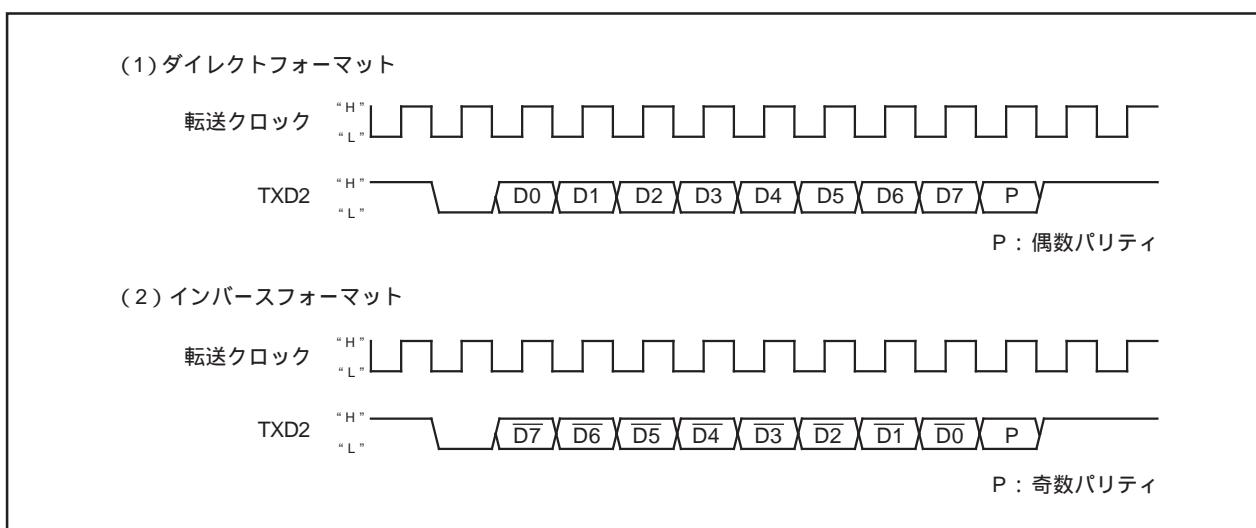


図15.35 SIMインターフェースフォーマット

15.2 SI/O3

SI/O3は、クロック同期形専用シリアルI/Oです。

図15.36にSI/O3ブロック図、図15.37にSI/O3関連レジスタ、表15.19にSI/O3の仕様を示します。

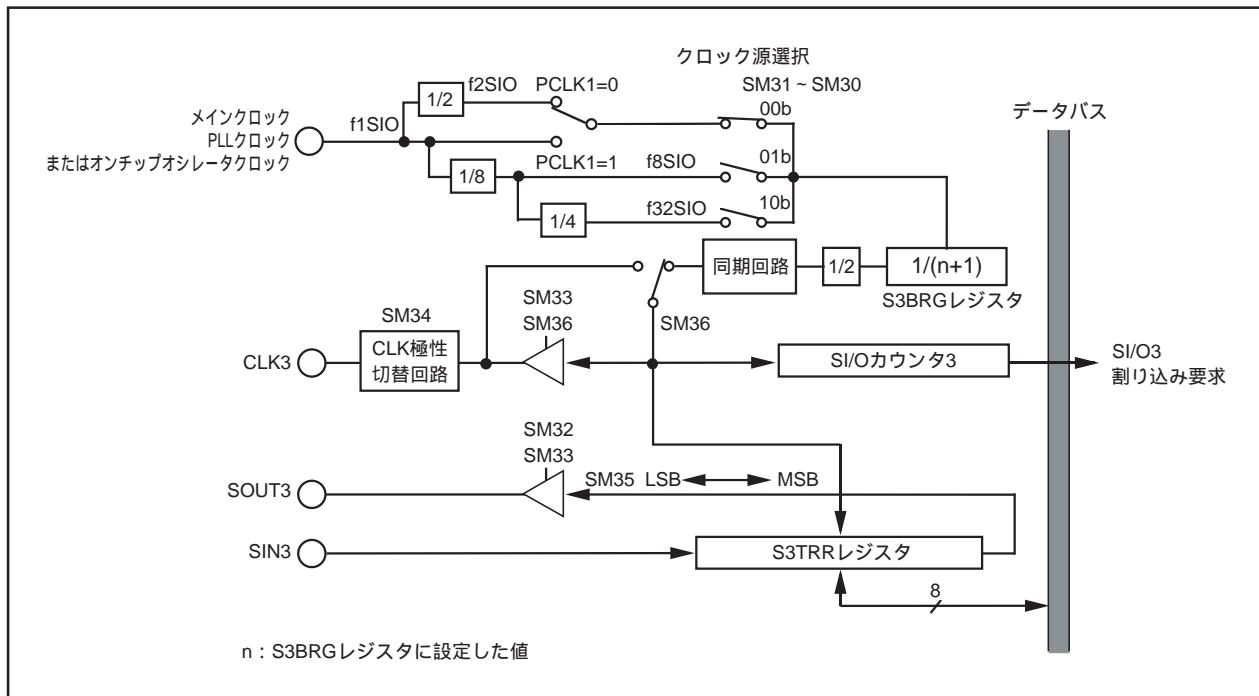


図15.36 SI/O3ブロック図

SI/O3制御レジスタ(注1)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル S3C	アドレス 01E2h番地		リセット後の値 01000000b
				ピット シンボル	ピット名	機能	RW
				SM30	内部同期クロック 選択ピット(注5)		b1 b0 0 0 : f1SIOまたはf2SIOを選択(注6) 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください
				SM31			RW
				SM32	SOUT3出力禁止ピット (注2)	0 : SOUT3出力 1 : SOUT3出力禁止(ハイインピーダンス)	RW
				SM33	SI/O3ポート選択ピット	0 : 入出力ポート 1 : SOUT3出力、CLK3機能	RW
				SM34	CLK極性選択ピット	0 : 転送クロックの立ち下がりで送信データ 出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ 出力、立ち下がりで受信データ入力	RW
				SM35	転送方向選択ピット	0 : LSBファースト 1 : MSBファースト	RW
				SM36	同期クロック選択ピット	0 : 外部クロック(注3) 1 : 内部クロック(注4)	RW
				SM37	SOUT3初期値設定ピット	SM33 = 0の場合に有効 0 : "L"出力 1 : "H"出力	RW

注1 . このレジスタは、PRCRレジスタのPRC2ビットを“1(書き込み許可)にした次の命令で書いてください。
注2 . SM32ビットを“1(SOUT3出力禁止)”にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。
注3 . SM33ビットを“1(SOUT3出力、CLK3機能)”に、対応するポート方向ピットを“0(入力モード)”にしてください。
注4 . SM33ビットを“1(SOUT3出力、CLK3機能)”にしてください。
注5 . SM31～SM30ビットを変更した場合は、S3BRGレジスタを設定してください。
注6 . PCLKRレジスタのOPCLK1ビットで選択してください。

SI/O3ビットトレートレジスタ(注1、2、3)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル S3BRG	アドレス 01E3h番地		リセット後の値 不定
				ピット シンボル	機能	設定範囲	RW
				- (b7-b0)	設定値をnとすると、S3BRGは カウントソースをn+1分周する	00h ~ FFh	WO

注1 . 送受信停止中に書いてください。
注2 . このレジスタはMOV命令を使用して書いてください。
注3 . このレジスタはS3CレジスタのSM31～SM30ビットを設定した後に書いてください。

SI/O3送受信レジスタ(注1、2)							
b7	b6	b5	b4	b3	b2	b1	b0
				シンボル S3TRR	アドレス 01E0h番地		リセット後の値 不定
				ピット シンボル	機能		RW
				- (b7-b0)	送信データを書くと送受信が始まり、送受信完了後、読むと 受信データが読める		RW

注1 . 送受信停止中に書いてください。
注2 . 受信する場合は、SIN3に対応するポート方向ピットを“0(入力モード)”にしてください。

図15.37 S3C、S3BRG、S3TRRレジスタ

表15.19 SI/O3の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> S3CレジスタのSM36ビットが“1”(内部クロック): $f_j / 2^{(n+1)}$ $f_j = f_{1SIO}, f_{8SIO}, f_{32SIO}$ $n = S3BRG$レジスタの設定値 00h ~ FFh SM36ビットが“0”(外部クロック): CLK3端子から入力(注1)
送受信開始条件	<ul style="list-style-type: none"> 送受信開始には、次の条件が必要 S3TRRレジスタに送信データを書く(注2、3)
割り込み要求発生タイミング	<ul style="list-style-type: none"> S3CレジスタのSM34ビットが“0”的場合 最後の転送クロックの立ち上がり(注4) SM34ビットが“1”的場合 最後の転送クロックの立ち下がり(注4)
CLK3端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUT3端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SIN3端子機能	入出力ポート、受信データ入力
選択機能	<ul style="list-style-type: none"> LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 SOUT3初期値設定機能 S3CレジスタのSM36ビットが“0”(外部クロック)の場合、送信していないときのSOUT3端子出力レベルを選択可 CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可

注1 . S3CレジスタのSM36ビットを“0”(外部クロック)にする場合は、次のようにしてください。

- S3CレジスタのSM34ビットが“0”的場合、CLK3端子に“H”が入力されている状態でS3TRRレジスタに送信データを書いてください。S3CレジスタのSM37ビットを書き換える場合も同様です。
- SM34ビットが“1”的場合、CLK3端子に“L”が入力されている状態でS3TRRレジスタに送信データを書いてください。SM37ビットを書き換える場合も同様です。
- 転送クロックがSI/O3回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SM36ビットが“1”(内部クロック)の場合、転送クロックは自動的に停止します。

注2 . SI/O3は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをS3TRRレジスタに書かないでください。

注3 . S3CレジスタのSM36ビットが“1”(内部クロック)のとき、転送終了後SOUT3は、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをS3TRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。

注4 . S3CレジスタのSM36ビットが“1”(内部クロック)のとき、転送クロックは、SM34ビットが“0”的場合は“H”的状態で停止し、SM34ビットが“1”的場合は“L”で停止します。

15.2.1 SI/O3動作タイミング

図15.38にSI/O3動作タイミング図を示します。

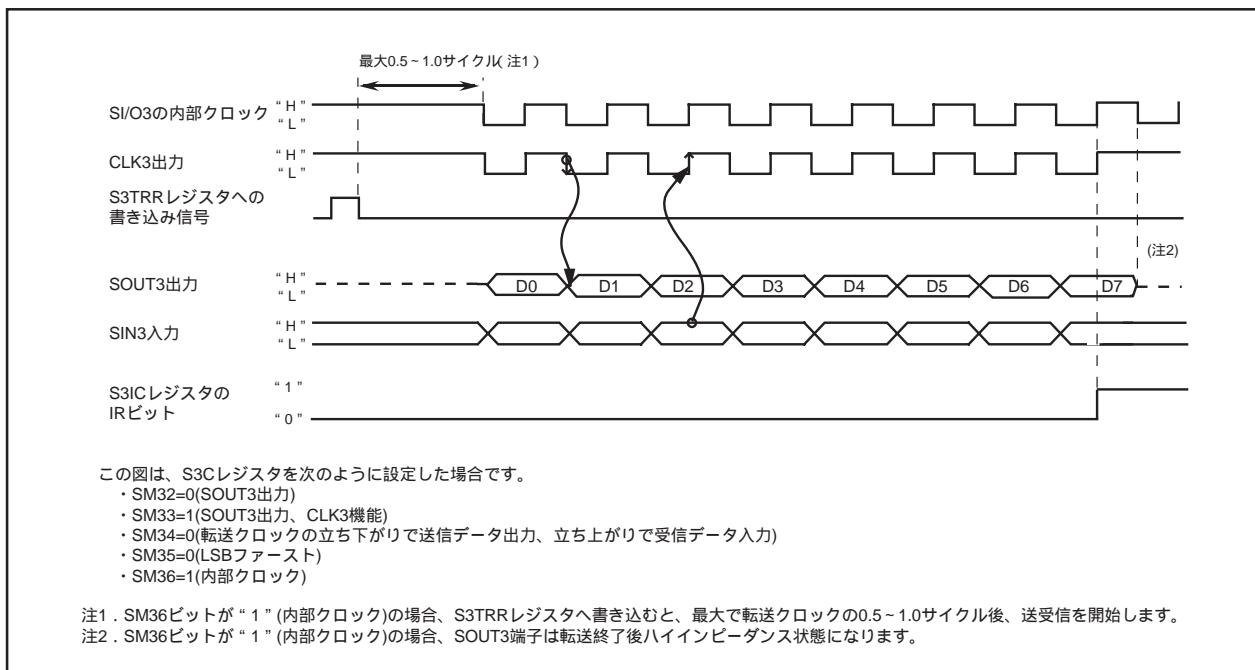


図15.38 SI/O3動作タイミング図

15.2.2 CLK極性選択

S3CレジスタのSM34ビットで転送クロックの極性を選択できます。

図15.39に転送クロックの極性を示します。

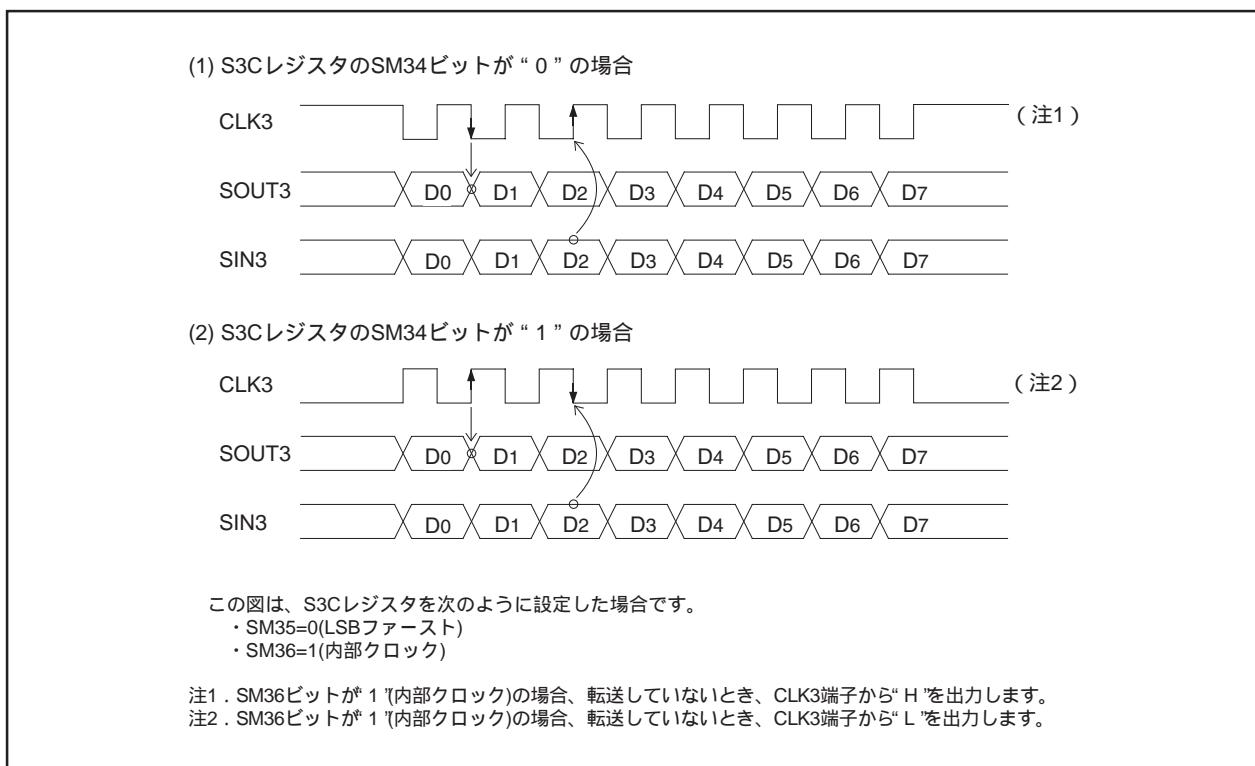


図15.39 転送クロックの極性

15.2.3 SOUT3初期値設定機能

S3CレジスタのSM36ビットが“0”(外部クロック)の場合、転送していないときのSOUT3端子の出力を“H”または“L”的どちらかに設定できます。ただし、連續してデータを送信する場合、データとデータの間は、前のデータの最終ビットの値を保持します。

図15.40にSOUT3初期値設定時のタイミング図と設定方法を示します。

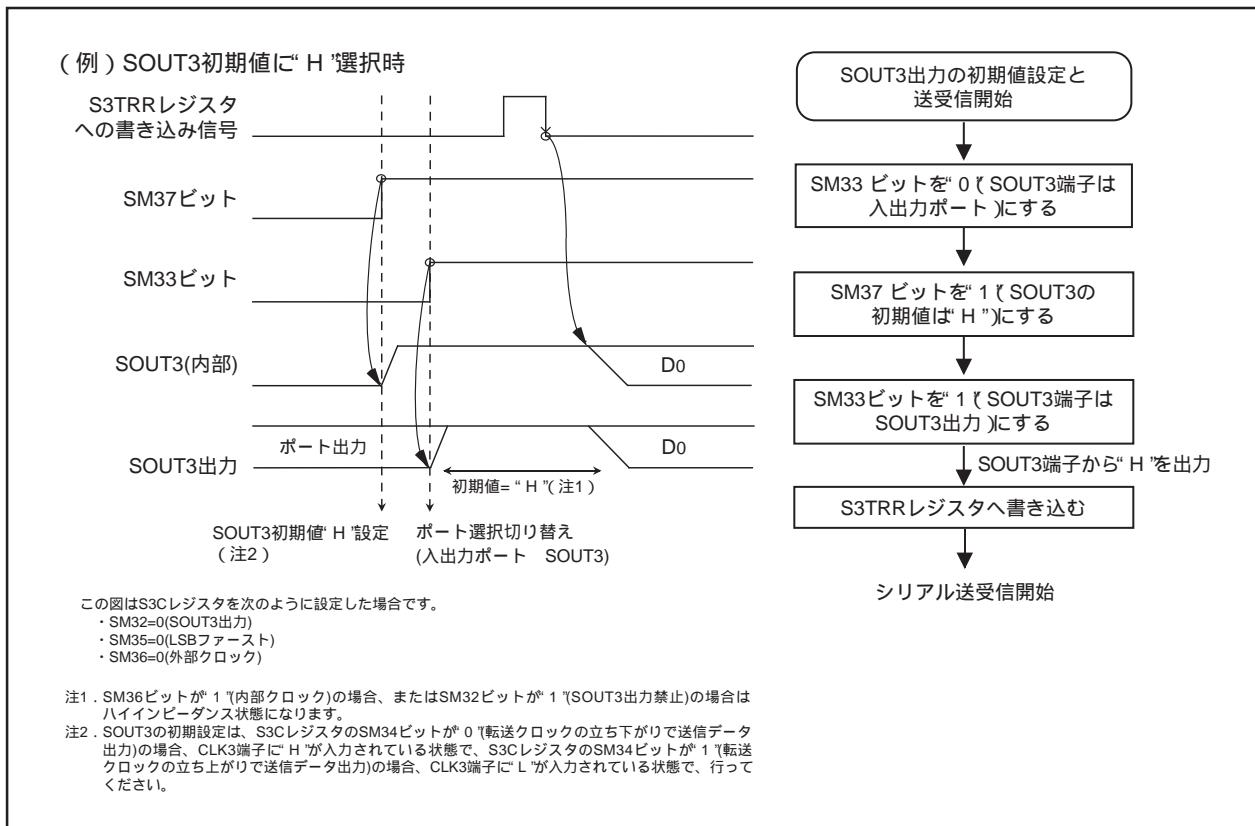


図15.40 SOUT3初期値設定時のタイミング図と設定方法

16 . A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10_0～P10_7、P9_5、P9_6、P0_0～P0_7、P2_0～P2_7と端子を共用しています。また、ADTRG入力はP9_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”(VREF未接続)にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ANi、AN0_i、AN2_i端子($i = 0 \sim 7$)に対応したADiレジスタに格納されます。

表16.1にA/Dコンバータの仕様、図16.1にA/Dコンバータブロック図、図16.2、図16.3にA/Dコンバータ関連レジスタを示します。

表16.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC)
動作クロック AD(注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	<p>AVCC = VREF = 5Vのとき</p> <ul style="list-style-type: none"> 分解能8ビットの場合 ± 2LSB 分解能10ビットの場合 ± 3LSB <p>ただし外部オペアンプ接続モード時は ± 7LSB</p> <p>AVCC = VREF = 3.3Vのとき</p> <ul style="list-style-type: none"> 分解能8ビットの場合 ± 2LSB 分解能10ビットの場合 ± 5LSB <p>ただし外部オペアンプ接続モード時は ± 7LSB</p>
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7)+2本(ANEX0、ANEX1)+8本(AN0_0～AN0_7)+8本(AN2_0～AN2_7)
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ <p>ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする</p> <ul style="list-style-type: none"> 外部トリガ(再トリガ可能) <p>ADSTビットを“1”(A/D変換開始)にした後、<u>ADTRG</u>端子の入力が“H”から“L”へ変化</p>
1端子あたりの変換速度	<ul style="list-style-type: none"> サンプル&ホールドなし <p>分解能8ビットの場合49 ADサイクル</p> <p>分解能10ビットの場合59 ADサイクル</p> <ul style="list-style-type: none"> サンプル&ホールドあり <p>分解能8ビットの場合28 ADサイクル</p> <p>分解能10ビットの場合33 ADサイクル</p>

注1 . サンプル&ホールドの有無に依存しません。

注2 . ADの周波数は10MHz以下にしてください。

サンプル&ホールドなしの場合、ADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、ADの周波数は1MHz以上にしてください。

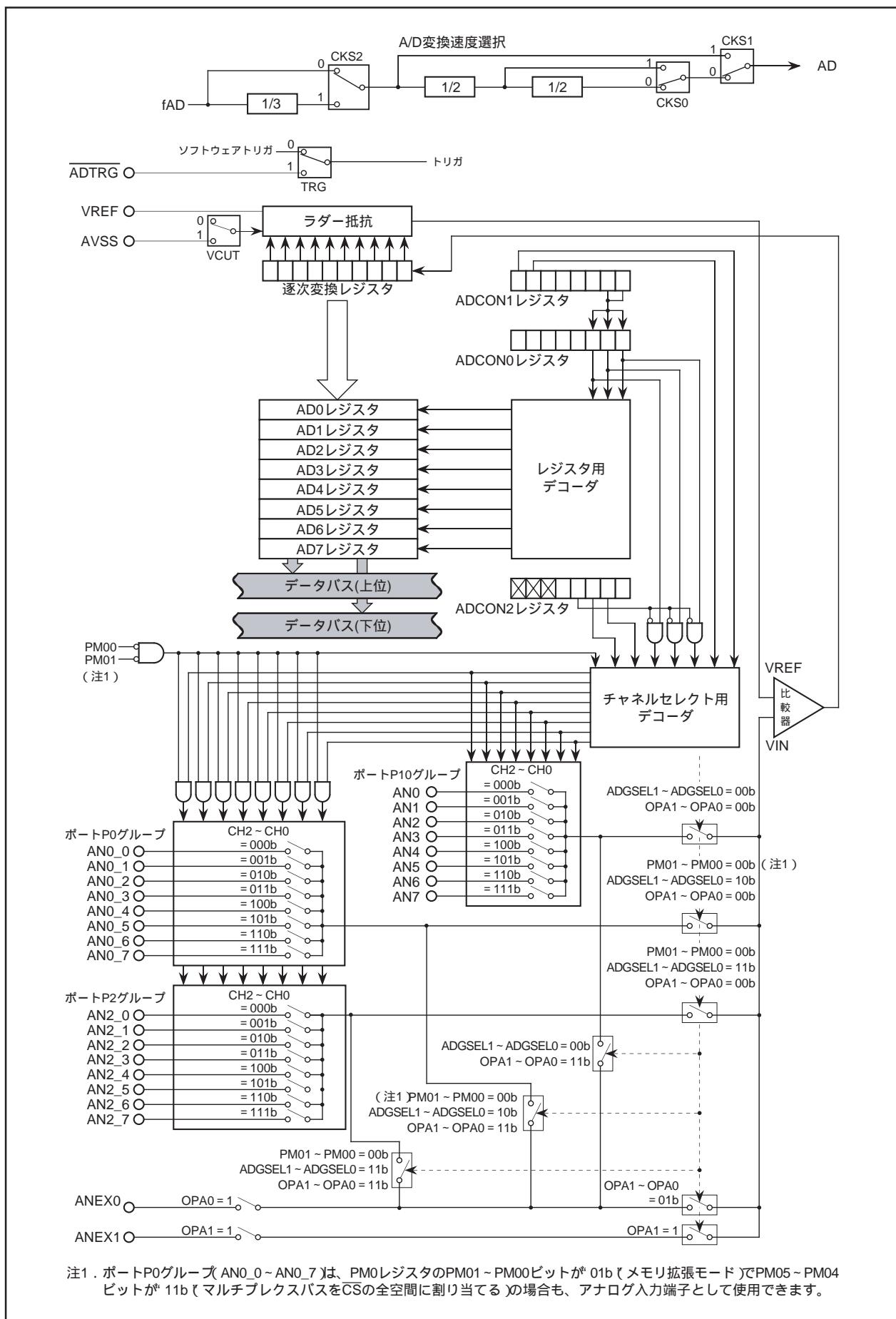
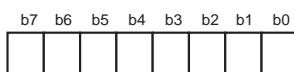


図16.1 A/Dコンバータブロック図

A/D制御レジスタ0(注1)

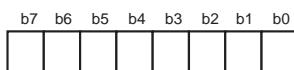


シンボル
ADCON0
アドレス
03D6h番地
リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0			RW
CH1	アナログ入力端子選択ビット	動作モードによって機能が異なる	RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)



シンボル
ADCON1
アドレス
03D7h番地
リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	動作モードによって機能が異なる	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	VREF接続ビット(注2)	0 : VREF未接続 1 : VREF接続	RW
OPA0	外部オペアンプ接続 モードビット	動作モードによって機能が異なる	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2 . VCUTビットを“0(未接続)”から“1(接続)”にしたときは、1μs以上経過した後にA/D変換を開始してください。

図16.2 ADDON0、ADCON1レジスタ

A/D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	0			

シンボル
ADCON2

アドレス
03D4h番地

リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SMP	A/D変換方式選択ビット	0:サンプル&ホールドなし 1:サンプル&ホールドあり	RW
ADGSEL0	A/D入力グループ選択ビット	b2 b1 0 0:ポートP10グループを選択 0 1:設定しないでください 1 0:ポートP0グループを選択 1 1:ポートP2グループを選択	RW
			RW
(b3)	予約ビット	"0"にしてください	RW
CKS2	周波数選択ビット2(注2)	0:fAD、fADの2分周、またはfADの4分周を選択 1:fADの3分周、fADの6分周、またはfADの12分周を選択	RW
(b7-b5)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"0"。		-

注1 A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

注2 ADの周波数は10MHz以下にしてください。 ADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。

CKS2	CKS1	CKS0	AD
0	0	0	fADの4分周
0	0	1	fADの2分周
0	1	0	fAD
0	1	1	
1	0	0	fADの12分周
1	0	1	fADの6分周
1	1	0	fADの3分周
1	1	1	

A/Dレジスタi(i=0~7)

(b15)	b7	(b8)	b0	b7		b0
X	X	X	X	X		

シンボル	アドレス	リセット後の値
AD0	03C1h-03C0h番地	不定
AD1	03C3h-03C2h番地	不定
AD2	03C5h-03C4h番地	不定
AD3	03C7h-03C6h番地	不定
AD4	03C9h-03C8h番地	不定
AD5	03CBh-03CAh番地	不定
AD6	03CDh-03CCh番地	不定
AD7	03CFh-03CEh番地	不定

ビットシンボル	機能		RW
	ADCON1レジスタのBITSビットが1(10ビットモード)の場合	ADCON1レジスタのBITSビットが0(8ビットモード)の場合	
(b7-b0)	A/D変換結果の下位8ビット	A/D変換結果	RO
(b9-b8)	A/D変換結果の上位2ビット	読んだ場合、その値は不定	RO
(b15-b10)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"0"。		-

図16.3 ADCON2、AD0～AD7レジスタ

16.1 モードの説明

16.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。

表16.2に単発モードの仕様、図16.4に単発モード時のADCON0、ADCON1レジスタを示します。

表16.2 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

シンボル
ADCON0アドレス
03D6h番地リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN0を選択 0 0 1 : AN1を選択 0 1 0 : AN2を選択 0 1 1 : AN3を選択 1 0 0 : AN4を選択 1 0 1 : AN5を選択 1 1 0 : AN6を選択 1 1 1 : AN7を選択(注2、3)	RW
CH1		RW	
CH2		RW	
MD0		b4 b3 0 0 : 単発モード(注3)	RW
MD1		RW	
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2 . AN0 ~ AN7と同様にAN0_0 ~ AN0_7、AN2_0 ~ AN2_7を使用できます。ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3 . MD1 ~ MD0ビットを書き換えた後、別の命令でCH2 ~ CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

シンボル
ADCON1アドレス
03D7h番地リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	単発モードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単発モードでは“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	VREF接続ビット(注2)	1 : VREF接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2 . VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1 μs以上経過した後にA/D変換を開始してください。

図16.4 単発モード時のADCON0、ADCON1レジスタ

16.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表16.3に繰り返しモードの仕様、図16.5に繰り返しモード時のADCON0、ADCON1レジスタを示します。

表16.3 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

シンボル
ADCON0アドレス
03D6h番地リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	^{b2 b1 b0} 0 0 0 : AN0を選択 0 0 1 : AN1を選択 0 1 0 : AN2を選択 0 1 1 : AN3を選択 1 0 0 : AN4を選択 1 0 1 : AN5を選択 1 1 0 : AN6を選択 1 1 1 : AN7を選択 (注2、3)	RW
CH1			RW
CH2			RW
MD0		^{b4 b3} 0 1 : 繰り返しモード (注3)	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2 . AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。

注3 . MD1～MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0			

シンボル
ADCON1アドレス
03D7h番地リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返しモードでは“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	VREF接続ビット(注2)	1 : VREF接続	RW
OPA0	外部オペアンプ接続モードビット	^{b7 b6} 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2 . VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図16.5 繰り返しモード時のADCON0、ADCON1レジスタ

16.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。

表16.4に単掃引モードの仕様、図16.6に単掃引モード時のADCON0、ADCON1レジスタを示します。

表16.4 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN1(2端子) AN0～AN3(4端子) AN0～AN5(6端子) AN0～AN7(8端子) から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1 . AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。

A/D制御レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1	0				

シンボル
ADCON0アドレス
03D6h番地リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0 <small>b4 b3 1 0 : 単掃引モード</small>	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
MD1			RW
TRG	トリガ選択ビット	0 : A/D変換停止 1 : A/D変換開始	RW
ADST	A/D変換開始フラグ	0 : ADCON2レジスタの注2を参照してください	RW
CKS0	周波数選択ビット0	00h	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0			

シンボル
ADCON1アドレス
03D7h番地リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	単掃引モードを選択している場合 <small>b1 b0 0 0 : AN0 ~ AN1(2端子) 0 1 : AN0 ~ AN3(4端子) 1 0 : AN0 ~ AN5(6端子) 1 1 : AN0 ~ AN7(8端子) (注2)</small>	RW
SCAN1			RW
MD2		単掃引モードでは“ 0 ”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	VREF接続ビット(注3)	1 : VREF接続	RW
OPA0	外部オペアンプ接続モードビット	<small>b7 b6 0 0 : ANEX0, ANEX1は使用しない 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 外部オペアンプ接続モード</small>	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2 . AN0 ~ AN7と同様にAN0_0 ~ AN0_7, AN2_0 ~ AN2_7を使用できます。ADCON2レジスタのADGSEL1 ~ ADGSEL0 ビットで選択してください。

注3 . VCUTビットを“ 0 ”(未接続)から“ 1 ”(接続)にしたときは、1 μs以上経過した後にA/D変換を開始してください。

図16.6 単掃引モード時のADCON0、ADCON1レジスタ

16.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。

表16.5に繰り返し掃引モード0の仕様、図16.7に繰り返し掃引モード0時のADCON0、ADCON1レジスタを示します。

表16.5 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子) AN0～AN3(4端子) AN0～AN5(6端子) AN0～AN7(8端子) から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1 . AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。

A/D制御レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1	1				

シンボル
ADCON0アドレス
03D6h番地リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0			RW
CH1	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	RW
CH2			RW
MD0	A/D動作モード選択ビット0	^{b4 b3} 1 1 : 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照して ください	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0			

シンボル
ADCON1アドレス
03D7h番地リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0		繰り返し掃引モード0を選択している場合	RW
SCAN1	A/D掃引端子選択ビット	^{b1 b0} 0 0 : AN0 ~ AN1(2端子) 0 1 : AN0 ~ AN3(4端子) 1 0 : AN0 ~ AN5(6端子) 1 1 : AN0 ~ AN7(8端子) (注2)	RW
MD2			RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照して ください	RW
VCUT	VREF接続ビット(注3)	1 : VREF接続	RW
OPA0	外部オペアンプ接続モードビット	^{b7 b6} 0 0 : ANEX0, ANEX1は使用しない 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2 . AN0 ~ AN7と同様にAN0_0 ~ AN0_7, AN2_0 ~ AN2_7を使用できます。ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3 . VCUTビットを“0(未接続)”から“1(接続)”にしたときは、1 μs以上経過した後にA/D変換を開始してください。

図16.7 繰り返し掃引モード0時のADCON0、ADCON1レジスタ

16.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。

表16.6に繰り返し掃引モード1の仕様、図16.8に繰り返し掃引モード1時のADCON0、ADCON1レジスタを示します。

表16.6 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1～ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0 AN1 AN0 AN2 AN0 AN3… の順にA/D変換する
A/D変換開始条件	・ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ・TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換する アナログ入力端子	AN0(1端子) AN0～AN1(2端子) AN0～AN2(3端子) AN0～AN3(4端子) から 選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1 . AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル
ADCON0アドレス
03D6h番地リセット後の値
00000XXXb

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	^{b4 b3} 1 1 : 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1 . A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1		1		

シンボル
ADCON1アドレス
03D7h番地リセット後の値
00h

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	繰り返し掃引モード1を選択している場合 ^{b1 b0} 0 0 : AN0(1端子) 0 1 : AN0 ~ AN1(2端子) 1 0 : AN0 ~ AN2(3端子) 1 1 : AN0 ~ AN3(4端子)(注2)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返し掃引モード1では“1”にしてください	RW
BITS			RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	VREF接続ビット(注3)	1 : VREF接続	RW
OPA0	外部オペアンプ接続モードビット	^{b7 b6} 0 0 : ANEX0, ANEX1は使用しない 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1 . A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2 . AN0 ~ AN7と同様にAN0_0 ~ AN0_7、AN2_0 ~ AN2_7を使用できます。ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3 . VCUTビットを“0(未接続)”から“1(接続)”にしたときは、1 μs以上経過した後にA/D変換を開始してください。

図16.8 繰り返し掃引モード1時のADCON0、ADCON1レジスタ

16.2 機能

16.2.1 分解能選択機能

ADCON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がADiレジスタ($i=0 \sim 7$)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がADiレジスタのビット0~7に格納されます。

16.2.2 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

16.2.3 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのOPA1～OPA0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

16.2.4 外部オペアンプ接続モード

ANEX0、ANEX1端子を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

ADCON1レジスタのOPA1～OPA0ビットを“11b”(外部オペアンプ接続モード)にしてください。AN i ($i=0 \sim 7$)(注1)からの入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。A/D変換結果は対応するADiレジスタに格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。

図16.9に外部オペアンプ接続例を示します。

注1 . AN i と同様にAN0_ i 、AN2_ i を使用できます。

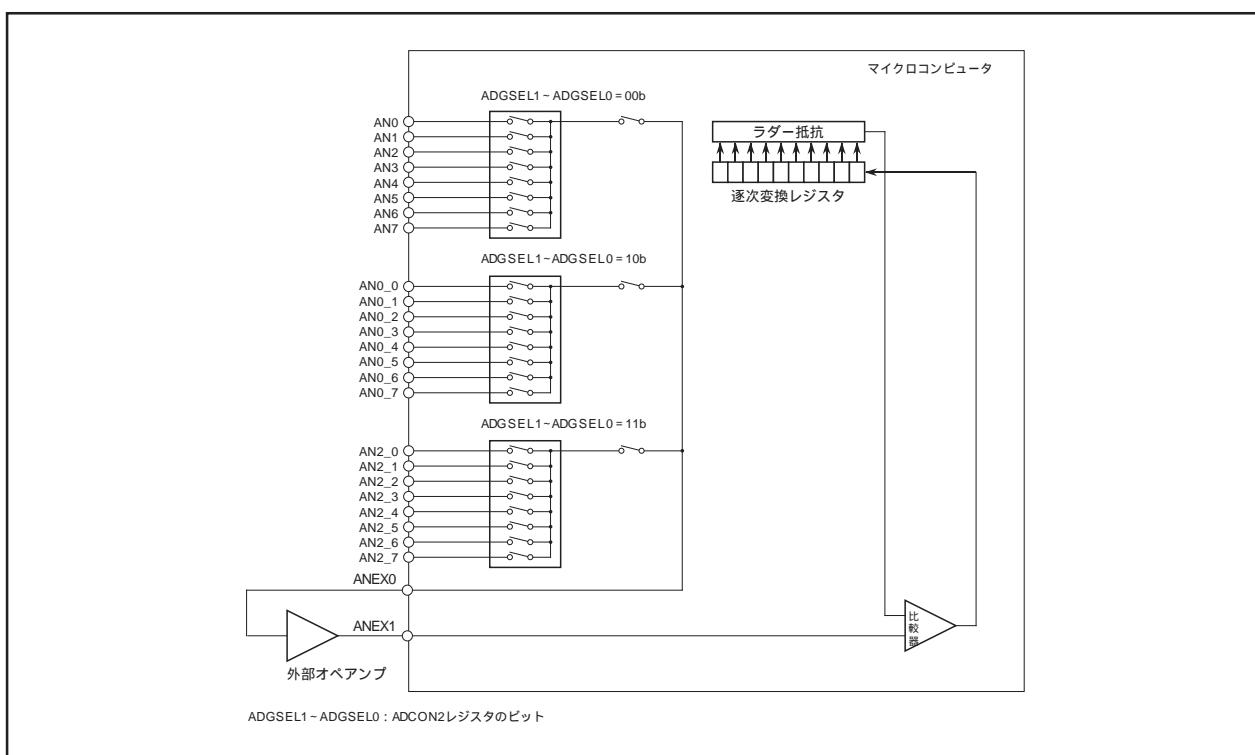


図16.9 外部オペアンプ接続例

16.2.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないため、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1(VREF接続)”にした後で、ADCON0レジスタのADSTビットを“1(A/D変換開始)”にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0(VREF未接続)”にしないでください。

なお、D/AコンバータのVREFには影響しません(無関係です)。

16.2.6 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図16.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VC \text{は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)} t} \right\}$$

$$t = T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図16.10にアナログ入力端子と外部センサーの等価回路例を示します。

VINとVCの差が0.1 LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN - (0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1 LSBにおさえることを意味します。ただし、実際の誤差は0.1 LSBに絶対精度が加わった値です。

(AD)=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3 μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3 μs、R=7.8k 、 C=1.5pF、X=0.1、Y=1024なので、

$$R0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1 LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9k になります。

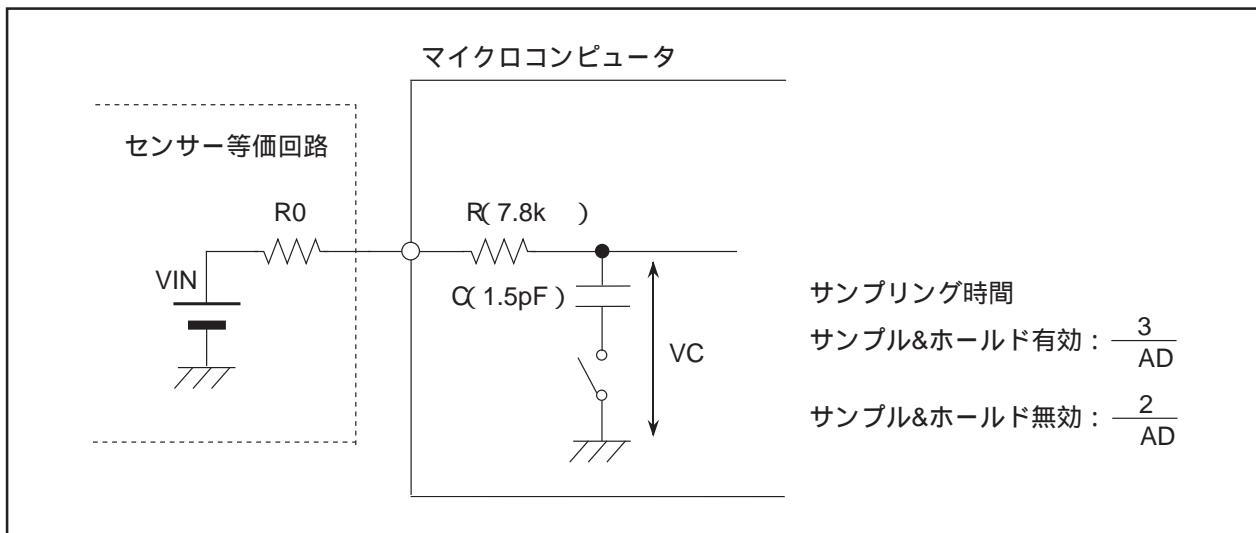


図16.10 アナログ入力端子と外部センサーの等価回路例

17 . D/Aコンバータ

8ビットのR-2R方式による独立した2つのD/Aコンバータです。

D/A変換は、DA*i*レジスタ(*i*=0、1)に値を書くと行われます。変換結果を出力するときは、DaconレジスタのDA*i*Eビットを“1”(出力許可)にしてください。D/A変換を使用する場合は、対応するポート方向ビットは“0”(入力モード)にしてください。DA*i*Eビットを“1”にすると対応するポートはプルアップなしになります。

出力されるアナログ電圧Vは、DA*i*レジスタに設定した値(*n*は10進数)で決まります。

$$V = VREF \times n / 256 \quad (n = 0 \sim 255) \quad VREF : 基準電圧$$

表17.1にD/Aコンバータの仕様、図17.1にD/Aコンバータブロック図、図17.2にD/A変換関連レジスタ、図17.3にD/Aコンバータの等価回路を示します。

表17.1 D/Aコンバータの仕様

項目	仕様
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル(DA0、DA1)

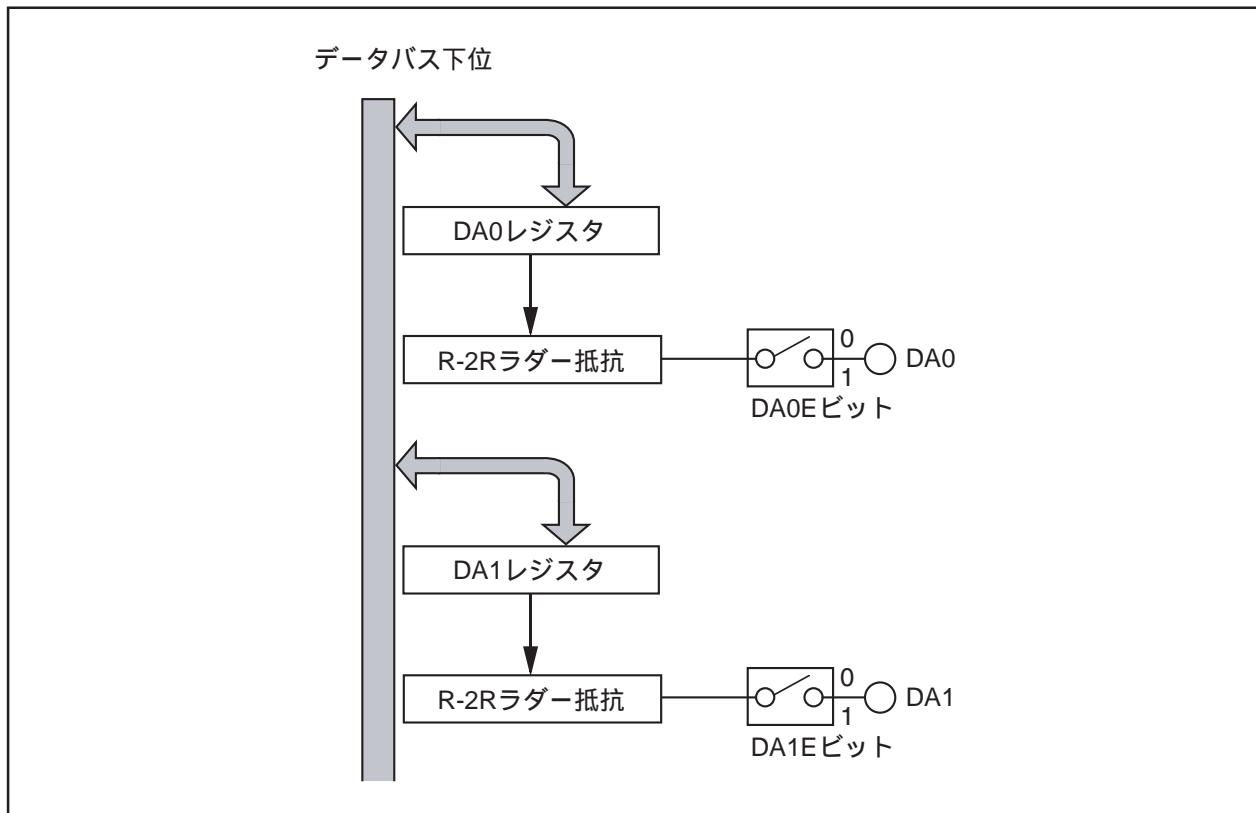


図17.1 D/Aコンバータブロック図

D/A制御レジスタ(注1)						
b7	b6	b5	b4 b3 b2 b1 b0	シンボル Dacon	アドレス 03DCh番地	リセット後の値 00h
				ピットシンボル	ピット名	機能
				DA0E	D/A0出力許可ピット	0:出力禁止 1:出力許可
				DA1E	D/A1出力許可ピット	0:出力禁止 1:出力許可
			(b7-b2)	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	RW

注1 . D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット($i=0, 1$)を“0”(出力禁止) DAIレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

D/Aレジスタ <i>i</i> ($i=0, 1$)(注1)				
b7	b0	シンボル DA0 DA1	アドレス 03D8h番地 03DAh番地	リセット後の値 00h 00h
		ピットシンボル	機能	設定範囲
		- (b7-b0)	D/A変換の出力値	00h ~ FFh

注1 . D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット($i=0, 1$)を“0”(出力禁止) DAIレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

図17.2 DACON、DA0、DA1レジスタ

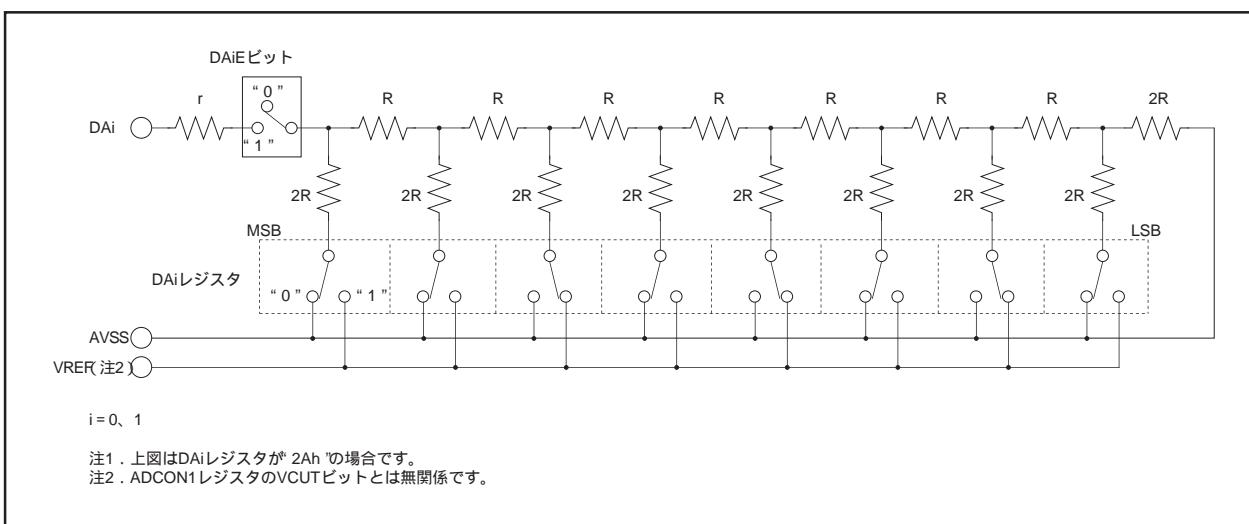


図17.3 D/Aコンバータの等価回路

18 . CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くたびに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図18.1にCRCブロック図、図18.2にCRC関連レジスタ、図18.3にCRC演算例を示します。

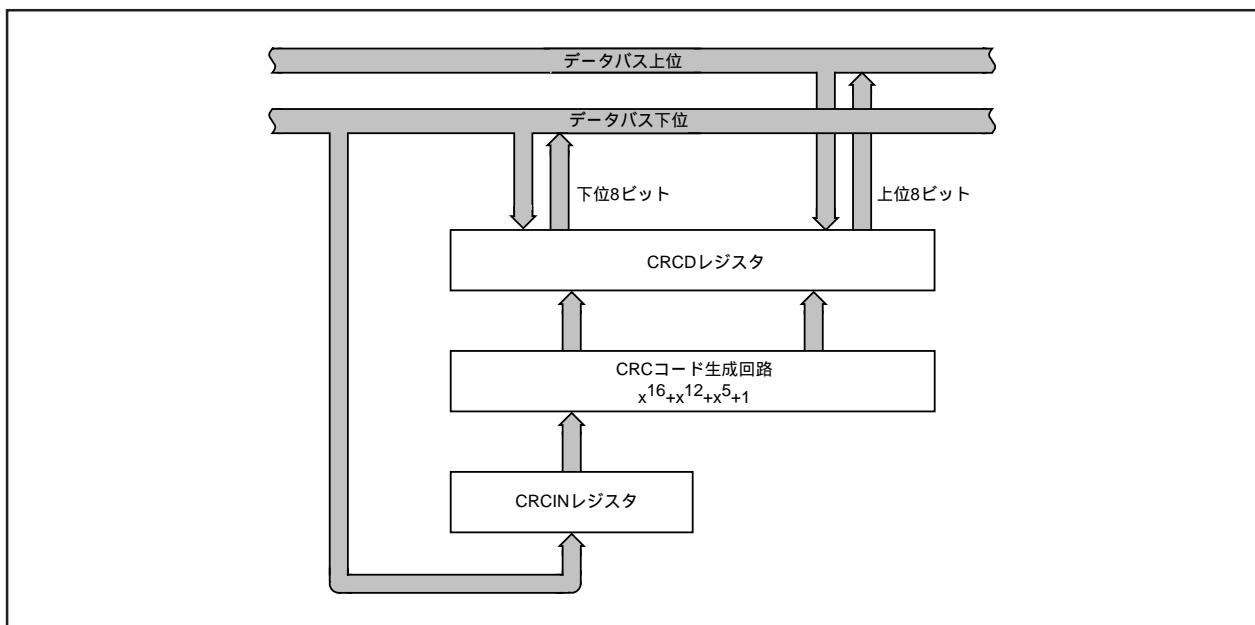


図18.1 CRCブロック図

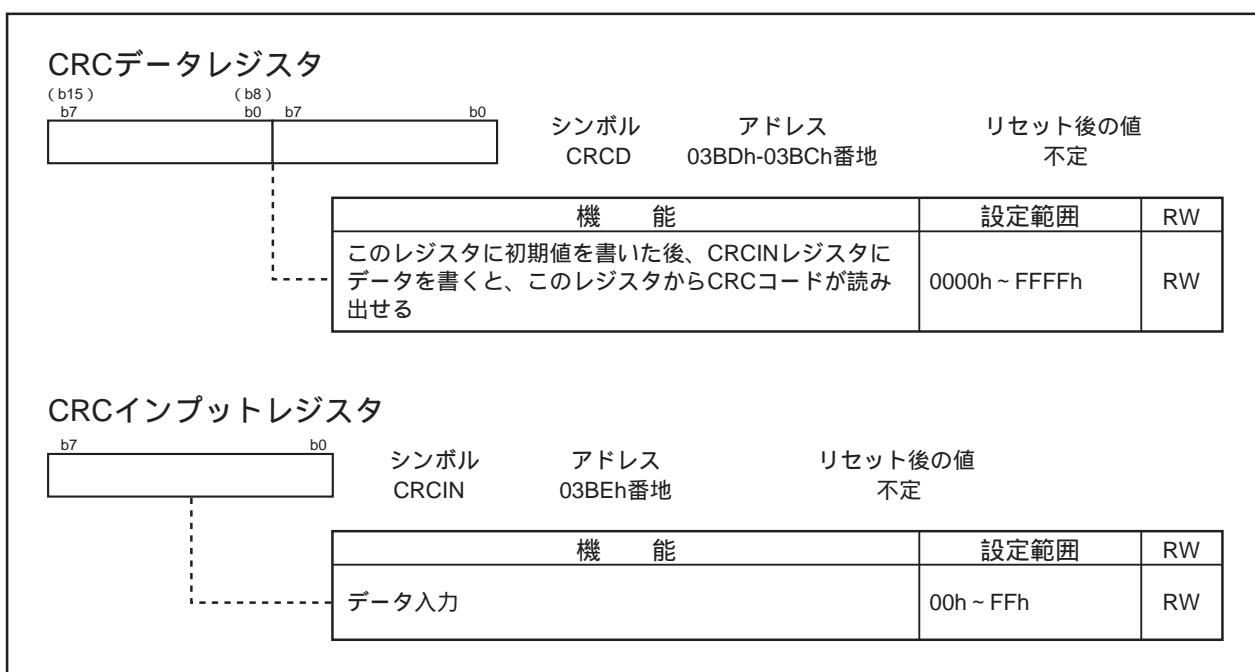


図18.2 CRCD、CRCINレジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

M16CのCRC演算

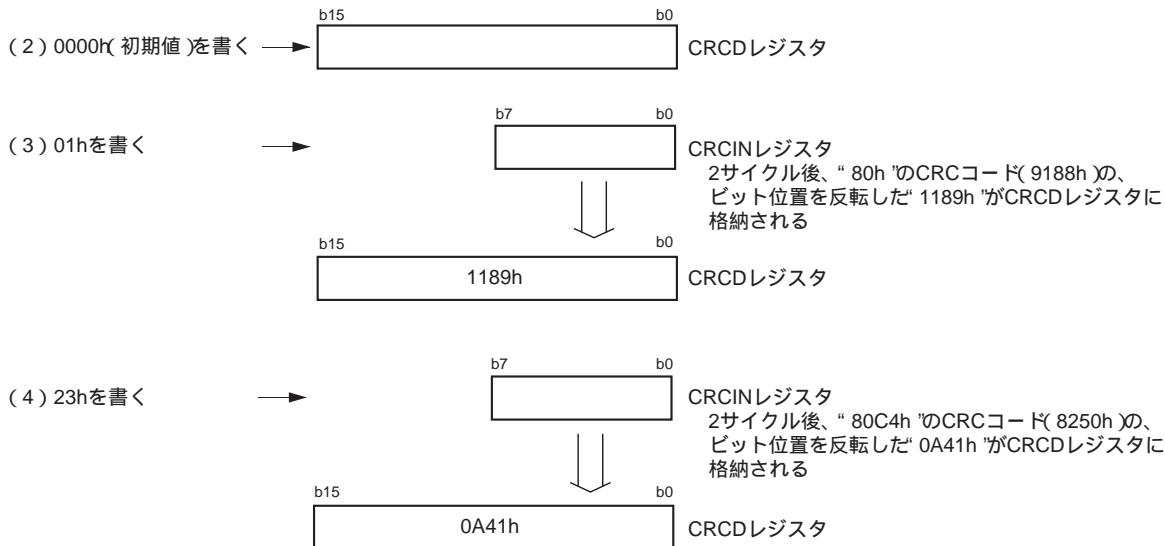
CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

生成多項式 : $X^{16} + X^{12} + X^5 + 1(1\ 0001\ 0000\ 0010\ 0001b)$

設定手順

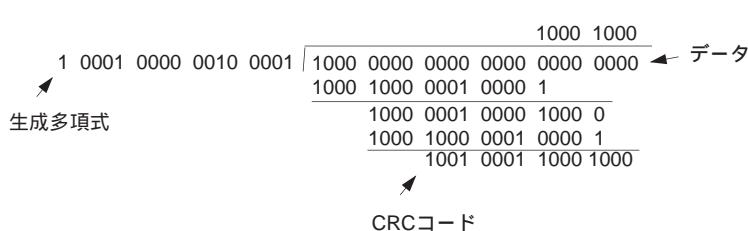
(1) プログラムで“80C4h”的ビット位置をバイト単位で反転させる

“80h” “01h”、“C4h” “23h”



CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(00000001b)”はビット位置を反転され“10000000b”になる。
これに16桁追加した“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000 0000 0000 0000b”に8桁追加した
“0000 0000 0000 0000 0000 0000b”を加算した値をモジュロ2除算する。



モジュロ2の演算とは...
次の法則に基づいた演算
です。

$$\begin{aligned} 0 + 0 &= 0 \\ 0 + 1 &= 1 \\ 1 + 0 &= 1 \\ 1 + 1 &= 0 \\ -1 &= 1 \end{aligned}$$

剰余“1001 0001 1000 1000b (9188h)”のビット位置を反転した“0001 0001 1000 1001b (1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(00100011b)”はビット位置を反転され“11000100b”になる。
これに16桁追加した“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”に
8桁追加した“1001 0001 1000 1000 0000 0000b”を加算した値をモジュロ2除算する。
剰余のビット位置を反転した“0000 1010 0100 0001b (0A41h)”がCRCDレジスタから読める。

図18.3 CRC演算例

19 . CANモジュール

M16C/6Nグループ(M16C/6N5)は、CAN2.0B仕様に対応したCAN(Controller Area Network)モジュールを1チャネル搭載しています。CANモジュールは標準(11ビット)Identifier(以下、IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信できます。

図19.1にCANモジュールブロック図を示します。

なお、CANバスドライバ／レシーバは外付けしてください。

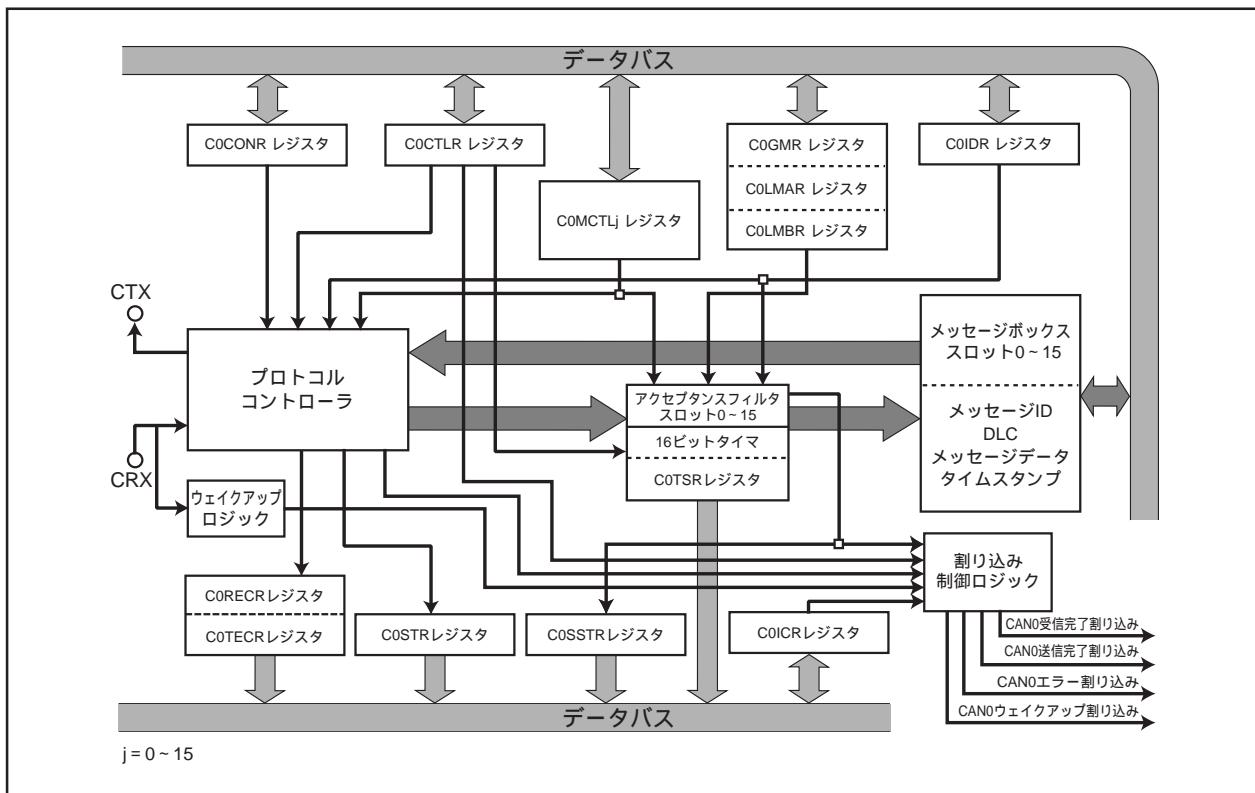


図19.1 CANモジュールブロック図

CTX / CRX : CANの入出力端子です。

プロトコルコントローラ : バスアービトリレーションや送受信時のビットタイミング、スタッフ処理、エラー処理など、CANプロトコル処理を行います。

メッセージボックス : 送信または受信スロットとして使用可能な16個のスロットで構成されています。固有のID、データ長コード、8バイトのデータ、およびタイムスタンプを含みます。

アクセスフィルタ : 受信メッセージのフィルタ処理を行います。このフィルタ処理には、C0GMRレジスタ、C0LMARレジスタ、またはC0LMBRレジスタを使用します。

タイム : タイムスタンプ機能に使用します。メッセージメモリに受信メッセージを格納するとき、このタイム値はタイムスタンプとして格納されます。

ウェイクアップ機能 : CANバスからの受信メッセージでCAN0ウェイクアップ割り込み要求を発生します。

割り込み発生機能 : CANモジュールによって割り込み要求が発生します。CAN0受信完了割り込み、CAN0送信完了割り込み、CAN0エラー割り込み、およびCAN0ウェイクアップ割り込みの4種類があります。

19.1 CANモジュール関連レジスタ

CANモジュールの関連レジスタは次の通りです。

19.1.1 CAN0メッセージボックス

16バイト(または8ワード)の16個のスロットで構成されています。スロット14、15はBasic CAN仕様として使用できます。

- ・スロットの優先順位は、送信および受信時ともスロット番号の小さいものが優先順位が高くなっています(昇順)。
- ・スロットはプログラムで受信または送信スロットを選択できます。

19.1.2 アクセプタンスマスクレジスタ

3つのアクセプタンスマスクで構成されています。

- ・CAN0グローバルマスクレジスタ(C0GMRレジスタ:6バイト)
スロット0~13に対するアクセプタンスマスク条件を設定します。
- ・CAN0ローカルマスクAレジスタ(C0LMARレジスタ:6バイト)
スロット14に対するアクセプタンスマスク条件を設定します。
- ・CAN0ローカルマスクBレジスタ(C0LMBRレジスタ:6バイト)
スロット15に対するアクセプタンスマスク条件を設定します。

19.1.3 CAN専用レジスタ(SFR)

- ・CAN0メッセージ制御レジスタ(j=0~15)(C0MCTLjレジスタ:8ビット×16本)
各スロットの送受信制御を行います。
- ・CANi制御レジスタ(i=0、1)(CiCTLRレジスタ:16ビット)
CANプロトコルの制御レジスタです。
- ・CAN0ステータスレジスタ(C0STRレジスタ:16ビット)
CANプロトコルの動作状態を表します。
- ・CAN0スロットステータスレジスタ(C0SSTRレジスタ:16ビット)
各スロットの通信状態を表します。
- ・CAN0割り込み制御レジスタ(C0ICRレジスタ:16ビット)
各スロットの割り込み許可および禁止を設定します。
- ・CAN0拡張IDレジスタ(C0IDRレジスタ:16ビット)
各スロットのIDフォーマット(標準・拡張)を指定します。
- ・CAN0バスタイミング制御レジスタ(C0CONRレジスタ:16ビット)
バスタイミングを設定します。
- ・CAN0受信エラーカウントレジスタ(C0RECRレジスタ:8ビット)
CANモジュールの受信時のエラー状態を表します。
エラーの発生状態に従って、カウンタ値を増減させます。
- ・CAN0送信エラーカウントレジスタ(C0TECRレジスタ:8ビット)
CANモジュールの送信時のエラー状態を表します。
エラーの発生状態によって、カウンタ値を増減させます。
- ・CAN0タイムスタンプレジスタ(C0TSRレジスタ:16ビット)
タイムスタンプカウンタ値を表します。
- ・CAN0アクセプタンスマスクレジスタ(C0AFSレジスタ:16ビット)
アクセプタンスマスクレジスタで使用するために受信IDをデコードします。

次に各レジスタについて説明します。

19.2 CAN0メッセージボックス

表19.1にCAN0メッセージボックスのメモリ配置を示します。

メッセージボックスへは、バイトまたはワードアクセスができます。

バイトアクセスとワードアクセスではメッセージ内容の配置が異なります。バイトアクセスまたはワードアクセスは、C0CTRLレジスタのMsgOrderビットで設定します。

表19.1 CAN0メッセージボックスのメモリ配置

アドレス	メッセージ内容	
	バイトアクセス時の メモリ配置(8ビット)	ワードアクセス時の メモリ配置(16ビット)
0060h + n × 16 + 0	SID10 ~ SID6	SID5 ~ SID0
0060h + n × 16 + 1	SID5 ~ SID0	SID10 ~ SID6
0060h + n × 16 + 2	EID17 ~ EID14	EID13 ~ EID6
0060h + n × 16 + 3	EID13 ~ EID6	EID17 ~ EID14
0060h + n × 16 + 4	EID5 ~ EID0	データ長コード(DLC)
0060h + n × 16 + 5	データ長コード(DLC)	EID5 ~ EID0
0060h + n × 16 + 6	データバイト0	データバイト1
0060h + n × 16 + 7	データバイト1	データバイト0
⋮	⋮	⋮
0060h + n × 16 + 13	データバイト7	データバイト6
0060h + n × 16 + 14	タイムスタンプ上位バイト	タイムスタンプ下位バイト
0060h + n × 16 + 15	タイムスタンプ下位バイト	タイムスタンプ上位バイト

n : スロット番号。n=0~15

図19.2、図19.3にバイトアクセスおよびワードアクセス時の各スロット内のビット配置を示します。
各スロットの内容は、新たなメッセージの送受信が行われない限り、以前の値を保持します。

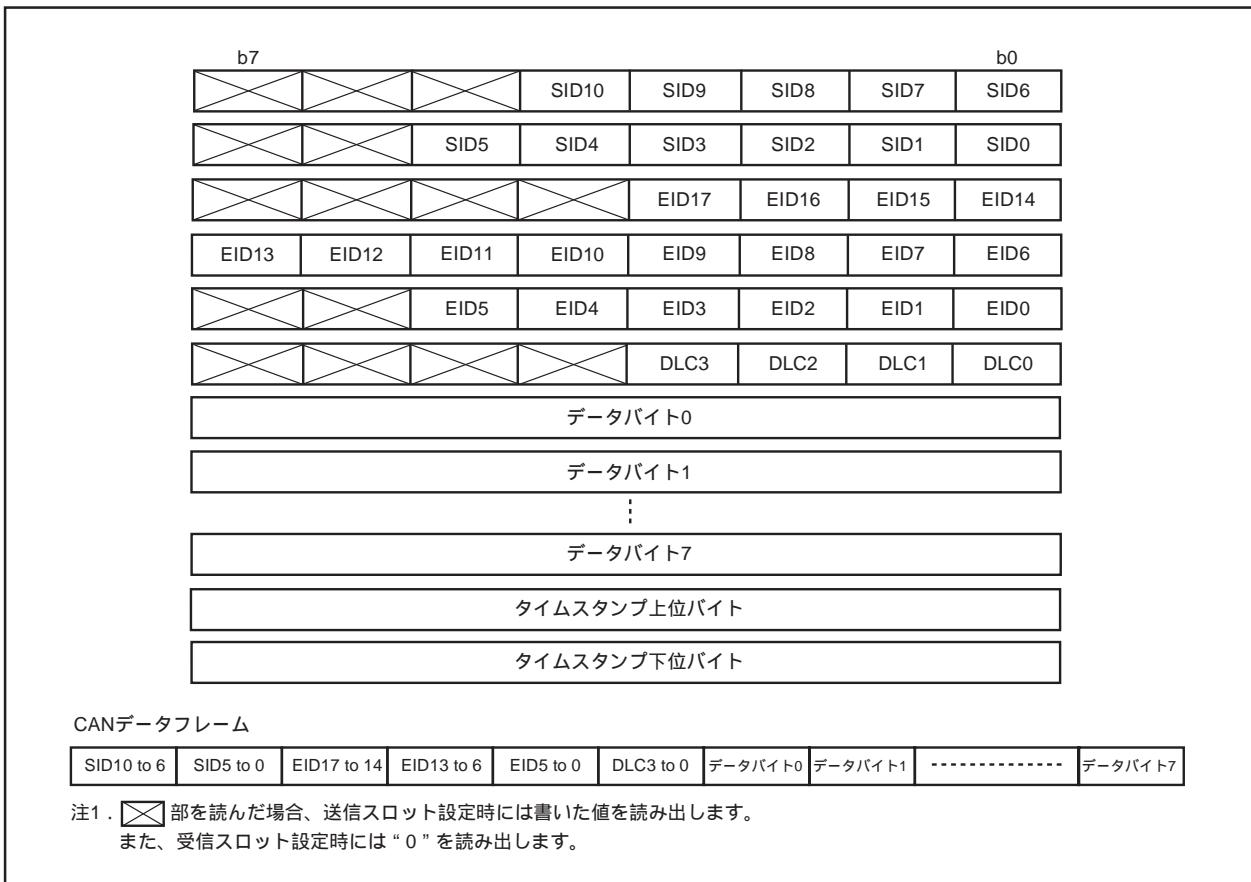


図19.2 バイトアクセス時の各スロット内のビット配置

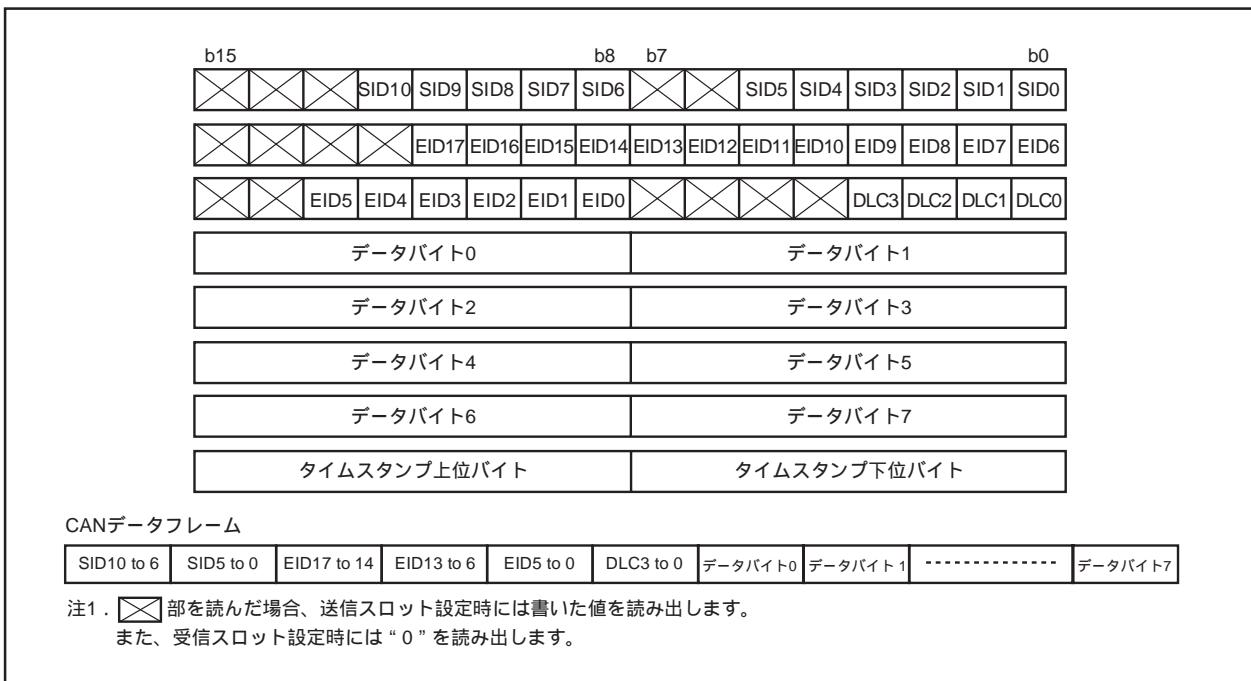


図19.3 ワードアクセス時の各スロット内のビット配置

19.3 アクセプタンスマスクレジスタ

図19.4、図19.5にバイトおよびワードアクセス時のC0GMRレジスタ、C0MARレジスタおよびC0MBRレジスタのビット配置を示します。

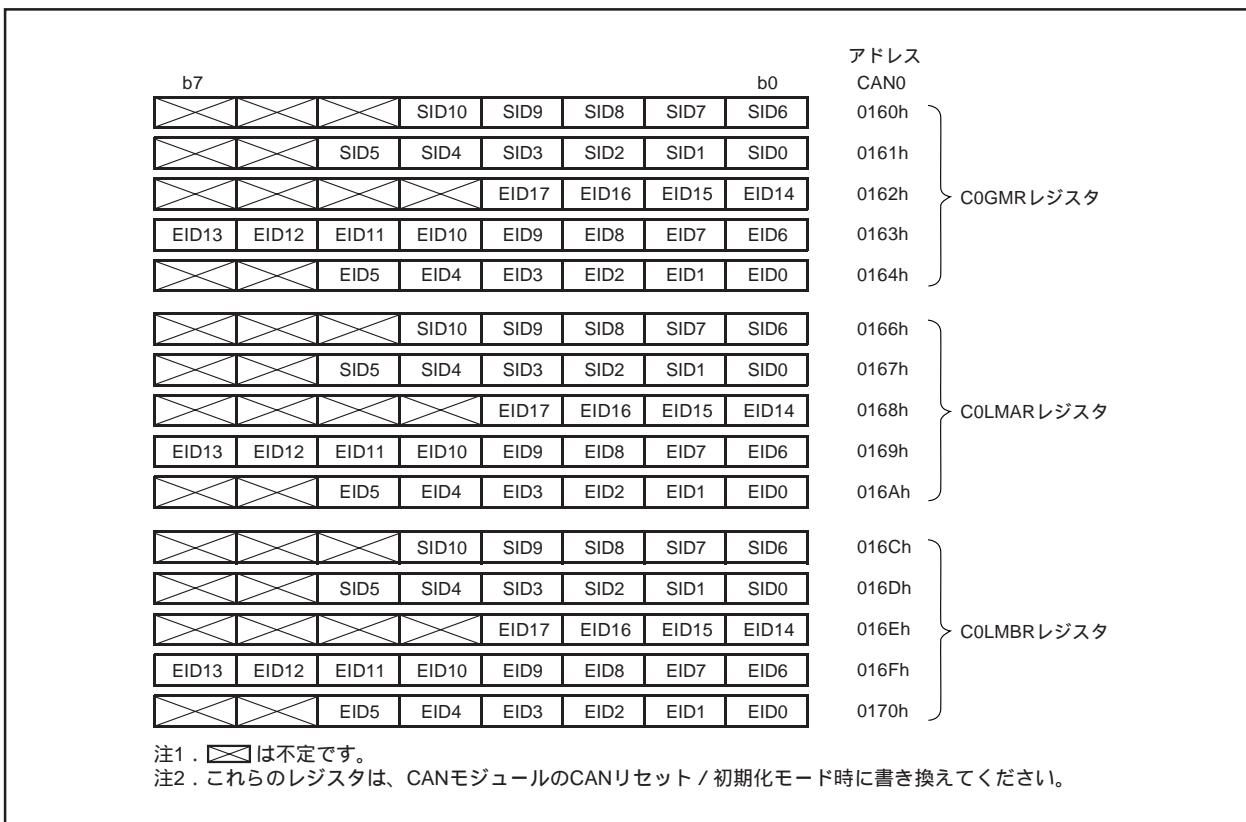


図19.4 バイトアクセス時の各マスクレジスタのビット配置

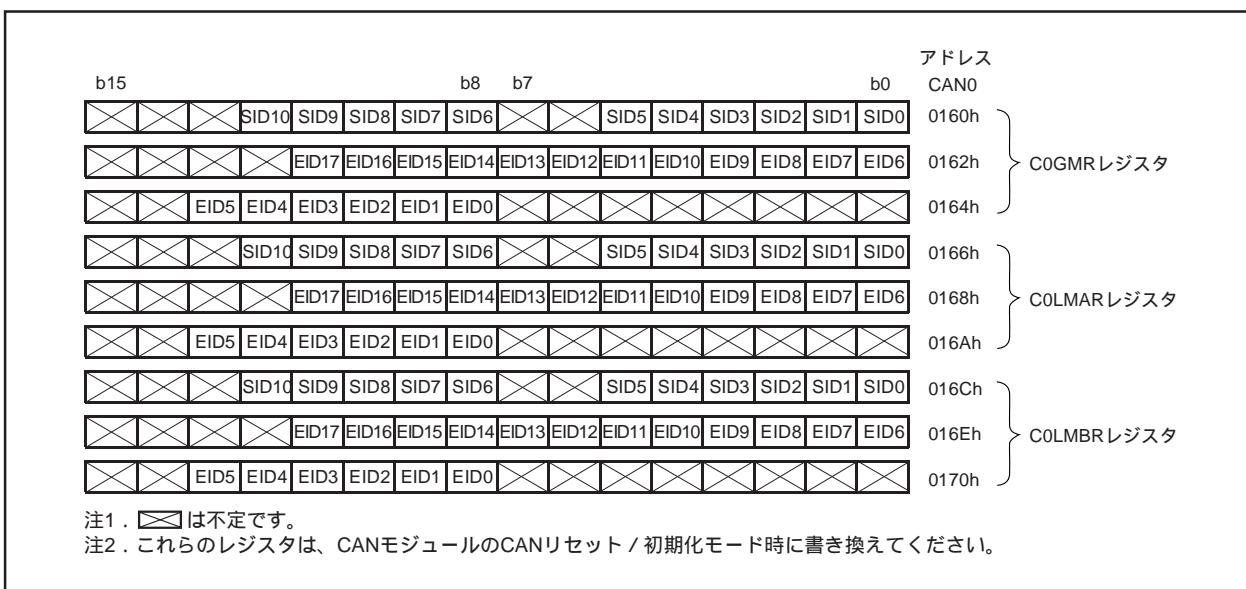


図19.5 ワードアクセス時の各マスクレジスタのビット配置

19.4 CAN SFRレジスタ

図19.6～図19.12にCAN SFRレジスタを示します。

CAN0メッセージ制御レジスタj(j=0～15)(注4)							
b7	b6	b5	b4 b3 b2 b1 b0	シンボル C0MCTL0～C0MCTL15	アドレス 0200h～020Fh番地	リセット後の値 00h	
ビットシンボル	ビット名	機能		RW			
NewData	受信完了フラグ	(受信スロット設定時有効) 0:スロット内容がCPUリードされた、 またはリード中 1:スロットに新しいメッセージが格納された		RO (注1)			
SentData	送信完了フラグ	(送信スロット設定時有効) 0:送信がスタートしていない、 または完了していない 1:送信が完了した		RO (注1)			
InvalData	受信中フラグ	(受信スロット設定時有効) 0:メッセージは有効 1:メッセージは無効(データ更新中)		RO			
TrmActive	送信中フラグ	(送信スロット設定時有効) 0:バスアイドル待ちまたはアービトレーション完了待ち 1:送信中		RO			
MsgLost	オーバライトフラグ	(受信スロット設定時有効) 0:メッセージはオーバライトされていない 1:メッセージはオーバライトされた		RO (注1)			
RemActive	リモートフレーム送受信ステータスフラグ(注2)	0:データフレーム送受信ステータス 1:リモートフレーム送受信ステータス		RO			
RspLock	自動応答ロックモード選択ビット	(リモートフレーム受信スロット設定時有効) 0:リモートフレーム受信後、ただちに応答(送信)する 1:リモートフレーム受信後も"1"に設定されている間は応答(送信)しない		RW			
Remote	リモートフレーム対応スロット設定ビット	0:リモートフレーム非対応スロット 1:リモートフレーム対応スロット		RW			
RecReq	受信スロット要求ビット(注3)	0:受信スロットではない 1:受信スロット		RW			
TrmReq	送信スロット要求ビット(注3)	0:送信スロットではない 1:送信スロット		RW			

注1.“0”のみ書けます。各ビットの値は、CANモジュールが各状態になったときに設定されます。

注2 . Basic CANモード時、スロット14、15はデータフォーマットの判別フラグになります。

RemActiveビットは、データフレームを受信した場合“0”、リモートフレームを受信した場合“1”になります。

注3 . 1つのスロットに対して、受信スロット・送信スロットは同時に設定できません。

注4 . このレジスタは、CANモジュールのCANリセット／初期化モードでは設定できません。

図19.6 C0MCTLjレジスタ

CAN0制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル C0CTRL	アドレス 0210h番地	リセット時 X0000001b
	ピットシンボル	ピット名	機能
	Reset	CANモジュールリセットビット (注1)	0:動作モード 1:リセット / 初期化モード RW
	LoopBack	ループバックモード選択ビット (注2)	0:ループバックモード無効 1:ループバックモード有効 RW
	MsgOrder	メッセージオーダー選択ビット (注2)	0:ワードアクセス対応 1:バイトアクセス対応 RW
	BasicCAN	Basic CANモード選択ビット (注2)	0:Basic CANモード無効 1:Basic CANモード有効 RW
	BusErrEn	バスエラー割り込み許可ビット (注2)	0:バスエラー割り込み禁止 1:バスエラー割り込み許可 RW
	Sleep	スリープモード選択ビット (注2, 3)	0:動作モード 1:スリープモード RW
	PortEn	CANポート許可ビット (注2, 3)	0:入出力ポートとして機能 1:CTX/CRXとして機能(注4) RW
(b7)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	

注1 . Resetビットを“1”(CANリセット / 初期化モード)にした場合は、C0STRレジスタのState_Resetビットが“1”(リセットモード)になるのを確認してください。

注2 . これらのビットは、CANリセット / 初期化モード時のみ変更してください。

注3 . CAN0ウェイクアップ割り込みを使用する場合は、これらのビットを“1”にしてください。

注4 . PortEnビットを“1”(CTX/CRXとして機能)にした場合は、CRX0端子に対応するポート方向ビットを“0”(入力モード)にしてください。

CAN0制御レジスタ			
(b15) b7 b6 b5 b4 b3 b2 b1 (b8)	シンボル C0CTRL	アドレス 0211h番地	リセット時 XX0X0000b
	ピットシンボル	ピット名	機能
	TSPreScale	タイムスタンプ用プリスケーラ (注3)	^{b1 b0} 0 0 : 1 bit time の周期 0 1 : 1 bit time の周期の 2分周 1 0 : 1 bit time の周期の 4分周 1 1 : 1 bit time の周期の 8分周 RW
	TSReset	タイムスタンプカウンタ用リセットビット (注1)	0:何もしない 1:タイムスタンプカウンタの強制リセット RW
	RetBusOff	バスオフからの強制復帰命令ビット (注2)	0:何もしない 1:バスオフからの強制復帰 RW
	- (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	
	RXOnly	リッスンオンリーモード選択ビット (注3)	0:リッスンオンリーモード無効 1:リッスンオンリーモード有效(注4) RW
	- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	

注1. TSResetビットを“1”にするとC0TSRレジスタが“0000h”になり、その後このビットは自動的に“0”になります。

注2. RetBusOffビットを“1”にすると、C0RECRレジスタおよびC0TECRレジスタが“00h”になり、その後このビットは自動的に“0”になります。

注3 . これらのビットは、CANリセット / 初期化モード時のみ変更してください。

注4 . リッスンオンリーモード選択時は、送信要求をしないでください。

図19.7 C0CTRLレジスタ

CAN1制御レジスタ(注1)										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル C1CTLR	アドレス 0230h番地	リセット時 X0000001b
-	0	1	0	0	0	0	0	(b4-b0)	予約ビット	“0”にしてください RW
-	-	-	-	-	-	-	-	(b5)	予約ビット	“1”にしてください RW
-	-	-	-	-	-	-	-	(b6)	予約ビット	“0”にしてください RW
-	-	-	-	-	-	-	-	(b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	

注1. このレジスタ(0230h、0231h番地)は“0020h”にしてください。また、CCLKRレジスタを設定する場合は、このレジスタを“0020h”にしてから設定してください。

b7	b6	b5	b4	b3	b2	b1	b0	シンボル C1CTLR	アドレス 0231h番地	リセット時 XX0X0000b
-	-	-	0	X	0	0	0	(b3-b0)	予約ビット	“0”にしてください RW
-	-	-	-	-	-	-	-	(b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-
-	-	-	-	-	-	-	-	(b5)	予約ビット	“0”にしてください RW
-	-	-	-	-	-	-	-	(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	

図19.8 C1CTLRレジスタ

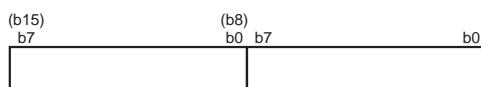
CAN0ステータスレジスタ				
b7 b6 b5 b4 b3 b2 b1 b0	シンボル C0STR	アドレス 0212h番地	リセット後の値 00h	
	MBOX	アクティブスロット判別ビット (注1)	b3 b2 b1 b0 0 0 0 0 : スロット0 0 0 0 1 : スロット1 0 0 1 0 : スロット2 : 1 1 1 0 : スロット14 1 1 1 1 : スロット15	RO
	TrmSucc	送信完了フラグ (注1)	0 : 送信なし 1 : 送信完了	RO
	RecSucc	受信完了フラグ (注1)	0 : 受信なし 1 : 受信完了	RO
	TrmState	送信フラグ(Transmitter)	0 : バスアイドルまたは受信中 1 : 送信中	RO
	RecState	受信フラグ(Receiver)	0 : バスアイドルまたは送信中 1 : 受信中	RO

注1 . C0ICRレジスタで割り込み許可にしたスロットが送受信完了したときのみ変化します。

C0STRレジスタ				
(b15) b7 b6 b5 b4 b3 b2 b1 (b8)	シンボル C0STR	アドレス 0213h番地	リセット後の値 X0000001b	
	State_Reset	リセットステートフラグ	0 : 動作モード 1 : リセットモード	RO
	State_LoopBack	ループバックステートフラグ	0 : ループバックモードではない 1 : ループバックモード	RO
	State_MsgOrder	メッセージオーダーステート フラグ	0 : ワードアクセス対応 1 : バイトアクセス対応	RO
	State_BasicCAN	Basic CANモードステートフラグ	0 : Basic CANモードではない 1 : Basic CANモード	RO
	State_BusError	バスエラーステートフラグ	0 : バスエラー発生なし 1 : バスエラー発生	RO
	State_ErrPas	エラーパッシブステートフラグ	0 : エラーパッシブではない 1 : エラーパッシブステート	RO
	State_BusOff	エラーバスオフステートフラグ	0 : エラーバスオフではない 1 : エラーバスオフステート	RO
	(b7)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		

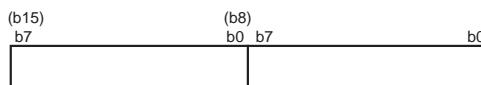
図19.9 C0STRレジスタ

CAN0スロットステータスレジスタ

シンボル
C0SSTRアドレス
0215h、0214h番地リセット後の値
0000h

機能	設定値	RW
スロットステータスピット 各ビットはそのビット番号と同じ番号のスロットのステータスを表します。	0:(受信スロット設定時) メッセージは読まれた (送信スロット設定時) 送信完了していない 1:(受信スロット設定時) メッセージは読まれて いない (送信スロット設定時) 送信完了した	RO

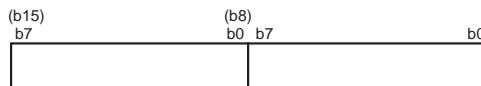
CAN0割り込み制御レジスタ(注1)

シンボル
C0ICRアドレス
0217h、0216h番地リセット後の値
0000h

機能	設定値	RW
割り込み許可ビット 各ビットはそのビット番号と同じ番号のスロットに対応します。 各スロットの送信完了および受信完了割り込みの許可・禁止を設定できます。	0 : 割り込み禁止 1 : 割り込み許可	RW

注1 . このレジスタは、CANモジュールのCANリセット / 初期化モードでは設定できません。

CAN0拡張IDレジスタ(注1)

シンボル
C0IDRアドレス
0219h、0218h番地リセット後の値
0000h

機能	設定値	RW
拡張IDビット 各ビットはそのビット番号と同じ番号のスロットに対応します。 各スロットが扱うIDフォーマットを設定できます。	0 : 標準ID 1 : 拡張ID	RW

注1 . このレジスタは、CANモジュールのCANリセット / 初期化モードでは設定できません。

図19.10 C0SSTR、C0ICR、C0IDRレジスタ

CAN0バスタイミング制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル C0CONR	アドレス 021Ah番地	リセット後の値 不定
	BRP	プリスケーラ分周比選択ビット	$b_3\ b_2\ b_1\ b_0$ 0 0 0 0 : fCANの1分周 0 0 0 1 : fCANの2分周 0 0 1 0 : fCANの3分周 : 1 1 1 0 : fCANの15分周 1 1 1 1 : fCANの16分周 (注1)
	SAM	サンプリング回数設定ビット	0 : 1回サンプリング 1 : 3回サンプリング
	PTS	Propagation Time Segment 制御ビット	$b_7\ b_6\ b_5$ 0 0 0 : 1Tq 0 0 1 : 2Tq 0 1 0 : 3Tq : 1 1 0 : 7Tq 1 1 1 : 8Tq

注1 . fCANはCAN用クロックです。この周期はCCLKRレジスタのCCLK*i*ビット(*i*=0~2)によって決まります。

b15 b7 b6 b5 b4 b3 b2 b1 (b8)	シンボル C0CONR	アドレス 021Bh番地	リセット後の値 不定
ビットシンボル	ビット名	機能	RW
	PBS1	Phase Buffer Segment1 制御ビット	$b_2\ b_1\ b_0$ 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq : 1 1 0 : 7Tq 1 1 1 : 8Tq
	PBS2	Phase Buffer Segment2 制御ビット	$b_5\ b_4\ b_3$ 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq : 1 1 0 : 7Tq 1 1 1 : 8Tq
	SJW	Re Synchronization Jump Width 制御ビット	$b_7\ b_6$ 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq

図19.11 C0CONR レジスタ

CAN0受信エラーカウントレジスタ

b7	b0	シンボル C0RECR	アドレス 021Ch番地	リセット後の値 00h
<hr/>				
機能		カウンタ値	RW	

受信エラーカウント機能
CANモジュールのエラー状態によってカウンタ値を増減させます。

00h ~ FFh (注1) RO

注1 . パスオフステート時の値は不定になります。

CAN0送信エラーカウントレジスタ

b7	b0	シンボル C0TECR	アドレス 021Dh番地	リセット後の値 00h
<hr/>				
機能		カウンタ値	RW	

送信エラーカウント機能
CANモジュールのエラー状態によってカウンタ値を増減させます。

00h ~ FFh (注1) RO

注1 . パスオフステート時の値は不定になります。

CAN0タイムスタンプレジスタ(注1)

(b15) b7	(b8) b0 b7	b0	シンボル C0TSR	アドレス 021Fh、021Eh番地	リセット後の値 0000h
<hr/>					
機能		カウンタ値	RW		

タイムスタンプ機能

0000h ~ FFFFh RO

注1 . 読み出しが16ビット単位で実行してください。

CAN0アクセプタンスフィルタサポートレジスタ

b15	b8	b7	b0	シンボル C0AFS	アドレス 0243h、0242h番地	リセット後の値 不定
<hr/>						
機能		設定値	RW			

受信メッセージの標準IDを書きます。
読む時は、標準IDが変換された値を読みます。

標準ID RW

図19.12 C0RECR、C0TECR、C0TSR、C0AFSレジスタ

19.5 動作モード

CANモジュールには、次の4つの動作モードがあります。

- ・CANリセット / 初期化モード
- ・CAN動作モード
- ・CANスリープモード
- ・CANインターフェーススリープモード

図19.13に動作モードの遷移を示します。

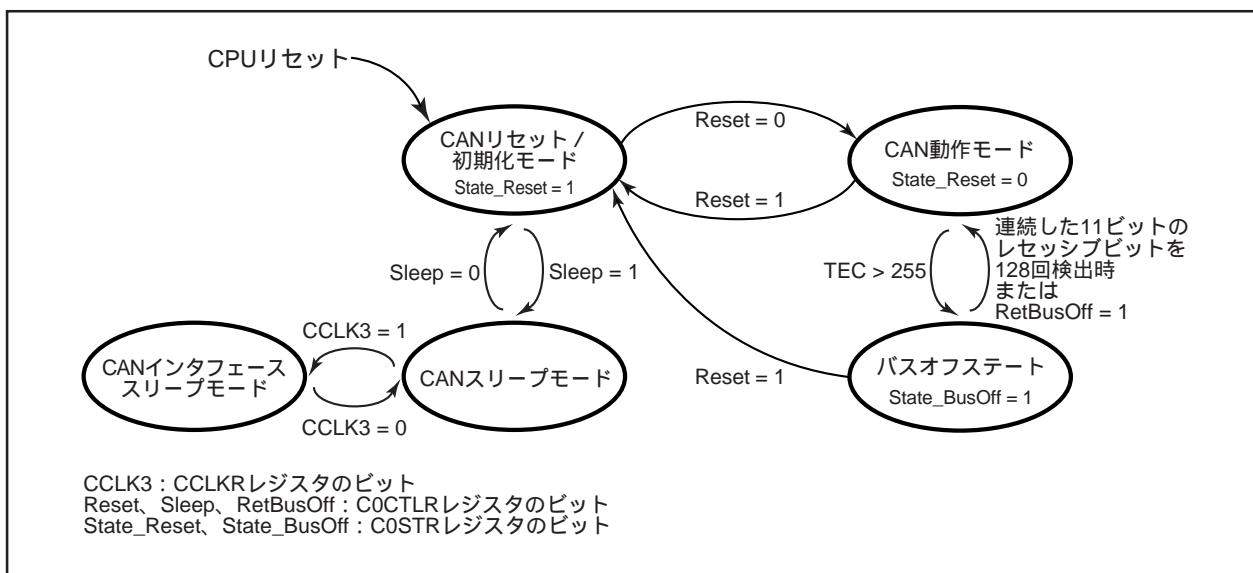


図19.13 動作モードの遷移

19.5.1 CANリセット / 初期化モード

CPUをリセットまたはC0CTRLレジスタのResetビットを“1”にすると、CANモジュールはCANリセット / 初期化モードになります。Resetビットを“1”にした場合は、C0STRレジスタのState_Resetビットが“1”になるのを確認してください。

CANリセット / 初期化モード中は、CANモジュールは次の状態になります。

- ・CAN通信ができません。
- ・メッセージ送信中にCANリセット / 初期化モードにした場合、送信完了、アービトレーション負け、またはエラーを検知するまでCAN動作モードを維持します。その後State_Resetビットが“1”になり、CANリセット / 初期化モードに遷移します。
- ・C0MCTLjレジスタ($j=0 \sim 15$) C0STRレジスタ、C0ICRレジスタ、C0IDRレジスタ、C0RECRレジスタ、C0TECRレジスタおよびC0TSRレジスタは初期化され、CPUはアクセスできません。
- ・C0CTRLレジスタ、C0CONRレジスタ、C0GMRレジスタ、C0LMARレジスタ、C0LMBRレジスタおよびCAN0メッセージボックスは以前の値を保持し、CPUはアクセスできます。

19.5.2 CAN動作モード

C0CTRLレジスタのResetビットを“0”にすると、CANモジュールはCAN動作モードになります。Resetビットを“0”にした場合は、C0STRレジスタのState_Resetビットが“0”になるのを確認してください。

CAN動作モード遷移後、連続した11ビットのレセシシブビットを検出すると、CANモジュールは次の状態になります。

- ・メッセージの送受信ができます。
- ・送信エラー、受信エラーのカウントを始め、CANモジュールのエラーステータスを管理します。
- エラーステータスによって、CANモジュールはCAN通信ができない状態になります。

CANモジュールは、CAN動作モード中に次の3つのサブモードになっています。

- ・アイドルモード：送受信を行っていない状態です。
- ・受信モード：他ノードが送信するメッセージを受信している状態です。
- ・送信モード：自ノードがメッセージを送信している状態です。C0CTRLレジスタのLoopBackビットが“1”(ループバックモード有効)の時、自分が送信しているメッセージを同時に受信します。

図19.14にCAN動作モードのサブモードを示します。

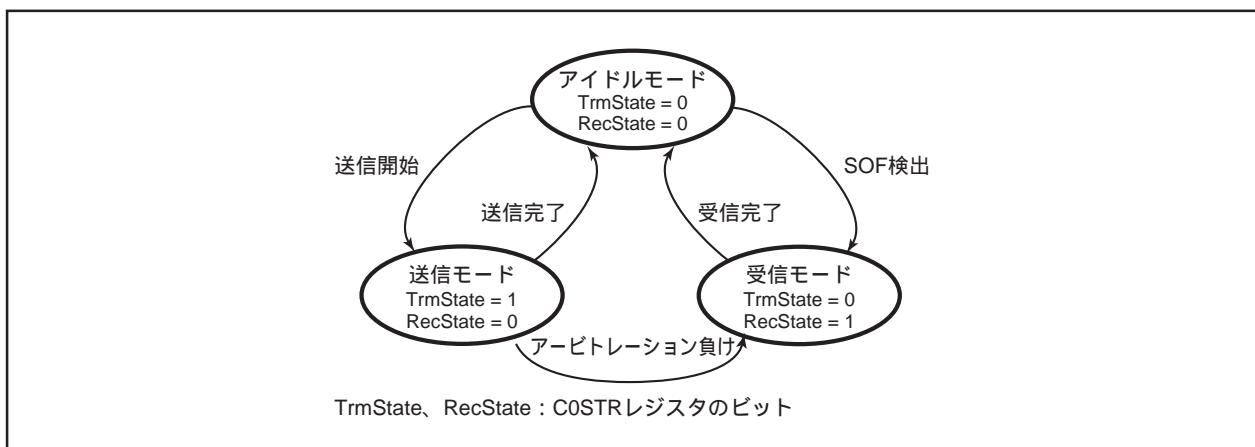


図19.14 CAN動作モードのサブモード

19.5.3 CANスリープモード

C0CTRLレジスタのSleepビットを“1”にすると、CANモジュールはスリープモードになります。CAN動作モードからCANスリープモードへ遷移する場合は、CANリセット／初期化モードを経由して、CANスリープモードにしてください。

CANスリープモードになると、ただちにCANモジュールへのクロック供給が停止されるため、消費電流を低減できます。

19.5.4 CANインターフェーススリープモード

CCLKRレジスタのCCLK3ビットを“1”にすると、CANモジュールはインターフェーススリープモードになります。CANインターフェーススリープモードへ遷移する場合は、CANスリープモードを経由して、CANインターフェーススリープモードにしてください。

CANインターフェーススリープモードになると、CANモジュールのCPUインターフェース部へのクロック供給が停止されるため、消費電流を低減できます。

19.5.5 バスオフステート

CAN通信エラーを繰り返すと、CANプロトコルのエラー制御の規制に従って、CANモジュールはバスオフステートへ遷移し、CAN通信ができなくなります。バスオフステートへ遷移後にCAN動作モードに復帰するには次の2つ場合があります。なお、このとき、C0STRレジスタ、C0RECRレジスタおよびC0TECRレジスタを除くCANモジュール関連レジスタの値は変化しません。

- (1) 連続した11ビットのレセシシブピットを128回検出時

CANモジュールはただちにエラーアクティブ状態に遷移し、すぐにCAN通信ができるようになります。

- (2) C0CTRLレジスタのRetBusOffビット = 1(バスオフからの強制復帰)時

CANモジュールはただちにエラーアクティブ状態に遷移し、連続した11ビットのレセシシブピットを検出した後、再びCAN通信ができるようになります。

19.6 CANモジュールシステムクロックの設定

CANモジュールは、専用のCANモジュールシステムクロック発生回路を備えています。

CANモジュールシステムクロックの設定は、CCLKRレジスタおよびC0CONRレジスタのBRPビットで行います。CCLKRレジスタについては「8 . クロック発生回路」を参照してください。

図19.15にCANモジュールシステムクロック発生回路ブロック図を示します。

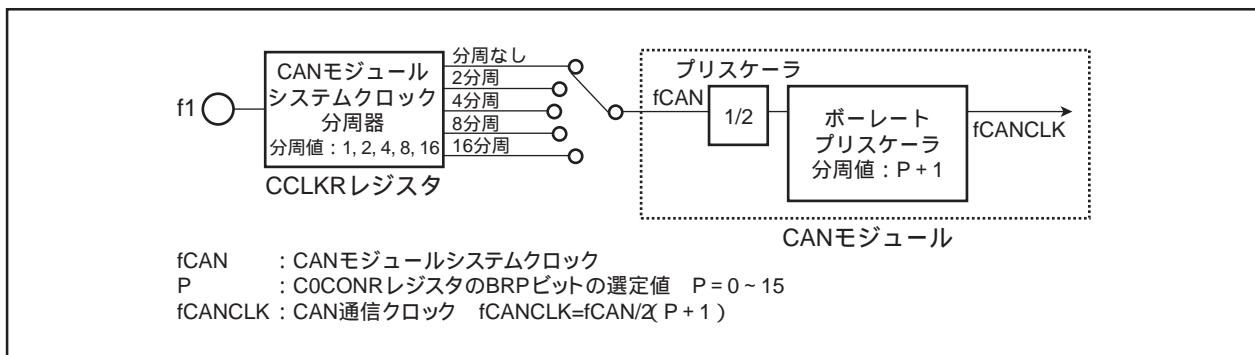


図19.15 CANモジュールシステムクロック発生回路ブロック図

19.7 ビットタイミングの設定

ビットタイムは、次の4つのセグメントで構成されています。

- シンクロナイゼーションセグメント(SS)

ビットの立ち下がりエッジをモニタして同期をあわせるセグメントです。

- プロパゲーションタイムセグメント(PTS)

CANネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延はCANバス上の遅延、入力コンパレータ遅延および出力ドライバ遅延の総和の2倍になります。

- フェーズバッファセグメント1(PBS1)

周波数の誤差によるフェーズエラーを補償するセグメントです。ビットの立ち下がりエッジが期待値より遅い場合、PBS1は最大SJW設定値分だけ長くなります。

- フェーズバッファセグメント2(PBS2)

PBS1と同様の機能を持つセグメントです。ビットの立ち下がりエッジが期待値より早い場合、PBS2は最大SJW設定値分だけ短くなります。

図19.16にビットタイミング図を示します。

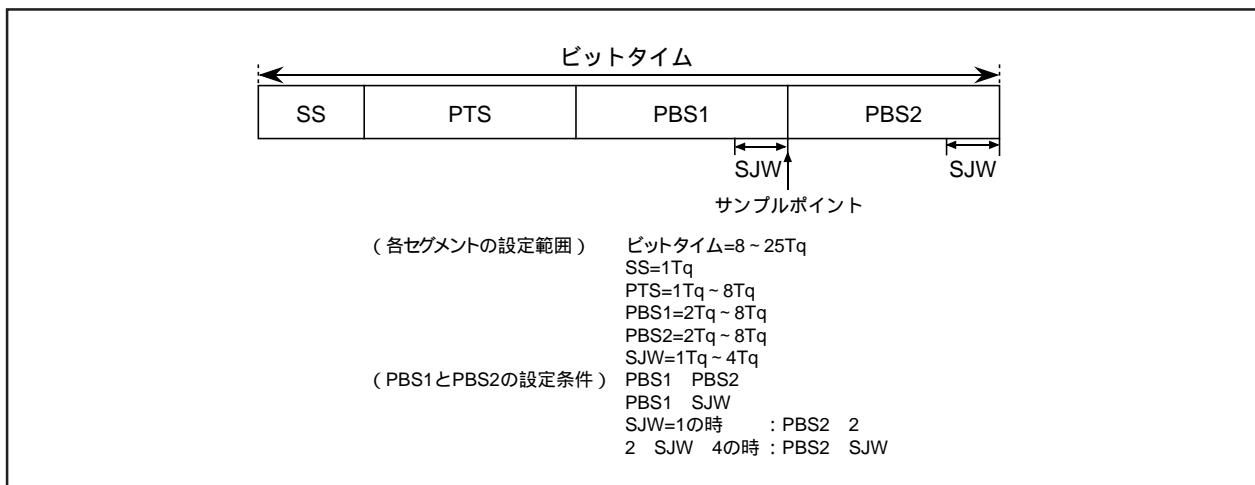


図19.16 ビットタイミング図

19.8 転送速度

転送速度は、f1、CANモジュールシステムクロック分周値、ボーレートプリスケーラ分周値、および1ビットのTq数で決まります。

表19.2に転送速度の実現例を示します。

表19.2 転送速度の実現例

転送速度	24MHz(注2)	20MHz	16MHz	10MHz	8MHz
1Mbps	12Tq (1)	10Tq (1)	8Tq (1)	-	-
500kbps	8Tq (3)	10Tq (2)	8Tq (2)	10Tq (1)	8Tq (1)
	12Tq (2)	20Tq (1)	16Tq (1)	-	-
	24Tq (1)	-	-	-	-
125kbps	8Tq (12)	8Tq (10)	8Tq (8)	8Tq (5)	8Tq (4)
	12Tq (8)	10Tq (8)	16Tq (4)	10Tq (4)	16Tq (2)
	16Tq (6)	16Tq (5)	-	20Tq (2)	-
	24Tq (4)	20Tq (4)	-	-	-
83.3kbps	8Tq (18)	8Tq (15)	8Tq (12)	10Tq (6)	8Tq (6)
	12Tq (12)	10Tq (12)	16Tq (6)	20Tq (3)	16Tq (3)
	16Tq (9)	20Tq (6)	-	-	-
	24Tq (6)	-	-	-	-
33.3kbps	10Tq (36)	10Tq (30)	8Tq (30)	10Tq (15)	8Tq (15)
	12Tq (30)	20Tq (15)	10Tq (24)	-	10Tq (12)
	20Tq (18)	-	16Tq (15)	-	20Tq (6)
	24Tq (15)	-	20Tq (12)	-	-

注1.()内の数字はfCAN分周値×ボーレートプリスケーラ分周値を示します。

注2. 24MHzは、Normal-ver.でのみ使用できます。

19.8.1 転送速度の算出式

f1

$$2 \times \text{fCAN分周値(注1)} \times \text{ボーレートプリスケーラ分周値(注2)} \times 1\text{ビットのTq数}$$

注1. fCAN分周値 = 1、2、4、8、16

fCAN分周値 : CCLKRレジスタの選定値

注2. ボーレートプリスケーラ分周値 = P + 1 (P = 0 ~ 15)

P : C0CONRレジスタの BRPビットの選定値

19.9 アクセプタンスフィルタ機能とマスク機能

ユーザが任意のメッセージを選択受信する機能です。C0GMRレジスタ、C0LMARレジスタ、およびC0LMBRレジスタは、標準IDと拡張IDの29ビットに対してマスクができます。C0GMRレジスタはスロット0~13、C0LMARレジスタはスロット14、C0LMBRレジスタはスロット15に対応しています。マスク機能は、アクセプタンスフィルタ処理のときC0IDRレジスタの対応するスロットの設定値によって、受信IDの11ビットまたは29ビットに対して有効になります。マスク機能を使用するとある範囲のIDを受信できるようになります。

図19.17に各マスクレジスタとスロットの対応、図19.18にアクセプタンス機能を示します。

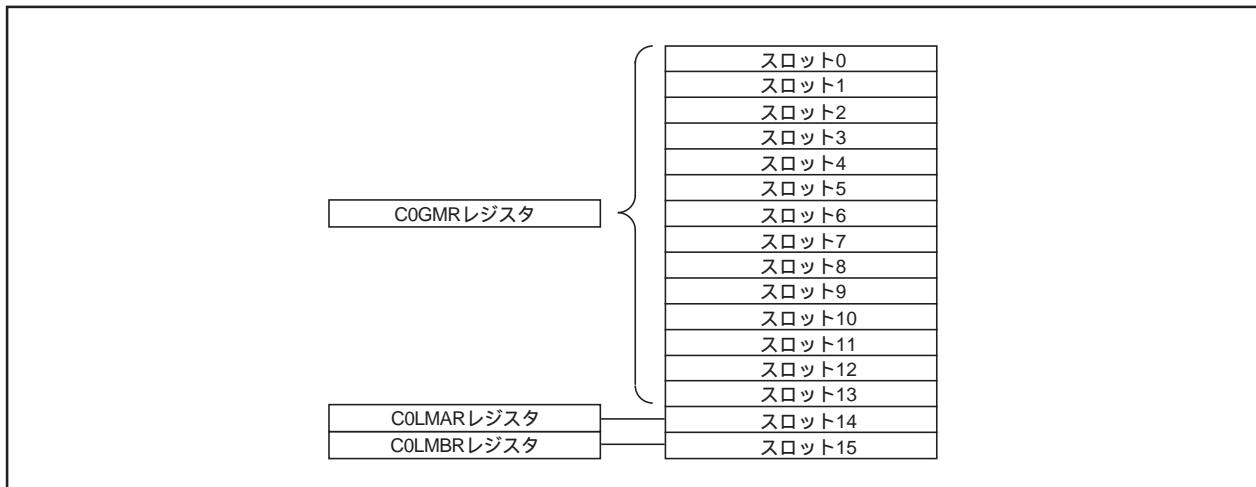


図19.17 各マスクレジスタとスロットの対応

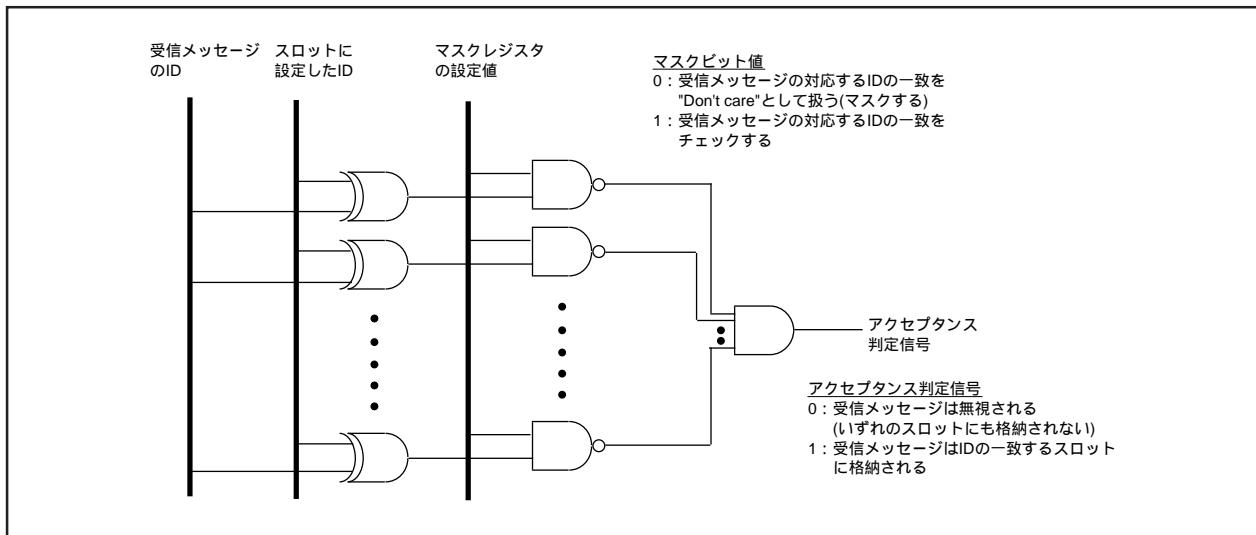


図19.18 アクセプタンス機能

アクセプタンス機能を使用する場合は、次の点に注意してください。

- (1)異なるスロットに同じIDを設定して受信した場合、スロット番号の小さい方が有効になります。
- (2)Basic CANモードでスロット14、15にすべてのID(メッセージ)を受信するように設定した場合、スロット14、15はスロット0~13が受信しなかったすべてのIDを受信します。

19.10 アクセプタンスフィルタサポートユニット(ASU)

ASUは、受信IDの有効、無効をテーブル検索で判断する機能です。受信するIDをデータテーブルに登録し、受信したIDをC0AFSレジスタに格納した後、デコードされた受信IDを使用してテーブル検索を行います。このASUは標準IDに対してのみ使用できます。

ASUは、次の場合に有効です。

- ・アクセプタンスフィルタで受信するIDにマスクができない場合
例)受信するID : 078h、087h、111h
- ・受信するIDが非常に多く、ソフトウェアでフィルタリングすると時間がかかりすぎる場合

図19.19にワードアクセス時のC0AFSレジスタの書き込み時と読み出し時の状態を示します。

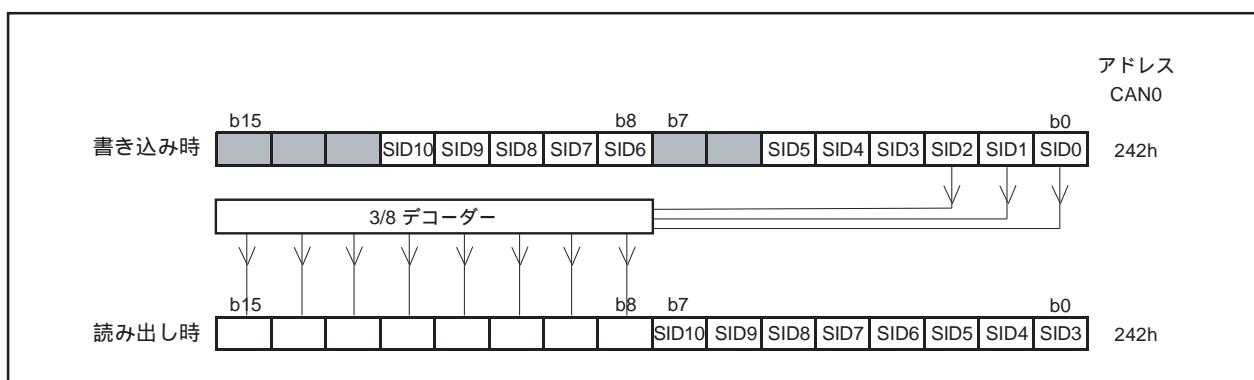


図19.19 ワードアクセス時のC0AFSレジスタの書き込み時と読み出し時の状態

19.11 Basic CANモード

C0CTRLレジスタのBasicCANビットを“1 (Basic CANモード有効)”にすると、スロット14、15はBasic CANモードに対応します。通常、各スロットはCPUからの設定で、データフレームかリモートフレームのどちらか一方しか扱うことができませんが、Basic CANモードでは両方のフレームを同時に扱うことができます。

Basic CANモードでスロット14、15を受信許可にすると、受信したデータフレームまたはリモートフレームはスロット14からスロット15と交互に格納されます。

受信したメッセージのデータフォーマットは、C0MCTLjレジスタ($j = 0 \sim 15$)のRemActiveビットで判別できます。

図19.20にBasic CANモード時のスロット14とスロット15の動作を示します。

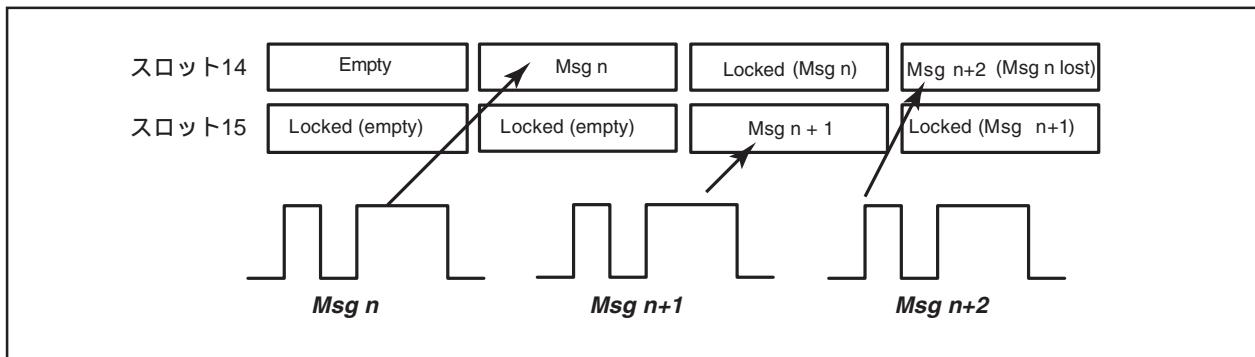


図19.20 Basic CANモード時のスロット14とスロット15の動作

Basic CANモードを使用する場合は、次の点に注意してください。

- (1) Basic CANモードの設定は、CANリセット / 初期化モード時に行ってください。
- (2) スロット14とスロット15に同じIDを設定してください。また、C0LMARレジスタおよびC0LMBRレジスタの設定も同一にしてください。
- (3) スロット14とスロット15は受信スロットとしてのみ設定してください。
- (4) メッセージのオーバライ特に対する保護機能はありません。各スロットは、新メッセージによってオーバライ特されます。
- (5) スロット0~13の動作に変わりはありません。

19.12 リターンフロムバスオフ機能

プロトコルコントローラがバスオフステートになったとき、C0CTRLレジスタのリターンフロムバスオフ機能を使用する(RetBusOffビットを“1”(バスオフからの強制復帰)にする)と、バスオフステートから強制復帰できます。このとき、エラーステートは、バスオフステートからエラーアクティブステートになります。この機能を実行するとC0RECRレジスタおよびC0TECRレジスタは初期化され、C0STRレジスタのState_BusOffビットは“0”(エラーバスオフではない)になりますが、C0CONRレジスタなどのCANモジュールの各レジスタおよび各スロットの内容は初期化されません。

19.13 タイムスタンプカウンタとタイムスタンプ機能

C0TSRレジスタを読み出すと、その時点のタイムスタンプカウンタの値を読み出せます。タイムスタンプカウンタの基準クロックの周期は、C0CONRレジスタで設定した1 bit timeの周期と同じです。タイムスタンプカウンタはフリーランカウンタとして機能します。

タイムスタンプカウンタの基準クロックは、C0CTRLレジスタのTSPreScaleビットの設定によって、1 bit timeの周期の1、2、4、または8分周が選択できます。

また、タイムスタンプカウンタは、プロトコルコントローラが受信完了とみなしたときにカウンタ値をキャプチャするレジスタを備えています。受信スロットにタイムスタンプ値が格納されるときは、このキャプチャされた値が格納されます。

19.14 リッスンオンリーモード

C0CTRLレジスタのRXOnlyビットを“1”にすると、リッスンオンリーモードになります。

リッスンオンリーモードでは、データフレームやエラーフレームの送信およびACKの応答など、バスに對していかなる送信も行いません。

リッスンオンリーモード選択時は、送信要求をしないでください。

19.15 CAN受信とCAN送信

表19.3にCAN受信モードとCAN送信モードの設定方法を示します。

表19.3 CAN受信モードとCAN送信モードの設定方法

TrmReq	RecReq	Remote	RspLock	スロットの通信モード設定内容
0	0			通信環境設定モード。 CPUでこのスロットの通信環境を設定してください。
0	1	0	0	データフレームの受信スロットに設定されます。
1	0	1	0	リモートフレームの送信スロットに設定されます (このときRemActive = 1)。 送信後は、データフレームの受信スロットとして機能します(このときRemActive = 0)。 ただし、リモートフレーム送信前にCANバス上で一致するIDを検出した場合は、ただちにデータフレームの受信スロットとして機能します。
1	0	0	0	データフレームの送信スロットに設定されます。
0	1	1	1 / 0	リモートフレームの受信スロットとして設定されます (このときRemActive = 1)。 受信後は、データフレームの送信スロットとして機能します(このときRemActive = 0)。 ただし、RspLock = 1である限り送信はスタートせず、自動的に応答しません。 RspLock = 0にすると応答(送信)をスタートします。

TrmReq、RecReq、Remote、RspLock、RemActive、RspLock : C0MCTLjレジスタ($j = 0 \sim 15$)のビット

受信モードでは次の点に注意してください。

- (1)C0MCTLjレジスタを“ 00h ”にしてから、スロットの受信設定をしてください。
- (2)受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果、最初に条件のあったスロットに格納されます。格納スロット決定時にスロット番号が小さい方が優先順位が高くなります。
- (3)通常のCAN動作モード時は、自ノードが送信したメッセージはIDが一致しても自ノードは受信しません。
しかし、ループバックモード時は、IDが一致した場合にそのメッセージを受信します。ただし、この場合、ACKは返しません。

送信モードでは次の点に注意してください。

- (1)C0MCTLjレジスタを“ 00h ”にしてから、スロットの送信設定をしてください。
- (2)C0MCTLjレジスタのTrmReqビットを“ 0 ”(送信スロットではない)にしてから、送信スロットを書き換えてください。
- (3)C0MCTLjレジスタのTrmActiveビットが“ 1 ”(送信中)のときは、送信スロットを書き換えないでください。
書き換えると不定データが出力されます。

19.15.1 受信

図19.21にデータフレーム受信時の動作例を示します。この例では、2つの連続したメッセージを受信しているときのCANモジュールの動作を示します。

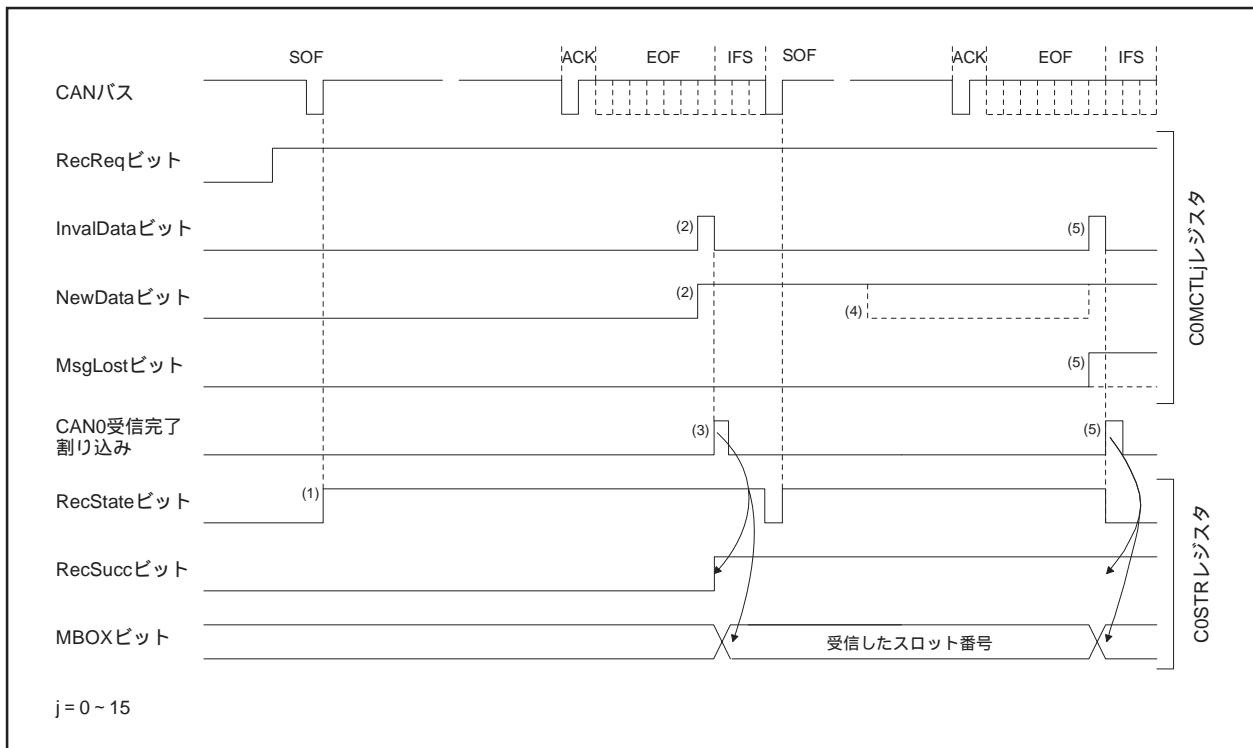


図19.21 データフレーム受信時の動作例

- (1) CANバス上にSOFを検知すると、C0STRレジスタのRecStateビットがただちに“1(受信中)”になります。
- (2) メッセージの受信を完了すると、受信スロットのC0MCTLjレジスタ($j=0 \sim 15$)のNewDataビットが“1(スロットに新しいデータが格納された)”になります。同時にC0MCTLjレジスタのInvalDataビットが“1(データ更新中)”になります。そのスロットにメッセージが完全に格納された後、InvalDataビットは“0(メッセージは有効)”になります。
- (3) 受信したスロットのC0ICRレジスタの割り込み許可ビットが“1(割り込み許可)”の場合、CAN0受信完了割り込み要求が発生し、C0STRレジスタのMBOXビット(メッセージを受信したスロット番号)とRecSuccビットが変化します。
- (4) プログラムでNew Dataビットを“0(スロット内容がCPUリードされた、またはリード中)”にした後、スロットからメッセージを読み出してください。
- (5) プログラムでNewDataビットを“0”にするか、スロットへの受信要求をキャンセルする前に次のCANメッセージを受信した場合、C0MCTLjレジスタのMsgLostビットが“1(メッセージはオーバライトされた)”になります。そして、新しく受信されたメッセージがそのスロットに格納されます。割り込み要求とC0STRレジスタは(3)と同様に変化します。

19.15.2 送信

図19.22にデータフレーム送信時の動作例を示します。

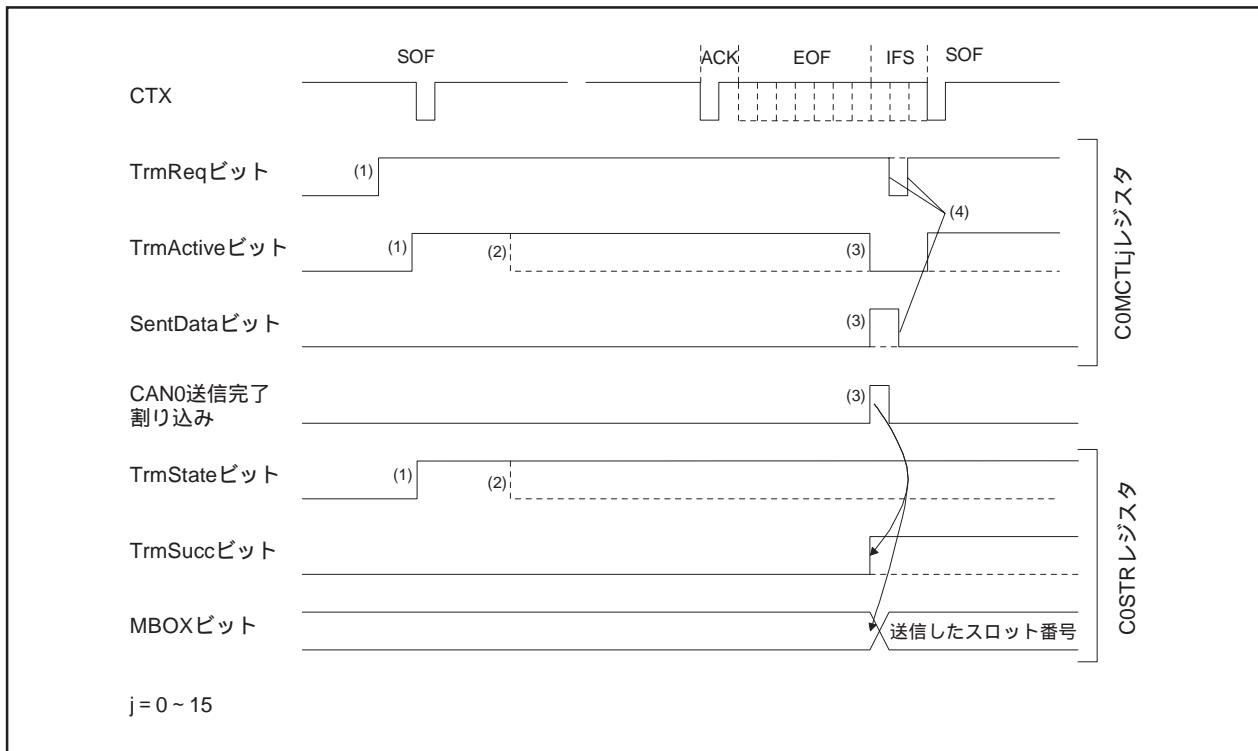


図19.22 データフレーム送信時の動作例

- (1) バスアイドル時にC0MCTLjレジスタのTrmReqビットを“1”(送信スロット)にすると、C0MCTLjレジスタのTrmActiveビットおよびC0STRレジスタのTrmStateビットが“1”(送信中)になり、送信を開始します。
- (2) 送信開始後にアービトレーション負けが発生すると、TrmActiveビットおよびTrmStateビットは“0”になります。
- (3) アービトレーション負けが発生せずに送信を完了すると、C0MCTLjレジスタのSentDataビットが“1”(送信が完了した)に、TrmActiveビットが“0”(バスアイドル待ちまたはアービトレーション完了待ち)になります。そして、C0ICRレジスタの割り込み許可ビットが“1”(割り込み許可)の場合、CAN0送信完了割り込み要求が発生し、C0STRレジスタのMBOXビット(メッセージを送信したスロット番号)とTrmSuccビットが変化します。
- (4) 次の送信を行う場合は、TrmReqビットおよびSentDataビットを“0”にして、TrmReqビットおよびSentDataビットが“0”になるのを確認した後、TrmReqビットを“1”にしてください。

19.16 CAN割り込み

CANモジュールは、次のCAN割り込みがあります。

- ・CAN0受信完了割り込み
- ・CAN0送信完了割り込み
- ・CAN0エラー割り込み： エラーパッシブステート
バスオフステート
バスエラー
- ・CAN0ウェイクアップ割り込み

CAN0受信完了割り込み、CAN0送信完了割り込み要求が発生した場合、C0STRレジスタのMBOXビットを読むと、割り込み要求が発生したスロットを判別できます。

20 . プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0～P10(P8_5は除く)の87本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P8_5は入力専用でプルアップ抵抗はありません。ポートP8_5はNMIと端子を共用しているため、NMI入力レベルをP8レジスタのP8_5ビットから読みます。

図20.1～図20.5に入出力ポートの構成、図20.6に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は各機能説明を参照してください。周辺機能の入力端子またはD/Aコンバータの出力端子として使用する場合は、対応する端子の方向ビットを“0(入力モード)”にしてください。D/Aコンバータ以外の周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

バス制御端子として使用する場合は、「7.2 バス制御」を参照してください。

20.1 PDiレジスタ(i=0～10)

図20.7にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPDiレジスタは変更できません。

なお、P8_5に対応する方向レジスタのビットはありません。

20.2 Piレジスタ(i=0～10)

図20.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読み、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

20.3 PURjレジスタ(j=0～2)

図20.9にPURjレジスタを示します。

PURjレジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

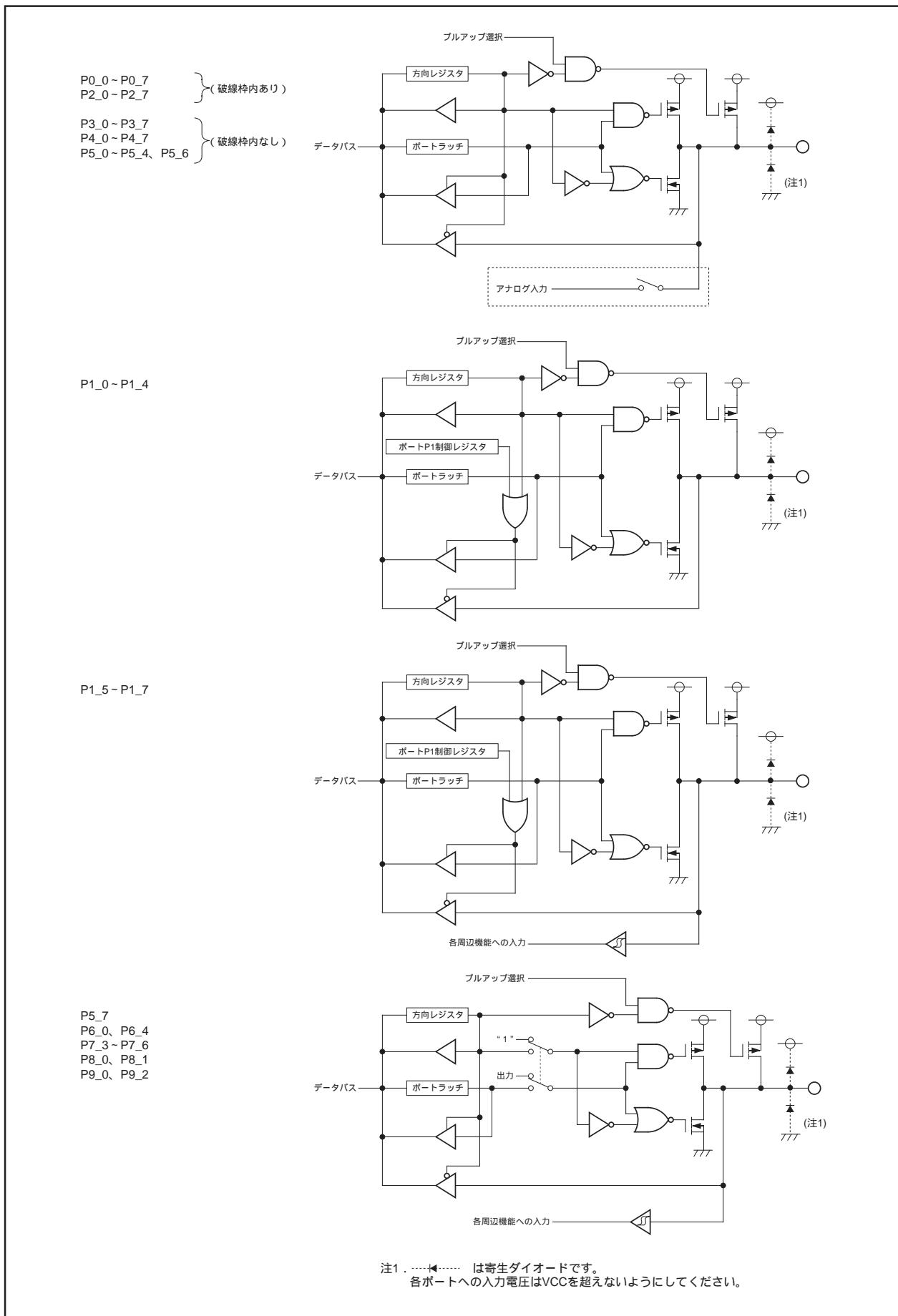
メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P4_0～P4_3、P5のプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

20.4 PCRレジスタ

図20.10にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

表20.1にシングルチップモード時の未使用端子の処理例、表20.2にメモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例、図20.11に未使用端子の処理例を示します。



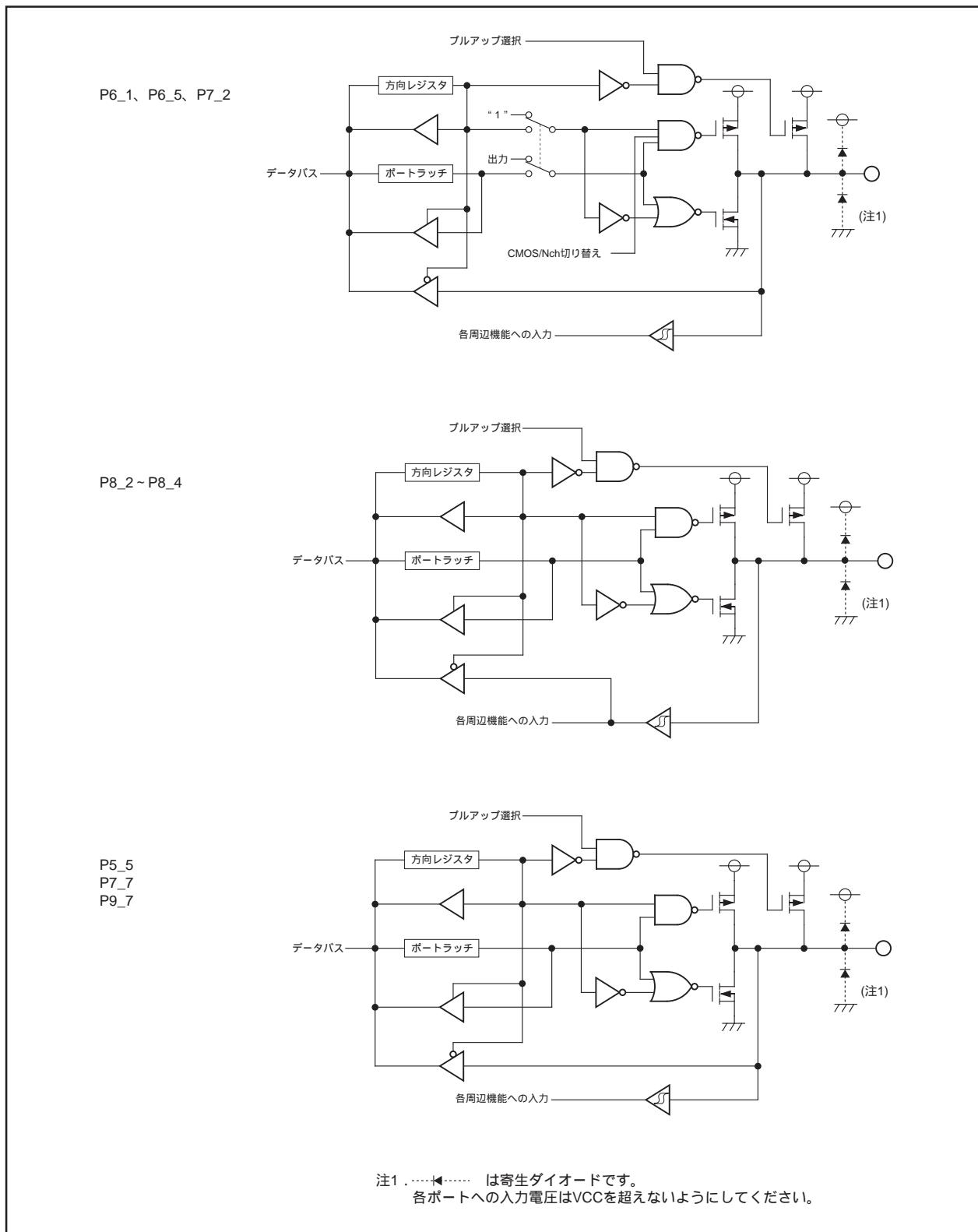


図20.2 入出力ポートの構成(2)

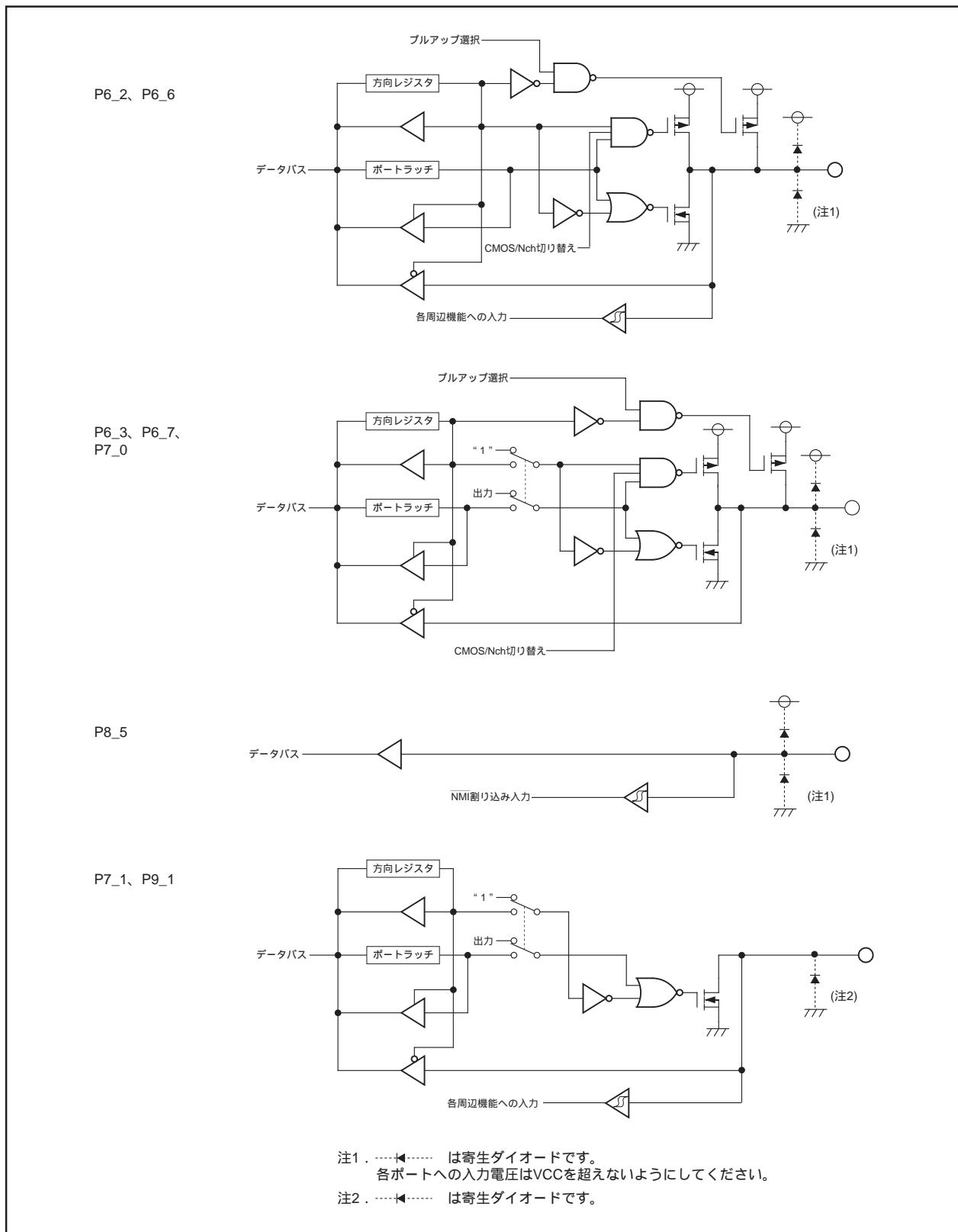


図20.3 入出力ポートの構成(3)

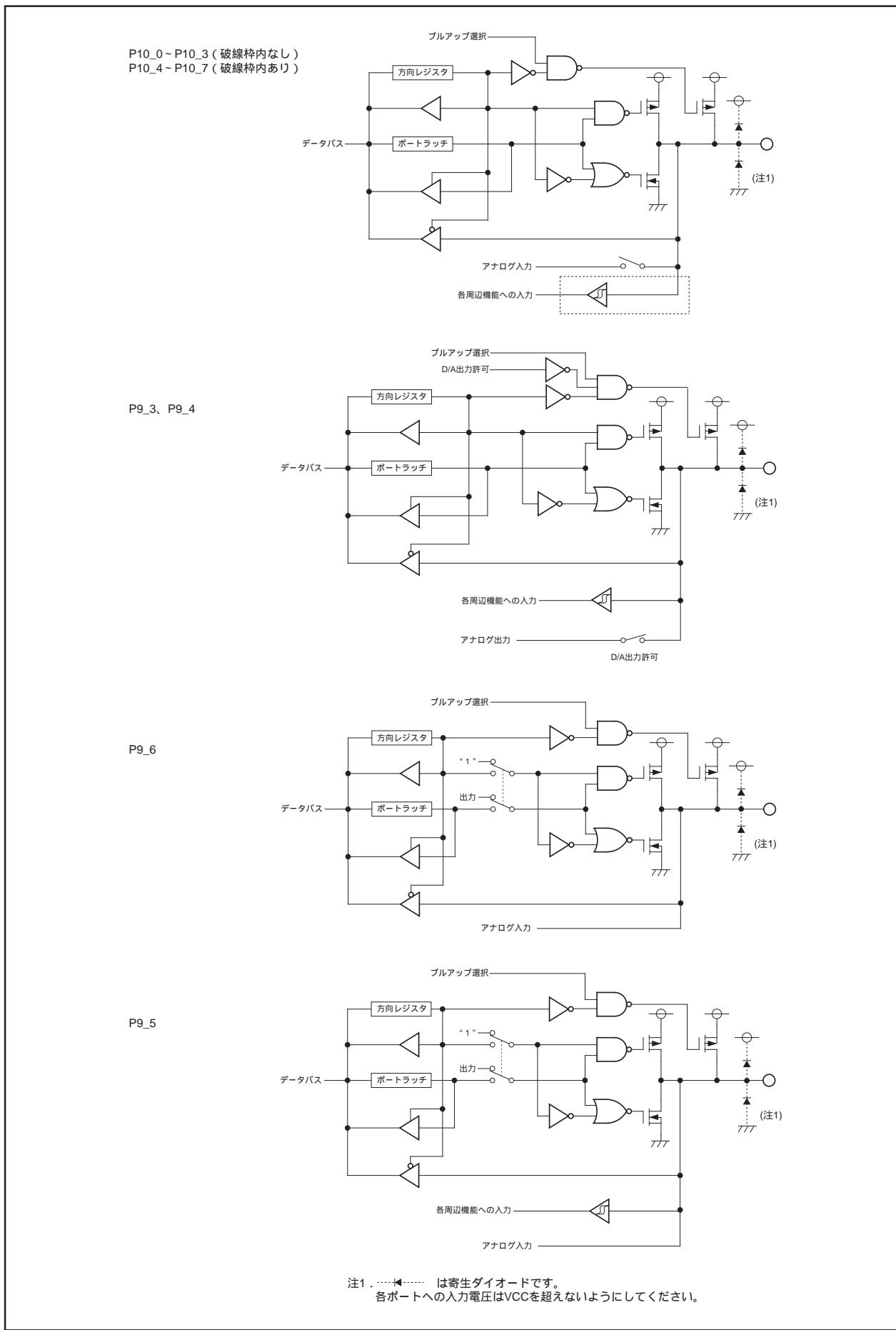


図20.4 入出力ポートの構成(4)

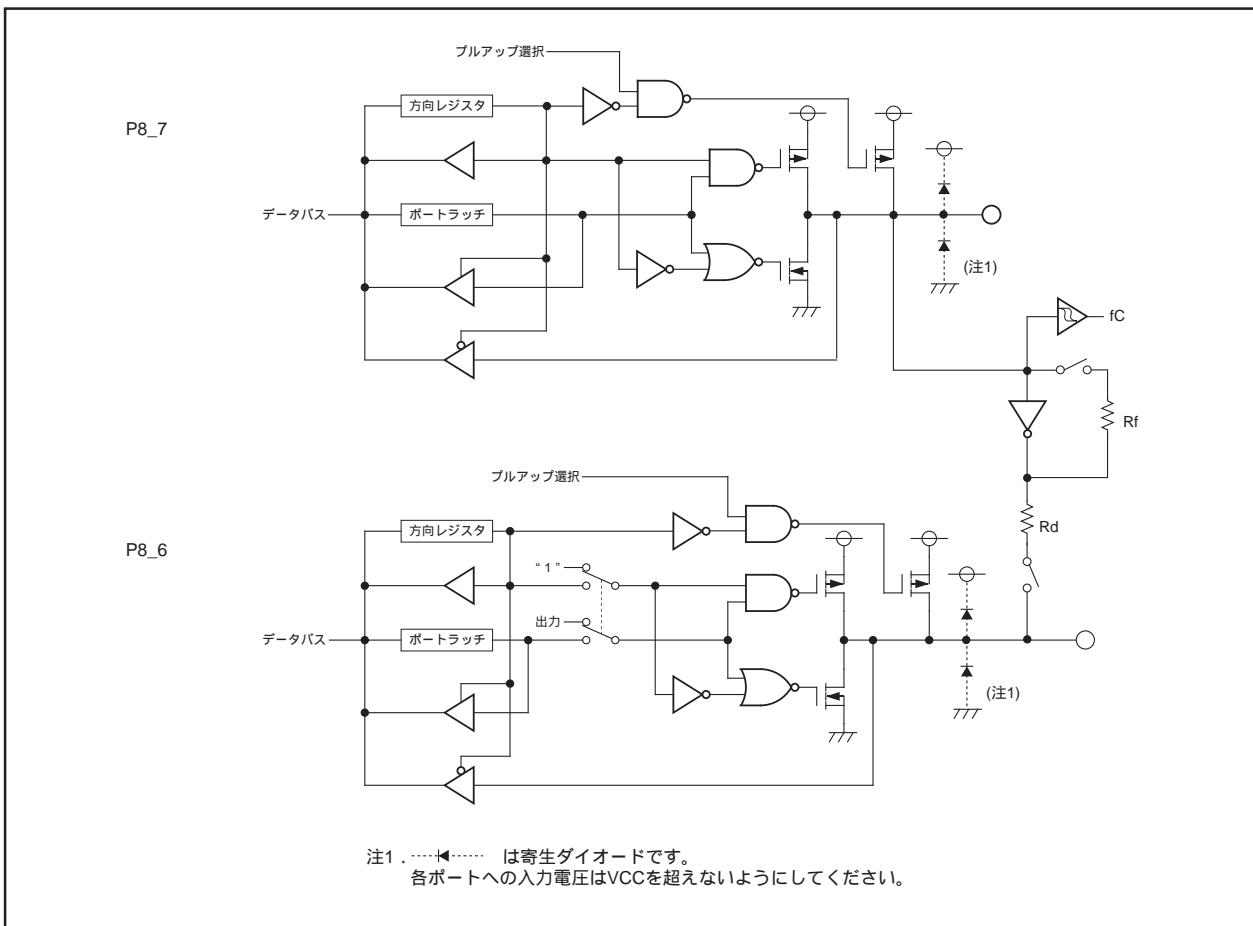


図20.5 入出力ポートの構成(5)

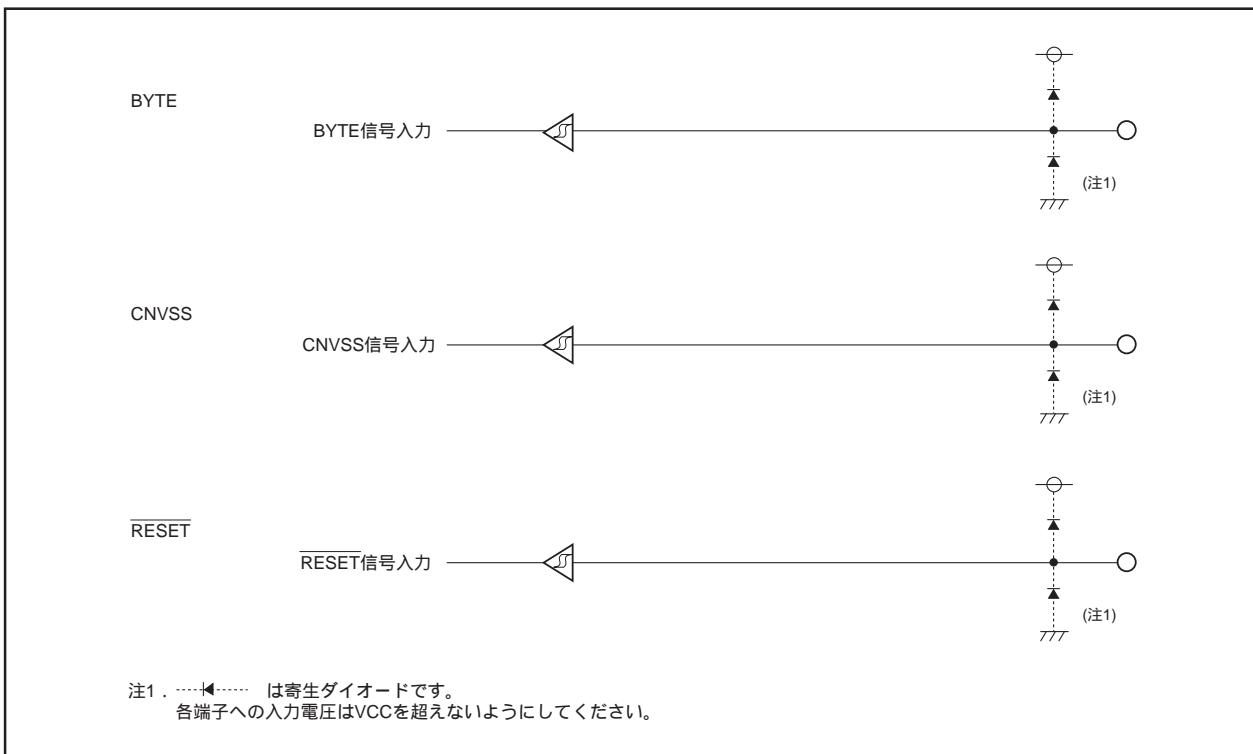


図20.6 端子の構成

ポートPi方向レジスタ($i=0 \sim 7, 9, 10$)(注1、2)

シンボル	アドレス	リセット後の値
PD0 ~ PD3	03E2h、03E3h、03E6h、03E7h番地	00h
PD4 ~ PD7	03EAh、03EBh、03EEh、03EFh番地	00h
PD9、PD10	03F3h、03F6h番地	00h
ビットシンボル	ビット名	機能
PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)
PDi_1	ポートPi_1方向ビット	RW
PDi_2	ポートPi_2方向ビット	RW
PDi_3	ポートPi_3方向ビット	RW
PDi_4	ポートPi_4方向ビット	RW
PDi_5	ポートPi_5方向ビット	RW
PDi_6	ポートPi_6方向ビット	RW
PDi_7	ポートPi_7方向ビット	RW

注1. PD7レジスタおよびPD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WR/L/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPDiレジスタは変更できません。

ポートP8方向レジスタ

シンボル	アドレス	リセット後の値
PD8	03F2h番地	00X00000b
ビットシンボル	ビット名	機能
PD8_0	ポートP8_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)
PD8_1	ポートP8_1方向ビット	RW
PD8_2	ポートP8_2方向ビット	RW
PD8_3	ポートP8_3方向ビット	RW
PD8_4	ポートP8_4方向ビット	RW
- (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	-
PD8_6	ポートP8_6方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)
PD8_7	ポートP8_7方向ビット	RW

図20.7 PD0 ~ PD10レジスタ

ポートPiレジスタ(<i>i</i> =0~7、9、10)(注1)											
b7	b6	b5	b4	b3	b2	b1	b0				
シンボル				アドレス							
P0~P3				03E0h、03E1h、03E4h、03E5h番地							
P4~P7				03E8h、03E9h、03ECh、03EDh番地							
P9、P10				03F1h、03F4h番地							
リセット後の値											
不定											
ピットシンボル	ピット名	機能	RW	ピットシンボル	ピット名	機能	RW				
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに 対応するピットを読むと、端子のレベル が読める。	RW	Pi_1	ポートPi_1ビット	出力モードに設定した入出力ポートに 対応するピットに書くと、端子のレベル を制御できる。	RW				
Pi_2	ポートPi_2ビット		RW	Pi_3	ポートPi_3ビット		RW				
Pi_4	ポートPi_4ビット		RW	Pi_5	ポートPi_5ビット		RW				
Pi_6	ポートPi_6ビット		RW	Pi_7	ポートPi_7ビット	0：“L”レベル 1：“H”レベル(注2)	RW				

注1. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A19、D0~D15、CS0~CS3、RD、WR/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

注2. P7_1、P9_1はNチャネルオープンドレインポートのため、ハイインピーダンスになります。

ポートP8レジスタ											
b7	b6	b5	b4	b3	b2	b1	b0				
シンボル				アドレス							
P8				03F0h番地							
リセット後の値											
不定											
ピットシンボル	ピット名	機能	RW	ピットシンボル	ピット名	機能	RW				
P8_0	ポートP8_0ビット	入力モードに設定した入出力ポートに 対応するピットを読むと、端子のレベル が読める。	RW	P8_1	ポートP8_1ビット	出力モードに設定した入出力ポートに 対応するピットに書くと、端子のレベル を制御できる(P8_5は除く)。	RW				
P8_2	ポートP8_2ビット		RW	P8_3	ポートP8_3ビット		RW				
P8_4	ポートP8_4ビット		RW	P8_5	ポートP8_5ビット		RO				
P8_6	ポートP8_6ビット		RW	P8_7	ポートP8_7ビット		RW				
		0：“L”レベル 1：“H”レベル									

図20.8 P0~P10レジスタ

プルアップ制御レジスタ0(注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR0	アドレス 03FCh番地	リセット後の値 00h
ビットシンボル	ビット名	機能	RW
	PU00 P0_0 ~ P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注2)	RW
	PU01 P0_4 ~ P0_7のプルアップ		RW
	PU02 P1_0 ~ P1_3のプルアップ		RW
	PU03 P1_4 ~ P1_7のプルアップ		RW
	PU04 P2_0 ~ P2_3のプルアップ		RW
	PU05 P2_4 ~ P2_7のプルアップ		RW
	PU06 P3_0 ~ P3_3のプルアップ		RW
	PU07 P3_4 ~ P3_7のプルアップ		RW

注1. メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの内容は変更できますが、プルアップされません。

注2. このビットが 1 (プルアップあり) かつ方向ビットが 0 (入力モード) の端子がプルアップされます。

プルアップ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR1	アドレス 03FDh番地	リセット後の値(注1) 00000000b 00000010b
ビットシンボル	ビット名	機能	RW
	PU10 P4_0 ~ P4_3のプルアップ(注2)	0 : プルアップなし 1 : プルアップあり(注5)	RW
	PU11 P4_4 ~ P4_7のプルアップ(注3)		RW
	PU12 P5_0 ~ P5_3のプルアップ(注2)		RW
	PU13 P5_4 ~ P5_7のプルアップ(注2)		RW
	PU14 P6_0 ~ P6_3のプルアップ		RW
	PU15 P6_4 ~ P6_7のプルアップ		RW
	PU16 P7_0, P7_2, P7_3のプルアップ(注4)		RW
	PU17 P7_4 ~ P7_7のプルアップ		RW

注1. ハードウェアリセットでは次のようにになります。

- CNVSS端子に“L”を入力している場合、“00000000b”
- CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、および発振停止検出リセットでは次のようにになります。

- PM0レジスタのPM01 ~ PM00ビットが“00b (シングルチップモード) ”の場合、“00000000b”
- PM0レジスタのPM01 ~ PM00ビットが“01b (メモリ拡張モード) ”または“11b (マイクロプロセッサモード) ”の場合、“00000010b”

注2. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できますが、プルアップされません。

注3. シングルチップモード時、プログラムでPM01 ~ PM00ビットを“01b (メモリ拡張モード) ”または“11b (マイクロプロセッサモード) ”にすると、PU11ビットが“1”になります。

注4. P7_1端子にはプルアップはありません。

注5. このビットが 1 (プルアップあり) かつ方向ビットが 0 (入力モード) の端子がプルアップされます。

プルアップ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR2	アドレス 03FEh番地	リセット後の値 00h
ビットシンボル	ビット名	機能	RW
	PU20 P8_0 ~ P8_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注3)	RW
	PU21 P8_4, P8_6, P8_7のプルアップ(注1)		RW
	PU22 P9_0, P9_2, P9_3のプルアップ(注2)		RW
	PU23 P9_4 ~ P9_7のプルアップ		RW
	PU24 P10_0 ~ P10_3のプルアップ		RW
	PU25 P10_4 ~ P10_7のプルアップ		RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-	-

注1. P8_5端子にはプルアップはありません。

注2. P9_1端子にはプルアップはありません。

注3. このビットが 1 (プルアップあり) かつ方向ビットが 0 (入力モード) の端子がプルアップされます。

図20.9 PUR0 ~ PUR2レジスタ

ポート制御レジスタ									
b7	b6	b5	b4	b3	b2	b1	b0		
		シンボル PCR		アドレス 03FFh番地		リセット後の値 00h			
ピットシンボル	ピット名	機能		RW					
	PCR0	P1レジスタを読んだ場合の動作 0 : 入力ポートのとき、P1_0~P1_7端子 の入力レベルを読む 出力ポートのとき、ポートラッチを 読む 1 : 入力ポート、出力ポートにかかわらず、 ポートラッチを読む		RW					
(b7-b1)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-					

図20.10 PCRレジスタ

表20.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P7、P8_0～P8_4、P8_6、P8_7、P9、P10	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、2、3)
XOUT(注4)	開放
NMI(P8_5)	抵抗を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS、VREF、BYTE	VSSに接続

注1 . 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2 . 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3 . ポートP7_1、P9_1を出力モードに設定する場合は、“ L ”を出力してください。ポートP7_1、P9_1はNチャネルオーブンドレイン出力です。

注4 . XIN端子に外部クロックを入力している場合。

表20.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6、P7、P8_0～P8_4、P8_6、P8_7、P9、P10	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、2、3、4)
P4_5/CS1～P4_7/CS3	PD4レジスタのCSI(i = 1～3)に対応する方向ビットを“ 0 ”(入力モード) CSRレジスタのCSIビットを“ 0 ”(チップセレクト禁止)にし、抵抗を介してVCCに接続(プルアップ)
BHE、ALE、HLDA、XOUT(注5)、BCLK(注6)	開放
HOLD、RDY、NMI(P8_5)	抵抗を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS、VREF	VSSに接続

注1 . 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2 . 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3 . CNVSS端子にVSSレベルを印加している場合、リセットからプログラムによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注4 . ポートP7_1、P9_1を出力モードに設定する場合は、“ L ”を出力してください。ポートP7_1、P9_1はNチャネルオーブンドレイン出力です。

注5 . XIN端子に外部クロックを入力している場合。

注6 . PM0レジスタのPM07ビットを“ 1 ”(BCLK出力しない)にした場合、抵抗を介してVCCに接続(プルアップ)してください。

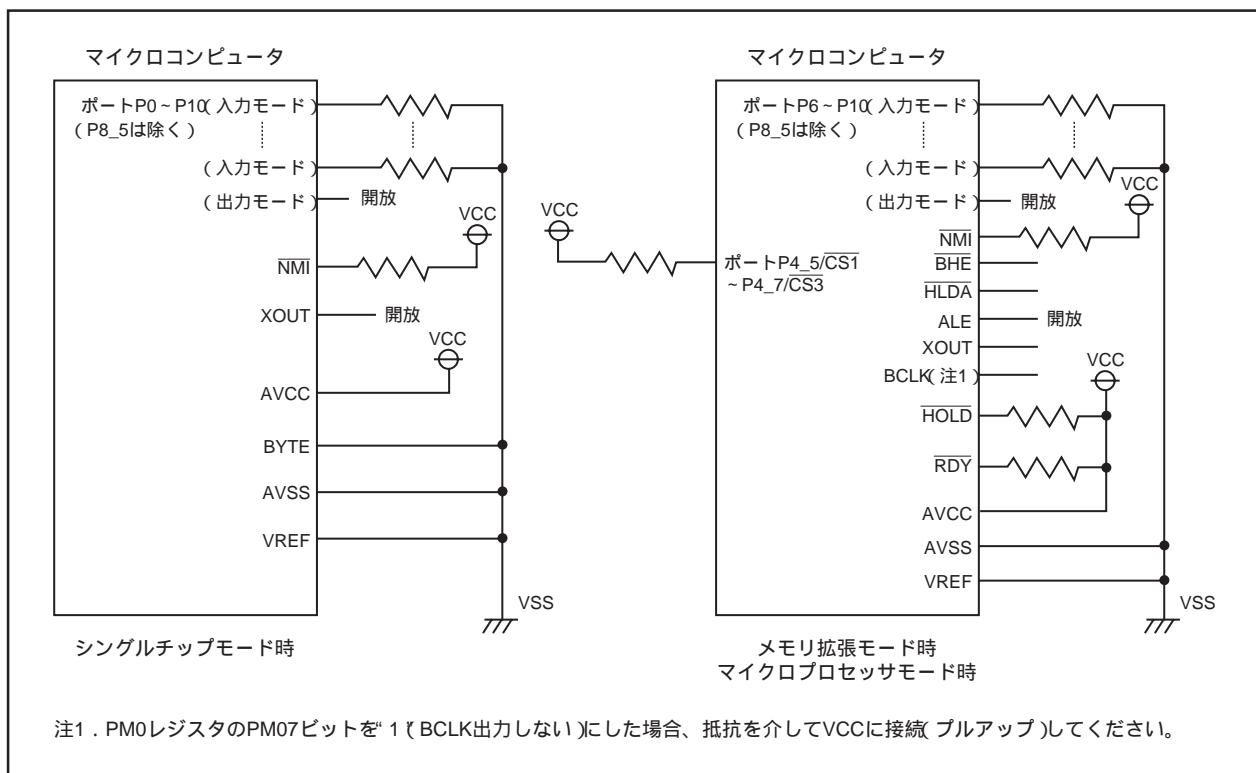


図20.11 未使用端子の処理例

21 . フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード、およびCAN入出力モードの4つの書き換えモードでフラッシュメモリを操作できます。

表21.1にフラッシュメモリ版の性能概要、表21.2にフラッシュメモリ書き換えモードの概要を示します（表21.1に示す以外の項目は「表1.1 性能概要」を参照してください）。

表21.1 フラッシュメモリ版の性能概要

項目	性能
フラッシュメモリの書き換えモード	4モード(CPU書き換え、標準シリアル入出力、パラレル入出力、CAN入出力)
消去ブロック分割	ユーザROM領域 「図21.1 フラッシュメモリのブロック図」を参照してください。
	ブートROM領域 1分割(4Kバイト)(注1)
プログラム方式	ワード単位、バイト単位(注2)
イレーズ方式	一括消去、ブロック消去
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式	ロックビットによるブロック単位のプロテクト
コマンド数	8コマンド
プログラム、イレーズ回数(注3)	100回
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード、CAN入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードおよびCAN入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

注2. パラレル入出力モードのみバイト単位でプログラムできます。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

例えば4KバイトのブロックAについて、1ワードの書き込みを2,048回に分けて書き込みを行った後、そのブロックをイレーズすると、プログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が100回の場合、ブロックごとに100回ずつイレーズできます。

表21.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード(注1)	標準シリアル入出力モード	パラレル入出力モード	CAN入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザ領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注2) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える ・標準シリアル入出力モード1：クロック同期形シリアルI/O ・標準シリアル入出力モード2：UART(注3)	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える	専用CANライタを使用して、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域	ユーザROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード	ブートモード
ROMライタ	-	シリアルライタ	シリアルライタ	CANライタ

注1. FMR0レジスタのFMR01ビットが「1」(CPU書き換えモード有効)の期間、PM13ビットが「1」になります。FMR01ビットを「0」(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを「0」にした後、反映されます。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが「1」になります。書き換え制御プログラムは内部RAM、またはPM13ビットが「1」の場合に使用できる外部領域で実行してください。

注3. 標準シリアル入出力モード2では、メインクロックの入力発振周波数は5MHz、10MHzまたは16MHzにしてください。

21.1 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図21.1にフラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード、またはメモリ拡張モード時のマイコン動作プログラムを格納する領域とは別に、4KバイトのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード、またはCAN入出力モードで書き換えられます。ブロックAは、PM1レジスタのPM10ビットを“1”(ブロックA有効、CS2領域は10000h ~ 26FFFh)にすると使用できます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでだけ書き換えられます。また、CNVSS端子とP5_0端子に“H”を、P5_5端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVSS端子に“L”を入力してハードウェアリセットすると、リセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読みません。

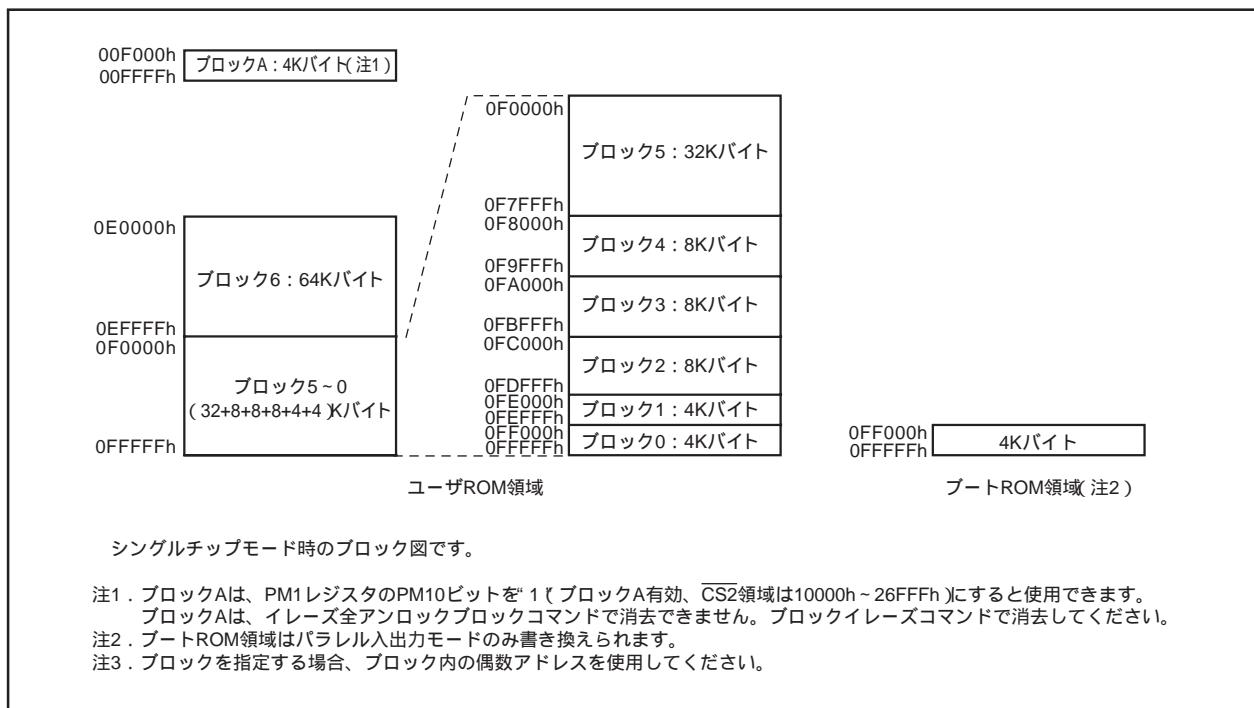


図21.1 フラッシュメモリのブロック図

21.1.1 ブートモード

P5_5端子に“L”、CNVSS端子に“H”、P5_0端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードおよびCAN入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードでのみ書き換えられます。EW0モードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

21.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モード、CAN入出力モードにはIDコードチェック機能があります。

21.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。図21.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットを“11b”（プロテクト無効）以外にすると、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“111111b”にしてください。

ROMコードプロテクトを解除する場合、標準シリアル入出力モード、CPU書き換えモード、またはCAN入出力モードでROMCPレジスタを含むブロックを消去してください。

21.2.2 IDコードチェック機能

標準シリアル入出力モード、CAN入出力モードで使用します。シリアルライタ、CANライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一一致を判定します。IDコードが一致しない場合、シリアルライタ、CANライタから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDFh、0FFFEBh、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリに書いてください。

図21.3にIDコードの格納番地を示します。

ROMコードプロテクト制御番地(注5)

注1. ROMCP番地を含むブロックを消去すると、ROMCP番地は“FFh”になります。

注1 . ROMCP1 寄存器を各ビットごとに消去すると、ROMCP1 寄存器はFFFFHになります。
注2 . ROMPC1 ビットを“11b”以外(ROM コードプロテクト有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。

注3. ROMCP1ビットを“11b”以外にする場合、ビット5～ビット0は“111111b”にしてください。

ビット5～ビット0を"111111b"以外にすると、ROMCP1ビットを"11b"以外にしても、ROMコードプロテクトは有効にならない場合があります。

注4. ROMコードプロテクトを解除する場合、標準シリアル入出力モード、CPU書き換えモード、またはCAN入出力モードで、ROMCP番地を含むブロックを消去してください。

注5 . ROMCP番地の値が"00h"または"FFh"の場合、ROMコードプロテクト機能はプロテクト無効になります。

図21.2 ROMCPレジスタ

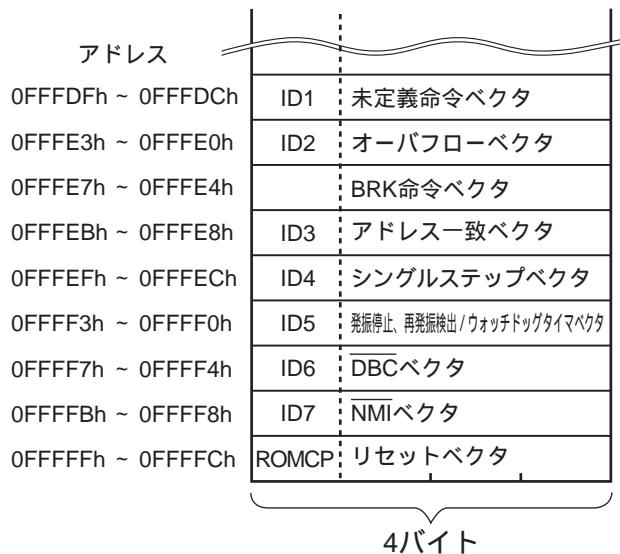


図21.3 IDコードの格納番地

21.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することによって、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図21.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0(EW0)モードとイレーズライト1(EW1)モードがあります。表21.3にEW0モードとEW1モードの違いを示します。

表21.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> ・シングルチップモード ・メモリ拡張モード ・ブートモード 	シングルチップモード
書き換え制御 プログラムを 配置できる領域	<ul style="list-style-type: none"> ・ユーザROM領域 ・ブートROM領域 	ユーザROM領域
書き換え制御 プログラムを 実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる 領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェア コマンドの制限	なし	<ul style="list-style-type: none"> ・プログラム、ロックイレーズコマンド書き換え制御プログラムがあるブロックに対して実行禁止 ・イレーズ全アンロックブロックコマンド書き換え制御プログラムがあるブロックのロックビットが“1”(非ロック)またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき実行禁止 ・リードステータスレジスタコマンド実行禁止
プログラム、 イレーズ後の モード	リードステータスレジスタモード	リードアレイモード
自動書き込み、 自動消去時の CPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)(注1)
フラッシュメモリ のステータス検知	<ul style="list-style-type: none"> ・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く) DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムは内部RAM、またはPM13ビットが“1”的場合に使用できる外部領域で実行してください。

21.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能になります。このとき、FMR1レジスタのFMR11ビットが“0”的場合、EW0モードになります。FMR01ビットを“1”にするときは“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはSRDレジスタで確認できます。

21.3.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、SRDレジスタを読みません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

21.3.3 FMR0、FMR1レジスタ

図21.4にFMR0、FMR1レジスタを示します。

フラッシュメモリ制御レジスタ0

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中)(注1) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット(注2)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックピット無効選択ビット(注3)	0: ロックピット有効 1: ロックピット無効	RW
FMSTP	フラッシュメモリ停止ビット(注4、5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止(低消費電力状態、フラッシュメモリ初期化)	RW
(b4)	予約ビット	"0"にしてください	RW
FMR05	ユーザROM領域選択ビット(ブートモード時のみ有効)(注4)	0: ブートROM領域アクセス 1: ユーザROM領域アクセス	RW
FMR06	プログラムステータスフラグ(注6)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ(注6)	0: 正常終了 1: エラー終了	RO

注1. ロックピットプログラム、リードロックピットステータスコマンドでの書き込み、読み出し中を含みます。

注2. "1"にするときは、"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。

このビットは、NMI端子がHの状態で書いてください。また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットはリードアレイモードにしてから"0"にしてください。

注3. "1"にするときは、FMR01ビットが"1"の状態で、このビットに"0"を書いた後、続けて"1"を書いてください。
"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。

注4. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注5. FMR01ビットが"1"(CPU書き換えモード)のとき有効です。FMR01ビットが"0"のとき、FMSTPビットに"1"を書くとFMSTPビットは"1"になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. クリアステータスコマンドを実行すると"0"になります。

フラッシュメモリ制御レジスタ1

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	RW
(b3-b2)	予約ビット	読んだ場合、不定	RO
(b5-b4)	予約ビット	"0"にしてください	RW
FMR16	ロックピットステータスフラグ	0: ロック 1: 非ロック	RO
(b7)	予約ビット	"0"にしてください	RW

注1. "1"にするときは、FMR01ビットが"1"の状態で、このビットに"0"を書いた後、続けて"1"を書いてください。

"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。

このビットは、NMI端子がHの状態で書いてください。

なお、FMR01ビットを"0"にすると、FMR01ビットとFMR11ビットは、いずれも"0"になります。

図21.4 FMR0、FMR1レジスタ

21.3.3.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中は“0”、それ以外のときは“1”になります。

21.3.3.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

21.3.3.3 FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「21.3.6 データ保護機能」参照)。“0”にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合は、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

21.3.3.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

FMSTPビットは次の手順で書き換えてください。

- (1)FMSTPビットを“1”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ
- (3)FMSTPビットを“0”にする
- (4)フラッシュメモリ回路安定待ち時間(tps)待つ

図21.7に低消費電力モード、オンチップオシレータ低消費電力モード前後の処理を示します。

このフローチャートに従って操作してください。なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続するため、FMR0レジスタを設定する必要はありません。

21.3.3.5 FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

21.3.3.6 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生するど“1”、それ以外のときは“0”になります。詳細は「21.3.8 フルステータスチェック」を参照してください。

21.3.3.7 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”になります。詳細は「21.3.8 フルステータスチェック」を参照してください。

21.3.3.8 FMR11ビット

FMR11ビットが“0”(EW0モード)の場合、EW0モードになります。

FMR11ビットが“1”(EW1モード)の場合、EW1モードになります。

21.3.3.9 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。ロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

図21.5にEW0モードの設定と解除方法、図21.6にEW1モードの設定と解除方法を示します。

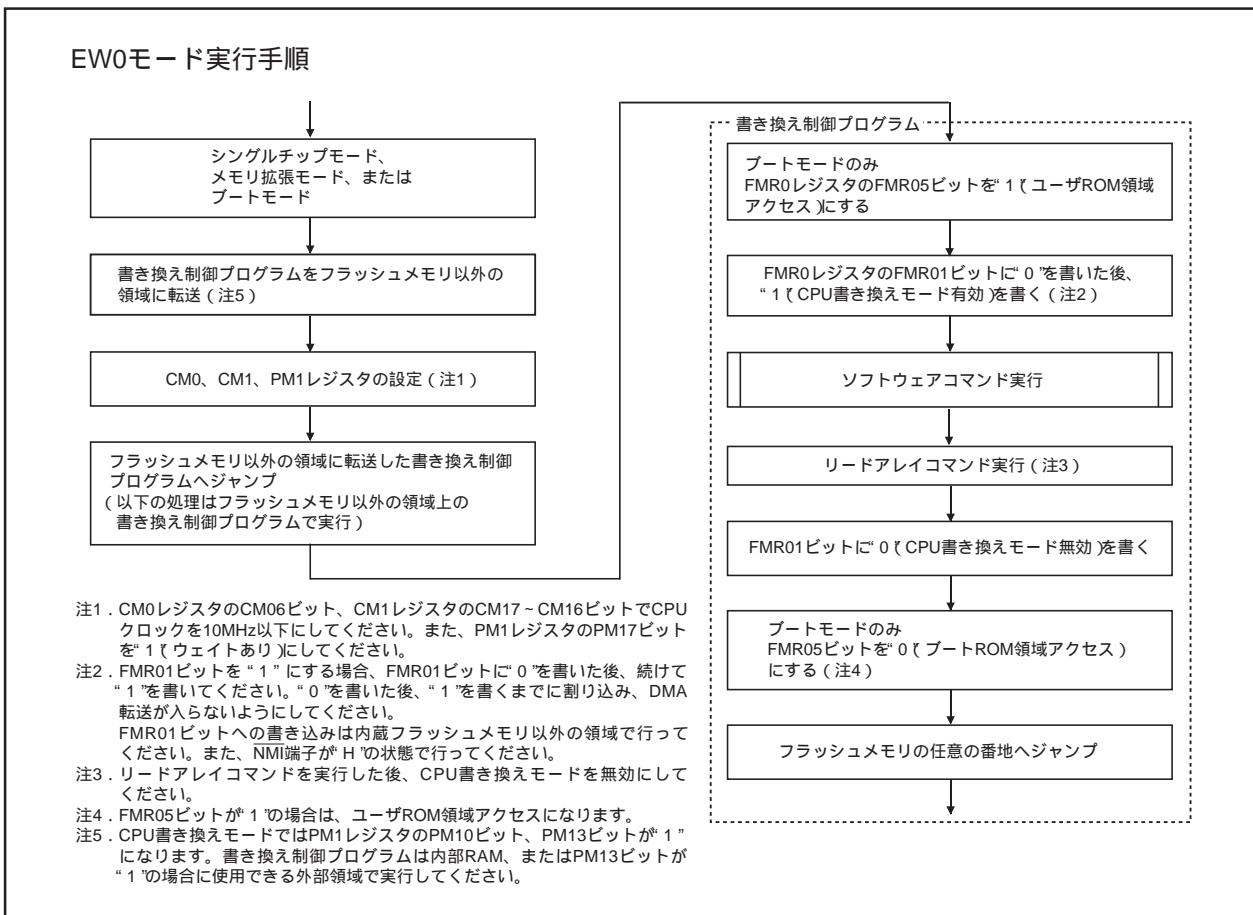


図21.5 EW0モードの設定と解除方法

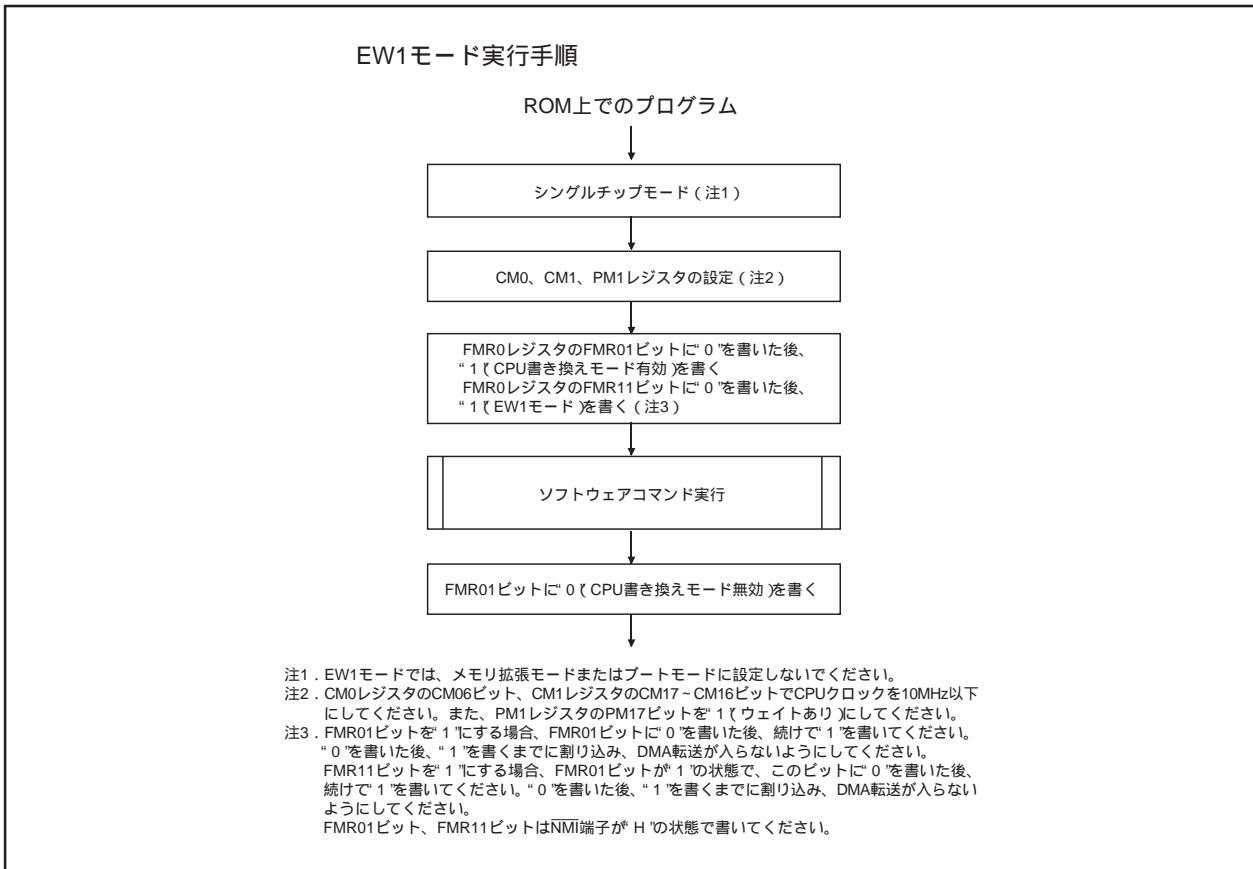


図21.6 EW1モードの設定と解除方法

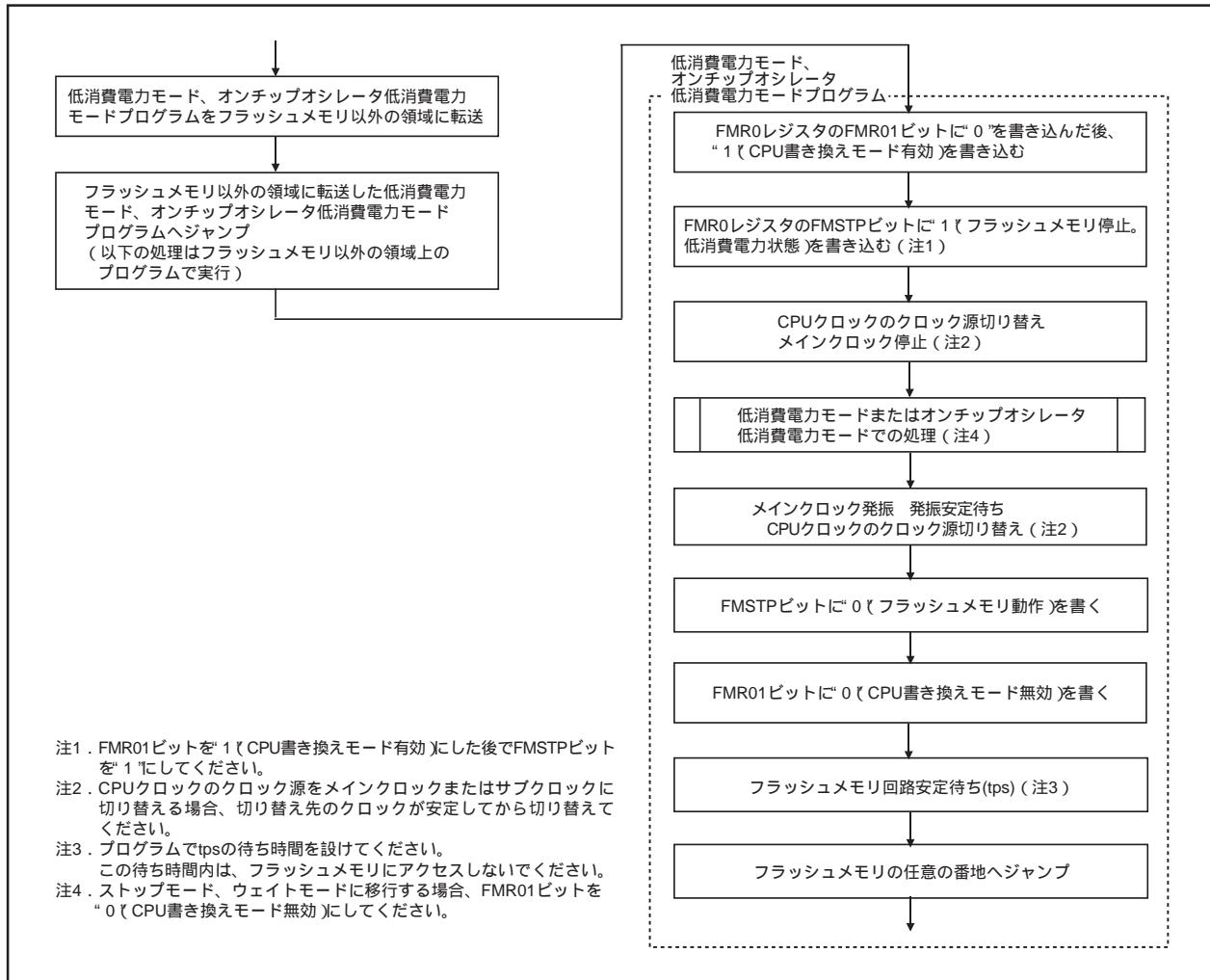


図21.7 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理

21.3.4 CPU書き換えモードの注意事項

21.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM1レジスタのCM11ビットを“0”(メインクロック)、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

21.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

21.3.4.3 割り込み(EW0モード)

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み要求発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み要求発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

21.3.4.4 割り込み(EW1モード)

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。
- ・NMI割り込みは、割り込み要求発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み要求発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

21.3.4.5 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

21.3.4.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モード、パラレル入出力モード、またはCAN入出力モードを使用してください。

21.3.4.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えないでください。

21.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去中)の場合、DMA転送が入らないないようにしてください。

21.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

21.3.4.10 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0(CPU書き換えモード無効)”にした後、WAIT命令を実行してください。

21.3.4.11 ストップモード

ストップモードに移行する場合は、FMR01ビットを“0(CPU書き換えモード無効)”にしてDMA転送を禁止した後で、CM10ビットを“1(ストップモード)”にする命令を実行してください。

21.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1(メインクロック停止)”のときは、次のコマンドを実行しないでください。

- ・プログラム
- ・ロックイレーズ
- ・イレーズ全アンロックブロック
- ・ロックビットプログラム
- ・リードロックビットステータス

21.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表21.4にソフトウェアコマンド一覧を示します。

表21.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	xxFFh	-	-	-
リードステータスレジスタ	ライト	×	xx70h	リード	×	SRD
クリアステータスレジスタ	ライト	×	xx50h	-	-	-
プログラム	ライト	WA	xx40h	ライト	WA	WD
ロックイレーズ	ライト	×	xx20h	ライト	BA	xxD0h
イレーズ全アンロックブロック(注1)	ライト	×	xxA7h	ライト	×	xxD0h
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h
リードロックビットステータス	ライト	×	xx71h	ライト	BA	xxD0h

SRD : ステータスレジスタデータ(D7～D0)

WA : 書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

× : ユーザROM領域内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

注1 . イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0～6です。ブロックAは消去できません。ブロックAを消去する場合は、ロックイレーズコマンドを使用してください。

21.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読みます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読みます。

21.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでSRDレジスタが読みます(「21.3.7 SRDレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

21.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

21.3.5.4 プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一の偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0(ビジー)”終了後は“1(レディ)”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「21.3.8 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。

図21.8にプログラムフローチャートを示します。

なお、各ブロックはロックビットでプログラムを禁止できます(「21.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードになり、SRDレジスタが読みます。SRDレジスタのSR7ビットは自動書き込み開始とともに“0”になり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、SRDレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

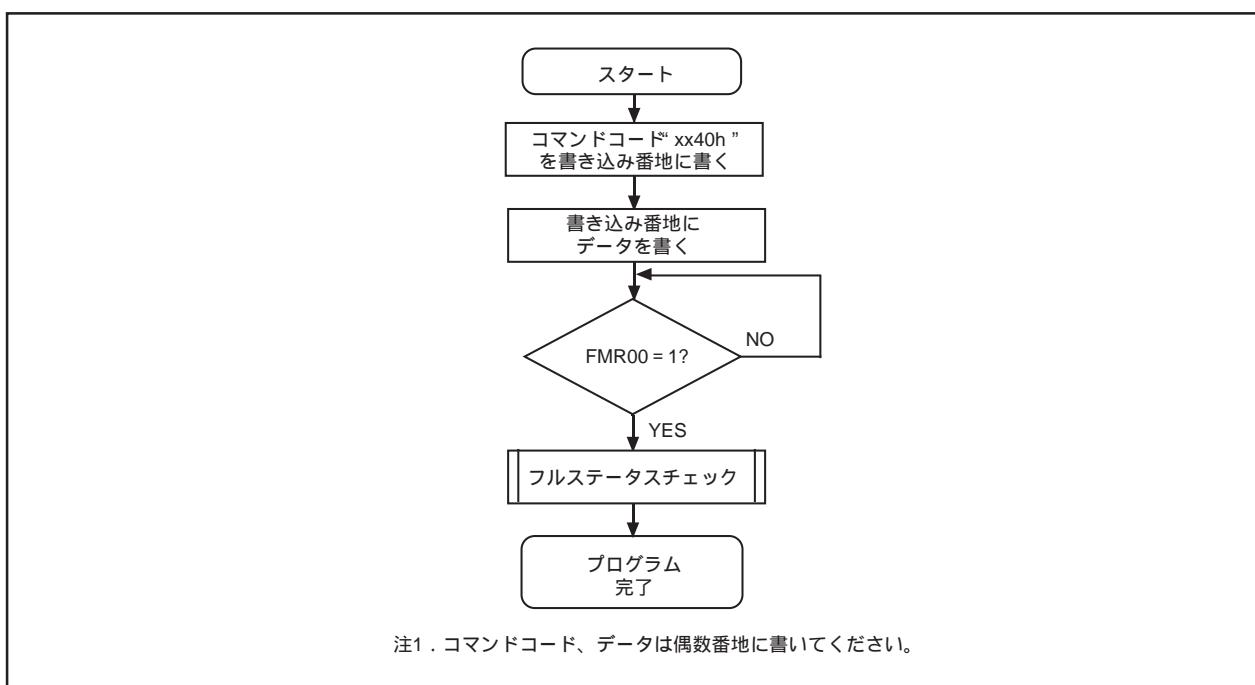


図21.8 プログラムフローチャート

21.3.5.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「21.3.8 フルステータスチェック」参照)。

図21.9にブロックイレーズフローチャートを示します。

なお、各ブロックはロックビットでイレーズを禁止できます(「21.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードになり、SRDレジスタが読みます。SRDレジスタのSR7ビットは自動消去の開始とともに“0”になり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。なお、イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

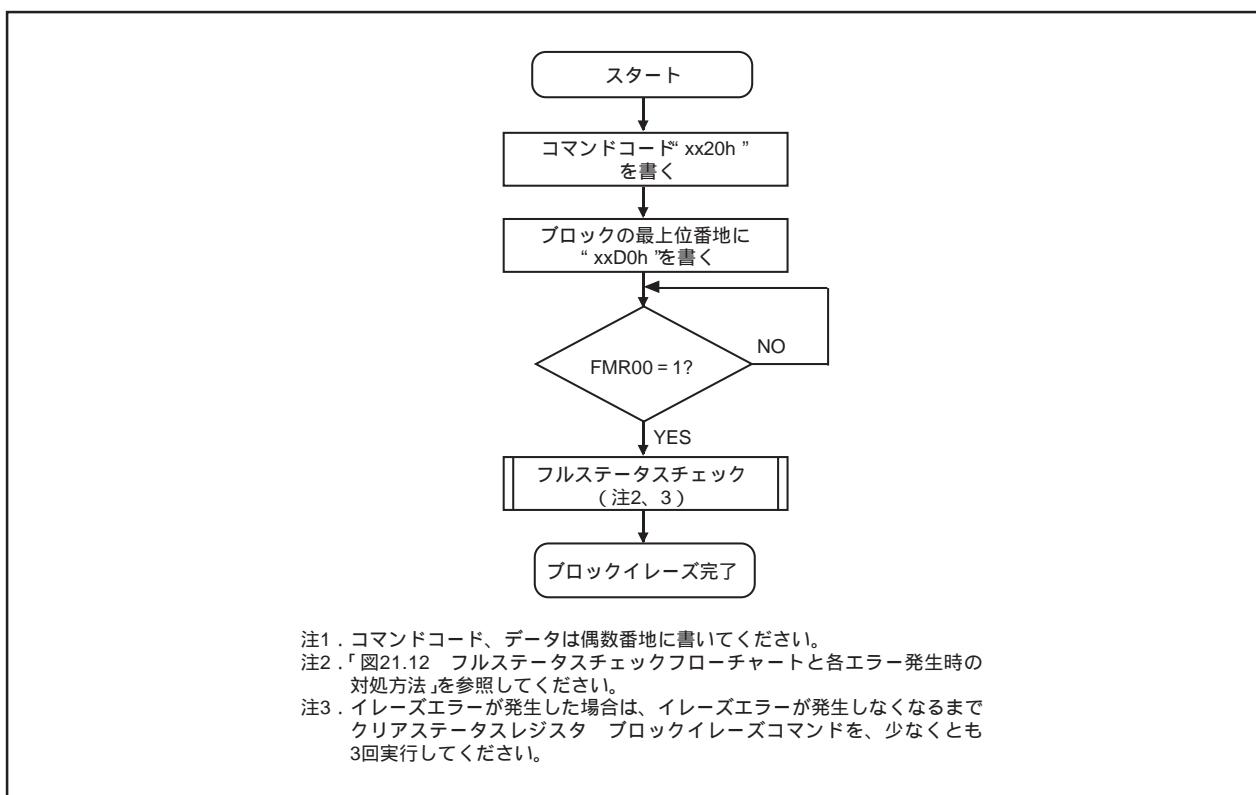


図21.9 ブロックイレーズフローチャート

21.3.5.6 イレーズ全アンロックブロック

第1バスサイクルで“xxA7h”、第2バスサイクルで“xxD0h”を書くと、ブロックAを除く全ブロックに対し、連続的にブロックイレーズを行います。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。自動消去の結果はFMR0レジスタのFMR07ビットで確認できます。

なお、各ブロックはロックビットでイレーズを禁止できます(「21.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックのロックビットが1(非ロック)またはFMR0レジスタのFMR02ビットが1(ロックビット無効)のとき、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードになり、SRDレジスタが読みます。SRDレジスタのSR7ビットは自動消去の開始とともに“0(ビジー)”になり、終了とともに“1(レディ)”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

また、イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0~6です。ブロックAは消去できません。ブロックAを消去する場合は、ブロックイレーズコマンドを使用してください。

21.3.5.7 ロックビットプログラム

任意のブロックのロックビットを“0(ロック状態)”にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図21.10にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読みます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1(非ロック状態)”にする方法については、「21.3.6 データ保護機能」を参照してください。

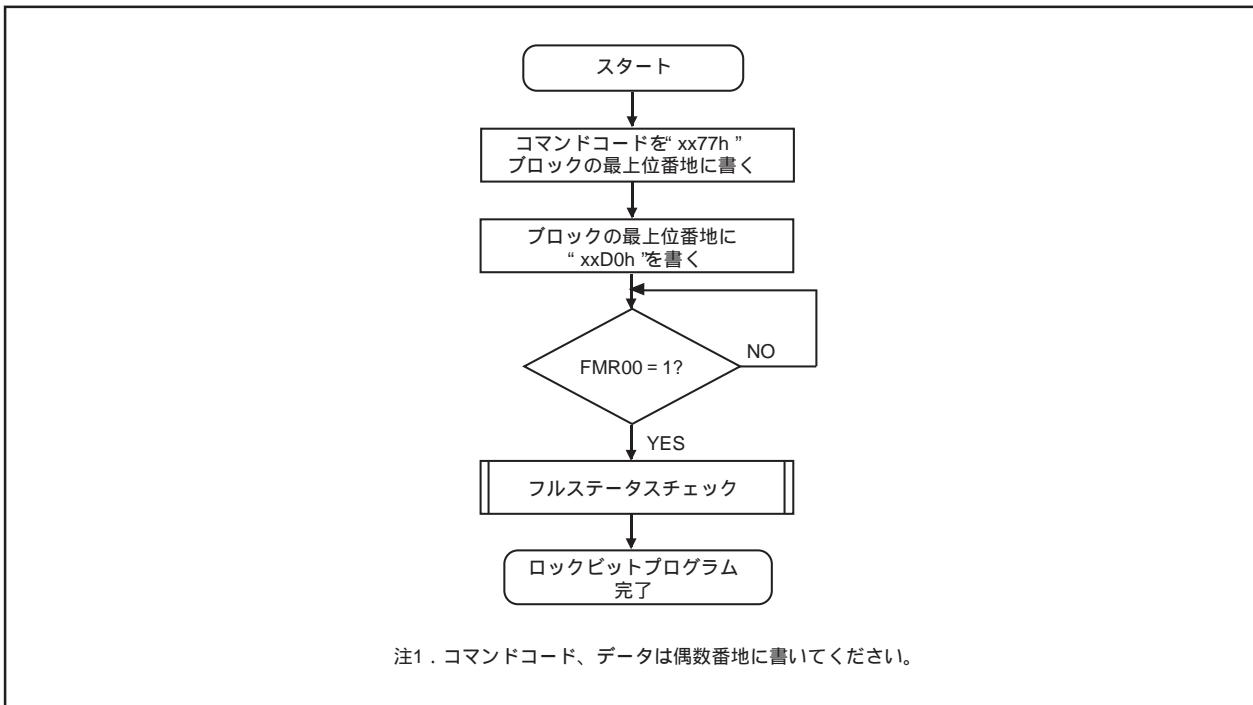


図21.10 ロックビットプログラムフローチャート

21.3.5.8 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図21.11にリードロックビットステータスフローチャートを示します。

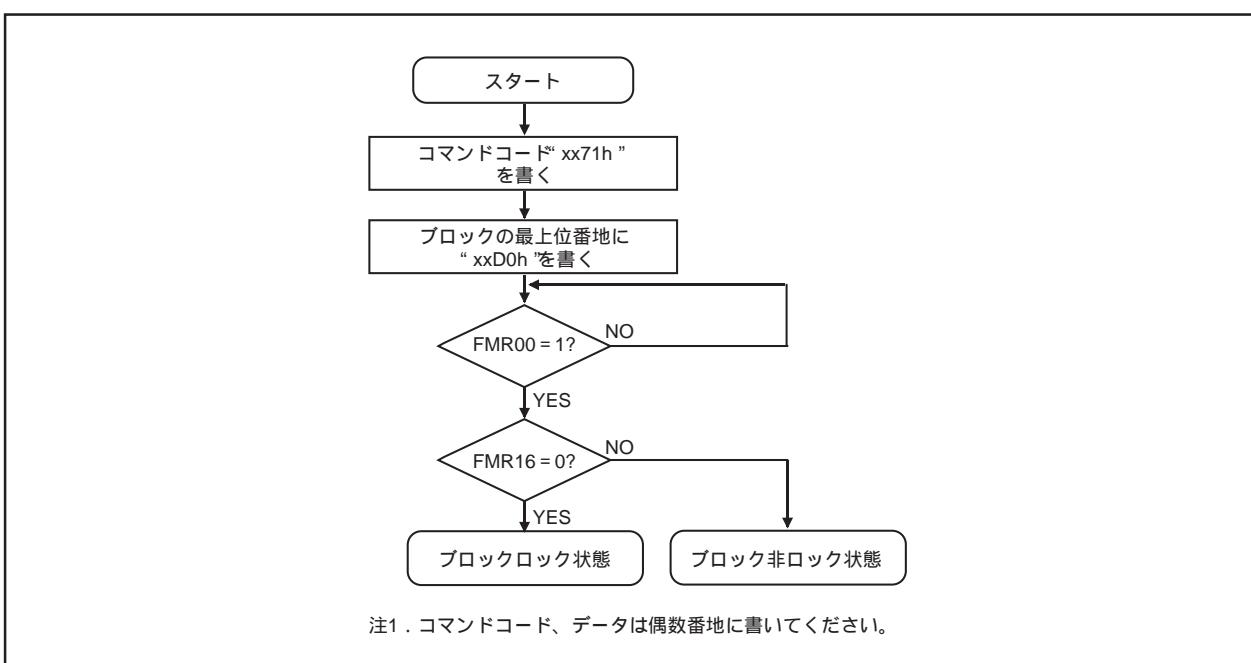


図21.11 リードロックビットステータスフローチャート

21.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR0レジスタのFMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ・ロックビットデータが“0”的とき：ロック状態(そのブロックはプログラム、イレーズできない)
- ・ロックビットデータが“1”的とき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。

また、ロックビットデータの状態は、リードロックビットステータスコマンドで読みます。

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”的状態で、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。

各コマンドの詳細は「21.3.5 ソフトウェアコマンド」を参照してください。

21.3.7 ステータスレジスタ(SRDレジスタ)

SRDレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。SRDレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読みます。

表21.5にSRDレジスタを示します。

なお、EW0モードでは次のときSRDレジスタを読みます。

- ・リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- ・プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

21.3.7.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中は“0”(ビジー)、それ以外のときは“1”(レディ)になります。

21.3.7.2 イレーズステータス(SR5、FMR07ビット)

「21.3.8 フルステータスチェック」を参照してください。

21.3.7.3 プログラムステータス(SR4、FMR06ビット)

「21.3.8 フルステータスチェック」を参照してください。

表21.5 SRDレジスタ

SRDレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)	-	予約ビット	-	-	-
SR1(D1)	-	予約ビット	-	-	-
SR2(D2)	-	予約ビット	-	-	-
SR3(D3)	-	予約ビット	-	-	-
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)	-	予約ビット	-	-	-
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7 : リードステータスレジスタコマンドを実行したときに読み出されるデータバス

注1 . FMR06ビット(SR4ビット)、FMR07ビット(SR5ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR06ビット(SR4ビット)またはFMR07ビット(SR5ビット)が“1”的場合、プログラム、ロックイレーズ、イレーズ全アンロックブロック、およびロックビットプログラムコマンドは受け付けられません。

21.3.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06、FMR07ビットが¹(エラー終了)になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)すると、実行結果を確認できます。

表21.6にエラーとFMR0レジスタの状態、図21.12にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表21.6 エラーとFMR0レジスタの状態

FMR0レジスタ (SRDレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5ビット)	FMR06ビット (SR4ビット)		
1	1	コマンドシーケンス エラー	<ul style="list-style-type: none"> コマンドを正しく書かなかったとき ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(" xxD0h " または " xxFFh ")以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ロックされたブロックにプログラムコマンドを実行したとき(注2) ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1 . これらのコマンドの第2バスサイクルで " xxFFh " を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2 . FMR0レジスタのFMR02ビットが¹(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

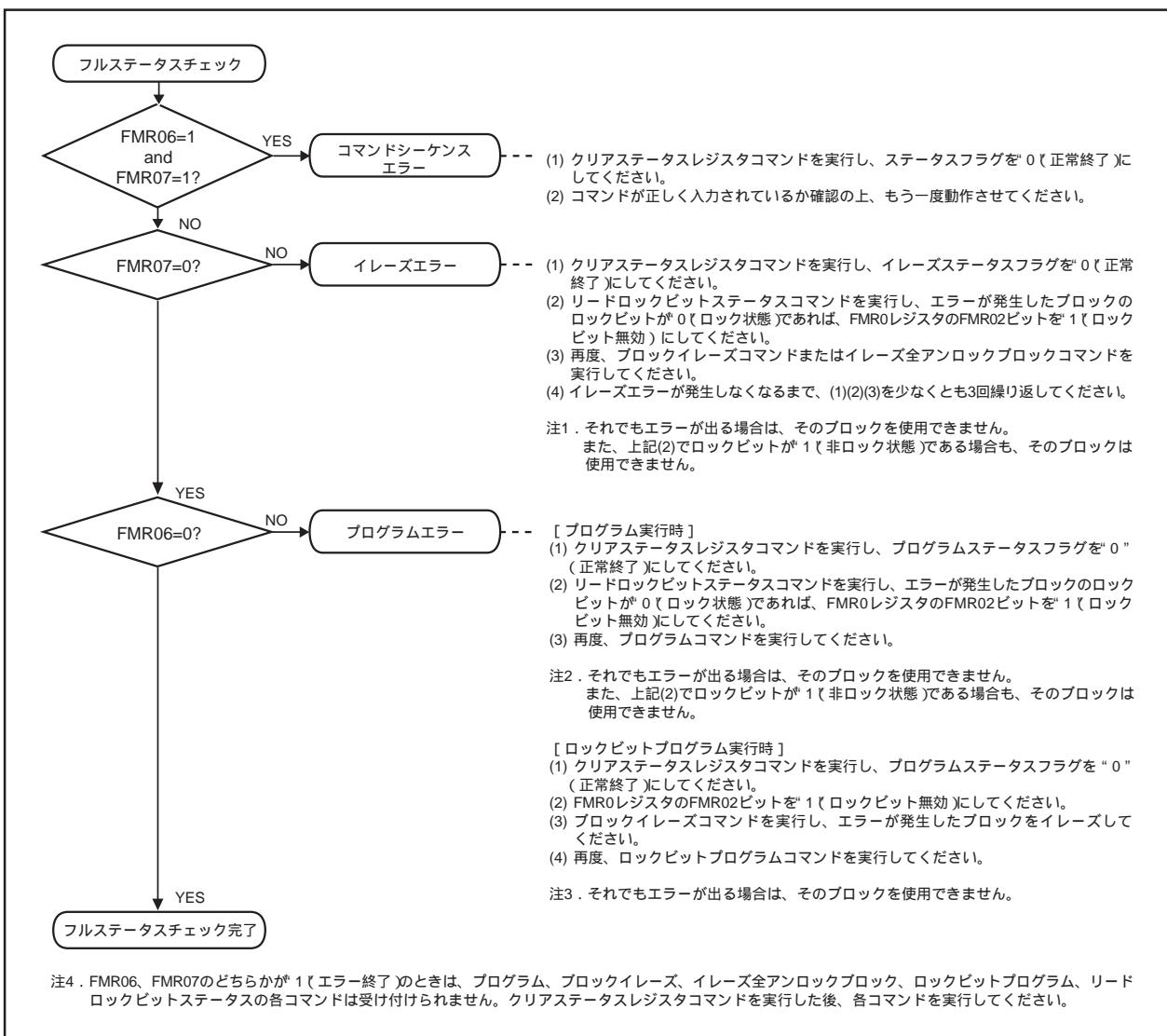


図21.12 フルステータスチェックフローチャートと各エラー発生時の対処方法

21.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/6Nグループ(M16C/6N5)に対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表21.7に標準シリアル入出力モードの端子の機能説明、図21.13、図21.14に標準シリアル入出力モード時の端子結線図を示します。

21.4.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「21.2 フラッシュメモリ書き換え禁止機能」参照)。

表21.7 標準シリアル入出力モードの端子の機能説明

端子名	名称	入出力	機能
VCC1、VCC2、VSS	電源入力		VCC1端子にはフラッシュ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。VCCの入力条件はVCC2=VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1に接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VCC1またはVSSに接続してください。
AVCC、AVSS	アナログ電源入力		AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータ、D/Aコンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0～P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_0～P4_7	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	“H”を入力してください。
P5_1～P5_4、P5_6、P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P5_5	EPM入力	入力	“L”を入力してください。
P6_0～P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	・標準シリアル入出力モード1：BUSY信号の出力端子です。 ・標準シリアル入出力モード2：ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	・標準シリアル入出力モード1：シリアルクロックの入力端子です。 ・標準シリアル入出力モード2：“L”を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です(注1)。
P7_0～P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0～P8_3、P8_6、P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_4	P8_4入力	入力	“L”を入力してください(注2)。
P8_5/NMI	NMI入力	入力	VCC1に接続してください。
P9_0～P9_4、P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P9_5/CRX0	CRX入力	入力	“H”を入力、“L”を入力、またはCANトランシーバに接続してください。
P9_6/CTX0	CTX出力	出力	“H”を入力、開放、またはCANトランシーバに接続してください。
P10_0～P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1 . 標準シリアル入出力モードを使用する場合、RESET端子が“L”的期間中、TXD1(P6_7)端子に“H”を入力する必要があります。したがって、TXD1(P6_7)端子は内蔵プルアップが有効になります。

注2 . 標準シリアル入出力モードを使用する場合、P8_4端子が“H”でRESET端子が“L”的期間中、P0_0～P0_7、P1_0～P1_7から不定値が出力されることがあります。このことが問題となる場合は、P8_4端子に“L”を入力してください。

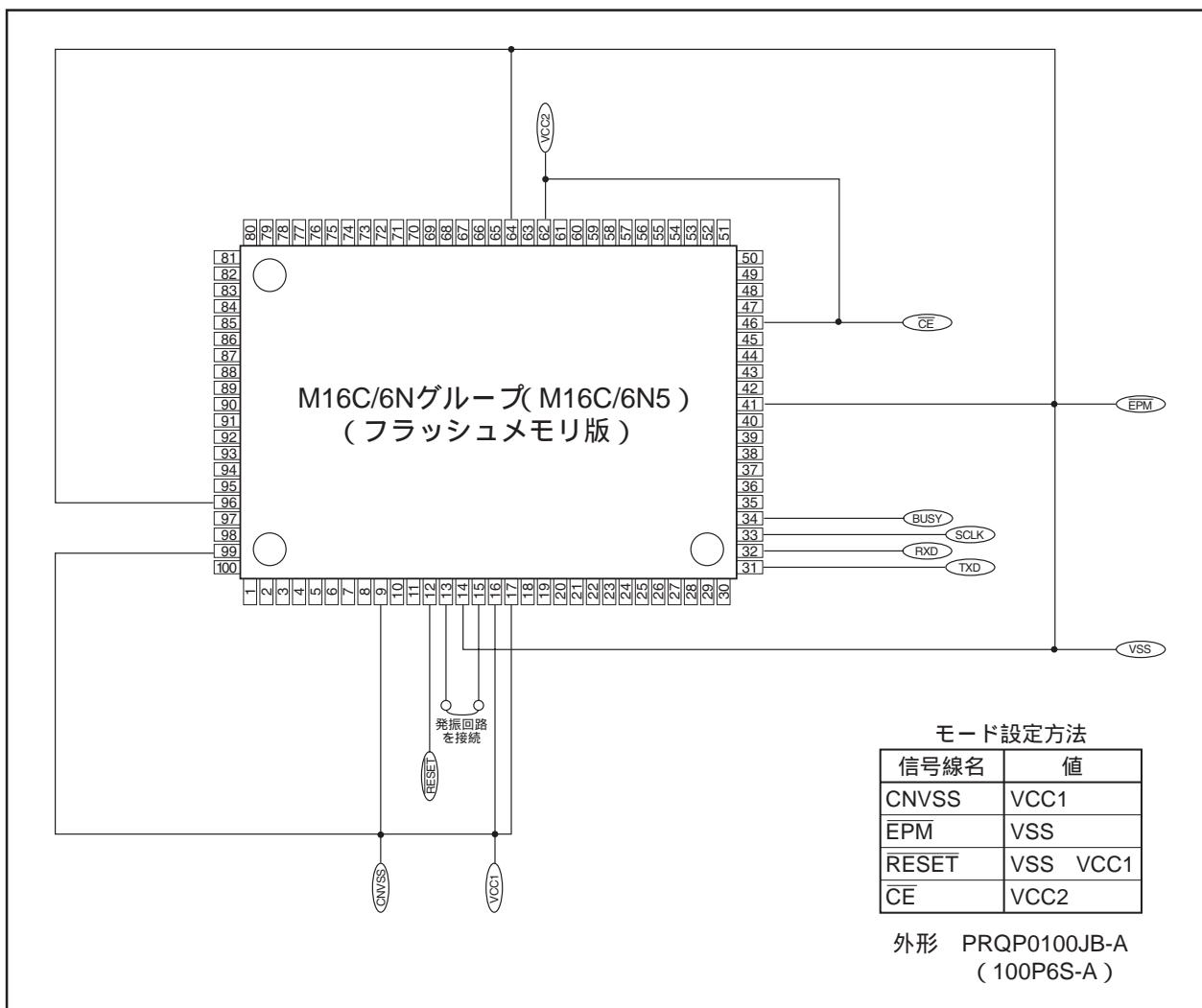


図21.13 標準シリアル入出力モード時の端子結線図(1)

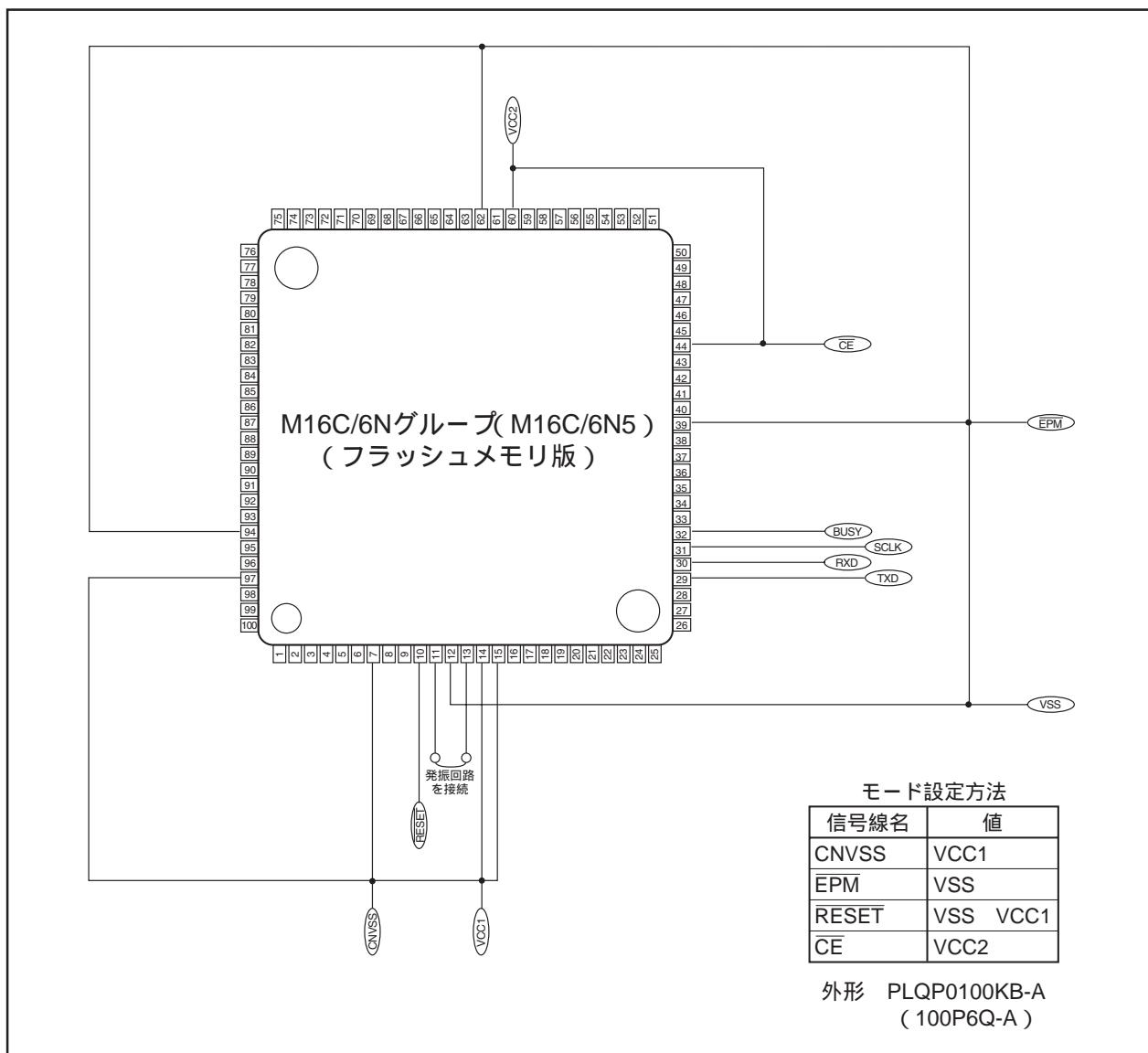


図21.14 標準シリアル入出力モード時の端子結線図(2)

21.4.2 標準シリアル入出力モード1および2時の端子処理例

図21.15に標準シリアル入出力モード1を使用する場合の端子処理例、図21.16に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライタによって制御するピンなどが異なりますので、詳細はライタのマニュアルを参照してください。

なお、標準シリアル入出力モード2を使用する場合は、メインクロックの入力発振周波数は5MHz、10MHzまたは16MHzにしてください。

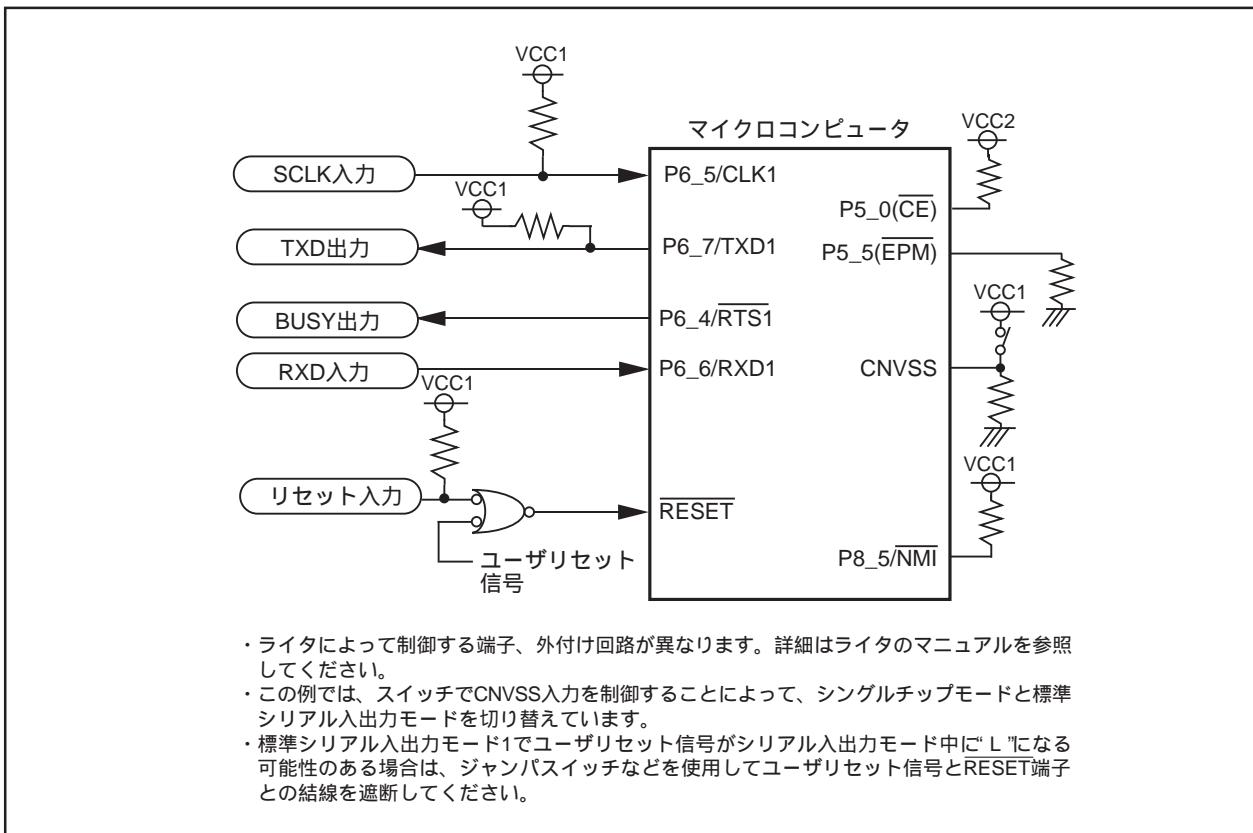


図21.15 標準シリアル入出力モード1を使用する場合の端子処理例

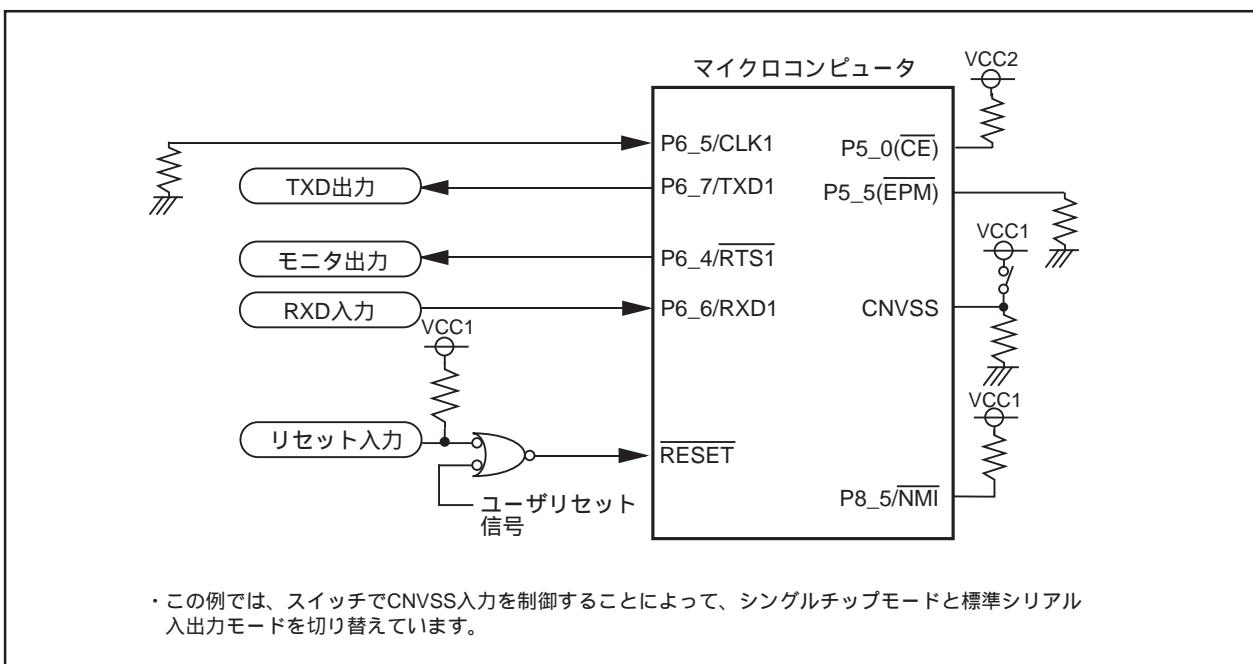


図21.16 標準シリアル入出力モード2を使用する場合の端子処理例

21.5 パラレル入出力モード

パラレル入出力モードでは、M16C/6Nグループ(M16C/6N5)に対応したパラレルライタを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

21.5.1 ブートROM領域

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域には、出荷時に標準シリアル入出力モードおよびCAN入出力モードの書き換え制御プログラムが書かれています。したがって、シリアルライタまたはCANライタを使用される場合は、ブートROM領域を書き換えないでください。

ブートROM領域は、パラレル入出力モードでは、0FF000h ~ 0FFFFFh番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FF000h ~ 0FFFFFh番地以外へはアクセスしないでください)。

21.5.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「21.2 フラッシュメモリ書き換え禁止機能」参照)。

21.6 CAN入出力モード

CAN入出力モードでは、M16C/6Nグループ(M16C/6N5)に対応したCANライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。CANライタについては、各メーカーにお問い合わせください。また、CANライタの操作方法については、CANライタのユーザーズマニュアルを参照してください。

表21.8にCAN入出力モードの端子の機能説明、図21.17、図21.18にCAN入出力モード時の端子結線図を示します。

21.6.1 IDコードチェック機能

CANライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「21.2 フラッシュメモリ書き換え禁止機能」参照)。

表21.8 CAN入出力モードの端子の機能説明

端子名	名称	入出力	機能
VCC1、VCC2、VSS	電源入力		VCC1端子にはフラッシュ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。VCCの入力条件はVCC2=VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1に接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VCC1またはVSSに接続してください。
AVCC、AVSS	アナログ電源入力		AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータ、D/Aコンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0～P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_0～P4_7	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	“H”を入力してください。
P5_1～P5_4、P5_6、P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P5_5	EPM入力	入力	“L”を入力してください。
P6_0～P6_4、P6_6	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_5/CLK1	SCLK入力	入力	“L”を入力してください。
P6_7/TXD1	TXD出力	出力	“H”を入力してください。
P7_0～P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0～P8_3、P8_6、P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_4	P8_4入力	入力	“L”を入力してください(注1)。
P8_5/NMI	NMI入力	入力	VCC1に接続してください。
P9_0～P9_4、P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P9_5/CRX0	CRX入力	入力	CANトランシーバに接続してください。
P9_6/CTX0	CTX出力	出力	CANトランシーバに接続してください。
P10_0～P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1 CAN入出力モードを使用する場合、P8_4端子が“H”でRESET端子が“L”的期間中、P0_0～P0_7、P1_0～P1_7から不定値が出力されることがあります。このことが問題となる場合は、P8_4端子に“L”を入力してください。

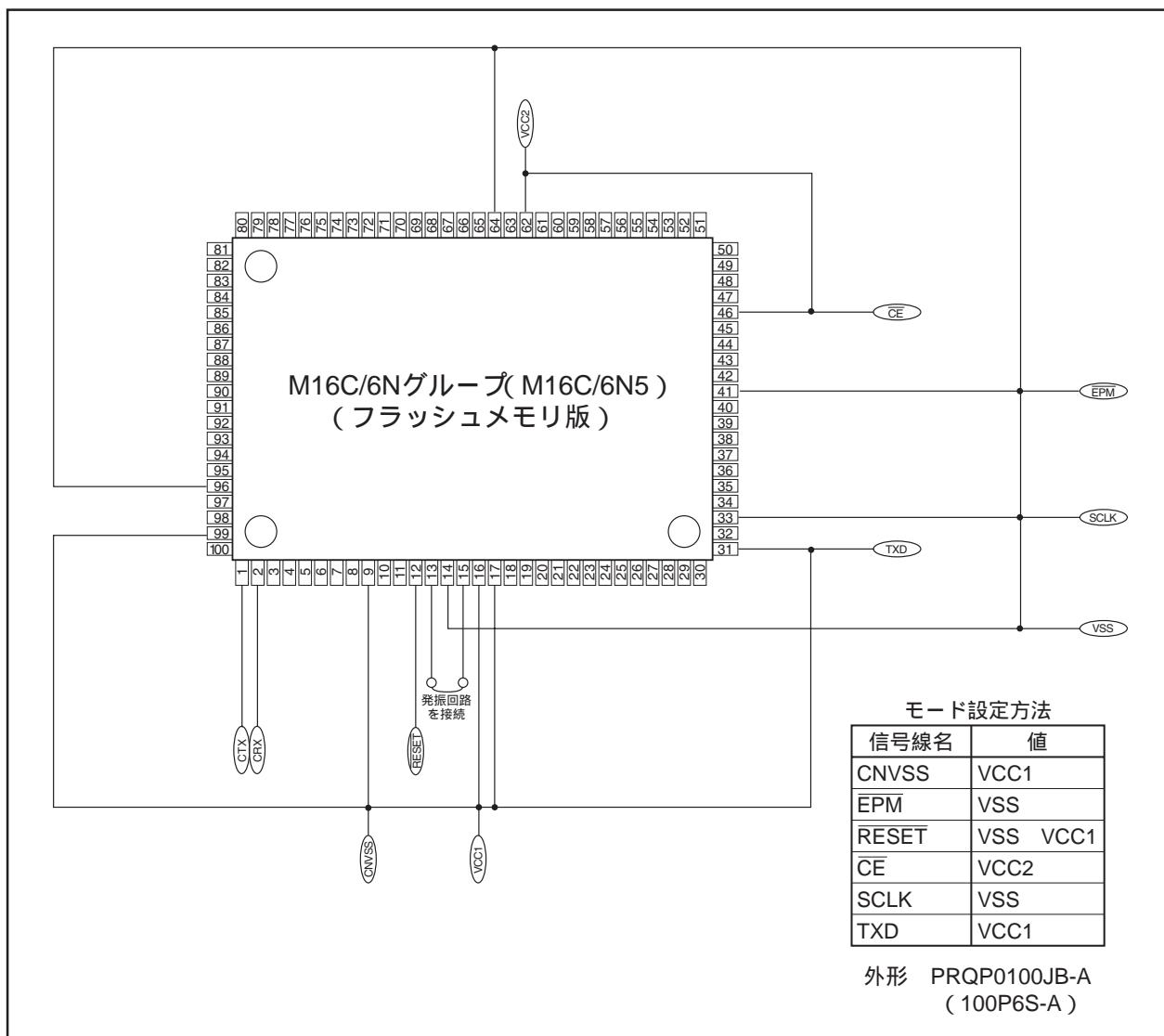


図21.17 CAN入出力モード時の端子結線図(1)

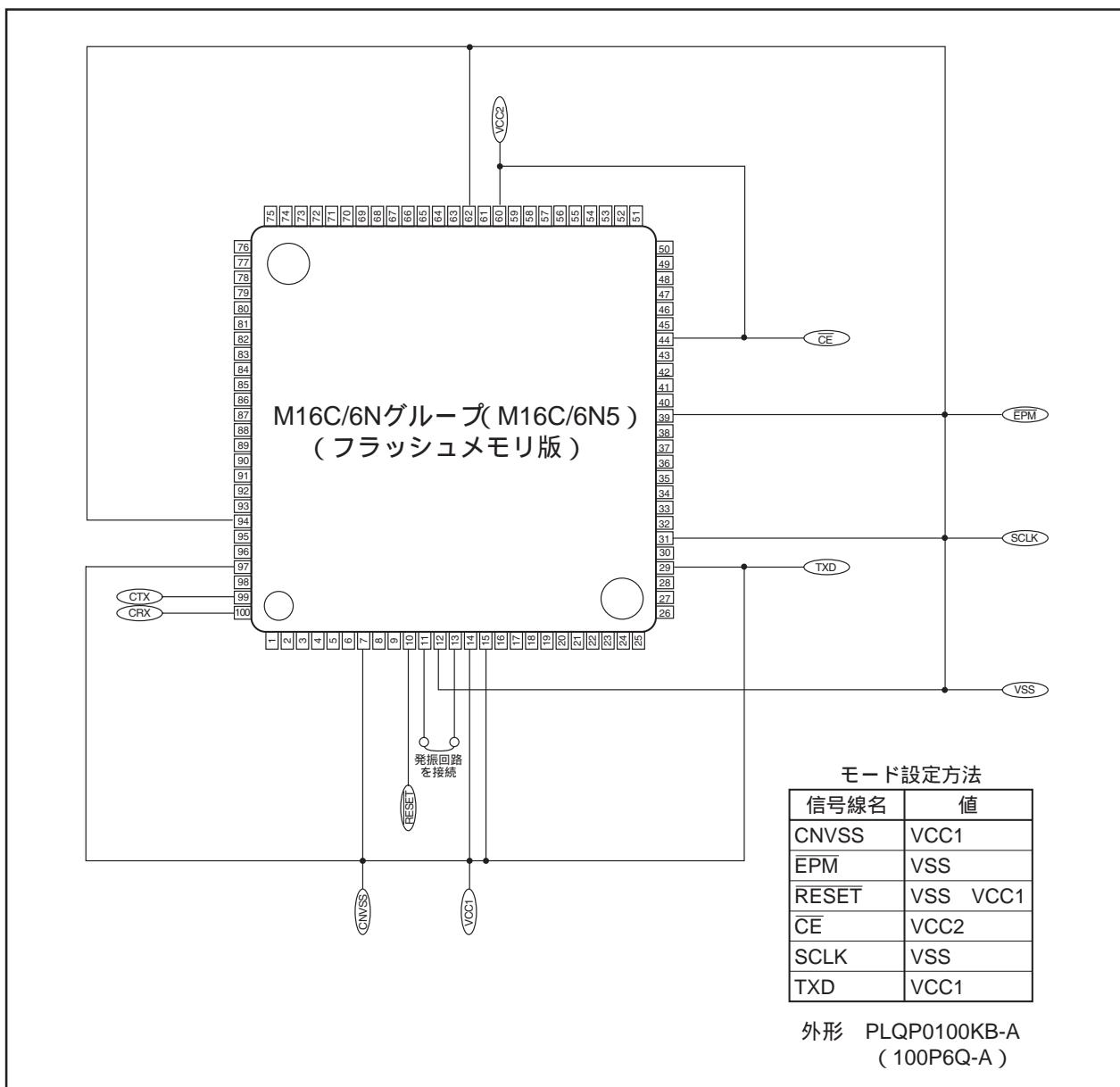
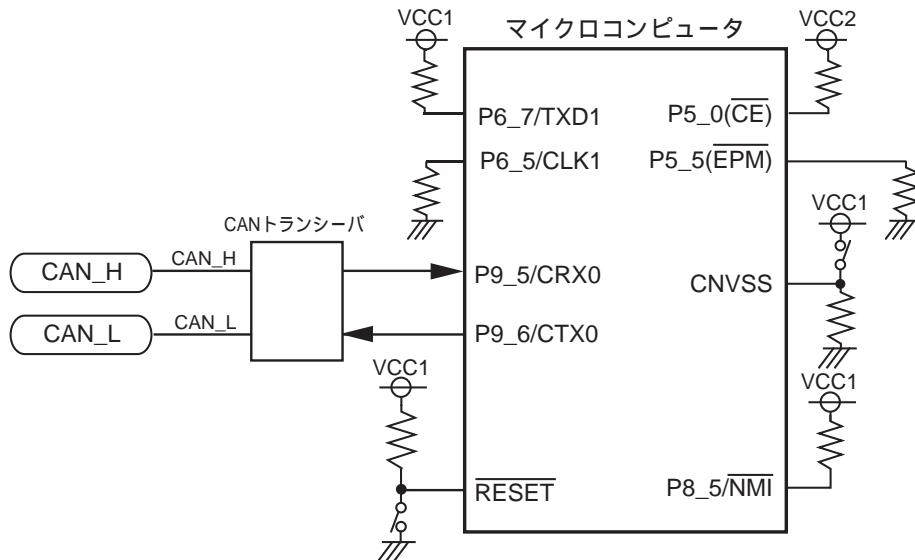


図21.18 CAN入出力モード時の端子結線図(2)

21.6.2 CAN入出力モード時の端子処理例

図21.19にCAN入出力モードを使用する場合の端子処理例を示します。ライタによって制御するピンなどが異なりますので、詳細はライタのマニュアルを参照してください。



- ・ライタによって制御する端子、外付け回路が異なります。詳細はライタのマニュアルを参照してください。
- ・この例では、スイッチでCNVSS入力を制御することによって、シングルチップモードとCAN入出力モードを切り替えています。

図21.19 CAN入出力モードを使用する場合の端子処理例

21.7 電気的特性

21.7.1 電気的特性(T/V-ver.)

表21.9にフラッシュメモリの電気的特性、表21.10にフラッシュメモリの書き込み／消去電圧と読み出し動作電圧特性を示します。

表21.9 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注2)	100			回
-	ワードプログラム(VCC = 5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (VCC = 5.0V)	4Kバイトブロック		0.3	s
		8Kバイトブロック		0.3	s
		32Kバイトブロック		0.5	s
		64Kバイトブロック		0.8	s
-	イレーズ全アンロックブロック時間			$4 \times n$ (注3)	s
tps	フラッシュメモリ回路安定待ち時間			15	μs

注1 . 指定のない場合は、VCC = 4.5 ~ 5.5V、Topr = 0 ~ 60 です。

注2 . プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n = 100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)

注3 . nはイレーズするブロック数です。

表21.10 フラッシュメモリの書き込み／消去電圧と読み出し動作電圧特性(Topr = 0 ~ 60)

フラッシュメモリ書き込み／消去電圧	フラッシュメモリ読み出し動作電圧
VCC = 5.0 ± 0.5V	VCC = 4.2 ~ 5.5V

21.7.2 電気的特性(Normal-ver.)

表21.11にフラッシュメモリの電気的特性、表21.12にフラッシュメモリの書き込み／消去電圧と読み出し動作電圧特性を示します。

表21.11 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注2)	100			回
-	ワードプログラム(VCC = 5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (VCC = 5.0V)	4Kバイトブロック		0.3	s
		8Kバイトブロック		0.3	s
		32Kバイトブロック		0.5	s
		64Kバイトブロック		0.8	s
-	イレーズ全アンロックブロック時間			$4 \times n$ (注3)	s
tps	フラッシュメモリ回路安定待ち時間			15	μs

注1 . 指定のない場合は、VCC = 4.5 ~ 5.5V、3.0 ~ 3.6V、Topr = 0 ~ 60 です。

注2 . プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n = 100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)

注3 . nはイレーズするブロック数です。

表21.12 フラッシュメモリの書き込み／消去電圧と読み出し動作電圧特性(Topr = 0 ~ 60)

フラッシュメモリ書き込み／消去電圧	フラッシュメモリ読み出し動作電圧
VCC = 3.3 ± 0.3Vまたは5.0 ± 0.5V	VCC = 3.0 ~ 5.5V

22 . 電気的特性

22.1 電気的特性(T/V-ver.)

表22.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{cc}	電源電圧(VCC1 = VCC2)		VCC = AVCC	- 0.3 ~ 6.5	V
A _{VCC}	アナログ電源電圧		VCC = AVCC	- 0.3 ~ 6.5	V
V _i	入力電圧	RESET, CNVSS, BYTE, P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, VREF, XIN		- 0.3 ~ VCC+0.3	V
		P7_1, P9_1		- 0.3 ~ 6.5	V
V _o	出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, XOUT	Topr = 25	- 0.3 ~ VCC+0.3	V
		P7_1, P9_1		- 0.3 ~ 6.5	V
P _d	消費電力		Topr = 25	700	mW
T _{opr}	動作周囲温度	マイコン動作時		Tバージョン : - 40 ~ 85 Vバージョン : - 40 ~ 125(オプション)	
		フラッシュメモリ書き込み消去時		0 ~ 60	
T _{stg}	保存温度			- 65 ~ 150	

オプション : オプション機能をご使用になる場合は、その旨ご指定ください。

表22.2 推奨動作条件(1)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧(VCC1 = VCC2)	4.2	5.0	5.5	V
A _{VCC}	アナログ電源電圧		V _{CC}		V
V _{SS}	電源電圧		0		V
A _{VSS}	アナログ電源電圧		0		V
V _{IH}	" H "入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	0.8V _{CC}		V _{CC}	V
	P7_1, P9_1	0.8V _{CC}		6.5	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時)	0.8V _{CC}		V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5V _{CC}		V _{CC}	V
V _{IL}	" L "入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	0		0.2V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時)	0		0.2V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		0.16V _{CC}	V
I _{OH(peak)}	" H "尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7			- 10.0	mA
I _{OH(avg)}	" H "平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7			- 5.0	mA
I _{OL(peak)}	" L "尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7			10.0	mA
I _{OL(avg)}	" L "平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7			5.0	mA

注1 . 指定のない場合は、VCC = 4.2 ~ 5.5V、Topr = - 40 ~ 85 です。

注2 . 平均出力電流は100msの期間内での平均値です。

注3 . ポートP0, P1, P2, P8_6, P8_7, P9, P10のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0 ~ P8_4のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2のI_{OH(peak)}の合計は-40mA以下、ポートP3, P4, P5のI_{OH(peak)}の合計は-40mA以下、ポートP6, P7, P8_0 ~ P8_4のI_{OH(peak)}の合計は-40mA以下、ポートP8_6, P8_7, P9, P10のI_{OH(peak)}の合計は-40mA以下にしてください。

表22.3 推奨動作条件(2)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
f(XIN)	メインクロック入力 発振周波数(注2、3、4)なし	ウェイト マスクROM版 フラッシュメモリ版	VCC = 4.2 ~ 5.5V	0	16 MHz
f(XCIN)	サブクロック周波数			32.768	50 kHz
f(Ring)	オンチップオシレータ発振周波数			1	MHz
f(PLL)	PLLクロック発振周波数		16	20	MHz
f(BCLK)	CPU動作周波数	VCC = 4.2 ~ 5.5V	0	20	MHz
t _{su(PLL)}	PLL周波数シンセサイザ安定待ち時間			20	ms
f _(ripple)	電源リップル許容周波数(VCC)			10	kHz
V _{P-P(ripple)}	電源リップル許容振幅電圧	VCC = 5V		0.5	V
V _{CC(ΔV/ΔT)}	電源リップル立ち上がり / 立ち下がり勾配	VCC = 5V		0.3	V/ms

注1. 指定のない場合は、VCC = 4.2 ~ 5.5V、Topr = - 40 ~ 85 です。

注2. メインクロック入力周波数と電源電圧の関係を右に示します。

注3. フラッシュメモリの書き込み/消去は、VCC = 5.0V ± 0.5Vでしてください。
さい。

注4. 16MHzを超えて使用する場合は、PLLクロックを使用してください。

使用できるPLLクロックの周波数は16MHzまたは20MHzです。

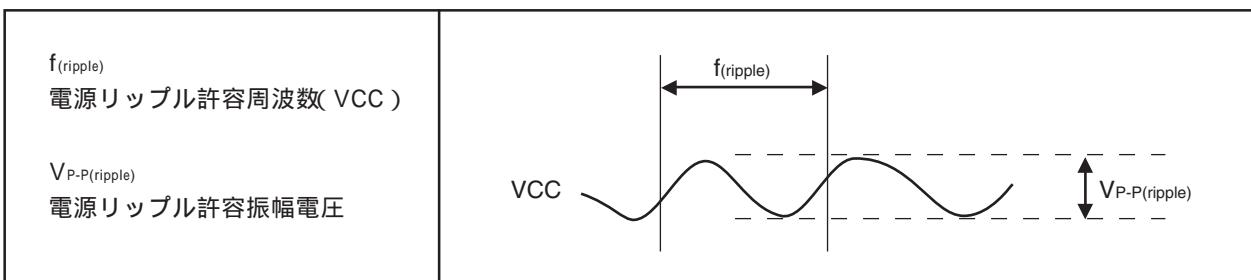
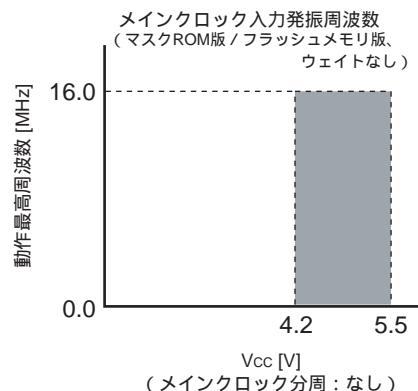


図22.1 電源変動のタイミング図

表22.4 電気的特性(1)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	" H "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$I_{OH} = -5mA$	$V_{cc}-2.0$		V_{cc}	V
V_{OH}	" H "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$I_{OH} = -200\mu A$	$V_{cc}-0.3$		V_{cc}	V
V_{OL}	" H "出力電圧 XOUT	HIGHPOWER	$I_{OH} = -1mA$	3.0		V
		LOWPOWER	$I_{OH} = -0.5mA$	3.0		V_{cc}
V_{OL}	" H "出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5	V
		LOWPOWER	無負荷時		1.6	
V_{OL}	" L "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7	$I_{OL} = 5mA$			2.0	V
V_{OL}	" L "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7	$I_{OL} = 200\mu A$			0.45	V
V_{OL}	" L "出力電圧 XOUT	HIGHPOWER	$I_{OL} = 1mA$		2.0	V
		LOWPOWER	$I_{OL} = 0.5mA$		2.0	
$V_{T+}-V_{T-}$	" L "出力電圧 XCOUT	HIGHPOWER	無負荷時		0	V
		LOWPOWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, NMI, ADTRG, CTS0 ~ CTS2, SCL0 ~ SCL2, SDA0 ~ SDA2, CLK0 ~ CLK3, TA0OUT ~ TA4OUT, KI0 ~ KI3, RXD0 ~ RXD2, SIN3			0.2		V
$V_{T+}-V_{T-}$	ヒステリシス RESET			0.2		V
I_{IH}	" H "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 5V$			5.0	μA
I_{IL}	" L "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 0V$			-5.0	μA
R_{PULLUP}	プルアップ抵抗 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$V_I = 0V$	30	50	170	k
R_{IXIN}	帰還抵抗 XIN				1.5	M
R_{IXCIN}	帰還抵抗 XCIN				15	M
V_{RAM}	RAM保持電圧 STOPモード時		2.0			V

注1 . 指定のない場合は、 $VCC = 4.2 \sim 5.5V$ 、 $VSS = 0V$ 、 $T_{opr} = -40 \sim 85^\circ C$ 、 $f(BCLK) = 20MHz$ です。

表22.5 電気的特性(2)(注1)

記号	項目	測定条件		規格値			単位	
				最小	標準	最大		
I _{cc}	電源電流 (VCC = 4.2 ~ 5.5V)	シングルチップモード で、出力端子は開放、 その他の端子はVSS	マスクROM	f(BCLK) = 20MHz、 PLL動作時、分周なし オンチップオシレータ 発振動作時、分周なし		16	28	mA
			フラッシュメモリ	f(BCLK) = 20MHz、 PLL動作時、分周なし オンチップオシレータ 発振動作時、分周なし		1		mA
		フラッシュメモリ プログラム	f(BCLK) = 20MHz、 VCC = 5V		18	30	mA	
			f(BCLK) = 10MHz、 VCC = 5V		1.8		mA	
		フラッシュメモリ イレーズ	f(BCLK) = 10MHz、 VCC = 5V		25		mA	
			マスクROM	f(BCLK) = 32kHz、 低消費電力モード時 ROM 上 (注2)		25		μA
		フラッシュメモリ	f(BCLK) = 32kHz、 低消費電力モード時 RAM上 (注2)		25		μA	
			f(BCLK) = 32kHz、 低消費電力モード時 フラッシュメモリ上 (注2)		420		μA	
		マスクROM フラッシュメモリ	オンチップオシレータ 発振動作、 ウェイトモード時		50		μA	
			f(BCLK) = 32kHz、 ウェイトモード時(注3) 発振能力High		8.5		μA	
			f(BCLK) = 32kHz、 ウェイトモード時(注3) 発振能力Low		3.0		μA	
		ストップモード時、 Topr = 25 °C			0.8	3.0	μA	

注1 . 指定のない場合は、VCC = 4.2 ~ 5.5V、VSS = 0V、Topr = - 40 ~ 85 、f(BCLK)= 20MHzです。

注2 . 実行するプログラムが存在するメモリを示します。

注3 . fC32にてタイマ1本を動作させている状態です。

表22.6 A/D変換特性(注1)

記号	項目	測定条件		規格値		単位
				最小	標準	
-	分解能	VREF=VCC				10 Bits
INL	積分非直線性誤差	10ビット	VREF = VCC = 5V	ANEX0, ANEX1 入力、 AN0 ~ AN7 入力、 AN0_0 ~ AN0_7 入力、 AN2_0 ~ AN2_7 入力		± 3 LSB
				外部オペアンプ接続モード		± 7 LSB
		8ビット	VREF = AVCC = VCC = 5V			± 2 LSB
-	絶対精度	10ビット	VREF = VCC = 5V	ANEX0, ANEX1 入力、 AN0 ~ AN7 入力、 AN0_0 ~ AN0_7 入力、 AN2_0 ~ AN2_7 入力		± 3 LSB
				外部オペアンプ接続モード		± 7 LSB
		8ビット	VREF = AVCC = VCC = 5V			± 2 LSB
DNL	微分非直線性誤差					± 1 LSB
-	オフセット誤差					± 3 LSB
-	ゲイン誤差					± 3 LSB
R_LADDER	ラダー抵抗	VREF = VCC		10		k
t_CONV	変換時間(10ビット) サンプル&ホールドあり	VREF = VCC = 5V, AD = 10MHz	3.3			μs
	変換時間(8ビット) サンプル&ホールドあり	VREF = VCC = 5V, AD = 10MHz	2.8			μs
t_SAMP	サンプリング時間			0.3		μs
V_REF	基準電圧			2.0		V _{cc} V
V_IA	アナログ入力電圧			0		V _{REF} V

注1. 指定のない場合は、VCC = AVCC = VREF = 4.2 ~ 5.5V、VSS = AVSS = 0V、Topr = - 40 ~ 85 です。

注2. ADの周波数は10MHz以下にしてください。

注3. サンプル&ホールドなしの場合、注2の制限に加え ADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、注2の制限に加え ADの周波数は1MHz以上にしてください。

表22.7 D/A変換特性(注1)

記号	項目	測定条件	規格値		単位
			最小	標準	
-	分解能				8 Bits
-	絶対精度				1.0 %
t_su	設定時間				3 μs
R_o	出力抵抗		4	10	20 k
I_VREF	基準電源入力電流	(注2)			1.5 mA

注1. 指定のない場合は、VCC = VREF = 4.2 ~ 5.5V、VSS = AVSS = 0V、Topr = - 40 ~ 85 です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDA*i*レジスタ(*i* = 0, 1)の値が"00h"の場合です。A/Dコンバータのラダー抵抗分は除きます。また、ADCON1レジスタでVREF未接続とした場合でも、D/AコンバータのI_{VREF}は流れます。

表22.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間	$VCC = 4.2 \sim 5.5 V$			2	ms
$t_{d(R-S)}$	STOP解除時間				150	μs
$t_{d(W-S)}$	低消費電力モードウェイトモード解除時間				150	μs

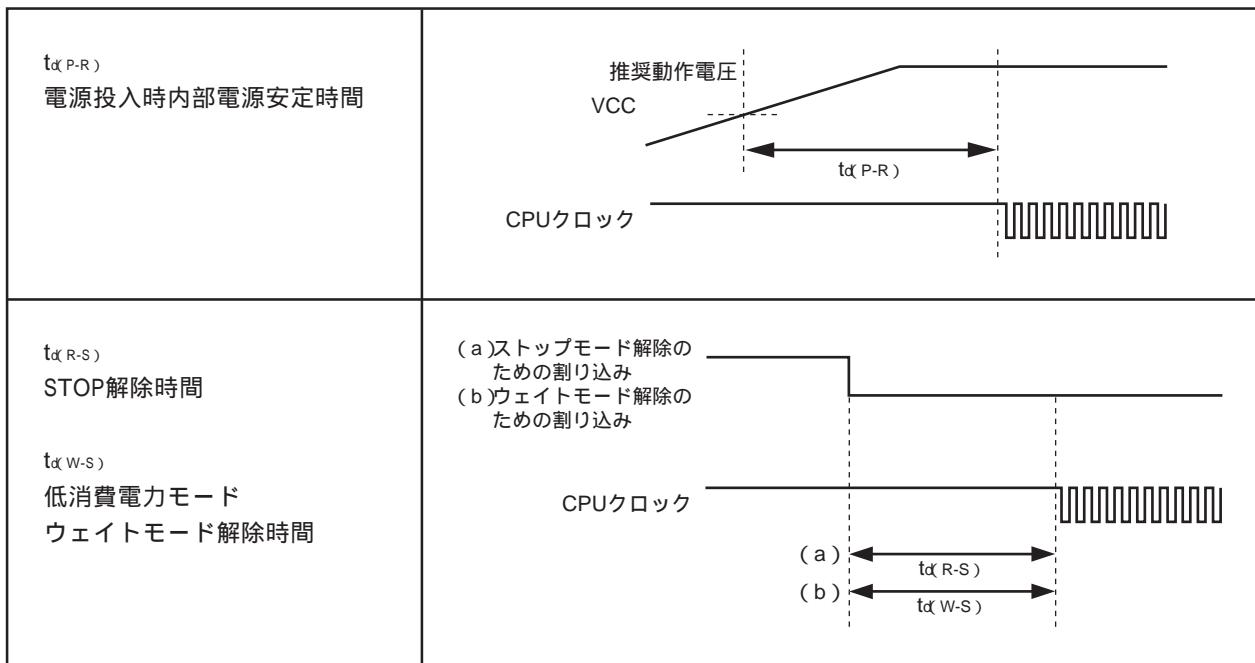


図22.2 電源回路のタイミング図

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.9 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	62.5		ns
t _{w(H)}	外部クロック入力“H”パルス幅	25		ns
t _{w(L)}	外部クロック入力“L”パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表22.10 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1(RD-DB)}	データ入力アクセス時間(ウェイトなし設定)		(注1)	ns
t _{ac2(RD-DB)}	データ入力アクセス時間(ウェイトあり設定)		(注2)	ns
t _{ac3(RD-DB)}	データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合)		(注3)	ns
t _{su(DB-RD)}	データ入力セットアップ時間	40		ns
t _{su(RDY-BCLK)}	RDY入力セットアップ時間	30		ns
t _{su(HOLD-BCLK)}	HOLD入力セットアップ時間	40		ns
t _{h(RD-DB)}	データ入力ホールド時間	0		ns
t _{h(BCLK-RDY)}	RDY入力ホールド時間	0		ns
t _{h(BCLK-HOLD)}	HOLD入力ホールド時間	0		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 45 [ns] \quad nは1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 45 [ns] \quad nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”$$

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.11 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	100		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	40		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	40		ns

表22.12 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	400		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	200		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	200		ns

表22.13 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	200		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	100		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	100		ns

表22.14 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{w(TAH)}	TAiIN入力“H”パルス幅	100		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	100		ns

表22.15 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(UP)}	TAiOUT入力サイクル時間	2000		ns
t _{w(UPH)}	TAiOUT入力“H”パルス幅	1000		ns
t _{w(UPL)}	TAiOUT入力“L”パルス幅	1000		ns
t _{su(UP-TIN)}	TAiOUT入力セットアップ時間	400		ns
t _{h(TIN-UP)}	TAiOUT入力ホールド時間	400		ns

表22.16 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	800		ns
t _{su(TAIN-TAOUT)}	TAiOUT入力セットアップ時間	200		ns
t _{su(TAOUT-TAIN)}	TAiIN入力セットアップ時間	200		ns

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.17 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_c(TB)$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表22.18 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	200		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	200		ns

表22.19 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	200		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	200		ns

表22.20 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_w(ADL)$	ADTRG入力“L”パルス幅	125		ns

表22.21 シリアルインターフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表22.22 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	INTi入力“H”パルス幅	250		ns
$t_w(INL)$	INTi入力“L”パルス幅	250		ns

スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.23 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図22.3		25	ns
t _h (BCLK-AD)	アドレス出力保持時間(BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間(RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			15	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間(BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間(BCLK基準)(注3)		4		ns
t _d (DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間(WR基準)(注3)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 40 [ns] \quad f(BCLK) \text{は} 12.5\text{MHz} \text{以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、
 $t = - CR \times \ln(1 - V_{OL} / V_{CC})$

で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 \text{ pF} \times 1k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$

となります。

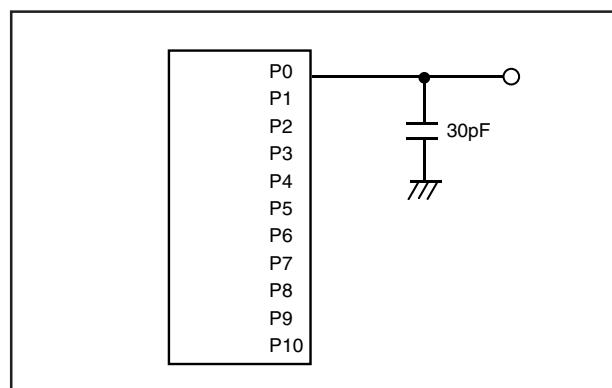
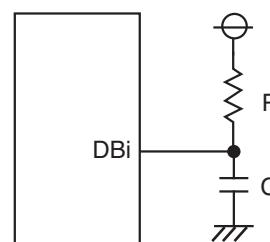


図22.3 ポートP0 ~ P10の測定回路

スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85 °C)

VCC = 5V

表22.24 メモリ拡張モード、マイクロプロセッサモード(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図22.3		25	ns
t _h (BCLK-AD)	アドレス出力保持時間(BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間(RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			15	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間(BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間(BCLK基準) (注3)		4		ns
t _d (DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間(WR基準) (注3)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 40 [ns] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、} \\ \text{3ウェイト設定の場合“3”} \\ n = 1 \text{の場合は、} f(BCLK) \text{は12.5MHz以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量や
プルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = - CR \times \ln(1 - V_{OL} / V_{CC})$$

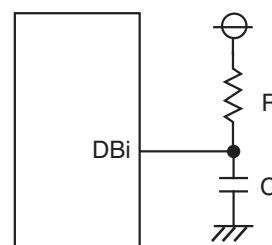
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 pF, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 pF \times 1 k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 ns$$

となります。



スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.25 メモリ拡張モード、マイクロプロセッサモード

(2、3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図22.3		25	ns
t _h (BCLK-AD)	アドレス出力保持時間(BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間(RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間(RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間(BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間(BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns
t _d (BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			15	ns
t _h (BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		- 4		ns
t _d (AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
t _h (ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 40 [ns] \quad nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 25 [ns]$$

注4 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 15 [ns]$$

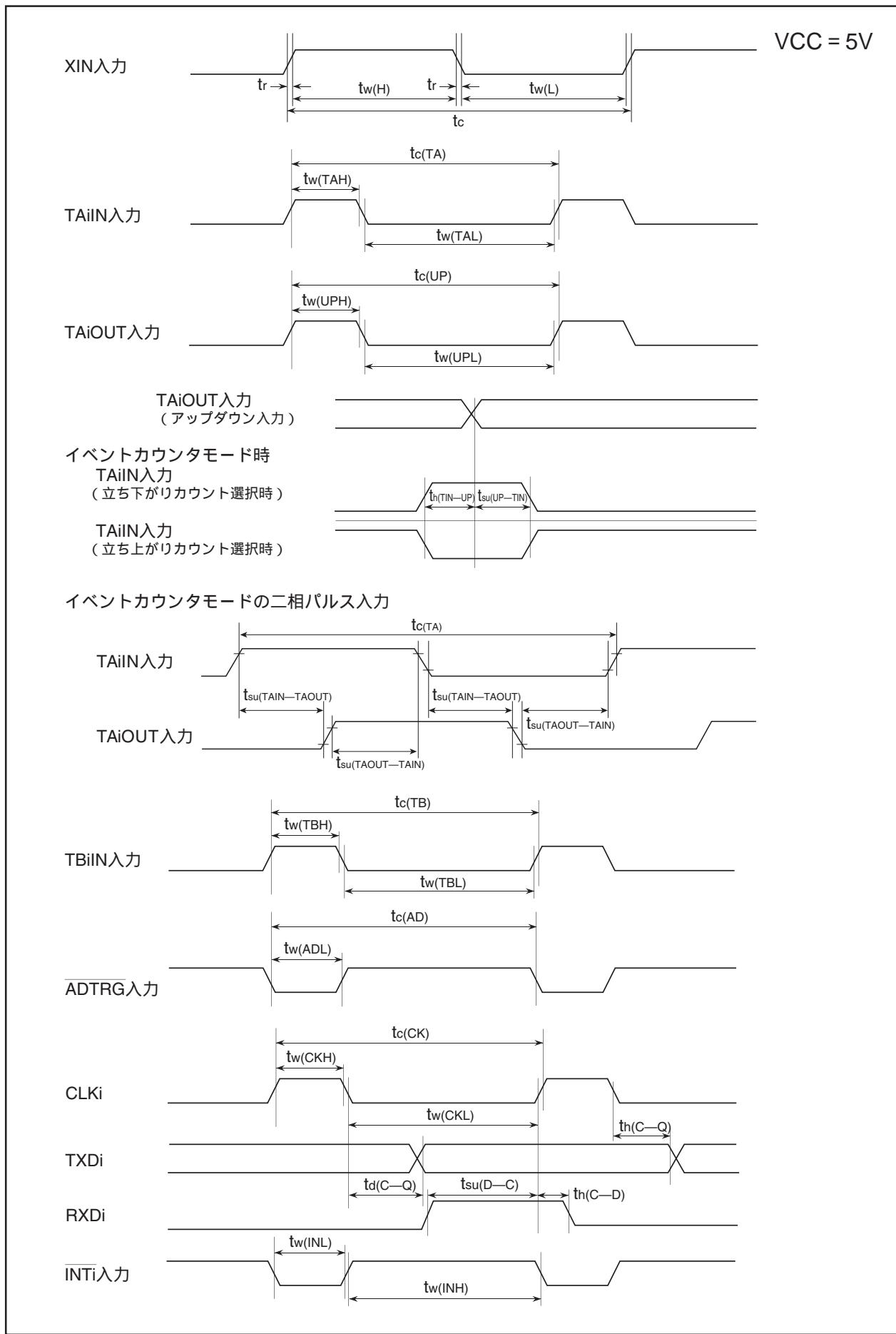
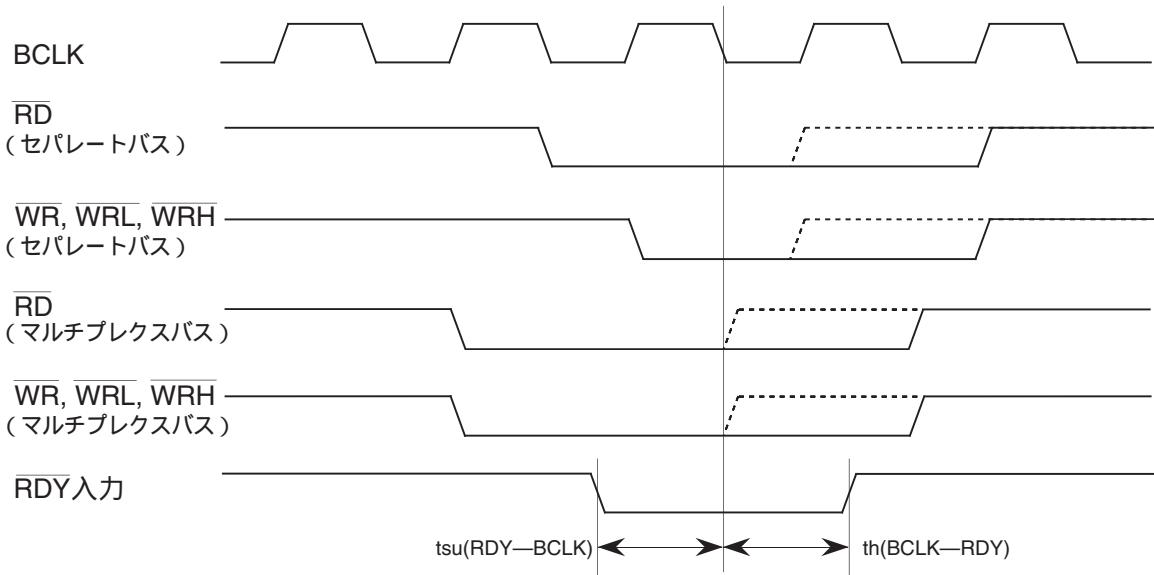


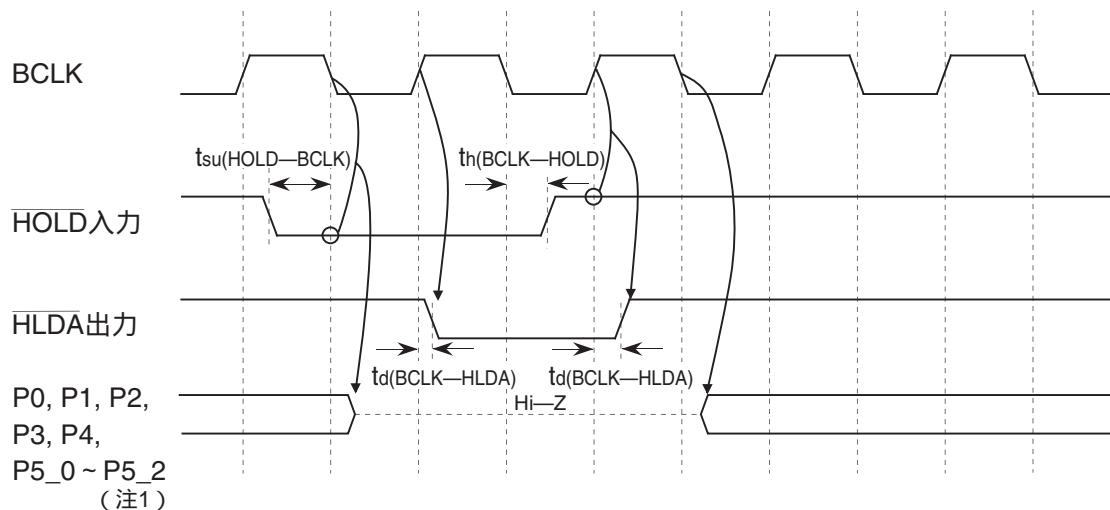
図22.4 タイミング図(1)

メモリ拡張モード、マイクロプロセッサモード
(ウエイトあり設定の場合に有効)

VCC = 5V



(ウエイトあり設定、ウェイトなし設定共通)



注1. BYTE端子の入力レベル、PM0レジスタのPM06ビット、PM1レジスタのPM11ビットにかかわらず、
ハイインピーダンス状態になります。

測定条件

- VCC = 5V
- 入力タイミング電圧 : $V_{IL} = 1.0V$ 、 $V_{IH} = 4.0V$
- 出力タイミング電圧 : $V_{OL} = 2.5V$ 、 $V_{OH} = 2.5V$

図22.5 タイミング図(2)

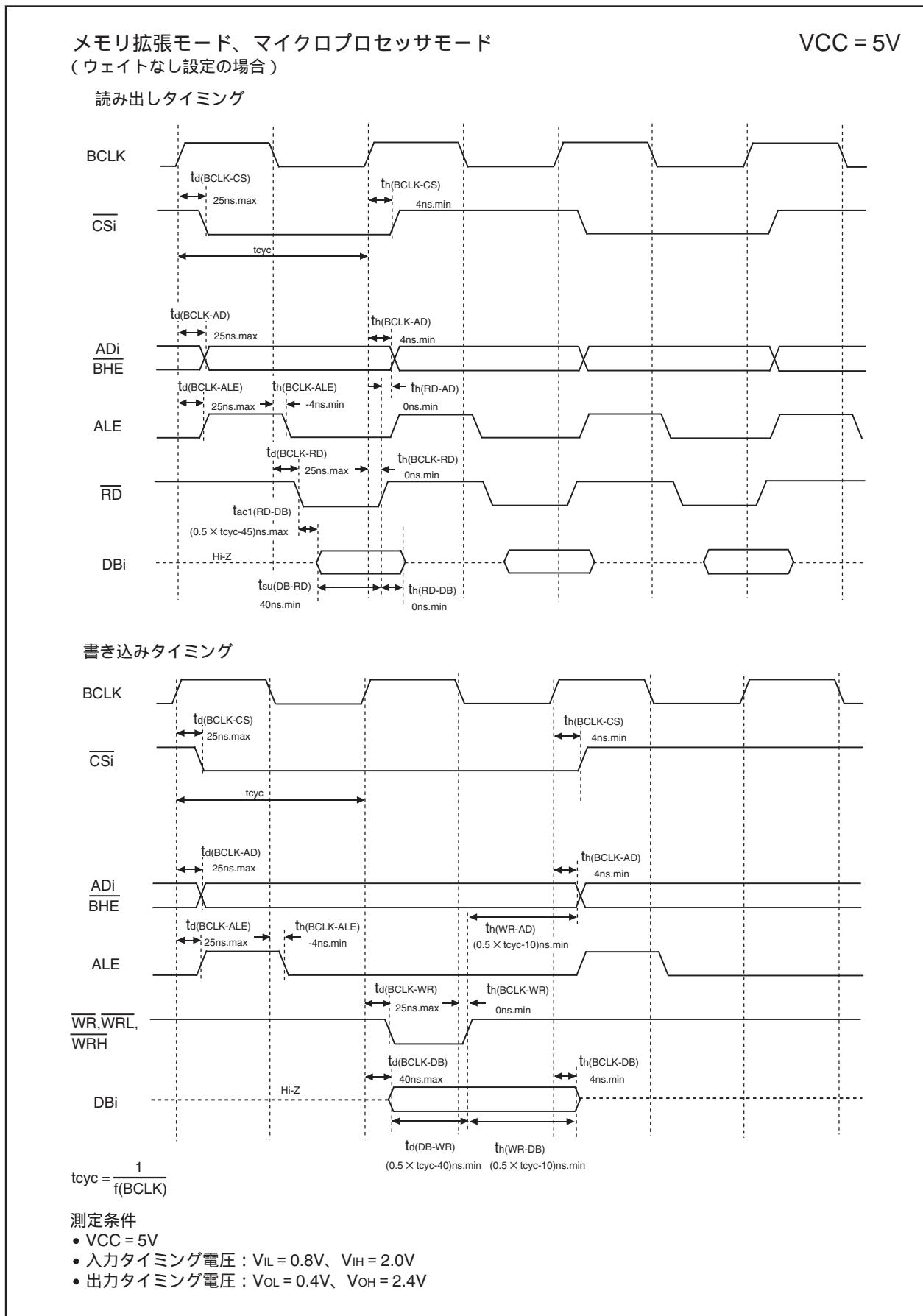
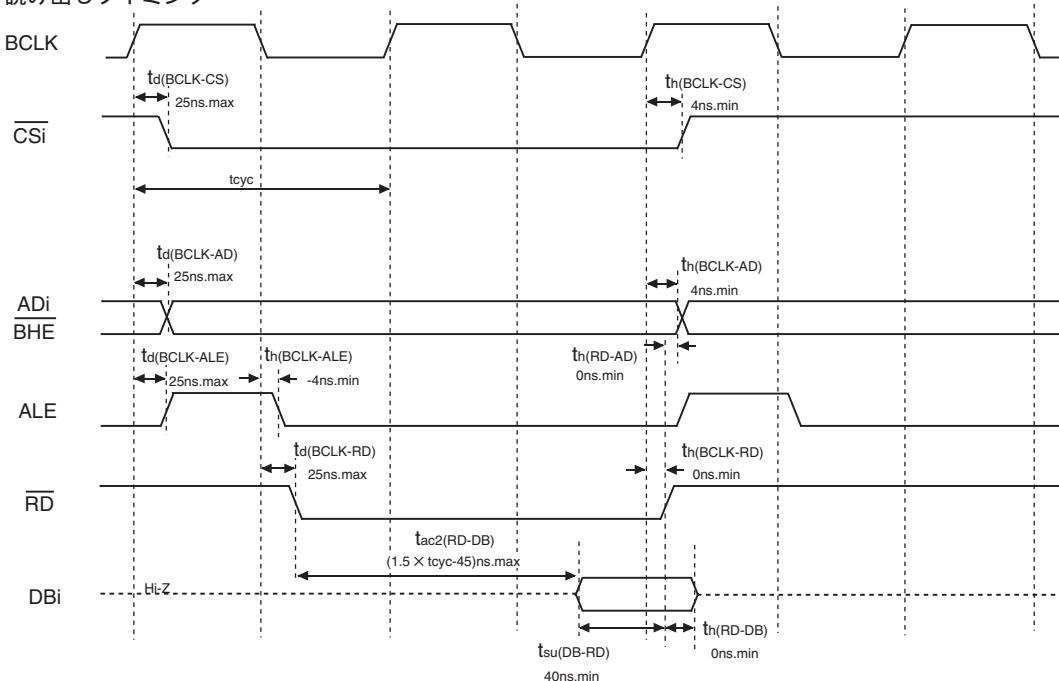


図22.6 タイミング図(3)

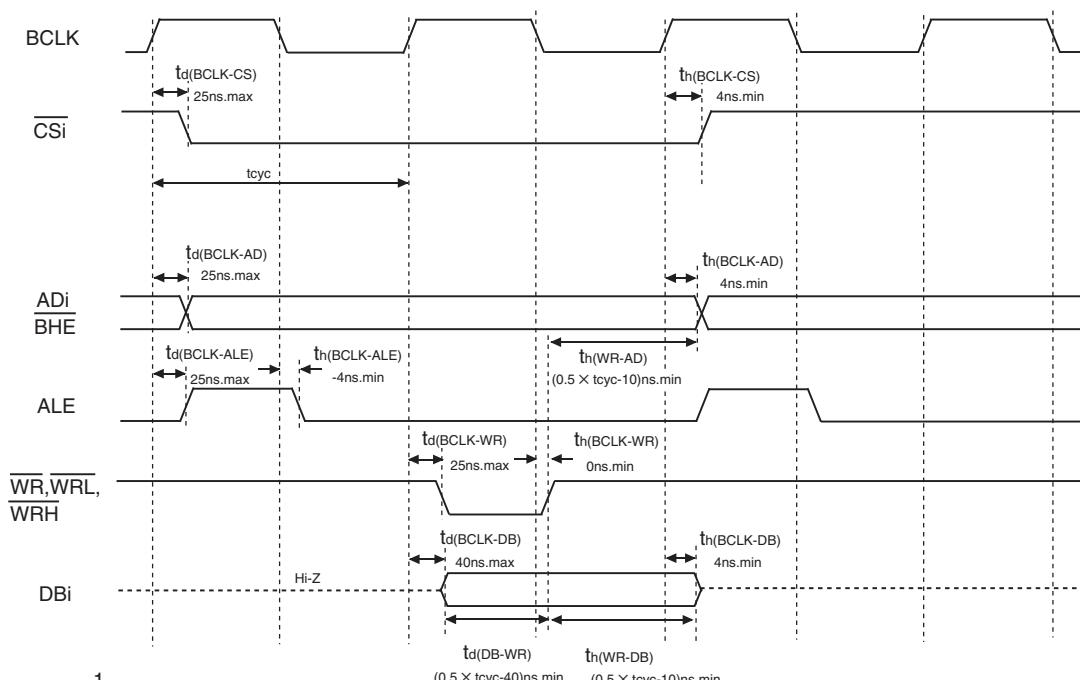
メモリ拡張モード、マイクロプロセッサモード
(1ウェイト設定、外部領域をアクセスした場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

- VCC = 5V
- 入力タイミング電圧: $V_{IL} = 0.8V$ 、 $V_{IH} = 2.0V$
- 出力タイミング電圧: $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$

図22.7 タイミング図(4)

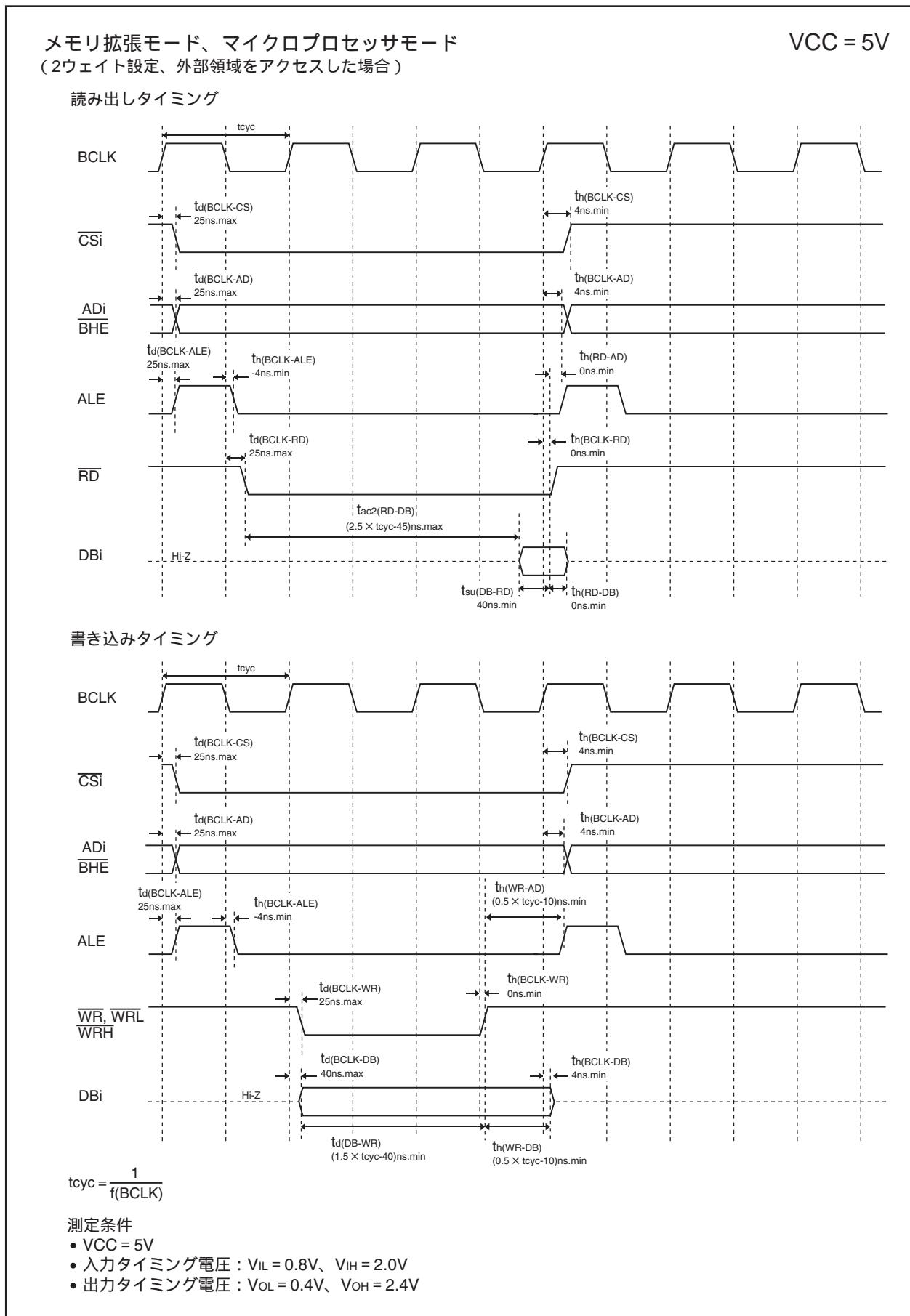


図22.8 タイミング図(5)

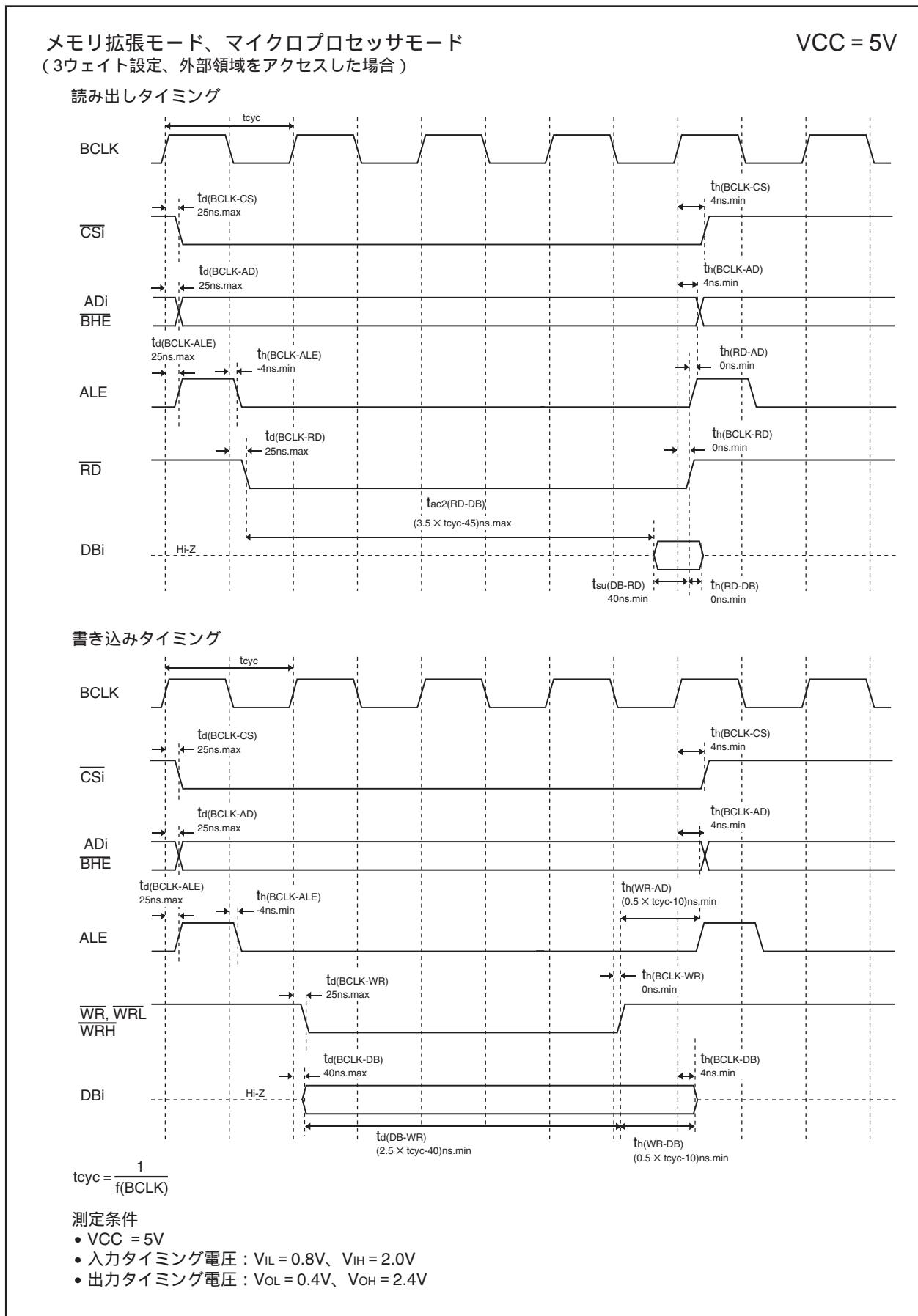
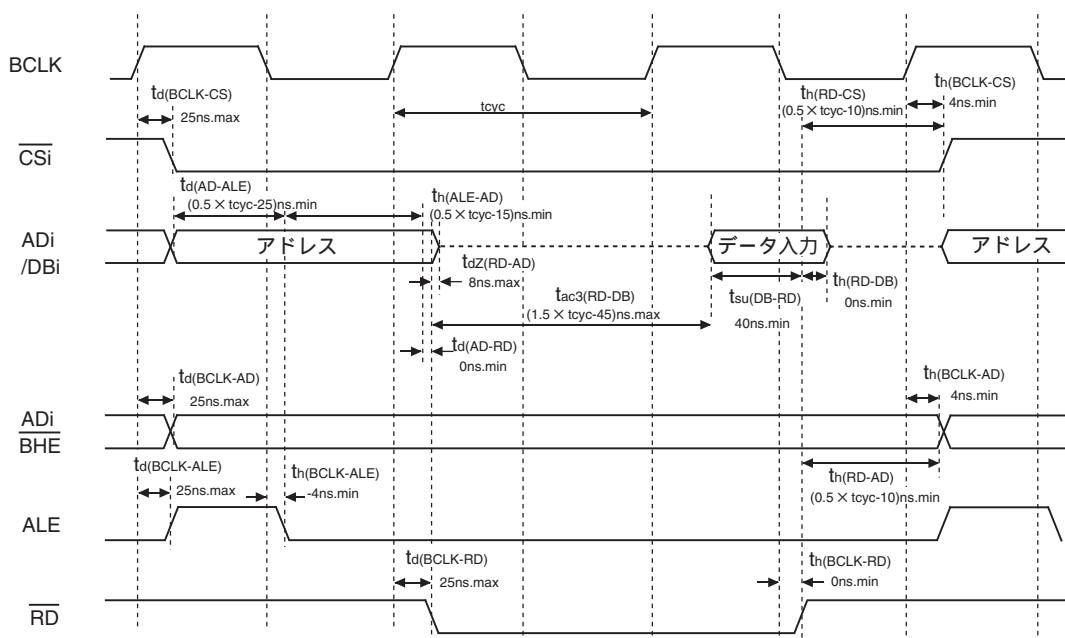


図22.9 タイミング図(6)

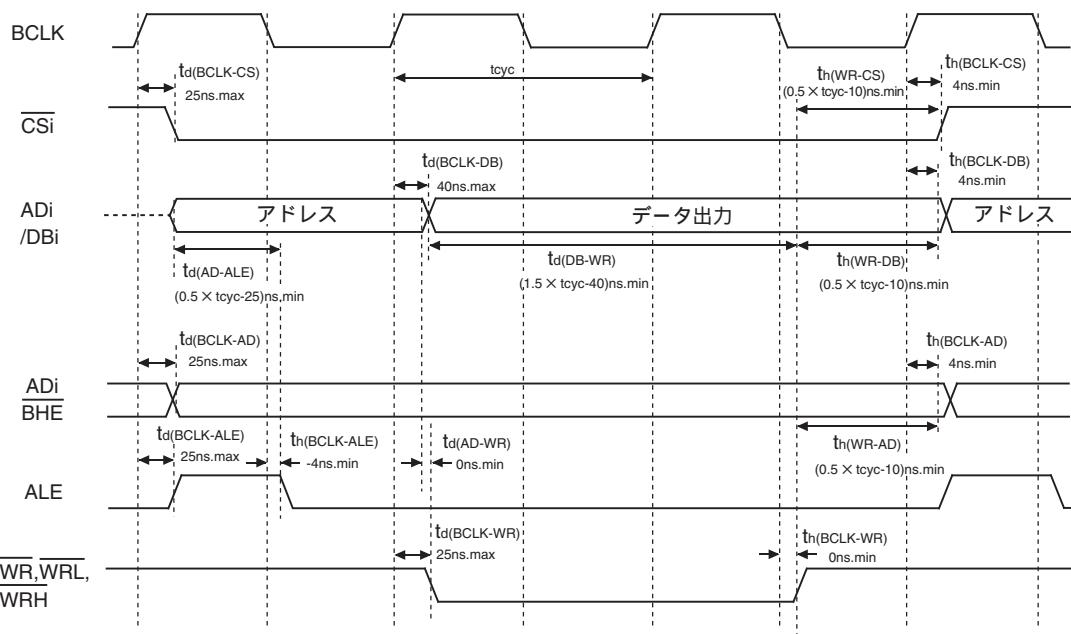
メモリ拡張モード、マイクロプロセッサモード
(1ウェイト設定または2ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

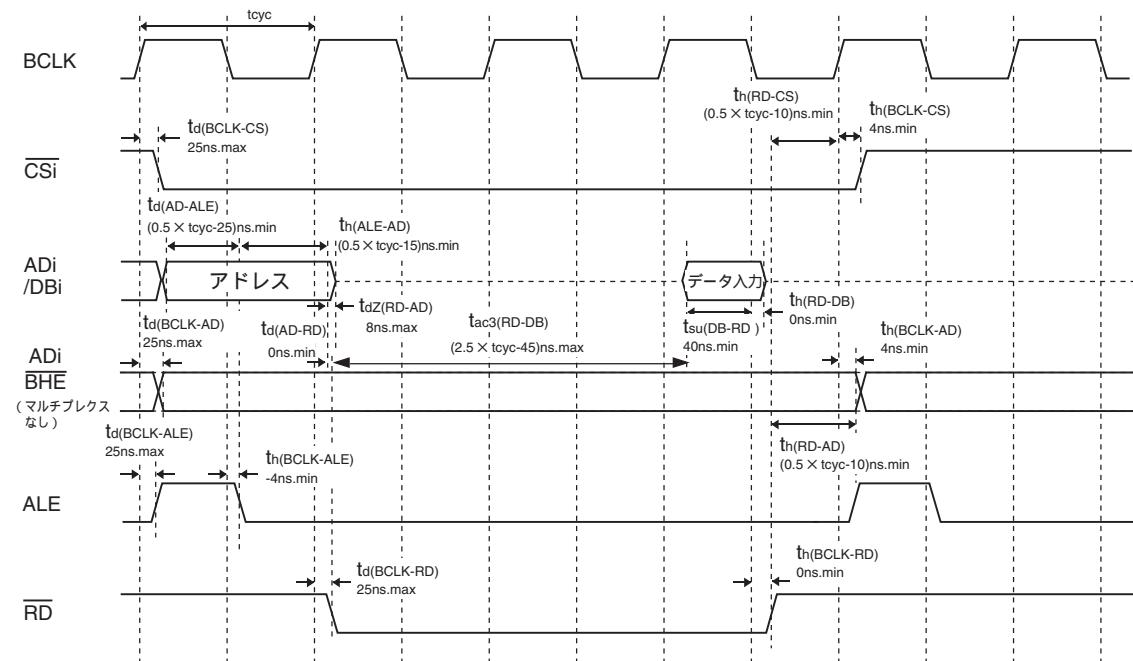
- VCC = 5V
- 入力タイミング電圧 : $V_{IL} = 0.8V$ 、 $V_{IH} = 2.0V$
- 出力タイミング電圧 : $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$

図22.10 タイミング図(7)

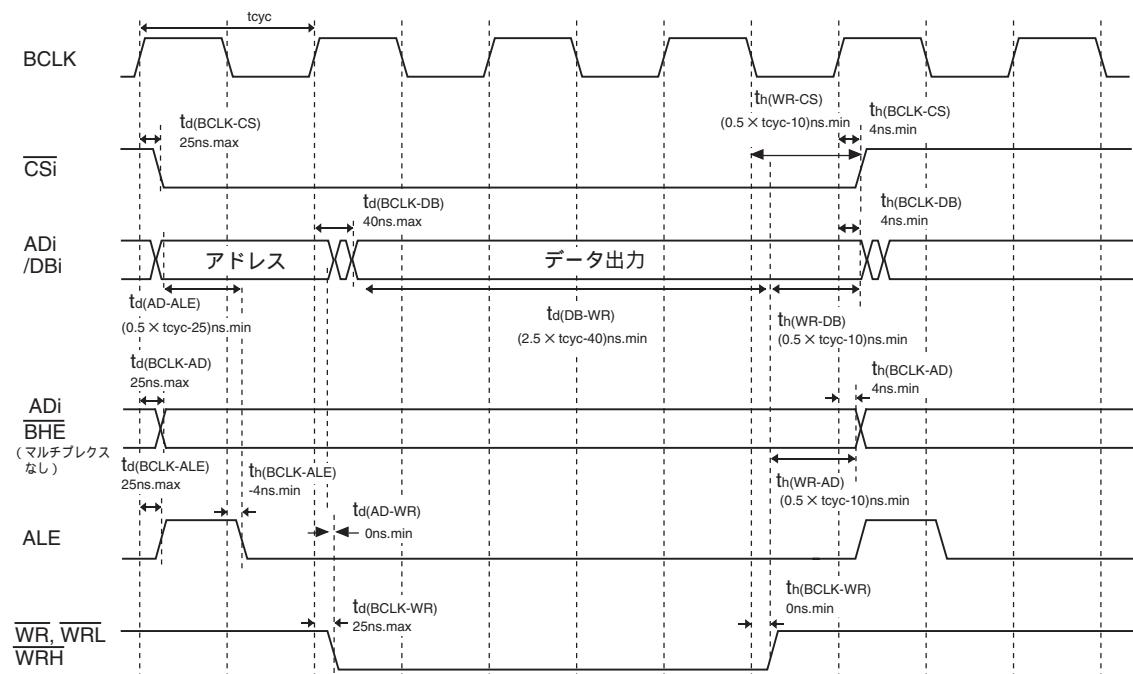
メモリ拡張モード、マイクロプロセッサモード
(3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

- VCC = 5V
- 入力タイミング電圧 : V_{IL} = 0.8V, V_{IH} = 2.0V
- 入力タイミング電圧 : V_{OL} = 0.4V, V_{OH} = 2.4V

図22.11 タイミング図(8)

22.2 電気的特性(Normal-ver.)

表22.26 絶対最大定格

記号	項目		条件	定格値	単位
V _{cc}	電源電圧(VCC1 = VCC2)		VCC = AVCC	- 0.3 ~ 6.5	V
A _{Vcc}	アナログ電源電圧		VCC = AVCC	- 0.3 ~ 6.5	V
V _I	入力電圧	RESET, CNVSS, BYTE, P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, VREF, XIN P7_1, P9_1		- 0.3 ~ VCC+0.3 - 0.3 ~ 6.5	V
V _O	出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, XOUT P7_1, P9_1		- 0.3 ~ VCC+0.3 - 0.3 ~ 6.5	V
P _d	消費電力		T _{opr} = 25	700	mW
T _{opr}	動作周囲温度	マイコン動作時		- 40 ~ 85	
		フラッシュメモリ書き込み消去時		0 ~ 60	
T _{stg}	保存温度			- 65 ~ 150	

表22.27 推奨動作条件(1)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧(V _{CC1} = V _{CC2})	3.0	5.0	5.5	V
A _{VCC}	アナログ電源電圧		V _{CC}		V
V _{SS}	電源電圧		0		V
A _{VSS}	アナログ電源電圧		0		V
V _{IH}	" H "入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	0.8V _{CC}		V _{CC}	V
	P7_1, P9_1	0.8V _{CC}		6.5	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時)	0.8V _{CC}		V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5V _{CC}		V _{CC}	V
V _{IL}	" L "入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	0		0.2V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時)	0		0.2V _{CC}	V
	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		0.16V _{CC}	V
I _{OH(peak)}	" H "尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7			- 10.0	mA
I _{OH(avg)}	" H "平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7			- 5.0	mA
I _{OL(peak)}	" L "尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7			10.0	mA
I _{OL(avg)}	" L "平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7			5.0	mA

注1 . 指定のない場合は、V_{CC} = 3.0 ~ 5.5V、Topr = - 40 ~ 85 です。

注2 . 平均出力電流は100msの期間内での平均値です。

注3 . ポートP0, P1, P2, P8_6, P8_7, P9, P10のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0 ~ P8_4のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2のI_{OH(peak)}の合計は-40mA以下、ポートP3, P4, P5のI_{OH(peak)}の合計は-40mA以下、ポートP6, P7, P8_0 ~ P8_4のI_{OH(peak)}の合計は-40mA以下、ポートP8_6, P8_7, P9, P10のI_{OH(peak)}の合計は-40mA以下にしてください。

表22.28 推奨動作条件(2)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
f(XIN)	メインクロック入力 発振周波数(注2、3、4)なし	ウェイト マスクROM版 フラッシュメモリ版	VCC = 3.0 ~ 5.5V	0	16 MHz
f(XCIN)	サブクロック周波数			32.768	50 kHz
f(Ring)	オンチップオシレータ発振周波数			1	MHz
f(PLL)	PLLクロック発振周波数		16	24	MHz
f(BCLK)	CPU動作周波数	VCC = 3.0 ~ 5.5V	0	24	MHz
t _{su(PLL)}	PLL周波数シンセサイザ安定待ち時間			20	ms
f _(ripple)	電源リップル許容周波数(VCC)			10	kHz
V _{P-P(ripple)}	電源リップル許容振幅電圧	VCC = 5V		0.5	V
		VCC = 3.3V		0.3	
V _{CC(ΔV/ΔT)}	電源リップル立ち上がり / 立ち下がり勾配	VCC = 5V		0.3	V/ms
		VCC = 3.3V		0.3	

注1. 指定のない場合は、VCC = 3.0 ~ 5.5V、Topr = - 40 ~ 85 です。

注2. メインクロック入力周波数と電源電圧の関係を右に示します。

注3. フラッシュメモリの書き込み/消去は、VCC = 3.3V ± 0.3VまたはVCC

= 5.0V ± 0.5Vしてください。

注4. 16MHzを超えて使用する場合は、PLLクロックを使用してください。

使用できるPLLクロックの周波数は16MHz、20MHzまたは24MHzです。

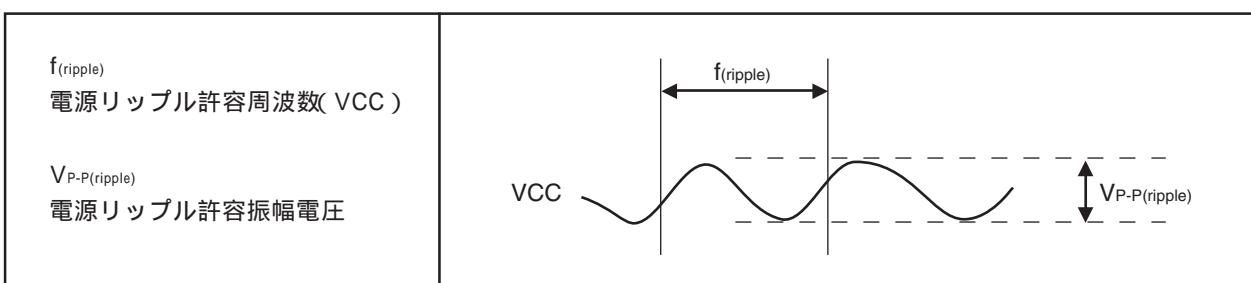
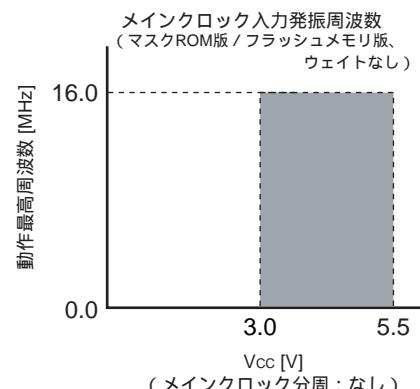


図22.12 電源変動のタイミング図

表22.29 A/D変換特性(注1)

記号	項目	測定条件			規格値			単位
			最小	標準	最大			
-	分解能	VREF = VCC					10	Bits
INL	積分非直線性誤差	10ビット	VREF = VCC = 5V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 3	LSB
			VREF = VCC = 3.3V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 7	LSB
			VREF = AVCC = VCC = 5V、3.3V				± 5	LSB
		8ビット	VREF = VCC = 5V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 7	LSB
			VREF = VCC = 3.3V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 2	LSB
			VREF = AVCC = VCC = 5V、3.3V				± 2	LSB
-	絶対精度	10ビット	VREF = VCC = 5V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 3	LSB
8ビット	VREF = VCC = 3.3V	ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 外部オペアンプ接続モード			± 7	LSB		
	VREF = AVCC = VCC = 5V、3.3V				± 5	LSB		
	VREF = AVCC = VCC = 5V、3.3V				± 7	LSB		
DNL	微分非直線性誤差						± 1	LSB
-	オフセット誤差						± 3	LSB
-	ゲイン誤差						± 3	LSB
R_LADDER	ラダー抵抗	VREF = VCC			10		40	k
t_CONV	変換時間(10ビット) サンプル&ホールドあり	VREF = VCC = 5V, AD = 10MHz			3.3			μs
	変換時間(8ビット) サンプル&ホールドあり	VREF = VCC = 5V, AD = 10MHz			2.8			μs
t Samp	サンプリング時間				0.3			μs
V_REF	基準電圧				2.0		V _{cc}	V
V _{IA}	アナログ入力電圧				0		V _{ref}	V

注1 . 指定のない場合は、VCC = AVCC = VREF = 3.3 ~ 5.5V、VSS = AVSS = 0V、Topr = - 40 ~ 85 です。

注2 . ADの周波数は10MHz以下にしてください。

注3 . サンプル&ホールドなしの場合、注2の制限に加え ADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、注2の制限に加え ADの周波数は1MHz以上にしてください。

表22.30 D/A変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{su}	設定時間				3	μs
R _o	出力抵抗		4	10	20	k
I _{VREF}	基準電源入力電流 (注2)				1.5	mA

注1 . 指定のない場合は、VCC = VREF = 3.3 ~ 5.5V、VSS = AVSS = 0V、Topr = - 40 ~ 85 です。

注2 . D/Aコンバータ1本使用、使用していないD/AコンバータのDA_iレジスタ(i = 0、1)の値が" 00h "の場合です。A/Dコンバータのラダー抵抗分は除きます。また、ADCON1レジスタでVREF未接続とした場合でも、D/AコンバータのI_{VREF}は流れます。

表22.31 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間	$VCC = 3.0 \sim 5.5 V$			2	ms
$t_{d(R-S)}$	STOP解除時間				150	μs
$t_{d(W-S)}$	低消費電力モードウェイトモード解除時間				150	μs

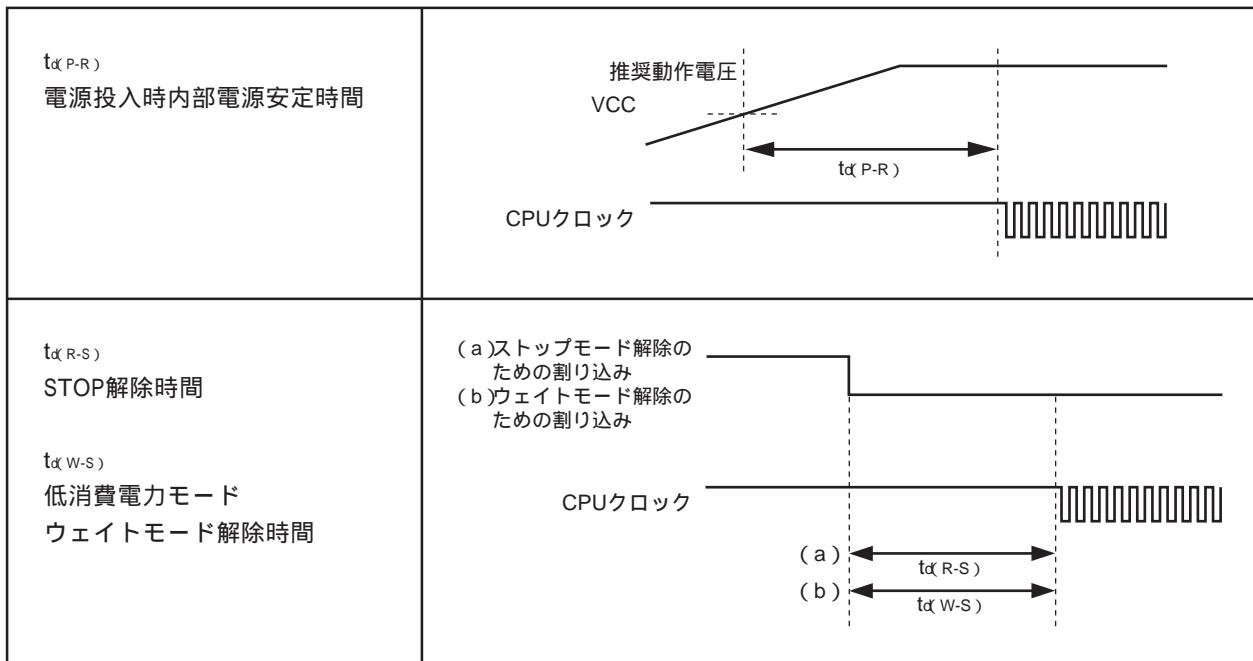


図22.13 電源回路のタイミング図

表22.32 電気的特性(1)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	" H "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$I_{OH} = - 5\text{mA}$	$V_{cc}-2.0$		V_{cc}	V
V_{OH}	" H "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$I_{OH} = - 200\mu\text{A}$	$V_{cc}-0.3$		V_{cc}	V
V_{OL}	" H "出力電圧 XOUT	HIGHPOWER	$I_{OH} = - 1\text{mA}$	3.0		V
		LOWPOWER	$I_{OH} = - 0.5\text{mA}$	3.0		V_{cc}
V_{OL}	" H "出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5	V
		LOWPOWER	無負荷時		1.6	
V_{OL}	" L "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7	$I_{OL} = 5\text{mA}$			2.0	V
V_{OL}	" L "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7	$I_{OL} = 200\mu\text{A}$			0.45	V
V_{OL}	" L "出力電圧 XOUT	HIGHPOWER	$I_{OL} = 1\text{mA}$		2.0	V
		LOWPOWER	$I_{OL} = 0.5\text{mA}$		2.0	
$V_{T+}-V_{T-}$	" L "出力電圧 XCOUT	HIGHPOWER	無負荷時		0	V
		LOWPOWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, NMI, ADTRG, CTS0 ~ CTS2, SCL0 ~ SCL2, SDA0 ~ SDA2, CLK0 ~ CLK3, TA0OUT ~ TA4OUT, KI0 ~ KI3, RXD0 ~ RXD2, SIN3			0.2	1.0	V
$V_{T+}-V_{T-}$	ヒステリシス RESET			0.2	2.5	V
I_{IH}	" H "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 5\text{V}$			5.0	μA
I_{IL}	" L "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 0\text{V}$			-5.0	μA
R_{PULLUP}	プルアップ抵抗 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$V_I = 0\text{V}$	30	50	170	k
R_{IXIN}	帰還抵抗 XIN				1.5	M
R_{IXCIN}	帰還抵抗 XCIN				15	M
V_{RAM}	RAM保持電圧	ストップモード時	2.0			V

注1 . 指定のない場合は、 $VCC = 4.2 \sim 5.5\text{V}$ 、 $VSS = 0\text{V}$ 、 $T_{opr} = - 40 \sim 85^\circ\text{C}$ 、 $f(BCLK) = 24\text{MHz}$ です。

表22.33 電気的特性(2)(注1)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I _{cc}	電源電流 (VCC = 3.0 ~ 5.5V) で、出力端子は開放、 その他の端子はVSS	マスクROM	f(BCLK) = 24MHz、 PLL動作時、分周なし オンチップオシレータ 発振動作時、分周なし		18	32	mA
			オンチップオシレータ 発振動作時、分周なし		1		mA
		フラッシュメモリ	f(BCLK) = 24MHz、 PLL動作時、分周なし オンチップオシレータ 発振動作時、分周なし		20	34	mA
			オンチップオシレータ 発振動作時、分周なし		1.8		mA
		フラッシュメモリ プログラム	f(BCLK) = 10MHz、 VCC = 5V		15		mA
		フラッシュメモリ イレーズ	f(BCLK) = 10MHz、 VCC = 5V		25		mA
		マスクROM	f(BCLK) = 32kHz、 低消費電力モード時 ROM 上 (注2)		25		μA
		フラッシュメモリ	f(BCLK) = 32kHz、 低消費電力モード時 RAM上 (注2)		25		μA
			f(BCLK) = 32kHz、 低消費電力モード時 フラッシュメモリ上 (注2)		420		μA
		マスクROM フラッシュメモリ	オンチップオシレータ 発振動作、 ウェイトモード時		50		μA
			f(BCLK) = 32kHz、 ウェイトモード時 (注3) 発振能力High		8.5		μA
			f(BCLK) = 32kHz、 ウェイトモード時 (注3) 発振能力Low		3.0		μA
		ストップモード時、 Topr = 25 °C			0.8	3.0	μA

注1 . 指定のない場合は、VCC = 3.0 ~ 5.5V、VSS = 0V、Topr = - 40 ~ 85 、f(BCLK) = 24MHzです。

注2 . 実行するプログラムが存在するメモリを示します。

注3 . fC32にてタイマ1本を動作させている状態です。

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.34 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	62.5		ns
t _{w(H)}	外部クロック入力“H”パルス幅	25		ns
t _{w(L)}	外部クロック入力“L”パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表22.35 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1(RD-DB)}	データ入力アクセス時間(ウェイトなし設定)		(注1)	ns
t _{ac2(RD-DB)}	データ入力アクセス時間(ウェイトあり設定)		(注2)	ns
t _{ac3(RD-DB)}	データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合)		(注3)	ns
t _{su(DB-RD)}	データ入力セットアップ時間	40		ns
t _{su(RDY-BCLK)}	RDY入力セットアップ時間	30		ns
t _{su(HOLD-BCLK)}	HOLD入力セットアップ時間	40		ns
t _{h(RD-DB)}	データ入力ホールド時間	0		ns
t _{h(BCLK-RDY)}	RDY入力ホールド時間	0		ns
t _{h(BCLK-HOLD)}	HOLD入力ホールド時間	0		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 45 [ns] \quad nは1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 45 [ns] \quad nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”$$

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

VCC = 5V

表22.36 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

表22.37 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200		ns

表22.38 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表22.39 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表22.40 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表22.41 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

タイミング必要条件

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

VCC = 5V

表22.42 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間(片エッジカウント)	100		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
t _{c(TB)}	TBiIN入力サイクル時間(兩エッジカウント)	200		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅(兩エッジカウント)	80		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅(兩エッジカウント)	80		ns

表22.43 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間	400		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅	200		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅	200		ns

表22.44 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間	400		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅	200		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅	200		ns

表22.45 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{c(AD)}	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
t _{w(ADL)}	ADTRG入力“L”パルス幅	125		ns

表22.46 シリアルインターフェース

記号	項目	規格値		単位
		最小	最大	
t _{c(CK)}	CLKi入力サイクル時間	200		ns
t _{w(CKH)}	CLKi入力“H”パルス幅	100		ns
t _{w(CKL)}	CLKi入力“L”パルス幅	100		ns
t _{d(C-Q)}	TXDi出力遅延時間		80	ns
t _{h(C-Q)}	TXDiホールド時間	0		ns
t _{su(D-C)}	RXDi入力セットアップ時間	70		ns
t _{h(C-D)}	RXDi入力ホールド時間	90		ns

表22.47 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _{w(INH)}	INTi入力“H”パルス幅	250		ns
t _{w(INL)}	INTi入力“L”パルス幅	250		ns

スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.48 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図22.14		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間(BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間(RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間(WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間(BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		- 4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間(BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間(BCLK基準)(注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間(WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間(WR基準)(注3)		(注1)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]} \quad f(\text{BCLK}) \text{ は } 12.5 \text{ MHz} \text{ 以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = - CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。例えば、

$$V_{OL} = 0.2 \text{ V}_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 \text{ pF} \times 1k \times \ln(1 - 0.2 \text{ V}_{CC} / \text{V}_{CC}) = 6.7 \text{ ns}$$

となります。

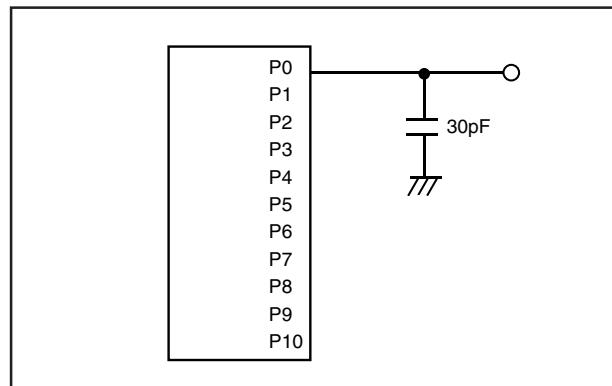
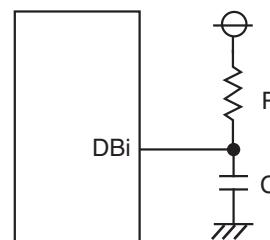


図22.14 ポートP0 ~ P10の測定回路

スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85 °C)

VCC = 5V

表22.49 メモリ拡張モード、マイクロプロセッサモード(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(BCLK-AD)$	アドレス出力遅延時間	図22.14		25	ns
$t_h(BCLK-AD)$	アドレス出力保持時間(BCLK基準)		4		ns
$t_h(RD-AD)$	アドレス出力保持時間(RD基準)		0		ns
$t_h(WR-AD)$	アドレス出力保持時間(WR基準)		(注1)		ns
$t_d(BCLK-CS)$	チップセレクト出力遅延時間			25	ns
$t_h(BCLK-CS)$	チップセレクト出力保持時間(BCLK基準)		4		ns
$t_d(BCLK-ALE)$	ALE信号出力遅延時間			15	ns
$t_h(BCLK-ALE)$	ALE信号出力保持時間		- 4		ns
$t_d(BCLK-RD)$	RD信号出力遅延時間			25	ns
$t_h(BCLK-RD)$	RD信号出力保持時間		0		ns
$t_d(BCLK-WR)$	WR信号出力遅延時間			25	ns
$t_h(BCLK-WR)$	WR信号出力保持時間		0		ns
$t_d(BCLK-DB)$	データ出力遅延時間(BCLK基準)			40	ns
$t_h(BCLK-DB)$	データ出力保持時間(BCLK基準)(注3)		4		ns
$t_d(DB-WR)$	データ出力遅延時間(WR基準)		(注2)		ns
$t_h(WR-DB)$	データ出力保持時間(WR基準)(注3)		(注1)		ns
$t_d(BCLK-HLDA)$	HLDA出力遅延時間			40	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 40 [ns] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、} \\ \text{3ウェイト設定の場合“3”} \\ n = 1 \text{の場合は、} f(BCLK) \text{は12.5MHz以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量や
プルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = - CR \times \ln(1 - V_{OL} / V_{CC})$$

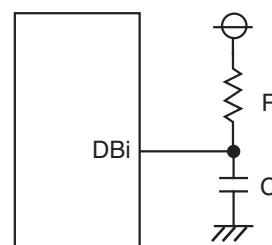
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 pF, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 pF \times 1 k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 ns$$

となります。



スイッチング特性

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 5V

表22.50 メモリ拡張モード、マイクロプロセッサモード

(2、3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図22.14		25	ns
t _h (BCLK-AD)	アドレス出力保持時間(BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間(RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間(RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間(BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間(BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns
t _d (BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			15	ns
t _h (BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		- 4		ns
t _d (AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
t _h (ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 40 [ns] \quad nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 25 [ns]$$

注4 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 15 [ns]$$

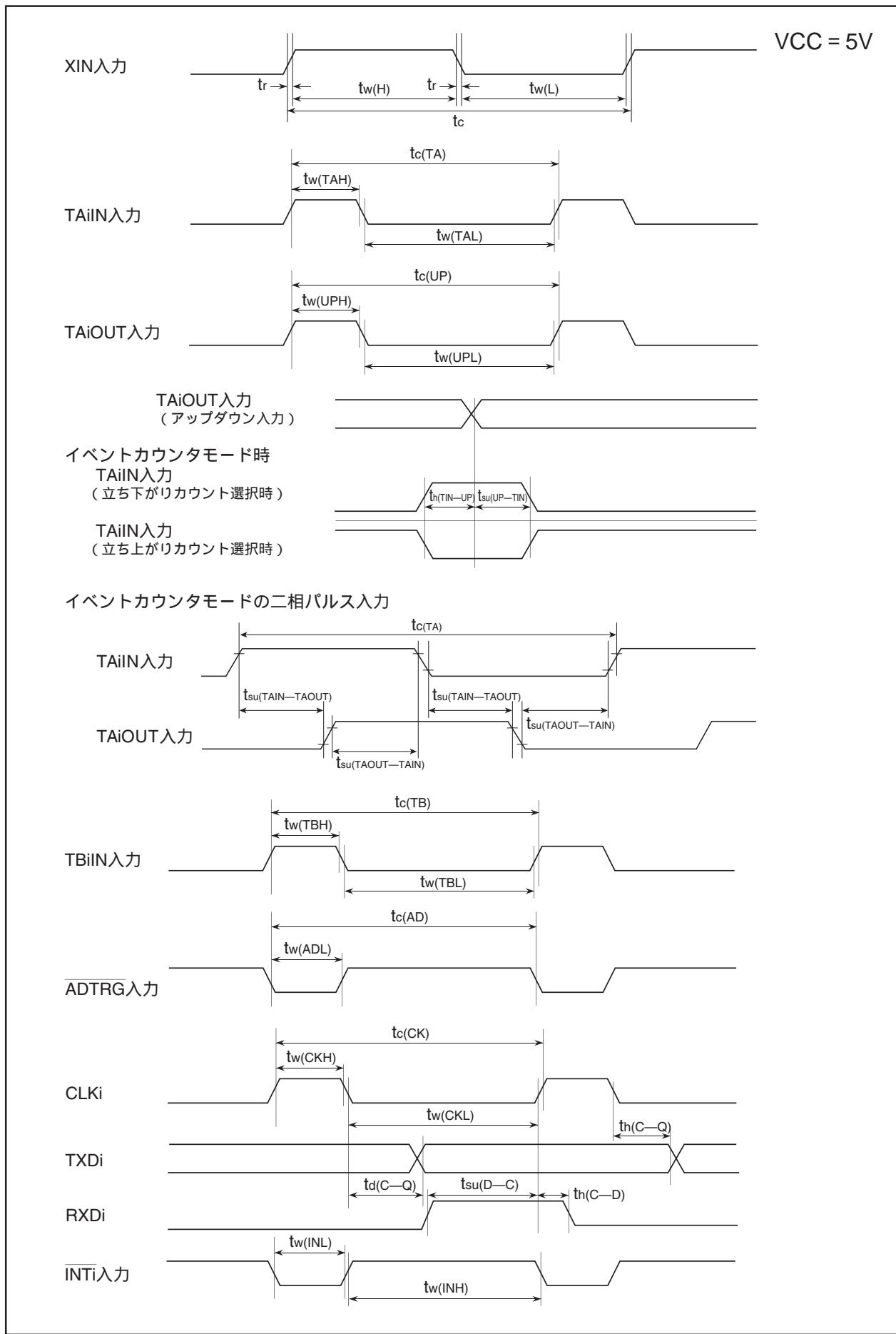
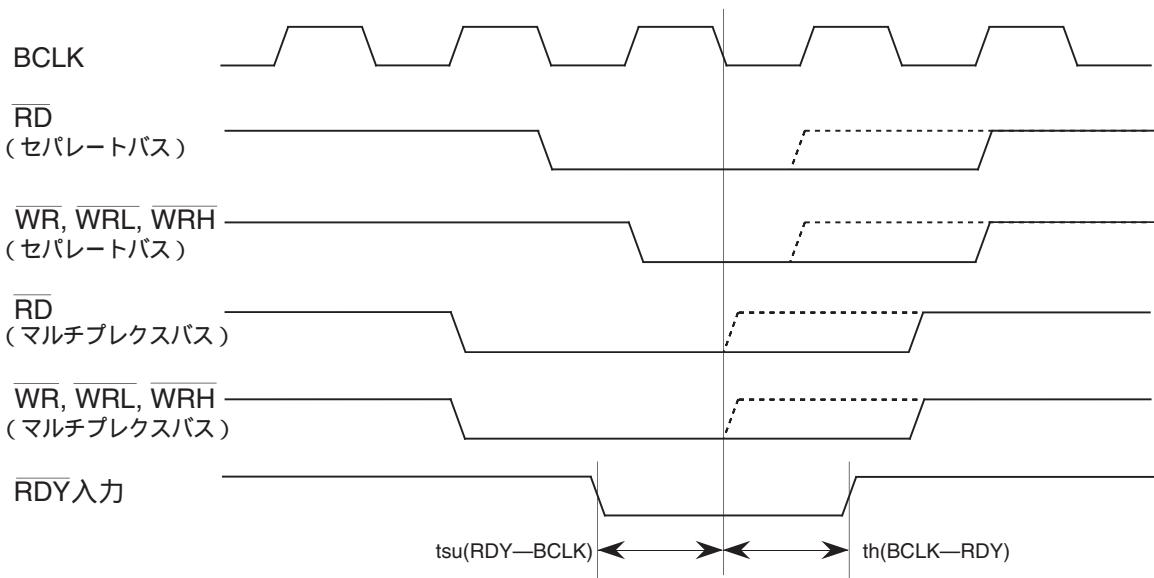


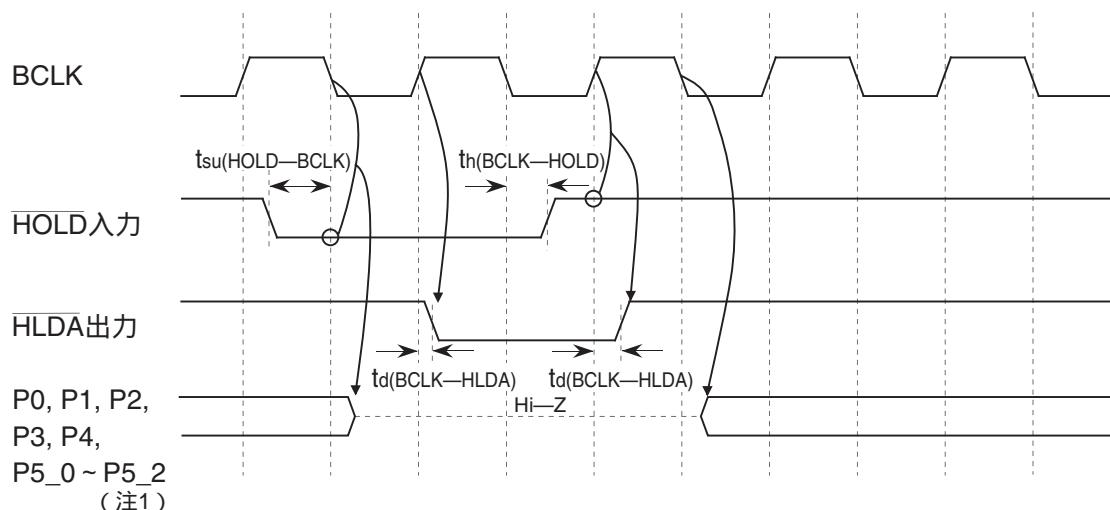
図22.15 タイミング図(1)

メモリ拡張モード、マイクロプロセッサモード
(ウエイトあり設定の場合に有効)

VCC = 5V



(ウエイトあり設定、ウェイトなし設定共通)



注1. BYTE端子の入力レベル、PM0レジスタのPM06ビット、PM1レジスタのPM11ビットにかかわらず、
ハイインピーダンス状態になります。

測定条件

- VCC = 5V
- 入力タイミング電圧 : $V_{IL} = 1.0V$ 、 $V_{IH} = 4.0V$
- 出力タイミング電圧 : $V_{OL} = 2.5V$ 、 $V_{OH} = 2.5V$

図22.16 タイミング図(2)

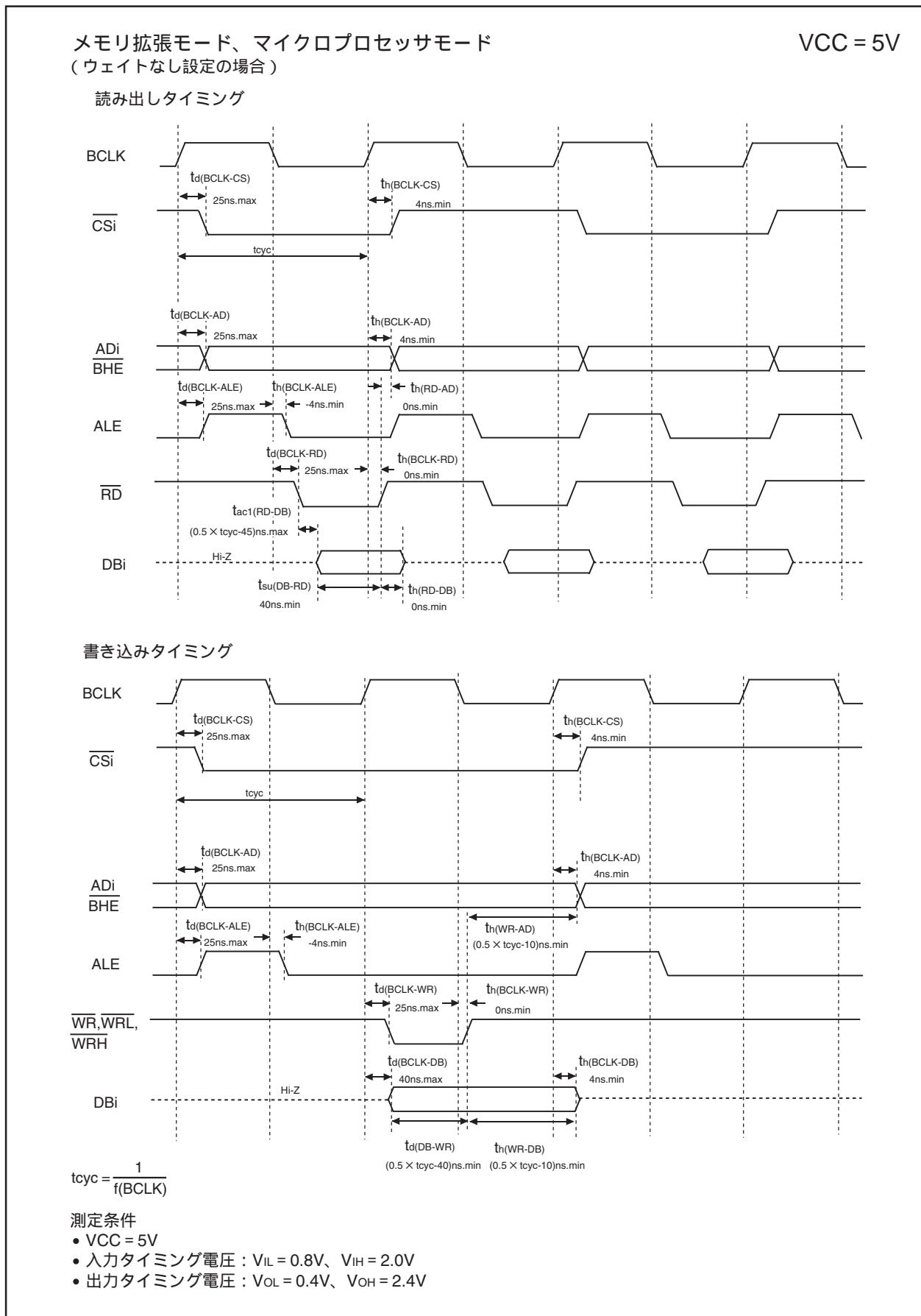
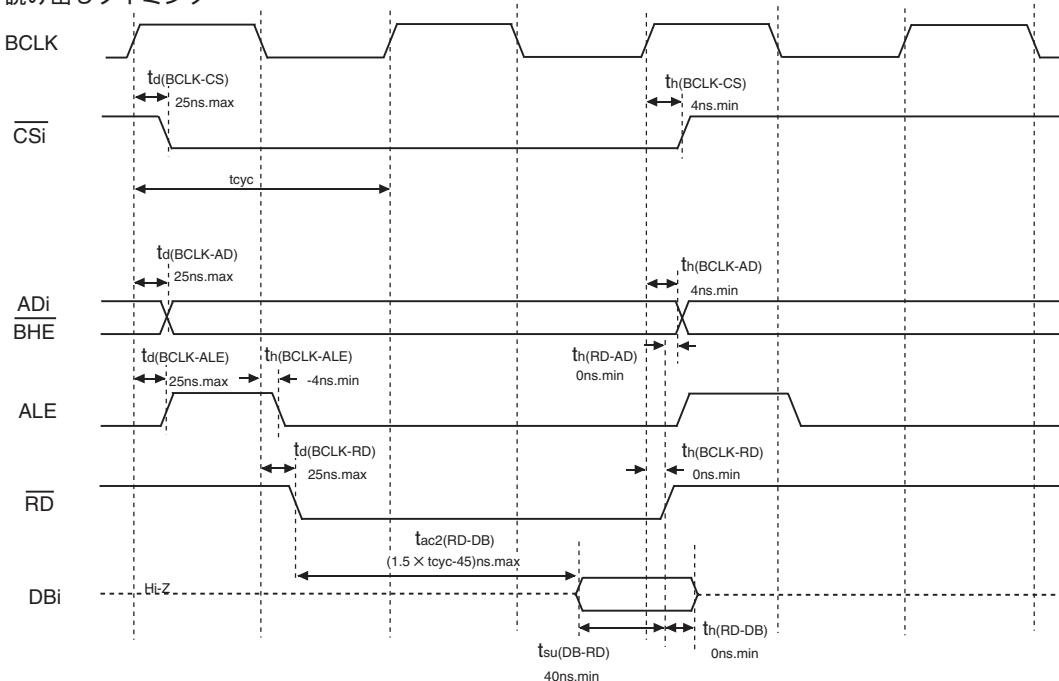


図22.17 タイミング図(3)

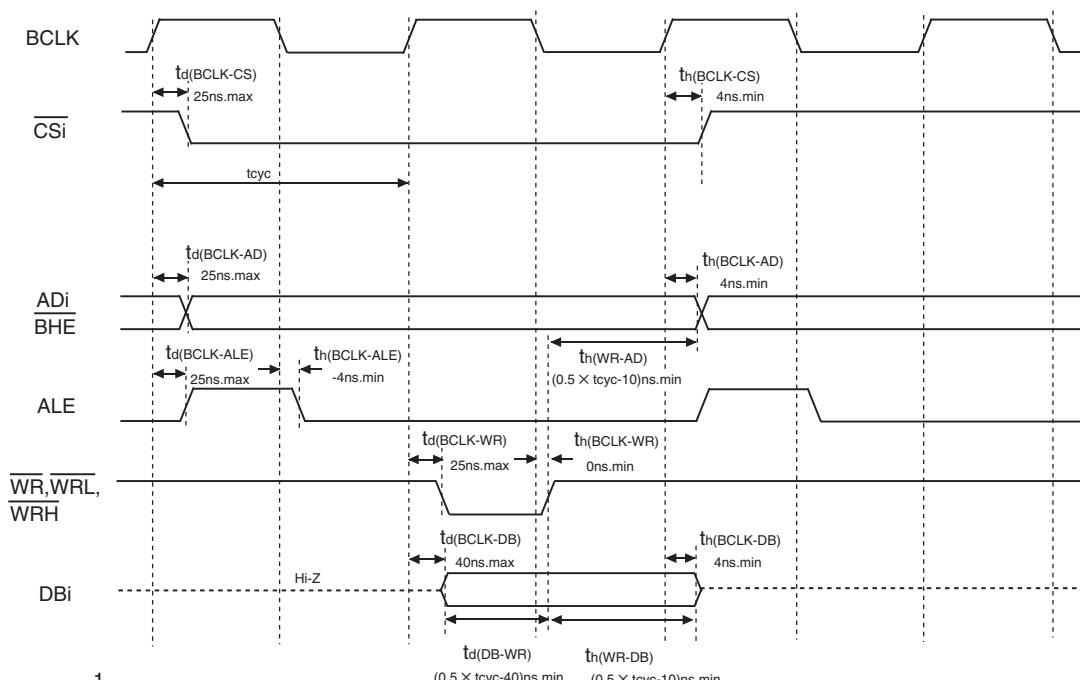
メモリ拡張モード、マイクロプロセッサモード
(1ウェイト設定、外部領域をアクセスした場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$tcyc = \frac{1}{f(BCLK)}$$

測定条件

- VCC = 5V
- 入力タイミング電圧: VIL = 0.8V, VIH = 2.0V
- 出力タイミング電圧: VOL = 0.4V, VOH = 2.4V

図22.18 タイミング図(4)

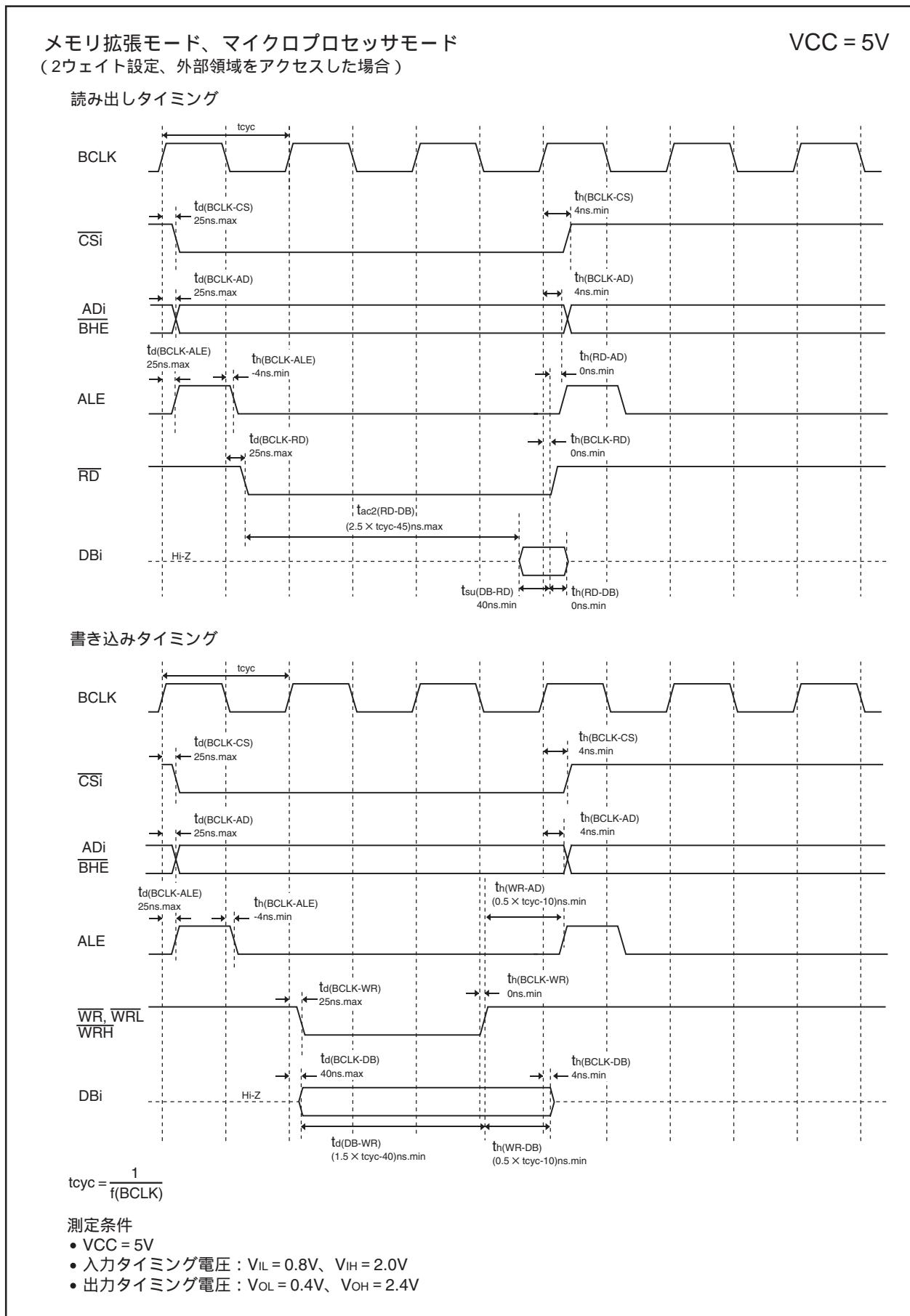


図22.19 タイミング図(5)

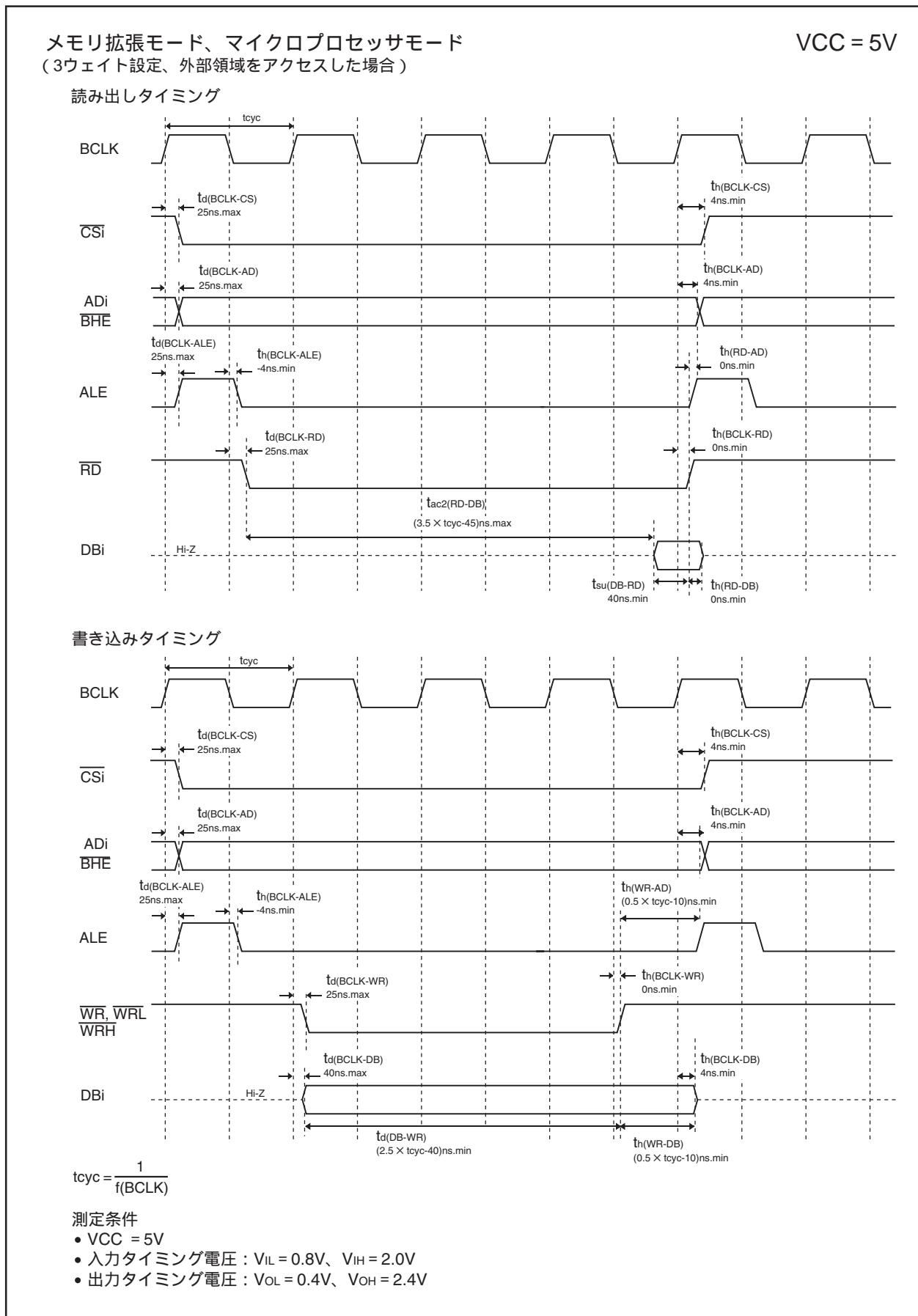
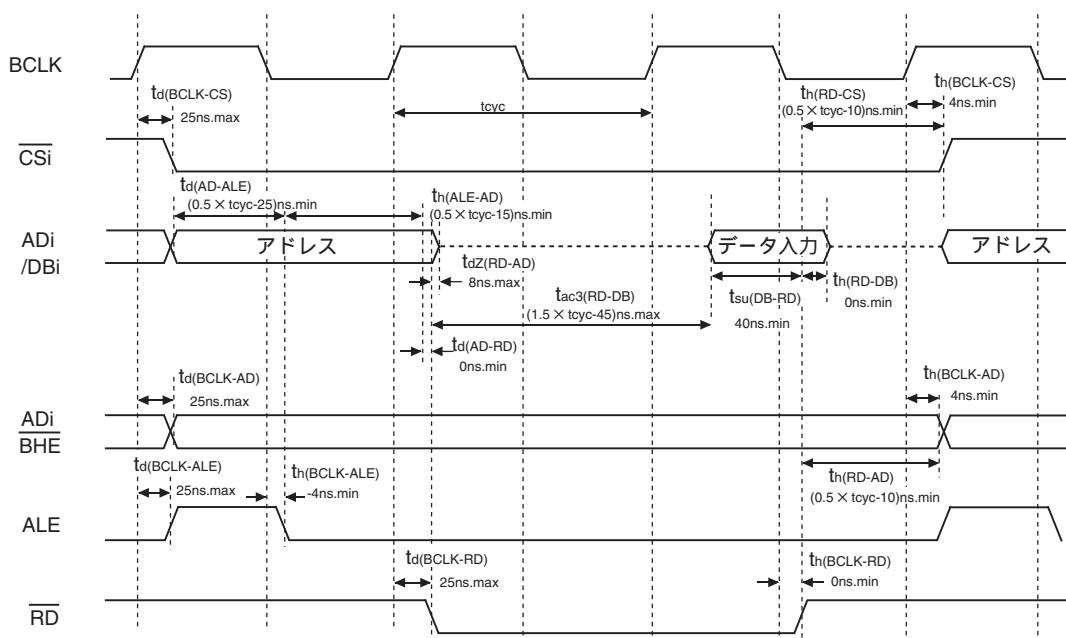


図22.20 タイミング図(6)

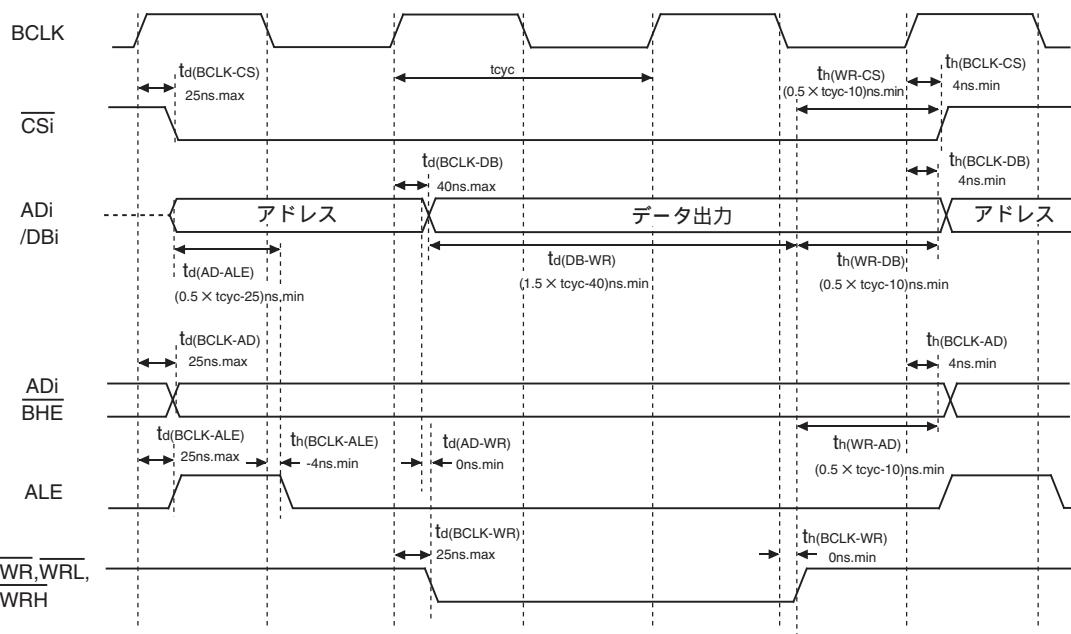
メモリ拡張モード、マイクロプロセッサモード
 (1ウェイト設定または2ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

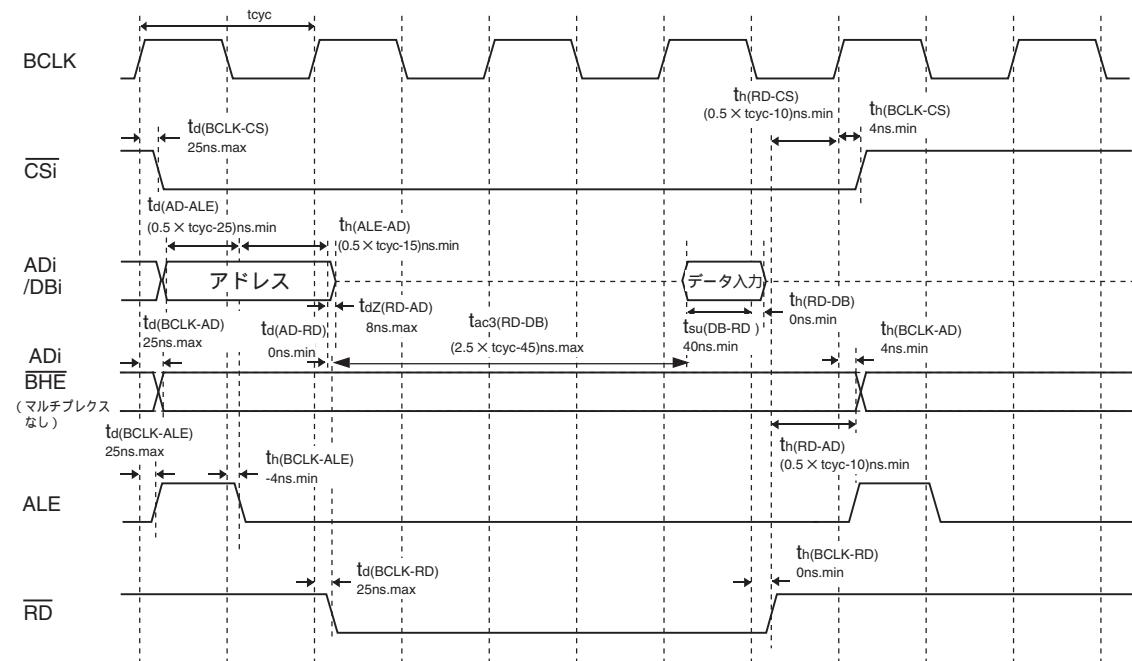
- VCC = 5V
- 入力タイミング電圧 : $V_{IL} = 0.8V$ 、 $V_{IH} = 2.0V$
- 出力タイミング電圧 : $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$

図22.21 タイミング図(7)

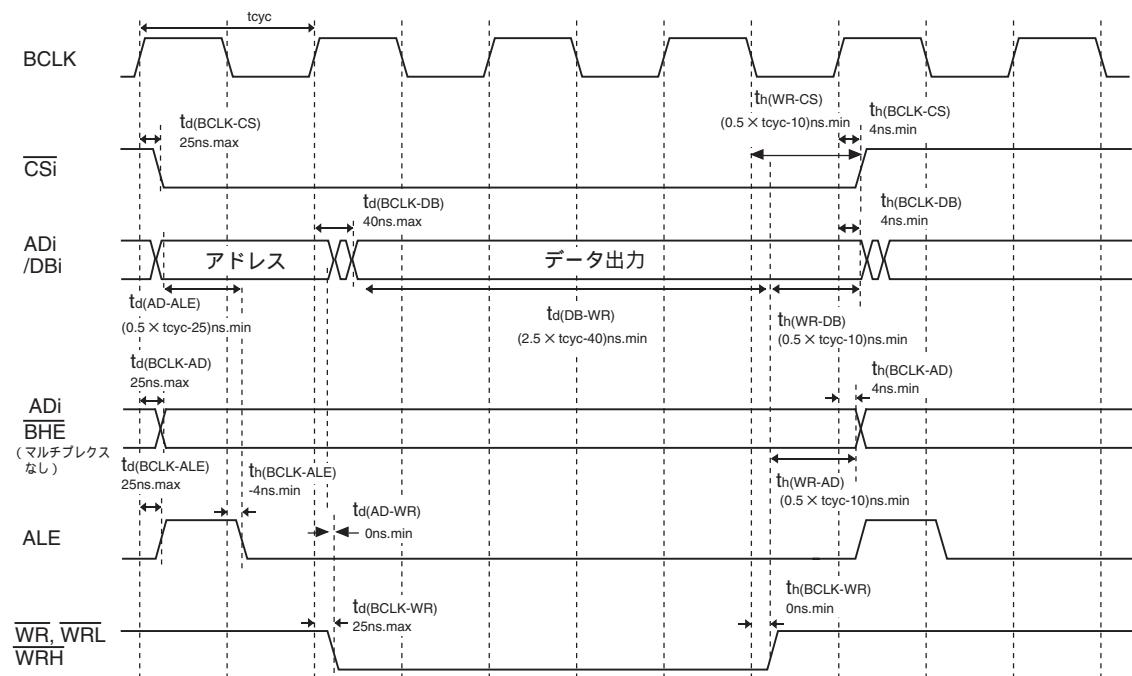
メモリ拡張モード、マイクロプロセッサモード
(3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC = 5V

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(BCLK)}$$

測定条件

- VCC = 5V
- 入力タイミング電圧 : VI_L = 0.8V, VI_H = 2.0V
- 入力タイミング電圧 : VO_L = 0.4V, VO_H = 2.4V

図22.22 タイミング図(8)

表22.51 電気的特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	" H "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$I_{OH} = -1mA$	$V_{cc}-0.5$		V_{cc}	V
V_{OL}	" H "出力電圧 XOUT	HIGHPOWER	$I_{OH} = -0.1mA$	$V_{cc}-0.5$	V_{cc}	V
		LOWPOWER	$I_{OH} = -50\mu A$	$V_{cc}-0.5$	V_{cc}	
	" H "出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5	
		LOWPOWER	無負荷時		1.6	
V_{OL}	" L "出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7	$I_{OL} = 1mA$			0.5	V
V_{OL}	L "出力電圧 XOUT	HIGHPOWER	$I_{OL} = 0.1mA$		0.5	V
		LOWPOWER	$I_{OL} = 50\mu A$		0.5	
	" L "出力電圧 XCOUT	HIGHPOWER	無負荷時		0	
		LOWPOWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, NMI, ADTRG, CTS0 ~ CTS2, SCL0 ~ SCL2, SDA0 ~ SDA2, CLK0 ~ CLK3, TA0OUT ~ TA4OUT, KI0 ~ KI3, RXD0 ~ RXD2, SIN3			0.2		0.8
$V_{T+}-V_{T-}$	ヒステリシス RESET			0.2		1.8
I_{IH}	" H "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 3.3V$			4.0	μA
I_{IL}	" L "入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XIN, RESET, CNVSS, BYTE	$V_I = 0V$			-4.0	μA
R_{PULLUP}	プルアップ抵抗 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7	$V_I = 0V$	50	100	500	k
R_{IXIN}	帰還抵抗 XIN				3.0	M
R_{IXCIN}	帰還抵抗 XCIN				25	M
V_{RAM}	RAM保持電圧	ストップモード時	2.0			V

注1 . 指定のない場合は、 $VCC = 3.0 \sim 3.6V$ 、 $VSS = 0V$ 、 $T_{opr} = -40 \sim 85^\circ C$ 、 $f(BCLK) = 24MHz$ です。

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表22.52 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	62.5		ns
t _{w(H)}	外部クロック入力“H”パルス幅	25		ns
t _{w(L)}	外部クロック入力“L”パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表22.53 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1(RD-DB)}	データ入力アクセス時間(ウェイトなし設定)		(注1)	ns
t _{ac2(RD-DB)}	データ入力アクセス時間(ウェイトあり設定)		(注2)	ns
t _{ac3(RD-DB)}	データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合)		(注3)	ns
t _{su(DB-RD)}	データ入力セットアップ時間	50		ns
t _{su(RDY-BCLK)}	RDY入力セットアップ時間	40		ns
t _{su(HOLD-BCLK)}	HOLD入力セットアップ時間	50		ns
t _{h(RD-DB)}	データ入力ホールド時間	0		ns
t _{h(BCLK-RDY)}	RDY入力ホールド時間	0		ns
t _{h(BCLK-HOLD)}	HOLD入力ホールド時間	0		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 60 [ns] \quad n\text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、} \\ \text{3ウェイト設定の場合“4”}$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 60 [ns] \quad n\text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表22.54 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	150		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	60		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	60		ns

表22.55 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	600		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	300		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	300		ns

表22.56 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	300		ns
t _{w(TAH)}	TAiIN入力“H”パルス幅	150		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	150		ns

表22.57 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _{w(TAH)}	TAiIN入力“H”パルス幅	150		ns
t _{w(TAL)}	TAiIN入力“L”パルス幅	150		ns

表22.58 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(UP)}	TAiOUT入力サイクル時間	3000		ns
t _{w(UPH)}	TAiOUT入力“H”パルス幅	1500		ns
t _{w(UPL)}	TAiOUT入力“L”パルス幅	1500		ns
t _{su(UP-TIN)}	TAiOUT入力セットアップ時間	600		ns
t _{h(TIN-UP)}	TAiOUT入力ホールド時間	600		ns

表22.59 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TA)}	TAiIN入力サイクル時間	2		μs
t _{su(TAIN-TAOUT)}	TAiOUT入力セットアップ時間	500		ns
t _{su(TAOUT-TAIN)}	TAiIN入力セットアップ時間	500		ns

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表22.60 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間(片エッジカウント)	150		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
t _{c(TB)}	TBiIN入力サイクル時間(兩エッジカウント)	300		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅(兩エッジカウント)	120		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅(兩エッジカウント)	120		ns

表22.61 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間	600		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅	300		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅	300		ns

表22.62 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{c(TB)}	TBiIN入力サイクル時間	600		ns
t _{w(TBH)}	TBiIN入力“H”パルス幅	300		ns
t _{w(TBL)}	TBiIN入力“L”パルス幅	300		ns

表22.63 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{c(AD)}	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
t _{w(ADL)}	ADTRG入力“L”パルス幅	200		ns

表22.64 シリアルインターフェース

記号	項目	規格値		単位
		最小	最大	
t _{c(CK)}	CLKi入力サイクル時間	300		ns
t _{w(CKH)}	CLKi入力“H”パルス幅	150		ns
t _{w(CKL)}	CLKi入力“L”パルス幅	150		ns
t _{d(C-Q)}	TXDi出力遅延時間		160	ns
t _{h(C-Q)}	TXDiホールド時間	0		ns
t _{su(D-C)}	RXDi入力セットアップ時間	100		ns
t _{h(C-D)}	RXDi入力ホールド時間	90		ns

表22.65 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _{w(INH)}	INTi入力“H”パルス幅	380		ns
t _{w(INL)}	INTi入力“L”パルス幅	380		ns

スイッチング特性

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = - 40 ~ 85)

VCC = 3.3V

表22.66 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(BCLK-AD)$	アドレス出力遅延時間	図22.23		30	ns
$t_h(BCLK-AD)$	アドレス出力保持時間(BCLK基準)		4		ns
$t_h(RD-AD)$	アドレス出力保持時間(RD基準)		0		ns
$t_h(WR-AD)$	アドレス出力保持時間(WR基準)		(注1)		ns
$t_d(BCLK-CS)$	チップセレクト出力遅延時間			30	ns
$t_h(BCLK-CS)$	チップセレクト出力保持時間(BCLK基準)		4		ns
$t_d(BCLK-ALE)$	ALE信号出力遅延時間			25	ns
$t_h(BCLK-ALE)$	ALE信号出力保持時間		- 4		ns
$t_d(BCLK-RD)$	RD信号出力遅延時間			30	ns
$t_h(BCLK-RD)$	RD信号出力保持時間		0		ns
$t_d(BCLK-WR)$	WR信号出力遅延時間			30	ns
$t_h(BCLK-WR)$	WR信号出力保持時間		0		ns
$t_d(BCLK-DB)$	データ出力遅延時間(BCLK基準)			40	ns
$t_h(BCLK-DB)$	データ出力保持時間(BCLK基準)(注3)		4		ns
$t_d(DB-WR)$	データ出力遅延時間(WR基準)		(注2)		ns
$t_h(WR-DB)$	データ出力保持時間(WR基準)(注3)		(注1)		ns
$t_d(BCLK-HLDA)$	HLDA出力遅延時間			40	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 40 [ns] \quad f(BCLK) \text{は} 12.5\text{MHz} \text{以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = - CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 \text{ pF} \times 1k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$
となります。

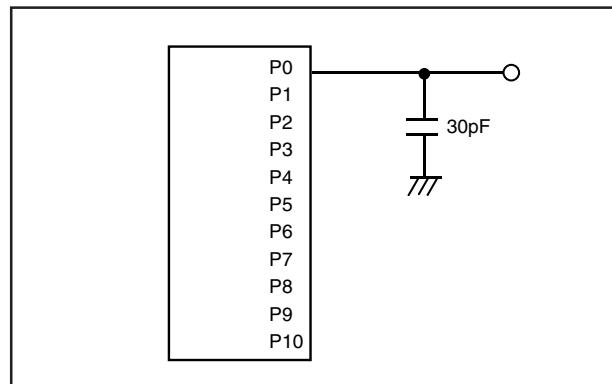
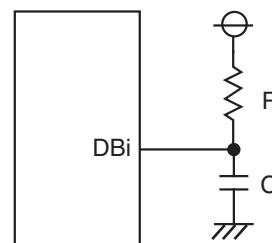


図22.23 ポートP0 ~ P10の測定回路

スイッチング特性

VCC = 3.3V

(指定のない場合は、 VCC = 3.3V 、 VSS = 0V 、 Topr = - 40 ~ 85 °C)

表22.67 メモリ拡張モード、マイクロプロセッサモード(1 ~ 3 ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(BCLK-AD)$	アドレス出力遅延時間	図22.23		30	ns
$t_h(BCLK-AD)$	アドレス出力保持時間(BCLK 基準)		4		ns
$t_h(RD-AD)$	アドレス出力保持時間(RD 基準)		0		ns
$t_h(WR-AD)$	アドレス出力保持時間(WR 基準)		(注1)		ns
$t_d(BCLK-CS)$	チップセレクト出力遅延時間			30	ns
$t_h(BCLK-CS)$	チップセレクト出力保持時間(BCLK 基準)		4		ns
$t_d(BCLK-ALE)$	ALE 信号出力遅延時間			25	ns
$t_h(BCLK-ALE)$	ALE 信号出力保持時間		- 4		ns
$t_d(BCLK-RD)$	RD 信号出力遅延時間			30	ns
$t_h(BCLK-RD)$	RD 信号出力保持時間		0		ns
$t_d(BCLK-WR)$	WR 信号出力遅延時間			30	ns
$t_h(BCLK-WR)$	WR 信号出力保持時間		0		ns
$t_d(BCLK-DB)$	データ出力遅延時間(BCLK 基準)			40	ns
$t_h(BCLK-DB)$	データ出力保持時間(BCLK 基準)(注3)		4		ns
$t_d(DB-WR)$	データ出力遅延時間(WR 基準)		(注2)		ns
$t_h(WR-DB)$	データ出力保持時間(WR 基準)(注3)		(注1)		ns
$t_d(BCLK-HLDA)$	HLDA 出力遅延時間			40	ns

注1 . BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 \text{ [ns]}$$

注2 . BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 40 \text{ [ns]}$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
n = 1 の場合は、 f(BCLK) は 12.5MHz 以下

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量や
プルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = - CR \times \ln(1 - V_{OL} / V_{CC})$$

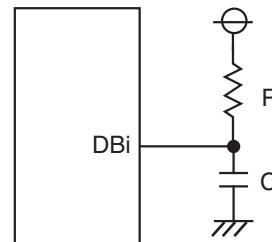
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = - 30 \text{ pF} \times 1k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$

となります。



スイッチング特性

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = - 40 ~ 85)

表22.68 メモリ拡張モード、マイクロプロセッサモード

(2、3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図22.23		50	ns
t _h (BCLK-AD)	アドレス出力保持時間(BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間(RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間(WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			50	ns
t _h (BCLK-CS)	チップセレクト出力保持時間(BCLK基準)			4	ns
t _h (RD-CS)	チップセレクト出力保持時間(RD基準)			(注1)	ns
t _h (WR-CS)	チップセレクト出力保持時間(WR基準)			(注1)	ns
t _d (BCLK-RD)	RD信号出力遅延時間			40	ns
t _h (BCLK-RD)	RD信号出力保持時間			0	ns
t _d (BCLK-WR)	WR信号出力遅延時間			40	ns
t _h (BCLK-WR)	WR信号出力保持時間			0	ns
t _d (BCLK-DB)	データ出力遅延時間(BCLK基準)			50	ns
t _h (BCLK-DB)	データ出力保持時間(BCLK基準)			4	ns
t _d (DB-WR)	データ出力遅延時間(WR基準)			(注2)	ns
t _h (WR-DB)	データ出力保持時間(WR基準)			(注1)	ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns
t _d (BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間(BCLK基準)			- 4	ns
t _d (AD-ALE)	ALE信号出力遅延時間(アドレス基準)			(注3)	ns
t _h (ALE-AD)	ALE信号出力保持時間(アドレス基準)			(注4)	ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間			0	ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間			0	ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(BCLK)} - 50 [ns] \quad nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”$$

注3 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 40 [ns]$$

注4 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 15 [ns]$$

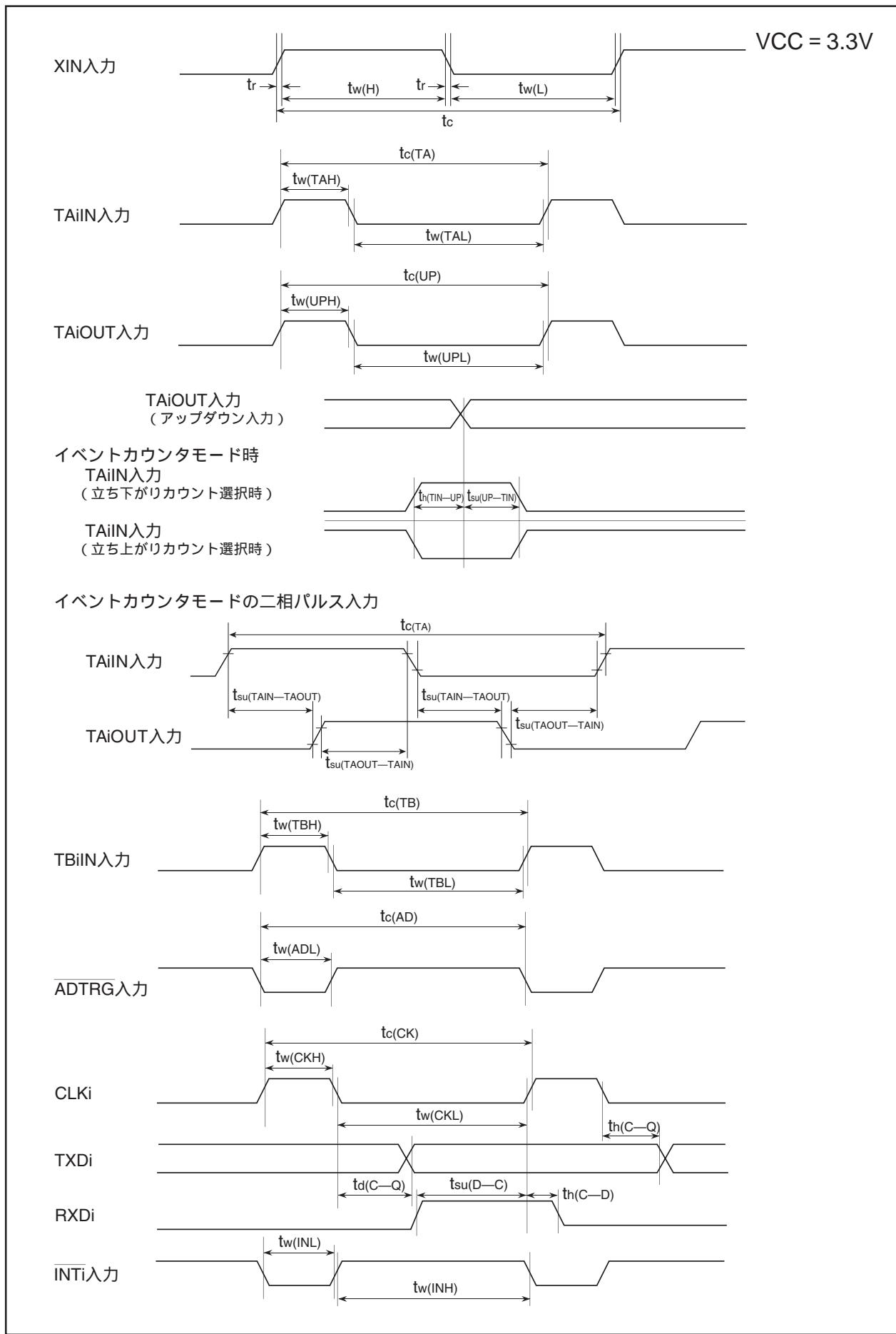
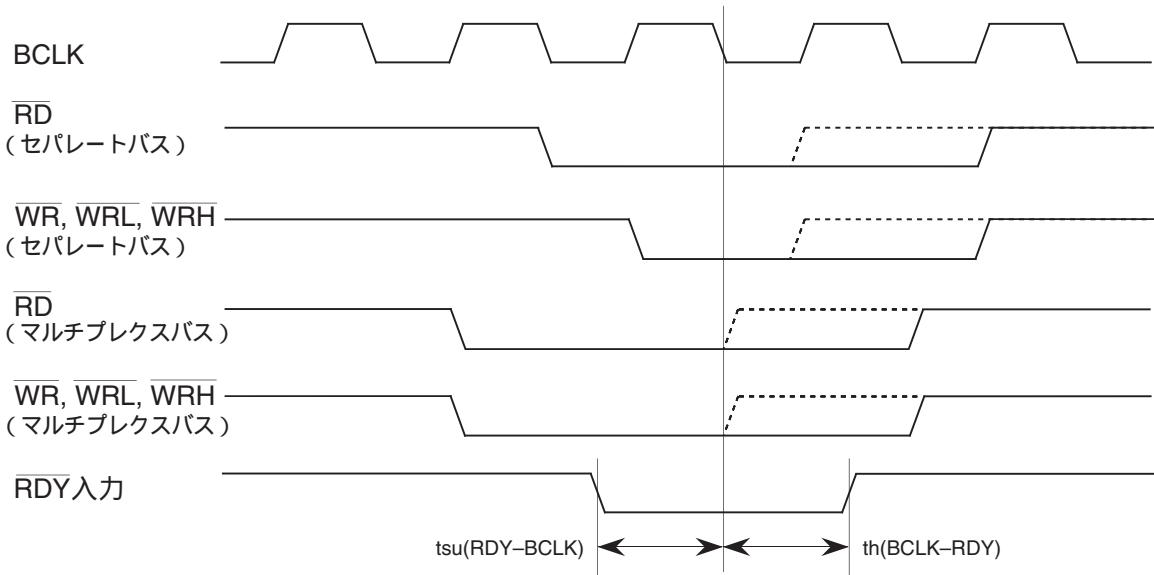
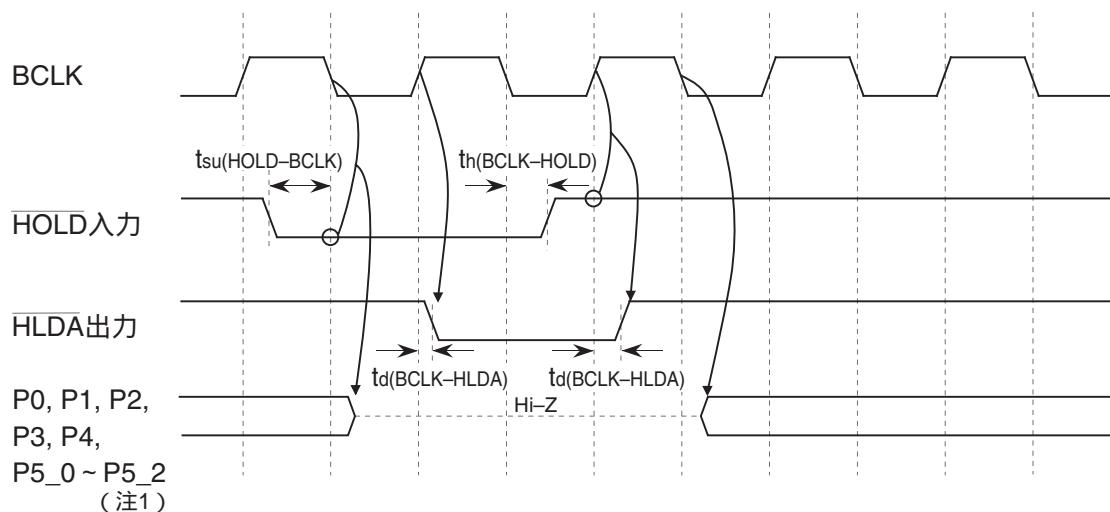


図22.24 タイミング図(1)

メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり設定の場合に有効)



(ウェイトあり設定、ウェイトなし設定共通)



注1 . BYTE端子の入力レベル、PM0レジスタのPM06ビット、PM1レジスタのPM11ビットにかかわらず、
ハイインピーダンス状態になります。

測定条件

- VCC = 3.3V
- 入力タイミング電圧 : $V_{IL} = 0.6V$ 、 $V_{IH} = 2.7V$
- 出力タイミング電圧 : $V_{OL} = 1.65V$ 、 $V_{OH} = 1.65V$

図22.25 タイミング図(2)

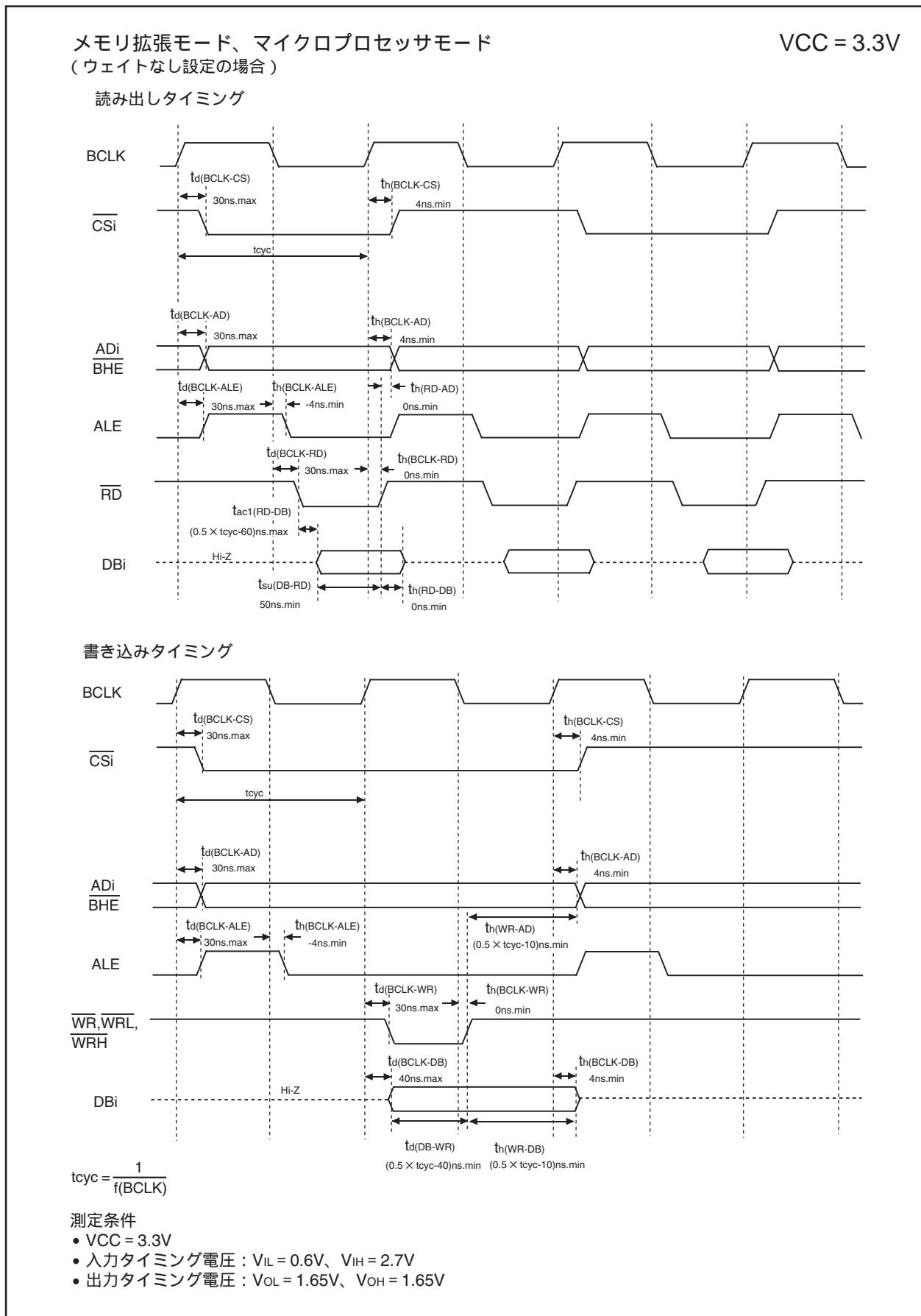


図22.26 タイミング図(3)

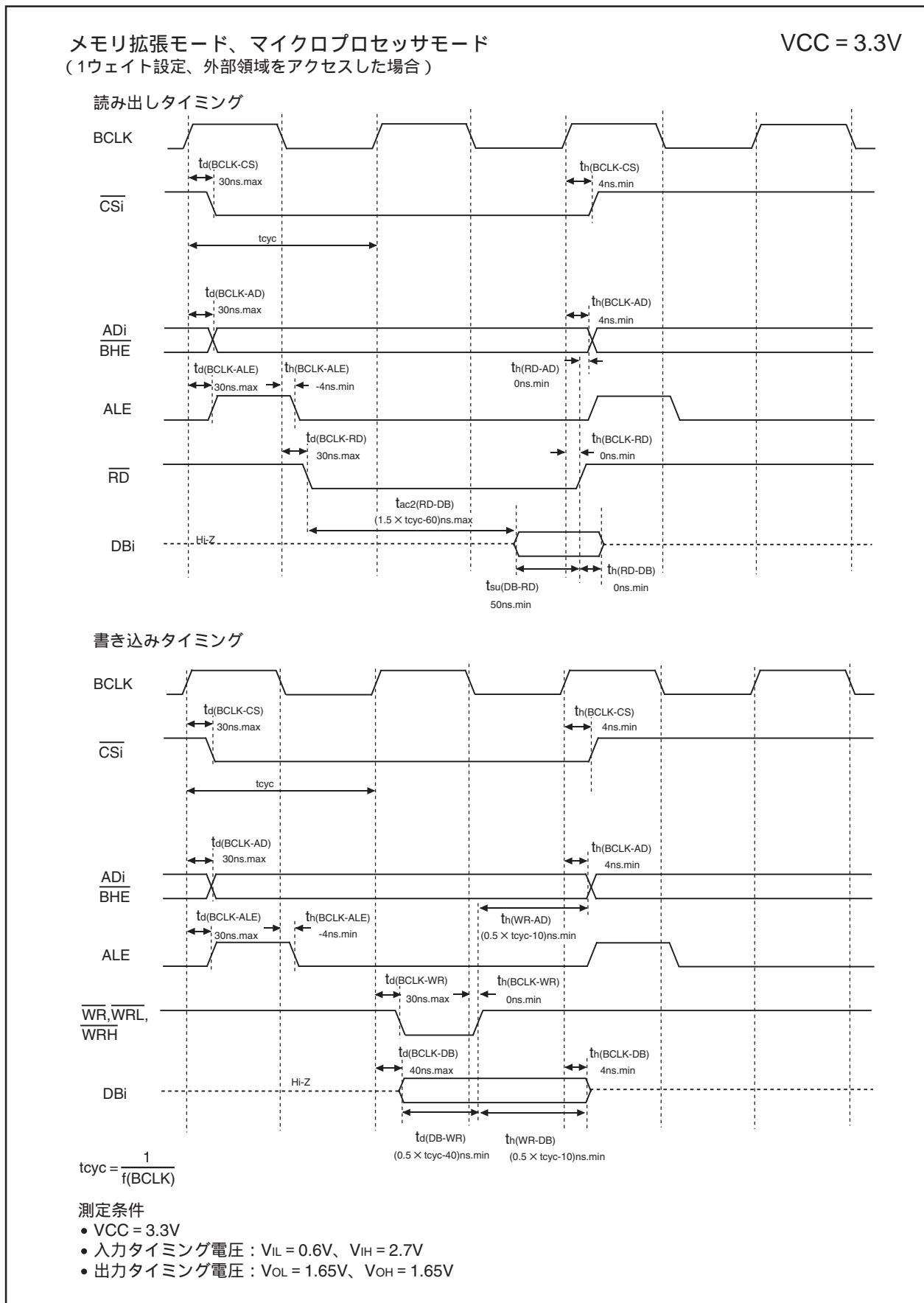


図22.27 タイミング図(4)

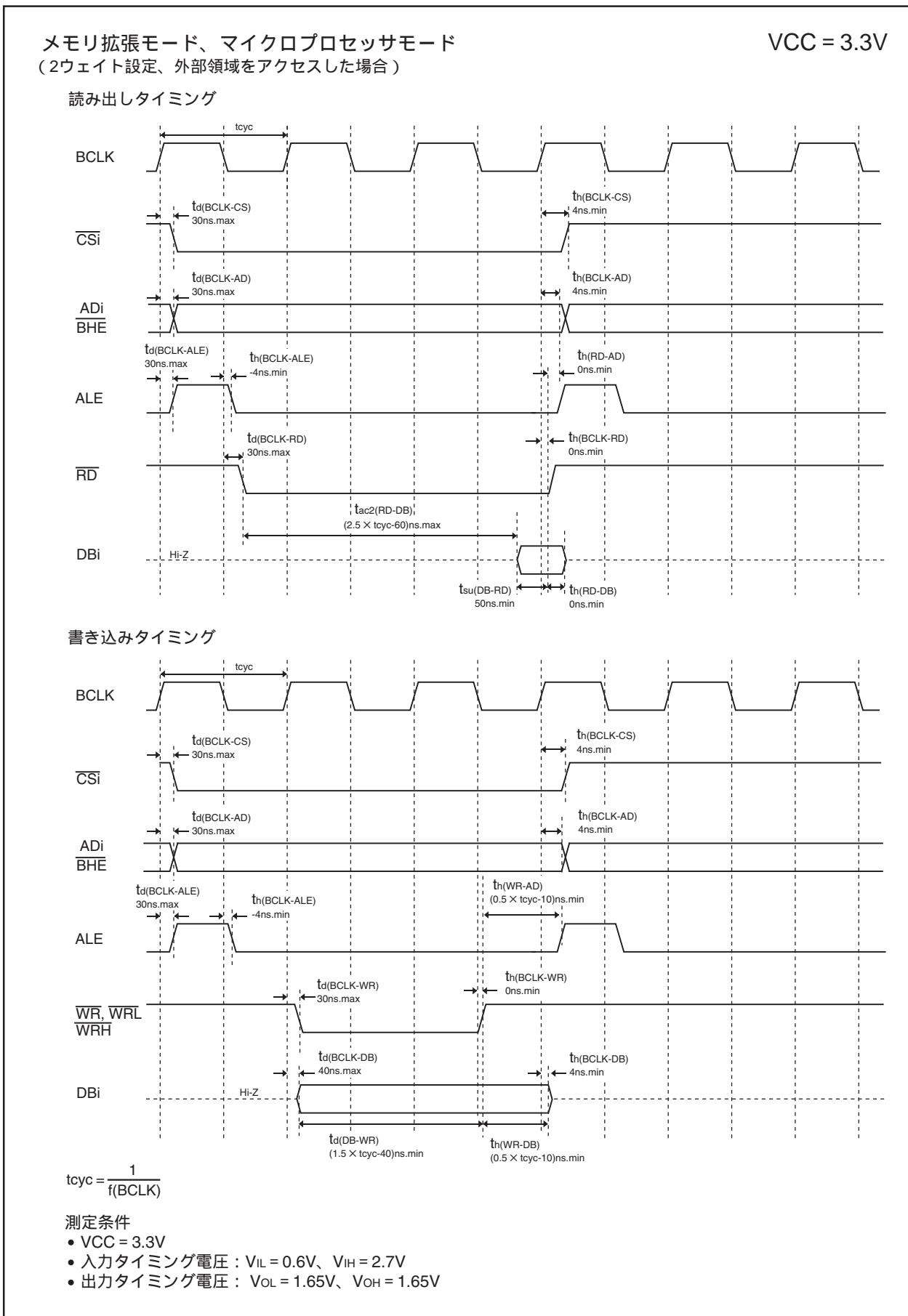


図22.28 タイミング図(5)

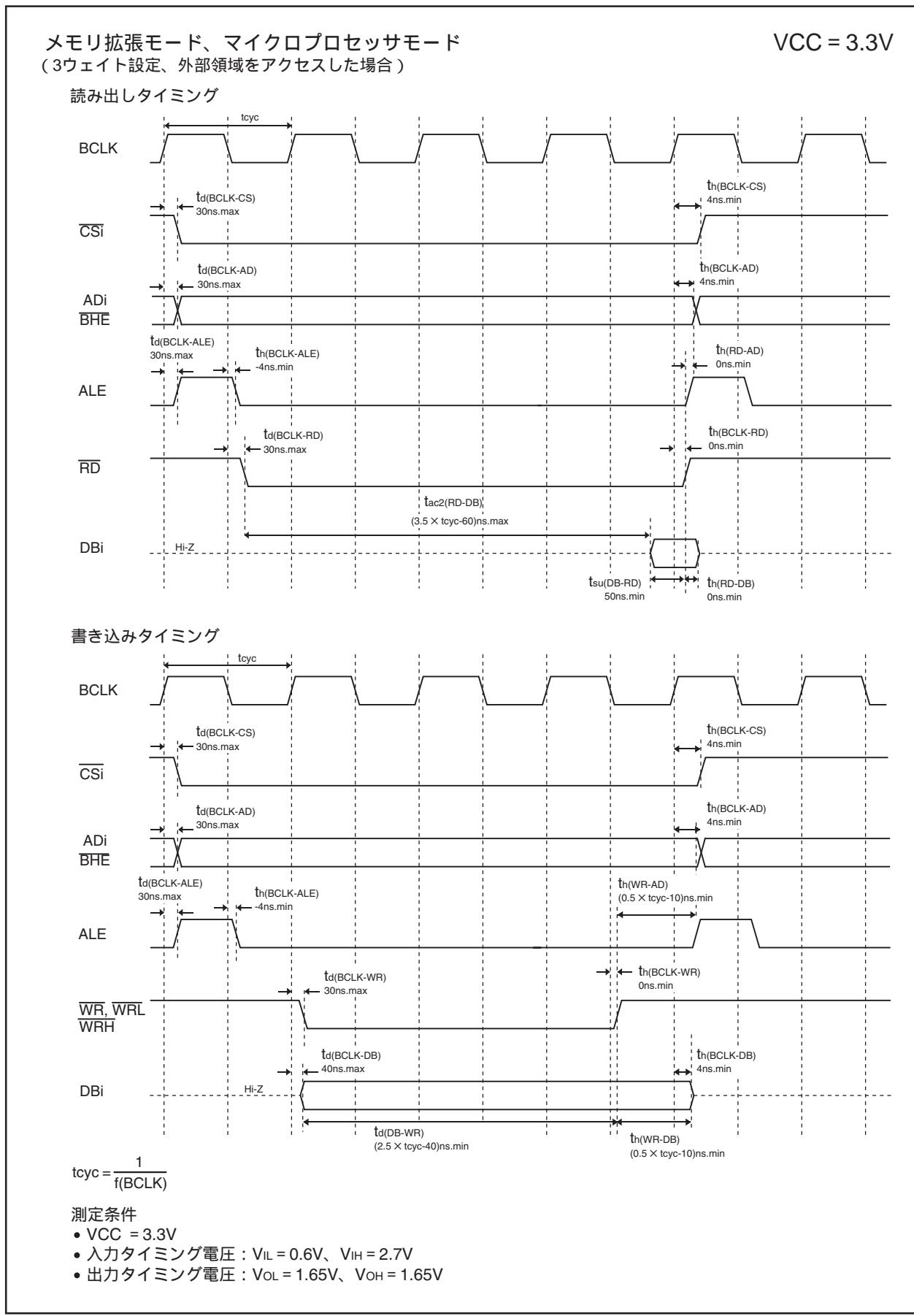


図22.29 タイミング図(6)

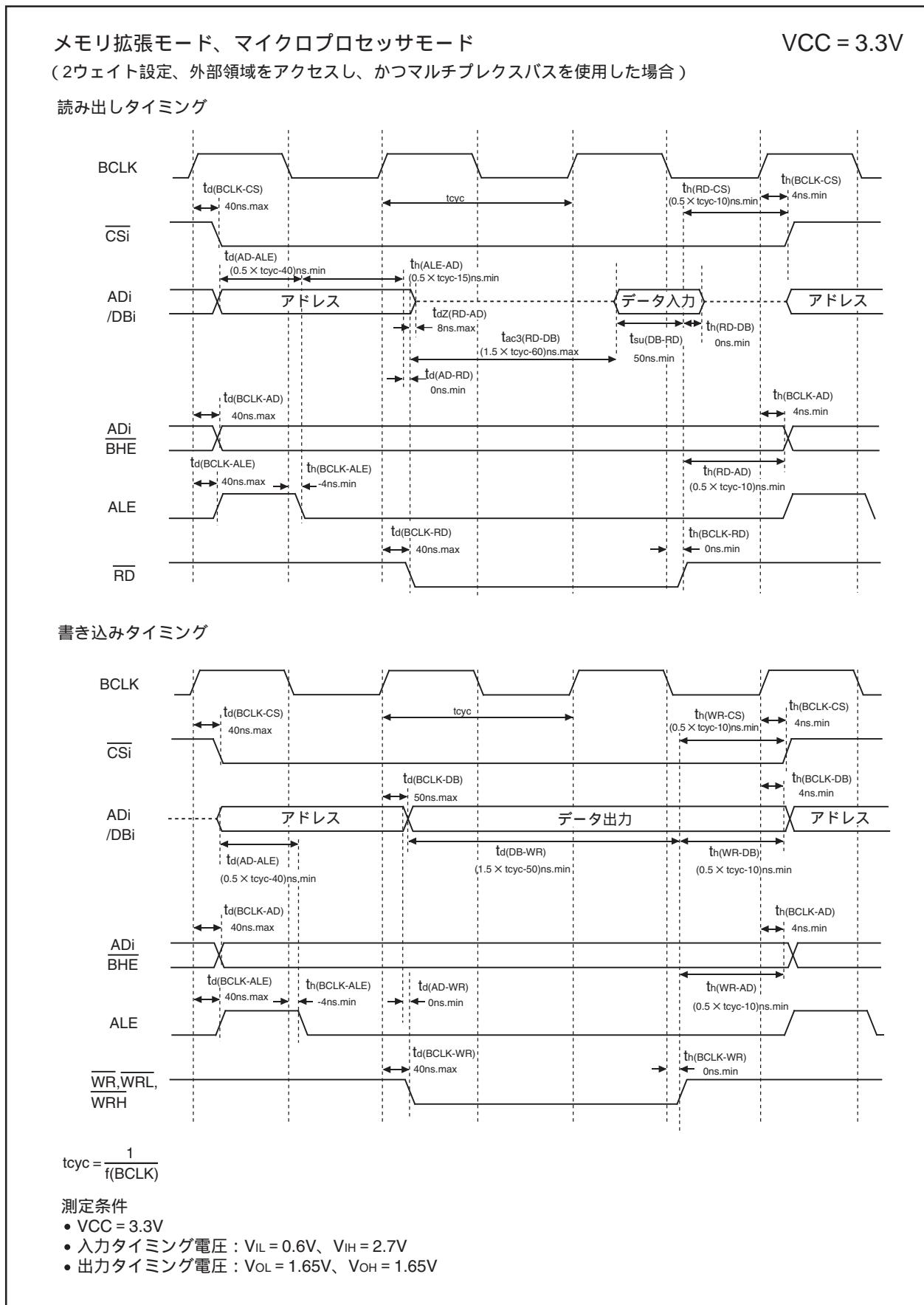


図22.30 タイミング図(7)

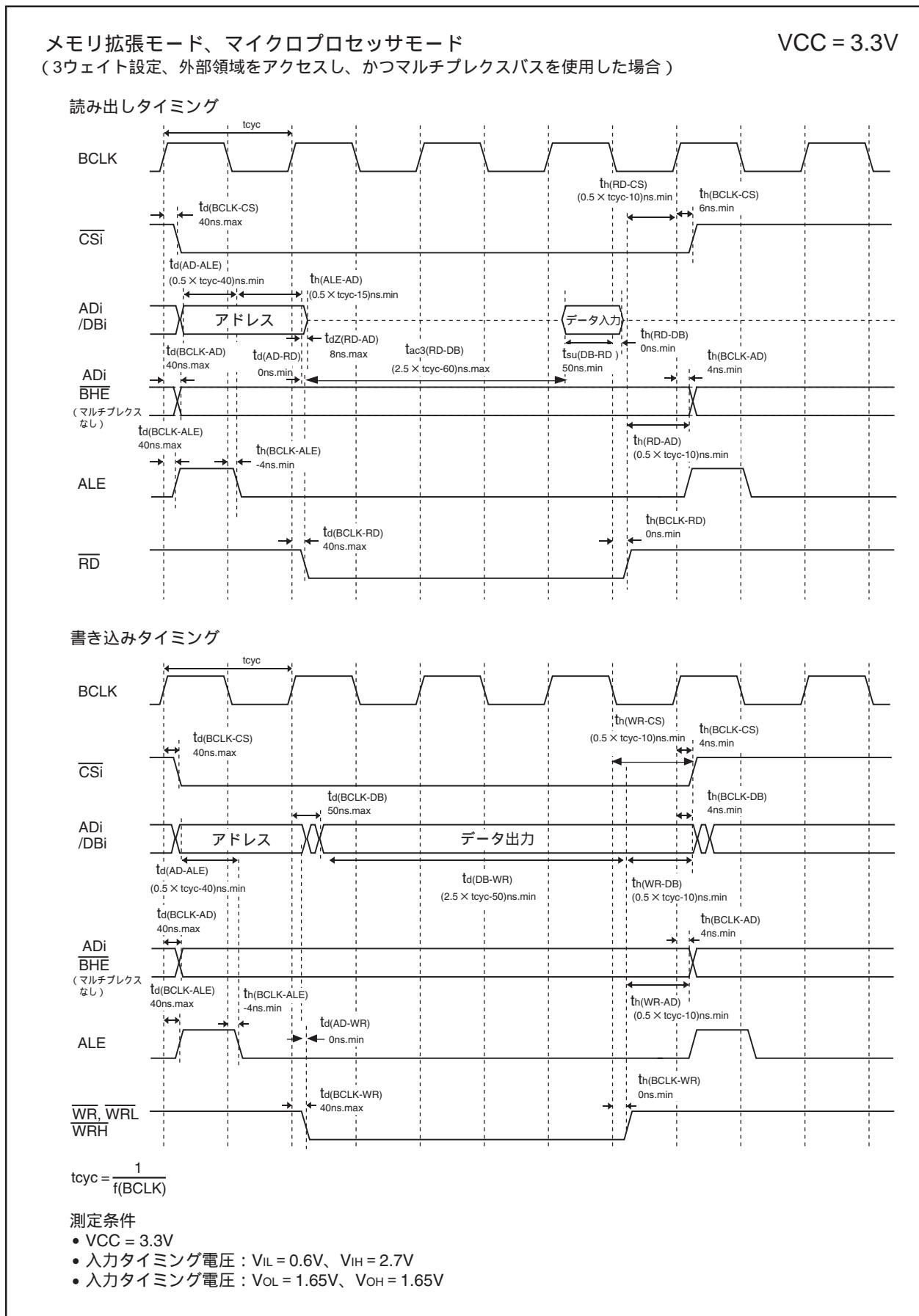


図22.31 タイミング図(8)

23 . 使用上の注意

23.1 SFR

SFRには書き込み可能なビットを含むレジスタがあります。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表23.1に書き込みのみ可能なビットを含むレジスタを示します。

表23.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマスタートレジスタ	WDTS	000Eh
タイマA1-1レジスタ	TA11	01C3h - 01C2h
タイマA2-1レジスタ	TA21	01C5h - 01C4h
タイマA4-1レジスタ	TA41	01C7h - 01C6h
短絡防止タイマ	DTT	01CCh
タイマB2割り込み発生頻度設定カウンタ	ICTB2	01CDh
SI/O3ビットトレートレジスタ	S3BRG	01E3h
UART2ビットトレートレジスタ	U2BRG	01F9h
UART2送信バッファレジスタ	U2TB	01FBh - 01FAh
アップダウンフラグ	UDF	0384h
タイマA0レジスタ	TA0	0387h - 0386h
タイマA1レジスタ	TA1	0389h - 0388h
タイマA2レジスタ	TA2	038Bh - 038Ah
タイマA3レジスタ	TA3	038Dh - 038Ch
タイマA4レジスタ	TA4	038Fh - 038Eh
UART0ビットトレートレジスタ	U0BRG	03A1h
UART0送信バッファレジスタ	U0TB	03A3h - 03A2h
UART1ビットトレートレジスタ	U1BRG	03A9h
UART1送信バッファレジスタ	U1TB	03ABh - 03AAh

23.2 外部バス

CNVSS端子に“H”を入力してハードウェアリセットすると、内部ROMは読めません。

23.3 PLL周波数シンセサイザ

PLL周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください(「22. 電気的特性」参照)。

23.4 パワーコントロール

- ・ストップモードからリセットによって復帰する場合、メインクロックの発振が充分に安定するまでRESET端子に“L”を入力してください。
- ・ストップモードからタイマAによって復帰する場合、TAiMRレジスタ($i = 0 \sim 4$)のMR0ビットを“0”(パルス出力なし)にしてください。
- ・ウェイトモードに移行するとき、WAIT命令の前にJMP.B命令を挿入してください。JMP.B命令とWAIT命令実行の間に、RAMへの書き込みが発生する命令を実行しないでください。JMP.B命令とWAIT命令の間にDMA転送が発生する可能性がある場合は、DMA転送を禁止してください。
また、WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```
例 :           JMP.B    L1          ; WAIT命令の前にJMP.B命令を挿入
L1 :
    FSET    I          ;
    WAIT          ; ウェイトモードに移行
    NOP          ; NOP命令を4つ以上
    NOP
    NOP
    NOP
    NOP
```

- ・ストップモードに移行する場合は、次のとおりに記述してください。

(1)BSET命令を使用してストップモードに移行する場合

BSET命令は「BSET bit,base:16」を使用して、次のとおりに記述してください。このとき、DMA転送は禁止しておいてください。

```
BSET    0, CM1      ; ストップモード設定[bit,base:16]
JMP.B    L1          ;
L1 :
    NOP          ; 命令を先読みしてプログラムが
    NOP          ; 停止することに対する対策
    NOP          ; ( NOP命令を4つ以上挿入 )
    NOP          ;
```

(2)MOV命令を使用してストップモードに移行する場合

MOV命令は「MOV.B #IMM8,abs16」を使用して、次のとおりに記述してください。このとき、DMA転送は禁止しておいてください。

なお、MOV命令のsrcの値(「#21」と記述してある部分)は使用状態に合わせて変更してください。

```
MOV.B  #21H,CM1      ; ストップモード設定[#IMM8,abs16]
JMP.B    L1          ;
L1 :
    NOP          ; 命令を先読みしてプログラムが
    NOP          ; 停止することに対する対策
    NOP          ; ( NOP命令を4つ以上挿入 )
    NOP          ;
```

- ・低速モード、低消費電力モードからストップモードに移行して中速モードに復帰する場合は、MOV命令の「MOV.W #IMM16,abs16」を使用して、次のとおりに記述してください。このとき、DMA転送は禁止しておいてください。
なお、MOV命令のsrcの値(「#2118」と記述してある部分)は使用状態に合わせて変更してください。

```

MOV.W #2118H,CM0    ; ストップモード設定[#IMM16,abs16]
JMP.S   L1          ;
NOP                ;
L1 :               ;
NOP                ; 命令を先読みしてプログラムが
NOP                ; 停止することに対する対策
NOP                ;( NOP命令を4つ以上挿入 )
NOP                ;

```

- ・CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を持ってから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
- ・消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

【ポート】

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

【A/Dコンバータ】

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。
なお、A/D変換を行う場合、VCUTビットを“1”(VREF接続)にしてから $1\mu s$ 以上経過した後、A/D変換を開始させてください。

【D/Aコンバータ】

D/A変換を行わない場合、DaconレジスタのDAiEビット($i=0, 1$)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

【周辺機能の停止】

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。
ただし、サブクロックから生成している周辺機能クロック(fC32)は停止しないため、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウェイトモードに移行する場合は、CM02ビットを“0”(ウェイトモード時、周辺機能クロックを停止しない)にしてウェイトモードに移行してください。

【発振駆動能力の切り替え】

発振が安定している場合、駆動能力を“LOW”にしてください。

23.5 プロテクト

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

23.6 割り込み

23.6.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

23.6.2 SPの設定

割り込み要求を受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後のSP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込み要求を受け付けると、暴走の要因になります。

特に、NMI割り込みを使用する場合は、プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、NMI割り込みを含むすべての割り込みが禁止されています。

23.6.3 NMI割り込み

- NMI割り込みは禁止できません。使用しない場合は、NMI端子に抵抗を介してVCCに接続(プルアップ)してください。
- NMI端子は、P8レジスタのP8_5ビットを読むことで端子の値を読みます。P8_5ビットはNMI割り込みルーチンで、端子のレベルを判定する場合のみ読んでください。
- NMI端子に“L”を入力している場合、STOPモードに移行できません。NMI端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- NMI端子に“L”を入力している場合、WAITモードに移行しないでください。NMI端子に“L”が入力されている場合、CPUは停止しますがCPUクロックは停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- NMI端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル + 300ns以上にしてください。

23.6.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1(割り込み要求あり)”になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0(割り込み要求なし)”にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0(割り込み要求なし)”にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図23.1に割り込み要因の変更手順例を示します。

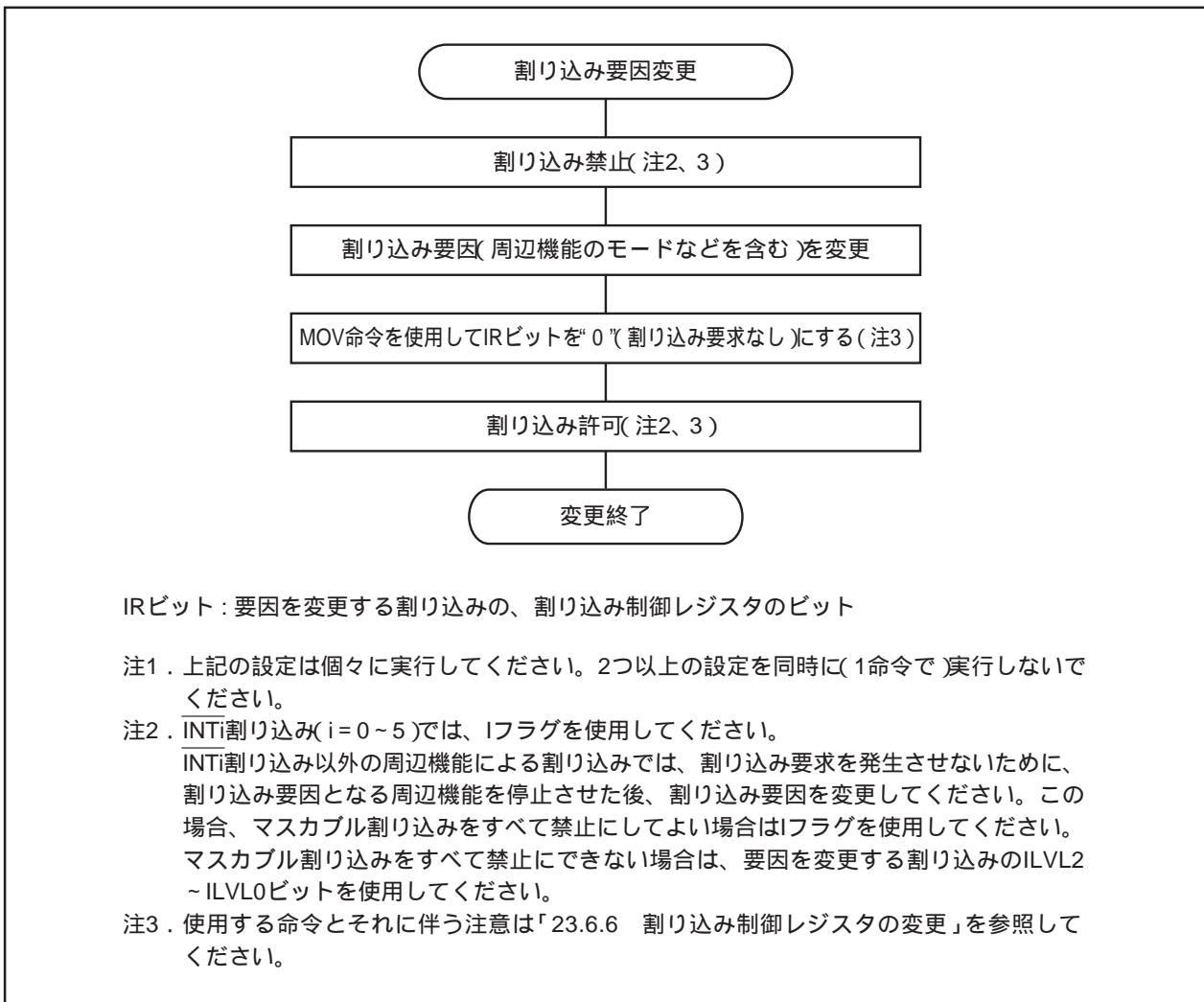


図23.1 割り込み要因の変更手順例

23.6.5 INT割り込み

- INT0~INT5端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- INT0IC~INT5ICレジスタのPOLビット、IFSR1レジスタのIFSR10~IFSR17ビットを変更すると、IRビットが“1(割り込み要求あり)”になることがあります。これらのビットを変更した後、IRビットを“0(割り込み要求なし)”にしてください。

23.6.6 割り込み制御レジスタの変更

(a)割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。
割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b)割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c)Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は、(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1 :

```
FCLR    I          ; 割り込み禁止
AND.B  #00H,  0055H ; TA0ICレジスタを“00h”にする
NOP
NOP
FSET    I          ; 割り込み許可
```

NOP命令の数は次の通り

- ・PM2レジスタのPM20ビット = 1(1ウェイト)時 : 2個
- ・PM20ビット = 0(2ウェイト)時 : 3個
- ・HOLD使用時 : 4個

例2：ダミーリードでFSET命令を持たせる例

INT_SWITCH2 :

```
FCLR    I          ; 割り込み禁止
AND.B  #00H,  0055H ; TA0ICレジスタを“00h”にする
MOV.W  MEM,  R0      ; ダミーリード
FSET    I          ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3 :

```
PUSHC  FLG
FCLR    I          ; 割り込み禁止
AND.B  #00H,  0055H ; TA0ICレジスタを“00h”にする
POPC    FLG          ; 割り込み許可
```

23.6.7 ウオッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み要求発生後は、ウォッチドッグタイマを初期化してください。

23.7 DMAC

23.7.1 DMiCONレジスタ($i = 0, 1$)のDMAEビットへの書き込み

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a)条件

- DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b)手順

(1)DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。

(2)DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になつてない場合は、(1)(2)を繰り返す。

注1 . DMAS ビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。

したがって、DMAEビットに“1”を書くために、DMiCONレジスタに書く場合、DMASビットに書く値を“1”にしておくと、DMASビットは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASビットに書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2 . TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値 - 1」)が読めれば初期状態になっている、転送途中の値になつていれば初期状態になつてない、と判断できます。

23.8 タイマ

23.8.1 タイマA

23.8.1.1 タイマモード

リセット後、タイマは停止しています。TAiMR($i=0 \sim 4$)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSレジスタのTAiSビットを“1(カウント開始)”にしてください。

なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0(カウント停止)”の状態で、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読みます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読みます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読みます。

TB2SCレジスタのIVPCR1ビットが“1(NMI端子入力による三相出力強制遮断許可)”のとき、 NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

23.8.1.2 イベントカウンタモード

リセット後、タイマは停止しています。TAiMR($i=0 \sim 4$)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSレジスタのTAiSビットを“1(カウント開始)”にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0(カウント停止)”の状態で、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読みます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読みます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読みます。

TB2SCレジスタのIVPCR1ビットが“1(NMI端子入力による三相出力強制遮断許可)”のとき、 NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

23.8.1.3 ワンショットタイマモード

リセット後、タイマは停止しています。TAiMR($i=0 \sim 4$)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSРレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようにになります。

- ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ・TAiOUT端子は“L”を出力します。
- ・CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- ・リセット後、ワンショットタイマモードを選択したとき
 - ・動作モードをタイマモードからワンショットタイマモードに変更したとき
 - ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

TB2SCレジスタのIVPCR1ビットが“1”(\overline{NMI} 端子入力による三相出力強制遮断許可)のとき、 \overline{NMI} 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

23.8.1.4 パルス幅変調モード(PWMモード)

リセット後、タイマは停止しています。TAiMR($i=0 \sim 4$)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSРレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- ・リセット後、PWMモードを選択したとき
- ・動作モードをタイマモードからPWMモードに変更したとき
- ・動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- ・カウンタはカウントを停止します。
- ・TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- ・TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

23.8.2 タイマB

23.8.2.1 タイマモード

リセット後、タイマは停止しています。TBiMR($i=0 \sim 5$)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読みます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

23.8.2.2 イベントカウンタモード

リセット後、タイマは停止しています。TBiMR($i=0 \sim 5$)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値などを設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読みます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

23.8.2.3 パルス周期測定、パルス幅測定モード

リセット後、タイマは停止しています。TBiMR($i=0\sim5$)レジスタによって、モードやカウントソースなどを設定した後、TBSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態で、TBiMRレジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

TBiCレジスタ($i=0\sim5$)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

MR3ビットを“0”(オーバフローなし)にするには、TBiSビットが“1”(カウント開始)の状態で、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。

オーバフローだけの検出にはTBiCレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

23.9 シリアルインタフェース

23.9.1 クロック同期形シリアルI/Oモード

23.9.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTSi端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTSi端子の出力レベルは“H”になります。このため、RTSi端子を送信側のCTSi端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、RTS2端子とCLK2端子はハイインピーダンスになります。

23.9.1.2 送信

外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”的状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”的状態で次の条件を満たしてください。

- ・UiC1レジスタのTEビットが“1”(送信許可)
- ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- ・CTS機能を選択している場合、CTSi端子の入力が“L”

23.9.1.3 受信

クロック同期形シリアルI/Oモードでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタ($i=0 \sim 2$)のTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタ($i=0 \sim 2$)のRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”的状態で、CKPOLビットが“1”的状態で外部クロックが“L”的状態で次の条件を満たしてください。

- ・UiC1レジスタのREビットが“1”(受信許可)
- ・UiC1レジスタのTEビットが“1”(送信許可)
- ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

23.9.2 特殊モード

23.9.2.1 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタのSTSPSELビットを“0”(スタートコンディション、ストップコンディション出力しない)にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQビット)を“0”(クリア)から“1”(スタート)にしてください。

23.9.2.2 特殊モード2

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、 NMI端子に“L”を入力すると、 RTS2端子とCLK2端子はハイインピーダンスになります。

23.9.2.3 特殊モード4(SIMモード)

リセット後、U2C1レジスタのU2IRSビットを“1”(送信完了) U2EREビットを“1”(エラー信号出力) にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

23.9.3 SI/O3

S3CレジスタのSM32ビットが“0”(SOUT3出力)でかつ、SM36ビットが“1”(内部クロック)の状態で、SM33ビットを“0”(入出力ポート)から“1”(SOUT3出力、CLK3機能)に変更した場合、10ns程度、SOUT3端子にSM37ビットで設定したSOUT3初期値が出力されることがあります。その後、SOUT3端子はハイインピーダンスになります。

SM33ビットを“0”から“1”に変更したときに、SOUT3端子から出力されるレベルが問題となる場合、SM37ビットでSOUT3の初期値を設定してください。

23.10 A/Dコンバータ

ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのVCUTビットを“1(VREF接続)”から“0(VREF未接続)”にしてください。

VCUTビットを“0”から“1”にしたときは、1μs以上経過した後にA/D変換を開始させてください。

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i(i=0~7)、AN0_i、AN2_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。

図23.2に各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは“0(入力モード)”にしてください。また、ADCON0レジスタのTRGビットが“1(外部トリガ)”の場合は、ADTRG端子に対応するポート方向ビットは“0(入力モード)”にしてください。

キー入力割り込みを使用する場合、AN4～AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。

ADの周波数は10MHz以下にしてください。サンプル&ホールドなしの場合、ADの周波数は250kHz以上にしてください。サンプル&ホールドありの場合、ADの周波数は1MHz以上にしてください。

A/D動作モードを変更した場合は、ADCON0レジスタのCH2～CH0ビットまたはADCON1レジスタのSCAN1～SCAN0ビットでアナログ入力端子を再選択してください。

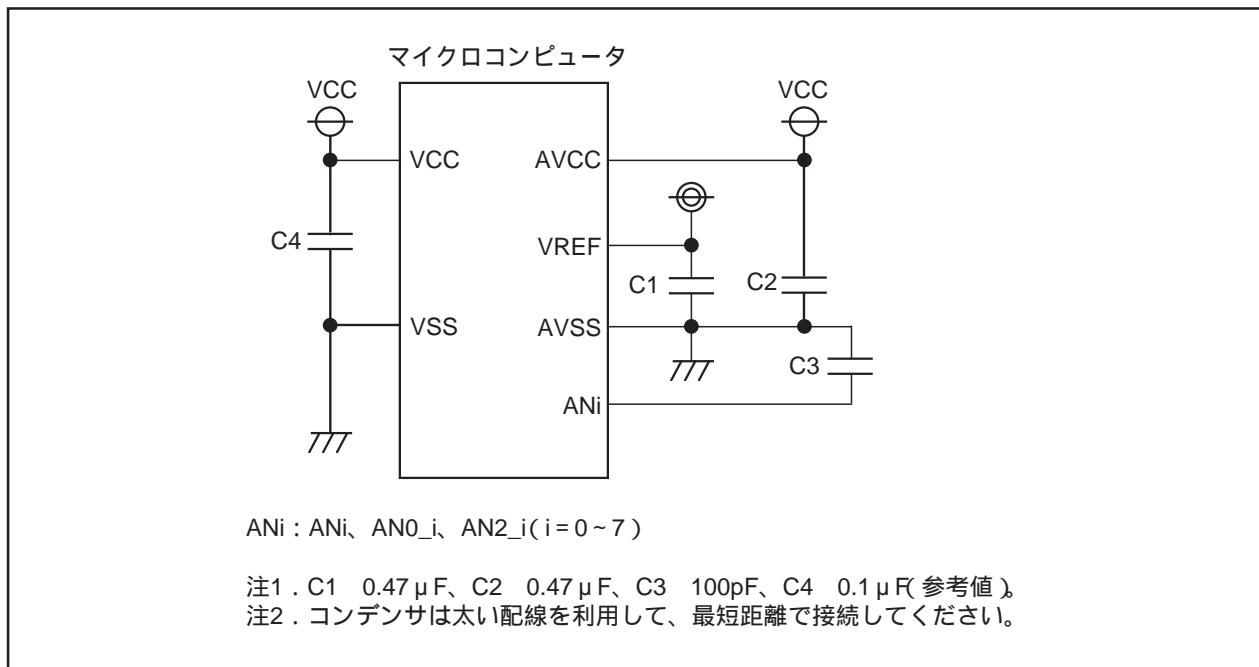


図23.2 各端子の処理例

A/D変換が完了し、その結果をADiレジスタ($i=0 \sim 7$)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

- ・ 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
- ・ 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

単掃引モードでA/D変換中にADCON0レジスタのADSTビットを“0”にして、A/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止してください。

AN4～AN7は、 $\overline{KI0} \sim \overline{KI3}$ と共に用いているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3、AN0_0～AN0_7、AN2_0～AN2_7)より消費電流が増加します。

23.11 CANモジュール

23.11.1 C0STRレジスタの読み出し

M16C/6Nグループ(M16C/6N5)のCANモジュールは、C0STRレジスタに対して一定の周期でステータス更新を行っています。CPUとCANモジュールが同一タイミングでC0STRレジスタにアクセスした場合、CPUからのアクセスが優先され、CANモジュールからのアクセスを禁止する仕様になっています。このため、CANモジュールのステータス更新周期とCPUからのアクセス周期が常に一致した場合、CANモジュールのステータスが更新されなくなります(「図23.3 CANモジュールの更新周期とCPUからのアクセス周期が一致した場合」参照)。

したがって、CPUからのアクセス周期がCANモジュールの更新周期と一致しないように、次の点に注意してください。

- ・CPUがC0STRレジスタを読み出す前に、3fCAN以上(「表23.2 CANモジュールステータス更新周期」参照)の待機時間を持たせる(「図23.4 CPUの読み出し前に3fCAN分待機した場合」参照)。
- ・CPUがC0STRレジスタをポーリングする場合、3fCANより長い周期にする(「図23.5 CPUのポーリング周期を3fCANより長くした場合」参照)。

表23.2 CANモジュールステータス更新周期

3fCAN時間 = 3 × XIN(源発振時間) × CANクロック用分周値(CCLK)	
(例1) 条件 XIN 16MHz CCLK : 1分周	3fCAN時間 = 3 × 62.5ns × 1 = 187.5ns
(例2) 条件 XIN 16MHz CCLK : 2分周	3fCAN時間 = 3 × 62.5ns × 2 = 375ns
(例3) 条件 XIN 16MHz CCLK : 4分周	3fCAN時間 = 3 × 62.5ns × 4 = 750ns
(例4) 条件 XIN 16MHz CCLK : 8分周	3fCAN時間 = 3 × 62.5ns × 8 = 1.5 μ s
(例5) 条件 XIN 16MHz CCLK : 16分周	3fCAN時間 = 3 × 62.5ns × 16 = 3 μ s

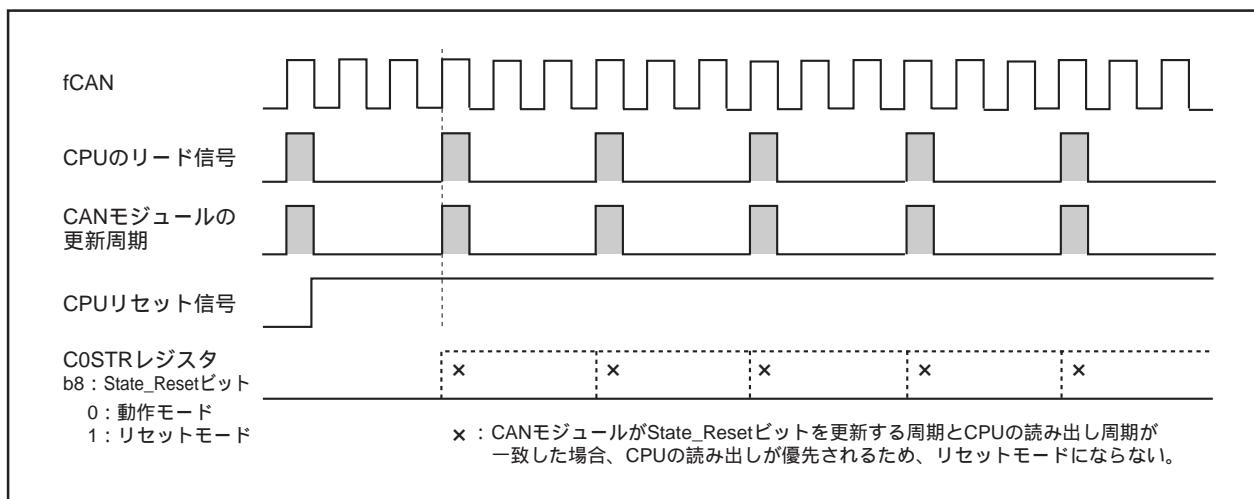


図23.3 CANモジュールの更新周期とCPUからのアクセス周期が一致した場合

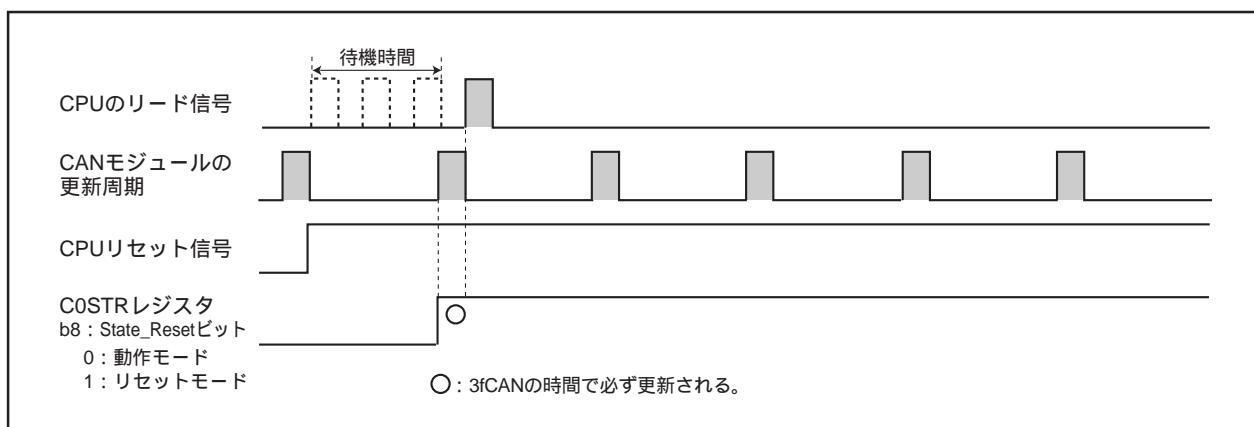


図23.4 CPUの読み出し前に3fCAN分待機した場合

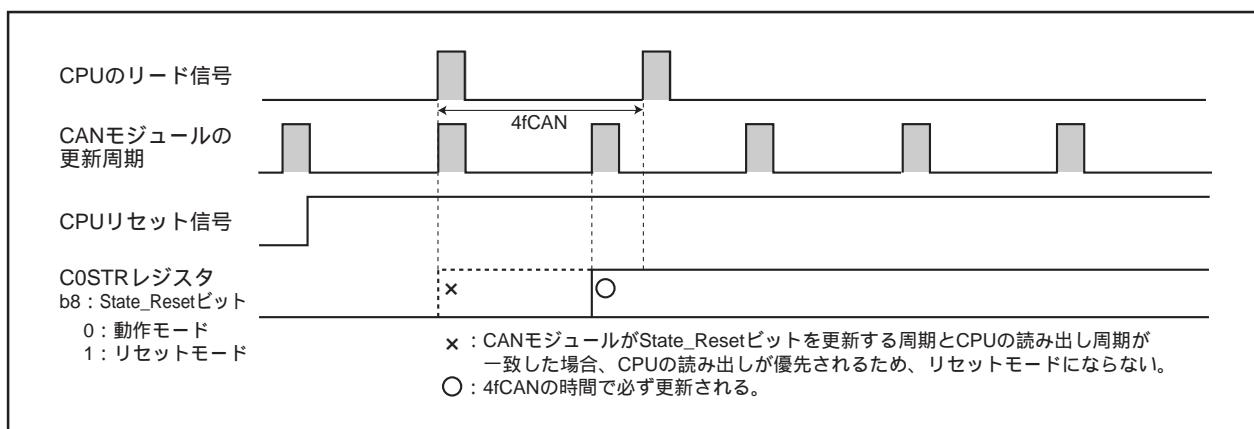


図23.5 CPUのポーリング周期を3fCANより長くした場合

23.11.2 CAN動作モードとCANリセットモードの移行

CAN動作モードからCANリセットモードに移行するためには、C0CTRLレジスタのResetビットを“0”(動作モード)から“1”(リセット／初期化モード)にした場合は、C0STRレジスタのState_Resetビットが“1”(リセットモード)になるのを確認してください。

CANリセットモードからCAN動作モードに移行するためには、Resetビットを“1”から“0”にした場合は、State_Resetビットが“0”(動作モード)になるのを確認してください。

以下に手順を示します。

- ・ CAN動作モードからCANリセットモードに移行する場合
 - ・ Resetビットを“0”から“1”にする
 - ・ State_Resetビットが“1”になっているのを確認する
- ・ CANリセットモードからCAN動作モードに移行する場合
 - ・ Resetビットを“1”から“0”にする
 - ・ State_Resetビットが“0”になっているのを確認する

23.11.3 消費電流を小さくするためのポイント

CAN通信を行わない場合は、CANトランシーバの動作モードをstandby mode、またはsleep modeにしてください。

CAN通信を行う場合は、CANトランシーバの動作モード端子を制御すると、CAN通信をしないときのCANトランシーバの消費電流を大幅に低減できます。

表23.3、表23.4に接続推奨例を示します。

表23.3 接続推奨例(1)(Philips社製PCA82C250の場合)

	Standby Mode	High-speed Mode
Rs端子(注1)	“ H ”	“ L ”
CANトランシーバの消費電流(注2)	170 μ A未満	70mA未満
CAN通信	不可能	可能
接続図		

注1 . CANトランシーバの動作状態を制御する端子です。

注2 . $T_a = 25$ の場合です。

注3 . CANトランシーバ制御に使用可能なポートに接続してください。

表23.4 接続推奨例(2)(Philips社製PCA82C252の場合)

	Sleep Mode	Normal Operation Mode
STB端子(注1)	“ L ”	“ H ”
EN端子(注1)	“ L ”	“ H ”
CANトランシーバの消費電流(注2)	50 μ A未満	35mA未満
CAN通信	不可能	可能
接続図		

注1 . CANトランシーバの動作状態を制御する端子です。

注2 . $T_a = 25$ の場合です。

注3 . CANトランシーバ制御に使用可能なポートに接続してください。

23.11.4 標準ブートプログラム使用時のCANトランシーバ制御

標準ブートプログラムを用いてCAN経由でフラッシュメモリに書き込みを行う場合は、CANトランシーバの動作モードをhigh-speed mode、またはnormal operation modeにしてください。

CANトランシーバの動作モードをマイクロコンピュータのフラッシュメモリから制御している場合は、表23.5、表23.6に示すように、スイッチなどによってCANトランシーバの動作モードを設定した後、書き込みを行ってください。

表23.5 CANトランシーバの接続(Philips社製PCA82C250の場合)

	Standby Mode	High-speed Mode
Rs端子(注1)	“ H ”	“ L ”
CAN通信	不可能	可能
接続図		

注1 . CANトランシーバの動作状態を制御する端子です。

注2 . CANトランシーバ制御に使用可能なポートに接続してください。

表23.6 CANトランシーバの接続(Philips社製PCA82C252の場合)

	Sleep Mode	Normal Operation Mode
STB端子(注1)	“ L ”	“ H ”
EN端子(注1)	“ L ”	“ H ”
CAN通信	不可能	可能
接続図		

注1 . CANトランシーバの動作状態を制御する端子です。

注2 . CANトランシーバ制御に使用可能なポートに接続してください。

23.12 プログラマブル入出力ポート

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、P7_2～P7_5、P8_0、P8_1端子はハイインピーダンスになります。

S3CレジスタのSM32ビットを“1”にすると、P9_2端子はハイインピーダンスになります。

プログラマブル入出力ポートと周辺機能では、入力閾値電圧が異なります。

したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)で、PM11ビットを“1”にしている場合、P3、PD3レジスタをリードすると、P3_7～P3_4、PD3_7～PD3_4ビットから不定値が読み出されます。

P3、PD3レジスタを書き換える(サイズ指定子が“.W”でP2、PD2レジスタを書き換える場合を含む)場合、MOV命令を使用してください。

PM11ビットを“1”にした後、PM0レジスタのPM01～PM00ビットを“00b”(シングルチップモード)から、“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)にすると、PM01～PM00ビットが書き換わるタイミングでBCLKの0.5サイクル間、P3_7～P3_4端子から“L”が出力されます。

23.13 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

23.14 マスクROM版

マスクROM版の内部ROM領域に対して、書き込みを行わないでください。

23.15 フラッシュメモリ版

23.15.1 フラッシュメモリ書き換え禁止機能

0FFFDFh、0FFE3h、0FFEBh、0FFEKh、0FFF3h、0FFF7h、0FFFFBh番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し、書き込みができなくなります。

また、0FFFFh番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し、書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)にあたります。

23.15.2 ストップモード

ストップモードに移行する場合は、FMR0レジスタのFMR01ビットを“0(CPU 書き換えモード無効)”にしてDMA転送を禁止した後で、CM1レジスタのCM10ビットを“1(ストップモード)”にする命令を実行してください。

23.15.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0(CPU 書き換えモード無効)”にした後、WAIT命令を実行してください。

23.15.4 低消費電力モード、オンチップオシレータ低消費電力モード

CM0レジスタのCM05ビットが“1(メインクロック停止)”のときは、次のコマンドを実行しないでください。

- ・プログラム
- ・ブロックイレーズ
- ・イレーズ全アンロックブロック
- ・ロックビットプログラム
- ・リードロックビットステータス

23.15.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

23.15.6 プログラムコマンド

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

23.15.7 ロックビットプログラムコマンド

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をロックの最上位番地(ただし、偶数番地)に書くと指定されたロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するロックの最上位番地と同一にしてください。

23.15.8 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM1レジスタのCM11ビットを“0(メインクロック)” CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1(ウェイトあり)”にしてください。

23.15.9 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

23.15.10 割り込み

EW0モード

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み要求発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み要求発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。
- ・NMI割り込みは、割り込み要求発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み要求発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

23.15.11 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

23.15.12 ユーザROM領域の書き換え

EW0モード

- ・書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モード、パラレル入出力モード、またはCAN入出力モードを使用してください。

EW1モード

- ・書き換え制御プログラムが格納されているブロックを書き換えないでください。

23.15.13 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去中)の場合、DMA転送が入らないようにしてください。

23.16 標準ブートプログラムによるフラッシュメモリ書き込み

標準ブートプログラムを使用して書き込む場合の各端子の状態と必要な処理を示します。

23.16.1 シリアルを利用した書き込みを行う場合

CTX0端子 ... 書き込み時に“H”レベルを出力します。

CRX0端子...CANトランシーバに接続、または抵抗を介してVCCに接続(プルアップ)してください。

図23.6にシリアルを利用した書き込みを行う場合の接続例を示します。

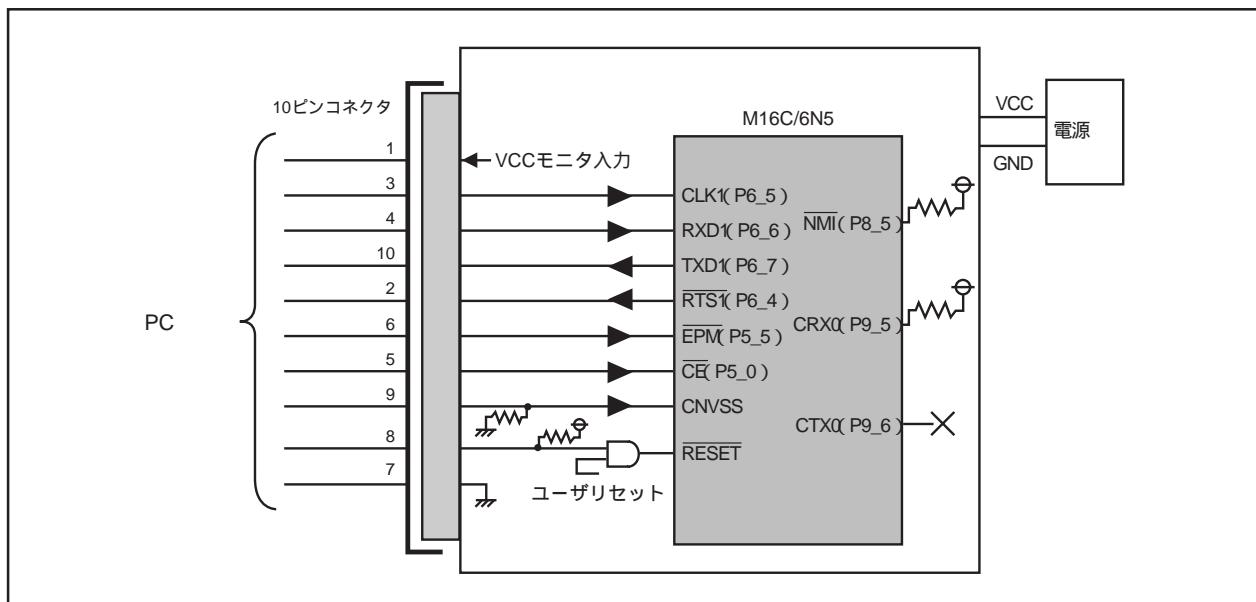


図23.6 シリアルを利用した書き込みを行う場合の接続例

23.16.2 CANを利用した書き込みを行う場合

RTS1端子 ... 書き込み時に“H”レベルと“L”レベルを出力します。

図23.7にCANを利用した書き込みを行う場合の接続例を示します。

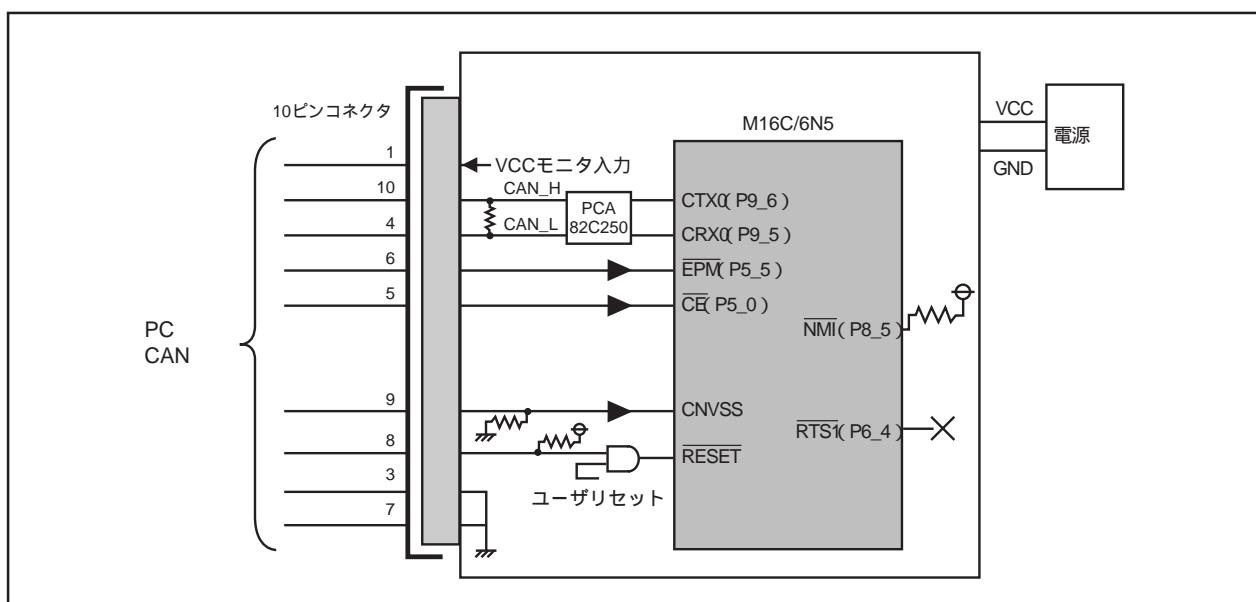


図23.7 CANを利用した書き込みを行う場合の接続例

23.17 ノイズ

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。

図23.8にバイパスコンデンサの接続例を示します。

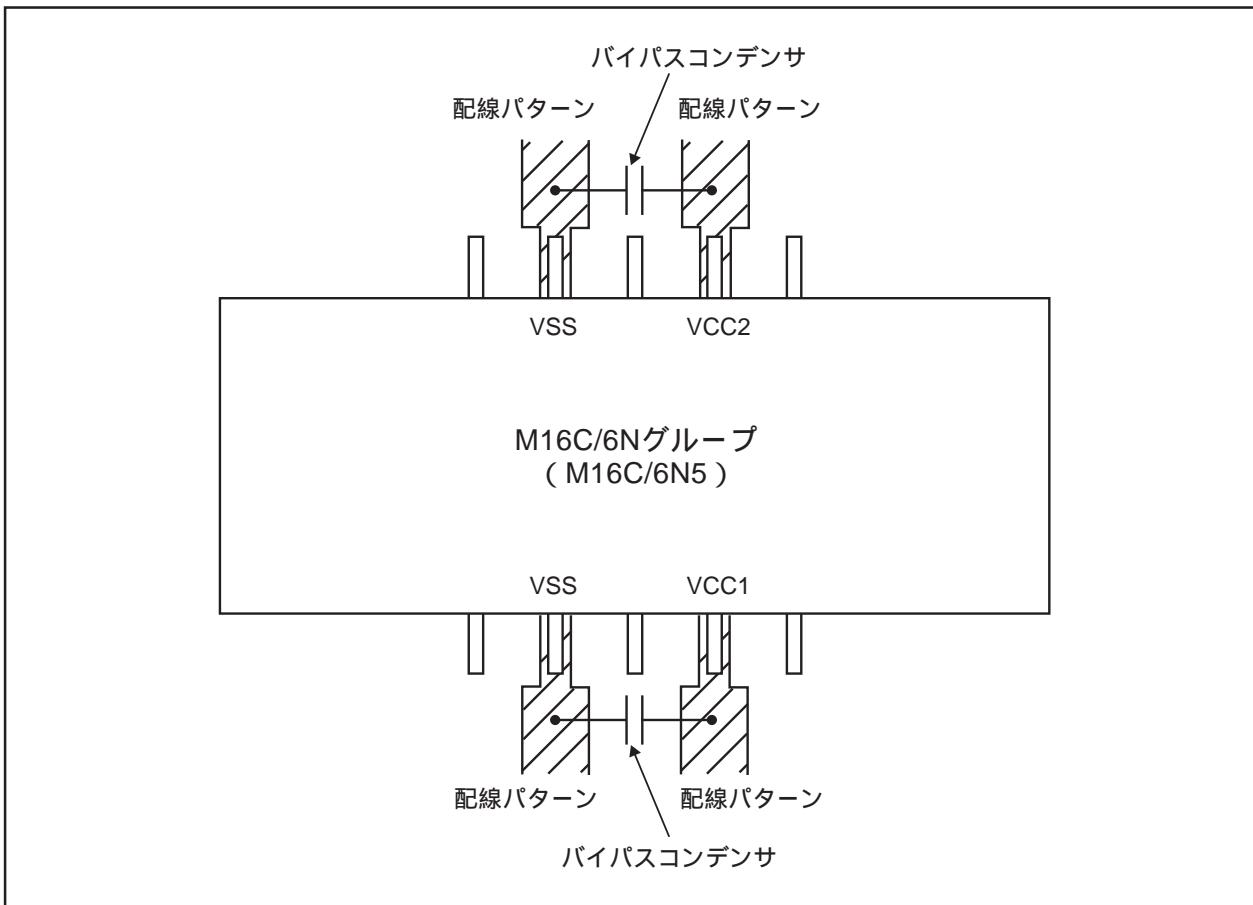
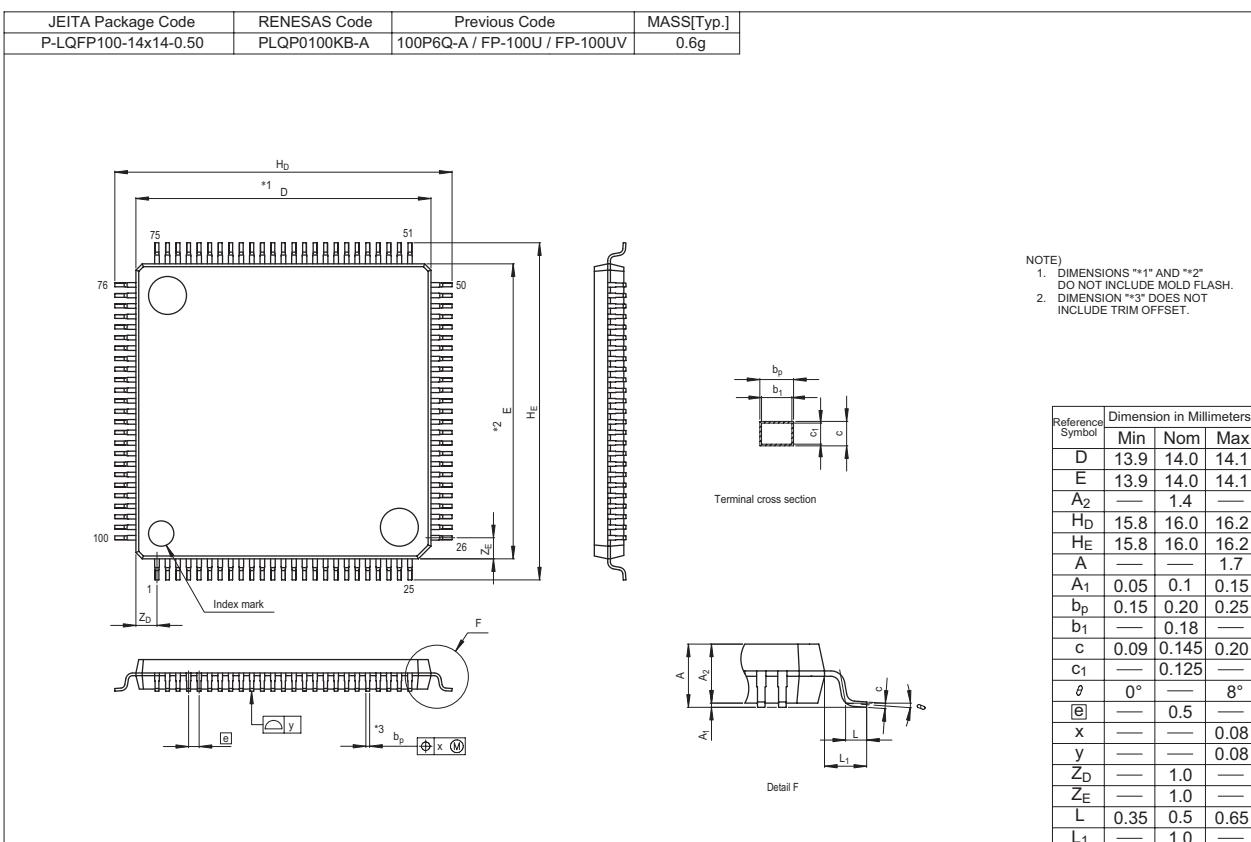
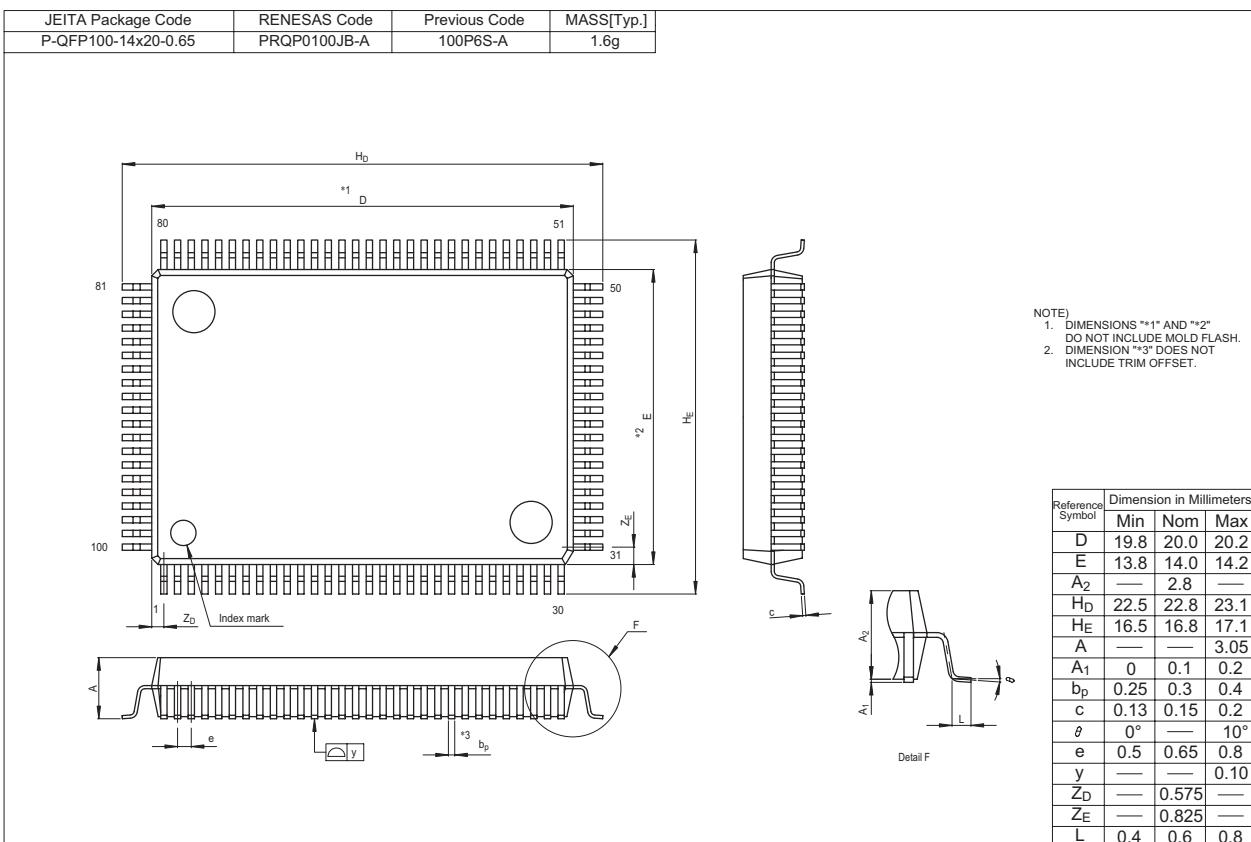


図23.8 バイパスコンデンサの接続例

付録1 . 外形寸法図



レジスタ索引

A	F	T
AD0 ~ AD7 191	DM0CON、DM1CON 93	TA0 103
ADCON0 190,193,195,197,199,201	DM0IC、DM1IC 75	TA0IC 75
ADCON1 190,193,195,197,199,201	DM0SL 92	TA0MR 103,106,108,113,115
ADCON2 191	DM1SL 93	TA1 103,130
ADIC 75	DTT 129	TA11 130
AIER 87	I	TA1IC 75
AIER2 87	FMR0 253	TA1MR 103,106,108,113,115,133
C	FMR1 253	TA2 103,130
C01ERRIC 75	ICTB2 131	TA21 130
C01WKIC 75	IDB0、IDB1 129	TA2IC 75
C0AFS 220	IFSR0 84	TA2MR .. 103,106,108,110,113,115,133
C0CONR 219	IFSR1 84	TA3 103
C0CTRLR 215	INT0IC ~ INT5IC 76	TA3IC 75
C0GMR 213	INVCO 127	TA3MR 103,106,108,110,113,115
C0ICR 218	INVCI 128	TA4 103,130
C0IDR 218	K	TA41 130
C0LMAR 213	KUPIC 75	TA4IC 75
C0LMBR 213	O	TA4MR .. 103,106,108,110,113,115,133
C0MCTL0 ~ C0MCTL15 214	ONSF 105	TABSR 104,119,132
C0RECIC 75	P	TB0 118
C0RECR 220	P0 ~ P10 242	TB0IC 75
C0SSTR 218	PCLKR 51	TB0MR 118,120,121,123
C0STR 217	PCR 244	TB1 118
C0TECR 220	PD0 ~ PD10 241	TB1IC 75
C0TRMIC 75	PLC0 52	TB1MR 118,120,121,123
C0TSR 220	PM0 31	TB2 118,130
C1CTRLR 216	PM1 32	TB2IC 75
CAN0スロット0~15	PM2 52	TB2MR 118,120,121,123
: タイムスタンプ 211,212	PRCR 69	TB2SC 131
: データフィールド 211,212	PUR0 ~ PUR2 243	TB3 118
: メッセージ識別子 211,212	R	TB3IC 75
CCLKR 51	RMAD0 ~ RMAD3 87	TB3MR 118,120,121,123
CM0 48	ROMCP 250	TB4 118
CM1 49	S	TB4IC 75
CM2 50	S0RIC ~ S2RIC 75	TB4MR 118,120,121,123
CPSRF 105,119	S0TIC ~ S2TIC 75	TB5 118
CRCD 207	S3BRG 184	TB5IC 75
CRCIN 207	S3C 184	TB5MR 118,120,121,123
CSE 42	S3IC 76	TBSR 119
CSR 36	S3TRR 184	TCR0、TCR1 94
D	SAR0、SAR1 94	TRGSR 105,132
DA0、DA1 206	U	U
DACON 206	U0BCNIC ~ U2BCNIC 75	
DAR0、DAR1 94	U0BRG ~ U2BRG 140	
	U0C0 ~ U2C0 141	
	U0C1 ~ U2C1 142	

U0MR ~ U2MR	141
U0RB ~ U2RB	140
U0SMR ~ U2SMR	143
U0SMR2 ~ U2SMR2	144
U0SMR3 ~ U2SMR3	144
U0SMR4 ~ U2SMR4	145
U0TB ~ U2TB	140
UCON	143
UDF	104

W

WDC	89
WDTS	89

改訂記録	M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.05.30	-	初版発行
2.00	2004.10.18	-	<p>改訂版発行 用語統一(統一用語:オンチップオシレータ、ウォッチドッグタイマ、A/Dコンバータ、D/Aコンバータ) 100P6Q-A(100ピン版)、128P6Q-A(128ピン版:M16C/6NS)を追加 注意事項集を使用上の注意として23章に追加 改訂箇所・内容は下記の通りです(章構成の変更、レイアウトの変更、表現のみの変更は除きます)。</p> <p>1 . 概要 3行目:「LQFPまたは128ピンプラスチックモールドLQFP」を追加 表1.1 性能概要 ・動作モードを追加 ・アドレス空間を追加 ・電気的特性の消費電流にマスクROM・フラッシュメモリの性能を追加 ・パッケージ: LQFPを追加 表1.2 性能概要: 128ピン版を追加 図1.1 ブロック図: ポートP11~P14、注3を追加 表1.3 製品一覧表: 内容見直し。M16C/6NSを追加 図1.2 型名とメモリサイズ・パッケージ ・パッケージ種類:「GP: 外形100P6Q-A、128P6Q-A」を追加 ・ROM容量:「G: 256Kバイト」を追加 図1.3 ピン接続図:「ZP(18)」を追加 図1.4、図1.5 ピン接続図:「100P6Q-A」、「128P6Q-A」を追加 表1.4 端子の機能説明(1): 注2、注3を追加 表1.5 端子の機能説明(2): タイマAにZPを追加。注2を追加 表1.6 端子の機能説明(3): P11~P14を追加。注1を追加 3 . メモリ ・3~5行目: フラッシュメモリ版(ブロックA)に関する記述を追加 ・最終2行: M16C/6NSに関する記述を追加 図3.1 メモリ配置図 ・内部ROM(データ領域)を追加 ・RAM容量に10Kバイト、ROM容量に256Kバイトを追加 ・注3、4を追加。注5の内容を変更 表4.1 SFR一覧(1) ・PM1レジスタのリセット後の値:「<u>0XXX</u>1000b」を「<u>0000</u>1000b」に変更 ・CM2レジスタのリセット後の値:「0X00<u>X</u>000b」を「0X00<u>0000</u>0b」に変更 ・注3を追加 表4.7 SFR一覧(7) ・FMR0レジスタのリセット後の値:「<u>XX</u>000001b」を「<u>0000</u>0001b」に変更 表4.11 SFR一覧(11) ・U0C1レジスタのリセット後の値:「<u>000000</u>10b」を「00<u>XX</u>0010b」に変更 ・U1C1レジスタのリセット後の値:「<u>000000</u>10b」を「00<u>XX</u>0010b」に変更 ・注1を追加</p>

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	26	表4.12 SFR一覧(12) <ul style="list-style-type: none"> ・DA0、DA1レジスタのリセット後の値：「XXh」を「00h」に変更 ・PC14、PUR3、P11～P13、PD11～PD13レジスタを追加 ・注2を追加
		28	図5.1 リセット回路の一例：注1を追加 図5.2 リセットシーケンス：注1を追加
		29	表5.1 RESET端子のレベルが「L」の期間の端子の状態：P11～P14、注2を追加
		30	6. プロセッサモード：注意書きを追加 表6.1 プロセッサモードの特長：注2を追加
		31	表6.2 ハードウェアリセット後プロセッサモード：注3を追加 表6.3 PM01～PM00ビットの設定値に対するプロセッサモード：注1を追加
		32	図6.1 PM0レジスタ：注5、注6を追加
		33	図6.2 PM1レジスタ <ul style="list-style-type: none"> ・リセット後の値：「<u>XXX</u>1000b」を「<u>0000</u>1000b」に変更 ・注2：追加あり ・注5、注6：変更 ・注7：追加
		34	図6.3 シングルチップモード時のメモリ配置 <ul style="list-style-type: none"> ・PM13=0にRAM容量に10Kバイト、ROM容量に256Kバイトを追加 ・PM13=1を追加 ・注1を変更、注2を追加
		35	図6.4 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(1) <ul style="list-style-type: none"> ・RAM容量に10Kバイト、ROM容量に256Kバイトを追加 ・旧注1を削除。注1、注2を追加
			図6.5 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(2)：新規追加
		36	図6.6 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(3) <ul style="list-style-type: none"> ・RAM容量に10Kバイト、ROM容量に256Kバイトを追加 ・旧注1を削除。注1、注2、注3を追加
			図6.7 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(4)：新規追加
		37	7. バス：注意書きを追加 表7.1 セパレートバスとマルチプレクスバスの相違：新規追加
		38	図7.1 CSRレジスタ：注2を変更、注4を追加
		44	図7.6 CSEレジスタ：注2を追加
		45	表7.8 ソフトウェア関連ビットとバスサイクル <ul style="list-style-type: none"> ・SFRのバスサイクル(PM20=0)：「BCLKの<u>2</u>サイクル」を「BCLKの<u>3</u>サイクル」に変更 ・SFRのバスサイクル(PM20=1)：「BCLKの<u>3</u>サイクル」を「BCLKの<u>2</u>サイクル」に変更 ・CSRレジスタの列の下から5つめ：「1」を「0」に変更 ・注5を追加

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	48	表8.1 各クロック発生回路の概略仕様 ・PLL周波数シンセサイザのクロック周波数：16MHzを追加
		49	図8.1 システムクロック発生回路ブロック図：上段ブロック図を変更
		50	図8.2 CM0レジスタ ・CM02ビットのビット名を変更 ・注6(2)、注8の内容を変更
		51	図8.3 CM1レジスタ：CM11ビットの注3を削除
		53	図8.6 CCLKRレジスタ：注2の位置を変更し内容も追加、注3を追加
		54	図8.7 PM2レジスタ：注2を変更
		57	図8.8 PLC0レジスタ：PLC02～PLC00ビットの011b(6倍)、100b(8倍)を「設定しないでください」に変更 8.1.4 PLLクロックの10行目：PLLクロックの周波数に16MHzを追加 表8.2 PLLクロック周波数の設定例 ・16MHzの行を追加(8×2倍、4×4倍) ・注1に16MHzを追加
		58	図8.11 PLLクロックをCPUのクロック源にする手順の4枠目 ・「PLLクロックを16MHz以上にする場合」を「PLLクロック > 16MHzの場合」に変更
		60	8.4.1.2 PLL動作モードの1行目 ・「メインクロックの2、4、6、または8倍」を「メインクロックの2または4倍」に変更
		61	表8.3 クロック関連ビットの設定とモード ・低消費電力モードのCM21ビット：「-」を「0」に変更 ・低速モード、低消費電力モード、オンチップオシレータモード、オンチップオシレータ低消費電力モードのCM11ビット：「-」を「0」に変更
		62	8.4.2 ウェイトモード 4行目：「、およびPLLクロック」を削除 表8.4 ウェイトモード時の端子の状態 ・ALEのメモリ拡張モード、マイクロプロセッサモード：「H」を「L」に変更 ・注1、注2を追加
		63	表8.5 ウェイトモードからの復帰に使用できる割り込みと使用条件 ・CAN0ウェイクアップ割り込み：「CANスリープモードで」を追加
		64	8.4.3 ストップモード 最終行 ・CAN0ウェイクアップ割り込みに「(CANスリープモード時)」を追加 表8.6 ストップモード時の端子の状態 ・ALEのメモリ拡張モード、マイクロプロセッサモード：「H」を「不定」に変更 ・注1、注2を追加
		66	図8.12 ストップモード、ウェイトモード状態遷移 ・図を変更 ・注3に追加あり
		67	図8.13 通常動作モード状態遷移 ・低速モード、低消費電力モード：「CM7 = 1」を「CM7 = 0」に変更(3箇所) ・注2、注6を変更
		70	図8.14 オンチップオシレータクロックからメインクロックへの切り替え手順：図を変更 表10.2 可変ペクタテーブル ・CAN0エラー：注3を追加 ・割り込み要因の最終行：「ソフトウェア割り込み」を「INT割り込み」に変更 ・注10、注11を追加
		76	

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	77	図10.3 割り込み制御レジスタ(1)：注5を追加
		78	図10.4 割り込み制御レジスタ(2) ・INT5ICに注2を追加 ・S3IC/INT4ICに注2、注6を追加
		81	表10.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値 ・割り込み要因の「シングルチップ」を「シングルステップ」に修正
		86	図10.11上 IFSR0レジスタ ・(b5-b3)：「書く場合、書き込めない。」を「書く場合、“0”を書いてください。」に変更 ・注3を追加
		87	10.9 CAN0ウェイクアップ割り込み：内容を変更 図10.13 CAN0ウェイクアップ割り込みブロック図：図を変更
		90	図11.1 ウオッチドッグタイマブロック図：「RESET」を「内部リセット信号」に変更
		99	表12.2 DMAC転送サイクル数：注1を追加
		107	表12.3 係数j、k：注3を追加 図13.6上中 ONSFレジスタ、TRGSRレジスタ：注2を追加
		108	表13.1 タイマーモードの仕様 ・分周比：「TAiMR レジスタ」を「TAiレジスタ」に変更 ・選択機能：「カウント停止中は“L”を出力」を「TAiSビットが“0”的期間は“L”を出力」に変更
		109	表13.2 イベントカウンタモードの仕様 ・選択機能：「カウント停止中は“L”を出力」を「TAiSビットが“0”的期間は“L”を出力」に変更
		113	13.1.2.1 二相パルス信号処理でのカウンタ初期化の3行目 ・「INT2端子」を「ZP端子」に変更 図13.10 二相パルス(A相、B相)とZ相との関係：「INT2(Z相)」を「ZP」に変更
		117	図13.12 PWMモード時のTAiMRレジスタ ・MR0ビット：「PWMモードでは“1”にしてください。」を「パルス出力機能選択ビット(注3)」に変更 ・注3を追加
		122	表13.6 タイマーモードの仕様 分周比：「TBiMRレジスタ」を「TBiレジスタ」に変更
		128	図14.1 三相モータ制御用タイマ機能ブロック図：図を変更
		129	図14.2 INVC0レジスタ：内容を変更
		130	図14.3 INVC1レジスタ：INV13ビットの機能を変更
		131	図14.4上 IDB0、IDB1レジスタ：(b7-b6)の内容を変更 図14.4下 DTTレジスタ：注2に追加あり
		133	図14.6上 ICTB2レジスタ ・(b7-b4)の内容を変更 ・注3を追加
		134	図14.7上 TRGSRレジスタ：注2を追加
		135	図14.8上 TA1MAR、TA2MR、TA4MRレジスタ ・MR1ビットの機能の「...では無効」を「...では“0”にしてください」に変更
		136	図14.9 三角波変調動作例：図を変更
		138	15.1 UARTi：特殊モード3の「：UART0、UART1」を削除

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	139、140 141 143 144 152 153 155 156 158 160 161 163 175 178 180 188 191 204 205 208 215 216 217 218 219 223 224	図15.1～図15.3 UART0～UART2ブロック図：図を変更 図15.4 UART送受信部ブロック図：図を変更 図15.6下 U0C0～U2C0レジスタ：注3、注4を変更 図15.7上 U0C1、U1C1レジスタ ・リセット後の値：「00000010b」を「00XX0010b」に変更 ・(b5-b4)：「読んだ場合、その値は“0”」を「読んだ場合、その値は不定」に変更 ・注1を追加 図15.7下 U2C1レジスタ：注1を追加 15.1.1.1 通信エラー発生時の対処方法：新規追加 15.1.1.4 連続受信モード：1～4行目を追加 15.1.1.7 CTS/RTS機能：新規追加 表15.5 UARTモードの仕様：注3を追加 表15.7 UARTモード時の入出力端子の機能 ・TXDiの選択方法：「ダミーデータを出力」を「H」を出力に変更 15.1.2.1 転送速度、表15.9 転送速度：新規追加 15.1.2.2 通信エラー発生時の対処方法：新規追加 15.1.2.6 CTS/RTS機能：新規追加 表15.15 特殊モード2時の使用レジスタと設定値 ・UiC1レジスタの「U2LCH」を「UiLCH」に変更 表15.16 IEモード時の使用レジスタと設定値 ・UiC1レジスタの「UiRRM」を「U2RRM」に変更 表15.17 SIMモードの仕様：注3を追加 図15.39 転送クロックの極性：図を変更 図16.1 A/Dコンバータブロック図：OPA1～OPA0(下中)の「00b」を「11b」に修正 16.2.4 外部オペアンプ接続モード 5行目 ・「なお、ANEX0端子とANEX1端子とを直結しないでください。」を削除 16.2.6 A/D変換時のセンサーの出力インピーダンス：新規追加 図17.2上 DA0、DA1レジスタ：リセット後の値の「不定」を「00h」に変更 図19.4 バイトアクセス時の各マスクレジスタのビット配置：注1、注2を追加 図19.5 ワードアクセス時の各マスクレジスタのビット配置：注1、注2を追加 図19.6 C0MCTLjレジスタ：注2に追加あり 図19.7 C0CTRLRレジスタ上：旧注1を削除。注1、注2、注3を追加 C0CTRLRレジスタ下：注3、注4を追加 図19.8 C1CTRLRレジスタ上：注1に追加あり 図19.9 C0STRレジスタ：注2を追加 19.5 動作モード ・1行目：動作モードの「3つ」を「4つ」に変更 ・5行目：「CANインターフェーススリープモード」を追加 図19.13 動作モードの遷移：図を変更 19.5.1 CANリセット／初期化モード：内容を変更 19.5.2 CAN動作モード：2～3行目の内容を変更 19.5.3 CANスリープモードの1行目：「、およびResetビットを“0”」を追加 19.5.4 CANインターフェーススリープモード：新規追加

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	225 231 233 234 236 237 238 243 244 246 247 248 251 252 255 256 257 258 260 261 262 265 266	19.5.5 バスオフステート：内容を変更 19.12 リターンフロムバスオフ機能 ・4行目：「C0STRレジスタのState_BusOffビット“ は0 ”になりますが、」を追加 19.14 リッスンオンリーモード ・最終行：「リッスンオンリーモード選択時は、送信要求をしないでください。」を追加 図19.21 データフレーム受信時の動作例：RecStateビットの波形を修正 19.15.1 受信：(4)(5)の内容を変更 図19.22 データフレーム送信時の動作例：本文に対応する番号の位置を変更 19.15.2 送信：(1)～(4)の内容を変更 20. プログラマブル入出力ポート：注1を追加 表20.1 各パッケージの入出力ポートの本数：新規追加 20.2 Piレジスタ：最終行にポートP14について追加 20.3 PURjレジスタ：4行目に「ポートP11～P14を使用する場合、PUR3レジスタのPU37ビットを“ 1 ”にしてください。」を追加 図20.1 入出力ポートの構成(1) ・一番上の図にP11～P14を追加 ・注2を追加 図20.7上 PD0～PD13レジスタ：PD11～PD13を追加。注3、注4を追加 図20.8上 P0～P13レジスタ：P11～P13を追加。注3、注4を追加 図20.8下 PC14レジスタ：新規追加 図20.10 PUR3レジスタ：新規追加 表20.2 シングルチップモード時の未使用端子の処理例：P11～P14、注5を追加 図20.12 未使用端子の処理例：P11～P14、注2を追加 21.2.1 ROMコードプロジェクト機能：内容を変更 21.2.2 IDコードチェック機能：内容を変更 図21.2 ROMCPレジスタ：変更 図21.4上 FMR0レジスタ：リセット後の値の「XX000001b」を「00000001b」に変更 21.3.3.1 FMR00ビット：内容を変更 21.3.3.8 RMR11ビット：FMR11ビットが“ 0 ”の場合の記述を追加 21.3.3.9 FMR16ビット：追加あり 図21.5 EW0モードの設定と解除方法：左枠上から2つめと3つめを入れ替え(転送が先) 図21.6 EW1モードの設定と解除方法：注3に追加あり 図21.7 低消費電力モード前後の処理：注4を追加 21.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード：内容を変更 表21.4 ソフトウェアコマンド一覧表：旧注2を削除 21.3.5.4 プログラム：下から3行目の「リードコマンド」を「リードアレイコマンド」に修正 図21.11 リードロックビットステータスフローチャート ・「ロック状態」「非ロック状態」を「ロックロック状態」「ロック非ロック状態」に変更 21.3.6 データ保護機能：「ロックビット」の一部を「ロックビットデータ」に変更(7箇所) 21.3.7.1 シーケンサステータス：内容を変更

改訂記録	M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	271	表21.7 標準シリアル入出力モードの端子の機能説明 ・VCCをVCC1に変更、VCC2を追加 ・VCC1、VCC2、VSS : VCC2、VCCの入力条件を追加 ・P11～P14を追加 ・注2を追加
		273、274	図21.14、図21.15 標準シリアル入出力モード時の端子結線図(2×3): 新規追加
		275	図21.17 標準シリアル入出力モード2を使用する場合の端子処理例: RESETの処理を追加
		277	表21.8 CAN入出力モードの端子の機能説明 ・VCCをVCC1に変更、VCCを追加 ・VCC1、VCC2、VSS : VCC2、VCCの入力条件を追加 ・P11～P14を追加 ・注1を追加
		279、280	図21.19、図21.20 CAN入出力モード時の端子結線図(2×3): 新規追加
		282	表21.9 フラッシュメモリの電気的特性: 項目の追加、値の変更あり
		283	表22.1 絶対最大定格 ・P11～P14を追加 ・動作周囲温度に「フラッシュメモリ書き込み消去時」を追加 ・注1を追加
		284	表22.2 推奨動作条件(1) ・P11～P14を追加 ・注3にP11～P14の記述を追加 ・注4を追加
		285	表22.3 推奨動作条件(2) ・電源リップルの項目を追加 ・注4の内容を変更
			図22.1 電源変動のタイミング図: 新規追加
		286	表22.4 電気的特性(1) ・P11～P14を追加 ・ヒステリシス: 「CLK4」を「CLK3」に、「TA2OUT」を「TA0OUT」に修正 ・ヒステリシス RESET: 最大値の「2.2」を「2.5」に変更 ・ヒステリシス XIN: 新規追加 ・注2を追加
		288	表22.6 A/D変換特性: 「許容信号源インピーダンス」を追加
		289	表22.8 電源回路のタイミング特性: 「 $t_{d(M-L)}$ 」を削除
			図22.2 電源回路のタイミング図: 新規追加
		290	表22.10 メモリ拡張モード、マイクロプロセッサモード: 「 $t_{d(BCLK-HLDA)}$ 」を削除
		292	表22.21 シリアルI/O: $t_{s(D-C)}$ の最小規格値の「30」を「70」に変更
		293	表22.23 メモリ拡張モード、マイクロプロセッサモード ・ $t_{d(BCLK-ALE)}$: 最大規格値の「25」を「15」に変更 ・ $t_{d(BCLK-HLDA)}$: 追加
		294	表22.24 メモリ拡張モード、マイクロプロセッサモード ・ $t_{d(BCLK-ALE)}$: 最大規格値の「25」を「15」に変更 ・ $t_{d(BCLK-HLDA)}$: 追加

改訂記録	M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.10.18	295 296 298、299 300、301 303 304 305 306 313 318 319 321 324 325 327 329 330 332 333 335、336	表22.25 メモリ拡張モード、マイクロプロセッサモード ・ $t_{\text{d(BCLK-HLDA)}}$: 追加 ・ $t_{\text{d(BCLK-ALE)}}$: 最大規格値の「25」を「15」に変更 図22.4 タイミング図(1): XIN入力の図を追加 図22.6、図22.7 タイミング図(3)(4): 読み出しタイミングの「DB」を「DBi」に修正 図22.8、図22.9 タイミング図(5)(6): 書き込みタイミングの「DB」を「DBi」に修正 図22.11 タイミング図(8) ・読み出しタイミング、書き込みタイミング: 「ADi/DB」を「ADi/DBi」に修正 23.1 外部バス: ROM外付け版に関する記述を削除 23.2 PLL周波数シンセサイザ使用時: 内容を変更 23.3 パワーコントロール ・2項目目: 新規追加(ストップモードからの復帰にタイマAを使用する場合、～) ・4項目目: 内容を変更 ・消費電力を小さくするためのポイント: 外部クロックの項目を削除 23.7.1.3 ワンショットタイマモード ・2項目目: 「TABSРレジスタ」を「TAISビット」に修正 23.8.2.1 特殊モード1(I ² Cモード): 新規追加 23.8.3 SI/O3: 新規追加 23.9 A/Dコンバータ: 3項目目(最終項目)を追加(单掃引モードで～) 23.10.2 CAN動作モードとCANリセットモードの移行: 新規追加 23.10.3 消費電流を小さくするためのポイント: 新規追加 23.11 プログラマブル入出力ポート: 4項目目(最終項目)を追加(PC14レジスタの～) 23.13 マスクROM版: 新規追加 23.14.4 低消費電力モード、オンチップオシレータ低消費電力モード: 内容を変更 23.15 標準ポートプログラムによるフラッシュメモリ書き込み: 新規追加 23.16 ノイズ: 新規追加 付録1. 外形寸法図: 100P6Q-A、128P6Q-Aを追加
2.10	2004.11.10	-	改訂版発行 製品内容見直し(128P6Q-A(128ピン版: M16C/6NS)を削除) 改訂箇所・内容は下記の通りです(表現のみの変更は除きます) 1. 概要 3行目: 「または128ピンプラスチックモールドLQFP」を削除 2. 表1.1の後: 旧表1.2 性能概要(128ピン版: M16C/6NS)を削除 3. 図1.1 ブロック図: ポートP11～P14、注3を削除 4. 表1.2 製品一覧表: 内容見直し(M16C/6NSを削除) 5. 図1.2 型名とメモリサイズ・パッケージ: パッケージ種類の「(GP:)128P6Q-A」を削除 6. 図1.4の後: 旧図1.5 ピン接続図の「128P6Q-A」を削除 7. 表1.3 端子の機能説明(1): 注2、注3を削除 8. 表1.4 端子の機能説明(2): 注2を削除 9. 表1.5 端子の機能説明(3): P11～P14、注1を削除 10. 3. メモリ 最終2行: M16C/6NSに関する記述を削除 11. 図3.1 メモリ配置図: 内部RAM / ROM容量を変更。注5の内容を変更 12. 表4.1 SFR一覧(1): 注3を削除 13. 表4.12 SFR一覧(12): PC14、PUR3、P11～P13、PD11～PD13レジスタ、注2を削除

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2004.11.10	26	図5.2 リセットシーケンス：注1を削除
		27	表5.1 RESET端子のレベルが" L "の期間の端子の状態：P11～P14、注2を削除
		28	6. プロセッサモード：注意書きを削除 表6.1 プロセッサモードの特長：注2を削除 表6.2 ハードウェアリセット後プロセッサモード：注3を削除 表6.3 PM01～PM00ビットの設定値に対するプロセッサモード：注1を削除
		29	図6.1 PM0レジスタ：注5、注6を削除
		30	図6.2 PM1レジスタ：注5の内容を変更、注7を削除
		31	図6.3 シングルチップモード時のメモリ配置 ・PM13=0の内部RAM / ROM容量を変更 ・PM13=1を削除 ・注1の内容を変更
		32	図6.4 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(1)： ・内部RAM / ROM容量を変更 ・注1の内容を変更 ・注2を削除 図6.5 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(2)： ・内部RAM / ROM容量を変更 ・注2を注1に変更 ・注1を注2にして内容を変更 ・注3を削除 旧図6.5、旧図6.7 メモリ拡張モード、マイクロプロセッサモード時のメモリ配置およびチップセレクト領域(2)(4)：削除
		33	7. バス：注意書きを削除
		34	図7.1 CSRレジスタ：注4を削除
		40	図7.6 CSEレジスタ：注2を削除
		58	表8.4 ウエイトモード時の端子の状態：注1、注2を削除
		60	表8.6 ストップモード時の端子の状態：注1、注2を削除
		95	表12.2 DMAC転送サイクル数：注1を削除 表12.3 係数j、k：注3を削除
		232	20. プログラム入出力ポート：128ピン版の記述、注1を削除 表20.1 各パッケージの入出力ポートの本数：削除 20.2 Piレジスタ：最終行のポートP14に関する記述を削除 20.3 PURjレジスタ：4行目のポートP11～P14に関する記述を削除
		234	図20.1 入出力ポートの構成(1)：一番上の図のP11～P14を削除、注2を削除
		239	図20.7上 PD0～PD10レジスタ：PD11～PD13、注3、注4を削除
		240	図20.8上 P0～P10レジスタ：P11～P13、注3、注4を削除 図20.8下 PC14レジスタ：削除
		242	旧図20.10 PUR3レジスタ：削除
		243	表20.1 シングルチップモード時の未使用端子の処理例：P11～P14、注5を削除
		244	図20.11 未使用端子の処理例：P11～P14(シングルチップモード時)、注2を削除

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2004.11.10	246 267 269 272 274 277 278 280 321 328	図21.1 フラッシュメモリのブロック図：ブロック7、8を削除 表21.7 標準シリアル入出力モードの端子の機能説明：P11～P14、注2を削除 図21.14の後：旧図21.15 標準シリアル入出力モード時の端子結線図(3)を削除 表21.8 CAN入出力モードの端子の機能説明：P11～P14、注1を削除 図21.18の後：旧図21.20 CAN入出力モード時の端子結線図(3)を削除 表22.1 絶対最大定格：P11～P14、注1を削除 表22.2 推奨動作条件(1) ・P11～P14、注3のP11～P14の記述、注4を削除 ・ $I_{OH(peak)}$ の単位の「V」を「mA」に修正 表22.4 電気的特性(1)：P11～P14、注2を削除 23.11 プログラマブル入出力ポート：4項目目(最終項目)を削除(PC14レジスタの～) 付録1 外形寸法図：128P6Q-Aを削除
2.20	2005.06.24	- 2 4 19 48 63 140 212 213 215	改訂版発行 製品内容見直し(Normal-ver.追加) 改訂箇所・内容は下記の通りです(表現のみの変更は除きます) 表1.1 性能概要：Normal-ver.の性能概要を追加 表1.2 製品一覧表：内容見直し。Normal-ver.を追加 図1.2 型名とメモリサイズ・パッケージ：特性に「(なし)」：Normal-ver.を追加 図4.7 SFR一覧(7)：注1に「マスクROM版ではアクセスしないでください。」を追加 図8.4 CM2レジスタ：リセット後の値の「0X00_X000b」を「0X00_0000b」に変更 図8.13 通常動作モード状態遷移：注7を変更 図15.7 U0C1～U2C1レジスタ：RIビットの機能を修正('0：なし、1：あり'に修正) 図19.6 C0MCTLjレジスタ ・RemActiveビット：機能の「1：リモートフレーム転送ステータス」を「1：リモートフレーム <u>送受信</u> ステータス」に変更 ・RspLockビット：ビット名の「送受信」を削除 ・注2：内容を変更 図19.7 C0CTRLレジスタ上 ・LoopBackビット：機能の「0：通常動作モード」を「0：ループバックモード無効」に、「1：ループバックモード」を「1：ループバックモード <u>有効</u> 」に変更 ・BasicCANビット：機能の「0：通常動作モード」を「0：BasicCANモード無効」に、「1：BasicCANモード」を「1：BasicCANモード <u>有効</u> 」に変更 図19.7 C0CTRLレジスタ下 ・TSPreScaleビット：ビットシンボルから「Bit1, Bit0」を削除 ・TSResetビット：機能の「0：通常動作モード」を「0：何もしない」に変更 ・RetBusOffビット：機能の「0：通常動作モード」を「0：何もしない」に変更 ・RXOnlyビット：機能の「0：通常動作モード」を「0：リッスンオンリーモード無効」に、「1：リッスンオンリーモード」を「1：リッスンオンリーモード <u>有効</u> 」に変更 図19.9 C0STRレジスタ上：旧注1を削除 図19.9 C0STRレジスタ下 ・State_LoopBackビット：機能の「0：動作モード」を「0：ループバックモードではない」に変更 ・State_BasicCANビット：機能の「0：動作モード」を「0：BasicCANモードではない」に変更

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.20	2005.06.24	218	<p>図19.12 C0RECR、C0TECR、C0TSR、C0AFSレジスタ • 上(C0RECRレジスタ): 注2を削除 • 中上(C0TECRレジスタ): 注1を削除 • 中下(C0TSRレジスタ): 注1を削除</p> <p>19.15.1 受信 : (1)の最後の「19.15.2 送信」参照)を削除</p> <p>229 図20.1 入出力ポートの構成(1): 4つめの図のP7_0を削除</p> <p>234 図20.3 入出力ポートの構成(3): 2つめの図にP7_0を追加</p> <p>236 図20.6 端子の構成: 旧注1を削除</p> <p>238 表22.5 電気的特性(2) • 測定条件5項目目のマスクROM: 「(XCIN)」を「(BCLK)」に変更</p> <p>281 表22.6 A/D変換特性: 「許容信号源インピーダンス」を削除</p> <p>282</p>
		229	
		234	
		236	
		238	
		281	
		282	
2.30	2005.10.24	-	<p>改訂版発行 Normal-ver.の電気的特性を追加 改訂箇所・内容は下記の通りです(表現のみの変更は除きます)</p> <p>1 1.1 応用: Normal-ver.の応用例を追加</p> <p>4 表1.2 製品一覧表: 注1を追加</p> <p>7、8 表1.3、表1.4 端子名一覧表: 新規追加</p> <p>9 表1.3 端子の機能説明(1): 電源入力の機能に3.0 ~ 5.5V(Normal-ver.)を追加</p> <p>27 ~ 29 5. リセット: 記載順序を変更</p> <p>29 5.5 内部領域の状態: 追加</p> <p>39 7.2.6 RDY信号 • 最終行: 「未使用端子の処理をしてください。」を「RDY端子をプルアップしてください。」に変更</p> <p>46 表8.1 各クロック発生回路の概略仕様 • PLL周波数シンセサイザのクロック周波数: 24MHz(注1)を追加 • 注1を追加</p> <p>52 図8.8 PLC0レジスタ • PLC02 ~ PLC00ビットの011b: 変更 • 注4を追加</p> <p>53 図8.9 メインクロックの接続回路例: 変更</p> <p>54 図8.10 サブクロックの接続回路例: 変更</p> <p>55 8.1.4 PLLクロック • 8行目: 「PLLクロックの周波数が16MHz以上の場合は、PM2レジスタのPM20ビットを“0(2ウェイト)にしてください。」を追加 • 10行目: PLLクロックの周波数に「24MHz(注1)」を追加 • 10行目の後: 注1を追加</p> <p>表8.2 PLLクロックの周波数の設定例 • 24MHzの行を追加(12 × 2倍、 6 × 4倍、 4 × 6倍) • 注1に24MHzを追加 • 注2、注3を追加</p> <p>58 8.4.1.2 PLL動作モード • 1行目: 6倍、注1を追加</p>
		1	
		4	
		7、8	
		9	
		27 ~ 29	
		29	
		39	
		46	
		52	
		53	
		54	
		55	
		58	

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.30	2005.10.24	59	8.4.1.6 オンチップオシレータモード ・最終行：「高速、中速モード～にしてください。」を追加(8.4.1.7から移動) 8.4.1.7 オンチップオシレータ低消費電力モード ・最終行：「高速、中速モード～にしてください。」を削除(8.4.1.6へ移動)
		62	8.4.3 ストップモード ・「表8.6 ストップモードからの復帰に使用できる割り込みと使用条件」を追加(本文を表化)
		65	図8.13 通常動作モード状態遷移：注7を削除
		81	10.5.8 割り込みルーチンからの復帰：最終行(「レジスタバンクを～」)を追加 10.5.9 割り込み優先順位：1行目(「同一サンプリング～」)を変更 10.5.10 割り込み優先レベル判定回路：1行目(「割り込み優先レベル～」)を変更
		84	図10.11 IFSR1レジスタ(下)：注2を変更
		91	表12.1 DMAの仕様：最終行にDMA転送サイクル数を追加
		95	12.1.3 ソフトウェアウェイトの影響 ・最終行の後：「図12.5に～2バスサイクル必要となります。」を追加(12.1.4 RDY信号の影響の下から移動)
		115	図13.12 PWMモード時のTAiMRレジスタ：b2の「1」を削除
		121	表13.7 イベントカウンタモードの仕様：カウントソースの仕様を変更
		126	図14.1 三相モータ制御用タイマ機能ブロック図：変更
		127	図14.2 INVCOレジスタ：注5、注6を変更
		140	図15.5 U0BRG～U2BRGレジスタ(下)：注3を追加
		141	図15.6 U0C0～U2C0レジスタ(下)：注5を追加
		158	表15.9 転送速度：24MHz、注1を追加
		184	図15.37 S3Cレジスタ(上)：注5を追加 図15.37 S3BRGレジスタ(中)：注3を追加
		188	表16.1 A/Dコンバータの仕様 ・積分非直線性誤差：仕様に「AVCC = VREF = 3.3Vのとき」を追加
		203	16.2.6 A/D変換時のセンサーの出力インピーダンスの10行目(式は除く) ・「(XIN)」を「(AD)」に変更
		204	図16.10 アナログ入力端子と外部センサーの等価回路例：「fAD」を「AD」に変更
		205	図17.1 D/Aコンバータブロック図：変更
		206	図17.2 DA0、DA1レジスタ(下)：設定範囲を追加 図17.3 D/Aコンバータの等価回路：注2を追加
		208	図18.3 CRC演算例：CRC演算詳細を変更
		220	図19.12 COTECRレジスタ(中上)：注1を追加
		225	表19.2 転送速度の実現例：24MHz、注2を追加
		248	図21.1 フラッシュメモリのブロック図：変更
		250	図21.2 ROMCPレジスタ：変更
		251	表21.3 EW0モードとEW1モードの違い：注1の「ウォッチドッグタイマ」を削除
		252	21.3.2 EW1モード：最終行(「プログラム～CPUは停止します。」)を追加
		254	21.3.3.4 FMSTPビットの7行目の後：EMSTPビットの書き換え手順を追加
		257	図21.7 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理 ・「低消費電力モードプログラム」を「低消費電力モード、オンチップオシレータ低消費電力モードプログラム」に変更(3箇所)

改訂記録	M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.30	2005.10.24	259 262 268 270 273 275 278 279 280 302 ~ 337 340 358 355 356 362 365	<p>21.3.4.11 ストップモード：変更 21.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード ・「ロックビットプログラムソフトウェアコマンド」を「ロックビットプログラム」に変更</p> <p>21.3.5.5 ブロックイレーズ ・最終行の後：「なお、イレーズエラーが～3回実行してください。」を追加 図21.9 ブロックイレーズフローチャート：注2、注3を追加 図21.12 フルステータスチェックフローチャートと各エラー発生時の対処方法 ・イレーズエラーに(4)を追加</p> <p>表21.7 標準シリアル入出力モードの端子の機能説明 ・VCC1、VCC2、VSSの機能：変更 ・P8_4の機能：変更 ・注1を変更 ・注2を追加</p> <p>図21.15、図21.16 標準シリアル入出力モード1/2を使用する場合の端子処理例 ・VCC1、VCC2を追加</p> <p>表21.8 CAN入出力モードの端子の機能説明 ・VCC1、VCC2、VSSの機能：変更 ・P8_4機能：変更 ・注1を追加</p> <p>図21.19 CAN入出力モードを使用する場合の端子処理例：VCC1、VCC2を追加</p> <p>表21.9 フラッシュメモリの電気的特性：表内の条件の「Topr = 25」を削除(2箇所)</p> <p>21.7.2 電気的特性(Normal-ver.)：新規追加</p> <p>22.2 電気的特性(Normal-ver.)：新規追加</p> <p>23.3 パワーコントロール ・3項目目：変更(「ウェイトモードに移行するとき / ストップモードに移行するとき」に分けて記載)</p> <p>23.9 A/Dコンバータ：最終行後に追加</p> <p>図23.2 各端子の処理例：変更</p> <p>23.9 A/Dコンバータ：最終行(「AN4～AN7は～増加します。」)を追加</p> <p>23.11 プログラマブル入出力モード ・4、5項目目(PM0レジスタ～使用してください。 / PM11ビット～出力されます。)：追加</p> <p>23.14.2 ストップモード：変更 23.14.4 低消費電力モード、オンチップオシレータ低消費電力モード ・「ロックビットプログラムソフトウェアコマンド」を「ロックビットプログラム」に変更 23.14.8 動作速度：1行目に「CM1レジスタのCM11ビットを“0”」を追加</p>
2.40	2006.04.14	- 22 64	<p>改訂版発行 改訂箇所・内容は下記の通りです(表現のみの変更は除きます)</p> <p>表4.8 SFR一覧(8) ・IDB0レジスタのリセット後の値：「00h」を「00111111b」に変更 ・IDB1レジスタのリセット後の値：「00h」を「00111111b」に変更 図8.12 ストップモード、ウェイトモード状態遷移 ・図を変更(オンチップオシレータから高速、中速モードの矢印を削除)</p>

改訂記録		M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.40	2006.04.14	95	<p>12.1.3 ソフトウェアウェイトの影響 • 最終行の後 :「図12.5に~2バスサイクル必要となります。」を削除(「12.1.4 RDY信号の影響」の下に移動)</p> <p>12.1.4 RDY信号の影響 • 最終行の後 :「図12.5に~2バスサイクル必要となります。」を追加(「12.1.3 ソフトウェアウェイトの影響」の下から移動)</p>
		106	図13.7 タイマモード時のTAiMRレジスタ : 注2を追加
		113	図13.11 ワンショットタイマモード時のTAiMRレジスタ : 注3を追加
		115	図13.12 PWMモード時のTAiMRレジスタ : 注4を追加
		120	図13.18 タイマモード時のTBiMRレジスタ : 注1を追加
		123	図13.20 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ : 注2を追加
		128	図14.3 INVC1レジスタ : 注6を追加
		129	図14.4 IDB0、IDB1レジスタ(上) : リセット後の値を変更
		133	図14.8 TA1MR、TA2MR、TA4MRレジスタ(上) : 注1を追加 図14.8 TABMRレジスタ(下) : 注1を追加
		137	図15.1 UART0ブロック図 : 変更 図15.2 UART1ブロック図 : 変更
		138	図15.3 UART2ブロック図 : 変更
		140	図15.5 U0RB~U2RBレジスタ(中) : 注3を追加
		141	図15.6 U0C0~U2C0レジスタ(下) : 注6を追加
		146	表15.1 クロック同期形シリアルI/Oモードの仕様 • 転送クロックの1行目 : 「 $fj/2(n+1)$ 」を「 $fj(2(n+1))$ 」に変更 • 注3を変更
		149	図15.11 クロック同期形シリアルI/Oモード時の送信、受信タイミング例 : 変更
		154	表15.5 UARTモードの仕様 • 転送クロックの1、3行目 : 「 $fj/16(n+1)$ 」を「 $fj(16(n+1))$ 」に、「fEXT/16(n+1)」を「fEXT(16(n+1))」に変更 • 選択機能の仕様の2行目 : 「送受信」を「送信、受信」に変更(2箇所) • 注2を変更
		157	図15.17 UARTモード時の送信タイミング例 : 変更
		158	15.1.2.1 ピットレート : 「転送速度」を「ピットレート」に変更
			表15.9 ピットレート : 「転送速度」、「ポーレート」、「実時間」を「ピットレート」に変更
		162	表15.10 I ² Cモードの仕様 • 転送クロックの2行目 : 「 $fj/2(n+1)$ 」を「 $fj(2(n+1))$ 」に変更
		164	表15.11 I ² Cモード時の使用レジスタと設定値 : 注3を追加
		171	表15.14 特殊モード2の仕様 • 転送クロックの2行目 : 「 $fj/2(n+1)$ 」を「 $fj(2(n+1))$ 」に変更
		178	表15.17 SIMモードの仕様 • 転送クロックの1、3行目 : 「 $fj/16(n+1)$ 」を「 $fj(16(n+1))$ 」に、「fEXT/16(n+1)」を「fEXT(16(n+1))」に変更
		180	図15.32 SIMモードの送受信タイミング例 : 変更
		182	15.1.6.2 フォーマット : 本文変更
		184	図15.37 S3Cレジスタ(上) : 注6を追加

改訂記録	M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.40	2006.04.14	185	表15.19 SI/O3の仕様 ・転送クロックの1行目：「 $fj/(n+1)$ 」を「 $fj(2(n+1))$ 」に変更
		186	図15.38 SI/O3動作タイミング図：「1.5サイクル」を「0.5～1.0サイクル」に変更(2箇所)
		187	15.2.3 SOUT3初期値設定機能の2行目 ・「ただし、連続してデータを送信する場合、データとデータの間は、前のデータの最終ビットの値を保持します。」を追加
		206	図17.3 D/Aコンバータの等価回路：変更
		215	図19.7 C0CTRLレジスタ(上)：注4を追加
		220	図19.12 C0TSRレジスタ(中下)：注1を追加
		221	図19.13 動作モードの遷移：変更
		222	19.5.3 CANスリープモードの1行目：「、およびResetビットを“0”」を削除
		225	表19.2 転送速度の実現例：変更(値の追加)
		245	表20.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例 ・端子名：「ポートP0～P7」を「ポートP6、P7」に修正
		284	表22.4 電気的特性(1)：XINのヒステリシスを削除
		307	表22.32 電気的特性(1)：XINのヒステリシスを削除
		323	表22.51 電気的特性：XINのヒステリシスを削除
		338	23.1 SFR：追加
		341	23.4 パワーコントロール ・4項目目：ストップモードに移行する場合の内容を変更 ・5項目目：低速モード、低消費電力モードからストップモードに移行し、中速モードに復帰する場合の記述を追加
		342	23.10 A/Dコンバータ：1項目目の3行目に「A/D変換停止後～してください。」を追加
		356	

(このページは白紙です)

M16C/6Nグループ(M16C/6N5)ハードウェアマニュアル

発行年月日 2003年5月30日 Rev.1.00
2006年4月14日 Rev.2.40

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/6N グループ (M16C/6N5)
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0008-0240