

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# M16C/10グループ

## ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ  
M16Cファミリ / M16C/10シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

### 安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

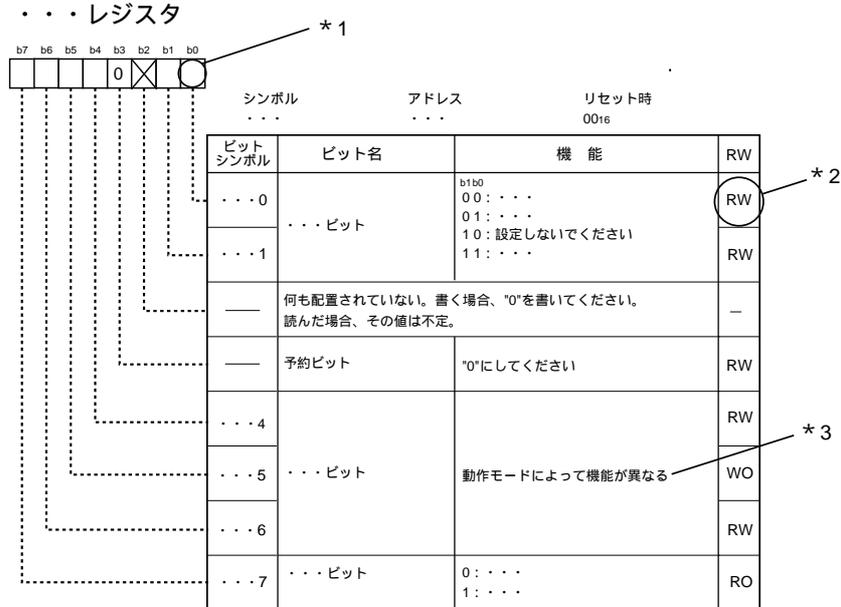
- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# このマニュアルの使い方

このマニュアルはM16C/10グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

各レジスタ構成は次のように参照してください。



\*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

\*2

- RW : 読むとビットの状態が読めます。  
書くと有効データになります。
- RO : 読むとビットの状態が読めます。  
書いた値は無効になります。
- WO : 書くと有効データになります。  
ビットの状態は読めません。
- : 何も配置されていないビットです。

\*3

ここで使用する用語を示します。

## ・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

## ・予約ビット

予約ビットです。指定された値にしてください。

## ・設定しないでください

設定した場合の動作は保証されません。

## ・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

## M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法

# 目次

番地別ページ早見表 .....	B-1
1. 概 要 .....	1
1.1. 応 用 .....	1
1.2. 性能概要 .....	2
1.3. ブロック図 .....	3
1.4. 製品一覧 .....	5
1.5. ピン接続図 .....	7
1.6. 端子の機能説明 .....	9
2. 中央演算処理装置 .....	10
2.1. データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3) .....	10
2.2. アドレスレジスタ(A0/A1) .....	10
2.3. フレームベースレジスタ(FB) .....	11
2.4. プログラムカウンタ(PC) .....	11
2.5. 割り込みテーブルレジスタ(INTB) .....	11
2.6. スタックポインタ(USP/ISP) .....	11
2.7. スタティックベースレジスタ(SB) .....	11
2.8. フラグレジスタ(FLG) .....	11
2.8.1. ビット0：キャリーフラグ(Cフラグ) .....	11
2.8.2. ビット1：デバッグフラグ(Dフラグ) .....	11
2.8.3. ビット2：ゼロフラグ(Zフラグ) .....	11
2.8.4. ビット3：サインフラグ(Sフラグ) .....	11
2.8.5. ビット4：レジスタバンク指定フラグ(Bフラグ) .....	11
2.8.6. ビット5：オーバフローフラグ(Oフラグ) .....	11
2.8.7. ビット6：割り込み許可フラグ(Iフラグ) .....	11
2.8.8. ビット7：スタックポインタ指定フラグ(Uフラグ) .....	12
2.8.9. ビット8～ビット11：予約領域 .....	12
2.8.10. ビット12～ビット14：プロセッサ割り込み優先レベル(IPL) .....	12
2.8.11. ビット15：予約領域 .....	12

3. メモリ .....	13
4. SFR .....	14
5. リセット .....	18
5.1. ハードウェアリセット .....	18
5.2. ソフトウェアリセット .....	20
6. バス制御 .....	21
7. クロック発生回路 .....	22
7.1. 発振回路例 .....	22
7.2. クロックの制御 .....	23
7.2.1. メインクロック .....	24
7.2.2. サブクロック .....	24
7.2.3. BCLK .....	24
7.2.4. 周辺機能クロック .....	24
7.2.5. fC32 .....	24
7.2.6. fC .....	24
7.2.7. fRING .....	24
7.3. ストップモード .....	27
7.4. ウェイトモード .....	27
7.5. BCLKの状態遷移 .....	28
7.5.1. 2分周モード .....	28
7.5.2. 4分周モード .....	28
7.5.3. 8分周モード .....	28
7.5.4. 16分周モード .....	28
7.5.5. 分周なしモード .....	28
7.5.6. 低速モード .....	28
7.5.7. 低消費電力モード .....	28
7.5.8. オンチップオシレータモード .....	28
7.5.9. 注意事項 .....	28

7.6. パワーコントロール .....	30
7.6.1. 通常動作モード .....	30
7.6.2. ウェイトモード .....	30
7.6.3. ストップモード .....	30
7.7. 発振停止検出機能 .....	33
7.7.1. 発振停止検出有効ビット(CM20).....	35
7.7.2. 発振停止検出割り込み許可ビット(CM21) .....	35
7.7.3. メインクロック切替ビット(CM22) .....	35
7.7.4. クロックモニタービット(CM23).....	35
8. プロテクト .....	37
9. 割り込み .....	38
9.1. 割り込みの概要 .....	38
9.1.1. 割り込みの分類 .....	38
9.1.2. ソフトウェア割り込み .....	39
9.1.3. ハードウェア割り込み .....	40
9.1.4. 割り込みと割り込みベクタテーブル.....	41
9.1.5. 割り込み制御.....	43
9.2. $\overline{\text{INT}}$ 割り込み .....	52
9.2.1. $\overline{\text{INT0}}$ 入力フィルタ .....	53
9.3. CNTR0割り込み .....	54
9.4. TCIN割り込み .....	55
9.5. キー入力割り込み .....	56
9.6. アドレス一致割り込み.....	57
9.7. 割り込みの注意事項 .....	58
9.7.1. $00000_{16}$ 番地の読み出し.....	58
9.7.2. スタックポインタの設定.....	58
9.7.3. 外部割り込み.....	58
9.7.4. 割り込み制御レジスタの変更 .....	59
10. ウォッチドッグタイマ .....	60

11. タイマ .....	62
11.1. タイマ1 .....	63
11.2. タイマX .....	65
11.2.1. タイマモード .....	67
11.2.2. パルス出力モード .....	68
11.2.3. イベントカウンタモード .....	69
11.2.4. パルス幅測定モード .....	70
11.2.5. パルス周期測定モード .....	72
11.3. タイマY .....	74
11.3.1. タイマモード .....	77
11.3.2. プログラマブル波形発生モード .....	79
11.4. タイマZ .....	82
11.4.1. タイマモード .....	86
11.4.2. プログラマブル波形発生モード .....	88
11.4.3. プログラマブルワンショット発生モード .....	90
11.4.4. プログラマブルウエイトワンショット発生モード .....	93
11.5. タイマC .....	96
12. シリアルI/O .....	99
12.1. クロック同期形シリアルI/Oモード .....	104
12.1.1. 極性選択機能 .....	107
12.1.2. LSBファースト/MSBファースト選択機能 .....	107
12.1.3. 転送クロック複数端子出力機能(UART1) .....	108
12.1.4. 連続受信モード .....	108
12.1.5. RxD1入力端子選択機能(UART1) .....	108
12.2. クロック非同期形シリアルI/O(UART)モード .....	109
12.2.1. RxD1入力端子選択機能(UART1) .....	112
13. A/Dコンバータ .....	113
13.1. 単発モード .....	117
13.2. 繰り返しモード .....	118

13.3. サンプル&ホールド .....	119
13.4. 拡張アナログ入力端子 .....	119
13.5. 外部オペアンプ接続モード .....	119
14. D/Aコンバータ .....	120
15. プログラマブル入出力ポート .....	122
15.1. 方向レジスタ .....	122
15.2. ポートレジスタ .....	122
15.3. プルアップ制御レジスタ .....	122
15.4. ポートP1駆動能力制御レジスタ .....	122
15.5. 未使用端子の処理 .....	129
16. 電気的特性 .....	130
16.1. Normal-バージョン .....	130
16.2. T-バージョン .....	143
16.3. V-バージョン .....	151
17. フラッシュメモリ版 .....	159
17.1. 性能概要 .....	159
17.2. フラッシュメモリ .....	159
17.3. 標準シリアル入出力モード .....	163
17.3.1. 標準シリアル入出力モード1時の応用回路(例) .....	164
17.3.2. 標準シリアル入出力モード2時の応用回路(例) .....	165
18. パッケージ外形図 .....	166
レジスタ索引 .....	167

## 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000 <sub>16</sub>			
0001 <sub>16</sub>			
0002 <sub>16</sub>			
0003 <sub>16</sub>			
0004 <sub>16</sub>	プロセッサモードレジスタ0	PM0	20
0005 <sub>16</sub>	プロセッサモードレジスタ1	PM1	20,61
0006 <sub>16</sub>	システムクロック制御レジスタ 0	CM0	25
0007 <sub>16</sub>	システムクロック制御レジスタ 1	CM1	25
0008 <sub>16</sub>			
0009 <sub>16</sub>	アドレス一致割り込み許可レジスタ	AIER	57
000A <sub>16</sub>	プロテクトレジスタ	PRCR	37
000B <sub>16</sub>			
000C <sub>16</sub>	発振停止検出レジスタ	CM2	26,34
000D <sub>16</sub>			
000E <sub>16</sub>	ウォッチドッグタイムスタートレジスタ	WDTS	61
000F <sub>16</sub>	ウォッチドッグタイム制御レジスタ	WDC	61
0010 <sub>16</sub>			
0011 <sub>16</sub>	アドレス一致割り込みレジスタ0	RMAD0	57
0012 <sub>16</sub>			
0013 <sub>16</sub>			
0014 <sub>16</sub>			
0015 <sub>16</sub>	アドレス一致割り込みレジスタ1	RMAD1	57
0016 <sub>16</sub>			
0017 <sub>16</sub>			
0018 <sub>16</sub>			
0019 <sub>16</sub>			
001A <sub>16</sub>			
001B <sub>16</sub>			
001C <sub>16</sub>			
001D <sub>16</sub>			
001E <sub>16</sub>	INT0入力フィルタ選択レジスタ	INT0F	52,85
001F <sub>16</sub>			
0020 <sub>16</sub>			
0021 <sub>16</sub>			
0022 <sub>16</sub>			
0023 <sub>16</sub>			
0024 <sub>16</sub>			
0025 <sub>16</sub>			
0026 <sub>16</sub>			
0027 <sub>16</sub>			
0028 <sub>16</sub>			
0029 <sub>16</sub>			
002A <sub>16</sub>			
002B <sub>16</sub>			
002C <sub>16</sub>			
002D <sub>16</sub>			
002E <sub>16</sub>			
002F <sub>16</sub>			
0030 <sub>16</sub>			
0031 <sub>16</sub>			
0032 <sub>16</sub>			
0033 <sub>16</sub>			
0034 <sub>16</sub>			
0035 <sub>16</sub>			
0036 <sub>16</sub>			
0037 <sub>16</sub>			
0038 <sub>16</sub>			
0039 <sub>16</sub>			
003A <sub>16</sub>			
003B <sub>16</sub>			
003C <sub>16</sub>			
003D <sub>16</sub>			
003E <sub>16</sub>			
003F <sub>16</sub>			

番地	レジスタ	シンボル	掲載ページ
0040 <sub>16</sub>			
0041 <sub>16</sub>			
0042 <sub>16</sub>			
0043 <sub>16</sub>			
0044 <sub>16</sub>			
0045 <sub>16</sub>			
0046 <sub>16</sub>			
0047 <sub>16</sub>			
0048 <sub>16</sub>			
0049 <sub>16</sub>			
004A <sub>16</sub>			
004B <sub>16</sub>			
004C <sub>16</sub>			
004D <sub>16</sub>	キ - 入力割り込み制御レジスタ	KUPIC	44
004E <sub>16</sub>	A/D変換割り込み制御レジスタ	ADIC	44
004F <sub>16</sub>			
0050 <sub>16</sub>			
0051 <sub>16</sub>	UART0送信割り込み制御レジスタ	S0TIC	44
0052 <sub>16</sub>	UART0受信割り込み制御レジスタ	S0RIC	44
0053 <sub>16</sub>	UART1送信割り込み制御レジスタ	S1TIC	44
0054 <sub>16</sub>	UART1受信割り込み制御レジスタ	S1RIC	44
0055 <sub>16</sub>	タイマ1割り込み制御レジスタ	T1IC	44
0056 <sub>16</sub>	タイマX割り込み制御レジスタ	TXIC	44
0057 <sub>16</sub>	タイマY割り込み制御レジスタ	TYIC	44
0058 <sub>16</sub>	タイマZ割り込み制御レジスタ	TZIC	44
0059 <sub>16</sub>	CNTR0割り込み制御レジスタ	CNTR0IC	44
005A <sub>16</sub>	TCIN割り込み制御レジスタ	TCINIC	44
005B <sub>16</sub>	タイマC割り込み制御レジスタ	TCIC	44
005C <sub>16</sub>	INT3割り込み制御レジスタ	INT3IC	44
005D <sub>16</sub>	INT0割り込み制御レジスタ	INT0IC	44
005E <sub>16</sub>	INT1割り込み制御レジスタ	INT1IC	44
005F <sub>16</sub>	INT2割り込み制御レジスタ	INT2IC	44
0060 <sub>16</sub>			
0061 <sub>16</sub>			
0062 <sub>16</sub>			
0063 <sub>16</sub>			
0064 <sub>16</sub>			
0065 <sub>16</sub>			
0066 <sub>16</sub>			
0067 <sub>16</sub>			
0068 <sub>16</sub>			
0069 <sub>16</sub>			
006A <sub>16</sub>			
006B <sub>16</sub>			
006C <sub>16</sub>			
006D <sub>16</sub>			
006E <sub>16</sub>			
006F <sub>16</sub>			
0070 <sub>16</sub>			
0071 <sub>16</sub>			
0072 <sub>16</sub>			
0073 <sub>16</sub>			
0074 <sub>16</sub>			
0075 <sub>16</sub>			
0076 <sub>16</sub>			
0077 <sub>16</sub>			
0078 <sub>16</sub>			
0079 <sub>16</sub>			
007A <sub>16</sub>			
007B <sub>16</sub>			
007C <sub>16</sub>			
007D <sub>16</sub>			
007E <sub>16</sub>			
007F <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

## 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0080 <sub>16</sub>	タイマY,Zモードレジスタ	TYZMR	74,82
0081 <sub>16</sub>	プリスケアラY	PREY	75
0082 <sub>16</sub>	タイマYセカンダリ	TYSC	75
0083 <sub>16</sub>	タイマYプライマリ	TYPR	75
0084 <sub>16</sub>	タイマY,Z波形出力制御レジスタ	PUM	76,84
0085 <sub>16</sub>	プリスケアラZ	PREZ	83
0086 <sub>16</sub>	タイマZセカンダリ	TZSC	83
0087 <sub>16</sub>	タイマZプライマリ	TZPR	83
0088 <sub>16</sub>	プリスケアラ1	PRE1	64
0089 <sub>16</sub>	タイマ1	T1	64
008A <sub>16</sub>	タイマY,Z出力制御	TYZOC	75,85
008B <sub>16</sub>	タイマXモードレジスタ	TXMR	54,65
008C <sub>16</sub>	プリスケアラX	PREX	66
008D <sub>16</sub>	タイマX	TX	66
008E <sub>16</sub>	タイマカウントソース設定レジスタ	TCSS	64
008F <sub>16</sub>	時計用プリスケアラリセットフラグ	CPSRF	26
0090 <sub>16</sub>			
0091 <sub>16</sub>	タイマC	TC	97
0092 <sub>16</sub>			
0093 <sub>16</sub>			
0094 <sub>16</sub>			
0095 <sub>16</sub>			
0096 <sub>16</sub>	外部入力許可レジスタ	INTEN	52,85
0097 <sub>16</sub>			
0098 <sub>16</sub>	キー入力許可レジスタ	KIEN	56
0099 <sub>16</sub>			
009A <sub>16</sub>	タイマC制御レジスタ0	TCC0	55,97
009B <sub>16</sub>	タイマC制御レジスタ1	TCC1	55,97
009C <sub>16</sub>			
009D <sub>16</sub>	時間計測レジスタ	TM	97
009E <sub>16</sub>			
009F <sub>16</sub>			
00A0 <sub>16</sub>	UART0送受信モ - ドレジスタ	U0MR	102
00A1 <sub>16</sub>	UART0転送速度レジスタ	U0BRG	101
00A2 <sub>16</sub>			
00A3 <sub>16</sub>	UART0送信バッファレジスタ	U0TB	101
00A4 <sub>16</sub>	UART0送受信制御レジスタ0	U0C0	102
00A5 <sub>16</sub>	UART0送受信制御レジスタ1	U0C1	103
00A6 <sub>16</sub>			
00A7 <sub>16</sub>	UART0受信バッファレジスタ	U0RB	101
00A8 <sub>16</sub>	UART1送受信モ - ドレジスタ	U1MR	102
00A9 <sub>16</sub>	UART1転送速度レジスタ	U1BRG	101
00AA <sub>16</sub>			
00AB <sub>16</sub>	UART1送信バッファレジスタ	U1TB	101
00AC <sub>16</sub>	UART1送受信制御レジスタ0	U1C0	102
00AD <sub>16</sub>	UART1送受信制御レジスタ1	U1C1	103
00AE <sub>16</sub>			
00AF <sub>16</sub>	UART1受信バッファレジスタ	U1RB	101
00B0 <sub>16</sub>	UART送受信制御レジスタ2	UCON	103
00B1 <sub>16</sub>			
00B2 <sub>16</sub>			
00B3 <sub>16</sub>			
00B4 <sub>16</sub>			
00B5 <sub>16</sub>			
00B6 <sub>16</sub>			
00B7 <sub>16</sub>			
00B8 <sub>16</sub>			
00B9 <sub>16</sub>			
00BA <sub>16</sub>			
00BB <sub>16</sub>			
00BC <sub>16</sub>			
00BD <sub>16</sub>			
00BE <sub>16</sub>			
00BF <sub>16</sub>			

番地	レジスタ	シンボル	掲載ページ
00C0 <sub>16</sub>	A/Dレジスタ	AD	116
00C1 <sub>16</sub>			
00C2 <sub>16</sub>			
00C3 <sub>16</sub>			
00C4 <sub>16</sub>			
00C5 <sub>16</sub>			
00C6 <sub>16</sub>			
00C7 <sub>16</sub>			
00C8 <sub>16</sub>			
00C9 <sub>16</sub>			
00CA <sub>16</sub>			
00CB <sub>16</sub>			
00CC <sub>16</sub>			
00CD <sub>16</sub>			
00CE <sub>16</sub>			
00CF <sub>16</sub>			
00D0 <sub>16</sub>			
00D1 <sub>16</sub>			
00D2 <sub>16</sub>			
00D3 <sub>16</sub>			
00D4 <sub>16</sub>	A/D制御レジスタ2	ADCON2	116
00D5 <sub>16</sub>			
00D6 <sub>16</sub>	A/D制御レジスタ0	ADCON0	115
00D7 <sub>16</sub>	A/D制御レジスタ1	ADCON1	115
00D8 <sub>16</sub>	D/Aレジスタ	DA	121
00D9 <sub>16</sub>			
00DA <sub>16</sub>			
00DB <sub>16</sub>			
00DC <sub>16</sub>	D/A制御レジスタ	DACON	121
00DD <sub>16</sub>			
00DE <sub>16</sub>			
00DF <sub>16</sub>			
00E0 <sub>16</sub>	ポートP0	P0	127
00E1 <sub>16</sub>	ポートP1	P1	127
00E2 <sub>16</sub>	ポートP0方向レジスタ	PD0	127
00E3 <sub>16</sub>	ポートP1方向レジスタ	PD1	127
00E4 <sub>16</sub>	ポートP2	P2	127
00E5 <sub>16</sub>	ポートP3	P3	127
00E6 <sub>16</sub>	ポートP2方向レジスタ	PD2	127
00E7 <sub>16</sub>	ポートP3方向レジスタ	PD3	127
00E8 <sub>16</sub>	ポートP4	P4	127
00E9 <sub>16</sub>			
00EA <sub>16</sub>	ポートP4方向レジスタ	PD4	127
00EB <sub>16</sub>			
00EC <sub>16</sub>			
00ED <sub>16</sub>			
00EE <sub>16</sub>			
00EF <sub>16</sub>			
00F0 <sub>16</sub>			
00F1 <sub>16</sub>			
00F2 <sub>16</sub>			
00F3 <sub>16</sub>			
00F4 <sub>16</sub>			
00F5 <sub>16</sub>			
00F6 <sub>16</sub>			
00F7 <sub>16</sub>			
00F8 <sub>16</sub>			
00F9 <sub>16</sub>			
00FA <sub>16</sub>			
00FB <sub>16</sub>			
00FC <sub>16</sub>	ブルアップ制御レジスタ0	PUR0	128
00FD <sub>16</sub>	ブルアップ制御レジスタ1	PUR1	128
00FE <sub>16</sub>	ポートP1駆動能力制御レジスタ	DRR	128
00FF <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

## 1. 概 要

M16C/10グループ ( M30100グループ、 M30102グループ ) は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、それぞれ32ピンプラスチックモールドQFP、48ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

M30100グループ、M30102グループは、内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

### 1.1. 応 用

家電、事務機器、オーディオ、自動車、他

本仕様書は、できる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。  
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンを、ご使用ください。

## 1.2. 性能概要

表1.1にM16C/10グループの性能概要を示します。

表1.1. M16C/10グループの性能概要

項 目		性 能	
		M30100	M30102
基本命令数		91命令	
最小命令実行時間		62.5ns(f(XIN)=16MHz時) (Normal-ver./T-ver.)	
		100ns(f(XIN)=10MHz時) (V-ver.)	
メモリ容量	ROM	メモリ展開の図を参照ください	
	RAM	メモリ展開の図を参照ください	
入出力ポート	P0,P1	8ビット×2	8ビット×2
	P2	—	2ビット×1
	P3	5ビット×1	8ビット×1
	P4	1ビット×1	8ビット×1
多機能タイマ	T1	8ビット×1	8ビット×1
	TX,TY,TZ	8ビット×3	8ビット×3
	TC	16ビット×1	16ビット×1
シリアルI/O(UARTまたはクロック同期形)		×2(内1本はUART専用)	×2
A/Dコンバータ(最大分解能：10ビット)		×12チャンネル	×12チャンネル (最大14チャンネル拡張可能)
D/Aコンバータ		—	8ビット×1チャンネル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)	15ビット×1(プリスケアラ付)
割り込み		内部12要因,外部4要因 ソフトウェア4要因、7レベル	内部12要因,外部7要因 ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 ・メインクロック発振回路  上記回路には帰還抵抗内蔵、セラミック共振子、RC発振または水晶発振子外付け ・オンチップオシレータ	3回路内蔵 ・メインクロック発振回路 ・サブクロック発振回路 上記2回路には帰還抵抗内蔵、セラミック共振子、RC発振または水晶発振子外付け ・オンチップオシレータ
電源電圧		4.2V～5.5V(f(XIN)=16MHz時) (Normal-ver.)	
		2.7V～5.5V(f(XIN)=5MHz時)	
		4.2V～5.5V(f(XIN)=16MHz時) (T-ver.)	
		4.2V～5.5V(f(XIN)=10MHz時) (V-ver.)	
消費電力		100mW (Vcc=5.0V, f(XIN)=16MHz) (Normal-ver.)	
		12mW (Vcc=3.0V, f(XIN)=5MHz)	
		100mW (Vcc=5.0V, f(XIN)=16MHz) (T-ver.)	
		65mW (Vcc=5.0V, f(XIN)=10MHz) (V-ver.)	
入出力特性	入出力耐電圧	5V	
	出力電流	5mA(10mA:LED駆動ポート)	
素子構造		CMOSシリコンゲート	
パッケージ		32ピンLQFP	48ピンLQFP

## 1.3. ブロック図

図1.1にM30100グループのブロック図を示します。

図1.2にM30102グループのブロック図を示します。

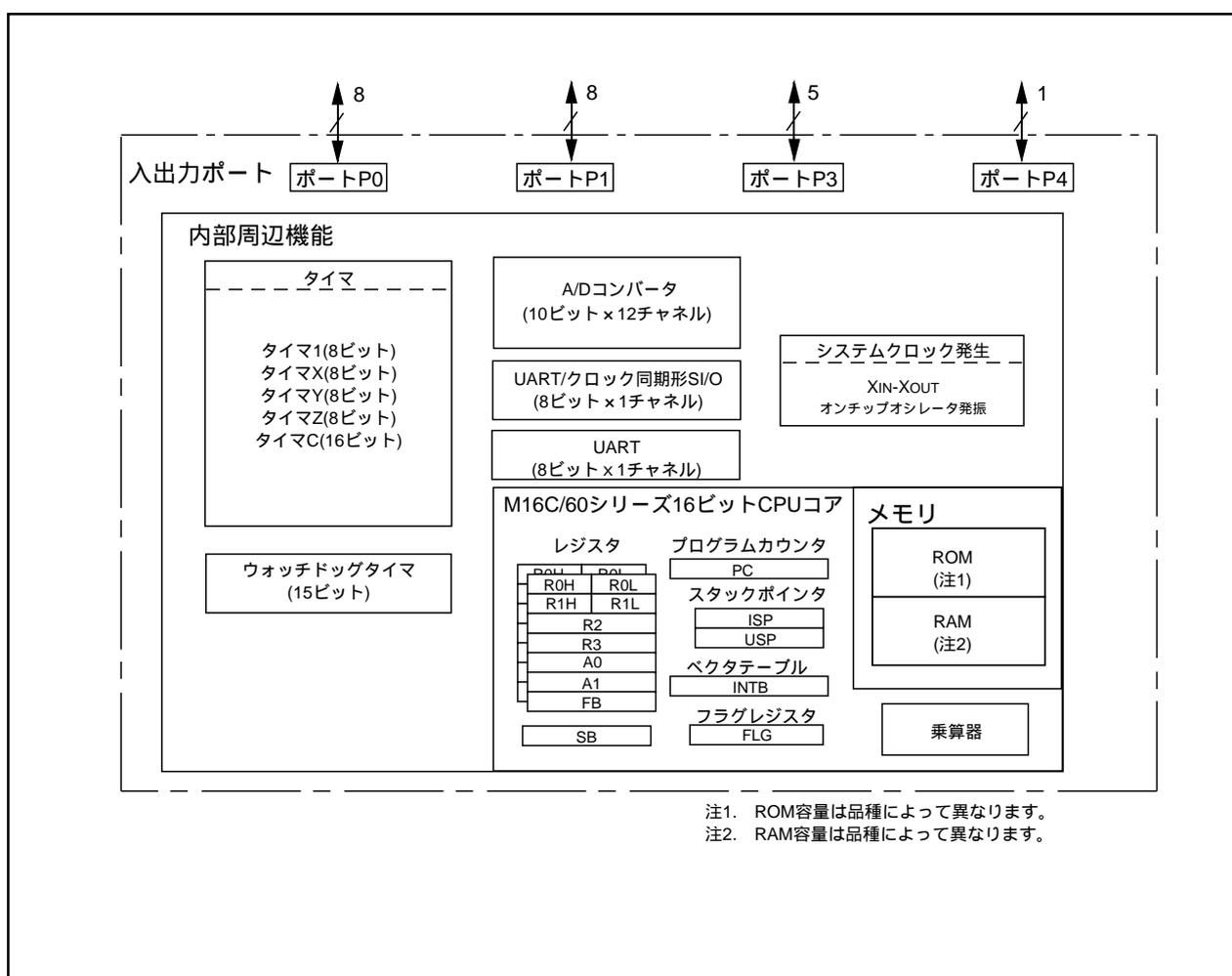


図1.1. M30100グループのブロック図

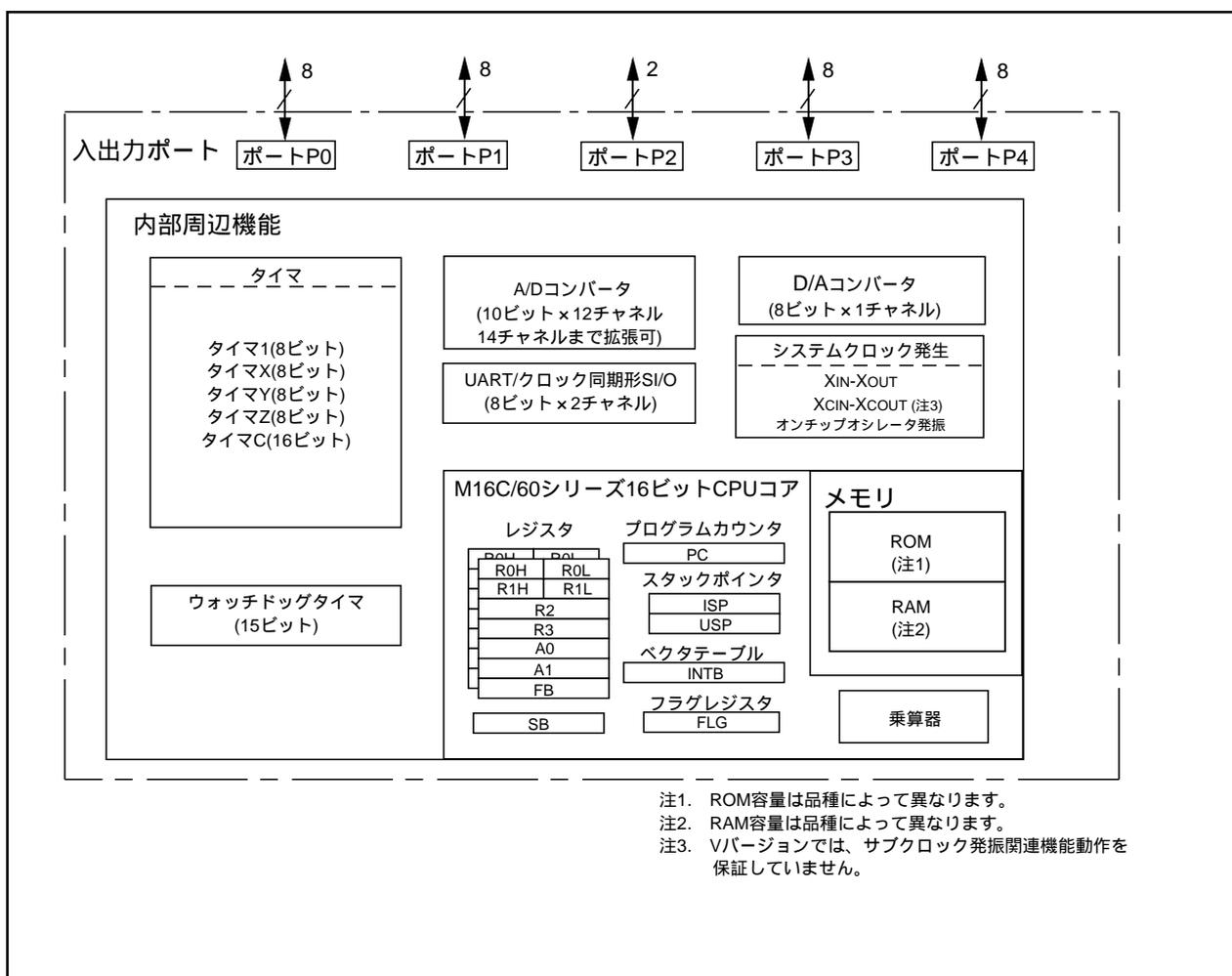


図1.2. M30102グループのブロック図

## 1.4. 製品一覧

M16C/10グループでは、次のような展開を計画しています。

- (1)マスクROM版、フラッシュメモリ版をサポート
- (2)メモリ容量
- (3)パッケージ

32P6U.....プラスチックモールドLQFP(マスクROM版、フラッシュメモリ版)

48P6Q.....プラスチックモールドLQFP(マスクROM版、フラッシュメモリ版)

図1.3にメモリ展開、表1.2～表1.4に製品一覧表、図1.4に形名とメモリサイズ・パッケージを示します。

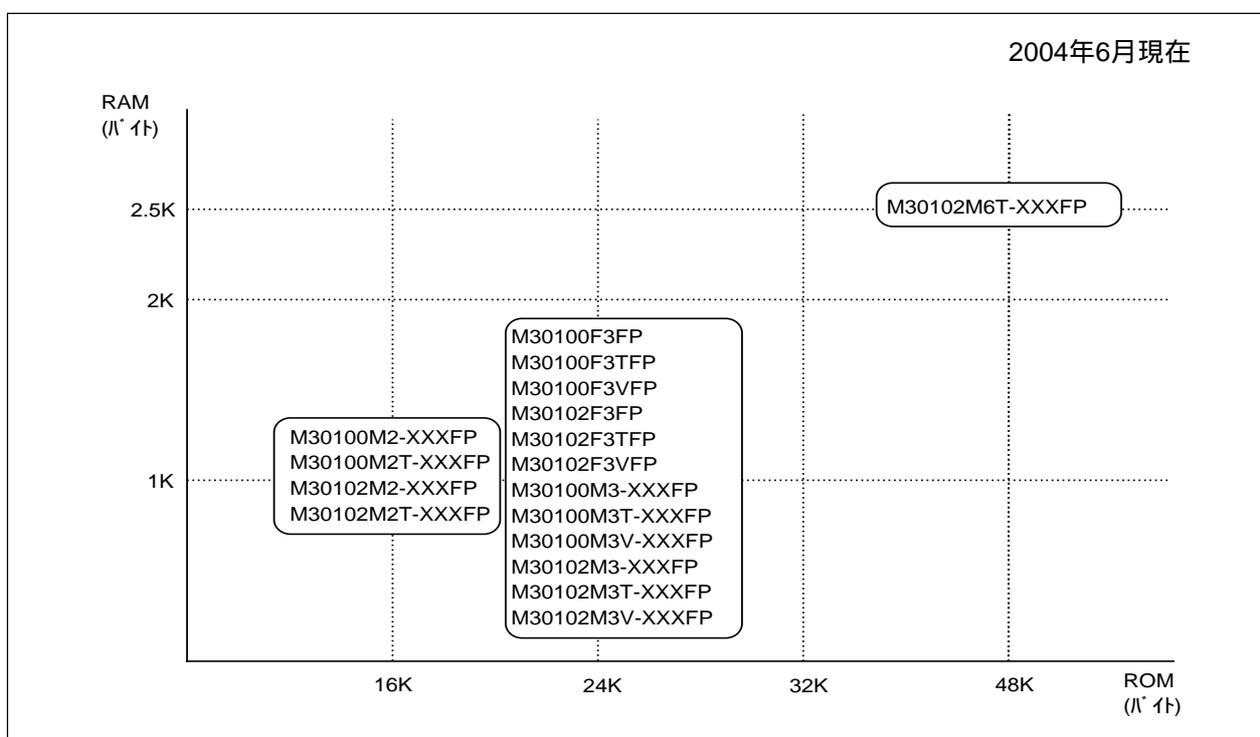


図1.3. メモリ展開

表1.2. 製品一覧表(1) -Normalバージョン

2004年6月現在

形名	ROM容量	RAM容量	パッケージ	備考
M30100M2-XXXXFP	16Kバイト	1Kバイト	32P6U-A	マスクROM版
M30100M3-XXXXFP	24Kバイト	1Kバイト		
M30102M2-XXXXFP	16Kバイト	1Kバイト	48P6Q-A	
M30102M3-XXXXFP	24Kバイト	1Kバイト		
M30100F3FP	24Kバイト	1Kバイト	32P6U-A	フラッシュメモリ版
M30102F3FP	24Kバイト	1Kバイト	48P6Q-A	

表1.3. 製品一覧表(1) -Tバージョン

2004年6月現在

形名	ROM容量	RAM容量	パッケージ	備考
M30100M2T-XXXFP	16Kバイト	1Kバイト	32P6U-A	マスクROM版
M30100M3T-XXXFP	24Kバイト	1Kバイト		
M30102M2T-XXXFP	16Kバイト	1Kバイト	48P6Q-A	
M30102M3T-XXXFP	24Kバイト	1Kバイト		
M30102M6T-XXXFP	48Kバイト	2.5Kバイト		
M30100F3TFP	24Kバイト	1Kバイト	32P6U-A	
M30102F3TFP	24Kバイト	1Kバイト	48P6Q-A	

表1.4. 製品一覧表(1) -Vバージョン

2004年6月現在

形名	ROM容量	RAM容量	パッケージ	備考
M30100M3V-XXXFP	24Kバイト	1Kバイト	32P6U-A	マスクROM版
M30102M3V-XXXFP	24Kバイト	1Kバイト	48P6Q-A	
M30100F3VFP	24Kバイト	1Kバイト	32P6U-A	フラッシュメモリ版
M30102F3VFP	24Kバイト	1Kバイト	48P6Q-A	

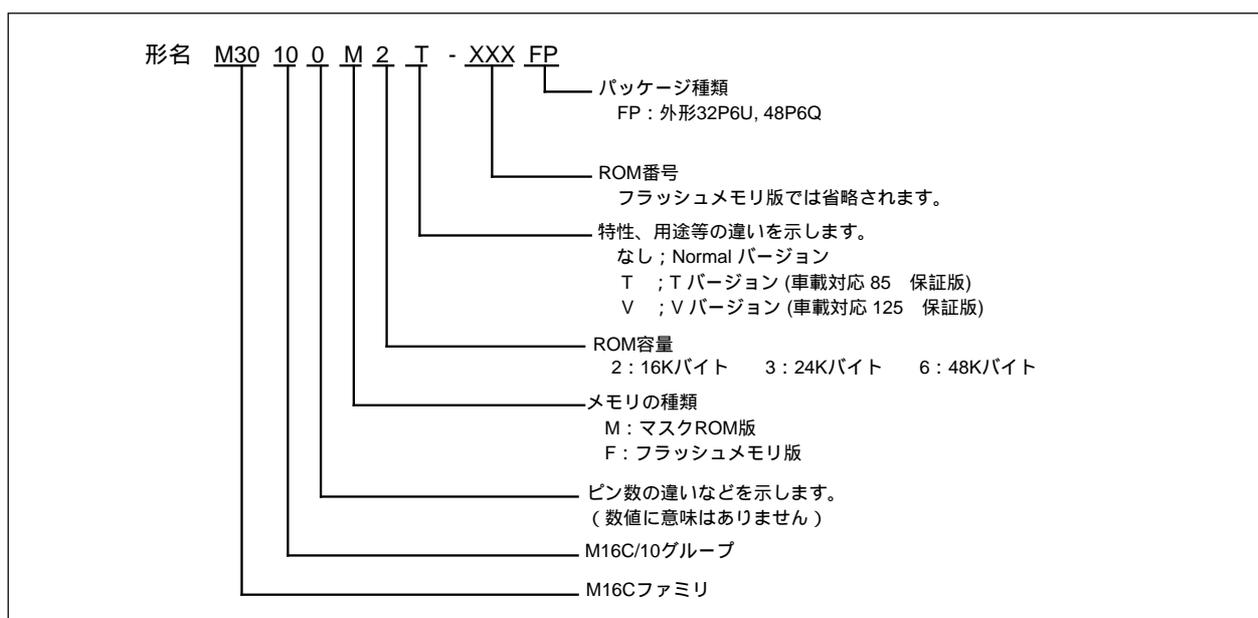


図1.4. 形名とメモリサイズ・パッケージ

## 1.5. ピン接続図

図1.5、図1.6にピン接続図(上面図)を示します。

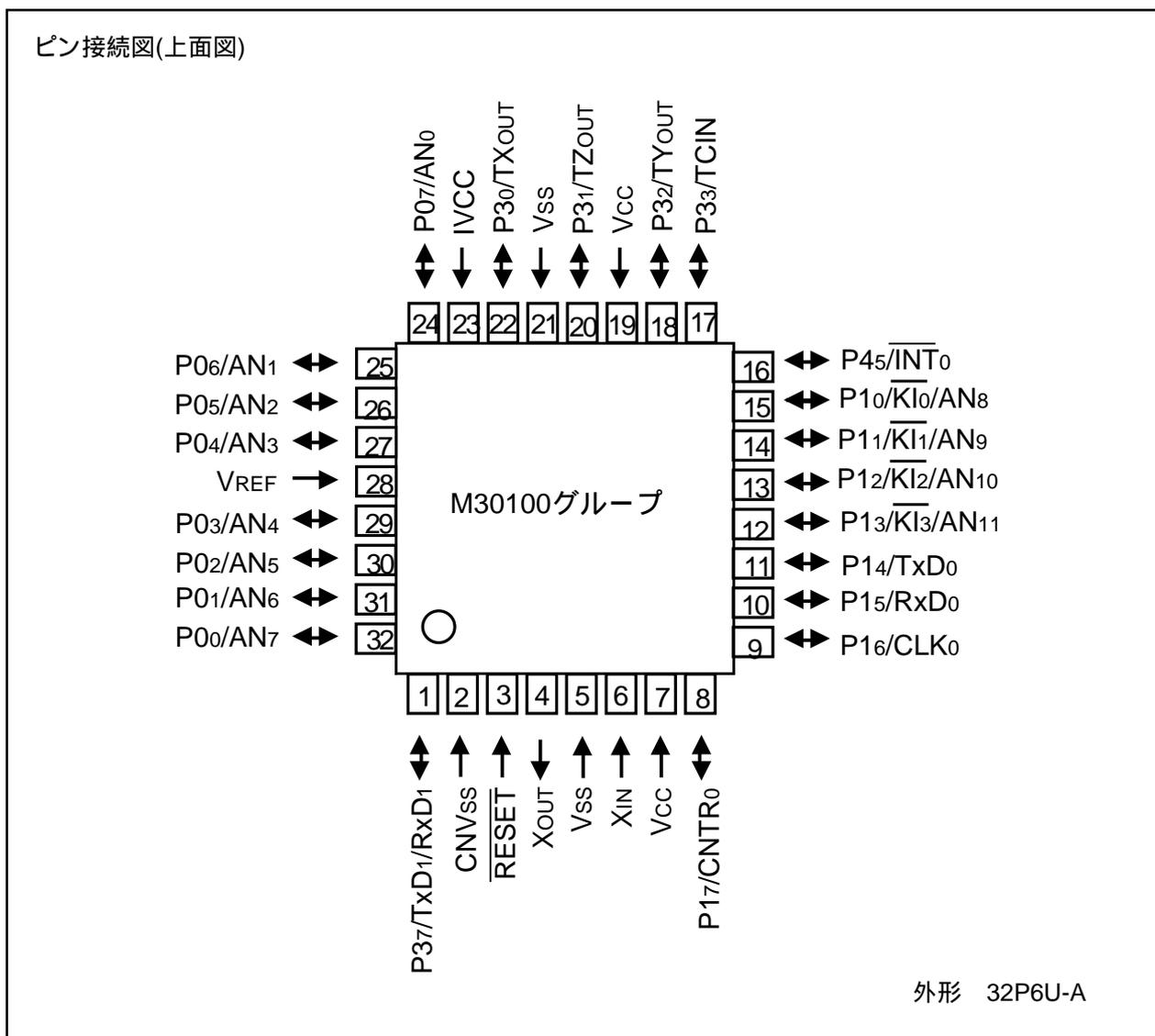


図1.5. M30100グループのピン接続図(上面図)

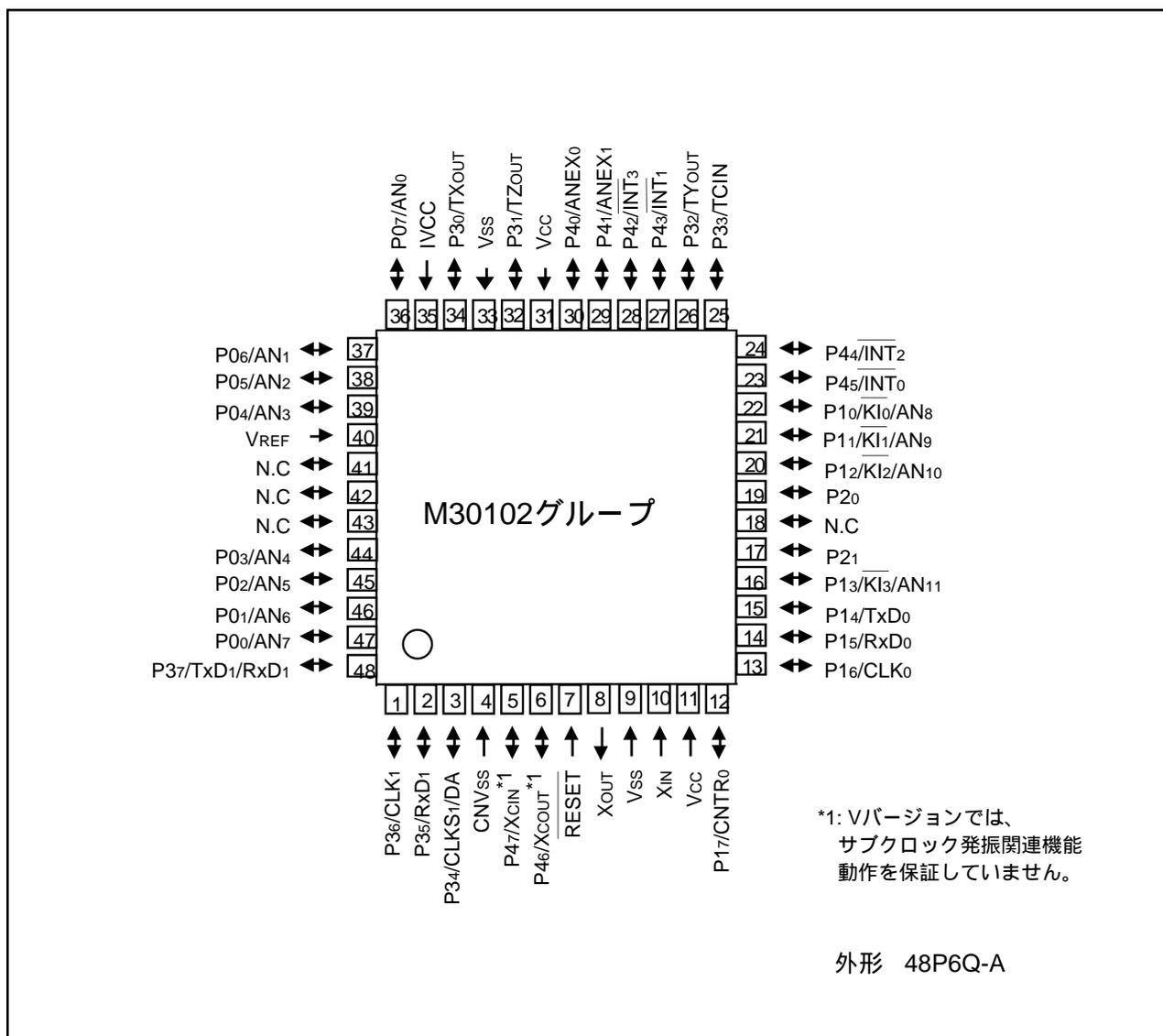


図1.6. M30102グループのピン接続図(上面図)

## 1.6. 端子の機能説明

表1.5に本マイコンの端子の機能説明を示します。

表1.5. 端子の機能説明

端子名	名称	入出力	機能
VCC, Vss	電源入力		Vss端子には、0Vを印加してください。Vcc端子には、次の電圧を印加してください。 2.7V ~ 5.5V(Normal-ver.) 4.2V ~ 5.5V(T-ver./V-ver.)
IVCC			Vssとの間にコンデンサ(0.1 $\mu$ F)を接続してください。
CNVss	CNVss	入力	抵抗(5k 程度)を介してVss端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P00 ~ P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。アナログ入力端子と兼用しています。
P10 ~ P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P10 ~ P13はアナログ入力、キー入力割り込みと兼用しています。P14 ~ P16はシリアルI/O入出力端子と兼用しています。P17はタイマ入力と兼用しています。LED駆動ポートとしても使用できます。
P20, P21	入出力ポートP2	入出力	P0と同等の機能を持つ2ビット入出力ポートです。
P30 ~ P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P30 ~ P33はタイマ入出力と兼用しています。P34 ~ P37はシリアルI/O入出力と兼用しています。P34はアナログ出力と兼用しています。
P40 ~ P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 P40 ~ P41はアナログ入力と兼用しています。P42 ~ P45は割り込み入力と兼用しています。P46 ~ P47は時計用クロック発振回路の入出力端子と兼用しています。

注 . M30100(32ピン版)では以下に示す外部端子への接続がありません。

- P20, P21
- P34 ~ P36
- P40 ~ P44, P46, P47

## 2. 中央演算処理装置

中央演算処理装置には図2.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

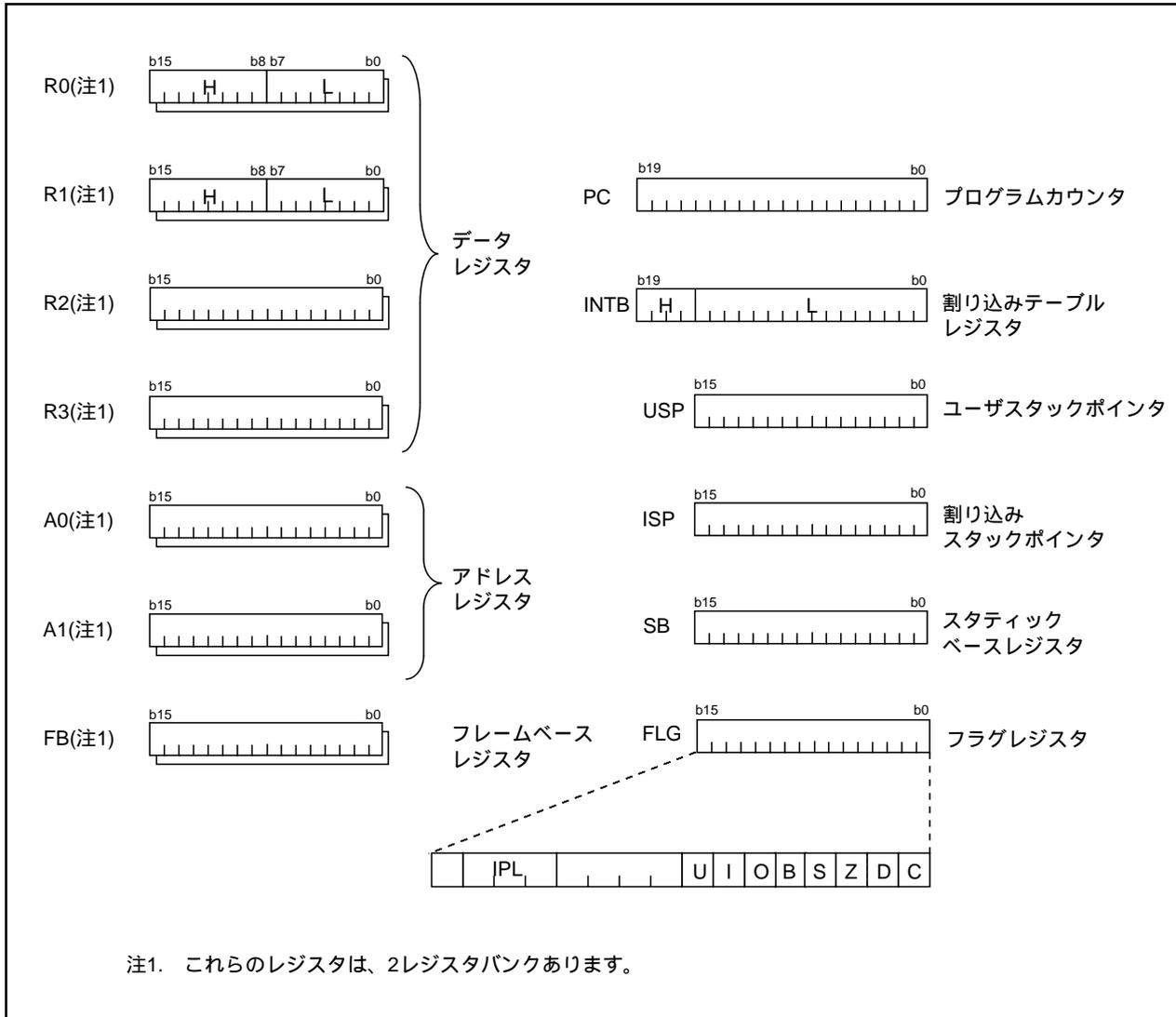


図2.1 中央演算処理装置のレジスタ構成

### 2.1. データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

### 2.2. アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

### 2.3. フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

### 2.4. プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

### 2.5. 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

### 2.6. スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

### 2.7. スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

### 2.8. フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図2.2に示します。また、各フラグの機能を以下に示します。

#### 2.8.1. ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

#### 2.8.2. ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

#### 2.8.3. ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

#### 2.8.4. ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

#### 2.8.5. ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

#### 2.8.6. ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

#### 2.8.7. ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

### 2.8.8. ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

### 2.8.9. ビット8～ビット11：予約領域

### 2.8.10. ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

### 2.8.11. ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

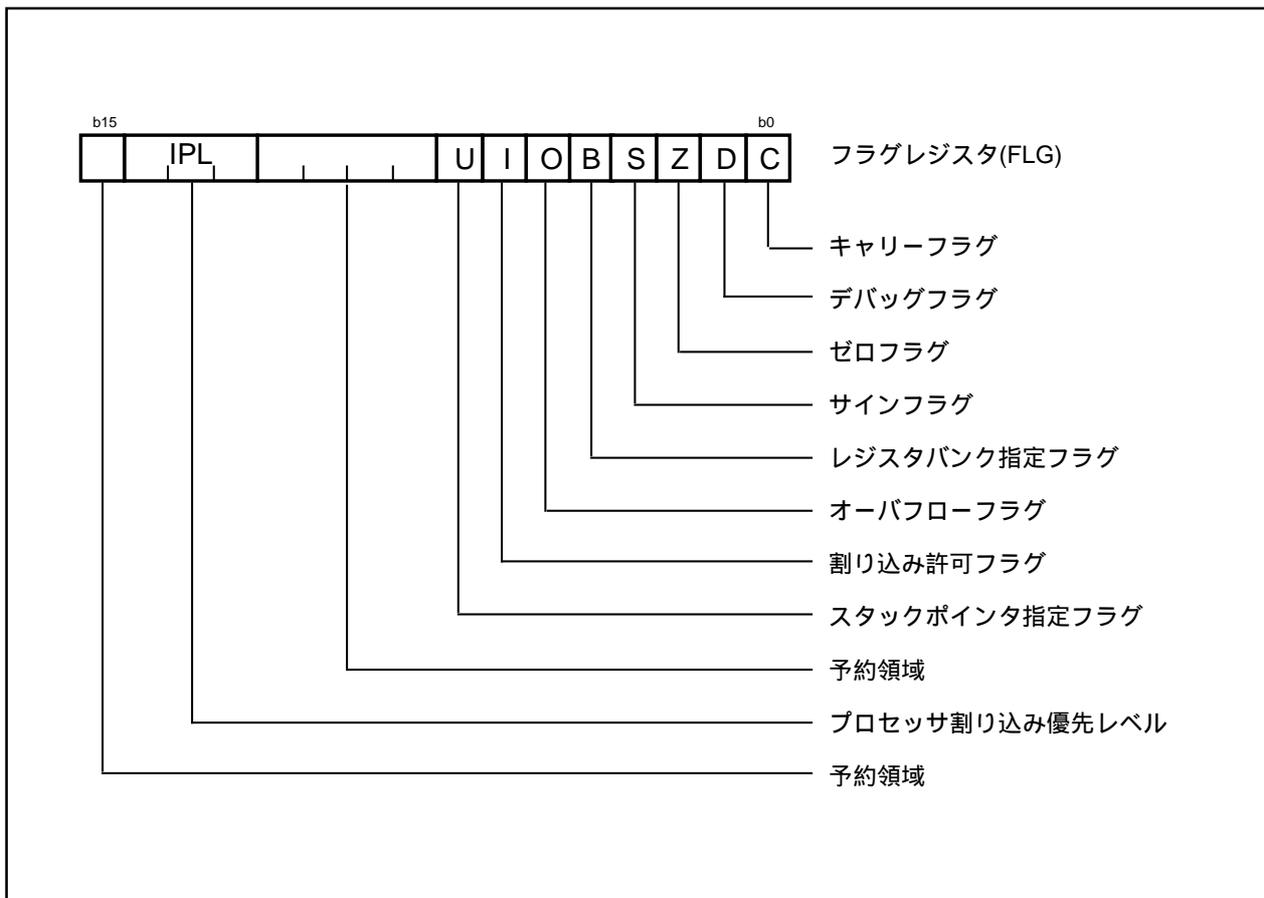


図2.2 フラグレジスタ(FLG)の構成

### 3. メモリ

メモリ配置図を図3.1に示します。アドレス空間は00000<sub>16</sub>番地からFFFFFF<sub>16</sub>番地までの1Mバイトあります。

FFFF<sub>16</sub>番地から番地の小さい方向にROMが内蔵されています(M30100M2-XXXXFPではFC000<sub>16</sub>番地からFFFF<sub>16</sub>番地までは内部ROMで、16Kバイト内蔵されています)。FFFDC<sub>16</sub>番地からFFFF<sub>16</sub>番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400<sub>16</sub>番地から番地の大きい方向にRAMが配置されています。例えばM30100M2-XXXXFPでは、00400<sub>16</sub>番地から007FF<sub>16</sub>番地まで1Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000<sub>16</sub>番地から000FF<sub>16</sub>番地は入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00<sub>16</sub>番地からFFFDB<sub>16</sub>番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

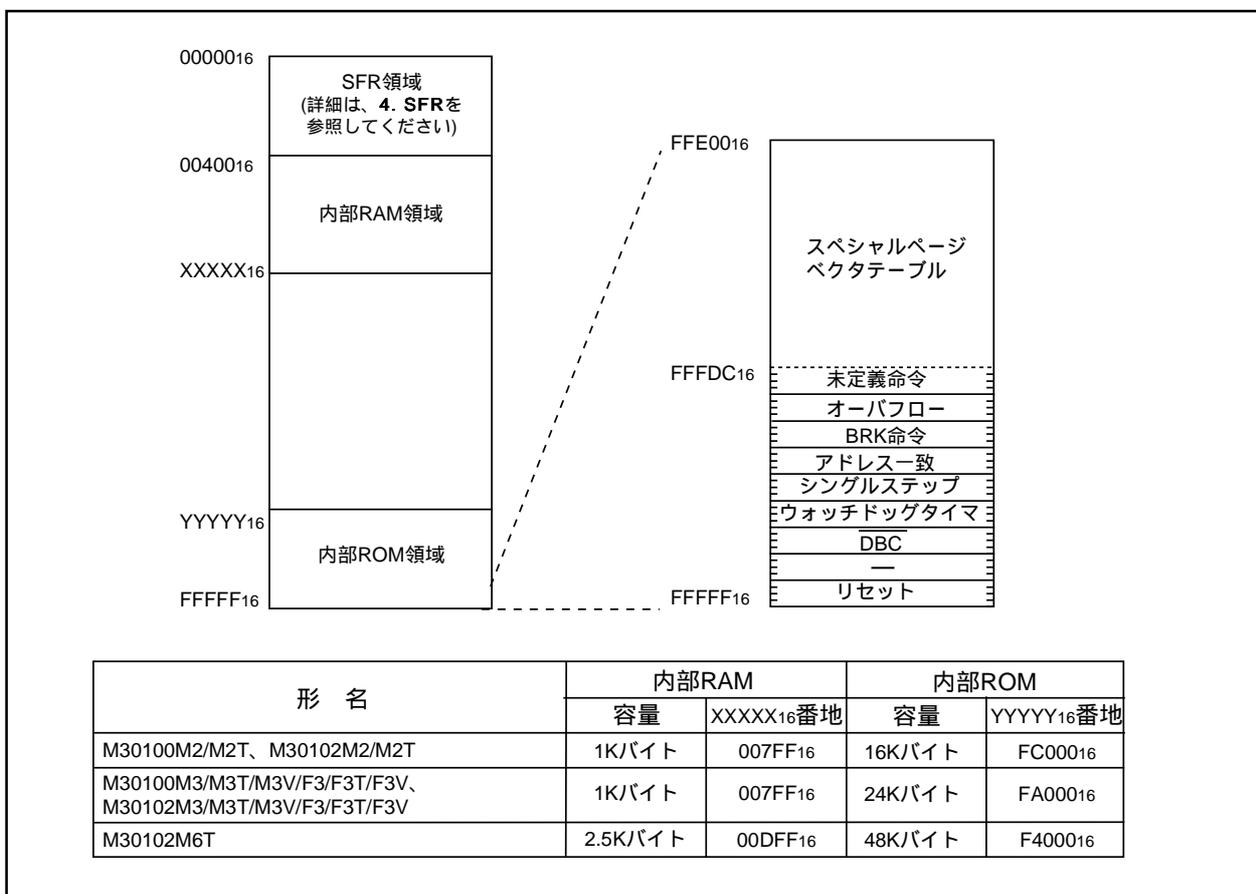


図3.1 メモリ配置図

## 4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 <sub>16</sub>			
0001 <sub>16</sub>			
0002 <sub>16</sub>			
0003 <sub>16</sub>			
0004 <sub>16</sub>	プロセッサモードレジスタ0	PM0	XXXX0X002
0005 <sub>16</sub>	プロセッサモードレジスタ1	PM1	00XXXX0X02
0006 <sub>16</sub>	システムクロック制御レジスタ0	CM0	010010002
0007 <sub>16</sub>	システムクロック制御レジスタ1	CM1	001000002
0008 <sub>16</sub>			
0009 <sub>16</sub>	アドレス一致割り込み許可レジスタ	AIER	XXXXXX002
000A <sub>16</sub>	プロテクトレジスタ	PRCR	XXXXX0002
000B <sub>16</sub>			
000C <sub>16</sub>	発振停止検出レジスタ	CM2	000001002
000D <sub>16</sub>			
000E <sub>16</sub>	ウォッチドッグタイマスタートレジスタ	WDTS	XX16
000F <sub>16</sub>	ウォッチドッグタイマ制御レジスタ	WDC	000XXXXX2
0010 <sub>16</sub>			
0011 <sub>16</sub>	アドレス一致割り込みレジスタ0	RMAD0	X0000016
0012 <sub>16</sub>			
0013 <sub>16</sub>			
0014 <sub>16</sub>			
0015 <sub>16</sub>	アドレス一致割り込みレジスタ1	RMAD1	X0000016
0016 <sub>16</sub>			
0017 <sub>16</sub>			
0018 <sub>16</sub>			
0019 <sub>16</sub>			
001A <sub>16</sub>			
001B <sub>16</sub>			
001C <sub>16</sub>			
001D <sub>16</sub>			
001E <sub>16</sub>	INT0入力フィルタ選択レジスタ	INT0F	XXXXXX0002
001F <sub>16</sub>			
0020 <sub>16</sub>			
0021 <sub>16</sub>			
0022 <sub>16</sub>			
0023 <sub>16</sub>			
0024 <sub>16</sub>			
0025 <sub>16</sub>			
0026 <sub>16</sub>			
0027 <sub>16</sub>			
0028 <sub>16</sub>			
0029 <sub>16</sub>			
002A <sub>16</sub>			
002B <sub>16</sub>			
002C <sub>16</sub>			
002D <sub>16</sub>			
002E <sub>16</sub>			
002F <sub>16</sub>			
0030 <sub>16</sub>			
0031 <sub>16</sub>			
0032 <sub>16</sub>			
0033 <sub>16</sub>			
0034 <sub>16</sub>			
0035 <sub>16</sub>			
0036 <sub>16</sub>			
0037 <sub>16</sub>			
0038 <sub>16</sub>			
0039 <sub>16</sub>			
003A <sub>16</sub>			
003B <sub>16</sub>			
003C <sub>16</sub>			
003D <sub>16</sub>			
003E <sub>16</sub>			
003F <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です

番地	レジスタ	シンボル	リセット後の値
0040 <sub>16</sub>			
0041 <sub>16</sub>			
0042 <sub>16</sub>			
0043 <sub>16</sub>			
0044 <sub>16</sub>			
0045 <sub>16</sub>			
0046 <sub>16</sub>			
0047 <sub>16</sub>			
0048 <sub>16</sub>			
0049 <sub>16</sub>			
004A <sub>16</sub>			
004B <sub>16</sub>			
004C <sub>16</sub>			
004D <sub>16</sub>	キ - 入力割り込み制御レジスタ	KUPIC	XXXXX0002
004E <sub>16</sub>	A/D変換割り込み制御レジスタ	ADIC	XXXXX0002
004F <sub>16</sub>			
0050 <sub>16</sub>			
0051 <sub>16</sub>	UART0送信割り込み制御レジスタ	S0TIC	XXXXX0002
0052 <sub>16</sub>	UART0受信割り込み制御レジスタ	S0RIC	XXXXX0002
0053 <sub>16</sub>	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
0054 <sub>16</sub>	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
0055 <sub>16</sub>	タイマ1割り込み制御レジスタ	T1IC	XXXXX0002
0056 <sub>16</sub>	タイマX割り込み制御レジスタ	TXIC	XXXXX0002
0057 <sub>16</sub>	タイマY割り込み制御レジスタ	TYIC	XXXXX0002
0058 <sub>16</sub>	タイマZ割り込み制御レジスタ	TZIC	XXXXX0002
0059 <sub>16</sub>	CNTR0割り込み制御レジスタ	CNTR0IC	XXXXX0002
005A <sub>16</sub>	TCIN割り込み制御レジスタ	TCINIC	XXXXX0002
005B <sub>16</sub>	タイマC割り込み制御レジスタ	TCIC	XXXXX0002
005C <sub>16</sub>	INT3割り込み制御レジスタ	INT3IC	XXXXX0002
005D <sub>16</sub>	INT0割り込み制御レジスタ	INT0IC	XXXXX0002
005E <sub>16</sub>	INT1割り込み制御レジスタ	INT1IC	XX00X0002
005F <sub>16</sub>	INT2割り込み制御レジスタ	INT2IC	XX00X0002
0060 <sub>16</sub>			
0061 <sub>16</sub>			
0062 <sub>16</sub>			
0063 <sub>16</sub>			
0064 <sub>16</sub>			
0065 <sub>16</sub>			
0066 <sub>16</sub>			
0067 <sub>16</sub>			
0068 <sub>16</sub>			
0069 <sub>16</sub>			
006A <sub>16</sub>			
006B <sub>16</sub>			
006C <sub>16</sub>			
006D <sub>16</sub>			
006E <sub>16</sub>			
006F <sub>16</sub>			
0070 <sub>16</sub>			
0071 <sub>16</sub>			
0072 <sub>16</sub>			
0073 <sub>16</sub>			
0074 <sub>16</sub>			
0075 <sub>16</sub>			
0076 <sub>16</sub>			
0077 <sub>16</sub>			
0078 <sub>16</sub>			
0079 <sub>16</sub>			
007A <sub>16</sub>			
007B <sub>16</sub>			
007C <sub>16</sub>			
007D <sub>16</sub>			
007E <sub>16</sub>			
007F <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です

番地	レジスタ	シンボル	リセット後の値
0080 <sub>16</sub>	タイマY,Zモードレジスタ	TYZMR	000000X02
0081 <sub>16</sub>	プリスケラY	PREY	FF16
0082 <sub>16</sub>	タイマYセカンダリ	TYSC	FF16
0083 <sub>16</sub>	タイマYプライマリ	TYPR	FF16
0084 <sub>16</sub>	タイマY,Z波形出力制御レジスタ	PUM	0016
0085 <sub>16</sub>	プリスケラZ	PREZ	FF16
0086 <sub>16</sub>	タイマZセカンダリ	TZSC	FF16
0087 <sub>16</sub>	タイマZプライマリ	TZPR	FF16
0088 <sub>16</sub>	プリスケラ1	PRE1	XX16
0089 <sub>16</sub>	タイマ1	T1	XX16
008A <sub>16</sub>	タイマY,Z出力制御	TYZOC	XXXXX0002
008B <sub>16</sub>	タイマXモードレジスタ	TXMR	0016
008C <sub>16</sub>	プリスケラX	PREX	FF16
008D <sub>16</sub>	タイマX	TX	FF16
008E <sub>16</sub>	タイマカウントソース設定レジスタ	TCSS	0016
008F <sub>16</sub>	時計用プリスケラリセットフラグ	CPSRF	0XXXXXX2
0090 <sub>16</sub>	タイマC	TC	XXXX16
0091 <sub>16</sub>			
0092 <sub>16</sub>			
0093 <sub>16</sub>			
0094 <sub>16</sub>			
0095 <sub>16</sub>			
0096 <sub>16</sub>	外部入力許可レジスタ	INTEN	0016
0097 <sub>16</sub>			
0098 <sub>16</sub>	キー入力許可レジスタ	KIEN	0016
0099 <sub>16</sub>			
009A <sub>16</sub>	タイマC制御レジスタ 0	TCC0	0XX00002
009B <sub>16</sub>	タイマC制御レジスタ 1	TCC1	XXXXXX112
009C <sub>16</sub>	時間計測レジスタ	TM	XXXX16
009D <sub>16</sub>			
009E <sub>16</sub>			
009F <sub>16</sub>			
00A0 <sub>16</sub>	UART0送受信モ - ドレジスタ	U0MR	0016
00A1 <sub>16</sub>	UART0転送速度レジスタ	U0BRG	XX16
00A2 <sub>16</sub>	UART0送信バッファレジスタ	U0TB	XXXX16
00A3 <sub>16</sub>			
00A4 <sub>16</sub>	UART0送受信制御レジスタ 0	U0C0	000010002
00A5 <sub>16</sub>	UART0送受信制御レジスタ 1	U0C1	000000102
00A6 <sub>16</sub>	UART0受信バッファレジスタ	U0RB	XXXX16
00A7 <sub>16</sub>			
00A8 <sub>16</sub>	UART1送受信モ - ドレジスタ	U1MR	0016
00A9 <sub>16</sub>	UART1転送速度レジスタ	U1BRG	XX16
00AA <sub>16</sub>	UART1送信バッファレジスタ	U1TB	XXXX16
00AB <sub>16</sub>			
00AC <sub>16</sub>	UART1送受信制御レジスタ 0	U1C0	000010002
00AD <sub>16</sub>	UART1送受信制御レジスタ 1	U1C1	000000102
00AE <sub>16</sub>	UART1受信バッファレジスタ	U1RB	XXXX16
00AF <sub>16</sub>			
00B0 <sub>16</sub>	UART送受信制御レジスタ 2	UCON	0016
00B1 <sub>16</sub>			
00B2 <sub>16</sub>			
00B3 <sub>16</sub>			
00B4 <sub>16</sub>			
00B5 <sub>16</sub>			
00B6 <sub>16</sub>			
00B7 <sub>16</sub>			
00B8 <sub>16</sub>			
00B9 <sub>16</sub>			
00BA <sub>16</sub>			
00BB <sub>16</sub>			
00BC <sub>16</sub>			
00BD <sub>16</sub>			
00BE <sub>16</sub>			
00BF <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です

番地	レジスタ	シンボル	リセット後の値
00C0 <sub>16</sub> 00C1 <sub>16</sub>	A/Dレジスタ	AD	XXXX <sub>16</sub>
00C2 <sub>16</sub>			
00C3 <sub>16</sub>			
00C4 <sub>16</sub>			
00C5 <sub>16</sub>			
00C6 <sub>16</sub>			
00C7 <sub>16</sub>			
00C8 <sub>16</sub>			
00C9 <sub>16</sub>			
00CA <sub>16</sub>			
00CB <sub>16</sub>			
00CC <sub>16</sub>			
00CD <sub>16</sub>			
00CE <sub>16</sub>			
00CF <sub>16</sub>			
00D0 <sub>16</sub>			
00D1 <sub>16</sub>			
00D2 <sub>16</sub>			
00D3 <sub>16</sub>			
00D4 <sub>16</sub>	A/D制御レジスタ 2	ADCON2	XXXX0000 <sub>2</sub>
00D5 <sub>16</sub>			
00D6 <sub>16</sub>	A/D制御レジスタ 0	ADCON0	0000XXX <sub>2</sub>
00D7 <sub>16</sub>	A/D制御レジスタ 1	ADCON1	00 <sub>16</sub>
00D8 <sub>16</sub>	D/Aレジスタ	DA	XX <sub>16</sub>
00D9 <sub>16</sub>			
00DA <sub>16</sub>			
00DB <sub>16</sub>			
00DC <sub>16</sub>	D/A制御レジスタ	DACON	00 <sub>16</sub>
00DD <sub>16</sub>			
00DE <sub>16</sub>			
00DF <sub>16</sub>			
00E0 <sub>16</sub>	ポートP0	P0	XX <sub>16</sub>
00E1 <sub>16</sub>	ポートP1	P1	XX <sub>16</sub>
00E2 <sub>16</sub>	ポートP0方向レジスタ	PD0	00 <sub>16</sub>
00E3 <sub>16</sub>	ポートP1方向レジスタ	PD1	00 <sub>16</sub>
00E4 <sub>16</sub>	ポートP2	P2	XX <sub>16</sub>
00E5 <sub>16</sub>	ポートP3	P3	XX <sub>16</sub>
00E6 <sub>16</sub>	ポートP2方向レジスタ	PD2	XXXXXX00 <sub>2</sub>
00E7 <sub>16</sub>	ポートP3方向レジスタ	PD3	00 <sub>16</sub>
00E8 <sub>16</sub>	ポートP4	P4	XX <sub>16</sub>
00E9 <sub>16</sub>			
00EA <sub>16</sub>	ポートP4方向レジスタ	PD4	00 <sub>16</sub>
00EB <sub>16</sub>			
00EC <sub>16</sub>			
00ED <sub>16</sub>			
00EE <sub>16</sub>			
00EF <sub>16</sub>			
00F0 <sub>16</sub>			
00F1 <sub>16</sub>			
00F2 <sub>16</sub>			
00F3 <sub>16</sub>			
00F4 <sub>16</sub>			
00F5 <sub>16</sub>			
00F6 <sub>16</sub>			
00F7 <sub>16</sub>			
00F8 <sub>16</sub>			
00F9 <sub>16</sub>			
00FA <sub>16</sub>			
00FB <sub>16</sub>			
00FC <sub>16</sub>	プルアップ制御レジスタ 0	PUR0	00X00000 <sub>2</sub>
00FD <sub>16</sub>	プルアップ制御レジスタ 1	PUR1	XXXXXX00 <sub>2</sub>
00FE <sub>16</sub>	ポートP1駆動能力制御レジスタ	DRR	00 <sub>16</sub>
00FF <sub>16</sub>			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です

## 5. リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。

### 5.1. ハードウェアリセット

電源電圧が動作保証電圧であるとき、リセット端子を200  $\mu$  sec以上“L”レベル(0.2VCC以下)に保つとリセット状態になります。その後、リセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

リセット回路例を図5.1および5.2、リセットシーケンスを図5.3に示します。

#### 1. 電源が安定している場合

- (1) RESET端子に200 $\mu$ s以上“L”を入力する
- (2) RESET端子に“H”を入力する

#### 2. 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで200 $\mu$ s待つ
- (4) RESET端子に“H”を入力する

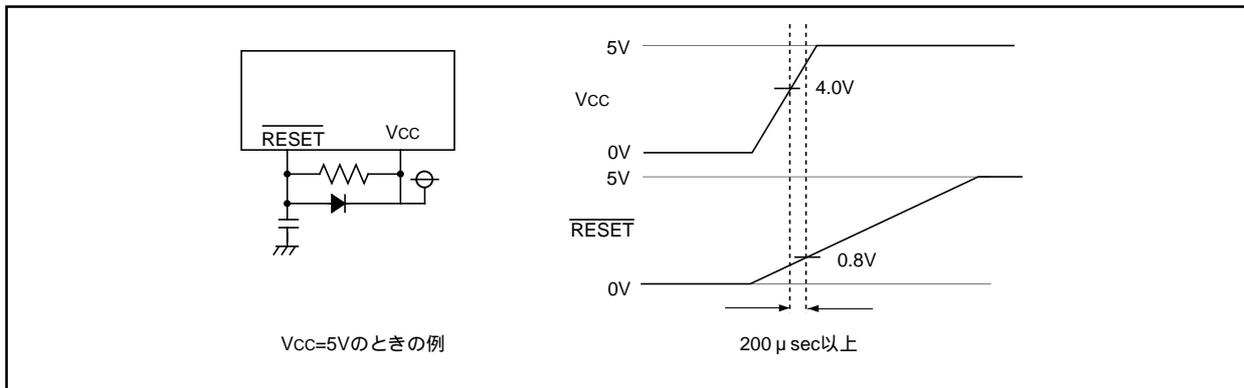


図5.1. リセット回路例

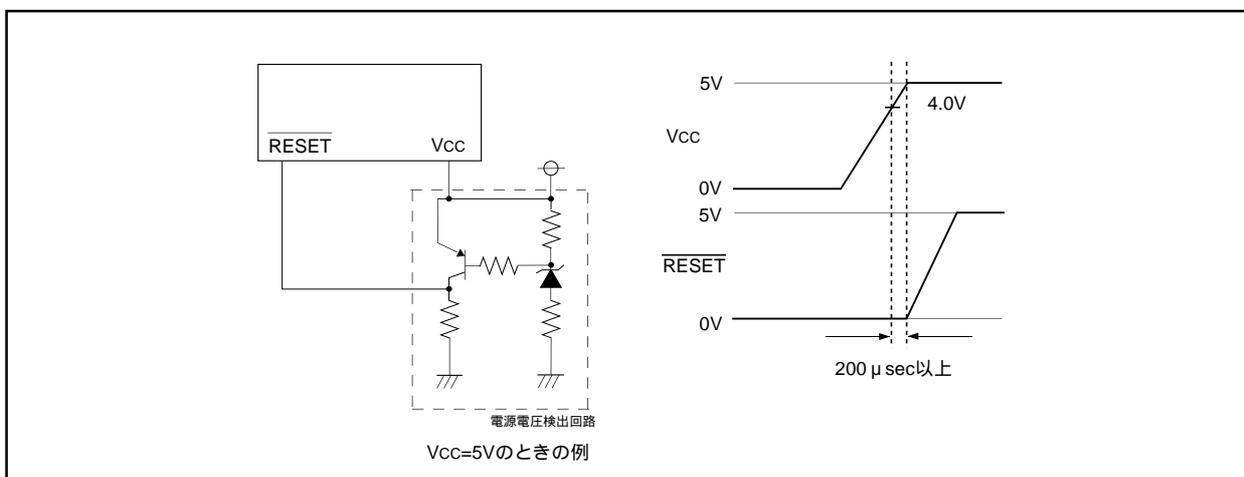


図5.2. リセット回路例(電圧監視回路例)

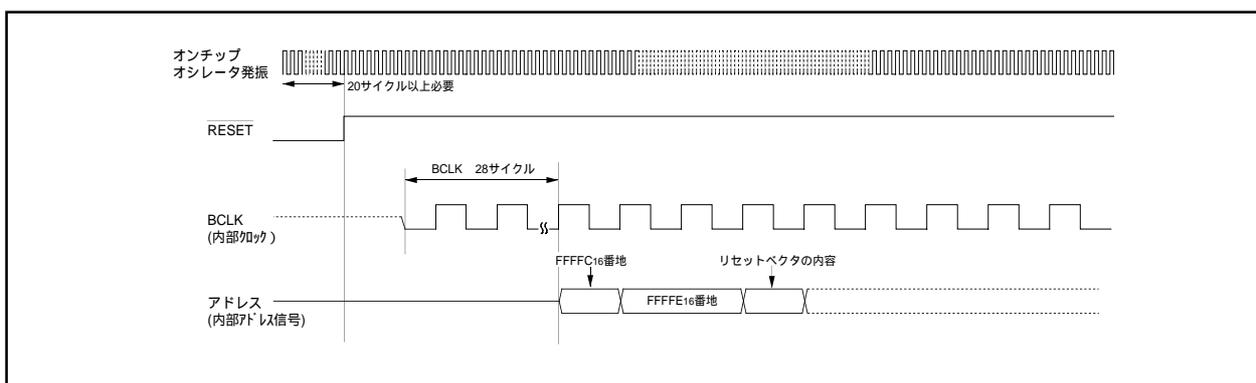


図5.3. リセットシーケンス

## 5.2. ソフトウェアリセット

プロセッサモードレジスタ0(0004<sub>16</sub>番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。CPUクロック源にオンチップオシレータクロックを選択後、PM03ビットを“1”にしてください。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。図5.4にプロセッサモードレジスタ0、1の構成を示します。

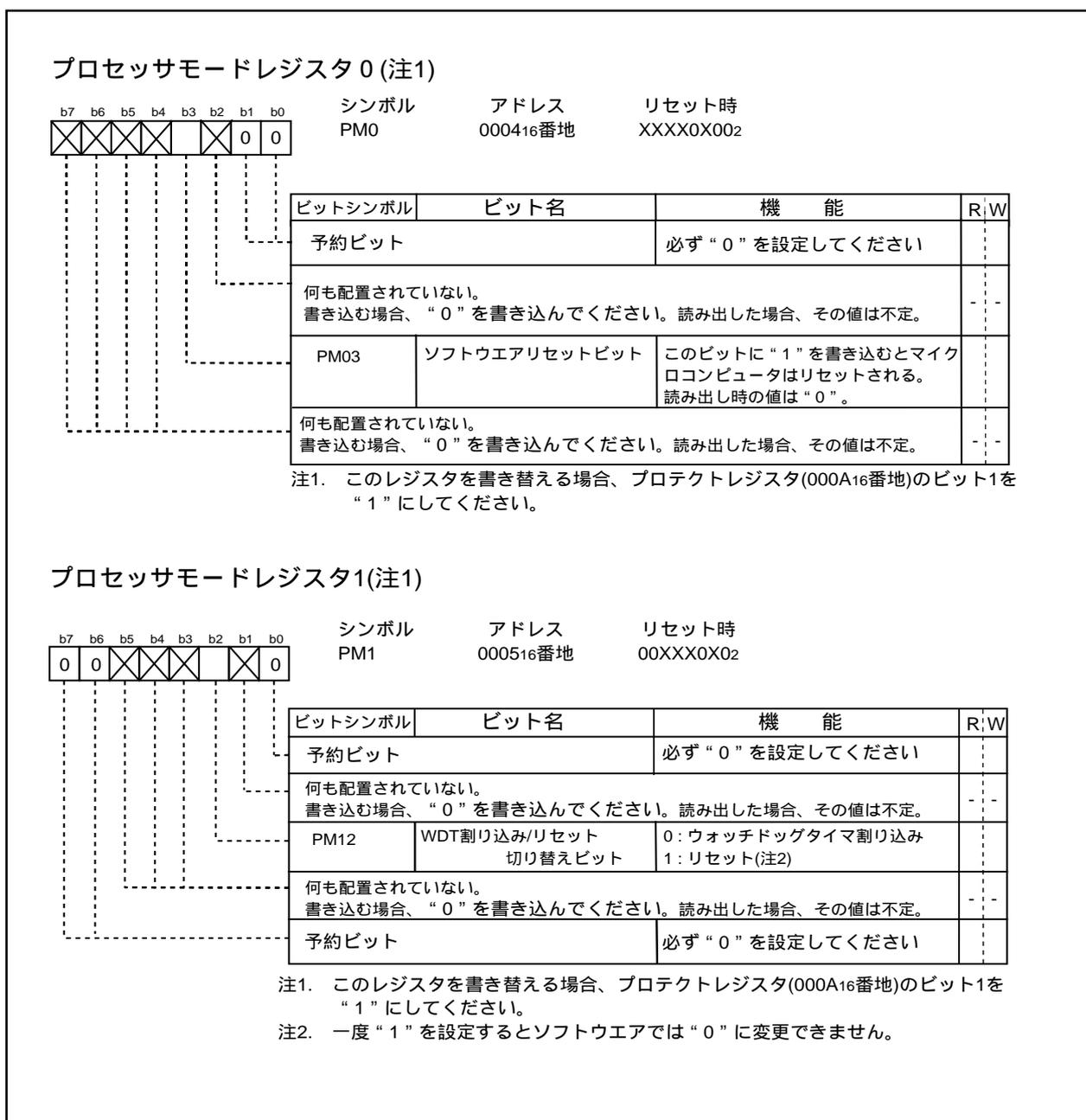


図5.4. プロセッサモードレジスタ0, 1の構成

## 6. バス制御

メモリ領域(ROM、RAM、FLASH等)とSFR領域とはアクセス時のバスサイクルが異なります。表6.1に示すようにメモリ領域はCPUの動作クロックBCLKの1サイクルでアクセス可能です。SFR領域はBCLKの2サイクルでアクセス可能です。

表6.1. アクセス領域に対するバスサイクル

領域	バスサイクル
SFR	BCLKの2サイクル
内部ROM/RAM	BCLKの1サイクル

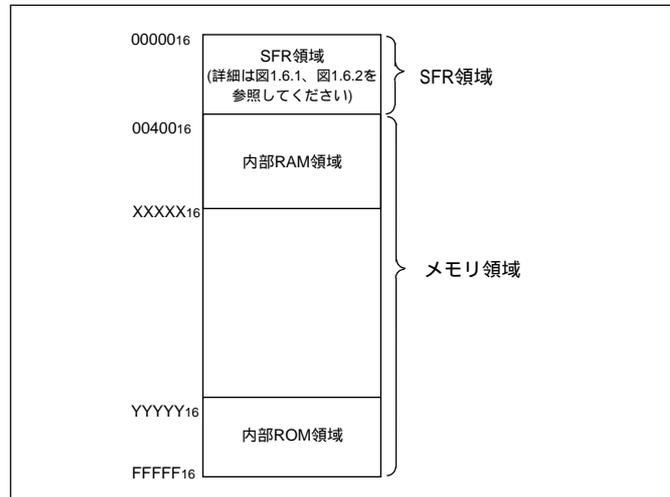


図6.1. SFR領域とメモリ領域

また、メモリ領域とSFR領域はバス幅が異なります。メモリ領域は16ビット、SFR領域は8ビットのバス幅をもっています。このためワード(16ビット)単位で各領域にアクセスする場合に動作が異なってきます。表6.2にSFR領域とメモリ領域をアクセスする時に必要なバスサイクルを示します。

表6.2. アクセス領域に対するサイクル

領域	SFR領域	メモリ領域
偶数アドレス バイトアクセス	BCLK アドレス データ	BCLK アドレス データ
奇数アドレス バイトアクセス	BCLK アドレス データ	BCLK アドレス データ
偶数アドレス ワードアクセス	BCLK アドレス データ	BCLK アドレス データ
奇数アドレス ワードアクセス	BCLK アドレス データ	BCLK アドレス データ

## 7. クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を3回路内蔵しています。

表7.1. メインクロック発振回路、サブクロック発振回路、オンチップオシレータ発振回路

	メインクロック発振回路	サブクロック発振回路	オンチップオシレータ発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマ1、X、Y、Zの カウントクロック源	CPUの動作クロック源 内蔵周辺装置の動作クロック源 タイマYのカウント クロック源
接続できる発振子 (注1)	セラミック発振子 水晶発振子、RC発振	水晶発振子	-
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	なし(内蔵)
発振の停止/再開機能	あり	あり	あり
リセット直後の 発振子の状態	発振	停止	発振
その他	外部で生成されたクロックを入力することが可能		-

注1. メインクロック発振回路を使用しない場合には、XIN端子をプルアップし、XOUT端子は開放してください。またメインクロック停止ビット(0006番地のビット5)を“1”(停止)に設定してください。

### 7.1. 発振回路例

図7.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図7.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図7.1中および図7.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

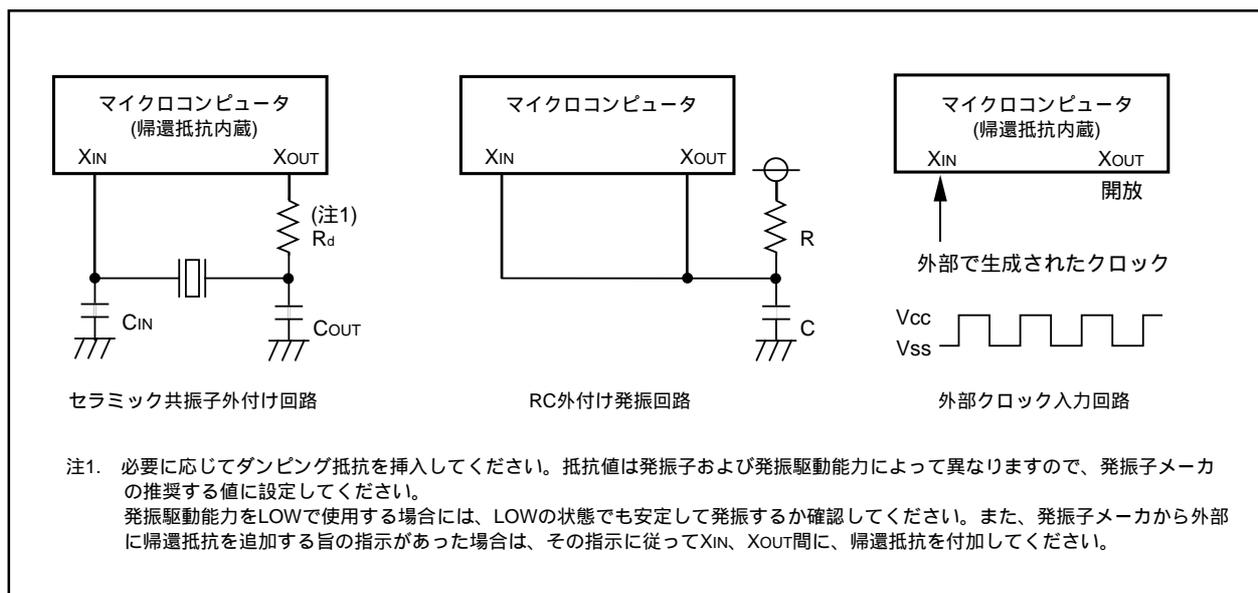


図7.1. メインクロックの接続例

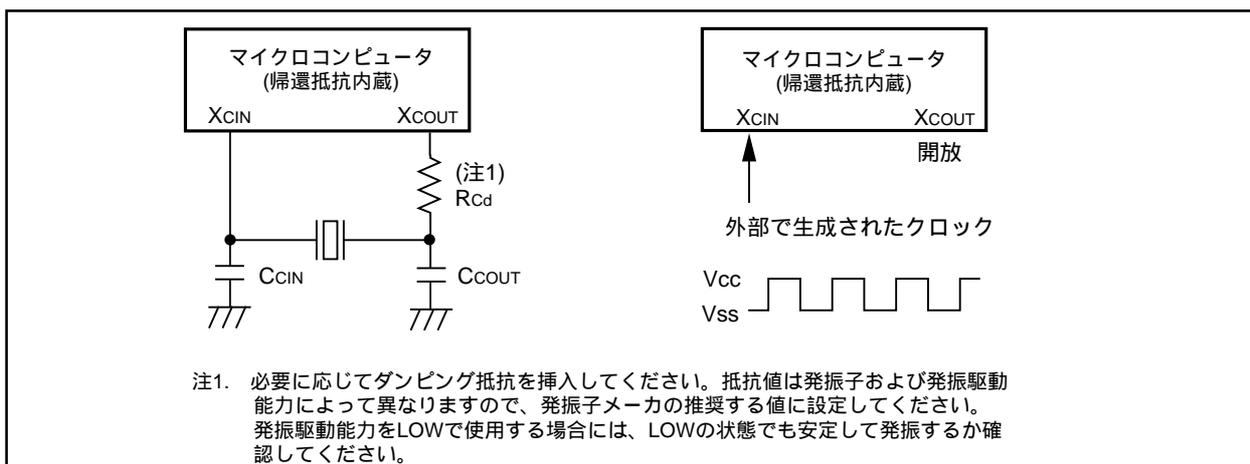


図7.2. サブクロックの接続例

オンチップオシレータ発振は、マイクロコンピュータ内部に内蔵されています。メインクロック切替ビット（000C番地のビット2）の設定により、オンチップオシレータ発振をBCLKとして使用することができます。オンチップオシレータ発振の周波数は $X_{IN}$ に比べて十分に小さいため、低消費電力を実現することができます。オンチップオシレータの周波数は電源電圧および動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対し十分なマージンが得られるよう注意してください。

## 7.2. クロックの制御

図7.3にクロック発生回路のブロック図を示します。

クロック発生回路で発生するクロックを順に説明します。

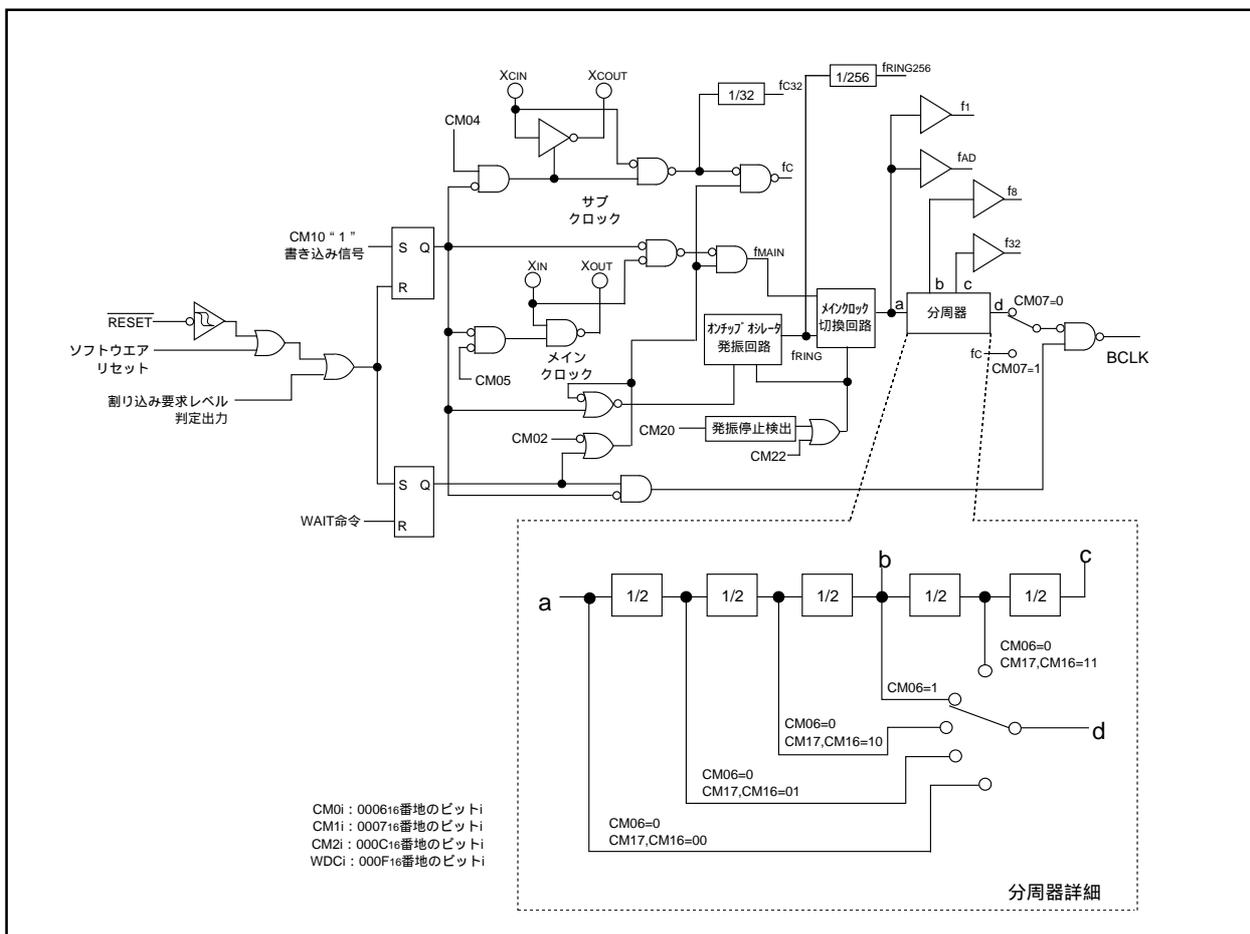


図7.3 クロック発生回路

### 7.2.1. メインクロック

メインクロック発振回路が供給するクロックです。リセット後、発振を開始します。メインクロック停止ビット(0006<sub>16</sub>番地のビット5)によってこのクロックの供給を停止することができます。このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、 $X_{IN}$ - $X_{OUT}$ 駆動能力選択ビット(0007<sub>16</sub>番地のビット5)によって $X_{OUT}$ 端子の駆動能力を弱めることができます。 $X_{OUT}$ 端子の駆動能力を弱めると消費電力は低減します。このビットは、高速モード、中速モードからストップモードへの移行時およびリセット時、“1”になります。低速モード、低消費電力モードでは保持されます。

### 7.2.2. サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(0006<sub>16</sub>番地のビット4)で発振を開始した後、システムクロック選択ビット(0006<sub>16</sub>番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、 $X_{CIN}$ - $X_{COUT}$ 駆動能力選択ビット(0006<sub>16</sub>番地のビット3)によって $X_{COUT}$ 端子の駆動能力を弱めることができます。 $X_{COUT}$ 端子の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

### 7.2.3. BCLK

メインクロック、メインクロックの2、4、8、16分周、 $f_c$ またはオンチップオシレータ発振回路の供給するクロック( $f_{RING}$ )の1、2、4、8、16分周をクロック源とするCPUの動作クロックです。リセット直後は、 $f_{RING}$ の8分周がBCLKになります。メインクロックにRC外付け発振回路を使用する場合は、BCLKとしてメインクロックの1分周を選択できません。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

### 7.2.4. 周辺機能クロック

$f_1$ 、 $f_8$ 、 $f_{32}$

メインクロックを分周なし、8、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006<sub>16</sub>番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。メインクロックにRC外付け発振回路を使用する場合は、一部の周辺機能は動作クロックとして $f_1$ を選択できません。

$f_{AD}$

メインクロックと同一周波数のクロックでA/D変換に使用します。

### 7.2.5. $f_{c32}$

サブクロックを32分周したクロックです。タイマ1、タイマX、タイマY、タイマZのカウントに使用します。図7.6に $f_{c32}$ の構成を示します。

### 7.2.6. $f_c$

サブクロックと同一周波数のクロックです。BCLKやウォッチドッグタイマに使用します。

### 7.2.7. $f_{RING}$ 、 $f_{RING256}$

$f_{RING}$ はオンチップオシレータ発振回路が供給するクロックです。オンチップオシレータモード時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)およびメインクロック分周比選択ビット1(0007<sub>16</sub>番地のビット6、ビット7)で選択された分周比で分周したクロックがBCLKとして供給されます。リセット直後は、このクロックの8分周がBCLKとなります。発振停止検出またはメインクロック切り替えビット(0006<sub>16</sub>番地、ビット2)によってオンチップオシレータ発振をBCLKにすることができます。

$f_{RING256}$ は、 $f_{RING}$ を256分周したクロックです。タイマCで使用します。

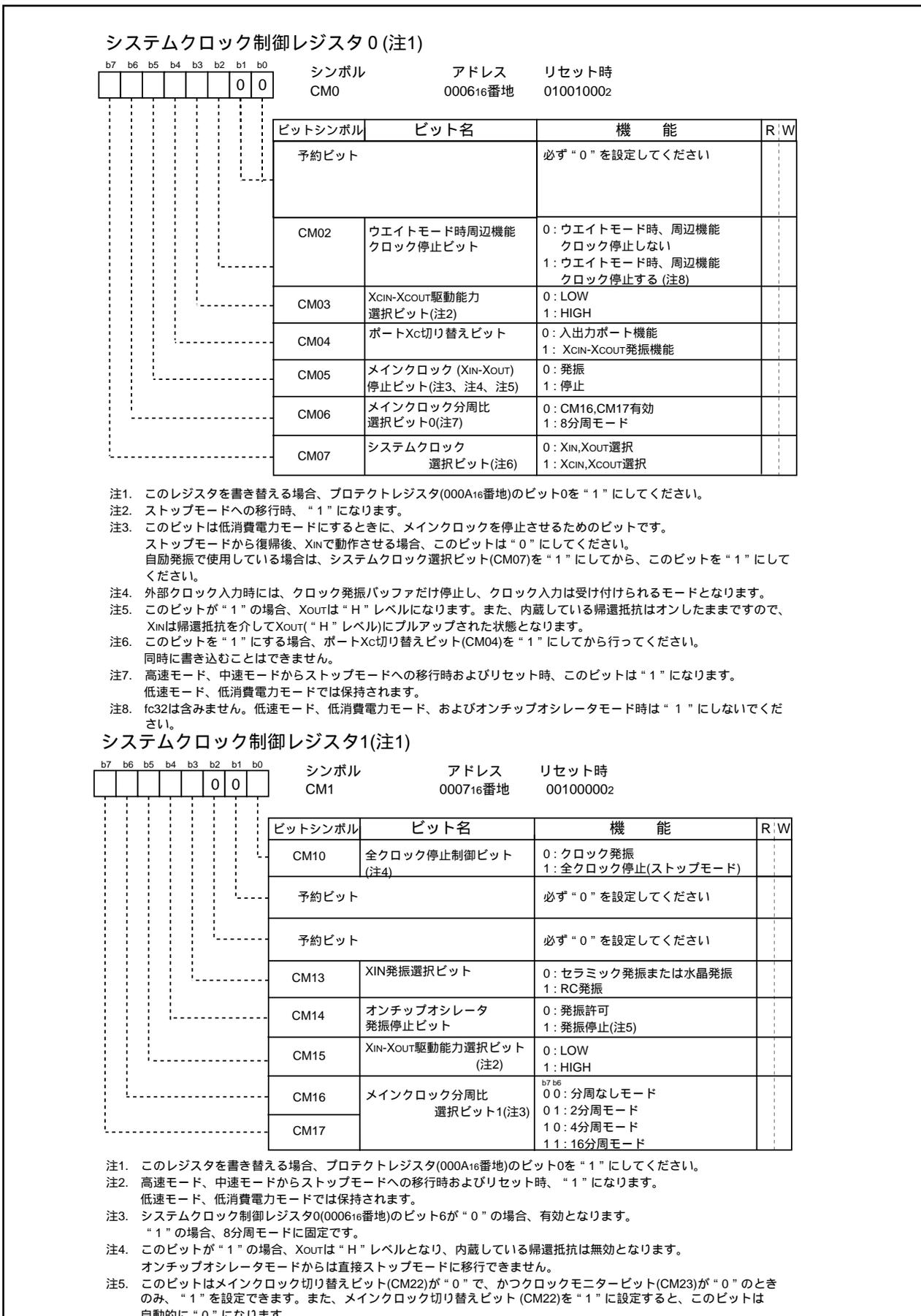


図7.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

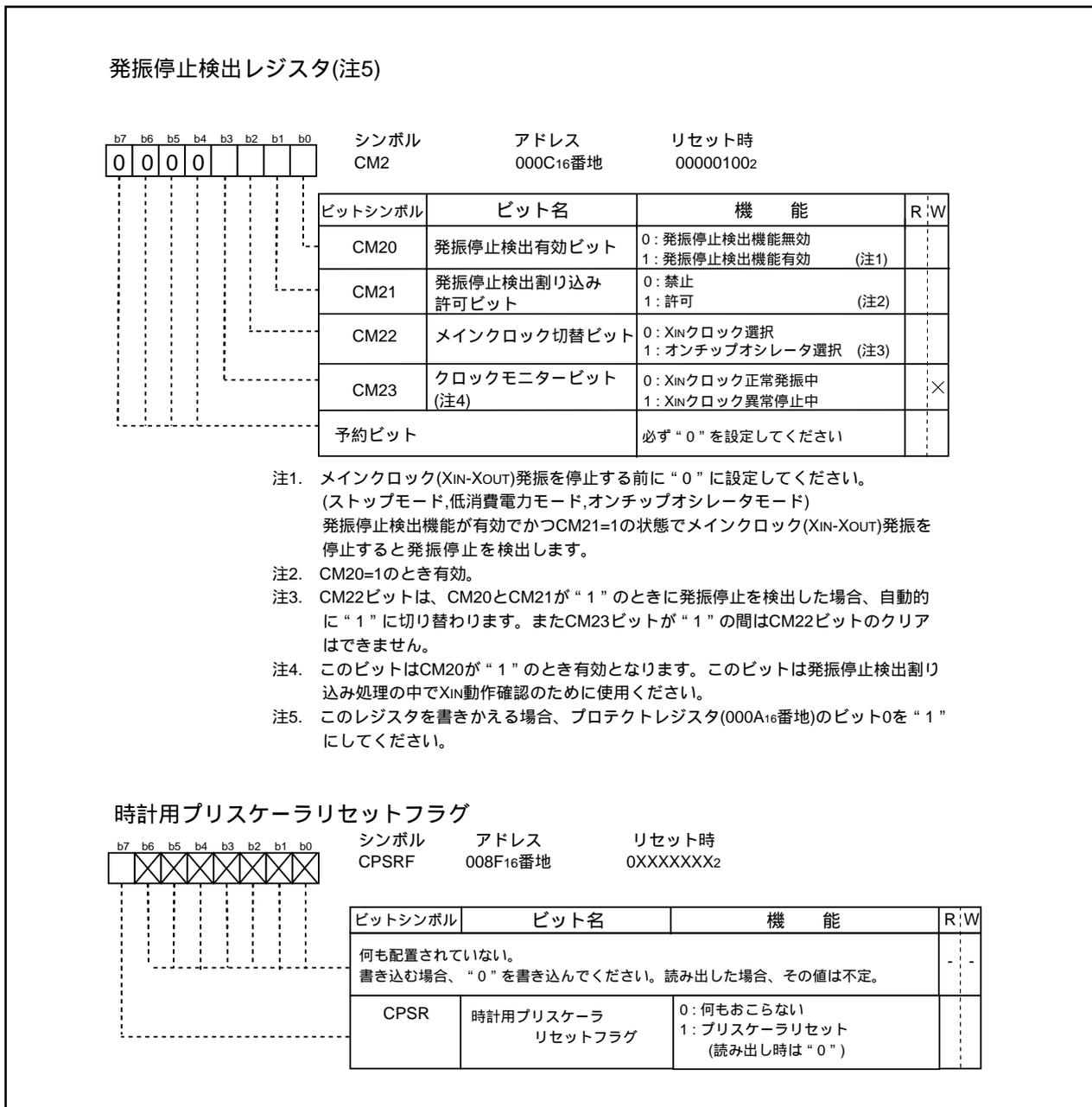
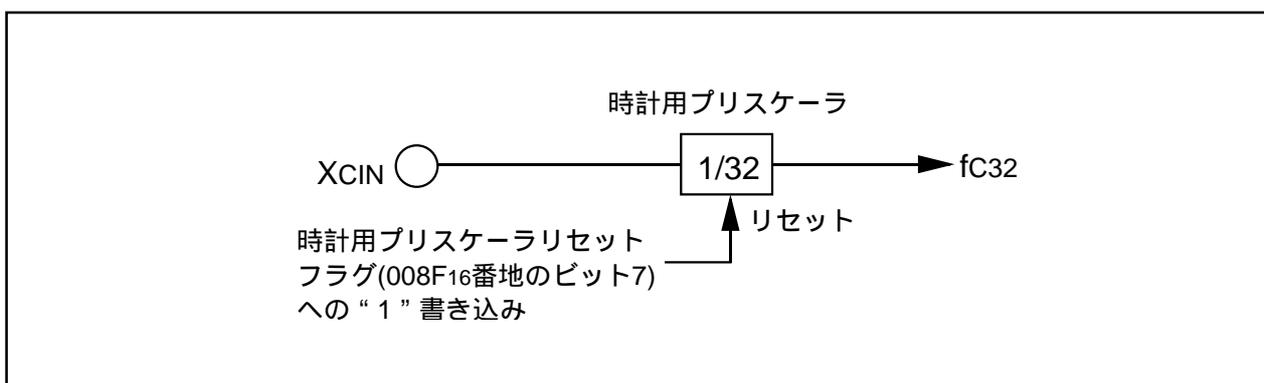


図7.5. 発振停止検出レジスタ、時計用プリスケアラリセットフラグの構成

図7.6. fc<sub>32</sub>の構成

### 7.3. ストップモード

全クロック停止制御ビット(0007<sub>16</sub>番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、 $V_{CC}$ が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、 $f_1 \sim f_{32}$ 、 $f_C$ 、 $f_{C32}$ 、 $f_{AD}$ は停止しますのでA/Dコンバータ、ウォッチドッグタイマ等の内蔵周辺機能は動作しません。ただし、タイマXは外部パルスをカウントするイベントカウンタモードだけ、UART0およびUART1は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表7.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

オンチップオシレータモード時は、ストップモードを使用しないでください。

表7.2. ストップモード時のポートの状態

端子	状態
ポート	ストップモードに入る直前の状態を保持

### 7.4. ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよびウォッチドッグタイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウェイトモード時のポートの状態を表7.3に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとして動作を再開します。

表7.3. ウェイトモード時のポートの状態

端子	状態
ポート	ウェイトモードに入る直前の状態を保持

## 7.5. BCLKの状態遷移

BCLKのカウンタソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表7.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット直後、8分周モードになります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

### 7.5.1. 2分周モード

メインクロックの2分周がBCLKとなるモードです。

### 7.5.2. 4分周モード

メインクロックの4分周がBCLKとなるモードです。

### 7.5.3. 8分周モード

メインクロックの8分周がBCLKとなるモードです。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックの発振が安定している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

### 7.5.4. 16分周モード

メインクロックの16分周がBCLKとなるモードです。

### 7.5.5. 分周なしモード

メインクロックの1分周がBCLKとなるモードです。メインクロックにRC外付け回路を使用する場合は、分周なしモードは使用しないでください。

### 7.5.6. 低速モード

$f_c$ がBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

### 7.5.7. 低消費電力モード

$f_c$ がBCLKとなりさらにメインクロックを停止させたモードです。

### 7.5.8. オンチップオシレータモード

オンチップオシレータ発振がBCLKとなるモードです。 $X_{IN}$ がメインクロックのときと同様に分周なし、2分周、4分周、8分周、16分周の各モードがあります。

### 7.5.9. 注意事項

BCLKのカウンタソースを $X_{IN}$ から $X_{CIN}$ 、 $X_{CIN}$ から $X_{IN}$ に切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。また、オンチップオシレータモードへ切り替えるときには、必ず8分周モードから移行して下さい。オンチップオシレータモードから他のモードへ切り替える時も、必ず8分周モードに移行した後、他のモードに切り替えて下さい。

表7.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM22	CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	0	1	0	0	0	無効	2分周モード
0	1	0	0	0	0	無効	4分周モード
0	無効	無効	0	1	0	無効	8分周モード
0	1	1	0	0	0	無効	16分周モード
0	0	0	0	0	0	無効	分周なしモード
0	無効	無効	1	無効	0	1	低速モード
0	無効	無効	1	無効	1	1	低消費電力モード
1	0	1	0	0	無効	無効	オンチップオシレータ発振モード(2分周)
1	1	0	0	0	無効	無効	オンチップオシレータ発振モード(4分周)
1	無効	無効	0	1	無効	無効	オンチップオシレータ発振モード(8分周)
1	1	1	0	0	無効	無効	オンチップオシレータ発振モード(16分周)
1	0	0	0	0	無効	無効	オンチップオシレータ発振モード(分周なし)

## 7.6. パワーコントロール

パワーコントロールの概要について説明します。  
パワーコントロールには3つのモードがあります。

### 7.6.1. 通常動作モード

#### 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

#### 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

#### 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

#### 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

#### オンチップオシレータモード

オンチップオシレータ発振がBCLKとなるモードです。CM06、CM16、CM17の設定により、オンチップオシレータ発振の分周なし、2分周、4分周、8分周、16分周モードが設定できます。分周比を上げるほど低消費電力がはかれます。また、オンチップオシレータ発振により動作しているときにはメインクロック停止ビットを“1”にすることによりXINのクロックドライバを停止することができます。これにより一層の低消費電力をはかることができます。

### 7.6.2. ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

### 7.6.3. ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。オンチップオシレータモードからは直接ストップモードに移行できません。

(1)~(3)の状態遷移図を図7.7、図7.8に示します。

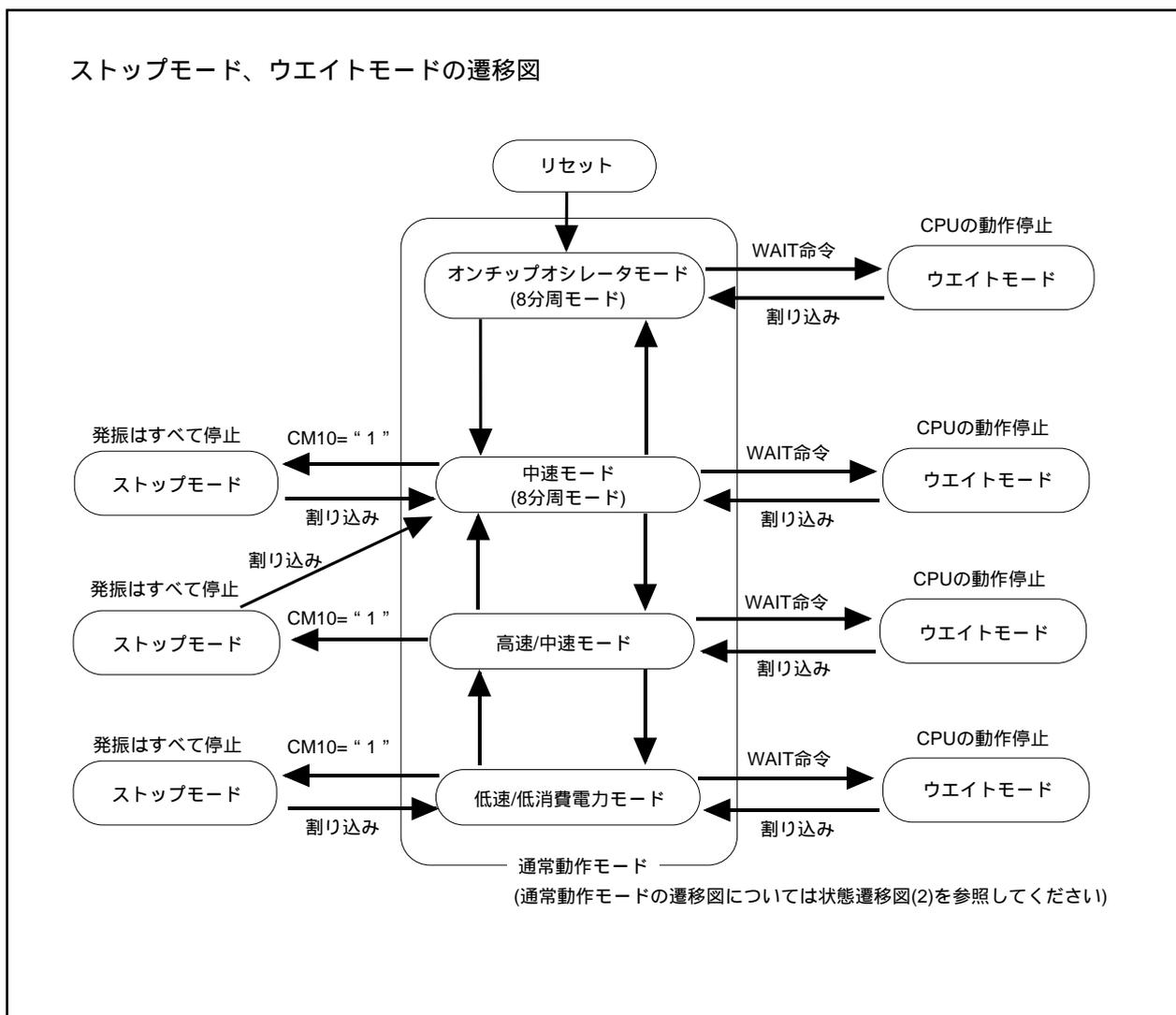


図7.7. 状態遷移図(1)

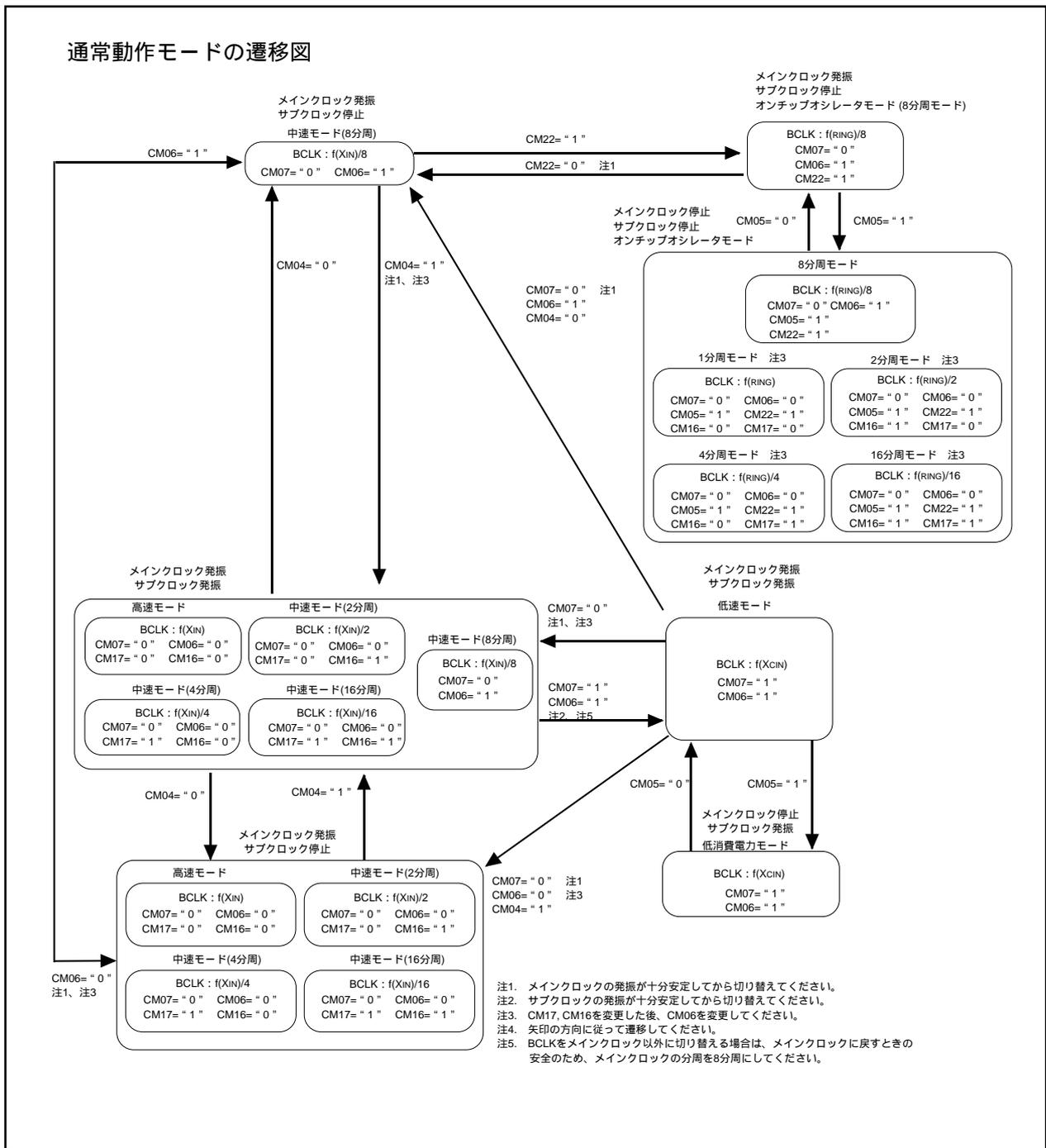


図7.8. 状態遷移図(2)

## 7.7. 発振停止検出機能

発振停止検出機能は、XIN発振回路のオープン・ショートなどによるメインクロックの異常停止を検出する機能です。発振停止検出時には発振停止検出割り込みを発生します。発振停止検出割り込み発生時にはマイクロコンピュータに内蔵されたオンチップオシレータが自動的に稼働し、XINクロックの代わりにメインクロックとして使用されます。これにより割り込み処理を可能にします。

発振停止検出機能は発振停止検出レジスタのビット0、ビット1によって有効/無効の設定ができます。このビットに“112”設定時、有効となります。なお、リセット解除後はこのビット値は“002”であるため発振停止検出機能は無効となっています。

表7.5に発振停止検出機能の仕様概要を示します。

表7.5. 発振停止検出機能の仕様概要

項目	仕様
発振停止検出可能クロックと周波数域	XIN 2MHz
発振停止検出機能有効条件	発振停止検出有効ビット(000C16番地のビット0)および発振停止検出割り込み許可ビット(000C16番地のビット1)に“1”設定時
発振停止検出時の動作	発振停止検出割り込み発生
ストップモード/低消費電力モード/ オンチップオシレータモード時の注意	メインクロック(XIN-XOUT)発振を停止する前には発振停止検出有効ビットに“0”を設定し、発振停止検出機能を無効にしてください。メインクロック(XIN-XOUT)発振許可して発振が安定した後に、改めてこのビットに“1”を設定してください。
ウェイトモード時の注意	ウェイトモード時周辺機能クロック停止ビット(000616番地のビット2)によりウェイトモード時に周辺機能クロックを停止させると発振停止を検出します。ウェイトモード時には周辺機能クロックを停止させないで下さい。

図7.9に発振停止検出回路の構成図を示します。

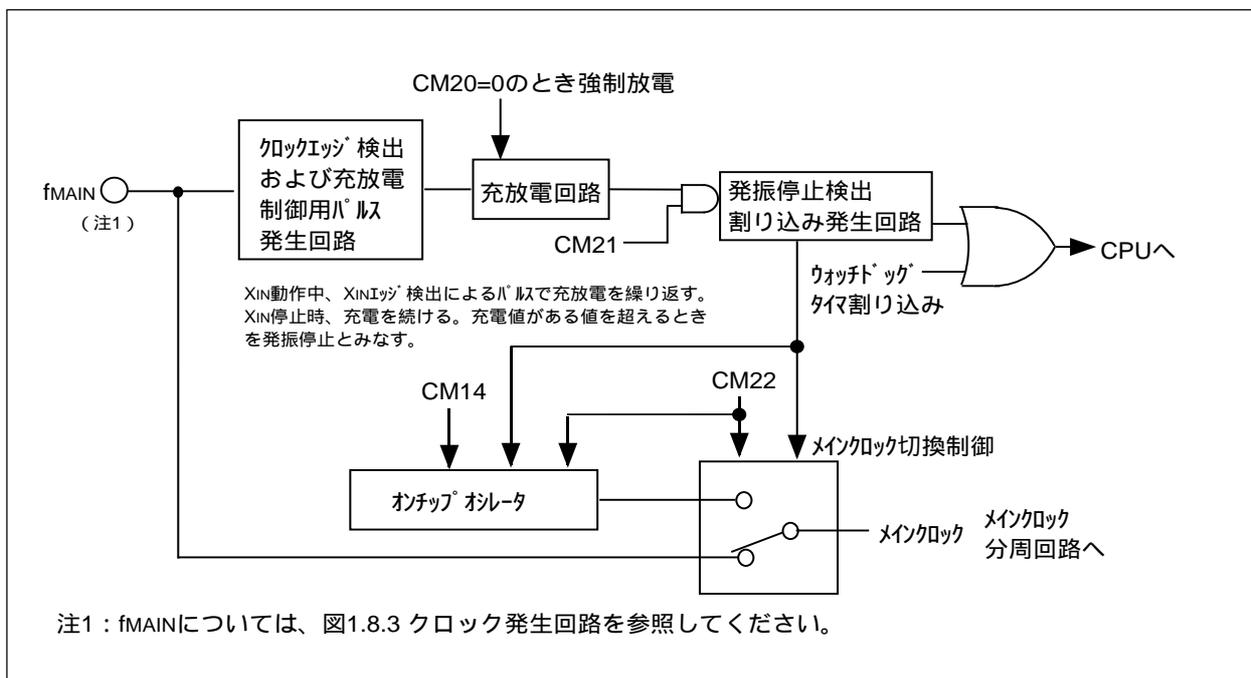


図7.9. 発振停止検出回路の構成図

図7.10に発振停止検出レジスタの構成を示します。

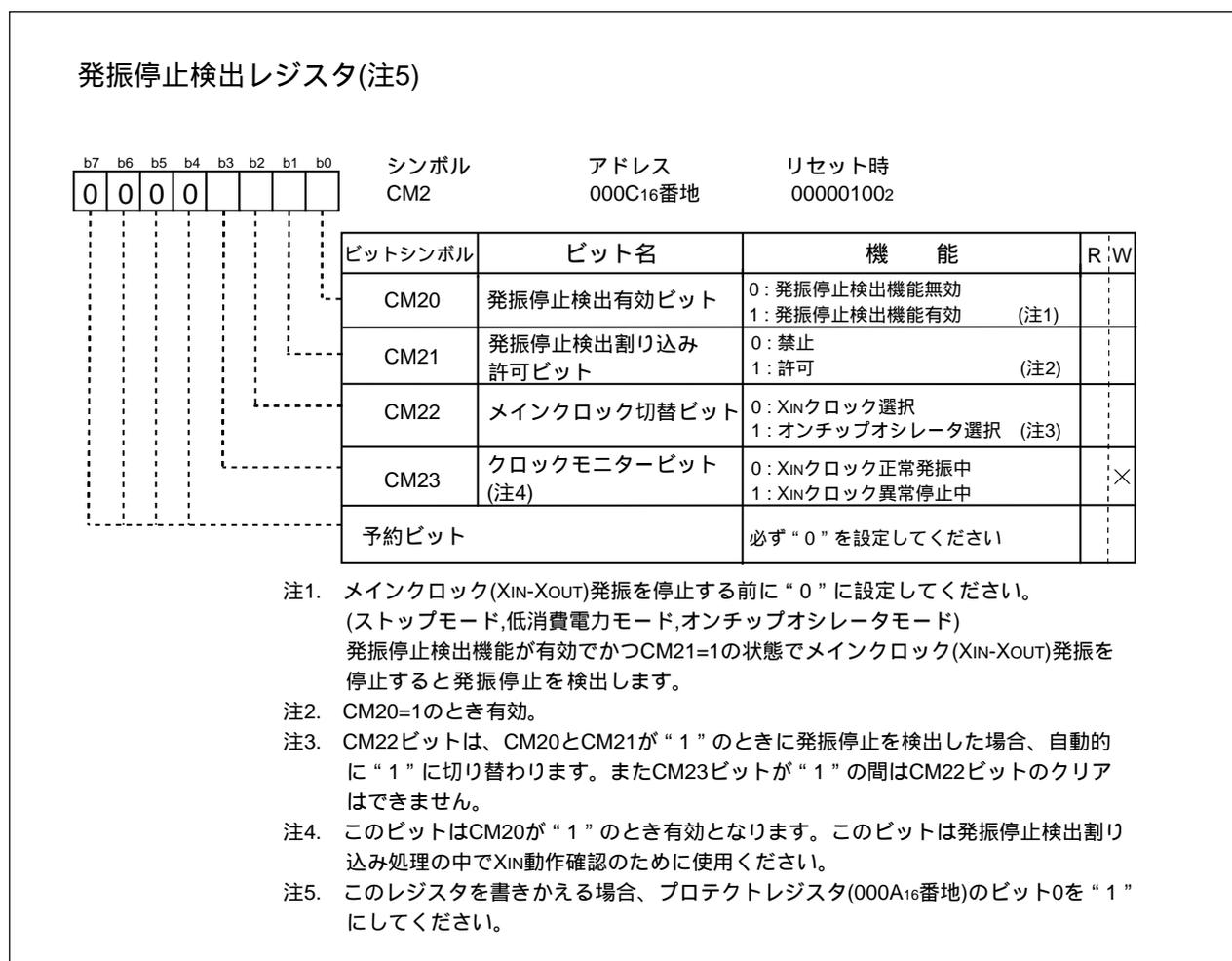


図7.10. 発振停止検出レジスタの構成

### 7.7.1. 発振停止検出有効ビット(CM20)

このビットを“1”、かつCM21=“1”(発振停止検出割り込み許可)に設定することにより発振停止検出を開始します。リセット状態またはこのビットが“0”に設定されているとき発振停止検出は行いません。ストップモード設定前には、このビットに必ず“0”を設定し、ストップモード解除後、改めて“1”を設定してください。またメインクロック停止ビット(0006<sub>16</sub>番地のビット5)に“1”を設定する前にも、このビットに必ず“0”を設定してください。

なお、XINの周波数が2MHz未満である場合にはこのビットに“1”を設定しないでください。

CM02=“1”(ウエイトモード時周辺機能クロック停止する)設定のままウエイトモードに移行すると発振停止を検出します。

### 7.7.2. 発振停止検出割り込み許可ビット(CM21)

CM20=“1”かつCM21=“1”のときにXINの異常停止を検出した場合、発振停止検出割り込みを発生します。このとき、異常停止したXINクロックの代わりにオンチップオシレータが稼働します。以後の動作はこのオンチップオシレータがメインクロックを供給することで行います。発振停止検出割り込みは、ウォッチドッグタイマ割り込みと割り込みベクタテーブルを共有しているため割り込み要因の判別が必要となります。図7.11に発振停止検出割り込み処理プログラムでの要因判別方法を示します。

### 7.7.3. メインクロック切替ビット(CM22)

このビットに“1”を設定するとオンチップオシレータがメインクロックとして選択されます。このとき、オンチップオシレータが停止していた場合(CM14=“1”)、同時にオンチップオシレータが発振を開始します。このビットをクリアするにはCM23が“0”(XIN発振中)の場合のみ可能です。

なお、このビットは、CM20=“1”かつCM21=“1”のときに発振停止を検出した場合、自動的に“1”に切り替わります。

このビットを“1”に設定すると、オンチップオシレータ発振停止ビット(0007<sub>16</sub>番地のビット4)が自動的に“0”に設定されます。

### 7.7.4. クロックモニタービット(CM23)

このビットは、XINクロックの動作状態を表します。このビットが“0”のときXINは正常に動作していることを示します。発振停止検出割り込み発生時やリセット後にXINの発振状態を確認することができます。

なお、発振停止検出が無効(CM20=“0”)の場合、クロックモニタービットは“0”になります。

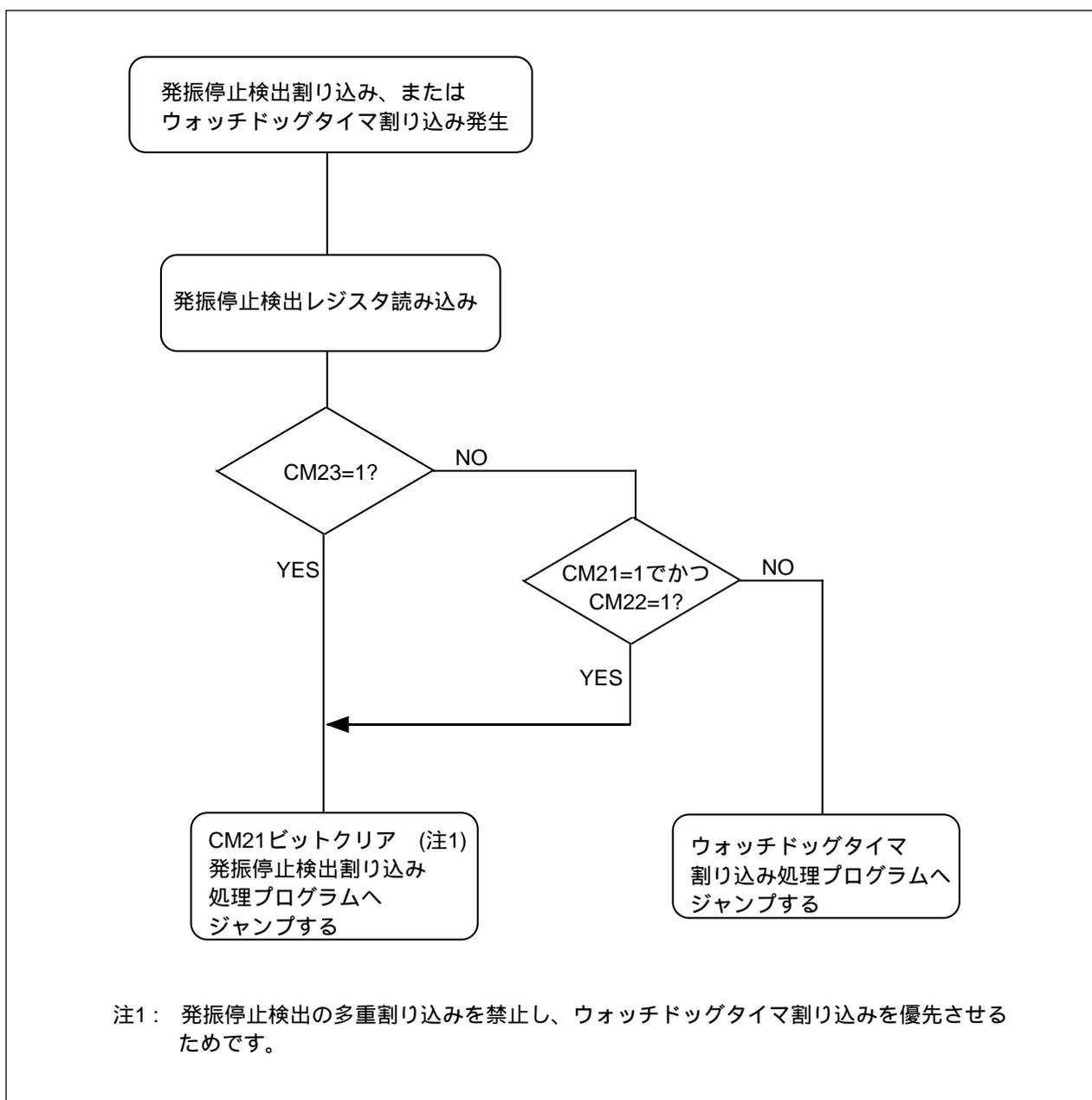


図7.11. 発振停止検出割り込みとウォッチドッグタイマ割り込みの割り込み要因判別方法

## 8. プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図8.1にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004<sub>16</sub>番地)、プロセッサモードレジスタ1(0005<sub>16</sub>番地)、システムクロック制御レジスタ0(0006<sub>16</sub>番地)、システムクロック制御レジスタ1(0007<sub>16</sub>番地)およびポートP0方向レジスタ(00E2<sub>16</sub>番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP0には重要な出力を配置することができます。

ポートP0方向レジスタ書き込み許可ビット(000A<sub>16</sub>番地のビット2)は、“1”(書き込み許可状態)を書き込んだあと、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。

システムクロック制御レジスタ0,1、発振停止検出レジスタへの書き込み許可ビット(000A<sub>16</sub>番地のビット0)およびプロセッサモードレジスタ0,1への書き込み許可ビット(000A<sub>16</sub>番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

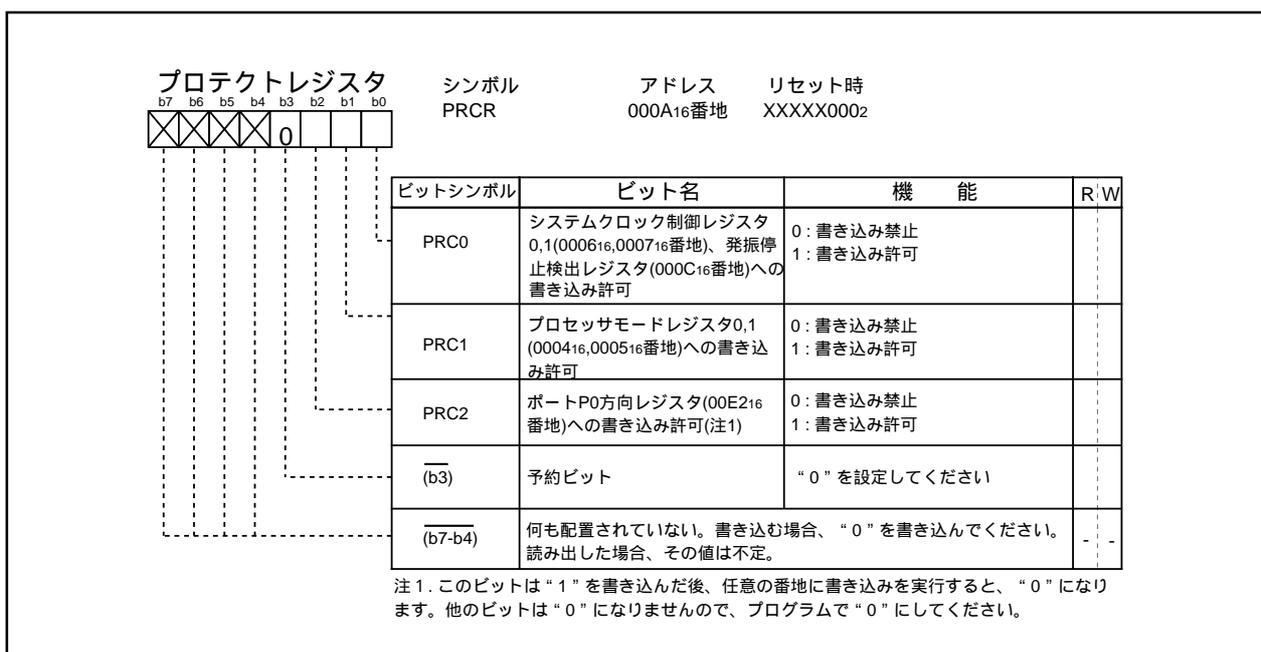


図8.1. プロテクトレジスタの構成

## 9. 割り込み

### 9.1. 割り込みの概要

#### 9.1.1. 割り込みの分類

図9.1に割り込みの分類を示します。

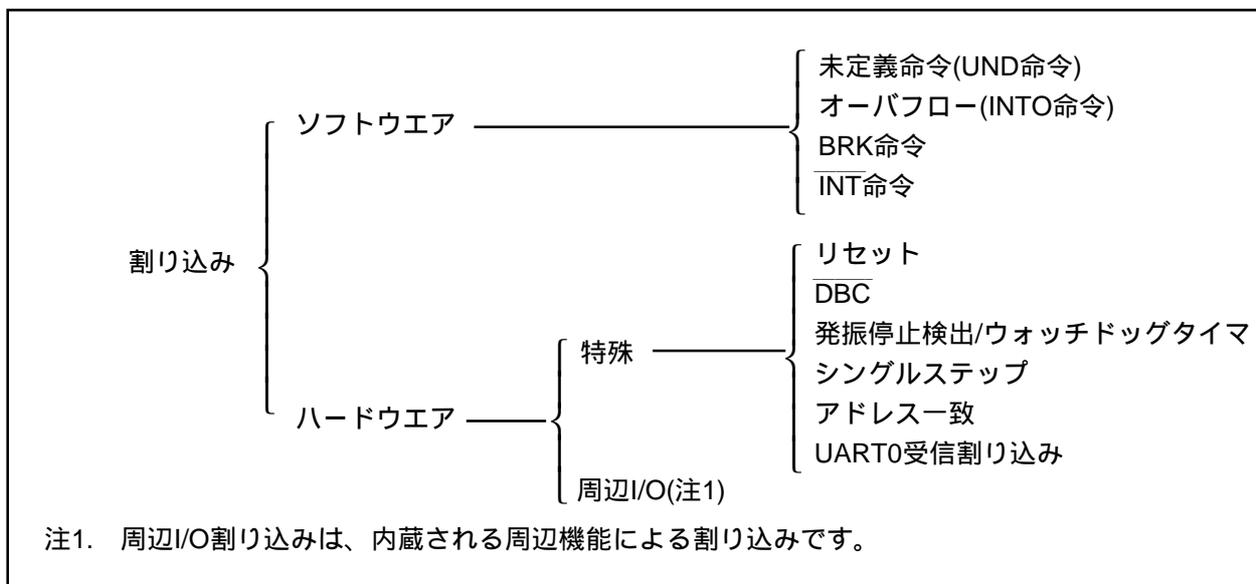


図9.1. 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

### 9.1.2. ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

#### 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

#### オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

#### BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

#### INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32~63では、スタックポインタは切り替わりません。

### 9.1.3. ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

#### 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

##### (1) リセット

リセットは、RESET端子に“L”を入力すると発生します。

##### (2) UART0受信割り込み

UART0受信時に発生する割り込みです。INT0入力フィルタ選択レジスタ(001E16番地)のビット2により許可することが可能です。デバッグ専用割り込みですので、通常は使用しないでください。

##### (3) DBC割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

##### (4) 発振停止検出/ウォッチドッグタイマ割り込み

発振停止検出またはウォッチドッグタイマによる割り込みです。

##### (5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

##### (6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

#### 周辺I/O割り込み

周辺I/O割り込みは内蔵される周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスクابل割り込みです。

##### (1) キー入力割り込み

キー入力割り込みはKI端子に立ち下がりエッジまたは立ち上がりエッジを入力すると発生します。

##### (2) A/D変換割り込み

A/Dコンバータによる割り込みです。

##### (3) UART0、UART1送信割り込み

シリアルI/Oの送信による割り込みです。

##### (4) UART0、UART1受信割り込み

シリアルI/Oの受信による割り込みです。

##### (5) タイマX割り込み

タイマXによる割り込みです。

##### (6) タイマY割り込み

タイマYによる割り込みです。

##### (7) タイマZ割り込み

タイマZによる割り込みです。

##### (8) タイマC割り込み

タイマCによる割り込みです。

##### (9) CNTR0割り込み

CNTR0端子に立ち下がりエッジまたは立ち上がりエッジを入力すると発生します。

##### (10) TCIN割り込み

TCIN端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。またfRING256でも発生します。

##### (11) INT0~INT3割り込み

INT0~INT2割り込みは、INT端子に立ち下がりエッジ、立ち上がりエッジまたは両エッジを入力すると発生します。

INT3割り込みは、INT端子に立ち下がりエッジまたは両エッジを入力すると発生します。

### 9.1.4. 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図9.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図9.2. 割り込みベクタの指定アドレス

#### 固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC<sub>16</sub>番地からFFFFF<sub>16</sub>番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表9.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表9.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備考
未定義命令	FFFDC <sub>16</sub> ～FFFDF <sub>16</sub>	UND命令で割り込み
オーバフロー	FFFE0 <sub>16</sub> ～FFFE3 <sub>16</sub>	INTO命令で割り込み
BRK命令	FFFE4 <sub>16</sub> ～FFFE7 <sub>16</sub>	ベクタの内容がすべてFF <sub>16</sub> の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 <sub>16</sub> ～FFFEB <sub>16</sub>	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE0 <sub>16</sub> ～FFFEF <sub>16</sub>	通常は使用禁止
発振停止検出/ウォッチドッグタイマ	FFFF0 <sub>16</sub> ～FFFF3 <sub>16</sub>	
DBC(注1)	FFFF4 <sub>16</sub> ～FFFF7 <sub>16</sub>	通常は使用禁止
UART0受信(注1)	FFFF8 <sub>16</sub> ～FFFFB <sub>16</sub>	通常は使用禁止
リセット	FFFFC <sub>16</sub> ～FFFFF <sub>16</sub>	

注1. デバッガ専用割り込み

## 可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表9.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表9.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号13	+52 ~ +55(注1)	キー入力割り込み	
ソフトウェア割り込み番号14	+56 ~ +59(注1)	A/D変換	
ソフトウェア割り込み番号17	+68 ~ +71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80 ~ +83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84 ~ +87(注1)	タイマ1	
ソフトウェア割り込み番号22	+88 ~ +91(注1)	タイマX	
ソフトウェア割り込み番号23	+92 ~ +95(注1)	タイマY	
ソフトウェア割り込み番号24	+96 ~ +99(注1)	タイマZ	
ソフトウェア割り込み番号25	+100 ~ +103(注1)	CNTR0	
ソフトウェア割り込み番号26	+104 ~ +107(注1)	TCIN	
ソフトウェア割り込み番号27	+108 ~ +111(注1)	タイマC	
ソフトウェア割り込み番号28	+112 ~ +115(注1)	$\overline{\text{INT3}}$	
ソフトウェア割り込み番号29	+116 ~ +119(注1)	$\overline{\text{INT0}}$	
ソフトウェア割り込み番号30	+120 ~ +123(注1)	$\overline{\text{INT1}}$	
ソフトウェア割り込み番号31	+124 ~ +127(注1)	$\overline{\text{INT2}}$	
ソフトウェア割り込み番号32 ソフトウェア割り込み番号63	+128 ~ +131(注1) +252 ~ +255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

### 9.1.5. 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図9.3に割り込み制御レジスタの構成を示します。

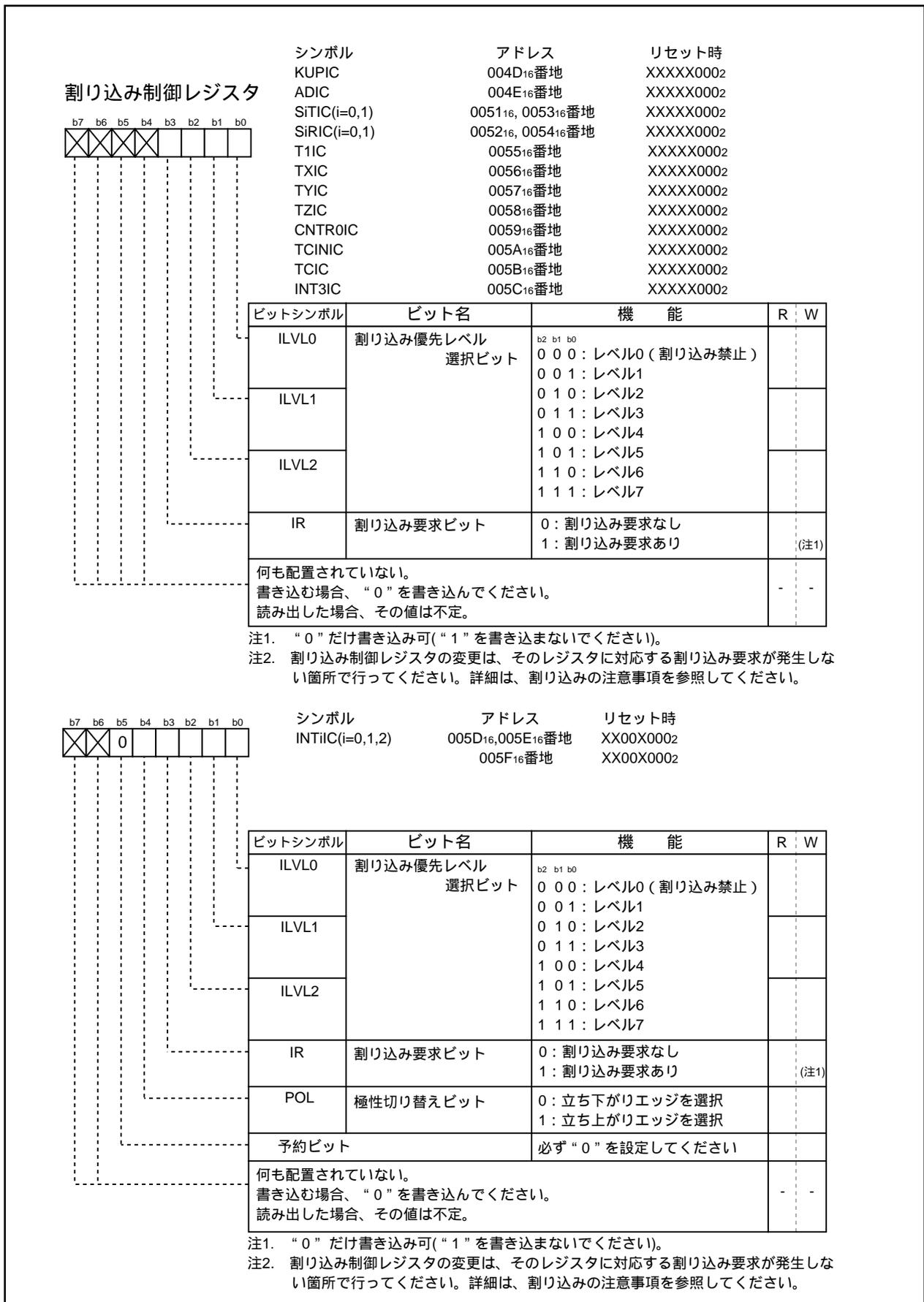


図9.3. 割り込み制御レジスタの構成

## 9.1.5.1. 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

## 9.1.5.2. 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

## 9.1.5.3. 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表9.3に割り込み優先レベルの設定を、表9.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表9.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表9.4. プロセッサ割り込み優先レベル(IPL)  
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL2 IPL1 IPL0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

## 9.1.5.4. 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

## &lt; 割り込み制御レジスタを書き換えるプログラム例 &gt;

## 例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  NOP
  NOP
  FSET   I           ; 割り込み許可状態
```

## 例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

## 例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされることがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

## 割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・MOV

#### 9.1.5.5. 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000<sub>16</sub>番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

#### 9.1.5.6. 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図9.4に割り込み応答時間を示します。

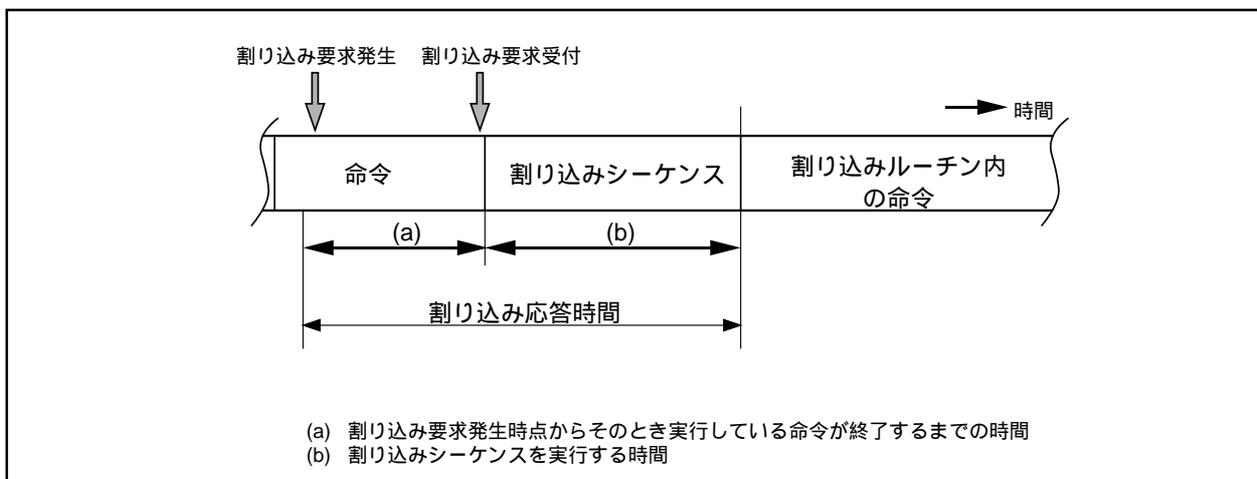


図9.4. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。  
 (b)の時間は次のとおりです。

表9.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	ウエイトなし
偶数	偶数	18サイクル(注1)
偶数	奇数	19サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

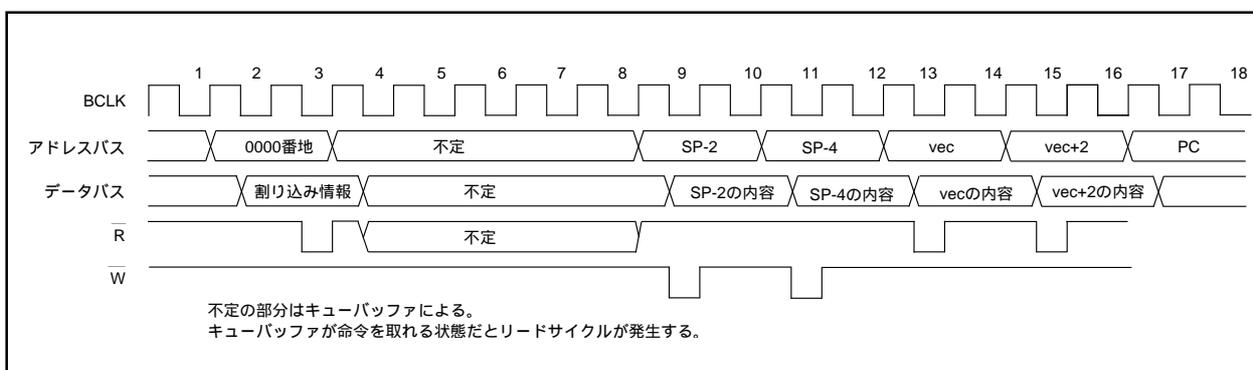


図9.5. 割り込みシーケンスの実行時間

#### 9.1.5.7. 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表9.6に示す値がIPLに設定されます。

表9.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
ウォッチドッグタイマ	7
リセット	0
その他	変化しない

9.1.5.8. レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図9.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。

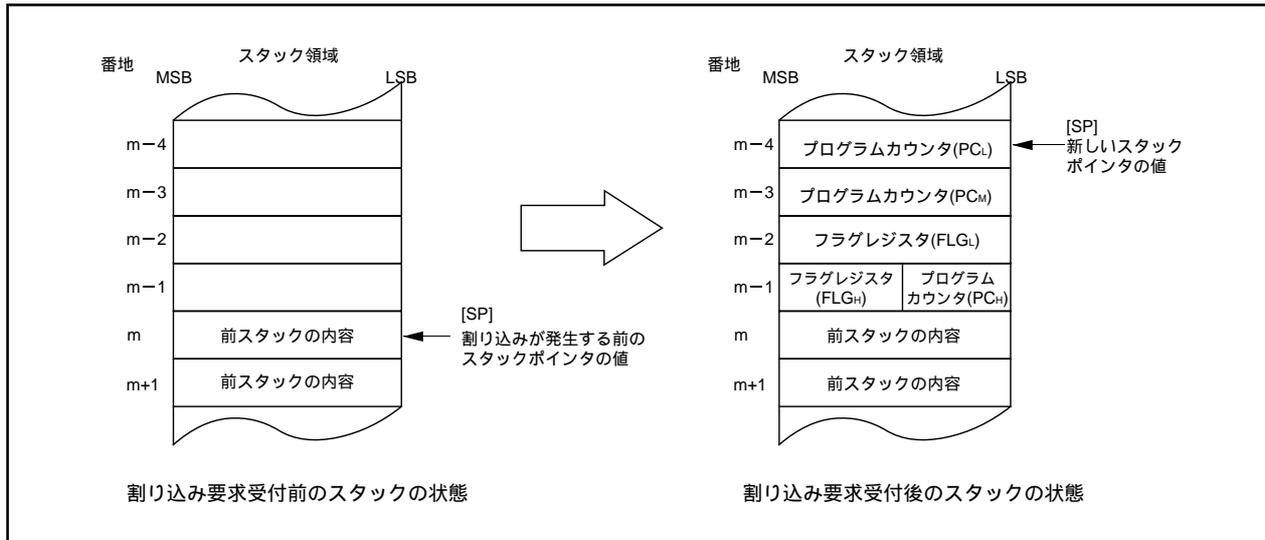
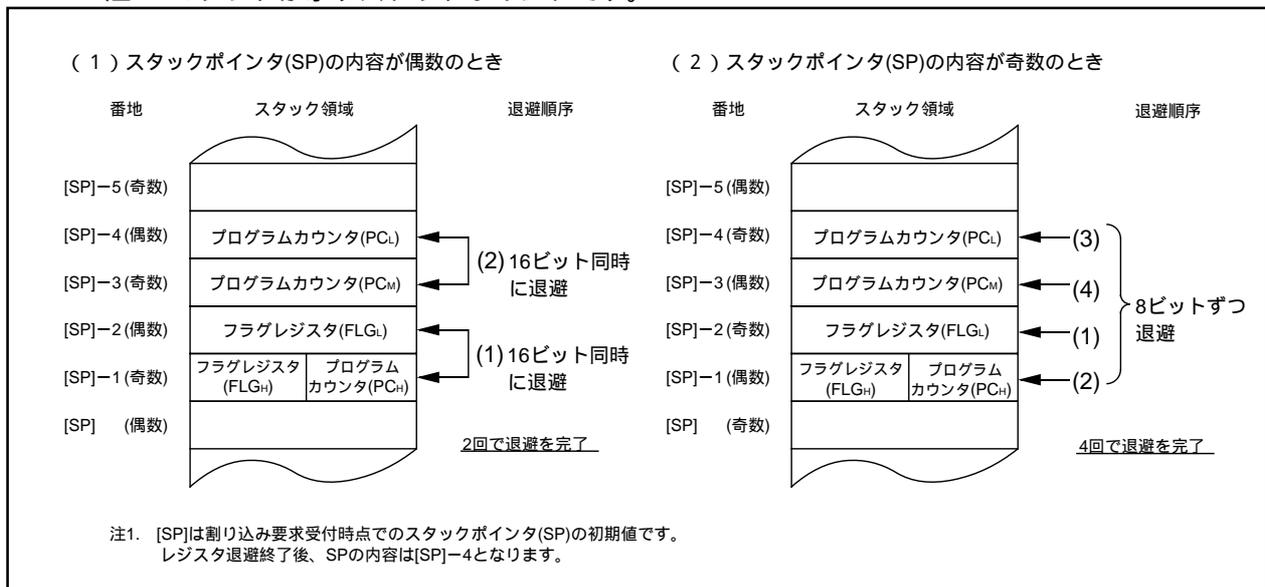


図9.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図9.7にレジスタ退避動作を示します。

注1. Uフラグが示すスタックポインタです。



注1. [SP]は割り込み要求受付時点でのスタックポインタ(SP)の初期値です。レジスタ退避終了後、SPの内容は[SP]-4となります。

図9.7. レジスタ退避動作

#### 9.1.5.9. 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

#### 9.1.5.10. 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図9.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

#### 9.1.5.11. 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図9.9に割り込み優先レベルの判定回路を示します。

リセット > UART0受信 >  $\overline{DBC}$  > 発振停止検出/ウォッチドッグタイマ > 周辺I/O  
> シングルステップ > アドレス一致

図9.8. ハードウェア割り込みの割り込み優先順位

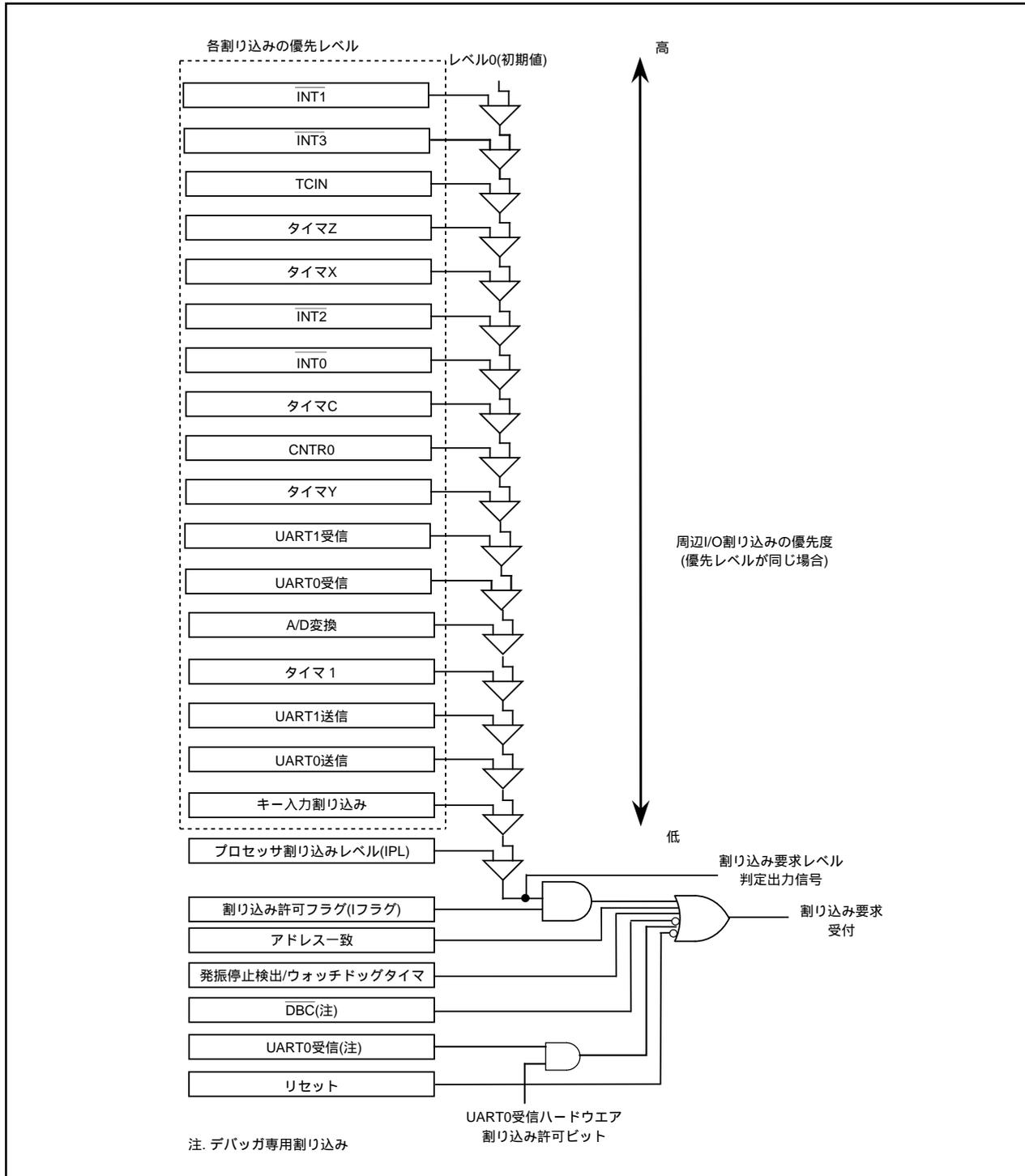


図9.9. 割り込み優先レベル判定回路

9.2. INT割り込み

INT0 ~ INT3は外部入力による割り込みです。INT0 ~ INT2は極性を極性切り替えビット(005D<sub>16</sub>、005E<sub>16</sub>、005F<sub>16</sub>番地のビット4)で選択できます。INT0のみは3種類の周波数のクロックによりサンプリングするフィルタを通して入力することが可能です。

外部割り込み入力は、外部入力許可レジスタ(0096<sub>16</sub>番地)のINTi (i=0~3)入力極性選択ビットを“1”に設定することによって、立ち上がり、立ち下りの両方のエッジで割り込みを発生させることができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは、“0”(立ち下りエッジ)に設定してください。片エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットで、“1”(立ち上がりエッジ)または“0”(立ち下りエッジ)を選択してください。なお、INT3で片エッジを選択する場合は、立ち下りエッジとなります。

外部入力許可レジスタを設定して割り込み要求ビットをクリアにした後に、対応する割り込みが発生するように設定してください。また、外部入力許可レジスタへの書き込みは、対応する割り込みを禁止した状態で実行してください。

図9.10に外部入力関連レジスタの構成を示します。

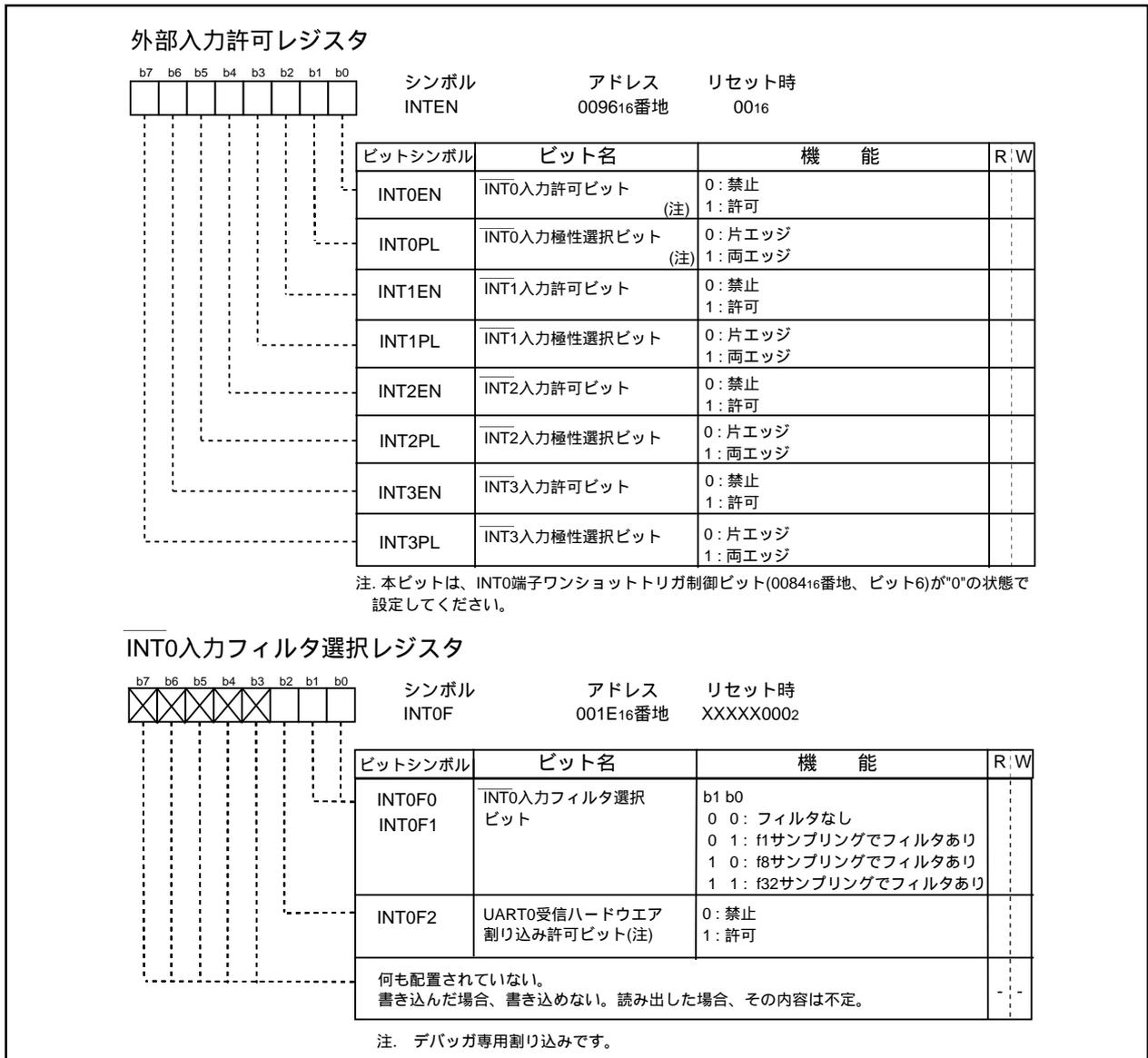


図9.10. 外部入力関連レジスタの構成

### 9.2.1. $\overline{\text{INT0}}$ 入力フィルタ

$\overline{\text{INT0}}$ の入力は、デジタルフィルタを持ちます。 $\overline{\text{INT0}}$ 入力フィルタ選択ビット(001E<sub>16</sub>番地のビット0、1)で選択した $f_1$ 、 $f_8$ 、 $f_{32}$ のいずれかのクロックにより入力をサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INT0}}$ 割り込み要求が発生します。デジタルフィルタありを選択した場合、ポートP4<sub>5</sub>の読み出しを行うとフィルタ後の値が読み込まれます。

図9.11に $\overline{\text{INT0}}$ 入力フィルタの構成を示します。

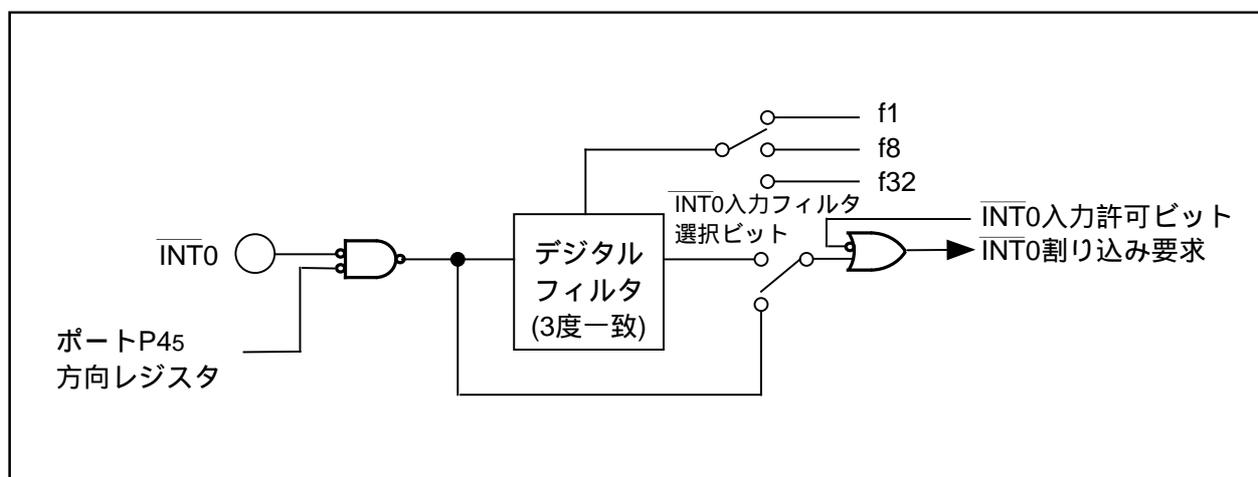


図9.11.  $\overline{\text{INT0}}$ 入力フィルタの構成

### 9.3. CNTR0割り込み

CNTR0割り込みは、CNTR0端子への入力による割り込みです。CNTR0端子に立ち上がりエッジ、または立ち下がりエッジを入力すると、CNTR0割り込みが発生します。極性は、タイマXモードレジスタのCNTR0極性切替ビット（008B<sub>16</sub>番地のビット2）で選択できます。CNTR0割り込みを使用するときには、P1<sub>7</sub>の方向レジスタを入力に設定してください。

タイマXのパルス出力モードを選択したときは、CNTR0端子は、パルス出力端子になります。その場合は、CNTR0端子から出力される立ち下がりエッジ、または立ち上がりエッジによってCNTR0割り込みが発生します。このときも、P1<sub>7</sub>の方向レジスタは入力に設定してください。

図9.12に、タイマXモードレジスタの構成を示します。

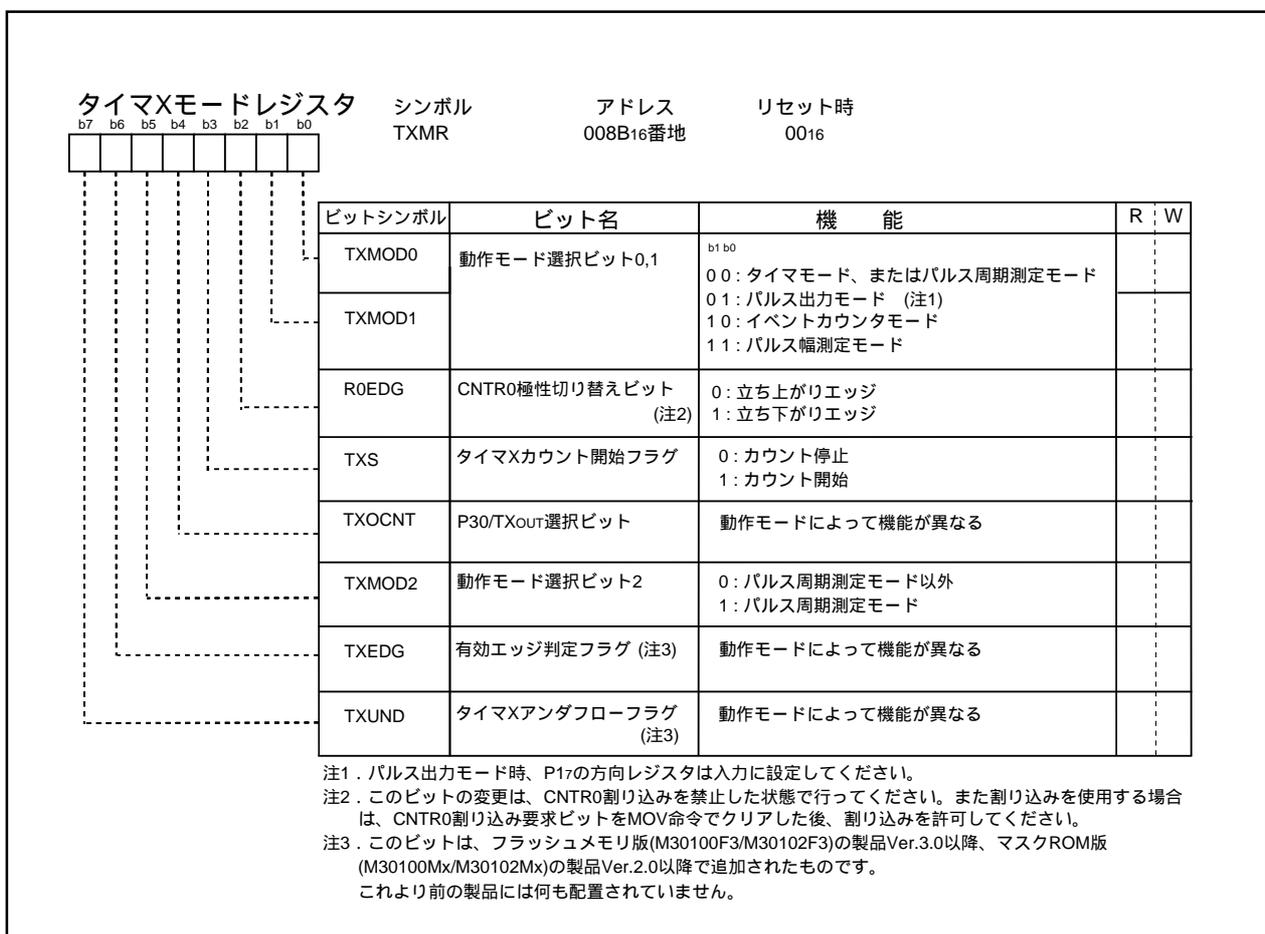


図9.12. タイマXモードレジスタ

### 9.4. TCIN割り込み

TCIN割り込みは、TCIN端子への入力による割り込み、またはfRING256による割り込みです。

タイマC制御レジスタ0の時計計測ソース切替ビット（009A番地のビット7）で、“0”（TCIN）を選択すると、TCIN端子への入力による割り込みとなります。TCIN端子の入力は、デジフィルクロック選択ビット（009B<sub>16</sub>番地のビット0,1）で選択したf<sub>1</sub>,f<sub>8</sub>,f<sub>32</sub>のいずれかのクロックにより入力レベルをサンプリングし、3度一致した時点で入力レベルが確定されます。（ポートP3<sub>3</sub>を読み出したときは、フィルタを通さない値が読み出されます。）割り込みの極性は、時計計測エッジトリガ選択ビット（009A<sub>16</sub>番地のビット3,4）によって、立ち上がりエッジ、立ち下がりエッジ、両エッジが選択できます。

また、時計計測ソース切替ビット（009A<sub>16</sub>番地のビット7）で“1”（fRING256）を選択すると、fRING256による割り込みとなります。

図9.13に、タイマC制御レジスタ0、タイマC制御レジスタ1の構成を示します。

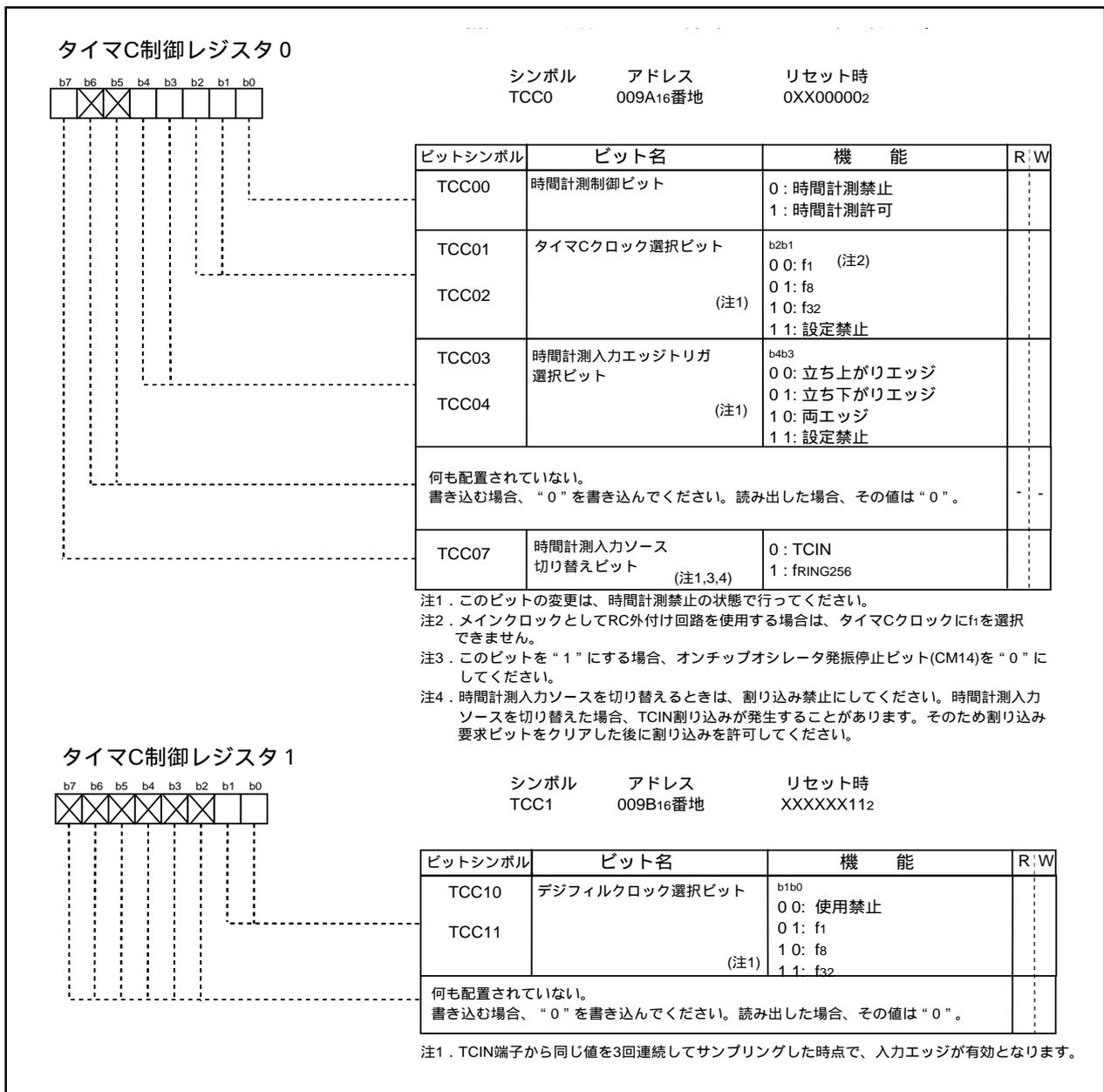


図9.13. タイマC制御レジスタ0、タイマC制御レジスタ1

### 9.5. キー入力割り込み

P1<sub>0</sub> ~ P1<sub>3</sub>のうち、方向レジスタを入力に設定しており、かつKli (i=0 ~ 3)入力許可ビットが許可になっている端子のいずれかに立ち下がりエッジまたは立ち上がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。

キー入力割り込みのブロック図を図9.14に示します。なお、入力禁止の処理を行っていない端子のいずれかに立ち下がりエッジを選択している端子は“L”、立ち上がりエッジを選択している端子は“H”が入力されていると、他の端子の入力は割り込みとして検知されません。

Kli (i=0 ~ 3)入力極性選択ビット、Kli (i=0 ~ 3)入力許可ビットの書き換えはキー入力割り込みを禁止した状態で実行してください。また、Kli (i=0 ~ 3)入力極性選択ビット、Kli (i=0 ~ 3)入力許可ビットを書き換え、割り込み要求ビットはクリアした後に、キー入力割り込みが発生するように設定してください。

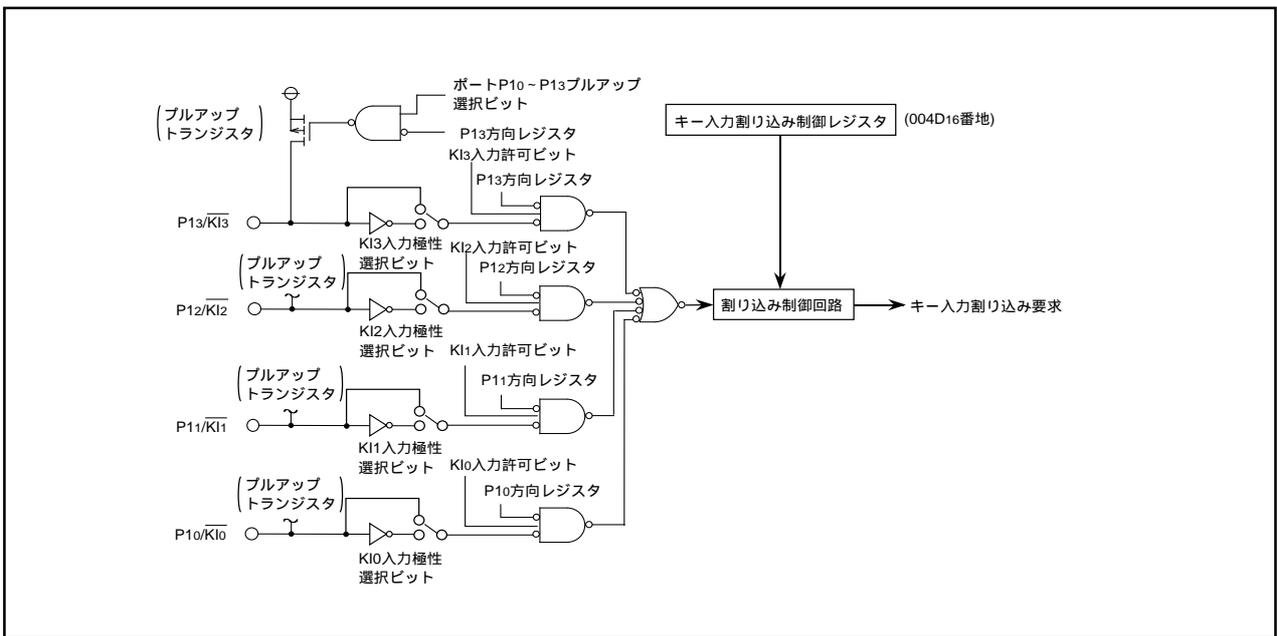


図9.14. キー入力割り込みのブロック図

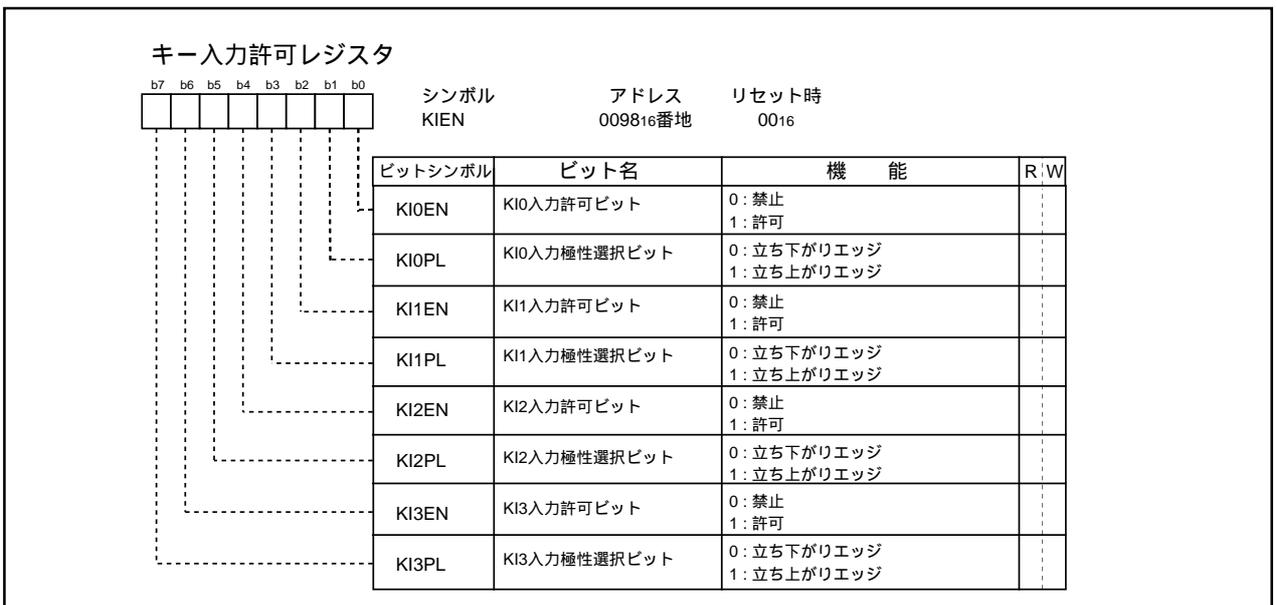


図9.15. キー入力許可レジスタの構成

## 9.6. アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図9.16にアドレス一致割り込み関連レジスタの構成を示します。

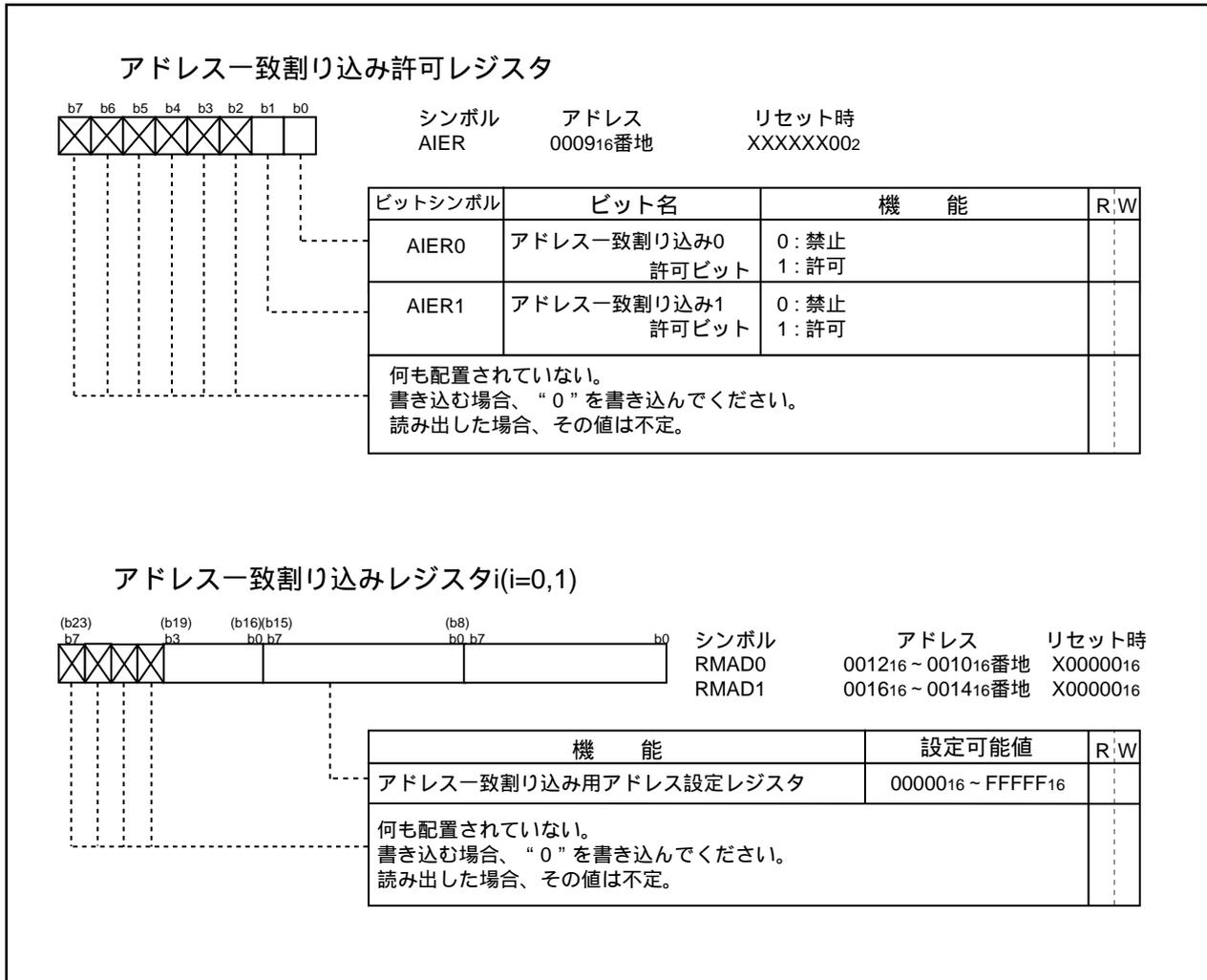


図9.16. アドレス一致割り込み関連レジスタの構成

## 9.7. 割り込みの注意事項

### 9.7.1. 00000<sub>16</sub>番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000<sub>16</sub>番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000<sub>16</sub>番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000<sub>16</sub>番地に対して読み出しを行わないでください。

### 9.7.2. スタックポインタの設定

リセット直後スタックポインタの値は、“0000<sub>16</sub>”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

リセット直後の先頭の1命令に限り、すべての割り込みが禁止されます。

### 9.7.3. 外部割り込み

$\overline{INT}_0 \sim \overline{INT}_3$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{INT}_0 \sim \overline{INT}_3$ 端子およびCNTR0端子の極性を切り替えるときに割り込み要求ビットが“1”になります。切り替えを行った後、割り込み要求ビットを“0”にしてください。外部割り込み発生要因の切り替え手順例を、図9.17に示します。

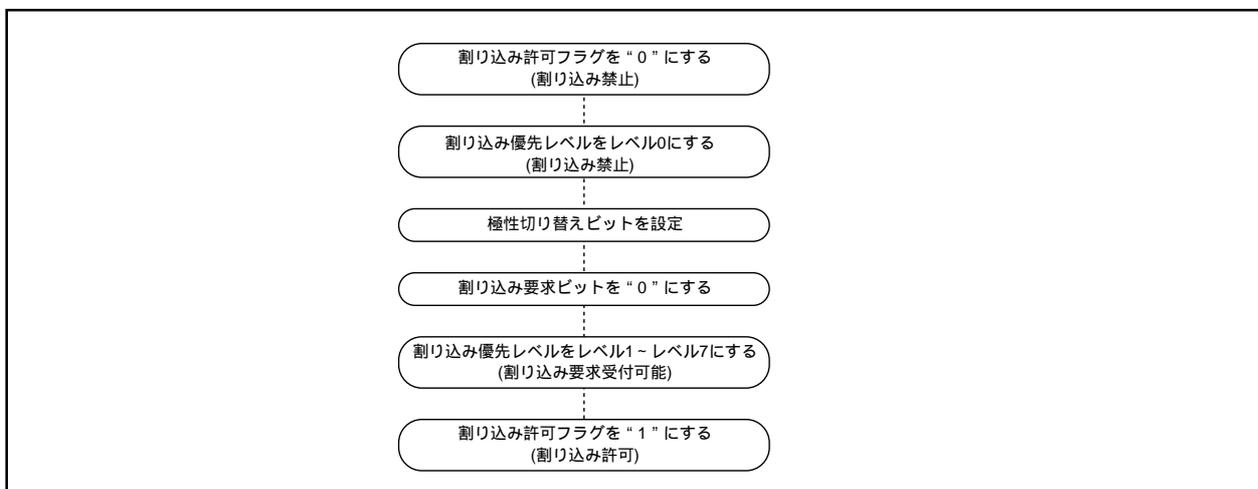


図9.17. 外部割り込み発生要因の切り替え

### 9.7.4. 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
FCLR   I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
NOP
NOP
FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
FCLR   I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
MOV.W  MEM, R0     ; ダミーリード
FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
PUSHC  FLG
FCLR   I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
POPC   FLG         ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(1フラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・MOV

## 10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、BCLKをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローすると、ウォッチドッグタイマ割り込みまたはリセットが発生します。ウォッチドッグタイマ割り込みとリセットの発生の切り替えは、プロセッサモードレジスタ1のビット2で制御されます。BCLKにXINを選択している場合、ウォッチドッグタイマ制御レジスタ(000F<sub>16</sub>番地)のビット7でプリスケアラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、ウォッチドッグタイマ制御レジスタ(000F<sub>16</sub>番地)のビット7に関係なくプリスケアラの分周比は2分周になります。

BCLKにXINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周比}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周比}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが10MHzで、プリスケアラの分周比として16分周を選択している場合、ウォッチドッグタイマの周期は、約52.4msとなります。

ウォッチドッグタイマは、ウォッチドッグタイマスタートレジスタ(000E<sub>16</sub>番地)への書き込み動作時、およびウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケアラは、リセット時だけ初期化されます。なお、リセット解除後はウォッチドッグタイマおよびプリスケアラは停止しており、ウォッチドッグタイマスタートレジスタ(000E<sub>16</sub>番地)への書き込み動作によりカウントを開始します。

図10.1にウォッチドッグタイマのブロック図、図10.2にウォッチドッグタイマ関連レジスタの構成を示します。

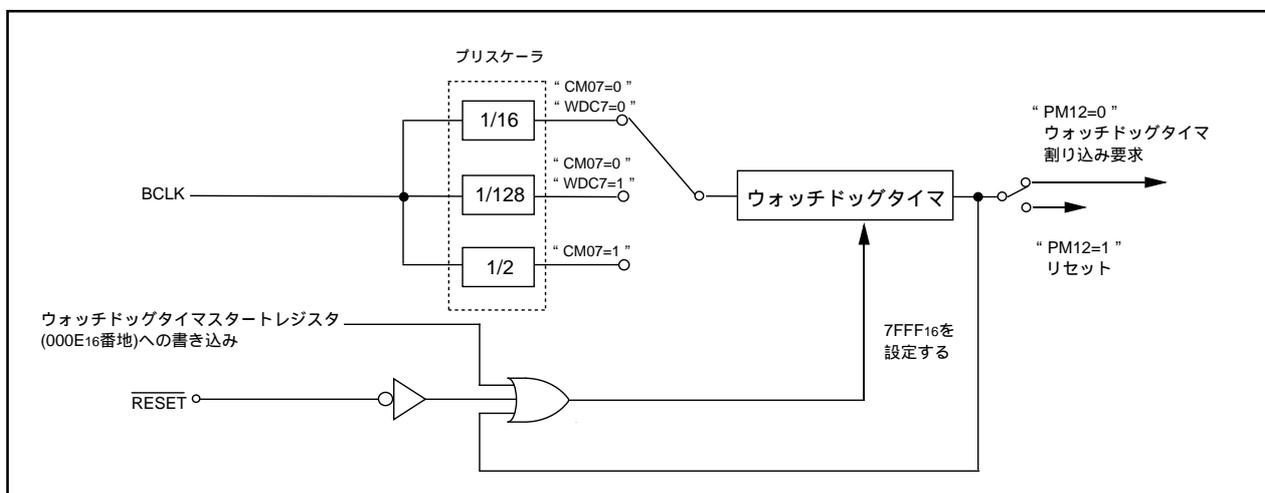


図10.1. ウォッチドッグタイマのブロック図

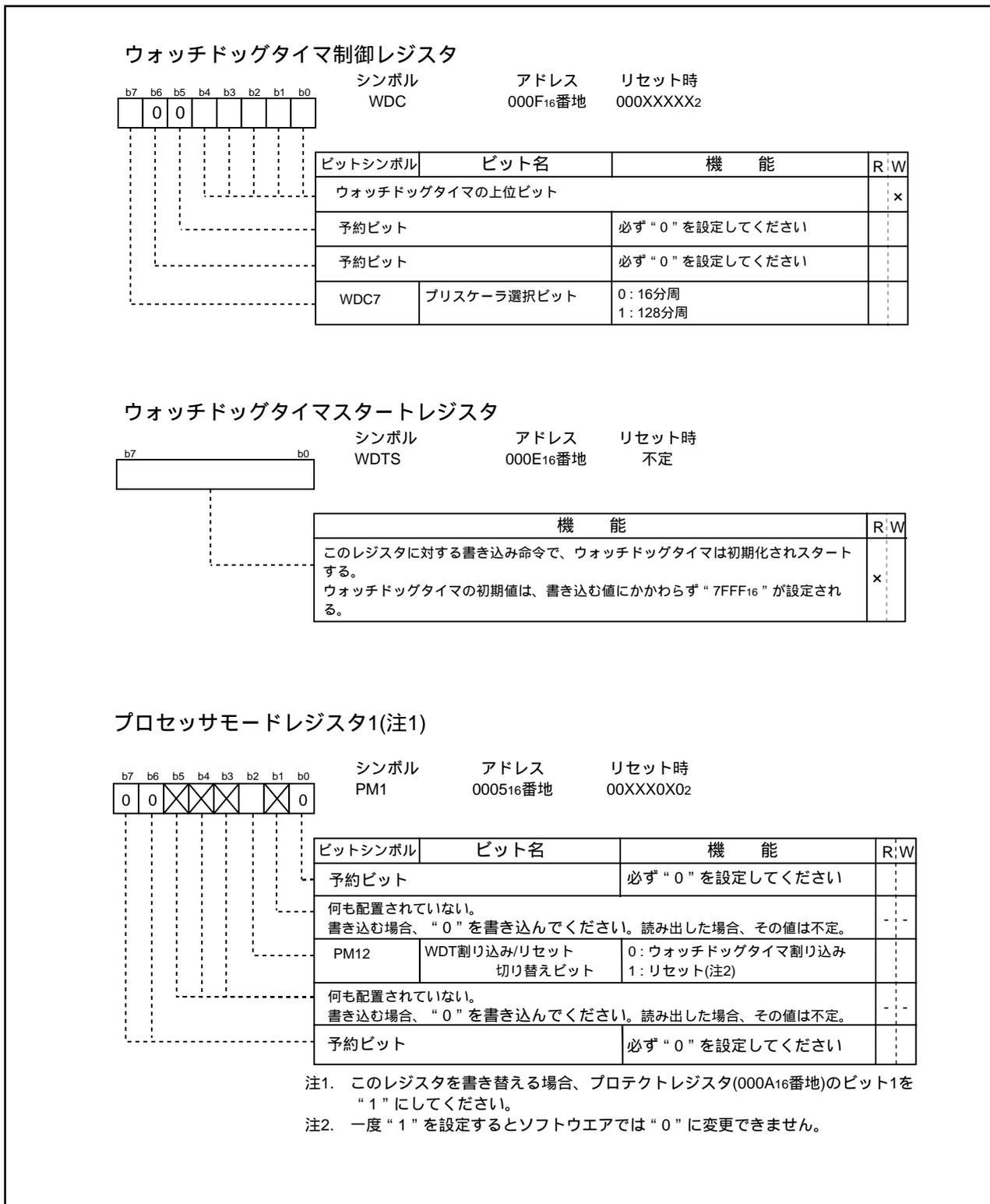


図10.2. ウォッチドッグタイマ関連レジスタ

## 11. タイマ

タイマは、8ビットプリスケアラ付き8ビットタイマを4本と、16ビットタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマ1、タイマX、タイマY、およびタイマZの4本です。16ビットタイマは、時間計測機能を持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表11.1に、各タイマの機能比較を示します。

表11.1. 各タイマの機能比較

	タイマ1	タイマX	タイマY	タイマZ	タイマC	
構成	8ビット プリスケアラ付 8ビットタイマ	8ビット プリスケアラ付 8ビットタイマ	8ビット プリスケアラ付 8ビットタイマ	8ビット プリスケアラ付 8ビットタイマ	16ビット フリーラン タイマ	
カウント	ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント	アップカウント	
カウントソース (注1)	<ul style="list-style-type: none"> <li>・ f1</li> <li>・ f8</li> <li>・ f32</li> <li>・ fc32</li> </ul>	<ul style="list-style-type: none"> <li>・ f1</li> <li>・ f8</li> <li>・ f32</li> <li>・ fc32</li> </ul>	<ul style="list-style-type: none"> <li>・ f1</li> <li>・ f8</li> <li>・ fRING</li> <li>・ fc32</li> </ul>	<ul style="list-style-type: none"> <li>・ f1</li> <li>・ f8</li> <li>・ タイマY アンダフロー</li> <li>・ fc32</li> </ul>	<ul style="list-style-type: none"> <li>・ f1</li> <li>・ f8</li> <li>・ f32</li> </ul>	
機能	タイマモード				-	
	パルス出力モード	-		-	-	
	イベントカウンタモード	-		-	-	
	パルス幅測定モード	-		-	-	
	パルス周期測定モード	-		-	-	
	プログラマブル 波形発生モード	-	-			-
	プログラマブル ワンショット発生モード	-	-	-		-
	プログラマブルウエイト ワンショット発生モード	-	-	-		-
	時間計測機能	-	-	-	-	
入力端子	-	CNTR0	-	$\overline{\text{INT0}}$	TCIN	
出力端子	-	CNTR0 TXOUT	TYOUT	TZOUT	-	
関連する割り込み	タイマ1割込	タイマX割込 CNTR0割込	タイマY割込	タイマZ割込	タイマC割込 TCIN割込	
タイマ停止	-					

注1. メインクロックにRC外付け回路を使用する場合は、カウントソースにf1を選択できません。

### 11.1. タイマ1

タイマ1は、8ビットプリスケアラ付き8ビットタイマです。図11.1にタイマ1のブロック図を示します。タイマ1は、内部で生成されたカウントソース（クロック源）を常時カウントします。リセット直後のカウントソースは、f1が選択されています。本タイマは、カウントを停止することはできません。表11.2にタイマ1の仕様を、図11.2にタイマ1関連のレジスタを示します。

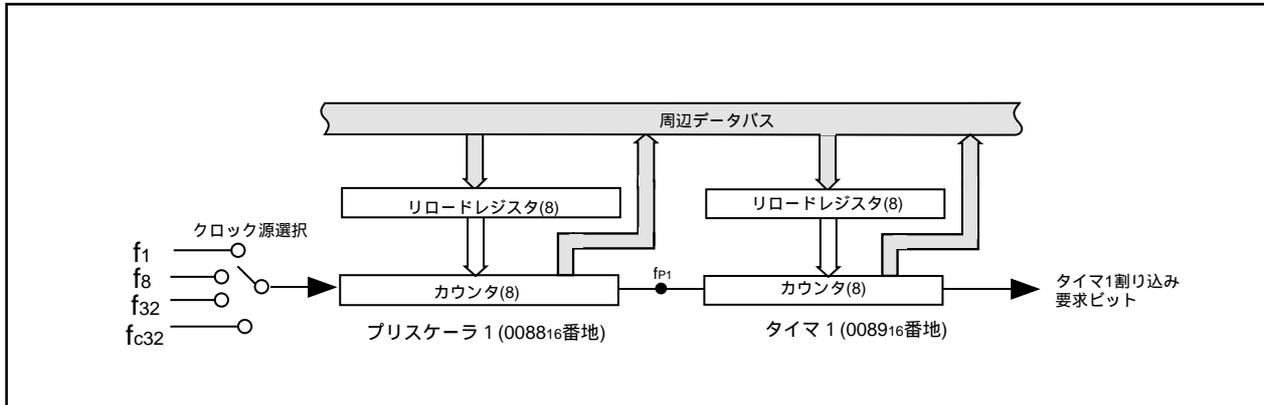


図11.1. タイマ1ブロック図

表11.2. タイマ1の仕様（タイマモード）

項目	仕様
カウントソース	$f_1, f_8, f_{32}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケアラ1の設定値、m:タイマ1の設定値
カウント開始条件	リセット後、カウント開始
カウント停止条件	カウント停止不可
割り込み要求発生タイミング	タイマ1のアンダフロー時
タイマの読み出し	タイマ1レジスタ、プリスケアラ1レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマ1レジスタ、プリスケアラ1レジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる

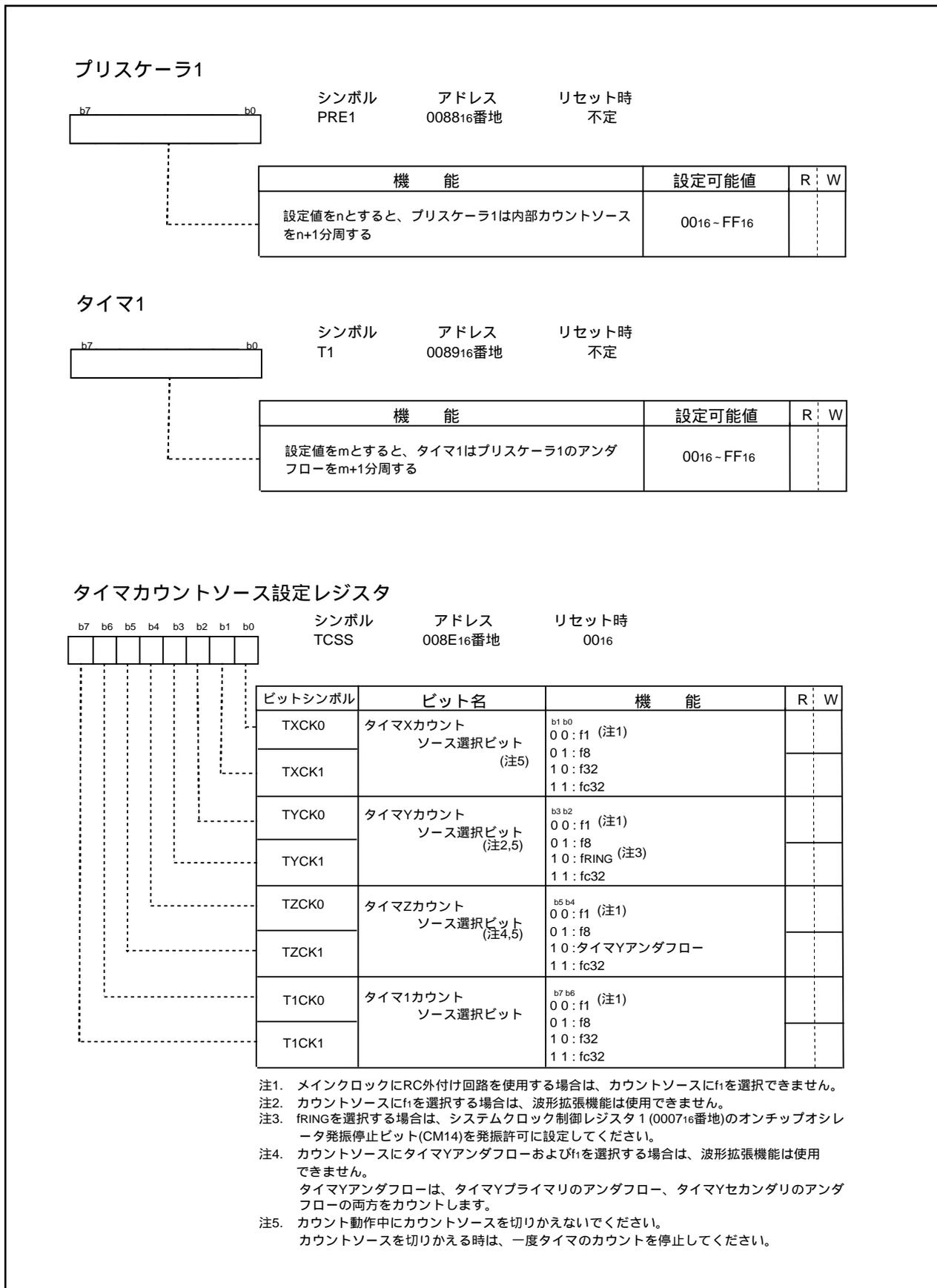


図11.2. タイマ1関連レジスタ



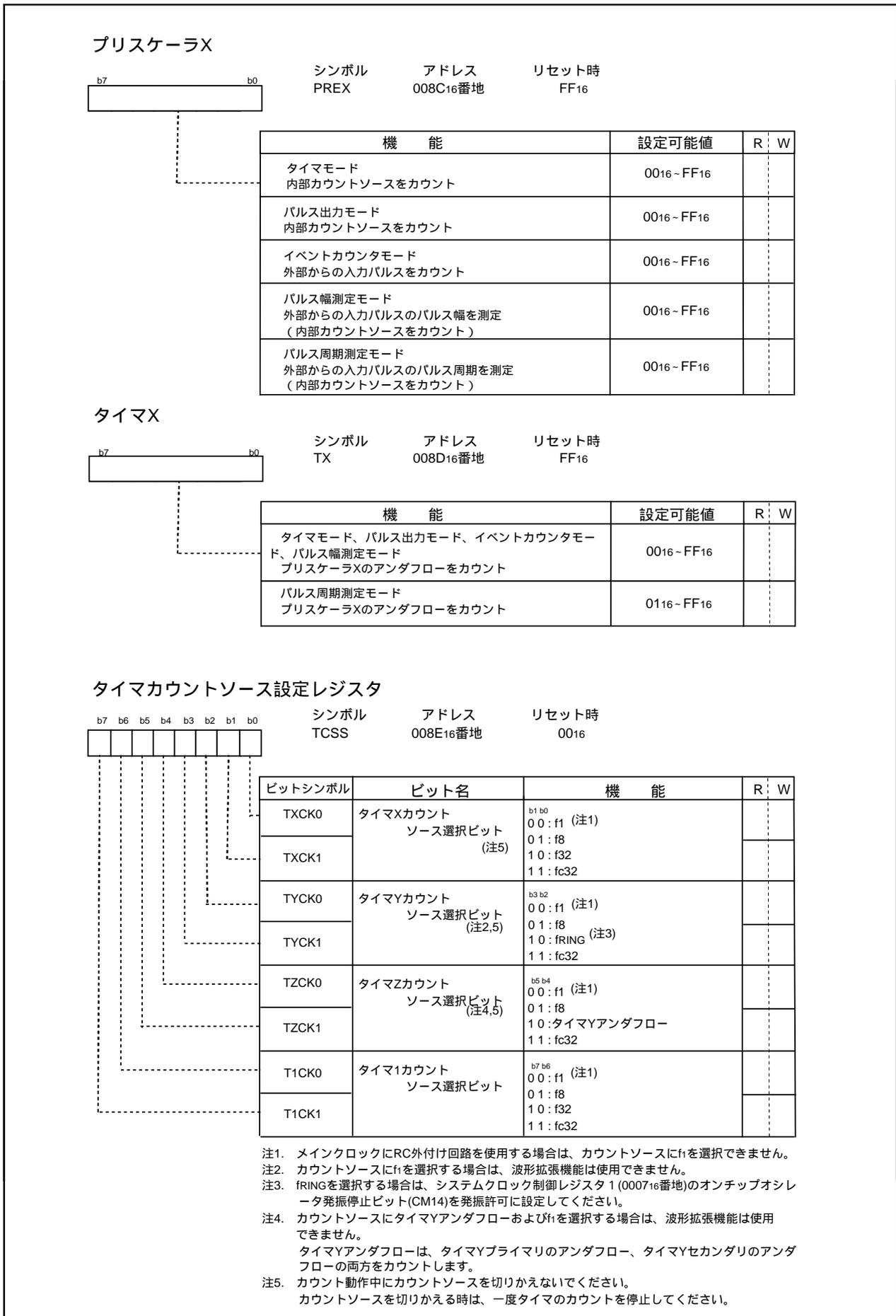


図11.5. タイマX関連レジスタ(2)

### 11.2.1. タイマモード

内部で生成されたカウントソースをカウントするモードです。表11.3にタイマモードの仕様を、図11.6にタイマモード時のタイマXモードレジスタの構成を示します。

表11.3 タイマモードの仕様

項目	仕様
カウントソース	$f_1, f_8, f_{32}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
CNTR0端子機能	プログラマブル入出力ポート、またはCNTR0割り込み入力端子
TX <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる

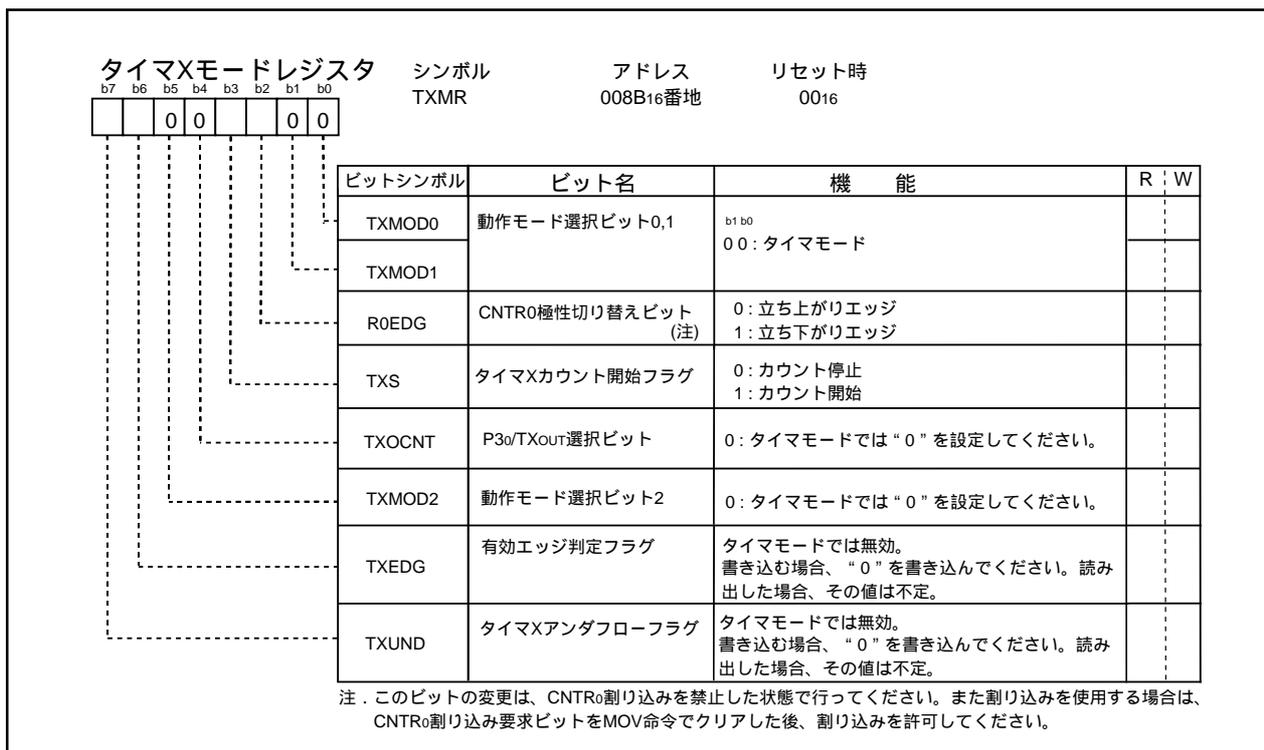


図11.6 タイマモード時のタイマXモードレジスタの構成

## 11.2.2. パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをCNTR0端子から出力するモードです。表11.4にパルス出力モードの仕様を、図11.7にパルス出力モード時のタイマXモードレジスタの構成を示します。

表11.4. パルス出力モードの仕様

項 目	仕 様
カウントソース	$f_1, f_8, f_{32}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケアラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み] CNTR0出力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	パルス出力
TX <sub>OUT</sub> 端子機能	プログラマブル入出力ポート、またはパルス出力 (CNTR0端子が出力するパルスの反転パルス)
タイマの読み出し	タイマXレジスタ、プリスケアラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケアラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	パルス出力機能 アンダフローするごとにTX <sub>OUT</sub> 端子の極性が反転 CNTR0極性切り替え機能 パルス出力開始時のレベルは、“H”または“L”をソフトウェアにより選択可能

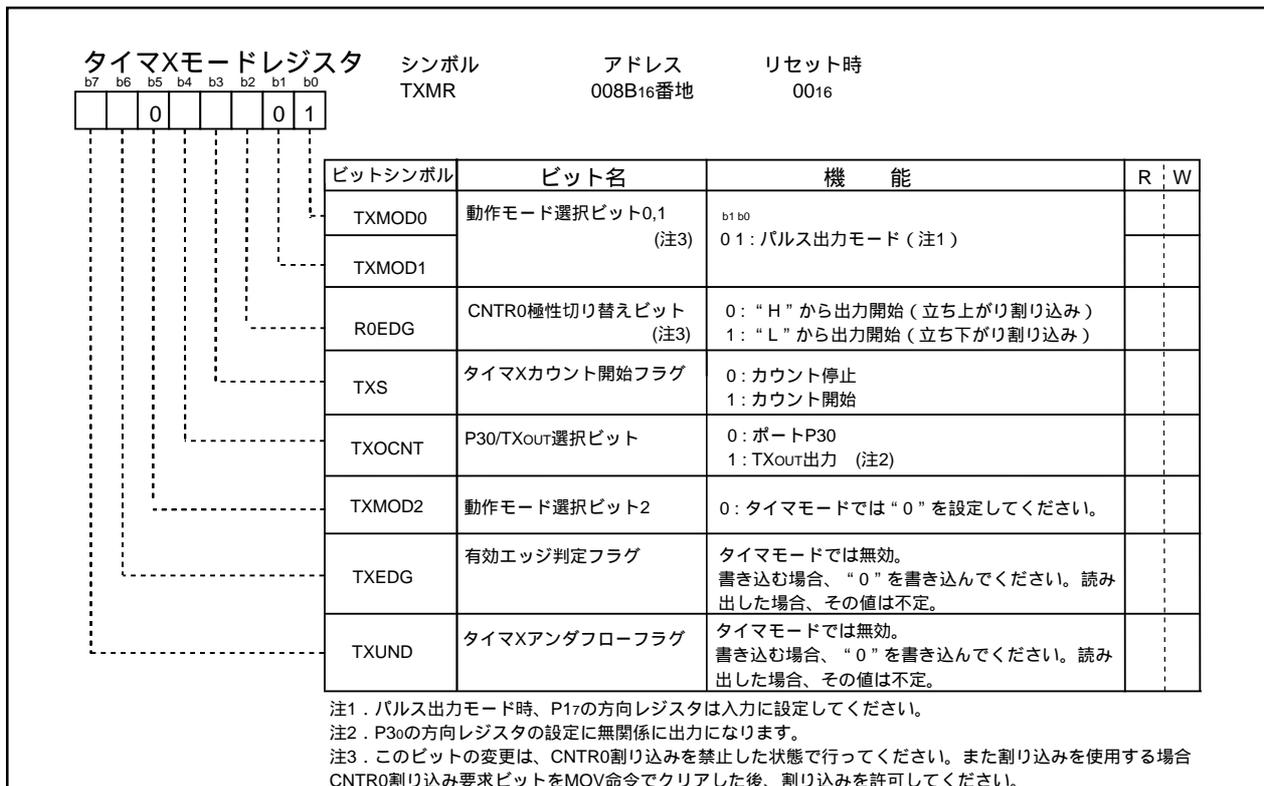


図11.7. パルス出力モード時のタイマXモードレジスタの構成

## 11.2.3. イベントカウンタモード

CNTR0端子から入力する外部信号をカウントするモードです。表11.5にイベントカウンタモードの仕様を、図11.8にイベントカウンタモード時のタイマXモードレジスタの構成を示します。

表11.5 イベントカウンタモードの仕様

項目	仕様
カウントソース	CNTR <sub>0</sub> 端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み] CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	カウントソース入力
TX <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	CNTR0極性切り替え機能 カウントソースの有効エッジは、立ち上がりまたは立ち下がりソフトウェアにより選択可

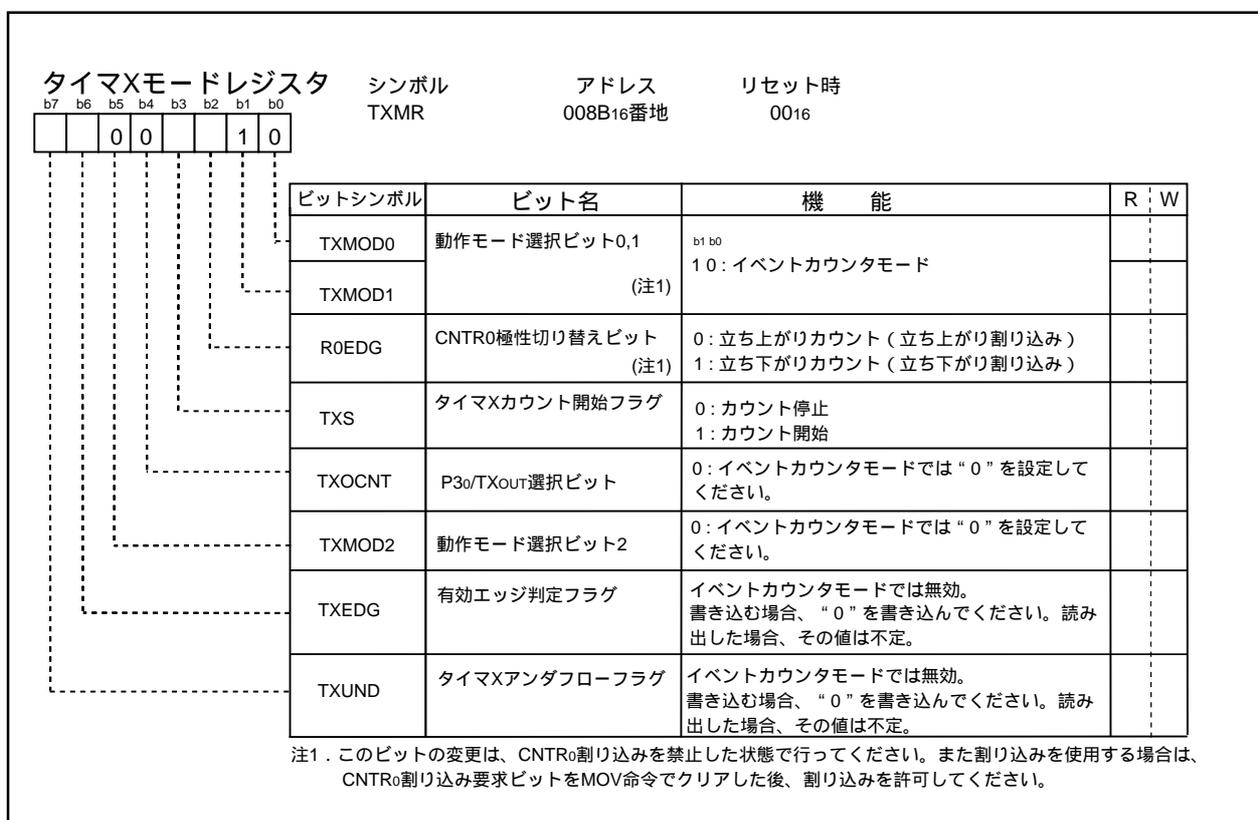


図11.8 イベントカウンタモード時のタイマXモードレジスタの構成

## 11.2.4. パルス幅測定モード

CNTR0端子から入力する外部信号のパルス幅を測定するモードです。表11.6にパルス幅測定モードの仕様を、図11.9にパルス幅測定モード時のタイマXモードレジスタの構成、図11.10にパルス幅測定モードの動作例を示します。

表11.6. パルス幅測定モードの仕様

項目	仕様
カウントソース	$f_1, f_8, f_{32}, f_{C32}$
カウント動作	ダウンカウント 測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み] CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	測定パルス入力
TX <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	CNTR0極性切り替え機能 入力パルスの測定は、“H”レベル期間または“L”レベル期間をソフトウェアにより選択可

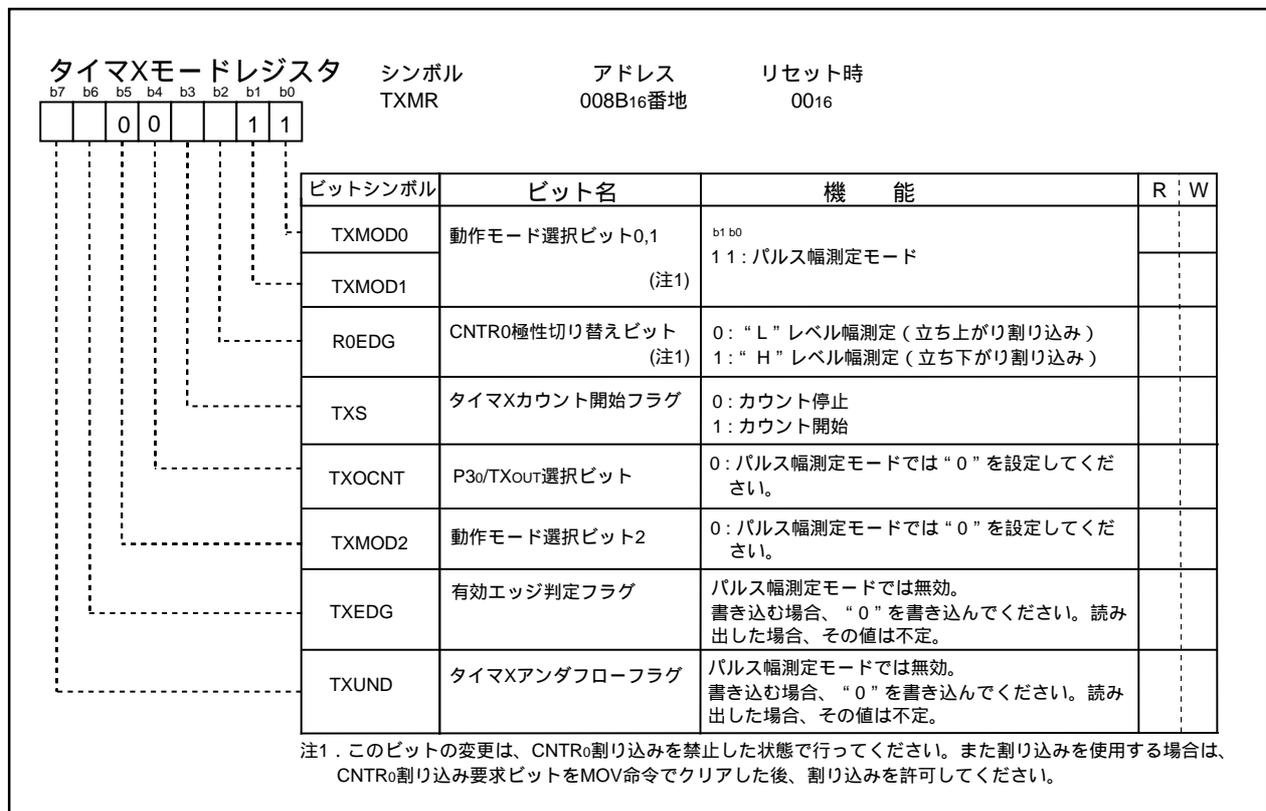


図11.9. パルス幅測定モード時のタイマXモードレジスタの構成

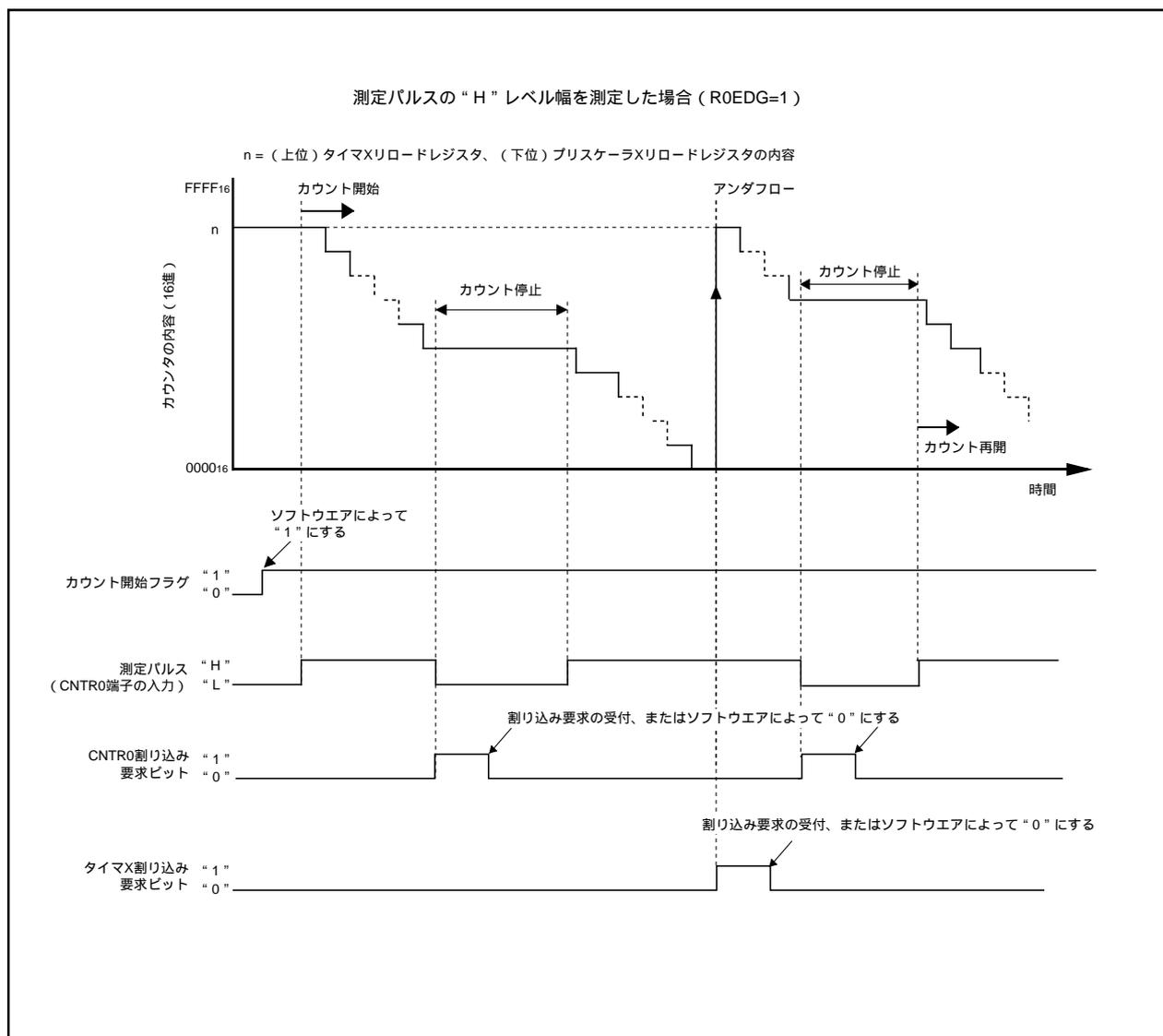


図11.10. パルス幅測定モード時の動作例

## 11.2.5. パルス周期測定モード

CNTR0端子から入力する外部信号のパルス周期を測定するモードです。表11.7にパルス周期測定モードの仕様を、図11.11にパルス周期測定モード時のタイマXモードレジスタの構成を、図11.12に動作例を示します。

表11.7. パルス周期測定モードの仕様

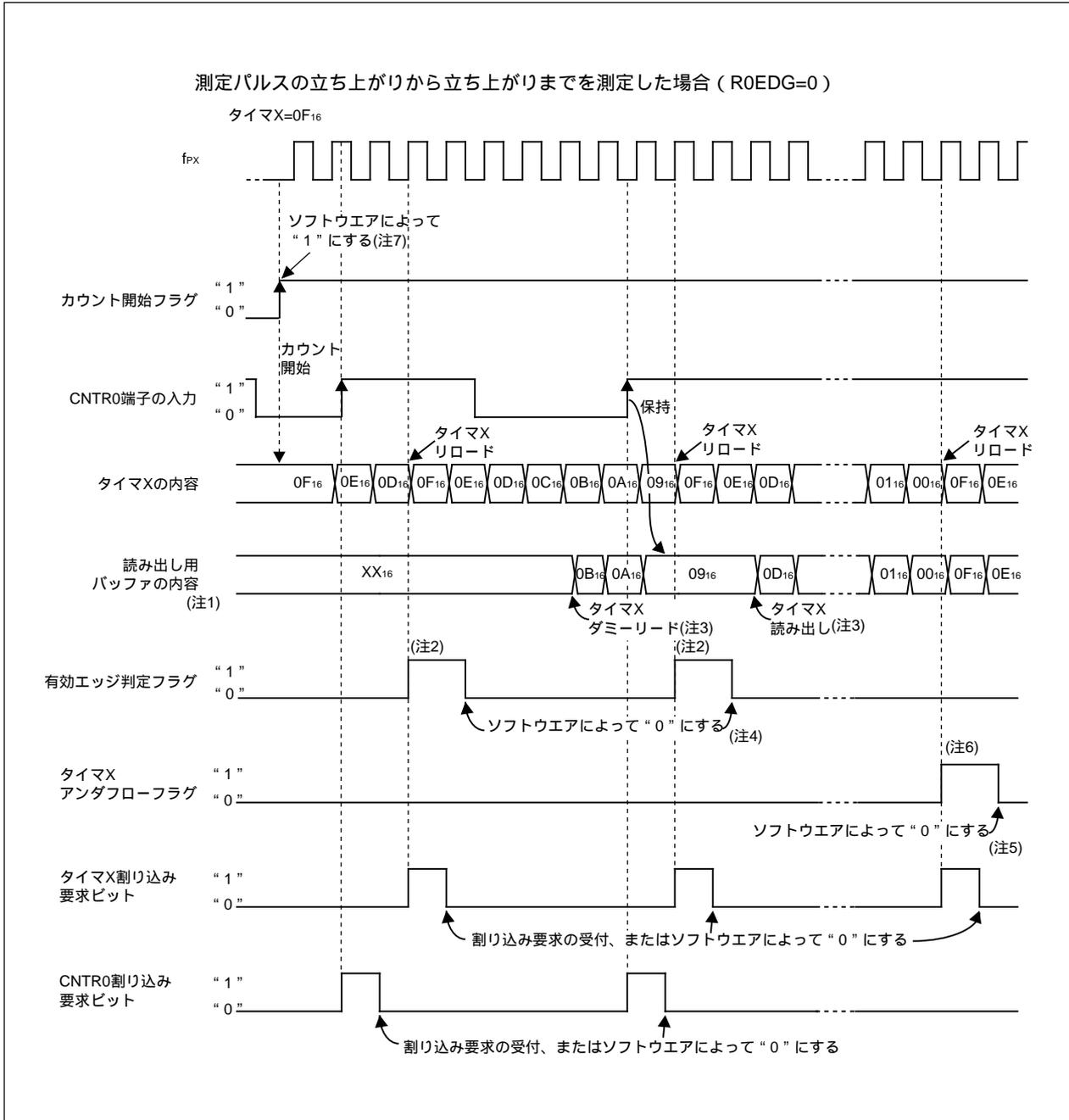
項目	仕様
カウントソース	$f_1, f_8, f_{32}, f_{C32}$
カウント動作	ダウンカウント 測定パルスの有効エッジ入力後、2回目のプリスケラXのアンダフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み] CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み、およびタイマX割り込み]
CNTR0端子機能	測定パルス入力 (注1)
TX <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタを読み出すと、読み出し用バッファの内容が読み出される。読み出し用バッファは、測定パルスの有効エッジ入力によりタイマXレジスタの値を保持し、タイマXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	タイマXレジスタ、プリスケラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	CNTR0極性切り替え機能 入力パルスの測定は、立ち上がりエッジ - 立ち上がりエッジ、または立ち下がりエッジ - 立ち下がりエッジを、ソフトウェアにより選択可

注1. プリスケラXの周期の2倍より短い周期のパルスは入力しないでください。CNTR0端子には、H幅およびL幅それぞれが、プリスケラXの周期より長いパルスを入力してください。CNTR0端子に周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ	シンボル	アドレス	リセット時	
	TXMR	008B16番地	0016	
ビットシンボル	ビット名	機能	R	W
TXMOD0	動作モード選択ビット0,1 (注1)	b1 b0 00: パルス周期測定モード		
TXMOD1				
R0EDG	CNTR0極性切り替えビット (注1)	0: 測定パルスの立ち上がり - 立ち上がり間測定 (立ち上がり割り込み) 1: 測定パルスの立ち下がり - 立ち下がり間測定 (立ち下がり割り込み)		
TXS	タイマXカウント開始フラグ (注4)	0: カウント停止 1: カウント開始		
TXOCNT	P30/TXout選択ビット	0: パルス周期測定モードでは“0”を設定してください。		
TXMOD2	動作モード選択ビット2	1: パルス周期測定モード		
TXEDG(注2) (注3)	有効エッジ判定フラグ	0: 有効エッジなし 1: 有効エッジあり		
TXUND(注2) (注3)	タイマXアンダフローフラグ	0: アンダフローなし 1: アンダフローあり		

注1. このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。  
注2. プログラムで“0”を書くと、“0”になります。“1”を書いても変化しません  
注3. このビットは、フラッシュメモリ版(M30100F3/M30102F3)の製品Ver.3.0以降、マスクROM版(M30100Mx/M30102Mx)の製品Ver.2.0以降で追加されたものです。これより前の製品には何も配置されていません。  
注4. パルス周期測定モード時、タイマを停止するときはMOV命令を使用してください。  
例 MOV.B #11100X00B,008BH

図11.11. パルス周期測定モード時のタイマXモードレジスタの構成



- 注1. パルス周期測定モードでタイマXを読み出すと、読み出し用バッファの内容が読めます。
- 注2. 測定パルスの有効エッジ入力後、2回目のプリスケラXのアンダフロータイミングで、有効エッジ判定フラグ(TXEDG)が“1”になります。
- 注3. タイマXの読み出しは、TXEDGが“1”にセットされてから、次の有効エッジが入力されるまでの期間で行ってください。次の有効エッジが入力されるまでに読み出しを行わない場合、読み出し用バッファ内容が保持され続けるため、有効エッジによる読み出し用バッファの更新は行われません。
- 注4. ソフトウェアによって“0”にするときは、MOV命令を用いてタイマXモードレジスタ(008B<sub>16</sub>)のビット6 (TXEDG)に“0”を書いてください。その際、ビット7(TXUND)には“1”を書いてください。
- 注5. ソフトウェアによって“0”にするときは、MOV命令を用いてタイマXモードレジスタ(008B<sub>16</sub>)のビット7(TXUND)に“0”を書いてください。その際、ビット6 (TXEDG)には“1”を書いてください。
- 注6. タイマXのアンダフロータイミングが、有効エッジ入力によるタイマXのリロードと重なった場合、タイマXアンダフローフラグ(TXUND)とTXEDGが共に“1”になります。そのときは、読み出し用バッファの内容で、TXUNDの有効性を判断してください。
- 注7. カウント開始フラグに“1”を設定すると、タイマX割り込み要求ビットと有効エッジ判定フラグが“1”になることがあります。そのためタイマX割り込みを禁止した状態でカウント開始フラグを“1”に設定し、割り込み要求ビットと有効エッジ判定フラグをクリアした後に割り込みを許可してください。

図11.12. パルス周期測定モード時の動作例



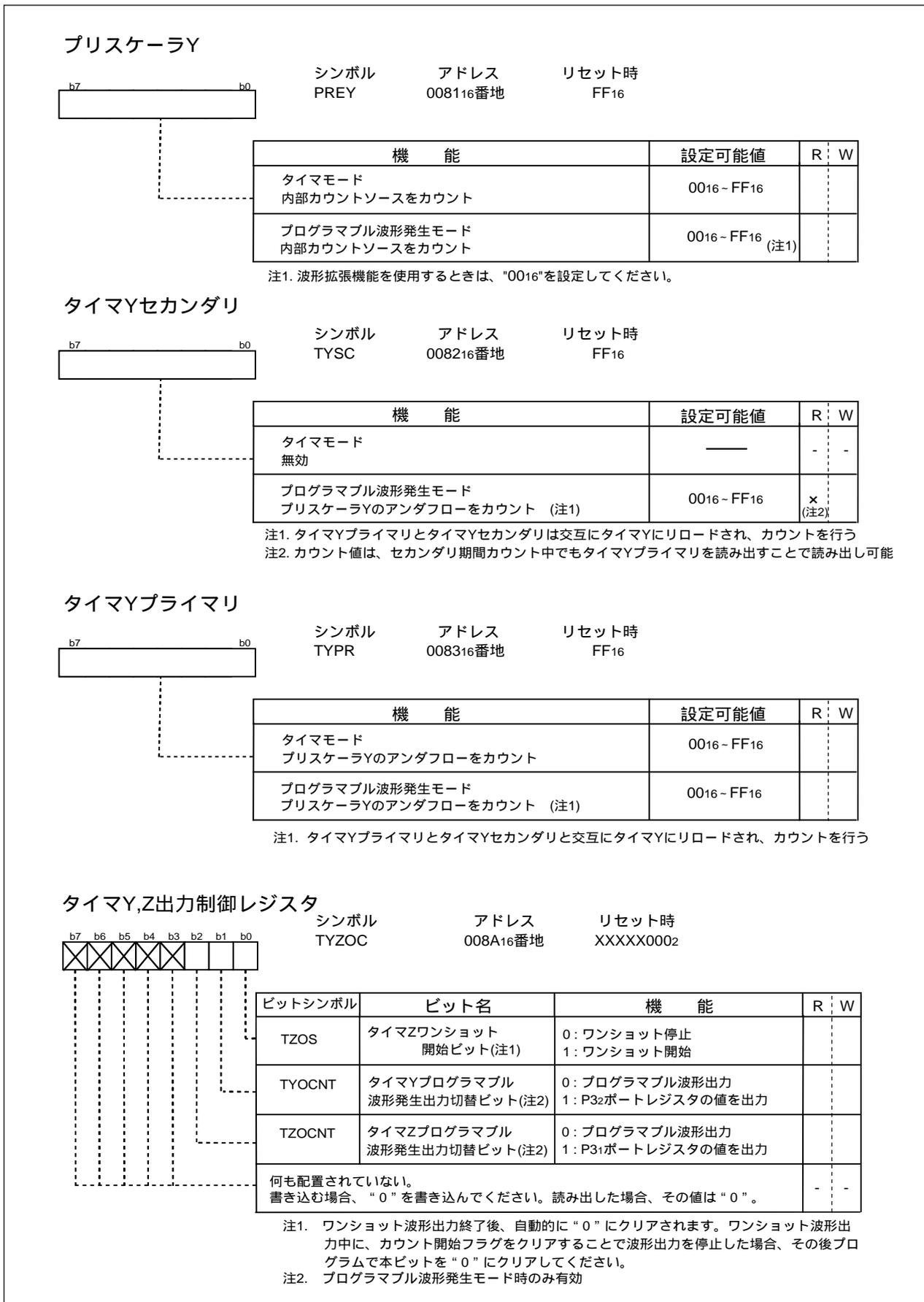


図11.15. タイマY関連レジスタ(2)

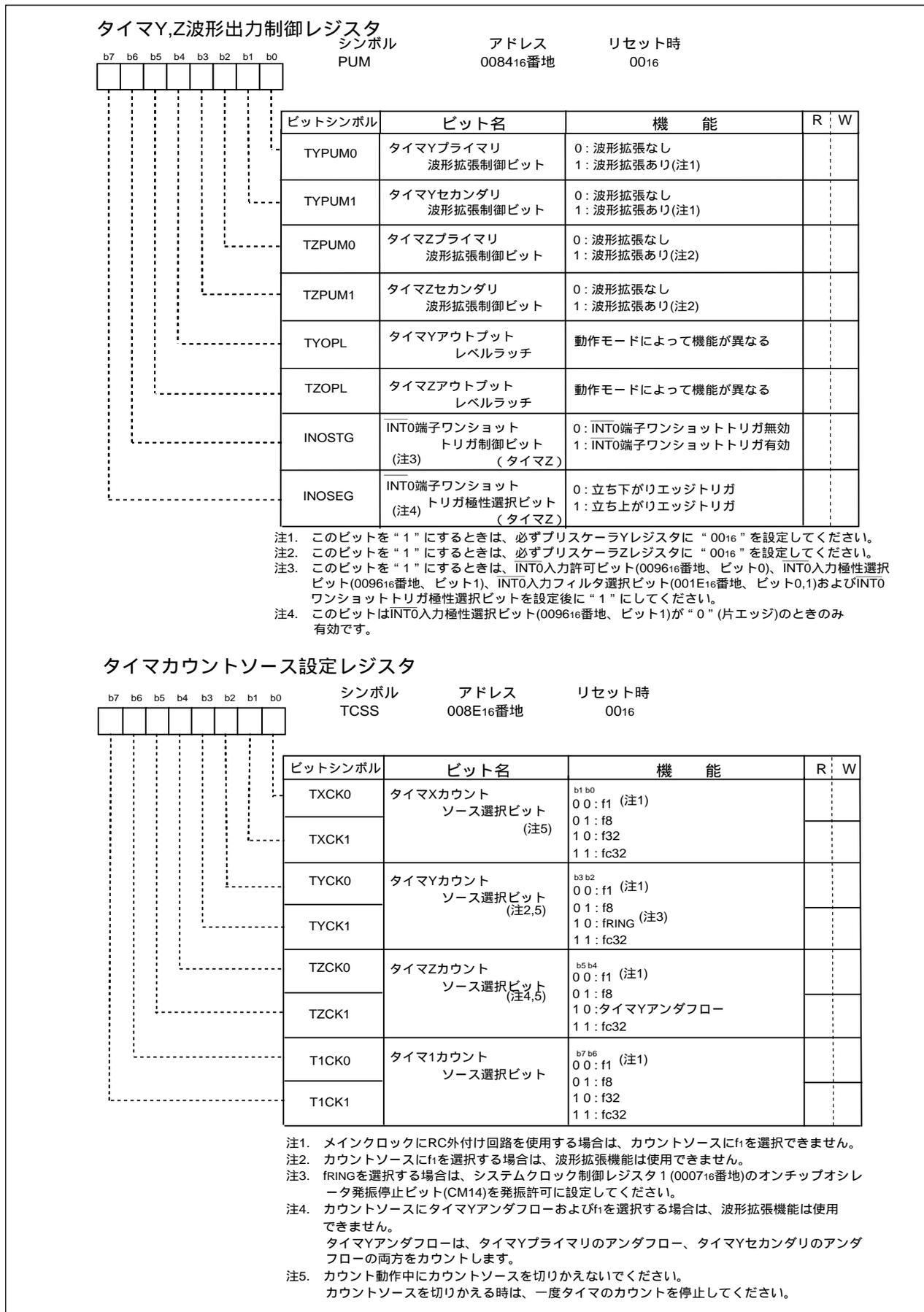


図11.16. タイマY関連レジスタ(3)

### 11.3.1. タイマモード

内部で生成されたカウントソースをカウントするモードです。タイマモード時、タイマYセカンダリは使用しません。表11.8にタイマモードの仕様を、図11.17にタイマモード時のタイマY,Zモードレジスタの構成およびタイマY,Z波形出力制御レジスタの構成を示します。

表11.8. タイマモードの仕様

項目	仕様
カウントソース	$f_1, f_8, \text{オンチップオシレータ出力}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマYのアンダフロー時はタイマYプライマリリロードレジスタの内容をリロード) カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケラYの設定値、m:タイマYプライマリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み (注1)
割り込み要求発生タイミング	タイマYのアンダフロー時
TY <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマYプライマリレジスタ、プリスケラYレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマYプライマリレジスタ、プリスケラYレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる(ソフトウェアで選択)
選択機能	タイマY書き込み制御機能(注2) タイマYプライマリレジスタ、プリスケラYレジスタに書き込んだ時、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかを選択可

注1. カウント停止時、タイマY割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマY割り込み要求フラグを“0”にしてください。

注2. 下記2項の条件が重なった状態でタイマYまたはプリスケラYに書き込みを行うと、タイマY割り込み要求フラグが“1”になり、割り込みが発生します。

- ・タイマY書き込み制御ビット(0080番地のビット2)が“0”(リロードレジスタおよびカウンタへの同時書き込み)
- ・タイマYカウント開始フラグ(0080番地のビット3)が“1”(カウント開始)

上記の状態ではタイマYまたはプリスケラYに書き込みを行う場合は、書き込む前に割り込みを禁止してください。

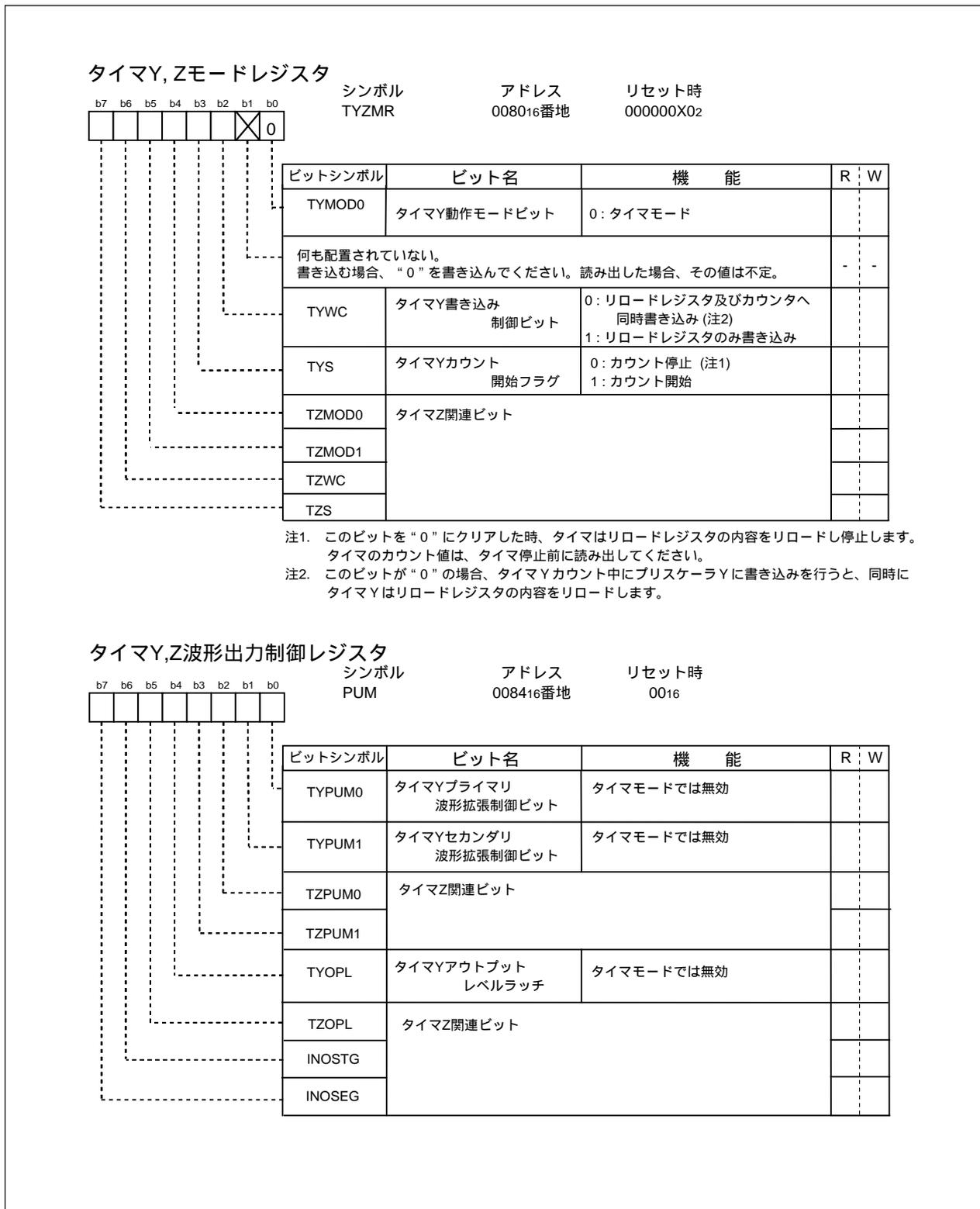


図11.17. タイマモード時のタイマY,Zモードレジスタの構成

### 11.3.2. プログラマブル波形発生モード

タイマYプライマリとタイマYセカンダリの設定値を交互にカウントし、タイマYプライマリまたはタイマYセカンダリがアンダフローするごとに、極性を反転したパルスをTY<sub>OUT</sub>端子から出力するモードです。カウント開始時は、タイマYプライマリに設定した値からカウントを行います。表11.9にプログラマブル波形発生モードの仕様を、プログラマブル波形発生モード時のタイマY,Zモードレジスタの構成を図11.18に、動作例を図11.19に示します。

表11.9. プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	$f_1, f_8$ , オンチップオシレータ出力, $f_{C32}$
カウント動作	ダウンカウント アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続 カウント停止時、リロードレジスタの内容をリロードし停止
周期	$\frac{1}{(n+1) \times ((m+1)+(l+1))}$ n:プリスケアラYの設定値、m:タイマYプライマリの設定値、l:タイマYセカンダリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	セカンダリ期間のタイマYのアンダフロー時
TY <sub>OUT</sub> 端子機能	パルス出力(注2)
タイマの読み出し	タイマYプライマリレジスタ、プリスケアラYレジスタを読み出すと、それぞれカウント値が読み出される(注3)
タイマの書き込み	タイマYプライマリレジスタ、タイマYセカンダリレジスタ、プリスケアラYレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間のカウント中の波形の出力レベルを選択可能 プログラマブル波形発生出力切り替え機能(注5) プログラマブル波形出力またはポートP3 <sub>2</sub> レジスタの出力を切り替え可能 波形拡張機能(注6) 波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分拡張可能 波形拡張時の周期： $2 \times f_i / ((2 \times (m+1)) + (2 \times (l+1)) + TYPUM0 + TYPUM1)$ デューティ： $(2 \times (m+1) + TYPUM0) / ((2 \times (m+1) + TYPUM0) + (2 \times (l+1) + TYPUM1))$ m:タイマYプライマリの設定値、l:タイマYセカンダリの設定値 TYPUM0:タイマYプライマリ波形拡張制御ビット TYPUM1:タイマYセカンダリ波形拡張制御ビット

- 注1. カウント停止時、タイマY割り込み要求フラグが“1”になり、割り込みが発生可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマY割り込み要求フラグを“0”にしてください。
- 注2. カウント停止時の端子出力は、セカンダリ期間の出力レベルです。
- 注3. セカンダリ期間をカウント中でも、タイマYプライマリレジスタを読み出してください。
- 注4. タイマYプライマリレジスタへの書き込み動作より、タイマYプライマリレジスタ、タイマYセカンダリレジスタ、および波形拡張ビットに設定した値が有効になります。波形の出力は、タイマYプライマリレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
- 注5. 出力が切り替わるタイミングは、タイマYセカンダリのアンダフローに同期します。
- 注6. 波形拡張機能を使用するときは、プリスケアラYレジスタには“0016”を設定してください。

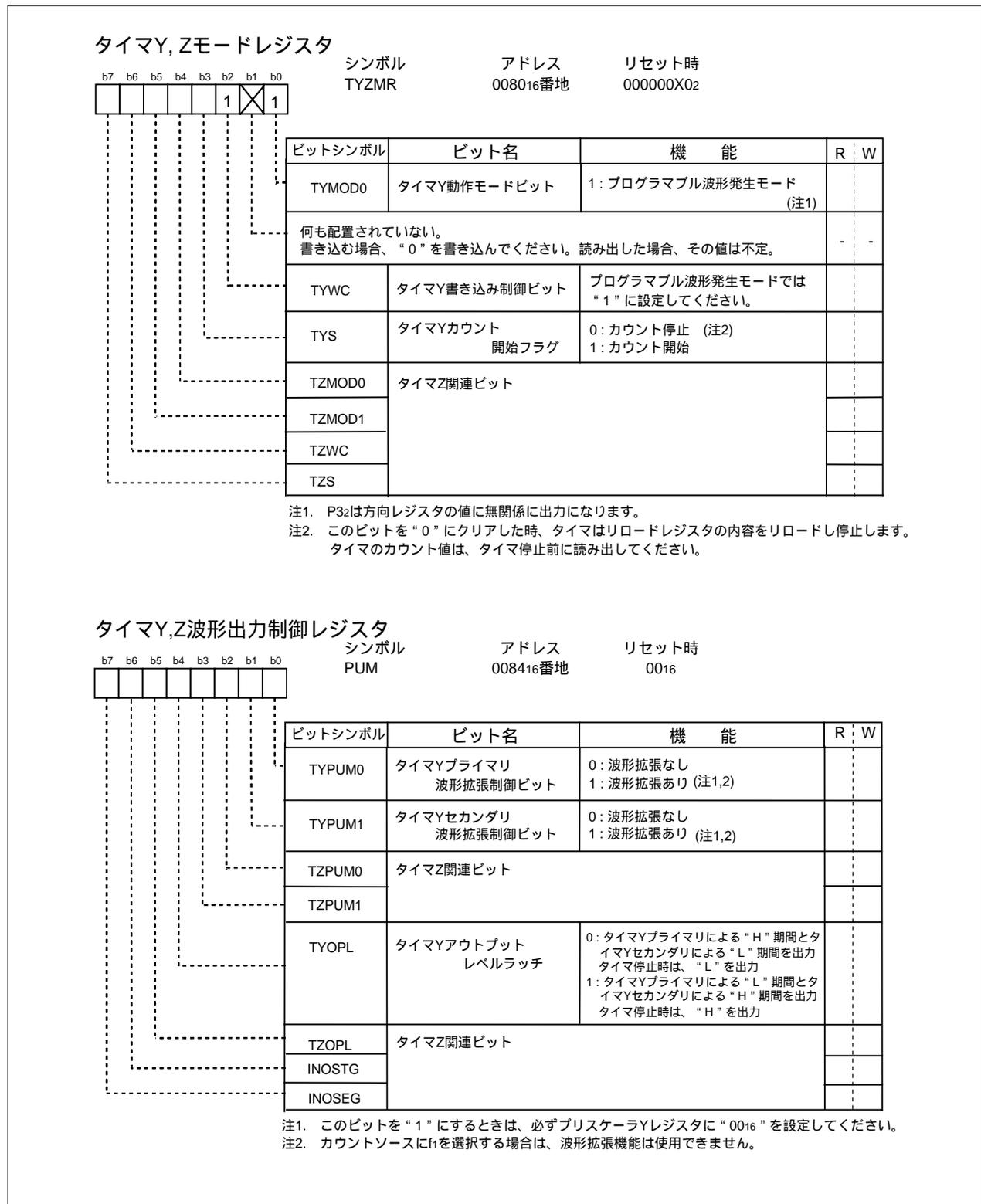


図11.18. プログラマブル波形発生モード時のタイマY,Zモードレジスタの構成

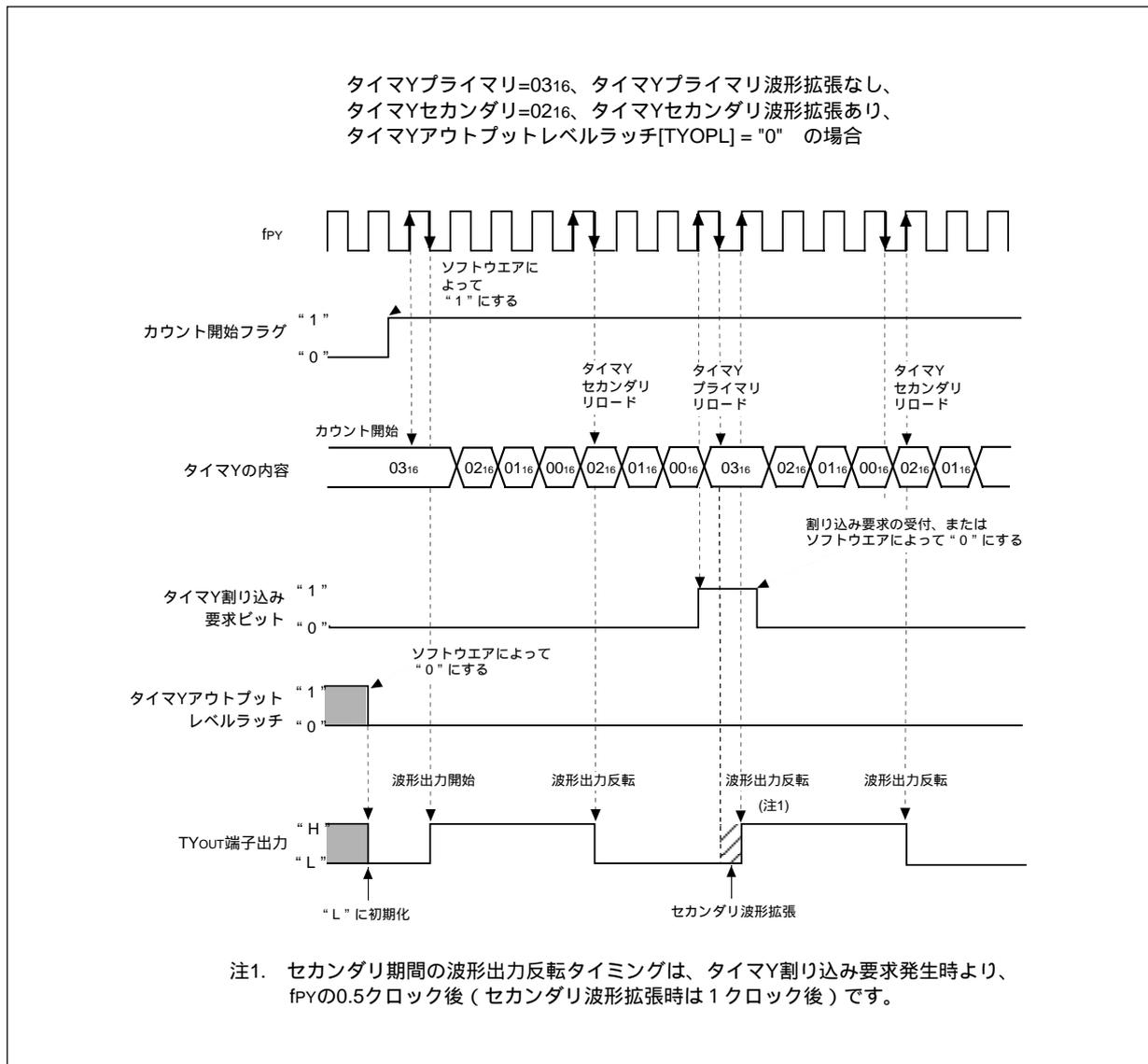


図11.19. プログラマブル波形発生モード時のタイマYの動作例

#### プログラマブル波形発生出力切り替え機能

タイマYプログラマブル波形出力切替ビット(008A<sub>16</sub>番地のビット1)を“0”に設定すると、タイマYセカンダリのアンダフローに同期してTYOUTの出力を反転します。

“1”に設定すると、タイマYセカンダリのアンダフローに同期して、ポートP3<sub>2</sub>レジスタの値をTYOUTから出力します。

### 11.4. タイマZ

タイマZは、8ビットプリスケラ付き8ビットタイマです。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。図11.20にタイマZのブロック図を、図11.21～図11.24にタイマZ関連のレジスタを示します。タイマZは、次の4種類のモードを持ちます。

- ・タイマモード                      内部カウントソース（クロック源）またはタイマYのアンダフローをカウントするモード
- ・プログラマブル波形発生モード                      任意のパルス幅を連続して出力するモード
- ・プログラマブルワンショット発生モード                      ワンショットパルスを出力するモード
- ・プログラマブルウエイトワンショット発生モード                      デイレイドワンショットパルスを出力するモード

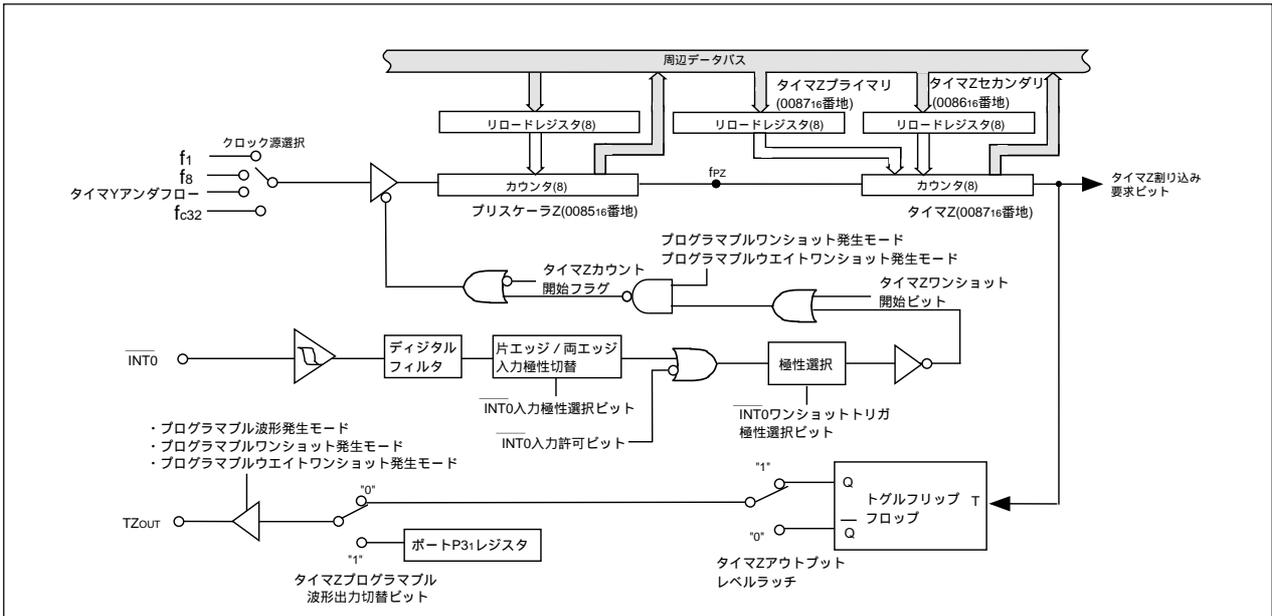


図11.20 タイマZブロック図

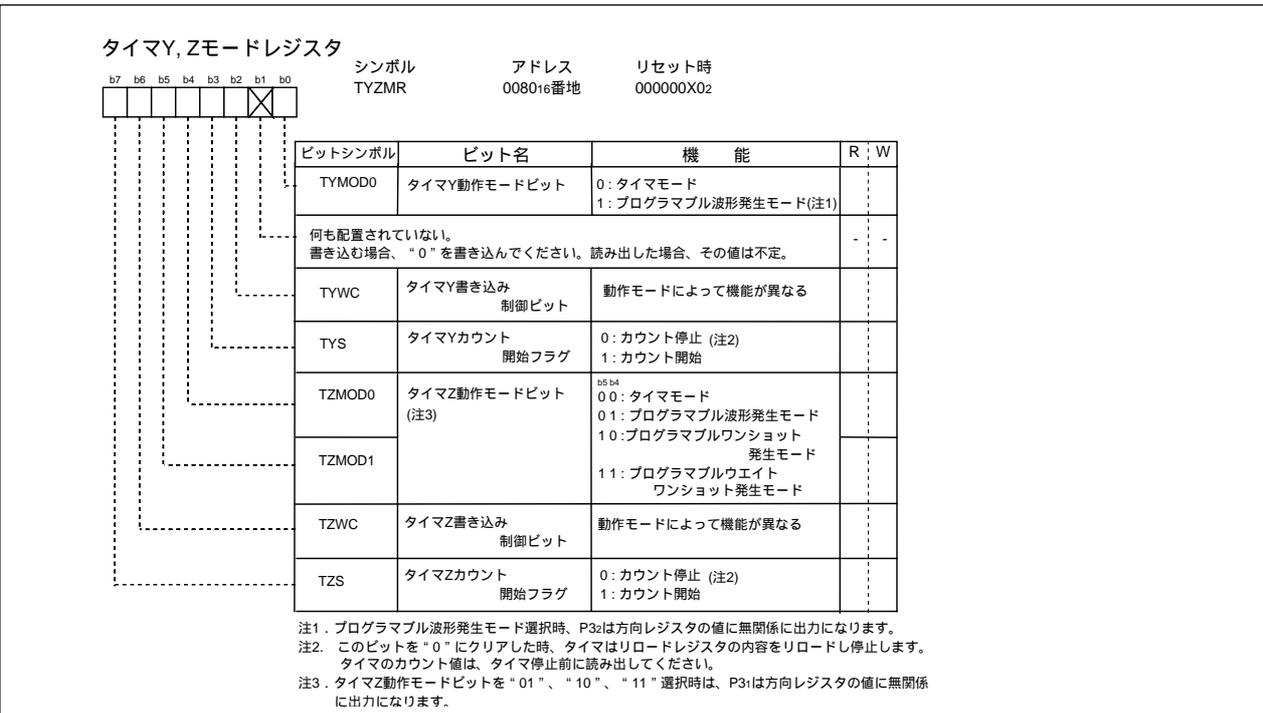


図11.21 タイマZ関連レジスタ(1)

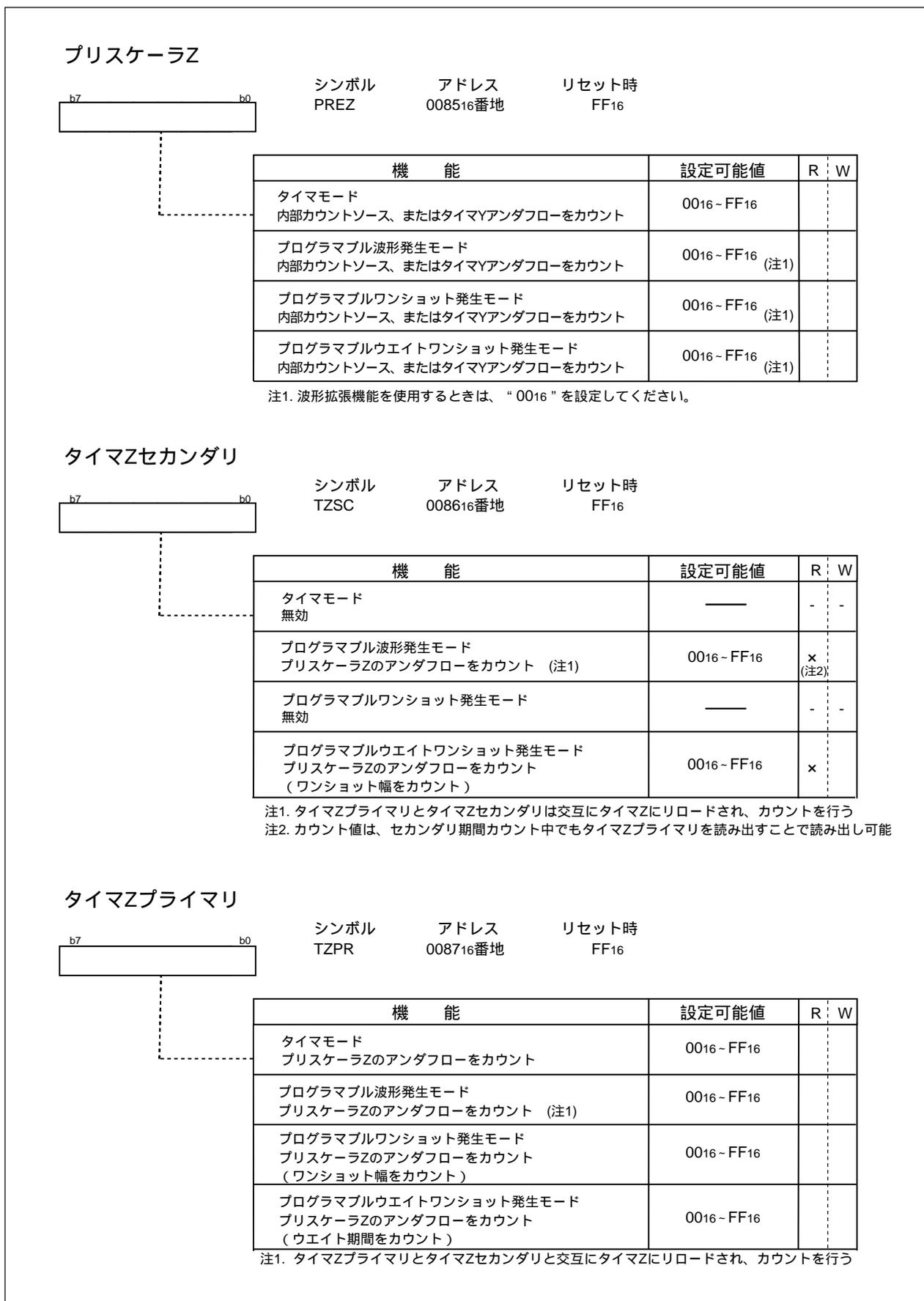


図11.22. タイマZ関連レジスタ(2)

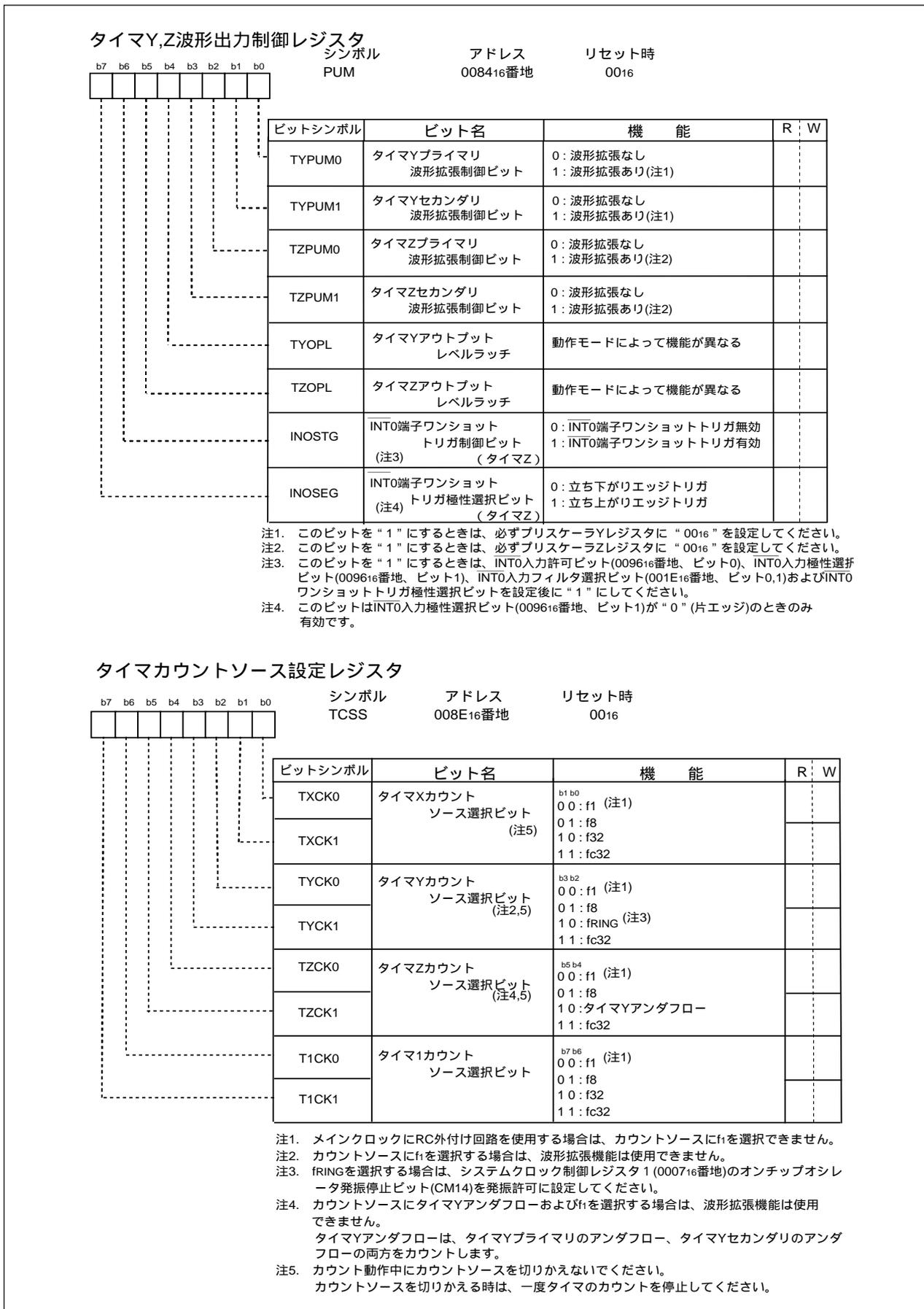


図11.23. タイマZ関連レジスタ(3)

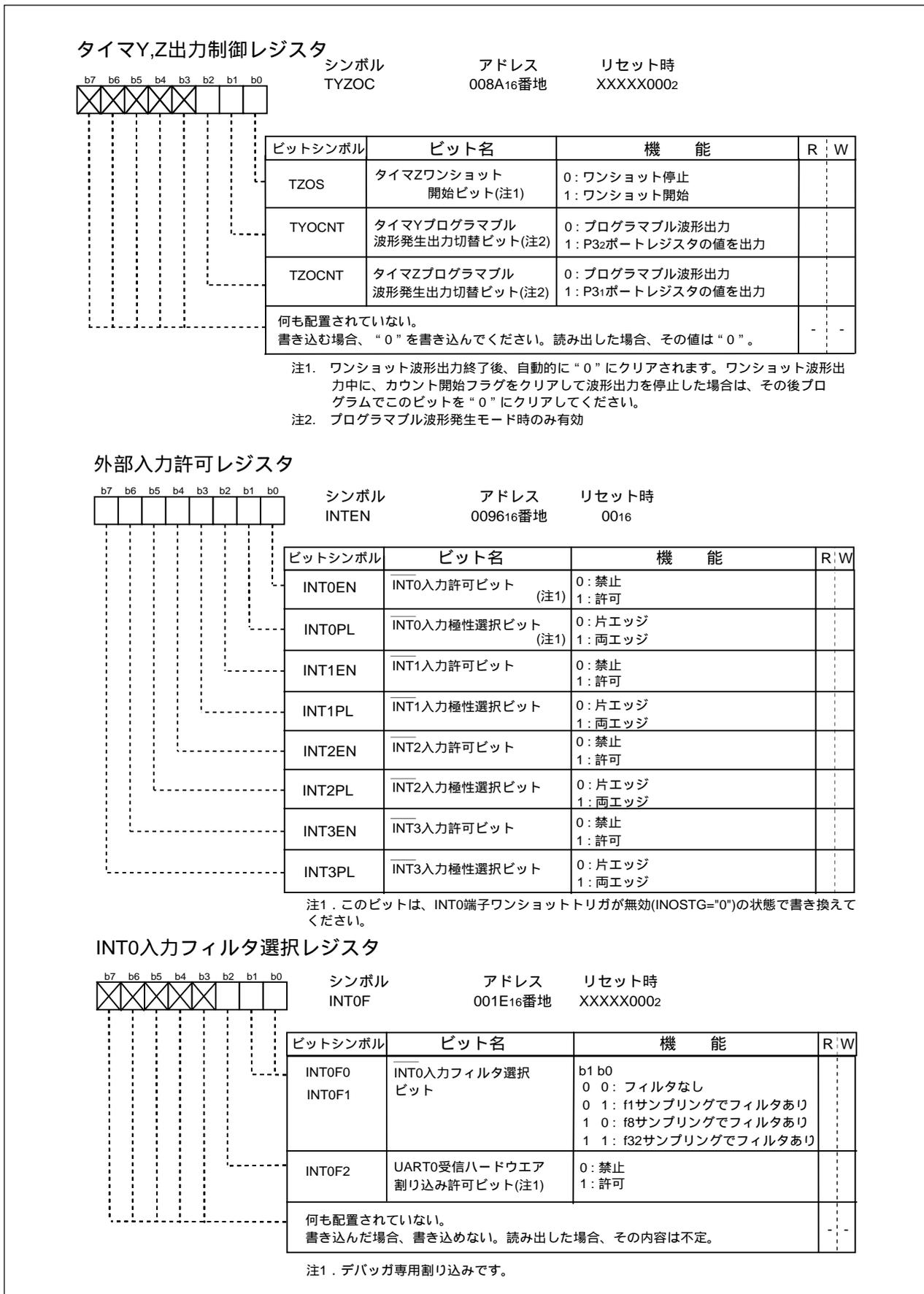


図11.24. タイマZ関連レジスタ(4)

## 11.4.1. タイマモード

内部で生成されたカウントソースまたはタイマYのアンダフローをカウントするモードです。タイマモード時、タイマZセカンダリは使用しません。表11.10にタイマモードの仕様を、図11.25にタイマモード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成を示します。

表11.10 タイマモードの仕様

項目	仕様
カウントソース	$f_1, f_0, \text{タイマYアンダフロー}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード) カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケアラZの設定値、m:タイマZプライマリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	タイマZのアンダフロー時
TZ <sub>OUT</sub> 端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、または外部割り込み入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケアラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケアラZレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる(ソフトウェアで選択)
選択機能	タイマZ書き込み制御機能(注2) タイマZプライマリレジスタ、プリスケアラZレジスタに書き込んだ時、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかを選択可

注1. カウント停止時、タイマZ割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

注2. 下記2項の条件が重なった状態でタイマZまたはプリスケアラZに書き込みを行うと、タイマZ割り込み要求フラグが“1”になり、割り込みが発生します。

- ・タイマZ書き込み制御ビット(0080番地のビット6)が“0”(リロードレジスタおよびカウンタへの同時書き込み)
- ・タイマZカウント開始フラグ(0080番地のビット7)が“1”(カウント開始)

上記の状態ではタイマZまたはプリスケアラZに書き込みを行う場合は、書き込む前に割り込みを禁止してください。

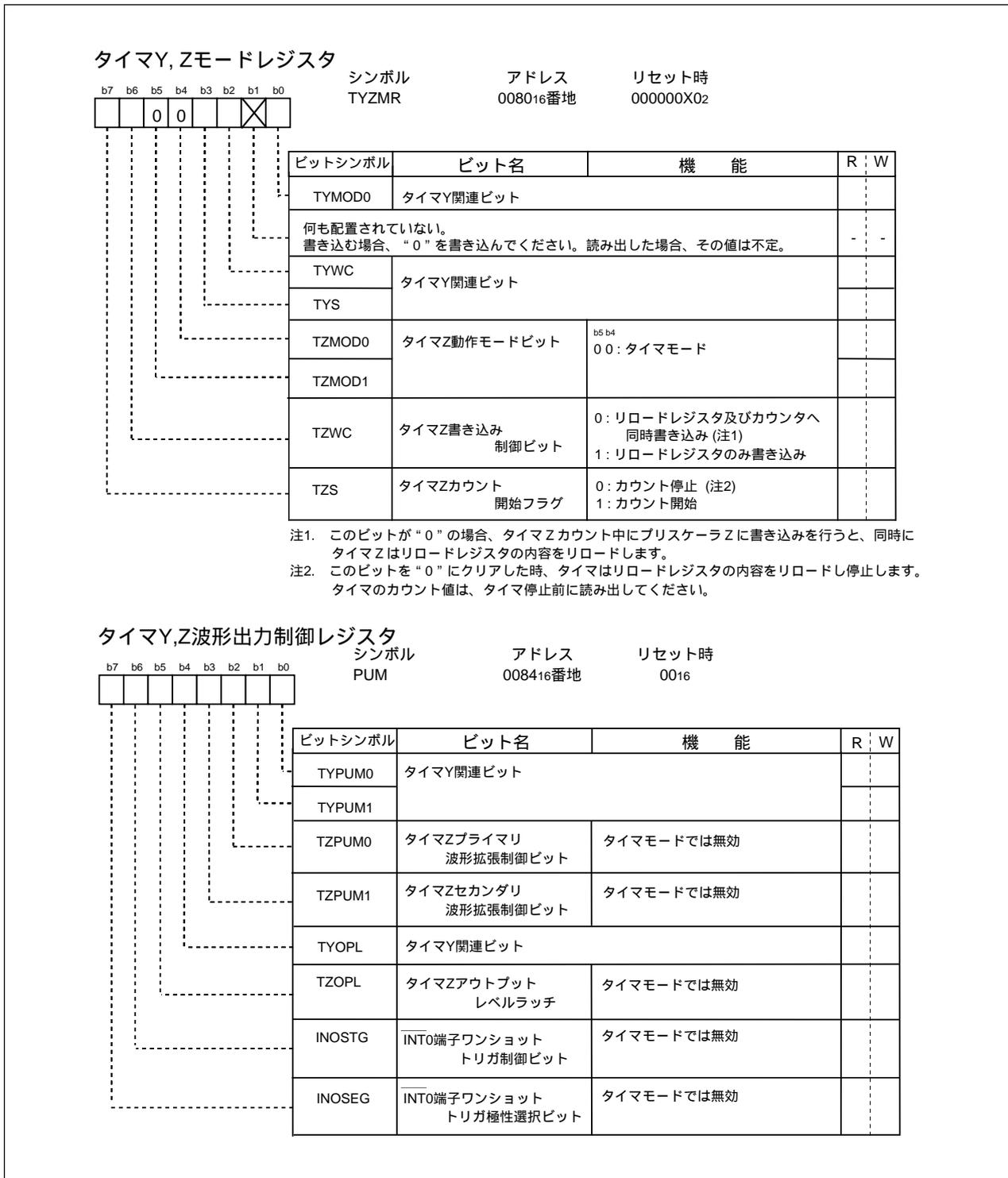


図11.25. タイマモード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成

### 11.4.2. プログラマブル波形発生モード

タイマZプライマリとタイマZセカンダリの設定値を交互にカウントし、タイマZプライマリまたはタイマZセカンダリがアンダフローするごとに、極性を反転したパルスをTZOUT端子から出力するモードです。カウント開始時は、タイマZプライマリに設定した値からカウントを行います。表11.11にプログラマブル波形発生モードの仕様を、図11.26にプログラマブル波形発生モード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成を示します。タイマZのプログラマブル波形発生モードは、タイマYのプログラマブル波形発生モードと同様の動作を行いますので、動作例は図11.19（プログラマブル波形発生モード時のタイマYの動作例）を参照してください。

表11.11. プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	$f_1, f_8, \text{タイマYアンダフロー}, f_{C32}$
カウント動作	ダウンカウント アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続 カウント停止時、リロードレジスタの内容をリロードし停止
周期	$\frac{1}{(n+1) \times ((m+1)+(l+1))}$ n:プリスケアラZの設定値、m:タイマZプライマリの設定値、l:タイマZセカンダリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフロー時
TZ <sub>OUT</sub> 端子機能	パルス出力(注2)
INT0端子機能	プログラマブル入出力ポート、または外部割り込み入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケアラZレジスタを読み出すと、それぞれカウント値が読み出される(注3)
タイマの書き込み	タイマZプライマリレジスタ、タイマZセカンダリレジスタ、プリスケアラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間のカウント中の波形の出力レベルを選択可能 プログラマブル波形発生切り替え機能(注5) プログラマブル波形出力またはポートP3 <sub>1</sub> レジスタの出力を切り替え可能 波形拡張機能(注6) 波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分拡張可能 波形拡張時の周期： $2 \times f_i / (2 \times (m+1) + (2 \times (l+1)) + \text{TZPUM0} + \text{TZPUM1})$ デューティ： $(2 \times (m+1) + \text{TZPUM0}) / (2 \times (m+1) + \text{TZPUM0} + (2 \times (l+1) + \text{TZPUM1}))$ m:タイマZプライマリの設定値、l:タイマZセカンダリの設定値 TZPUM0:タイマZプライマリ波形拡張制御ビット TZPUM1:タイマZセカンダリ波形拡張制御ビット

注1. カウント停止時、タイマZ割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

注2. カウント停止時の端子出力は、セカンダリ期間の出力レベルです。

注3. セカンダリ期間をカウント中でも、タイマZプライマリレジスタを読み出してください。

注4. タイマZプライマリレジスタへの書き込み動作より、タイマZプライマリレジスタ、タイマZセカンダリレジスタ、および波形拡張ビットに設定した値が有効になります。波形の出力は、タイマZプライマリレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注5. 出力が切り替わるタイミングは、タイマZセカンダリのアンダフローに同期します。

注6. 波形拡張機能を使用するときは、プリスケアラZレジスタには“00<sub>16</sub>”を設定してください。

カウントソースにタイマYアンダフローおよび $f_1$ を選択する場合は、波形拡張機能は使用できません。

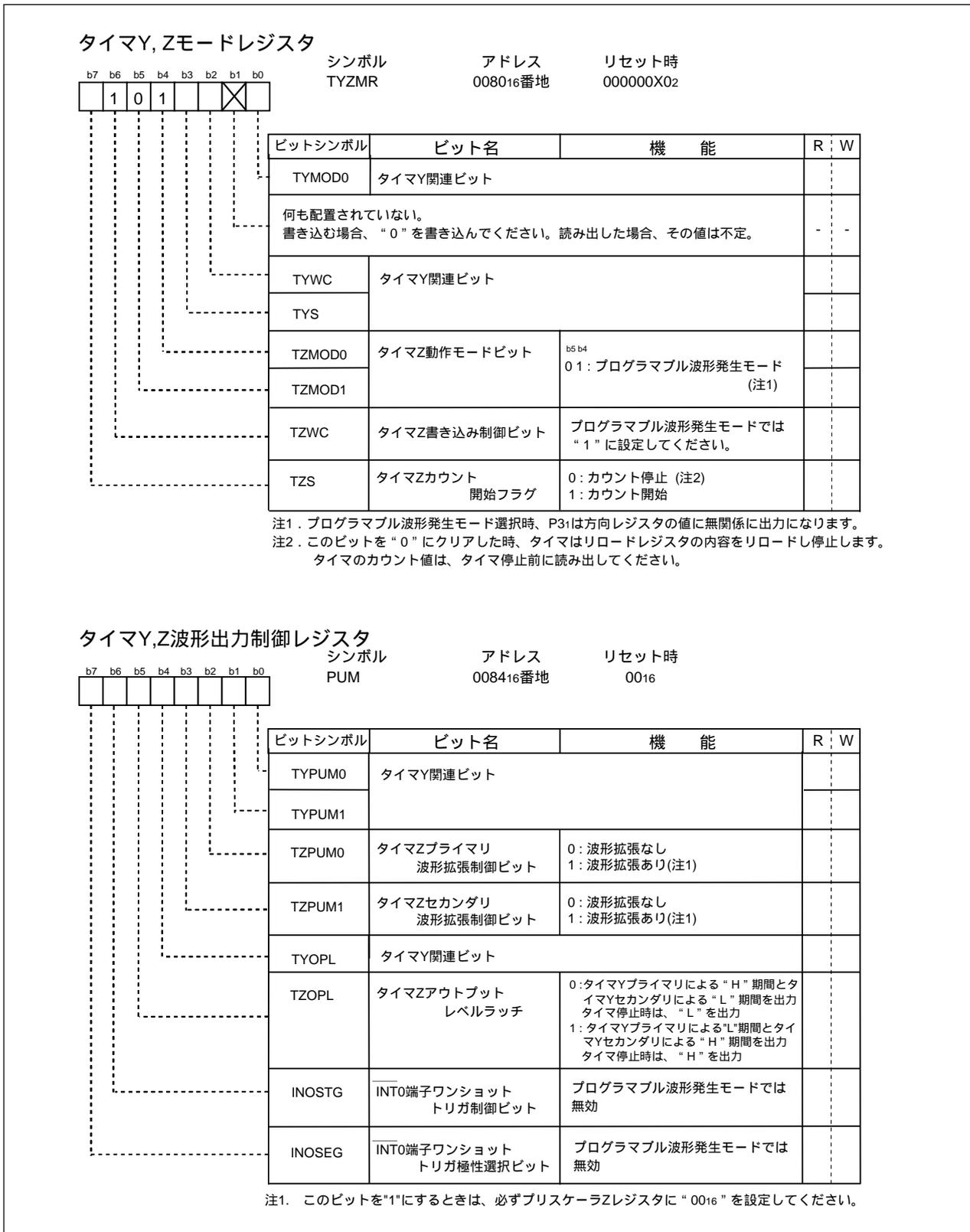


図11.26. プログラマブル波形発生モード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成

### 11.4.3. プログラマブルワンショット発生モード

ソフトウェアまたは外部トリガ ( $\overline{\text{INT0}}$ 端子の入力) により、ワンショットパルスをTZOUT端子から出力するモードです(表11.12)。トリガが発生するとその時点から任意の時間(タイマZプライマリの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、タイマZセカンダリは使用しません。図11.27にプログラマブルワンショット発生モード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成を、動作例を図11.28に示します。

表11.12. プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	$f_1, f_8, \text{タイマYアンダフロー}, f_{C32}$
カウント動作	タイマZプライマリの設定値をダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを停止 カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1) \times (m+1)}$ n:プリスケアラZの設定値、m:タイマZプライマリの設定値
カウント開始条件	タイマZワンショット開始ビットへの“1”書き込み(注1) $\overline{\text{INT0}}$ 端子への有効トリガ入力(注2)
カウント停止条件	カウントの値が“00 <sub>16</sub> ”になりリロードした後 カウント開始フラグへの“0”書き込み(注3) タイマZワンショット開始ビットへの“0”書き込み(注3)
割り込み要求発生タイミング	カウントの値が“00 <sub>16</sub> ”になるタイミング
TZ <sub>OUT</sub> 端子機能	パルス出力
INT0端子機能	プログラマブル入出力ポート、外部割り込み入力端子、または外部トリガ入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケアラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケアラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルを選択可能 $\overline{\text{INT0}}$ 端子ワンショットトリガ制御機能および極性選択機能 $\overline{\text{INT0}}$ 端子からのトリガ入力に対し有効/無効を選択可能、かつ有効トリガの極性を選択可能(立ち上がり、立ち下がり、両エッジ) 波形拡張機能 ワンショットパルス波形を、カウントソースの0.5サイクル分拡張可能(注5) 波形拡張時の分周比: $2/(n+1)/((2 \times (m+1)) + \text{TZPUM0})$ n: プリスケアラZの設定値、m: タイマZプライマリの設定値 TZPUM0: タイマZプライマリ波形拡張制御ビット

注1. カウント開始フラグが“1”に設定されている必要があります。

注2. カウント開始フラグが“1”、INT0入力許可ビット[INT0EN]が“1”、および $\overline{\text{INT0}}$ 端子ワンショットトリガ制御ビットが“1”に設定されている必要があります。

注3. カウント開始フラグまたはタイマZワンショット開始ビットへの“0”書き込みによるカウント停止時、タイマZ割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

注4. 各設定値は、タイマZプライマリレジスタへの書き込み動作によって有効となり、タイマZプライマリレジスタへ書き込んだ次のワンショットパルスから一括して反映されます。

注5. 波形拡張機能を使用するときは、プリスケアラZレジスタには“00<sub>16</sub>”を設定してください。カウントソースにタイマYアンダフローおよび $f_1$ を選択する場合は、波形拡張機能は使用できません。

## タイマY, Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
	1	1	0			X		TYZMR	0080 <sub>16</sub> 番地	000000X0 <sub>2</sub>

ビットシンボル	ビット名	機能	R	W
TYMOD0	タイマY関連ビット			
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-
TYWC	タイマY関連ビット			
TYS				
TZMOD0	タイマZ動作モードビット	b5 b4 10: プログラマブルワンショット発生モード (注1)		
TZMOD1				
TZWC	1: プログラマブルワンショット発生モードでは“1”に設定してください。			
TZS	タイマZカウント開始フラグ	0: カウント停止 (注2) 1: カウント開始		

注1. プログラマブルワンショット発生モード選択時、P3<sub>1</sub>は方向レジスタの値に無関係に出力になります。

注2. このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

## タイマY, Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
								PUM	0084 <sub>16</sub> 番地	00 <sub>16</sub>

ビットシンボル	ビット名	機能	R	W
TYPUM0	タイマY関連ビット			
TYPUM1				
TZPUM0	タイマZプライマリ 波形拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり (注1)		
TZPUM1	タイマZセカンダリ 波形拡張制御ビット	プログラマブルワンショット発生モードでは無効		
TYOPL	タイマY関連ビット			
TZOPL	タイマZアウトプット レベルラッチ	0: “H”レベルのワンショットパルス を出力 タイマ停止時は、“L”を出力 1: “L”レベルのワンショットパルス を出力 タイマ停止時は、“H”を出力		
INOSTG	INT0端子ワンショット トリガ制御ビット	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効 (注3)		
INOSEG	INT0端子ワンショット (注2)トリガ極性選択ビット	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ		

注1. このビットを“1”にするときは、必ずプリスケアラZレジスタに“00<sub>16</sub>”を設定してください。

注2. このビットはINT0入力極性選択ビット(0096<sub>16</sub>番地、ビット1)が“0”(片エッジ)のときのみ有効です。

注3. このビットを“1”にするときは、INT0入力許可ビット(0096<sub>16</sub>番地、ビット0)、INT0入力極性選択ビット(0096<sub>16</sub>番地、ビット1)、INT0入力フィルタ選択ビット(001E<sub>16</sub>番地のビット0,1)およびINT0端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。

図11.27. プログラマブルワンショット発生モード時のタイマY, ZモードレジスタおよびタイマY, Z波形出力制御レジスタの構成

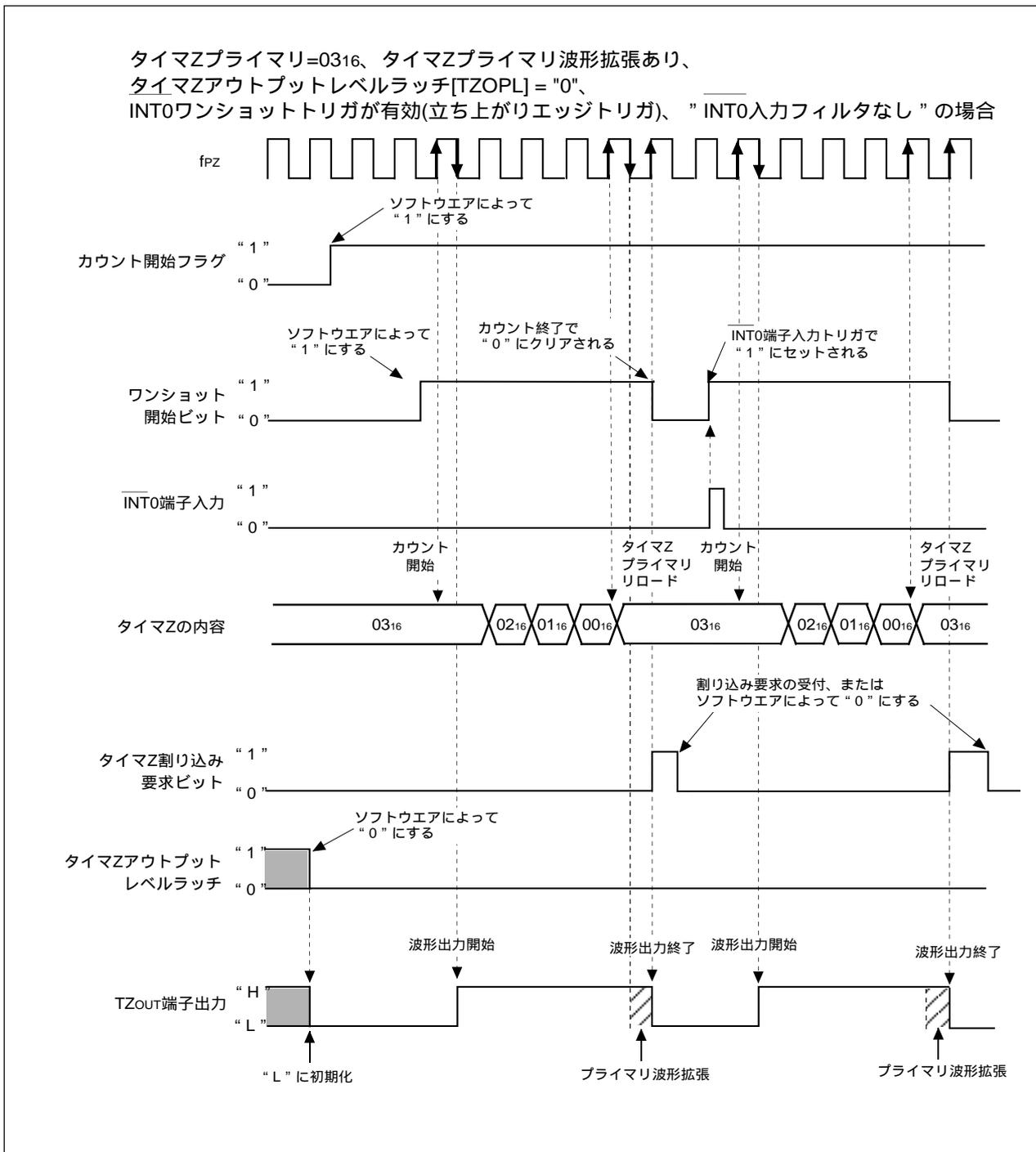


図11.28. プログラマブルワンショット発生モード時の動作例

#### 11.4.4. プログラブルウエイトワンショット発生モード

ソフトウェアまたは外部トリガ（ $\overline{\text{INT0}}$ 端子の入力）により、一定時間後にワンショットパルスを出し、その後、一度だけ任意の時間（タイマZプライマリの設定値）後、一度だけ任意の時間（タイマZセカンダリの設定値）パルス出力を行います。表11.13にプログラブルウエイトワンショット発生モードの仕様を、図11.29にプログラブルウエイトワンショット発生モード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成を、図11.30に動作例を示します。

表11.13 プログラブルウエイトワンショット発生モードの仕様

項目	仕様
カウントソース	$f_1, f_8, \text{タイマYアンダフロー}, f_{C32}$
カウント動作	タイマZプライマリの設定値をダウンカウント タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続 タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを停止 カウント停止時、リロードレジスタの内容をリロードし停止
ウエイト時間	$f_i \times (n+1) \times (m+1)n$ : プリスケアラZの設定値、m: タイマZプライマリの設定値
ワンショットパルス出力時間	$f_i \times (n+1) \times (l+1)n$ : プリスケアラZの設定値、l: タイマZセカンダリの設定値
カウント開始条件	タイマZワンショット開始ビットへの“1”書き込み（注1） $\overline{\text{INT0}}$ 端子への有効トリガ入力（注2）
カウント停止条件	タイマZセカンダリカウント時のカウントの値が“00 <sub>16</sub> ”になりリロードした後 カウント開始フラグへの“0”書き込み（注3） タイマZワンショット開始ビットへの“0”書き込み（注3）
割り込み要求発生タイミング	タイマZセカンダリカウント時のカウント値が“00 <sub>16</sub> ”になるタイミング
TZ <sub>OUT</sub> 端子機能	パルス出力
INT0端子機能	プログラブル入出力ポート、外部割り込み入力端子、または外部トリガ入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケアラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケアラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる（注4）
選択機能	アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルを選択可能 $\overline{\text{INT0}}$ 端子ワンショットトリガ制御機能および極性選択機能 $\overline{\text{INT0}}$ 端子からのトリガ入力に対し有効/無効を選択可能、かつ有効トリガの極性を選択可能（立ち上がり、立ち下がり、両エッジ） 波形拡張機能 ウエイト期間およびワンショットパルス波形を、それぞれカウントソースの0.5サイクル分拡張可能（注5） 波形拡張時のウエイト時間： $f_i \times (n+1) \times ((2 \times (m+1)) + \text{TZPUM0})/2$ 波形拡張時のワンショットパルス出力時間： $f_i \times (n+1) \times ((2 \times (l+1)) + \text{TZPUM1})/2$ n: プリスケアラZの設定値、m: タイマZプライマリの設定値、l: タイマZセカンダリの設定値 TZPUM0: タイマZプライマリ波形拡張制御ビット、TZPUM1: タイマZセカンダリ波形拡張制御ビット

注1. カウント開始フラグが“1”に設定されている必要があります。

注2. カウント開始フラグが“1”、 $\overline{\text{INT0}}$ 入力許可ビット[INT0EN]が“1”、および $\overline{\text{INT0}}$ ワンショットトリガ制御ビットが“1”に設定されている必要があります。

注3. カウント開始フラグまたはタイマZワンショット開始ビットへの“0”書き込みによるカウント停止時、タイマZ割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

注4. 各設定値は、タイマZプライマリレジスタへの書き込み動作によって有効となり、タイマZプライマリレジスタへ書き込んだ次のワンショットパルスから一括して反映されます。

注5. 波形拡張機能を使用するときは、プリスケアラZレジスタには“00<sub>16</sub>”を設定してください。カウントソースにタイマYアンダフローおよび $f_1$ を選択する場合は、波形拡張機能は使用できません。

## タイマY, Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル TYZMR	アドレス 0080 <sub>16</sub> 番地	リセット時 000000X0 <sub>2</sub>
	1	1	1			X				

ビットシンボル	ビット名	機能	R	W
TYMOD0	タイマY関連ビット			
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		-	-
TYWC	タイマY関連ビット			
TYS	タイマY関連ビット			
TZMOD0	タイマZ動作モードビット	b5 b4 11: プログラブルウエイト ワンショット発生モード (注1)		
TZMOD1	タイマZ動作モードビット			
TZWC	1: プログラブルウエイトワンショット発生モードでは、“1”に設定してください。			
TZS	タイマZカウント 開始フラグ	0: カウント停止 (注2) 1: カウント開始		

注1. プログラブルウエイトワンショット発生モード選択時、P3<sub>1</sub>は方向レジスタの値に無関係に出力になります。

注2. このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

## タイマY,Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUM	アドレス 0084 <sub>16</sub> 番地	リセット時 00 <sub>16</sub>

ビットシンボル	ビット名	機能	R	W
TYPUM0	タイマY関連ビット			
TYPUM1	タイマY関連ビット			
TZPUM0	タイマZプライマリ 波形拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり (注1)		
TZPUM1	タイマZセカンダリ 波形拡張制御ビット	0: 波形拡張なし 1: 波形拡張あり (注1)		
TYOPL	タイマY関連ビット			
TZOPL	タイマZアウトプット レベルラッチ	0: “H”レベルのワンショットパルス を出力 タイマ停止時は、“L”を出力 1: “L”レベルのワンショットパルス を出力 タイマ停止時は、“H”を出力		
INOSTG	INT0端子ワンショット トリガ制御ビット	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効 (注3)		
INOSEG	INT0端子ワンショット トリガ極性選択ビット (注2)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ		

注1. このビットを“1”にするときは、必ずプリスケアラZレジスタに“00<sub>16</sub>”を設定してください。

注2. このビットはINT0入力極性選択ビット(0096<sub>16</sub>番地、ビット1)が“0”(片エッジ)のときのみ有効です。

注3. このビットを“1”にするときは、INT0入力許可ビット(0096<sub>16</sub>番地、ビット0)、INT0入力極性選択ビット(0096<sub>16</sub>番地、ビット1)、INT0入力フィルタ選択ビット(001E<sub>16</sub>番地のビット0,1)およびINT0端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。

図11.29 プログラブルウエイトワンショット発生モード時のタイマY,ZモードレジスタおよびタイマY,Z波形出力制御レジスタの構成

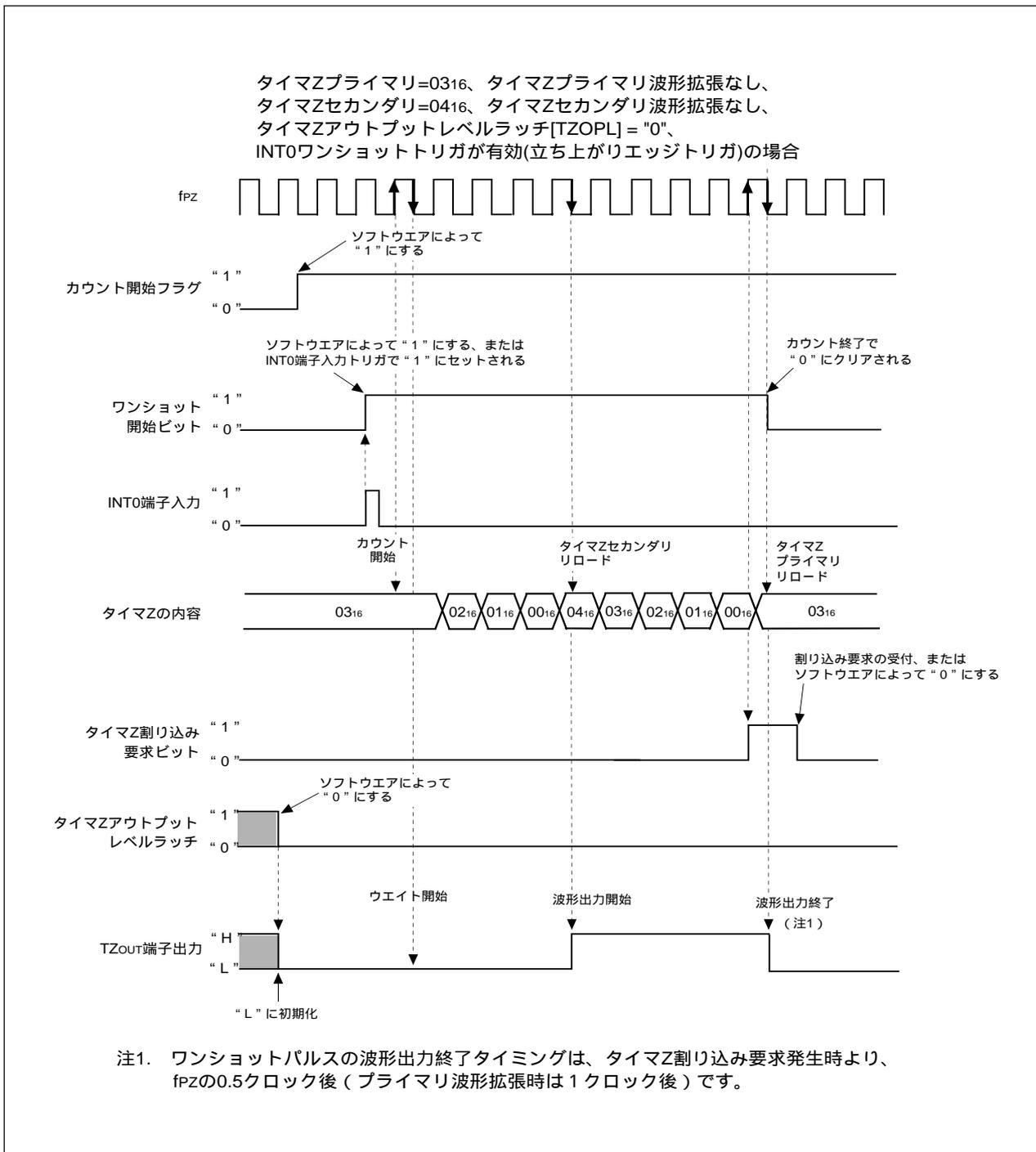


図11.30. プログラブルウェイトワンショット発生モード時の動作例

## 11.5. タイマC

タイマCは、16ビットのフリーランタイマです。図11.31にタイマCのブロック図を示します。タイマCは、TCIN端子へのエッジ入力、またはfRINGの256分周の出力をトリガとしてタイマの値をラッチし、割り込み要求を発生します。またTCIN入力はデジタルフィルタをもちますので、ノイズ等による誤動作を防止できます。表11.14にタイマCの仕様を、図11.32にタイマC関連のレジスタを示します。また、タイマCおよび時間計測レジスタの動作例を図11.33に示します。

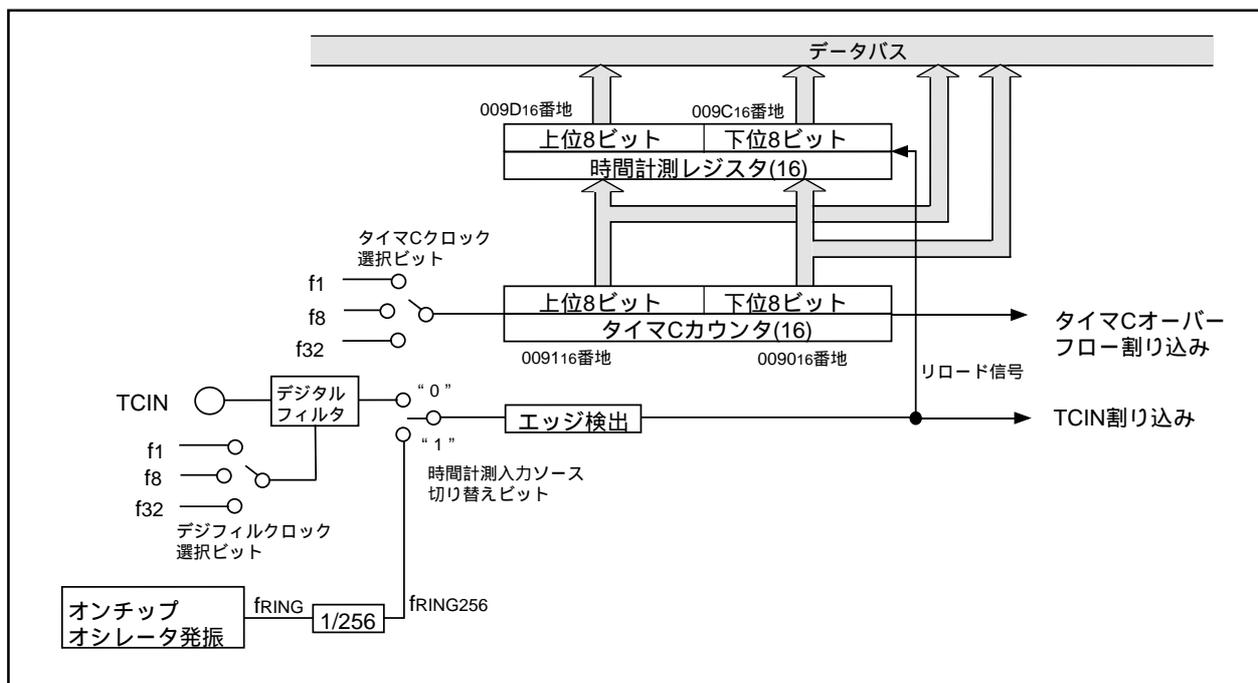


図11.31. タイマCブロック図

表11.14. タイマCの仕様

項目	仕様
カウントソース	$f_1, f_8, f_{32}$
カウント動作	アップカウント 測定パルスの有効エッジ入力で、タイマCのカウント値を時間計測レジスタに転送 カウント停止時、タイマCのカウント値は“0000”にリセットされる
カウント開始条件	時間計測制御ビットへの“1”書き込み
カウント停止条件	時間計測制御ビットへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時 [TCIN割り込み] タイマCのオーバーフロー時 [タイマC割り込み]
TCIN端子機能	測定パルス入力
カウンタ値リセットタイミング	時間計測制御ビットへの“0”書き込み時
タイマの読み出し (注1)	タイマCを読み出すと、カウント値が読み出される 時間計測レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	タイマC、および時間計測レジスタへの書き込み不可
選択機能	測定パルスの有効エッジ選択可能 (立ち上がり/立ち下がり/両エッジ) 測定パルスは、TCIN端子からの入力と $f_{RING}$ の256分周との選択可能 デジタルフィルタサンプリング周波数選択可能 (f1/f8/f32)

注1. タイマCおよび時間計測レジスタの読み出しは、ワードサイズで行ってください。

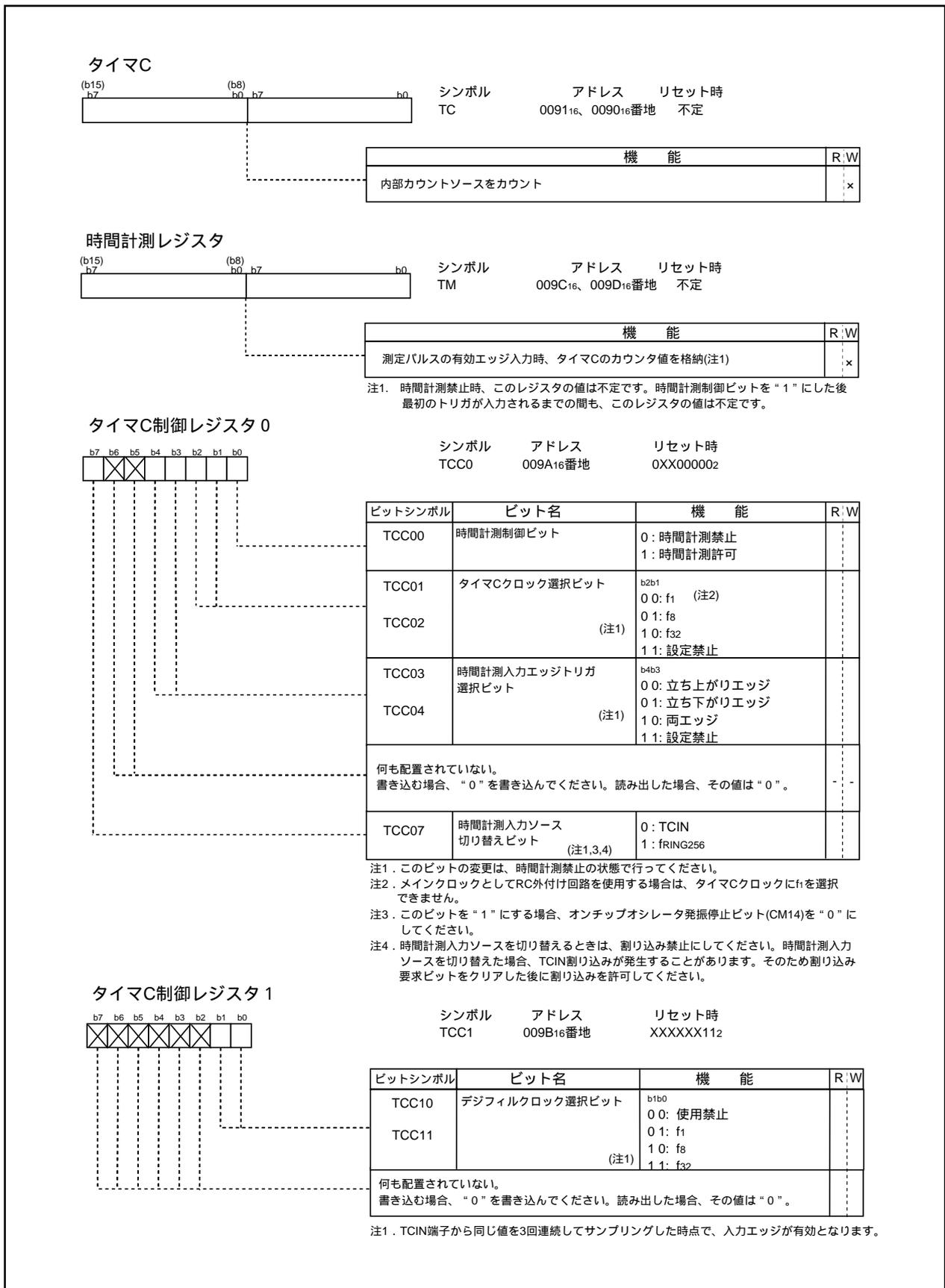


図11.32. タイマC関連レジスタ

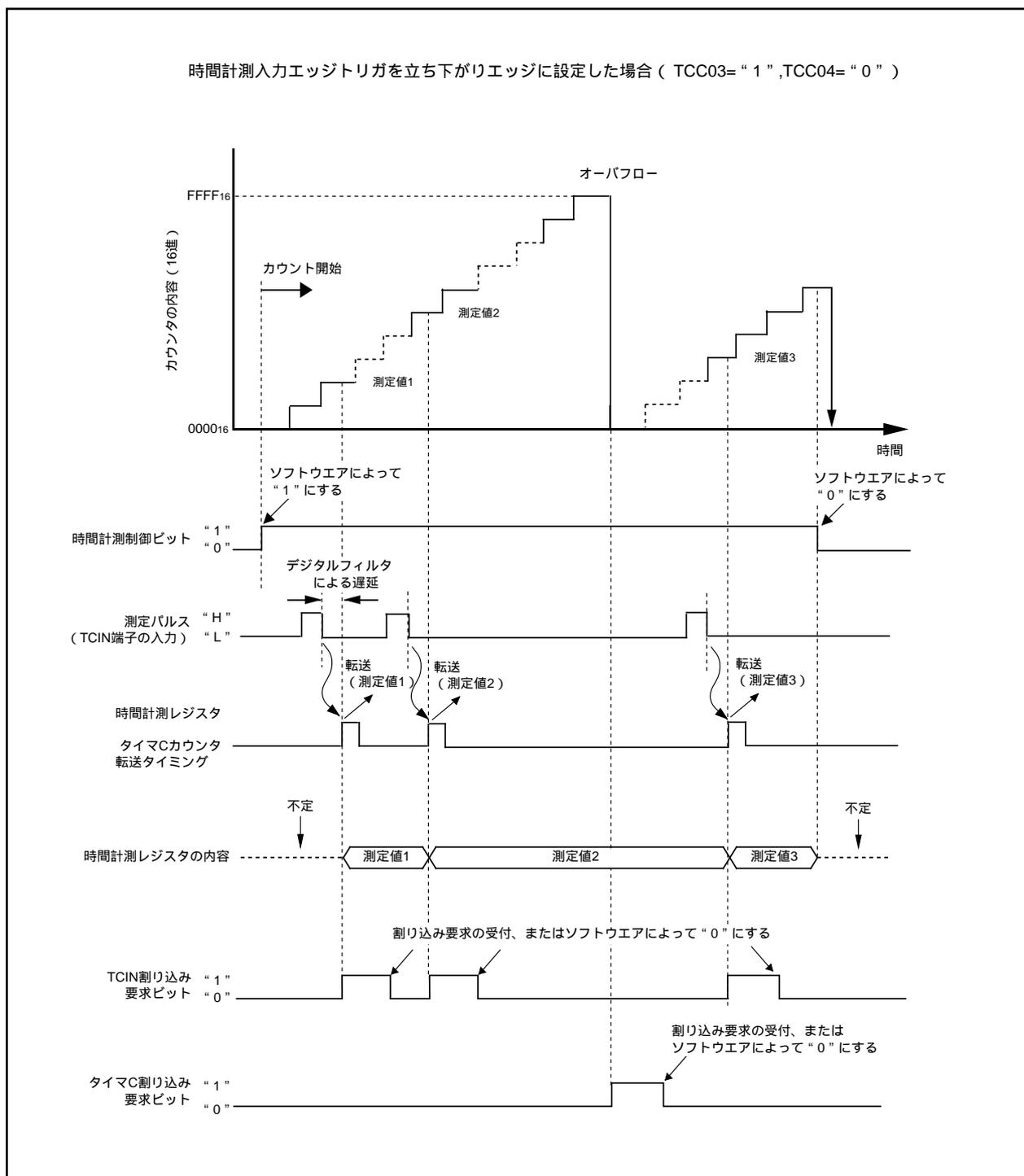


図11.33. タイマC、および時間計測レジスタ動作例

## 12. シリアルI/O

シリアルI/Oは、UART0、およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図12.1にUARTi(i=0,1)のブロック図、図12.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。シリアルI/Oモード選択ビット(00A0<sub>16</sub>番地,00A8<sub>16</sub>番地ビット0~ビット2)の内容で、クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかを選択します。UART0とUART1は、一部の機能が異なることを除いてはほぼ同一の機能を持ちます。

図12.3~図12.5にUARTi関連のレジスタを示します。

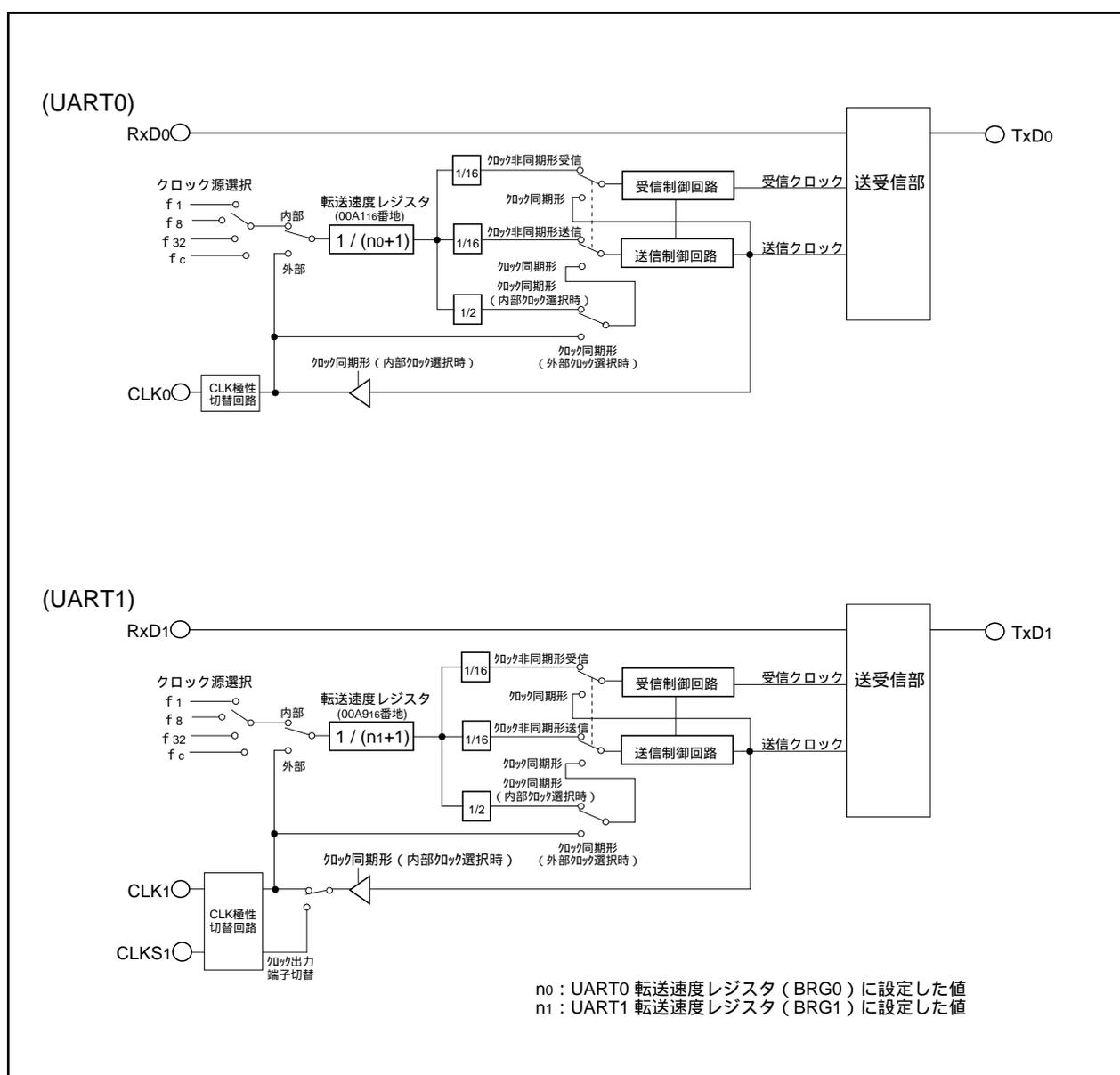


図12.1. UARTi(i=0,1)ブロック図

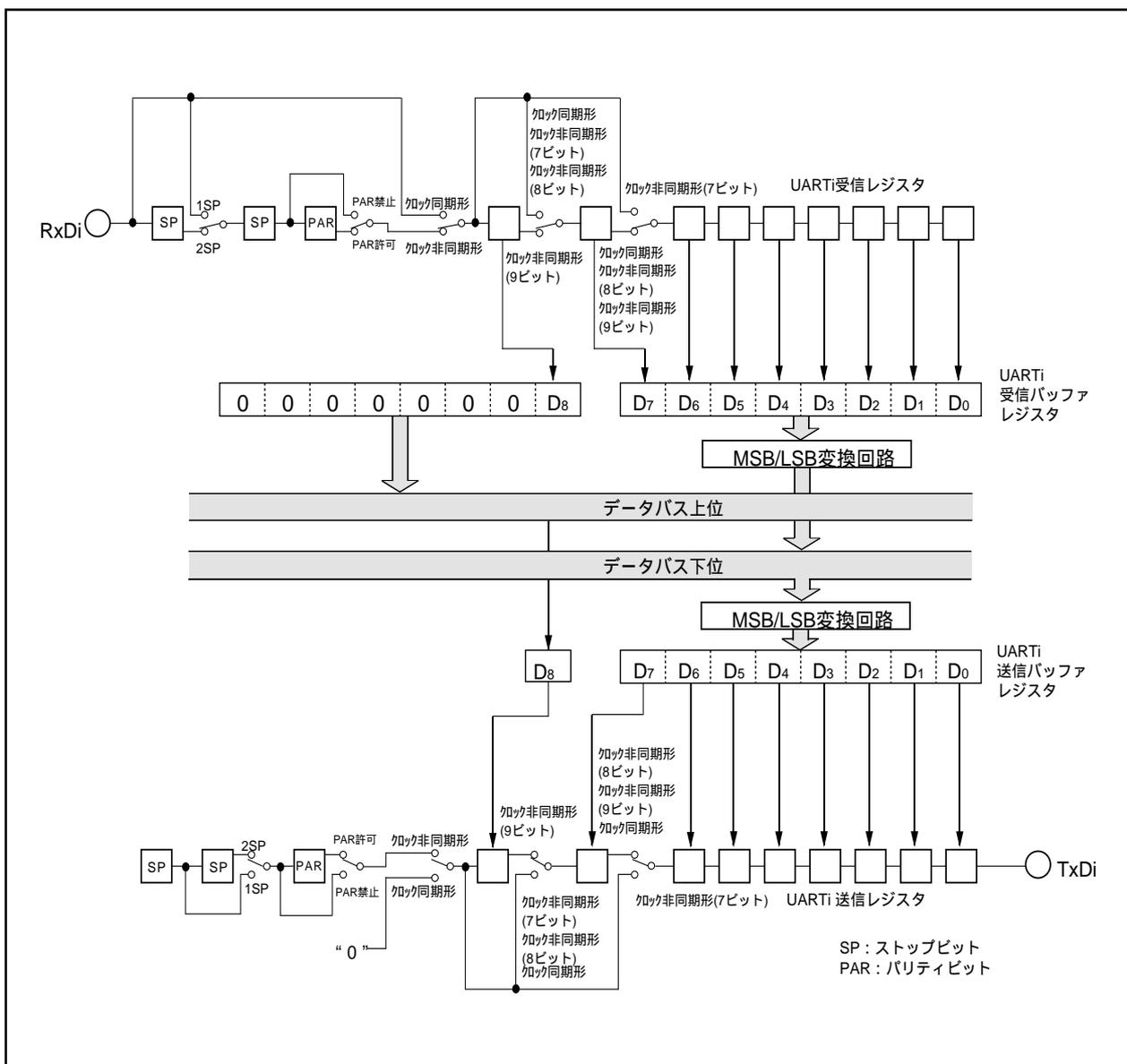


図12.2. 送受信部ブロック図

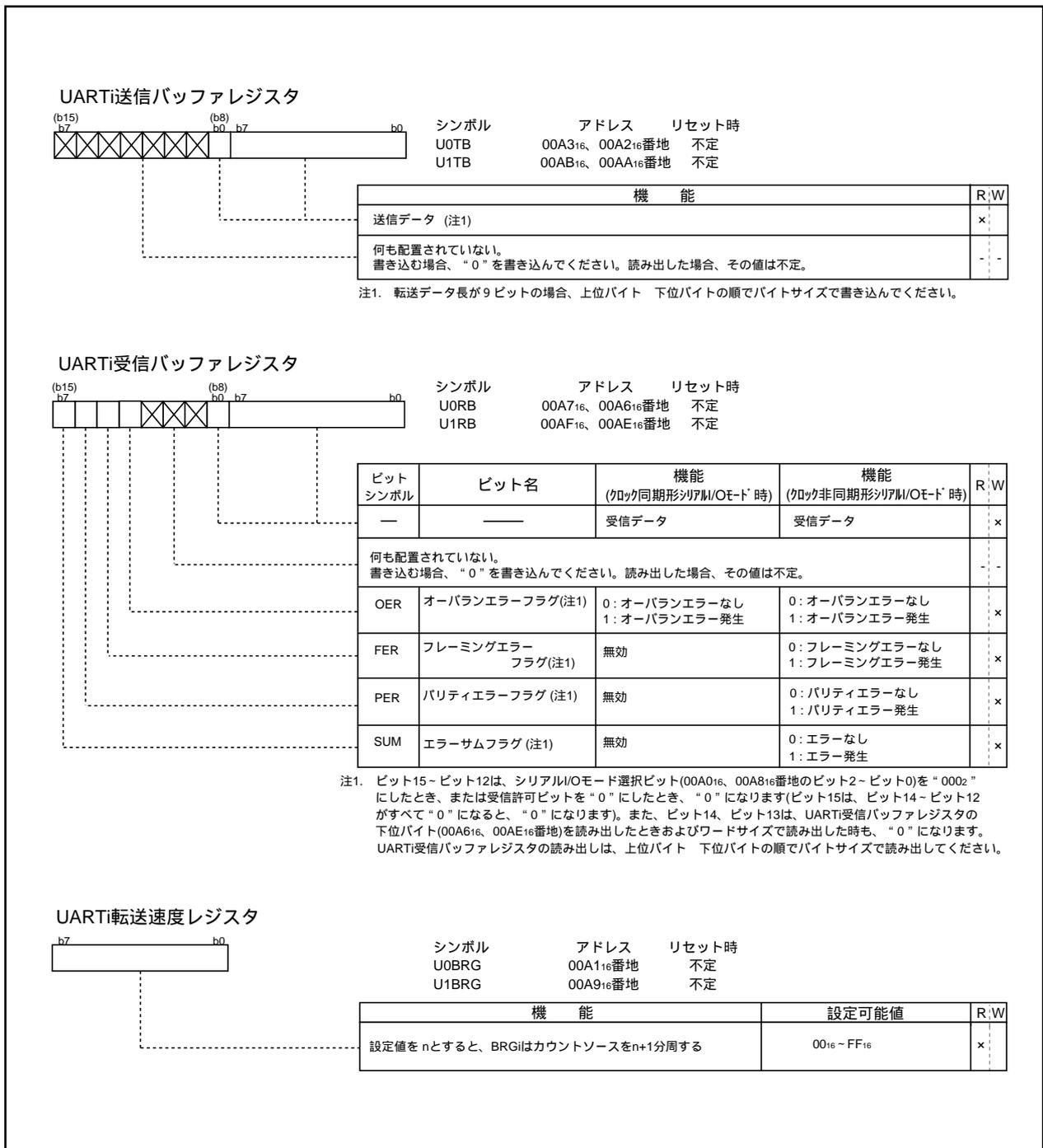


図12.3. UARTi関連のレジスタ (1)

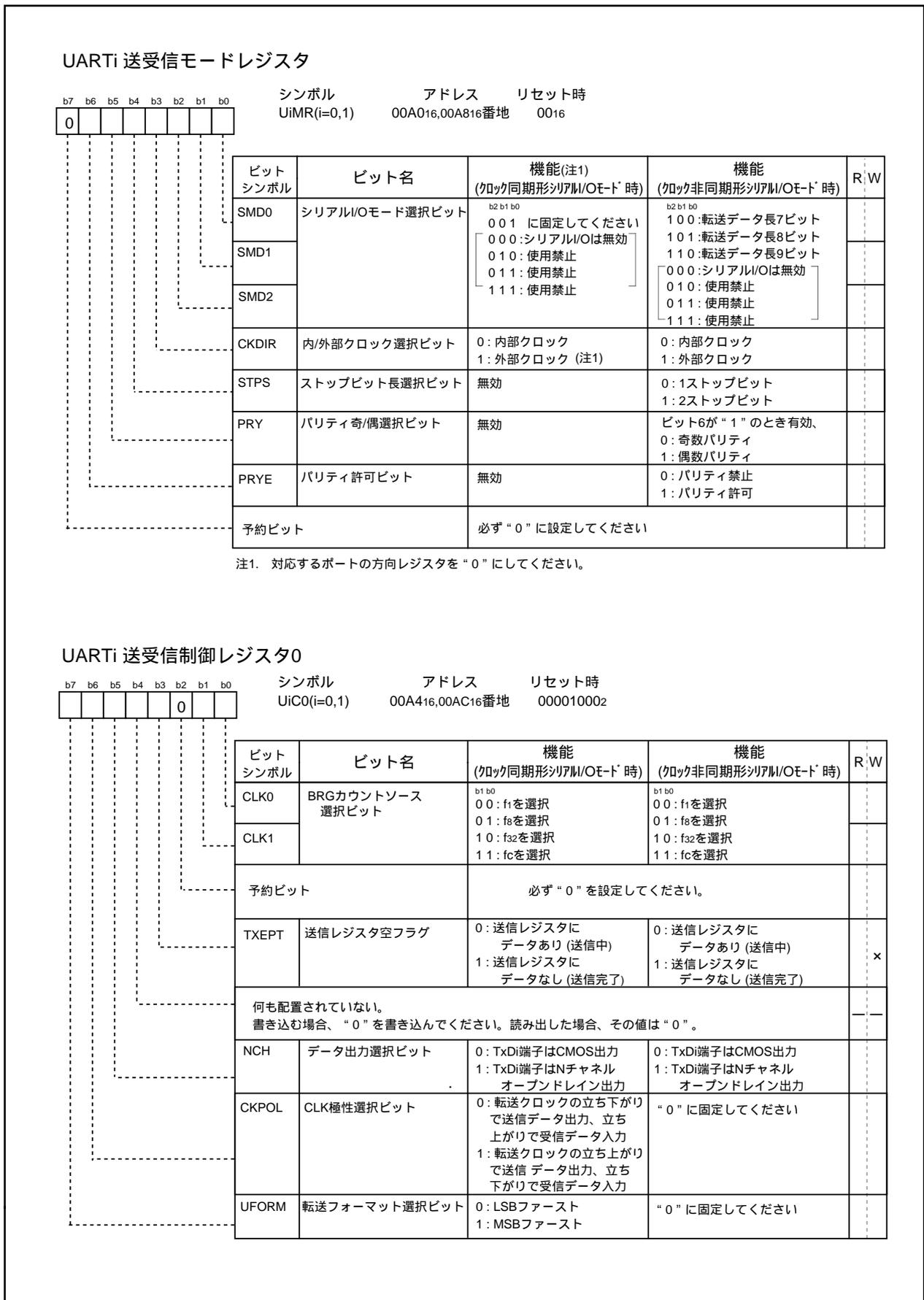
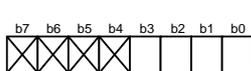


図12.4. UARTi関連のレジスタ (2)

## UARTi 送受信制御レジスタ1

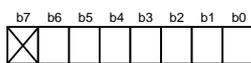


シンボル                      アドレス                      リセット  
 UiC1(i=0,1)              00A5<sub>16</sub>,00AD<sub>16</sub>番地              00000010<sub>2</sub>

ビット シンボル	ビット名	機能(注1) (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R	W	
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可			
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし		X	
RE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可			
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり		X	
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				-	-

注1. UART1は、RxD<sub>1</sub>入力端子選択ビットの設定を行ってから受信許可にしてください。

## UART送受信制御レジスタ2



シンボル                      アドレス                      リセット時  
 UCON                      00B0<sub>16</sub>番地                      00<sub>16</sub>

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R	W	
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)			
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)			
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効			
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効			
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効			
CLKMD1	CLK,CLKS選択 ビット1 (注1)	0: 通常モード (CLK出力はCLK1) 1: 転送クロック複数端子 出力機能選択	“0”に固定してください			
RXD1EN	RxD <sub>1</sub> 入力端子選択ビット (注2)	0: P3 <sub>7</sub> 1: P3 <sub>5</sub>	0: P3 <sub>7</sub> 1: P3 <sub>5</sub>			
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。

・ UART1内/外部クロック選択ビット(00A8<sub>16</sub>番地のビット3)= “0”

注2. ポートP3<sub>7</sub>で受信を行うときは“0”を、送信を行うときは“1”を選択してください。  
また受信時、ポートP3<sub>7</sub>の方向レジスタを入力(“0”)にしてください。

図12.5. UARTi関連のレジスタ (3)

## 12.1. クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表12.1にクロック同期形シリアルI/Oモードの仕様を、図12.6にUARTi送受信モードレジスタの構成を示します。

表12.1. クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(00A0 <sub>16</sub> 、00A8 <sub>16</sub> 番地のビット3=“0”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}, f_c$ 外部クロック選択時(00A0 <sub>16</sub> 、00A8 <sub>16</sub> 番地のビット3=“1”) : CLKi端子からの入力
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>送信許可ビット(00A5<sub>16</sub>、00AD<sub>16</sub>番地のビット0)=“1”</li> <li>送信バッファ空フラグ(00A5<sub>16</sub>、00AD<sub>16</sub>番地のビット1)=“0”</li> </ul> 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> <li>CLKi極性選択ビット(00A4<sub>16</sub>、00AC<sub>16</sub>番地のビット6)=“0” : CLKi端子の入力が“H”</li> <li>CLKi極性選択ビット(00A4<sub>16</sub>、00AC<sub>16</sub>番地のビット6)=“1” : CLKi端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>受信許可ビット(00A5<sub>16</sub>、00AD<sub>16</sub>番地のビット2)=“1”</li> <li>送信許可ビット(00A5<sub>16</sub>、00AD<sub>16</sub>番地のビット0)=“1”</li> <li>送信バッファ空フラグ(00A5<sub>16</sub>、00AD<sub>16</sub>番地のビット1)=“0”</li> </ul> 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> <li>CLKi極性選択ビット(00A4<sub>16</sub>、00AC<sub>16</sub>番地のビット6)=“0” : CLKi端子の入力が“H”</li> <li>CLKi極性選択ビット(00A4<sub>16</sub>、00AC<sub>16</sub>番地のビット6)=“1” : CLKi端子の入力が“L”</li> </ul>
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> <li>送信割り込み要因選択ビット(00B0<sub>16</sub>番地のビット0、1)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時</li> <li>送信割り込み要因選択ビット(00B0<sub>16</sub>番地のビット0、1)=“1” : UARTi送信レジスタからデータ送信完了時</li> </ul> 受信時 <ul style="list-style-type: none"> <li>UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時</li> </ul>
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択 UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 RxD1入力端子選択 UART1のRxD1端子を2本設定し、ソフトウェアによって入力端子を選択可

注1. n はUARTi転送速度レジスタに設定した00<sub>16</sub> ~ FF<sub>16</sub>の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファレジスタは不定になります。  
 またUARTi受信割り込み要求ビットは変化しません。

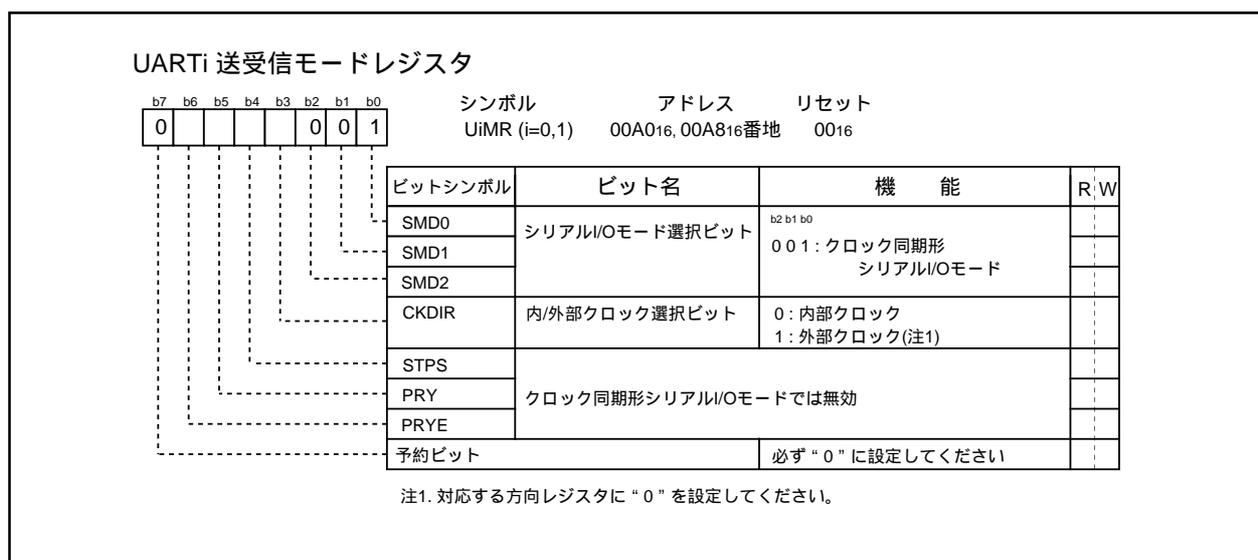


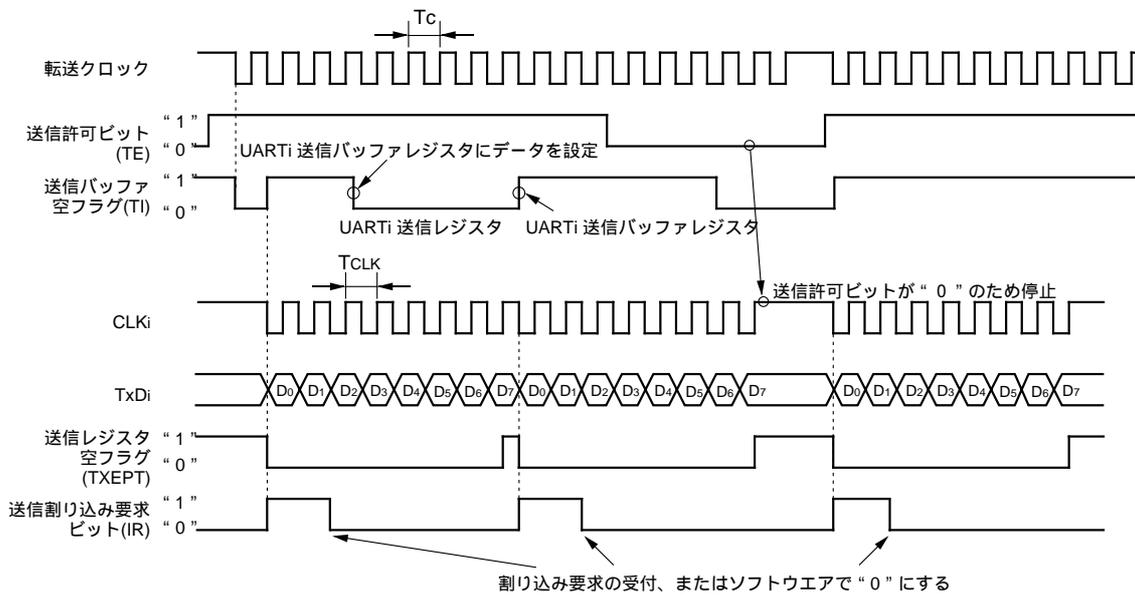
図12.6. クロック同期形シリアルI/Oモード時のUART0送受信モードレジスタの構成

表12.2に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表12.2. クロック同期形シリアルI/Oモード時の入出力端子の機能

機能	端子名	選択方法	備考
シリアルデータ出力	TxD0(P14)	—	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、P14を入出力ポートとして使用不可。
	TxD1(P37)	RxD1入力端子選択ビット (00B0番地のビット6) = “1”	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、P37を入出力ポートとして使用不可。
シリアルデータ入力	RxD0(P15)	ポートP15の方向レジスタ (00E1番地のビット5) = “0”	シリアルデータ入力が必要で、シリアルデータ出力のみを行う場合は、P15を入出力ポートとして使用可能。
	RxD1(P35)	ポートP35の方向レジスタ (00E7番地のビット5) = “0” RxD1入力端子選択ビット (00B0番地のビット6) = “1”	シリアルデータ入力が必要で、シリアルデータ出力のみを行う場合は、P35を入出力ポートとして使用可能。
	RxD1(P37)	ポートP37の方向レジスタ (00E7番地のビット7) = “0” RxD1入力端子選択ビット (00B0番地のビット6) = “0”	P37をRxD1として選択時、シリアルデータ出力は行えません。 P35は入出力ポートとして使用可能。
転送クロック出力	CLKi(P16,P36)	内/外部クロック選択ビット (00A0, 00A8番地のビット3) = “0”	
転送クロック入力	CLKi(P16,P36)	内/外部クロック選択ビット (00A0, 00A8番地のビット3) = “1” ポートP16, P36の方向レジスタ (00E3, 00E7番地のビット6) = “0”	

送信タイミング例(内部クロック選択時)



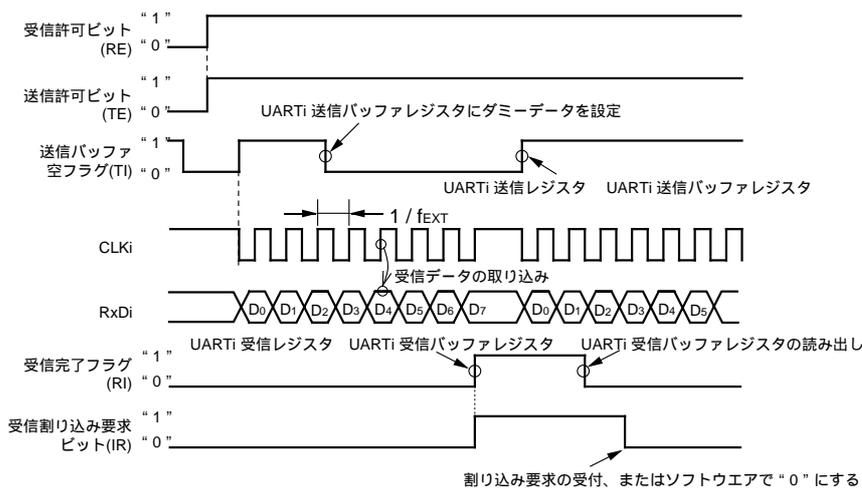
( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。  
 内部クロック選択  
 CLK極性選択ビット = "0"  
 送信割り込み要因選択ビット = "0"

$$T_c = T_{CLK} = 2(n+1) / f_i$$

$f_i$  : BRGiのカウンタソースの周波数( $f_1, f_8, f_{32}, f_C$ )  
 $n$  : BRGiに設定した値

受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。  
 外部クロック選択  
 CLK極性選択ビット = "0"

$f_{EXT}$  : 外部クロックの周波数

データ受信前のCLKi端子の入力が "H" レベルのときに、以下の条件が揃うようにしてください。  
 送信許可ビット "1"  
 受信許可ビット "1"  
 UARTi送信バッファレジスタへのダミーデータの書き込み

図12.7. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

### 12.1.1. 極性選択機能

図12.8に示すように、CLK極性選択ビット(00A4<sub>16</sub>, 00AC<sub>16</sub>番地のビット6)によって転送クロックの極性を選択できます。

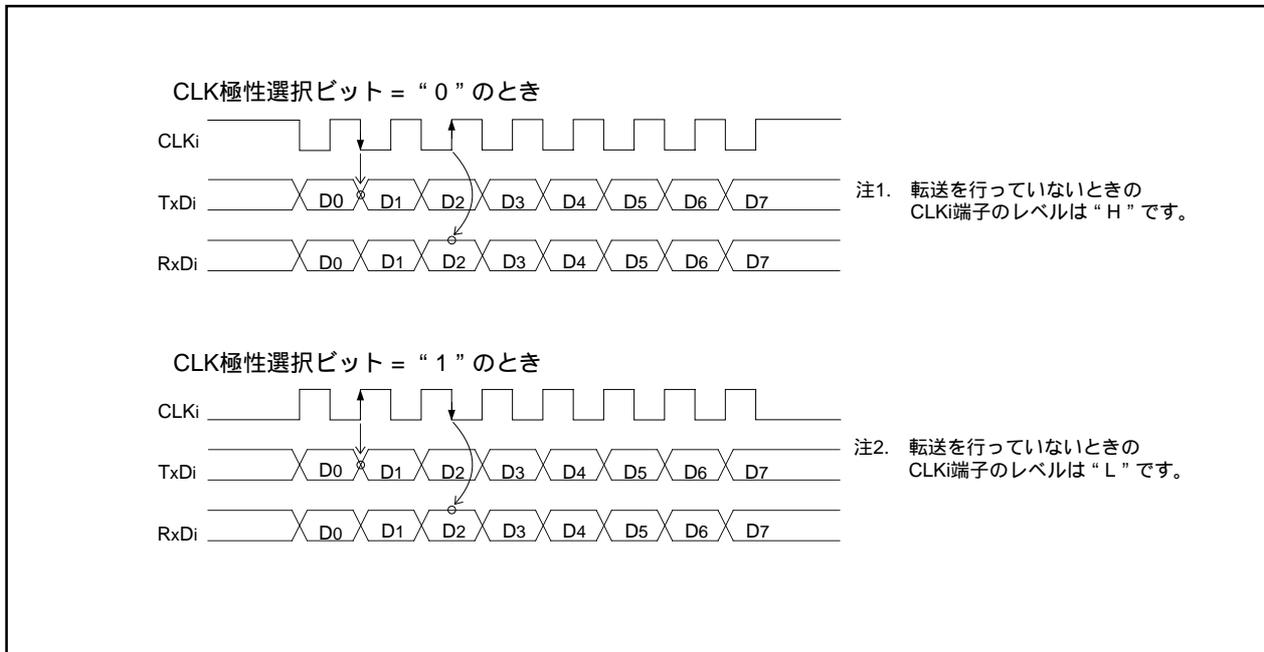


図12.8. 転送クロックの極性

### 12.1.2. LSBファースト/MSBファースト選択機能

図12.9に示すように、転送フォーマット選択ビット(00A4<sub>16</sub>, 00AC<sub>16</sub>番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

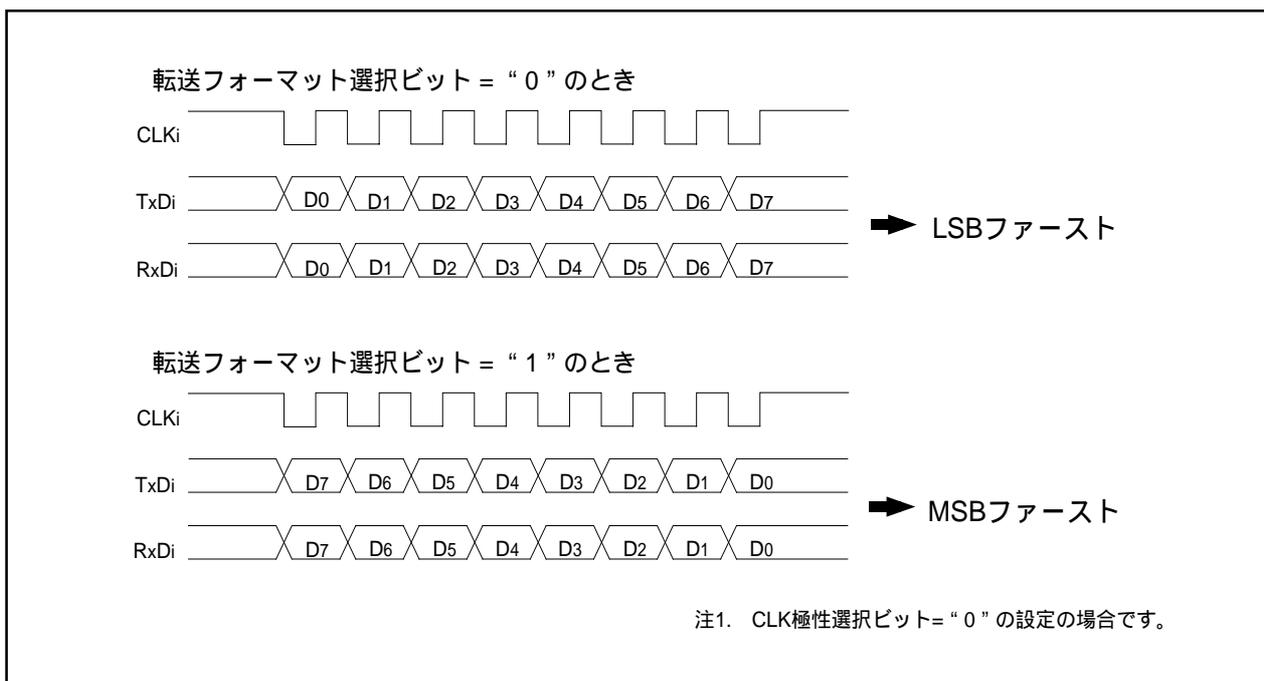


図12.9. 転送フォーマット

### 12.1.3. 転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(00B0<sub>16</sub>番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図12.10)。この機能は、UART1で内部クロック選択時だけ有効な機能です。

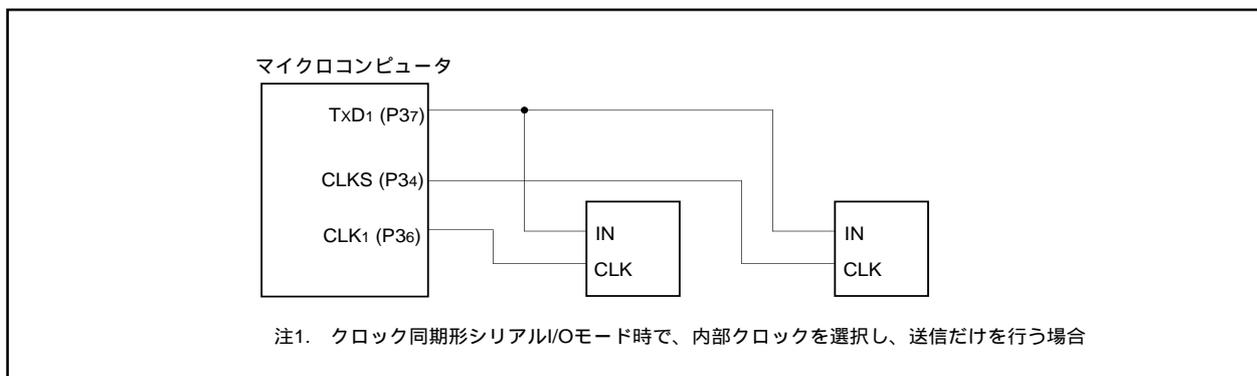


図12.10. 転送クロック複数端子出力機能の使用例

### 12.1.4. 連続受信モード

連続受信モード許可ビット(00B0<sub>16</sub>番地のビット2、ビット3)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

### 12.1.5. RxD<sub>1</sub>入力端子選択機能(UART1)

RxD<sub>1</sub>入力端子を2本設定し、RxD<sub>1</sub>入力端子選択ビット(00B0<sub>16</sub>のビット6)の切り替えによって1本を選択し、シリアルデータの入力を行います。

RxD<sub>1</sub>入力端子選択ビットに“1”(P3<sub>5</sub>)を選択した場合、P3<sub>7</sub>はTxD<sub>1</sub>出力端子となります。

“0”(P3<sub>7</sub>)を選択した場合、シリアルデータ出力は行えません。ただしP3<sub>5</sub>は入出力ポートとして使用できます。

## 12.2. クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表12.3にクロック非同期形シリアルI/Oモードの仕様を、図12.11にUARTi送受信モードレジスタの構成を示します。

表12.3. クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(00A0 <sub>16</sub> 、00A8 <sub>16</sub> 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}, f_c$ 外部クロック選択時(00A0 <sub>16</sub> 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1) (注2)
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(00A5 <sub>16</sub> 、00AD <sub>16</sub> 番地のビット0)=“1” ・送信バッファ空フラグ(00A5 <sub>16</sub> 、00AD <sub>16</sub> 番地のビット1)=“0”
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(00A5 <sub>16</sub> 、00AD <sub>16</sub> 番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	送信時 ・送信割り込み要因選択ビット(00B0 <sub>16</sub> 番地のビット0、1)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(00B0 <sub>16</sub> 番地のビット0、1)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時に、パリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります
選択機能	RxD <sub>1</sub> 入力端子選択 UART1のRxD <sub>1</sub> 端子を2本設定し、ソフトウェアによって入力端子を選択可

注1. nはUARTi転送速度レジスタに設定した00<sub>16</sub>~FF<sub>16</sub>の値です。

注2.  $f_{EXT}$ はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファレジスタは不定になります。

またUARTi 受信割り込み要求ビットは変化しません。

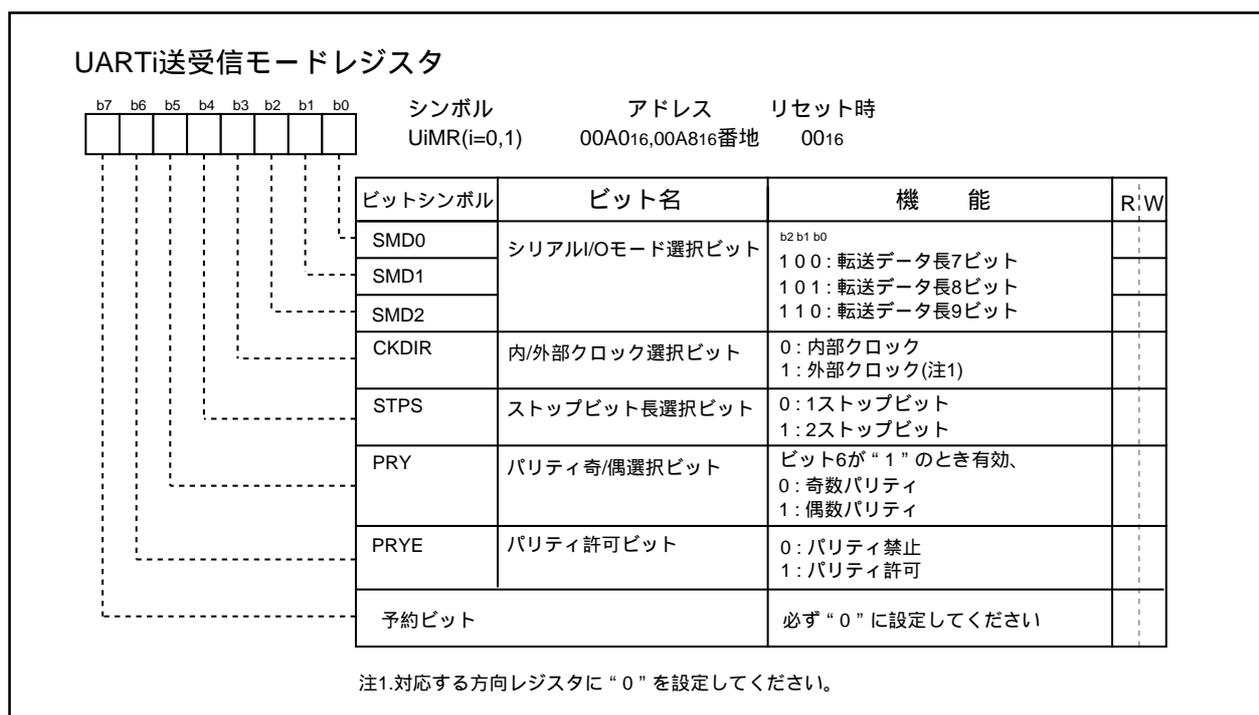


図12.11. UARTモード時のUARTi送受信モードレジスタの構成

表12.4に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表12.4. クロック非同期形シリアルI/Oモード時の入出力端子の機能

機能	端子名	選択方法	備考
シリアルデータ出力	TxD0(P14)	——	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、P14を入出力ポートとして使用不可。
	TxD1(P37)	RxD1入力端子選択ビット (00B0番地のビット6) = “1”	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、P37を入出力ポートとして使用不可。
シリアルデータ入力	RxD0(P15)	ポートP15の方向レジスタ (00E1番地のビット5) = “0”	シリアルデータ入力不要で、シリアルデータ出力のみを行う場合は、P15を入出力ポートとして使用可能。
	RxD1(P35)	ポートP35の方向レジスタ (00E7番地のビット5) = “0” RxD1入力端子選択ビット (00B0番地のビット6) = “1”	シリアルデータ入力不要で、シリアルデータ出力のみを行う場合は、P35を入出力ポートとして使用可能。
	RxD1(P37)	ポートP37の方向レジスタ (00E7番地のビット7) = “0” RxD1入力端子選択ビット (00B0番地のビット6) = “0”	P37をRxD1として選択時、シリアルデータ出力は行えません。 P35は入出力ポートとして使用可能。
転送クロック入力	CLKi(P16,P36)	内 / 外部クロック選択ビット (00A0, 00A8番地のビット3) = “1” ポートP16, P36の方向レジスタ (00E3,00E7番地のビット6) = “0”	転送クロック入力を行わない場合、P16, P36を入出力ポートとして使用可能。その場合、内 / 外部クロック選択ビットを“0”に設定してください。

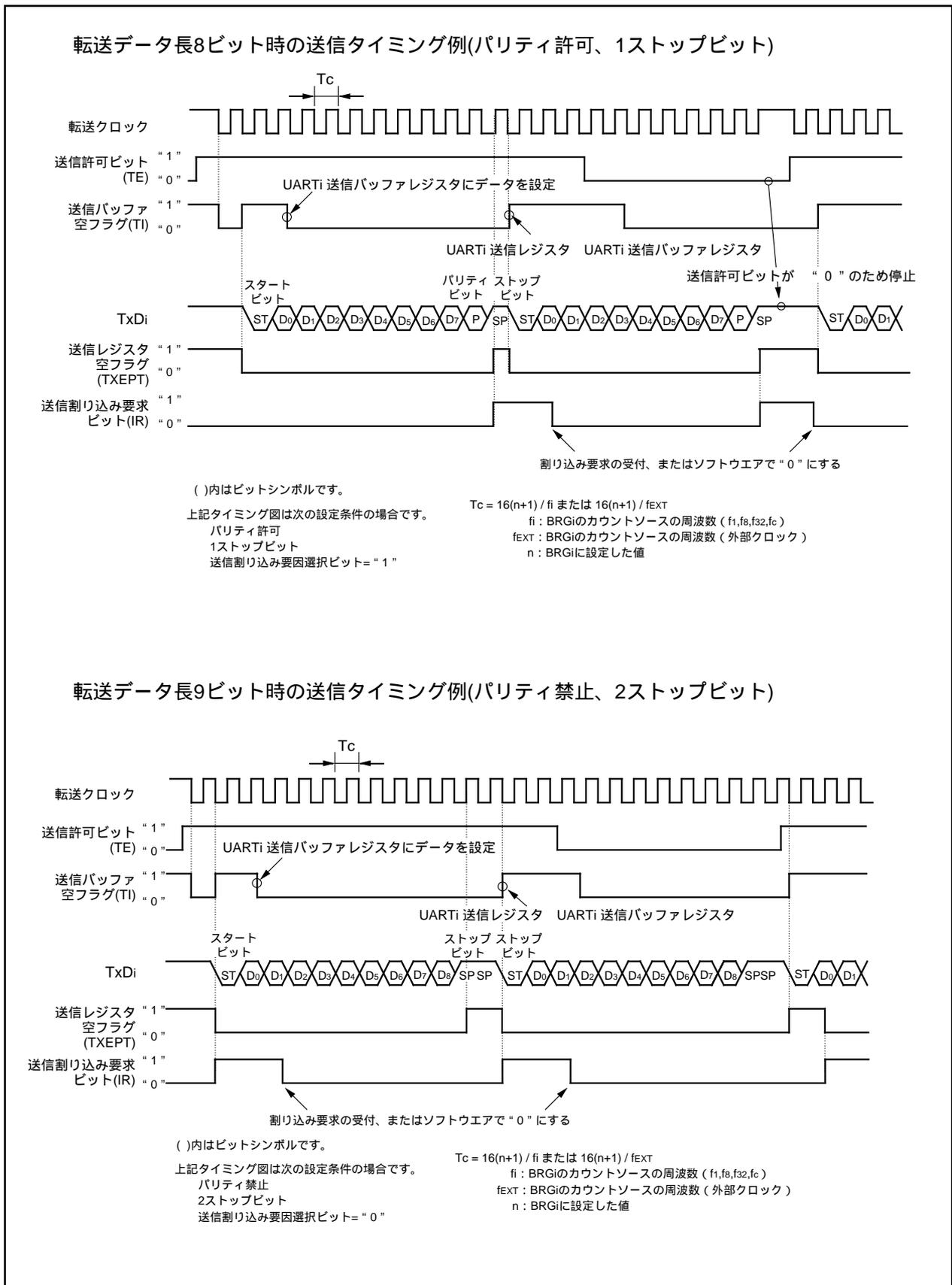


図12.12. UARTモード時の送信タイミング例

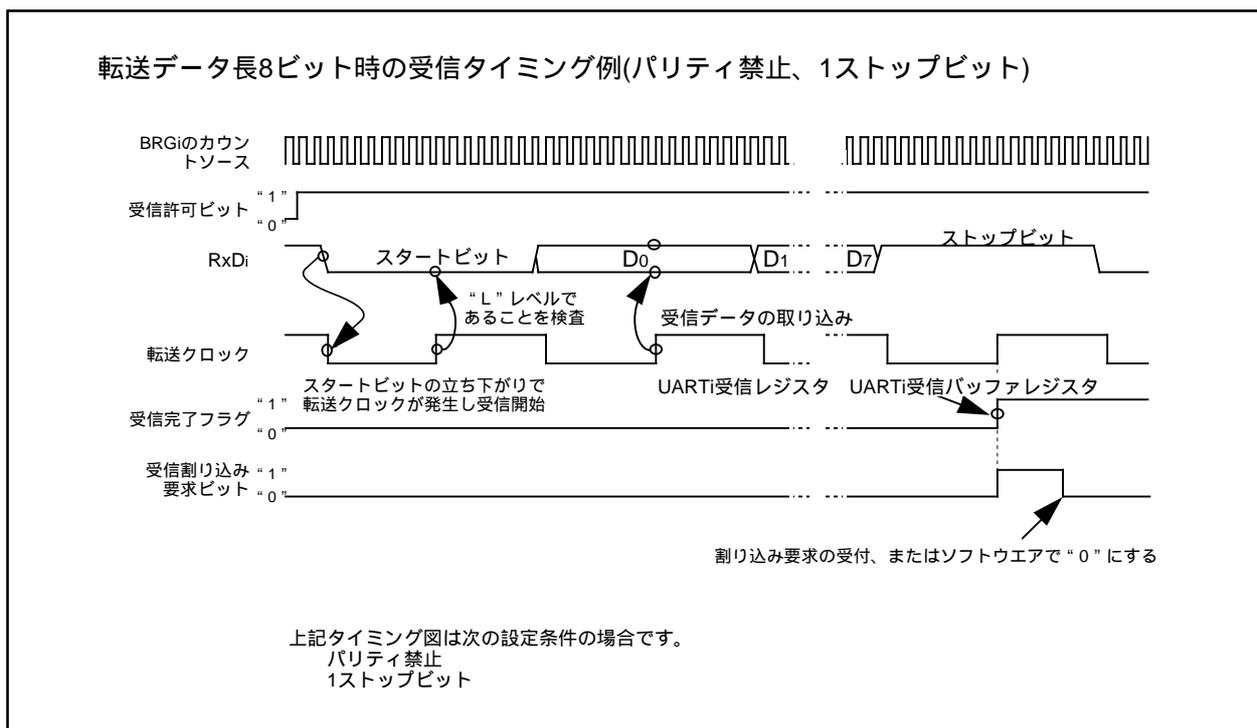


図12.13. UARTモード時の受信タイミング例

### 12.2.1. RxD<sub>1</sub>入力端子選択機能(UART1)

RxD<sub>1</sub>入力端子を2本設定し、RxD<sub>1</sub>入力端子選択ビット(00B0<sub>16</sub>のビット6)の切り替えによって1本を選択し、シリアルデータの入力を行います。

RxD<sub>1</sub>入力端子選択ビットに“1”(P3<sub>5</sub>)を選択した場合、P3<sub>7</sub>はTxD<sub>1</sub>出力端子となります。

“0”(P3<sub>7</sub>)を選択した場合、シリアルデータ出力は行えません。ただしP3<sub>5</sub>は入出力ポートとして使用できます。

### 13. A/Dコンバータ

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA/Dコンバータを1回路内蔵しています。アナログ信号入力端子は、P00～P07,P10～P13,P40,P41と共用していますのでA/D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(00D7<sub>16</sub>番地のビット5)によりA/Dコンバータを使用しないとき、A/Dコンバータの抵抗ラダーと基準電圧入力端子(V<sub>REF</sub>)を切り離すことができます。切り離すことにより、V<sub>REF</sub>端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A/Dコンバータを使用する場合は、V<sub>REF</sub>を接続してからA/D変換をスタートさせてください。

A/D変換した結果は、A/Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表13.1にA/Dコンバータの性能を、図13.1にA/Dコンバータのブロック図を、図13.2、図13.3にA/Dコンバータ関連のレジスタを示します。

表13.1. A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～V <sub>CC</sub>
動作クロック AD(注2)	V <sub>CC</sub> = 5Vのとき f <sub>AD</sub> /f <sub>AD</sub> の2分周/f <sub>AD</sub> の4分周、f <sub>AD</sub> =f(X <sub>IN</sub> ) V <sub>CC</sub> = 3Vのとき f <sub>AD</sub> の2分周/f <sub>AD</sub> の4分周、f <sub>AD</sub> =f(X <sub>IN</sub> )
分解能	8/10ビット選択可能
絶対精度	V <sub>CC</sub> = 5Vのとき サンプル&ホールド機能なし ±3LSB サンプル&ホールド機能あり(分解能8ビット) ±2LSB サンプル&ホールド機能あり(分解能10ビット) AN <sub>0</sub> ～AN <sub>11</sub> 入力の場合 ±3LSB ANEX <sub>0</sub> 、ANEX <sub>1</sub> 入力の場合(外部オペアンプ接続モードを含む) ±7LSB V <sub>CC</sub> = 3Vのとき サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード(注3)
アナログ入力端子	12本(AN <sub>0</sub> ～AN <sub>11</sub> )+2本(ANEX <sub>0</sub> ～ANEX <sub>1</sub> )
A/D変換開始条件	ソフトウェアトリガ A/D変換開始フラグを“1”にするとA/D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(X<sub>IN</sub>)が10MHzを超える場合はf<sub>AD</sub>を分周し、AD動作クロック周波数(f<sub>AD</sub>)が10MHz以下になるようにしてください。また、V<sub>CC</sub>が4.2V未満の場合およびメインクロックにRC外付け回路を使用する場合もf<sub>AD</sub>を分周し、AD動作クロック周波数(f<sub>AD</sub>)がf<sub>AD</sub>/2以下になるようにしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

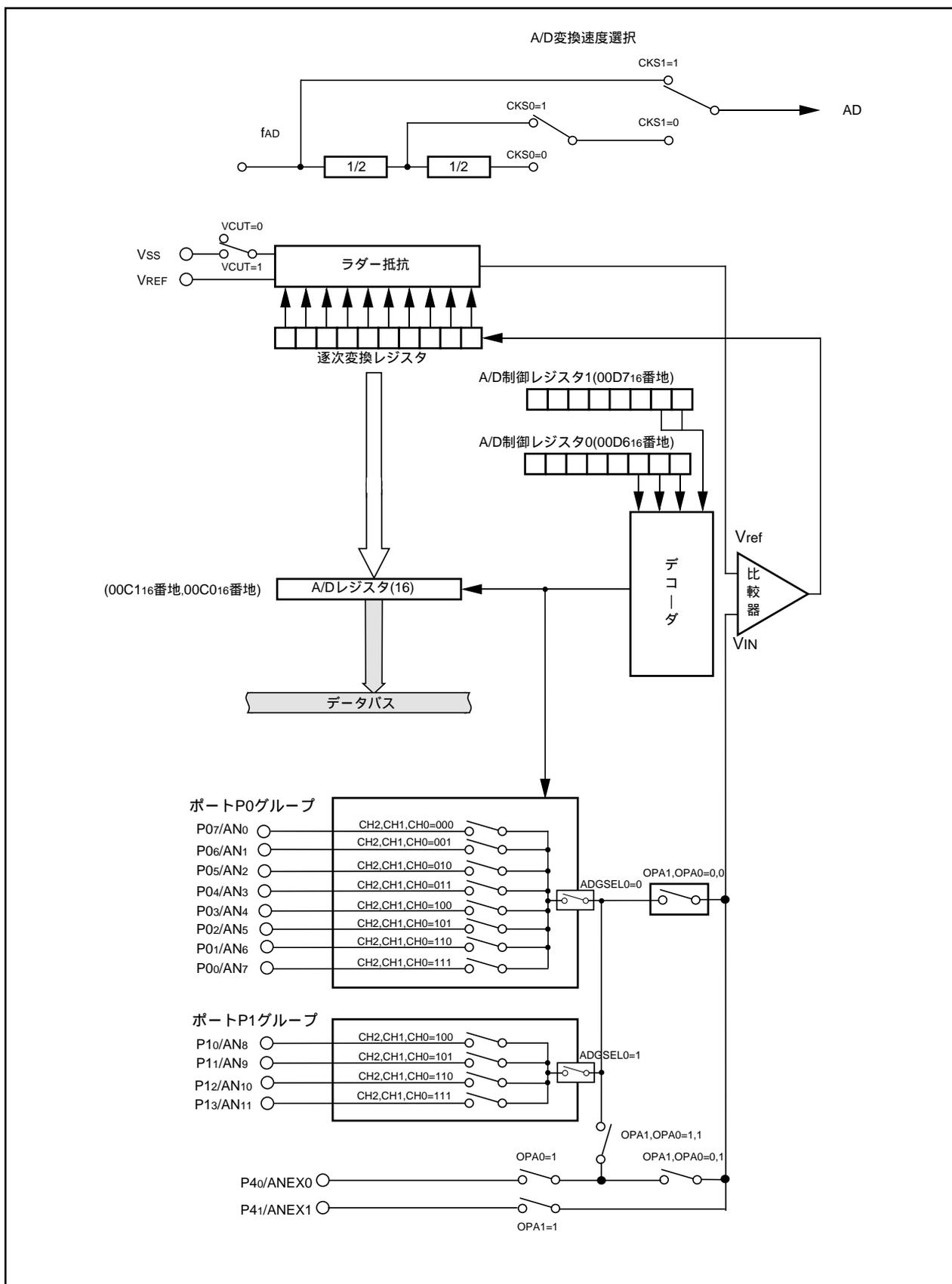


図13.1. A/Dコンバータのブロック図

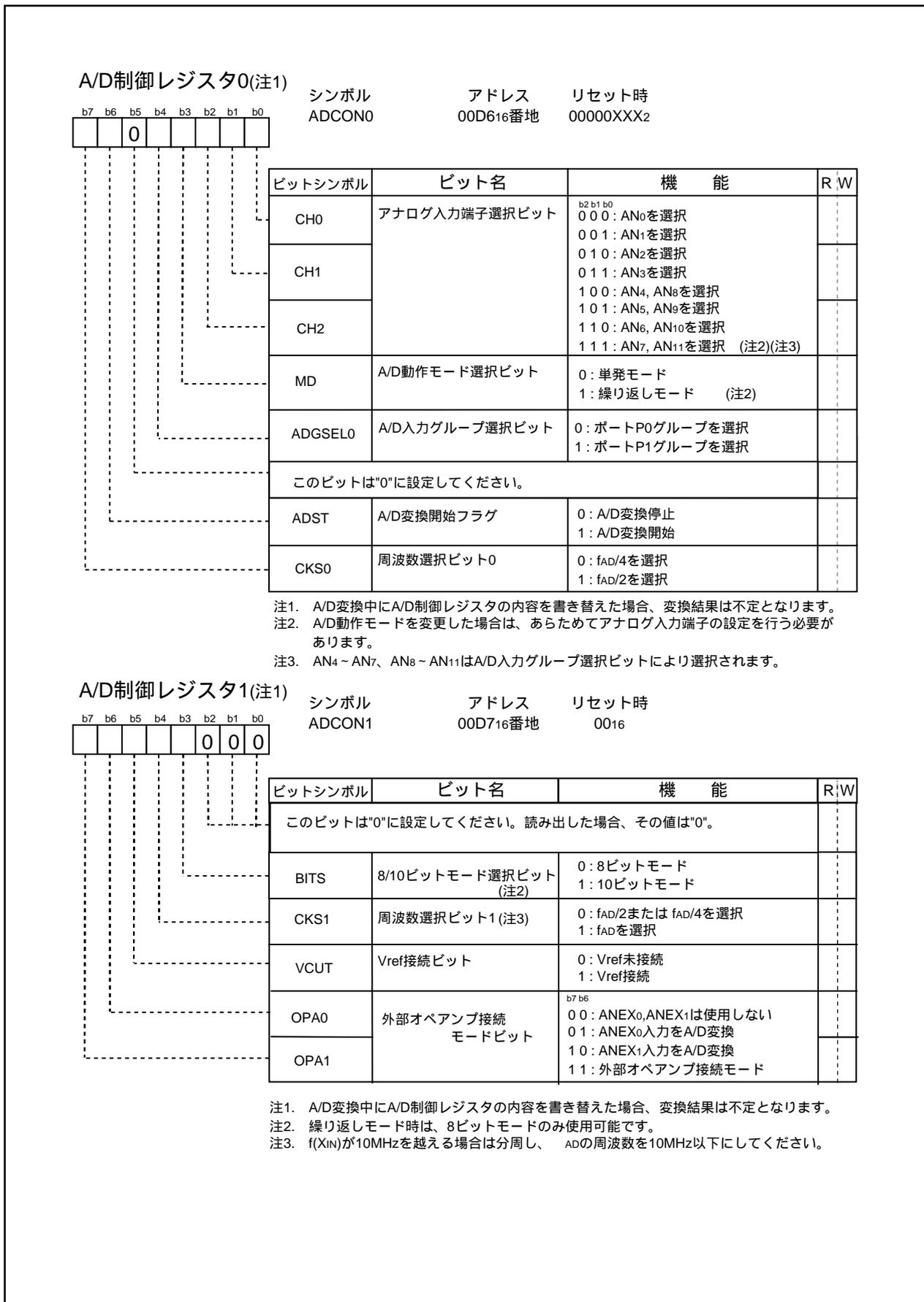


図13.2. A/Dコンバータ関連レジスタ(1)

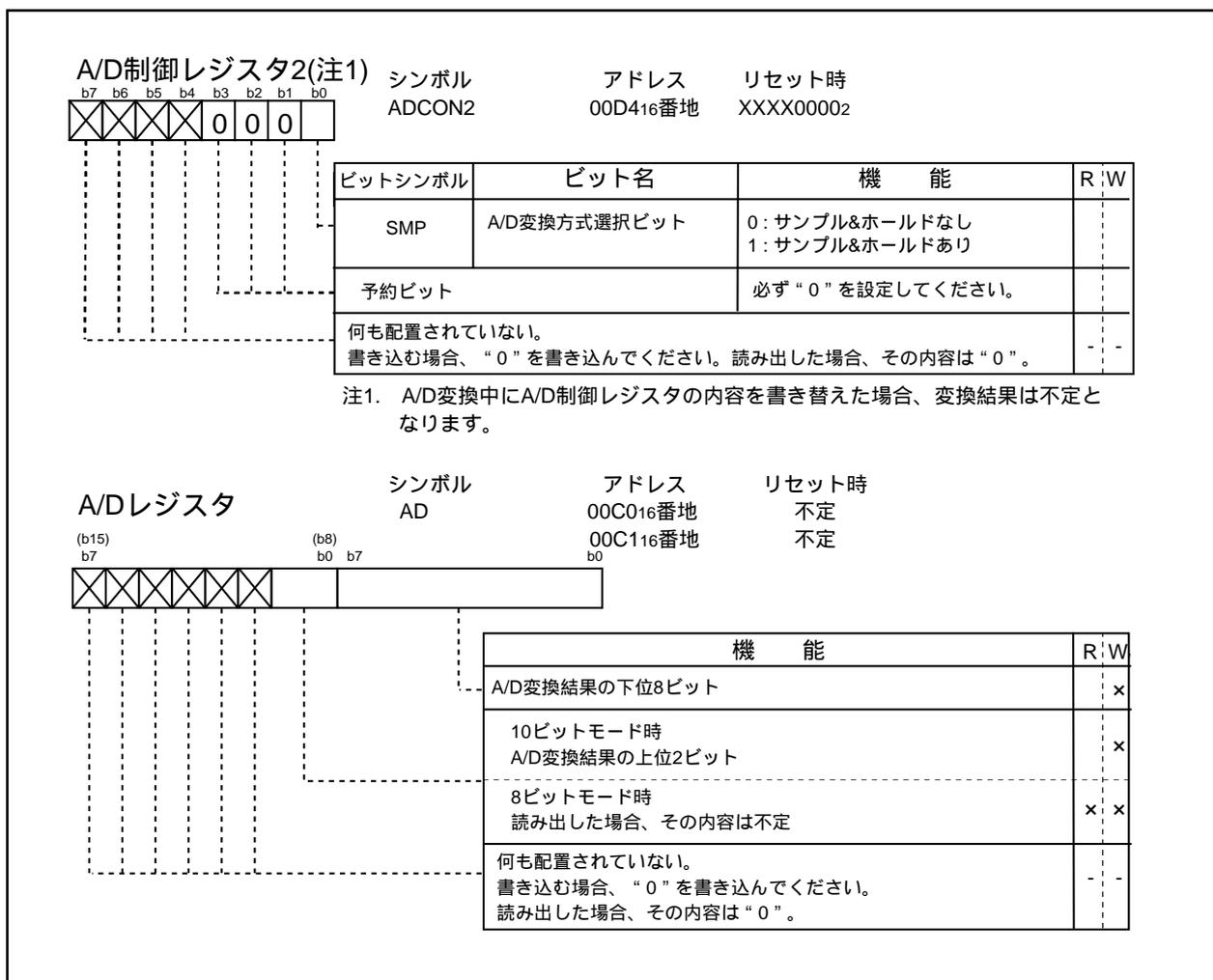


図13.3. A/Dコンバータ関連レジスタ(2)

## 13.1. 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換するモードです。表13.2に単発モードの仕様、図13.4に単発モード時のA/D制御レジスタ構成を示します。

表13.2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換終了(A/D変換開始フラグは“0”になる。) A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN0 ~ AN11より1端子を選択
A/D変換値の読み出し	A/Dレジスタの読み出し

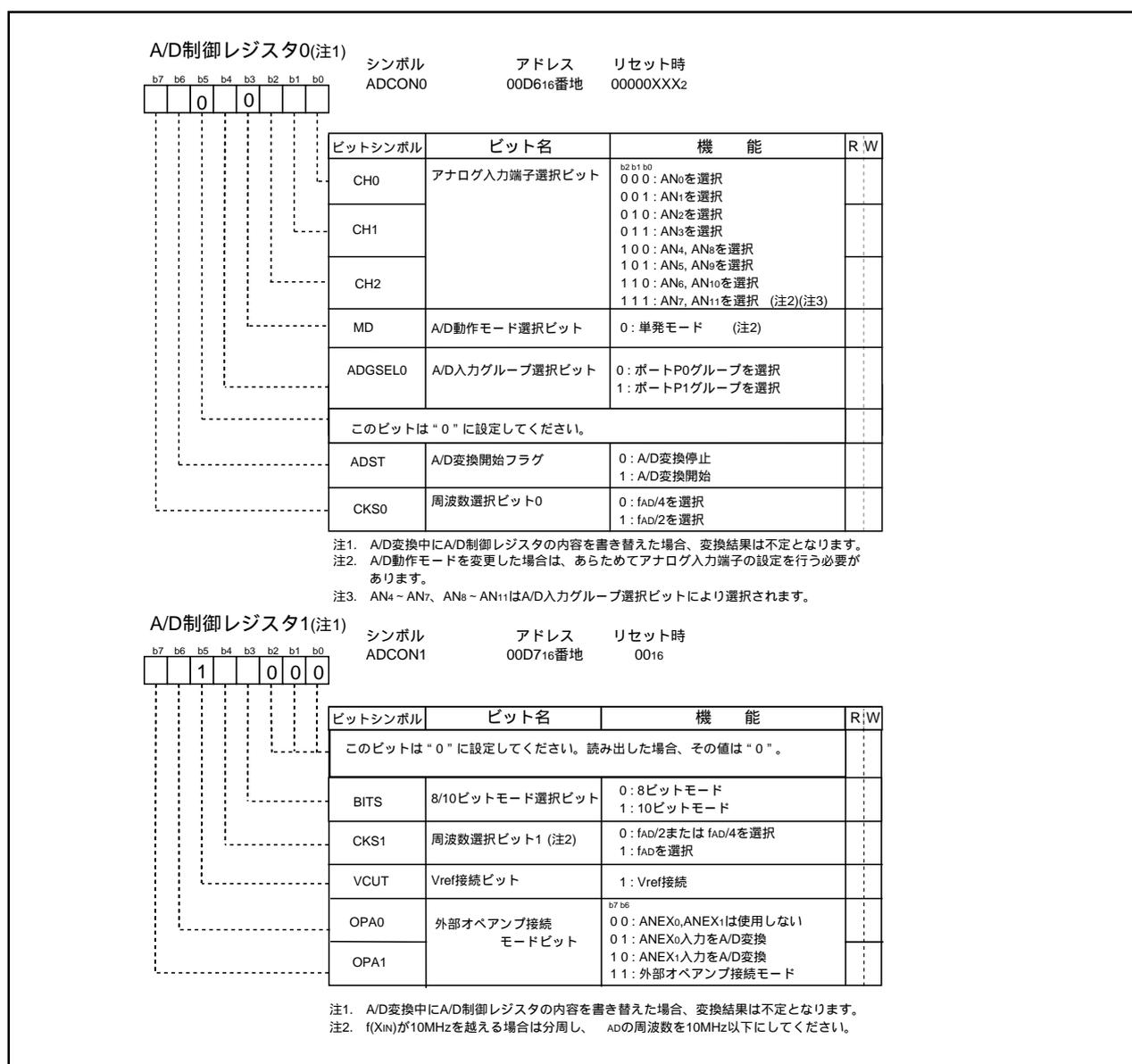


図13.4. 単発モード時のA/D制御レジスタ

## 13.2. 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換するモードです。表13.3に繰り返しモードの仕様、図13.5に繰り返しモード時のA/D制御レジスタ構成を示します。

表13.3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN11より1端子を選択(注1)
A/D変換値の読み出し	A/Dレジスタの読み出し(常時読み出し可能)

注1. AN4～AN7と同様にAN8～AN11を使用できます。

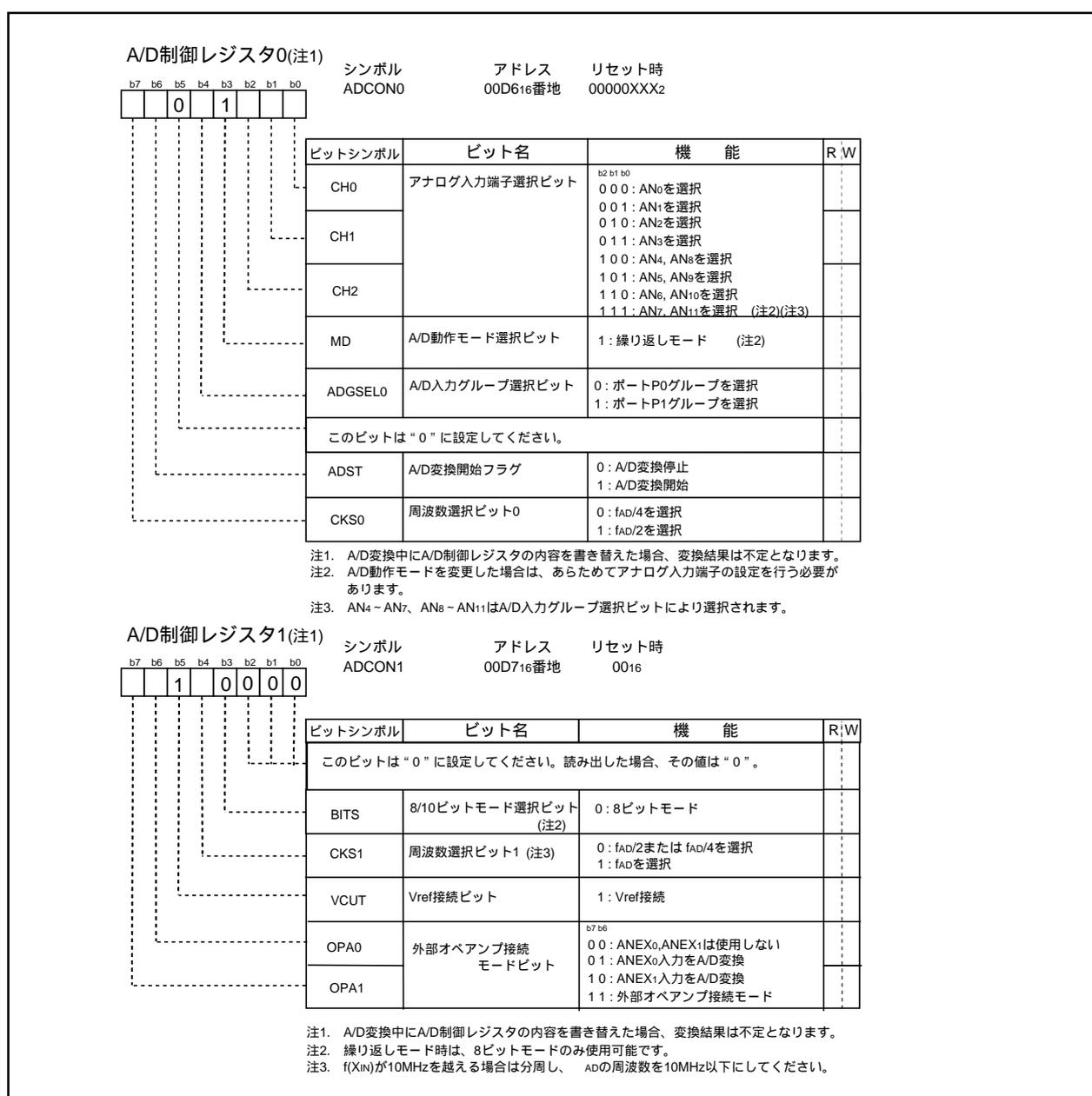


図13.5. 繰り返しモード時のA/D制御レジスタ

### 13.3. サンプル&ホールド

A/D制御レジスタ2(00D4<sub>16</sub>番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28<sub>AD</sub> サイクル、分解能10ビットの場合33<sub>AD</sub> サイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA/D変換を開始してください。

### 13.4. 拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX<sub>0</sub>、ANEX<sub>1</sub>の2端子からの入力をA/D変換することができます。

A/D制御レジスタ1(00D7<sub>16</sub>番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX<sub>0</sub>からの入力をA/D変換します。

A/D制御レジスタ1(00D7<sub>16</sub>番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX<sub>1</sub>からの入力をA/D変換します。

### 13.5. 外部オペアンプ接続モード

拡張アナログ入力端子ANEX<sub>0</sub>、ANEX<sub>1</sub>を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A/D変換入力として使用することができます。

A/D制御レジスタ1(00D7<sub>16</sub>番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN<sub>0</sub>～AN<sub>11</sub>からの入力をANEX<sub>0</sub>から出力します。A/D変換はANEX<sub>1</sub>からの入力に対して行われ、A/D変換結果はA/Dレジスタに格納されます。A/D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX<sub>0</sub>端子とANEX<sub>1</sub>端子とを直結して使用しないでください。図13.6に外部オペアンプ接続モードの接続例を示します。

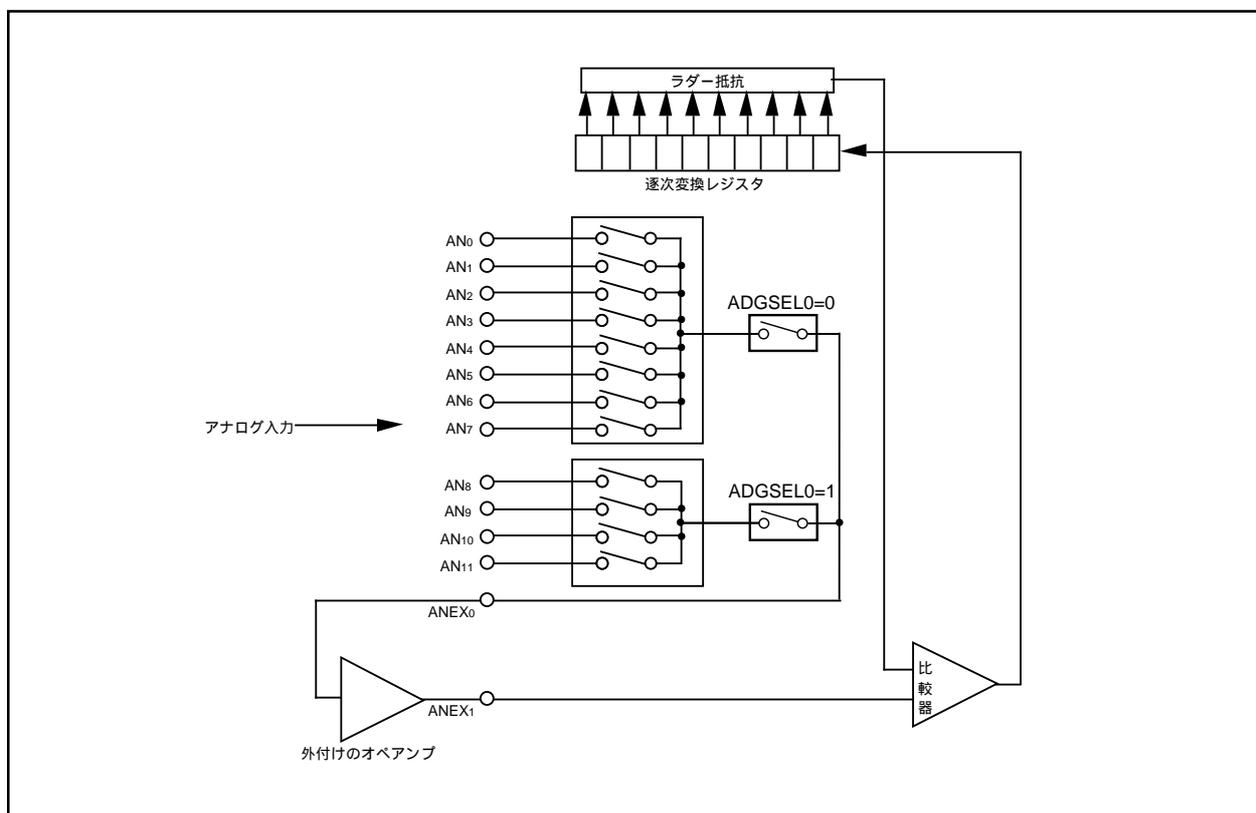


図13.6 外部オペアンプ接続モードの接続例

## 14. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した1つのD/Aコンバータを内蔵しています。

D/A変換は、対応したD/Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD/A制御レジスタのビット0(D/A出力許可ビット)によって設定します。D/A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D/A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D/Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

VREF:基準電圧

表14.1にD/Aコンバータの性能を、図14.1にD/Aコンバータのブロック図を、図14.2にD/A制御レジスタの構成、図14.3にD/Aコンバータの等価回路を示します。

表14.1. D/Aコンバータの性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	1チャンネル

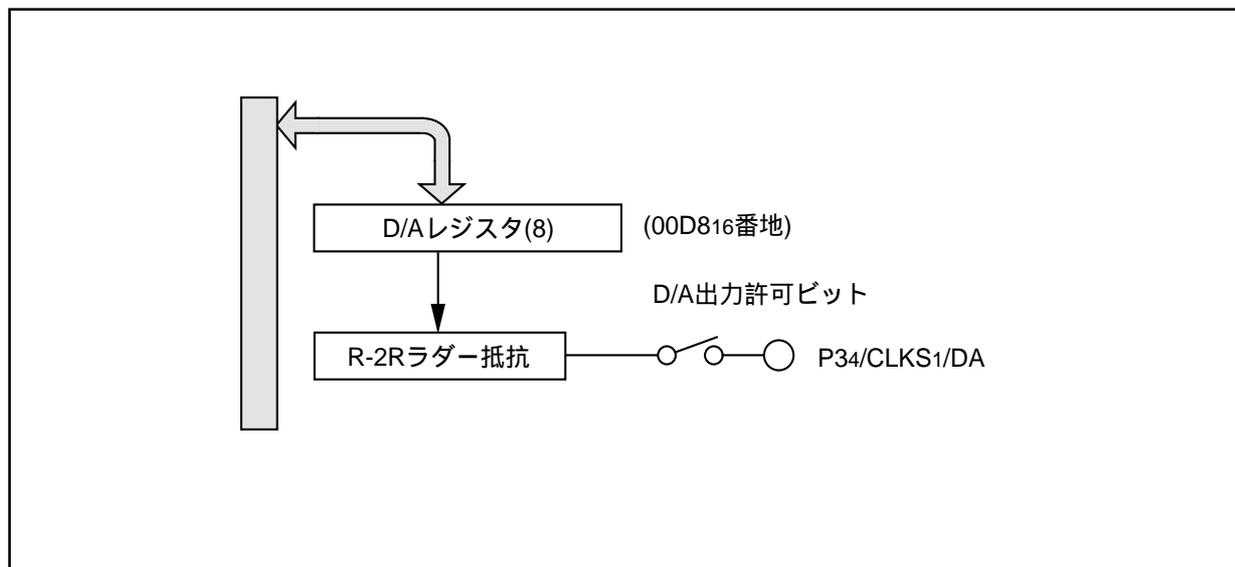


図14.1. D/Aコンバータのブロック図



## 15. プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P4の34本(M30102の場合)あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。ポートP1はNch出力トランジスタの駆動能力を設定できます。駆動能力を“HIGH”に設定することで、LED駆動ポートとして使用できます。

プログラマブル入出力ポートの構成を、図15.1～図15.4に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D/Aコンバータ以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D/Aコンバータの出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

### 15.1. 方向レジスタ

方向レジスタの構成を、図15.5に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

### 15.2. ポートレジスタ

ポートレジスタの構成を、図15.6に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

### 15.3. プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図15.7に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されません。

### 15.4. ポートP1駆動能力制御レジスタ

ポートP1駆動能力制御レジスタの構成を、図15.7に示します。

ポートP1のnチャンネル出力トランジスタの駆動能力を制御するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

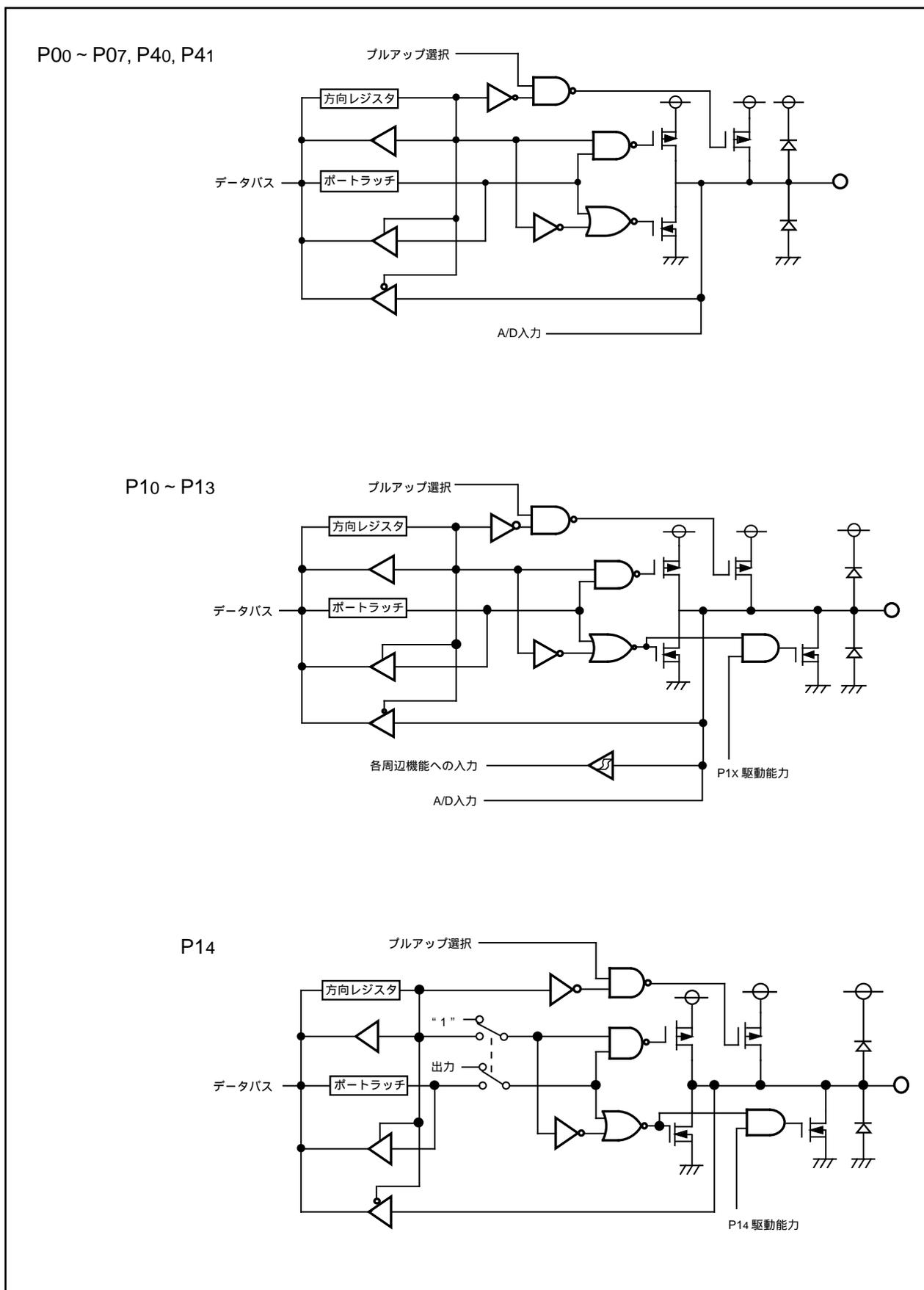


図15.1. プログラマブル入出力ポートの構成(1)

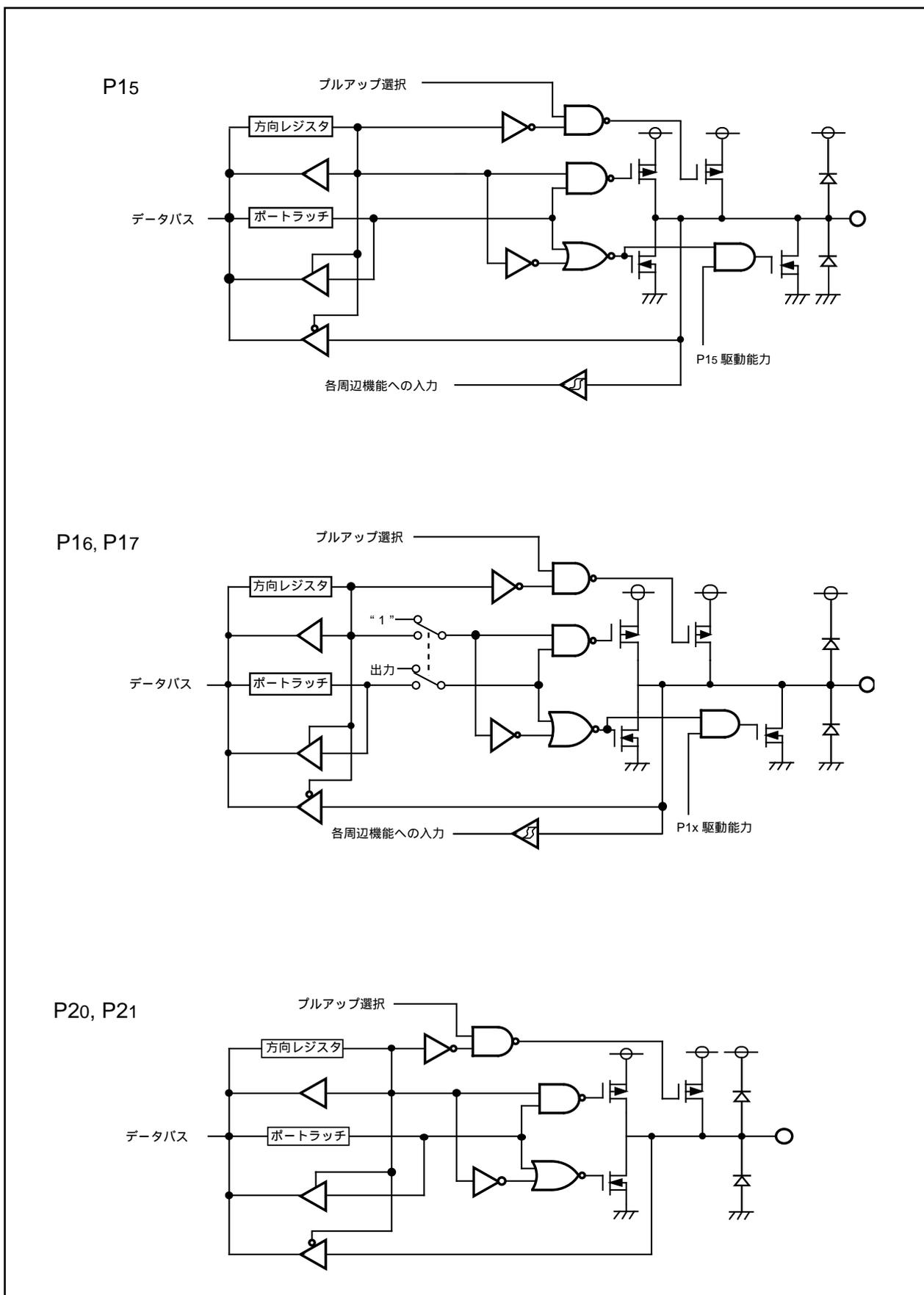


図15.2. プログラマブル入出力ポートの構成(2)

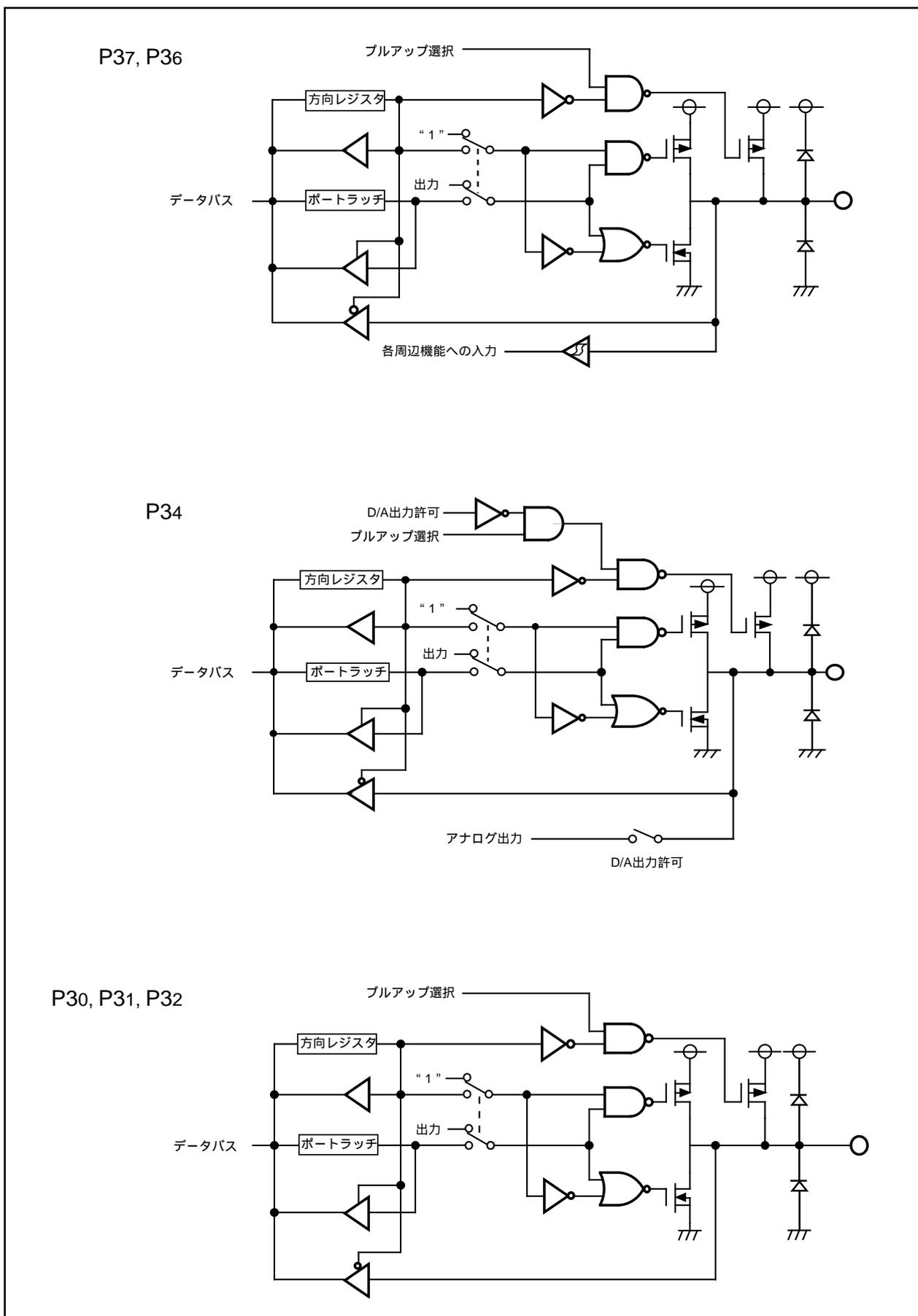


図15.3. プログラマブル入出力ポートの構成(3)

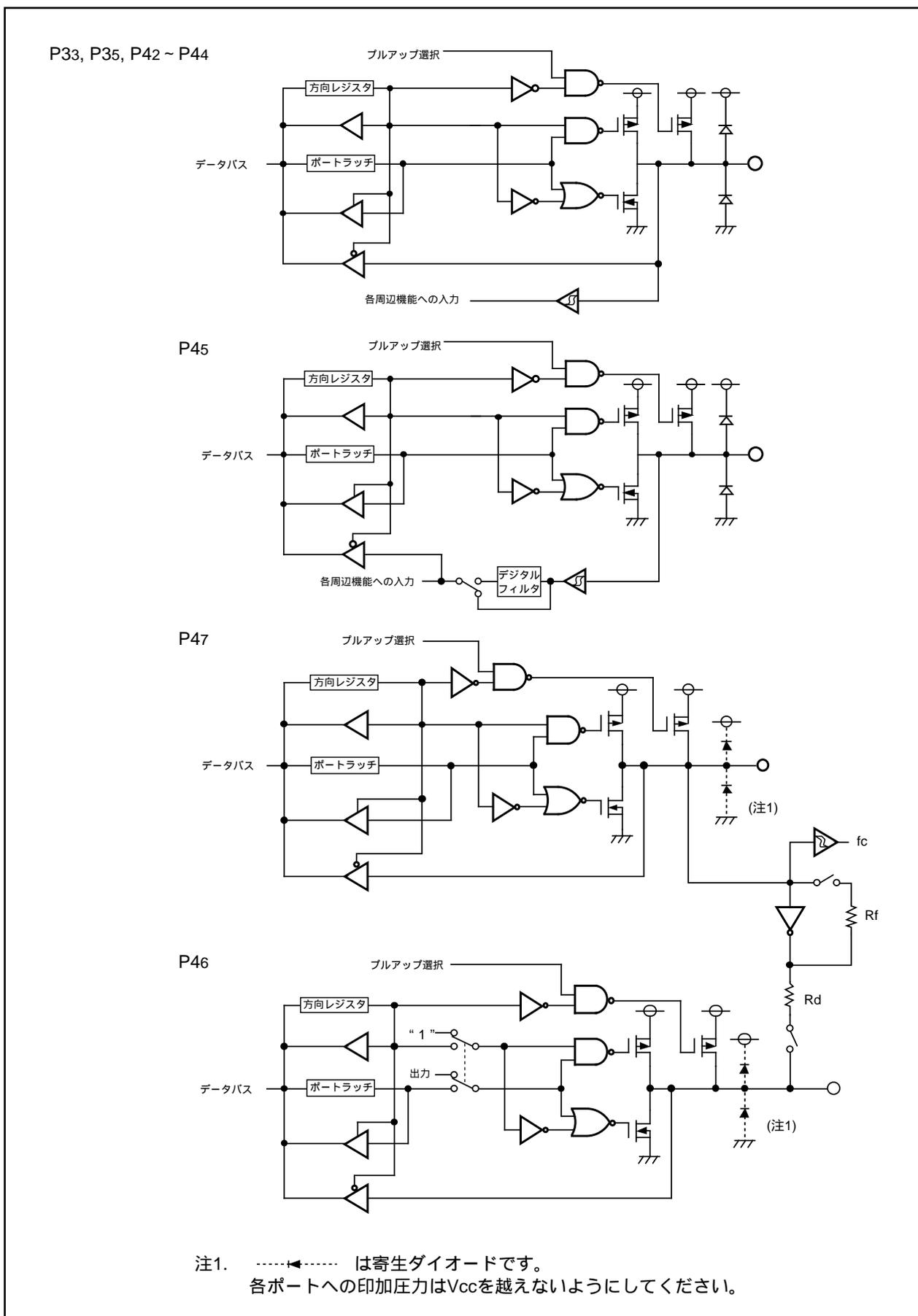


図15.4. プログラマブル入出力ポートの構成(4)

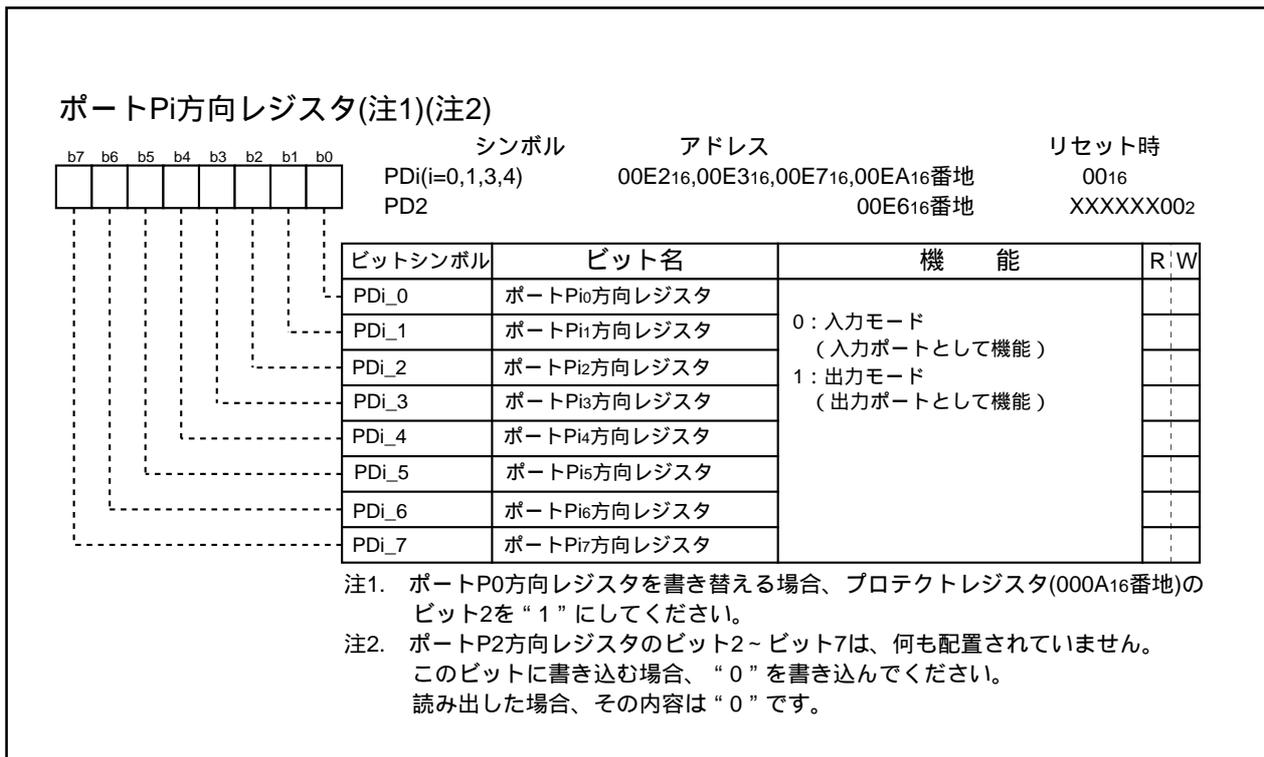


図15.5. 方向レジスタの構成

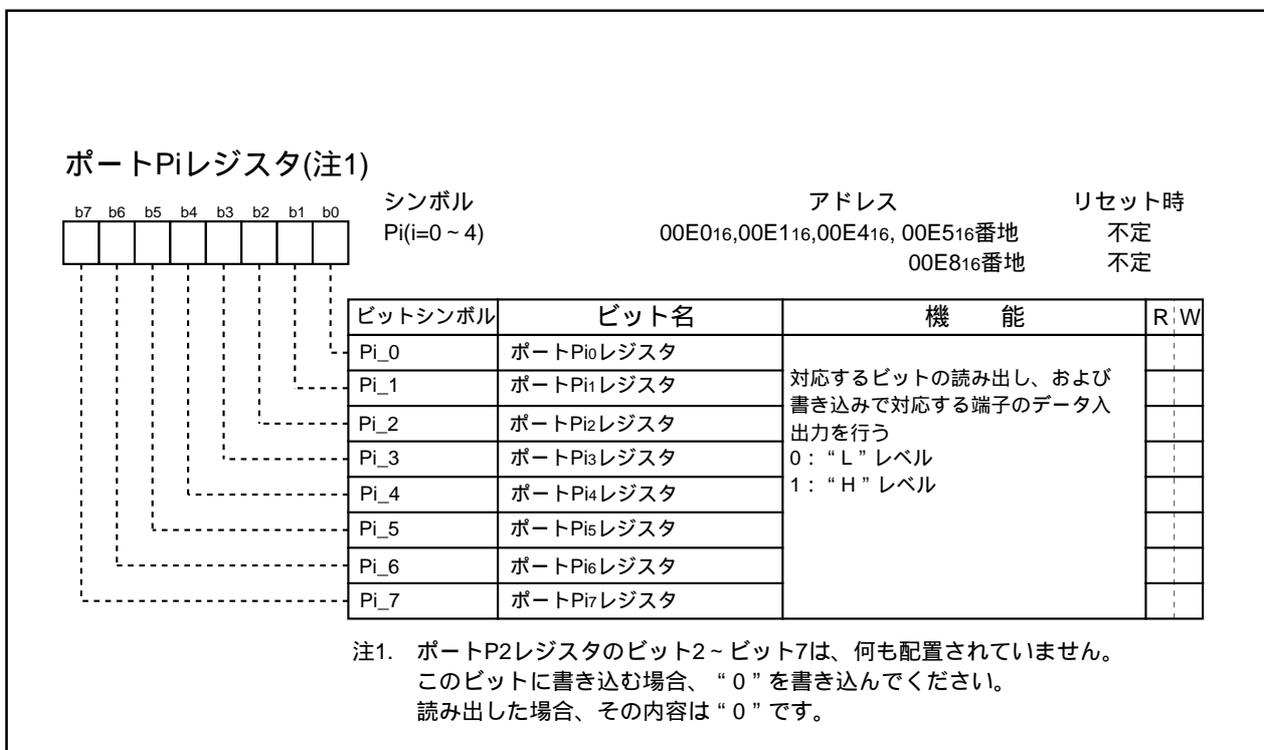
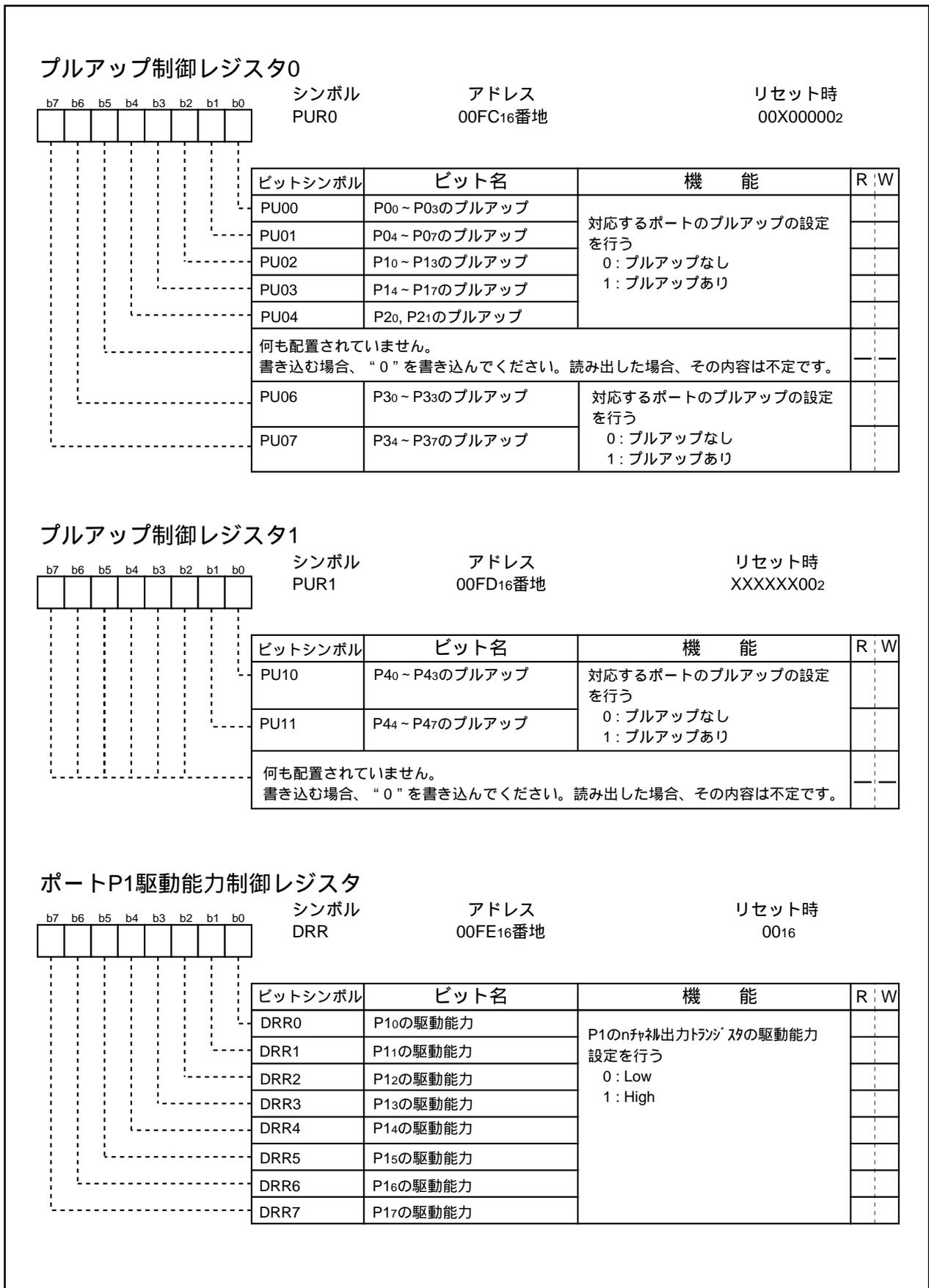


図15.6. ポートレジスタの構成



シンボル  
DRR

アドレス  
00FE<sub>16</sub>番地

リセット時  
00<sub>16</sub>

b7 b6 b5 b4 b3 b2 b1 b0


ビットシンボル	ビット名	機能	R	W
DRR0	P1 <sub>0</sub> の駆動能力	P1のnチャネル出力レジスタの駆動能力設定を行う 0: Low 1: High		
DRR1	P1 <sub>1</sub> の駆動能力			
DRR2	P1 <sub>2</sub> の駆動能力			
DRR3	P1 <sub>3</sub> の駆動能力			
DRR4	P1 <sub>4</sub> の駆動能力			
DRR5	P1 <sub>5</sub> の駆動能力			
DRR6	P1 <sub>6</sub> の駆動能力			
DRR7	P1 <sub>7</sub> の駆動能力			

図15.7. プルアップ制御レジスタの構成

## 15.5. 未使用端子の処理

未使用端子の処理例を、表15.1に示します。

表15.1. 未使用端子の処理例

端子名	処理内容
ポートP0～P4	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放 (注1)
XOUT(注2)	開放
VREF	Vssに接続
XIN(注3)	抵抗を介して、Vccに接続(プルアップ)

注1. 未使用端子処理を行わない場合、ポート内部のシュミット回路にて貫通電流が流れ、電源電流が増えることがあります。必ず未使用端子処理を行ってください。

注2. XIN端子に外部クロックを入力しているとき、またはメインクロック発振回路を使用しないとき

注3. メインクロック発振回路を使用しない場合には、XIN端子をプルアップし、XOUT端子は開放してください。また、メインクロック停止ビット(0006<sub>16</sub>番地のビット5)を"1"(停止)に設定して下さい。

## 16. 電气的特性

### 16.1. Normal-バージョン

表16.1. 絶対最大定格(Normal-バージョン.)

記号	項目	条件	定格値	単位	
V <sub>cc</sub>	電源電圧		-0.3 ~ 6.5	V	
V <sub>i</sub>	入力電圧	RESET, V <sub>REF</sub> , X <sub>IN</sub> P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , CNV <sub>SS</sub>	-0.3 ~ V <sub>cc</sub> +0.3	V	
V <sub>o</sub>	出力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>OUT</sub>	-0.3 ~ V <sub>cc</sub> +0.3	V	
		IV <sub>cc</sub>	マスクROM版	-0.3 ~ V <sub>cc</sub> +0.3	V
			フラッシュメモリ版	-0.3 ~ 3.6	V
P <sub>d</sub>	消費電力	T <sub>a</sub> = 25	300	mW	
T <sub>opr</sub>	動作周囲温度		-20 ~ 85 (注1)		
T <sub>stg</sub>	保存温度		-40 ~ 150		

注1.フラッシュ書き込み / 消去時は25 ± 5 です。

注2.M30100 (32ピン版) ではP2<sub>0</sub>, P2<sub>1</sub>, P3<sub>4</sub> ~ P3<sub>6</sub>, P4<sub>0</sub> ~ P4<sub>4</sub>, P4<sub>6</sub>, P4<sub>7</sub>は外部端子への接続がありません。

表16.2. 推奨動作条件(Normal-バージョン)(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$ 、 $T_{opr}=-20 \sim 85$  )

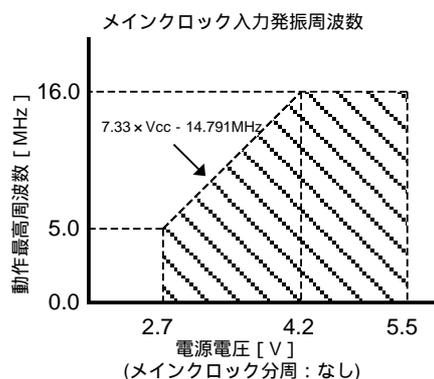
記号	項目		規格値			単位
			最小	標準	最大	
$V_{CC}$	電源電圧		2.7	5.0	5.5	V
$V_{SS}$	電源電圧			0		V
$V_{IH}$	"H"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
$V_{IL}$	"L"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0		0.2V <sub>CC</sub>	V
$I_{OH(peak)}$	"H"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 10.0	mA
$I_{OH(avg)}$	"H"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 5.0	mA
$I_{OL(peak)}$	"L"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			10.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		20.0	mA
			LOW POWER		10.0	mA
$I_{OL(avg)}$	"L"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			5.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		10.0	mA
			LOW POWER		5.0	mA
$f(X_{IN})$	メインクロック 入力発振周波数 (注4)	$V_{CC}=4.2V \sim 5.5V$	0		16	MHz
		$V_{CC}=2.7V \sim 4.2V$	0		$7.33 \times V_{CC}$ - 14.791	MHz
$f(X_{CIN})$	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>の $I_{OL(peak)}$ の合計は60mA以下、ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>の $I_{OH(peak)}$ の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>の $I_{OL(peak)}$ の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>の $I_{OH(peak)}$ の合計は60mA以下にしてください。

注3. メインクロック入力周波数と電源電圧の関係を以下に示します。

注4. M30100 (32ピン版) ではP2<sub>0</sub>, P2<sub>1</sub>, P3<sub>4</sub> ~ P3<sub>6</sub>, P4<sub>0</sub> ~ P4<sub>4</sub>, P4<sub>6</sub>, P4<sub>7</sub>は外部端子への接続がありません。



## Vcc=5V

表16.3. (1) 電気的特性 (Normal-バージョン)(指定のない場合、Vcc=5V,Vss=0V,Topr=-20 ~ 85 ,f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	IOH=-5mA	3.0			V
		IOH=-200 μ A	4.7			
VOH	"H"出力電圧 XOUT	HIGH POWER	IOH=-1mA	3.0		V
		LOW POWER	IOH=-0.5mA	3.0		
VOH	"H"出力電圧 XcOUT (注1)	HIGH POWER	無負荷時 フラッシュメモリ版		3.3	V
			無負荷時 マスクROM版		3.0	
		LOW POWER	無負荷時 フラッシュメモリ版		3.3	
			無負荷時 マスクROM版		1.6	
VOL	"L"出力電圧 P00 ~ P07, P20, P21, P30 ~ P37, P40 ~ P47	IOl=5mA			2.0	V
		IOl=200 μ A			0.45	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOl=10mA		2.0	V
		LOW POWER	IOl=5mA		2.0	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOl=200 μ A		0.3	V
		LOW POWER	IOl=200 μ A		0.45	
VOL	"L"出力電圧 XOUT	HIGH POWER	IOl=1mA		2.0	V
		LOW POWER	IOl=0.5mA		2.0	
VOL	"L"出力電圧 XcOUT	HIGH POWER	無負荷時		0	V
		LOW POWER	無負荷時		0	
VT+-VT-	ヒステリシス CNTR0, TCIN, INT0 ~ INT3, CLK0, CLK1, RxD0, RxD1, K10 ~ K13, P45		0.2		0.8	V
VT+-VT-	ヒステリシス RESET		0.2		1.8	V
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVss	Vi=5V			5.0	μ A
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVss	Vi=0V			-5.0	μ A
RPULLUP	ブルアップ抵抗 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	Vi=0V	30.0	50.0	167.0	k
RfXIN	帰還抵抗 XIN			1.0		M
RfXCIN	帰還抵抗 XcIN			6.0		M
VRAM	RAM保持電圧	クロック停止時	2.0			V
ROSC	オンチップオシレータ発振周波数	マスクROM版	300	600	1200	kHz
		フラッシュメモリ版	300	600	1200	kHz

注1. フラッシュメモリ版とマスクROM版でXcOUTのVOH規格値が異なります。  
このため、サブクロックの発振定数が両者で異なる可能性がありますので、ご注意ください。

## Vcc=5V

表16.3. (2) 電気的特性(Normal-バージョン) (指定のない場合、Vcc=5V, Vss=0V, Topr=25, f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Icc	電源電流	入出力端子は無負荷	マスクROM版	f(XIN)=16MHz		20.0	36.0	mA
			フラッシュメモリ版	方形波、分周なし		18.0	36.0	mA
			マスクROM版	オンチップ オンレータモード		800		μA
			フラッシュメモリ版	分周なし		1300		μA
			マスクROM版	オンチップ オンレータモード		100		μA
			フラッシュメモリ版	ウェイト時		400		μA
			マスクROM版	f(XCIN) = 32kHz		50		μA
			フラッシュメモリ版	方形波		700		μA
			マスクROM版	f(XCIN) = 32kHz		6		μA
			フラッシュメモリ版	ウェイト時		350		μA
			マスクROM版	クロック停止時 Ta=25			2	μA
			マスクROM版	クロック停止時 Ta=85			20	
			フラッシュメモリ版	クロック停止時 Ta=25		300	600	μA
				クロック停止時 Ta=85		300	600	

## VCC=5V

表16.4. A/D変換特性(Normal-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	VREF = VCC			10	Bits	
-	絶対精度	サンプル&ホールド機能なし	VREF = VCC = 5V			±3	LSB
		サンプル&ホールド機能あり(10bit)	AN0 ~ AN11入力			±3	LSB
			ANEX0, ANEX1入力, 外部オペアンプ接続モード			±7	LSB
	サンプル&ホールド機能あり(8bit)	VREF = VCC = 5V			±2	LSB	
RLADDER	ラダー抵抗	VREF = VCC	10		40	k	
tCONV	変換時間(10bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	3.3			μs	
tCONV	変換時間(8bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	2.8			μs	
tsAMP	サンプリング時間	f(XIN)=10MHz, AD=fAD=10MHz	0.3			μs	
VREF	基準電圧	f(XIN)=10MHz, AD=fAD=10MHz	2		VCC	V	
VIA	アナログ入力電圧	f(XIN)=10MHz, AD=fAD=10MHz	0		VREF	V	

注1.  $f(X_{IN})$ は表16.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。  
ただし、 $f(X_{IN})$ が10MHzをこえる時は $f_{AD}$ を分周し、AD動作クロック周波数(AD)が10MHz以下になるようにしてください。また、 $V_{CC}$ が4.2V未満の場合、およびメインクロックにRC外付け回路を使用する場合も $f_{AD}$ を分周し、AD動作クロック周波数(AD)が $f_{AD}/2$ 以下になるようにしてください。

表16.5. D/A変換特性(Normal-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	k
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. A/Dコンバータのラダー抵抗分は除きます。

D/Aレジスタの内容が“00<sub>16</sub>”以外の場合、A/D制御レジスタでVREF未接続としてもI<sub>VREF</sub>は流れます。

**Vcc=5V**

タイミング必要条件(Normal-バージョン) (指定のない場合は、Vcc=5V、Vss=0V、Topr=-20~85 )

表16.6. X<sub>IN</sub>入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (XIN)	XIN入力サイクル時間	62.5		ns
t <sub>WH</sub> (XIN)	XIN入力 "H" パルス幅	30		ns
t <sub>WL</sub> (XIN)	XIN入力 "L" パルス幅	30		ns

表16.7. CNTR0入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CNTR0)	CNTR0入力サイクル時間	100		ns
t <sub>WH</sub> (CNTR0)	CNTR0入力 "H" パルス幅	40		ns
t <sub>WL</sub> (CNTR0)	CNTR0入力 "L" パルス幅	40		ns

表16.8. TCIN入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TCIN)	TCIN入力サイクル時間	400 (注1)		ns
t <sub>WH</sub> (TCIN)	TCIN入力 "H" パルス幅	200 (注2)		ns
t <sub>WL</sub> (TCIN)	TCIN入力 "L" パルス幅	200 (注2)		ns

注1. (1/デジタルフィルタクロック周波数×6)といずれか値の大きい方となります。

注2. (1/デジタルフィルタクロック周波数×3)といずれか値の大きい方となります。

表16.9. シリアルI/O(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CK)	CLKi入力サイクル時間	200		ns
t <sub>w</sub> (CKH)	CLKi入力 "H" パルス幅	100		ns
t <sub>w</sub> (CKL)	CLKi入力 "L" パルス幅	100		ns
t <sub>d</sub> (C-Q)	TxDi出力遅延時間		80	ns
t <sub>h</sub> (C-Q)	TxDiホールド時間	0		ns
t <sub>su</sub> (D-C)	RxDi入力セットアップ時間	30		ns
t <sub>h</sub> (C-D)	RxDi入力ホールド時間	90		ns

表16.10. 外部割り込みINTi入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>w</sub> (INH)	INTi入力 "H" パルス幅	250 (注1)		ns
t <sub>w</sub> (INL)	INTi入力 "L" パルス幅	250 (注2)		ns

注1. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"H"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

注2. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"L"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

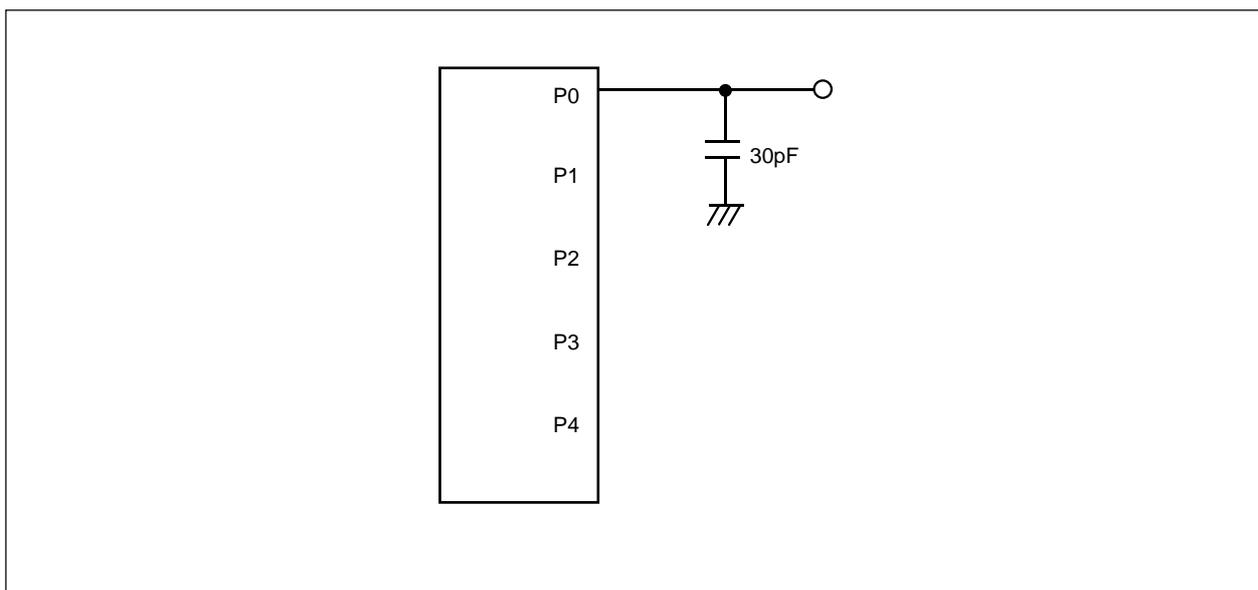
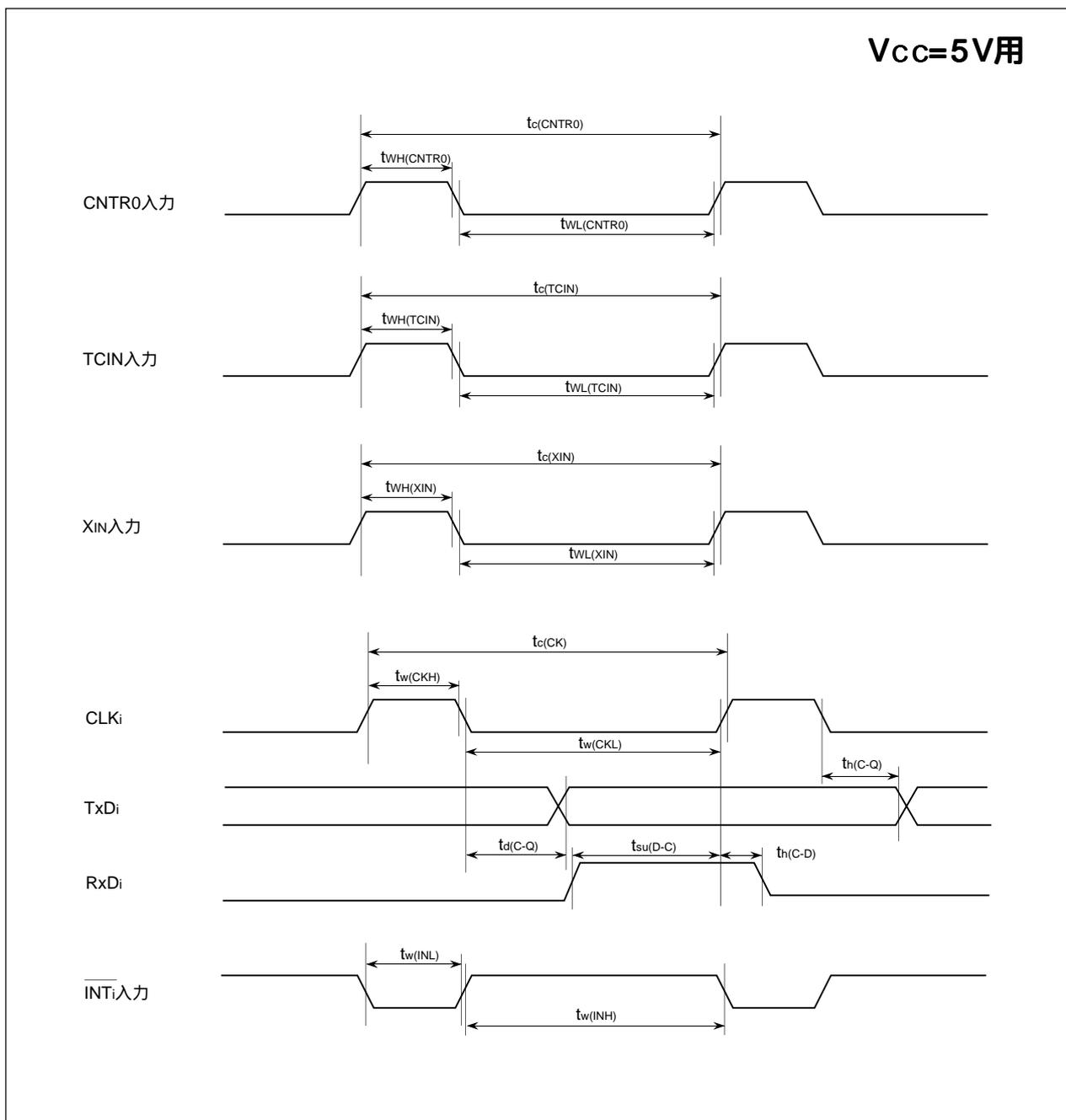


図16.1. ポートP0～P4の測定回路

図16.2. V<sub>CC</sub>=5V時のタイミング

## Vcc=3V

表16.11. (1) 電気的特性(Normal-バージョン) (指定のない場合は、Vcc=3V, Vss=0V, Topr=-20 ~ 85 , f(XIN)=5MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	IOH=-1mA	2.5			V
VOH	"H"出力電圧 XOUT	HIGH POWER	2.5			V
		LOW POWER	2.5			
VOH	"H"出力電圧 XcOUT (注1)	HIGH POWER	無負荷時 フラッシュメモリ版		Vcc	V
			無負荷時 マスクROM版		3.0	
		LOW POWER	無負荷時 フラッシュメモリ版		Vcc	
			無負荷時 マスクROM版		1.6	
VOL	"L"出力電圧 P00 ~ P07, P20, P21, P30 ~ P37, P40 ~ P47	IOl=1mA			0.5	V
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER			0.5	V
		LOW POWER			0.5	
VOL	"L"出力電圧 XOUT	HIGH POWER			0.5	V
		LOW POWER			0.5	
VOL	"L"出力電圧 XcOUT	HIGH POWER		0		V
		LOW POWER		0		
VT+-VT-	ヒステリシス CNTR0, TCIN, INT0 ~ INT3, CLK0, CLK1, RxD0, RxD1, Kl0 ~ Kl3, P45		0.2		0.8	V
VT+-VT-	ヒステリシス RESET		0.2		1.8	V
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVss	Vi=3V			4.0	μA
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVss	Vi=0V			-4.0	μA
RPULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	Vi=0V	66.0	120.0	500.0	k
RiXIN	帰還抵抗 XIN			3.0		M
RiXCIN	帰還抵抗 XcIN			10.0		M
VRAM	RAM保持電圧	クロック停止時	2.0			V
ROSC	オンチップオシレータ発振周波数	マスクROM版	150	300	600	kHz
		フラッシュメモリ版	250	500	1000	kHz

注1 . フラッシュメモリ版とマスクROM版でXcOUTのVOH規格値が異なります。  
このため、サブクロックの発振定数が両者で異なる可能性がありますので、ご注意ください。

## Vcc=3V

表16.11. (2) 電気的特性(Normal-バージョン) (指定のない場合は、Vcc=3V, Vss=0V, Topr=25, f(XIN)=5MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Icc	電源電流	入出力端子は無負荷	マスクROM版	f(XIN)=5MHz 方形波、分周なし		4.0	8.0	mA
			フラッシュメモリ版			8.0	14.0	mA
			マスクROM版	オンチップ オシレータモード		200		μA
			フラッシュメモリ版	分周なし		1000		μA
			マスクROM版	オンチップ オシレータモード		40		μA
			フラッシュメモリ版	ウエイト時		350		μA
			マスクROM版	f(XCIN) = 32kHz 方形波		30		μA
			フラッシュメモリ版			550		μA
			マスクROM版	f(XCIN) = 32kHz ウエイト時		4		μA
			フラッシュメモリ版			300		μA
			マスクROM版	クロック停止時 Ta=25			2	μA
				クロック停止時 Ta=85			20	
			フラッシュメモリ版	クロック停止時 Ta=25		250	500	μA
				クロック停止時 Ta=85		250	500	

## VCC=3V

表16.12. A/D変換特性(Normal-バージョン.)(指定のない場合は、VCC=VREF=3V,VSS=0V,Topr=25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	VREF=VCC			10	Bits
-	絶対精度	サンプル&ホールド機能なし(8bit) VREF=VCC=3V, AD=fAD/2			±2	LSB
RLADDER	ラダー抵抗	VREF=VCC	10		40	k
tCONV	変換時間(8bit) サンプル&ホールド機能なし	AD=fAD/2=3.5MHz	14.0			μs
VREF	基準電圧		2.7		VCC	V
VIA	アナログ入力電圧		0		VREF	V

注1.  $f(X_{IN})$ は表16.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。  
また、 $V_{CC}$ が4.2V未満の場合、およびメインクロックにRC外付け回路を使用する場合も $f_{AD}$ を分周し、AD動作クロック周波数(AD)が $f_{AD}/2$ 以下になるようにしてください。

表16.13. D/A変換特性(Normal-バージョン)(指定のない場合は、VCC=AVCC=VREF=3V,VSS=AVSS=0V,Topr=25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	k
IVREF	基準電源入力電流	(注1)			1.0	mA

注1. A/Dコンバータのラダー抵抗分は除きます。

D/Aレジスタの内容が“00<sub>16</sub>”以外の場合、A/D制御レジスタで $V_{REF}$ 未接続としても $I_{VREF}$ は流れます。

## Vcc=3V

タイミング必要条件(Normal-バージョン) (指定のない場合は、Vcc=3V、Vss=0V、Topr=-20~85 )

表16.14. X<sub>IN</sub>入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (XIN)	XIN入力サイクル時間	143		ns
t <sub>WH</sub> (XIN)	XIN入力 "H" パルス幅	70		ns
t <sub>WL</sub> (XIN)	XIN入力 "L" パルス幅	70		ns

表16.15. CNTR0入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CNTR0)	CNTR0入力サイクル時間	300		ns
t <sub>WH</sub> (CNTR0)	CNTR0入力 "H" パルス幅	120		ns
t <sub>WL</sub> (CNTR0)	CNTR0入力 "L" パルス幅	120		ns

表16.16. TCIN入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TCIN)	TCIN入力サイクル時間	1200(注1)		ns
t <sub>WH</sub> (TCIN)	TCIN入力 "H" パルス幅	600(注2)		ns
t <sub>WL</sub> (TCIN)	TCIN入力 "L" パルス幅	600(注2)		ns

注1. (1/デジタルフィルタクロック周波数×6)といずれか値の大きい方となります。

注2. (1/デジタルフィルタクロック周波数×3)といずれか値の大きい方となります。

表16.17. シリアルI/O(Normal-バージョン)

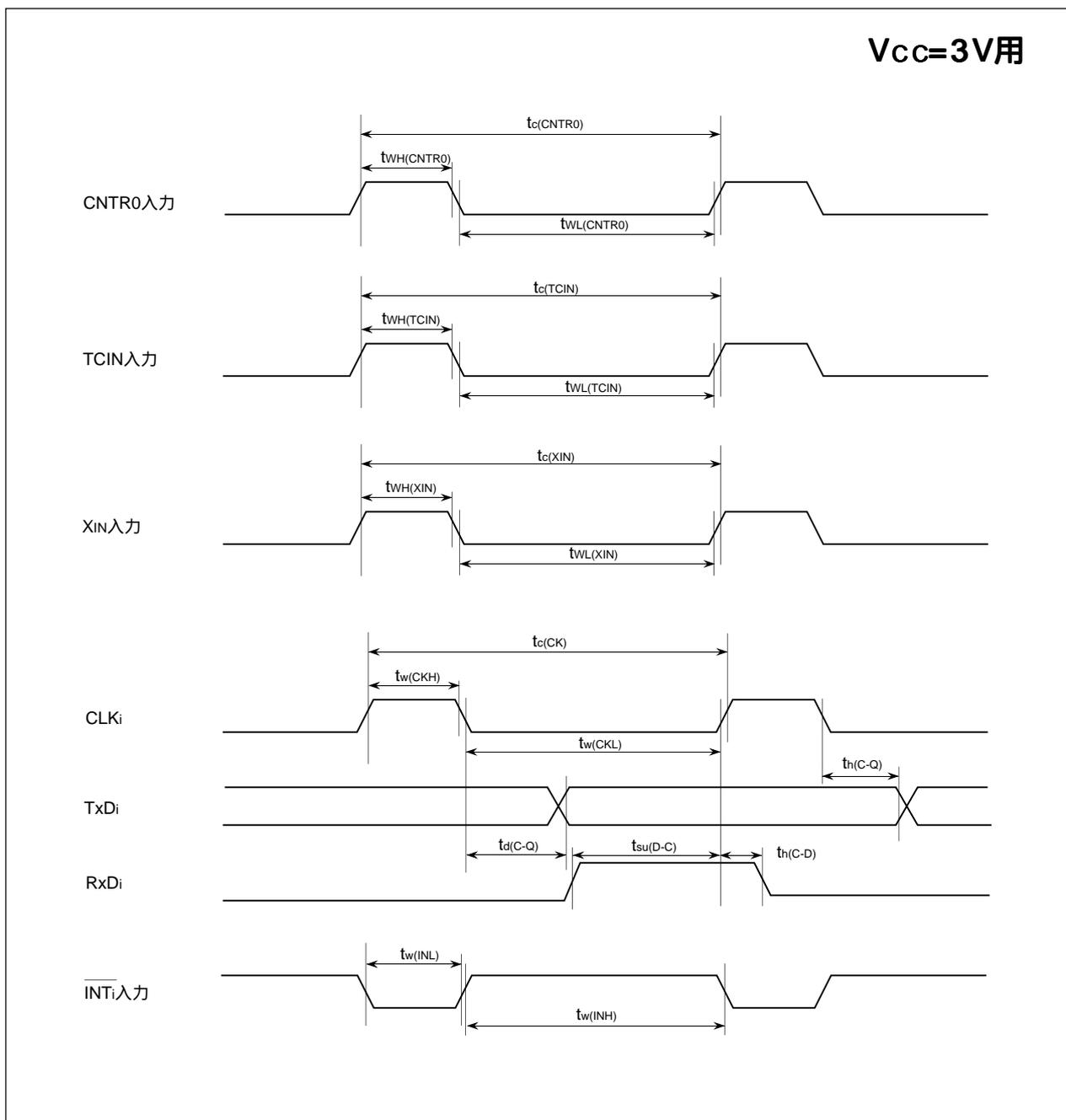
記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CK)	CLKi入力サイクル時間	300		ns
t <sub>w</sub> (CKH)	CLKi入力 "H" パルス幅	150		ns
t <sub>w</sub> (CKL)	CLKi入力 "L" パルス幅	150		ns
t <sub>d</sub> (C-Q)	TxDi出力遅延時間		160	ns
t <sub>h</sub> (C-Q)	TxDiホールド時間	0		ns
t <sub>su</sub> (D-C)	RxDi入力セットアップ時間	50		ns
t <sub>h</sub> (C-D)	RxDi入力ホールド時間	90		ns

表16.18. 外部割り込みINTi入力(Normal-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>w</sub> (INH)	INTi入力 "H" パルス幅	380(注1)		ns
t <sub>w</sub> (INL)	INTi入力 "L" パルス幅	380(注2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"H"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"L"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

図16.3. V<sub>CC</sub>=3V時のタイミング

## 16.2. T-バージョン

表16.19. 絶対最大定格(T-バージョン)

記号	項目	条件	定格値	単位
V <sub>cc</sub>	電源電圧		-0.3 ~ 6.5	V
V <sub>i</sub>	入力電圧	RESET, V <sub>REF</sub> , X <sub>IN</sub> P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , CNV <sub>ss</sub>	-0.3 ~ V <sub>cc</sub> +0.3	V
V <sub>o</sub>	出力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>OUT</sub>	-0.3 ~ V <sub>cc</sub> +0.3	V
	I <sub>Vcc</sub>	マスクROM版	-0.3 ~ V <sub>cc</sub> +0.3	V
		フラッシュメモリ版	-0.3 ~ 3.6	V
P <sub>d</sub>	消費電力	T <sub>a</sub> = 25	300	mW
T <sub>opr</sub>	動作周囲温度		-40 ~ 85 (注1)	
T <sub>stg</sub>	保存温度		-65 ~ 150	

注1.フラッシュ書き込み/消去時は25 ± 5 です。

注2.M30100 (32ピン版) ではP2<sub>0</sub>, P2<sub>1</sub>, P3<sub>4</sub> ~ P3<sub>6</sub>, P4<sub>0</sub> ~ P4<sub>4</sub>, P4<sub>6</sub>, P4<sub>7</sub>は外部端子への接続がありません。

表16.20. 推奨動作条件(T-バージョン)(指定のない場合は、Vcc=4.2~5.5V、Topr=-40~85 )

記号	項目		規格値			単位
			最小	標準	最大	
Vcc	電源電圧		4.2	5.0	5.5	V
Vss	電源電圧			0		V
V <sub>IH</sub>	"H"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0.8Vcc		Vcc	V
V <sub>IL</sub>	"L"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0		0.2Vcc	V
I <sub>OH</sub> (peak)	"H"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 10.0	mA
I <sub>OH</sub> (avg)	"H"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 5.0	mA
I <sub>OL</sub> (peak)	"L"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			10.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		20.0	mA
			LOW POWER		10.0	mA
I <sub>OL</sub> (avg)	"L"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			5.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		10.0	mA
			LOW POWER		5.0	mA
f (X <sub>IN</sub> )	メインクロック 入力発振周波数	Vcc=4.2V ~ 5.5V	0		16	MHz
f (X <sub>CIN</sub> )	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>のI<sub>OL</sub>(peak)の合計は60mA以下、ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>のI<sub>OH</sub>(peak)の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>のI<sub>OL</sub>(peak)の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>のI<sub>OH</sub>(peak)の合計は60mA以下にしてください。

注3. M30100 (32ピン版) ではP2<sub>0</sub>, P2<sub>1</sub>, P3<sub>4</sub> ~ P3<sub>6</sub>, P4<sub>0</sub> ~ P4<sub>4</sub>, P4<sub>6</sub>, P4<sub>7</sub>は外部端子への接続がありません。

## Vcc=5V

表16.21. (1) 電氣的特性 (T-バージョン)(指定のない場合、Vcc=5V, Vss=0V, Topr=-40 ~ 85 , f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	IOH=-5mA	3.0			V
		IOH=-200 μA	4.7			
VOH	"H"出力電圧 XOUT	HIGH POWER	IOH=-1mA	3.0		V
		LOW POWER	IOH=-0.5mA	3.0		
VOH	"H"出力電圧 XcOUT (注1)	HIGH POWER	無負荷時 フラッシュメモリ版		3.3	V
			無負荷時 マスクROM版		3.0	
		LOW POWER	無負荷時 フラッシュメモリ版		3.3	
			無負荷時 マスクROM版		1.6	
VOL	"L"出力電圧 P00 ~ P07, P20, P21, P30 ~ P37, P40 ~ P47	IOl=5mA			2.0	V
		IOl=200 μA			0.45	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOl=10mA		2.0	V
		LOW POWER	IOl=5mA		2.0	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOl=200 μA		0.3	V
		LOW POWER	IOl=200 μA		0.45	
VOL	"L"出力電圧 XOUT	HIGH POWER	IOl=1mA		2.0	V
		LOW POWER	IOl=0.5mA		2.0	
VOL	"L"出力電圧 XcOUT	HIGH POWER	無負荷時		0	V
		LOW POWER	無負荷時		0	
VT+-VT-	ヒステリシス CNTR0, TCIN, INT0 ~ INT3, CLK0, CLK1, RxD0, RxD1, Kl0 ~ Kl3, P45		0.2		0.8	V
VT+-VT-	ヒステリシス RESET		0.2		1.8	V
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVSS	Vi=5V			5.0	μA
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVSS	Vi=0V			-5.0	μA
RPULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	Vi=0V	30.0	50.0	167.0	k
RfXIN	帰還抵抗 XIN			1.0		M
RfXCIN	帰還抵抗 XCIN			6.0		M
VRAM	RAM保持電圧	クロック停止時	2.0			V
ROSC	オンチップオシレータ発振周波数	マスクROM版	300	600	1200	kHz
		フラッシュメモリ版	300	600	1200	kHz

注1. フラッシュメモリ版とマスクROM版でXcOUTのVOH規格値が異なります。  
このため、サブクロックの発振定数が両者で異なる可能性がありますので、ご注意ください。

## VCC=5V

表16.21. (2) 電気的特性(T-バージョン) (指定のない場合、VCC=5V,VSS=0V,Topr=25 ,f(XIN)=16MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Icc	電源電流	入出力端子は無負荷	マスクROM版	f(XIN)=16MHz		20.0	36.0	mA
			フラッシュメモリ版	方形波、分周なし		18.0	36.0	mA
			マスクROM版	オンチップオシレータモード		800		μA
			フラッシュメモリ版	分周なし		1300		μA
			マスクROM版	オンチップオシレータモード		100		μA
			フラッシュメモリ版	ウェイト時		400		μA
			マスクROM版	f(XCIN) = 32kHz		50		μA
			フラッシュメモリ版	方形波		700		μA
			マスクROM版	f(XCIN) = 32kHz		6		μA
			フラッシュメモリ版	ウェイト時		350		μA
			マスクROM版	クロック停止時 Ta=25			2	μA
			マスクROM版	クロック停止時 Ta=85			20	
			フラッシュメモリ版	クロック停止時 Ta=25		300	600	μA
				クロック停止時 Ta=85		300	600	

## VCC=5V

表16.22. A/D変換特性(T-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能	VREF = VCC			10	Bits		
-	絶対精度	サンプル&ホールド機能なし	VREF = VCC = 5V			±3	LSB	
		サンプル&ホールド機能あり(10bit)	AN0 ~ AN11入力				±3	LSB
			ANEX0, ANEX1入力, 外部オペアンプ接続モード				±7	LSB
	サンプル&ホールド機能あり(8bit)	VREF = VCC = 5V			±2	LSB		
RLADDER	ラダー抵抗	VREF = VCC	10		40	k		
tCONV	変換時間(10bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	3.3			μs		
tCONV	変換時間(8bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	2.8			μs		
tSAMP	サンプリング時間	f(XIN)=10MHz, AD=fAD=10MHz	0.3			μs		
VREF	基準電圧	f(XIN)=10MHz, AD=fAD=10MHz	2		VCC	V		
VIA	アナログ入力電圧	f(XIN)=10MHz, AD=fAD=10MHz	0		VREF	V		

注1.  $f(X_{IN})$ は表16.20の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。  
ただし、 $f(X_{IN})$ が10MHzをこえる時は $f_{AD}$ を分周し、AD動作クロック周波数(AD)が10MHz以下になるようにしてください。また、メインクロックにRC外付け回路を使用する場合も $f_{AD}$ を分周し、AD動作クロック周波数(AD)が $f_{AD}/2$ 以下になるようにしてください。

表16.23. D/A変換特性(T-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t <sub>su</sub>	設定時間				3	μs
R <sub>O</sub>	出力抵抗		4	10	20	k
I <sub>VREF</sub>	基準電源入力電流	(注1)			1.5	mA

注1. A/Dコンバータのラダー抵抗分は除きます。

D/Aレジスタの内容が“00<sub>16</sub>”以外の場合、A/D制御レジスタでV<sub>REF</sub>未接続としてもI<sub>VREF</sub>は流れます。

## Vcc=5V

タイミング必要条件(T-バージョン) (指定のない場合は、Vcc=5V、Vss=0V、Topr=-40 ~ 85 )

表16.24. X<sub>IN</sub>入力(T-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (XIN)	XIN入力サイクル時間	62.5		ns
t <sub>WH</sub> (XIN)	XIN入力 "H" パルス幅	30		ns
t <sub>WL</sub> (XIN)	XIN入力 "L" パルス幅	30		ns

表16.25. CNTR0入力(T-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CNTR0)	CNTR0入力サイクル時間	100		ns
t <sub>WH</sub> (CNTR0)	CNTR0入力 "H" パルス幅	40		ns
t <sub>WL</sub> (CNTR0)	CNTR0入力 "L" パルス幅	40		ns

表16.26. TCIN入力(T-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TCIN)	TCIN入力サイクル時間	400 (注1)		ns
t <sub>WH</sub> (TCIN)	TCIN入力 "H" パルス幅	200 (注2)		ns
t <sub>WL</sub> (TCIN)	TCIN入力 "L" パルス幅	200 (注2)		ns

注1. ( 1/デジタルフィルタクロック周波数×6 )といずれか値の大きい方となります。

注2. ( 1/デジタルフィルタクロック周波数×3 )といずれか値の大きい方となります。

表16.27. シリアルI/O(T-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CK)	CLKi入力サイクル時間	200		ns
t <sub>w</sub> (CKH)	CLKi入力 "H" パルス幅	100		ns
t <sub>w</sub> (CKL)	CLKi入力 "L" パルス幅	100		ns
t <sub>d</sub> (C-Q)	TxDi出力遅延時間		80	ns
t <sub>h</sub> (C-Q)	TxDiホールド時間	0		ns
t <sub>su</sub> (D-C)	RxDi入力セットアップ時間	30		ns
t <sub>h</sub> (C-D)	RxDi入力ホールド時間	90		ns

表16.28. 外部割り込みINTi入力(T-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>w</sub> (INH)	INTi入力 "H" パルス幅	250 (注1)		ns
t <sub>w</sub> (INL)	INTi入力 "L" パルス幅	250 (注2)		ns

注1. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"H"パルス幅の最小値は ( 1/デジタルフィルタサンプリング周波数×3 )といずれか値の大きい方となります。

注2. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"L"パルス幅の最小値は ( 1/デジタルフィルタサンプリング周波数×3 )といずれか値の大きい方となります。

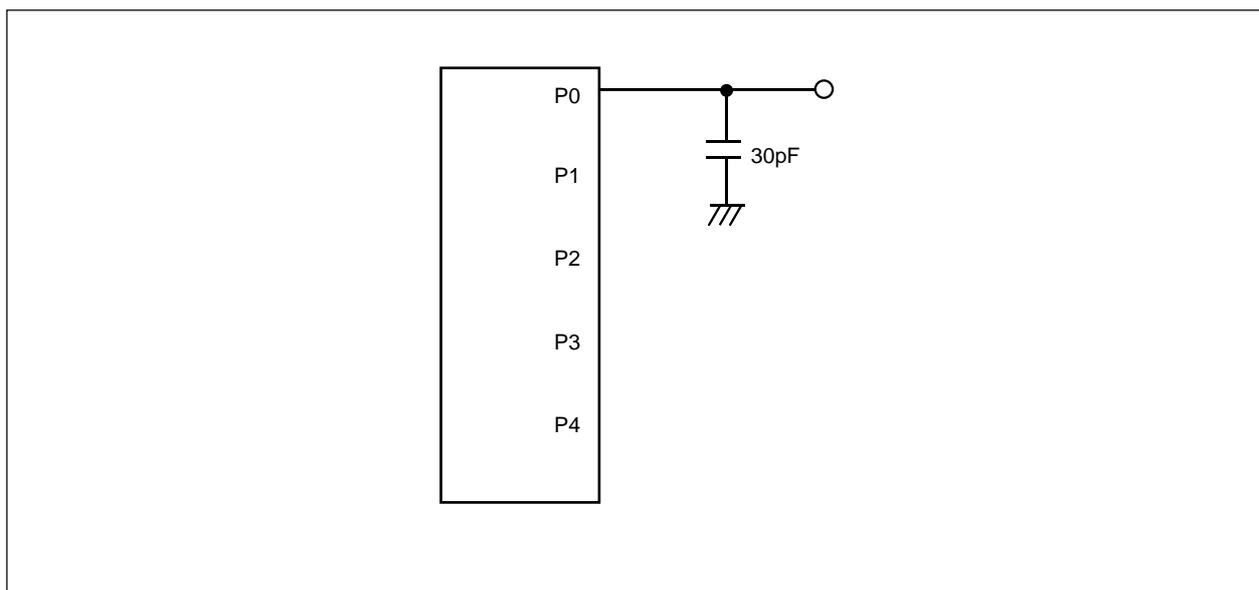


図16.4. ポートP0～P4の測定回路

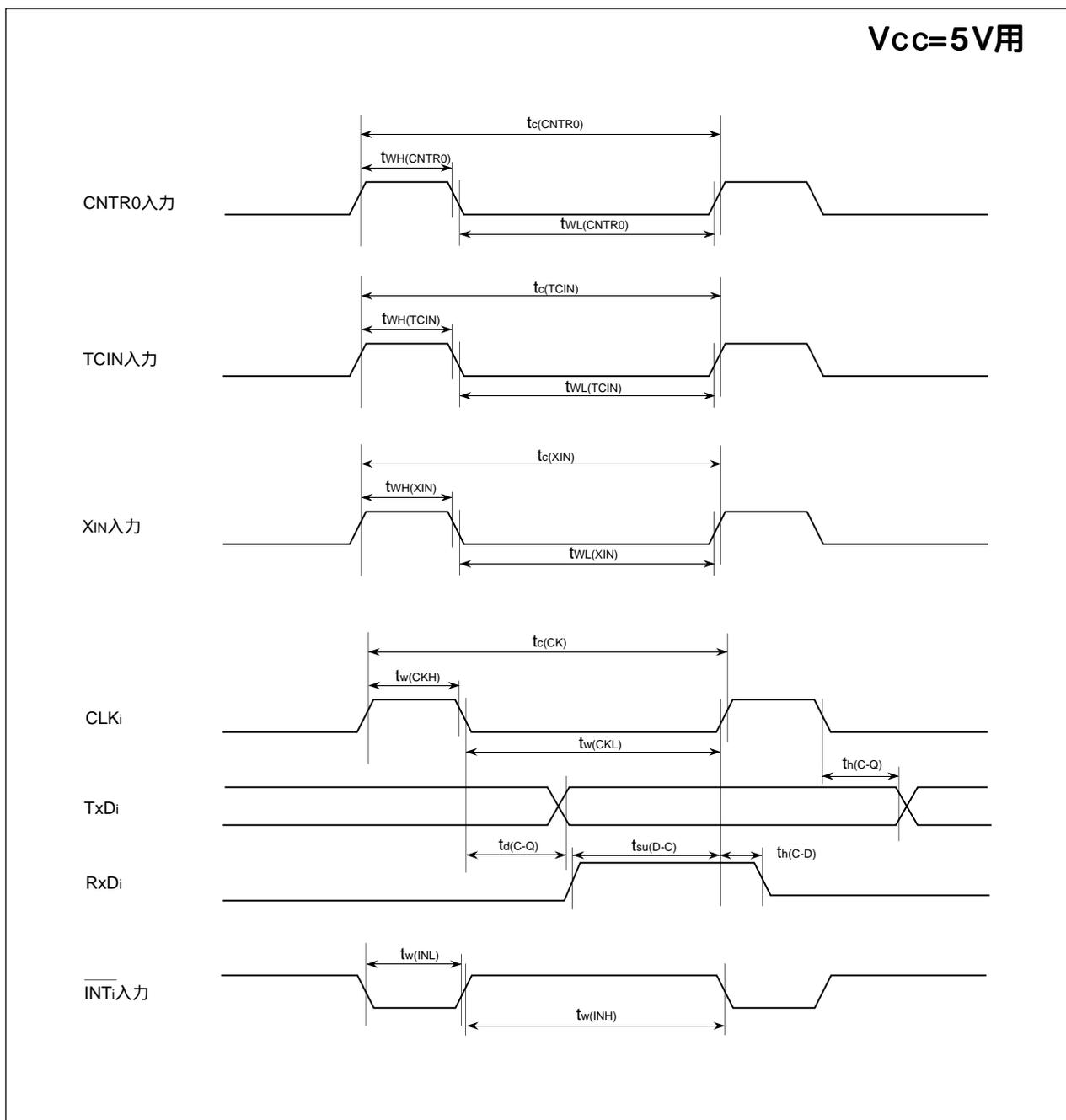


図16.5. V<sub>CC</sub>=5V時のタイミング

## 16.3. V-バージョン

表16.29. 絶対最大定格(V-バージョン)

記号	項目	条件	定格値	単位
V <sub>cc</sub>	電源電圧		-0.3 ~ 6.5	V
V <sub>i</sub>	入力電圧 RESET, V <sub>REF</sub> , X <sub>IN</sub> P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , CNV <sub>ss</sub>		-0.3 ~ V <sub>cc</sub> +0.3	V
V <sub>o</sub>	出力電圧 P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>OUT</sub>		-0.3 ~ V <sub>cc</sub> +0.3	V
	I <sub>Vcc</sub>	マスクROM版	-0.3 ~ V <sub>cc</sub> +0.3	V
P <sub>d</sub>	消費電力	フラッシュメモリ版	-0.3 ~ 3.6	V
P <sub>d</sub>	消費電力	-40 Ta 85	300	mW
		85 < Ta 125	180	mW
T <sub>opr</sub>	動作周囲温度		-40 ~ 125 (注1)	
T <sub>stg</sub>	保存温度		-65 ~ 150	

注1.フラッシュ書き込み / 消去時は25±5 です。

注2.M30100 (32ピン版) ではP2<sub>0</sub>,P2<sub>1</sub>,P3<sub>4</sub> ~ P3<sub>6</sub>,P4<sub>0</sub> ~ P4<sub>4</sub>,P4<sub>6</sub>,P4<sub>7</sub>は外部端子への接続がありません。

表16.30. 推奨動作条件(V-バージョン)(指定のない場合は、V<sub>CC</sub>=4.2~5.5V、Topr=-40~125 )

記号	項目		規格値			単位
			最小	標準	最大	
V <sub>CC</sub>	電源電圧		4.2	5.0	5.5	V
V <sub>SS</sub>	電源電圧			0		V
V <sub>IH</sub>	"H"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub>	0		0.2V <sub>CC</sub>	V
I <sub>OH</sub> (peak)	"H"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 10.0	mA
I <sub>OH</sub> (avg)	"H"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P1 <sub>0</sub> ~ P1 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			- 5.0	mA
I <sub>OL</sub> (peak)	"L"尖頭出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			10.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		20.0	mA
					10.0	mA
I <sub>OL</sub> (avg)	"L"平均出力電流	P0 <sub>0</sub> ~ P0 <sub>7</sub> , P2 <sub>0</sub> , P2 <sub>1</sub> , P3 <sub>0</sub> ~ P3 <sub>7</sub> , P4 <sub>0</sub> ~ P4 <sub>7</sub>			5.0	mA
		P1 <sub>0</sub> ~ P1 <sub>7</sub>	HIGH POWER		10.0	mA
					5.0	mA
f (X <sub>IN</sub> )	メインクロック 入力発振周波数	V <sub>CC</sub> =4.2V ~ 5.5V	0		10	MHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>のI<sub>OL</sub> (peak)の合計は60mA以下、ポートP0<sub>0</sub> ~ P0<sub>3</sub>, P1<sub>3</sub> ~ P1<sub>7</sub>, P2<sub>0</sub>, P3<sub>4</sub> ~ P3<sub>7</sub>, P4<sub>6</sub> ~ P4<sub>7</sub>のI<sub>OH</sub> (peak)の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>のI<sub>OL</sub> (peak)の合計は60mA以下、ポートP0<sub>4</sub> ~ P0<sub>7</sub>, P1<sub>0</sub> ~ P1<sub>2</sub>, P2<sub>1</sub>, P3<sub>0</sub> ~ P3<sub>3</sub>, P4<sub>0</sub> ~ P4<sub>5</sub>のI<sub>OH</sub> (peak)の合計は60mA以下にしてください。

注3. M30100 (32ピン版) ではP2<sub>0</sub>, P2<sub>1</sub>, P3<sub>4</sub> ~ P3<sub>6</sub>, P4<sub>0</sub> ~ P4<sub>4</sub>, P4<sub>6</sub>, P4<sub>7</sub>は外部端子への接続がありません。

注4. 85 < Ta < 125 時の消費電力が絶対最大定格を超えないようにするため、ポート部分全体(出力ポートトランジスタおよびプルアップ抵抗)の実行電力損失を50mW以下にしてください。

## VCC=5V

表16.31. (1) 電気的特性 (V-バージョン)(指定のない場合、VCC=5V, VSS=0V, Topr=-40 ~ 125, f(XIN)=10MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	IOH=-5mA	3.0			V
		IOH=-200 μA	4.7			
VOH	"H"出力電圧 XOUT	HIGH POWER	IOH=-1mA	3.0		V
		LOW POWER	IOH=-0.5mA	3.0		
VOL	"L"出力電圧 P00 ~ P07, P20, P21, P30 ~ P37, P40 ~ P47	IOL=5mA			2.0	V
		IOL=200 μA			0.45	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOL=10mA		2.0	V
		LOW POWER	IOL=5mA		2.0	
VOL	"L"出力電圧 P10 ~ P17	HIGH POWER	IOL=200 μA		0.3	V
		LOW POWER	IOL=200 μA		0.45	
VOL	"L"出力電圧 XOUT	HIGH POWER	IOL=1mA		2.0	V
		LOW POWER	IOL=0.5mA		2.0	
VT+VT-	ヒステリシス CNTR0, TCIN, INT0 ~ INT3, CLK0, CLK1, RxD0, RxD1, K10 ~ K13, P45		0.2		0.8	V
VT+VT-	ヒステリシス RESET		0.2		1.8	V
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVSS	Vi=5V			5.0	μA
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47, XIN, RESET, CNVSS	Vi=0V			-5.0	μA
RPULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20, P21, P30 ~ P37, P40 ~ P47	Vi=0V	30.0	50.0	167.0	k
RiXIN	帰還抵抗 XIN			1.0		M
VRAM	RAM保持電圧	クロック停止時	2.0			V
ROSC	オンチップオシレータ発振周波数	マスクROM版	250	600	1200	kHz
		フラッシュメモリ版	250	600	1200	kHz

## Vcc=5V

表16.31. (2) 電気的特性(V-バージョン) (指定のない場合、Vcc=5V,Vss=0V,Topr=25 ,f(XIN)=10MHz)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
Icc	電源電流	入出力端子は 無負荷	マスクROM版	f(XIN)=10MHz		13.0	22.0	mA
			フラッシュ メモリ版	方形波、分周なし		12.0	22.0	mA
			マスクROM版	オンチップ オシレータモード		800		μA
			フラッシュ メモリ版	分周なし		1300		μA
			マスクROM版	オンチップ オシレータモード		100		μA
			フラッシュ メモリ版	ウェイト時		400		μA
			マスクROM版	クロック停止時 Ta=25			2	μA
				クロック停止時 Ta=125			50	
			フラッシュ メモリ版	クロック停止時 Ta=25		300	600	μA
				クロック停止時 Ta=125		300	600	

## VCC=5V

表16.32. A/D変換特性(V-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
-	分解能	VREF = VCC			10	Bits		
-	絶対精度	サンプル&ホールド機能なし	VREF = VCC = 5V			±3	LSB	
		サンプル&ホールド機能あり(10bit)	AN0 ~ AN11入力				±3	LSB
			ANEX0, ANEX1入力, 外部オペアンプ接続モード				±7	LSB
	サンプル&ホールド機能あり(8bit)	VREF = VCC = 5V			±2	LSB		
RLADDER	ラダー抵抗	VREF = VCC	10		40	k		
tCONV	変換時間(10bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	3.3			μs		
tCONV	変換時間(8bit) サンプル&ホールド機能あり	f(XIN)=10MHz, AD=fAD=10MHz	2.8			μs		
tSAMP	サンプリング時間	f(XIN)=10MHz, AD=fAD=10MHz	0.3			μs		
VREF	基準電圧	f(XIN)=10MHz, AD=fAD=10MHz	2		VCC	V		
VIA	アナログ入力電圧	f(XIN)=10MHz, AD=fAD=10MHz	0		VREF	V		

注1.  $f(X_{IN})$ は表16.30の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。  
また、メインクロックにRC外付け回路を使用する場合は $f_{AD}$ を分周し、AD動作クロック周波数(AD)が $f_{AD}/2$ 以下になるようにしてください。

表16.33. D/A変換特性(V-バージョン) (指定のない場合は、VCC=VREF=5V, VSS=0V, Topr=25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t <sub>su</sub>	設定時間				3	μs
R <sub>O</sub>	出力抵抗		4	10	20	k
I <sub>VREF</sub>	基準電源入力電流	(注1)			1.5	mA

注1. A/Dコンバータのラダー抵抗分は除きます。

D/Aレジスタの内容が“00<sub>16</sub>”以外の場合、A/D制御レジスタでV<sub>REF</sub>未接続としてもI<sub>VREF</sub>は流れます。

V<sub>CC</sub>=5V

タイミング必要条件(V-バージョン) (指定のない場合は、V<sub>CC</sub>=5V、V<sub>SS</sub>=0V、Topr=-40 ~ 125 )

表16.34. X<sub>IN</sub>入力(V-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (XIN)	XIN入力サイクル時間	100		ns
t <sub>WH</sub> (XIN)	XIN入力 "H" パルス幅	45		ns
t <sub>WL</sub> (XIN)	XIN入力 "L" パルス幅	45		ns

表16.35. CNTR0入力(V-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CNTR0)	CNTR0入力サイクル時間	100		ns
t <sub>WH</sub> (CNTR0)	CNTR0入力 "H" パルス幅	40		ns
t <sub>WL</sub> (CNTR0)	CNTR0入力 "L" パルス幅	40		ns

表16.36. TCIN入力(V-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TCIN)	TCIN入力サイクル時間	400 (注1)		ns
t <sub>WH</sub> (TCIN)	TCIN入力 "H" パルス幅	200 (注2)		ns
t <sub>WL</sub> (TCIN)	TCIN入力 "L" パルス幅	200 (注2)		ns

注1. ( 1/デジタルフィルタクロック周波数×6 )といずれか値の大きい方となります。

注2. ( 1/デジタルフィルタクロック周波数×3 )といずれか値の大きい方となります。

表16.37. シリアルI/O(V-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (CK)	CLKi入力サイクル時間	200		ns
t <sub>w</sub> (CKH)	CLKi入力 "H" パルス幅	100		ns
t <sub>w</sub> (CKL)	CLKi入力 "L" パルス幅	100		ns
t <sub>d</sub> (C-Q)	TxDi出力遅延時間		80	ns
t <sub>h</sub> (C-Q)	TxDiホールド時間	0		ns
t <sub>su</sub> (D-C)	RxDi入力セットアップ時間	30		ns
t <sub>h</sub> (C-D)	RxDi入力ホールド時間	90		ns

表16.38. 外部割り込みINTi入力(V-バージョン)

記号	項目	規格値		単位
		最小	最大	
t <sub>w</sub> (INH)	INTi入力 "H" パルス幅	250 (注1)		ns
t <sub>w</sub> (INL)	INTi入力 "L" パルス幅	250 (注2)		ns

注1. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"H"パルス幅の最小値は ( 1/デジタルフィルタサンプリング周波数×3 )といずれか値の大きい方となります。

注2. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力"L"パルス幅の最小値は ( 1/デジタルフィルタサンプリング周波数×3 )といずれか値の大きい方となります。

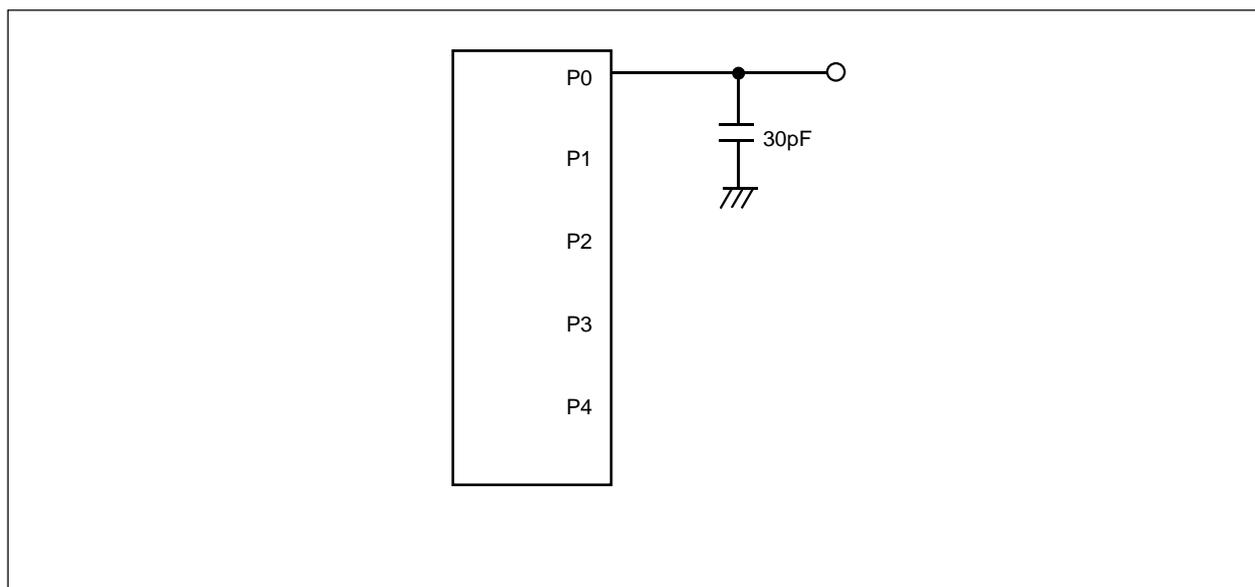


図16.6. ポートP0～P4の測定回路

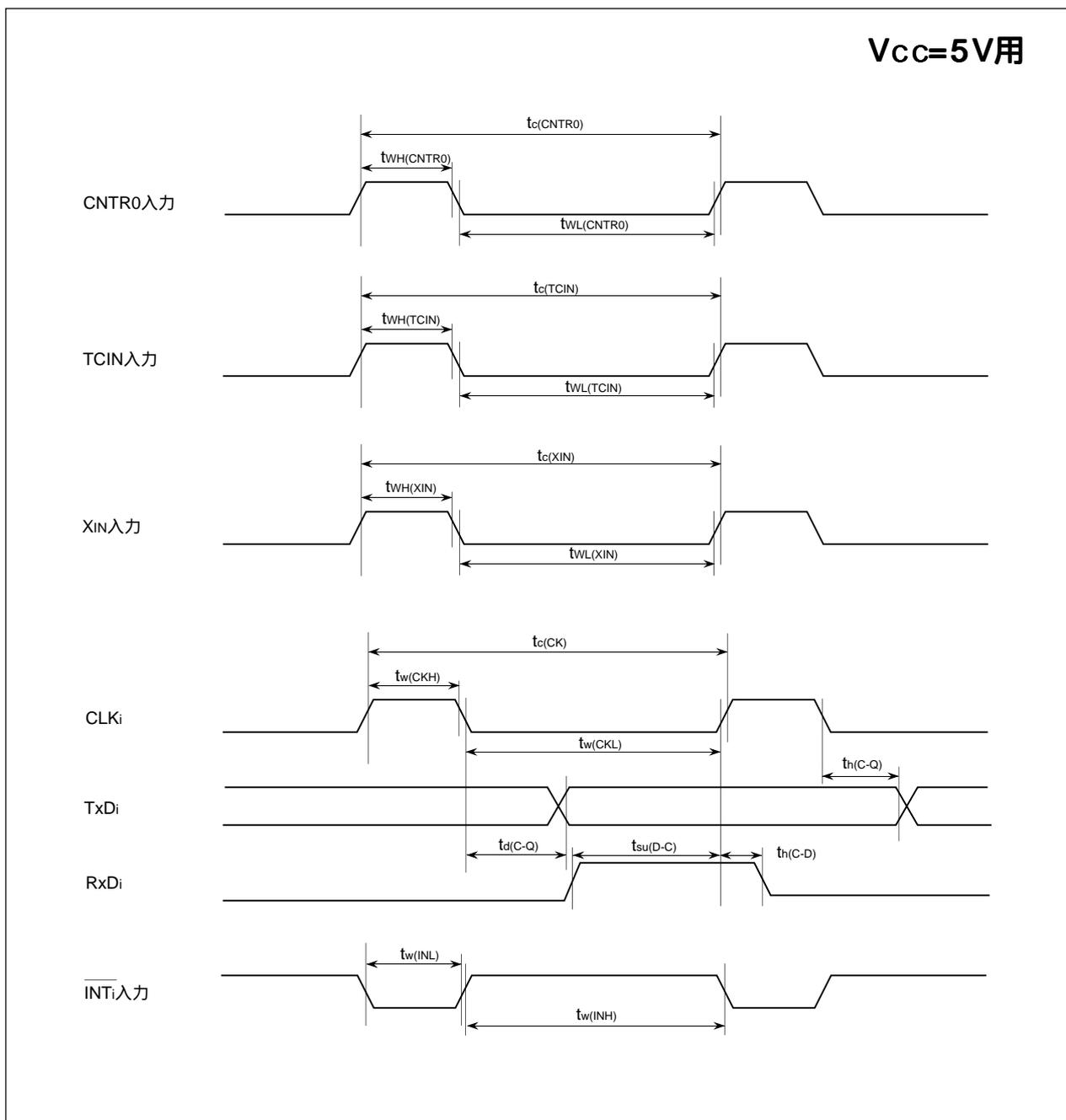


図16.7. V<sub>CC</sub>=5V時のタイミング

## 17. フラッシュメモリ版

### 17.1. 性能概要

表17.1にM16C/10(フラッシュメモリ版)の性能概要を示します。

表17.1. M16C/10(フラッシュメモリ版)の性能概要

項目	性能	
電源電圧	4.2V ~ 5.5V ( f(XIN)=16MHz時 )	
プログラム/イレーズ電圧	V <sub>CC</sub> = 5.0V ± 10%	
フラッシュメモリの動作モード	標準シリアル入出力モード	
消去ブロック分割	ユーザROM領域	1分割(24Kバイト)
	ブートROM領域	1分割(384バイト) (注1)
プログラム方式	一括書き込み	
イレーズ方式	一括消去	
プログラム/イレーズ回数	100回	
データ保持	10年間	

注1. ブートROM領域には、専用の外部装置(ライタ)と通信を行うための制御プログラムが格納されています。この領域に対し、消去および書き込みは行えません。

### 17.2. フラッシュメモリ

M16C/10(フラッシュメモリ版)は、単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、専用の外部装置(ライタ)を用いてフラッシュメモリを操作する標準シリアル入出力モードを用意しています。本製品では、CPU書き換えモード、パラレル入出力モードはサポートしていません。

図17.1に示すように内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、標準シリアル入出力モードで専用の外部装置(ライタ)と通信を行うための制御プログラムを格納したブートROM領域があります。このブートROM領域に対し、消去および書き込みは行えません。

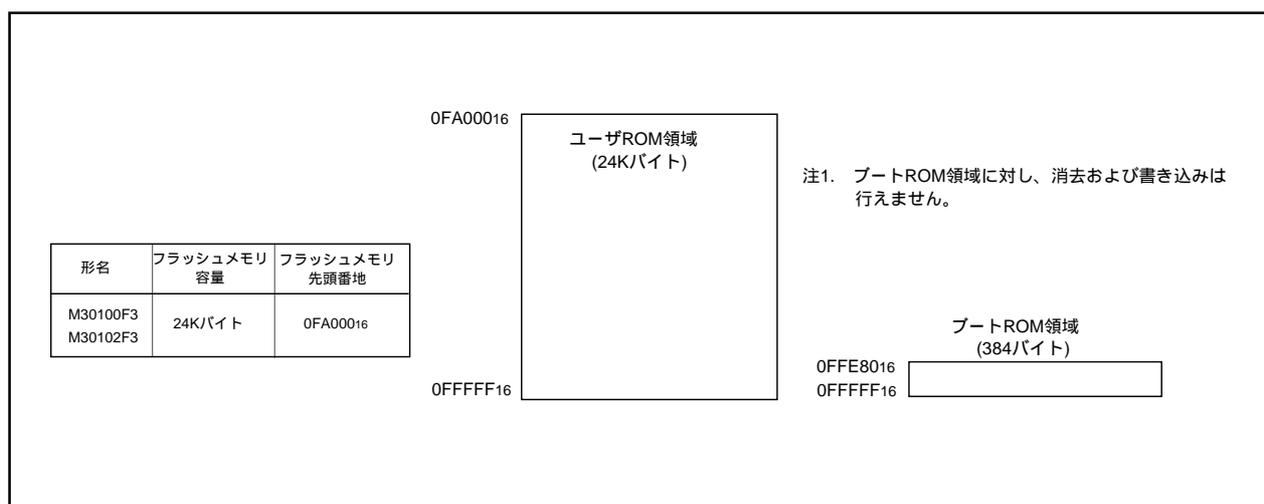


図17.1. 内蔵フラッシュメモリのブロック図

## 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名 称	入出力	機 能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧(5V±10%)を、Vssには0Vを印加してください。
IVcc	IVcc		Vssとの間にコンデンサ(0.1μF)を接続してください。
CNVss	CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。VccまたはVssに接続してください。
P00～P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10～P13	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P14	TxD出力	出力	シリアルデータの出力端子です。
P15	RxD入力	入力	シリアルデータの入力端子です。
P16	CLK入力	入力	・標準シリアル入出力モード1：シリアルクロックの入力端子です。 ・標準シリアル入出力モード2："L"を入力してください。
P17	BUSY出力	出力	・標準シリアル入出力モード1：BUSY信号の出力端子です。 ・標準シリアル入出力モード2：解放してください。
P20、P21	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30～P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40～P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。

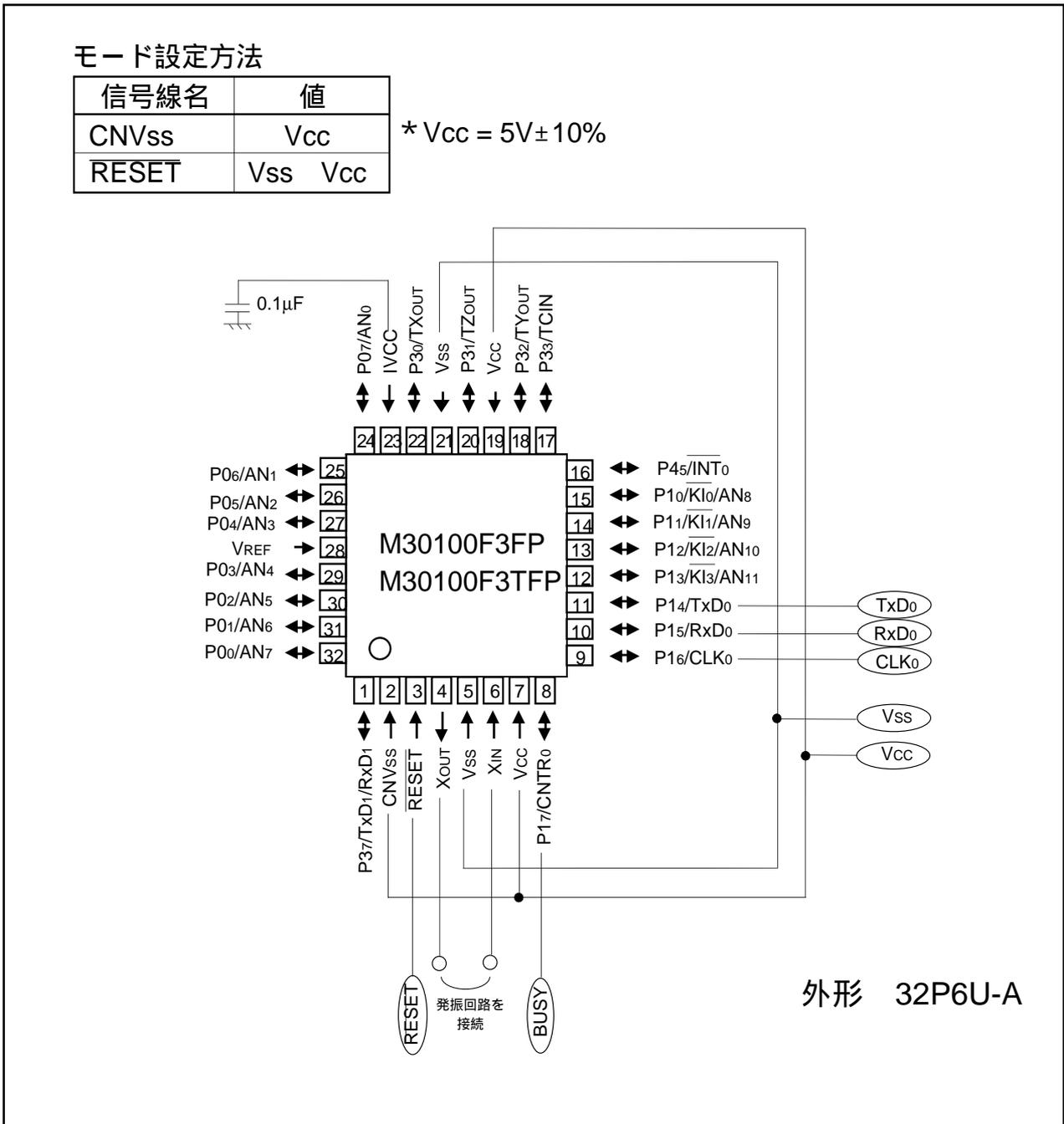


図17.2. 標準シリアル入出力モード時の端子結線図(1)

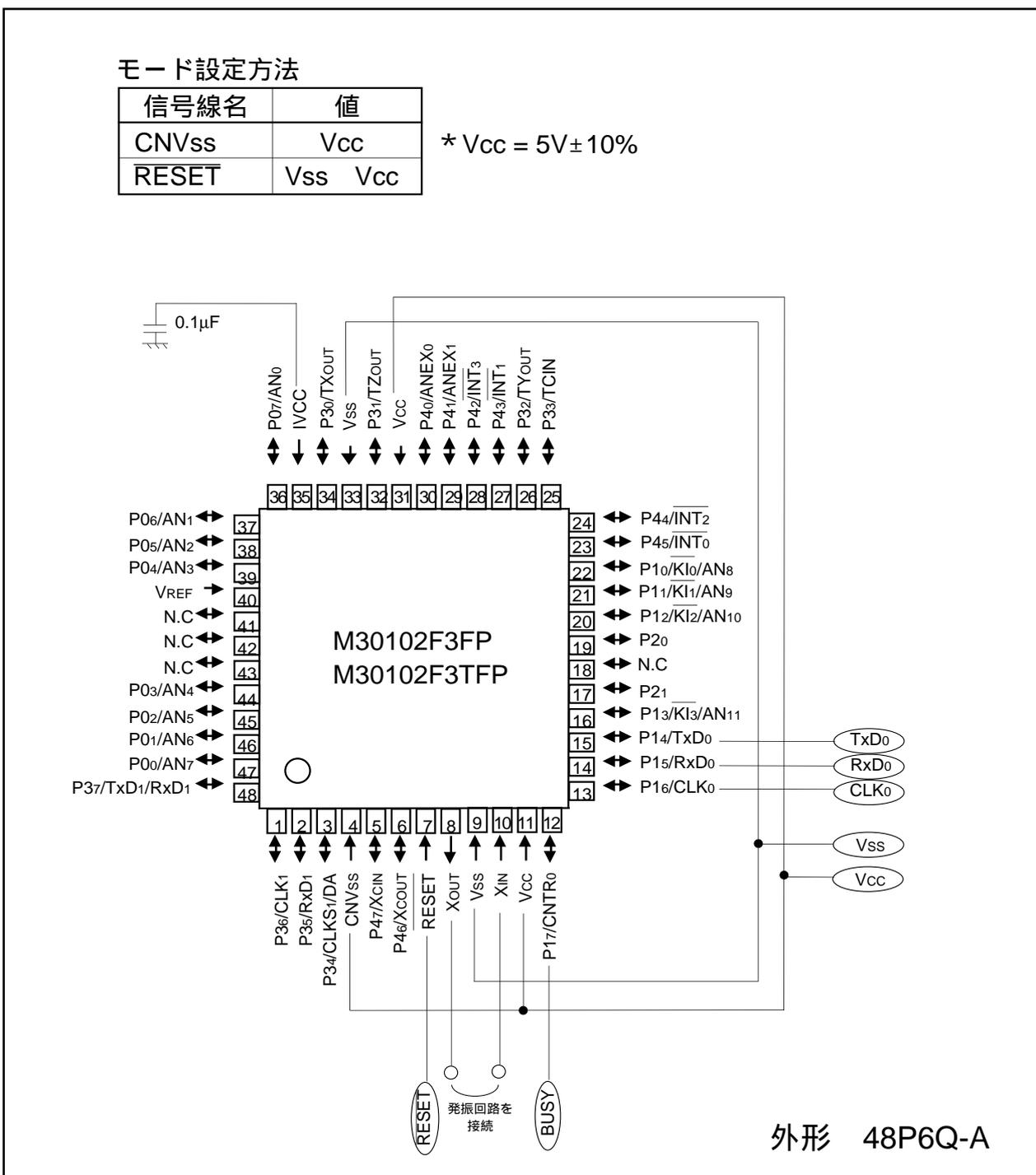


図17.3. 標準シリアル入出力モード時の端子結線図(2)

### 17.3. 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要な制御関数、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形のモード1
- ・クロック非同期形のモード2

があり、専用の外部装置(ライター)を使用します。

標準シリアル入出力モードは、CPUがフラッシュメモリの書き換え制御と専用の外部装置(ライター)との通信制御を行います。標準シリアル入出力モードは、 $CNV_{SS}$ 端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、 $CNV_{SS}$ 端子は“L”に設定してください。)

専用の外部装置(ライター)との通信制御プログラムは、三菱からの出荷時にブートROM領域に書き込まれています。ブートROM領域に対しては、消去および書き込みは行えません。図17.2～図17.3に標準シリアル入出力モード時の端子結線図を示します。専用の外部装置(ライター)との通信はUART0を使って行います。リセット解除時の $CLK_1$ 端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、 $CLK_0$ 端子を“H”にしてリセットを解除します。UART0の端子 $CLK_0$ 、 $R_XD_0$ 、 $T_XD_0$ 、BUSYの4本を使用します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、 $CLK_0$ 端子を“L”にしてリセットを解除します。UART0の端子 $R_XD_0$ 、 $T_XD_0$ の2本を使用します。BUSY端子は、開放してください。

## 17.3.1. 標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。専用の外部装置(ライター)によって制御するピン等が違いますので、詳細は専用の外部装置(ライター)のマニュアルを参考にしてください。

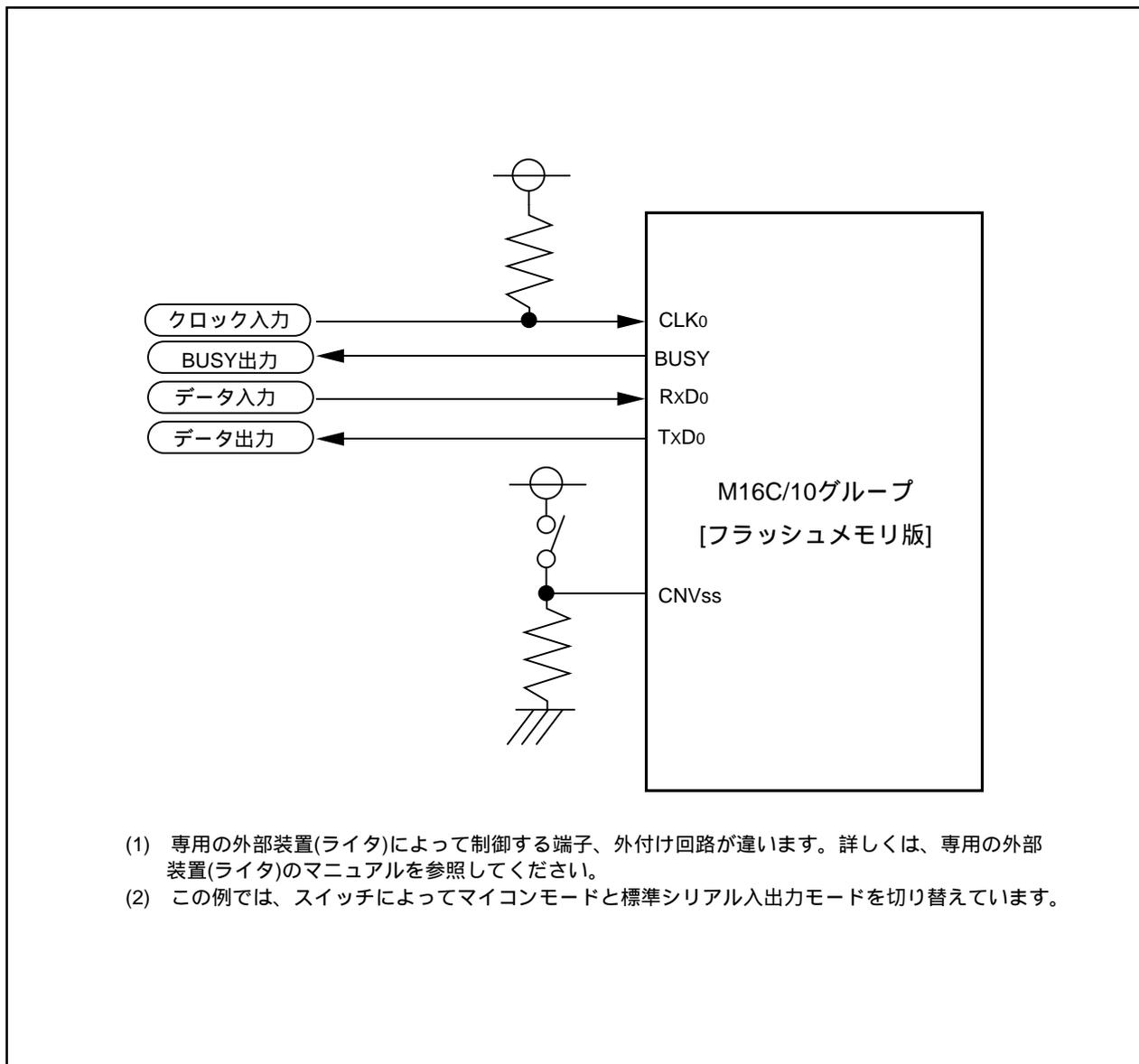


図17.4. 標準シリアル入出力モード1時の応用回路例

## 17.3.2. 標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

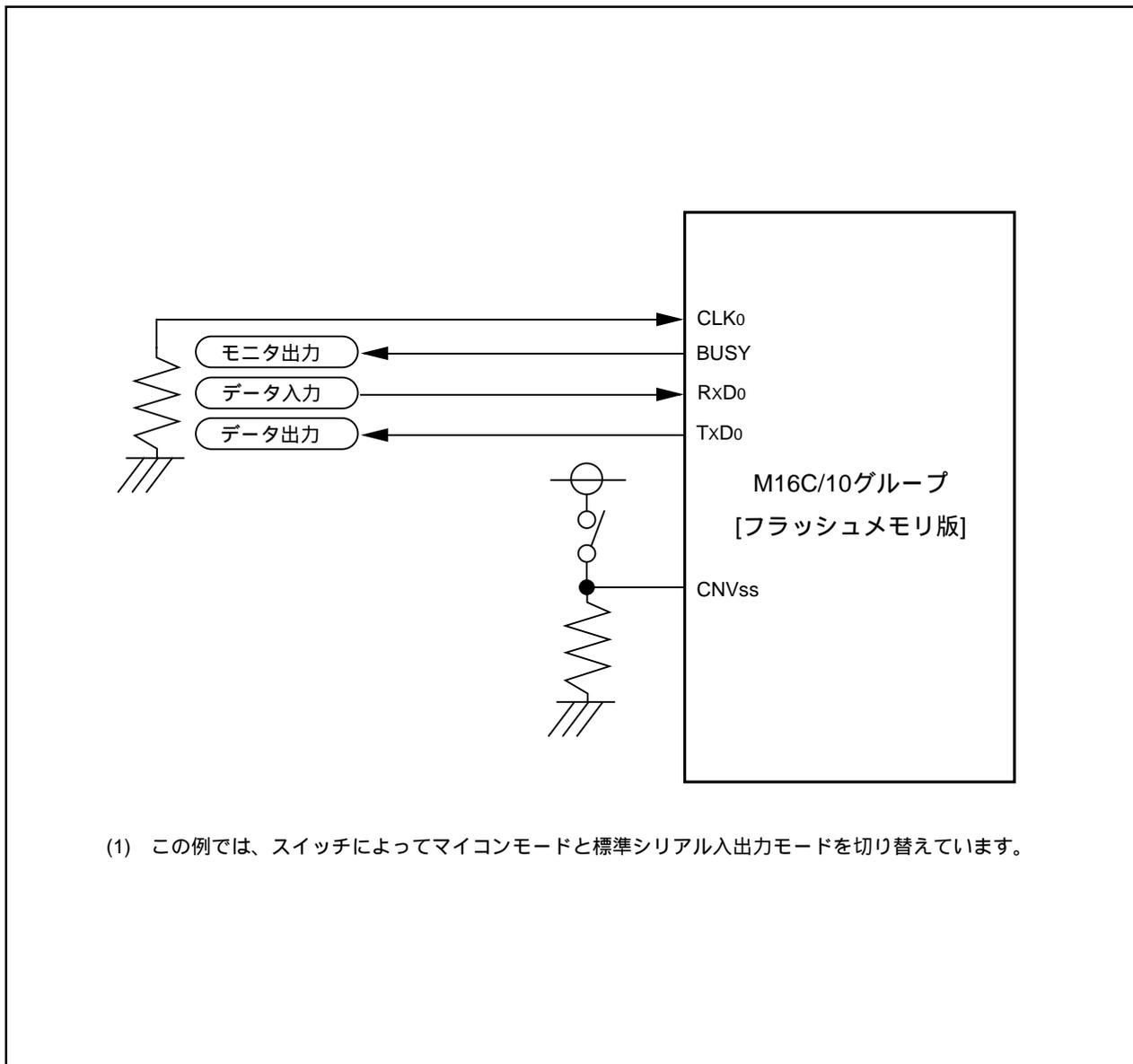


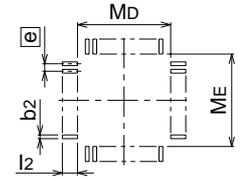
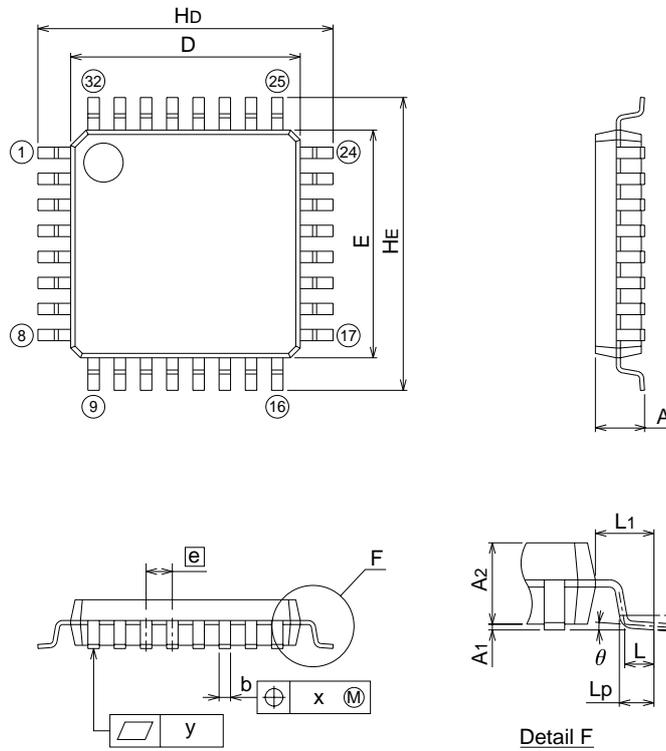
図17.5. 標準シリアル入出力モード2時の応用回路例

### 18. パッケージ外形図

#### 32P6U-A Recommended

#### Plastic 32pin 7X7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP32-P-0707-0.80	-		Cu Alloy



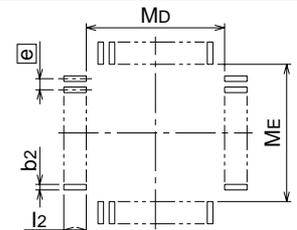
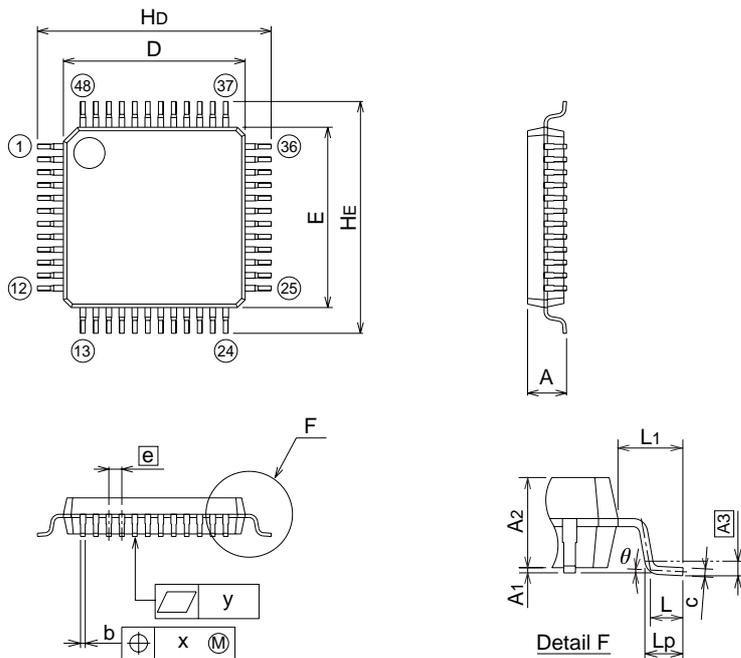
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.32	0.37	0.45
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.8	-
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.2
y	-	-	0.1
theta	0°	-	10°
b2	-	0.5	-
l2	1.0	-	-
MD	-	7.4	-
ME	-	7.4	-

#### 48P6Q-A Recommended

#### Plastic 48pin 7X7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	-	-	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.5	-
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.35	0.5	0.65
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	8°
b2	-	0.225	-
l2	1.0	-	-
MD	-	7.4	-
ME	-	7.4	-

## レジスタ索引

### A

AD 116  
ADCON0 115  
ADCON1 115  
ADCON2 116  
ADIC 44  
AIER 57

### C

CM0 25  
CM1 25  
CM2 26, 34  
CNTR0IC 44  
CPSRF 26

### D

DA 121  
DACON 121  
DRR 128

### I

INT0F 52, 85  
INT0IC 44  
INT1IC 44  
INT2IC 44  
INT3IC 44  
INTEN 52, 85

### K

KIEN 56  
KUPIC 44

### P

P0 ~ P4 127  
PD0 ~ PD4 127  
PM0 20  
PM1 20, 61  
PRCR 37  
PR1 64  
PRX 66  
PRY 75  
PRZ 83  
PUM 76, 84  
PUR0, PUR1 128

### R

RMAD0 57  
RMAD1 57

### S

S0RIC, S1RIC 44  
S0TIC, S1TIC 44

### T

T1 64  
T1IC 44  
TCIC 44  
TCINIC 44  
TX 66  
TXIC 44  
TXMR 54, 65  
TYIC 44  
TYPR 75  
TYSC 75  
TYZMR 74, 82  
TYZOC 75, 85  
TZIC 44  
TZPR 83  
TZSC 83

### U

U0BRG, U1BRG 101  
U0C0, U1C0 102  
U0C1, U1C1 103  
U0MR, U1MR 102  
U0RB, U1RB 101  
U0TB, U1TB 101  
UCON 103

### V

### W

WDC 61  
WDTS 61

## 改訂履歴

## M16C/10 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
E1	03/2/13		
1.00	04/03/15	1 4 5 5,6 8 9 13 18 23 25 37 54 55 56 58 62 65 66 67 68 69 70 72 73 78 80 82 84 85 89 91 92 94 96 97 104 109 113 127 130 ~ 158 130 143 151 160 164 165	目次を一部修正(図、表番号の付け直し) 図 1.2 を一部変更 図 1.3 を一部変更 表 1.2 ~ 表 1.4 を追加 図 1.6 を一部変更 表 1.5 を一部変更 図 3.1 を一部変更 リセット説明文を一部変更 図 7.3 を一部変更 図 7.4 を一部変更 図 8.1 を一部変更 図 9.12 を一部変更 図 9.13 を一部変更 図 9.14 を一部変更 9.7.3 外部割り込み本文と図 9.17 を一部変更 表 11.1 を一部変更 図 11.4 を一部変更 図 11.5 を一部変更 図 11.6 を一部変更 表 11.4 の注、図 11.7 を一部変更 表 11.5 の注、図 11.8 を一部変更 表 11.6 の注、図 11.9 を一部変更 表 11.7 の注、図 11.11 を一部変更 図 11.12 を一部変更 図 11.17 を一部変更 図 11.18 を一部変更 図 11.21 を一部変更 図 11.23 を一部変更 図 11.24 を一部変更 図 11.26 を一部変更 図 11.27 を一部変更 図 11.28 を一部変更 図 11.29 を一部変更 本文、図 11.31、表 11.14 を一部変更 図 11.32 を一部変更 表 12.1 と注 2 を一部修正 表 12.3 と注 3 を一部修正 表 13.1 の注 2 を一部修正 図 15.5 を一部変更 バージョン毎に記述を分割し、データを一部修正 表 16.1 を一部修正 表 16.19 を一部修正 表 16.29 を一部修正 端子の機能説明を一部修正 図 17.4 を一部修正 図 17.5 を一部修正
1.10	04/06/15	B-1,B-2 2	“監視タイマ”を“ウォッチドッグタイマ”に、“A-D”を“A/D”に、“D-A”を“D/A”に用語を統一 表 1.1 用語を統一

## 改訂履歴

## M16C/10 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
		3, 4	図 1.1 と図 1.2 用語を統一
		5, 6	図 1.3 と表 1.2 ~ 表 1.4 を修正
		9	表 1.5 “ A-D 変換器 ” を “ A/D コンバータ ” に用語を統一
		13	“ 3. メモリ ” “ A-D 変換器 ” を “ A/D コンバータ ” に用語を統一
			図 3.1 “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		14	“ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		15	“ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		17	“ A-D ” を “ A/D ” に、“ D-A ” を “ D/A ” に用語を統一
		19	図 5.3、“ 5.2 ソフトウェアリセット ”、図 5.4 用語を統一
		23	図 7.3 に fRING <sub>256</sub> を追加
		24	“ 7.2.7 fRING ” に fRING <sub>256</sub> を追加
		22 ~ 36	“ 7. クロック発生回路 ” 用語を統一
		33 ~ 36	ヘッダの誤記を修正
		39	図 9.1 “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		40,41	“ 監視タイマ ” を “ ウォッチドッグタイマ ” に、“ A-D 変換 ” を “ A/D 変換 ” に、“ A-D 変換器 ” を “ A/D コンバータ ” に用語を統一。RING512 を fRING <sub>256</sub> に修正。
		42	表 9.2 “ A-D ” を “ A/D 変換 ” に用語を統一
		48	表 9.6 “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		50,51	“ 監視タイマ ” を “ ウォッチドッグタイマ ” に、“ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		55	図 9.13 用語を統一。RING512 および RING256 を fRING <sub>256</sub> に変更
		60,61	“ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		64,66,76	図 11.2、図 11.5、図 11.16 用語を統一。オンチップオシレータ出力を fRING に変更
		77,79	表 11.8、表 11.9 用語を統一
		84	図 11.23 用語を統一。オンチップオシレータ出力を fRING に変更
		96	図 11.31 用語を統一。fRING、fRING <sub>256</sub> を追加
		97	図 11.32 用語を統一。RING256 を fRING <sub>256</sub> に変更
		113 ~ 119	“ A-D 変換器 ” を “ A/D コンバータ ” に “ A-D ” を “ A/D ” に用語を統一
		120 ~ 121	“ D-A 変換器 ” を “ D/A コンバータ ” に “ D-A ” を “ D/A ” に用語を統一
		122	“ D-A 変換器 ” を “ D/A コンバータ ” に用語を統一
		123, 125	図 15.1 と図 15.3 の用語を統一
		132,133	表 16.3 の(1)と(2) を用語を統一
		134	“ A-D 変換器 ” を “ A/D コンバータ ” に “ A-D ” を “ A/D ” に “ D-A ” を “ D/A ” に用語を統一
		138,139	表 16.11 の(1)と(2) を用語を統一
		140	“ A-D 変換器 ” を “ A/D コンバータ ” に “ A-D ” を “ A/D ” に “ D-A ” を “ D/A ” に用語を統一
		145,146	表 16.21 の(1)と(2) を用語を統一
		147	“ A-D 変換器 ” を “ A/D コンバータ ” に “ A-D ” を “ A/D ” に “ D-A ” を “ D/A ” に用語を統一
		153,154	表 16.31 の(1)と(2) を用語を統一
		155	“ A-D 変換器 ” を “ A/D コンバータ ” に “ A-D ” を “ A/D ” に “ D-A ” を “ D/A ” に用語を統一
		160	表 “ 端子の機能説明 ” で “ AD 変換器 ” を “ A/D コンバータ ” に用語を統一

---

M16C/10グループハードウェアマニュアル

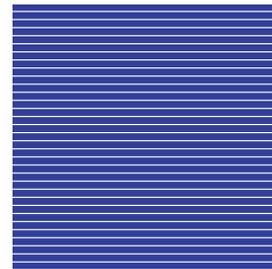
発行年月日 2003年2月13日 Rev. E1  
2004年6月15日 Rev. 1.10

発行 株式会社 ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町2-6-2

---

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/10グループ  
ハードウェアマニュアル



株式会社ルネサス テクノロジ  
東京都千代田区大手町2-6-2 日本ビル 〒100-0004

# M16C/10グループ

## 注意事項集

ルネサス16ビットシングルチップマイクロコンピュータ  
M16Cファミリ / M16C/10シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

### 安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# はじめに

本書は、M16C/10グループの注意事項集です。「注意事項集」とは、ユーザーズマニュアルの注意事項の節と関連するテクニカルニュースをまとめた資料です。システム開発時の参考にしてください。ただし、すべての注意事項を網羅している訳ではありませんので、システム開発時には、十分な評価を行ってください。

# 目次

1. 使用上の注意事項 .....	1
1.1. ストップモード、ウェイトモードの注意事項 .....	1
1.2. ストップモードの注意事項 .....	1
1.3. 割り込みの注意事項 .....	1
1.3.1. 00000 <sub>16</sub> 番地の読み出し .....	1
1.3.2. スタックポインタの設定 .....	1
1.3.3. 外部割り込み .....	1
1.3.4. 割り込み制御レジスタの変更 .....	2
1.4. タイマの注意事項 .....	3
1.4.1. タイマ1の注意事項 .....	3
1.4.2. タイマX、タイマY、タイマZの注意事項 .....	3
1.4.3. タイマXの注意事項 .....	3
1.4.4. タイマYの注意事項 .....	3
1.4.5. タイマZの注意事項 .....	4
1.4.6. タイマCの注意事項 .....	4
1.5. シリアルI/Oの注意事項 .....	4
1.6. A/Dコンバータの注意事項 .....	5
1.7. ノイズに関する注意事項 .....	5

## 1. 使用上の注意事項

### 1.1. ストップモード、ウエイトモードの注意事項

- (1) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

### 1.2. ストップモードの注意事項

- (1) ストップモードからの復帰後、未定義命令割り込み、およびBRK命令割り込みなど、予期しない動作をすることがあります。  
全クロック停止制御ビットへの書き込み命令の後に、JMP.B命令を実行してください。参考プログラムを以下に示します。

```
MOV.B:S #21H, CM1 ; 全クロック停止制御ビットを“1”にする(ストップモード)
JMP.B L1
L1:
NOP
NOP
NOP
NOP
```

### 1.3. 割り込みの注意事項

#### 1.3.1. 00000<sub>16</sub>番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000<sub>16</sub>番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000<sub>16</sub>番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000<sub>16</sub>番地に対して読み出しを行わないでください。

#### 1.3.2. スタックポインタの設定

リセット直後スタックポインタの値は、“0000<sub>16</sub>”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

#### 1.3.3. 外部割り込み

INT0～INT3端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

### 1.3.4. 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

#### < 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  NOP
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマ 1 割り込み制御レジスタに " 0016 " を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・MOV

## 1.4. タイマの注意事項

### 1.4.1. タイマ1の注意事項

- (1) プリスケーラ1とタイマ1をワードサイズで同時に読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

### 1.4.2. タイマX、タイマY、タイマZの注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマ(X, Y, Z)およびプリスケーラ(X, Y, Z)に値を設定した後、カウントを開始してください。
- (2) プリスケーラ(X, Y, Z)とタイマ(X, Y, Z)をワードサイズで同時に読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

### 1.4.3. タイマXの注意事項

- (1) パルス周期測定モードで使用する有効エッジ判定フラグおよびタイマXアンダフローフラグは、プログラムで“0”を書くと“0”になり、“1”を書くと変化しません。プログラムでいずれかのフラグを“0”にする場合、MOV命令を用いて他方のフラグには“1”を書き込んでください。(意図しないフラグのクリアを防ぐことができます。)

<有効エッジ判定フラグを“0”にするプログラム例>

```
MOV.B      #10XXXXXXB,008BH
```

- (2) 他のモードからパルス周期測定モードに変更したとき、有効エッジ判定フラグおよびタイマXアンダフローフラグの値は不定です。タイマXのカウントを開始する前に有効エッジ判定フラグおよびタイマXアンダフローフラグに“0”を書き込んでください。

- (3) パルス周期測定モード時、タイマを停止するときはMOV命令を使用してください。

例           MOV.B       #11100X00B,008BH

### 1.4.4. タイマYの注意事項

- (1) タイマYカウント開始フラグを“0”にしてカウントを停止したとき、タイマはリロードレジスの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (2) タイマYカウント開始フラグを“0”にしてカウントを停止したとき、タイマY割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。タイマを停止する前に、割り込みを禁止してください。また、カウントを再度開始する前に、タイマY割り込み要求フラグを“0”にしてください。

#### 1.4.5. タイマZの注意事項

- (1) タイマZカウント開始フラグを“0”にしてカウントを停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (2) タイマZカウント開始フラグを“0”にしてカウントを停止したとき（全モード）、およびワンショット開始ビットを“0”にしてカウントを停止したとき（プログラマブルワンショット発生モード/プログラマブルウエイトワンショット発生モード）、タイマZ割り込み要求フラグが“1”になり、割り込みが発生する可能性があります。タイマを停止する前に、割り込みを禁止してください。また、カウントを再度開始する前に、タイマZ割り込み要求フラグを“0”にしてください。

#### 1.4.6. タイマCの注意事項

- (1) タイマCおよび時間計測レジスタを読み出すときは、ワードサイズで読み出してください。タイマCはワードサイズで読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W      0091H,R0    ;タイマCの読み出し
```

#### 1.5. シリアルI/Oの注意事項

- (1) クロック非同期形シリアルI/Oモード時に、UARTi受信バッファレジスタを読み出す時は、上位バイト 下位バイトの順で、バイトサイズで読み出してください。  
下位バイト 上位バイトの順で読み出した場合、またはワードサイズで読み出した場合には、フレーミングエラーフラグおよびパリティエラーフラグはクリアされます。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.B      00A7H,R0H    ;UART0受信バッファレジスタの上位バイトの読み出し  
MOV.B      00A6H,R0L    ;UART0受信バッファレジスタの下位バイトの読み出し
```

- (2) 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UARTi送信バッファレジスタに書き込みを行う時は、上位バイト 下位バイトの順で、バイトサイズで書き込んでください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B      #XXH,00A3H   ;UART0送信バッファレジスタの上位バイトへの書き込み  
MOV.B      #XXH,00A2H   ;UART0送信バッファレジスタの下位バイトへの書き込み
```

## 1.6. A/Dコンバータの注意事項

- (1) A/D制御レジスタ0の各ビット(ビット6を除く)、A/D制御レジスタ1の各ビット、およびA/D制御レジスタ2のビット0に対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。  
特にVref接続ビットを“0”から“1”にしたときは、1  $\mu$ s以上経過した後にA/D変換を開始させてください。
- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードで使用する場合  
A/D変換が完了したことを確認してから、A/Dレジスタを読み出してください(A/D変換の完了はA/D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモードで使用する場合  
CPUの内部クロックは、メインクロックを分周せずに使用してください。
- (5) A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、A/Dレジスタの値を使用しないでください。

## 1.7. ノイズに関する注意事項

- (1) ノイズおよびラッチアップ対策として、 $V_{CC}$ - $V_{SS}$ ライン間へのバイパスコンデンサ挿入  
 $V_{CC}$ 端子と $V_{SS}$ 端子間にバイパスコンデンサ(0.1  $\mu$ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。
- (2) ポート制御レジスタのノイズ誤動作対策  
過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。このような場合のソフトウェア対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。
- (3) CNVss端子配線  
ノイズ誤動作耐量向上のために、5k  $\Omega$ 程度の抵抗をできるだけ端子に近い位置に挿入して $V_{SS}$ と接続(プルダウン)してください。



---

M16C/10グループハードウェアマニュアル

発行年月日 2003年2月13日 Rev. E1  
2004年6月15日 Rev. 1.10

発行 株式会社 ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町2-6-2

M16C/10 グループ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0066-0110Z