

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/3877N シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3877N	HD6473877N
	HD6433877N
H8/3876N	HD6433876N
H8/3875N	HD6433875N

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、株式会社日立製作所は一切その責任を負いません。
3. 本資料によって第三者または株式会社日立製作所の特許権その他権利の実地権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

本版で改訂または追加された主な項目

ページ	項目	内容
1-3	表 1.1 特長 (3) 製品ラインアップ	製品型名の追加
1-5、1-6	図 1.2 および図 1.3 ピン配置図	TFP-100B および FP-100A の追加
1-7～1-10	表 1.2 端子機能	ピン番号の追加
6-2	表 6.2 ソケットアダプタ	FP-100A および TFP-100B の追加
6-3	図 6.2 ソケットアダプタの端子対応図	TFP-100B の追加
10-61、10-62	(8) SCK ₃ の端子機能切換えに伴う注意事項	追加
14-1	表 14.1 絶対最大定格	規格値の修正
14-4～14-11	表 14.2～表 14.8	条件の修正
E-1	表 E.1 型名一覧	表の追加
F-2	外形寸法図	FP-100A および TFP-100B の追加

はじめに

H8/300Lシリーズは、高速H8/300L CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPUは、H8/300CPUと互換性のある命令体系を備えています。

H8/3877Nシリーズは、システム構成に必要な周辺機能として、高精度DTMF（トーンダイヤル）発生回路、マルチトーン発生回路、3種類のタイマ、2チャンネルのシリアルコミュニケーションインタフェース、A/D変換器を内蔵しています。

本マニュアルは、H8/3877Nシリーズハードウェアについて記載しています。命令の詳細については、「H8/300Lシリーズ プログラミングマニュアル」をあわせてご覧ください。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置	1-5
1.3.2	端子機能	1-7

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-26
2.5.7	システム制御命令	2-28
2.5.8	ブロック転送命令	2-29
2.6	基本動作タイミング	2-30
2.6.1	内蔵メモリ (RAM、ROM)	2-30
2.6.2	内蔵周辺モジュール	2-30
2.7	CPUの状態	2-32
2.7.1	概要	2-32

2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33
2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.9	使用上の注意事項	2-35
2.9.1	データアクセスに関する注意事項	2-35
2.9.2	ビット操作命令使用上の注意事項	2-37
2.9.3	EEPMOV命令使用上の注意事項	2-43

第 3 章 例外処理

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割込み	3-3
3.3	割込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割込み	3-15
3.3.4	内部割込み	3-16
3.3.5	割込み動作	3-17
3.3.6	割込み応答時間	3-22
3.4	使用上の注意事項	3-23
3.4.1	スタック領域に関する使用上の注意事項	3-23
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-24

第 4 章 クロック発振器

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-5
4.4	プリスケラ	4-6
4.5	発振子に関する注意事項	4-6

第 5 章 低消費電力モード

5.1	概要	5 - 1
5.1.1	システムコントロールレジスタ	5 - 4
5.2	スリープモード	5 - 8
5.2.1	スリープモードへの遷移	5 - 8
5.2.2	スリープモードの解除	5 - 8
5.3	スタンバイモード	5 - 9
5.3.1	スタンバイモードへの遷移	5 - 9
5.3.2	スタンバイモードの解除	5 - 9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5 - 10
5.4	ウォッチモード	5 - 11
5.4.1	ウォッチモードへの遷移	5 - 11
5.4.2	ウォッチモードの解除	5 - 11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5 - 11
5.5	サブスリープモード	5 - 12
5.5.1	サブスリープモードへの遷移	5 - 12
5.5.2	サブスリープモードの解除	5 - 12
5.6	サブアクティブモード	5 - 13
5.6.1	サブアクティブモードへの遷移	5 - 13
5.6.2	サブアクティブモードの解除	5 - 13
5.6.3	サブアクティブモードの動作周波数について	5 - 13
5.7	アクティブ（中速）モード	5 - 14
5.7.1	アクティブ（中速）モードへの遷移	5 - 14
5.7.2	アクティブ（中速）モードの解除	5 - 14
5.7.3	アクティブ（中速）モードの動作周波数について	5 - 14
5.8	直接遷移	5 - 15

第 6 章 ROM

6.1	概要	6 - 1
6.1.1	ブロック図	6 - 1
6.2	PROMモード	6 - 2
6.2.1	PROMモードの設定	6 - 2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6 - 2
6.3	プログラミング	6 - 5
6.3.1	書込み／ベリファイ	6 - 6
6.3.2	書込み時の注意	6 - 8
6.4	書込み後の信頼性	6 - 9

第 7 章 R A M

7.1	概要	7-1
7.1.1	ブロック図	7-1

第 8 章 I / O ポート

8.1	概要	8-1
8.2	ポート 1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-8
8.2.4	端子状態	8-10
8.2.5	入力プルアップ M O S	8-10
8.3	ポート 2	8-11
8.3.1	概要	8-11
8.3.2	レジスタの構成と説明	8-11
8.3.3	端子機能	8-15
8.3.4	端子状態	8-16
8.3.5	入力プルアップ M O S	8-17
8.4	ポート 5	8-18
8.4.1	概要	8-18
8.4.2	レジスタの構成と説明	8-18
8.4.3	端子機能	8-21
8.4.4	端子状態	8-21
8.4.5	入力プルアップ M O S	8-22
8.5	ポート 6	8-23
8.5.1	概要	8-23
8.5.2	レジスタの構成と説明	8-23
8.5.3	端子機能	8-25
8.5.4	端子状態	8-25
8.5.5	入力プルアップ M O S	8-25
8.6	ポート 7	8-26
8.6.1	概要	8-26
8.6.2	レジスタの構成と説明	8-26
8.6.3	端子機能	8-28
8.6.4	端子状態	8-28
8.7	ポート 8	8-29
8.7.1	概要	8-29
8.7.2	レジスタの構成と説明	8-29
8.7.3	端子機能	8-31
8.7.4	端子状態	8-31

8. 8	ポート 9	8 - 32
8. 8. 1	概要	8 - 32
8. 8. 2	レジスタの構成と説明	8 - 32
8. 8. 3	端子機能	8 - 34
8. 8. 4	端子状態	8 - 34
8. 9	ポート A	8 - 35
8. 9. 1	概要	8 - 35
8. 9. 2	レジスタの構成と説明	8 - 35
8. 9. 3	端子機能	8 - 37
8. 9. 4	端子状態	8 - 37
8. 10	ポート B	8 - 38
8. 10. 1	概要	8 - 38
8. 10. 2	レジスタの構成と説明	8 - 38
8. 11	ポート D	8 - 39
8. 11. 1	概要	8 - 39
8. 11. 2	レジスタの構成と説明	8 - 39
8. 11. 3	端子機能	8 - 41
8. 11. 4	端子状態	8 - 41
8. 12	ポート E	8 - 42
8. 12. 1	概要	8 - 42
8. 12. 2	レジスタの構成と説明	8 - 42
8. 12. 3	端子機能	8 - 44
8. 12. 4	端子状態	8 - 44

第 9 章 タイマ

9. 1	概要	9 - 1
9. 2	タイマ A	9 - 2
9. 2. 1	概要	9 - 2
9. 2. 2	各レジスタの説明	9 - 4
9. 2. 3	動作説明	9 - 6
9. 2. 4	タイマ A の動作モード	9 - 7
9. 3	タイマ F	9 - 8
9. 3. 1	概要	9 - 8
9. 3. 2	各レジスタの説明	9 - 11
9. 3. 3	CPU とのインタフェース	9 - 18
9. 3. 4	動作説明	9 - 20
9. 3. 5	使用上の注意事項	9 - 23
9. 4	タイマ G	9 - 25
9. 4. 1	概要	9 - 25
9. 4. 2	各レジスタの説明	9 - 27

9.4.3	ノイズ除去回路	9-31
9.4.4	動作説明	9-32
9.4.5	使用上の注意事項	9-37
9.4.6	タイマGの使用例	9-41

第10章 シリアルコミュニケーションインタフェース

10.1	概要	10-1
10.2	SC11	10-2
10.2.1	概要	10-2
10.2.2	各レジスタの説明	10-5
10.2.3	動作説明	10-9
10.2.4	割込み要因	10-11
10.3	SC13	10-12
10.3.1	概要	10-12
10.3.2	各レジスタの説明	10-15
10.3.3	動作概要	10-32
10.3.4	調歩同期式モード時の動作説明	10-36
10.3.5	クロック同期式モード時の動作説明	10-45
10.3.6	マルチプロセッサ通信機能	10-52
10.3.7	割込み要因	10-57
10.3.8	使用上の注意事項	10-58

第11章 DTMF発生回路

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-3
11.2.1	DTMFコントロールレジスタ(DTCR)	11-3
11.2.2	DTMFロードレジスタ(DTLR)	11-5
11.3	動作説明	11-6
11.3.1	出力波形	11-6
11.3.2	動作フロー	11-7
11.4	応用回路例	11-8
11.5	使用上の注意	11-8

第12章 A / D 変換器

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A / D リザルトレジスタ (ADRR)	12-4
12.2.2	A / D モードレジスタ (AMR)	12-4
12.2.3	A / D スタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A / D 変換動作	12-7
12.3.2	外部トリガによる A / D 変換器の起動	12-7
12.4	割込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12

第13章 マルチトーン発生回路

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-3
13.2.1	マルチトーンコントロールレジスタ (MTCR)	13-3
13.2.2	有効ビット長レジスタ (EBLR)	13-5
13.2.3	フレームレジスタ (FRMR)	13-6
13.2.4	微調整レジスタ (FTNR)	13-6
13.2.5	初期レベルレジスタ (ITLR)	13-7
13.3	動作説明	13-8
13.3.1	出力波形	13-8
13.3.2	動作フロー	13-9
13.4	各レジスタの設定	13-11
13.4.1	各レジスタ設定値の求め方	13-11
13.4.2	各レジスタの設定例	13-12
13.5	MTGRAMへのビットパターンの設定	13-14
13.5.1	MTGRAMとビットパターンの関係	13-14
13.5.2	ビットパターンの設定例	13-15
13.5.3	ビットパターンの書換え	13-17
13.6	使用上の注意	13-18

第14章 電気的特性

14.1	絶対最大定格	14-1
14.2	電気的特性	14-2
14.2.1	電源電圧と動作範囲	14-2
14.2.2	DC特性	14-4
14.2.3	AC特性	14-8
14.2.4	A/D変換器特性	14-10
14.2.5	DTMF/MTG特性	14-11
14.3	動作タイミング	14-13
14.4	出力負荷回路	14-16

付録

A.	命令	A-1
A.1	命令一覧	A-1
A.2	オペレーションコードマップ	A-11
A.3	命令実行ステート数	A-12
B.	内部I/Oレジスタ一覧	B-1
B.1	アドレス一覧	B-1
B.2	機能一覧	B-5
C.	I/Oポートブロック図	C-1
C.1	ポート1ブロック図	C-1
C.2	ポート2ブロック図	C-6
C.3	ポート5ブロック図	C-14
C.4	ポート6ブロック図	C-15
C.5	ポート7ブロック図	C-16
C.6	ポート8ブロック図	C-17
C.7	ポート9ブロック図	C-18
C.8	ポートAブロック図	C-19
C.9	ポートBブロック図	C-20
C.10	ポートDブロック図	C-21
C.11	ポートEブロック図	C-22
D.	各処理状態におけるポートの状態	D-1
E.	型名一覧	E-1
F.	外形寸法図	F-1

1. 概要

第1章 目次

1.1	概要	1 - 1
1.2	内部ブロック図	1 - 4
1.3	端子説明	1 - 5
1.3.1	ピン配置	1 - 5
1.3.2	端子機能	1 - 7

1. 1 概要

H 8 / 3 0 0 L シリーズは、高速 H 8 / 3 0 0 L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU : Microcomputer Unit) です。

H 8 / 3 8 7 7 N シリーズは、高精度 DTMF (トーンダイアル) 発生回路、マルチトーン発生回路を内蔵した H 8 / 3 0 0 L シリーズのシングルチップマイクロコンピュータで、その他の周辺機能として、3 種類のタイマ、2 チャンネルのシリアルコミュニケーションインタフェース、A / D 変換器などを内蔵しています。内蔵メモリは、ROM 60k / 48k / 40k バイト (H 8 / 3 8 7 7 N、H 8 / 3 8 7 6 N、H 8 / 3 8 7 5 N)、RAM 2 k バイト版が用意されています。

H 8 / 3 8 7 7 N には、ユーザサイドで自由にプログラムの書込みができる PROM を内蔵した Z T A T[®]* 版もあります。

H 8 / 3 8 7 7 N シリーズの特長を表 1. 1 に示します。

【注】* Z T A T は (株) 日立製作所の登録商標です。

表 1. 1 特長(1)

項 目	仕 様
CPU	高速 H 8 / 3 0 0 L CPU (1) 汎用レジスタ方式 ・汎用レジスタ : 8 ビット × 16 本 (16 ビット × 8 本としても使用可能) (2) 高速演算 ・最高動作周波数 : 5 MHz ・加減算 : 0. 4 μs (φ = 5 MHz 動作時) ・乗除算 : 2. 8 μs (φ = 5 MHz 動作時) ・32. 768 k Hz サブクロックによる動作可能 (3) H 8 / 3 0 0 CPU と互換性のある命令体系 ・命令フォーマットは 2 バイトまたは 4 バイト長 ・基本演算はレジスタ-レジスタ間で実行 ・MOV 命令によるメモリーレジスタ間データ転送 (4) 特長ある命令 ・乗算命令 (8 ビット × 8 ビット) ・除算命令 (16 ビット ÷ 8 ビット) ・ビットアキュムレータ命令 ・レジスタ間接指定によりビット位置の指定が可能

表 1.1 特長(2)

項 目	仕 様
割込み	31種類の割込み要因 ・外部割込み要因：14要因（NMI、IRQ ₀ ～IRQ ₆ 、WKP ₇ ～WKP ₀ ） ・内部割込み要因：17要因
クロック発振器	2種類のクロック発振器内蔵 ・システムクロック発振器：1～10MHz ・サブクロック発振器：32.768kHz
低消費電力モード	6種類の低消費電力モード ・スリープモード ・スタンバイモード ・ウォッチモード ・サブスリープモード ・サブアクティブモード ・アクティブ（中速）モード
メモリ	大容量メモリ内蔵 H8/3877N ・ROM：60kバイト・RAM：2kバイト H8/3876N ・ROM：48kバイト・RAM：2kバイト H8/3875N ・ROM：40kバイト・RAM：2kバイト
I/Oポート	I/Oポート80本 ・入出力端子：72本 ・入力端子：8本
タイマ	3種類のタイマ内蔵 (1) タイマA：インターバル/時計用タイムベース機能を内蔵した8ビットのタイマ ・システムクロック(ϕ) [*] を分周した8種類の内部クロックまたは時計用クロック(ϕ_w) [*] を分周した4種類のクロックによりカウントアップ可能 (2) タイマF：アウトプットコンペア機能を内蔵した16ビットのタイマ ・独立した2本の8ビットタイマとして使用可能 ・4種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・コンペアマッチ機能によりトグル出力可能 (3) タイマG：インプットキャプチャ/インターバル機能を内蔵した8ビットのタイマ ・4種類の内部クロックによりカウントアップ可能 ・インプットキャプチャ機能内蔵（ノイズ除去回路内蔵） 【注】 [*] ϕ 、 ϕ_w の定義は「第4章 クロック発振器」を参照してください。

表 1.1 特長(3)

項 目	仕 様																																							
シリアルコミュニケーションインタフェース	2チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) S C I 1 : クロック同期式 ・ 8ビット/16ビットの転送データを選択可能 (2) S C I 3 : 8ビットクロック同期式/調歩同期式 ・ マルチプロセッサ通信機能内蔵																																							
A/D変換器	抵抗ラダー方式による逐次比較方式の8ビットA/D変換器 ・ 8チャンネルのアナログ入力端子 ・ 変換時間: 1チャンネル当たり31/φ、62/φ、または124/φ																																							
DTMF発生回路	OSCクロック(1.2MHz~10MHz、400kHz刻み)対応のトーンダイヤル内蔵																																							
マルチトーン発生回路	幅広い範囲で、任意の周波数および任意の波形の出力可能 (40Hz~4000Hz: OSCクロック=10MHz時)																																							
製品ラインアップ	<table border="1"> <thead> <tr> <th colspan="2" data-bbox="507 842 911 887">製 品 型 名</th> <th data-bbox="912 842 1225 898" rowspan="2">パッケージ</th> <th data-bbox="1227 842 1374 936" rowspan="2">ROM/RAM サイズ</th> </tr> <tr> <th data-bbox="507 889 711 936">マスクROM版</th> <th data-bbox="713 889 911 936">ZTAT®版</th> </tr> </thead> <tbody> <tr> <td data-bbox="507 938 711 983">HD6433877NH</td> <td data-bbox="713 938 911 983">HD6473877NH</td> <td data-bbox="912 938 1225 983">100E7QFP(FP-100B)</td> <td data-bbox="1227 938 1374 1014" rowspan="2">R O M 60kバイト</td> </tr> <tr> <td data-bbox="507 985 711 1030">HD6433877NF</td> <td data-bbox="713 985 911 1030">HD6473877NF</td> <td data-bbox="912 985 1225 1030">100E7QFP(FP-100A)</td> </tr> <tr> <td data-bbox="507 1032 711 1077">HD6433877NX</td> <td data-bbox="713 1032 911 1077">HD6473877NX</td> <td data-bbox="912 1032 1225 1077">100E7TQFP(TFP-100B)</td> <td data-bbox="1227 1016 1374 1093">R A M 2kバイト</td> </tr> <tr> <td data-bbox="507 1079 711 1124">HD6433876NH</td> <td data-bbox="713 1079 911 1124">————</td> <td data-bbox="912 1079 1225 1124">100E7QFP(FP-100B)</td> <td data-bbox="1227 1079 1374 1155" rowspan="2">R O M 48kバイト</td> </tr> <tr> <td data-bbox="507 1126 711 1171">HD6433876NF</td> <td data-bbox="713 1126 911 1171">————</td> <td data-bbox="912 1126 1225 1171">100E7QFP(FP-100A)</td> </tr> <tr> <td data-bbox="507 1173 711 1218">HD6433876NX</td> <td data-bbox="713 1173 911 1218">————</td> <td data-bbox="912 1173 1225 1218">100E7TQFP(TFP-100B)</td> <td data-bbox="1227 1158 1374 1234">R A M 2kバイト</td> </tr> <tr> <td data-bbox="507 1220 711 1265">HD6433875NH</td> <td data-bbox="713 1220 911 1265">————</td> <td data-bbox="912 1220 1225 1265">100E7QFP(FP-100B)</td> <td data-bbox="1227 1220 1374 1296" rowspan="2">R O M 40kバイト</td> </tr> <tr> <td data-bbox="507 1267 711 1312">HD6433875NF</td> <td data-bbox="713 1267 911 1312">————</td> <td data-bbox="912 1267 1225 1312">100E7QFP(FP-100A)</td> </tr> <tr> <td data-bbox="507 1314 711 1359">HD6433875NX</td> <td data-bbox="713 1314 911 1359">————</td> <td data-bbox="912 1314 1225 1359">100E7TQFP(TFP-100B)</td> <td data-bbox="1227 1281 1374 1357">R A M 2kバイト</td> </tr> </tbody> </table>	製 品 型 名		パッケージ	ROM/RAM サイズ	マスクROM版	ZTAT®版	HD6433877NH	HD6473877NH	100E7QFP(FP-100B)	R O M 60kバイト	HD6433877NF	HD6473877NF	100E7QFP(FP-100A)	HD6433877NX	HD6473877NX	100E7TQFP(TFP-100B)	R A M 2kバイト	HD6433876NH	————	100E7QFP(FP-100B)	R O M 48kバイト	HD6433876NF	————	100E7QFP(FP-100A)	HD6433876NX	————	100E7TQFP(TFP-100B)	R A M 2kバイト	HD6433875NH	————	100E7QFP(FP-100B)	R O M 40kバイト	HD6433875NF	————	100E7QFP(FP-100A)	HD6433875NX	————	100E7TQFP(TFP-100B)	R A M 2kバイト
製 品 型 名		パッケージ	ROM/RAM サイズ																																					
マスクROM版	ZTAT®版																																							
HD6433877NH	HD6473877NH	100E7QFP(FP-100B)	R O M 60kバイト																																					
HD6433877NF	HD6473877NF	100E7QFP(FP-100A)																																						
HD6433877NX	HD6473877NX	100E7TQFP(TFP-100B)	R A M 2kバイト																																					
HD6433876NH	————	100E7QFP(FP-100B)	R O M 48kバイト																																					
HD6433876NF	————	100E7QFP(FP-100A)																																						
HD6433876NX	————	100E7TQFP(TFP-100B)	R A M 2kバイト																																					
HD6433875NH	————	100E7QFP(FP-100B)	R O M 40kバイト																																					
HD6433875NF	————	100E7QFP(FP-100A)																																						
HD6433875NX	————	100E7TQFP(TFP-100B)	R A M 2kバイト																																					

1.2 内部ブロック図

H8/3877Nシリーズの内部ブロック図を図1.1に示します。

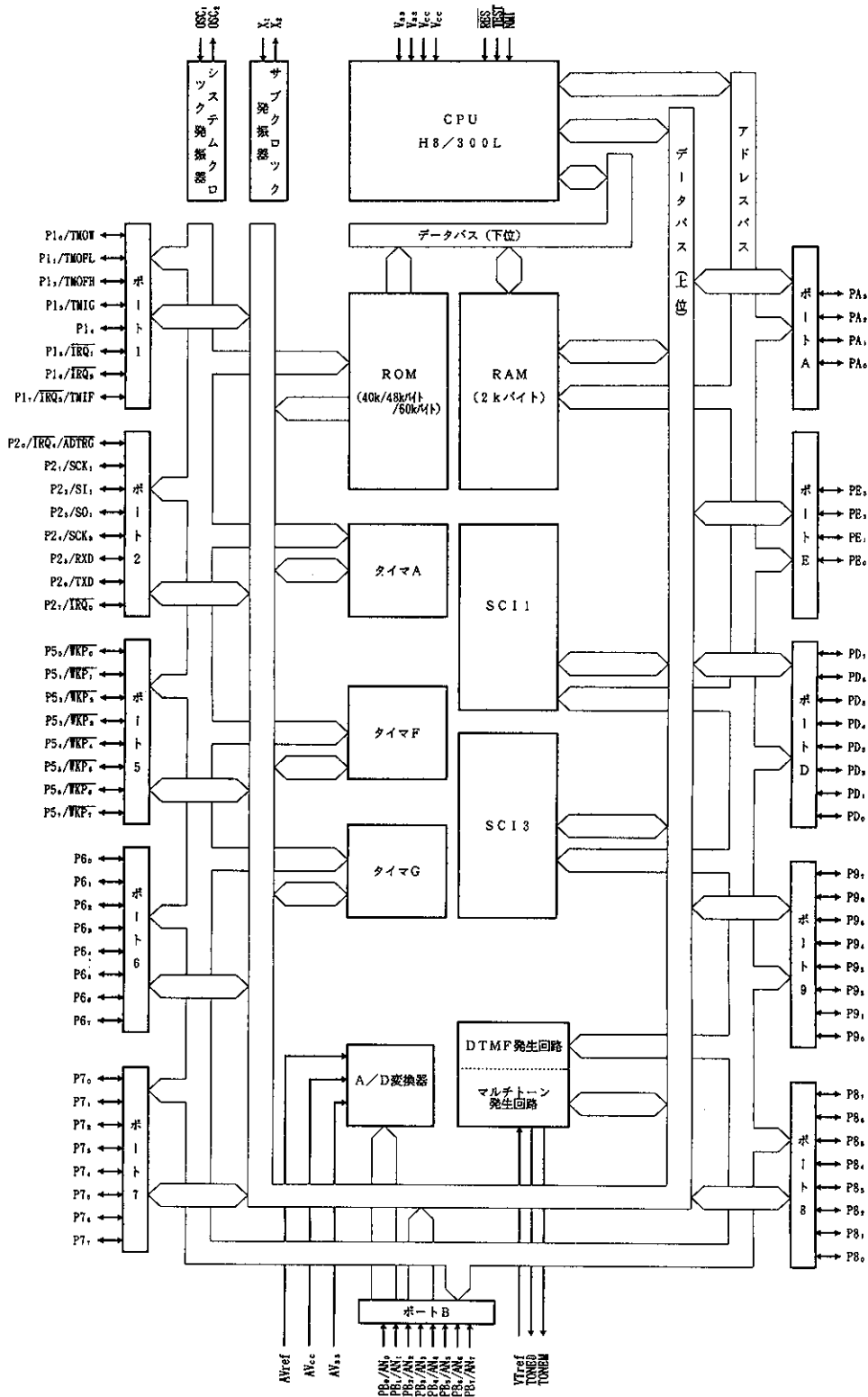


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H 8 / 3 8 7 7 N シリーズのピン配置図を図 1.2、図 1.3 に示します。

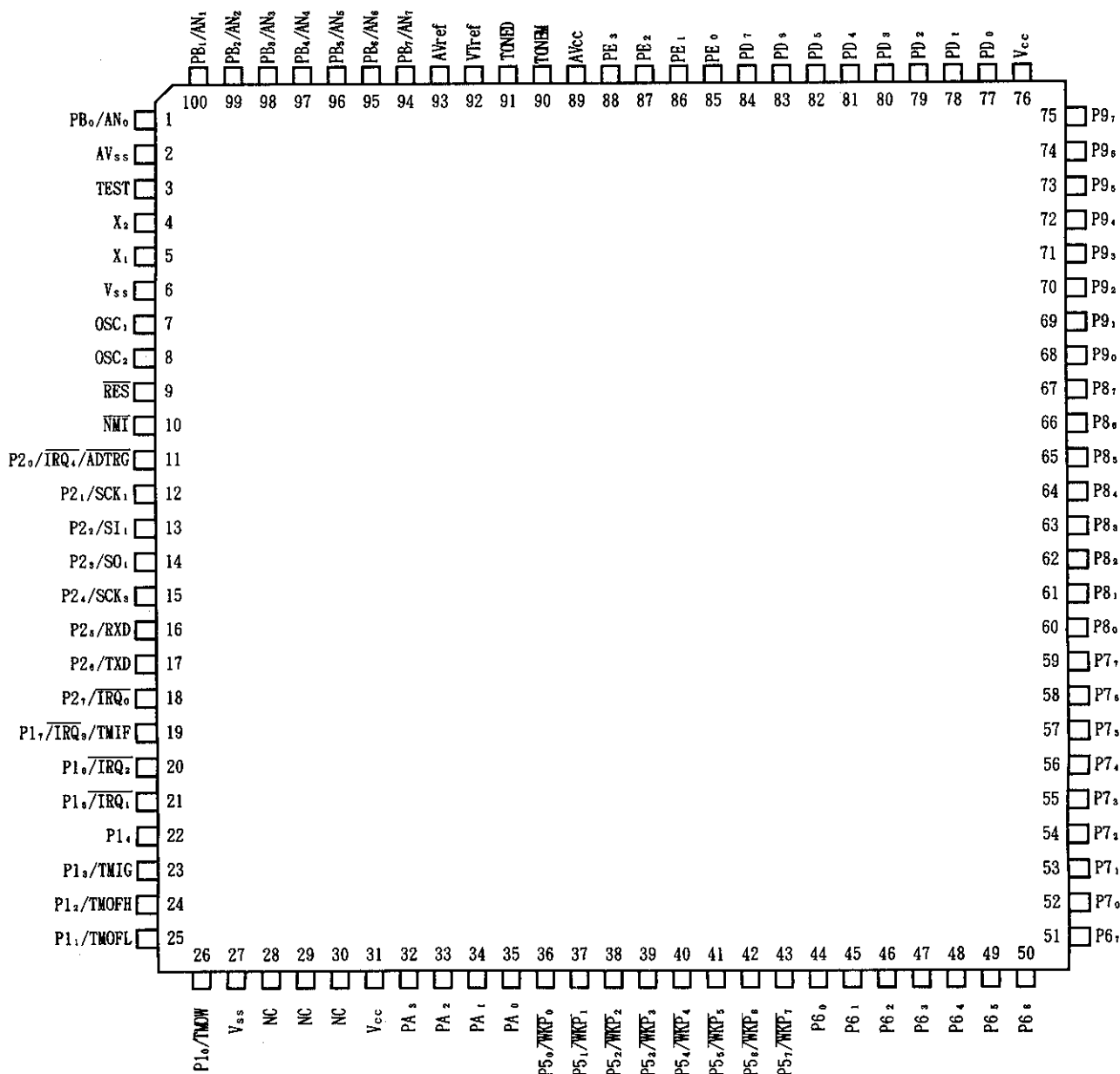


図 1.2 ピン配置図 (FP-100B、TFP-100B : 上面図)

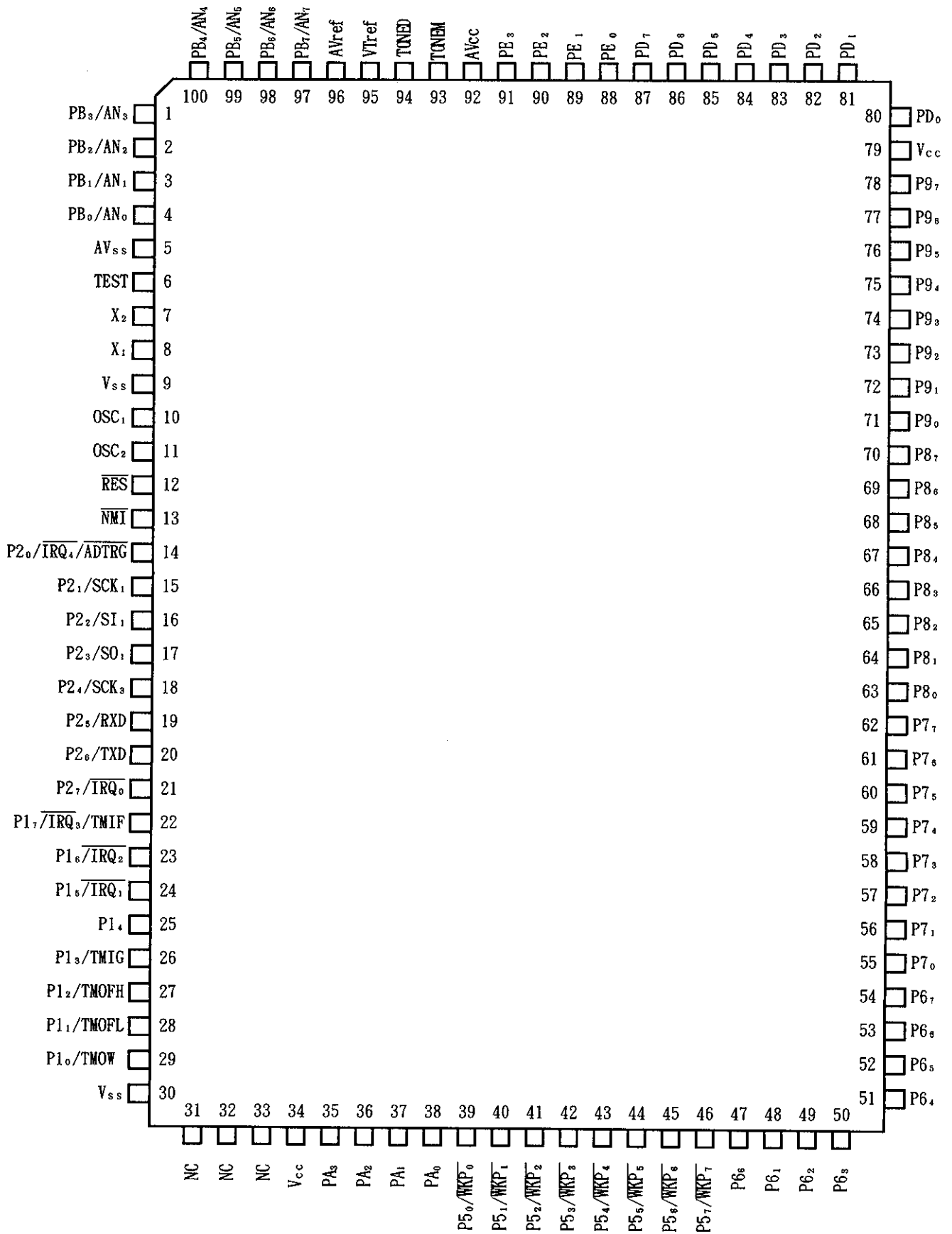


图 1.3 ピン配置図 (FP-100A : 上面図)

1.3.2 端子機能

(1) 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能(1)

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
電源	V _{cc}	31	34	入力	電源 V _{cc} 端子は、全端子、システムの電源 (+5V) に接続してください。
		76	79		
	V _{ss}	6	9	入力	グランド V _{ss} 端子は、全端子、システムの電源 (0V) に接続してください。
		27	30		
	AV _{cc}	89	92	入力	アナログ電源 A/D変換器用電源端子です。A/D変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AV _{ss}	2	5	入力	アナロググランド A/D変換器用グランド端子です。システムの電源 (0V) に接続してください。
AV _{ref}	93	96	入力	A/D変換器用基準レベル電源 A/D変換出力の基準レベル電源端子です。 A/D変換器を使用しない場合、システムの電源 (+5V) に接続してください。	
	VT _{ref}	92	95	入力	D T M F、マルチトーン発生回路基準レベル電源 D T M F、マルチトーン出力の基準レベル電源端子です。
クロック	OSC ₁	7	10	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第4章 クロック発振器」を参照してください。
	OSC ₂	8	11	出力	
	X ₁	5	8	入力	32.768kHzの水晶発振子を接続します。接続例については「第4章 クロック発振器」を参照してください。
	X ₂	4	7	出力	

表 1.2 端子機能(2)

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
システム 制御	RES	9	12	入力	<u>リセット</u> この端子を“Low”レベルにすると、リセット状態になります。
	TEST	3	6	入力	<u>テスト端子</u> ユーザは、使用できません。 V _{ss} 電位に接地してください。
割込み	NMI	10	13	入力	<u>ノンマスクابل割込み</u> 立上がりエッジセンス/立下がりエッジセンスを選択可能なノンマスクابل割込み入力端子です。
	$\overline{\text{IRQ}}_0$	18	21	入力	<u>外部割込み要求4~0</u> 立上がりエッジセンス/立下がりエッジセンスを選択可能な外部割込み入力端子です。
	$\overline{\text{IRQ}}_1$	21	24		
	$\overline{\text{IRQ}}_2$	20	23		
$\overline{\text{IRQ}}_3$	19	22			
	$\overline{\text{IRQ}}_4$	11	14		
	$\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$	43~36	46~39	入力	<u>ウェイクアップ割込み要求7~0</u> 立下がりエッジセンスの外部割込み入力端子です。
タイマ	TMOW	26	29	出力	<u>クロック出力</u> タイマA出力回路により生成された波形の出力端子です。
	TMIF	19	22	入力	<u>タイマFイベント入力</u> タイマFのカウンタに入力するイベント入力端子です。
	TMOFL	25	28	出力	<u>タイマFL出力</u> タイマFLアウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	24	27	出力	<u>タイマFH出力</u> タイマFHアウトプットコンペア機能に端子です。
	TMIG	23	26	入力	<u>タイマGキャプチャ入力</u> タイマGのインプットキャプチャの入力端子です。

表 1. 2 端子機能(3)

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
I/O ポート	PB ₇ ~ PB ₀	94~100、 1	97~100 1~4	入力	<u>ポート B</u> 8ビットの入力端子です。
	PA ₃ ~ PA ₀	32~35	35~38	入出力	<u>ポート A</u> 4ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、1ビットごとに入出力を指定できます。
	PD ₇ ~ PD ₀	84~77	87~80	入出力	<u>ポート D</u> 8ビットの入出力端子です。ポートコントロールレジスタ D (PCRD) によって、1ビットごとに入出力を指定できます。
	PE ₃ ~ PE ₀	88~85	91~88	入出力	<u>ポート E</u> 4ビットの入出力端子です。ポートコントロールレジスタ E (PCRE) によって、1ビットごとに入出力を指定できます。
	P1 ₇ ~ P1 ₀	19~26	22~29	入出力	<u>ポート 1</u> 8ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	18~11	21~14	入出力	<u>ポート 2</u> 8ビットの入出力端子です。ポートコントロールレジスタ 2 (PCR2) によって、1ビットごとに入出力を指定できます。
	P5 ₇ ~ P5 ₀	43~36	46~39	入出力	<u>ポート 5</u> 8ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	51~44	54~47	入出力	<u>ポート 6</u> 8ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1ビットごとに入出力を指定できます。

表 1. 2 端子機能(4)

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
I/O ポート	P7 ₇ ~ P7 ₀	59~52	62~55	入出力	<u>ポート 7</u> 8ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1ビットごとに入出力を指定できます。
	P8 ₇ ~ P8 ₀	67~60	70~63	入出力	<u>ポート 8</u> 8ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、1ビットごとに入出力を指定できます。
	P9 ₇ ~ P9 ₀	75~68	78~71	入出力	<u>ポート 9</u> 8ビットの入出力端子です。ポートコントロールレジスタ 9 (PCR9) によって、1ビットごとに入出力を指定できます。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SI ₁	13	16	入力	<u>SCI 1 受信データ入力</u> SCI 1 のデータ入力端子です。
	SO ₁	14	17	出力	<u>SCI 1 送信データ出力</u> SCI 1 のデータ出力端子です。
	SCK ₁	12	15	入出力	<u>SCI 1 クロック入出力</u> SCI 1 のクロック入出力端子です。
	RXD	16	19	入力	<u>SCI 3 受信データ入力</u> SCI 3 のデータ入力端子です。
	TXD	17	20	出力	<u>SCI 3 送信データ出力</u> SCI 3 のデータ出力端子です。
	SCK ₃	15	18	入出力	<u>SCI 3 クロック入出力</u> SCI 3 のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	94~100、 1	97~100 1~4	入力	<u>アナログ入力 (チャンネル 7 ~ チャンネル 0)</u> A/D変換器へのアナログデータ入力端子です。
	ADTRG ⁻	11	14	入力	<u>A/D変換器トリガ入力</u> A/D変換器の外部トリガ入力端子です。
DTMF 発生回路	TONED	91	94	出力	<u>DTMF 信号</u> DTMF 信号の出力端子です。
マルチトーン 発生回路	TONEM	90	93	出力	<u>マルチトーン信号</u> マルチトーン信号の出力端子です。
その他	NC	28~30	31~33	—	<u>ノコネクション</u> 何も接続しないでください。

2. CPU

第2章 目次

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-26
2.5.7	システム制御命令	2-28
2.5.8	ブロック転送命令	2-29

2.6	基本動作タイミング	2-30
2.6.1	内蔵メモリ (RAM、ROM)	2-30
2.6.2	内蔵周辺モジュール	2-30
2.7	CPUの状態	2-32
2.7.1	概要	2-32
2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33
2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.9	使用上の注意事項	2-35
2.9.1	データアクセスに関する注意事項	2-35
2.9.2	ビット操作命令使用上の注意事項	2-37
2.9.3	EEPROM命令使用上の注意事項	2-43

2.1 概要

H8/300L CPUは、8ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速CPUです。

2.1.1 特長

H8/300L CPUには、次の特長があります。

■汎用レジスタ方式

- ・8ビット×16本（16ビット×8本としても使用可能）

■55種類の基本命令

- ・乗除算命令
- ・強力なビット操作命令

■8種類のアドレッシングモード

- ・レジスタ直接
- ・レジスタ間接
- ・ディスプレイメント付レジスタ間接
- ・ポストインクリメント／プリデクリメントレジスタ間接
- ・絶対アドレス
- ・イミディエイト
- ・プログラムカウンタ相対
- ・メモリ間接

■64kバイトのアドレス空間

■高速動作

- ・頻出命令をすべて2～4ステートで実行
 - ・高速演算
- | | |
|-----------------|--------------|
| 8/16ビットレジスタ間加減算 | 0.4 μ s* |
| 8×8ビット乗算 | 2.8 μ s* |
| 16÷8ビット除算 | 2.8 μ s* |

【注】* 数値は、 $\phi = 5$ MHz時のもの

■低消費電力動作

- ・SLEEP命令により低消費電力動作可能

2.1.2 アドレス空間

H8/300L CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

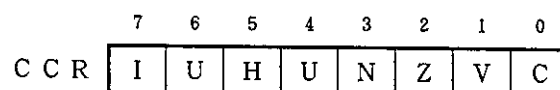
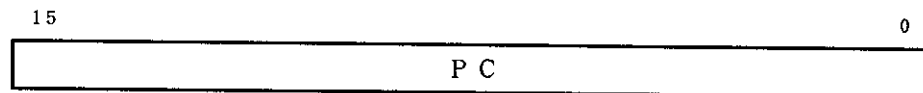
2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図2.1に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

汎用レジスタ (R_n)

7	0	7	0
R 0 H			R 0 L
R 1 H			R 1 L
R 2 H			R 2 L
R 3 H			R 3 L
R 4 H			R 4 L
R 5 H			R 5 L
R 6 H			R 6 L
R 7 H	(S P)		R 7 L

コントロールレジスタ (C R)



<記号説明>

- S P : スタックポインタ
- P C : プログラムカウンタ
- C C R : コンディションコードレジスタ
- I : 割込みマスクビット
- U : ユーザビット
- H : ハーフキャリフラグ
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図 2.1 CPU内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R7H～R0H）と下位（R7L～R0L）を別々に使用することも、また16ビットレジスタ（R7～R0）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R7～R0）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.2に示します。

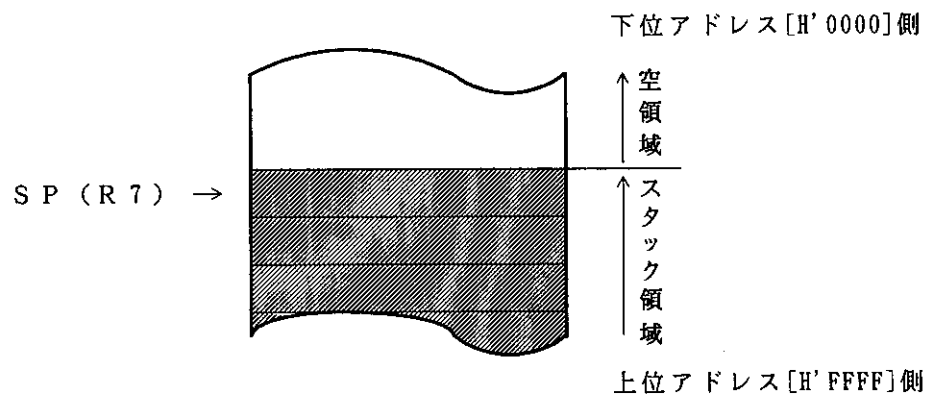


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット7：割込みマスクビット (I)

本ビットが“1”にセットされると、割込みがマスクされます。例外処理の実行が開始されたときに“1”にセットされます。本ビットはソフトウェアによりリード/ライトできます。割込みマスクビットの詳細については「3.3 割込み」を参照してください。

ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。DAAおよびDAS命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- ・加算結果のキャリ
- ・減算結果のボロー
- ・シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300Lシリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタアドレス(H'0000)のロードにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7 (SP)の初期値も不定です。したがって、リセット直後に、R7の初期化を行ってください。

2.3 データ構成

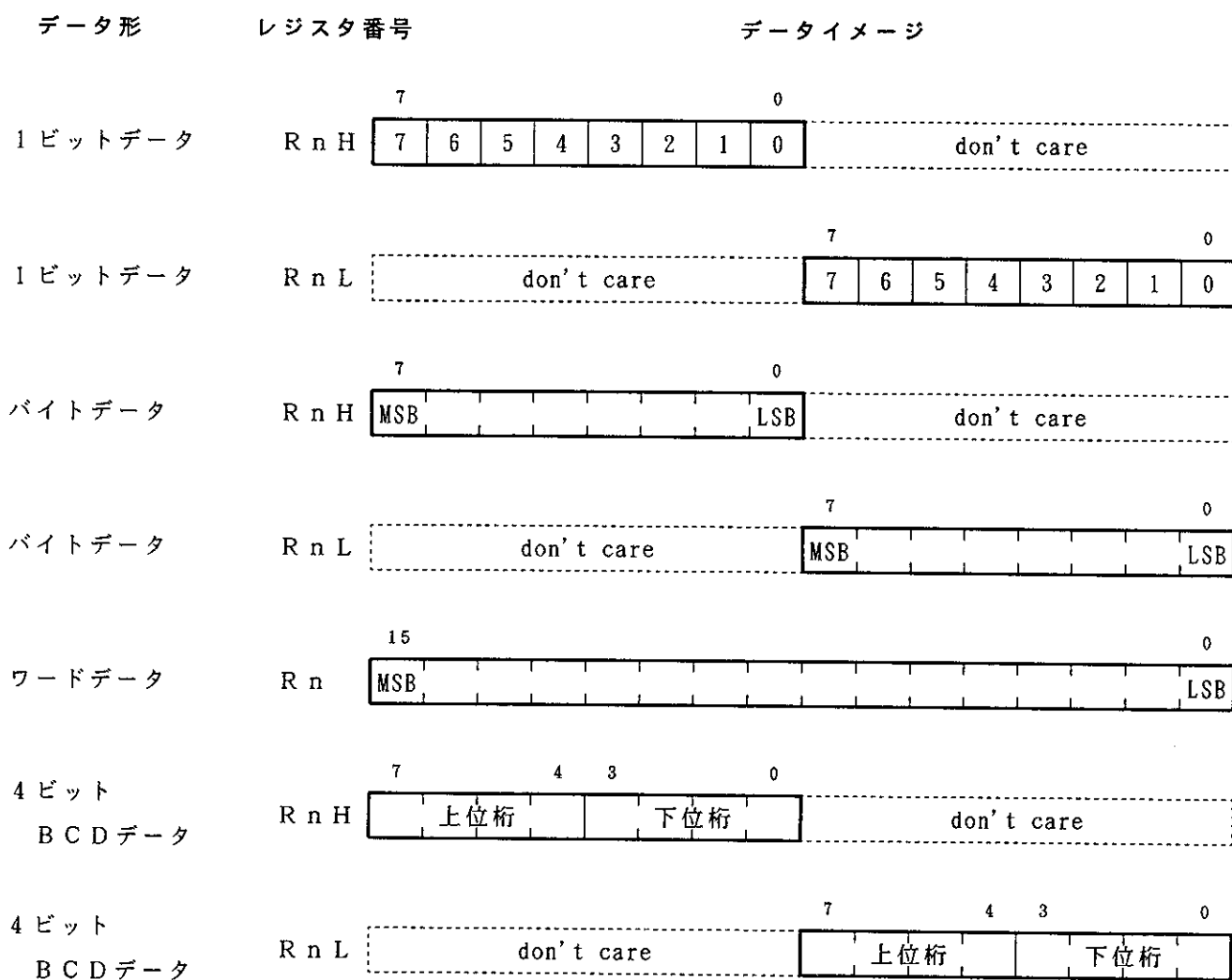
H8/300L CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット($n=0, 1, 2, \dots, 7$)という形式でアクセスされます。

バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.3に示します。



<記号説明>

R n H : 汎用レジスタ上位

R n L : 汎用レジスタ下位

MSB : 最上位ビット

LSB : 最下位ビット

図 2.3 汎用レジスタのデータ構成

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@ R n
③	ディスプレースメント付レジスタ間接	@(d:16, Rn)
④	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ R n + @ - R n
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@(d:8, PC)
⑧	メモリ間接	@@aa:8

① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）の各命令です。

② レジスタ間接 @ R n

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

③ ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3、第4バイト）の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

④ ポストインクリメントレジスタ間接 @ R n + / プリデクリメントレジスタ間接 @ - R n

・ポストインクリメントレジスタ間接 @ R n +

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとして、

メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。

MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて“1”(H'FF)となります。したがって、アクセス範囲は65280~65535 (H'FF00~H'FFFF) 番地です。

⑥ イミディエイト #xx:8 / #xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト (-63~+64ワード) です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて“0”(H'00)とされますので、分岐アドレスを格納できるのは0~255(H'0000~H'00FF)番地です。ただし、H8/300Lシリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割込み」を参照してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (E A : Effective Address)の計算法を表 2.2 に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XORの各命令) が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス (8ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接 (BSET、BCLR、BNOT、BTSTの各命令) および⑥イミディエイト (3ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法(1)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	レジスタ直接 Rn 		<p>オペランドはrm/rnが示すレジスタの内容です。</p>
②	レジスタ間接 @Rn 		
③	ディスペースメント付レジスタ間接 @(d:16, Rn) 		
④	ポインタリメントレジスタ間接 / プリチリメントレジスタ間接 ・ポインタリメントレジスタ間接 @Rn + ・プリチリメントレジスタ間接 @-Rn 		<p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>

表 2.2 実効アドレスの計算方法(2)

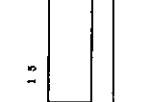
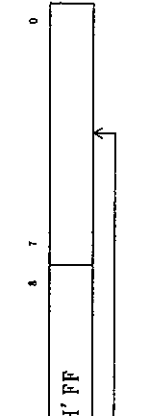
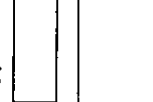
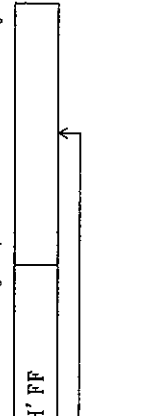

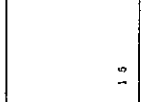
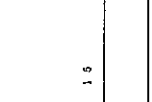

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	絶対アドレス @aa:8		
	@aa:16		
⑥	イミディエイト #xx:8		<p>オペランドはイミディエイトデータの1または2バイトデータです。</p>
	#xx:16		
⑦	プログラムカウンタ相対 @ (d:8, PC)		

表 2.2 実効アドレスの計算方法(3)

No	アドレスシグネモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑧			

<記号説明>

- rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- imm : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPUの命令は合計55種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、 ADDS、SUBS、DAA、DAS、MULXU、 DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、 ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、 BIAND、BOR、BIOR、BXOR、BIXOR、 BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、 XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計55種

【注】^{*1} POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。機械語についても同一です。

^{*2} Bccは条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

R d	汎用レジスタ (デスティネーション側)
R s	汎用レジスタ (ソース側)
R n	汎用レジスタ
(E A d)、<E A d>	デスティネーションオペランド
(E A s)、<E A s>	ソースオペランド
C C R	コンディションコードレジスタ
N	C C R の N (ネガティブ) フラグ
Z	C C R の Z (ゼロ) フラグ
V	C C R の V (オーバフロー) フラグ
C	C C R の C (キャリ) フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#I M M	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
: 3	3 ビット長
: 8	8 ビット長
: 16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表2.4に示します。

表2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B/W	<p>(EAs) → Rd, Rs → (EAd)</p> <p>汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。</p> <p>ワードデータはRn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8はバイトデータのみです。</p> <p>ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。</p>
POP	W	<p>@SP+ → Rn</p> <p>スタックから汎用レジスタへデータを復帰します。</p> <p>本命令はMOV.W @SP+, Rnと同一です。</p>
PUSH	W	<p>Rn → @-SP</p> <p>汎用レジスタの内容をスタックに退避します。</p> <p>本命令はMOV.W Rn, @-SPと同一です。</p>

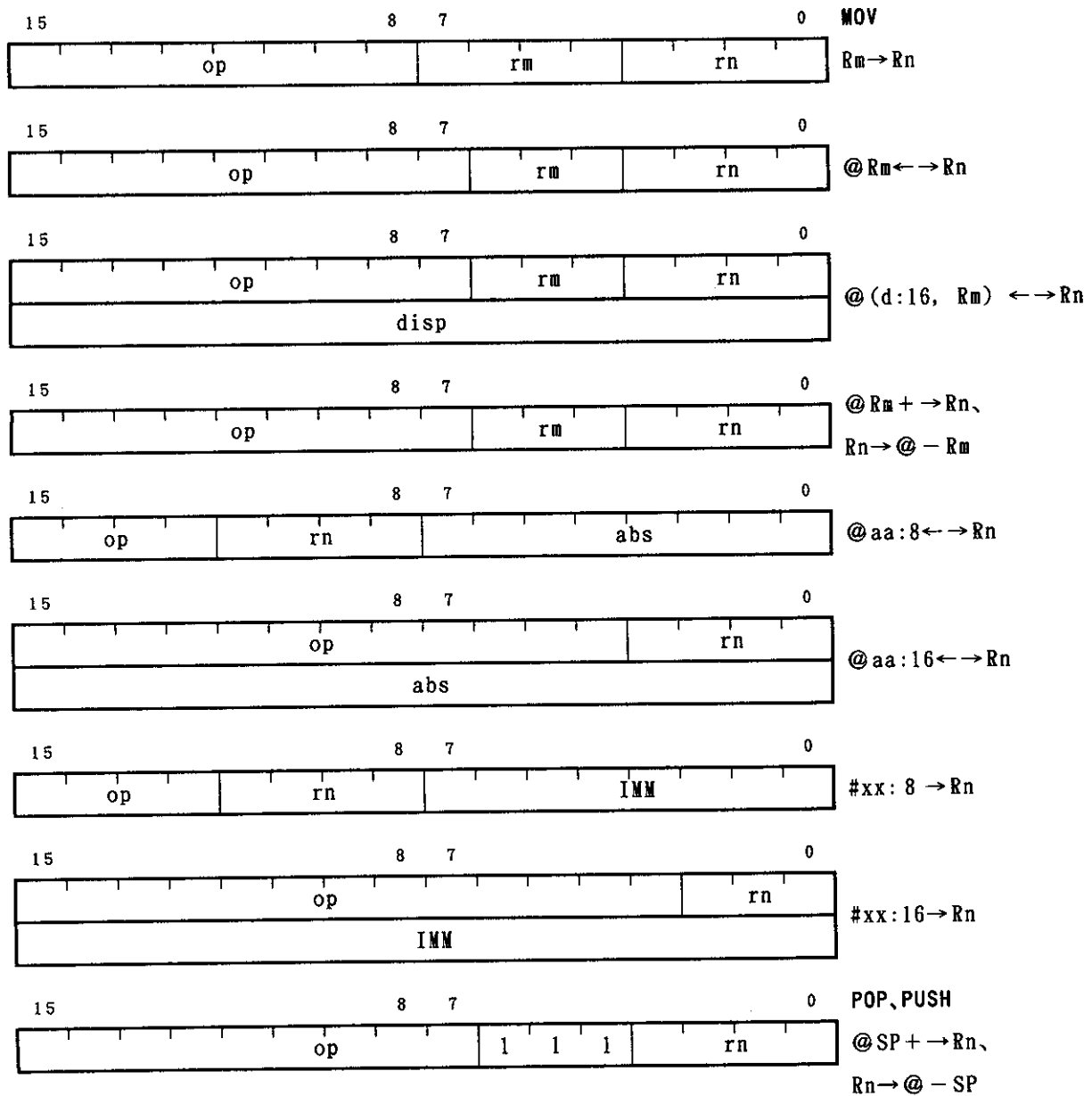
【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd + \#IMM \longrightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1 \longrightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10進補正) $\longrightarrow Rd$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8ビット×8ビット→16ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット余り8ビットの演算が可能です。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果をCCRに反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の2の補数(算術的補数)をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
AND	B	$Rd \wedge Rs \longrightarrow Rd$ 、 $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \vee Rs \longrightarrow Rd$ 、 $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \longrightarrow Rd$ 、 $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B：バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

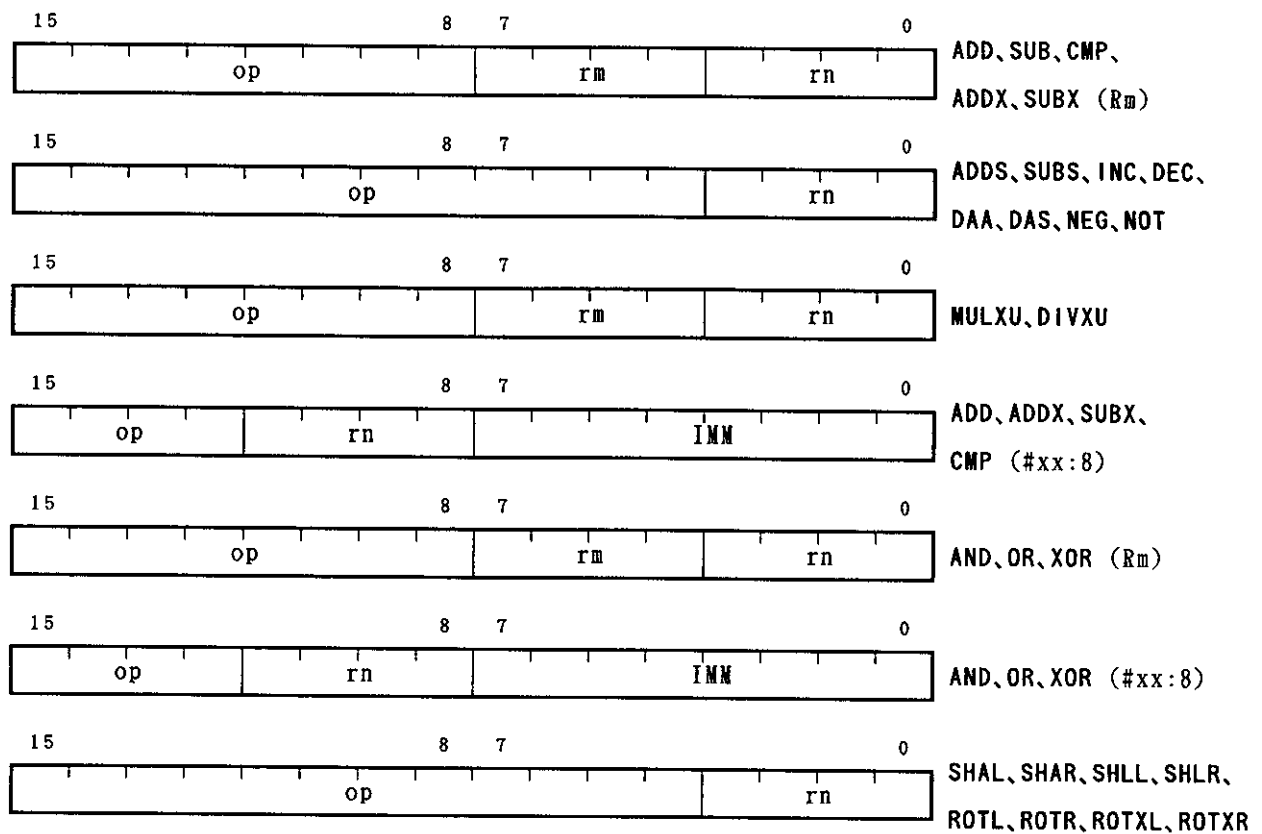
表 2.7 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。

B：バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令(1)

命 令	サイズ*	機 能
BSET	B	$1 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BCLR	B	$0 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BNOT	B	$\sim (\text{<ビット番号> of <EA d>})$ $\longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	$\sim (\text{<ビット番号> of <EA d>}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	$C \wedge (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\text{<ビット番号> of <EA d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B X O R	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B L D	B	$(<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令(3)

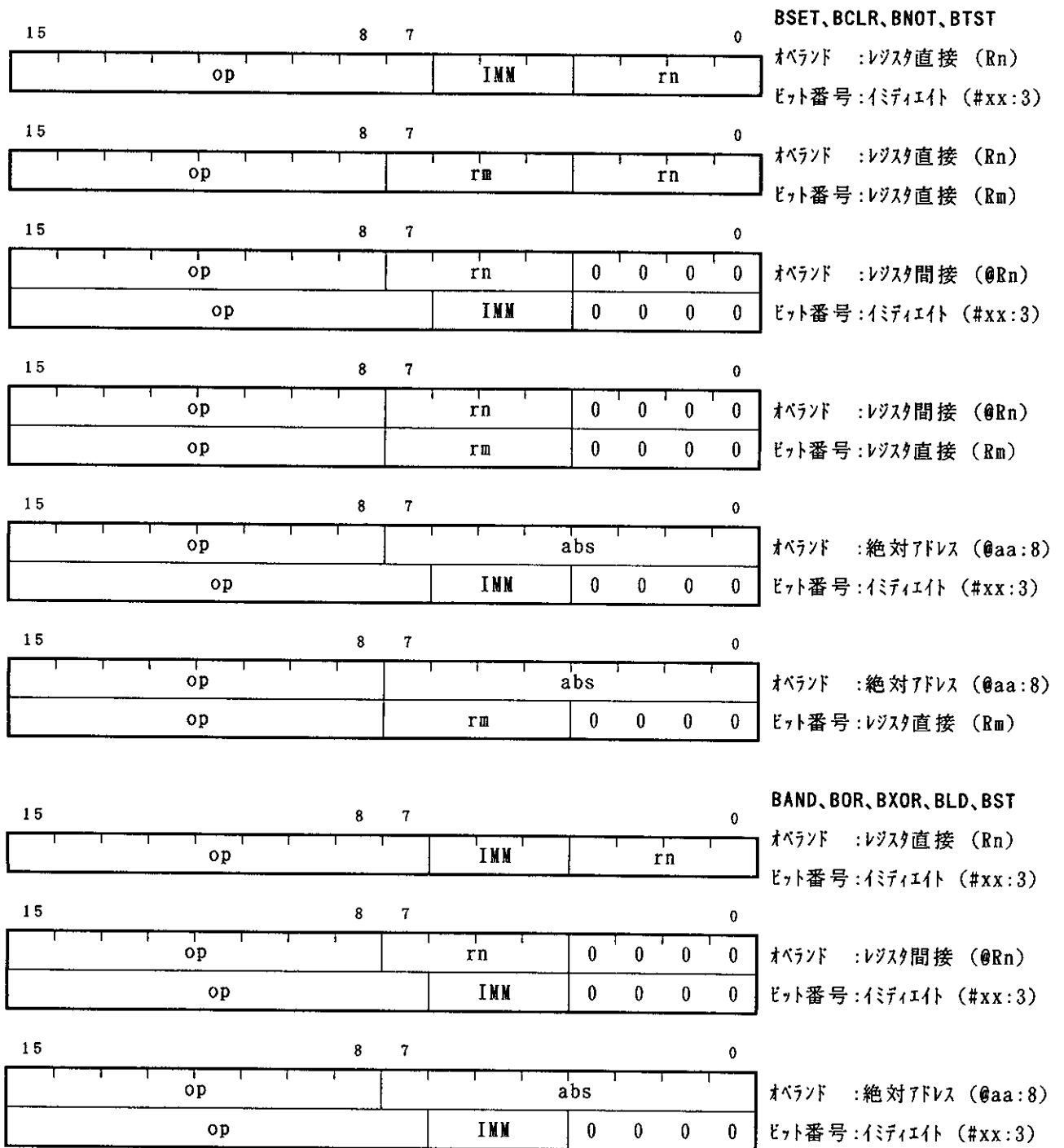
命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	~C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.7 に示します。

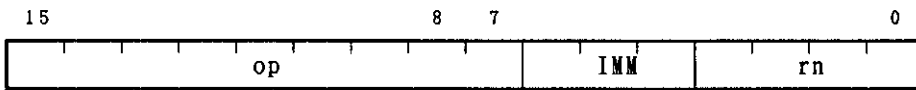


<記号説明>

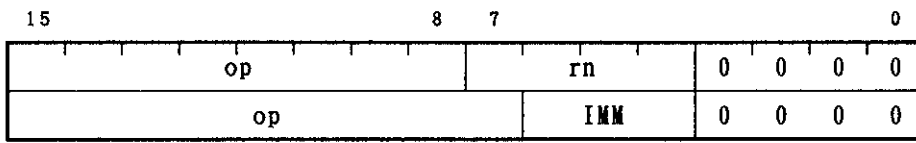
- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(1)

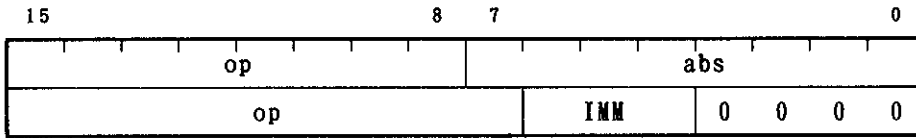
BIAND, BIOR, BIXOR, BILD, BIST



オペランド : レジスタ直接 (Rn)
 ビット番号 : イミディエイト (#xx:3)



オペランド : レジスタ間接 (@Rn)
 ビット番号 : イミディエイト (#xx:3)



オペランド : 絶対アドレス (@aa:8)
 ビット番号 : イミディエイト (#xx:3)

<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(2)

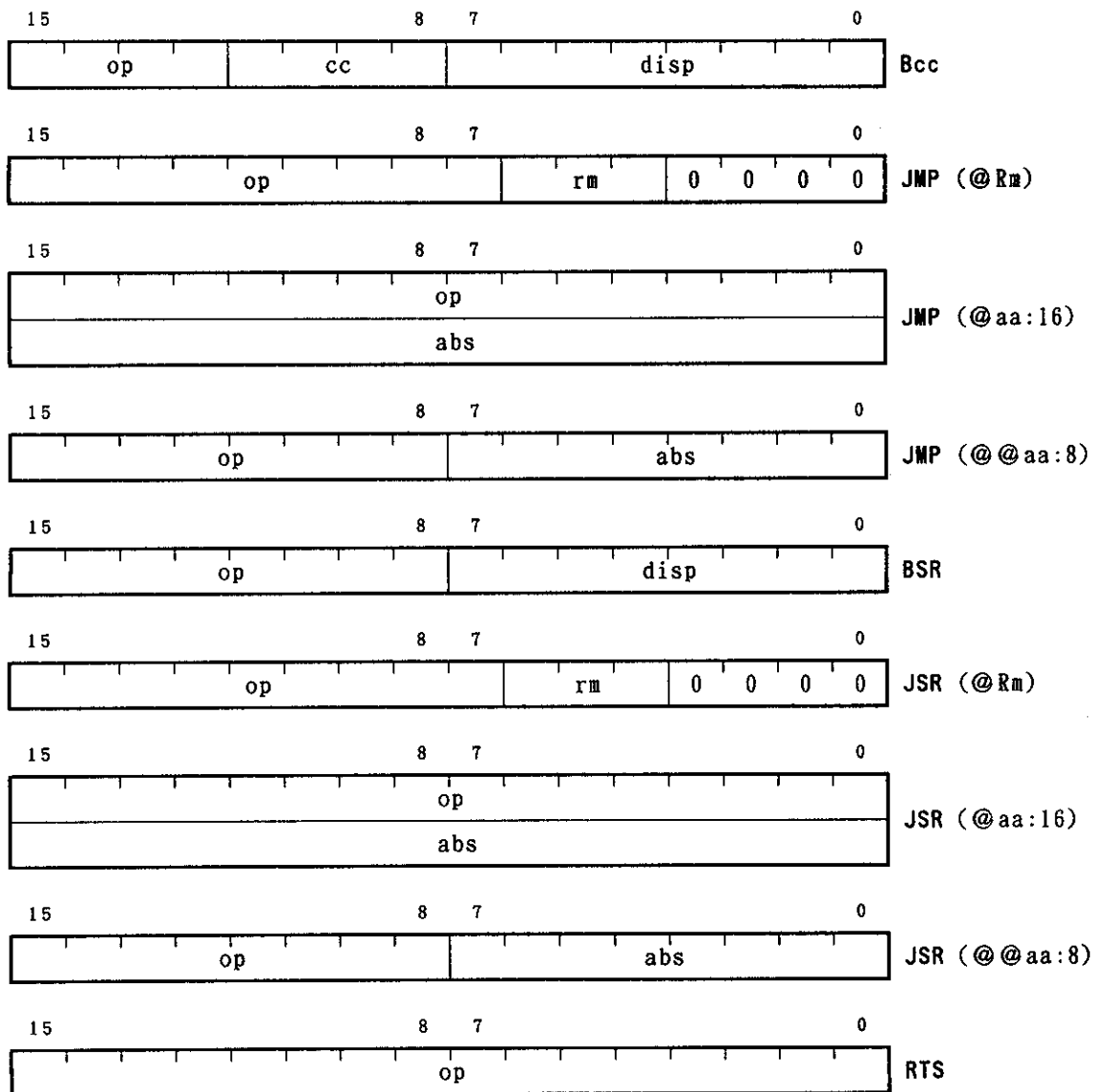
2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能																																																			
B c c	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニ-モニク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>overflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>overflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>Plus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニ-モニク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	overflow Clear	$V = 0$	BVS	overflow Set	$V = 1$	BPL	Plus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニ-モニク	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	overflow Clear	$V = 0$																																																			
BVS	overflow Set	$V = 1$																																																			
BPL	Plus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	—	指定されたアドレスへ無条件に分岐します。																																																			
B S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	—	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。



<記号説明>

- op : オペレーションフィールド
- cc : コンディションフィールド
- rm : レジスタフィールド
- disp: ディスプレースメント
- abs : 絶対アドレス

図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

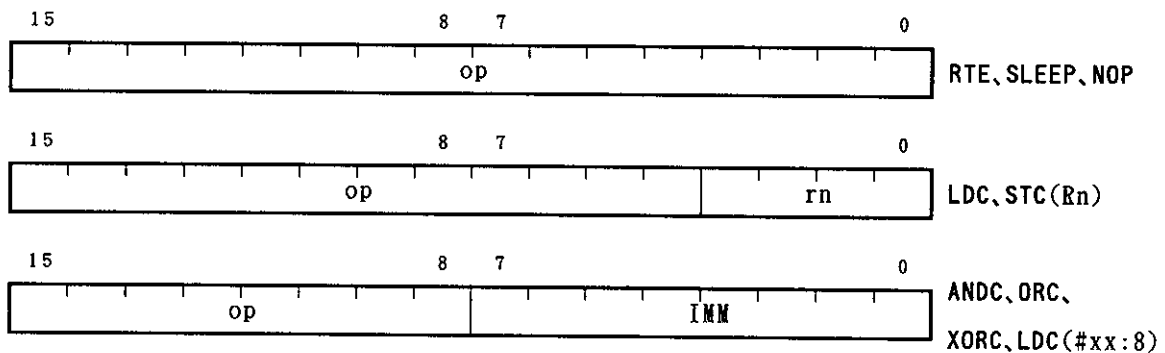
表 2.10 システム制御命令

命 令	サイズ*	機 能
RTE	—	割込み処理ルーチンから復帰します。
SLEEP	—	アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	$R_s \longrightarrow CCR$ 、 $\#IMM \longrightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	$CCR \longrightarrow R_d$ CCR の内容を汎用レジスタに転送します。
ANDC	B	$CCR \wedge \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
ORC	B	$CCR \vee \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
XORC	B	$CCR \oplus \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
NOP	—	$PC + 2 \longrightarrow PC$ PC のインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。



〈記号説明〉

op : オペレーションフィールド

rn : レジスタフィールド

IMM : イミディエイトデータ

図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

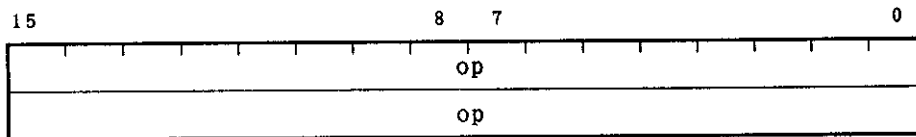
ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命 令	サイズ	機 能
EEP MOV	-	<pre> if R 4 L ≠ 0 then Repeat @R 5 + → @R 6 +、R 4 L - 1 → R 4 L Until R 4 L = 0 else next; </pre> <p>ブロック転送命令です。R 5 で示されるアドレスから始まり、R 4 L で指定されるバイト数のデータを R 6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

EEP MOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEP MOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。



<記号説明>

op : オペレーションフィールド

図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPUは、システムクロック(ϕ)またはサブクロック(ϕ_{sub})を基準に動作しています。システムクロック ϕ およびサブクロック ϕ_{sub} の定義については「第4章 クロック発振器」を参照してください。 ϕ または ϕ_{sub} の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図2.11に示します。

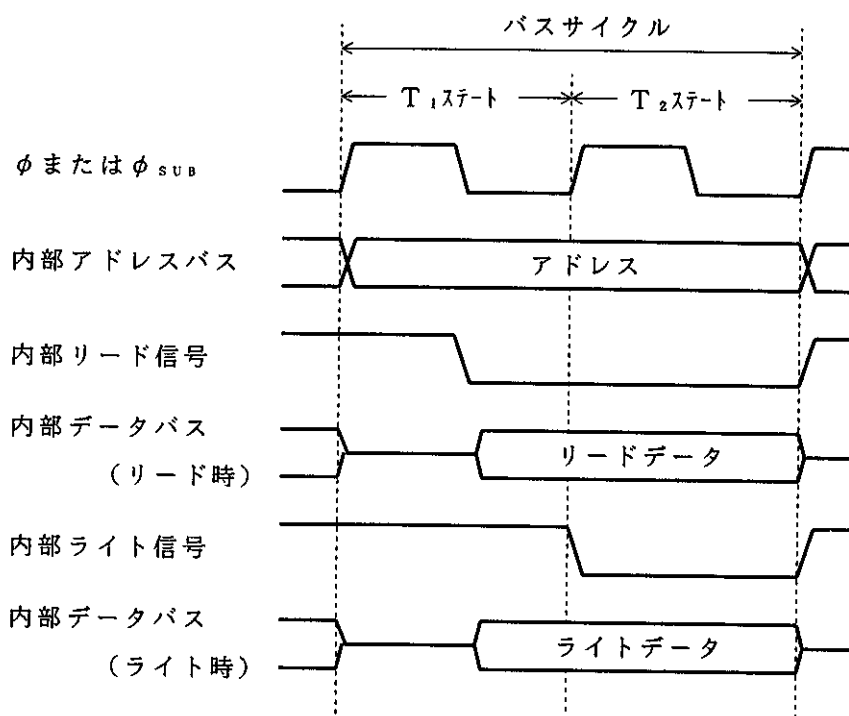


図2.11 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートまたは3ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール 2 ステートアクセス

内蔵周辺モジュールを 2 ステートでアクセスした動作タイミングを図 2.12 に示します。

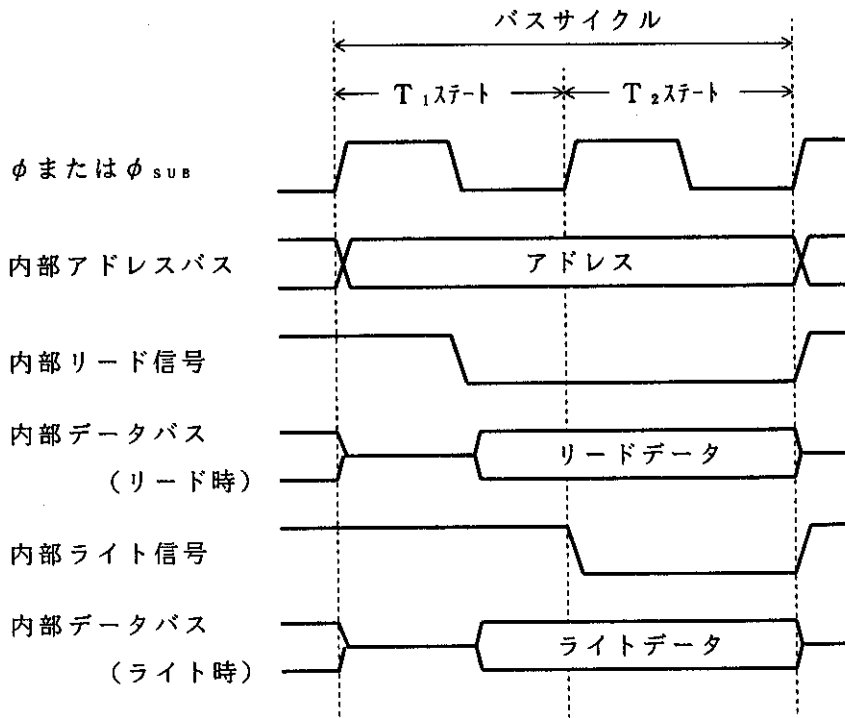


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

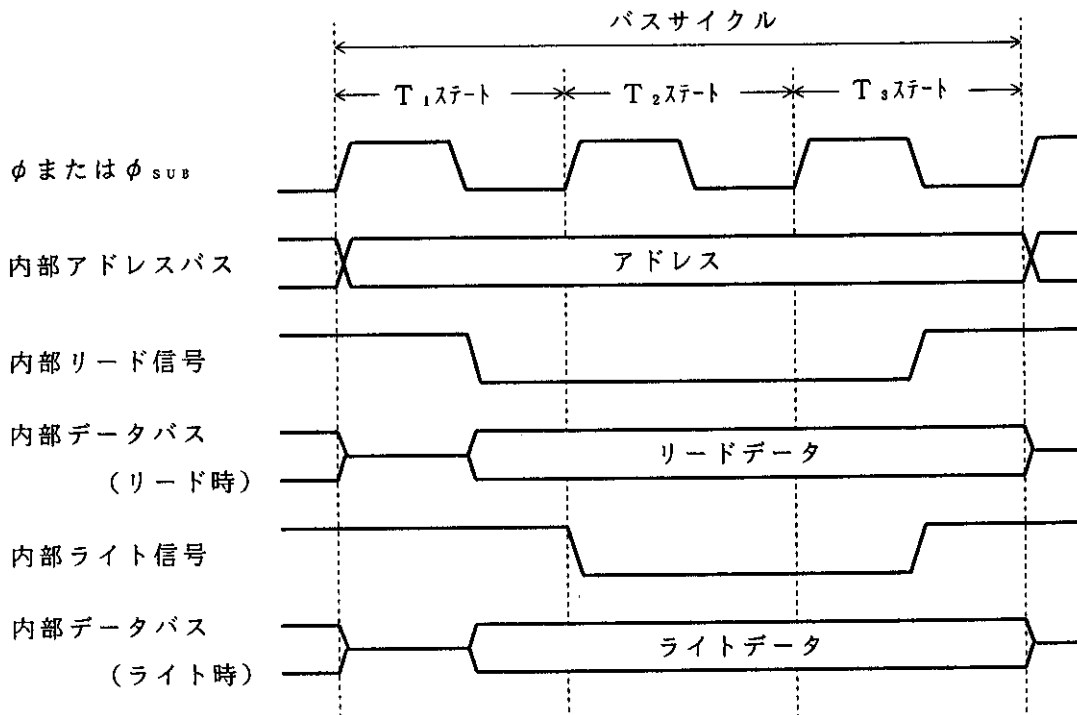


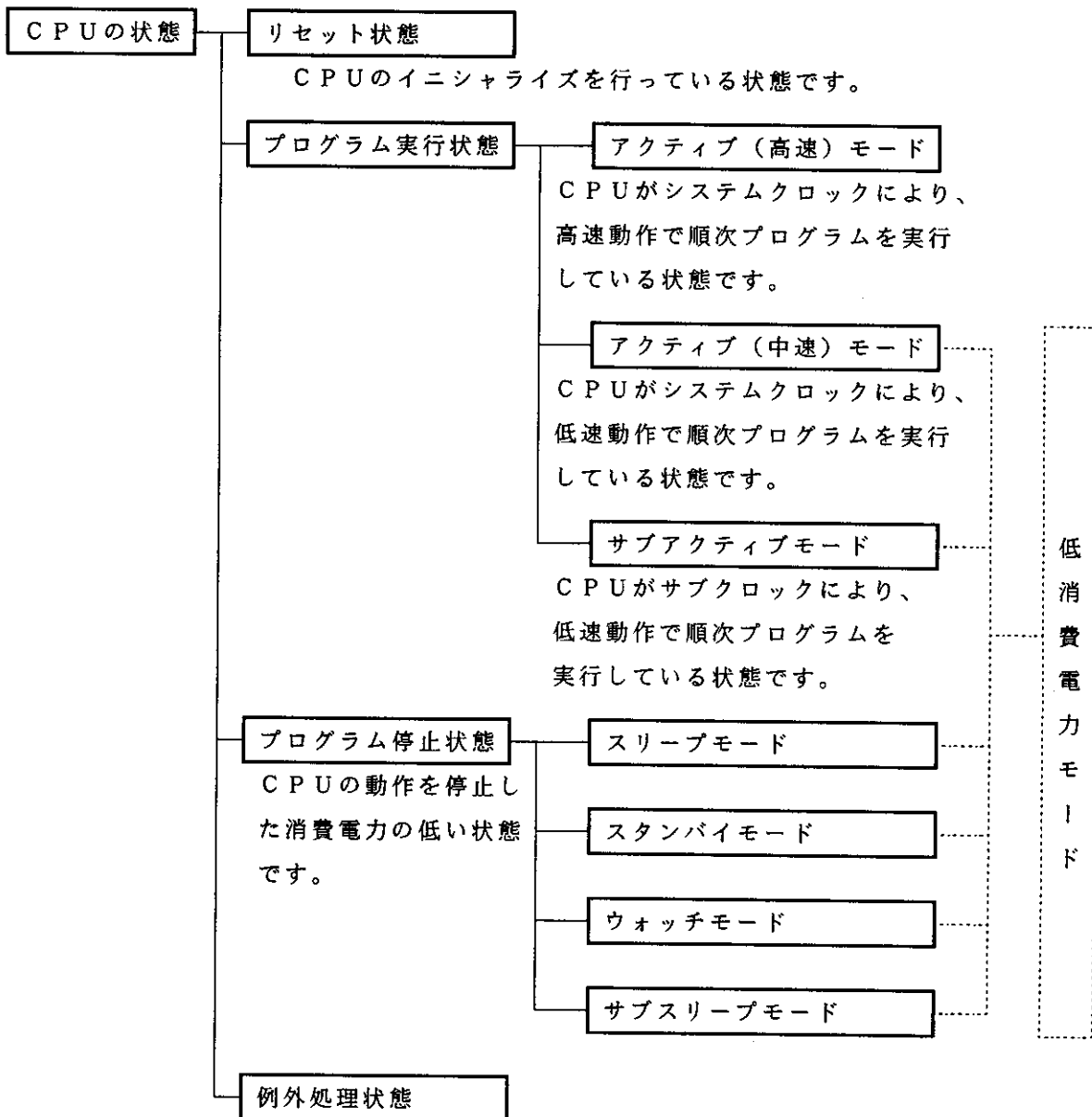
図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.7 CPUの状態

2.7.1 概要

CPUの状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図2.14に、各状態間の遷移を図2.15に示します。



【注】 各モードの遷移の詳細については「第5章 低消費電力モード」を参照してください。

図2.14 CPUの状態の分類

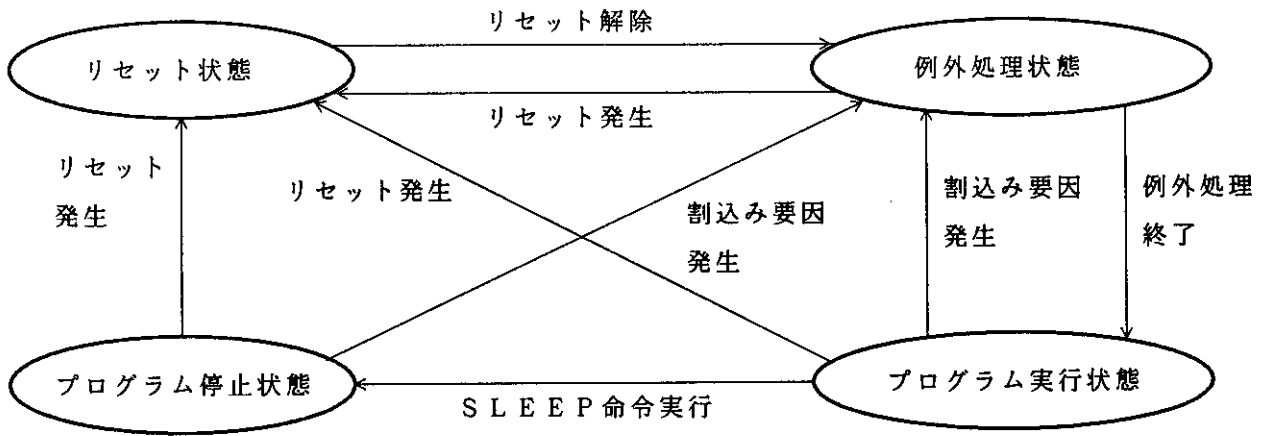


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

CPUがプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードおよびサブスリープモードの4つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときに過渡的な状態です。割込み要因による例外処理では、SP（R7）を参照して、PCおよびCCRの回避を行います。

割込み処理についての詳細は、「3.3 割込み」を参照してください。

2.8 メモリマップ

H8 / 3877Nシリーズのメモリマップを図2.16に示します。

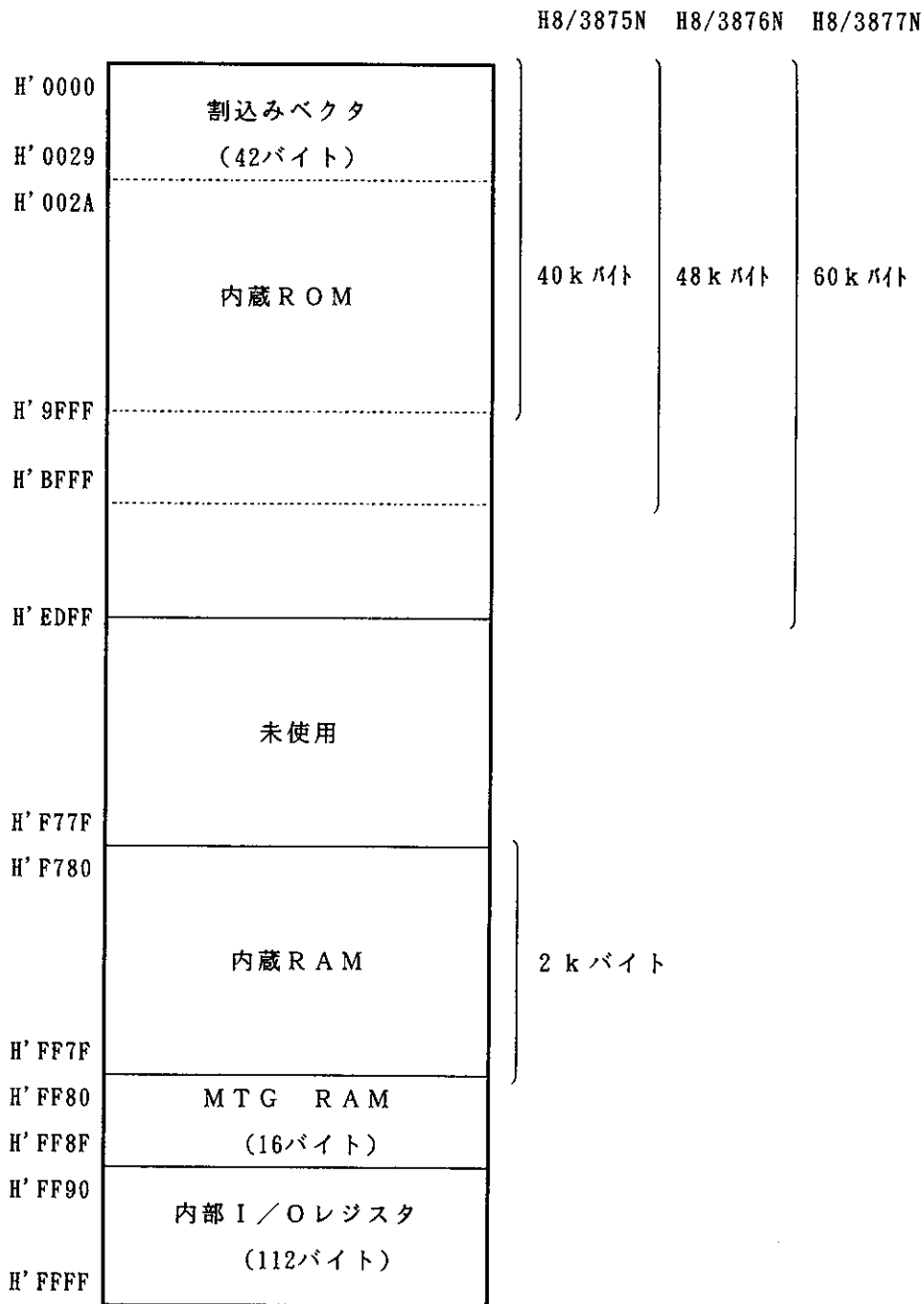


図2.16 H8 / 3877Nシリーズのメモリマップ

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPUのアドレス空間には、ユーザに開放されたROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のよう
に動作します。

<u>CPUから空きエリアへのデータの転送</u> 転送データは失われます。また、CPU誤動作の原因となる可能性 があります。
<u>空きエリアからCPUへのデータの転送</u> 転送データは保証されません。

(2) 内部I/Oレジスタへのアクセス

内蔵ROM、RAM領域以外の内蔵周辺モジュールは、内部のデータ転送が8ビットで行われま
す。この領域にワードアクセスを行うと、以下のよう
に動作します。

<u>CPUからI/Oレジスタ領域へのワードアクセス</u> 上位バイト : I/Oレジスタに書き込まれます。 下位バイト : 転送データは失われます。
<u>内部I/OレジスタからCPUへのワードアクセス</u> 上位バイト : CPU内部レジスタ上位に書き込まれます。 下位バイト : CPU内部レジスタ下位に書き込まれたデータは 保証されません。

したがって、内蔵ROM、RAM領域以外のI/Oレジスタ領域とのデータ転送は、バイトサイ
ズの命令を使用してください。

図 2.17にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

アドレス	モジュール	データサイズ			アクセス		ステート数
		H8/3875N	H8/3876N	H8/3877N	ワード	バイト	
H' 0000 H' 0029 H' 002A	割込みベクタ (42バイト)						
H' 9FFF H' BFFF	内蔵ROM	40 k バイト	48 k バイト	60 k バイト	○	○	2
H' EDFF	未使用				—	—	—
H' F77F H' F780	内蔵RAM	2 k バイト			○	○	2
H' FF7F H' FF80 H' FF8F	MTG RAM (16バイト)				×	○	2
H' FF90 H' FFFF	内部 I/Oレジスタ (112バイト)				×	○	2 または 3

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動作内容	
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図2.18に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序	動作内容	
1	リード	タイマカウンタのデータ（バイト単位）をリードします。
2	ビット操作	CPUは命令で指定された1ビットを操作（セットまたはリセット）します。
3	ライト	操作したデータ（バイト単位）をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

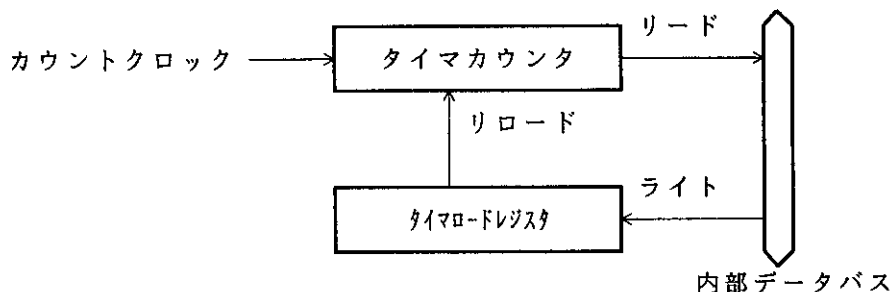


図 2.18 タイマの構成例

H8 / 3877Nシリーズに内蔵しているタイマは本例に該当しません。

例 2 : ポート 2 に B S E T 命令を実行した場合

P2₇、P2₆は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとし、P2₅～P2₀は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

以下に、B S E T 命令で P2₀に“High”レベル出力を行う例を示します。

【A ; B S E T 命令を実行前】

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
P C R 2	0	0	1	1	1	1	1	1
P D R 2	1	0	0	0	0	0	0	0

【B ; B S E T 命令を実行】

`B S E T # 0 , @ P D R 2`

ポート 2 に対して B S E T 命令を実行します。

【C ; B S E T 命令を実行後】

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
P C R 2	0	0	1	1	1	1	1	1
P D R 2	0	1	0	0	0	0	0	1

【D ; B S E T 命令の動作説明】

B S E T 命令を実行すると、C P U は、最初にポート 2 をリードします。

P2₇、P2₆は入力端子であるので、C P U は端子の状態 (“Low”レベル、“High”レベル入力) をリードします。P2₅～P2₀は出力端子であるので、C P U は P D R 2 の値をリードします。したがって、この例では、P D R 2 は H' 80 ですが、C P U がリードしたデータは H' 40 となります。

次に、C P U は、リードしたデータのビット 0 を “1” にセットして、データを H' 41 に変更します。

最後に、この値 (H' 41) を P D R 2 に書き込んで、B S E T 命令を終了します。

その結果、P D R 2 のビット 0 が “1” になり、P2₀は “High” レベル出力になります。しかし、P D R 2 のビット 7、6 が変化してしまいます。

そのため、PDR2と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR2にライトしてください。

【A： BSET命令を実行前】

```
MOV. B #80, R0L
MOV. B R0L, @RAM0
MOV. B R0L, @PDR2
```

PDR2に書き込む値（H'80）をあらかじめメモリ上のワークエリア（RAM0）とPDR2にライトします。

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR2	0	0	1	1	1	1	1	1
PDR2	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B： BSET命令を実行】

```
BSET #0, @RAM0
```

PDR2のワークエリア（RAM0）に対してBSET命令を実行します。

【C： BSET命令を実行後】

```
MOV. B @RAM0, R0L
MOV. B R0L, @PDR2
```

ワークエリア（RAM0）の値をPDR2にライトします。

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR2	0	0	1	1	1	1	1	1
PDR2	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート2のPCR2にBCLR命令を実行した場合

P2₇、P2₆は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとします。P2₅～P2₀は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

ここで、BCLR命令で、P2₀を入力ポートにする例を示します。入力端子に設定されたP2₀は“High”レベルが入力されるものとします。

【A； BCLR命令を実行前】

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR2	0	0	1	1	1	1	1	1
PDR2	1	0	0	0	0	0	0	0

【B； BCLR命令を実行】

```
BCLR #0, @PCR2
```

PCR2に対してBCLR命令を実行します。

【C； BCLR命令を実行後】

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR2	1	1	1	1	1	1	1	0
PDR2	1	0	0	0	0	0	0	0

【D； BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にPCR2をリードします。PCR2はライト専用レジスタですので、CPUはH'FFをリードします。したがって、この例ではPCR2はH'3Fですが、CPUがリードしたデータはH'FFとなります。

次に、CPUは、リードしたデータのビット0を“0”にクリアして、データをH'FEに変更します。

最後に、このデータ（H'FE）をPCR2に書き込んで、BCLR命令を終了します。

その結果、PCR2のビット0が“0”になり、P2₀は入力ポートになります。しかし、PCR2のビット7、ビット6が1になって、入力ポートであったP2₇、P2₆は出力ポートに変化してしまいます。

そのため、PCR2と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR2にライトしてください。

【A： BCLR命令を実行前】

```
MOV. B #3F, R0L
MOV. B R0L, @RAM0
MOV. B R0L, @PCR2
```

PCR2に書き込む値(H'3F)をあらかじめメモリ上のワークエリア(RAM0)とPCR2にライトします。

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR2	0	0	1	1	1	1	1	1
PDR2	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B： BCLR命令を実行】

```
BCLR #0, @RAM0
```

PCR2のワークエリア(RAM0)に対してBCLR命令を実行します。

【C： BCLR命令を実行後】

```
MOV. B @RAM0, R0L
MOV. B R0L, @PCR2
```

ワークエリア(RAM0)の値をPCR2にライトします。

	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR2	0	0	1	1	1	1	1	0
PDR2	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた2つのレジスタの一覧を表2.12に、ライト専用ビットを含むレジスタの一覧を表2.13に示します。

表 2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略 称	アドレス
ポートデータレジスタ1*	PDR1	H'FFD4
ポートデータレジスタ2*	PDR2	H'FFD5
ポートデータレジスタ5*	PDR5	H'FFD8
ポートデータレジスタ6*	PDR6	H'FFD9
ポートデータレジスタ7*	PDR7	H'FFDA
ポートデータレジスタ8*	PDR8	H'FFDB
ポートデータレジスタ9*	PDR9	H'FFDC
ポートデータレジスタA*	PDR A	H'FFDD
ポートデータレジスタD*	PDR D	H'FFD2
ポートデータレジスタE*	PDR E	H'FFD3

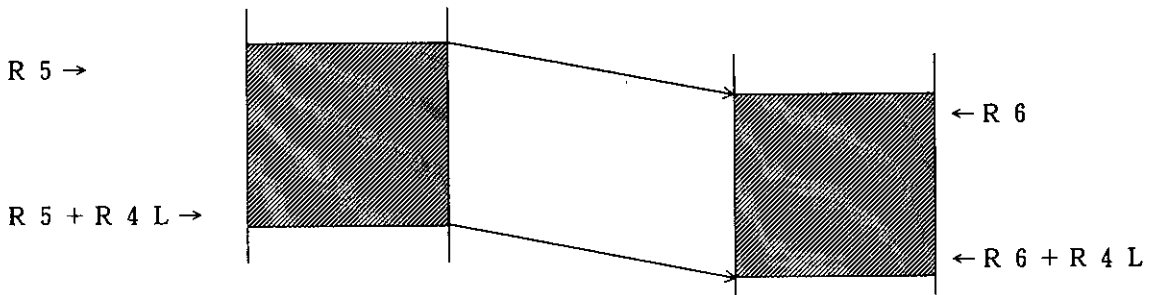
【注】* ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用ビットを含むレジスタの一覧

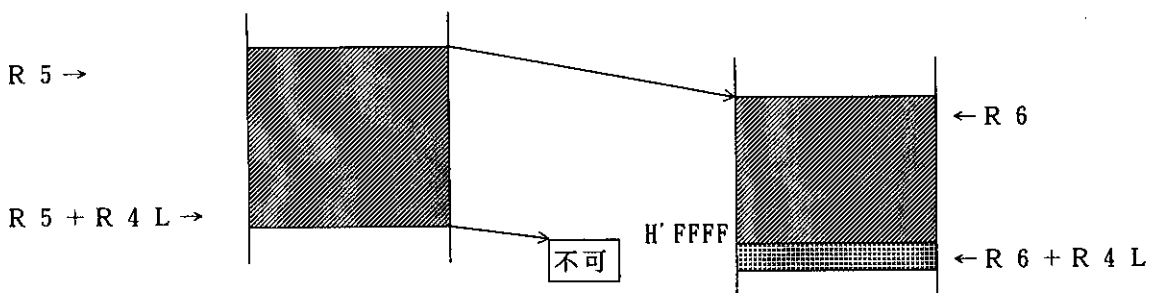
レジスタ名	略 称	アドレス
ポートコントロールレジスタ1	PCR1	H'FFE4
ポートコントロールレジスタ2	PCR2	H'FFE5
ポートコントロールレジスタ5	PCR5	H'FFE8
ポートコントロールレジスタ6	PCR6	H'FFE9
ポートコントロールレジスタ7	PCR7	H'FFEA
ポートコントロールレジスタ8	PCR8	H'FFEB
ポートコントロールレジスタ9	PCR9	H'FFEC
ポートコントロールレジスタA	PCR A	H'FFED
ポートコントロールレジスタD	PCR D	H'FFE2
ポートコントロールレジスタE	PCR E	H'FFE3
タイマコントロールレジスタF	TCRF	H'FFB6

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF → H'0000 とならないように)、R4L、R6 を設定してください。



3. 例外処理

第 3 章 目次

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割込み	3-3
3.3	割込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割込み	3-15
3.3.4	内部割込み	3-16
3.3.5	割込み動作	3-17
3.3.6	割込み応答時間	3-22
3.4	使用上の注意事項	3-23
3.4.1	スタック領域に関する使用上の注意事項	3-23
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-24

3.1 概要

本LSIの例外処理には、リセットと割込みがあります。表3.1に、例外処理の種類と優先度を示します。

表3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

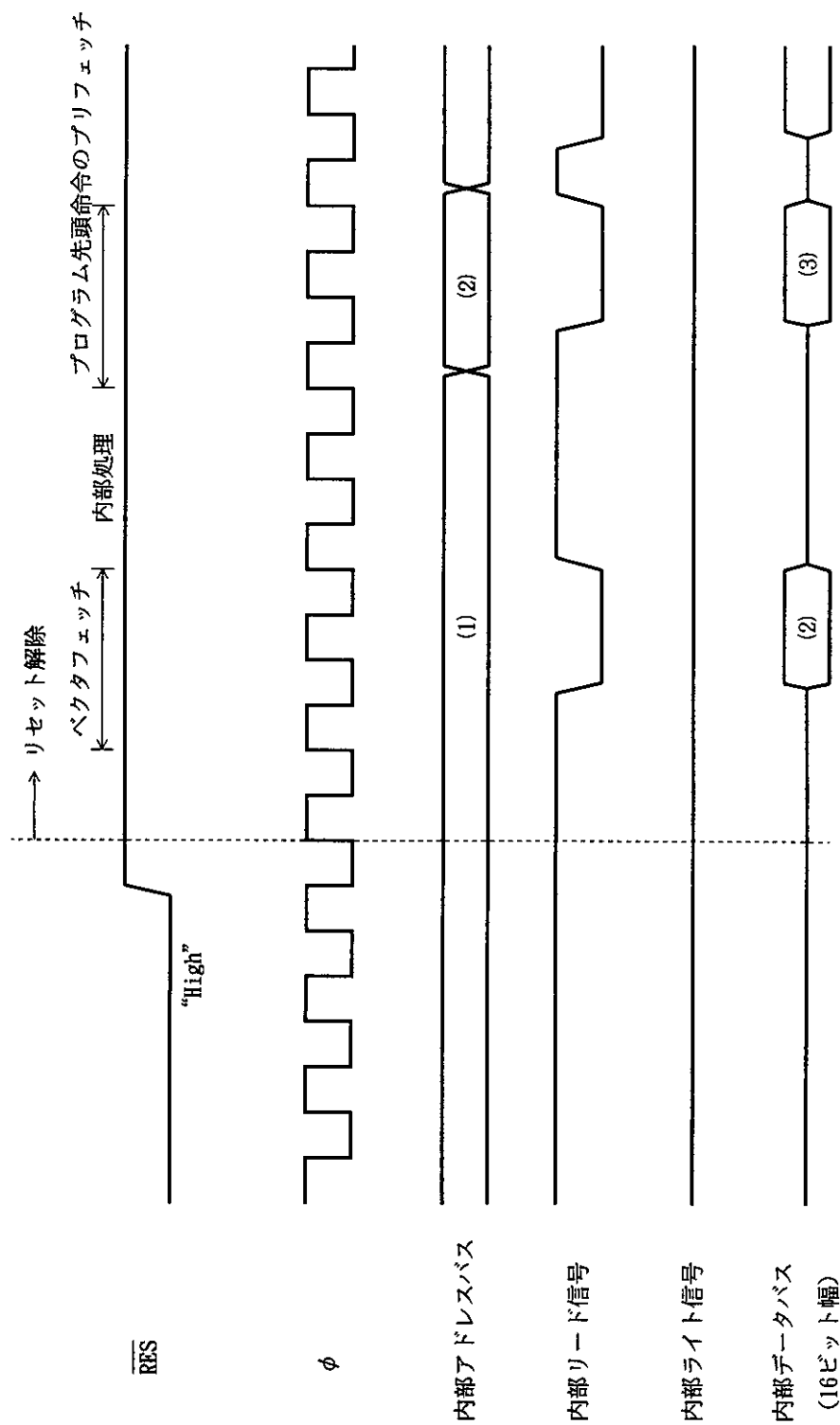
リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。

3.2.2 リセットシーケンス

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間RES端子を“Low”レベルに保持してください。また、動作中にリセットする場合は、最低10クロックの間、“Low”レベルに保持してください。RES端子が一定期間“Low”レベルの後、“High”レベルになると、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- ① CPUの内部状態と内蔵周辺モジュールの各レジスタのイニシャライズを行い、コンディションコードレジスタ(CCR)のIビットをセットします。
- ② リセット例外処理ベクタアドレス(H'0000~H'0001)をリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。
パワーオン/パワーオフ時には、RES端子を“Low”レベルにしてください。
リセットシーケンスを図3.1に示します。



- (1) リセット例外処理ベクタアドレス (H' 0000)
- (2) プログラムスタートアドレス
- (3) プログラム先頭命令

図3.1 リセットシーケンス

3.2.3 リセット直後の割込み

リセット後、スタックポインタ (SP: R7) をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラムの先頭命令は、SPをイニシャライズする命令としてください (例: MOV.W #xx:16, SP)。

3.3 割込み

3.3.1 概要

割込み例外処理を開始する要因には、14の外部割込み要因(NMI、WKP₇~WKP₀、IRQ₄~IRQ₀)と内蔵モジュールから17の内部割込み要因があります。割込み要因と優先度、ならびにベクタアドレスの一覧を表3.2に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) NMIは最優先の割込みで、常に受け付けられます。NMIを除く、内部割込みおよび外部割込みは、CCRのIビットによりマスクされます。すなわち、CCRのIビットが“1”にセットされていると、割込み要求フラグはセットされますが、NMI以外の割込みは受け付けられません。
- (2) NMI、IRQ₄~IRQ₀は、立上がり/立下がりエッジセンスのいずれかに設定することができます。

3.3.2 各レジスタの説明

割込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割込み制御レジスタ

名 称	略 称	R/W	初期値	アドレス
IRQエッジセレクトレジスタ	IEGR	R/W	H'60	H'FFF2
割込み許可レジスタ1	IENR1	R/W	H'00	H'FFF3
割込み許可レジスタ2	IENR2	R/W	H'03	H'FFF4
割込み要求レジスタ1	IRR1	R/W*	H'20	H'FFF6
割込み要求レジスタ2	IRR2	R/W*	H'03	H'FFF7
ウェイクアップ割込み要求レジスタ	IWPR	R/W*	H'00	H'FFF9

【注】* フラグクリアのための“0”ライトのみ可能です。

(1) 割込みエッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	NMIEG	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	0	1	1	0	0	0	0	0
R/W:	R/W	—	—	R/W	R/W	R/W	R/W	R/W

IEGRは、8ビットのリード/ライト可能なレジスタで、NMIおよびIRQ₀~IRQ₇端子の立上がり/立下がりエッジセンスを指定します。

ビット7: NMIエッジセレクト (NMIEG)

NMI端子の入力センスを選択します。

ビット7	説 明
NMIEG	
0	NMI端子入力の立下がりエッジを検出
1	NMI端子入力の立上がりエッジを検出

ビット6、5: リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4：IRQ₄エッジセレクト（IEG4）

IRQ₄端子、ADTRG端子の入力センスを選択します。

ビット4	説 明
IEG4	
0	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立上がりエッジを検出

ビット3：IRQ₃エッジセレクト（IEG3）

IRQ₃端子、TMIF端子の入力センスを選択します。

ビット3	説 明
IEG3	
0	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立上がりエッジを検出

ビット2：IRQ₂エッジセレクト（IEG2）

IRQ₂端子の入力センスを選択します。

ビット2	説 明
IEG2	
0	$\overline{\text{IRQ}}_2$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_2$ 端子入力の立上がりエッジを検出

ビット1：IRQ₁エッジセレクト（IEG1）

IRQ₁端子の入力センスを選択します。

ビット1	説 明
IEG1	
0	$\overline{\text{IRQ}}_1$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_1$ 端子入力の立上がりエッジを検出

ビット0：IRQ₀エッジセレクト（IEG0）

IRQ₀端子の入力センスを選択します。

ビット0	説 明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_0$ 端子入力の立上がりエッジを検出

(2) 割込み許可レジスタ1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IENTA	IENS1	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1は、8ビットのリード/ライト可能なレジスタで、割込み要求の許可/禁止を制御します。

ビット7: タイマA割込みイネーブル (IENTA)

タイマAオーバフロー割込み要求の許可/禁止を制御します。

ビット7	説明
IENTA	
0	タイマAの割込み要求を禁止 (初期値)
1	タイマAの割込み要求を許可

ビット6: SCI1割込みイネーブル (IENS1)

SCI1転送完了割込み要求の許可/禁止を制御します。

ビット6	説明
IENS1	
0	SCI1の割込み要求を禁止 (初期値)
1	SCI1の割込み要求を許可

ビット5: ウェイクアップ割込みイネーブル (IENWP)

WKP₇~WKP₀割込み要求の許可/禁止を制御します。

ビット5	説明
IENWP	
0	$\overline{WKP_7} \sim \overline{WKP_0}$ 端子の割込み要求を禁止 (初期値)
1	$\overline{WKP_7} \sim \overline{WKP_0}$ 端子の割込み要求を許可

ビット4~0: IRQ₄~IRQ₀割込みイネーブル (IEN4~IEN0)

IRQ₄~IRQ₀割込み要求の許可/禁止を制御します。

ビット4~0	説明
IEN4~IEN0	
0	$\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子の割込み要求を禁止 (初期値)
1	$\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子の割込み要求を許可

(3) 割込み許可レジスタ 2 (I E N R 2)

ビット :	7	6	5	4	3	2	1	0
	IENDT	IENAD	IENMT	IENTG	IENTFH	IENTFL	—	—
初期値 :	0	0	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	—	—

I E N R 2 は、8 ビットのリード/ライト可能なレジスタで、割込み要求の許可/禁止を制御します。

ビット 7 : 直接遷移割込みイネーブル (I E N D T)

直接遷移割込み要求の許可/禁止を制御します。

ビット 7	説 明
I E N D T	
0	直接遷移による割込み要求を禁止 (初期値)
1	直接遷移による割込み要求を許可

ビット 6 : A / D 変換器割込みイネーブル (I E N A D)

A / D 変換終了割込み要求の許可/禁止を制御します。

ビット 6	説 明
I E N A D	
0	A / D 変換器の割込み要求を禁止 (初期値)
1	A / D 変換器の割込み要求を許可

ビット 5 : マルチトーン発生回路割込みイネーブル (I E N M T)

マルチトーン半周期割込み要求の許可/禁止を制御します。

ビット 5	説 明
I E N M T	
0	マルチトーン発生回路割込み要求を禁止 (初期値)
1	マルチトーン発生回路割込み要求を許可

ビット4：タイマG割込みイネーブル（IENTG）

タイマGインプットキャプチャまたはオーバフロー割込み要求の許可／禁止を制御します。

ビット4	説明
IENTG	
0	タイマGの割込み要求を禁止 (初期値)
1	タイマGの割込み要求を許可

ビット3：タイマFH割込みイネーブル（IENTFH）

タイマFHコンペアマッチまたはオーバフロー割込み要求の許可／禁止を制御します。

ビット3	説明
IENTFH	
0	タイマFHの割込み要求を禁止 (初期値)
1	タイマFHの割込み要求を許可

ビット2：タイマFL割込みイネーブル（IENTFL）

タイマFLコンペアマッチまたはオーバフロー割込み要求の許可／禁止を制御します。

ビット2	説明
IENTFL	
0	タイマFLの割込み要求を禁止 (初期値)
1	タイマFLの割込み要求を許可

ビット1、0：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

なお、SCI 3の割込みの制御については「10.3.2 (6) シリアルコントロールレジスタ 3 (SCR 3)」を参照してください。

(4) 割込み要求レジスタ 1 (IRR 1)

ビット：	7	6	5	4	3	2	1	0
	IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための“0”ライトのみ可能です。

IRR 1は、8ビットリード/ライト可能なレジスタで、タイマA、SCI 1、IRQ₄～IRQ₀。割込み要求が発生すると対応するフラグが“1”にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は“0”をライトしてクリアしてください。

ビット7：タイマA割込み要求フラグ (IRR TA)

ビット7	説明
IRR TA	
0	〔クリア条件〕 IRRTA = “1”の状態ではIRRTAに“0”をライトしたとき (初期値)
1	〔セット条件〕 タイマAのカウント値がオーバーフロー (H'FF→H'00) したとき

ビット6：SCI 1割込み要求フラグ (IRRS 1)

ビット6	説明
IRRS 1	
0	〔クリア条件〕 IRRS1 = “1”の状態ではIRRS1に“0”をライトしたとき (初期値)
1	〔セット条件〕 SCI1が転送完了したとき

ビット5：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4～0：IRQ₄～IRQ₀割込み要求フラグ（IRRI₄～IRRI₀）

ビットn	説 明
IRRI _n	
0	〔クリア条件〕 IRRI _n = “1” の状態でIRRI _n に “0” をライトしたとき (初期値)
1	〔セット条件〕 IRQ _n 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 4 ~ 0)

(5) 割込み要求レジスタ2（IRR2）

ビット：	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	IRRMT	IRRTG	IRRTFH	IRRTFL	—	—
初期値：	0	0	0	0	0	0	1	1
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	—	—

【注】* フラグクリアのための “0” ライトのみ可能です。

IRR2は、8ビットリード/ライト可能なレジスタで、直接遷移、A/D変換器、マルチトーン発生回路、タイマG、タイマFH、タイマFL割込み要求が発生すると、対応するフラグが “1” にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は “0” をライトしてクリアしてください。

ビット7：直接遷移割込み要求フラグ（IRRDT）

ビット7	説 明
IRRDT	
0	〔クリア条件〕 IRRDT = “1” の状態でIRRDTに “0” をライトしたとき (初期値)
1	〔セット条件〕 DTONに “1” をセットした状態でスリープ命令を実行し直接遷移したとき

ビット6：A/D変換器割込み要求フラグ（IRRAD）

ビット6	説 明
IRRAD	
0	〔クリア条件〕 IRRAD=“1”の状態ではIRRADに“0”をライトしたとき (初期値)
1	〔セット条件〕 A/D変換器が変換終了し、ADSFがリセットされたとき

ビット5：マルチトーン発生回路割込み要求フラグ（IRRMT）

ビット5	説 明
IRRS2	
0	〔クリア条件〕 IRRMT=“1”の状態ではIRRMTに“0”をライトしたとき (初期値)
1	〔セット条件〕 マルチトーン発生回路が半周期分のデータを出力したとき

ビット4：タイマG割込み要求フラグ（IRRTG）

ビット4	説 明
IRRTG	
0	〔クリア条件〕 IRRTG=“1”の状態ではIRRTGに“0”をライトしたとき (初期値)
1	〔セット条件〕 TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

ビット3：タイマFH割込み要求フラグ（IRRTFH）

ビット3	説 明
IRRTFH	
0	〔クリア条件〕 IRRTFH=“1”の状態ではIRRTFHに“0”をライトしたとき (初期値)
1	〔セット条件〕 8ビットタイマモードでTCFHとOCRFHが一致したとき、また、16ビットタイマモードでTCF(TCFL, TCFH)とOCRF(OCRFL, OCRFH)が一致したとき

ビット2：タイマFL割込み要求フラグ（IRRTFL）

ビット2	説 明
IRRTFL	
0	〔クリア条件〕 (初期値) IRRTFL = “1” の状態でIRRTFLに “0” をライトしたとき
1	〔セット条件〕 8ビットタイマモードでTCFLとOCRFLが一致したとき

ビット1、0：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

(6) ウェイクアップ割込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための“0”ライトのみ可能です。

IWPRは、8ビットのリード/ライト可能なレジスタで、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立下がりエッジが入力されたとき、対応するフラグが“1”にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は“0”をライトしてクリアしてください。

ビット7～0: ウェイクアップ割込み要求フラグ (IWPF7～IWPF0)

ビットn	説 明
IWPFn	
0	[クリア条件] (初期値) IWPFn = “1”の状態 IWPFnに “0”をライトしたとき
1	[セット条件] \overline{WKP}_n 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき

(n = 7～0)

3.3.3 外部割込み

外部割込みには、NMI、WKP₇～WKP₀割込みと、IRQ₄～IRQ₀割込みの14要因があります。

(1) NMI割込み

NMI割込みは、NMI端子の入力信号により要求されます。

NMI割込みは、立上がり／立下がりエッジセンスをIEGRのNMIEGにより指定できます。NMI割込みは最優先の割込みで、CCRのIビットの値にかかわらず、常に受け付けられます。NMI割込み例外処理のベクタ番号は3です。この例外処理が受け付けられると、CCRのIビットが“1”にセットされます。

(2) WKP₇～WKP₀割込み

WKP₇～WKP₀割込みはWKP₇～WKP₀端子の立下がりエッジ入力により要求されます。

PMR5により端子機能がWKP₇～WKP₀端子に選択された状態で立下がりエッジが入力されると、IWPRの対応するビットが“1”にセットされ、割込み要求を発生します。

ウェイクアップ割込み要求の受け付けは、IENR1のIENWPを“0”にクリアすることにより禁止できます。また、CCRのIビットを“1”にすることによりすべての割込みをマスクできます。

WKP₇～WKP₀割込みの割込み例外処理が受け付けられると、CCRのIビットが“1”にセットされます。WKP₇～WKP₀割込み例外処理のベクタ番号は9です。8つの割込み要因が1つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(3) IRQ₄～IRQ₀割込み

IRQ₄～IRQ₀割込みは、IRQ₄～IRQ₀端子の入力信号により要求されます。

IRQ₄～IRQ₀割込みは、立上がり／立下がりエッジセンスをIEGRのIEG4～IEG0により指定できます。

PMR2、PMR1により端子機能がIRQ₄～IRQ₀端子に選択された状態で指定されたエッジが入力されると、IRR1の対応するビットが“1”にセットされ、割込み要求を発生します。

割込み要求の受け付けは、IENR1のIEN4～IEN0を“0”にクリアすることにより、禁止できます。また、CCRのIビットを“1”にセットすることによりすべての割込みをマスクできます。

IRQ₄～IRQ₀割込みの割込み例外処理が受け付けられると、CCRのIビットが“1”にセットされます。

IRQ₄～IRQ₀割込み例外処理のベクタ番号は8～4です。優先順位はIRQ₄(低)→IRQ₀(高)の順に高くなります。詳細は表3.2を参照してください。

3.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、17要因あります。

内蔵周辺モジュールからの割込み要求が発生すると、IRR2、IRR1の対応するビットが“1”にセットされます。IENR2、IENR1の各ビットを“0”にクリアすることにより、各割込み要求の受け付けは禁止できます。また、CCRのIビットを“1”にセットすることにより、すべての割込みをマスクできます。

これらの割込み例外処理が受け付けられると、CCRのIビットは“1”にセットされます。ベクタ番号は20～10です。内蔵周辺モジュールからの割込みの優先順位については表3.2を参照してください。

3.3.5 割込み動作

割込みは、割込みコントローラによって制御されます。割込みコントローラのブロック図を図 3.2 に、割込み受け付けまでのフローを図 3.3 に示します。

割込み動作は以下のとおりです。

- ① 割込み許可レジスタの対応するビットが“1”にセットされている状態で、割込み要因が発生したとき、割込みコントローラに対して割込み要求信号が送られます。
- ② 割込みコントローラに割込み要求信号が送られると、割込み要求フラグがセットされます。
- ③ 割込み許可フラグが“1”にセットされている割込みの中で、優先順位にしたがって最高位の割込み要求が選択され、その他は保留となります（表 3.2 参照）。
- ④ CCR の I ビットを参照し、I ビットが“0”にクリアされている場合は、割込み要求は受け付けられますが、I ビットが“1”にセットされている場合は割込み要求は保留となります。
- ⑤ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.4 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ CCR の I ビットが“1”にセットされます。これにより、すべての割込みはマスクされます。
- ⑦ 受け付けた割込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割込みシーケンスを図 3.5 に示します。

- 【注】
1. 本 LSI では、割込み許可レジスタをクリアすることにより割込みをディスエーブルにする場合、または割込み要求レジスタをクリアする場合は、かならず割込みをマスクした状態（I = “1”）で行ってください。
 2. I = “0” の状態で上記の操作を行うと、当該操作命令の実行と当該割込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割込みに対応する例外処理を実行します。

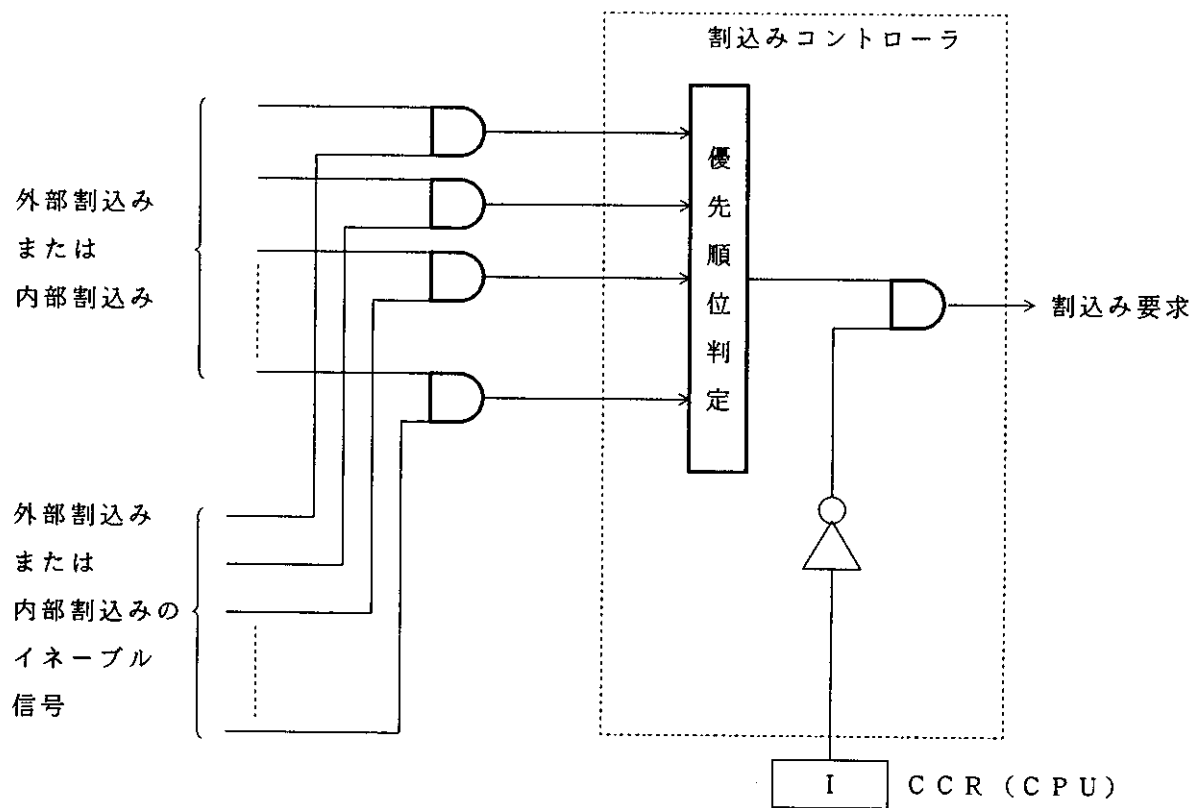
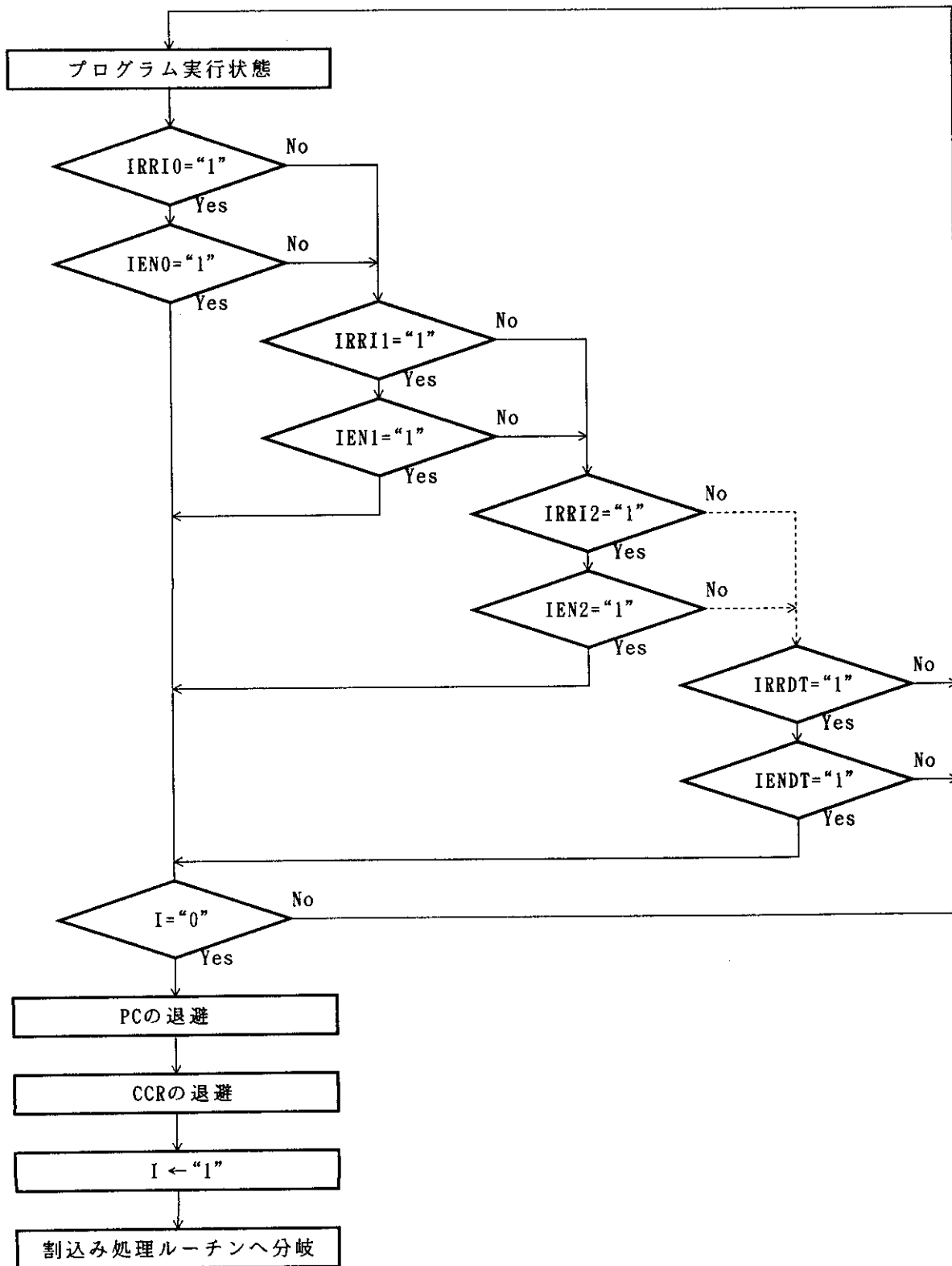


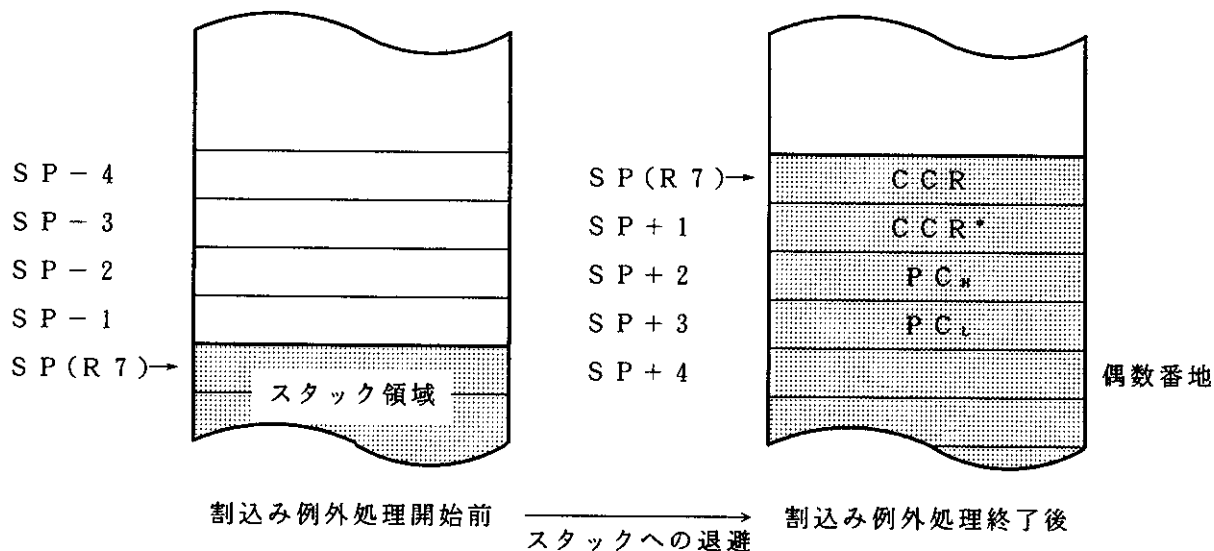
図 3.2 割込みコントローラのブロック図



〈記号説明〉

- PC : プログラムカウンタ
- CCR : コンディションコードレジスタ
- I : CCRのIビット

図 3.3 割込み受けまでのフロー

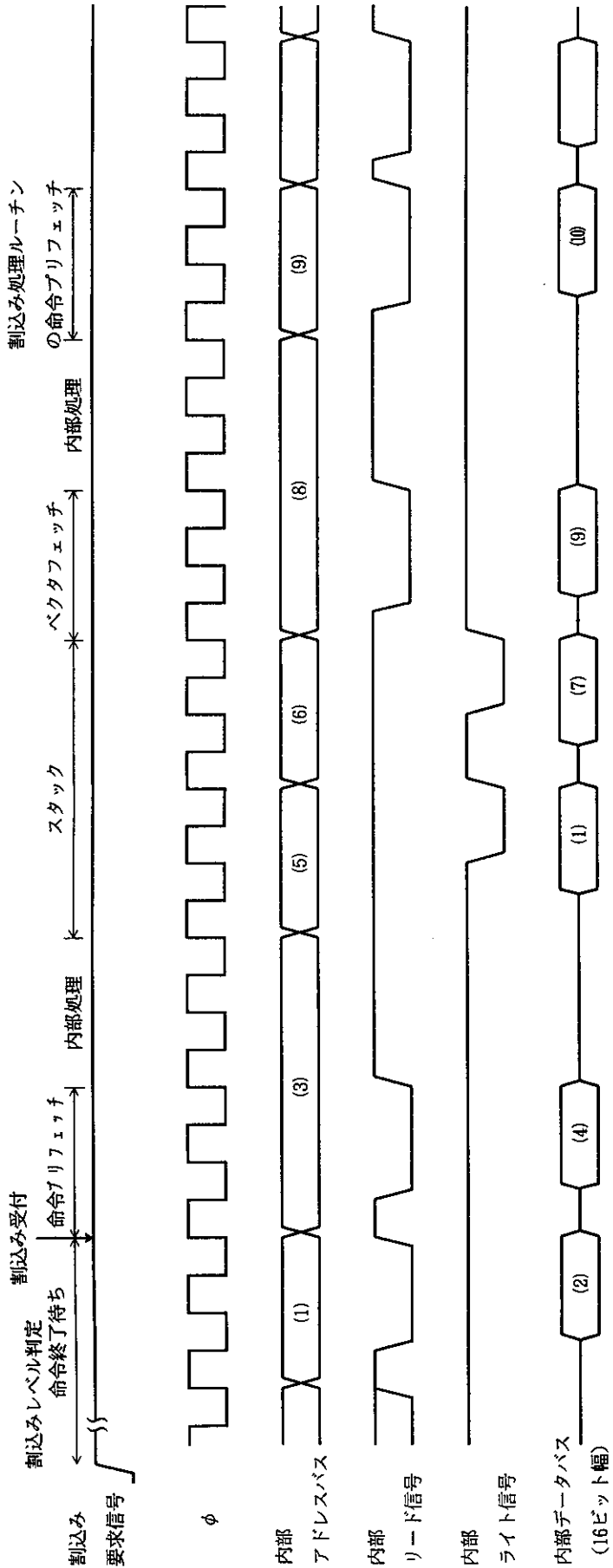


〈記号説明〉

- PC_H : プログラムカウンタ (PC) の上位 8 ビット
- PC_L : プログラムカウンタ (PC) の下位 8 ビット
- CCR : コンディションコードレジスタ
- SP : スタックポインタ

- 【注】
1. PC はリターン後に実行する最初の命令のアドレスです。
 2. レジスタの退避／復帰は必ずワードサイズで、偶数アドレスから行ってください。
- * リターン時には無視されます。

図 3. 4 割込み例外処理終了後のスタック状態



- (1) 命令のプリフェッチアドレス (実行されません。回避P.Cの内容であり、リターンアドレスです。)
- (2)(4) 命令コード (実行されません。)
- (3) 命令のプリフェッチアドレス (実行されません。)
- (5) SP-2 (ベクタアドレスの内容)
- (7) CCR
- (8) ベクタアドレス
- (9) 割り込み処理ルーチン開始アドレス (ベクタアドレスの内容)
- (10) 割り込み処理ルーチン先頭命令

図 3.5 割り込みシーケンス

3.3.6 割込み応答時間

割込み要求フラグがセットされた後、割込み処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3.4 に示します。

表 3.4 割込み待ちステート数

項 目	ステート数	合 計
実行中の命令終了時の待ち時間 *	1 ~ 13	15 ~ 27
P C、C C Rのスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

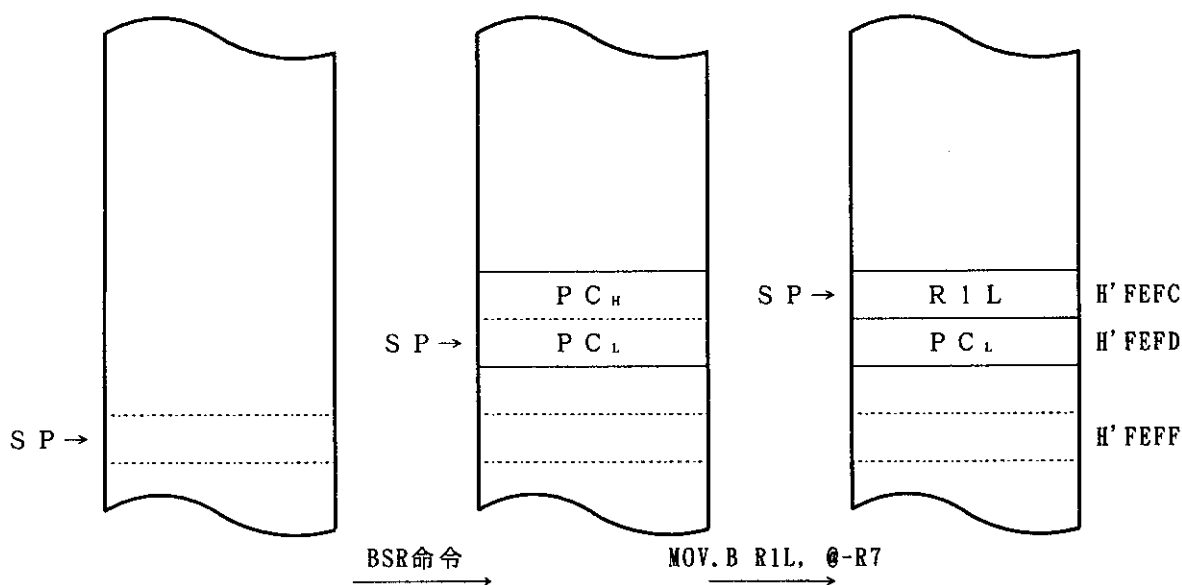
【注】 * E E P M O V命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本LSIでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは“0”とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ（SP：R7）の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn（MOV.W Rn, @-SP）」または「POP Rn（MOV.W @SP+, Rn）」を使用してください。

SPに奇数を設定すると、誤動作の原因となります。SPに奇数を設定した場合の動作例を図3.6に示します。



SPにH'FEFFを設定 SPを超えてスタックされる。PC_Hの内容が失われる。

<記号説明>

- PC_H : プログラムカウンタの上位バイト
- PC_L : プログラムカウンタの下位バイト
- R1L : 汎用レジスタのR1L
- SP : スタックポインタ

図3.6 SPに奇数を設定したときの動作

また、割込み例外処理およびRTE命令実行時のCCRの退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともにCCRの値が退避されます。復帰時には、偶数アドレスの値がCCRに格納され、奇数アドレスの値は無視されます。

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割込み端子の機能切換えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割込み端子 ($IRQ_4 \sim IRQ_0$ 、 $WKP_7 \sim WKP_0$) を制御しているポートモードレジスタを書き換えて端子機能を切り換えた場合、端子に有効な割込みが入力されていなくても、端子機能を切り換えた時点で割込み要求フラグが“1”にセットされますので、割込み要求フラグを“0”にクリアしてから使用してください。

“1”にセットされる割込み要求フラグとその条件を表 3.5 に示します。

表 3.5 割込み要求フラグが“1”にセットされる条件

“1”にセットされる 割込み要求フラグ		条 件
IRR1	IRRI4	<ul style="list-style-type: none"> • \overline{IRQ}_4端子が“Low”レベルでIEGRのIEG4が“0”の状態 で、PMR2のIRQ4を“0”から“1”に書き換えたとき • \overline{IRQ}_4端子が“Low”レベルでIEGRのIEG4が“1”の状態 で、PMR2のIRQ4を“1”から“0”に書き換えたとき
	IRRI3	<ul style="list-style-type: none"> • \overline{IRQ}_3端子が“Low”レベルでIEGRのIEG3が“0”の状態 で、PMR1のIRQ3を“0”から“1”に書き換えたとき • \overline{IRQ}_3端子が“Low”レベルでIEGRのIEG3が“1”の状態 で、PMR1のIRQ3を“1”から“0”に書き換えたとき
	IRRI2	<ul style="list-style-type: none"> • \overline{IRQ}_2端子が“Low”レベルでIEGRのIEG2が“0”の状態 で、PMR1のIRQ2を“0”から“1”に書き換えたとき • \overline{IRQ}_2端子が“Low”レベルでIEGRのIEG2が“1”の状態 で、PMR1のIRQ2を“1”から“0”に書き換えたとき
	IRRI1	<ul style="list-style-type: none"> • \overline{IRQ}_1端子が“Low”レベルでIEGRのIEG1が“0”の状態 で、PMR1のIRQ1を“0”から“1”に書き換えたとき • \overline{IRQ}_1端子が“Low”レベルでIEGRのIEG1が“1”の状態 で、PMR1のIRQ1を“1”から“0”に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> • \overline{IRQ}_0端子が“Low”レベルでIEGRのIEG0が“0”の状態 で、PMR2のIRQ0を“0”から“1”に書き換えたとき • \overline{IRQ}_0端子が“Low”レベルでIEGRのIEG0が“1”の状態 で、PMR2のIRQ0を“1”から“0”に書き換えたとき
IWPR	IWPF7	\overline{WKP}_7 端子が“Low”レベルの状態、PMR5のWKP7を“0”から“1”に書き換えたとき
	IWPF6	\overline{WKP}_6 端子が“Low”レベルの状態、PMR5のWKP6を“0”から“1”に書き換えたとき
	IWPF5	\overline{WKP}_5 端子が“Low”レベルの状態、PMR5のWKP5を“0”から“1”に書き換えたとき
	IWPF4	\overline{WKP}_4 端子が“Low”レベルの状態、PMR5のWKP4を“0”から“1”に書き換えたとき
	IWPF3	\overline{WKP}_3 端子が“Low”レベルの状態、PMR5のWKP3を“0”から“1”に書き換えたとき
	IWPF2	\overline{WKP}_2 端子が“Low”レベルの状態、PMR5のWKP2を“0”から“1”に書き換えたとき
	IWPF1	\overline{WKP}_1 端子が“Low”レベルの状態、PMR5のWKP1を“0”から“1”に書き換えたとき
	IWPF0	\overline{WKP}_0 端子が“Low”レベルの状態、PMR5のWKP0を“0”から“1”に書き換えたとき

ポートモードレジスタの操作と割込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り換える場合は、ポートモードレジスタの操作前に割込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも1命令（NOP命令で可）実行してから、“1”にセットされた割込み要求フラグを“0”にクリアしてください。ポートモードレジスタ操作後に1命令実行せず割込み要求フラグを“0”にクリアする命令を実行しても、割込み要求フラグはクリアされませんので注意してください。

なお、端子機能切換えに伴う割込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を“High”レベルに制御して行う方法もあります。

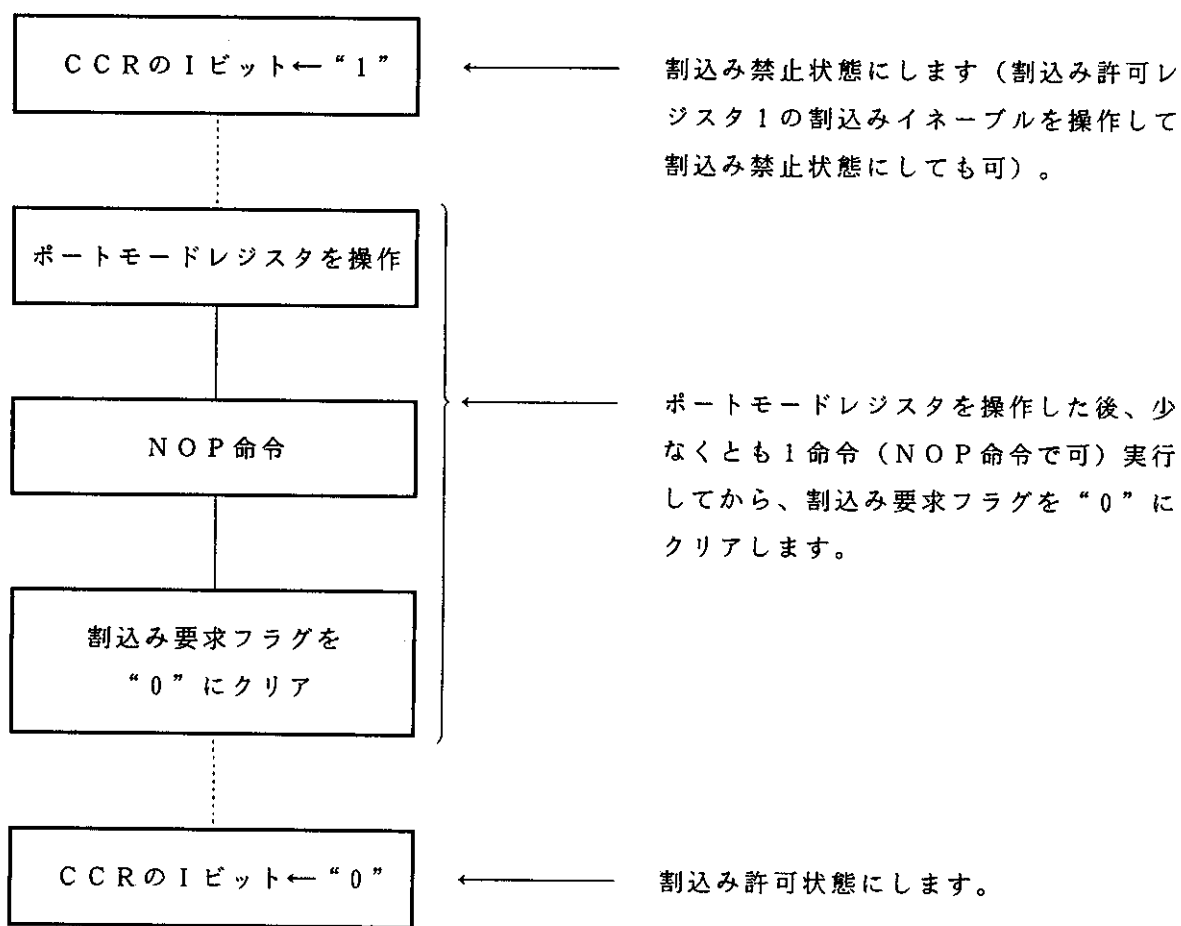


図 3.7 ポートモードレジスタ操作と割込み要求フラグのクリア手順

4. クロック発振器

第 4 章 目次

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-5
4.4	プリスケータ	4-6
4.5	発振子に関する注意事項	4-6

4.1 概要

本LSIは、クロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の2つの回路から構成されます。

4.1.1 ブロック図

図4.1にクロック発生回路のブロック図を示します。

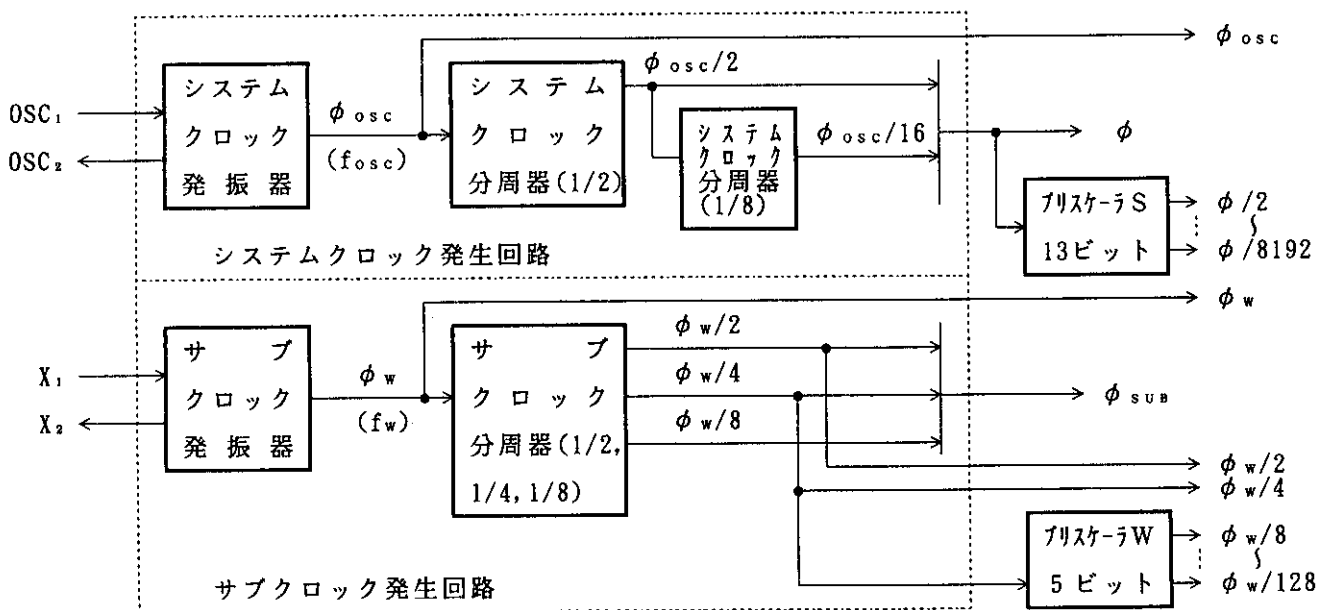


図4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック（ ϕ および ϕ_{SUB} ）は、CPUおよび周辺機能を動作させるための基準クロックです。

ϕ をシステムクロック、 ϕ_{SUB} をサブクロックと呼びます。また、 ϕ_{osc} をOSCクロック、 ϕ_w をウォッチクロックと呼びます。

クロック ϕ_{osc} 、 $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_w/128$ 、 $\phi_w/64$ 、 $\phi_w/32$ 、 $\phi_w/16$ 、 $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ 、 ϕ_w は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図4.2に示します。

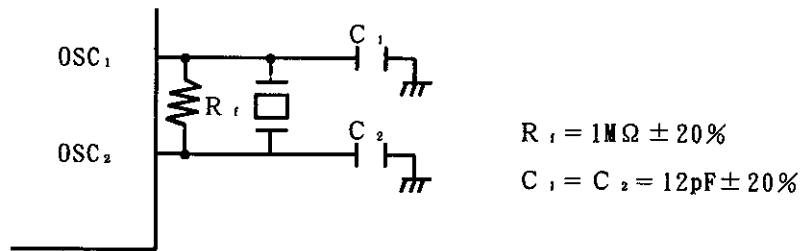


図4.2 水晶発振子の接続例

図4.3に水晶発振子の等価回路を示します。発振子は表4.1に示す特性のものを使用してください。

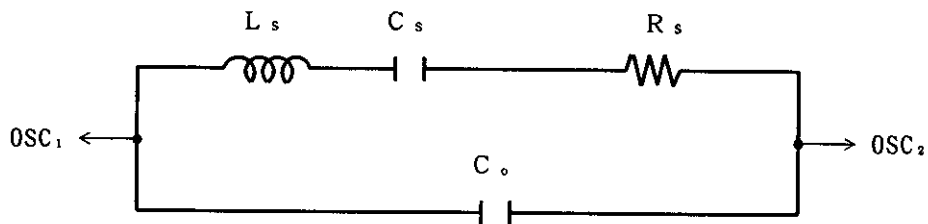


図4.3 水晶発振子の等価回路

表4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500 Ω	100 Ω	50 Ω	30 Ω
C_o (max)	7 pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

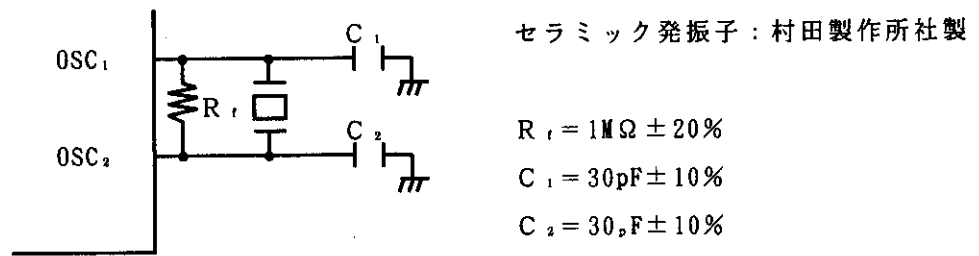


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

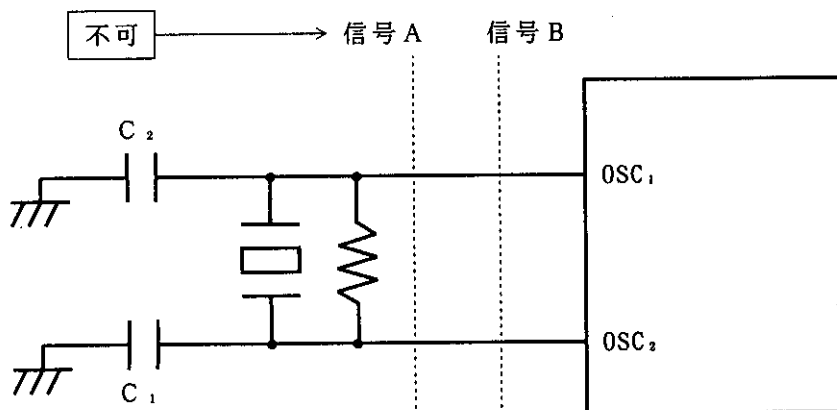


図 4.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックをOSC₁端子に接続し、OSC₂端子をオープン状態にします。

この場合の接続例を図4.6に示します。

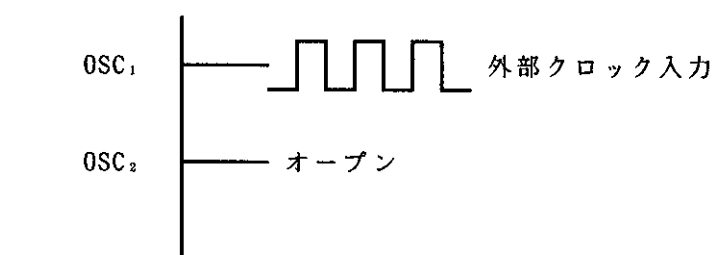


図4.6 外部クロックを入力する場合の接続例

周波数	OSCクロック (ϕ_{osc})
duty	45%~55%

4.3 サブクロック発振器

(1) 32.768 kHz水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図4.7に示すように32.768 kHzの水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

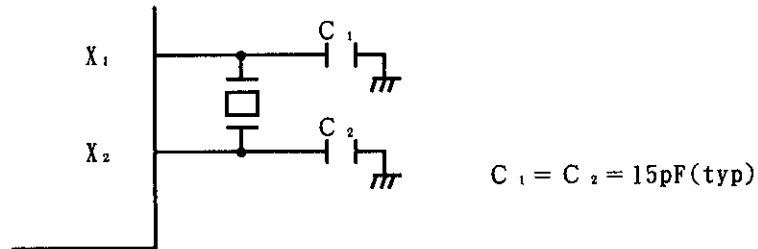


図4.7 32.768 kHz水晶発振子の接続例

図4.8に32.768 kHz水晶発振子の等価回路を示します。

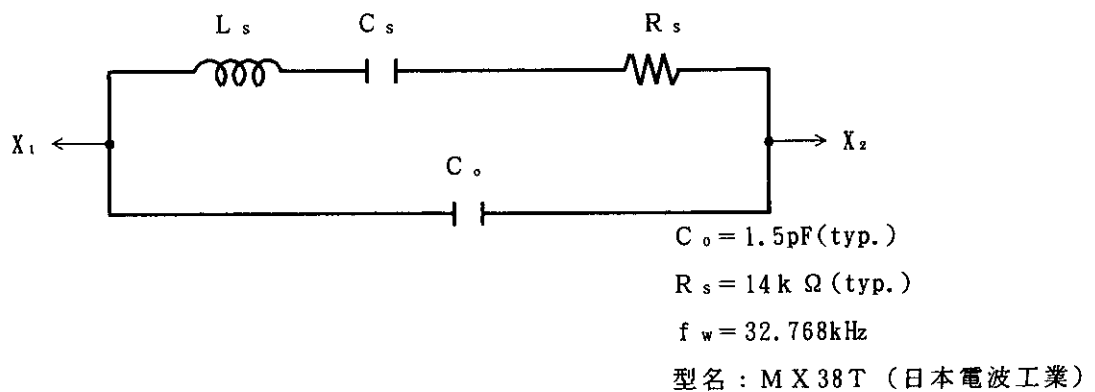


図4.8 32.768 kHz水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図4.9に示すようにX1端子をVccに接続し、X2端子をオープンとしてください。

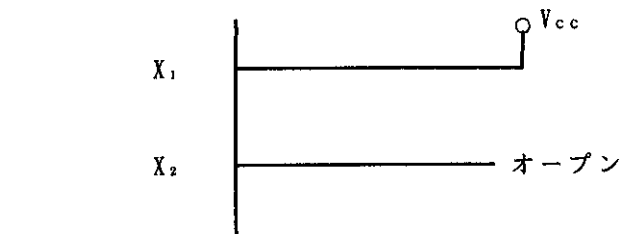


図4.9 サブクロックを必要としない場合の端子処理

4.4 プリスケーラ

本LSIは、入力クロックの異なる2本のプリスケーラ（プリスケーラS、プリスケーラW）を内蔵しています。

プリスケーラSは、システムクロック（ ϕ ）を入力クロックとする13ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラWは32.768kHzを4分周したクロック（ $\phi_w/4$ ）を入力とする5ビットのカウンタで、分周した出力をタイマAの時計用タイムベース動作に使用します。

(1) プリスケーラS（PSS）

プリスケーラSは、システムクロック（ ϕ ）を入力クロックとする13ビットのカウンタで、1サイクルごとにカウントアップします。

リセット時、プリスケーラSはH'0000にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラSの動作も停止します。このとき、プリスケーラSはH'0000にイニシャライズされます。

CPUによるプリスケーラSのデータリード/ライトはできません。

プリスケーラSの出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ（中速）モードではプリスケーラSのクロック入力が $\phi_{osc}/16$ となります。

(2) プリスケーラW（PSW）

プリスケーラWは、32.768kHzを4分周したクロック（ $\phi_w/4$ ）を入力クロックとする5ビットのカウンタです。

リセット時、プリスケーラWはH'00にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、 X_1 、 X_2 端子にクロックが供給されているかぎり、プリスケーラWは動作を継続します。

プリスケーラWは、TMAのTMA3、TMA2を各々“1”、“1”に設定することでリセットできます。

また、プリスケーラWの出力は、タイマAのクロックとして使用できます。このとき、タイマAは時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、マスクROM版、ZTAT®版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

5. 低消費電力モード

第5章 目次

5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8
5.2.2	スリープモードの解除	5-8
5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10
5.4	ウォッチモード	5-11
5.4.1	ウォッチモードへの遷移	5-11
5.4.2	ウォッチモードの解除	5-11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-11
5.5	サブスリープモード	5-12
5.5.1	サブスリープモードへの遷移	5-12
5.5.2	サブスリープモードの解除	5-12
5.6	サブアクティブモード	5-13
5.6.1	サブアクティブモードへの遷移	5-13
5.6.2	サブアクティブモードの解除	5-13
5.6.3	サブアクティブモードの動作周波数について	5-13
5.7	アクティブ（中速）モード	5-14
5.7.1	アクティブ（中速）モードへの遷移	5-14
5.7.2	アクティブ（中速）モードの解除	5-14
5.7.3	アクティブ（中速）モードの動作周波数について	5-14
5.8	直接遷移	5-15

5. 1 概要

本LSIには、リセット解除後にLSIが動作するモードとして、消費電力を著しく低下させる6種類の低消費電力モードを含む、7種類の動作モードをもっています。

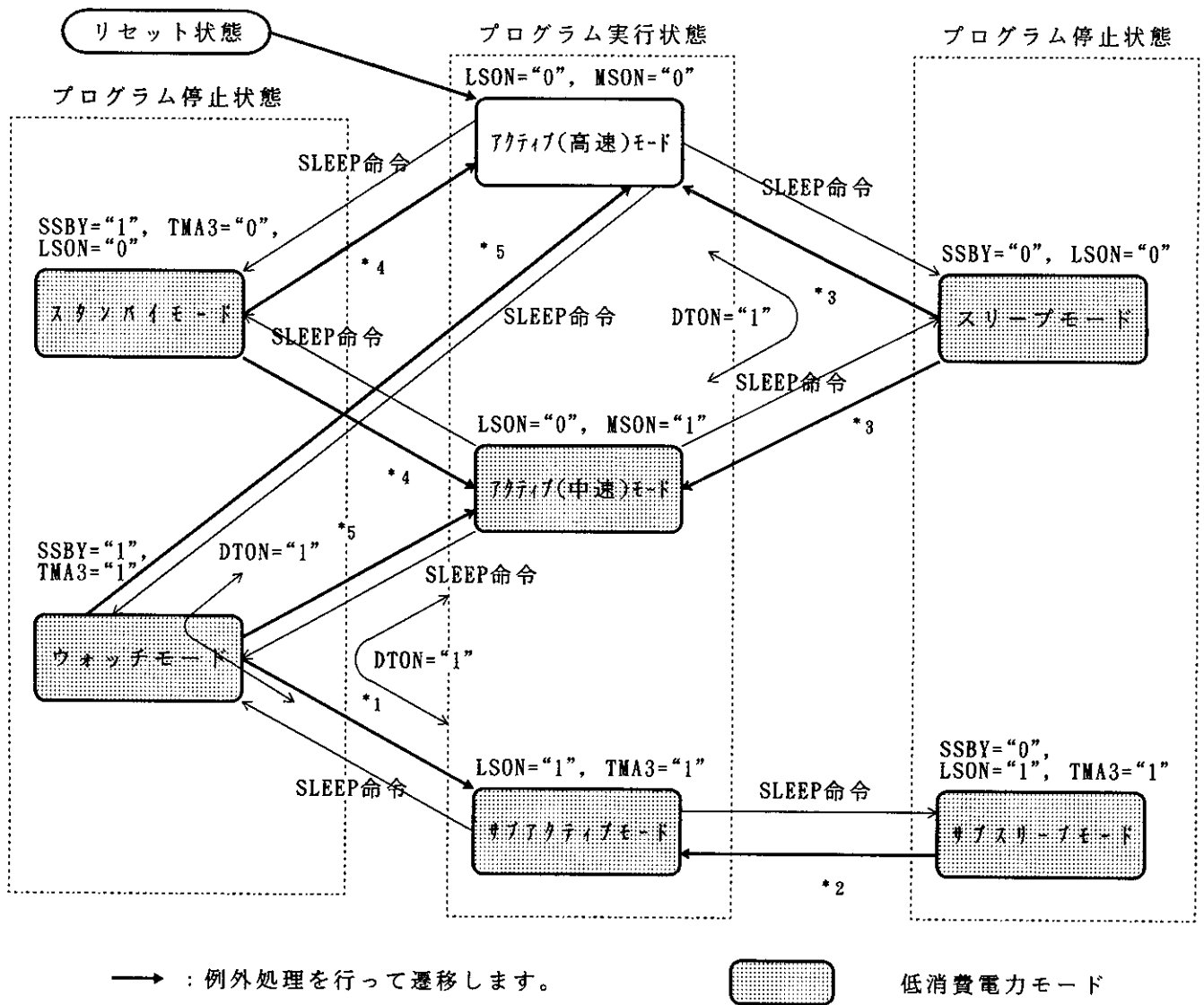
表5.1に動作モードの概要を示します。

表5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPUがシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPUがシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPUがサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープモード	CPUが動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
サブスリープモード	CPUが動作を停止し、タイマA、タイマGがサブクロックで動作しているモードです。
ウォッチモード	CPUが動作を停止し、タイマAの時計機能がサブクロックで動作しているモードです。
スタンバイモード	CPUおよびすべての内蔵の周辺機能が動作を停止しているモードです。

上記7種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

図5.1にモード遷移図を示します。



- 【注】
1. 割込みによって各モード間の遷移を行う場合は、割込み要因発生のみで遷移することはできません。必ず割込み要求を受け付けてから、割込み処理を行うようにしてください。
 2. 各モード間の遷移条件の詳細は、5.2～5.8節の各モードの説明を参照してください。
- *1 タイマA割込み、IRQ₀割込み、WKP₇～WKP₀割込み
 - *2 タイマA割込み、タイマG割込み、IRQ₄～IRQ₀割込み、WKP₇～WKP₀割込み、NMI割込み
 - *3 すべての割込み
 - *4 IRQ₁、IRQ₀割込み、WKP₇～WKP₀割込み、NMI割込み
 - *5 タイマA割込み、IRQ₀割込み、WKP₇～WKP₀割込み、NMI割込み

図 5.1 モード遷移図

表 5. 2 に各モードでの L S I の内部状態を示します。

表 5. 2 各動作モードでの L S I の状態

機 能	ｱｸﾃｲﾌﾞ		ｽﾘｰﾌ	ｳｯﾁ	ｻﾌﾞｱｸﾃｲﾌﾞ	ｻﾌﾞｽﾘｰﾌ	ｽﾀﾝﾊﾞｲ	
	高速	中速						
ｼｽﾃﾑｸﾛｯｸ発振器	動作	動作	動作	停止	停止	停止	停止	
ｻﾌﾞｸﾛｯｸ発振器	動作	動作	動作	動作	動作	動作	動作	
CPU動作	命令	動作	動作	停止	動作	保持	停止	
	RAM			保持			保持	
	レジスタ			保持			保持*	
	I/O			保持			保持	
外部割込みの動作	NMI	動作	動作	動作	動作	動作	動作	
	IRQ ₀			保持**			動作	保持**
	IRQ ₁							保持**
	IRQ ₂							
	IRQ ₃							
	IRQ ₄	動作	動作	動作	動作	動作	動作	
	WKP ₀							
	WKP ₁							
	WKP ₂							
	WKP ₃							
WKP ₄								
WKP ₅								
WKP ₆								
WKP ₇								
周辺機能の動作	ﾀｲﾏA	動作	動作	動作	動作**	動作**	動作**	
	ﾀｲﾏF	動作	動作	動作	保持	保持	保持	
	ﾀｲﾏG				動作/保持**	動作/保持**		
	SCI1	動作	動作	動作	保持	保持	保持	保持
	SCI3				リセット	リセット	リセット	リセット
	DTMF	動作	動作	動作	リセット	リセット	リセット	リセット
	A/D	動作	動作	動作	保持	保持	保持	保持
	マルチン 発生回路	動作	動作	動作	リセット	リセット	リセット	リセット

- 【注】 *¹ レジスタは保持、出力はハイインピーダンス
*² 内部クロックとしてφ_w/2を選択した場合に動作、その他は停止して保持
*³ 時計用タイムベース機能を選択時に動作
*⁴ 外部割込み要求は無視されます。割込み要求レジスタの内容は影響を受けません。

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
システムコントロールレジスタ 1	S Y S C R 1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	S Y S C R 2	R/W	H'E0	H'FFF1

(1) システムコントロールレジスタ 1 (S Y S C R 1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	—	—	—

S Y S C R 1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

S Y S C R 1 は、リセット時 H'07 にイニシャライズされます。

ビット 7 : ソフトウェアスタンバイ (S S B Y)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説 明
S S B Y	
0	アクティブモードで S L E E P 命令実行後、スリープモードに遷移 サブアクティブモードで S L E E P 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで S L E E P 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで S L E E P 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

特定の割込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期値)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

* Don't care

ビット3：ロースピードオンフラグ（LSON）

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック（ ϕ ）にするか、サブクロック（ ϕ_{sub} ）にするかを選択します。他の制御ビット、割込み入力の組合せで動作モードを決定します。

ビット3	説 明
LSON	
0	CPUの動作クロックはシステムクロック（ ϕ ） (初期値)
1	CPUの動作クロックはサブクロック（ ϕ_{sub} ）

ビット2～0：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

(2) システムコントロールレジスタ2（SYSCR2）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値：	1	1	1	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2は、8ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SYSCR2は、リセット時H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットは、リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (ϕ_w) を、システムクロック発振器より生成されたOSCクロック (ϕ_{osc}) により、サンプリングする周波数を選択します。 $\phi_{osc} = 2 \sim 10\text{MHz}$ のときは、“0”をセットしてください。

ビット4	説明
NESEL	
0	ϕ_{osc} の16分周クロックでサンプリング (初期値)
1	ϕ_{osc} の4分周クロックでサンプリング

ビット3：ダイレクトトランスファオンフラグ (DTON)

アクティブ (高速) モード、アクティブ (中速) モード、サブアクティブモードの各モード間を、SLEEP命令を実行することにより直接遷移するか否かを指定します。SLEEP命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組合せで決定します。

ビット3	説明
DTON	
0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 <p>(初期値)</p>
1	<ul style="list-style-type: none"> ・アクティブ (高速) モードでSLEEP命令を実行したとき、アクティブ (中速) モード (SSBY="0"、MSON="1"、LSON="0"のとき)、またはサブアクティブモード (SSBY="1"、TMA3="1"、LSON="1"のとき) に直接遷移 ・アクティブ (中速) モードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY="0"、MSON="0"、LSON="0"のとき)、またはサブアクティブモード (SSBY="1"、TMA3="1"、LSON="1"のとき) に直接遷移 ・サブアクティブモードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY="1"、TMA3="1"、LSON="0"、MSON="0"のとき)、またはアクティブ (中速) モード (SSBY="1"、TMA3="1"、LSON="0"、MSON="1"のとき) に直接遷移

ビット2：ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるかを選択します。

ビット2	説明
MSON	
0	アクティブ（高速）モードで動作 (初期値)
1	アクティブ（中速）モードで動作

ビット1、0：サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモードのCPUの動作クロック ($\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$) を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明
SA1	SA0	
0	0	$\phi_w/8$ (初期値)
0	1	$\phi_w/4$
1	*	$\phi_w/2$

* Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

アクティブモードで、SYSCR1のSSBYが“0”、LSONが“0”のときSLEEP命令を実行すると、スリープモードに遷移します。スリープモードではCPUの動作は停止しますが、内蔵周辺モジュールは動作します。なお、CPUのレジスタの内容は保持されます。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割込み（タイマA、タイマF、タイマG、NMI、IRQ₄、IRQ₀、WKP₇~WKP₀、SCI3、SCI1、A/D変換器、マルチトーン発生回路）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、スリープモードは解除され、割込み例外処理を開始します。

SYSCR2のMSONが“0”のときアクティブ（高速）モードに、MSONが“1”のときアクティブ（中速）モードに遷移します。なお、CCRのIビットが“1”のとき、あるいは割込み許可レジスタにより当該割込みの受け付けが禁止されている場合はスリープ状態は解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードでSYSCR1のSSBYが“1”、LSONが“0”、およびTMAのTMA3が“0”のときSLEEP命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPUおよび内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPUのレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMのデータは保持されています。さらに、RAMデータ保持電圧で規定した電圧が与えられているかぎり、内蔵RAMのデータは保持されています。このとき、I/Oポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割込み（NMI、IRQ₁、IRQ₀、WKP₁～WKP₀）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、システムクロックの発振が開始され、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したシステムクロックがLSI全体に供給されて、スタンバイモードは解除され、割込み例外処理を開始します。SYSCR2のMSONが“0”のときはアクティブ（高速）モードに、“1”のときはアクティブ（中速）モードに遷移します。なお、CCRのIビットが“1”のとき、あるいは、割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、RES端子を“High”レベルにすると、CPUはリセット例外処理を開始します。なお、システムクロックの発振開始と同時にLSI全体にシステムクロックが供給されます。RES端子は、必ずシステムクロックの発振が安定するまで、“Low”レベルを保持してください。

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1のSTS2～STS0の設定は、以下のようになしてください。

(1) 水晶発振の場合

表5.4に動作周波数とSTS2～STS0の設定値に対する待機時間を示します。待機時間が10ms以上となるようにSTS2～STS0を設定してください。

表5.4 動作周波数と発振安定時間

(単位：ms)

STS2	STS1	STS0	待機時間	5 MHz	4 MHz	2 MHz	1 MHz	0.5 MHz
0	0	0	8,192ステート	1.6	2.0	4.1	8.2	16.4
0	0	1	16,384ステート	3.2	4.1	8.2	16.4	32.8
0	1	0	32,768ステート	6.6	8.2	16.4	32.8	65.5
0	1	1	65,536ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072ステート	26.2	32.8	65.5	131.1	262.1

* Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = “0”) の使用を推奨します。

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードでSYSCR1のSSBYが“1”、TMAのTMA3が“1”のときSLEEP命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマA以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ*1、および内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

【注】*1 SCI3、DTMF発生回路、マルチトーン発生回路のレジスタの内容はリセットされます。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割込み（NMI、IRQ₀、WKP₁～WKP₀、タイマA）、RES端子入力によって行われます。

(1) 割込みによる解除

タイマA割込みまたはIRQ₀割込み、WKP₁～WKP₀割込み要求が発生するとウォッチモードは解除され、SYSCR1のLSONとSYSCR2のMSONの組合せで、LSON=“0”かつMSON=“0”のときはアクティブ（高速）モードに、LSON=“0”かつMSON=“1”のときはアクティブ（中速）モードに、LSON=“1”のときはサブアクティブモードに遷移します。NMI割込み要求が発生すると、ウォッチモードは解除され、MSON=“0”のときはアクティブ（高速）モードにMSON=“1”のときはアクティブ（中速）モードに遷移します。サブアクティブモードには遷移しません。アクティブモードに遷移するときは、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割込み例外処理を開始します。なお、CCRのIビットが“1”の場合、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合は、ウォッチモードは解除されません。

(2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードでSYSCR1のSSBYが“0”、LSONが“1”、TMAのTMA3が“1”のときSLEEP命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマA、タイマG以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ*1、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

【注】*1 SCI3、DTMF発生回路、マルチトーン発生回路のレジスタの内容はリセットされます。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割込み（タイマA、タイマG、NMI、IRQ₄～IRQ₀、WKP₁～WKP₀）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生するとサブスリープモードは解除され、割込み例外処理を開始します。なお、CCRのIビットが“1”の場合、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合は、サブスリープモードは解除されません。

(2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割込み(タイマA、IRQ₀、WKP₇~WKP₀)が発生したとき、SYSCR1のLSONが“1”ならば、サブアクティブモードに遷移します。また、サブスリープモードで割込み(タイマA、タイマG、NMI、IRQ₄~IRQ₀、WKP₇~WKP₀)が発生したとき、サブアクティブモードに遷移します。なお、CCRのIビットが“1”の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、サブアクティブモードに遷移しません。また、SCI3、DTMF発生回路、マルチトーン発生回路のレジスタの内容はリセットされます。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令またはRES端子入力により行われます。

(1) SLEEP命令による解除

SYSCR1のSSBYが“1”、TMAのTMA3が“1”の状態ではSLEEP命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1のSSBYが“0”、LSONが“1”、TMAのTMA3が“1”の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック(ϕ_w)の2分周、4分周、8分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割込み（NMI、IRQ₁、IRQ₀、WKP₇～WKP₀）が発生したとき、ウォッチモードで割込み（タイマA、NMI、IRQ₀、WKP₇～WKP₀）が発生したとき、あるいはスリープモードですべての割込みが発生したとき、SYSCR1のLSONが“0”かつSYSCR2のMSONが“1”ならば、アクティブ（中速）モードに遷移します。なお、CCRのIビットが“1”の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP命令またはRES端子入力により行われます。

(1) SLEEP命令による解除

SYSCR1のSSBYが“1”、LSONが“0”、TMAのTMA3が“0”の状態ではSLEEP命令を実行すると、スタンバイモードに遷移します。SYSCR1のSSBYが“1”、TMAのTMA3が“1”の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。

SYSCR1のSSBYが“0”、LSONが“0”の状態ではSLEEP命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) RES端子による解除

RES端子を“Low”レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、アクティブ（高速）モードの1/8の動作周波数のクロックによって動作します。ただし、DTMF発生回路とマルチトーン発生回路は、OSCクロック（ ϕ_{osc} ）のまま動作します。

5.8 直接遷移

CPUがプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移はSYSCR2のDTONを“1”にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割込み例外処理を開始します。なお、割込み許可レジスタ2により直接遷移割込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCRのIビットを“1”の状態では直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを“1”、LSONを“1”、SYSCR2のDTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを“1”、LSONを“1”、SYSCR2のDTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

6 . R O M

第 6 章 目次

6.1	概要	6-1
6.1.1	ブロック図	6-1
6.2	PROMモード	6-2
6.2.1	PROMモードの設定	6-2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6-2
6.3	プログラミング	6-5
6.3.1	書込み／ベリファイ	6-6
6.3.2	書込み時の注意	6-8
6.4	書込み後の信頼性	6-9

6.1 概要

H8/3877Nは60kバイト、H8/3876Nは48kバイト、H8/3875Nは40kバイトのマスクROMを内蔵しています。また、H8/3877Nは60kバイトのPROMを内蔵しています。ROMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

6.1.1 ブロック図

ROMのブロック図を図6.1に示します。

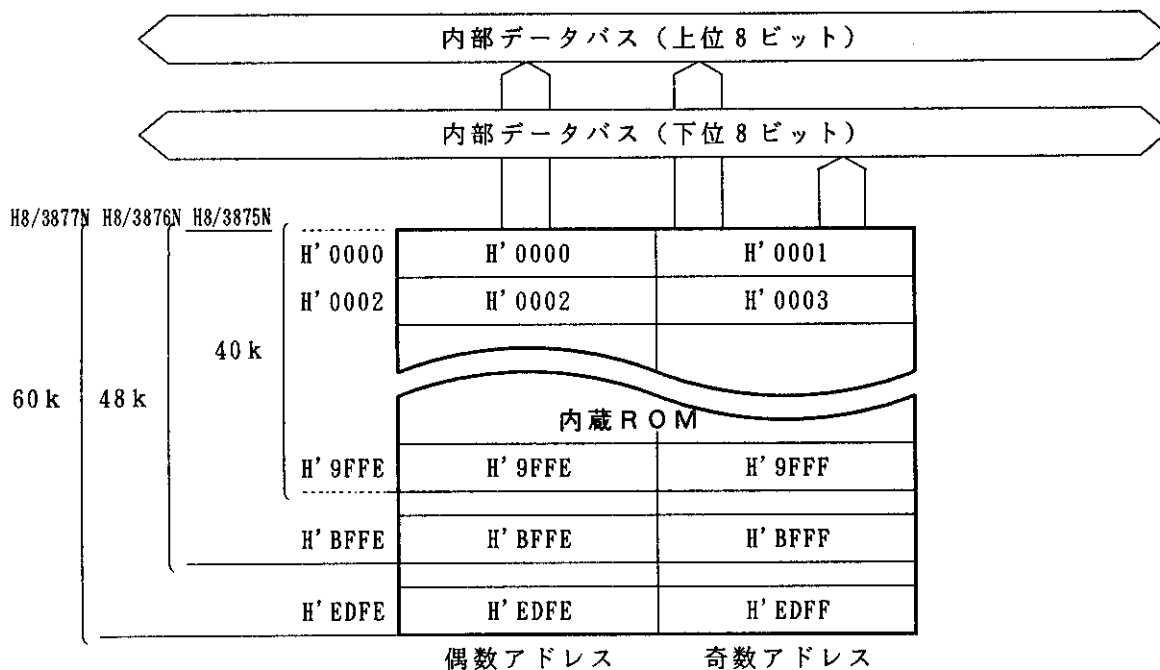


図6.1 ROMのブロック図

6.2 PROMモード

6.2.1 PROMモードの設定

内蔵ROMがPROMの場合、PROMモードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101と同一の方法で内蔵PROMのプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。PROMモードの設定方法を、表6.1に示します。

表 6.1 PROMモードの設定

端子名	設定
TEST端子	“High”レベル
PB ₇ /AN ₇ 端子	“Low”レベル
PB ₆ /AN ₆ 端子	
PB ₅ /AN ₅ 端子	“High”レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROMのプログラムは、表6.2で示すようにパッケージに対応したソケットアダプタを付けて、32ピンに変換し、汎用PROMライターでプログラミングを行います。

ソケットアダプタの端子対応図を図6.2に示します。また、メモリマップを図6.3に示します。

表 6.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
100ピン (FP-100B)	HS3877ESH01H
100ピン (FP-100A)	HS3877ESF01H
100ピン (TFP-100B)	HS3877ESN01H

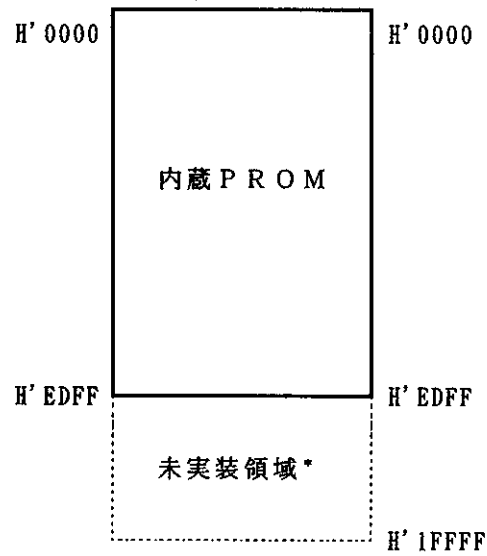
FP-100A	FP-100B TFP-100B	端 子	端 子	HN27C101(32E \times)	
12	9	RES		V _{DD}	1
47	44	P6 ₀		EO ₀	13
48	45	P6 ₁		EO ₁	14
49	46	P6 ₂		EO ₂	15
50	47	P6 ₃		EO ₃	17
51	48	P6 ₄		EO ₄	18
52	49	P6 ₅		EO ₅	19
53	50	P6 ₆		EO ₆	20
54	51	P6 ₇		EO ₇	21
70	67	P8 ₇		EA ₀	12
69	66	P8 ₆		EA ₁	11
68	65	P8 ₅		EA ₂	10
67	64	P8 ₄		EA ₃	9
66	63	P8 ₃		EA ₄	8
65	62	P8 ₂		EA ₅	7
64	61	P8 ₁		EA ₆	6
63	60	P8 ₀		EA ₇	5
55	52	P7 ₀		EA ₈	27
13	10	WMT		EA ₉	26
57	54	P7 ₁		EA ₁₀	23
58	55	P7 ₂		EA ₁₁	25
59	56	P7 ₃		EA ₁₂	4
60	57	P7 ₄		EA ₁₃	28
61	58	P7 ₅		EA ₁₄	29
25	22	P1 ₄		EA ₁₅	3
24	21	P1 ₅		EA ₁₆	2
62	59	P7 ₆		CE	22
56	53	P7 ₇		\overline{OE}	24
26	23	P1 ₆		PGM	31
34, 79	31, 76	V _{CC}		V _{CC}	32
92	89	AV _{CC}			
6	3	TEST			
8	5	X ₁			
99	96	PB ₀			
28	25	P1 ₁			
27	24	P1 ₂			
23	20	P1 ₃			
9, 30	6, 27	V _{SS}		V _{SS}	16
5	2	AV _{SS}			
97	94	PB ₇			
98	95	PB ₆			

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 6.2 ソケットアダプタの端子対応図

MCUモードに
おけるアドレス

PROMモードに
おけるアドレス



【注】* PROMモードでこのアドレス領域をリードした場合、出力データは保証されません。

したがって、PROMライターでプログラムする際に、アドレスは必ずH'0000～H'EDFFに設定してください。誤ってH'EE00以降にプログラムするとPROMの書込みや確認ができなくなることがありますので注意してください。

また、プログラムする際にはこのアドレス領域（H'EE00～H'1FFFF）のデータは、H'FFとしてください。

図 6.3 PROMモード時のメモリマップ

6.3 プログラミング

PROMモード時の書込み、ベリファイなどのモード選択は、表6.3に示すような設定により行います。

表6.3 PROMモード時の書込みモードの選択

モード \ ピン	CE	OE	PGM	V _{pp}	V _{cc}	EO ₇ ~EO ₀	EA ₁₀ ~EA ₀
書込み	L	H	L	V _{pp}	V _{cc}	データ入力	アドレス入力
ベリファイ	L	L	H	V _{pp}	V _{cc}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V _{pp}	V _{cc}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

<記号説明>

L : "Low" レベル

H : "High" レベル

V_{pp} : "V_{pp}" レベル

V_{cc} : "V_{cc}" レベル

なお、書込み、読出しは、標準EPROMのHN27C101と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしているPROMライタは使用できません。PROMライタを選択する場合には、1バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ずH'0000~H'EDFFに設定してください。

6.3.1 書込み／ベリファイ

書込み／ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高性能プログラミングの基本的なフローを図6.4に示します。

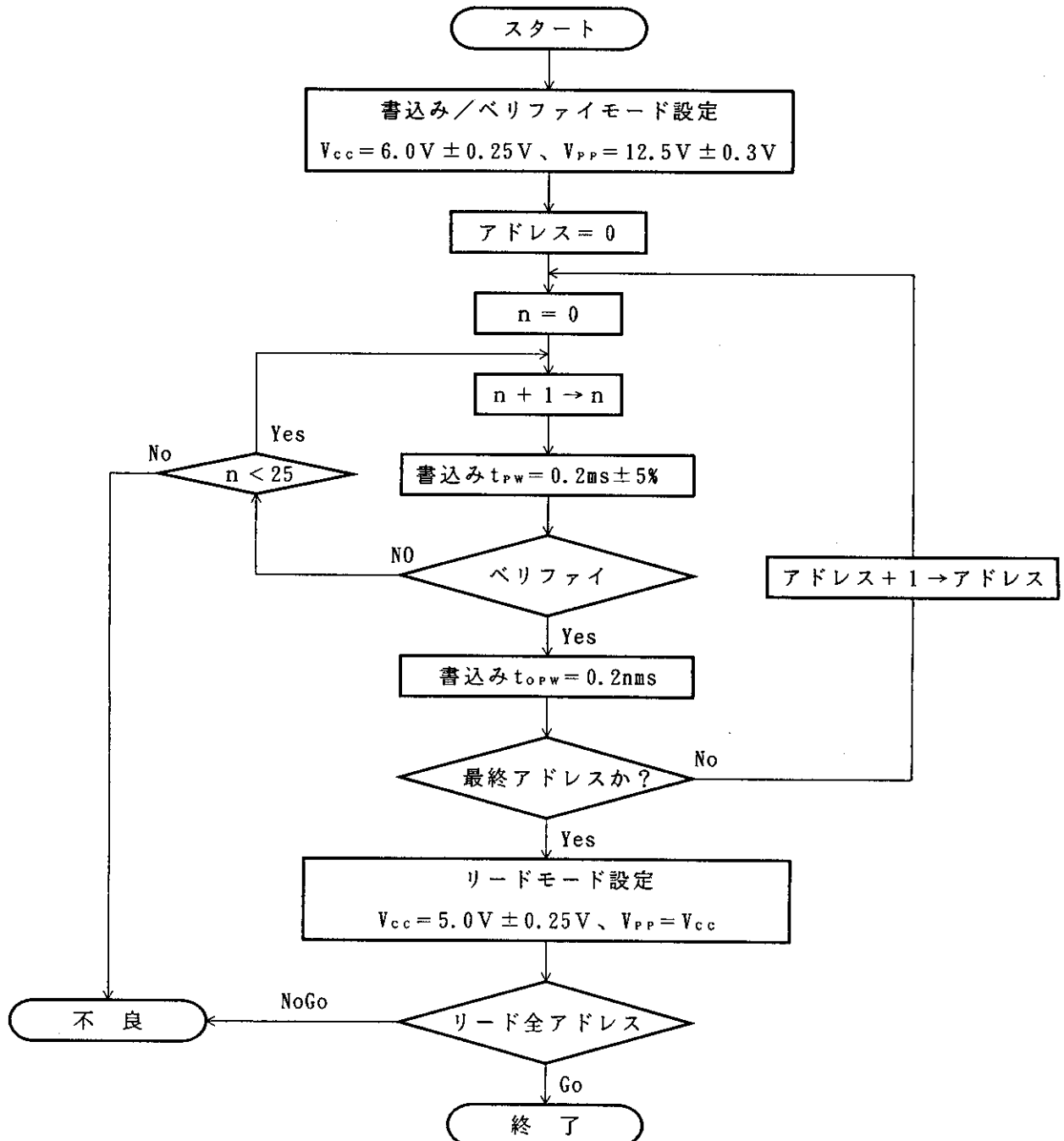


図6.4 高性能プログラミングフローチャート

プログラミング時の電気的特性を表 6.4、表 6.5 に示します。

表 6.4 DC 特性

(暫定仕様)

(条件: $V_{CC}=6.0V \pm 0.25V$ 、 $V_{PP}=12.5V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C \pm 5^\circ C$)

項 目	記号	min	typ	max	単位	測定条件
入力“High” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{1,0} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IH}	2.4	—	$V_{CC} + 0.3$	V
入力“Low” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{1,0} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IL}	-0.3	—	0.8	V
出力“High” レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	—	—	V $I_{OH} = -200 \mu A$
出力“Low” レベル電圧	$EO_7 \sim EO_0$	V_{OL}	—	—	0.45	V $I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{1,0} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	$ I_{LI} $	—	—	2	μA $V_{in} = 5.25V / 0.5V$
V_{CC} 電流		I_{CC}	—	—	40	mA
V_{PP} 電流		I_{PP}	—	—	40	mA

表 6.5 AC 特性

(条件: $V_{CC}=6.0V \pm 0.25V$ 、 $V_{PP}=12.5V \pm 0.3V$ 、 $T_a=25^\circ C \pm 5^\circ C$)

項 目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	—	—	μs	図 6.5 *1
\overline{OE} セットアップ時間	t_{OES}	2	—	—	μs	
データセットアップ時間	t_{DS}	2	—	—	μs	
アドレスホールド時間	t_{AH}	0	—	—	μs	
データホールド時間	t_{DH}	2	—	—	μs	
データ出力ディスエーブル時間	t_{DF}^{*2}	—	—	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	—	—	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時のPGMパルス幅	t_{OPW}^{*3}	0.19	—	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	—	—	μs	
\overline{CE} セットアップ時間	t_{CES}	2	—	—	μs	
データ出力遅延時間	t_{OE}	0	—	200	ns	

【注】 *1 入力パルスレベル: 0.45~2.4V

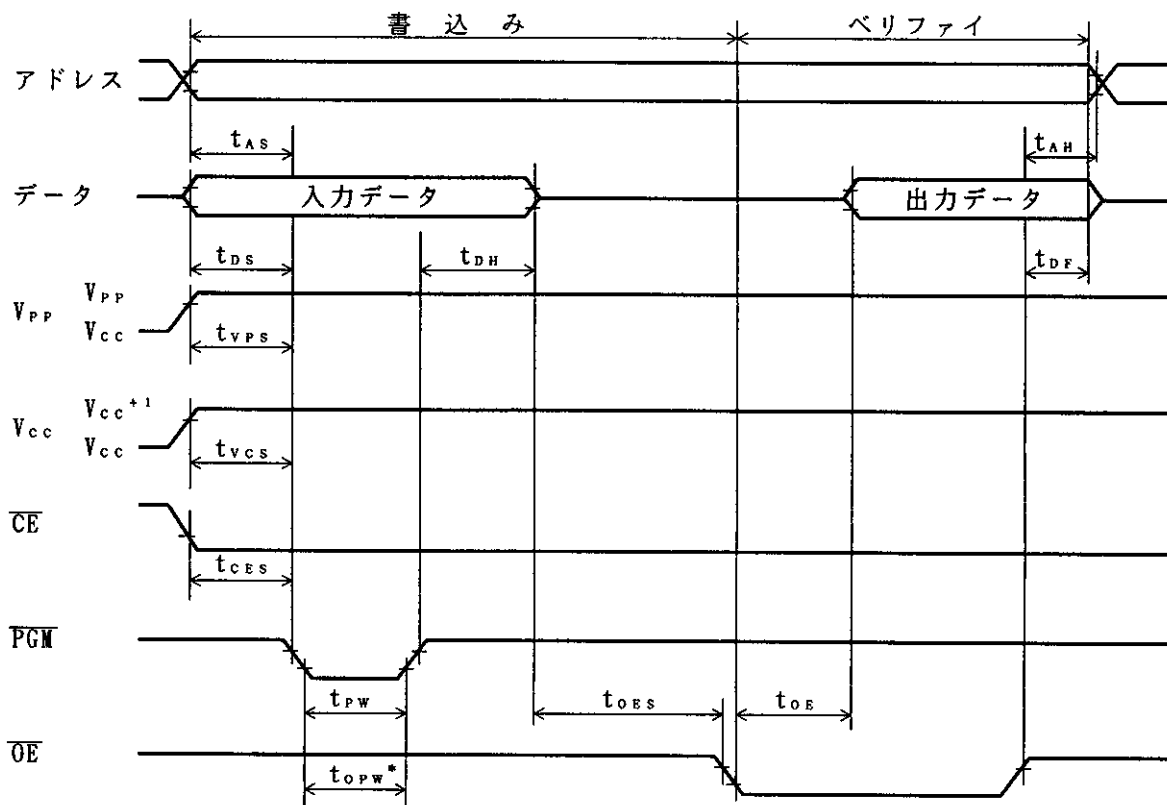
入力立上がり/立下がり時間 $\leq 20ns$

タイミング参照レベル { 入力: 0.8V、2.0V
出力: 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.4 高性能プログラミングフローチャートに記載した値で定義されます。

PROMの書込み／ベリファイタイミングを図6.5に示します。



【注】* t_{OPW} は図6.4 高性能プログラミングフローチャートに記載した値で定義されます。

図6.5 PROM書込み／ベリファイタイミング

6.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{PP}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101の日立仕様にセットすると、 V_{PP} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROMライタでプログラムする際に、アドレスは必ずH'0000～H'EDFFに設定してください。誤ってH'EE00以降にプログラムすると、PROMの書込みや確認ができなくなることがありますので注意してください。またプログラムする際にはH'EE00～H'1FFFFのアドレス領域のデータはH'FFとしてください。

6.4 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図6.6に推奨するスクリーニングフローを示します。

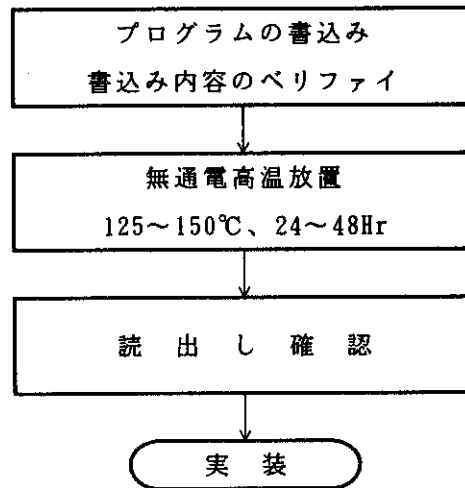


図6.6 推奨スクリーニングフロー

同じPROMライターでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

7. RAM

第7章 目次

7.1 概要	7-1
7.1.1 ブロック図	7-1

7.1 概要

本LSIは、2kバイトの高速スタティックRAMを内蔵しています。RAMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAMのブロック図を図7.1に示します。

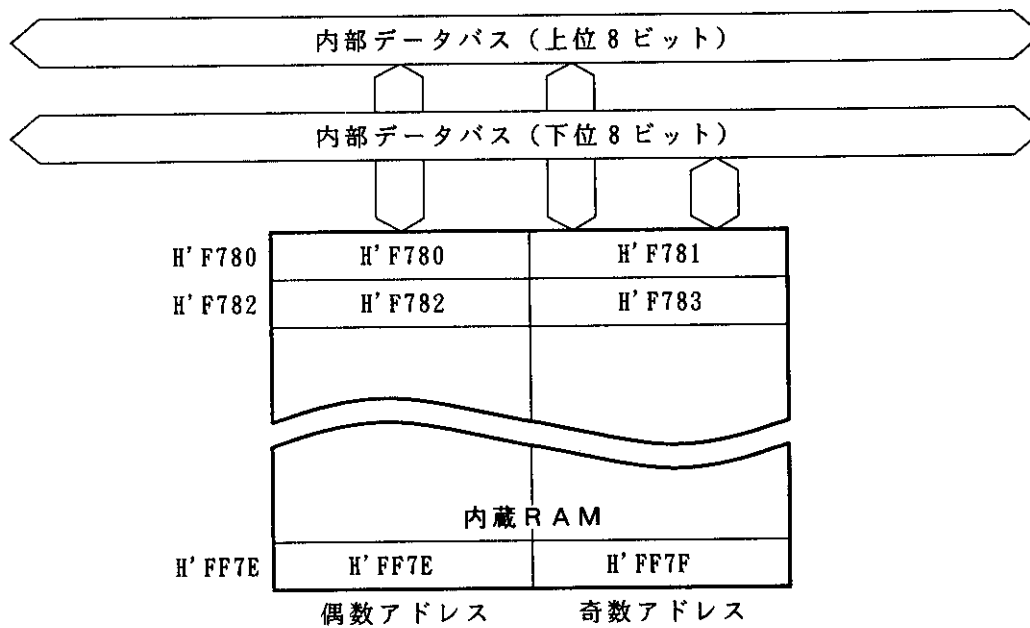


図7.1 RAMのブロック図

8. I/Oポート

第8章 目次

8.1	概要	8-1
8.2	ポート1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-8
8.2.4	端子状態	8-10
8.2.5	入力プルアップMOS	8-10
8.3	ポート2	8-11
8.3.1	概要	8-11
8.3.2	レジスタの構成と説明	8-11
8.3.3	端子機能	8-15
8.3.4	端子状態	8-16
8.3.5	入力プルアップMOS	8-17
8.4	ポート5	8-18
8.4.1	概要	8-18
8.4.2	レジスタの構成と説明	8-18
8.4.3	端子機能	8-21
8.4.4	端子状態	8-21
8.4.5	入力プルアップMOS	8-22
8.5	ポート6	8-23
8.5.1	概要	8-23
8.5.2	レジスタの構成と説明	8-23
8.5.3	端子機能	8-25
8.5.4	端子状態	8-25
8.5.5	入力プルアップMOS	8-25
8.6	ポート7	8-26
8.6.1	概要	8-26

8. 6. 2	レジスタの構成と説明	8 - 26
8. 6. 3	端子機能	8 - 28
8. 6. 4	端子状態	8 - 28
8. 7	ポート 8	8 - 29
8. 7. 1	概要	8 - 29
8. 7. 2	レジスタの構成と説明	8 - 29
8. 7. 3	端子機能	8 - 31
8. 7. 4	端子状態	8 - 31
8. 8	ポート 9	8 - 32
8. 8. 1	概要	8 - 32
8. 8. 2	レジスタの構成と説明	8 - 32
8. 8. 3	端子機能	8 - 34
8. 8. 4	端子状態	8 - 34
8. 9	ポート A	8 - 35
8. 9. 1	概要	8 - 35
8. 9. 2	レジスタの構成と説明	8 - 35
8. 9. 3	端子機能	8 - 37
8. 9. 4	端子状態	8 - 37
8. 10	ポート B	8 - 38
8. 10. 1	概要	8 - 38
8. 10. 2	レジスタの構成と説明	8 - 38
8. 11	ポート D	8 - 39
8. 11. 1	概要	8 - 39
8. 11. 2	レジスタの構成と説明	8 - 39
8. 11. 3	端子機能	8 - 41
8. 11. 4	端子状態	8 - 41
8. 12	ポート E	8 - 42
8. 12. 1	概要	8 - 42
8. 12. 2	レジスタの構成と説明	8 - 42
8. 12. 3	端子機能	8 - 44
8. 12. 4	端子状態	8 - 44

8.1 概要

本LSIは、8ビット入出力ポートを8本、4ビット入出力ポートを2本、8ビット入力専用ポートを1本備えています。

各ポートの機能一覧を表8.1に示します。

各ポートは、入出力を制御するポートコントロールレジスタ（PCR）と、出力データを格納するポートデータレジスタ（PDR）から構成され、ビット単位に入出力を制御できます。PCR、PDRに対してのビット操作命令の実行については、「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切換え制御レジスタ
ポート 1	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップMOS 選択可 	$P1_7 \sim P1_5 / \overline{IRQ_3} \sim \overline{IRQ_1} / TMIF$	外部割込み 3 ~ 1 タイマイベント入力 TMIF	PMR1 TCRF
		$P1_4$	なし	
		$P1_3 / TNIG$	タイマ G インプットキャプチャ入力	PMR1
		$P1_2, P1_1 / TMOFH, TMOFL$	タイマ F アウトプットコンペア出力	PMR1
		$P1_0 / TMOW$	タイマ A クロック出力	PMR1
ポート 2	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップMOS 選択可 	$P2_7 / \overline{IRQ_0}$	外部割込み 0	PMR2
		$P2_6 / TXD$	SCI 3 のデータ出力 (TXD)、データ入力 (RXD) クロック入出力 (SCK ₃)	SCR3
		$P2_5 / RXD$		SMR3
		$P2_4 / SCK_3$		
		$P2_3 / SO_1$ $P2_2 / SI_1$ $P2_1 / SCK_1$	SCI 1 のデータ出力 (SO ₁)、データ入力 (SI ₁) クロック入出力 (SCK ₁)	PMR2
$P2_0 / \overline{IRQ_4} / ADTRG$	外部割込み 4 および A/D 変換器の外部トリガ	PMR2		
ポート 5	<ul style="list-style-type: none"> ・ 8 ビット出力ポート ・ 入力プルアップMOS 選択可 	$P5_7 \sim P5_0 / \overline{WKP_7} \sim \overline{WKP_0}$	・ ウェイクアップ入力 ($\overline{WKP_7} \sim \overline{WKP_0}$)	PMR5
ポート 6	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップMOS 選択可 	$P6_7 \sim P6_0$	なし	
ポート 7	・ 8 ビット入出力ポート	$P7_7 \sim P7_0$	なし	
ポート 8	・ 8 ビット入出力ポート	$P8_7 \sim P8_0$	なし	
ポート 9	・ 8 ビット入出力ポート	$P9_7 \sim P9_0$	なし	
ポート A	・ 4 ビット入出力ポート	$PA_3 \sim PA_0$	なし	
ポート B	・ 8 ビット入力専用ポート	$PB_7 \sim PB_0 / AN_7 \sim AN_0$	A/D 変換器のアナログ入力	AMR
ポート D	・ 8 ビット入出力ポート	$PD_7 \sim PD_0$	なし	
ポート E	・ 4 ビット入出力ポート	$PE_3 \sim PE_0$	なし	

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

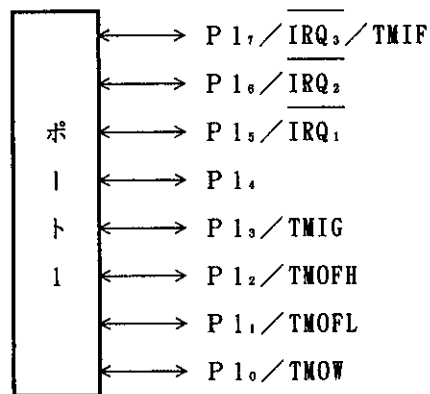


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FF9C
ポートモードレジスタ 1	PMR1	R/W	H'10	H'FF98

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1は、ポート1の各端子P1₇~P1₀のデータを格納する8ビットのレジスタです。

PCR1が“1”のとき、ポート1のリードを行うと、PDR1の値を直接リードします。そのため端子状態の影響を受けません。PCR1が“0”のとき、ポート1のリードを行うと、端子状態が読み出されます。

リセット時、PDR1はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR1は、ポート1の各端子P1₇~P1₀の入出力をビットごとに制御します。PCR1に“1”をセットすると対応するP1₇~P1₀端子は出力端子となり、“0”にクリアすると入力端子となります。PMR1により当該端子が汎用入出力に設定されている場合には、PCR1およびPDR1の設定が有効となります。

リセット時、PCR1はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1は、ポート1の各端子P1₇~P1₀のプルアップMOSをビットごとに制御します。

PCR1が“0”の状態でもPUCR1に“1”をセットすると対応するプルアップMOSはON状態となり、“0”にクリアするとOFF状態となります。

リセット時、PUCR1はH'00にイニシャライズされます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	—	TMIG	TMOFH	TMOFL	TMOW
初期値:	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

PMR1は、8ビットのリード/ライト可能なレジスタで、ポート1の各端子機能の切換えを制御します。

リセット時、PMR1はH'10にイニシャライズされます。

ビット7: P1₇/IRQ₃/TMIF端子機能切換え (IRQ3)

P1₇/IRQ₃/TMIF端子をP1₇端子として使用するか、IRQ₃/TMIF端子として使用するかを設定します。

ビット7	説明
IRQ3	
0	P1 ₇ 入出力端子として機能 (初期値)
1	<u>IRQ₃/TMIF</u> 入力端子として機能

【注】 IRQ₃/TMIF端子は立上がり/立下がりエッジセンスを選択できます。

TMIF端子の設定については、「9.3.2(3)タイマコントロールレジスタF(TCRF)」を参照してください。

ビット6: P1₆/IRQ₂端子機能切換え (IRQ2)

P1₆/IRQ₂端子をP1₆端子として使用するか、IRQ₂端子として使用するかを設定します。

ビット6	説明
IRQ2	
0	P1 ₆ 入出力端子として機能 (初期値)
1	<u>IRQ₂</u> 入力端子として機能

【注】 IRQ₂端子は立上がり/立下がりエッジセンスを選択できます。

ビット5：P1₅/IRQ₁端子機能切換え（IRQ1）

P1₅/IRQ₁端子をP1₅端子として使用するか、IRQ₁端子として使用するかを設定します。

ビット5	説 明	
IRQ1		
0	P1 ₅ 入出力端子として機能	（初期値）
1	IRQ ₁ 入力端子として機能	

【注】 IRQ₁端子は立上がり／立下がりエッジセンスを選択できます。

ビット4：リザーブビット

リザーブビットです。本ビットは、リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：P1₃/TMIG端子機能切換え（TMIG）

P1₃/TMIG端子をP1₃端子として使用するか、TMIG端子として使用するかを設定します。

ビット3	説 明	
TMIG		
0	P1 ₃ 入出力端子として機能	（初期値）
1	TMIG入力端子として機能	

ビット2：P1₂/TMOFH端子機能切換え（TMOFH）

P1₂/TMOFH端子をP1₂端子として使用するか、TMOFH端子として使用するかを設定します。

ビット2	説 明	
TMOFH		
0	P1 ₂ 入出力端子として機能	（初期値）
1	TMOFH出力端子として機能	

ビット1：P1₁/TMOFL端子機能切換え（TMOFL）

P1₁/TMOFL端子をP1₁端子として使用するか、TMOFL端子として使用するかを設定します。

ビット1 TMOFL	説明
0	P1 ₁ 入出力端子として機能 (初期値)
1	TMOFL出力端子として機能

ビット0：P1₀/TMOW端子機能切換え（TMOW）

P1₀/TMOW端子をP1₀端子として使用するか、TMOW端子として使用するかを設定します。

ビット0 TMOW	説明
0	P1 ₀ 入出力端子として機能 (初期値)
1	TMOW出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
P1 ₇ / $\overline{\text{IRQ}}_3$ / TMIF	PMR1のIRQ3、TCRFのCKSL2~CKSL0、PCR1のPCR1 ₁ の組合せで次のように切り換わります。			
	IRQ3	0		1
	PCR1 ₁	0	1	*
	CKSL2 ~ CKSL0	*		0**以外 0**
	端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子	$\overline{\text{IRQ}}_3$ 入力端子
【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を“0”にクリアして、IRQ ₃ 割込みを禁止してください。				
P1 ₆ / $\overline{\text{IRQ}}_2$	PMR1のIRQ2とPCR1のPCR1 ₁ の組合せで、次のように切り換わります。			
	IRQ2	0		1
	PCR1 ₁	0	1	*
	端 子 機 能	P1 ₆ 入力端子	P1 ₆ 出力端子	$\overline{\text{IRQ}}_2$ 入力端子
P1 ₅ / $\overline{\text{IRQ}}_1$	PMR1のIRQ1とPCR1のPCR1 ₁ の組合せで、次のように切り換わります。			
	IRQ1	0		1
	PCR1 ₁	0	1	*
	端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	$\overline{\text{IRQ}}_1$ 入力端子
P1 ₄	PCR1のPCR1 ₄ で、次のように切り換わります。			
	PCR1 ₄	0	1	
	端 子 機 能	P1 ₄ 入力端子	P1 ₄ 出力端子	
P1 ₃ / $\overline{\text{TMIG}}$	PMR1のTMIGとPCR1のPCR1 ₃ の組合せで、次のように切り換わります。			
	TMIG	0		1
	PCR1 ₃	0	1	*
	端 子 機 能	P1 ₃ 入力端子	P1 ₃ 出力端子	$\overline{\text{TMIG}}$ 入力端子
P1 ₂ / $\overline{\text{TMOFH}}$	PMR1のTMOFHとPCR1のPCR1 ₂ の組合せで、次のように切り換わります。			
	TMOFH	0		1
	PCR1 ₂	0	1	*
	端 子 機 能	P1 ₂ 入力端子	P1 ₂ 出力端子	$\overline{\text{TMOFH}}$ 出力端子

* Don't care

表 8.3 ポート 1 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P1 ₁ /TMOFL	PMR1のTMOFLとPCR1のPCR1 ₁ の組合せで、次のように切り換わります。		
	TMOFL	0	
	PCR1 ₁	0	1
	端子機能	P1 ₁ 入力端子	P1 ₁ 出力端子
P1 ₀ /TMOW	PMR1のTMOWとPCR1のPCR1 ₀ の組合せで、次のように切り換わります。		
	TMOW	0	
	PCR1 ₀	0	1
	端子機能	P1 ₀ 入力端子	P1 ₀ 出力端子

* Don't care

8.2.4 端子状態

各動作モードにおけるポート1の端子状態を表8.4に示します。

表 8.4 ポート1の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ / TMIF							
P1 ₆ /IRQ ₂							
P1 ₅ /IRQ ₁	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作
P1 ₄							
P1 ₃ /TMIG							
P1 ₂ /TMOFH							
P1 ₁ /TMOFL							
P1 ₀ /TMOW							

【注】* プルアップMOSがON状態では“High”レベル出力となります。

8.2.5 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR1が“0”にクリアされている状態でPUCR1に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8.3 ポート2

8.3.1 概要

ポート2は、8ビットの入出力ポートです。ポート2の各端子は、図8.2に示す構成になっています。

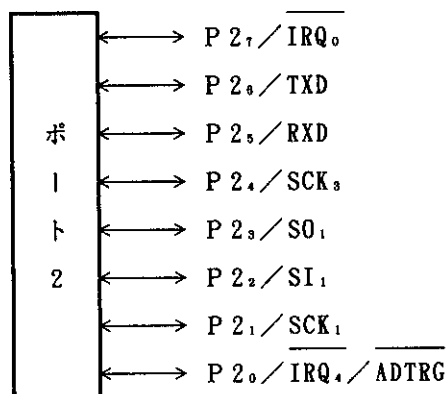


図 8.2 ポート2の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート2のレジスタ構成を示します。

表 8.5 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ2	PCR2	W	H'00	H'FFE5
ポートモードレジスタ2	PMR2	R/W	H'40	H'FF99
ポートプルアップコントロールレジスタ2	PUCR2	R/W	H'00	H'FF9D

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2は、ポート2の各端子P2₇~P2₀のデータを格納する8ビットのレジスタです。

PCR2が“1”のとき、ポート2のリードを行うと、PDR2の値を直接リードします。そのため端子状態の影響を受けません。PCR2が“0”のとき、ポート2のリードを行うと、端子状態が読み出されます。

リセット時、PDR2はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR2は、ポート2の各端子P2₇~P2₀の入出力をビットごとに制御します。PCR2に“1”をセットすると対応するP2₇~P2₀端子は出力端子となり、“0”にクリアすると入力端子となります。PMR2により当該端子が汎用入出力に設定されている場合には、PCR2およびPDR2の設定が有効となります。

リセット時、PCR2はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

(3) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	IRQ0	—	POF1	NCS	S01	SI1	SCK1	IRQ4
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

PMR2は、8ビットのリード/ライト可能なレジスタで、P2₆~P2₃、P2₇端子機能の切換え、P2₃/S0₁端子のPMOSのON/OFF制御、およびTMIG端子入力のノイズキャンセラを制御します。

リセット時、PMR2はH'40にイニシャライズされます。

ビット7：P2₇/IRQ₀端子機能切換え(IRQ₀)

P2₇/IRQ₀端子をP2₇端子として使用するか、IRQ₀端子として使用するかを設定します。

ビット7	説 明	
IRQ ₀		
0	P2 ₇ 入出力端子として機能	(初期値)
1	IRQ ₀ 入力端子として機能	

ビット6：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット5：P2₃/S0₁端子PMOSコントロール(POF1)

P2₃/S0₁端子出力バッファのPMOSのON/OFFを制御します。

ビット5	説 明	
POF1		
0	CMOS出力	(初期値)
1	NMOSオープンドレイン出力	

ビット4：TMIGノイズキャンセラセレクト(NCS)

インプットキャプチャ入力信号(TMIG)のノイズ除去回路の制御を行います。

ビット4	説 明	
NCS		
0	ノイズ除去機能なし	(初期値)
1	ノイズ除去機能あり	

ビット3：P2₃/S0₁端子機能切換え(SO1)

P2₃/S0₁端子をP2₃端子として使用するか、S0₁端子として使用するかを設定します。

ビット3	説 明	
SO1		
0	P2 ₃ 入出力端子として機能	(初期値)
1	S0 ₁ 出力端子として機能	

ビット2 : P2₂/SI₁端子機能切換え (S I 1)

P2₂/SI₁端子をP2₂端子として使用するか、SI₁端子として使用するかを設定します。

ビット2	説明
S I 1	
0	P2 ₂ 入出力端子として機能 (初期値)
1	SI ₁ 入力端子として機能

ビット1 : P2₁/SCK₁端子機能切換え (S C K 1)

P2₁/SCK₁端子をP2₁端子として使用するか、SCK₁端子として使用するかを設定します。

ビット1	説明
S C K 1	
0	P2 ₁ 入出力端子として機能 (初期値)
1	SCK ₁ 入出力端子として機能

ビット0 : P2₀/IRQ₄/ADTRG端子機能切換え (I R Q 4)

P2₀/IRQ₄/ADTRG 端子をP2₀端子として使用するか、IRQ₄/ADTRG端子として使用するかを設定します。

ビット0	説明
I R Q 4	
0	P2 ₀ 入出力端子として機能 (初期値)
1	IRQ ₄ /ADTRG入力端子として機能

【注】 ADTRG端子の設定については、「12.3.2 外部トリガによるA/D変換器の起動」を参照してください。

(4) ポートブルアップコントロールレジスタ2 (P U C R 2)

ビット :	7	6	5	4	3	2	1	0
	PUCR2 ₇	PUCR2 ₆	PUCR2 ₅	PUCR2 ₄	PUCR2 ₃	PUCR2 ₂	PUCR2 ₁	PUCR2 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR2は、ポート2の各端子P2₇~P2₀のプルアップMOSをビットごとに制御します。

PCR2が“0”の状態ではPUCR2に“1”をセットすると対応するプルアップMOSはON状態となり、“0”にクリアするとOFF状態となります。

リセット時、PUCR2はH'00にイニシャライズされます。

8.3.3 端子機能

表 8.6 にポート 2 の端子機能を示します。

表 8.6 ポート 2 の端子機能

端子	選択方法と端子機能				
P2 ₇ /IRQ ₀	PCR2 の IRQ0 と PCR2 の PCR2 ₇ の組合せで、次のように切り換わります。				
	IRQ0	0		1	
	PCR2 ₇	0	1	*	
	端子機能	P2 ₇ 入力端子	P2 ₇ 出力端子	IRQ ₀ 入力端子	
P2 ₆ /TXD	SCI3 の SCR の TE と PCR2 の PCR2 ₆ の組合せで、次のように切り換わります。				
	UD	0		1	
	PCR2 ₆	0	1	*	
	端子機能	P2 ₆ 入力端子	P2 ₆ 出力端子	TXD出力端子	
P2 ₅ /RXD	SCI3 の SCR の RE と PCR2 の PCR2 ₅ の組合せで、次のように切り換わります。				
	RE	0		1	
	PCR2 ₅	0	1	*	
	端子機能	P2 ₅ 入力端子	P2 ₅ 出力端子	RXD入力端子	
P2 ₄ /SCK ₃	SCI3 の SCR の CKE1、CKE0、SMR の COM、および PCR2 の PCR2 ₄ の組合せで、次のように切り換わります。				
	CKE1	0		1	
	CKE0	0	0	1	*
	COM	0	1	*	*
	PCR2 ₄	0	1	*	*
	端子機能	P2 ₄ 入力端子	P2 ₄ 出力端子	SCK ₃ 出力端子	SCK ₃ 入力端子
P2 ₃ /SO ₁	PMR2 の SO1 と PCR2 の PCR2 ₃ の組合せで、次のように切り換わります。				
	SO1	0		1	
	PCR2 ₃	0	1	*	
	端子機能	P2 ₃ 入力端子	P2 ₃ 出力端子	SO ₁ 入力端子	

* Don't care

端子	選択方法と端子機能			
P2 ₂ /SI ₁	PMR2のSI ₁ とPCR2のPCR2 ₂ の組合せで、次のように切り換わります。			
	SI ₁	0		1
	PCR2 ₂	0	1	*
	端子機能	P2 ₂ 入力端子	P2 ₂ 出力端子	SI ₁ 入力端子
P2 ₁ /SCK ₁	PMR2のSCK ₁ 、SCR1のCKS ₃ 、およびPCR2のPCR2 ₁ の組合せで、次のように切り換わります。			
	SCK ₁	0		1
	CKS ₃	*		0 1
	PCR2 ₁	0	1	* *
端子機能	P2 ₁ 入力端子	P2 ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子
P2 ₀ /IRQ ₄ /ADTRG	PMR2のIRQ ₄ 、AMRのTRGE、PCR2のPCR2 ₀ の組合せで、次のように切り換わります。			
	IRQ ₄	0		1
	PCR2 ₀	0	1	*
	TRGE	*		0 1
端子機能	P2 ₀ 入力端子	P2 ₀ 出力端子	IRQ ₄ 入力端子	IRQ ₄ /ADTRG 入力端子
【注】 ADTRG入力端子として使用する場合には、IENR1のIEN4を“0”にクリアしてIRQ ₄ 割込みを禁止してください。				

* Don't care

8.3.4 端子状態

各モードにおけるポート2の端子状態を表8.7に示します。

表8.7 ポート2の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ /IRQ ₀							
P2 ₆ /TXD							
P2 ₅ /RXD							
P2 ₄ /SCK ₃	ハイ	保持	保持	ハイ	保持	動作	動作
P2 ₃ /SO ₁	インビ-ダンス			インビ-ダンス*			
P2 ₂ /SI ₁							
P2 ₁ /SCK ₁							
P2 ₀ /IRQ ₄ / ADTRG							

【注】 * プルアップMOSがON状態では“High”レベル出力となります。

8.3.5 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR2が“0”にクリアされている状態でPUCR2に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFFになります。

PCR2 _n	0		1
PUCR2 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care(n=7~0)

8.4 ポート5

8.4.1 概要

ポート5は、8ビットの入出力ポートです。ポート5の各端子は、図8.3に示す構成になっています。

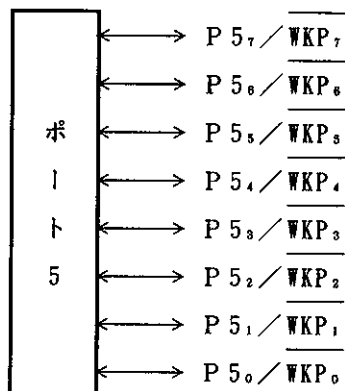


図 8.3 ポート5の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート5のレジスタ構成を示します。

表 8.8 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ5	PUCR5	R/W	H'00	H'FF9E
ポートモードレジスタ5	PMR5	R/W	H'00	H'FF9B

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5は、ポート5の各端子P5₇~P5₀のデータを格納する8ビットのレジスタです。

PCR5が“1”のとき、ポート5のリードを行うと、PDR5の値を直接リードします。そのため端子状態の影響を受けません。PCR5が“0”のとき、ポート5のリードを行うと、端子状態が読み出されます。

リセット時、PDR5はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR5は、ポート5の各端子P5₇~P5₀の入出力をビットごとに制御します。PCR5に“1”をセットすると対応するP5₇~P5₀端子は出力端子となり、“0”にクリアすると入力端子となります。PMR5により当該端子が汎用入出力に設定されている場合には、PCR5およびPDR5の設定が有効となります。

リセット時、PCR5はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5は、ポート5の各端子P5₇~P5₀のプルアップMOSをビットごとに制御します。

PCR5が“0”の状態PUCR5に“1”をセットすると対応するプルアップMOSはON状態となり、“0”にクリアするとOFF状態となります。

リセット時、PUCR5はH'00にイニシャライズされます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5は、8ビットのリード/ライト可能なレジスタで、ポート5の各端子機能の切換えを制御します。

リセット時、PMR5はH'00にイニシャライズされます。

ビット n : $P5_n$ / $\overline{WKP_n}$ 端子機能切換え (WKP n)

$P5_n$ / $\overline{WKP_n}$ 端子を $P5_n$ 端子として使用するか、 $\overline{WKP_n}$ 端子として使用するかを設定します。

ビット n	説明
0	$P5_n$ 入出力端子として機能 (初期値)
1	$\overline{WKP_n}$ 入力端子として機能

($n = 7 \sim 0$)

8.4.3 端子機能

表 8.9 にポート 5 の端子機能を示します。

表 8.9 ポート 5 の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P5 ₇ / \overline{WKP}_7 ~ P5 ₀ / \overline{WKP}_0	PMR5のWKP _n とPCR5のPCR5 _n の組合せで、次のように切り換わります。 (n=7~0)		
	WKP _n	0	1
	PCR5 _n	0	1
	端子機能	P5 _n 入力端子	P5 _n 出力端子
			\overline{WKP}_n 入力端子
			*

* Don't care

8.4.4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.10 に示します。

表 8.10 ポート 5 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 ₇ / \overline{WKP}_7 ~ P5 ₀ / \overline{WKP}_0	HI インビ-ダンス	保持	保持	HI インビ-ダンス*	保持	動作	動作

【注】* プルアップMOSがON状態では“High”レベル出力となります。

8.4.5 入力プルアップMOS

ポート5は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR5が“0”にクリアされている状態でPUCR5に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8.5 ポート6

8.5.1 概要

ポート6は、8ビットの入出力ポートです。ポート6の各端子は、図8.4に示す構成になっています。

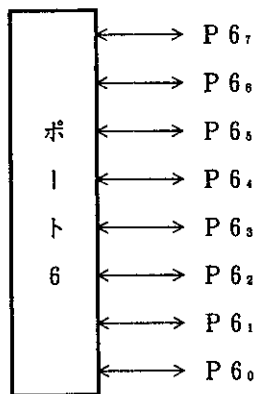


図 8.4 ポート6の端子構成

8.5.2 レジスタの構成と説明

表 8.11にポート6のレジスタ構成を示します。

表 8.11 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ6	PCR6	W	H'00	H'FFE9
ポートプルアップコントロールレジスタ6	PUCR6	R/W	H'00	H'FF9F

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6は、ポート6の各端子P6₇~P6₀のデータを格納する8ビットのレジスタです。

PCR6が“1”のとき、ポート6のリードを行うと、PDR6の値を直接リードします。そのため端子状態の影響を受けません。PCR6が“0”のとき、ポート6のリードを行うと、端子状態が読み出されます。

リセット時、PDR6はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR6は、ポート6の各端子P6₇~P6₀の入出力をビットごとに制御します。PCR6に“1”をセットすると対応するP6₇~P6₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCR6はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

(3) ポートプルアップコントロールレジスタ 6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6は、ポート6の各端子P6₇~P6₀のプルアップMOSをビットごとに制御します。

PCR6が“0”の状態PUCR6に“1”をセットすると対応するプルアップMOSはON状態となり、“0”にクリアするとOFF状態となります。

リセット時、PUCR6はH'00にイニシャライズされます。

8.5.3 端子機能

表 8.12 にポート 6 の端子機能を示します。

表 8.12 ポート 6 の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P6 ₇ ~P6 ₀	P C R 6 の P C R 6 _n により、次のように切り換わります。		
	(n=7~0)		
	P C R 6 _n	0	1
	端子機能	P6 _n 入力端子	P6 _n 出力端子

8.5.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.13 に示します。

表 8.13 ポート 6 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 ₇ ~P6 ₀	HI インビ-ダンス	保持	保持	HI インビ-ダンス	保持	動作	動作

【注】* プルアップMOSがON状態では“High”レベル出力となります。

8.5.5 入力プルアップMOS

ポート 6 は、プログラムで制御可能な入力プルアップMOSを内蔵しています。P C R 6 が “0” にクリアされている状態で P U C R 6 に “1” をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

P C R 6 _n	0		1
P U C R 6 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8.6 ポート7

8.6.1 概要

ポート7は、8ビットの入出力ポートです。ポート7の各端子は、図8.5に示す構成になっています。

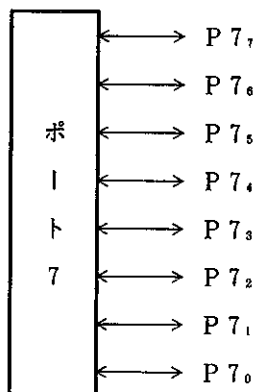


図8.5 ポート7の端子構成

8.6.2 レジスタの構成と説明

表8.14にポート7のレジスタ構成を示します。

表8.14 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ 7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P7₇~P7₀のデータを格納する8ビットのレジスタです。

PCR7が“1”のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が“0”のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR7は、ポート7の各端子P7₇~P7₀の入出力をビットごとに制御します。PCR7に“1”をセットすると対応するP7₇~P7₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCR7はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8.6.3 端子機能

表 8.15にポート7の端子機能を示します。

表 8.15 ポート7の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P7 ₇ ~P7 ₀	PCR7のPCR7 _n により、次のように切り換わります。		
		(n=7~0)	
	PCR7 _n	0	1
	端子機能	P7 _n 入力端子	P7 _n 出力端子

8.6.4 端子状態

各動作モードにおけるポート7の端子状態を表 8.16に示します。

表 8.16 ポート7の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ ~P7 ₀	ハイ インビダンス	保持	保持	ハイ インビダンス	保持	動作	動作

8.7 ポート 8

8.7.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.6 に示す構成になっています。

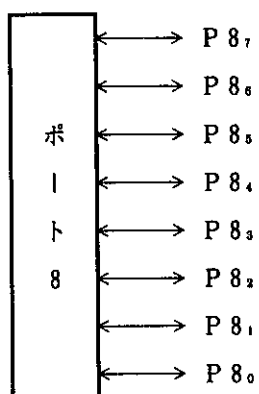


図 8.6 ポート 8 の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート 8 のレジスタ構成を示します。

表 8.17 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8は、ポート8の各端子P8₇~P8₀のデータを格納する8ビットのレジスタです。

PCR8が“1”のとき、ポート8のリードを行うと、PDR8の値を直接リードします。そのため端子状態の影響を受けません。PCR8が“0”のとき、ポート8のリードを行うと、端子状態が読み出されます。

リセット時、PDR8はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR8は、ポート8の各端子P8₇~P8₀の入出力をビットごとに制御します。PCR8に“1”をセットすると対応するP8₇~P8₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCR8はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8.7.3 端子機能

表 8.18 にポート 8 の端子機能を示します。

表 8.18 ポート 8 の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P8 ₇ ~ P8 ₀	P C R 8 の P C R 8 _n により、次のように切り換わります。		
	(n=7~0)		
	P C R 8 _n	0	1
	端子機能	P8 _n 入力端子	P8 _n 出力端子

8.7.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.19 に示します。

表 8.19 ポート 8 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ ~ P8 ₀	ハイ インビ-タンス	保持	保持	ハイ インビ-タンス	保持	動作	動作

8.8 ポート9

8.8.1 概要

ポート9は、8ビットの入出力ポートです。ポート9の各端子は、図8.7に示す構成になっています。

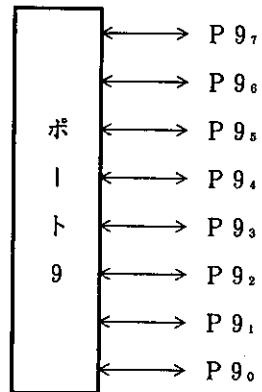


図 8.7 ポート9の端子構成

8.8.2 レジスタの構成と説明

表 8.20にポート9のレジスタ構成を示します。

表 8.20 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ9	PDR9	R/W	H'00	H'FFDC
ポートコントロールレジスタ9	PCR9	W	H'00	H'FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9は、ポート9の各端子P9₇~P9₀のデータを格納する8ビットのレジスタです。

PCR9が“1”のとき、ポート9のリードを行うと、PDR9の値を直接リードします。そのため端子状態の影響を受けません。PCR9が“0”のとき、ポート9のリードを行うと、端子状態が読み出されます。

リセット時、PDR9はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR9は、ポート9の各端子P9₇~P9₀の入出力をビットごとに制御します。PCR9に“1”をセットすると対応するP9₇~P9₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCR9はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8. 8. 3 端子機能

表 8. 21 にポート 9 の端子機能を示します。

表 8. 21 ポート 9 の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P9 ₇ ~P9 ₀	P C R 9 の P C R 9 _n により、次のように切り換わります。		
	(n = 7 ~ 0)		
	P C R 9 _n	0	1
	端子機能	P9 _n 入力端子	P9 _n 出力端子

8. 8. 4 端子状態

各動作モードにおけるポート 9 の端子状態を表 8. 22 に示します。

表 8. 22 ポート 9 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₇ ~P9 ₀	ハイ インビダンス	保持	保持	ハイ インビダンス	保持	動作	動作

8.9 ポート A

8.9.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A の各端子は、図 8.8 に示す構成になっています。

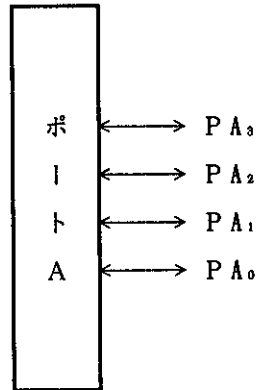


図 8.8 ポート A の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート A のレジスタ構成を示します。

表 8.23 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ A	P D R A	R/W	H'F0	H'FFDD
ポートコントロールレジスタ A	P C R A	W	H'F0	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

PDRAは、ポートAの各端子PA₃~PA₀のデータを格納する8ビットのレジスタです。

PCRAが“1”のとき、ポートAのリードを行うと、PDRAの値を直接リードします。そのため端子状態の影響を受けません。PCRAが“0”のとき、ポートAのリードを行うと、端子状態が読み出されます。

リセット時、PDRAはH'F0にイニシャライズされます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	W	W	W	W

PCRAは、ポートAの各端子PA₃~PA₀の入出力をビットごとに制御します。PCRAに“1”をセットすると対応するPA₃~PA₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCRAはH'F0にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8.9.3 端子機能

表 8.24 にポート A の端子機能を示します。

表 8.24 ポート A の端子機能

端 子	選 択 方 法 と 端 子 機 能		
PA ₃ ～PA ₀	PCRA の PCRA _n により、次のように切り換わります。		
	(n = 3 ~ 0)		
	PCRA _n	0	1
	端子機能	PA _n 入力端子	PA _n 出力端子

8.9.4 端子状態

各動作モードにおけるポート A の端子状態を表 8.25 に示します。

表 8.25 ポート A の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ ～PA ₀	ハイ インベ-ダンス	保持	保持	ハイ インベ-ダンス	保持	動作	動作

8.10 ポート B

8.10.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.9 に示す構成になっています。

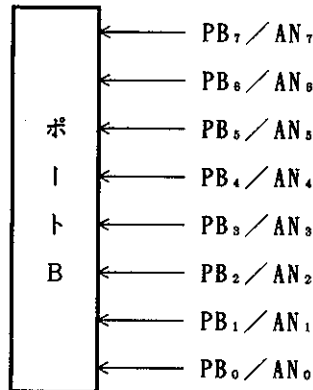


図 8.9 ポート B の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート B のレジスタ構成を示します。

表 8.26 レジスタ構成

名 称	略 称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDE

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
R/W:	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく“0”が読み出されます。

8.11 ポートD

8.11.1 概要

ポートDは、8ビットの入出力ポートです。ポートDの各端子は、図8.10に示す構成になっています。

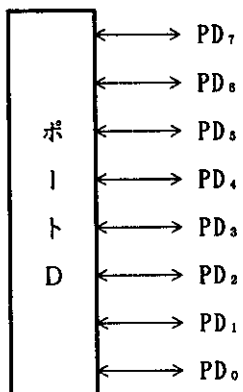


図 8.10 ポートDの端子構成

8.11.2 レジスタの構成と説明

表 8.27にポートDのレジスタ構成を示します。

表 8.27 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポートデータレジスタD	PDRD	R/W	H'00	H'FFD2
ポートコントロールレジスタD	PCRD	W	H'00	H'FFE2

(1) ポートデータレジスタ D (PDRD)

ビット:	7	6	5	4	3	2	1	0
	PD ₇	PD ₆	PD ₅	PD ₄	PD ₃	PD ₂	PD ₁	PD ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDRDは、ポートDの各端子PD₇～PD₀のデータを格納する8ビットのレジスタです。PCRDが“1”のとき、ポートDのリードを行うと、PDRDの値を直接リードします。そのため、端子状態の影響を受けません。PCRDが“0”のときポートDのリードを行うと、端子状態が読み出されます。

リセット時PDRDはH'00にイニシャライズされます。

(2) ポートコントロールレジスタ (PCRD)

ビット:	7	6	5	4	3	2	1	0
	PCRD ₇	PCRD ₆	PCRD ₅	PCRD ₄	PCRD ₃	PCRD ₂	PCRD ₁	PCRD ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCRDは、ポートDの各端子PD₇～PD₀の入出力をビットごとに制御します。PCRDに“1”をセットすると対応するPD₇～PD₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCRDはH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8.11.3 端子機能

表 8.28にポートDの端子機能を示します。

表 8.28 ポートDの端子機能

端 子	選 択 方 法 と 端 子 機 能		
PD ₇ ~PD ₀	P C R DのP C R D _n により、次のように切り換わります。 (n=7~0)		
	P C R D _n	0	1
	端子機能	PD _n 入力端子	PD _n 出力端子

8.11.4 端子状態

各動作モードにおけるポートDの端子状態を表 8.29に示します。

表 8.29 ポートDの端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PD ₇ ~PD ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

8.12 ポート E

8.12.1 概要

ポート E は、4 ビットの入出力ポートです。ポート E の各端子は、図 8.11 に示す構成になっています。

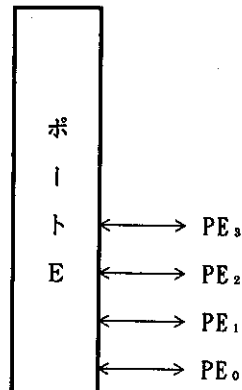


図 8.11 ポート E の端子構成

8.12.2 レジスタの構成と説明

表 8.30 にポート E のレジスタ構成を示します。

表 8.30 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポートデータレジスタ E	PDRE	R/W	H'F0	H'FFD3
ポートコントロールレジスタ E	PCRE	W	H'F0	H'FFE3

(1) ポートデータレジスタ E (PDRE)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PE ₃	PE ₂	PE ₁	PE ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

PDREは、ポートEの各端子PE₃~PE₀のデータを格納する4ビットのレジスタです。PCREが“1”のとき、ポートEのリードを行うと、PDREの値を直接リードします。そのため、端子状態の影響を受けません。PCREが“0”のとき、ポートEのリードを行うと、端子状態が読み出されます。

リセット時、PDREはH'F0にイニシャライズされます。

(2) ポートコントロールレジスタ E (PCRE)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRE ₃	PCRE ₂	PCRE ₁	PCRE ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	W	W	W	W

PCREは、ポートEの各端子PE₃~PE₀の入出力をビットごとに制御します。PCREに“1”をセットすると対応するPE₃~PE₀端子は出力端子となり、“0”にクリアすると入力端子となります。

リセット時、PCREはH'F0にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に“1”が読み出されます。

8.12.3 端子機能

表 8.31 にポート E の端子機能を示します。

表 8.31 ポート E の端子機能

端 子	選 択 方 法 と 端 子 機 能		
PE ₃ ～PE ₀	PCRE _n のPCRE _n により、次のように切り換わります。		
	(n = 3～0)		
	PCRE _n	0	1
	端子機能	PE _n 入力端子	PE _n 出力端子

8.12.4 端子状態

各動作モードにおけるポート E の端子状態を表 8.32 に示します。

表 8.32 ポート E の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PE ₃ ～PE ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

9. タイマ

第9章 目次

9.1	概要	9-1
9.2	タイマA	9-2
9.2.1	概要	9-2
9.2.2	各レジスタの説明	9-4
9.2.3	動作説明	9-6
9.2.4	タイマAの動作モード	9-7
9.3	タイマF	9-8
9.3.1	概要	9-8
9.3.2	各レジスタの説明	9-11
9.3.3	CPUとのインタフェース	9-18
9.3.4	動作説明	9-20
9.3.5	使用上の注意事項	9-23
9.4	タイマG	9-25
9.4.1	概要	9-25
9.4.2	各レジスタの説明	9-27
9.4.3	ノイズ除去回路	9-31
9.4.4	動作説明	9-32
9.4.5	使用上の注意事項	9-37
9.4.6	タイマGの使用例	9-41

9.1 概要

本LSIは3本のタイマ(タイマA、F、G)を内蔵しています。
タイマA、F、Gの機能概要を表9.1に示します。

表9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント入力端子	波形出力端子	備考
タイマA	<ul style="list-style-type: none"> 8ビットのタイマ インターバル機能 	$\phi/8 \sim \phi/8192$ (8種類)	-	-	
	<ul style="list-style-type: none"> 時計用タイムベース機能 	$\phi_w/128$ (オ-パワロ-周期は 4種類選択可)			
	<ul style="list-style-type: none"> クロック出力機能 	$\phi/4 \sim \phi/32$ $\phi_w/4 \sim \phi_w/32$ (8種類)	-	TMOV	
タイマF	<ul style="list-style-type: none"> 16ビットフリーランニングタイマ イベントカウント機能 独立した2本の8ビットタイマとして使用可能 アウトプットコンパア出力機能 	$\phi/2 \sim \phi/32$ (4種類)	TMIF	TMOFL TMOFH	
タイマG	<ul style="list-style-type: none"> 8ビットのタイマ インプットキャプチャ機能 インターバル機能 	$\phi/2 \sim \phi/64$ $\phi_w/2$ (4種類)	TMIG	-	<ul style="list-style-type: none"> カウンタのクリア指定が可能 キャプチャ入力信号のノイズ除去回路内蔵

9.2 タイマA

9.2.1 概要

タイマAはインターバル/時計用タイムベース機能を内蔵した8ビットのタイマです。32.768kHzの水晶発振器を接続すると時計用タイムベースとして使用できます。また、TM0W端子より、32.768kHzを分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマAの特長を以下に示します。

■ 8種類の内部クロックを選択可能

8種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) からの選択が可能です。

■ 4種類のオーバフロー周期を選択可能

時計用タイムベースとして4種類のオーバフロー周期 (1 s、0.5 s、0.25 s、31.25ms) の選択が可能です (32.768kHz水晶発振器を使用)。

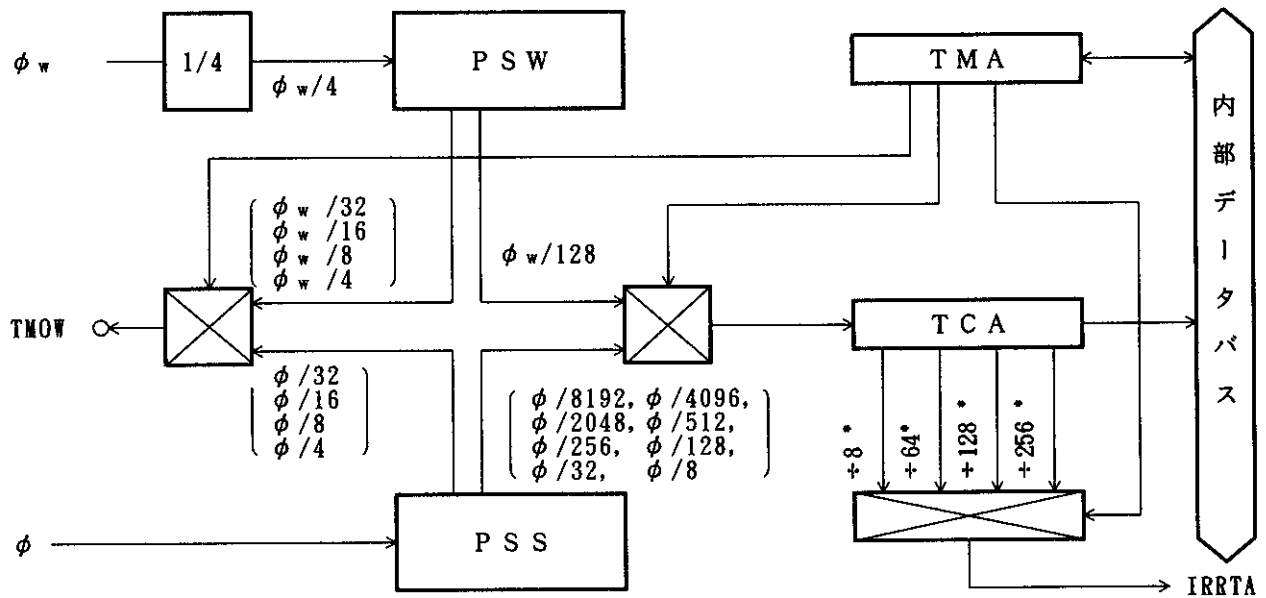
■ カウンタのオーバフローで割込みを発生

■ タイマ出力クロックを選択可能

TM0W端子から出力するクロックとして、32.768kHzの32、16、8、4分周したクロック (1 kHz、2 kHz、4 kHz、8 kHz)、およびシステムクロックを32、16、8、4分周したクロックの計8種類の選択が可能です。

(2) ブロック図

タイマAのブロック図を図9.1に示します。



<記号説明>

- TMA : タイマモードレジスタA
- TCA : タイマカウンタA
- IRRTA : タイマAオーバーフロー割込み要求フラグ
- PSW : プリスケーラW
- PSS : プリスケーラS

【注】* TCAの入力クロックがプリスケーラW出力 ($\phi_w/128$) の場合のみ選択可能です。

図9.1 タイマAブロック図

(3) 端子構成

タイマAの端子構成を表9.2に示します。

表9.2 端子構成

名 称	略 称	入 出 力	機 能
ク ロ ッ ク 出 力	TNOW	出 力	タイマA出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマAのレジスタ構成を表9.3に示します。

表9.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタA	TMA	R/W	H'10	H'FFB0
タイマカウンタA	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタA (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMAは、8ビットのリード/ライト可能なレジスタで、プリスケラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMAはH'10にイニシャライズされます。

ビット7～5：クロック出力セレクト (TMA7～TMA5)

TMOV端子から出力する8種類のクロックを選択します。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット7	ビット6	ビット5	説 明
TMA7	TMA6	TMA5	
0	0	0	$\phi / 32$ (初期値)
		1	$\phi / 16$
	1	0	$\phi / 8$
		1	$\phi / 4$
1	0	0	$\phi_w / 32$
		1	$\phi_w / 16$
	1	0	$\phi_w / 8$
		1	$\phi_w / 4$

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCAに入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 $\phi/8192$ （初期値）	インターバル
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1 s	時計用 タイムベース
			1	PSW、0.5 s	
		1	0	PSW、0.25 s	
			1	PSW、0.03125 s	
	1	0	0	PSW、TCAリセット	
			1		
		1	0		
			1		

(2) タイマカウンタA（TCA）

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCAは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックはTMAのTMA3～TMA0により選択します。TCAの値は、アクティブモード時はCPUからリードできますが、サブアクティブモード時ではTCAをリードすることはできません。TCAがオーバフローすると、IRR1のIRRRTAが“1”にセットされます。

TCAはTMAのTMA3～TMA2を“11”にセットすることでクリアできます。

リセット時、TCAはH'00にイニシャライズされます。

9.2.3 動作説明

(1) インターバル動作

TMAのTMA3を“0”にセットすると、タイマAは8ビットインターバルタイマとして動作します。

リセット時、TCAはH'00、TMA3は“0”にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマAの動作クロックは、TMAのTMA2～TMA0により、プリスケアラSの出力する8種類の内部クロックを選択できます。

TCAのカウント値がH'FFになった後、クロックが入力されると、タイマAはオーバフローし、IRR1のIRRTAが“1”にセットされます。このとき、IENR1のIENTAが“1”ならばCPUに割込みを要求します。*

オーバフロー時には、TCAのカウント値はH'00に戻り、再びカウントアップを開始します。したがって、256回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】* 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) 時計用タイムベース動作

TMAのTMA3を“1”にセットすると、タイマAはプリスケアラWの出力するクロックをカウントして、時計用タイムベースとして動作します。タイマAのオーバフロー周期は、TMAのTMA1、TMA0により4種類選択できます。時計用タイムベース動作時(TMA3=“1”)にTMA2を“1”にすると、TCAおよびプリスケアラWは、ともにH'00にクリアされます。

(3) クロック出力の動作

PMR1のTMOWを“1”にセットすると、TMOW端子からクロックが出力されます。端子から出力されるクロックは、TMAのTMA7～TMA5により、8種類のクロックが選択できます。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9.2.4 タイマAの動作モード

タイマAの動作モードを表9.4に示します。

表9.4 タイマAの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用タイムベース	リセット	動作	動作	動作	動作	動作	停止
TMA		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、TCAの内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s)の誤差が生じます。

9.3 タイマF

9.3.1 概要

タイマFは、アウトプットコンペア機能を内蔵した16ビットのタイマです。外部イベントのカウントが可能のほか、コンペアマッチ信号によりカウンタのリセット、割込み要求、トグル出力などが可能です。また、2本の独立した8ビットタイマ（タイマFH、タイマFL）としても動作可能です。

(1) 特長

タイマFの特長を以下に示します。

■ 5種類のクロックを選択可能

4種類の内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）と、外部クロックからの選択が可能です（外部イベントのカウントが可能）。

■ トグル出力機能

1本のコンペアマッチ信号により、TMOFH端子にトグル出力します（トグル出力の初期値を設定可能）。

■ コンペアマッチ信号によるカウンタリセット

■ 割込み要因：コンペアマッチ×1要因、オーバフロー×1要因

■ 2本の独立した8ビットタイマとして動作可能

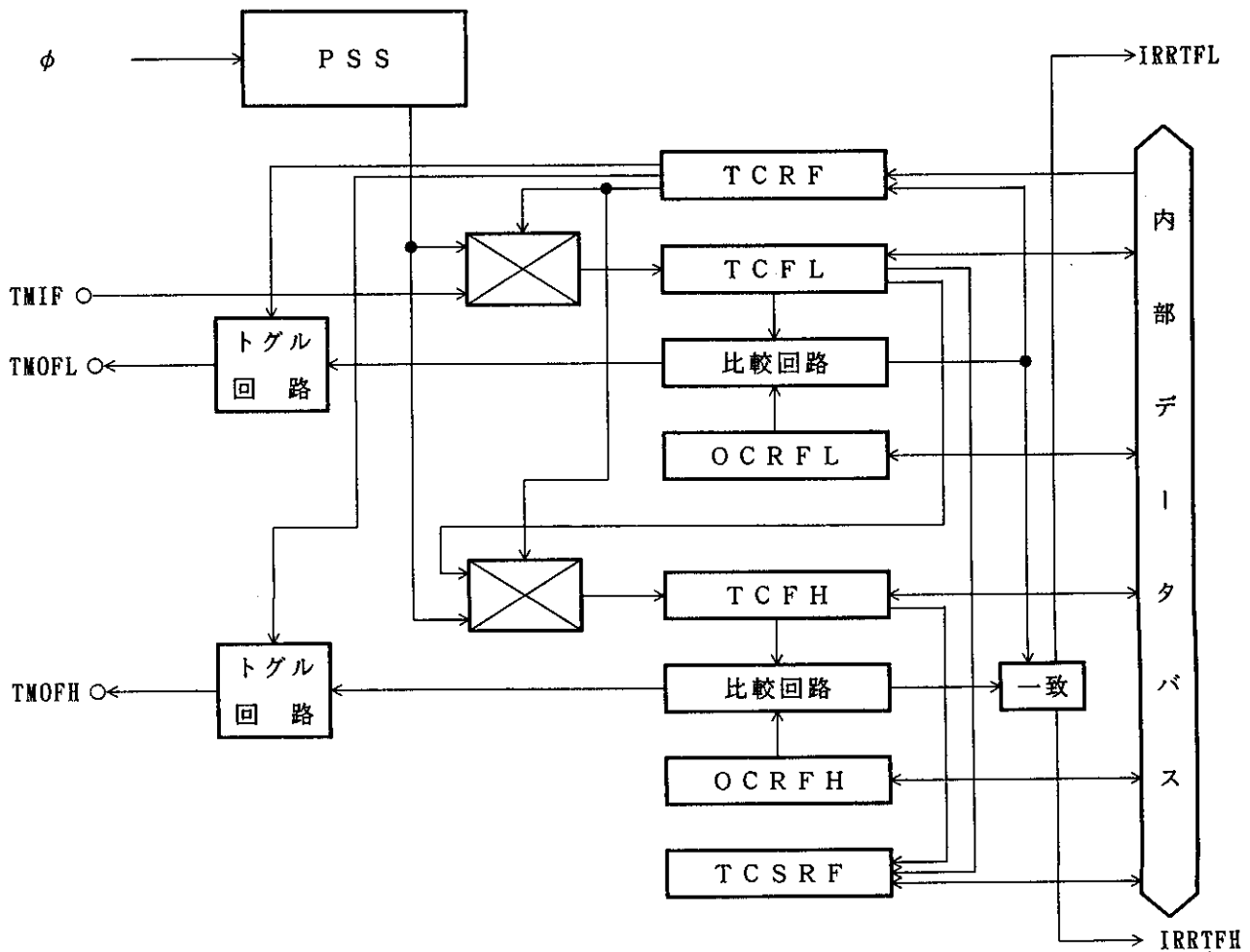
2本の独立した8ビットタイマ（タイマFH、タイマFL）としても動作が可能です（8ビットモード時）。

	タイマFH 8ビットタイマ*	タイマFL 8ビットタイマ/イベントカウンタ
内部クロック	4種類（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）	
イベント入力	TMIF端子	
トグル出力	コンペアマッチ信号×1本 TMOFH端子に出力 (初期値を設定可能)	コンペアマッチ信号×1本 TMOFL端子に出力 (初期値を設定可能)
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割込み要因	コンペアマッチ×1要因 オーバフロー ×1要因	

【注】* 16ビットタイマとして動作する場合はタイマFLのオーバフロー信号により動作します。

(2) ブロック図

タイマFのブロック図を図9.2に示します。



<記号説明>

- TCRF : タイマコントロールレジスタF
- TCSR : タイマコントロールステータスレジスタF
- TCFH : 8ビットタイマカウンタFH
- TCFL : 8ビットタイマカウンタFL
- OCRFH : アウトプットコンペアレジスタFH
- OCRFL : アウトプットコンペアレジスタFL
- IRRTFH : タイマFH割込み要求フラグ
- IRRTFL : タイマFL割込み要求フラグ
- PSS : プリスケーラS

図9.2 タイマFのブロック図

(3) 端子構成

タイマFの端子構成を表9.5に示します。

表 9.5 端子構成

名 称	略 称	入出力	機 能
タイマFイベント入力	TMIF	入 力	T C F Lに入力するイベント入力端子
タイマF H出力	TMOFH	出 力	タイマF Hトグル出力端子
タイマF L出力	TMOFL	出 力	タイマF Lトグル出力端子

(4) レジスタ構成

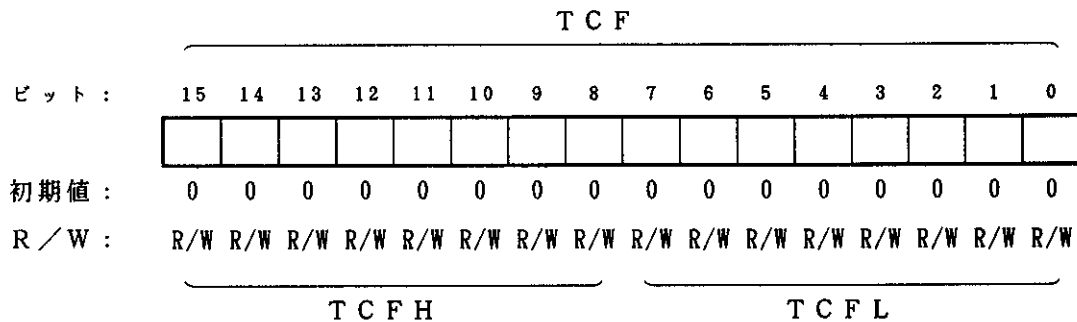
タイマFのレジスタ構成を表9.6に示します。

表 9.6 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマコントロールレジスタF	T C R F	W	H'00	H'FFB6
タイマコントロールステータスレジスタF	T C S R F	R/W	H'00	H'FFB7
8ビットタイマカウンタFH	T C F H	R/W	H'00	H'FFB8
8ビットタイマカウンタFL	T C F L	R/W	H'00	H'FFB9
アウトプットコンペアレジスタFH	O C R F H	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタFL	O C R F L	R/W	H'FF	H'FFBB

9.3.2 各レジスタの説明

- (1) 16ビットタイマカウンタ (TCF)
- 8ビットタイマカウンタ (TCFH)
- 8ビットタイマカウンタ (TCFL)



TCFは16ビットのリード/ライト可能なアップカウンタで、8ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位8ビットをTCFH、下位8ビットをTCFLとする16ビットカウンタとして使用できるほか、TCFH、TCFLを独立した8ビットカウンタとして使用することもできます。

TCFH、TCFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.3.3 CPUとのインタフェース」を参照してください。

リセット時、TCFH、TCFLは各々H'00にイニシャライズされます。

(a) 16ビットモード (TCF)

TCRFのCKSH2を“0”に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2～CKSL0により選択します。

TCSRfのCCLR_Hにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバフロー (H'FFFF→H'0000) すると、TCSRfのOVFHが“1”にセットされます。このときTCSRfのOVIEHが“1”の場合、IRR2のIRRTFHが“1”にセットされ、さらにIENR2のIENTFHが“1”ならばCPUに割込みを要求します。

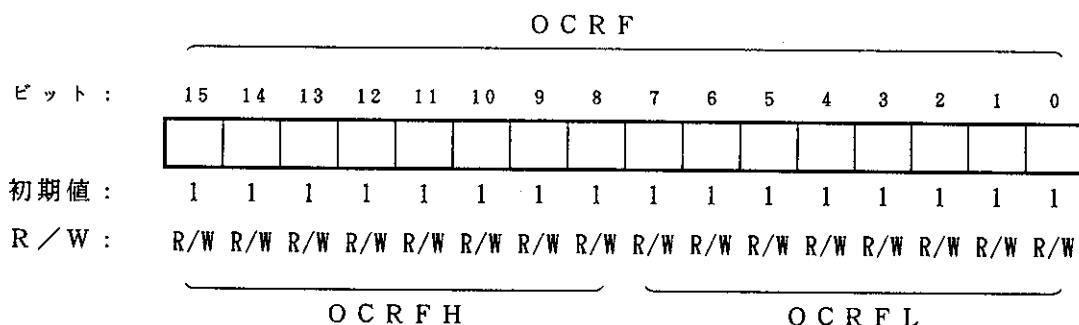
(b) 8ビットモード (TCFL/TCFH)

TCRFのCKSH2を“1”に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRFのCKSH2～CKSH0 (CKSL2～CKSL0) により選択します。

TCSRfのCCLR_H (CCLR_L) により、コンペアマッチ時にTCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバフロー (H'FF→H'00) すると、TCSRfのOVFH (OVFL) が“1”にセットされます。このときTCSRfのOVIEH (OVIEL) が“1”の場合、IRR2のIRRTFH (IRRTFL) が“1”にセットされ、さらにIENR2のIENTFH (IENTFL) が“1”ならばCPUに割込みを要求します。

- (2) 16ビットアウトプットコンペアレジスタ (OCR F)
- 8ビットアウトプットコンペアレジスタ (OCR FH)
- 8ビットアウトプットコンペアレジスタ (OCR FL)



OCR Fは16ビットのリード/ライト可能な2本のレジスタ (OCR FH、OCR FL) により構成されています。上位8ビットをOCR FH、下位8ビットをOCR FLとする16ビットレジスタとして使用できるほか、OCR FH、OCR FLを独立した8ビットレジスタとして使用することもできます。

OCR FH、OCR FLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.3.3 CPUとのインタフェース」を参照してください。

リセット時、OCR FH、OCR FLは各々H'FFにイニシャライズされます。

(a) 16ビットモード (OCR F)

TCRFのCKSH2を“0”に設定すると、OCR Fは16ビットレジスタとして動作します。OCR Fの内容は、TCFと常に比較されており、両者の値が一致すると、TCSR FのCMFHが“1”にセットされます。また、同時にIRR2のIRRTFHも“1”にセットされます。このときIENR2のIENTFHが“1”ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル (“High”/“Low”) の設定が可能です。

(b) 8ビットモード (OCR FH/OCR FL)

TCRFのCKSH2を“1”に設定すると、OCR Fは2本の8ビットレジスタとして動作します。OCR FHの内容はTCFHと、またOCR FLの内容はTCFLとそれぞれ個別に比較されます。OCR FH(OCR FL)とTCFH(TCFL)の値が一致すると、TCSR FのCMFH (CMFL) が“1”にセットされます。また、同時にIRR2のIRRTFH (IRRTFL) も“1”にセットされます。このとき、IENR2のIENTFH (IENTFL) が“1”ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子(TMOFL端子)より出力することができます。また、TCRFのTOLH (TOLL) により、出力レベル (“High”/“Low”) の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TCRFは、8ビットのライト専用のレジスタです。16ビットモード、8ビットモードの切換え、4種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL端子の出力レベルの設定を行います。

リセット時、TCRFはH'00にイニシャライズされます。

ビット7: トグルアウトプットレベルH (TOLH)

TMOFH端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット7	説明	
TOLH		
0	"Low" レベル	(初期値)
1	"High" レベル	

ビット6~4: クロックセレクトH (CKSH2~CKSH0)

TCFHに入力するクロックを内部4種類、またはTCFLのオーバフローから選択します。

ビット6	ビット5	ビット4	説明
CKSH2	CKSH1	CKSH0	
0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント (初期値)
1	0	0	内部クロック: $\phi/32$ でカウント
1	0	1	内部クロック: $\phi/16$ でカウント
1	1	0	内部クロック: $\phi/4$ でカウント
1	1	1	内部クロック: $\phi/2$ でカウント

* Don't care

ビット3：トグルアウトブットレベルL (TOLL)

TMOFL端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット3	説明	
TOLL		
0	“Low”レベル	(初期値)
1	“High”レベル	

ビット2～0：クロックセレクトL (CKSL2～CKSL0)

T CFLに inputsするクロックを、内部4種類または外部イベントから選択します。

ビット2	ビット1	ビット0	説明
CKSL2	CKSL1	CKSL0	
0	*	*	外部イベント (TMIF) の立上がり/立下がりエッジでカウント* (初期値)
1	0	0	内部クロック： $\phi/32$ でカウント
1	0	1	内部クロック： $\phi/16$ でカウント
1	1	0	内部クロック： $\phi/4$ でカウント
1	1	1	内部クロック： $\phi/2$ でカウント

* Don't care

【注】* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG3により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

なお、TMIF端子の機能切換えの為にTMIF端子が“Low”レベルの状態ポートモードレジスタ1 (PMR1) のIRQ3を“0”から“1”または“1”から“0”に設定変更した場合に、タイマFのカウントがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタF (TCSR F)

ビット：	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCSR Fは、8ビットのリード/ライト可能なレジスタです。カウンタクリアの選択、オーバフローフラグのセット、コンペアマッチフラグのセット、オーバフローによる割込み要求の許可の制御を行います。

リセット時、TCSR FはH'00にイニシャライズされます。

ビット7：タイマオーバフローフラグH（OVFH）

TCFHがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説 明
OVFH	
0	〔クリア条件〕 OVFH = “1” の状態で、OVFH をリードした後、OVFH に “0” をライトしたとき (初期値)
1	〔セット条件〕 TCFH の値が、H'FF→H'00 になったとき

ビット6：コンペアマッチフラグH（CMFH）

TCFHとOCRFHがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説 明
CMFH	
0	〔クリア条件〕 CMFH = “1” の状態で、CMFH をリードした後、CMFH に “0” をライトしたとき (初期値)
1	〔セット条件〕 TCFH の値とOCRFH の値が、コンペアマッチしたとき

ビット5：タイマオーバフローインタラプトイネーブルH（OVIEH）

TCFHのオーバフローが発生したとき、割込みの許可または禁止を選択します。

ビット5	説 明
OVIEH	
0	TCFHのオーバフローによる割込み要求を禁止 (初期値)
1	TCFHのオーバフローによる割込み要求を許可

ビット4：カウンタクリアH（CCLR H）

16ビットモード時、TCFとOCR Fがコンペアマッチしたとき、TCFをクリアするかしないかを選択します。

8ビットモード時、TCFHとOCR FHがコンペアマッチしたとき、TCFHをクリアするかしないかを選択します。

ビット4	説 明
CCLR H	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止（初期値）
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可

ビット3：タイマオーバフローフラグL（OVFL）

TCFLがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説 明
OVFL	
0	〔クリア条件〕 OVFL = “1” の状態で、OVFLをリードした後、OVFLに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCFLの値が、H'FF→H'00になったとき

ビット2：コンペアマッチフラグL（CMFL）

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説 明
CMFL	
0	〔クリア条件〕 CMFL = “1” の状態で、CMFLをリードした後、CMFLに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき

ビット1：タイマオーバーフローインタラプトイネーブルL (OVIEL)

TCFLのオーバーフローが発生したとき、割込みの許可または禁止を選択します。

ビット1	説明
OVIEL	
0	TCFLのオーバーフローによる割込み要求を禁止 (初期値)
1	TCFLのオーバーフローによる割込み要求を許可

ビット0：カウンタクリアL (CCLRL)

TCFLとOCRFLがコンペアマッチしたとき、TCFLをクリアするかしないかを選択します。

ビット0	説明
CCLRL	
0	コンペアマッチによるTCFLのクリアを禁止 (初期値)
1	コンペアマッチによるTCFLのクリアを許可

9.3.3 CPUとのインタフェース

T C F、O C R Fは16ビットのリード／ライト可能なレジスタで構成されています。一方、CPUと内蔵周辺モジュール間のデータバスは、8ビット幅となっています。したがってCPUがT C F、O C R Fをアクセスする場合、8ビットのテンポラリレジスタ（T E M P）を介して行います。

16ビットモードでT C Fのリード／ライト、O C R Fのライトを行うときは、必ず16ビット単位（バイトサイズのM O V命令を2回連続して行う）で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8ビットモードでは特にアクセスの順序に制限はありません。

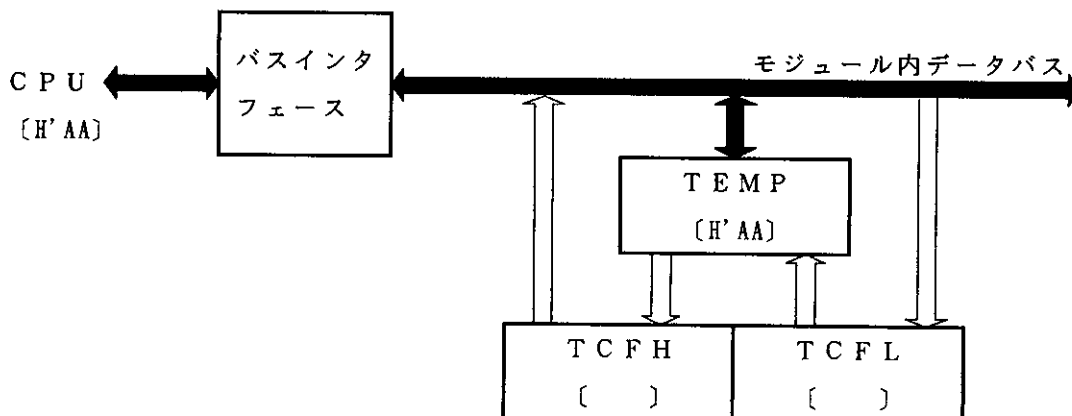
(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータがT E M Pに転送されます。

次に下位バイトのライトで、T E M Pにあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

T C FにH'AA55をライトするときのT C Fのライト動作を図9.3に示します。

<上位バイトのライト>



<下位バイトのライト>

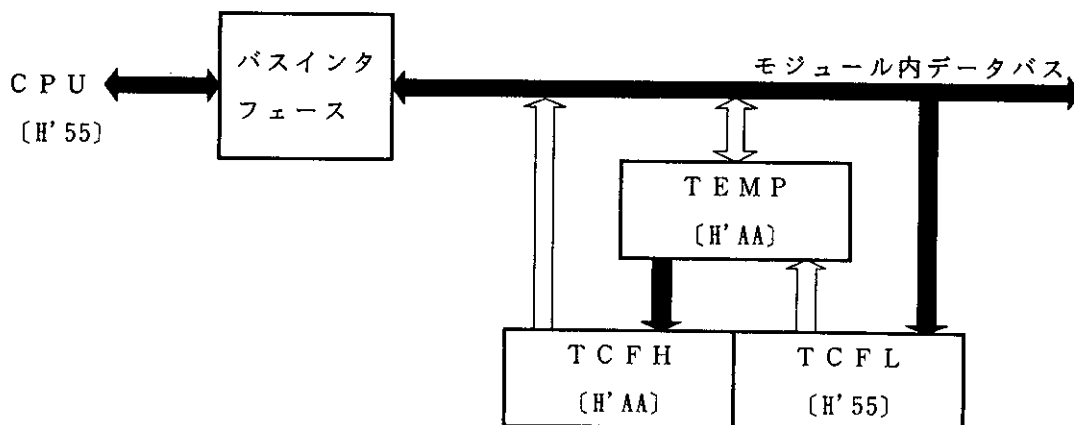


図9.3 T C Fのライト動作（CPU→T C F）

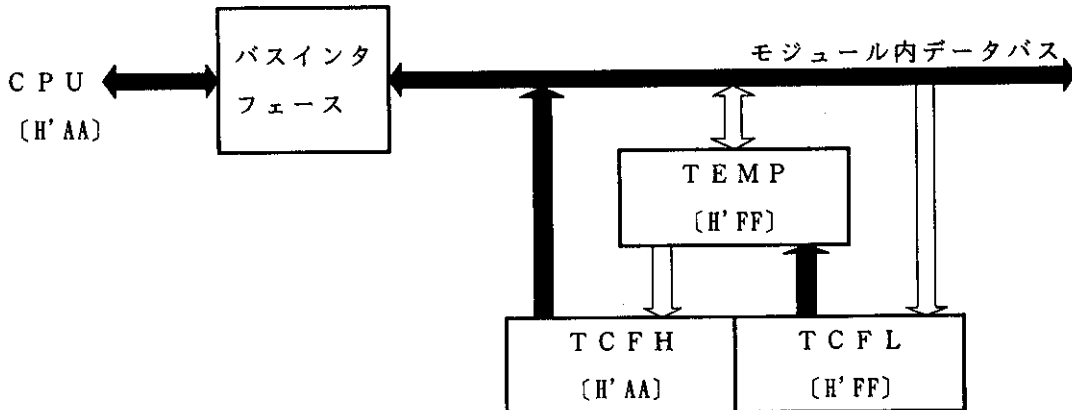
(2) リード時の動作

T C F の場合、上位バイトのリードで、上位バイトのデータは直接 C P U に転送され、下位バイトのデータは T E M P に転送されます。

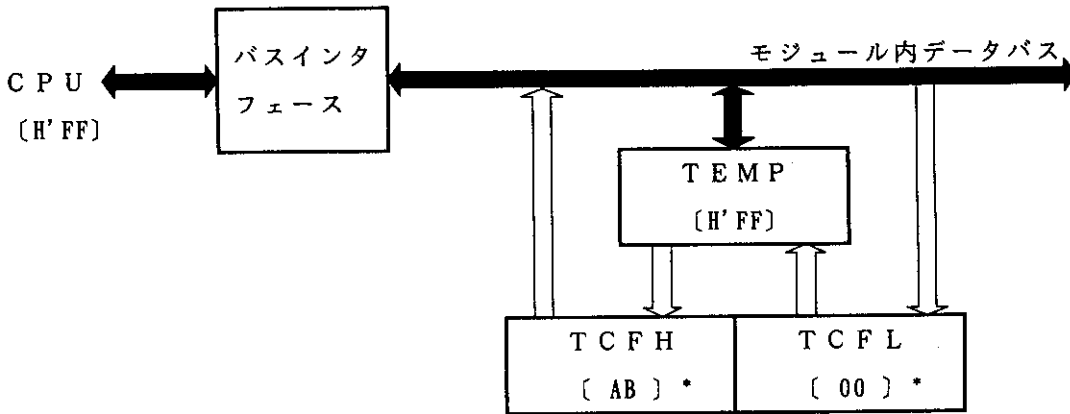
次に下位バイトのリードで、T E M P にある下位バイトのデータが C P U に転送されます。O C R F の場合、上位バイトのリードで、上位バイトのデータは直接 C P U に転送されます。下位バイトのリードで、下位バイトのデータは直接 C P U に転送されます。

H' A A F F である T C F をリードしたときの T C F のリード動作を図 9. 4 に示します。

<上位バイトのリード>



<下位バイトのリード>



【注】* カウンタの更新が1回行われた場合H' AB00となる。

図 9. 4 T C F のリード動作 (T C F → C P U)

9.3.4 動作説明

タイマFは、入力クロックが入るたびにカウントアップする16ビットのカウンタで、アウトプットコンペアレジスタFに設定した値とタイマカウンタFの値を常に比較しており、一致したタイミングでカウンタのクリア、割込み要求、およびポートのトグル出力が可能です。また、2本の独立した8ビットタイマとしても機能できます。

(1) タイマFの動作

タイマFには、16ビットタイマモードと8ビットタイマモードの2種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

(a) 16ビットタイマモードの動作

タイマコントロールレジスタF (TCRF) のCKSH2ビットを“0”に設定すると、タイマFは16ビットのタイマとして動作します。

リセット直後、タイマカウンタF (TCF) はH'0000に、アウトプットコンペアレジスタF (OCRF) はH'FFFFに、タイマコントロールレジスタF (TCRF)、タイマコントロールステータスレジスタF (TCSR F) はH'00に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG3により設定します。

タイマFの動作クロックは、TCRFのCKSL2～CKSL0ビットによりプリスケアラSの出力する4種類の内部クロック、または外部クロックを選択できます。

TCFはOCRFの内容は常に比較されており、両者が一致するとTCSR FのCMFHが“1”にセットされます。このときIENR2のIENTFHが“1”ならばCPUに割り込みを要求し、同時にTMOFH端子の出力をトグルします。また、TCSR FのCCLRHが“1”ならばTCFをクリアします。なお、TMOFH端子の出力はTCRFのTOLHにより設定できます。

TCFがオーバーフロー (H'FFFF→H'0000) すると、TCSR FのOVFHがセットされます。このとき、TCSR FのOVIEHとIENR2のIENTFHが共に“1”ならばCPUに割り込みを要求します。

(b) 8ビットタイマモードの動作

TCRFのCKSH2を“1”に設定すると、TCFはTCFH、TCFLの2本の独立した8ビットタイマとして動作します。TCFH/TCFLの入力クロックは、TCRFのCKSH2～CKSH0/CKSL2～CKSL0により選定します。

OCRFH/OCRFLとTCFH/TCFLの値が一致すると、TCSR FのCMFH/CMFLが“1”にセットされます。また、IENR2のIENTFH/IENTFLが“1”ならばCPUに割り込みを要求し、同時にTMOFH端子/TMOFL端子の出力をトグルします。また、TCRFのCCLRH/CCLRLが“1”ならば、TCFH/TCFLをクリアします。なお、TMOFH端子/TMOFL端子の出力は、TCRFのTOLH/TOLLにより設定できます。

TCFH/TCFLがオーバーフロー (H'FF→H'00) すると、TCSR FのOVFH/OVFLが“1”にセットされます。このとき、TCSR FのOVIEH/OVIELとIENR2のIEN

TFH/IENFLが共に“1”ならば、CPUに割込みを要求します。

(2) TCFのカウントタイミング

TCFは、入力されたクロック（内部クロックまたは外部イベント）によりカウントアップされます。

(a) 内部クロック動作の場合

TCRFのCKSH2～CKSH0またはCKSL2～CKSL0の設定により、システムクロック（ ϕ ）を分周して作られる4種類の内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）が選択されます。

(b) 外部イベント動作の場合

TCRFのCKSL2を“0”に設定することにより、外部イベント入力を選択されます。外部イベントは立上がり/立下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割込みコントローラのIEGRのIEG3で設定します。なお、外部イベントのパルス幅は2システムクロック（ ϕ ）以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) TMOFH、TMOFL出力タイミング

TMOFH、TMOFLの出力は、TCRFのTOLH、TOLLで設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図9.5に出力タイミングを示します。

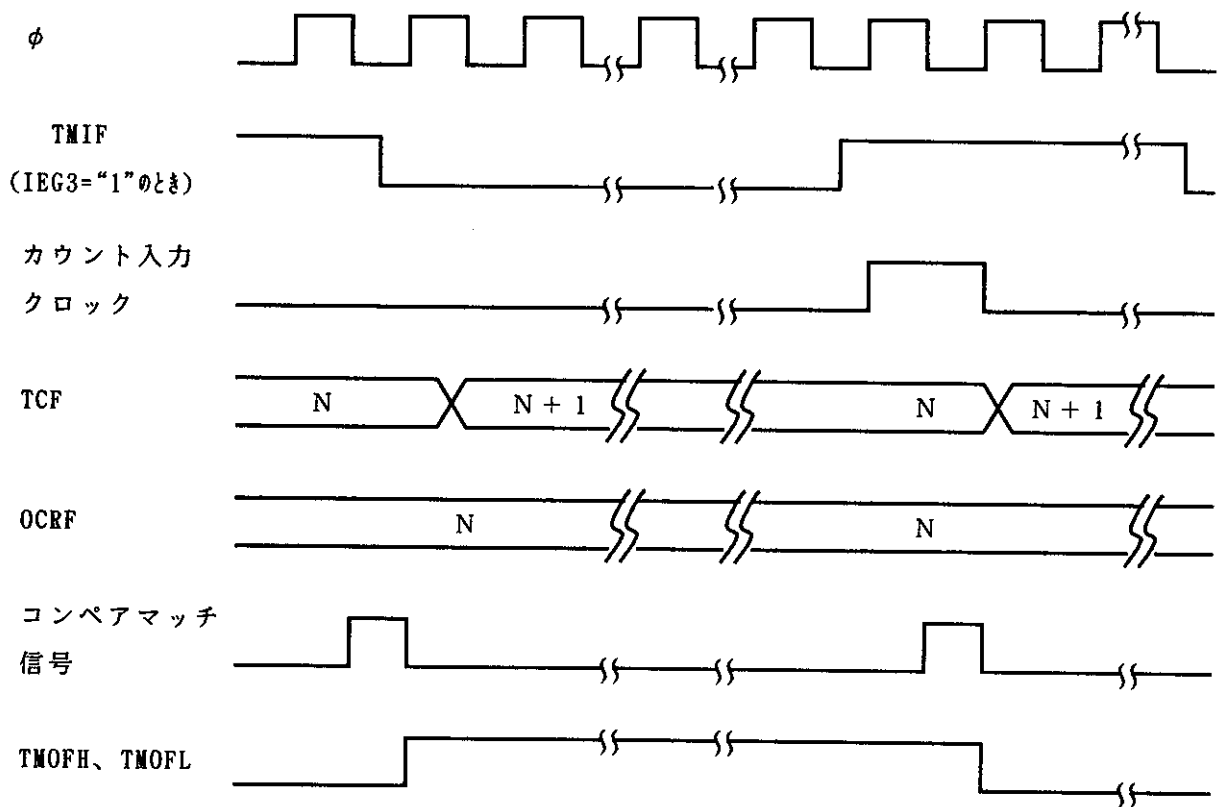


図 9.5 TMOFH、TMOFL 出力タイミング

(4) TCFのクリアタイミング

TCFは、OCRFとのコンペアマッチ時にクリアすることができます。

(5) タイマオーバーフローフラグ (OVF) のセットタイミング

OVFは、TCFがオーバーフロー (H'FFFF→H'0000) したとき "1" にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFHまたはCMFL) は、TCFとOCRFのコンペアマッチ時に "1" にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCFが一致したカウント値を更新するタイミング) で発生します。TCFとOCRFが一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

(7) タイマFの動作モード

タイマFの動作モードを表9.7に示します。

表9.7 タイマFの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCF	リセット	動作	動作	停止	停止	停止	停止
OCRFB	リセット	動作	保持	保持	保持	保持	保持
TCRFB	リセット	動作	保持	保持	保持	保持	保持
TCSRFB	リセット	動作	保持	保持	保持	保持	保持

9.3.5 使用上の注意事項

タイマFの動作中、次のような競合や動作が起こりますので注意してください。

(1) 16ビットモード

トグル出力は16ビットすべてが一致し、コンペアマッチ信号が発生したときTMOFH端子から出力されます。MOV命令によるTCRFBのライトと、コンペアマッチ信号が同時に起こった場合、TCRFBのライトによるTOLHのデータがTMOFH端子に出力されます。TMOFL端子は16ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRFBのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16ビットすべてが一致し、コンペアマッチ信号が発生したときCMFHにセットされますが、CMFLについても下位8ビットについてのセット条件が満たされていればセットされます。

TCFがオーバーフローするとOVFHがセットされますが、OVFLについても下位8ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFLのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(2) 8ビットモード

(a) TCFH、OCRFBH

トグル出力は、コンペアマッチ時にTMOFH端子から出力されます。MOV命令によるTCRFBのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFBのライトによるTOLHのデータがTMOFH端子に出力されます。

OCRFBHのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号

は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFHのクロックに同期して出力されます。

TCFHのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCF L、OCRFL

トグル出力は、コンペアマッチ時にTMOFL端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLLのデータがTMOFL端子に出力されます。

OCRFLのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFLのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

9. 4 タイマ G

9. 4. 1 概要

タイマ G は、インプットキャプチャ／インターバル機能を内蔵した 8 ビットのタイマです。インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立上がり／立下がりエッジに対し、それぞれ専用のインプットキャプチャ機能をもっています。また、ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。さらに、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして動作します。

(1) 特長

タイマ G の特長を以下に示します。

■ 4 種類のカウント入力クロックを選択可能

4 種類の内部クロック（ $\phi / 64$ 、 $\phi / 32$ 、 $\phi / 2$ 、 $\phi_w / 2$ ）からの選択が可能です。

■ インプットキャプチャ機能

立上がり／立下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。

■ カウンタのオーバフロー時のレベルが検出可能

インプットキャプチャ入力信号の“High”レベルでオーバフローが発生したか、“Low”レベルでオーバフローが発生したかを検出することができます。

■ カウンタのクリア指定が可能

インプットキャプチャ入力信号の立上がり／立下がり／両エッジでカウンタの値をクリアするか、しないかを選択できます。

■ 2 種類の割込み要求

インプットキャプチャ×1 要因、オーバフロー×1 要因があります。インプットキャプチャ入力信号による割込み要求はインプットキャプチャ入力信号の立上がり／立下がりエッジを選択することができます。

■ ノイズ除去回路内蔵

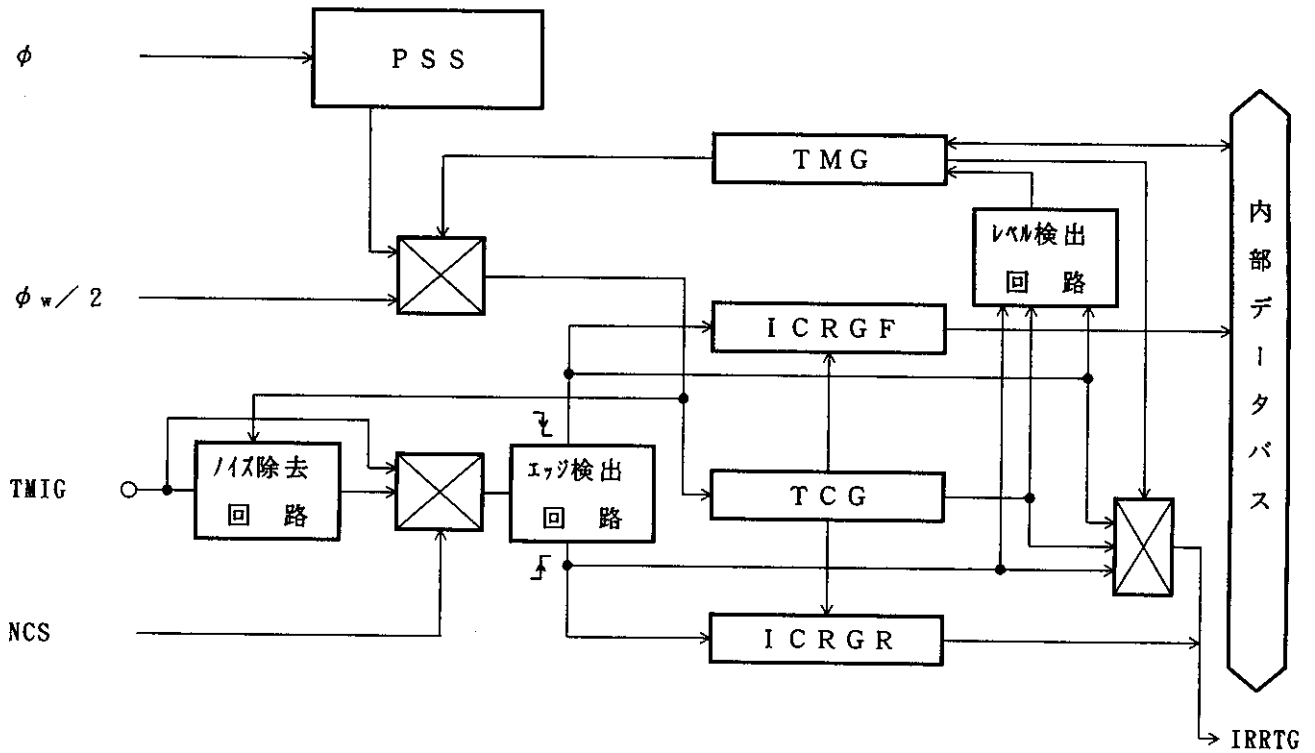
ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。

■ サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w / 2$ を選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマGのブロック図を図9.6に示します。



<記号説明>

- TMG : タイマモードレジスタG
- TCG : タイマカウンタG
- ICRGF : インพุットキャプチャレジスタGF
- ICRGR : インพุットキャプチャレジスタGR
- IRR TG : タイマG割込み要求フラグ
- NCS : ノイズキャンセラセレクト
- PSS : プリスケーラS

図9.6 タイマGのブロック図

(3) 端子構成

タイマGの端子構成を表9.8に示します。

表9.8 端子構成

名 称	略 称	入出力	機 能
インプットキャプチャ入力端子	TMIG	入 力	インプッチャプチャ入力

(4) レジスタ構成

タイマGのレジスタ構成を表9.9に示します。

表9.9 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタG	TMG	R/W	H'00	H'FFBC
タイマカウンタG	TCG	—	H'00	—
インプットキャプチャレジスタGF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタGR	ICRGR	R	H'00	H'FFBE

9.4.2 各レジスタの説明

(1) タイマカウンタG (TCG)

ビット:	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—

TCGは、8ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMGのCKS1、CKS0で選択します。

TCGはインプットキャプチャタイマとして動作させる場合、PMR1のTMIGを“1”に設定し、インターバルタイマとして動作させる場合、TMIGを“0”に設定します。* インプットキャプチャタイマの動作時は、TMGの設定によりインプットキャプチャ入力信号の立上がり/立下がり/両エッジのいずれかでTCGの値をクリアすることができます。

TCGがオーバフロー（H'FF→H'00）すると、TMGのOVIEが“1”の場合、IRR2のIRRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

TCGはCPUからリード/ライトすることはできません。

リセット時、TCGはH'00にイニシャライズされます。

【注】* TMIGの書き換えの際、インプットキャプチャ信号が発生する場合があります。

(2) インพุットキャプチャレジスタGF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGFは、8ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立下がりエッジが検出されると、そのときのTCGの値がICRGFに転送されます。このとき、TMGのIIEGSが“1”の場合、IRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも2φまたは2φ_{sub}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGFはH'00にイニシャライズされます。

(3) インพุットキャプチャレジスタGR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGRは、8ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立下がりエッジが検出されると、そのときのTCGの値がICRGRに転送されます。このとき、TMGのIIEGSが“0”の場合、IRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも2φまたは2φ_{sub}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGRはH'00にイニシャライズされます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための“0”ライトのみ可能です。

TMGは、8ビットのリード/ライト可能なレジスタです。TCGの4種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割込み要求のエッジ選択、オーバフローによる割込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMGはH'00にイニシャライズされます。

ビット7: タイマオーバフローフラグH (OVFH)

インプットキャプチャ入力信号が“High”レベルのときに、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 (初期値) OVFH = “1” の状態で、OVFHをリードした後、OVFHに“0”をライトしたとき
1	〔セット条件〕 TCGの値が、H'FF→H'00になったとき

ビット6: タイマオーバフローフラグL (OVFL)

インプットキャプチャ信号が“Low”レベルのとき、またはインターバル動作時に、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OVFL	
0	〔クリア条件〕 (初期値) OVFL = “1” の状態で、OVFLをリードした後、OVFLに“0”をライトしたとき
1	〔セット条件〕 TCGの値が、H'FF→H'00になったとき

ビット5：タイマオーバフローインタラプトイネーブル（OVIE）

TCGのオーバフローが発生したとき、割込みの許可または禁止を選択します。

ビット5	説 明	
OVIE		
0	TCGのオーバフローによる割込み要求を禁止	(初期値)
1	TCGのオーバフローによる割込み要求を許可	

ビット4：インプットキャプチャインタラプトエッジセレクト（IIEGS）

インプットキャプチャ入力信号による割込み要求のエッジ選択を行います。

ビット4	説 明	
IIEGS		
0	インプットキャプチャ入力信号の立上がりエッジで割込みを発生	(初期値)
1	インプットキャプチャ入力信号の立下がりエッジで割込みを発生	

ビット3、2：カウンタクリア1、0（CCLR1、CCLR0）

インプットキャプチャ入力信号の立上がり／立下がり／両エッジでTCGの値をクリアするか、しないかを選択します。

ビット3	ビット2	説 明
CCLR1	CCLR0	
0	0	TCGのクリアを禁止 (初期値)
0	1	インプットキャプチャ入力信号の立下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立上がりエッジによりTCGをクリア
1	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

ビット1、0：クロックセレクト（CKS1、CKS0）

TCGに入力するクロックを、4種類の内部クロックから選択します。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	内部クロック： $\phi/64$ でカウント (初期値)
0	1	内部クロック： $\phi/32$ でカウント
1	0	内部クロック： $\phi/2$ でカウント
1	1	内部クロック： $\phi_w/2$ でカウント

9.4.3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR 2のNCS*により設定します。

図9.7にノイズ除去回路のブロック図を示します。

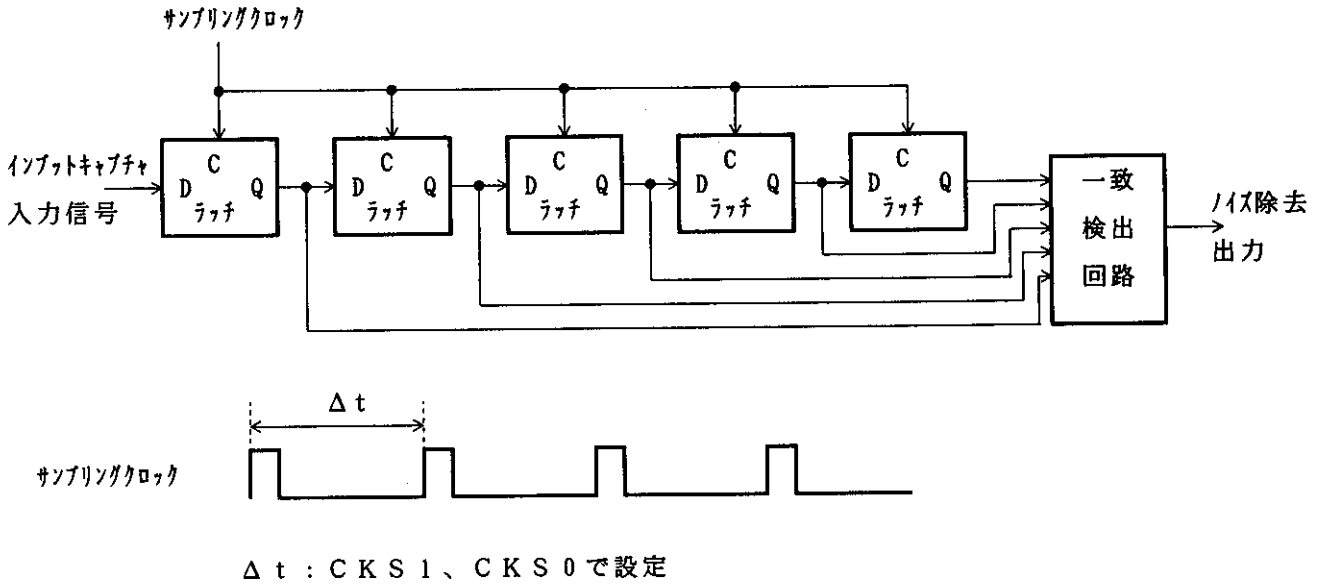


図9.7 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし(NCS = "0")の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり(NCS = "1")の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立上がりエッジでインプットキャプチャ入力信号がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立下がりエッジが5回サンプリングされた状態でイニシャライズされています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は少なくとも 2ϕ または $2\phi_{sub}$ 以上が必要です。

【注】* NCSビットの書換えの際、インプットキャプチャ信号が発生する場合があります。

図 9. 8 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの 5 倍以下の“High”レベル入力がノイズとして除去された場合です。

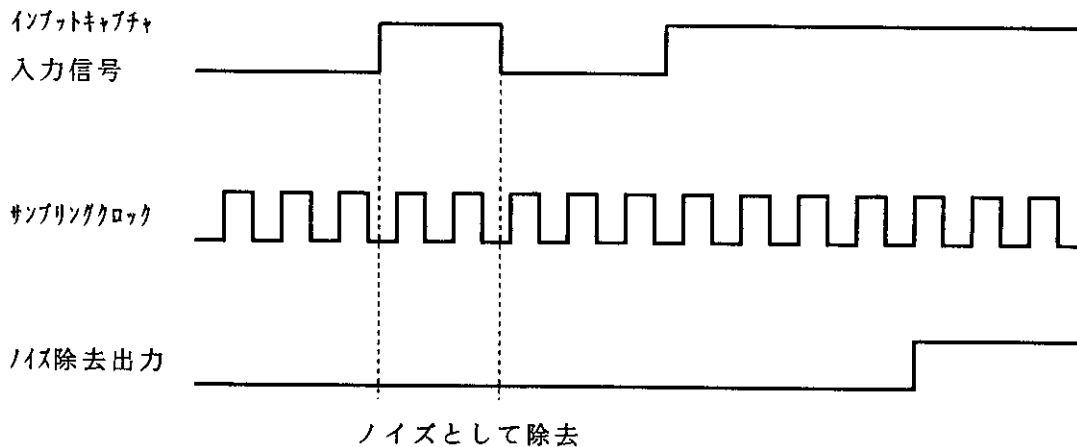


図 9. 8 ノイズ除去回路タイミング (例)

9. 4. 4 動作説明

(1) タイマ G の機能

タイマ G は 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

(a) インプットキャプチャタイマの動作

ポートモードレジスタ 1 (PMR1) の TMIG ビットを “1” に設定すると、タイマ G はインプットキャプチャタイマとして機能します。*

リセット時、タイマモードレジスタ G (TMG)、タイマカウンタ G (TCG)、インプットキャプチャレジスタ GF (ICRGF)、インプットキャプチャレジスタ GR (ICRGR) は、H'00 に初期化されます。

リセット直後、TCG は内部クロック $\phi/64$ のクロックでカウントを開始します。

入力するクロックは、TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。

TMIG 端子から入力されるインプットキャプチャ信号の立上がりエッジ/立下がりエッジにより、そのときの TCG の値が ICRGR / ICRGF に転送されます。また、TMG の IIEGS ビットで選択したエッジが入力されると、IRR2 の IRRTG が “1” にセットされ、この時 IENR2 の IENTG ビットが “1” ならば CPU に割込みを要求します。なお、割込みについての詳細は、「3.3 割込み」を参照してください。

TCG は TMG の CCLR1、CCLR0 ビットにより、インプットキャプチャ信号の立上がり

／立下がり／両エッジのいずれかでTCGの値をクリアすることができます。また、インプットキャプチャ信号が“High”レベルのときにTCGがオーバーフローすると、TMGのOVFHビットをセットします。一方、インプットキャプチャ信号が“Low”レベルのときにTCGがオーバーフローすると、TMGのOVFLビットをセットします。

これらがセットされた時、TMGのOVIEビットが“1”であればIRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGビットが“1”であれば、タイマGはCPUに割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照して下さい。

タイマGにはノイズ除去回路が内蔵されており、TMIG端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.4.3 ノイズ除去回路」を参照して下さい。

【注】* TM1Gの書き換えの際、インプットキャプチャ信号が発生する場合があります。

(b) インターバルタイマの動作

PMR1のTMIGビットを“0”に設定すると、タイマGはインターバルタイマとして機能します。リセット直後、TCGは内部クロック $\phi/64$ のクロックでカウントを開始します。入力クロックはTMGのCKS1, CKS0ビットにより4種類の内部クロックソースから選択できます。TCGは選択されたクロックでカウントアップし、オーバーフロー(H'FF→H'00)するとTMGのOVFLビットが“1”にセットされます。この時、TMGのOVIEビットが“1”であればIRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGビットが“1”であれば、タイマGはCPUに割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照して下さい。

(2) カウントタイミング

TCGは入力された内部クロックによりカウントアップされます。TMGのCKS1, CKS0の設定により、システムクロック(ϕ)とウォッチクロック(ϕ_w)を分周して作られる4種類の内部クロック($\phi/64$, $\phi/32$, $\phi/2$, $\phi_w/2$)が選択されます。

(3) インプットキャプチャ入力のタイミング

(a) ノイズ除去機能なしの場合

インプットキャプチャ入力は、立上がり／立下がりエッジのそれぞれ専用のインプットキャプチャ機能をもっています。

立上がり／立下がりエッジのインプットキャプチャ入力のタイミングを図9.9に示します。

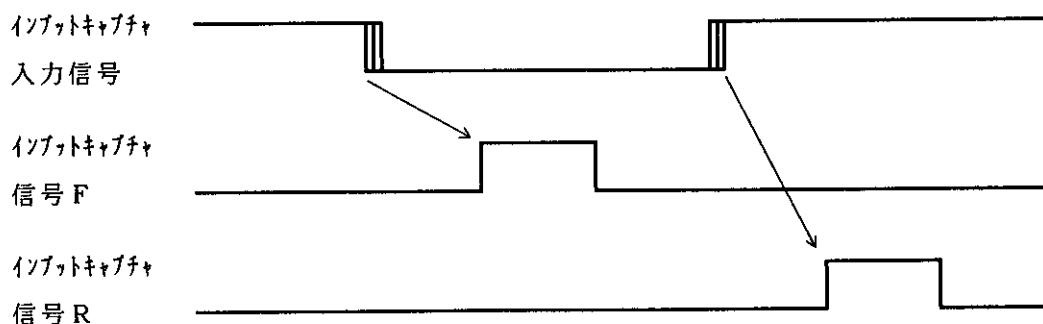


図9.9 インプットキャプチャ入力のタイミング (ノイズ除去機能なし)

(b) ノイズ除去機能ありの場合

インプットキャプチャ入力でのノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの5周期分遅延します。

このときのタイミングを図9.10に示します。

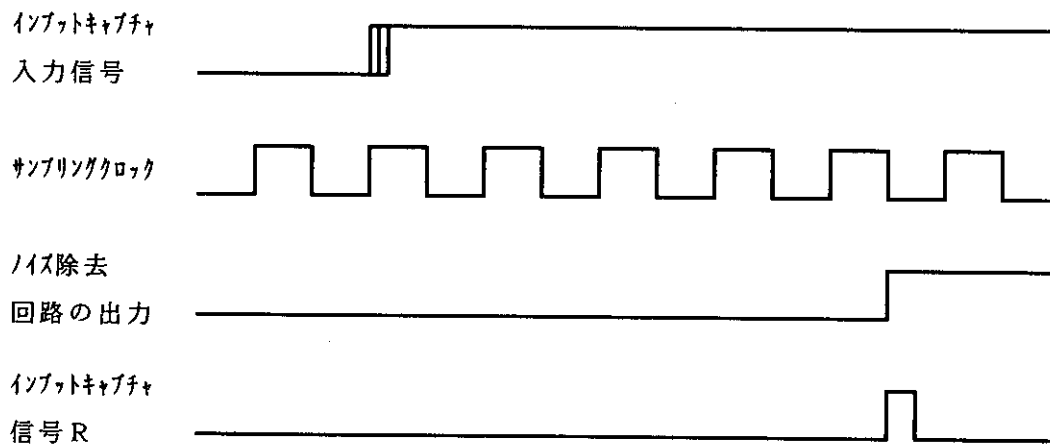


図 9.10 インプットキャプチャ入力のタイミング (ノイズ除去機能あり)

(4) インプットキャプチャ入力によるインプットキャプチャタイミング

インプットキャプチャ入力によるインプットキャプチャタイミングを図9.11に示します。

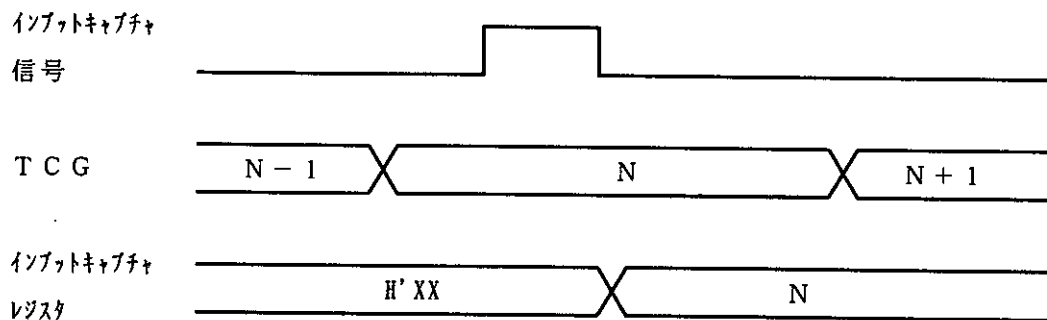


図 9.11 インプットキャプチャ入力によるインプットキャプチャタイミング

(5) TCGのクリアタイミング

TCGの値は、インプットキャプチャ入力信号の立上がりエッジ/立下がりエッジ/両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図9.12に示します。

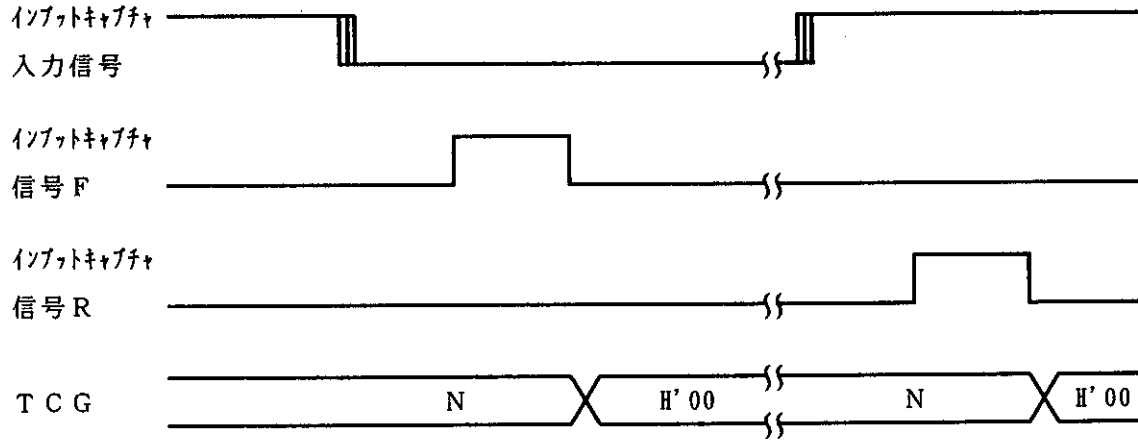


図9.12 TCGのクリアタイミング

(6) タイマGの動作モード

タイマGの動作モードを表9.10に示します。

表 9.10. タイマGの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCG	インプットキャプチャ	リセット	動作*	動作*	停止	動作/停止*	動作/停止*	停止
	インターバル	リセット	動作*	動作*	保持	動作/停止*	動作/停止*	停止
ICRGF		リセット	動作*	動作*	保持	動作/停止*	動作/停止*	保持
ICRGR		リセット	動作*	動作*	保持	動作/停止*	動作/停止*	保持
TMG		リセット	動作	保持	保持	動作	保持	保持

【注】* アクティブモード、スリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。また、サブアクティブモード、サブスリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、サブクロック ϕ_{sub} ($\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$) に関係なくTCG、ノイズ除去回路は内部クロック $\phi_w/2$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

9. 4. 5 使用上の注意事項

(1) 内部クロックの切換えとTCG動作

内部クロックを切り換えるタイミングによっては、TCGがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、CKS0の書換え）とTCG動作の関係を表9.11に示します。

内部クロックを使用する場合、システムクロック（ ϕ ）またはサブクロック（ ϕ_w ）を分周した内部クロックの立下がりエッジで検出してカウントクロックを発生しています。そのため表9.11のNo.3のように切換え前のクロック“High”→切換え後のクロック“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてカウントクロックが発生し、TCGがカウントアップされてしまいます。

表9.11 内部クロックの切換えとTCG動作(1)

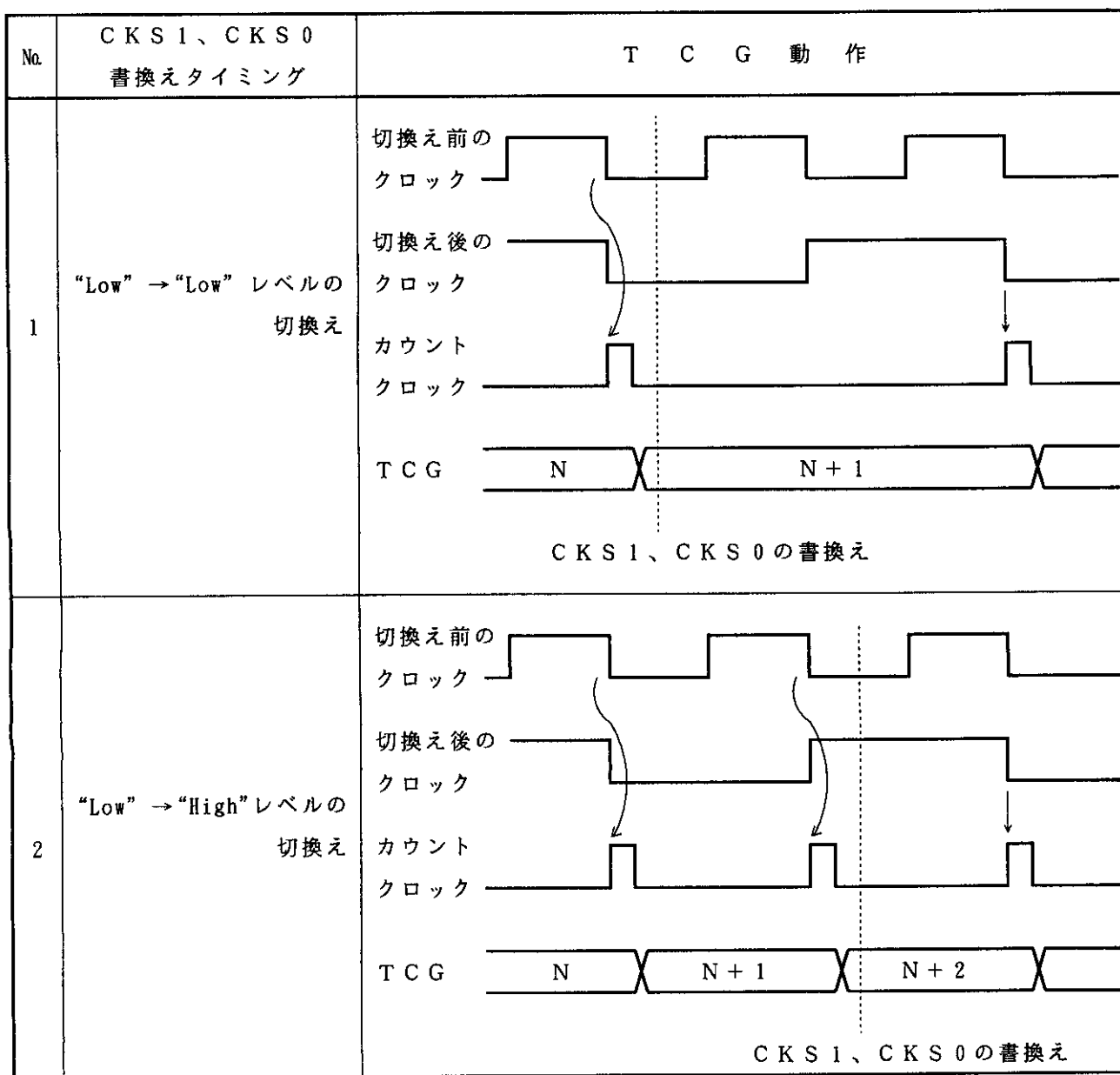
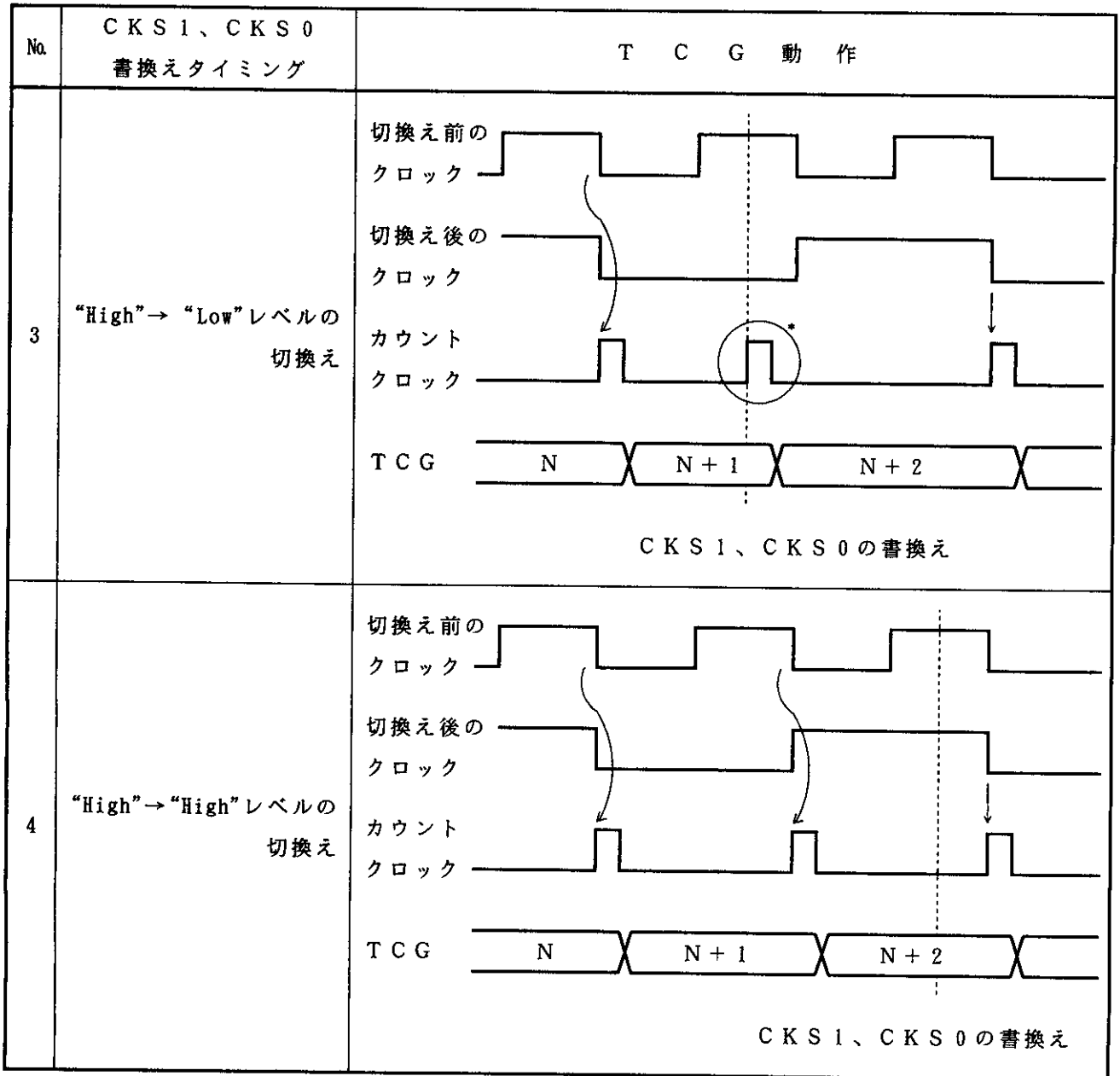


表 9.11 内部クロックの切換えとTCGの動作(2)



【注】* 切換えのタイミングを立下がりエッジとみなすために発生し、TCGはカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャ入力機能切り換えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力のノイズ除去回路の機能切り換えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

インプットキャプチャ入力端子の機能切り換え

インプットキャプチャ入力端子を制御しているポートモードレジスタ1のビット3 (TMIG) を書き換えて端子機能を切り換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.12に示します。

表9.12 インプットキャプチャ入力端子の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立上がりエッジが発生する場合	TMIG端子が“High”レベルの状態、TMIGを0から1に書き換えたとき
	TMIG端子が“High”レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを0から1に書き換えたとき
立下がりエッジが発生する場合	TMIG端子が“High”レベルの状態、TMIGを1から0に書き換えたとき
	TMIG端子が“Low”レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを0から1に書き換えたとき
	TMIG端子が“High”レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされた後にTMIGを1から0に書き換えたとき

【注】 ポートP1₀がインプットキャプチャ入力端子に設定されていない場合、タイマGのインプットキャプチャ入力信号は“Low”レベルとなっています。

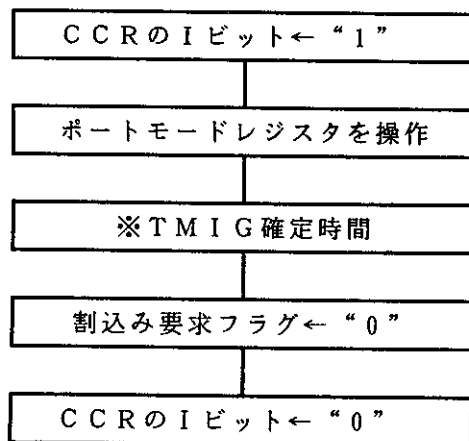
インプットキャプチャ入力のノイズ除去回路の切り換え

インプットキャプチャ入力の除去回路を制御しているポートモードレジスタ2のビット4 (NCS) を書き換えて機能切り換えを行う場合、TMIGを0にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.13に示します。

表 9.13 ノイズ除去回路の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立上がりエッジが発生する場合	TMIGビットが1の状態ではTMIG端子を“Low”レベルから“High”レベルにした後、ノイズ除去回路で5回サンプリングする前にNCSを1から0に書き換えたとき
立下がりエッジが発生する場合	TMIGが1の状態ではTMIG端子を“High”レベルから“Low”レベルにした後、ノイズ除去回路で5回サンプリングする前にNCSを1から0に書き換えたとき

端子機能を切り換え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (IIEGS) ビットによるエッジ選択とが一致した時、割込み要求フラグが“1”にセットされますので、割込み要求フラグを“0”にクリアしてから使用してください。ポートモードレジスタの操作と割込み要求フラグのクリア手順を図 9.13 に示します。端子機能を切り換える場合、ポートモードレジスタの操作前に割込み禁止状態にしてポートモードレジスタを切り換え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間（ノイズ除去回路を使用しない場合は2システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの5倍以上）待ってから、“1”にセットされた割込み要求フラグを“0”にクリアしてください。なお、端子機能切り換えに伴う割込み要求フラグのセットを回避する方法として表 9.12、表 9.13 の条件を満たさないように端子レベルを制御する方法、または発生するエッジと反対のエッジにTMIGのIIEGSビットを設定して制御する方法もあります。



割込み禁止状態にする。（割込み許可レジスタ2の割込みイネーブルを操作して割込み禁止状態にしても良い。）

ポートモードレジスタを操作した後、※TMIGの確定期間（ノイズ除去回路を使用しない場合は2システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの5倍以上）待ってから割込み要求フラグを“0”にクリアする。

割込み許可状態にする

図 9.13 ポートモードレジスタの操作と割込み要求フラグのクリア手順

9.4.6 タイマGの使用例

タイマGを使用すると、インプットキャプチャ入力信号の“High”幅、“Low”幅を絶対値で測定することができます。設定は、TMGのCCLR1、CCLR0をそれぞれ“1”にセットします。このときの動作例を図9.14に示します。

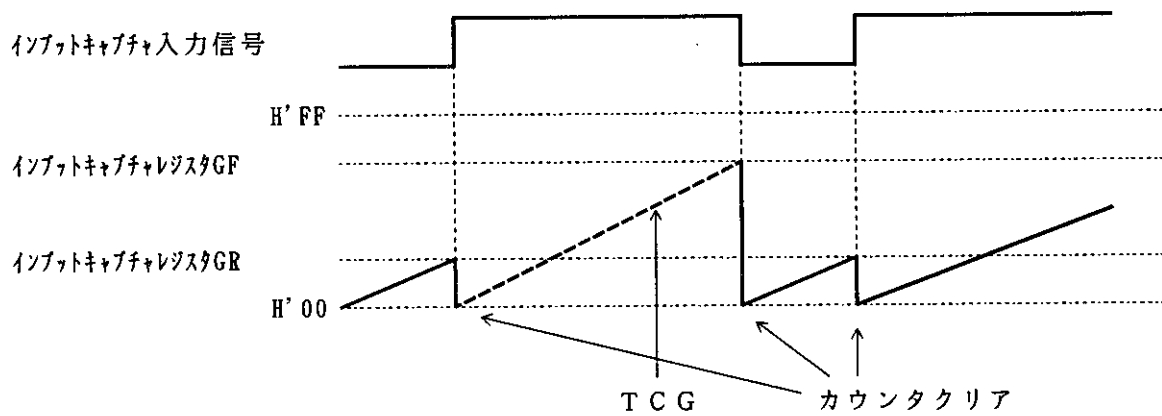


図 9.14 タイマGの使用例

10. シリアルコミュニケーション インタフェース

第10章 目次

10.1	概要	10-1
10.2	SC11	10-2
10.2.1	概要	10-2
10.2.2	各レジスタの説明	10-5
10.2.3	動作説明	10-9
10.2.4	割込み要因	10-11
10.3	SC13	10-12
10.3.1	概要	10-12
10.3.2	各レジスタの説明	10-15
10.3.3	動作概要	10-32
10.3.4	調歩同期式モード時の動作説明	10-36
10.3.5	クロック同期式モード時の動作説明	10-45
10.3.6	マルチプロセッサ通信機能	10-52
10.3.7	割込み要因	10-57
10.3.8	使用上の注意事項	10-58

10.1 概要

本LSIは、2チャンネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）1、3を備えています。

2チャンネルのSCIの機能概要を表10.1に示します。

表10.1 SCIの機能概要

SCIの名称	機能	特長
SCI 1	<p>クロック同期式シリアル転送機能</p> <ul style="list-style-type: none"> ・転送データ長を選択可能（8ビット／16ビット） ・クロック連続出力機能 	<ul style="list-style-type: none"> ・8種類の内部クロック（$\phi/1024 \sim \phi/2$）と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了で割込み発生
SCI 3	<p>クロック同期式シリアル転送機能</p> <ul style="list-style-type: none"> ・転送データ長8ビット ・送信／受信／同時送受信 <p>調歩同期式シリアル転送機能</p> <ul style="list-style-type: none"> ・マルチプロセッサ通信機能 ・転送データ長を選択可能（7ビット／8ビット） ・ストップビット長を選択可能（1ビット／2ビット） ・パリティ付加機能 	<ul style="list-style-type: none"> ・ボーレートジェネレータ内蔵 ・受信エラーの検出 ・ブレークの検出 ・転送完了またはエラーで割込み発生

10.2 S C I 1

10.2.1 概要

S C I 1（シリアルコミュニケーションインタフェース1）は、8ビット/16ビットデータのクロック同期式シリアル転送を行います。

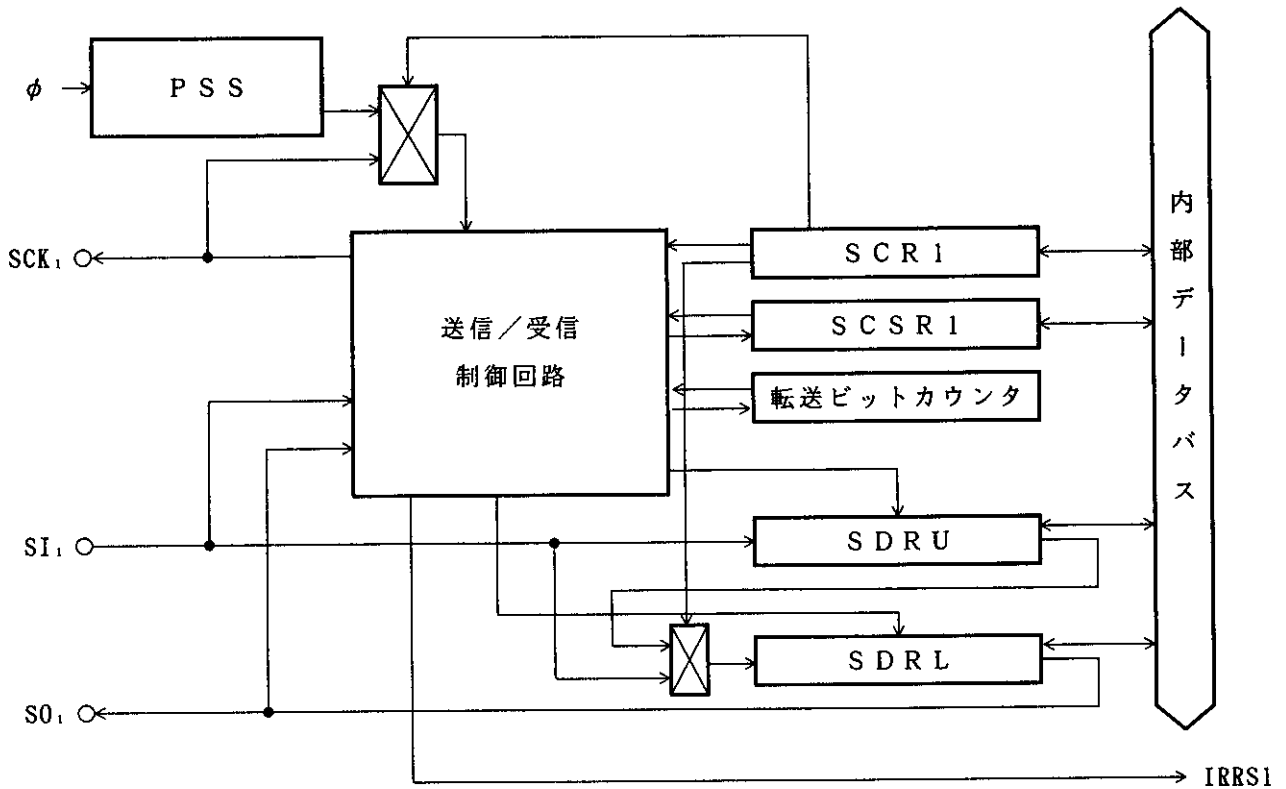
(1) 特 長

S C I 1の特長を以下に示します。

- 8ビットおよび16ビットの転送データ長を選択可能
- クロックソースとして8種類の内部クロック（ $\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ）と外部クロックが選択可能
- 転送の完了で割込み要求を発生

(2) ブロック図

SC11のブロック図を図10.1に示します。



<記号説明>

- SCR1 : シリアルコントロールレジスタ1
- SCSR1 : シリアルコントロールステータスレジスタ1
- SDRU : シリアルデータレジスタU
- SDRL : シリアルデータレジスタL
- IRRS1 : シリアル1割込み要求フラグ
- PSS : プリスケアラS

図10.1 SC11のブロック図

(3) 端子構成

SCI1の端子構成を表10.2に示します。

表10.2 端子構成

名 称	略 称	入出力	機 能
SCI1クロック	SCK ₁	入出力	SCI1のクロック入出力端子
SCI1データ入力	SI ₁	入 力	SCI1の受信データ入力端子
SCI1データ出力	SO ₁	出 力	SCI1の送信データ出力端子

(4) レジスタ構成

SCI1のレジスタ構成を表10.3に示します。

表10.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
シリアルコントロールレジスタ1	SCR1	R/W	H'00	H'FFA0
シリアルコントロールステータスレジスタ1	SCSR1	R/W	H'80	H'FFA1
シリアルデータレジスタU	SDRU	R/W	不定	H'FFA2
シリアルデータレジスタL	SDRL	R/W	不定	H'FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ1 (SCR1)

ビット:	7	6	5	4	3	2	1	0
	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1は、8ビットのリード/ライト可能なレジスタで、動作モード、転送クロックソースとプリスケアラ分周比を制御します。

リセット時、SCR1はH'00にイニシャライズされます。転送中に本レジスタに書込みを行うと転送を中止します。

ビット7、6：動作モード選択1、0 (SNC1、SNC0)

動作モードを選択します。

ビット7	ビット6	説明
SNC1	SNC0	
0	0	8ビットクロック同期モード (初期値)
0	1	16ビットクロック同期モード
1	0	クロック連続出力モード*1
1	1	リザーブ*2

【注】*1 SI₁、SO₁端子はポートとして使用してください。

*2 SNC1、SNC0に“11”を設定しないでください。

ビット5、4：リザーブビット

リード/ライト可能なリザーブビットです。

ビット3：クロックソース選択3 (CKS3)

供給するクロックソースの選択とSCK₁端子の入出力の設定を行います。

ビット3	説明
CKS3	
0	クロックソースはプリスケアラS、SCK ₁ 端子は出力 (初期値)
1	クロックソースは外部クロック、SCK ₁ 端子は入力

ビット2～0：クロック選択2～0（CKS2～CKS0）

CKS3が“0”の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	プリスケアラ分周比	転送クロック周期	
				$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	$\phi / 1024$ (初期値)	204.8 μs	409.6 μs
0	0	1	$\phi / 256$	51.2 μs	102.4 μs
0	1	0	$\phi / 64$	12.8 μs	25.6 μs
0	1	1	$\phi / 32$	6.4 μs	12.8 μs
1	0	0	$\phi / 16$	3.2 μs	6.4 μs
1	0	1	$\phi / 8$	1.6 μs	3.2 μs
1	1	0	$\phi / 4$	0.8 μs	1.6 μs
1	1	1	$\phi / 2$	—	0.8 μs

(2) シリアルコントロールステータスレジスタ（SCSR1）

ビット：	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	—	STF
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/(W)*	—	—	—	R/W	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

SCSR1は、動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR1はH'80にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット6：拡張データビット（SOL）

SOLはS0_i端子の出力レベルを変更します。また、リードするとS0_i端子の出力レベルが読み出されます。送信完了後のS0_i端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、S0_i端子の出力レベルを変更することができます。ただし、次の送信が開始するとSOLビットの設定は無効となります。したがって、送信完了後のS0_i端子の出力レベルを変更する場合には、送信完了ごとにSOLビットに対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット6	説 明	
S O L		
0	リード時	S0 _i 端子の出力が“Low”レベル (初期値)
	ライト時	S0 _i 端子の出力を“Low”レベルに変更
1	リード時	S0 _i 端子の出力が“High”レベル
	ライト時	S0 _i 端子の出力を“High”レベルに変更

ビット5：オーバランエラーフラグ（O R E R）

O R E Rは外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが“1”にセットされます。

ビット5	説 明	
O R E R		
0	[クリア条件]	(初期値)
	“1”をリード後、“0”をライトしたとき	
1	[セット条件]	
	外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット4～2：リザーブビット

リザーブビットです。各ビットはリードすると“0”が読み出されます。ライトは無効です。

ビット1：リザーブビット

リザーブビットです。本ビットは“0”で使用してください。

ビット0：スタートフラグ（S T F）

S T Fは、転送動作の開始を制御します。本ビットに“1”をセットするとS C I 1の転送動作を開始します。

本ビットは、転送中とスタートビット待ち状態時は“1”を保持し、転送終了後に“0”にクリアされます。このため、ビジーフラグとして使用できます。

ビット0	説 明	
S T F		
0	リード時	転送動作は停止 (初期値)
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

(3) シリアルデータレジスタU (SDRU)

ビット:	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRUは、8ビットのリード/ライト可能なレジスタで、16ビット転送時に上位8ビットのデータレジスタとして使用します (SDRLが下位8ビット)。

SDRUに書き込まれたデータは、SDRLにLSBファーストで出力されます。入れ代わりにSI₁端子よりLSBファーストでデータが入力されて、MSB→LSB方向にデータがシフトします。

SDRUのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRUのリセット時の値は不定です。

(4) シリアルデータレジスタL (SDRL)

ビット:	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRLは、8ビットのリード/ライト可能なレジスタで、8ビット転送時のデータレジスタ、および16ビット転送時の下位8ビットのデータレジスタとして使用します (SDRUが上位8ビット)。

8ビット転送時、SDRLに書き込まれたデータは、SO₁端子よりLSBファーストで出力されます。入れ代わりSI₁端子よりLSBファーストで入力されて、MSB→LSB方向にデータがシフトします。

16ビット転送時には、入力データがSDRUより取り込まれることを除けば、8ビット転送時と同様の動作となります。

SDRLのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRLのリセット時の値は不定です。

10.2.3 動作説明

送信／受信フォーマットは8ビットおよび16ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバランエラーの検出ができます。

(1) クロック

転送クロックは、8種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₁端子はクロック出力端子となります。クロック連続出力モード（SCR1のSNC1、SNC0を“10”）に設定するとCKS2～CKS0で選択したクロック（ $\phi/1024 \sim \phi/2$ ）をSCK₁端子から連続して出力します。外部クロックを選択した場合は、SCK₁端子はクロック入力端子となります。

(2) データ転送フォーマット

SCI1の転送フォーマットを図10.2に示します。データの最下位ビットから送受信されるLSBファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

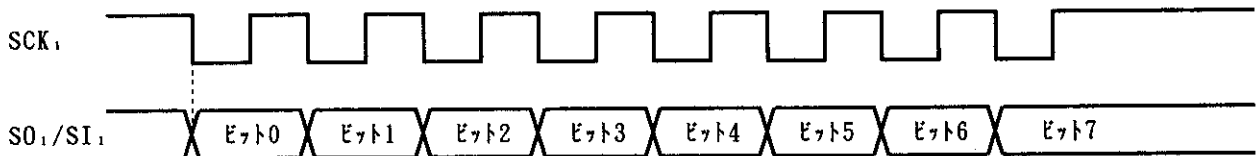


図10.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- ① PMR 2 の SO 1 を “1”、SCK 1 を “1” としてそれぞれ SO₁ 端子、SCK₁ 端子に設定します。
また、必要に応じて、PMR 2 の POF 1 により、SO₁ 端子を NMOS オープンドレイン出力とします。
- ② SCR 1 の SNC 1 を “0” とし、SNC 0 を “0” または “1” として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS 3 ~ CKS 0 で転送クロックを選択します。
SCR 1 へデータの書込みを行うと SCI 1 の内部状態はイニシャライズされます。
- ③ SDRL、SDRU に転送データを書き込みます。
8 ビット転送モード：SDRL
16 ビット転送モード：上位バイト SDRU、下位バイト SDRL
- ④ SCSR 1 の STF を “1” にすると、SCI 1 は動作を開始し、SO₁ 端子から送信データが出力されます。
- ⑤ 送信完了後、IRR 1 の IRRS 1 が “1” にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に SCK₁ 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを “1” にセットするまで同期クロックは出力されません。この間、SO₁ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁ 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR 1 の ORER が “1” にセットされます。

送信停止中の SO₁ 端子の出力値は、SCSR 1 の SOL により変更することができます。

(b) 受信動作

受信動作は次のように行われます。

- ① PMR 2 の SI 1 を “1”、SCK 1 を “1” として、それぞれ SI₁ 端子、SCK₁ 端子に設定します。
- ② SCR 1 の SNC 1 を “0” とし、SNC 0 を “0” または “1” として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS 3 ~ CKS 0 で転送クロックを選択します。
SCR 1 へのデータの書込みを行うと SCI 1 の内部状態はイニシャライズされます。
- ③ SCSR 1 の STF を “1” にすると、SCI 1 は動作を開始し、SI₁ 端子から受信データを取り込みます。
- ④ 受信完了後、IRR 1 の IRRS 1 が “1” にセットされます。
- ⑤ SDRL、SDRU から受信データを読み出します。
8 ビット転送モード：SDRL
16 ビット転送モード：上位バイト SDRU、下位バイト SDRL
- ⑥ 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR 1 の ORER が “1” にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

- ① PMR2のSO1を“1”、SI1を“1”、SCK1を“1”としてそれぞれSO₁端子、SI₁端子、SCK₁端子に設定します。また、必要に応じてPMR2のPOF1により、SO₁端子をNMOSオープンドレイン出力とします。
- ② SCR1のSNC1を“0”とし、SNC0を“0”または“1”として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3～CKS0で転送クロックを選択します。SCR1へのデータの書込みを行うとSCI1の内部状態はイニシャライズされます。
- ③ SDRL、SDRUに転送データを書き込みます。
8ビット転送モード：SDRL
16ビット転送モード：上位バイトSDRU、下位バイトSDRL
- ④ SCSR1のSTFを“1”にすると、SCI1は動作を開始し、SO₁端子から送信データが出力され、またSI₁端子から受信データが入力されます。
- ⑤ 送受信完了後、IRR1のIRRS1が“1”にセットされます。
- ⑥ SDRL、SDRUから受信データを読み出します。
8ビット転送モード：SDRL
16ビット転送モード：上位バイトSDRU、下位バイトSDRL

内部クロックを使用する場合は、送信データの出力と同時にSCK₁端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを“1”にセットするまで同期クロックは出力されません。この間、SO₁端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバーラン状態であるとして、SCSR1のORERが“1”にセットされます。

送信停止中のSO₁端子の出力値は、SCSR1のSOLにより変更することができます。

10.2.4 割込み要因

SCI1の割込み要因には、転送完了があります。

SCI1が、転送完了すると、IRR1のIRRS1が“1”にセットされます。SCI1の割込み要求は、IENR1のIENS1により許可／禁止を選択できます。

詳細は、「3.3 割込み」を参照してください。

10.3 S C I 3

10.3.1 概要

S C I 3 (シリアルコミュニケーションインタフェース3) は、調歩同期式とクロック同期式の2方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能(マルチプロセッサ通信機能)を備えています。

(1) 特長

S C I 3の特長を以下に示します。

■シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

・調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter(U A R T) や、Asynchronous Communication Interface Adapter(A C I A) などの標準の調歩同期式通信用 L S I とのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを12種類のフォーマットから選択できます。

データ長	7ビット/8ビット
ストップビット長	1ビット/2ビット
パリティ	偶数パリティ/奇数パリティ/パリティなし
マルチプロセッサビット	"1" / "0"
受信エラーの検出	パリティエラー、オーバランエラー フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD端子のレベルを直接読み出すことでブレークを検出

・クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の L S I とのシリアルデータ通信が可能です。

データ長	8ビット
受信エラーの検出	オーバランエラー

■全二重通信が可能

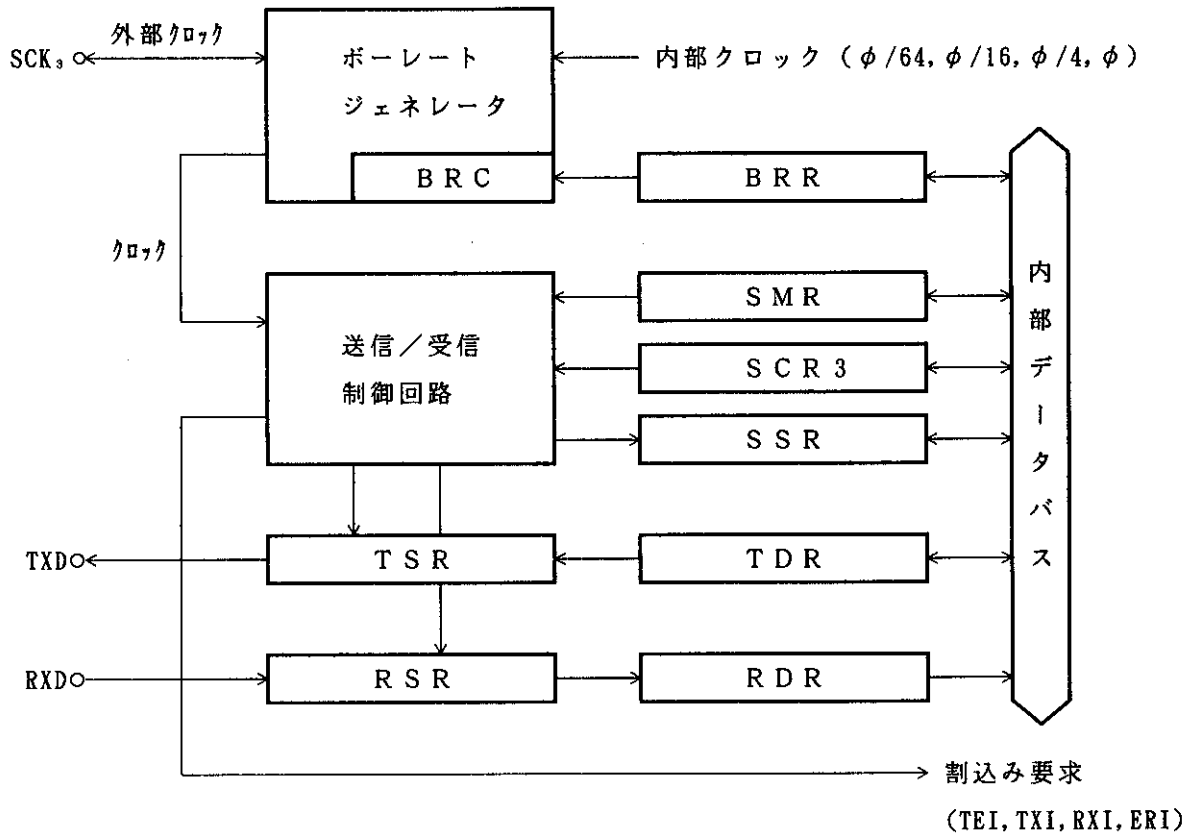
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

- 内蔵のボーレートジェネレータで任意のビットレートを選択可能
 - 送受信クロックソースを内部クロック、または外部クロックから選択可能
 - 6種類の割込み要因
- 送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割込み要因があります。

(2) ブロック図

SCI 3のブロック図を図10.3に示します。



<記号説明>

- RSR : レシーブシフトレジスタ
- RDR : レシーブデータレジスタ
- TSR : トランスミットシフトレジスタ
- TDR : トランスミットデータレジスタ
- SMR : シリアルモードレジスタ
- SCR3 : シリアルコントロールレジスタ3
- SSR : シリアルステータスレジスタ
- BRR : ビットレートレジスタ
- BRC : ビットレートカウンタ

図10.3 SCI 3のブロック図

(3) 端子構成

SCI3の端子構成を表10.4に示します。

表10.4 端子構成

名 称	略 称	入出力	機 能
SCI3クロック	SCK ₃	入出力	SCI3のクロック入出力端子
SCI3レシーブデータ入力	RXD	入 力	SCI3の受信データ入力端子
SCI3トランスミットデータ出力	TXD	出 力	SCI3の送信データ出力端子

(4) レジスタ構成

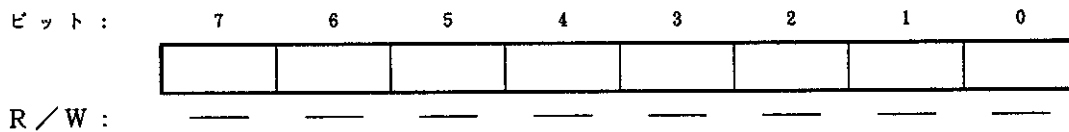
SCI3のレジスタ構成を表10.5に示します。

表10.5 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不 可	—	—
レシーブシフトレジスタ	RSR	不 可	—	—
ビットレートカウンタ	BRC	不 可	—	—

10.3.2 各レジスタの説明

(1) レシーブシフトレジスタ (RSR)



RSRは、シリアルデータを受信するためのレジスタです。RSRにRXD端子から入力されたシリアルデータを、LSB(ビット0)から受信した順にセットしパラレルデータに変換します。1バイトのデータを受信すると、データは自動的にRDRへ転送されます。

CPUからRSRを直接リード/ライトすることはできません。

(2) レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

RDRは、受信したシリアルデータを格納する8ビットのレジスタです。

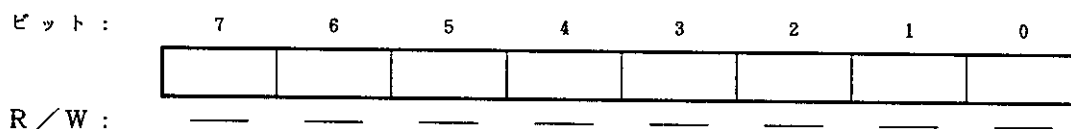
1バイトのデータの受信が終了すると、受信したデータをRSRからRDRへ転送し、受信動作を完了します。その後、RSRは受信可能となります。

RSRとRDRはダブルバッファになっているため連続した受信動作が可能です。

RDRは、受信専用レジスタですのでCPUからライトできません。

RDRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

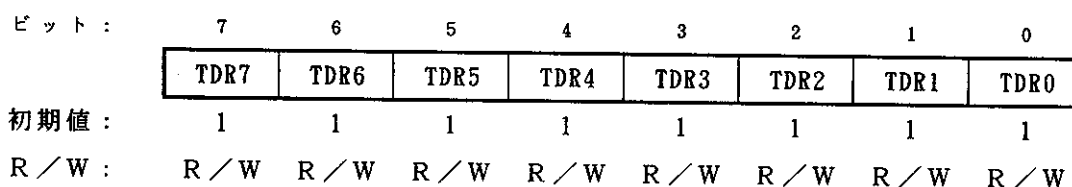
(3) トランスミットシフトレジスタ (TSR)



TSRは、シリアルデータを送信するためのレジスタです。TDRから送信データをいったんTSRに転送し、LSB(ビット0)から順にTXD端子に送出することでシリアルデータ送信を行います。1バイトのデータを送信すると、自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただし、TDRにデータが書き込まれていない(TDREに“1”がセットされている)場合にはTDRからTSRへのデータ転送は行いません。

CPUからTSRを直接リード/ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)



TDRは、送信データを格納する8ビットのレジスタです。TSRの“空”を検出すると、TDRに書き込まれた送信データをTSRに転送し、シリアルデータ送信を開始します。TSRのシリアルデータ送信中に、TDRに次の送信データをライトしておくと、連続送信が可能です。

TDRは、常にCPUによるリード/ライトが可能です。

TDRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMRは、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SMRは、常にCPUによるリード/ライトが可能です。

SMRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7: コミュニケーションモード (COM)

COMは、SCI3を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6: キャラクタレングス (CHR)

CHRは、調歩同期式モード時におけるデータ長を選択するビットです。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHRの設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

ビット5：パリティイネーブル（PE）

PEは、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではPEの設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	説 明
PE	
0	パリティビットの付加およびチェックを禁止 (初期値)
1	パリティビットの付加およびチェックを許可*

【注】* PEに“1”をセットすると送信時には、PMで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPMで指定したパリティになっているかどうかをチェックします。

ビット4：パリティモード（PM）

PMは、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。PMの設定は、調歩同期式モードでPEに“1”を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPMは無効です。

ビット4	説 明
PM	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】*¹ 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の“1”の数の合計が偶数になるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の“1”の数の合計が奇数になるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

STOPは、調歩同期式モードでのストップビットの長さを選択するビットです。1ビットまたは2ビットのいずれかを選択できます。STOPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんのでSTOPは無効です。

ビット3	説明
STOP	
0	1ストップビット *1 (初期値)
1	2ストップビット *2

【注】*1 送信時には、送信キャラクタの最後尾に1ビットの“1”（ストップビット）を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの“1”（ストップビット）を付加して送信します。

なお、受信時にはSTOPの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が“1”の場合はストップビットとして扱いますが、“0”の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

MPは、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE、およびPMにおけるパリティの設定は無効になります。MPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはMPを“0”にしてください。

マルチプロセッサ通信機能については「10.3.6 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ通信機能を禁止 (初期値)
1	マルチプロセッサ通信機能を許可

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

CKS1、CKS0は、内蔵ポーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0の組合せによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 ϕ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「(8) ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
0	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
1	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ3（SCR3）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	NPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3は、送信/受信動作、調歩同期式モードでのクロック出力、割込み要求の許可/禁止、および送信/受信クロックソースの選択を行う8ビットのレジスタです。

SCR3は、常にCPUによるリード/ライトが可能です。

SCR3は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TIEは、TDRからTSRへ送信データが転送され、SSRのTDREが“1”にセットされたとき、送信データエンプティ割込み要求（TXI）の許可/禁止を選択するビットです。

TXIは、TDREを“0”にクリアするか、またはTIEを“0”にクリアすることで解除できます。

ビット7	説 明
TIE	
0	送信データエンプティ割込み要求（TXI）の禁止 (初期値)
1	送信データエンプティ割込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（R I E）

R I Eは、受信データがR S RからR D Rへ転送され、S S RのR D R Fが“1”にセットされたとき、受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）の許可／禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの3種類があります。

R X IおよびE R Iは、R D R Fまたは、F E R、P E R、O E Rのエラーフラグを“0”にクリアするか、R I Eを“0”にクリアすることで解除できます。

ビット6	説 明
R I E	
0	受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）を禁止 (初期値)
1	受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）を許可

ビット5：トランスミットイネーブル（T E）

T Eは、送信動作の開始の許可／禁止を選択するビットです。

ビット5	説 明
T E	
0	送信動作を禁止* ¹ （TXD 端子は入出力ポート） (初期値)
1	送信動作を許可* ² （TXD 端子はトランスミットデータ端子）

【注】*¹ S S RのT D R Eは“1”に固定されます。

*² この状態で、T D Rに送信データをライトするとS S RのT D R Eが“0”にクリアされシリアルデータ送信を開始します。なお、T Eを“1”にセットする前に必ずS M Rの設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（R E）

R Eは、受信動作の開始の許可／禁止を選択するビットです。

ビット4	説 明
R E	
0	受信動作を禁止* ¹ （RXD 端子は入出力ポート） (初期値)
1	受信動作を許可* ² （RXD 端子はレシーブデータ端子）

【注】*¹ R Eを“0”にクリアしてもS S RのR D R F、F E R、P E R、O E Rの各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、R Eを“1”にセットする前に必ずS M Rの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIEは、マルチプロセッサ割込み要求の許可／禁止を選択するビットです。MPIEの設定は、調歩同期式モードで、かつSMRのMPが“1”に設定されている受信時にのみ有効です。COMが“1”のときやMPが“0”のときにはMPIEは無効です。

ビット3	説 明
MPIE	
0	マルチプロセッサ割込み要求を禁止（通常の受信動作）（初期値） 〔クリア条件〕 マルチプロセッサビットが“1”のデータを受信したとき
1	マルチプロセッサ割込み要求を許可*

【注】* RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、OERの各ステータスフラグのセットは行いません。マルチプロセッサビットが“1”のデータを受け取るまで、RXI、ERI、および、SSRのRDRF、FER、OERの各フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSRのMPBRを“1”にセットし、MPIEを自動的に“0”にクリアし、RXI、ERIの発生（SCRのTIE、RIEが“1”にセットされている場合）とRDRF、FER、OERのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIEは、MSBデータ送出時に有効な送信データがTDRにないとき、送信終了割込み要求（TEI）の許可／禁止を選択するビットです。

ビット2	説 明
TEIE	
0	送信終了割込み要求（TEI）を禁止（初期値）
1	送信終了割込み要求（TEI）を許可*

【注】* TEIは、SSRのTDREを“0”にクリアしてTENDを“0”にクリアするか、TEIEを“0”にクリアすることで解除できます。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

CKE1、CKE0は、クロックソースの選択、およびSCK₃端子からのクロックの出力の許可／禁止を選択するビットです。CKE1とCKE0の組合せによってSCK₃端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0の設定は調歩同期式モードで内部クロック動作時（CKE1＝“0”）のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1＝“1”）の場合はCKE0に“0”を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。
 クロックソースの選択についての詳細は「10.3.3 動作概要」の表10.10を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート* ¹
		クロック同期式	内部クロック	同期クロック出力* ¹
0	1	調歩同期式	内部クロック	クロック出力* ²
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力* ³
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】*¹ 初期値

*² ビットレートと同じ周波数のクロックを出力します。

*³ ビットレートの16倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

SSRは、SCI3の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常に、CPUからリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FERへ“1”をライトすることはできません。また、これらに“0”をライトしてクリアするためには、あらかじめ“1”をリードしておく必要があります。

また、TENDおよびMPBRはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'84にイニシャライズされます。

ビット7：トランスミットデータレジスタエンプティ（TDRE）

TDREは、TDRからTSRに送信データの転送が行われたことを示すビットです。

ビット7	説明
TDRE	
0	TDRにライトされた送信データがTSRに転送されていない [クリア条件] (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でTDRへデータをライトしたとき
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された [セット条件] (1) SCR3のTEが“0”のとき (2) TDRからTSRにデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル（RDRF）

RDRFは、受信したデータがRDRに格納されていることを示すビットです。

ビット6	説明
RDRF	
0	RDRに受信データが格納されていない (初期値) [クリア条件] (1) RDRF = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でRDRのデータをリードしたとき
1	RDRに受信データが格納されている [セット条件] 受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCR3のREを“0”にクリアしたときには、RDRおよびRDRFは影響を受けず以前の状態を保持します。RDRFが“1”にセットされたままデータの受信を完了するとオーバランエラー（OER）を発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（OER）

OERは、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
OER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] OER = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にオーバランエラーが発生した* ² [セット条件] RDRFが“1” の状態で受信を完了したとき

【注】*¹ SCR3のREを“0”にクリアしたときには、OERは影響を受けず以前の状態を保持します。

*² RDRでは、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OERが“1”にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FERは、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	説明
FER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] FER = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが“1”であるかどうかをチェックし、ストップビットが“0”であったとき* ²

【注】*¹ SCR3のREを“0”にクリアしたときには、FERは影響を受けず以前の状態を保持します。

*² 2ストップビットモード時は、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが“1”にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが“1”にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PERは、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	説明
PER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] PER = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットをあわせた“1”の数がSMRのPMで設定したパリティと一致しなかったとき

【注】*¹ SCR3のREを“0”にクリアしたときには、PERは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが“1”にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが“1”にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TENDは、送信キャラクタの最後尾ビットを送信時に、TDREが“1”にセットされていたことを示すビットです。

TENDは、リード専用ですのでライトすることはできません。

ビット2	説明
TEND	
0	送信中 [クリア条件] (1) TDRE = “1” の状態をリードした後、TDREに“0”をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信を終了 (初期値) [セット条件] (1) SCR3のTEが“0”のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDREが“1”であったとき

ビット1：マルチプロセッサビットレシーブ (MPBR)

MPBRは、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説 明	
MPBR		
0	マルチプロセッサビットが“0”のデータを受信した*	(初期値)
1	マルチプロセッサビットが“1”のデータを受信した	

【注】* マルチプロセッサフォーマットでSCR3のREを“0”にクリアしたときには、MPBRは影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

MPBTは、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときにはMPBTは無効です。

ビット0	説 明	
MPBT		
0	マルチプロセッサビット“0”を送信	(初期値)
1	マルチプロセッサビット“1”を送信	

(8) ビットレートレジスタ (BRR)

ビット	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRRは、SMRのCKS1、CKS0で選択されるボーレートジェネレータの動作クロックとあわせて、送信/受信のビットレートを設定する8ビットのレジスタです。

BRRは、常にCPUによるリード/ライトが可能です。

BRRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

調歩同期式モードのBRRの設定例を表10.6に示します。表10.6はアクティブ（高速）モードでの値を示しています。

表10.6 ビットレートに対するBRRの設定例〔調歩同期式モード〕(1)

OSC (MHz) R ビットレート (bit/s)	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800	-	-	-	0	7	0	0	12	+0.16	0	13	-2.48
9600	-	-	-	0	3	0	-	-	-	0	6	-2.48
19200	-	-	-	0	1	0	-	-	-	-	-	-
31250	0	0	0	-	-	-	0	1	0	-	-	-
38400	-	-	-	0	0	0	-	-	-	-	-	-

表10.6 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

OSC (MHz) R ビットレート (bit/s)	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	1	212	+0.03	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	-	-	-

表10.6 ビットレートに対するBR Rの設定例〔調歩同期式モード〕(3)

OSC (MHz) R ビットレート (bit/s)	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	-0.25
150	1	255	0	2	64	+0.16
300	1	127	0	1	129	+0.16
600	0	255	0	1	64	+0.16
1200	0	127	0	0	129	+0.16
2400	0	63	0	0	64	+0.16
4800	0	31	0	0	32	-1.36
9600	0	15	0	0	15	+1.73
19200	0	7	0	0	7	+1.73
31250	0	4	-1.70	0	4	0
38400	0	3	0	0	3	+1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。
 2. BR Rの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのBR Rの設定値 (0 ≤ N ≤ 255)

OSC : φ_{osc}の値 (MHz)

n : ボーレートジェネレータの入力クロックのNa (n = 0, 1, 2, 3)

(nとクロックの関係は表10.7を参照)

表10.7 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	φ	0	0
1	φ / 4	0	1
2	φ / 16	1	0
3	φ / 64	1	1

3. 表10.6の誤差は以下の計算式で求めた値を小数点第3位を四捨五入して表示してあります。

$$\text{誤差(\%)} = \frac{B(n, N, OSCから求めたレート) - R(\text{表10.3.3左欄のビットレート})}{R(\text{表10.6の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表10.8に示します。表10.8はアクティブ（高速）モードでの値を示しています。

表10.8 各周波数における最大ビットレート（調歩同期式モード）

OSC(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードのBRRの設定例を表10.9に示します。表10.9はアクティブ（高速）モードでの値を示しています。

表10.9 ビットレートに対するBRRの設定例（クロック同期式モード）

B ビットレート (MHz) (bit/s)	2		4		8		10	
	n	N	n	N	n	N	n	N
110	-	-	-	-	-	-	-	-
250	1	249	2	124	2	249	-	-
500	1	124	1	249	2	124	-	-
1k	0	249	1	124	1	249	-	-
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k	-	-	0	4	0	9	-	-
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1	-	-
1M					0	0*	-	-
2.5M								

空欄：設定不可能です。

-：設定は可能ですが、誤差が出ます。

*：連続送信／受信はできません。

【注】 BRRの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

OSC：φ_{osc}の値 (MHz)

n：ボーレートジェネレータの入力クロックのNa (n = 0, 1, 2, 3)

(nとクロックの関係は表10.10を参照)

表10.10 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	φ	0	0
1	φ / 4	0	1
2	φ / 16	1	0
3	φ / 64	1	1

10.3.3 動作概要

SCI3は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMRで行います。これを表10.11に示します。

また、SCI3のクロックソースは、SMRのCOM、およびSCR3のCKE1、CKE0の組合せできまります。これを表10.12に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビットまたは2ビットのストップビットの付加を選択可能（これらの組合せで送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレイクの検出が可能
- クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要
（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラー（OER）の検出が可能
- クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ポーレートジェネレータのクロックで動作し、同期クロックを出力
外部クロックを選択した場合：内蔵ポーレートジェネレータを使用せず、入力された同期クロックで動作

表10.11 SMRの設定値と送信/受信フォーマット

SMR					モード	送信/受信フォーマット					
bit7	bit6	bit2	bit5	bit3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
COM	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					0	1ビット	
									1	2ビット	
			1	1					0	1ビット	
									1	2ビット	
	1	1	1	*		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット
						1					2ビット
				0		*		0			1ビット
								1			2ビット
				0		*		0			1ビット
								1			2ビット
1	*	0	1ビット								
		1	2ビット								
1	*	0	*	*	クロック同期式モード	8ビットデータ	なし	なし	なし		

* Don't care

表10.12 SMR、SCR3の設定とクロックソースの選択

SMR	SCR3		モード	送信/受信クロック	
bit7	bit1	bit0		クロックソース	SCK ₃ 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	入出力ポート (SCK ₃ 端子を使用しません)
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの16倍の周波数のクロックを入力
1	0	0	クロック同期式モード	内部	同期クロックを出力
	1	0		外部	同期クロックを入力
0	1	1	リザーブ (この組合せは指定しないでください)		
1	0	1			
1	1	1			

(3) 割込みと連続送信／受信

SCI 3は、RXIを使用した連続受信、またTXIを使用した連続送信が可能です。
表10.13にこれらの割込みについて示します。

表10.13 送信／受信割込み

割込み	フラグ	割込み発生の条件	備考
RXI	RDRF RIE	リアル受信が正常に行われ、RSRからRDRに受信データが転送されるとRDRFが“1”となり、このときRIEが“1”ならばRXIが許可され割込みが発生します。 (図10.4(a)参照)	RXIの割込み処理ルーチンでは、RDRに転送された受信データを読み出し、RDRFを“0”にクリアします。上記の操作を次回のRSRの受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSRの空(前回の送信完了)を検出して、TDRにセットされた送信データがTSRに転送されるとTDREは“1”にセットされます。このときTIEが“1”ならばTXIが許可され割込みが発生します。 (図10.4(b)参照)	TXIの割込み処理ルーチンでは、次回の送信データをTDRに書き込み、TDREを“0”にクリアします。上記の操作をTSRに転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSRの送信キャラクタの最後尾ビットを送信したとき、TDREが“1”ならばTENDは“1”にセットされます。このときTEIEが“1”ならばTEIが許可され割込みが発生します。 (図10.4(c)参照)	TEIは、TSRの送信キャラクタの最後尾ビットを送信したとき、TDRに次回の送信データが書き込まれていないことを示します。

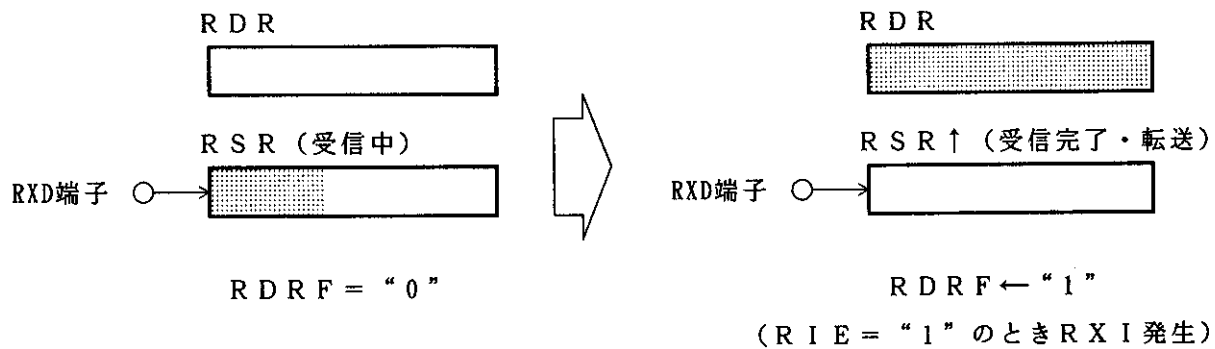


図10.4(a) RDRFのセットとRXI割込み

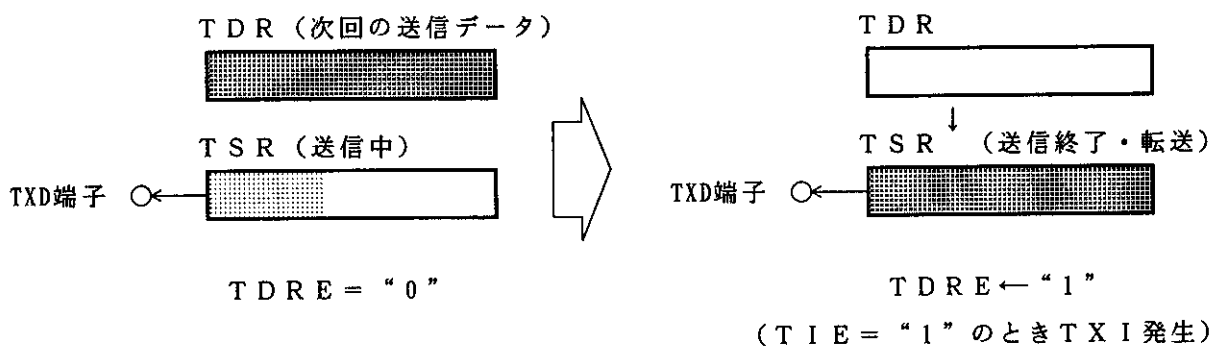


図10.4(b) TDREのセットとTXI割込み

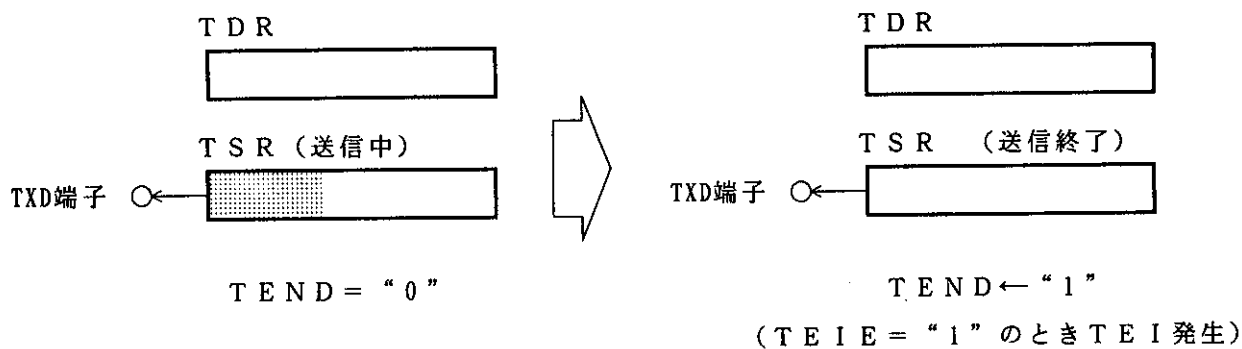


図10.4(c) TENDのセットとTEI割込み

10.3.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI 3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができ、連続送信／受信が可能です。

(1) 送信／受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図10.5に示します。

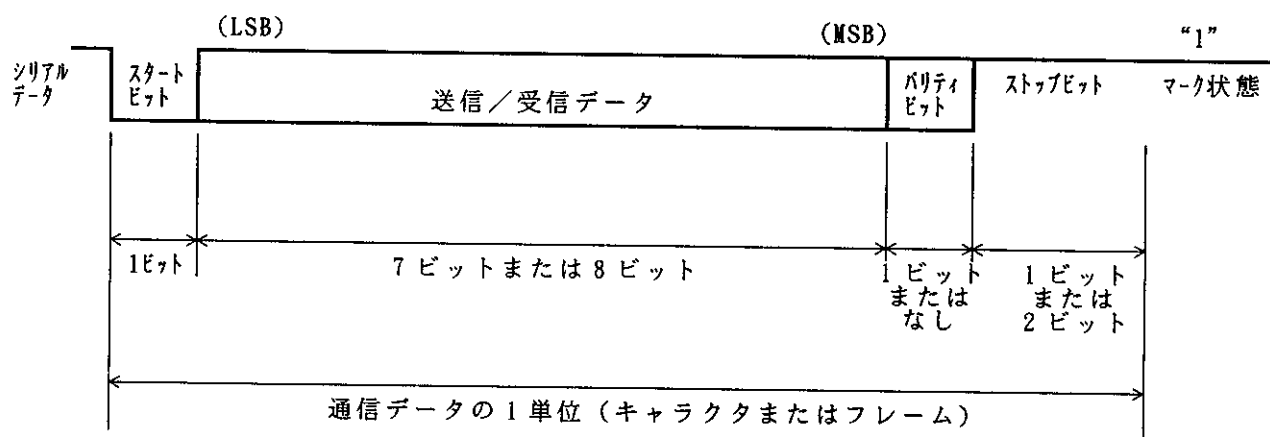


図10.5 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (“High”レベル) に保たれています。SCI 3 は通信回線を監視し、スペース (“Low”レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの1キャラクタは、スタートビット (“Low”レベル) から始まり、送信／受信データ (LSBファースト: 最下位ビットから)、パリティビット (“High”または “Low”レベル)、最後にストップビット (“High”レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立下がりエッジで同期化を行います。また、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信／受信フォーマットを、表10.14に示します。
送信／受信フォーマットは12種類あり、S M Rの設定により選択できます。

表10.14 通信フォーマット（調歩同期式モード）

S M R				シリアル通信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

* Don't care

<記号説明>

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCI 3の送受信クロックは、SMRのCOMとSCR 3のCKE 1、CKE 0の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK₃端子から入力された外部クロックの2種類から設定できます。クロックソースの選択については表10.3.9を参照してください。

外部クロックをSCK₃端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK₃端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図10.6に示すように送信/受信データの各ビットの中央でクロックが立上がります。

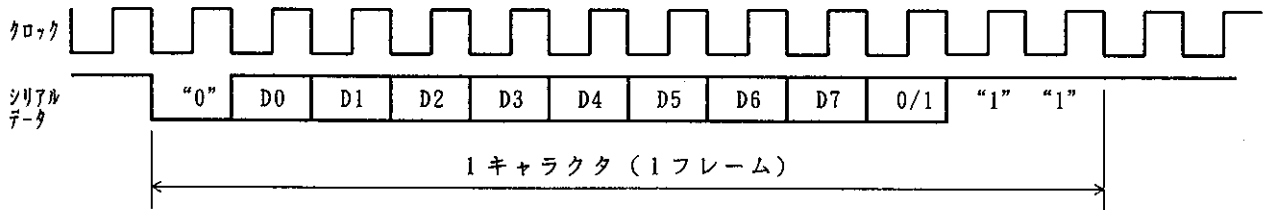


図10.6 出力クロックと通信データの位相関係 (調歩同期式モード)
(8ビットデータ/パリティあり/2ストップビットの例)

(3) データの送信/受信動作

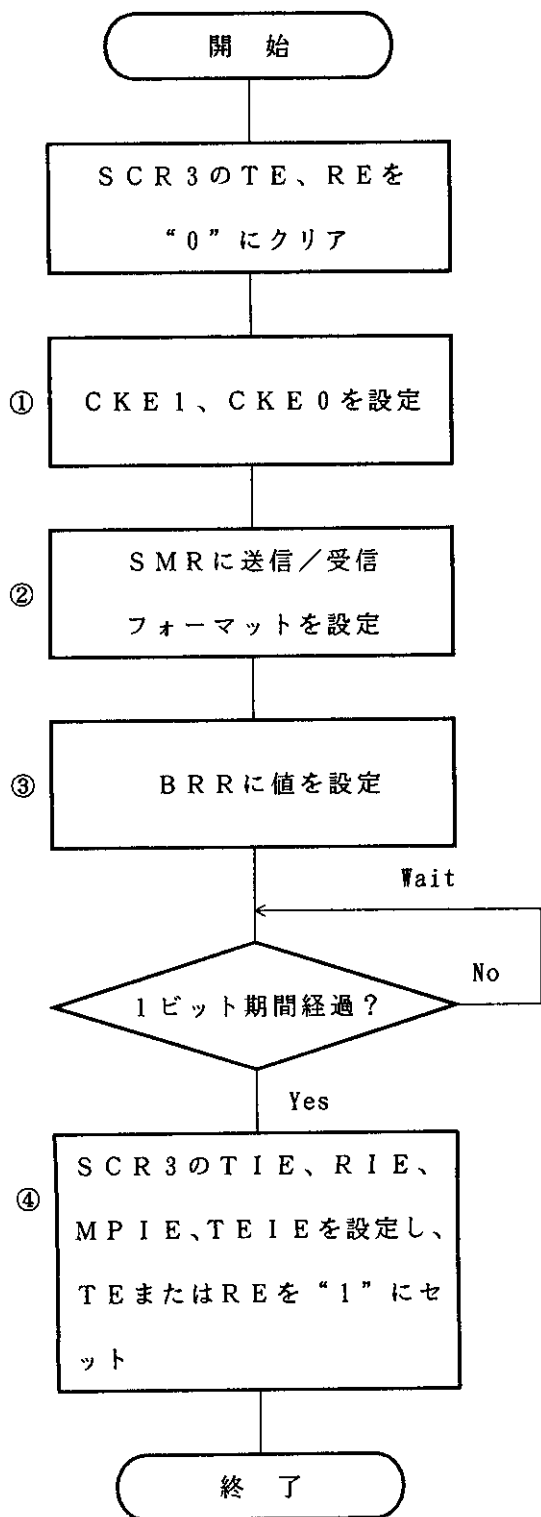
(a) SCI 3のイニシャライズ

データの送信/受信前には、まずSCR 3のTEおよびREを“0”にクリアした後、以下の手順にしたがってイニシャライズしてください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、かならずTEおよびREを“0”にクリアしてから変更してください。TEを“0”にクリアすると、TDREは“1”にセットされます。REを“0”にクリアしても、RDRF、PER、FER、OERの各フラグ、およびRDRの内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、イニシャライズ中にクロックを供給しないでください。

図10.7にSCI3をイニシャライズするときのフローチャートの例を示します。



① SCR3にクロックの選択を設定してください。
 なお、その他のビットは必ず“0”を設定してください。調歩同期式モードでクロック出力を選択した場合には、CKE1、CKE0の設定後、ただちにクロックが出力されます。クロック同期式モードの受信でクロック出力を選択した場合には、CKE1、CKE0およびREを“1”にセットするとただちにクロックが出力されます。

② SMRに送信/受信フォーマットを設定します。

③ BRRに通信レートに対応する値をライトします。
 ただし、外部クロックを使用する場合にはこの作業は必要ありません。

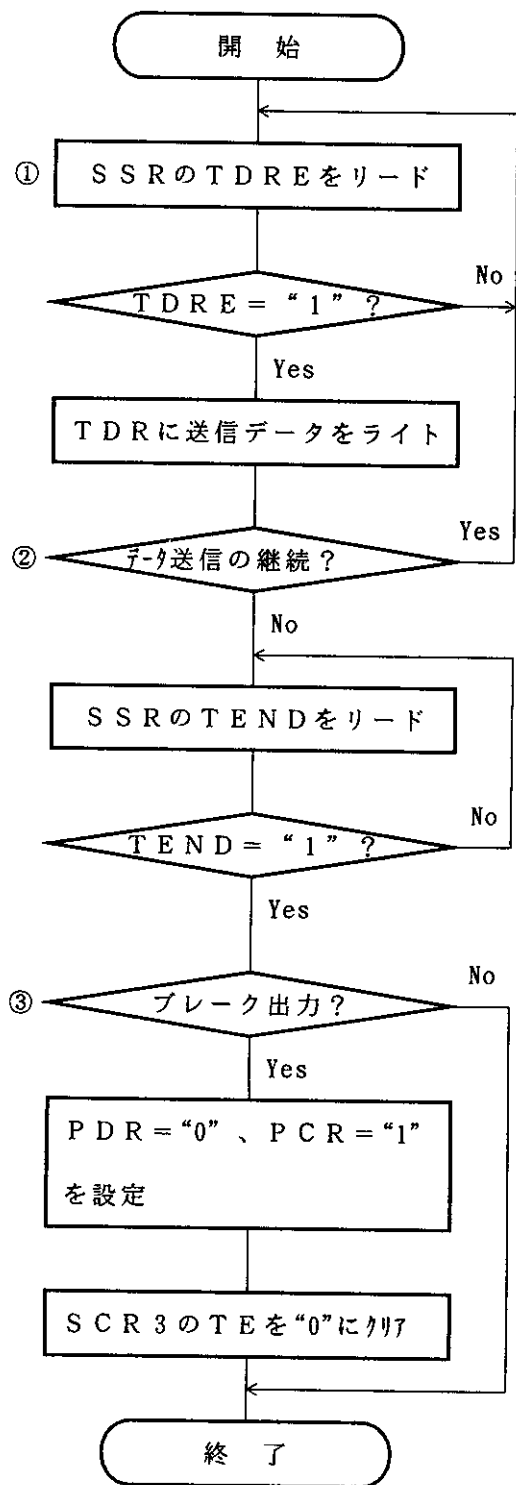
④ 少なくとも1ビット期間待ってから、SCR3のTIE、RIE、MPIE、TEIEを設定し、TEまたはREを“1”にセットします。TE、REの設定でTXD、RXD端子が使用可能となります。調歩同期式モードでは送信時には“マーク状態”となり、受信時にはスタートビット待ちのアイドル状態になります。

図10.7 SCI3をイニシャライズするときのフローチャートの例

(b) データ送信

図10.8にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



①SSRをリードして、TDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

②データ送信を継続するときには、必ずTDREの“1”をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

③データ送信の終了時にブレイクを出力するときには、ポートのPCR = “1”、PDR = “0”に設定した後にSCR3のTEを“0”にクリアします。

図10.8 データ送信のフローチャートの例（調歩同期式モード）

0 S C I 3 はデータ送信時に以下のように動作します。

S C I 3 は、SSRのTDREを監視し、“0”であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを“1”にセットして送信を開始します。このとき、SCR3のTIEが“1”にセットされているとTXIを発生します。

シリアルデータは、表10.3.11に示す通信フォーマットにしたがいTXD端子から送信されます。

その後、ストップビットを送り出すタイミングでTDREをチェックします。

TDREが“0”であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDREが“1”であるとSSRのTENDに“1”をセットし、ストップビット送出後、“1”を出力する“マーク状態”になります。このときSCR3のTEIEが“1”にセットされているとTEIを発生します。

図10.9に調歩同期式モードの送信時の動作例を示します。

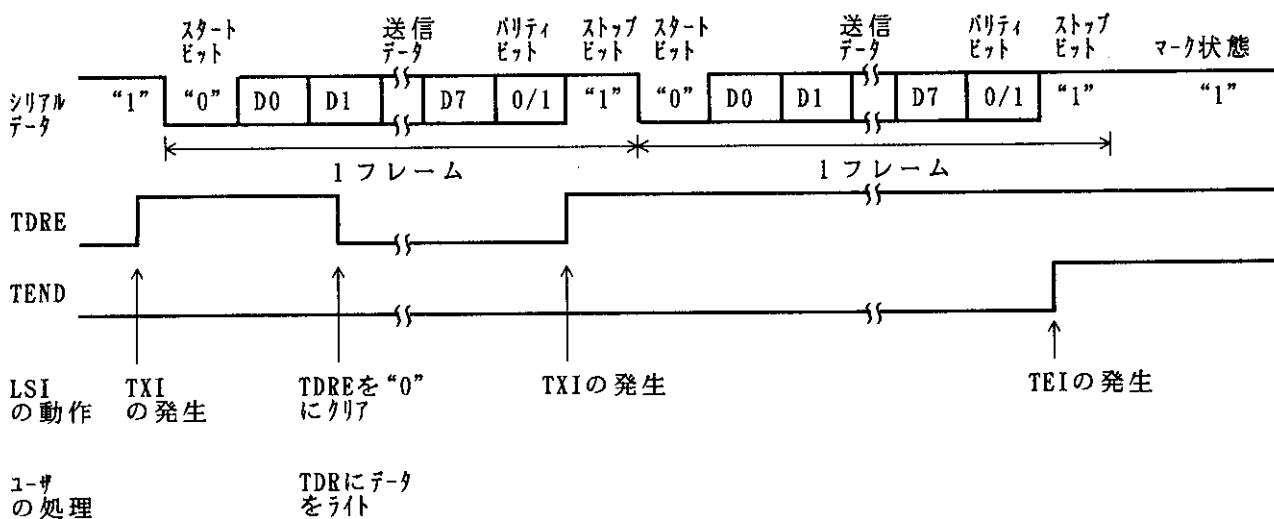


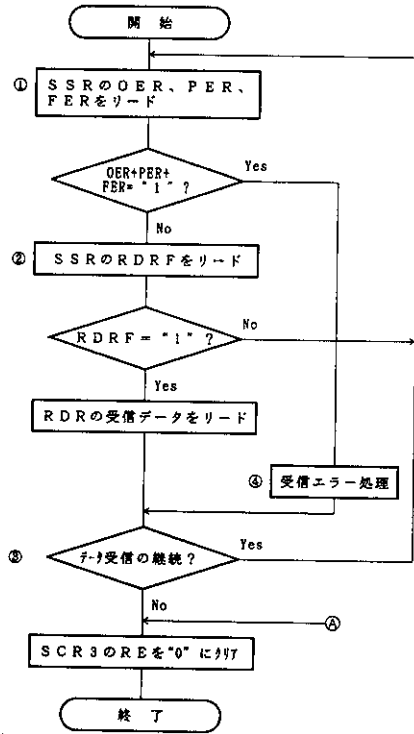
図10.9 調歩同期式モードの送信時の動作例

(8ビットデータ/パリティあり/1ストップビットの例)

(c) データ受信

図10.10にデータ受信のフローチャートの例を示します。

データ受信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRのOER、PER、FERをリードして、エラーを判定します。受信エラーが発生していた場合には受信エラー処理を実行します。

② SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRの受信データをリードします。なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

③ データ受信を継続するときには、現在のフレームのストップビットを受信する前に、RDRFのリード、RDRのリードを終了しておいてください。RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

④ 受信エラーが発生したときには、SSRのOER、PER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ず、OER、PER、FERをすべて“0”にクリアしてください。OER、PER、FERのどれかが“1”にセットされた状態では受信を再開できません。また、フレーミングエラー時にRXD端子の値をリードすることでブレイクの検出ができます。

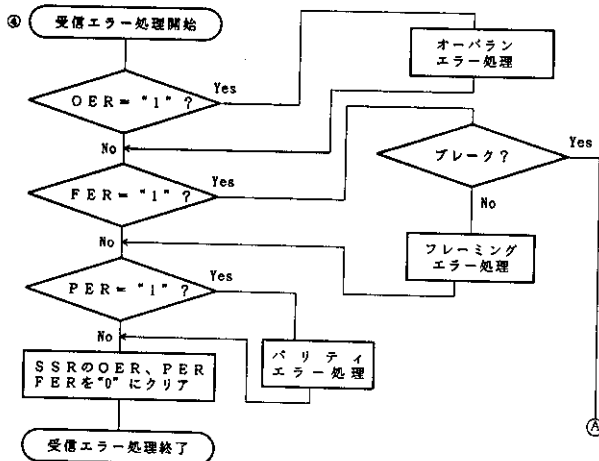


図10.10 データ受信のフローチャートの例（調歩同期式モード）

SCI3は受信時に以下のように動作します。

SCI3は通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し受信を開始します。受信は表10.3.11に示す通信フォーマットにしたがい、まず受信したデータをRSRのLSBからMSBの順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3は以下のチェックを行います。

・パリティチェック：

受信データの“1”の数をチェックし、これがSMRのPMで設定した偶数／奇数パリティになっているかをチェックします。

・ストップビットチェック：

ストップビットが“1”であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

・ステータスチェック：

RDRFが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったときRDRFが“1”にセットされ、RDRに受信データが格納されます。このときSCR3のRIEが“1”にセットされているとRXIを発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FERが“1”にセットされます。またRDRFはデータを受信する前の状態を保ちます。このとき、SCR3のRIEが“1”にセットされているとERIを発生します。

表10.15に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、PER、およびRDRFを“0”にクリアしてください。

表10.15 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSRのRDRFが“1”にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが“0”のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

調歩同期式モードの受信時の動作例を図10.11に示します。

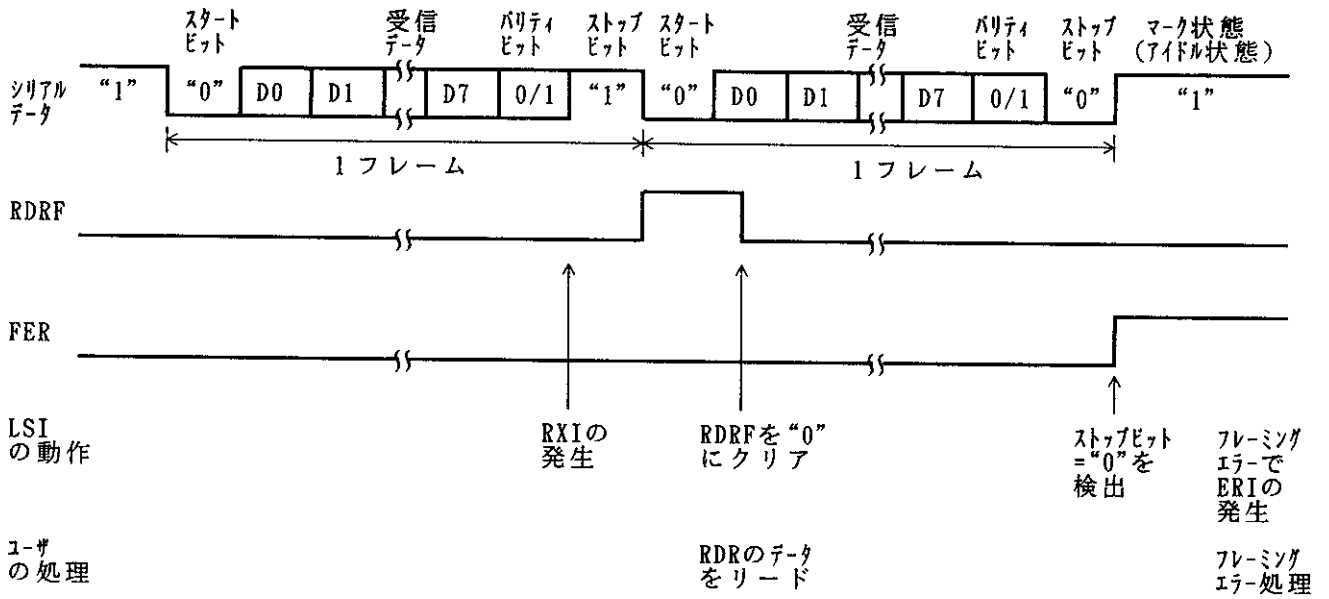


図10.11 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.3.5 クロック同期式モード時の動作説明

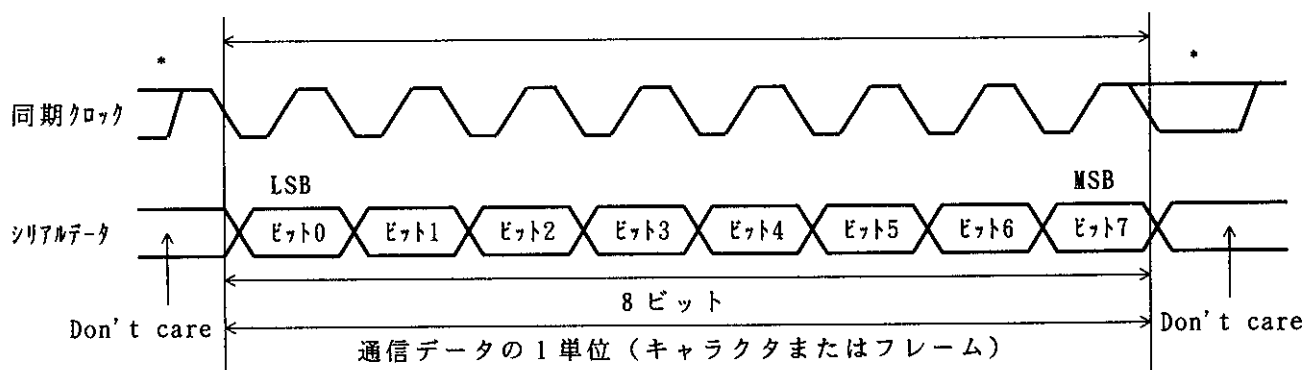
クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部／受信部は共にダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

(1) 送信／受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図10.12に示します。



【注】* 連続送信／受信のとき以外は“High”レベル

図10.12 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSBから始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI3は、受信時に同期クロックの立上がりに同期してデータを取り込みます。

送信／受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.12を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信/受信で8パルス出力され、送信および受信を行わないときには“High”レベルに固定されます。

(3) データの送信/受信動作

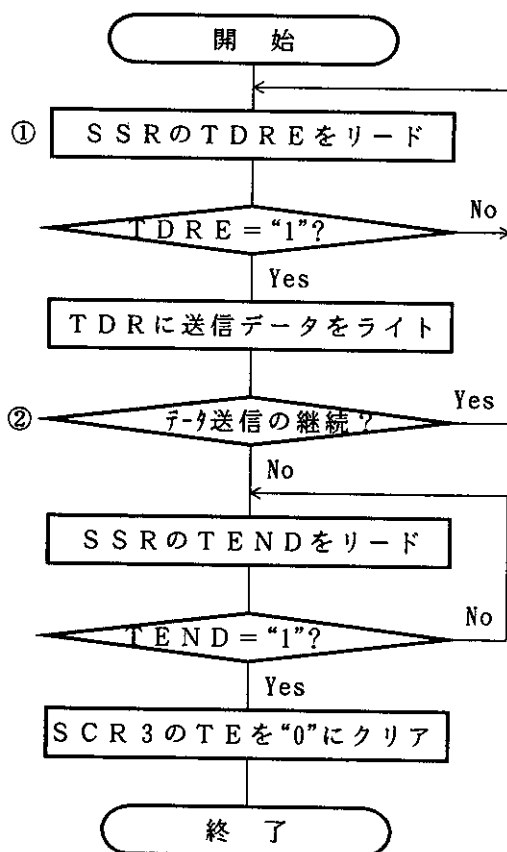
(a) SCI3のイニシャライズ

データの送信/受信前には、「10.3.4(3) (a)SCI3のイニシャライズ」の説明および、図10.7の例にしたがってSCI3をイニシャライズしてください。

(b) データ送信

図10.13にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。また、TDRにデータをライトするとクロックが出力され、データの送信が開始されます。

② データ送信を継続するときには、必ずTDREの“1”をリードして書込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

図10.13 データ送信のフローチャートの例（クロック同期式モード）

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、“0”であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを“1”にセットして送信を開始します。このとき、SCR3のTIEが“1”にセットされているとTXIを発生します。

クロック出力モードに設定したときには、SCI 3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB（ビット0）からMSB（ビット7）の順にTXD端子から送信されます。

その後、MSB（ビット7）を送り出すタイミングでTDREをチェックします。

TDREが“0”であるとTDRからTSRにデータを転送し、次のフレームの送信を開始します。TDREが“1”であるとSSRのTENDに“1”をセットし、MSB（ビット7）送出後、状態を保持します。このときSCR3のTEIEが“1”にセットされているとTEIを発生します。

送信終了後は、SCK₃端子は“High”レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ（OER、FER、PER）が“1”にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ（OER、FER、PER）が“0”にクリアされていることを確認してください。

図10.14にクロック同期式モードの送信時の動作例を示します。

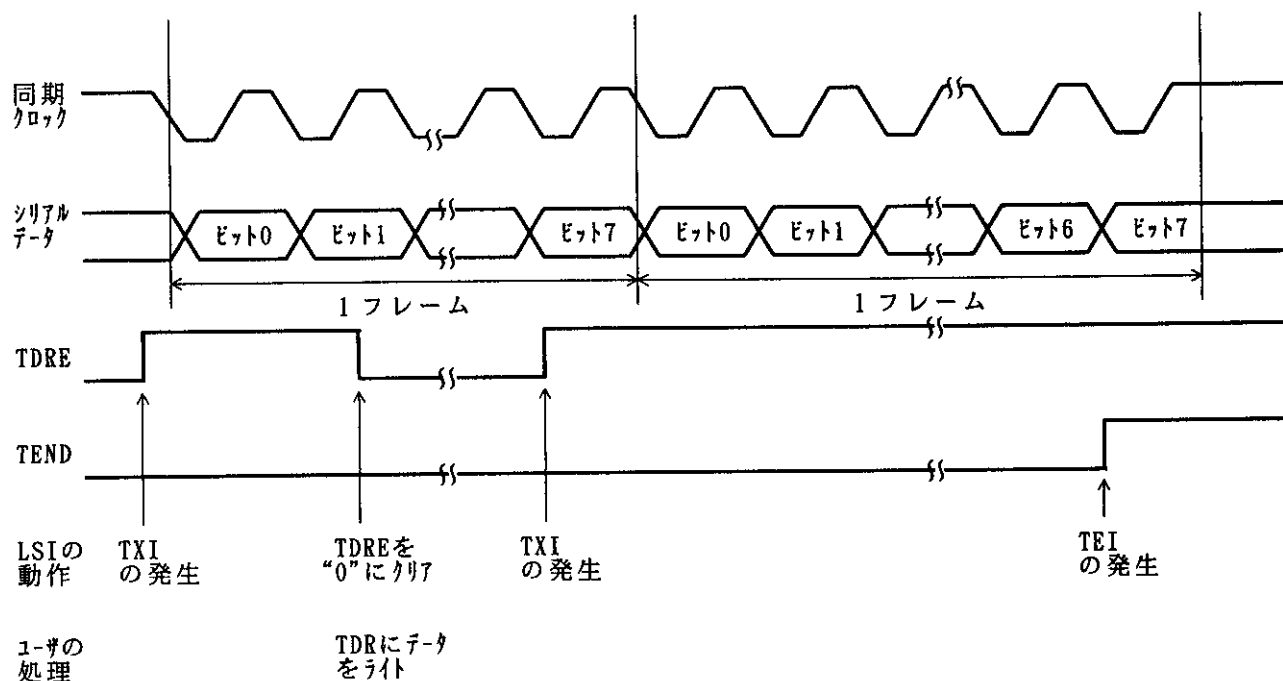
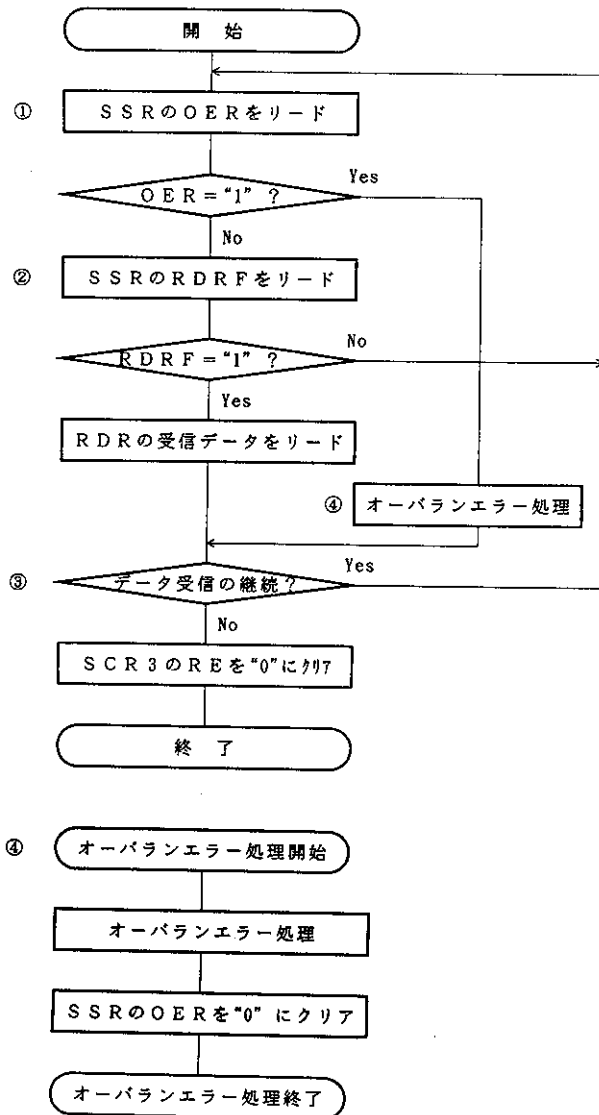


図10.14 クロック同期式モードの送信時の動作例

(c) データ受信

図10.15にデータ受信のフローチャートの例を示します。

データ受信はSCI 3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRのOERをリードして、エラーを判定します。オーバランエラーが発生していた場合にはオーバランエラー処理を実行します。

② SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRのデータをリードします。なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

③ データ受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFのリード、RDRのリードを終了しておいてください。RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

④ オーバランエラーが発生したときには、SSRのOERをリードしてから、所定のエラー処理を行った後、OERを“0”にクリアしてください。OERが“1”にセットされた状態では受信を再開できません。

図10.15 データ受信フローチャートの例（クロック同期式モード）

SCI 3は受信時に以下のように動作します。

SCI 3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
受信したデータをRSRのLSBからMSBの順にセットします。

受信後、SCI 3は、RDRFが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックの結果オーバーランエラーがなかったときRDRFが“1”にセットされ、RDRに受信データが格納されます。

このとき、SCR 3のRIEが“1”にセットされているとRXIを発生します。一方、エラーチェックでオーバーランエラーを検出するとOERが“1”にセットされます。また、RDRFは“1”にセットされた状態を保ちます。このとき、SCR 3のRIEが“1”にセットされているとERIを発生します。

オーバーランエラーの検出条件と受信データの処理については、表10.15を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、PER、およびRDRFを“0”にクリアしてください。

図10.16にクロック同期モードの受信時の動作例を示します。

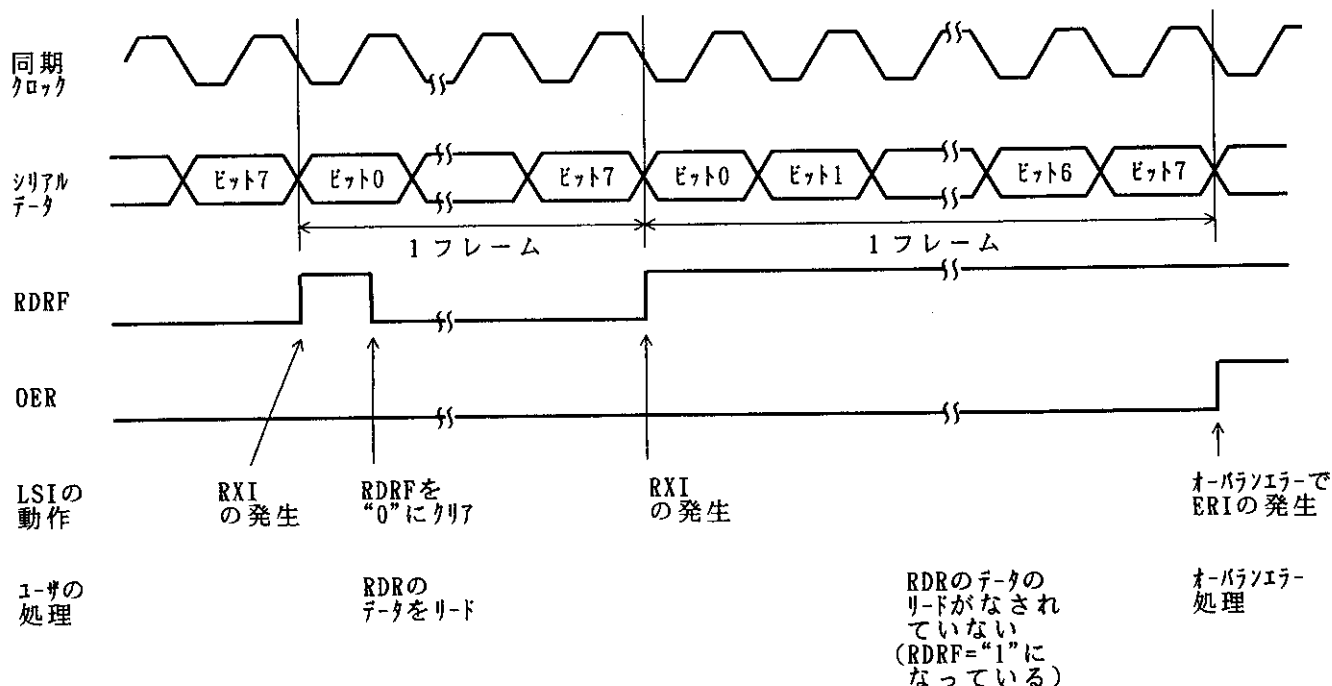
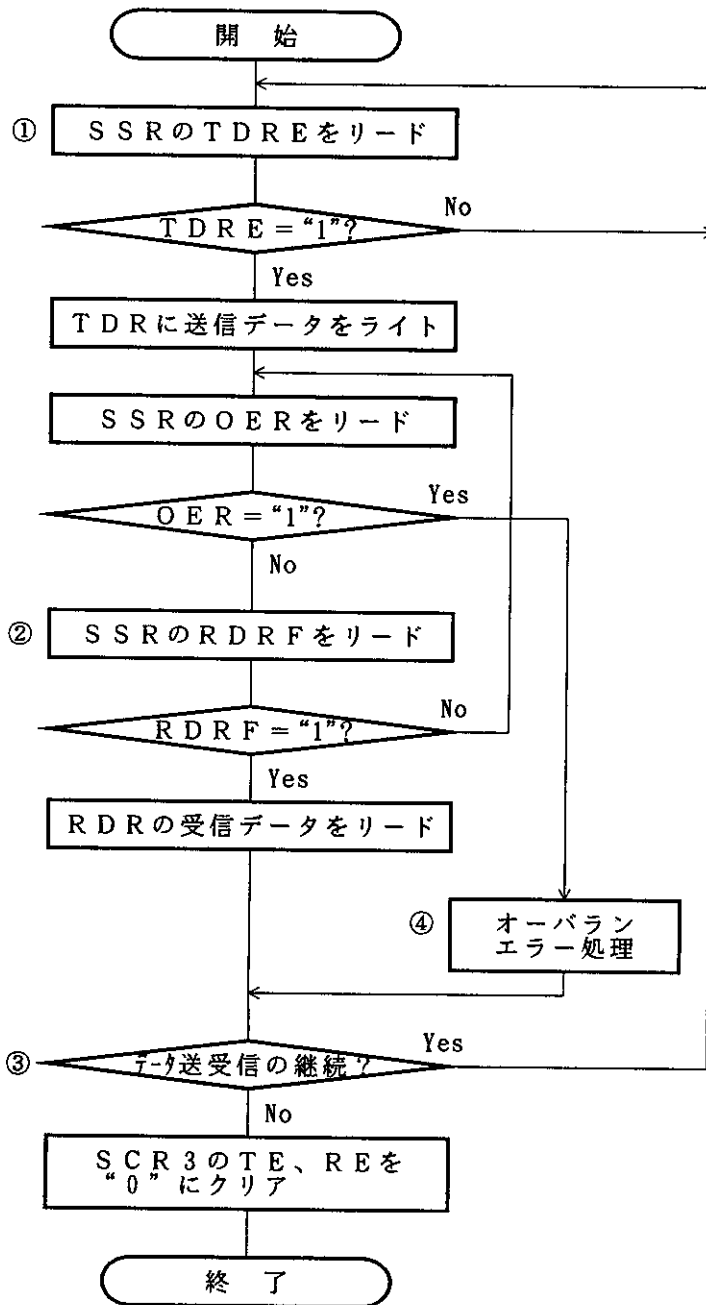


図10.16 クロック同期モードの受信時の動作例

(d) データ送受信同時動作

図10.17にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



- ① SSRをリードしてTDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。
- ② SSRをリードして、RDRFが“1”であることを確認した後、RDRの受信データをリードします。RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。
- ③ データ送受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFのリード、RDRのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREの“1”をリードして書込み可能であることを確認してTDRにデータをライトしておいてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。また、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。
- ④ オーバランエラーが発生したときには、SSRのOERをリードしてから、所定のエラー処理を行った後、OERを“0”にクリアしてください。OERが“1”にセットされた状態では送信および受信を再開できません。オーバランエラー処理については、図10.15を参照してください。

図10.17 データ送受信同時動作のフローチャートの例（クロック同期式モード）

- 【注】 1. 送信から同時送受信へ切り換えるときには、SCI 3が送信終了状態であること、TDREおよびTENDが“1”にセットされていることを確認した後、TEを“0”にクリアしてからTEおよびREを“1”にセットしてください。
2. 受信から同時送受信へ切り換えるときには、SCI 3が受信完了状態であることを確認し、REを“0”にクリアしてからRDRFおよびエラーフラグ(OER、FER、PER)が“0”にクリアされていることを確認した後、TEおよびREを“1”にセットしてください。

10.3.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードが割り付けられています。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局のIDコードに、マルチプロセッサビット“1”を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット“0”を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると、自局のIDと比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが“1”の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図10.18にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

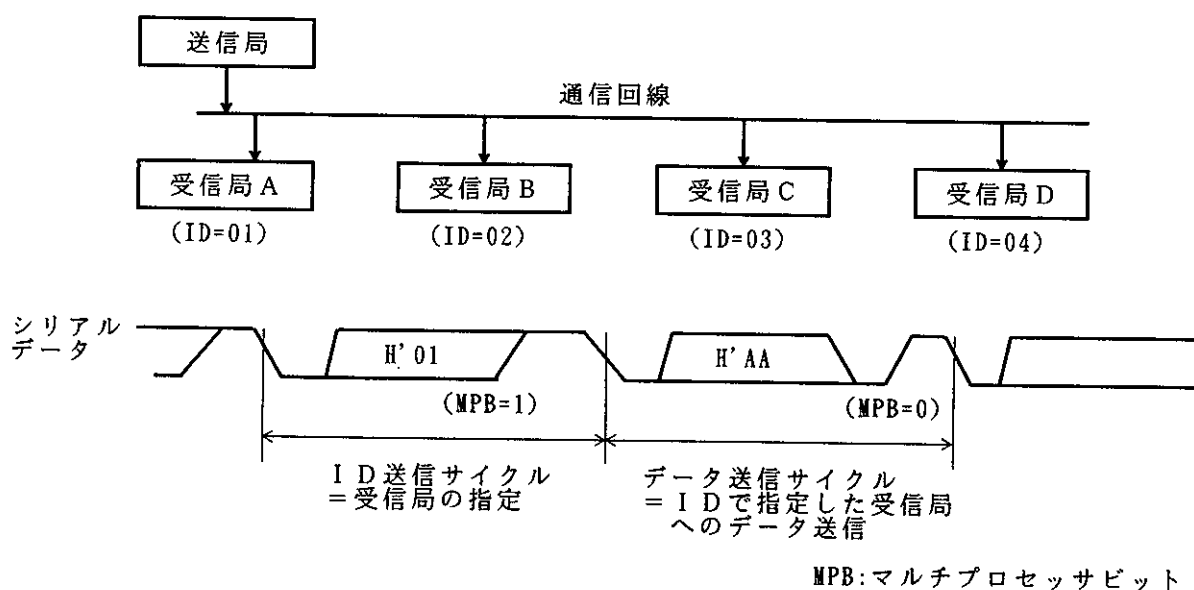


図10.18 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H' AA の送信の例)

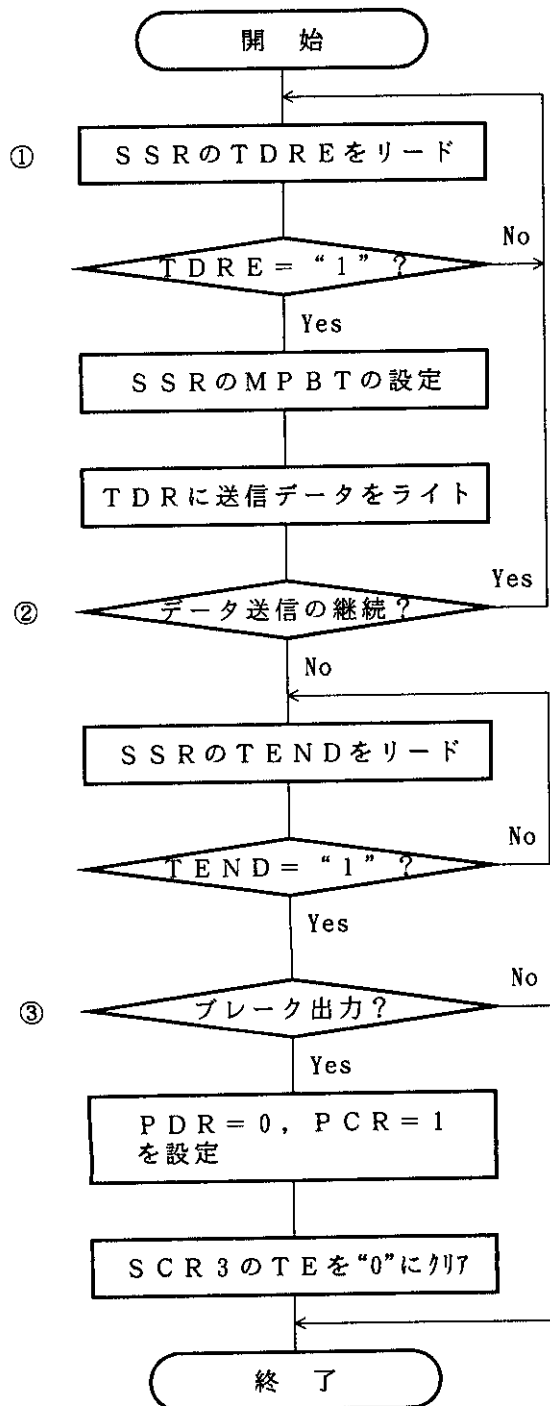
送信／受信フォーマットは4種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表10.14を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.3.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図10.19にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信はSCI3をイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが“1”であることを確認した後、SSRのMPBTを“0”または“1”に設定しTDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

② データ送信を継続するときには、必ずTDREの“1”をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

③ データ送信の終了時にブレークを出力するときには、ポートのPCR = “1”、PDR = “0”に設定した後にSCR3のTEを“0”にクリアします。

図10.19 マルチプロセッサデータ送信のフローチャートの例

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、“0”であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを“1”にセットして、送信を開始します。このとき、SCR3のTIEが“1”にセットされているとTXIを発生します。

シリアルデータは、表10.3.11に示す通信フォーマットに従い、TXD端子から送信されます。

その後、ストップビットを送り出すタイミングでTDREをチェックします。

TDREが“0”であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDREが“1”であるとSSRのTENDに“1”をセットし、ストップビット送出後、“1”を出力する“マーク状態”になります。このときSCR3のTEIEが“1”にセットされているとTEIを発生します。

図10.20にマルチプロセッサフォーマットの送信時の動作例を示します。

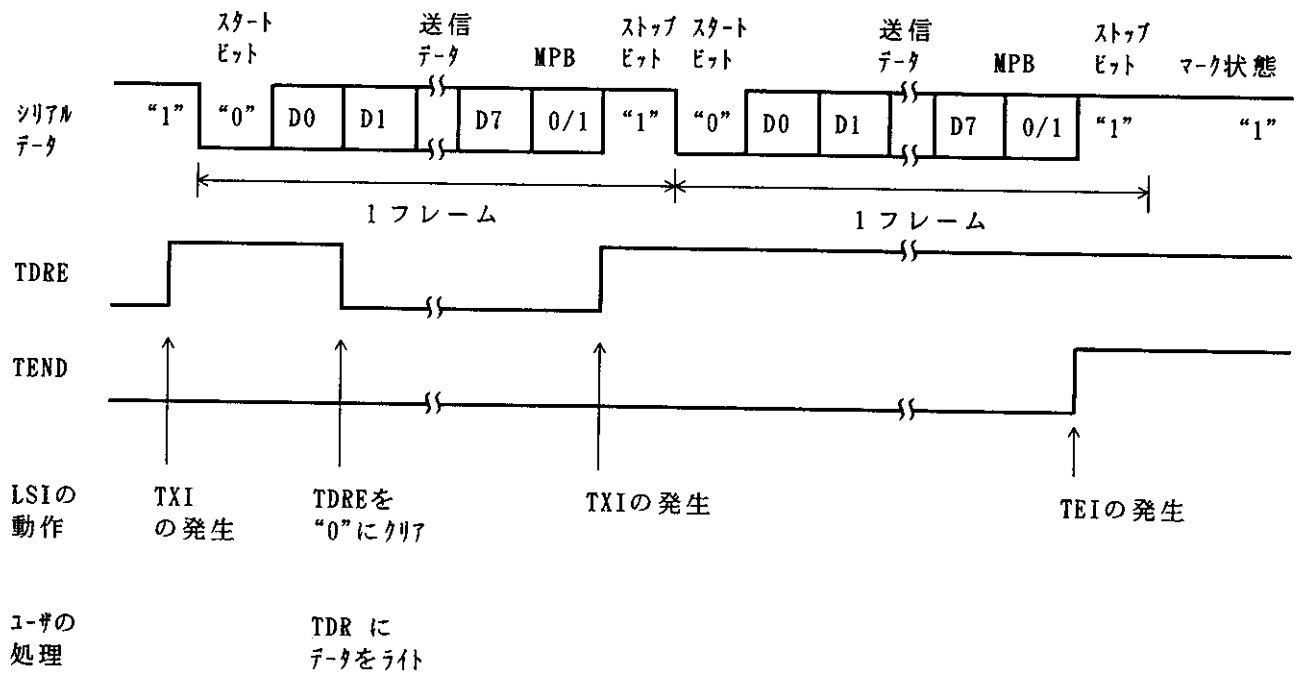
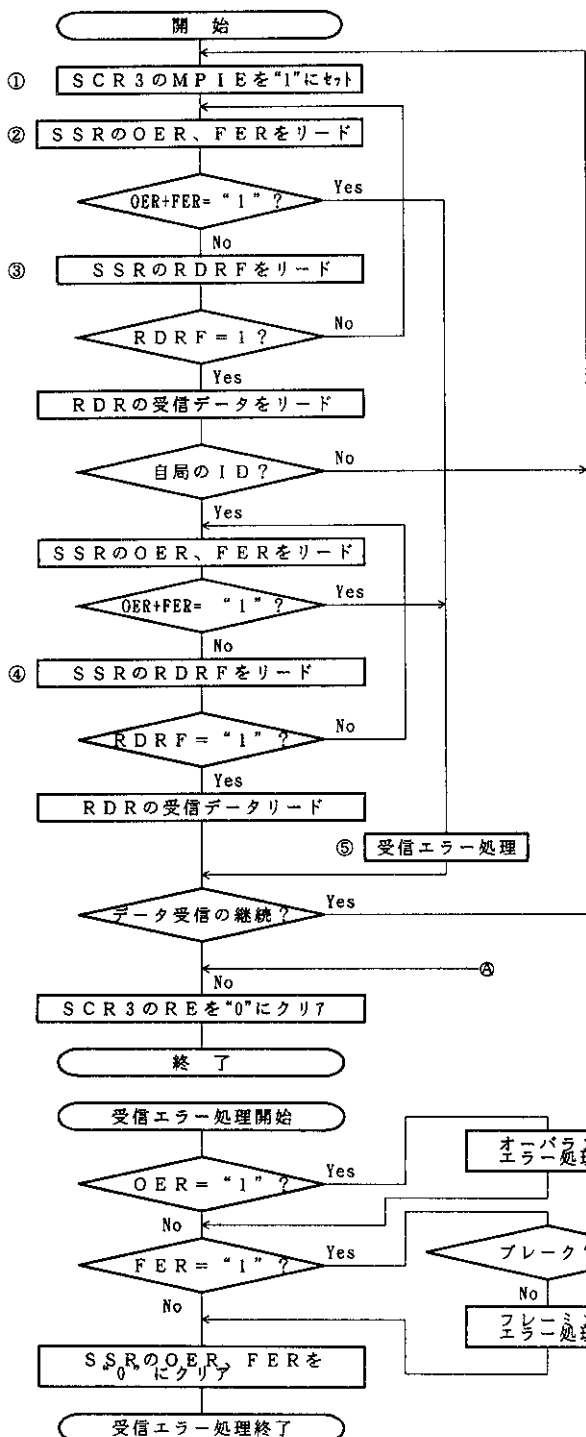


図10.20 マルチプロセッサフォーマットの送信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

(b) マルチプロセッサデータ受信

図10.21にマルチプロセッサデータ受信のフローチャートの例を示します。

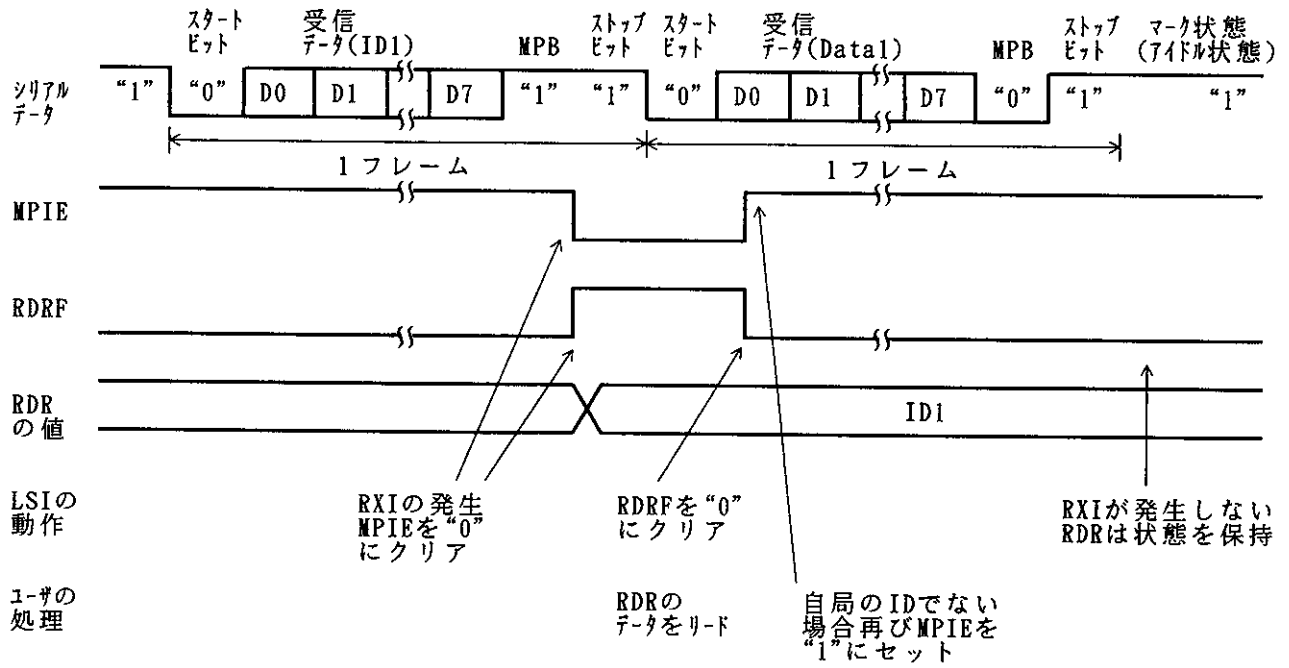
マルチプロセッサデータ受信はSCI3をイニシャライズ後、以下の手順にしたがって行ってください。



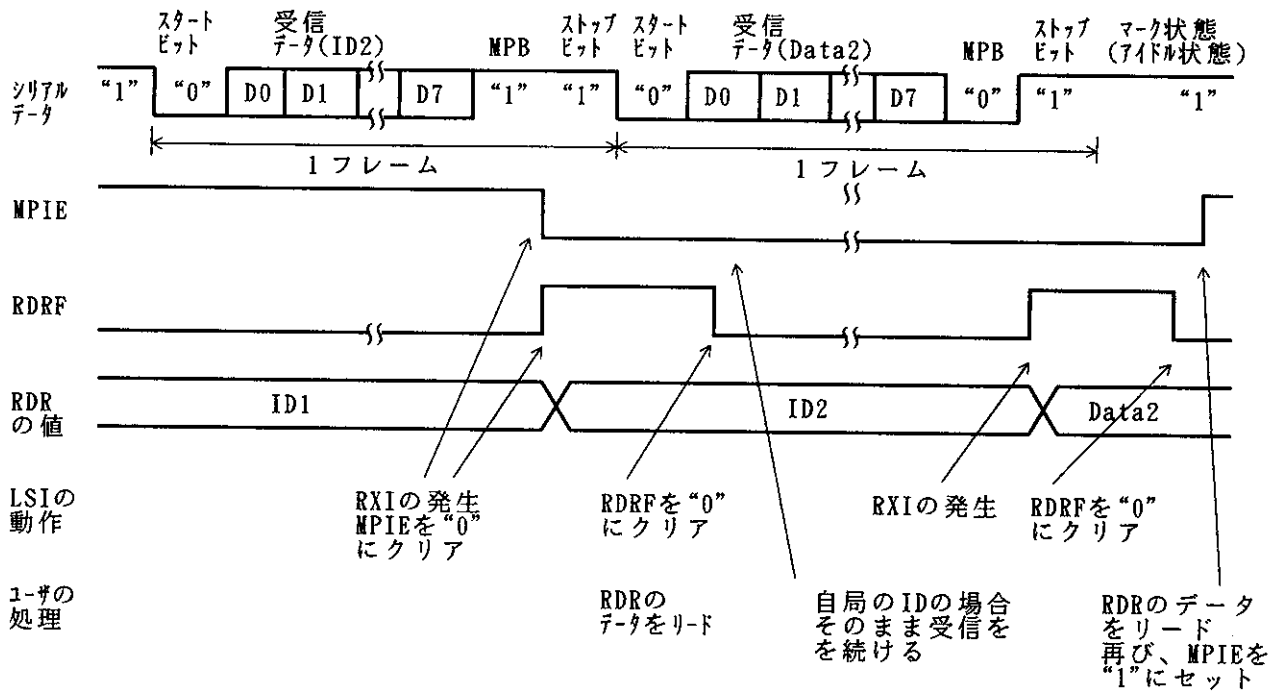
- ① SCR3のMPIEを“1”にセットします。
- ② SSRのOER、FERをリードしてエラーを判定します。受信エラーが発生していた場合には受信エラー処理を実行します。
- ③ SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びMPIEを“1”にセットします。なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。
- ④ SSRをリードして、RDRFが“1”であることを確認した後、RDRのデータをリードします。
- ⑤ 受信エラーが発生したときには、SSRのOER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ずOER、FERをすべて“0”にクリアしてください。OER、FERのいずれかが“1”にセットされた状態では受信を再開できません。また、フレミングエラー時にRXD端子の値をリードすることでブレイクの検出ができます。

図10.21 マルチプロセッサデータ受信のフローチャートの例

図10.22にマルチプロセッサフォーマットの受信時の動作例を示します。



(a) 自局のIDと一致しないとき



(b) 自局のIDと一致したとき

図10.22 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.3.7 割込み要因

SCI 3の割込み要因には、送信終了、送信データエンプティ、受信データフルおよび3種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計6種類があり、共通のベクタアドレスが割り付けられています。

表10.16に各割込み要求の内容を示します。

表10.16 SCI 3 割込み要求の内容

割込みの略称	割込み要求の内容	ベクタアドレス
RXI	受信データフル (RDRF) による割込み要求	H'0024
TXI	送信データエンプティ (TDRE) による割込み要求	
TEI	送信終了 (TEND) による割込み要求	
ERI	受信エラー (OER、FER、PER)による割込み要求	

各割込み要求は、SCR 3のTIE、RIEで許可/禁止できます。

SSRのTDREが“1”にセットされると、TXIが発生します。SSRのTENDが“1”にセットされると、TEIが発生します。この2つの割込みは送信時に発生します。

SSRのTDREは初期値が“1”になっています。したがって送信データをTDRへ転送する前にSCR 3のTIEを“1”にセットして送信データエンプティ割込み要求 (TXI) を許可すると、送信データが準備されていなくてもTXIが発生します。

また、SSRのTENDは初期値が“1”になっています。したがって、送信データをTDRへ転送する前にSCR 3のTEIEを“1”にセットして送信終了割込み要求 (TEI) を許可すると、送信データが送信されていなくてもTEIが発生します。

送信データをTDRへ転送する処理を割込み処理ルーチンの中で行うようにすることで、これらの割込み要求を有効に利用できます。

一方、これらの割込み要求 (TXI、TEI) の発生を防ぐためには、送信データをTDRへ転送した後に、これらの割込み要求に対応する許可ビット (TIE、TEIE) を“1”にセットしてください。

SSRのRDRFが“1”にセットされるとRXIが発生します。OER、PER、FERのいずれかが“1”にセットされるとERIが発生します。この2つの割込み要求は受信時に発生します。

割込みに関する詳細は「3.3 割込み」を参照してください。

10.3.8 使用上の注意事項

SCI 3を使用する際は、以下のことに注意してください。

(1) TDRへのライトとTDREの関係について

SSRのTDREはシリアル送信するデータがTDRに準備されていないことを示すステータスフラグです。TDRへデータを書き込むとTDREは自動的に“0”にクリアされます。またSCI 3がTDRからTSRにデータを転送すると、TDREが“1”にセットされます。

TDRへのデータのライトは、TDREの状態にかかわらず行うことができますが、TDREが“0”の状態新しいデータをTDRに書き込むと、TDRに格納されていた前のデータは、まだTSRに転送されていない場合失われてしまいます。したがって、シリアル送信を確実にこなうためにTDRへの送信データのライトは、必ずTDREが“1”にセットされていることを確認してから1回だけ行う（2回以上しない）ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSRの各ステータスフラグの状態は、表10.17に示すようにセットされます。オーバランエラーを検出した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表10.17 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+ フレーミングエラー
1	1	0	1	×	オーバランエラー+ パリティエラー
0	0	1	1	○	フレーミングエラー+ パリティエラー
1	1	1	1	×	オーバランエラー+フレーミング エラー+パリティエラー

○：RSR→RDRに受信データを転送します。

×：RSR→RDRに受信データを転送しません。

【注】* RDRFは、データ受信前の状態を保持します。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD端子の値を直接リードすることでブレークを検出できます。ブレークではRXD端子からの入力がすべて“0”になりますので、FERがセットされ、またPERもセットされる可能性があります。

SCI3は、ブレークを受信した後も受信動作を続けます。したがってFERを“0”にクリアしてもふたたびFERが“1”にセットされますので注意してください。

(4) マーク状態とブレークの送付

TEが“0”のとき、TXD端子はPDRとPCRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTXD端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。

TEを“1”にセットするまで、通信回線をマーク状態(“1”の状態)にするためには、PCR = “1”、PDR = “1”を設定します。このとき、TEが“0”にクリアされていますので、TXD端子はI/Oポートとなっており“1”が出力されます。

一方、データ送信時にブレークを送付したいときは、PCR = “1”、PDR = “0”に設定した後TEを“0”にクリアします。

TEを“0”にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD端子はI/Oポートになり、TXD端子から“0”が出力されます。

(5) 受信エラーフラグと送信動作について(クロック同期式モードのみ)

受信エラーフラグ(OER、PER、FER)が“1”にセットされた状態では、TDREを“0”にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを“0”にクリアしておいてください。

また、REを“0”にクリアしても受信エラーフラグは“0”にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、S C I 3 は転送レートの16倍の周波数の基本クロックで動作しています。受信時にはS C I 3 は、スタートビットの立下がりを基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの8ヶ目の立上がりエッジで内部に取り込みます。これを図10.23に示します。

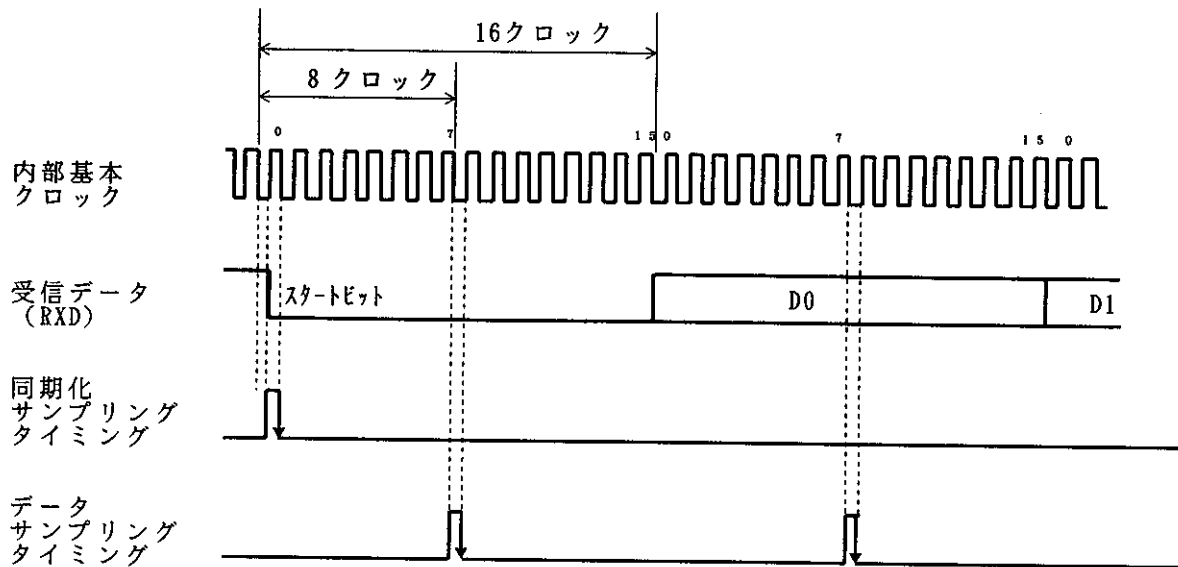


図10.23 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \text{-----式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5とすると、受信マージンは式(2)より46.875%となります。

D = 0.5、F = 0 のとき、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] \\ = 46.875\% \quad \text{-----式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) RDRのリードとRDRFの関係について

SCI 3は受信動作において、RDRFフラグをチェックしながら動作します。1フレームの受信終了のタイミングでRDRFが“0”にクリアされていれば、通常データ受信を完了します。またRDRFが“1”にセットされていれば、オーバランエラーとなります。

RDRの内容をリードすると、RDRFは自動的に“0”にクリアされます。したがって、RDRのリードを2回以上行う場合、2回目以降のリード操作はRDRFが“0”の状態で行われます。RDRFが“0”の状態でRDRのリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図10.24に示します。

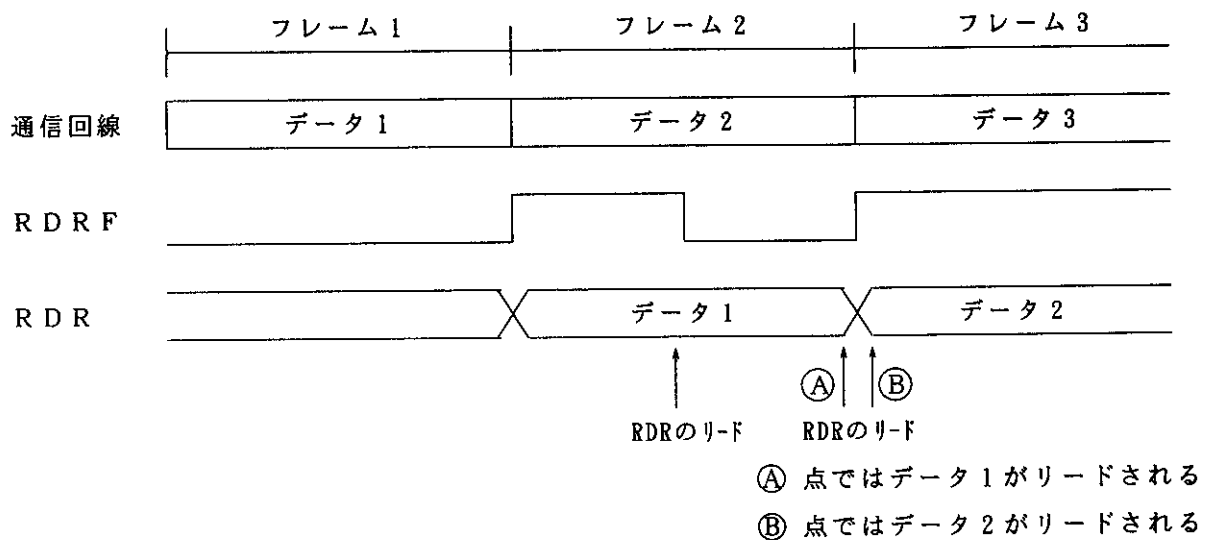


図10.24 RDRのリードタイミングとデータの関係

この場合、RDRのリード操作はRDRFが“1”にセットされていることを確認してから、1回のみ行う(2回以上しない)ようにしてください。2回以上リードする場合は、1回リードしたデータをRAM等に転送し、その内容を使用するようにしてください。また、RDRのリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット7の転送前まで、調歩同期式モードではSTOPビットの転送前までにRDRのリードを完了してください。

(8) SCK₃の端子機能切換えに伴う注意事項

SCI 3をクロック同期式モードで使用した後、SCK₃端子をクロック出力から入出力ポートに端子機能を切換えるとSCK₃端子に端子機能切換えのタイミングで瞬時(システムクロックφの1/2の期間)“Low”レベルを出力しますので注意してください。

この瞬時の“Low”レベル出力を回避するには次の方法があります。

(a) SCK₃端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1命令でSCR 3のTEビット、REビットを“0”にクリアすると同時にCKE 1ビットを“1”、CKE 0ビットを“0”に設定してください。

この場合は、SMRのCOMビット=“1”の状態で使用してください。したがって、入出力ポートとしては使用できません。また、SCK₃端子に中間電位が印加しないようにSCK₃端子に接続したラインは抵抗を介してV_{cc}電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK₃端子をクロック出力から入出力ポートに端子機能を切替える場合

送受信を停止する際、まず1命令でSCR3のTEビット、REビットを共に“0”にクリアすると同時にCKE1ビットを“1”、CKE0ビットを“0”に設定してください。

次にSMRのCOMビットを“0”にクリアしてください。

最後にSCR3のCKE1、CKE0ビットを共に“0”にクリアしてください。

この場合もSCK₃端子に中間電位が印加しないように注意してください。

(9) TXD端子機能切替えに伴う注意事項

SCI3をクロック同期式モードで使用した後、TXD端子をデータ出力から入出力ポートに端子機能を切替えるとTXD端子に端子機能切替えのタイミングで瞬時（システムクロックφの期間）“High”レベルを出力しますので注意してください。

11. DTMF発生回路

第11章 目次

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-3
11.2.1	DTMFコントロールレジスタ (DTCR)	11-3
11.2.2	DTMFロードレジスタ (DTLR)	11-5
11.3	動作説明	11-6
11.3.1	出力波形	11-6
11.3.2	動作フロー	11-7
11.4	応用回路例	11-8
11.5	使用上の注意	11-8

11.1 概要

本 L S I は、D T M F (Dual Tone Multi Frequency) 発生回路を内蔵しており、D T M F 信号を発生させることができます。

D T M F 信号は、交換機をアクセスする 2 種類の正弦波で構成され、図 11.1 に示す周波数のマトリックスで表せます。D T M F 発生回路は、各数字、記号に対応する周波数を発生させます。

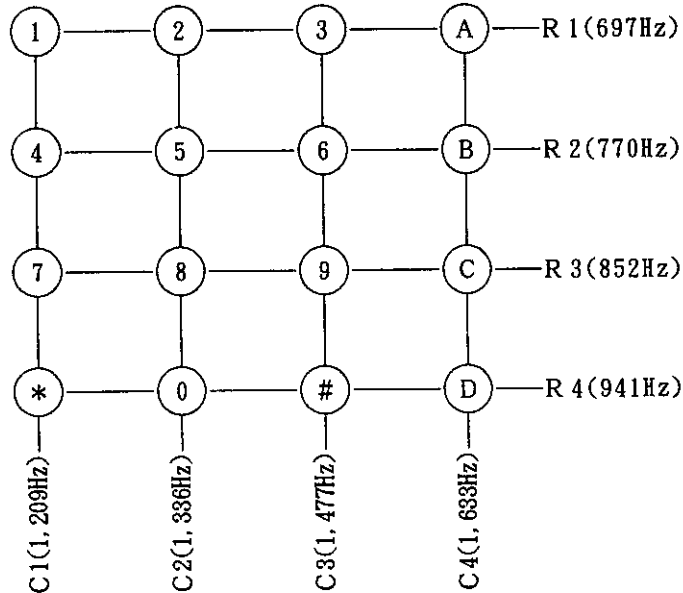


図 11.1 D T M F 周波数

11.1.1 特長

D T M F 発生回路の特長を以下に示します。

■ O S C クロック (f_{osc}) から D T M F 周波数の正弦波を生成

O S C クロック (1.2MHz~10MHz、400kHz 刻み) を分周して、400kHz のクロックを生成し、これを変形プログラムデバイダ、正弦波カウンタのフィードバックループに入力することで D T M F 周波数の正弦波を生成します。

■ 低歪率の安定した正弦波形を出力可能

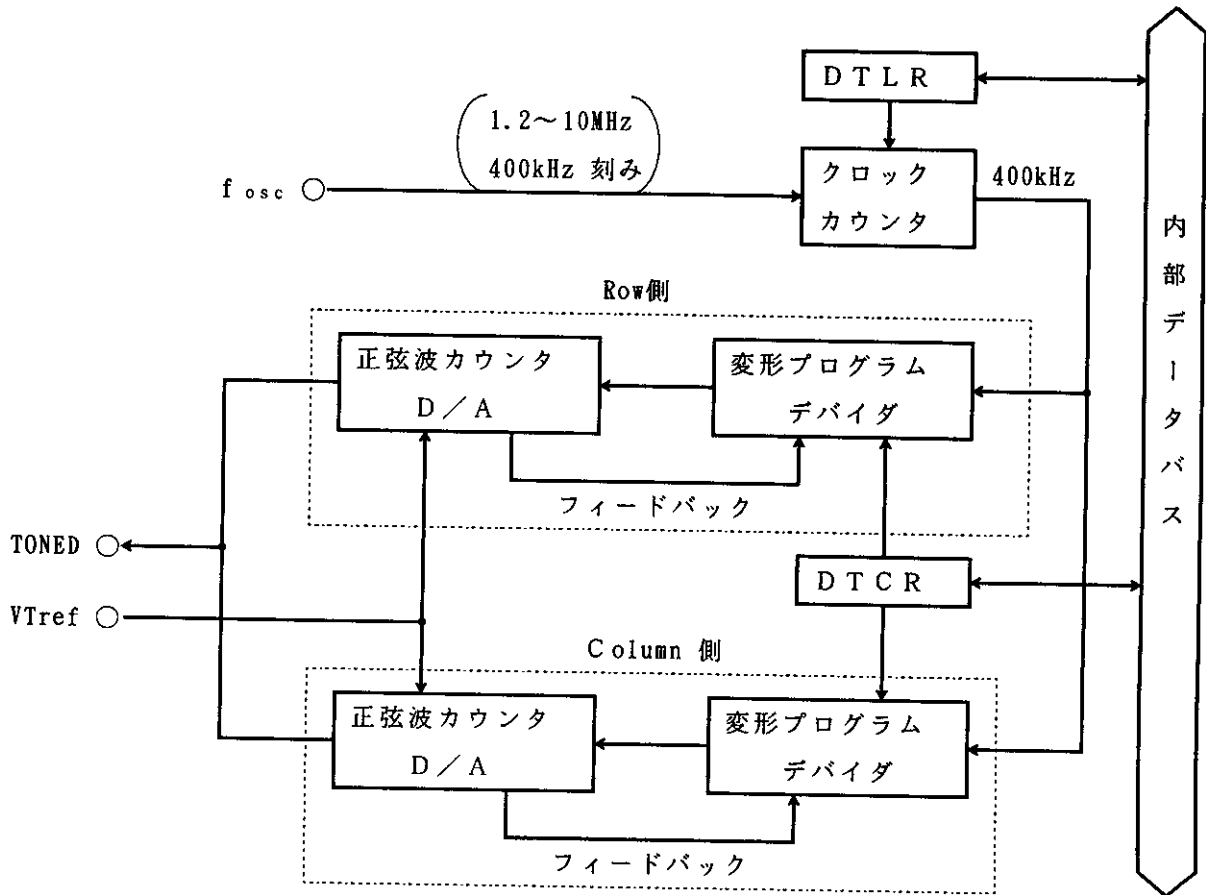
正弦波は、高精度抵抗ラダー型 D/A 変換回路で出力され、また 1 サイクルを 32 分割しているため、低歪率の安定な波形を得られます。

■ 合成または単独の波形出力選択可能

レジスタ設定により Row グループと Column グループの合成出力または、Row グループ、Column グループ単独の出力を選択できます。

11.1.2 ブロック図

D T M F 発生回路のブロック図を、図11.2に示します。



<記号説明>

D T L R : D T M F ロードレジスタ

D T C R : D T M F コントロールレジスタ

図11.2 D T M F 発生回路のブロック図

11.1.3 端子構成

D T M F 発生回路の端子構成を表11.1に示します。

表11.1 端子構成

名 称	略称	入出力	機 能
D T M F 出力基準レベル電源	V T r e f	—	D T M F 出力の基準レベル電源端子
D T M F 信号出力	T O N E D	出 力	D T M F 信号出力端子

11.1.4 レジスタ構成

D T M F 発生回路のレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
D T M F コントロールレジスタ	D T C R	R/W	H'40	H'FFB2
D T M F ロードレジスタ	D T L R	R/W	H'E0	H'FFB3

11.2 各レジスタの説明

11.2.1 D T M F コントロールレジスタ (D T C R)

ビット:	7	6	5	4	3	2	1	0
	DTEN	—	CLOE	RWOE	CLF1	CLF0	RWF1	RWF0
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

D T C R は、8ビットのリード/ライト可能なレジスタで、D T M F 発生回路動作、Column 側出力、Row側出力の制御、出力周波数の選択を行います。

リセット時、D T C R はH'40にイニシャライズされます。

ビット7 : D T M F 発生回路動作制御 (D T E N)

D T M F 発生回路を動作または停止させます。

ビット7	説 明
D T E N	
0	D T M F 発生回路を停止 (初期値)
1	D T M F 発生回路を動作

ビット6 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5 : Column 側出力制御 (CLOE)

Column 側DTMF信号出力を許可または禁止します。

ビット5	説 明
CLOE	
0	Column 側DTMF信号出力を禁止 (ハイインピーダンス) (初期値)
1	Column 側DTMF信号を許可

ビット4 : Row側出力制御 (RWOE)

Row側DTMF信号出力を許可または禁止します。

ビット4	説 明
RWOE	
0	Row側DTMF信号出力を禁止 (ハイインピーダンス) (初期値)
1	Row側DTMF信号を許可

ビット3、2 : Column 側DTMF信号出力周波数1、0 (CLF1、CLF0)

Column 側DTMF信号 (C1~C4) の周波数を選択します。

ビット3	ビット2	説 明
CLF1	CLF0	
0	0	Column 側DTMF信号出力周波数 : 1209Hz(C1) (初期値)
0	1	Column 側DTMF信号出力周波数 : 1336Hz(C2)
1	0	Column 側DTMF信号出力周波数 : 1447Hz(C3)
1	1	Column 側DTMF信号出力周波数 : 1633Hz(C4)

ビット1、0 : Row側DTMF信号出力周波数1、0 (RWF1、RWF0)

Row側DTMF信号 (R1~R4) の周波数を選択します。

ビット1	ビット0	説 明
RWF1	RWF0	
0	0	Row側DTMF信号出力周波数 : 697Hz(R1) (初期値)
0	1	Row側DTMF信号出力周波数 : 770Hz(R2)
1	0	Row側DTMF信号出力周波数 : 852Hz(R3)
1	1	Row側DTMF信号出力周波数 : 941Hz(R4)

11.2.2 DTMFロードレジスタ (DTLR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	DTL4	DTL3	DTL2	DTL1	DTL0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

DTLRは、8ビットのリード/ライト可能なレジスタで、DTMF発生回路用にOSCクロックの分周比を設定します。

リセット時、DTLRはH'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4～0：OSCクロック分周比4～0 (DTL4～DTL0)

DTMF発生回路に入力する400kHzのクロックを生成するために、OSCクロックの分周比を設定します。分周比はOSCクロック1.2～10MHz(400kHz刻み)に対応して、3～25のカウンタ値を設定します。

ビット4	ビット3	ビット2	ビット1	ビット0	説 明
DTL4	DTL3	DTL2	DTL1	DTL0	分 周 比 OSCクロック周波数
0	0	0	0	0	設定禁止 (初期値)
0	0	0	0	1	設定禁止
0	0	0	1	0	設定禁止
0	0	0	1	1	3 1.2 MHz
0	0	1	0	0	4 1.6 MHz
⋮	⋮	⋮	⋮	⋮	⋮ ⋮
1	1	0	0	1	25 10 MHz
1	1	0	1	*	設定禁止
1	1	1	*	*	設定禁止

* Don't care

本ビットの設定値が、OSCクロックと合っていない場合、正常なDTMF信号の出力周波数が得られません。また、本ビットの設定値が、3～25以外の場合、動作が保障されませんので、本ビットには正しい値を設定して下さい。

11.3 動作説明

11.3.1 出力波形

D T M F 発生回路は、TONED端子より Rowグループ、Columnグループの合成波または Rowグループ、Columnグループ単独の正弦波（D T M F 信号）を出力します。これらの信号は、高精度抵抗ラダー型 D / A 変換回路で生成されます。出力周波数は、D T C R により設定します。

TONED端子出力の等価回路を図11.3に、また Rowグループ、Columnグループ単独時の出力波形を図11.4に示します。出力波形は1サイクルを32分割しているため、低歪率で安定な出力を得られます。

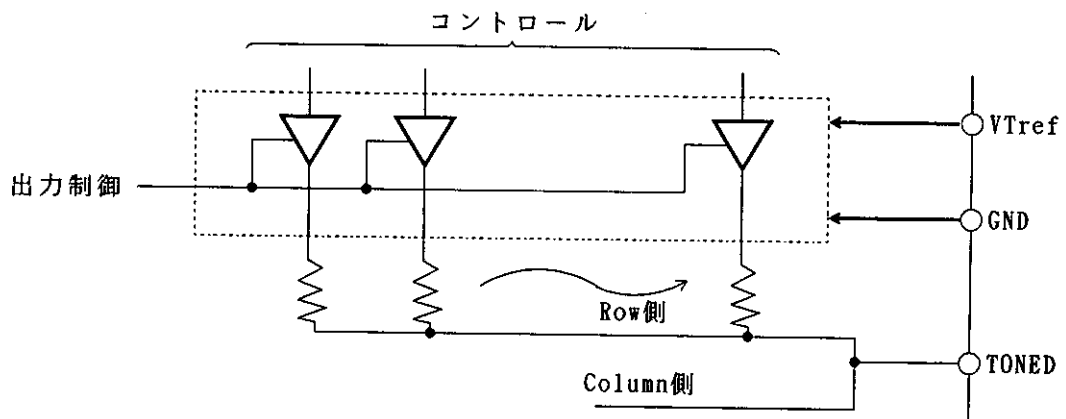


図11.3 TONED端子出力等価回路

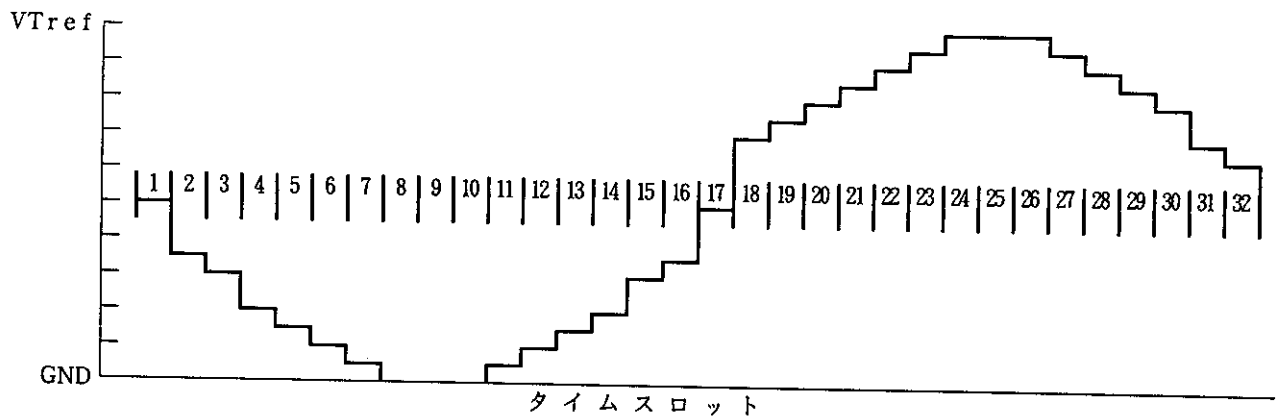


図11.4 TONED端子出力波形（Rowグループ、Columnグループ単独時）

D T M F 発生回路の出力信号と標準信号との周波数偏差を表11.3に示します。

表11.3 D T M F 出力信号と標準信号との周波数偏差

記号	標準信号 (Hz)	D T M F 信号出力 (Hz)	周波数偏差 (%)
R 1	697	694.44	- 0.37
R 2	770	769.23	- 0.10
R 3	852	851.06	- 0.11
R 4	941	938.97	- 0.22
C 1	1209	1212.12	0.26
C 2	1336	1333.33	- 0.20
C 3	1477	1481.48	0.30
C 4	1633	1639.34	0.39

11.3.2 動作フロー

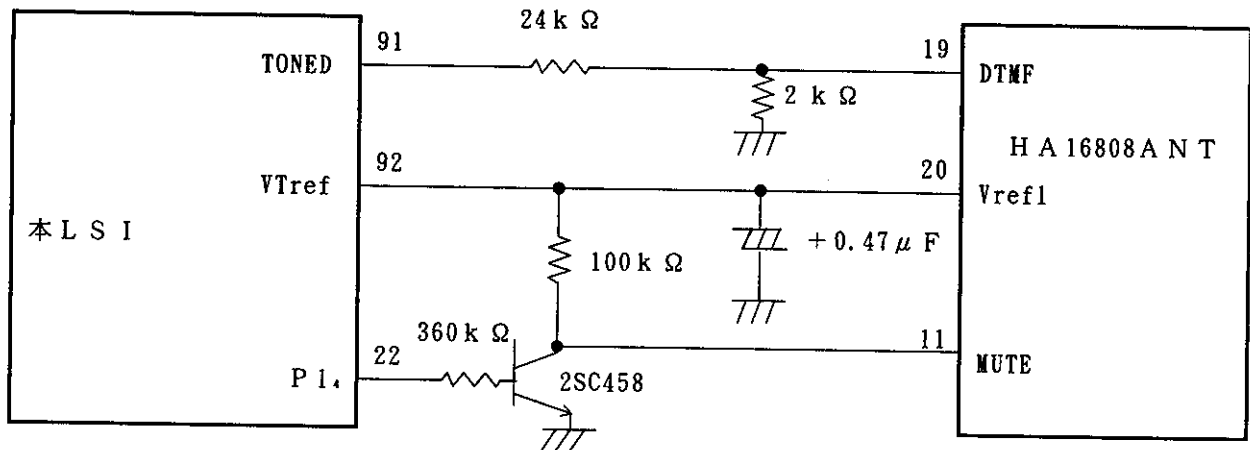
D T M F 発生回路の操作手順を以下に示します。

- ① 接続されている O S C クロック発振子の周波数に合わせて、O S C クロック分周比を D T L R に設定します(1.2MHz~10MHz、400kHz刻み)。
- ② D T C R の C L F 1、C L F 0、R W F 1、R W F 0 により、Row側 (R 1~R 4)、Column側 (C 1~C 4) の周波数を設定します。
- ③ D T C R の C L O E、R W O E により、Row側、Column側の出力を選択し、D T E N を “1” にセットして、D T M F 発生回路を動作させます。

上記の手順で、設定された D T M F 信号が T O N E D 端子より出力されます。

11.4 応用回路例

D T M F 発生回路の応用例を図11.5に示します。



【注】信号線の両端の数字は、それぞれのデバイスの端子番号です。

図11.5 HA16808ANTとの接続例

11.5 使用上の注意

D T M F 発生回路を使用するときには、次の点に注意してください。

D T L R の設定値と、O S C クロックを必ず合わせてください。D T L R の設定値と O S C クロックが異なる場合には、正常な D T M F 信号の出力周波数が得られません。

12. A/D変換器

第12章 目次

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/Dリザルトレジスタ (ADRR)	12-4
12.2.2	A/Dモードレジスタ (AMR)	12-4
12.2.3	A/Dスタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A/D変換動作	12-7
12.3.2	外部トリガによるA/D変換器の起動	12-7
12.4	割込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12

12.1 概要

本LSIは、抵抗ラダー方式による逐次比較型A/D変換器を内蔵しており、最大8チャンネルのアナログ入力の測定ができます。

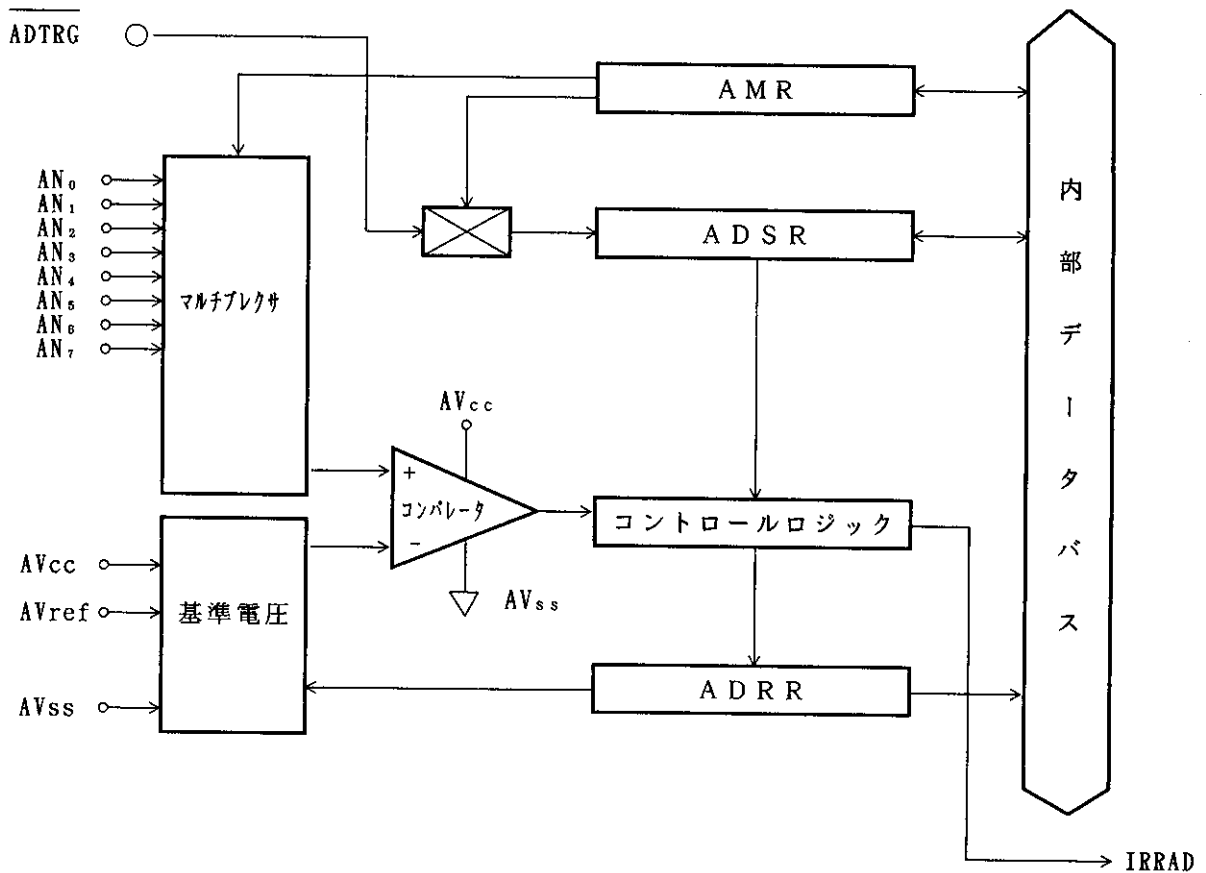
12.1.1 特長

A/D変換器の特長を以下に示します。

- 8ビットの分解能
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり12.4 μ s（5MHz動作時）
- サンプル&ホールド機能
- A/D変換終了割込み要求を発生
- 外部トリガ入力により、A/D変換開始を指定可能
- AVref端子により、アナログ変換電圧範囲の設定が可能

12.1.2 ブロック図

A/D変換器のブロック図を図12.1に示します。



<記号説明>

- AMR : A/Dモードレジスタ
- ADSR : A/Dスタートレジスタ
- ADRR : A/Dリザルトレジスタ

図12.1 A/D変換器ブロック図

12.1.3 端子構成

A/D変換器の端子構成を表12.1に示します。

表12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{cc}	入力	アナログ部の電源
アナロググランド端子	AV _{ss}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	AV _{ref}	入力	アナログ部の基準電圧
アナログ入力端子0	AN ₀	入力	アナログ入力チャンネル0
アナログ入力端子1	AN ₁	入力	アナログ入力チャンネル1
アナログ入力端子2	AN ₂	入力	アナログ入力チャンネル2
アナログ入力端子3	AN ₃	入力	アナログ入力チャンネル3
アナログ入力端子4	AN ₄	入力	アナログ入力チャンネル4
アナログ入力端子5	AN ₅	入力	アナログ入力チャンネル5
アナログ入力端子6	AN ₆	入力	アナログ入力チャンネル6
アナログ入力端子7	AN ₇	入力	アナログ入力チャンネル7
外部トリガ入力端子	ADTRG	入力	A/D変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D変換器のレジスタ構成を表12.2に示します。

表12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/Dモードレジスタ	AMR	R/W	H'10	H'FFC4
A/Dスタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/Dリザルトレジスタ	ADRR	R	不定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/Dリザルトレジスタ (ADRR)

ビット :	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

ADRRは、A/D変換された結果を格納する8ビットのリード専用レジスタです。

ADRRは常にCPUからリード可能です。A/D変換中はADRRの値は不定で、A/D変換終了時に変換結果の8ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRRは、リセットでクリアされません。

12.2.2 A/Dモードレジスタ (AMR)

ビット :	7	6	5	4	3	2	1	0
	CKS	TRGE	CKS1	—	CH3	CH2	CH1	CH0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

AMRは、8ビットのリード/ライト可能なレジスタで、A/D変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMRはH'10にイニシャライズされます。

ビット7 : クロックセレクト (CKS)

CKS1との組合せでA/D変換スピードの設定を行います。

ビット5 CKS1	ビット7 CKS	変換周期	変換時間	
			$\phi = 2 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	0	リザーブ (初期値)	—	—
0	1	$124 / \phi$	$62 \mu\text{s}$	$24.8 \mu\text{s}$
1	0	$62 / \phi$	$31 \mu\text{s}$	$12.4 \mu\text{s}$
1	1	$31 / \phi$	$15.5 \mu\text{s}$	— *

【注】* 12.4 μs 以下の変換時間では、動作が保証されません。12.4 μs 以上になるように選択してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力によるA/D変換の開始を許可または禁止します。

ビット6 TRGE	説明
0	外部トリガによるA/D変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG)端子の立上がりエッジ、または立下がりエッジでA/D変換を開始*

【注】* 外部トリガ (ADTRG)端子のエッジ選択はIEGRのIEG4により設定します。詳細は「3.3.2 (1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

ビット5：クロックセレクト1 (CKS1)

CKSとの組合せでA/D変換スピードの設定を行います。詳細は「ビット7：クロックセレクト (CKS)」の説明を参照してください。

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット3～0：チャンネルセレクト3～0 (CH3～CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切換えは、ADSF = “0”の状態で行ってください。

ビット3 CH3	ビット2 CH2	ビット1 CH1	ビット0 CH0	アナログ入力チャンネル
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	*	*	リザーブ

* Don't care

12.2.3 A/Dスタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

ADSRは、8ビットのリード/ライト可能なレジスタで、A/D変換の開始または停止を指定します。

ADSFに“1”をライトまたは外部トリガのエッジ入力により、ADSFが“1”にセットされA/D変換が開始します。変換が終了すると変換データはADDRにセットされ、同時にADSFは“0”にクリアされます。

ビット7: A/Dスタートフラグ (ADSF)

A/D変換の開始および、終了の確認を行います。

ビット7	説明	
ADSF		
0	リード時	A/D変換の終了 (初期値)
	ライト時	A/D変換を強制終了
1	リード時	A/D変換中
	ライト時	A/D変換を開始

ビット6~0: リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D変換動作

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

ソフトウェアによりADSFを“1”にセットすると、A/D変換を開始します。ADSFは、A/D変換中は“1”を保持しており、変換が終了すると自動的に“0”にクリアされます。

また、変換が終了すると、IRR2のIRRADが“1”にセットされます。このとき、IENR2のIENADが“1”にセットされていると、A/D変換終了割込みが発生します。

A/D変換中に、AMRにより変換時間や入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADSFを“0”にクリアして、A/D変換を強制終了させてから行ってください。

12.3.2 外部トリガによるA/D変換器の起動

A/D変換器は外部トリガ入力によってA/D変換を開始させることができます。

外部トリガはI/OポートのPMR2のIRQ4が“1”でかつAMRのTRGEが“1”のとき、ADTRG入力端子から入力されます。ADTRG入力端子からIEGRのIEG4で指定されたエッジが入力されると、ADSRのADSFが“1”にセットされ、A/D変換が開始されます。

このタイミングを図12.2に示します。

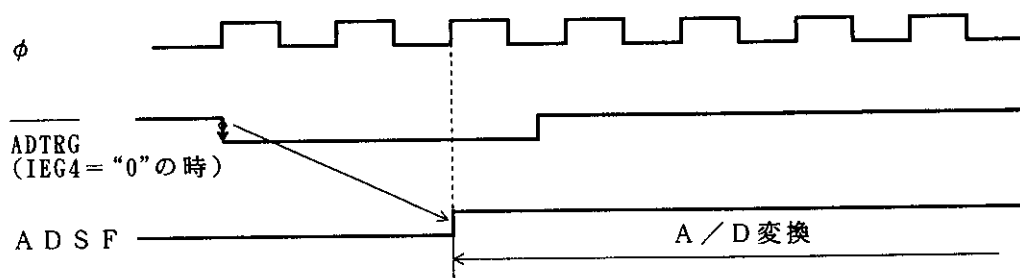


図12.2 外部トリガ入力タイミング

12.4 割込み要因

A/D変換終了時（ADSF = “1” → “0”）、IRR2のIRRADが“1”にセットされます。

A/D変換終了割込みは、IENR2のIENADにより、許可/禁止を指定できます。

詳細は「3.3 割込み」を参照してください。

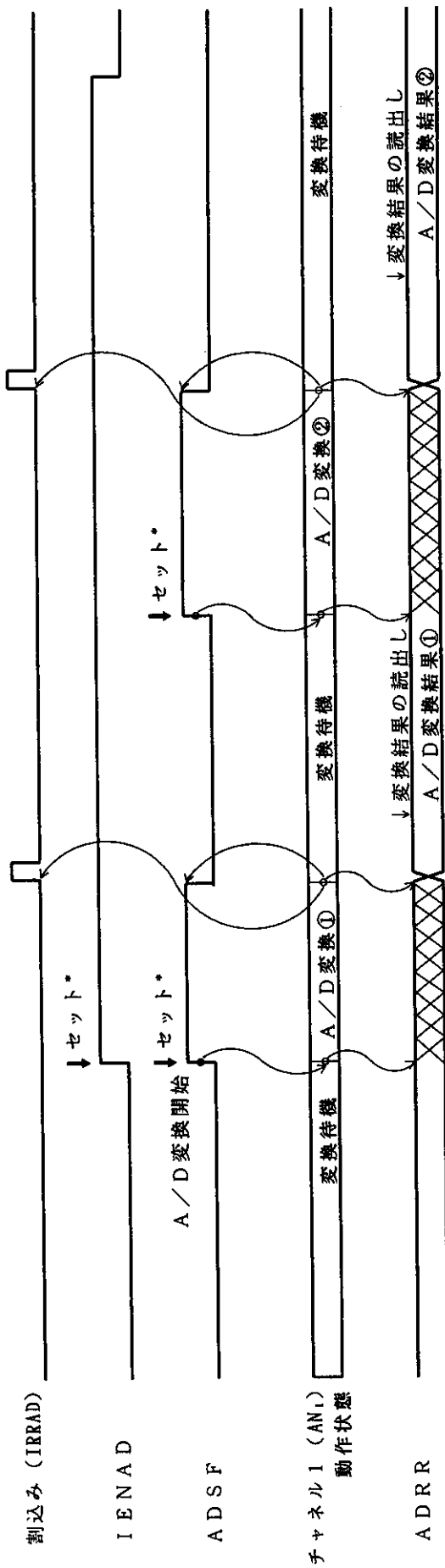
12.5 使用例

チャンネル1（AN₁）をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図12.3に示します。

- ①入力チャンネルをAN₁（AMRのCH3～CH0を“0101”）、IENAD = “1”に設定して、A/D変換を開始（ADSF = “1”）します。
- ②A/D変換が終了すると、IRRADが“1”にセットされ、A/D変換結果がADDRに格納されます。同時にADSF = “0”となり、A/D変換器は変換待機となります。
- ③IENAD = “1”となっているためA/D変換終了割込み要求が発生します。
- ④A/D割込み処理ルーチンが開始されます。
- ⑤A/D変換結果を読み出して、処理します。
- ⑥A/D変換処理ルーチンの実行が終了します。

この後、ADSF = “1”にセットするとA/D変換が開始され②～⑥を行います。

A/D変換器の使用手順の概念フローを図12.4、図12.5に示します。



【注】 * ↓は、ソフトウェアによる命令実行を示します。

図12.3 A/D変換器の動作例

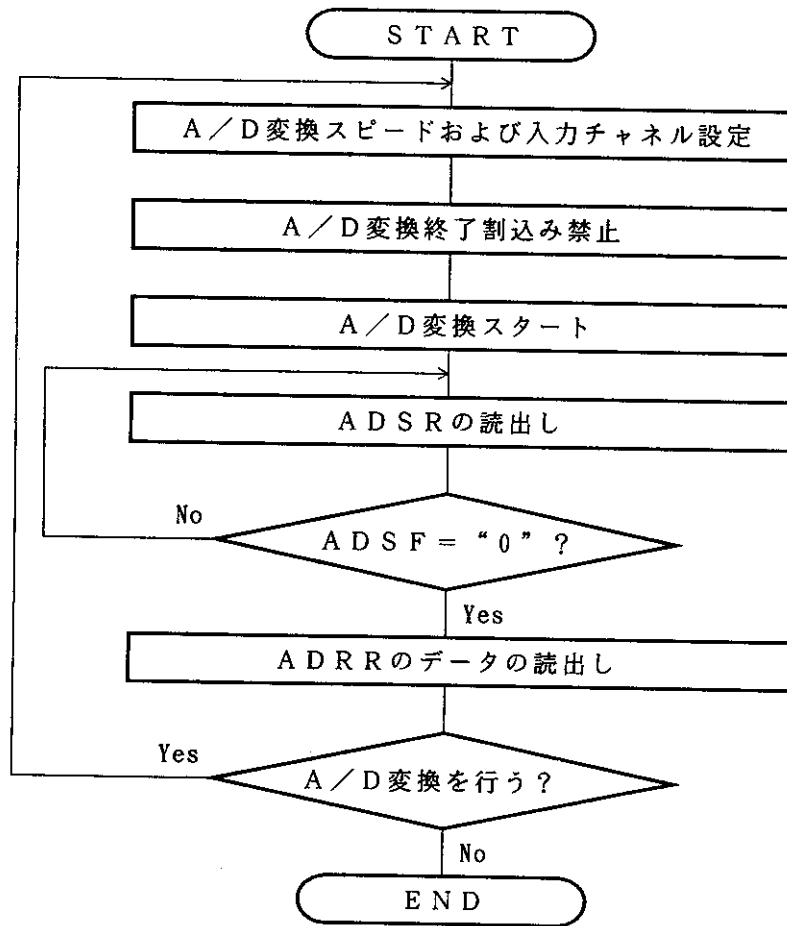


図12.4 A/D変換器の使用手順の概念フロー(1)
(ソフトウェアでポーリングする場合)

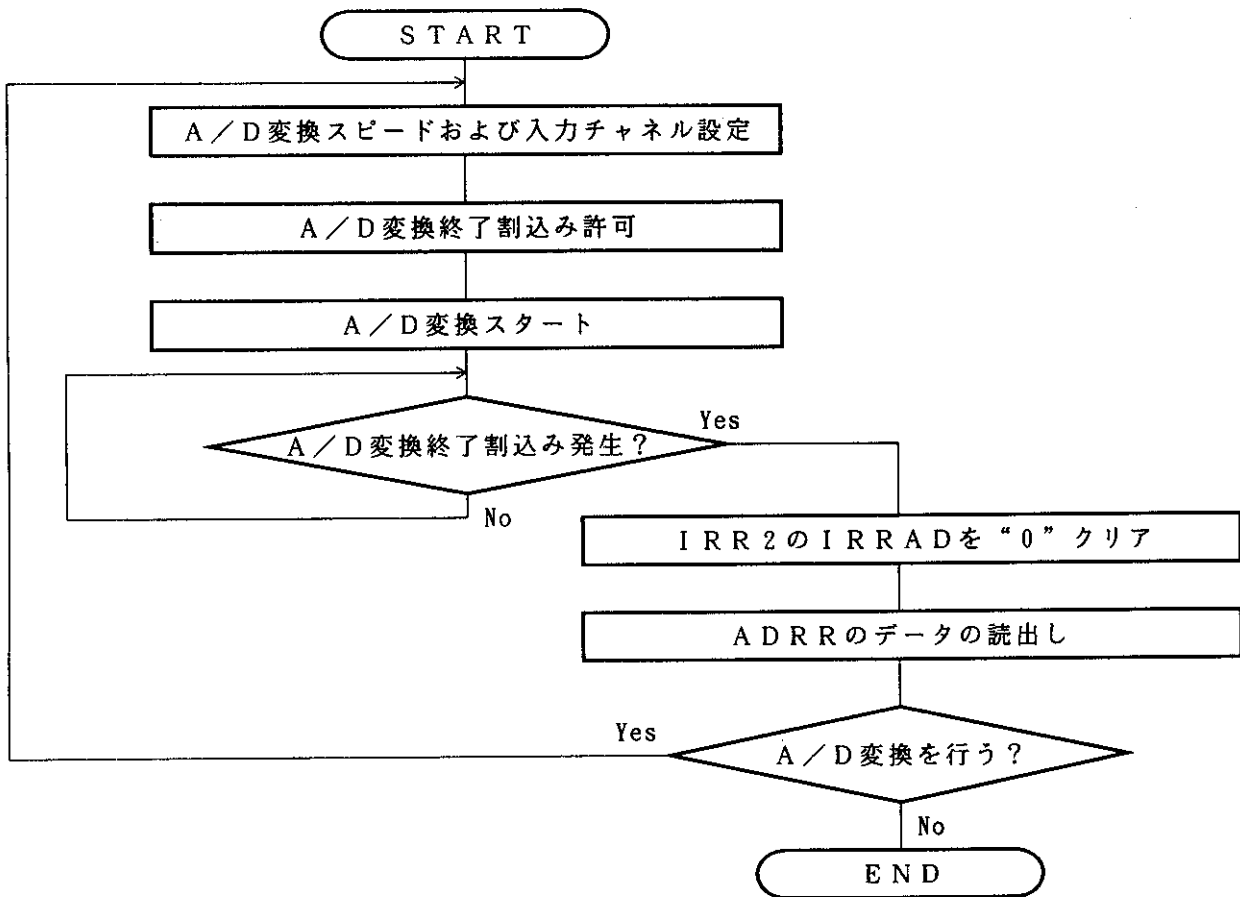


図12.5 A/D変換器の使用手順の概念フロー(2)
(割り込みを使用する場合)

12.6 使用上の注意

- (1) ADRRの読出しは、ADSRのADSFが“0”のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. マルチトーン発生回路

第13章 目次

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-3
13.2.1	マルチトーンコントロールレジスタ (MTCR)	13-3
13.2.2	有効ビット長レジスタ (EBLR)	13-5
13.2.3	フレームレジスタ (FRMR)	13-6
13.2.4	微調整レジスタ (FTNR)	13-6
13.2.5	初期レベルレジスタ (ITLR)	13-7
13.3	動作説明	13-8
13.3.1	出力波形	13-8
13.3.2	動作フロー	13-9
13.4	各レジスタの設定	13-11
13.4.1	各レジスタ設定値の求め方	13-11
13.4.2	各レジスタの設定例	13-12
13.5	MTGRAMへのビットパターンの設定	13-14
13.5.1	MTGRAMとビットパターンの関係	13-14
13.5.2	ビットパターンの設定例	13-15
13.5.3	ビットパターンの書換え	13-17
13.6	使用上の注意	13-18

13.1 概要

本LSIは、マルチトーン発生回路 (Multi Tone Generator) を内蔵しており、任意の周波数および任意の波形を出力することができます。

13.1.1 特長

マルチトーン発生回路の特長を以下に示します。

- 40Hz～4000Hzの範囲で任意の周波数を設定可能 (OSCクロック (f_{osc}) = 10MHz時)

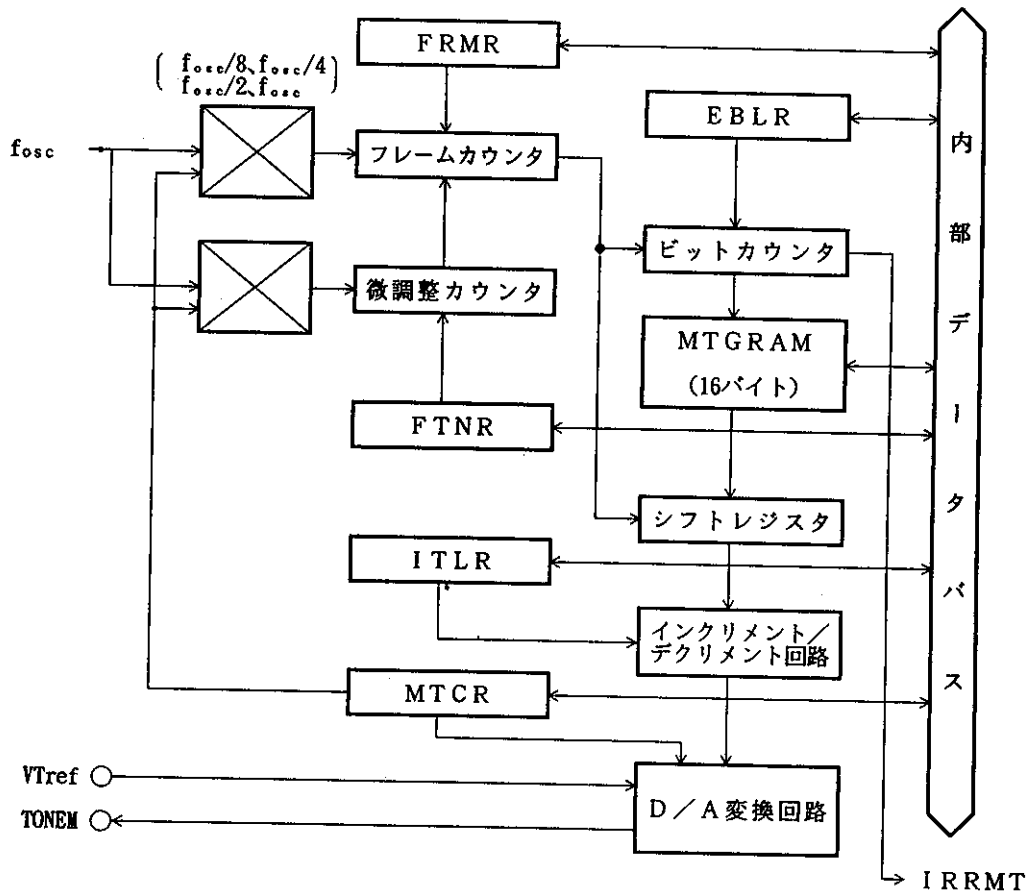
出力周波数範囲	ステップ	誤差
40Hz～1000Hz	0.1Hz以上	±0.05Hz以下
1000Hz～3000Hz	1Hz以上	±0.5Hz以下
3000Hz～4000Hz	2Hz以上	±1Hz以下

出力周波数は、OSCクロック (f_{osc}) をフレイムカウンタ、微調整カウンタで分周して生成します。

- 低歪率の安定した波形を出力可能
波形は、5ビット分解能のR-2R方式D/A変換回路で出力され、また1サイクルを最大128分割できるため、低歪率で安定な波形を得られます。
- MTGRAM (最大128ビット) にビットパターンを設定することで、任意の波形パターンを形成可能
- マルチトーン半周期割込み要求を発生

13.1.2 ブロック図

マルチトーン発生回路のブロック図を図13.1に示します。



〈記号説明〉

- FRMR : フレームレジスタ
- FTNR : 微調整レジスタ
- ITLR : 初期レベルレジスタ
- MTCR : マルチトーンコントロールレジスタ
- EBLR : 有効ビット長レジスタ
- IRRMT : マルチトーン半周期割込み要求フラグ

図13.1 マルチトーン発生回路のブロック図

13.1.3 端子構成

マルチトーン発生回路の端子構成を表13.1に示します。

表13.1 端子構成

名称	略称	入出力	機能
マルチトーン出力基準レベル電源端子	VTref	—	マルチトーン出力の基準レベル電圧
マルチトーン信号出力端子	TONEM	出力	マルチトーン信号出力

13.1.4 レジスタ構成

マルチトーン発生回路のレジスタ構成を表13.2に示します。

表13.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
マルチトーンコントロールレジスタ	MTCR	R/W	H' 10	H' FF90
有効ビット長レジスタ	EBLR	R/W	H' 80	H' FF91
フレームレジスタ	FRMR	R/W	H' 00	H' FF92
微調整レジスタ	FTNR	R/W	H' 00	H' FF93
初期レベルレジスタ	ITLR	R/W	H' E0	H' FF94
MTG RAM	—	R/W	不定	H' FF80~H' FF8F

13.2 各レジスタの説明

13.2.1 マルチトーンコントロールレジスタ (MTCR)

ビット:	7	6	5	4	3	2	1	0
	DAOE	MTEN	DIR	—	FR1	FRO	FT1	FT0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

MTCRは、8ビットのリード/ライト可能なレジスタで、D/A出力制御、マルチトーン発生回路動作制御、動作開始時のレベル変化方向の指定、フレームカウンタ、微調整カウンタのクロックソースの選択を行います。

リセット時、MTCRはH' 10にイニシャライズされます。

ビット7: D/Aアウトプットイネーブル (DAOE)

TONEN端子のアナログ出力を許可または禁止します。

ビット7	DAOE	説明
0		アナログ出力を禁止 (ハイインピーダンス) (初期値)
1		アナログ出力を許可

ビット6：マルチトーン発生回路動作制御（MTEN）

マルチトーン発生回路を動作または停止させます。

ビット6	説明
MTEN	
0	マルチトーン発生回路を停止 (初期値)
1	マルチトーン発生回路を動作

ビット5：レベル変化方向（DIR）

マルチトーン発生回路の動作開始時のレベル変化の方向（インクリメント／デクリメント）の指定をします。

ビット5	説明
DIR	
0	動作開始時のレベル変化はインクリメント (初期値)
1	動作開始時のレベル変化はデクリメント

初期レベルレジスタのビット4～ビット0が“11111”の時のDIR = “0”設定、および“00000”の時のDIR = “1”設定は無効です。

ビット4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3、2：フレームカウンタクロックソース選択1、0（FR1、FR0）

フレームカウンタのクロックソース、すなわちOSCクロック（fosc）の分周比を選択します。クロックソースの切換えは、MTEN = “0”の状態で行ってください。

ビット3	ビット2	説明
FR1	FR0	
0	0	クロック分周比 = tosc (カウンタクロック = fosc)
0	1	クロック分周比 = 2 tosc (カウンタクロック = fosc/2)
1	0	クロック分周比 = 4 tosc (カウンタクロック = fosc/4)
1	1	クロック分周比 = 8 tosc (カウンタクロック = fosc/8)

ビット1、0：微調整カウンタクロックソース選択1、0（FT1、FT0）

微調整カウンタのクロックソースすなわちOSCクロック（fosc）の分周比を選択します。クロックソースの切り換えは、MTEN = “0”の状態で行ってください。

ビット1	ビット0	説 明
FT 1	FT 0	
0	0	クロック分周比 = $tosc$ (カウンタクロック = $fosc$)
0	1	クロック分周比 = $2\ tosc$ (カウンタクロック = $fosc/2$)
1	0	クロック分周比 = $4\ tosc$ (カウンタクロック = $fosc/4$)
1	1	クロック分周比 = $8\ tosc$ (カウンタクロック = $fosc/8$)

13.2.2 有効ビット長レジスタ (EBLR)

ビット :	7	6	5	4	3	2	1	0
	—	EBL6	EBL5	EBL4	EBL3	EBL2	EBL1	EBL0
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EBLRは、8ビットのリード/ライト可能なレジスタで、MTGRAM上の有効なビット長-1の値(末尾のビット位置)を指定します。

リセット時、EBLRはH'80にイニシャライズされます。

ビット7 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6~0 : 有効ビット長6~0 (EBL6~EBL0)

MTGRAM上に設定されたビットパターンの有効なビット長-1の値(末尾のビット位置)を指定します。EBLRはH'83以上の値を設定してください。

有効ビット長の変更は、MTCRのMTEN = “0”の状態で行ってください。

13.2.3 フレームレジスタ (FRMR)

ビット:	7	6	5	4	3	2	1	0
	FRM7	FRM6	FRM5	FRM4	FRM3	FRM2	FRM1	FRM0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRMRは、8ビットのリード/ライト可能なレジスタで、フレームカウンタへのリロード値（ビットパターン1ビットの周期）を設定します。

リロード値は自動的にフレームカウンタにロードされ、フレームカウンタはその値からダウンカウントを開始します。カウント値がH'01になると、再びリロード値がフレームカウンタにロードされ、フレームカウンタはその値からダウンカウントを開始します。FRMRには、H'02以上の値を設定してください。

フレームカウンタのリロード値の変更は、MTCRのMTEN = "0"の状態で行ってください。リセット時、FRMRはH'00にイニシャライズされます。

13.2.4 微調整レジスタ (FTNR)

ビット:	7	6	5	4	3	2	1	0
	FTN7	FTN6	FTN5	FTN4	FTN3	FTN2	FTN1	FTN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FTNRは、8ビットのリード/ライト可能なレジスタで、微調整カウンタへのリロード値を設定します。

リロード値は自動的に微調整カウンタにロードされ、微調整カウンタはその値からダウンカウントを開始します。カウント値がH'01になると、再びリロード値が微調整カウンタにロードされ、微調整カウンタはその値からダウンカウントを開始します。

微調整カウンタのリロード値の変更は、MTCRのMTEN = "0"の状態で行ってください。リセット時、FTNRはH'00にイニシャライズされます。

13.2.5 初期レベルレジスタ (ITLR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	ITL4	ITL3	ITL2	ITL1	ITL0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

ITLRは、8ビットのリード/ライト可能なレジスタで、マルチトーン発生回路の動作開始時におけるアナログ出力レベルを指定します。

リセット時、ITLRはH'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4～0：初期レベル4～0 (ITL4～ITL0)

マルチトーン発生回路の動作開始時におけるTONEM端子からのアナログ出力レベル（初期レベル）を設定します。マルチトーン出力はこの初期レベルから出力を開始して、ビットパターンに従って変化していきます。

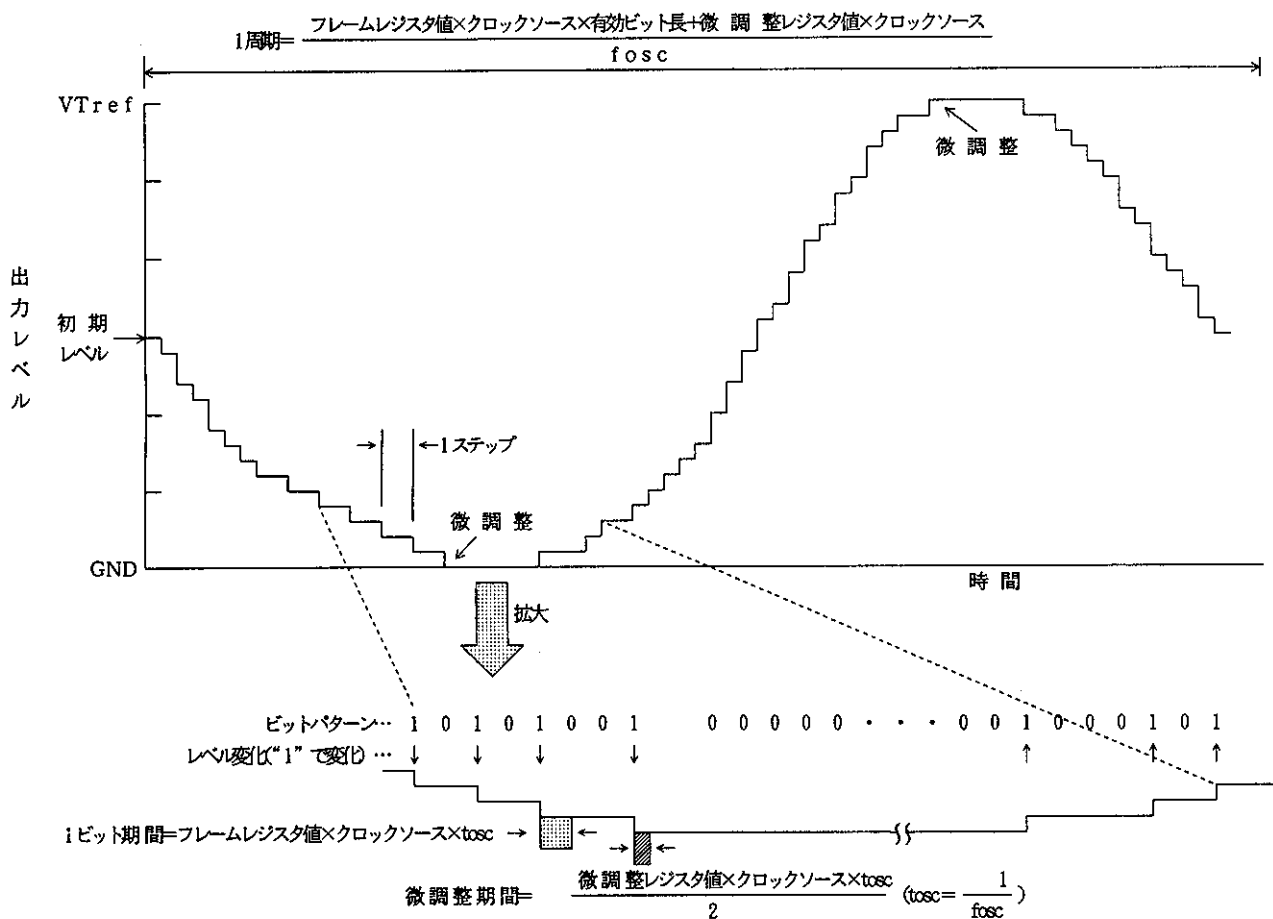
13.3 動作説明

13.3.1 出力波形

マルチトーン発生回路は、正弦波等のアナログ波形を階段状に疑似化して出力します（図13.2）。階段状波形の1ステップは1～数ビットから成り、1ビット期間は、OSCクロック(f_{osc})をフレームカウンタで分周して作られます。波形1周期のビット数は、EBLRで指定します。

出力周波数は f_{osc} をフレームカウンタと有効ビット長で分周して得られます。更に微調整カウンタを用いることにより、出力周波数をより細かく調整することができます。

また、出力レベルの変化は、MTGRAM上のビットパターンで設定します。ビットパターンは自由に設定できるので、任意の波形を発生させることができます。



【注】 クロックソース = クロック分周比 : 1、2、4、または 8

図13.2 マルチトーン発生回路出力波形

13.3.2 動作フロー

マルチトーン発生回路の動作フローを以下に示します（図13.3参照）。文頭の丸囲みの数字は、図13.3の数字に対応しています。

① 初期設定

MTCRのDIR、FR1、FR0、FT1、FT0とEBLR、FRMR、FTNR、ITLRをそれぞれ設定して、MTGRAMにビットパターンデータを書き込みます。

② MTCRのDAOEとMTENが“1”にセットされると、マルチトーン発生回路が動作を開始します。

③ ITLRに設定された初期出力レベルをTONEM端子から出力します。その後のレベル変化方向（インクリメントまたはデクリメント）は、MTCRのDIRの設定に従います。

④ 1ビット期間（フレームレジスタ値×フレームカウンタクロックソース（クロック分周比）×（tosc））、出力レベルを保ちます。

⑤ ビットパターンに従って出力レベルを変化させます。ビットパターンが“1”の場合は、出力レベルをVTrefの1/32だけインクリメントまたはデクリメントし、ビットパターンが“0”の場合は、出力レベルを保ちます。

⑥ 出力レベルをインクリメントまたはデクリメントした場合は、出力レベルをチェックします。出力レベルが最大または最小なら、微調整期間の2分の1（微調整レジスタ値×微調整カウンタクロックソース（クロック分周比）×tosc×1/2）、そのレベルを出力し、出力周波数の微調整を行います。（微調整レジスタ値が奇数の場合、出力レベル最小側が1カウント分長くなります。）

⑦ 次のビットパターンを処理するために、ビットカウンタをインクリメントします。その結果、ビットカウンタ値が有効ビット長に達しなかった場合、④に戻り一連の処理を続けます。ビットカウンタ値が有効ビット長に達した場合（1周期を出力し終えた場合）、ビットカウンタをクリアします。

⑧ ⑦でビットカウンタをクリアした後、MTCRのMTENをチェックし、MTENが“1”の場合は④に戻ってマルチトーン発生動作を続け、MTENが“0”の場合は動作を停止します。MTENの設定は、出力周期とは無関係にいつでも行えます。（TONEM端子からの出力動作とMTCRのDAOEの関係も同じです。）

フレームカウンタまたは微調整カウンタのクロックソース（MTCRのFR1、FR0、FT1、FT0）、有効ビット長（EBLR）、フレームカウンタまたは微調整カウンタのリロード値（FRMR、FTNR）を変更する場合には、必ずMTENを“0”にしてマルチトーン発生動作を停止させてから行ってください。

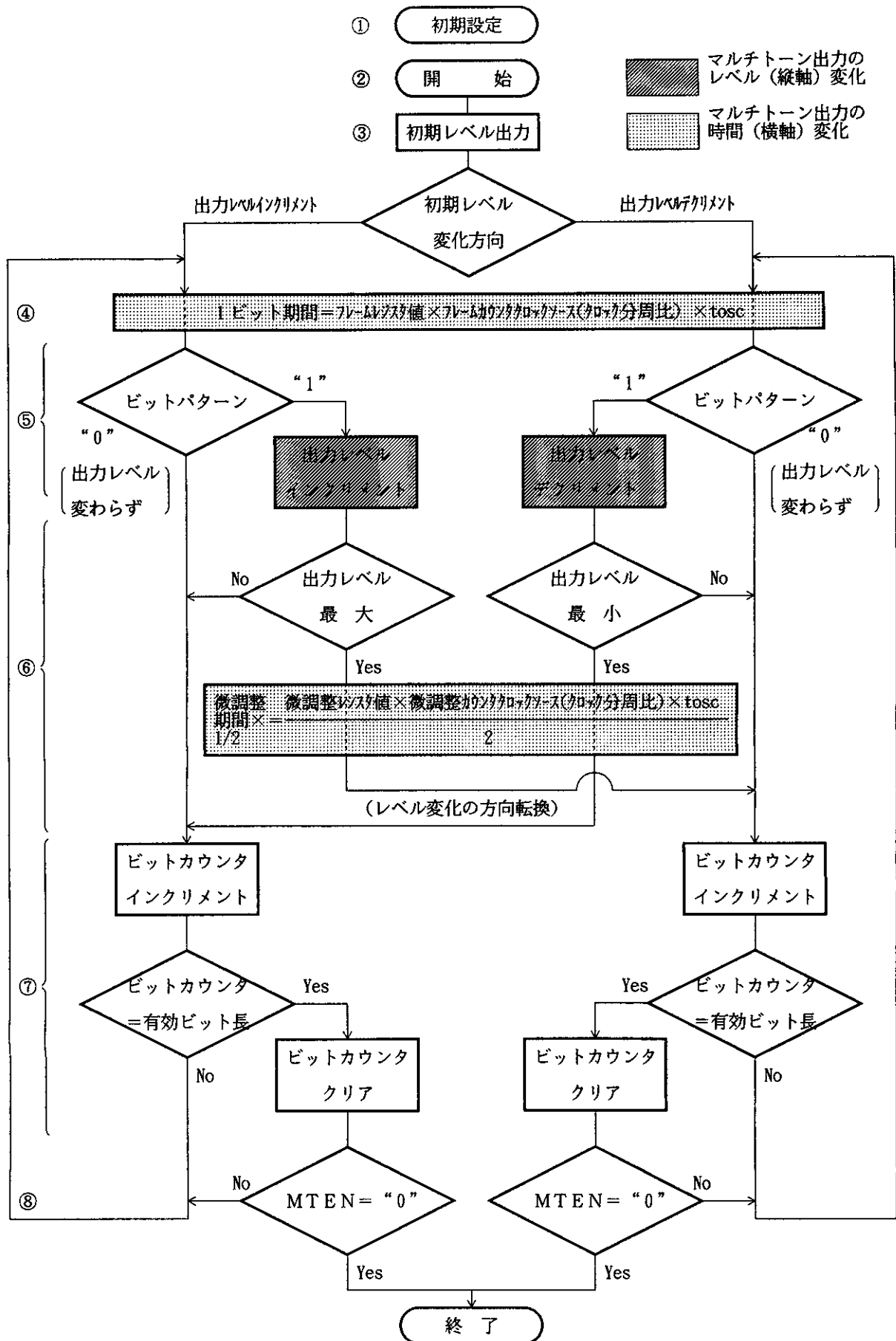


図13.3 マルチトーン発生回路の動作フロー

13.4 各レジスタの設定

13.4.1 各レジスタ設定値の求め方

OSCクロック周波数 (fosc) と必要とする設定周波数から、フレームレジスタ値、微調整レジスタ値を求める方法を以下にまとめます。文中の記号の定義は以下のとおりです。

fosc	… OSCクロック周波数	BL	… 有効ビット長 (4 ~ 128)
f	… 設定周波数	C1	… フレームレジスタ値 (フレームカウンタリロード値) (2 ~ 255)
fout	… 出力周波数	C2	… 微調整レジスタ値 (微調整カウンタリロード値) (0 ~ 255)
D1	… フレームカウンタクロックソース (=クロック分周比: 1、2、4、8)		
D2	… 微調整カウンタクロックソース (=クロック分周比: 1、2、4、8)		
n	… 全体分周比	σ	… 周波数偏差

[各パラメータの関係式]

出力周波数 (fout) は、OSCクロック周波数 (fosc) を分周して得られ、次式で表せます。

$$f_{out} = \frac{f_{osc}}{BL \cdot C1 \cdot D1 + C2 \cdot D2} \quad (\simeq f) \quad (1)$$

- ① OSCクロック周波数 (fosc) と設定周波数(f)から、(1)式の分母に相当する全体分周比(n)を求めます。

$$n \simeq f_{osc} / f \quad (n \text{ は小数点以下四捨五入})$$

- ② 全体分周比(n)を有効ビット長 (BL) とフレームカウンタクロックソース (クロック分周比) (D1) で割って、フレームレジスタ値 (C1) を求めます。ただし、得た値が 255以上の場合、D1を上げて、255以下にします。

$$C1 \simeq n / BL / D1 \quad (C1 \text{ は小数点以下切捨て} \cdots \text{微調整がプラス方向にしかできないため})$$

- ③ 全体分周比 (n) から有効ビット時間 (BL · C1 · D1) をひいたものが、微調整時間 (C2 · D2) になります。ただし、得た値が 255以上の場合、②と同様にD2を上げて 255以下にします。

$$C2 \simeq (n - BL \cdot C1 \cdot D1) / D2 \quad (C2 \text{ は小数点以下四捨五入})$$

- ④ ①～③で得られた各設定値を(1)式に代入して出力周波数 (fout) を求めます。

- ⑤ 設定周波数と出力周波数から、周波数偏差 (σ) を求めます。

$$\sigma = (f_{out} - f) / f \times 100 (\%)$$

13.4.2 各レジスタの設定例

マルチトーン発生回路の各レジスタの設定例を表13.3に示します。(ただし、有効ビット長レジスタ(ERLR)には、表13.3の値-1を設定してください)。ここに示す例は、微調整期間が1周期の1%以内になるように有効ビット長を調整したものです。

表13.3 マルチトーン発生回路レジスタの設定例(1)

OSCクロック (MHz)	設定周波数 (Hz)	全体分周比	有効ビット長	フレームカウンタ		微調整カウンタ		出力周波数 (Hz)	周波数偏差 (%)
				リロード値* ¹	クロックソース* ²	リロード値* ³	クロックソース* ⁴		
10	40.0	250000	125	250	8	0	1	40.0000	±0.0
	40.1	249377	125	249	8	188	2	40.1001	+0.0002
	1000	10000	125	80	1	0	1	1000.00	±0.0
	1001	9990	128	78	1	6	1	1001.00	+0.0001
	3998	2501	125	20	1	1	1	3998.40	+0.0100
	4000	2500	125	20	1	0	1	4000.00	±0.0
9.834	40.0	245760	128	240	8	0	1	40.0000	±0.0
	40.1	245147	124	247	8	123	1	40.1000	+0.0001
	1000	9830	126	78	1	2	1	1000.04	+0.0041
	1001	9821	109	90	1	11	1	1000.96	-0.0043
	3998	2459	117	21	1	2	1	3997.72	-0.0069
	4000	2458	117	21	1	1	1	3999.35	-0.0163
8	40.0	200000	125	200	8	0	1	40.0000	±0.0
	40.1	199501	107	233	8	53	1	40.1000	+0.0001
	1000	8000	125	64	1	0	1	1000.00	±0.0
	1001	7992	121	66	1	6	1	1001.00	+0.0001
	3998	2001	125	16	1	1	1	3998.00	+0.0000
	4000	2000	125	16	1	0	1	4000.00	±0.0
7.3723	40.0	184320	128	180	8	0	1	40.0000	±0.0
	40.1	183860	111	207	8	44	1	40.1001	+0.0002
	1000	7373	110	67	1	3	1	999.97	-0.0027
	1001	7365	115	64	1	5	1	1001.06	+0.0059
	3998	1844	115	16	1	4	1	3998.26	+0.0066
	4000	1843	115	16	1	3	1	4000.43	+0.0109
6	40.0	150000	125	150	8	0	1	40.0000	±0.0
	40.1	149626	110	170	8	26	1	40.1000	-0.0000
	1000	6000	125	48	1	0	1	1000.00	±0.0
	1001	5994	111	54	1	0	1	1001.00	+0.0001
	3998	1501	125	12	1	1	1	3997.34	-0.0166
	4000	1500	125	12	1	0	1	4000.00	±0.0

(次ページに続く)

【注】*¹ 設定レジスタはFRMR

*² 設定レジスタはMTCR (FR1、FR0)

*³ 設定レジスタはFTNR

*⁴ 設定レジスタはMTCR (FT1、FT0)

表 13.3 マルチトーン発生回路レジスタの設定例(2)

OSCクロック (MHz)	設定周波数 (Hz)	全体分周比	有効ビット長	フレームカウンタ		微調整カウンタ		出力周波数 (Hz)	周波数偏差 (%)
				リロード値*1	クロックノイズ**2	リロード値**3	クロックノイズ**4		
4.9152	40.0	122880	128	240	4	0	1	40.0000	±0.0
	40.1	122574	111	138	8	30	1	40.0999	-0.0004
	1000	4915	126	39	1	1	1	1000.04	+0.0041
	1001	4910	109	45	1	5	1	1001.06	+0.0059
	3998	1229	111	11	1	8	1	3999.35	+0.0337
	4000	1229	111	11	1	8	1	3999.35	-0.0163
4.19304	40.0	104826	123	213	4	30	1	40.0000	±0.0
	40.1	104565	121	216	4	21	1	40.0998	-0.0004
	1000	4193	127	33	1	2	1	1000.01	+0.0010
	1001	4189	123	34	1	7	1	1000.96	-0.0036
	3998	1049	116	9	1	5	1	3997.18	-0.0206
	4000	1048	116	9	1	4	1	4000.99	+0.0248
4	40.0	100000	125	200	4	0	1	40.0000	±0.0
	40.1	99751	107	233	4	27	1	40.0998	+0.0004
	1000	4000	125	32	1	0	1	1000.00	±0.0
	1001	3996	111	36	1	0	1	1001.00	+0.0001
	3998	1001	125	8	1	1	1	3996.00	-0.0499
	4000	1000	125	8	1	0	1	4000.00	±0.0
3.579545	40.0	89489	119	188	4	1	1	39.9998	-0.0004
	40.1	89265	111	201	4	21	1	40.1002	+0.0005
	1000	3580	119	30	1	10	1	999.87	-0.0127
	1001	3576	119	30	1	6	1	1000.99	-0.0009
	3998	895	127	7	1	6	1	3999.49	+0.0373
	4000	895	127	7	1	6	1	3999.49	-0.0127
2.4576	40.0	61440	128	240	2	0	1	40.0000	±0.0
	40.1	61287	111	138	4	15	1	40.0999	-0.0004
	1000	2458	117	21	1	1	1	999.84	-0.0163
	1001	2455	98	25	1	5	1	1001.06	+0.0059
	3998	615	123	5	1	0	1	3996.10	-0.0476
	4000	614	102	6	1	2	1	4002.61	+0.0651
2	40.0	50000	125	200	2	0	1	40.0000	±0.0
	40.1	49875	107	233	2	13	1	40.1003	+0.0006
	1000	2000	125	16	1	0	1	1000.00	±0.0
	1001	1998	111	18	1	0	1	1001.00	+0.0001
	3998	500	125	4	1	0	1	4000.00	+0.0500
	4000	500	125	4	1	0	1	4000.00	±0.0
1	40.0	25000	125	200	1	0	1	40.0000	±0.0
	40.1	24938	107	233	1	7	1	40.0994	-0.0014
	1000	1000	125	8	1	0	1	1000.00	±0.0
	1001	999	111	9	1	0	1	1001.00	+0.0001
	3998	250	83	3	1	1	1	4000.00	+0.0500
	4000	250	83	3	1	1	1	4000.00	±0.0

【注】*1 設定レジスタはFRMR

*2 設定レジスタはMTCR (FR1、FR0)

*3 設定レジスタはFTNR

*4 設定レジスタはMTCR (FT1、FT0)

13.5 MTGRAMへのビットパターンの設定

13.5.1 MTGRAMとビットパターンの関係

MTGRAMはアドレスH'FF80からH'FF8Fの16バイトの領域を持ち、最大128ビットのビットパターンを設定できます。このビットパターンの設定次第で、正弦波形だけでなく、三角波形やデュティ可変の台形波形等を出力できます。

MTGRAMデータは、アドレスH'FF80のビット0からインクリメント/デクリメント回路に転送されます(図13.14)。

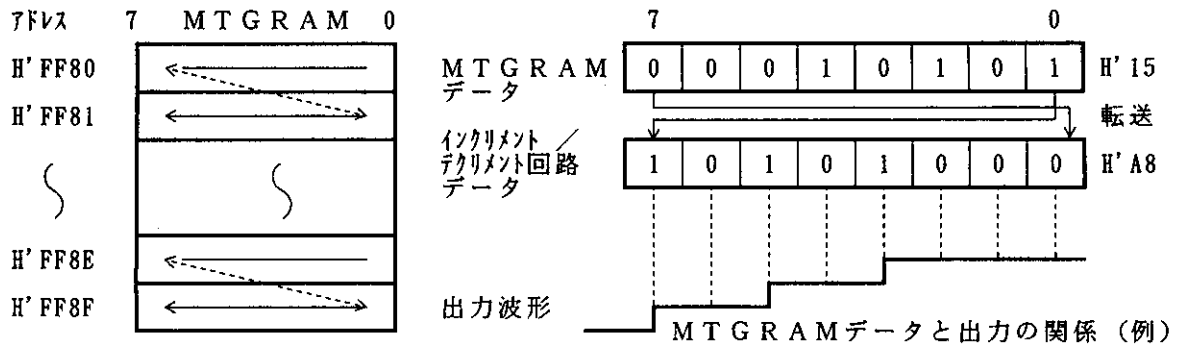


図13.4 MTGRAMとビットパターン

(3) 台形波形 (デューティ50%)

初期レベル : 0

有効ビット長 : 128

レベル変化方向 : インクリメント

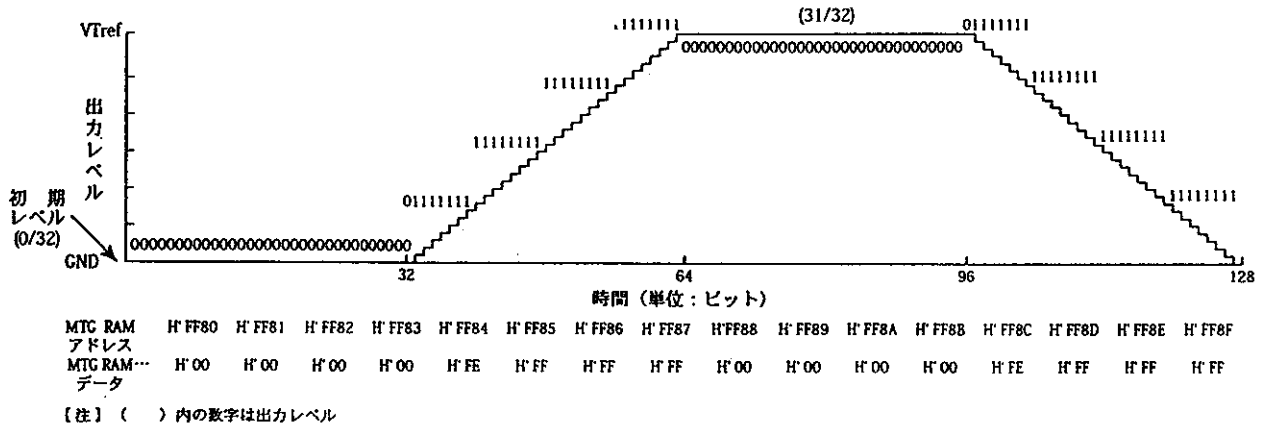


図13.7 台形波形 (デューティ50%) 用ビットパターン例

13.5.3 ビットパターンの書換え

マルチトーン発生回路は、半周期ごと（ビットカウンタが、有効ビット長レジスタに設定された値、およびその半分の値をカウントすること）に割込みを発生します。ビットパターンデータの半分、つまり、出力済のデータを半周期ごとに書換えることにより1周期単位の出力波形制御が可能ですが（ただし、有効ビット長、フレームレジスタ値、フレームカウンタクロックソース、微調整レジスタ値、微調整カウンタクロックソースは固定）。

割込みの発生とビットパターンデータの書換えのタイミングを図13.8に示します。

この図では同じ送信データでも送信波形は2種類ありますが（①と③）、ビットパターンは1種類です（レベル変化方向は、前の周期のレベル変化方向によって決まります）。ただし、レベル変化方向を反転する波形（②）の場合、1周期後の出力レベルが、スタート時の出力レベルを反転した値となるようにビットパターンを設定してください（例えば、15/32レベルでスタートの場合、16/32レベルで終了）。

例：MSKモデム 1200bps

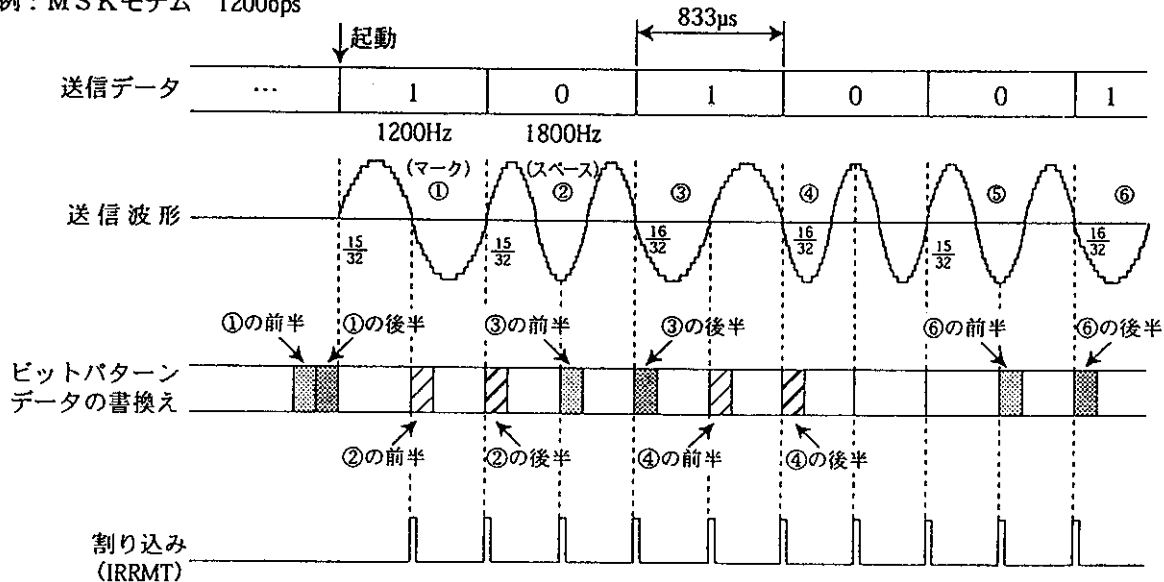


図13.8 割込みの発生とビットパターンデータの書換えのタイミング

13.6 使用上の注意

- (1) 有効ビット長の設定は、ビットパターンと必ず一致させてください。
- (2) 1周期に対して微調整の比率が大きい場合、微調整分を考慮してビットパターンを設定してください。
- (3) マルチトーン発生回路動作中は、MTCRのFR1、FR0、FT1、FT0（クロックソース選択）、EBLR、FRMR、FTNRの設定を変更しないでください。
- (4) マルチトーン発生回路は、各種発振周波数に対応可能ですが、DTMF発生回路を併用する場合は、OSCクロック (ϕ_{osc}) を1.2MHz~10MHzの400KHz刻みにしてください。
- (5) ビットパターン1ビット当たりの出力レベル変化は、1/32レベルのため、2/32レベル以上変化するような急峻な波形は出力できません。したがって、波形が急峻となる場合は、その前後で調整して継続した出力波形となる様ビットパターンを修正してください。
- (6) マルチトーン発生回路は、停止制御 (MTEN = "0" 設定) から出力中の周期の終了まで動作しますので、停止制御直後、次の動作を開始する場合は、1周期分以上間隔をあけて行ってください。

14. 電氣的特性

第14章 目次

14.1	絶対最大定格	14-1
14.2	電氣的特性	14-2
14.2.1	電源電圧と動作範囲	14-2
14.2.2	DC特性	14-4
14.2.3	AC特性	14-8
14.2.4	A/D変換器特性	14-10
14.2.5	DTMF/MTG特性	14-11
14.3	動作タイミング	14-13
14.4	出力負荷回路	14-16

14.1 絶対最大定格

絶対最大定格を表14.1に示します。

表14.1 絶対最大定格

項 目		記号	規 格 値	単 位	備 考
電源電圧		V_{CC}	$-0.3 \sim +7.0$	V	注 1
アナログ電源電圧		AV_{CC}	$-0.3 \sim +7.0$	V	
		AV_{REF}	$-0.3 \sim AV_{CC} + 0.3$	V	
基準レベル電源電圧		VT_{REF}	$-0.3 \sim V_{CC} + 0.3$	V	
プログラム電圧		V_{PP}	$-0.3 \sim +13.0$	V	
入力電圧	ポート B 以外	V_{IN}	$-0.3 \sim V_{CC} + 0.3$	V	
	ポート B	AV_{IN}	$-0.3 \sim AV_{CC} + 0.3$	V	
動作温度		T_{OPR}	$-20 \sim +75^{\circ}\text{C}$	$^{\circ}\text{C}$	
保存温度		T_{STG}	$-55 \sim +125$	$^{\circ}\text{C}$	

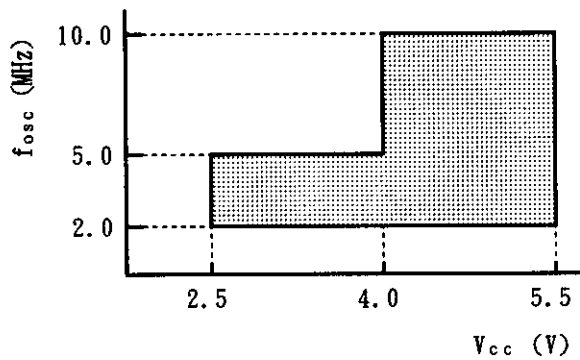
【注】*1 絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になるとともに、LSIの信頼性に悪影響をおよぼすことがあります。

14.2 電気的特性

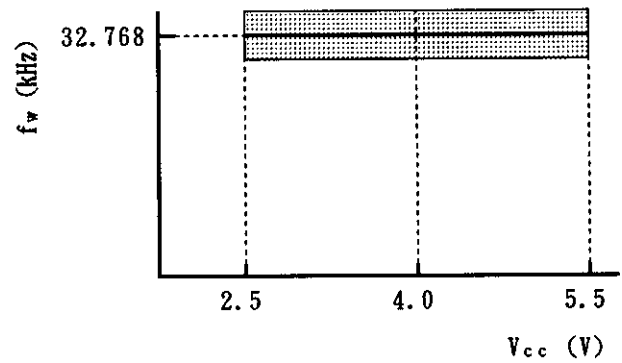
14.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

(1) 電源電圧と発振周波数の範囲

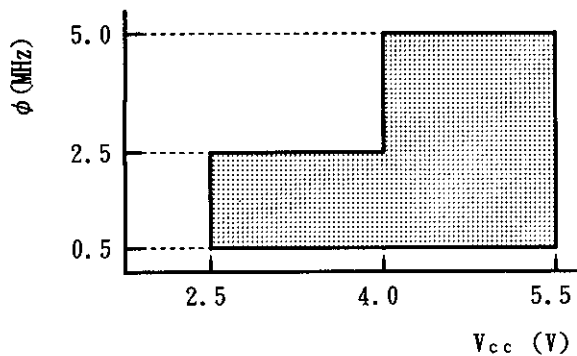


- ・アクティブ（高速／中速）モード
- ・スリープモード

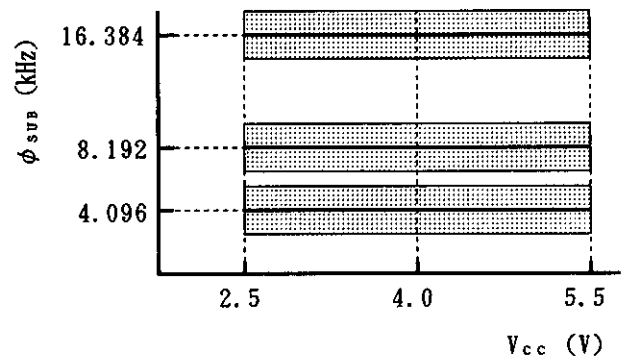


- ・すべての動作モード

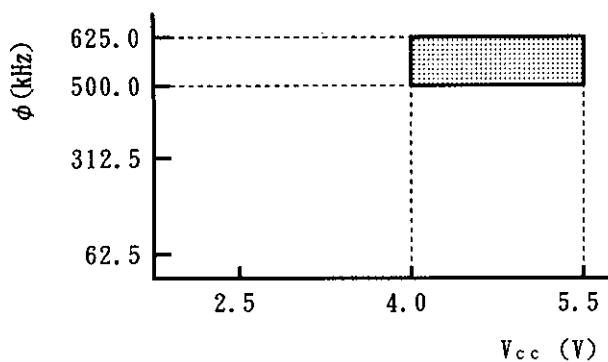
(2) 電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープモード（CPUを除く）

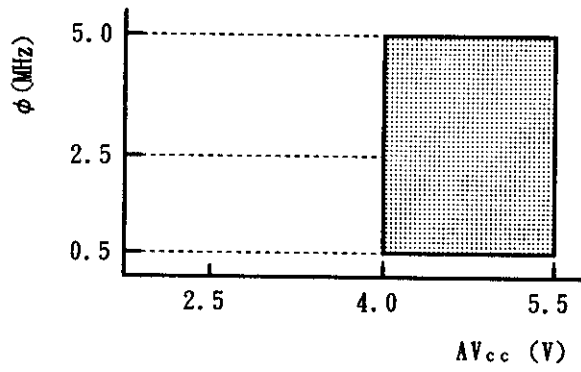


- ・サブアクティブモード
- ・サブスリープモード（CPUを除く）
- ・ウォッチモード（CPUを除く）

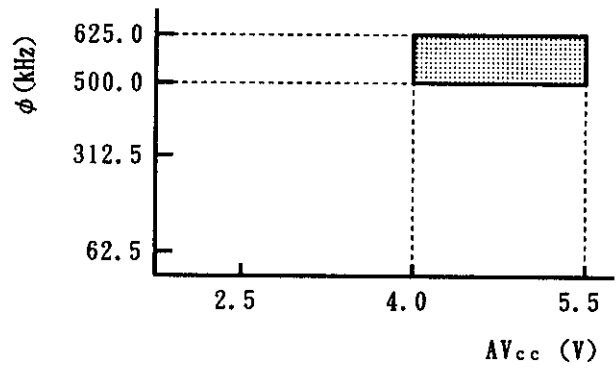


- ・アクティブ（中速）モード

(3) アナログ電源電圧とA/D変換器の動作範囲



- アクティブ (高速) モード
- スリープモード



- アクティブ (中速) モード

14.2.2 DC特性

DC特性を表14.2に示します。

表14.2 DC特性(1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 μA キティモードを含む)
 または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、 μA キティモードを含む

項目	記号	適用端子	測定条件	規格値			単位	備考			
				min.	typ.	max.					
入力“High” レベル電圧	V_{IH}	$\overline{RES}, \overline{NMI},$ $\overline{WKP}_0 \sim \overline{WKP}_7,$ $\overline{IRQ}_0 \sim \overline{IRQ}_4,$ TMIF, TMIG, SCK ₁ , SCK ₂ , ADTRG	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V				
			$0.9V_{CC}$	—	$V_{CC}+0.3$						
		SI ₁ , RXD	$V_{CC}=4.0\sim 5.5V$		$0.7V_{CC}$	—	$V_{CC}+0.3$	V			
					$0.8V_{CC}$	—	$V_{CC}+0.3$				
		OSC ₁	$V_{CC}=4.0\sim 5.5V$		$V_{CC}-0.5$	—	$V_{CC}+0.3$	V			
					$V_{CC}-0.3$	—	$V_{CC}+0.3$				
		P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P9 ₀ ~P9 ₇ , PA ₀ ~PA ₃ , PD ₀ ~PD ₇ , PE ₀ ~PE ₃	$V_{CC}=4.0\sim 5.5V$		$0.7V_{CC}$	—	$V_{CC}+0.3$	V			
					$0.8V_{CC}$	—	$V_{CC}+0.3$				
				PB ₀ ~PB ₇	$V_{CC}=4.0\sim 5.5V$		$0.7V_{CC}$	—	$AV_{CC}+0.3$	V	
							$0.8V_{CC}$	—	$AV_{CC}+0.3$		
入力“Low” レベル電圧	V_{IL}	$\overline{RES}, \overline{NMI},$ $\overline{WKP}_0 \sim \overline{WKP}_7,$ $\overline{IRQ}_0 \sim \overline{IRQ}_4,$ TMIF, TMIG, SCK ₁ , SCK ₂ , ADTRG	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.2V_{CC}$	V				
			-0.3	—	$0.1V_{CC}$						
		SI ₁ , RXD	$V_{CC}=4.0\sim 5.5V$		-0.3	—	$0.3V_{CC}$	V			
					-0.3	—	$0.2V_{CC}$				
		OSC ₁	$V_{CC}=4.0\sim 5.5V$		-0.3	—	0.5	V			
					-0.3	—	0.3				
		P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P9 ₀ ~P9 ₇ , PA ₀ ~PA ₃ , PB ₀ ~PB ₇ , PD ₀ ~PD ₇ , PE ₀ ~PE ₃	$V_{CC}=4.0\sim 5.5V$		-0.3	—	$0.3V_{CC}$	V			
					-0.3	—	$0.2V_{CC}$				
				PB ₀ ~PB ₇	$V_{CC}=4.0\sim 5.5V$		-0.3	—	$0.3V_{CC}$	V	
							-0.3	—	$0.2V_{CC}$		

TEST端子は V_{SS} に接続してください。

表 14.2 D C 特性(2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 Ψ アキティブモードを含む)
 (または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、 Ψ アキティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 "High" レベル電圧	V_{OH}	$P1_o\sim P1_r$, $P2_o\sim P2_r$, $P5_o\sim P5_r$	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V	
		$P6_o\sim P6_r$, $P7_o\sim P7_r$, $P8_o\sim P8_r$, $P9_o\sim P9_r$, $PA_o\sim PA_r$, $PD_o\sim PD_r$, $PE_o\sim PE_r$	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—		
			$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—		
出力 "Low" レベル電圧	V_{OL}	$P5_o\sim P5_r$, $P6_o\sim P6_r$, $P7_o\sim P7_r$, $P8_o\sim P8_r$, $P9_o\sim P9_r$, $PA_o\sim PA_r$, $PD_o\sim PD_r$, $PE_o\sim PE_r$	$I_{OL}=0.4mA$	—	—	0.5	V	
		$P1_o\sim P1_r$, $P2_o\sim P2_r$	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10mA$	—	—	1.5		
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6		
			$I_{OL}=0.4mA$	—	—	0.5		
入出力 リーク電流	$ I_{IL} $	RES, NMI	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	20	μA	(注3)
				—	—	1		(注2)
		OSC, $P1_o\sim P1_r$, $P2_o\sim P2_r$, $P5_o\sim P5_r$, $P6_o\sim P6_r$, $P7_o\sim P7_r$, $P8_o\sim P8_r$, $P9_o\sim P9_r$, $PA_o\sim PA_r$, $PD_o\sim PD_r$, $PE_o\sim PE_r$, $PB_o\sim PB_r$	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1	μA	
プルアップ MOS電流	$-I_p$	$P1_o\sim P1_r$, $P2_o\sim P2_r$	$V_{CC}=5V$, $V_{IN}=0V$	50	—	300	μA	参考値
		$P5_o\sim P5_r$, $P6_o\sim P6_r$	$V_{CC}=2.7V$, $V_{IN}=0V$	—	35	—		
入力容量	C_{IN}	電源端子を除く 全入力端子	$f=1MHz$, $V_{IN}=0V$, $T_a=25^\circ C$	—	—	15	pF	(注3)
		RES		—	—	60		
		NMI		—	—	30		

【注】 ** HD6433875N、HD6433876N、HD6433877Nに適用します。

** HD6473877Nに適用します。

表 14.2 DC 特性(3)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、サブアクティブモードを含む)
 (または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アクティブモード消費電流	I_{OPR1}	V_{CC}	77717(高速)モード $V_{CC}=5V$ 、 $f_{osc}=10MHz$	—	12	24	mA	(注4) (注5)
	I_{OPR2}	V_{CC}	77717(中速)モード $V_{CC}=5V$ 、 $f_{osc}=10MHz$	—	2.5	5	mA	(注4) (注5)
スリープモード消費電流	I_{SLPR}	V_{CC}	$V_{CC}=5V$ 、 $f_{osc}=10MHz$	—	5	10	mA	(注4) (注5)
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC}=2.5V$ 、 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	50	130	μA	(注4) (注5)
			$V_{CC}=2.5V$ 、 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/8$)	—	40	—	μA	参考値 (注4) (注5)
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC}=2.5V$ 、 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	40	90	μA	(注4) (注5)
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC}=2.5V$ 、32kHz 水晶発振子使用時	—	—	6	μA	(注4) (注5)
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz水晶発振子 未使用時	—	—	5	μA	(注4) (注5)
RAMデータ保持電圧	V_{RAM}	V_{CC}		2	—	—	V	

【注】 *4 消費電流測定時の端子の状態

モード	内部状態	各端子	発振端子
77717(高速)モード 77717(中速)モード	動作	V_{CC}	システムクロック発振器： 水晶発振子
スリープモード	タイマのみ動作	V_{CC}	77717クロック発振器： X_1 端子= V_{CC}
サブアクティブモード	動作	V_{CC}	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V_{CC}	77717クロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPUは停止	V_{CC}	
スタンバイモード	CPU、タイマ ともに停止	V_{CC}	システムクロック発振器： 水晶発振子 77717クロック発振器： X_1 端子= V_{CC}

【注】 *5 プルアップMOSや出力バッファに流れる電流は除きます。

表14.2 DC特性(4)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、#77タイプF-Dを含む)
 または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、#77タイプF-Dを含む

項目	記号	適用端子	測定条件	規格値			単位
				min.	typ.	max.	
出力“Low” レベル許容電流 (1端子あたり)	I_{OL}	ポート1、2 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2	mA
		ポート1、2	$V_{CC}=4.0\sim 5.5V$	—	—	10	
		全出力端子		—	—	0.5	
出力“Low” レベル許容電流 (総和)	ΣI_{OL}	ポート1、2 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	40	mA
		ポート1、2	$V_{CC}=4.0\sim 5.5V$	—	—	80	
		全出力端子		—	—	20	
出力“High” レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2	mA
				—	—	0.2	
出力“High” レベル許容電流 (総和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	15	mA
				—	—	10	

14.2.3 AC特性

制御信号タイミングを表14.3に、シリアルインタフェースタイミングを表14.4、表14.5に示します。

表14.3 制御信号タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、サブティブモードを含む
または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、サブティブモードを含む

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
システムクロック発振器 発振周波数	f_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	2	—	10	MHz	
				2	—	5		
OSCクロック (ϕ_{osc}) サイクル時間	t_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	100	—	1000	ns	(注1) 図14.3
				200	—	1000		
システムクロック(ϕ) サイクル時間	t_{cyc}			2	—	16	t_{osc}	(注1)
				—	—	2000		
サブクロック発振器 発振周波数	f_w	X ₁ , X ₂		—	32.768	—	kHz	
サブクロック(ϕ_w) サイクル時間	t_w	X ₁ , X ₂		—	30.5	—	μs	
サブクロック(ϕ_{sub}) サイクル時間	t_{subcyc}			2	—	8	t_w	(注2)
インストラクション サイクル時間				2	—	—	t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	—	—	40	ms	
				—	—	60		
発振安定時間	t_{rc}	X ₁ , X ₂		—	—	2	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40	—	—	ns	図14.3
				80	—	—		
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40	—	—	ns	図14.3
				80	—	—		
外部クロック 立上がり時間	t_{CPr}		$V_{CC}=4.0\sim 5.5V$	—	—	15	ns	
				—	—	20		
外部クロック 立下がり時間	t_{CPf}		$V_{CC}=4.0\sim 5.5V$	—	—	15	ns	
				—	—	20		
RES端子 "Low"レベル幅	t_{aEL}	RES		10	—	—	t_{cyc} t_{subcyc}	図14.4
入力端子 "High"レベル幅	t_{iH}	NMI, IRQ ₀ ~IRQ ₄ , WKP ₀ ~WKP ₇ , ADTRG, TMIF, TMIG		2	—	—	t_{cyc} t_{subcyc}	図14.5
入力端子 "Low"レベル幅	t_{iL}	NMI, IRQ ₀ ~IRQ ₄ , WKP ₀ ~WKP ₇ , ADTRG, TMIF, TMIG		2	—	—	t_{cyc} t_{subcyc}	図14.5

【注】*1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表14.4 シリアルインタフェース (SC11) タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 Ψ アキティブモードを含む
 または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、 Ψ アキティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{CYC}	SCK _i		2	—	—	t_{CYC}	図14.6
入力転送クロック “High”レベル幅	t_{SCKH}	SCK _i		0.4	—	—	t_{CYC}	図14.6
入力転送クロック “Low”レベル幅	t_{SCKL}	SCK _i		0.4	—	—	t_{CYC}	図14.6
入力転送クロック 立ち上がり時間	t_{SCKR}	SCK _i	$V_{CC}=4.0\sim 5.5V$	—	—	60	ns	図14.6
				—	—	80		
入力転送クロック 立下がり時間	t_{SCKF}	SCK _i	$V_{CC}=4.0\sim 5.5V$	—	—	60	ns	図14.6
				—	—	80		
シリアル出力データ 遅延時間	t_{SOD}	SO _i	$V_{CC}=4.0\sim 5.5V$	—	—	200	ns	図14.6
				—	—	350		
シリアル入力データ セットアップ時間	t_{SIS}	SI _i	$V_{CC}=4.0\sim 5.5V$	200	—	—	ns	図14.6
				400	—	—		
シリアル入力データ ホールド時間	t_{SIH}	SI _i	$V_{CC}=4.0\sim 5.5V$	200	—	—	ns	図14.6
				400	—	—		

表14.5 シリアルインタフェース (SC13) タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 Ψ アキティブモードを含む
 または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、 Ψ アキティブモードを含む)

項目	記号	測定条件	規格値			単位	備考	
			min.	typ.	max.			
入力 クロックサイクル	調歩同期	t_{CYC}		4	—	—	t_{CYC}	図14.7
	クロック同期			6	—	—		
入力クロックパルス幅	t_{SCKW}			0.4	—	0.6	t_{CYC}	図14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC}=4.0\sim 5.5V$		—	—	1	t_{CYC}	図14.8
				—	—	1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC}=4.0\sim 5.5V$		200	—	—	ns	図14.8
				400	—	—		
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC}=4.0\sim 5.5V$		200	—	—	ns	図14.8
				400	—	—		

14.2.4 A/D変換器特性

A/D変換器特性を表14.6に示します。

表14.6 A/D変換器特性
(特記なき場合、 $AV_{CC}=V_{CC}=4.0\sim 5.5V$ 、 $AV_{SS}=V_{SS}=0.0V$ 、 $T_A=-20\sim +75^\circ C$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		4.0	—	5.5	V	(注1)
	AV_{REF}	AV_{REF}		2.5	—	$AV_{CC}+0.3$		
アナログ入力電圧	AV_{IN}	$AN_0\sim AN_7$		-0.3	—	$AV_{CC}+0.3$		
アナログ電源電流	AI_{OPE}	AV_{CC}, AV_{REF}	$AV_{CC}=5.0V$	—	—	1.5	mA	(注4)
	AI_{STOP1}	AV_{CC}, AV_{REF}		—	150	—	μA	(注2、4) 参考値
	AI_{STOP2}	AV_{CC}, AV_{REF}		—	—	5	μA	(注3、4)
アナログ入力容量	C_{AIN}	$AN_0\sim AN_7$		—	—	30	pF	
許容信号源インピーダンス	R_{AIN}			—	—	10	k Ω	
分解能				—	—	8	ビット	
非直線性誤差				—	—	± 2.0	LSB	
量子化誤差				—	—	± 0.5		
絶対精度			$AV_{REF}=4.0\sim 5.5V$	—	—	± 2.5		
変換時間			$AV_{REF}=2.5\sim 5.5V$	—	—	± 4.0		
			$AV_{CC}=4.5\sim 5.5V$	12.4	—	248	μs	
		$AV_{CC}=4.0\sim 5.5V$	24.8	—	248			

【注】*1 A/D変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでのA/D変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでのA/D変換待機時の電流値です。

*4 AV_{CC} と AV_{REF} を共通にしたときの電流値です。

14.2.5 D T M F / M T G 特性

D T M F 特性を表14.7に、M T G 特性を表14.8に示します。

表14.7 D T M F 特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 Ψ 7Aタイプモードを含む)
 (または、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$ 、 Ψ 7Aタイプモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
基準レベル 電源電圧	$V_{T...}$	$V_{T...}$		2.5	—	$V_{CC}+0.3$	V	
D T M F 出力電圧 (Row側)	V_{OR}	TONED	$V_{T...}-GND=2.5V$ $R_L=100k\Omega$	625	825	—	mVrms	図14.1 (注1)
D T M F 出力電圧 (Column側)	V_{OC}	TONED	$V_{T...}-GND=2.5V$ $R_L=100k\Omega$	650	865	—	mVrms	図14.1 (注1)
D T M F 出力歪	%DISDT	TONED	$V_{T...}-GND=2.5V$ $R_L=100k\Omega$	—	3	7	%	図14.1
D T M F 出力比	dB _{CR}	TONED	$V_{T...}-GND=2.5V$ $R_L=100k\Omega$	—	2.5	—	dB	図14.1

【注】 *1 V_{OR} 、 V_{OC} はそれぞれ単独波形出力時の出力電圧です。

表14.8 M T G 特性

(特記なき場合、 $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$)
 (または、 $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=0\sim +75^\circ C$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
基準レベル 電源電圧	$V_{T...}$	$V_{T...}$		3.0	—	$V_{CC}+0.3$	V	
M T G 出力電圧	V_{OMT}	TONEM	$V_{T...}-GND=3.0V$ $R_L=100k\Omega$ 正弦波出力	720	960	—	mVrms	図14.2 (注2)
M T G 出力歪	%DISMT	TONEM	$V_{T...}-GND=3.0V$ $R_L=100k\Omega$ 正弦波出力	—	1	3	%	図14.2 (注2)

【注】 *2 TONEMの出力は電圧駆動型出力ですので、大電流を流すような負荷回路としないでください。

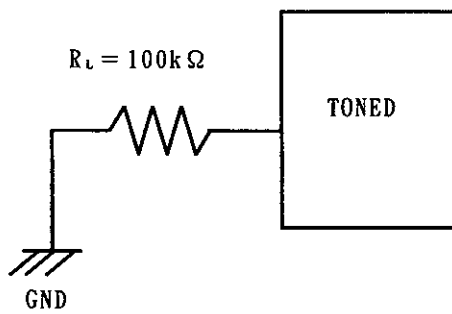


图14.1 TONED 负荷回路

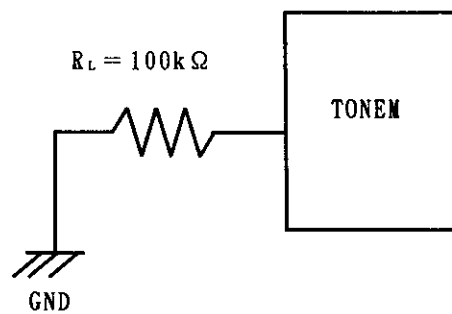


图14.2 TONEM 负荷回路

14.3 動作タイミング

動作タイミングを図14.3～図14.8に示します。

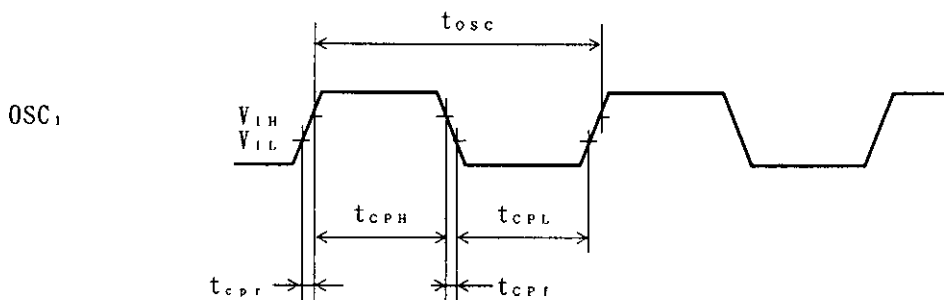


図14.3 システムクロック入力タイミング

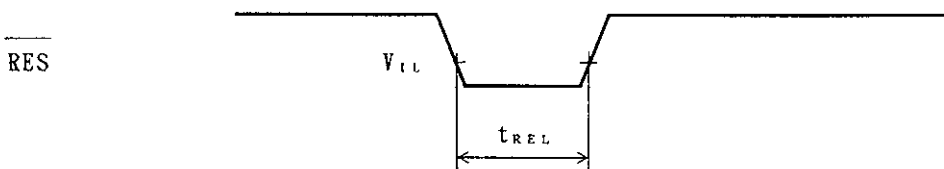


図14.4 RES端子“Low”レベル幅タイミング

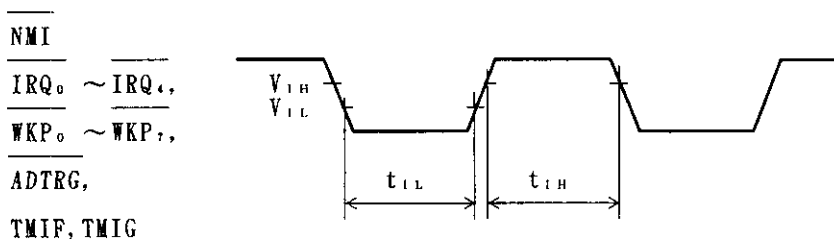
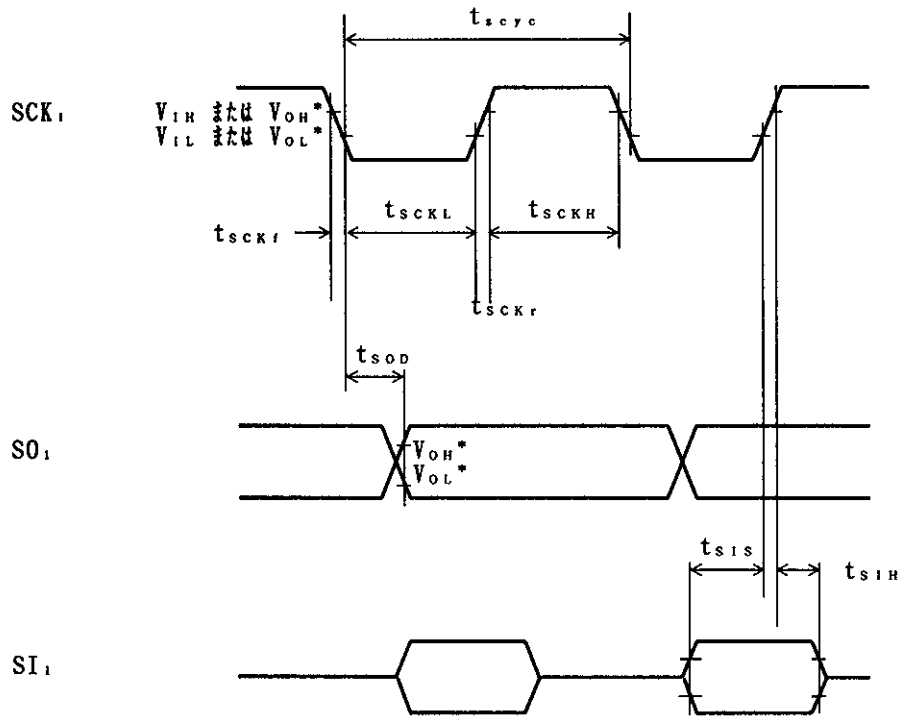


図14.5 入力タイミング



【注】* 出力タイミング参照レベル

出力“High”レベル	V _{OH} = 2.0V
出力“Low”レベル	V _{OL} = 0.8V

出力負荷条件は、図14.9を参照してください。

図14.6 SCI 1入出力タイミング

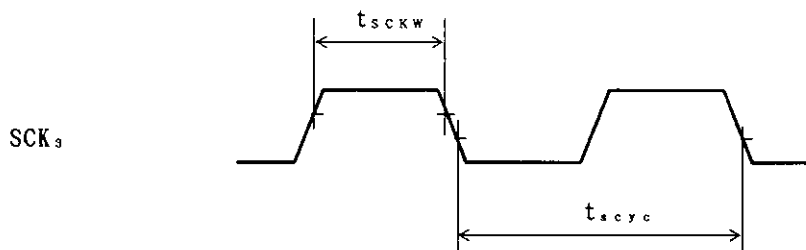
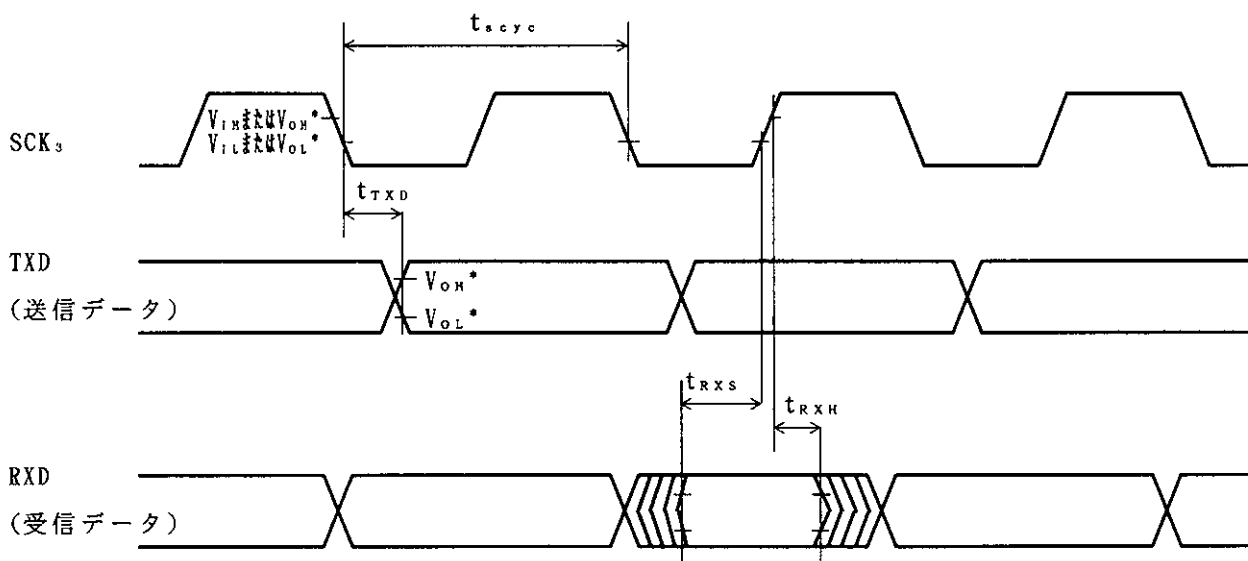


図14.7 SCK₃入力クロックタイミング



【注】* 出力タイミング参照レベル

出力“High”レベル	$V_{OH} = 2.0V$
出力“Low”レベル	$V_{OL} = 0.8V$

出力負荷条件は、図14.9を参照してください。

図14.8 SCI3クロック同期式モード入出力タイミング

14.4 出力負荷回路

出力負荷条件を図14.9に示します。

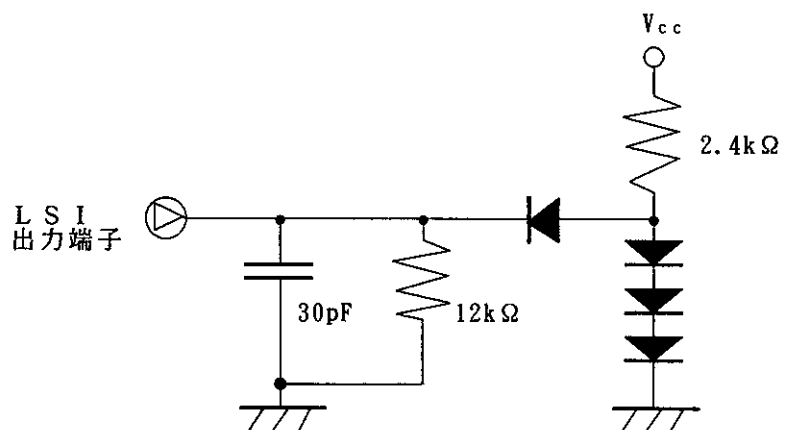


図14.9 出力負荷条件

付録

付録 目次

A.	命令	A-1
A.1	命令一覧	A-1
A.2	オペレーションコードマップ	A-11
A.3	命令実行ステート数	B-12
B.	内部I/Oレジスタ一覧	B-1
B.1	アドレス一覧	B-1
B.2	機能一覧	B-5
C.	I/Oポートブロック図	C-1
C.1	ポート1ブロック図	C-1
C.2	ポート2ブロック図	C-6
C.3	ポート5ブロック図	C-14
C.4	ポート6ブロック図	C-15
C.5	ポート7ブロック図	C-16
C.6	ポート8ブロック図	C-17
C.7	ポート9ブロック図	C-18
C.8	ポートAブロック図	C-19
C.9	ポートBブロック図	C-20
C.10	ポートDブロック図	C-21
C.11	ポートEブロック図	C-22
D.	各処理状態におけるポートの状態	D-1
E.	型名一覧	E-1
F.	外形寸法図	F-1

A. 命令

A.1 命令一覧

《オペレーションの記号》

R d 8/16	汎用レジスタ（デスティネーション側）8ビット／16ビット
R s 8/16	汎用レジスタ（ソース側）8ビット／16ビット
R n 8/16	汎用レジスタ 8ビット／16ビット
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3ビット／8ビット／16ビット
d: 8/16	ディスプレイメント 8ビット／16ビット
@aa: 8/16	絶対アドレス 8ビット／16ビット
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
—	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

表A.1 命令セット一覧(2)

オペレーション	アドレッシングモード/命令長 (バイト)										コンディショニングコード				実行 バイト 数		
	オペレーション	サイズ	Rn	Rn	Rn	Rn	Rn	Rn	Rn	Rn	I	H	N	Z		V	C
MOV	MOV. W Rs, #Rd	W															6
	MOV. W Rs, #aa:16	W															6
POP	POP Rd	W															6
	PUSH Rs	W															6
ADD	ADD. B #xx:8, Rd	B	2														2
	ADD. B Rs, Rd	B	2														2
	ADD. W Rs, Rd	W	2														2
ADDX	ADDX. B #xx:8, Rd	B	2														2
	ADDX. B Rs, Rd	B	2														2
ADDS	ADDS. W #1, Rd	W	2														2
	ADDS. W #2, Rd	W	2														2
INC	INC. B Rd	B	2														2
	DAA. B Rd	B	2														2
SUB	SUB. B Rs, Rd	B	2														2
	SUB. W Rs, Rd	W	2														2
SUBX	SUBX. B #xx:8, Rd	B	2														2
	SUBX. B Rs, Rd	B	2														2

表A.1 命令セット一覧(3)

オペレーション	アドレッシングモード/命令長 (バイト)										コンディショニングコード				実行 バイト 数		
	サイズ	#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aaa:8/16	0(d:8, PC)	00aaa	—	I	H	N	Z		V	C
SUBS	SUBS. #1, Rd	W	2														2
	SUBS. #2, Rd	W	2														2
DEC	DEC. B Rd	B	2														2
DAS	DAS. B Rd	B	2									*			*		2
NEG	NEG. B Rd	B	2														2
CMP	CMP. B #xx:8, Rd	B	2														2
	CMP. B Rs, Rd	B	2														2
	CMP. # Rs, Rd	W	2														2
MULXU	MULXU. B Rs, Rd	B	2														14
DIVXU	DIVXU. B Rs, Rd	B	2														14
AND	AND. B #xx:8, Rd	B	2														2
	AND. B Rs, Rd	B	2														2
OR	OR. B #xx:8, Rd	B	2														2
	OR. B Rs, Rd	B	2														2
XOR	XOR. B #xx:8, Rd	B	2														2
	XOR. B Rs, Rd	B	2														2
NOT	NOT. B Rd	B	2														2
SHAL	SHAL. B Rd	B	2														2

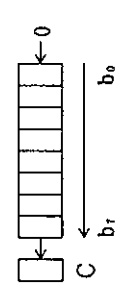


表 A.1 命令セット一覧(4)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行 フラット 数										
		#xx:8/16	Rn	@Rn	@(d:16, Rn)		@Rn/0Rn+	@aa:8/16	@(d:8, PC)	@0aa	I		H	N	Z	V	C					
SHAR	B		2											↑	↑	0	↑	2				
SHLL	B		2													↑	↑	0	↑	2		
SHLR	B		2												0	↑	↑	0	↑	2		
ROTXL	B		2													↑	↑	0	↑	2		
ROTXR	B		2															0	↑	2		
ROTL	B		2															0	↑	2		
ROTR	B		2															0	↑	2		
BSET #xx:3, Rd	B		2																—	—	2	
BSET #xx:3, 0Rd	B			4																—	—	8

表A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 スタート 数		
		#xx:8/16	Rn	④Rn	④(d:16, Rn)	④-Rn/④Rn+	④aa:8/16		④(d:8, PC)	④④aa	I	H	N		Z	V
BSET	BSET #xx:3, ④aa:8						4		(#xx:3 of ④aa:8)←1	-	-	-	-	-	-	8
	BSET Rn, Rd		2						(Rn8 of Rd8)←1	-	-	-	-	-	-	2
	BSET Rn, ④Rd			4					(Rn8 of ④Rd16)←1	-	-	-	-	-	-	8
	BSET Rn, ④aa:8						4		(Rn8 of ④aa:8)←1	-	-	-	-	-	-	8
BCLR	BCLR #xx:3, Rd		2						(#xx:3 of Rd8)←0	-	-	-	-	-	-	2
	BCLR #xx:3, ④Rd			4					(#xx:3 of ④Rd16)←0	-	-	-	-	-	-	8
	BCLR #xx:3, ④aa:8						4		(#xx:3 of ④aa:8)←0	-	-	-	-	-	-	8
	BCLR Rn, Rd		2						(Rn8 of Rd8)←0	-	-	-	-	-	-	2
	BCLR Rn, ④Rd			4					(Rn8 of ④Rd16)←0	-	-	-	-	-	-	8
	BCLR Rn, ④aa:8						4		(Rn8 of ④aa:8)←0	-	-	-	-	-	-	8
BNOT	BNOT #xx:3, Rd		2						(#xx:3 of Rd8)←(Rn8 of Rd8)	-	-	-	-	-	-	2
	BNOT #xx:3, ④Rd			4					(#xx:3 of ④Rd16)←(Rn8 of ④Rd16)	-	-	-	-	-	-	8
	BNOT #xx:3, ④aa:8						4		(#xx:3 of ④aa:8)←(Rn8 of ④aa:8)	-	-	-	-	-	-	8
	BNOT Rn, Rd		2						(Rn8 of Rd8)←(Rn8 of Rd8)	-	-	-	-	-	-	2
BTST	BNOT Rn, ④Rd			4					(Rn8 of ④Rd16)←(Rn8 of ④Rd16)	-	-	-	-	-	-	8
	BNOT Rn, ④aa:8						4		(Rn8 of ④aa:8)←(Rn8 of ④aa:8)	-	-	-	-	-	-	8
	BTST #xx:3, Rd		2						(#xx:3 of Rd8)→Z	-	-	-	↑	-	-	2
	BTST #xx:3, ④Rd			4					(#xx:3 of ④Rd16)→Z	-	-	-	↑	-	-	6
BTST	BTST #xx:3, ④aa:8						4		(#xx:3 of ④aa:8)→Z	-	-	-	↑	-	-	6
	BTST Rn, Rd		2						(Rn8 of Rd8)→Z	-	-	-	↑	-	-	2

表A.1 命令セット一覧(6)

二一モ一ニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 ステップ 数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@0aa	I	H	N		Z	V
BTST	B			4					(Rn8 of @Rd16)→Z	-	-	-	↑	-	-	6
	B						4		(Rn8 of @aa:8)→Z	-	-	-	↑	-	-	6
BLD	B		2						(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	B			4					(#xx:3 of @Rd16)→C	-	-	-	-	-	↑	6
	B						4		(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
BILD	B		2						(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	B			4					(#xx:3 of @Rd16)→C	-	-	-	-	-	↑	6
	B						4		(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
BST	B		2						C→(#xx:3 of Rd8)	-	-	-	-	-	-	2
	B			4					C→(#xx:3 of @Rd16)	-	-	-	-	-	-	8
	B						4		C→(#xx:3 of @aa:8)	-	-	-	-	-	-	8
BIST	B		2						C̄→(#xx:3 of Rd8)	-	-	-	-	-	-	2
	B			4					C̄→(#xx:3 of @Rd16)	-	-	-	-	-	-	8
	B						4		C̄→(#xx:3 of @aa:8)	-	-	-	-	-	-	8
BAND	B		2						C^(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	B			4					C^(#xx:3 of @Rd16)→C	-	-	-	-	-	↑	6
	B						4		C^(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
BIAND	B		2						C^(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	B			4					C^(#xx:3 of @Rd16)→C	-	-	-	-	-	↑	6
	B						4		C^(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
BOR	B		2						CV(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	B			4					CV(#xx:3 of @Rd16)→C	-	-	-	-	-	↑	6
	B						4		CV(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6

表A.1 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)					オペレーション		コンディションコード					実行 対ト 数			
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)	00aa	分岐条件	I	H	N		Z	V	C
BIOR	BIOR #xx:3, Rd		2													↑	2
	BIOR #xx:3, 0Rd			4												↑	6
BXOR	BIOR #xx:3, 0aa:8						4									↑	6
	BXOR #xx:3, Rd		2													↑	2
	BXOR #xx:3, 0Rd			4												↑	6
	BXOR #xx:3, 0aa:8						4									↑	6
	BIXOR #xx:3, Rd		2													↑	2
BIXOR	BIXOR #xx:3, 0Rd			4												↑	6
	BIXOR #xx:3, 0aa:8						4									↑	6
Bcc	BRA d:8 (BT d:8)	-															4
	BRV d:8 (BF d:8)	-															4
	BHI d:8	-															4
	BLS d:8	-															4
	BCC d:8 (BHS d:8)	-															4
	BCS d:8 (BLO d:8)	-															4
	BNE d:8	-															4
	BGQ d:8	-															4
	BVC d:8	-															4
	BVS d:8	-															4
	BPL d:8	-															4
	BMI d:8	-															4
	BGE d:8	-															4
	BLT d:8	-															4
BGT d:8	-															4	
BLE d:8	-															4	

表A.1 命令セット一覧(8)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)										オペレーション	コンディションコード					実行 バイト 数						
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn/0Rn+	@aa:8/16	@(d:8, PC)	@0aa	I	H		N	Z	V	C								
		—	—	2	—	—	—	—	—															
JMP	—			2																			4	
JMP @aa:16	—								4															6
JMP @0aa:8	—												2											8
BSR d:8	—									2														6
JSR @Rn	—			2																				6
JSR @aa:16	—								4															8
JSR @0aa:8	—												2											8
RTS	—													2										8
RTE	—																							10

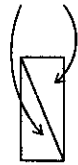
表A.1 命令セット一覧(9)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 バイト 数		
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16		0(d:8, PC)	00aa	—	I	H		N	Z
SLEEP	—							2	低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
LDC Rs, CCR	B		2						Rs8→CCR	↑	↑	↑	↑	↑	↑	2
STC	B		2						CCR→Rd8	—	—	—	—	—	—	2
ANDC	B	2							CCR^#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
ORC	B	2							CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
XORC	B	2							CCR⊕#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
NOP	—							2	PC←PC+2	—	—	—	—	—	—	2
EEPMOY	—							4	if R4L≠0 Repeat 0R5→0R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	④

【注】①：ビット11から桁上りが引き続き発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ②：演算結果がゼロのとき、桁下りが発生したとき“0”にセットされ、それ以外のとき“1”にクリアされます。
 ③：補正結果に桁上りが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ④：実行ステータスビットは、R4Lの設定値が0のとき“0”にクリアされ、それ以外のとき“1”にクリアされます。
 ⑤：除数が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ⑥：除数がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。

A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト（第1ワードのビット15~8）についてのみ示しています。



第2バイトの最上位ビット（命令コードの第1ワードのビット7）が0の場合を示します。

第2バイトの最上位ビット（命令コードの第1ワードのビット7）が1の場合を示します。

表A.2 オペレーションコードマップ

HI\LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA	
1	SHL SHAR	SHL SHAR	ROTL ROTR	ROTL ROTR	OR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST				BST	BIST							
7	BOR	BXOR	BAND	BLD	BOR	BXOR	BAND	BLD	BLLD	BLLD	MOV	EEPOV				ビット操作命令
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】・PUSH, POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPUの各命令についての実行状態と実行ステート数の計算方法を示します。表A.4に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.3に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■ 実行ステート数計算例

(例) 内蔵ROMより命令をフェッチし、内蔵RAMをアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	
命令フェッチ S _I	2	X	
分岐アドレスリード S _J			
スタック操作 S _K			
バイトデータアクセス S _L			2 または 3 *
ワードデータアクセス S _M			
内部動作 S _N	1		

【注】* 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表A.4 命令の実行状態 (サイクル数) (1)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

表A.4 命令の実行状態 (サイクル数) (2)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

表A.4 命令の実行状態 (サイクル数) (3)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EPMOV	EPMOV	2			$2n + 2^{*1}$		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		

表A.4 命令の実行状態 (サイクル数) (4)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV. B Rs, @Rd	1			1		
	MOV. B Rs, @(d:16, Rd)	2			1		
	MOV. B Rs, @-Rd	1			1		2
	MOV. B Rs, @aa:8	1			1		
	MOV. B Rs, @aa:16	2			1		
	MOV. W #xx:16, Rd	2					
	MOV. W Rs, Rd	1					
	MOV. W @Rs, Rd	1				1	
	MOV. W @(d:16, Rs), Rd	2				1	
	MOV. W @Rs+, Rd	1				1	2
	MOV. W @aa:16, Rd	2				1	
	MOV. W Rs, @Rd	1				1	
	MOV. W Rs, @(d:16, Rd)	2				1	
	MOV. W Rs, @-Rd	1				1	2
	MOV. W Rs, @aa:16	2				1	
MULXU	MULXU. B Rs, Rd	1					12
NEG	NEG. B Rd	1					
NOP	NOP	1					
NOT	NOT. B Rd	1					
OR	OR. B #xx:8, Rd	1					
	OR. B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL. B Rd	1					
ROTR	ROTR. B Rd	1					
ROTXL	ROTXL. B Rd	1					
ROTXR	ROTXR. B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL. B Rd	1					
SHAR	SHAR. B Rd	1					
SHLL	SHLL. B Rd	1					
SHLR	SHLR. B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB. B Rs, Rd	1					
	SUB. W Rs, Rd	1					

表A.4 命令の実行状態 (サイクル数) (5)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】*1 nはR4Lの設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

B. 内部 I/Oレジスタ一覧

B. 1 アドレス一覧

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 90	MTCR	DAOE	MTEN	DIR	—	FR1	FR0	FT1	FT0	マシナリ発生回路
H' 91	EBLR	—	EBL6	EBL5	EBL4	EBL3	EBL2	EBL1	EBL0	
H' 92	FRMR	FRM7	FRM6	FRM5	FRM4	FRM3	FRM2	FRM1	FRM0	
H' 93	FTNR	FTN7	FTN6	FTN5	FTN4	FTN3	FTN2	FTN1	FTN0	
H' 94	ITLR	—	—	—	ITL4	ITL3	ITL2	ITL1	ITL0	
H' 95										I/Oポート
H' 96										
H' 97										
H' 98	PMR 1	IRQ3	IRQ2	IRQ1	—	TMIG	TMOFH	TMOFL	TNOW	
H' 99	PMR 2	IRQ0	—	POF1	NCS	SO1	SI1	SCK1	IRQ4	
H' 9A										I/Oポート
H' 9B	PMR 5	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀	
H' 9C	PUCR 1	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀	
H' 9D	PUCR 2	PUCR2 ₇	PUCR2 ₆	PUCR2 ₅	PUCR2 ₄	PUCR2 ₃	PUCR2 ₂	PUCR2 ₁	PUCR2 ₀	
H' 9E	PUCR 5	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	
H' 9F	PUCR 6	PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀	SCI 1
H' A0	SCR 1	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0	
H' A1	SCSR 1	—	SOL	ORER	—	—	—	—	STF	
H' A2	SDRU	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0	
H' A3	SDRL	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0	
H' A4										SCI 3
H' A5										
H' A6										
H' A7										
H' A8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	
H' A9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	SCI 3
H' AA	SCR 3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' AB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	

<記号説明>

(次頁に続く)

SCI 1 : シリアルコミュニケーションインタフェース 1

SCI 3 : シリアルコミュニケーションインタフェース 3

(前頁より続く)

下位7bit	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' AC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	SCI3
H' AD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H' AE										
H' AF										
H' B0	TMA	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0	タイマA
H' B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H' B2	DTCR	DTEN	—	CLOE	RWOE	CLF1	CLF0	RWF1	RWF0	DTMF 発生回路
H' B3	DTLR	—	—	—	DTL4	DTL3	DTL2	DTL1	DTL0	
H' B4										
H' B5										
H' B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマF
H' B7	TCSR F	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
H' B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H' B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
H' BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H' BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
H' BC	TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	タイマG
H' BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
H' BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
H' BF										
H' C0										
H' C1										
H' C2										
H' C3										
H' C4	AMR	CKS	TRGE	CKS1	—	CH3	CH2	CH1	CH0	A/D変換器
H' C5	ADRR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H' C6	ADSR	ADSF	—	—	—	—	—	—	—	
H' C7										
H' C8										
H' C9										
H' CA										
H' CB										
H' CC										
H' CD										

<記号説明>

(次頁に続く)

SCI3 : シリアルコミュニケーションインタフェース3

(前頁より続く)

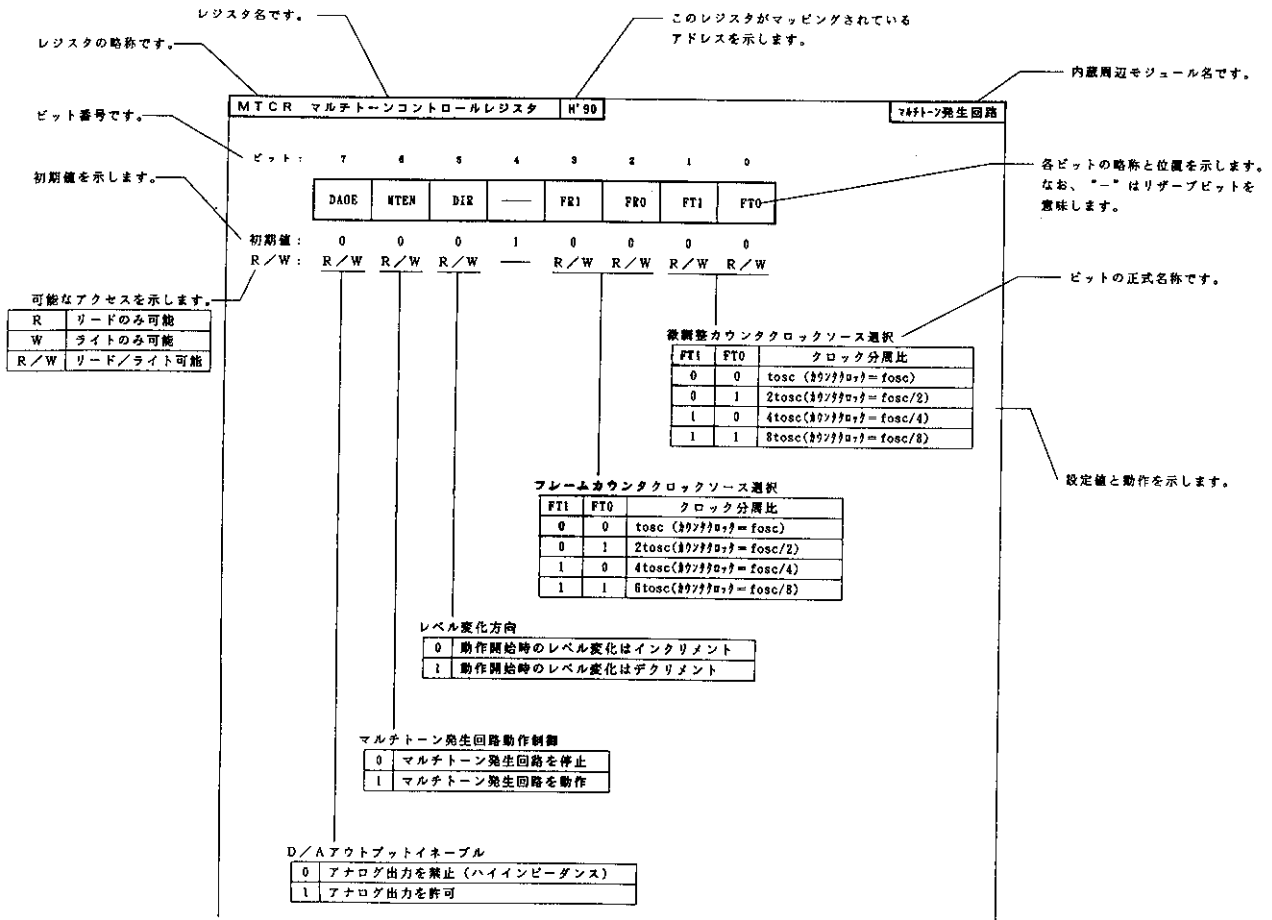
下位アドレス	レジスタ名	ビット名								モジュール名	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' CE											
H' CF											
H' D0											
H' D1											
H' D2	PDRD	PD ₇	PD ₆	PD ₅	PD ₄	PD ₃	PD ₂	PD ₁	PD ₀	I/Oポート	
H' D3	PDRE	—	—	—	—	PE ₃	PE ₂	PE ₁	PE ₀		
H' D4	PDR1	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀		
H' D5	PDR2	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀		
H' D6											
H' D7											
H' D8	PDR5	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	I/Oポート	
H' D9	PDR6	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀		
H' DA	PDR7	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀		
H' DB	PDR8	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀		
H' DC	PDR9	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀		
H' DD	PDRA	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀		
H' DE	PDRB	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀		
H' DF											
H' E0											
H' E1											
H' E2	PCRD	PCRD ₇	PCRD ₆	PCRD ₅	PCRD ₄	PCRD ₃	PCRD ₂	PCRD ₁	PCRD ₀	I/Oポート	
H' E3	PCRE	—	—	—	—	PCRE ₃	PCRE ₂	PCRE ₁	PCRE ₀		
H' E4	PCR1	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀		
H' E5	PCR2	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀		
H' E6											
H' E7											
H' E8	PCR5	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	I/Oポート	
H' E9	PCR6	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀		
H' EA	PCR7	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀		
H' EB	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀		
H' EC	PCR9	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀		
H' ED	PCRA	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀		
H' EE											
H' EF											

(次頁に続く)

(前頁より続く)

下位7Fh	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	—	—	システム コントロール
H'F1	SYSCR2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
H'F2	IEGR	NMIEG	—	—	IEG4	IEG3	IEG2	IEG1	IEG0	
H'F3	IENR1	IENTA	IENS1	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0	
H'F4	IENR2	IENDT	IENAD	IENMT	IENTG	IENTFH	IENTFL	—	—	
H'F5										
H'F6	IRR1	IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	システム コントロール
H'F7	IRR2	IRRDY	IRRAD	IRRMT	IRRTG	IRRTFH	IRRTFL	—	—	
H'F8										
H'F9	IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	システムコントロール
H'FA										
H'FB										
H'FC										
H'FD										
H'FE										
H'FF										

B.2 機能一覧



ビット: 7 6 5 4 3 2 1 0

7	6	5	4	3	2	1	0
DAOE	MTEN	DIR	—	FRI	FR0	FT1	FT0

初期値: 0 0 0 1 0 0 0 0
 R/W: R/W R/W R/W — R/W R/W R/W R/W

微調整カウンタクロックソース選択

FT1	FT0	クロック分周比
0	0	tosc (カウンタクロック = fosc)
0	1	2tosc (カウンタクロック = fosc/2)
1	0	4tosc (カウンタクロック = fosc/4)
1	1	8tosc (カウンタクロック = fosc/8)

フレームカウンタクロックソース選択

FT1	FT0	クロック分周比
0	0	tosc (カウンタクロック = fosc)
0	1	2tosc (カウンタクロック = fosc/2)
1	0	4tosc (カウンタクロック = fosc/4)
1	1	8tosc (カウンタクロック = fosc/8)

レベル変化方向

0	動作開始時のレベル変化はインクリメント
1	動作開始時のレベル変化はデクリメント

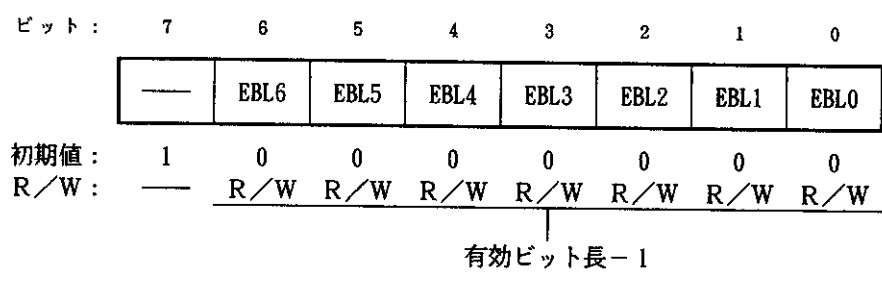
マルチトーン発生回路動作制御

0	マルチトーン発生回路を停止
1	マルチトーン発生回路を動作

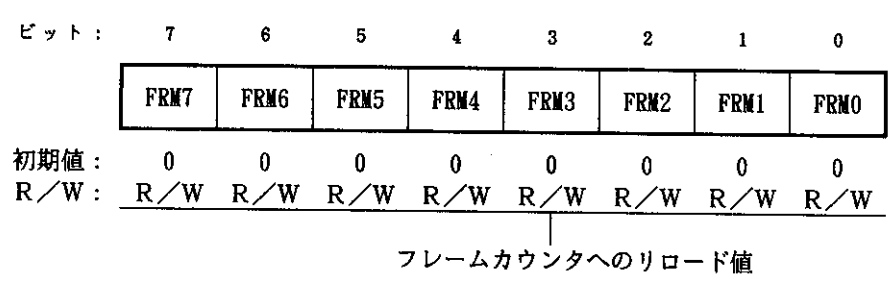
D/A アウトプットイネーブル

0	アナログ出力を禁止 (ハイインピーダンス)
1	アナログ出力を許可

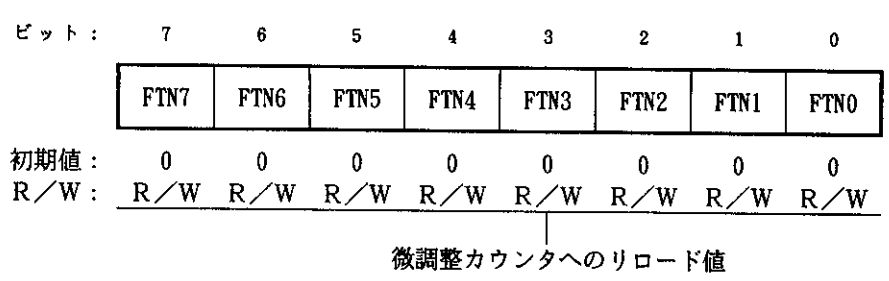
EBLR 有効ビット長レジスタ	H' 91	マルチトン発生回路
------------------------	--------------	------------------



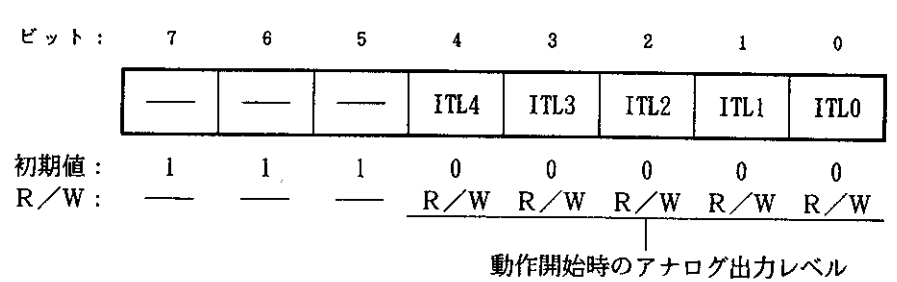
FRMR フレームレジスタ	H' 92	マルチトン発生回路
----------------------	--------------	------------------



FTNR 微調整レジスタ	H' 93	マルチトン発生回路
---------------------	--------------	------------------



ITLR 初期レベルレジスタ	H' 94	マルチトン発生回路
-----------------------	--------------	------------------



ビット: 7 6 5 4 3 2 1 0

IRQ3	IRQ2	IRQ1	—	TMIG	TMOFH	TMOFL	TMOV
------	------	------	---	------	-------	-------	------

初期値: 0 0 0 1 0 0 0 0
 R/W: R/W R/W R/W — R/W R/W R/W R/W

P1₀/TMOV端子機能切換え

0	P1 ₀ 入出力端子として機能
1	TMOV出力端子として機能

P1₁/TMOFL端子機能切換え

0	P1 ₁ 入出力端子として機能
1	TMOFL出力端子として機能

P1₂/TMOFH端子機能切換え

0	P1 ₂ 入出力端子として機能
1	TMOFH出力端子として機能

P1₃/TMIG端子機能切換え

0	P1 ₃ 入出力端子として機能
1	TMIG入力端子として機能

P1₅/IRQ₁端子機能切換え

0	P1 ₅ 入出力端子として機能
1	$\overline{\text{IRQ}}_1$ 入力端子として機能

P1₆/IRQ₂端子機能切換え

0	P1 ₆ 入出力端子として機能
1	$\overline{\text{IRQ}}_2$ 入力端子として機能

P1₇/IRQ₃/TMIF端子機能切換え

0	P1 ₇ 入出力端子として機能
1	$\overline{\text{IRQ}}_3$ /TMIF入力端子として機能

ビット: 7 6 5 4 3 2 1 0

IRQ0	—	POF1	NCS	SO1	SI1	SCK1	IRQ4
------	---	------	-----	-----	-----	------	------

初期値: 0 1 0 0 0 0 0 0
 R/W: R/W — R/W R/W R/W R/W R/W R/W

P2₀/IRQ₄/ADTRG端子機能切換え

0	P2 ₀ 入出力端子として機能
1	IRQ ₄ /ADTRG入力端子として機能

P2₁/SCK₁端子機能切換え

0	P2 ₁ 入出力端子として機能
1	SCK ₁ 入出力端子として機能

P2₂/SI₁端子機能切換え

0	P2 ₂ 入出力端子として機能
1	SI ₁ 入力端子として機能

P2₃/SO₁端子機能切換え

0	P2 ₃ 入出力端子として機能
1	SO ₁ 出力端子として機能

TWIGノイズキャンセラセレクト

0	ノイズ除去機能なし
1	ノイズ除去機能あり

P2₃/SO₁端子PMOSコントロール

0	CMOS出力
1	NMOSオープンドレイン出力

P2₇/IRQ₀端子機能切換え

0	P2 ₇ 入出力端子として機能
1	IRQ ₀ 入力端子として機能

PMR5 ポートモードレジスタ5	H'9B	I/Oポート												
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>WKP₇</td><td>WKP₆</td><td>WKP₅</td><td>WKP₄</td><td>WKP₃</td><td>WKP₂</td><td>WKP₁</td><td>WKP₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin: 10px auto; width: 60%; text-align: center;"> <p>P5_n/WKP_n端子機能切換え</p> <table border="1" style="margin: 0 auto;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>P5_n入出力端子として機能</td> </tr> <tr> <td style="text-align: center;">1</td> <td>WKP_n入力端子として機能</td> </tr> </table> <p>(n = 7 ~ 0)</p> </div>			WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀	0	P5 _n 入出力端子として機能	1	WKP _n 入力端子として機能
WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀							
0	P5 _n 入出力端子として機能													
1	WKP _n 入力端子として機能													

PUCR1 ポートプルアップコントロールレジスタ1	H'9C	I/Oポート								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>PUCR1₇</td><td>PUCR1₆</td><td>PUCR1₅</td><td>PUCR1₄</td><td>PUCR1₃</td><td>PUCR1₂</td><td>PUCR1₁</td><td>PUCR1₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>			PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀			

PUCR2 ポートプルアップコントロールレジスタ2	H'9D	I/Oポート								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>PUCR2₇</td><td>PUCR2₆</td><td>PUCR2₅</td><td>PUCR2₄</td><td>PUCR2₃</td><td>PUCR2₂</td><td>PUCR2₁</td><td>PUCR2₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>			PUCR2 ₇	PUCR2 ₆	PUCR2 ₅	PUCR2 ₄	PUCR2 ₃	PUCR2 ₂	PUCR2 ₁	PUCR2 ₀
PUCR2 ₇	PUCR2 ₆	PUCR2 ₅	PUCR2 ₄	PUCR2 ₃	PUCR2 ₂	PUCR2 ₁	PUCR2 ₀			

PUCR5 ポートブルアップコントロールレジスタ5 H'9E

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PUCR6 ポートブルアップコントロールレジスタ6 H'9F

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
------	------	---	---	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロック選択

ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	プリスケアラ 分周比	転送クロック周期	
				クロック同期	
				$\phi = 5\text{ MHz}$	$\phi = 2.5\text{ MHz}$
0	0	0	$\phi / 1024$	204.8 μs	409.6 μs
0	0	1	$\phi / 256$	51.2 μs	102.4 μs
0	1	0	$\phi / 64$	12.8 μs	25.6 μs
0	1	1	$\phi / 32$	6.4 μs	12.8 μs
1	0	0	$\phi / 16$	3.2 μs	6.4 μs
1	0	1	$\phi / 8$	1.6 μs	3.2 μs
1	1	0	$\phi / 4$	0.8 μs	1.6 μs
1	1	1	$\phi / 2$	—	0.8 μs

クロックソース選択

0	クロックソースはプリスケアラS、SCK _i 端子は出力
1	クロックソースは外部クロック、SCK _i 端子は入力

動作モード選択

0	0	8ビットクロック同期モード
0	1	16ビットクロック同期モード
1	0	クロック連続出力モード
1	1	リザーブ

ビット: 7 6 5 4 3 2 1 0

—	SOL	ORER	—	—	—	—	STF
---	-----	------	---	---	---	---	-----

初期値: 1 0 0 0 0 0 0 0
 R/W: — R/W R/(W)* — — — R/W R/W

スタートフラグ

0	リード時	転送動作は停止
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

オーバランエラーフラグ

0	[クリア条件]
	"1"をリード後、"0"をライトしたとき
1	[セット条件]
	外部クロック使用時、転送完了後もクロックが入力されたとき

拡張データビット

0	リード時	SO _i 端子の出力が"Low"レベル
	ライト時	SO _i 端子の出力を"Low"レベルに変更
1	リード時	SO _i 端子の出力が"High"レベル
	ライト時	SO _i 端子の出力を"High"レベルに変更

【注】* フラグをクリアするための"0"ライトのみ可能

SDRU シリアルデータレジスタU H'A2

SC11

ビット: 7 6 5 4 3 2 1 0

SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

送信データの設定、受信データの格納に使用
 8ビット転送モード: 未使用
 16ビット転送モード: データレジスタ上位8ビット

SDRL シリアルデータレジスタL H'A3

SC11

ビット: 7 6 5 4 3 2 1 0

SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

送信データの設定、受信データの格納に使用
 8ビット転送モード: データレジスタ
 16ビット転送モード: データレジスタ下位8ビット

ビット: 7 6 5 4 3 2 1 0

COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
-----	-----	----	----	------	----	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト1、0

0	0	φクロック
0	1	φ/4クロック
1	0	φ/16クロック
1	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ通信機能を禁止
1	マルチプロセッサ通信機能を許可

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加およびチェックを禁止
1	パリティビットの付加およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

ビット: 7 6 5 4 3 2 1 0

BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
------	------	------	------	------	------	------	------

初期値: 1 1 1 1 1 1 1 1
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCX ₀ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート
		クロック同期式	内部クロック	同期クロック出力
0	1	調歩同期式	内部クロック	クロック出力
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

トランスミットエンドインタラプトイネーブル

0	送信終了割込み要求 (TEI) を禁止
1	送信終了割込み要求 (TEI) を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込み要求を禁止 (通常の受信動作) 〔クリア条件〕 マルチプロセッサビットが“1”のデータを受信したとき
1	マルチプロセッサ割込み要求を許可 マルチプロセッサビットが“1”のデータを受け取るまで受信割込み要求 (RXI)、受信エラー割込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止

レシーブイネーブル

0	受信動作を禁止 (RXD端子は入出力ポート)
1	受信動作を許可 (RXD端子はレシーブデータ端子)

トランスミットイネーブル

0	送信動作を禁止 (TXD端子は入出力ポート)
1	送信動作を許可 (TXD端子はトランスミットデータ端子)

レシーブインタラプトイネーブル

0	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を禁止
1	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割込み要求 (TXI) の禁止
1	送信データエンプティ割込み要求 (TXI) の許可

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
------	------	-----	-----	-----	------	------	------

初期値: 1 0 0 0 0 1 0 0
 R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W

マルチプロセッサビットトランスファ

0	マルチプロセッサビット“0”を送信
1	マルチプロセッサビット“1”を送信

マルチプロセッサビットレシーブ

0	マルチプロセッサビットが“0”のデータを受信
1	マルチプロセッサビットが“1”のデータを受信

トランスミットエンド

0	送信中 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、TDREに“0”をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが“0”のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが“1”であったとき

パリティエラー

0	受信中、または受信完了 〔クリア条件〕 PER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットをあわせた“1”の数がシリアルレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しなかったとき

フレーミングエラー

0	受信中、または受信完了 〔クリア条件〕 FER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが“1”であるかどうかをチェックし、ストップビットが“0”であったとき

オーバランエラー

0	受信中、または受信完了 〔クリア条件〕 OER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にオーバランエラー発生 〔セット条件〕 RDRFが“1”の状態での次の受信を完了したとき

レシーブデータレジスタフル

0	RDRに受信データ未格納 〔クリア条件〕 (1) RDRF = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でRDRのデータをリードしたとき
1	RDRに受信データが格納されている 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty

0	TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でTDRへデータをライトしたとき
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが“0”のとき (2) TDRからTSRにデータ転送が行われたとき

【注】* フラグをクリアするための“0”ライトのみ可能

RDR レシーブデータレジスタ H'AD

SC13

ビット: 7 6 5 4 3 2 1 0

RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R R R R R R R R

TMA タイマモードレジスタA H'B0

タイマA

ビット: 7 6 5 4 3 2 1 0

TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
------	------	------	---	------	------	------	------

初期値: 0 0 0 1 0 0 0 0
 R/W: R/W R/W R/W — R/W R/W R/W R/W

内部クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS $\phi/8192$	インターバル
			1	PSS $\phi/4096$	
		1	0	PSS $\phi/2048$	
			1	PSS $\phi/512$	
	1	0	0	PSS $\phi/256$	
			1	PSS $\phi/128$	
		1	0	PSS $\phi/32$	
			1	PSS $\phi/8$	
1	0	0	0	PSW 1 s	時計用タイムベース
			1	PSW 0.5 s	
		1	0	PSW 0.25 s	
			1	PSW 0.03125 s	
	1	0	0	PSW、TCAリセット	
			1		
		1	0		
			1		

クロック出力セレクト

0	0	0	$\phi/32$
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$

ビット: 7 6 5 4 3 2 1 0

TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
------	------	------	------	------	------	------	------

初期値:	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R

|
カウント値

ビット: 7 6 5 4 3 2 1 0

DTEN	—	CLOE	RWOE	CLF1	CLF0	RWF1	RWF0
------	---	------	------	------	------	------	------

初期値: 0 1 0 0 0 0 0 0
 R/W: R/W — R/W R/W R/W R/W R/W R/W

Row側DTMF信号出力周波数1、0

RWF1	RWF0	Row 側DTMF信号出力周波数
0	0	697Hz(R1)
0	1	770Hz(R2)
1	0	852Hz(R3)
1	1	941Hz(R4)

Column 側DTMF信号出力周波数1、0

CLF1	CLF0	Column 側DTMF信号出力周波数
0	0	1209Hz(C1)
0	1	1336Hz(C2)
1	0	1447Hz(C3)
1	1	1633Hz(C4)

Row 側出力制御

0	Row 側DTMF信号出力を禁止(マイレ-ダス)
1	Row 側DTMF信号を許可

Column 側出力制御

0	Column 側DTMF信号出力を禁止(マイレ-ダス)
1	Column 側DTMF信号を許可

DTMF発生回路動作制御

0	DTMF発生回路を停止
1	DTMF発生回路を動作

ビット: 7 6 5 4 3 2 1 0

—	—	—	DTL4	DTL3	DTL2	DTL1	DTL0
---	---	---	------	------	------	------	------

初期値: 1 1 1 0 0 0 0 0
 R/W: — — — R/W R/W R/W R/W R/W

OSCクロック分周比4~0

DTL4	DTL3	DTL2	DTL1	DTL0	分周比	OSCクロック周波数
0	0	0	0	0	設定禁止	(初期値)
0	0	0	0	1	設定禁止	
0	0	0	1	0	設定禁止	
0	0	0	1	1	3	1.2 MHz
0	0	1	0	0	4	1.6 MHz
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	0	0	1	25	10 MHz
1	1	0	1	*	設定禁止	
1	1	1	*	*	設定禁止	

*: Don't care

ビット: 7 6 5 4 3 2 1 0

TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
------	-------	-------	-------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
 R/W: W W W W W W W W

クロックセレクトL

0	*	*	外部イベント (TMIF) の立上がり/立下がりエッジでカウント
1	0	0	内部クロック: $\phi/32$
1	0	1	内部クロック: $\phi/16$
1	1	0	内部クロック: $\phi/4$
1	1	1	内部クロック: $\phi/2$

トグルアウトプットレベルL

0	"Low" レベルに設定
1	"High" レベルに設定

クロックセレクトH

0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント
1	0	0	内部クロック: $\phi/32$
1	0	1	内部クロック: $\phi/16$
1	1	0	内部クロック: $\phi/4$
1	1	1	内部クロック: $\phi/2$

* Don't care

トグルアウトプットレベルH

0	"Low" レベルに設定
1	"High" レベルに設定

ビット: 7 6 5 4 3 2 1 0

OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL
------	------	-------	-------	------	------	-------	-------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

カウンタクリアL

0	コンペアマッチによるTCFLのクリアを禁止
1	コンペアマッチによるTCFLのクリアを許可

タイマオーバーフローインタラプトイネーブルL

0	TCFLのオーバーフローによる割込み要求を禁止
1	TCFLのオーバーフローによる割込み要求を許可

コンペアマッチフラグL

0	[クリア条件] CMFL = "1" の状態で、CMFLをリードした後、CMFLに"0"をライトしたとき
1	[セット条件] TCFLの値とOCRFLの値が、コンペアマッチしたとき

タイマオーバーフローフラグL

0	[クリア条件] OVFL = "1" の状態で、OVFLをリードした後、OVFLに"0"をライトしたとき
1	[セット条件] TCFLの値が、H' FF → H' 00になったとき

カウンタクリアH

0	16ビットモード: コンペアマッチによるTCFのクリアを禁止 8ビットモード: コンペアマッチによるTCFHのクリアを禁止
1	16ビットモード: コンペアマッチによるTCFのクリアを許可 8ビットモード: コンペアマッチによるTCFHのクリアを許可

タイマオーバーフローインタラプトイネーブルH

0	TCFHのオーバーフローによる割込み要求を禁止
1	TCFHのオーバーフローによる割込み要求を許可

コンペアマッチフラグH

0	[クリア条件] CMFH = "1" の状態で、CMFHをリードした後、CMFHに"0"をライトしたとき
1	[セット条件] TCFHの値とOCRFHの値が、コンペアマッチしたとき

タイマオーバーフローフラグH

0	[クリア条件] OVFH = "1" の状態で、OVFHをリードした後、OVFHに"0"をライトしたとき
1	[セット条件] TCFHの値が、H' FF → H' 00になったとき

TCFH 8ビットタイマカウンタFH H' B8	タイムF								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCFH7</td> <td style="padding: 2px 5px;">TCFH6</td> <td style="padding: 2px 5px;">TCFH5</td> <td style="padding: 2px 5px;">TCFH4</td> <td style="padding: 2px 5px;">TCFH3</td> <td style="padding: 2px 5px;">TCFH2</td> <td style="padding: 2px 5px;">TCFH1</td> <td style="padding: 2px 5px;">TCFH0</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">カウント値</p>		TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0
TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0		
TCFL 8ビットタイマカウンタFL H' B9	タイムF								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCFL7</td> <td style="padding: 2px 5px;">TCFL6</td> <td style="padding: 2px 5px;">TCFL5</td> <td style="padding: 2px 5px;">TCFL4</td> <td style="padding: 2px 5px;">TCFL3</td> <td style="padding: 2px 5px;">TCFL2</td> <td style="padding: 2px 5px;">TCFL1</td> <td style="padding: 2px 5px;">TCFL0</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">カウント値</p>		TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0
TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0		
OCRFH 8ビットアウトプットコンペアレジスタFH H' BA	タイムF								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">OCRFH7</td> <td style="padding: 2px 5px;">OCRFH6</td> <td style="padding: 2px 5px;">OCRFH5</td> <td style="padding: 2px 5px;">OCRFH4</td> <td style="padding: 2px 5px;">OCRFH3</td> <td style="padding: 2px 5px;">OCRFH2</td> <td style="padding: 2px 5px;">OCRFH1</td> <td style="padding: 2px 5px;">OCRFH0</td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>		OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0
OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0		
OCRFL 8ビットアウトプットコンペアレジスタFL H' BB	タイムF								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">OCRFL7</td> <td style="padding: 2px 5px;">OCRFL6</td> <td style="padding: 2px 5px;">OCRFL5</td> <td style="padding: 2px 5px;">OCRFL4</td> <td style="padding: 2px 5px;">OCRFL3</td> <td style="padding: 2px 5px;">OCRFL2</td> <td style="padding: 2px 5px;">OCRFL1</td> <td style="padding: 2px 5px;">OCRFL0</td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>		OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0
OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0		

ビット: 7 6 5 4 3 2 1 0

OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
------	------	------	-------	-------	-------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/(W)* R/(W)* R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック: $\phi/64$ でカウント
0	1	内部クロック: $\phi/32$ でカウント
1	0	内部クロック: $\phi/2$ でカウント
1	1	内部クロック: $\phi_w/2$ でカウント

カウンタクリア

0	0	TCGのクリアを禁止
0	1	インプットキャプチャ入力信号の立下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立上がりエッジによりTCGをクリア
1	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

インプットキャプチャインタラプトエッジセレクト

0	インプットキャプチャ入力信号の立上がりエッジで割込みを発生
1	インプットキャプチャ入力信号の立下がりエッジで割込みを発生

タイマオーバーフローインタラプトイネーブル

0	TCGのオーバーフローによる割込み要求を禁止
1	TCGのオーバーフローによる割込み要求を許可

タイマオーバーフローフラグL

0	[クリア条件] OVFL = "1" の状態で、OVFLをリードした後、OVFLに"0"をライトしたとき
1	[セット条件] TCGの値がH'FF→H'00になったとき

タイマオーバーフローフラグH

0	[クリア条件] OVFH = "1" の状態で、OVFHをリードした後、OVFHに"0"をライトしたとき
1	[セット条件] TCGの値がH'FF→H'00になったとき

【注】* フラグをクリアするための"0"ライトのみ可能

ICRGF インพุットキャプチャレジスタGF H'BD

タイマG

ビット: 7 6 5 4 3 2 1 0

ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0
 R/W: R R R R R R R R

ICRGR インพุットキャプチャレジスタGR H'BE

タイマG

ビット: 7 6 5 4 3 2 1 0

ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0
 R/W: R R R R R R R R

ビット: 7 6 5 4 3 2 1 0

CKS	TRGE	CKS1	—	CH3	CH2	CH1	CH0
-----	------	------	---	-----	-----	-----	-----

初期値: 0 0 0 1 0 0 0 0
 R/W: R/W R/W R/W — R/W R/W R/W R/W

チャンネルセレクト

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	*	*	リザーブ

* Don't care

外部トリガセレクト

0	外部トリガによるA/D変換の開始を禁止
1	外部トリガ (ADTRG)端子の立上がりエッジ、または立下がりエッジでA/D変換を開始

クロックセレクト

CKS	CKS1	変換周期	変換時間	
			$\phi = 2 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	0	リザーブ	—	—
0	1	$124/\phi$	$62 \mu\text{s}$	$24.8 \mu\text{s}$
1	0	$62/\phi$	$31 \mu\text{s}$	$12.4 \mu\text{s}$
1	1	$31/\phi$	$15.5 \mu\text{s}$	— *

【注】 * $12.4 \mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4 \mu\text{s}$ 以上になるように選択してください。

ADRR A/Dリザルトレジスタ W' C5

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
------	------	------	------	------	------	------	------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定
 R/W: R R R R R R R R

A/D変換結果

ADSR A/Dスタートレジスタ W' C6

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADSF	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値: 0 1 1 1 1 1 1 1
 R/W: R/W — — — — — — —

A/Dスタートフラグ

0	リード時	A/D変換の終了
	ライト時	A/D変換を強制終了
1	リード時	A/D変換中
	ライト時	A/D変換を開始

PDRD ポートデータレジスタD

H'D2

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PD ₇	PD ₆	PD ₅	PD ₄	PD ₃	PD ₂	PD ₁	PD ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDRE ポートデータレジスタE

H'D3

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	PE ₃	PE ₂	PE ₁	PE ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値: 1 1 1 1 0 0 0 0
 R/W: — — — — R/W R/W R/W R/W

PDR1 ポートデータレジスタ1

H'D4

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR2 ポートデータレジスタ 2	H'D5		I/Oポート								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P2₇</td> <td style="padding: 2px 10px;">P2₆</td> <td style="padding: 2px 10px;">P2₅</td> <td style="padding: 2px 10px;">P2₄</td> <td style="padding: 2px 10px;">P2₃</td> <td style="padding: 2px 10px;">P2₂</td> <td style="padding: 2px 10px;">P2₁</td> <td style="padding: 2px 10px;">P2₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>				P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀				

PDR5 ポートデータレジスタ 5	H'D8		I/Oポート								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P5₇</td> <td style="padding: 2px 10px;">P5₆</td> <td style="padding: 2px 10px;">P5₅</td> <td style="padding: 2px 10px;">P5₄</td> <td style="padding: 2px 10px;">P5₃</td> <td style="padding: 2px 10px;">P5₂</td> <td style="padding: 2px 10px;">P5₁</td> <td style="padding: 2px 10px;">P5₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>				P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀				

PDR6 ポートデータレジスタ 6	H'D9		I/Oポート								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P6₇</td> <td style="padding: 2px 10px;">P6₆</td> <td style="padding: 2px 10px;">P6₅</td> <td style="padding: 2px 10px;">P6₄</td> <td style="padding: 2px 10px;">P6₃</td> <td style="padding: 2px 10px;">P6₂</td> <td style="padding: 2px 10px;">P6₁</td> <td style="padding: 2px 10px;">P6₀</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p>				P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀				

PDR7 ポートデータレジスタ7 H'DA

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR8 ポートデータレジスタ8 H'DB

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR9 ポートデータレジスタ9 H'DC

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDRA ポートデータレジスタA H'DD

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値: 1 1 1 1 0 0 0 0
 R/W: — — — — R/W R/W R/W R/W

PDRB ポートデータレジスタ B	H' DE	I/Oポート
-------------------	-------	--------

ビット: 7 6 5 4 3 2 1 0

PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

R/W: R R R R R R R R

PCRD ポートコントロールレジスタ D	H' E2	I/Oポート
----------------------	-------	--------

ビット: 7 6 5 4 3 2 1 0

PCRD ₇	PCRD ₆	PCRD ₅	PCRD ₄	PCRD ₃	PCRD ₂	PCRD ₁	PCRD ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0

R/W: W W W W W W W W

ポートD入出力選択

0	入力ポート
1	出力ポート

PCRE ポートコントロールレジスタ E	H' E3	I/Oポート
----------------------	-------	--------

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	PCRE ₃	PCRE ₂	PCRE ₁	PCRE ₀
---	---	---	---	-------------------	-------------------	-------------------	-------------------

初期値: 1 1 1 1 0 0 0 0

R/W: — — — — W W W W

ポートE入出力選択

0	入力ポート
1	出力ポート

PCR1 ポートコントロールレジスタ1 H'E4

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート1入出力選択

0	入力ポート
1	出力ポート

PCR2 ポートコントロールレジスタ2 H'E5

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート2入出力選択

0	入力ポート
1	出力ポート

PCR5 ポートコントロールレジスタ5 H'E8

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート5入出力選択

0	入力ポート
1	出力ポート

PCR6 ポートコントロールレジスタ6 H'E9

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
 R/W: W W W W W W W W

ポート6入出力選択

0	入力ポート
1	出力ポート

PCR7 ポートコントロールレジスタ7 H'EA

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
 R/W: W W W W W W W W

ポート7入出力選択

0	入力ポート
1	出力ポート

PCR8 ポートコントロールレジスタ8 H'EB

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
 R/W: W W W W W W W W

ポート8入出力選択

0	入力ポート
1	出力ポート

PCR9 ポートコントロールレジスタ9 H'EC

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W

ポート9入出力選択

0	入力ポート
1	出力ポート

PCRA ポートコントロールレジスタA H'ED

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0
R/W:	—	—	—	—	W	W	W

ポートA入出力選択

0	入力ポート
1	出力ポート

ビット: 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	LSON	—	—	—
------	------	------	------	------	---	---	---

初期値: 0 0 0 0 0 1 1 1
 R/W: R/W R/W R/W R/W R/W — — —

ロースピードオンフラグ

0	CPUの動作クロックはシステムクロック (ϕ)
1	CPUの動作クロックはサブクロック (ϕ_{SUB})

スタンバイタイムセレクト 2~0

0	0	0	待機時間= 8192ステート
0	0	1	待機時間= 16384ステート
0	1	0	待機時間= 32768ステート
0	1	1	待機時間= 65536ステート
1	*	*	待機時間= 131072ステート

* Don't care

ソフトウェアスタンバイ

0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移
1	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移

ビット: 7 6 5 4 3 2 1 0

—	—	—	NESEL	DTON	MSON	SA1	SA0
---	---	---	-------	------	------	-----	-----

初期値: 1 1 1 0 0 0 0 0
 R/W: — — — R/W R/W R/W R/W R/W

サブアクティブモードクロックセレクト

0	0	$\phi_w/8$
0	1	$\phi_w/4$
1	*	$\phi_w/2$

* Don't care

ミドルスピードオンフラグ

0	アクティブ (高速) モードで動作
1	アクティブ (中速) モードで動作

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> • アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 • サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移
1	<ul style="list-style-type: none"> • アクティブ (高速) モードでSLEEP命令を実行したとき、アクティブ (中速) モード (SSBY= "0", MSON= "1", LSON= "0" のとき)、またはサブアクティブモード (SSBY= "1", TMA3= "1", LSON= "1" のとき) に直接遷移 • アクティブ (中速) モードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY= "0", MSON= "0", LSON= "0" のとき)、またはサブアクティブモード (SSBY= "1", TMA3= "1", LSON= "1" のとき) に直接遷移 • サブアクティブモードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY= "1", TMA3= "1", LSON= "0", MSON= "0" のとき) またはアクティブ (中速) モード (SSBY= "1", TMA3= "1", LSON= "0", MSON= "1" のとき) に直接遷移

ノイズ除去サンプリング周波数選択

0	ϕ_{osc} の16分周クロックでサンプリング
1	ϕ_{osc} の4分周クロックでサンプリング

ビット: 7 6 5 4 3 2 1 0

NMIEG	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
-------	---	---	------	------	------	------	------

初期値: 0 1 1 0 0 0 0 0
 R/W: R/W — — R/W R/W R/W R/W R/W

IRQ₀エッジセレクト

0	$\overline{\text{IRQ}}_0$ 端子入力の立下がりエッジを検出
1	$\overline{\text{IRQ}}_0$ 端子入力の立上がりエッジを検出

IRQ₁エッジセレクト

0	$\overline{\text{IRQ}}_1$ 端子入力の立下がりエッジを検出
1	$\overline{\text{IRQ}}_1$ 端子入力の立上がりエッジを検出

IRQ₂エッジセレクト

0	$\overline{\text{IRQ}}_2$ 端子入力の立下がりエッジを検出
1	$\overline{\text{IRQ}}_2$ 端子入力の立上がりエッジを検出

IRQ₃エッジセレクト

0	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立下がりエッジを検出
1	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立上がりエッジを検出

IRQ₄エッジセレクト

0	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立下がりエッジを検出
1	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立上がりエッジを検出

NMIエッジセレクト

0	$\overline{\text{NMI}}$ 端子入力の立下がりエッジを検出
1	$\overline{\text{NMI}}$ 端子入力の立上がりエッジを検出

ビット: 7 6 5 4 3 2 1 0

IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₄~IRQ₀割り込みイネーブル

0	IRQ ₄ ~IRQ ₀ 端子の割り込み要求を禁止
1	IRQ ₄ ~IRQ ₀ 端子の割り込み要求を許可

ウェイクアップ割り込みイネーブル

0	WKP ₇ ~WKP ₀ 端子の割り込み要求を禁止
1	WKP ₇ ~WKP ₀ 端子の割り込み要求を許可

SCI1割り込みイネーブル

0	SCI1の割り込み要求を禁止
1	SCI1の割り込み要求を許可

タイマA割り込みイネーブル

0	タイマAの割り込み要求を禁止
1	タイマAの割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IENDT	IENAD	IENMT	IENTG	IENTFH	IENLFL	—	—
-------	-------	-------	-------	--------	--------	---	---

初期値: 0 0 0 0 0 0 1 1
 R/W: R/W R/W R/W R/W R/W R/W — —

タイマFL割り込みイネーブル

0	タイマFLの割り込み要求を禁止
1	タイマFLの割り込み要求を許可

タイマFH割り込みイネーブル

0	タイマFHの割り込み要求を禁止
1	タイマFHの割り込み要求を許可

タイマG割り込みイネーブル

0	タイマGの割り込み要求を禁止
1	タイマGの割り込み要求を許可

マルチトーン発生回路割り込みイネーブル

0	マルチトーン発生回路の割り込み要求を禁止
1	マルチトーン発生回路の割り込み要求を許可

A/D変換器割り込みイネーブル

0	A/D変換器の割り込み要求を禁止
1	A/D変換器の割り込み要求を許可

直接遷移割り込みイネーブル

0	直接遷移による割り込み要求を禁止
1	直接遷移による割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
-------	-------	---	-------	-------	-------	-------	-------

初期値: 0 0 1 0 0 0 0 0
 R/W: R/W* R/W* — R/W* R/W* R/W* R/W* R/W*

IRQ_n~IRQ₀割り込み要求フラグ

0	[クリア条件] IRRI _n = "1" の状態でIRRI _n に "0" をライトしたとき
1	[セット条件] IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 4 ~ 0)

SCI1割り込み要求フラグ

0	[クリア条件] IRRS1 = "1" の状態でIRRS1に "0" をライトしたとき
1	[セット条件] SCI1が転送完了したとき

タイマA割り込み要求フラグ

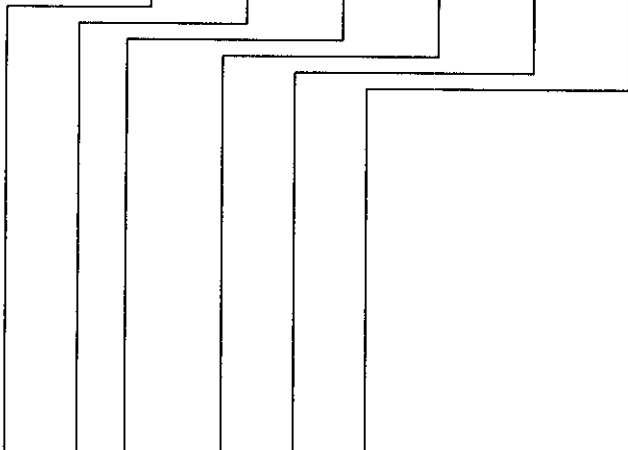
0	[クリア条件] IRRTA = "1" の状態でIRRTAに "0" をライトしたとき
1	[セット条件] タイマAのカウント値がオーバーフロー (H'FF → H'00) したとき

【注】 * フラグクリアのための "0" ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

IRRDT	IRRAD	IRRMT	IRRTG	IRRTFH	IRRTFL	—	—
-------	-------	-------	-------	--------	--------	---	---

初期値: 0 0 0 0 0 0 1 1
 R/W: R/W* R/W* R/W* R/W* R/W* R/W* — —



タイマFL割込み要求フラグ

0	[クリア条件] IRRTFL = "1" の状態でIRRTFLに "0" をライトしたとき
1	[セット条件] 8ビットタイマモードでTCFLとOCRFLが一致したとき

タイマFH割込み要求フラグ

0	[クリア条件] IRRTFH = "1" の状態でIRRTFHに "0" をライトしたとき
1	[セット条件] 8ビットタイマモードでTCFHとOCRFHが一致したとき、また16ビットタイマモードでTCF (TCFL、TCFH) とOCRFL (OCRFL、OCRFH) が一致したとき

タイマG割込み要求フラグ

0	[クリア条件] IRRTG = "1" の状態でIRRTGに "0" をライトしたとき
1	[セット条件] TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

マルチトーン発生回路割込み要求フラグ

0	[クリア条件] IRRMT = "1" の状態でIRRMTに "0" をライトしたとき
1	[セット条件] マルチトーン発生回路が半周期分のデータを出力したとき

A/D変換器割込み要求フラグ

0	[クリア条件] IRRAD = "1" の状態でIRRADに "0" をライトしたとき
1	[セット条件] A/D変換器が変換終了し、ADSFがリセットされたとき

直接遷移割込み要求フラグ

0	[クリア条件] IRRDT = "1" の状態でIRRDTに "0" をライトしたとき
1	[セット条件] DTONに "1" をセットした状態でスリープ命令を実行し直接遷移したとき

【注】* フラグクリアのための "0" ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

ウェイクアップ割込み要求フラグ

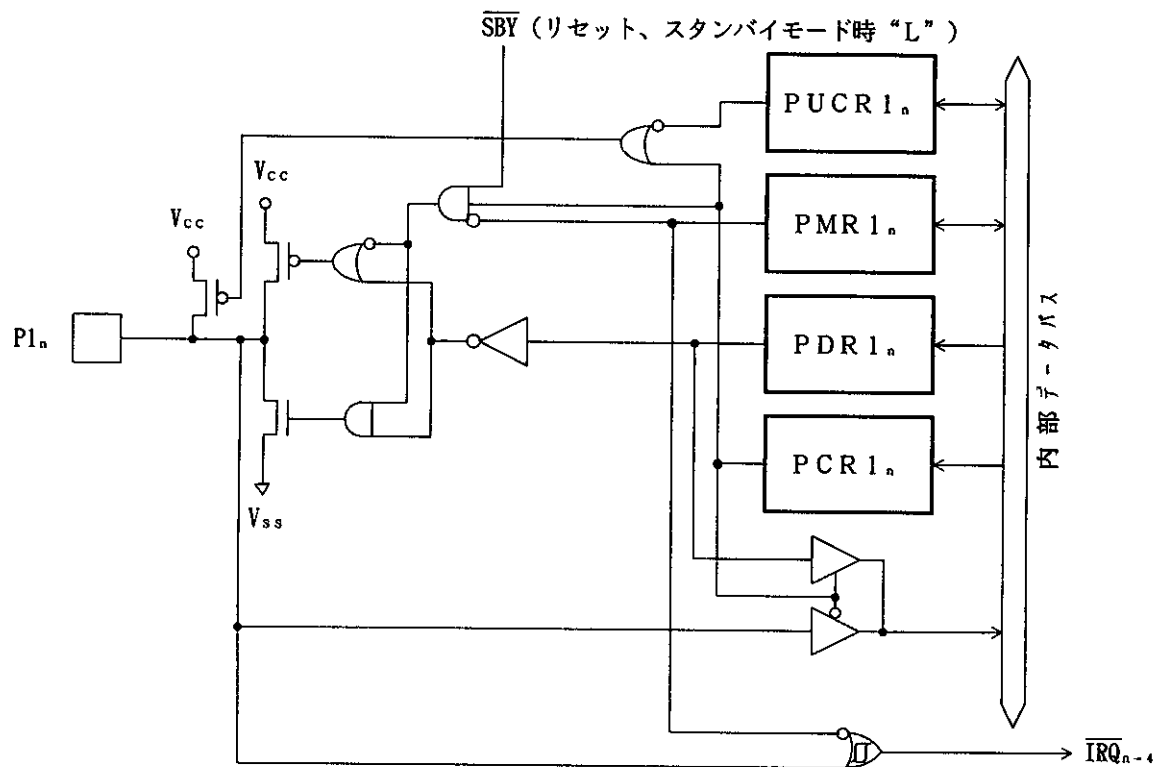
0	[クリア条件] IWPF _n = "1" の状態で IWPF _n に "0" をライトしたとき
1	[セット条件] \overline{WKP}_n 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき

(n = 7 ~ 0)

【注】* フラグクリアのための "0" ライトのみ可能

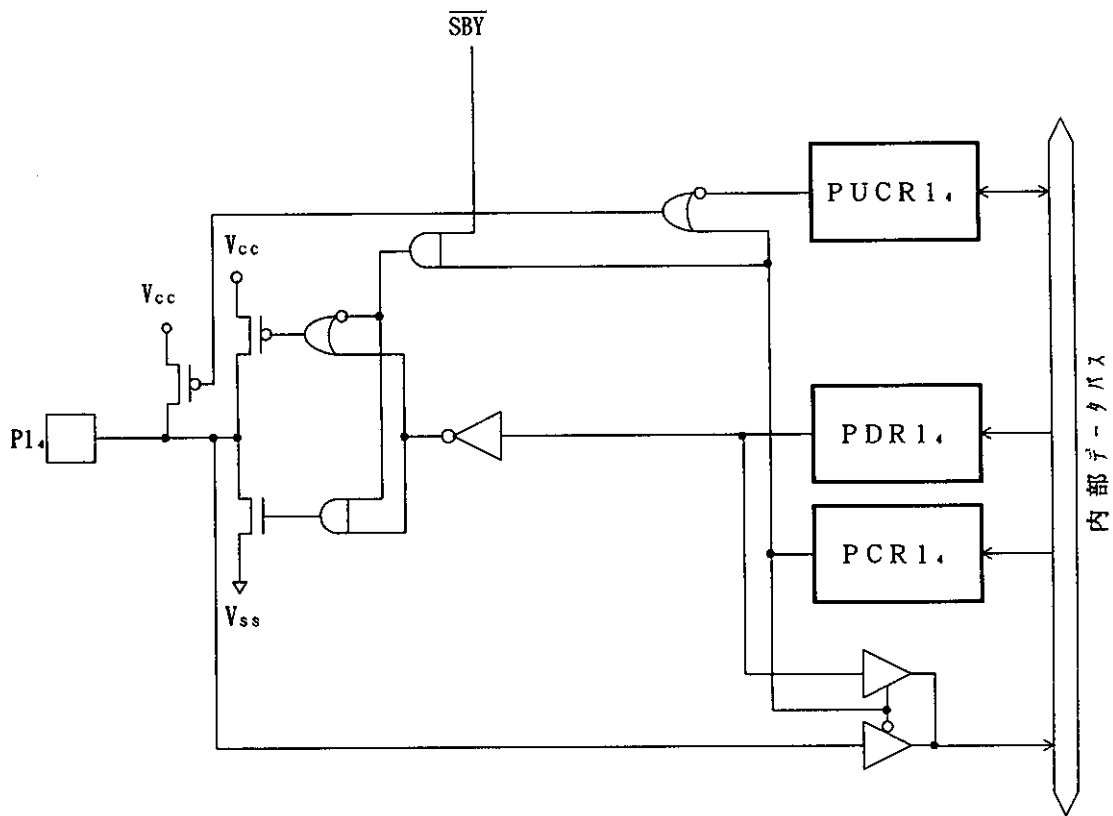
C. I/Oポートブロック図

C.1 ポート1ブロック図



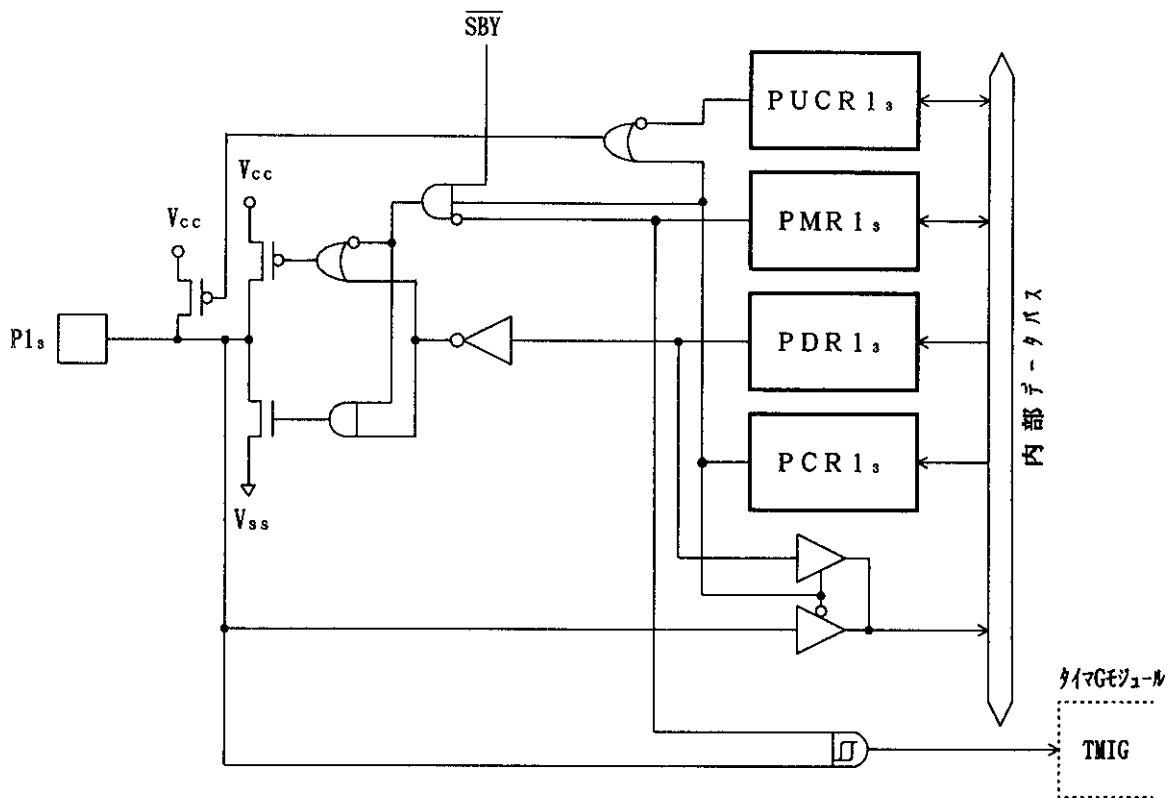
- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1
- $n = 7 \sim 5$

図 C.1(a) ポート1ブロック図 ($P1_7 \sim P1_5$ 端子)



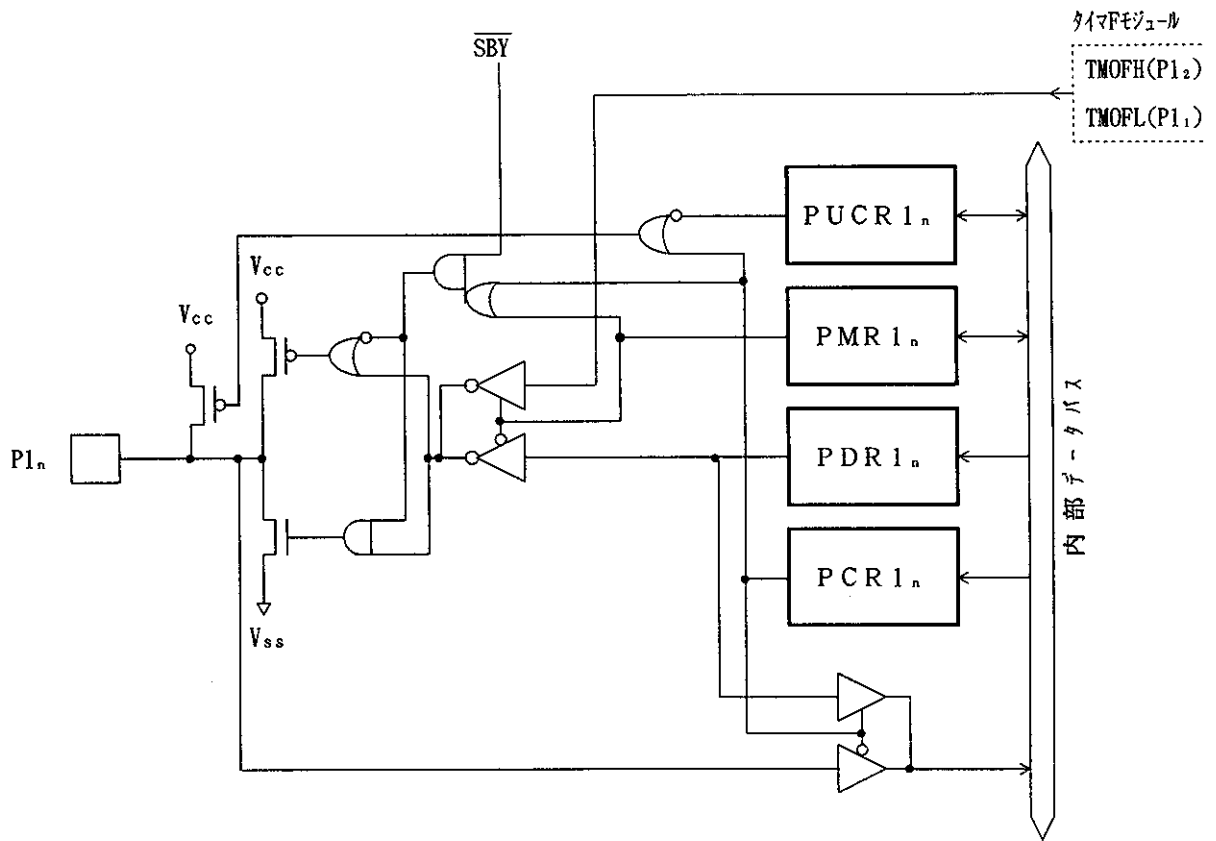
- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1

図C.1(b) ポート1ブロック図 (P1₄ 端子)



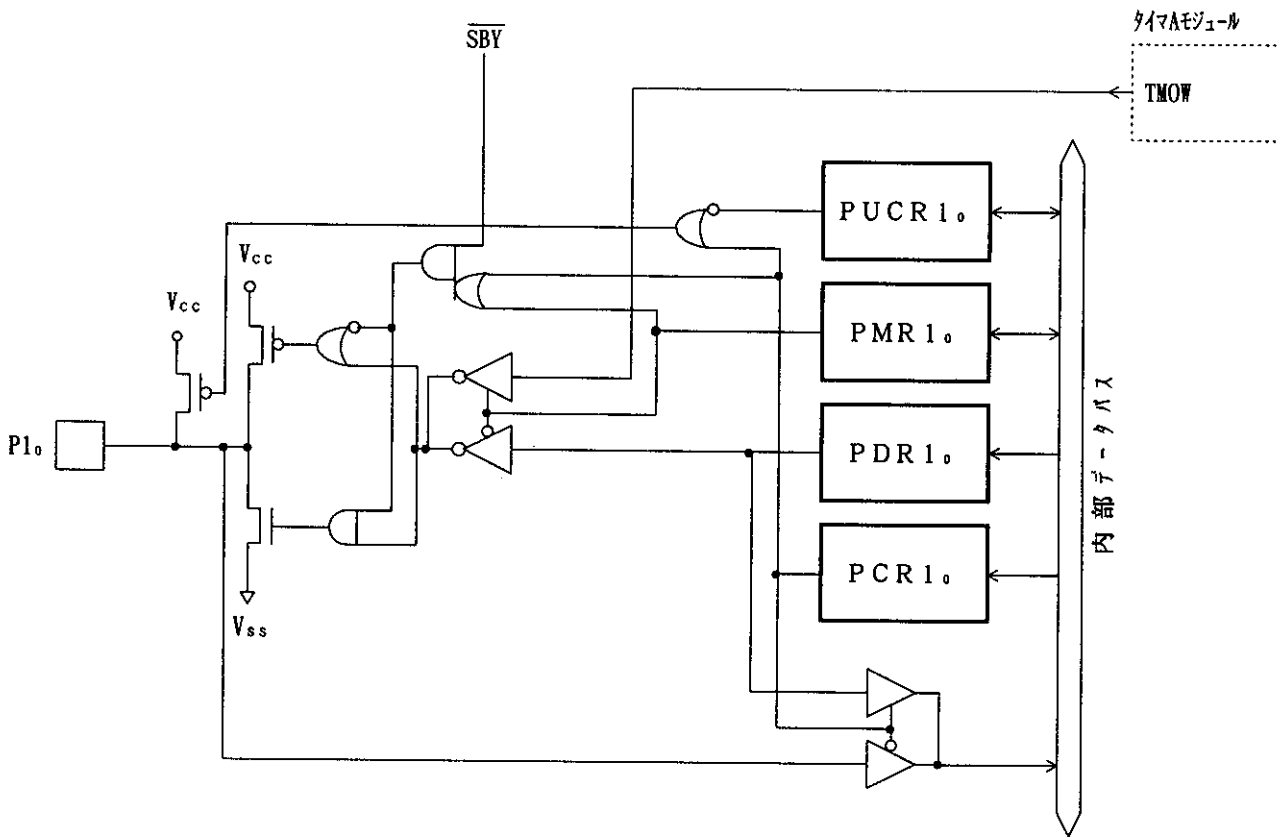
- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1

図 C.1(c) ポート1 ブロック図 (P1s 端子)



- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1
- n = 2, 1

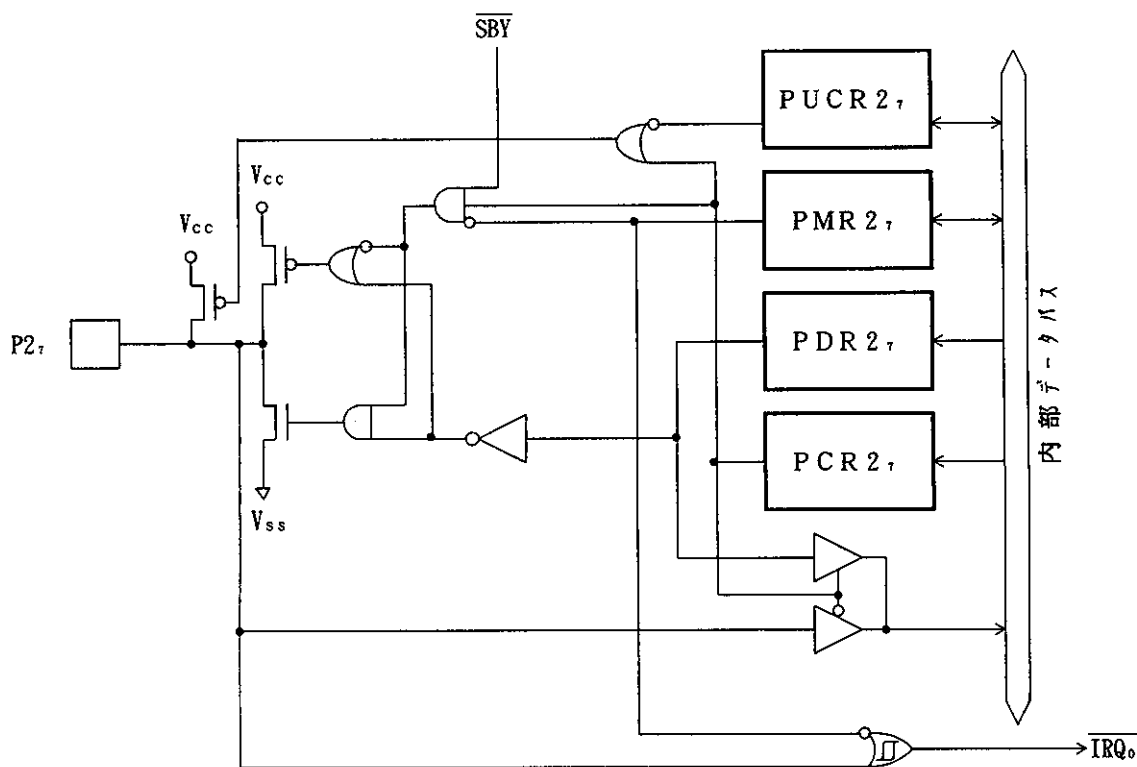
図 C.1(d) ポート1 ブロック図 ($P1_2$ 、 $P1_1$ 端子)



- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1

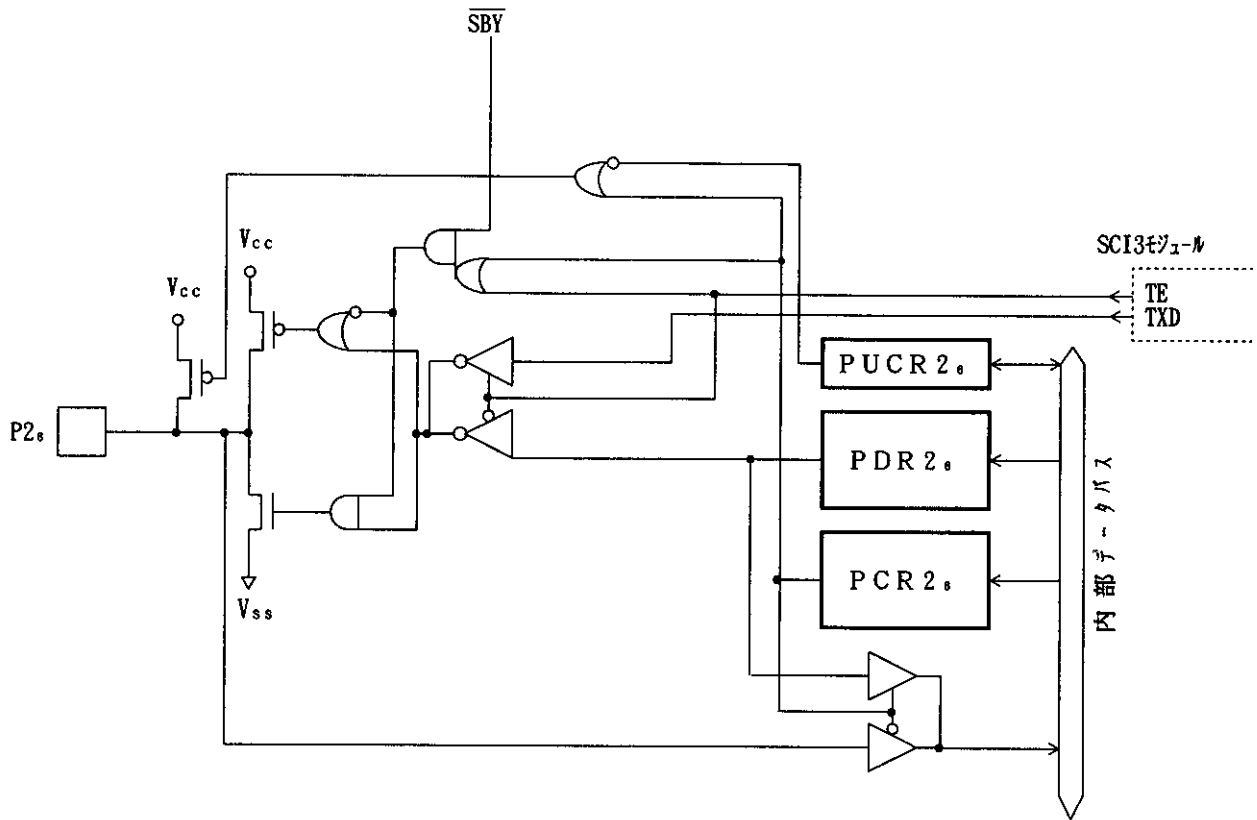
図 C.1(e) ポート1ブロック図 (P1.0端子)

C. 2 ポート2ブロック図



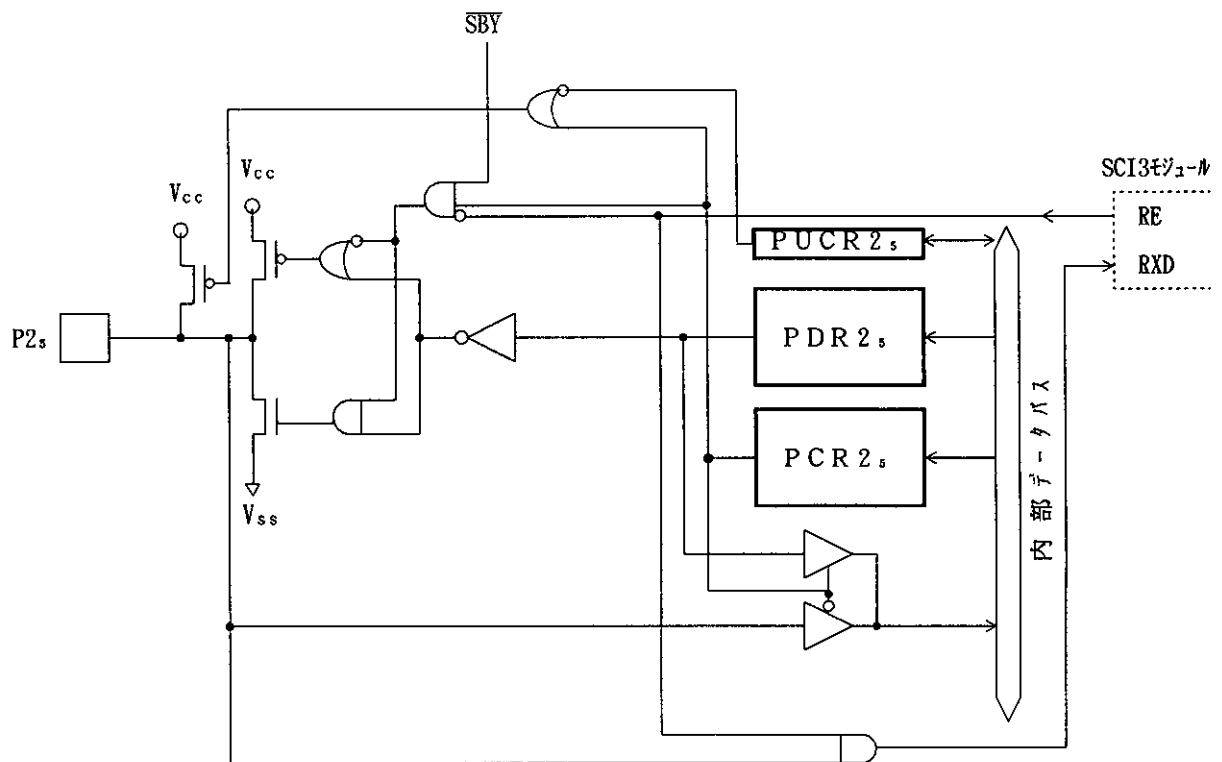
- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PMR2 : ポートモードレジスタ2
- PUCR2 : ポートプルアップコントロールレジスタ2

図C.2(a) ポート2ブロック図(P2₇端子)



- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PUCR2 : ポートブルアップコントロールレジスタ2

図C.2(b) ポート2ブロック図 (P2₀端子)

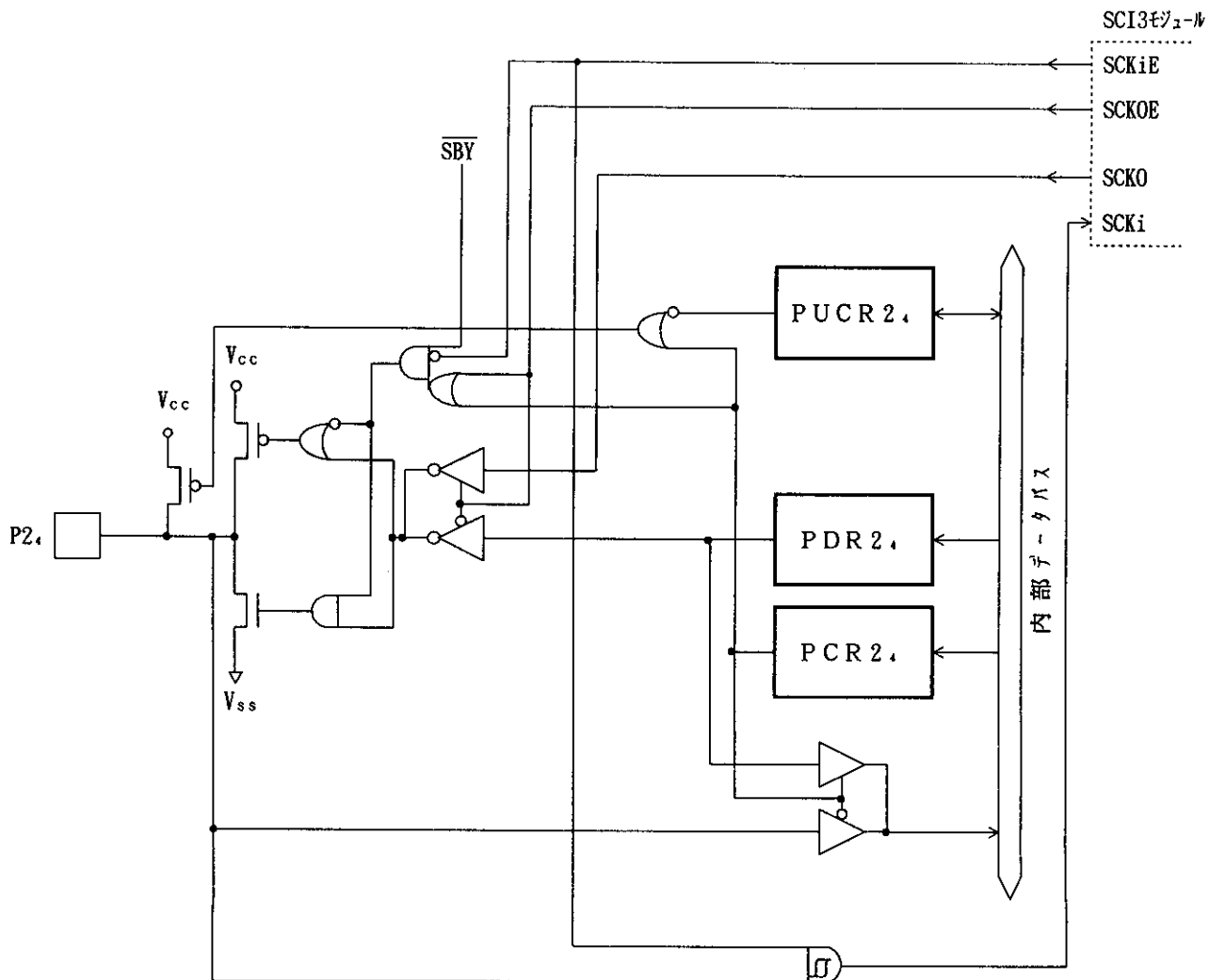


PDR2 : ポートデータレジスタ 2

PCR2 : ポートコントロールレジスタ 2

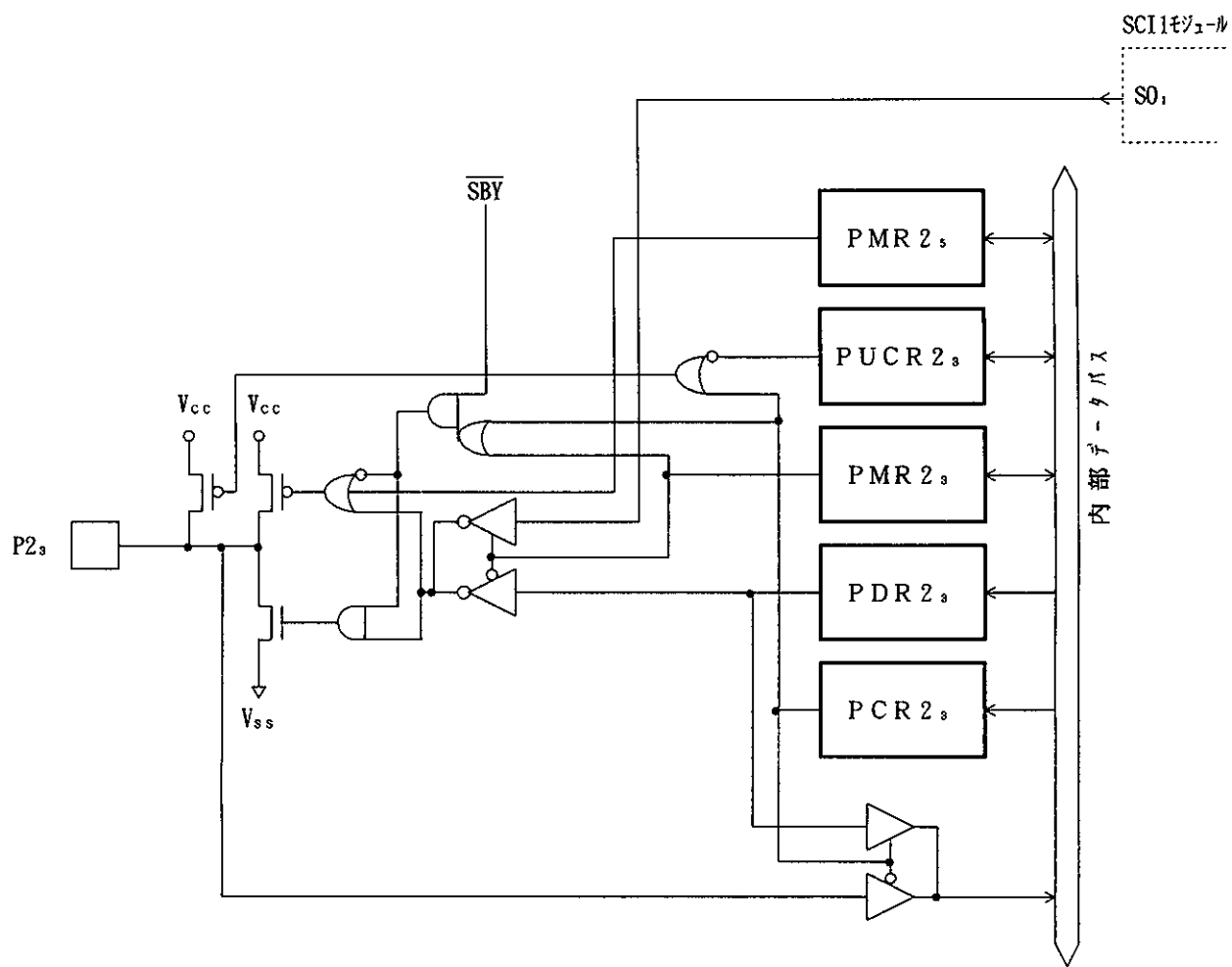
PUCR2 : ポートプルアップコントロールレジスタ 2

図 C.2(c) ポート 2 ブロック図 (P2s 端子)



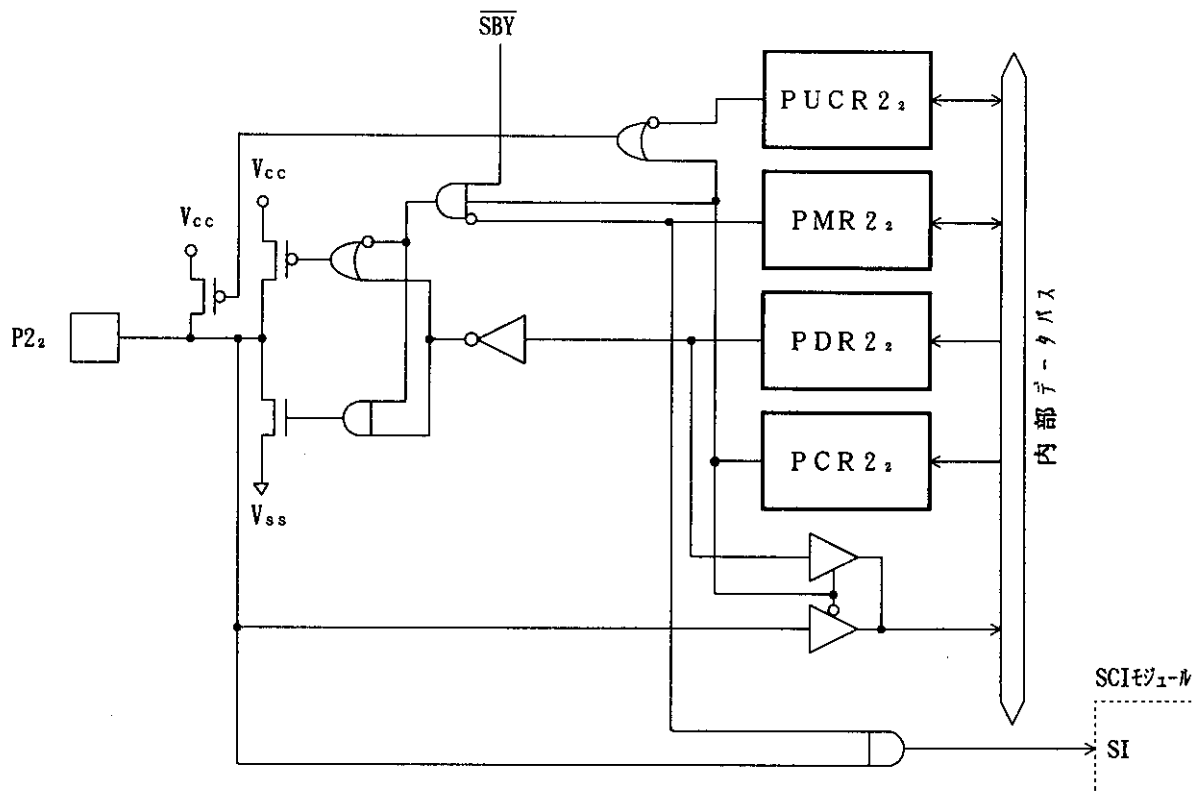
- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PUCR2 : ポートプルアップコントロールレジスタ2

図 C.2(d) ポート2 ブロック図 (P2₄ 端子)



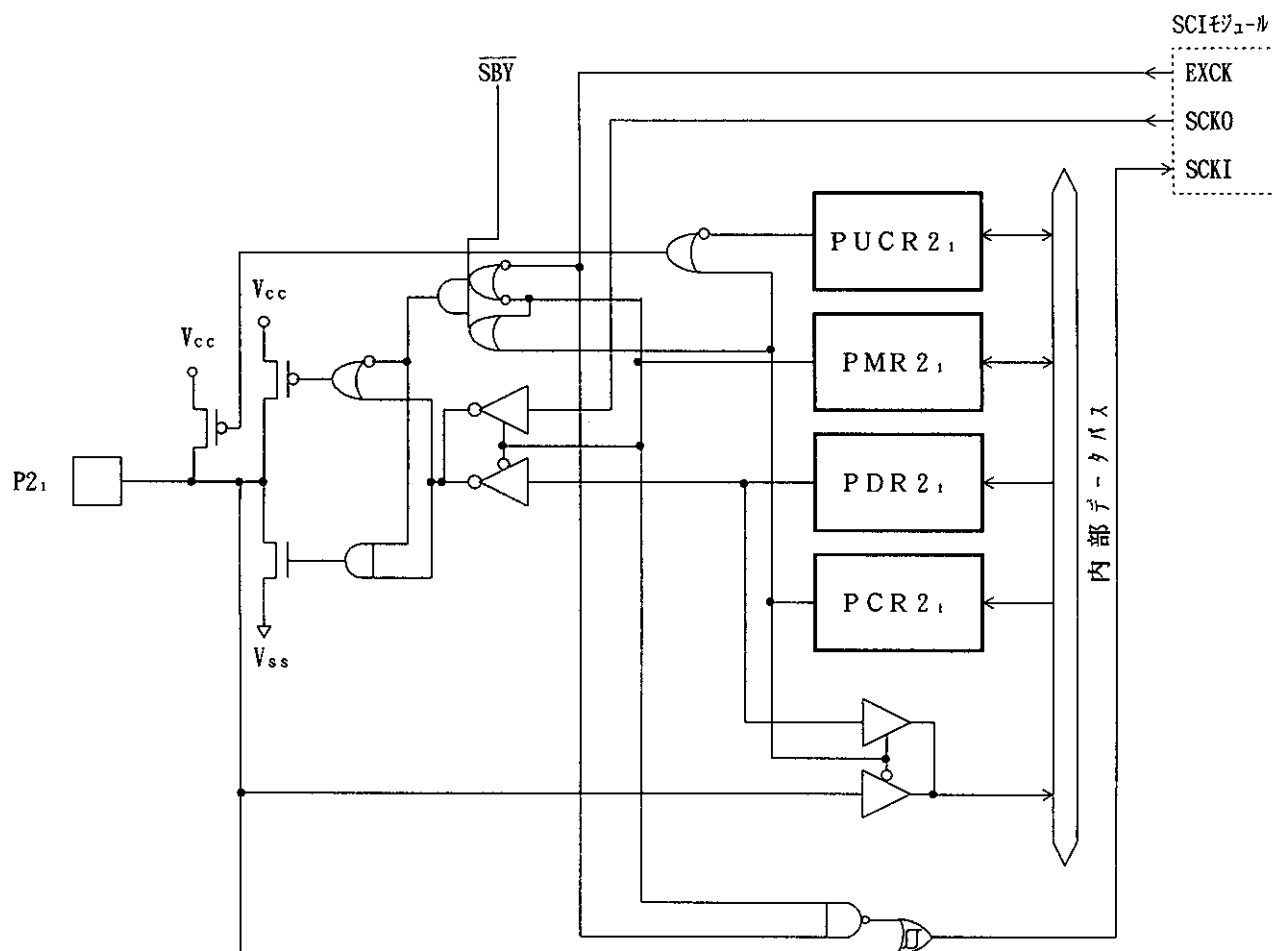
- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PMR2 : ポートモードレジスタ2
- PUCR2 : ポートプルアップコントロールレジスタ2

図C.2(e) ポート2ブロック図 (P2₃端子)



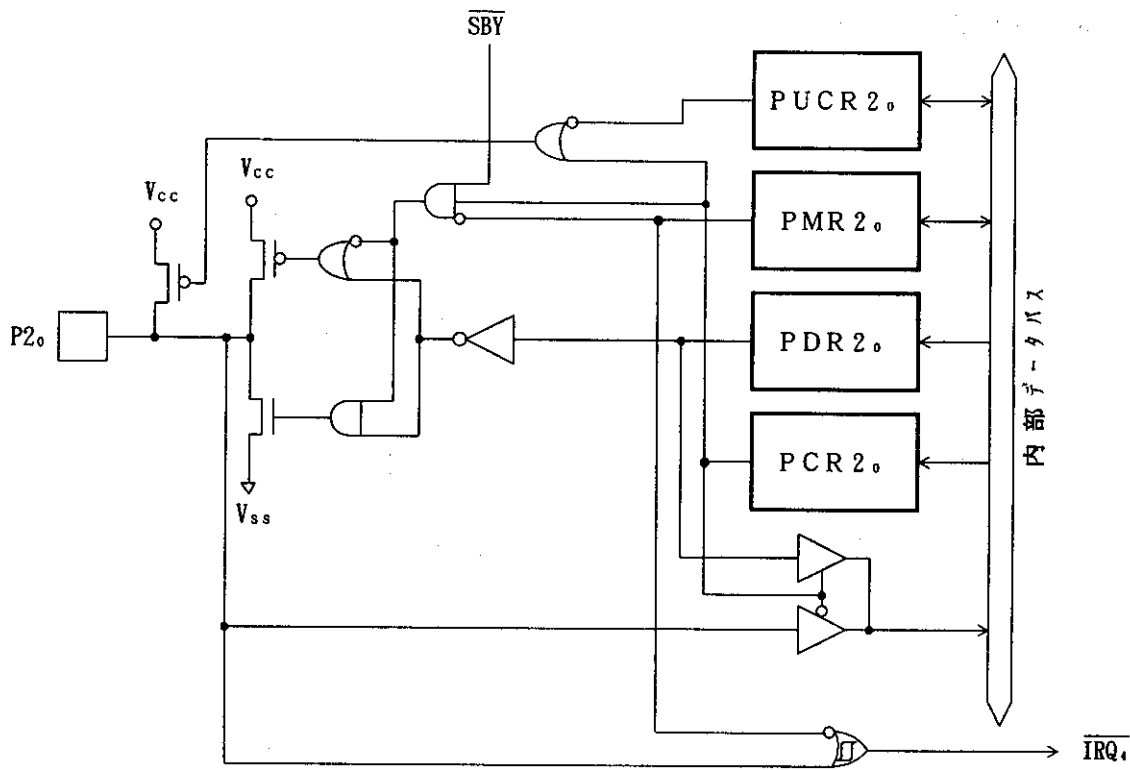
- PDR 2 : ポートデータレジスタ 2
- PCR 2 : ポートコントロールレジスタ 2
- PMR 2 : ポートモードレジスタ 2
- PUCR 2 : ポートプルアップコントロールレジスタ 2

図 C. 2(f) ポート 2 ブロック図 (P2₂ 端子)



- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PMR2 : ポートモードレジスタ2
- PUCR2 : ポートプルアップコントロールレジスタ2

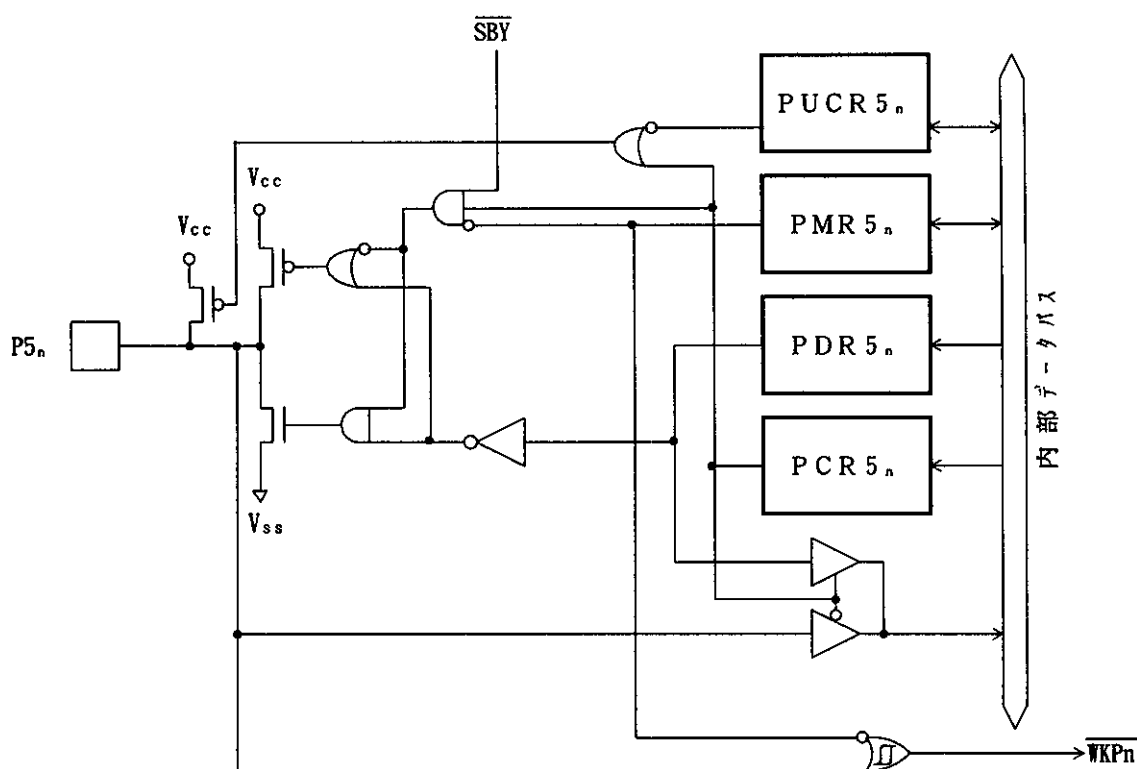
図 C.2(9) ポート2ブロック図 (P2₁ 端子)



- PDR2 : ポートデータレジスタ 2
- PCR2 : ポートコントロールレジスタ 2
- PMR2 : ポートモードレジスタ 2
- PUCR2 : ポートプルアップコントロールレジスタ 2

図 C.2(h) ポート 2 ブロック図 (P2_o 端子)

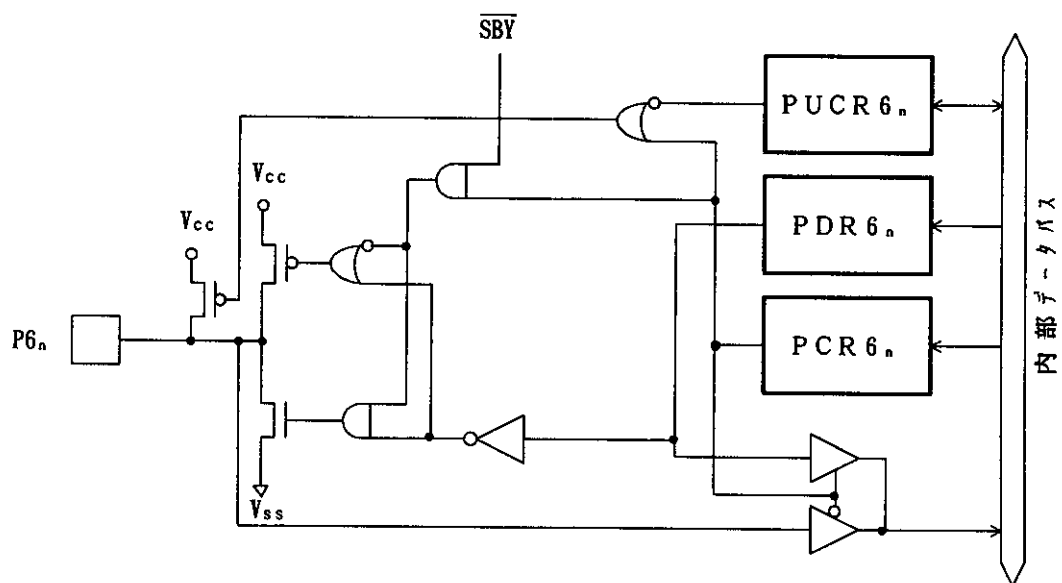
C. 3 ポート5ブロック図



- PDR5 : ポートデータレジスタ5
- PCR5 : ポートコントロールレジスタ5
- PMR5 : ポートモードレジスタ5
- PUCR5 : ポートプルアップコントロールレジスタ5
- n = 7 ~ 0

図C.3 ポート5ブロック図

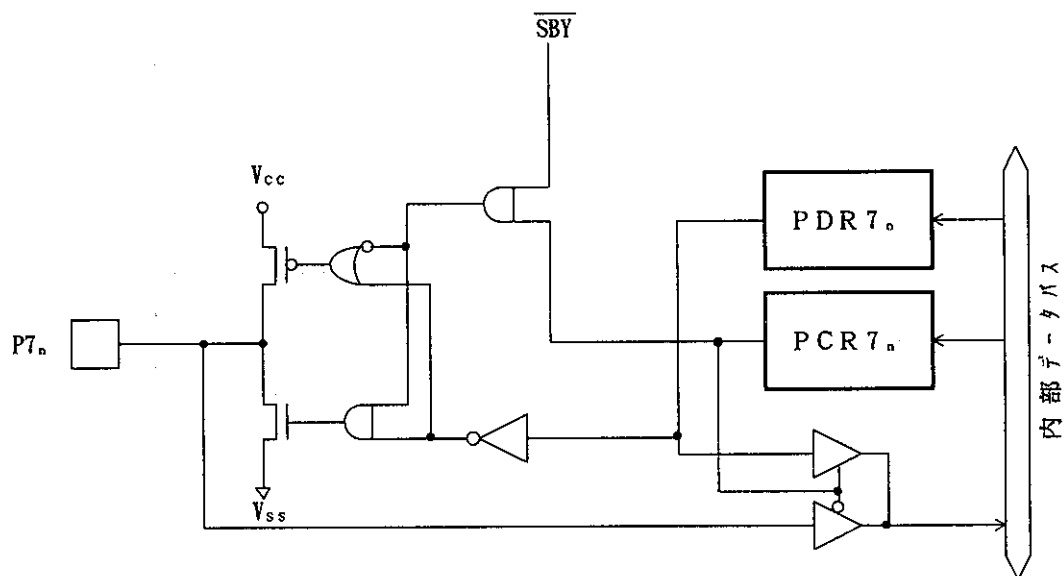
C. 4 ポート6ブロック図



- PDR6 : ポートデータレジスタ6
- PCR6 : ポートコントロールレジスタ6
- PUCR6 : ポートプルアップコントロールレジスタ6
- n = 7 ~ 0

図C.4 ポート6ブロック図

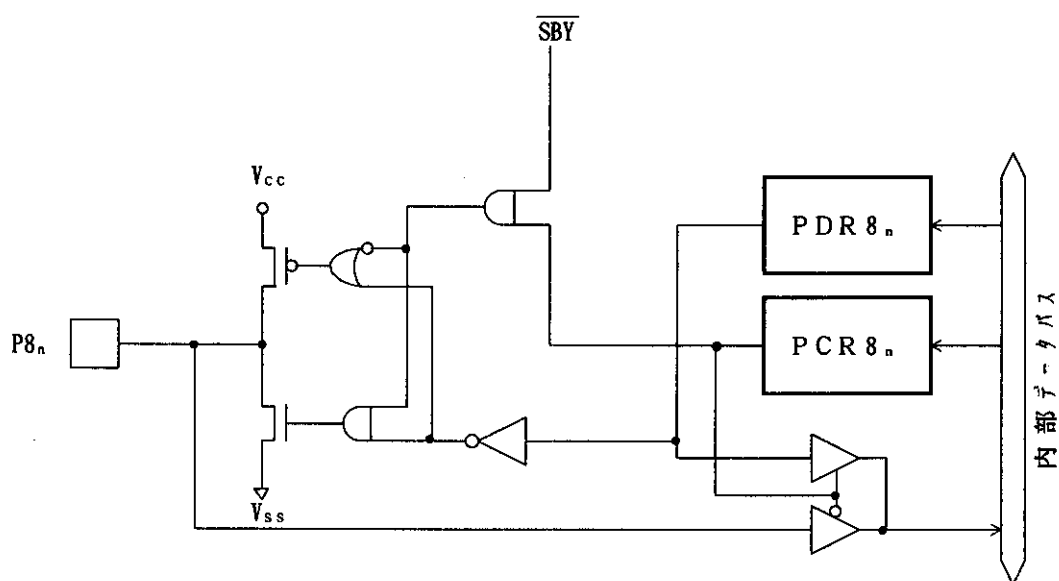
C. 5 ポート7ブロック図



PDR7 : ポートデータレジスタ7
 PCR7 : ポートコントロールレジスタ7
 $n = 7 \sim 0$

図C.5 ポート7ブロック図

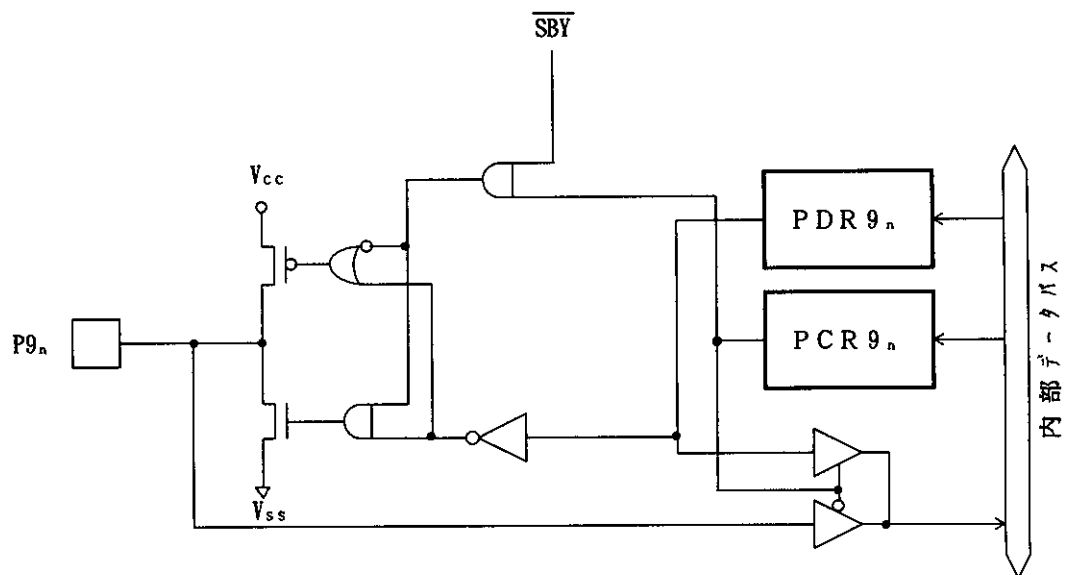
C. 6 ポート8ブロック図



PDR8 : ポートデータレジスタ 8
 PCR8 : ポートコントロールレジスタ 8
 n = 7 ~ 0

図C.6 ポート8ブロック図

C. 7 ポート9ブロック図



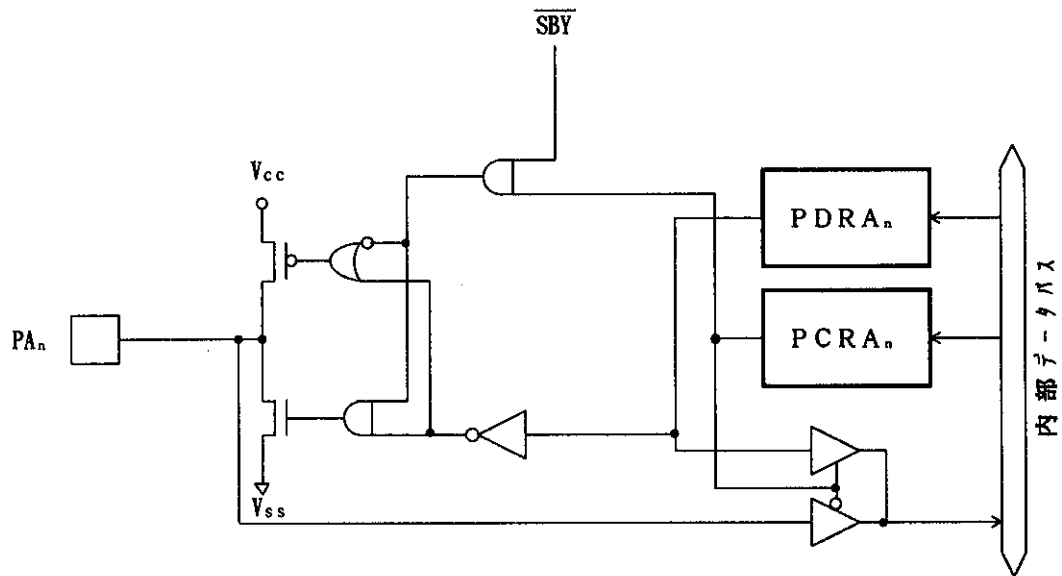
PDR9 : ポートデータレジスタ9

PCR9 : ポートコントロールレジスタ9

$n = 7 \sim 0$

図C.7 ポート9ブロック図

C. 8 ポートAブロック図



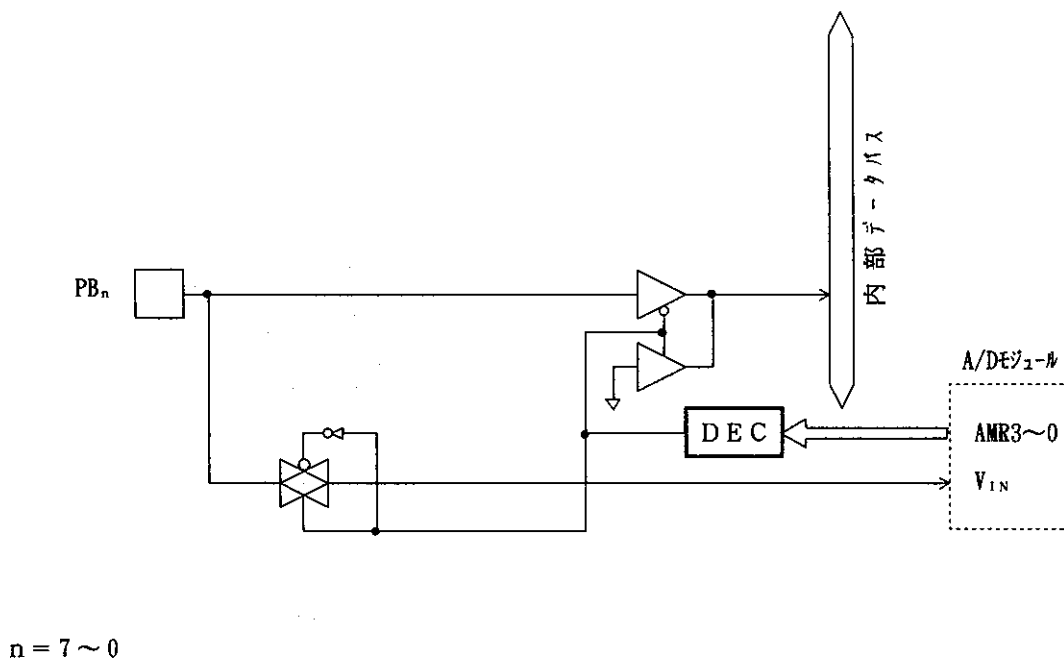
PDRA : ポートデータレジスタA

PCRA : ポートコントロールレジスタA

$n = 3 \sim 0$

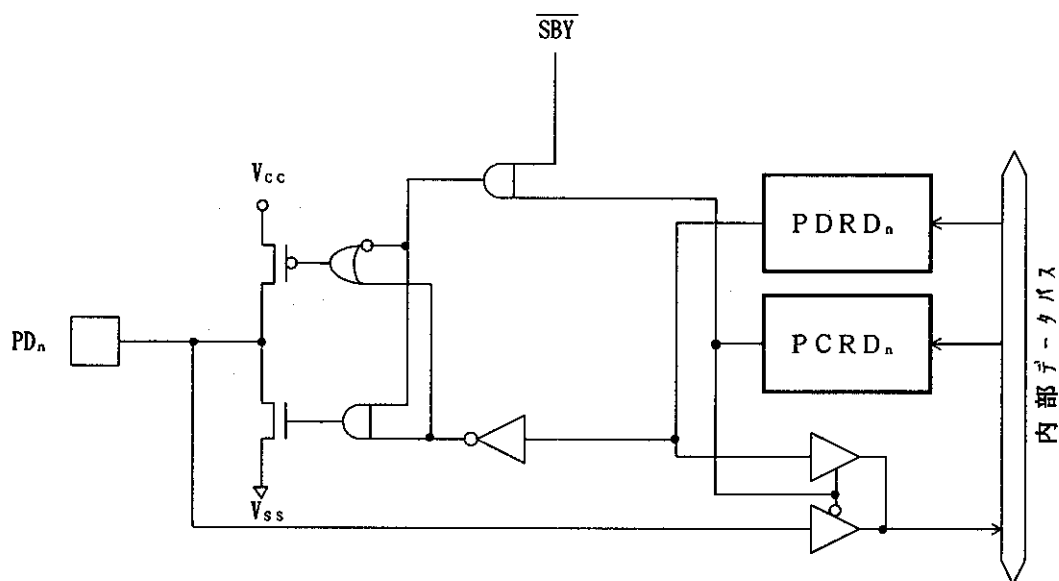
図C.8 ポートAブロック図

C. 9 ポートBブロック図



図C.9 ポートBブロック図

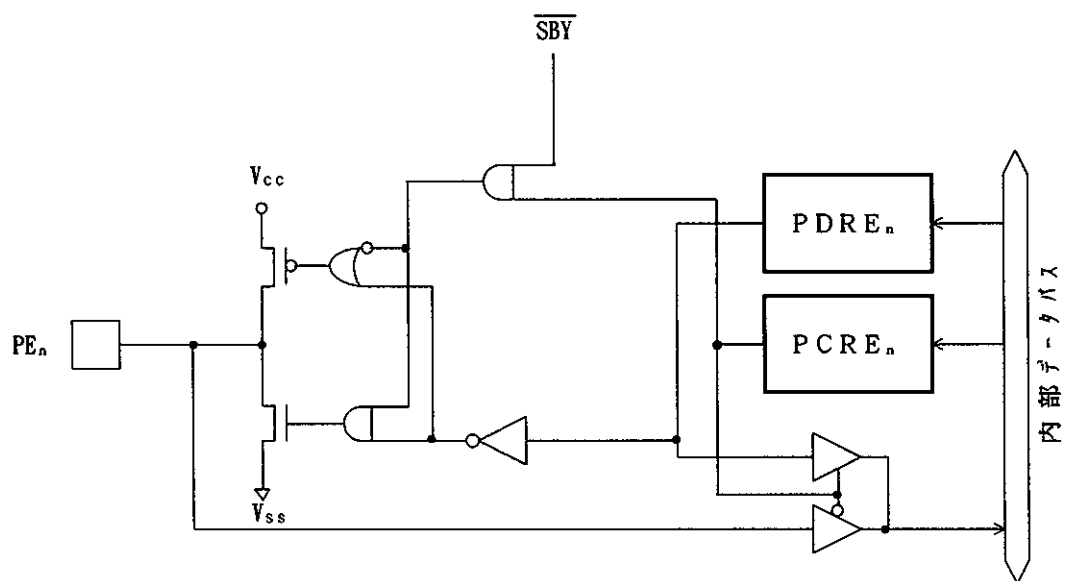
C. 10 ポートDブロック図



PDRD : ポートデータレジスタD
 PCRD : ポートコントロールレジスタD
 $n = 7 \sim 0$

図C.10 ポートDブロック図

C. 11 ポートEブロック図



PDRE : ポートデータレジスタE
 PCRE : ポートコントロールレジスタE
 $n = 3 \sim 0$

図C.11 ポートEブロック図

D. 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~P1 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作
P2 ₇ ~P2 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作
P5 ₇ ~P5 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作
P6 ₇ ~P6 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作
P7 ₇ ~P7 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作
P8 ₇ ~P8 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作
P9 ₇ ~P9 ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作
PA ₃ ~PA ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作
PB ₇ ~PB ₀	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス
PD ₇ ~PD ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作
PE ₃ ~PE ₀	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

【注】* プルアップMOSがON状態では“High”レベル出力となります。

E. 型名一覧

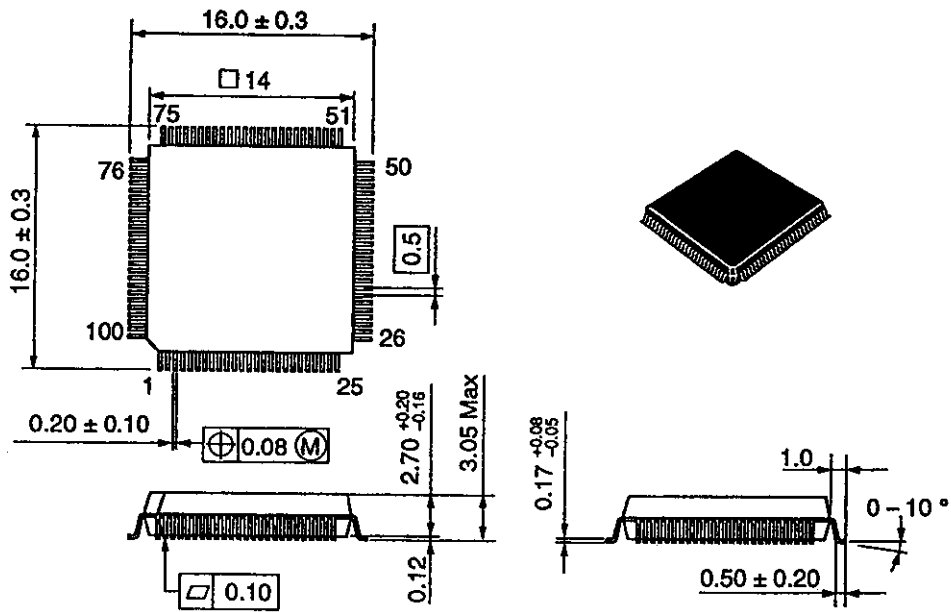
表E.1 H8/3877Nシリーズ型名一覧

製品分類		製品型名	マーク型名	パッケージ (日立パッケージコード)	
H8/3877N	ZTAT版	標準品	HD6473877NH	HD6473877NH	100ピンQFP (FP-100B)
			HD6473877NF	HD6473877NF	100ピンQFP (FP-100A)
			HD6473877NX	HD6473877NX	100ピンTQFP (TFP-100B)
	マスクROM版	標準品	HD6433877NH	HD6433877N(***) H	100ピンQFP (FP-100B)
			HD6433877NF	HD6433877N(***) F	100ピンQFP (FP-100A)
			HD6433877NX	HD6433877N(***) X	100ピンTQFP (TFP-100B)
H8/3876N	マスクROM版	標準品	HD6433876NH	HD6433876N(***) H	100ピンQFP (FP-100B)
			HD6433876NF	HD6433876N(***) F	100ピンQFP (FP-100A)
			HD6433876NX	HD6433876N(***) X	100ピンTQFP (TFP-100B)
H8/3875N	マスクROM版	標準品	HD6433875NH	HD6433875N(***) H	100ピンQFP (FP-100B)
			HD6433875NF	HD6433875N(***) F	100ピンQFP (FP-100A)
			HD6433875NX	HD6433875N(***) X	100ピンTQFP (TFP-100B)

【注】 1. マスクROM版の(***)はROMコードです。

F. 外形寸法図

H8 / 3877Nシリーズの外形寸法図FP-100Bを図F.1、FP-100Aを図F.2、T
FP-100BをF.3に示します。



図F.1 外形寸法図〔FP-100B〕単位：mm

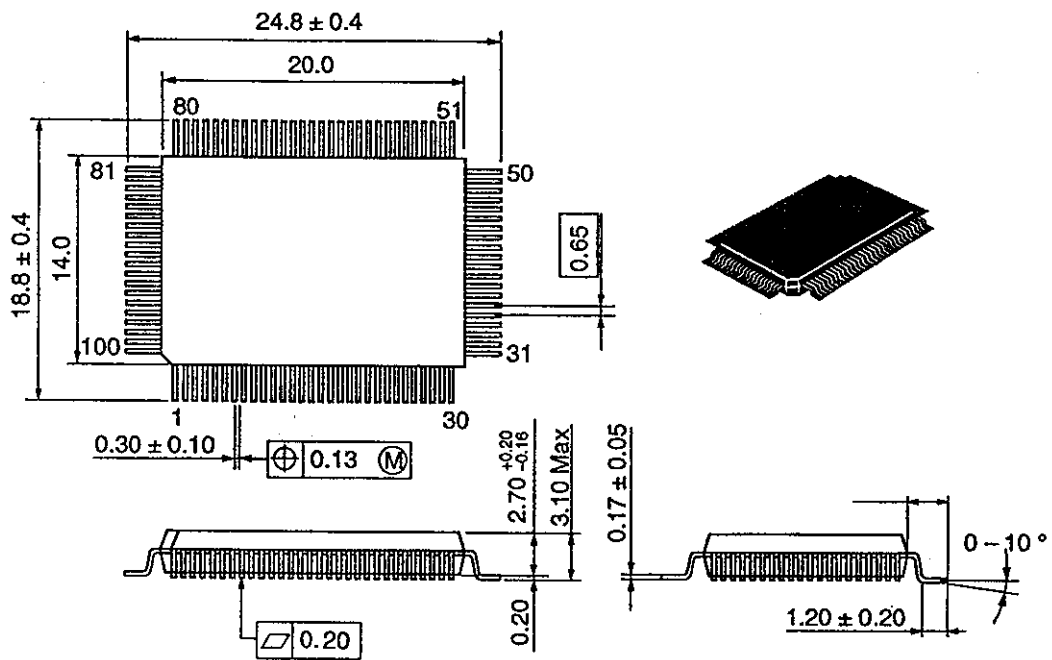


図 F.2 外形寸法図〔FP-100A〕単位：mm

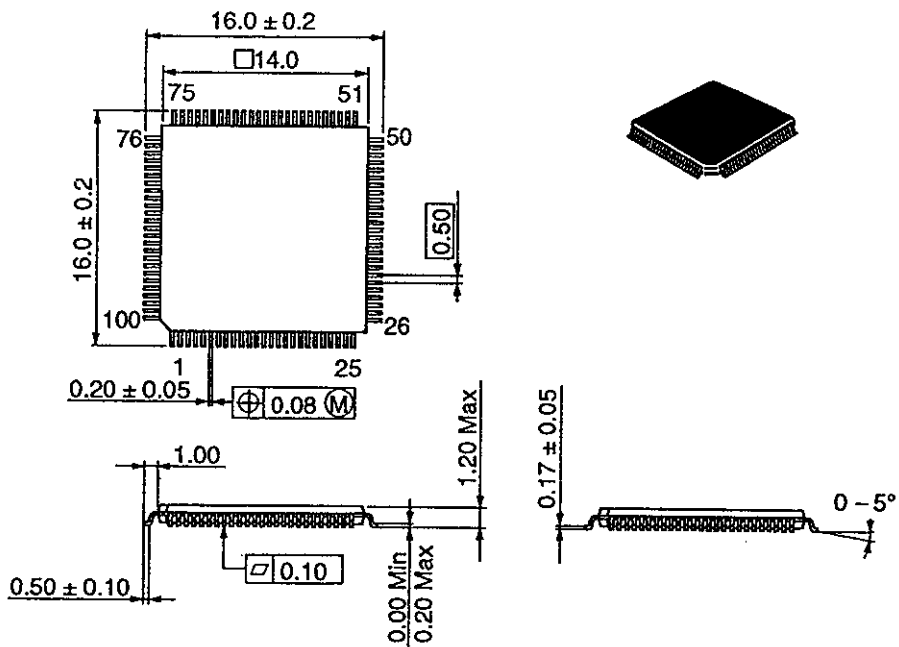


図 F.3 外形寸法図〔TFP-100B〕単位：mm

【注】 外形寸法図については、「日立半導体パッケージ」に掲載されている寸法図を優先します。

H8/3877N シリーズ ハードウェアマニュアル

発行年月 平成6年9月 第1版
平成8年10月 第2版

発 行 株式会社 日立製作所
半導体事業部

編 集 株式会社日立マイコンシステム
技術情報センター

©株式会社 日立製作所 1994

H8/3877N シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-104A