

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH-2
SH7052 F-ZTAT™、SH7053 F-ZTAT™、
SH7054 F-ZTAT™
ハードウェアマニュアル
ルネサスSuperH™ RISC engine

HD64F7052
HD64F7053
HD64F7054

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

SH7052F/SH7053F/SH7054F は、日立オリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7052F/SH7053F/SH7054F の CPU は、RISC 方式の命令セットを持っており、基本命令は1命令1ステート (1システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに SH7052F/SH7053F/SH7054F はシステム構成に必要な周辺機能として、大容量 ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、日立コントローラエリアネットワーク (HCAN)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTAT™ (Flexible Zero Turn Around Time) 版です。フラッシュメモリは SH7052F/SH7053F/SH7054F の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。これにより、ユーザサイトで LSI をボードに組み込んだままの書き換えが可能です。

このハードウェアマニュアルでは、SH7052F/SH7053F/SH7054F のハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7052F/SH7053F/SH7054F の実行命令について

「SH-1/SH-2/SH-DSP プログラミングマニュアル」

開発環境システムについては、当社営業所までお問い合わせください。

本版で改訂および追加された箇所

ページ	項目	改訂内容（詳細はマニュアル参照）
9	1.3.1 ピン配置	155 ピンの端子名称の誤記訂正（PK11/TO8L）
53	表 3.1 動作モードの選択	動作モード番号のモード 0 記載もれを修正
67	表 5.1 例外要因の種類と優先順位	内蔵周辺モジュールの項目にコンペアマッチタイマ 1（CMT1）、A/D 変換器チャンネル 1（A/D1）を追加 CMT、A/D のモジュール名、モジュール略称の修正
91	表 6.3 割り込み例外ベクタと優先順位	割り込み要因の名称修正： ITV1、ITV2A、ITV2B
173	図 9.5 デュアルアドレスモード、間接アドレスの動作説明（外部メモリ空間が 16 ビット幅の場合）	「1、2 回目のバスサイクル」の説明を 「なお、外部メモリ空間にアクセスするときにデータバスが 16 ビット幅の場合」に修正
185	9.5 使用上の注意	（11）項 ビット名称の修正 NMIF、DE
205	図 10.1 ATU-II のブロック図（全体図）	外部ピンから「TIO11A～TIO11B」を削除
230	10.2.1 タイマコントロールレジスタ（TCR）	（5）タイマコントロールレジスタ 9A、9B、9C（TCR9A、TCR9B、TCR9C） ビット 1、0 誤記の訂正 x=A、C または E
298	10.2.6 タイマインタラプトイネーブルレジスタ（TIER）	（4）タイマインタラプトイネーブルレジスタ 3（TIER3） ビット 4 誤記訂正 OVE3 OVF3
314	10.2.9 タイマモードレジスタ（TMDR）	ビット 7～3：予約ビットの書き込みに関する説明を追加： 「書き込む値も常に 0 にしてください。」
319	10.2.11 ダウンカウントスタートレジスタ（DSTR）	説明の修正
339	10.2.15 フリーランニングカウンタ（TCNT）	（1）フリーランニングカウンタ 0H、L（TCNT0H、TCNT0L） 説明追加 「タイマスタートレジスタ 1（TSTR1）の開始 します。」

ページ	項目	改訂内容（詳細はマニュアル参照）
340	10.2.15 フリーランニングカウンタ（TCNT）	（2）フリーランニングカウンタ 1A、1B、2A、2B、3～5、11（TCNT1A、1B、2A、2B、3～5、11） 説明追加 「タイムスタートレジスタ 1、3（TSTR1、3）の開始します。」
371	10.3.1 概要	（3）チャンネル 2 説明修正 その他チャンネル 2 には 16 ビットインプットキャプチャ 同時に OSBR2 のトリガとして
373		（7）チャンネル 9 説明追加 ジェネラルレジスタと一致した後にエッジが入力されるとクリア
374		（8）チャンネル 9 説明修正 8 ビットノイズキャンセラ用カウンタ（TCNT10H）と 8 ビットノイズキャンセラ用コンペアマッチレジスタ（NCR10）は
385	10.3.9 PWM タイマ機能	説明修正 図 10.22 はチャンネル 6 の CYR6A に H'0004、BFR6A に H'0002、H'0003、H'0004（100%）、H'0000（0%）を設定したときの動作例です。
410	図 10.55 コンペアマッチ信号の送信動作の設定手順	説明中のレジスタ名称の修正 コンペアマッチ信号が、チャンネル 0 の ICRD0D のインプットキャプチャ信号
431	（23）ATU レジスタライト直後の ROM 領域へのライト	新規追加
433	表 10.4 レジスタおよび端子の一覧表	レジスタ名を TCNT（25）、ICR（5）、OCR（11）に修正 チャンネル 10 の RLD（1）、NCR（1）、TCCLR（1）の欄に内容追加 チャンネル 11 の RLD（1）、NCR（1）、TCCLR（1）の欄から内容削除
471	図 13.3 カウントタイミング	CMCNT 入力クロックのタイミング波形修正
472	図 13.4 CMF のセットタイミング	CMCNT のタイミング波形修正
473	13.4.3 コンペアマッチフラグのクリアタイミング	説明修正 クリア要因から「DTC 転送のクリア信号」を削除

ページ	項目	改訂内容（詳細はマニュアル参照）
487	14.2.5 シリアルモードレジスタ（SMR）	説明追加 マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。
490	14.2.6 シリアルコントロールレジスタ（SCR）	
500	14.2.8 ビットレートレジスタ（BRR）	
506	14.2.9 シリアルディレクションコントロールレジスタ（SDCR）	
538	14.5.3 ブレークの検出と処理について 14.5.4 ブレークの送り出し	
544	表 15.2 HCAN レジスタ一覧	リモートリクエスト待ちレジスタ リモートリクエストレジスタ インタラプトマスクレジスタの初期値 H'FFFF H'FEFF
553	BCR の設定制限	TSEG2 に関する設定制限を追加
	表 15.3 BCR の TSEG1、TSEG2 の設定可能な範囲	注を追加
562	15.2.11 インタラプトレジスタ（IRR）	ビット 10、9 の R/W R/W R
564		ビット 9：受信メッセージ割り込みフラグ（IRR1）の説明修正 <u>MBIMR が 0 のときの RXPR（受信完了レジスタ）の全ビットをクリア</u> ビット 8：リセット割り込みフラグ（IRR0）の説明修正 パワーオンリセット投入後およびソフトウェアスタンバイモード復帰後本フラグを 説明追加 <u>ソフトウェアスタンバイ投入による割り込み要求（OVR）</u>
575	15.2.18 メッセージコントロール（MC0 ~MC15）	MCx[1]ビット 3~0：データ長コード（DLC3~0） 表の修正 「設定禁止」を削除
579	15.3.1 ハードウェアリセットとソフトウェアリセット	ハードウェアリセット（パワーオンリセット、ハードウェア/ソフトウェアスタンバイ） 説明修正 メールボックスは初期化されません。

ページ	項目	改訂内容（詳細はマニュアル参照）
583	表 15.4 BCR 設定での制限	表の修正 「ビット数」「初期値」を削除、「Min.値」「Max.値」の修正、「単位」の追加
588	図 15.7 送信時のフローチャート	フローチャートの修正 「TXACK=1?」を追加 「TXACK=1、IRR8=1」を削除
595	図 15.7 受信時のフローチャート	フローチャートの修正 「PXPR=1?」を追加 RXPR、IRR1 をクリア RXPR をクリア RXPR、RFPR、IRR2、IRR1 をクリア RXPR、RFPR をクリア
599	図 15.11 HCAN スリープモードのフローチャート	No (手動) No (自動) Yes (自動) Yes (手動) 「MCR5=0」はユーザによる設定
601	図 15.12 HCAN HALT モードのフローチャート	「バスアイドル?」「GSR2=1? (送信中の場合は完了まで待つ)バスアイドル?」
610	16.1.1 特長	モジュールごとのアナログ変換電圧範囲設定機能の項目を削除
612	16.1.3 端子構成	説明修正 Low レベルのパルスを印加すると Low レベルを印加すると
620	16.2.3 A/D コントロールレジスタ 0、1 (ADCR0、1)	ビット 7: トリガイネーブル (TRGE) Low レベルを印加すると A/D 変換は Low レベルを検出し、
635	16.4.4 外部トリガによる A/D 変換器の起動	説明修正 PFC (ピンファンクションコントローラ) で端子機能を設定し、 <u>ADTRG</u> 端子に High レベルを入力したのち、 TRGE ビットを 1 にセットし、 <u>ADST</u> ビットを 0 にクリアします。 A/D 変換器は、Low レベルを検出して、 A/D 変換器が <u>ADTRG</u> 端子の Low レベルをサンプリングしてから 、 説明追加 A/D 変換終了時、 A/D 変換を開始します
651	17.5.3 ROM 領域ライト時の注意	説明追加
722	図 19.2 ポート B	RXD3 (出力)

ページ	項目	改訂内容（詳細はマニュアル参照）
759	20.5.5 RAM エミュレーションレジスタ (RAMER)	ビット 15～4 説明の追加 「書き込む値も常に 0 にしてください。」を追加
771	20.7.3 イレースモード	説明修正 消去時間は t_{CE} を超えないようにしてください。
773	図 20.15 イレース / イレースベリファイフロー	フローチャートの修正 「消去対象全ブロックの消去終了?」の判定 No の場合の戻り先を 「ウェイト : t_{SSWE} 」と「N=1」の間に修正 「n 100?」の判定が No の場合の戻り先を「EBR1、2 を設定する」と「WDT イネーブル」の間に修正
789	図 20.26 自動消去モードのタイミング波形	消去終了セットアップ時間の記号を t_{enh} に修正
821	21.7.3 イレースモード	説明修正 消去時間は t_{CE} を超えないようにしてください。
823	図 21.15 イレース / イレースベリファイフロー	
839	図 21.26 自動消去モードのタイミング波形	
858	23.3.1 ハードウェアスタンバイモードへの遷移	説明追加 \overline{HSTBY} 端子および \overline{RES} 端子にローレベルを
870、 871	表 24.4 DC 特性	修正および追加 \overline{RES} 、NMI、FWE、MD2～MD0、 \overline{HSTBY} 端子の入力ハイレベル電圧の max 値を 5.8V に修正、測定条件削除 「メモリ外部拡張時」の記述を「MCU 拡張モード時」に修正 PE15～PE0、PF15～PF0、PH15～PH0、（MCU 拡張モード時）の入力ハイレベル電圧、入力リーク電圧、出力ハイレベル電圧、出力ローレベル電圧の特性値を追加 \overline{AUDRST} 、AUDMD 端子の入力ハイレベル電圧 min 値の記述を $V_{CC}-0.5$ に修正 入力リーク電流の測定条件の PV_{CC} の記述を修正（ PV_{CC1} 、 PV_{CC2} ） 入力プルダウン MOS 電流の max 値を 700 μ A に修正 スリーステートリーク電流（オフ状態）の項目に \overline{BACK} 端子を追加 書き込み動作時の消費電力値を typ130mA、max170mA に修正 アナログ電源電流の項目にスタンバイ時の記述を追加

ページ	項目	改訂内容（詳細はマニュアル参照）
870、 871	表 24.4 DC 特性	基準電源電流の項目にスタンバイ時、A/D 変換待機時の記述を追加、スタンバイ時の基準電源電流の単位を μ A に修正
889	表 24.14 HCAN タイミング	項目の名称を受信データセットアップ時間に修正
892	表 24.16 AUD タイミング	負荷条件に $\overline{\text{AUDSYNC}}$ 、AUDATA3 ~ 0 ; $C_L=100\text{pF}$ の条件を追加
895	図 24.24 出力負荷回路	負荷回路図のダイオードの向きを修正
910	表 A.1 アドレス一覧	H'FFFFFF466 のレジスタ略称を TRGMDR に修正 H'FFFFFF526 のレジスタ略称を PMDR に修正
921	表 A.2 リセット低消費電力状態でのレジスタ状態	ダイレクトメモリアクセスコントローラ（DMAC）の SAR0 ~ SAR3、DAR0 ~ DAR3、DMATCR0 ~ DMATCR3 レジスタのスリープ時以外の状態を「不定」に修正
924		シリアルコミュニケーションインタフェース（SCI）の SMR0 ~ SMR4、BRR0 ~ BRR4、SCR0 ~ SCR4、SDCR0 ~ SDCR4 のソフトウェアスタンバイ時の状態を「保持」に修正 I/O ポートのソフトウェアスタンバイ時の各レジスタの状態を「保持」に修正
925		日立コントローラエリアネットワーク（HCAN）の MC0 [1:8] ~ MC15 [1:8]、MD0 [1:8] ~ MD15 [1:8] のレジスタのスリープ時以外の状態を「不定」に修正
930	図 D.1 SH7052F/SH7053F/SH7054F の外形寸法図	外形寸法図を修正

目次

第1章 概要

1.1	特長	3
1.2	ブロック図	8
1.3	端子説明	9
1.3.1	ピン配置	9
1.3.2	端子機能	10
1.3.3	端子一覧	17

第2章 CPU

2.1	レジスタ構成	27
2.1.1	汎用レジスタ (Rn)	27
2.1.2	コントロールレジスタ	28
2.1.3	システムレジスタ	29
2.1.4	レジスタの初期値	29
2.2	データ形式	30
2.2.1	レジスタのデータ形式	30
2.2.2	メモリ上でのデータ形式	30
2.2.3	イミディエイトデータのデータ形式	30
2.3	命令の特長	31
2.3.1	RISC方式	31
2.3.2	アドレッシングモード	35
2.3.3	命令形式	38
2.4	命令セット	40
2.4.1	分類順命令セット	40
2.5	処理状態	48
2.5.1	状態遷移	48

第3章 動作モード

3.1	動作モードの種類と選択	53
-----	-------------	----

第4章 クロック発振器 (CPG)

4.1	概要	57
4.1.1	ブロック図	57
4.1.2	端子構成	58
4.2	周波数範囲	59
4.3	クロックソース	60
4.3.1	水晶発振子の接続方法	60
4.3.2	外部クロックの入力方法	61
4.4	使用上の注意	62

第5章 例外処理

5.1	概要	67
5.1.1	例外処理の種類と優先順位	67
5.1.2	例外処理の動作	68
5.1.3	例外処理ベクタテーブル	69
5.2	リセット	71
5.2.1	リセットの種類	71
5.2.2	パワーオンリセット	71
5.2.3	マニュアルリセット	72
5.3	アドレスエラー	74
5.3.1	アドレスエラー発生要因	74
5.3.2	アドレスエラー例外処理	75
5.4	割り込み	76
5.4.1	割り込み要因	76
5.4.2	割り込み優先順位	77
5.4.3	割り込み例外処理	77
5.5	命令による例外	78
5.5.1	命令による例外の種類	78
5.5.2	トラップ命令	78
5.5.3	スロット不当命令	78
5.5.4	一般不当命令	79
5.6	例外処理が受け付けられない場合	80
5.7	例外処理後のスタックの状態	81

5.8	使用上の注意	82
5.8.1	スタックポインタ (SP) の値	82
5.8.2	ベクタベースレジスタ (VBR) の値	82
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	82

第6章 割り込みコントローラ (INTC)

6.1	概要	85
6.1.1	特長	85
6.1.2	ブロック図	86
6.1.3	端子構成	87
6.1.4	レジスタ構成	87
6.2	割り込み要因	88
6.2.1	NMI 割り込み	88
6.2.2	ユーザブレイク割り込み	88
6.2.3	IRQ 割り込み	88
6.2.4	内蔵周辺モジュール割り込み	89
6.2.5	割り込み例外処理ベクタと優先順位	90
6.3	レジスタの説明	94
6.3.1	割り込み優先レベル設定レジスタ A、C ~ L (IPRA、IPRC ~ IPRL)	94
6.3.2	割り込みコントロールレジスタ (ICR)	95
6.3.3	IRQ ステータスレジスタ (ISR)	96
6.4	動作説明	98
6.4.1	割り込み動作の流れ	98
6.4.2	割り込み例外処理終了後のスタックの状態	100
6.5	割り込み応答時間	101
6.6	割り込み要求信号によるデータ転送	103
6.6.1	割り込み要求信号を CPU の割り込み要因とし、 DMAC の起動要因としない場合	103
6.6.2	割り込み要求信号を DMAC の起動要因とし、 CPU の割り込み要因としない場合	103

第7章 ユーザブレイクコントローラ (UBC)

7.1	概要	107
7.1.1	特長	107
7.1.2	ブロック図	108
7.1.3	レジスタ構成	109

7.2	レジスタの説明	110
7.2.1	ユーザブ레이크アドレスレジスタ (UBAR)	110
7.2.2	ユーザブ레이크アドレスマスクレジスタ (UBAMR)	111
7.2.3	ユーザブ레이크バスサイクルレジスタ (UBBR)	112
7.2.4	ユーザブ레이크コントロールレジスタ (UBCR)	114
7.3	動作説明	115
7.3.1	ユーザブ레이크動作の流れ	115
7.3.2	内蔵メモリの命令フェッチサイクルによるブ레이크	117
7.3.3	退避するプログラムカウンタ (PC) の値	117
7.4	ユーザブ레이크使用例	118
7.5	使用上の注意	121
7.5.1	2 命令同時フェッチ	121
7.5.2	分岐時の命令フェッチ	121
7.5.3	ユーザブ레이크と例外処理の競合	122
7.5.4	非遅延分岐命令の飛び先でのブ레이크	122
7.5.5	ユーザブ레이크トリガ出力	122
7.5.6	モジュールスタンバイ	123

第 8 章 バスステートコントローラ (BSC)

8.1	概要	127
8.1.1	特長	127
8.1.2	ブロック図	128
8.1.3	端子構成	129
8.1.4	レジスタ構成	129
8.1.5	アドレスマップ	130
8.2	レジスタの説明	134
8.2.1	バスコントロールレジスタ 1 (BCR1)	134
8.2.2	バスコントロールレジスタ 2 (BCR2)	136
8.2.3	ウェイトコントロールレジスタ (WCR)	139
8.2.4	RAM エミュレーションレジスタ (RAMER)	141
8.3	外部空間アクセス	143
8.3.1	基本タイミング	143
8.3.2	ウェイトステート制御	143
8.3.3	\overline{CS} アサート期間拡張	145
8.4	アクセスサイクル間ウェイト	146
8.4.1	データバス衝突防止	146
8.4.2	バスサイクル開始検出の容易化	147

8.5	バスアービトレーション	148
8.6	メモリ接続例	149

第9章 ダイレクトメモリアクセスコントローラ (DMAC)

9.1	概要	153
	9.1.1 特長	153
	9.1.2 DMAC ブロック図	155
	9.1.3 レジスタ構成	156
9.2	各レジスタの説明	157
	9.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)	157
	9.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	157
	9.2.3 DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	158
	9.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	158
	9.2.5 DMA オペレーションレジスタ (DMAOR)	164
9.3	動作説明	166
	9.3.1 動作説明	166
	9.3.2 DMA 転送要求	168
	9.3.3 チャンネルの優先順位	170
	9.3.4 DMA 転送の種類	170
	9.3.5 バスモード	176
	9.3.6 ソースアドレスリロード機能	178
	9.3.7 DMA 転送終了	179
	9.3.8 CPU からの DMAC アクセス	180
9.4	使用例	181
	9.4.1 内蔵 SCI と外部メモリとの DMA 転送例	181
	9.4.2 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)	182
	9.4.3 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	183
9.5	使用上の注意	185

第10章 アドバンスドタイマユニット-II (ATU-II)

10.1	概要	189
	10.1.1 特長	189
	10.1.2 端子構成	195
	10.1.3 レジスタ構成	198
	10.1.4 ブロック図	205

10.1.5	チャンネル間およびモジュール間信号連絡図.....	213
10.1.6	プリスケアラ図.....	214
10.2	レジスタの説明.....	215
10.2.1	タイマスタートレジスタ (TSTR)	215
10.2.2	プリスケアラレジスタ (PSCR)	221
10.2.3	タイマコントロールレジスタ (TCR)	222
10.2.4	タイマI/O コントロールレジスタ (TIOR)	232
10.2.5	タイマステータスレジスタ (TSR)	243
10.2.6	タイマインタラプトイネーブルレジスタ (TIER)	281
10.2.7	インターバルインタラプトリクエストレジスタ (ITVRR)	308
10.2.8	トリガモードレジスタ (TRGMDR)	313
10.2.9	タイマモードレジスタ (TMDR)	314
10.2.10	PWM モードレジスタ (PMDR)	316
10.2.11	ダウンカウントスタートレジスタ (DSTR)	319
10.2.12	タイマコネクションレジスタ (TCNR)	328
10.2.13	ワンショットパルスターミネートレジスタ (OTR)	333
10.2.14	リロードイネーブルレジスタ (RL DENR)	338
10.2.15	フリーランニングカウンタ (TCNT)	339
10.2.16	ダウンカウンタ (DCNT)	341
10.2.17	イベントカウンタ (ECNT)	342
10.2.18	アウトプットコンペアレジスタ (OCR)	343
10.2.19	インプットキャプチャレジスタ (ICR)	344
10.2.20	ジェネラルレジスタ (GR)	345
10.2.21	オフセットベースレジスタ (OSBR)	348
10.2.22	サイクルレジスタ (CYLR)	349
10.2.23	バッファレジスタ (BFR)	350
10.2.24	デューティレジスタ (DTR)	351
10.2.25	リロードレジスタ (RLDR)	352
10.2.26	チャンネル 10 のレジスタ.....	352
10.3	動作説明.....	369
10.3.1	概要.....	369
10.3.2	フリーランニングカウンタ動作と周期カウンタ動作.....	377
10.3.3	コンペアマッチ機能.....	378
10.3.4	インプットキャプチャ機能.....	379
10.3.5	ワンショットパルス機能.....	380
10.3.6	オフセット付きワンショットパルス機能と出力遮断機能.....	381
10.3.7	インターバルタイマ機能.....	382
10.3.8	ツインキャプチャ機能.....	383

10.3.9	PWM タイマ機能.....	383
10.3.10	チャンネル 3～5 の PWM 機能.....	385
10.3.11	イベントカウント機能とイベント周期計測.....	387
10.3.12	チャンネル 10 の機能.....	388
10.4	割り込み.....	396
10.4.1	ステータスフラグのセットタイミング.....	396
10.4.2	ステータスフラグのクリア.....	401
10.5	CPU とのインタフェース.....	403
10.5.1	32 ビットアクセスのみ可能なレジスタ.....	403
10.5.2	8 ビット、16 ビットおよび 32 ビットアクセス可能なレジスタ.....	404
10.5.3	16 ビットアクセスのみ可能なレジスタ.....	405
10.5.4	8 ビットおよび 16 ビットアクセス可能なレジスタ.....	406
10.5.5	8 ビットのみアクセス可能なレジスタ.....	407
10.6	設定手順例.....	408
10.7	使用上の注意.....	419
10.8	ATU-II のレジスタおよび端子の一覧表.....	432

第 11 章 アドバンストパルスコントローラ (APC)

11.1	概要.....	437
11.1.1	特長.....	437
11.1.2	ブロック図.....	438
11.1.3	端子構成.....	439
11.1.4	レジスタ構成.....	439
11.2	レジスタの説明.....	440
11.2.1	パルスアウトポートコントロールレジスタ (POPCR).....	440
11.3	動作説明.....	441
11.3.1	概要.....	441
11.3.2	APC 出力動作.....	442
11.4	使用上の注意.....	444

第 12 章 ウォッチドッグタイマ (WDT)

12.1	概要.....	447
12.1.1	特長.....	447
12.1.2	ブロック図.....	448
12.1.3	端子構成.....	448
12.1.4	レジスタ構成.....	449

12.2	レジスタの説明	450
12.2.1	タイマカウンタ (TCNT)	450
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	450
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	452
12.2.4	レジスタアクセス時の注意	454
12.3	動作説明	456
12.3.1	ウォッチドッグタイマモード時の動作	456
12.3.2	インターバルタイマモード時の動作	457
12.3.3	ソフトウェアスタンバイモード解除時の動作	458
12.3.4	オーバフローフラグ (OVF) のセットタイミング	459
12.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) の セットタイミング	459
12.4	使用上の注意	460
12.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	460
12.4.2	CKS2~CKS0 ビットの書き換え	460
12.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	461
12.4.4	WDTOVF 信号によるシステムのリセット	461
12.4.5	ウォッチドッグタイマモードでの内部リセット	461
12.4.6	ウォッチドッグタイマモードでのマニュアルリセット	461

第 13 章 コンペアマッチタイマ (CMT)

13.1	概要	465
13.1.1	特長	465
13.1.2	ブロック図	465
13.1.3	レジスタ構成	466
13.2	レジスタの説明	467
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	467
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	468
13.2.3	コンペアマッチタイマカウンタ (CMCNT)	469
13.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	470
13.3	動作説明	471
13.3.1	周期カウント動作	471
13.3.2	CMCNT のカウントタイミング	471
13.4	割り込み	472
13.4.1	割り込み要因	472
13.4.2	コンペアマッチフラグのセットタイミング	472
13.4.3	コンペアマッチフラグのクリアタイミング	473

13.5	使用上の注意	474
13.5.1	CMCNT の書き込みとコンペアマッチの競合	474
13.5.2	CMCNT のワード書き込みとカウントアップの競合	474
13.5.3	CMCNT のバイト書き込みとカウントアップの競合	475

第 14 章 シリアルコミュニケーションインタフェース (SCI)

14.1	概要	479
14.1.1	特長	479
14.1.2	ブロック図	481
14.1.3	端子構成	482
14.1.4	レジスタ構成	483
14.2	レジスタの説明	485
14.2.1	レシーブシフトレジスタ (RSR)	485
14.2.2	レシーブデータレジスタ (RDR)	485
14.2.3	トランスミットシフトレジスタ (TSR)	486
14.2.4	トランスミットデータレジスタ (TDR)	486
14.2.5	シリアルモードレジスタ (SMR)	487
14.2.6	シリアルコントロールレジスタ (SCR)	490
14.2.7	シリアルステータスレジスタ (SSR)	494
14.2.8	ビットレートレジスタ (BRR)	500
14.2.9	シリアルディレクションコントロールレジスタ (SDCR)	506
14.2.10	SCK 端子信号の反転	507
14.3	動作説明	507
14.3.1	概要	507
14.3.2	調歩同期式モード時の動作	509
14.3.3	マルチプロセッサ通信機能	520
14.3.4	クロック同期式モード時の動作	528
14.4	SCI の割り込み要因と DMAC	536
14.5	使用上の注意	537
14.5.1	TDR への書き込みと TDRE フラグの関係について	537
14.5.2	複数の受信エラーが同時に発生した場合の動作について	537
14.5.3	ブレークの検出と処理について (調歩同期式モードのみ)	538
14.5.4	ブレークの送り出し (調歩同期式モードのみ)	538
14.5.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	538
14.5.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	538
14.5.7	DMAC の使用上の注意事項	540
14.5.8	クロック同期外部クロックモード時の注意事項	540

14.5.9	クロック同期内部クロックモード時の注意事項.....	540
--------	----------------------------	-----

第 15 章 日立コントローラエリアネットワーク (HCAN)

15.1	概要.....	543
15.1.1	特長.....	543
15.1.2	ブロック図.....	544
15.1.3	端子構成.....	545
15.1.4	レジスタ一覧表.....	546
15.2	レジスタの説明.....	548
15.2.1	マスタコントロールレジスタ (MCR)	548
15.2.2	ジェネラルステータスレジスタ (GSR)	550
15.2.3	ビットコンフィグレジスタ (BCR)	551
15.2.4	メールボックスコンフィグレジスタ (MBCR)	555
15.2.5	送信待ちレジスタ (TXPR)	556
15.2.6	送信待ち取り消しレジスタ (TXCR)	557
15.2.7	送信アクノレッジレジスタ (TXACK)	558
15.2.8	取り消しアクノレッジレジスタ (ABACK)	559
15.2.9	受信完了レジスタ (RXPR)	560
15.2.10	リモートリクエストレジスタ (RFPR)	561
15.2.11	インタラプトレジスタ (IRR)	562
15.2.12	メールボックスインタラプトマスクレジスタ (MBIMR)	566
15.2.13	インタラプトマスクレジスタ (IMR)	567
15.2.14	受信エラーカウンタ (REC)	570
15.2.15	送信エラーカウンタ (TEC)	570
15.2.16	未読メッセージステータスレジスタ (UMSR)	571
15.2.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	572
15.2.18	メッセージコントロール (MC0 ~ MC15)	574
15.2.19	メッセージデータ (MD0 ~ MD15)	578
15.3	動作説明.....	579
15.3.1	ハードウェアリセットとソフトウェアリセット.....	579
15.3.2	ハードウェアリセット後の初期設定.....	582
15.3.3	送信モード.....	586
15.3.4	受信モード.....	593
15.3.5	HCAN スリープモード.....	599
15.3.6	HCAN HALT モード.....	601
15.3.7	割り込みインタフェース.....	602
15.3.8	DMAC インタフェース.....	603

15.4	CAN バスインタフェース.....	604
15.5	使用上の注意.....	605

第 16 章 A/D 変換器

16.1	概要.....	609
	16.1.1 特長.....	609
	16.1.2 ブロック図.....	611
	16.1.3 端子構成.....	612
	16.1.4 レジスタ構成.....	614
16.2	レジスタの説明.....	615
	16.2.1 A/D データレジスタ 0 ~ 15 (ADDR0 ~ 15)	615
	16.2.2 A/D コントロールステータスレジスタ 0 (ADCSR0)	616
	16.2.3 A/D コントロールレジスタ 0、1 (ADCR0、1)	620
	16.2.4 A/D コントロールステータスレジスタ 1 (ADCSR1)	623
	16.2.5 A/D トリガレジスタ 0、1 (ADTRGR0、1)	626
16.3	CPU とのインタフェース.....	627
16.4	動作説明.....	628
	16.4.1 単一モード.....	628
	16.4.2 スキャンモード.....	630
	16.4.3 アナログ入力のサンプリングと A/D 変換時間.....	634
	16.4.4 外部トリガによる A/D 変換器の起動.....	635
	16.4.5 ATU-II による A/D 変換器の起動.....	635
16.5	割り込み要因と DMA 転送要求.....	636
16.6	使用上の注意.....	637
	16.6.1 A/D 変換精度の定義.....	639

第 17 章 アドバンストユーザデバッグ (AUD)

17.1	概要.....	643
	17.1.1 特長.....	643
	17.1.2 ブロック図.....	644
17.2	端子構成.....	645
	17.2.1 端子説明.....	645
17.3	ブランドトレースモード.....	647
	17.3.1 概要.....	647
	17.3.2 動作説明.....	647
17.4	RAM モニタモード.....	649

17.4.1	概要	649
17.4.2	通信プロトコル	649
17.4.3	動作説明	649
17.5	使用上の注意事項	651
17.5.1	初期化	651
17.5.2	ソフトウェアスタンバイ時の動作	651
17.5.3	ROM領域ライト時の注意	651

第18章 ピンファンクションコントローラ (PFC)

18.1	概要	655
18.2	レジスタ構成	659
18.3	レジスタ説明	660
18.3.1	ポート A・IO レジスタ (PAIOR)	660
18.3.2	ポート A コントロールレジスタ H、L (PACRH、PACRL)	660
18.3.3	ポート B・IO レジスタ (PBIOR)	667
18.3.4	ポート B コントロールレジスタ H、L (PBCRH、PBCRL)	667
18.3.5	ポート B インバートレジスタ (PBIR)	673
18.3.6	ポート C・IO レジスタ (PCIOR)	674
18.3.7	ポート C コントロールレジスタ (PCCR)	674
18.3.8	ポート D・IO レジスタ (PDIOR)	676
18.3.9	ポート D コントロールレジスタ H、L (PDCRH、PDCRL)	677
18.3.10	ポート E・IO レジスタ (PEIOR)	682
18.3.11	ポート E コントロールレジスタ (PECR)	683
18.3.12	ポート F・IO レジスタ (PFIOR)	687
18.3.13	ポート F コントロールレジスタ H、L (PFCRH、PFCRL)	688
18.3.14	ポート G・IO レジスタ (PGIOR)	694
18.3.15	ポート G コントロールレジスタ (PGCR)	694
18.3.16	ポート H・IO レジスタ (PHIOR)	696
18.3.17	ポート H コントロールレジスタ (PHCR)	697
18.3.18	ポート J・IO レジスタ (PJIOR)	702
18.3.19	ポート J コントロールレジスタ H、L (PJCRH、PJCR L)	703
18.3.20	ポート K・IO レジスタ (PKIOR)	709
18.3.21	ポート K コントロールレジスタ H、L (PKCRH、PKCRL)	709
18.3.22	ポート K インバートレジスタ (PKIR)	716

第19章 I/Oポート

19.1	概要	719
19.2	ポート A	720
19.2.1	レジスタ構成	720
19.2.2	ポート A データレジスタ (PADR)	720
19.3	ポート B	722
19.3.1	レジスタ構成	722
19.3.2	ポート B データレジスタ (PBDR)	722
19.4	ポート C	724
19.4.1	レジスタ構成	724
19.4.2	ポート C データレジスタ (PCDR)	724
19.5	ポート D	726
19.5.1	レジスタ構成	726
19.5.2	ポート D データレジスタ (PDDR)	726
19.6	ポート E	728
19.6.1	レジスタ構成	728
19.6.2	ポート E データレジスタ (PEDR)	729
19.7	ポート F	730
19.7.1	レジスタ構成	730
19.7.2	ポート F データレジスタ (PFDR)	731
19.8	ポート G	733
19.8.1	レジスタ構成	733
19.8.2	ポート G データレジスタ (PGDR)	733
19.9	ポート H	735
19.9.1	レジスタ構成	736
19.9.2	ポート H データレジスタ (PHDR)	736
19.10	ポート J	738
19.10.1	レジスタ構成	738
19.10.2	ポート J データレジスタ (PJDR)	738
19.11	ポート K	740
19.11.1	レジスタ構成	740
19.11.2	ポート K データレジスタ (PKDR)	740
19.12	POD (ポートアウトプットディスエーブル)	742

第20章 ROM (SH7052F/SH7053F)

20.1	特長	745
20.2	概要	746

	20.2.1	ブロック図.....	746
	20.2.2	モード遷移図.....	747
	20.2.3	オンボードプログラミングモード.....	748
	20.2.4	RAM によるフラッシュメモリのエミュレーション	750
	20.2.5	ブートモードとユーザプログラムモードの相違点.....	751
	20.2.6	ブロック分割法.....	751
20.3		端子構成.....	752
20.4		レジスタ構成.....	752
20.5		レジスタの説明.....	753
	20.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	753
	20.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	756
	20.5.3	ブロック指定レジスタ 1 (EBR1)	757
	20.5.4	ブロック指定レジスタ 2 (EBR2)	758
	20.5.5	RAM エミュレーションレジスタ (RAMER)	759
20.6		オンボードプログラミングモード.....	761
	20.6.1	ブートモード.....	762
	20.6.2	ユーザプログラムモード.....	765
20.7		フラッシュメモリの書き込み / 消去.....	767
	20.7.1	プログラムモード.....	767
	20.7.2	プログラムベリファイモード.....	768
	20.7.3	イレースモード.....	771
	20.7.4	イレースベリファイモード.....	772
20.8		プロテクト.....	775
	20.8.1	ハードウェアプロテクト.....	775
	20.8.2	ソフトウェアプロテクト.....	776
	20.8.3	エラープロテクト.....	777
20.9		RAM によるフラッシュメモリのエミュレーション.....	778
20.10		フラッシュメモリの書き込み / 消去時の注意.....	780
20.11		フラッシュメモリのライターモード.....	780
	20.11.1	ソケットアダプタの端子対応図.....	780
	20.11.2	ライターモードの動作.....	783
	20.11.3	メモリ読み出しモード.....	784
	20.11.4	自動書き込みモード.....	787
	20.11.5	自動消去モード.....	788
	20.11.6	ステータス読み出しモード.....	790
	20.11.7	ステータスポーリング.....	791
	20.11.8	ライターモードへの遷移時間.....	791
	20.11.9	メモリ書き込み注意事項.....	792

第 21 章 ROM (SH7054F)

21.1	特長	795
21.2	概要	796
21.2.1	ブロック図	796
21.2.2	モード遷移図	797
21.2.3	オンボードプログラミングモード	798
21.2.4	RAM によるフラッシュメモリのエミュレーション	800
21.2.5	ブートモードとユーザプログラムモードの相違点	801
21.2.6	ブロック分割法	801
21.3	端子構成	802
21.4	レジスタ構成	802
21.5	レジスタの説明	803
21.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	803
21.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	806
21.5.3	ブロック指定レジスタ 1 (EBR1)	807
21.5.4	ブロック指定レジスタ 2 (EBR2)	808
21.5.5	RAM エミュレーションレジスタ (RAMER)	809
21.6	オンボードプログラミングモード	811
21.6.1	ブートモード	812
21.6.2	ユーザプログラムモード	815
21.7	フラッシュメモリの書き込み / 消去	817
21.7.1	プログラムモード	817
21.7.2	プログラムベリファイモード	818
21.7.3	イレースモード	821
21.7.4	イレースベリファイモード	822
21.8	プロテクト	825
21.8.1	ハードウェアプロテクト	825
21.8.2	ソフトウェアプロテクト	826
21.8.3	エラープロテクト	827
21.9	RAM によるフラッシュメモリのエミュレーション	828
21.10	フラッシュメモリの書き込み / 消去時の注意	830
21.11	フラッシュメモリのライターモード	830
21.11.1	ソケットアダプタの端子対応図	830
21.11.2	ライターモードの動作	833
21.11.3	メモリ読み出しモード	834
21.11.4	自動書き込みモード	837
21.11.5	自動消去モード	838
21.11.6	ステータス読み出しモード	840

21.11.7	ステータスポーリング.....	841
21.11.8	ライターモードへの遷移時間.....	841
21.11.9	メモリ書き込み注意事項.....	842

第 22 章 RAM

22.1	概要.....	845
22.1.1	概要.....	845
22.2	動作説明.....	846

第 23 章 低消費電力状態

23.1	概要.....	849
23.1.1	低消費電力モードの種類.....	849
23.1.2	端子構成.....	851
23.1.3	関連レジスタ.....	851
23.2	レジスタの説明.....	852
23.2.1	スタンバイコントロールレジスタ (SBYCR)	852
23.2.2	システムコントロールレジスタ (SYSCR)	853
23.2.3	モジュールスタンバイコントロールレジスタ (MSTCR)	855
23.2.4	レジスタアクセス時の注意.....	857
23.3	ハードウェアスタンバイモード.....	858
23.3.1	ハードウェアスタンバイモードへの遷移.....	858
23.3.2	ハードウェアスタンバイモードの解除.....	858
23.3.3	ハードウェアスタンバイモードのタイミング.....	858
23.4	ソフトウェアスタンバイモード.....	859
23.4.1	ソフトウェアスタンバイモードへの遷移.....	859
23.4.2	ソフトウェアスタンバイモードの解除.....	860
23.4.3	ソフトウェアスタンバイモードの応用例.....	861
23.5	スリープモード.....	862
23.5.1	スリープモードへの遷移.....	862
23.5.2	スリープモードの解除.....	862

第 24 章 電気的特性

24.1	絶対最大定格.....	865
24.2	DC 特性.....	866
24.3	AC 特性.....	873

24.3.1	電源投入・切断タイミング.....	873
24.3.2	クロックタイミング.....	874
24.3.3	制御信号タイミング.....	876
24.3.4	バスタイミング.....	879
24.3.5	アドバンスタイマユニットタイミング アドバンスパルスコントローラタイミング.....	883
24.3.6	I/Oポートタイミング.....	885
24.3.7	ウォッチドッグタイマタイミング.....	886
24.3.8	シリアルコミュニケーションインタフェースタイミング.....	887
24.3.9	HCAN タイミング.....	889
24.3.10	A/D 変換器タイミング.....	890
24.3.11	AUD タイミング.....	892
24.3.12	UBC トリガタイミング.....	894
24.3.13	AC 特性測定条件.....	895
24.4	A/D 変換器特性.....	896

付 録

A.	内蔵周辺モジュールレジスタ.....	899
	A.1 アドレス一覧.....	899
	A.2 リセット、低消費電力状態でのレジスタ状態.....	921
B.	端子状態.....	926
C.	型名一覧.....	929
D.	外形寸法図.....	930

1. 概要

第1章 目次

1.1	特長.....	3
1.2	ブロック図.....	8
1.3	端子説明.....	9
	1.3.1 ピン配置.....	9
	1.3.2 端子機能.....	10
	1.3.3 端子一覧.....	17

1.1 特長

本 LSI は、日立オリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は1命令1ステート(1システムクロックサイクル)で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来マイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能/高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、日立コントローラエリアネットワーク (HCAN)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTATTM* (Flexible Zero Turn Around Time) 版です。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み/消去することもできます。これにより、LSI をボードに組み込んだまま、ユーザサイトで書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】 * F-ZTAT は、(株)日立製作所の商標です。

表 1.1 特長

項目	特長
CPU	最高動作周波数：40MHz 日立オリジナル SH-2 CPU 内部 32 ビット構成 汎用レジスタマシン ー汎用レジスタ 32 ビット×16 本 ーコントロールレジスタ 32 ビット×3 本 ーシステムレジスタ 32 ビット×4 本 命令実行時間 基本命令は 1 命令/1 ステート(40MHz 動作時:25ns/命令) アドレス空間 アーキテクチャ上は 4GB パイプライン 5 段パイプライン方式
動作状態	動作モード ーシングルチップモード ー8/16 ビットバス拡張モード ・内蔵 ROM ありモード ・内蔵 ROM なしモード 処理状態 ーリセット状態 ープログラム実行状態 ー例外処理状態 ーバス権解放状態 ー低消費電力状態 低消費電力機能 ースリープモード ーソフトウェアスタンバイモード ーハードウェアスタンバイモード ーモジュールスタンバイ
乗算器	32×32 64 の乗算を 2~4 ステートで実行 32×32+64 64 の積和演算を 2~4 ステートで実行
クロック発振器 (CPG/PLL)	内蔵発振回路(最大動作周波数：40MHz) CPU 用システムクロックと周辺モジュール用周辺クロックを独立に生成 内蔵 PLL によりクロック通倍(×4)が可能 入力クロック周波数 5~10MHz

項目	特長
割り込み コントローラ (INTC)	<p>外部割り込み端子×5本 (NMI、$\overline{IRQ0} \sim \overline{IRQ3}$)</p> <p>内部割り込み要因 109 要因</p> <p>(ATU-II×75、SCI×20、DMAC×4、A/D×2、WDT×1、UBC×1、CMT×2、HCAN×4)</p> <p>16 レベルの優先順位設定が可能</p>
ユーザブレイク コントローラ (UBC)	<p>CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 (割り込みマスクも可能)</p> <p>ブレイク条件でトリガパルス出力 (\overline{UBCTRG}) が可能</p> <p>トリガパルス幅選択可能 (×1、×4、×8、×16)</p> <p>オンチップデバッグの構築が容易</p>
バスステート コントローラ (BSC)	<p>外部のメモリアクセスをサポート (SRAM、ROM をダイレクト接続可) :</p> <p>8/16 ビットバス空間</p> <p>3.3V バスインターフェース</p> <p>アドレス空間を 16MB の 4 空間に分割、それぞれ以下の機能を選択可能</p> <p>ーバスサイズ : 8/16 ビット</p> <p>ーウェイトサイクル数</p> <p>ーエリアに対応した選択信号 ($\overline{CS0} \sim \overline{CS3}$) を出力</p> <p>外部 WAIT 信号によるウェイトサイクルの挿入可</p> <p>外部最小アクセスサイクル 2 サイクル</p> <p>バス衝突回避のためのアイドルサイクル挿入可</p>
ダイレクトメモリ アクセス コントローラ (DMAC) ×4 チャンネル	<p>下記デバイス間の DMA 転送が可能</p> <p>ー外部メモリ、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、BSC 除く)</p> <p>DMA 転送要求可能な内蔵モジュール</p> <p>ーSCI、A/D 変換器、ATU-II、HCAN</p> <p>サイクルスチールモードまたはバーストモード転送可能</p> <p>デュアルアドレスモード</p> <p>ー直接転送モード</p> <p>ー間接転送モード (チャンネル 3 のみ)</p> <p>アドレスリロード機能 (チャンネル 2 のみ)</p> <p>転送データ幅 : バイト / ワード / ロングワード</p>

1. 概要

項目	特長
アドバンスドタイム ユニット (ATU-II)	<p>最大 63 本の入出力が可能</p> <ul style="list-style-type: none"> -32 ビットインプットキャプチャ×4 -16 ビットインプットキャプチャ/アウトプットコンペア×28 本 -16 ビットワンショットパルス×16 本 -16 ビット PWM×8 本 -8 ビットイベントカウンタ×6 本 -欠け歯検出機能×1 本 入出力端子出力反転機能
アドバンスドパルス コントローラ (APC)	ATU-II (チャンネル 11) のコンペアマッチ信号を受けて最大 8 本のパルス出力に分配
ウォッチドッグ タイマ (WDT) ×1 チャンネル	<p>ウォッチドッグタイマ/インタバルタイマの切り替えが可能</p> <p>カウンタオーバーフロー時、内部リセット、外部信号、または割り込みを発生</p> <p>2 種類の内部リセット</p> <ul style="list-style-type: none"> -パワーオンリセット -マニュアルリセット
コンペアマッチ タイマ (CMT) ×2 チャンネル	<p>4 種類のカウンタ入力クロックを選択可能</p> <p>コンペアマッチ割り込みを各チャンネル独立に要求可能</p>
シリアル コミュニケーション インタフェース (SCI) ×5 チャンネル	<p>調歩同期/クロック同期式モードの選択が可能</p> <p>送受信を同時に行うことが可能 (全二重)</p> <p>複数のプロセッサとシリアルデータ通信が可能 (調歩同期モード)</p> <p>クロック反転機能</p> <p>送信時 LSB/MSB ファースト選択機能</p>
日立コントローラ エリアネットワーク (HCAN) ×1 チャンネル	<p>CAN バージョン : Bosch 2.0B active 対応</p> <p>バッファサイズ : 送信 / 受信 × 15 本、受信専用 × 1 本</p> <p>受信メッセージのフィルタリング可能</p>

項目	特長												
A/D 変換器	チャンネル数：16 チャンネル サンプル&ホールドを 2 系統搭載 - 12 チャンネル×1、4 チャンネル×1 独立動作 2 種類の変換モード選択可能 - 単一変換モード - スキャンモード <ul style="list-style-type: none"> ・連続スキャンモード ・1 サイクルスキャンモード 外部トリガと ATU-II のコンペアマッチによる起動も可能 10 ビット分解能 精度：±2LSB												
アドバンストユーザ デバッガ (AUD)	8 本の専用端子 RAM モニタモード - データ入出力周波数： /4 以下 - 内部/外部バスに接続されているモジュールのリード/ライトが可能 分岐アドレス出力モード												
I/O ポート (タイマ入出力端子、 アドレス、データバス を含む)	入出力兼用端子：135 本 シュミット入力端子：NMI、 $\overline{\text{IRQ}}$ 、 $\overline{\text{RES}}$ 、 $\overline{\text{HSTBY}}$ 、FWE、TCLK、IC、 $\overline{\text{IC/OC}}$ 、 $\overline{\text{SCK}}$ 、 $\overline{\text{ADTRG}}$ 入力ポートの保護												
内蔵メモリ	<table border="1" data-bbox="655 1319 1417 1496"> <thead> <tr> <th data-bbox="655 1319 850 1379">製品名 メモリ</th> <th data-bbox="850 1319 1037 1379">SH7052F</th> <th data-bbox="1037 1319 1225 1379">SH7053F</th> <th data-bbox="1225 1319 1417 1379">SH7054F</th> </tr> </thead> <tbody> <tr> <td data-bbox="655 1379 850 1440">フラッシュメモリ</td> <td data-bbox="850 1379 1037 1440">256kB</td> <td data-bbox="1037 1379 1225 1440">256kB</td> <td data-bbox="1225 1379 1417 1440">384kB</td> </tr> <tr> <td data-bbox="655 1440 850 1496">RAM</td> <td data-bbox="850 1440 1037 1496">12kB</td> <td data-bbox="1037 1440 1225 1496">16kB</td> <td data-bbox="1225 1440 1417 1496">16kB</td> </tr> </tbody> </table>	製品名 メモリ	SH7052F	SH7053F	SH7054F	フラッシュメモリ	256kB	256kB	384kB	RAM	12kB	16kB	16kB
製品名 メモリ	SH7052F	SH7053F	SH7054F										
フラッシュメモリ	256kB	256kB	384kB										
RAM	12kB	16kB	16kB										

1.2 ブロック図

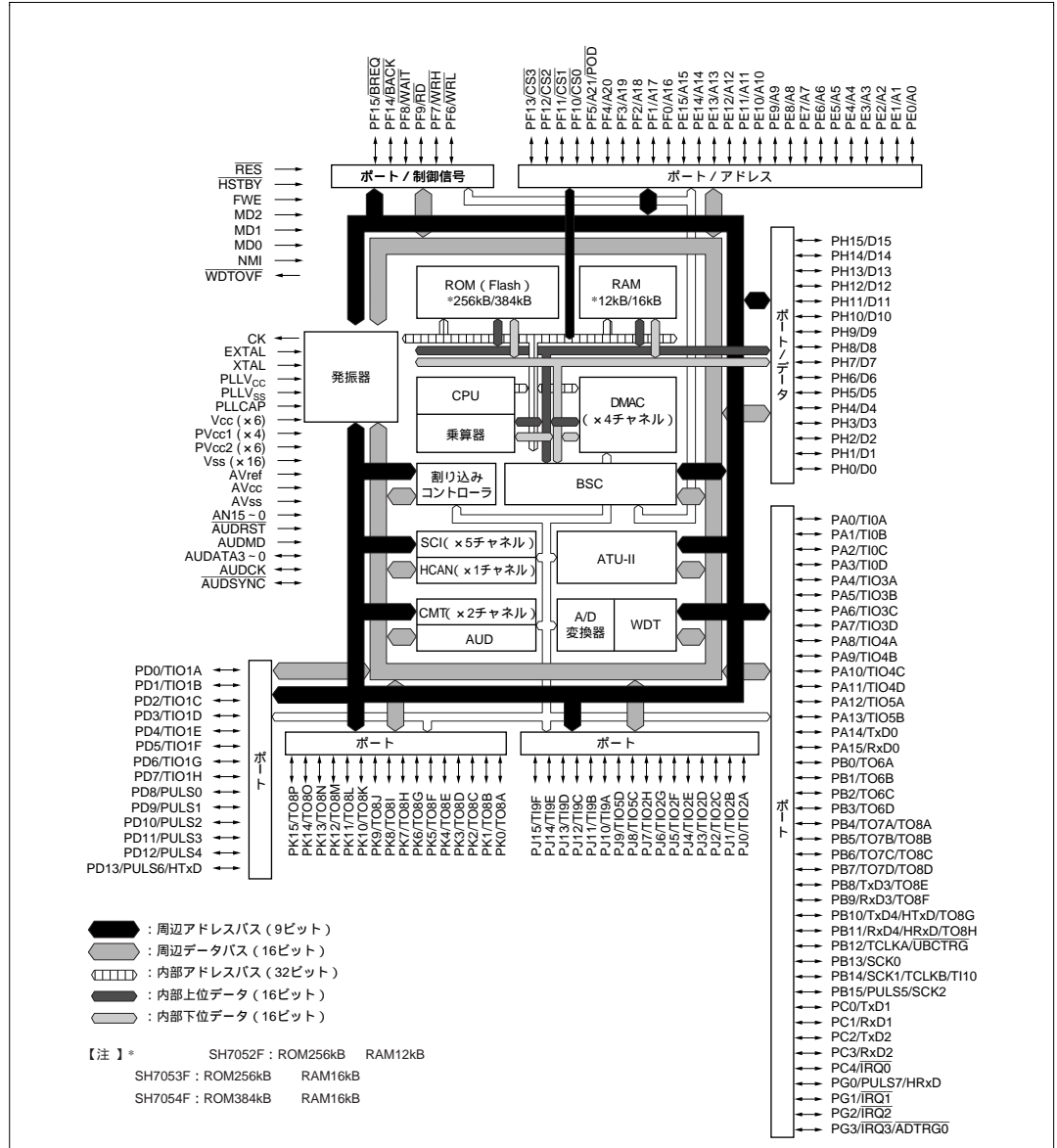


図 1.1 SH7052F/SH7053F/SH7054F ブロック図

1.3 端子説明

1.3.1 ピン配置

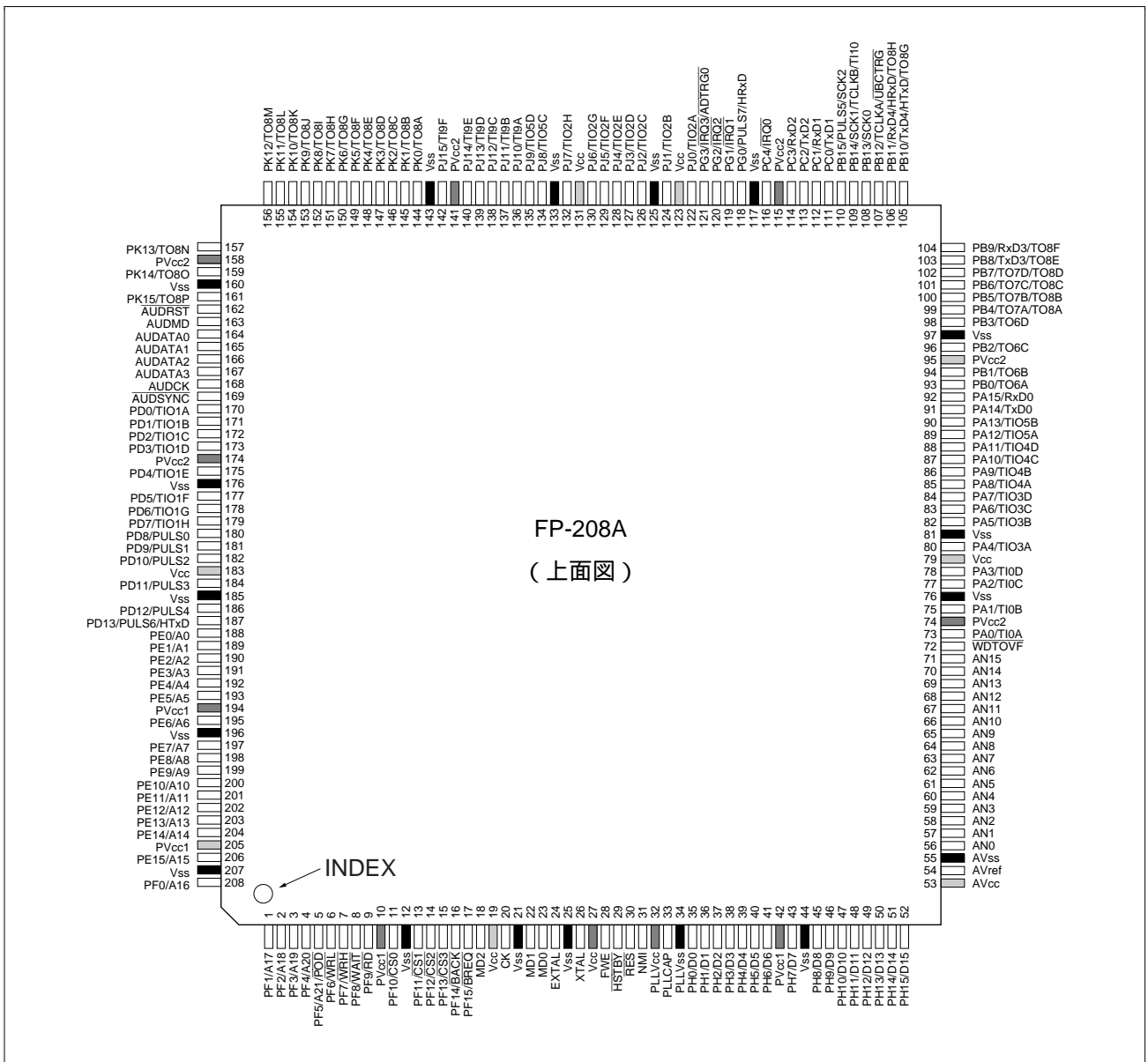


図 1.2 ピン配置

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	ピン番号	入出力	名称	機能
電源	V _{CC}	19,27,79,123,131, 183	入力	電源	LSI 内部およびシステム系ポート (RES、MD2~0、FWE、HSTBY、NMI、CK、EXTAL、XTAL) 用の電源です。V _{CC} 端子は、すべてのシステムのシステム系電源に接続してください。開放端子があると動作しません。
	PV _{CC1}	10,42,194,205	入力	ポート電源 1	バス系ポート (ポート E、ポート F、ポート H) 用電源です。PV _{CC1} 端子は、すべてのシステムのバス系電源に接続してください。開放端子があると動作しません。
	PV _{CC2}	74,95,115,141, 158,174	入力	ポート電源 2	周辺モジュール系ポート (ポート A、ポート B、ポート C、ポート D、ポート G、ポート J、ポート K、AUD ポート、WDTOVF) 用電源です。PV _{CC2} 端子は、すべてのシステムの周辺モジュール系電源に接続してください。開放端子があると動作しません。
	V _{SS}	12,21,25,44,76, 81,97,117,125, 133,143,160,176, 185,196,207	入力	グランド	グランドに接続します。V _{SS} 端子は、すべてのシステムのグランドに接続してください。開放端子があると動作しません。
フラッシュ メモリ	FWE	28	入力	フラッシュ ライト イネーブル	通常動作時は、グランドに接続します。 オンボードプログラム時は、V _{CC} を印加します。

分類	記号	ピン番号	入出力	名称	機能
クロック	PLL _{V_{CC}}	32	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。電源の接続は「4. クロック発振器」を参照してください。
	PLL _{V_{SS}}	34	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。電源の接続は「4. クロック発振器」を参照してください。
	PLL _{CAP}	33	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。外付け容量の接続は「4. クロック発振器」を参照してください。
	EXTAL	24	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	26	入力	クリスタル	水晶発振子を接続します。
	CK	20	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	$\overline{\text{RES}}$	30	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	$\overline{\text{WDTOVF}}$	72	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。
	$\overline{\text{BREQ}}$	17	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	16	出力	バス権要求アクノリッジ	バス権を外部デバイスに解放したことを示します。 $\overline{\text{BREQ}}$ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
動作モード 制御	MD0 ~ MD2	18,22,23	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないで ください。
	$\overline{\text{HSTBY}}$	29	入力	ハードウェアス タンバイ	この端子にローレベルを入力する とハードウェアスタンバイ状態に なります。
割り込み	NMI	31	入力	ノンマスクブル 割り込み	マスク不可能な割り込み要求端子 です。 立ち上がりエッジ、立ち下がりエッ ジのどちらで受け付けるかを選択 できます。
割り込み	$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$	116,119,120,121	入力	割り込み要求 0~3	マスク可能な割り込み要求端子で す。レベル入力、エッジ入力の選択 が可能です。
アドレスバス	A0 ~ A21	1~5,188~193, 195,197~204, 206,208	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15	35~41,43,45~52	入出力	データバス	16ビットの双方向データバスで す。
バス制御	$\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$	11,13~15	出力	チップ セレクト 0~3	外部メモリまたはデバイスのため のチップセレクト信号です。
	$\overline{\text{RD}}$	9	出力	リード	外部のデバイスから読み出しする ことを示します。
	$\overline{\text{WRH}}$	7	出力	上位側ライト	外部の上位 8 ビットに書き込みす ることを示します
	$\overline{\text{WRL}}$	6	出力	下位側ライト	外部の下位 8 ビットに書き込みす ることを示します
	$\overline{\text{WAIT}}$	8	入力	ウェイト	外部空間をアクセスするときのバ スサイクルにウェイトサイクルを 挿入させる入力です。

分類	記号	ピン番号	入出力	名称	機能
アドバンスト タイマ	TCLKA, TCLKB	107,109	入力	ATU-II タイマ クロック入力	ATU-II のカウンタへの外部クロック 入力端子です。
ユニット-II (ATU-II)	TIOA ~ TIOD	73,75,77,78	入力	ATU-II インプ ットキャプチャ (チャンネル0)	チャンネル0のインプットキャプチ ャ入力端子です。
	TIO1A ~ TIO1H	170 ~ 173, 175, 177 ~ 179	入出力	ATU-II インプ ットキャプチャ/ アウトプットコ ンペア (チャンネル1)	チャンネル1のインプットキャプチ ャ入力/アウトプットコンペア出 力端子です。
	TIO2A ~ TIO2H	122,124, 126 ~ 130,132	入出力	ATU-II インプ ットキャプチャ/ アウトプットコ ンペア (チャンネル2)	チャンネル2のインプットキャプチ ャ入力/アウトプットコンペア出 力端子です。
	TIO3A ~ TIO3D	80,82 ~ 84	入出力	ATU-II インプ ットキャプチャ/ アウトプットコ ンペア/PWM 出力 (チャンネル3)	チャンネル3のインプットキャプチ ャ入力/アウトプットコンペア/ PWM 出力端子です。
	TIO4A ~ TIO4D	85 ~ 88	入出力	ATU-II インプ ットキャプチャ/ アウトプットコ ンペア/PWM 出力 (チャンネル4)	チャンネル4のインプットキャプチ ャ入力/アウトプットコンペア/ PWM 出力端子です。
	TIO5A ~ TIO5D	89,90,134,135	入出力	ATU-II インプ ットキャプチャ/ アウトプットコ ンペア/PWM 出力 (チャンネル5)	チャンネル5のインプットキャプチ ャ入力/アウトプットコンペア/ PWM 出力端子です。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
アドバンスド タイマ ユニット-II (ATU-II)	TO6A ~ TO6D	93,94,96,98	出力	ATU-II PWM 出力 (チャンネル 6)	チャンネル 6 の PWM 出力端子です。
	TO7A ~ TO7D	99 ~ 102	出力	ATU-II PWM 出力 (チャンネル 7)	チャンネル 7 の PWM 出力端子です。
	TO8A ~ TO8P	99 ~ 106, 144 ~ 157,159,161	出力	ATU-II ワンショットパルス (チャンネル 8)	チャンネル 8 のダウンカウンタのワンショットパルス出力端子です。
	TI9A ~ TI9F	136 ~ 140,142	入力	ATU-II イベント入力 (チャンネル 9)	チャンネル 9 イベントカウンタ入力
	TI10	109	入力	ATU-II 倍周クロック生成 (チャンネル 10)	チャンネル 10 の外部クロック入力端子です。
アドバンスド パルス コントローラ (APC)	PULS0 ~ PULS7	110,118, 180 ~ 182,184, 186,187	出力	APC パルス出力 0 ~ 7	APC のパルス出力端子です。
シリアル コミュニケーション インタフェース (SCI)	TxD0 ~ TxD4	91,103,105,111, 113	出力	送信データ (チャンネル 0 ~ 4)	SCI0 ~ SCI4 の送信データ出力端子です。
	RxD0 ~ RxD4	92,104,106,112, 114	入力	受信データ (チャンネル 0 ~ 4)	SCI0 ~ SCI4 の受信データ入力端子です。
	SCK0 ~ SCK2	108,109,110	入出力	シリアルクロック (チャンネル 0 ~ 2)	SCI0 ~ SCI2 のクロック入出力端子です。
日立コントローラ エリア ネットワーク (HCAN)	HTxD	105,187	出力	送信データ	CAN バス送信データ出力端子です。
	HRxD	106,118	入力	受信データ	CAN バス受信データ入力端子です。

分類	記号	ピン番号	入出力	名称	機能
A/D 変換器	AV _{CC}	53	入力	アナログ電源	A/D 変換器用の電源です。
	AV _{SS}	55	入力	アナロググランド	A/D 変換器用の電源です。
	AVref	54	入力	アナログリファレンス電源	アナログリファレンス電源入力端子です。
	AN0 ~ AN15	56 ~ 71	入力	アナログ入力	アナログ信号入力端子です。
	$\overline{\text{ADTRG0}}$	121	入力	A/D 変換トリガ入力	A/D 変換開始の外部トリガ入力です。
ユーザブ레이크 コントローラ (UBC)	$\overline{\text{UBCTR}}\overline{\text{G}}$	107	出力	ユーザブ레이크トリガ出力	UBC 条件一致のトリガ出力端子です。
アドバンスト ユーザデバッグ (AUD)	AUDATA0 ~ AUDATA3	164 ~ 167	入出力	AUD データ	リアルタイムトレースモード： 分岐先アドレス出力端子です。 RAM モニタモード： モニタアドレス入力/データ入出力 端子です。
	$\overline{\text{AUDRST}}$	162	入力	AUD リセット	リセット信号入力端子です。
	AUDMD	163	入力	AUD モード	モード選択信号入力端子です。 リアルタイムトレースモード (L) RAM モニタモード (H)
	AUDCK	168	入出力	AUD クロック	リアルタイムトレースモード： 同期クロック出力端子です。 RAM モニタモード： 同期クロック入力端子です。
	$\overline{\text{AUDSYNC}}$	169	入出力	AUD 同期信号	リアルタイムトレースモード： データ先頭位置認識信号出力端子 です。 RAM モニタモード： データ先頭位置認識信号入力端子 です。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
I/O ポート	$\overline{\text{POD}}$	5	入力	ポート アウトプット ディスエーブル	汎用ポートが出力設定時に、ポート端子のドライブ制御をするための入力端子です。
	PA0 ~ PA15	73,75,77,78,80, 82 ~ 92	入出力	ポート A	汎用入出力ポート端子です。1ビットごとに入出力を指定できます。
	PB0 ~ PB15	93,94,96,98 ~ 110	入出力	ポート B	汎用入出力ポート端子です。1ビットごとに入出力を指定できます。
	PC0 ~ PC4	111 ~ 114,116	入出力	ポート C	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PD0 ~ PD13	170 ~ 173,175, 177 ~ 182,184, 186,187	入出力	ポート D	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PE0 ~ PE15	188 ~ 193,195, 197 ~ 204,206	入出力	ポート E	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PF0 ~ PF15	1 ~ 9,11, 13 ~ 17,208	入出力	ポート F	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PG0 ~ PG3	118 ~ 121	入出力	ポート G	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PH0 ~ PH15	35 ~ 41,43,45 ~ 52	入出力	ポート H	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PJ0 ~ PJ15	122,124, 126 ~ 130,132, 134 ~ 140,142	入出力	ポート J	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
PK0 ~ PK15	144 ~ 157,159,161	入出力	ポート K	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。	

1.3.3 端子一覧

表 1.3 端子一覧

ピン番号	MCU モード	ライタモード
1	PF1/A17	A17
2	PF2/A18	A18
3	PF3/A19	N.C.
4	PF4/A20	N.C.
5	PF5/A21/ $\overline{\text{POD}}$	N.C.
6	PF6/ $\overline{\text{WRL}}$	N.C.
7	PF7/ $\overline{\text{WRH}}$	N.C.
8	PF8/ $\overline{\text{WAIT}}$	N.C.
9	PF9/ $\overline{\text{RD}}$	N.C.
10	PVcc1	Vcc
11	PF10/ $\overline{\text{CS0}}$	N.C.
12	Vss	Vss
13	PF11/ $\overline{\text{CS1}}$	Vcc
14	PF12/ $\overline{\text{CS2}}$	Vcc
15	PF13/ $\overline{\text{CS3}}$	Vss
16	PF14/ $\overline{\text{BACK}}$	N.C.
17	PF15/ $\overline{\text{BREQ}}$	Vcc
18	MD2	Vss
19	Vcc	Vcc
20	CK	N.C.
21	Vss	Vss
22	MD1	Vcc
23	MD0	Vcc
24	EXTAL	EXTAL
25	Vss	Vss
26	XTAL	XTAL
27	Vcc	Vcc
28	FWE	FWE
29	$\overline{\text{HSTBY}}$	Vcc

1. 概要

ピン番号	MCU モード	ライタモード
30	$\overline{\text{RES}}$	$\overline{\text{RES}}$
31	NMI	Vss
32	PLLVcc	PLLVcc
33	PLLCAP	PLLCAP
34	PLLVss	PLLVss
35	PH0/D0	D0
36	PH1/D1	D1
37	PH2/D2	D2
38	PH3/D3	D3
39	PH4/D4	D4
40	PH5/D5	D5
41	PH6/D6	D6
42	PVcc1	Vcc
43	PH7/D7	D7
44	Vss	Vss
45	PH8/D8	N.C.
46	PH9/D9	N.C.
47	PH10/D10	N.C.
48	PH11/D11	N.C.
49	PH12/D12	N.C.
50	PH13/D13	N.C.
51	PH14/D14	N.C.
52	PH15/D15	N.C.
53	AVcc	Vcc
54	AVref	Vcc
55	AVss	Vss
56	AN0	N.C.
57	AN1	N.C.
58	AN2	N.C.
59	AN3	N.C.
60	AN4	N.C.
61	AN5	N.C.
62	AN6	N.C.

ピン番号	MCU モード	ライタモード
63	AN7	N.C.
64	AN8	N.C.
65	AN9	N.C.
66	AN10	N.C.
67	AN11	N.C.
68	AN12	N.C.
69	AN13	N.C.
70	AN14	N.C.
71	AN15	N.C.
72	WDTOVF	N.C.
73	PA0/TIOA	N.C.
74	PVcc2	Vcc
75	PA1/TIOB	N.C.
76	Vss	Vss
77	PA2/TIOC	N.C.
78	PA3/TIOD	N.C.
79	Vcc	Vcc
80	PA4/TIO3A	N.C.
81	Vss	Vss
82	PA5/TIO3B	N.C.
83	PA6/TIO3C	N.C.
84	PA7/TIO3D	N.C.
85	PA8/TIO4A	N.C.
86	PA9/TIO4B	N.C.
87	PA10/TIO4C	N.C.
88	PA11/TIO4D	N.C.
89	PA12/TIO5A	N.C.
90	PA13/TIO5B	N.C.
91	PA14/TxD0	N.C.
92	PA15/RxD0	N.C.
93	PB0/TO6A	N.C.
94	PB1/TO6B	N.C.
95	PVcc2	Vcc

1. 概要

ピン番号	MCU モード	ライタモード
96	PB2/TO6C	N.C.
97	Vss	Vss
98	PB3/TO6D	N.C.
99	PB4/TO7A/TO8A	N.C.
100	PB5/TO7B/TO8B	N.C.
101	PB6/TO7C/TO8C	N.C.
102	PB7/TO7D/TO8D	N.C.
103	PB8/TxD3/TO8E	N.C.
104	PB9/RxD3/TO8F	N.C.
105	PB10/TxD4/HTxD/TO8G	N.C.
106	PB11/RxD4/HRxD/TO8H	N.C.
107	PB12/TCLKA/ $\overline{UBCTR\overline{G}}$	N.C.
108	PB13/SCK0	N.C.
109	PB14/SCK1/TCLKB/TI10	N.C.
110	PB15/PULS5/SCK2	N.C.
111	PC0/TxD1	N.C.
112	PC1/RxD1	N.C.
113	PC2/TxD2	N.C.
114	PC3/RxD2	N.C.
115	PVcc2	Vcc
116	PC4/ $\overline{IRQ0}$	N.C.
117	Vss	Vss
118	PG0/PULS7/HRxD	N.C.
119	PG1/ $\overline{IRQ1}$	\overline{CE}
120	PG2/ $\overline{IRQ2}$	\overline{WE}
121	PG3/ $\overline{IRQ3/ADTRG0}$	\overline{OE}
122	PJ0/TIO2A	N.C.
123	Vcc	Vcc
124	PJ1/TIO2B	N.C.
125	Vss	Vss
126	PJ2/TIO2C	N.C.
127	PJ3/TIO2D	N.C.
128	PJ4/TIO2E	N.C.

ピン番号	MCU モード	ライタモード
129	PJ5/TIO2F	N.C.
130	PJ6/TIO2G	N.C.
131	Vcc	Vcc
132	PJ7/TIO2H	N.C.
133	Vss	Vss
134	PJ8/TIO5C	N.C.
135	PJ9/TIO5D	N.C.
136	PJ10/TI9A	N.C.
137	PJ11/TI9B	N.C.
138	PJ12/TI9C	N.C.
139	PJ13/TI9D	N.C.
140	PJ14/TI9E	N.C.
141	PVcc2	Vcc
142	PJ15/TI9F	N.C.
143	Vss	Vss
144	PK0/TO8A	N.C.
145	PK1/TO8B	N.C.
146	PK2/TO8C	N.C.
147	PK3/TO8D	N.C.
148	PK4/TO8E	N.C.
149	PK5/TO8F	N.C.
150	PK6/TO8G	N.C.
151	PK7/TO8H	N.C.
152	PK8/TO8I	N.C.
153	PK9/TO8J	N.C.
154	PK10/TO8K	N.C.
155	PK11/TO8L	N.C.
156	PK12/TO8M	N.C.
157	PK13/TO8N	N.C.
158	PVcc2	Vcc
159	PK14/TO8O	N.C.
160	Vss	Vss
161	PK15/TO8P	N.C.

1. 概要

ピン番号	MCU モード	ライタモード
162	$\overline{\text{AUDRST}}$	N.C.
163	AUDMD	N.C.
164	AUDATA0	N.C.
165	AUDATA1	N.C.
166	AUDATA2	N.C.
167	AUDATA3	N.C.
168	AUDCK	N.C.
169	$\overline{\text{AUDSYNC}}$	N.C.
170	PD0/TIO1A	N.C.
171	PD1/TIO1B	N.C.
172	PD2/TIO1C	N.C.
173	PD3/TIO1D	N.C.
174	PVcc2	Vcc
175	PD4/TIO1E	N.C.
176	Vss	Vss
177	PD5/TIO1F	N.C.
178	PD6/TIO1G	N.C.
179	PD7/TIO1H	N.C.
180	PD8/PULS0	N.C.
181	PD9/PULS1	N.C.
182	PD10/PULS2	N.C.
183	Vcc	Vcc
184	PD11/PULS3	N.C.
185	Vss	Vss
186	PD12/PULS4	N.C.
187	PD13/PULS6/HTxD	N.C.
188	PE0/A0	A0
189	PE1/A1	A1
190	PE2/A2	A2
191	PE3/A3	A3
192	PE4/A4	A4
193	PE5/A5	A5
194	PVcc1	Vcc

ピン番号	MCUモード	ライタモード
195	PE6/A6	A6
196	Vss	Vss
197	PE7/A7	A7
198	PE8/A8	A8
199	PE9/A9	A9
200	PE10/A10	A10
201	PE11/A11	A11
202	PE12/A12	A12
203	PE13/A13	A13
204	PE14/A14	A14
205	PVcc1	Vcc
206	PE15/A15	A15
207	Vss	Vss
208	PF0/A16	A16

2. CPU

第2章 目次

2.1	レジスタ構成	27
2.1.1	汎用レジスタ (Rn)	27
2.1.2	コントロールレジスタ	28
2.1.3	システムレジスタ	29
2.1.4	レジスタの初期値	29
2.2	データ形式	30
2.2.1	レジスタのデータ形式	30
2.2.2	メモリ上でのデータ形式	30
2.2.3	イミディエイトデータのデータ形式	30
2.3	命令の特長	31
2.3.1	RISC方式	31
2.3.2	アドレッシングモード	35
2.3.3	命令形式	38
2.4	命令セット	40
2.4.1	分類順命令セット	40
2.5	処理状態	48
2.5.1	状態遷移	48

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×3 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ (Rn)

汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

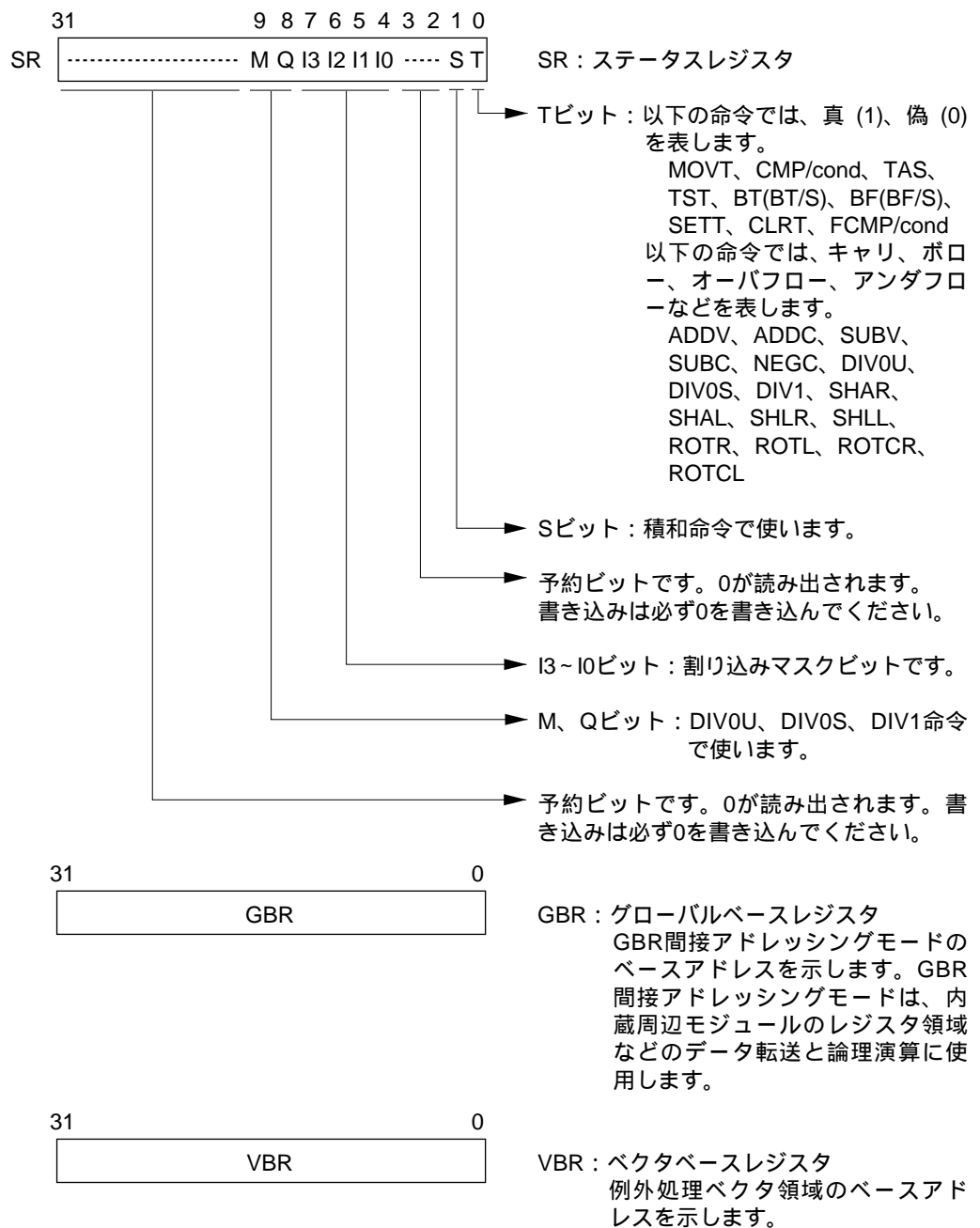
31	0
R0*1	
R1	
R2	
R3	
R4	
R5	
R6	
R7	
R8	
R9	
R10	
R11	
R12	
R13	
R14	
R15、SP (ハードウェアスタックポインタ)*2	

【注】 *1 インデックス付きレジスタ間接、インデックス付き GBR 間接アドレッシングモードのインデックスレジスタとしても使用します。命令によってはソースまたはデスティネーションレジスタを R0 に固定しているものがあります。

*2 R15 は例外処理の中で、ハードウェアスタックポインタとして使用されます。

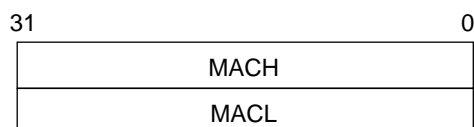
2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

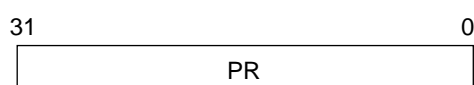


2.1.3 システムレジスタ

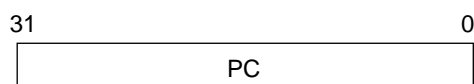
システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。



MACH、MACL : 積和レジスタ (MAC) 乗算、積和演算の結果の格納レジスタです。



PR : プロシージャレジスタ
サブルーチンプロシージャからの戻り先アドレスの格納レジスタです。



PC : プログラムカウンタ
PC は現在実行中の命令の 4 バイト (2 命令) 先を示しています。

2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

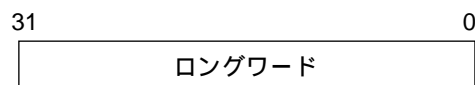
表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (HF)、予約ビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

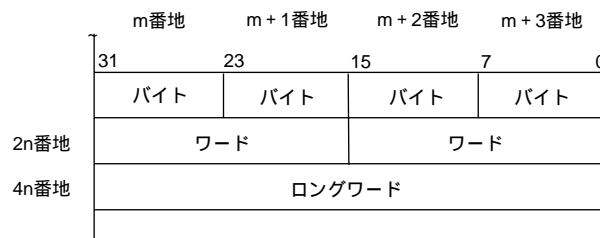
レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ(SP、R15)が指し示すスタックにはプログラムカウンタ(PC)とステータスレジスタ(SR)をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。



2.2.3 イミディエイトデータのデータ形式

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位24ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付きPC相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説 明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の2通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET ADD R1, R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0 BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、 $16 \times 16 + 64$ 64 の積和演算を 2~3 ステートで実行します。 32×32 64 の乗算や、 $32 \times 32 + 64$ 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイースメント付きPC相対アドレッシングモードを使ったイミディエイトデータの転送命令(MOV)で参照します。

表2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
	.DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
	.DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表2.7 ディスプレースメントによる参照

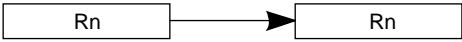
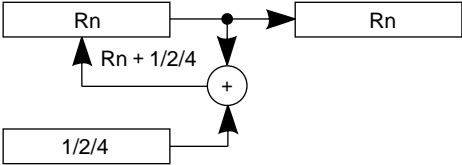
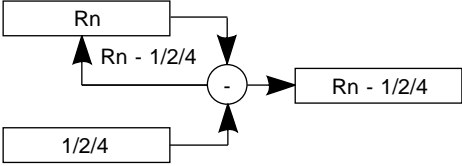
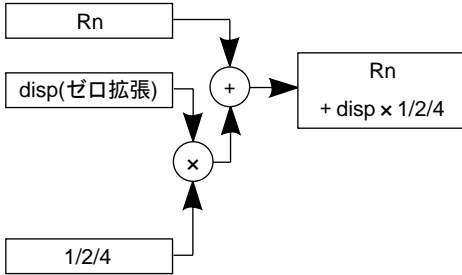
区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレース メント	MOV.W @ (disp , PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0 , R1), R2	
	
	.DATA.W H'1234	

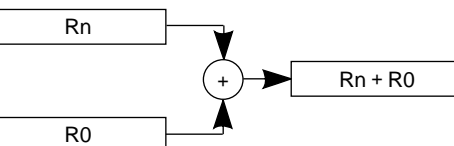
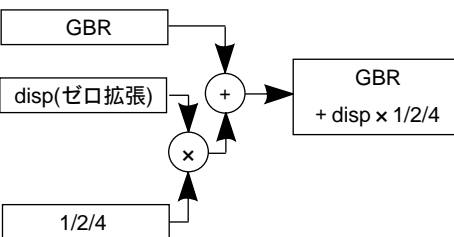
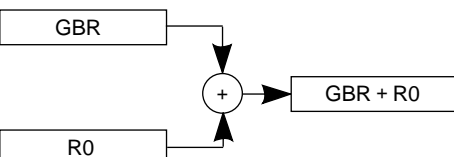
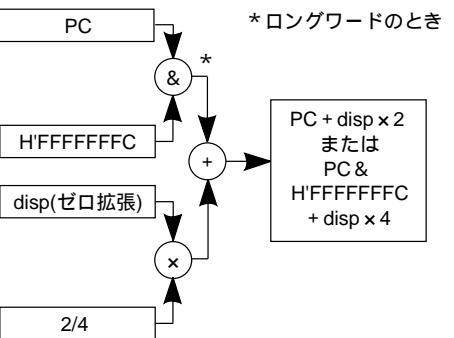
【注】 @ (disp , PC)でイミディエイトデータを参照します。

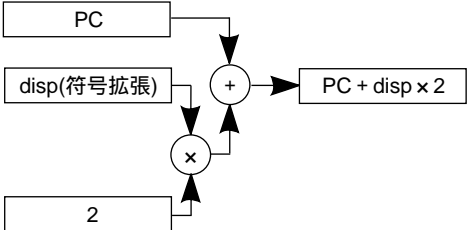
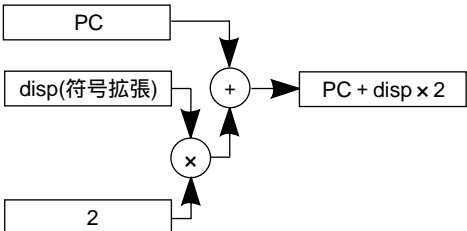
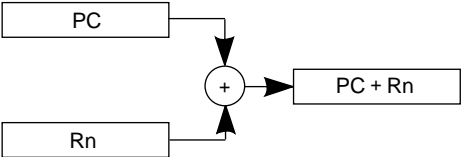
2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	Rn + R0
ディスプレイースメント付き GBR 間接	@ (disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	<p>バイト : GBR + disp ワード : GBR + disp × 2 ロングワード : GBR + disp × 4</p>
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	GBR + R0
ディスプレイースメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	<p>ワード : PC + disp × 2 ロングワード : PC & H'FFFFFFFC + disp × 4</p>

アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + disp × 2
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + disp × 2
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
0形式				NOP
n形式			nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメント レジスタ間接	STC.L SR, @-Rn
m形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm, SR
		mmmm: ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+, SR
		mmmm: レジスタ直接		JMP @Rm
		mmmm: Rm を用いた PC 相対		BRAF Rm
nm形式		mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.L Rm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付 きレジスタ間接	MOV.L Rm, @(R0, Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmm} & \text{ddd} \\ \hline \end{array}$	mmmmddd: ディスプレースメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rn), R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnn} & \text{ddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnddd: ディスプレースメント 付きレジスタ間接	MOV.B R0,@(disp, Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnn} & \text{mmm} & \text{ddd} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnddd: ディスプレースメント 付きレジスタ間接	MOV.L Rm,@(disp, Rn)
		mmmmddd: ディスプレースメント 付きレジスタ間接	nnn: レジスタ直接	MOV.L @(disp, Rm), Rn
d 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{ddd} & \text{ddd} \\ \hline \end{array}$	ddddddd: ディスプレースメント 付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp, GBR),R0
		R0 (レジスタ直接)	ddddddd: ディスプレースメント 付き GBR 間接	MOV.L R0, @(disp, GBR)
		ddddddd: ディスプレースメント 付き PC 相対	R0 (レジスタ直接)	MOVA @(disp, PC), R0
			ddddddd: PC 相対	BF label
d12 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{ddd} & \text{ddd} & \text{ddd} \\ \hline \end{array}$		ddddddddddd: PC 相対	BRA label (label=disp+pc)
nd8 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnn} & \text{ddd} & \text{ddd} \\ \hline \end{array}$	ddddddd: ディスプレースメント 付き PC 相対	nnn: レジスタ直接	MOV.L @(disp, PC), Rn
i 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iii} & \text{iii} \\ \hline \end{array}$	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm, @(R0, GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm, R0
		iiiiiii: イミディエイト		TRAPA #imm
ni 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnn} & \text{iii} & \text{iii} \\ \hline \end{array}$	iiiiiii: イミディエイト	nnn: レジスタ直接	ADD #imm, Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分 類	命令の種類	オペコード	機 能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOV T	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 加算	
		ADDV	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ボロー付き符号反転	
		SUB	2 進減算	
		SUBC	ボロー付き 2 減算	
SUBV	アンドフロー付き 2 進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
RTS	サブルーチンプロシージャからの復帰			
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行 ステート	Tビット
二一モニクで表示していま す。	MSB LSB の順で表示 しています。	動作の概略を表示していま す。	ノーウェイトのと きの値です。* ¹	命令実行後 の、Tビット の値を表示し ています。
記号の説明	記号の説明	記号の説明		記号の説明
OP.Sz SRC, DEST	mmmm: ソース レジスタ	、 : 転送方向 (xx): メモリオペランド		: 変化 しない
OP: オペコード				
Sz: サイズ	nmmm: デスティネーション レジスタ	M/Q/T: SR 内のフラグ ビット		
SRC: ソース				
DEST: デスティネーション	0000: R0	&: ビットごとの論理積		
Rm: ソースレジスタ	0001: R1	: ビットごとの論理和		
Rn: デスティネーション レジスタ 1111: R15	^: ビットごとの排他的論 理和		
imm: イミディエイトデータ	iiii: イミディエイト データ	: ビットごとの論理否定		
disp: ディスプレース メント* ²	dddd: ディスプレース メント	<<n: 左 n ビットシフト >>n: 右 n ビットシフト		

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

詳しくは「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行ステート	Tビット
MOV #imm, Rn	1 1 1 0 n n n n i i i i i i i i	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1 0 0 1 n n n n d d d d d d d d	(disp × 2+PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1 1 0 1 n n n n d d d d d d d d	(disp × 4+PC) Rn	1	
MOV Rm, Rn	0 1 1 0 n n n n m m m m 0 0 1 1	Rm Rn	1	
MOV.B Rm, @Rn	0 0 1 0 n n n n m m m m 0 0 0 0	Rm (Rn)	1	
MOV.W Rm, @Rn	0 0 1 0 n n n n m m m m 0 0 0 1	Rm (Rn)	1	
MOV.L Rm, @Rn	0 0 1 0 n n n n m m m m 0 0 1 0	Rm (Rn)	1	
MOV.B @Rm, Rn	0 1 1 0 n n n n m m m m 0 0 0 0	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0 1 1 0 n n n n m m m m 0 0 0 1	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0 1 1 0 n n n n m m m m 0 0 1 0	(Rm) Rn	1	
MOV.B Rm, @- Rn	0 0 1 0 n n n n m m m m 0 1 0 0	Rn-1 Rn, Rm (Rn)	1	
MOV.W Rm, @- Rn	0 0 1 0 n n n n m m m m 0 1 0 1	Rn-2 Rn, Rm (Rn)	1	
MOV.L Rm, @- Rn	0 0 1 0 n n n n m m m m 0 1 1 0	Rn-4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0 1 1 0 n n n n m m m m 0 1 0 0	(Rm) 符号拡張 Rn, Rm+1 Rm	1	
MOV.W @Rm+, Rn	0 1 1 0 n n n n m m m m 0 1 0 1	(Rm) 符号拡張 Rn, Rm+2 Rm	1	
MOV.L @Rm+, Rn	0 1 1 0 n n n n m m m m 0 1 1 0	(Rm) Rn, Rm+4 Rm	1	
MOV.B R0, @(disp, Rn)	1 0 0 0 0 0 0 n n n n d d d d	R0 (disp+Rn)	1	
MOV.W R0, @(disp, Rn)	1 0 0 0 0 0 1 n n n n d d d d	R0 (disp × 2+Rn)	1	
MOV.L Rm, @(disp, Rn)	0 0 0 1 n n n n m m m m d d d d	Rm (disp × 4+Rn)	1	
MOV.B @(disp, Rm), R0	1 0 0 0 1 0 0 m m m m d d d d	(disp+Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	1 0 0 0 1 0 1 m m m m d d d d	(disp × 2+Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0 1 0 1 n n n n m m m m d d d d	(disp × 4+Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0 0 0 0 n n n n m m m m 0 1 0 0	Rm (R0+Rn)	1	
MOV.W Rm, @(R0, Rn)	0 0 0 0 n n n n m m m m 0 1 0 1	Rm (R0+Rn)	1	
MOV.L Rm, @(R0, Rn)	0 0 0 0 n n n n m m m m 0 1 1 0	Rm (R0+Rn)	1	
MOV.B @(R0, Rm), Rn	0 0 0 0 n n n n m m m m 1 1 0 0	(R0+Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0 0 0 0 n n n n m m m m 1 1 0 1	(R0+Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0 0 0 0 n n n n m m m m 1 1 1 0	(R0+Rm) Rn	1	
MOV.B R0, @(disp, GBR)	1 1 0 0 0 0 0 d d d d d d d d	R0 (disp+GBR)	1	
MOV.W R0, @(disp, GBR)	1 1 0 0 0 0 1 d d d d d d d d	R0 (disp × 2+GBR)	1	
MOV.L R0, @(disp, GBR)	1 1 0 0 0 0 1 0 d d d d d d d d	R0 (disp × 4+GBR)	1	
MOV.B @(disp, GBR), R0	1 1 0 0 1 0 0 d d d d d d d d	(disp+GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	1 1 0 0 1 0 1 d d d d d d d d	(disp × 2+GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	1 1 0 0 1 1 0 d d d d d d d d	(disp × 4+GBR) R0	1	
MOVA @(disp, PC), R0	1 1 0 0 1 1 1 d d d d d d d d	disp × 4+PC R0	1	
MOVT Rn	0 0 0 0 n n n n 0 0 1 0 1 0 0 1	T Rn	1	
SWAP.B Rm, Rn	0 1 1 0 n n n n m m m m 1 0 0 0	Rm 下位 2 バイトの上下バイト交換 Rn	1	
SWAP.W Rm, Rn	0 1 1 0 n n n n m m m m 1 0 0 1	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0 0 1 0 n n n n m m m m 1 1 0 1	Rm: Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行ステート	Tビット
ADD Rm, Rn	0 0 1 1 n n n n n m m m m 1 1 0 0	Rn+Rm Rn	1	
ADD #imm, Rn	0 1 1 1 n n n n n i i i i i i i i	Rn+imm Rn	1	
ADDC Rm, Rn	0 0 1 1 n n n n n m m m m 1 1 1 0	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0 0 1 1 n n n n n m m m m 1 1 1 1	Rn+Rm Rn, オーバフロー T	1	オーバフロー
CMP/EQ #imm, R0	1 0 0 0 1 0 0 0 i i i i i i i i	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0 0 1 1 n n n n n m m m m 0 0 0 0	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0 0 1 1 n n n n n m m m m 0 0 1 0	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0 0 1 1 n n n n n m m m m 0 0 1 1	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0 0 1 1 n n n n n m m m m 0 1 1 0	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0 0 1 1 n n n n n m m m m 0 1 1 1	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PL Rn	0 1 0 0 n n n n n 0 0 0 1 0 1 0 1	Rn > 0 のとき 1 T	1	比較結果
CMP/PZ Rn	0 1 0 0 n n n n n 0 0 0 1 0 0 0 1	Rn 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0 0 1 0 n n n n n m m m m 1 1 0 0	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0 0 1 1 n n n n n m m m m 0 1 0 0	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0 0 1 0 n n n n n m m m m 0 1 1 1	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	0 0 0 0 0 0 0 0 0 0 0 1 1 0 0 1	0 M/Q/T	1	0
DMULS.L Rm, Rn	0 0 1 1 n n n n n m m m m 1 1 0 1	符号付きで Rn × Rm MACH, MACL 32×32 64ビット	2~4*1	
DMULU.L Rm, Rn	0 0 1 1 n n n n n m m m m 0 1 0 1	符号なしで Rn × Rm MACH, MACL 32×32 64ビット	2~4*1	
DT Rn	0 1 0 0 n n n n n 0 0 0 1 0 0 0 0	Rn - 1 Rn, Rnが0のとき 1 T Rnが0以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0 1 1 0 n n n n n m m m m 1 1 1 0	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0 1 1 0 n n n n n m m m m 1 1 1 1	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0 1 1 0 n n n n n m m m m 1 1 0 0	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0 1 1 0 n n n n n m m m m 1 1 0 1	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0 0 0 0 n n n n n m m m m 1 1 1 1	符号付きで (Rn) × (Rm) + MAC MAC 32×32+64 64ビット	3/(2~4)*1	
MAC.W @Rm+, @Rn+	0 1 0 0 n n n n n m m m m 1 1 1 1	符号付きで (Rn) × (Rm) + MAC MAC 16×16+64 64ビット	3/(2)*1	
MUL.L Rm, Rn	0 0 0 0 n n n n n m m m m 0 1 1 1	Rn × Rm MACL 32×32 32ビット	2~4*1	
MULS.W Rm, Rn	0 0 1 0 n n n n n m m m m 1 1 1 1	符号付きで Rn × Rm MACL 16×16 32ビット	1~3*1	
MULU.W Rm, Rn	0 0 1 0 n n n n n m m m m 1 1 1 0	符号なしで Rn × Rm MACL 16×16 32ビット	1~3*1	
NEG Rm, Rn	0 1 1 0 n n n n n m m m m 1 0 1 1	0-Rm Rn	1	
NEGC Rm, Rn	0 1 1 0 n n n n n m m m m 1 0 1 0	0-Rm-T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0 0 1 1 n n n n n m m m m 1 0 0 0	Rn-Rm Rn	1	
SUBC Rm, Rn	0 0 1 1 n n n n n m m m m 1 0 1 0	Rn-Rm-T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0 0 1 1 n n n n n m m m m 1 0 1 1	Rn-Rm Rn, アンダフロー T	1	オーバフロー

【注】 *1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行ステート	Tビット
AND Rm, Rn	0 0 1 0 n n n n n m m m m 1 0 0 1	Rn & Rm Rn	1	
AND #imm, R0	1 1 0 0 1 0 0 1 i i i i i i i i i i	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	1 1 0 0 1 1 0 1 i i i i i i i i i i	(R0+GBR) & imm (R0+GBR)	3	
NOT Rm, Rn	0 1 1 0 n n n n n m m m m 0 1 1 1	Rm Rn	1	
OR Rm, Rn	0 0 1 0 n n n n n m m m m 1 0 1 1	Rn Rm Rn	1	
OR #imm, R0	1 1 0 0 1 0 1 1 i i i i i i i i i i	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	1 1 0 0 1 1 1 1 i i i i i i i i i i	(R0+GBR) imm (R0+GBR)	3	
TAS.B @Rn	0 1 0 0 n n n n n 0 0 0 1 1 0 1 1	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト結果
TST Rm, Rn	0 0 1 0 n n n n n m m m m 1 0 0 0	Rn & Rm, 結果が 0 のとき 1 T	1	テスト結果
TST #imm, R0	1 1 0 0 1 0 0 0 i i i i i i i i i i	R0 & imm, 結果が 0 のとき 1 T	1	テスト結果
TST.B #imm, @(R0, GBR)	1 1 0 0 1 1 0 0 i i i i i i i i i i	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト結果
XOR Rm, Rn	0 0 1 0 n n n n n m m m m 1 0 1 0	Rn ^ Rm Rn	1	
XOR #imm, R0	1 1 0 0 1 0 1 0 i i i i i i i i i i	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	1 1 0 0 1 1 1 0 i i i i i i i i i i	(R0+GBR) ^ imm (R0+GBR)	3	

(4) シフト命令

命 令	命令コード	動 作	実行ステート	Tビット
ROTL Rn	0 1 0 0 n n n n n 0 0 0 0 0 1 0 0	T Rn MSB	1	MSB
ROTR Rn	0 1 0 0 n n n n n 0 0 0 0 0 1 0 1	LSB Rn T	1	LSB
ROTCL Rn	0 1 0 0 n n n n n 0 0 1 0 0 1 0 0	T Rn T	1	MSB
ROTCR Rn	0 1 0 0 n n n n n 0 0 1 0 0 1 0 1	T Rn T	1	LSB
SHAL Rn	0 1 0 0 n n n n n 0 0 1 0 0 0 0 0	T Rn 0	1	MSB
SHAR Rn	0 1 0 0 n n n n n 0 0 1 0 0 0 0 1	MSB Rn T	1	LSB
SHLL Rn	0 1 0 0 n n n n n 0 0 0 0 0 0 0 0	T Rn 0	1	MSB
SHLR Rn	0 1 0 0 n n n n n 0 0 0 0 0 0 0 1	0 Rn T	1	LSB
SHLL2 Rn	0 1 0 0 n n n n n 0 0 0 0 1 0 0 0	Rn << 2 Rn	1	
SHLR2 Rn	0 1 0 0 n n n n n 0 0 0 0 1 0 0 1	Rn >> 2 Rn	1	
SHLL8 Rn	0 1 0 0 n n n n n 0 0 0 1 1 0 0 0	Rn << 8 Rn	1	
SHLR8 Rn	0 1 0 0 n n n n n 0 0 0 1 1 0 0 1	Rn >> 8 Rn	1	
SHLL16 Rn	0 1 0 0 n n n n n 0 0 1 0 1 0 0 0	Rn << 16 Rn	1	
SHLR16 Rn	0 1 0 0 n n n n n 0 0 1 0 1 0 0 1	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行ステート	Tビット
BF label	1 0 0 0 1 0 1 1 d d d d d d d d	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1* ²	
BF/S label	1 0 0 0 1 1 1 1 d d d d d d d d	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1* ²	
BT label	1 0 0 0 1 0 0 1 d d d d d d d d	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1* ²	
BT/S label	1 0 0 0 1 1 0 1 d d d d d d d d	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1* ²	
BRA label	1 0 1 0 d d d d d d d d d d	遅延分岐、disp × 2+PC PC	2	
BRAF Rm	0 0 0 0 m m m m 0 0 1 0 0 0 1 1	遅延分岐、Rm+PC PC	2	
BSR label	1 0 1 1 d d d d d d d d d d	遅延分岐、PC PR, disp × 2+PC PC	2	
BSRF Rm	0 0 0 0 m m m m 0 0 0 0 0 0 1 1	遅延分岐、PC PR, Rm+PC PC	2	
JMP @Rm	0 1 0 0 m m m m 0 0 1 0 1 0 1 1	遅延分岐、Rm PC	2	
JSR @Rm	0 1 0 0 m m m m 0 0 0 0 1 0 1 1	遅延分岐、PC PR, Rm PC	2	
RTS	0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1	遅延分岐、PR PC	2	

【注】 *2 分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行ステート	Tビット
CLRT	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0	0 T	1	0
CLRMAC	0 0 0 0 0 0 0 0 0 0 0 1 0 1 0 0 0	0 MACH, MACL	1	
LDC Rm, SR	0 1 0 0 m m m m 0 0 0 0 1 1 1 0	Rm SR	1	LSB
LDC Rm, GBR	0 1 0 0 m m m m 0 0 0 1 1 1 1 0	Rm GBR	1	
LDC Rm, VBR	0 1 0 0 m m m m 0 0 1 0 1 1 1 0	Rm VBR	1	
LDC.L @Rm+, SR	0 1 0 0 m m m m 0 0 0 0 0 1 1 1	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0 1 0 0 m m m m 0 0 0 1 0 1 1 1	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0 1 0 0 m m m m 0 0 1 0 0 1 1 1	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0 1 0 0 m m m m 0 0 0 0 1 0 1 0	Rm MACH	1	
LDS Rm, MACL	0 1 0 0 m m m m 0 0 0 1 1 0 1 0	Rm MACL	1	
LDS Rm, PR	0 1 0 0 m m m m 0 0 1 0 1 0 1 0	Rm PR	1	
LDS.L @Rm+, MACH	0 1 0 0 m m m m 0 0 0 0 0 1 1 0	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0 1 0 0 m m m m 0 0 0 1 0 1 1 0	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0 1 0 0 m m m m 0 0 1 0 0 1 1 0	(Rm) PR, Rm+4 Rm	1	
NOP	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1	無操作	1	
RTE	0 0 0 0 0 0 0 0 0 1 0 1 0 1 1	遅延分岐、スタック領域 PC/SR	4	
SETT	0 0 0 0 0 0 0 0 0 0 1 1 0 0 0	1 T	1	1
SLEEP	0 0 0 0 0 0 0 0 0 0 1 1 0 1 1	スリープ	3 ^{*3}	
STC SR, Rn	0 0 0 0 n n n n 0 0 0 0 0 0 1 0	SR Rn	1	
STC GBR, Rn	0 0 0 0 n n n n 0 0 0 1 0 0 1 0	GBR Rn	1	
STC VBR, Rn	0 0 0 0 n n n n 0 0 1 0 0 0 1 0	VBR Rn	1	
STC.L SR, @- Rn	0 1 0 0 n n n n 0 0 0 0 0 0 1 1	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @- Rn	0 1 0 0 n n n n 0 0 0 1 0 0 1 1	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @- Rn	0 1 0 0 n n n n 0 0 1 0 0 0 1 1	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0 0 0 0 n n n n 0 0 0 0 1 0 1 0	MACH Rn	1	
STS MACL, Rn	0 0 0 0 n n n n 0 0 0 1 1 0 1 0	MACL Rn	1	
STS PR, Rn	0 0 0 0 n n n n 0 0 1 0 1 0 1 0	PR Rn	1	
STS.L MACH, @-Rn	0 1 0 0 n n n n 0 0 0 0 0 0 1 0	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0 1 0 0 n n n n 0 0 0 1 0 0 1 0	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0 1 0 0 n n n n 0 0 1 0 0 0 1 0	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	1 1 0 0 0 0 1 1 i i i i i i i i	PC/SR スタック領域、 (imm × 4 + VBR) PC	8	

【注】 *3 スリープ状態に移るまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、パワーオンリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.1に示します。

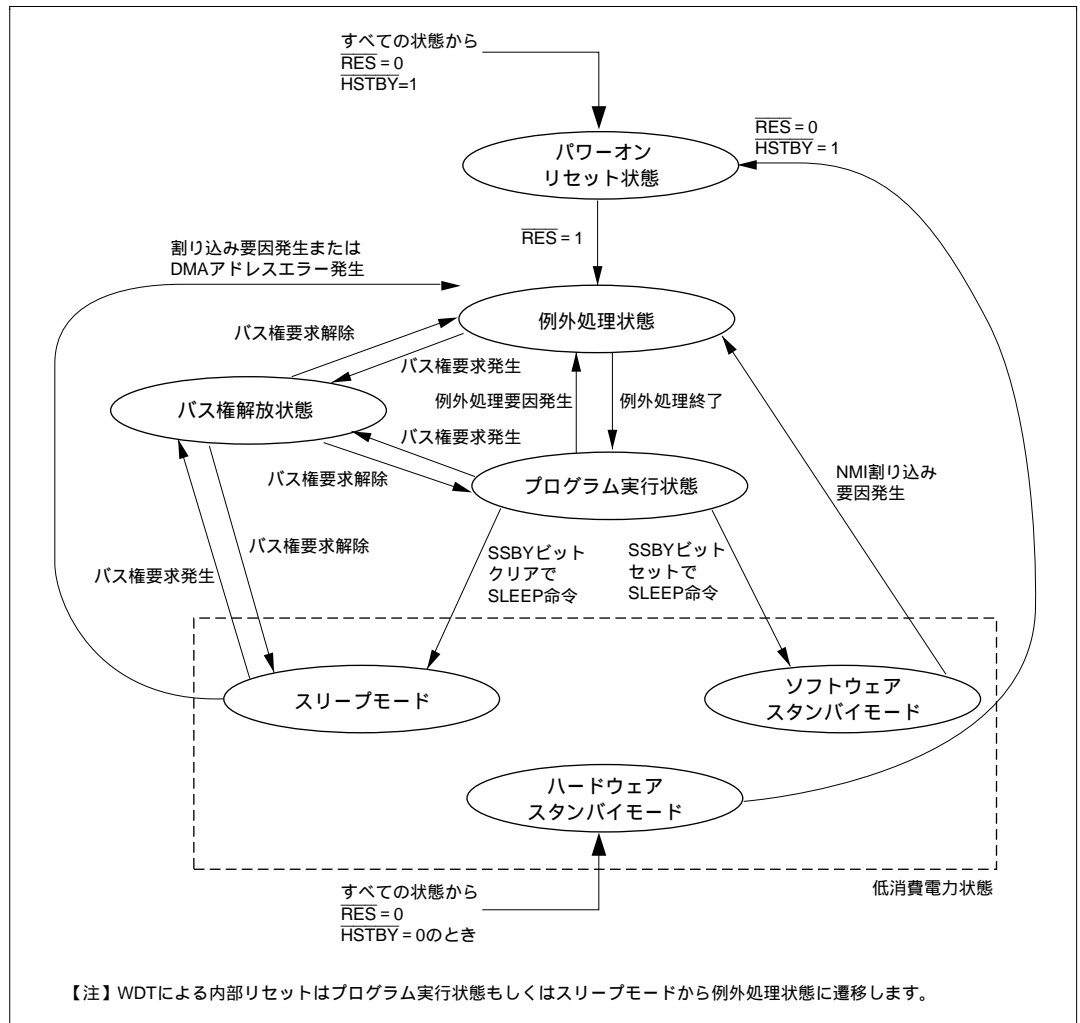


図 2.1 処理状態の状態遷移図

(1) パワーオンリセット状態

CPU がリセットされている状態です。 $\overline{\text{HSTBY}}$ 端子をハイレベルにして $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。また、 $\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をローレベルにするとハードウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 動作モード

第3章 目次

3.1	動作モードの種類と選択.....	53
-----	------------------	----

3.1 動作モードの種類と選択

本 LSI には、5 種類の動作モードがあります。動作モードは、MD2～MD0、FWE 端子で設定します。モード設定端子は、LSI の動作中には変化させないでください。また、表 3.1 がない組み合わせは設定しないでください。

PVcc1 の電源電圧は表 3.1 に示す範囲で使用してください。

表 3.1 動作モードの選択

動作モード 番号	端子設定				モード名	内蔵 ROM	エリア 0 のバス幅	PVcc1 電圧
	FWE	MD2	MD1	MD0				
モード 0	0	1	0	0	MCU 拡張モード	無効	8 ビット	3.3V ± 0.3V
モード 1	0	1	0	1			16 ビット	
モード 2	0	1	1	0		有効	BCR1 により設定	
モード 3	0	1	1	1	MCU シングルチップ モード	有効		5.0V ± 0.5V
モード 4	1	1	0	0	ブートモード	有効	BCR1 により設定	3.3V ± 0.3V
モード 5	1	1	0	1			5.0V ± 0.5V	
モード 6	1	1	1	0	ユーザプログラム モード	有効	BCR1 により設定	3.3V ± 0.3V
モード 7	1	1	1	1			5.0V ± 0.5V	
	0/1	0	1	1	ライターモード			3.3V ± 0.3V

MCU 動作モードとして、MCU 拡張モードと MCU シングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモードとユーザプログラムモード、および EPROM ライタ（本デバイスの書き込みをサポートしているライター）により書き込むライターモードがあります。

なおライターモードについての詳しくは「20. ROM (SH7052F/SH7053F)」、「21. ROM (SH7054F)」を参照してください。

4. クロック発振器 (CPG)

第4章 目次

4.1	概要.....	57
	4.1.1	ブロック図.....57
	4.1.2	端子構成.....58
4.2	周波数範囲.....	59
4.3	クロックソース.....	60
	4.3.1	水晶発振子の接続方法.....60
	4.3.2	外部クロックの入力方法.....61
4.4	使用上の注意.....	62

4. クロック発振器 (CPG)

4.1 概要

クロック発振器 (CPG) は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、発振回路と PLL 逡倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。発振回路は入力クロックと同じ周波数で発振します。LSI の動作周波数は PLL 逡倍回路により発振周波数の 4 倍となります。

CPG はソフトウェアスタンバイモードおよび、ハードウェアスタンバイモードで停止します。

4.1.1 ブロック図

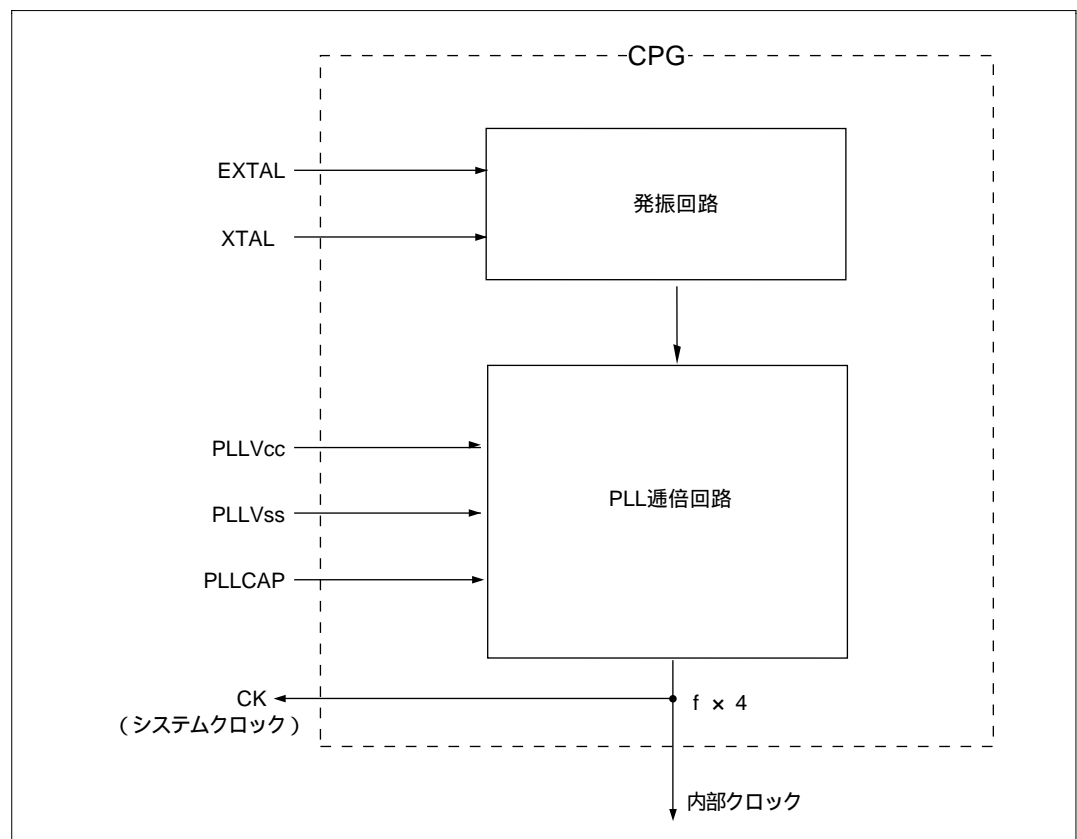


図 4.1 CPG のブロック図

4.1.2 端子構成

クロック発振器に関連する端子を表 4.1 に示します。

表 4.1 端子構成

名称	略称	入出力	機能
外部クロック	EXTAL	入力	水晶発振子または外部クロックの入力
クリスタル	XTAL	入力	水晶発振子を接続
システムクロック	CK	出力	システムクロック出力
PLL 電源	PLL _{V_{CC}}	入力	PLL 逡倍回路用電源
PLL グランド	PLL _{V_{SS}}	入力	PLL 逡倍回路用グランド
PLL 容量	PLLCAP	入力	PLL 逡倍回路発振用外付け容量端子

4.2 周波数範囲

入力周波数と動作周波数の範囲を表 4.2 に示します。

表 4.2 入力周波数と動作周波数

入力周波数範囲 (MHz)	PLL 通倍比	動作周波数範囲 (MHz)
5 ~ 10	$\times 4$	20 ~ 40

【注】 水晶発振子および外部クロック入力

LSIの動作周波数は、内蔵 PLL 回路により、入力周波数 (EXTAL 端子) の 4 倍が内部クロック () として使用されます。システムクロック (CK 端子) は、内部クロック () と同じ周波数が出力されます。

また、一部の内蔵周辺モジュールは、内部クロック () を 2 分周した周辺クロック (P) で動作します。図 4.2 に各クロックの関係を示します。システムクロックは、入力クロックを PLL 通倍回路により通倍しているため、相方のクロックの位相は一意的に決まりません。

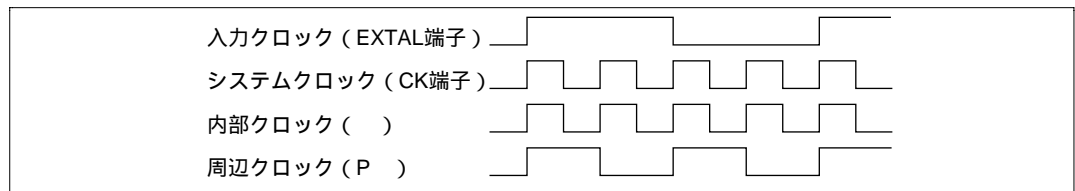


図 4.2 入力クロックとシステムクロック

4.3 クロックソース

クロックソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

4.3.1 水晶発振子の接続方法

(1) 回路構成

図 4.3 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 4.3 に示すものを使用してください。水晶発振子は、AT カット、基本波仕様のもので使ってください。また、図のように、負荷容量 (CL1、CL2) を必ず接続してください。

水晶発振子と内部の発振器によって生成されたクロックパルスは、PLL 逡倍回路に送られ、そこで逡倍された周波数を選択し、本 LSI の内部と外部デバイスに供給されます。

なお、水晶発振子と LSI の相性については、水晶発振子メーカーにご相談ください。

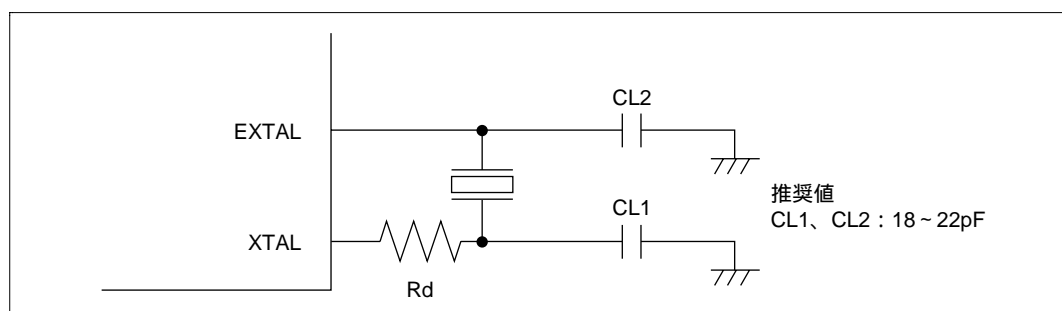


図 4.3 水晶発振子の接続例

表 4.3 ダンピング抵抗値 (推奨値)

周波数 (MHz)	5	10
R_d ()	500	0

(2) 水晶発振子

図 4.4 に水晶発振子の等価回路を示します。水晶発振子は、表 4.4 に示す特性のものを使ってください。

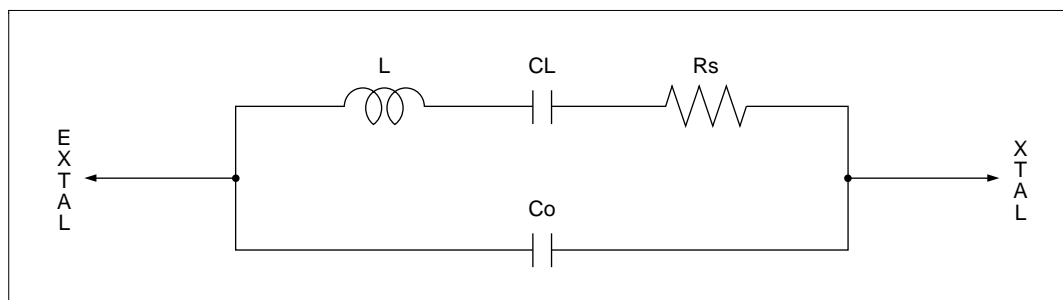


図 4.4 水晶発振子の等価回路

表 4.4 水晶発振子の特性 (推奨値)

パラメータ	周波数 (MHz)	
	5	10
Rs max ()	100	50
Co max (pF)	7	

なお水晶発振子と LSI の相性については、水晶発振子メーカーにご相談ください。

4.3.2 外部クロックの入力方法

外部クロック入力の接続例を図 4.5 に示します。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

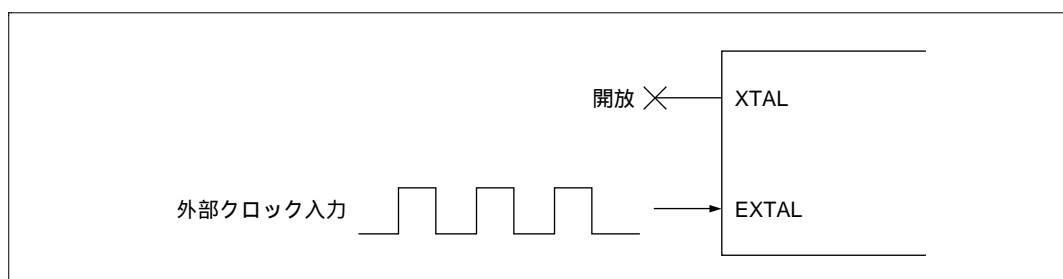


図 4.5 外部クロックの入力方法

4.4 使用上の注意

(1) ボード設計上の注意

水晶発振器と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください (図 4.6)。誘導のために正しい発振ができなくなることがあります。

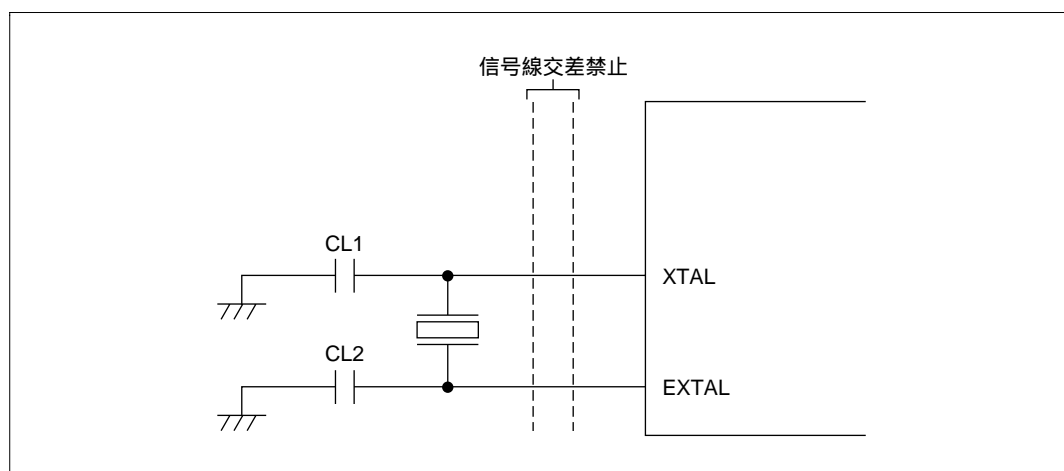


図 4.6 ボード設計上の注意

(2) PLL 発振用電源

発振安定用の容量 $C1$ および抵抗 $R1$ は、PLL_{CAP} 端子の近くに置き、他の信号線と交差させないでください。 $C1$ のグランドは、PLL_{V_{SS}} から供給してください。

さらに、PLL_{V_{CC}} と PLL_{V_{SS}} は、その他の V_{CC} 、 V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C_{PB} および C_B を必ず挿入してください。

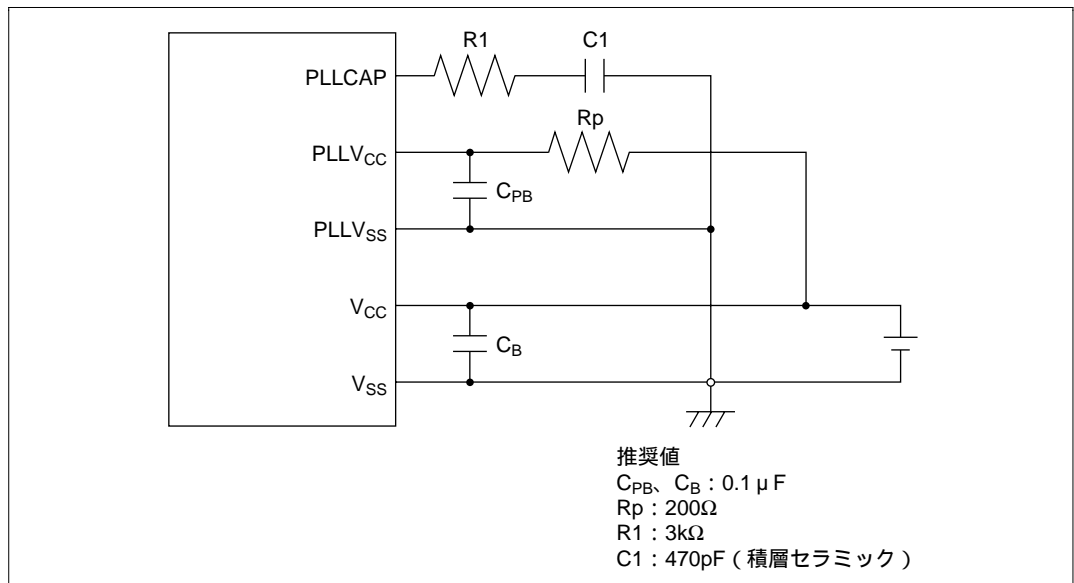


図 4.7 PLL 用電源接続時の注意

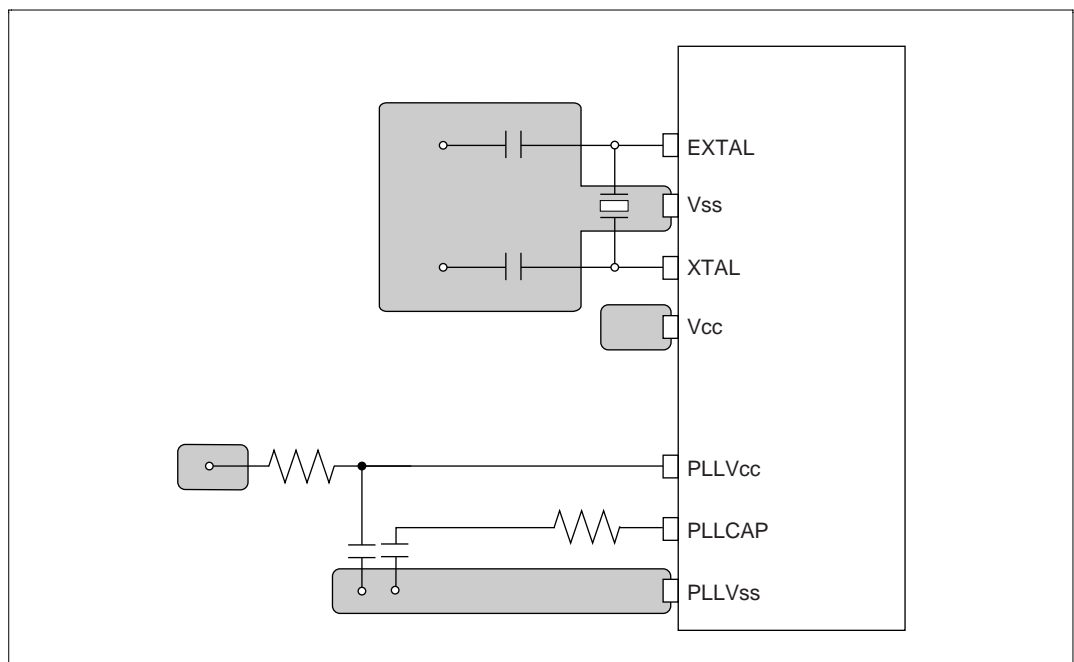


図 4.8 ボード設計の具体例

4. クロック発振器 (CPG)

5. 例外処理

第5章 目次



5.1	概要.....	67
	5.1.1 例外処理の種類と優先順位.....	67
	5.1.2 例外処理の動作.....	68
	5.1.3 例外処理ベクタテーブル.....	69
5.2	リセット.....	71
	5.2.1 リセットの種類.....	71
	5.2.2 パワーオンリセット.....	71
	5.2.3 マニュアルリセット.....	72
5.3	アドレスエラー.....	74
	5.3.1 アドレスエラー発生要因.....	74
	5.3.2 アドレスエラー例外処理.....	75
5.4	割り込み.....	76
	5.4.1 割り込み要因.....	76
	5.4.2 割り込み優先順位.....	77
	5.4.3 割り込み例外処理.....	77
5.5	命令による例外.....	78
	5.5.1 命令による例外の種類.....	78
	5.5.2 トラップ命令.....	78
	5.5.3 スロット不当命令.....	78
	5.5.4 一般不当命令.....	79
5.6	例外処理が受け付けられない場合.....	80
5.7	例外処理後のスタックの状態.....	81
5.8	使用上の注意.....	82
	5.8.1 スタックポインタ (SP) の値.....	82
	5.8.2 ベクタベースレジスタ (VBR) の値.....	82
	5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	82

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
割り込み	NMI		
	ユーザブレイク		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			アドバンスドタイマユニット-II (ATU-II)
			コンペアマッチタイマ 0 (CMT0)
			A/D 変換器チャンネル 0 (A/D0)
			コンペアマッチタイマ 1 (CMT1)
			A/D 変換器チャンネル 1 (A/D1)
			シリアルコミュニケーションインタフェース (SCI)
			日立コントローラエリアネットワーク (HCAN)
			ウォッチドッグタイマ (WDT)
命令		トラップ命令 (TRAPA 命令)	
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コードまたは PC を書き換える命令* ²)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAFL

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	$\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化若くは WDT のオーバーフローで開始される
	マニュアルリセット	WDT のオーバーフローで開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令(遅延スロット)以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令(遅延スロット)に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) を HF (1111) にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3 ~ I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3 ~ I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表5.3に、ベクタテーブルアドレスの算出法を表5.4に示します。

表5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
		⋮	⋮
		31	H'0000007C ~ H'0000007F

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
(システム予約)		68	H'00000110 ~ H'0000011F
		⋮	
		71	
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		⋮	⋮
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「6. 割り込みコントローラ」の「表 6.3 割り込み例外ベクタと優先順位」を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 5.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件		内部状態		
	RES	WDT オーバフロー	CPU/MULT/ FPU/INTC	内蔵周辺 モジュール	PFC、 IO ポート
パワーオンリセット	ロー	-	初期化	初期化	初期化
	ハイ	パワーオン	初期化	初期化	初期化しない
マニュアルリセット	ハイ	マニュアル	初期化	初期化しない	初期化しない

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時(クロックが停止している場合)は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (a) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (b) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (c) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。

(d) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の TCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号によりピンファンクションコントローラ (PFC) のレジスタおよび、I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

- (a) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (b) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (c) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (d) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

5.2.3 マニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の TCNT がオーバーフローするとマニュアルリセット状態になります。

WDT によるマニュアルリセット処理が開始されると、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

マニュアルリセットにより、バスサイクルは保持されますが、バス権解放中や DMAC バースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の 512 サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
	または DMAC	ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「8. バスステートコントローラ」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPUは次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
IRQ	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 端子 (外部からの入力)	4
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ (DMAC)	4
	アドバンスドタイマユニット - II (ATU - II)	75
	コンペアマッチタイマ (CMT)	2
	A/D 変換器 (A/D)	2
	シリアルコミュニケーションインタフェース (SCI)	20
	ウォッチドッグタイマ (WDT)	1
	日立コントローラエリアネットワーク (HCAN)	4

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「6. 割り込みコントローラ」の「表 6.3 割り込み例外ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、およびH-UDIの優先レベルは15です。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタA、C～L（IPRA、IPRC～IPRL）で自由に設定することができます（表5.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPRA、IPRC～IPRLについては「6.3.1 割り込み優先レベル設定レジスタA、C～L（IPRA、IPRC～IPRL）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタA、C～L (IPRA、IPRC～IPRL)により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMIは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPUはSRとプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値をSRのI3～I0ビットに書き込みます。ただし、NMIの場合優先レベルは16ですが、I3～I0ビットに設定される値はHF（レベル15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、浮動小数点演算命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) SR をスタックに退避します。

-
- (2) PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
 - (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後(遅延スロット)以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するPCの値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーおよび割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因		
	バスエラー	割り込み	FPU 例外
遅延分岐命令*1の直後	×	×	×
割り込み禁止命令*2の直後	×*3	×	

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

*3 SH-2 ではバスエラーは受け付けられます

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

SPの値は必ず4の倍数になるようにしてください。SPが4の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBRの値は必ず4の倍数になるようにしてください。VBRが4の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SPが4の倍数になっていないと、例外処理(割り込みなど)のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル(ライト)は実行されます。SRとPCのスタッキングでは、SPがそれぞれ-4されるので、スタッキング終了後もSPの値は4の倍数になっていません。また、スタッキング時に出力されるアドレスの値はSPの値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

第6章 目次

6.1	概要	85
6.1.1	特長	85
6.1.2	ブロック図	86
6.1.3	端子構成	87
6.1.4	レジスタ構成	87
6.2	割り込み要因	88
6.2.1	NMI 割り込み	88
6.2.2	ユーザブレイク割り込み	88
6.2.3	IRQ 割り込み	88
6.2.4	内蔵周辺モジュール割り込み	89
6.2.5	割り込み例外処理ベクタと優先順位	90
6.3	レジスタの説明	94
6.3.1	割り込み優先レベル設定レジスタ A、C～L (IPRA、IPRC～IPRL)	94
6.3.2	割り込みコントロールレジスタ (ICR)	95
6.3.3	IRQ ステータスレジスタ (ISR)	96
6.4	動作説明	98
6.4.1	割り込み動作の流れ	98
6.4.2	割り込み例外処理終了後のスタックの状態	100
6.5	割り込み応答時間	101
6.6	割り込み要求信号によるデータ転送	103
6.6.1	割り込み要求信号を CPU の割り込み要因とし、 DMAC の起動要因としない場合	103
6.6.2	割り込み要求信号を DMAC の起動要因とし、 CPU の割り込み要因としない場合	103

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

6.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

12 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

6.1.2 ブロック図

INTCのブロック図を図6.1に示します。

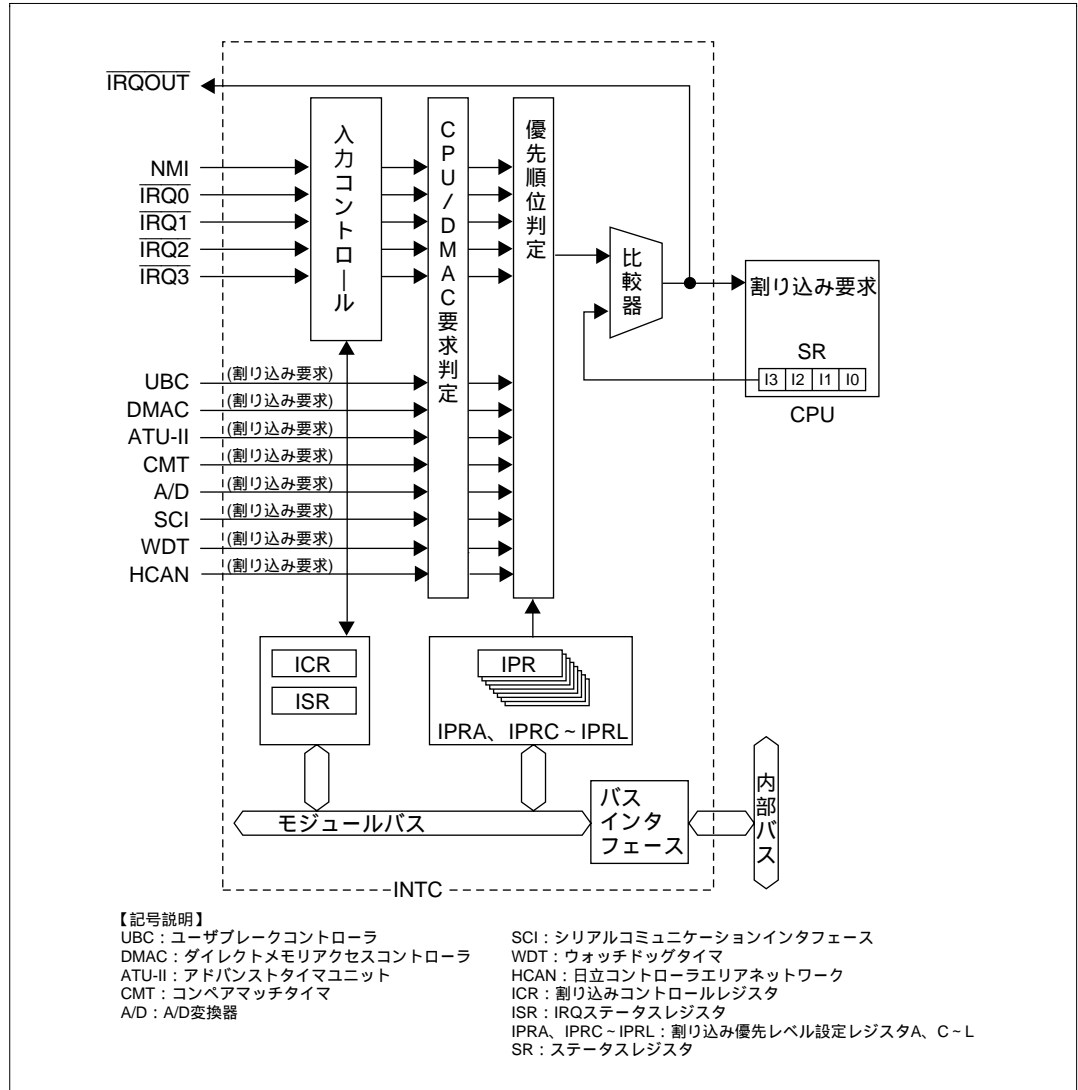


図 6.1 INTC のブロック図

6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ0} \sim \overline{IRQ3}$	入力	マスク可能な割り込み要求信号を入力

6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 14 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ ¹
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF ED00	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF ED04	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF ED06	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF ED08	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF ED0A	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF ED0C	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF ED0E	8、16、32
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'0000	H'FFFF ED10	8、16、32
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'0000	H'FFFF ED12	8、16、32
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'0000	H'FFFF ED14	8、16、32
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'0000	H'FFFF ED16	8、16、32
割り込みコントロールレジスタ	ICR	R/W	* ¹	H'FFFF ED18	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)* ²	H'0000	H'FFFF ED1A	8、16、32

【注】 アクセスサイクルはバイトアクセス、ワードアクセス時には 3 サイクル、ロングワードアクセス時には 6 サイクルになります。

*¹ NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

*² フラグをクリアするための 0 ライトのみ可能です

6.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの 5 つに分類されます。各割り込みの優先順位は優先レベル値 (0~16) で表され、レベル 0 が最低でレベル 16 が最高です。レベル 0 に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル 16 の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は 15 に設定されます。

6.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、SR の I3~I0 は 15 に設定されます。ユーザブレイクについては、「7. ユーザブレイクコントローラ」を参照してください。

6.2.3 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$ 端子からの入力による割り込みです。ICR の IRQ センスセレクトビット (IRQ0S~IRQ3S) の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタ A~B (IPRA~IPRB) によって、端子ごとに優先レベルを 0~15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間 INTC に割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ ステータスレジスタ (ISR) の IRQ フラグ (IRQ0F~IRQ3F) をリードすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ 端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、ISR の IRQ0F~IRQ3F をリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 リード後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3~I0 は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

6.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ・ダイレクトメモリアクセスコントローラ (DMAC)
- ・アドバンスドタイマユニット-II (ATU-II)
- ・コンペアマッチタイマ (CMT)
- ・A/D 変換器 (A/D)
- ・シリアルコミュニケーションインタフェース (SCI)
- ・ウォッチドッグタイマ (WDT)
- ・日立コントローラエリアネットワーク (HCAN)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~L (IPRC~IPRL) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.5 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「5. 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A、C~L (IPRA、IPRC~IPRL) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRL に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

6. 割り込みコントローラ (INTC)

割り込み要因番号		割り込みベクタ			割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット					
ATU3	ATU31	IMI3A	120	H'000001E0 ~ H'000001E3	0 ~ 15 (0)	IPRF(15 ~ 12)	1	↑ 高
		IMI3B	121	H'000001E4 ~ H'000001E7			2	
		IMI3C	122	H'000001E8 ~ H'000001EB			3	
		IMI3D	123	H'000001EC ~ H'000001EF			4	
	ATU32	OVI3	124	H'000001F0 ~ H'000001F3	0 ~ 15 (0)	IPRF(11 ~ 8)		
ATU4	ATU41	IMI4A	128	H'00000200 ~ H'00000203	0 ~ 15 (0)	IPRF(7 ~ 4)	1	
		IMI4B	129	H'00000204 ~ H'00000207			2	
		IMI4C	130	H'00000208 ~ H'0000020B			3	
		IMI4D	131	H'0000020C ~ H'0000020F			4	
	ATU42	OVI4	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPRF(3 ~ 0)		
ATU5	ATU51	IMI5A	136	H'00000220 ~ H'00000223	0 ~ 15 (0)	IPRG(15 ~ 12)	1	
		IMI5B	137	H'00000224 ~ H'00000227			2	
		IMI5C	138	H'00000228 ~ H'0000022B			3	
		IMI5D	139	H'0000022C ~ H'0000022F			4	
	ATU52	OVI5	140	H'00000230 ~ H'00000233	0 ~ 15 (0)	IPRG(11 ~ 8)		
ATU6		CMI6A	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	IPRG(7 ~ 4)	1	
		CMI6B	145	H'00000244 ~ H'00000247			2	
		CMI6C	146	H'00000248 ~ H'0000024B			3	
		CMI6D	147	H'0000024C ~ H'0000024F			4	
ATU7		CMI7A	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPRG(3 ~ 0)	1	
		CMI7B	149	H'00000254 ~ H'00000257			2	
		CMI7C	150	H'00000258 ~ H'0000025B			3	
		CMI7D	151	H'0000025C ~ H'0000025F			4	
ATU8	ATU81	OSI8A	152	H'00000260 ~ H'00000263	0 ~ 15 (0)	IPRH(15 ~ 12)	1	
		OSI8B	153	H'00000264 ~ H'00000267			2	
		OSI8C	154	H'00000268 ~ H'0000026B			3	
		OSI8D	155	H'0000026C ~ H'0000026F			4	
	ATU82	OSI8E	156	H'00000270 ~ H'00000273	0 ~ 15 (0)	IPRH(11 ~ 8)	1	
		OSI8F	157	H'00000274 ~ H'00000277			2	
		OSI8G	158	H'00000278 ~ H'0000027B			3	
		OSI8H	159	H'0000027C ~ H'0000027F			4	
	ATU83	OSI8I	160	H'00000280 ~ H'00000283	0 ~ 15 (0)	IPRH(7 ~ 4)	1	
		OSI8J	161	H'00000284 ~ H'00000287			2	
		OSI8K	162	H'00000288 ~ H'0000028B			3	
		OSI8L	163	H'0000028C ~ H'0000028F			4	
ATU84	OSI8M	164	H'00000290 ~ H'00000293	0 ~ 15 (0)	IPRH(3 ~ 0)	1		
	OSI8N	165	H'00000294 ~ H'00000297			2		
	OSI8O	166	H'00000298 ~ H'0000029B			3		
	OSI8P	167	H'0000029C ~ H'0000029F			4		
ATU9	ATU91	CMI9A	168	H'000002A0 ~ H'000002A3	0 ~ 15 (0)	IPRI(15 ~ 12)	1	
		CMI9B	169	H'000002A4 ~ H'000002A7			2	
		CMI9C	170	H'000002A8 ~ H'000002AB			3	
		CMI9D	171	H'000002AC ~ H'000002AF			4	
	ATU92	CMI9E	172	H'000002B0 ~ H'000002B3	0 ~ 15 (0)	IPRI(11 ~ 8)	1	
		CMI9F	174	H'000002B8 ~ H'000002BB			2	

6. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU10	ATU101	CMI10A	176	H'000002C0 ~ H'000002C3	0~15(0)	IPRI(7~4)	↑ 1	↑ 高
		CMI10B	178	H'000002C8 ~ H'000002CB			↓ 2	
	ATU102	ICI10A /CMI10G	180	H'000002D0 ~ H'000002D3	0~15(0)	IPRI(3~0)		
ATU11	IMI11A	184	H'000002E0 ~ H'000002E3	0~15(0)	IPRJ(15~12)	↑ 1	↑ 高	
	IMI11B	186	H'000002E8 ~ H'000002EB			↓ 2		
	OVI11	187	H'000002EC ~ H'000002EF			↓ 3		
CMT0	CMTI0	188	H'000002F0 ~ H'000002F3	0~15(0)	IPRJ(11~8)	↑ 1		
A/D0	ADI0	190	H'000002F8 ~ H'000002FB			↓ 2		
CMT1	CMTI1	192	H'00000300 ~ H'00000303	0~15(0)	IPRJ(7~4)	↑ 1		
A/D1	ADI1	194	H'00000308 ~ H'0000030B			↓ 2		
SCI0	ERI0	200	H'00000320 ~ H'00000323	0~15(0)	IPRK(15~12)	↑ 1	↑ 高	
	RXI0	201	H'00000324 ~ H'00000327			↓ 2		
	TXI0	202	H'00000328 ~ H'0000032B			↓ 3		
	TEI0	203	H'0000032C ~ H'0000032F			↓ 4		
SCI1	ERI1	204	H'00000330 ~ H'00000333	0~15(0)	IPRK(11~8)	↑ 1		↑ 高
	RXI1	205	H'00000334 ~ H'00000337			↓ 2		
	TXI1	206	H'00000338 ~ H'0000033B			↓ 3		
	TEI1	207	H'0000033C ~ H'0000033F			↓ 4		
SCI2	ERI2	208	H'00000340 ~ H'00000343	0~15(0)	IPRK(7~4)	↑ 1	↑ 高	
	RXI2	209	H'00000344 ~ H'00000347			↓ 2		
	TXI2	210	H'00000348 ~ H'0000034B			↓ 3		
	TEI2	211	H'0000034C ~ H'0000034F			↓ 4		
SCI3	ERI3	212	H'00000350 ~ H'00000353	0~15(0)	IPRK(3~0)	↑ 1		↑ 高
	RXI3	213	H'00000354 ~ H'00000357			↓ 2		
	TXI3	214	H'00000358 ~ H'0000035B			↓ 3		
	TEI3	215	H'0000035C ~ H'0000035F			↓ 4		
SCI4	ERI4	216	H'00000360 ~ H'00000363	0~15(0)	IPRL(15~12)	↑ 1	↑ 高	
	RXI4	217	H'00000364 ~ H'00000367			↓ 2		
	TXI4	218	H'00000368 ~ H'0000036B			↓ 3		
	TEI4	219	H'0000036C ~ H'0000036F			↓ 4		
HCAN	ERS	220	H'00000370 ~ H'00000373	0~15(0)	IPRL(11~8)	↑ 1		↑ 高
	OVR	221	H'00000374 ~ H'00000377			↓ 2		
	RM	222	H'00000378 ~ H'0000037B			↓ 3		
	SLE	223	H'0000037C ~ H'0000037F			↓ 4		
WDT	ITI	224	H'00000380 ~ H'00000383	0~15(0)	IPRL(7~4)		↓ 低	

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A、C～L (IPRA、IPRC～IPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A、C～L (IPRA、IPRC～IPRL) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPRA、IPRC～IPRL の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA、IPRC～IPRL

レジスタ	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ C	DAMC0、1	DMAC2、3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU04	ATU11	ATU12
割り込み優先レベル設定レジスタ E	ATU13	ATU21	ATU22	ATU23
割り込み優先レベル設定レジスタ F	ATU31	ATU32	ATU41	ATU42
割り込み優先レベル設定レジスタ G	ATU51	ATU52	ATU6	ATU7
割り込み優先レベル設定レジスタ H	ATU81	ATU82	ATU83	ATU84
割り込み優先レベル設定レジスタ I	ATU91	ATU92	ATU101	ATU102
割り込み優先レベル設定レジスタ J	ATU11	CMT0、A/D0	CMT1、A/D1	
割り込み優先レベル設定レジスタ K	SCI0	SCI1	SCI2	SCI3
割り込み優先レベル設定レジスタ L	SCI4	HCAN	WDT	

表 6.4 に示すように、1本のレジスタに4つの \overline{IRQ} 端子、または4組の内蔵周辺モジュールが割り当てられています。ビット15~12、ビット11~8、ビット7~4、ビット3~0の各4ビットにH'0(0000)からH'F(1111)の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0をセットすると優先レベル0(最低)に、H'Fをセットすると優先レベル15(最高)になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合(DMAC0とDMAC1、DMAC2とDMAC3、CMT0とA/D0、CMT1とA/D1)その複数のモジュールは同じ優先順位に設定されます。

IPRA、IPRC~IPRLは、リセットおよびハードウェアスタンバイモードでH'0000に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL							NMI	IRQ0S	IRQ1S	IRQ2S	IRQ3S				
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R							R/W	R/W	R/W	R/W	R/W				

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16ビットのレジスタで、外部割り込み入力端子NMIと $\overline{IRQ0} \sim \overline{IRQ3}$ の入力信号検出モードを設定し、NMI端子への入力レベルを示します。ICRはリセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット15: NMI入力レベル (NMIL)

NMI端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI端子のレベルを知ることができます。書き込みは無効です。

ビット15	説明
NMIL	
0	NMI端子にローレベルが入力されている
1	NMI端子にハイレベルが入力されている

ビット14~9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：NMIエッジセレクト (NMIE)

ビット8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7~4：IRQ0~IRQ3 センスセレクト (IRQ0S~IRQ3S)

IRQ0~IRQ3 割り込み要求の検出モードを設定します。

ビット7~4	説明
IRQ0S~IRQ3S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

ビット3~0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 IRQ ステータスレジスタ (ISR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ0F	IRQ1F	IRQ2F	IRQ3F				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：									R/W	R/W	R/W	R/W				

IRQ ステータスレジスタ (ISR) は16ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に0をライトすることにより、保持されている割り込み要求を取り下げることができます。

ISR リセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット15~8: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット7~4: IRQ0~IRQ3 フラグ (IRQ0F~IRQ3F)

IRQ0~IRQ3 割り込み要求のステータスを表示します。

ビット7~4	検出設定	説明
IRQ0F~IRQ3F		
0	レベル検出時	IRQn 割り込み要求が存在しません。 【クリア条件】 $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。(初期値) 【クリア条件】 (1) $\text{IRQnF}=1$ の状態をリード後に0をライトしたとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 【セット条件】 $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 【セット条件】 $\overline{\text{IRQn}}$ 入りに立ち下がりエッジが発生したとき

ビット3~0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A、C ~ L (IPRA、IPRC ~ IPRL) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 6.4 参照)。
- (5) SR とプログラムカウンタ (PC) がスタックに退避されます。
- (6) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (7) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されません。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.3 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

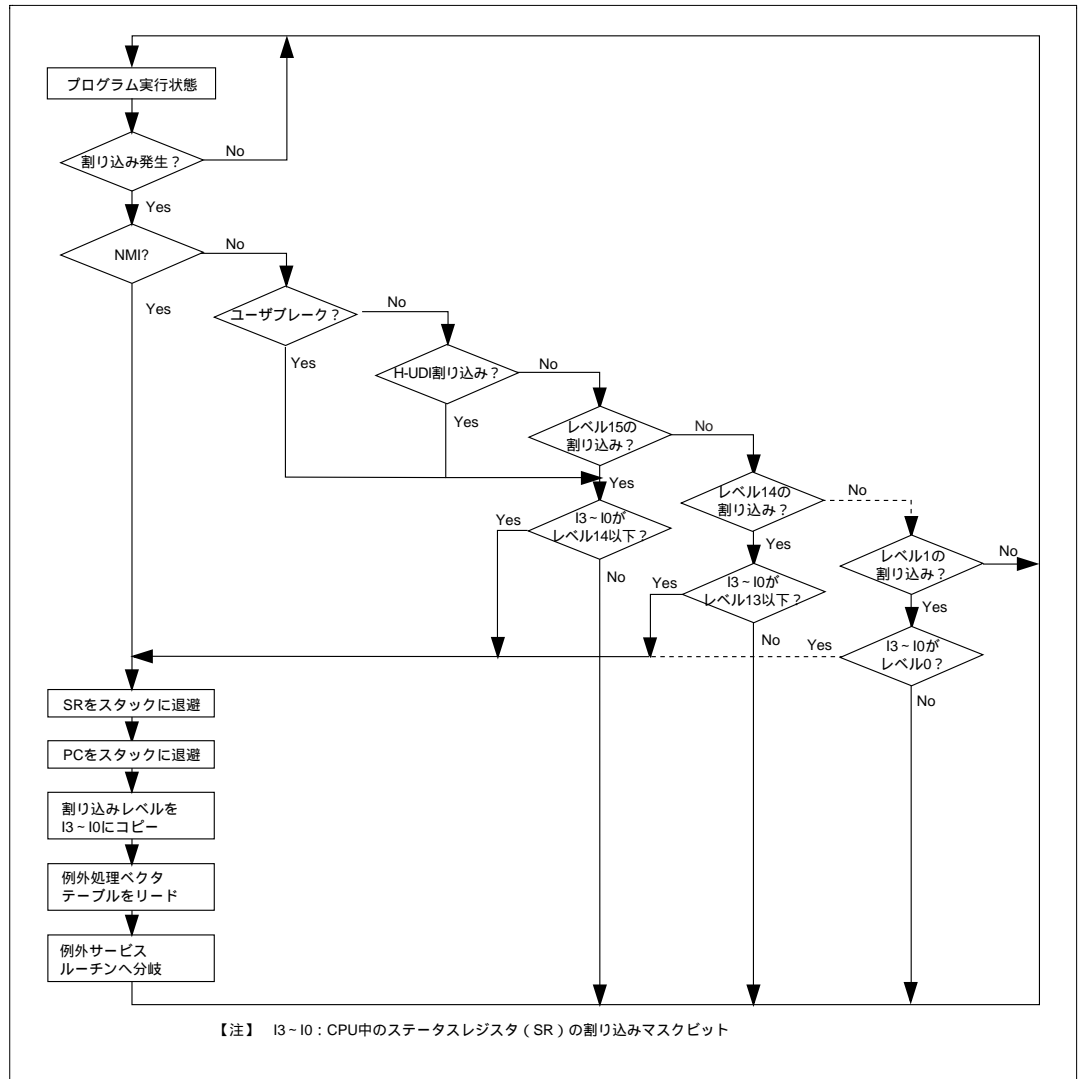


図 6.2 割り込み動作フロー

6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。



図 6.3 割り込み例外処理終了後のスタック状態

6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.4 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
DMAC 起動判定	0 または 1	0	DMAC 起動が可能な割り込み信号の場合 1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	(7 または 8) +m1+m2+m3+X	8+m1+m2+m3+X	
	最小時	10	11	40MHz 動作時： 0.25 ~ 0.28 μ s
	最大時	12+2(m1+m2+m3)+m4	12+2(m1+m2+m3)+m4	40MHz 動作時： 0.48 μ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワードライト)

m2 : PC の退避 (ロングワードライト)

m3 : ベクタアドレスリード (ロングワードリード)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

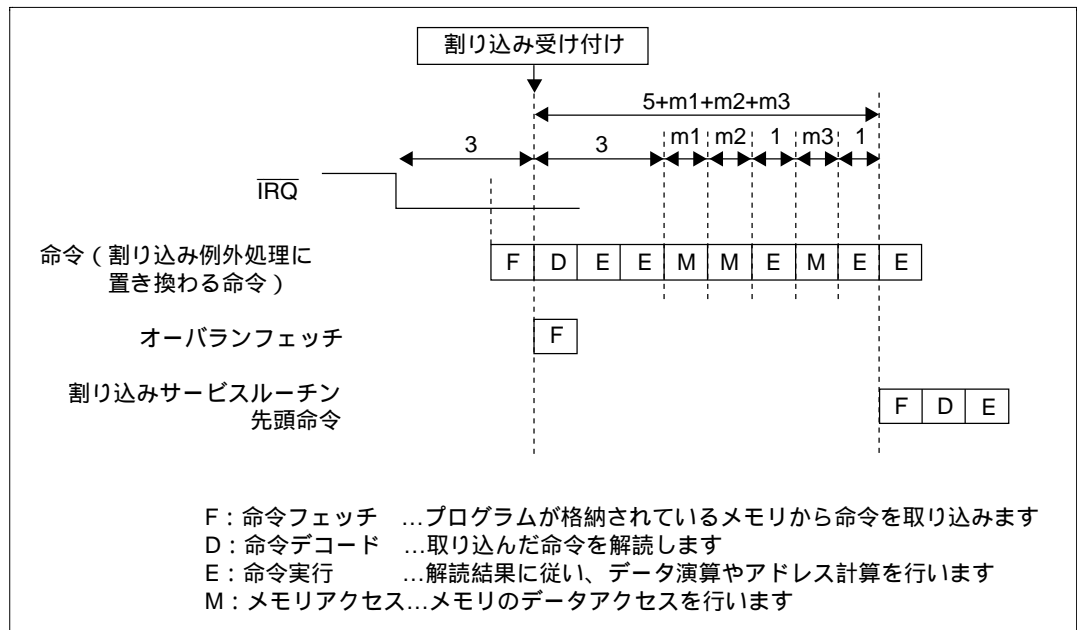


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例

6.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- ・ DMAC を起動、CPU 割り込みは発生しない

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択0} + \text{DE1} \cdot \text{要因選択1} + \text{DE2} \cdot \text{要因選択2} + \text{DE3} \cdot \text{要因選択3})$$

6.6.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMAC で要因を選択しないか、または DME ビットを "0" にクリアします。
- (2) 割り込みが発生すると、CPU に割り込みを要求します。
- (3) CPU は割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.6.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMAC で要因を選択し、DME=1 にセットします。割り込み優先レベルレジスタの設定によらず CPU 割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMAC に起動要因が与えられます。
- (3) DMAC は、転送時に起動要因をクリアします。

7. ユーザブレーク コントローラ (UBC)

第7章 目次

7.1	概要.....	107
	7.1.1 特長.....	107
	7.1.2 ブロック図.....	108
	7.1.3 レジスタ構成	109
7.2	レジスタの説明.....	110
	7.2.1 ユーザブレークアドレスレジスタ (UBAR)	110
	7.2.2 ユーザブレークアドレスマスクレジスタ (UBAMR)	111
	7.2.3 ユーザブレークバスサイクルレジスタ (UBBR)	112
	7.2.4 ユーザブレークコントロールレジスタ (UBCR)	114
7.3	動作説明.....	115
	7.3.1 ユーザブレーク動作の流れ	115
	7.3.2 内蔵メモリの命令フェッチサイクルによるブレーク.....	117
	7.3.3 退避するプログラムカウンタ (PC) の値.....	117
7.4	ユーザブレーク使用例.....	118
7.5	使用上の注意	121
	7.5.1 2命令同時フェッチ	121
	7.5.2 分岐時の命令フェッチ	121
	7.5.3 ユーザブレークと例外処理の競合	122
	7.5.4 非遅延分岐命令の飛び先でのブレーク.....	122
	7.5.5 ユーザブレークトリガ出力	122
	7.5.6 モジュールスタンバイ	123

7.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU または DMAC によるバスサイクルの内容に応じて、ユーザブレイク割り込みが発生します。この機能を使用することによって、高機能のセルフモニタデバッグを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

7.1.1 特長

UBC には、次のような特長があります。

次のブレイク条件を設定可能

アドレス

CPU サイクルまたは DMA サイクル

命令フェッチまたはデータアクセス

読み出しまたは書き込み

オペランドサイズ (ロングワード、ワード、バイト)

ブレイク条件成立により、ユーザブレイク割り込みを発生

ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。

CPU の命令フェッチにブレイクをかけると、その命令の手前でブレイク

ブレイク条件成立を $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子に出力できます。

7.1.2 ブロック図

UBCのブロック図を図7.1に示します。

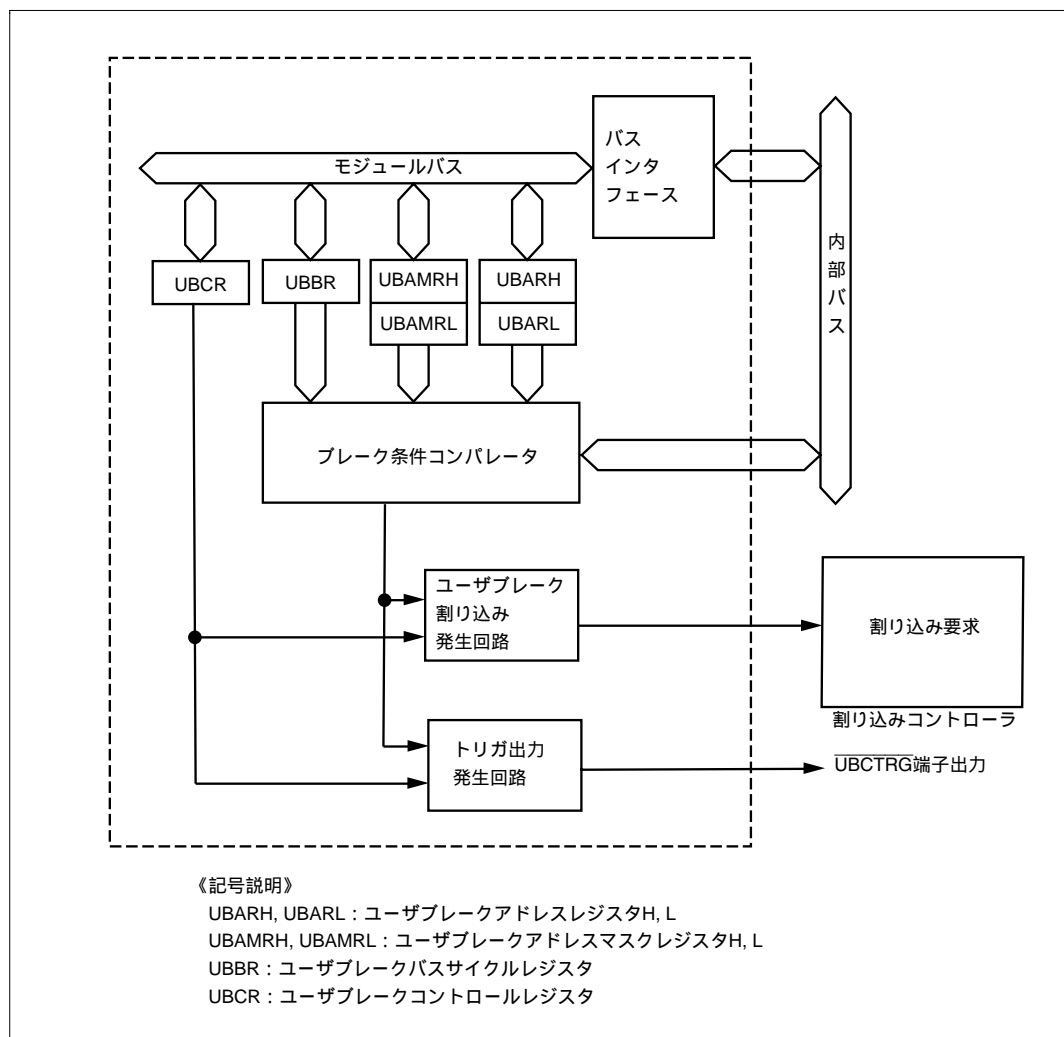


図 7.1 UBCのブロック図

7.1.3 レジスタ構成

UBCには、表7.1に示すように6本のレジスタがあります。これらのレジスタにより、ブレイク条件を設定します。

表7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*	アクセス サイズ
ユーザブレイクアドレスレジスタH	UBARH	R/W	H'0000	H'FFFF EC00	8、16、32
ユーザブレイクアドレスレジスタL	UBARL	R/W	H'0000	H'FFFF EC02	8、16、32
ユーザブレイクアドレスマスクレジスタH	UBAMRH	R/W	H'0000	H'FFFF EC04	8、16、32
ユーザブレイクアドレスマスクレジスタL	UBAMRL	R/W	H'0000	H'FFFF EC06	8、16、32
ユーザブレイクバスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF EC08	8、16、32
ユーザブレイクコントロールレジスタ	UBCR	R/W	H'0000	H'FFFF EC0A	8、16、32

【注】 * レジスタアクセスはバイトアクセス時、ワードアクセス時は3サイクル、ロングワードアクセス時は6サイクルとなります。

7.2 レジスタの説明

7.2.1 ユーザブレイクアドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクアドレスレジスタ (UBAR) は、ユーザブレイクアドレスレジスタ H (UBARH) とユーザブレイクアドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、UBARH はブレイク条件とするアドレスの上位側 (ビット 31 ~ 16) を指定し、UBARL はアドレスの下位側 (ビット 15 ~ 0) を指定します。UBARH と UBARL は、パワーオンリセットまたはモジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBARH ビット 15 ~ 0 : ユーザブレイクアドレス 31 ~ 16 (UBA31 ~ UBA16)
ブレイク条件とするアドレスの上位側 (ビット 31 ~ 16) を格納します。

UBARL ビット 15 ~ 0 : ユーザブレイクアドレス 15 ~ 0 (UBA15 ~ UBA0)
ブレイク条件とするアドレスの下位側 (ビット 15 ~ 0) を格納します。

7.2.2 ユーザブ레이크アドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスマスクレジスタ (UBAMR) は、ユーザブ레이크アドレスマスクレジスタ H (UBAMRH) とユーザブ레이크アドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。UBAMRH は UBAMRH に設定されているブ레이크アドレスのどのビットをマスクするかを指定し、UBAMRL は UBAMRL に設定されているブ레이크アドレスのどのビットをマスクするかを指定します。UBAMRH と UBAMRL は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBAMRH ビット 15~0 : ユーザブ레이크アドレスマスク 31~16 (UBM31~UBM16)

UBAMRH に設定されているユーザブ레이크アドレス 31~16 (UBA31~UBA16) の各ビットをマスクするかどうかを指定します。

UBAMRL ビット 15~0 : ユーザブ레이크アドレスマスク 15~0 (UBM15~UBM0)

UBAMRL に設定されているユーザブ레이크アドレス 15~0 (UBA15~UBA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明
UBMn	
0	ユーザブ레이크アドレス UBA _n をブ레이크条件に含む (初期値)
1	ユーザブ레이크アドレス UBA _n をブ레이크条件に含めない

n = 31 ~ 0

7.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクバスサイクルレジスタ (UBBR) は読み出し / 書き込み可能な 16 ビットのレジスタで、ブレイク条件のうち (1) CPU サイクル / DMA サイクル (2) 命令フェッチ / データアクセス (3) 読み出し / 書き込み (4) オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。UBBR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15 ~ 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7、6 : CPU サイクル / DMA サイクルセレクト (CP1、CP0)

CPU サイクルまたは DMA サイクルをブレイク条件に指定します。

ビット 7	ビット 6	説明
CP1	CP0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPU サイクルをブレイク条件とする
1	0	DMA サイクルをブレイク条件とする
	1	CPU サイクルと DMA サイクルのどちらもブレイク条件とする

ビット 5、4 : 命令フェッチ / データアクセスセレクト (ID1、ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。

ビット 5	ビット 4	説明
ID1	ID0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブレイク条件とする
1	0	データアクセスサイクルをブレイク条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする。

ビット3、2：リード/ライトセレクト (RW1、RW0)

リードサイクルまたはライトサイクルをブ레이크条件に指定します。

ビット3	ビット2	説明
RW1	RW0	
0	0	ユーザブ레이크割り込みは発生させない (初期値)
	1	リードサイクルをブ레이크条件とする
1	0	ライトサイクルをブ레이크条件とする
	1	リードサイクルとライトサイクルのどちらもブ레이크条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)

ブ레이크条件にするオペランドサイズを指定します。

ビット1	ビット0	説明
SZ1	SZ0	
0	0	ブ레이크条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブ레이크条件とする
1	0	ワードアクセスをブ레이크条件とする
	1	ロングワードアクセスをブ레이크条件とする

【注】 命令フェッチでブ레이크をかける場合は、SZ0 ビットを0にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます（内蔵メモリに命令があって、1回のバスサイクルで同時に2命令フェッチする場合もワードでアクセスされるものとみなされます）。

オペランドサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

7.2.4 ユーザブレークコントロールレジスタ (UBCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														CKS1	CKS0	UBID
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ユーザブレークコントロールレジスタ (UBCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで (1) ユーザブレーク割り込みの禁止 / 許可、(2) ブレーク条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。

UBCR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15 ~ 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2、1 : クロックセレクト 1、0 (CKS1、0)

条件一致時に $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。

ビット 2	ビット 1	説明
CKS1	CKS0	
0	0	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を 1 にする (初期値)
	1	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を /4 にする
1	0	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を /8 にする
	1	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を /16 にする

【注】 : 内部クロック

ビット 0 : ユーザブレークディスエーブル (UBID)

ユーザブレーク条件一致時にユーザブレーク割り込み要求の禁止 / 許可を指定します。

ビット 0	説明
UBID	
0	ユーザブレーク割り込み要求を許可する (初期値)
1	ユーザブレーク割り込み要求を禁止する

7.3 動作説明

7.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク割り込み例外処理までの流れを以下に示します。

- (1) ブレーク条件のうち、ユーザブレークアドレスをユーザブレークアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレークアドレスマスクレジスタ (UBAMR)、ブレークするバスサイクルの種類をユーザブレークバスサイクルレジスタ (UBBR) に設定してください。UBBR の CPU サイクル / DMA サイクルセレクトビット (CP1、CP0)、命令フェッチ / データアクセスセレクトビット (ID1、ID0)、リード / ライトセレクトビット (RW1、RW0) のいずれか 1 組でも 00 (ユーザブレーク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレーク割り込みは発生しません。ユーザブレーク割り込みを使用したいときは、必ずこれら 3 組のビットすべてに条件を設定してください。
- (2) UBC は、設定した条件が成立したかどうかを図 7.2 に示す方式で判定します。ブレーク条件が成立すると、UBC は割り込みコントローラ (INTC) に、ユーザブレーク割り込み要求信号を送ります。同時に条件一致信号を $\overline{UBCTR\overline{G}}$ 端子に CKS1,0 ビットで設定されたパルス幅で出力します。
- (3) ユーザブレーク割り込み要求信号を受け取ると、INTC は優先順位の判定を行います。ユーザブレーク割り込みは優先レベル 15 なので、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) がレベル 14 以下のとき、受け付けられます。I3 ~ I0 ビットがレベル 15 のとき、ユーザブレーク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI 例外処理では、I3 ~ I0 ビットはレベル 15 になりますので、NMI 例外サービスルーチン中はユーザブレーク割り込みは受け付けられません。ただし、NMI 例外サービスルーチンの先頭で I3 ~ I0 ビットをレベル 14 以下に変更すれば、それ以後ユーザブレーク割り込みが受け付けられるようになります。優先順位判定については、「6. 割り込みコントローラ」を参照してください。
- (4) INTC は、ユーザブレーク割り込みの要求信号を CPU に送ります。これを受け取ると、CPU はユーザブレーク割り込み例外処理を開始します。割り込み例外処理については、「6.4 動作説明」を参照してください。

7. ユーザブレイクコントローラ (UBC)

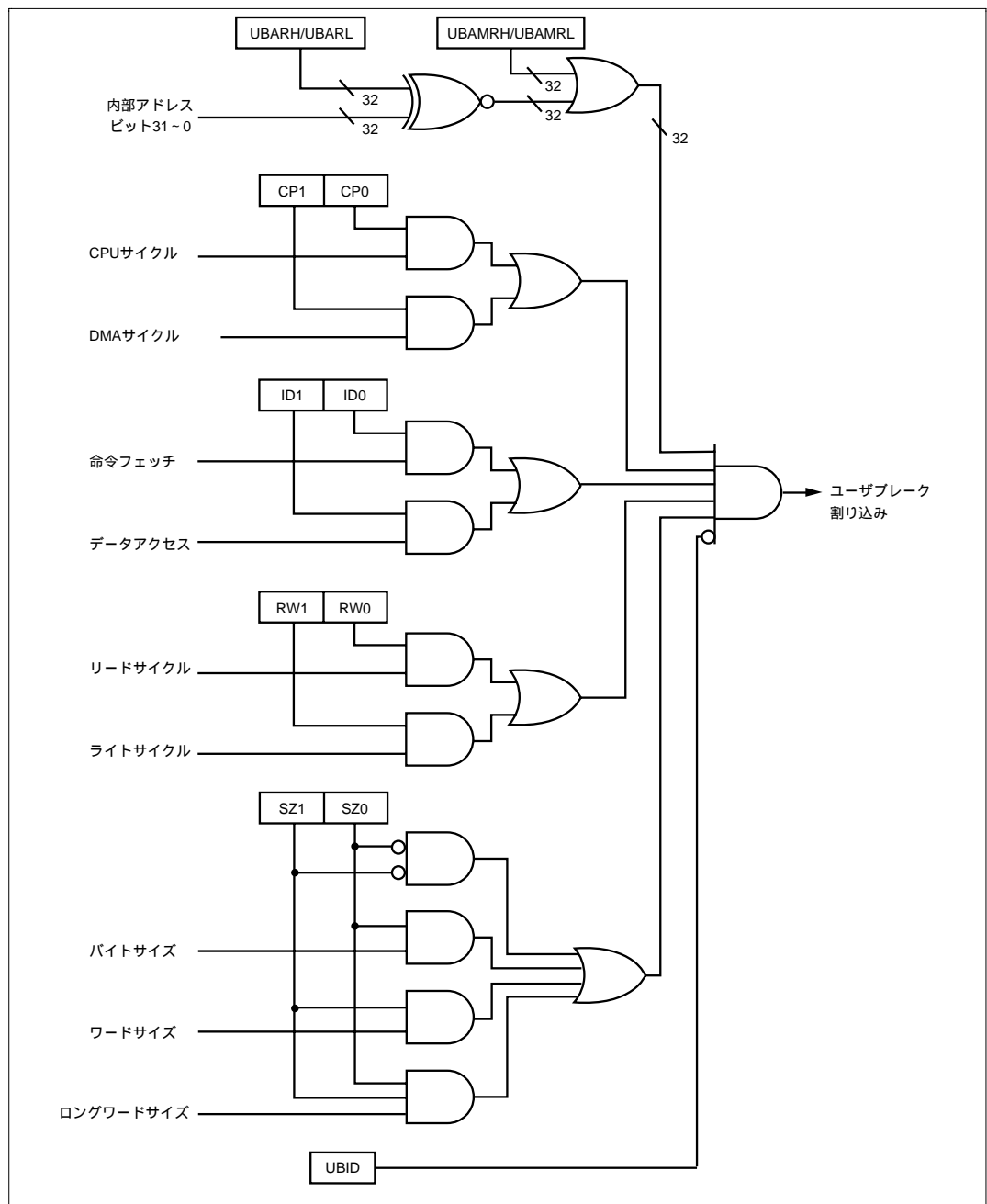


図 7.2 ブ레이크条件判定方式

7.3.2 内蔵メモリの命令フェッチサイクルによるブレイク

内蔵メモリ (内蔵 ROM、内蔵 RAM) は、常に 32 ビットを 1 回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1 回のバスサイクルで 2 命令が取り込まれます。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレイクアドレスレジスタ (UBAR) に設定することによって、独立してブレイクをかけることができます。言い換えると、1 回のバスサイクルで取り込まれた 2 命令のうち、後半の命令でブレイクをかけたいとき、UBAR にはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレイクがかかるようになります。

7.3.3 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチをブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で退避されるプログラムカウンタ (PC) の値は、ブレイク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、遅延分岐命令直後 (遅延スロット) に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレイク条件に設定した場合、ユーザブレイク割り込みはすぐには受け付けられず、ブレイク条件を設定した命令は実行されます。このとき、ユーザブレイク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避される PC の値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス (CPU / DMA) をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス (CPU / DMA) をブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

7.4 ユーザブレイク使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0000

UBARL = H'0404

UBBR = H'0054

UBCR = H'0000

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

アドレス H'00000404 にある命令の手前でユーザブレイク割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレイク例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

(b) レジスタの設定 : UBARH = H'0015

UBARL = H'389C

UBBR = H'0058

UBCR = H'0000

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、ライト

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチサイクルはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

(c) レジスタの設定 : UBARH = H'0003

UBARL = H'0147

UBBR = H'0054

UBCR = H'0000

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

(2) CPU データアクセスサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0012

UBARL = H'3456

UBBR = H'006A

UBCR = H'0000

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、ライト、ワード

割り込み要求許可

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'00A8

UBARL = H'0391

UBBR = H'0066

UBCR = H'0000

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、リード、ワード

割り込み要求許可

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMA サイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0076

UBARL = H'BCDC

UBBR = H'00A7

UBCR = H'0000

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DMA、データアクセス、リード、
ロングワード

割り込み要求許可

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'0023

UBARL = H'45C8

UBBR = H'0094

UBCR = H'0000

設定された条件 : アドレス : H'002345C8

バスサイクル : DMA、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

DMA サイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

7.5 使用上の注意

7.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。

7.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

(1) 条件分岐命令で分岐する場合：BT、BF 命令

TRAPA 命令で分岐する場合： TRAPA 命令

命令フェッチの順序 = 当該命令フェッチ 次命令オーバランフェッチ

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 分岐先命令実行

(2) 遅延付き条件分岐命令で分岐する場合：BT/S、BF/S 命令

命令フェッチの順序 = 当該命令フェッチ 次命令フェッチ (遅延スロット)

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 遅延スロット命令実行 分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。ただし、ブレイクの対象となる命令は、命令がフェッチされ実行されることが確定したときに、はじめてブレイクするので、上記のようにオーバランフェッチされた命令は、ブレイクの対象となりません。

ただし、ブレイク条件として、命令フェッチブレイク以外にデータアクセスブレイクも含めていた場合は、命令のオーバランフェッチでもデータブレイク成立とみなしてブレイクがかかります。

7.5.3 ユーザブレークと例外処理の競合

ある命令の命令フェッチにユーザブレークを設定した状態で、その命令(またはその次の命令)のデコードステージにおいてユーザブレークより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した(RTEで戻った)後にユーザブレーク例外処理が発生しない場合があります。

すなわち、分岐(BRA、BRA \overline{F} 、BT、BF、BT/S、BF/S、BSR、BSR \overline{F} 、JMP、JSR、RTS、RTE、例外処理)後の分岐先命令の命令フェッチにユーザブレーク条件をかけた状態で、その分岐先命令がユーザブレーク割り込みよりも優先度の高い例外処理を受け付けると、その例外処理サービスルーチンを終了した後のユーザブレーク例外処理は発生しません。

したがって、分岐後の分岐先命令のフェッチには、ユーザブレーク条件を設定しないでください。

7.5.4 非遅延分岐命令の飛び先でのブレーク

遅延スロットを持たない分岐命令(例外処理も含む)が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレーク条件をかけていても、ユーザブレークは発生しません。

7.5.5 ユーザブレークトリガ出力

UBCでモニタしている内部バスの条件一致情報を、 $\overline{UBCTR\overline{G}}$ として出力します。トリガ幅は、ユーザブレークコントロールレジスタ(UBCR)のクロックセレクト1,0(CKS1,0)ビットにより選択できます。

トリガ出力中に、再度条件一致が発生した場合は $\overline{UBCTR\overline{G}}$ 端子はローレベルを出力し続け、最後の条件一致のあったサイクルからCKS1、0ビットにより設定された長さのパルスを出力します。

トリガ出力条件は、CPUの命令フェッチ条件の一致時には、ユーザブレーク割り込みでのそれとことなります。「7.5.2 分岐時の命令フェッチ」で説明しているオーバランフェッチ命令で条件一致が発生すると、ユーザブレーク割り込みは要求しませんが、 $\overline{UBCTR\overline{G}}$ 端子からはトリガが出力されます。

その他のCPUのデータアクセス、DMACのバスサイクルはユーザブレーク割り込み条件と同様の条件でパルス出力します。

また、UBCRのユーザブレークインタラプトディスエーブル(UBID)を1セットすることにより、ユーザブレーク割り込みを要求せず外部でトリガ出力モニタが可能となります。

7.5.6 モジュールスタンバイ

UBC は、パワーオンリセット後、モジュールスタンバイ状態となっているので、クロック供給が停止されています。UBC を使用する際は、UBC のレジスタ設定に先立ってモジュールスタンバイ状態を解除する必要があります。モジュールスタンバイは、モジュールスタンバイコントロールレジスタ(MSTCR)で制御します。モジュールスタンバイについては、「23.2.3 モジュールスタンバイコントロールレジスタ」参照してください。

8. バスステート コントローラ (BSC)

第8章 目次

8.1	概要.....	127
	8.1.1 特長.....	127
	8.1.2 ブロック図.....	128
	8.1.3 端子構成.....	129
	8.1.4 レジスタ構成.....	129
	8.1.5 アドレスマップ.....	130
8.2	レジスタの説明.....	134
	8.2.1 バスコントロールレジスタ1 (BCR1)	134
	8.2.2 バスコントロールレジスタ2 (BCR2)	136
	8.2.3 ウェイトコントロールレジスタ (WCR)	139
	8.2.4 RAM エミュレーションレジスタ (RAMER)	141
8.3	外部空間アクセス.....	143
	8.3.1 基本タイミング.....	143
	8.3.2 ウェイトステート制御.....	143
	8.3.3 \overline{CS} アサート期間拡張.....	145
8.4	アクセスサイクル間ウェイト.....	146
	8.4.1 データバス衝突防止.....	146
	8.4.2 バスサイクル開始検出の容易化.....	147
8.5	バスアービトレーション.....	148
8.6	メモリ接続例.....	149

8.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などを本 LSI に直結することができますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

8.1.1 特長

BSC には、次のような特長があります。

アドレス空間を 4 つに分割して管理

- CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大 4M バイト
- CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
- 空間ごとに、バス幅 (8 ビットまたは 16 ビット) を選択可能
- 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
- 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- 各空間に接続するメモリに対応した制御信号を出力

内蔵 ROM、RAM インタフェース

- 内蔵 ROM、RAM は 32 ビットを 1 ステートでアクセス

8.1.2 ブロック図

BSCのブロック図を図8.1に示します。

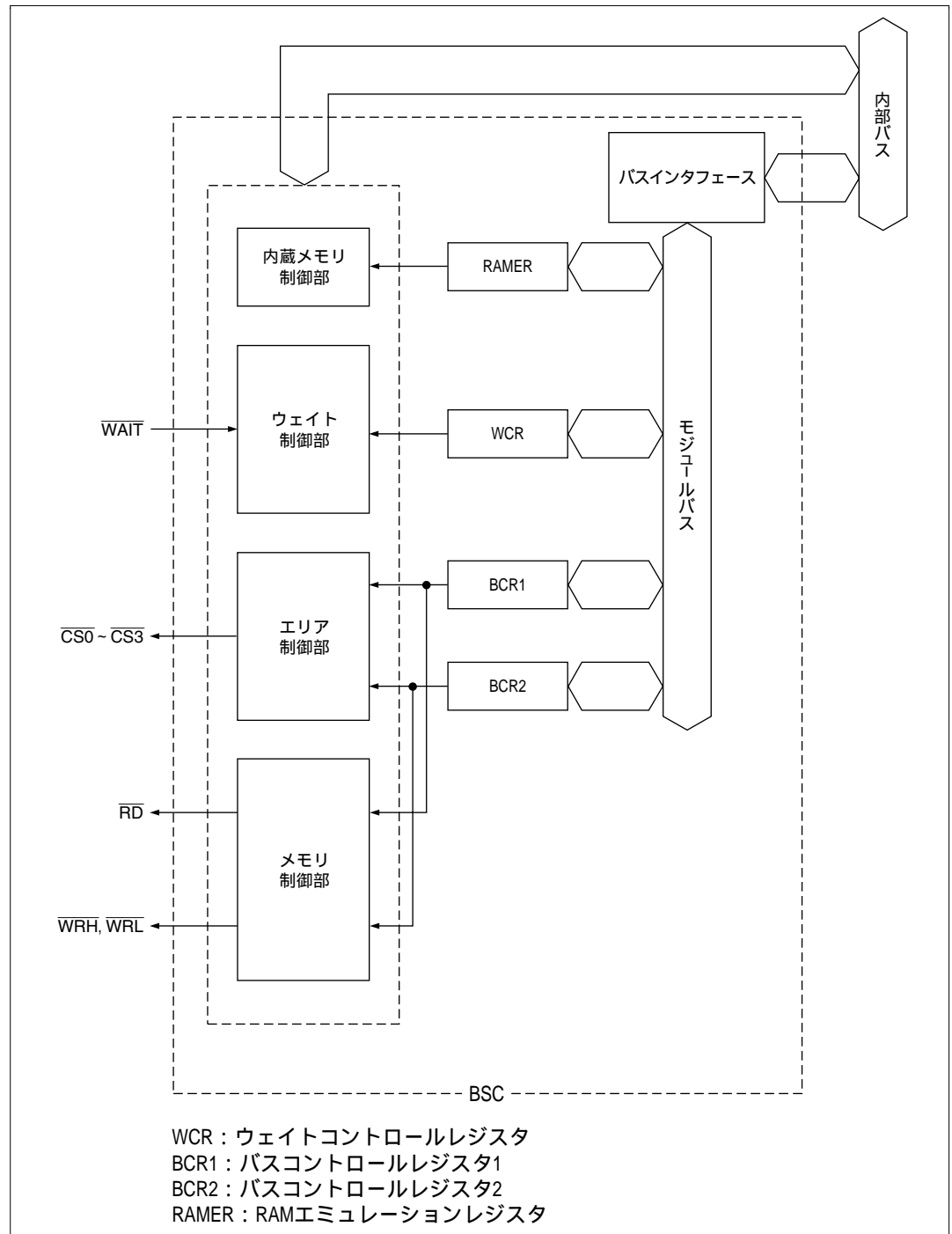


図 8.1 BSC のブロック図

8.1.3 端子構成

バスステートコントローラの端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	略称	入出力	機能
アドレスバス	A21 ~ A0	出力	アドレス出力
データバス	D15 ~ D0	入出力	16 ビットのデータバス
チップセレクト	$\overline{CS0} \sim \overline{CS3}$	出力	アクセス中のエリアを示すチップセレクト信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
上位側ライト	\overline{WRH}	出力	上位 8 ビット (D15 ~ D8) へのライトサイクルを示すストロープ信号
下位側ライト	\overline{WRL}	出力	下位 8 ビット (D7 ~ D0) へのライトサイクルを示すストロープ信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権要求	\overline{BREQ}	入力	バス解放要求入力
バス権要求アクノリッジ	\overline{BACK}	出力	バス使用許可出力

【注】 外部空間 8 ビットバス幅選択時は \overline{WRL} が有効になります。

外部空間 16 ビットバス幅選択時は \overline{WRH} 、 \overline{WRL} が有効になります。

8.1.4 レジスタ構成

バスステートコントローラには 4 本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタ構成を表 8.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワー オンリセットおよびハードウェアスタンバイモード時に初期化されます。また、マニュアルリセットおよびソフトウェアスタンバイモード時には値は保持されます。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'000F	H'FFFF EC20	8、16、32
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF EC22	8、16、32
ウェイトコントロールレジスタ	WCR	R/W	H'FFFF	H'FFFF EC24	8、16、32
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF EC26	8、16、32

【注】 レジスタアクセスは、バイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

8.1.5 アドレスマップ

図 8.2 に、本 LSI で用いるアドレスのフォーマットを示します。

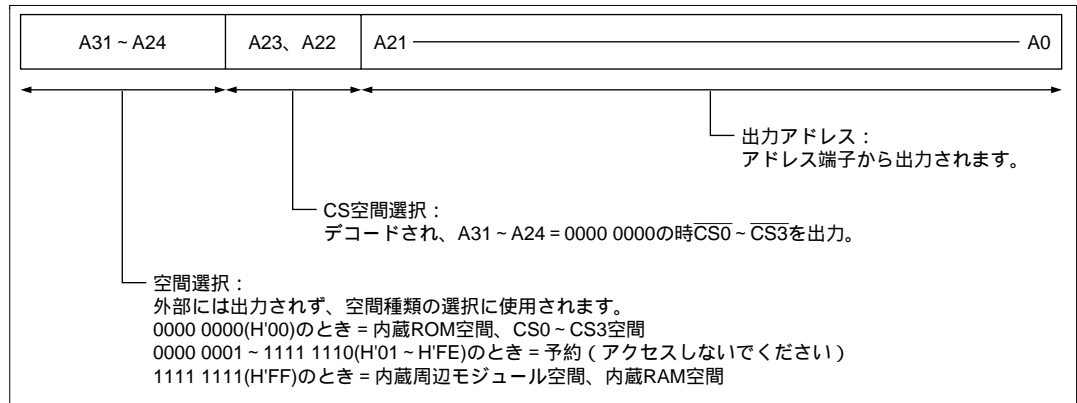


図 8.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 0000 0000 の時デコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS3}$) となり、出力されます。

A21 ~ A0 は外部に出力されます。

表 8.3、表 8.4、表 8.5 にアドレスマップを示します。

表 8.3 アドレスマップ

内蔵 ROM 有効モード時 (SH7052F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0003 FFFF	内蔵 ROM	内蔵 ROM	256kB	32
H'0004 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 * ¹
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF AFFF	内蔵 RAM	内蔵 RAM	12kB	32
H'FFFF B000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

内蔵 ROM 無効モード時 (SH7052F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 * ²
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF AFFF	内蔵 RAM	内蔵 RAM	12kB	32
H'FFFF B000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 内蔵レジスタ(BCR1)の設定で選択

*2 モード端子で選択

表 8.4 アドレスマップ

内蔵 ROM 有効モード時 (SH7053F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0003 FFFF	内蔵 ROM	内蔵 ROM	256kB	32
H'0004 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 * ¹
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF BFFF	内蔵 RAM	内蔵 RAM	16kB	32
H'FFFF C000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

内蔵 ROM 無効モード時 (SH7053F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 * ²
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF BFFF	内蔵 RAM	内蔵 RAM	16kB	32
H'FFFF C000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 内蔵レジスタ(BCR1)の設定で選択

*2 モード端子で選択

表 8.5 アドレスマップ

内蔵 ROM 有効モード時 (SH7054F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0005 FFFF	内蔵 ROM	内蔵 ROM	384kB	32
H'0006 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 * ¹
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF BFFF	内蔵 RAM	内蔵 RAM	16kB	32
H'FFFF C000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

内蔵 ROM 無効モード時 (SH7054F)

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 * ²
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF BFFF	内蔵 RAM	内蔵 RAM	16kB	32
H'FFFF C000 ~ H'FFFF DFFF	予約	予約		
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 内蔵レジスタ(BCR1)の設定で選択

*2 モード端子で選択

8.2 レジスタの説明

8.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のバスサイズを指定します。

BCR1 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットおよびハードウェアスタンバイモード時に H'000F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15 ~ 4 : 予約ビット

書き込み時には、常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 3	説明
A3SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット2	説明
A2SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット1	説明
A1SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります (内蔵 ROM 有効モード時のみ有効)。

ビット0	説明
A0SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

8.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート拡張を指定します。

BCR2 はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15 ~ 8 : サイクル間アイドル指定

(IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定はリードアクセス後に異なる CS 空間を続けてアクセスする場合にアクセス間に挿入するアイドルサイクルの指定を行います。これはリードデータのバッファオフの遅い ROM 等と、高速なメモリ、I/O インタフェース等のデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスがリードで次のアクセスがライトの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「8.4 アクセスサイクル間ウェイト」を参照してください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説明
IW31	IW30	
0	0	CS3 空間アイドルサイクルなし
0	1	CS3 空間 1 アイドルサイクル
1	0	CS3 空間 2 アイドルサイクル
1	1	CS3 空間 3 アイドルサイクル (初期値)

ビット 13	ビット 12	説明
IW21	IW20	
0	0	CS2 空間アイドルサイクルなし
0	1	CS2 空間 1 アイドルサイクル
1	0	CS2 空間 2 アイドルサイクル
1	1	CS2 空間 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説明
IW11	IW10	
0	0	CS1 空間アイドルサイクルなし
0	1	CS1 空間 1 アイドルサイクル
1	0	CS1 空間 2 アイドルサイクル
1	1	CS1 空間 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説明
IW01	IW00	
0	0	CS0 空間アイドルサイクルなし
0	1	CS0 空間 1 アイドルサイクル
1	0	CS0 空間 2 アイドルサイクル
1	1	CS0 空間 3 アイドルサイクル (初期値)

ビット 7～4：連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、 \overline{CSn} 信号をいったんネゲートすることによりバスの切れ目をわかりやすくするために挿入します。ただし、リードの次にライトが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳しくは「8.4 アクセスサイクル間ウェイト」を参照してください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット 7	説明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

8. バスステートコントローラ (BSC)

ビット6	説明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット5	説明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット4	説明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット3～0 : \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

\overline{CS} アサートサイクル拡張指定は \overline{RD} 信号、 \overline{WRH} 信号、 \overline{WRL} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に 1 サイクルずつ挿入されます。これにより、外部 IC とのインタフェースが容易になります。また、ライトデータホールドを延ばす効果もあります。詳しくは、「8.3.3 \overline{CS} アサート期間拡張」を参照してください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット2	説明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット1	説明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット0	説明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

8.2.3 ウェイトコントロールレジスタ (WCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ (WCR) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクルを指定します。

WCR はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15 ~ 12 : CS3 空間ウェイト指定 (W33、W32、W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説明
W33	W32	W31	W30	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

8. バスステートコントローラ (BSC)

ビット 11～8 : CS2 空間ウェイト指定 (W23、W22、W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説明
W23	W22	W21	W20	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 7～4 : CS1 空間ウェイト指定 (W13、W12、W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット 7	ビット 6	ビット 5	ビット 4	説明
W13	W12	W11	W10	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 3～0 : CS0 空間ウェイト指定 (W03、W02、W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット 3	ビット 2	ビット 1	ビット 0	説明
W03	W02	W01	W00	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

8.2.4 RAM エミュレーションレジスタ (RAMER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	DSW3	DSW2	DSW1	DSW0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

RAM エミュレーションレジスタ (RAMER) は読み出し / 書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。

RAMER はパワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

【注】 RAM エミュレーション機能を確実に働かせるため、本レジスタの書き換え直後に RAM エミュレーション対象の ROM エリアをアクセスしないでください。アクセスした場合、動作の保証はできません。

ビット 15~4 : 予約ビット

書き込み時は常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 2~0 と共に使用し、RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです (表 8.6)。

1 ライト時は、フラッシュメモリ全プログラムの書き込み・消去プロテクト状態となります。本ビットは内蔵 ROM が無効なモードでは無視されます。

ビット 2~0 : フラッシュメモリエリア指定 (RAM2~RAM0)

RAMS と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを設定します (表 8.6)。

表 8.6 RAM エリアの設定方法

RAM エリア	ビット 3	ビット 2	ビット 1	ビット 0
	RAMS	RAM2	RAM1	RAM0
H'FFFF8000 ~ H'FFFF8FFF	0	*	*	*
H'00000000 ~ H'00000FFF	1	0	0	0
H'00001000 ~ H'00001FFF	1	0	0	1
H'00002000 ~ H'00002FFF	1	0	1	0
H'00003000 ~ H'00003FFF	1	0	1	1
H'00004000 ~ H'00004FFF	1	1	0	0
H'00005000 ~ H'00005FFF	1	1	0	1
H'00006000 ~ H'00006FFF	1	1	1	0
H'00007000 ~ H'00007FFF	1	1	1	1

* : Don't care

8.3 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストローブ信号を出力します。

8.3.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 8.3 に外部空間アクセスの基本タイミングを示します。

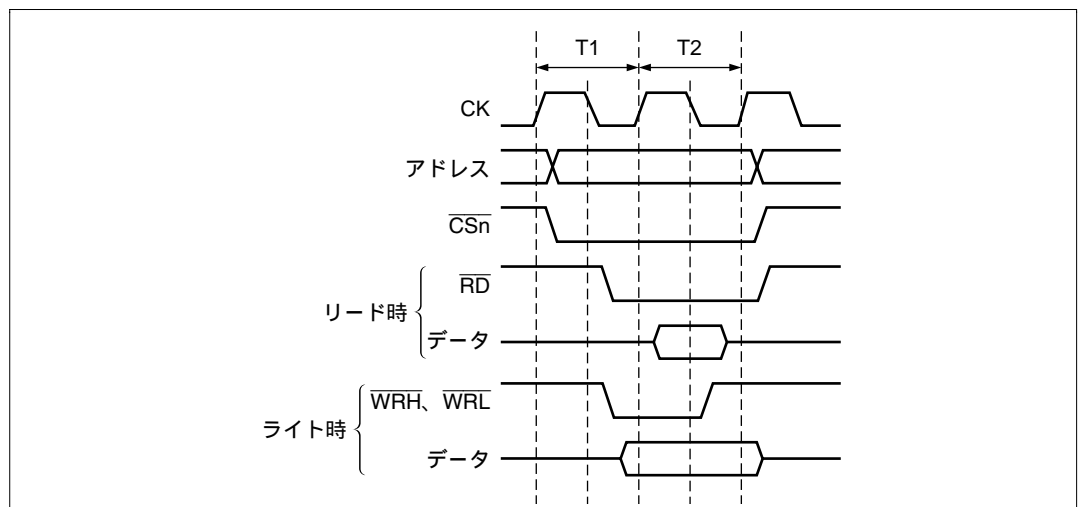


図 8.3 外部空間アクセスの基本タイミング

8.3.2 ウェイトステート制御

WCR の設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図 8.4 に示すタイミングで、TW のサイクルがソフトウェアサイクルとして指定サイクル数だけ挿入されます。

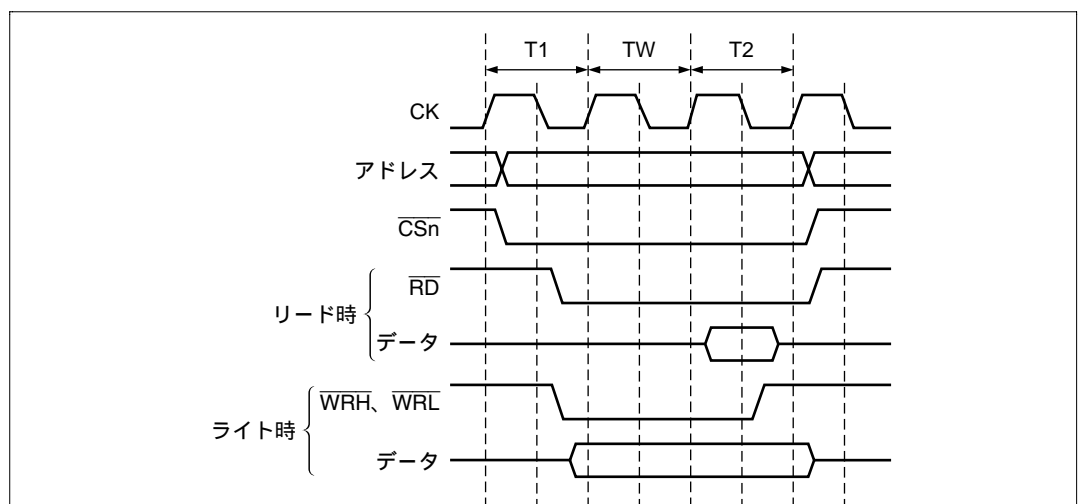


図 8.4 外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 8.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、TW ステートから T2 ステートに移行する際にクロックの立ち上がりから 1 サイクル前のクロックの立ち上がりで行われます。外部ウェイトを使用する際、CS アサート拡張時には、ソフトウェアウェイトを 1 ステート以上、それ以外の場合は 2 ステート以上を WCR に設定してください。

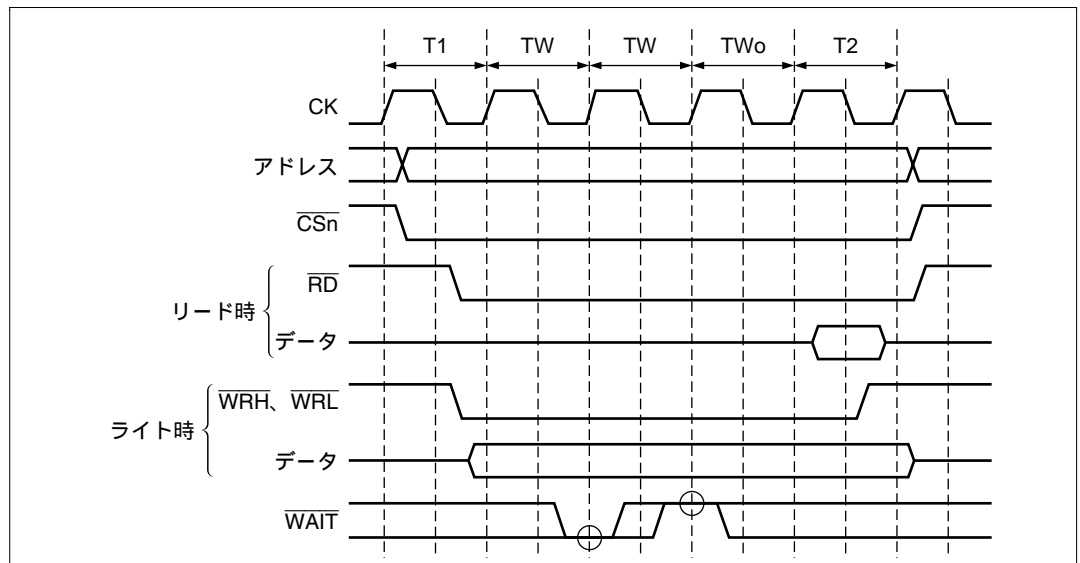


図 8.5 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

8.3.3 \overline{CS} アサート期間拡張

BCR2 の SW3~SW0 ビットの設定により、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} のアクティブとなる期間が \overline{CSn} のアクティブとなる期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 8.6 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアクティブとなり、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} はアクティブとなりません。また、ライトデータは Tf サイクルまで延ばされるので、ライト動作の遅いゲートアレイに有効です。

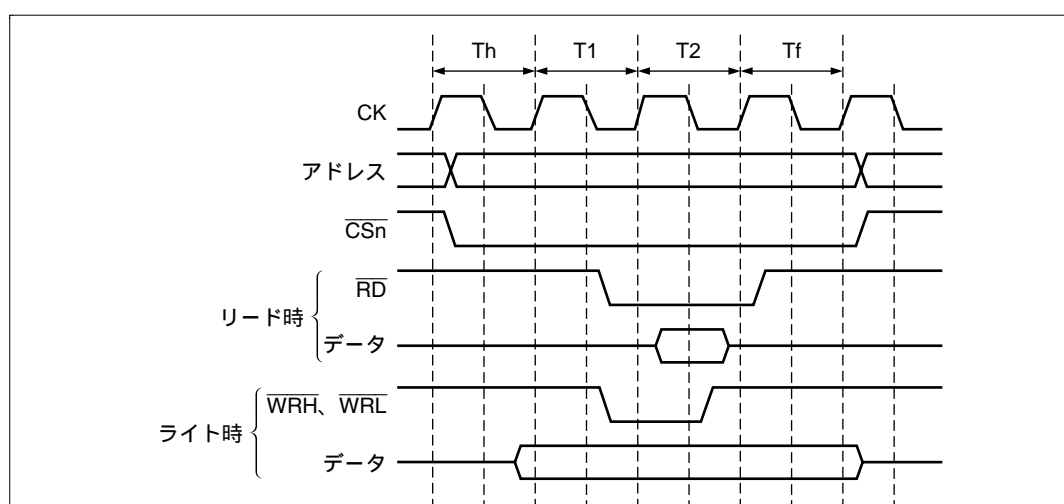


図 8.6 \overline{CS} アサート期間拡張機能

8.4 アクセスサイクル間ウェイト

低速なデバイスをリードしたとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。これを防止するため、メモリアクセスを起動する際に問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、同一CS空間の連続アクセス時にいったん \overline{CSn} 信号をインアクティブとして、バスサイクル開始の検出を容易にするために、アクセスサイクル間にウェイトを挿入することができます。

8.4.1 データバス衝突防止

(1) リードサイクル後のライトサイクル、(2) リードサイクル後の異なるCS空間に対するリードサイクル、の2つの場合、BCR2のIW31~IW00ビットによって指定されたサイクル数だけアイドルサイクルが入るようウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。図8.7にサイクル間アイドルの例を示します。この例では、CSn空間のサイクル間アイドルに1を指定した場合に、CSn空間のリードサイクルの直後にCSm空間のライトを行うとき、1アイドルサイクルが挿入されることを示しています。

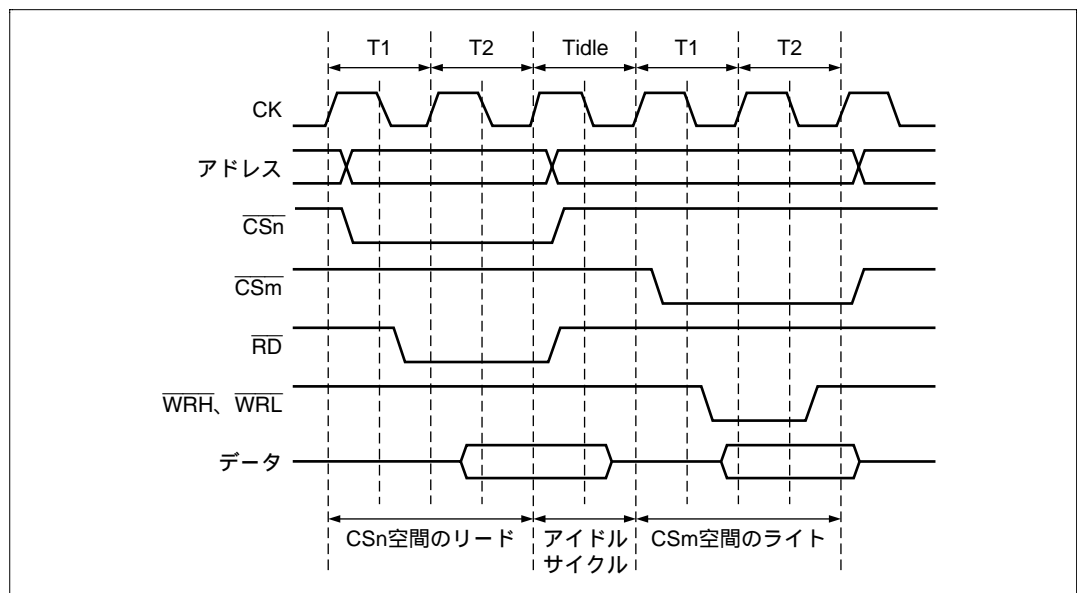


図 8.7 アイドルサイクル挿入例

IW31、IW30 では CS3 空間をリードした後に、他の CS 空間からリードする場合と本 LSI がライトアクセスを行う場合に、必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間リード後の、IW11、IW10 では CS1 空間リード後の、IW01、IW00 では CS0 空間リード後のアイドルサイクル数を指定します。アイドルサイクル数には 0~3 サイクルを指定することができます。

8.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3~CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、リード後のライトサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 8.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続ライトアクセスした場合を示しています。

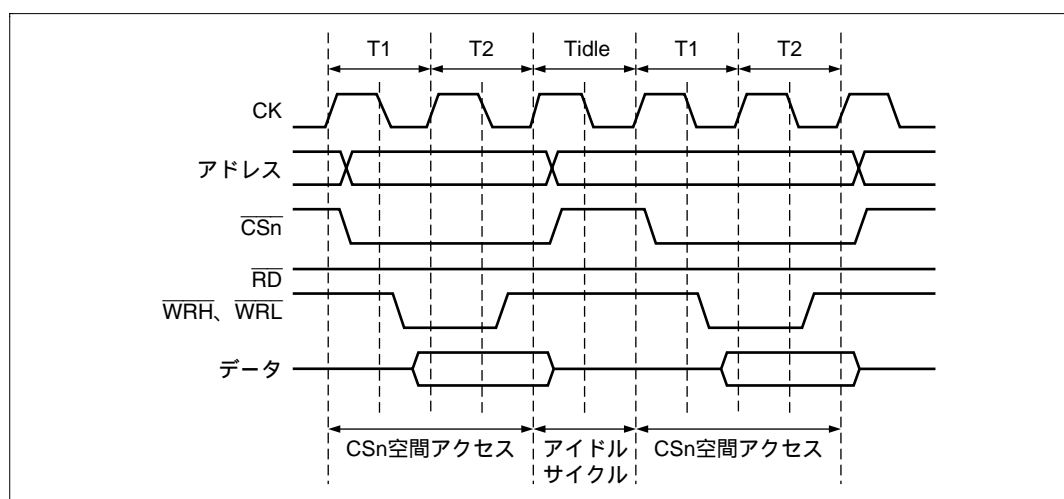


図 8.8 同一空間連続アクセス時アイドルサイクル挿入例

8.5 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC と AUD という 3 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > AUD > DMAC > CPU

DMAC によるバースト転送中であっても、外部デバイスによるバス権要求が発生すると、外部デバイスが優先されます。

また、AUD は DMAC のバースト転送中はバス権を獲得せず転送終了後バス権を獲得します。CPU がバス権を持っている状態では、AUD は DMAC よりバス権委譲が優先されます。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

図 8.9 に、バス解放手順を示します。

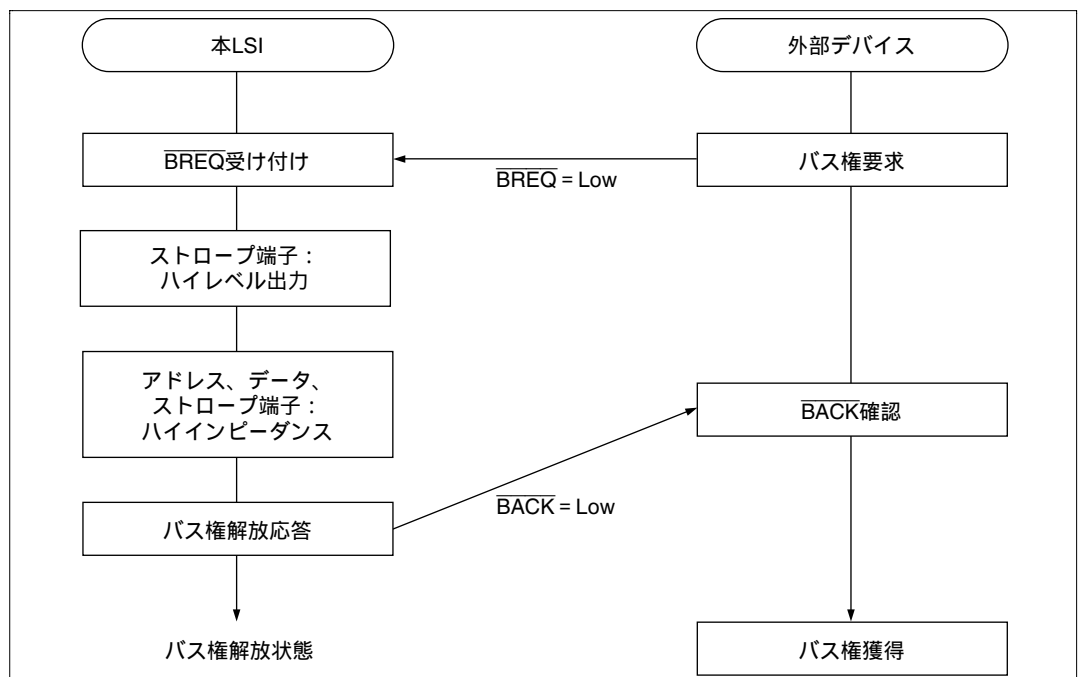


図 8.9 バス権解放手順

8.6 メモリ接続例

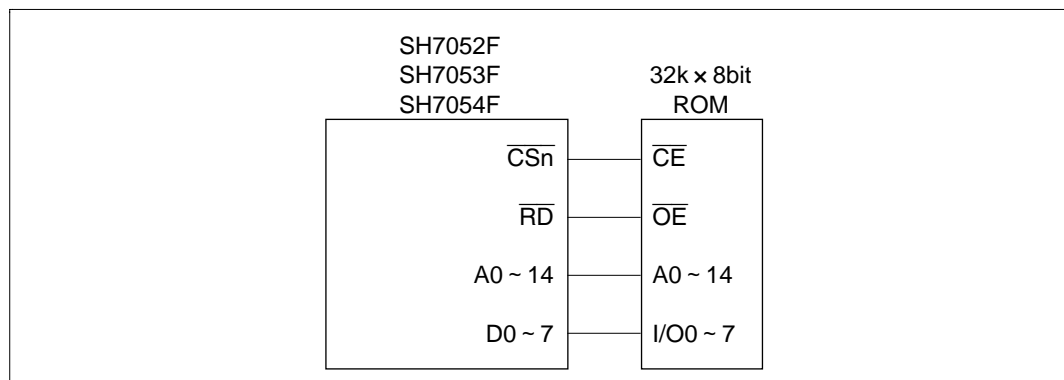


図 8.10 8 ビットデータバス幅 ROM 接続例

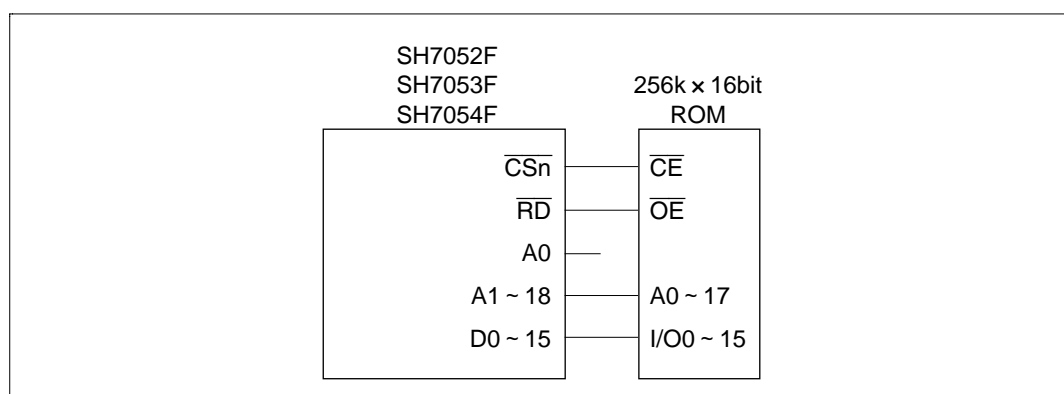


図 8.11 16 ビットデータバス幅 ROM 接続例

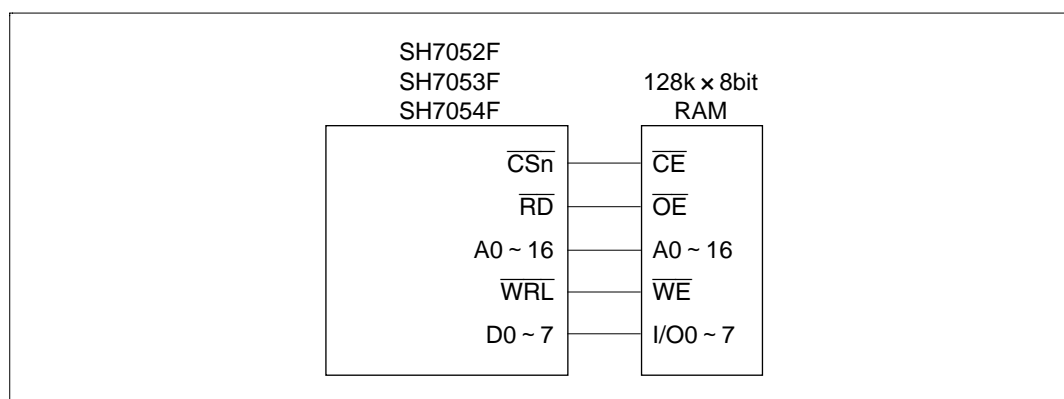


図 8.12 8 ビットデータバス幅 SRAM 接続例

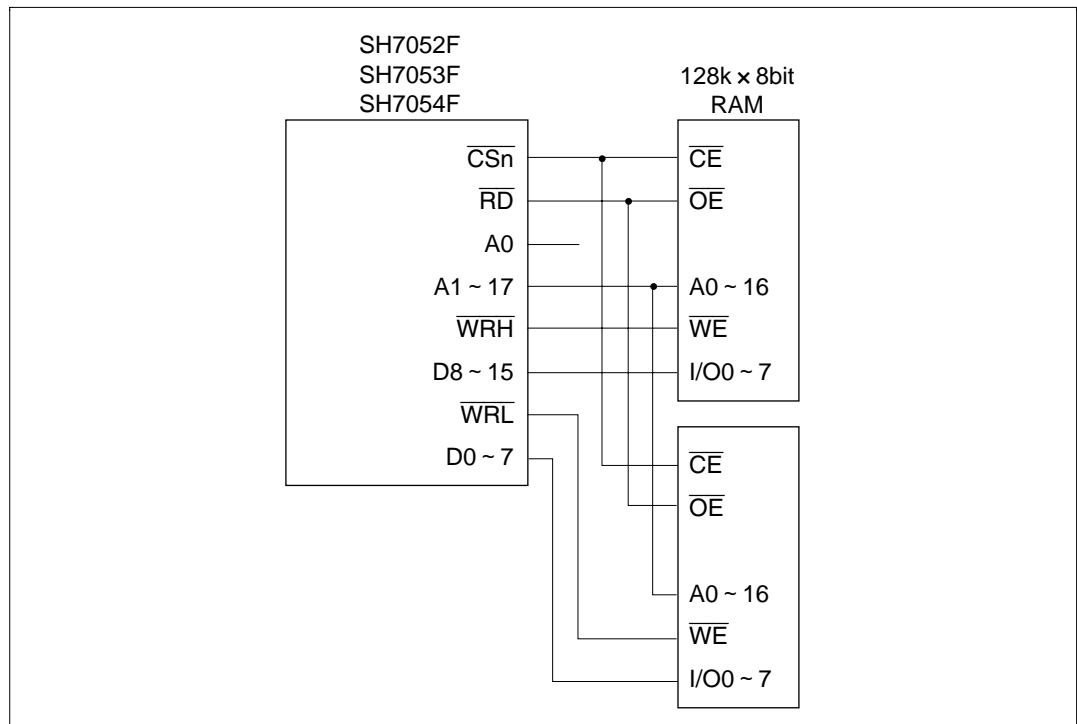


図 8.13 16 ビットデータバス幅 SRAM 接続例

9. ダイレクトメモリ アクセスコントローラ (DMAC)

第9章 目次

9.1	概要.....	153
9.1.1	特長.....	153
9.1.2	DMAC ブロック図.....	155
9.1.3	レジスタ構成.....	156
9.2	各レジスタの説明.....	157
9.2.1	DMA ソースアドレスレジスタ0~3 (SAR0~3).....	157
9.2.2	DMA デスティネーションアドレスレジスタ0~3 (DAR0~3).....	157
9.2.3	DMA トランスファカウンタレジスタ0~3 (DMATCR0~3).....	158
9.2.4	DMA チャンネルコントロールレジスタ0~3 (CHCR0~3).....	158
9.2.5	DMA オペレーションレジスタ (DMAOR).....	164
9.3	動作説明.....	166
9.3.1	動作説明.....	166
9.3.2	DMA 転送要求.....	168
9.3.3	チャンネルの優先順位.....	170
9.3.4	DMA 転送の種類.....	170
9.3.5	バスモード.....	176
9.3.6	ソースアドレスリロード機能.....	178
9.3.7	DMA 転送終了.....	179
9.3.8	CPU からのDMAC アクセス.....	180
9.4	使用例.....	181
9.4.1	内蔵SCI と外部メモリとのDMA 転送例.....	181
9.4.2	A/D変換器と内蔵メモリとのDMA 転送例 (アドレスリロードオン).....	182

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.4.3	外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	183
9.5	使用上の注意	185

9.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

9.1.1 特長

DMAC には次のような特長があります。

チャンネル数 : 4 チャンネル

アドレス空間 : アーキテクチャ上は 4GByte

転送データ長 : 8 ビット、16 ビット、32 ビットの中から選択可能

最大転送回数 : 16M (16,777,216) 回

アドレスモード

転送元、転送先双方をアドレスアクセスします。転送モードには直接アドレス転送モードと間接アドレス転送モードがあります。

(a) 直接アドレス転送モード

転送元、転送先共、DMAC 内部のレジスタに設定された値がアクセス対象のアドレスを指しています。

一回のデータ転送に 2 バスサイクルを必要とします。

(b) 間接アドレス転送モード

DMAC 内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。

この機能はチャンネル 3 でのみ設定可能です。一回のデータ転送に 4 バスサイクルを必要とします。

チャンネル機能：各チャンネルともデュアルアドレスモードをサポートします。

チャンネル 2 では 4 回の転送ごとにソースアドレスをリロードする機能（ソースアドレスリロード機能）をもちます。チャンネル 3 では直接アドレス転送モード、間接アドレス転送モード指定可能です。

リロード機能

4 回の DMA 転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル 2 でのみ実行可能です。

転送要求

DMAC の転送起動要求には以下の種類があります。

- ・内蔵モジュール

SCI、A/D など内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。

- ・オートリクエスト

転送要求を DMAC 内部で自動的に発生します。

バスモード

バスモードではサイクルスチールモードとバーストモードの選択が可能です。

優先順位

DMAC のチャンネル優先順位は固定です。

割り込み要求：指定した転送回数終了後、CPU に割り込み要求を発生可能です。

9.1.2 DMAC ブロック図

図 9.1 に DMAC のブロック図を示します。

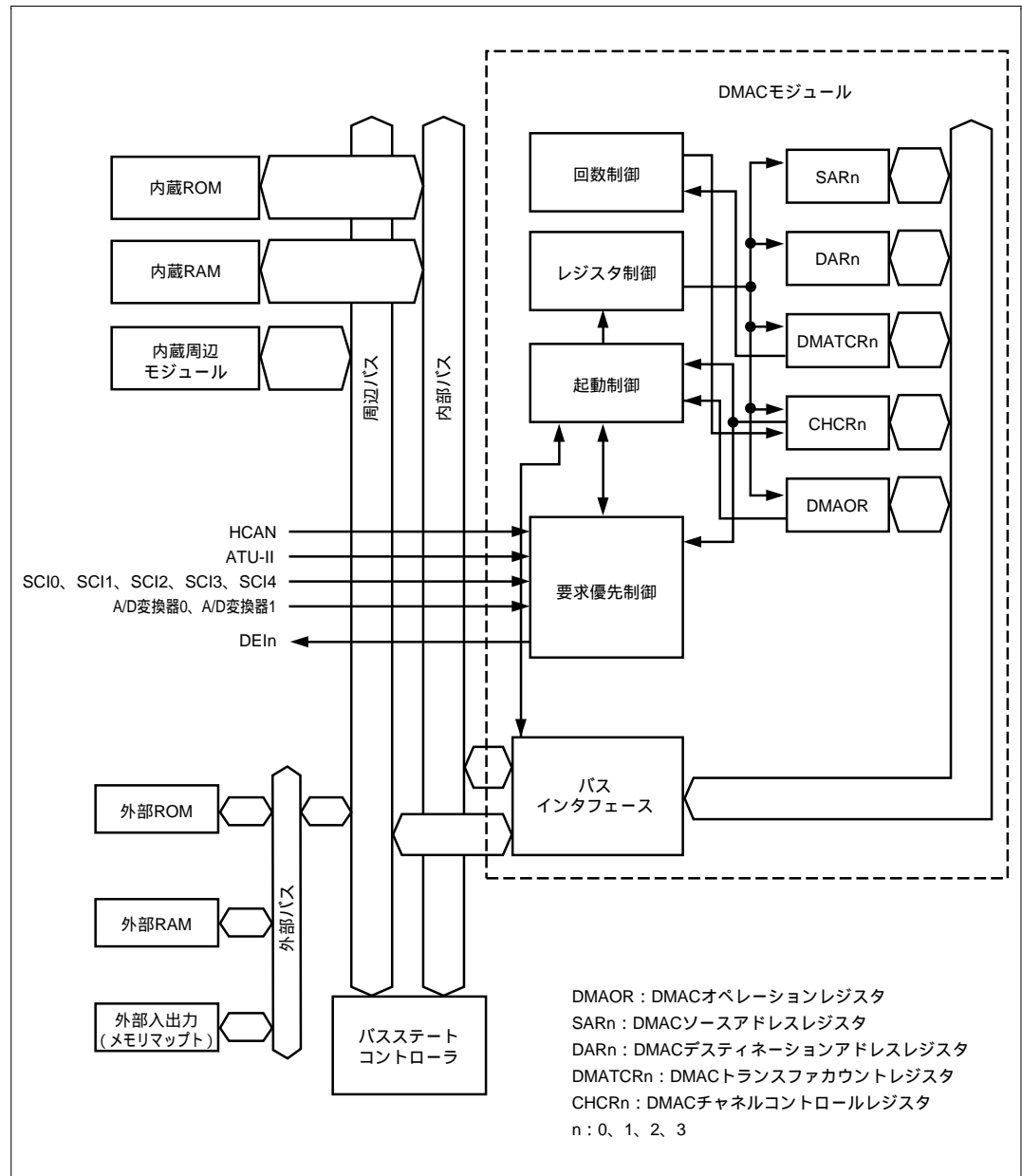


図 9.1 DMAC ブロック図

9.1.3 レジスタ構成

表 9.1 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられている他、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 9.1 レジスタ構成

チャネル	名称	略称	Read/Write	初期値	アドレス	レジスタサイズ	アクセスサイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*1	H'0000	H'FFFECB0	16	16*4
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFEC00	32	16、32*2
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'FFFEC04	32	16、32*2
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFEC08	32	16、32*3
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W*1	H'0000 0000	H'FFFEC0C	32	16、32*2
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFEC0D0	32	16、32*2
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'FFFEC0D4	32	16、32*2
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFEC0D8	32	16、32*3
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W*1	H'00000000	H'FFFEC0DC	32	16、32*2
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFEC0E0	32	16、32*2
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'FFFEC0E4	32	16、32*2
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	不定	H'FFFEC0E8	32	16、32*3
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W*1	H'00000000	H'FFFEC0EC	32	16、32*2
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFEC0F0	32	16、32*2
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'FFFEC0F4	32	16、32*2
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	不定	H'FFFEC0F8	32	16、32*3
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W*1	H'00000000	H'FFFEC0FC	32	16、32*2

【注】 レジスタアクセスは、ワードアクセス時 3 サイクル、ロングワードアクセス時 6 サイクルとなります。

*1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 リード後の 0 ライトのみ可能。

*2 SAR0~3、DAR0~3、DMATCR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。

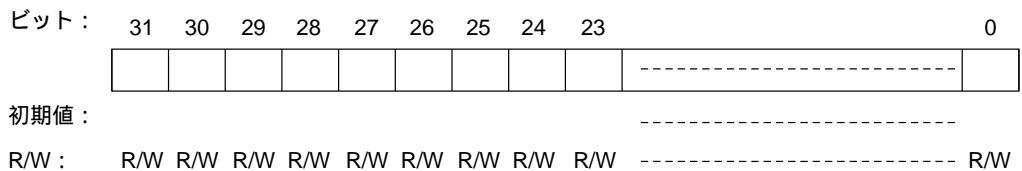
*3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 ライトは無効となり読み出すと常に 0 がリードされます。

*4 DMAOR は 32 ビットアクセスしないでください。

*5 空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証しません。

9.2 各レジスタの説明

9.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)

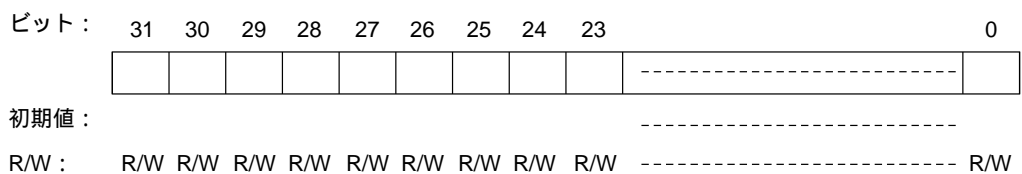


DMA ソースアドレスレジスタ 0~3 (SAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモード時には、値は不定になります。

9.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)



DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモード時には、値は不定になります。

9.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16,777,216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、スタンバイモード時には、値は不定になります。

9.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DI	-	-	-	RO	-	-	-	RS4	RS3	RS2	RS1	RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	SM1	SM0	-	-	DM1	DM0	-	-	TS1	TS0	TM	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】1. TEビットは、1リード後の0ライトのみ実行可能です。

2. DI、ROビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

パワーオンリセット、スタンバイモード時には、値は 0 に初期化されます。

ビット 31～29、27～25、23～21、15、14、11、10、7、6：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 28：ダイレクト、インダイレクトセレクト (DI)

チャンネル3のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットはCHCR3でのみ有効です。CHCR0、1、2では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 28	説明
DI	
0	チャンネル3を直接アドレスモードで動作させる (初期値)
1	チャンネル3を間接アドレスモードで動作させる

ビット 24：ソースアドレスリロードビット (RO)

チャンネル2の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットはCHCR2でのみ有効です。CHCR0、1、3では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 24	説明
RO	
0	ソースアドレスをリロードしない。 (初期値)
1	ソースアドレスをリロードする。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 20 ~ 16 : リソースセレクト 4、3、2、1、0 (RS4、RS3、RS2、RS1、RS0)
 転送要求元を指定します。

ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	説明
RS4	RS3	RS2	RS1	RS0	
0	0	0	0	0	要求なし (初期値)
				1	SCI0 の送信
			1	0	SCI0 の受信
				1	SCI1 の送信
		1	0	0	SCI1 の受信
				1	SCI2 の送信
			1	0	SCI2 の受信
				1	SCI3 の送信
	1	0	0	0	SCI3 の受信
				1	SCI4 の送信
			1	0	SCI4 の受信
				1	内蔵 A/D0
		1	0	0	内蔵 A/D1
				1	要求なし
			1	0	要求なし
				1	HCAN (RM)
1	0	0	0	0	要求なし
				1	ATU-II (ICI0A)
			1	0	ATU-II (ICI0B)
				1	ATU-II (ICI0C)
		1	0	0	ATU-II (ICI0D)
				1	ATU-II (CMI6A)
			1	0	ATU-II (CMI6B)
				1	ATU-II (CMI6C)
	1	0	0	0	ATU-II (CMI6D)
				1	ATU-II (CMI7A)
			1	0	ATU-II (CMI7B)
				1	ATU-II (CMI7C)
		1	0	0	ATU-II (CMI7D)
				1	要求なし
			1	0	要求なし
				1	オートリクエスト

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。

ビット 13	ビット 12	説明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4または0固定になります。

ビット 9、8 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。

ビット 9	ビット 8	説明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット5、4：トランスミットサイズ1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット5	ビット4	説明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	使用禁止

ビット3：トランスミットモード (TM)

転送する時のバスモードを指定するビットです。

ビット3	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット2：インターラプトイネーブル (IE)

このビットに 1 をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 【クリア条件】TE=1 のリード後 0 ライト パワーオンリセット、スタンバイ (初期値)
1	DMATCR 指定回数転送終了

ビット0: DMAC イネーブル (DE)

対応するチャネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャネルの動作禁止 (初期値)
1	対応チャネルの動作許可

オートリクエストを指定 (RS4~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

9.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)R/(W)	R/(W)R/(W)	R/W

【注】 AE、NMIFビットは、1リード後の0ライトのみ実行可能です。

DMAORは読み出し、書き込み可能な16ビットのレジスタで、DMAC全体の動作を制御します。

パワーオンリセット、スタンバイモード時には、0に初期化されます。

ビット15~3：予約ビット

読み出すと常に0が読みだされます。書き込む値も常に0にしてください。

ビット2：アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPUからAEに1をライトすることはできません。クリアは、1リード後の0ライトのみ有効です。

ビット2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態。 [クリア条件]： AE=1リード後 AE=0ライト (初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件]： DMACによるアドレスエラーの発生。

ビット1 : NMI フラグ (NMIF)

NMIが入力されたことを示すフラグです。このビットのセットはDMAC動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPUからNMIFに1をライトすることはできません。クリアは、1リード後の0ライトのみ有効です。

ビット1	説明
NMIF	
0	NMI入力なし。DMA転送許可状態。 [クリア条件] : NMIF=1リード後NMIF=0ライト (初期値)
1	NMI入力あり。DMA転送禁止状態。 [セット条件] : NMI割り込みの発生。

ビット0 : DMAC マスタイネーブル (DME)

DMAC全体の起動許可ビットです。DMEビットおよび各チャンネルに対応するCHCRのDEビットを1にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DMEビットをセットしてもCHCRのTEが1または、DEが0の場合、DMAORのNMIFまたはAEビットが1の場合は転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

9.3 動作説明

DMAC は DMA 転送要求があるとチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類のモードがあります。DMA 転送は、デュアルアドレスモードのみあります。デュアルアドレスモードは、直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

9.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合は DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。この時 CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 9.2 に上記のフローチャートを示します。

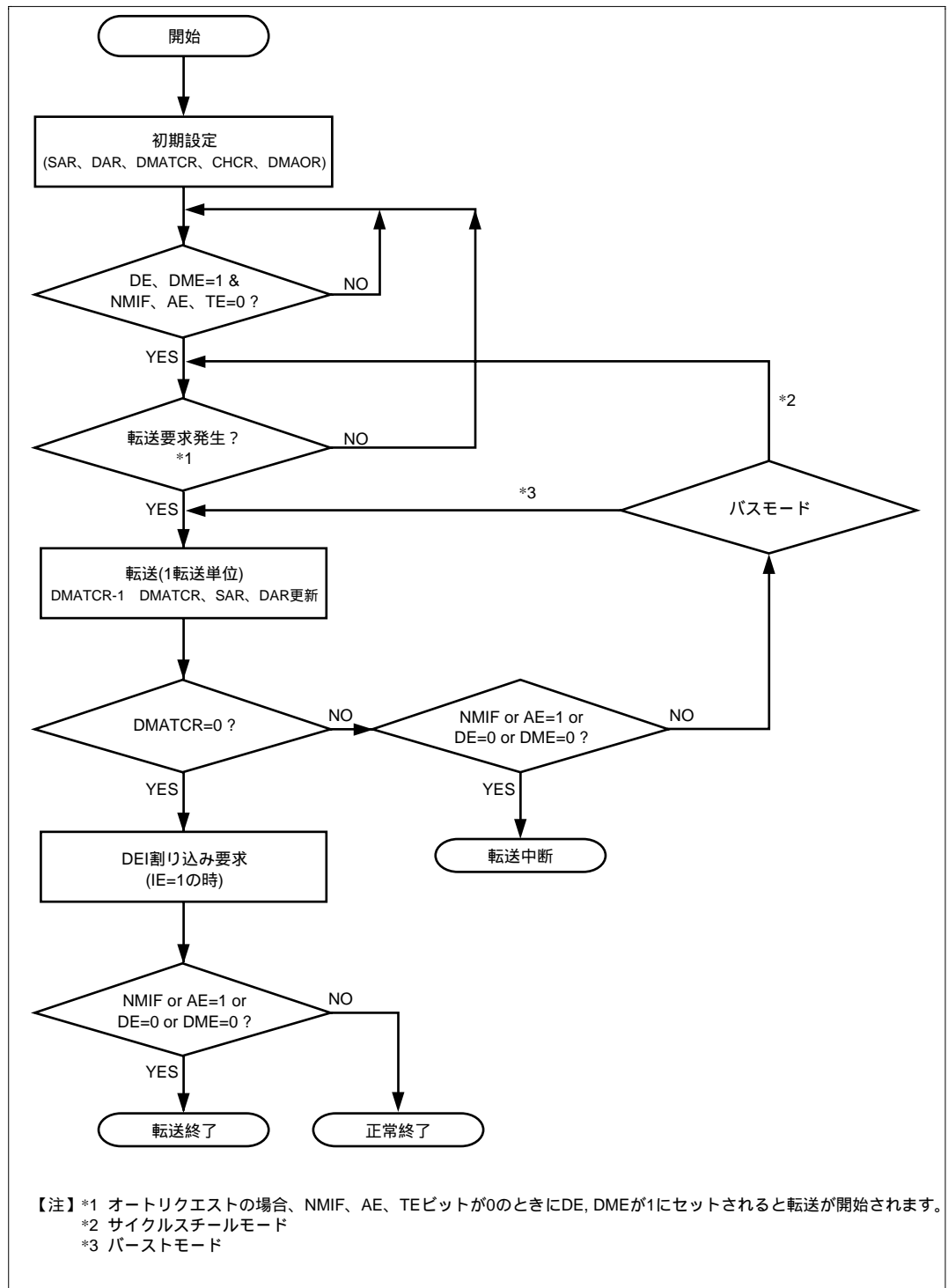


図 9.2 DMAC 転送フローチャート

9.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させます。

転送要求にはオートリクエスト、内蔵周辺モジュールリクエスト、の2種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS4~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 9.2 に示すように、アドバンスドタイマユニット (ATU-II) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 12 種類、5 つのシリアルコミュニケーションインタフェース (SCI) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、HCAN からの受信割り込み、3 つの A/D 変換器の A/D 変換終了割り込み (ADI) の計 26 本があります。DMA 転送が許可されている時 (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレシーブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

また、転送要求を HCAN にした場合は、転送元は HCAN のメッセージデータでなければなりません。

表 9.2 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	バスモード		
0	0	0	0	1	SCI0 送信部	TXI0 (SCI0 送信データエンプティによる転送要求)	任意*	TDR0	バースト/サイクルスチール		
				0	SCI0 受信部	RXI0 (SCI0 受信データフルによる転送要求)	RDR0	任意*	バースト/サイクルスチール		
			1	0	0	SCI1 送信部	TXI1 (SCI1 送信データエンプティによる転送要求)	任意*	TDR1	バースト/サイクルスチール	
				0	SCI1 受信部	RXI1 (SCI1 受信データフルによる転送要求)	RDR1	任意*	バースト/サイクルスチール		
		1	0	1	SCI2 送信部	TXI2 (SCI2 送信データエンプティによる転送要求)	任意*	TDR2	バースト/サイクルスチール		
			0	SCI2 受信部	RXI2 (SCI2 受信データフルによる転送要求)	RDR2	任意*	バースト/サイクルスチール			
		1	0	1	SCI3 送信部	TXI3 (SCI3 送信データエンプティによる転送要求)	任意*	TDR3	バースト/サイクルスチール		
			0	SCI3 受信部	RXI3 (SCI3 受信データフルによる転送要求)	RDR3	任意*	バースト/サイクルスチール			
	1	0	0	0	0	SCI4 送信部	TXI4 (SCI4 送信データエンプティによる転送要求)	任意*	TDR4	バースト/サイクルスチール	
					0	SCI4 受信部	RXI4 (SCI4 受信データフルによる転送要求)	RDR4	任意*	バースト/サイクルスチール	
			1	0	0	A/D0	ADI0 (ADI0 変換終了割り込み)	ADDR0 ~ 11	任意*	バースト/サイクルスチール	
				0	0	A/D1	ADI1 (ADI1 変換終了割り込み)	ADDR12 ~ 23	任意*	バースト/サイクルスチール	
		1	0	1	0	予約					
					1	HCAN	RM (HCAN 受信割り込み)	MD0 ~ 15	任意*	バースト/サイクルスチール	
		1	0	0	0	0	ATU-II	ICI0A (ICI0A のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール
						0	ATU-II	ICI0B (ICI0B のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール
0	ATU-II					ICI0C (ICI0C のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール		
1	0			0	0	ATU-II	ICI0D (ICI0D のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM16A (CYLR6A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM16B (CYLR6B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
1	0		0	0	0	ATU-II	CM16C (CYLR6C とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM16D (CYLR6D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM17A (CYLR7A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
	1		0	0	0	ATU-II	CM17B (CYLR7B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM17C (CYLR7C とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	
					0	ATU-II	CM17D (CYLR7D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール	

SCI0、SCI1、SCI2、SCI3、SCI4 : シリアルコミュニケーションインタフェースのチャンネル 0 ~ 4

A/D0、A/D1 : A/D 変換器のチャンネル 0 ~ 1

HCAN : 日立コントローラエリアネットワーク

ATU-II : アドバンスドタイマユニット

TDR0、TDR1、TDR2、TDR3、TDR4 : SCI0 ~ 4 のトランスミットデータレジスタ

RDR0、RDR1、RDR2、RDR3、RDR4 : SCI0 ~ 4 のレシーブデータレジスタ

ADDR0 ~ 11 : A/D0 のデータレジスタ

ADDR12 ~ 23 : A/D1 のデータレジスタ

MD0 ~ 15 : HCAN のメッセージデータ

【注】* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、
内蔵モジュール (DMAC、BSC、UBC を除く)

9.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、以下に示す優先順位に従って転送を行います。

- CH0 > CH1 > CH2 > CH3

9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.3 に示すとおりで、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードです。デュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.3 サポートできる DMA 転送

転送元	転送先			
	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
外部メモリ				
メモリマップト 外部デバイス				
内蔵メモリ				
内蔵周辺 モジュール				

(1) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには (a) 直接アドレス転送モード、(b) 間接アドレス転送モードがあります。

(a) 直接アドレス転送モードではデータ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。この時転送データは一時的にDMACに格納されます。図9.3のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図9.4にこの場合のタイミング例を示します。

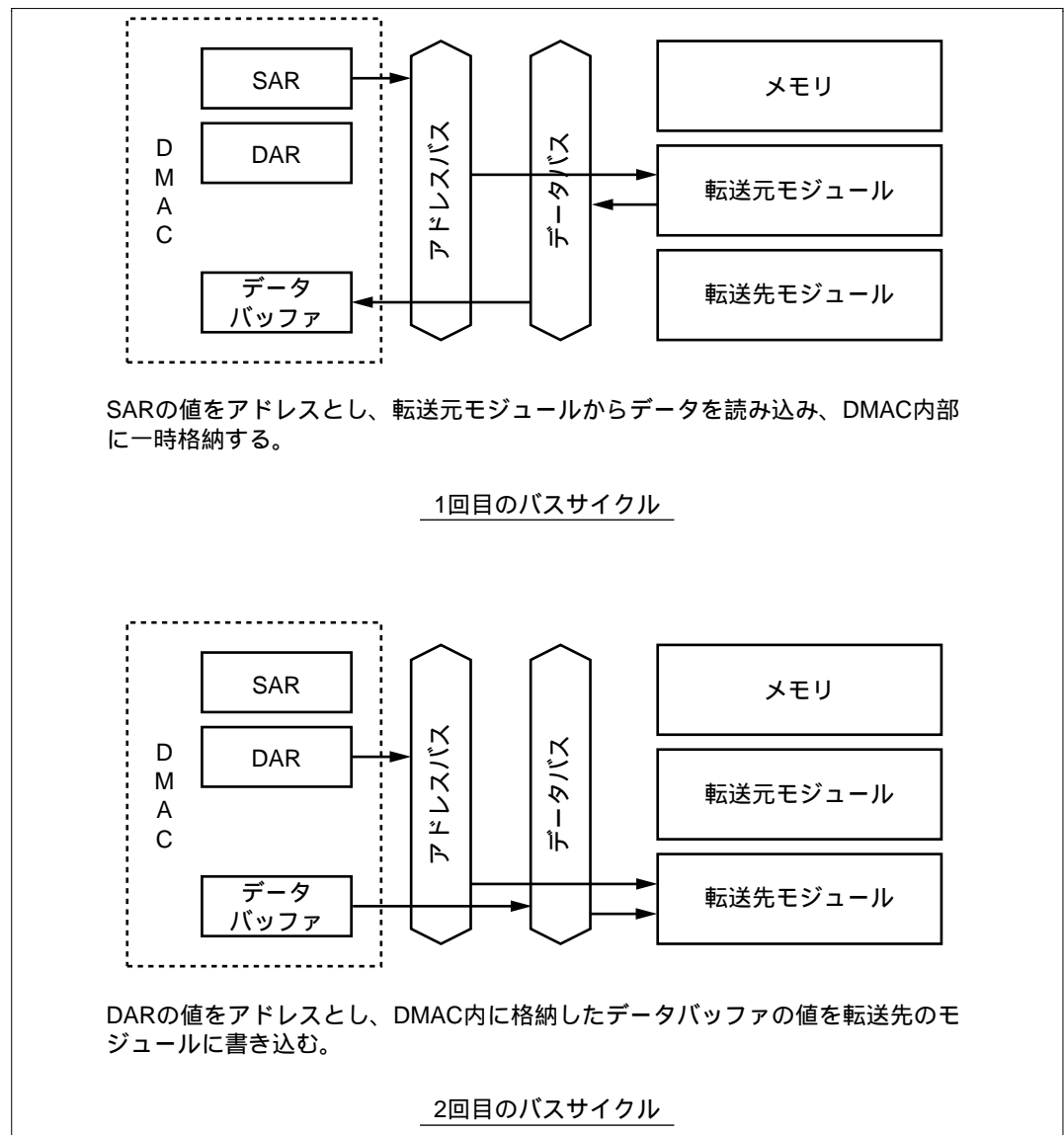


図 9.3 デュアルアドレスモード、直接アドレスの動作説明

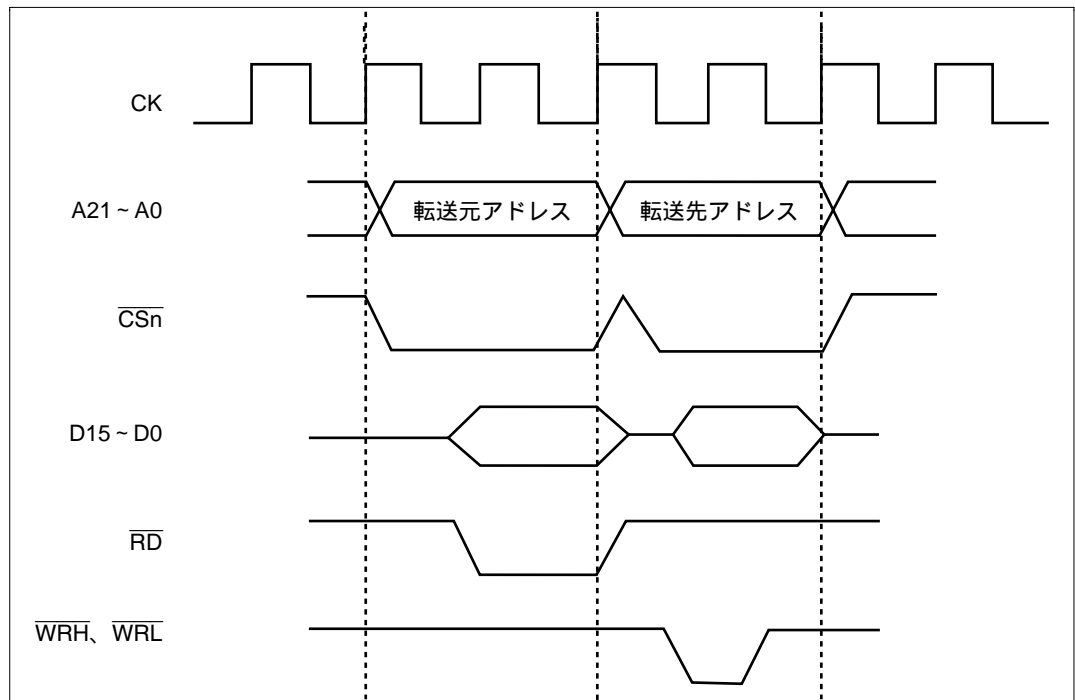


図 9.4 デュアルアドレスモード、直接アドレスでのデータの流れ

(b) 間接アドレス転送モードは、DMAC 内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まず DMAC 内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったん DMAC 内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再び DMAC 内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで一回の DMA 転送が終了します。

図 9.5 に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが 16 ビット幅空間の外部メモリであり、転送データが 16 ビットまたは 8 ビットの場合の転送例を示します。また図 9.6 にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1 回の NOP サイクル (図 9.6 の CK1 サイクル分) を必要とします。

なお転送データが 32 ビットサイズの場合、図 9.6 の 3 回目と 4 回目のバスサイクルが 2 回ずつ必要となり、全体で 6 回のバスサイクルと 1 回の NOP サイクルが必要になります。

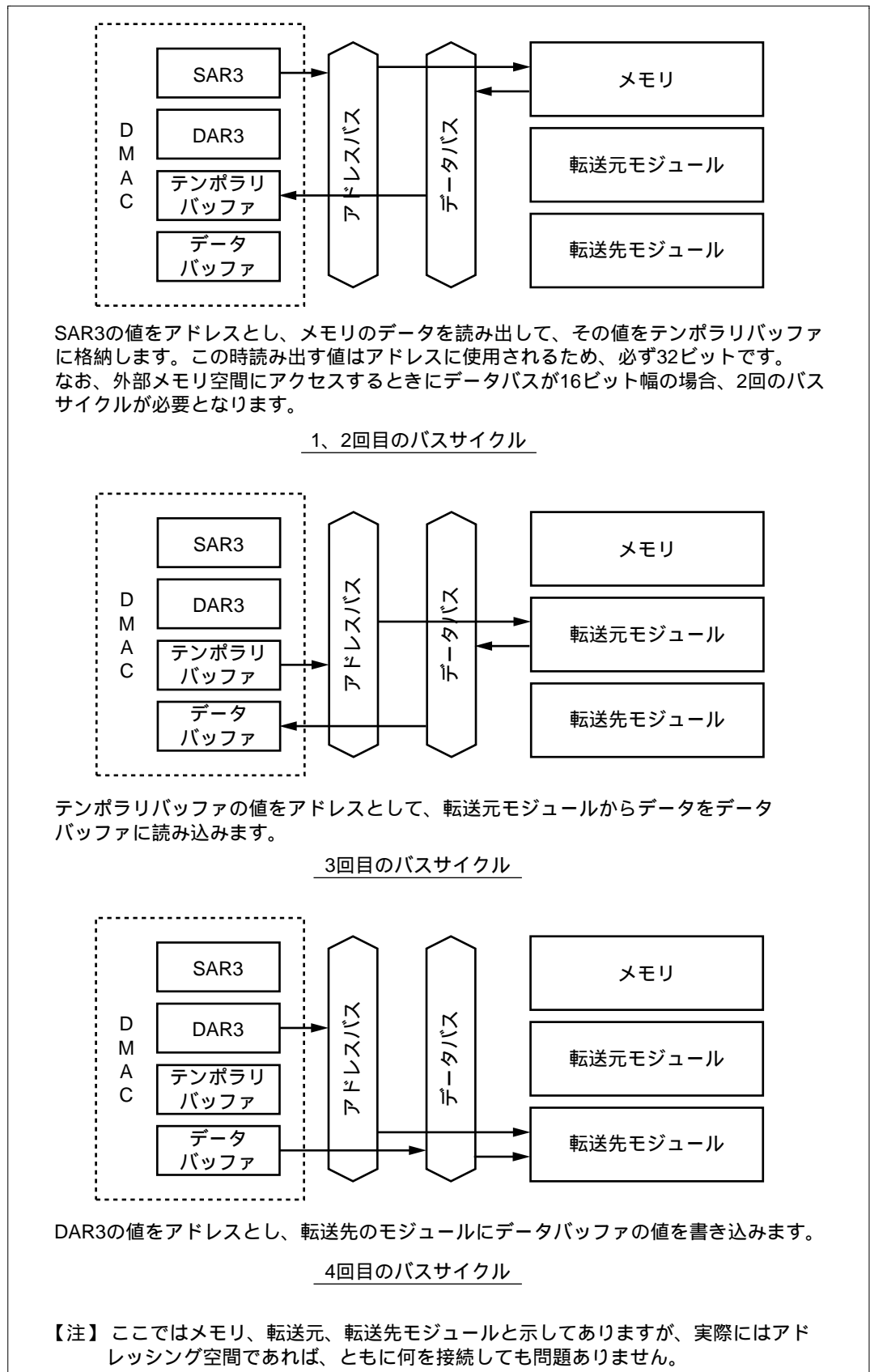


図 9.5 デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)

9. ダイレクトメモリアクセスコントローラ (DMAC)

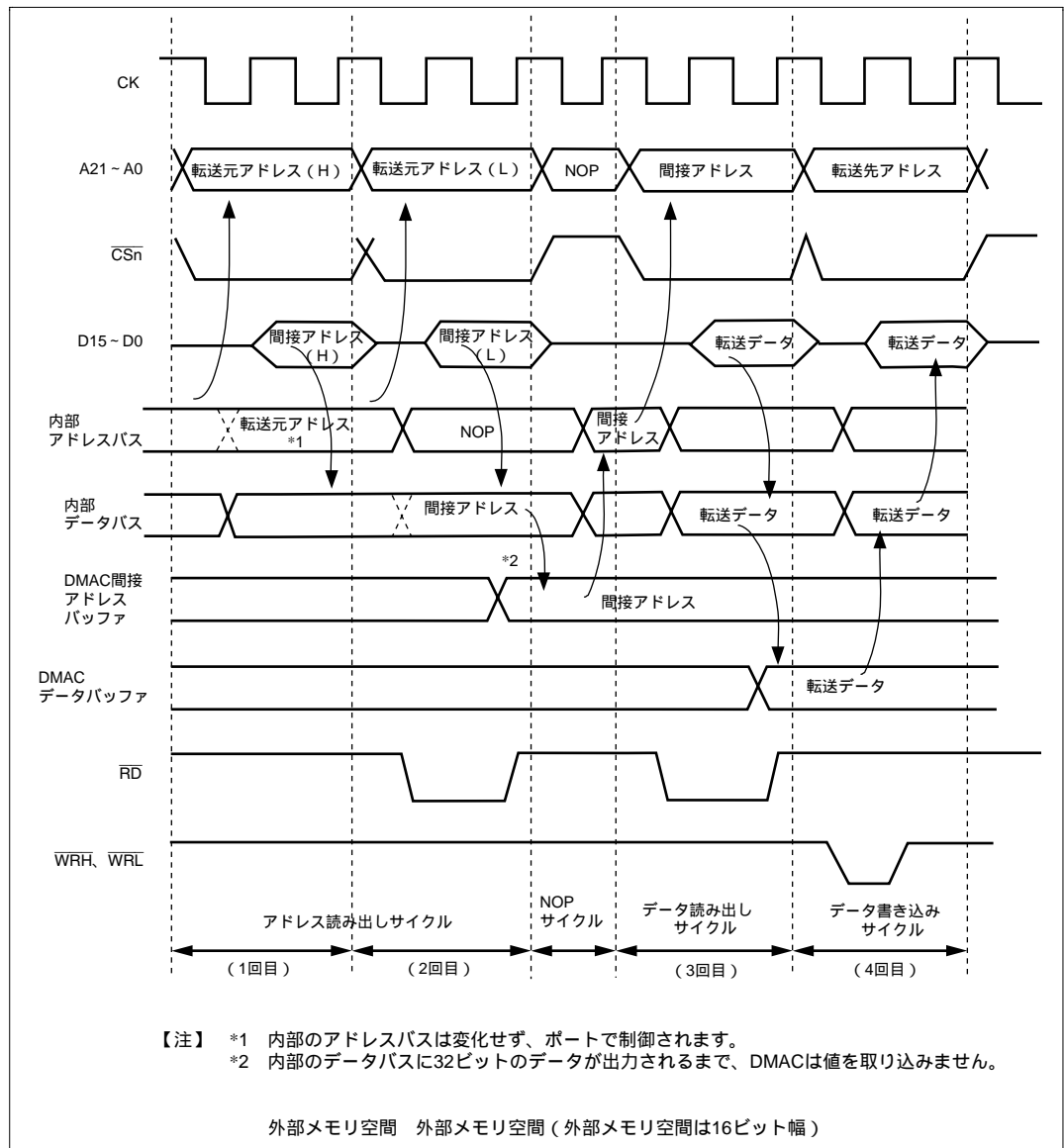


図 9.6 デュアルアドレスモード、間接アドレスでの転送タイミング例 (1)

図9.7に間接アドレスモードで、転送元、間接アドレスの格納先が内部メモリであり、転送先が2サイクルアクセス空間の内蔵周辺モジュールで、転送データが8ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内部メモリなので、これらへのアクセスは1サイクルで実行できます。転送先が2サイクルアクセス空間なので、データの書き込みサイクルが2サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1回のNOPサイクルを必要とします。

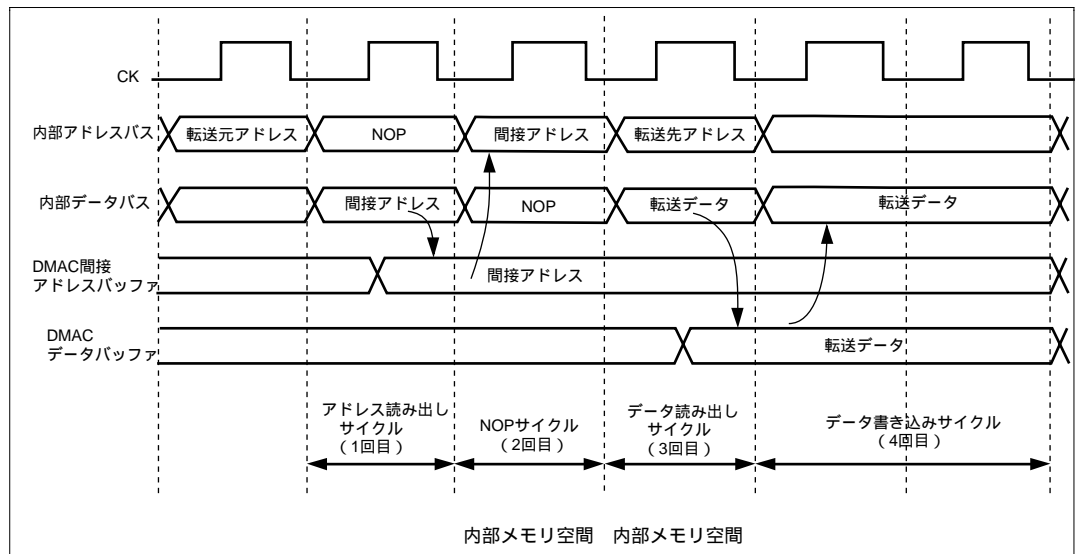


図9.7 デュアルアドレスモード、間接アドレスでの転送タイミング例 (2)

9.3.5 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は一回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 9.8 にサイクルスチールモードでの DMA 転送タイミング例を示します。

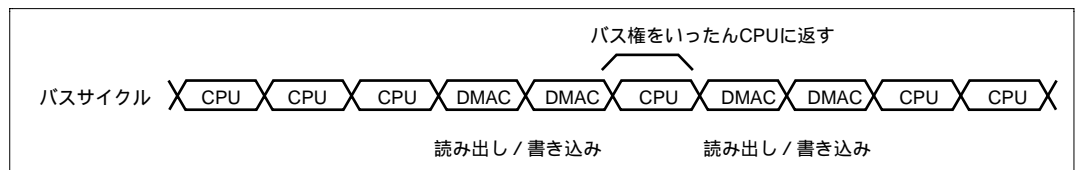


図 9.8 サイクルスチールモードでの DMA 転送例

(2) バーストモード

バーストモードではDMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。

図 9.9 にバーストモードでの DMA 転送タイミングを示します。

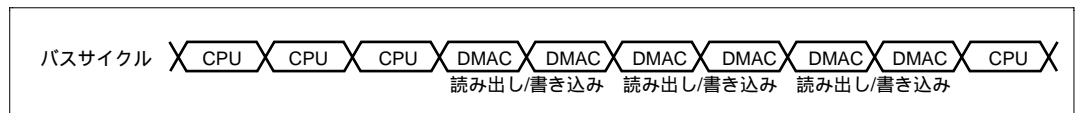


図 9.9 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.4 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 9.4 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリとメモリアップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部マップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3

B：バースト

C：サイクルスチール

【注】 *1 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、ATU、SCI、HCAN と A/D 変換器を転送要求元に指定するものは不可。

*2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI、HCAN または A/D 変換器の場合には、転送元または転送先が転送要求元と同じである必要があります。

*3 転送要求元が SCI の場合にはサイクルスチールのみ。

*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

(4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 の設定がバーストモードならチャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。チャンネル 0 の設定がサイクルスチールならば、チャンネル 0 の転送要求が発生していないときのみチャンネル 1 の転送を継続し、転送要求が発生したときは、ただちにチャンネル 0 の転送が開始されます。

9.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ (SAR2) に設定した値に復帰するリロード機能があります。この動作を図9.10に示します。また図9.11に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定状態で、リロード機能ON状態のタイムチャートを示します。

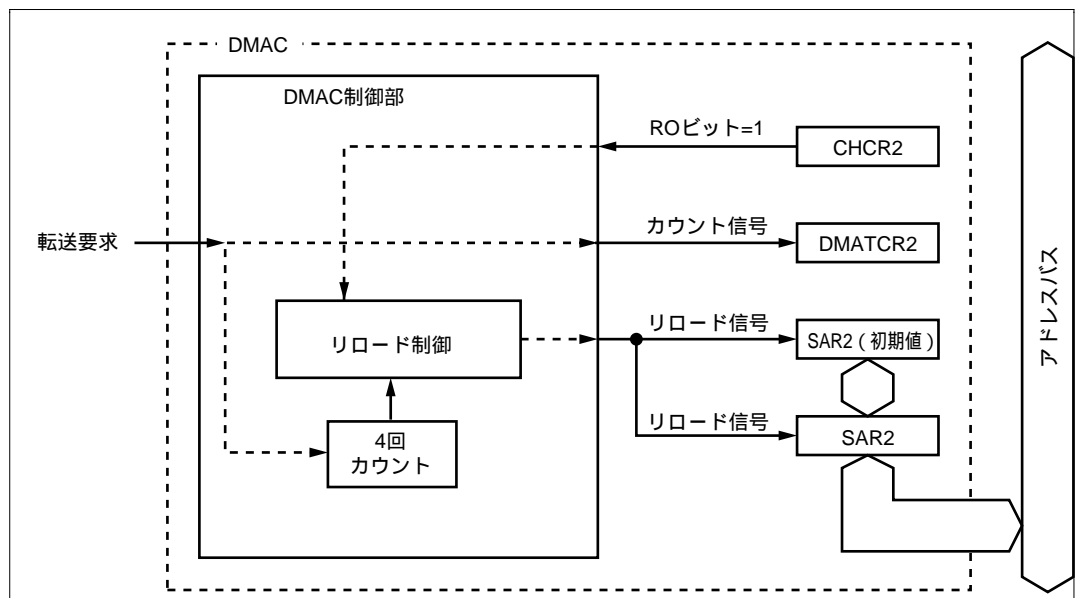


図 9.10 ソースアドレスリロード機能図

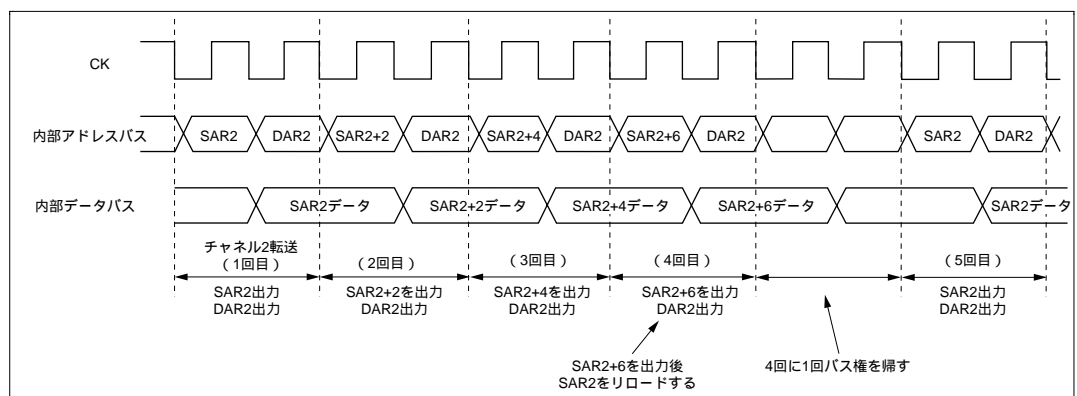


図 9.11 ソースアドレスリロード機能タイムチャート

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する DMATCR2 は、リロード機能のオン、オフにかかわらず、1 転送データサイズの転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。

またアドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットやソフトウェアスタンバイの他、DMAOR の DME ビットのクリア、CHCR2 の DE ビットのクリア、転送終了フラグ (CHCR2 の TE ビット) のセット、NMI 入力、AE フラグ (DMAC 転送によるアドレスエラーの発生) のセットによってリセットされますが、SAR2、DAR2、DMATCR2 などのレジスタはリセットされません。このためこれからの要因が発生すると、DMAC 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中に TE のセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2 の設定から実行しなおしてください。

9.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- ・ DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になる。
- ・ DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

DMATCR=0 による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- ・ DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる。

- ・DMAORのDMAマスタイネーブルビット(DME)を0にクリアする。

DMAORのNMIF=1またはAE=1による転送終了

NMI割り込みまたはDMACによるアドレスエラーが発生して、DMAORのNMIFビットまたはAEビットが1になると、すべてのチャンネルのDMA転送が中断されます。DMACがバス権を獲得し、転送を実行している間にこれらのフラグが1にセットされた場合DMACは実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中にNMIFビットまたはAEビットが1になっても、DMAソースアドレスレジスタ(SAR)、DMAデスティネーションアドレスレジスタ(DAR)、DMAトランスファカウントレジスタ(DMATCR)の値は更新されません。この場合はTEビットはセットされません。NMI割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIFまたはAEフラグをクリアする必要があります。そのさい、再起動させたくないチャンネルは、対応するCHCRのDEビットをクリアしてください。

転送の中断は、1転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、またはNMIフラグがセットされても、続く書き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCRの値更新は行われます。同様に間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

DMAORのDME=0による転送終了

DMAORのDMEビットを0にクリアすると、全チャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

9.3.8 CPUからのDMACアクセス

DMACがアドレッシングされている空間は3サイクル空間です。したがってCPUがバスマスタとなってDMACをアクセスする場合の1バスサイクルは、最低基本クロック(CK)3サイクルを必要とします。またDMACはワード空間に配置されています。したがってDMACに対しワードサイズのアクセスを行った場合は1バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス2回に分割され、2バスサイクル=6基本クロックを必要とします。なお、この分割された2回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これはリードアクセスの場合もライトアクセスの場合も同様です。

9.4 使用例

9.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル0 (SCI0) の受信データを、DMAC のチャンネル0 を使って外部メモリに転送する例を考えます。

表 9.5 に転送条件と、各レジスタの設定値を示します。

表 9.5 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR0	H'FFFFFF005
転送先：外部メモリ	DAR0	H'00400000
転送回数：64 回	DMATCR0	H'00000040
転送元アドレス：固定	CHCR0	H'00020105
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスターイネーブル ON	DMAOR	H'0001

9.4.2 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)

内蔵 A/D 変換器チャンネル 1 が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。表 9.6 に転送条件と、各レジスタの設定値を示します。

表 9.6 A/D 変換器と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D1	SAR2	H'FFFF F820
転送先：内蔵メモリ	DAR2	H'FFFF 6000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'0000 0080
転送元アドレス：増加	CHCR2	H'010C 110D
転送先アドレス：増加		
転送要求元：A/D1		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスタイネーブル ON		

アドレスリロードをオンにすると、4 回の転送ごとに SAR2 の値が最初に設定した値に戻ります。上記の例では、A/D1 から転送要求が入ると、まず内蔵 A/D1 の H'FFFFF820 のレジスタからバイトサイズのデータを読み出し、内部の H'FFFF6000 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、この時点で SAR2、DAR2 の値はそれぞれ H'FFFFF821、H'FFFF6001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR2 の値は H'FFFFF824 H'FFFFF825 H'FFFFF826 ... と増加し続けますが、アドレスリロードオンの場合は 4 回目が終了すると DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。この時 SAR2 内に格納されている値は H'FFFFF823 H'FFFFF824 ではなく、H'FFFFF823 H'FFFFF820 と最初に設定したアドレスに戻っています。DAR2 の値はアドレスリロードのオン / オフに関係なく、常に増加を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

	アドレスリロードオン	アドレスリロードオフ
SAR2	H'FFFFFF820	H'FFFFFF824
DAR2	H'FFFFF6004	H'FFFFF6004
DMATCR2	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR2 の値が 0 になるまで実行し、CHCR2 の IE ビットが 1 にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR2 の値が 0 になるまで実行すれば、アドレスリロードのオン・オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR2 の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

9.4.3 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 9.7 に転送条件と、各レジスタの設定値を示します。

表 9.7 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	-	H'00450000
H'00450000 番地に格納されている値	-	H'55
転送先：内蔵 SCI1 TDR1	DAR3	H'FFFFFF0B
転送回数：10 回	DMATCR3	H'0000000A

9. ダイレクトメモリアクセスコントローラ (DMAC)

転送条件	レジスタ	設定値
転送元アドレス：増加	CHCR3	H'10031001
転送先アドレス：固定		
転送要求元：SCI1 (TDR1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
DMAC マスターイネーブル ON	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI1 の TDR1 の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきました。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'FFFFFF00B 番地に H'55 を書き込んで、一回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行う SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

9.5 使用上の注意

- (1) DMA オペレーションレジスタ (DMAOR) はワード (16 ビット) 単位のアクセスのみ可能です。DMAOR 以外のレジスタは、すべてワード (16 ビット) またはロングワード (32 ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3 の RS0~RS4 ビット書き換える場合は、DE ビットを 0 にしてから書き換えてください (CHCR を書き換える場合は、あらかじめ DE ビットを 0 に設定しておいてください)。
- (3) DMAC が動作していないときに NMI 割り込みが入力されても、DMAOR の NMIF ビットはセットされません。
- (4) スタンバイモードにするときは DMAOR の DME ビットを 0 にして、DMAC が受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうち DMAC、BSC、UBC を DMAC によりアクセスしないでください。
- (6) DMAC に起動をかける場合は、CHCR の設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCR のカウンタが 0 となって DMA 転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ず DMATCR に 0 書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) DMAC のレジスタの空きアドレスをアクセスしないでください。空きアドレスをアクセスした場合の動作は保証しません。
- (11) アドレスリロードオンで DMAC 実行中に NMIF、AE のセットまたは DME、DE のクリアにより DMAC 転送が中断された場合は、SAR2、DAR2、DMATCR2 の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。
- (12) CHCR0~CHCR3 の RS0~RS4 ビットを要求なしに設定したまま DE ビットを 1 に設定しないでください。

10. アドバンストタイマ ユニット-II (ATU-II)

第10章 目次

10.1	概要	189
10.1.1	特長	189
10.1.2	端子構成	195
10.1.3	レジスタ構成	198
10.1.4	ブロック図	205
10.1.5	チャンネル間およびモジュール間信号連絡図	213
10.1.6	プリスケラ図	214
10.2	レジスタの説明	215
10.2.1	タイマスタートレジスタ (TSTR)	215
10.2.2	プリスケラレジスタ (PSCR)	221
10.2.3	タイマコントロールレジスタ (TCR)	222
10.2.4	タイマI/Oコントロールレジスタ (TIOR)	232
10.2.5	タイマステータスレジスタ (TSR)	243
10.2.6	タイマインタラプトイネーブルレジスタ (TIER)	281
10.2.7	インターバルインタラプトリクエストレジスタ (ITVRR)	308
10.2.8	トリガモードレジスタ (TRGMDR)	313
10.2.9	タイマモードレジスタ (TMDR)	314
10.2.10	PWMモードレジスタ (PMDR)	316
10.2.11	ダウンカウントスタートレジスタ (DSTR)	319
10.2.12	タイマコネクションレジスタ (TCNR)	328
10.2.13	ワンショットパルスターミネートレジスタ (OTR)	333
10.2.14	リロードイネーブルレジスタ (RLDENR)	338
10.2.15	フリーランニングカウンタ (TCNT)	339
10.2.16	ダウンカウンタ (DCNT)	341
10.2.17	イベントカウンタ (ECNT)	342

10. アドバンスドタイムユニット-II (ATU-II)

10.2.18	アウトプットコンペアレジスタ (OCR)	343
10.2.19	インプットキャプチャレジスタ (ICR)	344
10.2.20	ジェネラルレジスタ (GR)	345
10.2.21	オフセットベースレジスタ (OSBR)	348
10.2.22	サイクルレジスタ (CYLR)	349
10.2.23	バッファレジスタ (BFR)	350
10.2.24	デューティレジスタ (DTR)	351
10.2.25	リロードレジスタ (RLDR)	352
10.2.26	チャンネル 10 のレジスタ.....	352
10.3	動作説明.....	369
10.3.1	概要.....	369
10.3.2	フリーランニングカウンタ動作と周期カウンタ動作.....	377
10.3.3	コンペアマッチ機能	378
10.3.4	インプットキャプチャ機能	379
10.3.5	ワンショットパルス機能.....	380
10.3.6	オフセット付きワンショットパルス機能と出力遮断機能.....	381
10.3.7	インターバルタイマ機能.....	382
10.3.8	ツインキャプチャ機能.....	383
10.3.9	PWM タイマ機能.....	383
10.3.10	チャンネル 3~5 の PWM 機能.....	385
10.3.11	イベントカウント機能とイベント周期計測.....	387
10.3.12	チャンネル 10 の機能	388
10.4	割り込み.....	396
10.4.1	ステータスフラグのセットタイミング.....	396
10.4.2	ステータスフラグのクリア	401
10.5	CPU とのインタフェース.....	403
10.5.1	32 ビットアクセスのみ可能なレジスタ	403
10.5.2	8 ビット、16 ビットおよび 32 ビットアクセス可能なレジスタ	404
10.5.3	16 ビットアクセスのみ可能なレジスタ	405
10.5.4	8 ビットおよび 16 ビットアクセス可能なレジスタ.....	406
10.5.5	8 ビットのみアクセス可能なレジスタ.....	407
10.6	設定手順例.....	408
10.7	使用上の注意	419
10.8	ATU-II のレジスタおよび端子の一覧表	432

10.1 概要

本 LSI は 1 チャンネルの 32 ビットタイマ、11 チャンネルの 16 ビットタイマにより構成されるアドバンスタイマユニット-II (ATU-II) を内蔵しています。

10.1.1 特長

ATU-II には、次のような特長があります。

最大 63 本のパルス入出力処理が可能

プリスケーラ

- ・チャンネル 0、10 への入力クロックは 1 段で分周、チャンネル 1~8、11 への入力クロックは 2 段階で分周
- ・全チャンネル初段で 1/1 ~ 1/32 のクロック分周が可能
- ・チャンネル 1~8、11 は 2 段目で 1/1、1/2、1/4、1/8、1/16、1/32 の分周が可能
- ・チャンネル 1~5、11 は外部クロック : TCLKA、TCLKB の選択も可能

チャンネル 0 は 32 ビットインプットキャプチャを 4 本持ち、次の動作が可能

- ・立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可
- ・キャプチャタイミングで DMAC 起動可能
- ・チャンネル 10 のコンペアマッチ信号をトリガとしてキャプチャ可能
- ・インターバル割り込み生成機能を持ち、選択により 3 本のインターバル割り込みを生成。CPU 割り込み、A/D 変換器 (AD0、1) 起動可能
- ・キャプチャ割り込み、カウンタオーバフロー割り込み発生可能

チャンネル 1 は 16 ビットアウトプットコンペアレジスタ 1 本、ジェネラルレジスタ 8 本とインプットキャプチャ専用レジスタ 1 本を内蔵。アウトプットコンペアレジスタはチャンネル 8 のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能

- ・ジェネラルレジスタ (GR1A~H) はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
- ・コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- ・インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- ・チャンネル 0 の入力信号 (TI0A) をトリガにキャプチャ可能
- ・チャンネル 8 のダウンカウンタ (DCNT8A~H) の強制遮断可能
- ・コンペアマッチ割り込み / キャプチャ割り込み、カウンタオーバフロー割り込み発生可能

チャンネル2は16ビットアウトプットコンペアレジスタを8本、ジェネラルレジスタ8本とインプットキャプチャ専用レジスタ1本を内蔵。アウトプットコンペアレジスタはチャンネル8のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能

- ・ジェネラルレジスタ (GR2A~H) はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
- ・コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能
- ・インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- ・チャンネル0の入力信号 (TI0A) をトリガにキャプチャ可能
- ・チャンネル8のダウンカウンタ (DCNT8A~H) の強制遮断可能
- ・コンペアマッチ割り込み / キャプチャ割り込み、カウンタオーバフロー割り込み発生可能

チャンネル3~5は、それぞれ4本のジェネラルレジスタを持ち次の動作が可能

- ・インプットキャプチャ、アウトプットコンペア、PWMモードの選択が可能
- ・コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能。
- ・インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- ・チャンネル9のコンペアマッチ信号をトリガとしてキャプチャ可能(チャンネル3のみ)
- ・コンペアマッチ割り込み / キャプチャ割り込み発生可能

チャンネル6、7は16ビットデューティレジスタ4本、サイクルレジスタ4本、バッファレジスタ4本をそれぞれ持ち、次の動作が可能

- ・周期、デューティ0~100%を任意設定可能
- ・デューティバッファレジスタの値を各周期毎にデューティレジスタに転送
- ・周期毎に割り込み発生可能
- ・相補PWM出力設定可能(チャンネル6のみ)

チャンネル8は16ビットワンショットパルス出力用ダウンカウンタを16本持ち、次の動作が可能

- ・ダウンカウンタによるワンショットパルス生成
- ・ダウンカウンタはカウント中も書換え可能
- ・ダウンカウンタ終了時割り込み発生可能
- ・オフセット付ワンショットパルス生成可能
- ・チャンネル1、2のアウトプットコンペア機能と連動可能

チャンネル9は6本のイベントカウンタと6本のアウトプットコンペアレジスタ持ち、次の動作が可能

- ・イベントカウンタはコンペアマッチによりカウンタクリア
- ・外部入力、立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- ・コンペアマッチ信号をチャンネル3に入力可能

チャンネル 10 は 32 ビットアウトプットコンペア、インプットキャプチャレジスタ、フリーランカウンタ、16 ビットフリーランカウンタ、アウトプットコンペア/インプットキャプチャレジスタ、リロードレジスタ、8 ビットイベントカウンタ、アウトプットコンペアレジスタを各 1 本、16 ビットリロードカウンタを 4 本持ち、次の動作が可能

- ・外部入力端子のエッジ入力でキャプチャ可能
- ・キャプチャされた値の 32,64,128,256 倍でリロードカウンタ可能
- ・リロードカウンタのアンダーフローで生成した内部クロックを 16 ビットフリーランカウンタ入力として使用可能
- ・チャンネル 1、2 のフリーランカウンタのクリア可能

チャンネル 11 は 1 本の 16 ビットフリーランカウンタと 2 本の 16 ビットジェネラルレジスタを持ち、次の動作が可能

- ・2 本のジェネラルレジスタはコンペアマッチとして使用可能
- ・APC にコンペアマッチ信号出力可能

内部 16 ビットバスに高速アクセス

- ・タイマカウンタ、コンペアレジスタ、キャプチャレジスタの 16 ビットレジスタに対し、16 ビットバスによる高速アクセスが可能。

75 種類の割り込み要因

- ・チャンネル 0 はインプットキャプチャ割り込み×4 本、オーバフロー割り込み×1 本、インターバル割り込み×1 本を要求可能
- ・チャンネル 1、2 でインプットキャプチャ/コンペアマッチ兼用割り込み×16 本、カウンタオーバフロー割り込み×2 本要求可能
- ・チャンネル 3~5 でインプットキャプチャ/コンペアマッチ兼用割り込み×12 本、カウンタオーバフロー割り込み×3 本要求可能
- ・チャンネル 6、7 はコンペアマッチ割り込み×8 本要求可能
- ・チャンネル 8 はワンショットエンド割り込み×16 本要求可能
- ・チャンネル 9 はコンペアマッチ割り込み×6 本要求可能
- ・チャンネル 10 はコンペアマッチ割り込み×2 本、インプットキャプチャ/コンペアマッチ兼用割り込み×1 本要求可能
- ・チャンネル 11 はコンペアマッチ割り込み×2 本、オーバフロー割り込み×1 本要求可能

ダイレクトメモリアルアクセスコントローラ (DMAC) の起動可能

- ・チャンネル0のインプットキャプチャ割り込み (ICI0A ~ D) により DMAC の起動が可能
- ・チャンネル6のサイクルレジスタ6のコンペアマッチ割り込み (CMI6A ~ D) により DMAC の起動が可能
- ・チャンネル7のサイクルレジスタ7のコンペアマッチ割り込み (CMI7A ~ D) により DMAC の起動が可能

A/D 変換器の起動可能

- ・チャンネル0のインターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) の ITVA6 ~ 13 の1検出により A/D 変換器の起動が可能

AUT-IIの機能一覧を表10.1に表示します。

表 10.1 ATU-IIの機能一覧表

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3~5	
カ ウ ン タ	クロック	~ /32	(~ /32) × (1/2n) (n=0~5) TCLKA, TCLKB		
	カウンタ	TCNT0H, TCNT0L	TCNT1A, TCNT1B	TCNT2A, TCNT2B	TCNT3~ 5
	ジェネラル レジスタ	-	GR1A~ H	GR2A~ H	GR3A~ D, GR4A~ D GR5A~ D
	インプット キャプチャ 専用	ICR0AH, ICR0AL, ICR0BH, ICR0BL, ICR0CH, ICR0CL, ICR0DH, ICR0DL	OSBR1	OSBR2	-
	アウトプット コンペア専用	-	OCR1	OCR2A~ H	-
構 成	PWM 出力用	-	-	デューティ: GR3A~ C, GR4A~ C, GR5A~ C, サイクル: GR3D, GR4D, GR5D	
入力端子	TIOA~ D	-	-	-	
入出力端子	-	TIO1A~ H	TIO2A~ H	TIO3A~ D, TIO4A~ D, TIO5A~ D	
出力端子	-	-	-	-	
カウンタ クリア機能	-	-	-	-	
割り込み要因	6要因 インターバル×1, インプットキャプチャ×4 オーバーフロー×1	9要因 インプットキャプチャ/ コンペアマッチ兼用×8 オーバーフロー×1	9要因 インプットキャプチャ/ コンペアマッチ兼用×8 オーバーフロー×1* (* 同一ベクタ)	15要因 インプットキャプチャ/ コンペアマッチ兼用×12 オーバーフロー×3	
チャンネル, モジュール 間連結信号	インターバルインタラプ トリクエストでA/D変換 器起動 インプットキャプチャ割 り込でDMAC起動 チャンネル10のコンペアマ ッチ信号をキャプチャト リガ入力	コンペアマッチ信号をチ ャネル8のワンショット パルス出力用ダウンカウ ンタにトリガ出力、 チャンネル10のコンペアマ ッチ信号をカウンタクリ ア入力	コンペアマッチ信号をチ ャネル8のワンショット パルス出力用ダウンカウ ンタにトリガ出力、 チャンネル10のコンペアマ ッチ信号をカウンタクリ ア入力	チャンネル9のコンペアマッ チ信号をキャプチャのトリ ガに入力 (チャンネル3のみ)	

10. アドバンスドタイムユニット-II (ATU-II)

項目	チャンネル6~7	チャンネル8	チャンネル9	チャンネル10	チャンネル11	
カ ウ ン タ 構 成	クロック	(~ /32) × (1/2 ⁿ) (n=0~5)	(~ /32) × (1/2 ⁿ) (n=0~5)		(~ /32)	(~ /32) × (1/2 ⁿ) (n=0~5) TCLKA、TCLKB
	カウンタ	TCNT6A~D, TCNT7A~D	DCNT8A~P	ECNT9A~F	TCNT10AH, TCNT10AL, TCNT10B~H	TCNT11
	ジェネラル レジスタ	-	-	-	-	GR11A,GR11B
	インプット キャプチャ 専用	-	-	-	ICR10AH, ICR10AL	-
	アウトプット コンペア専用	-	-	GR9A~F	GR10G	-
	PWM出力用	CYLR6A~D, CYLR7A~D, DTR6A~D, DTR7A~D, BFR6A~D, BFR7A~D	-	-	-	-
入力端子	-	-	TI9A~F	TI10	-	
入出力端子	-	-	-	-	-	
出力端子	TO6A~D, TO7A~D	TO8A~P	-	-	-	
カウンタクリア 機能		-			-	
割り込み要因	8要因 コンペアマッチ×8	16要因 アンダーフロー×16	6要因 コンペアマッチ×6	3要因 コンペアマッチ×2 インプットキャプチャ/ コンペアマッチ兼用×1	3要因 コンペアマッチ×2 オーバーフロー×1	
チャンネル, モジュール 間連結信号	DMAC起動用コン ペアマッチ信号出力	チャンネル1、2の コンペアマッチ信号 をワンショットパル ス出力用ダウンカウ ントにトリガ入力	コンペアマッチ信 号をチャンネル3の キャプチャのトリ ガ出力	コンペアマッチ信号を チャンネル0のキャプ チャトリガ出力、 チャンネル1、2のカウ ンタクリア出力	APCにコンペアマ ッチ信号を出力	

10.1.2 端子構成

ATU-II の端子構成を表 10.2 に示します。これらの外部端子の機能を使用する際は、ATU-II の設定に合わせてピンファンクションコントローラ(PFC)も設定してください。

また、同機能の端子が複数ある場合は、一つの端子のみ使用するように設定してください。詳しくは、「18. ピンファンクションコントローラ」を参照してください。

表 10.2 ATU-II の機能一覧表

チャンネル	名称	略称	入出力	機能
共通	クロック入力A	TCLKA	入力	外部クロック A 入力端子
	クロック入力B	TCLKB	入力	外部クロック B 入力端子
0	インプットキャプチャ 0A	TIOA	入力	ICR0AH,ICR0AL インプットキャプチャ入力端子
	インプットキャプチャ 0B	TIOB	入力	ICR0BH,ICR0BL インプットキャプチャ入力端子
	インプットキャプチャ 0C	TIOC	入力	ICR0CH,ICR0CL インプットキャプチャ入力端子
	インプットキャプチャ 0D	TIOD	入力	ICR0DH,ICR0DL インプットキャプチャ入力端子
1	インプットキャプチャ/アウトプットコンペア 1A	TIO1A	入出力	GR1A のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1B	TIO1B	入出力	GR1B のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1C	TIO1C	入出力	GR1C のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1D	TIO1D	入出力	GR1D のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1E	TIO1E	入出力	GR1E のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1F	TIO1F	入出力	GR1F のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1G	TIO1G	入出力	GR1G のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 1H	TIO1H	入出力	GR1H のアウトプットコンペア出力/インプットキャプチャ入力
2	インプットキャプチャ/アウトプットコンペア 2A	TIO2A	入出力	GR2A のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2B	TIO2B	入出力	GR2B のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2C	TIO2C	入出力	GR2C のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2D	TIO2D	入出力	GR2D のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2E	TIO2E	入出力	GR2E のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2F	TIO2F	入出力	GR2F のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2G	TIO2G	入出力	GR2G のアウトプットコンペア出力/インプットキャプチャ入力
	インプットキャプチャ/アウトプットコンペア 2H	TIO2H	入出力	GR2H のアウトプットコンペア出力/インプットキャプチャ入力
3	インプットキャプチャ/アウトプットコンペア 3A	TIO3A	入出力	GR3A のアウトプットコンペア出力/インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/アウトプットコンペア 3B	TIO3B	入出力	GR3B のアウトプットコンペア出力/インプットキャプチャ入力 PWM 出力端子 (PWM モード)

10. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
3	インプットキャブチャ/アウトプットコンペア 3C	TIO3C	入出力	GR3Cのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 3D	TIO3D	入出力	GR3Dのアウトプットコンペア出力/インプットキャブチャ入力
4	インプットキャブチャ/アウトプットコンペア 4A	TIO4A	入出力	GR4Aのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 4B	TIO4B	入出力	GR4Bのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 4C	TIO4C	入出力	GR4Cのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 4D	TIO4D	入出力	GR4Dのアウトプットコンペア出力/インプットキャブチャ入力
5	インプットキャブチャ/アウトプットコンペア 5A	TIO5A	入出力	GR5Aのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 5B	TIO5B	入出力	GR5Bのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 5C	TIO5C	入出力	GR5Cのアウトプットコンペア出力/インプットキャブチャ入力 PWM出力端子 (PWMモード)
	インプットキャブチャ/アウトプットコンペア 5D	TIO5D	入出力	GR5Dのアウトプットコンペア出力/インプットキャブチャ入力
6	アウトプットコンペア 6A	TO6A	出力	PWM出力端子
	アウトプットコンペア 6B	TO6B	出力	PWM出力端子
	アウトプットコンペア 6C	TO6C	出力	PWM出力端子
	アウトプットコンペア 6D	TO6D	出力	PWM出力端子
7	アウトプットコンペア 7A	TO7A	出力	PWM出力端子
	アウトプットコンペア 7B	TO7B	出力	PWM出力端子
	アウトプットコンペア 7C	TO7C	出力	PWM出力端子
	アウトプットコンペア 7D	TO7D	出力	PWM出力端子
8	ワンショットパルス 8A	TO8A	出力	ワンショットパルス出力端子
	ワンショットパルス 8B	TO8B	出力	ワンショットパルス出力端子
	ワンショットパルス 8C	TO8C	出力	ワンショットパルス出力端子
	ワンショットパルス 8D	TO8D	出力	ワンショットパルス出力端子
	ワンショットパルス 8E	TO8E	出力	ワンショットパルス出力端子
	ワンショットパルス 8F	TO8F	出力	ワンショットパルス出力端子

10. アドバンスタイマユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
8	ワンショットパルス 8G	TO8G	出力	ワンショットパルス出力端子
	ワンショットパルス 8H	TO8H	出力	ワンショットパルス出力端子
	ワンショットパルス 8I	TO8I	出力	ワンショットパルス出力端子
	ワンショットパルス 8J	TO8J	出力	ワンショットパルス出力端子
	ワンショットパルス 8K	TO8K	出力	ワンショットパルス出力端子
	ワンショットパルス 8L	TO8L	出力	ワンショットパルス出力端子
	ワンショットパルス 8M	TO8M	出力	ワンショットパルス出力端子
	ワンショットパルス 8N	TO8N	出力	ワンショットパルス出力端子
	ワンショットパルス 8O	TO8O	出力	ワンショットパルス出力端子
	ワンショットパルス 8P	TO8P	出力	ワンショットパルス出力端子
9	イベント入力 9A	TI9A	入力	GR9Aのイベント入力
	イベント入力 9B	TI9B	入力	GR9Bのイベント入力
	イベント入力 9C	TI9C	入力	GR9Cのイベント入力
	イベント入力 9D	TI9D	入力	GR9Dのイベント入力
	イベント入力 9E	TI9E	入力	GR9Eのイベント入力
	イベント入力 9F	TI9F	入力	GR9Fのイベント入力
10	インプットキャプチャ	TI10	入力	ICR10AH,ICR10ALのインプットキャプチャ入力

10.1.3 レジスタ構成

ATU-II のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ		
共通	タイマスタートレジスタ 1	TSTR1	R/W	H'00	H'FFFFFF401	8,16,32		
	タイマスタートレジスタ 2	TSTR2	R/W	H'00	H'FFFFFF400			
	タイマスタートレジスタ 3	TSTR3	R/W	H'00	H'FFFFFF402			
		プリスケアラレジスタ 1	PSCR1	W	H'00	H'FFFFFF404	8	
		プリスケアラレジスタ 2	PSCR2	W	H'00	H'FFFFFF406		
		プリスケアラレジスタ 3	PSCR3	W	H'00	H'FFFFFF408		
		プリスケアラレジスタ 4	PSCR4	W	H'00	H'FFFFFF40A		
0	フリーランニングカウンタ 0H	TCNT0H	R/W	H'0000	H'FFFFFF430	32		
	フリーランニングカウンタ 0L	TCNT0L	R/W	H'0000				
	インプットキャプチャレジスタ 0AH	ICR0AH	R	H'0000	H'FFFFFF434			
	インプットキャプチャレジスタ 0AL	ICR0AL	R	H'0000				
	インプットキャプチャレジスタ 0BH	ICR0BH	R	H'0000	H'FFFFFF438			
	インプットキャプチャレジスタ 0BL	ICR0BL	R	H'0000				
	インプットキャプチャレジスタ 0CH	ICR0CH	R	H'0000	H'FFFFFF43C			
	インプットキャプチャレジスタ 0CL	ICR0CL	R	H'0000				
	インプットキャプチャレジスタ 0DH	ICR0DH	R	H'0000	H'FFFFFF420			
	インプットキャプチャレジスタ 0DL	ICR0DL	R	H'0000				
	タイマインターバルインタラプトリクエストレジスタ 1	ITVRR1	R/W	H'00	H'FFFFFF424		8	
	タイマインターバルインタラプトリクエストレジスタ 2A	ITVRR2A	R/W	H'00	H'FFFFFF426			
	タイマインターバルインタラプトリクエストレジスタ 2B	ITVRR2B	R/W	H'00	H'FFFFFF428			
	タイマ IO コントロールレジスタ	TIOR0	R/W	H'00	H'FFFFFF42A			
		タイマステータスレジスタ 0	TSR0	R/(W)*	H'0000		H'FFFFFF42C	16
		タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'0000			
1	フリーランニング 1A	TCNT1A	R/W	H'0000	H'FFFFFF440	16		
	フリーランニング 1B	TCNT1B	R/W	H'0000	H'FFFFFF442			
	ジェネラルレジスタ 1A	GR1A	R/W	H'FFFF	H'FFFFFF444			
	ジェネラルレジスタ 1B	GR1B	R/W	H'FFFF	H'FFFFFF446			
	ジェネラルレジスタ 1C	GR1C	R/W	H'FFFF	H'FFFFFF448			

10. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ	
1	ジェネラルレジスタ 1D	GR1D	RW	H'FFFF	H'FFFF44A	16	
	ジェネラルレジスタ 1E	GR1E	RW	H'FFFF	H'FFFF44C		
	ジェネラルレジスタ 1F	GR1F	RW	H'FFFF	H'FFFF44E		
	ジェネラルレジスタ 1G	GR1G	RW	H'FFFF	H'FFFF450		
	ジェネラルレジスタ 1H	GR1H	RW	H'FFFF	H'FFFF452		
	アウトプットコンペアレジスタ 1	OCR1	RW	H'FFFF	H'FFFF454		
	オフセットベースレジスタ 1	OSBR1	R	H'0000	H'FFFF456		
	タイマIO コントロールレジスタ 1A	TIOR1A	RW	H'00	H'FFFF459	8,16	
	タイマIO コントロールレジスタ 1B	TIOR1B	RW	H'00	H'FFFF458		
	タイマIO コントロールレジスタ 1C	TIOR1C	RW	H'00	H'FFFF45B		
	タイマIO コントロールレジスタ 1D	TIOR1D	RW	H'00	H'FFFF45A		
	タイマコントロールレジスタ 1A	TCR1A	RW	H'00	H'FFFF45D		
	タイマコントロールレジスタ 1B	TCR1B	RW	H'00	H'FFFF45C		
	タイマステータスレジスタ 1A	TSR1A	R/(W)*	H'0000	H'FFFF45E	16	
	タイマステータスレジスタ 1B	TSR1B	R/(W)*	H'0000	H'FFFF460		
	タイマインタラプトイネーブルレジスタ 1A	TIER1A	RW	H'0000	H'FFFF462		
	タイマインタラプトイネーブルレジスタ 1B	TIER1B	RW	H'0000	H'FFFF464		
	トリガモードレジスタ	TRGMDR	RW	H'00	H'FFFF466	8	
	2	フリーランニングカウンタ 2A	TCNT2A	RW	H'0000	H'FFFF600	16
		フリーランニングカウンタ 2B	TCNT2B	RW	H'0000	H'FFFF602	
ジェネラルレジスタ 2A		GR2A	RW	H'FFFF	H'FFFF604		
ジェネラルレジスタ 2B		GR2B	RW	H'FFFF	H'FFFF606		
ジェネラルレジスタ 2C		GR2C	RW	H'FFFF	H'FFFF608		
ジェネラルレジスタ 2D		GR2D	RW	H'FFFF	H'FFFF60A		
ジェネラルレジスタ 2E		GR2E	RW	H'FFFF	H'FFFF60C		
ジェネラルレジスタ 2F		GR2F	RW	H'FFFF	H'FFFF60E		
ジェネラルレジスタ 2G		GR2G	RW	H'FFFF	H'FFFF610		
ジェネラルレジスタ 2H		GR2H	RW	H'FFFF	H'FFFF612		
アウトプットコンペアレジスタ 2A		OCR2A	RW	H'FFFF	H'FFFF614		
アウトプットコンペアレジスタ 2B		OCR2B	RW	H'FFFF	H'FFFF616		
アウトプットコンペアレジスタ 2C		OCR2C	RW	H'FFFF	H'FFFF618		

10. アドバンスドタイムユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ
2	アウトプットコンペアレジスタ2D	OCR2D	RW	H'FFFF	H'FFFFFF61A	16
	アウトプットコンペアレジスタ2E	OCR2E	RW	H'FFFF	H'FFFFFF61C	
	アウトプットコンペアレジスタ2F	OCR2F	RW	H'FFFF	H'FFFFFF61E	
	アウトプットコンペアレジスタ2G	OCR2G	RW	H'FFFF	H'FFFFFF620	
	アウトプットコンペアレジスタ2H	OCR2H	RW	H'FFFF	H'FFFFFF622	
	オフセットベースレジスタ2	OSBR2	R	H'0000	H'FFFFFF624	
	タイマIO コントロールレジスタ2A	TIOR2A	RW	H'00	H'FFFFFF627	8,16
	タイマIO コントロールレジスタ2B	TIOR2B	RW	H'00	H'FFFFFF626	
	タイマIO コントロールレジスタ2C	TIOR2C	RW	H'00	H'FFFFFF629	
	タイマIO コントロールレジスタ2D	TIOR2D	RW	H'00	H'FFFFFF628	
	タイマコントロールレジスタ2A	TCR2A	RW	H'00	H'FFFFFF62B	
	タイマコントロールレジスタ2B	TCR2B	RW	H'00	H'FFFFFF62A	
	タイマステータスレジスタ2A	TSR2A	R/(W)*	H'0000	H'FFFFFF62C	16
	タイマステータスレジスタ2B	TSR2B	R/(W)*	H'0000	H'FFFFFF62E	
タイマインタラプトイネーブルレジスタ2A	TIER2A	RW	H'0000	H'FFFFFF630		
タイマインタラプトイネーブルレジスタ2B	TIER2B	RW	H'0000	H'FFFFFF632		
3,4,5 共通	タイマステータスレジスタ3	TSR3	R/(W)*	H'0000	H'FFFFFF480	16
	タイマインタラプトイネーブルレジスタ3	TIER3	RW	H'0000	H'FFFFFF482	
	タイマモードレジスタ	TMDR	RW	H'00	H'FFFFFF484	8
3	フリーランニングカウンタ3	TCNT3	RW	H'0000	H'FFFFFF4A0	16
	ジェネラルレジスタ3A	GR3A	RW	H'FFFF	H'FFFFFF4A2	
	ジェネラルレジスタ3B	GR3B	RW	H'FFFF	H'FFFFFF4A4	
	ジェネラルレジスタ3C	GR3C	RW	H'FFFF	H'FFFFFF4A6	
	ジェネラルレジスタ3D	GR3D	RW	H'FFFF	H'FFFFFF4A8	
	タイマIO コントロールレジスタ3A	TIOR3A	RW	H'00	H'FFFFFF4AB	8,16
	タイマIO コントロールレジスタ3B	TIOR3B	RW	H'00	H'FFFFFF4AA	
タイマコントロールレジスタ3	TCR3	RW	H'00	H'FFFFFF4AC	8	
4	フリーランニングカウンタ4	TCNT4	RW	H'0000	H'FFFFFF4C0	16
	ジェネラルレジスタ4A	GR4A	RW	H'FFFF	H'FFFFFF4C2	
	ジェネラルレジスタ4B	GR4B	RW	H'FFFF	H'FFFFFF4C4	
	ジェネラルレジスタ4C	GR4C	RW	H'FFFF	H'FFFFFF4C6	
	ジェネラルレジスタ4D	GR4D	RW	H'FFFF	H'FFFFFF4C8	

10. アドバンススタイマユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ
4	タイマIO コントロールレジスタ 4A	TIOR4A	R/W	H'00	H'FFFF4CB	8,16
	タイマIO コントロールレジスタ 4B	TIOR4B	R/W	H'00	H'FFFF4CA	
	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FFFF4CC	8
5	フリーランニングカウンタ 5	TCNT5	R/W	H'0000	H'FFFF4E0	16
	ジェネラルレジスタ 5A	GR5A	R/W	H'FFFF	H'FFFF4E2	
	ジェネラルレジスタ 5B	GR5B	R/W	H'FFFF	H'FFFF4E4	
	ジェネラルレジスタ 5C	GR5C	R/W	H'FFFF	H'FFFF4E6	
	ジェネラルレジスタ 5D	GR5D	R/W	H'FFFF	H'FFFF4E8	
	タイマIO コントロールレジスタ 5A	TIOR5A	R/W	H'00	H'FFFF4EB	8,16
	タイマIO コントロールレジスタ 5B	TIOR5B	R/W	H'00	H'FFFF4EA	
	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FFFF4EC	8
6	フリーランニングカウンタ 6A	TCNT6A	R/W	H'0001	H'FFFF500	16
	フリーランニングカウンタ 6B	TCNT6B	R/W	H'0001	H'FFFF502	
	フリーランニングカウンタ 6C	TCNT6C	R/W	H'0001	H'FFFF504	
	フリーランニングカウンタ 6D	TCNT6D	R/W	H'0001	H'FFFF506	
	サイクルレジスタ 6A	CYLR6A	R/W	H'FFFF	H'FFFF508	
	サイクルレジスタ 6B	CYLR6B	R/W	H'FFFF	H'FFFF50A	
	サイクルレジスタ 6C	CYLR6C	R/W	H'FFFF	H'FFFF50C	
	サイクルレジスタ 6D	CYLR6D	R/W	H'FFFF	H'FFFF50E	
	バッファレジスタ 6A	BFR6A	R/W	H'FFFF	H'FFFF510	
	バッファレジスタ 6B	BFR6B	R/W	H'FFFF	H'FFFF512	
	バッファレジスタ 6C	BFR6C	R/W	H'FFFF	H'FFFF514	
	バッファレジスタ 6D	BFR6D	R/W	H'FFFF	H'FFFF516	
	デューティレジスタ 6A	DTR6A	R/W	H'FFFF	H'FFFF518	
	デューティレジスタ 6B	DTR6B	R/W	H'FFFF	H'FFFF51A	
	デューティレジスタ 6C	DTR6C	R/W	H'FFFF	H'FFFF51C	
	デューティレジスタ 6D	DTR6D	R/W	H'FFFF	H'FFFF51E	
	タイマコントロールレジスタ 6A	TCR6A	R/W	H'00	H'FFFF521	8,16
	タイマコントロールレジスタ 6B	TCR6B	R/W	H'00	H'FFFF520	
	タイマステータスレジスタ 6	TSR6	R/(W)*	H'0000	H'FFFF522	16
	タイマインタラプトイネーブルレジスタ 6	TIER6	R/W	H'0000	H'FFFF524	
PWM モードレジスタ	PMDR	R/W	H'00	H'FFFF526	8	

10. アドバンスドタイムユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ		
7	フリーランニングカウンタ7A	TCNT7A	RW	H'0001	H'FFFFFF580	16		
	フリーランニングカウンタ7B	TCNT7B	RW	H'0001	H'FFFFFF582			
	フリーランニングカウンタ7C	TCNT7C	RW	H'0001	H'FFFFFF584			
	フリーランニングカウンタ7D	TCNT7D	RW	H'0001	H'FFFFFF586			
	サイクルレジスタ7A	CYLR7A	RW	H'FFFF	H'FFFFFF588			
	サイクルレジスタ7B	CYLR7B	RW	H'FFFF	H'FFFFFF58A			
	サイクルレジスタ7C	CYLR7C	RW	H'FFFF	H'FFFFFF58C			
	サイクルレジスタ7D	CYLR7D	RW	H'FFFF	H'FFFFFF58E			
	バッファレジスタ7A	BFR7A	RW	H'FFFF	H'FFFFFF590			
	バッファレジスタ7B	BFR7B	RW	H'FFFF	H'FFFFFF592			
	バッファレジスタ7C	BFR7C	RW	H'FFFF	H'FFFFFF594			
	バッファレジスタ7D	BFR7D	RW	H'FFFF	H'FFFFFF596			
	デューティレジスタ7A	DTR7A	RW	H'FFFF	H'FFFFFF598			
	デューティレジスタ7B	DTR7B	RW	H'FFFF	H'FFFFFF59A			
	デューティレジスタ7C	DTR7C	RW	H'FFFF	H'FFFFFF59C			
	デューティレジスタ7D	DTR7D	RW	H'FFFF	H'FFFFFF59E			
	7	タイムコントロールレジスタ7A	TCR7A	RW	H'00		H'FFFFFF5A1	8,16
		タイムコントロールレジスタ7B	TCR7B	RW	H'00		H'FFFFFF5A0	
タイムステータスレジスタ7		TSR7	R(W)*	H'0000	H'FFFFFF5A2	16		
7	タイムインタラプティネーブルレジスタ7	TIER7	RW	H'0000	H'FFFFFF5A4			
8	ダウンカウンタ8A	DCNT8A	RW	H'0000	H'FFFFFF640	16		
	ダウンカウンタ8B	DCNT8B	RW	H'0000	H'FFFFFF642			
	ダウンカウンタ8C	DCNT8C	RW	H'0000	H'FFFFFF644			
	ダウンカウンタ8D	DCNT8D	RW	H'0000	H'FFFFFF646			
	ダウンカウンタ8E	DCNT8E	RW	H'0000	H'FFFFFF648			
	ダウンカウンタ8F	DCNT8F	RW	H'0000	H'FFFFFF64A			
	ダウンカウンタ8G	DCNT8G	RW	H'0000	H'FFFFFF64C			
	ダウンカウンタ8H	DCNT8H	RW	H'0000	H'FFFFFF64E			
	ダウンカウンタ8I	DCNT8I	RW	H'0000	H'FFFFFF650			
	ダウンカウンタ8J	DCNT8J	RW	H'0000	H'FFFFFF652			
	ダウンカウンタ8K	DCNT8K	RW	H'0000	H'FFFFFF654			

10. アドバンススタイムユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ
8	ダウンカウンタ 8L	DCNT8L	R/W	H'0000	H'FFFFFF656	16
	ダウンカウンタ 8M	DCNT8M	R/W	H'0000	H'FFFFFF658	
	ダウンカウンタ 8N	DCNT8N	R/W	H'0000	H'FFFFFF65A	
	ダウンカウンタ 8O	DCNT8O	R/W	H'0000	H'FFFFFF65C	
	ダウンカウンタ 8P	DCNT8P	R/W	H'0000	H'FFFFFF65E	
	リロードレジスタ 8	RLDR8	R/W	H'0000	H'FFFFFF660	
	タイムコネクションレジスタ	TCNR	R/W	H'0000	H'FFFFFF662	
	ワンショットパルスターミネートレジスタ	OTR	R/W	H'0000	H'FFFFFF664	
	ダウンカウントスタートレジスタ	DSTR	R/W	H'0000	H'FFFFFF666	
	タイムコントロールレジスタ 8	TCR8	R/W	H'00	H'FFFFFF668	8
	タイムステータスレジスタ 8	TSR8	R/(W)*	H'0000	H'FFFFFF66A	16
	タイムインタラプティネーブルレジスタ 8	TIER8	R/W	H'0000	H'FFFFFF66C	8
	リロードイネーブルレジスタ	RLDENR	R/W	H'00	H'FFFFFF66E	
9	イベントカウンタ 9A	ECNT9A	R/W	H'00	H'FFFFFF680	8
	イベントカウンタ 9B	ECNT9B	R/W	H'00	H'FFFFFF682	
	イベントカウンタ 9C	ECNT9C	R/W	H'00	H'FFFFFF684	
	イベントカウンタ 9D	ECNT9D	R/W	H'00	H'FFFFFF686	
	イベントカウンタ 9E	ECNT9E	R/W	H'00	H'FFFFFF688	
	イベントカウンタ 9F	ECNT9F	R/W	H'00	H'FFFFFF68A	
	ジェネラルレジスタ 9A	GR9A	R/W	H'FF	H'FFFFFF68C	
	ジェネラルレジスタ 9B	GR9B	R/W	H'FF	H'FFFFFF68E	
	ジェネラルレジスタ 9C	GR9C	R/W	H'FF	H'FFFFFF690	
	ジェネラルレジスタ 9D	GR9D	R/W	H'FF	H'FFFFFF692	
	ジェネラルレジスタ 9E	GR9E	R/W	H'FF	H'FFFFFF694	
	ジェネラルレジスタ 9F	GR9F	R/W	H'FF	H'FFFFFF696	
	タイムコントロールレジスタ 9A	TCR9A	R/W	H'00	H'FFFFFF698	
	タイムコントロールレジスタ 9B	TCR9B	R/W	H'00	H'FFFFFF69A	
	タイムコントロールレジスタ 9C	TCR9C	R/W	H'00	H'FFFFFF69C	
	タイムステータスレジスタ 9	TSR9	R/(W)*	H'0000	H'FFFFFF69E	
	タイムインタラプティネーブルレジスタ 9	TIER9	R/W	H'0000	H'FFFFFF6A0	

10. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	RW	初期値	アドレス	アクセスサイズ
10	フリーランニングカウンタ 10AH	TCNT10A	RW	H'0000	H'FFFFFF6C0	32
		H				
	フリーランニングカウンタ 10AL	TCNT10AL	RW	H'0001		
	イベントカウンタ 10B	TCNT10B	RW	H'00	H'FFFFFF6C4	8
	リロードカウンタ 10C	TCNT10C	RW	H'0001	H'FFFFFF6C6	16
	補正カウンタ 10D	TCNT10D	RW	H'00	H'FFFFFF6C8	8
	補正カウンタ 10E	TCNT10E	RW	H'0000	H'FFFFFF6CA	16
	補正カウンタ 10F	TCNT10F	RW	H'0001	H'FFFFFF6CC	
	フリーランニングカウンタ 10G	TCNT10G	RW	H'0000	H'FFFFFF6CE	
	インプットキャプチャレジスタ 10AH	ICR10AH	R	H'0000	H'FFFFFF6D0	32
	インプットキャプチャレジスタ 10AL	ICR10AL	R	H'0000		
	アウトプットコンペアレジスタ 10AH	OCR10AH	RW	H'FFFF	H'FFFFFF6D4	8
	アウトプットコンペアレジスタ 10AL	OCR10AL	RW	H'FFFF		
	アウトプットコンペアレジスタ 10B	OCR10B	RW	H'FF	H'FFFFFF6D8	8
	リロードレジスタ 10C	RLD10C	RW	H'0000	H'FFFFFF6DA	16
	ジェネラルレジスタ 10G	GR10G	RW	H'FFFF	H'FFFFFF6DC	
	ノイズキャンセラーカウンタ 10H	TCNT10H	RW	H'00	H'FFFFFF6DE	8
	ノイズキャンセラーレジスタ 10	NCR10	RW	H'FF	H'FFFFFF6E0	
	タイマIO コントロールレジスタ 10	TIOR10	RW	H'00	H'FFFFFF6E2	
	タイマコントロールレジスタ 10	TCR10	RW	H'00	H'FFFFFF6E4	
補正カウンタクリアレジスタ 10	TCCLR10	RW	H'0000	H'FFFFFF6E6	16	
タイムステータスレジスタ 10	TSR10	R(W)*	H'FFFF	H'FFFFFF6E8		
タイムインタラプトイネーブルレジスタ 10	TIER10	RW	H'FFFF	H'FFFFFF6EA		
11	フリーランニングカウンタ 11	TCNT11	RW	H'0000	H'FFFFFF5C0	16
	ジェネラルレジスタ 11A	GR11A	RW	H'FFFF	H'FFFFFF5C2	
	ジェネラルレジスタ 11B	GR11B	RW	H'FFFF	H'FFFFFF5C4	
	タイマIO コントロールレジスタ 11	TIOR11	RW	H'00	H'FFFFFF5C6	8
	タイマコントロールレジスタ 11	TCR11	RW	H'00	H'FFFFFF5C8	
	タイムステータスレジスタ 11	TSR11	R(W)*	H'0000	H'FFFFFF5CA	16
	タイムインタラプトイネーブルレジスタ 11	TIER11	RW	H'0000	H'FFFFFF5CC	

【注】 * リード後に0ライト可能

10.1.4 ブロック図

(1) ATU-II のブロック図 (全体図)

ATU-II のブロック図 (全体図) を図 10.1 に示します。

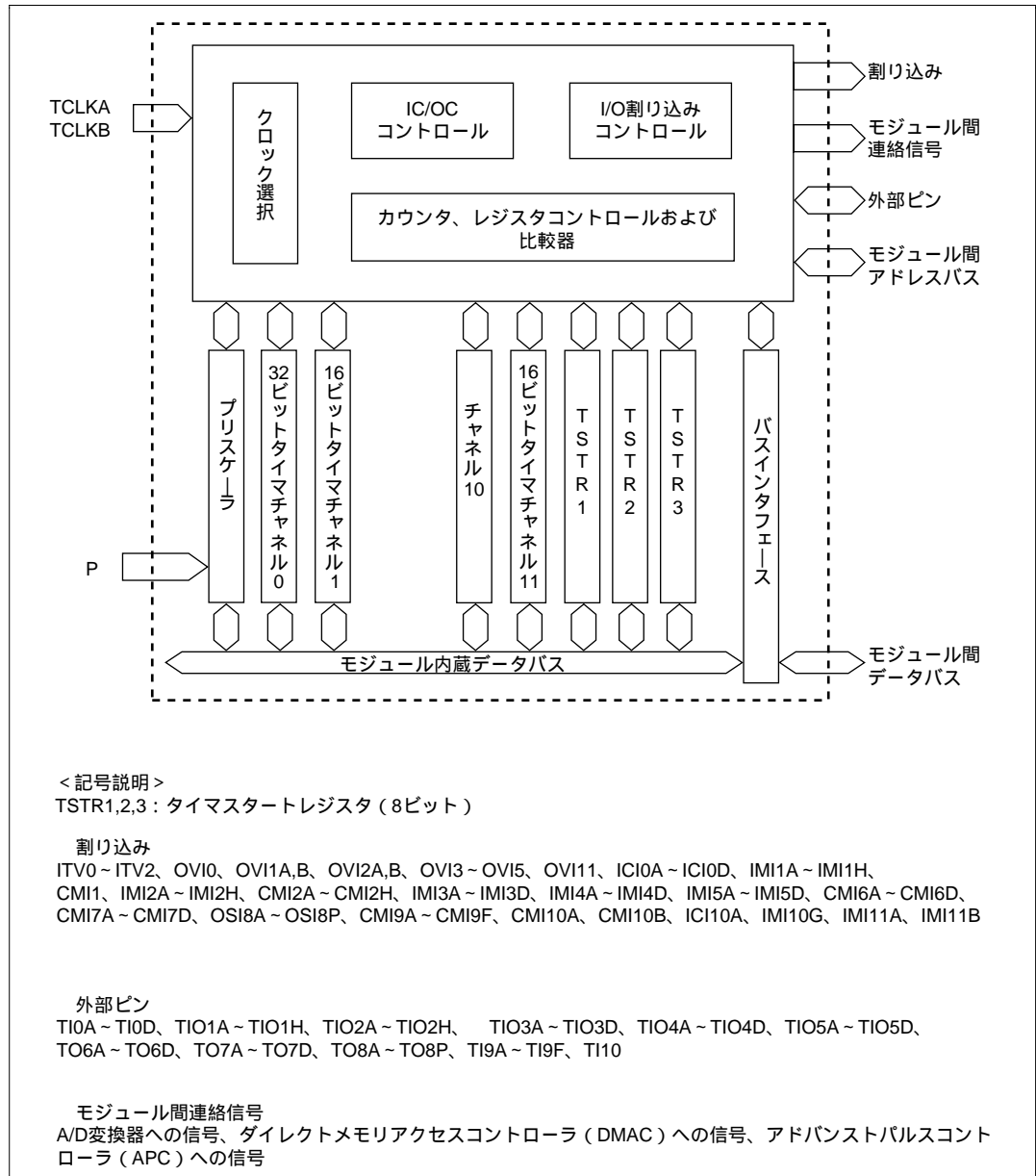


図 10.1 ATU-II のブロック図 (全体図)

(2) チャンネル0のブロック図

ATU-IIのチャンネル0のブロック図を図10.2に示します。

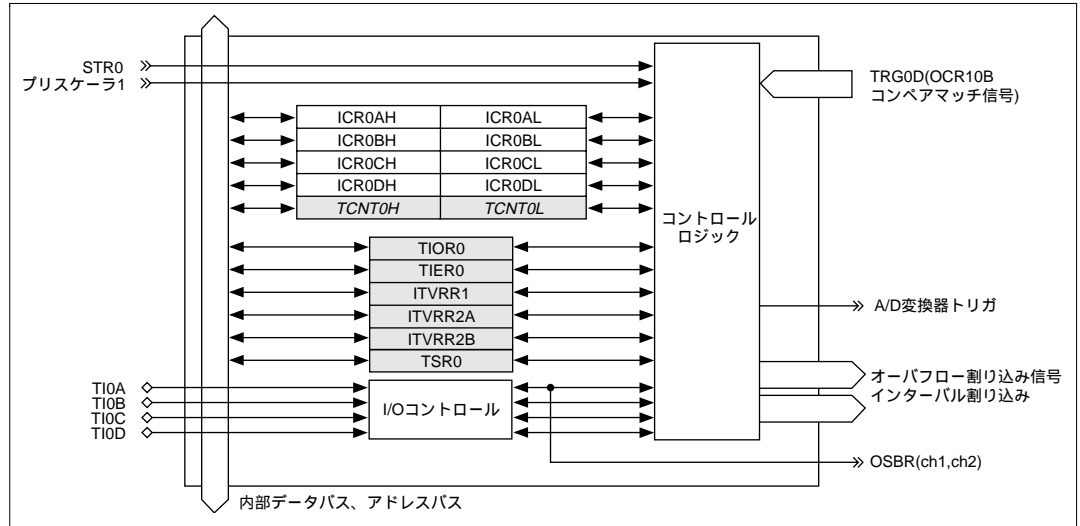


図10.2 チャンネル0 ブロック図

(3) チャンネル1のブロック図

ATU-IIのチャンネル1のブロック図を図10.3に示します。

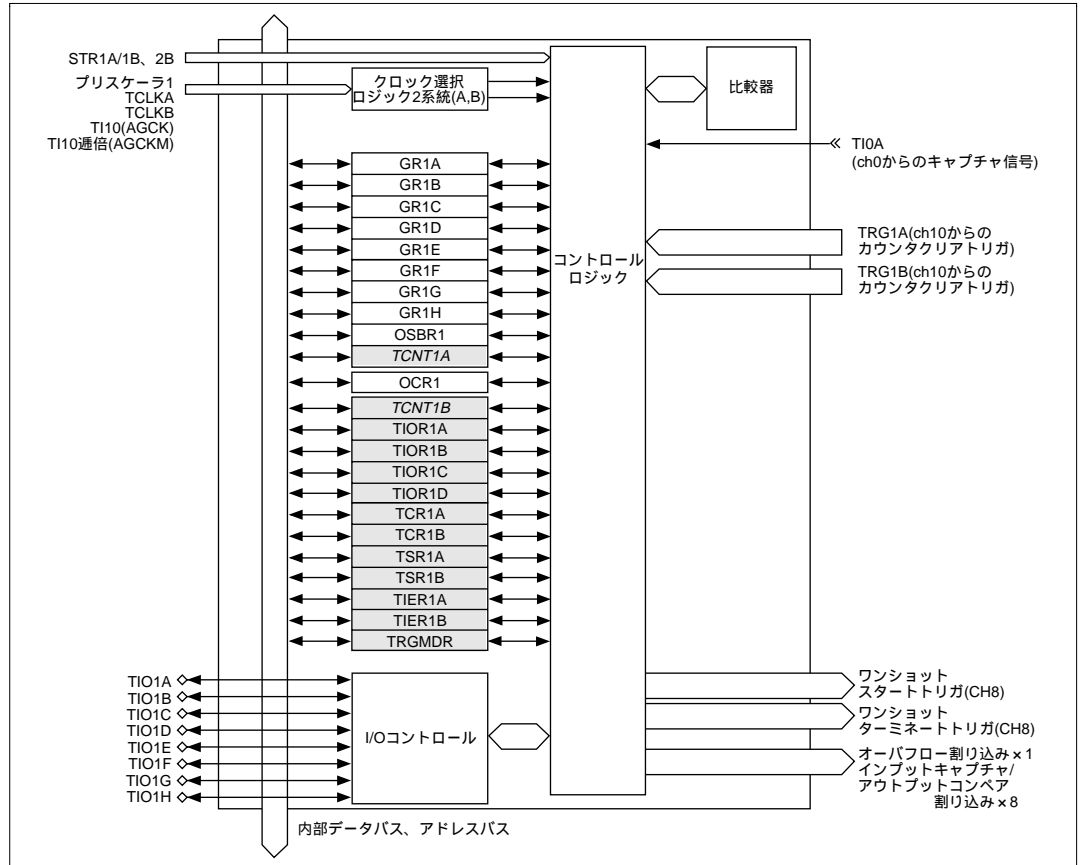


図 10.3 チャンネル1 ブロック図

(4) チャンネル2のブロック図

ATU-IIのチャンネル2のブロック図を図10.4に示します。

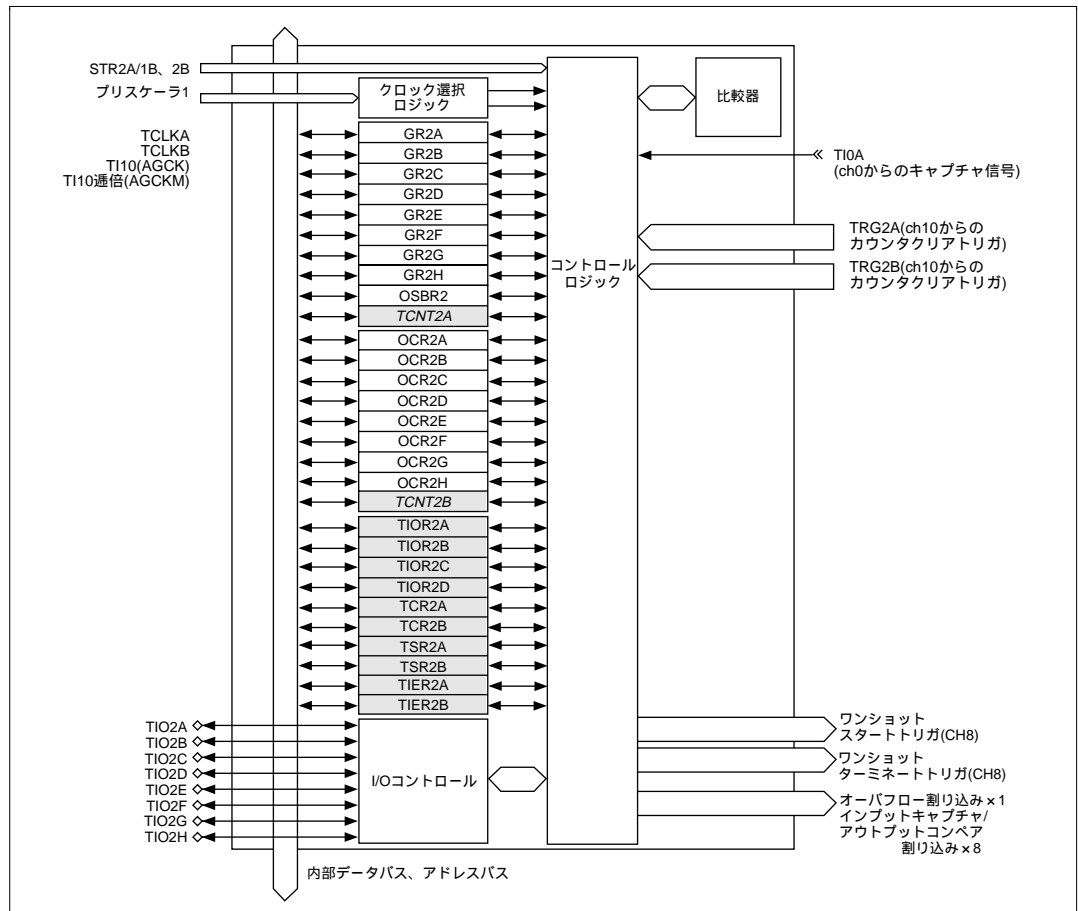


図 10.4 チャンネル2 ブロック図

(5) チャンネル3~5のブロック図

ATU-IIのチャンネル3、4、5のブロック図を図10.5に示します。

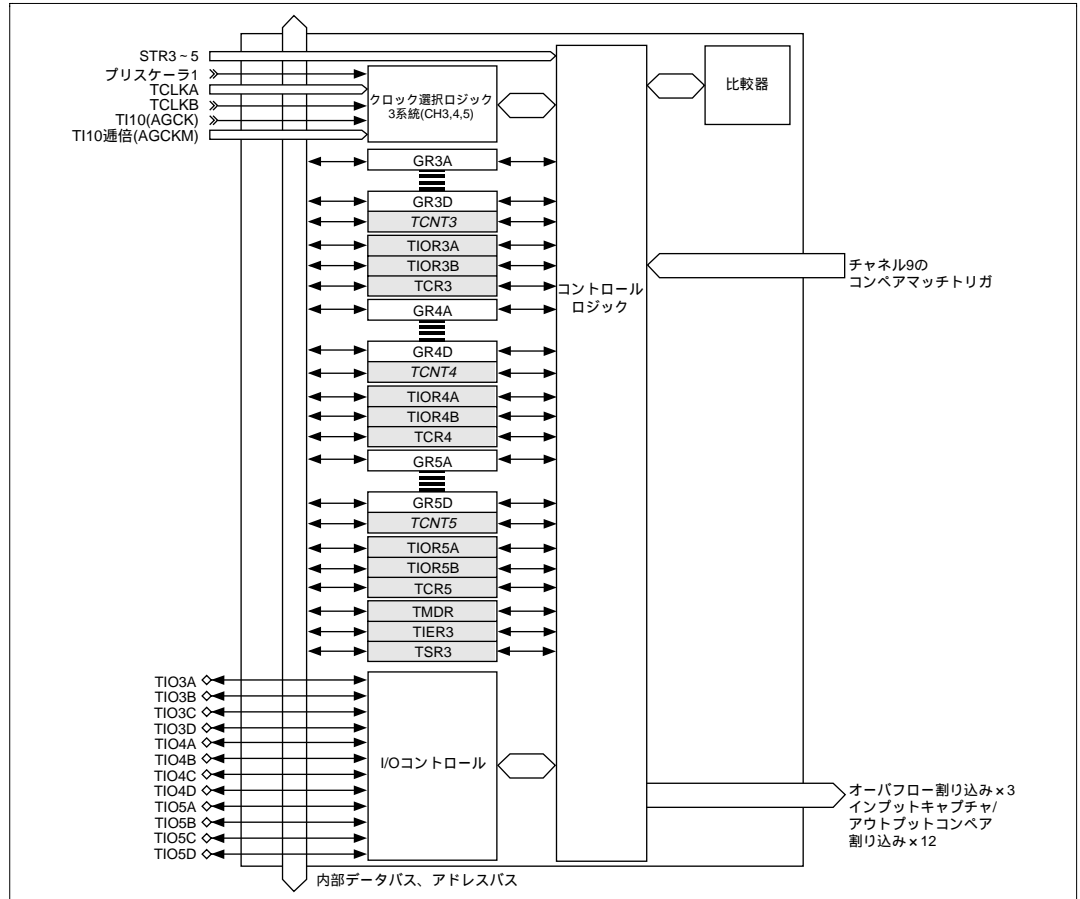


図 10.5 チャンネル3~5 ブロック図

(6) チャンネル6~7のブロック図

ATU-IIのチャンネル6~7のブロック図を図10.6に示します。

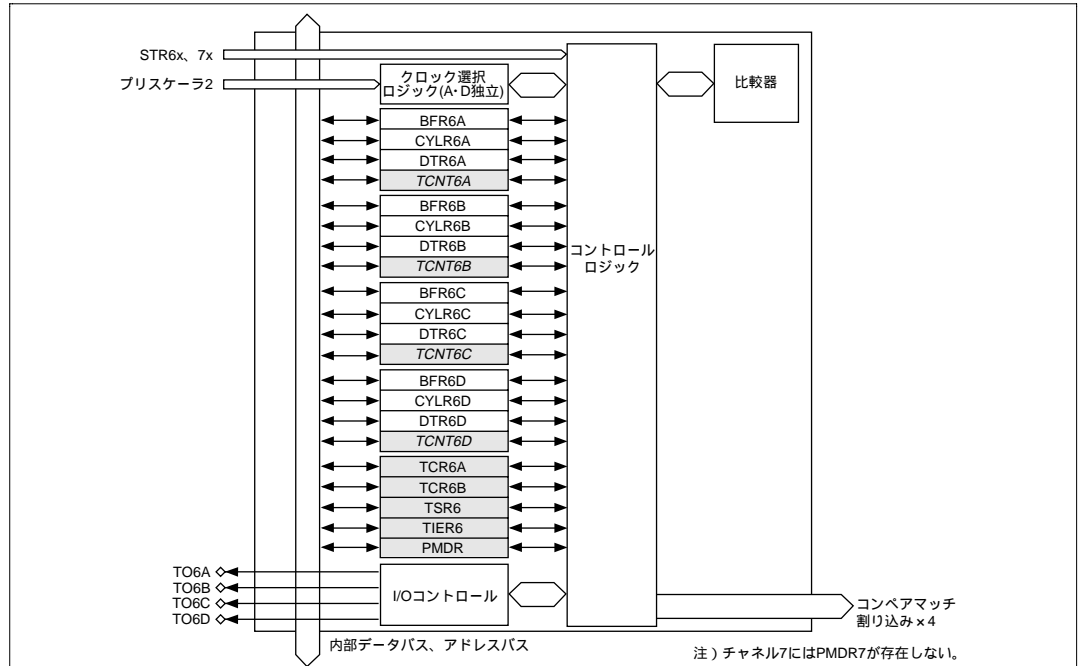


図 10.6 チャンネル6 ブロック図 (チャンネル7も同様)

(7) チャンネル8のブロック図

ATU-IIのチャンネル8のブロック図を図10.7に示します。

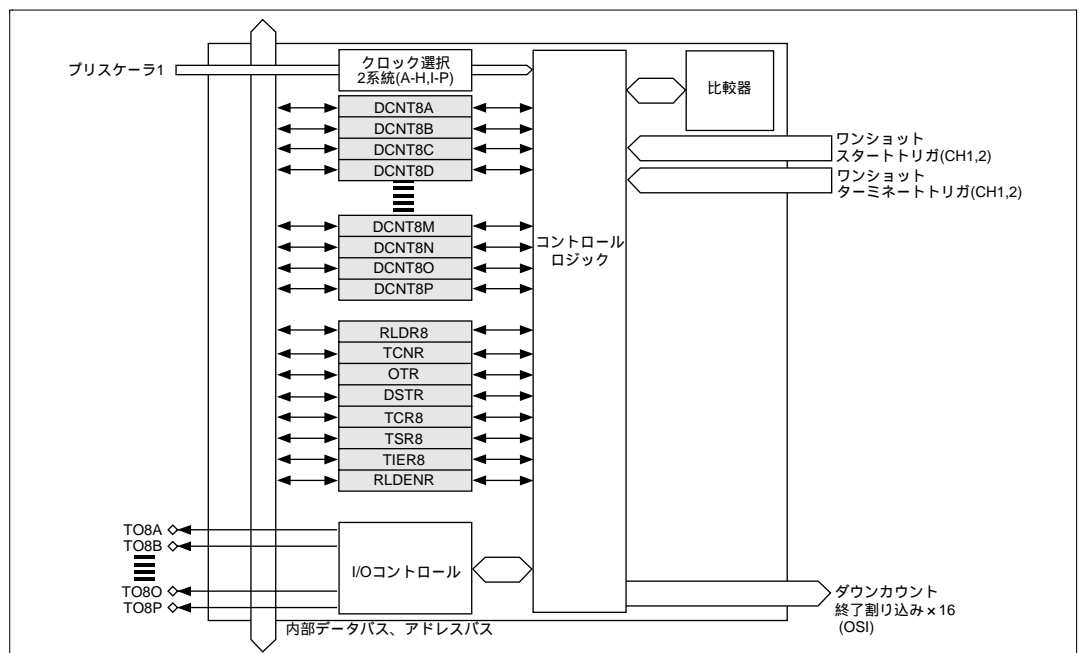


図 10.7 チャンネル8 ブロック図

(8) チャンネル9のブロック図

ATU-IIのチャンネル9のブロック図を図10.8に示します。

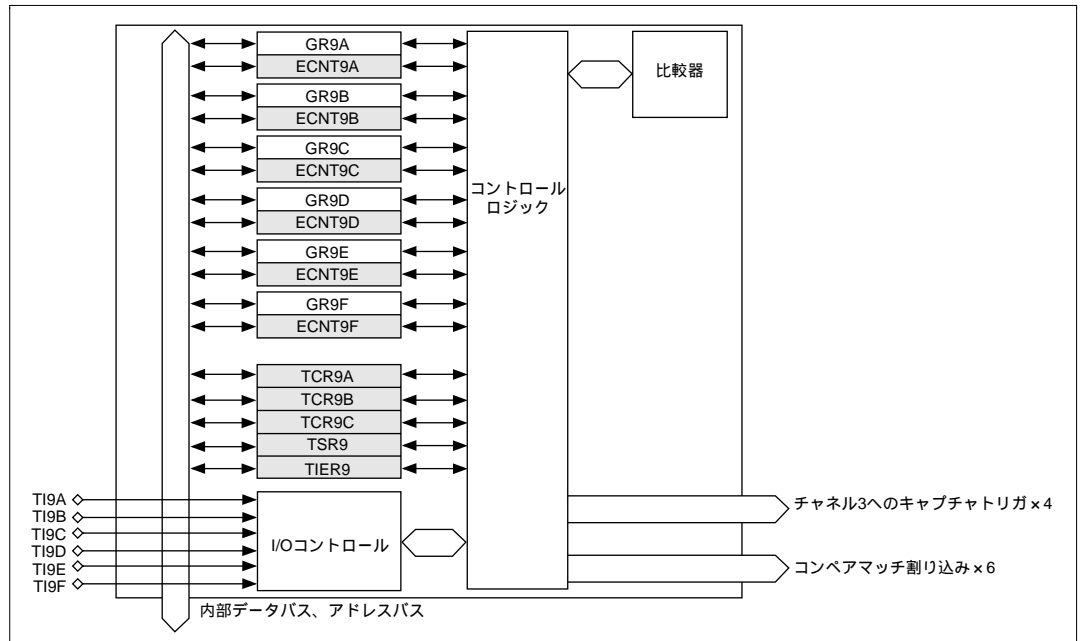


図 10.8 チャンネル9 ブロック図

(9) チャンネル10のブロック図

ATU-IIのチャンネル10のブロック図を図10.9に示します。

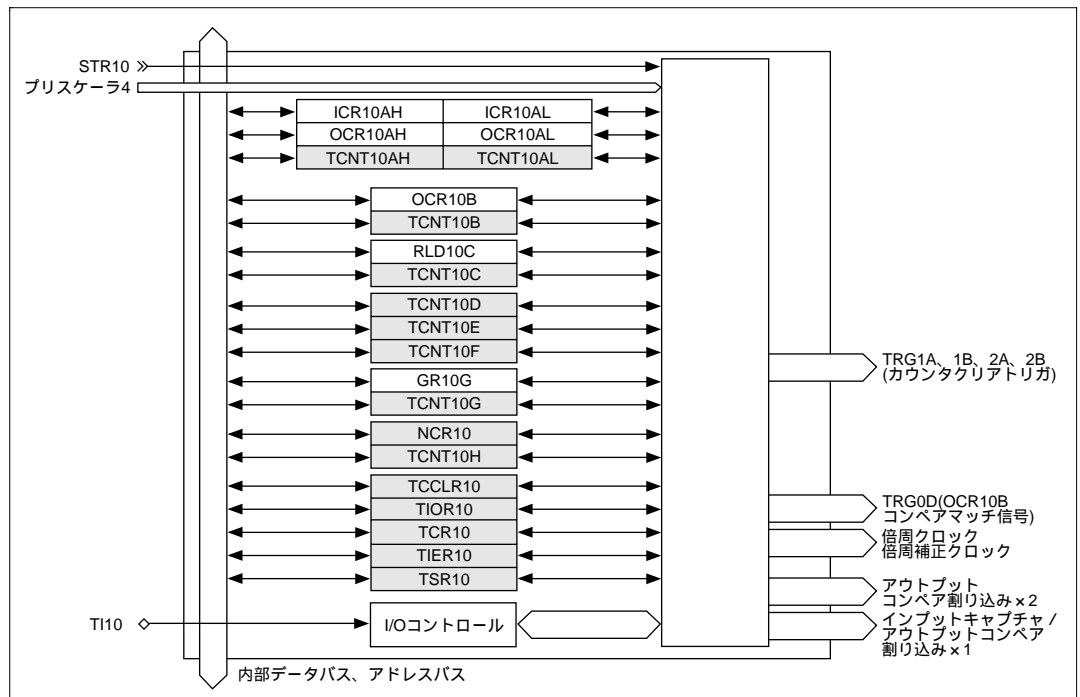


図 10.9 チャンネル10 ブロック図

(10) チャンネル 11 のブロック図

ATU-II のチャンネル 11 のブロック図を図 10.10 に示します。

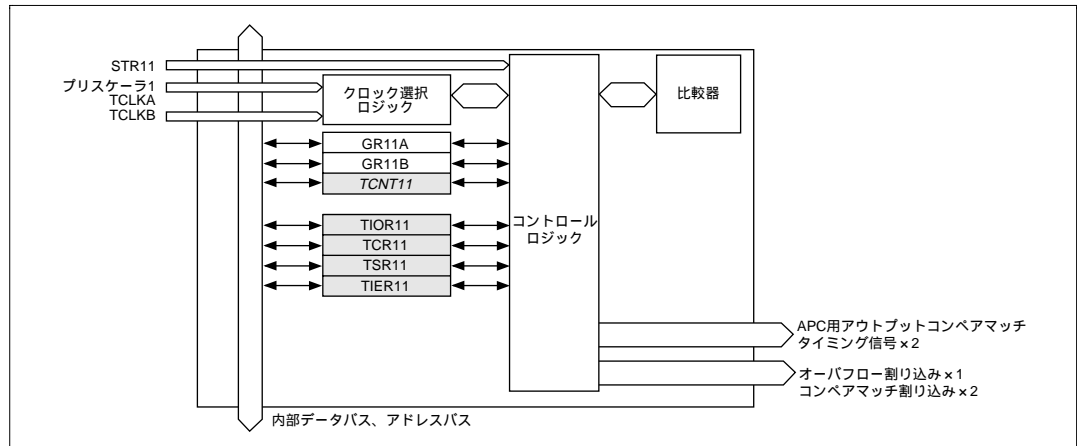


図 10.10 チャンネル 11 ブロック図

10.1.5 チャンネル間およびモジュール間信号連絡図

ATU-II でチャンネル間およびモジュール間の接続のあるものを図 10.11 に示します。

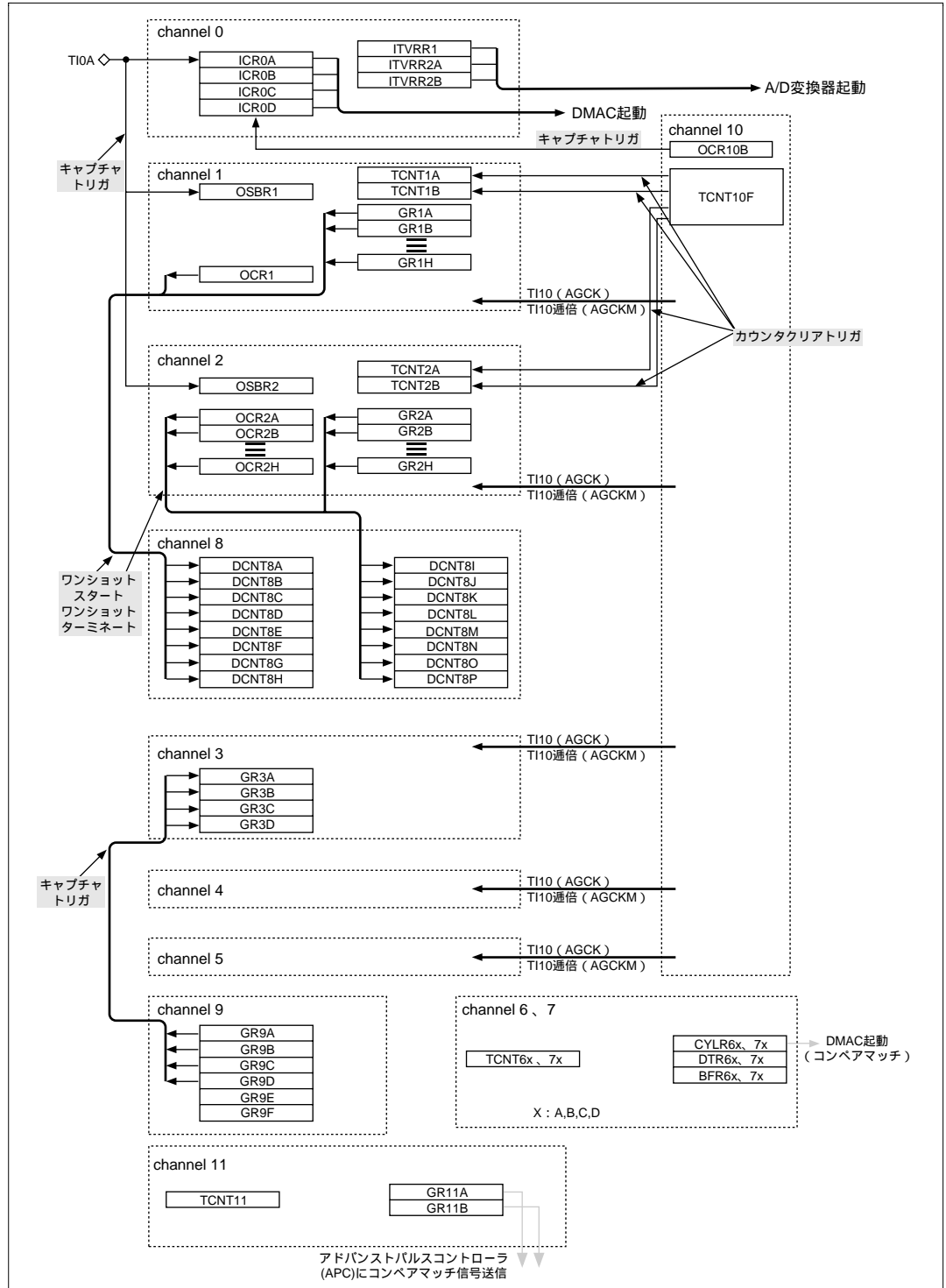


図 10.11 モジュール間連絡信号

10.1.6 プリスケーラ図

ATU-IIのプリスケーラ図を図10.12に示します。

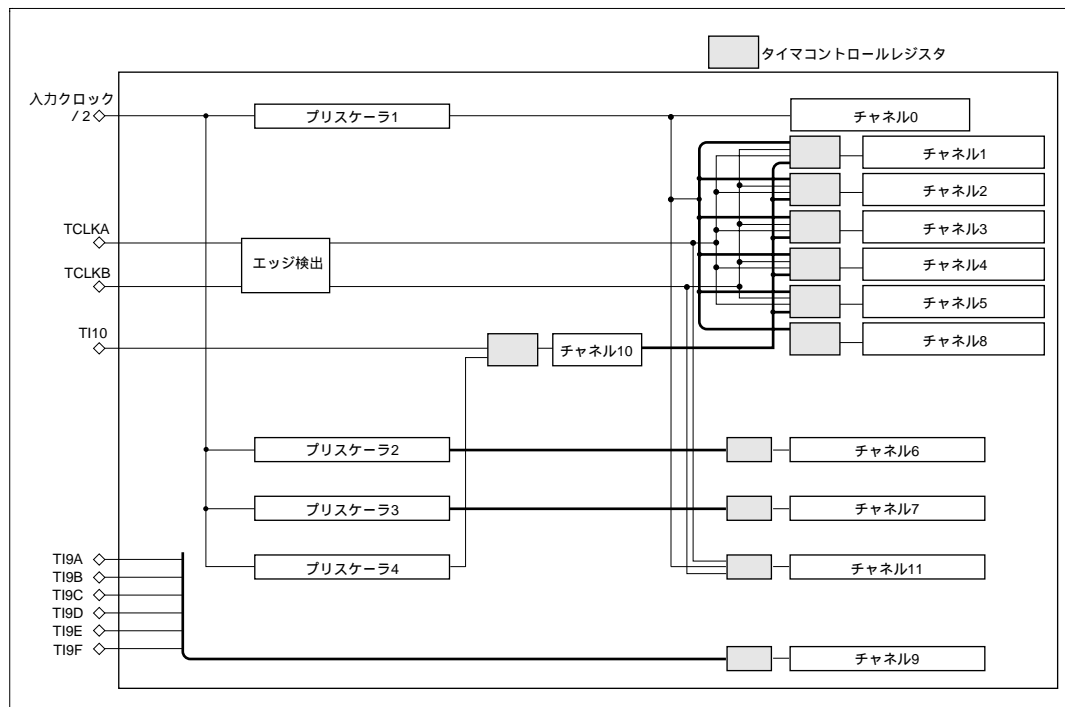


図 10.12 プリスケーラ図

10.2 レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は 8 ビットのレジスタです。ATU-II には 3 本のレジスタがあります。

チャンネル	略称	機能
0、1、2、3、4、5、10	TSTR1	フリーランニングカウンタの動作 / 停止設定
6、7	TSTR2	
11	TSTR3	

(1) タイマスタートレジスタ 1 (TSTR1)

ビット:	7	6	5	4	3	2	1	0
	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ 1 (TSTR1) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 5、10 のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : カウンタスタート 10 (STR10)

チャンネル 10 のカウンタ (TCNT10A、10C、10D、10E、10F、10G) を動作させるか、停止させるかを設定します。TCNT10B、10H は停止しません。

ビット 7	説明
STR10	
0	TCNT10 のカウント動作を停止 (初期値)
1	TCNT10 のカウント動作

ビット6 : カウンタスタート5 (STR5)

フリーランニングカウンタ5 (TCNT5) を動作させるか、停止させるかを設定します。

ビット6	説明
STR5	
0	TCNT5 のカウント動作を停止 (初期値)
1	TCNT5 のカウント動作

ビット5 : カウンタスタート4 (STR4)

フリーランニングカウンタ4 (TCNT4) を動作させるか、停止させるかを設定します。

ビット5	説明
STR4	
0	TCNT4 のカウント動作を停止 (初期値)
1	TCNT4 のカウント動作

ビット4 : カウンタスタート3 (STR3)

フリーランニングカウンタ3 (TCNT3) を動作させるか、停止させるかを設定します。

ビット4	説明
STR3	
0	TCNT3 のカウント動作を停止 (初期値)
1	TCNT3 のカウント動作

ビット3 : カウンタスタート1B、2B (STR1B、2B)

フリーランニングカウンタ1B、2B (TCNT1B、2B) を動作させるか、停止させるかを設定します。

ビット3	説明
STR1B、2B	
0	TCNT1B、2B のカウント動作を停止 (初期値)
1	TCNT1B、2B のカウント動作

ビット2 : カウンタスタート 2A (STR2A)

フリーランニングカウンタ 2A (TCNT2A) を動作させるか、停止させるかを設定します。

ビット2	説明
STR2A	
0	TCNT2A のカウント動作を停止 (初期値)
1	TCNT2A のカウント動作

ビット1 : カウンタスタート 1A (STR1A)

フリーランニングカウンタ 1A (TCNT1A) を動作させるか、停止させるかを設定します。

ビット1	説明
STR1A	
0	TCNT1A のカウント動作を停止 (初期値)
1	TCNT1A のカウント動作

ビット0 : カウンタスタート 0 (STR0)

フリーランニングカウンタ 0 (TCNT0) を動作させるか、停止させるかを設定します。

ビット0	説明
STR0	
0	TCNT0 のカウント動作を停止 (初期値)
1	TCNT0 のカウント動作

(2) タイマスタートレジスタ 2 (TSTR2)

ビット :	7	6	5	4	3	2	1	0
	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ 2 (TSTR2) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 6、7 のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7 : カウンタスタート 7D (STR7D)

フリーランニングカウンタ 7D (TCNT7D) を動作させるか、停止させるかを設定します。

ビット7	説 明
STR7D	
0	TCNT7D のカウント動作を停止 (初期値)
1	TCNT7D のカウント動作

ビット6 : カウンタスタート 7C (STR7C)

フリーランニングカウンタ 7C (TCNT7C) を動作させるか、停止させるかを設定します。

ビット6	説 明
STR7C	
0	TCNT7C のカウント動作を停止 (初期値)
1	TCNT7C のカウント動作

ビット5 : カウンタスタート 7B (STR7B)

フリーランニングカウンタ 7B (TCNT7B) を動作させるか、停止させるかを設定します。

ビット5	説 明
STR7B	
0	TCNT7B のカウント動作を停止 (初期値)
1	TCNT7B のカウント動作

ビット4 : カウンタスタート 7A (STR7A)

フリーランニングカウンタ 7A (TCNT7A) を動作させるか、停止させるかを設定します。

ビット4	説 明
STR7A	
0	TCNT7A のカウント動作を停止 (初期値)
1	TCNT7A のカウント動作

ビット3 : カウンタスタート 6D (STR6D)

フリーランニングカウンタ 6D (TCNT6D) を動作させるか、停止させるかを設定します。

ビット3	説明
STR6D	
0	TCNT6D のカウント動作を停止 (初期値)
1	TCNT6D のカウント動作

ビット2 : カウンタスタート 6C (STR6C)

フリーランニングカウンタ 6C (TCNT6C) を動作させるか、停止させるかを設定します。

ビット2	説明
STR6C	
0	TCNT6C のカウント動作を停止 (初期値)
1	TCNT6C のカウント動作

ビット1 : カウンタスタート 6B (STR6B)

フリーランニングカウンタ 6B (TCNT6B) を動作させるか、停止させるかを設定します。

ビット1	説明
STR6B	
0	TCNT6B のカウント動作を停止 (初期値)
1	TCNT6B のカウント動作

ビット0 : カウンタスタート 6A (STR6A)

フリーランニングカウンタ 6A (TCNT6A) を動作させるか、停止させるかを設定します。

ビット0	説明
STR6A	
0	TCNT6A のカウント動作を停止 (初期値)
1	TCNT6A のカウント動作

(3) タイマスタートレジスタ 3 (TSTR3)

ビット:	7	6	5	4	3	2	1	0
								STR11
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

タイマスタートレジスタ 3 (TSTR3) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 11 のフリーランニングカウンタ (TCNT11) を動作させるか、停止させるかを設定します。

TSTR3 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : カウンタスタート 11 (STR11)

フリーランニングカウンタ 11 (TCNT11) を動作させるか、停止させるかを設定します。

ビット 0	説明
STR11	
0	TCNT11 のカウント動作を停止 (初期値)
1	TCNT11 のカウント動作

10.2.2 プリスケーラレジスタ (PSCR)

プリスケーラレジスタ (PSCR) は8ビットのレジスタです。ATU-IIには4本のレジスタがあります。

チャンネル	略 称	機 能
0、1、2、3、4、5、8、11	PSCR1	各チャンネルのプリスケーラの設定
6	PSCR2	
7	PSCR3	
10	PSCR4	

PSCR_x は8ビットの書き込み可能なレジスタで、各チャンネルに入力される1段目のカウンタクロック f_{clk} を $P_{div}/1 \sim P_{div}/32$ の値を任意に設定することができます。

ビット:	7	6	5	4	3	2	1	0
				PSCxE	PSCxD	PSCxC	PSCxB	PSCxA
初期値:				0	0	0	0	0
R/W:				W	W	W	W	W

$x = 1 \sim 4$

入力カウンタクロック f_{clk} は、PSCxA ~ PSCxE を設定することで決まり、設定値が H'00 のときは $P_{div}/1$ で、H'1F のときは $P_{div}/32$ となります。

PSCR_x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

本レジスタで設定した内部クロック f_{clk} はチャンネル1~8、11において、タイマコントロールレジスタ (TCR) で2段目の分周 f_{div} の設定が可能です。

ビット7~5: 予約ビット

ライトは無効です。

ビット4~0: プリスケーラ (PSCxE、PSCxD、PSCxC、PSCxB、PSCxA)

対応するチャンネルに入力される1段目のカウンタクロック f_{clk} の分周を設定します。

10.2.3 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は 8 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 2 本、チャンネル 3~5、8、11 に各 1 本、チャンネル 6、7 に各 2 本、チャンネル 9 に 3 本、計 16 本のレジスタがあります。チャンネル 10 については「10.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	TCR1A、TCR1B	内部クロック / 外部クロック / TI10 の入力クロックの選択
2	TCR2A、TCR2B	
3	TCR3	
4	TCR4	
5	TCR5	
6	TCR6A、TCR6B	内部クロック選択
7	TCR7A、TCR7B	
8	TCR8	
9	TCR9A、TCR9B、 TCR9C	外部クロックの選択 / コンペアマッチ時のチャンネル 3 のトリガ設定
11	TCR11	内部クロック / 外部クロックの選択

TCR は 8 ビットの読み出し / 書き込み可能なレジスタで、カウントクロックの選択を行います。チャンネル 1~5、11 では内部クロックまたは外部クロックを選択します。チャンネル 6~8 では内部クロックを選択します。チャンネル 9 では外部クロックを選択します。

内部クロックを選択した場合、プリスケアラレジスタ (PSCR) で分周したクロック f_{clk} をさらに分周する値 N を選択します。分周クロック f_{clk}/N はチャンネル 1~8、11 でのみ使用可能で、 $N = 1, 2, 4, 8, 16, 32$ より選択します (チャンネル 0 では $N = 1$ のみ)。エッジ検出は立ち上がりで行います。

外部クロックを選択した場合、TCLKA、TCLKB (チャンネル 1~5、11)、TI10 端子入力 (チャンネル 1~5 のみ)、TI10 端子入力の逡倍クロック (チャンネル 1~5 のみ) の選択を行います。さらにエッジ検出の選択を行います。

TCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(1) タイマコントロールレジスタ 1A、1B、2A、2B (TCR1A、TCR1B、TCR2A、TCR2B)

TCR1A、TCR2A

ビット:	7	6	5	4	3	2	1	0
			CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

TCR1B、TCR2B

ビット:	7	6	5	4	3	2	1	0
			CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4: クロックエッジ1、0 (CKEGx1、CKEGx0)

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5	ビット4	説明
CKEGx1	CKEGx0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がり両エッジでカウント
	1	カウント禁止

x = A または B

ビット3~0: クロックセレクト A3~A0、B3~B0 (CKSELA3~A0、CKSELB3~B0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 " を 1、 1/2、 1/4、 1/8、 1/16、 1/32 より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の逡倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの逡倍を選択した場合、TCR10 の CKEG1、0 を TI10 入力が可能な状態に設定してください。

ビット3	ビット2	ビット1	ビット0	説明
CKSELx3	CKSELx2	CKSELx1	CKSELx0	
0	0	0	0	内部クロック " : 1 でカウント (初期値)
			1	内部クロック " : 1/2 でカウント
		1	0	内部クロック " : 1/4 でカウント
			1	内部クロック " : 1/8 でカウント
	1	0	0	内部クロック " : 1/16 でカウント
			1	内部クロック " : 1/32 でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	0	TI10 端子入力 (AGCK) でカウント
			1	TI10 端子入力クロックの逡倍 (補正) (AGCKM) でカウント
		1	*	設定禁止
	1	*	*	設定禁止

x = A または B

* = don't care

(2) タイマコントロールレジスタ 3~5 (TCR3、TCR4、TCR5)

ビット:	7	6	5	4	3	2	1	0
			CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6: 予約ビット

読み出すと常に0が読み出されます。書き込むときの値は常に0にしてください。

ビット5、4：クロックエッジ1、0 (CKEG1、CKEG0)

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5	ビット4	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がりの両エッジでカウント
	1	カウント禁止

ビット3~0：クロックセレクト3~0 (CKSEL3~0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 " を 1、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の通倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの通倍を選択した場合、TCR10 の CKEG1、0 を TI10 入力可能な状態に設定してください。

ビット3	ビット2	ビット1	ビット0	説明
CKSEL3	CKSEL2	CKSEL1	CKSEL0	
0	0	0	0	内部クロック " : 1 でカウント (初期値)
			1	内部クロック " : $1/2$ でカウント
		1	0	内部クロック " : $1/4$ でカウント
			1	内部クロック " : $1/8$ でカウント
	1	0	0	内部クロック " : $1/16$ でカウント
			1	内部クロック " : $1/32$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	0	TI10 端子入力 (AGCK) でカウント
			1	TI10 端子入力クロックの通倍 (補正) (AGCKM) でカウント
	1	1	*	設定禁止
		*	*	設定禁止

* = don't care

(3) タイマコントロールレジスタ 6A、6B、7A、7B (TCR6A、TCR6B、TCR7A、TCR7B)

TCR6A、TCR7A

ビット:	7	6	5	4	3	2	1	0
		CKSELB2	CKSELB1	CKSELB0		CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR6B、TCR7B

ビット:	7	6	5	4	3	2	1	0
		CKSELD2	CKSELD1	CKSELD0		CKSELC2	CKSELC1	CKSELC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6~4: クロックセレクト B2~B0、D2~D0 (CKSELB2~B0、CKSELD2~D0)

内部クロックの分周 " を '、 1/2、 1/4、 1/8、 1/16、 1/32 より選択します。

ビット6	ビット5	ビット4	説明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック " : 'でカウント (初期値)
		1	内部クロック " : 1/2 でカウント
	1	0	内部クロック " : 1/4 でカウント
		1	内部クロック " : 1/8 でカウント
1	0	0	内部クロック " : 1/16 でカウント
		1	内部クロック " : 1/32 でカウント
	1	0	設定禁止
		1	設定禁止

x = B または D

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0: クロックセレクトA2~A0、C2~C0 (CKSELA2~A0、CKSELC2~C0)
内部クロックの分周 " を 1、 $\frac{1}{2}$ 、 $\frac{1}{4}$ 、 $\frac{1}{8}$ 、 $\frac{1}{16}$ 、 $\frac{1}{32}$ より選択します。

ビット2	ビット1	ビット0	説明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック " : 1でカウント (初期値)
		1	内部クロック " : $\frac{1}{2}$ でカウント
	1	0	内部クロック " : $\frac{1}{4}$ でカウント
		1	内部クロック " : $\frac{1}{8}$ でカウント
1	0	0	内部クロック " : $\frac{1}{16}$ でカウント
		1	内部クロック " : $\frac{1}{32}$ でカウント
	1	0	設定禁止
		1	設定禁止

x = A または C

(4) タイマコントロールレジスタ 8 (TCR8)

ビット:	7	6	5	4	3	2	1	0
		CKSELB2	CKSELB1	CKSELB0		CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

CKSELA_x は DCNT8A ~ H に対応し、CKSELB_x は DCNT8I ~ P に対応しています。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6～4：クロックセレクト B2～B0 (CKSELB2～B0)

DCNT8I～P のカウンタに対応しており、内部クロックの分周 " を 1、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。

ビット6	ビット5	ビット4	説 明
CKSELB2	CKSELB1	CKSELB0	
0	0	0	内部クロック " : 1 でカウント (初期値)
		1	内部クロック " : $1/2$ でカウント
	1	0	内部クロック " : $1/4$ でカウント
		1	内部クロック " : $1/8$ でカウント
1	0	0	内部クロック " : $1/16$ でカウント
		1	内部クロック " : $1/32$ でカウント
	1	0	設定禁止
		1	設定禁止

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：クロックセレクト A2～A0 (CKSELA2～A0)

DCNT8A～H のカウンタに対応しており、内部クロックの分周 " を 1、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。

ビット2	ビット1	ビット0	説 明
CKSELA2	CKSELA1	CKSELA0	
0	0	0	内部クロック " : 1 でカウント (初期値)
		1	内部クロック " : $1/2$ でカウント
	1	0	内部クロック " : $1/4$ でカウント
		1	内部クロック " : $1/8$ でカウント
1	0	0	内部クロック " : $1/16$ でカウント
		1	内部クロック " : $1/32$ でカウント
	1	0	設定禁止
		1	設定禁止

(5) タイマコントロールレジスタ 9A、9B、9C (TCR9A、TCR9B、TCR9C)

TCR9A

ビット:	7	6	5	4	3	2	1	0
		TRG3BEN	EGSELB1	EGSELB0		TRG3AEN	EGSELA1	EGSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9B

ビット:	7	6	5	4	3	2	1	0
		TRG3DEN	EGSELD1	EGSELD0		TRG3CEN	EGSELC1	EGSELC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9C

ビット:	7	6	5	4	3	2	1	0
			EGSELF1	EGSELF0			EGSELE1	EGSELE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6: トリガチャンネル3BEN、3DEN (TRG3BEN、TRG3DEN)

チャンネル9のイベントカウンタのコンペアマッチ信号をチャンネル3のインプットキャプチャトリガとして使用するか使用しないかを選択します。

ビット6	説明
TRG3xEN	
0	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを許可

x = B または D

ビット5、4:エッジセレクト B1、B0、D1、D0、F1、F0(EGSELB1、EGSELB0、EGSELD1、EGSELD0、EGSELF1、EGSELF0)

イベントカウンタのカウントエッジを選択します。

ビット5	ビット4	説明
EGSELx1	EGSELx0	
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり / 立ち下がり両エッジでカウント

x = B、D、または F

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2: トリガチャンネル 3AEN、3CEN (TRG3AEN、TRG3CEN)

チャンネル9のイベントカウンタのコンペアマッチ信号をチャンネル3のインプットキャプチャトリガとして使用するか使用しないかを選択します。

ビット2	説明
TRG3xEN	
0	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを許可

x = AまたはC

ビット1、0:エッジセレクト A1、A0、C1、C0、E1、E0(EGSELA1、EGSELA0、EGSELC1、EGSELC0、EGSELE1、EGSELE0)

イベントカウンタのカウントエッジを選択します。

ビット1	ビット0	説明
EGSELx1	EGSELx0	
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり / 立ち下がり両エッジでカウント

x = A、C、または E

(6) タイマコントロールレジスタ 11 (TCR11)

ビット:	7	6	5	4	3	2	1	0
			CKEG1	CKEG0		CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット7、6、3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4: エッジセレクト

外部クロック TCLKA、B 入力のカウンタエッジを選択します。

ビット5	ビット4	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がり の両エッジでカウント
	1	カウント禁止

ビット2~0: クロックセレクト A2~A0 (CKSELA2~A0)

内部クロックの分周 " を '、' /2、' /4、' /8、' /16、' /32 より選択します。

ビット2	ビット1	ビット0	説 明
CKSELA2	CKSELA1	CKSELA0	
0	0	0	内部クロック " : ' でカウント (初期値)
		1	内部クロック " : ' /2 でカウント
	1	0	内部クロック " : ' /4 でカウント
		1	内部クロック " : ' /8 でカウント
1	0	0	内部クロック " : ' /16 でカウント
		1	内部クロック " : ' /32 でカウント
	1	0	外部クロック : TCLKA 端子入力でカウント
		1	外部クロック : TCLKB 端子入力でカウント

10.2.4 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は 8 ビットレジスタです。ATU-II には、チャンネル 0 に 1 本、チャンネル 1、2 に各 4 本、チャンネル 3~5 に各 2 本、チャンネル 11 に 1 本、計 16 本の TIOR があります。チャンネル 10 については「10.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TIOR0	ICR0 のエッジ検出の設定
1	TIOR1A ~ 1D	GR のインプットキャプチャ / コンペアマッチの切り替え、エッジ検出 / 出力値の設定
2	TIOR2A ~ 2D	
3	TIOR3A、TIOR3B	GR のインプットキャプチャ / コンペアマッチの切り替え、エッジ検出 / 出力値の設定、
4	TIOR4A、TIOR4B	
5	TIOR5A、TIOR5B	TCNT3 ~ 5 のクリア許可 / 禁止の設定
11	TIOR11	GR のコンペアマッチの設定

TIOR は 8 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャ専用レジスタおよびジェネラルレジスタの機能の選択を行います。

インプットキャプチャ専用レジスタ (ICR) ではエッジ検出の設定を行います。

ジェネラルレジスタ (GR) ではインプットキャプチャとして使用するか、アウトプットコンペアとして使用するかの選択、エッジ検出の設定を行います。チャンネル 3~5 に関してはさらに、コンペアマッチ時にフリーランニングカウンタ (TCNT) のクリア許可 / 禁止の選択を行います。

(1) タイマ I/O コントロールレジスタ 0 (TIOR0)

ビット:	7	6	5	4	3	2	1	0
	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR0 は、インプットキャプチャ ICR0A ~ ICR0D のエッジ検出を設定します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7、6 : I/O コントロール 0D1、0D0 (IO0D1、IO0D0)

TI0D 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット7	ビット6	説 明
IO0D1	IO0D0	
0	0	インプットキャプチャ禁止 (TCNT10B のコンペアマッチではインプットキャプチャ可能) (初期値)
	1	立ち上がりエッジで ICR0D へインプットキャプチャ
1	0	立ち下がりエッジで ICR0D へインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0D へインプットキャプチャ

ビット5、4 : I/O コントロール 0C1、0C0 (IO0C1、IO0C0)

TI0C 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット5	ビット4	説 明
IO0C1	IO0C0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0C へインプットキャプチャ
1	0	立ち下がりエッジで ICR0C へインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0C へインプットキャプチャ

ビット3、2 : I/O コントロール 0B1、0B0 (IO0B1、IO0B0)

TI0B 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット3	ビット2	説 明
IO0B1	IO0B0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0B へインプットキャプチャ
1	0	立ち下がりエッジで ICR0B へインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0B へインプットキャプチャ

ビット1、0 : I/O コントロール0A1、0A0 (IO0A1、IO0A0)

TI0A 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット1	ビット0	説明
IO0A1	IO0A0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0A へインプットキャプチャ
1	0	立ち下がりエッジで ICR0A へインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0A へインプットキャプチャ

(2) タイマ I/O コントロールレジスタ 1A ~ 1D (TIOR1A ~ 1D)

TIOR1A

ビット :	7	6	5	4	3	2	1	0
		IO1B2	IO1B1	IO1B0		IO1A2	IO1A1	IO1A0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1B

ビット :	7	6	5	4	3	2	1	0
		IO1D2	IO1D1	IO1D0		IO1C2	IO1C1	IO1C0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1C

ビット :	7	6	5	4	3	2	1	0
		IO1F2	IO1F1	IO1F0		IO1E2	IO1E1	IO1E0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1D

ビット :	7	6	5	4	3	2	1	0
		IO1H2	IO1H1	IO1H0		IO1G2	IO1G1	IO1G0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1A～1Dはジェネラルレジスタ (GR1A～GR1H)をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出/出力値の設定を行います。

TIORはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6～4：I/Oコントロール1B2～1B0、1D2～1D0、1F2～1F0、1H2～1H0 (IO1B2～IO1B0、IO1D2～IO1D0、IO1F2～IO1F0、IO1H2～IO1H0)

ジェネラルレジスタ (GR)の機能の選択をします。

ビット6	ビット5	ビット4	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GRは	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GRのコンペアマッチで0出力
	1	0	コンペア	GRのコンペアマッチで1出力
		1	レジスタ	GRのコンペアマッチでトグル出力
1	0	0	GRは	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO1x端子立ち上がりエッジでGRへインプットキャプチャ (GRヘライト不可)
	1	0	レジスタ	TIO1x端子立ち下がりエッジでGRへインプットキャプチャ (GRヘライト不可)
		1		TIO1x端子立ち上がり/立ち下がりの両エッジでGRへインプットキャプチャ (GRヘライト不可)

x=B、D、F、またはH

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：I/Oコントロール1A2～1A0、1C2～1C0、1E2～1E0、1G2～1G0
(IO1A2～IO1A0、IO1C2～IO1C0、IO1E2～IO1E0、IO1G2～IO1G0)

ジェネラルレジスタ (GR)の機能を選択します。

10. アドバンスドタイマユニット-II (ATU-II)

ビット2	ビット1	ビット0	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (GR ヘライト不可)
		1	インプット キャプチャ	TIO1x 端子立ち上がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO1x 端子立ち下がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
		1		TIO1x 端子立ち上がり / 立ち下がりの両エッジ で GR ヘインプットキャプチャ (GR ヘライト 不可)

x = A、C、E、または G

(3) タイマ I/O コントロールレジスタ 2A ~ 2D (TIOR2A ~ 2D)

TIOR2A

ビット:	7	6	5	4	3	2	1	0
		IO2B2	IO2B1	IO2B0		IO2A2	IO2A1	IO2A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2B

ビット:	7	6	5	4	3	2	1	0
		IO2D2	IO2D1	IO2D0		IO2C2	IO2C1	IO2C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2C

ビット:	7	6	5	4	3	2	1	0
		IO2F2	IO2F1	IO2F0		IO2E2	IO2E1	IO2E0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2D

ビット:	7	6	5	4	3	2	1	0
		IO2H2	IO2H1	IO2H0		IO2G2	IO2G1	IO2G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2A ~ 2D はジェネラルレジスタ (GR2A ~ GR2H) がインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出 / 出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6 ~ 4: I/O コントロール 2B2 ~ 2B0、2D2 ~ 2D0、2F2 ~ 2F0、2H2 ~ 2H0 (IO2B2 ~ IO2B0、IO2D2 ~ IO2D0、IO2F2 ~ IO2F0、IO2H2 ~ IO2H0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット6	ビット5	ビット4	説明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで0出力
	1	0	コンペア	GR のコンペアマッチで1出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (GR ヘライト不可)
		1	インプット キャプチャ	TIO2x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO2x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x = B、D、F、または H

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10. アドバンスドタイムユニット-II (ATU-II)

ビット2~0 : I/O コントロール 2A2~2A0、2C2~2C0、2E2~2E0、2G2~2G0 (IO2A2
~IO2A0、IO2C2~IO2C0、IO2E2~IO2E0、IO2G2~IO2G0)
ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (GR ヘライト不可)
		1	インプット キャプチャ	TIO2x 端子立ち上がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO2x 端子立ち下がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり / 立ち下がりの両エッジ で GR ヘインプットキャプチャ (GR ヘライト 不可)

x = A、C、E、または G

(4) タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A、5B (TIOR3A、TIOR3B、TIOR4A、
TIOR4B、TIOR5A、TIOR5B)

TIOR3A、TIOR4A、TIOR5A

ビット :	7	6	5	4	3	2	1	0
	CCIxB	IOxB2	IOxB1	IOxB0	CCIxA	IOxA2	IOxA1	IOxA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR3B、TIOR4B、TIOR5B

ビット :	7	6	5	4	3	2	1	0
	CCIxD	IOxD2	IOxD1	IOxD0	CCIxC	IOxC2	IOxC1	IOxC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

X=3~5

TIOR3A、3B、4A、4B、5A、5B はジェネラルレジスタ (GR3A~3D、GR4A~4D、GR5A
~5D) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設

定し、エッジ検出 / 出力値の設定を行います。またコンペアマッチ時のフリーランニングカウンタ (TCNT3~5) のクリアを許可 / 禁止を選択します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7 : クリアカウンタイネーブルフラグ 3B、4B、5B、3D、4D、5D (CCI3B、CCI4B、CCI5B、CCI3D、CCI4D、CCI5D)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット7	説 明	
CCIxx		
0	TCNT のクリアを禁止	(初期値)
1	GR のコンペアマッチで TCNT をクリア	

xx = 3B、4B、5B、3D、4D、または 5D

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット6~4 : I/O コントロール 3B2~3B0、4B2~4B0、5B2~5B0、3D2~3D0、4D2~4D0、5D2~5D0 (IO3B2~IO3B0、IO4B2~IO4B0、IO5B2~IO5B0、IO3D2~IO3D0、IO4D2~IO4D0、IO5D2~IO5D0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット6	ビット5	ビット4	説 明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (チャンネル3はチャンネル9のコンペアマッチによるインプットキャプチャ許可) (チャンネル3のみ GR ヘライト不可)
		1	キャプチャレジスタ	TIOxx 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIOxx 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIOxx 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

xx = 3B、4B、5B、3D、4D、または 5D

10. アドバンスドタイムユニット-II (ATU-II)

ビット3 : クリアカウンタインーブルフラグ 3A、4A、5A、3C、4C、5C (CCI3A、CCI4A、CCI5A、CCI3C、CCI4C、CCI5C)
 フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット3	説 明	
CCIxx		
0	TCNT のクリアを禁止	(初期値)
1	GR のコンペアマッチで TCNT をクリア	

xx = 3A、4A、5A、3C、4C、または 5C

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット2~0 : I/O コントロール 3A2~3A0、4A2~4A0、5A2~5A0、3C2~3C0、4C2~4C0、5C2~5C0 (IO3A2~IO3A0、IO4A2~IO4A0、IO5A2~IO5A0、IO3C2~IO3C0、IO4C2~IO4C0、IO5C2~IO5C0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (チャネル3はチャネル9のコンペアマッチによるインプットキャプチャ許可) (チャネル3のみ GR ヘライト不可)
		1	キャプチャレジスタ	TIOxx 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIOxx 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIOxx 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

xx = 3A、4A、5A、3C、4C、または 5C

(5) タイマ I/O コントロールレジスタ 11 (TIOR11)

TIOR11								
ビット:	7	6	5	4	3	2	1	0
			IO11B0					IO11A0
初期値:	0	0	0	0	0	0	0	0
R/W:				R/W				R/W

TIOR11 はジェネラルレジスタ (GR11A、GR11B) のコンペアマッチの許可を設定します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : I/O コントロール 11B0 (IO11B0)

ジェネラルレジスタ (GR) のコンペアマッチの禁止 / 許可を選択します。

ビット 4	説明
IO11B0	
0	コンペアマッチを禁止 (初期値)
1	コンペアマッチを許可

ビット3~1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：I/Oコントロール11A0 (IO11A0)

ジェネラルレジスタ (GR) のコンペアマッチの禁止 / 許可を選択します。

ビット0	説 明
IO11A0	
0	コンペアマッチを禁止 (初期値)
1	コンペアマッチを許可

10.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6~9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3~5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「10.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TSR0	インプットキャプチャ、インターバルインタラプトとオーバフローのステータスを示す
1	TSR1A、TSR1B	インプットキャプチャ、コンペアマッチとオーバフローのステータスを示す
2	TSR2A、TSR2B	
3	TSR3	インプットキャプチャ、コンペアマッチとオーバフローのステータスを示す
4		
5		
6	TSR6	サイクルレジスタとのコンペアマッチのステータスを示す
7	TSR7	
8	TSR8	ダウンカウンタの出力終了 (Low) のステータスを示す
9	TSR9	イベントカウンタのコンペアマッチのステータスを示す
11	TSR11	コンペアマッチやオーバフローのステータスを示す

TSR は 16 ビットの読み出し / 書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバフローの発生、チャンネル 0 のインプットキャプチャの発生およびインターバルインタラプトの発生、チャンネル 3~5 のジェネラルレジスタのインプットキャプチャ / コンペアマッチの発生、チャンネル 6、7 のコンペアマッチの発生、チャンネル 8 のダウンカウンタの出力終了、チャンネル 9 のイベントカウンタのコンペアマッチの発生、チャンネル 11 のジェネラルレジスタのコンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ (TIER) の対応するビットにより割り込み許可されていれば、CPU に割り込みを要求します。

TSR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(1) タイマステータスレジスタ 0 (TSR0)

TSR0 はチャンネル 0 のインターバルインタラプト、インプットキャプチャおよびオーバーフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : インターバルインタラプトフラグ 2B (IIF2B)

インターバル割り込みの発生を示すステータスフラグです。

ビット 7	説明
IIF2B	
0	[クリア条件] (初期値) IIF2B = 1 の状態で、IIF2B を読み出した後、IIF2B に 0 を書き込んだとき。
1	[セット条件] ITVRR2B で選択のインターバル割り込みが発生したとき。

ビット6：インターバルインタラプトフラグ2A (IIF2A)

インターバル割り込みの発生を示すステータスフラグです。

ビット6	説 明
IIF2A	
0	[クリア条件] (初期値) IIF2A = 1 の状態で、IIF2A を読み出した後、IIF2A に 0 を書き込んだとき。
1	[セット条件] ITVRR2A で選択のインターバル割り込みが発生したとき。

ビット5：インターバルインタラプトフラグ1 (IIF1)

インターバル割り込みの発生を示すステータスフラグです。

ビット5	説 明
IIF1	
0	[クリア条件] (初期値) IIF1 = 1 の状態で、IIF1 を読み出した後、IIF1 に 0 を書き込んだとき。
1	[セット条件] ITVRR1 で選択のインターバル割り込みが発生したとき。

ビット4：オーバフローフラグ0 (OVF0)

TCNT0のオーバフローの発生を示すステータスフラグです。

ビット4	説 明
OVF0	
0	[クリア条件] (初期値) OVF0 = 1 の状態で、OVF0 を読み出した後、OVF0 に 0 を書き込んだとき。
1	[セット条件] TCNT0 の値がオーバフロー (H'FFFFFFF H'0000000) したとき。

ビット3：インプットキャプチャフラグ0D (ICF0D)

ICR0Dのインプットキャプチャの発生を示すステータスフラグです。

ビット3	説 明
ICF0D	
0	[クリア条件] (初期値) ICF0D = 1の状態、ICF0Dを読み出した後、ICF0Dに0を書き込んだとき。
1	[セット条件] インプットキャプチャ信号によりTCNT0の値がインプットキャプチャレジスタに転送されたとき。チャンネル10のコンペアマッチをトリガとしたインプットキャプチャでもセットされます。

ビット2：インプットキャプチャフラグ0C (ICF0C)

ICR0Cのインプットキャプチャの発生を示すステータスフラグです。

ビット2	説 明
ICF0C	
0	[クリア条件] (初期値) ICF0C = 1の状態、ICF0Cを読み出した後、ICF0Cに0を書き込んだとき。
1	[セット条件] インプットキャプチャ信号によりTCNT0の値がインプットキャプチャレジスタに転送されたとき。

ビット1：インプットキャプチャフラグ0B (ICF0B)

ICR0Bのインプットキャプチャの発生を示すステータスフラグです。

ビット1	説 明
ICF0B	
0	[クリア条件] (初期値) ICF0B = 1の状態、ICF0Bを読み出した後、ICF0Bに0を書き込んだとき。
1	[セット条件] インプットキャプチャ信号によりTCNT0の値がインプットキャプチャレジスタに転送されたとき。

ビット0：インプットキャプチャフラグ0A (ICF0A)

ICR0A のインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
ICF0A	
0	[クリア条件] (初期値) ICF0A = 1 の状態で、ICF0A を読み出した後、ICF0A に 0 を書き込んだとき。
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタに転送されたとき。

(2) タイマステータスレジスタ 1A、1B (TSR1A、TSR1B)

TSR1A

TSR1A はチャンネル1のインプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット：	15	14	13	12	11	10	9	8
								OVF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*
ビット：	7	6	5	4	3	2	1	0
	IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15～9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8 : オーバフローフラグ 1A (OVF1A)

TCNT1A のオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF1A	
0	[クリア条件] (初期値) OVF1A = 1 の状態で、OVF1A を読み出した後、OVF1A に 0 を書き込んだとき。
1	[セット条件] TCNT1A の値がオーバフロー (H'FFFF H'0000) したとき。

ビット7 : インพุットキャプチャ / コンペアマッチフラグ 1H (IMF1H)

GR1H のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット7	説明
IMF1H	
0	[クリア条件] (初期値) IMF1H = 1 の状態で、IMF1H を読み出した後、IMF1H に 0 を書き込んだとき。
1	[セット条件] (1) GR1H がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT1A の値が GR1H に転送されたとき。 (2) GR1H がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1H になったとき。

ビット6 : インพุットキャプチャ / コンペアマッチフラグ 1G (IMF1G)

GR1G のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説 明
IMF1G	
0	[クリア条件] (初期値) IMF1G = 1 の状態で、IMF1G を読み出した後、IMF1G に 0 を書き込んだとき。
1	[セット条件] (1) GR1G が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1G に転送されたとき。 (2) GR1G が出力コンペアレジスタとして機能している場合、TCNT1A = GR1G になったとき。

ビット5：入力キャプチャ/コンペアマッチフラグ1F (IMF1F)

GR1F の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説 明
IMF1F	
0	[クリア条件] (初期値) IMF1F = 1 の状態で、IMF1F を読み出した後、IMF1F に 0 を書き込んだとき。
1	[セット条件] (1) GR1F が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1F に転送されたとき。 (2) GR1F が出力コンペアレジスタとして機能している場合、TCNT1A = GR1F になったとき。

ビット4：入力キャプチャ/コンペアマッチフラグ1E (IMF1E)

GR1E の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 4	説 明
IMF1E	
0	[クリア条件] (初期値) IMF1E = 1 の状態で、IMF1E を読み出した後、IMF1E に 0 を書き込んだとき。
1	[セット条件] (1) GR1E が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1E に転送されたとき。 (2) GR1E がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1E になったとき。

ビット 3 : インพุットキャプチャ / コンペアマッチフラグ 1D (IMF1D)

GR1D の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 3	説 明
IMF1D	
0	[クリア条件] (初期値) IMF1D = 1 の状態で、IMF1D を読み出した後、IMF1D に 0 を書き込んだとき。
1	[セット条件] (1) GR1D が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1D に転送されたとき。 (2) GR1D がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1D になったとき。

ビット 2 : インพุットキャプチャ / コンペアマッチフラグ 1C (IMF1C)

GR1C の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明
IMF1C	
0	[クリア条件] (初期値) IMF1C = 1 の状態で、IMF1C を読み出した後、IMF1C に 0 を書き込んだとき。
1	[セット条件] (1) GR1C が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1C に転送されたとき。 (2) GR1C がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1C になったとき。

ビット1：入力キャプチャ/コンペアマッチフラグ1B (IMF1B)

GR1Bの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説 明
IMF1B	
0	[クリア条件] (初期値) IMF1B = 1 の状態で、IMF1B を読み出した後、IMF1B に 0 を書き込んだとき。
1	[セット条件] (1) GR1B が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1B に転送されたとき。 (2) GR1B がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1B になったとき。

ビット0：入力キャプチャ/コンペアマッチフラグ1A (IMF1A)

GR1Aの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

10. アドバンスドタイムユニット-II (ATU-II)

ビット0	説明
IMF1A	
0	[クリア条件] (初期値) IMF1A = 1 の状態で、IMF1A を読み出した後、IMF1A に 0 を書き込んだとき。
1	[セット条件] (1) GR1A が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT1A の値が GR1A に転送されたとき。 (2) GR1A がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1A になったとき。

TSR1B

TSR1B はチャンネル 1 のコンペアマッチとオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF1B
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
								CMF1
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8：オーバフローフラグ1B (OVF1B)

TCNT1B のオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF1B	
0	[クリア条件] (初期値) OVF1B = 1 の状態で、OVF1B を読み出した後、OVF1B に 0 を書き込んだとき。
1	[セット条件] TCNT1B の値がオーバフロー (H'FFFF H'0000) したとき。

ビット7～1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：コンペアマッチフラグ1 (CMF1)

OCR1 のコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
CMF1	
0	[クリア条件] (初期値) CMF1 = 1 の状態で、CMF1 を読み出した後、CMF1 に 0 を書き込んだとき。
1	[セット条件] TCNT1B = OCR1 になったとき。

(3) タイマステータスレジスタ 2A、2B (TSR2A、TSR2B)

TSR2A

TSR2A はチャンネル2インプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

10. アドバンスドタイムユニット-II (ATU-II)

ビット:	15	14	13	12	11	10	9	8
								OVF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

ビット:	7	6	5	4	3	2	1	0
	IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15~9: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8: オーバフローフラグ2A (OVF2A)

TCNT2Aのオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF2A	
0	[クリア条件] (初期値) OVF2A=1の状態、OVF2Aを読み出した後、OVF2Aに0を書き込んだとき。
1	[セット条件] TCNT2Aの値がオーバフロー (H'FFFF H'0000) したとき。

ビット7: インพุットキャプチャ/コンペアマッチフラグ2H (IMF2H)

GR2Hのインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット7	説 明
IMF2H	
0	[クリア条件] (初期値) IMF2H = 1 の状態で、IMF2H を読み出した後、IMF2H に 0 を書き込んだとき。
1	[セット条件] (1) GR2H が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2H に転送されたとき。 (2) GR2H が出力コンペアレジスタとして機能している場合、TCNT2A = GR2H になったとき。

ビット6：入力キャプチャ/コンペアマッチフラグ 2G (IMF2G)

GR2Gの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説 明
IMF2G	
0	[クリア条件] (初期値) IMF2G = 1 の状態で、IMF2G を読み出した後、IMF2G に 0 を書き込んだとき。
1	[セット条件] (1) GR2G が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2G に転送されたとき。 (2) GR2G が出力コンペアレジスタとして機能している場合、TCNT2A = GR2G になったとき。

ビット5：入力キャプチャ/コンペアマッチフラグ 2F (IMF2F)

GR2Fの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 5	説 明
IMF2F	
0	[クリア条件] (初期値) IMF2F = 1 の状態で、IMF2F を読み出した後、IMF2F に 0 を書き込んだとき。
1	[セット条件] (1) GR2F が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2F に転送されたとき。 (2) GR2F が出力コンペアレジスタとして機能している場合、TCNT2A = GR2F になったとき。

ビット 4 : 入力キャプチャ / コンペアマッチフラグ 2E (IMF2E)

GR2E の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 4	説 明
IMF2E	
0	[クリア条件] (初期値) IMF2E = 1 の状態で、IMF2E を読み出した後、IMF2E に 0 を書き込んだとき。
1	[セット条件] (1) GR2E が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2E に転送されたとき。 (2) GR2E が出力コンペアレジスタとして機能している場合、TCNT2A = GR2E になったとき。

ビット 3 : 入力キャプチャ / コンペアマッチフラグ 2D (IMF2D)

GR2D の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説 明
IMF2D	
0	[クリア条件] (初期値) IMF2D = 1 の状態で、IMF2D を読み出した後、IMF2D に 0 を書き込んだとき。
1	[セット条件] (1) GR2D が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2D に転送されたとき。 (2) GR2D がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2D になったとき。

ビット2：入力キャプチャ/コンペアマッチフラグ2C (IMF2C)

GR2Cの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明
IMF2C	
0	[クリア条件] (初期値) IMF2C = 1 の状態で、IMF2C を読み出した後、IMF2C に 0 を書き込んだとき。
1	[セット条件] (1) GR2C が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2C に転送されたとき。 (2) GR2C がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2C になったとき。

ビット1：入力キャプチャ/コンペアマッチフラグ2B (IMF2B)

GR2Bの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

10. アドバンスドタイムユニット-II (ATU-II)

ビット1	説 明
IMF2B	
0	[クリア条件] (初期値) IMF2B = 1 の状態で、IMF2B を読み出した後、IMF2B に 0 を書き込んだとき。
1	[セット条件] (1) GR2B が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2B に転送されたとき。 (2) GR2B がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2B になったとき。

ビット0 : 入力キャプチャ / コンペアマッチフラグ 2A (IMF2A)

GR2A の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明
IMF2A	
0	[クリア条件] (初期値) IMF2A = 1 の状態で、IMF2A を読み出した後、IMF2A に 0 を書き込んだとき。
1	[セット条件] (1) GR2A が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT2A の値が GR2A に転送されたとき。 (2) GR2A がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2A になったとき。

TSR2B

TSR2B はチャンネル 2 のコンペアマッチとオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

ビット:	7	6	5	4	3	2	1	0
	CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15~9: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8: オーバフローフラグ2B (OVF2B)

TCNT2Bのオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF2B	
0	[クリア条件] (初期値) OVF2B = 1の状態、OVF2Bを読み出した後、OVF2Bに0を書き込んだとき。
1	[セット条件] TCNT2Bの値がオーバフロー (H'FFFF H'0000) したとき。

ビット7: コンペアマッチフラグ2H (CMF2H)

OCR2Hのコンペアマッチの発生を示すステータスフラグです。

ビット7	説明
CMF2H	
0	[クリア条件] (初期値) CMF2H = 1の状態、CMF2Hを読み出した後、CMF2Hに0を書き込んだとき。
1	[セット条件] TCNT2B = OCR2Hになったとき。

ビット6: コンペアマッチフラグ2G (CMF2G)

OCR2Gのコンペアマッチの発生を示すステータスフラグです。

ビット 6	説 明
CMF2G	
0	[クリア条件] (初期値) CMF2G = 1 の状態で、CMF2G を読み出した後、CMF2G に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2G になったとき。

ビット 5 : コンペアマッチフラグ 2F (CMF2F)

OCR2F のコンペアマッチの発生を示すステータスフラグです。

ビット 5	説 明
CMF2F	
0	[クリア条件] (初期値) CMF2F = 1 の状態で、CMF2F を読み出した後、CMF2F に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2F になったとき。

ビット 4 : コンペアマッチフラグ 2E (CMF2E)

OCR2E のコンペアマッチの発生を示すステータスフラグです。

ビット 4	説 明
CMF2E	
0	[クリア条件] (初期値) CMF2E = 1 の状態で、CMF2E を読み出した後、CMF2E に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2E になったとき。

ビット 3 : コンペアマッチフラグ 2D (CMF2D)

OCR2D のコンペアマッチの発生を示すステータスフラグです。

ビット3	説 明
CMF2D	
0	[クリア条件] (初期値) CMF2D = 1 の状態で、CMF2D を読み出した後、CMF2D に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2D になったとき。

ビット2 : コンペアマッチフラグ 2C (CMF2C)

OCR2C のコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明
CMF2C	
0	[クリア条件] (初期値) CMF2C = 1 の状態で、CMF2C を読み出した後、CMF2C に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2C になったとき。

ビット1 : コンペアマッチフラグ 2B (CMF2B)

OCR2B のコンペアマッチの発生を示すステータスフラグです。

ビット1	説 明
CMF2B	
0	[クリア条件] (初期値) CMF2B = 1 の状態で、CMF2B を読み出した後、CMF2B に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2B になったとき。

ビット0 : コンペアマッチフラグ 2A (CMF2A)

OCR2A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明
CMF2A	
0	[クリア条件] (初期値) CMF2A = 1 の状態で、CMF2A を読み出した後、CMF2A に 0 を書き込んだとき。
1	[セット条件] TCNT2B = OCR2A になったとき。

(4) タイマステータスレジスタ 3 (TSR3)

TSR3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
		OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット :	7	6	5	4	3	2	1	0
	IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : オーバフローフラグ 5 (OVF5)

TCNT5 のオーバフローの発生を示すステータスフラグです。

ビット 14	説 明
OVF5	
0	[クリア条件] (初期値) OVF5 = 1 の状態で、OVF5 を読み出した後、OVF5 に 0 を書き込んだとき。
1	[セット条件] TCNT5 の値がオーバフロー (H'FFFF H'0000) したとき。

ビット13：インプットキャプチャ/コンペアマッチフラグ5D (IMF5D)

GR5Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット13	説明
IMF5D	
0	[クリア条件] (初期値) IMF5D = 1 の状態で、IMF5D を読み出した後、IMF5D に 0 を書き込んだとき。
1	[セット条件] (1) GR5D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5D に転送されたとき。 (2) GR5D がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5D になったとき。 (3) GR5D が PWM モードで周期レジスタとして機能している場合、TCNT5 = GR5D になったとき。

ビット12：インプットキャプチャ/コンペアマッチフラグ5C (IMF5C)

GR5Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグセットされません。

ビット12	説明
IMF5C	
0	[クリア条件] (初期値) IMF5C = 1 の状態で、IMF5C を読み出した後、IMF5C に 0 を書き込んだとき。
1	[セット条件] (1) GR5C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5C に転送されたとき。 (2) GR5C がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5C になったとき。

ビット11：インプットキャプチャ/コンペアマッチフラグ5B (IMF5B)

GR5Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグセットされません。

10. アドバンスドタイムユニット-II (ATU-II)

ビット 11	説 明
IMF5B	
0	[クリア条件] (初期値) IMF5B = 1 の状態で、IMF5B を読み出した後、IMF5B に 0 を書き込んだとき。
1	[セット条件] (1) GR5B が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT5 の値が GR5B に転送されたとき。 (2) GR5B がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5B になったとき。

ビット 10 : インพุットキャプチャ / コンペアマッチフラグ 5A (IMF5A)

GR5A の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグセットされません。

ビット 10	説 明
IMF5A	
0	[クリア条件] (初期値) IMF5A = 1 の状態で、IMF5A を読み出した後、IMF5A に 0 を書き込んだとき。
1	[セット条件] (1) GR5A が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT5 の値が GR5A に転送されたとき。 (2) GR5A がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5A になったとき。

ビット 9 : オーバフローフラグ 4 (OVF4)

TCNT4 のオーバーフローの発生を示すステータスフラグです。

ビット 9	説 明
OVF4	
0	[クリア条件] (初期値) OVF4 = 1 の状態で、OVF4 を読み出した後、OVF4 に 0 を書き込んだとき。
1	[セット条件] TCNT4 の値がオーバーフロー (H'FFFF H'0000) したとき。

ビット 8 : インพุットキャプチャ / コンペアマッチフラグ 4D (IMF4D)

GR4D の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 8	説 明
IMF4D	
0	[クリア条件] (初期値) IMF4D = 1 の状態で、IMF4D を読み出した後、IMF4D に 0 を書き込んだとき。
1	[セット条件] (1) GR4D が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT4 の値が GR4D に転送されたとき。 (2) GR4D が出力コンペアレジスタとして機能している場合、TCNT4 = GR4D になったとき。 (3) GR4D が PWM モードで周期レジスタとして機能している場合、TCNT4 = GR4D になったとき。

ビット7：入力キャプチャ/コンペアマッチフラグ 4C (IMF4C)

GR4Cの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグセットされません。

ビット 7	説 明
IMF4C	
0	[クリア条件] (初期値) IMF4C = 1 の状態で、IMF4C を読み出した後、IMF4C に 0 を書き込んだとき。
1	[セット条件] (1) GR4C が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT4 の値が GR4C に転送されたとき。 (2) GR4C が出力コンペアレジスタとして機能している場合、TCNT4 = GR4C になったとき。

ビット6：入力キャプチャ/コンペアマッチフラグ 4B (IMF4B)

GR4Bの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグセットされません。

ビット 6	説 明
IMF4B	
0	[クリア条件] (初期値) IMF4B = 1 の状態で、IMF4B を読み出した後、IMF4B に 0 を書き込んだとき。
1	[セット条件] (1) GR4B が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT4 の値が GR4B に転送されたとき。 (2) GR4B が出力コンペアレジスタとして機能している場合、TCNT4 = GR4B になったとき。

ビット5：インプットキャプチャ/コンペアマッチフラグ4A (IMF4A)

GR4Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグセットされません。

ビット5	説明
IMF4A	
0	[クリア条件] (初期値) IMF4A = 1 の状態で、IMF4A を読み出した後、IMF4A に 0 を書き込んだとき。
1	[セット条件] (1) GR4A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4A に転送されたとき。 (2) GR4A がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4A になったとき。

ビット4：オーバフローフラグ3 (OVF3)

TCNT3 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
OVF3	
0	[クリア条件] (初期値) OVF3 = 1 の状態で、OVF3 を読み出した後、OVF3 に 0 を書き込んだとき。
1	[セット条件] TCNT3 の値がオーバフロー (H'FFFF H'0000) したとき。

ビット3：インプットキャプチャ/コンペアマッチフラグ3D (IMF3D)

GR5Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説 明
IMF3D	
0	[クリア条件] (初期値) IMF3D = 1 の状態で、IMF3D を読み出した後、IMF3D に 0 を書き込んだとき。
1	[セット条件] (1) GR3D が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT3 の値が GR3D に転送されたとき。 ただし、チャンネル9のコンペアマッチをトリガとした入力キャプチャではセットされません。 (2) GR3D がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3D になったとき。 (3) GR3D が PWM モードで周期レジスタとして機能している場合、TCNT3 = GR3D になったとき。

ビット2：入力キャプチャ/コンペアマッチフラグ3C (IMF3C)

GR3Cの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグセットされません。

ビット2	説 明
IMF3C	
0	[クリア条件] (初期値) IMF3C = 1 の状態で、IMF3C を読み出した後、IMF3C に 0 を書き込んだとき。
1	[セット条件] (1) GR3C が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT3 の値が GR3C に転送されたとき。 ただし、チャンネル9のコンペアマッチをトリガとした入力キャプチャではセットされません。 (2) GR3C がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3C になったとき。

ビット1：入力キャプチャ/コンペアマッチフラグ3B (IMF3B)

GR5Bの入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグセットされません。

ビット1	説明
IMF3B	
0	[クリア条件] (初期値) IMF3B = 1 の状態で、IMF3B を読み出した後、IMF3B に 0 を書き込んだとき。
1	[セット条件] (1) GR3B が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT3 の値が GR3B に転送されたとき。 ただし、チャンネル 9 のコンペアマッチをトリガとした入力キャプチャではセットされません。 (2) GR3B がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3B になったとき。

ビット0 : 入力キャプチャ / コンペアマッチフラグ 3A (IMF3A)

GR3A の入力キャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグセットされません。

ビット0	説明
IMF3A	
0	[クリア条件] (初期値) IMF3A = 1 の状態で、IMF3A を読み出した後、IMF3A に 0 を書き込んだとき。
1	[セット条件] (1) GR3A が入力キャプチャレジスタとして機能している場合、入力キャプチャ信号により TCNT3 の値が GR3A に転送されたとき。 ただし、チャンネル 9 のコンペアマッチをトリガとした入力キャプチャではセットされません。 (2) GR3A がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3A になったとき。

(5) タイマステータスレジスタ 6、7 (TSR6、TSR7)

TSR6、TSR7 はチャンネル 6、7 のフリーランニングカウンタのアップカウント、ダウンカウントのステータスおよびサイクルレジスタコンペアのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
	UDxD	UDxC	UDxB	UDxA	CMFxD	CMFxC	CMFxB	CMFxA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

x = 6、7

UDxA ~ DはTSR6のみ対応しています。TSR7で対応するビットは常に0がリードされます。

ビット15~8: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット7: カウントアップ/カウントダウンフラグ6D (UD6D)

TCNT6Dのカウント動作を示すステータスフラグです。

ビット7	説明
UD6D	
0	フリーランニングカウンタ TCNT6D はアップカウント動作。
1	フリーランニングカウンタ TCNT6D はダウンカウント動作。

ビット6: カウントアップ/カウントダウンフラグ6C (UD6C)

TCNT6Cのカウント動作を示すステータスフラグです。

ビット6	説明
UD6C	
0	フリーランニングカウンタ TCNT6C はアップカウント動作。
1	フリーランニングカウンタ TCNT6C はダウンカウント動作。

ビット5: カウントアップ/カウントダウンフラグ6B (UD6B)

TCNT6Bのカウント動作を示すステータスフラグです。

ビット5	説明
UD6B	
0	フリーランニングカウンタ TCNT6B はアップカウント動作。
1	フリーランニングカウンタ TCNT6B はダウンカウント動作。

ビット4 : カウントアップ/カウントダウンフラグ 6A (UD6A)

TCNT6A のカウント動作を示すステータスフラグです。

ビット4	説明
UD6A	
0	フリーランニングカウンタ TCNT6A はアップカウント動作。
1	フリーランニングカウンタ TCNT6A はダウンカウント動作。

ビット3 : サイクルレジスタコンペアマッチフラグ 6D、7D (CMF6D、CMF7D)

CYLRxD のコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
CMFxD	
0	[クリア条件] (初期値) CMFxD = 1 の状態で、CMFxD を読み出した後、CMFxD に 0 を書き込んだとき。
1	[セット条件] TCNTxD = CYLRxD になったとき (非相補 PWM モード時)。 ダウンカウントで TCNT6D = H'0000 になったとき (相補 PWM モード時)。

x = 6、7

ビット2 : サイクルレジスタコンペアマッチフラグ 6C、7C (CMF6C、CMF7C)

CYLRxC のコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
CMFxC	
0	[クリア条件] (初期値) CMFxC = 1 の状態で、CMFxC を読み出した後、CMFxC に 0 を書き込んだとき。
1	[セット条件] TCNTxC = CYLRxC になったとき (非相補 PWM モード時)。 ダウンカウントで TCNT6C = H'0000 になったとき (相補 PWM モード時)。

x = 6、7

ビット1 : サイクルレジスタコンペアマッチフラグ 6B、7B (CMF6B、CMF7B)

CYLRxB のコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
CMFxB	
0	[クリア条件] (初期値) CMFxB = 1 の状態で、CMFxB を読み出した後、CMFxB に 0 を書き込んだとき。
1	[セット条件] TCNTxB = CYLRxB になったとき (非相補 PWM モード時)。 ダウンカウントで TCNT6B = H'0000 になったとき (相補 PWM モード時)。

x = 6、7

ビット0 : サイクルレジスタコンペアマッチフラグ 6A、7A (CMF6A、CMF7A)

CYLRxA のコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
CMFxA	
0	[クリア条件] (初期値) CMFxA = 1 の状態で、CMFxA を読み出した後、CMFxA に 0 を書き込んだとき。
1	[セット条件] TCNTxA = CYLRxA になったとき (非相補 PWM モード時)。 ダウンカウントで TCNT6A = H'0000 になったとき (相補 PWM モード時)。

x = 6、7

(6) タイマステータスレジスタ 8 (TSR8)

TSR8 はチャンネル 8 のワンショットパルスのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット :	7	6	5	4	3	2	1	0
	OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15 : ワンショットパルスフラグ 8P (OSF8P)

DCNT8P のワンショットパルスを示すステータスフラグです。

ビット 15	説 明
OSF8P	
0	[クリア条件] (初期値) OSF8P = 1 の状態で、OSF8P を読み出した後、OSF8P に 0 を書き込んだとき。
1	[セット条件] DCNT8P がアンダフローしたとき。

ビット 14 : ワンショットパルスフラグ 8O (OSF8O)

DCNT8O のワンショットパルスを示すステータスフラグです。

ビット 14	説 明
OSF8O	
0	[クリア条件] (初期値) OSF8O = 1 の状態で、OSF8O を読み出した後、OSF8O に 0 を書き込んだとき。
1	[セット条件] DCNT8O がアンダフローしたとき。

ビット 13 : ワンショットパルスフラグ 8N (OSF8N)

DCNT8N のワンショットパルスを示すステータスフラグです。

ビット 13	説 明
OSF8N	
0	[クリア条件] (初期値) OSF8N = 1 の状態で、OSF8N を読み出した後、OSF8N に 0 を書き込んだとき。
1	[セット条件] DCNT8N がアンダフローしたとき。

ビット 12 : ワンショットパルスフラグ 8M (OSF8M)

DCNT8M のワンショットパルスを示すステータスフラグです。

ビット 12	説 明
OSF8M	
0	[クリア条件] (初期値) OSF8M = 1 の状態で、OSF8M を読み出した後、OSF8M に 0 を書き込んだとき。
1	[セット条件] DCNT8M がアンダフローしたとき。

ビット 11 : ワンショットパルスフラグ 8L (OSF8L)

DCNT8L のワンショットパルスを示すステータスフラグです。

ビット 11	説 明
OSF8L	
0	[クリア条件] (初期値) OSF8L = 1 の状態で、OSF8L を読み出した後、OSF8L に 0 を書き込んだとき。
1	[セット条件] DCNT8L がアンダフローしたとき。

ビット 10 : ワンショットパルスフラグ 8K (OSF8K)

DCNT8K のワンショットパルスを示すステータスフラグです。

ビット 10	説 明
OSF8K	
0	[クリア条件] (初期値) OSF8K = 1 の状態で、OSF8K を読み出した後、OSF8K に 0 を書き込んだとき。
1	[セット条件] DCNT8K がアンダフローしたとき。

ビット 9 : ワンショットパルスフラグ 8J (OSF8J)

DCNT8J のワンショットパルスを示すステータスフラグです。

ビット 9	説 明
OSF8J	
0	[クリア条件] (初期値) OSF8J = 1 の状態で、OSF8J を読み出した後、OSF8J に 0 を書き込んだとき。
1	[セット条件] DCNT8J がアンダフローしたとき。

ビット8 : ワンショットパルスフラグ 8I (OSF8I)

DCNT8I のワンショットパルスを示すステータスフラグです。

ビット8	説明
OSF8I	
0	[クリア条件] (初期値) OSF8I = 1 の状態で、OSF8I を読み出した後、OSF8I に 0 を書き込んだとき。
1	[セット条件] DCNT8I がアンダフローしたとき。

ビット7 : ワンショットパルスフラグ 8H (OSF8H)

DCNT8H のワンショットパルスを示すステータスフラグです。

ビット7	説明
OSF8H	
0	[クリア条件] (初期値) OSF8H = 1 の状態で、OSF8H を読み出した後、OSF8H に 0 を書き込んだとき。
1	[セット条件] DCNT8H がアンダフローしたとき。

ビット6 : ワンショットパルスフラグ 8G (OSF8G)

DCNT8G のワンショットパルスを示すステータスフラグです。

ビット6	説明
OSF8G	
0	[クリア条件] (初期値) OSF8G = 1 の状態で、OSF8G を読み出した後、OSF8G に 0 を書き込んだとき。
1	[セット条件] DCNT8G がアンダフローしたとき。

ビット5 : ワンショットパルスフラグ 8F (OSF8F)

DCNT8F のワンショットパルスを示すステータスフラグです。

ビット 5	説 明
OSF8F	
0	[クリア条件] (初期値) OSF8F = 1 の状態で、OSF8F を読み出した後、OSF8F に 0 を書き込んだとき。
1	[セット条件] DCNT8F がアンダフローしたとき。

ビット 4 : ワンショットパルスフラグ 8E (OSF8E)

DCNT8E のワンショットパルスを示すステータスフラグです。

ビット 4	説 明
OSF8E	
0	[クリア条件] (初期値) OSF8E = 1 の状態で、OSF8E を読み出した後、OSF8E に 0 を書き込んだとき。
1	[セット条件] DCNT8E がアンダフローしたとき。

ビット 3 : ワンショットパルスフラグ 8D (OSF8D)

DCNT8D のワンショットパルスを示すステータスフラグです。

ビット 3	説 明
OSF8D	
0	[クリア条件] (初期値) OSF8D = 1 の状態で、OSF8D を読み出した後、OSF8D に 0 を書き込んだとき。
1	[セット条件] DCNT8D がアンダフローしたとき。

ビット 2 : ワンショットパルスフラグ 8C (OSF8C)

DCNT8C のワンショットパルスを示すステータスフラグです。

ビット 2	説 明
OSF8C	
0	[クリア条件] (初期値) OSF8C = 1 の状態で、OSF8C を読み出した後、OSF8C に 0 を書き込んだとき。
1	[セット条件] DCNT8C がアンダフローしたとき。

ビット1：ワンショットパルスフラグ8B (OSF8B)

DCNT8B のワンショットパルスを示すステータスフラグです。

ビット1	説明
OSF8B	
0	[クリア条件] (初期値) OSF8B = 1 の状態で、OSF8B を読み出した後、OSF8B に 0 を書き込んだとき。
1	[セット条件] DCNT8B がアンダフローしたとき。

ビット0：ワンショットパルスフラグ8A (OSF8A)

DCNT8A のワンショットパルスを示すステータスフラグです。

ビット0	説明
OSF8A	
0	[クリア条件] (初期値) OSF8A = 1 の状態で、OSF8A を読み出した後、OSF8A に 0 を書き込んだとき。
1	[セット条件] DCNT8A がアンダフローしたとき。

(7) タイマステータスレジスタ9 (TSR9)

TSR9 はチャンネル9のイベントカウンタがコンペアマッチのステータスを示します。

ビット：	15	14	13	12	11	10	9	8
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	7	6	5	4	3	2	1	0
			CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15~6：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5：コンペアマッチフラグ9F (CMF9F)

GR9Fのコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
CMF9F	
0	[クリア条件] (初期値) CMF9F = 1 の状態で、CMF9F を読み出した後、CMF9F に 0 を書き込んだとき。
1	[セット条件] ECNT9F = GR9F の状態で次エッジが入力されたとき。

ビット4：コンペアマッチフラグ9E (CMF9E)

GR9Eのコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
CMF9E	
0	[クリア条件] (初期値) CMF9E = 1 の状態で、CMF9E を読み出した後、CMF9E に 0 を書き込んだとき。
1	[セット条件] ECNT9E = GR9E の状態で次エッジが入力されたとき。

ビット3：コンペアマッチフラグ9D (CMF9D)

GR9Dのコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
CMF9D	
0	[クリア条件] (初期値) CMF9D = 1 の状態で、CMF9D を読み出した後、CMF9D に 0 を書き込んだとき。
1	[セット条件] ECNT9D = GR9D の状態で次エッジが入力されたとき。

ビット2：コンペアマッチフラグ9C (CMF9C)

GR9Cのコンペアマッチの発生を示すステータスフラグです。

10. アドバンスドタイムユニット-II (ATU-II)

ビット2	説 明
CMF9C	
0	[クリア条件] (初期値) CMF9C = 1 の状態で、CMF9C を読み出した後、CMF9C に 0 を書き込んだとき。
1	[セット条件] ECNT9C = GR9C の状態で次エッジが入力されたとき。

ビット1 : コンペアマッチフラグ 9B (CMF9B)

GR9B のコンペアマッチの発生を示すステータスフラグです。

ビット1	説 明
CMF9B	
0	[クリア条件] (初期値) CMF9B = 1 の状態で、CMF9B を読み出した後、CMF9B に 0 を書き込んだとき。
1	[セット条件] ECNT9B = GR9B の状態で次エッジが入力されたとき。

ビット0 : コンペアマッチフラグ 9A (CMF9A)

GR9A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明
CMF9A	
0	[クリア条件] (初期値) CMF9A = 1 の状態で、CMF9A を読み出した後、CMF9A に 0 を書き込んだとき。
1	[セット条件] ECNT9A = GR9A の状態で次エッジが入力されたとき。

(8) タイマステータスレジスタ 11 (TSR11)

TSR11 はチャンネル 11 のコンペアマッチやオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF11
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
							IMF11B	IMF11A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15~9: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8: オーバフローフラグ11 (OVF11)

TCNT11Fのオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF11	
0	[クリア条件] (初期値) OVF11=1の状態、OVF11を読み出した後、OVF11に0を書き込んだとき。
1	[セット条件] TCNT11の値がオーバフロー (H'FFFF H'0000) したとき。

ビット7~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1: コンペアマッチフラグ11B (IMF11B)

GR11Bのコンペアマッチの発生を示すステータスフラグです。

10. アドバンスドタイマユニット-II (ATU-II)

ビット1	説 明
IMF11B	
0	[クリア条件] (初期値) IMF11B=1 の状態で、IMF11B を読み出した後、IMF11B に 0 を書き込んだとき。
1	[セット条件] GR11B がアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11B になったとき。

ビット0 : コンペアマッチフラグ 11A (IMF11A)

GR11A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明
IMF11A	
0	[クリア条件] (初期値) IMF11A=1 の状態で、IMF11A を読み出した後、IMF11A に 0 を書き込んだとき。
1	[セット条件] GR11A がアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11A になったとき。

10.2.6 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトレジスタ (TIER) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6~9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3~5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「10.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TIER0	インプットキャプチャとオーバフローの割り込みの要求の許可 / 禁止を制御します。
1	TIER1A、TIER1B	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可 / 禁止を制御します。
2	TIER2A、TIER2B	
3	TIER3	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可 / 禁止を制御します。
4		
5		
6	TIER6	サイクルレジスタとのコンペアマッチの割り込みの要求の許可 / 禁止を制御します。
7	TIER7	
8	TIER8	ダウンカウンタの出力終了 (Low) の割り込みの要求の許可 / 禁止を制御します。
9	TIER9	イベントカウンタのコンペアマッチの割り込みの要求の許可 / 禁止を制御します。
11	TIER11	コンペアマッチやオーバフローの割り込みの要求の許可 / 禁止を制御します。

TIER は 16 ビットの読み出し / 書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバフロー割り込み要求、チャンネル 0 のインプットキャプチャ割り込み要求、チャンネル 1~5 のジェネラルレジスタのインプットキャプチャ / コンペアマッチ割り込み要求、チャンネル 6、7 のコンペアマッチ割り込み要求、チャンネル 8 のダウンカウンタの出力終了割り込み要求、チャンネル 9 のイベントカウンタのコンペアマッチ割り込み要求の許可 / 禁止、チャンネル 11 のジェネラルレジスタのコンペアマッチ割り込み要求を制御します。

TIER はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

(1) タイマインタラプトイネーブルレジスタ 0 (TIER0)

TIER0 はチャンネル0のインプットキャプチャおよびオーバーフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
				OVE0	ICE0D	ICE0C	ICE0B	ICE0A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 4 : オーバフローインタラプトイネーブル0 (OVE0)

TSR0のオーバーフローフラグ (OVF0) が1にセットされたとき、OVE0による割り込み要求を許可または禁止します。

ビット 4	説明
OVE0	
0	OVF0による割り込み要求 (OVF0) を禁止 (初期値)
1	OVF0による割り込み要求 (OVF0) を許可

ビット 3 : インプットキャプチャインタラプトイネーブル0D (ICE0D)

TSR0のインプットキャプチャフラグ (ICF0D) がセットされたとき、ICE0Dによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 3	説明
ICE0D	
0	ICF0Dによる割り込み要求 (ICF0D) を禁止 (初期値)
1	ICF0Dによる割り込み要求 (ICF0D) を許可

ビット2：インプットキャプチャインタラプトイネーブル0C (ICE0C)

TSR0のインプットキャプチャフラグ(ICF0C)が1にセットされたとき、ICF0Cによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット2	説明
ICE0C	
0	ICF0Cによる割り込み要求(ICI0C)を禁止 (初期値)
1	ICF0Cによる割り込み要求(ICI0C)を許可

ビット1：インプットキャプチャインタラプトイネーブル0B (ICE0B)

TSR0のインプットキャプチャフラグ(ICF0B)が1にセットされたとき、ICF0Bによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット1	説明
ICE0B	
0	ICF0Bによる割り込み要求(ICI0B)を禁止 (初期値)
1	ICF0Bによる割り込み要求(ICI0B)を許可

ビット0：インプットキャプチャインタラプトイネーブル0A (ICE0A)

TSR0のインプットキャプチャフラグ(ICF0A)が1にセットされたとき、ICF0Aによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット0	説明
ICE0A	
0	ICF0Aによる割り込み要求(ICI0A)を禁止 (初期値)
1	ICF0Aによる割り込み要求(ICI0A)を許可

(2) タイマインタラプトイネーブルレジスタ 1A、1B (TIER1A、TIER1B)

TIER1A

TIER1A はチャンネル 1 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
								OVE1A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
	IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 1A (OVE1A)

TSR1A の OVF1A が 1 にセットされたとき、OVF1A による割り込み要求を許可または禁止します。

ビット 8	説 明
OVE1A	
0	OVF1A による割り込み要求 (OVI1A) を禁止 (初期値)
1	OVF1A による割り込み要求 (OVI1A) を許可

ビット 7 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 1H (IME1H)

TSR1A の IMF1H が 1 にセットされたとき、IMF1H による割り込み要求を許可または禁止します。

ビット 7	説 明
IME1H	
0	IMF1H による割り込み要求 (IMI1H) を禁止 (初期値)
1	IMF1H による割り込み要求 (IMI1H) を許可

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル1G (IME1G)
 TSR1 AのIMF1Gが1にセットされたとき、IMF1Gによる割り込み要求を許可または禁止します。

ビット6	説明
IME1G	
0	IMF1Gによる割り込み要求 (IMI1G) を禁止 (初期値)
1	IMF1Gによる割り込み要求 (IMI1G) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル1F (IME1F)
 TSR1 AのIMF1Fが1にセットされたとき、IMF1Fによる割り込み要求を許可または禁止します。

ビット5	説明
IME1F	
0	IMF1Fによる割り込み要求 (IMI1F) を禁止 (初期値)
1	IMF1Fによる割り込み要求 (IMI1F) を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル1E (IME1E)
 TSR1 AのIMF1Eが1にセットされたとき、IMF1Eによる割り込み要求を許可または禁止します。

ビット4	説明
IME1E	
0	IMF1Eによる割り込み要求 (IMI1E) を禁止 (初期値)
1	IMF1Eによる割り込み要求 (IMI1E) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル1D (IME1D)
 TSR1 AのIMF1Dが1にセットされたとき、IMF1Dによる割り込み要求を許可または禁止します。

ビット3	説明
IME1D	
0	IMF1Dによる割り込み要求 (IMI1D) を禁止 (初期値)
1	IMF1Dによる割り込み要求 (IMI1D) を許可

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル1C (IME1C)
 TSR1 AのIMF1Cが1にセットされたとき、IMF1Cによる割り込み要求を許可または禁止します。

ビット2	説明
IME1C	
0	IMF1Cによる割り込み要求 (IMI1C) を禁止 (初期値)
1	IMF1Cによる割り込み要求 (IMI1C) を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル1B (IME1B)
 TSR1 AのIMF1Bが1にセットされたとき、IMF1Bによる割り込み要求を許可または禁止します。

ビット1	説明
IME1B	
0	IMF1Bによる割り込み要求 (IMI1B) を禁止 (初期値)
1	IMF1Bによる割り込み要求 (IMI1B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル1A (IME1A)
 TSR1 AのIMF1Aが1にセットされたとき、IMF1Aによる割り込み要求を許可または禁止します。

ビット0	説明
IME1A	
0	IMF1Aによる割り込み要求 (IMI1A) を禁止 (初期値)
1	IMF1Aによる割り込み要求 (IMI1A) を許可

TIER1B

TIER1B はチャンネル 1 のコンペアマッチやオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
								OVE1B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
								CME1
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 1B (OVE1B)

TSR1B のオーバフローフラグ (OVF1B) が 1 にセットされたとき、OVF1B による割り込み要求を許可または禁止します。

ビット 8	説明
OVE1B	
0	OVF1B による割り込み要求 (OVI1B) を禁止 (初期値)
1	OVF1B による割り込み要求 (OVI1B) を許可

ビット 7~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : コンペアマッチインタラプトイネーブル 1 (CME1)

TSR1B の CMF1 が 1 にセットされたとき、CMF1 による割り込み要求を許可または禁止します。

ビット 0	説明
CME1	
0	CMF1 による割り込み要求 (CMI1) を禁止 (初期値)
1	CMF1 による割り込み要求 (CMI1) を許可

(3) タイマインタラプトイネーブルレジスタ 2A、2B (TIER2A、TIER2B)

TIER2A

TIER2A はチャンネル 2 のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
								OVE2A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
	IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 2A (OVE2A)

TSR2A の OVF2A が 1 にセットされたとき、OVF2A による割り込み要求を許可または禁止します。

ビット 8	説明
OVE2A	
0	OVF2A による割り込み要求 (OVI2A) を禁止 (初期値)
1	OVF2A による割り込み要求 (OVI2A) を許可

ビット 7 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2H (IME2H)

TSR2A の IMF2H が 1 にセットされたとき、IMF2H による割り込み要求を許可または禁止します。

ビット 7	説明
IME2H	
0	IMF2H による割り込み要求 (IMI2H) を禁止 (初期値)
1	IMF2H による割り込み要求 (IMI2H) を許可

ビット 6 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2G (IME2G)

TSR2 A の IMF2G が 1 にセットされたとき、IMF2G による割り込み要求を許可または禁止します。

ビット 6	説 明	
IME2G		
0	IMF2G による割り込み要求 (IMI2G) を禁止	(初期値)
1	IMF2G による割り込み要求 (IMI2G) を許可	

ビット 5 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2F (IME2F)

TSR2 A の IMF2F が 1 にセットされたとき、IMF2F による割り込み要求を許可または禁止します。

ビット 5	説 明	
IME2F		
0	IMF2F による割り込み要求 (IMI2F) を禁止	(初期値)
1	IMF2F による割り込み要求 (IMI2F) を許可	

ビット 4 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2E (IME2E)

TSR2 A の IMF2E が 1 にセットされたとき、IMF2E による割り込み要求を許可または禁止します。

ビット 4	説 明	
IME2E		
0	IMF2E による割り込み要求 (IMI2E) を禁止	(初期値)
1	IMF2E による割り込み要求 (IMI2E) を許可	

ビット 3 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2D (IME2D)

TSR2 A の IMF2D が 1 にセットされたとき、IMF2D による割り込み要求を許可または禁止します。

ビット 3	説 明	
IME2D		
0	IMF2D による割り込み要求 (IMI2D) を禁止	(初期値)
1	IMF2D による割り込み要求 (IMI2D) を許可	

ビット 2 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2C (IME2C)

TSR2A の IMF2C が 1 にセットされたとき、IMF2C による割り込み要求を許可または禁止します。

ビット 2	説 明	
IME2C		
0	IMF2C による割り込み要求 (IMI2C) を禁止	(初期値)
1	IMF2C による割り込み要求 (IMI2C) を許可	

ビット 1 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2B (IME2B)

TSR2 A の IMF2B が 1 にセットされたとき、IMF2B による割り込み要求を許可または禁止します。

ビット 1	説 明	
IME2B		
0	IMF2B による割り込み要求 (IMI2B) を禁止	(初期値)
1	IMF2B による割り込み要求 (IMI2B) を許可	

ビット 0 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 2A (IME2A)

TSR2 A の IMF2A が 1 にセットされたとき、IMF2A による割り込み要求を許可または禁止します。

ビット 0	説 明	
IME2A		
0	IMF2A による割り込み要求 (IMI2A) を禁止	(初期値)
1	IMF2A による割り込み要求 (IMI2A) を許可	

TIER2B

TIER2B はチャンネル2 のオーバーフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
								OVE2B

初期値 :	0	0	0	0	0	0	0	0
R/W :								R/W

ビット :	7	6	5	4	3	2	1	0
	CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A

初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット15~9 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8 : オーバフローインタラプトイネーブル2B (OVE2B)

TSR2B の OVF2B が 1 にセットされたとき、OVF2B による割り込み要求を許可または禁止します。

ビット8	説明
OVE2B	
0	OVF2B による割り込み要求 (OVI2B) を禁止 (初期値)
1	OVF2B による割り込み要求 (OVI2B) を許可

ビット7 : コンペアマッチインタラプトイネーブル2H (CME2H)

TSR2B の CMF2H が 1 にセットされたとき、CMF2F による割り込み要求を許可または禁止します。

ビット7	説明
CME2H	
0	CMF2H による割り込み要求 (CMI2H) を禁止 (初期値)
1	CMF2H による割り込み要求 (CMI2H) を許可

ビット6：コンペアマッチインタラプトイネーブル2G (CME2G)

TSR2BのCMF2Gが1にセットされたとき、CMF2Gによる割り込み要求を許可または禁止します。

ビット6	説 明	
CME2G		
0	CMF2Gによる割り込み要求 (CMI2G) を禁止	(初期値)
1	CMF2Gによる割り込み要求 (CMI2G) を許可	

ビット5：コンペアマッチインタラプトイネーブル2F (CME2F)

TSR2BのCMF2Fが1にセットされたとき、CMF2Fによる割り込み要求を許可または禁止します。

ビット5	説 明	
CME2F		
0	CMF2Fによる割り込み要求 (CMI2F) を禁止	(初期値)
1	CMF2Fによる割り込み要求 (CMI2F) を許可	

ビット4：コンペアマッチインタラプトイネーブル2E (CME2E)

TSR2BのCMF2Eが1にセットされたとき、CMF2Eによる割り込み要求を許可または禁止します。

ビット4	説 明	
CME2E		
0	CMF2Eによる割り込み要求 (CMI2E) を禁止	(初期値)
1	CMF2Eによる割り込み要求 (CMI2E) を許可	

ビット3：コンペアマッチインタラプトイネーブル2D (CME2D)

TSR2BのCMF2Dが1にセットされたとき、CMF2Dによる割り込み要求を許可または禁止します。

ビット3	説 明	
CME2D		
0	CMF2Dによる割り込み要求 (CMI2D) を禁止	(初期値)
1	CMF2Dによる割り込み要求 (CMI2D) を許可	

ビット2：コンペアマッチインタラプトイネーブル2C (CME2C)

TSR2BのCMF2Cが1にセットされたとき、CMF2Cによる割り込み要求を許可または禁止します。

ビット2	説 明
CME2C	
0	CMF2Cによる割り込み要求(CMI2C)を禁止 (初期値)
1	CMF2Cによる割り込み要求(CMI2C)を許可

ビット1：コンペアマッチインタラプトイネーブル2B (CME2B)

TSR2BのCMF2Bが1にセットされたとき、CMF2Bによる割り込み要求を許可または禁止します。

ビット1	説 明
CME2B	
0	CMF2Bによる割り込み要求(CMI2B)を禁止 (初期値)
1	CMF2Bによる割り込み要求(CMI2B)を許可

ビット0：コンペアマッチインタラプトイネーブル2A (CME2A)

TSR2BのCMF2Aが1にセットされたとき、CMF2Aによる割り込み要求を許可または禁止します。

ビット0	説 明
CME2A	
0	CMF2Aによる割り込み要求(CMI2A)を禁止 (初期値)
1	CMF2Aによる割り込み要求(CMI2A)を許可

(4) タイマインタラプトイネーブルレジスタ 3 (TIER3)

TIER3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
		OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : オーバフローインタラプトイネーブル 5 (OVE5)

TSR3 の OVE5 が 1 にセットされたとき、OVE5 による割り込み要求を許可または禁止します。

ビット 14	説明
OVE5	
0	OVE5 による割り込み要求 (OVI5) を禁止 (初期値)
1	OVE5 による割り込み要求 (OVI5) を許可

ビット 13 : インプットキャプチャ / コンペアマッチインタラプトイネーブル 5D (IME5D)

TSR3 の IMF5D が 1 にセットされたとき、IMF5D による割り込み要求を許可または禁止します。

ビット 13	説明
IME5D	
0	IMF5D による割り込み要求 (IMI5D) を禁止 (初期値)
1	IMF5D による割り込み要求 (IMI5D) を許可

ビット12:インプットキャプチャ/コンペアマッチインタラプトイネーブル5C(IME5C)
 TSR3のIMF5Cが1にセットされたとき、IMF5Cによる割り込み要求を許可または禁止
 します。

ビット12	説 明	
IME5C		
0	IMF5Cによる割り込み要求(IMI5C)を禁止	(初期値)
1	IMF5Cによる割り込み要求(IMI5C)を許可	

ビット11:インプットキャプチャ/コンペアマッチインタラプトイネーブル5B(IME5B)
 TSR3のIMF5Bが1にセットされたとき、IMF5Bによる割り込み要求を許可または禁止
 します。

ビット11	説 明	
IME5B		
0	IMF5Bによる割り込み要求(IMI5B)を禁止	(初期値)
1	IMF5Bによる割り込み要求(IMI5B)を許可	

ビット10:インプットキャプチャ/コンペアマッチインタラプトイネーブル5A(IME5A)
 TSR3のIMF5Aが1にセットされたとき、IMF5Aによる割り込み要求を許可または禁止
 します。

ビット10	説 明	
IME5A		
0	IMF5Aによる割り込み要求(IMI5A)を禁止	(初期値)
1	IMF5Aによる割り込み要求(IMI5A)を許可	

ビット9:オーバフローインタラプトイネーブル4(OVF4)

TSR3のOVF4が1にセットされたとき、OVF4による割り込み要求を許可または禁止し
 ます。

ビット9	説 明	
OVE4		
0	OVF4 による割り込み要求 (OVI4) を禁止	(初期値)
1	OVF4 による割り込み要求 (OVI4) を許可	

ビット8：インプットキャプチャ/コンペアマッチインタラプトイネーブル4D (IME4D)
 TSR3のIMF4Dが1にセットされたとき、IMF4Dによる割り込み要求を許可または禁止
 します。

ビット8	説 明	
IME4D		
0	IMF4D による割り込み要求 (IMI4D) を禁止	(初期値)
1	IMF4D による割り込み要求 (IMI4D) を許可	

ビット7：インプットキャプチャ/コンペアマッチインタラプトイネーブル4C (IME4C)
 TSR3のIMF4Cが1にセットされたとき、IMF4Cによる割り込み要求を許可または禁止
 します。

ビット7	説 明	
IME4C		
0	IMF4C による割り込み要求 (IMI4C) を禁止	(初期値)
1	IMF4C による割り込み要求 (IMI4C) を許可	

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル4B (IME4B)
 TSR3のIMF4Bが1にセットされたとき、IMF4Bによる割り込み要求を許可または禁止
 します。

ビット6	説 明	
IME4B		
0	IMF4B による割り込み要求 (IMI4B) を禁止	(初期値)
1	IMF4B による割り込み要求 (IMI4B) を許可	

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル4A (IME4A)
 TSR3のIMF4Aが1にセットされたとき、IMF4Aによる割り込み要求を許可または禁止
 します。

ビット5	説 明	
IME4A		
0	IMF4A による割り込み要求 (IMI4A) を禁止	(初期値)
1	IMF4A による割り込み要求 (IMI4A) を許可	

ビット4 : オーバフローインタラプトイネーブル3 (OVE3)

TSR3 の OVF3 が 1 にセットされたとき、OVF3 による割り込み要求を許可または禁止します。

ビット4	説 明	
OVE3		
0	OVF3 による割り込み要求 (OVI3) を禁止	(初期値)
1	OVF3 による割り込み要求 (OVI3) を許可	

ビット3 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル3D (IME3D)

TSR3 の IMF3D が 1 にセットされたとき、IMF3D による割り込み要求を許可または禁止します。

ビット3	説 明	
IME3D		
0	IMF3D による割り込み要求 (IMI3D) を禁止	(初期値)
1	IMF3D による割り込み要求 (IMI3D) を許可	

ビット2 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル3C (IME3C)

TSR3 の IMF3C が 1 にセットされたとき、IMF3C による割り込み要求を許可または禁止します。

ビット2	説 明	
IME3C		
0	IMF3C による割り込み要求 (IMI3C) を禁止	(初期値)
1	IMF3C による割り込み要求 (IMI3C) を許可	

ビット1 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル3B (IME3B)

TSR3 の IMF3B が 1 にセットされたとき、IMF3B による割り込み要求を許可または禁止します。

ビット1	説明
IME3B	
0	IMF3B による割り込み要求 (IMI3B) を禁止 (初期値)
1	IMF3B による割り込み要求 (IMI3B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル3A (IME3A)
 TSR3のIMF3Aが1にセットされたとき、IMF3Aによる割り込み要求を許可または禁止
 します。

ビット0	説明
IME3A	
0	IMF3A による割り込み要求 (IMI3A) を禁止 (初期値)
1	IMF3A による割り込み要求 (IMI3A) を許可

(5) タイマインタラプトイネーブルレジスタ 6、7 (TIER6、TIER7)

TIER6、7はチャンネル6、7のサイクルレジスタコンペアの割り込み要求の許可/禁止を
 制御します。

ビット：	15	14	13	12	11	10	9	8
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	7	6	5	4	3	2	1	0
					CMExD	CMExC	CMExB	CMExA
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

x = 6、7

ビット15~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3 : サイクルレジスタコンペアマッチインタラプトイネーブル 6D、7D (CME6、CME7D)

TSR6、7のCMFxDが1にセットされたとき、CMFxDによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット3	説明
CMExD	
0	CMFxDによる割り込み要求(CMIxD)を禁止 (初期値)
1	CMFxDによる割り込み要求(CMIxD)を許可

x = 6、7

ビット2 : サイクルレジスタコンペアマッチインタラプトイネーブル 6C、7C (CME6C、CME7C)

TSR6、7のCMFxCが1にセットされたとき、CMFxCによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット2	説明
CMExC	
0	CMFxCによる割り込み要求(CMIxC)を禁止 (初期値)
1	CMFxCによる割り込み要求(CMIxC)を許可

x = 6、7

ビット1 : サイクルレジスタコンペアマッチインタラプトイネーブル 6B、7B (CME6B、CME7B)

TSR6、7のCMFxBが1にセットされたとき、CMFxBによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット1	説明
CMExB	
0	CMFxBによる割り込み要求(CMIxB)を禁止 (初期値)
1	CMFxBによる割り込み要求(CMIxB)を許可

x = 6、7

ビット0 : サイクルレジスタコンペアマッチインタラプトイネーブル6A、7A (CME6A、CME7A)

TSR6、7のCMFxAが1にセットされたとき、CMFxAによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット0	説明
CMExA	
0	CMFxAによる割り込み要求 (CMixA) を禁止 (初期値)
1	CMFxAによる割り込み要求 (CMixA) を許可

x = 6、7

(6) タイマインタラプトイネーブルレジスタ8 (TIER8)

TIER8はチャンネル8のワンショットパルスの割り込み要求の許可/禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット15 : ワンショットパルスインタラプトイネーブル8P (OSE8P)

TSR8のOSF8Pが1にセットされたとき、OSF8Pによる割り込み要求を許可または禁止します。

ビット15	説明
OSE8P	
0	OSF8Pによる割り込み要求 (OSI8P) を禁止 (初期値)
1	OSF8Pによる割り込み要求 (OSI8P) を許可

ビット 14 : ワンショットパルスインタラプトイネーブル 8O (OSE8O)

TSR8 の OSF8O が 1 にセットされたとき、OSF8O による割り込み要求を許可または禁止します。

ビット 14	説 明	
OSE8O		
0	OSF8O による割り込み要求 (OSI8O) を禁止	(初期値)
1	OSF8O による割り込み要求 (OSI8O) を許可	

ビット 13 : ワンショットパルスインタラプトイネーブル 8N (OSE8N)

TSR8 の OSF8N が 1 にセットされたとき、OSF8N による割り込み要求を許可または禁止します。

ビット 13	説 明	
OSE8N		
0	OSF8N による割り込み要求 (OSI8N) を禁止	(初期値)
1	OSF8N による割り込み要求 (OSI8N) を許可	

ビット 12 : ワンショットパルスインタラプトイネーブル 8M (OSE8M)

TSR8 の OSF8M が 1 にセットされたとき、OSF8M による割り込み要求を許可または禁止します。

ビット 12	説 明	
OSE8M		
0	OSF8M による割り込み要求 (OSI8M) を禁止	(初期値)
1	OSF8M による割り込み要求 (OSI8M) を許可	

ビット 11 : ワンショットパルスインタラプトイネーブル 8L (OSE8L)

TSR8 の OSF8L が 1 にセットされたとき、OSF8L による割り込み要求を許可または禁止します。

ビット 11	説 明	
OSE8L		
0	OSF8L による割り込み要求 (OSI8L) を禁止	(初期値)
1	OSF8L による割り込み要求 (OSI8L) を許可	

ビット10：ワンショットパルスインタラプトイネーブル8K (OSE8K)

TSR8のOSF8Kが1にセットされたとき、OSF8Kによる割り込み要求を許可または禁止します。

ビット10	説 明	
OSE8K		
0	OSF8Kによる割り込み要求 (OSI8K) を禁止	(初期値)
1	OSF8Kによる割り込み要求 (OSI8K) を許可	

ビット9：ワンショットパルスインタラプトイネーブル8J (OSE8J)

TSR8のOSF8Jが1にセットされたとき、OSF8Jによる割り込み要求を許可または禁止します。

ビット9	説 明	
OSE8J		
0	OSF8Jによる割り込み要求 (OSI8J) を禁止	(初期値)
1	OSF8Jによる割り込み要求 (OSI8J) を許可	

ビット8：ワンショットパルスインタラプトイネーブル8I (OSE8I)

TSR8のOSF8Iが1にセットされたとき、OSF8Iによる割り込み要求を許可または禁止します。

ビット8	説 明	
OSE8I		
0	OSF8Iによる割り込み要求 (OSI8I) を禁止	(初期値)
1	OSF8Iによる割り込み要求 (OSI8I) を許可	

ビット7：ワンショットパルスインタラプトイネーブル8H (OSE8H)

TSR8のOSF8Hが1にセットされたとき、OSF8Hによる割り込み要求を許可または禁止します。

ビット7	説 明	
OSE8H		
0	OSF8Hによる割り込み要求 (OSI8H) を禁止	(初期値)
1	OSF8Hによる割り込み要求 (OSI8H) を許可	

ビット6：ワンショットパルスインタラプトイネーブル8G (OSE8G)

TSR8のOSF8Gが1にセットされたとき、OSF8Gによる割り込み要求を許可または禁止します。

ビット6	説明
OSE8G	
0	OSF8Gによる割り込み要求(OSI8G)を禁止 (初期値)
1	OSF8Gによる割り込み要求(OSI8G)を許可

ビット5：ワンショットパルスインタラプトイネーブル8F (OSE8F)

TSR8のOSF8Fが1にセットされたとき、OSF8Fによる割り込み要求を許可または禁止します。

ビット5	説明
OSE8F	
0	OSF8Fによる割り込み要求(OSI8F)を禁止 (初期値)
1	OSF8Fによる割り込み要求(OSI8F)を許可

ビット4：ワンショットパルスインタラプトイネーブル8E (OSE8E)

TSR8のOSF8Eが1にセットされたとき、OSF8Eによる割り込み要求を許可または禁止します。

ビット4	説明
OSE8E	
0	OSF8Eによる割り込み要求(OSI8E)を禁止 (初期値)
1	OSF8Eによる割り込み要求(OSI8E)を許可

ビット3：ワンショットパルスインタラプトイネーブル8D (OSE8D)

TSR8のOSF8Dが1にセットされたとき、OSF8Dによる割り込み要求を許可または禁止します。

ビット3	説明
OSE8D	
0	OSF8Dによる割り込み要求(OSI8D)を禁止 (初期値)
1	OSF8Dによる割り込み要求(OSI8D)を許可

ビット2：ワンショットパルスインタラプトイネーブル8C (OSE8C)

TSR8のOSF8Cが1にセットされたとき、OSF8Cによる割り込み要求を許可または禁止します。

ビット2	説明
OSE8C	
0	OSF8Cによる割り込み要求(OSI8C)を禁止 (初期値)
1	OSF8Cによる割り込み要求(OSI8C)を許可

ビット1：ワンショットパルスインタラプトイネーブル8B (OSE8B)

TSR8のOSF8Bが1にセットされたとき、OSF8Bによる割り込み要求を許可または禁止します。

ビット1	説明
OSE8B	
0	OSF8Bによる割り込み要求(OSI8B)を禁止 (初期値)
1	OSF8Bによる割り込み要求(OSI8B)を許可

ビット0：ワンショットパルスインタラプトイネーブル8A (OSE8A)

TSR8のOSF8Aが1にセットされたとき、OSF8Aによる割り込み要求を許可または禁止します。

ビット0	説明
OSE8A	
0	OSF8Aによる割り込み要求(OSI8A)を禁止 (初期値)
1	OSF8Aによる割り込み要求(OSI8A)を許可

(7) タイマインタラプトイネーブルレジスタ9 (TIER9)

TIER9はチャンネル9のコンペアマッチの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
			CME9F	CME9E	CME9D	CME9C	CME9B	CME9A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット15~6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5: コンペアマッチインタラプトイネーブル9F (CME9F)

TSR9のCMF9Fが1にセットされたとき、CMF9Fによる割り込み要求を許可または禁止します。

ビット5	説明
CME9F	
0	CMF9Fによる割り込み要求 (CMI9F) を禁止 (初期値)
1	CMF9Fによる割り込み要求 (CMI9F) を許可

ビット4: コンペアマッチインタラプトイネーブル9E (CME9E)

TSR9のCMF9Eが1にセットされたとき、CMF9Eによる割り込み要求を許可または禁止します。

ビット4	説明
CME9E	
0	CMF9Eによる割り込み要求 (CMI9E) を禁止 (初期値)
1	CMF9Eによる割り込み要求 (CMI9E) を許可

ビット3: コンペアマッチインタラプトイネーブル9D (CME9D)

TSR9のCMF9Dが1にセットされたとき、CMF9Dによる割り込み要求を許可または禁止します。

ビット3	説明
CME9D	
0	CMF9Dによる割り込み要求 (CMI9D) を禁止 (初期値)
1	CMF9Dによる割り込み要求 (CMI9D) を許可

ビット2: コンペアマッチインタラプトイネーブル9C (CME9C)

TSR9のCMF9Cが1にセットされたとき、CMF9Cによる割り込み要求を許可または禁止します。

10. アドバンスドタイムユニット-II (ATU-II)

ビット2	説 明
CME9C	
0	CMF9C による割り込み要求 (CMI9C) を禁止 (初期値)
1	CMF9C による割り込み要求 (CMI9C) を許可

ビット1：コンペアマッチインタラプトイネーブル9B (CME9B)

TSR9のCMF9Bが1にセットされたとき、CMF9Bによる割り込み要求を許可または禁止します。

ビット1	説 明
CME9B	
0	CMF9B による割り込み要求 (CMI9B) を禁止 (初期値)
1	CMF9B による割り込み要求 (CMI9B) を許可

ビット0：コンペアマッチインタラプトイネーブル9A (CME9A)

TSR9のCMF9Aが1にセットされたとき、CMF9Aによる割り込み要求を許可または禁止します。

ビット0	説 明
CME9A	
0	CMF9A による割り込み要求 (CMI9A) を禁止 (初期値)
1	CMF9A による割り込み要求 (CMI9A) を許可

(8) タイマインタラプトイネーブルレジスタ 11 (TIER11)

TIER11はチャンネル11のコンペアマッチやオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
								OVE11

初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット：	7	6	5	4	3	2	1	0
							IME11B	IME11A

初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット15～9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：オーバフローインタラプトイネーブル11 (OVE11)

TSR11のOVF11が1にセットされたとき、OVF11による割り込み要求を許可または禁止します。

ビット8	説 明	
OVE11		
0	OVF11による割り込み要求 (OVI11) を禁止	(初期値)
1	OVF11による割り込み要求 (OVI11) を許可	

ビット7～2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1：コンペアマッチインタラプトイネーブル11B (IME11B)

TSR11のIMF11Bが1にセットされたとき、IMF11Bによる割り込み要求を許可または禁止します。

ビット1	説 明	
IME11B		
0	IMF11Bによる割り込み要求 (IMI11B) を禁止	(初期値)
1	IMF11Bによる割り込み要求 (IMI11B) を許可	

ビット0：コンペアマッチインタラプトイネーブル11A (IME11A)

TSR11のIMF11Aが1にセットされたとき、IMF11Aによる割り込み要求を許可または禁止します。

ビット0	説 明	
IME11A		
0	IMF11Aによる割り込み要求 (IMI11A) を禁止	(初期値)
1	IMF11Aによる割り込み要求 (IMI11A) を許可	

10.2.7 インターバルインタラプトリクエストレジスタ (ITVRR)

インターバルインタラプトリクエストレジスタ (ITVRR) は 8 ビットのレジスタです。
ATU-II には、チャンネル 0 に 3 本のレジスタがあります。

チャンネル	略 称	機 能
0	ITVRR1	TCNT0 のビット 6~9 にインターバル割り込み発生
	ITVRR2A	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D0 変換器起動
	ITVRR2B	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D1 変換器起動

(1) インターバルインタラプトレジスタ 1 (ITVRR1)

ビット:	7	6	5	4	3	2	1	0
					ITVE9	ITVE8	ITVE7	ITVE6
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターバルインタラプトリクエストレジスタ 1 (ITVRR1) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 のフリーランニングカウンタ (TCNT0) の対応するビットの立ち上がりを検出して周期的な割り込み要求をします。

ITVRR1 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット3：インターバルインタラプトビット9 (ITVE9)

TCNT0 のビット 9 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 9 の立ち上がりと ITVE9 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 3	説 明
ITVE9	
0	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を許可

ビット2：インターバルインタラプトビット8 (ITVE8)

TCNT0 のビット 8 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 8 の立ち上がりと ITVE8 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 2	説 明
ITVE8	
0	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を許可

ビット1：インターバルインタラプトビット7 (ITVE7)

TCNT0 のビット 7 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 7 の立ち上がりと ITVE7 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 1	説 明
ITVE7	
0	TCNT0 のビット 7 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 7 の立ち上がりで割り込み要求 (ITV1) を許可

ビット0：インターバルインタラプトビット6 (ITVE6)

TCNT0 のビット 6 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 6 の立ち上がりと ITVE6 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット0	説明
ITVE6	
0	TCNT0 のビット 6 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 6 の立ち上がりで割り込み要求 (ITV1) を許可

(2) インターバルインタラプトレジスタ 2A、2B (ITVRR2A、ITVRR2B)

ビット	7	6	5	4	3	2	1	0
	ITVA13x	ITVA12x	ITVA11x	ITVA10x	ITVE13x	ITVE12x	ITVE11x	ITVE10x
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

x=A、B

ビット7：A/D0、1 変換器インターバル起動ビット 13A、13B (ITVA13A、13B)

TCNT0 のビット 13 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 13 の立ち上がりと ITVA13x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット7	説明
ITVA13x	
0	TCNT0 のビット 13 の立ち上がりで A/D0、1 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 13 の立ち上がりで A/D0、1 変換器の起動を許可

x=A、B

ビット6 : A/D0、1変換器インターバル起動ビット 12A、12B (ITVA12A、12B)

TCNT0のビット12に対応したA/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1)変換器への起動の設定ビットです。TCNT0のビット12の立ち上がりとITVA12xでANDをとり、A/D0、1変換器へ起動信号として出力します。

ビット6	説明
ITVA12x	
0	TCNT0のビット12の立ち上がりでA/D0、1変換器の起動を禁止 (初期値)
1	TCNT0のビット12の立ち上がりでA/D0、1変換器の起動を許可

x=A、B

ビット5 : A/D0、1変換器インターバル起動ビット 11A、11B (ITVA11A、11B)

TCNT0のビット11に対応したA/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1)変換器への起動の設定ビットです。TCNT0のビット11の立ち上がりとITVA11xでANDをとり、A/D0、1変換器へ起動信号として出力します。

ビット5	説明
ITVA11x	
0	TCNT0のビット11の立ち上がりでA/D0、1変換器の起動を禁止 (初期値)
1	TCNT0のビット11の立ち上がりでA/D0、1変換器の起動を許可

x=A、B

ビット4 : A/D0、1変換器インターバル起動ビット 10A、10B (ITVA10A、10B)

TCNT0のビット10に対応したA/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1)変換器への起動の設定ビットです。TCNT0のビット10の立ち上がりとITVA10xでANDをとり、A/D0、1変換器へ起動信号として出力します。

ビット4	説明
ITVA10x	
0	TCNT0のビット10の立ち上がりでA/D0、1変換器の起動を禁止 (初期値)
1	TCNT0のビット10の立ち上がりでA/D0、1変換器の起動を許可

x=A、B

ビット3：インターバルインタラプトビット 13A、13B (ITVE13A、13B)

TCNT0 のビット 13 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 13 の立ち上がりと ITVE13x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 3	説 明
ITVE13x	
0	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット2：インターバルインタラプトビット 12A、12B (ITVE12A、12B)

TCNT0 のビット 12 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 12 の立ち上がりと ITVE12x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 2	説 明
ITVE12x	
0	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット1：インターバルインタラプトビット 11A、11B (ITVE11A、11B)

TCNT0 のビット 11 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 11 の立ち上がりと ITVE11x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 1	説 明
ITVE11x	
0	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット0：インターバルインタラプトビット10A、10B (ITVE10A、10B)

TCNT0 のビット 10 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 10 の立ち上がりと ITVE10x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット0	説明
ITVE10x	
0	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

詳細は「10.3.7 インターバルタイマ機能」を参照してください。

10.2.8 トリガモードレジスタ (TRGMDR)

トリガモードレジスタ (TRGMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット：	7	6	5	4	3	2	1	0
	TRGMD							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

TRGMDR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 1 とチャンネル 8 を連結して使用する場合のチャンネル 1 のコンペアマッチをチャンネル 8 のワンショットパルススタートトリガとして使用するかワンショットパルスのターミネートトリガとして使用するかを選択します。

TRGMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7：トリガモードセレクションレジスタ (TRGMD)

チャンネル8のワンショットパルスのスタートトリガ/ワンショットパルスターミネートトリガの設定を選択します。

ビット7	説 明	
TRGMD		
0	ワンショットパルススタートトリガ (TCNT1B = OCR1) ワンショットパルスターミネートトリガ (TCNT1A = GR1A ~ H)	(初期値)
1	ワンショットパルススタートトリガ (TCNT1A = GR1A ~ H) ワンショットパルスターミネートトリガ (TCNT1B = OCR1)	

ビット6~0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10.2.9 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は8ビットのレジスタです。ATU-IIには1本のレジスタがあります。

ビット：	7	6	5	4	3	2	1	0
						T5PWM	T4PWM	T3PWM
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

TMDR は8ビットの読み出し/書き込み可能なレジスタで、チャンネル3~5をインプットキャプチャ/アウトプットコンペアモードとして使用するか、PWMモードとして使用するかの設定を行います。

TMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

ビット7~3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PWM モード 5 (T5PWM)

チャンネル 5 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説 明
T5PWM	
0	チャンネル 5 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 5 は PWM モード機能を選択

T5PWM ビットを 1 にセットして PWM モードにすると、TIO5A ~ TIO5C 端子は PWM 出力端子となり、ジェネラルレジスタ 5D (GR5D) がサイクルレジスタで、ジェネラルレジスタ 5A ~ 5C (GR5A ~ GR5C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR5A、B) の設定は無効となり、ジェネラルレジスタ (GR5A ~ D) への書き込みが可能です。TIO5D 端子はタイマ出力として使用しないでください。

ビット 1 : PWM モード 4 (T4PWM)

チャンネル 4 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説 明
T4PWM	
0	チャンネル 4 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 4 は PWM モード機能を選択

T4PWM ビットを 1 にセットして PWM モードにすると、TIO4A ~ TIO4C 端子は PWM 出力端子となり、ジェネラルレジスタ 4D (GR4D) がサイクルレジスタで、ジェネラルレジスタ 4A ~ 4C (GR4A ~ GR4C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR4A、B) の設定は無効となり、ジェネラルレジスタ (GR4A ~ D) への書き込みが可能です。TIO4D 端子はタイマ出力として使用しないでください。

ビット0 : PWM モード3 (T3PWM)

チャンネル3 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット0	説明
T3PWM	
0	チャンネル3 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル3 はPWM モード機能を選択

T3PWM ビットを1 にセットして PWM モードにすると、TIO3A ~ TIO3C 端子は PWM 出力端子となり、ジェネラルレジスタ 3D (GR3D) がサイクルレジスタで、ジェネラルレジスタ 3A ~ 3C (GR4A ~ GR4C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR3A、B) の設定は無効となり、ジェネラルレジスタ (GR3A ~ D) への書き込みが可能です。TIO3D 端子はタイマ出力として使用しないでください。

10.2.10 PWM モードレジスタ (PMDR)

PWM モードレジスタ (PMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMDR は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル6 を PWM 出力をオンデューティ/オフデューティに設定するかまたは非相補 PWM モード/相補 PWM モードに設定するか選択します。

PMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7：デューティセレクションレジスタD (DTSELD)

チャンネル6DのTO6D出力PWMをオンデューティに設定するかオフデューティに設定するかを選択します。

ビット7	説 明
DTSELD	
0	TO6DのPWM出力はオンデューティ (初期値)
1	TO6DのPWM出力はオフデューティ

ビット6：デューティセレクションレジスタC (DTSELC)

チャンネル6CのTO6C出力PWMをオンデューティに設定するかオフデューティに設定するかを選択します。

ビット6	説 明
DTSELC	
0	TO6CのPWM出力はオンデューティ (初期値)
1	TO6CのPWM出力はオフデューティ

ビット5：デューティセレクションレジスタB (DTSELB)

チャンネル6BのTO6B出力PWMをオンデューティに設定するかオフデューティに設定するかを選択します。

ビット5	説 明
DTSELB	
0	TO6BのPWM出力はオンデューティ (初期値)
1	TO6BのPWM出力はオフデューティ

ビット4：デューティセレクションレジスタA (DTSELA)

チャンネル6AのTO6A出力PWMをオンデューティに設定するかオフデューティに設定するかを選択します。

ビット4	説 明
DTSELA	
0	TO6AのPWM出力はオンデューティ (初期値)
1	TO6AのPWM出力はオフデューティ

ビット3 : カウンタセレクションレジスタ D (CNTSELD)

チャンネル 6D の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 3	説 明
CNTSELD	
0	TCNT6D は非相補 PWM モード (初期値)
1	TCNT6D は相補 PWM モード

ビット2 : カウンタセレクションレジスタ C (CNTSELC)

チャンネル 6C の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 2	説 明
CNTSELC	
0	TCNT6C は非相補 PWM モード (初期値)
1	TCNT6C は相補 PWM モード

ビット1 : カウンタセレクションレジスタ B (CNTSELB)

チャンネル 6B の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 1	説 明
CNTSELB	
0	TCNT6B は非相補 PWM モード (初期値)
1	TCNT6B は相補 PWM モード

ビット0 : カウンタセレクションレジスタ A (CNTSELA)

チャンネル 6A の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 0	説 明
CNTSELA	
0	TCNT6A は非相補 PWM モード (初期値)
1	TCNT6A は相補 PWM モード

10.2.11 ダウンカウントスタートレジスタ (DSTR)

ダウンカウントスタートレジスタ (DSTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	15	14	13	12	11	10	9	8
	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*
ビット:	7	6	5	4	3	2	1	0
	DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 1 のみ書き込み可能です。

ダウンカウントスタートレジスタ (DSTR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 8 のダウンカウンタ (DCNT) の動作開始を選択します。

ワンショットパルス機能の場合は、ユーザプログラムにより任意に DST8x に 1 のみを設定することができます。ただし、対応する DCNT8x が H'0000 の場合は 1 を設定することはできません。また、DCNT の値がアンダフローするタイミングで自動的に DST8x は 0 にクリアされます。

オフセット付ワンショットパルス機能の場合は、対応するタイマコネクションレジスタ (TCNR) のビットが 1 の状態で、チャンネル 1、2 のフリーランニングカウンタ (TCNT) とジェネラルレジスタ (GR) またはアウトプットコンペアレジスタ (OCR1) のコンペアマッチが発生すると、DST8x は自動的に 1 にセットされます。ただし、DCNT8x の値が H'0000 の場合はセットされません。また DST8I~P については、リロードイネーブルレジスタ (RLDENR) の RLDEN ビットが 1 に設定されており、かつリロードレジスタ (RLDR8) が H'0000 でなければ、対応する DCNT8x にリロードが行われ、DST8x ビットに 1 がセットされます。また、DST8x のクリアの場合は DCNT8x の値がアンダフローするタイミングで自動的に 0 にクリアされるか、対応するワンショットパルスターミネートレジスタ (OTR) のビットが 1 の状態でトリガモードレジスタ (TRGMDR) で設定したチャンネル 1、2 のワンショットターミネートトリガ信号が入力されるかいずれか先に発生した方でクリアされます。

なお、DCNT8x はアンダフローするタイミングで H'0000 にクリアされます。

DSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳細は「10.3.5 ワンショットパルス機能」、および「10.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : ダウンカウントスタート 8P (DST8P)

ダウンカウンタ 8P (DCNT8P) の動作開始を選択します。

ビット 15	説 明
DST8P	
0	DCNT8P のカウント停止 (初期値) [クリア条件] DCNT8P 値がアンダフローするタイミングおよび チャンネル 2 (GR2H) のコンペアマッチ
1	DCNT8P はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8P H'0000) オフセット付ワンショットパルス機能 : OCR2H のコンペアマッチ発生時 (DCNT8P H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8P H'0000)

ビット 14 : ダウンカウントスタート 8O (DST8O)

ダウンカウンタ 8O (DCNT8O) の動作開始を選択します。

ビット 14	説 明
DST8O	
0	DCNT8O のカウント停止 (初期値) [クリア条件] DCNT8O 値がアンダフローするタイミングおよび チャンネル 2 (GR2G) のコンペアマッチ
1	DCNT8O はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8O H'0000) オフセット付ワンショットパルス機能 : OCR2G のコンペアマッチ発生時 (DCNT8O H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8O H'0000)

ビット 13 : ダウンカウントスタート 8N (DST8N)

ダウンカウンタ 8N (DCNT8N) の動作開始を選択します。

ビット 13	説 明
DST8N	
0	DCNT8N のカウント停止 (初期値) [クリア条件] DCNT8N 値がアンダフローするタイミングおよび チャンネル 2 (GR2F) のコンペアマッチ
1	DCNT8N はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8N H'0000) オフセット付ワンショットパルス機能 : OCR2F のコンペアマッチ発生時 (DCNT8N H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8N H'0000)

ビット 12 : ダウンカウントスタート 8M (DST8M)

ダウンカウンタ 8M (DCNT8M) の動作開始を選択します。

ビット 12	説 明
DST8M	
0	DCNT8M のカウント停止 (初期値) [クリア条件] DCNT8M 値がアンダフローするタイミングおよび チャンネル 2 (GR2E) のコンペアマッチ
1	DCNT8M はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8M H'0000) オフセット付ワンショットパルス機能 : OCR2E のコンペアマッチ発生時 (DCNT8M H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8M H'0000)

ビット11：ダウンカウントスタート 8L (DST8L)

ダウンカウンタ 8L (DCNT8L) の動作開始を選択します。

ビット11	説明
DST8L	
0	DCNT8L のカウント停止 (初期値) [クリア条件] DCNT8L 値がアンダフローするタイミングおよび チャンネル2 (GR2D) のコンペアマッチ
1	DCNT8L はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8L H'0000) オフセット付ワンショットパルス機能 : OCR2D のコンペアマッチ発生時 (DCNT8L H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8L H'0000)

ビット10：ダウンカウントスタート 8K (DST8K)

ダウンカウンタ 8K (DCNT8K) の動作開始を選択します。

ビット10	説明
DST8K	
0	DCNT8K のカウント停止 (初期値) [クリア条件] DCNT8K 値がアンダフローするタイミングおよび チャンネル2 (GR2C) のコンペアマッチ
1	DCNT8K はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8K H'0000) オフセット付ワンショットパルス機能 : OCR2C のコンペアマッチ発生時 (DCNT8K H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8K H'0000)

ビット9 : ダウンカウントスタート 8J (DST8J)

ダウンカウンタ 8J (DCNT8J) の動作開始を選択します。

ビット9	説明
DST8J	
0	DCNT8J のカウント停止 (初期値) [クリア条件] DCNT8J 値がアンダフローするタイミングおよび チャンネル2 (GR2B) のコンペアマッチ
1	DCNT8J はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8J H'0000) オフセット付ワンショットパルス機能 : OCR2B のコンペアマッチ発生時 (DCNT8J H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8J H'0000)

ビット8 : ダウンカウントスタート 8I (DST8I)

ダウンカウンタ 8I (DCNT8I) の動作開始を選択します。

ビット8	説明
DST8I	
0	DCNT8I のカウント停止 (初期値) [クリア条件] DCNT8I 値がアンダフローするタイミングおよび チャンネル2 (GR2A) のコンペアマッチ
1	DCNT8I はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8I H'0000) オフセット付ワンショットパルス機能 : OCR2A のコンペアマッチ発生時 (DCNT8I H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8I H'0000)

ビット7：ダウンカウントスタート 8H (DST8H)

ダウンカウンタ 8H (DCNT8H) の動作開始を選択します。

ビット7	説明
DST8H	
0	DCNT8H のカウント停止 (初期値) [クリア条件] DCNT8H 値がアンダフローするタイミングおよび チャンネル 1 (GR1H または OCR1) のコンペアマッチ
1	DCNT8H はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8H H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1H のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8H H'0000)

ビット6：ダウンカウントスタート 8G (DST8G)

ダウンカウンタ 8G (DCNT8G) の動作開始を選択します。

ビット6	説明
DST8G	
0	DCNT8G のカウント停止 (初期値) [クリア条件] DCNT8G 値がアンダフローするタイミングおよび チャンネル 1 (GR1G または OCR1) のコンペアマッチ
1	DCNT8G はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8G H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1G のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8G H'0000)

ビット5 : ダウンカウントスタート 8F (DST8F)

ダウンカウンタ 8F (DCNT8F) の動作開始を選択します。

ビット5	説明
DST8F	
0	DCNT8F のカウント停止 (初期値) [クリア条件] DCNT8F 値がアンダフローするタイミングおよび チャンネル1 (GR1F または OCR1) のコンペアマッチ
1	DCNT8F はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8F H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1F のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8F H'0000)

ビット4 : ダウンカウントスタート 8E (DST8E)

ダウンカウンタ 8E (DCNT8E) の動作開始を選択します。

ビット4	説明
DST8E	
0	DCNT8E のカウント停止 (初期値) [クリア条件] DCNT8E 値がアンダフローするタイミングおよび チャンネル1 (GR1E または OCR1) のコンペアマッチ
1	DCNT8E はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8E H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1E のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8E H'0000)

ビット3 : ダウンカウントスタート 8D (DST8D)

ダウンカウンタ 8D (DCNT8D) の動作開始を選択します。

ビット3	説明
DST8D	
0	DCNT8D のカウント停止 (初期値) [クリア条件] DCNT8D 値がアンダフローするタイミングおよび チャンネル1 (GR1D または OCR1) のコンペアマッチ
1	DCNT8D はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8D H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1D のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8D H'0000)

ビット2 : ダウンカウントスタート 8C (DST8C)

ダウンカウンタ 8C (DCNT8C) の動作開始を選択します。

ビット2	説明
DST8C	
0	DCNT8C のカウント停止 (初期値) [クリア条件] DCNT8C 値がアンダフローするタイミングおよび チャンネル1 (GR1C または OCR1) のコンペアマッチ
1	DCNT8C はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8C H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1C のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8C H'0000)

ビット1 : ダウンカウントスタート 8B (DST8B)

ダウンカウンタ 8B (DCNT8B) の動作開始を選択します。

ビット1	説明
DST8B	
0	DCNT8B のカウント停止 (初期値) [クリア条件] DCNT8B 値がアンダフローするタイミングおよび チャンネル1 (GR1B または OCR1) のコンペアマッチ
1	DCNT8B はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8B H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1B のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8B H'0000)

ビット0 : ダウンカウントスタート 8A (DST8A)

ダウンカウンタ 8A (DCNT8A) の動作開始を選択します。

ビット0	説明
DST8A	
0	DCNT8A のカウント停止 (初期値) [クリア条件] DCNT8A 値がアンダフローするタイミングおよび チャンネル1 (GR1A または OCR1) のコンペアマッチ
1	DCNT8A はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8A H'0000) オフセット付ワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1A のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8A H'0000)

10.2.12 タイマコネクションレジスタ (TCNR)

タイマコネクションレジスタ (TCNR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	15	14	13	12	11	10	9	8
	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマコネクションレジスタ (TCNR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 8 のダウンカウントスタートレジスタ (DSTR) とチャンネル 1、2 のコンペアマッチ信号 (ダウンカウントスタートトリガ) との接続許可 / 禁止を設定します。チャンネル 1 のダウンカウントスタートトリガ A~H はチャンネル 1 の OCR1 のコンペアマッチ信号または GR1x のコンペアマッチ信号 (TRGMDR で設定) です。チャンネル 2 のダウンカウントスタートトリガ A~H はチャンネル 2 の OCR2x のコンペアマッチ信号です。

GR1x のコンペアマッチを使用する場合は、TIOR1A~D をコンペアマッチ可能に設定してください。

TCNR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳細は「10.3.5 ワンショットパルス機能」、および「10.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : コネクションフラグ 8P (CN8P)

DST8P とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 15	説明
CN8P	
0	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を許可

ビット 14 : コネクションフラグ 8O (CN8O)

DST8O とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 14	説 明
CN8O	
0	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を禁止 (初期値)
1	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を許可

ビット 13 : コネクションフラグ 8N (CN8N)

DST8N とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 13	説 明
CN8N	
0	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を禁止 (初期値)
1	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を許可

ビット 12 : コネクションフラグ 8M (CN8M)

DST8M とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 12	説 明
CN8M	
0	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を禁止 (初期値)
1	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を許可

ビット 11 : コネクションフラグ 8L (CN8L)

DST8L とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 11	説 明
CN8L	
0	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を禁止 (初期値)
1	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を許可

ビット 10 : コネクションフラグ 8K (CN8K)

DST8K とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 10	説 明
CN8K	
0	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を禁止 (初期値)
1	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を許可

ビット 9 : コネクションフラグ 8J (CN8J)

DST8J とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 9	説 明
CN8J	
0	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を禁止 (初期値)
1	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を許可

ビット 8 : コネクションフラグ 8I (CN8I)

DST8I とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 8	説 明
CN8I	
0	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を禁止 (初期値)
1	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を許可

ビット 7 : コネクションフラグ 8H (CN8H)

DST8H とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 7	説 明
CN8H	
0	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を許可

ビット6：コネクションフラグ8G (CN8G)

DST8G とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット6	説 明
CN8G	
0	DST8G とチャンネル1のダウンカウントスタートトリガGとの接続を禁止 (初期値)
1	DST8G とチャンネル1のダウンカウントスタートトリガGとの接続を許可

ビット5：コネクションフラグ8F (CN8F)

DST8F とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット5	説 明
CN8F	
0	DST8F とチャンネル1のダウンカウントスタートトリガFとの接続を禁止 (初期値)
1	DST8F とチャンネル1のダウンカウントスタートトリガFとの接続を許可

ビット4：コネクションフラグ8E (CN8E)

DST8E とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット4	説 明
CN8E	
0	DST8E とチャンネル1のダウンカウントスタートトリガEとの接続を禁止 (初期値)
1	DST8E とチャンネル1のダウンカウントスタートトリガEとの接続を許可

ビット3：コネクションフラグ8D (CN8D)

DST8D とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット3	説 明
CN8D	
0	DST8D とチャンネル1 のダウンカウントスタートトリガ D との接続を禁止 (初期値)
1	DST8D とチャンネル1 のダウンカウントスタートトリガ D との接続を許可

ビット2：コネクションフラグ8C (CN8C)

DST8C とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット2	説 明
CN8C	
0	DST8C とチャンネル1 のダウンカウントスタートトリガ C との接続を禁止 (初期値)
1	DST8C とチャンネル1 のダウンカウントスタートトリガ C との接続を許可

ビット1：コネクションフラグ8B (CN8B)

DST8B とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット1	説 明
CN8B	
0	DST8B とチャンネル1 のダウンカウントスタートトリガ B との接続を禁止 (初期値)
1	DST8B とチャンネル1 のダウンカウントスタートトリガ B との接続を許可

ビット0：コネクションフラグ8A (CN8A)

DST8A とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット0	説明
CN8A	
0	DST8A とチャンネル1のダウンカウントスタートトリガAとの接続を禁止 (初期値)
1	DST8A とチャンネル1のダウンカウントスタートトリガAとの接続を許可

10.2.13 ワンショットパルスターミネートレジスタ (OTR)

ワンショットパルスターミネートレジスタ (OTR) は16ビットのレジスタです。ATU-IIには、チャンネル8に1本のレジスタがあります。

ビット：	15	14	13	12	11	10	9	8
	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ワンショットパルスターミネートレジスタ (OTR) は16ビットの読み出し / 書き込み可能なレジスタで、チャンネル1、2のコンペアマッチ信号によりチャンネル8のワンショットパルス強制終了を許可 / 禁止するかを設定します。ワンショットパルスを強制終了した場合、対応するDSTRのビットおよびダウンカウンタがクリアされます。また、対応するTSR8のビットがセットされます。チャンネル1のワンショットパルスターミネート信号はGR1A~HのコンペアマッチおよびOCR1のコンペアマッチにより発生します (TRGMDRを参照ください)。チャンネル2のワンショットパルスターミネート信号はGR2A~Hのコンペアマッチにより発生します。GR1A~H、GR2A~Hでターミネート信号を発生させるには、それぞれTIOR1A~D、TIOR2A~Dでコンペアマッチを選択してください。

OTRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

ビット 15 : ワンショットパルスターミネートイネーブル P (OTEP)

チャンネル 2 のダウンカウンタターミネートトリガ H で出力の強制終了許可 / 禁止を選択します。

ビット 15	説 明
OTEP	
0	TO8P をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8P をダウンカウンタターミネートトリガによる強制終了を許可

ビット 14 : ワンショットパルスターミネートイネーブル O (OTEO)

チャンネル 2 のダウンカウンタターミネートトリガ G で出力の強制終了許可 / 禁止を選択します。

ビット 14	説 明
OTEO	
0	TO8O をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8O をダウンカウンタターミネートトリガによる強制終了を許可

ビット 13 : ワンショットパルスターミネートイネーブル N (OTEN)

チャンネル 2 のダウンカウンタターミネートトリガ F で出力の強制終了許可 / 禁止を選択します。

ビット 13	説 明
OTEN	
0	TO8N をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8N をダウンカウンタターミネートトリガによる強制終了を許可

ビット 12 : ワンショットパルスターミネートイネーブル M (OTEM)

チャンネル 2 のダウンカウンタターミネートトリガ E で出力の強制終了許可 / 禁止を選択します。

ビット 12	説 明
OTEM	
0	TO8M をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8M をダウンカウンタターミネートトリガによる強制終了を許可

ビット11：ワンショットパルスターミネートイネーブルL (OTEL)

チャンネル2のダウンカウンタターミネートトリガDで出力の強制終了許可/禁止を選択します。

ビット11	説明
OTEL	
0	TO8L をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8L をダウンカウンタターミネートトリガによる強制終了を許可

ビット10：ワンショットパルスターミネートイネーブルK (OTEK)

チャンネル2のダウンカウンタターミネートトリガCで出力の強制終了許可/禁止を選択します。

ビット10	説明
OTEK	
0	TO8K をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8K をダウンカウンタターミネートトリガによる強制終了を許可

ビット9：ワンショットパルスターミネートイネーブルJ (OTEJ)

チャンネル2のダウンカウンタターミネートトリガBで出力の強制終了許可/禁止を選択します。

ビット9	説明
OTEJ	
0	TO8J をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8J をダウンカウンタターミネートトリガによる強制終了を許可

ビット8：ワンショットパルスターミネートイネーブルI (OTEI)

チャンネル2のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット8	説明
OTEI	
0	TO8I をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8I をダウンカウンタターミネートトリガによる強制終了を許可

ビット7：ワンショットパルスターミネートイネーブルH (OTEH)

チャンネル1のダウンカウンタターミネートトリガHで出力の強制終了許可/禁止を選択します。

ビット7	説明
OTEH	
0	TO8H をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8H をダウンカウンタターミネートトリガによる強制終了を許可

ビット6：ワンショットパルスターミネートイネーブルG (OTEG)

チャンネル1のダウンカウンタターミネートトリガGで出力の強制終了許可/禁止を選択します。

ビット6	説明
OTEG	
0	TO8G をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8G をダウンカウンタターミネートトリガによる強制終了を許可

ビット5：ワンショットパルスターミネートイネーブルF (OTEF)

チャンネル1のダウンカウンタターミネートトリガFで出力の強制終了許可/禁止を選択します。

ビット5	説明
OTEF	
0	TO8F をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8F をダウンカウンタターミネートトリガによる強制終了を許可

ビット4：ワンショットパルスターミネートイネーブルE (OTEE)

チャンネル1のダウンカウンタターミネートトリガEで出力の強制終了許可/禁止を選択します。

ビット4	説明
OTEE	
0	TO8E をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8E をダウンカウンタターミネートトリガによる強制終了を許可

ビット3：ワンショットパルスターミネートイネーブルD (OTED)

チャンネル1のダウンカウンタターミネートトリガDで出力の強制終了許可/禁止を選択します。

ビット3	説明
OTED	
0	TO8D をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8D をダウンカウンタターミネートトリガによる強制終了を許可

ビット2：ワンショットパルスターミネートイネーブルC (OTEC)

チャンネル1のダウンカウンタターミネートトリガCで出力の強制終了許可/禁止を選択します。

ビット2	説明
OTEC	
0	TO8C をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8C をダウンカウンタターミネートトリガによる強制終了を許可

ビット1：ワンショットパルスターミネートイネーブルB (OTEB)

チャンネル1のダウンカウンタターミネートトリガBで出力の強制終了許可/禁止を選択します。

ビット1	説明
OTEB	
0	TO8B をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8B をダウンカウンタターミネートトリガによる強制終了を許可

ビット0：ワンショットパルスターミネートイネーブルA (OTE A)

チャンネル1のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット0	説明
OTE A	
0	TO8A をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8A をダウンカウンタターミネートトリガによる強制終了を許可

10.2.14 リロードイネーブルレジスタ (RLDENR)

リロードイネーブルレジスタ (RLDENR) は8ビットのレジスタです。ATU-IIには、チャンネル8に1本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	RLDEN							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

RLDENR は8ビットの読み出し/書き込み可能なレジスタで、リロードレジスタ8 (RLDR8) の値をダウンカウンタ (DCNT8I~P) へロードの許可/禁止を選択します。ロードはチャンネル2のコンペアマッチ信号のワンショットパルススタートトリガ発生で行います。ただし、チャンネル2と連結せず (ワンショットパルス機能) 使用した場合、およびダウンカウンタ (DCNT8I~P) がダウンカウント中はリロードは実行されません。

RLDENR はパワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイ時に、H'00 に初期化されます。

ビット7: リロードイネーブル (RLDEN)

RLDR の値を DCNT8I~P へロードする許可/禁止を選択します。

ビット7	説明
RLDEN	
0	リロードレジスタの値をダウンカウンタへロード禁止 (初期値)
1	リロードレジスタの値をダウンカウンタへロード許可

ビット6~0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10.2.15 フリーランニングカウンタ (TCNT)

フリーランニングカウンタ (TCNT) は 32 ビットまたは 16 ビットのアップカウンタです。ATU-II には、チャンネル 0 に 32 ビットの TCNT を 1 本、チャンネル 1~7、11 に 16 ビットの TCNT を 16 本、計 17 本の TCNT があります。

チャンネル	略 称	機 能
0	TCNT0H、TCNT0L	32 ビットのアップカウンタ (初期値 H'00000000)
1	TCNT1A、TCNT1B	16 ビットのアップカウンタ (初期値 H'0000)
2	TCNT2A、TCNT2B	
3	TCNT3	
4	TCNT4	
5	TCNT5	
6	TCNT6A~D	
7	TCNT7A~D	16 ビットのアップカウンタ (初期値 H'0001)
11	TCNT11	16 ビットのアップカウンタ (初期値 H'0000)

(1) フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L)

フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L) は 32 ビットの読み出し/書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイマスタートレジスタ 1 (TSTR1) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケアラレジスタ 1 (PSCR1) により選択します。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT0 がオーバーフロー (H'FFFFFFFF H'00000000) すると、タイマステータスレジスタ (TSR0) のオーバーフローフラグ (OVF0) が 1 にセットされます。

TCNT0 はロングワード単位のみ読み出し/書き込み可能です。ワード単位での読み出し/書き込みは行わないでください。

TCNT0 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

(2) フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11)

フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11) は 16 ビットの読み出し / 書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイマスタートレジスタ 1、3 (TSTR1、3) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT1A、1B、2A、2B はチャンネル 10 からのカウンタクリアトリガが入力中にカウントアップするときにカウンタクリアします。

TCNT3~5 は TIOR の設定により、対応する GR とのコンペアマッチで、カウンタクリアします。

TCNT1A、1B、2A、2B、3~5、11 がオーバーフロー (H'FFFF H'0000) するとタイマステータスレジスタ (TSR) の対応するチャンネルのオーバーフローフラグ (OVF) が 1 にセットされます。

TCNT1A、1B、2A、2B、3~5、11 はワード単位のみ読み出し / 書き込み可能です。

TCNT1A、1B、2A、2B、3~5、11 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

TCNT1A、1B、2A、2B、3~5 は外部クロック入力 (TCLKA、TCLKB) によりカウントが可能です。

TCNT1A、1B、2A、2B、3~5 はチャンネル 10 で生成した外部入力 (TI10) (AGCK) およびチャンネル 10 の逡倍クロック (AGCKM) によりカウントが可能です。

(3) フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D)

フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D) は 16 ビットの読み出し / 書き込み可能なレジスタでチャンネル 6、7 はタイマスタートレジスタ (TSTR2) によりカウント開始します。

チャンネル 6、7 へ入力するクロックはプリスケアラレジスタ 2、3 (PSCR2、3)、タイマコントロールレジスタ 6、7 (TCR6、7) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT6A ~ D (非相補 PWM 時) および TCNT7A ~ D はサイクルレジスタ (CYLR) とコンペアマッチした時、カウンタクリアします。

TCNT6A ~ D (相補 PWM 時) はゼロとサイクルレジスタ値の範囲でカウントアップとダウンを行います。

TCNT6A ~ D、7A ~ D は CPU と内部 16 ビットバスで接続されており、ワード単位のみ読み出し / 書き込み可能です。

TCNT6A ~ D、7A ~ D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

10.2.16 ダウンカウンタ (DCNT)

ダウンカウンタ (DCNT) は 16 ビットのダウンカウンタです。ATU-II には、チャンネル 8 に 16 本のレジスタがあります。

チャンネル	略 称	機 能
8	DCNT8A、DCNT8B DCNT8C、DCNT8D DCNT8E、DCNT8F DCNT8G、DCNT8H DCNT8I、DCNT8J DCNT8K、DCNT8L DCNT8M、DCNT8N DCNT8O、DCNT8P	16 ビットのダウンカウンタ

(1) ダウンカウンタ 8A ~ P (DCNT8A ~ P)

ダウンカウンタ 8A ~ 8P (DCNT8A ~ P) は 16 ビットの読み出し / 書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DCNT8x がワンショットパルス機能のときは、DCNT8x 値を設定した後ユーザプログラムにより DSTR を 1 にセットすることによりダウンカウントを開始します。DCNT8x 値がアンダフローするタイミングで、DSTR と DCNT8x が自動的に 0 にクリアされてカウント動作を終了します。同時に、対応するチャンネル 8 のタイムステータスレジスタ 8 (TSR8) のステータスフラグが 1 にセットされます。

DCNT がオフセット付ワンショットパルス機能のときは、タイマコネクションレジスタ (TCNR) が 1 の状態でチャンネル 1、2 のジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) とのコンペアマッチ (コンペアマッチの設定はトリガモードレジスタ (TRGMDR) で設定 (チャンネル 1 のみ対応)) で、自動的に対応するダウンカウンタスタートレジスタ (DSTR) のビットが 1 にセットされてダウンカウント動作を開始します。ダウンカウントの終了は、DCNT8x 値がアンダフローするタイミングで DSTR と DCNT8x が自動的に 0 にクリアされてカウント動作終了と共に出力を反転します。または、ワンショットターミネートレジスタ (OTR) がトリガにより出力を強制終了と設定されている場合はチャンネル 1、2 の GR、OCR でコンペアマッチ発生により DSTR を 0 にクリアしてカウント動作終了すると共に出力を反転します。いずれか早い方で出力が反転します。また出力が反転すると同時に、対応するチャンネル 8 の TSR8 のステータスフラグが 1 にセットされます。

DCNT8x はワード単位のみ読み出し / 書き込み可能です。

DCNT8x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳しくは、「10.3.5 ワンショットパルス機能」、および「10.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

10.2.17 イベントカウンタ (ECNT)

イベントカウンタ (ECNT) は 8 ビットのアップカウンタです。ATU-II には、チャンネル 9 に 6 本の ECNT があります。

チャンネル	略 称	機 能
9	ECNT9A、ECNT9B ECNT9C、ECNT9D ECNT9E、ECNT9F	8 ビットのイベントカウンタ

ECNT は 8 ビットの読み出し / 書き込み可能なレジスタで、TI9A ~ F の入力端子からの入力信号のエッジを検出してカウント動作を行います。エッジ検出は立ち上がり、立ち下がり、立ち上がり / 立ち下がり両エッジ選択可能です。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ECNT9 が対応する GR9 とコンペアマッチを発生するとタイマステータスレジスタ (TSR9) のコンペアマッチフラグ (CMF9) が 1 にセットされます。このとき自動的に ECNT9x はカウンタクリアされます。

ECNT9 はバイト単位のみ読み出し / 書き込み可能です。

ECNT9 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

10.2.18 アウトプットコンペアレジスタ (OCR)

アウトプットコンペアレジスタ (OCR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1 に 1 本、チャンネル 2 に 8 本、計 9 本のレジスタがあります。

チャンネル	略 称	機 能
1	OCR1	アウトプットコンペアレジスタ
2	OCR2A、OCR2B	
	OCR2C、OCR2D	
	OCR2E、OCR2F	
	OCR2G、OCR2H	

(1) アウトプットコンペアレジスタ 1、2A~H (OCR1、OCR2A~H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は 16 ビットの読み出し / 書き込み可能なレジスタで、アウトプットコンペアレジスタの機能をもっています。

OCR の値とフリーランニングカウンタ (TCNT1B、2B) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の CMF ビットが 1 にセットされます。同時にタイマコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は対応するチャンネル 8 のダウンカウンタ (DCNT) が開始します。

OCR はワード単位のみ読み出し / 書き込みが可能です。

OCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

10.2.19 インプットキャプチャレジスタ (ICR)

インプットキャプチャレジスタ (ICR) は 32 ビットのレジスタで、ATU-II には、チャンネル 0 に 32 ビットのレジスタが 4 本あります。

チャンネル	略 称	機 能
0	ICR0AH、ICR0AL ICR0BH、ICR0BL ICR0CH、ICR0CL ICR0DH、ICR0DL	インプットキャプチャ専用レジスタ

(1) インプットキャプチャレジスタ 0AH、L ~ DH、L (ICR0AH、ICR0AL ~ ICR0DH、ICR0DL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は 32 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。

インプットキャプチャ専用レジスタは、外部からのインプットキャプチャ信号を検出して、TCNT0 の値を格納します。このとき対応する TSR0 のビットが 1 にセットされます。インプットキャプチャ信号の検出エッジはタイム I/O コントロールレジスタ (TIOR) の TIOR0 により設定します。ICR0DH、ICR0DL は、TCR10 の TRG0DEN ビットを設定することで、TCNT10B と OCR10B のコンペアマッチによるインプットキャプチャも行えます。

ICR はロングワード単位のみ読み出しが可能です。ワード単位での読み出しは行わないでください。

ICR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

10.2.20 ジェネラルレジスタ (GR)

ジェネラルレジスタ (GR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1、2 に各 8 本、チャンネル 3~5 に各 4 本、チャンネル 9 に 6 本、チャンネル 11 に 2 本、計 36 本のレジスタがあります。

チャンネル	略 称	機 能
1	GR1A ~ GR1H	インプットキャプチャ、アウトプットコンペア兼用レジスタ
2	GR2A ~ GR2H	
3	GR3A ~ GR3D	
4	GR4A ~ GR4D	
5	GR5A ~ GR5D	
9	GR9A ~ GR9F	アウトプットコンペア用レジスタ
11	GR11A、GR11B	

(1) ジェネラルレジスタ 1A ~ H、2A ~ H (GR1A ~ H、GR2A ~ H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能をもっています。機能の切り換えはタイマ I/O コントロールレジスタ (TIOR) により行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT1A、TCNT2A の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT1A、TCNT2A) の値は常に比較されています。両者の値が一致すると、タイムステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。同時にタイマコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は、対応するチャンネル 8 のダウンカウンタ (DCNT) のダウンカウントを開始します。コンペアマッチ出力は対応する TIOR により設定します。

GR はワード単位のみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

(2) ジェネラルレジスタ 3A ~ D、4A ~ D、5A ~ D (GR3A ~ D、GR4A ~ D、GR5A ~ D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能をもっています。機能の切り換えはタイマ I/O コントロールレジスタ (TIOR) より行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、対応する TCNT の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。また、GR3A ~ D はチャンネル 9 のコンペアマッチをトリガとしてインプットキャプチャが行えます。このとき対応する TSR の IMF ビットはセットされません。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。コンペアマッチ出力は対応する TIOR により設定します。

GR はワード単位のみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

(3) ジェネラルレジスタ 9A ~ 9F (GR9A ~ GR9F)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 8 ビットの読み出し / 書き込み可能なレジスタで、コンペアマッチレジスタの機能をもっています。

本レジスタは常にイベントカウンタ (ECNT) と比較されており、両者が一致するとコンペアマッチ信号が発生し、次のエッジが入力されると対応する TSR の CMF ビットが 1 にセットされます。

また、GR9A~D のコンペアマッチにより、チャンネル 3 (GR3A~D) のインプットキャプチャを発生することができます。本機能はタイマコントロールレジスタ (TCR) の TRG3xEN により設定をします。

GR はバイト単位の読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

(4) ジェネラルレジスタ 11A、B (GR11A、B)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、コンペアマッチ機能をもっています。

コンペアマッチレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。コンペアマッチ出力は対応する TIOR により設定します。

また、GR11A、B のコンペアマッチ信号をアドバンスドパルスコントローラ (APC) に送信します。詳しくは、「11. アドバンスドパルスコントローラ」を参照してください。

GR はワード単位のみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

10.2.21 オフセットベースレジスタ (OSBR)

オフセットベースレジスタ (OSBR) は 16 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 1 本のレジスタがあります。

チャンネル	略 称	機 能
1	OSBR1	チャンネル 0 の ICR0A からの信号を入力トリガとしたインブットキャプチャ専用レジスタ
2	OSBR2	

オフセットベースレジスタ 1、2 (OSBR1、2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

OSBR1、2 は 16 ビットの読み出し可能なレジスタで、インブットキャプチャ専用レジスタです。OSBR1、2 はチャンネル 0 のインブットキャプチャレジスタ (ICR0A) の入力をトリガ信号とし、エッジを検出すると TCNT1A、2A の値を格納します。

OSBR はワード単位のみ読み出しが可能です。

OSBR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

詳しくは、「10.3.8 ツインキャプチャ機能」を参照してください。

10.2.22 サイクルレジスタ (CYLR)

サイクルレジスタ (CYLR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	CYLR6A ~ D	16 ビット PWM 用サイクルレジスタ
7	CYLR7A ~ D	

サイクルレジスタ (CYLR6A ~ D、CYLR7A ~ D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CYLR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM の周期格納レジスタです。

CYLR の値と対応するフリーランニングカウンタ (TCNT6A ~ D、TCNT7A ~ D) の値は常に比較されています。両者の値が一致すると、対応するタイムステータスレジスタ (TSR) の CMF6A ~ D、CMF7A ~ D ビットが 1 にセットされ、TCNT6A ~ D、TCNT7A ~ D はクリアされます。同時にバッファレジスタ (BFR) の値はデューティレジスタ (DTR) に転送されます。

CYLR はワード単位のみ読み出し / 書き込み可能です。

CYLR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

CYLR、BFR、DTR については、「10.3.9 PWM タイマ機能」を参照してください。

10.2.23 バッファレジスタ (BFR)

バッファレジスタ (BFR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	BFR6A ~ D	16 ビット PWM 用バッファレジスタ 対応するサイクルレジスタ (CYLR) のコンペアマッチにより
7	BFR7A ~ D	バッファレジスタ (BFR) の値をデューティレジスタ (DTR) に転送

(1) バッファレジスタ (BFR6A ~ D、BFR7A ~ D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BFR は、16 ビットの読み出し / 書き込み可能なレジスタで、サイクルレジスタ (CYLR) のコンペアマッチ時にデューティレジスタ (DTR) に転送する値をバッファに格納しておきます。

BFR はワード単位のみ読み出し / 書き込みが可能です。

BFR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

10.2.24 デューティレジスタ (DTR)

デューティレジスタ (DTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	DTR6A ~ D	16 ビット PWM 用デューティレジスタ
7	DTR7A ~ D	

(1) デューティレジスタ (DTR6A ~ D、7A ~ D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM のデューティ格納レジスタです。

DTR の値と対応するフリーランニングカウンタ (TCNT6A ~ D、TCNT7A ~ D) の値は常に比較されています。両者の値が一致すると、対応するチャンネルの出力端子 (TO6A ~ D、TO7A ~ D) は 0 出力になります。

また、CYLR と対応するフリーランニングカウンタが一致すると、対応する BFR の値がロードされます。DTR は 0 ~ CYLR の範囲の値を設定し、CYLR より大きい値は設定しないでください。

DTR はワード単位のみ読み出し / 書き込みが可能です。

DTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

10.2.25 リロードレジスタ (RLDR)

リロードレジスタ (RLDR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

(1) リロードレジスタ 8 (RLDR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLDR8 は、16 ビットの読み出し / 書き込み可能なレジスタです。リロード有効時 (RLDENR にて設定) にチャンネル 2 のコンペアマッチ信号のワンショットパルススタートトリガにより、DSTR8I~P が 1 にセットされるとリロードレジスタの値を DSTR8I~P に転送後ダウンカウントを開始します。チャンネル 2 と接続せずワンショットパルス機能単独で使用した場合、およびダウンカウンタ DCNT8I~P がダウンカウント中の場合は、リロードレジスタの値の転送は行われません。

RLDR8 はワード単位のみ読み出し / 書き込みが可能です。

RLDR8 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

10.2.26 チャンネル 10 のレジスタ

(1) カウンタ (TCNT)

チャンネル 10 には 32 ビットの TCNT が 1 本、16 ビットの TCNT が 4 本、8 ビットの TCNT が 2 本、計 7 本の TCNT があります。

入力するクロックはプリスケアラレジスタ 4 (PSCR4) により選択します。

タイムスタートレジスタ 1 (TSTR1) の STR10 を 1 にセットする事でカウント動作を行います。

チャンネル	略 称	機 能
10	TCNT10AH、AL	32 ビットのフリーランニングカウンタ (初期値 H'00000001)
	TCNT10B	8 ビットのイベントカウンタ (初期値 H'00)
	TCNT10C	16 ビットのリロードカウンタ (初期値 H'0001)
	TCNT10D	8 ビットの補正カウンタ (初期値 H'00)
	TCNT10E	16 ビットの補正カウンタ (初期値 H'0000)
	TCNT10F	16 ビットの補正カウンタ (初期値 H'0001)
	TCNT10G	16 ビットのフリーランニングカウンタ (初期値 H'0000)

(a) フリーランニングカウンタ 10AH、AL (TCNT10AH、TCNT10AL)

フリーランニングカウンタ 10AH、AL (TCNT10AH、TCNT10AL) は 32 ビットの読み出し / 書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。また、インプットキャプチャ入力 (TI10) (AGCK) のタイミングでクリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10A はロングワード単位のみ読み出し / 書き込み可能です。ワード単位での読み出し / 書き込みは行わないでください。

TCNT10A はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000001 に初期化されます。

(b) イベントカウンタ 10B (TCNT10B)

イベントカウンタ 10B (TCNT10B) は 8 ビットの読み出し / 書き込み可能なレジスタで外部クロック入力 (TI10) (AGCK) でカウント動作を行います。このとき、TCR10 の CKEG1、0 で TI10 の入力を設定してください。また、TSTR1 の STR10 ビットが、カウント動作停止に設定されていても、TI10 入力があるとカウントされます。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10B はバイト単位のみ読み出し / 書き込み可能です。

TCNT10B はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(c) リロードカウンタ 10C (TCNT10C)

リロードカウンタ 10C (TCNT10C) は 16 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10C はダウンカウント動作で TCNT10C = H'0001 のとき、リロードレジスタ (RLD10C) の値を TCNT10C に転送し、倍周クロック (AGCK1) を生成します。

TCNT10C は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込み可能です。

TCNT10C はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(d) 補正カウンタ 10D (TCNT10D)

補正カウンタ 10D (TCNT10D) は 8 ビットの読み出し / 書き込み可能なレジスタで、外部クロック入力 (TI10) により、カウンタ値を補正カウンタ E (TCNT10E) に転送後、カウント動作を行います。このとき TCR10 の CKEG1、0 を TI10 の入力が可能に設定してください。また、TSTR1 の STR10 ビットがカウンタ動作に設定されていないと TI10 入力があっても転送およびカウントは行いません。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本カウンタの値はタイマ I/O コントロールレジスタ 10 (TIOR10) の PIM1、0 で設定した逡倍率に従い、外部クロック入力 (TI10) (AGCK) のタイミングで逡倍された値が補正カウンタ E (TCNT10E) に転送されます。

TCNT10D はバイト単位でのみ読み出し / 書き込み可能です。

TCNT10D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(e) 補正カウンタ 10E (TCNT10E)

補正カウンタ 10E (TCNT10E) は 16 ビットの読み出し / 書き込み可能なレジスタで、TCNT10E は外部入力 (TI10) のタイミングで TCNT10D のシフト値をロードします。リロードカウンタ 10C (TCNT10C) が出力する倍周クロック (AGCK1) でカウント動作を行います。ただし、タイマ I/O コントロールレジスタ 10 (TIOR10) の CCS が 1 の場合は TCNT10D の逡倍された値に達すると、カウント動作を停止します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10E はワード単位でのみ読み出し / 書き込み可能です。

TCNT10E はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(f) 補正カウンタ 10F (TCNT10F)

補正カウンタ 10F (TCNT10F) は 16 ビットの読み出し / 書き込み可能なレジスタで、補正カウンタ 10E (TCNT10E) よりもカウンタ値が小さい場合カウントアップ動作を行います。ただし、補正カウンタクリアレジスタ (TCCLR10) と一致でカウント動作を停止します。また、TCNT10D=H'0000 のときに TI10 が入力されると TCNT10F は初期化、補正動作を行います。TCNT10F=TCCLR10 のときは、TCNT10F は H'0001 にクリアされます。TCNT10F TCCLR10 のときは、TCNT10F は TCCLR10 の値まで自動的にカウントアップし、H'0001 にクリアされます。

なお、本カウンタのカウントアップごとに補正後の補正クロック (AGCKM) を出力します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10F はワード単位でのみ読み出し / 書き込み可能です。

TCNT10F はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(g) フリーランニングカウンタ 10G (TCNT10G)

フリーランニングカウンタ 10G (TCNT10G) は 16 ビットの読み出し / 書き込み可能なレジスタで、倍周クロック (AGCK1) でカウントアップ動作を行います。また、外部入力 (TI10) (AGCK) の入力により H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10G はワード単位でのみ読み出し / 書き込み可能です。

TCNT10G はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(2) レジスタ

チャンネル 10 には 32 ビットの ICR、OCR が各 1 本、16 ビットの GR、RLD、TCCLR が各 1 本、8 ビットの OCR が 1 本、計 6 本のレジスタがあります。

チャンネル	略 称	機 能
10	ICR10AH、AL	32 ビットのインプットキャプチャレジスタ (初期値 H'00000000)
	OCR10AH、AL	32 ビットのアウトプットコンペアレジスタ (初期値 H'FFFFFFF)
	OCR10B	8 ビットのアウトプットコンペアレジスタ (初期値 H'FF)
	RLD10C	16 ビットのリロードレジスタ (初期値 H'0000)
	GR10G	16 ビットのジェネラルレジスタ (初期値 H'FFFF)
	TCCLR10	16 ビットの補正カウンタクリアレジスタ (初期値 H'0000)

(a) インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL)

インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL) は 32 ビットの読み出し専用レジスタで、外部入力 (TI10) (AGCK) で TCNT10AH、AL の値が転送されます。

同時にタイマステータスレジスタ 10 (TCR10) の ICF10A が 1 にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00000000に初期化されます。

(b) アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL)

アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL) は32ビットの読み出し/書き込み可能なレジスタで、常にフリーランニングカウンタ 10AH、AL (TCNT10AH、AL) と比較されています。

両者の値が一致するとタイマステータスレジスタ 10 (TSR10) のCMF10Aが1にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFFFFFFFに初期化されます。

(c) アウトプットコンペアレジスタ 10B (OCR10B)

アウトプットコンペアレジスタ 10B (OCR10B) は 8 ビットの読み出し / 書き込み可能なレジスタで、常にフリーランニングカウンタ 10B (TCNT10B) と比較されています。

両者の値が一致した状態で AGCK が入力されると、タイマステータスレジスタ 10 (TSR10) の CMF10B が 1 にセットされます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

(d) リロードレジスタ 10C (RLD10C)

リロードレジスタ 10C (RLD10C) は 16 ビットの読み出し / 書き込み可能なレジスタです。RLD10C にはタイマスタートレジスタ 1 (TSTR1) の STR10 が 1 かつ、タイマ I/O コントロールレジスタ (TIOR10) の RLDEN が 0 のとき、インプットキャプチャレジスタ 10A (ICR10A) に TCNT10A の値をキャプチャ時に、RLD10C に ICR10A のキャプチャ値を TIOR10 の PIM1、0 ビットで設定した逡倍率で割った値が転送されます。また、リロードレジスタ 10C (RLD10C) の内容はリロードカウンタ 10C (TCNT10C) が H'0001 に達すると TCNT10C にロードされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLD10C はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(e) ジェネラルレジスタ 10G (GR10G)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR10G は 16 ビットの読み出し / 書き込み可能なレジスタで、アウトプットコンペアレジスタとしての機能をもっています。設定はタイマ I/O コントロールレジスタ 10 (TIOR10) により行います。

GR10G の値はフリーランニングカウンタ 10G (TCNT10G) の値と常に比較されています。両者が一致した状態で、AGCK1 が入力されると、タイマステータスレジスタ 10 (TSR10) の CMF10G が 1 にセットされます。

GR10G はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

(f) 補正カウンタクリアレジスタ 10 (TCCLR10)

補正カウンタクリアレジスタ 10 (TCCLR10) は 16 ビットの読み出し / 書き込み可能なレジスタです。

TCCLR10 は TCNT10F と常に比較されています。両者が一致すると TCNT10F は停止します。このとき、TCR10 の TRG_{xx}EN (xx = 1A、1B、2A、2B) を設定することにより、TCNT_{xx} をクリアすることが可能です。その後、TCNT10D が H'0000 かつ TI10 が入力されたとき TCNT10F は H'0001 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCCLR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(3) ノイズキャンセラ用レジスタ

チャンネル 10 には 8 ビットの TCNT10H、NCR の計 2 本のレジスタがあります。

チャンネル	略 称	機 能
10	TCNT10H	ノイズキャンセラ用カウンタ (初期値 H'00)
	NCR10	ノイズキャンセラ用コンペアマッチレジスタ (初期値 H'FF)

(a) ノイズキャンセラカウンタ 10H (TCNT10H)

ノイズキャンセラカウンタ 10H (TCNT10H) は 8 ビットの読み出し / 書き込み可能なレジスタです。ノイズキャンセラ機能が有効時、外部入力 (TI10) (AGCK) からの信号をトリガとして P × 10 でカウントアップします。タイマスタートレジスタ (TSTR1) の

STR10が0でも動作します。カウンタ動作中はTI10の入力をマスクします。カウント値がノイズキャンセラレジスタ (NCR10) と一致するとカウンタをクリアしてTI10の入力のマスクを解除します。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10H はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

(b) ノイズキャンセラレジスタ 10 (NCR10)

ノイズキャンセラレジスタ (NCR10) は8ビットの読み出し / 書き込み可能なレジスタで、ノイズキャンセラカウンタ10 (TCNT10H) のカウンタの上限値を設定します。TCNT10H がカウンタ動作中NCR10と常時比較をしており、コンペアマッチが発生するとTCNT10Hの動作を停止させて入力信号のマスク解除を行います。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NCR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFに初期化されます。

(4) チャンネル 10 コントロールレジスタ

チャンネル 10 に 4 本のレジスタがあります。

チャンネル	略 称	機 能
10	TIOR10	リロードの設定、カウンタ補正の設定、外部入力 (TI10) エッジ間の通倍率の設定、GRのコンペアマッチの設定 (初期値 H'00)
	TCR10	TCCLR10のカウンタクリア要因 ノイズキャンセラ機能の有効 / 無効の選択 外部入力 (TI10) のエッジ選択 (初期値 H'00)
	TSR10	インプットキャプチャ / コンペアマッチの状態 (初期値 H'0000)
	TIER10	インプットキャプチャ / コンペアマッチの割り込みの要求の許可 / 禁止の選択 (初期値 H'0000)

(a) タイマ I/O コントロールレジスタ 10 (TIOR10)

TIOR10 は 8 ビットの読み出し / 書き込み可能なレジスタで、外部入力 (TI10) のエッジ間を逡倍する値を選択します。また、ジェネラルレジスタ (GR10G) をアウトプットコンペアとして使用するための設定、エッジ検出の設定を行います。

TIOR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	RLDEN	CCS	PIM1	PIM0		IO10G2	IO10G1	IO10G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット 7: リロードイネーブル (RLDEN)

インプットキャプチャレジスタ 10A (ICR10A) の値をインプットキャプチャ時にリロードレジスタ 10C (RLD10C) への転送許可 / 禁止を選択します。

ビット 7	説明
RLDEN	
0	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を許可 (初期値)
1	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を禁止

ビット 6: カウンタコレクションセレクト (CCS)

補正カウンタ 10E (TCNT10E) の動作を選択します。逡倍率は、TIOR10 の PIM1、0 ビットで設定してください。

ビット 6	説明
CCS	
0	TCNT10D × 逡倍率 = TCNT10E* の時 TCNT10E のカウント動作を停止しない (初期値)
1	TCNT10D × 逡倍率 = TCNT10E* の時 TCNT10E のカウント動作を停止する

【注】 * TCNT10D × 逡倍率が、TCNT10E の 8 ~ 0 ビットをマスクした値と一致したとき。

ビット5、4：パルスインターバルマルチプライヤ (PIM1、PIM0)
外部入力 (TI10) 周期の逡倍率を選択します。

ビット5	ビット4	説明
PIM1	PIM0	
0	0	外部入力周期×32でカウント (初期値)
	1	外部入力周期×64でカウント
1	0	外部入力周期×128でカウント
	1	外部入力周期×256でカウント

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込むときの値は常に0にしてください。

ビット2～0：I/Oコントロール10G2～10G0 (IO10G2～IO10G0)

ジェネラルレジスタ10G (GR10G) の機能を選択します。

ビット2	ビット1	ビット0	説明
IO10G2	IO10G1	IO10G	
0	0	0	GRはアウトプット コンペアマッチ禁止 (初期値)
		1	コンペアレジスタ GR10G = TCNT10Gのコンペアマッチ
	1	-	設定禁止
1	-	-	設定禁止

(b) タイマコントロールレジスタ10 (TCR10)

TCR10は8ビットの読み出し/書き込み可能なレジスタで、補正カウンタクリアレジスタ (TCCLR10) のコンペアマッチによるカウンタクリア要因の選択、ノイズキャンセラ機能の有効/無効の選択、外部入力 (TI10) のエッジ選択を行います。

TCR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7：トリガ2B イネーブル (TRG2BEN)

チャンネル2のTCNT2Bのカウントクリア許可/禁止を選択します。

クリア許可中にTCNT2Bがカウントアップしたときに、TCNT2Bはクリアされます。

ビット7	説明
TRG2BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウントB (TCNT2B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウントB (TCNT2B) をクリア許可

ビット6：トリガB イネーブル (TRG1BEN)

チャンネル1のTCNT1Bのカウントクリア許可/禁止を選択します。

クリア許可中にTCNT1Bがカウントアップしたときに、TCNT1Bはクリアされます。

ビット6	説明
TRG1BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウントB (TCNT1B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウントB (TCNT1B) をクリア許可

ビット5：トリガ2A イネーブル (TRG2AEN)

チャンネル2のTCNT2Aのカウントクリア許可/禁止を選択します。

クリア許可中にTCNT2Aがカウントアップしたときに、TCNT2Aはクリアされます。

ビット5	説明
TRG2AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウント2A (TCNT2A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウント2A (TCNT2A) をクリア許可

ビット4：トリガ1Aイネーブル (TRG1AEN)

チャンネル1のTCNT1Aのカウントクリア許可/禁止を選択します。

クリア許可中にTCNT1Aがカウントアップしたときに、TCNT1Aはクリアされます。

ビット4	説明
TRG1AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア許可

ビット3：トリガ0Dイネーブル (TRG0DEN)

チャンネル0のICR0Dへのインプットキャプチャ信号要求の許可/禁止を選択します。

ビット3	説明
TRG0DEN	
0	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を禁止 (初期値)
1	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を許可

ビット2：ノイズキャンセライネーブル (NCE)

ノイズキャンセラ機能の有効/無効を選択します。

ビット2	説明
NCE	
0	ノイズキャンセラ機能を無効 (初期値)
1	ノイズキャンセラ機能を有効

ビット1、0：クロックエッジ1、0 (CKEG1、CKEG0)

チャンネル10の外部入力 (TI10) のエッジ選択します。

検出したエッジによりクロック (AGCK) を生成します。

ビット1	ビット0	説明
CKEG1	CKEG0	
0	0	TI10入力禁止 (初期値)
	1	TI10入力の立ち上がりエッジを検出
1	0	TI10入力の立ち下がりエッジを検出
	1	TI10入力の立ち上がり / 立ち下がり両エッジを検出

(c) タイマステータスレジスタ10 (TSR10)

TSR10は16ビットの読み出し / 書き込み可能なレジスタで、チャンネル10のインプットキャプチャ / コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ10 (TIER10) の対応するビットにより割り込み許可されていれば、CPUへ割り込みを要求します。

TSR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
					CMF10G	CMF10B	ICF10A	CMF10A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット15~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3：コンペアマッチフラグ 10G (CMF10G)

GR10Gのコンペアマッチフラグの発生を示すステータスフラグです。

ビット3	説 明
CMF10G	
0	[クリア条件] (初期値) CMF10G = 1の状態、CMF10Gを読み出した後、CMF10Gに0を書き込んだとき。
1	[セット条件] TCNT10G = GR10Gになったとき。

ビット2：コンペアマッチフラグ 10B (CMF10B)

OCR10Bのコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明
CMF10B	
0	[クリア条件] (初期値) CMF10B = 1の状態、CMF10Bを読み出した後、CMF10Bに0を書き込んだとき。
1	[セット条件] TCNT10B = OCR10Bの状態、TCNT10Bがカウントアップしたとき。

ビット1：インプットキャプチャフラグ 10A (ICF10A)

ICR10Aのインプットキャプチャの発生を示すステータスフラグです。

ビット1	説 明
ICF10A	
0	[クリア条件] (初期値) ICR10A = 1の状態、ICR10Aを読み出した後、ICR10Aに0を書き込んだとき。
1	[セット条件] インプットキャプチャ信号によりTCNT10Aの値がICR10Aに転送されたとき。

ビット0：コンペアマッチフラグ10A (CMF10A)

OCR10Aのコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
CMF10A	
0	[クリア条件] (初期値) CMF10A = 1の状態、CMF10Aを読み出した後、CMF10Aに0を書き込んだとき。
1	[セット条件] TCNT10A = OCR10Aになったとき。

(d) タイマインタラプトイネーブルレジスタ10 (TIER10)

TIER10は16ビットの読み出し/書き込み可能なレジスタで、チャンネル10のインプットキャプチャ/コンペアマッチの割り込み要求の許可/禁止を制御します。

TIER10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

ビット:	15	14	13	12	11	10	9	8
初期値	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
				IREG	CME10G	CME10B	ICE10A	CME10A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット15～5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：インタラプトイネーブルエッジG (IREG)

TSR10のCMF10Gの割り込みタイミング生成します。

ビット4	説明
IREG	
0	CMF10Gが1になったタイミングで割り込みを要求 (初期値)
1	CMF10Gが1になった次の外部入力 (TI10) (AGCK) で割り込み要求

ビット3：コンペアマッチインタラプトイネーブル10G (CME10G)

TSR10のCMF10Gが1にセットされたとき、CMF10Gによる割り込み要求を許可または禁止します。

ビット3	説 明	
CME10G		
0	CMF10Gによる割り込み要求 (CMI10G) を禁止	(初期値)
1	CMF10Gによる割り込み要求 (CMI10G) を許可	

ビット2：コンペアマッチインタラプトイネーブル10B (CME10B)

TSR10のCMF10Bが1にセットされたとき、CMF10Bによる割り込み要求を許可または禁止します。

ビット2	説 明	
CME10B		
0	CMF10Bによる割り込み要求 (CMI10B) を禁止	(初期値)
1	CMF10Bによる割り込み要求 (CMI10B) を許可	

ビット1：インプットキャプチャインタラプトイネーブル10A (ICE10A)

TSR10のICF10Aが1にセットされたとき、ICF10Aによる割り込み要求を許可または禁止します。

ビット1	説 明	
ICE10A		
0	ICF10Aによる割り込み要求 (ICI10A) を禁止	(初期値)
1	ICF10Aによる割り込み要求 (ICI10A) を許可	

ビット0：コンペアマッチインタラプトイネーブル10A (CME10A)

TSR10のCMF10Aが1にセットされたとき、CMF10Aによる割り込み要求を許可または禁止します。

ビット0	説 明	
CME10A		
0	CMF10Aによる割り込み要求 (CMI10A) を禁止	(初期値)
1	CMF10Aによる割り込み要求 (CMI10A) を許可	

10.3 動作説明

10.3.1 概要

ATU-II はチャンネル 0 からチャンネル 11 の 8 種 12 体のタイマで構成されています。また ATU-II は入力クロックを生成するプリスケアラを内蔵し、ATU-II 外部とは独立に、必要な周波数の内部クロックを生成または選択することができます。

以下に各チャンネルおよびプリスケアラの動作概要を説明します。

(1) チャンネル 0

チャンネル 0 は 32 ビットフリーランニングカウンタ (TCNT0) と 4 本の 32 ビットインプットキャプチャレジスタ (ICR0A~D) を内蔵しています。TCNT0 はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

4 本のインプットキャプチャレジスタ (ICR0A~D) は、各々に対応する外部信号入力端子 (TIOA~D) からの入力によりフリーランニングカウンタ (TCNT0) の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ (TIOR0) により立ち上がり / 立ち下がり / 両エッジから選択できます。インプットキャプチャレジスタ 0D (ICR0D) のみ、タイマコントロールレジスタ 10 (TCR10) の設定によりフリーランニングカウンタ 10B (TCNT10B) とコンペアマッチレジスタ 10B (OCR10B) のコンペアマッチによるキャプチャが行えます。このとき、TIOR0 がインプットキャプチャ禁止に設定されていてもキャプチャは行われます。それぞれ、キャプチャするタイミングで DMAC の起動、および割り込み要求が可能です。

また、チャンネル 0 にはインターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) が内蔵されています。ITVRR の ITVA6~13 を 1 に設定すると A/D 変換器 (AD0~2) の起動が、ITVE6~13 を 1 に設定すると CPU への割り込み要求が設定できます。これらは TCNT0 のビット 6~13 の対応するビットが 1 に変化したとき行われ、インターバルタイマ機能として使用できます。

(2) チャンネル 1

チャンネル 1 は 2 本の 16 ビットフリーランニングカウンタ (TCNT1A、B) と 8 本の 16 ビットジェネラルレジスタ (GR1A~H) および 16 ビットアウトプットコンペアレジスタ (OCR1) を内蔵しています。

TCNT1A、B はアップカウンタで、フリーランニング動作を行います。また後述のチャンネル 10 の TCR10 を設定することにより、チャンネル 10 からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8 本のジェネラルレジスタ (GR1A~H) は、各々に対応する外部信号入出力端子 (TIO1A~H) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号

入出力端子 (TIO1A~H) からの入力により、フリーランニングカウンタ (TCNT1A) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR1A~D) により立ち上がり / 立ち下がり / 両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT1A) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR1A~D) により、0 出力 / 1 出力 / トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用しているときは、チャンネル 8 のタイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR) を設定し、ダウンカウンタ (DCNT8A~H) と組み合わせることにより、コンペアマッチをワンショットパルスのスタート / ターミネートトリガとして使用することができます。スタート / ターミネートトリガの選択はトリガモードレジスタ (TRGMDR) によって行います。

アウトプットコンペアレジスタ (OCR1) は、ジェネラルレジスタと同様にチャンネル 8 のダウンカウンタ (DCNT8A~H) と組み合わせることにより、TCNT1B とのコンペアマッチをワンショットパルスのスタート / ターミネートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル 1 には 16 ビットインプットキャプチャ専用レジスタ (OSBR1) を内蔵しています。チャンネル 0 の入力端子 (TIOA) が、同時に OSBR1 のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。

(3) チャンネル 2

チャンネル 2 は 2 本の 16 ビットフリーランニングカウンタ (TCNT2A、B) と 8 本の 16 ビットジェネラルレジスタ (GR1A~H) および 8 本の 16 ビットアウトプットコンペアレジスタ (OCR2A~H) を内蔵しています。

TCNT2A、B はアップカウンタで、フリーランニング動作を行います。また後述のチャンネル 10 の TCR10 を設定することにより、チャンネル 10 からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8 本のジェネラルレジスタ (GR2A~H) は、各々に対応する外部信号入出力端子 (TIO2A~H) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO2A~H) からの入力により、フリーランニングカウンタ (TCNT2A) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR2A~D) により立ち上がり / 立ち下がり / 両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT2A) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR2A~D) により、0 出力 / 1 出力 / トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用している時は、チャンネル 8 のワンショット

トパルスターミネートレジスタ (OTR) を設定し、ダウンカウンタ (DCNT8A~H) と組み合わせることにより、コンペアマッチをワンショットパルスターミネートトリガとして使用することができます。

アウトプットコンペアレジスタ (OCR2A~H) は、チャンネル 8 のタイマコネクションレジスタ (TCNR) を設定し、ダウンカウンタ (DCNT8I~P) と組み合わせることにより、TCNT2B とコンペアマッチをワンショットパルスのスタートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル 2 には 16 ビットインプットキャプチャ専用レジスタ (OSBR2) を内蔵しています。チャンネル 0 の入力端子 (TI0A) が、同時に OSBR2 のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。

(4) チャンネル 3~5

チャンネル 3~5 は、各々 16 ビットフリーランニングカウンタ (TCNT3~5) と 4 本の 16 ビットジェネラルレジスタ (GR3A~D、GR4A~D、GR5A~D) を内蔵しています。TCNT3~5 はアップカウンタで、フリーランニング動作を行います。また、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) を設定することにより、コンペアマッチによるカウンタのクリアを行うことができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

4 本のジェネラルレジスタ (GR3A~D、GR4A~D、GR5A~D) は、各々に対応する外部信号入出力端子 (TIO3A~D、TIO4A~D、TIO5A~D) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO3A~D、TIO4A~D、TIO5A~D) からの入力により、フリーランニングカウンタ (TCNT3~5) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) により立ち上がり / 立ち下がり / 両エッジから選択できます。また、インプットキャプチャとして使用する場合、後述するチャンネル 9 のイベントカウンタ (ECNT9A~D) とジェネラルレジスタ (GR9A~D) のコンペアマッチをトリガとしてインプットキャプチャを行えます。このとき、TIOR3A~D がインプットキャプチャ禁止に設定されていてもキャプチャは行われます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT3~5) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) により、0 出力 / 1 出力 / トグル出力から選択できます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。ただし、チャンネル 9 をトリガとしたインプットキャプチャの場合は、チャンネル 3 からの割り込み要求は行えません。

また、タイマモードレジスタ (TMDR) に PWM モードを設定することにより、それぞれ 3 本の出力を持つ PWM 出力が得られます。このとき、自動的に GR3D、GR4D、GR5D

がサイクルレジスタとして使用され GR3A~C、GR4A~C、GR5A~C はデューティレジスタとして使用されます。TCNT3~5 はそれぞれ GR3D、GR4D、GR5D とのコンペアマッチによりクリアされます。

(5) チャンネル 6、7

チャンネル 6、7 はそれぞれ 16 ビットフリーランニングカウンタ (TCNT6A~D、TCNT7A~D)、16 ビットサイクルレジスタ (CYLR6A~D、CYLR7A~D)、16 ビットデューティレジスタ (DTR6A~D、DTR7A~D)、および 16 ビットバッファレジスタ (BFR6A~D、BFR7A~D) を内蔵しています。また、チャンネル 6、7 は各々に対応する外部出力端子 (TO6A~D、TO7A~D) を持ち、バッファ機能付き PWM タイマとして使用することができます。

TCNT はアップカウンタで、DTR 値 (DTR = CYLR のとき) と一致すると外部出力端子に 0 を出力します。さらに、CYLR 値 (DTR = H'0000 のとき) と一致すると外部出力端子に 1 を出力すると同時に TCNT を H'0001 にクリアし、BFR 値を DTR に転送します。すなわち、チャンネル 6、7 は CYLR 値をサイクル、DTR 値をデューティとする波形の出力を行うことができ、しかも DTR へのデータ設定タイミングと、コンペアマッチタイミングのタイムラグを BFR で吸収できる構成になっています。

なお、DTR = CYLR のときは外部出力端子に 1 を出力し続け、デューティは 100% となります。DTR = H'0000 のときは外部出力端子に 0 を出力し続け、デューティは 0% となります。DTR には DTR > CYLR となる値は設定しないでください。

さらにチャンネル 6 は PWM モードレジスタ (PMDR) によって TCNT はアップ/ダウンカウンタとなり相補 PWM 出力が可能です。対応する TSTR を 1 に設定すると TCNT はアップカウントを行い、CYLR との一致でダウンカウントに切り変わります。TCNT が H'0000 になると再びアップカウントを行います。このとき TCNT = DTR で対応する外部出力端子 TO6A~D の出力が変化します。TCNT がアップカウント中かダウンカウント中かはタイマステータスレジスタ (TSR6) により知ることができます。

また非相補 PWM モード時は TCNT = CYLR の時、相補 PWM モード時は TCNT = H'0000 のとき、それぞれ DMAC の起動、および割り込み要求が可能です。

(6) チャンネル 8

チャンネル 8 は、16 本の 16 ビットダウンカウンタ (DCNT8A~P) を内蔵しています。ダウンカウンタは各々に対応する外部信号出力端子を持ち、ワンショットパルスを生成することができます。DCNT に値を設定し、ダウンカウントスタートレジスタ (DSTR) の対応するビットを 1 に設定することにより、DCNT はダウンカウントを開始し、同時に対応する外部出力端子に 1 を出力します。ダウンカウントにより DCNT が H'0000 に達したら、DCNT は動作を停止し外部出力端子に 0 を出力します。DCNT がアンダフロー時、割り込み要求が可能です。

ダウンカウンタはタイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR) を設定することにより、それぞれチャンネル 1、チャンネル 2 のアウ

トプットコンペア機能と連動させることができ、チャンネル1からDCNT8A~H、チャンネル2からDCNT8I~Pのカウンタ動作のスタート/ストップが行えます。

DCNT8I~Pはリロードレジスタ(RLDR)を持っており、リロードイネーブルレジスタ(RLDENR)の設定により、各々がスタートするときにリロードレジスタから値を読み込んでからカウンタ動作を開始します。

(7) チャンネル9

チャンネル9は、6本の8ビットイベントカウンタ(ECNT9A~F)と6本の8ビットジェネラルレジスタ(GR9A~F)を内蔵しています。イベントカウンタ(ECNT9A~F)はアップカウンタで外部入力端子(TI9A-F)を持ち、各々に対応する外部入力端子からの入力により、イベントカウンタの値がアップカウントされます。カウントアップは、タイマコントロールレジスタ(TCR9A~C)の設定により立ち上がり/立ち下がり/両エッジから選択できます。イベントカウンタは対応するジェネラルレジスタと一致した後にエッジが入力されるとクリアされます。イベントカウンタがクリアされる時、割り込み要求が可能です。

イベントカウンタのうちECNT9A~Dはタイマコントロールレジスタ(TCR9A、TCR9B)を設定することにより、ジェネラルレジスタ(GR9A~D)と一致時にコンペアマッチ信号がチャンネル3に送られ、チャンネル3でインプットキャプチャを行えます。これによりパルスが入力される期間を計測することができます。

(8) チャンネル10

チャンネル10は、外部入力をベースにした倍周クロックを生成し、チャンネル1~5に供給します。チャンネル10は、(a)エッジ間計測ブロック、(b)倍周クロック生成ブロック、(c)倍周クロック補正ブロックに分かれます。

(a) エッジ間計測ブロック

このブロックは、32ビットフリーランニングカウンタ(TCNT10A)、32ビットインプットキャプチャレジスタ(ICR10A)、32ビットアウトプットコンペアレジスタ(OCR10A)、8ビットイベントカウンタ(TCNT10B)および8ビットアウトプットコンペアレジスタ(OCR10B)、8ビットノイズキャンセラ用カウンタ(TCNT10H)および8ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)を内蔵しています。

32ビットフリーランニングカウンタ10A(TCNT10A)はアップカウンタでフリーランニング動作を行います。また、TI10入力によりインプットキャプチャが行われるとH'00000001にクリアされます。また、フリーランニングカウンタ10A(TCNT10A)がアウトプットコンペアレジスタ(OCR10A)に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。

インプットキャプチャレジスタ(ICR10A)は外部信号入力端子(TI10)を持ち、TI10からの入力によりフリーランニングカウンタ(TCNT10A)の値をキャプチャ

可能です。キャプチャはタイマコントロールレジスタ (TCR10) の CKEG1、CKEG0 ビットの設定により、立ち上がり / 立ち下がり / 両エッジから選択ができます。ただし、TSTR1 の STR10 ビットがカウント動作にセットされていなければ、TH10 入力は無効となります。また、TH10 入力にはノイズキャンセラ機能があり、タイマコントロールレジスタ (TCR10) の NCE ビットを設定することにより、ノイズキャンセラを有効にすることができます。キャプチャ時に TCNT10A は H'00000001 にクリアされ、かつ割り込み要求が可能です。キャプチャした値は倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送することができます。

8 ビットイベントカウンタ (TCNT10B) はアップカウンタで TH10 入力によりカウントアップを行います。イベントカウンタ (TCNT10B) の値がアウトプットコンペアレジスタ (OCR10B) に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。また、タイマコントロールレジスタ (TCR10) の TRG0DEN ビットを設定することにより、コンペアマッチ発生時にチャンネル 0 のインプットキャプチャレジスタ 0D (ICR0D) に対してキャプチャ要求が可能です。

8 ビットノイズキャンセラ用カウンタ (TCNT10H) と 8 ビットノイズキャンセラ用コンペアマッチレジスタ (NCR10) はノイズキャンセラが機能する時間を設定します。ノイズキャンセラはノイズキャンセラ用コンペアマッチレジスタ (TCNT10H) に値を設定し、タイマコントロールレジスタ (TCR10) の NCE ビットを設定することにより、TH10 入力があると TH10 入力をマスクします。TH10 入力をマスクすると同時にノイズキャンセラ用カウンタ (TCNT10H) が $P \times 10$ のクロックでカウントアップを開始します。ノイズキャンセラ用カウンタ (TCNT10H) がノイズキャンセラ用コンペアマッチレジスタ (NCR10) と一致するとノイズキャンセラ用カウンタ (TCNT10H) は H'0000 にクリアされ、TH10 入力のマスクを解除します。

(b) 倍周クロック生成ブロック

このブロックは、16 ビットリロードカウンタ (TCNT10C、RLD10C) と 16 ビットフリーランニングカウンタ (TCNT10G) および 16 ビットジェネラルレジスタ (GR10G) を内蔵しています。

16 ビットリロードカウンタ 10C (RLD10C) は、32 ビットインプットキャプチャレジスタ 10A (ICR10A) でキャプチャされ、かつタイマ I/O コントロールレジスタ (TIOR10) の RL DEN が 1 のとき、インプットキャプチャレジスタ 10A にキャプチャされた値が、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。転送される値は TIOR10 の PIM1、PIM0 で設定により、1/32、1/64、1/128、1/256 倍のうち、選択された値が転送されます。

16 ビットリロードカウンタ 10C (TCNT10C) は、RLD10C からの転送が実施されると自動的に 16 ビットリロードカウンタ 10C (TCNT10C) にも同値が転送されダウンカウント動作を開始します。TCNT10C は H'0001 になると自動的にリロードバッファ (RLD10C) から値を読み込み、内部クロック AGCK1 を生成し、再度ダウンカウント動作を繰り返します。内部で生成した AGCK1 は、倍周クロック補正

ブロックの 16 ビット補正カウンタ (TCNT10E) および 16 ビットフリーランニングカウンタ 10G (TCNT10G) にクロックとして入力されます。

16 ビットフリーランニングカウンタ 10G (TCNT10G) は TCNT10C が生成する AGCK1 によってカウントされます。また、TI10 からの外部入力により H'0000 に初期化されます。

16 ビットジェネラルレジスタ (GR10G) は、タイマ I/O コントロールレジスタ (TIOR10) の IO10G2~0 を設定することにより、フリーランニングカウンタ 10G (TCNT10G) とのコンペアマッチを行えます。コンペアマッチ発生時に割り込み要求が可能です。また、タイマインタラプトイネーブルレジスタ 10 (TIER10) を設定することにより、コンペアマッチ後に TI10 入力があった場合に割り込み要求を行うことが可能です。

(c) 倍周クロック補正ブロック

このブロックは、3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、16 ビット補正カウンタクリアレジスタ (TCCLR10) を内蔵しています。

16 ビット補正カウンタ 10D (TCNT10D) は、外部入力端子 TI10 からの入力により、32 ビットインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10E へ TCNT10D の値を転送し、カウントアップします。TCNT10E に転送される値は、タイマ I/O コントロールレジスタ (TIOR10) の PIM1、PIM0 ビットによって設定された値により、TCNT10D の値が 32、64、128、256 倍されて TCNT10E に転送されます。

16 ビット補正カウンタ 10E (TCNT10E) は、倍周クロック生成ブロックのリロードカウンタ 10C (TCNT10C、RLD10C) で生成される AGCK1 によりカウントアップします。ただし、タイマ I/O コントロールレジスタ (TIOR10) の CCS ビットの設定することにより、フリーランニングカウンタ 10D (TCNT10D) の PIM1、PIM0 による逡倍値とフリーランニングカウンタ 10E (TCNT10E) の値が一致している場合、フリーランニングカウンタ 10E (TCNT10E) のカウント動作を停止することができます。また、TI10 の入力によりインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10D が逡倍された値が転送されます。

16 ビット補正カウンタ 10F (TCNT10F) は P が入力されており、常に 16 ビット補正カウンタ 10E (TCNT10E) と比較されています。16 ビット補正カウンタ 10F (TCNT10F) は、16 ビット補正カウンタ 10E (TCNT10E) より小さいときにカウントアップされ、カウントアップ信号 AGCKM を生成します。補正カウンタ 10F (TCNT10F) が 16 ビット補正カウンタ 10E (TCNT10E) の値を上回ったとき (例えば、TCNT10F が TCNT10D をリロードしたとき) には、カウントアップ動作をしません。TCNT10F がカウントアップ時に生成する TI10 逡倍信号 (AGCKM) はチャンネル 1~5 のフリーランニングカウンタ (TCNT1A、1B、2A、2B、3、4、5) に出力され、各チャンネルでカウンタクロックとして設定することにより AGCKM でカウントアップすることができます。また TCNT10F は 16 ビット補正カウンタ

クリアレジスタ (TCCLR10) と常に比較されており、フリーランニングカウンタ 10F (TCNT10F) と補正カウンタクリアレジスタ (TCCLR10) が一致すると、TCNT10F のカウントアップが停止します。このとき、タイマコントロールレジスタ (TCR10) の TRG1AEN、TRG1BEN、TRG2AEN、TRG2BEN を設定することにより、チャンネル 1、2 のフリーランニングカウンタ (TCNT1A、1B、2A、2B) をクリアすることができます。また、TCNT10D=H'0000 のときに TH10 が入力されると初期化、補正動作を行います。TCNT10F=TCCLR10 のときは、TCNT10F は H'0001 にクリアされます。TCNT10F < TCCLR10 のときは、TCNT10F は TCCLR10 の値まで自動的にカウントアップし、H'0001 にクリアされます。

(9) チャンネル 11

チャンネル 11 は、1 本の 16 ビットフリーランニングカウンタ (TCNT11) と 2 本の 16 ビットジェネラルレジスタ (GR11A、B) を内蔵しています。TCNT11 はアップカウンタでフリーランニング動作を行います。カウンタはオーバフロー時に割り込み要求が可能です。2 本のジェネラルレジスタを (GR11A、B) をコンペアマッチに設定すると、APC にコンペアマッチ信号を出力できます。

(10) プリスケーラ

ATU-II は専用のプリスケアラを内蔵しています。このプリスケアラは 2 段構成になっています。初段はクロック P に対して、m 分の 1 クロック (m=1~32) を生成する 5 ビットのプリスケアラ (PSCR1~4) です。2 段目はそれぞれのチャンネルのタイマコントロールレジスタ (TCR1A、B、TCR2A、B、TCR3~5、TCR6A、B、TCR7A、B、TCR8、TCR11) により初段からのクロックをさらに 2^n (n=0~5) に分周したクロックの選択が可能です。

ただし、チャンネル 1~8、11 のプリスケアラは 2 段構成、チャンネル 0、10 のプリスケアラは初段のみとなっています。また、初段のプリスケアラはチャンネル 0~5、8、11 が共通になっており、初段の分周比をそれぞれ異なるように設定することができません。チャンネル 6、7、10 はそれぞれのチャンネルごとに初段のプリスケアラを持っており、初段の分周比をそれぞれ異なるように設定することができます。

10.3.2 フリーランニングカウンタ動作と周期カウンタ動作

チャンネル0~5、11のフリーランニングカウンタ(TCNT)は、タイマスタートレジスタ(TSTR)の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(チャンネル0:H'FFFFFFF H'00000000、チャンネル1~5、11:H'FFFF H'0000)するとタイマステータスレジスタ(TSR)のOVFビットが1にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ(TIER)のOVEビットが1ならばCPUに割り込みを要求します。TCNTはオーバーフロー後、H'00000000またはH'0000から再びアップカウントを続けます。

TCNTの動作中にTSTR値を0にすると、対応するTCNTは動作を停止します。このときTCNTはリセットされません。対応するTCNTのGRから外部出力している場合には、出力値は変化しません。

図10.13にチャンネル0のフリーランニングカウンタ動作を示します。

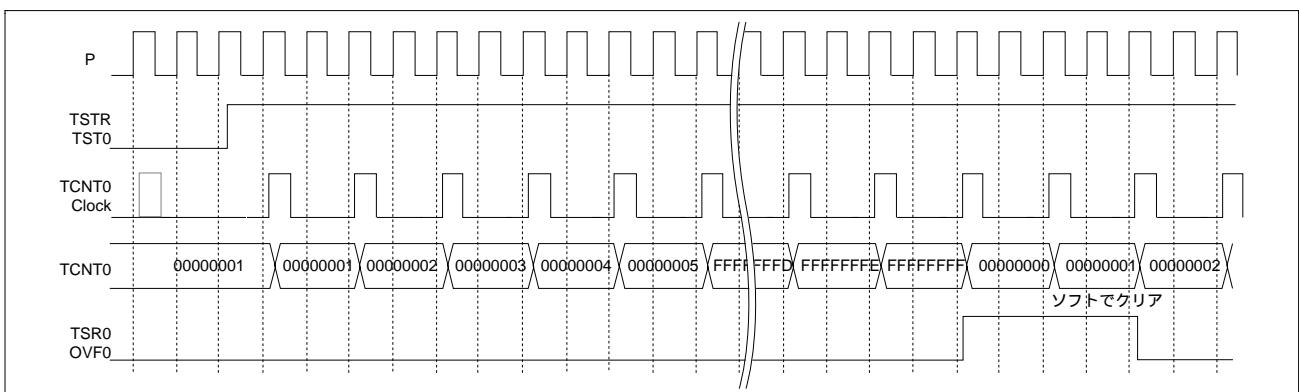


図 10.13 フリーランニングカウンタ動作およびオーバーフロータイミング

チャンネル6、7のフリーランニングカウンタ(TCNT)は、無条件で周期カウンタ動作を行います。また、チャンネル3~5のフリーランニングカウンタ(TCNT)は、タイマモードレジスタ(TMDR)のT3PWM~T5PWMビットに1をセットすると、あるいはT3PWM~T5PWMが0のとき、タイマI/Oコントロールレジスタ(TIOR)の対応するCCIビットを1にセットすると当該チャンネルのカウンタは周期カウンタ動作を行います。チャンネル3~5の場合はGR3D、4D、5Dが、チャンネル6、7の場合はCYLRが、カウンタTCNTとコンペアマッチすると当該TCNTがクリアされます(カウンタクリア機能)。TMDR設定後、TSTRの対応するSTRビットを1にセットすると、周期カウンタとしてカウントアップを開始します。カウント値がGR3D、4D、5DあるいはCYLR値と一致すると、タイマステータスレジスタ(TSR)のIMF3D、4D、5D、チャンネル6、7の場合はTSR6、7のCMFの対応するビットに1がセットされ、TCNTはH'0000、チャンネル6、7の場合はH'0001にクリアされます。

このとき、TIER の対応するビットが 1 ならば、CPU に割り込み要求をします。TCNT はコンペアマッチ後、H'0000、チャンネル 6、7 の場合は H'0001 から再びアップカウント動作を継続します。

チャンネル 3 を周期カウンタとして(周期を H'0008 に設定)使用したときの動作を図 10.14 に示します。

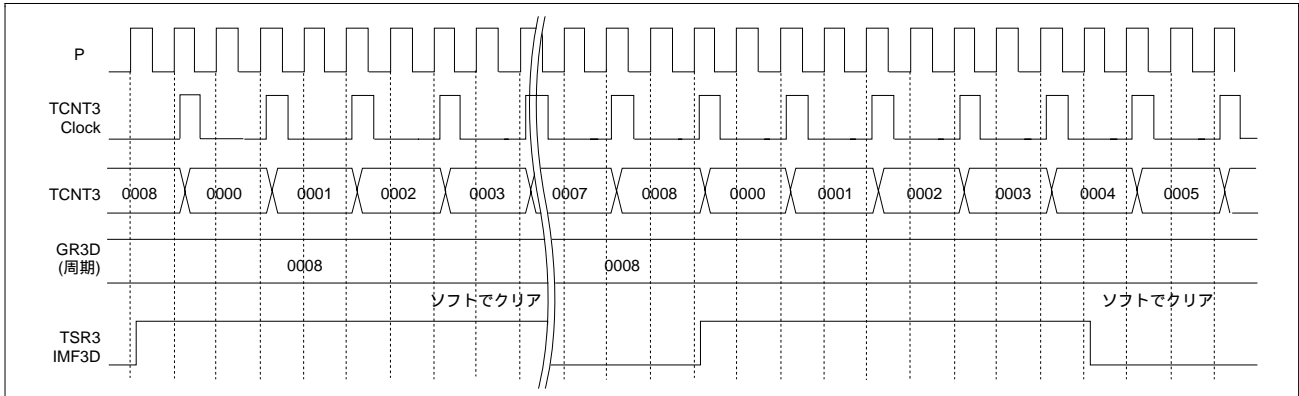


図 10.14 周期カウンタ動作例

10.3.3 コンペアマッチ機能

チャンネル 1 ~ 5 のジェネラルレジスタ (GR1A ~ GR1H、GR2A ~ GR2H、GR3A ~ GR3D、GR4A ~ GR4D、GR5A ~ GR5D) は、タイマ I/O コントロールレジスタ (TIO1 ~ TIO5) にコンペアマッチ動作を指定することにより、対応する外部端子 (TIO1A ~ TIO1H、TIO2A ~ TIO2H、TIO3A ~ TIO3D、TIO4A ~ TIO4D、TIO5A ~ TIO5D) からコンペアマッチ出力を行います。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウントアップを開始します。あらかじめ GR に値を設定し、TCNT が GR に一致すると、GR に対応するタイマステータスレジスタ (TSR) のビットをセットし、GR に対応する端子から波形を出力します。出力は TIO1 ~ TIO5 への設定により 1 出力 / 0 出力 / トグル出力から選択できます。また、インタラプトイネーブルレジスタ (TIER) への設定によりコンペアマッチ発生時に CPU への割り込み要求が可能です。

また、チャンネル 1、2 のコンペアマッチレジスタ (OCR1、OCR2A ~ OCR2H) は無条件でコンペアマッチ動作を行います。ただし出力端子はありません。コンペアマッチ発生時に TIER への設定により CPU への割り込み要求が可能です。

さらにチャンネル 1、2 の GR と OCR は、コンペアマッチ時にチャンネル 8 にトリガ/ターミネート信号を送信することができます。このときは、トリガモードレジスタ (TRGMDR) タイマコネクションレジスタ (TCNR) とワンショットパルスターミネートレジスタ (OTR) で設定してください。

図 10.15 にコンペアマッチ動作を示します。

図 10.15 はチャンネル 1 を起動し、GR1A をダブル出力、GR1B を 1 出力、GR1C を 0 出力に設定し外部出力をさせたときの例です。

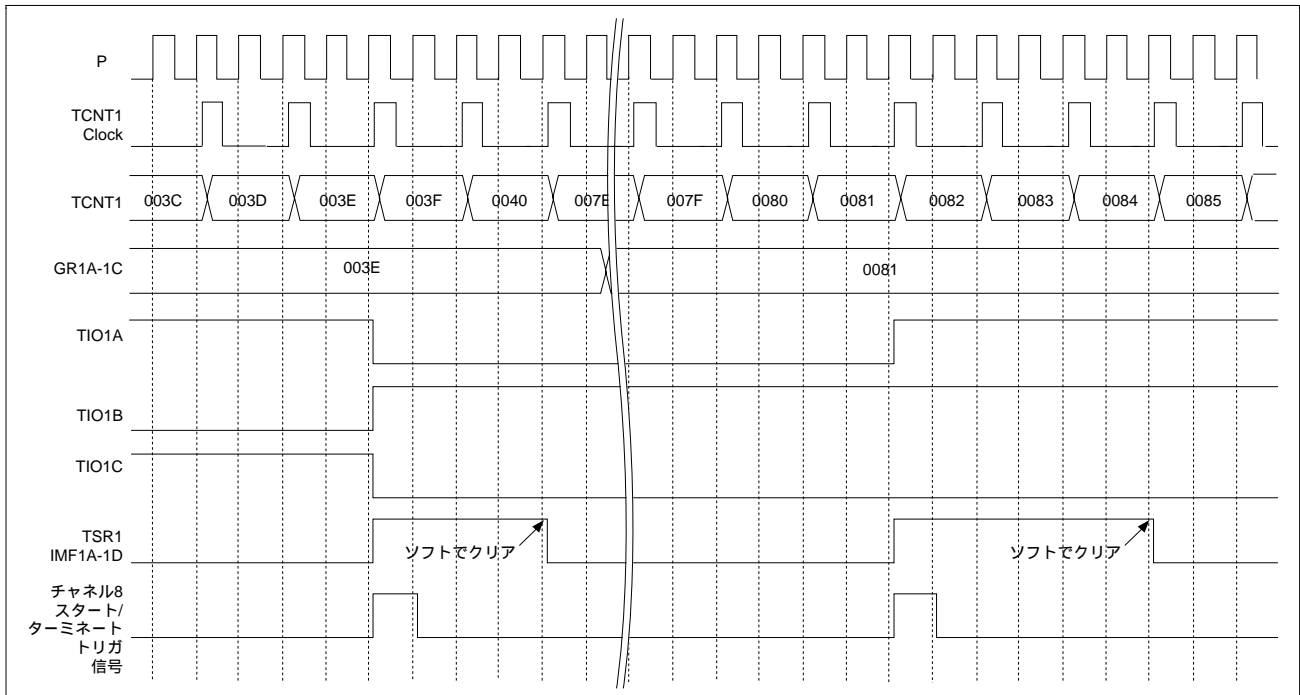


図 10.15 コンペアマッチ動作

10.3.4 インพุットキャプチャ機能

チャンネル 0 ~ 5 のインพุットキャプチャレジスタ (ICR0A ~ ICR0D) とジェネラルレジスタ (GR1A ~ GR1H, GR2A ~ GR2H, GR3A ~ GR3D, GR4A ~ GR4D, GR5A ~ GR5D) は、タイマ I/O コントロールレジスタ (TIOR0 ~ TIOR5) にインพุットキャプチャ動作を指定することにより、対応する外部端子 (TIOA ~ TIOD, TIO1A ~ TIO1H, TIO2A ~ TIO2H, TIO3A ~ TIO3D, TIO4A ~ TIO4D, TIO5A ~ TIO5D) からエッジが入力されるとインพุットキャプチャ動作します。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウントアップを開始します。ICR または GR の対応する外部端子のエッジが入力されると、対応するタイマステータスレジスタ (TSR) のビットがセットされ、TCNT 値が ICR または GR に転送されます。入力されるエッジは、立ち上がり / 立ち下がり / 両エッジから選択できます。また、インタラプトイネーブルレジスタ (TIER) の設定により CPU に割り込み要求をすることができます。

図 10.16 にインพุットキャプチャ動作を示します。

図 10.16 はチャンネル 1 を起動し、TIO1A は両エッジ、TIO1B は立ち上がり、TIO1C は立ち下がり指定で動作させたときの例です。

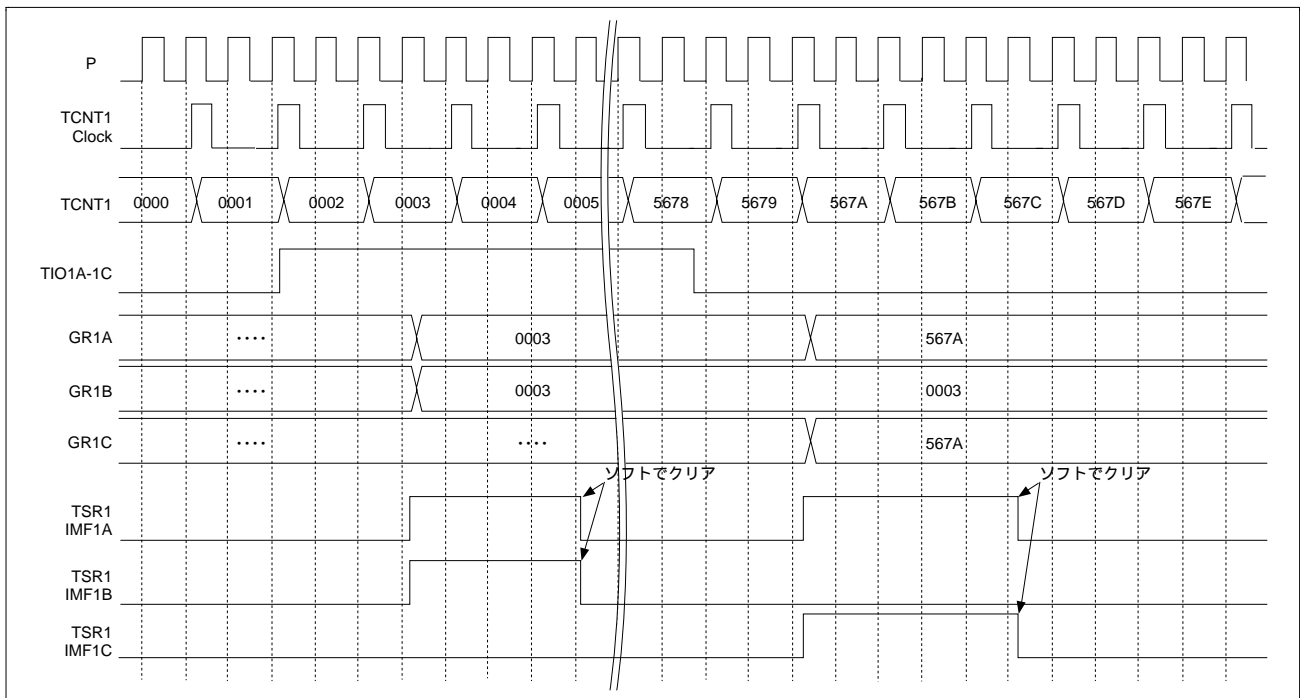


図 10.16 インプットキャプチャ動作

10.3.5 ワンショットパルス機能

チャンネル 8 は、16 本のダウンカウンタ (DCNT8A ~ DCNT8P) と、それぞれに対応する外部端子 (TO8A ~ TO8P) を持っており、ワンショットパルス出力が可能です。

あらかじめ DCNT に値を設定し、ダウンカウントスタートレジスタ (DSTR) の対応するビットを設定すると DCNT はダウンカウントを開始します。ダウンカウントを開始すると同時に外部端子から 1 を出力します。DCNT が H'0000 に達すると、ダウンカウント動作を停止し、タイマステータスレジスタ (TSR) の対応するビットをセットします。対応する外部端子からは 0 を出力します。DSTR の対応するビットは自動的にクリアされます。またこのときインタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

ワンショットパルス出力動作例を図 10.17 に示します。

図 10.17 は、H'0005 を DCNT に設定しダウンカウントを開始したときの例です。

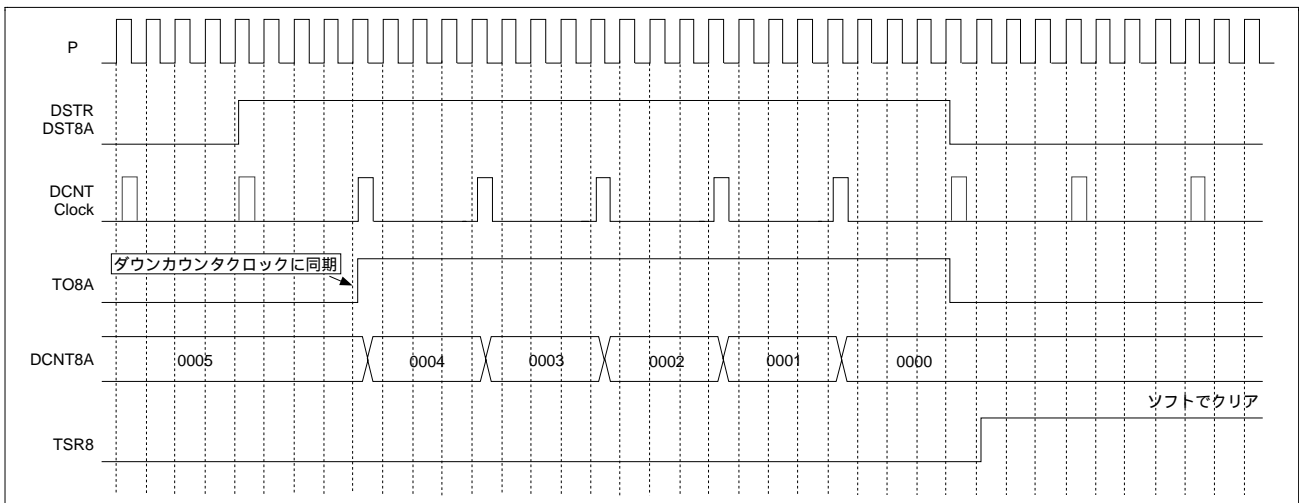


図 10.17 ワンショットパルス出力動作

10.3.6 オフセット付きワンショットパルス機能と出力遮断機能

チャンネル 8 のダウンカウンタ (DCNT8A ~ DCNT8P) は、タイマコネクシオンレジスタ (TCNR) への設定によりチャンネル 1 のジェネラルレジスタ (GR1A ~ GR1H) またはチャンネル 1、2 のコンペアマッチレジスタ (OCR1、OCR2A ~ OCR2H) からのコンペアマッチ信号を用いてダウンカウントをスタートさせることができます。DCNT8A ~ DCNT8H はチャンネル 1 の OCR1 または GR1A ~ GR1H と、DCNT8I ~ DCNT8P はチャンネル 2 の OCR2A ~ OCR2H または GR2A ~ GR2H と接続されます。DCNT に対応した外部端子 (TO8A ~ TO8P) からはワンショットパルス出力が可能です。またワンショットパルスターミネートレジスタ (OTR) への設定によりダウンカウントを強制的に停止することができます。チャンネル 1 に関しては、GR、OCR のコンペアマッチでダウンカウントスタート / ターミネートの選択がトリガモードレジスタ (TRGMDR) により可能です。

タイマスタートレジスタ (TSTR) への設定によりチャンネル 1、2 のフリーランニングカウンタ (TCNT) はカウントアップ動作を開始します。TCNR で接続を許可した状態で、TCNT が GR または OCR と一致すると、それぞれに対応する DSTR が自動的にセットされ、DCNT がダウンカウントを開始します。同時に外部端子 (TO8A ~ TO8P) からは 1 を出力します。インタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

また、OTR でチャンネル 1、2 のコンペアマッチ信号でチャンネル 8 のワンショットパルス終了を許可した状態で、TCNT1 が GR または OCR と、TCNT2 が GR と一致すると、それぞれに対応する DSTR が自動的にクリアされ、DCNT がダウンカウントを停止します。このとき DCNT 値は、H'0000 にクリアされます。再びダウンカウントが開始される前に書き換えてください。

DCNT8I ~ DCNT8P には、リロードレジスタ (RLDR8) が接続されており、ワンショットパルススタートトリガにより DCNT8I ~ DCNT8P に対応する DSTR がセットされると DCNT8I ~ DCNT8P は RLDR8 をロードしてからダウンカウントを開始します。

オフセット付きワンショットパルス出力機能および出力遮断機能の動作例を図 10.17 に示します。

図 10.18 は、チャンネル 2 の OCR2A で DCNT8I をスタートし、GR2A で DCNT8I を出力遮断するときの例です。

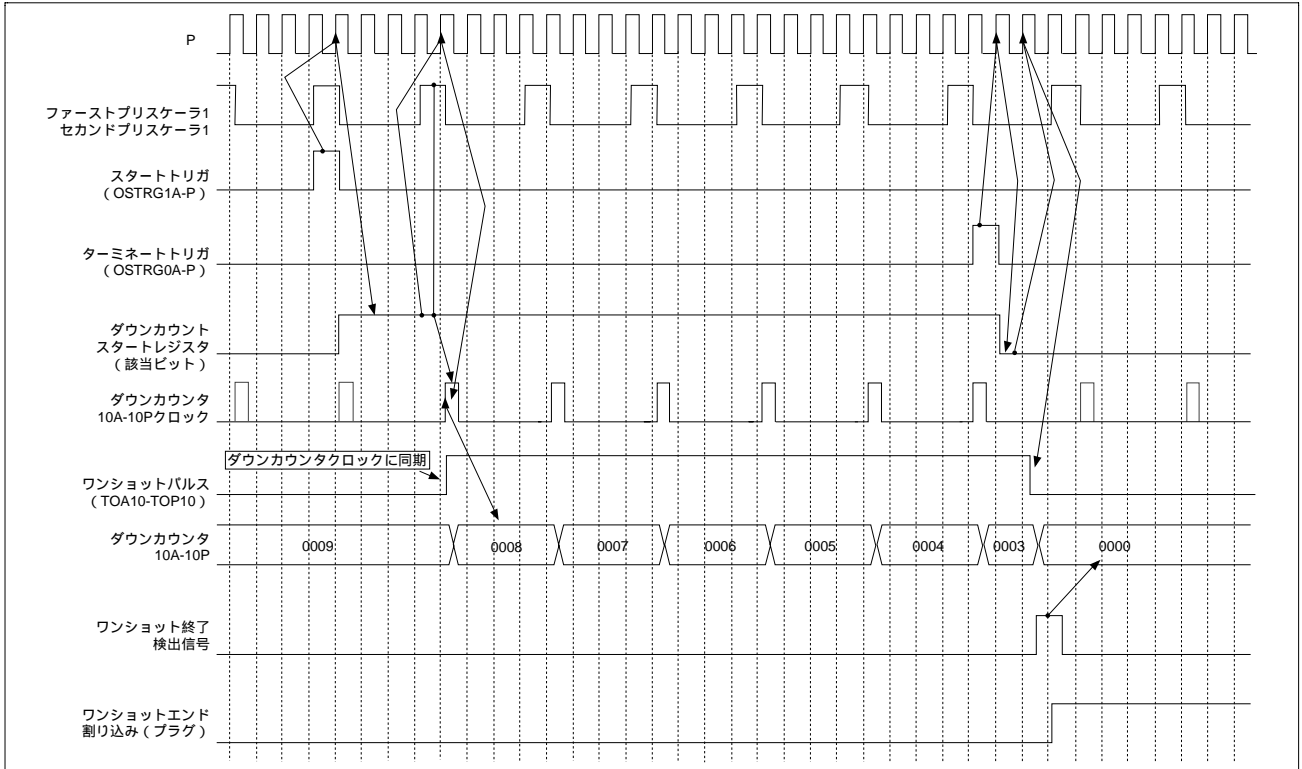


図 10.18 オフセット付きワンショットパルス出力機能と出力遮断機能動作

10.3.7 インターバルタイマ機能

インターバルインタラプトリクエスタレジスタ (ITVRR1、ITVRR2A、ITVRR2B) は、チャンネル 0 のフリーランニングカウンタ (TCNT0) のビット 6~9 とビット 10~13 と接続されています。ITVRR は 8 ビットのレジスタで上位 4 ビット (ITVA) は A/D 変換器の起動用で、下位 4 ビット (ITVE) は割り込み要求用です。ITVRR1 は A/D 変換器 2 (AD2) に接続され、ITVRR2A は A/D 変換器 0 (AD0)、ITVRR2B は A/D 変換器 1 (AD1) に接続されます。

所望のタイミングの ITVA ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに A/D 変換器が起動されます。

所望のタイミングの ITVE ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに割り込み要求が可能で、このときタイマステータスレジスタ (TSR0) の該当するビットがセットされます。割り込みはそれぞれの ITVRR で 4 要因ありますが、割り込みベクタは ITVRR に対して 1 つです。

割り込みおよび A/D 変換器の起動を行わない場合は、ITVRR は 0 に設定してください。インターバルタイマ機能の動作例を図 10.19 に示します。

図 10.19 は ITVRR1 の ITVE に 1 を設定して、TCNT0 を起動したときの例です。

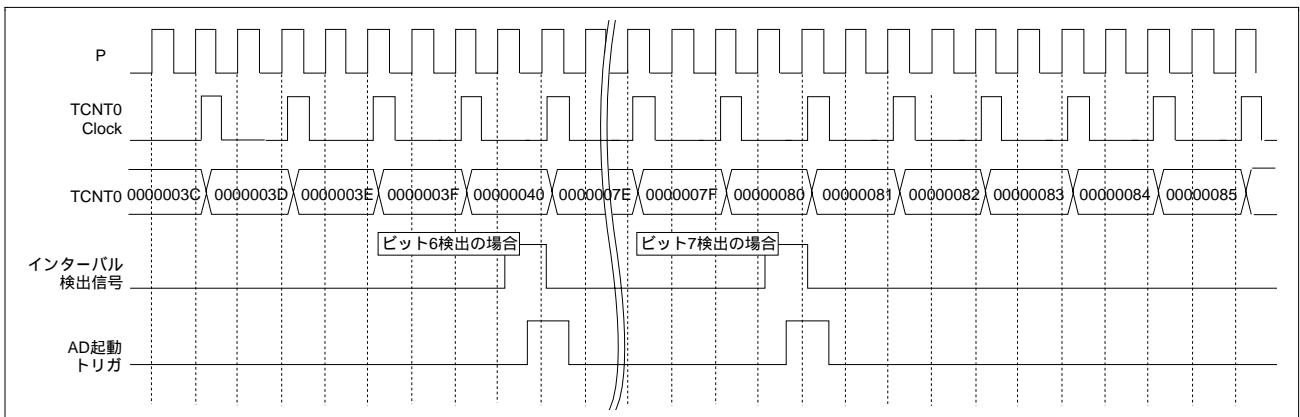


図 10.19 インターバルタイマ機能

10.3.8 ツインキャプチャ機能

チャンネル0のインプットキャプチャレジスタ (ICR0A) と、チャンネル1のオフセットベースレジスタ1 (OSBR1) およびチャンネル2のオフセットベースレジスタ2 (OSBR2) は、タイマ I/O コントロールレジスタ 0 (TIOR0) への設定により同じトリガでインプットキャプチャ動作を行うことができます。

タイマスタートレジスタ (TSTR) への設定によりチャンネル0、チャンネル1、チャンネル2の TCNT0、TCNT1A および TCNT2A をスタートさせ、ICR0A にエッジが入力されると、OSBR1 には TCNT1A の値が、OSBR2 には TCNT2A の値が転送されます。エッジの検出は「10.3.4 インプットキャプチャ機能」で述べたとおりです。

図 10.20 にツインキャプチャ動作例を示します。

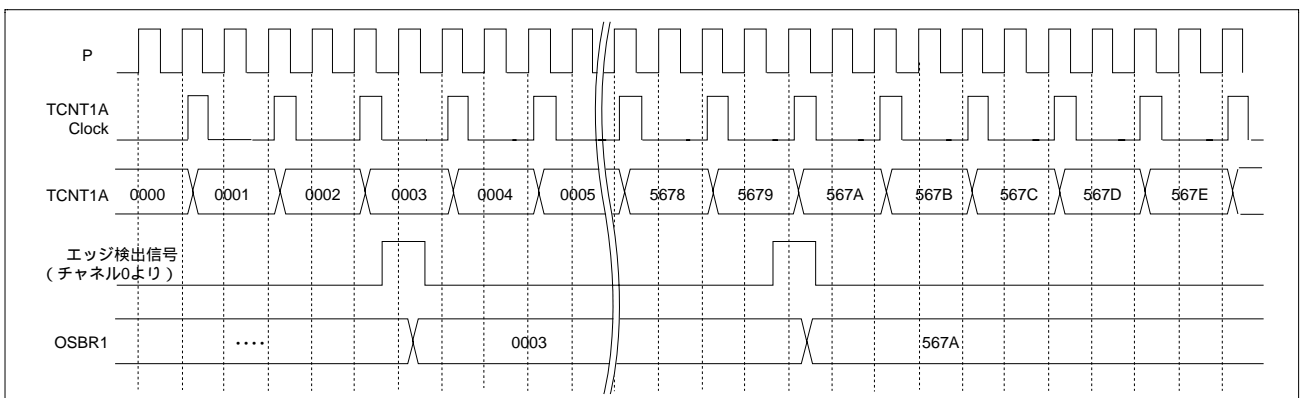


図 10.20 ツインキャプチャ動作

10.3.9 PWM タイマ機能

チャンネル6、7は無条件で、外部端子 (TO6A ~ TO6D、TO7A ~ TO7D) を使用したPWMタイマとして使用できます。

チャンネル6、7は、タイマスタートレジスタ (TSTR) の対応するビットをセットしてフリーランニングカウンタ (TCNT) を起動すると、対応するサイクルレジスタ (CYLR)

に一致するまでカウントアップ動作をします。TCNTはCYLRと一致するとH'0001にクリアされ、そこから再びアップカウントします。対応する外部端子は、このとき1を出力します。またタイムインタラプトイネーブルレジスタ(TIER)の対応するビットを設定することによりCPUに割り込みを要求することができます。デューティレジスタ(DTR)に値が設定されており、TCNTがDTRと一致すると、対応する外部端子に0を出力します。DTRがH'0000の場合には、出力は変化しません(デューティ0%)。デューティを100%にするにはDTR = CYLRに設定してください。DTRにはDTR > CYLRとなる値を設定しないでください。

チャンネル6、7にはバッファ(BFR)を持っており、TCNTがCYLRと一致するとBFR値がDTRに転送されます。BFRに書き込まれたデューティ値が出力値に反映されるのは、BFRが書き込まれた周期の次の周期になります。

図 10.21 に PWM タイマ動作例を示します。

図 10.21 はチャンネル6のCYLR6AにH'0004、BFR6AにH'0002、H'0000(0%)、H'0004(100%)、H'0001を設定したときの動作例です。

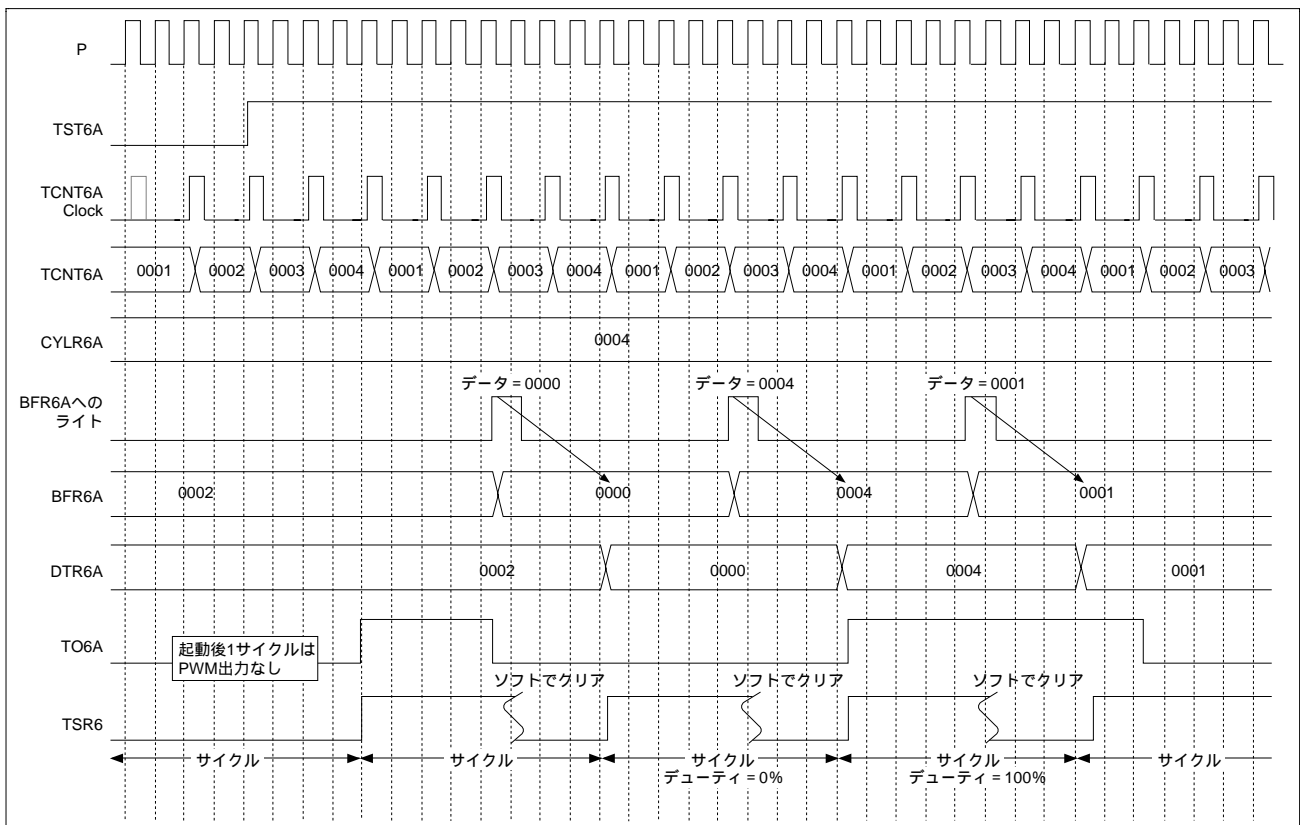


図 10.21 PWM タイマ動作

また、チャンネル6はPWMモードコントロールレジスタ(PMDR)への設定により、相補PWMモードとして使用できます。また、PMDRへの設定によりオンデューティ/オフデューティの選択も可能です。

TSTR への設定により TCNT6 を起動すると、TCNT6 はカウントアップを開始します。TCNT6 が CYLR6 に達すると、TCNT6 はダウンカウントを開始し、H'0000 に達すると再びアップカウント動作をします。このときカウンタのステータスを TSR6 にて示しますが、TCNT6 がアンダフローしたとき、TIER の対応するビットを設定することにより CPU に割り込みを要求することができます。TCNT6 がデューティレジスタ (DTR6) に一致すると出力を反転します。一致前の出力は PMDR の設定に依存します。DTR6 にデットタイムを含んで値を設定すると、最大 4 相の PWM 出力が可能です。BFR6 から DTR6 へのデータ転送は、アンダフローしたときに行われます。

図 10.22 にチャンネル 6 の相補 PWM モード動作例を示します。

図 10.22 はチャンネル 6 の CYLR6A に H'0004、BFR6A に H'0002、H'0003、H'0004 (100%)、H'0000 (0%) を設定したときの動作例です。

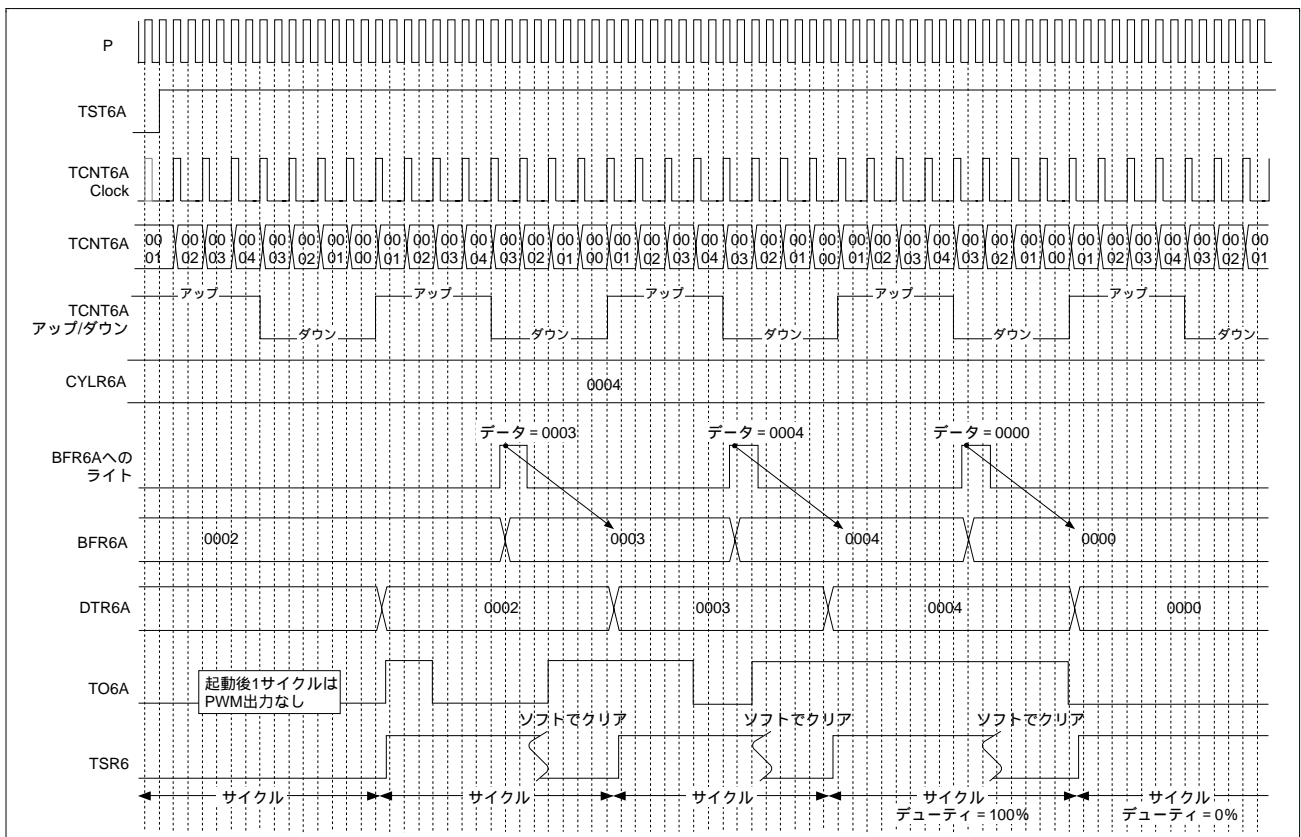


図 10.22 相補 PWM モード動作

10.3.10 チャンネル 3～5 の PWM 機能

チャンネル 3～5 は、タイマモードレジスタ (TMDR) の対応するビットに 1 を設定することにより、PWM モードとなり、周期が同じ PWM タイマとして動作させることができます。

PWM モードでは、ジェネラルレジスタ D (GR3D、GR4D、GR5D) が周期レジスタとして、またジェネラルレジスタ A～C (GR3A～GR3C、GR4A～GR4C、GR5A～GR5C) は

デューティレジスタとして使用されます。デューティレジスタに使用される GR それぞれに対応する外部端子 (TIO3A ~ TIO3C、TIO4A ~ TIO4C、TIO5A ~ TIO5C) は PWM 出力として使用します。このとき外部端子 (TIO3D、TIO4D、TIO5D) はタイマ出力として使用しないでください。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) を動作させ、TCNT が周期レジスタ (GR3D、GR4D、GR5D) に達するとコンペアマッチを発生し、TCNT はクリアされ再び H'0000 からカウントアップします。このときタイマステータスレジスタ (TSR) の該当するビットをセットすると共に、同時に外部端子から 1 を出力します。TCNT がデューティレジスタ (GR3A ~ GR3C、GR4A ~ GR4C、GR5A ~ GR5C) に達すると、外部端子に 0 を出力します。対応するステータスフラグは、セットされません。

フリーランニングカウンタ初期値 (H'0000) からカウンタを起動して PWM 動作を行うと、1 周期間 PWM 出力は行いません。すぐに PWM 出力を行うには、フリーランニングカウンタに周期レジスタと同じ値をセットしてカウンタを起動してください。また、周期レジスタに H'FFFF を設定して PWM 動作を行うと、周期レジスタのコンペアマッチフラグとオーバフローのフラグが同時にセットされます。

チャンネル 3 ~ 5 の PWM モードでは 0%、100% デューティを出力することはできません。

図 10.23 にチャンネル 3 ~ 5 の PWM モード動作例を示します。

図 10.23 は、GR3D に H'F0008、GR3A、GR3B、GR3C に H'0002 を設定してチャンネル 3 を起動し、途中で GR3A、GR3B、GR3C に H'0000 を設定し外部端子 (TIOA3 ~ TIOC3) に出力した場合の例です。H'0000 を設定してもデューティ 0% 出力はできません。

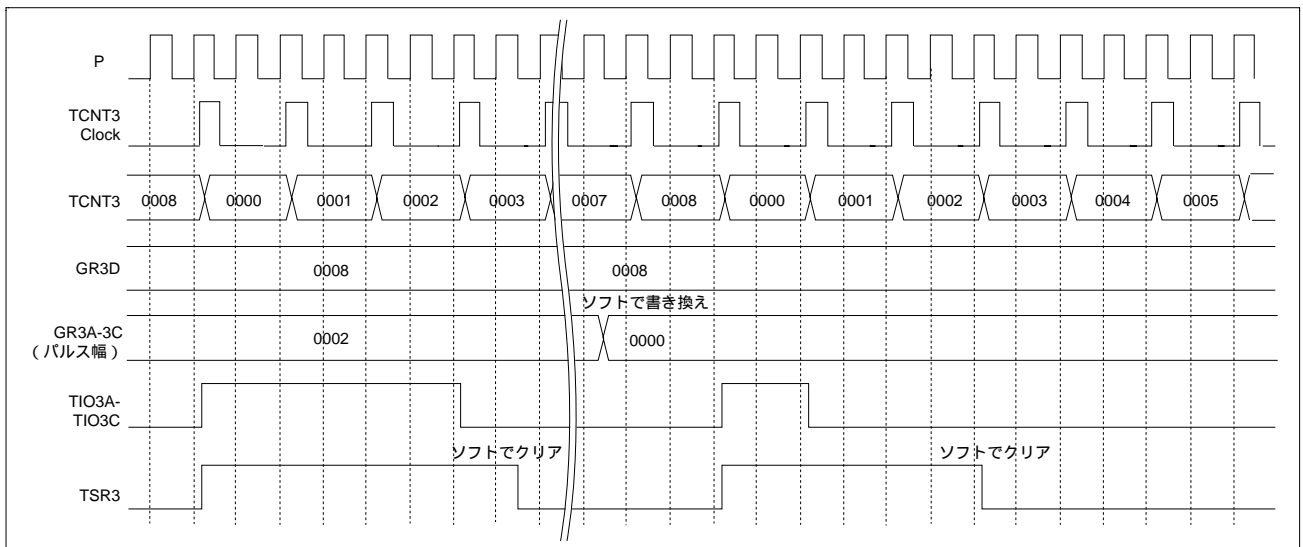


図 10.23 チャンネル 3 ~ 5 の PWM モード動作

10.3.11 イベントカウント機能とイベント周期計測

チャンネル9は6本の8ビットイベントカウンタ (ECNT9A ~ ECNT9F) と、それぞれにジェネラルレジスタ (GR9A ~ GR9F) を持っています。それぞれのイベントカウンタは外部端子 (TI9A ~ TI9F) を持っています。

ECNT9は無条件にイベントカウンタとして動作します。外部端子からエッジが入力されると、ECNT9がカウントアップされます。ECNT9はGR9に設定された値に一致した後にエッジが入力されるとクリアされ、再び外部端子にエッジが入力されるとカウントアップします。タイマインタラプトイネーブルレジスタ (TIER) の対応するビットをセットしておく、コンペアマッチでCPUに割り込み要求ができます。

また、ECNT9A ~ ECNT9Dはコンペアマッチした時にそのトリガをチャンネル3に送信することができます。チャンネル3において、タイマI/Oコントロールレジスタ (TIOR) でチャンネル9のトリガ入力に設定し、タイマスタートレジスタ (TSTR) の当該ビットを1に設定すると、ECNT9A ~ ECNT9Dでコンペアマッチ発生時ジェネラルレジスタ (GR3A ~ GR3D) にTCNT3値がキャプチャされます。これによりイベント周期計測が可能です。

図 10.24 にイベントカウント動作を示します。両エッジ、立ち下がり、立ち上がりでECNT9Aをカウントアップし、GR9AはH'10を設定してコンペアマッチさせた例です。

図 10.24 にはイベント周期計測動作を示します。チャンネル9からのトリガでチャンネル3のGR3AがTCNT3をキャプチャする例です。

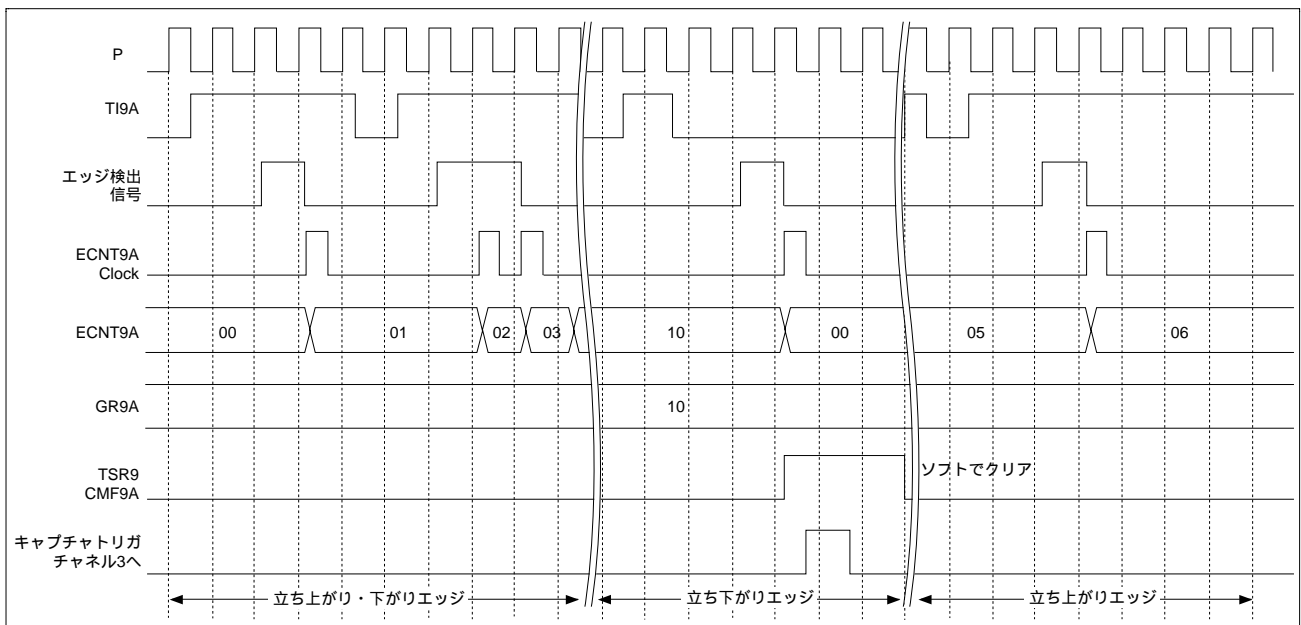


図 10.24 イベントカウント動作

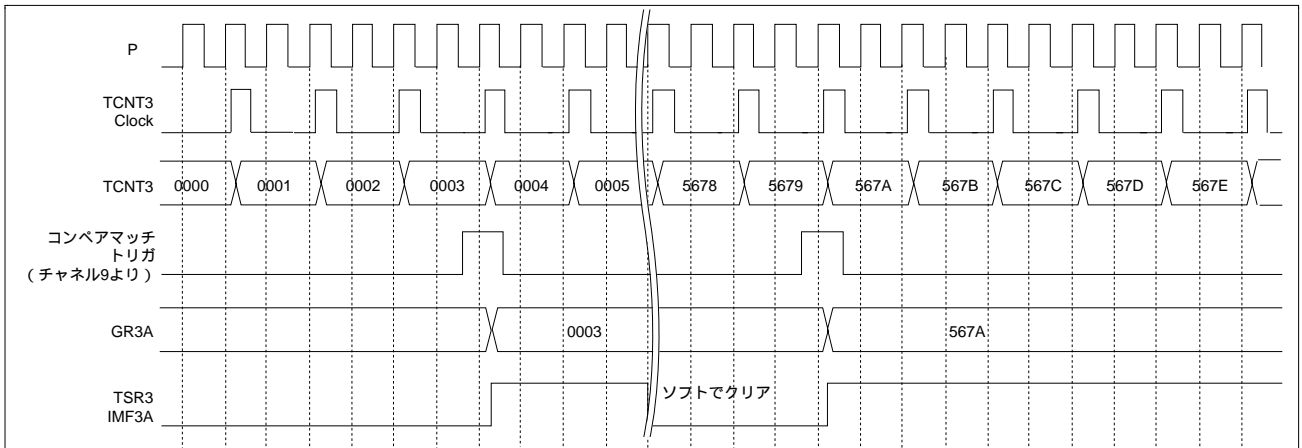


図 10.25 イベント周期計測動作

10.3.12 チャンネル 10 の機能

(i) エッジ間計測機能およびエッジ入力停止検出機能

チャンネル 10 の 32 ビットインプットキャプチャレジスタ 10A (ICR10A) および 32 ビットアウトプットコンペアレジスタ 10A (OCR10A) は、無条件でそれぞれインプットキャプチャ/コンペアマッチ動作を行います。これらは 32 ビットフリーランニングカウンタ (TCNT10A) に接続されています。

タイマスタートレジスタ (TSTR) の当該ビットを設定すると、チャンネル 10 全体が動作を開始します。ICR10A は外部入力端子 (TI10) を持っており、本入力端子にエッジが入力されると ICR10A は TCNT10A の値をキャプチャします。このとき TCNT10A は H'00000001 にクリアされます。キャプチャされた値は、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。このときタイマインタラプトイネーブルレジスタ (TIER) の設定により CPU への割り込みの要求ができます。これによりエッジ間計測が可能です。

また、TCNT10A が OCR10A に設定された値に達すると、コンペアマッチによる割り込み発生が可能です。これにより OCR10A に設定された時間以上エッジ入力が増加したことを検出することができます。

TI10 からの入力エッジは内部で同期化され、内部信号 AGCK となります。TI10 に入力されるエッジは、タイマコントロールレジスタ (TCR10) の NCE ビットの設定によりタイマ 10H (TCNT10H) での入力キャンセル機能を使用してノイズをキャンセルすることができます。TI10 にエッジが入力されると TCNT10H が起動し、コンペアマッチレジスタ (NCR10) に到達するまで入力を禁止します。

図 10.26 にエッジ入力動作 (ノイズキャンセル無し)、図 10.27 にエッジ入力動作 (ノイズキャンセル有り)、図 10.28 に TCNT10A のキャプチャ動作とコンペアマッチ動作を示します。

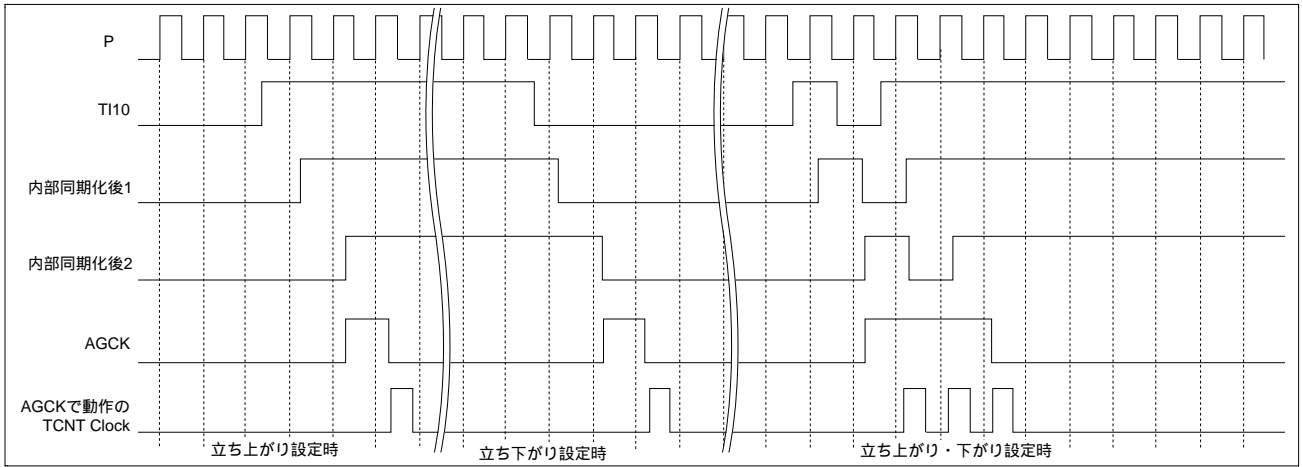


図 10.26 エッジ入力動作 (ノイズキャンセル無し)

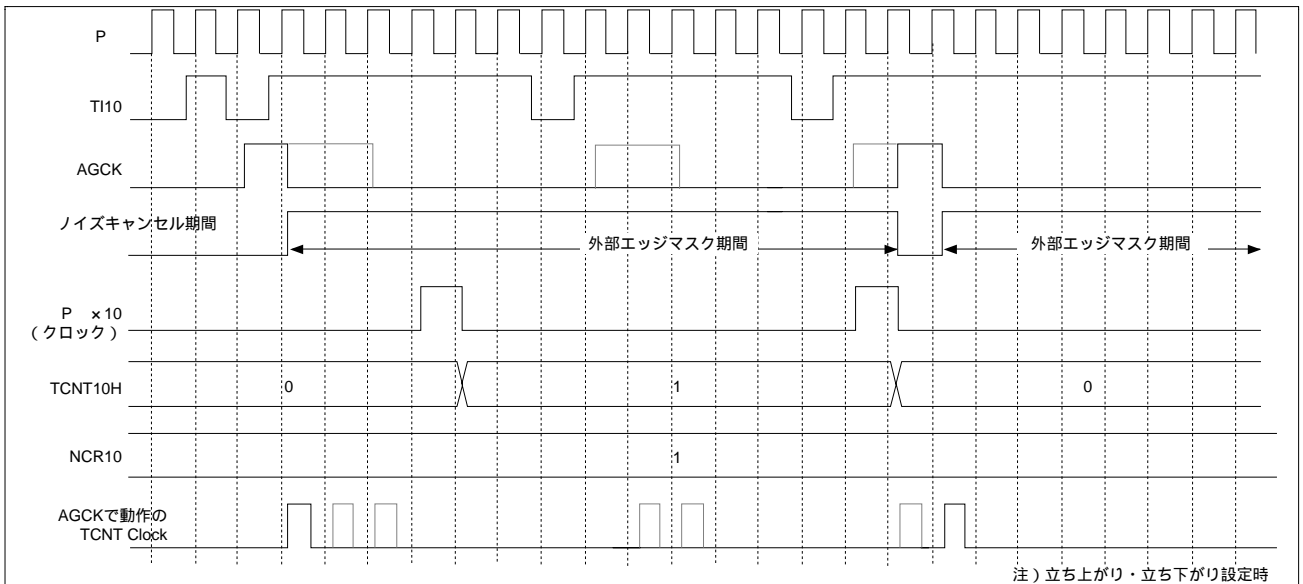


図 10.27 エッジ入力動作 (ノイズキャンセル有り)

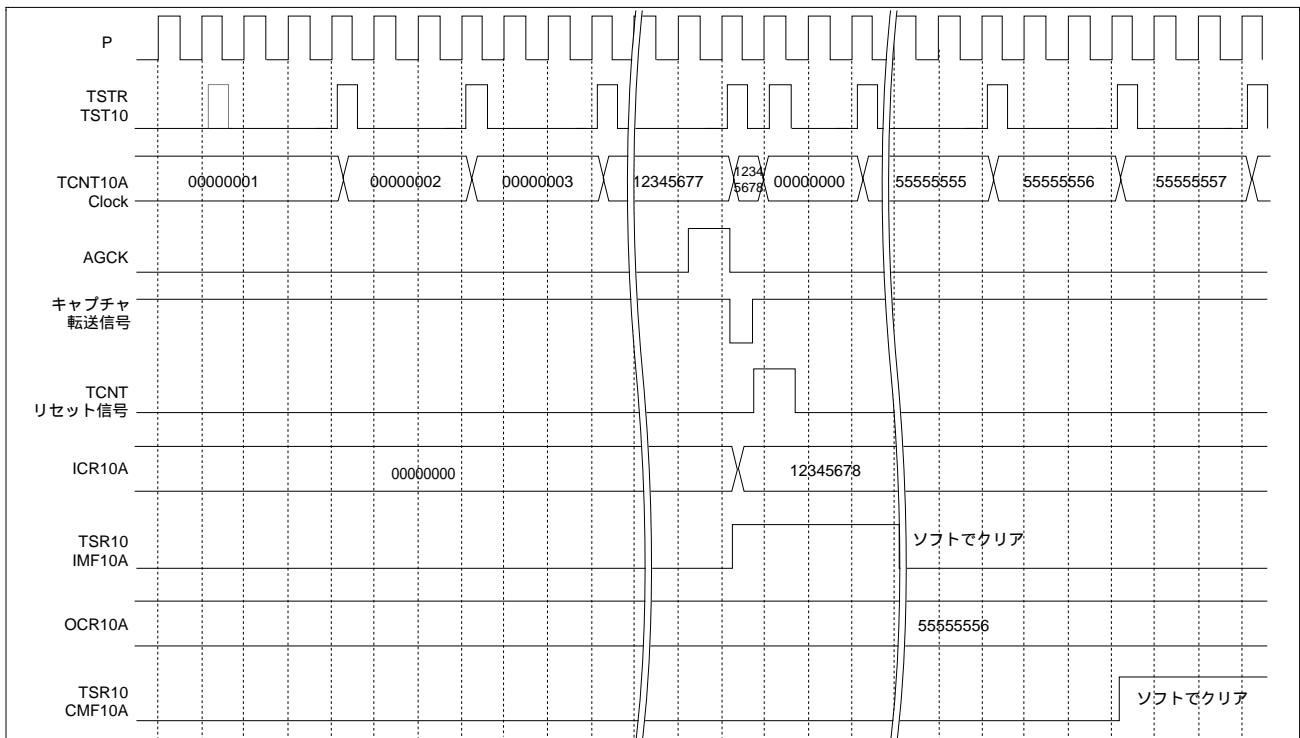


図 10.28 TCNT10A のキャプチャ動作とコンペアマッチ動作

内部で同期化された AGCK は、イベントカウンタ 10B (TCNT10B) でカウントされ、あらかじめコンペアマッチレジスタ 10B (OCR10B) に値を設定しておくで TCNT10B が一致した時にコンペアマッチを発生します。このときコンペアマッチトリガ信号をチャンネル 0 に送信します。また、TIER の該当するビットをセットしておくで CPU の割り込み要求が可能です。

図 10.29 に TCNT10B のコンペアマッチ動作を示します。

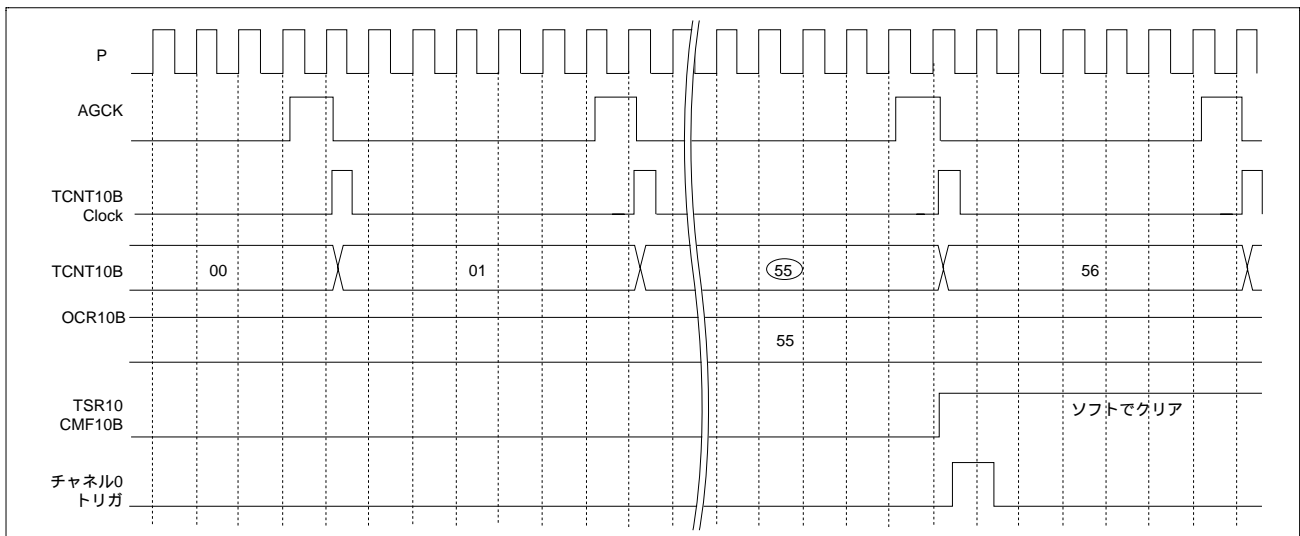


図 10.29 TCNT10B のコンペアマッチ動作

(ii) 倍周クロック生成機能

チャンネル 10 の 16 ビットリロードカウンタ (TCNT10C、RLD10C) と 16 ビットフリーランニングカウンタ (TCNT10G) は外部端子 (TI10) から入力されたエッジ間を 32/64/128/256 倍に倍周することができます。

上記 ICR10A でキャプチャされた値は、タイマ I/O コントロールレジスタ (TIOR10) で設定された値により 1/32、1/64、1/128、1/256 倍されてリロードバッファ (RLD10C) に転送されます。これと同時に 16 ビットリロードカウンタ 10C (TCNT10C) にも同値が転送されダウンカウント動作を開始します。このカウンタは H'0001 に達すると自動的に RLD10C から値を読み込み再度ダウンカウント動作を繰り返します。このリロードが発生すると倍周クロック信号 (AGCK1) を生成します。AGCK1 は次項で説明する倍周クロック補正機能により補正クロック (AGCKM) に変換されます。

また、チャンネル 10 は、ジェネラルレジスタ (GR10G) と、16 ビットフリーランカウンタ 10G (TCNT10G) を用いて倍周クロック (AGCK1) によるコンペアマッチ動作が可能です。TCNT10G は無条件で AGCK1 でカウントアップされます。TCNT10G が GR10G と一致したときにタイマインタラプトイネーブルレジスタ (TIER) の設定により、CPU への割り込みを要求することができます。この割り込みタイミングは、TIER の IREG ビットによりコンペアマッチ発生時、またはコンペアマッチ発生後最初の TI10 エッジ入力時の選択ができます。

図 10.30 に TCNT10C 動作、図 10.31 に TCNT10G のコンペアマッチ動作を示します。

10. アドバンスドタイマユニット-II (ATU-II)

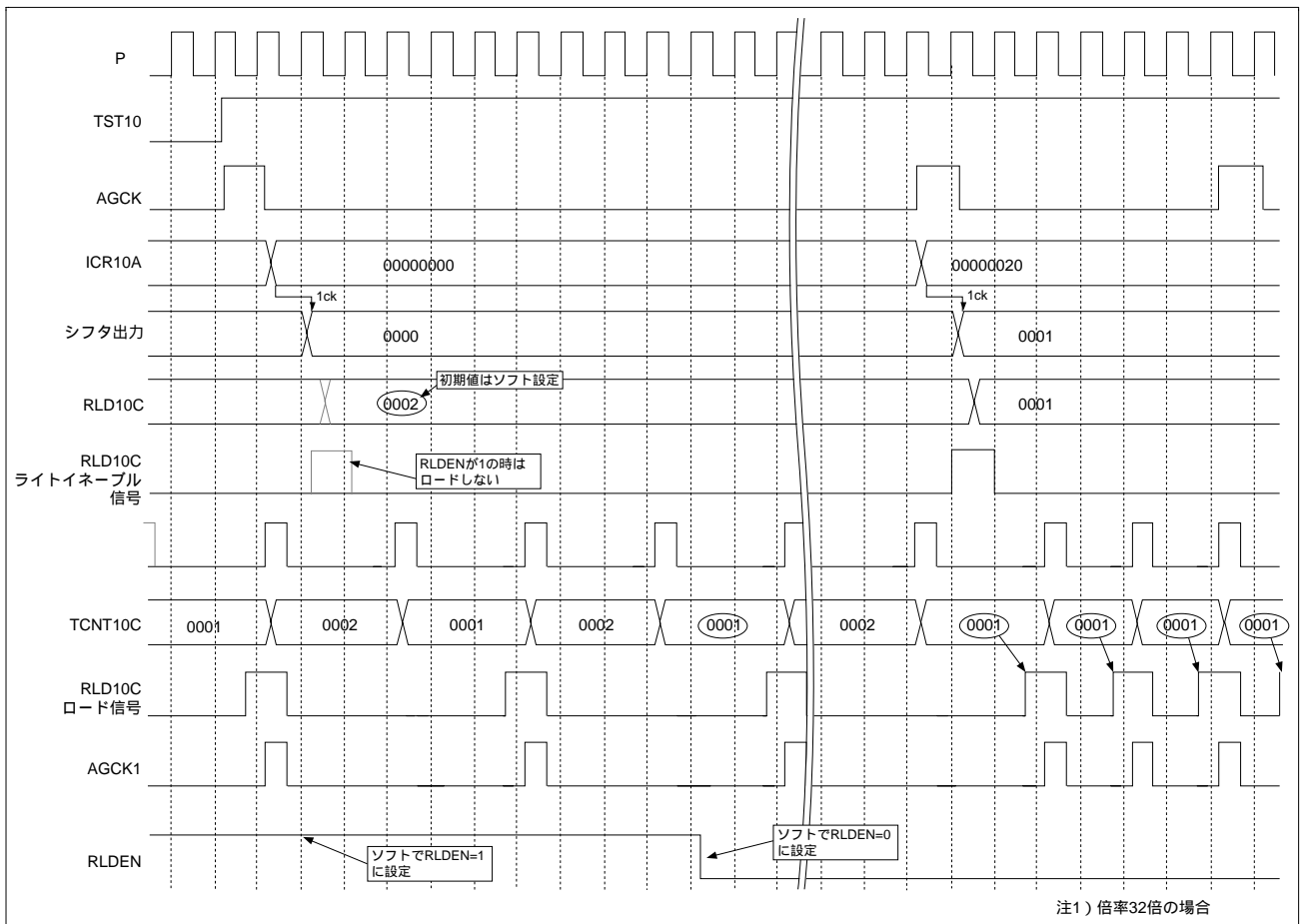


図 10.30 TCNT10C の動作

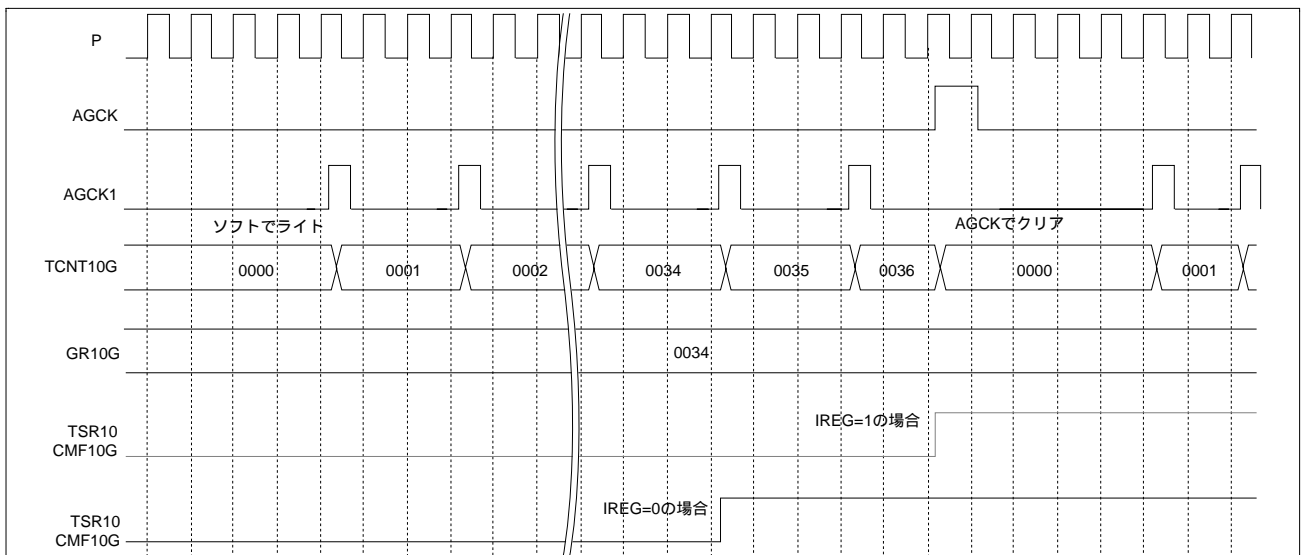


図 10.31 TCNT10G のコンペアマッチ動作

(iii) 倍周クロック補正機能

チャンネル 10 の 3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、

補正カウンタクリアレジスタ (TCCLR10) は、TI10 から入力されるエッジ間を TIOR10 で設定された倍周値にするように補正機能を持っています。

TCNT10E は、AGCK1 によりカウントアップします。TCNT10E は、AGCK で TCNT10D をロードし、再度 AGCK1 によりカウントアップします。このとき、TIOR10 のカウンタコレクションセレクト (CCS) により TCNT10D = TCNT10E で TCNT10E を停止するかしないかを選択できます。

TCNT10F は、周辺クロック (P) が入力されており、常に TCNT10E と比較されています。TCNT10F は、TCNT10E より小さいときにカウントアップされ倍周補正クロック信号 (AGCKM) を出力します。

TCNT10E が TCNT10F の値を上回ったとき (TCNT10E が TCNT10D をロードしたとき) には、カウントアップ動作をしません。この AGCKM は、チャンネル1~5 のフリーランカウンタ (TCNT1~5) へ出力されます。

また、チャンネル10は補正カウンタクリアレジスタ (TCCLR10) を持っており、TCNT10F が TCCLR10 に設定された値に一致すると、補正カウンタ (TCNT10D、TCNT10E、TCNT10F) とチャンネル1、2 のフリーランカウンタ (TCNT1、2) をクリアすることができます。

図 10.32 に TCNT10D の動作、図 10.33 に TCNT10E の動作、図 10.34 に TCNT10F の動作 (起動時)、図 10.35 に TCNT10F の動作 (サイクル終了、補正有り)、図 10.36 に TCNT10F の動作 (サイクル終了、補正無し) を示します。

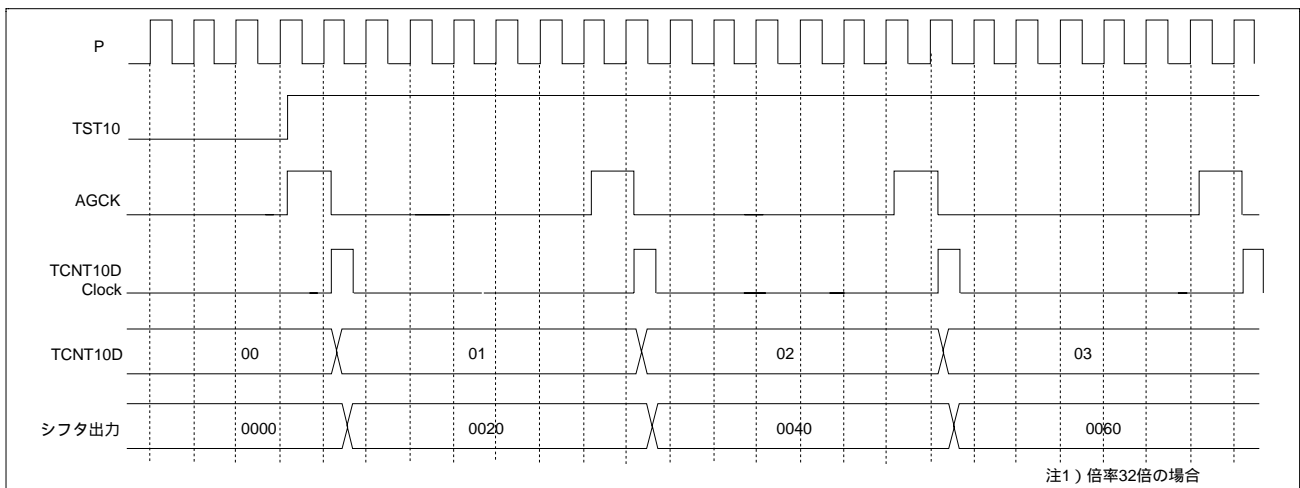


図 10.32 TCNT10D の動作

AGCK が入力されると、TIOR10 で設定された逡倍率で、TCNT10D を逡倍した値が TCNT10E に転送されます。それと同時に、TCNT10D はカウントアップを行います。

10. アドバンスドタイムユニット-II (ATU-II)

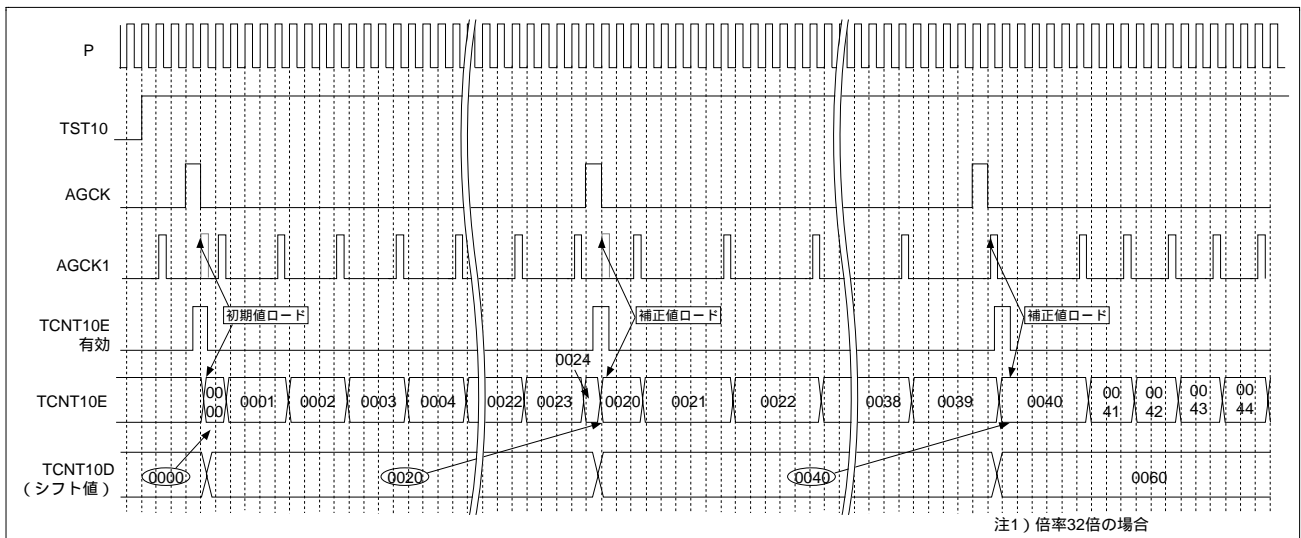


図 10.33 TCNT10E の動作

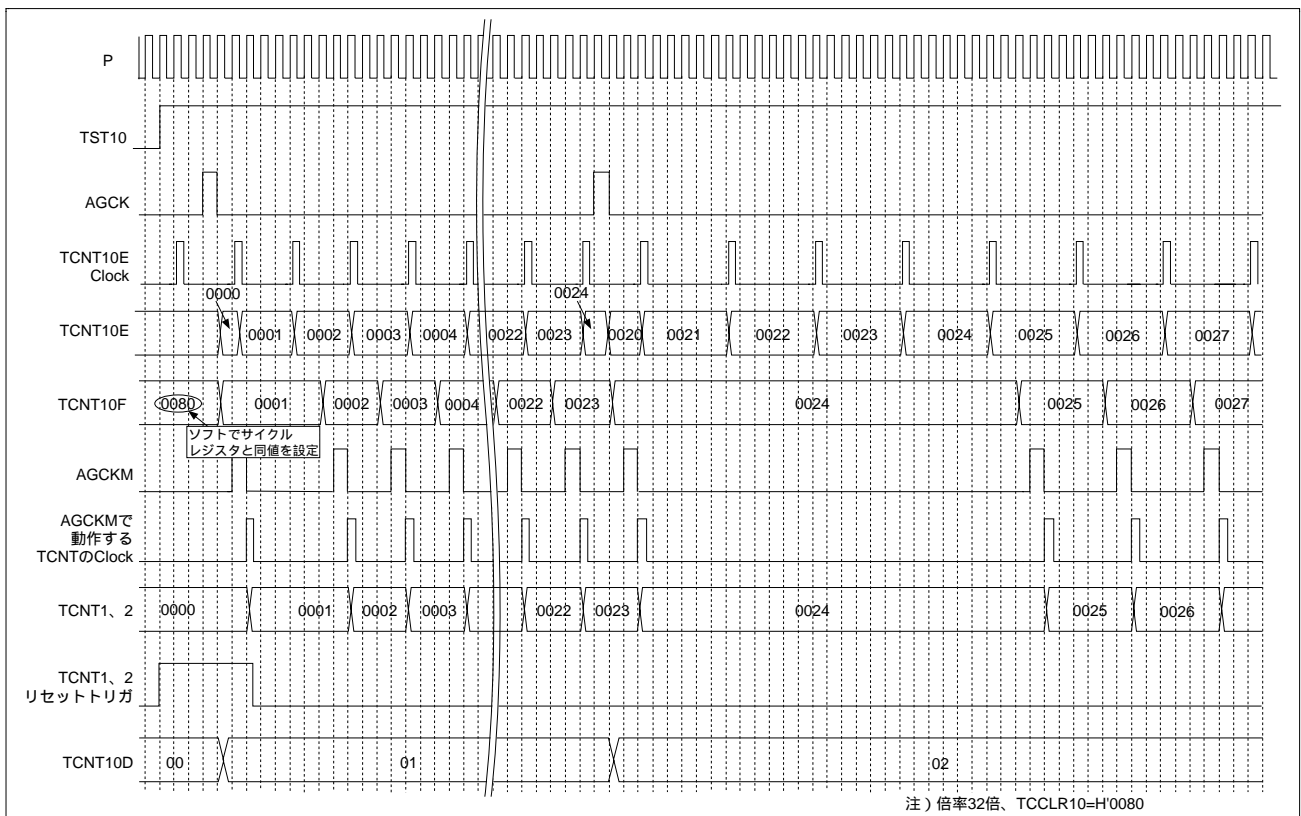


図 10.34 TCNT10F の動作 (起動時)

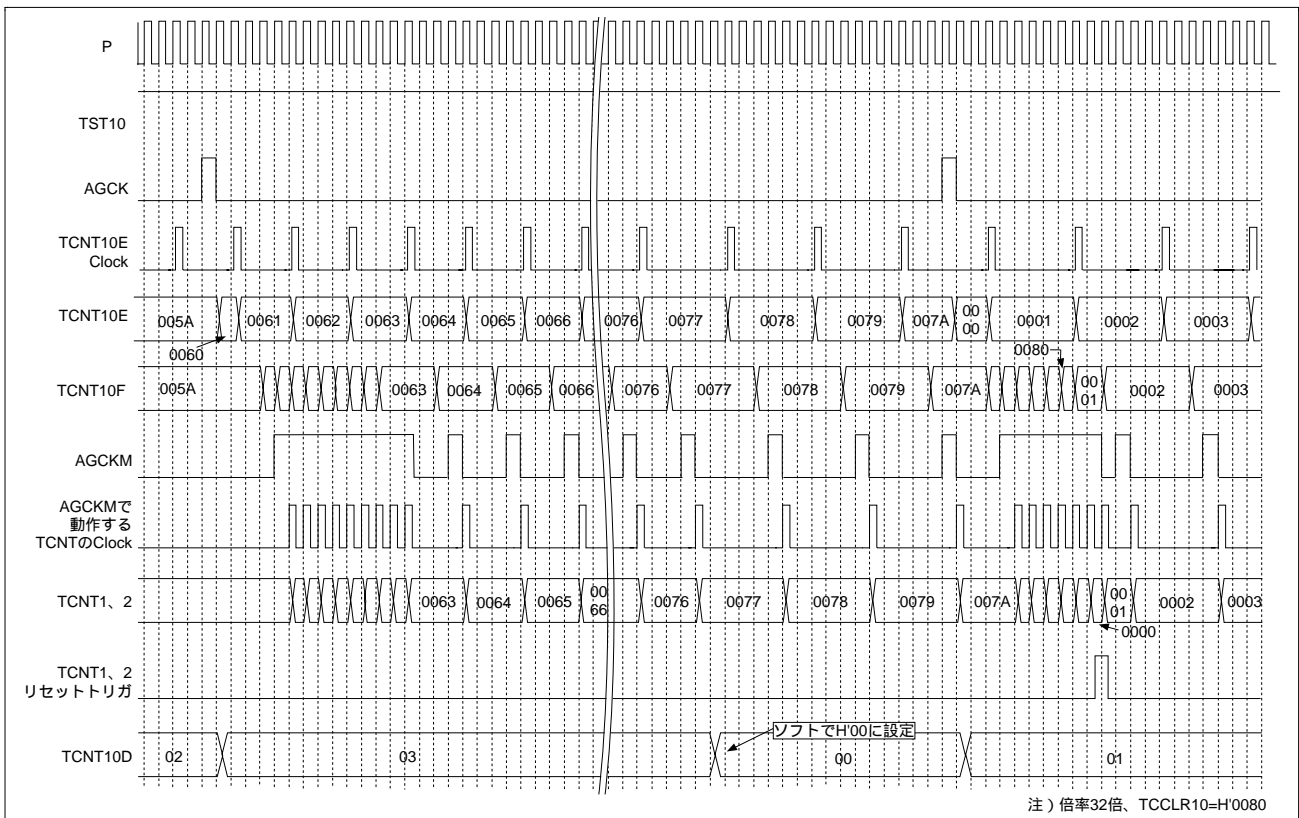


図 10.35 TCNT10F の動作 (サイクル終了、加速、減速)

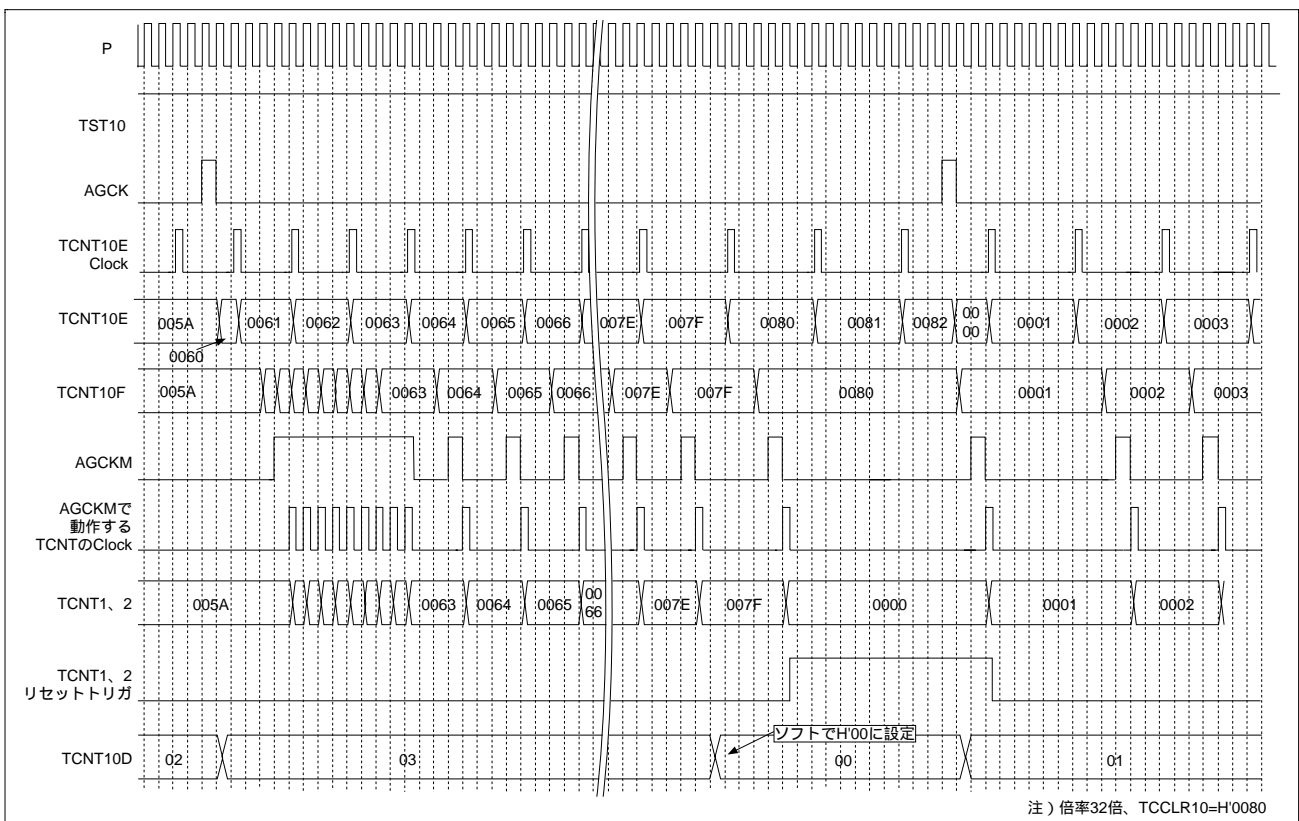


図 10.36 TCNT10F の動作 (サイクル終了、定常時)

10.4 割り込み

ATUの割り込み要因には、インプットキャプチャ割り込み、コンペアマッチ割り込み、オーバフロー割り込み、アンダフロー割り込み、インターバルインタラプト割り込みの5種類75要因の割り込みがあります。

10.4.1 ステータスフラグのセットタイミング

(1) インプットキャプチャ時の IMF (ICF) のセットタイミング

インプットキャプチャ信号の発生によりタイムステータスレジスタ (TSR) の IMF、ICF ビットは1にセットされ、同時に TCNT の値が対応する GR、ICR、OSBR に転送されます。

このタイミングを図 10.37 に示します。

図 10.37 は、外部端子から信号を入力し、立ち上がりエッジによりインプットキャプチャを行ったときの例です。

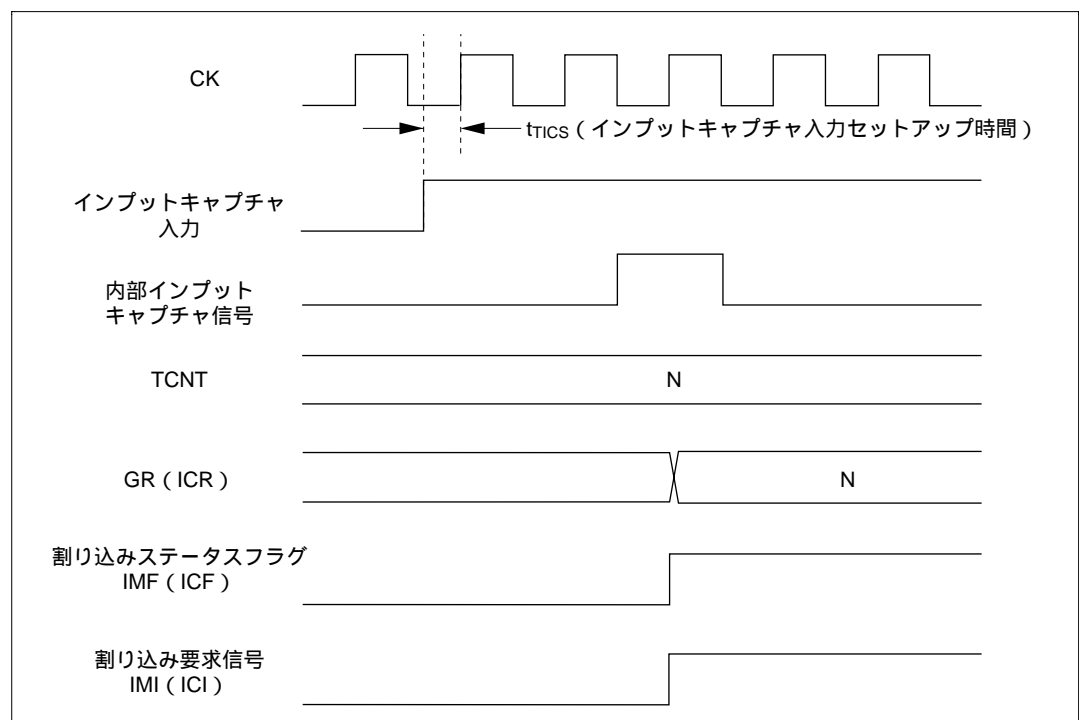


図 10.37 インプットキャプチャ時の IMF (ICF) のセットタイミング

(2) コンペアマッチ時の IMF (CMF) のセットタイミング

タイマステータスレジスタ (TSR) の IMF、CMF ビットは、ジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) またはサイクルレジスタ (CYLR) とタイマカウンタ (TCNT) が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

このタイミングを図 10.38 に示します。

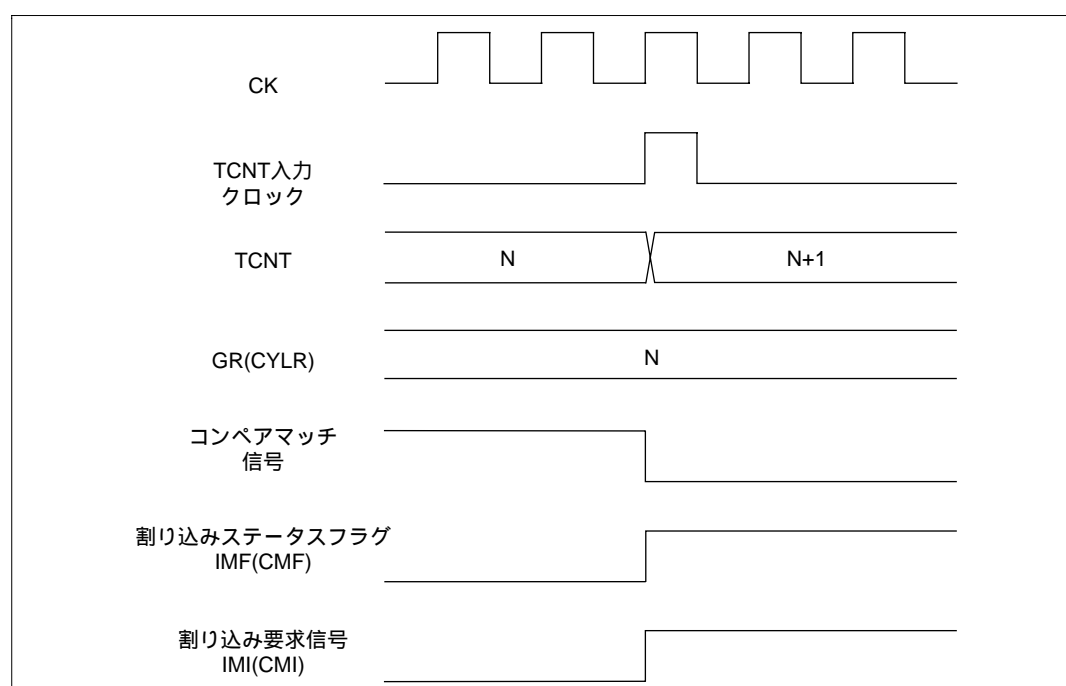


図 10.38 コンペアマッチ時の IMF (CMF) のセットタイミング

(3) オーバフロー時の OVF のセットタイミング

TCNT がオーバフロー (H'FFFF H'0000 または H'FFFFFFF H'00000000) したとき、
 タイマステータスレジスタ (TSR) の OVF ビットは 1 にセットされます。

このときのタイミングを図 10.39 に示します。

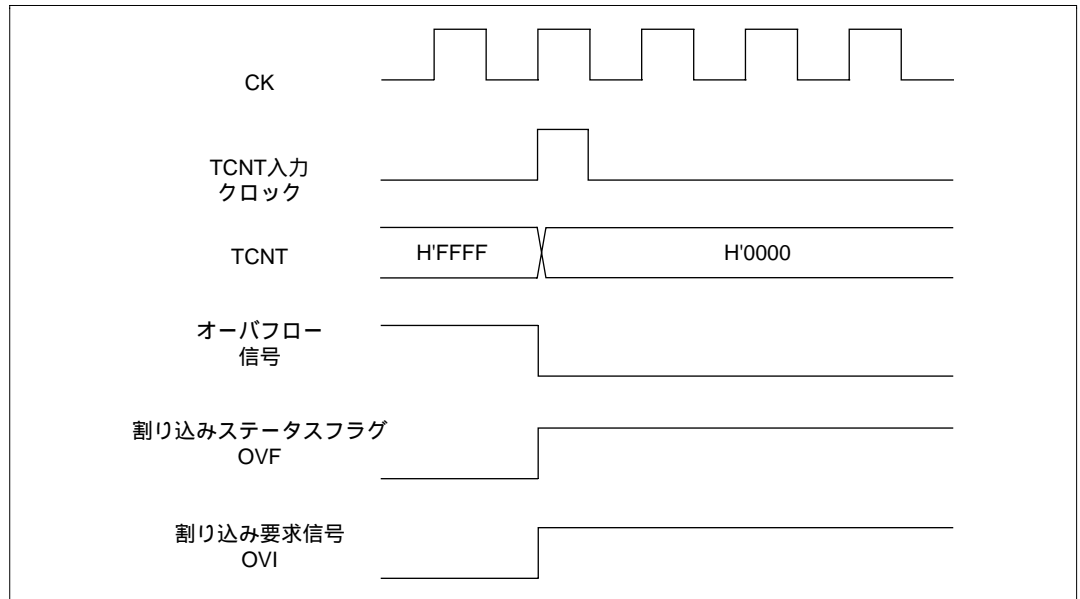


図 10.39 オーバフロー時の OVF のセットタイミング

(4) アンダフロー時の OSF のセットタイミング

DCNT 入力クロックの入力によりダウンカウンタ (DCNT) が H'0001 から H'0000 にカウントダウンし、更に次の DCNT 入力クロックが入力されるタイミング (アンダフローするタイミング) でタイマステータスレジスタ (TSR) の OSF ビットは 1 にセットされます。ただし、DCNT が H'0000 の状態で DCNT 入力クロックを何度入力しても DCNT は H'0000 のまま変化しません。ワンショットパルスターミネート機能により DCNT をクリアした場合も、次の DCNT 入力クロックが入力されるタイミングで OSF ビットが 1 にセットされます。

このときのタイミングを図 10.40 に示します。

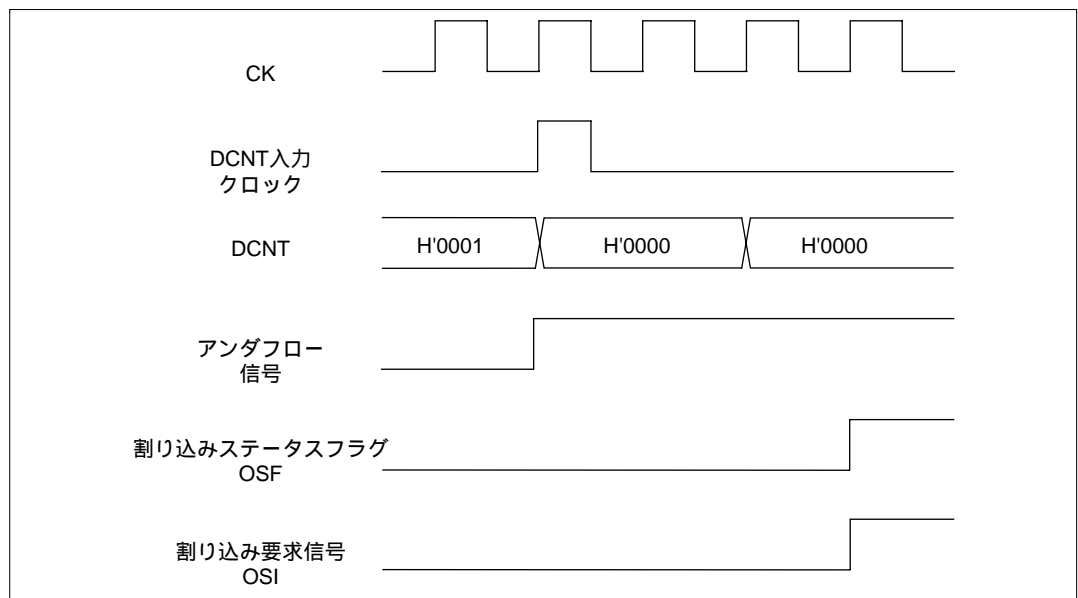


図 10.40 アンダフロー時の OSF のセットタイミング

(5) インターバルタイマによる IIF のセットタイミング

フリーランニングカウンタ (TCNT0L) のビット 10~13 の立ち上がりとインターバルインタラプトリクエストレジスタ (ITVRR) の ITVE0~3 で AND をとり、1 が発生したときにタイマステータスレジスタ (TSR) の IIF ビットは 1 にセットされます。

このときのタイミングを図 10.41 に示します。図中の TCNT0 の N は、TCNT0L のビット 6~13 が 1 に変化したときのカウンタ値です。(例えば、ビット 10 の時は $N=H'00000400$ 、ビット 11 のときは $H'00000800$ 等)

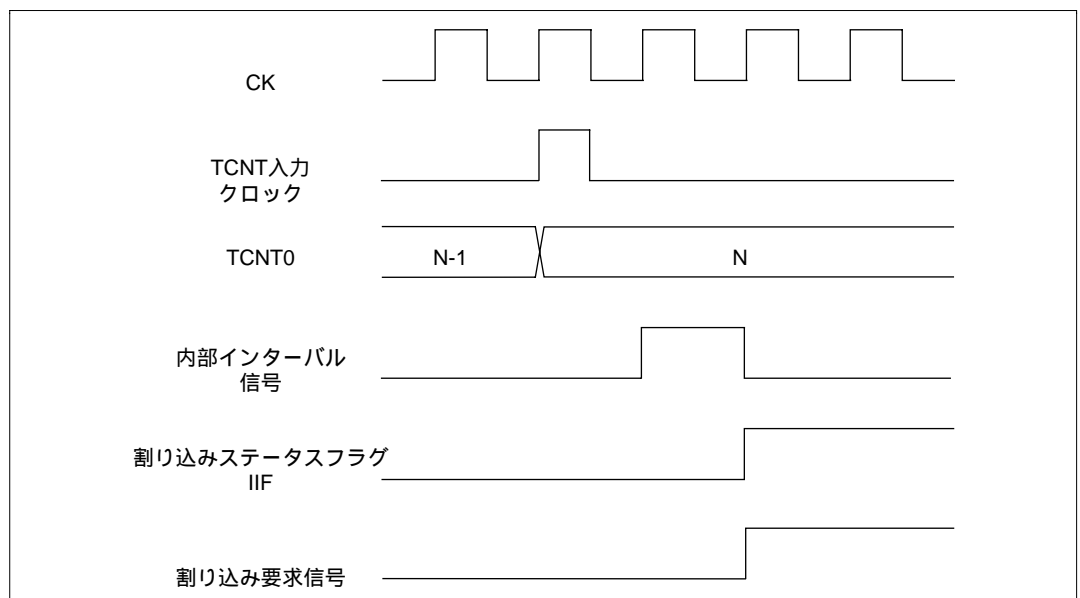


図 10.41 インターバルタイマによる IIF のセットタイミング

10.4.2 ステータスフラグのクリア

(1) CPU プログラムによるクリア

割り込みステータスフラグはCPUが1の状態を読み出した後、0に書き込むとクリアされます。

この手順とタイミングを図10.42に示します。

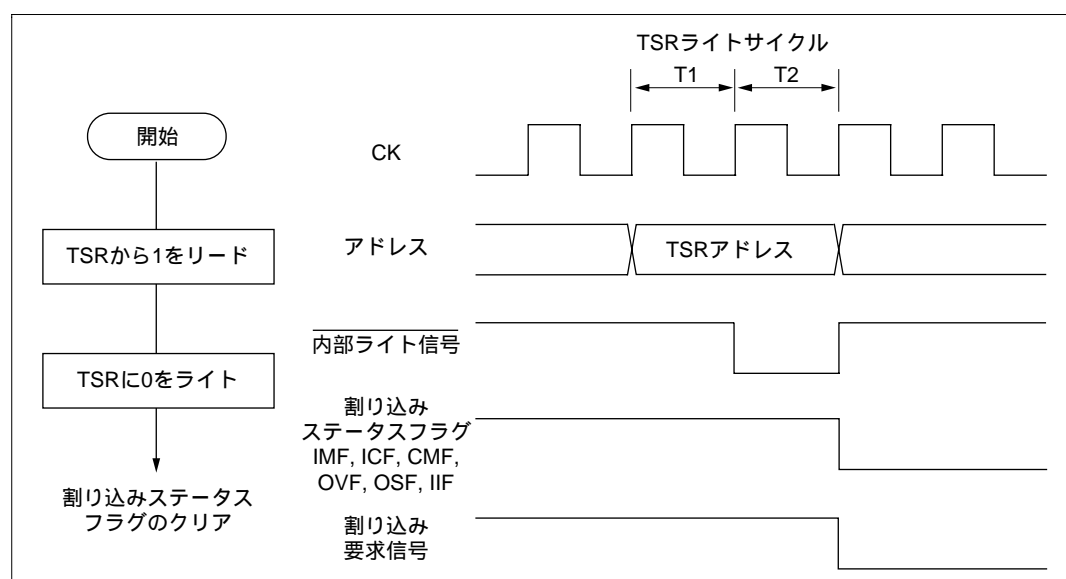


図 10.42 CPU プログラムによるクリア手順とタイミング

(2) DMAC によるクリア

割り込みステータスフラグ (ICF0A ~ D、CMF6A ~ D、CMF7A ~ D) は、インプットキャプチャまたはコンペアマッチの発生により DMAC を起動すると、データ転送中、自動的にクリアされます。

この手順とタイミングを図 10.43 に示します。

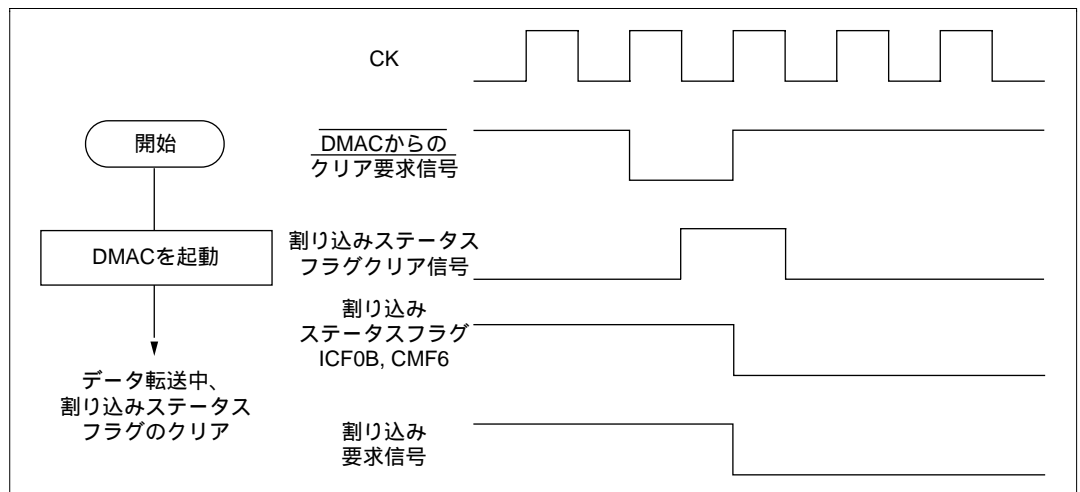


図 10.43 DMAC によるクリア手順とタイミング

10.5 CPU とのインタフェース

10.5.1 32 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ 0、10A (TCNT0、10A) インพุットキャプチャレジスタ 0A ~D、10A (ICR0A ~D、10A)、およびアウトプットコンペアレジスタ 10A (OCR10A) は 32 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います (ICR0A ~D、10A はリードのみ)。

図 10.44 に TCNT0 からの読み出し動作を、図 10.45 に TCNT0 への書き込み動作を示します。

TCNT0 からの読み出しの場合は、まず 1 回目の読み出しで、TCNT0H (上位 16 ビット) 値を内部データバスに出力し、同時に TCNT0L (下位 16 ビット) 値を内部バッファレジスタに出力します。そして 2 回目の読み出しで、内部バッファレジスタ内の TCNT0L (下位 16 ビット) 値を内部データバスに出力します。

TCNT0 への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを内部バッファレジスタに出力します。そして 2 回目の書き込みで、下位データ 16 ビットを TCNT0L に出力し、同時に内部バッファレジスタ内の上位データ 16 ビットを TCNT0H に出力し、書き込みます。以上の方法により、32 ビットデータの、同時の読み出し、同時の書き込みを行って、カウントアップとの競合を防止しています。

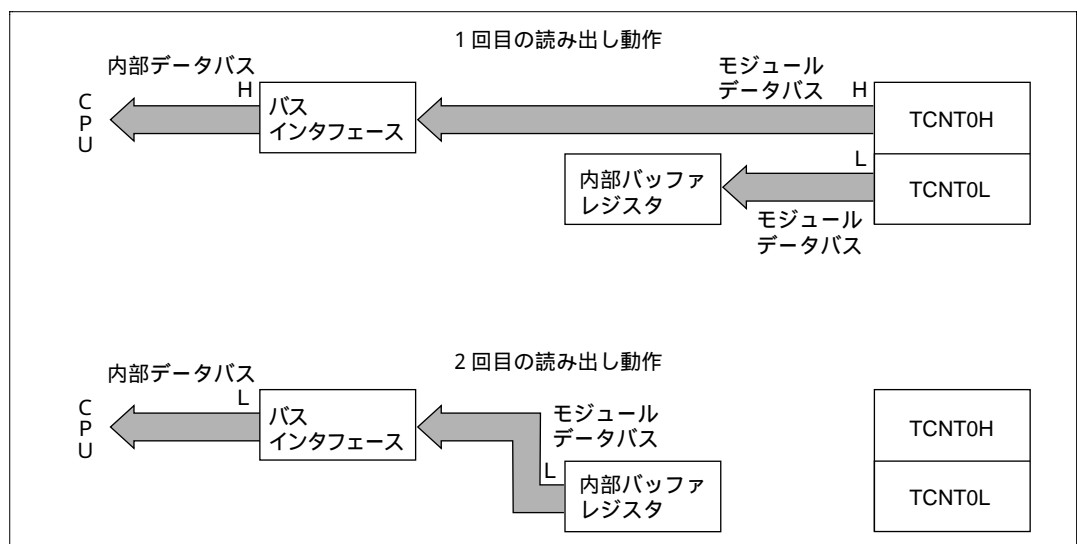


図 10.44 TCNT0 からの読み出し動作

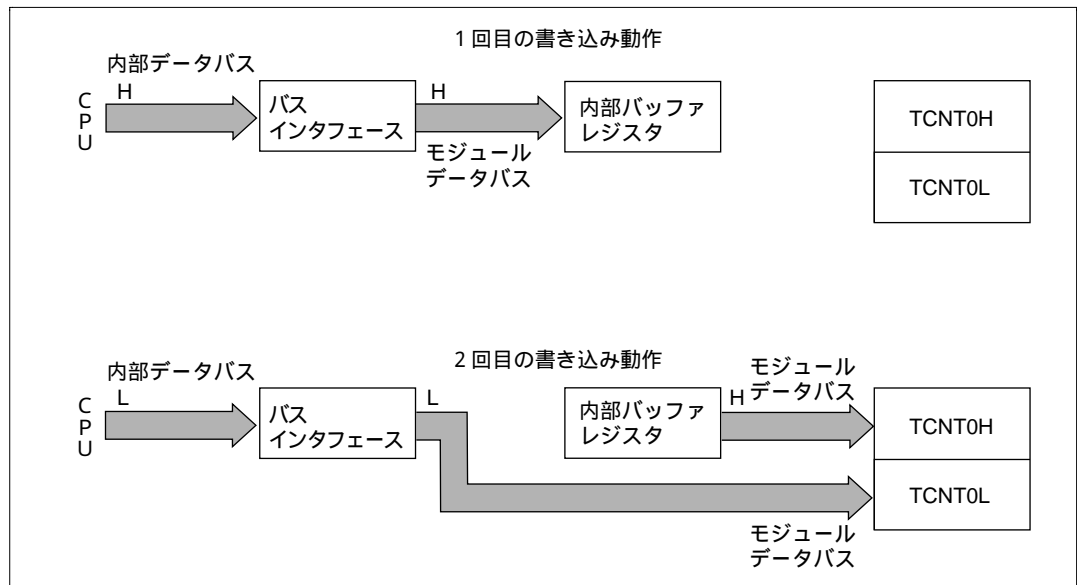


図 10.45 TCNT0 への書き込み動作

10.5.2 8 ビット、16 ビットおよび 32 ビットアクセス可能なレジスタ

タイマスタートレジスタ 1、2、3 (TSTR1、2、3) は 8 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、TSTR1、2、3 を 32 ビットで同時にアクセスする場合には自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います。

図 10.46 に TSTR からの読み出し動作を、図 10.47 に TSTR への書き込み動作を示します。

TSTR からの読み出しの場合は、まず 1 回目の読み出しで、TSTR1、2 (上位 16 ビット) 値を内部データバスに出力します。そして 2 回目の読み出しで、TSTR3 (下位 16 ビット) 値を内部データバスに出力します。

TSTR への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを TSTR1、2 に書き込みます。そして 2 回目の書き込みで、下位データ 16 ビットを TSTR3 に書き込みます。以上の方法により、32 ビットでの書き込みは、TSTR1、2 と TSTR3 は同じタイミングで書き込まれないことに注意してください。

8 ビットおよび 16 ビットのアクセスにつきましては「10.5.4 8 ビットおよび 16 ビットアクセス可能なレジスタ」を参照してください。

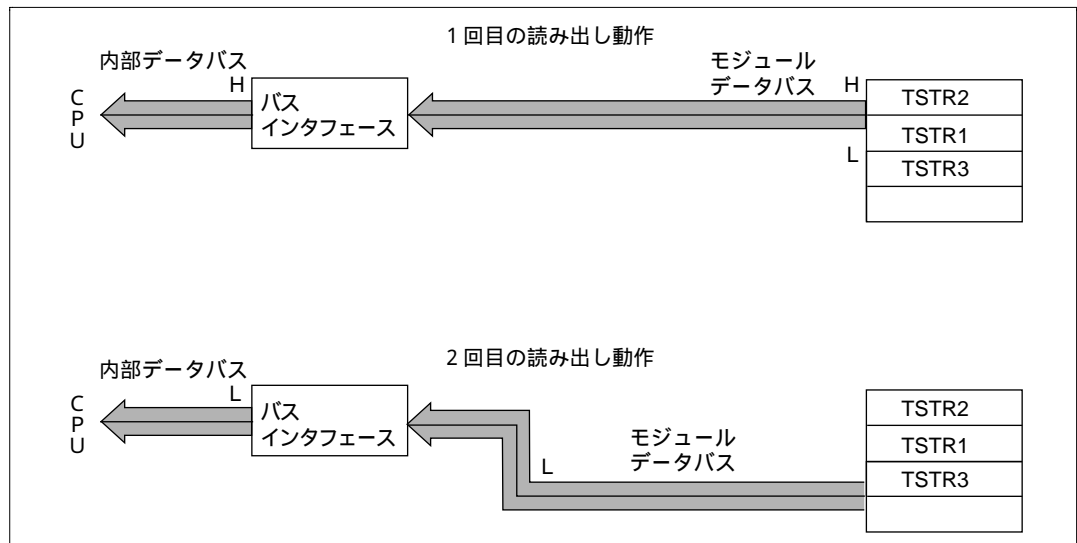


図 10.46 TSTR1、2、3からの読み出し動作

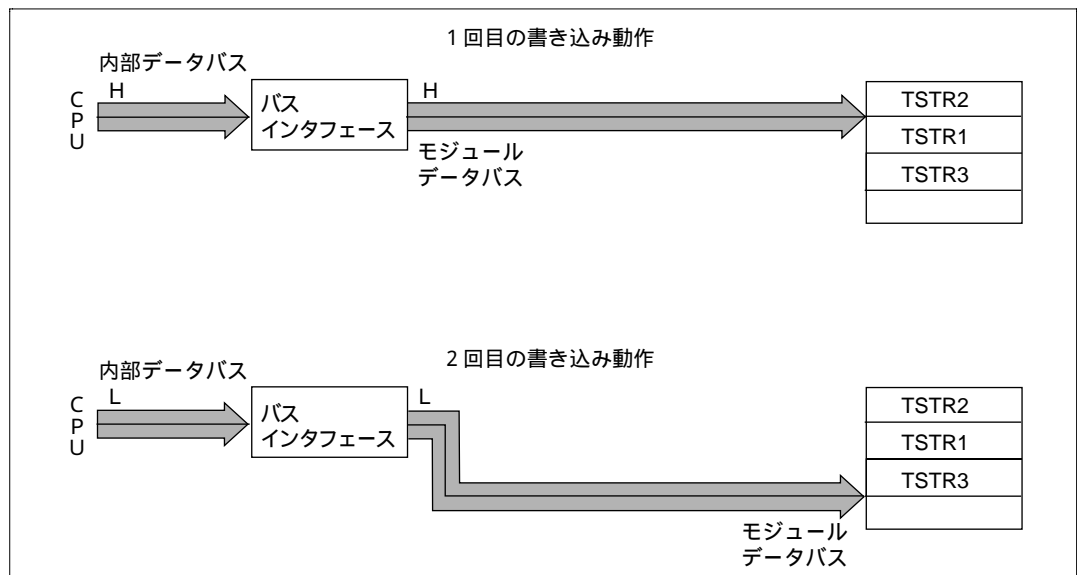


図 10.47 TSTR1、2、3への書き込み動作

10.5.3 16ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ (TCNT、ただし TCNT0、10A、10B、10D、10H を除く)、ジェネラルレジスタ (GR、ただし GR9A ~ D を除く)、ダウンカウンタ (DCNT)、オフセットベースレジスタ (OSBR)、サイクルレジスタ (CYLR)、バッファレジスタ (BFR)、デューティレジスタ (DTR)、タイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR)、ダウンカウントスタートレジスタ (DSTR)、アウトプットコンペアレジスタ (OCR、ただし OCR10B を除く)、リロードレジスタ (RLDR8、RLD10C)、補正カウンタクリアレジスタ (TCCLR10)、タイマインタラプトイネーブルレジスタ (TIER)、およびタイマステータスレジスタ (TSR) は 16 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されており、ワード単

位の読み出し / 書き込みが可能です (OSBR は読み出しのみ可能)。

TCNT1A に対してワード単位の読み出し / 書き込みを行った場合の動作を図 10.48 に示します。

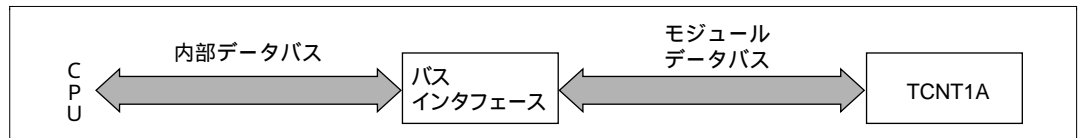


図 10.48 TCNT1A への書き込み / 読み出し動作

10.5.4 8 ビットおよび 16 ビットアクセス可能なレジスタ

タイマコントロールレジスタ (TCR1A、1B、2A、2B、6A、6B、7A、7B)、タイマ I/O コントロールレジスタ (TIOR1A ~ D、2A ~ D、3A、3B、4A、4B、5A、5B)、およびタイマスタートレジスタ (TSTR1、2、3) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットまたは下位 8 ビットと接続されており、バイト単位の読み出し / 書き込みが可能です。

また、タイマ I/O コントロールレジスタ 1A (TIOR1A) とタイマ I/O コントロールレジスタ 1B (TIOR1B) のように、アドレスの最下位ビットのみ異なる、2 本の 8 ビットレジスタは、組み合せてワード単位の読み出し / 書き込みも可能です。

TIOR1A または TIOR1B に対して、各々バイト単位の読み出し / 書き込みを行った場合の動作を図 10.49 と図 10.50 に示します。また、TIOR1A と TIOR1B を同時にワード単位で読み出し / 書き込みを行った場合の動作を図 10.51 に示します。

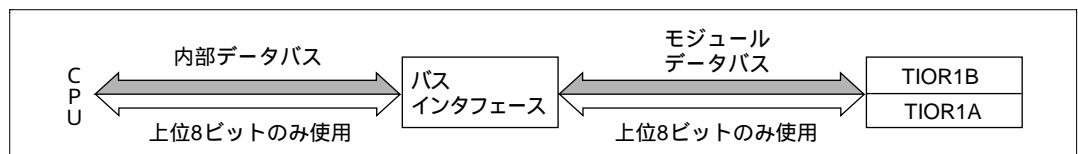


図 10.49 TIOR1B へのバイト書き込み / 読み出し動作

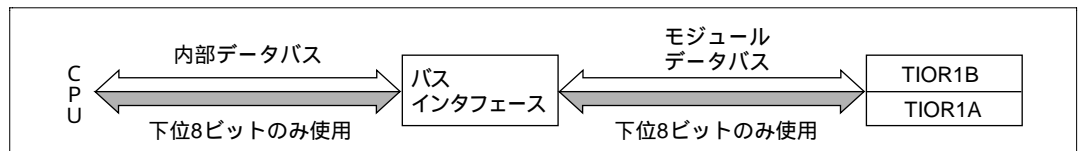


図 10.50 TIOR1A へのバイト書き込み / 読み出し動作

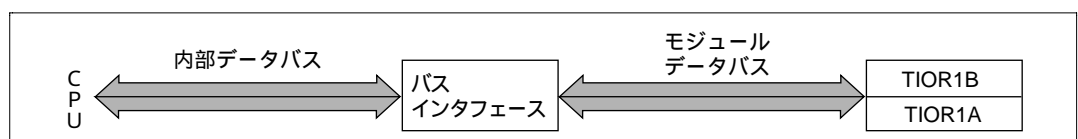


図 10.51 TIOR1A、B へのワード書き込み / 読み出し動作

10.5.5 8ビットのみアクセス可能なレジスタ

タイマモードレジスタ (TMDR)、プリスケアラレジスタ (PSCR)、タイマ I/O コントロールレジスタ (TIOR0、10、11)、トリガモードレジスタ (TRGMDR)、インターバルインタラプトリクエストレジスタ (ITVRR)、タイマコントロールレジスタ (TCR3、4、5、8、9A~C、10、11)、PWM モードレジスタ (PMDR)、リロードイネーブルレジスタ (RLDENR)、フリーランニングカウンタ (TCNT10B、10D、10H)、イベントカウンタ (ECNT)、ジェネラルレジスタ (GR9A~F)、アウトプットコンペアレジスタ (OCR10B)、およびノイズキャンセラーレジスタ (NCR) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットと接続されており、バイト単位の読み出し / 書き込みが可能です。

ITVRR1 レジスタに対して、バイト単位の読み出し / 書き込みを行った場合の動作を図 10.52 に示します。

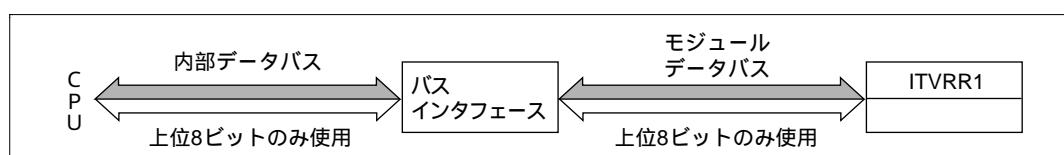


図 10.52 ITVRR1 へのバイト書き込み / 読み出し動作

10.6 設定手順例

以下に ATU-II の各機能起動の際の設定手順例を記します。

(1) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順を図 10.53 に示します。

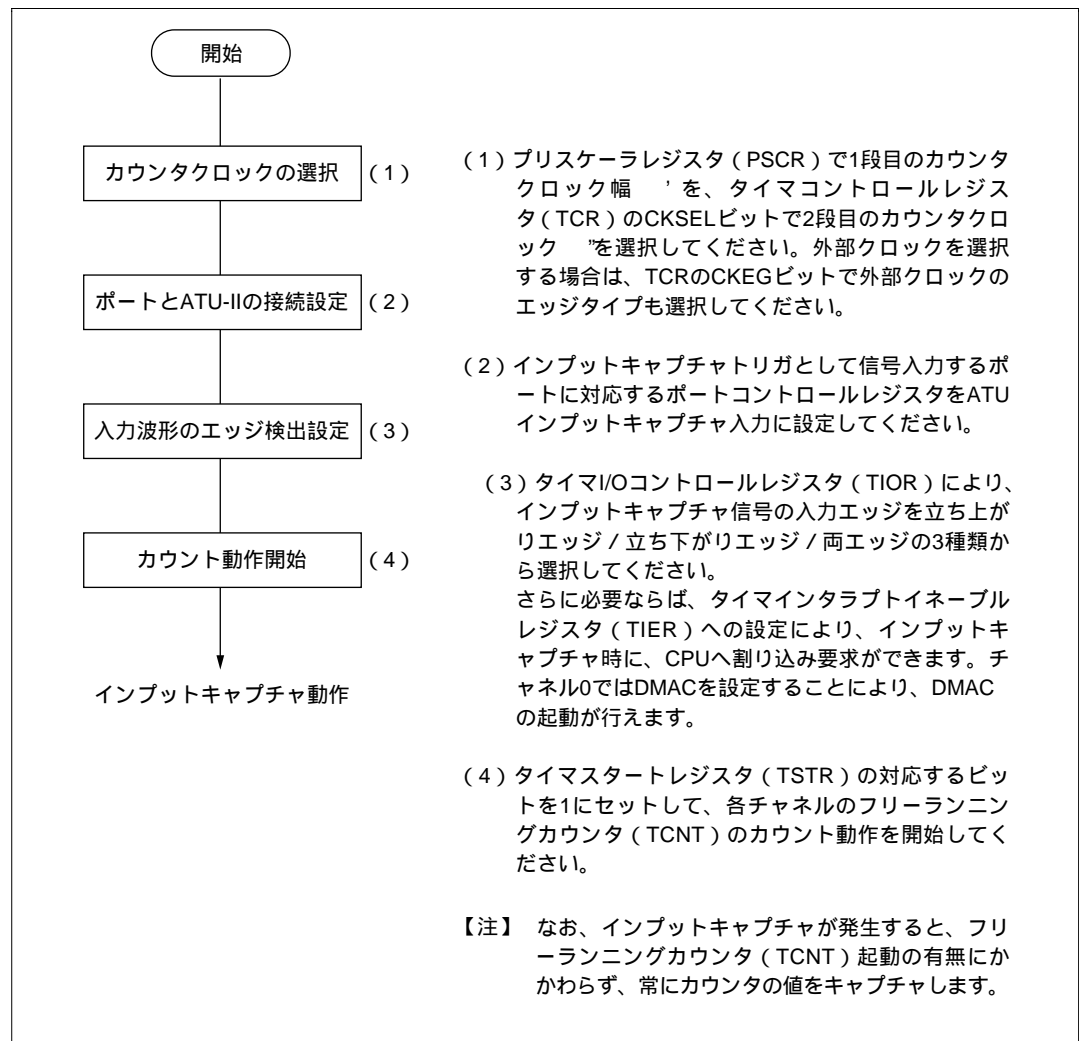


図 10.53 インพุットキャプチャ動作の設定手順例

(2) アウトプットコンペアマッチによる波形出力動作の設定手順例

アウトプットコンペアマッチによる波形出力動作の設定手順を図 10.54 に示します。

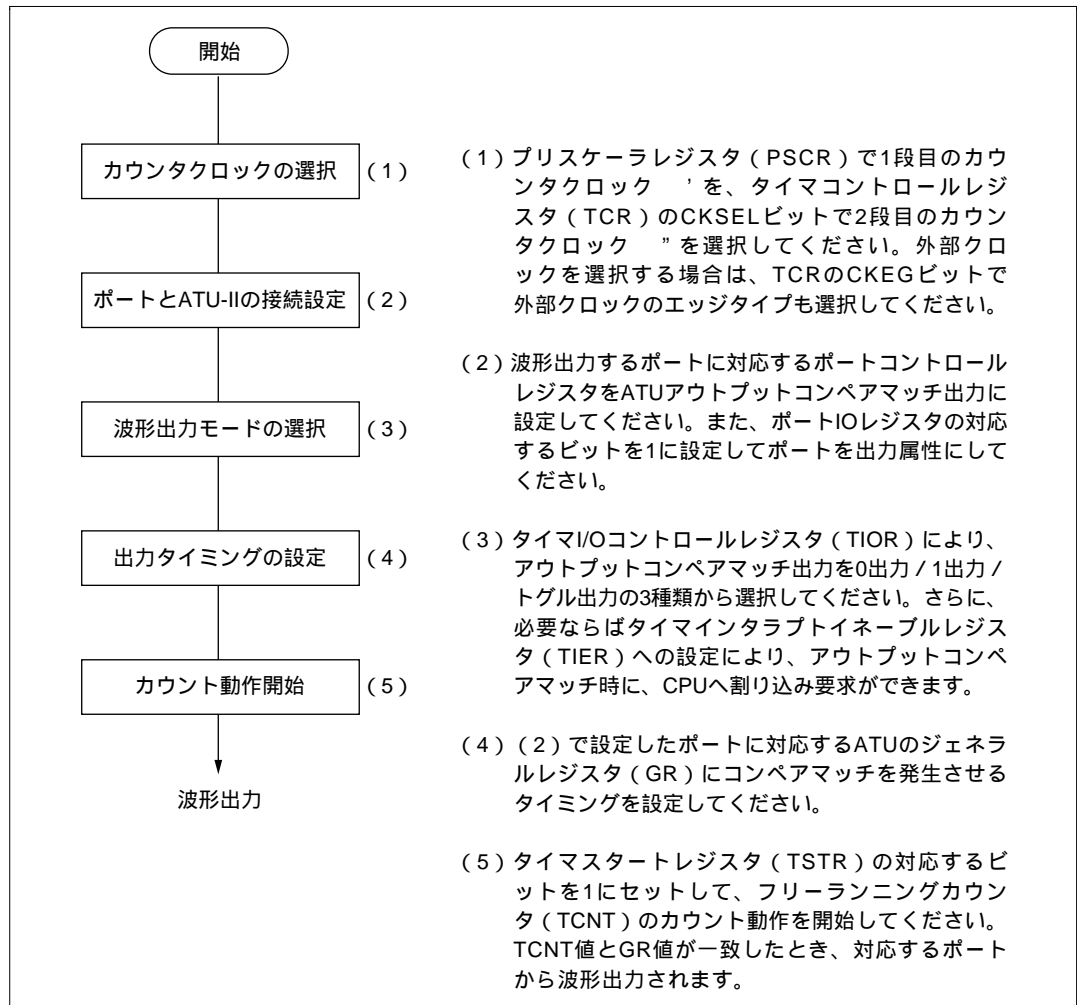


図 10.54 アウトプットコンペアマッチによる波形出力動作の設定手順例

(3) チャンネル 10 のコンペアマッチトリガによるチャンネル 0 のインプットキャプチャ設定手順例

コンペアマッチ信号の送信動作の設定手順を図 10.55 に示します。

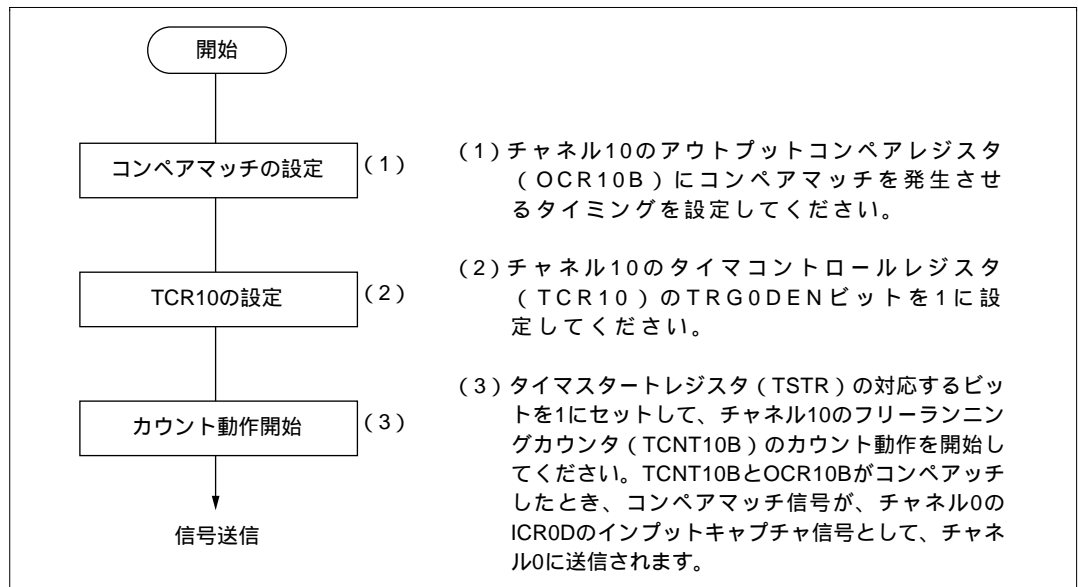


図 10.55 コンペアマッチ信号の送信動作の設定手順例

(4) ワンショットパルス出力動作の設定手順例

ワンショットパルス出力動作の設定手順を図 10.56 に示します。

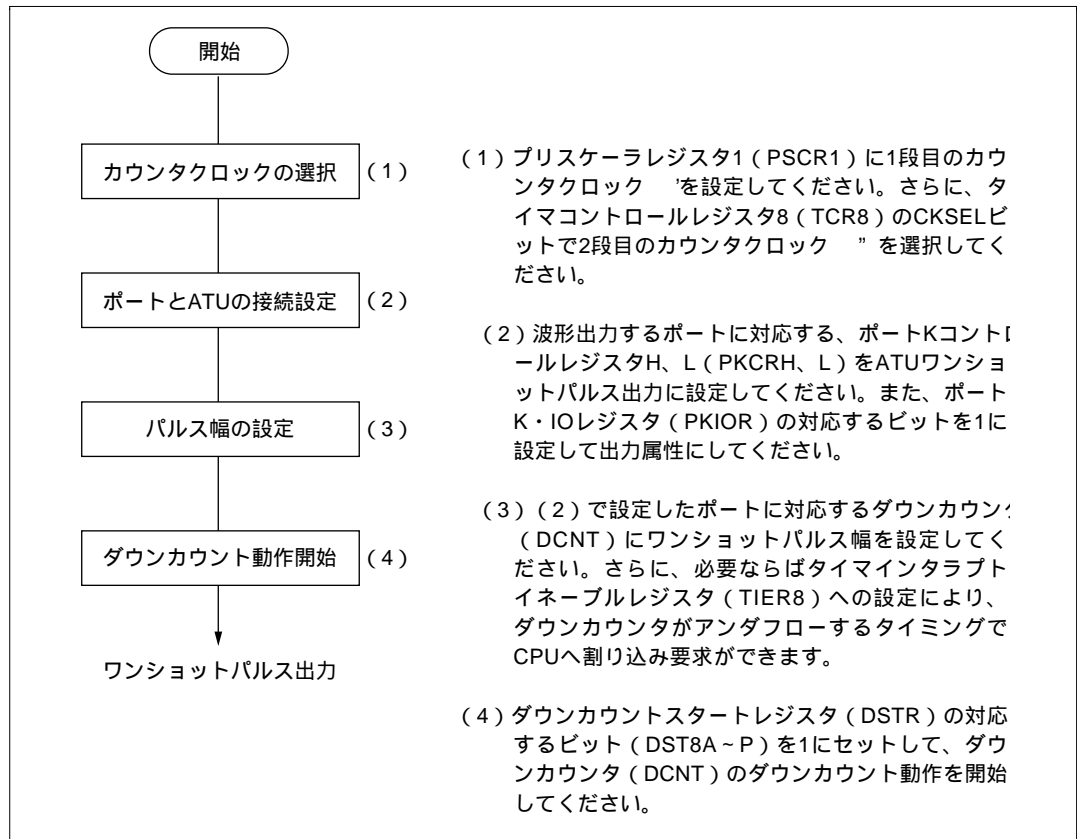


図 10.56 ワンショットパルス出力動作の設定手順例

(5) オフセット付ワンショットパルス出力 / 遮断動作の設定手順例

オフセット付ワンショットパルス出力動作の設定手順を図 10.57 に示します。

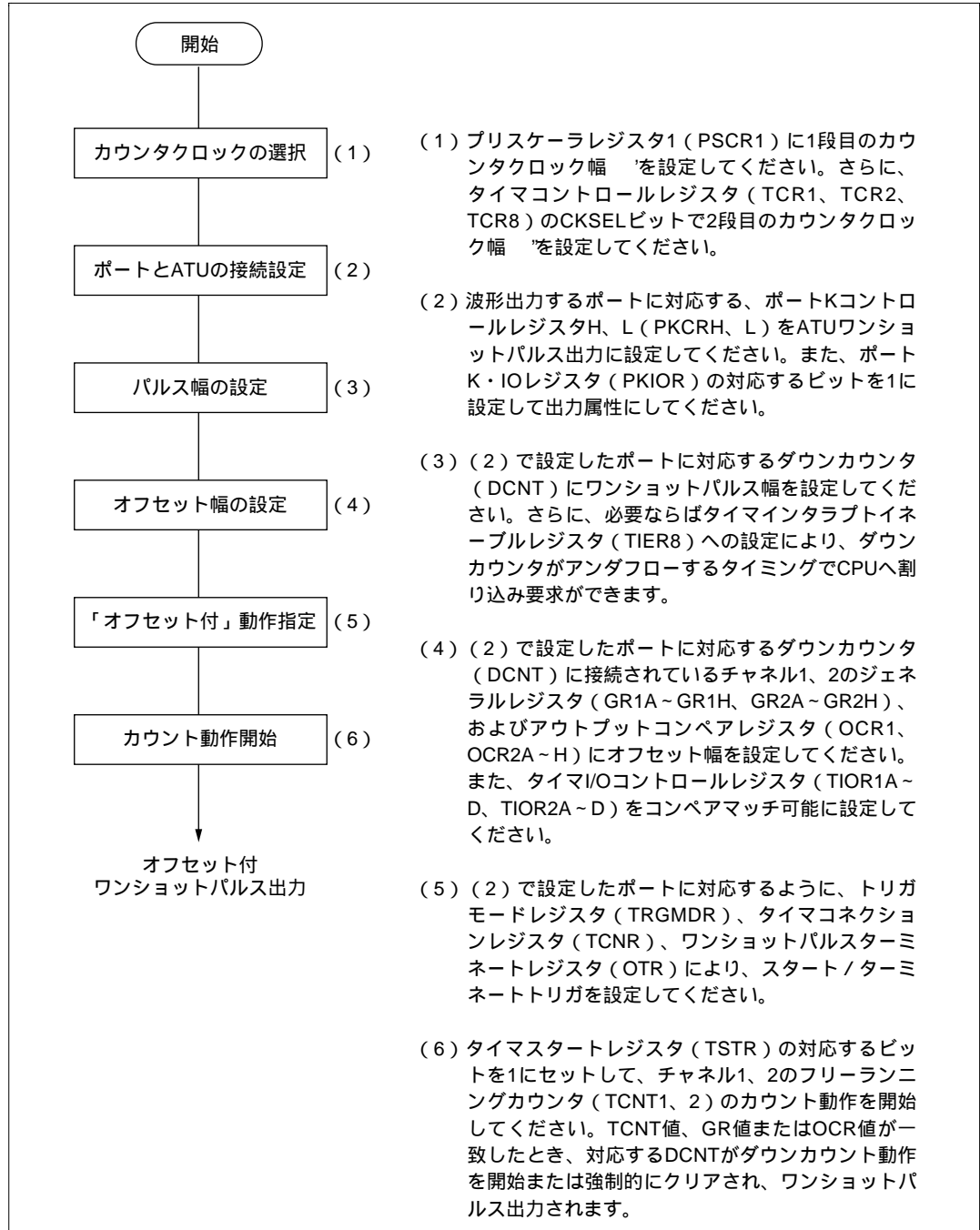


図 10.57 オフセット付ワンショットパルス出力動作の設定手順例

(6) インターバルタイマ動作の設定手順例

インターバルタイマ動作の設定手順を図 10.58 に示します。

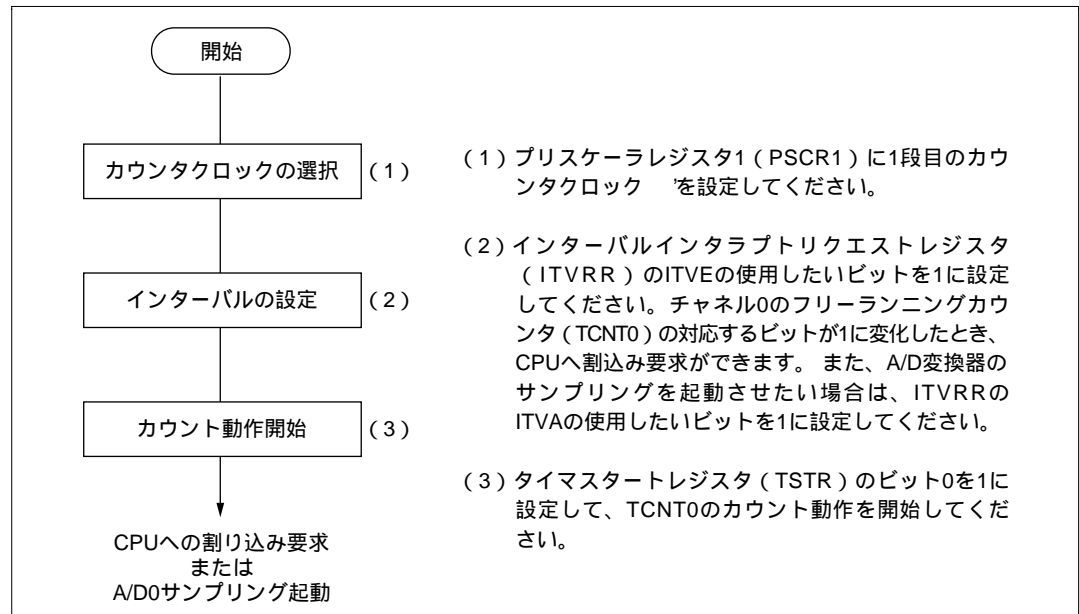


図 10.58 インターバルタイマ動作の設定手順例

(7) PWM タイマ (ch3 ~ 5) 動作の設定手順例

PWM タイマ (ch3 ~ 5) 動作の設定手順を図 10.59 に示します。

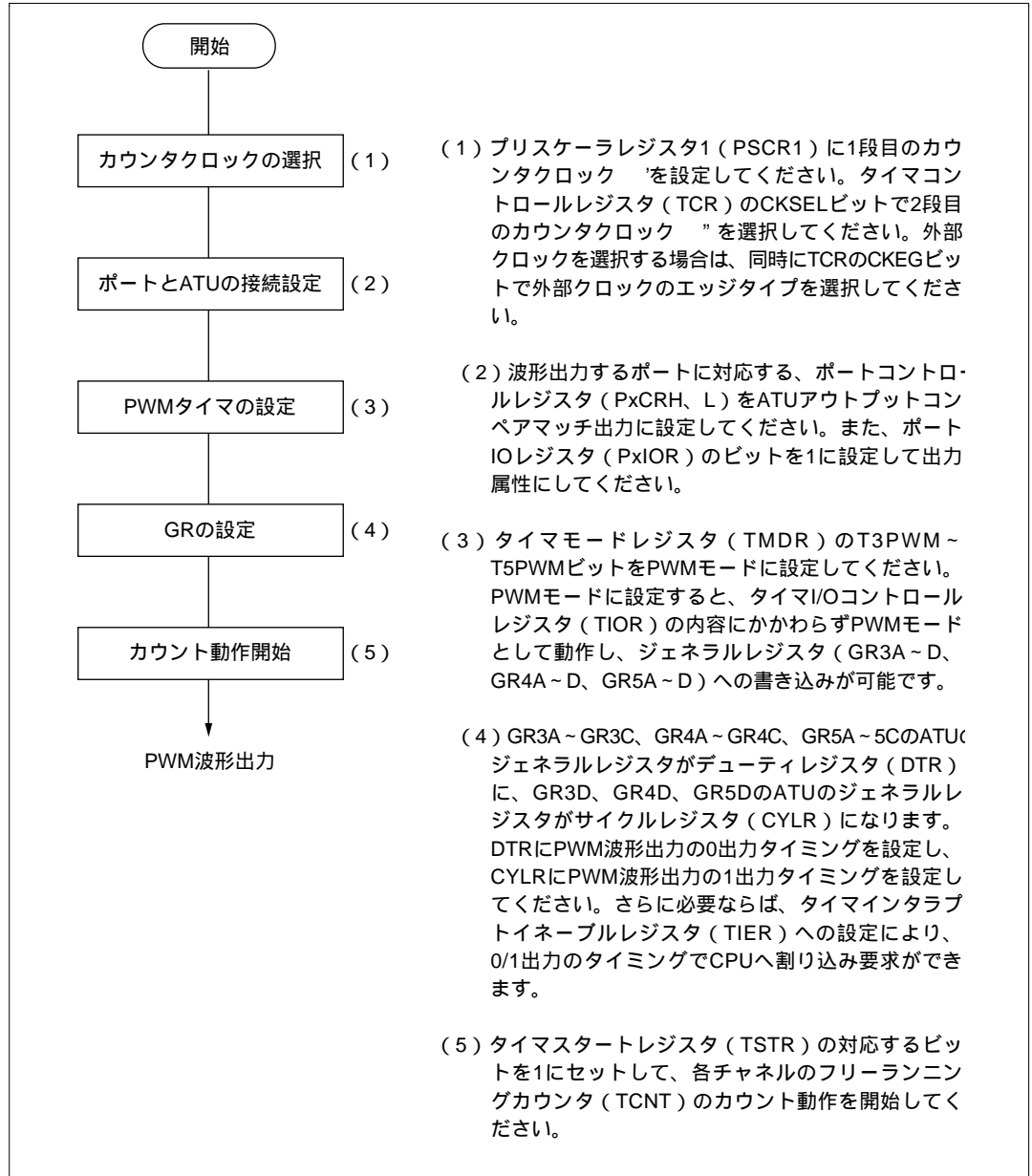


図 10.59 PWM タイマ (ch3 ~ 5) 動作の設定手順例

(8) PWM タイマ (ch6、7) 動作の設定手順例

PWM タイマ (ch6、7) 動作の設定手順を図 10.60 に示します。

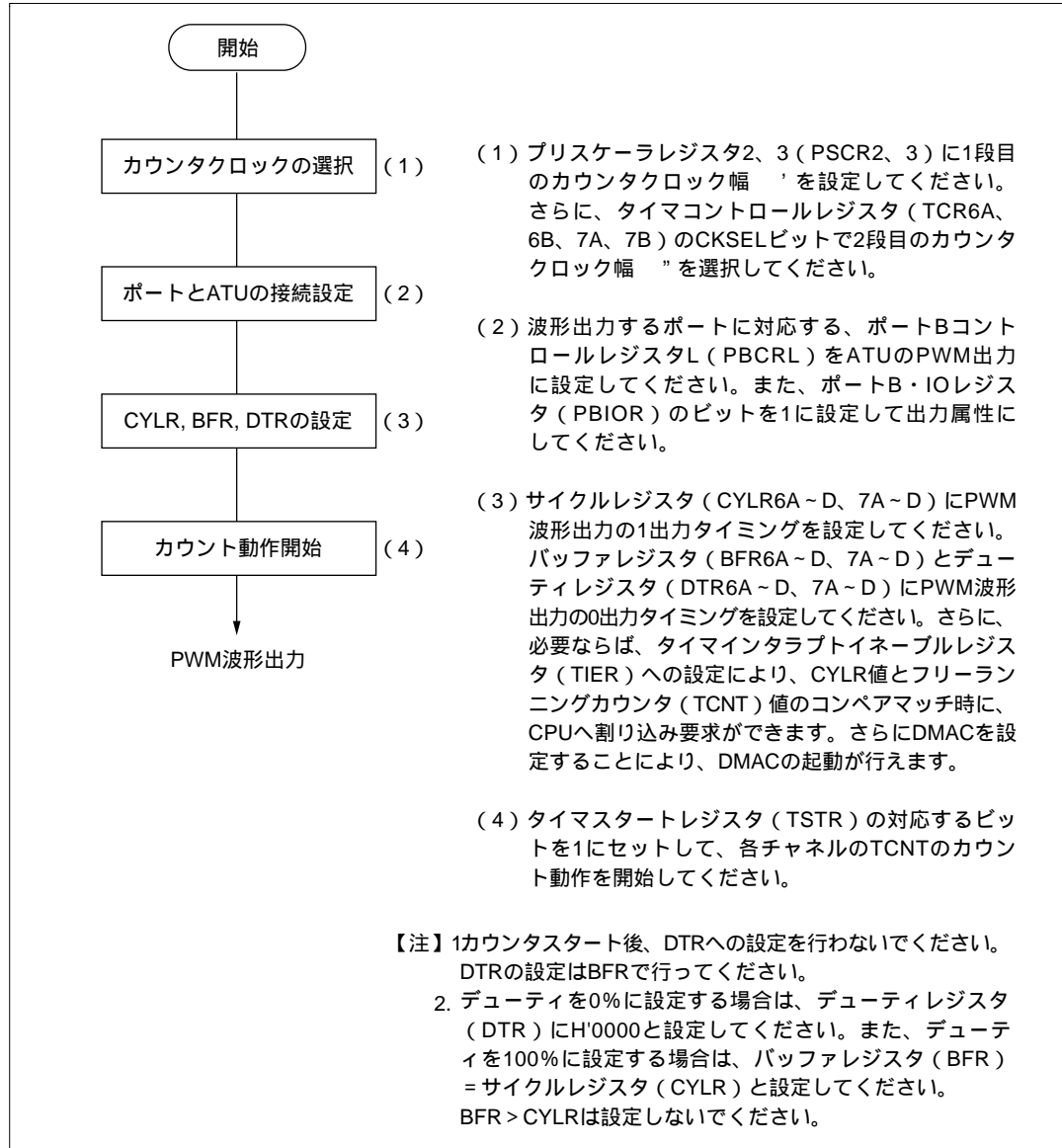


図 10.60 PWM タイマ (ch6、7) 動作の設定手順例

(9) イベントカウンタ動作の設定手順例

イベントカウンタ動作の設定手順を図 10.61 に示します。

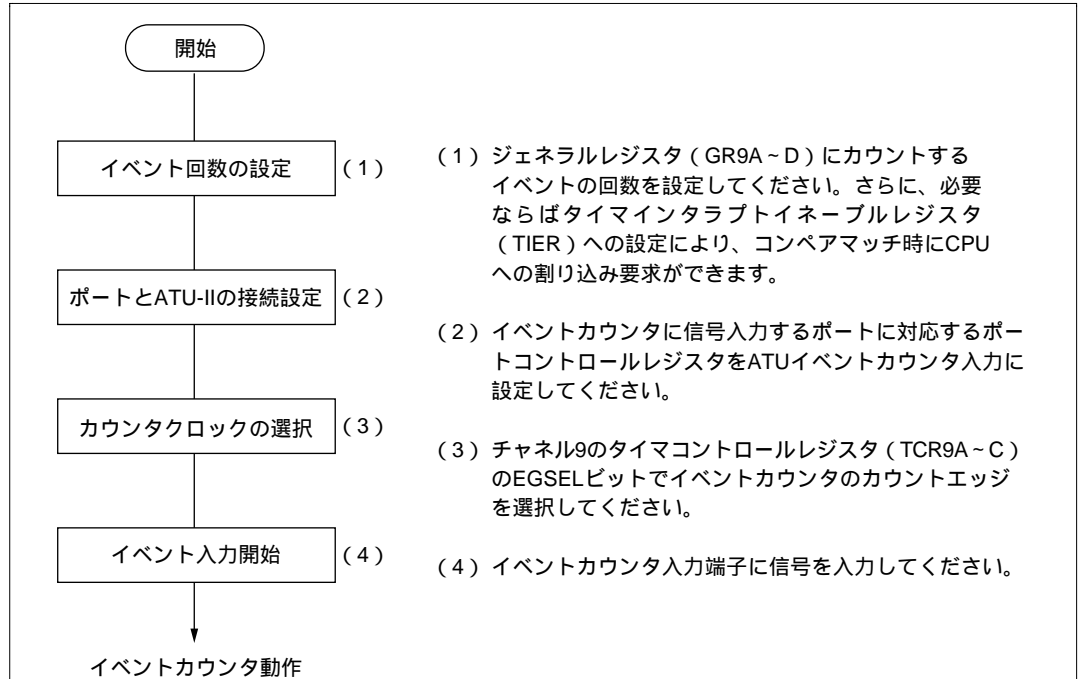


図 10.61 イベントカウンタ動作の設定手順例

(10) チャンネル 9 のコンペアマッチトリガによるチャンネル 3 のインプットキャプチャ動作の設定手順例

コンペアマッチ信号の送信動作の設定手順を図 10.62 に示します。

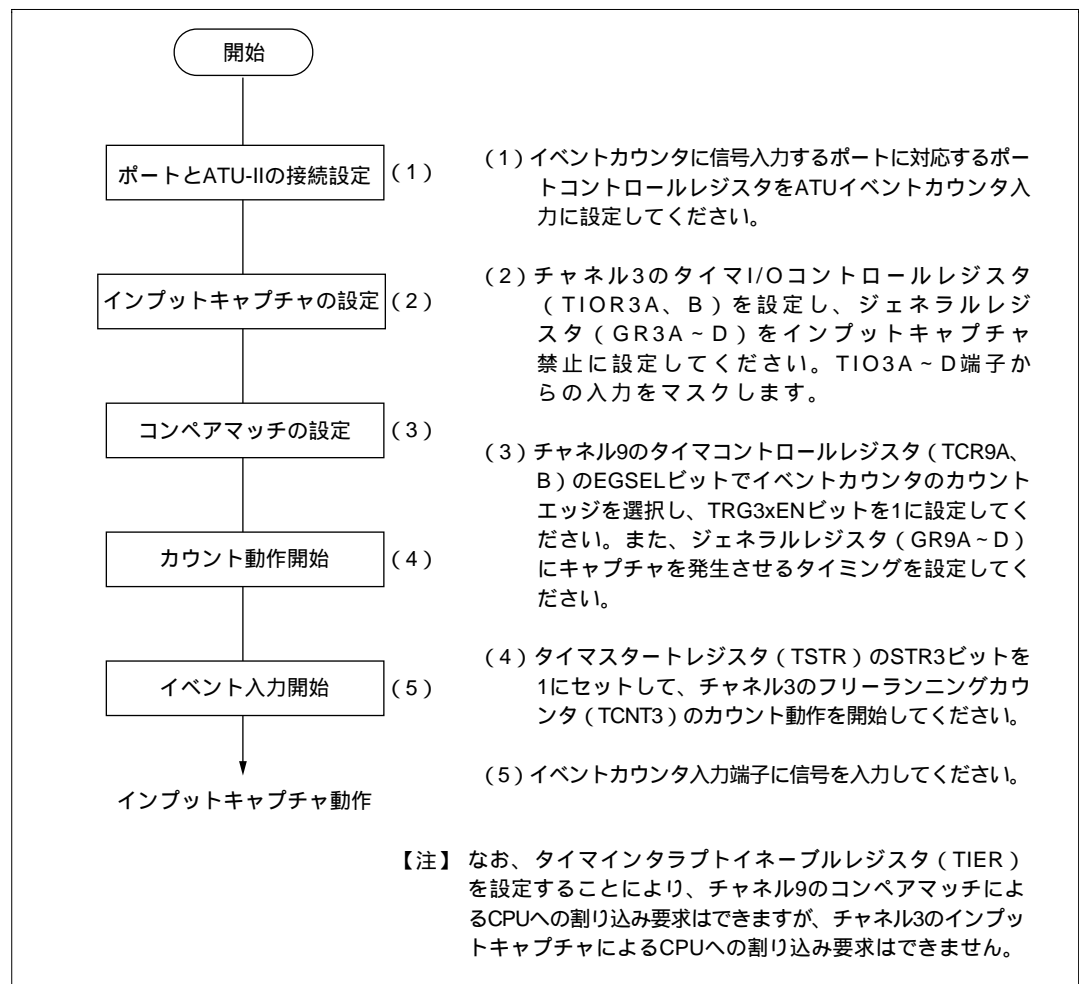


図 10.62 コンペアマッチ信号の送信動作の設定手順例

(11) チャンネル 10 の欠け歯検出動作の設定手順例

欠け歯検出動作の設定手順を図 10.63 に示します。

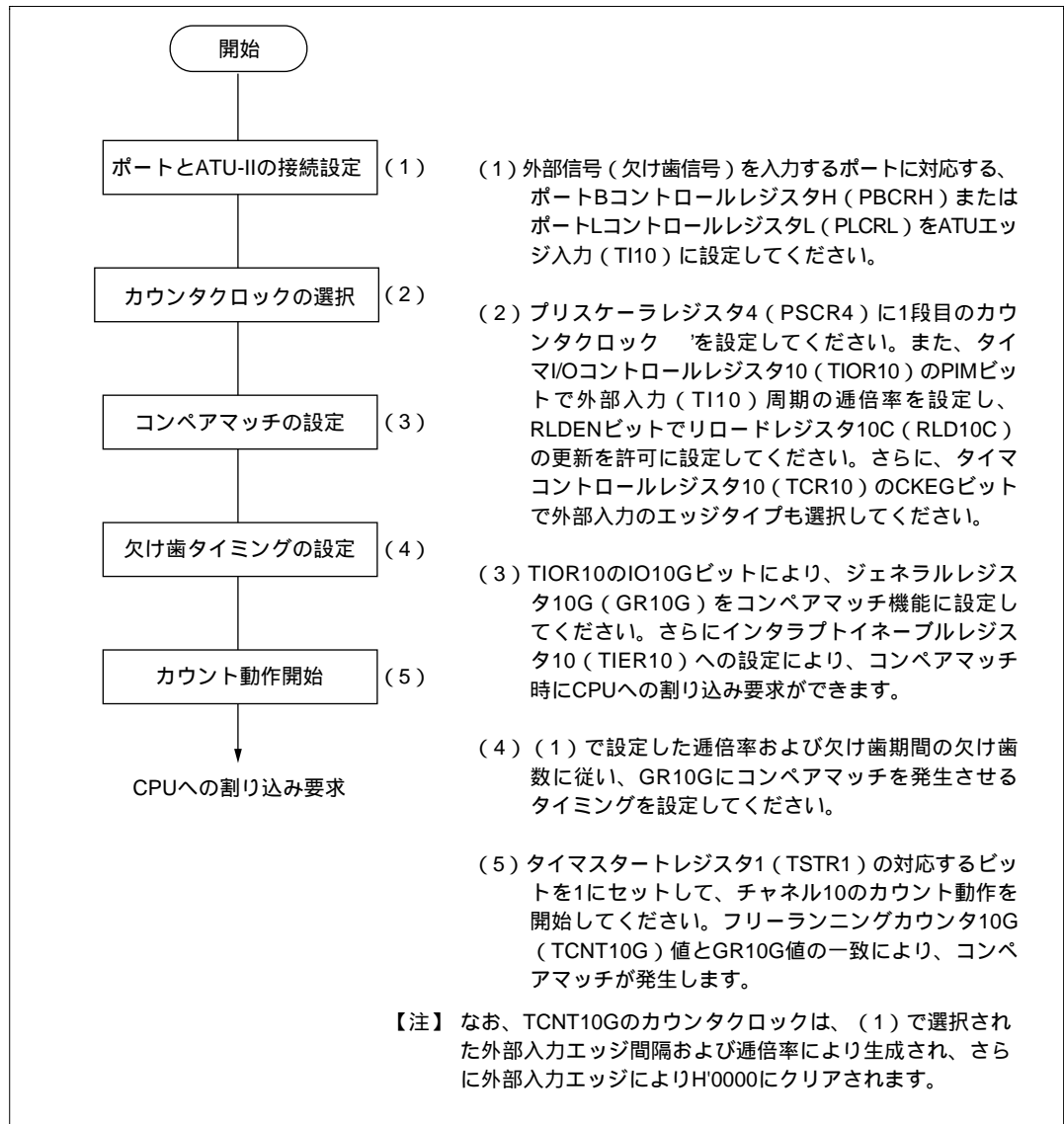


図 10.63 欠け歯検出動作の設定手順例

10.7 使用上の注意

ATU 動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNT の書き込みとコンペアマッチによるクリアの競合

チャンネル3~7のフリーランニングカウンタ (TCNT3~5、6A~D、7A~D) は、コンペアマッチによるカウンタクリアを設定した場合、またはPWMモード使用時にCPUライトサイクル中の T2 ステートにコンペアマッチが発生しても TCNT のクリアは行われず、TCNT への書き込みが優先されます。

なお、コンペアマッチは有効のままであり、割り込みステータスフラグへの1ライトや、外部への波形出力は、通常のコンペアマッチ同様に行われます。

このタイミングを図 10.64 に示します。

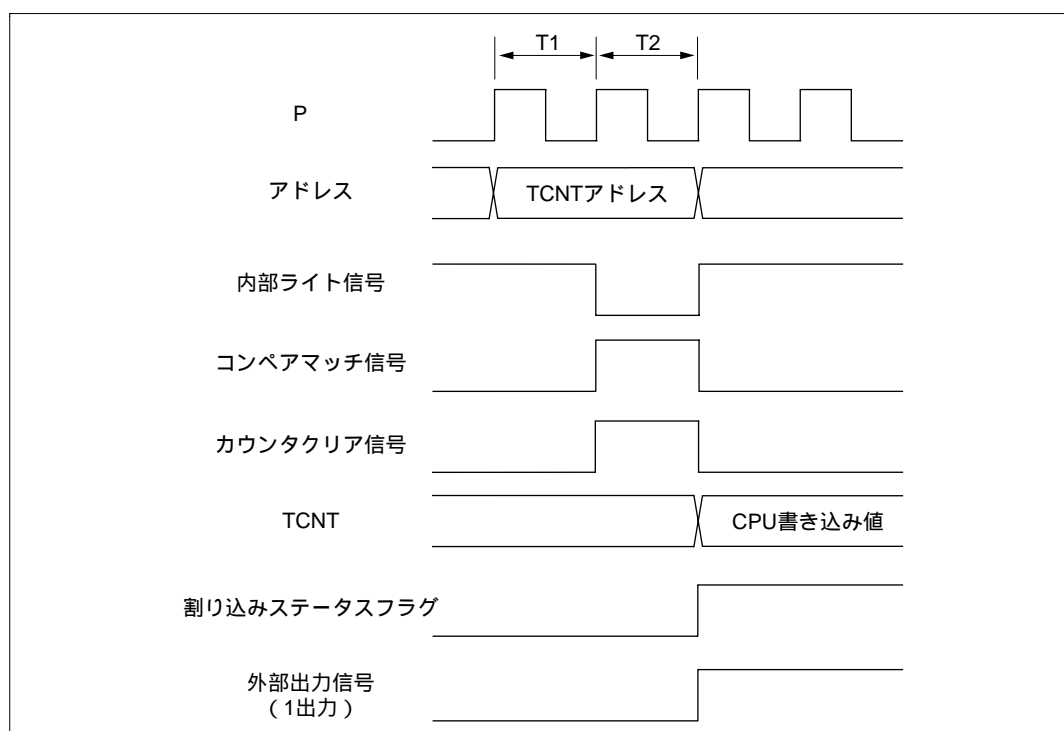


図 10.64 TCNT の書き込みとクリアの競合

(2) TCNT の書き込みとカウントアップの競合

チャンネル0~11のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3~5、6A~6D、7A~7D、10A~10H、11)、ダウンカウンタ (DCNT8A~8P)、およびイベントカウンタ9 (ECNT9A~9F) のカウントアップ/ダウン中に当該カウンタへ書き込みを行うと、カウントせずにカウンタへの書き込みが優先されます。

このタイミングを図10.65に示します。これはTCNTが、H'1001からH'1002にカウントアップするタイミングでCPUからH'5555を書き込んだときの動作例です。

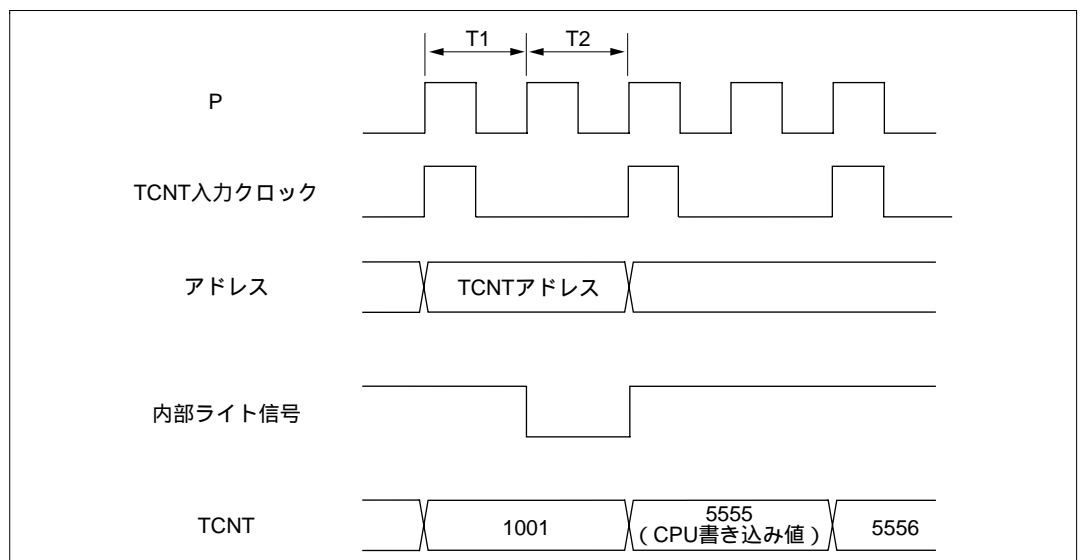


図 10.65 TCNT の書き込みとカウントアップの競合

(3) TCNT の書き込みとオーバーフローによるカウンタクリアの競合

チャンネル0~5、11のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3~5、11) は、CPU ライトサイクル中の T2 ステートでオーバーフローが発生しても TCNT はクリアされず、TCNT への書き込みが優先されます。

なお、オーバーフローによる割り込みステータスフラグ (OVF) への 1 ライトは、通常のオーバーフローと同様に行われます。

このタイミングを図 10.66 に示します。これは TCNT にオーバーフローのタイミングで H'5555 を書き込んだときの動作例です。

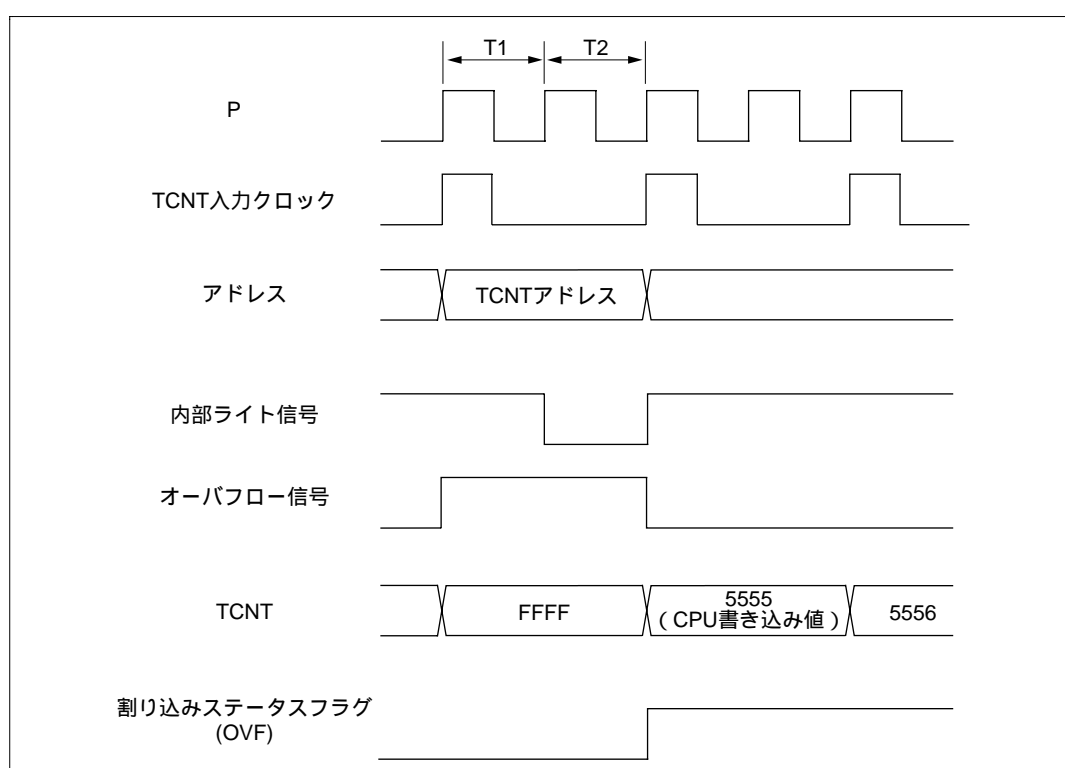


図 10.66 TCNT の書き込みとオーバーフローの競合

(4) 割り込みステータスフラグの0クリアと割り込み発生時の1セットの競合

CPUから割り込みステータスフラグへの0ライトサイクル中のT2状態で、インプットキャプチャ/コンペアマッチやオーバーフロー/アンダフローなどのイベントが発生すると、0ライトによる0セットが優先され、割り込みステータスフラグはクリアされます。

このタイミングを図10.67に示します。

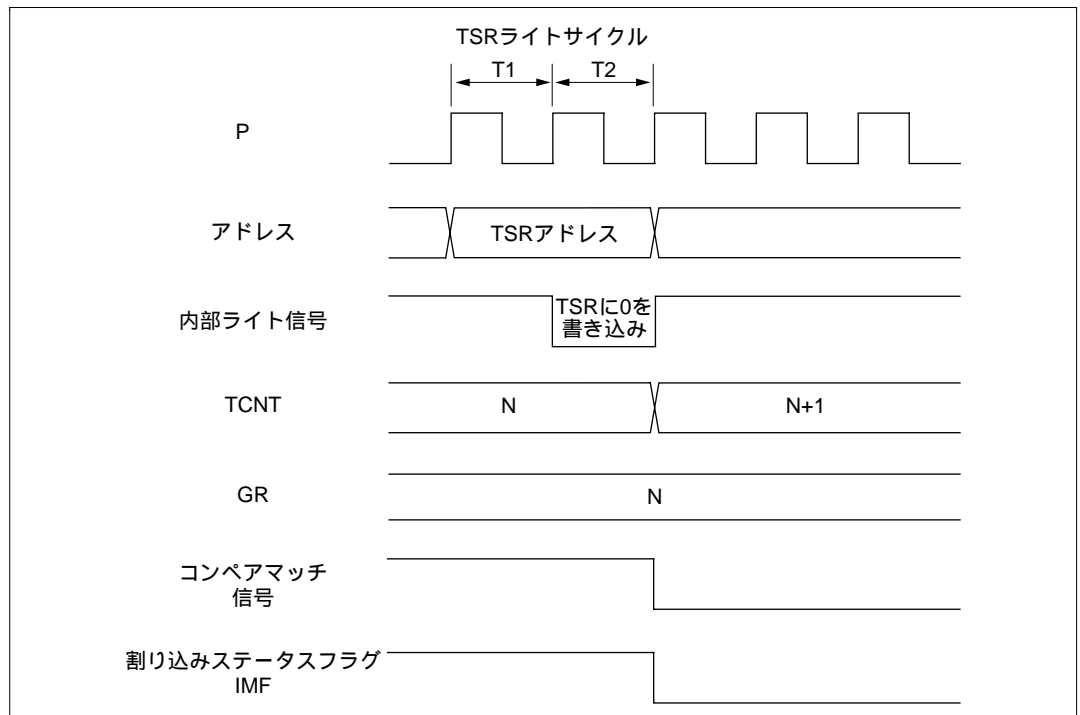


図 10.67 コンペアマッチによる割り込みステータスフラグのセットとクリアの競合

(5) DTR への書き込みとバッファ機能による BFR 値の転送の競合

チャンネル 6、7 では、サイクルレジスタ (CYLR) のコンペアマッチ発生により、バッファレジスタ (BFR) 値が対応するデューティレジスタ (DTR) に転送されるタイミングと、CPU から DTR への書き込みが競合すると、CPU から書き込む値が DTR に書き込まれます。

図 10.68 に BFR が H'AAAA、DTR へ書き込む値が H'5555 の場合で競合が発生するときの動作例を示します。

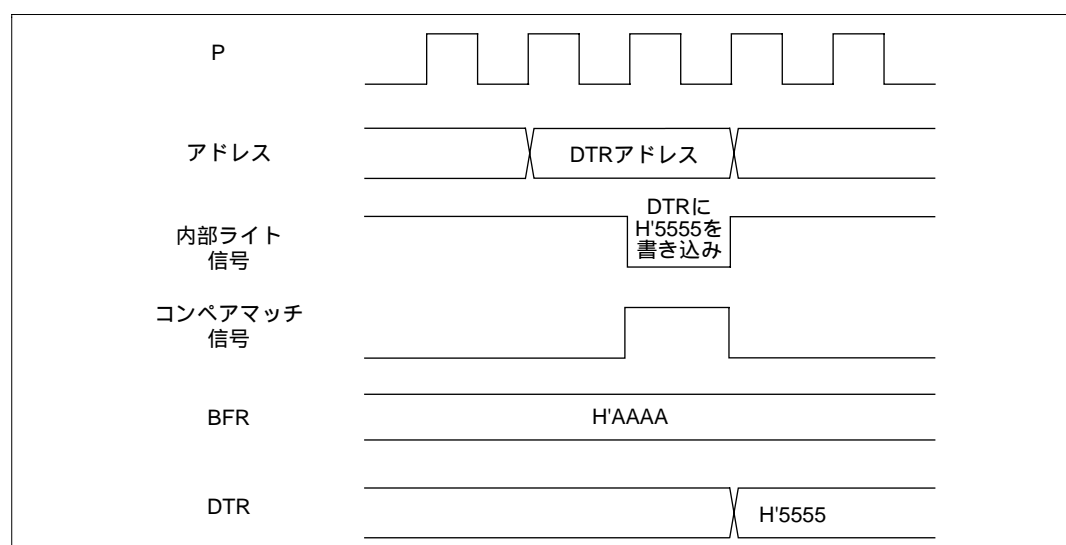


図 10.68 DTR への書き込みとバッファ機能による BFR 値の転送の競合

(6) 割り込みステータスフラグの DMAC によるクリアとインプットキャプチャ / コンペアマッチによるセットの競合

割り込みステータスフラグ (ICF0A ~ D、CMF6A ~ D、CMF7A ~ D) がインプットキャプチャ (ICR0A ~ D) / コンペアマッチ (CYLR6A ~ D、CYLR7A ~ D) によりセットされる時に、DMAC によるクリアが発生すると、割り込みステータスフラグはセットされず、DMAC によるクリアが優先されます。

このタイミングを図 10.69 に示します。

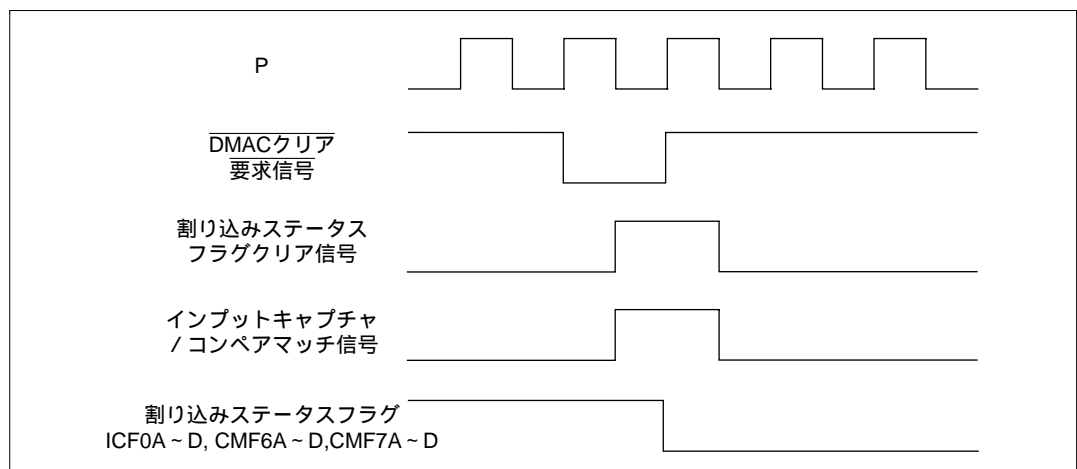


図 10.69 割り込みステータスフラグの DMAC によるクリアとインプットキャプチャ / コンペアマッチによるセットの競合

(7) CPU からのダウンカウンタ停止方法と動作

ダウンカウンタ (DCNT) のカウント動作を停止したい時は、DCNT に H'0000 を書き込んでください。CPU からダウンカウンタスタートレジスタ (DSTR) に直接 0 を書き込めないため、DCNT を H'0000 にすることで、結果として DSTR の対応するビットが 0 になりカウントが停止します。ただし、アンダフローするタイミングでタイムステータスレジスタ (TSR) の OSF ビットが立ちます。

なお、特に注意することは、DCNT に H'0000 を書き込むと、即時に DSTR の対応するビットが 0 になるのではなく、H'0000 書き込み後にアンダフローするタイミングで DSTR の対応するビットが 0 になり、ダウンカウンタが停止するということです。

このタイミングを図 10.70 に示します。

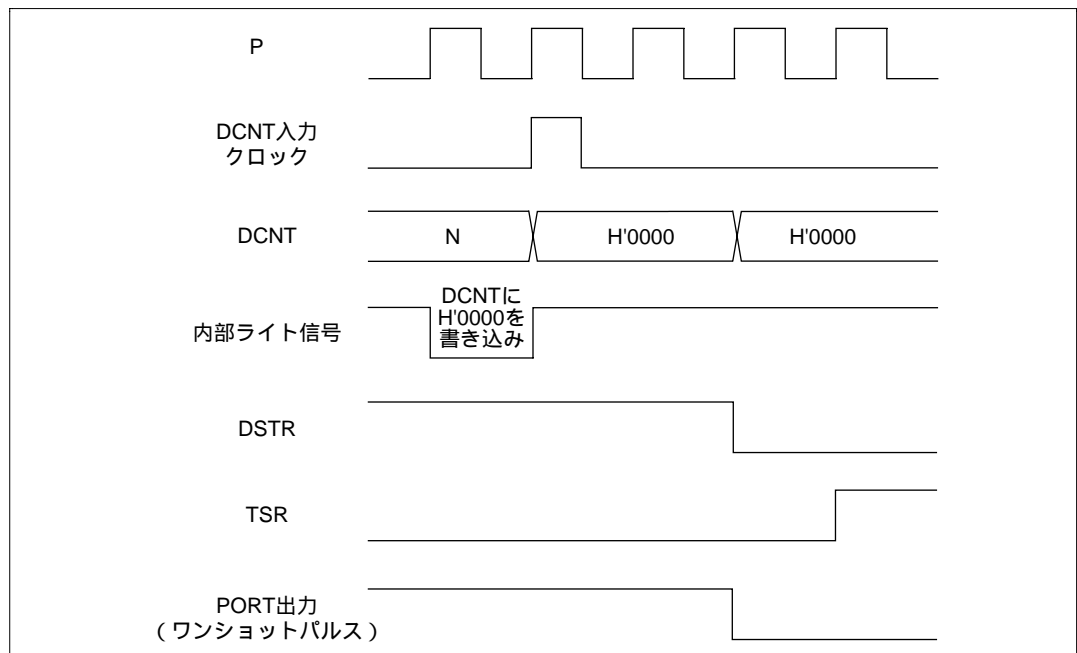


図 10.70 CPU からのダウンカウンタ停止方法と動作

(8) フリーランニングカウンタ停止時のインプットキャプチャ動作

チャンネル0~5、10、11では、フリーランニングカウンタ(TCNT)の起動/停止にかかわらず、インプットキャプチャ設定を行い、入力端子からトリガ信号を入力すると、TCNT値が対応するジェネラルレジスタ(GR)またはインプットキャプチャレジスタ(ICR)に転送され、かつ、タイマステータスレジスタ(TSR)のIMFまたはICFビットが立ちます。

このタイミングを図10.71に示します。

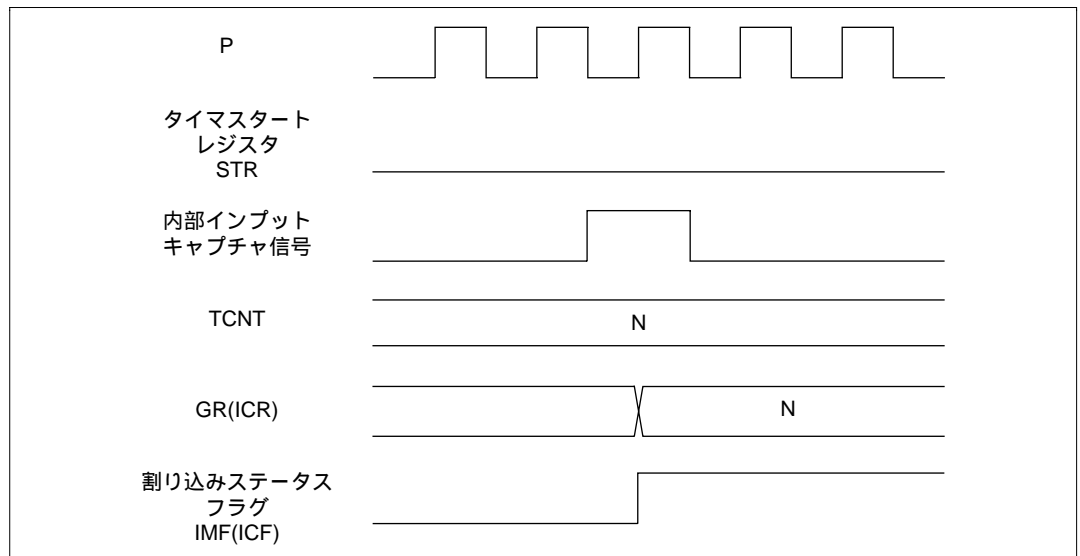


図 10.71 フリーランニングカウンタを動作させる前のインプットキャプチャ動作

(9) DCNT の書き込みとアンダフローによるカウンタ 0 クリアの競合

チャンネル 8 のダウンカウンタ (DCNT8A ~ 8P) は、ダウンカウンタへの CPU ライトサイクル中の T2 ステートで、アンダフローが発生してカウントが停止するとき、DCNT への CPU からの書き込みは行われず、H'0000 の保持を優先します。なお、アンダフロータイミングでの割り込みステータスフラグ (OSF) への 1 ライトも、通常のアンダフローと同様に行われます。

このタイミングを図 10.72 に示します。これは DCNT にアンダフローのタイミングで H'5555 を書き込もうとしたときの動作例です。

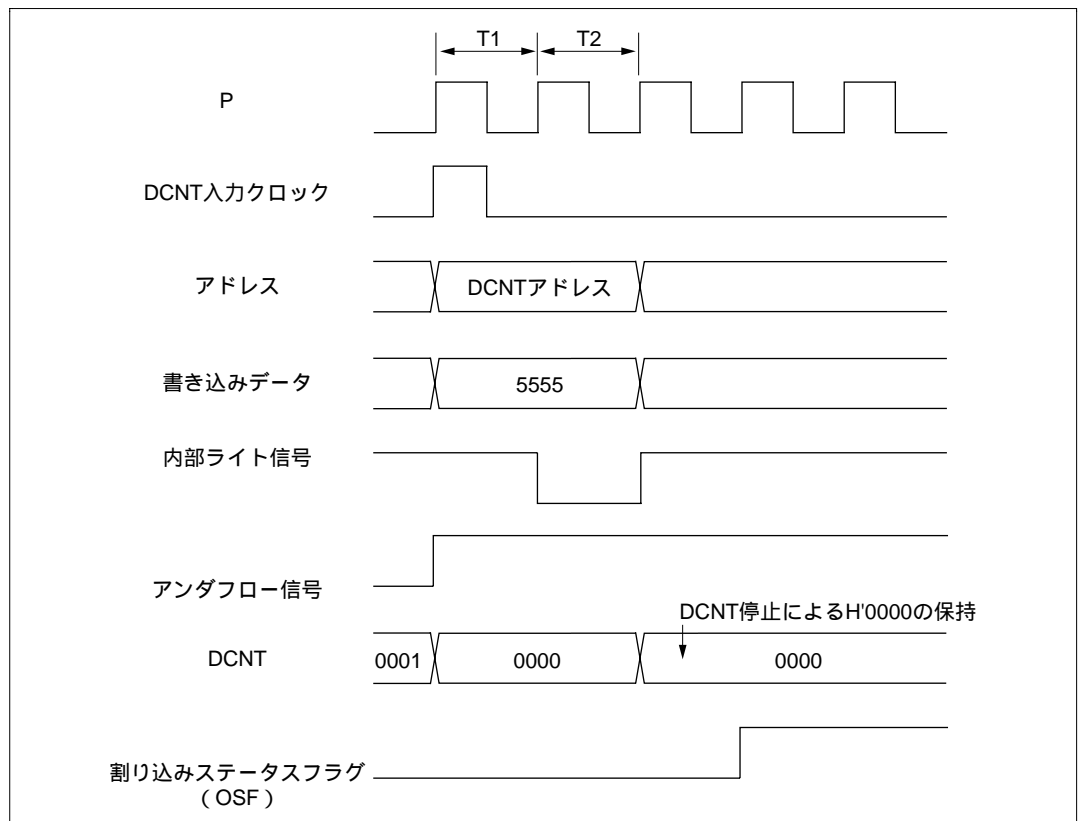


図 10.72 DCNT の書き込みとアンダフローの競合

(10) CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

CPU からダウンカウントスタートレジスタ (DSTR) への '1' ライトサイクル中の T2 ステートで、アンダフローが発生すると、DSTR の対応するビットには '1' ライトされず、そのアンダフローによる 0 クリアが優先されます。

このタイミングを図 10.73 に示します。

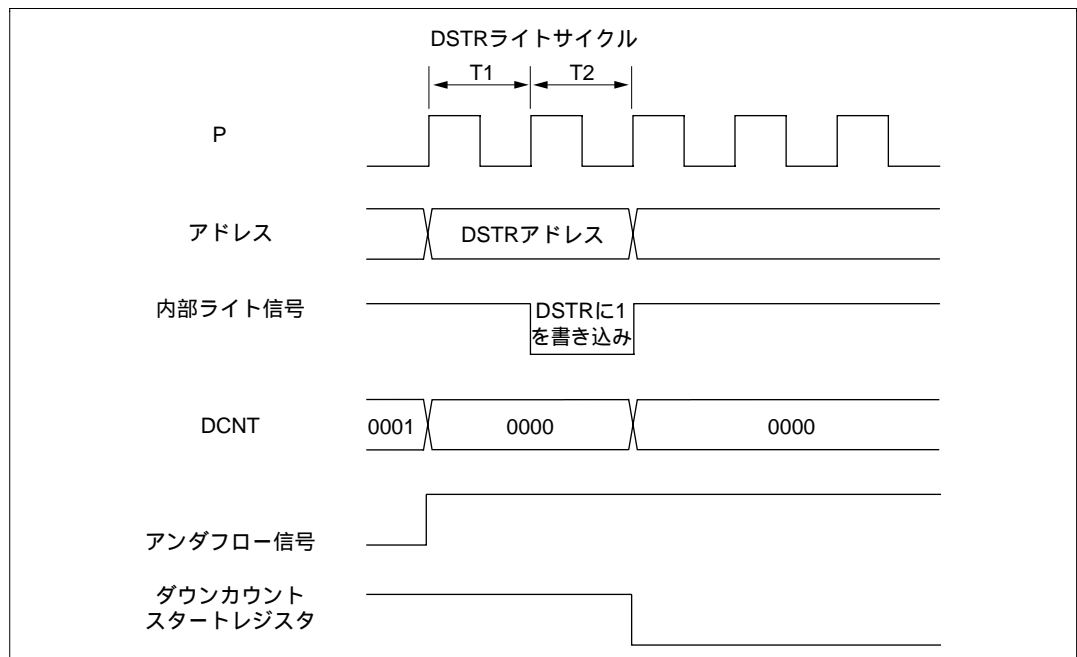


図 10.73 CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

(11) プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) の設定タイミング

プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) への設定は、カウンタを起動する以前に行ってください。カウンタ起動中に PSCR、TCR あるいは TMDR を変更すると、動作は保証できません。

また、PSCR1~4 設定後は P が 32 回入力されるまでカウンタを起動しないでください。

(12) 割り込みステータスフラグのクリア手順

割り込みステータスフラグを CPU から 0 クリアする際には、必ず一度リードしてから 0 を書き込んでください。リードせずに 0 書き込みを行うと、動作は保証できません。

(13) フリーランニングカウンタ 6A~6D、7A~7D (TCNT6A~6D、7A~7D) への H'0000 設定

チャンネル 6、7 のフリーランニングカウンタ (TCNT6A~6D、7A~7D) に H'0000 を書き込み、カウンタスタートすると、サイクルレジスタ (CYLR) 及びデューティレジスタ (DTR) との最初のコンペアマッチまでの間隔が、TCNT 入力クロックで最大 1 クロック分、設定値より長くなります。それ以降のコンペアマッチでは、CYLR 値および DTR 値に対し正確な波形を出力します。

(14) フリーランニングカウンタ (TCNT) のカウント停止時の各レジスタ値

タイマスタートレジスタ (TSTR) 値を途中で 0 に設定すると、対応するフリーランニングカウンタ (TCNT) のカウントアップが停止するのみであり、当該フリーランニングカウンタ (TCNT) および ATU の全レジスタの初期化は行われません。なお、外部出力値は TSTR を 0 に設定した時点の値が出力し続けます。

(15) TCNT0 の書き込み時とインターバルタイマ動作

インターバルインタラプトリクエストレジスタ (ITVRR) を 1 に設定したビットと対応する、フリーランニングカウンタ 0 (TCNT0) のビットが 0 のときに、CPU プログラムから TCNT0 の当該ビットに 1 を書き込むと、結果として TCNT0 のビット 6~13 が 0 から 1 に変化したことを検出し、INTC への割り込み発生や A/D のサンプリングの起動を行います。このとき、タイマスタートレジスタ 1 (TSTR1) の STR0 ビットが 0 でカウント停止中でも、ビットが 0 から 1 に変化したことを検出します。

(16) ATU からの DMAC 起動による TSR 自動クリア動作

TSR の自動クリアは、DMAC がバーストモードの時は転送終了後、サイクルスチール
の場合は DMAC がバス権を返すたびにクリアを行います。

(17) 割り込みステータスフラグのセット/リセット動作

TSR は、ある特定のビットをクリアするために一度 1 リードした後に 0 ライトする前に、
同ビットに重複してイベントが発生した場合でも、当ビットへの 0 ライトができます。(重
複して発生したイベントは受け付けません)。

(18) ソフトウェアスタンバイ時の外部出力値

ソフトウェアスタンバイによって ATU のレジスタと外部出力値は 0 にクリアされます。
ただし、チャンネル 1、2、11 の外部端子 TIO1A ~ H、TIO2A ~ H の外部出力値はソフトウェ
アスタンバイ中には 1 を出力し、ソフトウェアスタンバイ解除直後に 0 にクリアされます。
それ以外の外部出力値および全てのレジスタはソフトウェアスタンバイ遷移直後に 0 クリ
アされます。

また、ピンファンクションコントローラのポート B インポートレジスタ (PBIR)、ポー
ト K インポートレジスタ (PKIR) で端子出力を反転させている場合、対応する端子は 1
クリアされます。

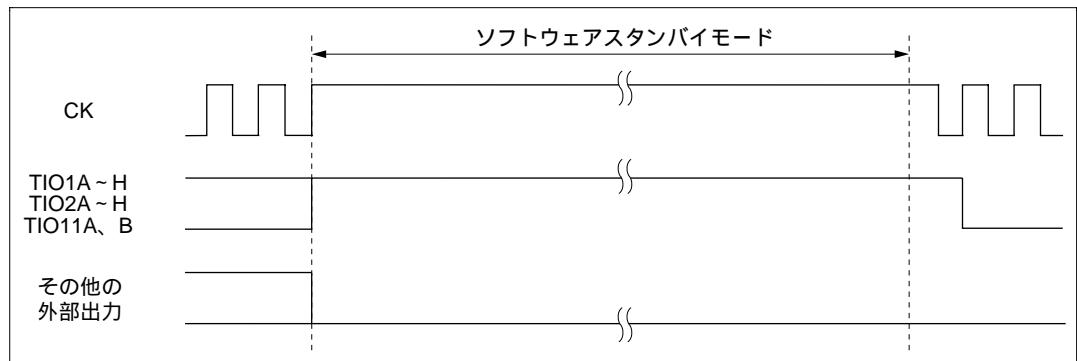


図 10.74 ソフトウェアスタンバイモード時の外部出力値の変化点

(19) チャンネル 10 からの TCNT クリアと TCNT オーバフローの競合

チャンネル 1、2 のフリーランニングカウンタ (TCNT1A ~ B、TCNT2A ~ B) は、オーバフローが発生すると H'0000 にクリアされます。このときチャンネル 10 の補正カウンタクリアレジスタ (TCCLR) からのクリア信号が同時に入ってもオーバフローによる割り込みステータスフラグ (OVF) への 1 ライトは、通常のオーバフローと同様に行われます。

(20) チャンネル 10 のリロードレジスタへの転送タイミングと書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの逡倍出力転送と、当該レジスタへの CPU ライトタイミングが競合したとき、CPU ライトが優先され、逡倍出力は無視されます。

(21) チャンネル 10 のリロードタイミングと TCNT10C への書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの逡倍出力転送と、リロードカウンタ (TCNT10C) への CPU ライトが競合した場合、CPU ライトが優先され、逡倍出力は無視されます。

(22) ATU 端子の設定

ポートを ATU 端子機能に設定するとき、以下のことに注意して設定してください。

インプットキャプチャ入力として使用するときは、対応する TIOR レジスタをインプットキャプチャ禁止の状態、ポートを設定してください。チャンネル 10 の TI10 入力については、TCR10 が TI10 入力禁止の状態、ポートを設定してください。外部クロック入力として使用するときは、対応するチャンネルの STR ビットがカウント動作停止の状態、ポートを設定してください。イベント入力として使用する場合、対応する TCR レジスタがカウント動作禁止の状態、ポートを設定してください。

また、TCLKB、TI10 入力については複数端子に割り当てがありますが、TCLKB、TI10 入力を使用する場合は、一つの端子のみ有効にして使用してください。

(23) ATU レジスタライト直後の ROM 領域へのライト

ATU レジスタのライトサイクルの直後に、アドレスのビット 11=0 かつビット 12=1 の ROM アドレス (H'00001000 ~ H'000017FF、H'00003000 ~ H'000037FF、H'00005000 ~ H'000057FF、……、H'0007F000 ~ H'0007F7FF、……、H'000FF000 ~ H'000FF7FF) へのライトサイクルが発生すると、ROM へライトした値またはその一部が ATU レジスタに書き込まれます。これを回避するため、以下の対策をお願いいたします。

(a) ATU レジスタのライトサイクルの直後に CPU による ROM アドレスへの書き込みを行わないでください。

例えば、ATU に書き込む MOV 命令を偶ワードアドレス (4n 番地) に配置し、その直後に ROM エリアへの書き込みを行う MOV 命令を配置するような命令配置は不具合条件に該当します。

- (b) ATU レジスタのライトサイクルの直後に AUD による上記 ROM アドレスへの書き込みを行わないでください。

例えば、RAM エミュレーション機能を使用している際のオーバーラップ RAM へのライトは、オーバーラップしている ROM エリアのアドレスではなく、内蔵 RAM エリアのアドレスに対してライトを行ってください。

- (c) ROM アドレスへの書き込み動作が発生する際は、DMAC による ATU レジスタへの書き込みを行わないでください。

10.8 ATU-II のレジスタおよび端子の一覧表

表 10.4 レジスタおよび端子の一覧表

レジスタ名	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	チャンネル6	チャンネル7	チャンネル8	チャンネル9	チャンネル10	チャンネル11
TSTR (3)		TSTR1					TSTR2				TSTR3	TSTR1
PSCR (4)		PSCR1					PSCR2	PSCR3	PSCR1		PSCR4	PSCR1
TCNT (25)	TCNT0H, TCNT0L	TCNT1A, TCNT1B	TCNT2A, TCNT2B	TCNT3	TCNT4	TCNT5	TCNT6A ~ TCNT6D	TCNT7A ~ TCNT7D			TCNT10AH, TCNT10AL, TCNT10B ~ TCNT10H	TCNT11
DCNT (16)									DCNT8A ~ DCNT8P			
ECNT (6)										ECNT9A ~ ECNT9F		
TCR (17)		TCR1A, TCR1B	TCR2A, TCR2B	TCR3	TCR4	TCR5	TCR6A, TCR6B	TCR7A, TCR7B	TCR8	TCR9A ~ TCR9C	TCR10	TCR11
TIOR (17)		TIOR1A ~ TIOR1D	TIOR2A ~ TIOR2D	TIOR3A, TIOR3B	TIOR4A, TIOR4B	TIOR5A, TIOR5B					TIOR10	TIOR11
TSR (12)		TSR1A, TSR1B	TSR2A, TSR2B		TSR3		TSR6	TSR7	TSR8	TSR9	TSR10	TSR11
TIER (12)		TIER1A, TIER1B	TIER2A, TIER2B		TIER3		TIER6	TIER7	TIER8	TIER9	TIER10	TIER11
ITVRR (3)												
ITVRR1, ITVRR2A ITVRR2B												
GR (37)		GR1A ~ GR1H	GR2A ~ GR2H	GR3A ~ GR3D	GR4A ~ GR4D	GR5A ~ GR5D				GR9A ~ GR9F	GR10G	GR11A, GR11B
ICR (5)											ICR10AH, ICR10AL	
ICR0AH, ICR0AL ~ ICR0DH, ICR0DL												
OCR (11)		OCR1	OCR2A ~ OCR2H								OCR10AH, OCR10AL OCR10B	
OSBR (2)		OSBR1	OSBR2									
TRGMDR (1)		TRGMDR										
TMDR (1)					TMDR							
CYLR (8)							CYLR6A ~ CYLR6D	CYLR7A ~ CYLR7D				
BFR (8)							BFR6A ~ BFR6D	BFR7A ~ BFR7D				
DTR (8)							DTR6A ~ DTR6D	DTR7A ~ DTR7D				
PMDR (1)							PMDR					
PLDR (1)									RLDR8			
TCNR (1)									TCNR			
OTR (1)									OTR			
DSTR (1)									DSTR			
RLDENR (1)									RLDENR			
RLD (1)											RLD10C	
NGR (1)											NGR10	
TCCLR (1)											TCCLR10	
端子*	TIOA - D TCLKA, TCLKB	TIO1A - D, TCLKA, TCLKB	TIO2A - H, TCLKA, TCLKB	TIO3A - D, TCLKA, TCLKB	TIO4A - D, TCLKA, TCLKB	TIO5A - D, TCLKA, TCLKB	TO6A - D	TO7A - D	TO8A - P	TIO9A - F	TIO10	TCLKA, TCLKB

[注] * 端子は「20. ピンファンクションコントローラ (PFC)」で機能を設定してください。

11. アドバンストパルス コントローラ (APC)

第 11 章 目次

11.1	概要.....	437
	11.1.1	特長.....437
	11.1.2	ブロック図.....438
	11.1.3	端子構成.....439
	11.1.4	レジスタ構成.....439
11.2	レジスタの説明.....	440
	11.2.1	パルスアウトポートコントロールレジスタ (POPCR).....440
11.3	動作説明.....	441
	11.3.1	概要.....441
	11.3.2	APC 出力動作.....442
11.4	使用上の注意.....	444

11.1 概要

本 LSI は、アドバンストタイムユニット-II (ATU-II) をタイムベースとして最大 8 本のパルス出力を行うアドバンストパルスコントローラ (APC) を内蔵しています。

11.1.1 特長

APC には、次のような特長があります。

最大 8 本のパルス出力

パルス出力する端子を 8 つの端子から選択できます。複数設定が可能です。

出力トリガはアドバンストタイムユニット-II (ATU-II) のチャンネル 11

ATU-II のチャンネル 11 のコンペアマッチレジスタから発生したコンペアマッチ信号をトリガとしてパルスの 0 出力、1 出力を行います。

11.1.2 ブロック図

APCのブロック図を図 11.1 に示します。

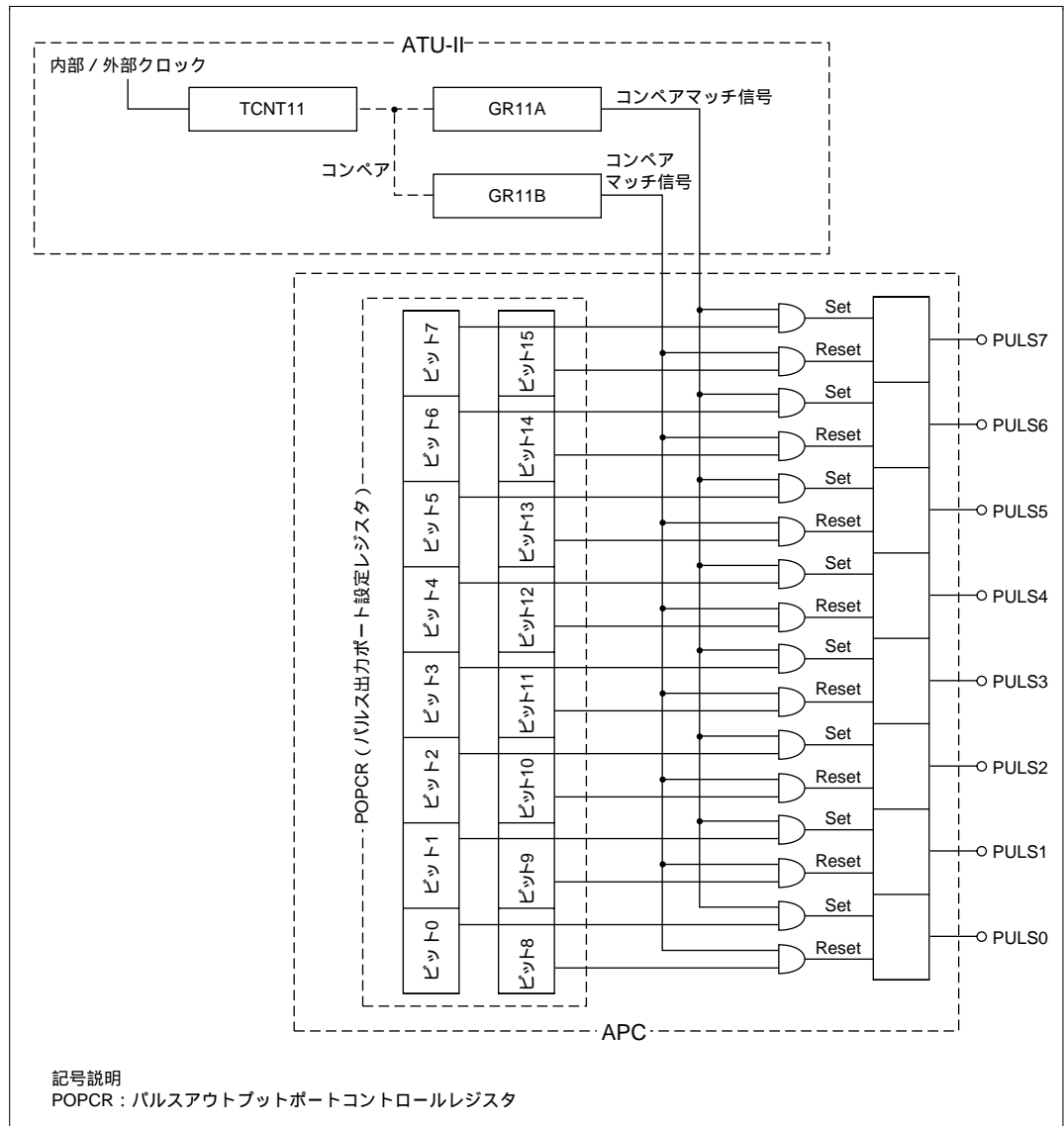


図 11.1 APC のブロック図

11.1.3 端子構成

APCの端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	入出力	機能説明
PULS0	出力	APC パルス出力 0
PULS1	出力	APC パルス出力 1
PULS2	出力	APC パルス出力 2
PULS3	出力	APC パルス出力 3
PULS4	出力	APC パルス出力 4
PULS5	出力	APC パルス出力 5
PULS6	出力	APC パルス出力 6
PULS7	出力	APC パルス出力 7

11.1.4 レジスタ構成

APCのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
パルスアウトポートコントロール レジスタ	POPCCR	R/W	H'0000	H'FFFFFF700	8、16

【注】 レジスタアクセスサイクルは 4 or 5 サイクルです。

11.2 レジスタの説明

11.2.1 パルスアウトポートコントロールレジスタ (POPCR)

パルスアウトポートコントロールレジスタ (POPCR) は読み出し / 書き込み可能な 16 ビットのレジスタです。

POPCR はパワーオンリセットおよびハードウェアスタンバイモード時に、H'0000 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8 : PULS7~0 リセットアウトプットイネーブル (PULS7~0ROE)

APC パルス出力端子 (PULS7~0) への 0 出力の許可 / 禁止をビット単位で選択します。

ビット 15~8	説明
PULS7~0ROE	
0	APC パルス出力端子 (PULS7~0) への 0 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 0 出力を許可

本ビットを 1 に設定すると、GR11B と TCNT11 の値がコンペアマッチしたとき、対応する端子から 0 が出力されます。

ビット 7~0 : PULS7~0 セットアウトプットイネーブル (PULS7~0SOE)

APC パルス出力端子 (PULS7~0) への 1 出力の許可 / 禁止をビット単位で選択します。

ビット 7~0	説明
PULS7~0SOE	
0	APC パルス出力端子 (PULS7~0) への 1 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 1 出力を許可

本ビットを 1 に設定すると、GR11A と TCNT11 の値がコンペアマッチしたとき、対応する端子から 1 が出力されます。

11.3 動作説明

11.3.1 概要

APCパルス出力は、ピンファンクションコントローラ (PFC) でマルチプレクス端子を APC パルス出力に設定し、パルスアウトポートコントロールレジスタ (POPCR) の対応するビットを1 にすることで許可状態になります。

その後、アドバンストタイムユニット-II (ATU-II) のジェネラルレジスタ 11A (GR11A) がコンペアマッチ信号を発生すると、POPCR のビット 7~0 で1 に設定された端子から1 が出力されます。また、ジェネラルレジスタ 11B (GR11B) がコンペアマッチ信号を発生すると、POPCR のビット 15~8 で1 に設定された端子から0 が出力されます。

出力許可状態から最初のコンペアマッチが発生するまでは0 が出力されます。

APC 出力動作を図 11.2 に示します。

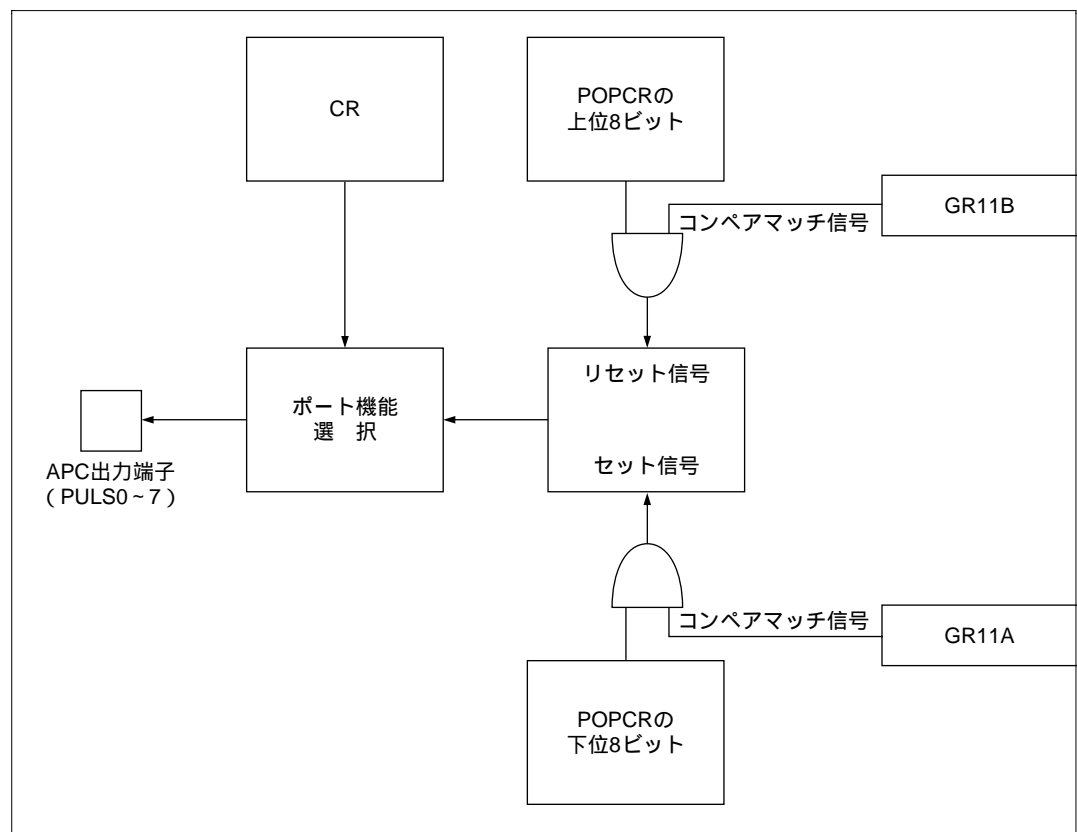


図 11.2 APC 出力動作

11.3.2 APC 出力動作

(1) APC 出力動作の設定手順例

APC 出力動作の設定手順例を図 11.3 に示します。

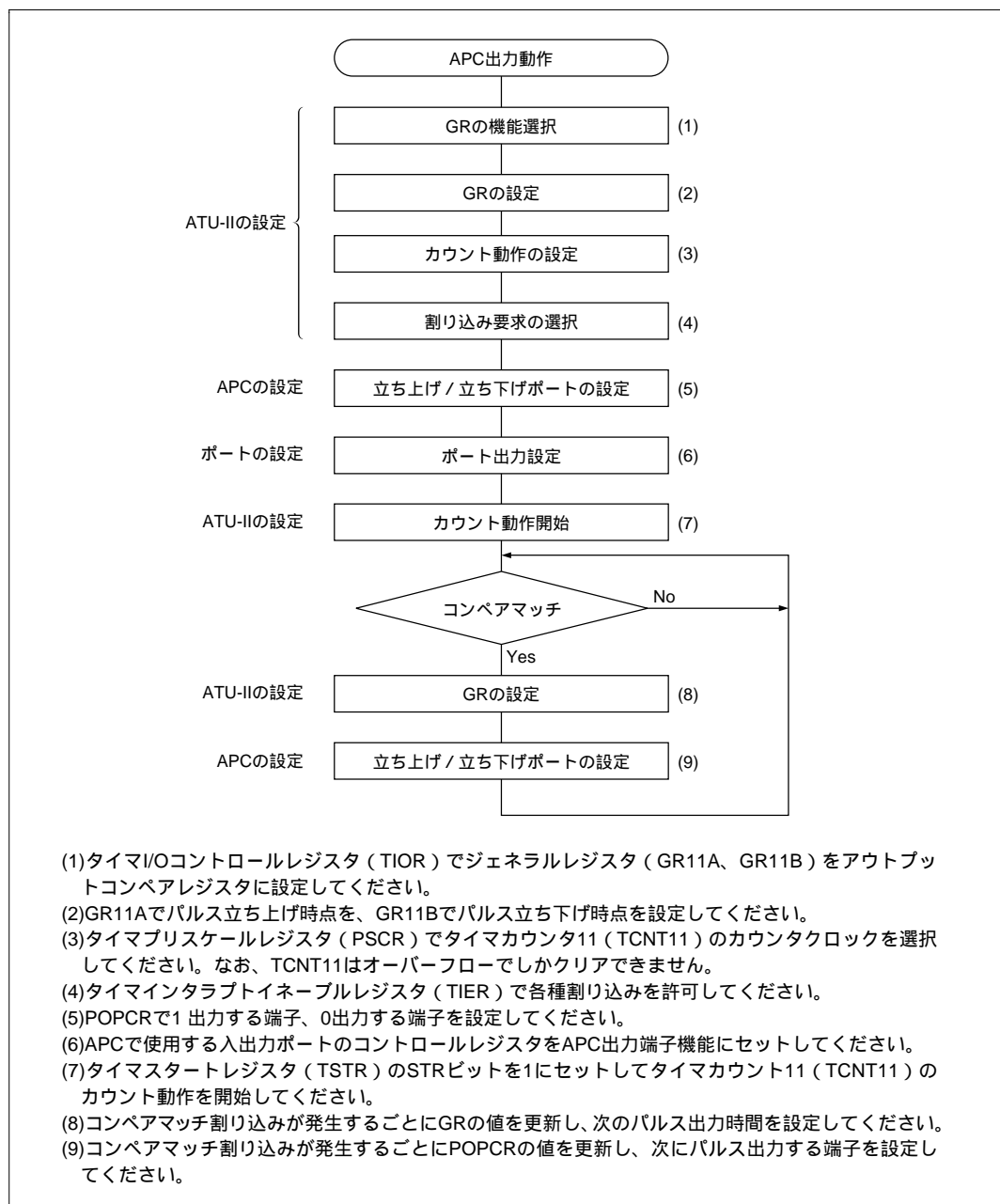


図 11.3 APC 出力動作の設定手順例

(2) APC 出力動作例

APC 出力動作例を図 11.4 に示します。

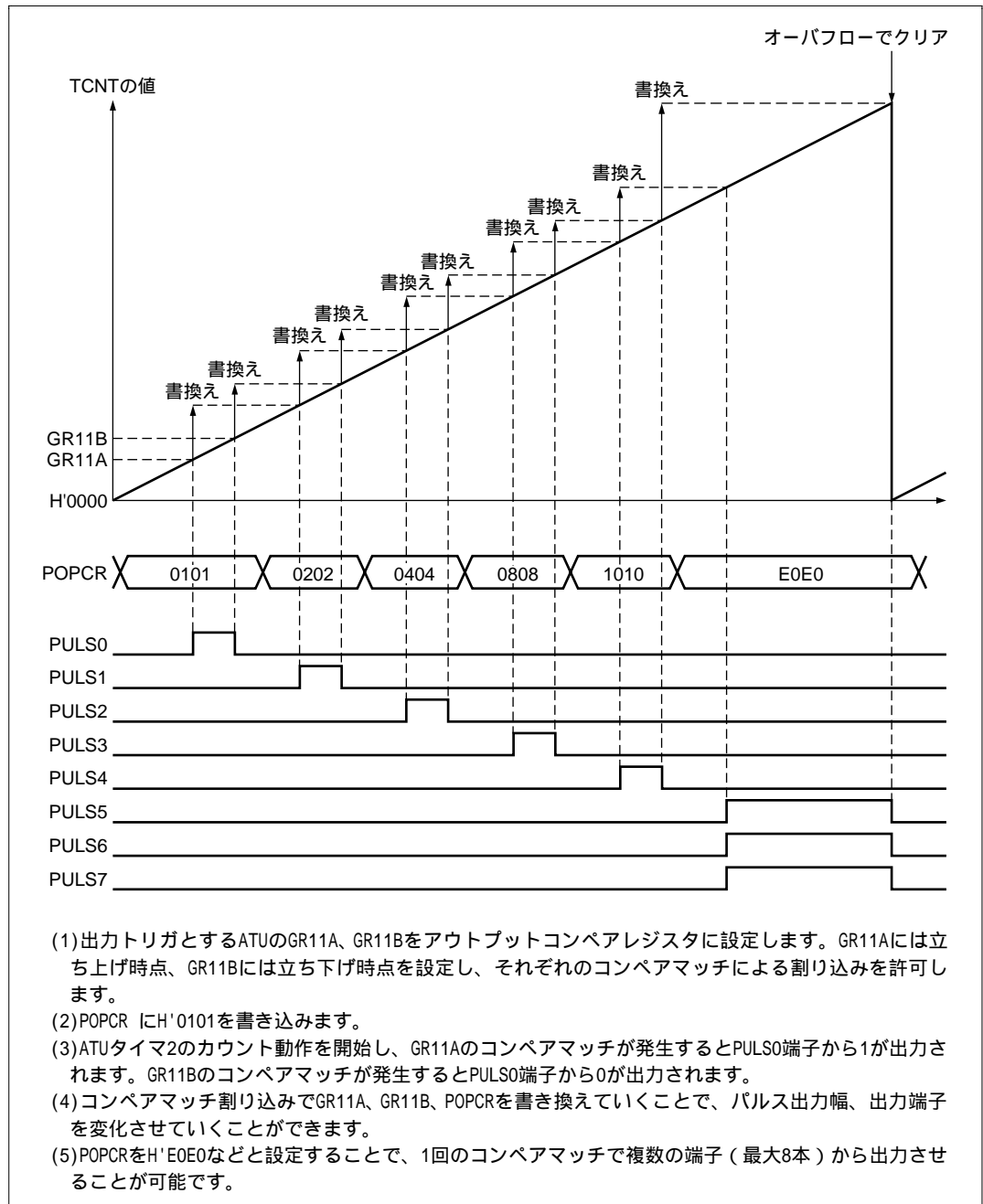


図 11.4 APC 出力動作例

11.4 使用上の注意

(1) コンペアマッチ信号の競合

GR11A と GR11B を同じ値に設定し、POPCR の設定で同一端子の 0 出力、1 出力をともに許可した場合、コンペアマッチ時の PULS0~7 端子は 0 出力が優先されます。

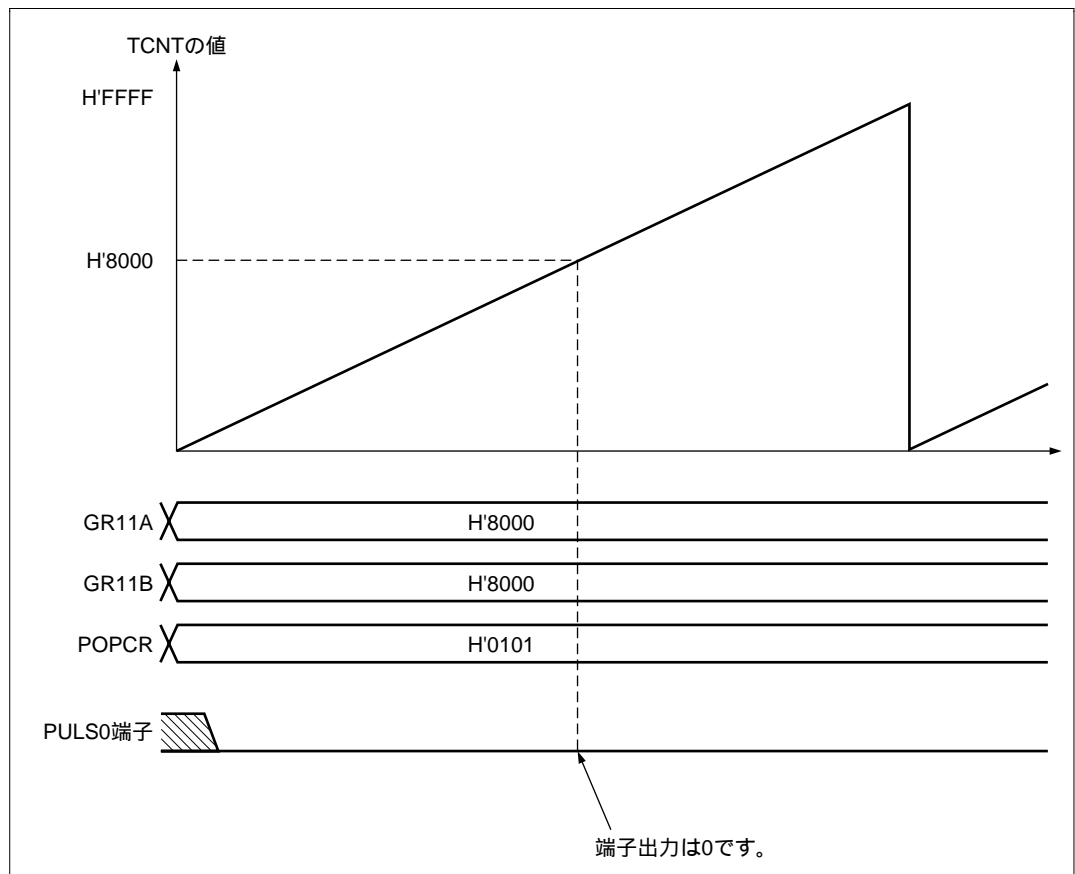


図 11.5 コンペアマッチ競合例

12. ウォッチドッグタイマ (WDT)

第12章 目次

12.1	概要.....	447
	12.1.1	特長..... 447
	12.1.2	ブロック図..... 448
	12.1.3	端子構成..... 448
	12.1.4	レジスタ構成..... 449
12.2	レジスタの説明.....	450
	12.2.1	タイマカウンタ (TCNT) 450
	12.2.2	タイマコントロール/ステータスレジスタ (TCSR) 450
	12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR) 452
	12.2.4	レジスタアクセス時の注意 454
12.3	動作説明.....	456
	12.3.1	ウォッチドッグタイマモード時の動作..... 456
	12.3.2	インターバルタイマモード時の動作..... 457
	12.3.3	ソフトウェアスタンバイモード解除時の動作..... 458
	12.3.4	オーパフローフラグ (OVF) のセットタイミング..... 459
	12.3.5	ウォッチドッグタイマオーパフローフラグ (WOVF) のセットタイミング..... 459
12.4	使用上の注意.....	460
	12.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合..... 460
	12.4.2	CKS2~CKS0 ビットを書き換え..... 460
	12.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え..... 461
	12.4.4	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット..... 461
	12.4.5	ウォッチドッグタイマモードでの内部リセット..... 461
	12.4.6	ウォッチドッグタイマモードでのマニュアルリセット..... 461

12.1 概要

ウォッチドッグタイマ (WDT) は 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDT はスタンバイモードの解除時にも使用されます。

12.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたは、マニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

ソフトウェアスタンバイモードの解除時に使用

8 種類のカウンタ入力クロックを選択可能

12.1.2 ブロック図

WDTのブロック図を図12.1に示します。

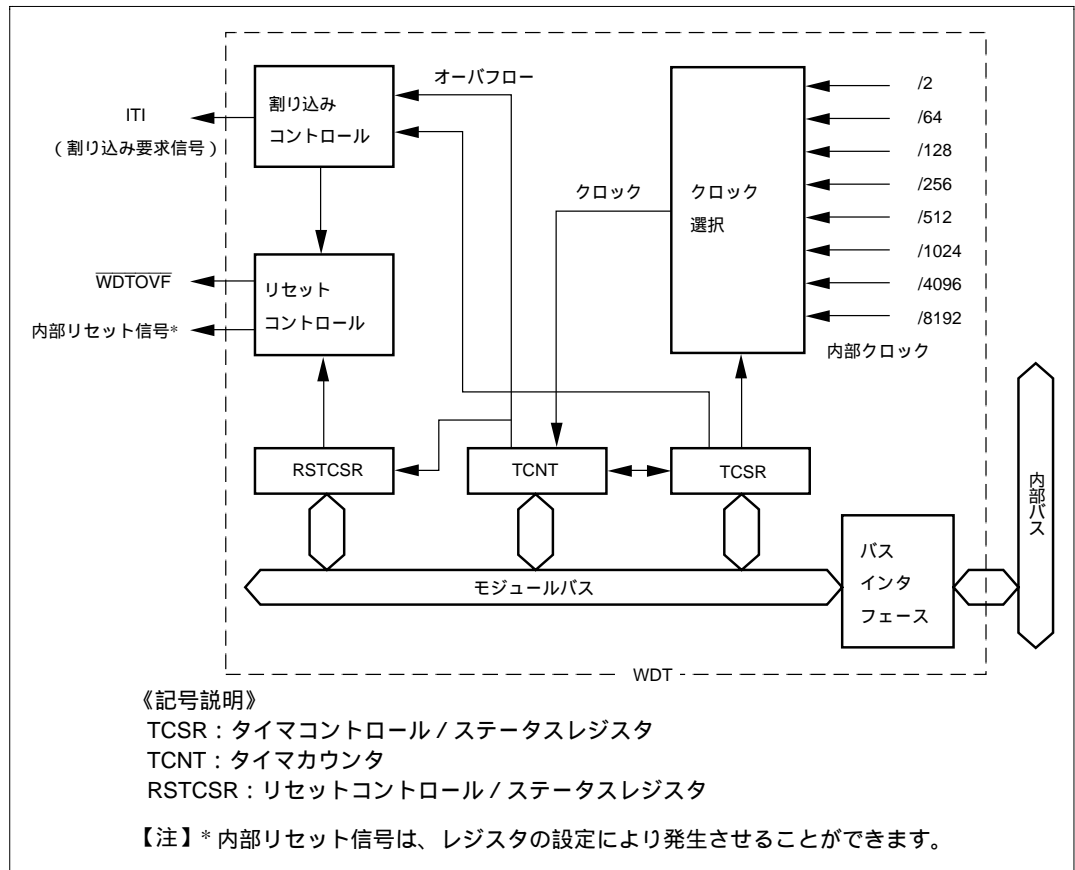


図 12.1 WDTのブロック図

12.1.3 端子構成

WDTの端子を表12.1に示します。

表 12.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

12.1.4 レジスタ構成

WDT には、表 12.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り換え、リセット信号の制御などを行います。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFFFFE10	H'FFFFFFE10
タイマカウンタ	TCNT	R/W	H'00		H'FFFFFFE11
リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFFFFE12	H'FFFFFFE13

【注】 レジスタアクセスはバイトアクセス時、ワードアクセス時共 3 サイクルです。

*1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

12.2 レジスタの説明

12.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な*8ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2~CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の $\overline{WT}/\overline{IT}$ ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (\overline{WDTOVF}) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「12.2.4 レジスタアクセス時の注意」を参照してください。

12.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	$\overline{WT}/\overline{IT}$	TME		—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】* OVFビットは、1リード後の0ライトのみ実行可能です。

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な*8ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット 7~5 は、パワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に 000 に初期化されます。ビット 2~0 は、パワーオンリセットおよびハードウェアスタンバイモードで 000 に初期化されますが、ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：オーバフローフラグ (OVF)

インターバルタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

ビット6：タイマモードセレクト (WT/ \bar{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット6	説明
WT/ \bar{IT}	
0	インターバルタイマモード：TCNTがオーバフローしたとき CPU へインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNTがオーバフローしたとき \overline{WDTOVF} 信号を外部へ出力 *

【注】 * ウォッチドッグタイマモードのとき、TCNTがオーバフローした場合についての詳しくは、「12.2.3 リセットコントロール/ステータスレジスタ」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNTを H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNTはカウントアップを開始。TCNTがオーバフローすると、 \overline{WDTOVF} 信号または割り込みが発生。

ビット4、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* (=40MHz の場合)
0	0	0	/2 (初期値)	12.8 μs
		1	/64	409.6 μs
	1	0	/128	0.8ms
		1	/256	1.6 ms
1	0	0	/512	3.3 ms
		1	/1024	6.6 ms
	1	0	/4096	26.2 ms
		1	/8192	52.4 ms

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な8ビットのレジスタで、タイマカウンタ (TCNT) のオーバフローによる内部リセット信号の発生を制御します。

RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバフローによる内部リセット信号では初期化されません。ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説 明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] WOVFを読み出してから WOVF に 0 を書き込む
1	ウォッチドッグタイマモードで TCNT のオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説 明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき、内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5：リセットセレクト(RSTS)

ウォッチドッグタイマモードで TCNT がオーバフローして発生する内部リセットの種類を選択します。

ビット5	説 明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

12.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

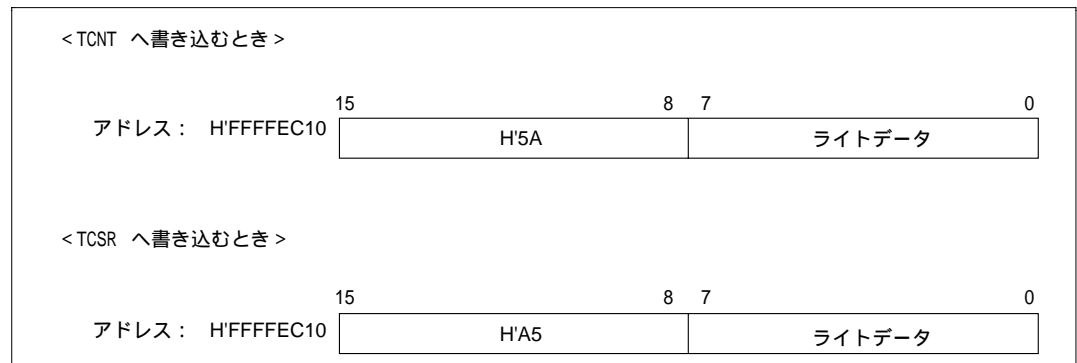


図 12.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFFFFEC12 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 12.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

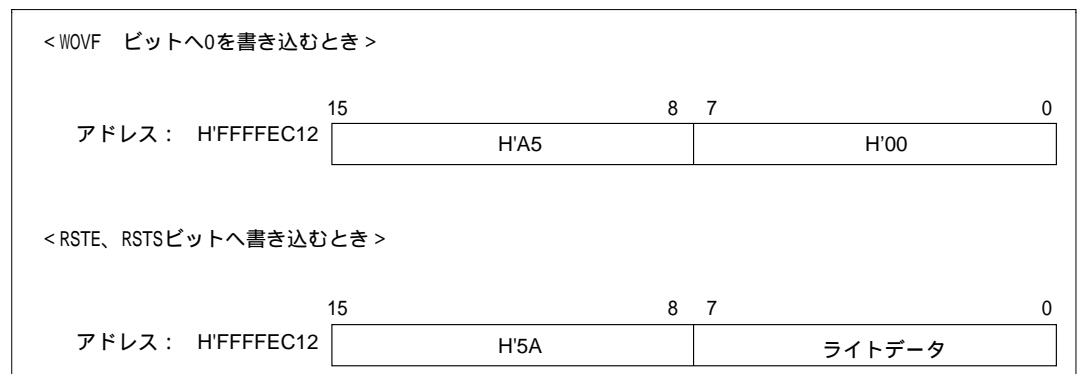


図 12.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFFFFEC10 に、TCNT は、アドレス H'FFFFFFEC11 に、RSTCSR は、アドレス H'FFFFFFEC13 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 12.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません。(外部からのパワーオンリセットのみで初期化されます。)

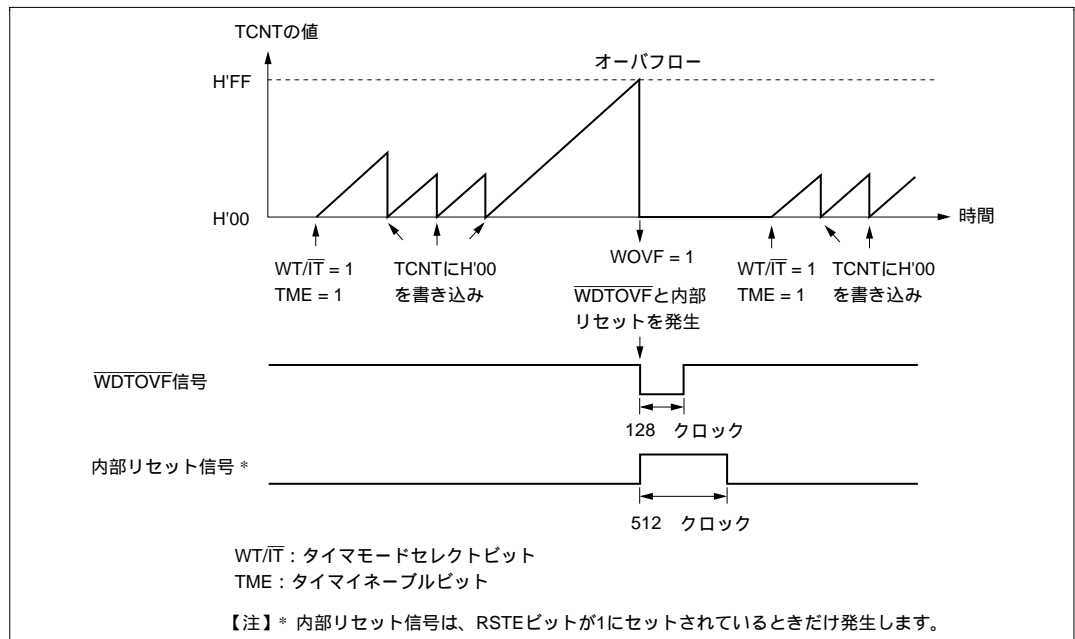


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 12.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

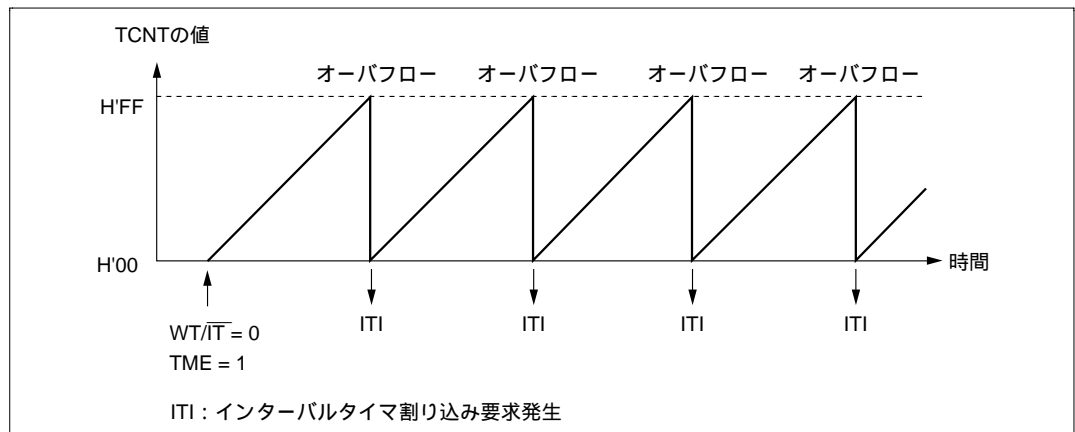


図 12.5 インターバルタイマモード時の動作

12.3.3 ソフトウェアスタンバイモード解除時の動作

WDT は、ソフトウェアスタンバイモードが NMI 割り込みで解除されるときに使用されます。ソフトウェアスタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) ソフトウェアスタンバイモード遷移前の設定

ソフトウェアスタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、ソフトウェアスタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「24.3 AC 特性」を参照してください。

(2) ソフトウェアスタンバイモード解除時の動作

ソフトウェアスタンバイモードで NMI 信号が入力されると、発振器が動作を開始し、TCNT はソフトウェアスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバフロー (H'FF H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードについては、「23. 低消費電力状態」を参照してください。

12.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 12.6 に示します。

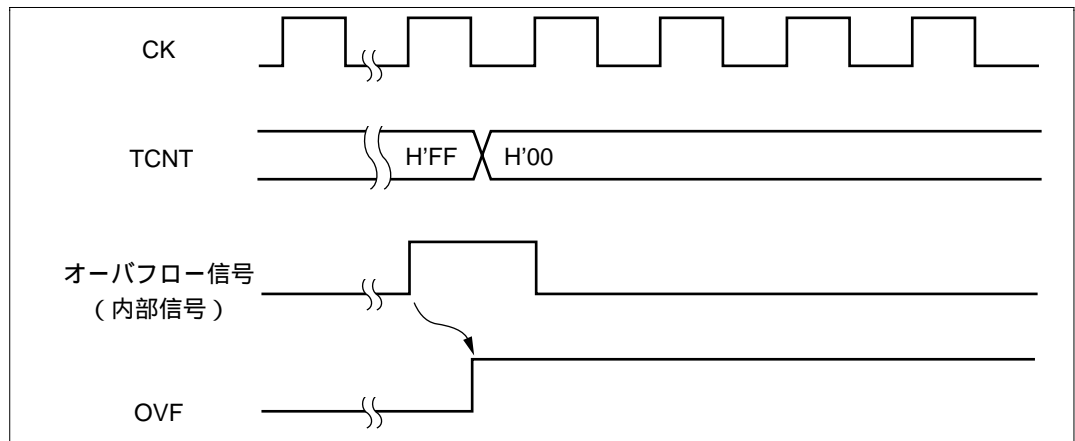


図 12.6 オーバフローフラグ (OVF) のセットタイミング

12.3.5 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.7 に示します。

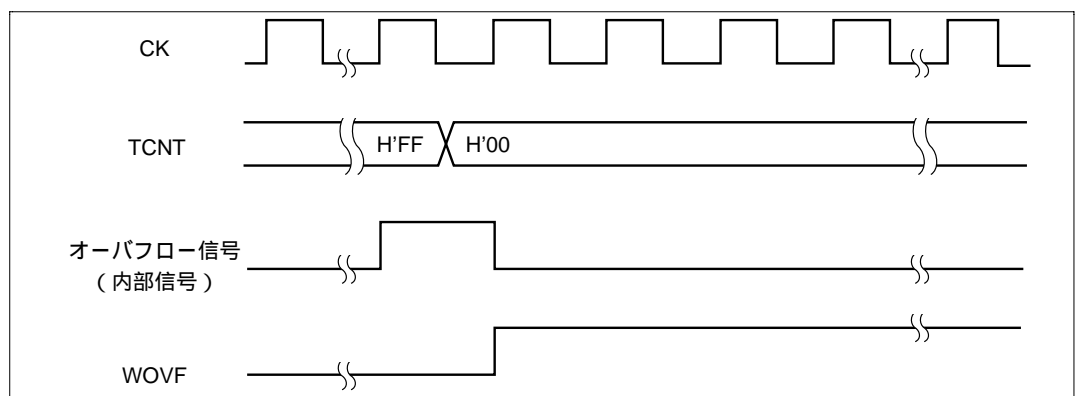


図 12.7 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

12.4 使用上の注意

12.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 12.8 に示します。

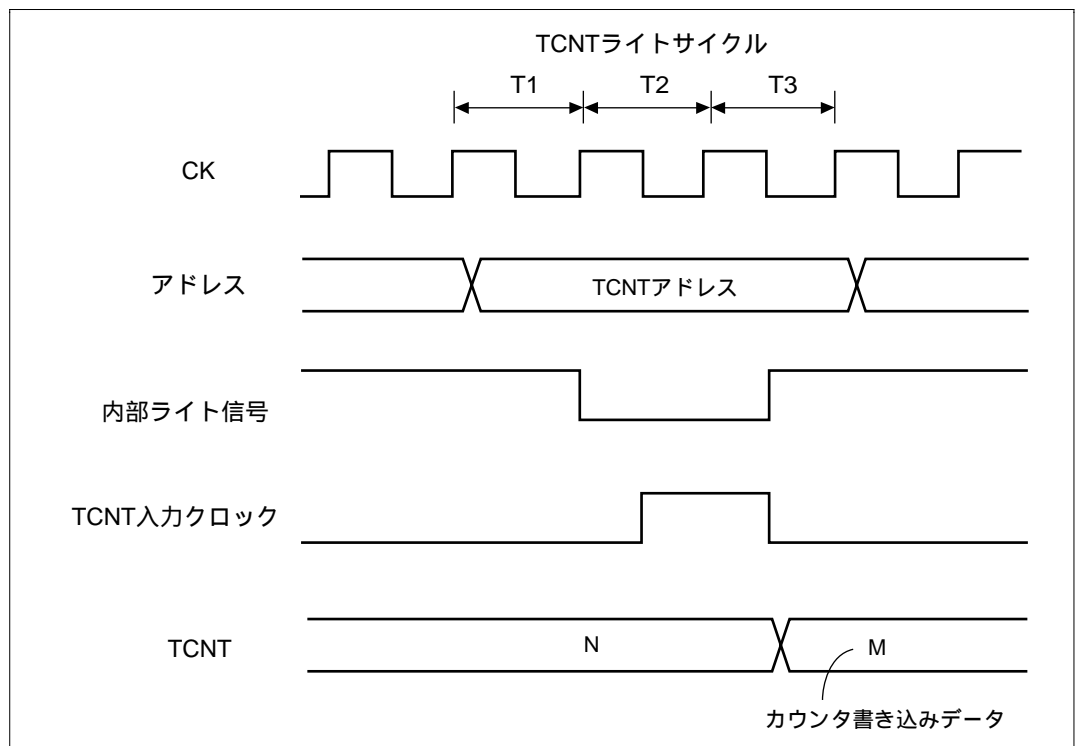


図 12.8 TCNT の書き込みとカウントアップの競合

12.4.2 CKS2 ~ CKS0 ビットを書き換え

WDT の動作中にタイマコントロール / ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われません。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.9 に示すような回路で行ってください。

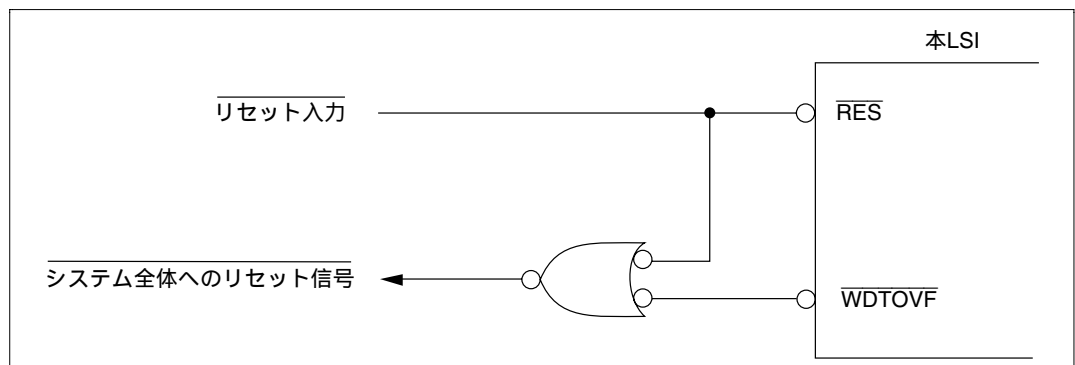


図 12.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

12.4.6 ウォッチドッグタイマモードでのマニュアルリセット

ウォッチドッグタイマモードで TCNT のオーバーフローにより、内部リセットしたとき、マニュアルリセット発生時のバスサイクル終了を待ってから、マニュアルリセット例外処理に移行します。したがって、マニュアルリセットによりバスサイクルは保持されますが、バス権解放中や DMAC バースト転送中等にマニュアルリセットが発生すると CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してから CPU がバス権を獲得するまでの期間が内部マニュアルリセット期間である 512 サイクル以上であると内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

13. コンペアマッチタイマ (CMT)

第 13 章 目次

13.1	概要	465
13.1.1	特長	465
13.1.2	ブロック図	465
13.1.3	レジスタ構成	466
13.2	レジスタの説明	467
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	467
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	468
13.2.3	コンペアマッチタイマカウンタ (CMCNT)	469
13.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	470
13.3	動作説明	471
13.3.1	周期カウント動作	471
13.3.2	CMCNT のカウントタイミング	471
13.4	割り込み	472
13.4.1	割り込み要因	472
13.4.2	コンペアマッチフラグのセットタイミング	472
13.4.3	コンペアマッチフラグのクリアタイミング	473
13.5	使用上の注意	474
13.5.1	CMCNT の書き込みとコンペアマッチの競合	474
13.5.2	CMCNT のワード書き込みとカウントアップの競合	474
13.5.3	CMCNT のバイト書き込みとカウントアップの競合	475

13.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

13.1.1 特長

CMT には、次のような特長があります。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック ($P/8$ 、 $P/32$ 、 $P/128$ 、 $P/512$) の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

13.1.2 ブロック図

CMT のブロック図を図 13.1 に示します。

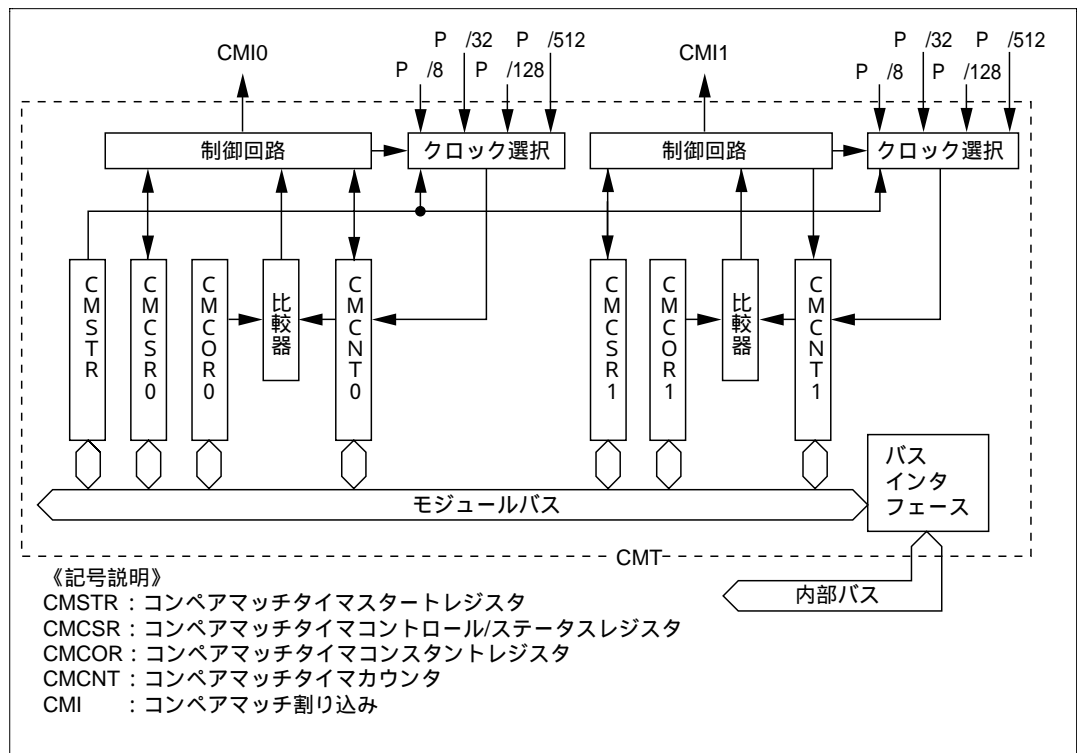


図 13.1 CMT のブロック図

13.1.3 レジスタ構成

CMT のレジスタ構成を表 13.1 に示します。

表 13.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイマ スタートレジスタ	CMSTR	R/W	H'0000	H'FFFFFF710	8、16、32
0	コンペアマッチタイマ コントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFFFF712	8、16、32
	コンペアマッチタイマ カウンタ 0	CMCNT0	R/W	H'0000	H'FFFFFF714	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFFFF716	8、16、32
1	コンペアマッチタイマ コントロール/ ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFFFF718	8、16、32
	コンペアマッチタイマ カウンタ 1	CMCNT1	R/W	H'0000	H'FFFFFF71A	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFFFF71C	8、16、32

【注】 アクセスサイズは、バイトアクセス、ワードアクセス時には 4 または 5 サイクル、ロングワードアクセス時には 8 または 9 サイクルとなります。

* CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 ライトのみ可能です。

13.2 レジスタの説明

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 を動作させるか、停止させるかを選択します。

ビット 1	説 明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0 : カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 を動作させるか、停止させるかを選択します。

ビット 0	説 明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

13.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR) はコンペアマッチ発生を表示、割り込みの許可 / 禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									CMF	CMIE					CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 15 ~ 8、5 ~ 2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット 7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

ビット 6 : コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット 6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

周辺クロック (P) を分周して得られる4種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを1にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	P / 8 (初期値)
0	1	P / 32
1	0	P / 128
1	1	P / 512

13.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを1にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが1にセットされます。このとき、CMCSR の CMIE ビットが1に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは16ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に 0xFFFF に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3 動作説明

13.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 13.2 に示します。

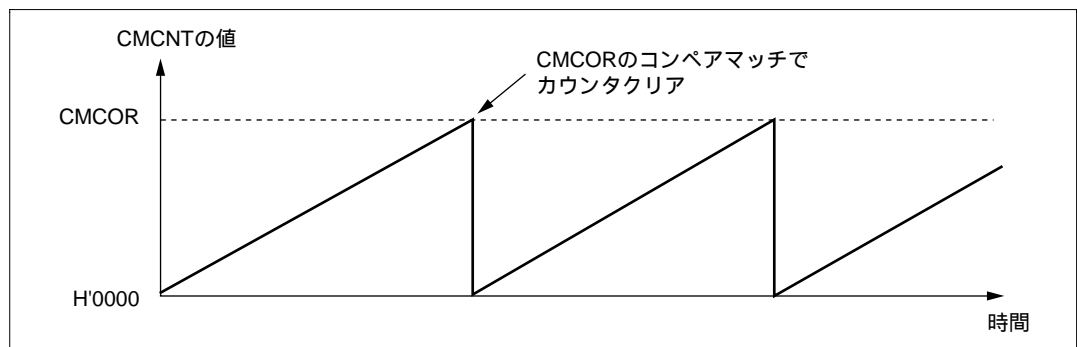


図 13.2 カウンタの動作

13.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、周辺クロック (P) を分周した 4 種類の内部クロック ($P/8$ 、 $P/32$ 、 $P/128$ 、 $P/512$) が選択できます。このときのタイミングを図 13.3 に示します。

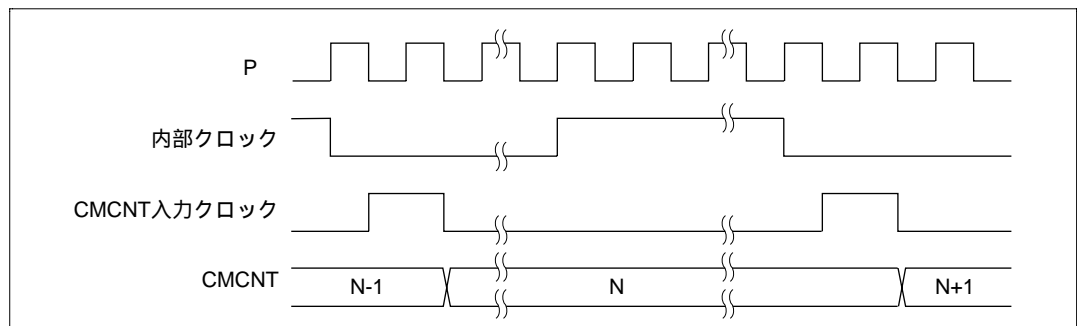


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「6. 割り込みコントローラ」を参照してください。

13.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後の状態 (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 13.4 に示します。

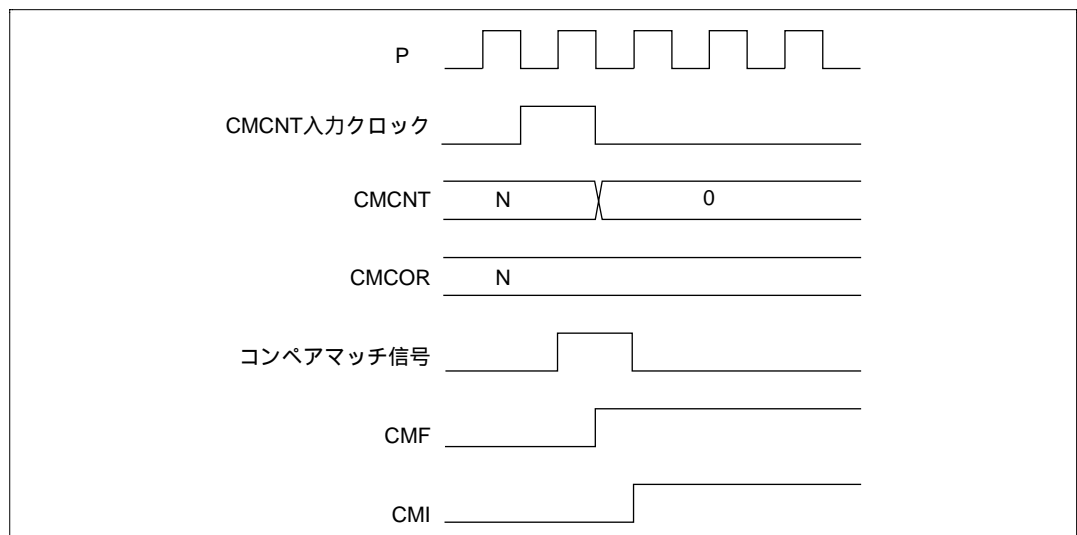


図 13.4 CMF のセットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSRレジスタのCMFビットは、1の状態を読み出したあとに0を書き込むことによりクリアされます。CPUによるCMFビットのクリアタイミングを図13.5に示します。

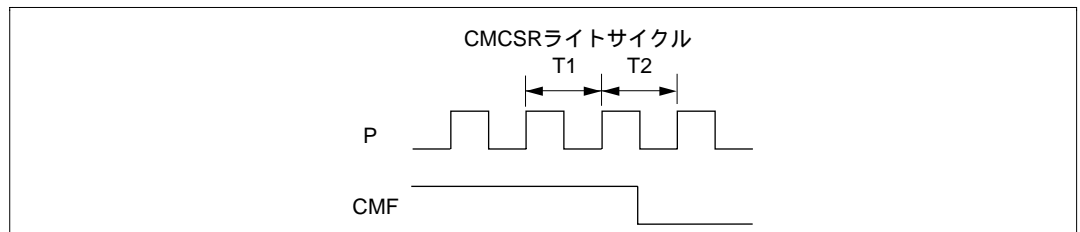


図 13.5 CPU による CMF のクリアタイミング

13.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.6 に示します。

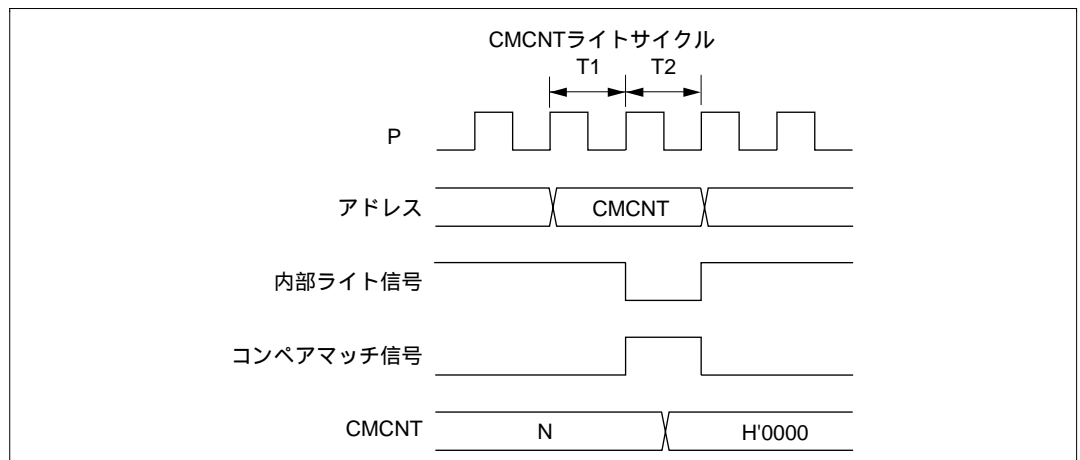


図 13.6 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 13.7 に示します。

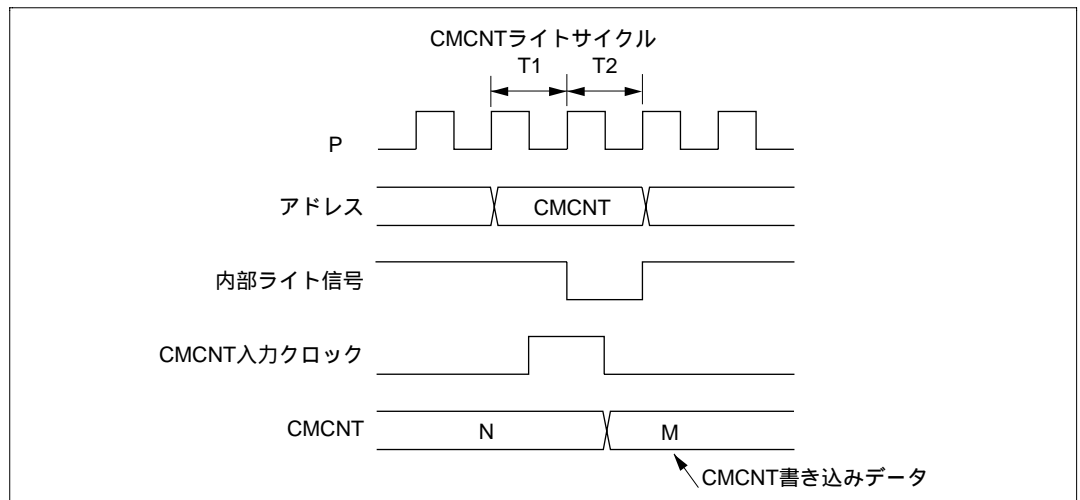


図 13.7 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.8 に示します。

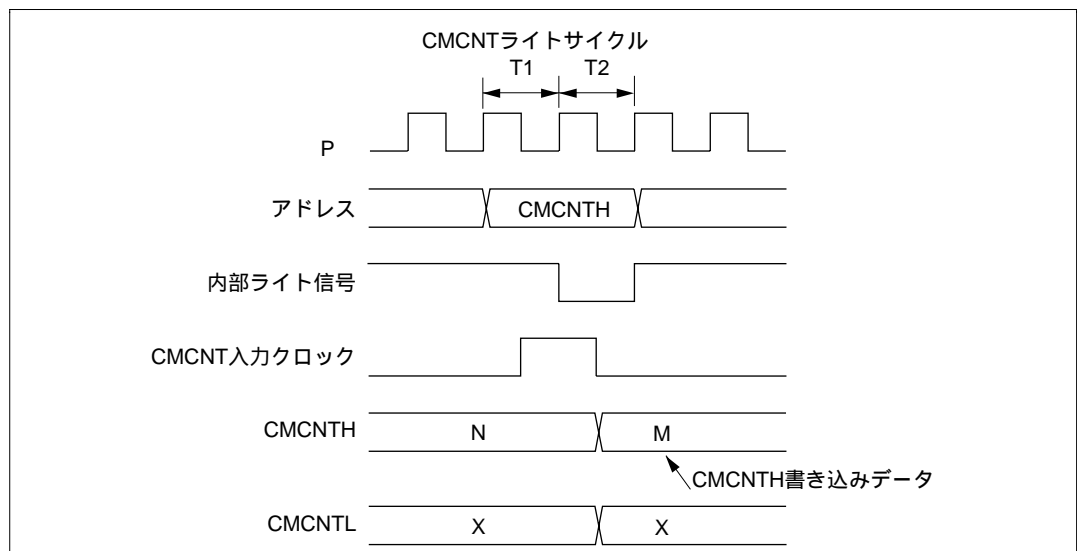


図 13.8 CMCNT のバイト書き込みとカウントアップの競合

14. シリアル コミュニケーション インタフェース (SCI)

第 14 章 目次

14.1	概要	479
14.1.1	特長	479
14.1.2	ブロック図	481
14.1.3	端子構成	482
14.1.4	レジスタ構成	483
14.2	レジスタの説明	485
14.2.1	レシーブシフトレジスタ (RSR)	485
14.2.2	レシーブデータレジスタ (RDR)	485
14.2.3	トランスミットシフトレジスタ (TSR)	486
14.2.4	トランスミットデータレジスタ (TDR)	486
14.2.5	シリアルモードレジスタ (SMR)	487
14.2.6	シリアルコントロールレジスタ (SCR)	490
14.2.7	シリアルステータスレジスタ (SSR)	494
14.2.8	ビットレートレジスタ (BRR)	500
14.2.9	シリアルディレクションコントロールレジスタ (SDCR)	506
14.2.10	SCK 端子信号の反転	507
14.3	動作説明	507
14.3.1	概要	507
14.3.2	調歩同期式モード時の動作	509
14.3.3	マルチプロセッサ通信機能	520
14.3.4	クロック同期式モード時の動作	528
14.4	SCI の割り込み要因と DMAC	536
14.5	使用上の注意	537

14.5.1	TDR への書き込みと TDRE フラグの関係について	537
14.5.2	複数の受信エラーが同時に発生した場合の動作について	537
14.5.3	ブレークの検出と処理について (調歩同期式モードのみ)	538
14.5.4	ブレークの送り出し (調歩同期式モードのみ)	538
14.5.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	538
14.5.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン...	538
14.5.7	DMAC の使用上の注意事項.....	540
14.5.8	クロック同期外部クロックモード時の注意事項	540
14.5.9	クロック同期内部クロックモード時の注意事項	540

14.1 概要

本 LSI は、独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能)、クロック反転入出力機能を備えています。

14.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- ・調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- データ長：7 ビット、または 8 ビット
- ストップビット長：1 ビット、または 2 ビット
- パリティ：偶数パリティ、奇数パリティ、またはパリティなし
- マルチプロセッサビット：1 または 0
- 受信エラーの検出：
 - パリティエラー、オーバランエラー、フレーミングエラーを検出
- ブレークの検出：
 - フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。

- ・クロック同期式モード (チャンネル 0~2)

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

- データ長：8 ビット
- 受信エラーの検出：オーバランエラーを検出
- 同期クロック反転入出力

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

LSB ファースト方式/MSB ファースト方式の選択可能 (8ビット長)

通信モードによらず選択可能。*

【注】 * 本章では、LSB ファースト方式の例について説明しています。

14.1.2 ブロック図

図 14.1 に SCI のブロック図を示します。

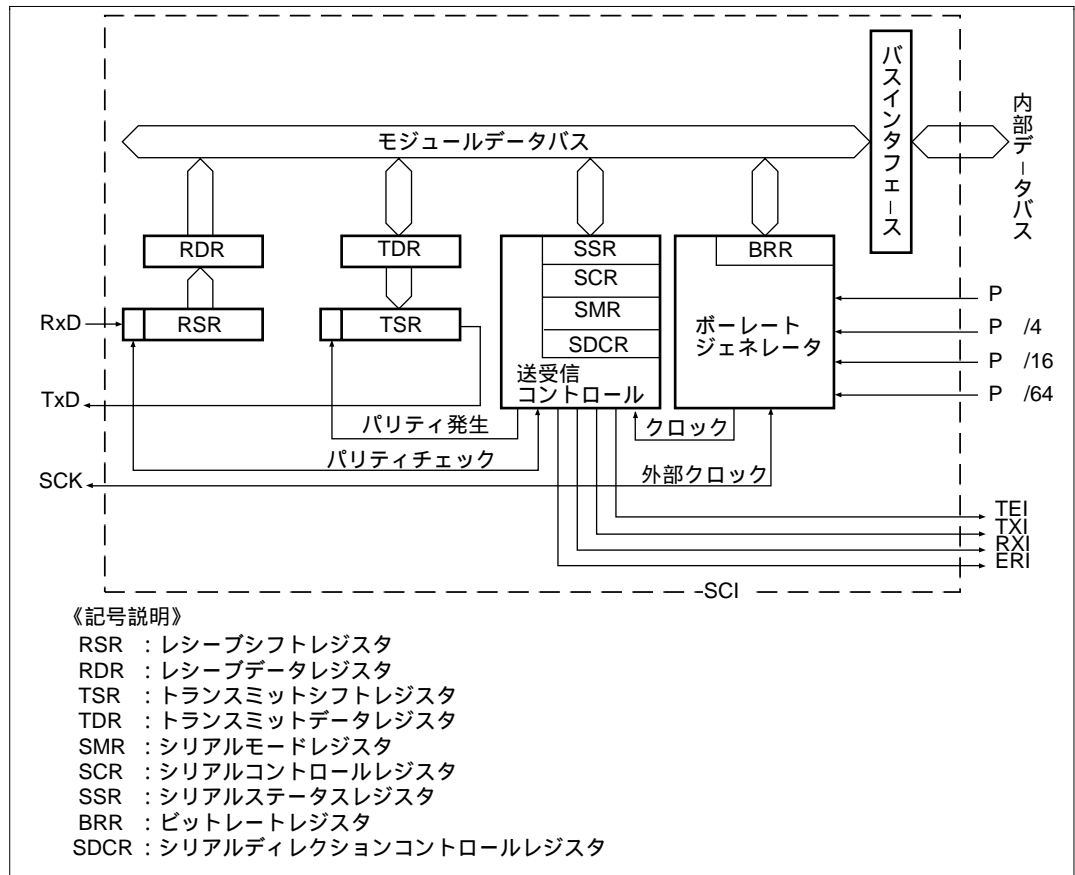


図 14.1 SCI のブロック図

14.1.3 端子構成

SCI は、チャンネルごとに表 14.1 に示すシリアル端子を持っています。

表 14.1 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子	TxD2	出力	SCI2 の送信データ出力
3	レシーブデータ端子	RxD3	入力	SCI3 の受信データ入力
	トランスミットデータ端子	TxD3	出力	SCI3 の送信データ出力
4	レシーブデータ端子	RxD4	入力	SCI4 の受信データ入力
	トランスミットデータ端子	TxD4	出力	SCI4 の送信データ出力

【注】本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

14.1.4 レジスタ構成

SCI には、表 14.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 14.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス* ²	アクセス サイズ
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFFFFF00	8、16
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFFFFF01	8、16
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFFFFF02	8、16
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFFFFF03	8、16
	シリアルステータスレジスタ 0	SSR0	R/(W)* ¹	H'84	H'FFFFFF04	8、16
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFFFFF05	8、16
	シリアルディレクション コントロールレジスタ 0	SDCR0	R/W	H'F2	H'FFFFFF06	8
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FFFFFF08	8、16
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FFFFFF09	8、16
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFFFFF0A	8、16
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FFFFFF0B	8、16
	シリアルステータスレジスタ 1	SSR1	R/(W)* ¹	H'84	H'FFFFFF0C	8、16
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FFFFFF0D	8、16
	シリアルディレクション コントロールレジスタ 1	SDCR1	R/W	H'F2	H'FFFFFF0E	8
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FFFFFF10	8、16
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FFFFFF11	8、16
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FFFFFF12	8、16
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FFFFFF13	8、16
	シリアルステータスレジスタ 2	SSR2	R/(W)* ¹	H'84	H'FFFFFF14	8、16
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FFFFFF15	8、16
	シリアルディレクション コントロールレジスタ 2	SDCR2	R/W	H'F2	H'FFFFFF16	8

14. シリアルコミュニケーションインタフェース (SCI)

チャンネル	名称	略称	R/W	初期値	アドレス* ²	アクセス サイズ
3	シリアルモードレジスタ 3	SMR3	R/W	H'00	H'FFFFFF018	8、16
	ビットレートレジスタ 3	BRR3	R/W	H'FF	H'FFFFFF019	8、16
	シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFFFFF01A	8、16
	トランスミットデータレジスタ 3	TDR3	R/W	H'FF	H'FFFFFF01B	8、16
	シリアルステータスレジスタ 3	SSR3	R/(W)* ¹	H'84	H'FFFFFF01C	8、16
	レシーブデータレジスタ 3	RDR3	R	H'00	H'FFFFFF01D	8、16
	シリアルディレクション コントロールレジスタ 3	SDCR3	R/W	H'F2	H'FFFFFF01E	8
4	シリアルモードレジスタ 4	SMR4	R/W	H'00	H'FFFFFF020	8、16
	ビットレートレジスタ 4	BRR4	R/W	H'FF	H'FFFFFF021	8、16
	シリアルコントロールレジスタ 4	SCR4	R/W	H'00	H'FFFFFF022	8、16
	トランスミットデータレジスタ 4	TDR4	R/W	H'FF	H'FFFFFF023	8、16
	シリアルステータスレジスタ 4	SSR4	R/(W)* ¹	H'84	H'FFFFFF024	8、16
	レシーブデータレジスタ 4	RDR4	R	H'00	H'FFFFFF025	8、16
	シリアルディレクション コントロールレジスタ 4	SDCR4	R/W	H'F2	H'FFFFFF026	8

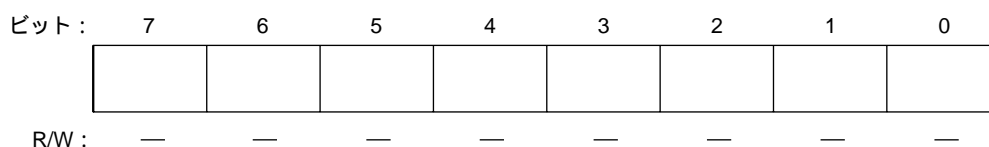
【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

レジスタアクセスは、バイトアクセス時 4,5 サイクル、ワードアクセス時 8,9 サイクルとなります。

14.2 レジスタの説明

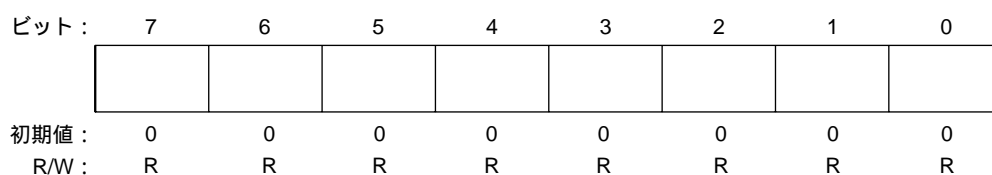
14.2.1 レシーブシフトレジスタ (RSR)



レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

14.2.2 レシーブデータレジスタ (RDR)



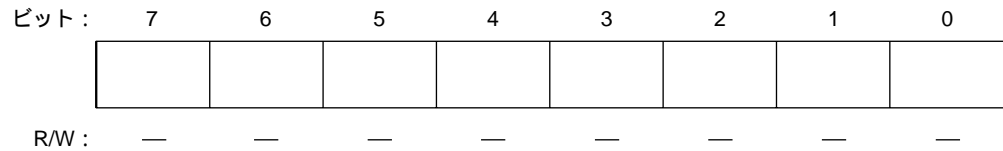
レシーブデータレジスタ (RDR) は受信したシリアルデータを格納するレジスタです。SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファのため、連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

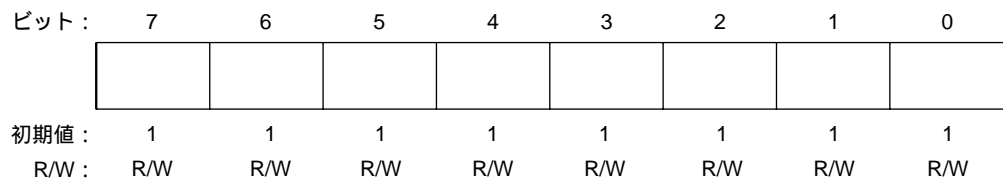
RDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化できません。

14.2.3 トランスミットシフトレジスタ (TSR)



トランスミットシフトレジスタ (TSR) はシリアルデータを送信するためのレジスタです。SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

14.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。TDR は、常に CPU による読み出し / 書き込みが可能です。TDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'FF に初期化されます。マニュアルリセットでは初期化されません。

14.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。チャンネル 3、4 は調歩同期式モード専用のため、本ビットは 1 に設定しないでください。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。また、MSB ファーストの選択は行わないでください。

ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードとマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに1をセットすると、送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4 : パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれかで行うかを選択します。O/E ビットの設定は、調歩同期式モードでPE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合とマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

ビット3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO \bar{E} ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「14.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定でP、P/4、P/16、P/64の4種類からクロックソースを選択できます。Pは周辺クロックです。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「14.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	P クロック (初期値)
	1	P /4 クロック
1	0	P /16 クロック
	1	P /64 クロック

14.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、

ピンファンクションコントローラ (PFC) で、SCK 端子の機能を選択しておいてください。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。

SCI のクロックソースの選択については「14.3 動作説明」の表 14.9 を参照してください。

ビット1	ビット0	説明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) *2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*2
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

14.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサフラグを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアする

ためには、あらかじめ1を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'84 に初期化されます。マニュアルリセットでは初期化されません。

ビット7：トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR へデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時 (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示* ² [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが 1 であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。

ビット3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR へデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

14.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する8ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 14.3 に調歩同期式モードの BRR の設定例を、表 14.4 にクロック同期式モードの BRR の設定例を示します。

表 14.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

P (MHz) ビット レート(bit/s)	10			11.0592			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	195	0.19	2	212	0.03	2	217	0.08
150	2	129	0.16	2	143	0.00	2	155	0.16	2	159	0.00
300	2	64	0.16	2	71	0.00	2	77	0.16	2	79	0.00
600	1	129	0.16	1	143	0.00	1	155	0.16	1	159	0.00
1200	1	64	0.16	1	71	0.00	1	77	0.16	1	79	0.00
2400	0	129	0.16	0	143	0.00	0	155	0.16	0	159	0.00
4800	0	64	0.16	0	71	0.00	0	77	0.16	0	79	0.00
9600	0	32	-1.36	0	35	0.00	0	28	0.16	0	39	0.00
14400	0	21	-1.36	0	23	0.00	0	25	0.16	0	26	-1.23
19200	0	15	1.73	0	19	0.00	0	19	-2.34	0	19	0.00
28800	0	10	-1.36	0	11	0.00	0	12	0.16	0	12	2.56
31250	0	9	0.00	0	10	0.54	0	11	0.00	0	11	2.40
38400	0	7	1.73	0	8	0.00	0	9	-2.34	0	9	0.00

P (MHz) ビット レート(bit/s)	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
14400	0	29	1.27	0	31	0.00	0	34	-0.79	0	36	0.90
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
28800	0	14	1.27	0	15	0.00	0	16	2.12	0	18	-1.75
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	0	10	3.57	0	11	0.00	0	12	0.16	0	13	0.00

P (MHz) ビット レート(bit/s)	18			18.432			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	81	-0.22	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	239	0.00	2	255	0.00	3	64	0.16
300	2	116	0.16	2	119	0.00	2	127	0.00	2	129	0.16
600	1	233	0.16	1	239	0.00	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	119	0.00	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	239	0.00	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	119	0.00	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	59	0.00	0	63	0.00	0	64	0.16
14400	0	38	0.16	0	39	0.00	0	42	-0.78	0	42	0.94
19200	0	28	1.02	0	29	0.00	0	31	0.00	0	32	-1.36
28800	0	19	-2.34	0	19	0.00	0	20	1.59	0	21	-1.36
31250	0	17	0.00	0	17	2.40	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	14	0.00	0	15	0.00	0	15	1.73

表 14.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

P (MHz) ビット レート(bit/s)	10		12		16		20	
	n	N	n	N	n	N	n	N
250	—	—	3	187	3	249		
500	—	—	3	93	3	124	—	—
1k	—	—	2	187	2	249	—	—
2.5k	1	249	2	74	2	99	2	124
5k	1	124	1	149	1	199	1	249
10k	0	249	1	74	1	99	1	124
25k	0	99	0	119	0	159	0	199
50k	0	49	0	59	0	79	0	99
100k	0	24	0	29	0	39	0	49
250k	0	9	0	11	0	15	0	19
500k	0	4	0	5	0	7	0	9
1M			0	2	0	3	0	4
2.5M	0	0*	0	0*	-	-	0	1
5M							0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

P : 周辺モジュール動作周波数 (MHz) (システムクロックの 1/2 になります)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P / 4	0	1
2	P / 16	1	0
3	P / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 14.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.6 と表 14.7 に外部クロック入力時の最大ビットレートを示します。

表 14.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

P (MHZ)	最大ビットレート(bit/s)	設定値	
		n	N
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック(MHz)	最大ビットレート(bit/s)
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500

表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック(MHz)	最大ビットレート(bit/s)
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

14.2.9 シリアルディレクションコントロールレジスタ (SDCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	DIR	-	-	-
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

SDCR は、DIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合 LSB ファースト / MSB ファーストの選択が可能です。7 ビット長の場合 LSB ファーストを選択し、MSB ファーストの選択は行わないでください。本章の説明では、LSB ファーストの場合について説明しています。

SDCR は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に HF2 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7~4: 予約ビット

書き込む値は常に1にしてください。0を書き込んだ場合、動作の保証はできません。

ビット3: データトランスファディレクション (DIR)

シリアル / パラレル変換フォーマットを選択します。送信 / 受信フォーマットが8ビットの場合に有効です。

ビット3	説明
DIR	
0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストでRDRに格納

ビット2: 予約ビット

書き込む値は常に0にしてください。1を書き込んだ場合、動作の保証はできません。

ビット1: 予約ビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0: 予約ビット

書き込む値は常に0にしてください。1を書き込んだ場合、動作の保証はできません。

14.2.10 SCK 端子信号の反転

SCK 端子より入力される信号および SCK 端子より出力される信号は、ポートコントロールレジスタの設定により反転させることができます。詳細はポートファンクションコントロールの章を参照してください。

14.3 動作説明

14.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 14.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.9 に示します。

(1) 調歩同期式モード

- ・ データ長：7 ビット / 8 ビットから選択可能
- ・ パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
- ・ 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブ레이크の検出が可能
- ・ SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：

ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- ・ 送信 / 受信フォーマット：8 ビットデータ固定
- ・ 受信時にオーバランエラーの検出可能
- ・ SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：

内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 14.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0					あり	1ビット	
				1						2ビット	
			1	0					なし	1ビット	
				1						2ビット	
	1	0	あり	1ビット							
		1		2ビット							
	1	0	1	*	0	調歩同期式 モード (マルチプロセッサフォーマット)	8ビット データ	あり	なし	1ビット	
				*	1					2ビット	
		1		*	0					7ビット データ	1ビット
				*	1					2ビット	
1	*	*	*	*	クロック同期式 モード	8ビット データ	なし	なし			

【注】 表中の*は Don't care であることを示します。

表 14.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能*
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力、 または同期クロック反転出力
		1			
	1	0		外部	同期クロックを入力、 または同期クロックを反転入力
		1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

14.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

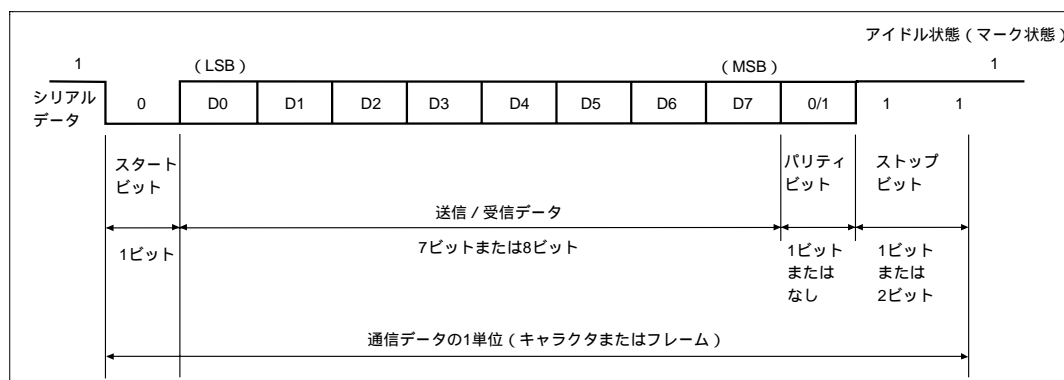


図 14.2 調歩同期式通信のデータフォーマット

(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

【注】 表中の*は Don't care であることを示します。

(2) クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 14.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 14.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

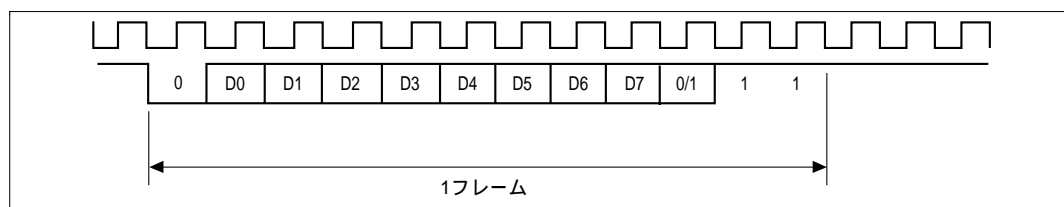


図 14.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 14.4 に SCI の初期化フローチャートの例を示します。

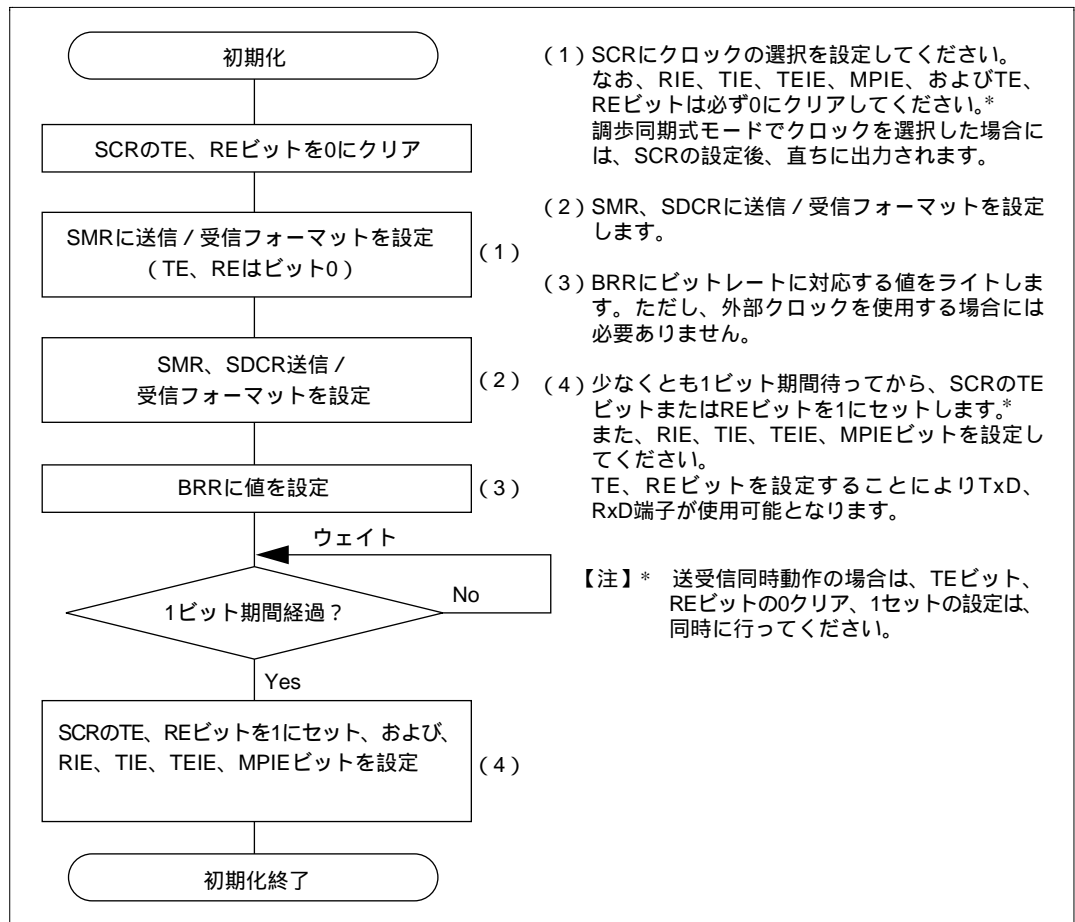


図 14.4 SCI の初期化フローチャートの例

(b)シリアルデータ送信 (調歩同期式)

図 14.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

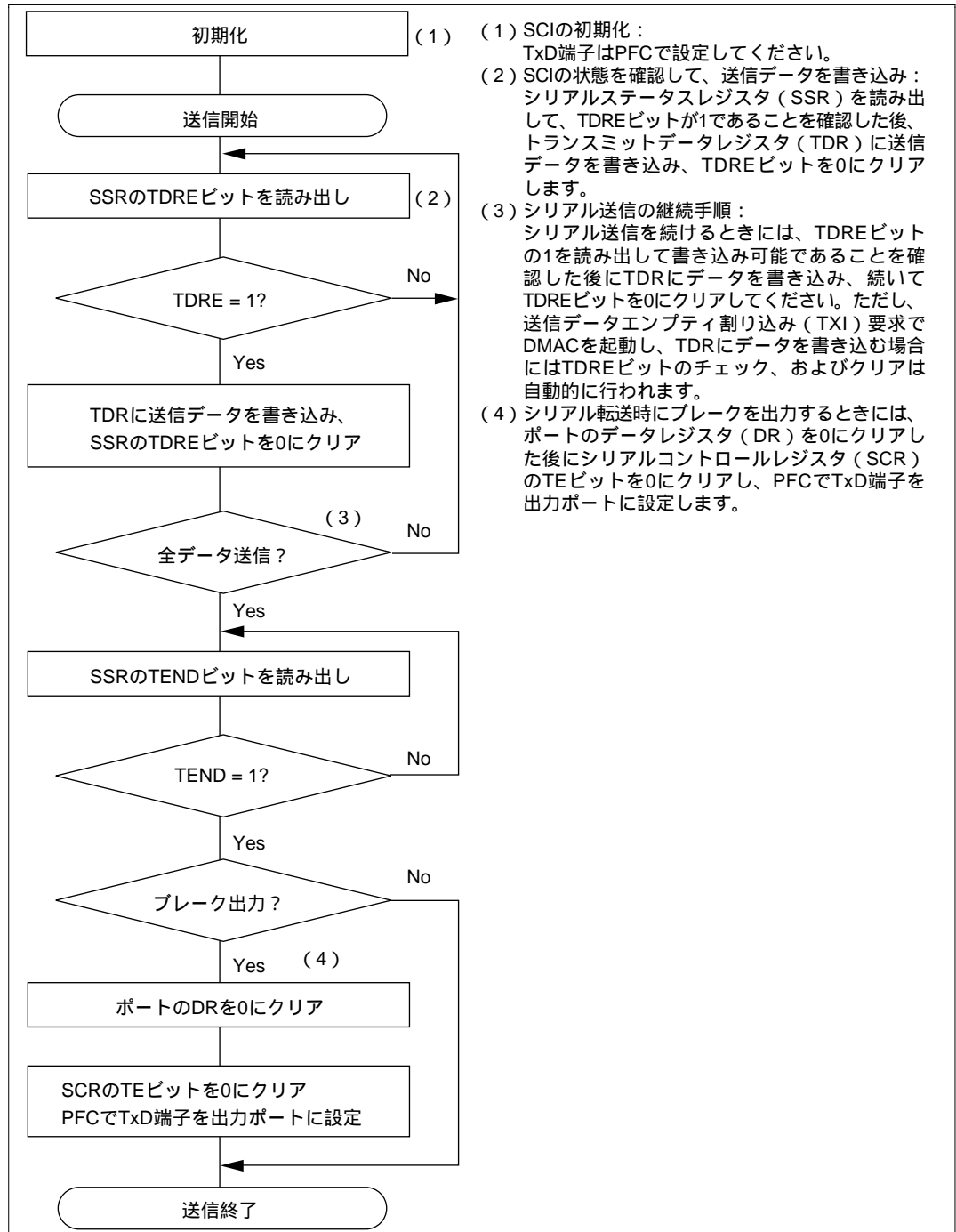


図 14.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 14.6 に示します。

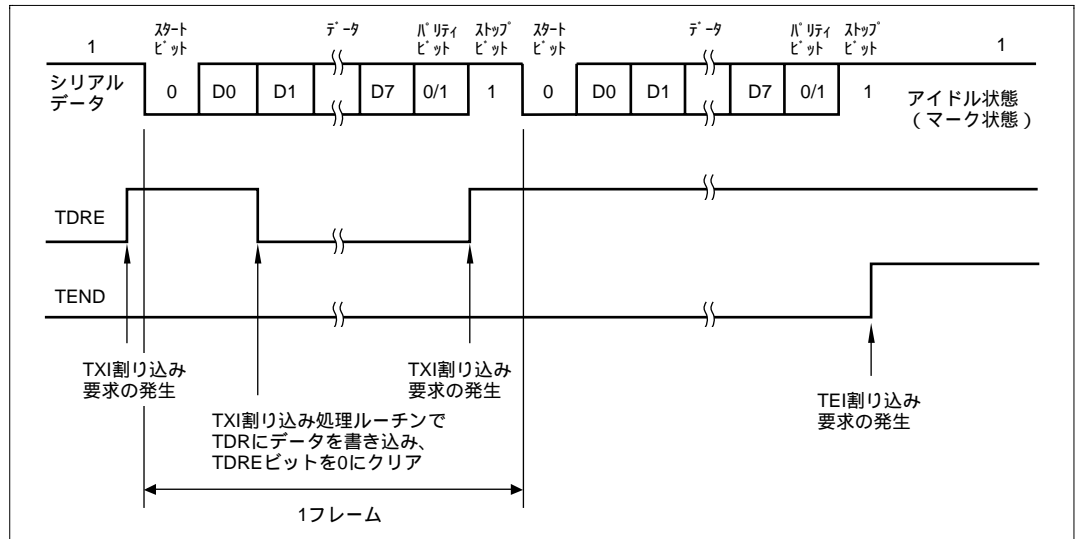


図 14.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c)シリアルデータ受信 (調歩同期式)

図 14.7、図 14.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

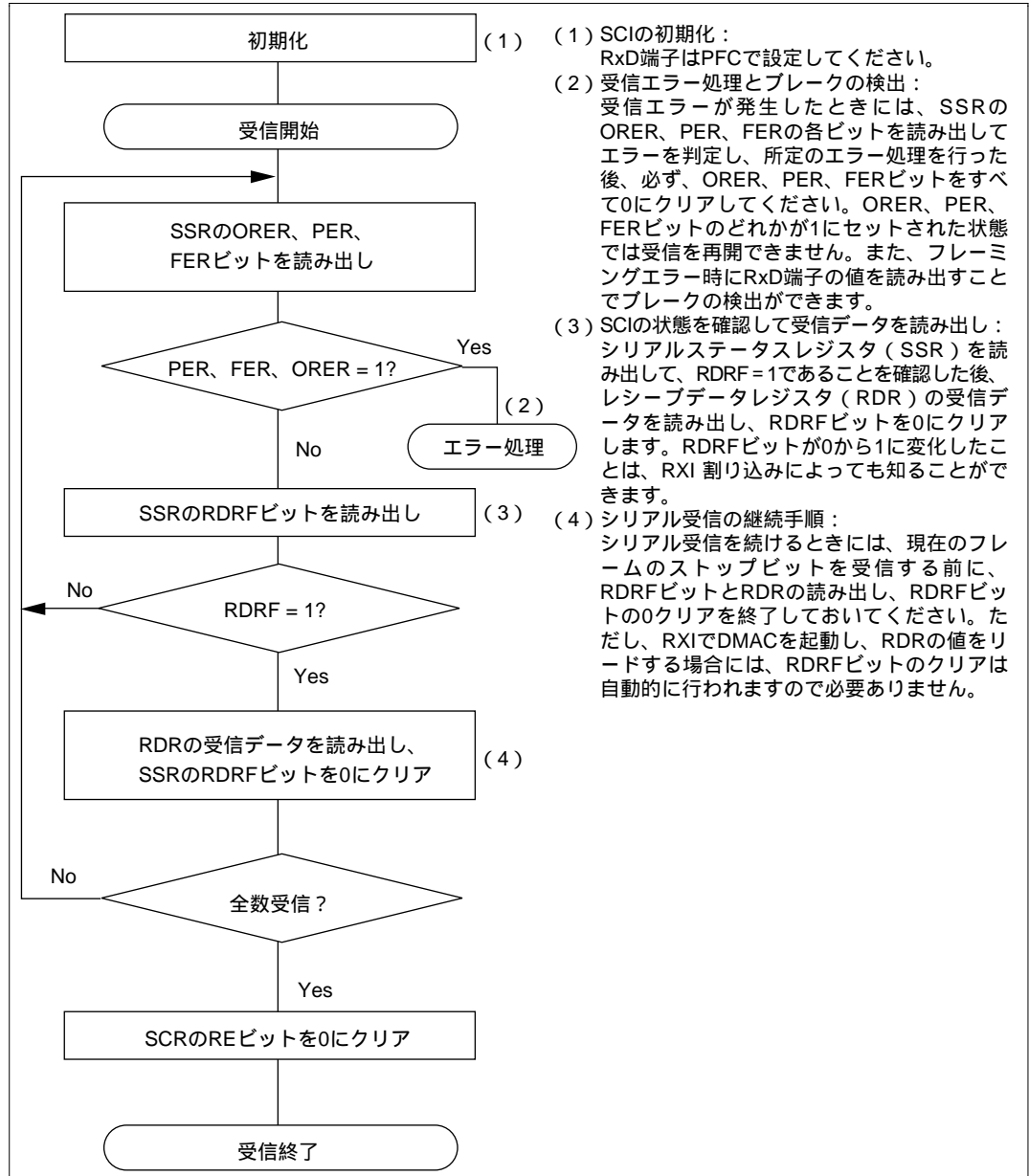


図 14.7 シリアル受信のフローチャートの例 (1)

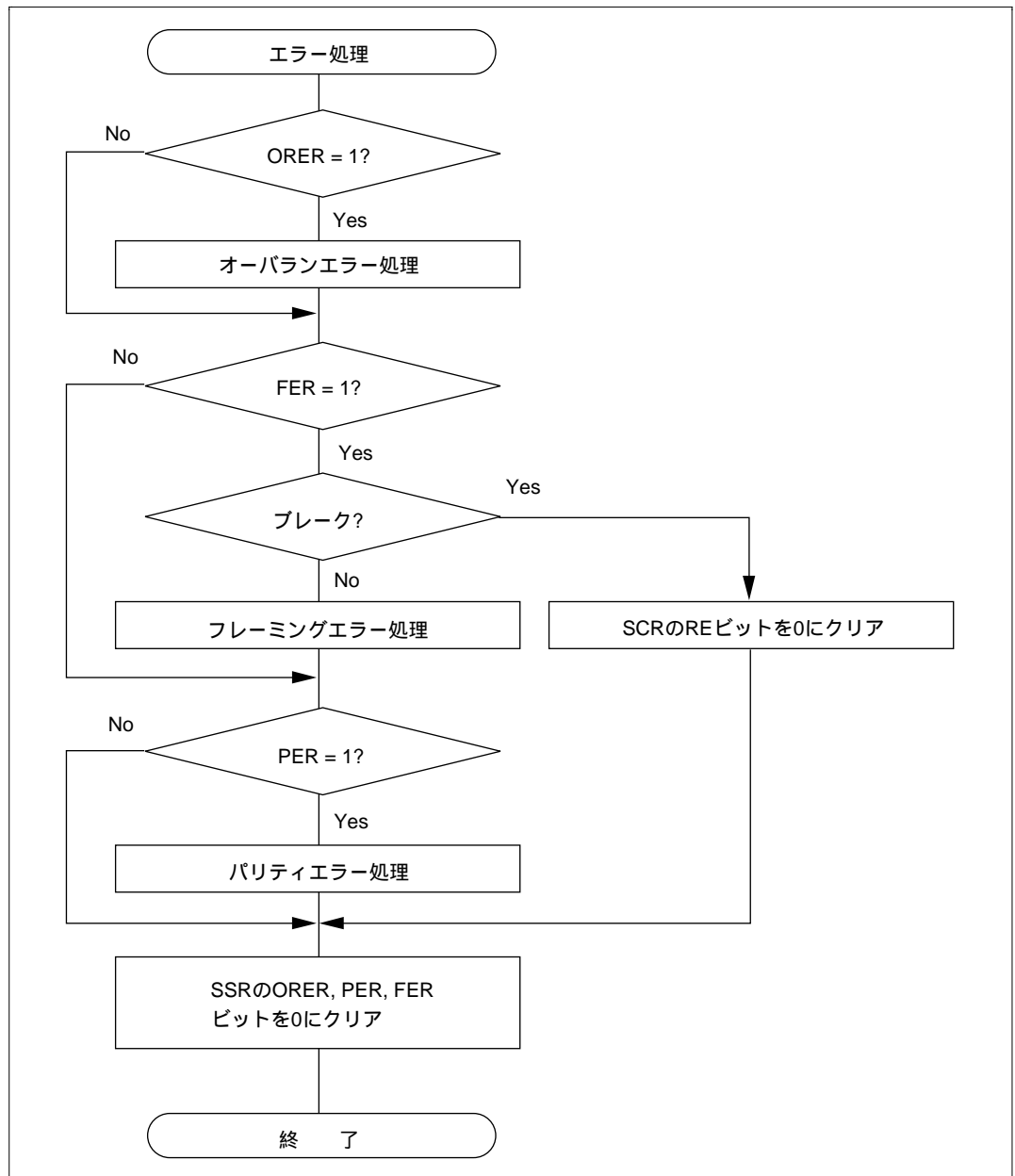


図 14.8 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを RSR の LSB から MSB の順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SMR) の O/E ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが 0 であり、受信データをレシーブシフトレジスタ (RSR) から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 14.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRF ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FER ビットのどれかが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 14.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバラン エラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミング エラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 14.9 に示します。

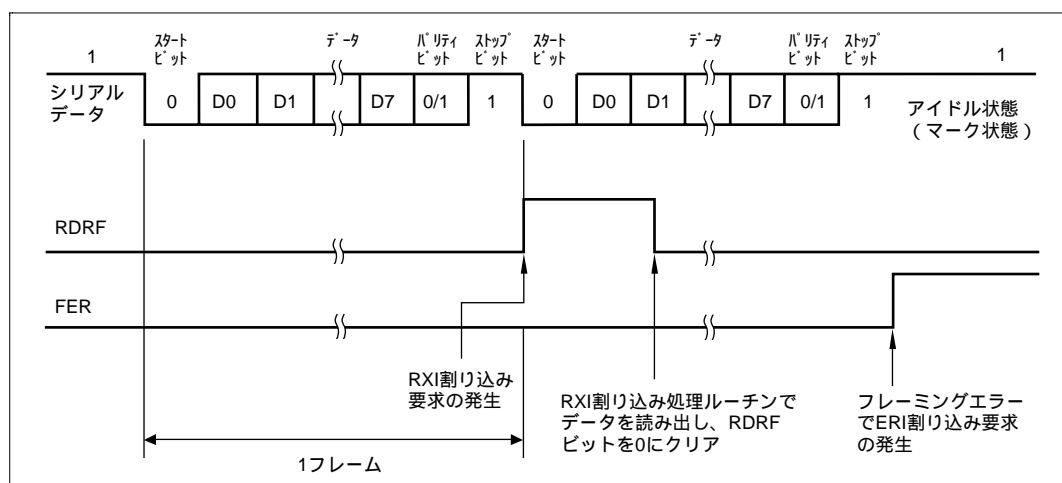


図 14.9 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

14.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 14.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 14.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

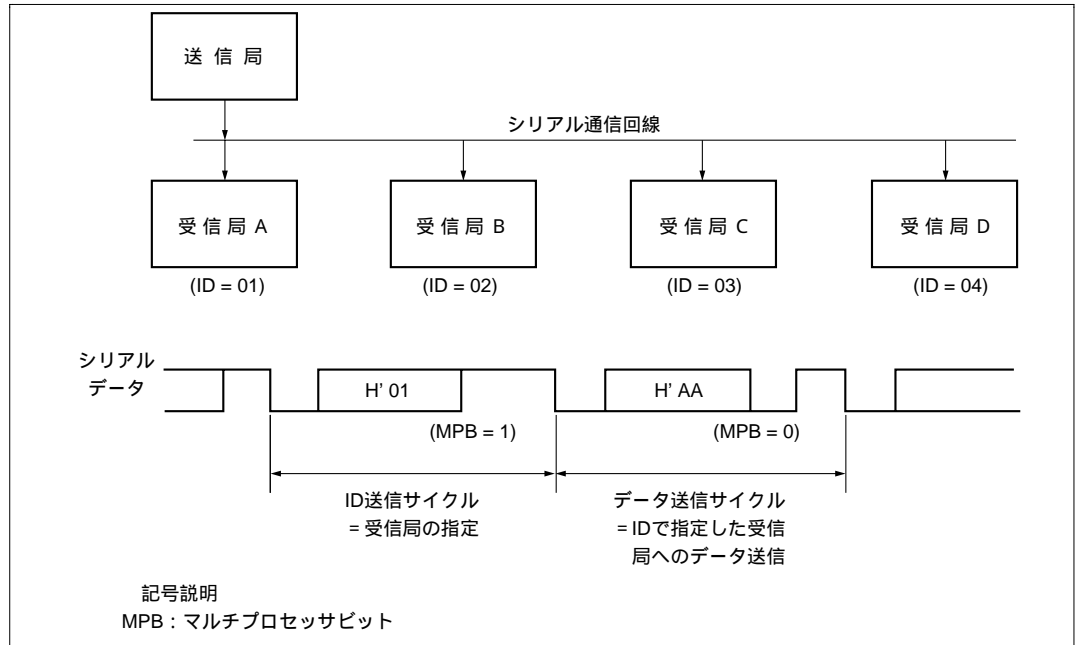


図 14.10 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 14.11 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

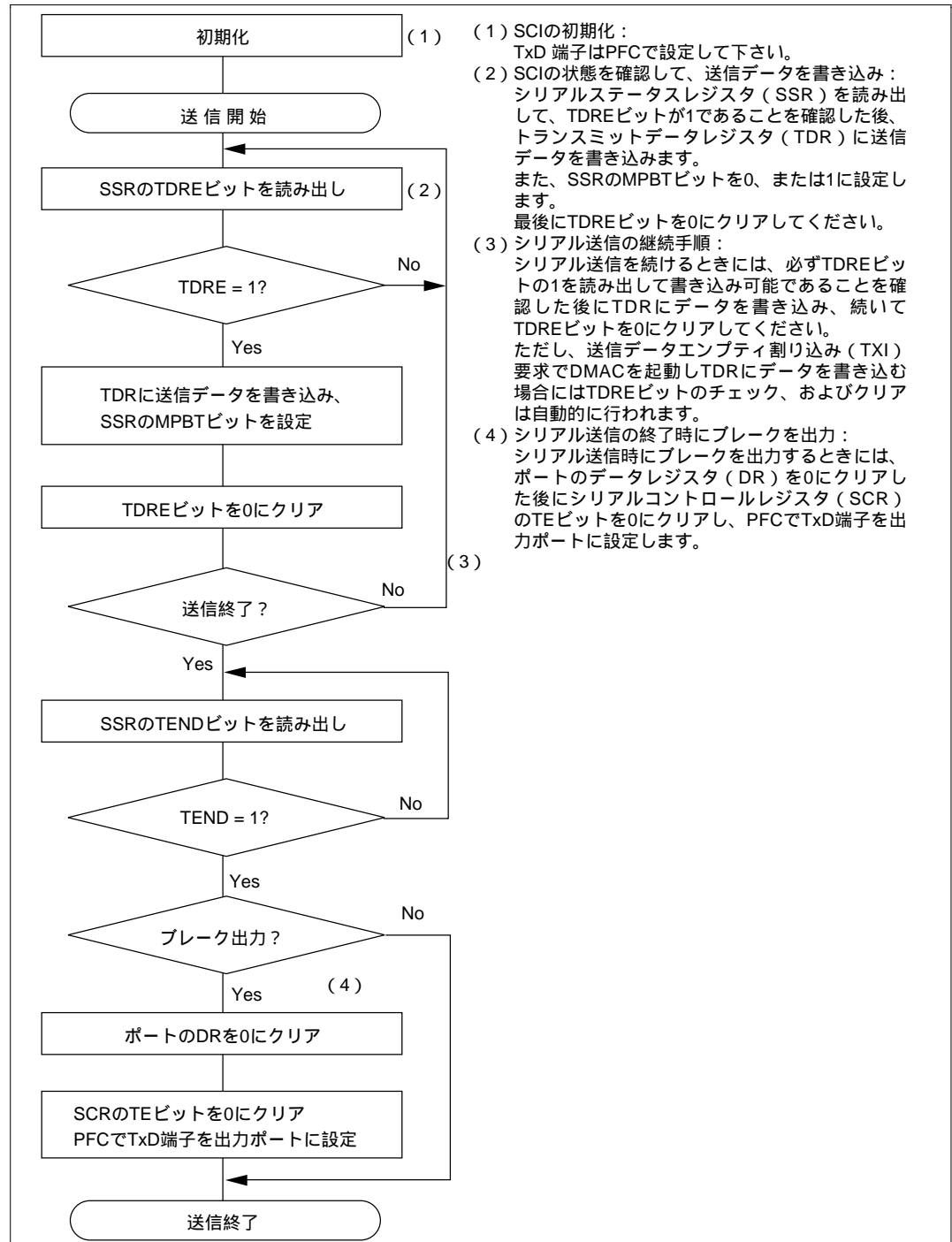


図 14.11 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

(1) SCI は、SSR の TDRE ビットを監視し、0 であると TDR にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。

(2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、SCR の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

(a) スタートビット : 1 ビットの 0 が出力されます。

(b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。

(c) マルチプロセッサビット : 1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。

(d) ストップビット : 1 ビット、または 2 ビットの 1 (ストップビット) が出力されます。

(e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

(3) SCI は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。

TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。

TDRE ビットが 1 であると SSR の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 14.12 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

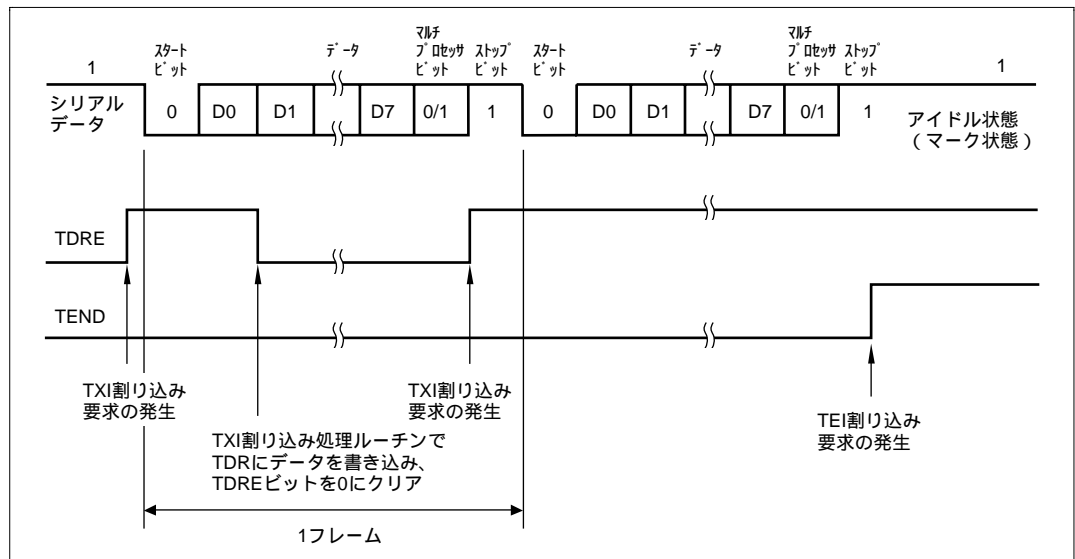


図 14.12 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 14.13、図 14.14 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

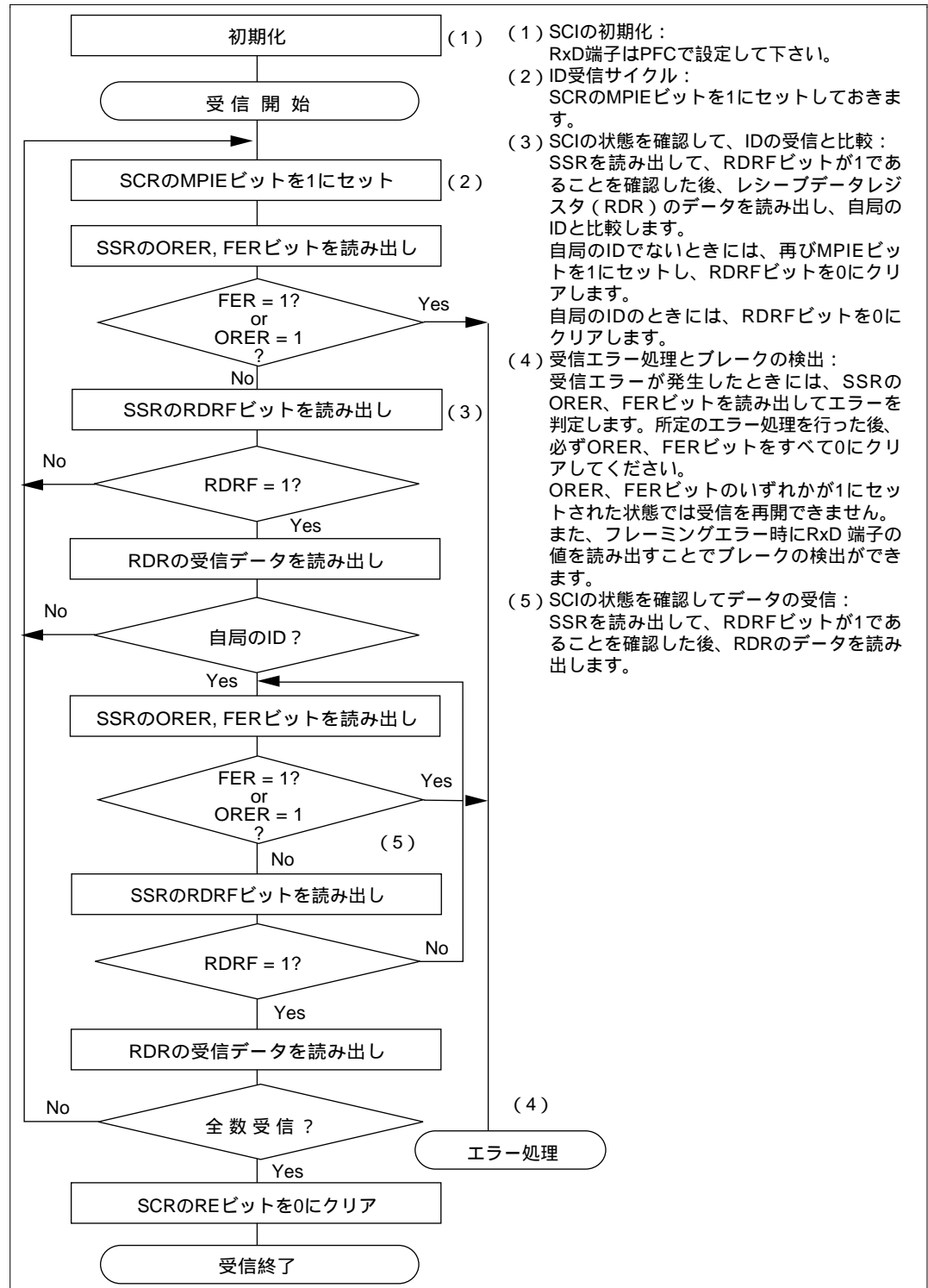


図 14.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

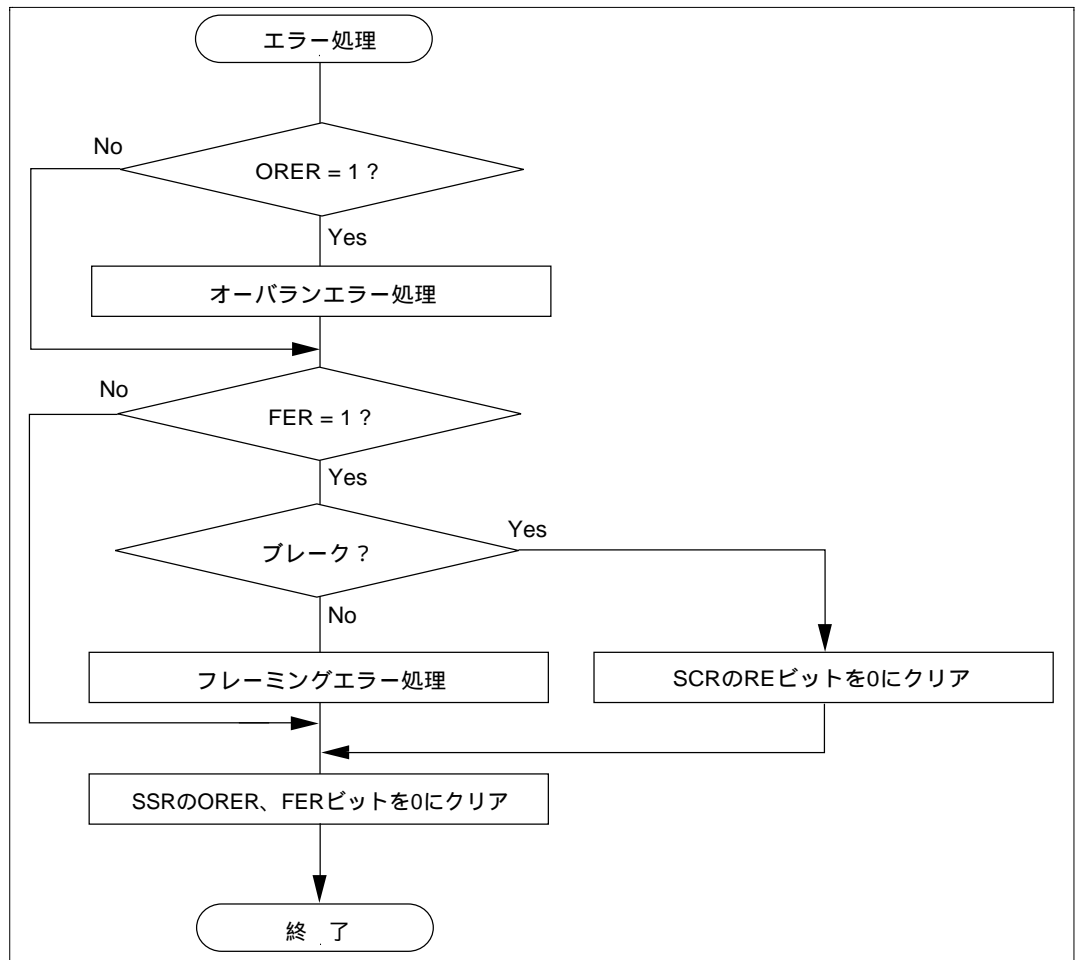


図 14.14 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 14.15 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

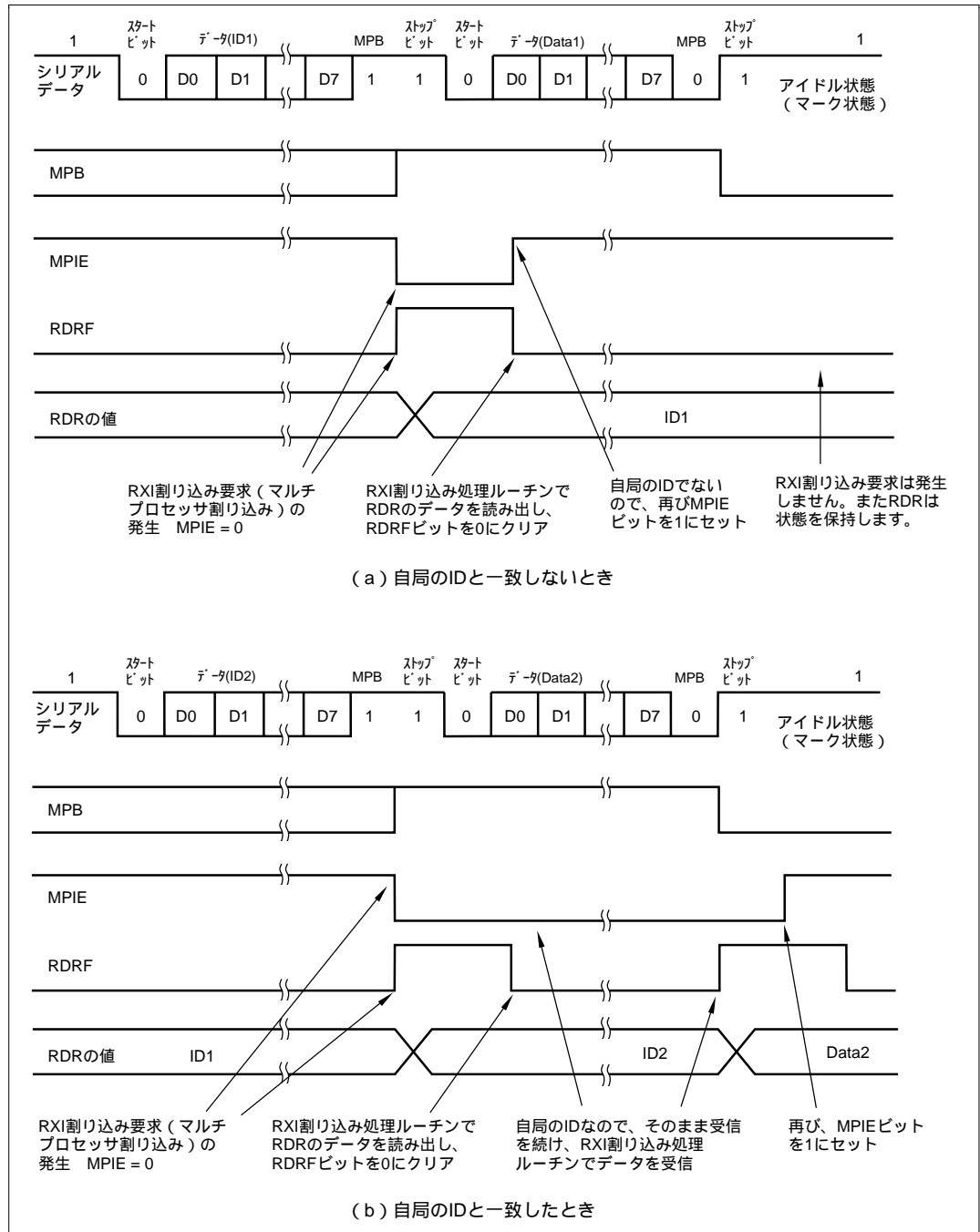


図 14.15 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

14.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.16 に示します。

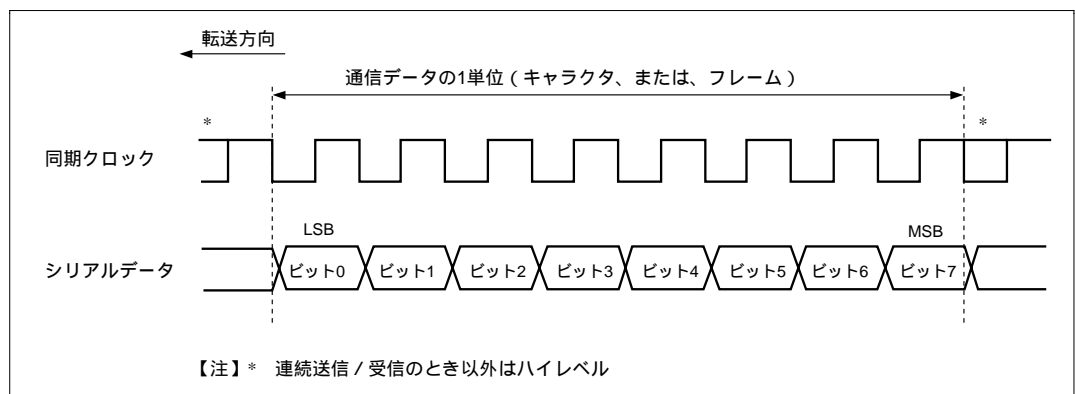


図 14.16 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクターは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表14.9を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

・SCI のイニシャライズ (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCR) の TE、および RE ビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、および RE ビットを0にクリアしてから下記手順で変更してください。TE ビットを0にクリアすると TDRE ビットは1にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

RE ビットを0にクリアしても RDRF、PER、FER、ORER の各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 14.17 に SCI の初期化フローチャートの例を示します。

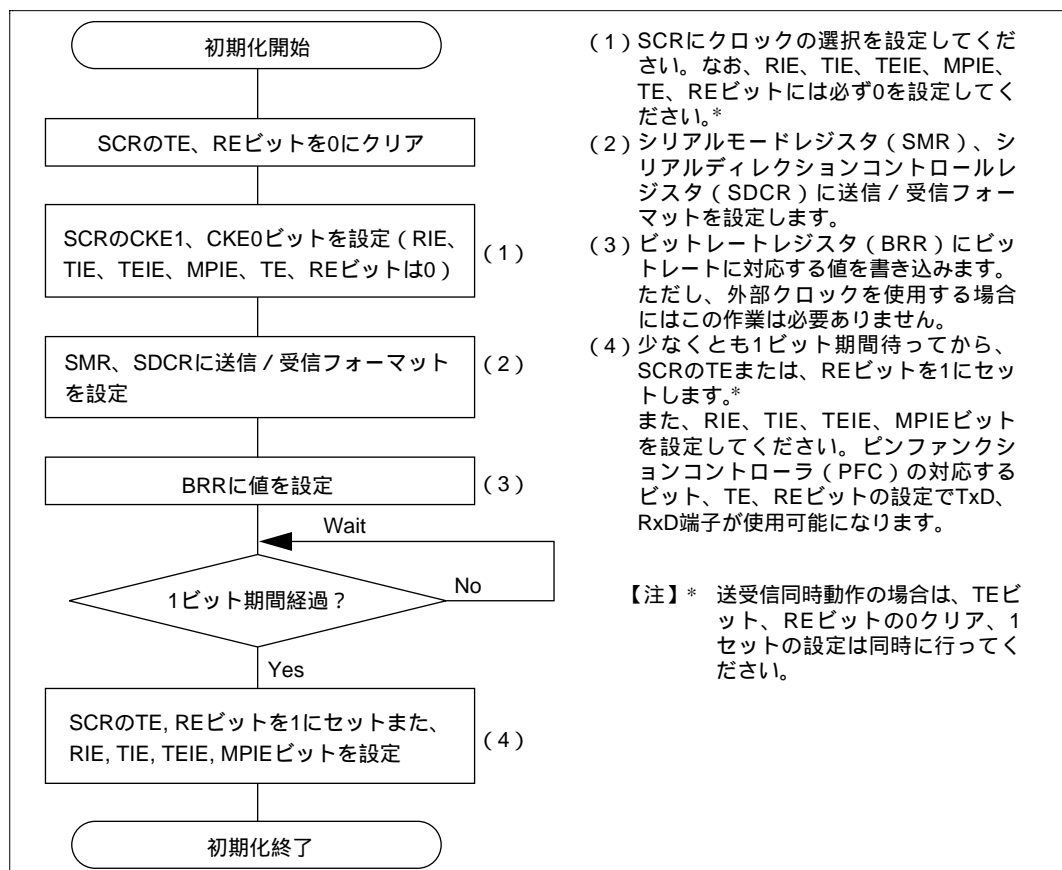


図 14.17 SCI の初期化フローチャートの例

(a)シリアルデータ送信 (クロック同期式)

図 14.18 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順で行ってください。

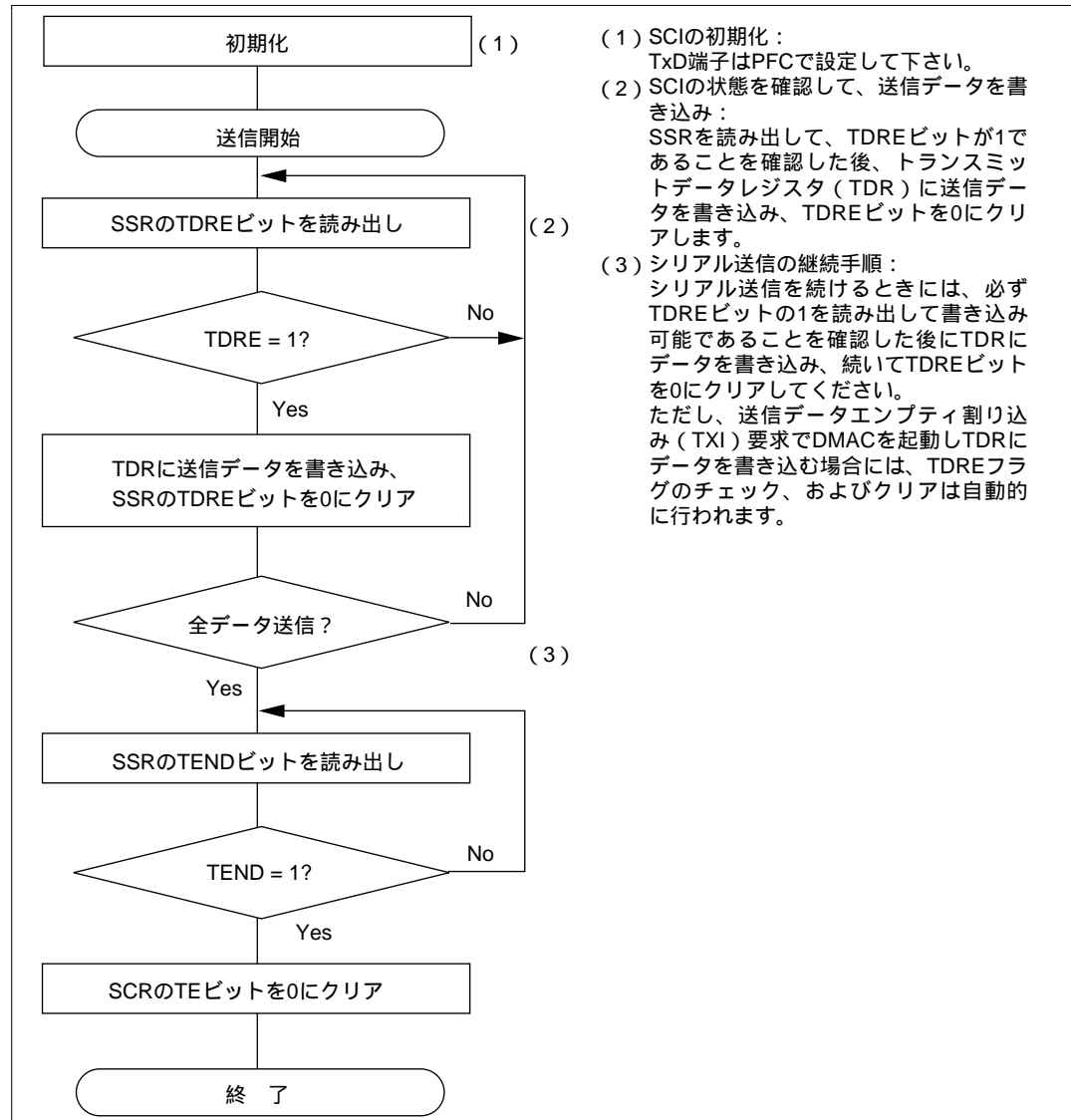


図 14.18 シリアル送信のフローチャートの例

図 14.19 に SCI の送信時の動作例を示します。

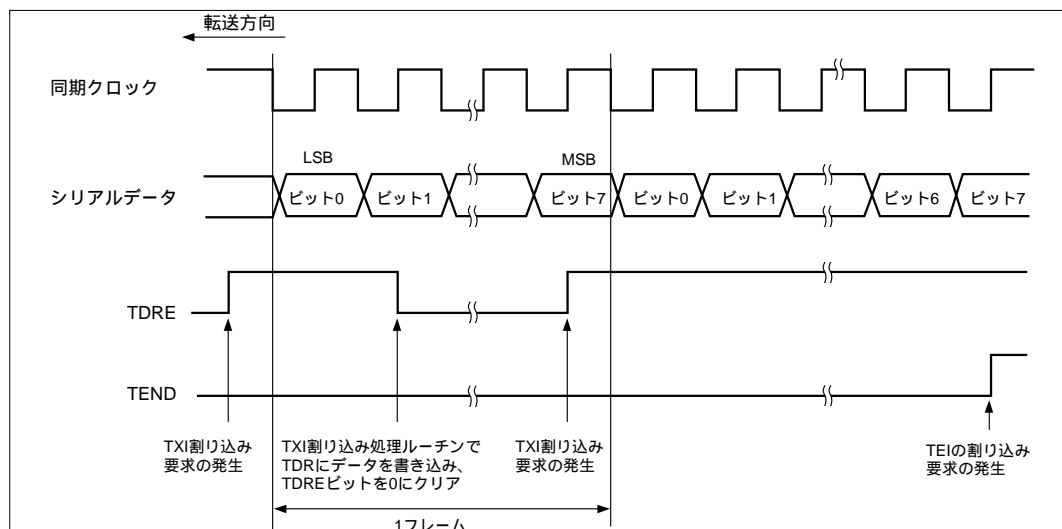


図 14.19 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の送信データエンpty 割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンpty 割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

- (3) SCI は、MSB (ビット 7) を送り出すタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。

TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。

このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。

- (4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

(b)シリアルデータ受信 (クロック同期式)

図 14.20 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各ビットが0にクリアされていることを確認してください。

FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信 / 受信動作が行えません。

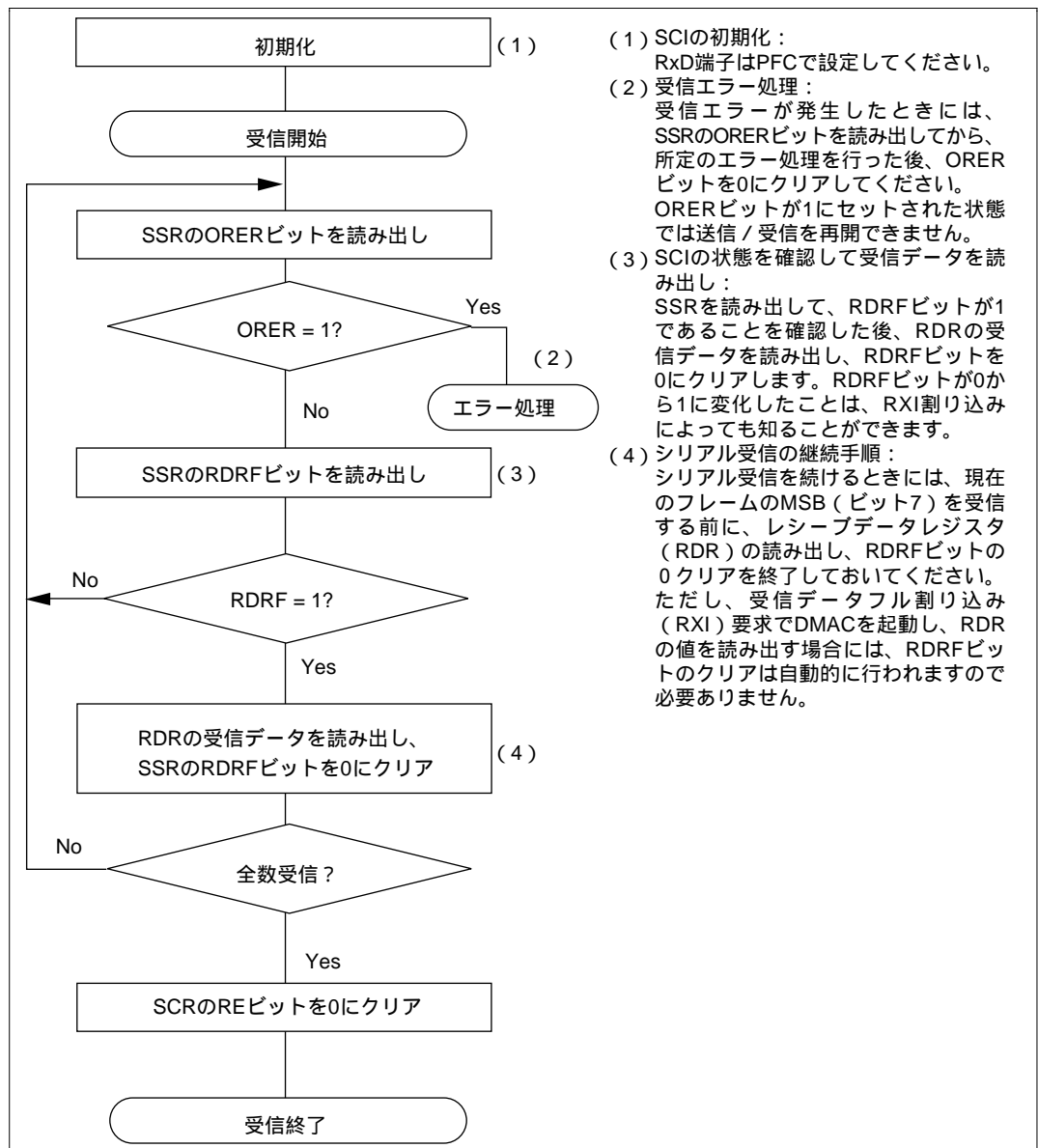


図 14.20 シリアルデータ受信フローチャートの例 (1)

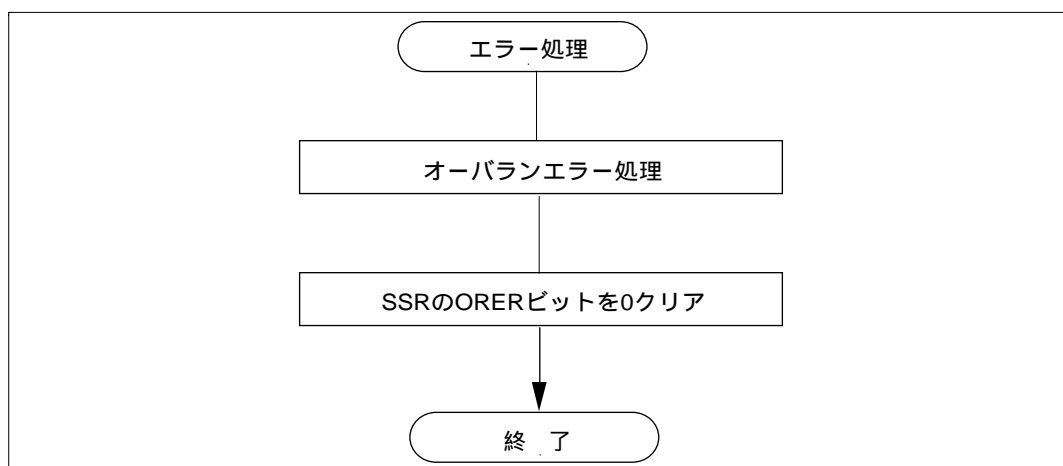


図 14.21 シリアルデータ受信フローチャートの例 (2)

図 14.22 に SCI の受信時の動作例を示します。

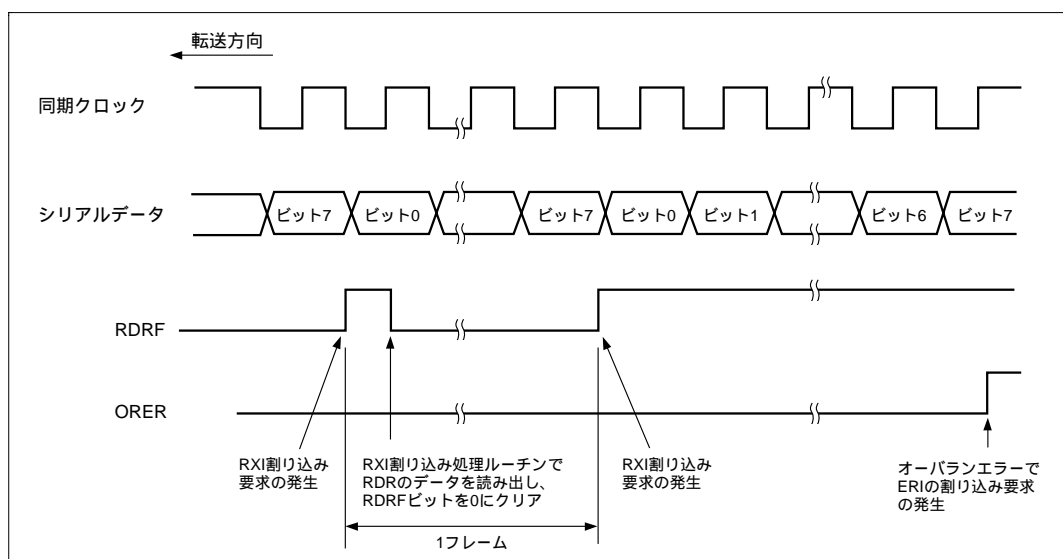


図 14.22 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

- (1) SCI は同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (RSR) の LSB から MSB の順に格納します。
受信後、SCI は RDRF ビットが 0 であり、受信データを RSR からレシーブデータレジスタ (RDR) に転送できる状態であるかをチェックします。
このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。
エラーチェックで受信エラーが発生すると表 14.11 のように動作し、この状態では以後の送信、受信動作ができません。
また、エラーフラグが 1 にセットされていると、RDRF ビットが 0 にクリアしてあっても、受信時に RDRF ビットが 1 にセットされません。受信を再開する際は必ずエラーフラグを 0 にクリアしてください。
- (3) RDRF ビットが 1 になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

(C) シリアルデータ送受信同時動作 (クロック同期式)

図 14.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

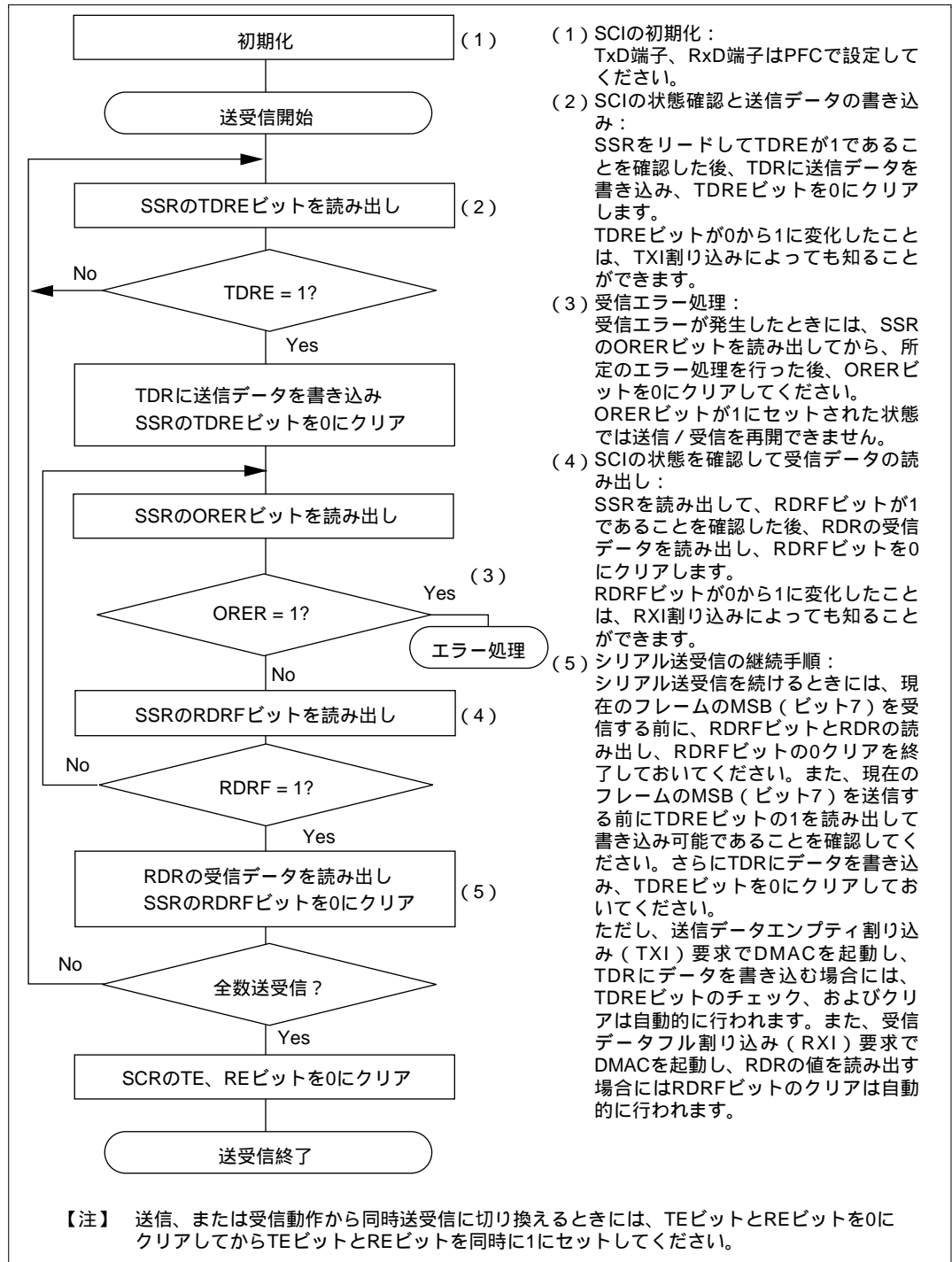


図 14.23 シリアルデータ送受信フローチャートの例

14.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 14.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 14.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TRDE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

14.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

14.5.1 TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

14.5.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 14.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 14.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0		x
オーバランエラー + パリティエラー	1	1	0	1		x
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1		x

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

14.5.3 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

14.5.4 ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

14.5.5 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.5.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 14.24 に示します。

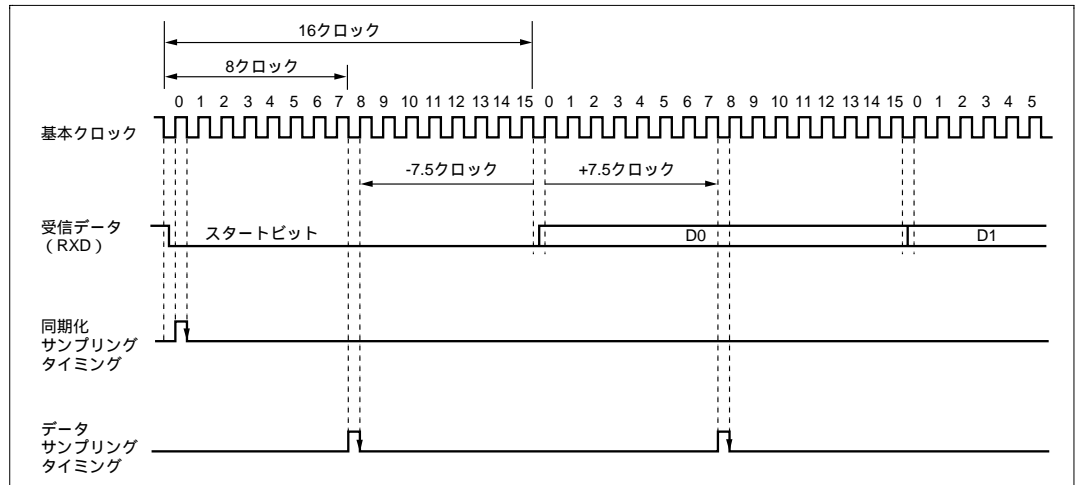


図 14.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができません。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき

$$\begin{aligned} M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \quad \dots\dots \text{式(2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

14.5.7 DMAC の使用上の注意事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMAC による TDR の更新後、周辺クロック (P) で 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると、誤動作することがあります (図 14.25)。
- (b) DMAC により、RDR の読み出しを行うときは必ず起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

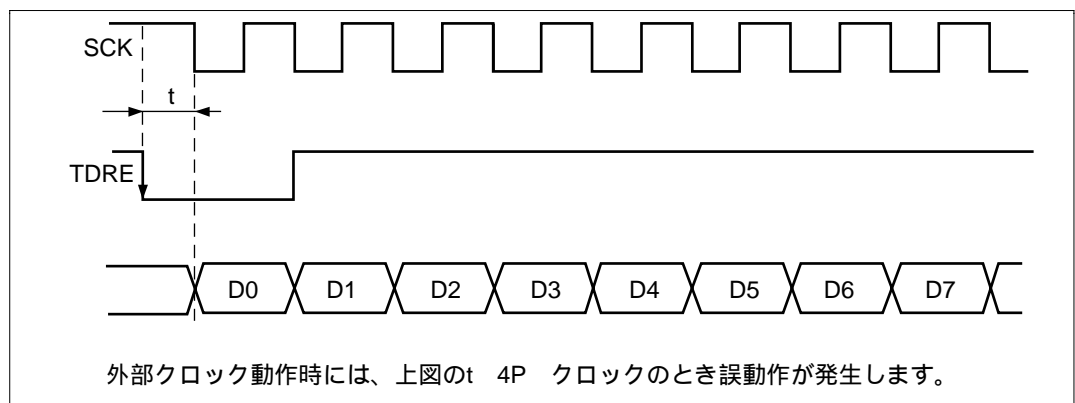


図 14.25 DMAC によるクロック同期式送信時の例

14.5.8 クロック同期外部クロックモード時の注意事項

- (a) $TE = RE = 1$ に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
- (b) $TE = 1$ 、 $RE = 1$ に設定するのは、外部クロック SCK を 0 → 1 にしてから $4P$ クロック以上経過してからにしてください。
- (c) 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから $2.5 \sim 3.5P$ クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDR へのコピーができませんので注意してください。

14.5.9 クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから $1.5P$ クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDR へのコピーができませんので注意してください。

15. 日立コントローラ エリアネットワーク (HCAN)

第 15 章 目次

15.1	概要.....	543
15.1.1	特長.....	543
15.1.2	ブロック図.....	544
15.1.3	端子構成.....	545
15.1.4	レジスタ一覧表.....	546
15.2	レジスタの説明.....	548
15.2.1	マスタコントロールレジスタ (MCR)	548
15.2.2	ジェネラルステータスレジスタ (GSR)	550
15.2.3	ビットコンフィグレジスタ (BCR)	551
15.2.4	メールボックスコンフィグレジスタ (MBCR)	555
15.2.5	送信待ちレジスタ (TXPR)	556
15.2.6	送信待ち取り消しレジスタ (TXCR)	557
15.2.7	送信アクノレッジレジスタ (TXACK)	558
15.2.8	取り消しアクノレッジレジスタ (ABACK)	559
15.2.9	受信完了レジスタ (RXPR)	560
15.2.10	リモートリクエストレジスタ (RFPR)	561
15.2.11	インタラプトレジスタ (IRR)	562
15.2.12	メールボックスインタラプトマスクレジスタ (MBIMR)	566
15.2.13	インタラプトマスクレジスタ (IMR)	567
15.2.14	受信エラーカウンタ (REC)	570
15.2.15	送信エラーカウンタ (TEC)	570
15.2.16	未読メッセージステータスレジスタ (UMSR)	571
15.2.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	572

15. 日立コントローラエリアネットワーク (HCAN)

15.2.18	メッセージコントロール (MC0 ~ MC15)	574
15.2.19	メッセージデータ (MD0 ~ MD15)	578
15.3	動作説明	579
15.3.1	ハードウェアリセットとソフトウェアリセット	579
15.3.2	ハードウェアリセット後の初期設定	582
15.3.3	送信モード	586
15.3.4	受信モード	593
15.3.5	HCAN スリープモード	599
15.3.6	HCAN HALT モード	601
15.3.7	割り込みインタフェース	602
15.3.8	DMAC インタフェース	603
15.4	CAN バスインタフェース	604
15.5	使用上の注意	605

15.1 概要

HCAN は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。本 LSI には 1 チャンネルの HCAN モジュールが内蔵されています。

参考文献： BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH

15.1.1 特長

- CANバージョン : Bosch 2.0B active 対応
 - 通信方式：NRZ (Non-Return to Zero) 方式
(ビットスタッフ機能あり)
ブロードキャスト通信方式
 - 伝送路：双方向 2 線式シリアル通信
 - 通信速度：最高 1Mbps (40MHz 動作時)
 - データ長：0~8 バイト
- チャンネル数 : 1 チャンネル
- データバッファ : 16 本 (受信専用×1 バッファ、送信/受信設定可能×15 バッファ)
- データ送信方式 : 2 種類選択可能
 - メールボックス (バッファ) の番号順 (昇順)
 - メッセージ優先順位 (Identifier) の高い順
- データ受信方式 : 2 種類
 - メッセージ Identifier の一致 (送信/受信設定バッファ)
 - メッセージ Identifier マスクして受信 (受信専用)
- CPU 割り込み本数 : 4 本独立割り込みベクタ
 - エラー割り込み
 - リセット処理割り込み
 - メッセージ受信割り込み
 - メッセージ送信割り込み
- HCAN 動作モード : 各種モード対応
 - ハードウェアリセット
 - ソフトウェアリセット
 - 通常状態 (エラーアクティブ、エラーパッシブ)
 - バスオフ状態
 - HCAN コンフィギュレーションモード
 - HCAN スリープモード
 - HCAN HALT モード

その他 : メッセージ受信 (メールボックス0のみ) メールボックスにより DMAC 起動可能

15.1.2 ブロック図

HCAN のブロック図を図 15.1 に示します。

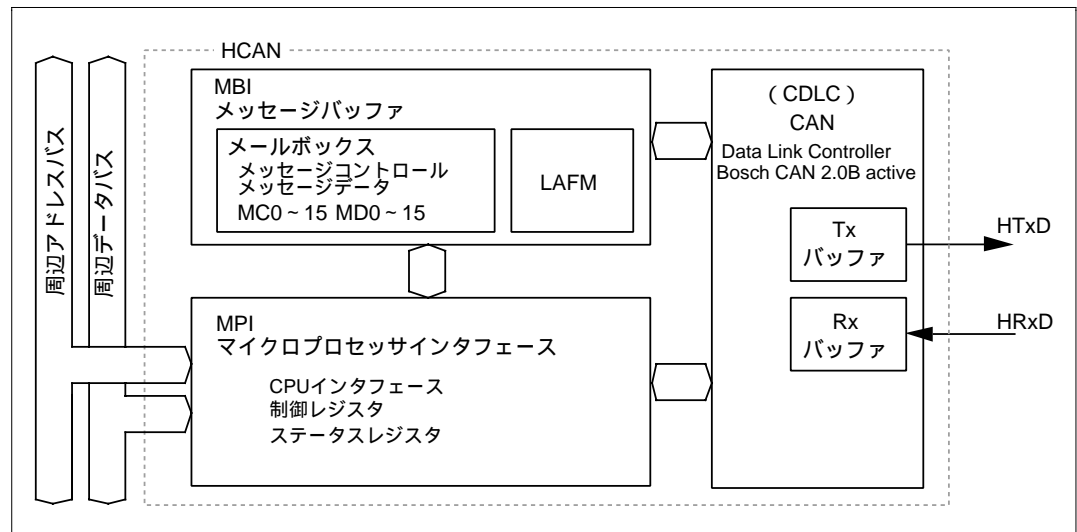


図 15.1 HCAN のブロック図

メッセージバッファ (Message Buffer Interface)

MBI はメールボックスとローカルアクセプタンスフィルタマスク (LAFM) より構成されており、CAN の送信 / 受信メッセージ (Identifier およびデータ等) を格納する部分です。送信メッセージは CPU から書き込みを行います。受信メッセージは CDLC で受信したデータを自動的に格納します。

マイクロプロセッサインタフェース (MicroProcessor Interface)

MPI は CPU とのバスインタフェース、制御レジスタ、ステータスレジスタ等から構成されており、HCAN 内のデータ、およびステータス等を制御する部分です。

CAN データリンクコントローラ (CAN Data Link Controller)

CDLC は Bosch CAN ver.2.0B active に準拠しており、メッセージ (データフレーム、リモートフレーム、エラーフレーム、オーバーロードフレーム、インタフレームスペーシング) の送受信、CRC チェック、バスアービトレーションなどを行います。

15.1.3 端子構成

HCAN の端子構成を表 15.1 に示します。これらの外部端子の機能を使用する際は、HCAN の設定に合わせてピンファンクションコントローラ (PFC) も設定してください。

なお、HCAN 端子を使用する際は、必ず HCAN コンフィギュレーションモード期間中 (初期設定期間 : MCR0=1 かつ GSR3=1) に設定してください。

表 15.1 端子一覧表

名 称	略 称	入出力	機 能
HCAN トランスミットデータ端子	HTxD	出力	CAN バス送信用端子
HCAN レシーブデータ端子	HRxD	入力	CAN バス受信用端子

端子と CAN バスの間にはバスドライバが必要になります。Philips PCA82C250 とコンパチブルなものを推奨します。

15.1.4 レジスタ一覧表

HCANのレジスタ一覧表を表 15.2 に示します。

表 15.2 HCAN レジスタ一覧

レジスタ名	略 称	R/W	初期値	アドレス	アクセス サイズ	
					8ビット	16ビット
マスタコントロールレジスタ	MCR	R/W	H'01	H'FFFF E400	8ビット	16ビット
ジェネラルステータスレジスタ	GSR	R	H'0C	H'FFFF E401	8ビット	
ビットコンフィグレジスタ	BCR	R/W	H'0000	H'FFFF E402	8、16ビット	
メールボックスコンフィグレジスタ	MBCR	R/W	H'0100	H'FFFF E404	8、16ビット	
送信待ちレジスタ	TXPR	R/W	H'0000	H'FFFF E406	8、16ビット	
送信待ち取り消しレジスタ	TXCR	R/W	H'0000	H'FFFF E408	8、16ビット	
送信アクノレッジレジスタ	TXACK	R/W	H'0000	H'FFFF E40A	8、16ビット	
取り消しアクノレッジレジスタ	ABACK	R/W	H'0000	H'FFFF E40C	8、16ビット	
受信完了レジスタ	RXPR	R/W	H'0000	H'FFFF E40E	8、16ビット	
リモートリクエストレジスタ	RFPR	R/W	H'0000	H'FFFF E410	8、16ビット	
インタラプトレジスタ	IRR	R/W	H'0100	H'FFFF E412	8、16ビット	
メールボックスインタラプト マスクレジスタ	MBIMR	R/W	H'FFFF	H'FFFF E414	8、16ビット	
インタラプトマスクレジスタ	IMR	R/W	H'FEFF	H'FFFF E416	8、16ビット	
受信エラーカウンタ	REC	R	H'00	H'FFFF E418	8ビット	16ビット
送信エラーカウンタ	TEC	R	H'00	H'FFFF E419	8ビット	
未読メッセージステータスレジスタ	UMSR	R/W	H'0000	H'FFFF E41A	8、16ビット	
ローカルアクセプタンス フィルタマスク L	LAFML	R/W	H'0000	H'FFFF E41C	8、16ビット	
ローカルアクセプタンス フィルタマスク H	LAFMH	R/W	H'0000	H'FFFF E41E	8、16ビット	

名称	略称	R/W	初期値	アドレス	アクセス サイズ
メッセージコントロール 0[1~8]	MC0[1~8]	R/W	不定	H'FFFF E420	8、16 ビット
メッセージコントロール 1[1~8]	MC1[1~8]	R/W	不定	H'FFFF E428	8、16 ビット
メッセージコントロール 2[1~8]	MC2[1~8]	R/W	不定	H'FFFF E430	8、16 ビット
メッセージコントロール 3[1~8]	MC3[1~8]	R/W	不定	H'FFFF E438	8、16 ビット
メッセージコントロール 4[1~8]	MC4[1~8]	R/W	不定	H'FFFF E440	8、16 ビット
メッセージコントロール 5[1~8]	MC5[1~8]	R/W	不定	H'FFFF E448	8、16 ビット
メッセージコントロール 6[1~8]	MC6[1~8]	R/W	不定	H'FFFF E450	8、16 ビット
メッセージコントロール 7[1~8]	MC7[1~8]	R/W	不定	H'FFFF E458	8、16 ビット
メッセージコントロール 8[1~8]	MC8[1~8]	R/W	不定	H'FFFF E460	8、16 ビット
メッセージコントロール 9[1~8]	MC9[1~8]	R/W	不定	H'FFFF E468	8、16 ビット
メッセージコントロール 10[1~8]	MC10[1~8]	R/W	不定	H'FFFF E470	8、16 ビット
メッセージコントロール 11[1~8]	MC11[1~8]	R/W	不定	H'FFFF E478	8、16 ビット
メッセージコントロール 12[1~8]	MC12[1~8]	R/W	不定	H'FFFF E480	8、16 ビット
メッセージコントロール 13[1~8]	MC13[1~8]	R/W	不定	H'FFFF E488	8、16 ビット
メッセージコントロール 14[1~8]	MC14[1~8]	R/W	不定	H'FFFF E490	8、16 ビット
メッセージコントロール 15[1~8]	MC15[1~8]	R/W	不定	H'FFFF E498	8、16 ビット
メッセージデータ 0[1~8]	MD0[1~8]	R/W	不定	H'FFFF E4B0	8、16 ビット
メッセージデータ 1[1~8]	MD1[1~8]	R/W	不定	H'FFFF E4B8	8、16 ビット
メッセージデータ 2[1~8]	MD2[1~8]	R/W	不定	H'FFFF E4C0	8、16 ビット
メッセージデータ 3[1~8]	MD3[1~8]	R/W	不定	H'FFFF E4C8	8、16 ビット
メッセージデータ 4[1~8]	MD4[1~8]	R/W	不定	H'FFFF E4D0	8、16 ビット
メッセージデータ 5[1~8]	MD5[1~8]	R/W	不定	H'FFFF E4D8	8、16 ビット
メッセージデータ 6[1~8]	MD6[1~8]	R/W	不定	H'FFFF E4E0	8、16 ビット
メッセージデータ 7[1~8]	MD7[1~8]	R/W	不定	H'FFFF E4E8	8、16 ビット
メッセージデータ 8[1~8]	MD8[1~8]	R/W	不定	H'FFFF E4F0	8、16 ビット
メッセージデータ 9[1~8]	MD9[1~8]	R/W	不定	H'FFFF E4F8	8、16 ビット
メッセージデータ 10[1~8]	MD10[1~8]	R/W	不定	H'FFFF E500	8、16 ビット
メッセージデータ 11[1~8]	MD11[1~8]	R/W	不定	H'FFFF E508	8、16 ビット
メッセージデータ 12[1~8]	MD12[1~8]	R/W	不定	H'FFFF E510	8、16 ビット
メッセージデータ 13[1~8]	MD13[1~8]	R/W	不定	H'FFFF E518	8、16 ビット
メッセージデータ 14[1~8]	MD14[1~8]	R/W	不定	H'FFFF E520	8、16 ビット
メッセージデータ 15[1~8]	MD15[1~8]	R/W	不定	H'FFFF E528	8、16 ビット

15.2 レジスタの説明

15.2.1 マスタコントロールレジスタ (MCR)

マスタコントロールレジスタ (MCR) は 8 ビットのレジスタです。

MCR								
ビット:	7	6	5	4	3	2	1	0
	MCR7		MCR5			MCR2	MCR1	MCR0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W		R/W			R/W	R/W	R/W

マスタコントロールレジスタ (MCR) は 8 ビットの読み出し / 書き込み可能なレジスタで、CAN インタフェースを制御するためのものです。

ビット 7 : HCAN スリープモード解除 (MCR7)

バス動作による HCAN スリープ解除の許可 / 禁止を選択します。

ビット 7	説明
MCR7	
0	CAN バス動作による HCAN スリープモード解除を禁止 (初期値)
1	CAN バス動作による HCAN スリープモード解除を許可

ビット 6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5 : HCAN スリープモード (MCR5)

HCAN スリープモード遷移の許可 / 禁止を選択します。

ビット 5	説明
MCR5	
0	HCAN スリープモード解除 (初期値)
1	HCAN スリープモードへの遷移を許可

ビット 4、3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2：メッセージ送信方式 (MCR2)

送信メッセージの送信方式を選択します。

ビット2	説明
MCR2	
0	メッセージ Identifier の優先順位により送信の順番を決定 (初期値)
1	メールボックス (バッファ) 番号の優先順位により送信の順番を決定 (TXPR1 > TXPR15)

ビット1：HALT リクエスト (MCR1)

HCAN モジュールを HALT するための制御ビットです。

ビット1	説明
MCR1	
0	通常動作モード (初期値)
1	HALT モードへの遷移をリクエスト

ビット0：リセットリクエスト (MCR0)

HCAN モジュールをリセットするための制御ビットです。

ビット0	説明
MCR0	
0	通常動作モード (MCR0=0かつGSR3=0) 【セット条件】HCANのリセット終了時に0書き込み
1	リセットモードへの遷移をリクエスト (初期値)

なお、MCR0 に 0 を書き込んだ後 GSR3 が 1 0 に変化するためには、HCAN 内部がリセットされるまでの時間を必要とします。したがって、MCR0=0 後、GSR3=0 になるまでディレイが発生します。

15.2.2 ジェネラルステータスレジスタ (GSR)

ジェネラルステータスレジスタ (GSR) は 8 ビットレジスタです。

GSR								
ビット:	7	6	5	4	3	2	1	0
					GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	1	1	0	0
R/W:					R	R	R	R

ジェネラルステータスレジスタ (GSR) は 8 ビットの読み出し可能なレジスタで、CAN バスのステータスを示すものです。

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: リセットステータスビット (GSR3)

HCAN モジュールが通常動作状態とリセット状態を示すためのビットです。書き込みは無効です。

ビット 3	説明
GSR3	
0	通常動作状態 【セット条件】HCAN 内部をリセット終了
1	コンフィギュレーションモード (初期値) 【リセット条件】MCR0 によるリセット状態およびスリープモード

ビット 2: メッセージ送信ステータスフラグ (GSR2)

メッセージ送信期間中か否かを示すフラグです。「メッセージ送信期間中」とはメッセージ送信開始 (SOF) から EOF (End Of Frame) 後の Intermission 3 ビットまでを表します。書き込みは無効です。

ビット 2	説明
GSR2	
0	メッセージ送信期間中
1	【リセット条件】アイドル期間 (初期値)

ビット1：送信/受信ワーニングフラグ (GSR1)

エラーワーニングを示すフラグです。書き込みは無効です。

ビット1	説明
GSR1	
0	【リセット条件】TEC < 96 かつ REC < 96 のとき TEC 256 (初期値)
1	TEC 96 または REC 96 のとき

ビット0：バスオフフラグ (GSR0)

バスオフ状態を示すフラグです。書き込みは無効です。

ビット0	説明
GSR0	
0	【リセット条件】バスオフからの復帰 (初期値)
1	TEC 256 のとき (バスオフ状態)

15.2.3 ビットコンフィグレジスタ (BCR)

ビットコンフィグレジスタ (BCR) は16ビットレジスタです。

BCR								
ビット：	15	14	13	12	11	10	9	8
	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットコンフィグレジスタ (BCR) は16ビットの読み出し/書き込み可能なレジスタで、CANのビットタイミングパラメータやポーレートプリスケラを設定するためのものです。

ビット 15、14 : Re-Synchronization Jump Width (SJW)

ビット同期の最大範囲を設定します。

ビット 15	ビット 14	説明
BCR7	BCR6	
0	0	最大ビット同期幅 1time quantum (初期値)
0	1	最大ビット同期幅 2time quanta
1	0	最大ビット同期幅 3time quanta
1	1	最大ビット同期幅 4time quanta

ビット 13~8 : ボーレートプリスケアラ (BRP)

CAN バスのボーレートを設定するためのものです。

ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	説明
BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
0	0	0	0	0	0	2×システムクロック (初期値)
0	0	0	0	0	1	4×システムクロック
0	0	0	0	1	0	6×システムクロック
:	:	:	:	:	:	:
1	1	1	1	1	1	128×システムクロック

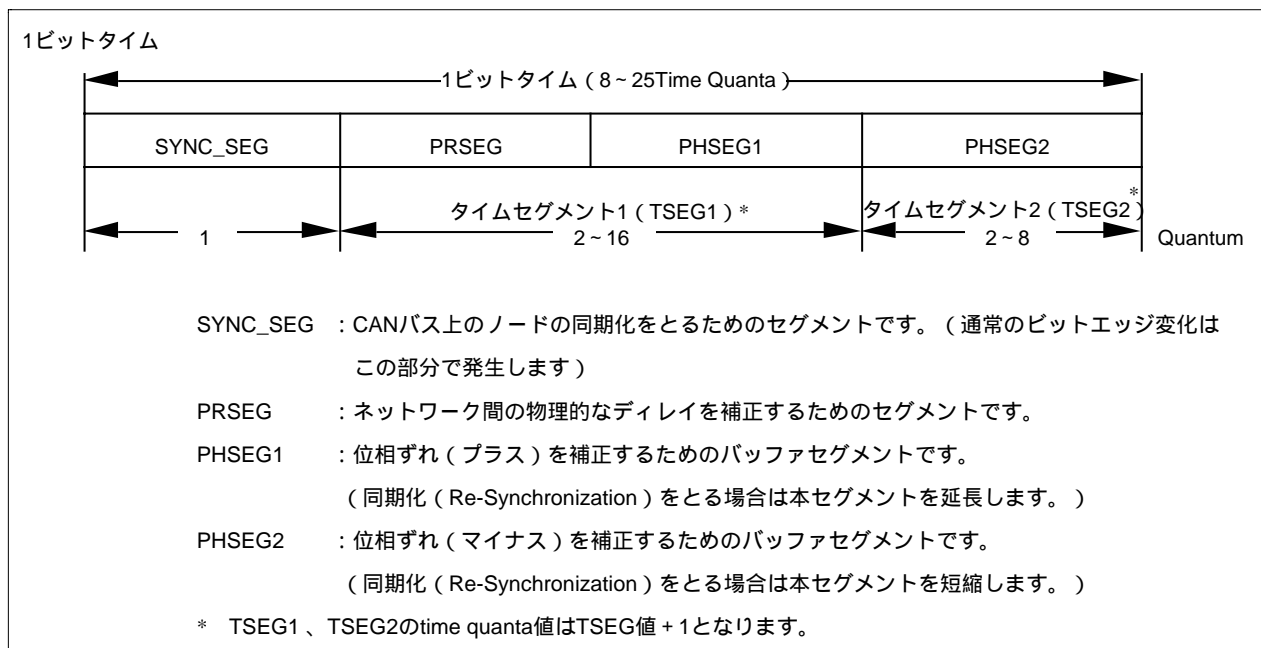


図 15.2 1 ビットの詳細説明

HCANのビットレート計算：

$$\text{ビットレート} \left[\frac{\text{b/s}}{\text{[b/s]}} \right] = \frac{f_{\text{CLK}}}{2 \times (\text{BRP} + 1) \times (3 + \text{TSEG1} + \text{TSEG2})}$$

【注】 $f_{\text{CLK}} = P$ (周辺クロック (/2))
BRP、TSEG1、TSEG2はBCR値を使用。

BCR の設定制限

$\text{TSEG1} > \text{TSEG2}$ SJW ($\text{SJW} = 1 \sim 4$)

$3 + \text{TSEG1} + \text{TSEG2} = 8 \sim 25 \text{Time Quanta}$

$\text{TSEG2} > \text{B}'001$ ($\text{BRP} = \text{B}'000000$)

$\text{TSEG2} > \text{B}'000$ ($\text{BRP} > \text{B}'000000$)

上記制限により BCR の TSEG1、TSEG2 の設定可能な範囲を表 15.3 に示します。

表 15.3 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[14 ~ 12])						
		001	010	011	100	101	110	111
TSEG1 (BCR[11 ~ 8])	0011	×		×	×	×	×	×
	0100	*			×	×	×	×
	0101	*				×	×	×
	0110	*					×	×
	0111	*						×
	1000	*						
	1001	*						
	1010	*						
	1011	*						
	1100	*						
	1101	*						
	1110	*						
1111	*							

【注】 TSEG1、TSEG2のtime quanta値はTSEG値 + 1となります。

* BRP[13 : 8] = B'000000以外のみ設定可能。

ビット7：ビットサンプルポイント (BSP)

データをサンプルリングするポイントを設定するためのものです。

ビット7	説明
BCR15	
0	1 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わり) (初期値)
1	3 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わりと 前後 1time quantum)

ビット6~4 : タイムセグメント2 (TSEG2)

1ビットタイムの誤差を補正するためのセグメントで2~8まで設定可能です。

ビット6	ビット5	ビット4	説明
BCR14	BCR13	BCR12	
0	0	0	設定禁止 (初期値)
0	0	1	TSEG2 (PHSEG2) =2time quanta
0	1	0	TSEG2 (PHSEG2) =3time quanta
0	1	1	TSEG2 (PHSEG2) =4time quanta
1	0	0	TSEG2 (PHSEG2) =5time quanta
1	0	1	TSEG2 (PHSEG2) =6time quanta
1	1	0	TSEG2 (PHSEG2) =7time quanta
1	1	1	TSEG2 (PHSEG2) =8time quanta

ビット3~0 : タイムセグメント1 (TSEG1)

出力バッファ、CANバス、入力バッファのディレーを吸収するためのセグメントで1,2,...,16まで設定可能です。

ビット3	ビット2	ビット1	ビット0	説明
BCR11	BCR10	BCR9	BCR8	
0	0	0	0	設定禁止 (初期値)
0	0	0	1	設定禁止
0	0	1	0	設定禁止
0	0	1	1	TSEG1 (PRSEG+PHSEG1) =4time quanta
0	1	0	0	TSEG1 (PRSEG+PHSEG1) =5time quanta
:	:	:	:	:
1	1	1	1	TSEG1 (PRSEG+PHSEG1) =16time quanta

15.2.4 メールボックスコンフィグレジスタ (MBCR)

メールボックスコンフィグレジスタ (MBCR) は 16 ビットのレジスタです。

MBCR

ビット: 15 14 13 12 11 10 9 8

MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	
-------	-------	-------	-------	-------	-------	-------	--

初期値: 0 0 0 0 0 0 0 1

R/W: R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

MBCR15	MBCR 14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8
--------	---------	--------	--------	--------	--------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W

メールボックスコンフィグレジスタ (MBCR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) の送信 / 受信を設定するためのものです。

ビット 15~9、7~0 : メールボックス設定レジスタ (MBCR7~1、MBCR15~8)

対応するメールボックスの極性を設定します。

ビット x	説明
MBCRx	
0	対応するメールボックスを送信用に設定 (初期値)
1	対応するメールボックスを受信用に設定

ビット 8 : 予約ビット

読み出すと常に 1 が読み出されます。書き込みも常に 1 にしてください。

15.2.5 送信待ちレジスタ (TXPR)

送信待ちレジスタ (TXPR) は 16 ビットのレジスタです。

TXPR

ビット:	15	14	13	12	11	10	9	8
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	7	6	5	4	3	2	1	0
	TXPR15	TXPR 14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ちレジスタ (TXPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、送信メッセージをメールボックス (バッファ) に格納後の送信待ち (CAN バスアービトレーション待ち) を設定するためのものです。

ビット 15~9、7~0 : 送信待ちレジスタ (TXPR7~1、TXPR15~8)

対応するメールボックスの送信待ちを設定します。

ビット x	説明
TXPRx	
0	対応するメールボックス内の送信メッセージアイドル状態 (初期値) 【クリア条件】メッセージの送信完了および取り消し完了
1	対応するメールボックス内の送信メッセージの送信待ち (CAN バスアービトレーション)

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

15.2.6 送信待ち取り消しレジスタ (TXCR)

送信待ち取り消しレジスタ (TXCR) は 16 ビットのレジスタです。

TXCR								
ビット:	15	14	13	12	11	10	9	8
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	7	6	5	4	3	2	1	0
	TXCR15	TXCR 14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ち取り消しレジスタ (TXCR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) 内送信待ちメッセージの取り消しを制御するためのものです。

ビット 15 ~ 9、7 ~ 0 : 送信待ち取り消しレジスタ (TXCR7 ~ 1、TXCR15 ~ 8)

HCAN の対応するメールボックス内送信待ちメッセージの取り消しを制御します。

ビット x	説明
TXCRx	
0	対応するメールボックス内の送信メッセージ取り消しアイドル状態 (初期値) 【クリア条件】 TXPR のクリア完了 (送信メッセージを正常に取り消したとき)
1	対応するメールボックスの TXPR クリア (送信メッセージの取り消し)

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

15.2.7 送信アクノレジレジスタ (TXACK)

送信アクノレジレジスタ (TXCR) は 16 ビットのレジスタです。

TXACK								
ビット:	15	14	13	12	11	10	9	8
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	7	6	5	4	3	2	1	0
	TXACK15	TXACK 14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信アクノレジレジスタ (TXACK) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) のメッセージが正常に送信完了したことを示すステータスフラグです。

ビット 15~9、7~0 : 送信アクノレジレジスタ (TXACK7~1、TXACK15~8)

HCANの対応するメールボックスのメッセージが正常に送信完了したことを示します。

ビット x	説明
TXACKx	
0	【クリア条件】1 書き込み (初期値)
1	対応するメールボックスのメッセージ送信完了

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

15.2.8 取り消しアクノレジスタ (ABACK)

取り消しアクノレジスタ (ABACK) は 16 ビットのレジスタです。

ABACK								
ビット:	15	14	13	12	11	10	9	8
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	7	6	5	4	3	2	1	0
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

取り消しアクノレジスタ (ABACK) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) 内送信メッセージが正常に取り消されたことを示すステータスフラグです。

ビット 15~9、7~0 : 取り消しアクノレジスタ (ABACK7~1、ABACK15~8)
対応するメールボックス内送信メッセージが正常に取り消されたことを示します。

ビット x	説明
ABACKx	
0	【クリア条件】1 書き込み (初期値)
1	対応するメールボックスの送信メッセージ取り消し完了

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

15.2.9 受信完了レジスタ (RXPR)

受信完了レジスタ (RXPR) は 16 ビットのレジスタです。

RXPR

ビット:	15	14	13	12	11	10	9	8
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	RXPR15	RXPR 14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

受信完了レジスタ (RXPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) にメッセージ (データフレームまたはリモートフレーム) が正常に受信されたことを示すステータスフラグです。

なお、リモートフレーム受信の場合は対応するリモートリクエストレジスタ (RFPR) も同時にセットされます。

ビット 15~0 : 受信完了レジスタ (RXPR7~0、RXPR15~8)

対応するメールボックスにメッセージが正常に受信されたことを示します。

ビット x	説明
RXPRx	
0	【クリア条件】1 書き込み (初期値)
1	対応するメールボックスにメッセージ (データフレームまたはリモートフレーム) 受信完了

15.2.10 リモートリクエストレジスタ (RFPR)

リモートリクエストレジスタ (RFPR) は 16 ビットのレジスタです。

RFPR

ビット:	15	14	13	12	11	10	9	8
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	RFPR15	RFPR 14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リモートリクエストレジスタ (RFPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) にリモートフレームが正常に受信されたことを示すステータスフラグです。なお、本ビットがセットされると対応する受信完了ビットが同時にセットされます。

ビット 15~0 : リモートリクエストレジスタ (RFPR7~0、RFPR15~8)

対応するメールボックスにリモートフレームが正常に受信されたことを示します。

ビット x	説明
RFPRx	
0	【クリア条件】1 書き込み (初期値)
1	対応するメールボックスにリモートフレーム受信完了

15.2.11 インタラプトレジスタ (IRR)

インタラプトレジスタ (IRR) は 16 ビットのレジスタです。

IRR								
ビット:	15	14	13	12	11	10	9	8
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
				IRR12			IRR9	IRR8
初期値:	0	0	0	0	0	0	0	0
R/W:				R/W			R/W	R/W

インタラプトレジスタ (IRR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各割り込み要因のステータスを示すフラグです。

ビット 15 : オーバロードフレーム / バスオフ復帰割り込みフラグ (IRR7)

HCAN がオーバロードフレームを送信 / バスオフ復帰したことを示すステータスフラグです。

ビット 15	説明
IRR7	
0	【クリア条件】1 書き込み (初期値)
1	オーバロードフレーム送信またはバスオフからの復帰 【セット条件】エラーアクティブ / エラーパッシブ状態 - オーバロードフレームを送信したとき バスオフ状態 - 11 レセシブビット x 128 回受信時 (REC 128)

ビット 14 : バスオフ割り込みフラグ (IRR6)

送信エラーカウンタによるバスオフ状態を示すステータスフラグです。

ビット 14	説明
IRR6	
0	【クリア条件】1 書き込み (初期値)
1	送信エラーによるバスオフ状態 【セット条件】TEC 256 になったとき

ビット 13 : エラーパッシブ割り込みフラグ (IRR5)

送信 / 受信エラーカウンタによるエラーパッシブ状態を示すステータスフラグです。

ビット 13	説 明
IRR5	
0	【クリア条件】1 書き込み (初期値)
1	送信 / 受信エラーによるエラーパッシブ状態 【セット条件】TEC 128 または REC 128 になったとき

ビット 12 : 受信オーバロードワーニング割り込みフラグ (IRR4)

受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 12	説 明
IRR4	
0	【クリア条件】1 書き込み (初期値)
1	受信エラーによるエラーワーニング状態 【セット条件】REC 96 になったとき

ビット 11 : 送信オーバロードワーニング割り込みフラグ (IRR3)

送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 11	説 明
IRR3	
0	【クリア条件】1 書き込み (初期値)
1	送信エラーによるエラーワーニング状態 【セット条件】TEC 96 になったとき

ビット10：リモートフレームリクエスト割り込みフラグ (IRR2)

メールボックスにリモートフレームを受信したことを示すステータスフラグです。

ビット10	説明
IRR2	
0	【クリア条件】RFPR (リモートリクエスト待ちレジスタ) の全ビットクリア (初期値)
1	リモートフレーム受信しメールボックスに格納 【セット条件】リモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット9：受信メッセージ割り込みフラグ (IRR1)

メールボックス受信メッセージを正常に受信したことを示すステータスフラグです。

ビット9	説明
IRR1	
0	【クリア条件】MBIMR が0のときの RXPR (受信完了レジスタ) の全ビットをクリア (初期値)
1	データフレーム、リモートフレーム受信しメールボックスに格納 【セット条件】データフレームおよびリモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット8：リセット割り込みフラグ (IRR0)

HCAN モジュールがリセットされたことを示すステータスフラグです。

なお、本ビットはインタラプトマスクレジスタ(IMR)ではマスク不可となっており、パワーオンリセット投入後およびソフトウェアスタンバイ復帰後本フラグをクリアしない場合は割り込みコントローラにて割り込み許可すると、ただちに割り込みベクタに飛ぶこととなります。

ビット8	説明
IRR0	
0	【クリア条件】1 書き込み
1	パワーオンリセットおよびソフトウェアスタンバイ投入による 割り込み要求 (OVR) (初期値) 【セット条件】パワーオンリセットおよびソフトウェアスタンバイ投入後に リセット処理完了したとき

ビット7～5、3、2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：バス動作割り込みフラグ (IRR12)

HCAN モジュールが HCAN スリープモード中にバス動作のよりドミナントビットの検出を示すステータスフラグです。

ビット4	説明
IRR12	
0	CAN バスアイドル状態 (初期値) 【クリア条件】1 書き込み
1	HCANスリープモード中CANバスの動作あり 【セット条件】HCANスリープモード中のバス動作(ドミナントビット検出)のとき

ビット1：未読割り込みフラグ (IRR9)

受信メッセージが未読のままオーバーライトされたことを示すステータスフラグです。

ビット1	説明
IRR9	
0	【クリア条件】UMSR (未読メッセージステータスレジスタ) のすべてのビットクリア (初期値)
1	未読メッセージのオーバーライト 【セット条件】UMSR (未読メッセージステータスレジスタ) がセットされたとき

ビット0：メールボックス空き割り込みフラグ (IRR8)

メールボックスに次の送信メッセージを格納できることを示すステータスフラグです。

ビット0	説明
IRR8	
0	【クリア条件】1 書き込み (初期値)
1	送信メッセージが送信または取り消され新規メッセージ格納可能 【セット条件】TXPR (送信待ちレジスタ) が送信完了および送信取り消し完了によりクリアされたとき

15.2.12 メールボックスインタラプトマスクレジスタ (MBIMR)

メールボックスインタラプトマスクレジスタ (MBIMR) は 16 ビットのレジスタです。

MBIMR

ビット:	15	14	13	12	11	10	9	8
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスインタラプトマスクレジスタ (MBIMR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各メールボックスの割り込み要求を許可 / 禁止するフラグです。

ビット 15 ~ 0 : メールボックスインタラプトマスク (MBIMR7 ~ 0、MBIMR15 ~ 8)

各メールボックスの割り込み要求を許可 / 禁止するフラグです。

ビット x	説明
MBIMRx	
0	【送信時】 TXPRのクリアによりCPUへ割り込み要求 【受信時】 RXPRのセットによりCPUへ割り込み要求
1	CPUへの割り込み要求を禁止 (初期値)

15.2.13 インタラプトマスクレジスタ (IMR)

インタラプトマスクレジスタ (IMR) は 16 ビットのレジスタです。

IMR								
ビット:	15	14	13	12	11	10	9	8
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	
初期値:	1	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	7	6	5	4	3	2	1	0
				IMR12			IMR9	IMR8
初期値:	1	1	1	1	1	1	1	1
R/W:				R/W			R/W	R/W

インタラプトマスクレジスタ (IMR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各割り込み要因の要求を許可 / 禁止するフラグです。

ビット 15 : オーバロードフレーム / バスオフ復帰割り込みマスク (IMR7)

オーバロードフレーム / バスオフ復帰割り込み要求の許可 / 禁止を選択します。

ビット 15	説明
IMR7	
0	IRR7 による CPU へのオーバロードフレーム / バスオフ復帰割り込み要求 (OVR) を許可
1	IRR7 による CPU へのオーバロードフレーム / バスオフ復帰割り込み要求 (OVR) を禁止 (初期値)

ビット 14 : バスオフ割り込みマスク (IMR6)

送信エラーカウンタによるバスオフ割り込み要求の許可 / 禁止を選択します。

ビット 14	説明
IMR6	
0	IRR6 による CPU へのバスオフ割り込み要求 (ERS) を許可
1	IRR6 による CPU へのバスオフ割り込み要求 (ERS) を禁止 (初期値)

ビット 13 : エラーパッシブ割り込みマスク (IMR5)

送信 / 受信エラーカウンタによるエラーパッシブ割り込み要求の許可 / 禁止を選択します。

ビット 13	説明
IMR5	
0	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS) を許可
1	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS) を禁止 (初期値)

ビット 12 : 受信オーバーロードワーニング割り込みマスク (IMR4)

受信エラーカウンタによるエラーワーニング割り込み要求の許可 / 禁止を選択します。

ビット 12	説明
IMR4	
0	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR) を許可
1	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR) を禁止 (初期値)

ビット 11 : 送信オーバーロードワーニングマスク (IMR3)

送信エラーカウンタによるエラーワーニング割り込み要求の許可 / 禁止を選択します。

ビット 11	説明
IMR3	
0	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR) を許可
1	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR) を禁止 (初期値)

ビット 10 : リモートフレームリクエスト割り込みマスク (IMR2)

リモートフレーム受信割り込み要求の許可 / 禁止を選択します。

ビット 10	説明
IMR2	
0	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR) を許可
1	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR) を禁止 (初期値)

ビット9：受信メッセージ割り込みマスク (IMR1)

メッセージ受信割り込み要求の許可 / 禁止を選択します。

ビット9	説明
IMR1	
0	IRR1によるCPUへのメッセージ受信割り込み要求(RM)を許可
1	IRR1によるCPUへのメッセージ受信割り込み要求(RM)を禁止 (初期値)

ビット8：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット7～5、3、2：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット4：バス動作割り込みマスク (IMR12)

スリープモード中のバス動作による割り込み要求の許可 / 禁止を選択します。

ビット4	説明
IMR12	
0	IRR12によるCPUへのバス動作割り込み要求(OVR)を許可
1	IRR12によるCPUへのバス動作割り込み要求(OVR)を禁止 (初期値)

ビット1：未読割り込みマスク (IMR9)

受信未読メッセージのオーバーライト割り込み要求の許可 / 禁止を選択します。

ビット1	説明
IMR9	
0	IRR9によるCPUへの未読メッセージオーバーライト割り込み要求(OVR)を許可
1	IRR9によるCPUへの未読メッセージオーバーライト割り込み要求(OVR)を禁止 (初期値)

ビット0 : メールボックス空き割り込みマスク (IMR8)

メールボックス空き割り込み要求の許可 / 禁止を選択します。

ビット0	説明
IMR8	
0	IRR8によるCPUへのメールボックス空き割り込み要求(SLE)を許可
1	IRR8によるCPUへのメールボックス空き割り込み要求(SLE)を禁止(初期値)

15.2.14 受信エラーカウンタ (REC)

受信エラーカウンタ (REC) は8ビットのレジスタです。

REC								
ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信エラーカウンタ (REC) は8ビットの読み出し可能なレジスタで、CANバス上の受信メッセージエラーを示すカウンタです。カウント数はCANプロトコルで規定されています。

15.2.15 送信エラーカウンタ (TEC)

送信エラーカウンタ (TEC) は8ビットのレジスタです。

TEC								
ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

送信エラーカウンタ (TEC) は8ビットの読み出し可能なレジスタで、CANバスに送信するメッセージエラーを示すカウンタです。カウント数はCANプロトコルで規定されています。

15.2.16 未読メッセージステータスレジスタ (UMSR)

未読メッセージステータスレジスタ (UMSR) は 16 ビットのレジスタです。

UMSR

ビット:	15	14	13	12	11	10	9	8
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

未読メッセージステータスレジスタ (UMSR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各メールボックス (バッファ) で受信したメッセージを読み出す前に新たな受信メッセージによって上書きされたことを示すステータスレジスタです。

なお、新規受信メッセージにより上書きされた場合、古いデータは失われます。

ビット 15 ~ 0 : 未読メッセージステータスフラグ (UMSR7 ~ 0、UMSR15 ~ 8)

受信未読メッセージをオーバーライトしたことを示すステータスフラグです。

ビット x	説明
UMSRx	
0	【クリア条件】1 書き込み (初期値)
1	メッセージを受信後未読のまま新規メッセージをオーバーライト 【セット条件】RXPR をクリアする前に新規メッセージを受信したとき

15.2.17 ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)

ローカルアクセプタンスフィルタマスク (LAFML, LAFMH) は 16 ビットのレジスタです。

LAFML

ビット:	15	14	13	12	11	10	9	8
	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット:	7	6	5	4	3	2	1	0
	LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

LAFMH

ビット:	15	14	13	12	11	10	9	8
	LAFMH7	LAFMH6	LAFMH5				LAFMH1	LAFMH0

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット:	7	6	5	4	3	2	1	0
	LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ローカルアクセプタンスフィルタ (LAFML、LAFMH) は 16 ビットの読み出し / 書き込み可能なレジスタで、受信専用メールボックス (MC0、MD0) に格納される受信メッセージを Identifier によってフィルタリングするものです。LAFMH15 (MSB) ~ LAFMH5 (LSB) はスタンダード / エクステンデッド Identifier 用 11 ビットに対応しています。また、LAFMH1 (MSB) ~ LAFML0 (LSB) はエクステンデッド Identifier 用 18 ビットに対応しています。

LAFMH ビット 15～13、7～0 : 11 ビット Identifier 用フィルタ

(LAFMH7～5、LAFMH15～8)

受信メッセージ Identifier の初めの 11 ビット (スタンダード/エクステンデッド共用) 用のフィルタマスクです。

ビット X	説 明
LAFMHx	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致に関わらず MC0、MD0 (受信専用メールボックス) に格納

LAFMH ビット 12～10 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

LAFMH ビット 9、8、LAFML ビット 15～0 : 18 ビット Identifier 用フィルタ

(LAFMH1、0、LAFML15～0)

受信メッセージ Identifier の 18 ビット (エクステンデッド) 用のフィルタマスクです。

ビット X	説 明
LAFMHx LAFMLx	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致に関わらず MC0、MD0 (受信専用メールボックス) に格納

15.2.18 メッセージコントロール (MC0 ~ MC15)

メッセージコントロール (MC0 ~ MC15) は 8 ビット × 8 本 (MCx[1] ~ MCx[8]) のレジスタです。HCAN には本レジスタを 16 セット (MC0 ~ MC15) あります。

本レジスタは読み出し書き込み可能なレジスタです。初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[1]
ビット:

7	6	5	4	3	2	1	0
				DLC3	DLC2	DLC1	DLC0

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[2]
ビット:

7	6	5	4	3	2	1	0

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[3]
ビット:

7	6	5	4	3	2	1	0

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[4]
ビット:

7	6	5	4	3	2	1	0

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[5]
ビット:

7	6	5	4	3	2	1	0
STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[6]
ビット:

7	6	5	4	3	2	1	0
STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[7]
ビット:

7	6	5	4	3	2	1	0
EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[8]
ビット:

7	6	5	4	3	2	1	0
EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MCx[1]ビット7~4 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[1]ビット3~0 : データ長コード (DLC3~0)

データフレームおよびリモートフレームでの要求のデータ長を示します。

ビット3	ビット2	ビット1	ビット0	説明
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	データ長 : 0 バイト
0	0	0	1	データ長 : 1 バイト
0	0	1	0	データ長 : 2 バイト
0	0	1	1	データ長 : 3 バイト
0	1	0	0	データ長 : 4 バイト
0	1	0	1	データ長 : 5 バイト
0	1	1	0	データ長 : 6 バイト
0	1	1	1	データ長 : 7 バイト
1	*	*	*	データ長 : 8 バイト

* don't care

MCx[2]ビット7~0 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[3]ビット7~0 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[4]ビット7~0 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[6]ビット7~0 : スタンダード Identifier (STD_ID10~3)

MCx[5]ビット7~5 : スタンダード Identifier (STD_ID2~0)

データフレーム、リモートフレームの Identifier (スタンダード Identifier) を設定します。

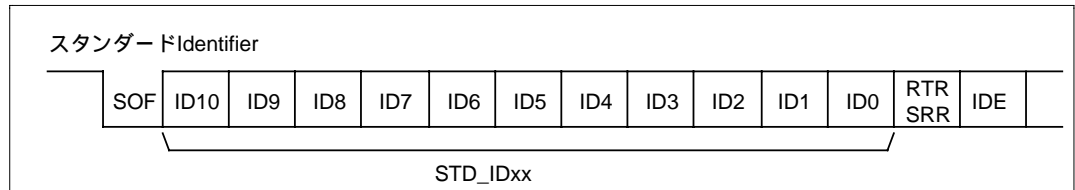


図 15.3 スタンダード Identifier

MCx[5]ビット4 : リモートトランスミッションリクエスト (RTR)

データフレームとリモートフレームを識別するためのものです。

ビット4	説明
RTR	
0	データフレーム
1	リモートフレーム

MCx[5]ビット3 : Identifier エクステンション (IDE)

データフレーム、リモートフレームのスタンダードフォーマットおよびエクステンデッドフォーマットを識別するためのものです。

ビット3	説明
IDE	
0	スタンダードフォーマット
1	エクステンデッドフォーマット

MCx[5]ビット2 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[5]ビット1,0 : エクステンデッド Identifier (EXD_ID17,16)

MCx[8]ビット7~0 : エクステンデッド Identifier (EXD_ID15~8)

MCx[7]ビット7~0 : エクステンデッド Identifier (EXD_ID7 ~ 0)

データフレーム、リモートフレームの Identifier (エクステンデッド Identifier) を設定します。

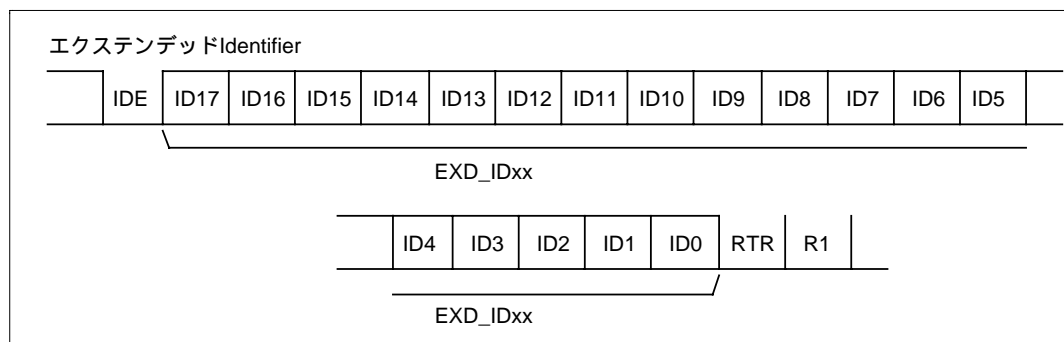


図 15.4 エクステンデッド Identifier

15.2.19 メッセージデータ (MD0 ~ MD15)

メッセージデータ (MD0 ~ MD15) は 8 ビット × 8 本 (MDx[1] ~ MDx[8]) のレジスタです。HCANには本レジスタが 16 セット (MD0 ~ MD15) あります。

本レジスタは読み出し書き込み可能なレジスタです。初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MDx[1] メッセージデータ1
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[2] メッセージデータ2
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[3] メッセージデータ3
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[4] メッセージデータ4
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[5] メッセージデータ5
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[6] メッセージデータ6
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[7] メッセージデータ7
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

MDx[8] メッセージデータ8
 ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

15.3 動作説明

15.3.1 ハードウェアリセットとソフトウェアリセット

HCAN をリセットする方法としてハードウェアリセットとソフトウェアリセットがあります。

(1) ハードウェアリセット(パワーオンリセット、ハードウェア/ソフトウェアスタンバイ)

HCAN 内の MCR のリセットリクエストビット (MCR0) と GSR のリセットステートビット (GSR3) を自動的にセットすることで初期化します (ハードウェアリセット)。同時に内部レジスタはすべて初期化されます。ただし、メールボックスは初期化されません。本リセットのフローを図 15.5 に示します。

(2) ソフトウェアリセット (MCR0 への書き込み)

通常動作時には MCR のリセットリクエストビット (MCR0) をセットすることで初期化します (ソフトウェアリセット)。本リセットでは CAN コントローラが通信動作中 (送信または受信) であった場合、そのメッセージを完全に終了するまで待って初期化状態に遷移します。初期化期間中は GSR のリセットステートビット (GSR3) をセットします。本初期化ではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタおよび RAM は初期化されません。本リセットのフローを図 15.6 に示します。

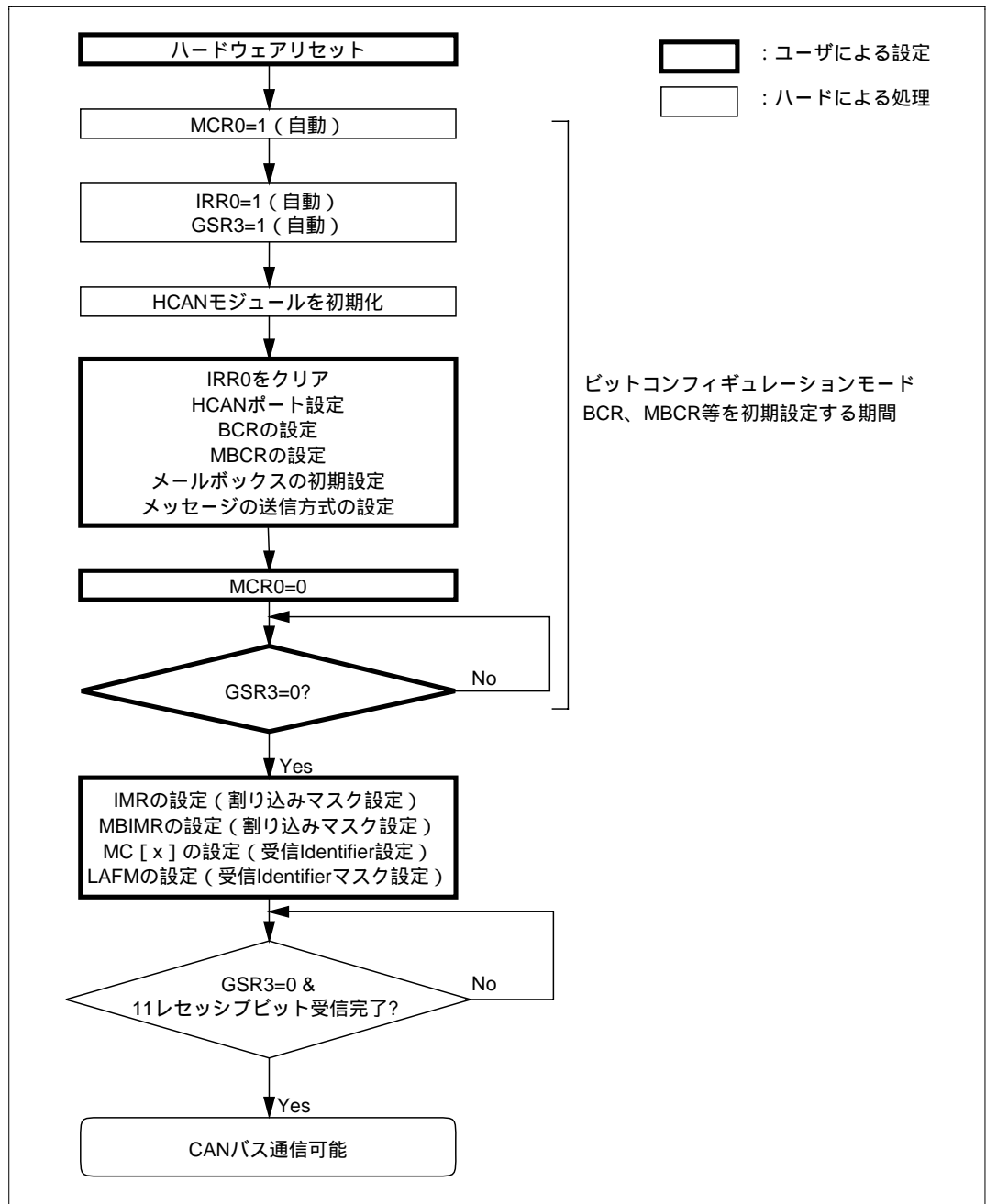


図 15.5 ハードウェアリセット時のフローチャート

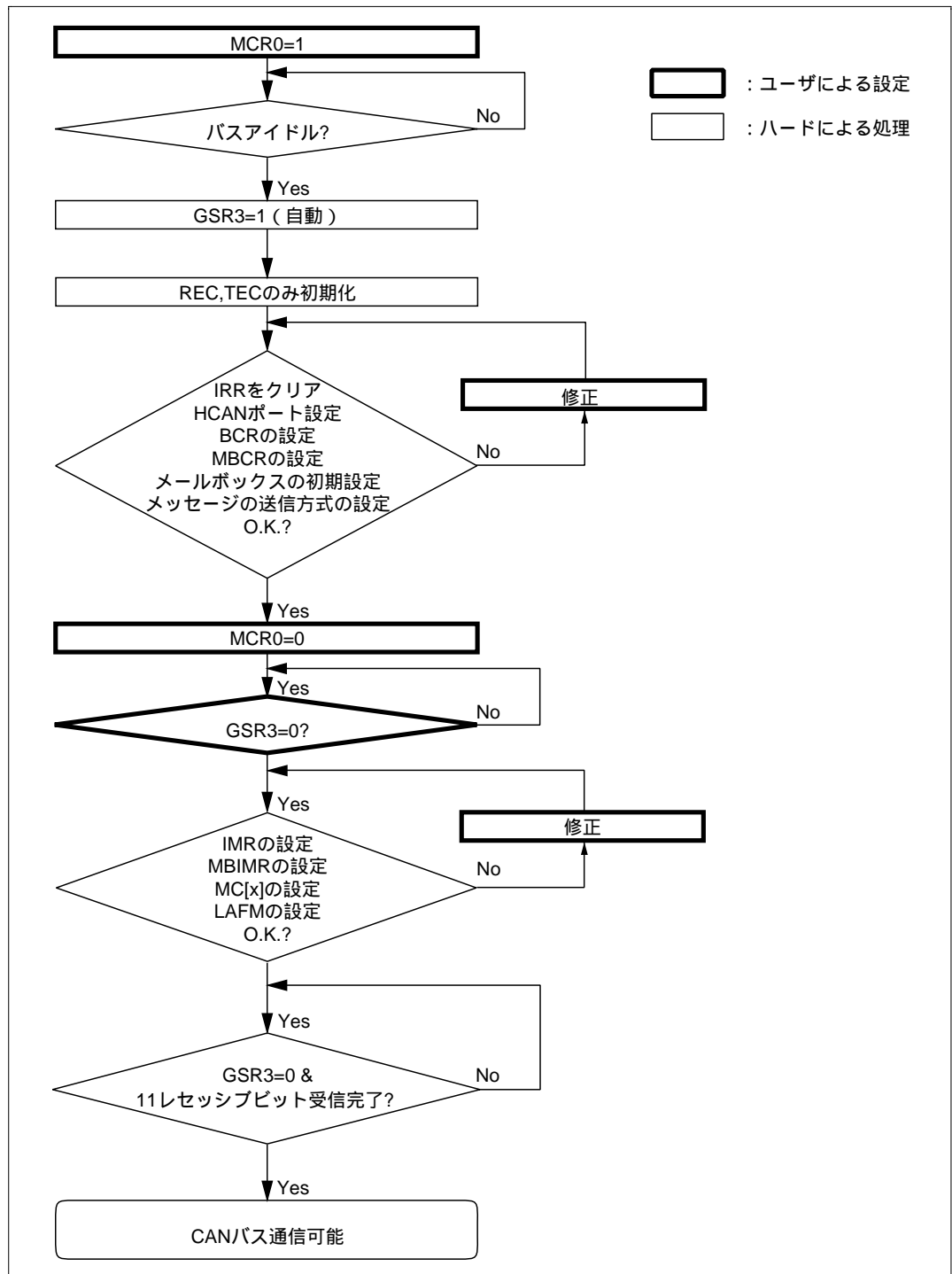


図 15.6 ソフトウェアリセット時のフローチャート

15.3.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は、初期設定として下記の処理を行ってください。

- (1) インタラプトレジスタ (IRR) の IRR0 ビットのクリア
- (2) HCAN 端子のポート設定
- (3) ビットレートの設定
- (4) メールボックスの送信 / 受信の設定
- (5) メールボックス (RAM) の初期設定
- (6) メッセージの送信方式の設定

なお、本初期設定は必ず HCAN がビットコンフィギュレーションモード中に行ってください。コンフィギュレーションモードとはマスタコントロールレジスタ (MCR) のリセットリクエストビット (MCR0) が 1 の状態からジェネラルステータスレジスタ (GSR) のリセットステータスビットが 1 (GSR3=1) の状態です。コンフィギュレーションモードの解除は MCR のリセットリクエストビットを 0 クリアすることで行いますが、MCR0=0 とすることで HCAN は自動的にジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) をクリアします。その後パワーアップシーケンスに入り、終了した時点で CAN バスと通信可能になります。パワーアップシーケンスとは 11 ビット連続レセツピットを検出することです。

(1) インタラプトレジスタ (IRR) の IRR0 ビットのクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することでただちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(2) HCAN 端子ポート設定

HCAN ポート設定は必ず、ビットコンフィギュレーション中またはそれ以前に行ってください。設定方法の詳細は「18. ピンファンクションコントローラ」を参照ください。

(3) ビットレートの設定

ビットレート設定は CAN ノードが通信を開始するにあたりボーレートの設定およびビットタイミングを設定する必要があります。ボーレートの設定およびビットタイミング設定はビットコンフィギュレーションレジスタ (BCR) によって行います。

<注意事項>

BCR の書き込みは常に可能です。ただし、コンフィギュレーションモード以外では変更しないでください。

CAN バスに接続している CAN コントローラはすべて同一ボーレートおよび同一ビット幅となるよう設定してください。

設定可能な変数 (TSEG1、TSEG2、BRP、サンプルポイント、SJW) の制限を表 15.5 に示します。

表 15.4 BCR 設定での制限

名称	略称	Min.値	Max.値	単位
タイムセグメント1	TSEG1	4	16	TQ
タイムセグメント2	TSEG2	2	8	TQ
ボーレートプリスケアラ	BRP	2	128	システムクロック
サンプルポイント	SAM	1	3	ポイント
Re-Synchronization Jump Width	SJW	1	4	TQ

< 設定可能な変数の制限 >

ビット幅とは設定可能な Time Quanta (TQ) の合計で構成されています。TQ (システムクロック数) はボーレートプリスケアラ (BRP) によって決まります。

$$TQ = (2 \times (BRP + 1)) / (f_{CLK}) \quad f_{CLK} = P$$

SJW の最小値は CAN 仕様で規定されています。

$$4 \leq SJW \leq 1$$

TSEG1 の最小値は CAN 仕様で規定されています。

$$TSEG1 > TSEG2$$

TSEG2 の最小値は CAN 仕様で規定されています。

$$TSEG2 \leq SJW$$

ボーレートの計算は下記の式を用いて計算を行います。

$$\text{ビットレート} = \frac{f_{CLK}}{2 \times (BRP + 1) \times (3 + TSEG1 + TSEG2)} \quad [\text{b/s}]$$

【注】 $f_{CLK} = P$ (周辺クロック: /2)
BRP、TSEG1、TSEG2はBCR値を使用。

例：ボーレートを 1Mb/s、入力クロックを 40MHz に設定した場合

$$1\text{Mb/s} = \frac{20\text{M}[\text{Hz}]}{2 \times (0+1) \times (3+4+3)}$$

	設定値	実際値
fCLK	= 40MHz/2	-
BRP	= 0 (B'000000)	システムクロック × 2
TSEG1	= 4 (B'0100)	5TQ
TSEG2	= 3 (B'011)	4TQ

(4) メールボックス送信 / 受信の設定

HCAN は 16 本のメールボックスがあります。メールボックス 0 は受信専用で、メールボックス 1~15 は送信 / 受信設定可能です。送信 / 受信設定メールボックスに関しては通信開始する前にメールボックスを送信として使用するか受信として使用するかを設定します。なお、メールボックス 1~15 は初期状態では送信用となっております (メールボックス 0 は受信のみ)。ソフトウェアリセットではメールボックス送信 / 受信の設定は初期化されません。

(a) 送信用に設定

送信用メールボックスの設定 (メールボックス 1~15)

メールボックスコンフィギュレジスタ (MBCR) の対応するメールボックスを 0 に設定することで指定のメールボックスを送信用にします。

なお、リセット後初期設定でメールボックスは送信用となるため設定は不要です。

(b) 受信用に設定

送信 / 受信メールボックスの設定 (メールボックス 1~15)

メールボックスコンフィギュレジスタ (MBCR) の対応するメールボックスに 1 をセットすることで指定のメールボックスを受信用に設定します。

なお、受信用に設定する場合、メッセージ送信効率向上のために優先順位の高いメッセージをメールボックスの昇順 (優先順位: メールボックス 1 > メールボックス 15) に設定するようにしてください。

(c) 受信専用メールボックス (メールボックス 0)

設定は不要です。常時受信用となっております。

(5) メールボックス (メッセージコントロール/データ (MCx[x],MDx[x])) の初期設定

電源供給後はレジスタおよびメールボックスすべて(メッセージコントロール/データ、コントロールレジスタ、ステータスレジスタ等)が初期化されます。メッセージコントロール/データ (MCx[x],MDx[x]) だけは RAM であるため値は不定となります。したがってメールボックス内の値をすべて初期設定 (0 または 1 書き込み) してください。

(6) メッセージ送信方式の設定

メッセージの送信には 2 通りの送信方式があります。送信方式の設定はマスタコントロールレジスタ (MCR) のメッセージ送信方式ビット (MCR2) で行います。

- (a) メールボックス番号の優先順位により送信の順番を決定
- (b) メッセージ Identifier の優先順位により送信の順番を決定

(a) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にするとメールボックス番号の昇順 (優先順位: メールボックス 1>15) でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

(b) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にすると内部アービトレーションを行い、メッセージの Identifier (MCx[5]~[8]) に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納します。

15.3.3 送信モード

メッセージの送信はメールボックス 1~15 を用いて行います。送信方法は下記の手順で行います。図 15.7 に送信時のフローチャートを示します。

(1) 初期設定 (ハードウェアリセット後のみ)

- インタラプトレジスタ (IRR) の IRR0 ビットのクリア
- HCAN 端子のポート設定
- ビットレートの設定
- メールボックス送信 / 受信の設定
- メールボックスの初期設定
- メッセージ送信方式の設定

(2) 割り込みおよび送信データの設定

- 割り込みの設定
- アービトレーションフィールドの設定
- コントロールフィールドの設定
- データフィールドの設定

(3) メッセージ送信および割り込み

- メッセージ送信待ち
- メッセージ送信完了および割り込み
- メッセージ送信取り消し
- メッセージの再送信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィギュレーションモードのときに行ってください。

(a) IRR0 をクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することでただちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) HCAN 端子のポート設定

CAN バスデータの誤認識を避けるために初めに HCAN 端子のポートを設定してください。詳しくは、「15.3.2(2) HCAN 端子ポート設定」および「18. ピンファンクションコントローラ」を参照してください。

(c) ビットレートの設定

CAN バスでの通信速度および Re-Synchronization に関する値を設定してください。詳しくは、「15.3.2(3) ビットレートの設定」を参照してください。

(d) メールボックス送信 / 受信の設定

メールボックスの送信 / 受信のあらかじめ設定して使用します。送信用に設定可能なメールボックスは HCAN0, HCAN1 に各 1 ~ 15 の合計 30 本あります。送信に設定する場合はメールボックスコンフィグレジスタ (MBCR) の対応するビットを 0 に設定してください。詳しくは、「15.3.2(4) メールボックス送信 / 受信の設定」を参照してください。

(e) メールボックスの初期設定

メッセージコントロール / データ (MCx[x], MDx[x]) は RAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに 0 または 1 の値を書き込んでください。詳しくは、「15.3.2(5) メールボックス (メッセージコントロール / データ (MCx[x], MDx[x])) の初期設定」を参照してください。

(f) メッセージ送信方式の設定

送信に設定したメールボックスの送信方式を設定します。送信方式として 2 種類あります。詳しくは、「15.3.2(6) メッセージ送信方式の設定」を参照してください。

- メッセージ Identifier の優先順位により送信の順番を決定
- メールボックス番号の優先順位により送信の順番を決定

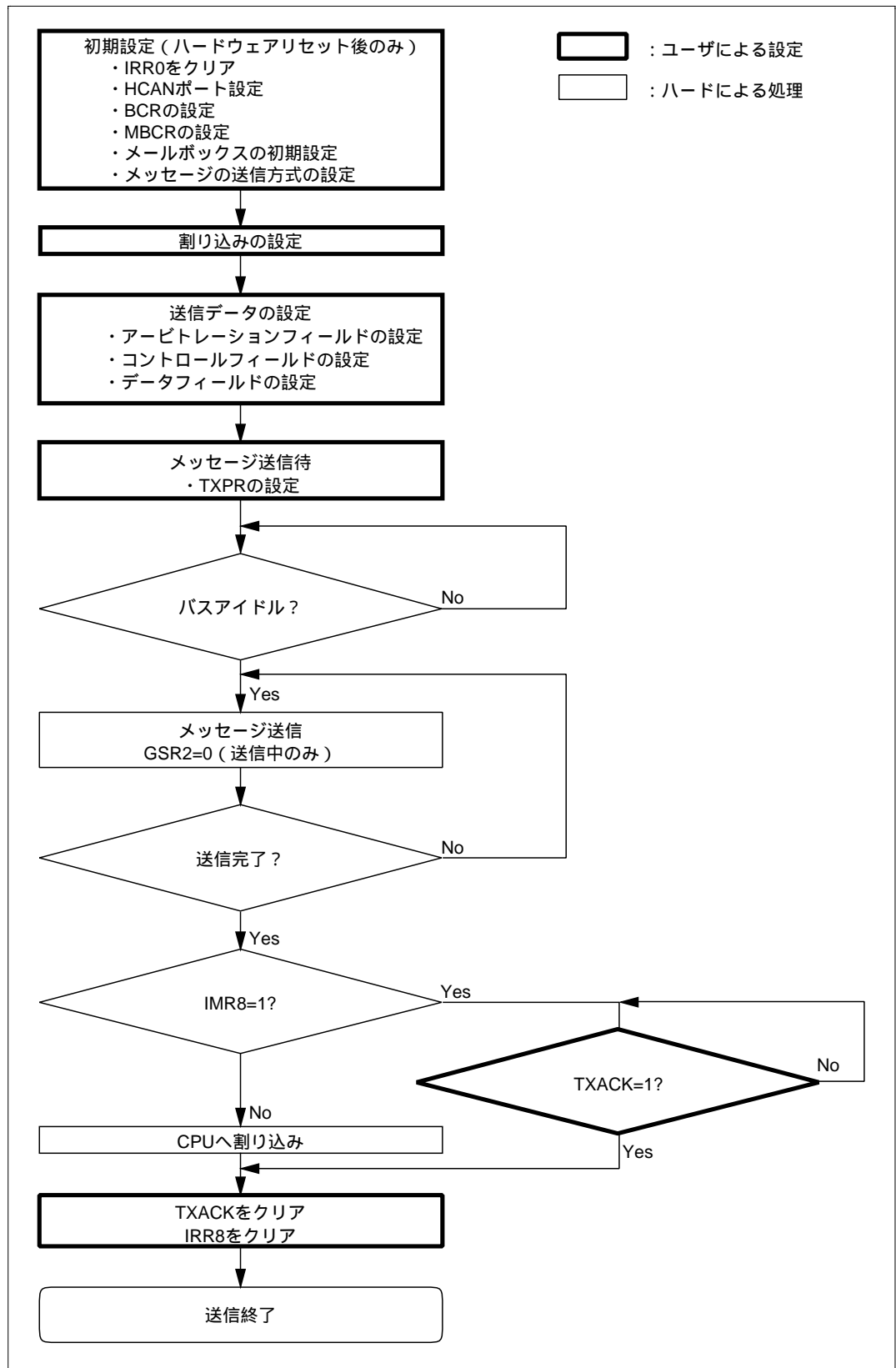


図 15.7 送信時のフローチャート

(2) 割り込みおよび送信データの設定

メールボックスの初期設定が終了すると次に CPU への割り込み要因の設定および送信するデータを設定します。割り込み要因の設定はメールボックスのメールボックスインタラプトマスクレジスタ (MBIMR)、インタラプトマスクレジスタ (IMR) で行い、送信データの設定は対応するメッセージコントロール (MCx[1]~[8]) およびメッセージデータ (MDx[1]~[8]) に下記の (b)(c)(d) のうち必要なデータを書き込みます。

(a) CPU への割り込み要因の設定

メールボックスインタラプトレジスタ (MBIMR) で各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) でインタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールド

アービトレーションフィールドでは、11 ビットの Identifier (STD_ID0~10) と RTR ビット (スタンダードフォーマット) または 29 ビットの Identifier (STD_ID0~10,EXT_ID0~17) と IDE,RTR ビット (エクステンデッドフォーマット) を設定します。設定するレジスタは MCx[5]~[8] です。

(c) コントロールフィールド

コントロールフィールドでは、送信するデータのバイト長を DLC0~3 に設定します。設定するレジスタは MCx[1] です。

(d) データフィールド

データフィールドでは、送信するデータを任意に 0~8 バイトの範囲でバイト単位で設定します。設定するレジスタは MDx[1]~[8] です。

なお、実際に送信されるデータのバイト数はコントロールフィールド内のデータ長コード (DLC) 値に依存します。データフィールドに DLC に設定している値より多く設定しても実際送信されるのは DLC のバイト数のみです。

(3) メッセージ送信および割り込み

(a) メッセージ送信待ち

メッセージコントロール (MCx[1]~[8])、メッセージデータ (MDx[1]1~[8]) の設定終了後メッセージ送信する場合は送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビット (TXPR1~15) を 1 にセットすることで送信開始されます。メッセージの送信には 2 通りの送信方式があります。

(1) メッセージ Identifier の優先順位により送信の順番を決定

(2) メールボックス番号の優先順位により送信の順番を決定

(1) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にするとメールボックス番号の昇順 (優先順位: メールボックス 1>15) でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

(2) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にすると内部アービトレーションを行い、メッセージの Identifier (MCx[5]~[8]) に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納し、同様に CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。

(b) メッセージ送信完了および割り込み

上記の手順でメッセージが正常に送信されると、送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビット (TXACK1~15) と送信待ちレジスタ (TXPR) の送信待ちビット (TXPR1~15) が自動的に初期化されます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると CPU への割り込みを発生することができます。

(c) メッセージ送信取り消し

メールボックスに送信待ちとして格納されたメッセージに対して、送信取り消しを指定することが可能です。送信待ちメッセージを取り消すためには送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビット (TXCR1~15) を 1 にセットします。取り消しが行われると自動的に送信待ちレジスタ (TXPR) をリセットし、取り消しアキュレージレジスタ (ABACK) の対応するビットが 1 にセットされます。CPU への割り込みを発生することができます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

- ・内部アービトレーションおよびCANバスアービトレーション期間中
- ・データフレーム、リモートフレーム送信中

また、送信待ちレジスタ (TXPR) をクリアしても送信取り消しはできません。図 15.5 に送信メッセージの取り消しフローチャートを示します。

(d) メッセージの再送信

送信メッセージが下記条件で送信を中断すると自動的にメッセージの再送信が行われます。

- ・CANバスアービトレーション負け (バス権獲得に失敗)
- ・送信中のエラー (ビットエラー、スタッフエラー、CRCエラー、フレームエラー、ACKエラー)

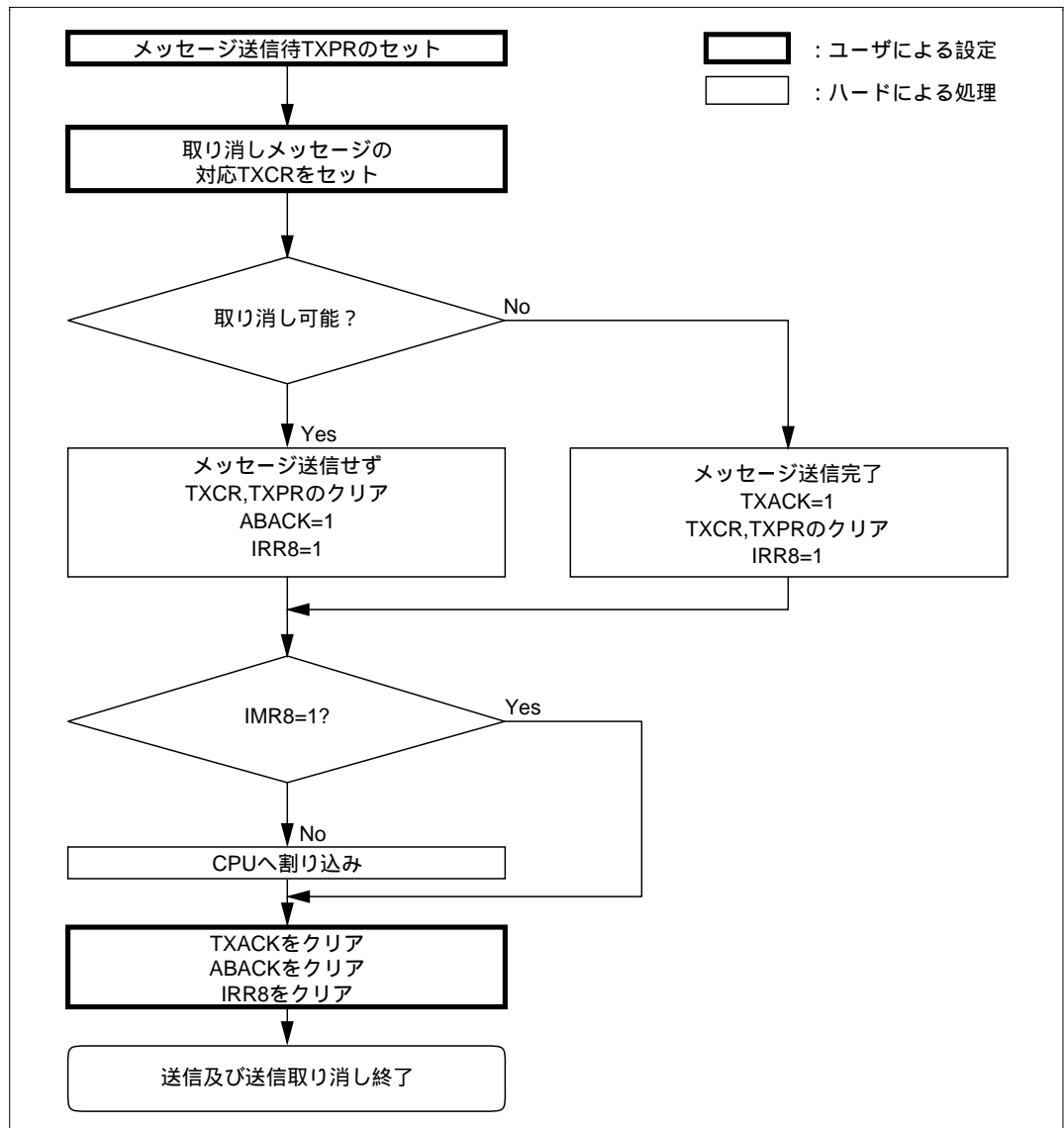


図 15.8 送信メッセージの取り消しのフローチャート

15.3.4 受信モード

メッセージの受信はメールボックス0~15を用いて行います。受信方法は下記の手順で行います。図 15.9 に受信時のフローチャートを示します。

(1) 初期設定 (ハードウェアリセット後のみ)

- インタラプトレジスタ (IRR) の IRR0 ビットのクリア
- HCAN 端子のポート設定
- ビットレートの設定
- メールボックス送信 / 受信の設定
- メールボックスの初期設定

(2) 割り込みおよび受信メッセージの設定

- 割り込みの設定
- アービトレーションフィールドの設定
- ローカルアクセプタンスマスクフィルタ (LAFM) の設定

(3) メッセージ受信および割り込み

- メッセージ受信の CRC チェック
- データフレーム受信
- リモートフレーム受信
- 未読メッセージ受信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィギュレーションモードのときに行ってください。

(a) IRR0 をクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することでただちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) HCAN 端子のポート設定

CAN バスデータの誤認識を避けるために初めに HCAN 端子のポートを設定してください。詳しくは、「15.3.2(2) HCAN 端子ポート設定」および「18. ピンファンクションコントローラ」を参照してください。

(c) ビットレートの設定

CAN バスでの通信速度および Re-Synchronization に関する値を設定してください。詳しくは、「15.3.2(3) ビットレートの設定」を参照してください。

(d) メールボックス送信 / 受信の設定

各チャンネルのメールボックス 0 は受信専用であり、その他受信用に設定可能なメールボックスは各チャンネル 15 の合計 32 本です。受信用に設定する場合はメールボックスコンフィギュレーションレジスタ (MBCR) の対応するビットを 1 に設定してください。なお、メールボックスの初期値は 0 の送信用となっております。

詳しくは、「15.3.2(4) メールボックス送信 / 受信の設定」を参照してください。

(e) メールボックスの初期設定

メッセージコントロール / データ (MCx[x], MDx[x]) は RAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに 0 または 1 の値を書き込んでください。詳しくは、「15.3.2(5) メールボックス (メッセージコントロール / データ (MCx[x], MDx[x])) の初期設定」を参照してください。

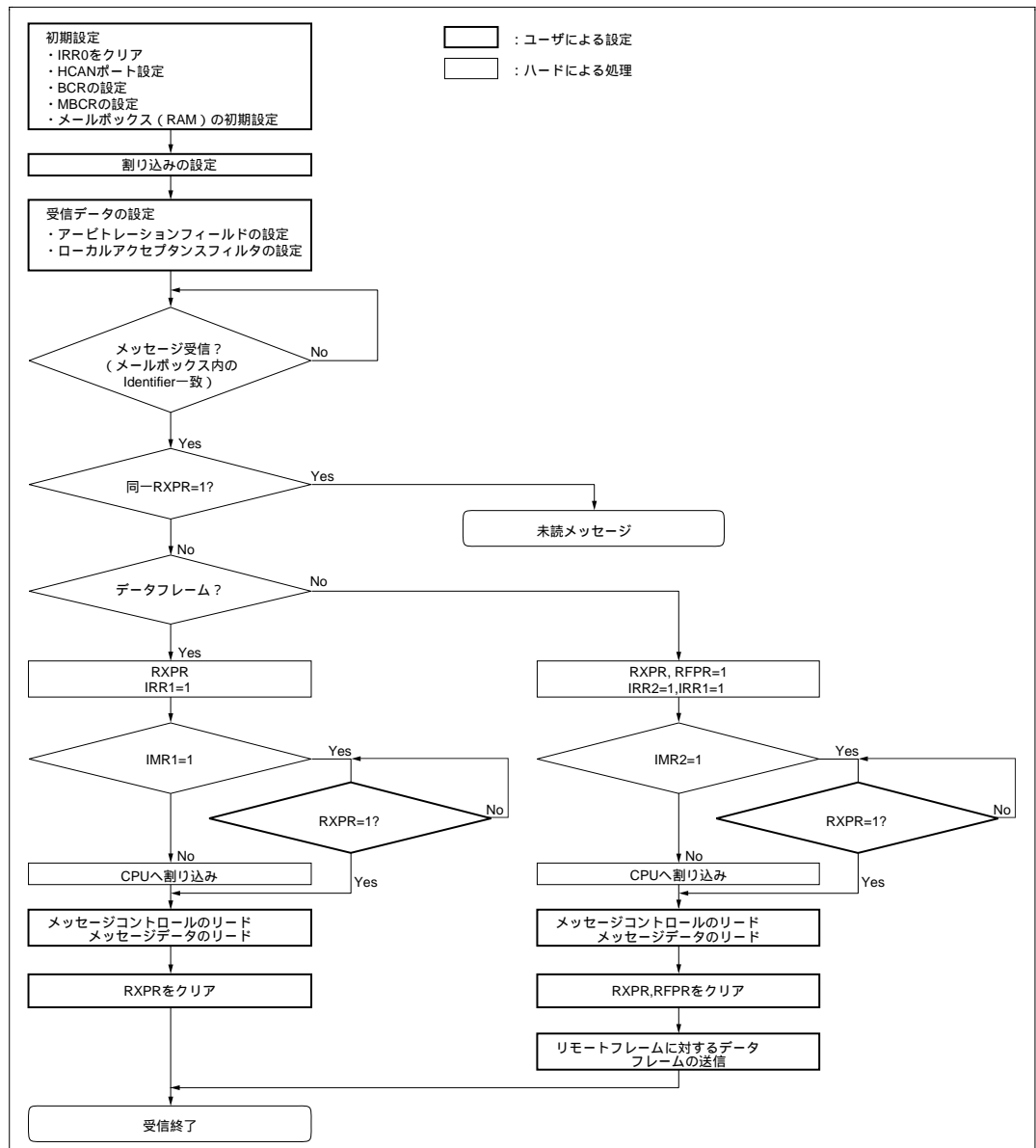


図 15.9 受信時のフローチャート

(2) 割り込みおよび受信メッセージの設定

メールボックスの初期設定が終了すると、次に CPU への割り込み要因の設定および受信するメッセージの指定を設定します。割り込み要因は、メールボックスのメールボックスインタラプトマスクレジスタ (MBIMR)、インタラプトマスクレジスタ (IMR) で設定します。メッセージを受信するためには、あらかじめ受信するメールボックスのメッセージコントロール (MCx[1]~[8]) 内の Identifier を設定する必要があります。メッセージを受信すると受信メッセージの Identifier のビットをすべて比較し 100%一致すると一致したメールボックスに格納します。ただし、メールボックス 0 (MC0[x], MD0[x]) は Don't Care を設定できるローカルアクセプタンスマスクフィルタ (LAFM) が設けてあります。

(a) CPU への割り込み要因の設定

メールボックスインタラプトマスクレジスタ (MBIMR) で、各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。また、受信用の場合は、データフレーム、リモートフレーム受信待ちの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) で、インタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールドの設定

アービトレーションフィールドには受信するメッセージの Identifier (STD_ID0~10, EXT_ID0~17) を設定します。設定した Identifier の全ビットが一致しないとメールボックスには格納されません。

例：

```
メールボックス 1   010_1010_1010   (スタンダード Identifier)
MB1 に受信可能なメッセージ Identifier は 1 種類のみ
Identifier 1 :      010_1010_1010
```

(c) ローカルアクセプタンスマスクフィルタ (LAFM) の設定

ローカルアクセプタンスマスクフィルタはメールボックス 0 (MC0[x], MD0[x]) のみ対応しており、受信する Identifier 全ビットに対して Don't Care の指定をすることができます。したがって、複数種類のメッセージを受信することが可能です。

例：

```
メールボックス 0   010_1010_1010   (スタンダード Identifier)
LAFM                000_0000_0011   (0 : Care, 1 : Don't Care)
MB0 に受信可能なメッセージ Identifier は合計 4 種類
Identifier 1 :      010_1010_1000
Identifier 2 :      010_1010_1001
Identifier 3 :      010_1010_1010
```

Identifier 4 : 010_1010_1011

(3) メッセージ受信および割り込み

(a) メッセージ受信の CRC チェック

メッセージを受信すると自動 (ハードウェア) で CRC チェックを行います。CRC チェックの結果正常であれば、メッセージの受信可否に関わらず ACK を ACK フィールドで送信します。

(b) データフレーム受信

受信したメッセージが CRC チェック等でエラーの無いことが確認されると、受信に設定されているメールボックス内の Identifier および LAFM (メールボックス 0 のみ) と受信メッセージの Identifier を比較し、完全に一致すれば一致したメールボックスに格納されます。メッセージ Identifier の比較はメールボックス 0 から開始し、メールボックス 15 まで順次 1 メールボックスずつ比較します。完全に一致したメッセージがあればその時点で比較を終了しメールボックス内に格納し、受信完了レジスタ (RXPR) の対応する受信完了ビット (RXPR0~15) がセットされます。ただし、メールボックス 0 の LAFM と比較をして Identifier が一致してもメールボックスの比較は終了せず、引き続きメールボックス 1 以降と比較します。したがって、メールボックス 0 と同一メッセージを他のメールボックスで受信することができます (メールボックス 1~15 で 2 つ以上の同一メッセージを格納はできません)。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0~15) とインタラプトマスクレジスタ (IMR) の受信メッセージ割り込みマスク (IMR1) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(c) リモートフレーム受信

メールボックスにはデータフレーム、リモートフレームの 2 種類のメッセージを格納することができます。データフレームとリモートフレームの相違点は、メッセージコントロール (MC[x]5) のリモートトランスミッションリクエストビット (RTR) と、データフィールドの内容が 0 バイトの 2 点です。コントロールフィールドのデータ長コード (DLC) には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム (RTR=レセッシブ) を受信すると、リモートリクエスト待ちレジスタ (RFPR) の対応するビットがセットされます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0~15) と、インタラプトマスクレジスタ (IMR) のリモートフレームリクエスト割り込みマスク (IRR2) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(d) 未読メッセージ受信

受信したメッセージはメールボックス内の Identifier と一致すると、メールボックスに格納されます。このとき、CPU が読み出しを行う前にメッセージのオーバーライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビット (UMSR0~15) がセットされます。未読状態でのオーバーライトは、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信すると、未読メッセージレジスタ (UMSR) をセットします。また同時に、インタラプトマスクレジスタ (IMR) の未読割り込みフラグ (IRR9) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。図 15.10 に未読メッセージオーバーライトのフローチャートを示します。

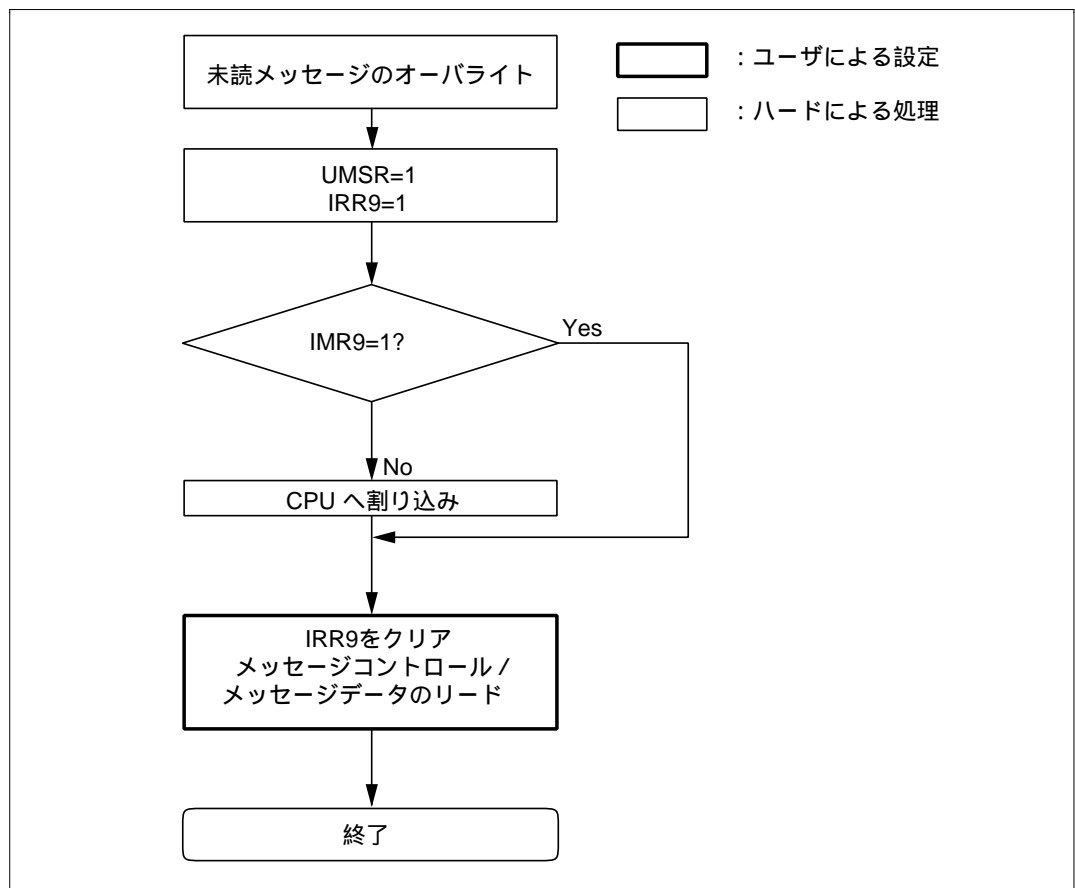


図 15.10 未読メッセージオーバーライトのフローチャート

15.3.5 HCAN スリープモード

HCAN には、消費電流を低減するために HCAN モジュールをスリープ状態にする HCAN スリープモードがあります。図 15.11 に HCAN スリープモードのフローチャートを示します。

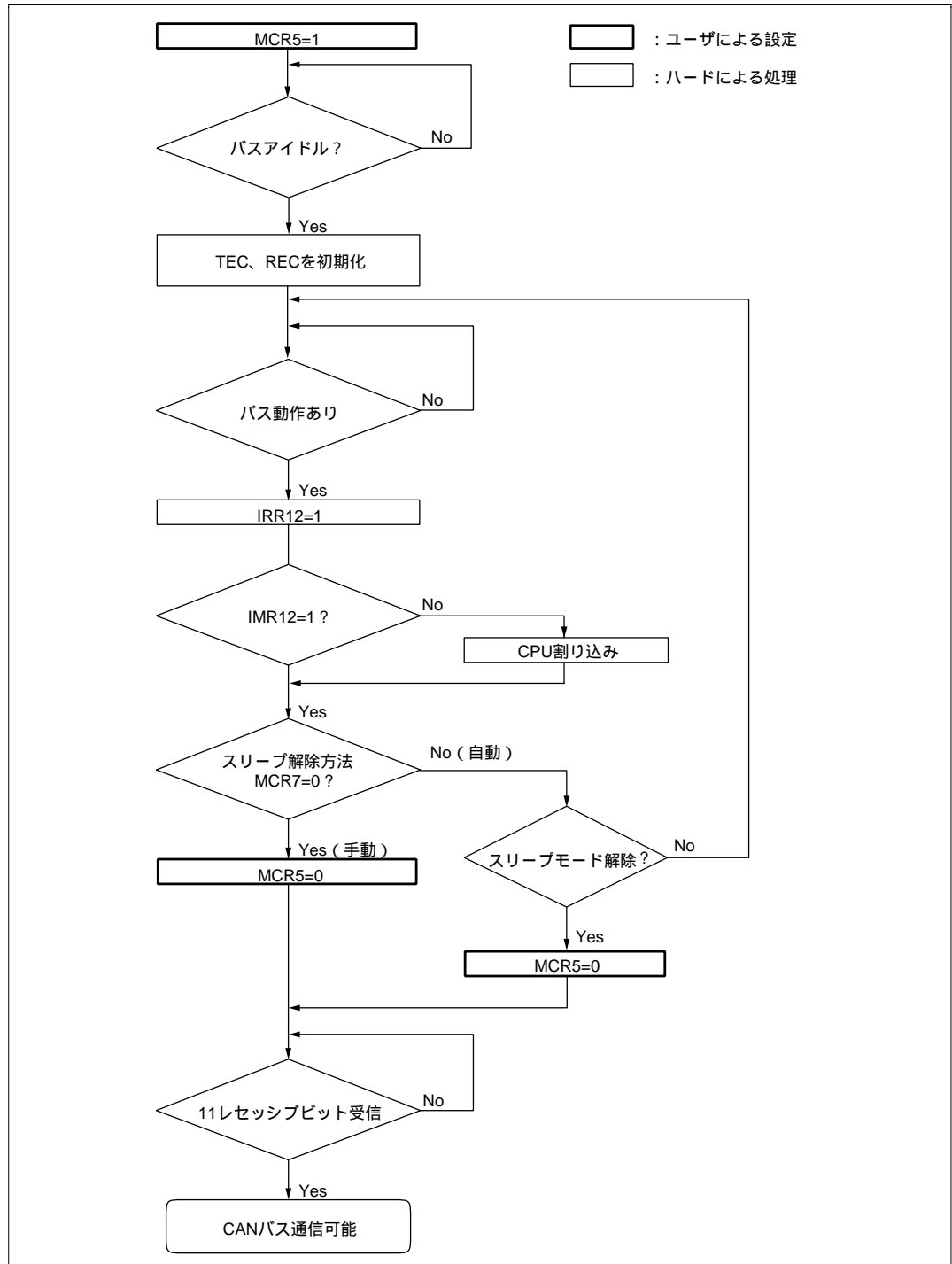


図 15.11 HCAN スリープモードのフローチャート

HCAN スリープモードへ遷移するにはマスタコントロールレジスタ (MCR) の HCAN スリープモードビット (MCR5) を 1 に設定します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN スリープモードに遷移します。

HCAN スリープモードからの解除方法は 2 種類あります。解除方法の選択は MCR7 ビットにより設定します。

(1) ソフトウェアによる解除

(2) CAN バス動作による解除

なお、HCAN スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセッシブビットの受信が必要です。

(1) ソフトウェアによる解除

CPU により MCR5 へ 0 を書き込んでください。

(2) CAN バス動作による解除

CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的に行います。CAN バスから HCAN スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

15.3.6 HCAN HALT モード

HCAN HALT モードはHCANのハードウェアリセット、ソフトウェアリセットを行わずメールボックスの設定を変更するためのモードです。図 15.12 に HCAN HALT モードのフローチャートを示します。

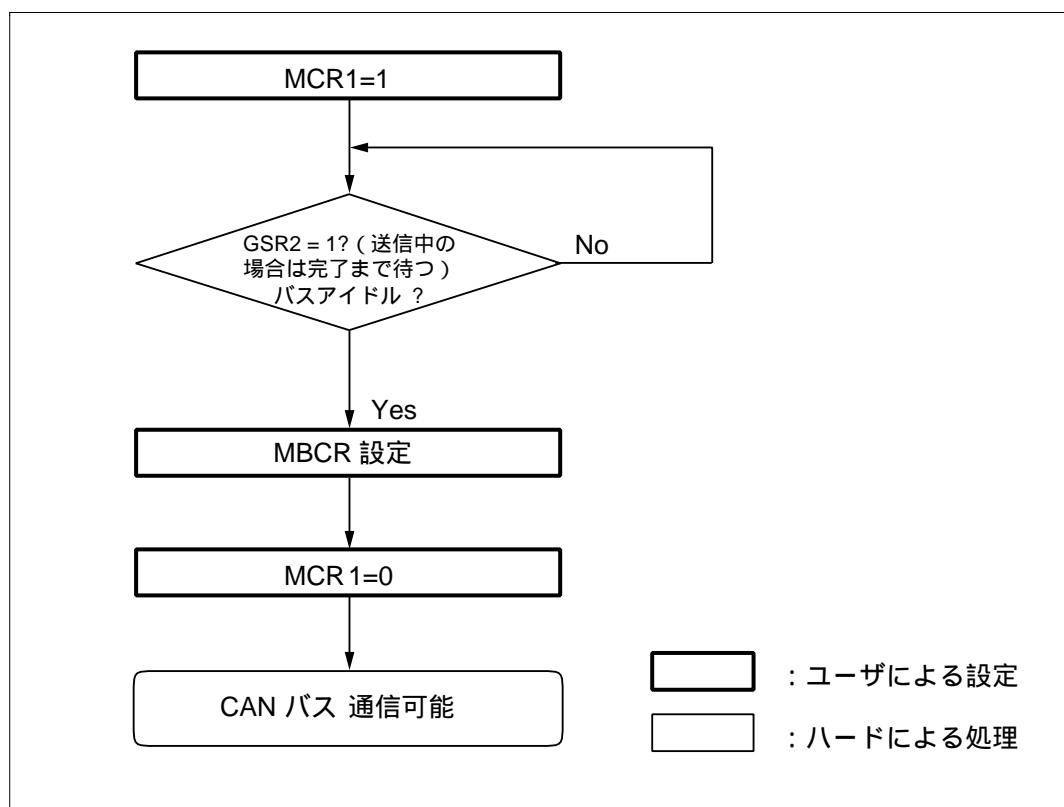


図 15.12 HCAN HALT モードのフローチャート

HCAN HALT モードはマスタコントロールレジスタ (MCR) の HALT リクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときはバスアイドルになるまで待ってから HCAN HALT モードに遷移します。

HCAN HALT モードからの解除は、MCR1 を 0 に設定することで行います。

15.3.7 割り込みインタフェース

HCAN の割り込み要因は各チャンネル 12 本あります。また、各チャンネルに対して 4 本の独立割り込みベクタが割り当てられています。表 15.5 に HCAN の割り込み要因を示します。

これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除きマスクすることができます。マスクはメールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。

図 15.5 HCAN の割り込み要因

モジュール	IPR ビット	ベクタ	ベクタ番号	IRR ビット	説明
HCAN	IPRL(11~8) (初期値)	ERS	220	IRR5	エラーパッシブ割り込み (TEC 128 または REC 128)
				IRR6	バスオフ割り込み (TEC 256)
		OVR	221	IRR0	パワーオンリセットによるリセット処理割り込み
				IRR2	リモートフレーム受信割り込み
				IRR3	エラーワーニング割り込み (TEC 96)
				IRR4	エラーワーニング割り込み (REC 96)
				IRR7	オーバーロードフレーム送信割り込み / バスオフからの復帰割り込み (11bit レセッシブ x128 回)
				IRR9	未読メッセージのオーバーライト割り込み
		RM	222	IRR1	メールボックス 0 にメッセージ受信割り込み
				IRR1	メールボックス 1~15 にメッセージ受信割り込み
		SLE	223	IRR8	メッセージ送信 / 取り消し割り込み

15.3.8 DMAC インタフェース

HCAN のメールボックス0 にメッセージを受信すると DMAC を起動することができます。なお、DMAC 起動を設定し DMAC による転送が終了すると自動的に RXPR0 と RFPR0 のフラグはクリアされます。このとき、HCAN からの受信割り込みで CPU への割り込みは発生しません。図 15.13 に DMAC の転送フローチャートを示します。

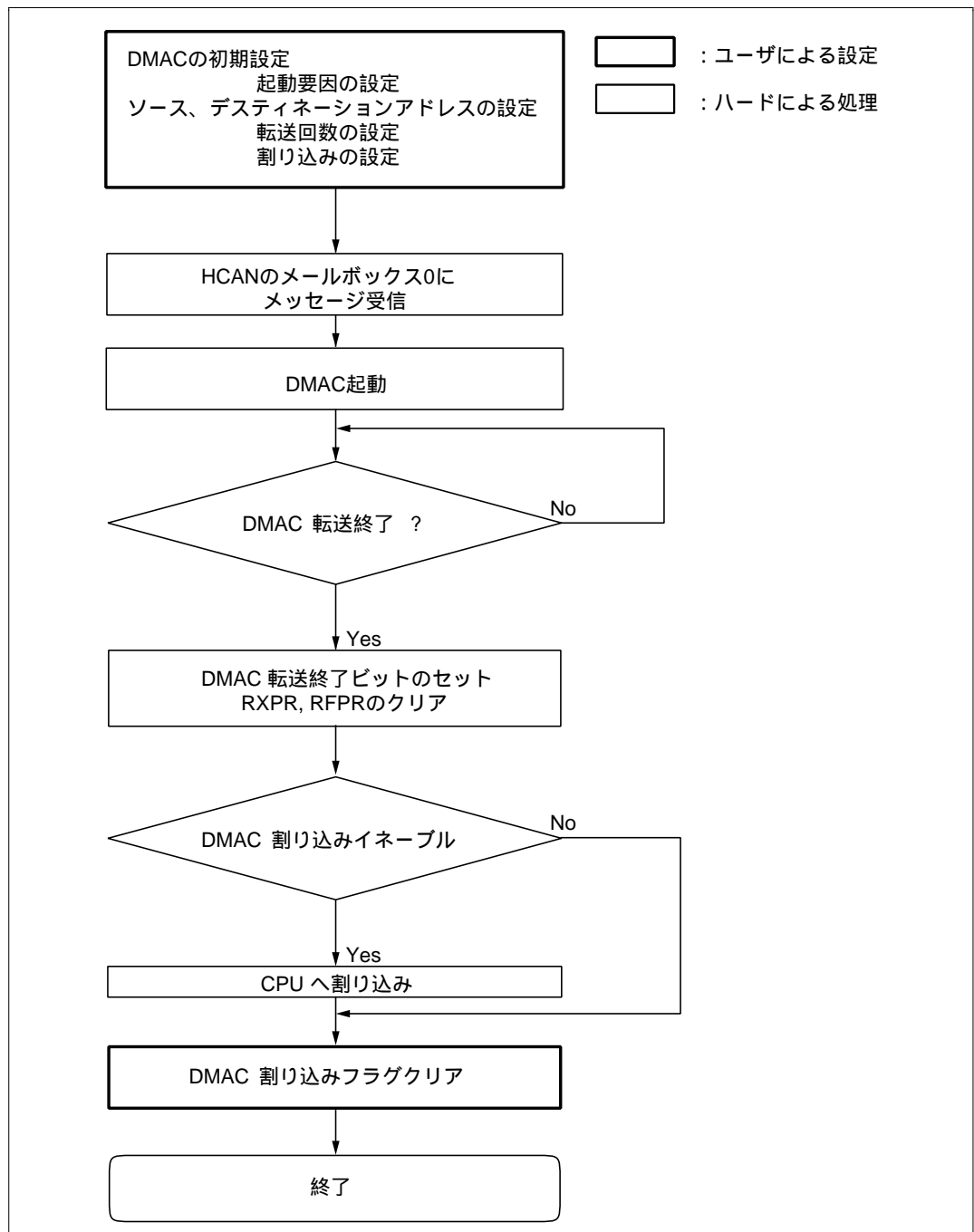


図 15.13 DMAC の転送フローチャート

15.4 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は Philips 社 PCA82C250 デバイスを推奨します。PCA82C250 以外の製品を使用する場合は、PCA82C250 とコンパチブルな製品を使用してください。図 15.14 に接続例を示します。

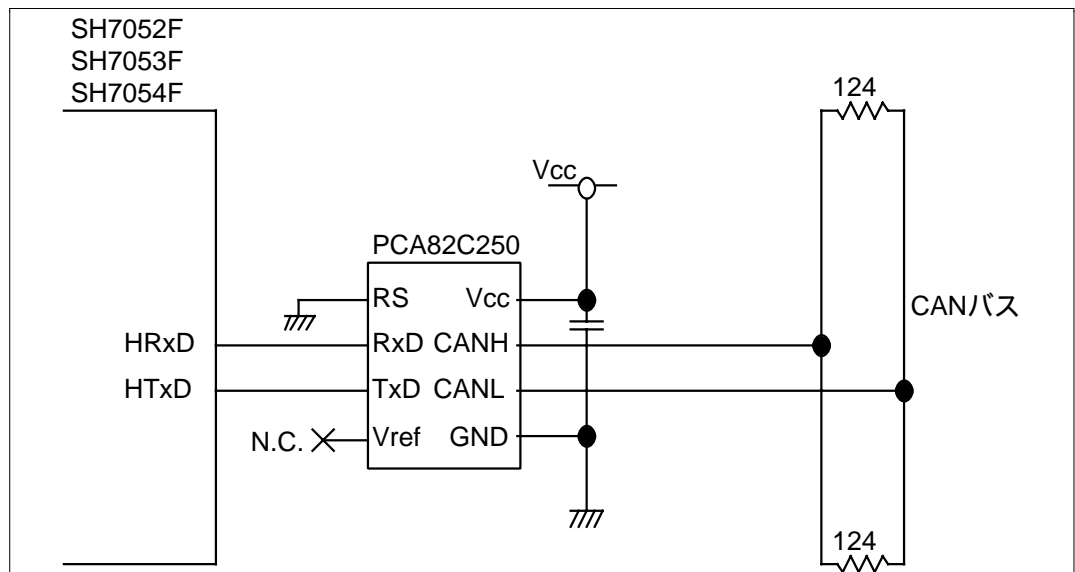


図 15.14 PCA82C250 を用いた高速インタフェース例

15.5 使用上の注意

(1) リセット

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイにより HCAN はリセットされます。このときレジスタはすべて初期化されますが、メールボックス(メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化されません。しかし、電源投入後メールボックス(メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化され不定値になります。したがって、パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイ後は、必ずメールボックスを初期化してください。

また、パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN の割り込み許可に設定すると、ただちに HCAN の割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

(2) HCAN スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は、HCAN スリープモード中の CAN バス動作によってセットされます。したがって、HCAN がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN スリープモード中もセットされます。

(3) ポート設定

HCAN を CAN バス通信を行う前に必ず PFC によってポート設定を行ってください。

HCAN 端子 2 本を 2 チャンネルで 32 バッファ (Wired AND) として使用する場合は必ず HCAN 端子を 2 箇所は HCAN 以外に設定してください。

(4) DMAC 起動

HCAN メールボックス 0 (受信専用) のメッセージ受信により DMAC を自動的に起動した場合、INTC への信号は発生しません。

(5) 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しでインタラプトレジスタ (IRR8.2.1) はセットされません。

(6) エラーカウンタ

エラーアクティブ、エラーパッシブでは REC, TEC は通常にカウントアップ、カウントダウンをします。バスオフ中は 11 レセッシブビットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされ、REC=128 になると IRR7 がセットされます。

(7) レジスタアクセス

HCAN のすべてのレジスタはバイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

(8) スタンバイ時のレジスタ保持

HCAN はハードウェアスタンバイおよびソフトウェアスタンバイ時には、すべてのレジスタが初期化されます。

16. A/D 変換器

第 16 章 目次

16.1	概要.....	609
16.1.1	特長.....	609
16.1.2	ブロック図.....	611
16.1.3	端子構成.....	612
16.1.4	レジスタ構成.....	614
16.2	レジスタの説明.....	615
16.2.1	A/D データレジスタ 0 ~ 15 (ADDR0 ~ 15)	615
16.2.2	A/D コントロールステータスレジスタ 0 (ADCSR0)	616
16.2.3	A/D コントロールレジスタ 0、1 (ADCR0、1)	620
16.2.4	A/D コントロールステータスレジスタ 1 (ADCSR1)	623
16.2.5	A/D トリガレジスタ 0、1 (ADTRGR0、1)	626
16.3	CPU とのインタフェース.....	627
16.4	動作説明.....	628
16.4.1	単一モード.....	628
16.4.2	スキャンモード.....	630
16.4.3	アナログ入力のサンプリングと A/D 変換時間.....	634
16.4.4	外部トリガによる A/D 変換器の起動.....	635
16.4.5	ATU-II による A/D 変換器の起動.....	635
16.5	割り込み要因と DMA 転送要求.....	636
16.6	使用上の注意.....	637
16.6.1	A/D 変換精度の定義.....	639

16.1 概要

本 LSI は、逐次比較方式の 10 ビット A/D 変換器を内蔵しています。

A/D 変換器は、ソフトウェアにより最大 16 チャンネルのアナログ入力を選択ができます。

A/D 変換器は、独立した 2 つのモジュール (A/D0、A/D1) より構成されています。さらに A/D0 は 3 つのグループ、A/D1 は 1 つのグループで構成されています。

モジュール	アナロググループ	チャンネル
A/D0	アナロググループ 0	AN0 ~ 3
	アナロググループ 1	AN4 ~ 7
	アナロググループ 2	AN8 ~ 11
A/D1	アナロググループ 3	AN12 ~ 15

16.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル 16 チャンネル (A/D0 : 12 チャンネル、A/D1 : 4 チャンネル)

高速変換

変換時間 : 1 チャンネルあたり最小 13.4 μ s (= 40MHz 動作時)

2 種類の変換モード

- ・単一モード : 1 チャンネルの A/D 変換
- ・スキャンモード : 連続スキャンモード、1 サイクルスキャンモード (AN0 ~ 3、AN4 ~ 7、AN8 ~ 11、AN12 ~ 15)
 - 1 ~ 12 チャンネルの連続 A/D 変換 (A/D0)
 - 1 ~ 4 チャンネルの連続 A/D 変換 (A/D1)

16 本の 10 ビット A/D データレジスタ

16 本の 10 ビット A/D データレジスタがあります。A/D 変換した結果は、各チャンネルに対応した A/D データレジスタに転送され、保持されます。

サンプル&ホールド機能内蔵 (2 個)

サンプル&ホールド回路を各々の A/D 変換器 (A/D0、A/D1) に内蔵していますので、外部アナログ入力回路が簡単に構成できます。

A/D 変換割り込みと DMA 機能をサポート

A/D 変換終了時に、CPU に対して A/D 変換割り込み要求 (ADI) を発生することができます。(ADI0 : A/D0 の割り込み要求、ADI1 : A/D1 の割り込み要求)

また、ADI で DMAC の起動ができます。

2 種類の変換の開始

- ・ソフトウェア / 外部トリガ ($\overline{\text{ADTGR0}}$ 、ATU-II(ITVRR2A)) の選択が可能 (A/D0)
- ・ソフトウェア / 外部トリガ ($\overline{\text{ADTGR0}}$ 、ATU-II(ITVRR2B)) の選択が可能 (A/D1)

16.1.2 ブロック図

図 16.1 に A/D 変換器のブロック図を示します。

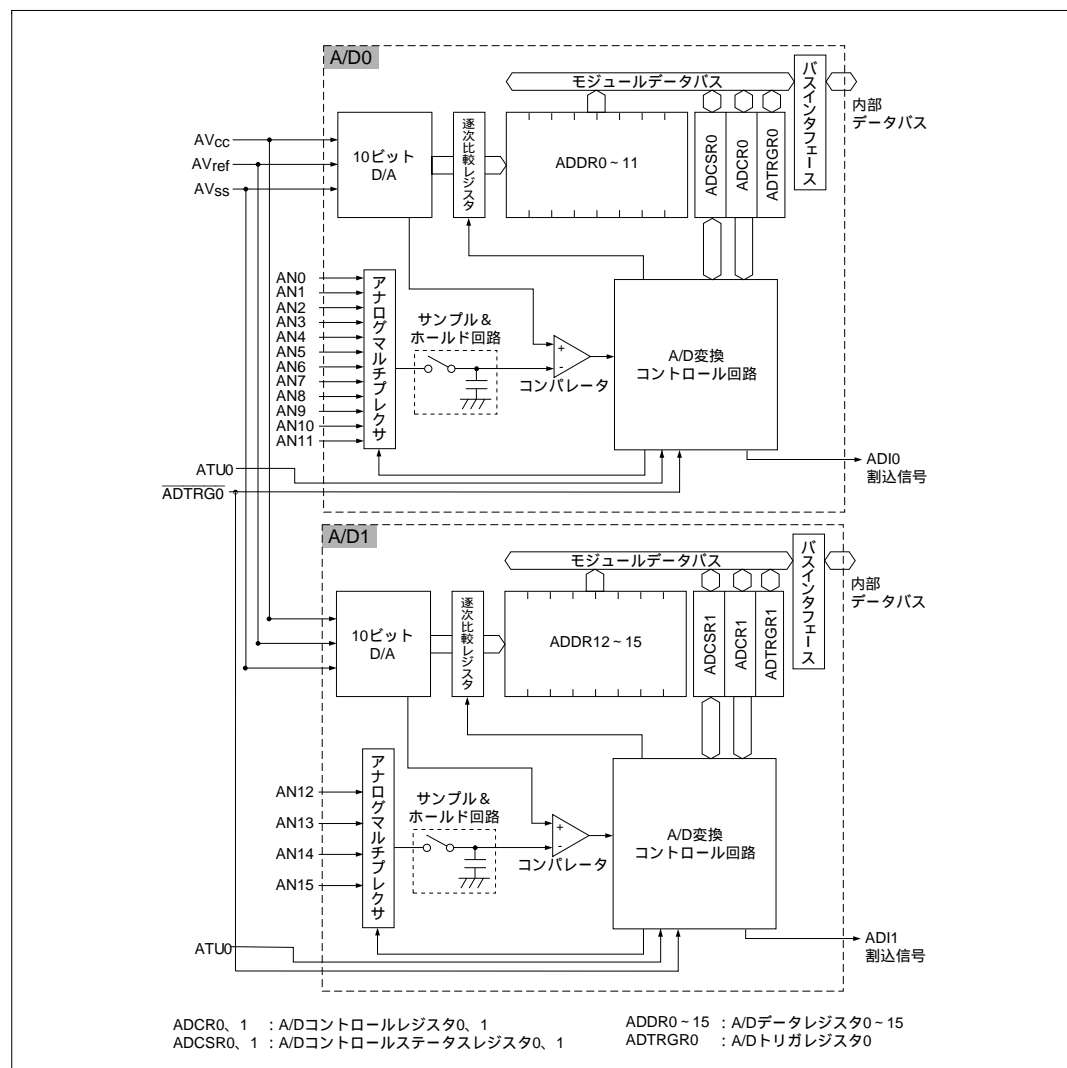


図 16.1 A/D 変換器のブロック図

16.1.3 端子構成

表 16.1 に A/D 変換器の入力端子の構成を示します。

アナログ入力端子は AN0 ~ AN15 の 16 本あります。AN0 ~ AN11 の 12 本は A/D0 のアナログ入力です。この 12 本のアナログ入力は、AN0 ~ AN3 (グループ 0)、AN4 ~ AN7 (グループ 1)、AN8 ~ AN11 (グループ 2) の 3 グループに分類されます。AN12 ~ AN15 の 4 本は A/D1 のアナログ入力です。AN12 ~ AN15 (グループ 3) のグループに分類されます。

$\overline{\text{ADTRG0}}$ 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。 $\overline{\text{ADTRG0}}$ 端子に Low レベルを印加すると、A/D0、1 は A/D 変換を開始します。

AV_{CC} 、 AV_{SS} 端子は、A/D0、1 変換器内のアナログ部の電源電圧です。 AV_{ref} 端子は、A/D0、1 変換の基準電圧端子です。

なお、LSI の信頼性確保のため、 AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は、通常動作時は、 $\text{AV}_{\text{CC}} = 5\text{V} \pm 0.5\text{V}$ 、 $\text{AV}_{\text{SS}} = \text{V}_{\text{SS}}$ とし、さらに、A/D 変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

また、アナログ入力端子に印加する電圧は AV_{SS} ~ AV_{ref} の範囲としてください。

表 16.1 A/D 変換器の端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	A/D0、1 のアナログ部の電源
アナロググランド端子	AV_{SS}	入力	A/D0、1 のアナログ部のグランドおよび基準電圧
アナログリファレンス電源端子	AV_{ref}	入力	A/D0、1 のアナログ部の基準電圧
アナログ入力端子 0	AN0	入力	A/D0 のアナログ入力端子 0~3 (アナロググループ 0)
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	A/D0 のアナログ入力端子 4~7 (アナロググループ 1)
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	A/D0 のアナログ入力端子 8~11 (アナロググループ 2)
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	A/D1 のアナログ入力端子 12~15 (アナロググループ 3)
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 変換トリガ入力端子 0	$\overline{ADTRG0}$	入力	A/D0、1 の A/D 変換トリガ入力端子

16.1.4 レジスタ構成

表 16.2 に A/D 変換器のレジスタ構成を示します。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ* ¹
A/D データレジスタ 0 (H/L)	ADDR0 (H/L)	R	H'0000	H'FFFFFF800	8、16
A/D データレジスタ 1 (H/L)	ADDR1 (H/L)	R	H'0000	H'FFFFFF802	8、16
A/D データレジスタ 2 (H/L)	ADDR2 (H/L)	R	H'0000	H'FFFFFF804	8、16
A/D データレジスタ 3 (H/L)	ADDR3 (H/L)	R	H'0000	H'FFFFFF806	8、16
A/D データレジスタ 4 (H/L)	ADDR4 (H/L)	R	H'0000	H'FFFFFF808	8、16
A/D データレジスタ 5 (H/L)	ADDR5 (H/L)	R	H'0000	H'FFFFFF80A	8、16
A/D データレジスタ 6 (H/L)	ADDR6 (H/L)	R	H'0000	H'FFFFFF80C	8、16
A/D データレジスタ 7 (H/L)	ADDR7 (H/L)	R	H'0000	H'FFFFFF80E	8、16
A/D データレジスタ 8 (H/L)	ADDR8 (H/L)	R	H'0000	H'FFFFFF810	8、16
A/D データレジスタ 9 (H/L)	ADDR9 (H/L)	R	H'0000	H'FFFFFF812	8、16
A/D データレジスタ 10 (H/L)	ADDR10 (H/L)	R	H'0000	H'FFFFFF814	8、16
A/D データレジスタ 11 (H/L)	ADDR11 (H/L)	R	H'0000	H'FFFFFF816	8、16
A/D データレジスタ 12 (H/L)	ADDR12 (H/L)	R	H'0000	H'FFFFFF820	8、16
A/D データレジスタ 13 (H/L)	ADDR13 (H/L)	R	H'0000	H'FFFFFF822	8、16
A/D データレジスタ 14 (H/L)	ADDR14 (H/L)	R	H'0000	H'FFFFFF824	8、16
A/D データレジスタ 15 (H/L)	ADDR15 (H/L)	R	H'0000	H'FFFFFF826	8、16
A/D コントロールステータス レジスタ 0	ADCSR0	R/(W)* ²	H'00	H'FFFFFF818	8、16
A/D コントロールレジスタ 0	ADCR0	R/W	H'0F	H'FFFFFF819	8、16
A/D トリガレジスタ 0	ADTRGR0	R/W	H'FF	H'FFFFFF76E	8
A/D コントロールステータス レジスタ 1	ADCSR1	R/(W)* ²	H'00	H'FFFFFF838	8、16
A/D コントロールレジスタ 1	ADCR1	R/W	H'0F	H'FFFFFF839	8、16
A/D トリガレジスタ 1	ADTRGR1	R/W	H'FF	H'FFFFFF72E	8

【注】 レジスタアクセスは、バイトアクセス時 6 または 7 サイクル、ワードアクセス時 12 または 13 サイクルとなります。

*¹ 16 ビットのアクセスはワード境界のみ可能です。

*² ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

16.2 レジスタの説明

16.2.1 A/D データレジスタ 0 ~ 15 (ADDR0 ~ 15)

A/D データレジスタ 0 ~ 15 (ADDR0 ~ 15) はアナログ入力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

アナログ入力 0 ~ 15 (AN0 ~ 15) に対応するレジスタは 16 本あります。

ADDR はパワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0000 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ADDRnH (上位バイト)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
ADDRnL (下位バイト)	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

(n=0~15)

A/D 変換器はアナログ入力を 10 ビットのデジタル値に変換します。この 10 ビットデータのうち、上位 8 ビットが選択されたチャンネルに対応する ADDR の上位バイトに、下位 2 ビットが ADDR の下位バイトにそれぞれ格納されます。ADDR の下位バイトのデータは上位 2 ビットのみが有効です。

表 16.3 にアナログ入力チャンネルと ADDR の対応を示します。

表 16.3 アナログ入力チャンネルと ADDR の対応

アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ
AN0	ADDR0	AN8	ADDR8
AN1	ADDR1	AN9	ADDR9
AN2	ADDR2	AN10	ADDR10
AN3	ADDR3	AN11	ADDR11
AN4	ADDR4	AN12	ADDR12
AN5	ADDR5	AN13	ADDR13
AN6	ADDR6	AN14	ADDR14
AN7	ADDR7	AN15	ADDR15

16.2.2 A/D コントロールステータスレジスタ 0 (ADCSR0)

A/D コントロールステータスレジスタ 0 (ADCSR0) は、A/D0 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR0 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換の終了を示すフラグです。

ビット 7	説明
ADF	
0	A/D0 が A/D 変換実行中、またはアイドル状態であることを示します。(初期値) 【クリア条件】 (1) ADF = 1 の状態を読み出した後、0 を書き込んだとき (2) ADI0 により DMAC が起動されたとき
1	A/D0 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 【セット条件】 (1) 単一モード: A/D 変換終了時 (2) スキャンモード 設定された全てのアナログ変換が終了したとき

単一モードと、スキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。

単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。スキャンモード(連続スキャン)のときには、設定されたすべての変換が終了した後に ADF を 1 にセットし、さらに変換を続けます。例えば、12 チャンネルスキャンの場合、AN8 ~ AN11 (グループ 2) の変換終了直後に ADF が 1 にセットされます。

スキャンモード(1 サイクルスキャン)のときには、設定されたすべてのアナログ変換が終了した後に ADF に 1 をセットし、変換を終了します。

例えば、12 チャンネルスキャンの場合 AN0 ~ AN11 の変換終了直後に ADF が 1 にセットされます。

ビット6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可 / 禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 0 (ADCR0) の ADST が 0 の状態で行ってください。

ビット6	説明	
ADIE		
0	A/D 割り込み (ADI0) の発生を禁止	(初期値)
1	A/D 割り込み (ADI0) の発生を許可	

A/D 変換を終了して ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D0 の A/D 割り込み (ADI0) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI0 のクリアが可能です。

ビット5、4 : A/D モード 1、0 (ADM1、0)

A/D モード 1、0 (ADM1、0) は、A/D 変換を単一モード、4 チャンルスキャンモード、8 チャンルスキャンモード、12 チャンルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 1、0 (ADCR1、0) の ADST が 0 の状態で行ってください。

ビット5	ビット4	説明
ADM1	ADM0	
0	0	単一モード (初期値)
	1	4 チャンルスキャンモード (アナロググループ 0、1、2)
1	0	8 チャンルスキャンモード (アナロググループ 0、1)
	1	12 チャンルスキャンモード (アナロググループ 0、1、2)

ADM1、0 を 00 にセットすると、単一モードになります。単一モードでは、ADCSR の CH3 ~ 0 で選択されたアナログチャンネルを 1 回 A/D 変換して動作終了します。

ADM1、0 を 01 にセットすると、4 チャンネルスキャンモードになります。スキャンモードは、複数チャンネルの A/D 変換を連続して行うモードです。スキャンモードで A/D 変換を行うチャンネルは ADCSR0 の CH3 ~ 0 で設定します。4 チャンネルスキャンモードでは、アナロググループ 0 (AN0 ~ 3)、グループ 1 (AN4 ~ 7)、グループ 2 (AN8 ~ 11) のうちのいずれかのグループのチャンネルを連続して変換します。ADCS ビットを 0 にセットしてグループ内全チャンネルスキャンを選択 (AN0 ~ 3、AN4 ~ 7、AN8 ~ 11) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

ADM1、0 を 10 にセットすると、8 チャンネルスキャンモードになります。8 チャンネルスキャンモードでは、アナロググループ 0 (AN0 ~ 3) とグループ 1 (AN4 ~ 7) の 8 チャンネルの A/D 変換を行います。ADCS ビットを 0 にセットしてグループ内全チャンネルスキャンを選択 (AN0 ~ 7) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

ADM1、0 を 11 にセットすると、12 チャンネルスキャンモードになります。12 チャンネルスキャンモードでは、アナロググループ 0 (AN0 ~ 3) とグループ 1 (AN4 ~ 7) とグループ 2 (AN8 ~ 11) の 12 チャンネルの A/D 変換を行います。ADCS ビットを 0 にセットしてグループ内全チャンネルスキャンを選択 (AN0 ~ 11) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

なお、単一モード / スキャンモードの動作については「16.4 動作説明」を参照してください。

ビット 3 ~ 0 : チャンネルセレクト 3 ~ 0 (CH3 ~ 0)

チャンネルセレクト 3 ~ 0 (CH3 ~ 0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ 1、0 (ADCR1、0) の ADST が 0 の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH3	CH2	CH1	CH0	単一モード	4チャンネルスキャンモード
				A/D0	A/D0
0	0	0	0	AN0 (初期値)	AN0
			1	AN1	AN0、1
		1	0	AN2	AN0 ~ 2
			1	AN3	AN0 ~ 3
	1	0	0	AN4	AN4
			1	AN5	AN4、5
		1	0	AN6	AN4 ~ 6
			1	AN7	AN4 ~ 7
1	0* ¹	0	0	AN8	AN8
			1	AN9	AN8、9
		1	0	AN10	AN8 ~ 10
			1	AN11	AN8 ~ 11

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH3	CH2	CH1	CH0	8チャンネルスキャンモード	12チャンネルスキャンモード
				A/D0	A/D0
0	0	0	0	AN0、4	AN0、4、8
			1	AN0、1、4、5	AN0、1、4、5、8、9
		1	0	AN0 ~ 2、4 ~ 6	AN0 ~ 2、4 ~ 6、8 ~ 10
			1	AN0 ~ 7	AN0 ~ 11
	1	0	0	AN0、4	AN0、4、8
			1	AN0、1、4、5	AN0、1、4、5、8、9
		1	0	AN0 ~ 2、4 ~ 6	AN0 ~ 2、4 ~ 6、8 ~ 10
			1	AN0 ~ 7	AN0 ~ 11
1	0* ¹	0	0	リザーブ* ²	AN0、4、8
			1		AN0、1、4、5、8、9
		1	0		AN0 ~ 2、4 ~ 6、8 ~ 10
			1		AN0 ~ 11

【注】 *1 必ず0に設定してください。

*2 将来の拡張のためのモードです。使用しないでください。

16.2.3 A/Dコントロールレジスタ0、1 (ADCR0、1)

A/Dコントロールレジスタ0、1 (ADCR0、1)は、A/D0、1のA/D変換の開始制御、および動作クロックの選択を行う8ビットの読み出し/書き込み可能なレジスタです。

ADCR0、1は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時にH'0Fに初期化されます。

なお、ADCR0、1のビット3~0は予約ビットです。ビット3~0への書き込みはできません。また、読み出しすると常に1が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	TRGE	CKS	ADST	ADCS	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット7:トリガイネーブル (TRGE)

トリガイネーブル (TRGE)は、外部トリガ入力あるいはATU-IIトリガによるA/D変換の開始を許可/禁止するビットです。

ビット7	説明
TRGE	
0	外部トリガまたはATU-IIトリガによるA/D変換の開始を禁止 (初期値)
1	外部トリガまたはATU-IIトリガによるA/D変換の開始を許可

外部トリガあるいはATU-IIトリガの選択は、「16.2.5 A/Dトリガレジスタ0、1」を参照してください。

ATU-IIトリガに設定した場合、ADTRGR0、1レジスタのビット7を0にしてください。

外部トリガに設定した場合、TRGEを1にセットした後、 $\overline{\text{ADTRG0}}$ 端子にLowレベルを入力すると、A/D変換はLowレベルを検出し、ADCRのADSTビットを1にセットします。この後は、ソフトウェアでADSTビットに1をライトしたときと同じ動作をします。ただし、外部トリガ入力によるA/D変換の開始機能はADSTビットが0にクリアされているときのみ有効です。

なお、外部トリガ開始機能を使用するとき、 $\overline{\text{ADTRG0}}$ 端子に入力するLowレベル幅は1.5P クロック以上であることが必要です。詳しくは「16.4.4 外部トリガによるA/D変換器の起動」を参照してください。

ビット6：クロックセレクト（CKS）

クロックセレクト（CKS）は、A/D変換時間の設定を行うビットです。

CKSが0のとき532ステート（MAX）で、CKSが1のとき268ステート（MAX）でA/D変換を行います。なお、誤動作を防ぐためA/D変換時間の切り替えは、必ず、A/Dコントロールレジスタ0、1（ADCR0、1）のADSTが0の状態で行ってください。詳しくは、「16.4.3 アナログ入力のサンプリングとA/D変換時間」を参照してください。

ビット6	説明
CKS	
0	変換時間 = 532 ステート（MAX） （初期値）
1	変換時間 = 268 ステート（MAX）

ビット5：A/Dスタート（ADST）

A/Dスタート（ADST）は、A/D変換の開始/停止を制御するビットです。ADSTを1にセットするとA/D変換を開始し、0にクリアすると停止します。

ビット5	説明
ADST	
0	A/D変換停止 （初期値）
1	A/D変換実行中 （クリア条件） （1）単一モード：A/D変換終了時に自動的に0クリア （2）スキャンモード：設定した全チャンネルを一度変換終了後すると、自動的に0クリア（1サイクルスキャン）

単一モードとスキャンモードでは、ADST ビットの動きが異なりますので注意してください。

単一モードでは、1 チャンネルの A/D 変換終了時に自動的に ADST を 0 にクリアします。また、スキャンモード（連続スキャン）では、選択したアナログ入力すべての変換が終わると、再度全チャンネルの A/D 変換を始めるため、ADST ビットは 1 のままです。したがって、スキャンモード（連続スキャン）では、変換時間の変更、アナログ入力チャンネルの選択を変更するときには、ADST ビットを 0 にクリアして A/D 変換を停止させてください。但し、スキャンモード（1 サイクルスキャン）では設定した全チャンネルを 1 度変換終了すると、自動的に ADST ビットを 0 にクリアして A/D 変換を停止します。動作モードの切り替えは、必ず A/D コントロールレジスタ 0、1（ADCR0、1）の ADST ビットが 0 の状態で行ってください。なお、A/D インタラプトイネーブル（ADCSR0、1 の ADIE ビット）の変更、A/D 変換時間の変更（ADCR0、1 の CKS ビット）、動作モードの変更（ADCSR の ADM1、0 ビット）、およびアナログ入力チャンネル選択の変更（ADCSR0、1 の CH3～0）を行う前に、必ず、A/D 変換が停止していること（ADST が 0）を確認してください。これらの変更を A/D 変換器の動作中（ADST が 1）に行った場合、A/D データレジスタの内容は、保証されません。

ビット 4：A/D コンティニューアススキャン（ADCS）

ビット 4	説明
ADCS	
0	1 サイクルスキャン (初期値)
1	連続スキャン

ビット 3～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

A/D コンティニューアススキャン（ADCS）は、スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。なお、詳しくは「16.4.2 スキャンモード」を参照してください。

16.2.4 A/D コントロールステータスレジスタ 1 (ADCSR1)

A/D コントロールステータスレジスタ 1 (ADCSR1) は、A/D1 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR1 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換の終了を示すフラグです。

ビット 7	説明
ADF	
0	A/D1 が A/D 変換実行中、またはアイドル状態であることを示します。(初期値) (クリア条件) (1) ADF = 1 の状態を読み出した後、0 を書き込んだとき (2) ADI0 により DMAC が起動されたとき
1	A/D1 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 (セット条件) (1) 単一モード: A/D 変換終了時 (2) スキャンモード 設定された全てのアナログ変換が終了したとき

単一モードと、スキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。

単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。スキャンモード(連続スキャン)のときには、設定されたすべての変換が終了した後に ADF を 1 にセットし、さらに変換を続けます。例えば、4 チャンネルスキャンの場合、AN12~AN15(グループ 3)の変換終了直後に ADF が 1 にセットされます。

スキャンモード(1 サイクルスキャン)のときには、設定されたすべてのアナログ変換が終了した後に ADF に 1 をセットし、変換を終了します。

例えば、4 チャンネルスキャンの場合 AN12~AN15 の変換終了直後に ADF が 1 にセット

されます。

ビット6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可 / 禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 1 (ADCR1) の ADST が 0 の状態で行ってください。

ビット6	説明
ADIE	
0	A/D 割り込み (ADI1) の発生を禁止 (初期値)
1	A/D 割り込み (ADI1) の発生を許可

A/D 変換を終了して ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D1 の A/D 割り込み (ADI1) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI1 のクリアが可能です。

ビット5、4 : A/D モード 1、0 (ADM1、0)

A/D モード 1、0 (ADM1、0) は、A/D 変換を単一モード、4 チャネルスキャンモード、8 チャネルスキャンモード、12 チャネルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 1、0 (ADCR1、0) の ADST が 0 の状態で行ってください。

ビット5	ビット4	説明
ADM1	ADM0	
0	0	単一モード (初期値)
	1	4 チャネルスキャンモード (アナロググループ 3)
1	0	予約
	1	予約

ADM1、0を00にセットすると、単一モードになります。単一モードでは、ADCSRのCH3~0で選択されたアナログチャンネルを1回A/D変換して動作終了します。

ADM1、0を01にセットすると、4チャンネルスキャンモードになります。スキャンモードは、複数チャンネルのA/D変換を連続して行うモードです。スキャンモードでA/D変換を行うチャンネルはADCSR1のCH3~0で設定します。4チャンネルスキャンモードでは、グループ3(AN12~15)のチャンネルを連続して変換します。ADCSビットを0にセットしてグループ内全チャンネルスキャンを選択(AN12~15)した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル(最も番号の大きい)のA/D変換終了後、動作を停止します。

なお、単一モード/スキャンモードの動作については「16.4 動作説明」を参照してください。

ビット3~0: チャンネルセレクト3~0(CH3~0)

チャンネルセレクト3~0(CH3~0)は、ADM1、0との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/Dコントロールレジスタ1(ADCR1)のADSTが0の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
				単一モード	4チャンネルスキャンモード
CH3	CH2	CH1	CH0	A/D1	A/D1
0*1	0*1	0	0	AN12(初期値)	AN12
			1	AN13	AN12、13
		1	0	AN14	AN12~14
			1	AN15	AN12~15

【注】 *1 必ず0に設定してください。

*2 表の組み合わせにないモードは、将来の拡張のためのモードです。使用しないでください。

16.2.5 A/D トリガレジスタ 0、1 (ADTRGR0、1)

A/D トリガレジスタ (ADTRGR0、1) は、A/D0、1 のトリガの選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。外部端子 ($\overline{\text{ADTRG0}}$) か、ATU-II (ATU-II のインターバルタイム A/D 変換要求トリガ) のどちらかを選択します。

ADTRGR0、1 は、パワーオンリセット、およびハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイ時には初期化されません。

ビット:	7	6	5	4	3	2	1	0
	EXTRG	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R

ビット 7: トリガイネーブル (EXTRG)

外部端子 ($\overline{\text{ADTRG0}}$) か、ATU-II のインターバルタイム A/D 変換要求のどちらかを選択します。

ビット 7	説明
EXTRG	
0	ATU-II のチャンネル 0 のインターバルタイム A/D 変換要求による起動を行います。
1	外部端子 ($\overline{\text{ADTRG0}}$) による起動を行います。 (初期値)

ビット 6~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

外部トリガあるいは ATU-II トリガの選択は、ADCR0、1 の TRGE ビットを 1 に設定する必要があります。詳しくは、「16.2.3 A/D コントロールレジスタ 0、1」を参照してください。

16.3 CPU とのインタフェース

A/D データレジスタ 0~15 (ADDR0~15) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位 / 下位のデータは別々にしか読み出せません。

ADDR の上位 / 下位の 2 バイトのデータを読み出す間にデータが変化するのを避けるため、下位バイトのデータの読み出しは、テンポラリレジスタ (TEMP) を介して行います。なお、上位バイトの読み出しは直接行えます。

ADDR からのデータの読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 16.2 に ADDR のリード時のデータの流れを示します。

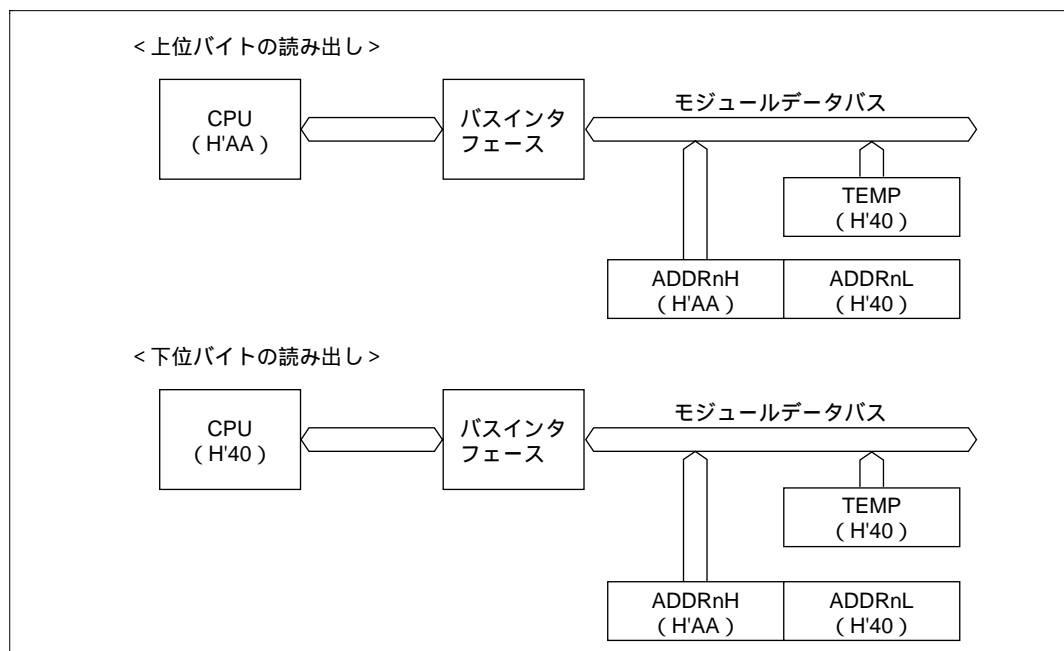


図 16.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

16.4 動作説明

A/D変換器は、逐次比較方式で動作し、10ビットの分解能をもっています。

A/D変換の動作モードには、単一モードとスキャンモードの2種類の動作モードがあります。スキャンモードはスキャンモードと、1サイクルスキャンモードがあります。単一モードは指定した1チャンネルを1回変換して終了するモードです。スキャンモードは指定した1チャンネル以上のA/D変換をADSTビットが0にクリアされるまで繰り返し行うモードです。1サイクルスキャンは、選択されたグループのA/D変換を1回行って終了するモードです。

16.4.1 単一モード

単一モードは、1チャンネルのみのA/D変換を1回行うときに選択するモードです。

単一モードの選択は、A/Dコントロールステータスレジスタ(ADCSR)のADM1、0ビットを00にすることで行います。この状態でA/Dコントロールレジスタ(ADCR)のADSTビットを1にセットすると単一モードでA/D変換を開始します。

ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了するとADCSRのADFが1にセットされます。このとき、ADCSRのADIEビットが1にセットされているとADI割り込み要求を発生します。ADFを0にクリアするときには、あらかじめADFの1を読んだ後、0を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には、自動的にクリアされます。

アナログ入力1チャンネル(AN1)を選択して、単一モードでA/D変換を行う場合の動作例を次に示します。また、図16.3に動作タイミングを示します。

- (1) 動作モードを単一モードに(ADM1=ADM0=0)、入力チャンネルをAN1に(CH3=CH2=CH1=0、CH0=1)、A/D割り込み要求許可(ADIE=1)を設定して、A/D変換を開始(ADST=1)します。
- (2) A/D変換が終了すると、A/D変換結果がADDR1に転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
- (3) ADF=1、ADIE=1となっているため、ADI割り込みを発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADF=1を読み出したのち、ADFに0を書き込みます。
- (6) A/D変換結果(ADDR1)を読み出して、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され(2)~(7)を行います。

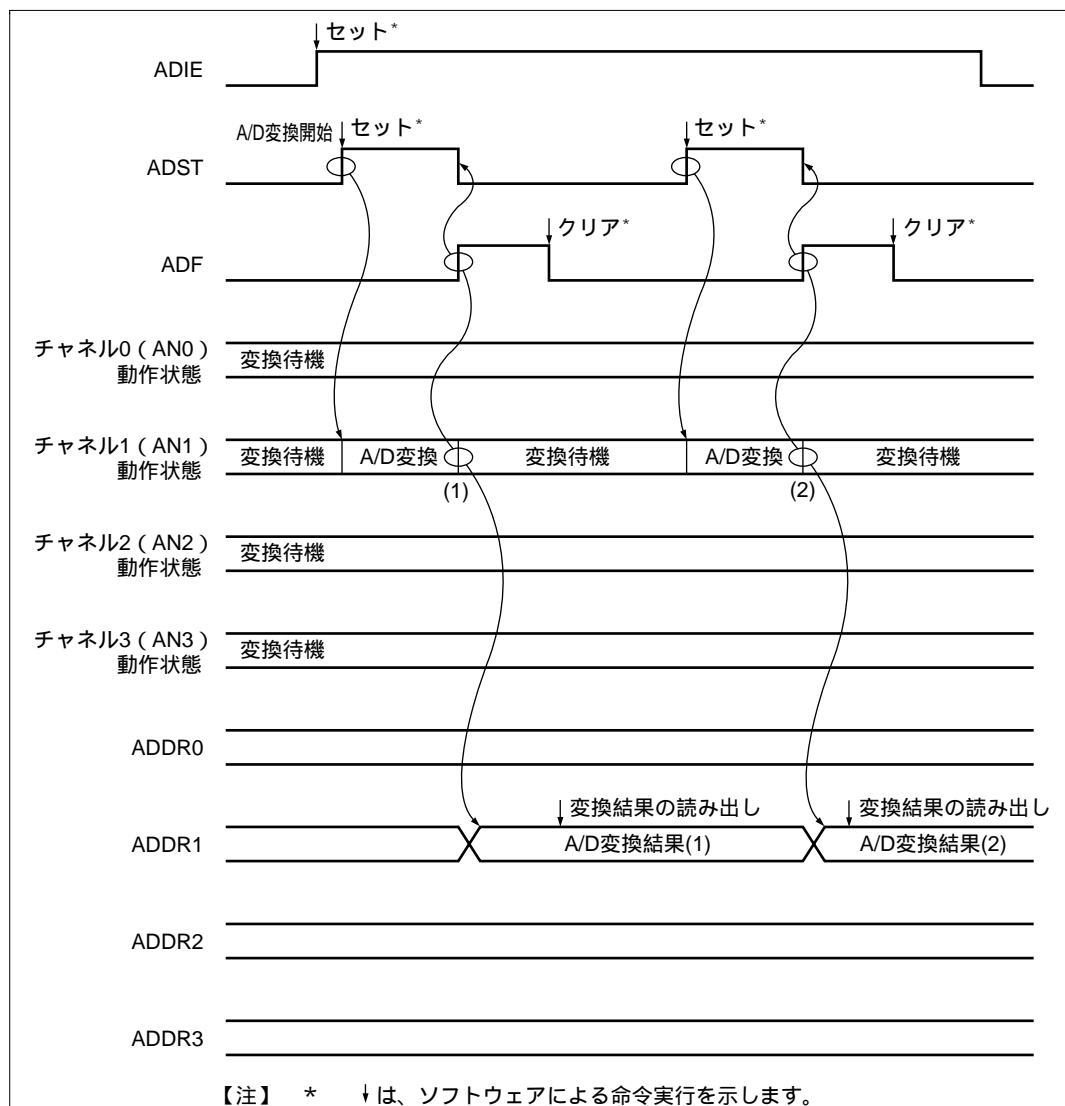


図 16.3 A/D 変換器の動作例 (単一モードチャンネル1 選択時)

16.4.2 スキャンモード

スキャンモードは、1チャンネル以上の複数チャンネルの A/D 変換を繰り返すとき（常時モニタしたい時など）に選択するモードです。

スキャンモードの選択は、A/D0 の場合、A/D コントロールステータスレジスタ (ADCSR0) の ADM1、0 ビットを 01、10、または 11 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードに、10 にすると 8 チャンネルスキャンモードに、11 にすると 12 チャンネルスキャンモードになります。また、A/D1 の場合は A/D コントロールステータスレジスタ 1 (ADCSR1) の ADM1、0 ビットを 01 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードになります。この状態で A/D コントロールレジスタ (ADCR) の ADCS ビットを 0、ADST ビットを 1 にセットすると 1 サイクルスキャンを行います。ADCS ビットを 1、ADST ビットを 1 にセットすると連続スキャンを行います。

アナログ入力チャンネル番号の小さい順 (AN0, AN1...11、AN12, AN13...15) から A/D 変換を行います。

1 サイクルスキャンの場合、設定した全チャンネルを 1 度変換終了すると ADCSR の ADF を 1 にセットして、ADST ビットを自動的に 0 クリアされます。

連続スキャンの場合、設定した全チャンネルを変換終了すると、ADSCR の ADF を 1 にセットします。A/D 変換を停止する場合、ADST ビットに 0 を書き込んでください。

ADF が 1 にセットされたとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求 (ADI0、1、2) を発生します。ADF を 0 クリアするときには、ADF の 1 を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に 0 クリアされます。

アナログ入力 0~11 (AN0~11) を選択して、12 チャンネルスキャンモードで A/D 変換を 1 サイクルスキャンを行う場合の動作例を次に示します。また、図 16.4 に動作タイミングを示します。

- (1) 動作モードを 12 チャンネルスキャンモードに (ADM1 = 1、ADM0 = 0)、スキャンサイクルを 1 サイクル (ADCS = 0)、アナログ入力チャンネルを AN0~AN11 (CH3 = 0、CH2 = 0、CH1 = 1、CH0 = 1) に設定して、A/D 変換を開始します。
- (2) 第 0 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に、第 1 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 11 チャンネル (AN11) まで、変換を行います。
- (4) 設定した全チャンネル (AN0~AN11) の変換が終了すると、ADF = 1 をセットして、自動的に ADST ビットを 0 にクリアし、A/D 変換を停止します。このとき、ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

アナログ入力 0~2、4~6(AN0~2、AN4~6)を選択して、8チャンネルスキャンモードでA/D変換を連続スキャンを行う場合の動作例を次に示します。また、図 16.5 に動作タイミングを示します。

- (1) 動作モードを8チャンネルスキャンモードに ($ADM1=1$ 、 $ADM0=0$)、スキャンサイクルを連続スキャン ($ADCS=1$)、アナログ入力チャンネルを AN0~2、AN4~6 ($CH3=0$ 、 $CH2=0$ 、 $CH1=1$ 、 $CH0=0$) に設定して、A/D変換を開始します。
- (2) 第0チャンネル (AN0) のA/D変換が開始され、A/D変換が終了すると、変換結果を ADDR0 に転送します。
次に、第1チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第2チャンネル (AN2) まで、変換を行います。
- (4) さらに第4チャンネル (AN4) が自動的に選択され、変換が行われます。
- (5) 同様に第6チャンネル (AN6) まで、変換を行います
- (6) 設定した全チャンネル (AN0~2、AN4~6) の変換が終了すると、 $ADF=1$ となります。
このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- (7) ADSTビットが1にセットされている間は、(2)~(6)を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第0チャンネル (AN0) から、変換が行われます。

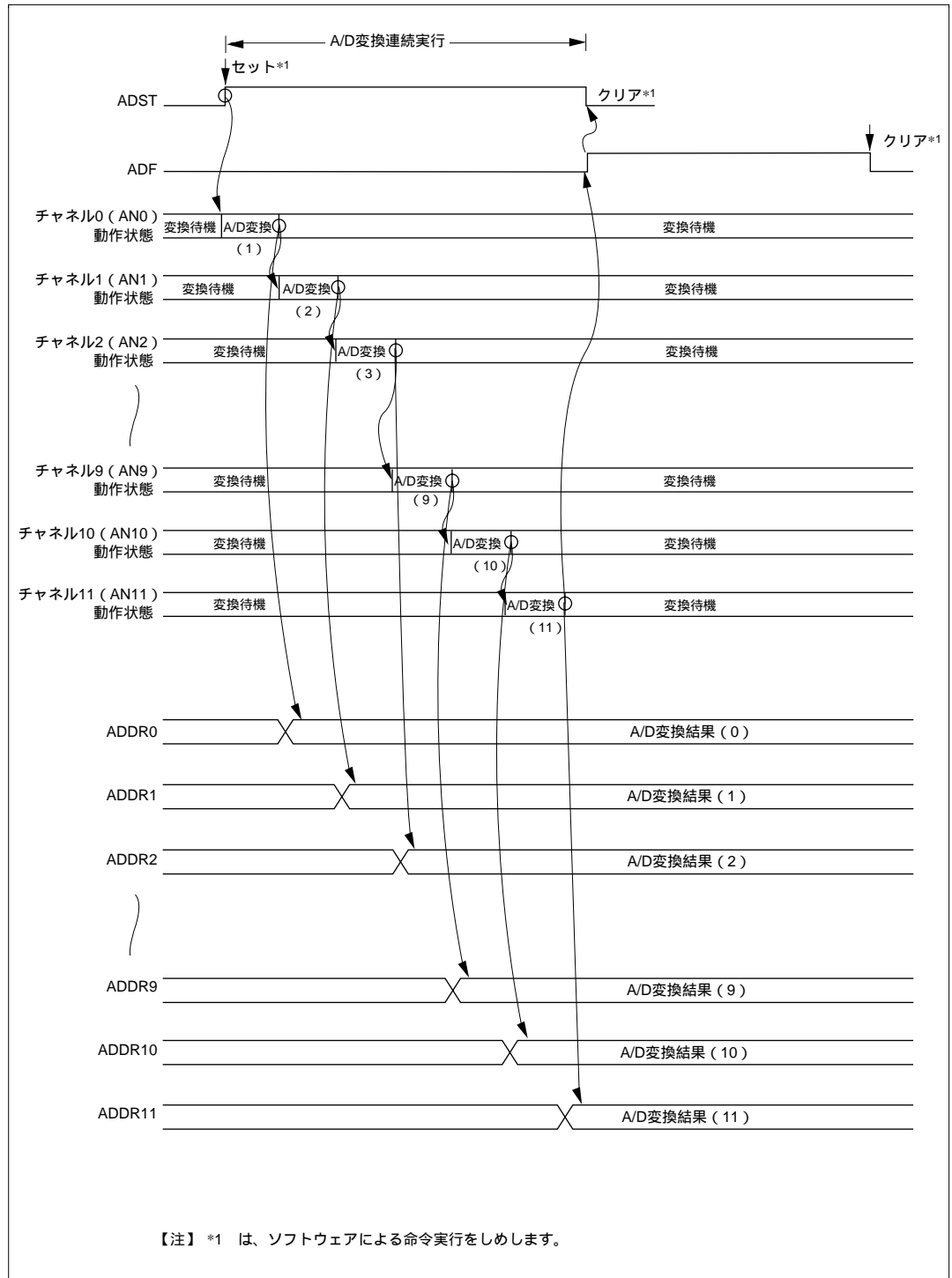


図 16.4 A/D 変換器の動作例
 (スキャンモード (1 サイクルスキャン) チャネル AN0~11 の選択時)

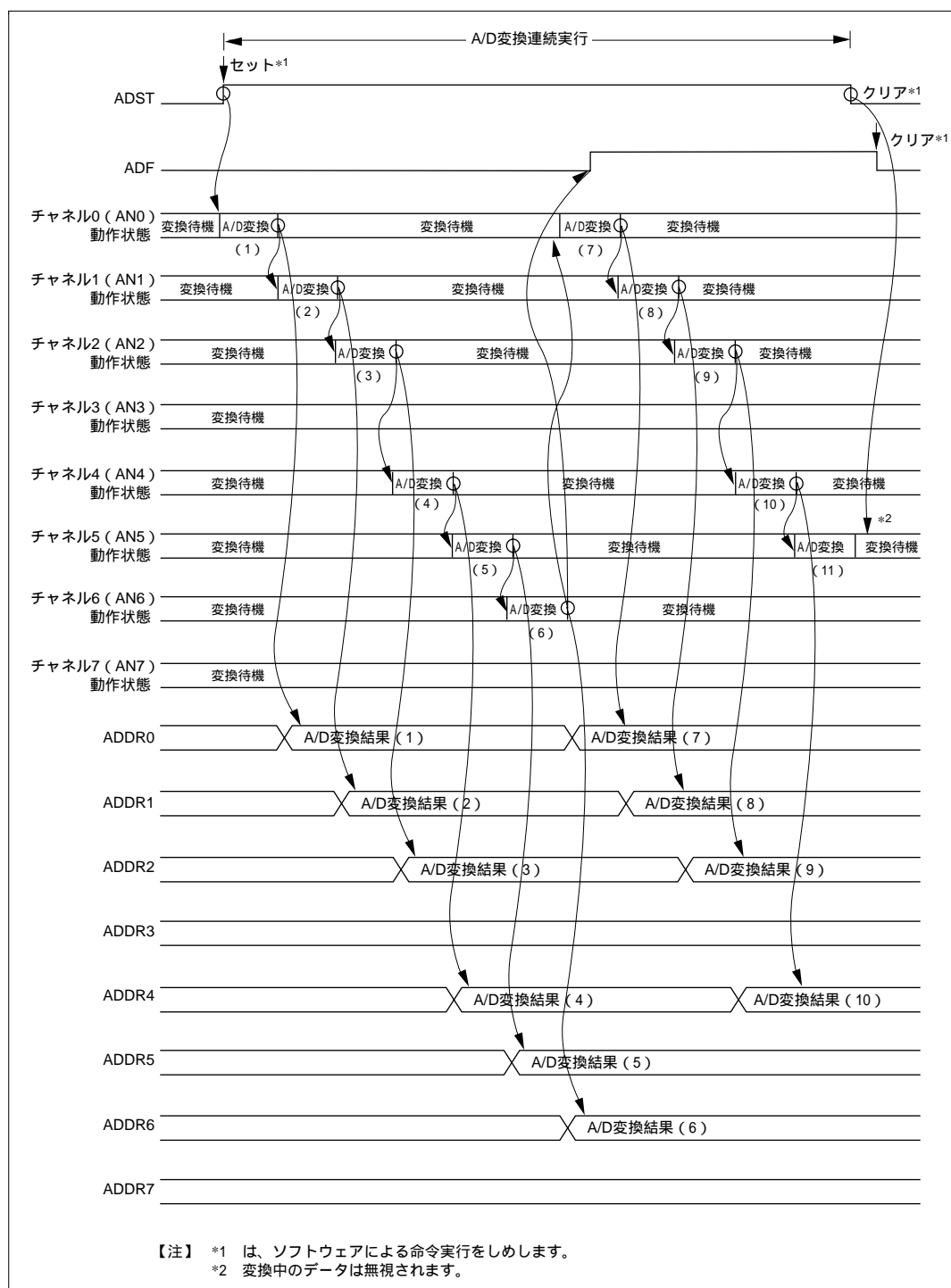


図 16.5 A/D 変換器の動作例

(スキャンモード (連続スキャン) チャンネル AN0~2、AN4~6 の選択時)

16.4.3 アナログ入力のサンプリングと A/D 変換時間

A/D 変換器には、A/D0、A/D1 と A/D2 にそれぞれ、サンプル&ホールド回路が内蔵されています。A/D 変換は、ADST ビットを 1 にセットしてから、A/D 変換開始遅延時間 (t_D) 後に、アナログ入力のサンプリングを行い、この後に、開始されます。図 16.6 に A/D 変換のタイミングを示します。

A/D 変換時間 (t_{CONV}) は t_D とアナログ入力サンプリング時間 (t_{SPL}) を含めた時間となります。なお、 t_D には、A/D 変換器動作を同期化するために要する時間が含まれますので一定時間にはなりません。このため、変換時間は表 16.4 に示す範囲で変化します。

スキャンモードの場合、表 16.4 に示す t_{CONV} は 1 回目の変換時間に相当します。2 回目以降は CKS = 0 の場合 $t_{CONV} = 512$ ステート (固定) に、CKS = 1 の場合 $t_{CONV} = 256$ ステート (固定) になります。

表 16.4 A/D 変換時間 (単一モード)

項目	記号	CKS = 0 (= 20 ~ 40MHz)			CKS = 1 (= 20MHz)			単位
		min	typ	max	min	typ	max	
A/D 変換開始遅延時間	t_D	20	-	34	12	-	18	ステート
入力サンプリング時間	t_{SPL}	-	128	-	-	64	-	(基準
A/D 変換時間	t_{CONV}	518	-	532	262	-	268	換算)

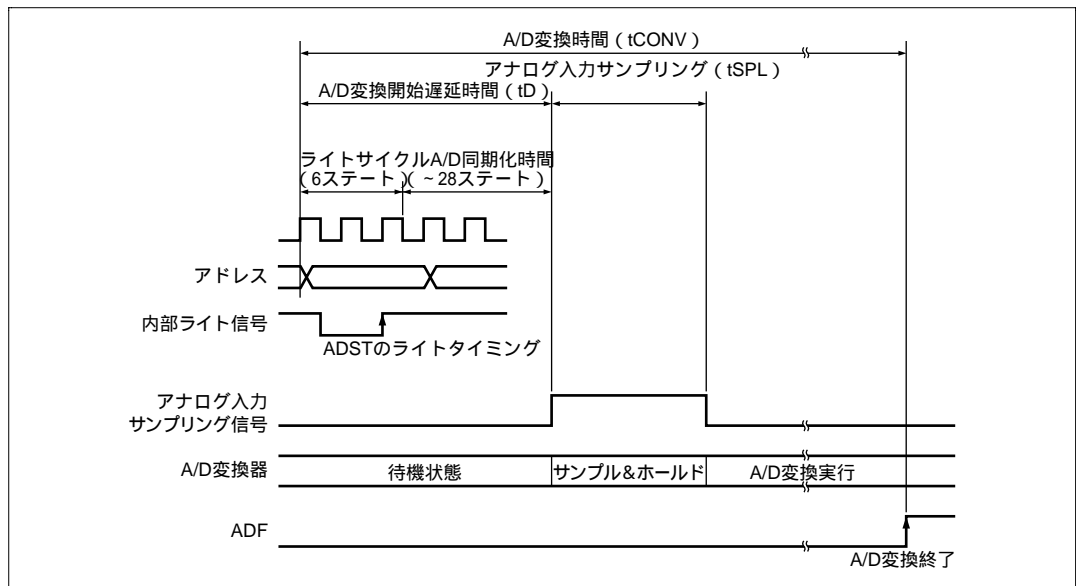


図 16.6 A/D 変換タイミング

16.4.4 外部トリガによる A/D 変換器の起動

外部 A/D 変換開始トリガの入力で、A/D 変換器を起動することができます。

外部トリガで A/D 変換器を起動するときには、PFC (ピンファンクションコントローラ) で端子機能を設定し、 $\overline{\text{ADTRG}}$ 端子に High レベルを入力したのち、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットし、ADST ビットを 0 にクリアします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 1 にします。この状態で $\overline{\text{ADTRG}}$ 端子に Low レベルを入力すると、A/D 変換器は、Low レベルを検出して ADST ビットを 1 にセットします。A/D 変換終了時、 $\overline{\text{ADTRG}}$ 端子に Low レベルが入力されていると、再度 ADST ビットが 1 にセットされて、A/D 変換を開始します。図 16.7 に外部トリガ入力タイミングを示します。

ADST が 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の Low レベルをサンプリングしてから 2 ステートです。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

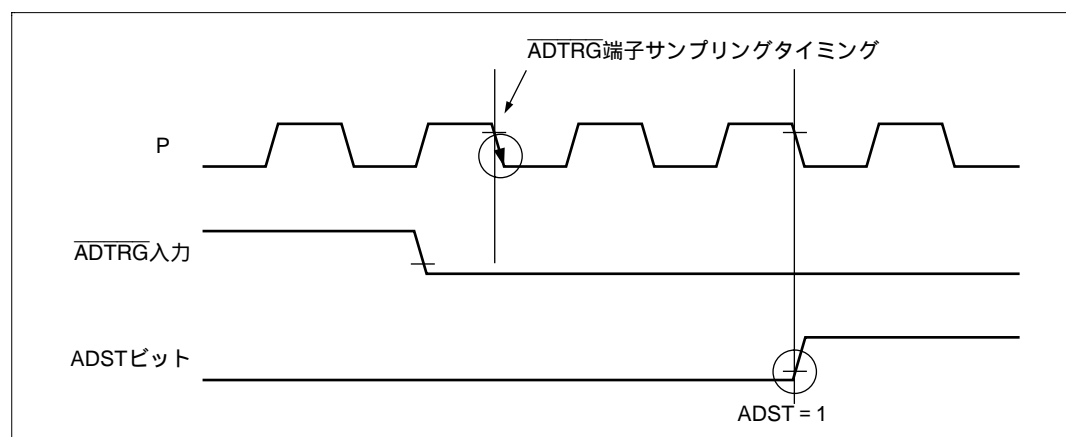


図 16.7 外部トリガ入力タイミング

16.4.5 ATU-II による A/D 変換器の起動

ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求によって、A/D0、1 変換器を独立に起動することができます。

ATU-II で A/D 変換器を起動するときには、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 0 にします。この状態で ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

16.5 割り込み要因とDMA転送要求

A/D変換器は、A/D変換終了割り込み要求（ADI0またはADI1）を発生することができます。A/Dコントロールステータスレジスタ（ADCSR）のADIEビットを1にセットするとADIを許可、0にクリアするとADIを禁止することができます。

また、ADI発生時にDMACを起動することができます。このとき、CPUへの割り込みは発生しません。

ADIでDMACを起動する場合、DMACによるデータ転送時にADCSRのADFビットは自動的にクリアされます。

使用例は「9.4.2 A/D変換器と内蔵メモリとのDMA転送例（アドレスリロードオン）」を参照してください。

16.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子に印加する電圧は AV_{SS} 、 AN_n 、 AV_{ref} の範囲としてください。

(2) AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係

A/D変換器を使用する場合、 AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係は、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{SS} = V_{SS}$ としてください。また、A/D変換器を使用しないときは、 $AV_{SS} = V_{SS}$ 、 AV_{CC} 端子はオープンにしないでください。

(3) AV_{ref} 端子の設定範囲

$AV_{ref} = 4.5 \sim AV_{CC}$ (A/D使用時)、 $AV_{ref} = AV_{CC}$ (A/D未使用時)

以上のことが守られない場合、LSIの信頼性に悪影響を及ぼすことがあります。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。

また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN_n)、アナログ基準電圧 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに AV_{SS} は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 (AN_n)、アナログ基準電圧 (AV_{ref}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 16.8 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 AV_{ref} に接続するバイパスコンデンサ、 AN_n に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。なお、図 16.8 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN_n) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数の決定については、十分ご検討ください。

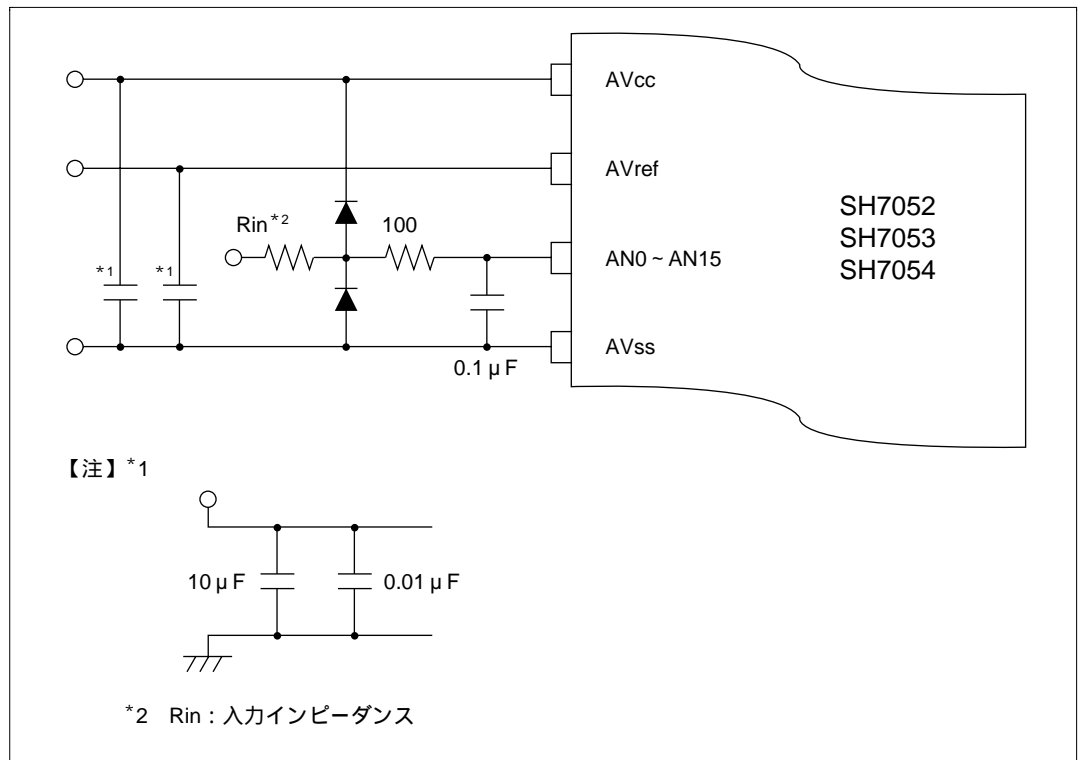


図 16.8 アナログ入力端子の保護回路例

表 16.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	3	k

16.6.1 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- ・ 分解能 …………… A/D 変換器のデジタル変換出力コード数
- ・ オフセット誤差 …… デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 16.9)。
- ・ フルスケール誤差 …… デジタル出力が 1111111110 から 1111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 16.9)。
- ・ 量子化誤差 …………… A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 16.9)。
- ・ 非直線性誤差 …………… ゼロ電圧からフルスケール誤差までのあいだの理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度 …………… デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

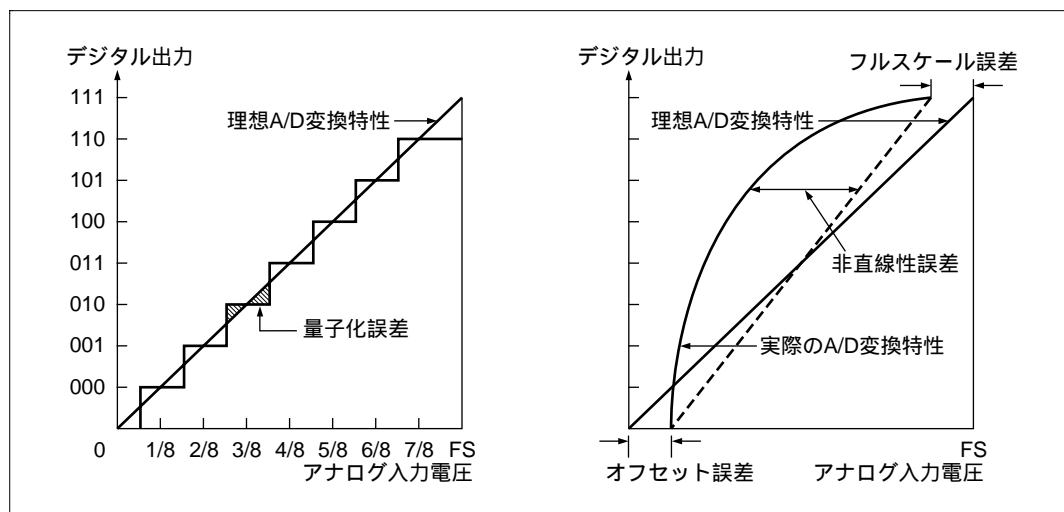


図 16.9 A/D 変換精度の定義

17. アドバンスト ユーザデバッガ (AUD)

第 17 章 目次

17.1	概要.....	643
	17.1.1 特長.....	643
	17.1.2 ブロック図.....	644
17.2	端子構成.....	645
	17.2.1 端子説明.....	645
17.3	ブランチトレースモード.....	647
	17.3.1 概要.....	647
	17.3.2 動作説明.....	647
17.4	RAM モニタモード.....	649
	17.4.1 概要.....	649
	17.4.2 通信プロトコル.....	649
	17.4.3 動作説明.....	649
17.5	使用上の注意事項.....	651
	17.5.1 初期化.....	651
	17.5.2 ソフトウェアスタンバイ時の動作.....	651
	17.5.3 ROM 領域ライト時の注意.....	651

17.1 概要

本 LSI は、アドバンストユーザデバッグ (AUD) を搭載しています。AUD を用いてブランチトレースデータ取得や内蔵 RAM データのモニタリング / チューニング等簡易エミュレータを構築することが可能です。

17.1.1 特長

AUD には次のような特長があります。

8 本の入出力端子

データバス (AUDATA3~0)

AUD リセット ($\overline{\text{AUDRST}}$)

AUD 同期信号 ($\overline{\text{AUDSYNC}}$)

AUD クロック (AUDCK)

AUD モード (AUDMD)

2 つのモード

AUDMD を切り替えることで次の 2 つのモードが使用できます。

- ブランチトレースモード
- RAM モニタモード

(1) ブランチトレースモード

ユーザプログラムにおいてブランチ命令実行や割り込み発生により PC が分岐すると、AUD はこれを検出し、AUDATA から分岐先アドレスを出力します。アドレスは前回出力したアドレスと比較され、上位アドレスの一致具合により、4/8/16/32 ビット出力が自動的に選択されます。

(2) RAM モニタモード

外部から AUDATA にアドレスを書き込むと、そのアドレスに対応したデータを出力します。また、AUDATA にアドレスとデータを書き込むと、そのアドレスにデータが転送されます。

17.1.2 ブロック図

図 17.1 に AUD のブロック図を示します。

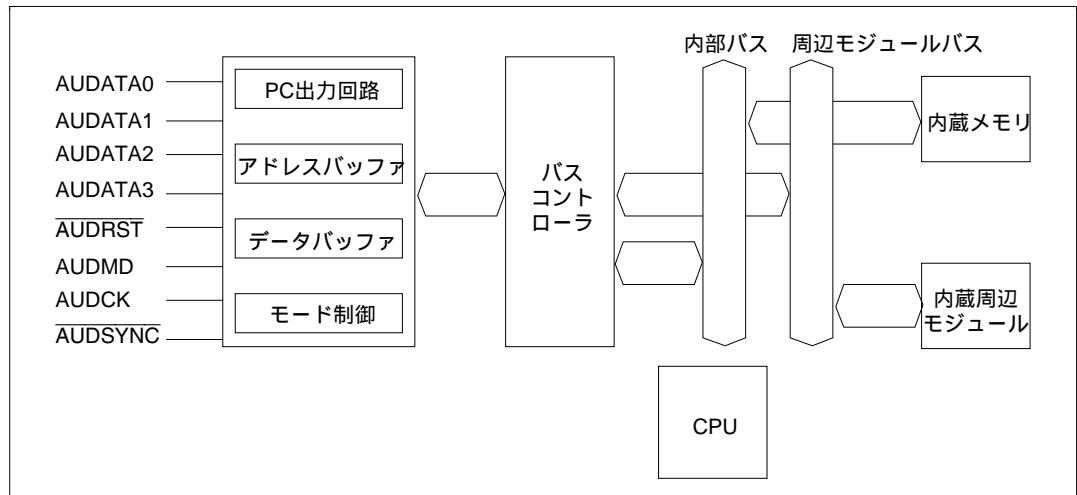


図 17.1 AUD ブロック図

17.2 端子構成

AUD は、表 17.1 に示す入出力端子を持っています。

表 17.1 端子構成

名称	略称	機 能	
		ブランチトレースモード	RAM モニタモード
AUD データ	AUDATA3 ~ 0	分岐先アドレス出力	モニタアドレス / データ入出力
AUD リセット	$\overline{\text{AUDRST}}$	AUD リセット入力	AUD リセット入力
AUD モード	AUDMD	モード選択入力 (L)	モード選択入力 (H)
AUD クロック	AUDCK	同期クロック ($/2$) 出力	同期クロック入力
AUD 同期信号	$\overline{\text{AUDSYNC}}$	データ先頭位置認識信号出力	データ先頭位置認識信号入力

17.2.1 端子説明

(1) 共通に使用する端子

端子	説 明
AUDMD	本端子への入力レベルを切り替えることにより、モードを選択します。 L : ブランチトレースモード H : RAM モニタモード 本端子の入力切り替えは $\overline{\text{AUDRST}}$ が L の状態で実施してください。また、何も接続されないときは内部でプルアップします。
$\overline{\text{AUDRST}}$	本端子に L を入力すると AUD 内のバッファ、ロジックの初期化を行います。 L 入力時は AUD がリセット状態となり、AUD 内のバッファおよびロジックはリセットされます。AUDMD のレベル確定後 H に戻すと選択されたモードで動作します。また、何も接続しないとき内部でプルダウンします。

(2) ブランチトレースモードでの端子説明

端子	説明										
AUDCK	本端子は動作周波数の 1/2 (/2) を出力します。 AUDATA の同期をとるためのクロックです。										
$\overline{\text{AUDSYNC}}$	本端子は AUDATA からの出力が有効かそうでないかを示します。 H: 有効なデータを出していないとき L: アドレスを出しているとき										
AUDATA3 ~ AUDATA0	<p>1) $\overline{\text{AUDSYNC}} = \text{L}$ のとき</p> <p>内部でプログラム分岐または割り込み分岐が発生すると AUD は $\overline{\text{AUDSYNC}}$ をアサートし分岐先アドレスを出力します。出力は A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の順です。</p> <p>2) $\overline{\text{AUDSYNC}} = \text{H}$ のとき</p> <p>分岐先アドレス出力待ち状態時は常に 0011 を出力します。</p> <p>分岐発生時は AUDATA3、2 = 10 を出力し、前回フル出力したアドレスと今回出力するアドレスとの比較により、4/8/16/32 ビットのどれだけのアドレスを出力するかを示します (下表参照)。</p> <table border="1" style="margin-left: 40px;"> <thead> <tr> <th colspan="2">AUDATA1、0</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。</td> </tr> <tr> <td>01</td> <td>アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。</td> </tr> <tr> <td>10</td> <td>アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。</td> </tr> <tr> <td>11</td> <td>上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。</td> </tr> </tbody> </table>	AUDATA1、0		00	アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。	01	アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。	10	アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。	11	上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。
AUDATA1、0											
00	アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。										
01	アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。										
10	アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。										
11	上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。										

(3) RAM モニタモードでの端子説明

端子	説明
AUDCK	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は動作周波数の 1/4 以下です。また、何も接続されないときは内部でプルアップします。
$\overline{\text{AUDSYNC}}$	本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳しくは後述のプロトコルを参照してください。また、何も接続されないときは内部でプルアップします。
AUDATA3 ~ AUDATA0	外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYNC}}$ がネゲートされてから開始します。詳しくは後述のプロトコルを参照してください。また、なにも接続されないときは内部でプルアップします。

17.3 ブランチトレースモード

17.3.1 概要

本モードは、ユーザプログラムにおいて分岐が発生したときに、分岐先アドレスを出力する機能です。分岐には分岐命令実行と割り込み / 例外処理による分岐がありますが、本機能はこれらを区別しません。

17.3.2 動作説明

$\overline{\text{AUDRST}}$ をアサートして AUDMD を L に設定してから $\overline{\text{AUDRST}}$ をネゲートするとブランチトレースモードで動作を開始します。

図 17.2 にデータ出力例を示します。

ユーザプログラムが分岐なしで実行されている場合、AUDATA は AUDCK に同期して常に 0011 を出力します。

分岐が発生した場合には、PC が分岐先アドレスから実行開始後、前回フル出力（途中で後に発生した分岐によって出力の中断がなかった場合の出力）したアドレスと今回の分岐アドレスの比較によって、AUDATA から 1000（4 ビット出力時）or 1001（8 ビット出力時）or 1010（16 ビット出力時）or 1011（32 ビット出力時）を 1 クロック分出力してから $\overline{\text{AUDSYNC}}$ をアサートして分岐先アドレスを出力します。なお、比較アドレスの初期値は H'00000000 です。

アドレスを出力するサイクルが終了すると、 $\overline{\text{AUDSYNC}}$ をネゲートし、同時に AUDATA から 0011 を出力します。

分岐先アドレス出力中に次の分岐が発生した場合には、後に発生した分岐を優先して出力します。このとき $\overline{\text{AUDSYNC}}$ をネゲートし AUDATA は再度 10xx を出力してからアドレスを出力します（図 17.3 分岐が連続した場合の出力例）。比較されるアドレスは前回フル出力されたアドレスであり、中断されたアドレスではないので注意してください。これは、中断されたアドレスでは上位アドレスを知ることができないためです。

なお、PC が分岐先アドレスの実行開始の AUDATA が 10xx を出力するまでの期間は AUDCK 基準で 1.5 or 2cyc です。

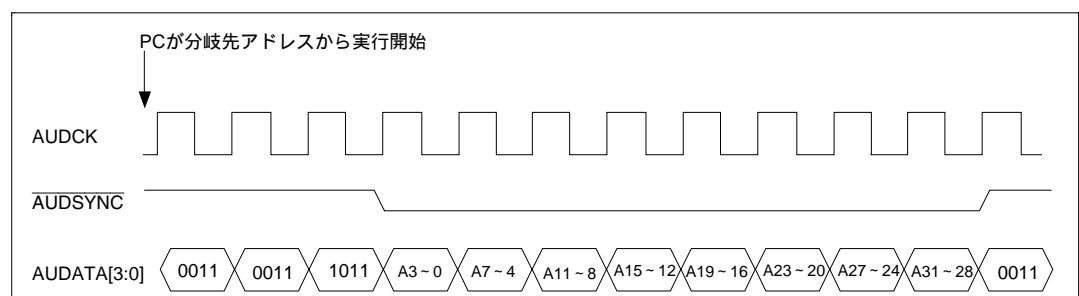


図 17.2 データ出力例（32 ビット出力）

17. アドバンスユーザデバッグ (AUD)

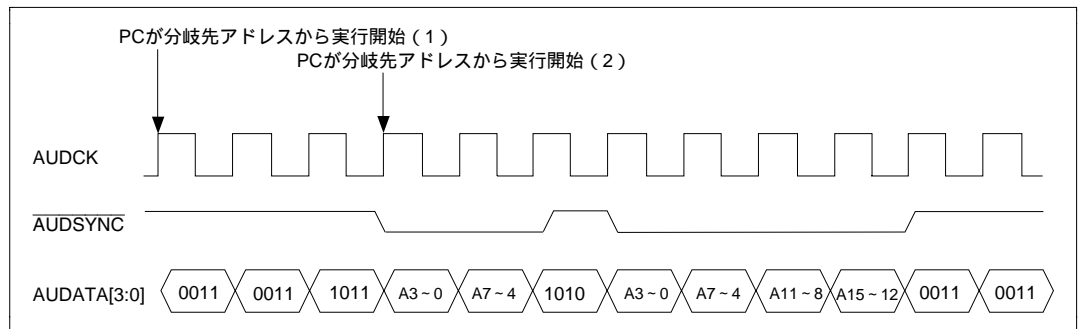


図 17.3 分岐が連続した場合の出力例

17.4 RAM モニタモード

17.4.1 概要

本モードは、SH7055 内部 / 外部バスに接続されているすべてのモジュールを読み出し / 書き込みする機能です。本機能により RAM モニタ / チューニングができます。

17.4.2 通信プロトコル

AUD は $\overline{\text{AUDSYNC}}$ がアサートされると AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

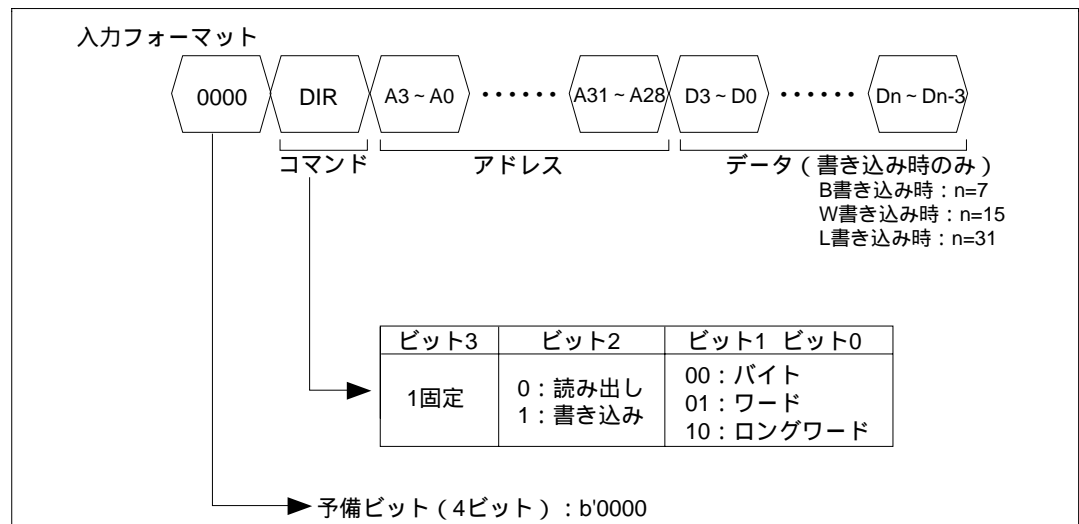


図 17.4 AUDATA 入力フォーマット

17.4.3 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を H にして $\overline{\text{AUDRST}}$ をネゲートすると、RAM モニタモードで動作を開始します。

図 17.5 にリード動作の例を、図 17.6 にライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ がアサートされると、AUDATA から入力を開始します。図 17.4 に示すフォーマットでコマンド、アドレス、データ (書き込み時のみ) が入力されると、指定されたアドレスの読み出し / 書き込みを実行を開始します。内部実行中は AUD は Not Ready (0000) を返します。実行が完了すると、Ready フラグ (0001) を返します (図 17.5、図 17.6)。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出力します (図 17.5)。

DIR に上記以外のコマンドが入力された場合、AUD はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、DIR 内で指定されたコマンドによる読み出し / 書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フ

ラグ内ビット2を1にセットします (図 17.7)。

表 17.2 Ready フラグフォーマット

ビット3	ビット2	ビット1	ビット0
0 固定	0 : 正常状態 1 : バスエラー発生	0 : 正常状態 1 : コマンドエラー発生	0 : not Ready 1 : Ready

バスエラー条件

- (1) 4n+1、4n+3番地にワードアクセス
- (2) 4n+1、4n+2、4n+3番地にロングワードアクセス
- (3) 内蔵I/O 8bit空間をロングワードでアクセス
- (4) シングルチップモード時に外部空間をアクセス

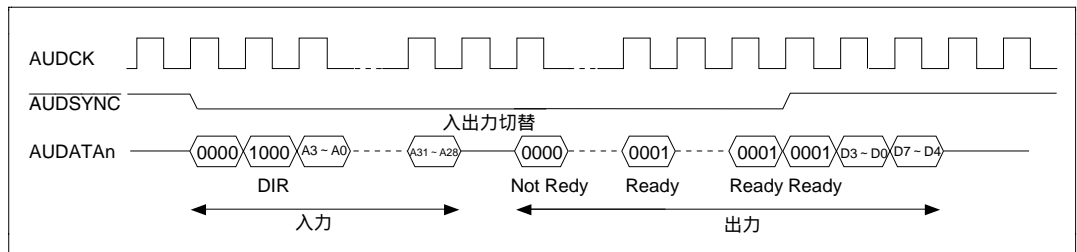


図 17.5 リード動作例 (バイトリード)

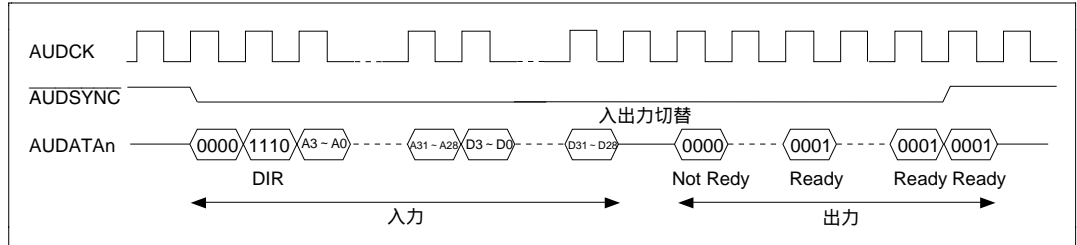


図 17.6 ライト動作例 (ロングワードライト)

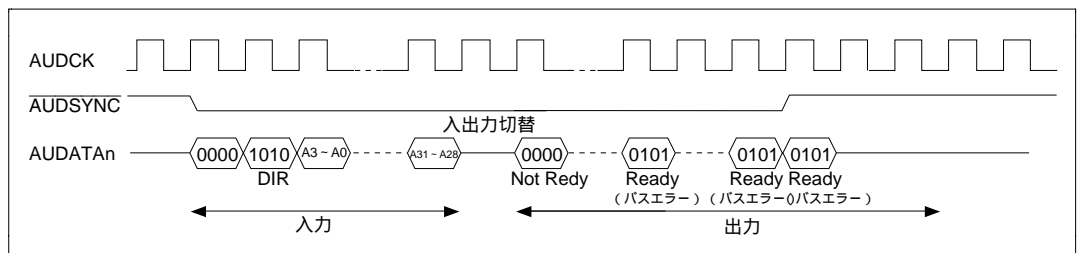


図 17.7 エラー発生例 (ロングワードリード)

17.5 使用上の注意事項

17.5.1 初期化

本デバッグに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- (1) パワーオンリセット
- (2) ハードウェアスタンバイ
- (3) $\overline{\text{AUDRST}}$ 端子にLレベル印加
- (4) SYSCR レジスタの AUDSRST ビットに1をセットした時 (23.2.2 参照)
- (5) MSTCR レジスタの MSTOP3 ビットに1をセットした時 (23.2.3 参照)

17.5.2 ソフトウェアスタンバイ時の動作

本デバッグはソフトウェアスタンバイでは初期化されません。ただし、ソフトウェアスタンバイ時はLSIの内部は止まっているので、

- (1) AUDMD=H (RAM モニタ) 時 : READY が返らない (not READY が返り続ける)
ただし、外部入力クロックで動作しているので、プロトコルは継続。
- (2) AUDMD=L (PC トレース) 時 : STOP。ただし、STBY 解除で動作継続。

17.5.3 ROM 領域ライト時の注意

ATU レジスタのライトサイクルの直後に AUD による ROM アドレスへの書き込みを行わないでください。詳しくは「10.7 使用上の注意 (23) ATU レジスタライト直後の ROM 領域へのライト」を参照してください。

18. ピンファンクション コントローラ (PFC)

第18章 目次

18.1	概要.....	655
18.2	レジスタ構成.....	659
18.3	レジスタ説明.....	660
18.3.1	ポート A・IO レジスタ (PAIOR).....	660
18.3.2	ポート A コントロールレジスタ H、L (PACRH、PACRL).....	660
18.3.3	ポート B・IO レジスタ (PBIOR).....	667
18.3.4	ポート B コントロールレジスタ H、L (PBCRH、PBCRL).....	667
18.3.5	ポート B インバートレジスタ (PBIR).....	673
18.3.6	ポート C・IO レジスタ (PCIOR).....	674
18.3.7	ポート C コントロールレジスタ (PCCR).....	674
18.3.8	ポート D・IO レジスタ (PDIOR).....	676
18.3.9	ポート D コントロールレジスタ H、L (PDCRH、PDCRL).....	677
18.3.10	ポート E・IO レジスタ (PEIOR).....	682
18.3.11	ポート E コントロールレジスタ (PECR).....	683
18.3.12	ポート F・IO レジスタ (PFIOR).....	687
18.3.13	ポート F コントロールレジスタ H、L (PFCRH、PFCRL).....	688
18.3.14	ポート G・IO レジスタ (PGIOR).....	694
18.3.15	ポート G コントロールレジスタ (PGCR).....	694
18.3.16	ポート H・IO レジスタ (PHIOR).....	696
18.3.17	ポート H コントロールレジスタ (PHCR).....	697
18.3.18	ポート J・IO レジスタ (PJIOR).....	702
18.3.19	ポート J コントロールレジスタ H、L (PJCRH、PJCRL).....	703
18.3.20	ポート K・IO レジスタ (PKIOR).....	709
18.3.21	ポート K コントロールレジスタ H、L (PKCRH、PKCRL).....	709
18.3.22	ポート K インバートレジスタ (PKIR).....	716

18.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 18.1 に本 LSI のマルチプレクス端子を示します。

表 18.1 マルチプレクス端子

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ポート)	TIOA 入力 (ATU)		
A	PA1 入出力 (ポート)	TIOB 入力 (ATU)		
A	PA2 入出力 (ポート)	TIOC 入力 (ATU)		
A	PA3 入出力 (ポート)	TIOD 入力 (ATU)		
A	PA4 入出力 (ポート)	TIO3A 入出力 (ATU)		
A	PA5 入出力 (ポート)	TIO3B 入出力 (ATU)		
A	PA6 入出力 (ポート)	TIO3C 入出力 (ATU)		
A	PA7 入出力 (ポート)	TIO3D 入出力 (ATU)		
A	PA8 入出力 (ポート)	TIO4A 入出力 (ATU)		
A	PA9 入出力 (ポート)	TIO4B 入出力 (ATU)		
A	PA10 入出力 (ポート)	TIO4C 入出力 (ATU)		
A	PA11 入出力 (ポート)	TIO4D 入出力 (ATU)		
A	PA12 入出力 (ポート)	TIO5A 入出力 (ATU)		
A	PA13 入出力 (ポート)	TIO5B 入出力 (ATU)		
A	PA14 入出力 (ポート)	TxD0 出力 (SCI)		
A	PA15 入出力 (ポート)	RxD0 入力 (SCI)		
B	PB0 入出力 (ポート)	TO6A 出力 (ATU)		
B	PB1 入出力 (ポート)	TO6B 出力 (ATU)		
B	PB2 入出力 (ポート)	TO6C 出力 (ATU)		
B	PB3 入出力 (ポート)	TO6D 出力 (ATU)		
B	PB4 入出力 (ポート)	TO7A 出力 (ATU)	TO8A 出力 (ATU)	
B	PB5 入出力 (ポート)	TO7B 出力 (ATU)	TO8B 出力 (ATU)	
B	PB6 入出力 (ポート)	TO7C 出力 (ATU)	TO8C 出力 (ATU)	
B	PB7 入出力 (ポート)	TO7D 出力 (ATU)	TO8D 出力 (ATU)	
B	PB8 入出力 (ポート)	TxD3 出力 (SCI)	TO8E 出力 (ATU)	
B	PB9 入出力 (ポート)	RxD3 入力 (SCI)	TO8F 出力 (ATU)	
B	PB10 入出力 (ポート)	TxD4 出力 (SCI)	HTxD 出力 (HCAN)	TO8G 出力 (ATU)
B	PB11 入出力 (ポート)	RxD4 入力 (SCI)	HRxD 入力 (HCAN)	TO8H 出力 (ATU)
B	PB12 入出力 (ポート)	TCLKA 入力 (ATU)	UBCTR $\overline{\text{G}}$ 出力 (UBC)	
B	PB13 入出力 (ポート)	SCK0 入出力 (SCI)		
B	PB14 入出力 (ポート)	SCK1 入出力 (SCI)	TCLKB 入力 (ATU)	TI10 入力 (ATU)
B	PB15 入出力 (ポート)	PULS5 出力 (APC)	SCK2 入出力 (SCI)	

18. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC0 入出力 (ポート)	TxD1 出力 (SCI)		
C	PC1 入出力 (ポート)	RxD1 入力 (SCI)		
C	PC2 入出力 (ポート)	TxD2 出力 (SCI)		
C	PC3 入出力 (ポート)	RxD2 入力 (SCI)		
C	PC4 入出力 (ポート)	$\overline{\text{IRQ0}}$ 入力 (INTC)		
D	PD0 入出力 (ポート)	TIO1A 入出力 (ATU)		
D	PD1 入出力 (ポート)	TIO1B 入出力 (ATU)		
D	PD2 入出力 (ポート)	TIO1C 入出力 (ATU)		
D	PD3 入出力 (ポート)	TIO1D 入出力 (ATU)		
D	PD4 入出力 (ポート)	TIO1E 入出力 (ATU)		
D	PD5 入出力 (ポート)	TIO1F 入出力 (ATU)		
D	PD6 入出力 (ポート)	TIO1G 入出力 (ATU)		
D	PD7 入出力 (ポート)	TIO1H 入出力 (ATU)		
D	PD8 入出力 (ポート)	PULS0 出力 (APC)		
D	PD9 入出力 (ポート)	PULS1 出力 (APC)		
D	PD10 入出力 (ポート)	PULS2 出力 (APC)		
D	PD11 入出力 (ポート)	PULS3 出力 (APC)		
D	PD12 入出力 (ポート)	PULS4 出力 (APC)		
D	PD13 入出力 (ポート)	PULS6 出力 (APC)	HTxD 出力 (HCAN)	
E	PE0 入出力 (ポート)	A0 出力 (BSC)		
E	PE1 入出力 (ポート)	A1 出力 (BSC)		
E	PE2 入出力 (ポート)	A2 出力 (BSC)		
E	PE3 入出力 (ポート)	A3 出力 (BSC)		
E	PE4 入出力 (ポート)	A4 出力 (BSC)		
E	PE5 入出力 (ポート)	A5 出力 (BSC)		
E	PE6 入出力 (ポート)	A6 出力 (BSC)		
E	PE7 入出力 (ポート)	A7 出力 (BSC)		
E	PE8 入出力 (ポート)	A8 出力 (BSC)		
E	PE9 入出力 (ポート)	A9 出力 (BSC)		
E	PE10 入出力 (ポート)	A10 出力 (BSC)		
E	PE11 入出力 (ポート)	A11 出力 (BSC)		
E	PE12 入出力 (ポート)	A12 出力 (BSC)		
E	PE13 入出力 (ポート)	A13 出力 (BSC)		
E	PE14 入出力 (ポート)	A14 出力 (BSC)		
E	PE15 入出力 (ポート)	A15 出力 (BSC)		
F	PF0 入出力 (ポート)	A16 出力 (BSC)		
F	PF1 入出力 (ポート)	A17 出力 (BSC)		
F	PF2 入出力 (ポート)	A18 出力 (BSC)		
F	PF3 入出力 (ポート)	A19 出力 (BSC)		
F	PF4 入出力 (ポート)	A20 出力 (BSC)		
F	PF5 入出力 (ポート)	A21 出力 (BSC)	POD 入力 (ポート)	
F	PF6 入出力 (ポート)	$\overline{\text{WRL}}$ 出力 (BSC)		
F	PF7 入出力 (ポート)	$\overline{\text{WRH}}$ 出力 (BSC)		

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF8 入出力 (ポート)	WAIT 入力 (BSC)		
F	PF9 入出力 (ポート)	RD 出力 (BSC)		
F	PF10 入出力 (ポート)	CS0 出力 (BSC)		
F	PF11 入出力 (ポート)	CS1 出力 (BSC)		
F	PF12 入出力 (ポート)	CS2 出力 (BSC)		
F	PF13 入出力 (ポート)	CS3 出力 (BSC)		
F	PF14 入出力 (ポート)	BACK 出力 (BSC)		
F	PF15 入出力 (ポート)	BREQ 入力 (BSC)		
G	PG0 入出力 (ポート)	PULS7 出力 (APC)	HRxD 入力 (HCAN)	
G	PG1 入出力 (ポート)	IRQ1 入力 (INTC)		
G	PG2 入出力 (ポート)	IRQ2 入力 (INTC)		
G	PG3 入出力 (ポート)	IRQ3 入力 (INTC)	ADTRG0 入力 (A/D)	
H	PH0 入出力 (ポート)	D0 入出力 (BSC)		
H	PH1 入出力 (ポート)	D1 入出力 (BSC)		
H	PH2 入出力 (ポート)	D2 入出力 (BSC)		
H	PH3 入出力 (ポート)	D3 入出力 (BSC)		
H	PH4 入出力 (ポート)	D4 入出力 (BSC)		
H	PH5 入出力 (ポート)	D5 入出力 (BSC)		
H	PH6 入出力 (ポート)	D6 入出力 (BSC)		
H	PH7 入出力 (ポート)	D7 入出力 (BSC)		
H	PH8 入出力 (ポート)	D8 入出力 (BSC)		
H	PH9 入出力 (ポート)	D9 入出力 (BSC)		
H	PH10 入出力 (ポート)	D10 入出力 (BSC)		
H	PH11 入出力 (ポート)	D11 入出力 (BSC)		
H	PH12 入出力 (ポート)	D12 入出力 (BSC)		
H	PH13 入出力 (ポート)	D13 入出力 (BSC)		
H	PH14 入出力 (ポート)	D14 入出力 (BSC)		
H	PH15 入出力 (ポート)	D15 入出力 (BSC)		
J	PJ0 入出力 (ポート)	TIO2A 入出力 (ATU)		
J	PJ1 入出力 (ポート)	TIO2B 入出力 (ATU)		
J	PJ2 入出力 (ポート)	TIO2C 入出力 (ATU)		
J	PJ3 入出力 (ポート)	TIO2D 入出力 (ATU)		
J	PJ4 入出力 (ポート)	TIO2E 入出力 (ATU)		
J	PJ5 入出力 (ポート)	TIO2F 入出力 (ATU)		
J	PJ6 入出力 (ポート)	TIO2G 入出力 (ATU)		
J	PJ7 入出力 (ポート)	TIO2H 入出力 (ATU)		
J	PJ8 入出力 (ポート)	TIO5C 入出力 (ATU)		
J	PJ9 入出力 (ポート)	TIO5D 入出力 (ATU)		
J	PJ10 入出力 (ポート)	TI9A 入力 (ATU)		
J	PJ11 入出力 (ポート)	TI9B 入力 (ATU)		
J	PJ12 入出力 (ポート)	TI9C 入力 (ATU)		
J	PJ13 入出力 (ポート)	TI9D 入力 (ATU)		

18. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
J	PJ14 入出力 (ポート)	TI9E 入力 (ATU)		
J	PJ15 入出力 (ポート)	TI9F 入力 (ATU)		
K	PK0 入出力 (ポート)	TO8A 出力 (ATU)		
K	PK1 入出力 (ポート)	TO8B 出力 (ATU)		
K	PK2 入出力 (ポート)	TO8C 出力 (ATU)		
K	PK3 入出力 (ポート)	TO8D 出力 (ATU)		
K	PK4 入出力 (ポート)	TO8E 出力 (ATU)		
K	PK5 入出力 (ポート)	TO8F 出力 (ATU)		
K	PK6 入出力 (ポート)	TO8G 出力 (ATU)		
K	PK7 入出力 (ポート)	TO8H 出力 (ATU)		
K	PK8 入出力 (ポート)	TO8I 出力 (ATU)		
K	PK9 入出力 (ポート)	TO8J 出力 (ATU)		
K	PK10 入出力 (ポート)	TO8K 出力 (ATU)		
K	PK11 入出力 (ポート)	TO8L 出力 (ATU)		
K	PK12 入出力 (ポート)	TO8M 出力 (ATU)		
K	PK13 入出力 (ポート)	TO8N 出力 (ATU)		
K	PK14 入出力 (ポート)	TO8O 出力 (ATU)		
K	PK15 入出力 (ポート)	TO8P 出力 (ATU)		

18.2 レジスタ構成

PFC のレジスタを表 18.2 に示します。

表 18.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'FFFFFF720	8、16
ポート A コントロールレジスタ H	PACRH	R/W	H'0000	H'FFFFFF722	8、16
ポート A コントロールレジスタ L	PACRL	R/W	H'0000	H'FFFFFF724	8、16
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFFFF730	8、16
ポート B コントロールレジスタ H	PBCRH	R/W	H'0000	H'FFFFFF732	8、16
ポート B コントロールレジスタ L	PBCRL	R/W	H'0000	H'FFFFFF734	8、16
ポート B インポートレジスタ	PBIR	R/W	H'0000	H'FFFFFF736	8、16
ポート C・IO レジスタ	PCIOR	R/W	H'0000	H'FFFFFF73A	8、16
ポート C コントロールレジスタ	PCCR	R/W	H'0000	H'FFFFFF73C	8、16
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFFFF740	8、16
ポート D コントロールレジスタ H	PDCRH	R/W	H'0000	H'FFFFFF742	8、16
ポート D コントロールレジスタ L	PDCRL	R/W	H'0000	H'FFFFFF744	8、16
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFFFF750	8、16
ポート E コントロールレジスタ	PECR	R/W	H'0000	H'FFFFFF752	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'0000	H'FFFFFF748	8、16
ポート F コントロールレジスタ H	PFCRH	R/W	H'0015	H'FFFFFF74A	8、16
ポート F コントロールレジスタ L	PFCRL	R/W	H'5000	H'FFFFFF74C	8、16
ポート G・IO レジスタ	PGIOR	R/W	H'0000	H'FFFFFF760	8、16
ポート G コントロールレジスタ	PGCR	R/W	H'0000	H'FFFFFF762	8、16
ポート H・IO レジスタ	PHIOR	R/W	H'0000	H'FFFFFF728	8、16
ポート H コントロールレジスタ	PHCR	R/W	H'0000	H'FFFFFF72A	8、16
ポート J・IO レジスタ	PJIOR	R/W	H'0000	H'FFFFFF766	8、16
ポート J コントロールレジスタ H	PJCRH	R/W	H'0000	H'FFFFFF768	8、16
ポート J コントロールレジスタ L	PJCRL	R/W	H'0000	H'FFFFFF76A	8、16
ポート K・IO レジスタ	PKIOR	R/W	H'0000	H'FFFFFF770	8、16
ポート K コントロールレジスタ H	PKCRH	R/W	H'0000	H'FFFFFF772	8、16
ポート K コントロールレジスタ L	PKCRL	R/W	H'0000	H'FFFFFF774	8、16
ポート K インポートレジスタ	PKIR	R/W	H'0000	H'FFFFFF776	8、16

18.3 レジスタ説明

18.3.1 ポート A・IO レジスタ (PAIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ (PAIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/RxD0 ~ PA0/TIOA 端子に対応しています。PAIOR はポート A の端子機能が汎用入出力 (PA15 ~ PA0) および ATU の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 3 ~ 0 については、ATU のインプットキャプチャ入力を選択した場合には、PAIOR のビットを 0 にしてください。

ポート A の端子機能が PA15 ~ PA0 か ATU の入出力の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.2 ポート A コントロールレジスタ H、L (PACRH、PACRL)

ポート A コントロールレジスタ H、L (PACRH、PACRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にある 16 本のマルチプレクス端子の機能を選びます。PACRH はポート A の上位 8 ビットの端子の機能を、PACRL はポート A の下位 8 ビットの端子の機能を選びます。

PACRH、PACRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート A コントロールレジスタ H (PACRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA15 MD	-	PA14 MD	-	PA13 MD	-	PA12 MD	-	PA11 MD	-	PA10 MD	-	PA9 MD	-	PA8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W

ビット 15: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14: PA15モードビット (PA15MD)

PA15/RxD0 端子の機能を選びます。

ビット 14	説明
PA15MD	
0	汎用入出力 (PA15) (初期値)
1	受信データ入力 (RxD0)

ビット 13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12: PA14モードビット (PA14MD)

PA14/TxD0 端子の機能を選びます。

ビット 12	説明
PA14MD	
0	汎用入出力 (PA14) (初期値)
1	送信データ出力 (TxD0)

ビット 11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PA13 モードビット (PA13MD)

PA13/TIO5B 端子の機能を選びます。

ビット 10	説 明
PA13MD	
0	汎用入出力 (PA13) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO5B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD)

PA12/TIO5A 端子の機能を選びます。

ビット 8	説 明
PA12MD	
0	汎用入出力 (PA12) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO5A)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA11 モードビット (PA11MD)

PA11/TIO4D 端子の機能を選びます。

ビット 6	説 明
PA11MD	
0	汎用入出力 (PA11) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO4D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4 : PA10 モードビット (PA10MD)

PA10/TIO4C 端子の機能を選びます。

ビット4	説 明
PA10MD	
0	汎用入出力 (PA10) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO4C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PA9 モードビット (PA9MD)

PA9/TIO4B 端子の機能を選びます。

ビット2	説 明
PA9MD	
0	汎用入出力 (PA9) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO4B)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PA8 モードビット (PA8MD)

PA8/TIO4A 端子の機能を選びます。

ビット0	説 明
PA8MD	
0	汎用入出力 (PA8) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO4A)

(2) ポート A コントロールレジスタ L (PACRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA7 MD	-	PA6 MD	-	PA5 MD	-	PA4 MD	-	PA3 MD	-	PA2 MD	-	PA1 MD	-	PA0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W	-	R/W

ビット 15: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14: PA7 モードビット (PA7MD)

PA7/TIO3D 端子の機能を選びます。

ビット 14	説明
PA7MD	
0	汎用入出力 (PA7) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO3D)

ビット 13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12: PA6 モードビット (PA6MD)

PA6/TIO3C 端子の機能を選びます。

ビット 12	説明
PA6MD	
0	汎用入出力 (PA6) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO3C)

ビット 11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PA5 モードビット (PA5MD)

PA5/TIO3B 端子の機能を選びます。

ビット 10	説 明
PA5MD	
0	汎用入出力 (PA5) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO3B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA4 モードビット (PA4MD)

PA4/TIO3A 端子の機能を選びます。

ビット 8	説 明
PA4MD	
0	汎用入出力 (PA4) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO3A)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA3 モードビット (PA3MD)

PA3/TIO0D 端子の機能を選びます。

ビット 6	説 明
PA3MD	
0	汎用入出力 (PA3) (初期値)
1	ATU インพุットキャプチャ入力 (TIO0D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4 : PA2 モードビット (PA2MD)

PA2/TI0C 端子の機能を選びます。

ビット4	説 明
PA2MD	
0	汎用入出力 (PA2) (初期値)
1	ATU インプットキャプチャ入力 (TI0C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PA2 モードビット (PA1MD)

PA1/TI0B 端子の機能を選びます。

ビット2	説 明
PA1MD	
0	汎用入出力 (PA1) (初期値)
1	ATU インプットキャプチャ入力 (TI0B)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PA0 モードビット (PA0MD)

PA0/TI0A 端子の機能を選びます。

ビット1	説 明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	ATU インプットキャプチャ入力 (TI0A)

18.3.3 ポート B・IO レジスタ (PBIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある 16 本の端子の入出力方向を選びます。PB15IOR ~ PB0IOR ビットが、それぞれ、PB15/PULS5/SCK2 端子 ~ PB0/TO6A 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB15 ~ PB0) かシリアルクロック (SCK0、SCK1、SCK2) の場合に有効で、それ以外の場合は無効です。

ポート B の端子機能が PB15 ~ PB0 か SCK0、SCK1、SCK2 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.4 ポート B コントロールレジスタ H、L (PBCRH、PBCRL)

ポート B コントロールレジスタ H、L (PBCRH、PBCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある 16 本のマルチプレクス端子の機能を選びます。PBCRH はポート B の上位 8 ビットの端子の機能を、PBCRL はポート B の下位 8 ビットの端子の機能を選びます。

PBCRH、PBCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート B コントロールレジスタ H (PBCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	-	PB13 MD	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PB15 モードビット 1、0 (PB15MD1、PB15MD0)

PB15/PULS5/SCK2 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB15MD1	PB15MD0	
0	0	汎用入出力 (PB15) (初期値)
	1	APC パルス出力 (PULS5)
1	0	シリアルクロック入出力 (SCK2)
	1	予約*

*予約は設定はしないでください。

ビット 13、12 : PB14 モードビット 1、0 (PB14MD1、PB14MD0)

PB14/SCK1/TCLKB/TI10 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB14MD1	PB14MD0	
0	0	汎用入出力 (PB14) (初期値)
	1	シリアルクロック入出力 (SCK1)
1	0	ATU クロック入力 (TCLKB)
	1	ATU エッジ入力 (TI10)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PB13 モードビット (PB13MD)

PB13/SCK0 端子の機能を選びます。

ビット 10	説 明
PB13MD	
0	汎用入出力 (PB13) (初期値)
1	シリアルクロック入出力 (SCK0)

ビット9、8 : PB12モードビット1、0 (PB12MD1、PB12MD0)

PB12/TCLKA/ $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子の機能を選びます。

ビット9	ビット8	説明
PB12MD1	PB12MD0	
0	0	汎用入出力 (PB12) (初期値)
	1	ATU クロック入力 (TCLKA)
1	0	トリガ用パルス出力 ($\overline{\text{UBCTR}}\overline{\text{G}}$)
	1	予約*

*予約は設定はしないでください。

ビット7、6 : PB11モードビット1、0 (PB11MD1、PB11MD0)

PB11/RxD4/HRxD/TO8H 端子の機能を選びます。

ビット7	ビット6	説明
PB11MD1	PB11MD0	
0	0	汎用入出力 (PB11) (初期値)
	1	受信データ入力 (RxD4)
1	0	HCAN 受信データ入力 (HRxD)
	1	ATU ワンショットパルス出力 (TO8H)

ビット5、4 : PB10モードビット1、0 (PB10MD1、PB10MD0)

PB10/TxD4/HTxD/TO8G 端子の機能を選びます。

ビット5	ビット4	説明
PB10MD1	PB10MD0	
0	0	汎用入出力 (PB10) (初期値)
	1	送信データ出力 (TxD4)
1	0	HCAN 送信データ出力 (HTxD)
	1	ATU ワンショットパルス出力 (TO8G)

ビット3、2 : PB9 モードビット1、0 (PB9MD1、PB9MD0)

PB9/RxD3/TO8F 端子の機能を選びます。

ビット3	ビット2	説明
PB9MD1	PB9MD0	
0	0	汎用入出力 (PB9) (初期値)
	1	受信データ入力 (RxD3)
1	0	ATU ワンショットパルス出力 (TO8F)
	1	予約*

*予約は設定しないでください。

ビット1、0 : PB8 モードビット1、0 (PB8MD1、PB8MD0)

PB8/TxD3/TO8E 端子の機能を選びます。

ビット1	ビット0	説明
PB8MD1	PB8MD0	
0	0	汎用入出力 (PB8) (初期値)
	1	送信データ出力 (TxD3)
1	0	ATU ワンショットパルス出力 (TO8E)
	1	予約*

*予約は設定しないでください。

(2) ポート B コントロールレジスタ L (PBCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	-	PB3 MD	-	PB2 MD	-	PB1 MD	-	PB0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15、14 : PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/TO7D/TO8D 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7) (初期値)
	1	ATU の PWM 出力 (TO7D)
1	0	ATU ワンショットパルス出力 (TO8D)
	1	予約*

*予約は設定しないでください。

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/TO7C/TO8C 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6) (初期値)
	1	ATU の PWM 出力 (TO7C)
1	0	ATU ワンショットパルス出力 (TO8C)
	1	予約*

*予約は設定しないでください。

ビット 11、10 : PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/TO7B/TO8B 端子の機能を選びます。

ビット 11	ビット 10	説 明
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5) (初期値)
	1	ATU の PWM 出力 (TO7B)
1	0	ATU ワンショットパルス出力 (TO8B)
	1	予約*

*予約は設定しないでください。

ビット9、8 : PB4 モードビット1、0 (PB4MD1、PB4MD0)

PB4/TO7A/TO8A 端子の機能を選びます。

ビット9	ビット8	説明
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4) (初期値)
	1	ATU の PWM 出力 (TO7A)
1	0	ATU ワンショットパルス出力 (TO8A)
	1	予約*

*予約は設定しないでください。

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6 : PB3 モードビット (PB3MD)

PB3/TO6D 端子の機能を選びます。

ビット6	説明
PB3MD	
0	汎用入出力 (PB3) (初期値)
1	ATU の PWM 出力 (TO6D)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PB2 モードビット (PB2MD)

PB2/TO6C 端子の機能を選びます。

ビット4	説明
PB2MD	
0	汎用入出力 (PB2) (初期値)
1	ATU の PWM 出力 (TO6C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PB1 モードビット (PB1MD)

PB1/TO6B 端子の機能を選びます。

ビット2	説 明	
PB1MD		
0	汎用入出力 (PB1)	(初期値)
1	ATU の PWM 出力 (TO6B)	

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PB0 モードビット (PB0MD)

PB0/TO6A 端子の機能を選びます。

ビット0	説 明	
PB0MD		
0	汎用入出力 (PB0)	(初期値)
1	ATU の PWM 出力 (TO6A)	

18.3.5 ポート B インバートレジスタ (PBIR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IR	PB14 IR	PB13 IR	-	PB11 IR	PB10 IR	PB9 IR	PB8 IR	PB7 IR	PB6 IR	PB5 IR	PB4 IR	PB3 IR	PB2 IR	PB1 IR	PB0 IR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B インバートレジスタ (PBIR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B の反転機能を設定します。PB15IR ~ PB13IR、PB11IR ~ PB0IR ビットが、それぞれ、PB15/PULS5/SCK2 ~ PB13/SCK0、PB11/RxD4/HRxD0/TO8H ~ PB0/TO6A 端子に対応しています。PBIR はポート B の端子機能が ATU の出力がシリアルクロックの場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が ATU の出力がシリアルクロックの場合、PBIR のビットを 1 にすると、対応する端子の値は反転します。

PBIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PBnIR	説明
0	値を反転しない (初期値)
1	値を反転する

n=15~0

18.3.6 ポート C・IO レジスタ (PCIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C・IO レジスタ (PCIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある 5 本の端子の入出力方向を選びます。PC4IOR ~ PC0IOR ビットが、それぞれ、PC4/ $\overline{\text{IRQ0}}$ ~ PC0/TxD1 端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC4 ~ PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC4 ~ PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.7 ポート C コントロールレジスタ (PCCR)

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある 5 本のマルチプレクス端子の機能を選びます。

PCCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC4 MD	-	PC3 MD	-	PC2 MD	-	PC1 MD	-	PC0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15~9 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 8 : PC4 モードビット (PC4MD)

PC4/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット 8	説 明	
PC4MD		
0	汎用入出力 (PC4)	(初期値)
1	割り込み要求入力 ($\overline{\text{IRQ0}}$)	

ビット 7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 6 : PC3 モードビット (PC3MD)

PC3/RxD2 端子の機能を選びます。

ビット 6	説 明	
PC3MD		
0	汎用入出力 (PC3)	(初期値)
1	受信データ入力 (RxD2)	

ビット 5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 4 : PC2 モードビット (PC2MD)

PC2/TxD2 端子の機能を選びます。

ビット 4	説 明	
PC2MD		
0	汎用入出力 (PC2)	(初期値)
1	送信データ出力 (TxD2)	

ビット 3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PC1 モードビット (PC1MD)

PC1/RxD1 端子の機能を選びます。

ビット2	説明
PC1MD	
0	汎用入出力 (PC1) (初期値)
1	受信データ入力 (RxD1)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PC0 モードビット (PC0MD)

PC0/TxD1 端子の機能を選びます。

ビット0	説明
PC0MD	
0	汎用入出力 (PC0) (初期値)
1	送信データ出力 (TxD1)

18.3.8 ポート D・IO レジスタ (PDIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PC8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D・IO レジスタ (PDIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある 14 本の端子の入出力方向を選びます。PD13IOR ~ PD0IOR ビットが、それぞれ、PD13/PULS6/HTxD ~ PD0/TIO1A 端子に対応しています。PDIOR はポート D の端子機能が汎用入出力 (PD13 ~ PD0) およびタイマの入出力の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD13 ~ PD0 がタイマの入出力の場合、PDIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.9 ポート D コントロールレジスタ H、L (PDCRH、PDCRL)

ポート D コントロールレジスタ H、L (PDCRH、PDCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある 14 本のマルチプレクス端子の機能を選びます。PDCRH はポート D の上位 6 ビットの端子の機能を、PDCRL はポート D の下位 8 ビットの端子の機能を選びます。

PDCRH、PDCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート D コントロールレジスタ H (PDCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PD13 MD1	PD13 MD0	-	PD12 MD	-	PD11 MD	-	PD10 MD	-	PD9 MD	-	PD8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 ~ 12 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11、10 : PD13 モードビット 1、0 (PD13MD1、PD13MD0)

PD13/PULS6/HTxD 端子の機能を選びます。

ビット 11	ビット 10	説明
PD13MD1	PD13MD0	
0	0	汎用入出力 (PD13) (初期値)
	1	APC パルス出力 (PULS6)
1	0	HCAN 送信データ出力 (HTxD)
	1	予約*

*予約は設定しないでください。

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PD12 モードビット (PD12MD)

PD12/PULS4 端子の機能を選びます。

ビット 8	説 明
PD12MD	
0	汎用入出力 (PD12) (初期値)
1	APC パルス出力 (PULS4)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PD11 モードビット (PD11MD)

PD11/PULS3 端子の機能を選びます。

ビット 6	説 明
PD11MD	
0	汎用入出力 (PD11) (初期値)
1	APC パルス出力 (PULS3)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PD10 モードビット (PD10MD)

PD10/PULS2 端子の機能を選びます。

ビット 4	説 明
PD10MD	
0	汎用入出力 (PD10) (初期値)
1	APC パルス出力 (PULS2)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2 : PD9 モードビット (PD9MD)

PD9/PULS1 端子の機能を選びます。

ビット2	説 明
PD9MD	
0	汎用入出力 (PD9) (初期値)
1	APC パルス出力 (PULS1)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PD8 モードビット (PD8MD)

PD8/PULS0 端子の機能を選びます。

ビット0	説 明
PD8MD	
0	汎用入出力 (PD8) (初期値)
1	APC パルス出力 (PULS0)

(2) ポートD コントロールレジスタ L (PDCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7 MD	-	PD6 MD	-	PD5 MD	-	PD4 MD	-	PD3 MD	-	PD2 MD	-	PD1 MD	-	PD0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14 : PD7 モードビット (PD7MD)

PD7/TIO1H 端子の機能を選びます。

ビット 14	説 明
PD7MD	
0	汎用入出力 (PD7) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1H)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PD6 モードビット (PD6MD)

PD6/TIO1G 端子の機能を選びます。

ビット 12	説 明
PD6MD	
0	汎用入出力 (PD6) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1G)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PD5 モードビット (PD5MD)

PD5/TIO1F 端子の機能を選びます。

ビット 10	説 明
PD5MD	
0	汎用入出力 (PD5) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1F)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8 : PD4 モードビット (PD4MD)

PD4/TIO1E 端子の機能を選びます。

ビット8	説 明
PD4MD	
0	汎用入出力 (PD4) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1E)

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6 : PD3 モードビット (PD3MD)

PD3/TIO1D 端子の機能を選びます。

ビット6	説 明
PD3MD	
0	汎用入出力 (PD3) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1D)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PD2 モードビット (PD2MD)

PD2/TIO1C 端子の機能を選びます。

ビット4	説 明
PD2MD	
0	汎用入出力 (PD2) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PD1 モードビット (PD1MD)

PD1/TIO1B 端子の機能を選びます。

ビット2	説明
PD1MD	
0	汎用入出力 (PD1) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1B)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PD0 モードビット (PD0MD)

PD0/TIO1A 端子の機能を選びます。

ビット0	説明
PD0MD	
0	汎用入出力 (PD0) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1A)

18.3.10 ポート E・IO レジスタ (PEIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある 16 本の端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/A15 端子 ~ PE0/A0 端子の対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE15 ~ PE0) の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE15 ~ PE0 の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.11 ポート E コントロールレジスタ (PECR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15	PE14	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ (PECR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

(a) 内蔵 ROM 無効拡張モード

ポート E の端子はアドレス出力端子となり、PECR の設定は無効です。

(b) 内蔵 ROM 有効拡張モード

ポート E の端子はアドレス出力と汎用入出力の兼用端子となります。

PECR の設定は有効です。

(c) シングルチップモード

ポート E の端子は汎用入出力端子となり、PECR の設定は無効です。

PECR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15 : PE15 モードビット (PE15MD)

PE15/A15 端子の機能を選びます。

ビット 15	説 明		
PE15MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A15) (初期値)	汎用入出力 (PE15) (初期値)	汎用入出力 (PE15) (初期値)
1	アドレス出力 (A15)	アドレス出力 (A15)	汎用入出力 (PE15)

ビット 14 : PE14 モードビット (PE14MD)

PE14/A14 端子の機能を選びます。

ビット 14	説 明		
PE14MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A14) (初期値)	汎用入出力 (PE14) (初期値)	汎用入出力 (PE14) (初期値)
1	アドレス出力 (A14)	アドレス出力 (A14)	汎用入出力 (PE14)

ビット 13 : PE13 モードビット (PE13MD)

PE13/A13 端子の機能を選びます。

ビット 13	説 明		
PE13MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A13) (初期値)	汎用入出力 (PE13) (初期値)	汎用入出力 (PE13) (初期値)
1	アドレス出力 (A13)	アドレス出力 (A13)	汎用入出力 (PE13)

ビット 12 : PE12 モードビット (PE12MD)

PE12/A12 端子の機能を選びます。

ビット 12	説 明		
PE12MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A12) (初期値)	汎用入出力 (PE12) (初期値)	汎用入出力 (PE12) (初期値)
1	アドレス出力 (A12)	アドレス出力 (A12)	汎用入出力 (PE12)

ビット 11 : PE11 モードビット (PE11MD)

PE11/A11 端子の機能を選びます。

ビット 11	説 明		
PE11MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A11) (初期値)	汎用入出力 (PE11) (初期値)	汎用入出力 (PE11) (初期値)
1	アドレス出力 (A11)	アドレス出力 (A11)	汎用入出力 (PE11)

ビット 10 : PE10 モードビット (PE10MD)

PE10/A10 端子の機能を選びます。

ビット 10	説 明		
PE10MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A10) (初期値)	汎用入出力 (PE10) (初期値)	汎用入出力 (PE10) (初期値)
1	アドレス出力 (A10)	アドレス出力 (A10)	汎用入出力 (PE10)

ビット 9 : PE9 モードビット (PE9MD)

PE9/A9 端子の機能を選びます。

ビット 9	説 明		
PE9MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A9) (初期値)	汎用入出力 (PE9) (初期値)	汎用入出力 (PE9) (初期値)
1	アドレス出力 (A9)	アドレス出力 (A9)	汎用入出力 (PE9)

ビット 8 : PE8 モードビット (PE8MD)

PE8/A8 端子の機能を選びます。

ビット 8	説 明		
PE8MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A8) (初期値)	汎用入出力 (PE8) (初期値)	汎用入出力 (PE8) (初期値)
1	アドレス出力 (A8)	アドレス出力 (A8)	汎用入出力 (PE8)

ビット 7 : PE7 モードビット (PE7MD)

PE7/A7 端子の機能を選びます。

ビット 7	説 明		
PE7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A7) (初期値)	汎用入出力 (PE7) (初期値)	汎用入出力 (PE7) (初期値)
1	アドレス出力 (A7)	アドレス出力 (A7)	汎用入出力 (PE7)

ビット6 : PE6 モードビット (PE6MD)

PE6/A6 端子の機能を選びます。

ビット6	説 明		
PE6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A6) (初期値)	汎用入出力 (PE6) (初期値)	汎用入出力 (PE6) (初期値)
1	アドレス出力 (A6)	アドレス出力 (A6)	汎用入出力 (PE6)

ビット5 : PE5 モードビット (PE5MD)

PE5/A5 端子の機能を選びます。

ビット5	説 明		
PE5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A5) (初期値)	汎用入出力 (PE5) (初期値)	汎用入出力 (PE5) (初期値)
1	アドレス出力 (A5)	アドレス出力 (A5)	汎用入出力 (PE5)

ビット4 : PE4 モードビット (PE4MD)

PE4/A4 端子の機能を選びます。

ビット4	説 明		
PE4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A4) (初期値)	汎用入出力 (PE4) (初期値)	汎用入出力 (PE4) (初期値)
1	アドレス出力 (A4)	アドレス出力 (A4)	汎用入出力 (PE4)

ビット3 : PE3 モードビット (PE3MD)

PE3/A3 端子の機能を選びます。

ビット3	説 明		
PE3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A3) (初期値)	汎用入出力 (PE3) (初期値)	汎用入出力 (PE3) (初期値)
1	アドレス出力 (A3)	アドレス出力 (A3)	汎用入出力 (PE3)

ビット2 : PE2 モードビット (PE2MD)

PE2/A2 端子の機能を選びます。

ビット2	説 明		
PE2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A2) (初期値)	汎用入出力 (PE2) (初期値)	汎用入出力 (PE2) (初期値)
1	アドレス出力 (A2)	アドレス出力 (A2)	汎用入出力 (PE2)

ビット1 : PE1 モードビット (PE1MD)

PE1/A1 端子の機能を選びます。

ビット1	説 明		
PE1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A1) (初期値)	汎用入出力 (PE1) (初期値)	汎用入出力 (PE1) (初期値)
1	アドレス出力 (A1)	アドレス出力 (A1)	汎用入出力 (PE1)

ビット0 : PE0 モードビット (PE0MD)

PE0/A0 端子の機能を選びます。

ビット0	説 明		
PE0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A0) (初期値)	汎用入出力 (PE0) (初期値)	汎用入出力 (PE0) (初期値)
1	アドレス出力 (A0)	アドレス出力 (A0)	汎用入出力 (PE0)

18.3.12 ポート F・IO レジスタ (PFIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 IOR	PF14 IOR	PF13 IOR	PF12 IOR	PF11 IOR	PF10 IOR	PF9 IOR	PF8 IOR	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F・IO レジスタ (PFIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある 16 本の端子の入出力方向を選びます。PF15IOR ~ PF0IOR ビットが、

それぞれ、PF15/ $\overline{\text{BREQ}}$ 端子 ~ PF0/A16 端子に対応しています。PFIOR はポート F の端子機能が汎用入出力 (PF15 ~ PF0) の場合に有効で、それ以外の場合は無効です。

ポート F の端子機能が PF15 ~ PF0 の場合、PFIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されます。

18.3.13 ポート F コントロールレジスタ H、L (PFCRH、PFCRL)

ポート F コントロールレジスタ H、L (PFCRH、PFCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にある 16 本のマルチプレクス端子の機能および CK 端子の機能を選びます。PFCRH はポート F の上位 8 ビットの端子の機能を、PFCRL はポート F の下位 8 ビットの端子の機能を選びます。

PFCRH、PFCRL は、パワーオンリセットおよびハードウェアスタンバイモードでそれぞれ、H'0015、H'5000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート F コントロールレジスタ H (PFCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKHZ	PF15	-	PF14	-	PF13	-	PF12	-	PF11	-	PF10	-	PF9	-	PF8
		MD		MD		MD		MD		MD		MD		MD		MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1
R/W:	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : CKHIZ ビット (CKHIZ)

CK 端子の機能を選びます。

ビット 15	説明
CKHIZ	
0	CK 端子出力 (初期値)
1	CK 端子 Hi-Z

ビット 14 : PF15 モードビット (PF15MD)

PF15/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ビット 14	説 明	
PF15MD	拡張モード	シングルチップモード
0	汎用入出力 (PF15) (初期値)	汎用入出力 (PF15) (初期値)
1	バス権要求入力 ($\overline{\text{BREQ}}$)	汎用入出力 (PF15)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PF14 モードビット (PF14MD)

PF14/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 12	説 明	
PF14MD	拡張モード	シングルチップモード
0	汎用入出力 (PF14) (初期値)	汎用入出力 (PF14) (初期値)
1	バス権要求アクノリッジ出力 ($\overline{\text{BACK}}$)	汎用入出力 (PF14)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PF13 モードビット (PF13MD)

PF13/ $\overline{\text{CS3}}$ 端子の機能を選びます。

ビット 10	説 明	
PF13MD	拡張モード	シングルチップモード
0	汎用入出力 (PF13) (初期値)	汎用入出力 (PF13) (初期値)
1	チップセレクト出力 ($\overline{\text{CS3}}$)	汎用入出力 (PF13)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PF12 モードビット (PF12MD)

PF12/ $\overline{CS2}$ 端子の機能を選びます。

ビット 8	説 明	
PF12MD	拡張モード	シングルチップモード
0	汎用入出力 (PF12) (初期値)	汎用入出力 (PF12) (初期値)
1	チップセレクト出力 ($\overline{CS2}$)	汎用入出力 (PF12)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PF11 モードビット (PF11MD)

PF11/ $\overline{CS1}$ 端子の機能を選びます。

ビット 6	説 明	
PF11MD	拡張モード	シングルチップモード
0	汎用入出力 (PF11) (初期値)	汎用入出力 (PF11) (初期値)
1	チップセレクト出力 ($\overline{CS1}$)	汎用入出力 (PF11)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PF10 モードビット (PF10MD)

PF10/ $\overline{CS0}$ 端子の機能を選びます。

ビット 4	説 明	
PF10MD	拡張モード	シングルチップモード
0	汎用入出力 (PF10)	汎用入出力 (PF10)
1	チップセレクト出力 ($\overline{CS0}$) (初期値)	汎用入出力 (PF10) (初期値)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2 : PF9 モードビット (PF9MD)

PF9/ $\overline{\text{RD}}$ 端子の機能を選びます。

ビット2	説 明	
PF9MD	拡張モード	シングルチップモード
0	汎用入出力 (PF9)	汎用入出力 (PF9)
1	リード出力 ($\overline{\text{RD}}$) (初期値)	汎用入出力 (PF9) (初期値)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PF8 モードビット (PF8MD)

PF8/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット0	説 明	
PF8MD	拡張モード	シングルチップモード
0	汎用入出力 (PF8)	汎用入出力 (PF8)
1	ウェイトステート入力 ($\overline{\text{WAIT}}$) (初期値)	汎用入出力 (PF8) (初期値)

(2) ポートF コントロールレジスタ L (PFCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF7 MD	-	PF6 MD	PF5 MD1	PF5 MD0	-	PF4 MD	-	PF3 MD	-	PF2 MD	-	PF1 MD	-	PF0 MD
初期値 :	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット14 : PF7 モードビット (PF7MD)

PF7/ $\overline{\text{WRH}}$ 端子の機能を選びます。

ビット14	説 明	
PF7MD	拡張モード	シングルチップモード
0	汎用入出力 (PF7)	汎用入出力 (PF7)
1	上位側ライト出力 ($\overline{\text{WRH}}$) (初期値)	汎用入出力 (PF7) (初期値)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PF6 モードビット (PF6MD)

PF6/ $\overline{\text{WRL}}$ 端子の機能を選びます。

ビット 12	説 明	
PF6MD	拡張モード	シングルチップモード
0	汎用入出力 (PF6)	汎用入出力 (PF6)
1	下位側ライト出力 ($\overline{\text{WRL}}$) (初期値)	汎用入出力 (PF6) (初期値)

ビット 11、10 : PF5 モードビット 1、0 (PF5MD1、PF5MD0)

PF5/A21/ $\overline{\text{POD}}$ 端子の機能を選びます。

ビット 11	ビット 10	説 明		
PF5MD1	PF5MD0	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	0	アドレス出力 (A21) (初期値)	汎用入出力 (PF5) (初期値)	汎用入出力 (PF5) (初期値)
	1	アドレス出力 (A21)	アドレス出力 (A21)	汎用入出力 (PF5)
1	0	アドレス出力 (A21)	ポートアウトプット ディスエーブル入力 ($\overline{\text{POD}}$)	ポートアウトプット ディスエーブル入力 ($\overline{\text{POD}}$)
	1	予約*	予約*	予約*

*予約は設定しないでください。

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PF4 モードビット (PF4MD)

PF4/A20 端子の機能を選びます。

ビット 8	説 明		
PF4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A20) (初期値)	汎用入出力 (PF4) (初期値)	汎用入出力 (PF4) (初期値)
1	アドレス出力 (A20)	アドレス出力 (A20)	汎用入出力 (PF4)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PF3モードビット (PF3MD)

PF3/A19端子の機能を選びます。

ビット6	説 明		
PF3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A19) (初期値)	汎用入出力 (PF3) (初期値)	汎用入出力 (PF3) (初期値)
1	アドレス出力 (A19)	アドレス出力 (A19)	汎用入出力 (PF3)

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PF2モードビット (PF2MD)

PF2/A18端子の機能を選びます。

ビット4	説 明		
PF2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A18) (初期値)	汎用入出力 (PF2) (初期値)	汎用入出力 (PF2) (初期値)
1	アドレス出力 (A18)	アドレス出力 (A18)	汎用入出力 (PF2)

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PF1モードビット (PF1MD)

PF1/A17端子の機能を選びます。

ビット2	説 明		
PF1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A17) (初期値)	汎用入出力 (PF1) (初期値)	汎用入出力 (PF1) (初期値)
1	アドレス出力 (A17)	アドレス出力 (A17)	汎用入出力 (PF1)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PF0モードビット (PF0MD)

PF0/A16端子の機能を選びます。

ビット0	説明		
PF0MD	ROM無効拡張モード	ROM有効拡張モード	シングルチップモード
0	アドレス出力 (A16) (初期値)	汎用入出力 (PF0) (初期値)	汎用入出力 (PF0) (初期値)
1	アドレス出力 (A16)	アドレス出力 (A16)	汎用入出力 (PF0)

18.3.14 ポートG・IOレジスタ (PGIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポートG・IOレジスタ (PGIOR) は、読み出し / 書き込み可能な16ビットのレジスタで、ポートGにある4本の端子の入出力方向を選びます。PG3IOR ~ PG0IORビットが、それぞれ、PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ ~ PG0/PULS7/HRxD0/HRxD1端子に対応しています。

PGIORはポートGの端子機能がPG3 ~ PG0の場合、PGIORのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PGIORは、パワーオンリセットおよびハードウェアスタンバイモードでH'0000に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

18.3.15 ポートGコントロールレジスタ (PGCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	-	PG1 MD	PG0 MD1	PG0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ポートGコントロールレジスタ (PGCR) は、16ビットの読み出し / 書き込み可能なレ

ジスタで、ポート G にある 4 本のマルチプレクス端子の機能を選びます。

PGCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7, 6 : PG3 モードビット 1, 0 (PG3MD1、PG3MD0)

PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ 端子の機能を選びます。

ビット 7	ビット 6	説 明
PG3MD1	PG3MD0	
0	0	汎用入出力 (PG3) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	A/D 変換トリガ入力 ($\overline{\text{ADTRG0}}$)
	1	予約*

*予約は設定しないでください。

ビット 5, 4 : PG2 モードビット 1, 0 (PG2MD1、PG2MD0)

PG2/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。

ビット 5	ビット 4	説 明
PG2MD1	PG2MD0	
0	0	汎用入出力 (PG2) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	予約*
	1	予約*

*予約は設定しないでください。

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2 : PG1 モードビット (PG1MD)

PG1/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット2	説明
PG1MD	
0	汎用入出力 (PG1) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ1}}$)

ビット1、0 : PG0 モードビット 1、0 (PG0MD1、PG0MD0)

PG0/PULS7/HRxD 端子の機能を選びます。

ビット1	ビット0	説明
PG0MD1	PG0MD0	
0	0	汎用入出力 (PG0) (初期値)
	1	APC パルス出力 (PULS7)
1	0	HCAN 受信データ入力 (HRxD)
	1	予約*

*予約は設定しないでください。

18.3.16 ポート H・IO レジスタ (PHIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H・IO レジスタ (PHIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある 16 本の端子の入出力方向を選びます。PH15IOR ~ PH0IOR ビットが、それぞれ、PH15/D15 端子 ~ PH0/D0 端子に対応しています。PHIOR はポート H の端子機能が汎用入出力 (PH15 ~ PH0) の場合に有効でそれ以外の場合は無効です。

ポート H の端子機能が PH15 ~ PH0 の場合、PHIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PHIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.17 ポートHコントロールレジスタ (PHCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15	PH14	PH13	PH12	PH11	PH10	PH9	PH8	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートHコントロールレジスタ (PHCR) は、16ビットの読み出し/書き込み可能なレジスタで、ポートHにある16本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

(a) 内蔵ROM無効拡張モード (エリア0: 8ビットバス)

ポートHの端子のうちD0~D7はデータ入出力端子となり、PHCRの設定は無効です。

(b) 内蔵ROM無効拡張モード (エリア0: 16ビットバス)

ポートHの端子はデータ入出力端子となり、PHCRの設定は無効です。

(c) 内蔵ROM有効拡張モード

ポートHの端子はデータ入出力と汎用入出力の兼用端子となります。

PHCRの設定は有効です。

(c) シングルチップモード

ポートHの端子は汎用入出力端子となり、PHCRの設定は無効です。

PHCRは、パワーオンリセットおよびハードウェアスタンバイモードでH'0000に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

ビット15: PH15モードビット (PH15MD)

PH15/D15端子の機能を選びます。

ビット15	説明			
PH15MD	ROM無効拡張モード エリア0: 8ビット	ROM無効拡張モード エリア0: 16ビット	ROM有効拡張モード	シングルチップモード
0	汎用入出力 (PH15) (初期値)	データ入出力 (D15) (初期値)	汎用入出力 (PH15) (初期値)	汎用入出力 (PH15) (初期値)
1	データ入出力 (D15)	データ入出力 (D15)	データ入出力 (D15)	汎用入出力 (PH15)

ビット 14 : PH14 モードビット (PH14MD)

PH14/D14 端子の機能を選びます。

ビット 14	説 明			
PH14MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH14) (初期値)	データ入出力 (D14) (初期値)	汎用入出力 (PH14) (初期値)	汎用入出力 (PH14) (初期値)
1	データ入出力 (D14)	データ入出力 (D14)	データ入出力 (D14)	汎用入出力 (PH14)

ビット 13 : PH13 モードビット (PH13MD)

PH13/D13 端子の機能を選びます。

ビット 13	説 明			
PH13MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH13) (初期値)	データ入出力 (D13) (初期値)	汎用入出力 (PH13) (初期値)	汎用入出力 (PH13) (初期値)
1	データ入出力 (D13)	データ入出力 (D13)	データ入出力 (D13)	汎用入出力 (PH13)

ビット 12 : PH12 モードビット (PH12MD)

PH12/D12 端子の機能を選びます。

ビット 12	説 明			
PH12MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH12) (初期値)	データ入出力 (D12) (初期値)	汎用入出力 (PH12) (初期値)	汎用入出力 (PH12) (初期値)
1	データ入出力 (D12)	データ入出力 (D12)	データ入出力 (D12)	汎用入出力 (PH12)

ビット 11 : PH11 モードビット (PH11MD)

PH11/D11 端子の機能を選びます。

ビット 11	説 明			
PH11MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH11) (初期値)	データ入出力 (D11) (初期値)	汎用入出力 (PH11) (初期値)	汎用入出力 (PH11) (初期値)
1	データ入出力 (D11)	データ入出力 (D11)	データ入出力 (D11)	汎用入出力 (PH11)

ビット 10 : PH10 モードビット (PH10MD)

PH10/D10 端子の機能を選びます。

ビット 10	説 明			
PH10MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH10) (初期値)	データ入出力 (D10) (初期値)	汎用入出力 (PH10) (初期値)	汎用入出力 (PH10) (初期値)
1	データ入出力 (D10)	データ入出力 (D10)	データ入出力 (D10)	汎用入出力 (PH10)

ビット 9 : PH9 モードビット (PH9MD)

PH9/D9 端子の機能を選びます。

ビット 9	説 明			
PH9MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH9) (初期値)	データ入出力 (D9) (初期値)	汎用入出力 (PH9) (初期値)	汎用入出力 (PH9) (初期値)
1	データ入出力 (D9)	データ入出力 (D9)	データ入出力 (D9)	汎用入出力 (PH9)

ビット 8 : PH8 モードビット (PH8MD)

PH8/D8 端子の機能を選びます。

ビット 8	説 明			
PH8MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH8) (初期値)	データ入出力 (D8) (初期値)	汎用入出力 (PH8) (初期値)	汎用入出力 (PH8) (初期値)
1	データ入出力 (D8)	データ入出力 (D8)	データ入出力 (D8)	汎用入出力 (PH8)

ビット 7 : PH7 モードビット (PH7MD)

PH7/D7 端子の機能を選びます。

ビット 7	説 明		
PH7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D7) (初期値)	汎用入出力 (PH7) (初期値)	汎用入出力 (PH7) (初期値)
1	データ入出力 (D7)	データ入出力 (D7)	汎用入出力 (PH7)

ビット 6 : PH6 モードビット (PH6MD)

PH6/D6 端子の機能を選びます。

ビット 6	説 明		
PH6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D6) (初期値)	汎用入出力 (PH6) (初期値)	汎用入出力 (PH6) (初期値)
1	データ入出力 (D6)	データ入出力 (D6)	汎用入出力 (PH6)

ビット5 : PH5 モードビット (PH5MD)

PH5/D5 端子の機能を選びます。

ビット5	説 明		
PH5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D5)(初期値)	汎用入出力(PH5)(初期値)	汎用入出力(PH5)(初期値)
1	データ入出力(D5)	データ入出力(D5)	汎用入出力(PH5)

ビット4 : PH4 モードビット (PH4MD)

PH4/D4 端子の機能を選びます。

ビット4	説 明		
PH4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D4)(初期値)	汎用入出力(PH4)(初期値)	汎用入出力(PH4)(初期値)
1	データ入出力(D4)	データ入出力(D4)	汎用入出力(PH4)

ビット3 : PH3 モードビット (PH3MD)

PH3/D3 端子の機能を選びます。

ビット3	説 明		
PH3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D3)(初期値)	汎用入出力(PH3)(初期値)	汎用入出力(PH3)(初期値)
1	データ入出力(D3)	データ入出力(D3)	汎用入出力(PH3)

ビット2 : PH2 モードビット (PH2MD)

PH2/D2 端子の機能を選びます。

ビット2	説 明		
PH2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D2)(初期値)	汎用入出力(PH2)(初期値)	汎用入出力(PH2)(初期値)
1	データ入出力(D2)	データ入出力(D2)	汎用入出力(PH2)

ビット1 : PH1 モードビット (PH1MD)

PH1/D1 端子の機能を選びます。

ビット1	説 明		
PH1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D1)(初期値)	汎用入出力(PH1)(初期値)	汎用入出力(PH1)(初期値)
1	データ入出力(D1)	データ入出力(D1)	汎用入出力(PH1)

ビット0 : PH0 モードビット (PH0MD)

PH0/D0 端子の機能を選びます。

ビット0	説 明		
PH0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力(D0)(初期値)	汎用入出力(PH0)(初期値)	汎用入出力(PH0)(初期値)
1	データ入出力(D0)	データ入出力(D0)	汎用入出力(PH0)

18.3.18 ポート J・IO レジスタ (PJIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J・IO レジスタ (PJIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J にある 16 本の端子の入出力方向を選びます。PJ15IOR ~ PJ0IOR ビットが、それぞれ、PJ15/TI9F 端子 ~ PJ0/TIO2A 端子に対応しています。PJIOR はポート J の端子機能が汎用入出力 (PJ15 ~ PJ0) および ATU の入出力の場合に有効でそれ以外の場合は無効です。

ポート J の端子機能が PJ15 ~ PJ0 が ATU の入出力の場合、PJIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PJIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.19 ポート J コントロールレジスタ H、L (PJCRH、PJCL)

ポート J コントロールレジスタ H、L (PJCRH、PJCL) は、16 ビットの読み出し/書き込み可能なレジスタで、ポート J にある 16 本のマルチプレクス端子の機能を選びます。PJCRH は、ポート J の上位 8 ビットの端子の機能を、PJCL はポート J の下位 8 ビットの端子の機能を選びます。

PJCRH、PJCL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート J コントロールレジスタ H (PJCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ15 MD	-	PJ14 MD	-	PJ13 MD	-	PJ12 MD	-	PJ11 MD	-	PJ10 MD	-	PJ9 MD	-	PJ8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PJ15 モードビット (PJ15MD)

PJ15/TI9F 端子の機能を選びます。

ビット 14	説明
PJ15MD	
0	汎用入出力 (PJ15) (初期値)
1	ATU イベントカウンタ入力 (TI9F)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PJ14 モードビット (PJ14MD)

PJ14/TI9E 端子の機能を選びます。

ビット 12	説 明
PJ14MD	
0	汎用入出力 (PJ14) (初期値)
1	ATU イベントカウンタ入力 (TI9E)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PJ13 モードビット (PJ13MD)

PJ13/TI9D 端子の機能を選びます。

ビット 10	説 明
PJ13MD	
0	汎用入出力 (PJ13) (初期値)
1	ATU イベントカウンタ入力 (TI9D)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ12 モードビット (PJ12MD)

PJ12/TI9C 端子の機能を選びます。

ビット 8	説 明
PJ12MD	
0	汎用入出力 (PJ12) (初期値)
1	ATU イベントカウンタ入力 (TI9C)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6 : PJ11 モードビット (PJ11MD)

PJ11/TI9B 端子の機能を選びます。

ビット6	説 明
PJ11MD	
0	汎用入出力 (PJ11) (初期値)
1	ATU イベントカウンタ入力 (TI9B)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PJ10 モードビット (PJ10MD)

PJ10/TI9A 端子の機能を選びます。

ビット4	説 明
PJ10MD	
0	汎用入出力 (PJ10) (初期値)
1	ATU イベントカウンタ入力 (TI9A)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PJ9 モードビット (PJ9MD)

PJ9/TIO5D 端子の機能を選びます。

ビット2	説 明
PJ9MD	
0	汎用入出力 (PJ9) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO5D)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PJ8 モードビット (PJ8MD)

PJ8/TIO5C 端子の機能を選びます。

ビット0	説 明
PJ8MD	
0	汎用入出力 (PJ8) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIO5C)

(2) ポート J コントロールレジスタ L (PJCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ7 MD	-	PJ6 MD	-	PJ5 MD	-	PJ4 MD	-	PJ3 MD	-	PJ2 MD	-	PJ1 MD	-	PJ0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット14 : PJ7 モードビット (PJ7MD)

PJ7/TIO2H 端子の機能を選びます。

ビット14	説 明
PJ7MD	
0	汎用入出力 (PJ7) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIO2H)

ビット13 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12 : PJ6 モードビット (PJ6MD)

PJ6/TIO2G 端子の機能を選びます。

ビット 12	説 明
PJ6MD	
0	汎用入出力 (PJ6) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2G)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PJ5 モードビット (PJ5MD)

PJ5/TIO2F 端子の機能を選びます。

ビット 10	説 明
PJ5MD	
0	汎用入出力 (PJ5) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2F)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ4 モードビット (PJ4MD)

PJ4/TIO2E 端子の機能を選びます。

ビット 8	説 明
PJ4MD	
0	汎用入出力 (PJ4) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6 : PJ3 モードビット (PJ3MD)

PJ3/TIO2D 端子の機能を選びます。

ビット6	説 明
PJ3MD	
0	汎用入出力 (PJ3) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2D)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PJ2 モードビット (PJ2MD)

PJ2/TIO2C 端子の機能を選びます。

ビット4	説 明
PJ2MD	
0	汎用入出力 (PJ2) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PJ1 モードビット (PJ1MD)

PJ1/TIO2B 端子の機能を選びます。

ビット2	説 明
PJ1MD	
0	汎用入出力 (PJ1) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2B)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PJ0 モードビット (PJ0MD)

PJ0/TIO2A 端子の機能を選びます。

ビット0	説明
PJ0MD	
0	汎用入出力 (PJ0) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIO2A)

18.3.20 ポート K・IO レジスタ (PKIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15 IOR	PK14 IOR	PK13 IOR	PK12 IOR	PK11 IOR	PK10 IOR	PK9 IOR	PK8 IOR	PK7 IOR	PK6 IOR	PK5 IOR	PK4 IOR	PK3 IOR	PK2 IOR	PK1 IOR	PK0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K・IO レジスタ (PKIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K にある 16 本の端子の入出力方向を選びます。PK15IOR ~ PK0IOR ビットが、それぞれ、PK15/TO8P 端子 ~ PK0/TO8A 端子に対応しています。PKIOR はポート K の端子機能が汎用入出力 (PK15 ~ PK0) の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が PK15 ~ PK0 の場合、PKIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PKIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

18.3.21 ポート K コントロールレジスタ H、L (PKCRH、PKCRL)

ポート K コントロールレジスタ H、L (PKCRH、PKCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート K にある 16 本のマルチプレクス端子の機能を選びます。PKCRH はポート K の上位 8 ビットの端子の機能を、PKCRL はポート K の下位 8 ビットの端子の機能を選びます。

PKCRH、PKCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポートKコントロールレジスタH (PKCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PK15 MD	-	PK14 MD	-	PK13 MD	-	PK12 MD	-	PK11 MD	-	PK10 MD	-	PK9 MD	-	PK8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14: PK15モードビット (PK15MD)

PK15/TO8P端子の機能を選びます。

ビット 14	説明
PK15MD	
0	汎用入出力 (PK15) (初期値)
1	ATU ワンショットパルス出力 (TO8P)

ビット 13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12: PK14モードビット (PK14MD)

PK14/TO8O端子の機能を選びます。

ビット 12	説明
PK14MD	
0	汎用入出力 (PK14) (初期値)
1	ATU ワンショットパルス出力 (TO8O)

ビット 11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PK13 モードビット (PK13MD)

PK13/TO8N 端子の機能を選びます。

ビット 10	説 明
PK13MD	
0	汎用入出力 (PK13) (初期値)
1	ATU ワンショットパルス出力 (TO8N)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PK12 モードビット (PK12MD)

PK12/TO8M 端子の機能を選びます。

ビット 8	説 明
PK12MD	
0	汎用入出力 (PK12) (初期値)
1	ATU ワンショットパルス出力 (TO8M)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PK11 モードビット (PK11MD)

PK11/TO8L 端子の機能を選びます。

ビット 6	説 明
PK11MD	
0	汎用入出力 (PK11) (初期値)
1	ATU ワンショットパルス出力 (TO8L)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4 : PK10 モードビット (PK10MD)

PK10/TO8K 端子の機能を選びます。

ビット4	説 明
PK10MD	
0	汎用入出力 (PK10) (初期値)
1	ATU ワンショットパルス出力 (TO8K)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PK9 モードビット (PK9MD)

PK9/TO8J 端子の機能を選びます。

ビット2	説 明
PK9MD	
0	汎用入出力 (PK9) (初期値)
1	ATU ワンショットパルス出力 (TO8J)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PK8 モードビット (PK8MD)

PK8/TO8I 端子の機能を選びます。

ビット0	説 明
PK8MD	
0	汎用入出力 (PK8) (初期値)
1	ATU ワンショットパルス出力 (TO8I)

(2) ポートKコントロールレジスタL (PKCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PK7 MD	-	PK6 MD	-	PK5 MD	-	PK4 MD	-	PK3 MD	-	PK2 MD	-	PK1 MD	-	PK0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14: PK7 モードビット (PK7MD)

PK7/TO8H 端子の機能を選びます。

ビット 14	説明
PK7MD	
0	汎用入出力 (PK7) (初期値)
1	ATU ワンショットパルス出力 (TO8H)

ビット 13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12: PK6 モードビット (PK6MD)

PK6/TO8G 端子の機能を選びます。

ビット 12	説明
PK6MD	
0	汎用入出力 (PK6) (初期値)
1	ATU ワンショットパルス出力 (TO8G)

ビット 11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PK5 モードビット (PK5MD)

PK5/TO8F 端子の機能を選びます。

ビット 10	説 明
PK5MD	
0	汎用入出力 (PK5) (初期値)
1	ATU ワンショットパルス出力 (TO8F)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PK4 モードビット (PK4MD)

PK4/TO8E 端子の機能を選びます。

ビット 8	説 明
PK4MD	
0	汎用入出力 (PK4) (初期値)
1	ATU ワンショットパルス出力 (TO8E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PK3 モードビット (PK3MD)

PK3/TO8D 端子の機能を選びます。

ビット 6	説 明
PK3MD	
0	汎用入出力 (PK3) (初期値)
1	ATU ワンショットパルス出力 (TO8D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4 : PK2 モードビット (PK2MD)

PK2/TO8C 端子の機能を選びます。

ビット4	説 明
PK2MD	
0	汎用入出力 (PK2) (初期値)
1	ATU ワンショットパルス出力 (TO8C)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PK1 モードビット (PK1MD)

PK1/TO8B 端子の機能を選びます。

ビット2	説 明
PK1MD	
0	汎用入出力 (PK1) (初期値)
1	ATU ワンショットパルス出力 (TO8B)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PK0 モードビット (PK0MD)

PK0/TO8A 端子の機能を選びます。

ビット0	説 明
PK0MD	
0	汎用入出力 (PK0) (初期値)
1	ATU ワンショットパルス出力 (TO8A)

18.3.22 ポート K インバートレジスタ (PKIR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15	PK14	PK13	PK12	PK11	PK10	PK9	PK8	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K インバートレジスタ (PKIR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K の反転機能を設定します。PK15IR ~ PK0IR ビットが、それぞれ、PK15/TO8P ~ PK0/TO8A 端子に対応しています。PKIR はポート K の端子機能が ATU の出力の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が ATU の出力の場合、PKIR のビット 1 にすると、対応する端子の値は反転します。

PKIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PKnIR	説 明
0	値を反転しない (初期値)
1	値を反転する

n = 15 ~ 0

19. I/O ポート

第 19 章 目次

19.1	概要	719
19.2	ポート A	720
19.2.1	レジスタ構成	720
19.2.2	ポート A データレジスタ (PADR)	720
19.3	ポート B	722
19.3.1	レジスタ構成	722
19.3.2	ポート B データレジスタ (PBDR)	722
19.4	ポート C	724
19.4.1	レジスタ構成	724
19.4.2	ポート C データレジスタ (PCDR)	724
19.5	ポート D	726
19.5.1	レジスタ構成	726
19.5.2	ポート D データレジスタ (PDDR)	726
19.6	ポート E	728
19.6.1	レジスタ構成	728
19.6.2	ポート E データレジスタ (PEDR)	729
19.7	ポート F	730
19.7.1	レジスタ構成	730
19.7.2	ポート F データレジスタ (PFDR)	731
19.8	ポート G	733
19.8.1	レジスタ構成	733
19.8.2	ポート G データレジスタ (PGDR)	733
19.9	ポート H	735
19.9.1	レジスタ構成	736
19.9.2	ポート H データレジスタ (PHDR)	736
19.10	ポート J	738
19.10.1	レジスタ構成	738

19. I/Oポート (I/O)

19.10.2	ポートJデータレジスタ (PJDR)	738
19.11	ポートK	740
19.11.1	レジスタ構成	740
19.11.2	ポートKデータレジスタ (PKDR)	740
19.12	POD (ポートアウトプットディスエーブル)	742

19.1 概要

ポートは、A、B、C、D、E、F、G、H、J、Kの10本から構成されています。

ポートA、B、E、F、H、J、Kは16ビット、ポートCは5ビット、ポートDは14ビット、ポートGは4ビットの入出力サポートです。

それぞれのポートの端子は、すべて、汎用入出力と、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタを1本ずつもっています。

19.2 ポート A

ポート A は、図 19.1 に示すような、16 本の端子を持つ入出力ポートです。

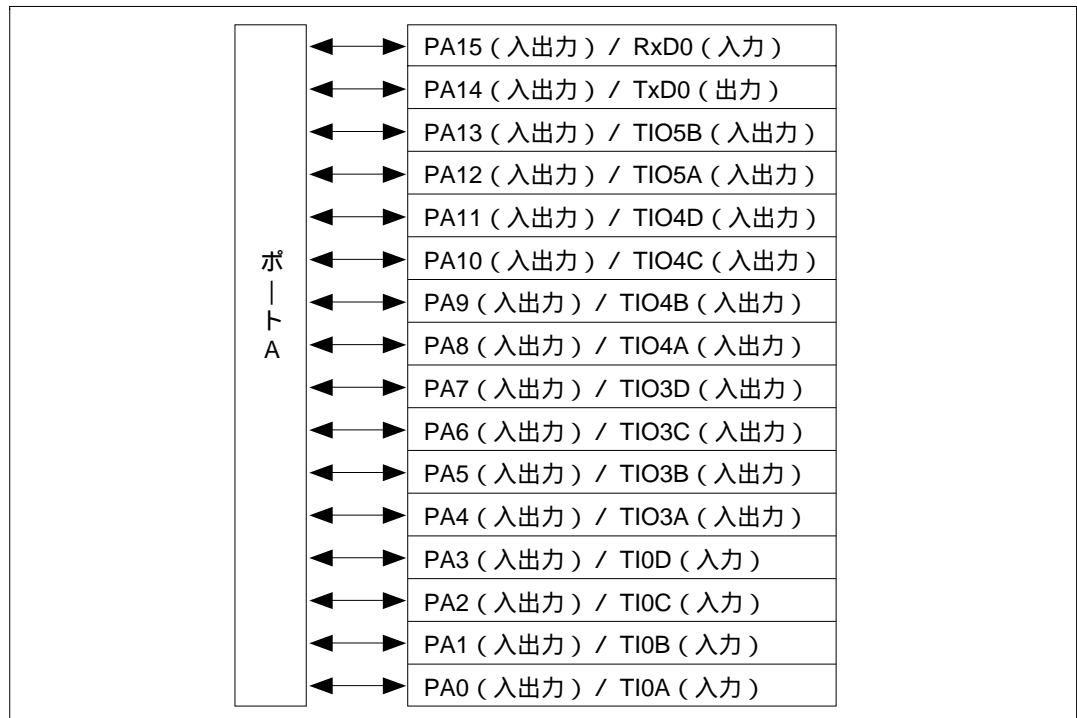


図 19.1 ポート A

19.2.1 レジスタ構成

ポート A のレジスタ構成を表 19.1 に示します。

表 19.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'0000	H'FFFFFF26	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.2.2 ポート A データレジスタ (PADR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ (PADR) は、読み出し / 書き込み可能な 16 ビットのレジスタ

で、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/RxD0 ~ PA0/TIOA 端子に対応しています。

端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込めますが、端子の状態には影響しません。表 19.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

ビット 15 ~ 0

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

19.3 ポート B

ポート B は、図 19.2 に示すような、16本の端子を持つ入出力ポートです。

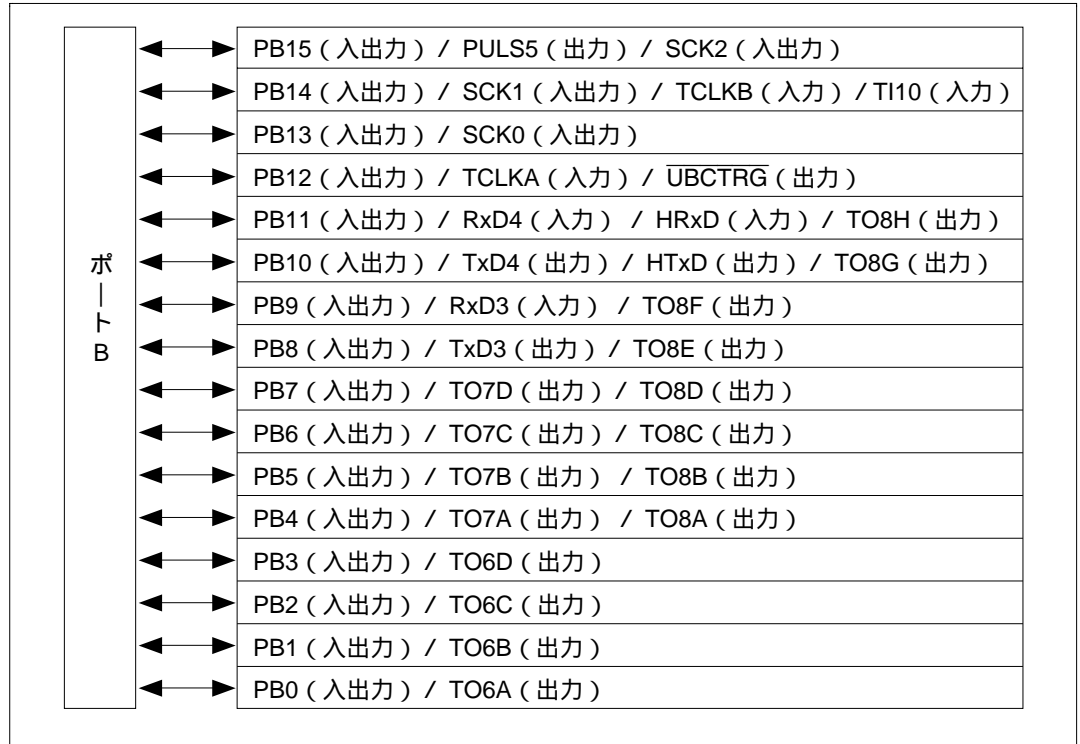


図 19.2 ポート B

19.3.1 レジスタ構成

ポート B のレジスタ構成を表 19.3 に示します。

表 19.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFFFF38	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB15DR ~ PB0DR ビットは、それぞれ、PB15/PULS5/SCK2 ~ PB0/TO6A 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 19.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

ビット 15 ~ 0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

19.4 ポート C

ポート C は、図 19.3 に示すような、5本の端子を持つ入出力ポートです。

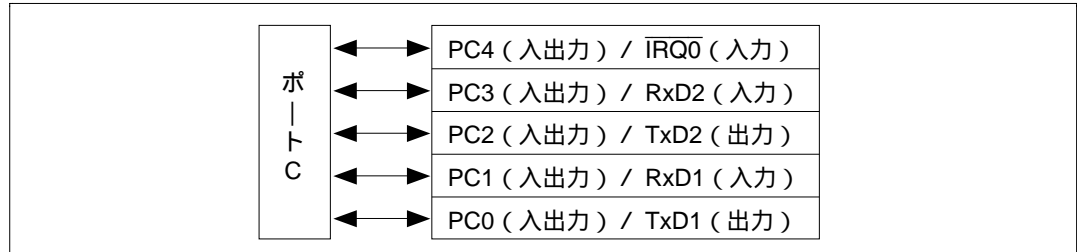


図 19.3 ポート C

19.4.1 レジスタ構成

ポート C のレジスタ構成を表 19.5 に示します。

表 19.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFFFF73E	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC4DR ~ PC0DR ビットは、それぞれ、PC4/ $\overline{\text{IRQ0}}$ ~ PC0/TxD1 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 19.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期

化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

ビット15~5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

表 19.6 ポートCデータレジスタ (PCDR) の読み出し / 書き込み動作

ビット4~0

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRに書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRの値	書き込み値が端子から出力される
	汎用出力以外	PCDRの値	PCDRに書き込めるが、端子の状態に影響しない

19.5 ポート D

ポート D は、図 19.4 に示すような、14 本の端子を持つ入出力ポートです。

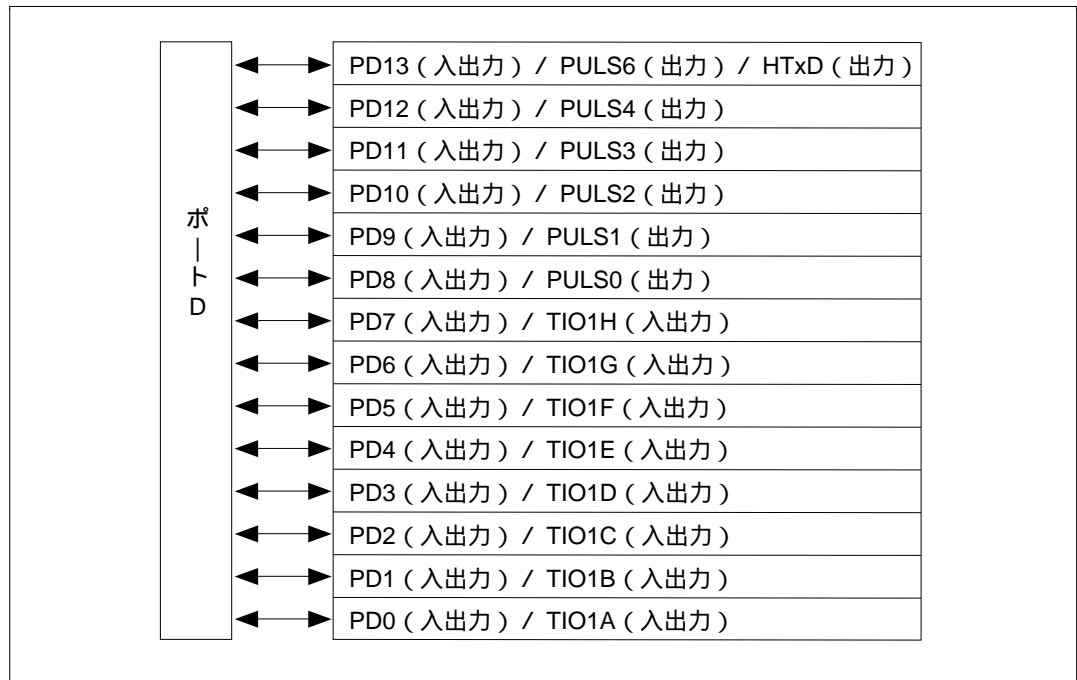


図 19.4 ポート D

19.5.1 レジスタ構成

ポート D のレジスタ構成を表 19.7 に示します。

表 19.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W	H'0000	H'FFFFFF746	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.5.2 ポート D データレジスタ (PDDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ (PDDR) は、読み出し / 書き込み可能な 16 ビットのレジスタ

で、ポート D のデータを格納します。PD13DR ~ PD0DR ビットは、それぞれ、PD13/PULS6/HTxD0/HTxD1 ~ PD0/TIO1A 端子に対応しています。

端子機能が汎用出力の場合には、PDDR に値を書き込むと端子からその値が出力され、PDDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDR に値を書き込むと、PDDR にその値を書き込めますが、端子の状態には影響しません。表 19.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15、14 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 19.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

ビット 13 ~ 0

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

19.6 ポート E

ポート E は、図 19.5 に示すような、16 本の端子を持つ入出力ポートです。

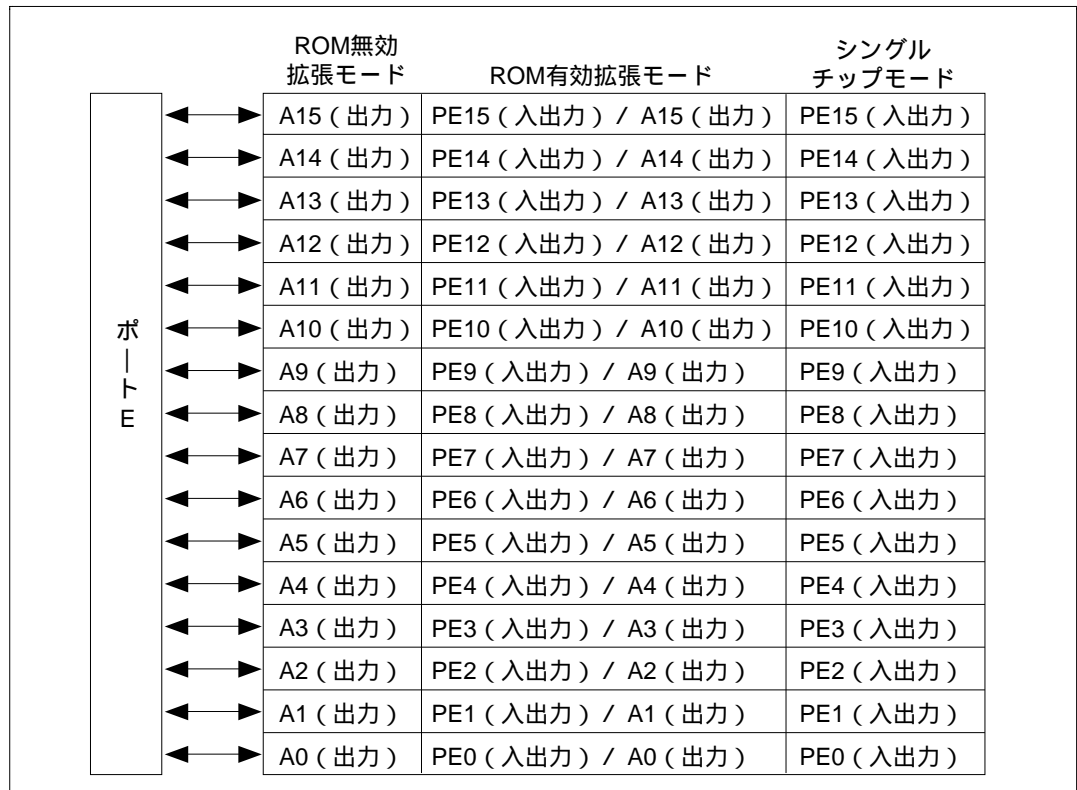


図 19.5 ポート E

19.6.1 レジスタ構成

ポート E のレジスタ構成を表 19.9 に示します。

表 19.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFFFF754	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE0DR ビットは、それぞれ、PE15/A15 ~ PE0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PEDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 19.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

ビット 15 ~ 0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ)
			PEDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

19.7 ポート F

ポート F は、図 19.6 に示すような、16 本の端子を持つ入出力ポートです。

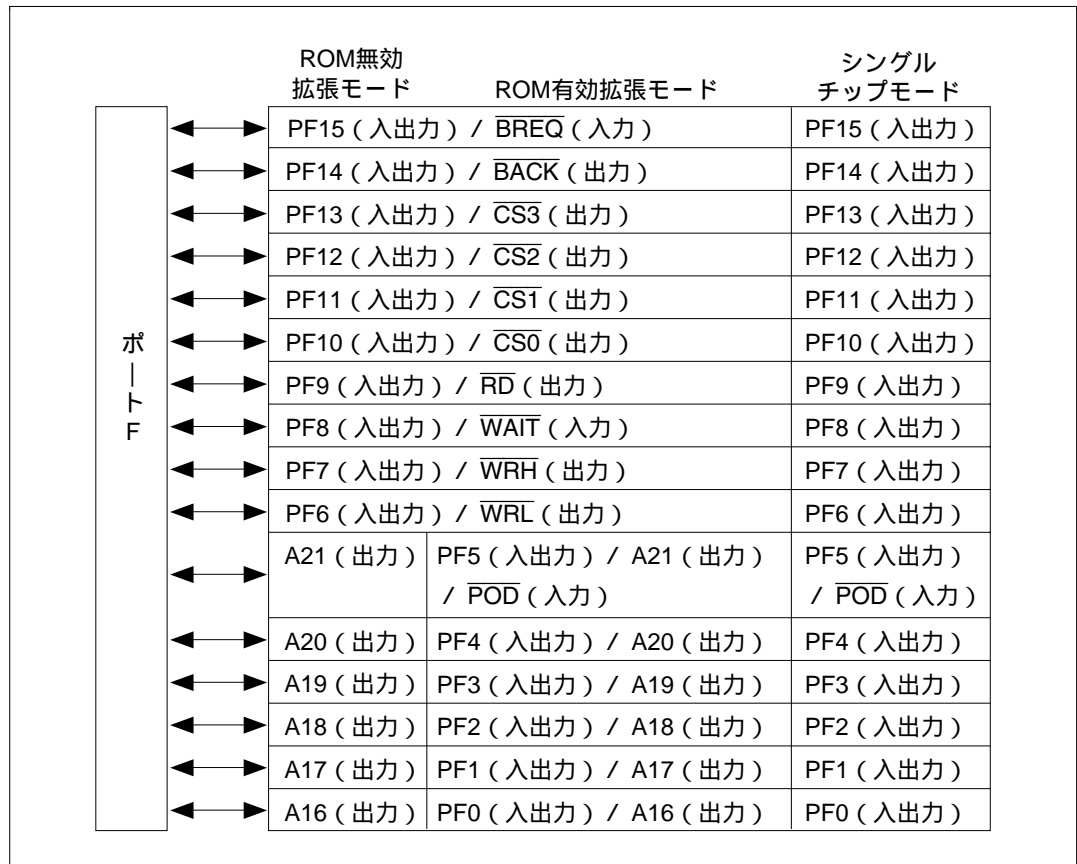


図 19.6 ポート E

19.7.1 レジスタ構成

ポート F のレジスタ構成を表 19.11 に示します。

表 19.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	H'0000	H'FFFFFF74E	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.7.2 ポート F データレジスタ (PFDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F データレジスタ (PFDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR ~ PF0DR ビットは、それぞれ、PF15/ $\overline{\text{BREQ}}$ ~ PF0/A16 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、PF0 ~ PF4 は、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PFDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込めますが、端子の状態には影響しません。表 19.12 にポート F データレジスタの読み出し / 書き込み動作を示します。

PFDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.12 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

ビット 15 ~ 5

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

ビット4~0

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される (\overline{POD} 端子=ハイ)
			PFDR の値にかかわらずハイインピーダンス (\overline{POD} 端子=ロー)
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

19.8 ポート G

ポート G は、図 19.7 に示すような、4 本の端子を持つ入出力ポートです。

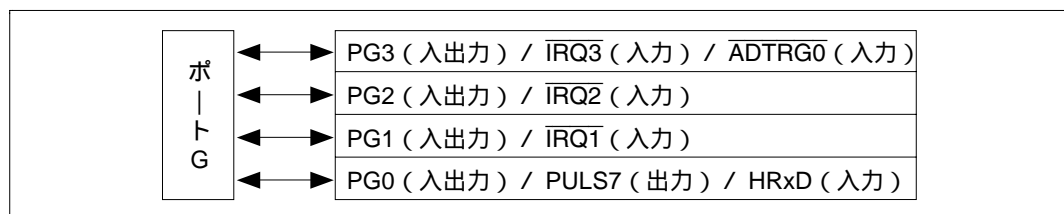


図 19.7 ポート E

19.8.1 レジスタ構成

ポート G のレジスタ構成を表 19.13 に示します。

表 19.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDR	R/W	H'0000	H'FFFFFF764	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.8.2 ポート G データレジスタ (PGDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポート G データレジスタ (PGDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG3DR ~ PG0DR ビットは、それぞれ、PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ ~ PG0/PULS7/HRxD 端子に対応しています。

端子機能が汎用出力の場合には、PGDR に値を書き込むと端子からその値が出力され、PGDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDR に値を書き込むと、PGDR にその値を書き込めますが、端子の状態には影響しません。表 19.14 にポート G データレジスタの読み出し / 書き込み動作を示します。

PGDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~4 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

表 19.14 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

ビット 3~0

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

19.9 ポート H

ポート H は、図 19.8 に示すような、16 本の端子を持つ入出力ポートです。

ポート H	ROM無効拡張モード (エリア0:8ビット)(エリア0:16ビット)		ROM有効 拡張モード	シングル チップモード
	↔	PH15 (入出力) / D15 (入出力)	D15 (入出力)	PH15 (入出力) / D15 (入出力)
↔	PH14 (入出力) / D14 (入出力)	D14 (入出力)	PH14 (入出力) / D14 (入出力)	PH14 (入出力)
↔	PH13 (入出力) / D13 (入出力)	D13 (入出力)	PH13 (入出力) / D13 (入出力)	PH13 (入出力)
↔	PH12 (入出力) / D12 (入出力)	D12 (入出力)	PH12 (入出力) / D12 (入出力)	PH12 (入出力)
↔	PH11 (入出力) / D11 (入出力)	D11 (入出力)	PH11 (入出力) / D11 (入出力)	PH11 (入出力)
↔	PH10 (入出力) / D10 (入出力)	D10 (入出力)	PH10 (入出力) / D10 (入出力)	PH10 (入出力)
↔	PH9 (入出力) / D9 (入出力)	D9 (入出力)	PH9 (入出力) / D9 (入出力)	PH9 (入出力)
↔	PH8 (入出力) / D8 (入出力)	D8 (入出力)	PH8 (入出力) / D8 (入出力)	PH8 (入出力)
↔	D7 (入出力)		PH7 (入出力) / D7 (入出力)	PH7 (入出力)
↔	D6 (入出力)		PH6 (入出力) / D6 (入出力)	PH6 (入出力)
↔	D5 (入出力)		PH5 (入出力) / D5 (入出力)	PH5 (入出力)
↔	D4 (入出力)		PH4 (入出力) / D4 (入出力)	PH4 (入出力)
↔	D3 (入出力)		PH3 (入出力) / D3 (入出力)	PH3 (入出力)
↔	D2 (入出力)		PH2 (入出力) / D2 (入出力)	PH2 (入出力)
↔	D1 (入出力)		PH1 (入出力) / D1 (入出力)	PH1 (入出力)
↔	D0 (入出力)		PH0 (入出力) / D0 (入出力)	PH0 (入出力)

図 19.8 ポート H

19.9.1 レジスタ構成

ポートHのレジスタ構成を表 19.15 に示します。

表 19.15 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポートHデータレジスタ	PHDR	R/W	H'0000	H'FFFFFF72C	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず4サイクルまたは5サイクルです。

19.9.2 ポートHデータレジスタ (PHDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートHデータレジスタ (PHDR) は、読み出し / 書き込み可能な16ビットのレジスタで、ポートHのデータを格納します。PH15DR ~ PH0DR ビットは、それぞれ、PH15/D15 ~ PH0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PHDR に値を書き込むと端子からその値が出力され、PHDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PHDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PHDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PHDR に値を書き込むと、PHDR にその値を書き込めますが、端子の状態には影響しません。表 19.16 にポートHデータレジスタの読み出し / 書き込み動作を示します。

PHDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.16 ポートHデータレジスタ (PHDR) の読み出し / 書き込み動作

ビット 15 ~ 0

PHIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PHDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ)
			PHDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない

19.10 ポート J

ポート J は、図 19.9 に示すような、16本の端子を持つ入出力ポートです。

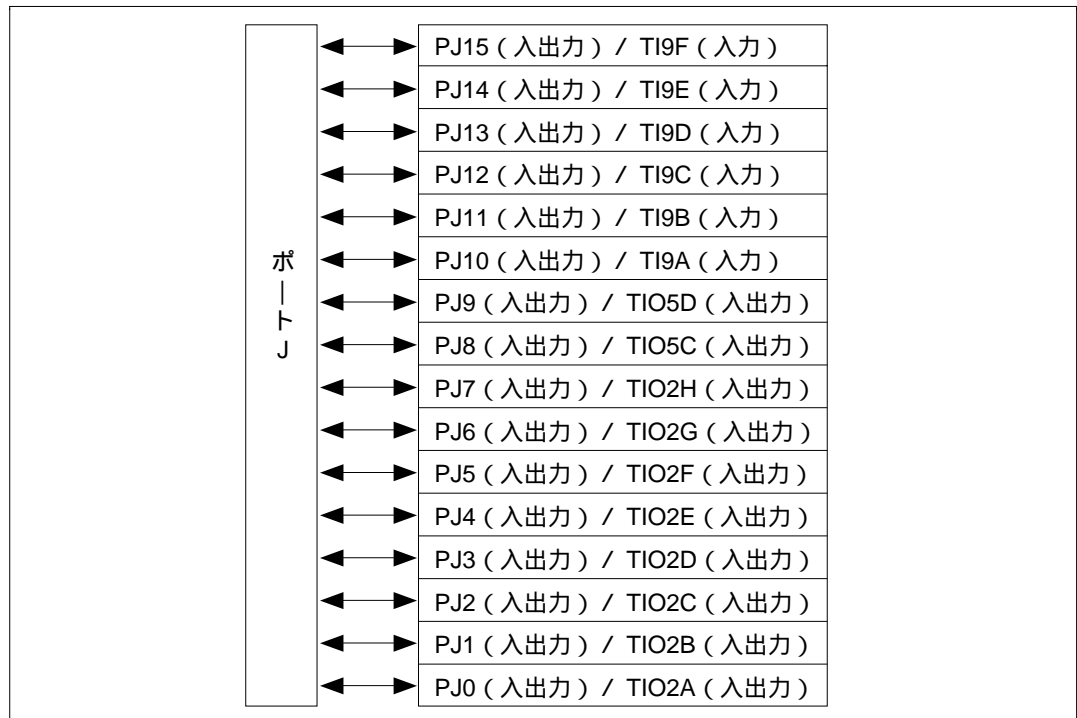


図 19.9 ポート J

19.10.1 レジスタ構成

ポート J のレジスタ構成を表 19.17 に示します。

表 19.17 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート J データレジスタ	PJDR	R/W	H'0000	H'FFFFFF76C	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.10.2 ポート J データレジスタ (PJDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J データレジスタ (PJDR) は、読み出し / 書き込み可能な 16 ビットのレジスタ

で、ポート J のデータを格納します。PJ15DR~PJ0DR ビットは、それぞれ、PJ15/TI9F~PJ0/TIO2A 端子に対応しています。

端子機能が汎用出力の場合には、PJDR に値を書き込むと端子からその値が出力され、PJDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR に値を書き込むと、PJDR にその値を書き込めますが、端子の状態には影響しません。表 19.18 にポート J データレジスタの読み出し / 書き込み動作を示します。

PJDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.18 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作

ビット 15~0

PJIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDR の値	書き込み値が端子から出力される
	汎用出力以外	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない

19.11 ポート K

ポート K は、図 19.10 に示すような、16 本の端子を持つ入出力ポートです。

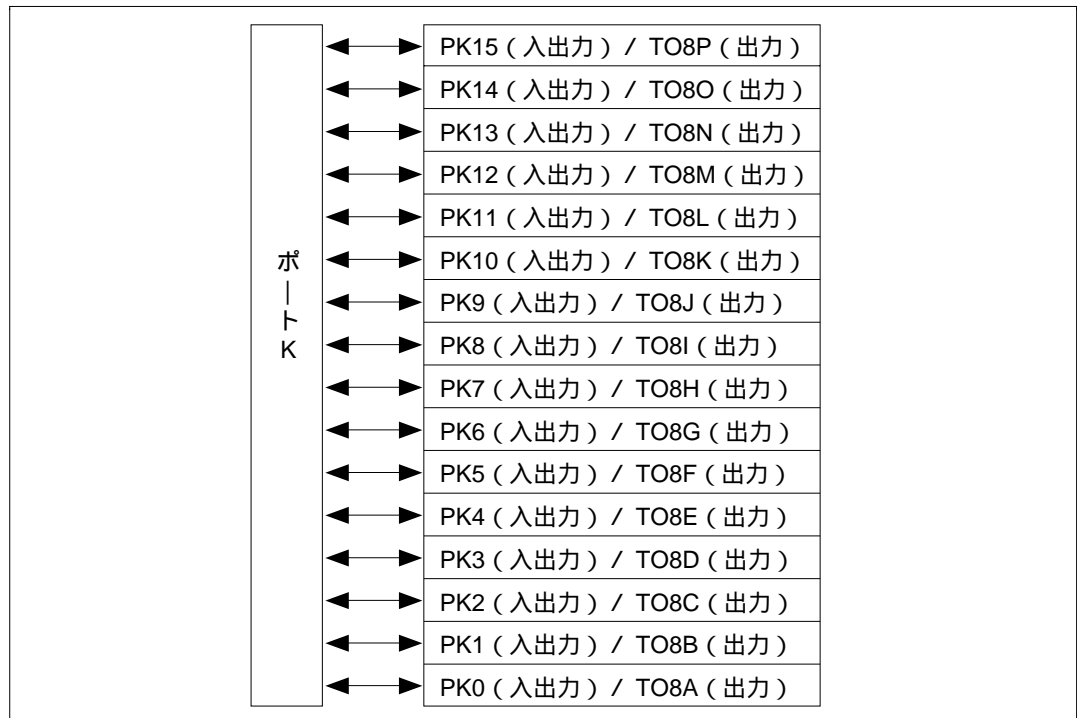


図 19.10 ポート K

19.11.1 レジスタ構成

ポート K のレジスタ構成を表 19.19 に示します。

表 19.19 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート K データレジスタ	PKDR	R/W	H'0000	H'FFFFFF78	8、16

【注】レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

19.11.2 ポート K データレジスタ (PKDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15	PK14	PK13	PK12	PK11	PK10	PK9	PK8	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K データレジスタ (PKDR) は、読み出し / 書き込み可能な 16 ビットのレジスタ

で、ポートKのデータを格納します。PK15DR ~ PK0DR ビットは、それぞれ、PK15/TO8P ~ PK0/TO8A 端子に対応しています。

端子機能が汎用出力の場合には、PKDR に値を書き込むと端子からその値が出力され、PKDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PKDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PKDR に値を書き込むと、PKDR にその値を書き込めますが、端子の状態には影響しません。表 19.20 にポート K データレジスタの読み出し / 書き込み動作を示します。

PKDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 19.20 ポート K データレジスタ (PKDR) の読み出し / 書き込み動作

ビット 15 ~ 0

PKIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PKDR の値	書き込み値が端子から出力される
	汎用出力以外	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない

19.12 POD (ポートアウトプットディスエーブル)

$\overline{\text{POD}}$ (ポートアウトプットディスエーブル) 端子の入力レベルにより、アドレスバス端子 (A20 ~ A0) およびデータバス端子 (D15 ~ D0) の出力ポートのドライブバッファを制御できます。ただし、この機能はアドレスバス端子 (A20 ~ A0) およびデータバス端子 (D15 ~ D0) が汎用出力ポートに設定されているときにのみ有効です。

$\overline{\text{POD}}$ による出力バッファの制御はバスサイクルとは非同期に行います。

$\overline{\text{POD}}$	アドレスバス (A20 ~ A0) 端子とデータバス (D15 ~ D0) 端子 (出力ポート設定時)
0	有効 (ハイインピーダンス)
1	無効 (汎用出力)

20. ROM (SH7052F/SH7053F)

第 20 章 目次

20.1	特長.....	745
20.2	概要.....	746
	20.2.1	ブロック図..... 746
	20.2.2	モード遷移図..... 747
	20.2.3	オンボードプログラミングモード..... 748
	20.2.4	RAM によるフラッシュメモリのエミュレーション..... 750
	20.2.5	ブートモードとユーザプログラムモードの相違点..... 751
	20.2.6	ブロック分割法..... 751
20.3	端子構成.....	752
20.4	レジスタ構成.....	752
20.5	レジスタの説明.....	753
	20.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)..... 753
	20.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)..... 756
	20.5.3	ブロック指定レジスタ 1 (EBR1)..... 757
	20.5.4	ブロック指定レジスタ 2 (EBR2)..... 758
	20.5.5	RAM エミュレーションレジスタ (RAMER)..... 759
20.6	オンボードプログラミングモード.....	761
	20.6.1	ブートモード..... 762
	20.6.2	ユーザプログラムモード..... 765
20.7	フラッシュメモリの書き込み / 消去.....	767
	20.7.1	プログラムモード..... 767
	20.7.2	プログラムベリファイモード..... 768
	20.7.3	イレースモード..... 771
	20.7.4	イレースベリファイモード..... 772
20.8	プロテクト.....	775

20.8.1	ハードウェアプロテクト.....	775
20.8.2	ソフトウェアプロテクト.....	776
20.8.3	エラープロテクト.....	777
20.9	RAM によるフラッシュメモリのエミュレーション	778
20.10	フラッシュメモリの書き込み / 消去時の注意.....	780
20.11	フラッシュメモリのライターモード	780
20.11.1	ソケットアダプタの端子対応図.....	780
20.11.2	ライターモードの動作	783
20.11.3	メモリ読み出しモード	784
20.11.4	自動書き込みモード	787
20.11.5	自動消去モード	788
20.11.6	ステータス読み出しモード	790
20.11.7	ステータスポーリング	791
20.11.8	ライターモードへの遷移時間	791
20.11.9	メモリ書き込み注意事項.....	792

20.1 特長

SH7052F/SH7053F は 256kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み/消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 4kB、32kB、64kB のブロック単位で任意に設定することができます。

書き込み/消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 7ms (typ.)、1 バイトあたり換算にて 55 μ s (typ.)、消去時間はブロックあたり 100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う 2 種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外に PROM ライタを用いたライターモードがあります。

20.2 概要

20.2.1 ブロック図

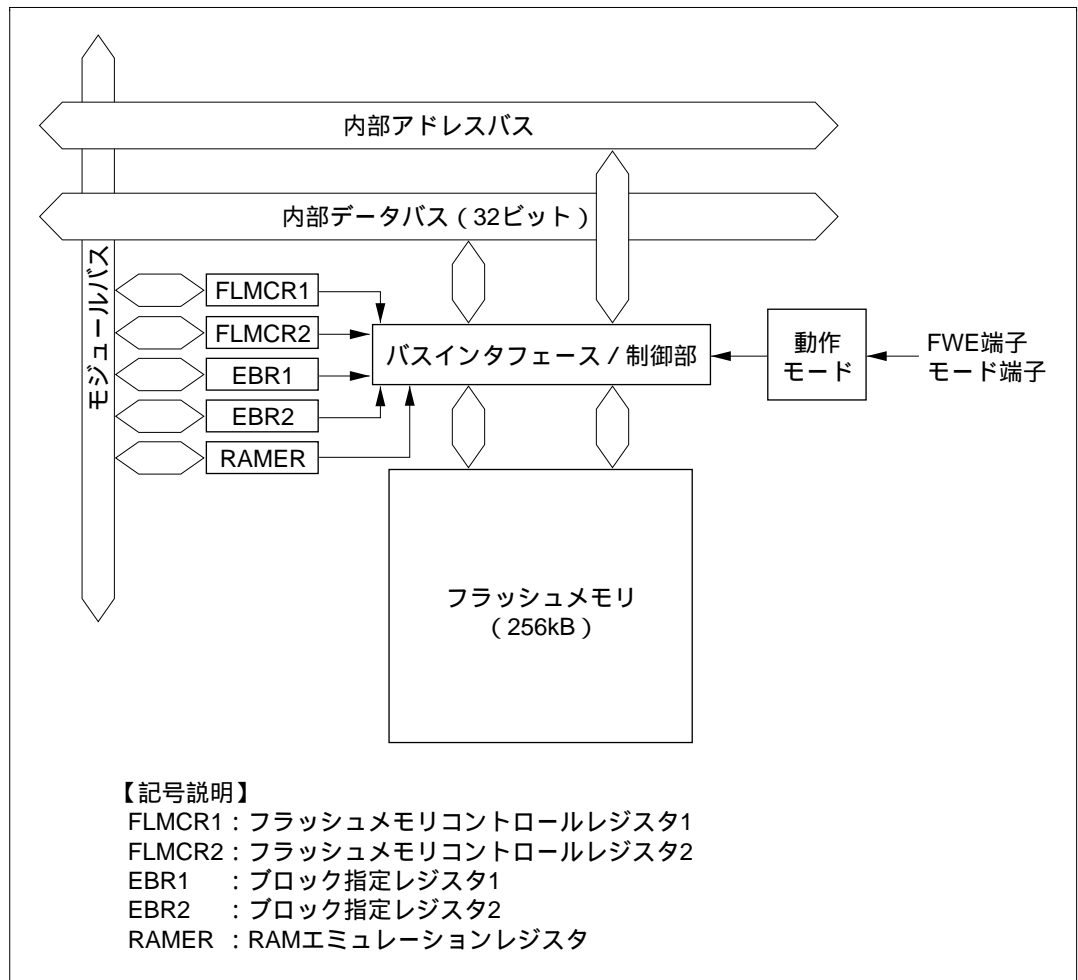


図 20.1 フラッシュメモリのブロック図

20.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 20.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

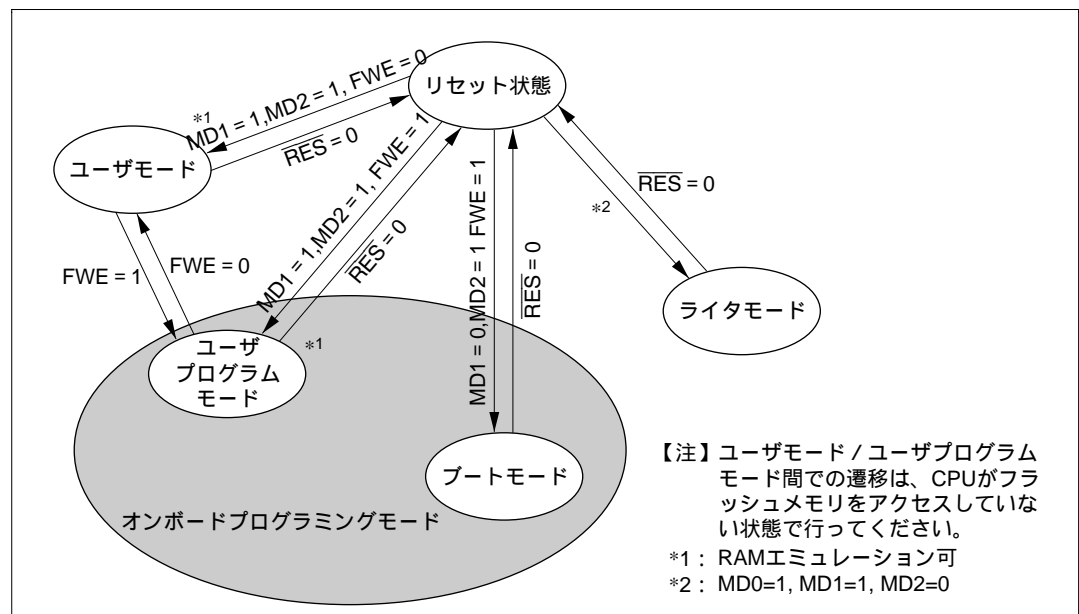
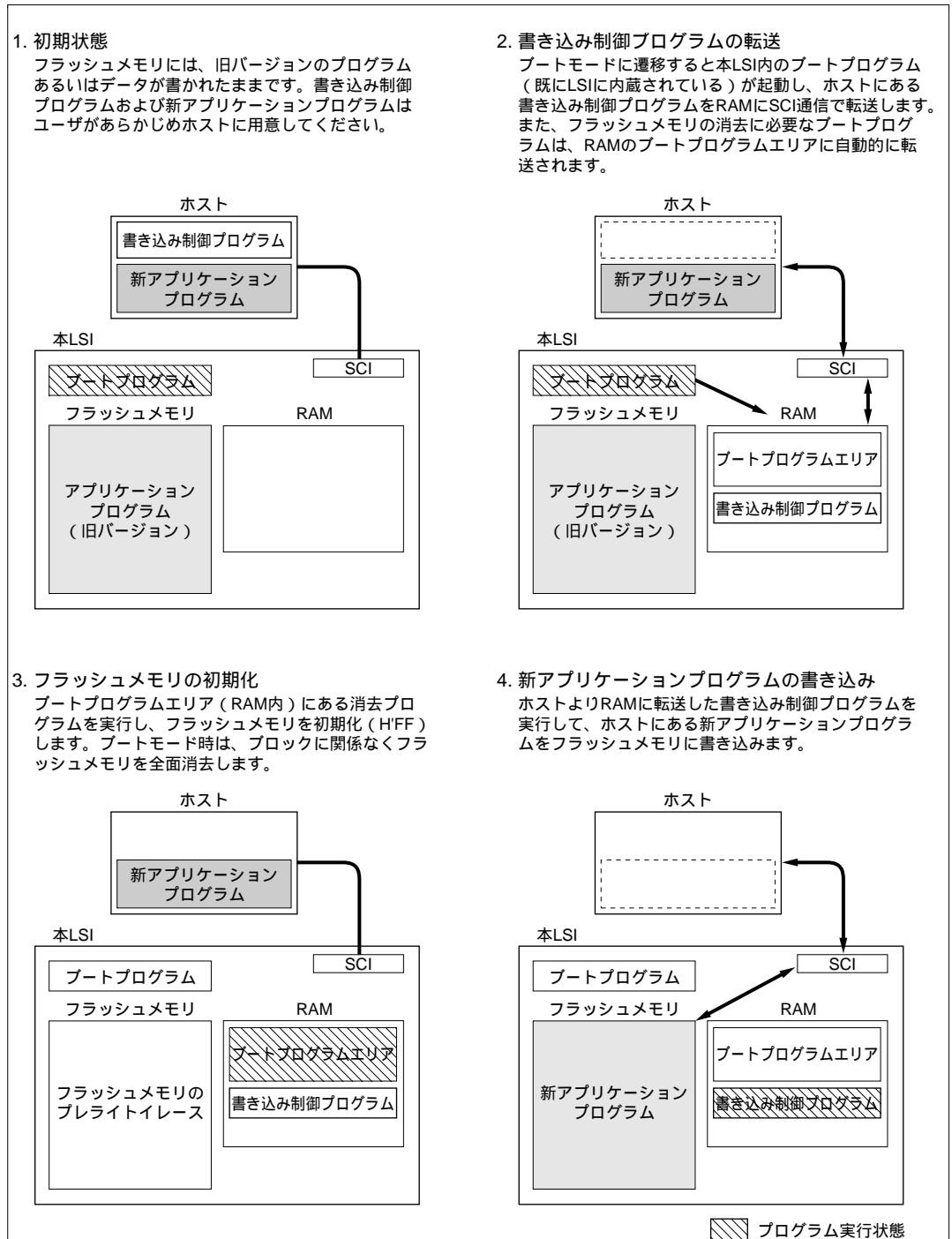


図 20.2 フラッシュメモリに関する状態遷移

20.2.3 オンボードプログラミングモード

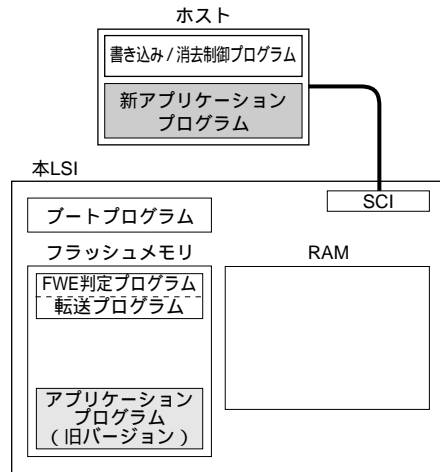
(1) ブートモード



(2) ユーザプログラムモード

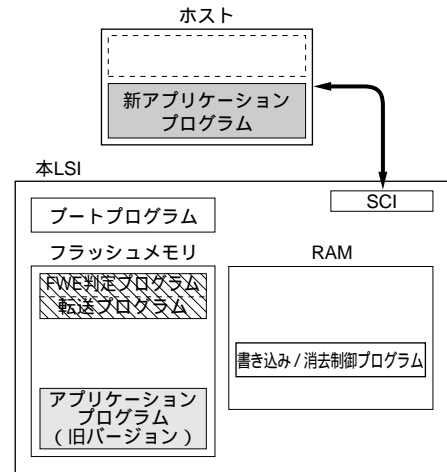
1. 初期状態

(1) ユーザプログラムモードに移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



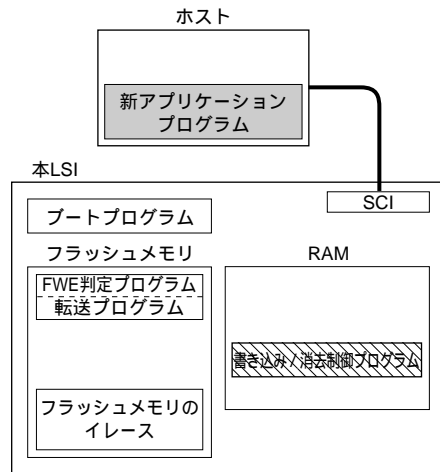
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移ると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



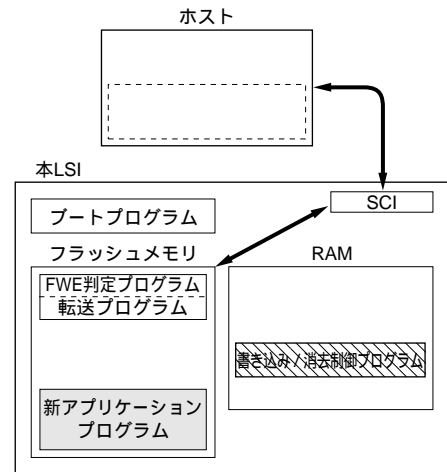
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 20.4 ユーザプログラムモード

20.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

<ユーザプログラムモード>

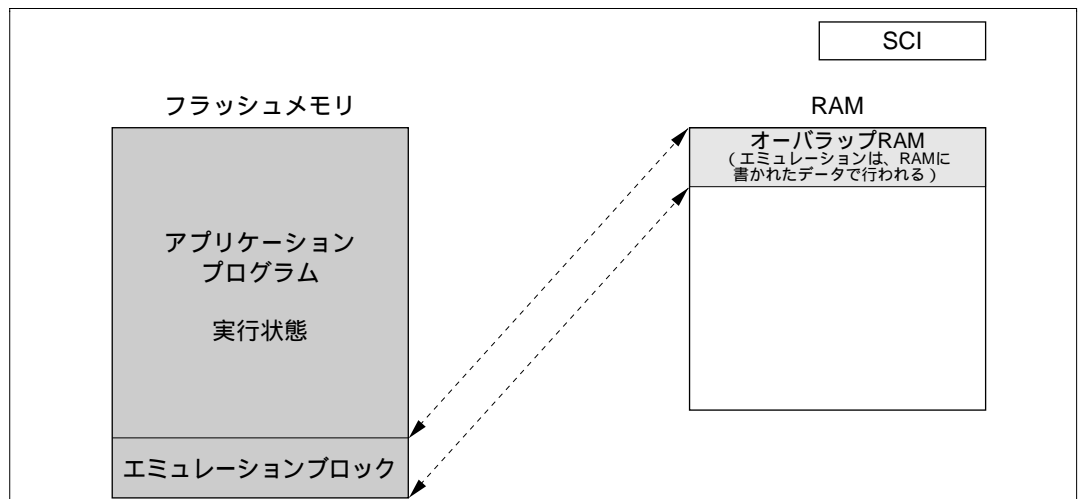


図 20.5 エミュレーション

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>

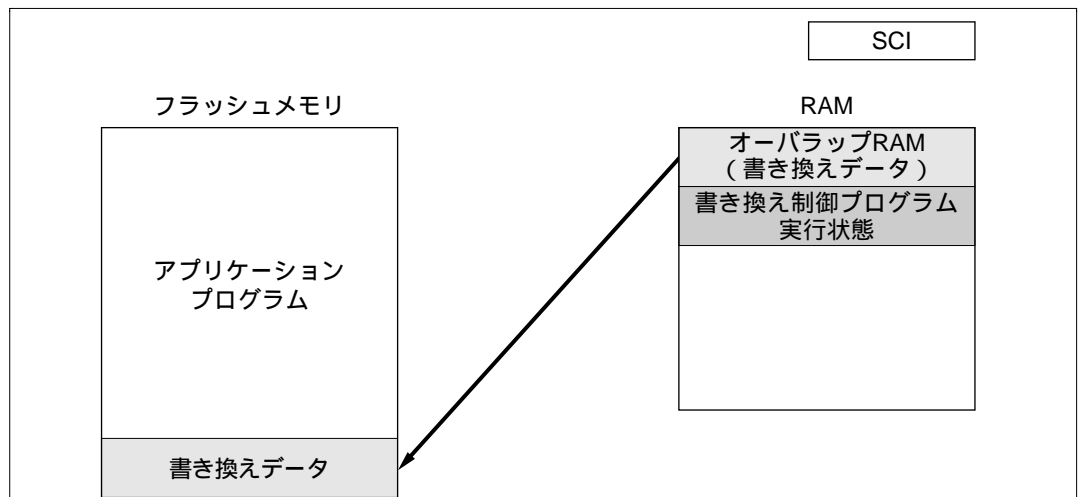


図 20.6 フラッシュメモリへの書き込み

20.2.5 ブートモードとユーザプログラムモードの相違点

表 20.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

20.2.6 ブロック分割法

64kB (3 ブロック)、32kB (1 ブロック)、4kB (8 ブロック) に分割されています。

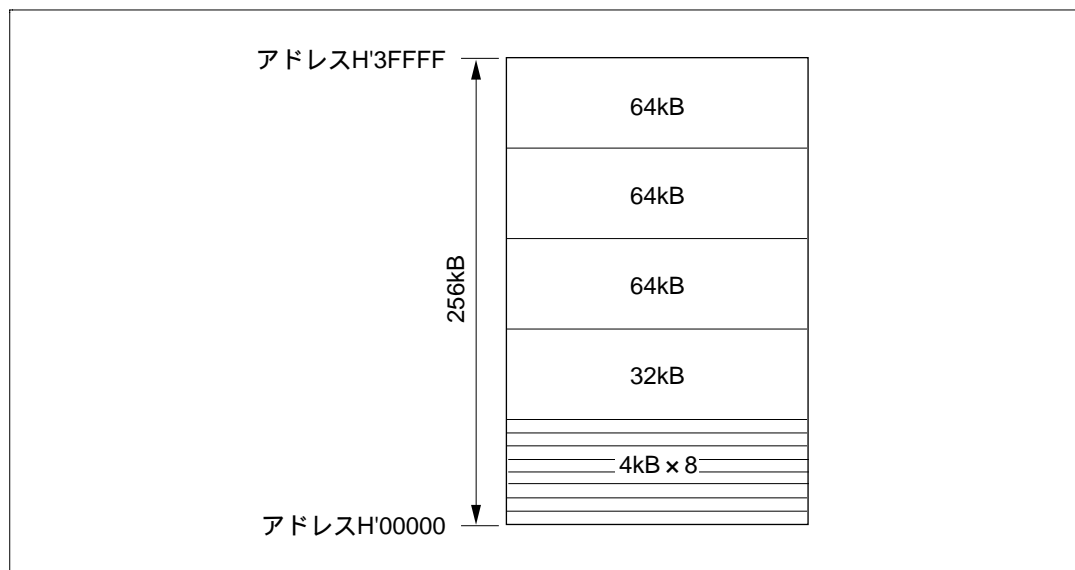


図 20.7 ブロック分割

20.3 端子構成

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

20.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 20.3 に示します。

表 20.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*2	H'FFFFFFE800	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W*1	H'00	H'FFFFFFE801	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*3	H'FFFFFFE802	8
ブロック指定レジスタ 2	EBR2	R/W*1	H'00*4	H'FFFFFFE803	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFFFFEC26	8、16、32

【注】 *1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*2 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。

4. FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR2 の SWE2 ビットがセットされていないときは H'00 に初期化されます。

5. FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。

6. FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

20.5 レジスタの説明

20.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。プログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE1 ビットをセット後、EV1 ビットまたは PV1 ビットをセットします。プログラムモードへ遷移させるには、FWE=1 時に、SWE1 ビットをセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。イレースモードへ遷移するには、FWE=1 時に、SWE1 ビットをセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE1 ビットへの書き込みは FWE=1 のとき、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE=1、SWE1=1 のとき、E1 ビットへの書き込みは FWE=1、SWE1=1、ESU1=1 のとき、P1 ビットへの書き込みは FWE=1、SWE1=1、PSU1=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット6：ソフトウェアライトイネーブルビット1 (SWE1)

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです (ビット5~0、EBR1の7~0ビット、EBR2の3~0ビットをセットするときにセットしてください)。

ビット6	説明
SWE1	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです (SWE1、PSU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです (SWE1、ESU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください)。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE1 = 1、ESU1 = 1 のとき

ビット0：プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです (SWE1、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE1 = 1、PSU1 = 1 のとき

20.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリの書き込み、消去中にエラーが発生したことを示すステータスレジスタです。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモードで H'00 に初期化します。内蔵フラッシュメモリが無効なときは読み出すと H'00 が読み出され、書き込みも無効となります。

ビット：	7	6	5	4	3	2	1	0
	FLER							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「20.8.3 エラープロテクト」参照

ビット6～0：予約ビット

読み出すと、常に0が読み出されます。書き込む値も0にしてください。

20.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR1は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にローレベルが入力されているとき、およびFWE端子にハイレベルが入力されていてもFLMCR1のSWE1ビットが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください。設定するとEBR1とEBR2はともに0にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表20.5を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、H'00 に初期化されます。また FWE 端子にハイレベルが入力されていても、FLMCR1 の SWE1 ビットが設定されていないときはビット 3~0 が 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 20.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
					EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

表 20.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4kB)	H'000000 ~ H'000FFF
EB1 (4kB)	H'001000 ~ H'001FFF
EB2 (4kB)	H'002000 ~ H'002FFF
EB3 (4kB)	H'003000 ~ H'003FFF
EB4 (4kB)	H'004000 ~ H'004FFF
EB5 (4kB)	H'005000 ~ H'005FFF
EB6 (4kB)	H'006000 ~ H'006FFF
EB7 (4kB)	H'007000 ~ H'007FFF
EB8 (32kB)	H'008000 ~ H'00FFFF
EB9 (64kB)	H'010000 ~ H'01FFFF
EB10 (64kB)	H'020000 ~ H'02FFFF
EB11 (64kB)	H'030000 ~ H'03FFFF

20.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするとき、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリエリアの分割法は、表 20.5 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット2、1、0：フラッシュメモリエリア選択

ビット3と共に使用し、RAMと重ね合わせるフラッシュメモリのエリアを選択します。
(表 20.5 参照)

表 20.5 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFF8000 ~ H'FFFF8FFF	RAM エリア 4kB	0	*	*	*
H'00000000 ~ H'00000FFF	EB0 (4kB)	1	0	0	0
H'00001000 ~ H'00001FFF	EB1 (4kB)	1	0	0	1
H'00002000 ~ H'00002FFF	EB2 (4kB)	1	0	1	0
H'00003000 ~ H'00003FFF	EB3 (4kB)	1	0	1	1
H'00004000 ~ H'00004FFF	EB4 (4kB)	1	1	0	0
H'00005000 ~ H'00005FFF	EB5 (4kB)	1	1	0	1
H'00006000 ~ H'00006FFF	EB6 (4kB)	1	1	1	0
H'00007000 ~ H'00007FFF	EB7 (4kB)	1	1	1	1

* : Don't care

20.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 20.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 20.2 を参照してください。

表 20.6 オンボードプログラミングモードの設定方法

モード名		PLL 通倍比	FWE	MD2	MD1	MD0
ブートモード	拡張モード	×4	1	1	0	0
	シングルチップモード			1	0	1
ユーザプログラムモード	拡張モード		1	1	1	0
	シングルチップモード			1	1	1

20.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 20.8 にブートモード時のシステム構成図、図 20.9 にブートモード実行手順を示します。

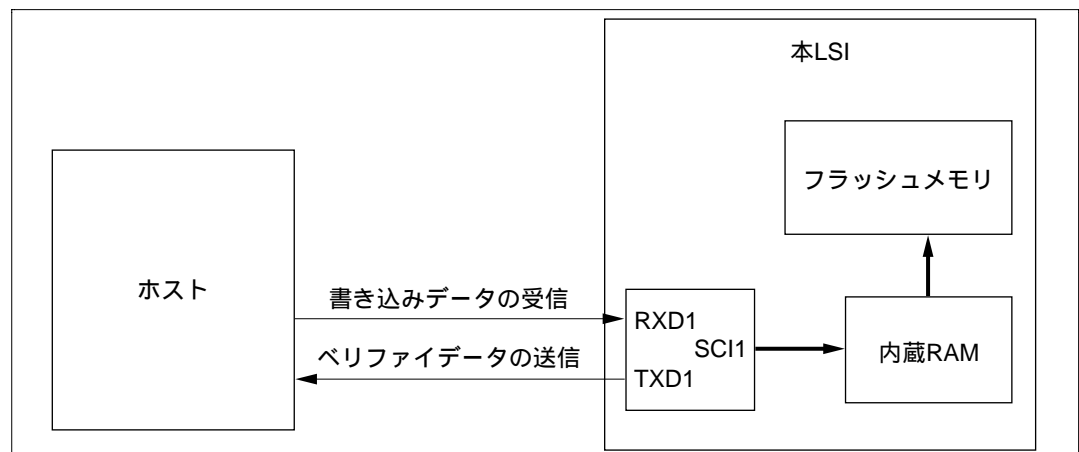


図 20.8 ブートモード時のシステム構成図

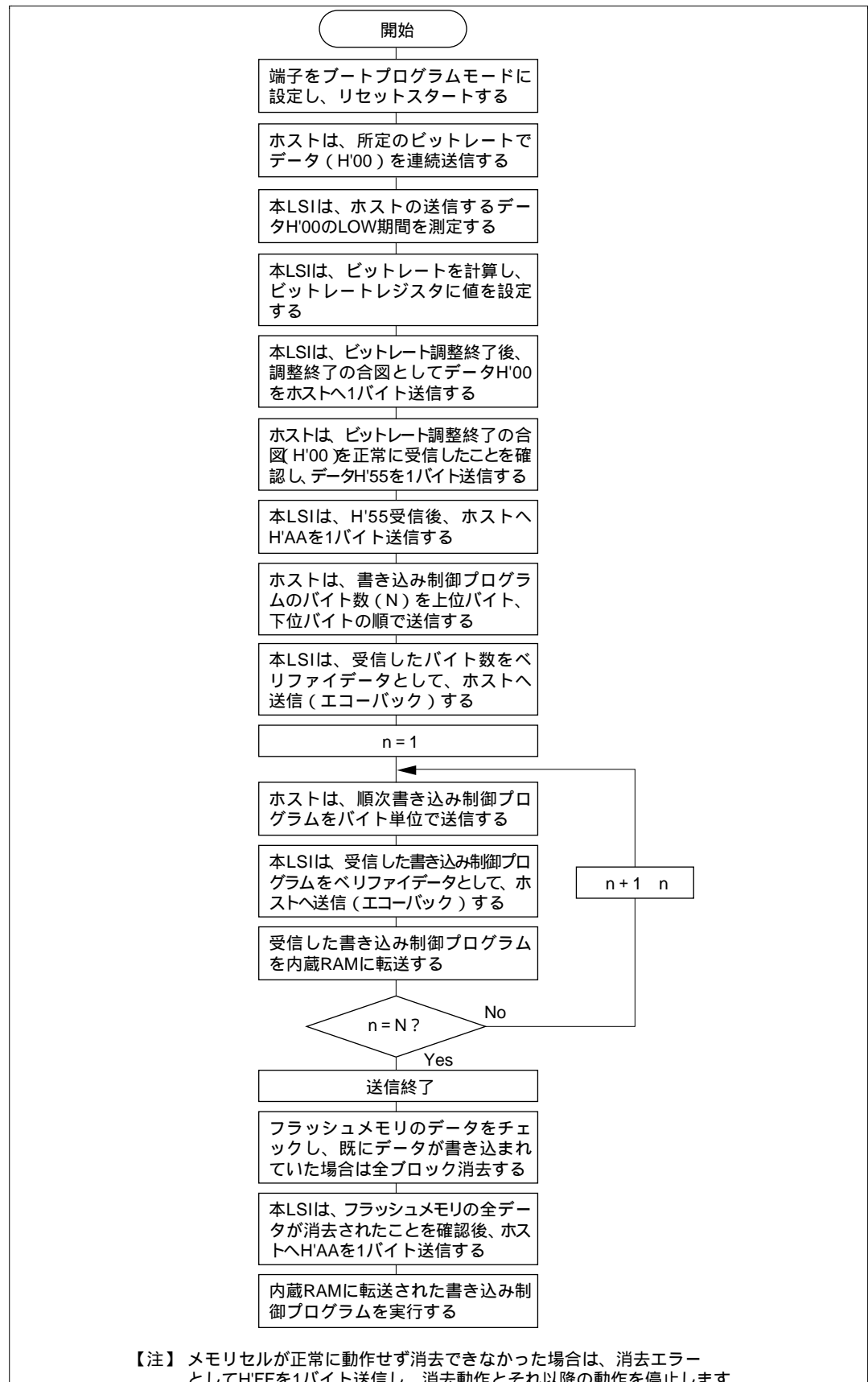


図 20.9 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作

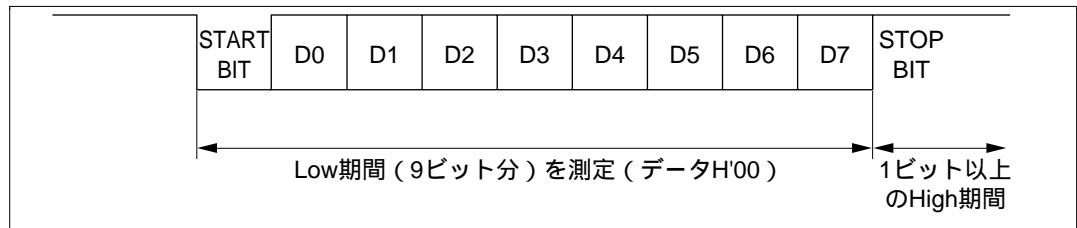


図 20.10 SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (9,600、19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 20.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 20.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9,600bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)
19,200bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 20.11 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

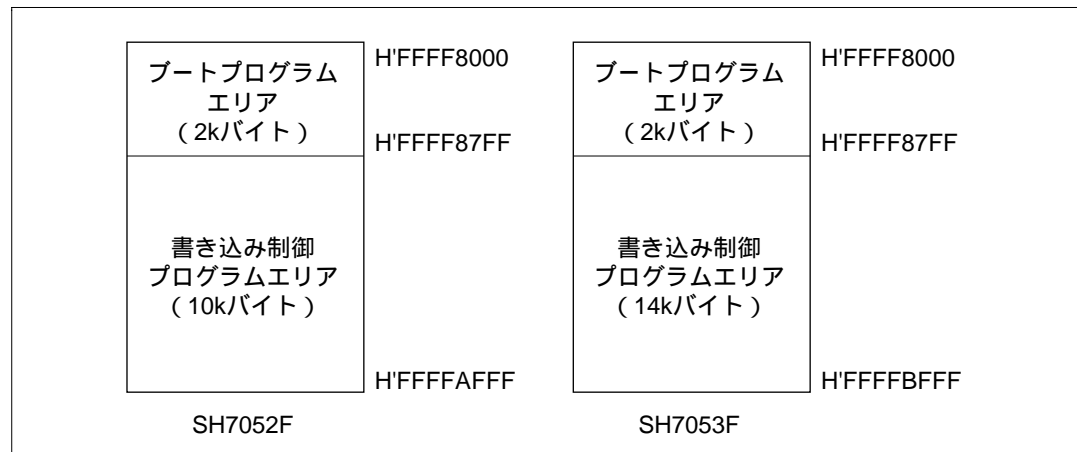


図 20.11 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラムが実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

20.6.2 ユーザプログラムモード

FWE を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間はフラッシュメモリの読み出しができません。したがって、書き込み / 消去を行う制御プログラムは内蔵 RAM、外部メモリ、または当該アドレスエリア外のフラッシュメモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合は、以下の手順を実行するようにしてください (図 20.12))。

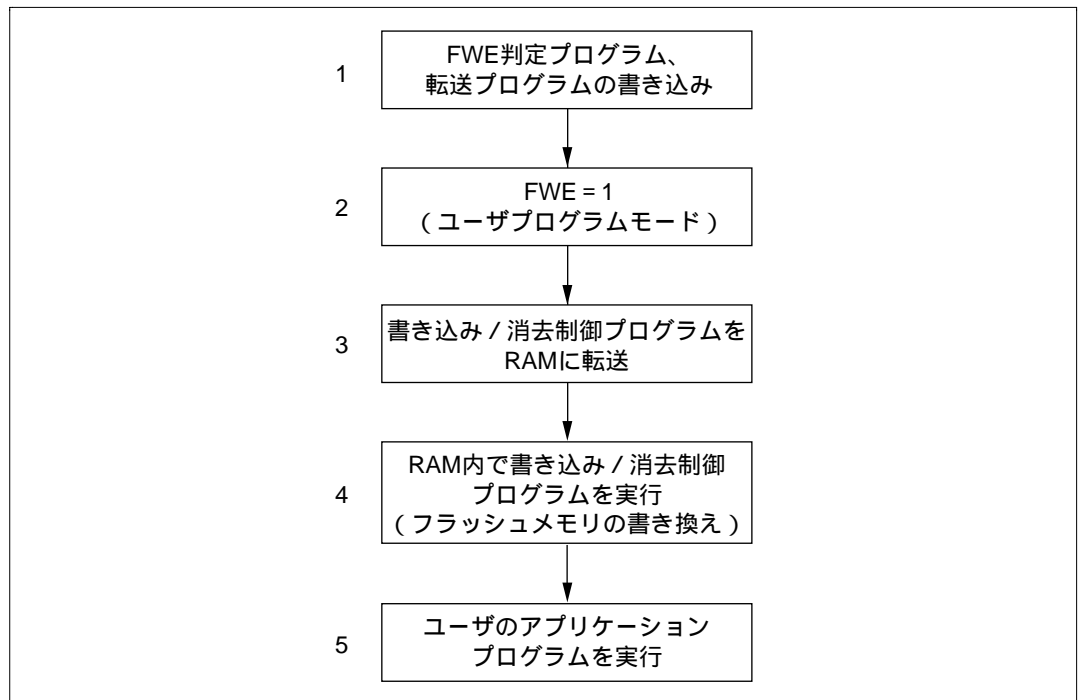


図 20.12 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走等に対応できるようにしてください。プログラム暴走等によって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

20.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EVI ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM、外部メモリあるいは当該アドレスエリア外のフラッシュメモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE1、ESU1、PSU1、EVI、PV1、E1、P1 ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

20.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 20.13、図 20.14 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセットした後、 t_{SSWE} 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に RAM 上の書き込みデータエリアの 128 バイトのデータを連続して書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込む必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms にしてください。その後、FLMCR1 の PSU1 ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、 t_{SPSU} 以上の時間が経過してから、FLMCR1 の P1 ビットをセ

ットすることで、動作モードはプログラムモードへ遷移します。P1 ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

一定の書き込み時間経過後、書き込みモードを解除します。書き込みモードの解除は、FLMCR1 の P1 ビットをクリアし t_{CP} 以上経過後、PSU1 ビットをクリアし t_{CPSU} 以上経過後にウォッチドッグタイマを停止させます。

20.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

プログラムベリファイモードへは、FLMCR1 の PV1 ビットをセットし t_{SPV} 待つことにより遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ HFF をダミーライトして、 t_{SPVR} 以上待ってください。この状態でフラッシュメモリを読み出す（ベリファイデータはロングワードでリード）とラッチしたアドレスのデータが読み出されます。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図 20.13、図 20.14 参照）し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイ完了後、プログラムベリファイモードを解除します。FLMCR1 の PV1 ビットをクリアし t_{CPV} 以上経過後、SWE1 ビットをクリアし t_{CSWE} 以上待つことにより解除されます。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、1,000 回を超えないようにしてください。

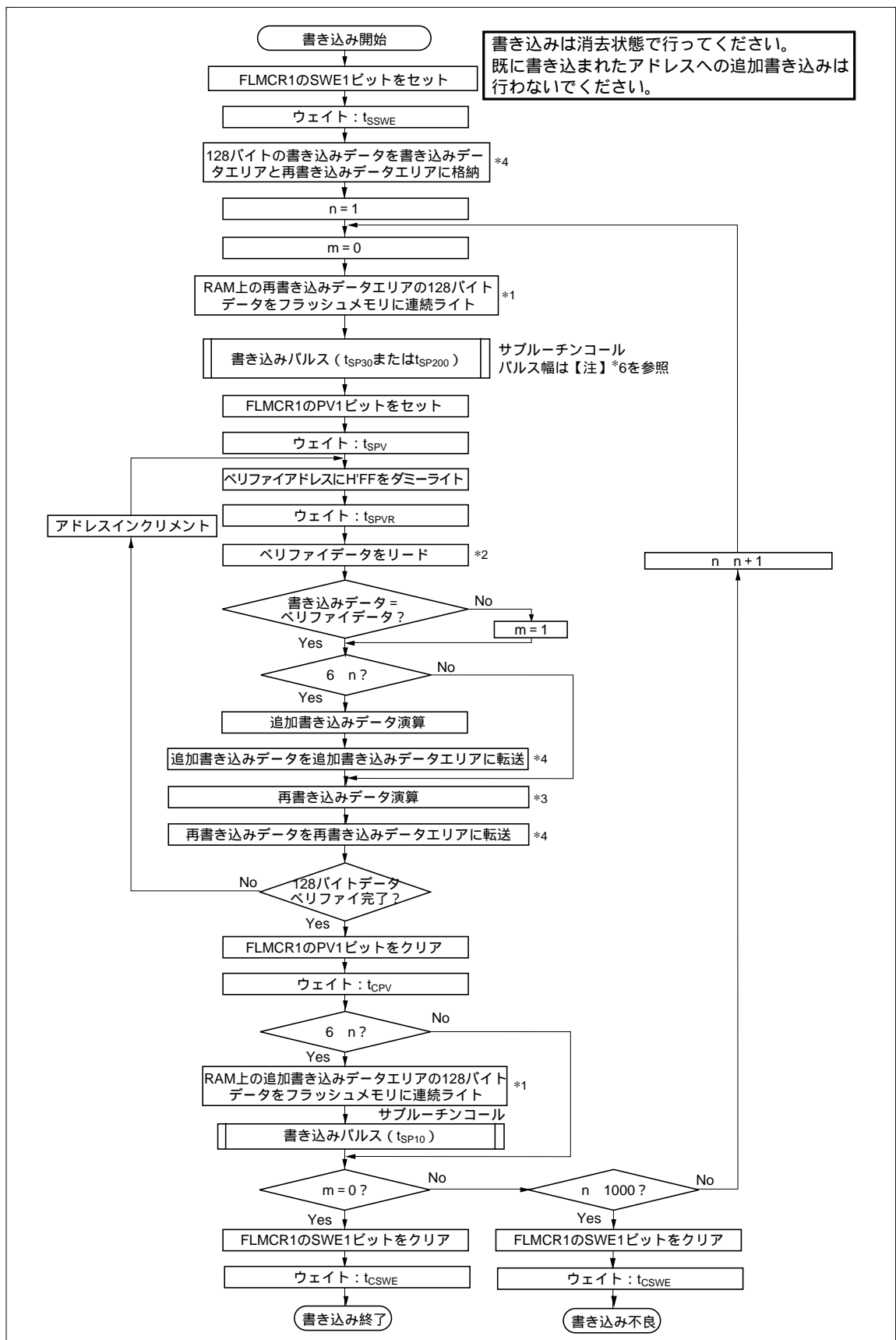


図 20.13 プログラム/プログラムペリファイフロー (1)



図 20.14 プログラム / プログラムベリファイフロー (2)

表 20.8 プログラム/プログラムベリファイパラメータ

フロー区分	項目	記号	min	typ	max	単位	特記
プログラム/ プログラムベリファイ	PSU1 ビットセット後ウェイト時間	t_{SPSU}	50	50	-	μs	
	P1 ビットセット後ウェイト時間 (10 μs)	t_{SP10}	8	10	12	μs	追加書き込み時間ウェイト
	P1 ビットセット後ウェイト時間 (30 μs)	t_{SP30}	28	30	32	μs	書き込み時間ウェイト
	P1 ビットセット後ウェイト時間 (200 μs)	t_{SP200}	198	200	202	μs	書き込み時間ウェイト
	P1 ビットクリア後ウェイト時間	t_{CP}	5	5	-	μs	
	PSU1 ビットクリア後ウェイト時間	t_{CPSU}	5	5	-	μs	
	PV1 ビットセット後ウェイト時間	t_{SPV}	4	4	-	μs	
	ダミーライト後ウェイト時間	t_{SPVR}	2	2	-	μs	
	PV1 ビットクリア後ウェイト時間	t_{CPV}	2	2	-	μs	
共通	SWE1 ビットセット後ウェイト時間	t_{SSWE}	1	1	-	μs	
	SWE1 ビットクリア後ウェイト時間	t_{CSWE}	100	100	-	μs	

20.7.3 イレースモード

フラッシュメモリの消去は1ブロック毎に、図 20.15 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセット後、 t_{SSWE} 以上の時間が経過してから、ブロック指定レジスタ 1、2 (EBR1、2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 19.8ms に設定してください。その後、FLMCR1 の ESU1 ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、 t_{SESU} 以上の時間が経過後、FLMCR1 の E1 ビットをセットすることで、動作モードはイレースモードへ遷移します。E1 ビットが設定されている時間が消去時間となり、消去時間は t_{SE} を超えないようにしてください。

消去時間経過後、イレースモードを解除します。イレースモードの解除は、FLMCR1 の E1 ビットをクリアし t_{CE} 以上経過後、ESU1 ビットをクリアし t_{CESU} 以上経過後にウォッチドックタイマを停止させます。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリの全メモリデータをすべて"0"にする）を行う必要はありません。

20.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

イレースベリファイモードへは、FLMCR1のEV1ビットをセットし t_{SEV} 待つことにより遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータH'FFをダミーライトして、 t_{SEVR} 以上待ってください。この状態でフラッシュメモリを読み出す(ベリファイデータはロングワードでリード)とラッチしたアドレスのデータが読み出されます。読み出したデータが消去(データがすべて1)されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除します。FLMCR1のEV1ビットをクリアし t_{CEV} 以上待つことによりイレースベリファイモードが解除されます。消去対象全ブロックの消去が完了している場合は、FLMCR1のSWE1ビットをクリアしてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

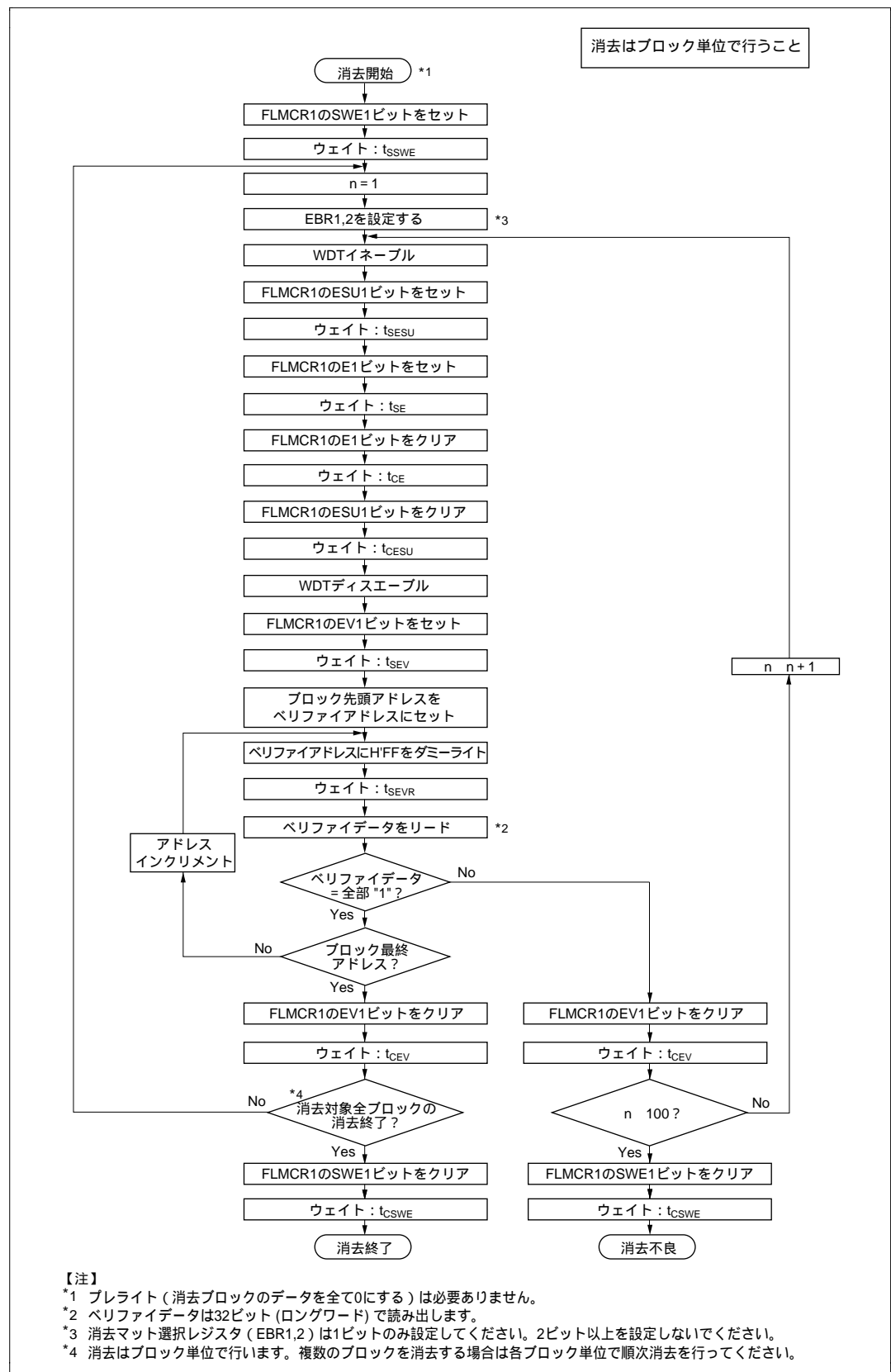


図 20.15 イレース/イレースペリファイフロー

表 20.9 イレース/イレースベリファイパラメータ

フロー区分	項目	記号	min	typ	max	単位	特記
イレース/ イレースベリファイ	ESU1 ビットセット後ウェイト時間	t_{SESU}	100	100	-	μs	
	E1 ビットセット後ウェイト時間	t_{SE}	10	10	100	ms	消去時間ウェイト
	E1 ビットクリア後ウェイト時間	t_{CE}	10	10	-	μs	
	ESU1 ビットクリア後ウェイト時間	t_{CESU}	10	10	-	μs	
	EV1 ビットセット後ウェイト時間	t_{SEV}	20	20	-	μs	
	ダミーライト後ウェイト時間	t_{SEVR}	2	2	-	μs	
	EV1 ビットクリア後ウェイト時間	t_{CEV}	4	4	-	μs	
共通	SWE1 ビットセット後ウェイト時間	t_{SSWE}	1	1	-	μs	
	SWE1 ビットクリア後ウェイト時間	t_{CSWE}	100	100	-	μs	

20.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

20.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 20.10 参照)

表 20.10 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子 プロテクト	<ul style="list-style-type: none"> ・ FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、 スタンバイ プロテクト	<ul style="list-style-type: none"> ・ パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 ・ $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み/消去動作中はリセットしないでください。そのときのフラッシュメモリの値は保証しません。この場合は消去してから再度書き込んでください。 		

20.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 のSWE1 ビット、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットまたは E1 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 20.11 参照)

表 20.11 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	・ FLMCR1 の SWE1 ビットを 0 にセットすることにより、書き込み / 消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。)		
ブロック 指定 プロテクト	・ ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロック毎に消去プロテクトが可能。 ・ EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。	-	
エミュレー ション プロテクト	・ RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。		

20.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが"1"にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、E1ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1ビット、EV1ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中に当該アドレスエリアのフラッシュメモリを読み出したとき(ベクタリードおよび命令フェッチを含む)
 - (2) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

図 20.16 にフラッシュメモリの状態遷移図を示します。

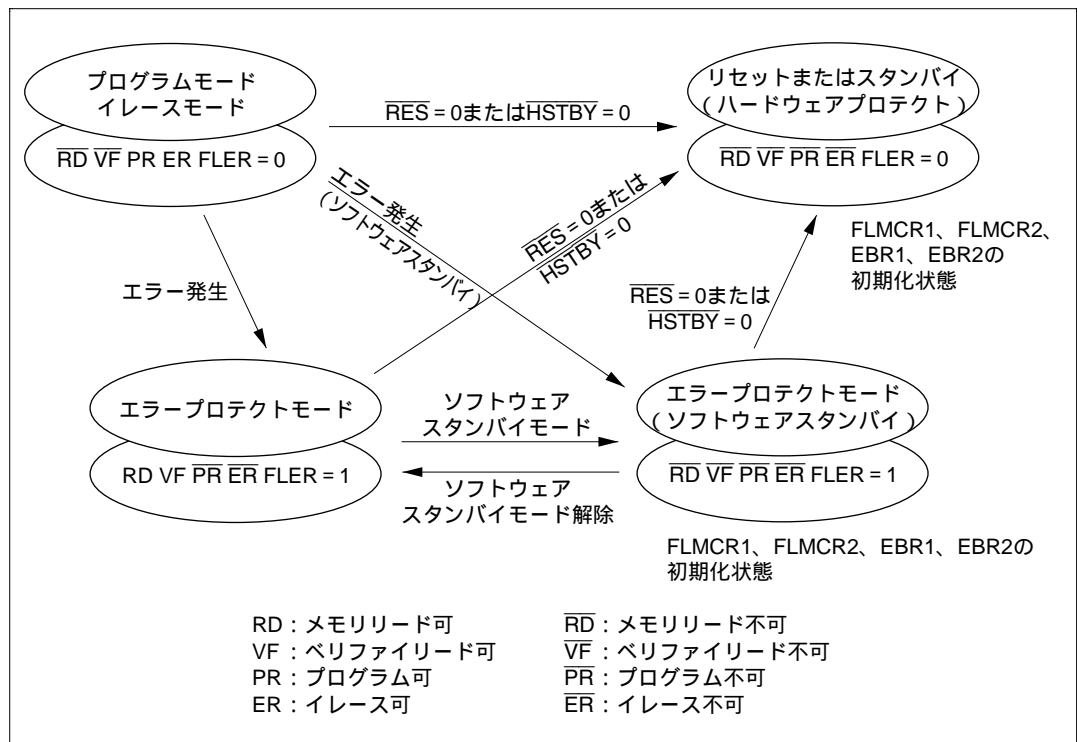


図 20.16 フラッシュメモリの状態遷移図

20.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 20.17 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

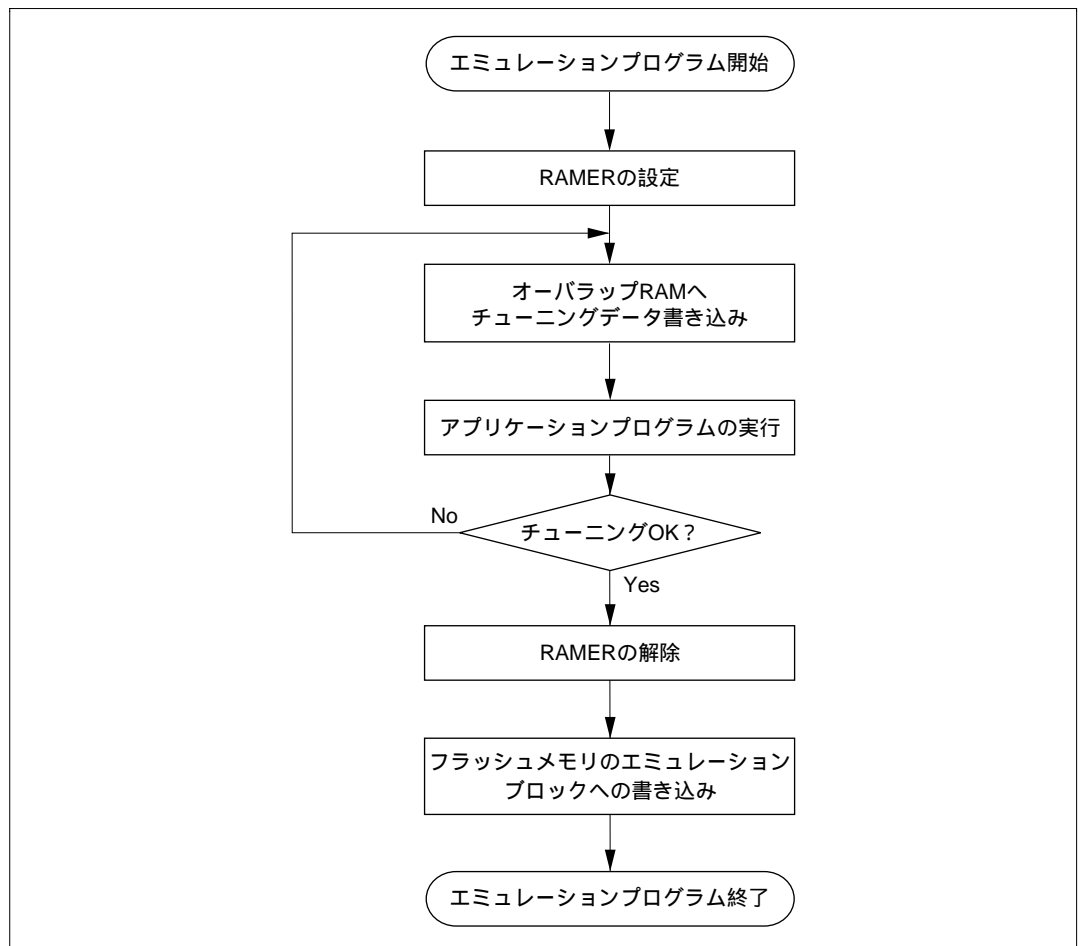


図 20.17 RAM によるエミュレーションフロー

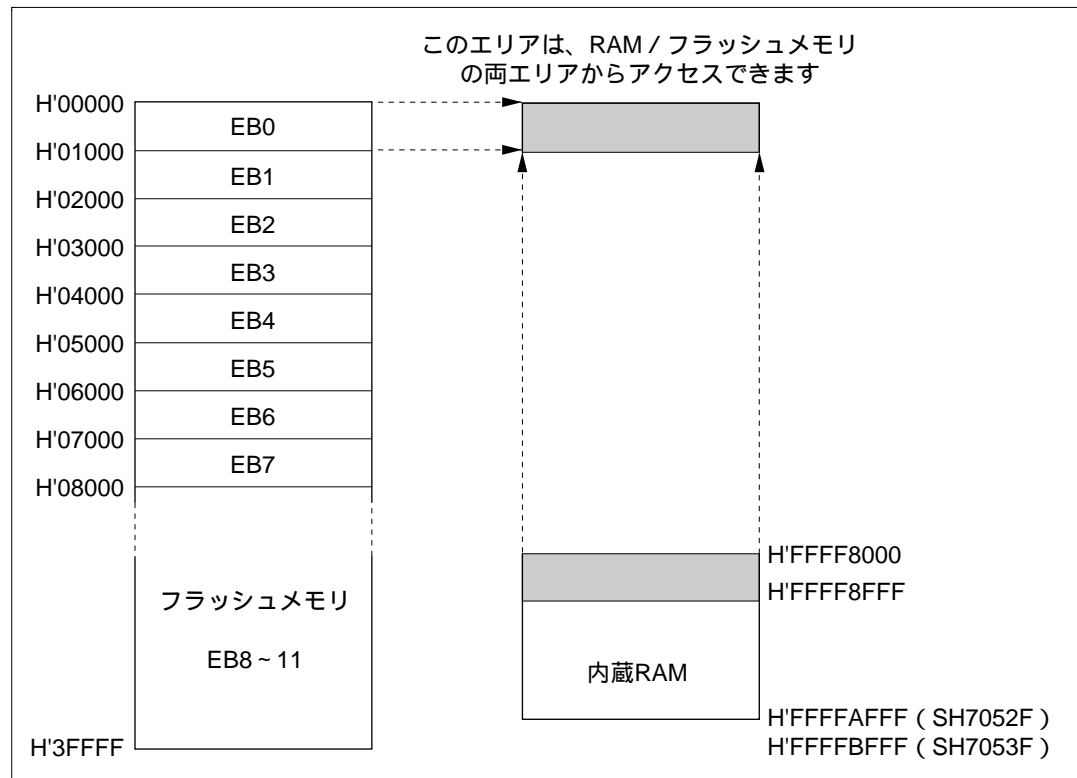


図 20.18 RAMのオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

1. リアルタイムな書き換えを必要とするエリア (EB0) に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビット、RAM2~0 ビットを 1、0、0、0 に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。
3. 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
4. オーバーラップさせた RAM に書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
1. RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

20.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード（ブートモード、ユーザプログラムモード）時は、書き込み / 消去動作（RAM エミュレーションを含む）を最優先とするため、NMI の入力を禁止してください。

ATU レジスタのライトサイクルの直後にROM領域への書き込みを行わないでください。詳しくは「10.7 使用上の注意 (23) ATU レジスタのライトサイクル直後のROM領域へのライト」を参照してください。

書き込み / 消去動作が終了し、SWE1 ビットを1から0にセットした後のフラッシュメモリのリードは、SWE1 を0にクリアし、 t_{CSWE} 以上の時間が経過してから、フラッシュメモリをリードしてください。

書き込み / 消去動作が終了し、SWE1 ビットを1から0にセットした後の \overline{RES} 入力タイミングは、SWE1 を0にクリアし、 t_{CSWE} 以上の時間が経過してから、リセットしてください。

20.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子をライターモード（表 20.12 参照）に設定し、入力クロックとして6MHzを入力してください。これにより本 LSI は、24MHz で動作します。

表 20.12 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.3 端子一覧」を参照してください。

表 20.12 PROM モードの端子設定方法

端子名	設定
モード端子：MD2、MD1、MD0	0、1、1
FWE 端子	ハイレベルを入力（自動書き込み、自動消去時）
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLL _{V_{CC}} 、PLL _{CAP} 、PLL _{V_{SS}} 端子	発振回路

20.11.1 ソケットアダプタの端子対応図

図 20.20 に示すようにソケットアダプタを LSI に取り付けてください。これによって、

40ピンにピン変換することができます。内蔵ROMのメモリマップを図20.19に、ソケットアダプタの端子対応図を図20.20に示します。

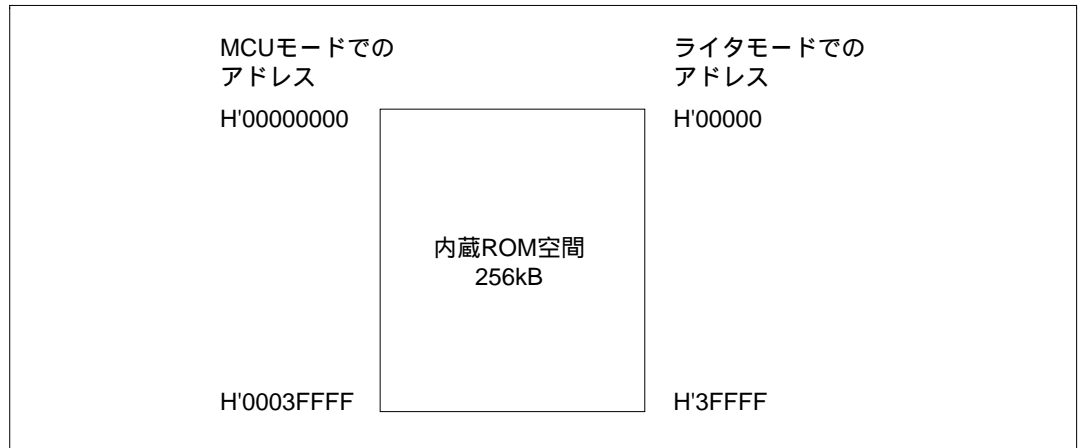


図 20.19 内蔵ROMのメモリマップ

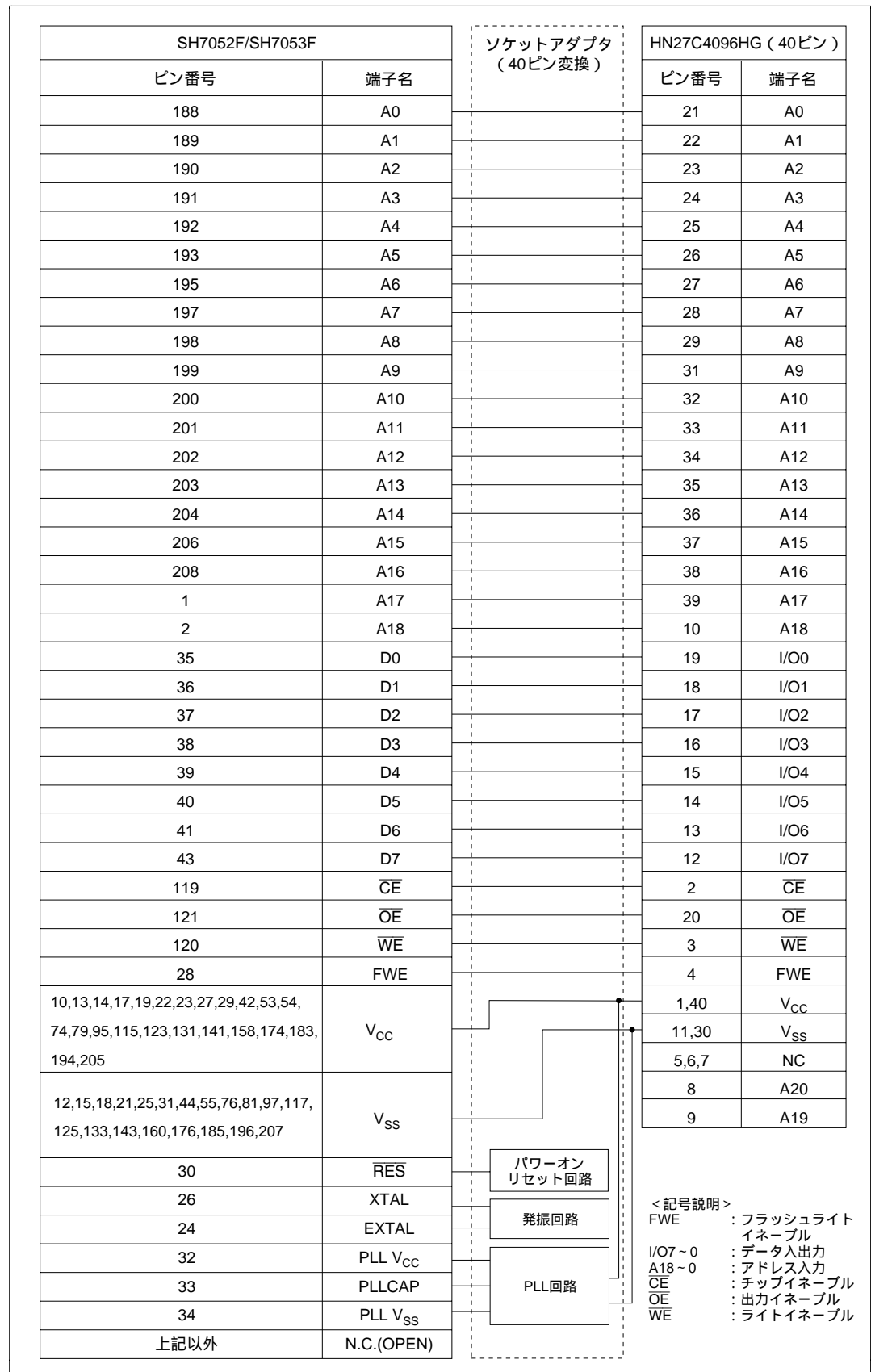


図 20.20 ソケットアダプタの端子対応図

20.11.2 ライタモードの動作

表 20.13 にライタモード時の各動作モードの設定方法、表 20.14 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 20.13 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7~0	A18~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 20.14 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

20.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 20.15 メモリ読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

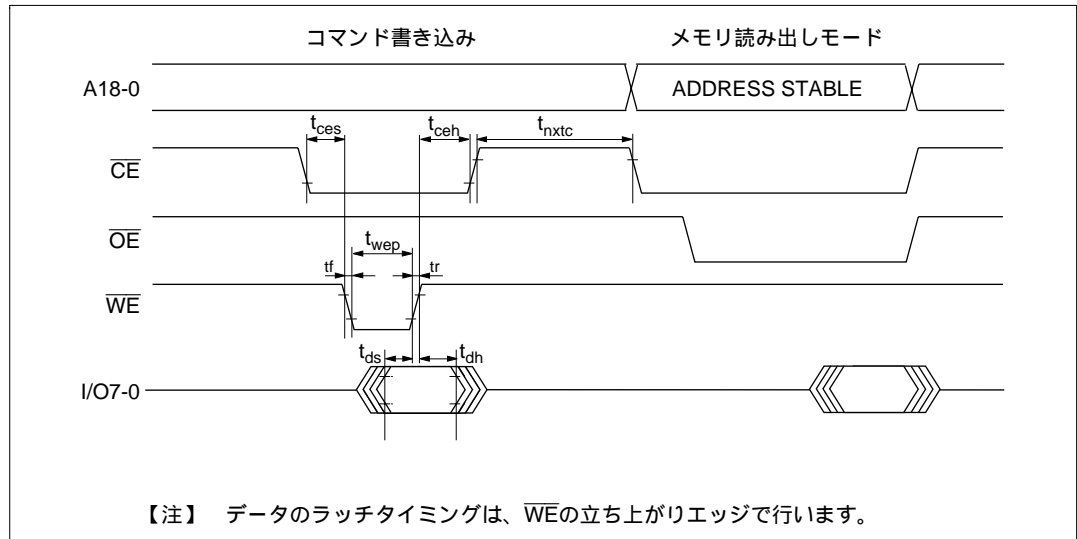


図 20.21 コマンド書き込み後メモリ読み出しタイミング波形

表 20.16 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

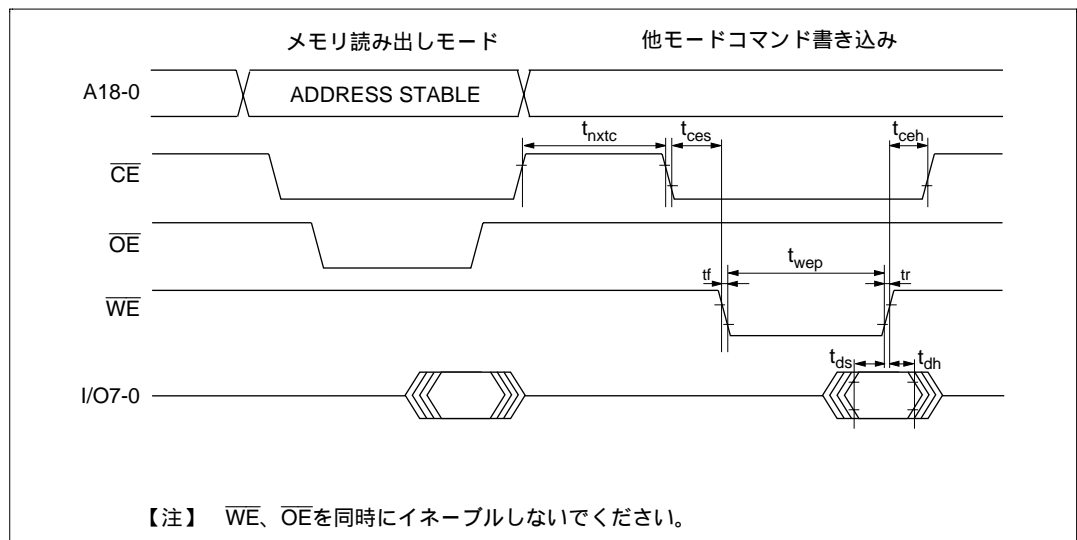


図 20.22 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 20.17 メモリ読み出しモード時の AC 特性

(条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

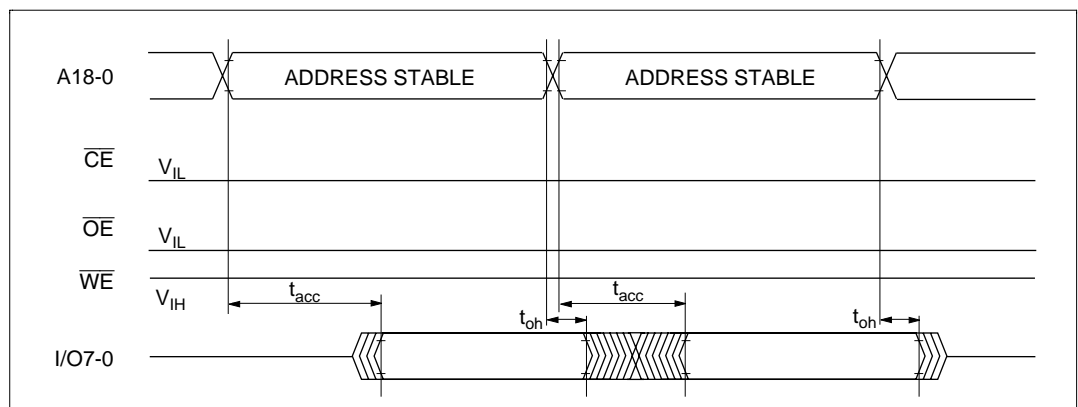


図 20.23 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

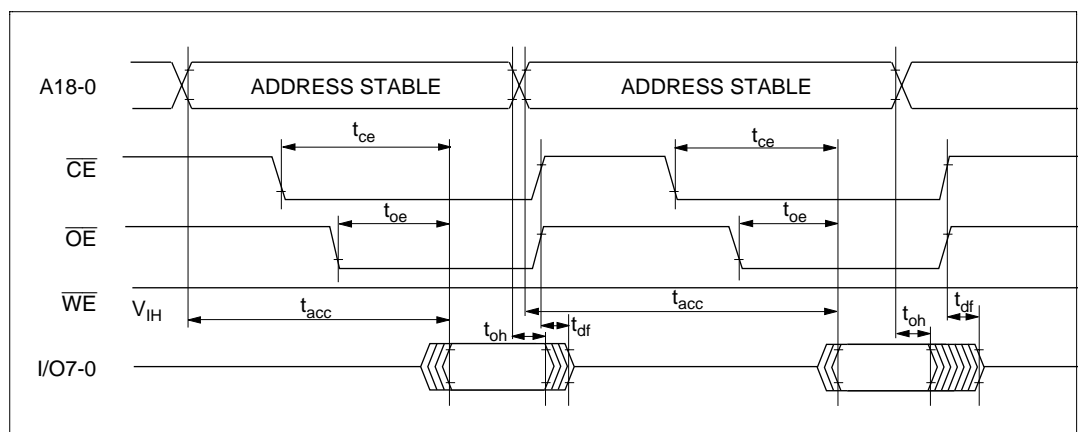


図 20.24 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

20.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをHFFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図20.25)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。既に書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 20.18 自動書き込みモード時の AC 特性

(条件 : $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

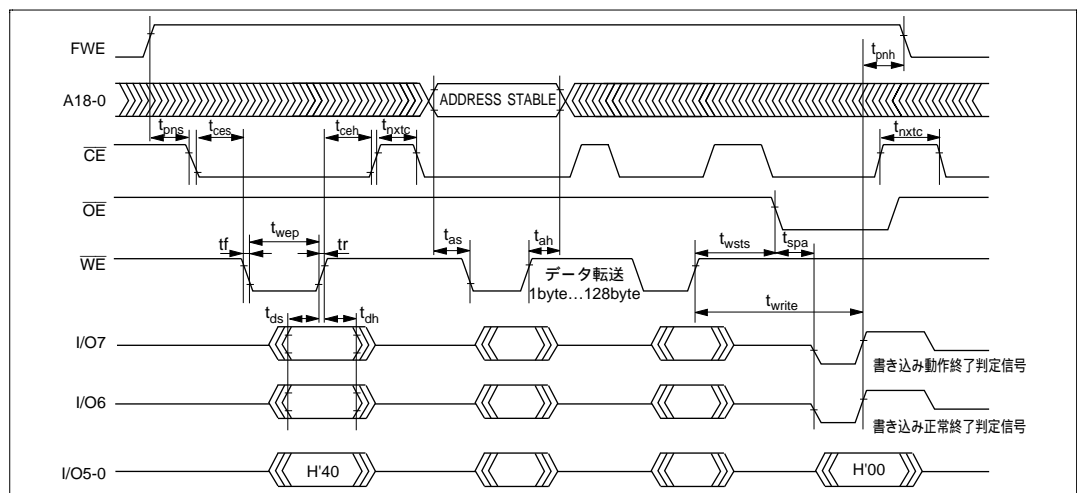


図 20.25 自動書き込みモードのタイミング波形

20.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。

- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（I/O7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにするにより読み出し可能となります。

表 20.19 自動消去モード時のAC特性

(条件： $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

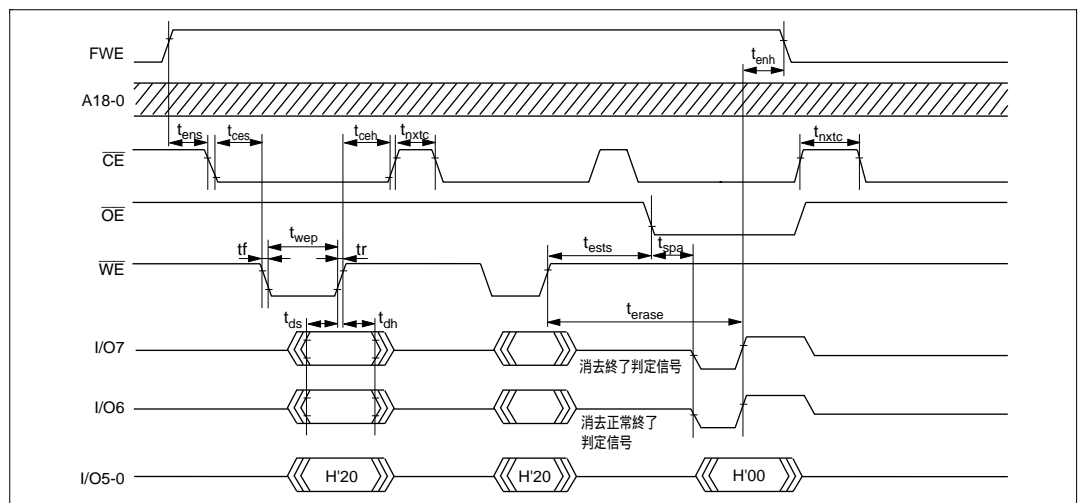


図 20.26 自動消去モードのタイミング波形

20.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 20.20 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

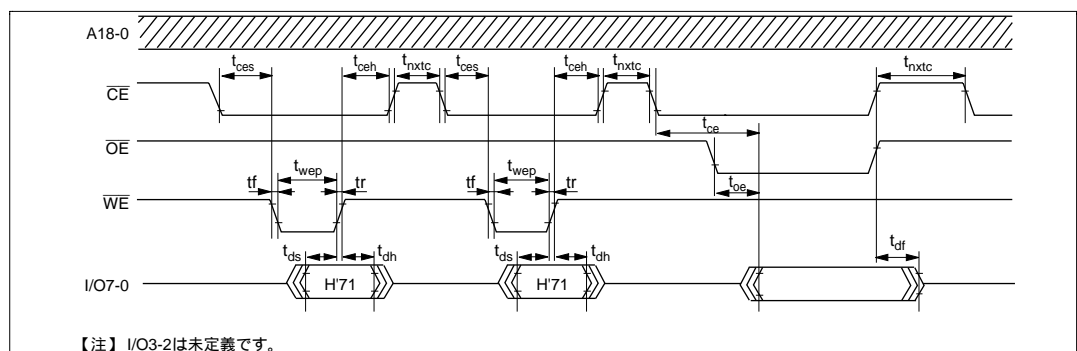


図 20.27 ステータス読み出しモードのタイミング波形

表 20.21 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3は未定義です

20.11.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み/自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み/自動消去モード時の正常/異常終了を示すフラグです。

表 20.22 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

20.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 20.23 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除(発振安定時間)	t_{osc1}	30		ms	
ライタモードセットアップ時間	t_{pmv}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

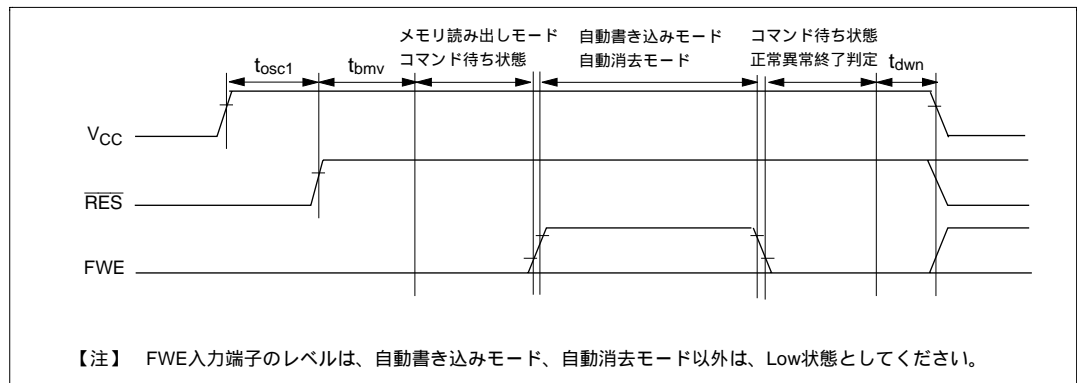


図 20.28 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

20.11.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
 - (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライターモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- 【注】
1. 日立出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

21. ROM (SH7054F)

第21章 目次

21.1	特長.....	795
21.2	概要.....	796
	21.2.1	ブロック図..... 796
	21.2.2	モード遷移図..... 797
	21.2.3	オンボードプログラミングモード..... 798
	21.2.4	RAMによるフラッシュメモリのエミュレーション..... 800
	21.2.5	ブートモードとユーザプログラムモードの相違点..... 801
	21.2.6	ブロック分割法..... 801
21.3	端子構成.....	802
21.4	レジスタ構成.....	802
21.5	レジスタの説明.....	803
	21.5.1	フラッシュメモリコントロールレジスタ1 (FLMCR1)..... 803
	21.5.2	フラッシュメモリコントロールレジスタ2 (FLMCR2)..... 806
	21.5.3	ブロック指定レジスタ1 (EBR1)..... 807
	21.5.4	ブロック指定レジスタ2 (EBR2)..... 808
	21.5.5	RAMエミュレーションレジスタ (RAMER)..... 809
21.6	オンボードプログラミングモード.....	811
	21.6.1	ブートモード..... 812
	21.6.2	ユーザプログラムモード..... 815
21.7	フラッシュメモリの書き込み/消去.....	817
	21.7.1	プログラムモード..... 817
	21.7.2	プログラムベリファイモード..... 818
	21.7.3	イレースモード..... 821
	21.7.4	イレースベリファイモード..... 822
21.8	プロテクト.....	825
	21.8.1	ハードウェアプロテクト..... 825
	21.8.2	ソフトウェアプロテクト..... 826

21.8.3	エラープロテクト.....	827
21.9	RAM によるフラッシュメモリのエミュレーション	828
21.10	フラッシュメモリの書き込み / 消去時の注意.....	830
21.11	フラッシュメモリのライターモード	830
21.11.1	ソケットアダプタの端子対応図.....	830
21.11.2	ライターモードの動作	833
21.11.3	メモリ読み出しモード	834
21.11.4	自動書き込みモード	837
21.11.5	自動消去モード	838
21.11.6	ステータス読み出しモード	840
21.11.7	ステータスポーリング	841
21.11.8	ライターモードへの遷移時間	841
21.11.9	メモリ書き込み注意事項.....	842

21.1 特長

SH7054Fは384kBのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み/消去方式

書き込みは128バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では4kB、32kB、64kBのブロック単位で任意に設定することができます。

書き込み/消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて7ms (typ.)、1バイトあたり換算にて55 μ s (typ.)、消去時間はブロックあたり100ms (typ.)です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートとを自動で合わせることができます。

RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライターを用いたライターモードがあります。

21.2 概要

21.2.1 ブロック図

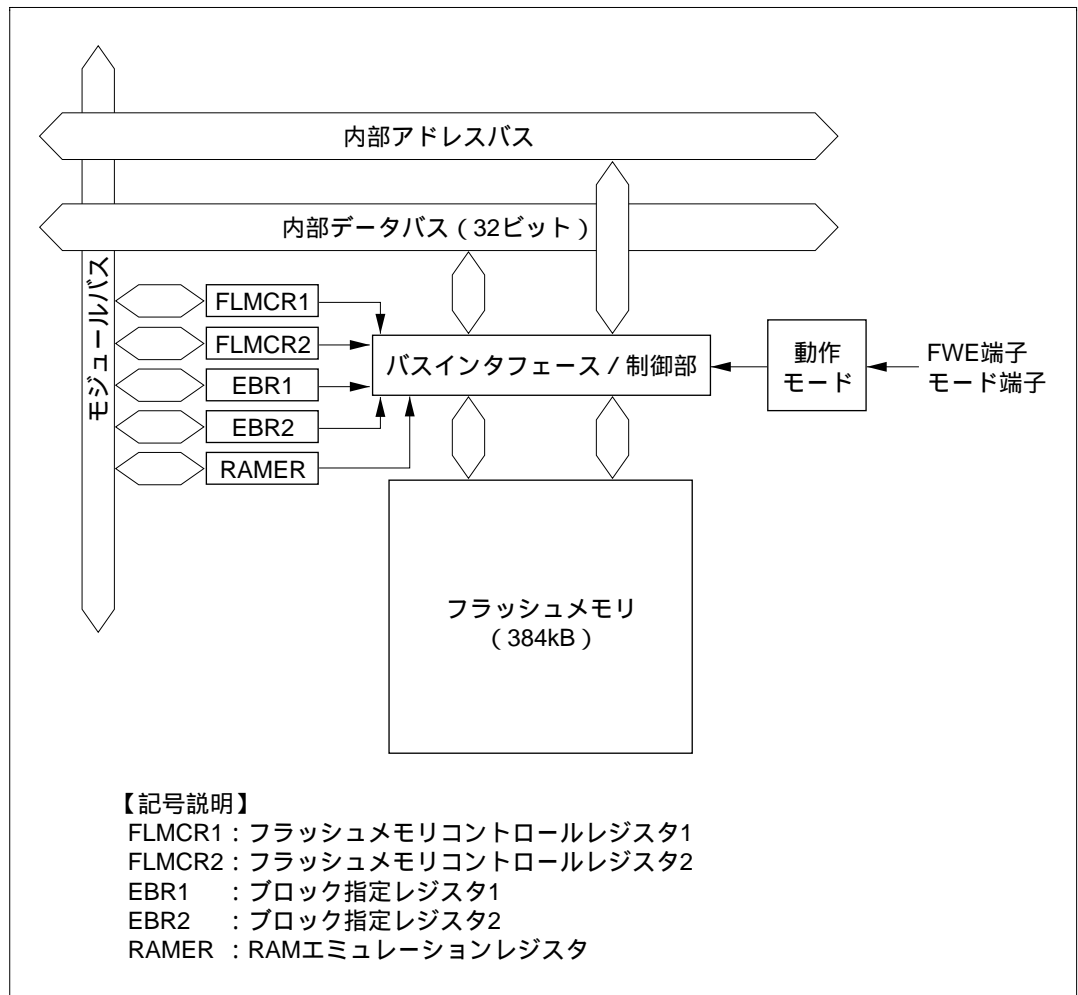


図 21.1 フラッシュメモリのブロック図

21.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 21.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

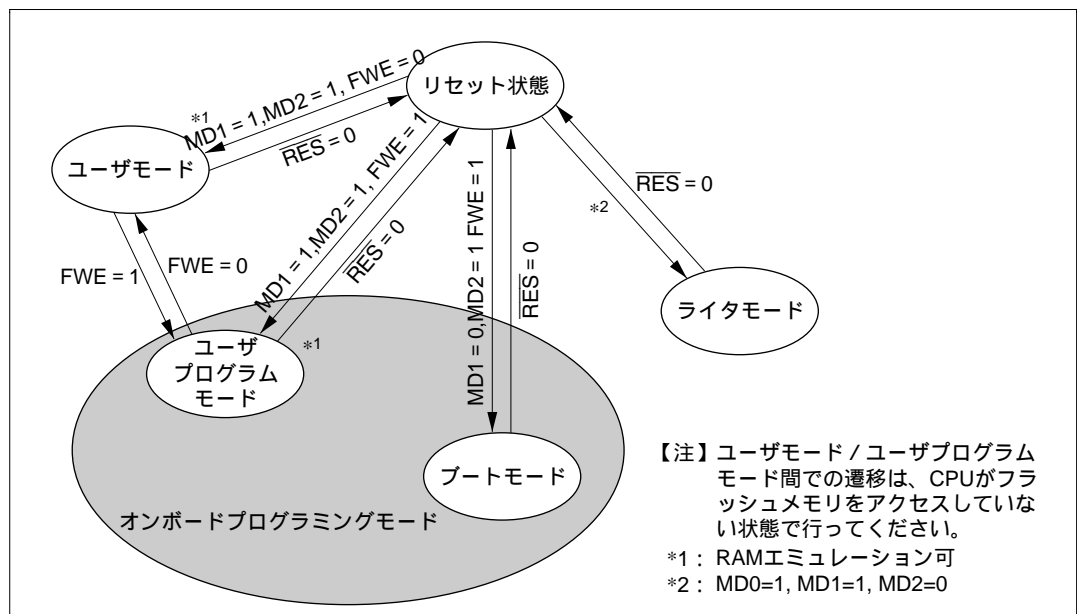
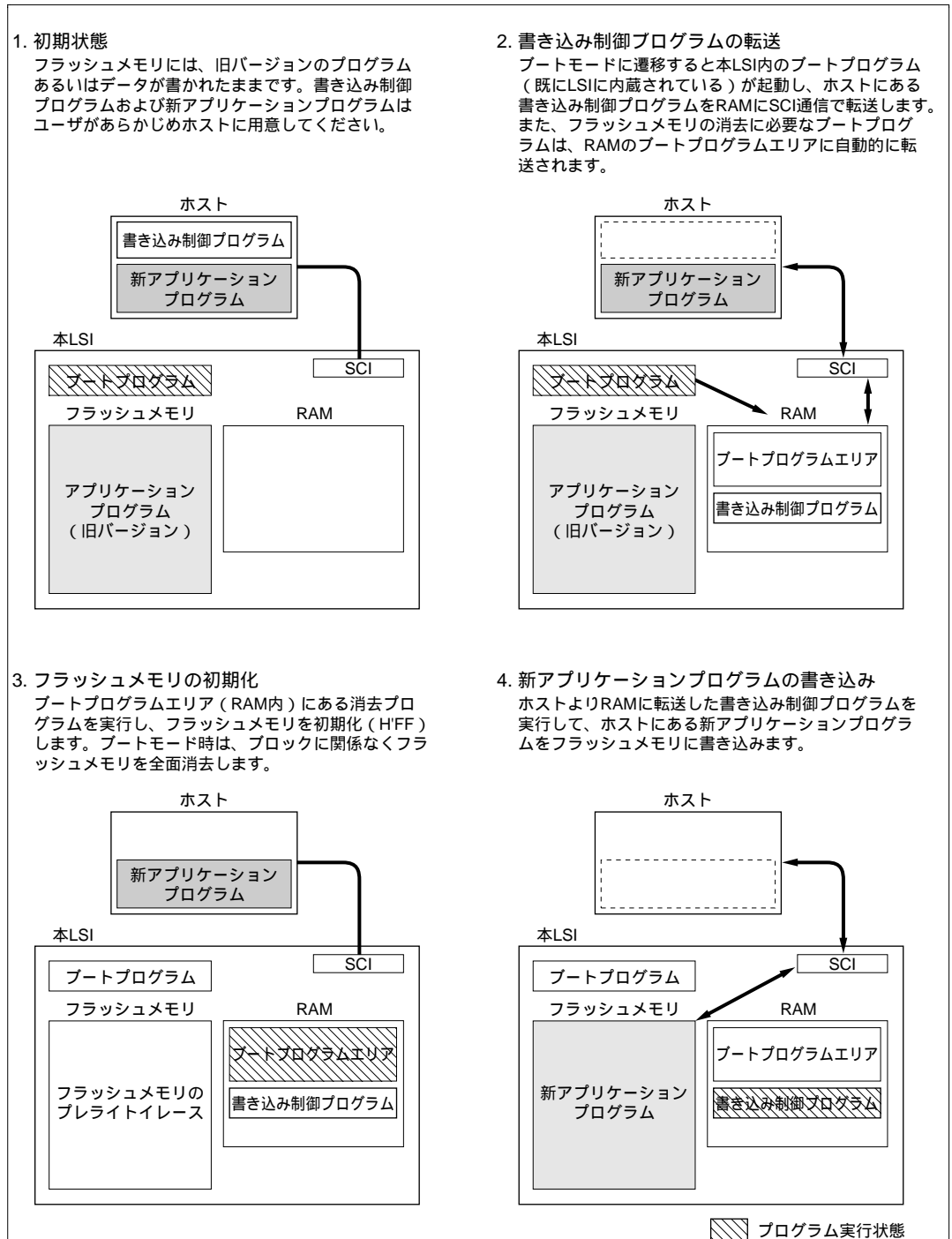


図 21.2 フラッシュメモリに関する状態遷移

21.2.3 オンボードプログラミングモード

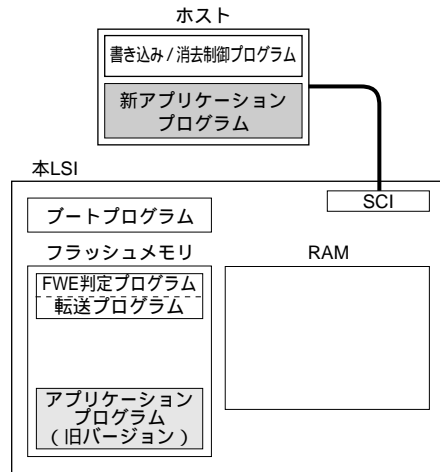
(1) ブートモード



(2) ユーザプログラムモード

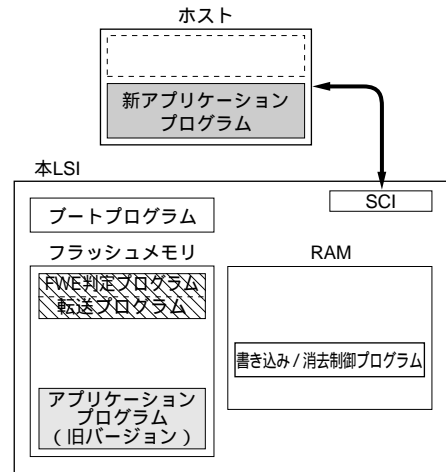
1. 初期状態

(1) ユーザプログラムモードに移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



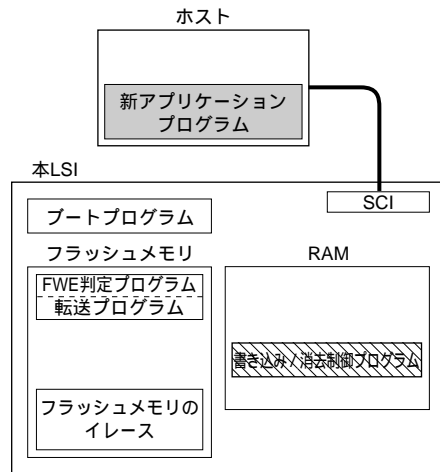
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移ると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



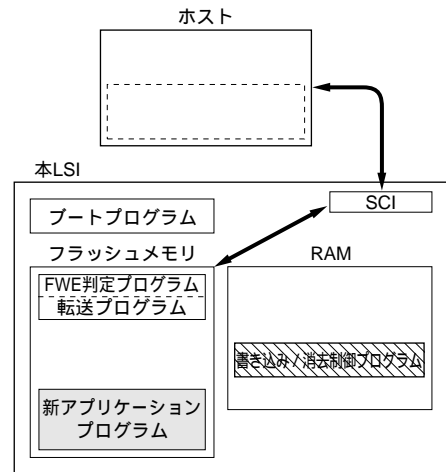
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 21.4 ユーザプログラムモード

21.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

<ユーザプログラムモード>

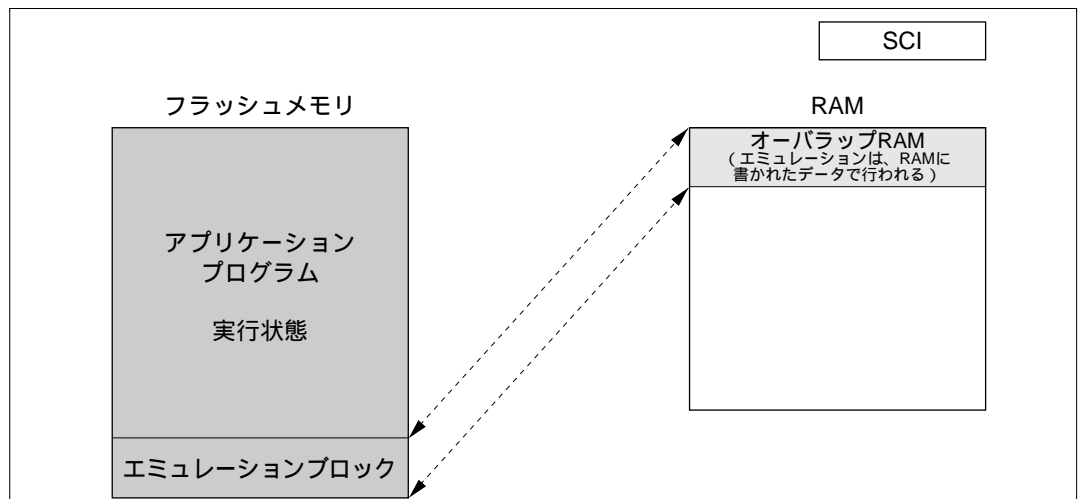


図 21.5 エミュレーション

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>

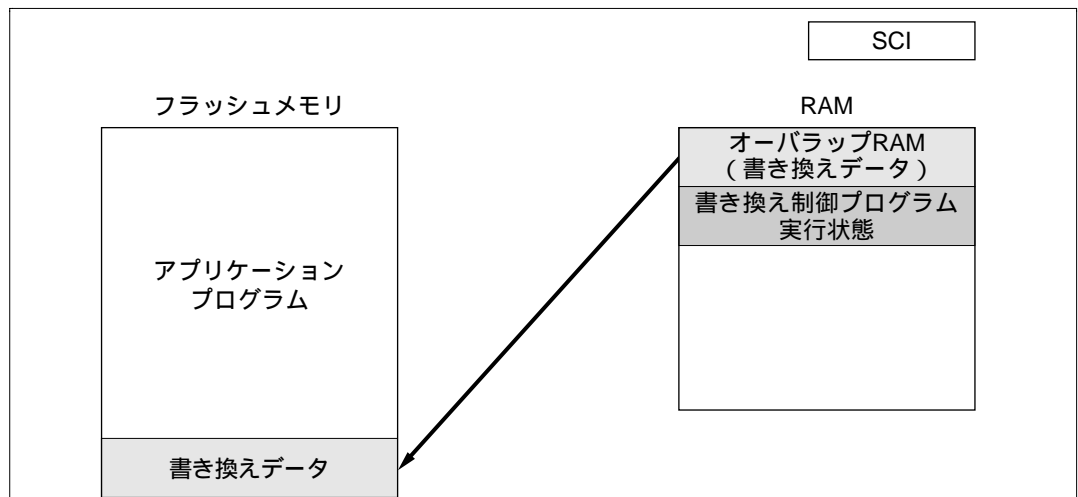


図 21.6 フラッシュメモリへの書き込み

21.2.5 ブートモードとユーザプログラムモードの相違点

表 21.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

21.2.6 ブロック分割法

64kB (5 ブロック)、32kB (1 ブロック)、4kB (8 ブロック) に分割されています。

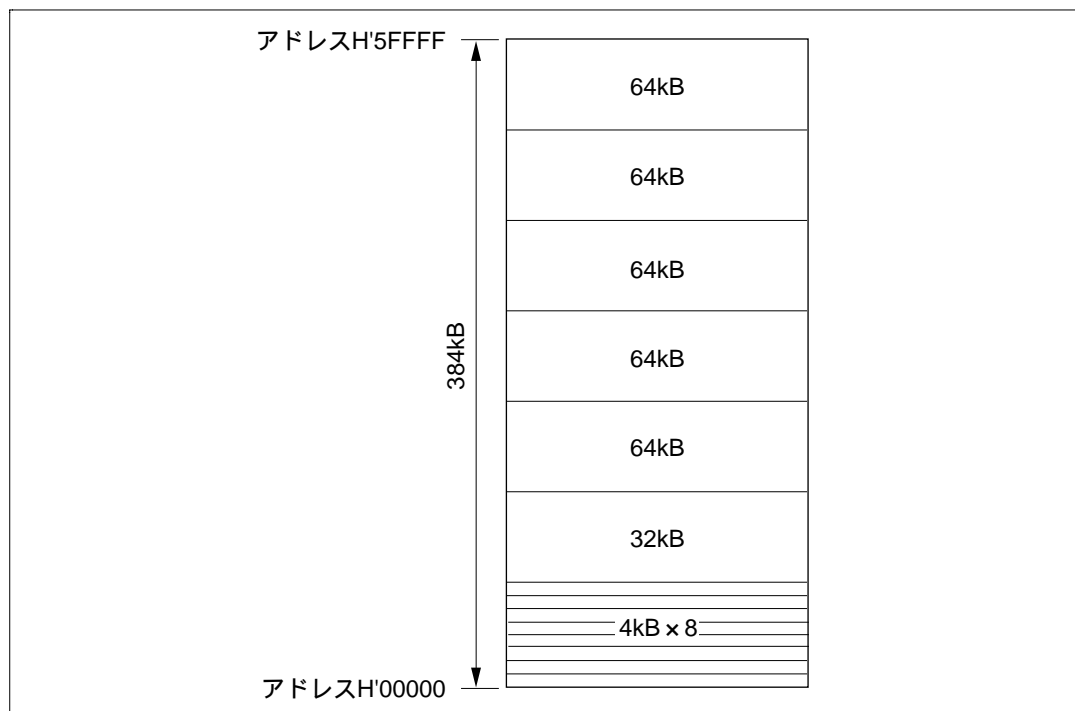


図 21.7 ブロック分割

21.3 端子構成

フラッシュメモリは表 21.2 に示す端子により制御されます。

表 21.2 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

21.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 21.3 に示します。

表 21.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*2	H'FFFFFFE800	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W*1	H'00	H'FFFFFFE801	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*3	H'FFFFFFE802	8
ブロック指定レジスタ 2	EBR2	R/W*1	H'00*4	H'FFFFFFE803	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFFFFEC26	8、16、32

【注】 *1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*2 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。

4. FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR2 の SWE2 ビットがセットされていないときは H'00 に初期化されます。

5. FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。

6. FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

21.5 レジスタの説明

21.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。プログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE1 ビットをセット後、EV1 ビットまたは PV1 ビットをセットします。プログラムモードへ遷移させるには、FWE=1 時に、SWE1 ビットをセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。イレースモードへ遷移するには、FWE=1 時に、SWE1 ビットをセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE1 ビットへの書き込みは FWE=1 のとき、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE=1、SWE1=1 のとき、E1 ビットへの書き込みは FWE=1、SWE1=1、ESU1=1 のとき、P1 ビットへの書き込みは FWE=1、SWE1=1、PSU1=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット6：ソフトウェアライトイネーブルビット1 (SWE1)

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです (ビット5~0、EBR1の7~0ビット、EBR2の3~0ビットをセットするときにセットしてください)。

ビット6	説明
SWE1	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです (SWE1、PSU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです (SWE1、ESU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください)。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE1 = 1、ESU1 = 1 のとき

ビット0：プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです (SWE1、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE1 = 1、PSU1 = 1 のとき

21.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリの書き込み、消去中にエラーが発生したことを示すステータスレジスタです。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモードで H'00 に初期化します。内蔵フラッシュメモリが無効なときは読み出すと H'00 が読み出され、書き込みも無効となります。

ビット：	7	6	5	4	3	2	1	0
	FLER							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中(書き込み、消去)にエラーが発生したことを示すビットです。FLER=1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件] 「21.8.3 エラープロテクト」参照

ビット6~0：予約ビット

読み出すと、常に0が読み出されます。書き込む値も0にしてください。

21.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR1は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にローレベルが入力されているとき、およびFWE端子にハイレベルが入力されていてもFLMCR1のSWE1ビットが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください。設定するとEBR1とEBR2はともに0にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表21.5を参照してください。

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、H'00 に初期化されます。また FWE 端子にハイレベルが入力されていても、FLMCR1 の SWE1 ビットが設定されていないときはビット 3~0 が 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 21.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
			EB13	EB12	EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4kB)	H'000000 ~ H'000FFF
EB1 (4kB)	H'001000 ~ H'001FFF
EB2 (4kB)	H'002000 ~ H'002FFF
EB3 (4kB)	H'003000 ~ H'003FFF
EB4 (4kB)	H'004000 ~ H'004FFF
EB5 (4kB)	H'005000 ~ H'005FFF
EB6 (4kB)	H'006000 ~ H'006FFF
EB7 (4kB)	H'007000 ~ H'007FFF
EB8 (32kB)	H'008000 ~ H'00FFFF
EB9 (64kB)	H'010000 ~ H'01FFFF
EB10 (64kB)	H'020000 ~ H'02FFFF
EB11 (64kB)	H'030000 ~ H'03FFFF
EB12 (64kB)	H'040000 ~ H'04FFFF
EB13 (64kB)	H'050000 ~ H'05FFFF

21.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリエリアの分割法は、表 21.5 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 3 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット2、1、0：フラッシュメモリエリア選択

ビット3と共に使用し、RAMと重ね合わせるフラッシュメモリエリアを選択します。
(表 21.5 参照)

表 21.5 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFF8000 ~ H'FFFF8FFF	RAM エリア 4kB	0	*	*	*
H'00000000 ~ H'00000FFF	EB0 (4kB)	1	0	0	0
H'00001000 ~ H'00001FFF	EB1 (4kB)	1	0	0	1
H'00002000 ~ H'00002FFF	EB2 (4kB)	1	0	1	0
H'00003000 ~ H'00003FFF	EB3 (4kB)	1	0	1	1
H'00004000 ~ H'00004FFF	EB4 (4kB)	1	1	0	0
H'00005000 ~ H'00005FFF	EB5 (4kB)	1	1	0	1
H'00006000 ~ H'00006FFF	EB6 (4kB)	1	1	1	0
H'00007000 ~ H'00007FFF	EB7 (4kB)	1	1	1	1

* : Don't care

21.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 21.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 21.2 を参照してください。

表 21.6 オンボードプログラミングモードの設定方法

モード名		PLL 通倍比	FWE	MD2	MD1	MD0	
ブートモード	拡張モード	×4	1	1	0	0	
	シングルチップモード			1	0	1	
ユーザプログラムモード	拡張モード		1	1	1	1	0
	シングルチップモード				1	1	1

21.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 21.8 にブートモード時のシステム構成図、図 21.9 にブートモード実行手順を示します。

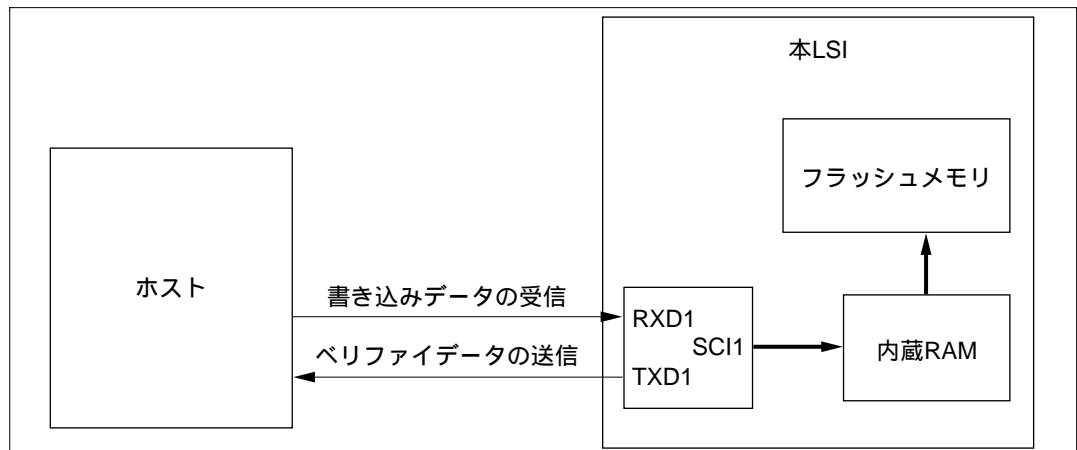


図 21.8 ブートモード時のシステム構成図

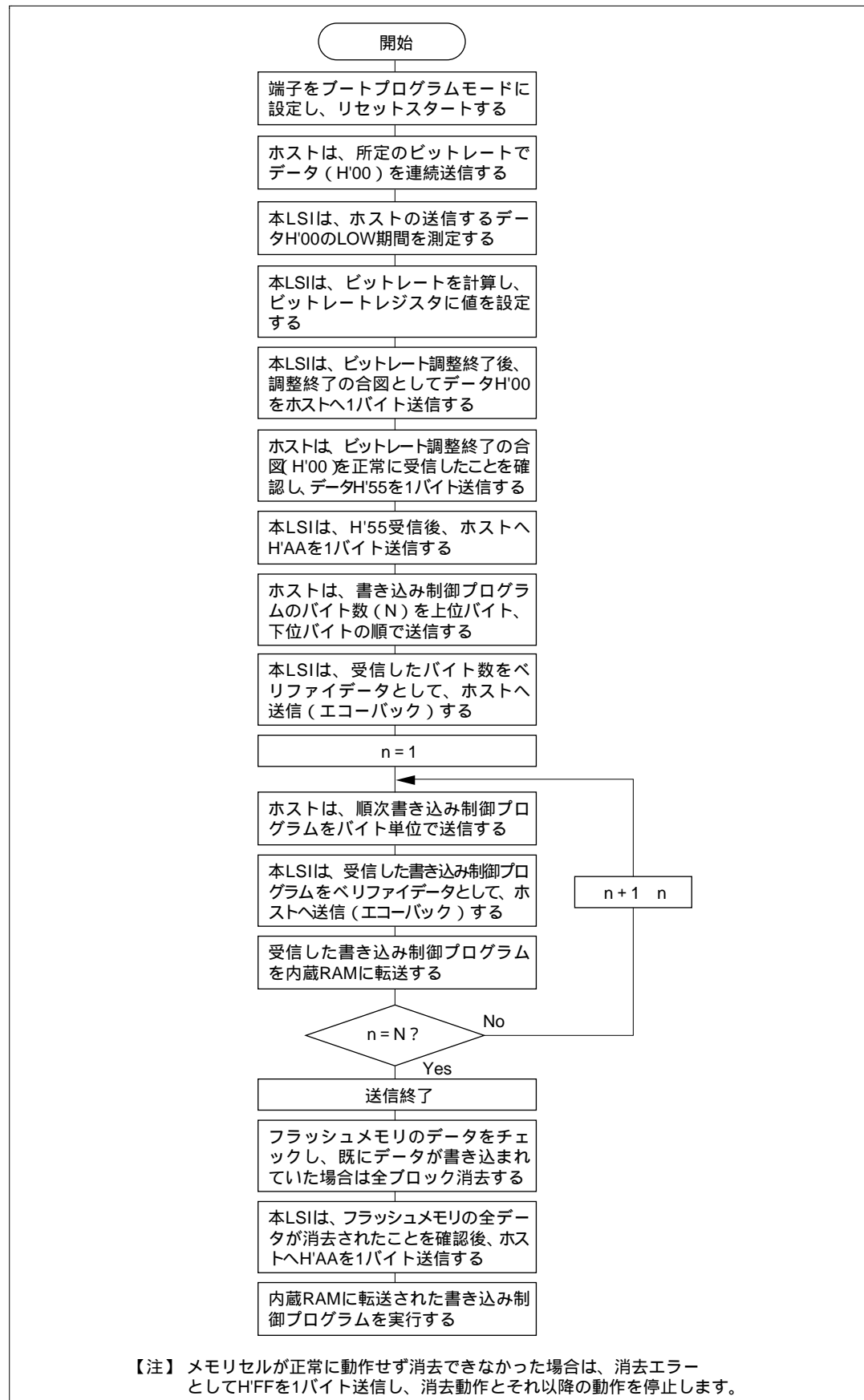


図 21.9 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作

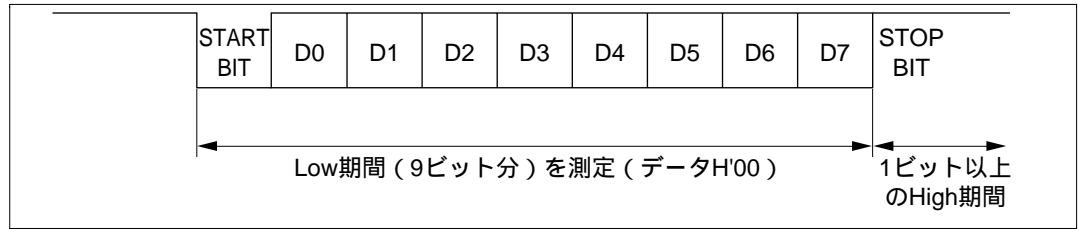


図 21.10 SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (9,600、19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 21.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 21.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9,600bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)
19,200bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 21.11 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

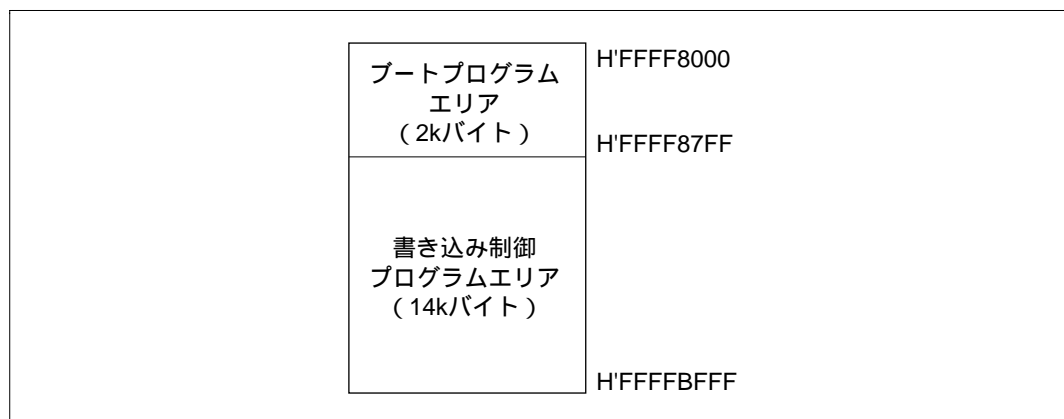


図 21.11 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラムが実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

21.6.2 ユーザプログラムモード

FWE を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間はフラッシュメモリの読み出しができません。したがって、書き込み / 消去を行う制御プログラムは内蔵 RAM、外部メモリ、または当該アドレスエリア外のフラッシュメモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合は、以下の手順を実行するようにしてください (図 21.12))。

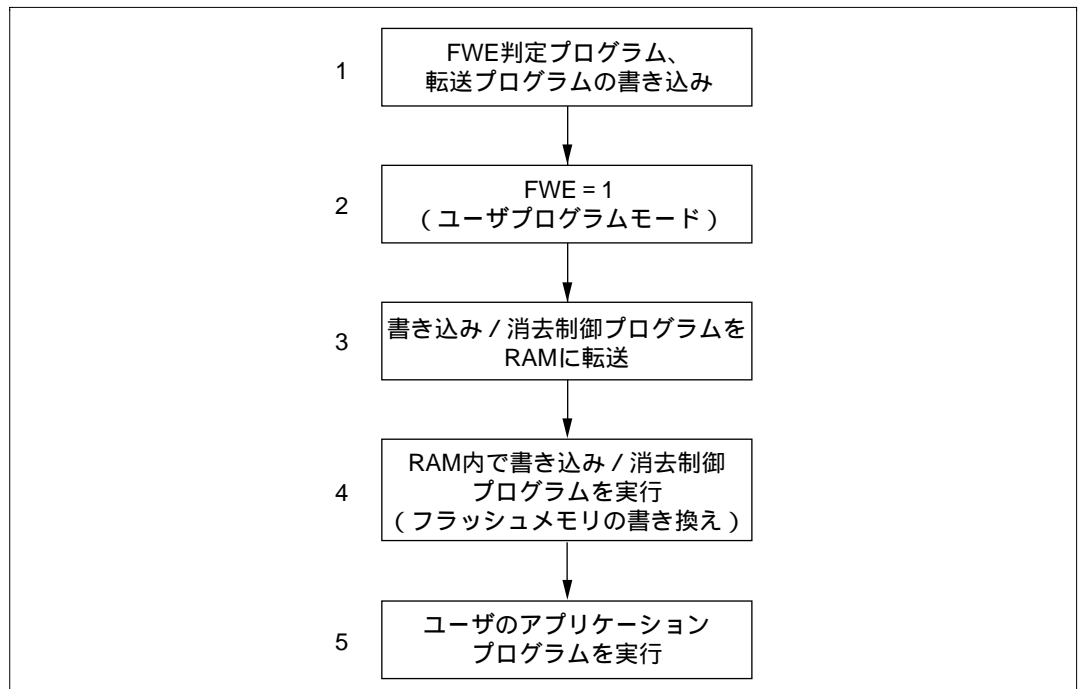


図 21.12 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走等に対応できるようにしてください。プログラム暴走等によって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

21.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EVI ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM、外部メモリあるいは当該アドレスエリア外のフラッシュメモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE1、ESU1、PSU1、EVI、PV1、E1、P1 ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

21.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 21.13、図 21.14 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセットした後、 t_{SSWE} 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に RAM 上の書き込みデータエリアの 128 バイトのデータを連続書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms にしてください。その後、FLMCR1 の PSU1 ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、 t_{SPSU} 以上の時間が経過してから、FLMCR1 の P1 ビットをセ

ットすることで、動作モードはプログラムモードへ遷移します。P1 ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

一定の書き込み時間経過後、書き込みモードを解除します。書き込みモードの解除は、FLMCR1 の P1 ビットをクリアし t_{CP} 以上経過後、PSU1 ビットをクリアし t_{CPSU} 以上経過後にウォッチドッグタイマを停止させます。

21.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

プログラムベリファイモードへは、FLMCR1 の PV1 ビットをセットし t_{SPV} 待つことにより遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトして、 t_{SPVR} 以上待ってください。この状態でフラッシュメモリを読み出す（ベリファイデータはロングワードでリード）とラッチしたアドレスのデータが読み出されます。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図 21.13、図 21.14 参照）し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイ完了後、プログラムベリファイモードを解除します。FLMCR1 の PV1 ビットをクリアし t_{CPV} 以上経過後、SWE1 ビットをクリアし t_{CSWE} 以上待つことにより解除されます。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1,000 回を超えないようにしてください。

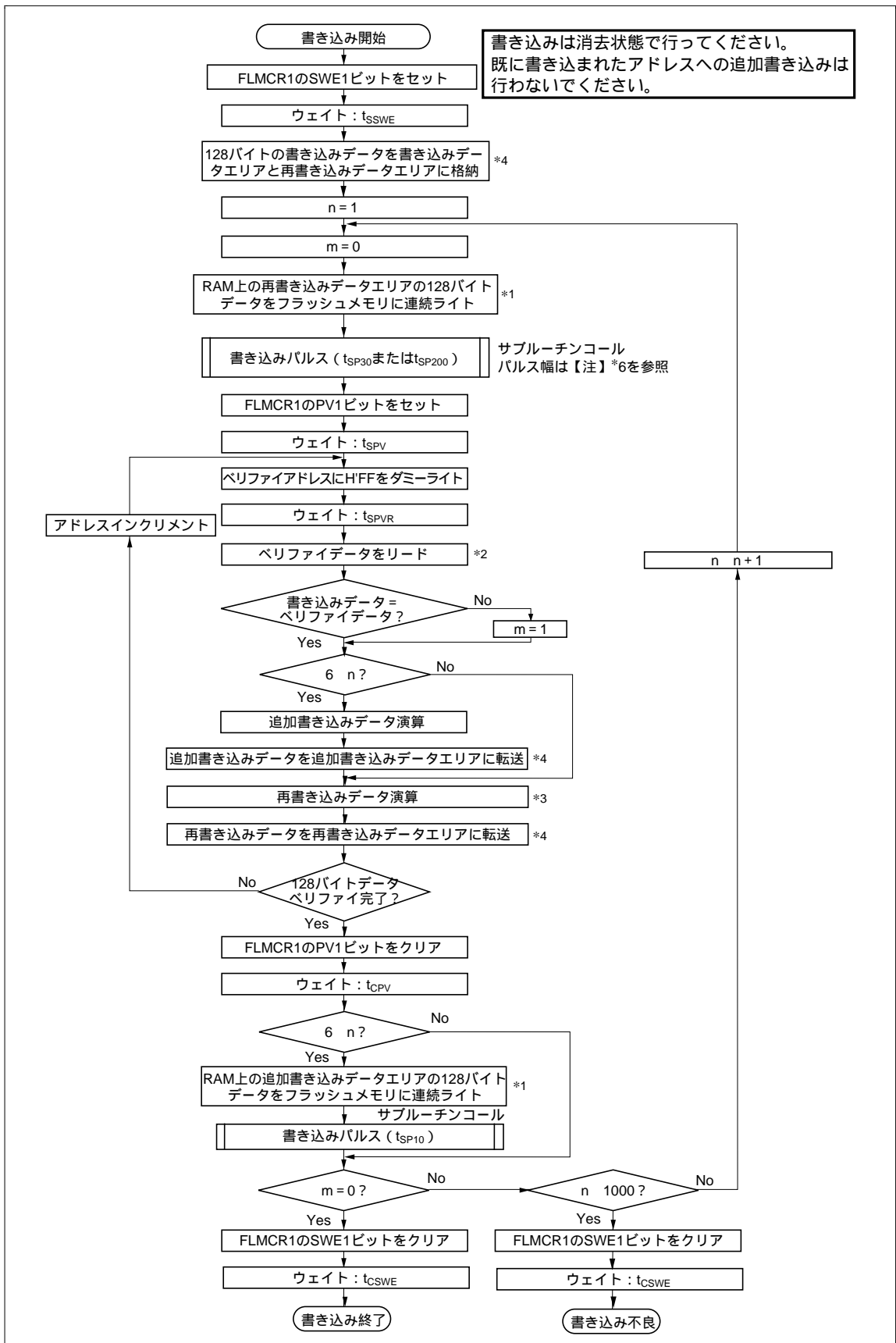


図 21.13 プログラム/プログラムペリファイフロー (1)



図 21.14 プログラム / プログラムベリファイフロー (2)

表 21.8 プログラム/プログラムベリファイパラメータ

フロー区分	項目	記号	min	typ	max	単位	特記
プログラム/ プログラムベリファイ	PSU1 ビットセット後ウェイト時間	t_{SPSU}	50	50	-	μs	
	P1 ビットセット後ウェイト時間 (10 μs)	t_{SP10}	8	10	12	μs	追加書き込み時間ウェイト
	P1 ビットセット後ウェイト時間 (30 μs)	t_{SP30}	28	30	32	μs	書き込み時間ウェイト
	P1 ビットセット後ウェイト時間 (200 μs)	t_{SP200}	198	200	202	μs	書き込み時間ウェイト
	P1 ビットクリア後ウェイト時間	t_{CP}	5	5	-	μs	
	PSU1 ビットクリア後ウェイト時間	t_{CPSU}	5	5	-	μs	
	PV1 ビットセット後ウェイト時間	t_{SPV}	4	4	-	μs	
	ダミーライト後ウェイト時間	t_{SPVR}	2	2	-	μs	
	PV1 ビットクリア後ウェイト時間	t_{CPV}	2	2	-	μs	
共通	SWE1 ビットセット後ウェイト時間	t_{SSWE}	1	1	-	μs	
	SWE1 ビットクリア後ウェイト時間	t_{CSWE}	100	100	-	μs	

21.7.3 イレースモード

フラッシュメモリの消去は1ブロック毎に、図 21.15 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセット後、 t_{SSWE} 以上の時間が経過してから、ブロック指定レジスタ 1、2 (EBR1、2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 19.8ms に設定してください。その後、FLMCR1 の ESU1 ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、 t_{SESU} 以上の時間が経過後、FLMCR1 の E1 ビットをセットすることで、動作モードはイレースモードへ遷移します。E1 ビットが設定されている時間が消去時間となり、消去時間は t_{SE} を超えないようにしてください。

消去時間経過後、イレースモードを解除します。イレースモードの解除は、FLMCR1 の E1 ビットをクリアし t_{CE} 以上経過後、ESU1 ビットをクリアし t_{CESU} 以上経過後にウォッチドックタイマを停止させます。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリの全メモリデータをすべて 0 にする）を行う必要はありません。

21.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

イレースベリファイモードへは、FLMCR1のE1ビットをセットし t_{SEV} 待つことにより遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータH'FFをダミーライトして、 t_{SEVR} 以上待ってください。この状態でフラッシュメモリを読み出す(ベリファイデータはロングワードでリード)とラッチしたアドレスのデータが読み出されます。読み出したデータが消去(データがすべて1)されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除します。FLMCR1のEV1ビットをクリアし t_{CEV} 以上待つことによりイレースベリファイモードが解除されます。消去対象全ブロックの消去が完了している場合は、FLMCR1のSWE1ビットをクリアしてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

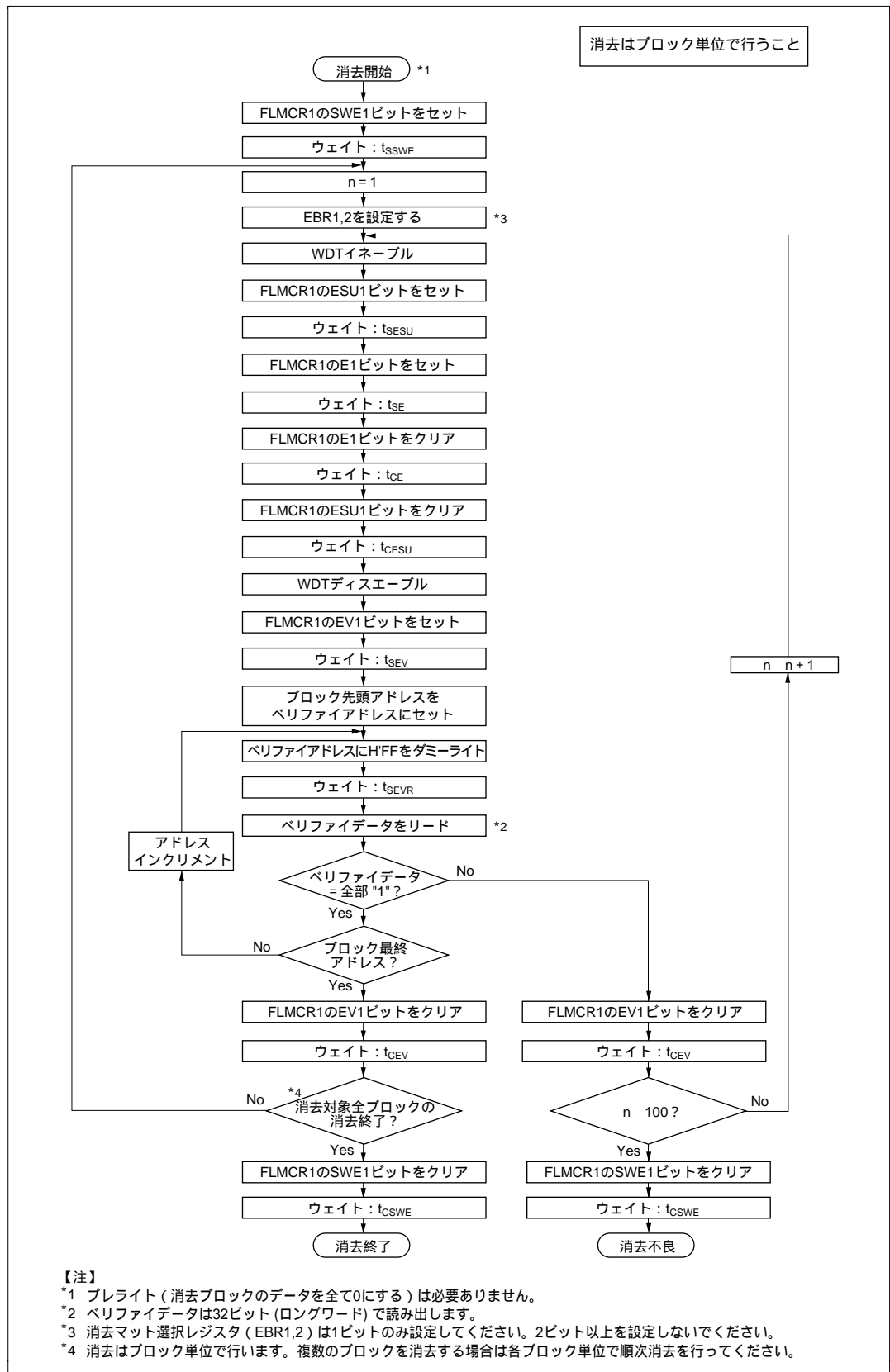


図 21.15 イレース/イレースペリファイフロー

表 21.9 イレース/イレースベリファイパラメータ

フロー区分	項目	記号	min	typ	max	単位	特記
イレース/ イレースベリファイ	ESU1 ビットセット後ウェイト時間	t_{SESU}	100	100	-	μs	
	E1 ビットセット後ウェイト時間	t_{SE}	10	10	100	ms	消去時間ウェイト
	E1 ビットクリア後ウェイト時間	t_{CE}	10	10	-	μs	
	ESU1 ビットクリア後ウェイト時間	t_{CESU}	10	10	-	μs	
	EV1 ビットセット後ウェイト時間	t_{SEV}	20	20	-	μs	
	ダミーライト後ウェイト時間	t_{SEVR}	2	2	-	μs	
	EV1 ビットクリア後ウェイト時間	t_{CEV}	4	4	-	μs	
共通	SWE1 ビットセット後ウェイト時間	t_{SSWE}	1	1	-	μs	
	SWE1 ビットクリア後ウェイト時間	t_{CSWE}	100	100	-	μs	

21.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

21.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 21.10 参照)

表 21.10 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子 プロテクト	<ul style="list-style-type: none"> ・ FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、 スタンバイ プロテクト	<ul style="list-style-type: none"> ・ パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 ・ $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み/消去動作中はリセットしないでください。そのときのフラッシュメモリの値は保証しません。この場合は消去してから再度書き込んでください。 		

21.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 のSWE1 ビット、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットまたは E1 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 21.11 参照)

表 21.11 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	・ FLMCR1 の SWE1 ビットを 0 にセットすることにより、書き込み / 消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。)		
ブロック 指定 プロテクト	・ ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロック毎に消去プロテクトが可能。 ・ EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。	-	
エミュレー ション プロテクト	・ RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。		

21.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが"1"にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、E1ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1ビット、EV1ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中に当該アドレスエリアのフラッシュメモリを読み出したとき(ベクタリードおよび命令フェッチを含む)
 - (2) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

図 21.16 にフラッシュメモリの状態遷移図を示します。

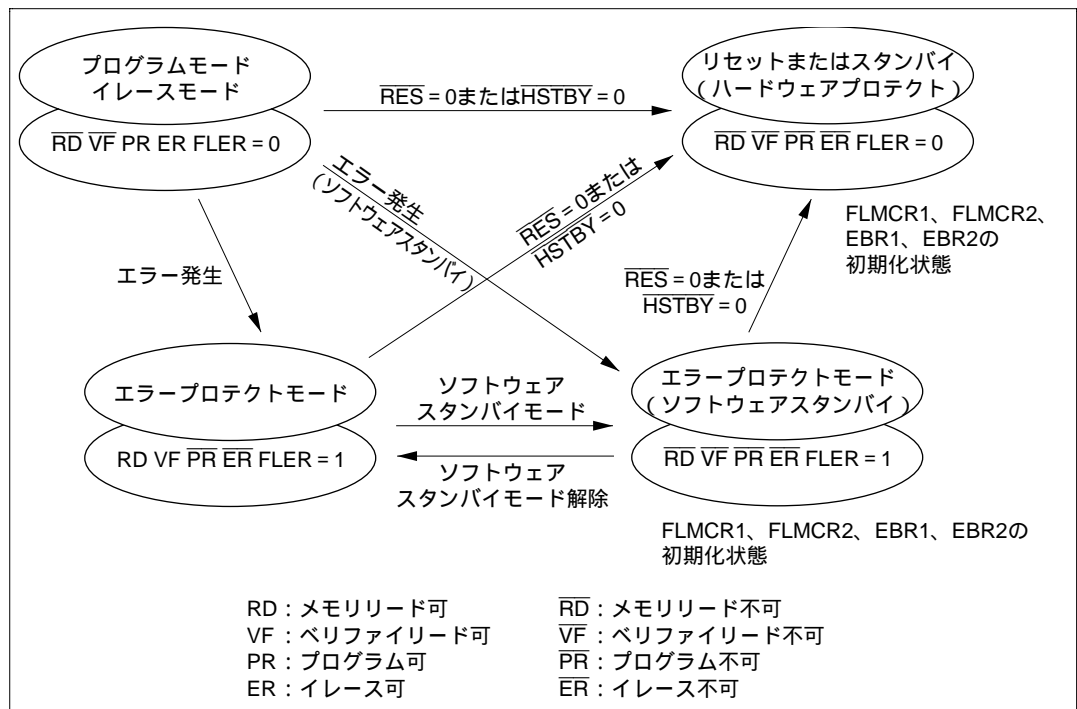


図 21.16 フラッシュメモリの状態遷移図

21.9 RAMによるフラッシュメモリのエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMエミュレーションレジスタ(RAMER)で設定したフラッシュメモリのエリアにRAMの一部を重ね合わせて使うことができます。RAMERの設定後はフラッシュメモリのエリアとフラッシュメモリを重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図21.17にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

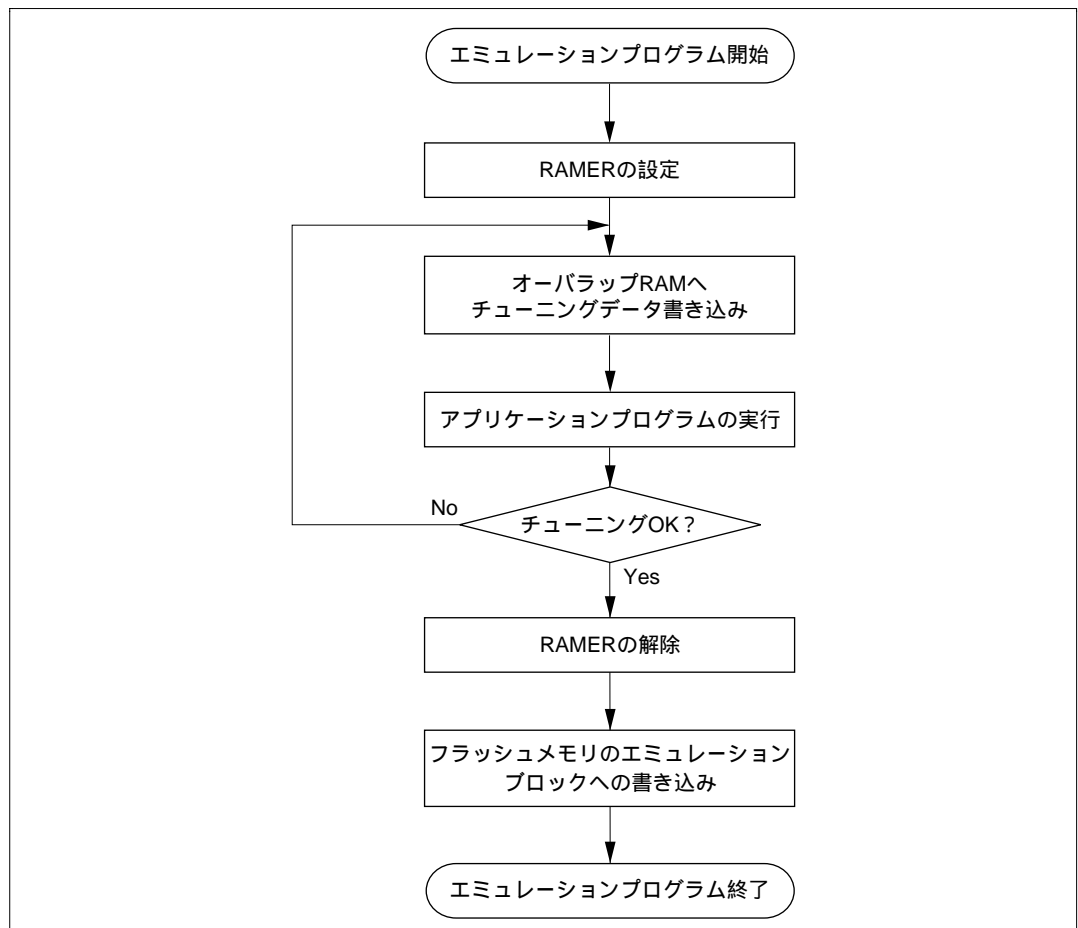


図 21.17 RAMによるエミュレーションフロー

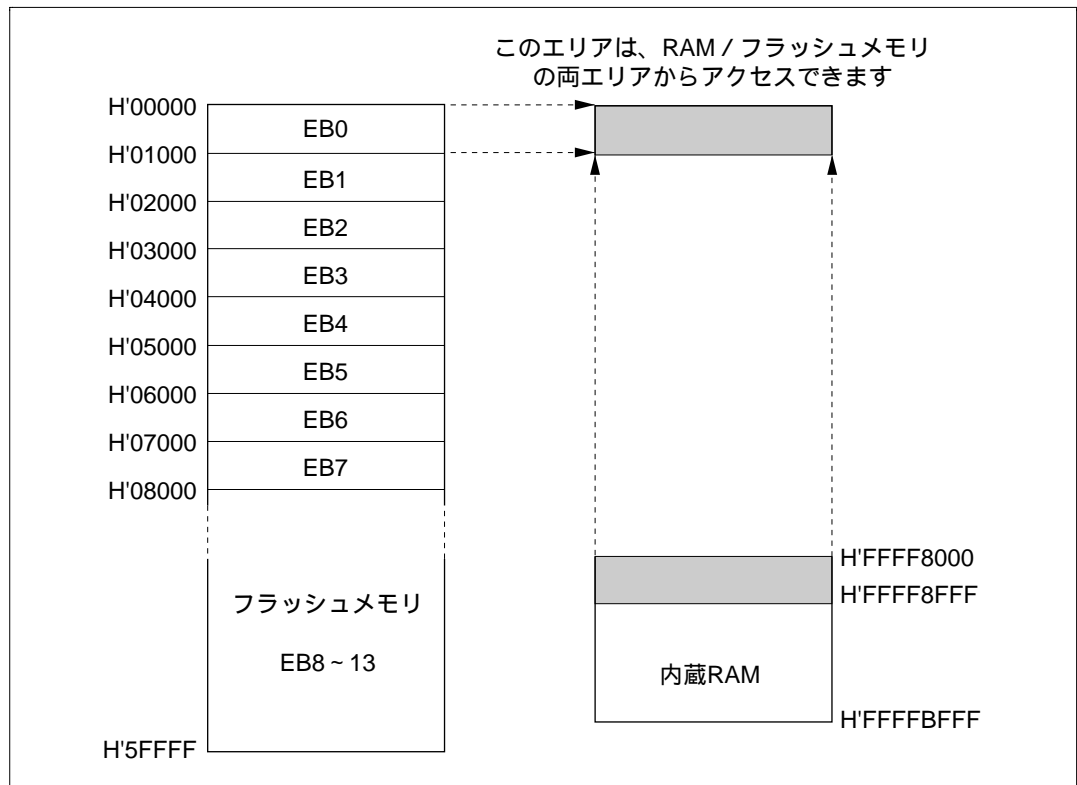


図 21.18 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB0) に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビット、RAM2~0 ビットを 1、0、0、0 に設定してください。
- リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。
- 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
- オーバーラップさせた RAM に書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

21.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード（ブートモード、ユーザプログラムモード）時は、書き込み / 消去動作（RAM エミュレーションを含む）を最優先とするため、NMI の入力を禁止してください。

ATUレジスタのライトサイクルの直後にROM領域への書き込みを行わないでください。詳しくは「10.7 使用上の注意 (23) ATUレジスタのライトサイクル直後のROM領域へのライト」を参照してください。

書き込み / 消去動作が終了し、SWE1 ビットを1から0にセットした後のフラッシュメモリのリードは、SWE1を0にクリアし、 t_{CSWE} 以上の時間が経過してから、フラッシュメモリをリードしてください。

書き込み / 消去動作が終了し、SWE1 ビットを1から0にセットした後の \overline{RES} 入力タイミングは、SWE1を0にクリアし、 t_{CSWE} 以上の時間が経過してから、リセットしてください。

21.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子をライターモード（表 21.12 参照）に設定し、入力クロックとして6MHzを入力してください。これにより本LSIは、24MHzで動作します。

表 21.12 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.3 端子一覧」を参照してください。

表 21.12 PROM モードの端子設定方法

端子名	設定
モード端子：MD2、MD1、MD0	0、1、1
FWE 端子	ハイレベルを入力（自動書き込み、自動消去時）
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLL _{V_{CC}} 、PLL _{CAP} 、PLL _{V_{SS}} 端子	発振回路

21.11.1 ソケットアダプタの端子対応図

図 21.20 に示すようにソケットアダプタをLSIに取り付けてください。これによって、

40ピンにピン変換することができます。内蔵ROMのメモリマップを図21.19に、ソケットアダプタの端子対応図を図21.20に示します。

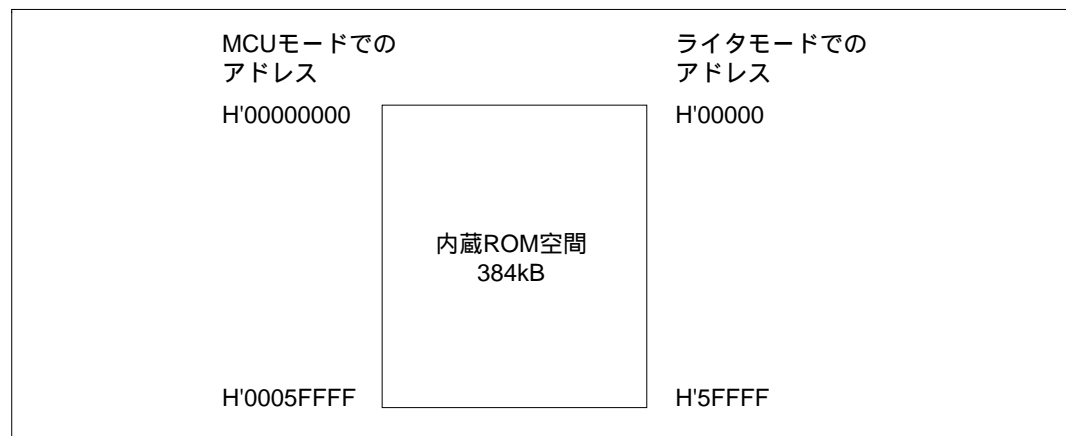


図 21.19 内蔵ROMのメモリマップ

21. ROM (SH7054F)

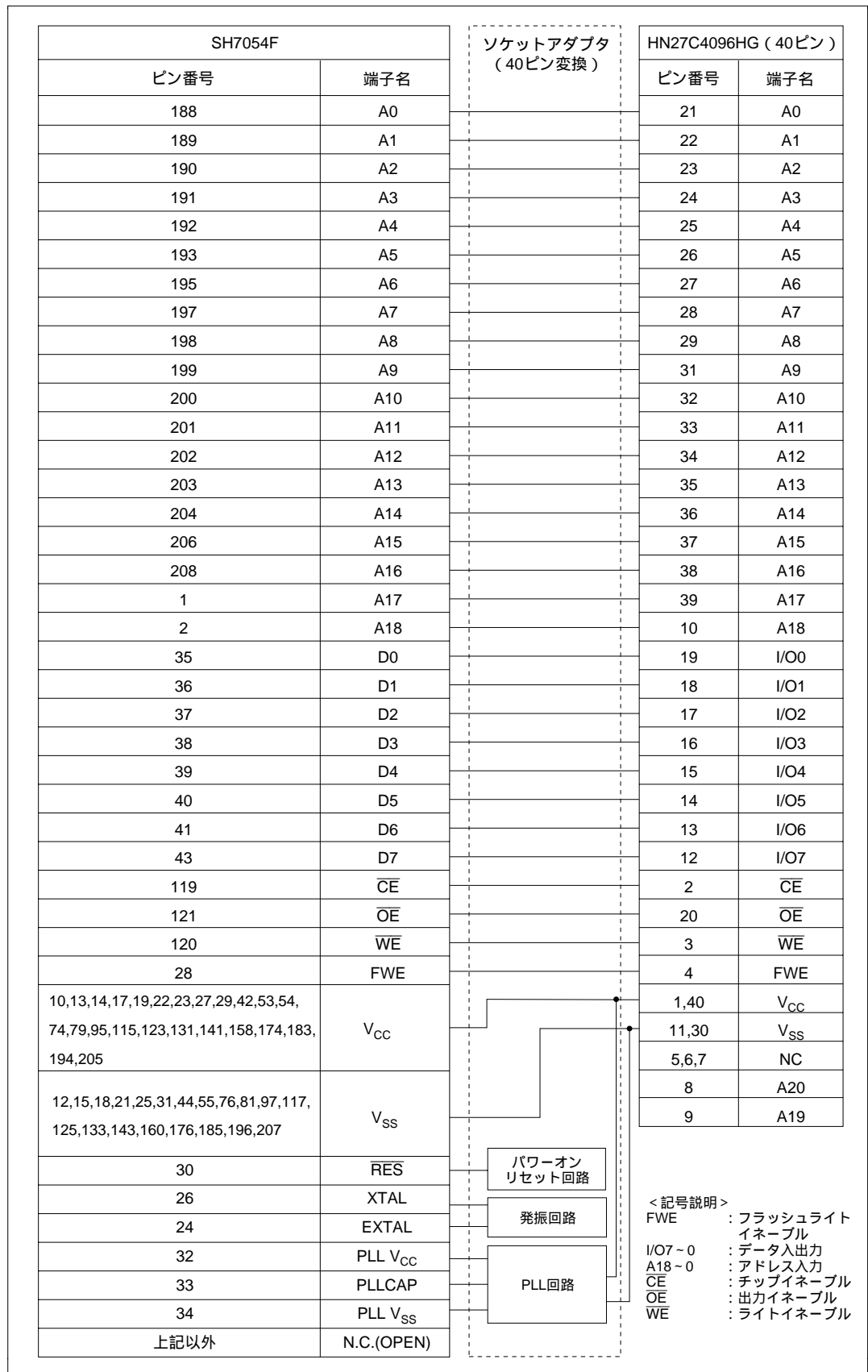


図 21.20 ソケットアダプタの端子対応図

21.11.2 ライタモードの動作

表 21.13 にライタモード時の各動作モードの設定方法、表 21.14 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 21.13 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7~0	A18~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 21.14 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

21.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 21.15 メモリ読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

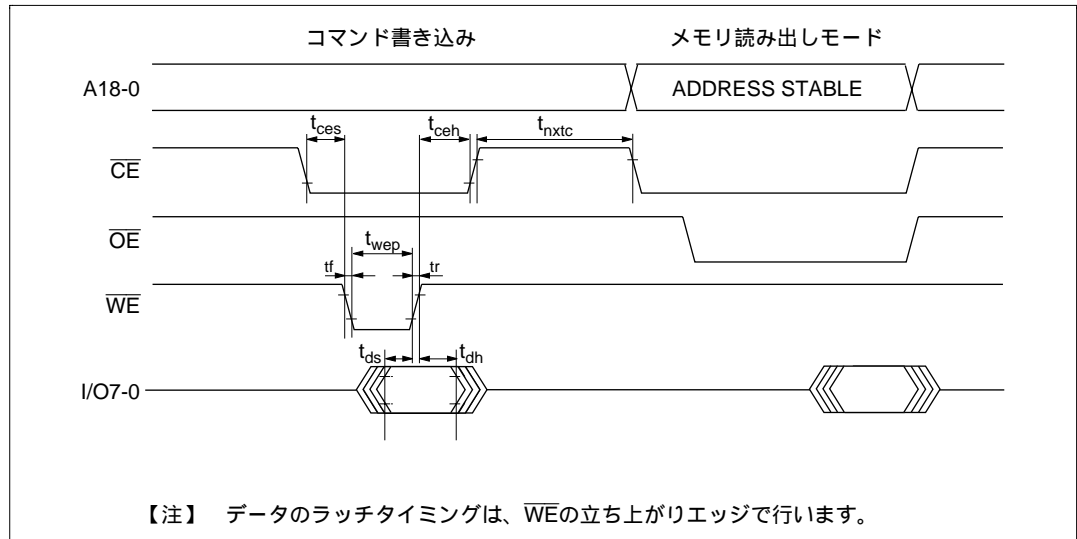


図 21.21 コマンド書き込み後メモリ読み出しタイミング波形

表 21.16 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

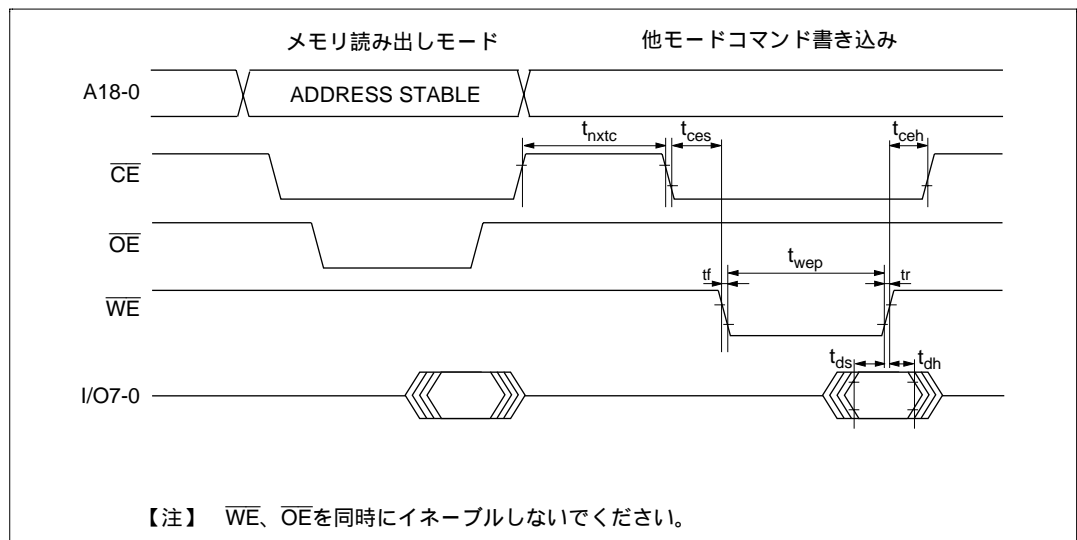


図 21.22 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 21.17 メモリ読み出しモード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

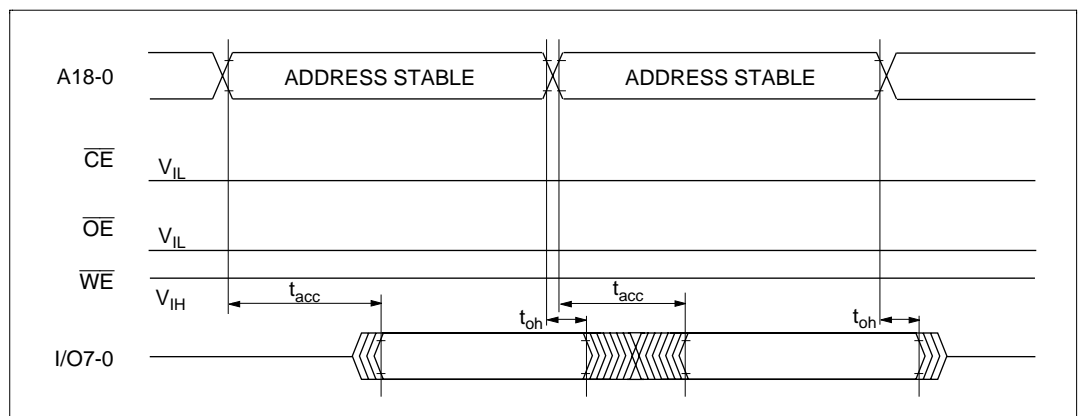


図 21.23 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

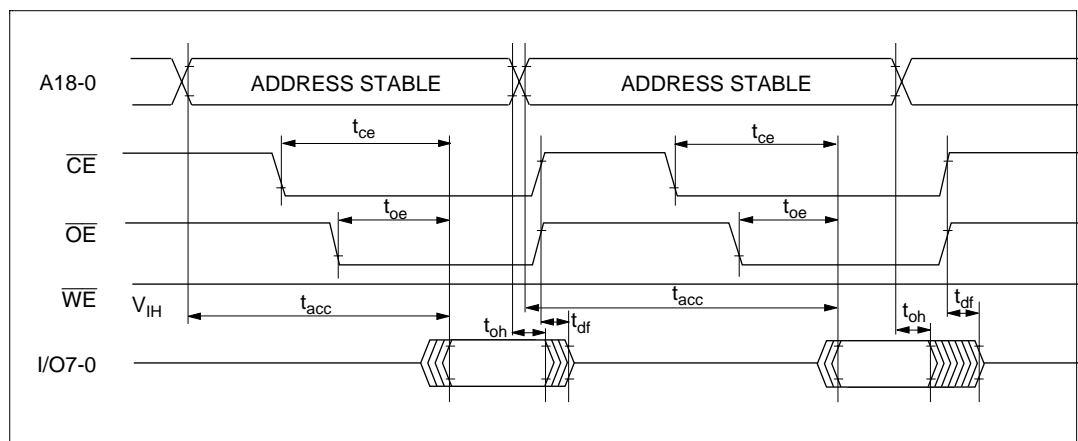


図 21.24 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

21.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (2) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを HFF にして書き込みを行う必要があります。
- (3) 転送するアドレスの下位 7 ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第 2 サイクルで行います (図 21.25)。第 3 サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。既に書き込まれたアドレスブロックへの 2 回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングの I/O6、I/O7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 21.18 自動書き込みモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

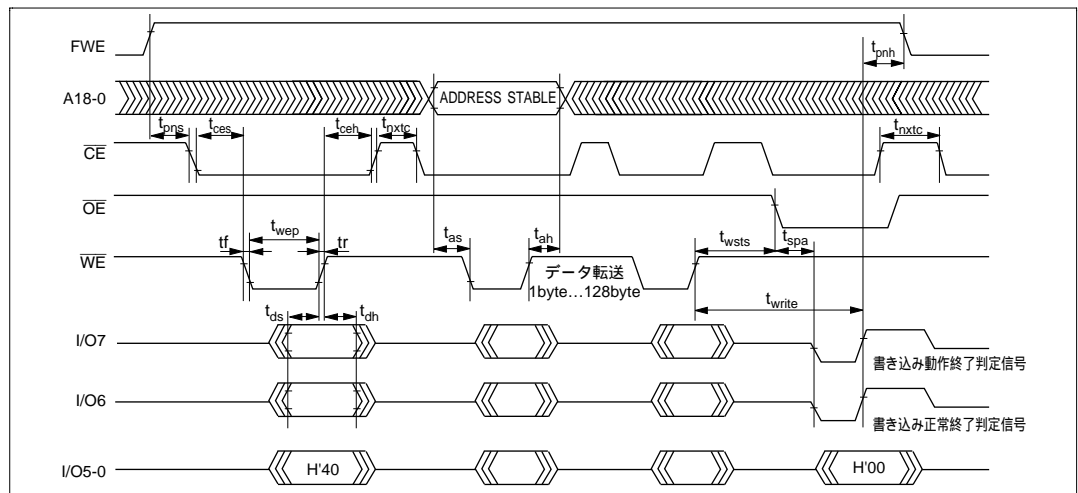


図 21.25 自動書き込みモードのタイミング波形

21.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。

- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（I/O7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにするにより読み出し可能となります。

表 21.19 自動消去モード時のAC特性

(条件： $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

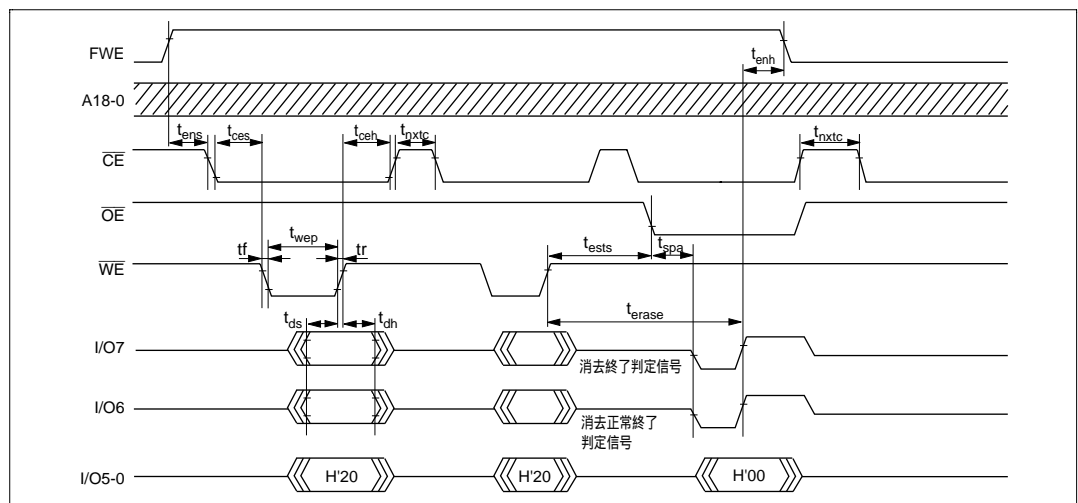


図 21.26 自動消去モードのタイミング波形

21.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 21.20 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

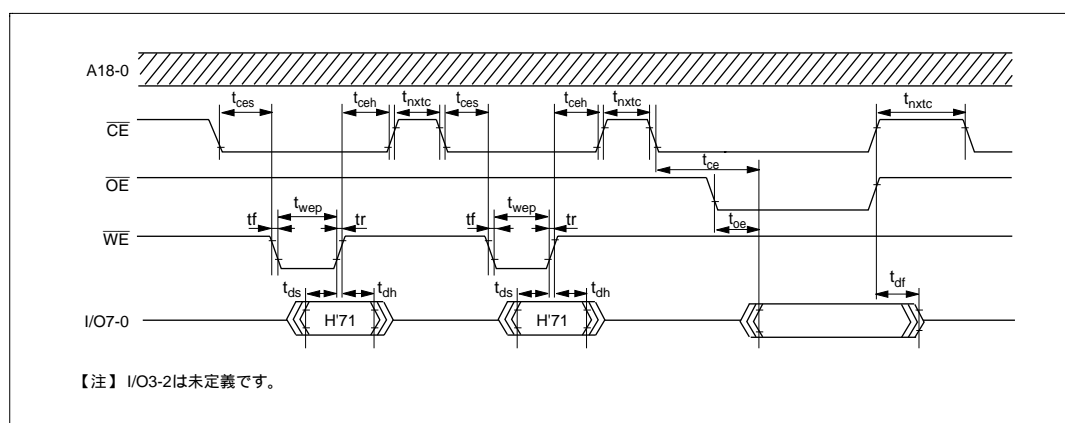


図 21.27 ステータス読み出しモードのタイミング波形

表 21.21 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3は未定義です

21.11.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み/自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み/自動消去モード時の正常/異常終了を示すフラグです。

表 21.22 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

21.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 21.23 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除(発振安定時間)	t_{osc1}	30		ms	
ライタモードセットアップ時間	t_{pmv}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

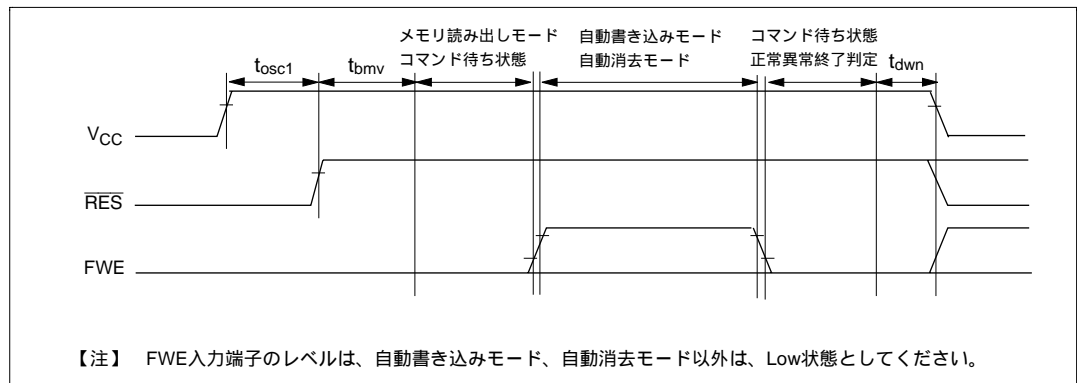


図 21.28 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

21.11.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
 - (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライターモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- 【注】 1. 日立出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

22. RAM

第 22 章 目次

22.1	概要.....	845
	22.1.1 概要.....	845
22.2	動作説明.....	846

22.1 概要

22.1.1 概要

SH7052Fは12kバイト、SH7053F/SH7054Fは16kバイトのRAMを内蔵しています。内蔵RAMは、32ビット幅のデータバスを通して、CPU、ダイレクトメモリアクセスコントローラ(DMAC)、およびアドバンストユーザデバッガ(AUD)に接続されています(図22.1)。

CPU、DMAC、AUDは8、16または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、常に1ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータアクセスとしての使用に適しています。内蔵RAMの内容はスリープモード、ソフトウェアスタンバイモードでは保持されます。後述のRAMEビットが0に設定されている場合、ハードウェアスタンバイモードでも保持されます。

内蔵RAMは、SH7052FはアドレスH'FFFF8000~H'FFFFAFFFに、SH7053F/SH7054FはアドレスH'FFFF8000~H'FFFFBFFFに割り付けられています。

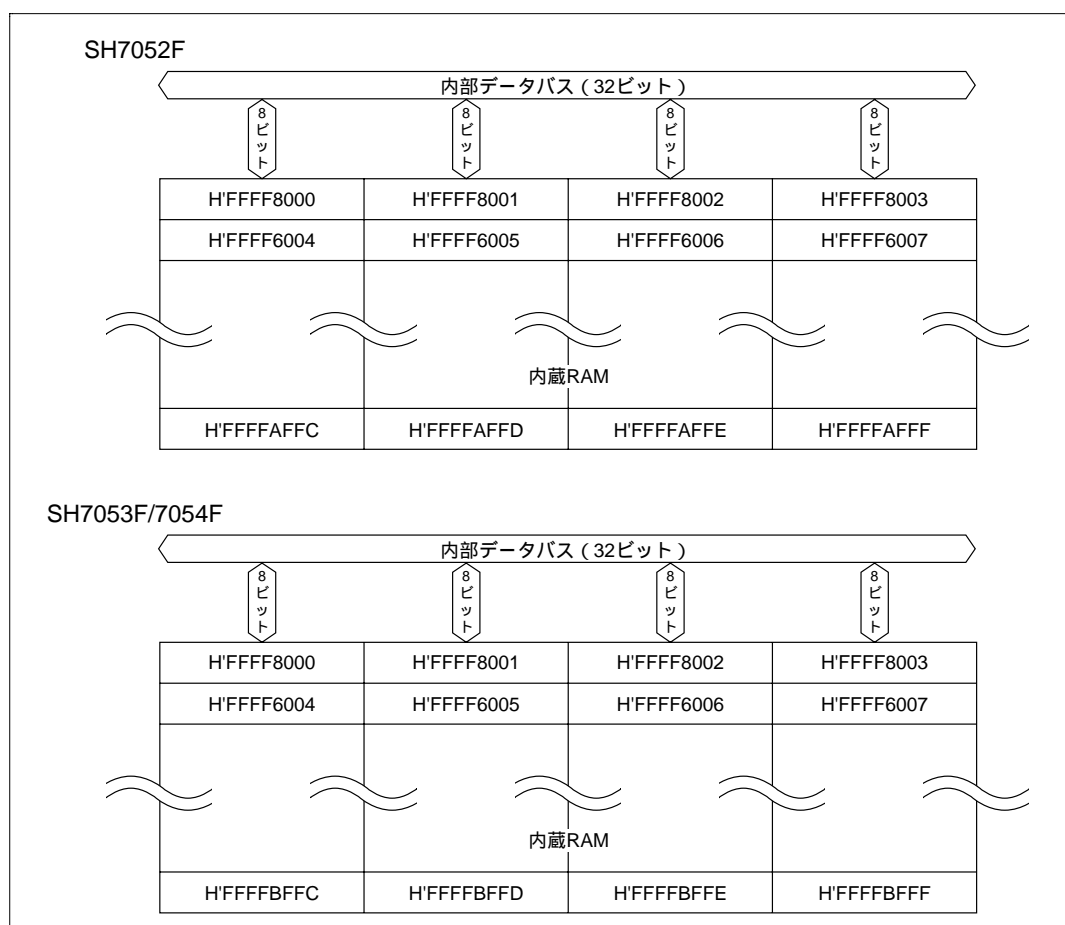


図 22.1 RAMのブロック図

22.2 動作説明

内蔵RAMは、システムコントロールレジスタ（SYSCR）で制御されます。

SYSCRのRAMEビットを1にセットすると内蔵RAMが有効になります。このときSH7052FはアドレスH'FFFF8000~H'FFFFAFFFを、SH7053F/7054FはアドレスH'FFFF8000~H'FFFFBFFFをアクセスすると内蔵RAMがアクセスされます。

SYSCRのRAMEビットを0にクリアすると内蔵RAMはアクセスされません。読み出すと不定値が読み出され、書き込みは無効です。SYSCRのRAMEビットを0にクリアした後、ハードウェアスタンバイモードに遷移すると、内蔵RAMの値は保持されます。

SYSCRについての詳しくは「23. 低消費電力状態」の「23.2.2 システムコントロールレジスタ」を参照してください。

23. 低消費電力状態

第 23 章 目次

23.1	概要.....	849
	23.1.1 低消費電力モードの種類.....	849
	23.1.2 端子構成.....	851
	23.1.3 関連レジスタ.....	851
23.2	レジスタの説明.....	852
	23.2.1 スタンバイコントロールレジスタ (SBYCR).....	852
	23.2.2 システムコントロールレジスタ (SYSCR).....	853
	23.2.3 モジュールスタンバイコントロールレジスタ (MSTCR).....	855
	23.2.4 レジスタアクセス時の注意.....	857
23.3	ハードウェアスタンバイモード.....	858
	23.3.1 ハードウェアスタンバイモードへの遷移.....	858
	23.3.2 ハードウェアスタンバイモードの解除.....	858
	23.3.3 ハードウェアスタンバイモードのタイミング.....	858
23.4	ソフトウェアスタンバイモード.....	859
	23.4.1 ソフトウェアスタンバイモードへの遷移.....	859
	23.4.2 ソフトウェアスタンバイモードの解除.....	860
	23.4.3 ソフトウェアスタンバイモードの応用例.....	861
23.5	スリープモード.....	862
	23.5.1 スリープモードへの遷移.....	862
	23.5.2 スリープモードの解除.....	862

23.1 概要

低消費電力モードとして、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、スリープモードの3種類のモードおよび一部モジュールのモジュールストップ機能があります。LSIの消費電力を低減させたいアプリケーションにより、各スタンバイモードを選択することができます。

23.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモードがあります。

(1) ハードウェアスタンバイモード

$\overline{\text{RES}}$ 、 $\overline{\text{HSTBY}}$ 端子の入カレベルによりハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイ中はLSIの全機能が停止します。この状態からは、パワーオンリセットにより復帰します。

(2) ソフトウェアスタンバイモード

ソフトウェア (CPU の命令) によってソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイ中はLSIの全機能が停止します。

この状態からは、パワーオンリセット、NMI 割り込みにより復帰します。

(3) スリープモード

CPU の命令によってスリープモードに遷移します。基本的にCPU以外の内蔵周辺モジュールは動作します。この状態からは、パワーオンリセット、マニュアルリセット、割り込み、DMA アドレスエラーにより復帰します。

(4) モジュールスタンバイ機能

モジュールスタンバイ可能な内蔵周辺モジュール*について、クロックの供給を停止してそのモジュールの動作を停止させることができます。モジュールスタンバイコントロールレジスタ (MSTCR) の各ビットにより、それぞれのモジュールのクロック供給を制御できます。

【注】 * AUD、H-UDI、UBC

プログラム実行状態から、各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 23.1 に示します。

表 23.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	CPU レジスタ	内蔵周辺 モジュール	RAM	端子	
ハードウェア スタンバイ	HSTBY 端子に ローレベルを 入力	停止	停止	不定	停止	保持 ^{*2}	初期化	HSTBY 端子にハ イレベルを入力し て、パワーオンリ セット
ソフトウェア スタンバイ	SBYCR の SSBY ビット が 1 の状態で SLEEP 命令を 実行	停止	停止	保持	停止 ^{*1}	保持	保持また はハイイ ンピーダ ンス ^{*3}	(1)NMI 割り込み (2)パワーオンリ セット
スリープ	SBYCR の SSBY ビット が 0 の状態で SLEEP 命令を 実行	動作	停止	保持	動作	保持	保持	(1)割り込み (2)DMA アドレスエ ラー (3)パワーオンリ セット (4)マニュアルリ セット

SBYCR : スタンバイコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

【注】 *1 内蔵周辺モジュールのレジスタの中には、ソフトウェアスタンバイモードによって初期化されるものとされないものがあります。「表 23.4 ソフトウェアスタンバイモードでのレジスタの状態」および各周辺モジュールの「レジスタの説明」の項を参照してください。

*2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前に SYSCR の RAME ビットを"0"にクリアする必要があります。

*3 スタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で設定します。「23.2.1 スタンバイコントロールレジスタ」を参照してください。端子状態は、「付録 B. 端子状態」を参照してください。

23.1.2 端子構成

低消費電力モードに関連する端子を表 23.2 に示します。

表 23.2 端子構成

名称	略称	入出力	機能
ハードウェアスタンバイ入力端子	$\overline{\text{HSTBY}}$	入力	入力レベルによりハードウェアスタンバイモードに遷移します。
パワーオンリセット入力端子	$\overline{\text{RES}}$	入力	パワーオンリセット信号の入力端子です。

23.1.3 関連レジスタ

低消費電力モードに関連するレジスタを表 23.3 に示します。

表 23.3 レジスタ構成

名称	略称	R/W	初期値	アドレス		アクセス サイズ
				書き込み	読み出し	
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF EC14		8
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FFFF F708		8
モジュールスタンバイコントロールレジスタ	MSTCR	R/W	H'01	H'FFFF F70A*2	H'FFFF F70B*3	8、16

【注】 *1 レジスタアクセスは、SBYCR は 3 サイクル、SYSCR および MSTCR は 4~5 サイクルです。

*2 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*3 読み出しは、バイト単位で行ってください。ワード単位及びロングワード単位では、正しい値を読み出すことができません。

23.2 レジスタの説明

23.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移およびスタンバイモード時のポート状態を設定します。

SBYCR は、パワーオンリセットで H'1F に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、ソフトウェアスタンバイモードへ遷移

ビット 6: ポートハイインピーダンス (HIZ)

ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

23.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	AUDSRST	RAME
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W

システムコントロールレジスタ (SYSCR) は、読み出し / 書き込み可能な8ビットのレジスタで、AUD ソフトウェアリセット制御と、内蔵 RAM へのアクセスの許可 / 禁止を設定します。

SYSCR は、パワーオンリセットの立ち上がりエッジで H'01 に初期化されます。

ビット7～2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1：AUD ソフトウェアリセット (AUDSRST)

AUD のリセットをソフトウェアで制御します。AUDSRST ビットの1をセットするとAUD モジュールはパワーオンリセット状態になります。

ビット1	説明
AUDSRST	
0	AUD のリセットを解除する (初期値)
1	AUD をリセット状態にする

ビット0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAM イネーブルビットを1にセットすると内蔵 RAM が有効になります。0にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は1です。

なお、本ビットを0にクリアして内蔵 RAM を無効にする場合、SYSCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを1にセットして内蔵 RAM を有効にする場合、SYSCR へのライト命令の直後に SYSCR のリード命令を置いてください。もし、SYSCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

23.2.3 モジュールスタンバイコントロールレジスタ (MSTCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	MSTOP3	—	—	MSTOP0
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R/W	R	R	R/W

モジュールスタンバイコントロールレジスタ (MSTCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵モジュールのうち AUD、UBC のスタンバイ制御をします。

MSTCR は、パワーオンリセットで H'01 に初期化されます。

【注】 MSTCR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「23.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7 ~ 4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : モジュールストップ 3 (MSTOP3)

内蔵周辺モジュールのうち AUD へのクロック供給停止を指定します。

MSTOP3 ビットに 1 をセットすると AUD へのクロック供給を停止します。

AUD へのクロック供給の停止を解除する場合は、システムコントロールレジスタ (SYSCR) の AUD ソフトウェアリセット (AUDSRST) を AUD リセット状態に設定してから解除してください。その後 AUD のリセットを解除することにより、AUD の使用が可能になります。

ビット 3	説明
MSTOP3	
0	AUD は動作 (初期値)
1	AUD へのクロック供給を停止

ビット 2 ~ 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット0：モジュールストップ0（MSTOP0）

内蔵周辺モジュールのうち UBC へのクロック供給停止を指定します。

MSTOP0 ビットを 0 にクリアすると UBC へのクロック供給を開始します。

UBC へのクロック供給を停止すると UBC のレジスタを含めた内部状態はリセットされます。

ビット0	説明
MSTOP0	
0	UBC は動作
1	UBC へのクロック供給を停止 (初期値)

23.2.4 レジスタアクセス時の注意

モジュールスタンバイコントロールレジスタ (MSTCR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。

MSTCR へ書き込むときは、必ずワード転送命令を使用してください、バイト転送命令では、書き込めません。図 23.1 に示すように上位バイトを H'3C にし、下位バイトを書き込みデータにして転送してください。

読み出しは、一般のレジスタと同様の方法で行うことができます。

MSTCR はアドレス H'FFFFFF70A に割り当てられています。読み出すときは必ずバイト転送命令を使用してください。

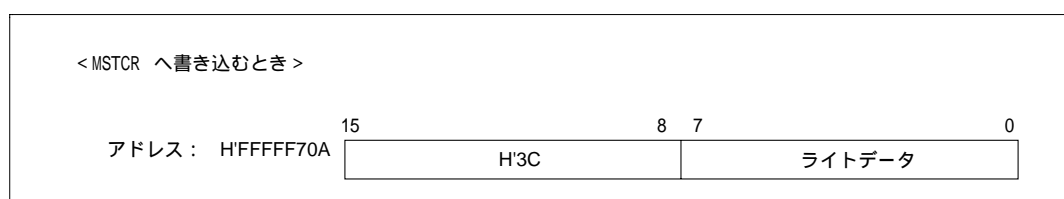


図 23.1 MSTCR への書き込み

23.3 ハードウェアスタンバイモード

23.3.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子にローレベルを入力するとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモード中はLSIの全機能が停止するので、消費電力は著しく低減されます。この機能は、外部端子入力によりハードウェアスタンバイモードに遷移するため、現在のLSIの状態に関わらず非同期にこのモードに遷移します。このため、ハードウェアスタンバイモードに遷移する前のLSIの状態は保持しません。ただし、内蔵RAMのデータは、規定の電圧が与えられている限り保持することができます。内蔵RAMを保持するためには、 $\overline{\text{HSTBY}}$ 端子をローレベルにする前に、システムコントロールレジスタ (SYSCR) のRAMイネーブルビット (RAME) を0にクリアしてください。ハードウェアスタンバイモード中の端子状態については「付録B. 端子状態」を参照してください。

23.3.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子で行われます。 $\overline{\text{RES}}$ 端子をローレベルにした状態で、 $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまでローレベルに保持してください。 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理を経て、プログラム実行状態に遷移します。

23.3.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図23.2に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後、 $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ をハイレベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることで行われます。

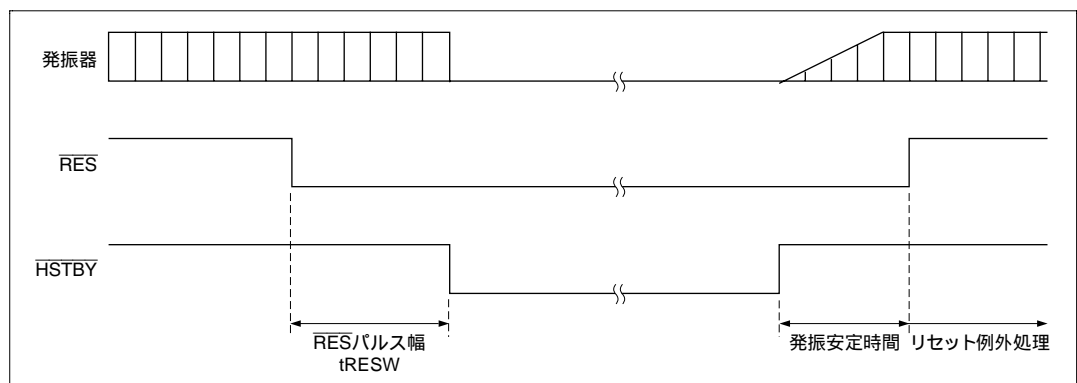


図 23.2 ハードウェアスタンバイモードのタイミング

23.4 ソフトウェアスタンバイモード

23.4.1 ソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロック発振器や内蔵周辺モジュールも停止するため消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータ (ただし、SYSCR の RAME ビットが 0 のとき) は、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 23.4)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「付録 B. 端子状態」を参照してください。

表 23.4 ソフトウェアスタンバイモードでのレジスタの状態

内蔵周辺モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)		全レジスタ
ユーザブ레이크コントローラ (UBC)		全レジスタ
バスステートコントローラ (BSC)		全レジスタ
ダイレクトメモリアクセス コントローラ (DMAC)	全レジスタ	
アドバンスドタイマユニット (ATU)	全レジスタ	
アドバンスドパルスコントローラ (APC)		全レジスタ
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> ・タイマコントロールステータスレジスタ (TCSR) のビット 7~5 (OVF、WT/IT、TME) ・リセットコントロールステータスレジスタ (RSTCSR) ・タイマカウンタ (TCNT) 	<ul style="list-style-type: none"> ・タイマコントロールステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0)
コンペアマッチタイマ (CMT)	全レジスタ	
HCAN	MC0[1:8]~ MC15[1:8] MD0[1:8]~ MD15[1:8] 以外のレジスタ	MC0[1:8]~ MC15[1:8] MD0[1:8]~ MD15[1:8]
シリアルコミュニケーション インタフェース (SCI)	全レジスタ	

内蔵周辺モジュール	初期化されるレジスタ	内容が保持されるレジスタ
AD 変換器	全レジスタ	
ピンファンクションコントローラ (PFC)		全レジスタ
I/O ポート		全レジスタ
フラッシュメモリ制御レジスタ	全レジスタ (RAMER を除く)	
低消費電力状態関係		<ul style="list-style-type: none"> ・スタンバイコントロールレジスタ (SBYCR) ・システムコントロールレジスタ (SYSCR) ・モジュールストップコントロールレジスタ (MSTCR)

23.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは NMI 割り込み、パワーオンリセットにより解除されます。

(1) NMI 割り込み入力による解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックはウォッチドッグタイマ (WDT) だけに供給されます。

ソフトウェアスタンバイモードに遷移する前に WDT のタイマコントロールレジスタ / ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2~CKS0) に設定しておいた時間が経過すると、WDT オーバーフローが発生します。このオーバーフロー発生によって、クロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってソフトウェアスタンバイモードを解除する場合、WDT のオーバーフロー周期が発振安定時間以上になるように、CKS2~CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、ソフトウェアスタンバイモードは解除されます。

23.4.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりによってソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりによって解除を行う例を説明します。この例のタイミングを図 23.3 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

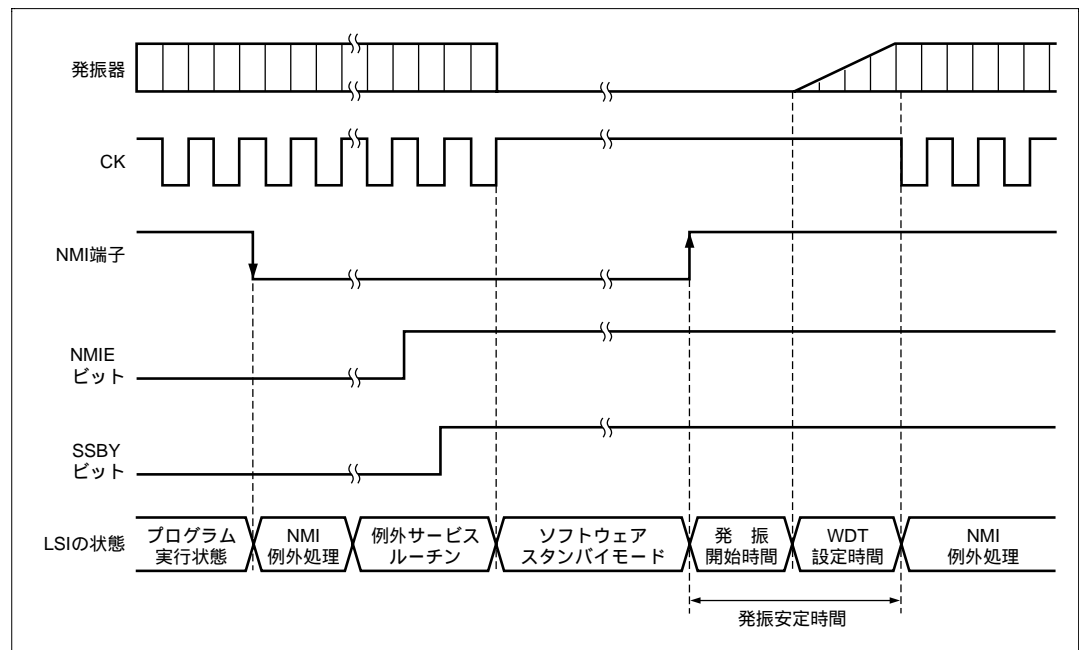


図 23.3 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

23.5 スリープモード

23.5.1 スリープモードへの遷移

スタンバイコントロールレジスタ(SBYCR)のソフトウェアスタンバイビット(SSBY)を0にクリアした後でSLEEP命令を実行すると、本LSIはプログラム実行状態からスリープモードに遷移します。

CPUはSLEEP命令実行直後に停止しますが、CPUのレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

23.5.2 スリープモードの解除

(1) 割り込みにより解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ(SR)に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMAアドレスエラーが発生すると、スリープモードが解除され、DMAアドレスエラー例外処理が実行されます。

(3) マニュアルリセットによる解除

WDTによる内部マニュアルリセットが発生し、内部マニュアルリセット期間中にCPUがバス権を獲得すると、本LSIはマニュアルリセット状態に遷移し、スリープモードは解除されます。

(4) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルを入力するか、WDTによる内部パワーオンリセットが発生すると、本LSIはパワーオンリセット状態に遷移し、スリープモードは解除されます。

24. 電気的特性

第 24 章 目次

24.1	絶対最大定格	865
24.2	DC 特性	866
24.3	AC 特性	873
24.3.1	電源投入・切断タイミング	873
24.3.2	クロックタイミング	874
24.3.3	制御信号タイミング	876
24.3.4	バスタイミング	879
24.3.5	アドバンストタイムユニットタイミング アドバンストパルスコントローラタイミング	883
24.3.6	I/Oポートタイミング	885
24.3.7	ウォッチドッグタイマタイミング	886
24.3.8	シリアルコミュニケーションインタフェースタイミング	887
24.3.9	HCAN タイミング	889
24.3.10	A/D 変換器タイミング	890
24.3.11	AUD タイミング	892
24.3.12	UBC トリガタイミング	894
24.3.13	AC 特性測定条件	895
24.4	A/D 変換器特性	896

24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項目		記号	定格値	単位	備考
電源電圧	端子名	Vcc	-0.3 ~ +4.3	V	PLLCCAP、EXTAL、XTAL、CK 端子が該当。 (Vcc と PLLVcc は同一電圧)
		PLLVcc			
		PVcc1 PVcc2	PVcc	-0.3 ~ +7.0	
入力電圧	EXTAL	Vin	-0.3 ~ Vcc+0.3	V	
	アナログ入力、EXTAL 端子 以外の全端子	Vin	-0.3 ~ PVcc+0.3	V	表 24.2 電源名と端子の対応を 参照
アナログ電源電圧		AVcc	-0.3 ~ +7.0	V	
アナログ基準電圧		AVref	-0.3 ~ AVcc+0.3	V	
アナログ入力電圧		VAN	-0.3 ~ AVcc+0.3	V	
動作温度 (フラッシュ EEPROM の W/E 除く)		Topr	-40 ~ +85	°C	
動作温度 (フラッシュ EEPROM の W/E)		TWEopr	-40 ~ +85	°C	フラッシュ EEPROM のライ ト/イレース実行時のみ
保存温度		Tstg	-55 ~ +125	°C	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

PVcc、Vcc の 5/3V 系の 2 電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

24.2 DC 特性

電源名と端子の対応を表 24.2 に示します。

DC 特性を表 24.3 に示します。

表 24.2 電源名と端子の対応

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	ユーザ端子 機能 2	ユーザ端子 機能 3	ユーザ端子 機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
1			PF1	A17			PVcc1	PVcc1+0.3	
2			PF2	A18			PVcc1	PVcc1+0.3	
3			PF3	A19			PVcc1	PVcc1+0.3	
4			PF4	A20			PVcc1	PVcc1+0.3	
5			PF5	A21	POD		PVcc1	PVcc1+0.3	
6			PF6	WRL			PVcc1	PVcc1+0.3	
7			PF7	WRH			PVcc1	PVcc1+0.3	
8			PF8	WAIT			PVcc1	PVcc1+0.3	
9			PF9	RD			PVcc1	PVcc1+0.3	
10	PVcc1								
11			PF10	CS0			PVcc1	PVcc1+0.3	
12	Vss								
13			PF11	CS1			PVcc1	PVcc1+0.3	
14			PF12	CS2			PVcc1	PVcc1+0.3	
15			PF13	CS3			PVcc1	PVcc1+0.3	
16			PF14	BACK			PVcc1	PVcc1+0.3	
17			PF15	BREQ			PVcc1	PVcc1+0.3	
18		MD2						5.5+0.3	
19	Vcc								
20			CK				Vcc		
21	Vss								
22		MD1						5.5+0.3	
23		MD0						5.5+0.3	
24		EXTAL						Vcc+0.3	
25	Vss								
26		XTAL					Vcc		
27	Vcc								
28		FWE						5.5+0.3	
29		HSTBY						5.5+0.3	
30		RES						5.5+0.3	
31		NMI						5.5+0.3	
32	PLLvcc								
33	PLLCAP								
34	PLLvss								
35			PH0	D0			PVcc1	PVcc1+0.3	
36			PH1	D1			PVcc1	PVcc1+0.3	
37			PH2	D2			PVcc1	PVcc1+0.3	
38			PH3	D3			PVcc1	PVcc1+0.3	
39			PH4	D4			PVcc1	PVcc1+0.3	
40			PH5	D5			PVcc1	PVcc1+0.3	
41			PH6	D6			PVcc1	PVcc1+0.3	
42	PVcc1								
43			PH7	D7			PVcc1	PVcc1+0.3	
44	Vss								
45			PH8	D8			PVcc1	PVcc1+0.3	
46			PH9	D9			PVcc1	PVcc1+0.3	
47			PH10	D10			PVcc1	PVcc1+0.3	
48			PH11	D11			PVcc1	PVcc1+0.3	
49			PH12	D12			PVcc1	PVcc1+0.3	
50			PH13	D13			PVcc1	PVcc1+0.3	
51			PH14	D14			PVcc1	PVcc1+0.3	
52			PH15	D15			PVcc1	PVcc1+0.3	
53	AVcc								
54		AVref							
55	AVss								
56			AN0					AVcc+0.3	
57			AN1					AVcc+0.3	
58			AN2					AVcc+0.3	
59			AN3					AVcc+0.3	
60			AN4					AVcc+0.3	
61			AN5					AVcc+0.3	
62			AN6					AVcc+0.3	

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能1	ユーザ端子 機能2	ユーザ端子 機能3	ユーザ端子 機能4	出力回路 電源名	入力電圧 上限 (V)	備考
63			AN7					AVcc+0.3	
64			AN8					AVcc+0.3	
65			AN9					AVcc+0.3	
66			AN10					AVcc+0.3	
67			AN11					AVcc+0.3	
68			AN12					AVcc+0.3	
69			AN13					AVcc+0.3	
70			AN14					AVcc+0.3	
71			AN15					AVcc+0.3	
72		WDTOVF					PVcc2		
73			PA0	TIOA			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
74	PVcc2								
75			PA1	TIOB			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
76	Vss								
77			PA2	TIOC			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
78			PA3	TIOD			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
79	Vcc								
80			PA4	TIO3A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
81	Vss								
82			PA5	TIO3B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
83			PA6	TIO3C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
84			PA7	TIO3D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
85			PA8	TIO4A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
86			PA9	TIO4B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
87			PA10	TIO4C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
88			PA11	TIO4D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
89			PA12	TIO5A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
90			PA13	TIO5B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
91			PA14	TxD0			PVcc2	PVcc2+0.3	
92			PA15	RxD0			PVcc2	PVcc2+0.3	
93			PB0	TO6A			PVcc2	PVcc2+0.3	
94			PB1	TO6B			PVcc2	PVcc2+0.3	
95	PVcc2								
96			PB2	TO6C			PVcc2	PVcc2+0.3	
97	Vss								
98			PB3	TO6D			PVcc2	PVcc2+0.3	
99			PB4	TO7A	TO8A		PVcc2	PVcc2+0.3	
100			PB5	TO7B	TO8B		PVcc2	PVcc2+0.3	
101			PB6	TO7C	TO8C		PVcc2	PVcc2+0.3	
102			PB7	TO7D	TO8D		PVcc2	PVcc2+0.3	
103			PB8	TxD3	TO8E		PVcc2	PVcc2+0.3	
104			PB9	RxD3	TO8F		PVcc2	PVcc2+0.3	
105			PB10	TxD4	HTxD	TO8G	PVcc2	PVcc2+0.3	
106			PB11	RxD4	HRxD	TO8H	PVcc2	PVcc2+0.3	
107			PB12	TCLKA	UBCTR \overline{G}		PVcc2	PVcc2+0.3	シュミットトリガ入力端子
108			PB13	SCK0			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
109			PB14	SCK1	TCLKB	TI10	PVcc2	PVcc2+0.3	シュミットトリガ入力端子
110			PB15	PULS5	SCK2		PVcc2	PVcc2+0.3	シュミットトリガ入力端子
111			PC0	TxD1			PVcc2	PVcc2+0.3	
112			PC1	RxD1			PVcc2	PVcc2+0.3	
113			PC2	TxD2			PVcc2	PVcc2+0.3	
114			PC3	RxD2			PVcc2	PVcc2+0.3	
115	PVcc2								
116			PC4	IRQ0			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
117	Vss								
118			PG0	PULS7	HRxD		PVcc2	PVcc2+0.3	
119			PG1	IRQ1			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
120			PG2	IRQ2			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
121			PG3	IRQ3	ADTRG0		PVcc2	PVcc2+0.3	シュミットトリガ入力端子
122			PJ0	TIO2A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
123	Vcc								
124			PJ1	TIO2B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
125	Vss								
126			PJ2	TIO2C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
127			PJ3	TIO2D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
128			PJ4	TIO2E			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
129			PJ5	TIO2F			PVcc2	PVcc2+0.3	シュミットトリガ入力端子

24. 電気的特性

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能1	ユーザ端子 機能2	ユーザ端子 機能3	ユーザ端子 機能4	出力回路 電源名	入力電圧 上限 (V)	備考
130			PJ6	TIO2G			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
131	Vcc								
132			PJ7	TIO2H			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
133	Vss								
134			PJ8	TIO5C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
135			PJ9	TIO5D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
136			PJ10	TI9A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
137			PJ11	TI9B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
138			PJ12	TI9C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
139			PJ13	TI9D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
140			PJ14	TI9E			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
141	PVcc2								
142			PJ15	TI9F			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
143	Vss								
144			PK0	TO8A			PVcc2	PVcc2+0.3	
145			PK1	TO8B			PVcc2	PVcc2+0.3	
146			PK2	TO8C			PVcc2	PVcc2+0.3	
147			PK3	TO8D			PVcc2	PVcc2+0.3	
148			PK4	TO8E			PVcc2	PVcc2+0.3	
149			PK5	TO8F			PVcc2	PVcc2+0.3	
150			PK6	TO8G			PVcc2	PVcc2+0.3	
151			PK7	TO8H			PVcc2	PVcc2+0.3	
152			PK8	TO8I			PVcc2	PVcc2+0.3	
153			PK9	TO8J			PVcc2	PVcc2+0.3	
154			PK10	TO8K			PVcc2	PVcc2+0.3	
155			PK11	TO8L			PVcc2	PVcc2+0.3	
156			PK12	TO8M			PVcc2	PVcc2+0.3	
157			PK13	TO8N			PVcc2	PVcc2+0.3	
158	PVcc2								
159			PK14	TO8O			PVcc2	PVcc2+0.3	
160	Vss								
161			PK15	TO8P			PVcc2	PVcc2+0.3	
162			AUDRST					PVcc2+0.3	
163			AUDMD					PVcc2+0.3	
164			AUDATA0				PVcc2	PVcc2+0.3	
165			AUDATA1				PVcc2	PVcc2+0.3	
166			AUDATA2				PVcc2	PVcc2+0.3	
167			AUDATA3				PVcc2	PVcc2+0.3	
168			AUDCK				PVcc2	PVcc2+0.3	
169			AUDSYNC				PVcc2	PVcc2+0.3	
170			PD0	TIO1A			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
171			PD1	TIO1B			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
172			PD2	TIO1C			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
173			PD3	TIO1D			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
174	PVcc2								
175			PD4	TIO1E			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
176	Vss								
177			PD5	TIO1F			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
178			PD6	TIO1G			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
179			PD7	TIO1H			PVcc2	PVcc2+0.3	シュミットトリガ入力端子
180			PD8	PULS0			PVcc2	PVcc2+0.3	
181			PD9	PULS1			PVcc2	PVcc2+0.3	
182			PD10	PULS2			PVcc2	PVcc2+0.3	
183	Vcc								
184			PD11	PULS3			PVcc2	PVcc2+0.3	
185	Vss								
186			PD12	PULS4			PVcc2	PVcc2+0.3	
187			PD13	PULS6	HTxD		PVcc2	PVcc2+0.3	
188			PE0	A0			PVcc1	PVcc1+0.3	
189			PE1	A1			PVcc1	PVcc1+0.3	
190			PE2	A2			PVcc1	PVcc1+0.3	
191			PE3	A3			PVcc1	PVcc1+0.3	
192			PE4	A4			PVcc1	PVcc1+0.3	
193			PE5	A5			PVcc1	PVcc1+0.3	
194	PVcc1								
195			PE6	A6			PVcc1	PVcc1+0.3	
196	Vss								
197			PE7	A7			PVcc1	PVcc1+0.3	

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能1	ユーザ端子 機能2	ユーザ端子 機能3	ユーザ端子 機能4	出力回路 電源名	入力電圧 上限 (V)	備考
198			PE8	A8			PVcc1	PVcc1+0.3	
199			PE9	A9			PVcc1	PVcc1+0.3	
200			PE10	A10			PVcc1	PVcc1+0.3	
201			PE11	A11			PVcc1	PVcc1+0.3	
202			PE12	A12			PVcc1	PVcc1+0.3	
203			PE13	A13			PVcc1	PVcc1+0.3	
204			PE14	A14			PVcc1	PVcc1+0.3	
205	PVcc1								
206			PE15	A15			PVcc1	PVcc1+0.3	
207	Vss								
208			PF0	A16			PVcc1	PVcc1+0.3	

【使用上の注意】

LSI 動作時の電源電圧は下記に従い設定してください。

$V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$

ただし、 PV_{cc1} の電源電圧は動作モードにあわせて以下ようになります。

これ以外の PV_{cc1} の電源電圧での動作の保証はできません。

表 24.3 動作モードと PV_{cc} 電圧との対応

動作モード番号	モード名	PV_{cc1} 電圧
モード 0、1、2	MCU 拡張モード	$3.3V \pm 0.3V$
モード 3	シングルチップモード	$5.0V \pm 0.5V$
モード 4	ブートモード	$3.3V \pm 0.3V$
モード 5	ブートモード	$5.0V \pm 0.5V$
モード 6	ユーザプログラムモード	$3.3V \pm 0.3V$
モード 7	ユーザプログラムモード	$5.0V \pm 0.5V$

24. 電気的特性

表 24.4 DC 特性

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、
 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	typ	max	単位	測定条件	
入力ハイレベル電圧 (シュミットトリガ 入力端子を除く)	\overline{RES} 、 NMI 、 FWE 、 $MD2 \sim 0$ 、 \overline{HSTBY}	$V_{cc} - 0.5$	-	5.8	V		
	EXTAL	$V_{cc} \times 0.7$	-	$V_{cc} + 0.3$	V		
	D15 ~ D0、 \overline{WAIT} 、 \overline{BREQ} (MCU 拡張モード時)	2.2	-	$PV_{cc1} + 0.3$	V	$PV_{cc1} = 3.3V \pm 0.3V$	
	PE15 ~ PE0、PF15 ~ PF0、PH15 ~ PH0 (MCU 拡張モード時)	2.2	-	$PV_{cc1} + 0.3$	V	$PV_{cc1} = 3.3V \pm 0.3V$	
	\overline{AUDRST} 、 $AUDMD$	$V_{cc} - 0.5$	-	$PV_{cc2} + 0.3$	V		
	その他の入力端子	2.2	-	$PV_{cc} + 0.3$	V		
入力ローレベル電圧 (シュミットトリガ 入力端子を除く)	\overline{RES} 、 NMI 、 FWE 、 $MD2 \sim 0$ 、 \overline{HSTBY} 、 \overline{AUDRST} 、 $AUDMD$	-0.3	-	0.5	V		
	その他の入力端子	-0.3	-	0.8	V		
シュミットトリガ 入力電圧	TIOA ~ TIO0、TIO1A ~ TIO1H、TIO2A ~ TIO2H、 TIO3A ~ TIO3D、TIO4A ~ TIO4D、	(VIH)	4.0	-	$(PV_{cc2} + 0.3)$	V	表 24.2 電源名と端子の 対応参照
	TIO5A ~ TIO5D、TI9A ~ TI9F、TI10、TCLKA、 TCLKB、 $\overline{ADTRG0}$ 、SCK0 ~ SCK2、	(VIL)	(-0.3)	-	1.0	V	
	$\overline{IRQ0} \sim \overline{IRQ3}$ および上記端子の I/O ポート入力機能 選択時	VT+ VT- VT+ VT-	0.4	-	-	V	
入力リーク電流	\overline{RES} 、 NMI 、 FWE 、 $MD2 \sim 0$ 、 \overline{HSTBY}	lin	-	-	1.0	μA	$V_{in} = 0.5 \sim 5.5 + 0.3V$
	EXTAL (スタンバイ時)		-	-	1.0	μA	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
	\overline{AUDMD} 、 \overline{AUDCK} 、 $\overline{AUDSYNC}$ 、 $AUDATA3 \sim 0$ (スタンバイ時)		-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc2} - 0.5V$
	\overline{AUDRST} (スタンバイ時)		-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc2} - 0.5V$
	A/D ポート		-	-	0.2	μA	$V_{in} = 0.5 \sim AV_{cc} - 0.5V$
	D15 ~ D0、 \overline{WAIT} 、 \overline{BREQ} (MCU 拡張モード時)		-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc1} - 0.5V$ $PV_{cc1} = 3.3V \pm 0.3V$
	PE15 ~ PE0、PF15 ~ PF0、PH15 ~ PH0 (MCU 拡張モード時)		-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc1} - 0.5V$ $PV_{cc1} = 3.3V \pm 0.3V$
	その他の入力端子		-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc2} - 0.5V$
入力プルアップ MOS 電流	\overline{AUDMD} 、 \overline{AUDCK} 、 $\overline{AUDSYNC}$ 、 $AUDATA3 \sim 0$ (プルアップ特性)	-Ipu	-	-	500	μA	$V_{in} = 0V$
入力プルダウン MOS 電流	\overline{AUDRST} (プルダウン特性)	Ipd	-	-	700	μA	$V_{in} = PV_{cc2}$
スリープステート リーク電流 (オフ状態)	A21 ~ A0、D15 ~ D0、 $\overline{CS3} \sim \overline{CS0}$ 、 \overline{WRH} 、 \overline{WRL} 、 \overline{RD} 、 \overline{BACK} (MCU 拡張モード時)	Its	-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{cc1} - 0.5V$ $PV_{cc1} = 3.3V \pm 0.3V$

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、
 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	typ	max	単位	測定条件	
出力ハイレベル 電圧	A21~A0、D15~D0、 $\overline{CS3} \sim \overline{CS0}$ 、 \overline{WRH} 、 \overline{WRL} 、 \overline{RD} 、 BACK (MCU 拡張モード時)	VOH	PVcc1 -0.5	-	-	V	$I_{OH} = 200 \mu A$ PVcc1 = 3.3 V \pm 0.3V
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張 モード時)	VOH	PVcc1 -0.5	-	-	V	$I_{OH} = 200 \mu A$ PVcc1 = 3.3 V \pm 0.3V
	CK	VOH	Vcc-0.5	-	-	V	$I_{OH} = 200 \mu A$
	その他の出力端子	VOH	PVcc -0.5	-	-	V	$I_{OH} = 200 \mu A$
		VOH	PVcc -1.0	-	-	V	$I_{OH} = 1mA$
出力ローレベル 電圧	A21~A0、D15~D0、 $\overline{CS3} \sim \overline{CS0}$ 、 \overline{WRH} 、 \overline{WRL} 、 \overline{RD} 、 BACK (MCU 拡張モード時)	VOL	-	-	0.4	V	$I_{OL} = 1.6mA$ PVcc1 = 3.3 V \pm 0.3V
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張 モード時)	VOL	-	-	0.4	V	$I_{OL} = 1.6mA$ PVcc1 = 3.3 V \pm 0.3V
	CK	VOL	-	-	0.4	V	$I_{OL} = 1.6mA$
	その他の出力端子 (XTAL を除く)	VOL	-	-	0.4	V	$I_{OL} = 1.6mA$
		VOL	-	-	1.2	V	$I_{OL} = 6mA$
入力容量	\overline{RES}	Cin	-	-	60	pF	Vin = 0V
	NMI	Cin	-	-	30	pF	f = 1MHz
	その他の全入力端子	Cin	-	-	20	pF	Ta = 25°C
消費電力	通常動作時	ICC	-	120	170	mA	f = 40MHz
	スリープ時	ICC	-	100	150	mA	
	スタンバイ時	ICC	-	1	100	μA	Ta 50°C
		ICC	-	-	500	μA	50°C < Ta
	書き込み動作時	ICC	-	130	170	mA	Vcc=3.3V、f=40MHz
アナログ電源電流	A/D 変換中	AICC	-	1.2	5	mA	
	A/D 変換待機時、スタンバイ時	AICC	-	1.0	5	μA	
基準電源電流	A/D 変換中、A/D 変換待機時	AIref	-	1.1	5	mA	AVref = 5V
	スタンバイ時	AIref	-	1.1	5	μA	
RAM スタンバイ電圧	VRAM	2.0	-	-	V	Vcc	

【使用上の注意】

1. A/D 変換器を使用しないときに、AVcc、AVref、AVss 端子を開放しないでください。
2. 消費電流は、 $V_{IHmin} = V_{cc} - 0.5V/PV_{cc} - 0.5V$ 、 $V_{IL} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

3. MCU 拡張モード時の電源 PVcc1 の動作保証電圧は $PVcc1=3.3V \pm 0.3V$ のみです。これ以外の電圧で使用しないでください。
4. MCU シングルチップモード時の電源 PVcc1 の動作保証電圧は $PVcc1=5.0V \pm 0.5V$ のみです。これ以外の電圧で使用しないでください。

表 24.5 出力許容電流値

条件: $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子あたり)	I_{OL}	-	-	6.0	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子あたり)	I_{OH}	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	ΣI_{OH}	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 24.5 の値を超えないようにしてください。

24.3 AC 特性

24.3.1 電源投入・切断タイミング

表 24.6 電源投入・切断タイミング

条件: $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
V _{CC} 先行投入時間	t_{VCCS}	0	-	ms	図 24.1
PV _{CC} 切断時 V _{CC} ホールド時間	t_{VCCH}	0	-	ms	

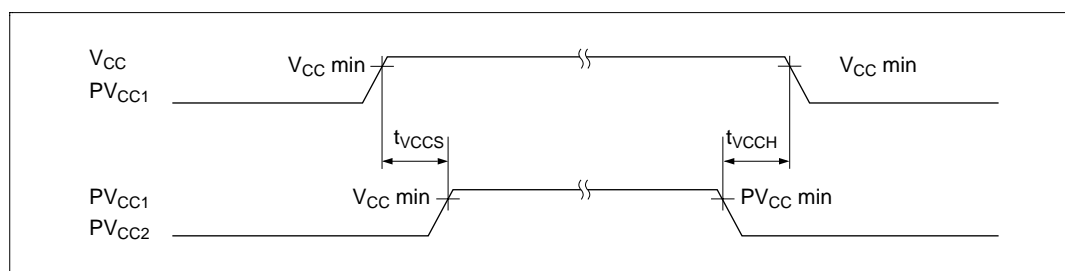


図 24.1 電源投入・切断タイミング

24.3.2 クロックタイミング

表 24.7 にクロックタイミングを示します。

表 24.7 クロックタイミング

条件: $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0 \pm 0.5V$ 、 $AV_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
動作周波数	f_{op}	20	40	MHz	図 24.2
クロックサイクル時間	t_{cyc}	25	50	ns	
クロックローパルス幅	t_{CL}	4	-	ns	
クロックハイパルス幅	t_{CH}	4	-	ns	
クロック立ち上がり時間	t_{CR}	-	8	ns	
クロック立ち下がり時間	t_{CF}	-	8	ns	
EXTAL クロック入力周波数	f_{EX}	5	10	MHz	図 24.3
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	200	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	30	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	30	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	8	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	8	ns	
リセット発振安定時間	t_{OSC1}	30	-	ms	図 24.4
スタンバイ復帰発振安定時間	t_{OSC2}	30	-	ms	

【使用上の注意】

EXTAL、XTAL、CK 端子は $V_{CC} = 3.3V \pm 0.3V$ 電源の回路です。DC 特性に規定されている入力、出力電圧の規格値で使用してください。

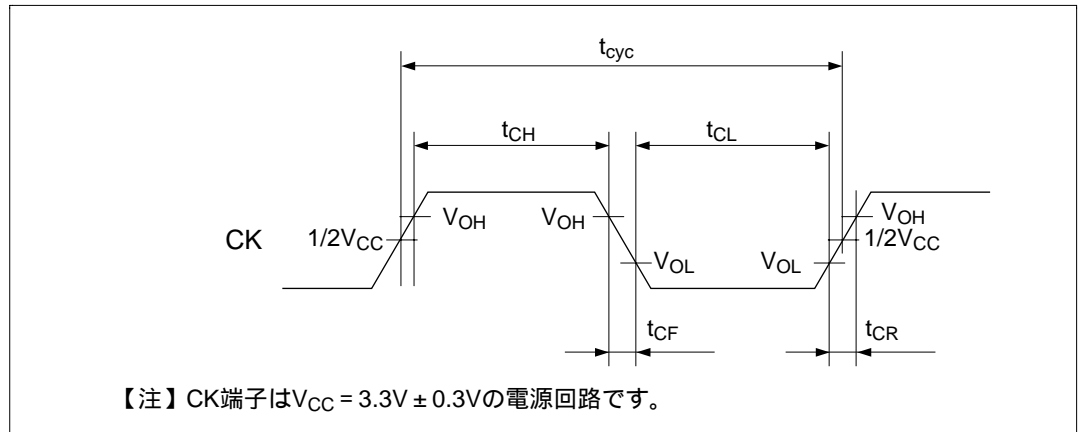


図 24.2 システムクロックタイミング

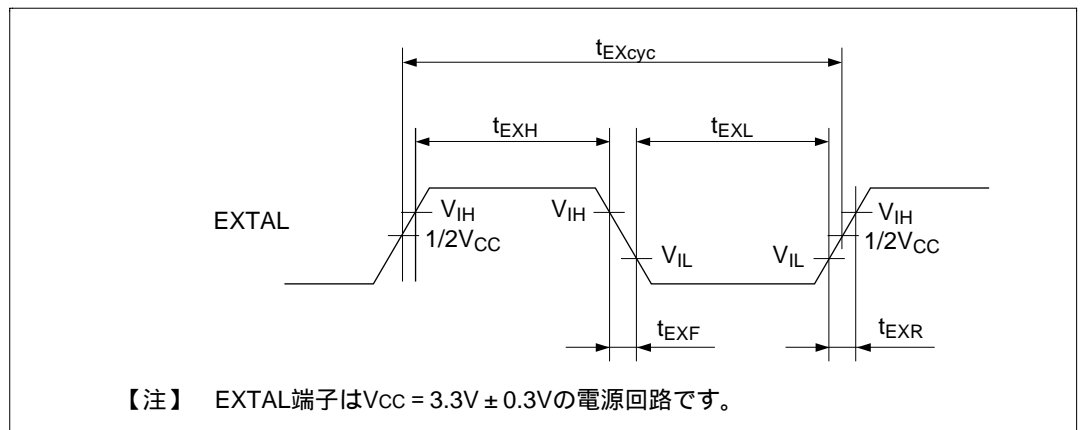


図 24.3 EXTAL クロック入力タイミング

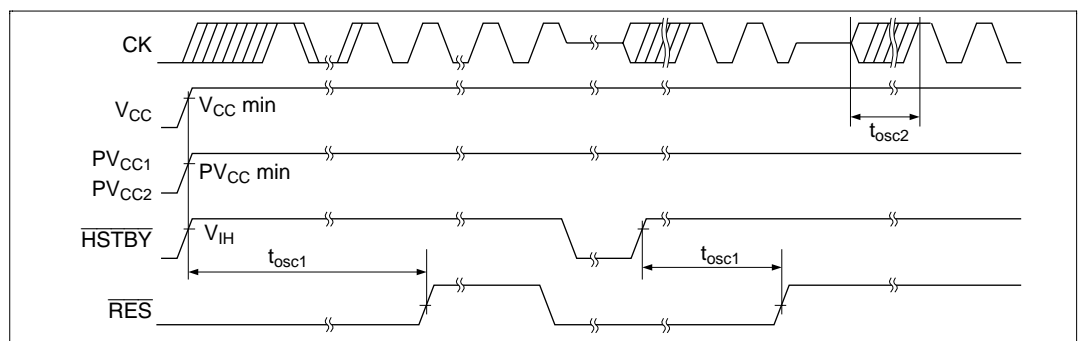


図 24.4 発振安定時間

24.3.3 制御信号タイミング

表 24.8 に制御信号タイミングを示します。

表 24.8 制御信号タイミング

条件: $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
\overline{RES} パルス幅	t_{RESW}	20	-	tcyc	図 24.5
\overline{RES} セットアップ時間	t_{RESS}	24	-	ns	
MD2 ~ MD0 セットアップ時間	t_{MDS}	20	-	tcyc	
NMI セットアップ時間	t_{NMIS}	24	-	ns	図 24.6
$\overline{IRQ3} \sim \overline{IRQ0}$ セットアップ時間* ¹ (エッジ検出時)	t_{IRQES}	24	-	ns	
$\overline{IRQ3} \sim \overline{IRQ0}$ セットアップ時間* ¹ (レベル検出時)	t_{IRQLS}	24	-	ns	
NMI ホールド時間	t_{NMIH}	24	-	ns	
$\overline{IRQ3} \sim \overline{IRQ0}$ ホールド時間	t_{IRQEH}	24	-	ns	
バスリクエストセットアップ時間	t_{BRQS}	24	-	ns	
バスアクリッジ遅延時間 1	t_{BACKD1}	-	30	ns	
バスアクリッジ遅延時間 2	t_{BACKD2}	-	30	ns	
バススリーステート遅延時間	t_{BZD}	-	30	ns	

【使用上の注意】

- *1 \overline{RES} 、NMI および $\overline{IRQ3} \sim \overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち下がりで変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち下がりまで認識が遅れることがあります。
- *2 MCU 拡張モード時の電源 PV_{cc1} の動作保証電圧は $PV_{cc1} = 3.3V \pm 0.3V$ のみです。これ以外の電圧で使用しないでください。

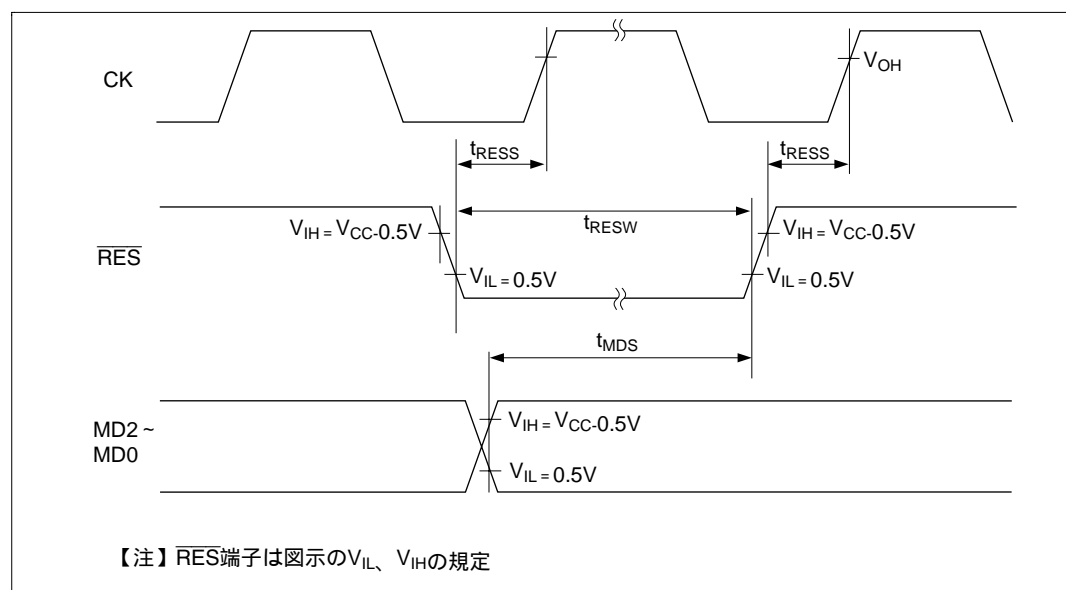


図 24.5 リセット入力タイミング

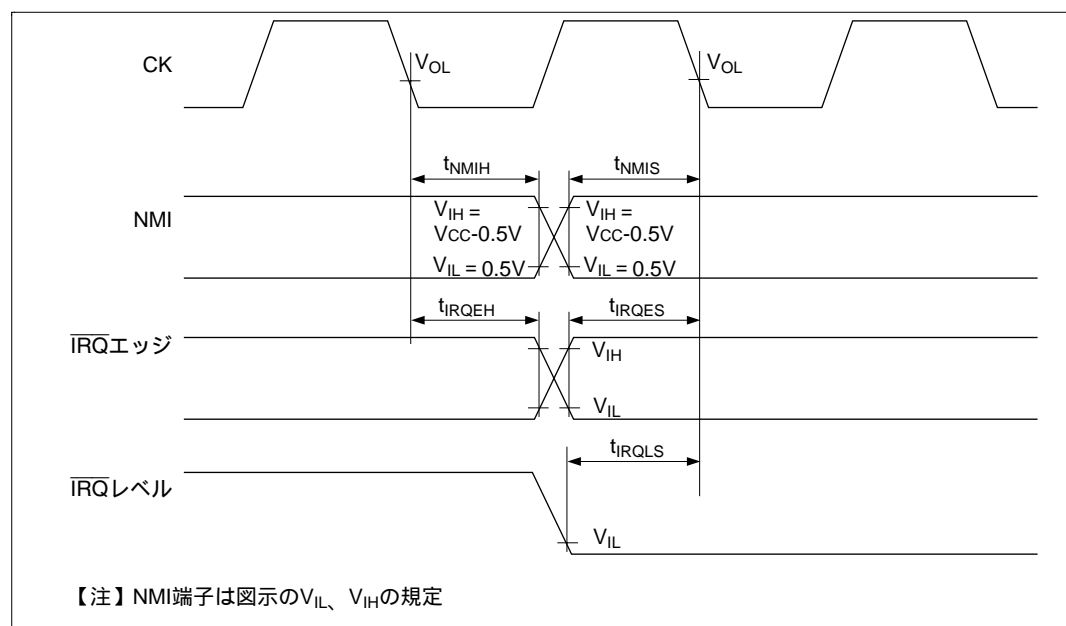


図 24.6 割り込み信号入力タイミング

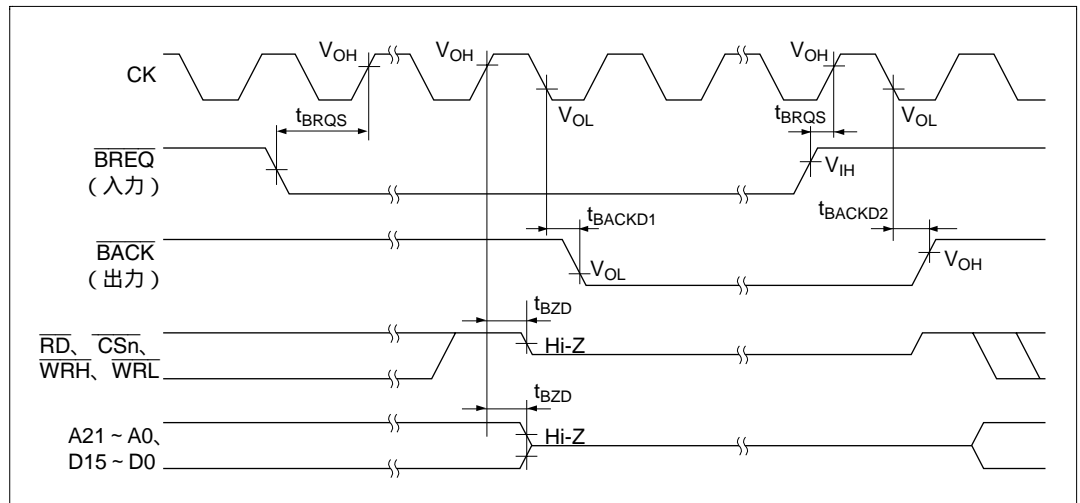


図 24.7 バス権解放タイミング

24.3.4 バスタイミング

表 24.9 にバスタイミングを示します。

表 24.9 バスタイミング

条件：Vcc = PLLVcc = 3.3V ± 0.3V、PVcc1 = 3.3V ± 0.3V、PVcc2 = 5.0V ± 0.5V、AVcc = 5.0 ± 0.5V、AVref = 4.5V ~ AVcc、Vss = PLLVss = AVss = 0V、Ta = -40 ~ 85°C、PVcc1 = 3.3V ± 0.3V は Vcc = PVcc1、フラッシュ EEPROM の W/E 時は Ta = -40 ~ 85°C

項目	記号	min	max	単位	参照図	
アドレス遅延時間	t _{AD}	-	35	ns	図 24.8、9	
CS 遅延時間 1	t _{CSD1}	-	30	ns		
CS 遅延時間 2	t _{CSD2}	-	30	ns		
リードストローブ遅延時間 1	t _{RSD1}	-	30	ns		
リードストローブ遅延時間 2	t _{RSD2}	-	30	ns		
リードデータセットアップ時間	t _{RDS}	15	-	ns		
リードデータホールド時間	t _{RDH}	0	-	ns		
ライトストローブ遅延時間 1	t _{WSD1}	-	30	ns		
ライトストローブ遅延時間 2	t _{WSD2}	-	30	ns		
ライトデータ遅延時間	t _{WDD}	-	30	ns		
ライトデータホールド時間	t _{WDH}	t _{cyc} × m	-	ns		
WAIT セットアップ時間	t _{WTS}	15	-	ns		図 24.10
WAIT ホールド時間	t _{WTH}	0	-	ns		
リードデータアクセス時間	t _{ACC}	t _{cyc} × (n+1.5)-39	-	ns	図 24.8、9	
リードストローブからのアクセス時間	t _{OE}	t _{cyc} × (n+1.0)-39	-	ns		
書き込みアドレスセットアップ時間	t _{AS}	0	-	ns		
書き込みアドレス保持時間	t _{WR}	5	-	ns		

n：ウェイト数

m=1：CS アサート拡張サイクル

m=0：通常サイクル（CS アサート非拡張サイクル）

【使用上の注意】

MCU 拡張モード時の電源 PVcc1 の動作保証電圧は PVcc1=3.3V ± 0.3V のみです。これ以外の電圧で使用しないでください。

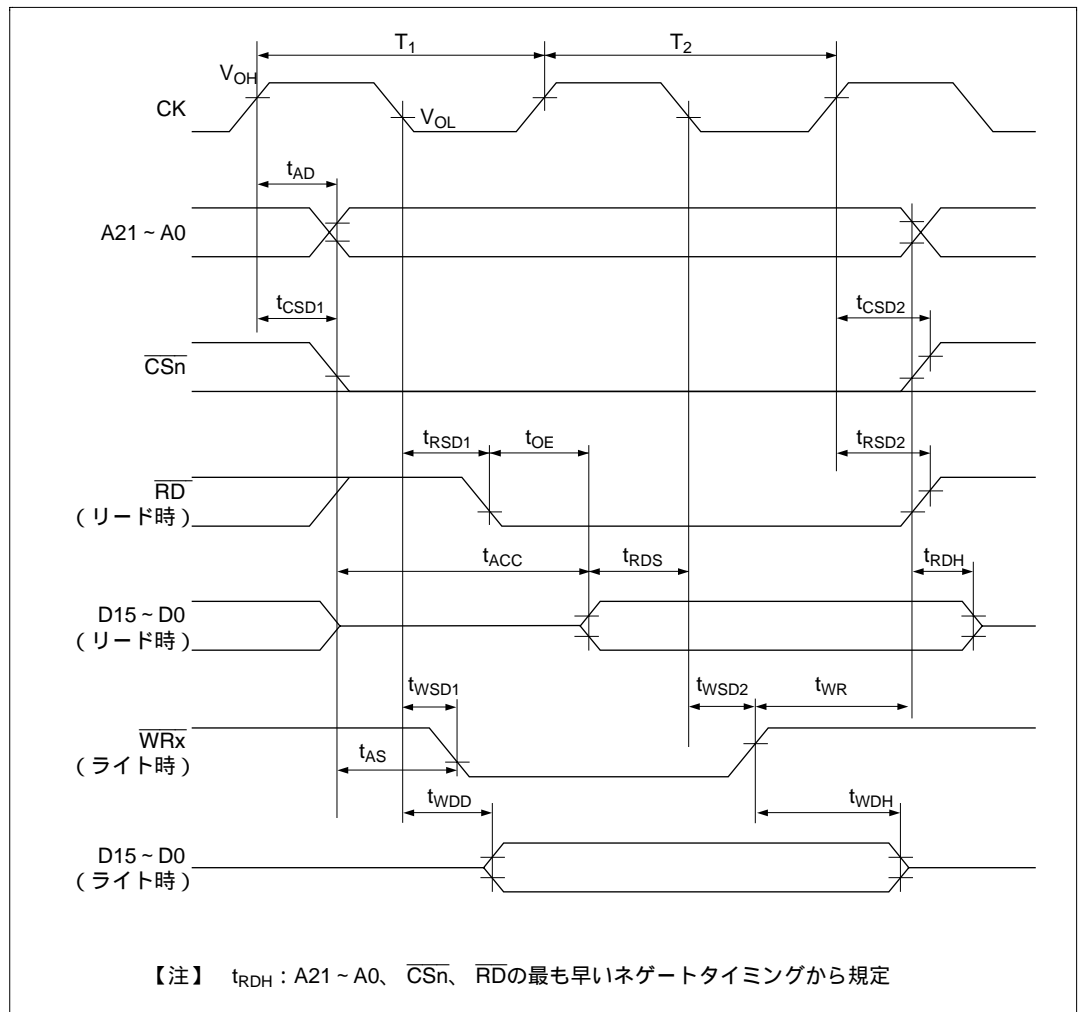


図 24.8 基本サイクル (ノーウェイト)

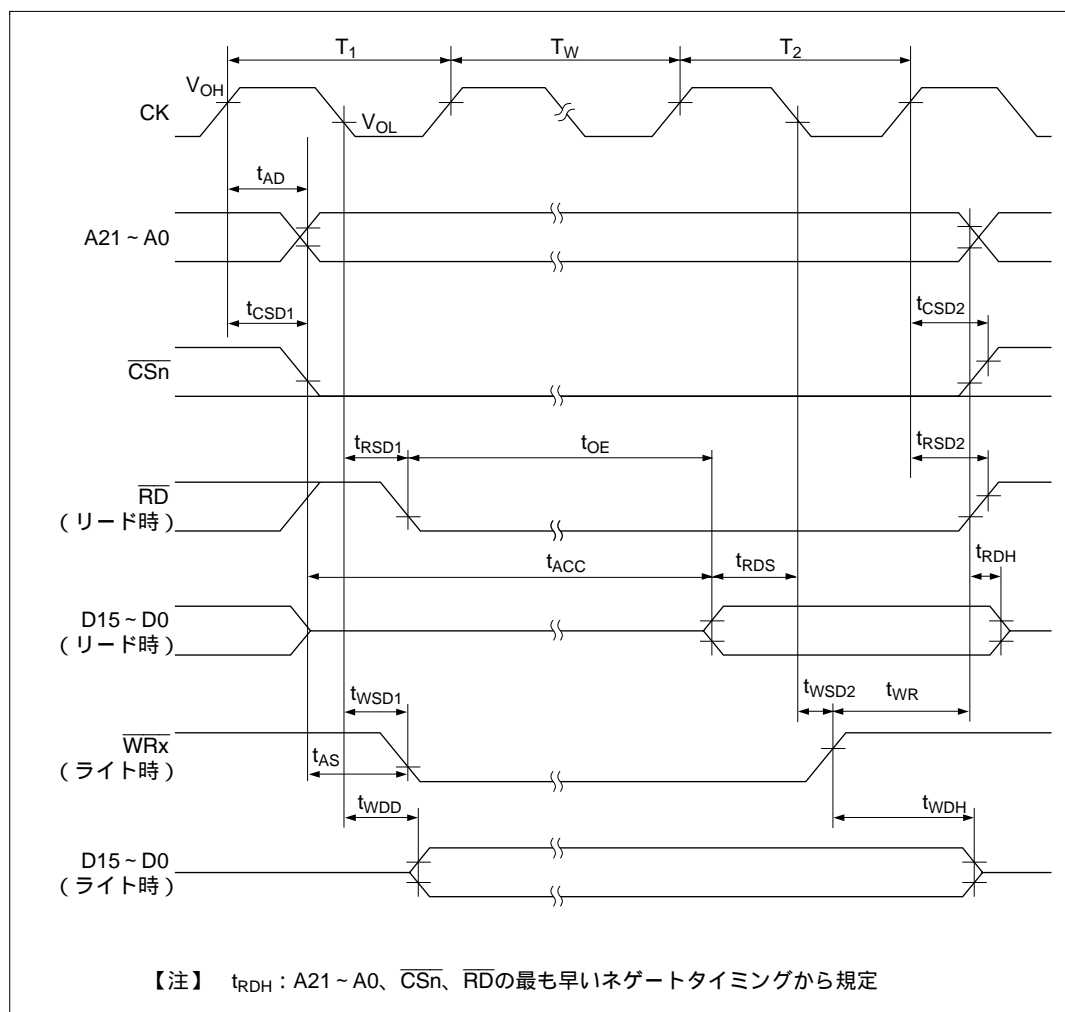


図 24.9 基本サイクル (1ソフトウェアウェイト)

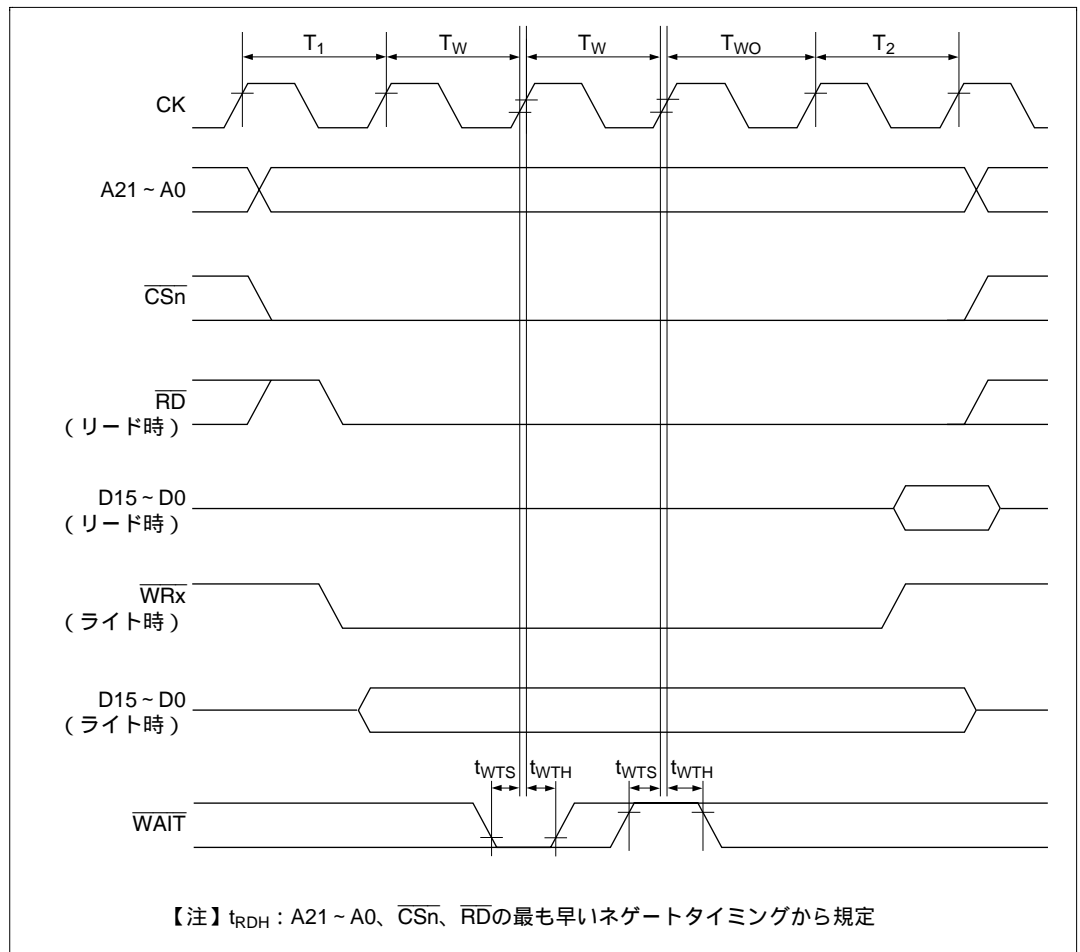


図 24.10 基本サイクル (2ソフトウェアウェイト + \overline{WAIT} 信号によるウェイト)

24.3.5 アドバンストタイムユニットタイミング アドバンストパルスコントローラタイミング

表 24.10 にアドバンストタイムユニットタイミング、アドバンストパルスコントローラタイミングを示します。

表 24.10 アドバンストタイムユニットタイミング
アドバンストパルスコントローラタイミング

条件: $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 24.11
インプットキャプチャ入力セットアップ時間	t_{TICS}	24^{*1} $24 + t_{cyc}$	-	ns	
PULS 出力遅延時間	t_{PLSD}	-	100	ns	
タイムクロック入力セットアップ時間	t_{TCKS}	24^{*1} $24 + t_{cyc}$	-	ns	図 24.12
タイムクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	3.0	-	tcyc	
タイムクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	5.0	-	tcyc	

【使用上の注意】

- *1 タイマ入力信号およびタイムクロック入力信号は非同期入力ですが、図 24.11、図 24.12 に示す 2 ステート間隔のクロック立ち上がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合はそれから 2 ステート後のクロック立ち上がりまで認識が遅れることがあります。

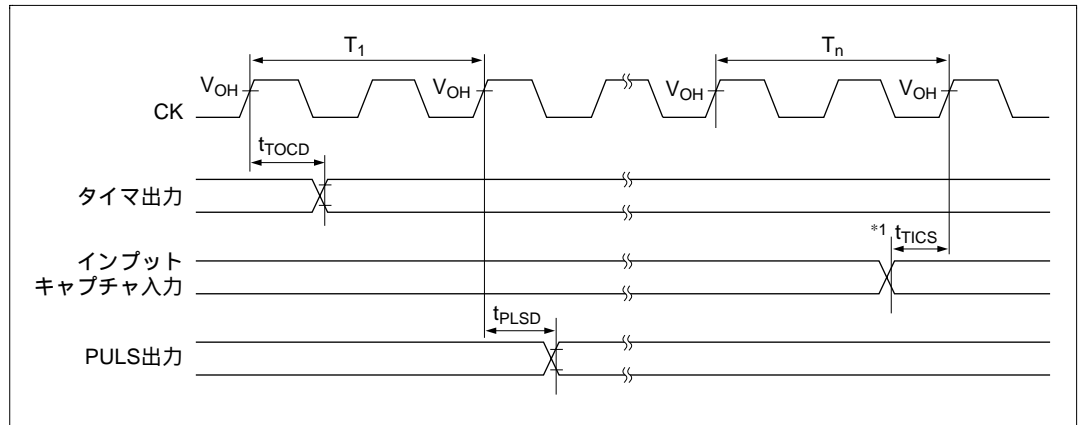


図 24.11 ATU 入出力タイミング、APC 出力タイミング

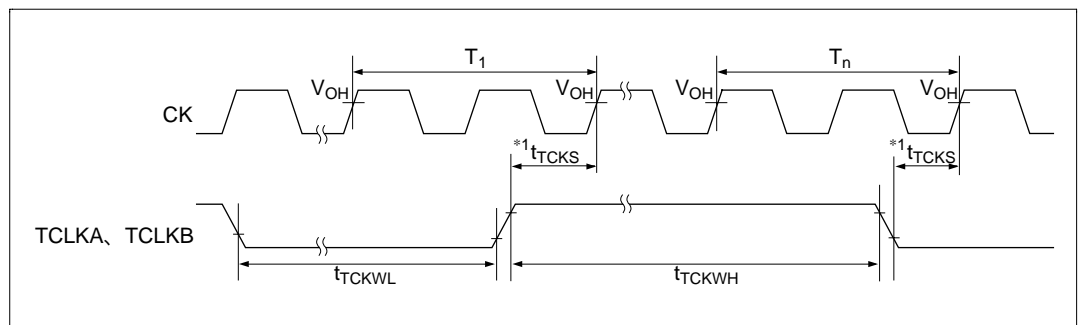


図 24.12 ATU クロック入力タイミング

24.3.6 I/O ポートタイミング

表 24.11 に I/O ポートタイミングを示します。

表 24.11 I/O ポートタイミング

条件：Vcc = PLLVcc = 3.3V ± 0.3V、PVcc1 = 5.0V ± 0.5V、PVcc2 = 5.0V ± 0.5V、AVcc = 5.0 ± 0.5V、AVref = 4.5V ~ AVcc、Vss = PLLVss = AVss = 0V、Ta = -40 ~ 85°C、フラッシュ EEPROM の W/E 時は Ta = -40 ~ 85°C

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	100	ns	図 24.13
ポート入力ホールド時間	t_{PRH}	24* ¹ 24 + t_{cyc}	-	ns	
ポート入力セットアップ時間	t_{PRS}	24* ¹ 24 + t_{cyc}	-	ns	

【使用上の注意】

- *1 MCU シングルチップモード時の電源 PVcc1 の動作保証電圧は、PVcc1 = 5.0V ± 0.5V のみです。これ以外の電圧で使用しないでください。
- *2 ポート入力信号は非同期入力ですが、図 24.12 に示された 2 ステート間隔の CK クロック立ち上がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合はそれから 2 ステート後のクロックの立ち上がりまで認識が遅れることがあります。

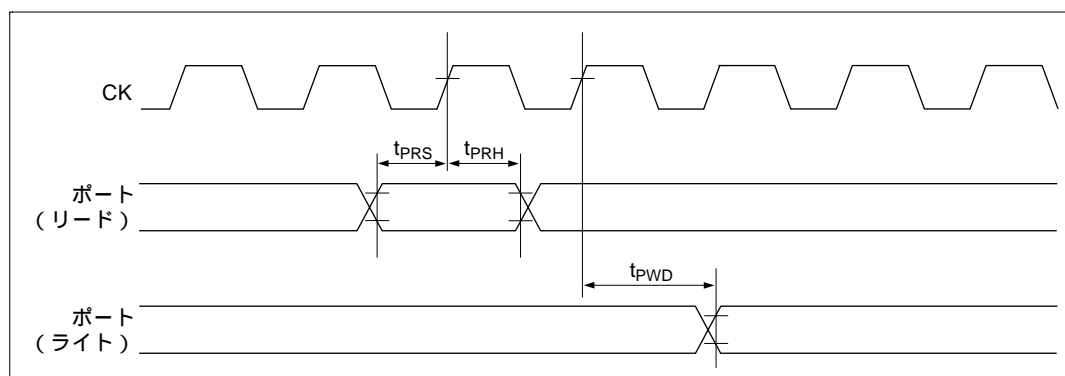


図 24.13 I/O ポート入出力タイミング

24.3.7 ウォッチドッグタイマタイミング

表 24.12 にウォッチドッグタイマタイミングを示します。

表 24.12 ウォッチドッグタイマタイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	図 24.14

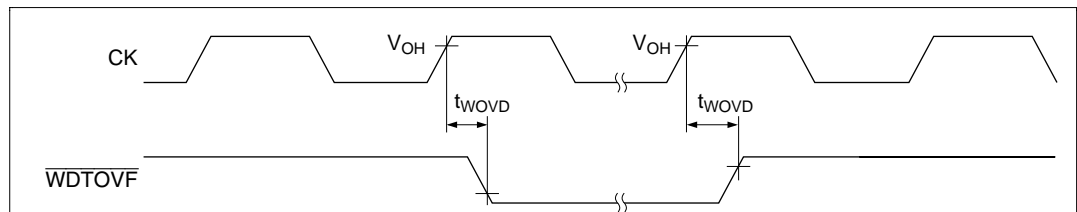


図 24.14 ウォッチドッグタイマタイミング

24.3.8 シリアルコミュニケーションインタフェースタイミング

表 24.13 にシリアルコミュニケーションインタフェースタイミングを示します。

表 24.13 シリアルコミュニケーションインタフェースタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0 \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
クロックサイクル	t_{scyc}	8	-	t_{cyc}	図 24.15
クロックサイクル (クロック同期)	t_{scyc}	12	-	t_{cyc}	
クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}	-	3.0	t_{cyc}	
入力クロック立ち下がり時間	t_{sckf}	-	3.0	t_{cyc}	
送信データ遅延時間	t_{TxD}	-	100	ns	図 24.16
受信データセットアップ時間	t_{RxD}	100	-	ns	
受信データホールド時間	t_{RxD}	100	-	ns	

【使用上の注意】

- *1 調歩同期モードでは非同期入出力ですが、図 24.15 に示すように、受信データは CK クロック立ち上がり (2 クロック間隔) で変化が生じたものとして判定され、送信信号は CK クロック立ち上がり (2 クロック間隔) 基準に変化します。

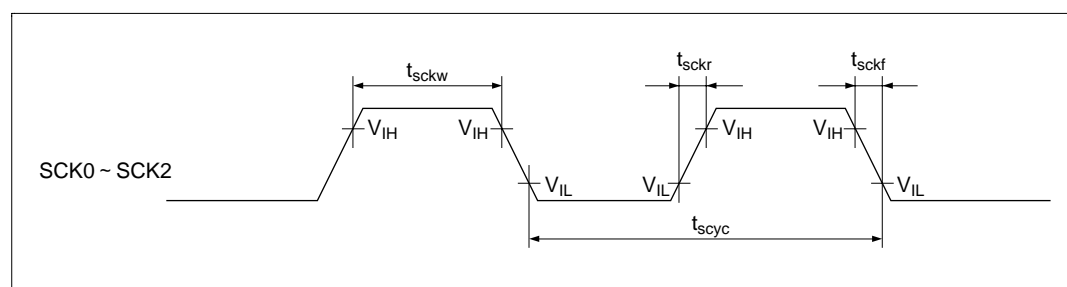


図 24.15 入力クロックタイミング

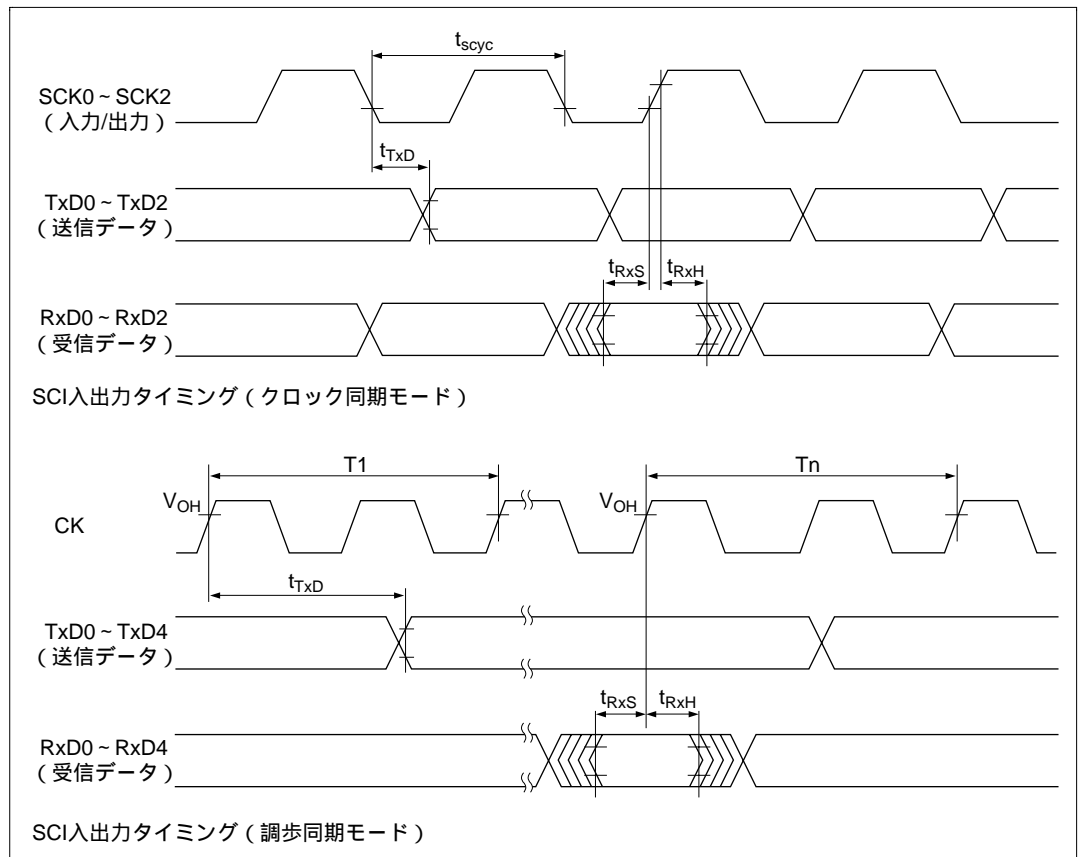


図 24.16 SCI 入出力タイミング

24.3.9 HCAN タイミング

表 24.14 に HCAN タイミングを示します。

表 24.14 HCAN タイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
送信データ遅延時間	t_{HTxD}	-	100	ns	図 24.17
受信データセットアップ時間	t_{HRxS}	100	-	ns	
受信データホールド時間	t_{HRxH}	100	-	ns	

【使用上の注意】

- *1 HCAN 入力信号は非同期信号ですが、図 24.16 に示された CK クロック立ち上がり (2 クロック間隔) で変化が生じたものとして判定されます。HCAN 出力信号は非同期信号ですが、図 24.16 に示された CK クロック立ち上がり (2 クロック間隔) 基準に変化します。

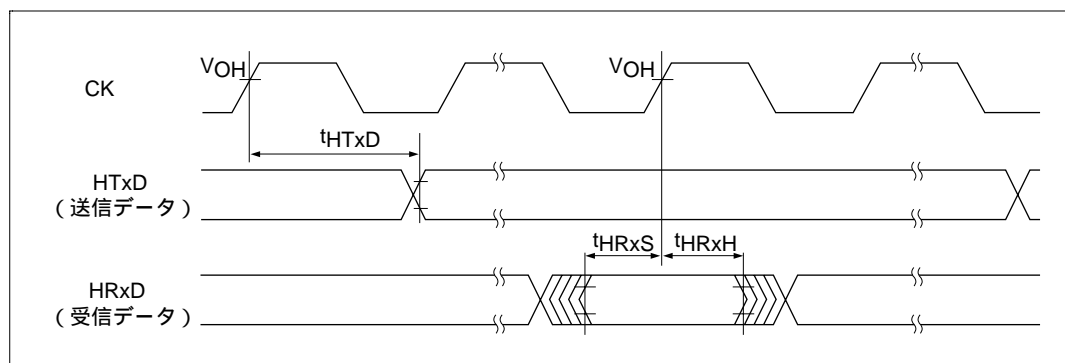


図 24.17 HCAN 入出力タイミング

24.3.10 A/D 変換器タイミング

表 24.15 に A/D 変換器タイミングを示します。

表 24.15 A/D 変換器タイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	CKS=0:fop=20~40MHz			CKS=1:fop=20MHz			単位	参照図
		min	typ	max	min	typ	max		
外部トリガ入力開始遅延時間	t_{TRGS}	50	-	-	50	-	-	ns	図 24.18
A/D 変換時間	t_{CONV}	518	-	532	262	-	268	t_{cyc}	図 24.19
A/D 変換開始遅延時間	t_D	20	-	34	12	-	18	t_{cyc}	
入力サンプリング時間	t_{SPL}	-	128	-	-	64	-	t_{cyc}	

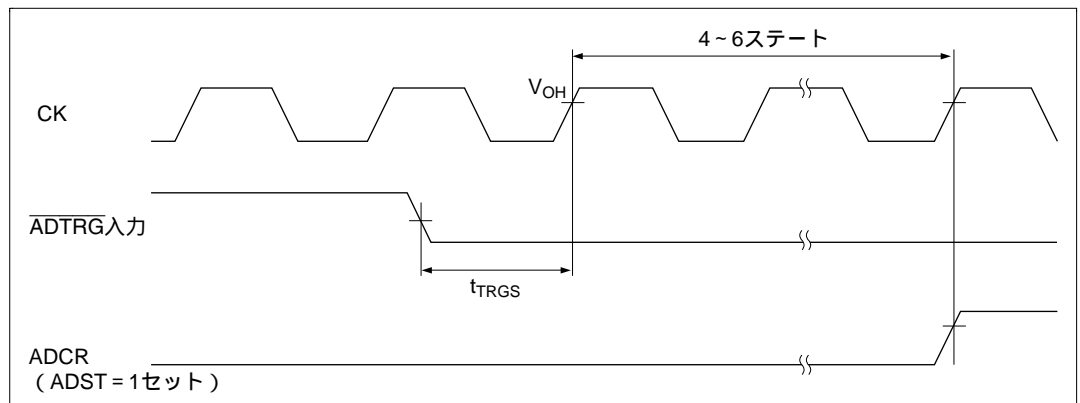


図 24.18 外部トリガ入力タイミング

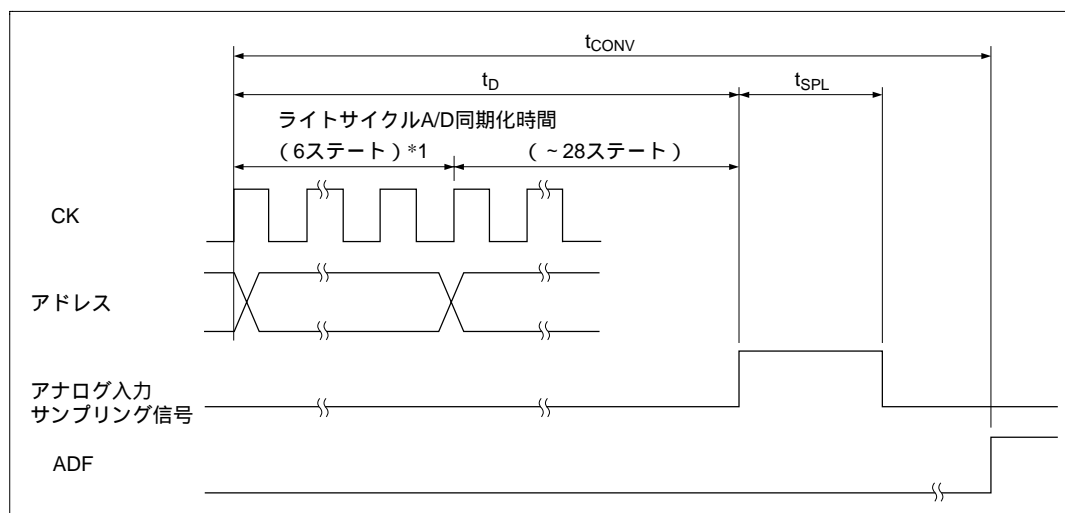


図 24.19 アナログ変換タイミング

24.3.11 AUD タイミング

表 24.16 に AUD タイミングを示します。

表 24.16 AUD タイミング

条件: $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
AUDRST パルス幅(ブランチトレースモード時)	$t_{AUDRSTW}$	20	-	t_{cyc}	図 24.20
AUDRST パルス幅(RAM モニタモード時)	$t_{AUDRSTW}$	5	-	t_{RMCYC}	
AUDMD セットアップ時間 (ブランチトレースモード時)	t_{AUDMDS}	20	-	t_{cyc}	
AUDMD セットアップ時間 (RAM モニタモード時)	t_{AUDMDS}	5	-	t_{RMCYC}	
ブランチトレースクロックサイクル	t_{BTCYC}	2	2	t_{cyc}	図 24.21
ブランチトレースクロックデューティ	t_{BTCKW}	40	60	%	
ブランチトレースデータ遅延時間	t_{BTDD}	-	40	ns	
ブランチトレースデータホールド時間	t_{BTDH}	0	-	ns	
ブランチトレース SYNC 遅延時間	t_{BTSD}	-	40	ns	
ブランチトレース SYNC ホールド時間	t_{BTSH}	0	-	ns	図 24.22
RAM モニタクロックサイクル	t_{RMCYC}	100	-	ns	
RAM モニタクロックローパルス幅	t_{RMCKW}	45	-	ns	
RAM モニタ出力データ遅延時間	t_{RMDD}	7	$t_{RMCYC} - 20$	ns	
RAM モニタ出力データホールド時間	t_{RMDHD}	5	-	ns	
RAM モニタ入力データセットアップ時間	t_{RMDS}	20	-	ns	
RAM モニタ入力データホールド時間	t_{RMDH}	5	-	ns	
RAM モニタ SYNC セットアップ時間	t_{RMSS}	20	-	ns	
RAM モニタ SYNC ホールド時間	t_{RMSH}	5	-	ns	

負荷条件: AUDCK (ブランチトレース時): $C_L = 30pF$ 、それ以外 $C_L = 100pF$

AUDSYNC、AUDATA3 ~ 0 : $C_L = 100pF$

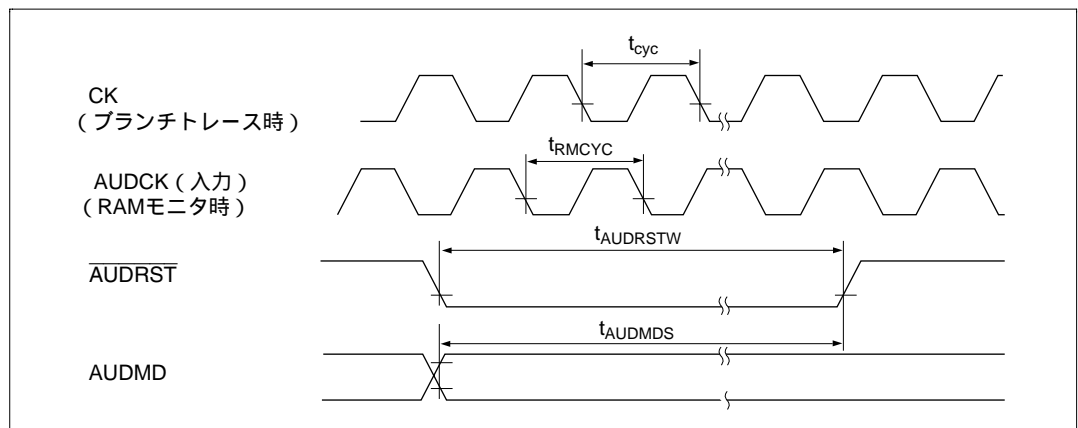


図 24.20 AUD リセットタイミング

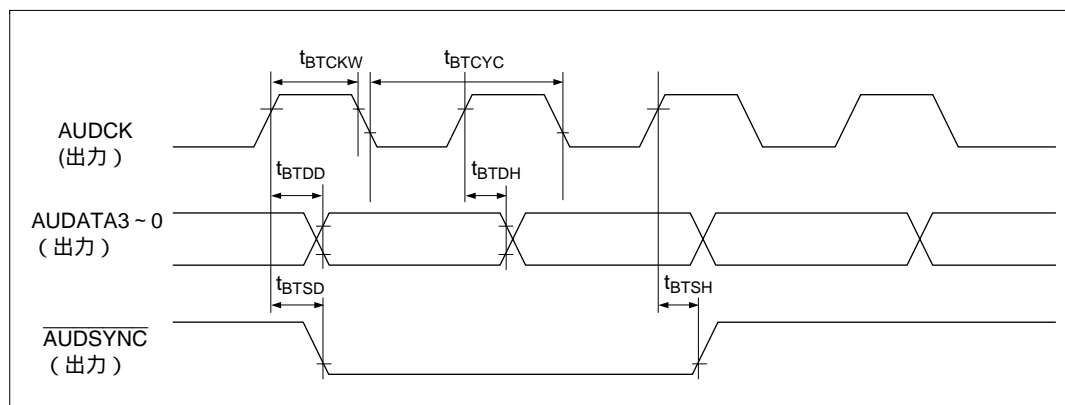


図 24.21 ブランチトレースモード時タイミング

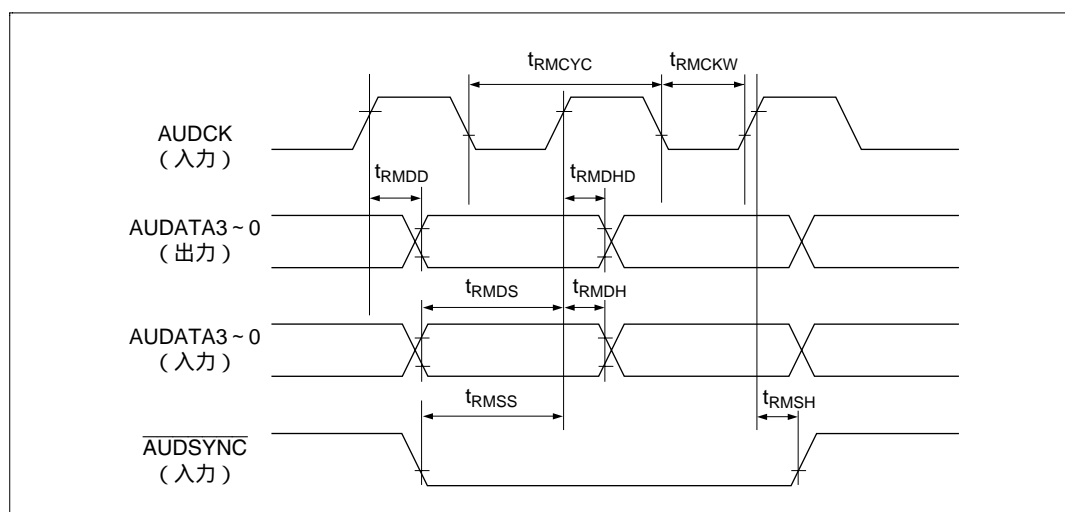


図 24.22 RAM モニタモード時タイミング

24.3.12 UBC トリガタイミング

表 24.17 に UBC トリガタイミングを示します。

表 24.17 UBC トリガタイミング

条件: $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
UBCTR \overline{G} 遅延時間	t_{UBCTGD}	-	35	ns	図 24.23

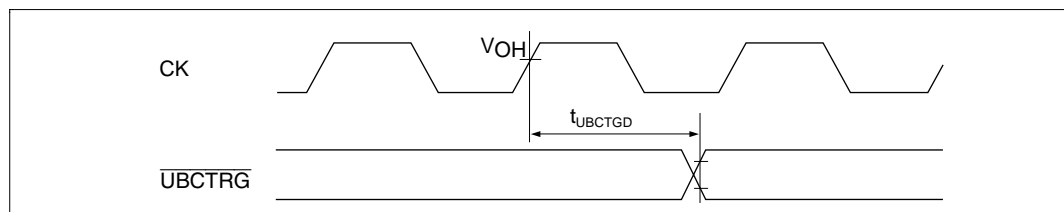


図 24.23 UBC トリガタイミング

24.3.13 AC 特性測定条件

入力参照レベル	High レベル : V_{IH} min 値、Low レベル : V_{IL} max 値
出力参照レベル	High レベル : 2.0V、Low レベル : 0.8V

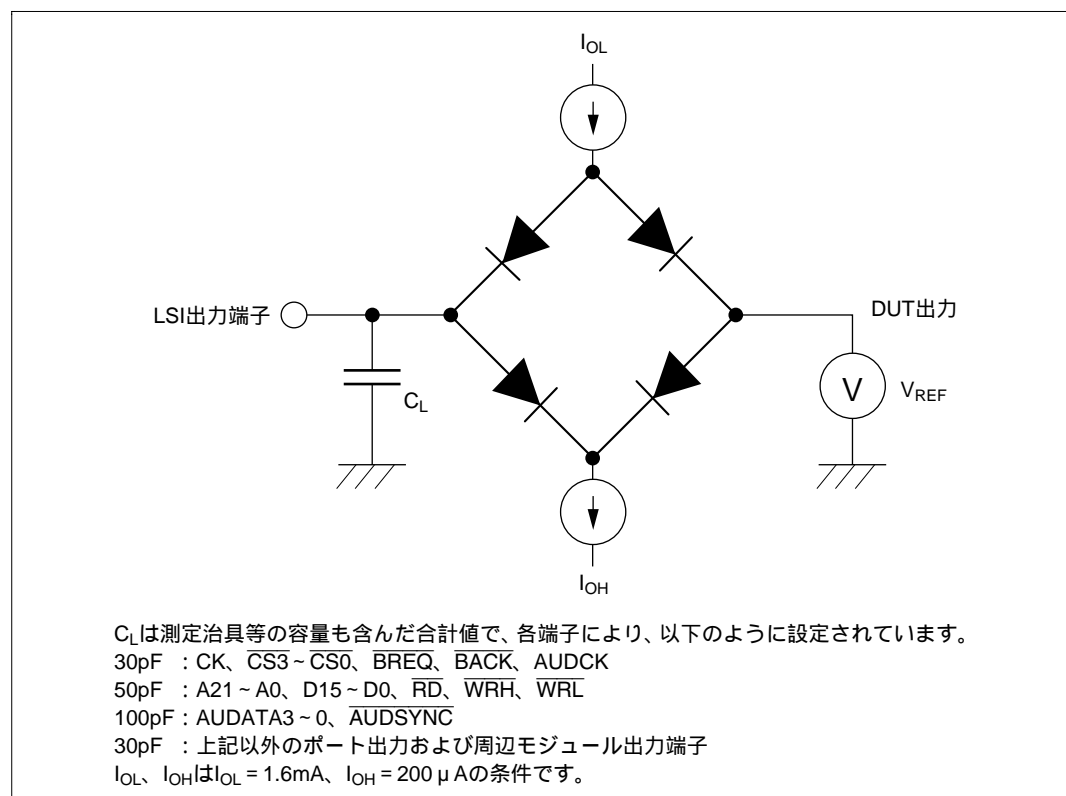


図 24.24 出力負荷回路

24.4 A/D 変換器特性

表 24.18 に A/D 変換器特性を示します。

表 24.18 A/D 変換器特性

条件: $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $PV_{cc1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{cc2} = 5.0V \pm 0.5V$ 、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -40 \sim 85^\circ C$ 、 $PV_{cc1} = 3.3V \pm 0.3V$ 時は $V_{cc} = PV_{cc1}$ 、フラッシュ EEPROM の W/E 時は $T_a = -40 \sim 85^\circ C$

項目	CKS=0:fop=20 ~ 40MHz			CKS=1:fop=20MHz			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
A/D 変換時間	-	-	13.3	-	-	13.4	μs
アナログ入力容量	-	-	20	-	-	20	pF
許容アナログ信号源インピーダンス	-	-	3	-	-	3	k
非直線性誤差	-	-	± 1.5	-	-	± 1.5	LSB
オフセット誤差	-	-	± 1.5	-	-	± 1.5	LSB
フルスケール誤差	-	-	± 1.5	-	-	± 1.5	LSB
量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB
絶対誤差	-	-	± 2.0	-	-	± 2.0	LSB

付 録

付 録 目次

A. 内蔵周辺モジュールレジスタ.....	899
A.1 アドレス一覧.....	899
A.2 リセット、低消費電力状態でのレジスタ状態.....	921
B. 端子状態.....	926
C. 型名一覧.....	929
D. 外形寸法図.....	930

A. 内蔵周辺モジュールレジスタ

A.1 アドレス一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

表 A.1 アドレス一覧

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE400	MCR	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0	HCAN
H'FFFFE401	GSR	-	-	-	-	GSR3	GSR2	GSR1	GSR0	
H'FFFFE402	BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
H'FFFFE403		BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8	
H'FFFFE404	MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	-	
H'FFFFE405		MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8	
H'FFFFE406	TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	-	
H'FFFFE407		TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
H'FFFFE408	TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	-	
H'FFFFE409		TXCR15	TXCR14	TCR13	TXCR12	TXCR11	TSCR10	TXCR9	TXCR8	
H'FFFFE40A	TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	-	
H'FFFFE40B		TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
H'FFFFE40C	ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	-	
H'FFFFE40D		ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
H'FFFFE40E	RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
H'FFFFE40F		RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
H'FFFFE410	RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
H'FFFFE411		RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
H'FFFFE412	IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
H'FFFFE413		-	-	-	IRR12	-	-	IRR9	IRR8	
H'FFFFE414	MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
H'FFFFE415		MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
H'FFFFE416	IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	-	
H'FFFFE417		-	-	-	IMR12	-	-	IMR9	IMR8	
H'FFFFE418	REC									
H'FFFFE419	TEC									
H'FFFFE41A	UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
H'FFFFE41B		UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
H'FFFFE41C	LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0	
H'FFFFE41D		LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8	
H'FFFFE41E	LAFMH	LAFMH7	LAFMH6	LAFMH5	-	-	-	LAFMH1	LAFMH0	
H'FFFFE41F		LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8	
H'FFFFE420	MC0[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE421	MC0[2]									
H'FFFFE422	MC0[3]									
H'FFFFE423	MC0[4]									
H'FFFFE424	MC0[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE425	MC0[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE426	MC0[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE427	MC0[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE428	MC1[1]					DLC3	DLC2	DLC1	DLC0	HCAN
H'FFFFE429	MC1[2]									
H'FFFFE42A	MC1[3]									
H'FFFFE42B	MC1[4]									
H'FFFFE42C	MC1[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE42D	MC1[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE42E	MC1[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE42F	MC1[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE430	MC2[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE431	MC2[2]									
H'FFFFE432	MC2[3]									
H'FFFFE433	MC2[4]									
H'FFFFE434	MC2[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE435	MC2[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE436	MC2[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE437	MC2[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE438	MC3[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE439	MC3[2]									
H'FFFFE43A	MC3[3]									
H'FFFFE43B	MC3[4]									
H'FFFFE43C	MC3[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE43D	MC3[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE43E	MC3[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE43F	MC3[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE440	MC4[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE441	MC4[2]									
H'FFFFE442	MC4[3]									
H'FFFFE443	MC4[4]									
H'FFFFE444	MC4[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE445	MC4[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE446	MC4[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE447	MC4[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE448	MC5[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE449	MC5[2]									
H'FFFFE44A	MC5[3]									
H'FFFFE44B	MC5[4]									
H'FFFFE44C	MC5[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE44D	MC5[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE44E	MC5[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE44F	MC5[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE450	MC6[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE451	MC6[2]									
H'FFFFE452	MC6[3]									
H'FFFFE453	MC6[4]									
H'FFFFE454	MC6[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE455	MC6[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE456	MC6[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE457	MC6[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE458	MC7[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE459	MC7[2]									

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE45A	MC7[3]									HCAN
H'FFFFE45B	MC7[4]									
H'FFFFE45C	MC7[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE45D	MC7[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE45E	MC7[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE45F	MC7[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE460	MC8[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE461	MC8[2]									
H'FFFFE462	MC8[3]									
H'FFFFE463	MC8[4]									
H'FFFFE464	MC8[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE465	MC8[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE466	MC8[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE467	MC8[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE468	MC9[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE469	MC9[2]									
H'FFFFE46A	MC9[3]									
H'FFFFE46B	MC9[4]									
H'FFFFE46C	MC9[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE46D	MC9[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE46E	MC9[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE46F	MC9[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE470	MC10[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE471	MC10[2]									
H'FFFFE472	MC10[3]									
H'FFFFE473	MC10[4]									
H'FFFFE474	MC10[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE475	MC10[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE476	MC10[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE477	MC10[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE478	MC11[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE479	MC11[2]									
H'FFFFE47A	MC11[3]									
H'FFFFE47B	MC11[4]									
H'FFFFE47C	MC11[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE47D	MC11[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE47E	MC11[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE47F	MC11[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE480	MC12[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE481	MC12[2]									
H'FFFFE482	MC12[3]									
H'FFFFE483	MC12[4]									
H'FFFFE484	MC12[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE485	MC12[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE486	MC12[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE487	MC12[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE488	MC13[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE489	MC13[2]									
H'FFFFE48A	MC13[3]									
H'FFFFE48B	MC13[4]									

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE48C	MC13[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	HCAN
H'FFFFE48D	MC13[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE48E	MC13[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE48F	MC13[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE490	MC14[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE491	MC14[2]									
H'FFFFE492	MC14[3]									
H'FFFFE493	MC14[4]									
H'FFFFE494	MC14[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE495	MC14[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE496	MC14[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE497	MC14[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE498	MC15[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE499	MC15[2]									
H'FFFFE49A	MC15[3]									
H'FFFFE49B	MC15[4]									
H'FFFFE49C	MC15[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE49D	MC15[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE49E	MC15[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE49F	MC15[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE4A0		-	-	-	-	-	-	-	-	
H'FFFFE4AF		-	-	-	-	-	-	-	-	
H'FFFFE4B0	MD0[1]	MSG_DATA_1								
H'FFFFE4B1	MD0[2]	MSG_DATA_2								
H'FFFFE4B2	MD0[3]	MSG_DATA_3								
H'FFFFE4B3	MD0[4]	MSG_DATA_4								
H'FFFFE4B4	MD0[5]	MSG_DATA_5								
H'FFFFE4B5	MD0[6]	MSG_DATA_6								
H'FFFFE4B6	MD0[7]	MSG_DATA_7								
H'FFFFE4B7	MD0[8]	MSG_DATA_8								
H'FFFFE4B8	MD1[1]	MSG_DATA_1								
H'FFFFE4B9	MD1[2]	MSG_DATA_2								
H'FFFFE4BA	MD1[3]	MSG_DATA_3								
H'FFFFE4BB	MD1[4]	MSG_DATA_4								
H'FFFFE4BC	MD1[5]	MSG_DATA_5								
H'FFFFE4BD	MD1[6]	MSG_DATA_6								
H'FFFFE4BE	MD1[7]	MSG_DATA_7								
H'FFFFE4BF	MD1[8]	MSG_DATA_8								
H'FFFFE4C0	MD2[1]	MSG_DATA_1								
H'FFFFE4C1	MD2[2]	MSG_DATA_2								
H'FFFFE4C2	MD2[3]	MSG_DATA_3								
H'FFFFE4C3	MD2[4]	MSG_DATA_4								
H'FFFFE4C4	MD2[5]	MSG_DATA_5								
H'FFFFE4C5	MD2[6]	MSG_DATA_6								
H'FFFFE4C6	MD2[7]	MSG_DATA_7								
H'FFFFE4C7	MD2[8]	MSG_DATA_8								
H'FFFFE4C8	MD3[1]	MSG_DATA_1								
H'FFFFE4C9	MD3[2]	MSG_DATA_2								
H'FFFFE4CA	MD3[3]	MSG_DATA_3								

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE4CB	MD3[4]	MSG_DATA_4								HCAN
H'FFFFE4CC	MD3[5]	MSG_DATA_5								
H'FFFFE4CD	MD3[6]	MSG_DATA_6								
H'FFFFE4CE	MD3[7]	MSG_DATA_7								
H'FFFFE4CF	MD3[8]	MSG_DATA_8								
H'FFFFE4D0	MD4[1]	MSG_DATA_1								
H'FFFFE4D1	MD4[2]	MSG_DATA_2								
H'FFFFE4D2	MD4[3]	MSG_DATA_3								
H'FFFFE4D3	MD4[4]	MSG_DATA_4								
H'FFFFE4D4	MD4[5]	MSG_DATA_5								
H'FFFFE4D5	MD4[6]	MSG_DATA_6								
H'FFFFE4D6	MD4[7]	MSG_DATA_7								
H'FFFFE4D7	MD4[8]	MSG_DATA_8								
H'FFFFE4D8	MD5[1]	MSG_DATA_1								
H'FFFFE4D9	MD5[2]	MSG_DATA_2								
H'FFFFE4DA	MD5[3]	MSG_DATA_3								
H'FFFFE4DB	MD5[4]	MSG_DATA_4								
H'FFFFE4DC	MD5[5]	MSG_DATA_5								
H'FFFFE4DD	MD5[6]	MSG_DATA_6								
H'FFFFE4DE	MD5[7]	MSG_DATA_7								
H'FFFFE4DF	MD5[8]	MSG_DATA_8								
H'FFFFE4E0	MD6[1]	MSG_DATA_1								
H'FFFFE4E1	MD6[2]	MSG_DATA_2								
H'FFFFE4E2	MD6[3]	MSG_DATA_3								
H'FFFFE4E3	MD6[4]	MSG_DATA_4								
H'FFFFE4E4	MD6[5]	MSG_DATA_5								
H'FFFFE4E5	MD6[6]	MSG_DATA_6								
H'FFFFE4E6	MD6[7]	MSG_DATA_7								
H'FFFFE4E7	MD6[8]	MSG_DATA_8								
H'FFFFE4E8	MD7[1]	MSG_DATA_1								
H'FFFFE4E9	MD7[2]	MSG_DATA_2								
H'FFFFE4EA	MD7[3]	MSG_DATA_3								
H'FFFFE4EB	MD7[4]	MSG_DATA_4								
H'FFFFE4EC	MD7[5]	MSG_DATA_5								
H'FFFFE4ED	MD7[6]	MSG_DATA_6								
H'FFFFE4EE	MD7[7]	MSG_DATA_7								
H'FFFFE4EF	MD7[8]	MSG_DATA_8								
H'FFFFE4F0	MD8[1]	MSG_DATA_1								
H'FFFFE4F1	MD8[2]	MSG_DATA_2								
H'FFFFE4F2	MD8[3]	MSG_DATA_3								
H'FFFFE4F3	MD8[4]	MSG_DATA_4								
H'FFFFE4F4	MD8[5]	MSG_DATA_5								
H'FFFFE4F5	MD8[6]	MSG_DATA_6								
H'FFFFE4F6	MD8[7]	MSG_DATA_7								
H'FFFFE4F7	MD8[8]	MSG_DATA_8								
H'FFFFE4F8	MD9[1]	MSG_DATA_1								
H'FFFFE4F9	MD9[2]	MSG_DATA_2								
H'FFFFE4FA	MD9[3]	MSG_DATA_3								
H'FFFFE4FB	MD9[4]	MSG_DATA_4								
H'FFFFE4FC	MD9[5]	MSG_DATA_5								

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE4FD	MD9[6]	MSG_DATA_6								HCAN
H'FFFFE4FE	MD9[7]	MSG_DATA_7								
H'FFFFE4FF	MD9[8]	MSG_DATA_8								
H'FFFFE500	MD10[1]	MSG_DATA_1								
H'FFFFE501	MD10[2]	MSG_DATA_2								
H'FFFFE502	MD10[3]	MSG_DATA_3								
H'FFFFE503	MD10[4]	MSG_DATA_4								
H'FFFFE504	MD10[5]	MSG_DATA_5								
H'FFFFE505	MD10[6]	MSG_DATA_6								
H'FFFFE506	MD10[7]	MSG_DATA_7								
H'FFFFE507	MD10[8]	MSG_DATA_8								
H'FFFFE508	MD11[1]	MSG_DATA_1								
H'FFFFE509	MD11[2]	MSG_DATA_2								
H'FFFFE50A	MD11[3]	MSG_DATA_3								
H'FFFFE50B	MD11[4]	MSG_DATA_4								
H'FFFFE50C	MD11[5]	MSG_DATA_5								
H'FFFFE50D	MD11[6]	MSG_DATA_6								
H'FFFFE50E	MD11[7]	MSG_DATA_7								
H'FFFFE50F	MD11[8]	MSG_DATA_8								
H'FFFFE510	MD12[1]	MSG_DATA_1								
H'FFFFE511	MD12[2]	MSG_DATA_2								
H'FFFFE512	MD12[3]	MSG_DATA_3								
H'FFFFE513	MD12[4]	MSG_DATA_4								
H'FFFFE514	MD12[5]	MSG_DATA_5								
H'FFFFE515	MD12[6]	MSG_DATA_6								
H'FFFFE516	MD12[7]	MSG_DATA_7								
H'FFFFE517	MD12[8]	MSG_DATA_8								
H'FFFFE518	MD13[1]	MSG_DATA_1								
H'FFFFE519	MD13[2]	MSG_DATA_2								
H'FFFFE51A	MD13[3]	MSG_DATA_3								
H'FFFFE51B	MD13[4]	MSG_DATA_4								
H'FFFFE51C	MD13[5]	MSG_DATA_5								
H'FFFFE51D	MD13[6]	MSG_DATA_6								
H'FFFFE51E	MD13[7]	MSG_DATA_7								
H'FFFFE51F	MD13[8]	MSG_DATA_8								
H'FFFFE520	MD14[1]	MSG_DATA_1								
H'FFFFE521	MD14[2]	MSG_DATA_2								
H'FFFFE522	MD14[3]	MSG_DATA_3								
H'FFFFE523	MD14[4]	MSG_DATA_4								
H'FFFFE524	MD14[5]	MSG_DATA_5								
H'FFFFE525	MD14[6]	MSG_DATA_6								
H'FFFFE526	MD14[7]	MSG_DATA_7								
H'FFFFE527	MD14[8]	MSG_DATA_8								
H'FFFFE528	MD15[1]	MSG_DATA_1								
H'FFFFE529	MD15[2]	MSG_DATA_2								
H'FFFFE52A	MD15[3]	MSG_DATA_3								
H'FFFFE52B	MD15[4]	MSG_DATA_4								
H'FFFFE52C	MD15[5]	MSG_DATA_5								
H'FFFFE52D	MD15[6]	MSG_DATA_6								
H'FFFFE52E	MD15[7]	MSG_DATA_7								

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFE52F	MD15[8]	MSG_DATA_8								HCAN	
H'FFFFE530 ~ H'FFFFE7FF	-	-	-	-	-	-	-	-	-	-	
H'FFFFE800	FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH	
H'FFFFE801	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFFFE802	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFFFE803	EBR2	-	-	EB13*1	EB12*1	EB11	E10	EB9	EB8		
H'FFFFE804 ~ H'FFFFEBFF	-	-	-	-	-	-	-	-	-	-	
H'FFFFEC00	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC	
H'FFFFEC01		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16		
H'FFFFEC02	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8		
H'FFFFEC03		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0		
H'FFFFEC04	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24		
H'FFFFEC05		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16		
H'FFFFEC06	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8		
H'FFFFEC07		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0		
H'FFFFEC08	UBBR	-	-	-	-	-	-	-	-		
H'FFFFEC09		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0		
H'FFFFEC0A	UBCR	-	-	-	-	-	-	-	-		
H'FFFFEC0B		-	-	-	-	-	CKS1	CKS0	UBID		
H'FFFFEC0C ~ H'FFFFEC0F	-	-	-	-	-	-	-	-	-	-	
H'FFFFEC10	TCSR *2	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT	
H'FFFFEC11	TCNT *2										
H'FFFFEC12	-	-	-	-	-	-	-	-	-		
H'FFFFEC13	RSTCSR *2	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FFFFEC14	SBYCR	SSBY	HIZ	-	-	-	-	-	-	低消費電力モード	
H'FFFFEC15 ~ H'FFFFEC1F	-	-	-	-	-	-	-	-	-	-	
H'FFFFEC20	BCR1	-	-	-	-	-	-	-	-	BSC	
H'FFFFEC21		-	-	-	-	A3SZ	A2SZ	A1SZ	A0SZ		
H'FFFFEC22	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00		
H'FFFFEC23		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0		
H'FFFFEC24	WCR	W33	W32	W31	W30	W23	W22	W21	W20		
H'FFFFEC25		W13	W12	W11	W10	W03	W02	W01	W00		
H'FFFFEC26	RAMER	-	-	-	-	-	-	-	-		
H'FFFFEC27		-	-	-	-	RAMS	RAM2	RAM1	RAM0		
H'FFFFEC28 ~ H'FFFFECAAF	-	-	-	-	-	-	-	-	-		-
H'FFFFECB0	DMAOR	-	-	-	-	-	-	-	-		DMAC (共通)
H'FFFFECB1		-	-	-	-	-	AE	NMIF	DME		
H'FFFFECB2 ~ H'FFFFECBF	-	-	-	-	-	-	-	-	-	-	

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFECC0	SAR0									DMAC (チャンネル0)
H'FFFFECC1										
H'FFFFECC2										
H'FFFFECC3										
H'FFFFECC4	DAR0									
H'FFFFECC5										
H'FFFFECC6										
H'FFFFECC7										
H'FFFFECC8	DMATCR0	-	-	-	-	-	-	-	-	
H'FFFFECC9										
H'FFFFECCA										
H'FFFFECCB										
H'FFFFECCC	CHCR0	-	-	-	-	-	-	-	-	
H'FFFFECCD		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFECC E		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFECCF		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFECD0	SAR1									DMAC (チャンネル1)
H'FFFFECD1										
H'FFFFECD2										
H'FFFFECD3										
H'FFFFECD4	DAR1									
H'FFFFECD5										
H'FFFFECD6										
H'FFFFECD7										
H'FFFFECD8	DMATCR1	-	-	-	-	-	-	-	-	
H'FFFFECD9										
H'FFFFECDA										
H'FFFFECDB										
H'FFFFE CDC	CHCR1	-	-	-	-	-	-	-	-	
H'FFFFECDD		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFECDE		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFECDF		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFECE0	SAR2									DMAC (チャンネル2)
H'FFFFECE1										
H'FFFFECE2										
H'FFFFECE3										
H'FFFFECE4	DAR2									
H'FFFFECE5										
H'FFFFECE6										
H'FFFFECE7										
H'FFFFECE8	DMATCR2	-	-	-	-	-	-	-	-	
H'FFFFECE9										
H'FFFFECEA										
H'FFFFECEB										
H'FFFFECEC	CHCR2	-	-	-	-	-	-	-	RO	
H'FFFFECED		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFECE E		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFECE F		-	-	TS1	TS0	TM	IE	TE	DE	

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFECF0	SAR3									DMAC (チャンネル3)
H'FFFFECF1										
H'FFFFECF2										
H'FFFFECF3										
H'FFFFECF4	DAR3									
H'FFFFECF5										
H'FFFFECF6										
H'FFFFECF7										
H'FFFFECF8	DMATCR3	-	-	-	-	-	-	-	-	
H'FFFFECF9										
H'FFFFECFA										
H'FFFFECFB										
H'FFFFECFC	CHCR3	-	-	-	DI	-	-	-	-	
H'FFFFECFD		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFECFE		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFECFF		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFED00	IPRA									INTC
H'FFFFED01										
H'FFFFED02	-	-	-	-	-	-	-	-	-	
H'FFFFED03										
H'FFFFED04	IPRC									
H'FFFFED05										
H'FFFFED06	IPRD									
H'FFFFED07										
H'FFFFED08	IPRE									
H'FFFFED09										
H'FFFFED0A	IPRF									
H'FFFFED0B										
H'FFFFED0C	IPRG									
H'FFFFED0D										
H'FFFFED0E	IPRH									
H'FFFFED0F										
H'FFFFED10	IPRI									
H'FFFFED11										
H'FFFFED12	IPRJ									
H'FFFFED13										
H'FFFFED14	IPRK									
H'FFFFED15										
H'FFFFED16	IPRL									
H'FFFFED17										
H'FFFFED18	ICR	NMIL	-	-	-	-	-	-	NMIE	
H'FFFFED19		IRQ0S	IRQ1S	IRQ2S	IRQ3S	-	-	-	-	
H'FFFFED1A	ISR	-	-	-	-	-	-	-	-	
H'FFFFED1B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	-	-	-	-	
H'FFFFED1C	-	-	-	-	-	-	-	-	-	
H'FFFFEFFF										

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF00	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル0)
H'FFFFFF01	BRR0									
H'FFFFFF02	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF03	TDR0									
H'FFFFFF04	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF05	RDR0									
H'FFFFFF06	SDCR0	-	-	-	-	DIR	-	-	-	
H'FFFFFF07	-	-	-	-	-	-	-	-	-	
H'FFFFFF08	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル1)
H'FFFFFF09	BRR1									
H'FFFFFF0A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF0B	TDR1									
H'FFFFFF0C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF0D	RDR1									
H'FFFFFF0E	SDCR1	-	-	-	-	DIR	-	-	-	
H'FFFFFF0F	-	-	-	-	-	-	-	-	-	
H'FFFFFF10	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル2)
H'FFFFFF11	BRR2									
H'FFFFFF12	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF13	TDR2									
H'FFFFFF14	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF15	RDR2									
H'FFFFFF16	SDCR2	-	-	-	-	DIR	-	-	-	
H'FFFFFF17	-	-	-	-	-	-	-	-	-	
H'FFFFFF18	SMR3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル3)
H'FFFFFF19	BRR3									
H'FFFFFF1A	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF1B	TDR3									
H'FFFFFF1C	SSR3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF1D	RDR3									
H'FFFFFF1E	SDCR3	-	-	-	-	DIR	-	-	-	
H'FFFFFF1F	-	-	-	-	-	-	-	-	-	
H'FFFFFF20	SMR4	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル4)
H'FFFFFF21	BRR4									
H'FFFFFF22	SCR4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF23	TDR4									
H'FFFFFF24	SSR4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF25	RDR4									
H'FFFFFF26	SDCR4	-	-	-	-	DIR	-	-	-	
H'FFFFFF27 ~ H'FFFFFF3FF	-	-	-	-	-	-	-	-	-	
H'FFFFFF400	TSTR2	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A	ATU-II (共通)
H'FFFFFF401	TSTR1	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0	
H'FFFFFF402	TSTR3	-	-	-	-	-	-	-	STR11	
H'FFFFFF403	-	-	-	-	-	-	-	-	-	
H'FFFFFF404	PSCR1	-	-	-	PSC1E	PSC1D	PSC1C	PSC1B	PSC1A	

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF405	-	-	-	-	-	-	-	-	-	ATU-II (共通)
H'FFFFF406	PSCR2				PSC2E	PSC2D	PSC2C	PSC2B	PSC2A	
H'FFFFF407	-	-	-	-	-	-	-	-	-	
H'FFFFF408	PSCR3	-	-	-	PSC3E	PSC3D	PSC3C	PSC3B	PSC3A	
H'FFFFF409	-	-	-	-	-	-	-	-	-	
H'FFFFF40A	PSCR4	-	-	-	PSC4E	PSC4D	PSC4C	PSC4B	PSC4A	
H'FFFFF40B	-	-	-	-	-	-	-	-	-	
H'FFFFF40C ~ H'FFFFF41F	-	-	-	-	-	-	-	-	-	-
H'FFFFF420	ICR0DH									ATU-II (チャンネル0)
H'FFFFF421										
H'FFFFF422	ICR0DL									
H'FFFFF423										
H'FFFFF424	ITVRR1	-	-	-	-	ITVE9	ITVE8	ITVE7	ITVE6	
H'FFFFF425										
H'FFFFF426	ITVRR2A	ITVA13A	ITVA12A	ITVA11A	ITVA10A	ITVE13A	ITVE12A	ITVE11A	ITVE10A	
H'FFFFF427	-	-	-	-	-	-	-	-	-	
H'FFFFF428	ITVRR2B	ITVA13B	ITVA12B	ITVA11B	ITVA10B	ITVE13B	ITVE12B	ITVE11B	ITVE10B	
H'FFFFF429	-	-	-	-	-	-	-	-	-	
H'FFFFF42A	TIOR0	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0	
H'FFFFF42B	-	-	-	-	-	-	-	-	-	
H'FFFFF42C	TSR0	-	-	-	-	-	-	-	-	
H'FFFFF42D		IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A	
H'FFFFF42E	TIER0	-	-	-	-	-	-	-	-	
H'FFFFF42F		-	-	-	OVE0	ICE0D	ICE0C	ICE0B	ICE0A	
H'FFFFF430	TCNT0H									
H'FFFFF431										
H'FFFFF432	TCNT0L									
H'FFFFF433										
H'FFFFF434	ICR0AH									
H'FFFFF435										
H'FFFFF436	ICR0AL									
H'FFFFF437										
H'FFFFF438	ICR0BH									
H'FFFFF439										
H'FFFFF43A	ICR0BL									
H'FFFFF43B										
H'FFFFF43C	ICR0CH									
H'FFFFF43D										
H'FFFFF43E	ICR0CL									
H'FFFFF43F										
H'FFFFF440	TCNT1A									ATU-II (チャンネル1)
H'FFFFF441										
H'FFFFF442	TCNT1B									
H'FFFFF443										
H'FFFFF444	GR1A									
H'FFFFF445										
H'FFFFF446	GR1B									
H'FFFFF447										

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF448	GR1C									ATU-II (チャンネル1)
H'FFFFF449										
H'FFFFF44A	GR1D									
H'FFFFF44B										
H'FFFFF44C	GR1E									
H'FFFFF44D										
H'FFFFF44E	GR1F									
H'FFFFF44F										
H'FFFFF450	GR1G									
H'FFFFF451										
H'FFFFF452	GR1H									
H'FFFFF453										
H'FFFFF454	OCR1									
H'FFFFF455										
H'FFFFF456	OSBR1									
H'FFFFF457										
H'FFFFF458	TIOR1B	-	IO1D2	IO1D1	IO1D0	-	IO1C2	IO1C1	IO1C0	
H'FFFFF459	TIOR1A	-	IO1B2	IO1B1	IO1B0	-	IO1A2	IO1A1	IO1A0	
H'FFFFF45A	TIOR1D	-	IO1H2	IO1H1	IO1H0	-	IO1G2	IO1G1	IO1G0	
H'FFFFF45B	TIOR1C	-	IO1F2	IO1F1	IO1F0	-	IO1E2	IO1E1	IO1E0	
H'FFFFF45C	TCR1B	-	-	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFF45D	TCR1A	-	-	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFF45E	TSR1A	-	-	-	-	-	-	-	OVF1A	
H'FFFFF45F		IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A	
H'FFFFF460	TSR1B	-	-	-	-	-	-	-	OVF1B	
H'FFFFF461		-	-	-	-	-	-	-	CMF1	
H'FFFFF462	TIER1A	-	-	-	-	-	-	-	OVE1A	
H'FFFFF463		IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A	
H'FFFFF464	TIER1B	-	-	-	-	-	-	-	OVE1B	
H'FFFFF465		-	-	-	-	-	-	-	CME1	
H'FFFFF466	TRGMDR	TRGMD	-	-	-	-	-	-	-	
H'FFFFF467 ~ H'FFFFF47F	-	-	-	-	-	-	-	-	-	
H'FFFFF480	TSR3	-	OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D	ATU-II (チャンネル3、 4、5 共通)
H'FFFFF481		IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A	
H'FFFFF482	TIER3	-	OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D	
H'FFFFF483		IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A	
H'FFFFF484	TMDR	-	-	-	-	-	T5PWM	T4PWM	T3PWM	
H'FFFFF485 ~ H'FFFFF49F	-	-	-	-	-	-	-	-	-	
H'FFFFF4A0	TCNT3									ATU-II (チャンネル3)
H'FFFFF4A1										
H'FFFFF4A2	GR3A									
H'FFFFF4A3										
H'FFFFF4A4	GR3B									
H'FFFFF4A5										
H'FFFFF4A6	GR3C									
H'FFFFF4A7										

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF4A8	GR3D									ATU-II (チャンネル3)
H'FFFFF4A9										
H'FFFFF4AA	TIOR3B	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0	
H'FFFFF4AB	TIOR3A	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0	
H'FFFFF4AC	TCR3	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	
H'FFFFF4AD ~ H'FFFFF4BF	-	-	-	-	-	-	-	-	-	-
H'FFFFF4C0	TCNT4									ATU-II (チャンネル4)
H'FFFFF4C1										
H'FFFFF4C2	GR4A									
H'FFFFF4C3										
H'FFFFF4C4	GR4B									
H'FFFFF4C5										
H'FFFFF4C6	GR4C									
H'FFFFF4C7										
H'FFFFF4C8	GR4D									
H'FFFFF4C9										
H'FFFFF4CA	TIOR4B	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0	
H'FFFFF4CB	TIOR4A	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0	
H'FFFFF4CC	TCR4	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	
H'FFFFF4CD ~ H'FFFFF4DF	-	-	-	-	-	-	-	-	-	-
H'FFFFF4E0	TCNT5									ATU-II (チャンネル5)
H'FFFFF4E1										
H'FFFFF4E2	GR5A									
H'FFFFF4E3										
H'FFFFF4E4	GR5B									
H'FFFFF4E5										
H'FFFFF4E6	GR5C									
H'FFFFF4E7										
H'FFFFF4E8	GR5D									
H'FFFFF4E9										
H'FFFFF4EA	TIOR5B	CCI5D	IO5D2	IO5D1	IO5D0	CCI5C	IO5C2	IO5C1	IO5C0	
H'FFFFF4EB	TIOR5A	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0	
H'FFFFF4EC	TCR5	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	
H'FFFFF4ED ~ H'FFFFF4EF	-	-	-	-	-	-	-	-	-	-
H'FFFFF500	TCNT6A									ATU-II (チャンネル6)
H'FFFFF501										
H'FFFFF502	TCNT6B									
H'FFFFF503										
H'FFFFF504	TCNT6C									
H'FFFFF505										
H'FFFFF506	TCNT6D									
H'FFFFF507										
H'FFFFF508	CYLR6A									
H'FFFFF509										

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF50A	CYLR6B									ATU-II (チャンネル6)
H'FFFFF50B										
H'FFFFF50C	CYLR6C									
H'FFFFF50D										
H'FFFFF50E	CYLR6D									
H'FFFFF50F										
H'FFFFF510	BFR6A									
H'FFFFF511										
H'FFFFF512	BFR6B									
H'FFFFF513										
H'FFFFF514	BFR6C									
H'FFFFF515										
H'FFFFF516	BFR6D									
H'FFFFF517										
H'FFFFF518	DTR6A									
H'FFFFF519										
H'FFFFF51A	DTR6B									
H'FFFFF51B										
H'FFFFF51C	DTR6C									
H'FFFFF51D										
H'FFFFF51E	DTR6D									
H'FFFFF51F										
H'FFFFF520	TCR6B	-	CKSELD2	CKSELD1	CKSELD0	-	CKSELC2	CKSELC1	CKSELC0	
H'FFFFF521	TCR6A	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0	
H'FFFFF522	TSR6	-	-	-	-	-	-	-	-	
H'FFFFF523		UD6D	UD6C	UD6B	UD6A	CMF6D	CMF6C	CMF6B	CMF6A	
H'FFFFF524	TIER6	-	-	-	-	-	-	-	-	
H'FFFFF525		-	-	-	-	CME6D	CME6C	CME6B	CME6A	
H'FFFFF526	PMDR	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA	
H'FFFFF527 ~ H'FFFFF57F	-	-	-	-	-	-	-	-	-	-
H'FFFFF580	TCNT7A									ATU-II (チャンネル7)
H'FFFFF581										
H'FFFFF582	TCNT7B									
H'FFFFF583										
H'FFFFF584	TCNT7C									
H'FFFFF585										
H'FFFFF586	TCNT7D									
H'FFFFF587										
H'FFFFF588	CYLR7A									
H'FFFFF589										
H'FFFFF58A	CYLR7B									
H'FFFFF58B										
H'FFFFF58C	CYLR7C									
H'FFFFF58D										
H'FFFFF58E	CYLR7D									
H'FFFFF58F										
H'FFFFF590	BFR7A									
H'FFFFF591										

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF592	BFR7B									ATU-II (チャンネル7)	
H'FFFFFF593											
H'FFFFFF594	BFR7C										
H'FFFFFF595											
H'FFFFFF596	BFR7D										
H'FFFFFF597											
H'FFFFFF598	DTR7A										
H'FFFFFF599											
H'FFFFFF59A	DTR7B										
H'FFFFFF59B											
H'FFFFFF59C	DTR7C										
H'FFFFFF59D											
H'FFFFFF59E	DTR7D										
H'FFFFFF59F											
H'FFFFFF5A0	TCR7B	-	CKSELD2	CKSELD1	CKSELD0	-	CKSELC2	CKSELC1	CKSELC0		-
H'FFFFFF5A1	TCR7A	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0		
H'FFFFFF5A2	TSR7	-	-	-	-	-	-	-	-		
H'FFFFFF5A3		-	-	-	-	CMF7D	CMF7C	CMF7B	CMF7A		
H'FFFFFF5A4	TIER7	-	-	-	-	-	-	-	-		
H'FFFFFF5A5		-	-	-	-	CME7D	CME7C	CME7B	CME7A		
H'FFFFFF5A6		-	-	-	-	-	-	-	-		
~		-	-	-	-	-	-	-	-		
H'FFFFFF5BF		-	-	-	-	-	-	-	-		
H'FFFFFF5C0	TCNT11									ATU-II (チャンネル11)	
H'FFFFFF5C1											
H'FFFFFF5C2	GR11A										
H'FFFFFF5C3											
H'FFFFFF5C4	GR11B										
H'FFFFFF5C5											
H'FFFFFF5C6	TIOR11	-	-	-	IO11B0	-	-	-	IO11A0		
H'FFFFFF5C7	-	-	-	-	-	-	-	-	-		
H'FFFFFF5C8	TCR11	-	-	CKEG1	CKEG0	-	CKSELA2	CKSELA1	CKSELA0		
H'FFFFFF5C9	-	-	-	-	-	-	-	-	-		
H'FFFFFF5CA	TSR11	-	-	-	-	-	-	-	OVF11		
H'FFFFFF5CB		-	-	-	-	-	-	IMF11B	IMF11A		
H'FFFFFF5CC	TIER11	-	-	-	-	-	-	-	OVE11		
H'FFFFFF5CD		-	-	-	-	-	-	IME11B	IME11A		
H'FFFFFF5CE		-	-	-	-	-	-	-	-		
~		-	-	-	-	-	-	-	-		
H'FFFFFF5FF		-	-	-	-	-	-	-	-		
H'FFFFFF600	TCNT2A									ATU-II (チャンネル2)	
H'FFFFFF601											
H'FFFFFF602	TCNT2B										
H'FFFFFF603											
H'FFFFFF604	GR2A										
H'FFFFFF605											
H'FFFFFF606	GR2B										
H'FFFFFF607											
H'FFFFFF608	GR2C										
H'FFFFFF609											

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF60A	GR2D									ATU-II (チャンネル2)
H'FFFFF60B										
H'FFFFF60C	GR2E									
H'FFFFF60D										
H'FFFFF60E	GR2F									
H'FFFFF60F										
H'FFFFF610	GR2G									
H'FFFFF611										
H'FFFFF612	GR2H									
H'FFFFF613										
H'FFFFF614	OCR2A									
H'FFFFF615										
H'FFFFF616	OCR2B									
H'FFFFF617										
H'FFFFF618	OCR2C									
H'FFFFF619										
H'FFFFF61A	OCR2D									
H'FFFFF61B										
H'FFFFF61C	OCR2E									
H'FFFFF61D										
H'FFFFF61E	OCR2F									
H'FFFFF61F										
H'FFFFF620	OCR2G									
H'FFFFF621										
H'FFFFF622	OCR2H									
H'FFFFF623										
H'FFFFF624	OSBR2									
H'FFFFF625										
H'FFFFF626	TIOR2B	-	IO2D2	IO2D1	IO2D0	-	IO2C2	IO2C1	IO2C0	
H'FFFFF627	TIOR2A	-	IO2B2	IO2B1	IO2B0	-	IO2A2	IO2A1	IO2A0	
H'FFFFF628	TIOR2D	-	IO2H2	IO2H1	IO2H0	-	IO2G2	IO2G1	IO2G0	
H'FFFFF629	TIOR2C	-	IO2F2	IO2F1	IO2F0	-	IO2E2	IO2E1	IO2E0	
H'FFFFF62A	TCR2B	-	-	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFF62B	TCR2A	-	-	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFF62C	TSR2A	-	-	-	-	-	-	-	OVF2A	
H'FFFFF62D		IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A	
H'FFFFF62E	TSR2B	-	-	-	-	-	-	-	OVF2B	
H'FFFFF62F		CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A	
H'FFFFF630	TIER2A	-	-	-	-	-	-	-	OVE1A	
H'FFFFF631		IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A	
H'FFFFF632	TIER2B	-	-	-	-	-	-	-	OVE2B	
H'FFFFF633		CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A	
H'FFFFF634 ~ H'FFFFF63F	-	-	-	-	-	-	-	-	-	
H'FFFFF640	DCNT8A									ATU-II (チャンネル8)
H'FFFFF641										
H'FFFFF642	DNCT8B									
H'FFFFF643										

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF644	DNCT8C									ATU-II (チャンネル8)
H'FFFFFF645										
H'FFFFFF646	DCNT8D									
H'FFFFFF647										
H'FFFFFF648	DCNT8E									
H'FFFFFF649										
H'FFFFFF64A	DCNT8F									
H'FFFFFF64B										
H'FFFFFF64C	DCNT8G									
H'FFFFFF64D										
H'FFFFFF64E	DCNT8H									
H'FFFFFF64F										
H'FFFFFF650	DCNT8I									
H'FFFFFF651										
H'FFFFFF652	DCNT8J									
H'FFFFFF653										
H'FFFFFF654	DCNT8K									
H'FFFFFF655										
H'FFFFFF656	DCNT8L									
H'FFFFFF657										
H'FFFFFF658	DCNT8M									
H'FFFFFF659										
H'FFFFFF65A	DCNT8N									
H'FFFFFF65B										
H'FFFFFF65C	DCNT8O									
H'FFFFFF65D										
H'FFFFFF65E	DCNT8P									
H'FFFFFF65F										
H'FFFFFF660	RLDR8									
H'FFFFFF661										
H'FFFFFF662	TCNR	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I	
H'FFFFFF663		CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A	
H'FFFFFF664	OTR	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI	
H'FFFFFF665		OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA	
H'FFFFFF666	DSTR	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I	
H'FFFFFF667		DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A	
H'FFFFFF668	TCR8	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF669	-	-	-	-	-	-	-	-	-	
H'FFFFFF66A	TSR8	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I	
H'FFFFFF66B		OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A	
H'FFFFFF66C	TIER8	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I	
H'FFFFFF66D		OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A	
H'FFFFFF66E	RLDENR	RLDEN	-	-	-	-	-	-	-	
H'FFFFFF66F										
H'FFFFFF67F										
H'FFFFFF680	ECNT9A									ATU-II (チャンネル9)
H'FFFFFF681	-	-	-	-	-	-	-	-	-	
H'FFFFFF682	ECNT9B									
H'FFFFFF683	-	-	-	-	-	-	-	-	-	

付 録

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF684	ECNT9C									ATU-II (チャンネル9)
H'FFFFFF685	-	-	-	-	-	-	-	-	-	
H'FFFFFF686	ECNT9D									
H'FFFFFF687	-	-	-	-	-	-	-	-	-	
H'FFFFFF688	ECNT9E									
H'FFFFFF689	-	-	-	-	-	-	-	-	-	
H'FFFFFF68A	ECNT9F									
H'FFFFFF68B	-	-	-	-	-	-	-	-	-	
H'FFFFFF68C	GR9A									
H'FFFFFF68D	-	-	-	-	-	-	-	-	-	
H'FFFFFF68E	GR9B									
H'FFFFFF68F	-	-	-	-	-	-	-	-	-	
H'FFFFFF690	GR9C									
H'FFFFFF691	-	-	-	-	-	-	-	-	-	
H'FFFFFF692	GR9D									
H'FFFFFF693	-	-	-	-	-	-	-	-	-	
H'FFFFFF694	GR9E									
H'FFFFFF695	-	-	-	-	-	-	-	-	-	
H'FFFFFF696	GR9F									
H'FFFFFF697	-	-	-	-	-	-	-	-	-	
H'FFFFFF698	TCR9A	-	TRG3BEN	EGSELB1	EGSELB0	-	TRG3AEN	EGSELA1	EGSELA0	
H'FFFFFF699	-	-	-	-	-	-	-	-	-	
H'FFFFFF69A	TCR9B	-	TRG3DEN	EGSELD1	EGSELD0	-	TRG3CEN	EGSELC1	EGSELC0	
H'FFFFFF69B	-	-	-	-	-	-	-	-	-	
H'FFFFFF69C	TCR9C	-	-	EGSELF1	EGSELF0	-	-	EGSELE1	EGSELE0	
H'FFFFFF69D	-	-	-	-	-	-	-	-	-	
H'FFFFFF69E	TSR9	-	-	-	-	-	-	-	-	
H'FFFFFF69F	-	-	-	CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A	
H'FFFFFF6A0	TIER9	-	-	-	-	-	-	-	-	
H'FFFFFF6A1	-	-	-	CME9F	CME9E	CME9D	CME9C	CME9B	CME9A	
H'FFFFFF6A2	-	-	-	-	-	-	-	-	-	
H'FFFFFF6BF	-	-	-	-	-	-	-	-	-	
H'FFFFFF6C0	TCNT10AH									ATU-II (チャンネル10)
H'FFFFFF6C1	-									
H'FFFFFF6C2	TCNT10AL									
H'FFFFFF6C3	-									
H'FFFFFF6C4	TCNT10B									
H'FFFFFF6C5	-	-	-	-	-	-	-	-	-	
H'FFFFFF6C6	TCNT10C									
H'FFFFFF6C7	-									
H'FFFFFF6C8	TCNT10D									
H'FFFFFF6C9	-	-	-	-	-	-	-	-	-	
H'FFFFFF6CA	TCNT10E									
H'FFFFFF6CB	-									
H'FFFFFF6CC	TCNT10F									
H'FFFFFF6CD	-									
H'FFFFFF6CE	TCNT10G									
H'FFFFFF6CF	-									

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF6D0	ICR10AH									ATU-II (チャンネル10)
H'FFFFFF6D1										
H'FFFFFF6D2	ICR10AL									
H'FFFFFF6D3										
H'FFFFFF6D4	OCR10AH									
H'FFFFFF6D5										
H'FFFFFF6D6	OCR10AL									
H'FFFFFF6D7										
H'FFFFFF6D8	OCR10B									
H'FFFFFF6D9	-	-	-	-	-	-	-	-	-	
H'FFFFFF6DA	RLD10C									
H'FFFFFF6DB										
H'FFFFFF6DC	GR10G									
H'FFFFFF6DD										
H'FFFFFF6DE	TCNT10H									
H'FFFFFF6DF	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E0	NCR10									
H'FFFFFF6E1	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E2	TIOR10	RLDEN	CCS	PIM1	PIM0	-	IO10G2	IO10G1	IO10G0	
H'FFFFFF6E3	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E4	TCR10	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0	
H'FFFFFF6E5	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E6	TCCLR10									
H'FFFFFF6E7										
H'FFFFFF6E8	TSR10	-	-	-	-	-	-	-	-	
H'FFFFFF6E9		-	-	-	-	CMF10G	CMF10B	ICF10A	CMF10A	
H'FFFFFF6EA	TIER10	-	-	-	-	-	-	-	-	
H'FFFFFF6EB		-	-	-	IREG	CME10G	CME10B	ICE10A	CME10A	
H'FFFFFF6EC ~ H'FFFFFF6FF	-	-	-	-	-	-	-	-	-	-
H'FFFFFF700	POPCR	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	APC
H'FFFFFF701		PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE	
H'FFFFFF702 ~ H'FFFFFF707	-	-	-	-	-	-	-	-	-	-
H'FFFFFF708	SYSCR	-	-	-	-	-	-	AUDSRST	RAME	低消費電力モード
H'FFFFFF709	-	-	-	-	-	-	-	-	-	
H'FFFFFF70A	-	-	-	-	-	-	-	-	-	
H'FFFFFF70B	MSTCR *3	-	-	-	-	MSTOP3	-	-	MSTOP0	
H'FFFFFF70C ~ H'FFFFFF70F	-	-	-	-	-	-	-	-	-	-
H'FFFFFF710	CMSTR	-	-	-	-	-	-	-	-	CMT
H'FFFFFF711		-	-	-	-	-	-	STR1	STR0	
H'FFFFFF712	CMCSR0	-	-	-	-	-	-	-	-	
H'FFFFFF713		CMF	CMIE	-	-	-	-	CKS1	CKS0	
H'FFFFFF714	CMCNT0									
H'FFFFFF715										

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF716	CMCOR0									CMT	
H'FFFFFF717											
H'FFFFFF718	CMCSR1	-	-	-	-	-	-	-	-		
H'FFFFFF719		CMF	CMIE	-	-	-	-	CKS1	CKS0		
H'FFFFFF71A	CMCNT1										
H'FFFFFF71B											
H'FFFFFF71C	CMCOR1										
H'FFFFFF71D											
H'FFFFFF71E	-	-	-	-	-	-	-	-	-		
H'FFFFFF71F	-	-	-	-	-	-	-	-	-		
H'FFFFFF720	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	ポート A	
H'FFFFFF721		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR		
H'FFFFFF722	PACRH	-	PA15MD	-	PA14MD	-	PA13MD	-	PA12MD		
H'FFFFFF723		-	PA11MD	-	PA10MD	-	PA9MD	-	PA8MD		
H'FFFFFF724	PACRL	-	PA7MD	-	PA6MD	-	PA5MD	-	PA4MD		
H'FFFFFF725		-	PA3MD	-	PA2MD	-	PA1MD	-	PA0MD		
H'FFFFFF726	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR		
H'FFFFFF727		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FFFFFF728	PHIOR	PH15IOR	PH14IOR	PH13IOR	PH12IOR	PH11IOR	PH10IOR	PH9IOR	PH8IOR		ポート H
H'FFFFFF729		PH7IOR	PH6IOR	PH5IOR	PH4IOR	PH3IOR	PH2IOR	PH1IOR	PH0IOR		
H'FFFFFF72A	PHCR	PH15MD	PH14MD	PH13MD	PH12MD	PH11MD	PH10MD	PH9MD	PH8MD		
H'FFFFFF72B		PH7MD	PH6MD	PH5MD	PH4MD	PH3MD	PH2MD	PH1MD	PH0MD		
H'FFFFFF72C	PHDR	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR		
H'FFFFFF72D		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR		
H'FFFFFF72E	ADTRGR1	EXTRG	-	-	-	-	-	-	-	A/D	
H'FFFFFF72F	-	-	-	-	-	-	-	-	-	-	
H'FFFFFF730	PBIOR	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	ポート B	
H'FFFFFF731		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR		
H'FFFFFF732	PBCRH	PB15MD1	PB15MD0	PB14MD1	PB14MD0	-	PB13MD	PB12MD1	PB12MD0		
H'FFFFFF733		PB11MD1	PB11MD0	PB10MD1	PB10MD0	PB9MD1	PB9MD0	PB8MD1	PB8MD0		
H'FFFFFF734	PBCRL	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0		
H'FFFFFF735		-	PB3MD	-	PB2MD	-	PB1MD	-	PB0MD		
H'FFFFFF736	PBIR	PB15IR	PB14IR	PB13IR	-	PB11IR	PB10IR	PB9IR	PB8IR		
H'FFFFFF737		PB7IR	PB6IR	PB5IR	PB4IR	PB3IR	PB2IR	PB1IR	PB0IR		
H'FFFFFF738	PBDR	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR		
H'FFFFFF739		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FFFFFF73A	PCIOR	-	-	-	-	-	-	-	-	ポート C	
H'FFFFFF73B		-	-	-	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR		
H'FFFFFF73C	PCCR	-	-	-	-	-	-	-	PC4MD		
H'FFFFFF73D		-	PC3MD	-	PC2MD	-	PC1MD	-	PC0MD		
H'FFFFFF73E	PCDR	-	-	-	-	-	-	-	-		
H'FFFFFF73F		-	-	-	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FFFFFF740	PDIOR	-	-	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR		ポート D
H'FFFFFF741		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR		
H'FFFFFF742	PDCRH	-	-	-	-	PD13MD1	PD13MD0	-	PD12MD		
H'FFFFFF743		-	PD11MD	-	PD10MD	-	PD9MD	-	PD8MD		
H'FFFFFF744	PDCRL	-	PD7MD	-	PD6MD	-	PD5MD	-	PD4MD		
H'FFFFFF745		-	PD3MD	-	PD2MD	-	PD1MD	-	PD0MD		
H'FFFFFF746	PDDR	-	-	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR		
H'FFFFFF747	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	ポート D	

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF748	PFIOR	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR	ポート F	
H'FFFFFF749		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR		
H'FFFFFF74A	PFCRH	CKHIZ	PF15MD	-	PF14MD	-	PF13MD	-	PF12MD		
H'FFFFFF74B		-	PF11MD	-	PF10MD	-	PF9MD	-	PF8MD		
H'FFFFFF74C	PFCRL	-	PF7MD	-	PF6MD	PF5MD1	PF5MD0	-	PF4MD		
H'FFFFFF74D		-	PF3MD	-	PF2MD	-	PF1MD	-	PF0MD		
H'FFFFFF74E	PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR		
H'FFFFFF74F		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FFFFFF750	PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR		ポート E
H'FFFFFF751		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR		
H'FFFFFF752	PECR	PE15MD	PE14MD	PE13MD	PE12MD	PE11MD	PE10MD	PE9MD	PE8MD		
H'FFFFFF753		PE7MD	PE6MD	PE5MD	PE4MD	PE3MD	PE2MD	PE1MD	PE0MD		
H'FFFFFF754	PEDR	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR		
H'FFFFFF755		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FFFFFF756 ~ H'FFFFFF75F	-	-	-	-	-	-	-	-	-	-	
H'FFFFFF760	PGIOR	-	-	-	-	-	-	-	-	ポート G	
H'FFFFFF761		-	-	-	-	PG3IOR	PG2IOR	PG1IOR	PG0IOR		
H'FFFFFF762	PGCR	-	-	-	-	-	-	-	-		
H'FFFFFF763		PG3MD1	PG3MD0	PG2MD1	PG2MD0	-	PG1MD	PG0MD1	PG0MD0		
H'FFFFFF764	PGDR	-	-	-	-	-	-	-	-		
H'FFFFFF765		-	-	-	-	PG3DR	PG2DR	PG1DR	PG0DR		
H'FFFFFF766	PJIOR	PJ15IOR	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR		ポート J
H'FFFFFF767		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR		
H'FFFFFF768	PJCRH	-	PJ15MD	-	PJ14MD	-	PJ13MD	-	PJ12MD		
H'FFFFFF769		-	PJ11MD	-	PJ10MD	-	PJ9MD	-	PJ8MD		
H'FFFFFF76A	PJCRL	-	PJ7MD	-	PJ6MD	-	PJ5MD	-	PJ4MD		
H'FFFFFF76B		-	PJ3MD	-	PJ2MD	-	PJ1MD	-	PJ0MD		
H'FFFFFF76C	PJDR	PJ15DR	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR		
H'FFFFFF76D		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR		
H'FFFFFF76E	ADTRGR0	EXTRG	-	-	-	-	-	-	-	A/D	
H'FFFFFF76F	-	-	-	-	-	-	-	-	-		
H'FFFFFF770	PKIOR	PK15IOR	PK14IOR	PK13IOR	PK12IOR	PK11IOR	PK10IOR	PK9IOR	PK8IOR	ポート K	
H'FFFFFF771		PK7IOR	PK6IOR	PK5IOR	PK4IOR	PK3IOR	PK2IOR	PK1IOR	PK0IOR		
H'FFFFFF772	PKCRH	-	PK15MD	-	PK14MD	-	PK13MD	-	PK12MD		
H'FFFFFF773		-	PK11MD	-	PK10MD	-	PK9MD	-	PK8MD		
H'FFFFFF774	PKCRL	-	PK7MD	-	PK6MD	-	PK5MD	-	PK4MD		
H'FFFFFF775		-	PK3MD	-	PK2MD	-	PK1MD	-	PK0MD		
H'FFFFFF776	PKIR	PK15IR	PK14IR	PK13IR	PK12IR	PK11IR	PK10IR	PK9IR	PK8IR		
H'FFFFFF777		PK7IR	PK6IR	PK5IR	PK4IR	PK3IR	PK2IR	PK1IR	PK0IR		
H'FFFFFF778	PKDR	PK15DR	PK14DR	PK13DR	PK12DR	PK11DR	PK10DR	PK9DR	PK8DR		
H'FFFFFF779	PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR		ポート K
H'FFFFFF77A ~ H'FFFFFF77F	-	-	-	-	-	-	-	-	-	-	
H'FFFFFF800	ADDR0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
H'FFFFFF801	ADDR0L	AD1	AD0	-	-	-	-	-	-		
H'FFFFFF802	ADDR1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFFFF803	ADDR1L	AD1	AD0	-	-	-	-	-	-		

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF804	ADDR2H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H'FFFFFF805	ADDR2L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF806	ADDR3H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF807	ADDR3L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF808	ADDR4H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF809	ADDR4L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80A	ADDR5H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80B	ADDR5L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80C	ADDR6H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80D	ADDR6L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80E	ADDR7H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80F	ADDR7L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF810	ADDR8H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF811	ADDR8L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF812	ADDR9H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF813	ADDR9L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF814	ADDR10H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF815	ADDR10L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF816	ADDR11H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF817	ADDR11L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF818	ADCSR0	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0	
H'FFFFFF819	ADCR0	TRGE	CKS	ADST	ADCS	-	-	-	-	
H'FFFFFF81A ~ H'FFFFFF81F	-	-	-	-	-	-	-	-	-	
H'FFFFFF820	ADDR12H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF821	ADDR12L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF822	ADDR13H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF823	ADDR13L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF824	ADDR14H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF825	ADDR14L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF826	ADDR15H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF827	ADDR15L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF828 ~ H'FFFFFF837	-	-	-	-	-	-	-	-	-	
H'FFFFFF838	ADCSR1	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0	A/D
H'FFFFFF839	ADCR1	TRGE	CKS	ADST	ADCS	-	-	-	-	
H'FFFFFF83A ~ H'FFFFFF85F	-	-	-	-	-	-	-	-	-	-

【注】 *1 SH7053 と SH7054 では異なります。詳細は「20.5.4 ブロック指定レジスタ 2」または「21.5.4 ブロック指定レジスタ 2」を参照してください。

*2 読み出し時のアドレスです。書き込み時のアドレスは、TCSR と TCNT が H'FFFFFFE10、RSTCSR が H'FFFFFFE12 です。

詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

*3 読み出し時のアドレスです。書き込み時のアドレスは H'FFFFFF70A です。詳細は「23.2.4 レジスタアクセス時の注意」を参照してください。

A.2 リセット、低消費電力状態でのレジスタ状態

表 A.2 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
CPU	R0 ~ R15	初期化	初期化	保持	保持
	SR				
	GBR				
	VBR				
	MACH,MACL				
	PR				
	PC				
割り込み コントローラ (INTC)	IPRA、IPRC ~ IPRL	初期化	初期化	保持	保持
	ICR				
	ISR				
ユーザブ레이크 コントローラ (UBC)	UBARH,UBARL	初期化	初期化	保持	保持
	UBAMRH,UBAMRL				
	UBBR				
	UBCR				
バスステート コントローラ (BSC)	BCR1,BCR2	初期化	初期化	保持	保持
	WCR				
ダイレクトメモリ アクセス コントローラ (DMAC)	SAR0 ~ SAR3	不定	不定	不定	保持
	DAR0 ~ DAR3				
	DMATCR0 ~ DMATCR3				
	CHCR0 ~ CHCR3	初期化	初期化	初期化	
	DMAOR				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ
アドバンスタイマ ユニット- (ATU-)	BFR6A-D,BFR7A-D	初期化	初期化	初期化	保持
	CYLR6A-D,CYLR7A-D				
	DCNT8A-P				
	DSTR				
	DTR6A-D,DTR7A-D				
	ECNT9A-F				
	GR1A-H,GR2A-H GR3A-D,GR4A-D GR5A-D,GR9A-F GR10G,GR11A,11B				
	ICR0A-D,ICR10A				
	ITVRR1, ITVRR2A,2B				
	NCR10				
	OCR1,OCR2A-H OCR10AH,10AL OCR10B				
	OSBR1,OSBR2				
	OTR				
	PMDR				
	PSCR1-4				
	PSTR				
	RLD10C				
	RLDENR				
	RLDR8				
	TCCLR10				
TCNR					

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ
	TCNT0H,L TCNT1A,1B,TCNT2A,2B TCNT3-5 TCNT6A-D,TCNT7A-D TCNT10AH,10AL TCNT10B-H TCNT11				
	TCR1A,1B,TCR2A,2B, TCR3-5 TCR6A,6B,TCR7A,7B TCR8,TCR9A-C TCR10,TCR11				
	TIER0,TIER1A,1B TIER2A,2B,TIER3 TIER6-11				
	TIOR0,TIOR1A-D TIOR2A-D,TIOR3A,3B TIOR4A,4B,TIOR5A,5B TIOR10,11				
	TMDR				
	TNCT10E				
	TRGMDR				
	TSR0,TSR1A,1B TSR2A,2B,TSR3 TSR6-11				
	TSTR1-3				
アドバンスパルス コントローラ (APC)	POPCR	初期化	初期化	保持	保持

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
ウォッチドッグ タイマ (WDT)	TCNT	初期化	初期化	初期化	保持
	TCSR			*	
	RSTCSR			初期化	
シリアルコミュニ ケーションインタ フェース (SCI)	SMR0 ~ SMR4	初期化	初期化	保持	保持
	BRR0 ~ BRR4				
	SCR0 ~ SCR4				
	TDR0 ~ TDR4			初期化	
	SSR0 ~ SSR4				
	RDR0 ~ RDR4				
	SDCR0 ~ SDCR4			保持	
A/D 変換器	ADDR0 (H/L) ~ ADDR15 (H/L)	初期化	初期化	初期化	保持
	ADCSR0,ADCSR1				
	ADCR0,ADCR1				
	ADTRGR			保持	
コンペアマッチ タイマ (CMT)	CMSTR	初期化	初期化	初期化	保持
	CMCSR0,CMCSR1				
	CMCNT0,CMCNT1				
	CMCOR0,CMCOR1				
ピンファンクション コントローラ (PFC)	PAIOR,PBIOR,PCIOR PDIOR,PEIOR,PFIOR PGIOR,PHIOR,PJIOR PKIOR	初期化	初期化	保持	保持
	PACRH,PACRL,PBCRH PBCRL,PBIR,PCCR PDCRH,PDCRL,PECR PFCRH,PFCL,PGCR PHCR,PJCRH,PJCRL PKCRH,PKCRL,PKIR				
I/O ポート	PADR,PBDR,PCDR PDDR,PEDR,PFDR PGDR,PHDR,PJDR PKDR	初期化	初期化	保持	保持

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ
フラッシュ ROM	FLMCR1	初期化	初期化	初期化	保持
	FLMCR2			初期化 / 保持	
	EBR1,EBR2			初期化	
	RAMER			保持	
低消費電力状態関係	SBYCR	初期化	初期化	保持	保持
	SYSCR				
	MSTCR				
日立コントローラ エリアネットワーク (HCAN)	MCR	初期化	初期化	初期化	保持
	GSR				
	BCR				
	MBCR				
	TXPR				
	TXCR				
	TXACK				
	ABACK				
	RXPR				
	RFPR				
	IRR				
	MBIMR				
	IMR				
	REC				
	TEC				
	UMSR				
	LAFML				
	LAFMH				
	MC0[1:8] ~ MC15[1:8]				
MD0[1:8] ~ MD15[1:8]					

【注】 * ビット 7~5 (OVF,WT/IT,TME) は初期化、ビット 2~0 (CKS2~CKS0) は保持されます。

B. 端子状態

表 B.1、表 B.2、表 B.3 に SH7052F/SH7053F/SH7054F の端子状態を示します。

表 B.1 端子状態 (1)

分類	端子名	端子状態							
		リセット状態			低消費電力状態				
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	バス権 解放状態
		ROMなし 拡張	ROMあり 拡張	シングルチップ					
8bit	16bit								
クロック	CK ^{*2}	O			Z	H ^{*1}	O	O	
	XTAL	O			L	L	O	O	O
	EXTAL	I			Z	I	I	I	I
	PLLCAP	I			I	I	I	I	I
システム制御	RES	I			Z	I	I	I	I
	FWE	I			I	I	I	I	I
	HSTBY	I			I	I	I	I	I
	MD0	I			I	I	I	I	I
	MD1	I			I	I	I	I	I
	MD2	I			I	I	I	I	I
	WDTOVF	O			Z	O ^{*1}	O	O	O
	BREQ				Z	Z	I	I	I
	BACK				Z	Z	O	O	L
割り込み	NMI	I			Z	I	I	I	I
	IRQ0 ~ IRQ3				Z	Z	I	I	I
アドレスバス	A0 ~ A21	O			Z	Z	O	O	Z
データバス	D0 ~ D7	Z			Z	Z	I/O	I/O	Z
	D8 ~ D15		Z		Z	Z	I/O	I/O	Z
バス制御	WAIT	I			Z	Z	I	I	I
	WRH, WRL	H			Z	Z	O	O	Z
	RD	H			Z	Z	O	O	Z
	CS0	H			Z	Z	O	O	Z
	CS1 ~ CS3				Z	Z	O	O	Z
ポート制御	POD				Z	Z	I	I	I
ATU	TIOA ~ TIOD				Z	Z	I	I	I
	TIO1A ~ TIO1H				Z	K ^{*1}	I/O	I/O	I/O
	TIO2A ~ TIO2H				Z	K ^{*1}	I/O	I/O	I/O
	TIO3A ~ TIO3D				Z	K ^{*1}	I/O	I/O	I/O
	TIO4A ~ TIO4D				Z	K ^{*1}	I/O	I/O	I/O
	TIO5A ~ TIO5D				Z	K ^{*1}	I/O	I/O	I/O
	TO6A ~ TO6D				Z	O ^{*1}	O	O	O
	TO7A ~ TO7D				Z	O ^{*1}	O	O	O
	TO8A ~ TO8P				Z	O ^{*1}	O	O	O
	TI9A ~ TI9F				Z	Z	I	I	I
	TI10				Z	Z	I	I	I
	TCLKA, TCLKB				Z	Z	I	I	I

表 B.2 端子状態 (2)

分類	端子名	端子状態								
		リセット状態				低消費電力状態				バス権 解放状態
		パワーオン				ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	
		ROMなし 拡張		ROMあり 拡張	シングルチップ					
8bit	16bit									
SCI	SCK0 ~ SCK2					Z	K* ¹	I/O	I/O	I/O
	TxD0 ~ TxD4					Z	O* ¹	O	O	O
	RxD0 ~ RxD4					Z	Z	I	I	I
A/D変換器	AN0 ~ AN15	Z				Z	Z	I	I	I
	$\overline{\text{ADTRG0}}$					Z	Z	I	I	I
	AVref	I				I	I	I	I	I
APC	PULS0 ~ PULS7					Z	O* ¹	O	O	O
HCAN	HTxD					Z	O* ¹	O	O	O
	HRxD					Z	Z	I	I	I
UBC	$\overline{\text{UBCTRG}}$					Z	O* ¹	O	Z	O
I/Oポート	PA0 ~ PA15	Z				Z	K* ¹	I/O	I/O	I/O
	PB0 ~ PB15	Z				Z	K* ¹	I/O	I/O	I/O
	PC0 ~ PC4	Z				Z	K* ¹	I/O	I/O	I/O
	PD0 ~ PD13	Z				Z	K* ¹	I/O	I/O	I/O
	PE0 ~ PE15		Z			Z	K* ¹	I/O	I/O	I/O
	PF0 ~ PF5		Z			Z	K* ¹	I/O	I/O	I/O
	PF6 ~ PF10		Z			Z	K* ¹	I/O	I/O	I/O
	PH11 ~ PH15	Z				Z	K* ¹	I/O	I/O	I/O
	PG0 ~ PG3	Z				Z	K* ¹	I/O	I/O	I/O
	PH0 ~ PH7		Z			Z	K* ¹	I/O	I/O	I/O
	PH8 ~ PH15	Z		Z		Z	K* ¹	I/O	I/O	I/O
	PJ0 ~ PJ15	Z				Z	K* ¹	I/O	I/O	I/O
	PK0 ~ PK15	Z				Z	K* ¹	I/O	I/O	I/O

表 B.3 端子状態 (3)

分類	端子名	端子状態			
		ハードウェアスタンバイ $\overline{\text{AUD}}$ モジュールスタンバイ	AUD リセット ($\text{AUDRST} = \text{L}$)	ソフトウェアスタンバイ $\overline{\text{AUDSRST}} = 1$ / 通常動作	何も接続していない
AUD	$\overline{\text{AUDRST}}$	Z	L 入力	H 入力	内部プルダウン
	AUDMD	Z	I	I	内部プルアップ
	AUDATA0 ~ AUDATA3	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部 pullup)	AUDMD = H 時 : I/O AUDMD = L 時 : O	内部プルアップ
	AUDCK	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部 pullup)	AUDMD = H 時 : I AUDMD = L 時 : O	内部プルアップ
	$\overline{\text{AUDSYNC}}$	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部 pullup)	AUDMD = H 時 : I AUDMD = L 時 : O	内部プルアップ

初期値ではない

I 入力

O 出力

H ハイレベル出力

L ローレベル出力

Z ハイインピーダンス

K 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 スタンバイコントロールレジスタ (SBYCR) のポートインピーダンスビット (HIZ) を 1 にすると、出力端子は、ハイインピーダンスになります。

*2 PFCRH の CKHIZ ビットを 1 にセットすると、無条件で HIZ になります。

C. 型名一覧

表 C.1 SH7052F/SH7053F/SH7054F 型名一覧

	製品分類	製品型名	マーク型名	パッケージ
SH7052	フラッシュメモリ	HD64F7052F40	HD64F7052F40	208 ピンプラスチック QFP (FP-208A)
SH7053	フラッシュメモリ	HD64F7053F40	HD64F7053F40	208 ピンプラスチック QFP (FP-208A)
SH7054	フラッシュメモリ	HD64F7054F40	HD64F7054F40	208 ピンプラスチック QFP (FP-208A)

D. 外形寸法図

SH7052F/SH7053F/SH7054F の外形寸法図 (FP-208A) を図 D.1 に示します。

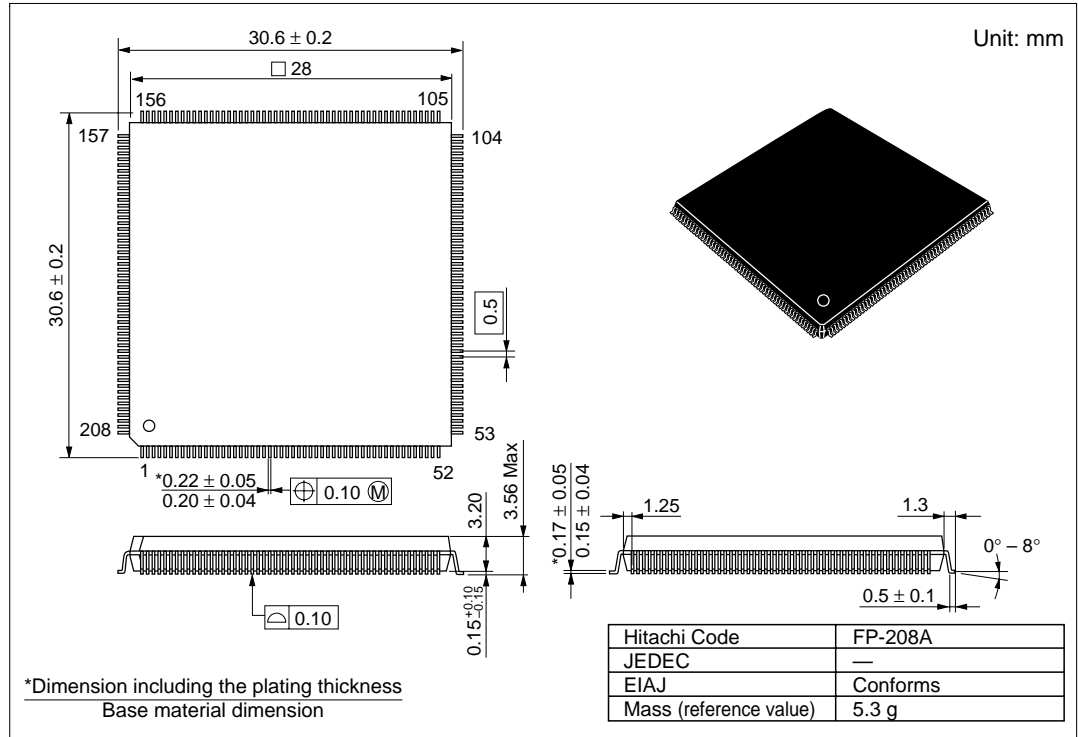


図 D.1 SH7052F/SH7053F/SH7054F の外形寸法図 (FP-208A)

SH7052F-ZTAT™、SH7053F-ZTAT™、SH7054F-ZTAT™
ハードウェアマニュアル
発行年月 平成11年3月 第1版
平成12年11月 第3版
発行 株式会社 日立製作所
半導体グループ電子統括営業本部
編集 株式会社 日立小平セミコン
技術ドキュメントグループ
©株式会社 日立製作所 1999

SH-2 SH7052 F-ZTAT™、SH7053 F-ZTAT™、SH7054 F-ZTAT™
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-201B