

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# H8/3947 シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3945  
H8/3946  
H8/3947

HD6433945  
HD6433946  
HD6473947  
HD6433947

## ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。  
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。  
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

---

## はじめに

---

H8/300Lシリーズは、高速H8/300L CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPUは、H8/300CPUと互換性のある命令体系を備えています。

H8/3947シリーズは、システム構成に必要な周辺機能として、I<sup>2</sup>Cバスインタフェース、8種類のタイマ、8ビットPWM、シリアルコミュニケーションインタフェース、A/D変換器を内蔵しています。I<sup>2</sup>Cバスインタフェースによって機器内通信を行うシステムの組み込み用マイコンとして活用できます。

本マニュアルは、H8/3947シリーズのハードウェアについて記載しています。命令の詳細については、「H8/300Lシリーズ プログラミングマニュアル」をあわせてご覧ください。

---

# 目次

---

---

## 第1章 概要

---

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置	1-6
1.3.2	端子機能	1-7

---

## 第2章 CPU

---

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-26
2.5.7	システム制御命令	2-28
2.5.8	ブロック転送命令	2-29
2.6	基本動作タイミング	2-30
2.6.1	内蔵メモリ (RAM、ROM)	2-30
2.6.2	内蔵周辺モジュール	2-30
2.7	CPUの状態	2-32
2.7.1	概要	2-32



2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33
2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.9	使用上の注意事項	2-37
2.9.1	データアクセスに関する注意事項	2-37
2.9.2	ビット操作命令使用上の注意事項	2-39
2.9.3	EEPMOV命令使用上の注意事項	2-45

---

### 第3章 例外処理

---

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割り込み	3-15
3.3.4	内部割り込み	3-16
3.3.5	割り込み動作	3-16
3.3.6	割り込み応答時間	3-21
3.4	使用上の注意事項	3-22
3.4.1	スタック領域に関する使用上の注意事項	3-22
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-23

---

### 第4章 クロック発振器

---

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-5
4.4	プリスケアラ	4-6
4.5	発振子に関する注意事項	4-6

---

### 第5章 低消費電力モード

---

5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8

5.2.2	スリープモードの解除	5-8
5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10
5.4	ウォッチモード	5-11
5.4.1	ウォッチモードへの遷移	5-11
5.4.2	ウォッチモードの解除	5-11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-11
5.5	サブスリープモード	5-12
5.5.1	サブスリープモードへの遷移	5-12
5.5.2	サブスリープモードの解除	5-12
5.6	サブアクティブモード	5-13
5.6.1	サブアクティブモードへの遷移	5-13
5.6.2	サブアクティブモードの解除	5-13
5.6.3	サブアクティブモードの動作周波数について	5-13
5.7	アクティブ(中速)モード	5-14
5.7.1	アクティブ(中速)モードへの遷移	5-14
5.7.2	アクティブ(中速)モードの解除	5-14
5.7.3	アクティブ(中速)モードの動作周波数について	5-14
5.8	直接遷移	5-15

---

## 第 6 章 ROM

---

6.1	概要	6-1
6.1.1	ブロック図	6-1
6.2	PROMモード	6-2
6.2.1	PROMモードの設定	6-2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6-2
6.3	プログラミング	6-5
6.3.1	書き込みとベリファイ	6-6
6.3.2	書き込み時の注意	6-9
6.4	書き込み後の信頼性	6-10

---

## 第 7 章 RAM

---

7.1	概要	7-1
7.1.1	ブロック図	7-1

8.1	概要	8-1
8.2	ポート1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-8
8.2.4	端子状態	8-10
8.2.5	入力プルアップMOS	8-10
8.3	ポート2	8-11
8.3.1	概要	8-11
8.3.2	レジスタの構成と説明	8-11
8.3.3	端子機能	8-15
8.3.4	端子状態	8-16
8.4	ポート3	8-17
8.4.1	概要	8-17
8.4.2	レジスタの構成と説明	8-17
8.4.3	端子機能	8-19
8.4.4	端子状態	8-20
8.5	ポート4	8-21
8.5.1	概要	8-21
8.5.2	レジスタの構成と説明	8-21
8.5.3	端子機能	8-23
8.5.4	端子状態	8-24
8.6	ポート5	8-25
8.6.1	概要	8-25
8.6.2	レジスタの構成と説明	8-25
8.6.3	端子機能	8-27
8.6.4	端子状態	8-28
8.6.5	入力プルアップMOS	8-28
8.7	ポート6	8-29
8.7.1	概要	8-29
8.7.2	レジスタの構成と説明	8-29
8.7.3	端子機能	8-31
8.7.4	端子状態	8-31
8.7.5	入力プルアップMOS	8-31
8.8	ポート7	8-32
8.8.1	概要	8-32
8.8.2	レジスタの構成と説明	8-32
8.8.3	端子機能	8-34
8.8.4	端子状態	8-34

8.8.5	入力プルアップMOS	8-34
8.9	ポート8	8-35
8.9.1	概要	8-35
8.9.2	レジスタの構成と説明	8-35
8.9.3	端子機能	8-37
8.9.4	端子状態	8-37
8.10	ポート9	8-38
8.10.1	概要	8-38
8.10.2	レジスタの構成と説明	8-38
8.10.3	端子機能	8-40
8.10.4	端子状態	8-41
8.11	ポートA	8-42
8.11.1	概要	8-42
8.11.2	レジスタの構成と説明	8-42
8.11.3	端子機能	8-44
8.11.4	端子状態	8-44
8.12	ポートB	8-45
8.12.1	概要	8-45
8.12.2	レジスタの構成と説明	8-45
8.12.3	端子機能	8-46
8.12.4	端子状態	8-46
8.13	ポートC	8-47
8.13.1	概要	8-47
8.13.2	レジスタの構成と説明	8-47
8.13.3	端子機能	8-48
8.13.4	端子状態	8-48

---

## 第9章 タイマ

---

9.1	概要	9-1
9.2	タイマA	9-3
9.2.1	概要	9-3
9.2.2	各レジスタの説明	9-5
9.2.3	動作説明	9-7
9.2.4	タイマAの動作モード	9-8
9.3	タイマB1	9-9
9.3.1	概要	9-9
9.3.2	各レジスタの説明	9-10
9.3.3	動作説明	9-13
9.3.4	タイマB1の動作モード	9-14

9.4	タイマB2	9-15
9.4.1	概要	9-15
9.4.2	各レジスタの説明	9-16
9.4.3	動作説明	9-19
9.4.4	タイマB2の動作モード	9-20
9.5	タイマB3	9-21
9.5.1	概要	9-21
9.5.2	各レジスタの説明	9-22
9.5.3	動作説明	9-25
9.5.4	タイマB3の動作モード	9-26
9.6	タイマC	9-27
9.6.1	概要	9-27
9.6.2	各レジスタの説明	9-30
9.6.3	動作説明	9-33
9.6.4	タイマCの動作モード	9-34
9.7	タイマF	9-35
9.7.1	概要	9-35
9.7.2	各レジスタの説明	9-38
9.7.3	CPUとのインタフェース	9-45
9.7.4	動作説明	9-47
9.7.5	使用上の注意事項	9-49
9.8	タイマG	9-51
9.8.1	概要	9-51
9.8.2	各レジスタの説明	9-53
9.8.3	ノイズ除去回路	9-57
9.8.4	動作説明	9-58
9.8.5	タイマGの使用例	9-62
9.8.6	使用上の注意事項	9-63
9.9	タイマH	9-67
9.9.1	概要	9-67
9.9.2	各レジスタの説明	9-70
9.9.3	動作説明	9-75
9.9.4	割り込み要因	9-79
9.9.5	タイマHの使用例	9-79
9.9.6	使用上の注意事項	9-80

---

## 第10章 シリアルコミュニケーションインタフェース

---

10.1	概要	10-1
10.2	SCI3	10-2
10.2.1	概要	10-2

10.2.2	各レジスタの説明	10-5
10.2.3	動作概要	10-22
10.2.4	調歩同期式モード時の動作説明	10-26
10.2.5	クロック同期式モード時の動作説明	10-35
10.2.6	マルチプロセッサ通信機能	10-42
10.2.7	割り込み要因	10-47
10.2.8	使用上の注意事項	10-48
10.3	I <sup>2</sup> Cバスインターフェース	10-53
10.3.1	概要	10-53
10.3.2	各レジスタの説明	10-57
10.3.3	動作説明	10-66
10.3.4	使用上の注意事項	10-78

---

## 第11章 8ビットPWM

---

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	PWMコントロールレジスタ (PWCR)	11-4
11.2.2	PWMデータレジスタ0 (PWDR0)	11-4
11.2.3	PWMデータレジスタ1 (PWDR1)	11-5
11.2.4	PWMデータレジスタ2 (PWDR2)	11-5
11.2.5	PWMデータレジスタ3 (PWDR3)	11-5
11.2.6	PWMデータレジスタ4 (PWDR4)	11-6
11.2.7	PWMデータレジスタ5 (PWDR5)	11-6
11.2.8	PWMデータレジスタ6 (PWDR6)	11-6
11.2.9	PWMデータレジスタ7 (PWDR7)	11-7
11.3	動作説明	11-8
11.4	使用上の注意	11-11

---

## 第12章 A/D変換器

---

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/Dリザルトレジスタ (ADRR)	12-4

12.2.2	A/Dモードレジスタ (AMR) .....	12-4
12.2.3	A/Dスタートレジスタ (ADSR) .....	12-6
12.3	動作説明 .....	12-7
12.3.1	A/D変換動作 .....	12-7
12.3.2	外部トリガによるA/D変換器の起動 .....	12-7
12.4	割り込み要因 .....	12-8
12.5	使用例 .....	12-8
12.6	使用上の注意 .....	12-12

---

## 第13章 電気的特性

---

13.1	絶対最大定格 .....	13-1
13.2	電気的特性 .....	13-2
13.2.1	電源電圧と動作範囲 .....	13-2
13.2.2	DC特性 .....	13-4
13.2.3	AC特性 .....	13-9
13.2.4	A/D変換器特性 .....	13-11
13.3	動作タイミング .....	13-12
13.4	出力負荷回路 .....	13-15
13.5	電気的特性参考図 .....	13-16

---

## 付録

---

A.	命令 .....	A-1
A.1	命令一覧 .....	A-1
A.2	オペレーションコードマップ .....	A-11
A.3	命令実行ステート数 .....	A-12
B.	レジスタ一覧 .....	B-1
B.1	I/Oレジスタ一覧(1) .....	B-1
B.2	I/Oレジスタ一覧(2) .....	B-5
C.	I/Oポートブロック図 .....	C-1
C.1	ポート1ブロック図 .....	C-1
C.2	ポート2ブロック図 .....	C-6
C.3	ポート3ブロック図 .....	C-11
C.4	ポート4ブロック図 .....	C-12
C.5	ポート5ブロック図 .....	C-16
C.6	ポート6ブロック図 .....	C-17
C.7	ポート7ブロック図 .....	C-18
C.8	ポート8ブロック図 .....	C-19
C.9	ポート9ブロック図 .....	C-20
C.10	ポートAブロック図 .....	C-27
C.11	ポートBブロック図 .....	C-28

C.12 ポートCブロック図.....	C - 29
D. 各処理状態におけるポートの状態.....	D - 1
E. 外形寸法図.....	E - 1



# 1. 概要

---

## 第 1 章 目次

1. 1	概要	1 - 1
1. 2	内部ブロック図	1 - 5
1. 3	端子説明	1 - 6
1. 3. 1	ピン配置	1 - 6
1. 3. 2	端子機能	1 - 7

---

## 1.1 概要

H8/300Lシリーズは、高速H8/300L CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

H8/3947シリーズは、Philips社の提唱するI<sup>2</sup>Cバスインタフェースを内蔵したH8/300Lシリーズのシングルチップマイクロコンピュータで、周辺機能として2チャンネルのI<sup>2</sup>Cバスインタフェース、8種類のタイマ、8チャンネルの8ビットPWM、シリアルコミュニケーションインタフェース、A/D変換器などを内蔵しており、I<sup>2</sup>Cバスインタフェースによる機器内通信を行うシステムの組み込み用マイコンに最適な構成となっています。

H8/3947には、ユーザサイドで自由にプログラムの書き込みができるPROMを内蔵したZTAT<sup>®</sup>\*版もあります。

H8/3947シリーズの特長を表1.1に示します。

【注】\* ZTATは(株)日立製作所の登録商標です。

表1.1 特長(1)

項目	仕様
CPU	<p>高速H8/300L CPU</p> <p>(1) 汎用レジスタ方式</p> <ul style="list-style-type: none"> <li>・汎用レジスタ：8ビット×16本 (16ビット×8本としても使用可能)</li> </ul> <p>(2) 高速演算</p> <ul style="list-style-type: none"> <li>・最高動作周波数：5 MHz</li> <li>・加減算：0.4 μs (φ = 5 MHz動作時)</li> <li>・乗除算：2.8 μs (φ = 5 MHz動作時)</li> <li>・32 kHzサブクロックによる動作可能</li> </ul> <p>(3) H8/300 CPUと互換性のある命令体系</p> <ul style="list-style-type: none"> <li>・命令フォーマットは2バイトまたは4バイト長</li> <li>・基本演算はレジスタ-レジスタ間で実行</li> <li>・MOV命令によるメモリー-レジスタ間データ転送</li> </ul> <p>(4) 特長ある命令</p> <ul style="list-style-type: none"> <li>・乗算命令 (8ビット×8ビット)</li> <li>・除算命令 (16ビット÷8ビット)</li> <li>・ビットアキュムレータ命令</li> <li>・レジスタ間接指定によりビット位置の指定が可能</li> </ul>
割り込み	<p>38種類の割り込み要因</p> <ul style="list-style-type: none"> <li>・外部割り込み要因：14要因 (NMI、IRQ<sub>4</sub>～IRQ<sub>0</sub>、WKP<sub>7</sub>～WKP<sub>0</sub>)</li> <li>・内部割り込み要因：24要因</li> </ul>

表 1.1 特長(2)

項 目	仕 様
クロック発振器	2種類のクロック発振器内蔵 <ul style="list-style-type: none"> <li>・システムクロック発振器：1～10MHz</li> <li>・サブクロック発振器：32.768kHz</li> </ul>
低消費電力モード	6種類の低消費電力モード <ul style="list-style-type: none"> <li>・スリープモード</li> <li>・スタンバイモード</li> <li>・ウォッチモード</li> <li>・サブスリープモード</li> <li>・サブアクティブモード</li> <li>・アクティブ（中速）モード</li> </ul>
メモリ	大容量メモリ内蔵 <p>H 8 / 3 9 4 5 ・ ROM : 40k バイト ・ RAM : 2 k バイト</p> <p>H 8 / 3 9 4 6 ・ ROM : 48k バイト ・ RAM : 2 k バイト</p> <p>H 8 / 3 9 4 7 ・ ROM : 60k バイト ・ RAM : 2 k バイト</p>
I/Oポート	I/Oポート86本 <ul style="list-style-type: none"> <li>・入出力端子：69本（うちNMOSオープンドレイン出力（定格+15V）8本、大電流出力7本）</li> <li>・入力端子：17本</li> </ul>
タイマ	8種類のタイマ内蔵 <p>(1) タイマA：8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・システムクロック (<math>\phi</math>)*を分周した8種類の内部クロックまたは時計用クロック (<math>\phi_w</math>)*を分周した4種類のクロックによりカウントアップ可能</li> </ul> <p>(2) タイマB1：8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能</li> <li>・オートリロード機能可能</li> </ul> <p>(3) タイマB2：8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能</li> <li>・2本のイベント入力から選択可能</li> <li>・オートリロード機能可能</li> </ul> <p>【注】* <math>\phi</math>、<math>\phi_w</math> の定義は「第4章 クロック発振器」を参照してください。</p>

表 1.1 特長(3)

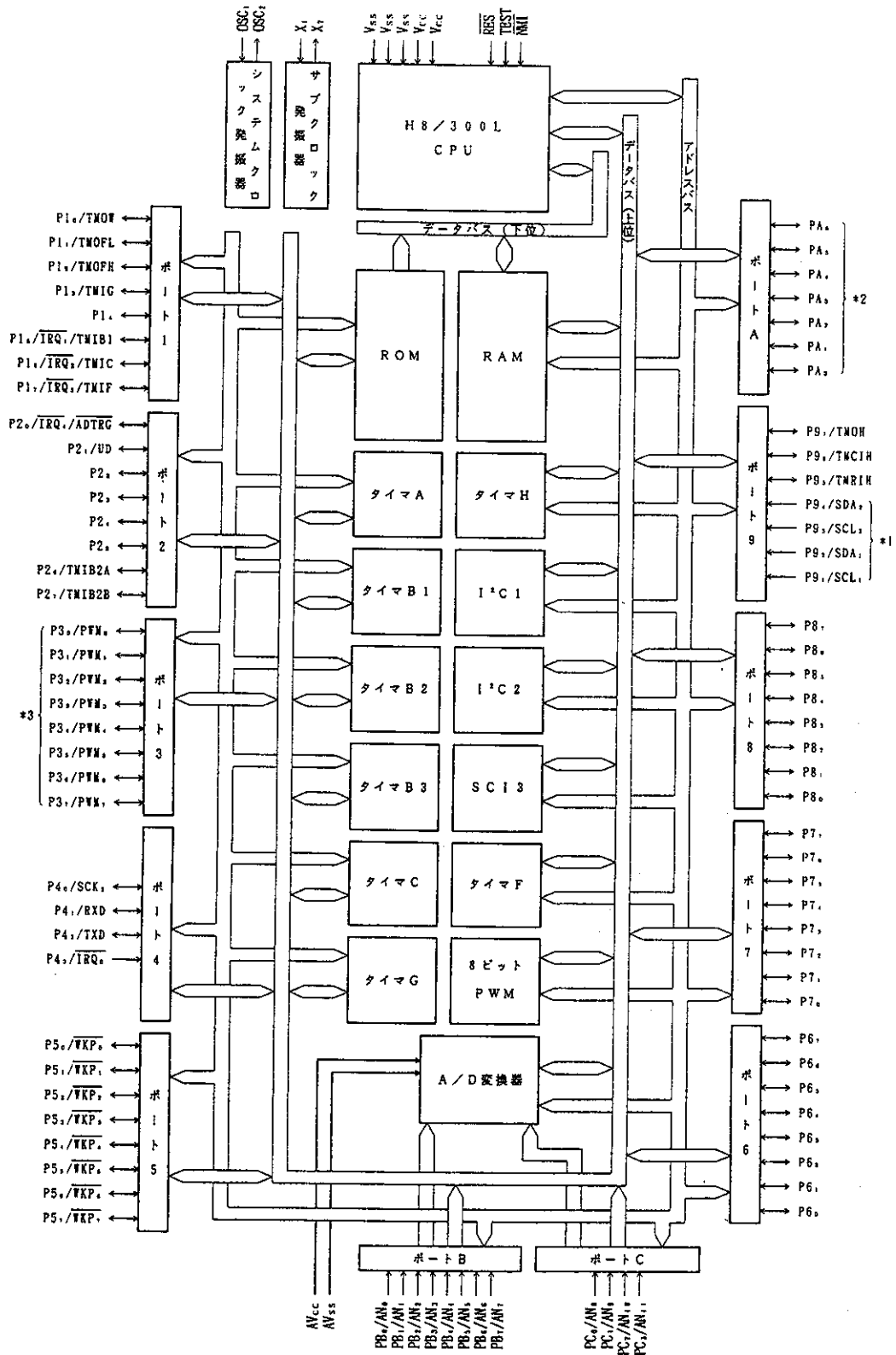
項 目	仕 様
タイマ	<p>(4) タイマB3 : 8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・ 7種類の内部クロックによりカウントアップ可能</li> <li>・ オートリロード機能可能</li> </ul> <p>(5) タイマC : 8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・ 7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ/ダウン可能</li> <li>・ オートリロード機能可能</li> </ul> <p>(6) タイマF : 16ビットのタイマ</p> <ul style="list-style-type: none"> <li>・ 独立した2本の8ビットタイマとして使用可能</li> <li>・ 4種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能</li> <li>・ コンペアマッチ機能によりトグル出力可能</li> </ul> <p>(7) タイマG : 8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・ 4種類の内部クロックによりカウントアップ可能</li> <li>・ インプットキャプチャ機能内蔵(ノイズ除去回路内蔵)</li> </ul> <p>(8) タイマH : 8ビットのタイマ</p> <ul style="list-style-type: none"> <li>・ 3種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能</li> <li>・ コンペアマッチ機能により波形出力可能</li> </ul>
シリアルコミュニケーションインタフェース (含む、I <sup>2</sup> Cバス インタフェース)	<p>3チャンネルのシリアルコミュニケーションインタフェース内蔵</p> <p>(1) SCI3 : 8ビットクロック同期式/調歩同期式</p> <ul style="list-style-type: none"> <li>・ マルチプロセッサ通信機能内蔵</li> </ul> <p>(2) I<sup>2</sup>C1 : I<sup>2</sup>Cバスインタフェース1</p> <ul style="list-style-type: none"> <li>・ シングルマスタモード/スレーブモード内蔵</li> </ul> <p>(3) I<sup>2</sup>C2 : I<sup>2</sup>Cバスインタフェース2</p> <ul style="list-style-type: none"> <li>・ シングルマスタモード/スレーブモード内蔵</li> </ul>
8ビットPWM	<p>8チャンネルの8ビットPWM内蔵</p> <ul style="list-style-type: none"> <li>・ 出力端子は全て中耐圧(+12V)</li> <li>・ 外部にローパスフィルタを接続することで8ビットD/A変換器として使用可能</li> </ul>
A/D変換器	<p>抵抗ラダー方式による逐次比較方式の8ビットA/D変換器</p> <ul style="list-style-type: none"> <li>・ 12チャンネルのアナログ入力端子</li> <li>・ 変換時間 : 1チャンネル当たり31/φまたは62/φ</li> </ul>

表 1.1 特長(4)

項 目	仕 様			
製品ラインアップ	製 品 型 名		パッケージ	ROM/RAM
	マスクROM版	Z T A T ® 版		サイズ
	HD6433945F	——	100ピンQFP (FP-100A)	ROM40kバイト RAM2kバイト
	HD6433946F	——	100ピンQFP (FP-100A)	ROM48kバイト RAM2kバイト
	HD6433947F	HD6473947F	100ピンQFP (FP-100A)	ROM60kバイト RAM2kバイト
	HD6433945E	——	100ピンQFP (FP-100A)	ROM40kバイト RAM2kバイト WTR (I仕様)
	HD6433946E	——	100ピンQFP (FP-100A)	ROM48kバイト RAM2kバイト WTR (I仕様)
	HD6433947E	HD6473947E	100ピンQFP (FP-100A)	ROM60kバイト RAM2kバイト WTR (I仕様)

## 1.2 内部ブロック図

H8/3947シリーズの内部ブロック図を図1.1に示します。



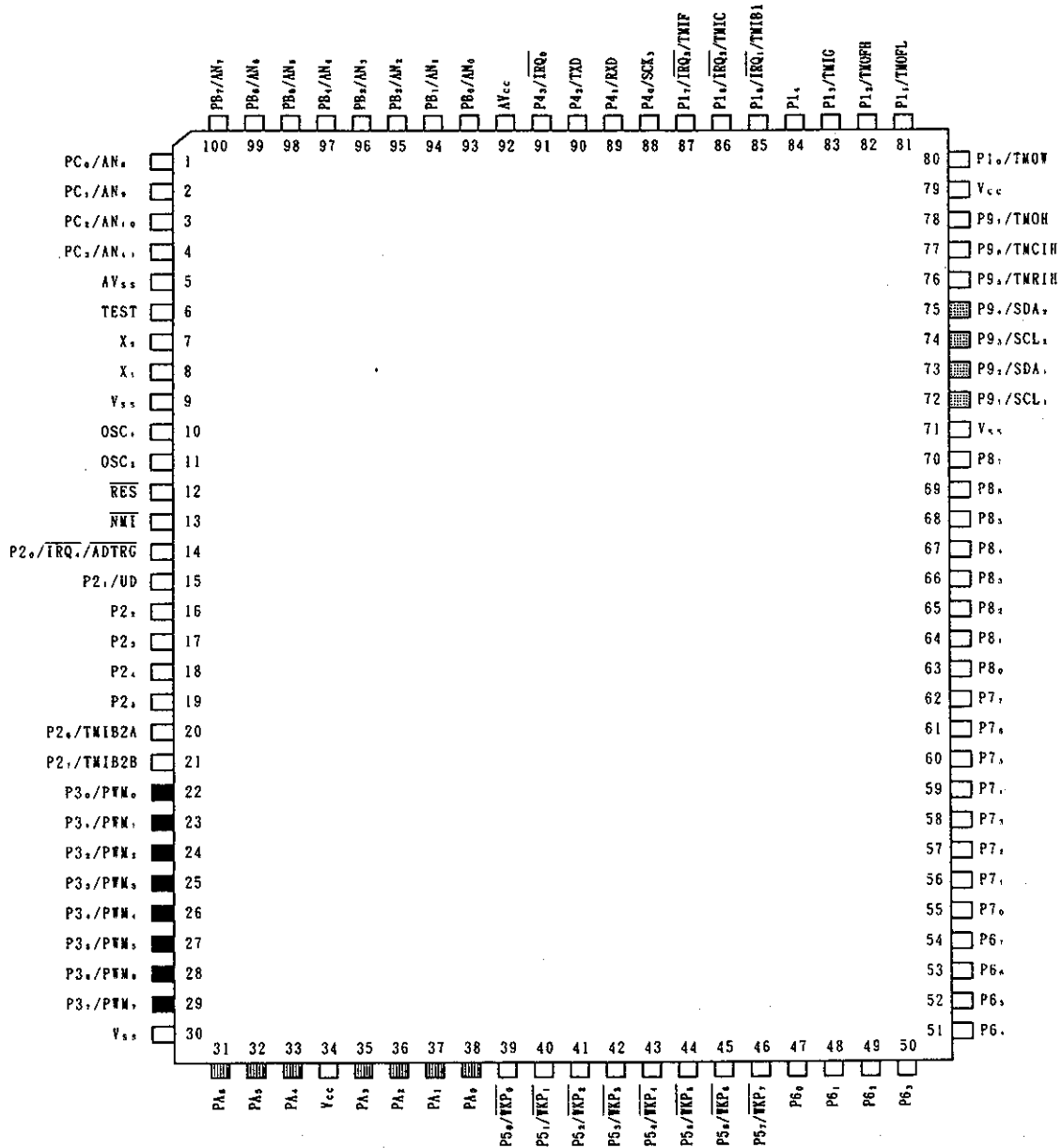
- 【注】 \*1 I<sup>2</sup>Cバスインタフェース使用時は入出力  
 \*2 ポート使用時は入力専用  
 \*3 大電流ポート  
 \*4 中耐圧NMOSオープンドレインポート(+12V)

図1.1 内部ブロック図

# 1. 3 端子説明

## 1. 3. 1 ピン配置

H 8 / 3 9 4 7 シリーズのピン配置図を図 1. 2 に示します。



<記号説明>




-  P9<sub>1</sub>~P9<sub>4</sub>は、標準耐圧NMOSオープンドレインポート  
(ただし、I<sup>2</sup>Cバスインタフェース使用時のみ)
-  P3<sub>0</sub>~P3<sub>7</sub>は、中耐圧NMOSオープンドレインポート (+12V)
-  PA<sub>0</sub>~PA<sub>6</sub>は、大電流ポート

図 1. 2 ピン配置図 (FP-100A : 上面図)

### 1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能(1)

分類	記号	ピン番号	入出力	機能
		FP-100A		
電源	V <sub>cc</sub>	34 79	入力	<b>電源</b> V <sub>cc</sub> 端子は、全端子、システムの電源 (+5V) に接続してください。
	V <sub>ss</sub>	9 30 71	入力	<b>グランド</b> V <sub>ss</sub> 端子は、全端子、システムの電源 (0V) に接続してください。
	AV <sub>cc</sub>	92	入力	<b>アナログ電源</b> A/D変換器用電源端子です。A/D変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AV <sub>ss</sub>	5	入力	<b>アナロググランド</b> A/D変換器用グランド端子です。システムの電源 (0V) に接続してください。
クロック	OSC <sub>1</sub>	10	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第4章 クロック発振器」を参照してください。
	OSC <sub>2</sub>	11	出力	
	X <sub>1</sub>	8	入力	32.768kHzの水晶発振子を接続します。接続例については「第4章 クロック発振器」を参照してください。
	X <sub>2</sub>	7	出力	
システム制御	$\overline{\text{RES}}$	12	入力	<b>リセット</b> この端子を Low レベルにすると、リセット状態になります。
	TEST	6	入力	<b>テスト端子</b> ユーザは、使用できません。 V <sub>ss</sub> 電位に接地してください。
割り込み	$\overline{\text{NMI}}$	13	入力	<b>ノンマスカブル端子</b> 立ち上がりエッジセンス/立ち下がりエッジセンスを選択可能なノンマスカブル割り込み入力端子です。



表 1. 2 端子機能(2)

分類	記号	ピン番号	入出力	機能
		FP-100A		
割り込み	$\overline{\text{IRQ}}_0$	91	入力	外部割り込み要求4~0 立ち上がりエッジセンスまたは立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_1$	85		
$\overline{\text{IRQ}}_2$	86			
$\overline{\text{IRQ}}_3$	87			
$\overline{\text{IRQ}}_4$	14			
	$\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$	46~39	入力	ウェイクアップ割り込み要求7~0 立ち下がりエッジセンスの外部割り込み入力端子です。
タイマ	TMOW	80	出力	クロック出力 タイマA出力回路により生成された波形の出力端子です。
	TMIB1	85	入力	タイマB1イベント入力 タイマB1のカウンタに入力するイベント入力端子です。
	TMIB2A	20	入力	タイマB2イベント入力 タイマB2のカウンタに入力するイベント入力端子です。
	TMIB2B	21	入力	タイマB2イベント入力 タイマB2のカウンタに入力するイベント入力端子です。
	TMIC	86	入力	タイマCイベント入力 タイマCのカウンタに入力するイベント入力端子です。
	UD	15	入力	タイマCアップ/ダウンセレクト タイマCのカウンタのアップ/ダウンカウントを選択します。 High レベル印加でアップカウンタ、Low レベル印加でダウンカウンタとして動作します。
	TMIF	87	入力	タイマFイベント入力 タイマFのカウンタに入力するイベント入力端子です。
	TMOFL	81	出力	タイマFL出力 タイマFLアウトプットコンペア機能により生成された波形の出力端子です。

表 1. 2 端子機能(3)

分類	記号	ピン番号	入出力	機能
		FP-100A		
タイマ	TMOFH	82	出力	<u>タイマFH出力</u> タイマFHアウトプットコンペア機能により生成された波形の出力端子です。
	TMIG	83	入力	<u>タイマGキャプチャ入力</u> タイマGのインプットキャプチャの入力端子です。
	TMOH	78	出力	<u>タイマH出力</u> タイマHアウトプットコンペア機能により生成された波形の出力端子です。
	TMCIH	77	入力	<u>タイマHイベント入力</u> タイマHのカウンタに入力するイベント入力端子です。
	TMRIH	76	入力	<u>タイマHリセット入力</u> タイマHカウンタリセット入力端子です。
I/O ポート	PB <sub>7</sub> ~PB <sub>0</sub>	100~93	入力	<u>ポートB</u> 8ビットの入力端子です。
	PC <sub>3</sub> ~PC <sub>0</sub>	4~1	入力	<u>ポートC</u> 4ビットの入力端子です。
	P4 <sub>0</sub>	91	入力	<u>ポート4 (ビット3)</u> 1ビットの入力端子です。
	P4 <sub>2</sub> ~P4 <sub>0</sub>	90~88	入出力	<u>ポート4 (ビット2~ビット0)</u> 3ビットの入出力端子です。ポートコントロールレジスタ4 (PCR4) によって、1ビットごとに入出力を指定できます。
	P1 <sub>7</sub> ~P1 <sub>0</sub>	87~80	入出力	<u>ポート1</u> 8ビットの入出力端子です。ポートコントロールレジスタ1 (PCR1) によって、1ビットごとに入出力を指定できます。
	P2 <sub>7</sub> ~P2 <sub>0</sub>	21~14	入出力	<u>ポート2</u> 8ビットの入出力端子です。ポートコントロールレジスタ2 (PCR2) によって、1ビットごとに入出力を指定できます。
	P3 <sub>7</sub> ~P3 <sub>0</sub>	29~22	入出力	<u>ポート3</u> 8ビットの入出力端子です。ポートコントロールレジスタ3 (PCR3) によって、1ビットごとに入出力を指定できます。

表 1. 2 端子機能(4)

分類	記号	ピン番号	入出力	機能
		FP-100A		
I/O ポート	P5 <sub>7</sub> ~P5 <sub>0</sub>	46~39	入出力	<u>ポート 5</u> 8ビットの入出力端子です。ポートコントロールレジスタ5 (PCR5) によって、1ビットごとに入出力を指定できます。
	P6 <sub>7</sub> ~P6 <sub>0</sub>	54~47	入出力	<u>ポート 6</u> 8ビットの入出力端子です。ポートコントロールレジスタ6 (PCR6) によって、1ビットごとに入出力を指定できます。
	P7 <sub>7</sub> ~P7 <sub>0</sub>	62~55	入出力	<u>ポート 7</u> 8ビットの入出力端子です。ポートコントロールレジスタ7 (PCR7) によって、1ビットごとに入出力を指定できます。
	P8 <sub>7</sub> ~P8 <sub>0</sub>	70~63	入出力	<u>ポート 8</u> 8ビットの入出力端子です。ポートコントロールレジスタ8 (PCR8) によって、1ビットごとに入出力を指定できます。
	P9 <sub>7</sub> ~P9 <sub>5</sub>	78~76	入出力	<u>ポート 9 (ビット 7~ビット 5)</u> 3ビットの入出力端子です。ポートコントロールレジスタ9 (PCR9) によって、1ビットごとに入出力を指定できます。
	P9 <sub>4</sub> ~P9 <sub>1</sub>	75~72	入力	<u>ポート 9 (ビット 4~ビット 1)</u> 4ビットの入力端子です。
	PA <sub>6</sub> ~PA <sub>0</sub>	31~33 35~38	入出力	<u>ポート A</u> 7ビットの入出力端子です。ポートコントロールレジスタA (PCRA) によって、1ビットごとに入出力を指定できます。
シリアル コミュニ ケーショ ンインタ フェース (I <sup>2</sup> C1、 I <sup>2</sup> C2)	SCL <sub>1</sub>	72	入出力	<u>I<sup>2</sup>C 1 クロック入出力</u> I <sup>2</sup> C 1 のクロック入出力端子です。
	SDA <sub>1</sub>	73	入出力	<u>I<sup>2</sup>C 1 データ入出力</u> I <sup>2</sup> C 1 のデータ入出力端子です。
	SCL <sub>2</sub>	74	入出力	<u>I<sup>2</sup>C 2 クロック入出力</u> I <sup>2</sup> C 2 のクロック入出力端子です。
	SDA <sub>2</sub>	75	入出力	<u>I<sup>2</sup>C 2 データ入出力</u> I <sup>2</sup> C 2 のデータ入出力端子です。

表 1. 2 端子機能(5)

分類	記号	ピン番号	入出力	機能
		FP-100A		
シリアル コミュニ ケーショ ンインタ フェース (SCI3)	RXD	89	入力	SCI3受信データ入力 SCI3のデータ入力端子です。
	TXD	90	出力	SCI3送信データ出力 SCI3のデータ出力端子です。
	SCK <sub>3</sub>	88	入出力	SCI3クロック入出力 SCI3のクロック入出力端子です。
A/D 変換器	AN <sub>11</sub> ~AN <sub>0</sub>	4~1、 100~93	入力	アナログ入力(チャンネル11~チャンネル0) A/D変換器へのアナログデータ入力端子で す。
	ADTRG	14	入力	A/D変換器トリガ入力 A/D変換器の外部トリガ入力端子です。
8ビット PWM	PWM <sub>7</sub> ~PWM <sub>0</sub>	29~22	出力	8ビットPWM出力 8ビットPWMにより生成された波形の出力端 子です。

# 2. CPU

## 第 2 章 目次

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-26
2.5.7	システム制御命令	2-28
2.5.8	ブロック転送命令	2-29

2.6	基本動作タイミング	2-30
2.6.1	内蔵メモリ (RAM、ROM)	2-30
2.6.2	内蔵周辺モジュール	2-30
2.7	CPUの状態	2-32
2.7.1	概要	2-32
2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33
2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.9	使用上の注意事項	2-37
2.9.1	データアクセスに関する注意事項	2-37
2.9.2	ビット操作命令使用上の注意事項	2-39
2.9.3	EEPMOV命令使用上の注意事項	2-45

---

## 2.1 概要

H8/300L CPUは、8ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速CPUです。

### 2.1.1 特長

H8/300L CPUには、次の特長があります。

#### ■ 汎用レジスタ方式

- ・ 8ビット×16本（16ビット×8本としても使用可能）

#### ■ 55種類の基本命令

- ・ 乗除算命令
- ・ 強力なビット操作命令

#### ■ 8種類のアドレッシングモード

- ・ レジスタ直接
- ・ レジスタ間接
- ・ ディスプレースメント付レジスタ間接
- ・ ポストインクリメント／プリデクリメントレジスタ間接
- ・ 絶対アドレス
- ・ イミディエイト
- ・ プログラムカウンタ相対
- ・ メモリ間接

#### ■ 64kバイトのアドレス空間

#### ■ 高速動作

- ・ 頻出命令をすべて2～4ステートで実行

#### ・ 高速演算

8/16ビットレジスタ間加減算 0.4 $\mu$ s\*

8×8ビット乗算 2.8 $\mu$ s\*

16÷8ビット除算 2.8 $\mu$ s\*

【注】\* 数値は、 $\phi = 5$  MHz時のもの

#### ■ 低消費電力動作

- ・ SLEEP命令により低消費電力動作可能

### 2.1.2 アドレス空間

H8/300L CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

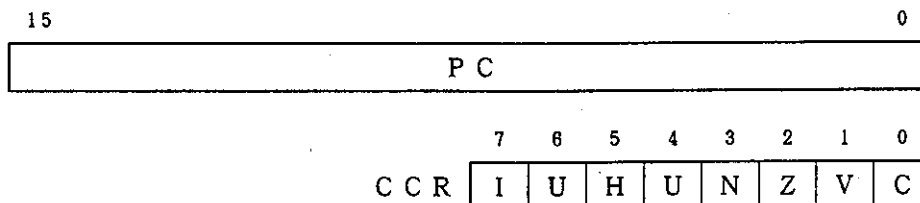
### 2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図2.1に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

#### 汎用レジスタ (Rn)

7	0	7	0
R 0 H		R 0 L	
R 1 H		R 1 L	
R 2 H		R 2 L	
R 3 H		R 3 L	
R 4 H		R 4 L	
R 5 H		R 5 L	
R 6 H		R 6 L	
R 7 H	(S P)	R 7 L	

#### コントロールレジスタ (CR)



#### <記号説明>

- SP : スタックポインタ
- PC : プログラムカウンタ
- CCR : コンディションコードレジスタ
- I : 割り込みマスクビット
- U : ユーザビット
- H : ハーフキャリフラグ
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図 2.1 CPU内部レジスタ構成



## 2.2 各レジスタの説明

### 2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R7H～R0H）と下位（R7L～R0L）を別々に使用することも、また16ビットレジスタ（R7～R0）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R7～R0）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.2に示します。

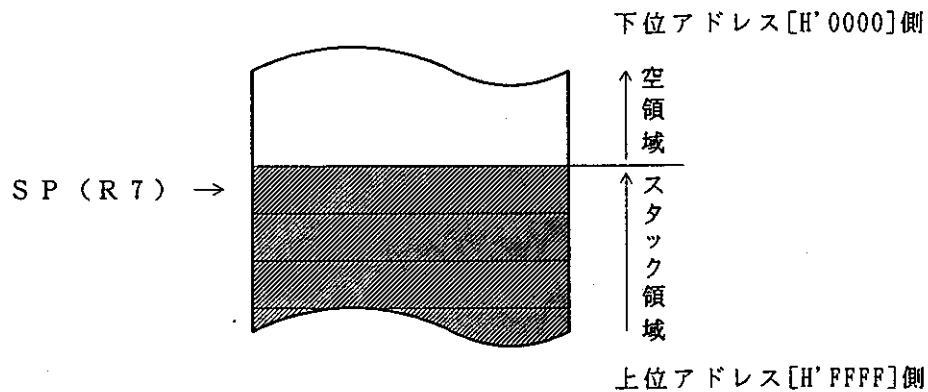


図2.2 スタックの状態

### 2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

#### (1) プログラムカウンタ（PC）

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは0とみなされます）。

## (2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

### ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリードまたはライトできます。割り込みマスクビットの詳細については「3.3 割り込み」を参照してください。

### ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

### ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。DAAおよびDAS命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

### ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

### ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

### ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

### ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

### ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- ・加算結果のキャリ
- ・減算結果のボロー
- ・シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300Lシリーズ プログラミングマニュアル」を参照してください。

### 2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタアドレス(H'0000)のロードにより初期化され、CCRのIビットは1にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7(SP)の初期値も不定です。したがって、リセット直後に、R7の初期化を行ってください。

## 2.3 データ構成

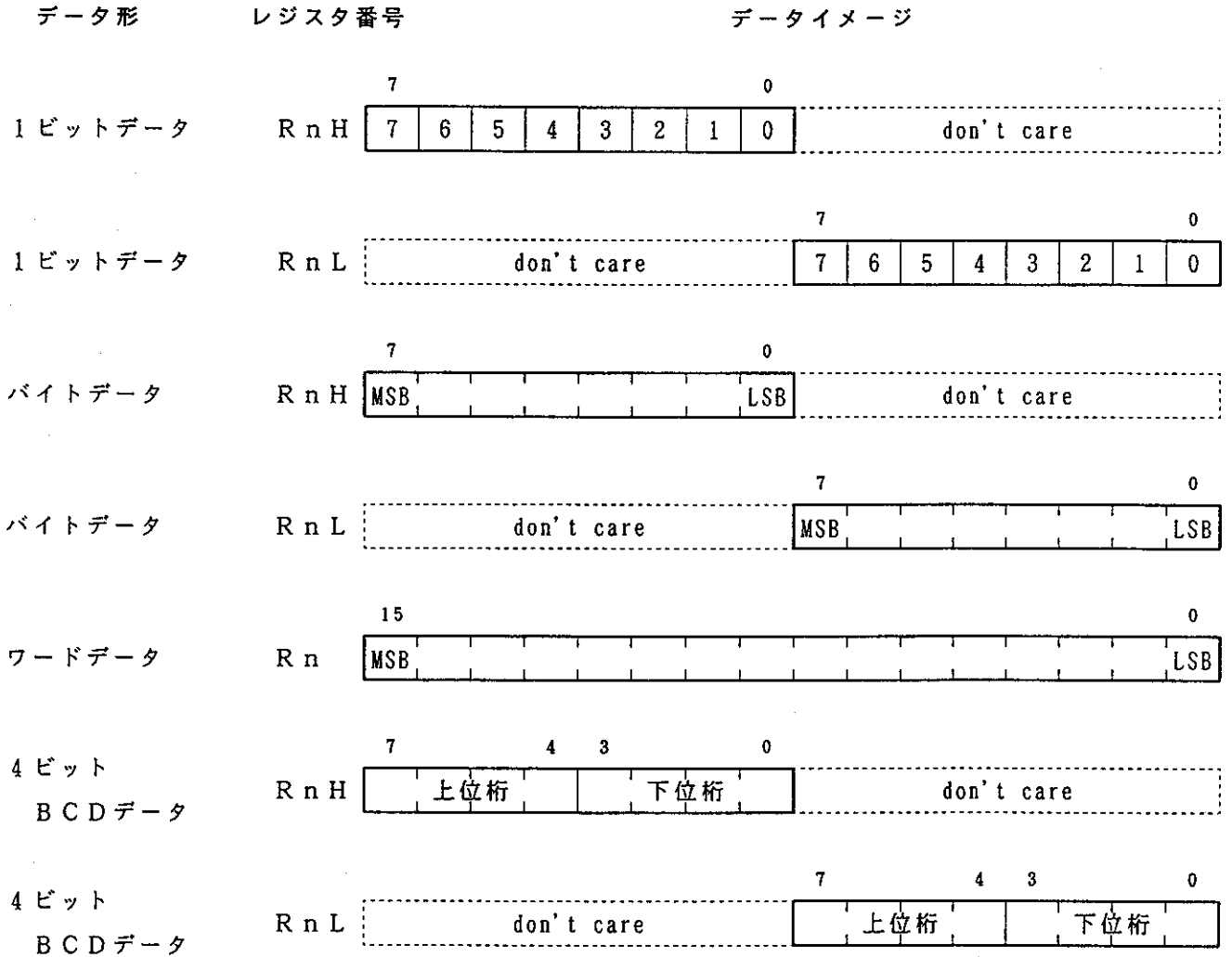
H8/300L CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット(n=0、1、2、……7)という形式でアクセスされます。

バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

### 2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.3に示します。



#### <記号説明>

R n H : 汎用レジスタ上位

R n L : 汎用レジスタ下位

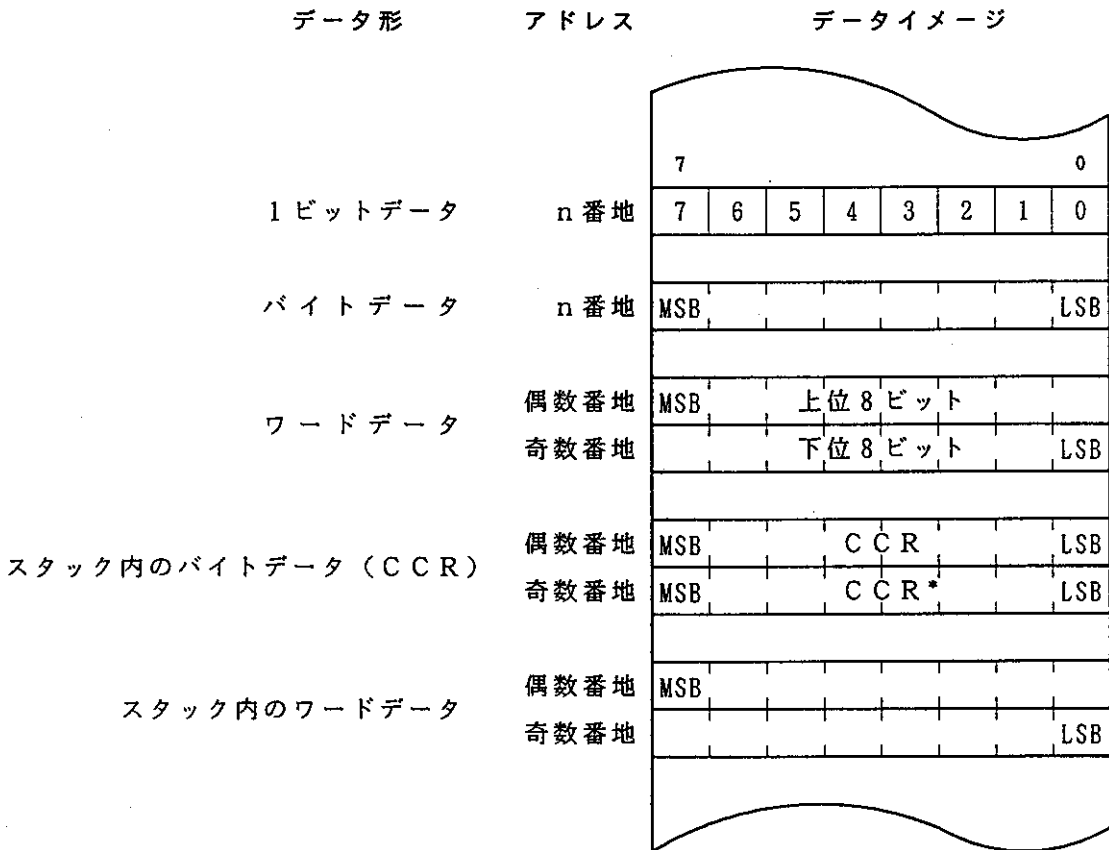
MSB : 最上位ビット

LSB : 最下位ビット

図2.3 汎用レジスタのデータ構成

### 2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。H8/300L CPUは、メモリ上のワードデータをアクセスすることができます(MOV.W命令)が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします。命令コードについても同様です。



【注】\* リターン時には無視されます。

<記号説明>

CCR: コンディションコードレジスタ

図2.4 メモリ上でのデータ構成

なお、R7をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCRは、ワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には下位8ビットは無視されます。

## 2.4 アドレッシングモード

### 2.4.1 アドレッシングモード

H8/300L CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@R n
③	ディスプレースメント付レジスタ間接	@(d:16, Rn)
④	ポストインクリメントレジスタ間接	@R n +
	プリデクリメントレジスタ間接	@ - R n
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@(d:8, PC)
⑧	メモリ間接	@@aa:8

#### ① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）の各命令です。

#### ② レジスタ間接 @R n

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

#### ③ ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3、第4バイト）の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

#### ④ ポストインクリメントレジスタ間接 @R n + / プリデクリメントレジスタ間接 @ - R n

・ポストインクリメントレジスタ間接 @R n +

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスと

して、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて1 (H'FF) となります。したがって、アクセス範囲は65280~65535 (H'FF00~H'FFFF) 番地です。

⑥ イミディエイト #xx:8 / #xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト (-63~+64ワード) です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0 (H'00) とされますので、分岐アドレスを格納できるのは0~255 (H'0000~H'00FF) 番地です。ただし、H8/300Lシリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割り込み」を参照してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

#### 2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス(EA: Effective Address)の計算法を表2.2に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト(ADD.B、ADDX、SUBX、CMP.B、AND、OR、XORの各命令)が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接(BSET、BCLR、BNOT、BTSTの各命令)および⑥イミディエイト(3ビット)が独立して使用可能です。



表 2.2 実効アドレスの計算方法(1)




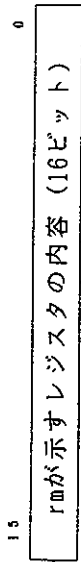

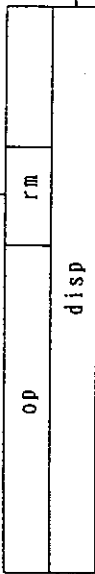
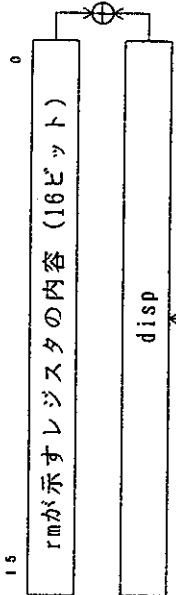
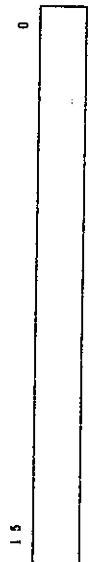
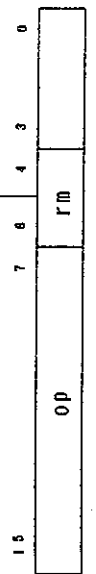
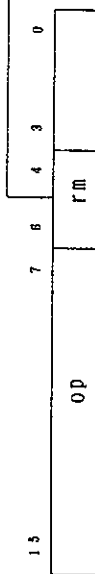
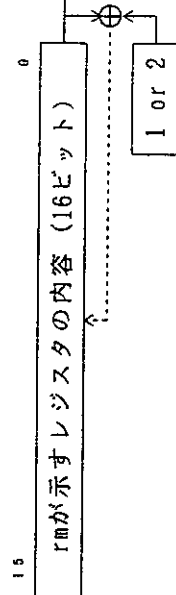
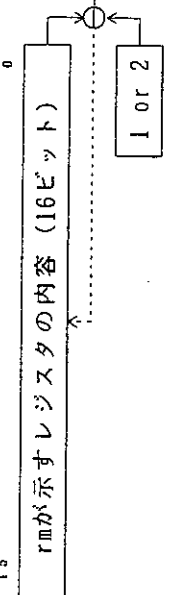


No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	レジスタ直接 Rn 		 <p>オペランドはrm/rnが示すレジスタの内容です。</p>
②	レジスタ間接 @Rn 		
③	ディスプレースメント付レジスタ間接 @(d:16, Rn) 		
④	#スタインクリメントレジスタ間接 / プリクリメントレジスタ間接 ・ #スタインクリメントレジスタ間接 @Rn +  ・ プリクリメントレジスタ間接 @-Rn 	 	  <p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>

表 2.2 実効アドレスの計算方法(2)

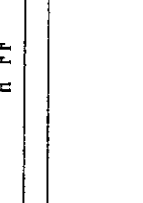
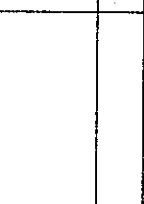
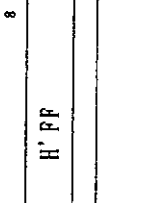
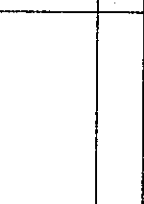
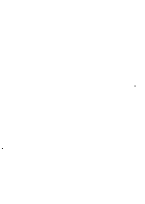
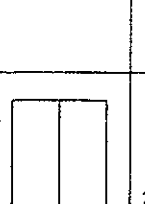
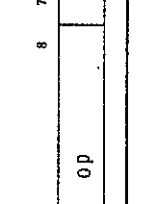
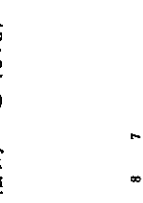
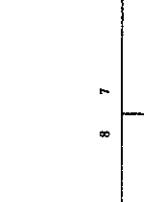
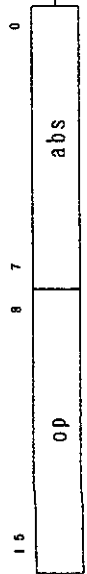
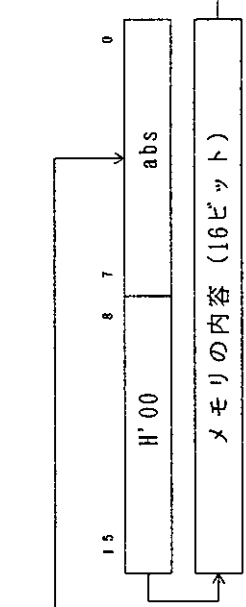
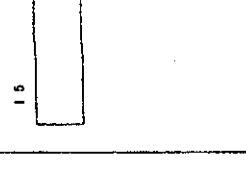
No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	<p>絶対アドレス</p> <p>@aa:8</p>  <p>@aa:16</p> 		 
⑥	<p>イミディエイト</p> <p>#xx:8</p>  <p>#xx:16</p> 		<p>オペランドはイミディエイトデータの1または2バイトデータです。</p>
⑦	<p>プログラムカウンタ相対 @ (d:8, PC)</p> 		

表 2.2 実効アドレスの計算方法(3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑧	メモリ間接@aa:8 		

<記号説明>

- rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

## 2.5 命令セット

H8/300L CPUの命令は合計55種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV、POP <sup>*1</sup> 、PUSH <sup>*1</sup>	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、 ADDS、SUBS、DAA、DAS、MULXU、 DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、 ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、 BIAND、BOR、BIOR、BXOR、BIXOR、 BLD、BILD、BST、BIST	14
分岐命令	Bcc <sup>*2</sup> 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、 XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計55種

【注】<sup>\*1</sup> POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。機械語についても同一です。

<sup>\*2</sup> Bccは条件分岐命令の総称です。

各命令の機能について表2.4から表2.11に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）
Rs	汎用レジスタ（ソース側）
Rn	汎用レジスタ
(EAd)、<EAd>	デスティネーションオペランド
(EAs)、<EAs>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3	3ビット長
: 8	8ビット長
: 16	16ビット長
( )、< >	オペランドの実効アドレスの内容

## 2.5.1 データ転送命令

データ転送命令の機能を表2.4に示します。

表2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B/W	<p>(EAs) → Rd, Rs → (EAd)</p> <p>汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。</p> <p>ワードデータはRn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8はバイトデータのみです。</p> <p>ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。</p>
POP	W	<p>@SP+ → Rn</p> <p>スタックから汎用レジスタへデータを復帰します。</p> <p>本命令はMOV.W @SP+, Rnと同一です。</p>
PUSH	W	<p>Rn → @-SP</p> <p>汎用レジスタの内容をスタックに退避します。</p> <p>本命令はMOV.W Rn, @-SPと同一です。</p>

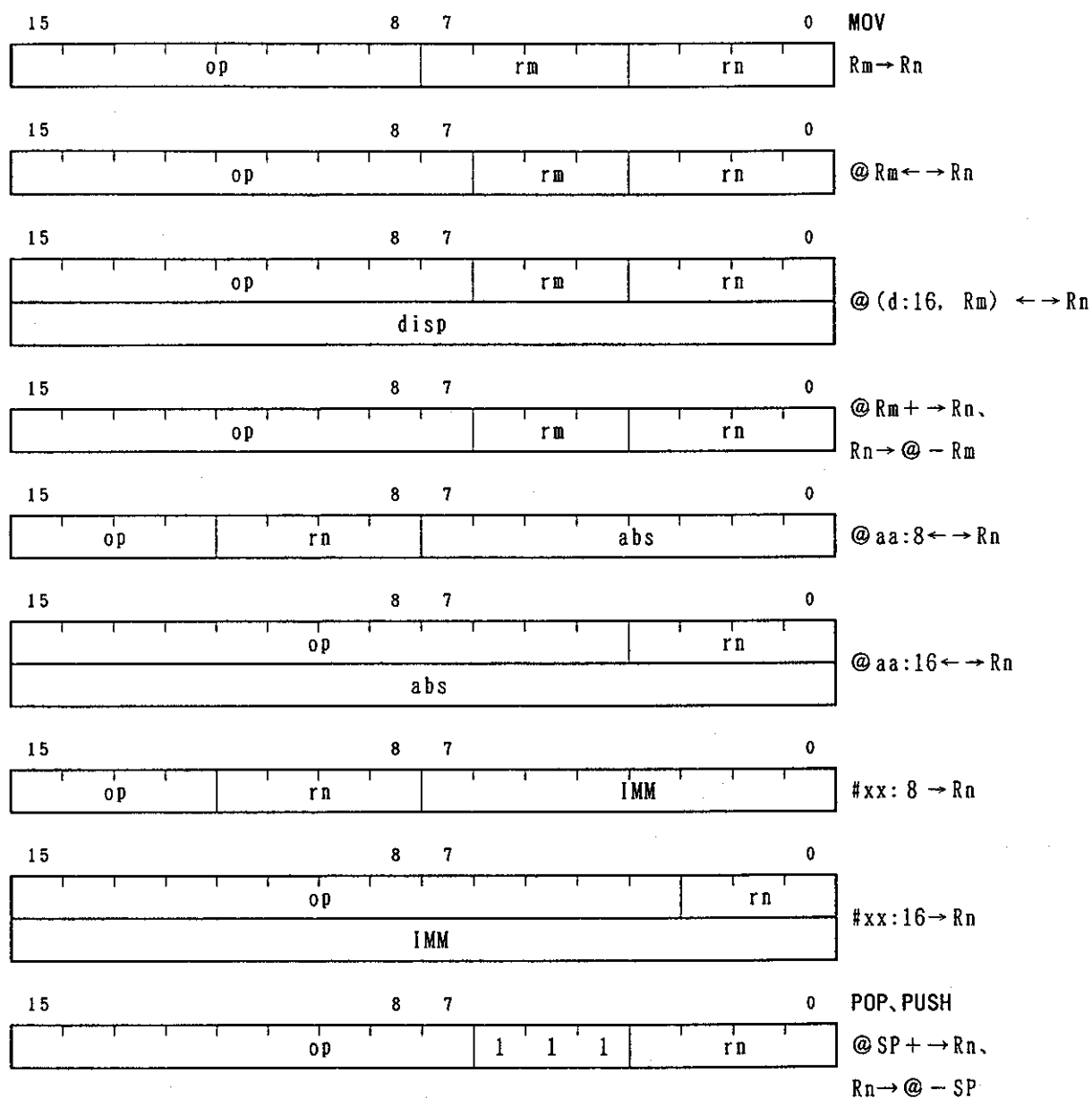
【注】\* サイズはオペランドサイズを示します。

B: バイト

W: ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.5 データ転送命令の命令フォーマット

## 2.5.2 算術演算命令

算術演算命令の機能を表2.5に示します。

表2.5 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd + \#IMM \longrightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1 \longrightarrow Rd$ 汎用レジスタに1を加減算します。
ADDS SUBS	W	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに1または2を加減算します。
DAA DAS	B	$Rd$ (10進補正) $\longrightarrow Rd$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8ビット×8ビット→16ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット余り8ビットの演算が可能です。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果をCCRに反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の2の補数 (算術的補数) をとります。

【注】\* サイズはオペランドサイズを示します。

B：バイト

W：ワード



### 2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
AND	B	$Rd \wedge Rs \longrightarrow Rd$ 、 $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \vee Rs \longrightarrow Rd$ 、 $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \longrightarrow Rd$ 、 $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】\* サイズはオペランドサイズを示します。

B：バイト

### 2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

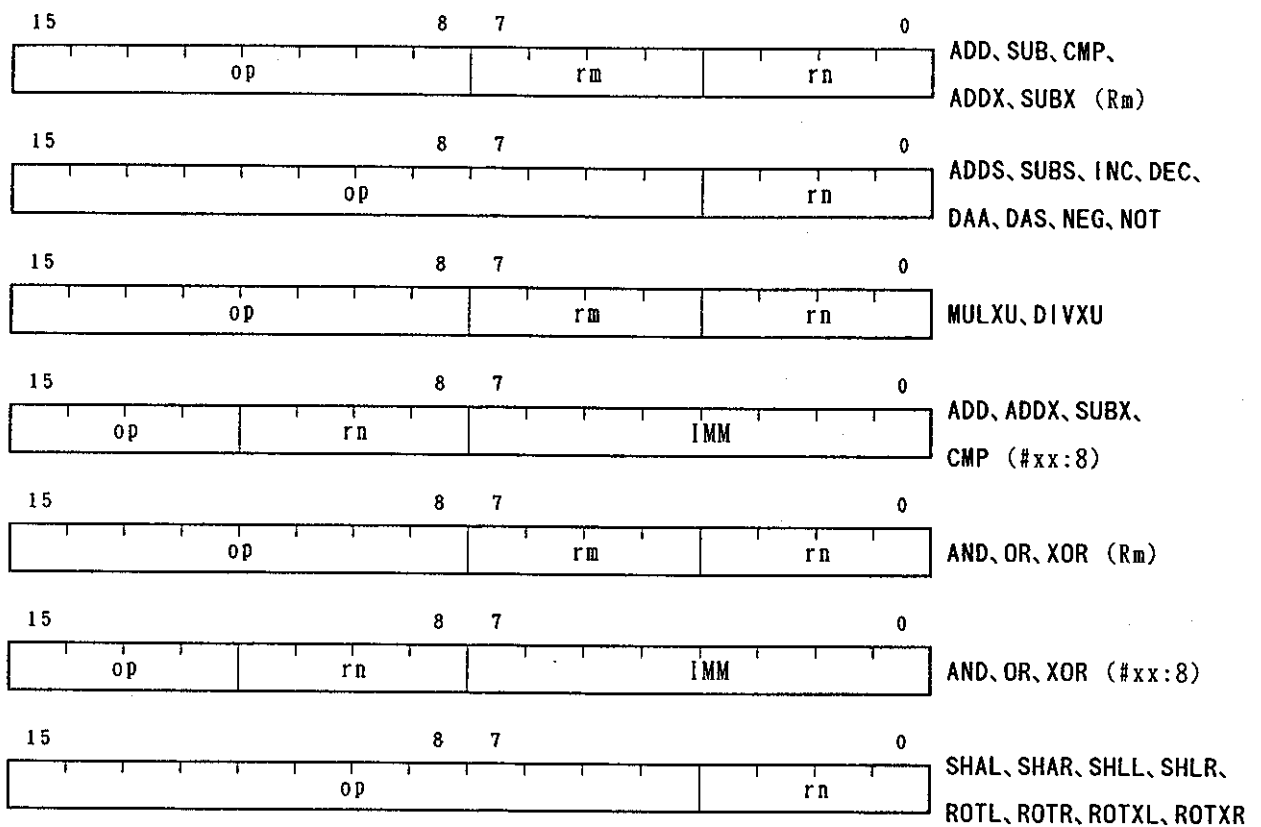
表 2.7 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B	$Rd$ (シフト処理) $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd$ (シフト処理) $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd$ (ローテート処理) $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd$ (ローテート処理) $\longrightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】\* サイズはオペランドサイズを示します。

B：バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

## 2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令(1)

命 令	サイズ*	機 能
BSET	B	$1 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BCLR	B	$0 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BNOT	B	$\sim (\text{<ビット番号> of <EA d>})$ $\longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	$\sim (\text{<ビット番号> of <EA d>}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	$C \wedge (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\text{<ビット番号> of <EA d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令(2)

命 令	サイズ*	機 能
BOR	B	$C \vee (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	$C \vee [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EA d} \rangle) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令(3)

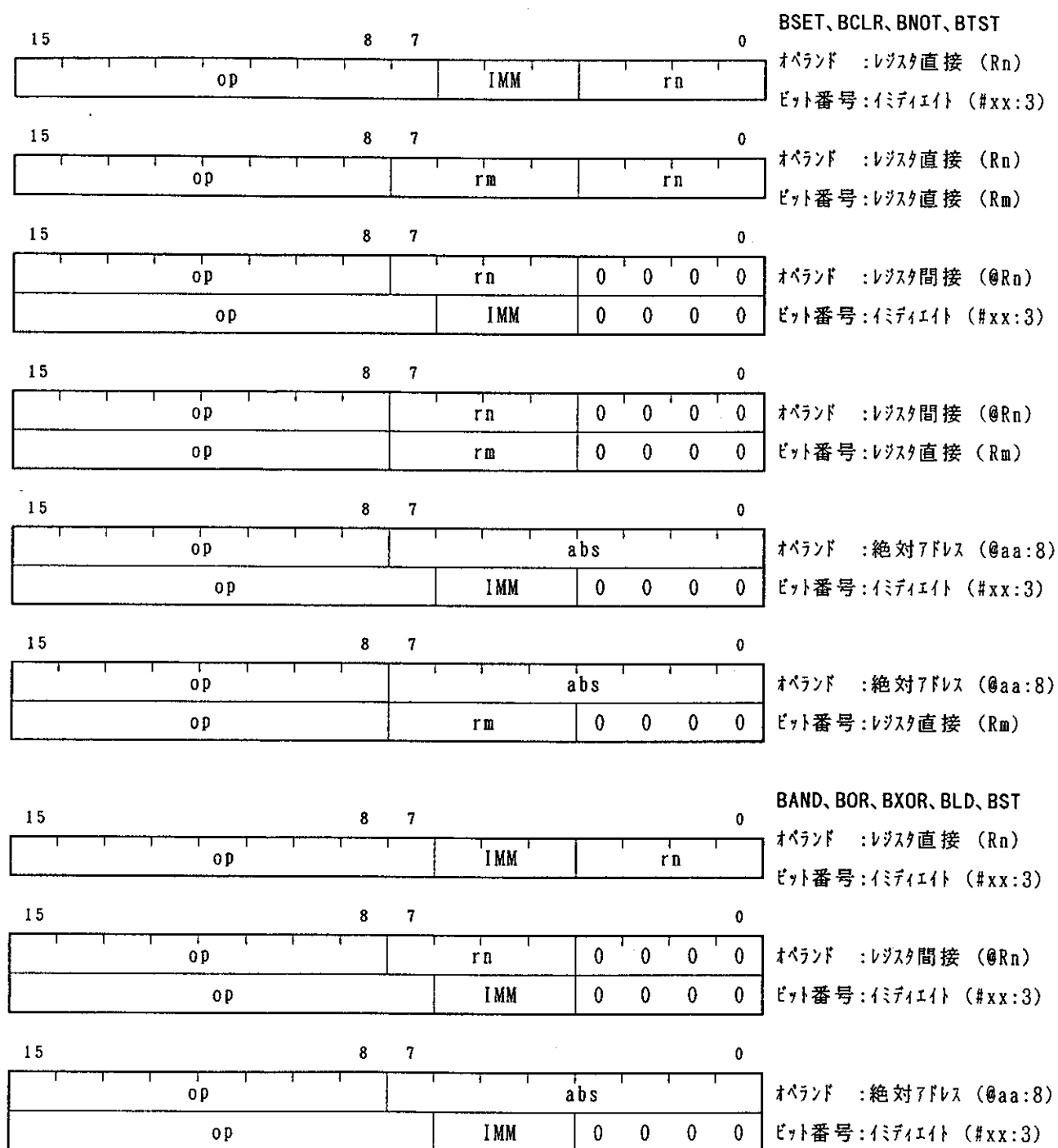
命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	~C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

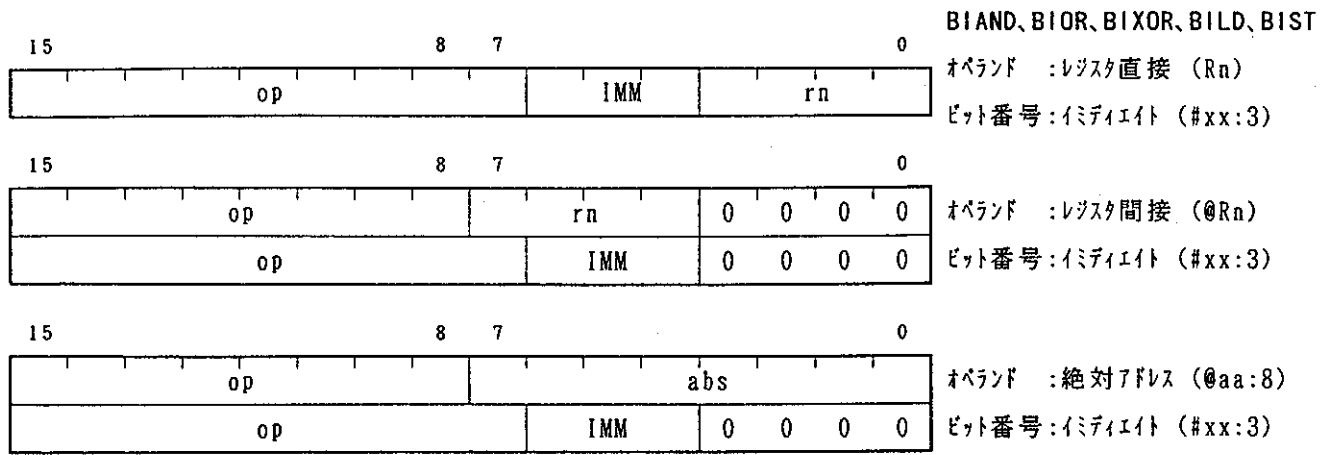
ビット操作命令の命令フォーマットを図 2.7 に示します。



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(1)



<記号説明>

- op : オペレーションフィールド
- rm、rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(2)

## 2.5.6 分岐命令

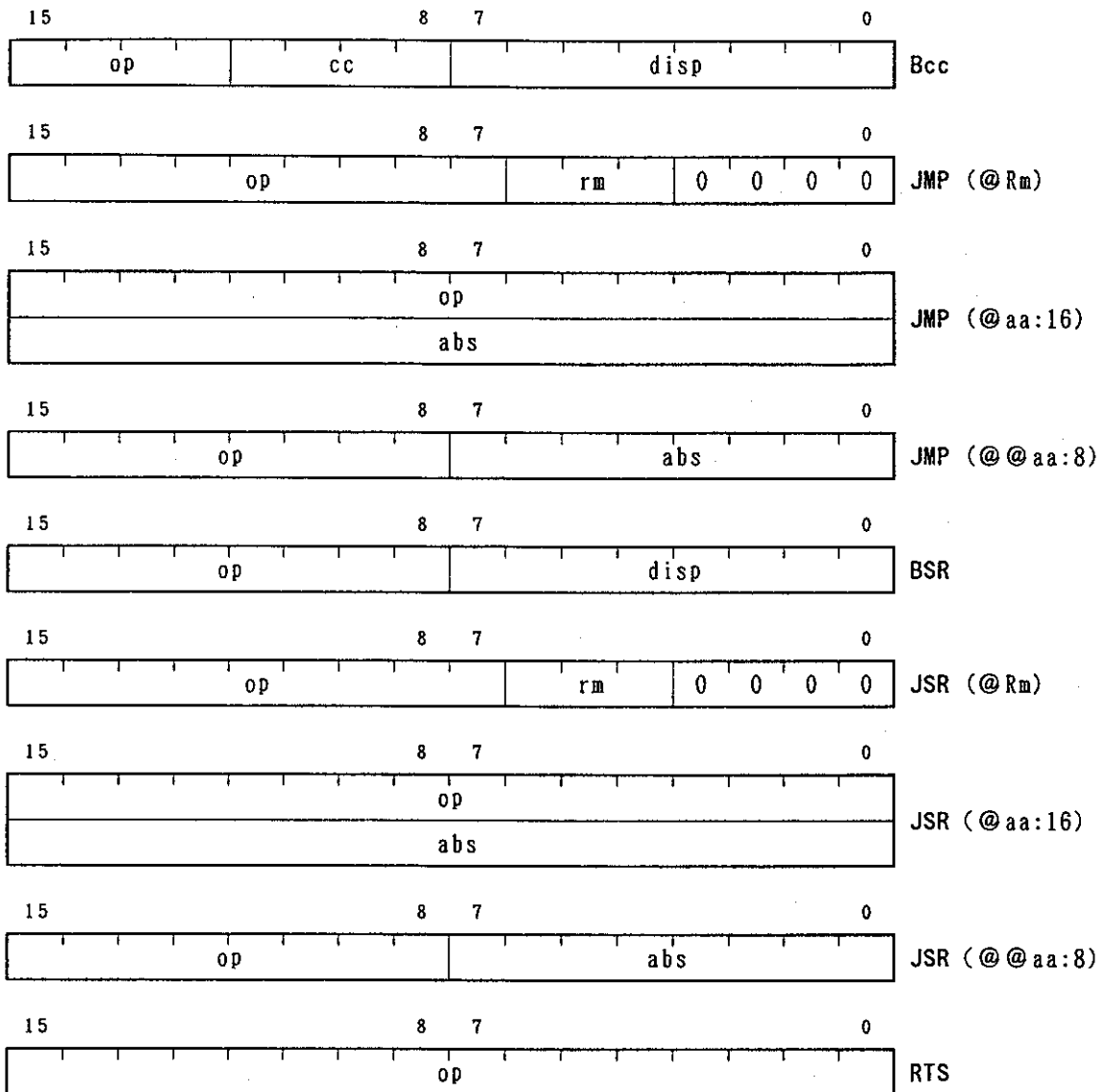
分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能																																																			
B c c	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニ-モニク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td><math>C \vee Z = 0</math></td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td><math>C \vee Z = 1</math></td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td><math>C = 0</math></td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td><math>C = 1</math></td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td><math>Z = 0</math></td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td><math>Z = 1</math></td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td><math>V = 0</math></td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td><math>V = 1</math></td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td><math>N = 0</math></td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td><math>N = 1</math></td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V = 0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V = 1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td><math>Z \vee (N \oplus V) = 0</math></td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td><math>Z \vee (N \oplus V) = 1</math></td> </tr> </tbody> </table>	ニ-モニク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
		ニ-モニク	説 明	分 岐 条 件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	$C \vee Z = 0$																																																	
		BLS	Low or Same	$C \vee Z = 1$																																																	
		BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																	
		BCS (BLO)	Carry Set (LOW)	$C = 1$																																																	
		BNE	Not Equal	$Z = 0$																																																	
		BEQ	Equal	$Z = 1$																																																	
		BVC	oVerflow Clear	$V = 0$																																																	
		BVS	oVerflow Set	$V = 1$																																																	
		BPL	PLus	$N = 0$																																																	
		BMI	Minus	$N = 1$																																																	
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			



分岐命令の命令フォーマットを図 2.8 に示します。



<記号説明>

- op : オペレーションフィールド
- cc : コンディションフィールド
- rm : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス

図 2.8 分岐命令の命令フォーマット

## 2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

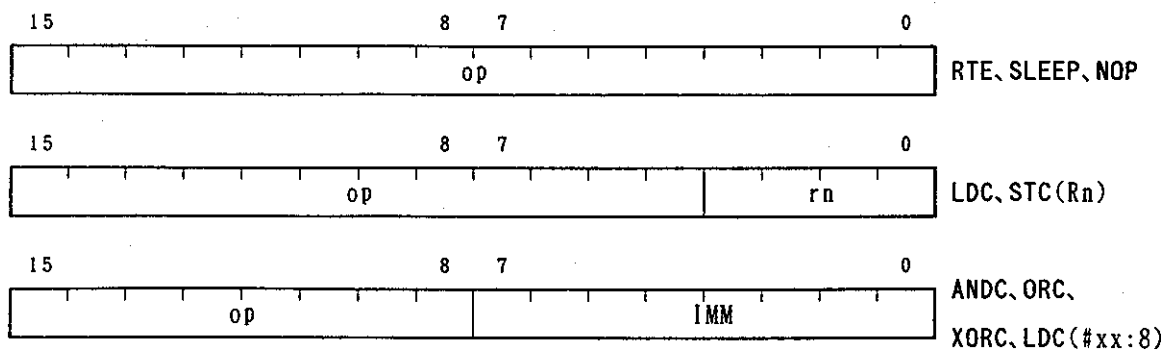
表 2.10 システム制御命令

命 令	サイズ*	機 能
RTE	-	割り込み処理ルーチンから復帰します。
SLEEP	-	アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	$R_s \longrightarrow CCR$ 、 $\#IMM \longrightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	$CCR \longrightarrow R_d$ CCR の内容を汎用レジスタに転送します。
ANDC	B	$CCR \wedge \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
ORC	B	$CCR \vee \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
XORC	B	$CCR \oplus \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	$PC + 2 \longrightarrow PC$ PC のインクリメントだけを行います。

【注】\* サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。



<記号説明>

op : オペレーションフィールド

rn : レジスタフィールド

IMM : イミディエイトデータ

図 2.9 システム制御命令の命令フォーマット  
2-28

## 2.5.8 ブロック転送命令

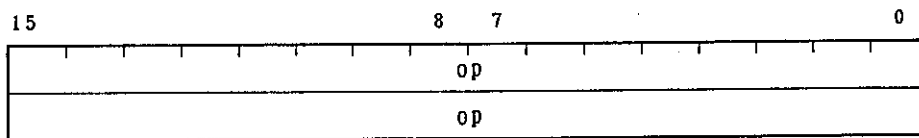
ブロック転送命令の機能を表2.11に示します。

表2.11 ブロック転送命令

命 令	サイズ	機 能
EEP MOV	-	<pre> if R 4 L ≠ 0 then   Repeat @R 5 + → @R 6 +、R 4 L - 1 → R 4 L   Until R 4 L = 0 else next;           </pre> <p>ブロック転送命令です。R 5 で示されるアドレスから始まり、R 4 L で指定されるバイト数のデータをR 6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

EEP MOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEP MOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図2.10に示します。



<記号説明>

op : オペレーションフィールド

図2.10 ブロック転送命令の命令フォーマット

## 2.6 基本動作タイミング

CPUは、システムクロック ( $\phi$ ) またはサブクロック ( $\phi_{SUB}$ ) を基準に動作しています。システムクロック  $\phi$  およびサブクロック  $\phi_{SUB}$  の定義については「第4章 クロック発振器」を参照してください。 $\phi$  または  $\phi_{SUB}$  の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

### 2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアccessサイクルを図2.11に示します。

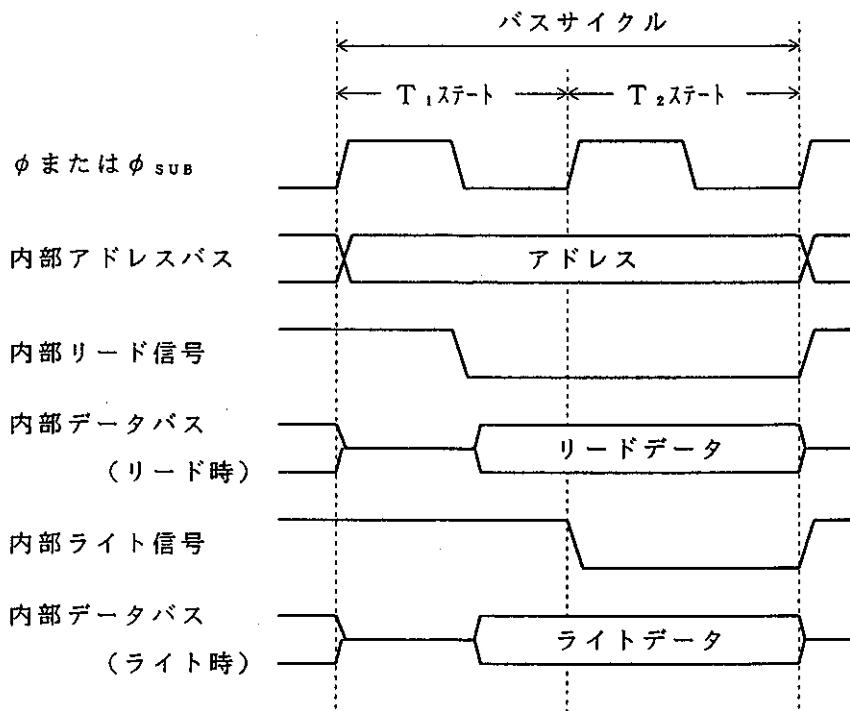


図2.11 内蔵メモリアccessサイクル

### 2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートまたは3ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール 2 ステートアクセス

内蔵周辺モジュールを 2 ステートでアクセスした動作タイミングを図 2.12 に示します。

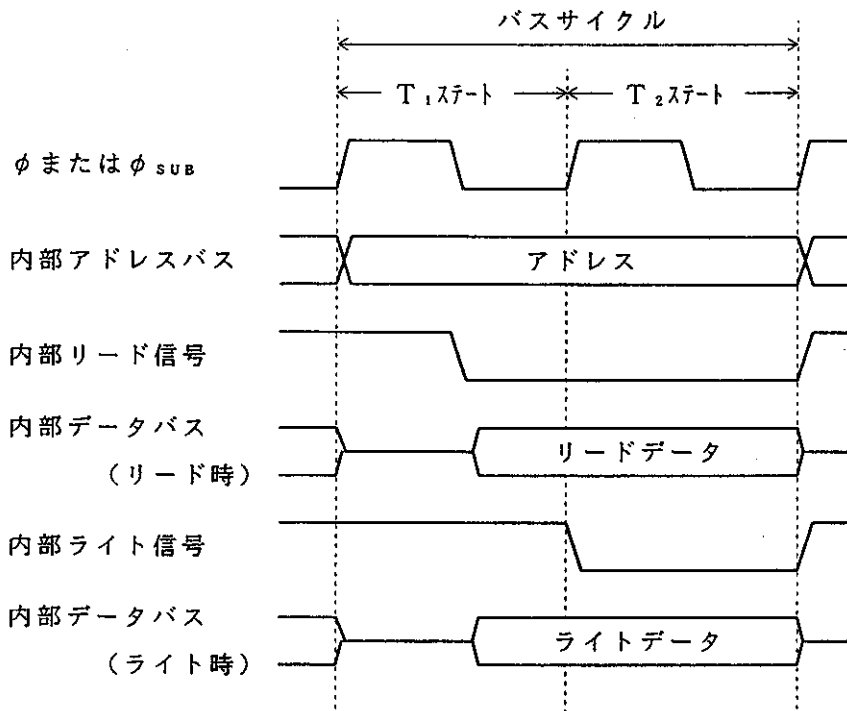


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

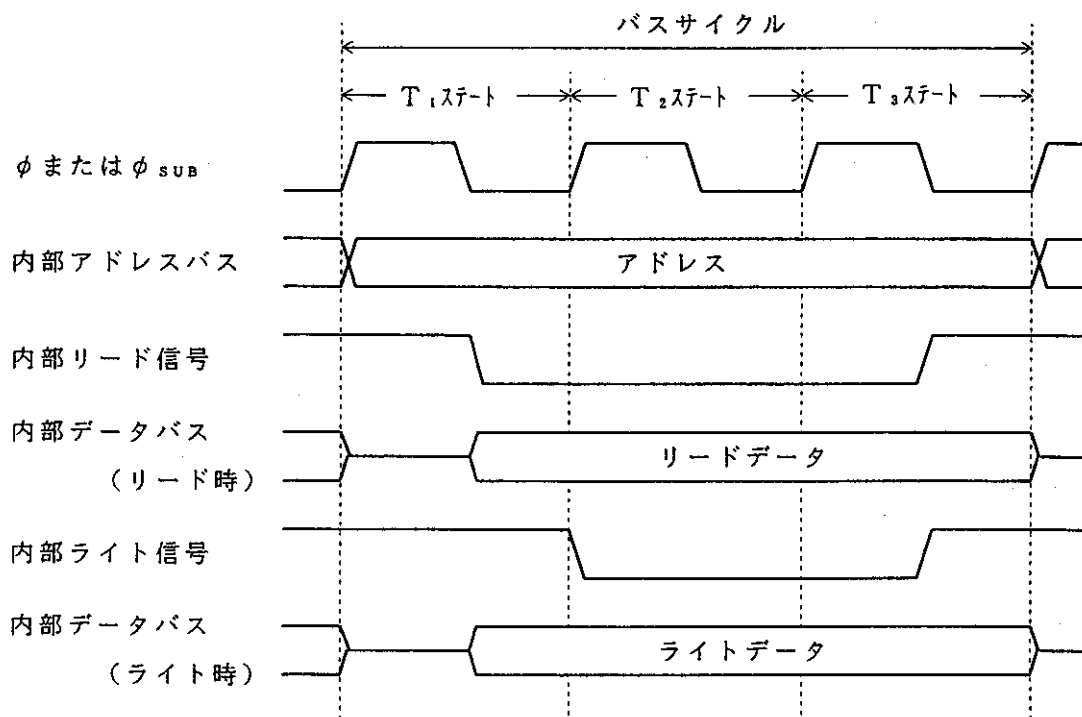


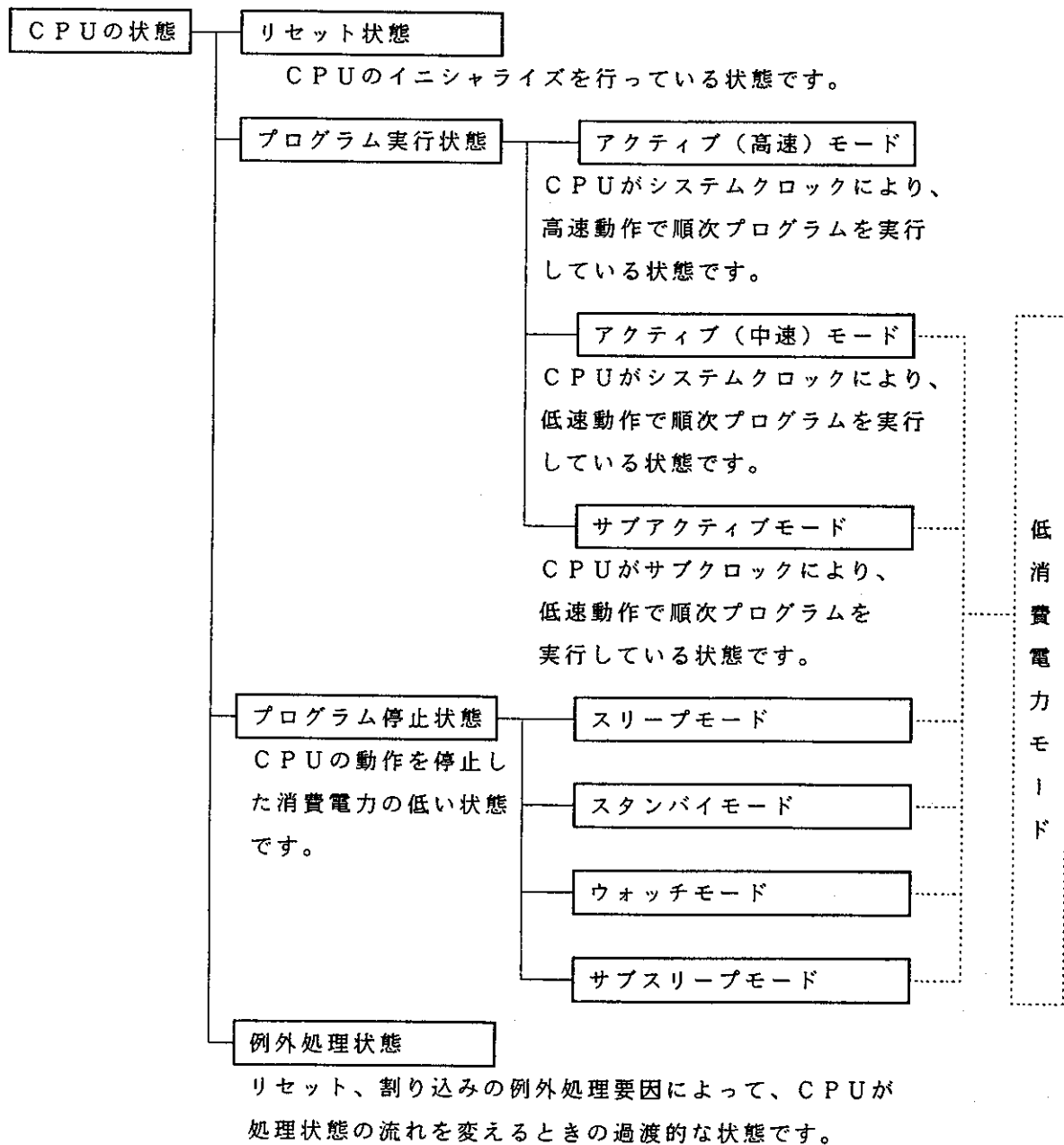
図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

## 2.7 CPUの状態

### 2.7.1 概要

CPUの状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図2.14に、各状態間の遷移を図2.15に示します。



【注】 各モードの遷移の詳細については「第5章 低消費電力モード」を参照してください。

図2.14 CPUの状態の分類

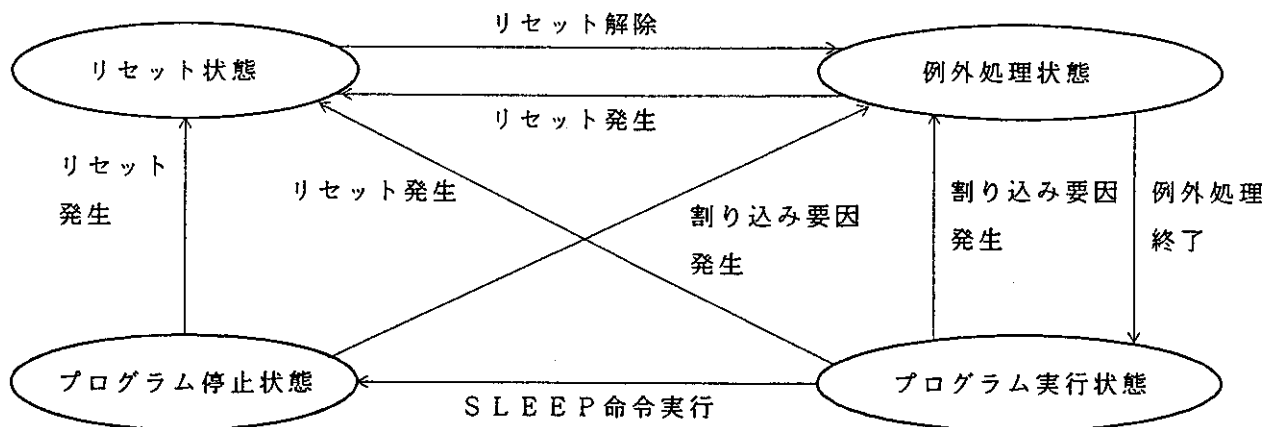


図 2.15 状態遷移図

### 2.7.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

CPUがプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

### 2.7.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードの4つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

### 2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときは過渡的な状態です。割り込み要因による例外処理では、SP(R7)を参照して、PCおよびCCRの退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

## 2.8 メモリマップ

H 8 / 3 9 4 5 のメモリマップを図 2.16(1)に、H 8 / 3 9 4 6 のメモリマップを図 2.16(2)に、  
H 8 / 3 9 4 7 のメモリマップを図 2.16(3)に示します。

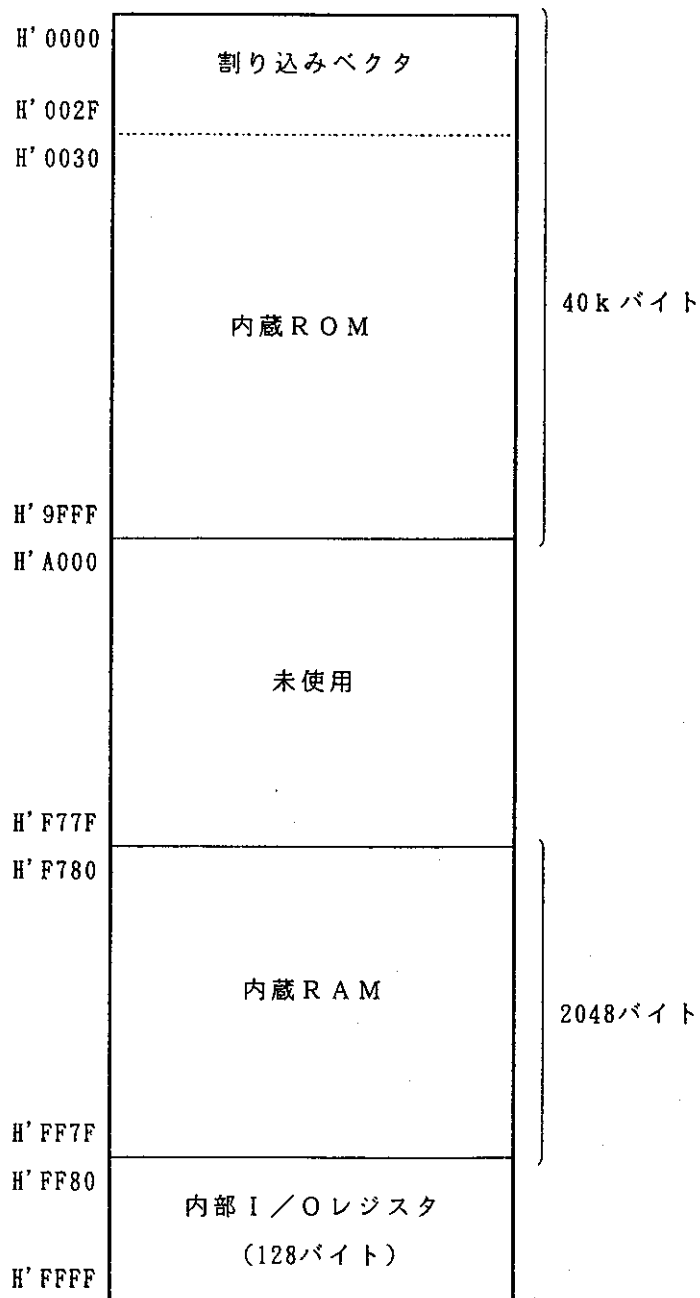


図 2.16(1) H 8 / 3 9 4 5 のメモリマップ



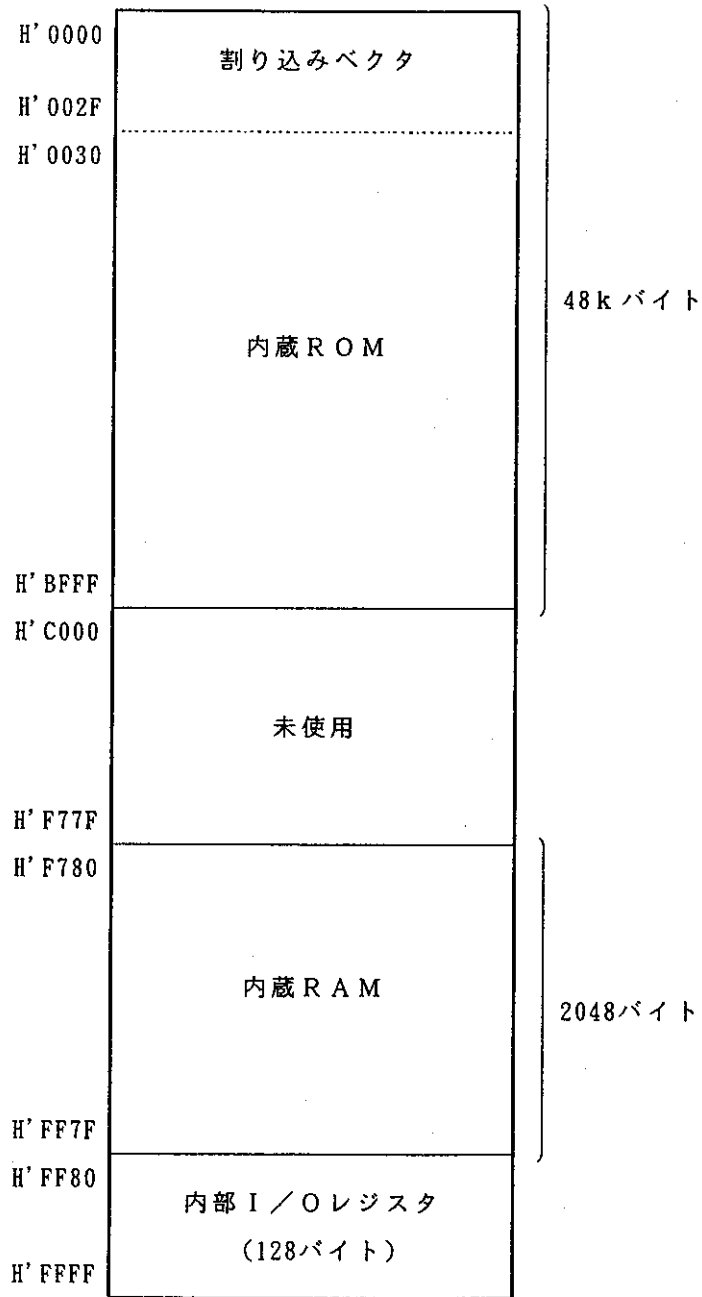


図 2.16(2) H8 / 3946 のメモリマップ

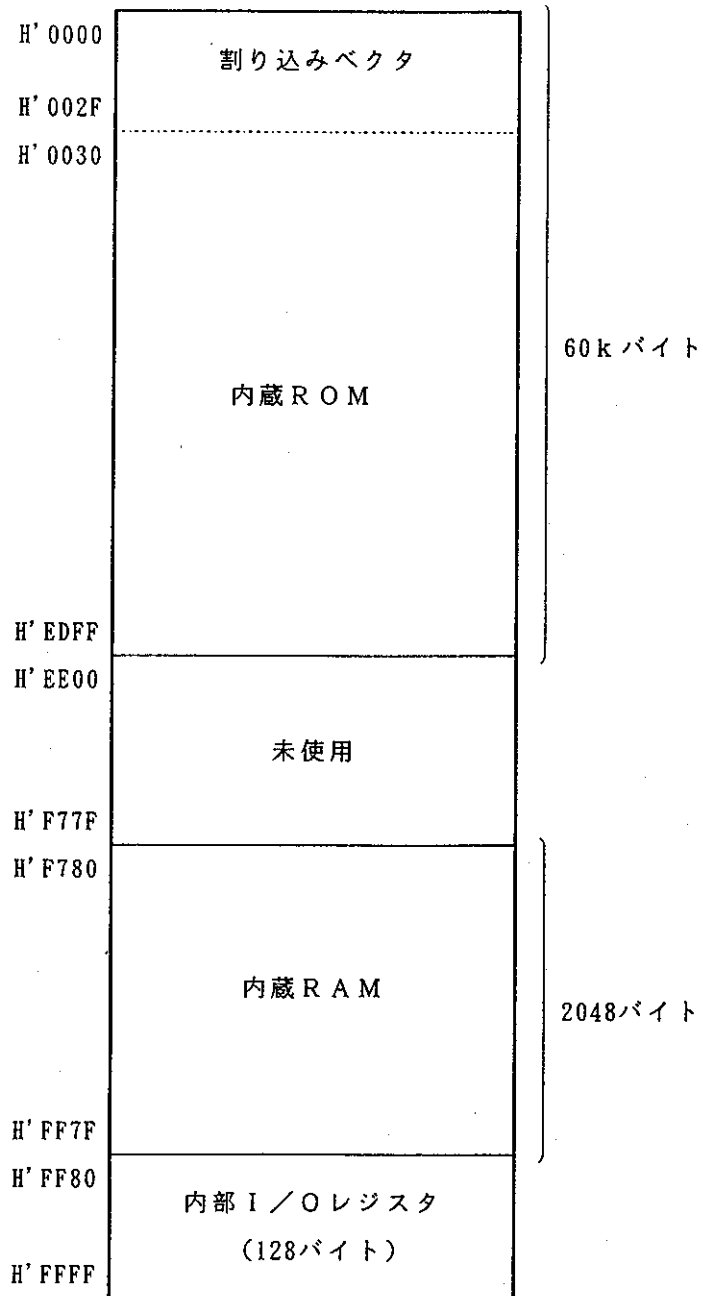


図 2.16(3) H8/3947のメモリマップ

## 2.9 使用上の注意事項

### 2.9.1 データアクセスに関する注意事項

#### (1) 空きエリアへのアクセス

H8/300L CPUのアドレス空間には、ユーザに開放されたROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のように動作します。

CPUから空きエリアへのデータの転送

転送データは失われます。また、CPU誤動作の原因となる可能性があります。

空きエリアからCPUへのデータの転送

転送データは保証されません。

#### (2) 内部I/Oレジスタへのアクセス

内蔵ROM、RAM領域以外の内蔵周辺モジュールは、内部のデータ転送が8ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

CPUからI/Oレジスタ領域へのワードアクセス

上位バイト : I/Oレジスタに書き込まれます。

下位バイト : 転送データは失われます。

内部I/OレジスタからCPUへのワードアクセス

上位バイト : CPU内部レジスタ上位に書き込まれます。

下位バイト : CPU内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵ROM、RAM領域以外のI/Oレジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

図 2.17にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

			アクセス		ステート数	
			ワード	バイト		
H' 0000	割り込みベクタ (48バイト)	60k バイト*	○	○	2	
H' 002F						
H' 0030						
	内蔵ROM					
H' EDFE*	未使用		—	—	—	
H' EE00						
H' F77F	内蔵RAM	2048バイト	○	○	2	
H' F780						
H' FF7F	内部 I/Oレジスタ (128バイト)		×	○	2	
H' FF80			H' FF88	×	○	3
			H' FF8C	×	○	2
			H' FFAS	×	○	3
H' FFFF			H' FFAD	×	○	2

【注】 H8/3947の例です。

\* H8/3945では40kバイトでアドレスH'9FFF、H8/3946では48kバイトでアドレスH'BFFFとなります。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

## 2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動作内容	
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

### (1) 同一アドレスに割り付けられた2つのレジスタのビット操作

#### 例1：タイマロードレジスタとタイマカウンタへのビット操作

図2.18に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序	動作内容	
1	リード	タイマカウンタのデータ（バイト単位）をリードします。
2	ビット操作	CPUは命令で指定された1ビットを操作（セットまたはリセット）します。
3	ライト	操作したデータ（バイト単位）をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

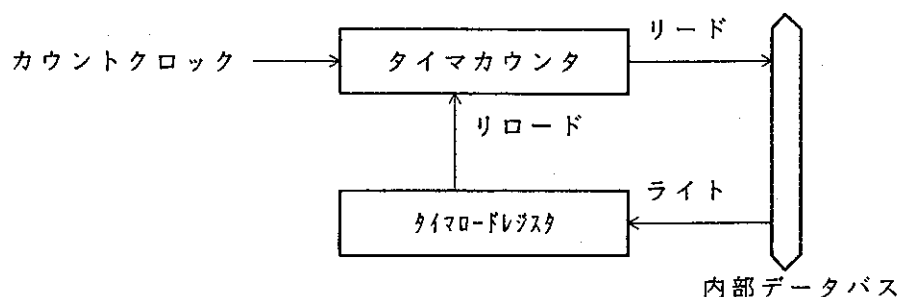


図2.18 タイマの構成例

例 2 : ポート 3 に B S E T 命令を実行した場合

P3<sub>7</sub>、P3<sub>6</sub>は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとし、P3<sub>5</sub>~P3<sub>0</sub>は出力端子に設定され、それぞれ Low レベル出力状態とします。

以下に、B S E T 命令で P3<sub>0</sub> に High レベル出力を行う例を示します。

【A ; B S E T 命令を実行前】

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
P C R 3	0	0	1	1	1	1	1	1
P D R 3	1	0	0	0	0	0	0	0

【B ; B S E T 命令を実行】

```
B S E T # 0 @ P D R 3
```

ポート 3 に対して B S E T 命令を実行します。

【C ; B S E T 命令を実行後】

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
P C R 3	0	0	1	1	1	1	1	1
P D R 3	0	1	0	0	0	0	0	1

【D ; B S E T 命令の動作説明】

B S E T 命令を実行すると、CPU は、最初にポート 3 をリードします。

P3<sub>7</sub>、P3<sub>6</sub>は入力端子であるので、CPU は端子の状態 (Low レベル、High レベル入力) をリードします。P3<sub>5</sub>~P3<sub>0</sub>は出力端子であるので、CPU は P D R 3 の値をリードします。したがって、この例では、P D R 3 は H' 80 ですが、CPU がリードしたデータは H' 40 となります。

次に、CPU は、リードしたデータのビット 0 を 1 にセットして、データを H' 41 に変更します。

最後に、この値 (H' 41) を P D R 3 に書き込んで、B S E T 命令を終了します。

その結果、P D R 3 のビット 0 が 1 になり、P3<sub>0</sub>は High レベル出力になります。しかし、P D R 3 のビット 7、6 が変化してしまいます。

そのため、PDR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR3にライトしてください。

【A: BSET命令を実行前】

```
MOV B #80, R0L
MOV B R0L, @RAM0
MOV B R0L, @PDR3
```

PDR3に書き込む値(H'80)をあらかじめメモリ上のワークエリア(RAM0)とPDR3にライトします。

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B: BSET命令を実行】

```
BSET #0, @RAM0
```

PDR3のワークエリア(RAM0)に対してBSET命令を実行します。

【C: BSET命令を実行後】

```
MOV B @RAM0, R0L
MOV B R0L, @PDR3
```

ワークエリア(RAM0)の値をPDR3にライトします。

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート3のPCR3にBCLR命令を実行した場合

P3<sub>7</sub>、P3<sub>6</sub>は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。P3<sub>5</sub>～P3<sub>0</sub>は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR命令で、P3<sub>0</sub>を入力ポートにする例を示します。入力端子に設定されたP3<sub>0</sub>は High レベルが入力されるものとします。

【A： BCLR命令を実行前】

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B： BCLR命令を実行】

```
BCLR #0, @PCR3
```

PCR3に対してBCLR命令を実行します。

【C： BCLR命令を実行後】

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D： BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にPCR3をリードします。PCR3はライト専用レジスタですので、CPUはH'FFをリードします。したがって、この例ではPCR3はH'3Fですが、CPUがリードしたデータはH'FFとなります。

次に、CPUは、リードしたデータのビット0を0にクリアして、データをH'FEに変更します。

最後に、このデータ（H'FE）をPCR3に書き込んで、BCLR命令を終了します。

その結果、PCR3のビット0が0になり、P3<sub>0</sub>は入力ポートになります。しかし、PCR3のビット7、ビット6が1になって、入力ポートであったP3<sub>7</sub>、P3<sub>6</sub>は出力ポートに変化してしまいます。



そのため、PCR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR3にライトしてください。

【A： BCLR命令を実行前】

```
MOV B #3F, R0L
MOV B R0L, @RAM0
MOV B R0L, @PCR3
```

PCR3に書き込む値(H'3F)をあらかじめメモリ上のワークエリア(RAM0)とPCR3にライトします。

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B： BCLR命令を実行】

```
BCLR #0, @RAM0
```

PCR3のワークエリア(RAM0)に対してBCLR命令を実行します。

【C： BCLR命令を実行後】

```
MOV B @RAM0, R0L
MOV B R0L, @PCR3
```

ワークエリア(RAM0)の値をPCR3にライトします。

	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた2つのレジスタの一覧を表2.12に、ライト専用ビットを含むレジスタの一覧を表2.13に示します。

表2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
タイマカウンタB1/タイマロードレジスタB1	TCB1/TLB1	H'FFB3
タイマカウンタB2/タイマロードレジスタB2	TCB2/TLB2	H'FF9D
タイマカウンタB3/タイマロードレジスタB3	TCB3/TLB3	H'FF9F
タイマカウンタC/タイマロードレジスタC	TCC/TLC	H'FFB5
I <sup>2</sup> Cバスモードレジスタ1/スレーブアドレスレジスタ1	ICMR1/SAR1	H'FF83
I <sup>2</sup> Cバスモードレジスタ2/スレーブアドレスレジスタ2	ICMR2/SAR2	H'FF87
ポートデータレジスタ1*	PDR1	H'FFD4
ポートデータレジスタ2*	PDR2	H'FFD5
ポートデータレジスタ3*	PDR3	H'FFD6
ポートデータレジスタ4*	PDR4	H'FFD7
ポートデータレジスタ5*	PDR5	H'FFD8
ポートデータレジスタ6*	PDR6	H'FFD9
ポートデータレジスタ7*	PDR7	H'FFDA
ポートデータレジスタ8*	PDR8	H'FFDB
ポートデータレジスタ9*	PDR9	H'FFDC
ポートデータレジスタA*	PDRA	H'FFDD

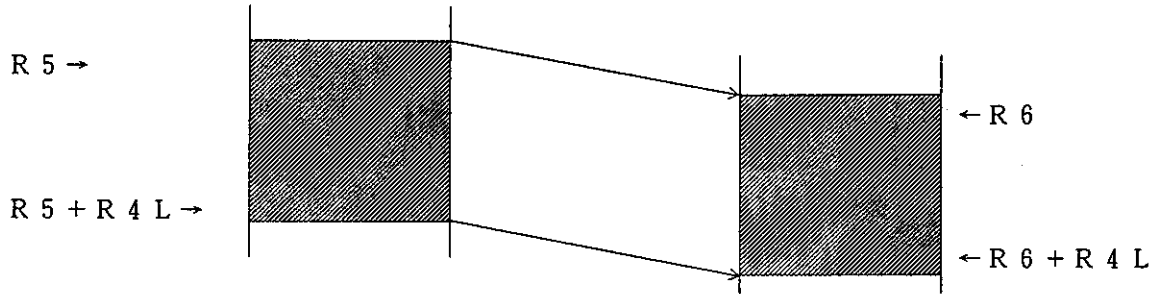
【注】\* ポートデータレジスタと端子入力が兼用になっています。

表2.13 ライト専用ビットを含むレジスタの一覧

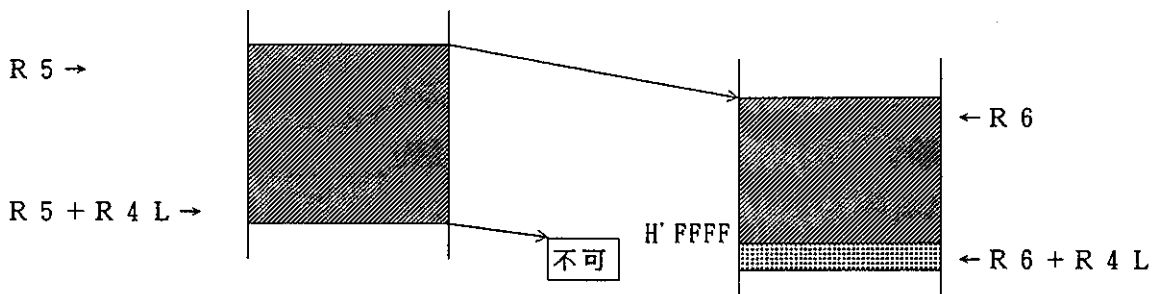
レジスタ名	略称	アドレス
ポートコントロールレジスタ1	PCR1	H'FFB4
ポートコントロールレジスタ2	PCR2	H'FFB5
ポートコントロールレジスタ3	PCR3	H'FFB6
ポートコントロールレジスタ4	PCR4	H'FFB7
ポートコントロールレジスタ5	PCR5	H'FFB8
ポートコントロールレジスタ6	PCR6	H'FFB9
ポートコントロールレジスタ7	PCR7	H'FFBA
ポートコントロールレジスタ8	PCR8	H'FFBB
ポートコントロールレジスタ9	PCR9	H'FFBC
ポートコントロールレジスタA	PCRA	H'FFBD
タイマコントロールレジスタF	TCRF	H'FFB6

### 2.9.3 EEPMOV命令使用上の注意事項

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス ( $R6 + R4L$ の値) が  $H'FFFF$  を超えないように (実行途中で  $R6$  の値が  $H'FFFF \rightarrow H'0000$  とならないように)、 $R4L$ 、 $R6$  を設定してください。



# 3. 例外処理

---

## 第3章 目次

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割り込み	3-15
3.3.4	内部割り込み	3-16
3.3.5	割り込み動作	3-16
3.3.6	割り込み応答時間	3-21
3.4	使用上の注意事項	3-22
3.4.1	スタック領域に関する使用上の注意事項	3-22
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-23

---

### 3.1 概要

本LSIの例外処理には、リセットと割り込みがあります。表3.1に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

### 3.2 リセット

#### 3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。

#### 3.2.2 リセットシーケンス

RES端子が Low レベルになると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間RES端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低10システムクロックの間、Low レベルに保持してください。

- ① CPUの内部状態と内蔵周辺モジュールの各レジスタのイニシャライズを行い、コンディションコードレジスタ(CCR)のIビットをセットします。
- ② リセット例外処理ベクタアドレス(H'0000~H'0001)をリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

パワーオン/パワーオフ時には、RES端子を Low レベルにしてください。

リセットシーケンスを図3.1に示します。

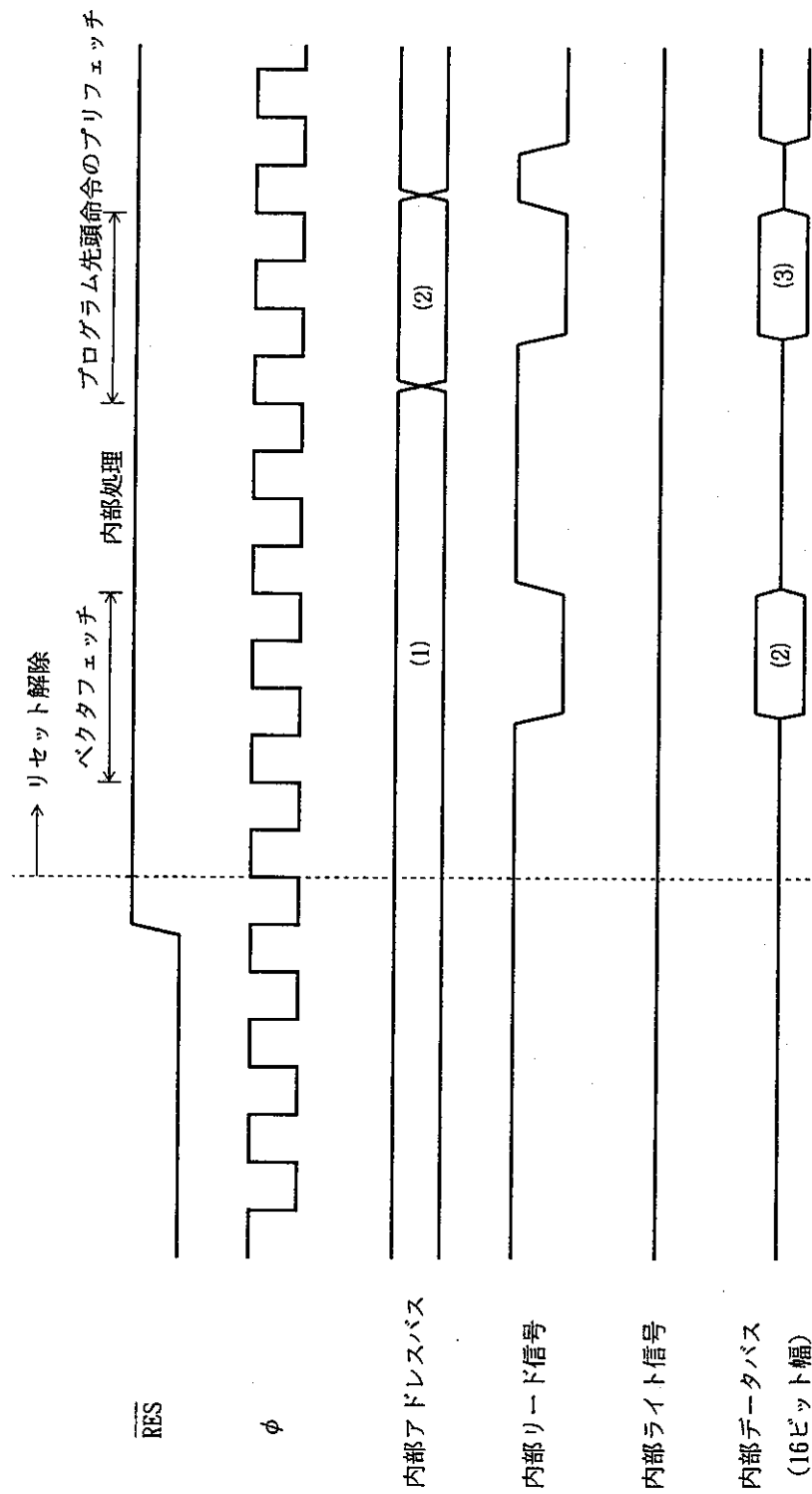


図3.1 リセットシーケンス

### 3.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP: R7) をイニシャライズする前に割り込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラムの先頭命令は、SPをイニシャライズする命令としてください (例: MOV.W #xx:16, SP)。

## 3.3 割り込み

### 3.3.1 概要

割り込み例外処理を開始する要因には、14の外部割り込み要因 (NMI、WKP<sub>7</sub>~WKP<sub>0</sub>、IRQ<sub>4</sub>~IRQ<sub>0</sub>) と内蔵モジュールから24の内部割り込み要因があります。割り込み要因と優先度、ならびにベクタアドレスの一覧を表3.2に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) 内部割り込みおよび外部割り込みは、CCRのIビットによりマスクされます。CCRのIビットが1にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
- (2) NMI、IRQ<sub>4</sub>~IRQ<sub>0</sub>は、立ち上がりエッジセンスまたは立ち下がりエッジセンスのいずれかに設定することができます。





### 3.3.2 各レジスタの説明

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名 称	略 称	R/W	初期値	アドレス
IRQエッジセレクトレジスタ	IEGR	R/W	H'60	H'FFF2
割り込み許可レジスタ1	IENR1	R/W	H'00	H'FFF3
割り込み許可レジスタ2	IENR2	R/W	H'00	H'FFF4
割り込み要求レジスタ1	IRR1	R/W*	H'20	H'FFF6
割り込み要求レジスタ2	IRR2	R/W*	H'00	H'FFF7
ウェイクアップ割り込み要求レジスタ	IWPR	R/W*	H'00	H'FFF9

【注】\* フラグクリアのための0ライトのみ可能です。

#### (1) IRQエッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	NMIEG	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	0	1	1	0	0	0	0	0
R/W:	R/W	—	—	R/W	R/W	R/W	R/W	R/W

IEGRは、8ビットのリードとライトが可能なレジスタで、NMIEGとIEG0～IEG4端子の立ち上がりエッジセンスまたは立ち下がりエッジセンスを指定します。

#### ビット7: NMIEGエッジセレクト (NMIEG)

NMIEG端子の入力センスを選択します。

ビット7	NMIEG	説 明
0		NMIEG端子入力の立ち下がりエッジを検出 (初期値)
1		NMIEG端子入力の立ち上がりエッジを検出

#### ビット6～5: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット4：IRQ<sub>4</sub>エッジセレクト（IEG4）

IRQ<sub>4</sub>端子、ADTRG端子の入力センスを選択します。

ビット4	説 明	
IEG4		
0	IRQ <sub>4</sub> 端子、ADTRG端子入力の立ち下がりエッジを検出	（初期値）
1	IRQ <sub>4</sub> 端子、ADTRG端子入力の立ち上がりエッジを検出	

ビット3：IRQ<sub>3</sub>エッジセレクト（IEG3）

IRQ<sub>3</sub>端子、TMIF端子の入力センスを選択します。

ビット3	説 明	
IEG3		
0	IRQ <sub>3</sub> 端子、TMIF端子入力の立ち下がりエッジを検出	（初期値）
1	IRQ <sub>3</sub> 端子、TMIF端子入力の立ち上がりエッジを検出	

ビット2：IRQ<sub>2</sub>エッジセレクト（IEG2）

IRQ<sub>2</sub>端子、TMIC端子の入力センスを選択します。

ビット2	説 明	
IEG2		
0	IRQ <sub>2</sub> 端子、TMIC端子入力の立ち下がりエッジを検出	（初期値）
1	IRQ <sub>2</sub> 端子、TMIC端子入力の立ち上がりエッジを検出	

ビット1：IRQ<sub>1</sub>エッジセレクト（IEG1）

IRQ<sub>1</sub>端子、TMIB1端子の入力センスを選択します。

ビット1	説 明	
IEG1		
0	IRQ <sub>1</sub> 端子、TMIB1端子入力の立ち下がりエッジを検出	（初期値）
1	IRQ <sub>1</sub> 端子、TMIB1端子入力の立ち上がりエッジを検出	

ビット0：IRQ<sub>0</sub>エッジセレクト（IEG0）

IRQ<sub>0</sub>端子の入力センスを選択します。

ビット0	説 明	
IEG0		
0	IRQ <sub>0</sub> 端子入力の立ち下がりエッジを検出	（初期値）
1	IRQ <sub>0</sub> 端子入力の立ち上がりエッジを検出	

(2) 割り込み許可レジスタ 1 ( IENR1 )

ビット :	7	6	5	4	3	2	1	0
	IENTA	IENTB3	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1は、8ビットのリードとライトが可能なレジスタで、割り込み要求を許可または禁止します。

ビット7 : タイマA割り込みイネーブル ( IENTA )

タイマAオーバーフロー割り込み要求を許可または禁止します。

ビット7	説 明
IENTA	
0	タイマAの割り込み要求を禁止 (初期値)
1	タイマAの割り込み要求を許可

ビット6 : タイマB3割り込みイネーブル ( IENTB3 )

タイマB3オーバーフロー割り込み要求を許可または禁止します。

ビット6	説 明
IENTB3	
0	タイマB3の割り込み要求を禁止 (初期値)
1	タイマB3の割り込み要求を許可

ビット5 : ウェイクアップ割り込みイネーブル ( IENWP )

WKP<sub>7</sub>~WKP<sub>0</sub>割り込み要求を許可または禁止します。

ビット5	説 明
IENWP	
0	$\overline{WKP_7} \sim \overline{WKP_0}$ 端子の割り込み要求を禁止 (初期値)
1	$\overline{WKP_7} \sim \overline{WKP_0}$ 端子の割り込み要求を許可

ビット4~0 : IRQ<sub>n</sub>~IRQ<sub>0</sub>割り込みイネーブル ( IEN4~IEN0 )

IRQ<sub>n</sub>~IRQ<sub>0</sub>割り込み要求を許可または禁止します。

ビットn	説 明
IENn	
0	$\overline{IRQ_n}$ 端子の割り込み要求を禁止 (初期値)
1	$\overline{IRQ_n}$ 端子の割り込み要求を許可

(3) 割り込み許可レジスタ 2 ( IENR2 )

ビット :	7	6	5	4	3	2	1	0
	IENDT	IENAD	IENTB2	IENTG	IENTFH	IENTFL	IENTC	IENTB1
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2は、8ビットのリードとライトが可能なレジスタで、割り込み要求を許可または禁止します。

ビット7 : 直接遷移割り込みイネーブル ( IENDT )

直接遷移割り込み要求を許可または禁止します。

ビット7	説明
IENDT	
0	直接遷移による割り込み要求を禁止 (初期値)
1	直接遷移による割り込み要求を許可

ビット6 : A/D変換器割り込みイネーブル ( IENAD )

A/D変換終了割り込み要求を許可または禁止します。

ビット6	説明
IENAD	
0	A/D変換器の割り込み要求を禁止 (初期値)
1	A/D変換器の割り込み要求を許可

ビット5 : タイマB2割り込みイネーブル ( IENTB2 )

タイマB2オーバーフロー割り込み要求を許可または禁止します。

ビット5	説明
IENTB2	
0	タイマB2の割り込み要求を禁止 (初期値)
1	タイマB2の割り込み要求を許可

ビット4：タイマG割り込みイネーブル（IENTG）

タイマGインプットキャプチャまたはオーバフロー割り込み要求を許可または禁止します。

ビット4	説明
IENTG	
0	タイマGの割り込み要求を禁止 (初期値)
1	タイマGの割り込み要求を許可

ビット3：タイマFH割り込みイネーブル（IENTFH）

タイマFHコンペアマッチまたはオーバフロー割り込み要求を許可または禁止します。

ビット3	説明
IENTFH	
0	タイマFHの割り込み要求を禁止 (初期値)
1	タイマFHの割り込み要求を許可

ビット2：タイマFL割り込みイネーブル（IENTFL）

タイマFLコンペアマッチまたはオーバフロー割り込み要求を許可または禁止します。

ビット2	説明
IENTFL	
0	タイマFLの割り込み要求を禁止 (初期値)
1	タイマFLの割り込み要求を許可

ビット1：タイマC割り込みイネーブル（IENTC）

タイマCオーバフローまたはアンダフロー割り込み要求を許可または禁止します。

ビット1	説明
IENTC	
0	タイマCの割り込み要求を禁止 (初期値)
1	タイマCの割り込み要求を許可

ビット0：タイマB1割り込みイネーブル（IENTB1）

タイマB1オーバフロー割り込み要求を許可または禁止します。

ビット0	説明
IENTB1	
0	タイマB1の割り込み要求を禁止 (初期値)
1	タイマB1の割り込み要求を許可

なお、SCI3の割り込みの制御については「10.2.2 (6) シリアルコントロールレジスタ3 (SCR3)」を、I<sup>2</sup>C1、I<sup>2</sup>C2の割り込みの制御については「10.3 I<sup>2</sup>Cバスインタフェース」を、タイマHの割り込みの制御については「9.9 タイマH」を参照してください。

(4) 割り込み要求レジスタ1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRRTA	IRRTB3	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*

【注】\* フラグクリアのための0ライトのみ可能です。

IRR1は、8ビットリードとライトが可能なレジスタで、タイマA、タイマB3、IRQ<sub>4</sub> ~ IRQ<sub>0</sub>。割り込み要求が発生すると対応するフラグが1にセットされます。各フラグは割り込みが受け付けられても自動的にクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7: タイマA割り込み要求フラグ (IRRTA)

ビット7	説 明
IRRTA	
0	〔クリア条件〕 IRRTA=1の状態(IRRTAに0をライトしたとき) <span style="float: right;">(初期値)</span>
1	〔セット条件〕 タイマAのカウント値がオーバーフロー (H'FF→H'00) したとき

ビット6: タイマB3割り込み要求フラグ (IRRTB3)

ビット6	説 明
IRRTB3	
0	〔クリア条件〕 IRRTB3=1の状態(IRRTB3に0をライトしたとき) <span style="float: right;">(初期値)</span>
1	〔セット条件〕 タイマB3のカウント値がオーバーフロー (H'FF→H'00) したとき

ビット5: リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット4～0：IRQ<sub>n</sub>～IRQ<sub>0</sub>割り込み要求フラグ（IRRI<sub>4</sub>～IRRI<sub>0</sub>）

ビットn IRRI <sub>n</sub>	説明
0	〔クリア条件〕 IRRI <sub>n</sub> =1の状態ではIRRI <sub>n</sub> に0をライトしたとき (初期値)
1	〔セット条件〕 IRQ <sub>n</sub> 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 4 ~ 0)

(5) 割り込み要求レジスタ2（IRR2）

ビット：	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	IRRTB2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB1
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】\* フラグクリアのための0ライトのみ可能です。

IRR2は、8ビットのリードとライトが可能なレジスタで、直接遷移、A/D変換器、タイマB2、タイマG、タイマFH、タイマFL、タイマC、タイマB1割り込み要求が発生すると、対応するフラグが1にセットされます。各フラグは割り込みが受け付けられても自動的にクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7：直接遷移割り込み要求フラグ（IRRDT）

ビット7 IRRDT	説明
0	〔クリア条件〕 IRRDT=1の状態ではIRRDTに0をライトしたとき (初期値)
1	〔セット条件〕 DTONに1をセットした状態でスリープ命令を実行し直接遷移したとき

ビット6：A/D変換器割り込み要求フラグ（IRRAD）

ビット6	説 明
IRRAD	
0	〔クリア条件〕 IRRAD=1の状態ではIRRADに0をライトしたとき (初期値)
1	〔セット条件〕 A/D変換器が変換終了し、ADSFがリセットされたとき

ビット5：タイマB2割り込み要求フラグ（IRRTB2）

ビット5	説 明
IRRTB2	
0	〔クリア条件〕 IRRTB2=1の状態ではIRRTB2に0をライトしたとき (初期値)
1	〔セット条件〕 タイマB2のカウンタ値がオーバーフロー（H'FF→H'00）したとき

ビット4：タイマG割り込み要求フラグ（IRRTG）

ビット4	説 明
IRRTG	
0	〔クリア条件〕 IRRTG=1の状態ではIRRTGに0をライトしたとき (初期値)
1	〔セット条件〕 TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

ビット3：タイマFH割り込み要求フラグ（IRRTFH）

ビット3	説 明
IRRTFH	
0	〔クリア条件〕 IRRTFH=1の状態ではIRRTFHに0をライトしたとき (初期値)
1	〔セット条件〕 8ビットタイマモードでTCFHとOCRFHが一致したとき、または16ビットタイマモードでTCF(TCFL, TCFH)とOCRF(OCRFL, OCRFH)が一致したとき



ビット2：タイマFL割り込み要求フラグ (IRRTFL)

ビット2	説	明
IRRTFL		
0	[クリア条件] IRRTFL=1の状態ではIRRTFLに0をライトしたとき	(初期値)
1	[セット条件] 8ビットタイマモードでTCFLとOCRFLが一致したとき	

ビット1：タイマC割り込み要求フラグ (IRRTC)

ビット1	説	明
IRRTC		
0	[クリア条件] IRRTC=1の状態ではIRRTCに0をライトしたとき	(初期値)
1	[セット条件] タイマCのカウンタ値がアップカウンタ設定時オーバーフロー (H'FF→H'00) したとき、またはダウンカウンタ設定時アンダフロー (H'00→H'FF) したとき	

ビット0：タイマB1割り込み要求フラグ (IRRTB1)

ビット0	説	明
IRRTB1		
0	[クリア条件] IRRTB1=1の状態ではIRRTB1に0をライトしたとき	(初期値)
1	[セット条件] タイマB1のカウンタ値がオーバーフロー (H'FF→H'00) したとき	

(6) ウェイクアップ割り込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】\* フラグクリアのための0ライトのみ可能です。

IWPRは、8ビットのリードとライトが可能なレジスタで、 $\overline{WKP_7}$ ～ $\overline{WKP_0}$ 端子がウェイクアップ入力に設定されており、当該端子に立ち下がりエッジが入力されたとき、対応するフラグが1にセットされます。各フラグは割り込みが受け付けられても自動的にクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7～0 : ウェイクアップ割り込み要求フラグ (IWPF7～IWPF0)

ビットn	説 明
IWPFn	
0	〔クリア条件〕 (初期値) IWPF7n = 1 の状態でIWPF7nに0をライトしたとき
1	〔セット条件〕 $\overline{WKP_n}$ 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下がりエッジが入力されたとき

(n = 7 ~ 0)

### 3.3.3 外部割り込み

外部割り込みには、NMI割り込み、WKP<sub>7</sub>~WKP<sub>0</sub>割り込み、IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込みの14要因があります。

#### (1) NMI割り込み

NMI割り込みは、NMI端子の入力信号により要求されます。

NMI割り込みは、立ち上がりエッジセンスまたは立ち下がりエッジセンスをIEGRのNMI EGにより指定できます。

NMI割り込みは最優先の割り込みで、CCRのIビットの値にかかわらず、常に受け付けられます。

NMI割り込み例外処理のベクタ番号は3です。この例外処理が受け付けられると、CCRのIビットが1にセットされます。

#### (2) WKP<sub>7</sub>~WKP<sub>0</sub>割り込み

WKP<sub>7</sub>~WKP<sub>0</sub>割り込みはWKP<sub>7</sub>~WKP<sub>0</sub>端子の立ち下がりエッジ入力により要求されます。

PMR5により端子機能がWKP<sub>7</sub>~WKP<sub>0</sub>端子に選択された状態で立ち下がりエッジが入力されると、IWPRの対応するビットが1にセットされ、割り込み要求を発生します。

ウェイクアップ割り込み要求の受け付けは、IENR1のIENWPビットを0にクリアすることにより禁止できます。また、CCRのIビットを1にすることによりすべての割り込みをマスクできます。

WKP<sub>7</sub>~WKP<sub>0</sub>割り込みの割り込み例外処理が受け付けられると、CCRのIビットが1にセットされます。WKP<sub>7</sub>~WKP<sub>0</sub>割り込み例外処理のベクタ番号は9です。8つの割り込み要因が1つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

#### (3) IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込み

IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込みは、IRQ<sub>4</sub>~IRQ<sub>0</sub>端子の入力信号により要求されます。

IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込みは、立ち上がりエッジセンスまたは立ち下がりエッジセンスをIEGRのIEG4~IEG0により指定できます。

PMR2、PMR1により端子機能がIRQ<sub>4</sub>~IRQ<sub>0</sub>端子に選択された状態で指定されたエッジが入力されると、IRR1の対応するビットが1にセットされ、割り込み要求を発生します。

割り込み要求の受け付けは、IENR1のIEN4~IEN0ビットを0にクリアすることにより、禁止できます。また、CCRのIビットを1にセットすることによりすべての割り込みをマスクできます。

IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込みの割り込み例外処理が受け付けられると、CCRのIビットが1にセットされます。

IRQ<sub>4</sub>~IRQ<sub>0</sub>割り込み例外処理のベクタ番号は8~4です。優先順位はIRQ<sub>4</sub>(低)→IRQ<sub>0</sub>(高)の順に高くなります。詳細は表3.2を参照してください。

### 3.3.4 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は、24要因あります。

内蔵周辺モジュールからの割り込み要求が発生すると、IRR2、IRR1の対応するビットが1にセットされます。IENR2、IENR1の各ビットを0にクリアすることにより、各割り込み要求の受け付けは禁止できます。また、CCRのIビットを1にセットすることにより、すべての割り込みをマスクできます。

これらの割り込み例外処理が受け付けられると、CCRのIビットは1にセットされます。ベクタ番号は10～23です。内蔵周辺モジュールからの割り込みの優先順位については表3.2を参照してください。

### 3.3.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図3.2に、割り込み受け付けまでのフローを図3.3に示します。

割り込み動作は以下のとおりです。

- ① 割り込み許可レジスタの対応するビットが1にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
- ② 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
- ③ 割り込み許可フラグが1にセットされている割り込みの中で、優先順位にしたがって最高位の割り込み要求が選択され、その後は保留となります（表3.2参照）。
- ④ CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込み要求は受け付けられますが、Iビットが1にセットされている場合は割り込み要求は保留となります。
- ⑤ 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PCとCCRがスタック領域に退避されます。このときのスタックの状態を図3.4に示します。スタックされるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ CCRのIビットが1にセットされます。これにより、すべての割り込みはマスクされます。
- ⑦ 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

プログラム領域を内蔵ROMに、スタック領域を内蔵RAMにとった場合の割り込みシーケンスを図3.5に示します。

- 【注】
1. 本LSIでは、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、かならず割り込みをマスクした状態（I=1）で行ってください。
  2. I=0の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

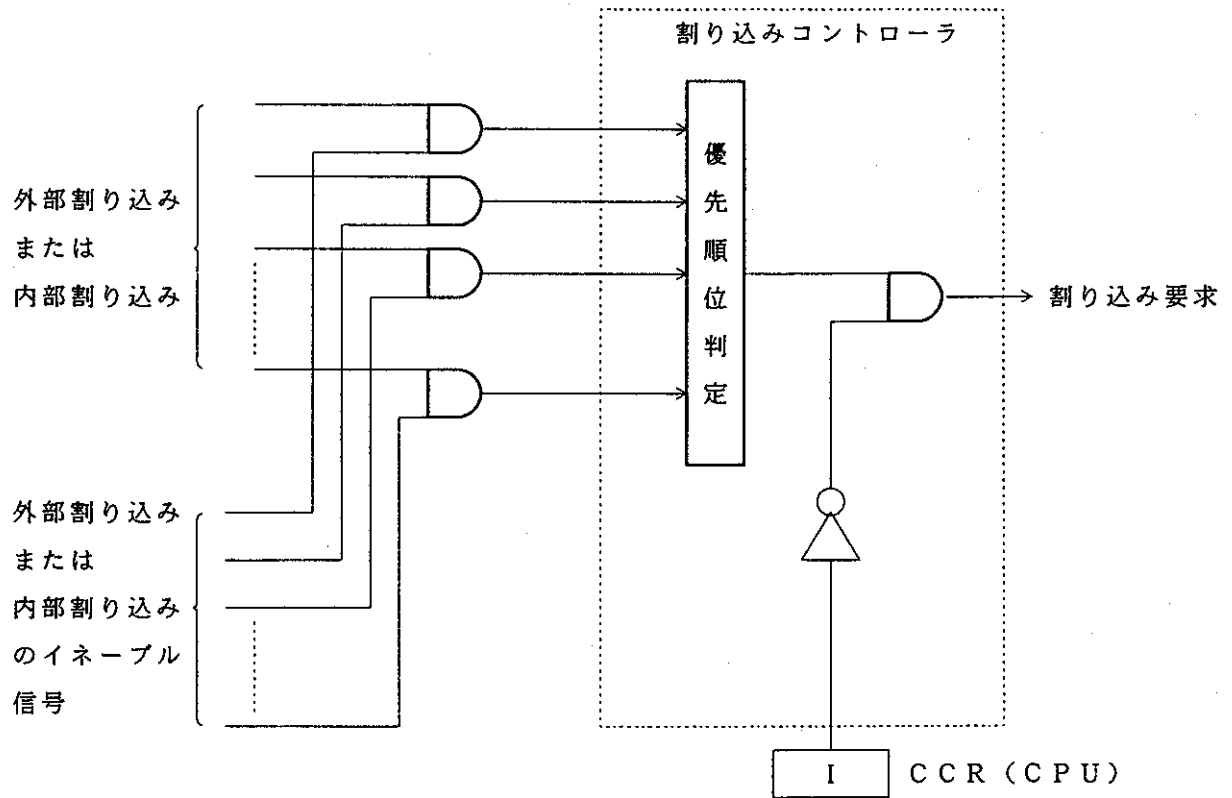
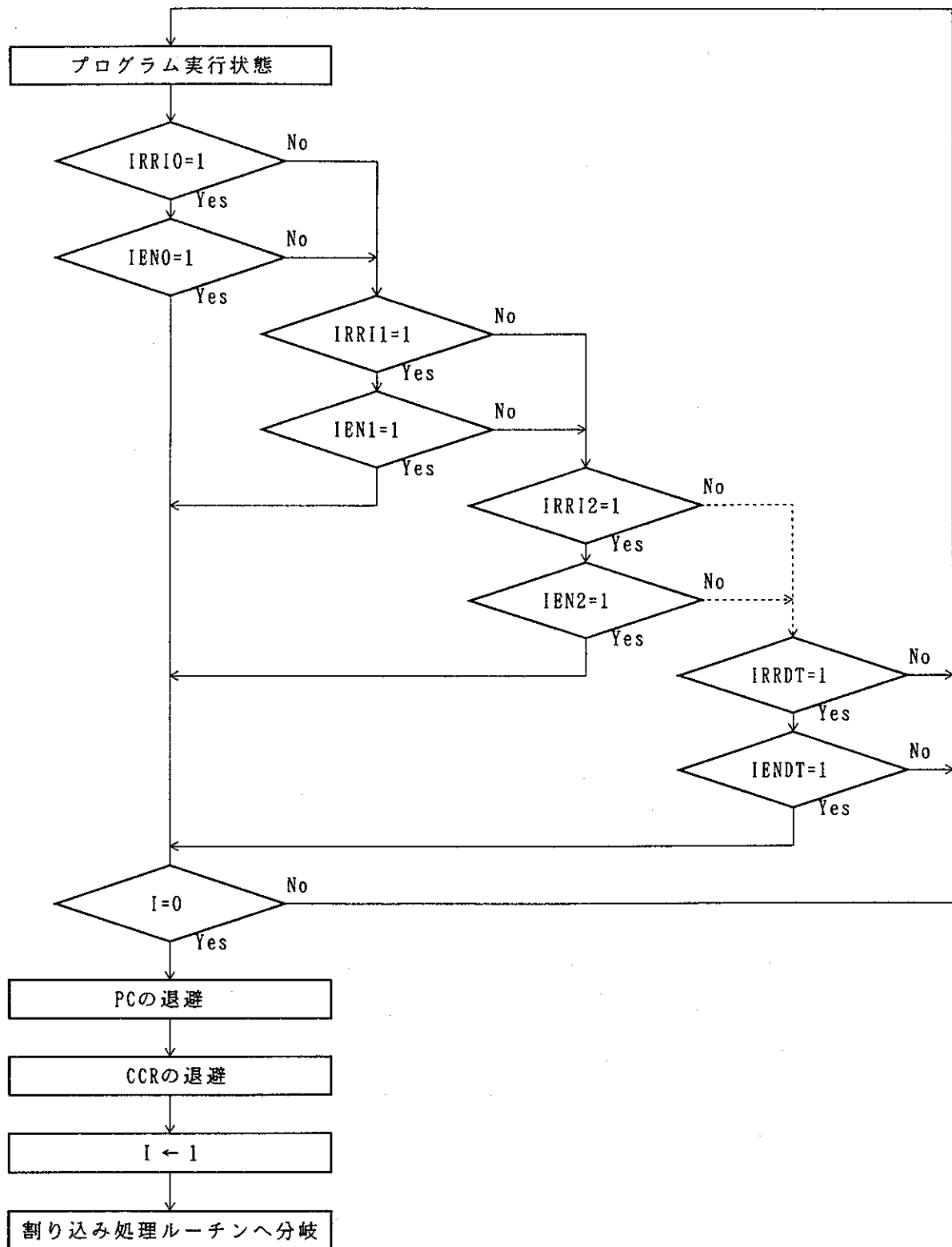


図 3. 2 割り込みコントローラのブロック図



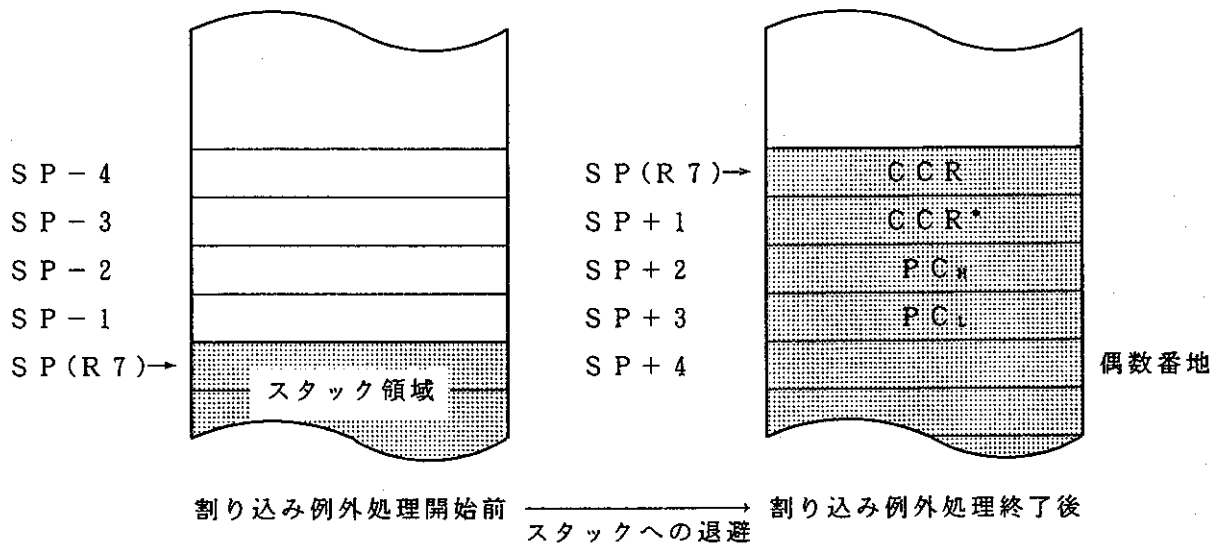
〈記号説明〉

PC : プログラムカウンタ

CCR : コンディションコードレジスタ

I : CCRのIビット

図 3.3 割り込み受けまでのフロー

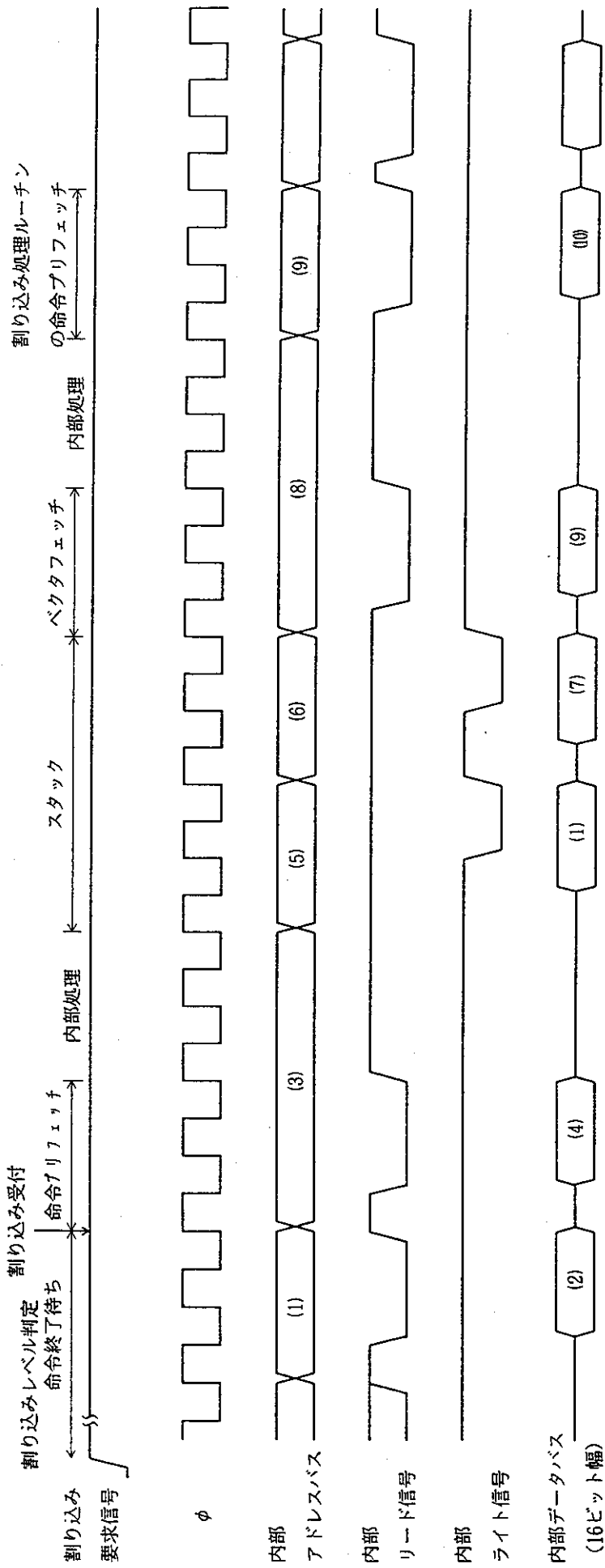


<記号説明>

- PC<sub>H</sub> : プログラムカウンタ (PC) の上位 8 ビット
- PC<sub>L</sub> : プログラムカウンタ (PC) の下位 8 ビット
- CCR : コンディションコードレジスタ
- SP : スタックポインタ

- 【注】 1. PC はリターン後に実行する最初の命令のアドレスです。
2. レジスタの退避および復帰は必ずワードサイズで、偶数アドレスから行ってください。
- \* リターン時には無視されます。

図 3.4 割り込み例外処理終了後のスタック状態



- (1) 命令のプリフェッチアドレス (実行されません。回避PCの内容であり、リターンアドレスです。)
- (2) (4) 命令コード (実行されません。)
- (3) 命令のプリフェッチアドレス (実行されません。)
- (5) SP-2 (6) SP-4 (7) CCR
- (8) ベクタアドレス
- (9) 割り込み処理ルーチン開始アドレス (ベクタアドレスの内容)
- (10) 割り込み処理ルーチン先頭命令

図3.5 割り込みシーケンス



### 3.3.6 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み処理ルーチンの先頭命令を実行するまでの待ち状態数を表3.4に示します。

表3.4 割り込み待ち状態数

項 目	状態数	合 計
実行中の命令終了時の待ち時間 *	1～13	15～27
PC、CCRのスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

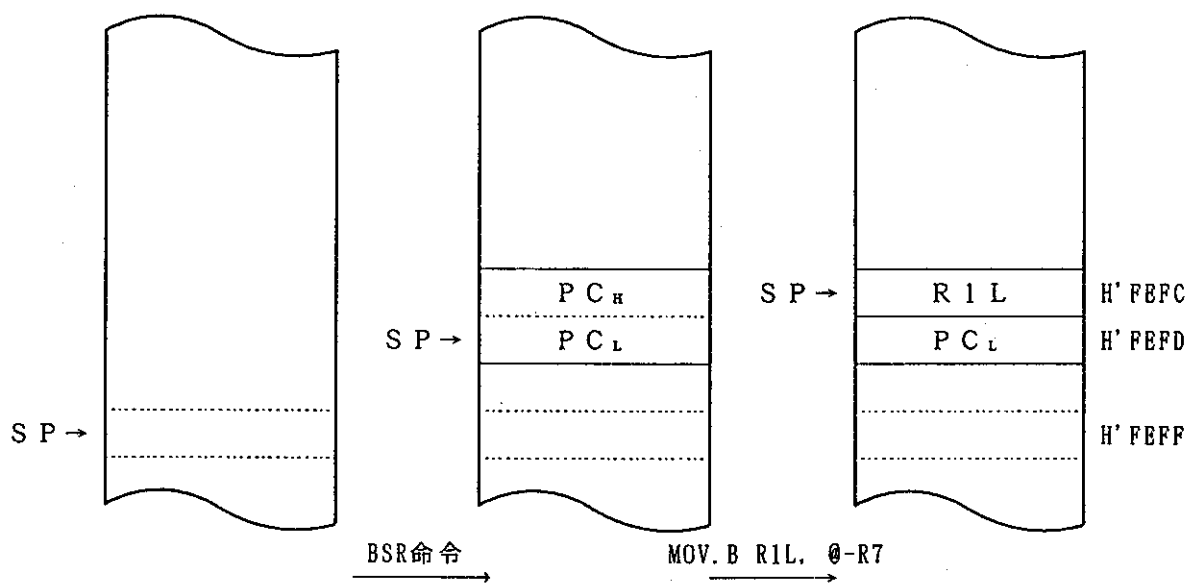
【注】\* EEPMOV命令は除きます。

### 3.4 使用上の注意事項

#### 3.4.1 スタック領域に関する使用上の注意事項

本LSIでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ(SP:R7)の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SPに奇数を設定すると、誤動作の原因となります。SPに奇数を設定した場合の動作例を図3.6に示します。



SPにH'FEFFを設定      SPを超えてスタックされる。PC<sub>H</sub>の内容が失われる。

#### <記号説明>

- PC<sub>H</sub> : プログラムカウンタの上位バイト
- PC<sub>L</sub> : プログラムカウンタの下位バイト
- R1L : 汎用レジスタのR1L
- SP : スタックポインタ

図3.6 SPに奇数を設定したときの動作

また、割り込み例外処理およびRTE命令実行時のCCRの退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともにCCRの値が退避されます。復帰時には、偶数アドレスの値がCCRに格納され、奇数アドレスの値は無視されます。

### 3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り換えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割り込み端子（IRQ<sub>4</sub>～IRQ<sub>0</sub>、WKP<sub>7</sub>～WKP<sub>0</sub>）を制御しているポートモードレジスタを書き換えて端子機能を切り換えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り換えた時点で割り込み要求フラグが1にセットされますので、割り込み要求フラグを0にクリアしてから使用してください。

1にセットされる割り込み要求フラグとその条件を表3.5に示します。

表 3.5 割り込み要求フラグが1にセットされる条件

1にセットされる 割り込み要求フラグ		条 件
IRR1	IRRI4	<ul style="list-style-type: none"> <li>• <math>\overline{IRQ}_4</math>端子が Low レベルで I E G R の I E G 4 が 0 の状態で、P M R 2 の I R Q 4 を 0 から 1 に書き換えたとき</li> <li>• <math>\overline{IRQ}_4</math>端子が Low レベルで I E G R の I E G 4 が 1 の状態で、P M R 2 の I R Q 4 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI3	<ul style="list-style-type: none"> <li>• <math>\overline{IRQ}_3</math>端子が Low レベルで I E G R の I E G 3 が 0 の状態で、P M R 1 の I R Q 3 を 0 から 1 に書き換えたとき</li> <li>• <math>\overline{IRQ}_3</math>端子が Low レベルで I E G R の I E G 3 が 1 の状態で、P M R 1 の I R Q 3 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI2	<ul style="list-style-type: none"> <li>• <math>\overline{IRQ}_2</math>端子が Low レベルで I E G R の I E G 2 が 0 の状態で、P M R 1 の I R Q 2 を 0 から 1 に書き換えたとき</li> <li>• <math>\overline{IRQ}_2</math>端子が Low レベルで I E G R の I E G 2 が 1 の状態で、P M R 1 の I R Q 2 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI1	<ul style="list-style-type: none"> <li>• <math>\overline{IRQ}_1</math>端子が Low レベルで I E G R の I E G 1 が 0 の状態で、P M R 1 の I R Q 1 を 0 から 1 に書き換えたとき</li> <li>• <math>\overline{IRQ}_1</math>端子が Low レベルで I E G R の I E G 1 が 1 の状態で、P M R 1 の I R Q 1 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI0	<ul style="list-style-type: none"> <li>• <math>\overline{IRQ}_0</math>端子が Low レベルで I E G R の I E G 0 が 0 の状態で、P M R 2 の I R Q 0 を 0 から 1 に書き換えたとき</li> <li>• <math>\overline{IRQ}_0</math>端子が Low レベルで I E G R の I E G 0 が 1 の状態で、P M R 2 の I R Q 0 を 1 から 0 に書き換えたとき</li> </ul>
IWPR	IWPF7	$\overline{WKP}_7$ 端子が Low レベルの状態で、P M R 5 の W K P 7 を 0 から 1 に書き換えたとき
	IWPF6	$\overline{WKP}_6$ 端子が Low レベルの状態で、P M R 5 の W K P 6 を 0 から 1 に書き換えたとき
	IWPF5	$\overline{WKP}_5$ 端子が Low レベルの状態で、P M R 5 の W K P 5 を 0 から 1 に書き換えたとき
	IWPF4	$\overline{WKP}_4$ 端子が Low レベルの状態で、P M R 5 の W K P 4 を 0 から 1 に書き換えたとき
	IWPF3	$\overline{WKP}_3$ 端子が Low レベルの状態で、P M R 5 の W K P 3 を 0 から 1 に書き換えたとき
	IWPF2	$\overline{WKP}_2$ 端子が Low レベルの状態で、P M R 5 の W K P 2 を 0 から 1 に書き換えたとき
	IWPF1	$\overline{WKP}_1$ 端子が Low レベルの状態で、P M R 5 の W K P 1 を 0 から 1 に書き換えたとき
	IWPF0	$\overline{WKP}_0$ 端子が Low レベルの状態で、P M R 5 の W K P 0 を 0 から 1 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図3.7に示します。

端子機能を切り換える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも1命令（NOP命令で可）実行してから、1にセットされた割り込み要求フラグを0にクリアしてください。ポートモードレジスタ操作後に1命令実行せず割り込み要求フラグを0にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り換えに伴う割り込み要求フラグのセットを回避する他の方法として、表3.5の条件を満たさないように端子を High レベルに制御して行う方法もあります。

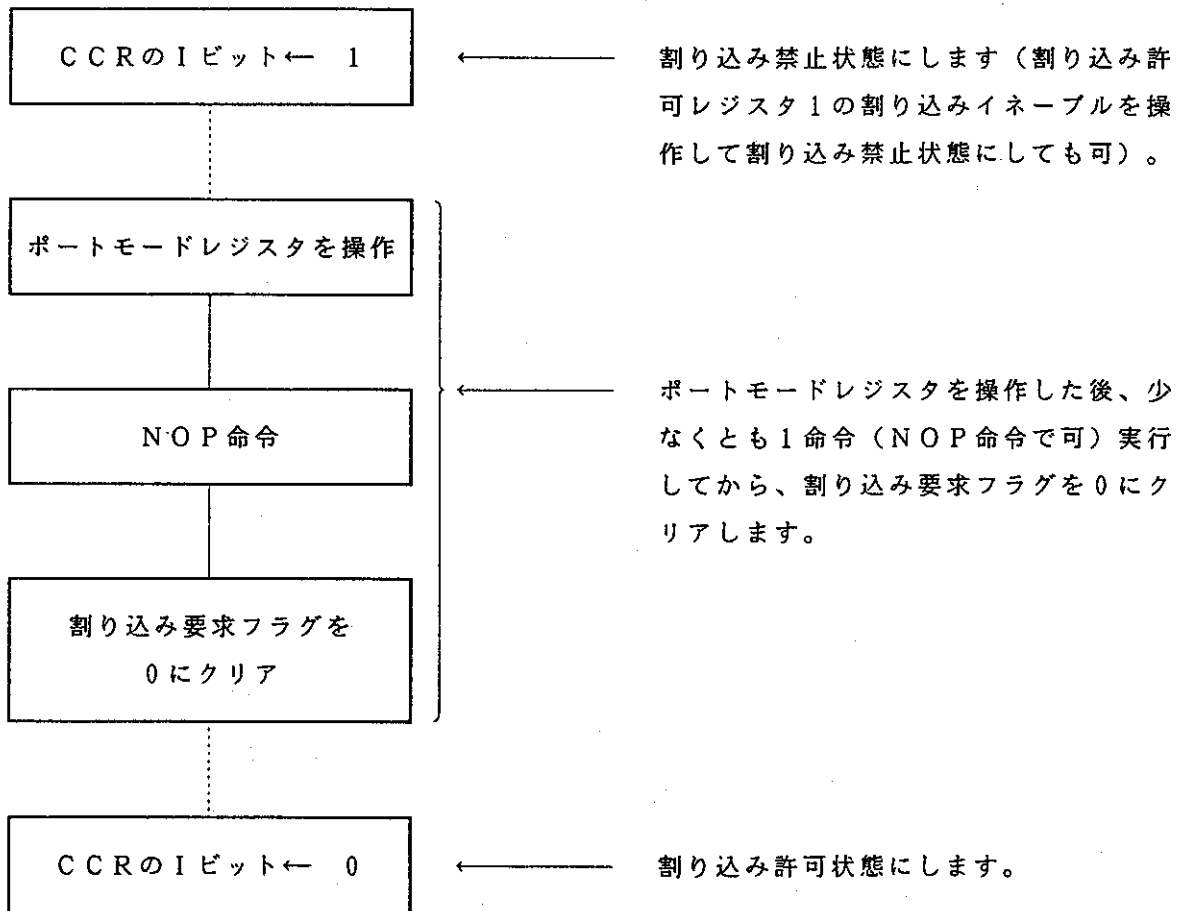


図3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

# 4. クロック発振器

---

## 第 4 章 目次

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-5
4.4	プリスケーラ	4-6
4.5	発振子に関する注意事項	4-6

---

## 4.1 概要

本LSIは、クロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の2つの回路から構成されます。

### 4.1.1 ブロック図

図4.1にクロック発生回路のブロック図を示します。

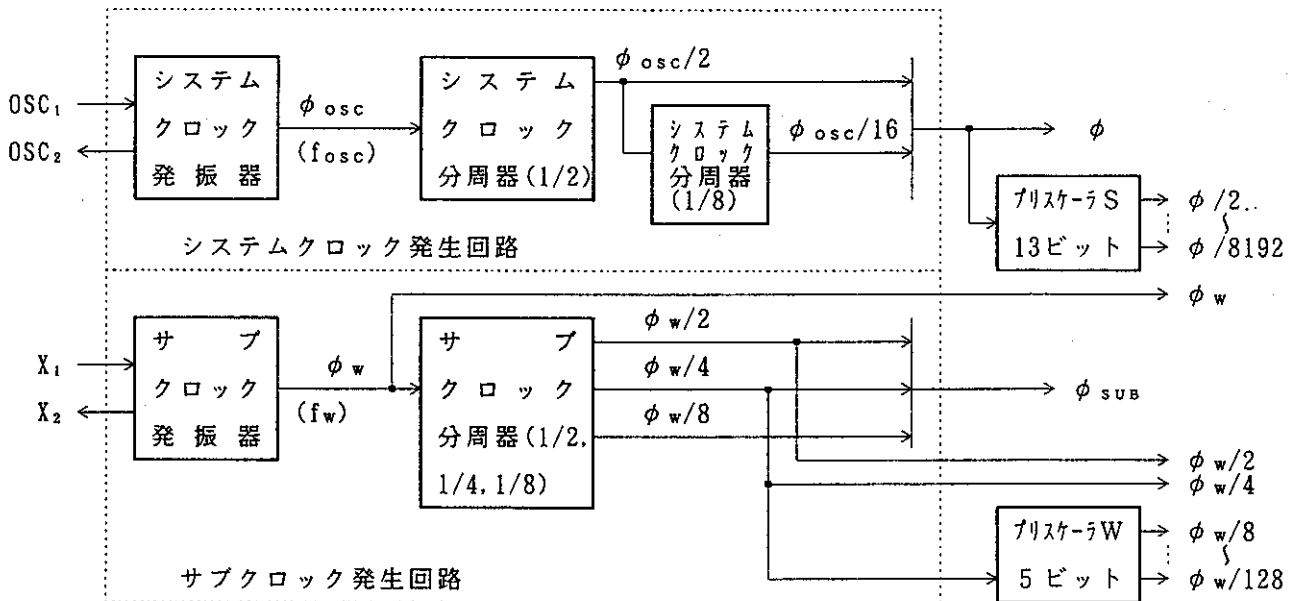


図4.1 クロック発生回路のブロック図

### 4.1.2 システムクロックとサブクロック

クロック（ $\phi$ および $\phi_{SUB}$ ）は、CPUおよび周辺機能を動作させるための基準クロックです。

$\phi$ をシステムクロック、 $\phi_{SUB}$ をサブクロックと呼びます。また、 $\phi_{osc}$ をOSCクロック、 $\phi_w$ をウォッチクロックと呼びます。

クロック $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_w/128$ 、 $\phi_w/64$ 、 $\phi_w/32$ 、 $\phi_w/16$ 、 $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ 、 $\phi_w$ は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

## 4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

### (1) 水晶発振子を接続する方法

水晶発振子の接続例を図4.2に示します。

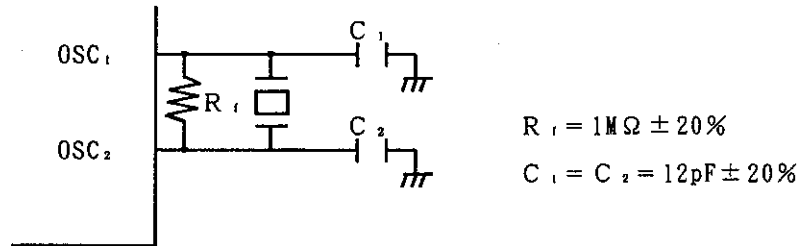


図4.2 水晶発振子の接続例

図4.3に水晶発振子の等価回路を示します。発振子は表4.1に示す特性のものを使用してください。

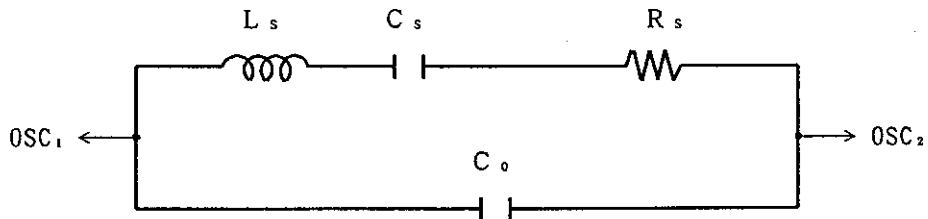


図4.3 水晶発振子の等価回路

表4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
$R_s$ (max)	500Ω	100Ω	50Ω	30Ω
$C_o$ (max)	7 pF			



(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

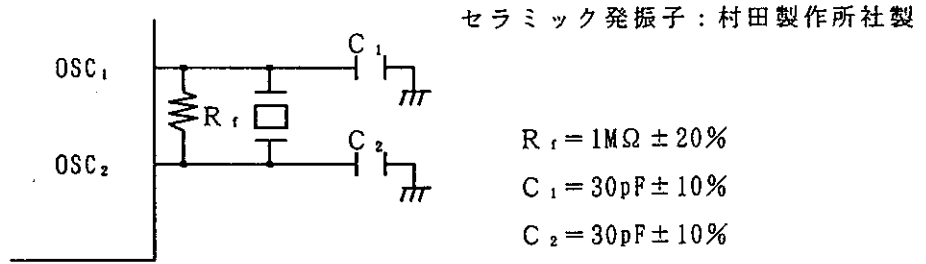


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけOSC<sub>1</sub>、OSC<sub>2</sub>端子の近くに配置してください。

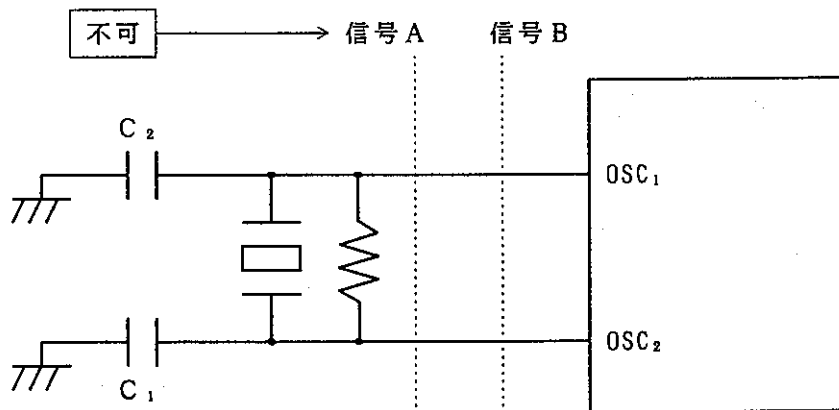


図 4.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックをOSC<sub>1</sub>端子に接続し、OSC<sub>2</sub>端子をオープン状態にします。

この場合の接続例を図4.6に示します。

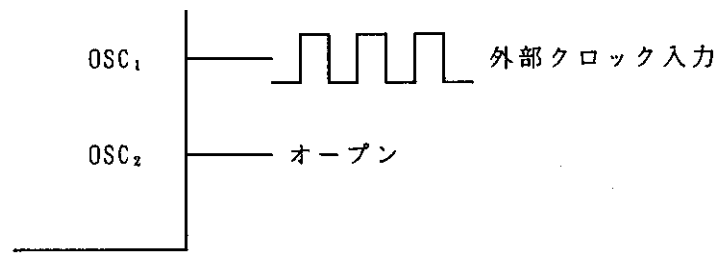


図4.6 外部クロックを入力する場合の接続例

周波数	OSCクロック ( $\phi_{osc}$ )
duty	45%~55%

### 4.3 サブクロック発振器

#### (1) 32.768 k Hz水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図4.7に示すように32.768 k Hzの水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

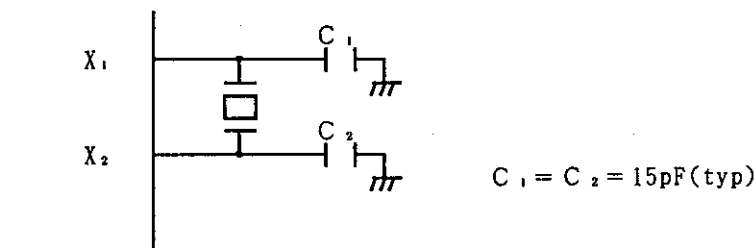


図4.7 32.768 k Hz水晶発振子の接続例

図4.8に32.768 k Hz水晶発振子の等価回路を示します。

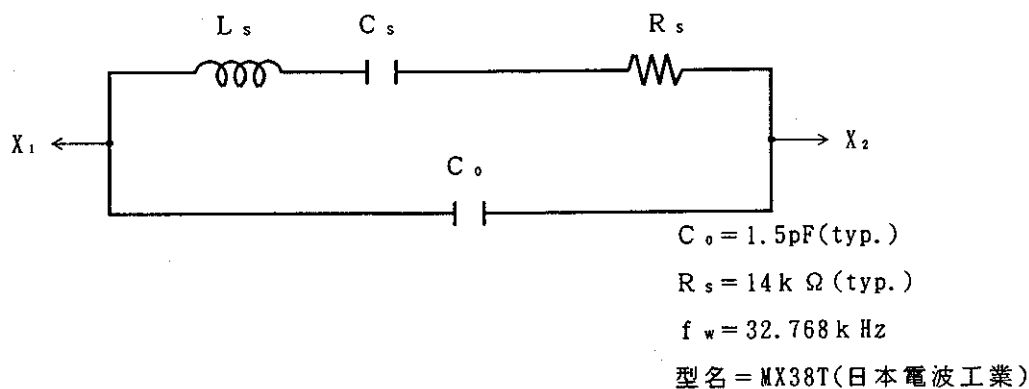


図4.8 32.768 k Hz水晶発振子の等価回路

#### (2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図4.9に示すようにX1端子をVccに接続し、X2端子をオープンとしてください。

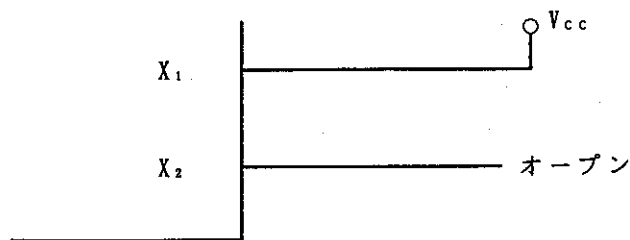


図4.9 サブクロックを必要としない場合の端子処理

## 4.4 プリスケーラ

本LSIは、入力クロックの異なる2本のプリスケーラ（プリスケーラS、プリスケーラW）を内蔵しています。

プリスケーラSは、システムクロック（ $\phi$ ）を入力クロックとする13ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラWは32.768kHzを4分周したクロック（ $\phi_w/4$ ）を入力クロックとする5ビットのカウンタで、分周した出力をタイマAの時計用タイムベース動作に使用します。

### (1) プリスケーラS（PSS）

プリスケーラSは、システムクロック（ $\phi$ ）を入力クロックとする13ビットのカウンタで、1サイクルごとにカウントアップします。

リセット時、プリスケーラSはH'0000にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラSの動作も停止します。このとき、プリスケーラSはH'0000にイニシャライズされます。

CPUによるプリスケーラSのデータリードまたはデータライトはできません。

プリスケーラSの出力は、全ての内蔵周辺モジュールで共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ（中速）モードではプリスケーラSのクロック入力が $\phi_{osc}/16$ となります。

### (2) プリスケーラW（PSW）

プリスケーラWは、32.768kHzを4分周したクロック（ $\phi_w/4$ ）を入力クロックとする5ビットのカウンタです。

リセット時、プリスケーラWはH'00にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、X<sub>1</sub>、X<sub>2</sub>端子にクロックが供給されているかぎり、プリスケーラWは動作を継続します。

プリスケーラWは、TMAのTMA3、TMA2を各々1に設定することでリセットできます。

また、プリスケーラWの出力は、タイマAのクロックとして使用できます。このとき、タイマAは時計用タイムベースとして機能します。

## 4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク版、ZTAT®版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

# 5. 低消費電力モード

## 第5章 目次

5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8
5.2.2	スリープモードの解除	5-8
5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10
5.4	ウォッチモード	5-11
5.4.1	ウォッチモードへの遷移	5-11
5.4.2	ウォッチモードの解除	5-11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-11
5.5	サブスリープモード	5-12
5.5.1	サブスリープモードへの遷移	5-12
5.5.2	サブスリープモードの解除	5-12
5.6	サブアクティブモード	5-13
5.6.1	サブアクティブモードへの遷移	5-13
5.6.2	サブアクティブモードの解除	5-13
5.6.3	サブアクティブモードの動作周波数について	5-13
5.7	アクティブ（中速）モード	5-14
5.7.1	アクティブ（中速）モードへの遷移	5-14
5.7.2	アクティブ（中速）モードの解除	5-14
5.7.3	アクティブ（中速）モードの動作周波数について	5-14
5.8	直接遷移	5-15

## 5.1 概要

本LSIには、リセット解除後にLSIが動作するモードとして、消費電力を著しく低下させる6種類の低消費電力モードを含む、7種類の動作モードをもっています。

表5.1に動作モードの概要を示します。

表5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPUがシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPUがシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPUがサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープモード	CPUが動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
サブスリープモード	CPUが動作を停止し、タイマA、タイマC、およびタイマGがサブクロックで動作しているモードです。
ウォッチモード	CPUが動作を停止し、タイマAの時計機能がサブクロックで動作しているモードです。
スタンバイモード	CPUおよびすべての内蔵の周辺機能が動作を停止しているモードです。

上記7種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

図5.1にモード遷移図を示します。



表 5.2 に各モードでの L S I の内部状態を示します。

表 5.2 各動作モードでの L S I の状態

機 能	アクティブ		スリープ	ウォッチ	サブ アクティブ	サブスリープ	スタンバイ					
	高速	中速										
システムクロック発振器	動作	動作	動作	停止	停止	停止	停止					
サブクロック発振器	動作	動作	動作	動作	動作	動作	動作					
CPU 動作	命令	動作	動作	停止	動作	保持	停止					
	RAM			保持			保持					
	レジスタ			保持			保持*					
	I/O			保持			保持*					
外部 割り 込み の 動作	NMI	動作	動作	動作	動作	動作	動作					
	IRQ <sub>0</sub>			保持**			保持**					
	IRQ <sub>1</sub>											
	IRQ <sub>2</sub>											
	IRQ <sub>3</sub>											
	IRQ <sub>4</sub>											
	WKP <sub>0</sub>			動作			動作	動作	動作	動作		
	WKP <sub>1</sub>											
	WKP <sub>2</sub>											
	WKP <sub>3</sub>											
WKP <sub>4</sub>												
WKP <sub>5</sub>												
WKP <sub>6</sub>												
周辺 機能 の 動作	747A	動作	動作	動作**	保持	動作**	保持					
	747B1~B3			保持		保持						
	747C			動作/保持**		動作/保持**						
	747F			保持		保持						
	747G			動作/保持**		動作/保持**						
	747H			保持		保持						
	I <sup>2</sup> C1、I <sup>2</sup> C2			動作		動作		動作	保持	保持	保持	保持
	SCI3			動作		動作		動作	リセット	リセット	リセット	リセット
	8ビットPWM			動作		動作		保持	保持	保持	保持	保持
A/D	動作	動作	動作	保持	保持	保持	保持					

- 【注】 \*1 レジスタは保持、出力はハイインピーダンス  
 \*2 外部クロックまたは内部クロックとしてφ<sub>w</sub>/4を選択した場合に動作、その他は停止して保持  
 \*3 内部クロックとしてφ<sub>w</sub>/2を選択した場合に動作、その他は停止して保持  
 \*4 時計用タイムベース機能を選択時に動作  
 \*5 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。



### 5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'E0	H'FFF1

#### (1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	—	—	—

SYSCR1 は、8ビットのリードとライトが可能なレジスタで、低消費電力モードの制御を行います。

#### ビット 7 : ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説 明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

特定の割り込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに移移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期値)
		1	待機時間 = 16,384 ステート
	1	0	待機時間 = 32,768 ステート
		1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

\* Don't care

ビット3：ロースピードオンフラグ（LSON）

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック（φ）にするか、サブクロック（φ<sub>SUB</sub>）にするかを選択します。他の制御ビット、割り込み入力の組み合わせで動作モードを決定します。

ビット3	説明
LSON	
0	CPUの動作クロックはシステムクロック（φ） (初期値)
1	CPUの動作クロックはサブクロック（φ <sub>SUB</sub> ）

ビット2～0：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

(2) システムコントロールレジスタ2（SYSCR2）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値：	1	1	1	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2は、8ビットのリードとライトが可能なレジスタで、低消費電力モードの制御を行います。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット4：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック ( $\phi_w$ ) を、システムクロック発振器より生成されたOSCクロック ( $\phi_{osc}$ ) により、サンプリングする周波数を選択します。 $\phi_{osc} = 2 \sim 10$  MHzのときは、0 をセットしてください。

ビット4	説明
NESEL	
0	$\phi_{osc}$ の16分周クロックでサンプリング (初期値)
1	$\phi_{osc}$ の4分周クロックでサンプリング

ビット3：ダイレクトトランスファオンフラグ (DTON)

アクティブ (高速) モード、アクティブ (中速) モード、サブアクティブモードの各モード間を、SLEEP命令を実行することにより直接遷移するか否かを指定します。SLEEP命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット3	説明
DTON	
0	<ul style="list-style-type: none"> <li>・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 (初期値)</li> </ul>
1	<ul style="list-style-type: none"> <li>・アクティブ (高速) モードでSLEEP命令を実行したとき、アクティブ (中速) モード (SSBY=0、MSON=1、LSON=0のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1のとき) に直接遷移</li> <li>・アクティブ (中速) モードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY=0、MSON=0、LSON=0のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1のとき) に直接遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY=1、TMA3=1、LSON=0、MSON=0のとき)、またはアクティブ (中速) モード (SSBY=1、TMA3=1、LSON=0、MSON=1のとき) に直接遷移</li> </ul>

ビット2：ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるかを選択します。

ビット2	説 明	
MSON		
0	アクティブ（高速）モードで動作	(初期値)
1	アクティブ（中速）モードで動作	

ビット1、0：サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモードのCPUの動作クロック ( $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ ) を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説 明	
SA1	SA0		
0	0	$\phi_w/8$	(初期値)
	1	$\phi_w/4$	
1	*	$\phi_w/2$	

\* Don't care

## 5.2 スリープモード

### 5.2.1 スリープモードへの遷移

アクティブモードで、SYSCR1のSSBYが0、LSONが0のときSLEEP命令を実行すると、スリープモードに遷移します。スリープモードではCPUの動作は停止しますが、内蔵周辺モジュールは動作します。なお、CPUのレジスタの内容は保持されます。

### 5.2.2 スリープモードの解除

スリープモードの解除は、すべての割り込み(タイマA、タイマB1、タイマB2、タイマB3、タイマC、タイマF、タイマG、タイマH、NMI、IRQ<sub>4</sub>~IRQ<sub>0</sub>、WKP<sub>7</sub>~WKP<sub>0</sub>、SCI3、I<sup>2</sup>C1、I<sup>2</sup>C2、A/D変換器)、RES端子入力によって行われます。

#### (1) 割り込みによる解除

割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。

SYSCR2のMSONが0のときアクティブ(高速)モードに、MSONが1のときアクティブ(中速)モードに遷移します。なお、CCRのIビットが1のとき、あるいは割り込み許可レジスタにより当該割り込みの受付が禁止されている場合はスリープ状態は解除されません。

#### (2) RES端子による解除

RES端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

## 5.3 スタンバイモード

### 5.3.1 スタンバイモードへの遷移

アクティブモードでSYSCR1のSSBYが1、LSONが0、およびTMAのTMA3が0のときSLEEP命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPUおよび内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPUのレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMのデータは保持されています。さらに、RAMデータ保持電圧で規定した電圧が与えられているかぎり、内蔵RAMのデータは保持されています。このとき、I/Oポートはハイインピーダンス状態となります。

### 5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割り込み(NMI、IRQ<sub>1</sub>、IRQ<sub>0</sub>、WKP<sub>7</sub>~WKP<sub>0</sub>)、RES端子入力によって行われます。

#### (1) 割り込みによる解除

割り込み要求が発生すると、システムクロックの発振が開始され、SYSCR1のSTS2~STS0により設定された時間が経過した後、安定したシステムクロックがLSI全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。SYSCR2のMSONが0のときはアクティブ(高速)モードに、1のときはアクティブ(中速)モードに遷移します。なお、CCRのIビットが1のとき、あるいは、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合は、スタンバイモードは解除されません。

#### (2) RES端子による解除

RES端子をLowレベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、RES端子をHighレベルにすると、CPUはリセット例外処理を開始します。なお、システムクロックの発振開始と同時にLSI全体にシステムクロックが供給されます。RES端子は、必ずシステムクロックの発振が安定するまで、Lowレベルを保持してください。

### 5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1のSTS2～STS0の設定は、以下のようにしてください。

#### (1) 水晶発振の場合

表5.4に動作周波数とSTS2～STS0の設定値に対する待機時間を示します。待機時間が10ms以上となるようにSTS2～STS0を設定してください。

表 5.4 動作周波数と発振安定時間

(単位：ms)

STS2	STS1	STS0	待機時間	5 MHz	4 MHz	2 MHz	1 MHz	0.5MHz
0	0	0	8,192ステート	1.6	2.0	4.1	8.2	16.4
		1	16,384ステート	3.2	4.1	8.2	16.4	32.8
	1	0	32,768ステート	6.6	8.2	16.4	32.8	65.5
		1	65,536ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072ステート	26.2	32.8	65.5	131.1	262.1

\* Don't care

#### (2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨します。

## 5.4 ウォッチモード

### 5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードでSYSCR1のSSBYが1、TMAのTMA3が1のときSLEEP命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマA以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

### 5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み（NMI、IRQ<sub>0</sub>、WKP<sub>7</sub>～WKP<sub>0</sub>、タイマA）、RES端子入力によって行われます。

#### (1) 割り込みによる解除

タイマA割り込み、IRQ<sub>0</sub>割り込み、またはWKP<sub>7</sub>～WKP<sub>0</sub>割り込み要求が発生するとウォッチモードは解除され、SYSCR1のLSONとSYSCR2のMSONの組み合わせで、LSON=0かつMSON=0のときはアクティブ（高速）モードに、LSON=0かつMSON=1のときはアクティブ（中速）モードに、LSON=1のときはサブアクティブモードに遷移します。NMI割り込み要求が発生すると、ウォッチモードは解除され、MSON=0のときはアクティブ（高速）モードに、MSON=1のときはアクティブ（中速）モードに遷移します。アクティブモードに遷移するときは、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割り込み例外処理を開始します。

なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードは解除されません。

#### (2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

### 5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。



## 5.5 サブスリープモード

### 5.5.1 サブスリープモードへの遷移

サブアクティブモードでSYSCR1のSSBYが0、LSONが1、TMAのTMA3が1のときSLEEP命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマA、タイマC、およびタイマG以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

### 5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み(タイマA、タイマC、タイマG、IRQ<sub>4</sub>~IRQ<sub>0</sub>、NMI、WKP<sub>7</sub>~WKP<sub>0</sub>)、RES端子入力によって行われます。

#### (1) 割り込みによる解除

割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

#### (2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

## 5.6 サブアクティブモード

### 5.6.1 サブアクティブモードへの遷移

ウォッチモードで割り込み(タイマA、IRQ<sub>0</sub>、WKP<sub>7</sub>~WKP<sub>0</sub>)が発生したとき、SYSCR1のLSONが1ならば、サブアクティブモードに遷移します。また、サブスリープモードで割り込み(タイマA、タイマC、タイマG、NMI、IRQ<sub>4</sub>~IRQ<sub>0</sub>、WKP<sub>7</sub>~WKP<sub>0</sub>)が発生したとき、サブアクティブモードに遷移します。なお、CCRのIビットが1の場合、または割り込み許可レジスタにより当該割り込みの受付けが禁止されている場合は、サブアクティブモードに遷移しません。

### 5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令またはRES端子入力により行われます。

#### (1) SLEEP命令による解除

SYSCR1のSSBYが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1のSSBYが0、LSONが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

#### (2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

### 5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック( $\phi_w$ )の2分周、4分周、8分周から選択できます。

## 5.7 アクティブ（中速）モード

### 5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割り込み（NMI、IRQ<sub>1</sub>、IRQ<sub>0</sub>、WKP<sub>7</sub>～WKP<sub>0</sub>）が発生したとき、ウォッチモードで割り込み（タイマA、NMI、IRQ<sub>0</sub>、WKP<sub>7</sub>～WKP<sub>0</sub>）が発生したとき、あるいはスリープモードですべての割り込みが発生したとき、SYSCR1のLSONが0かつSYSCR2のMSONが1ならば、アクティブ（中速）モードに遷移します。なお、CCRのIビットが1の場合、または割り込み許可レジスタにより当該割り込みの受付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

### 5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP命令またはRES端子入力により行われます。

#### (1) SLEEP命令による解除

SYSCR1のSSBYが1、LSONが0、TMAのTMA3が0の状態ではSLEEP命令を実行すると、スタンバイモードに遷移します。SYSCR1のSSBYが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。

SYSCR1のSSBYが0、LSONが0の状態ではSLEEP命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

#### (2) RES端子による解除

RES端子をLowレベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

### 5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、アクティブ（高速）モードの1/8の動作周波数のクロックにより動作します。

## 5.8 直接遷移

CPUがプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移はSYSCR2のDTONを1にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。なお、割り込み許可レジスタ2により直接遷移割り込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCRのIビットを1の状態では直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割り込みによる解除は不可能となりますので注意してください。

### (1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを1、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

### (2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを0、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

### (3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを1、LSONを1、SYSCR2のDTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

### (4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、SYSCR2のMSONを0、DTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

### (5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを1、LSONを1、SYSCR2のDTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、SYSCR2のMSONを1、DTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

# 6. ROM

---

## 第6章 目次

6.1	概要	6-1
6.1.1	ブロック図	6-1
6.2	PROMモード	6-2
6.2.1	PROMモードの設定	6-2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6-2
6.3	プログラミング	6-5
6.3.1	書き込みとベリファイ	6-6
6.3.2	書き込み時の注意	6-9
6.4	書き込み後の信頼性	6-10

---

## 6.1 概要

H8/3945は40kバイトのROM（マスクROM）、H8/3946は48kバイトのROM（マスクROM）、H8/3947は、60kバイトのROM（PROMまたはマスクROM）を内蔵しています。ROMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

なお、H8/3947のPROM版は、PROMモードに設定することにより、汎用PROMライタを用いて自由にプログラムの書き込みができます。

### 6.1.1 ブロック図

ROMのブロック図を図6.1に示します。

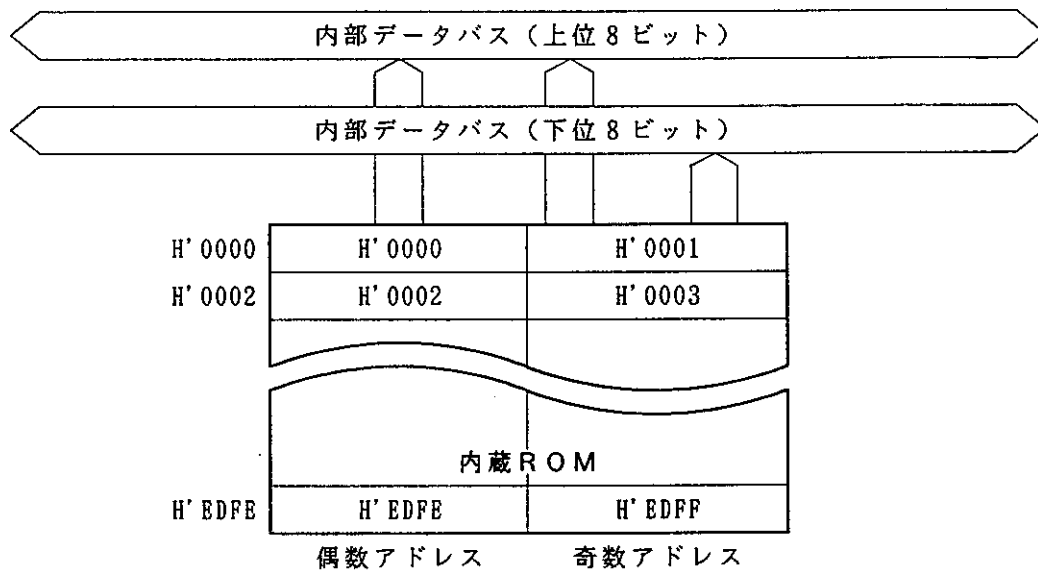


図6.1 ROMのブロック図（H8/3947の場合）

## 6.2 PROMモード

### 6.2.1 PROMモードの設定

H8/3947のPROM版の場合、PROMモードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101と同一の方法で内蔵PROMのプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

PROMモードの設定方法を、表6.1に示します。

表6.1 PROMモードの設定

端子名	設定
TEST端子	Highレベル
PB <sub>4</sub> /AN <sub>4</sub> 端子	Lowレベル
PB <sub>5</sub> /AN <sub>5</sub> 端子	
PB <sub>6</sub> /AN <sub>6</sub> 端子	Highレベル

### 6.2.2 ソケットアダプタの端子対応とメモリマップ

PROMのプログラムは、表6.2で示すようにパッケージに対応したソケットアダプタを付けて、32ピンに変換し、汎用PROMライターでプログラミングを行います。

ソケットアダプタの端子対応図を図6.2に示します。また、メモリマップを図6.3に示します。

表6.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
100ピン (FP-100A)	HS3947ESF01H



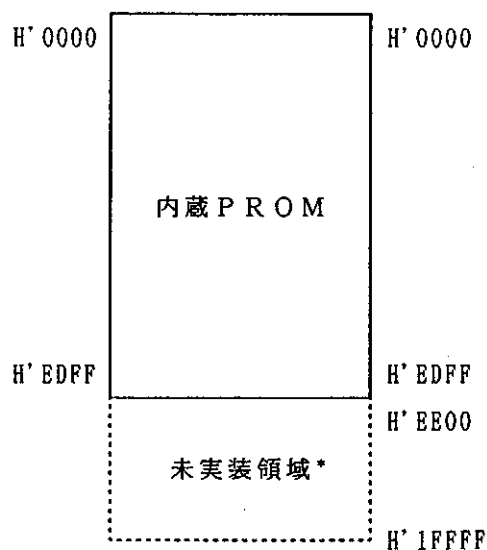
FP-100A	端 子	端 子	HN27C101(32E $\times$ )
12	$\overline{RES}$	$V_{pp}$	1
47	P6 <sub>0</sub>	EO <sub>0</sub>	13
48	P6 <sub>1</sub>	EO <sub>1</sub>	14
49	P6 <sub>2</sub>	EO <sub>2</sub>	15
50	P6 <sub>3</sub>	EO <sub>3</sub>	17
51	P6 <sub>4</sub>	EO <sub>4</sub>	18
52	P6 <sub>5</sub>	EO <sub>5</sub>	19
53	P6 <sub>6</sub>	EO <sub>6</sub>	20
54	P6 <sub>7</sub>	EO <sub>7</sub>	21
70	P8 <sub>7</sub>	EA <sub>0</sub>	12
69	P8 <sub>6</sub>	EA <sub>1</sub>	11
68	P8 <sub>5</sub>	EA <sub>2</sub>	10
67	P8 <sub>4</sub>	EA <sub>3</sub>	9
66	P8 <sub>3</sub>	EA <sub>4</sub>	8
65	P8 <sub>2</sub>	EA <sub>5</sub>	7
64	P8 <sub>1</sub>	EA <sub>6</sub>	6
63	P8 <sub>0</sub>	EA <sub>7</sub>	5
55	P7 <sub>0</sub>	EA <sub>8</sub>	27
91	P4 <sub>3</sub>	EA <sub>9</sub>	26
57	P7 <sub>2</sub>	EA <sub>10</sub>	23
58	P7 <sub>3</sub>	EA <sub>11</sub>	25
59	P7 <sub>4</sub>	EA <sub>12</sub>	4
60	P7 <sub>5</sub>	EA <sub>13</sub>	28
61	P7 <sub>6</sub>	EA <sub>14</sub>	29
84	P1 <sub>4</sub>	EA <sub>15</sub>	3
85	P1 <sub>5</sub>	EA <sub>16</sub>	2
62	P7 <sub>7</sub>	$\overline{CE}$	22
56	P7 <sub>1</sub>	$\overline{OE}$	24
83	P1 <sub>3</sub>	$\overline{PGM}$	31
34, 79	V <sub>cc</sub>	V <sub>cc</sub>	32
92	AV <sub>cc</sub>		
6	TEST		
8	X <sub>1</sub>		
99	PB <sub>6</sub>		
13	$\overline{NMI}$		
81	P1 <sub>1</sub>		
82	P1 <sub>2</sub>		
86	P1 <sub>0</sub>		
9, 30, 71	V <sub>ss</sub>	V <sub>ss</sub>	16
5	AV <sub>ss</sub>		
97	PB <sub>4</sub>		
98	PB <sub>5</sub>		

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 6. 2 ソケットアダプタの端子対応図 (HN27C101)

MCUモードに  
おけるアドレス

PROMモードに  
おけるアドレス



【注】\* PROMモードでこのアドレス領域をリードした場合、出力データは保証されません。

したがって、PROMライターでプログラムする際に、アドレスは必ずH'0000～H'EDFFに設定してください。誤ってH'EE00以降にプログラムするとPROMの書き込みや確認ができなくなることがありますので注意してください。

また、プログラムする際にはこのアドレス領域（H'EE00～H'1FFFF）のデータはH'FFとしてください。

図 6.3 H8/3947のPROMモード時のメモリマップ

### 6.3 プログラミング

PROMモード時の書き込み、ペリファイなどのモード選択は、表6.3に示すような設定により行います。

表6.3 PROMモード時の書き込みモードの選択

モード \ ピン	CE	OE	PGM	V <sub>pp</sub>	V <sub>cc</sub>	EO <sub>7</sub> ~EO <sub>0</sub>	EA <sub>16</sub> ~EA <sub>0</sub>
書き込み	L	H	L	V <sub>pp</sub>	V <sub>cc</sub>	データ入力	アドレス入力
ペリファイ	L	L	H	V <sub>pp</sub>	V <sub>cc</sub>	データ出力	アドレス入力
プログラミング禁止	L	L	L	V <sub>pp</sub>	V <sub>cc</sub>	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

<記号説明>

L : Low レベル

H : High レベル

V<sub>pp</sub> : V<sub>pp</sub> レベル

V<sub>cc</sub> : V<sub>cc</sub> レベル

なお、書き込み、読み出しは、標準EPROM HN27C101と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしているPROMライターは使用できません。PROMライターを選択する場合には、1バイト毎の高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ずH'0000~H'EDFFに設定してください。

### 6.3.1 書き込みとベリファイ

書き込みとベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損うことなく高速な書き込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図6.4に示します。

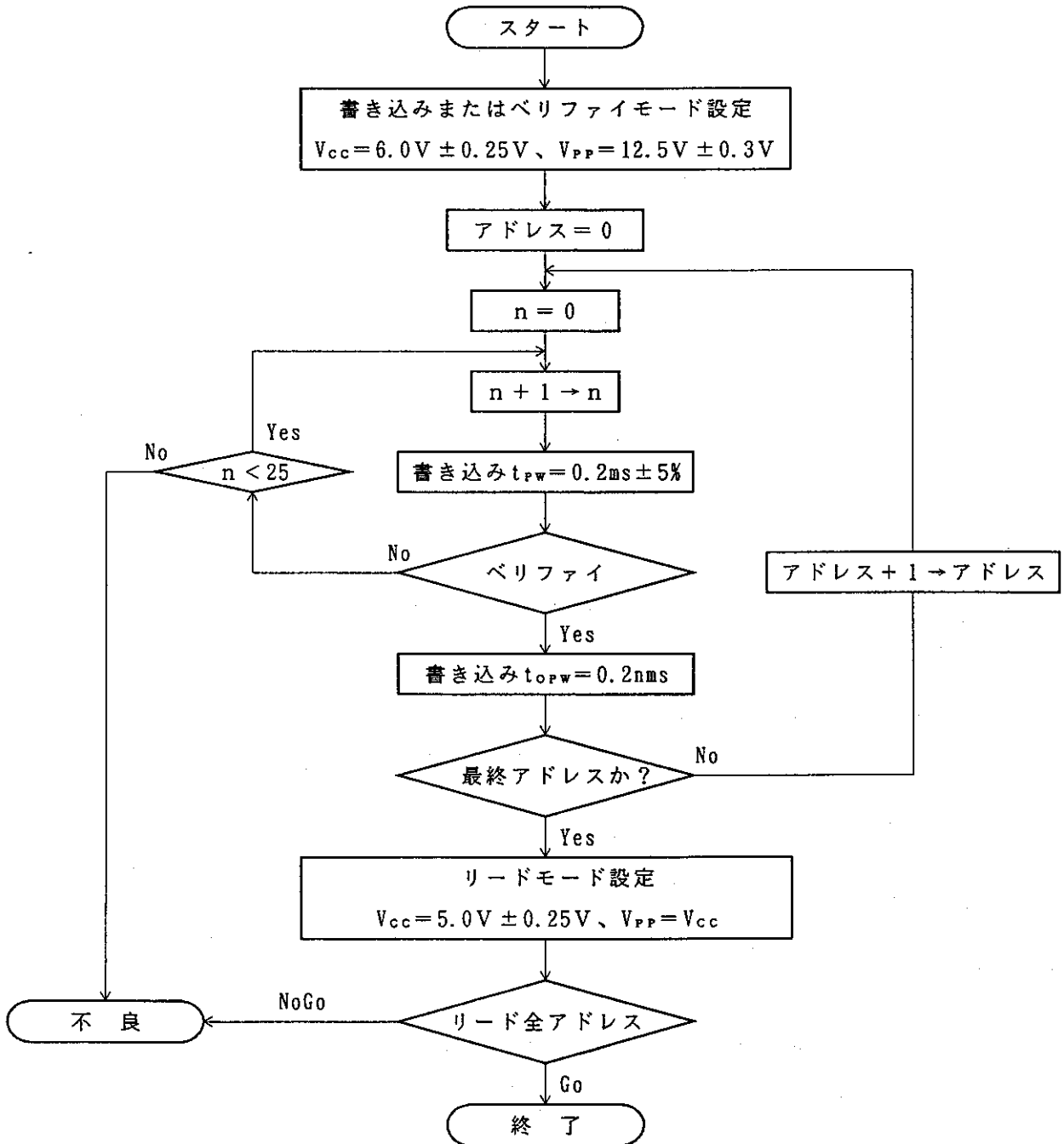


図 6.4 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6. 4、表 6. 5 に示します。

表 6. 4 DC 特性

(条件:  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$ )

項	目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IH}$	2.4	—	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IL}$	-0.3	—	0.8	V	
出力 High レベル電圧	$EO_7 \sim EO_0$	$V_{OH}$	2.4	—	—	V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	$V_{OL}$	—	—	0.45	V	$I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$ I_{LI} $	—	—	2	$\mu A$	$V_{in} = 5.25V / 0.5V$
	$V_{CC}$ 電流	$I_{CC}$	—	—	40	mA	
	$V_{PP}$ 電流	$I_{PP}$	—	—	40	mA	

表 6. 5 AC 特性

(条件:  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25^\circ C \pm 5^\circ C$ )

項	目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間		$t_{AS}$	2	—	—	$\mu s$	図 6. 5 *1
$\overline{OE}$ セットアップ時間		$t_{OES}$	2	—	—	$\mu s$	
データセットアップ時間		$t_{DS}$	2	—	—	$\mu s$	
アドレスホールド時間		$t_{AH}$	0	—	—	$\mu s$	
データホールド時間		$t_{DH}$	2	—	—	$\mu s$	
データ出力ディスエーブル時間		$t_{DF}^{*2}$	—	—	130	ns	
$V_{PP}$ セットアップ時間		$t_{VPS}$	2	—	—	$\mu s$	
プログラムパルス幅		$t_{PW}$	0.19	0.20	0.21	ms	
オ-プログラム時の $\overline{PGM}$ パルス幅		$t_{OPW}^{*3}$	0.19	—	5.25	ms	
$V_{CC}$ セットアップ時間		$t_{VCS}$	2	—	—	$\mu s$	
$\overline{CE}$ セットアップ時間		$t_{CES}$	2	—	—	$\mu s$	
データ出力遅延時間		$t_{OE}$	0	—	200	ns	

【注】 \*1 入力パルスレベル: 0.45~2.4V

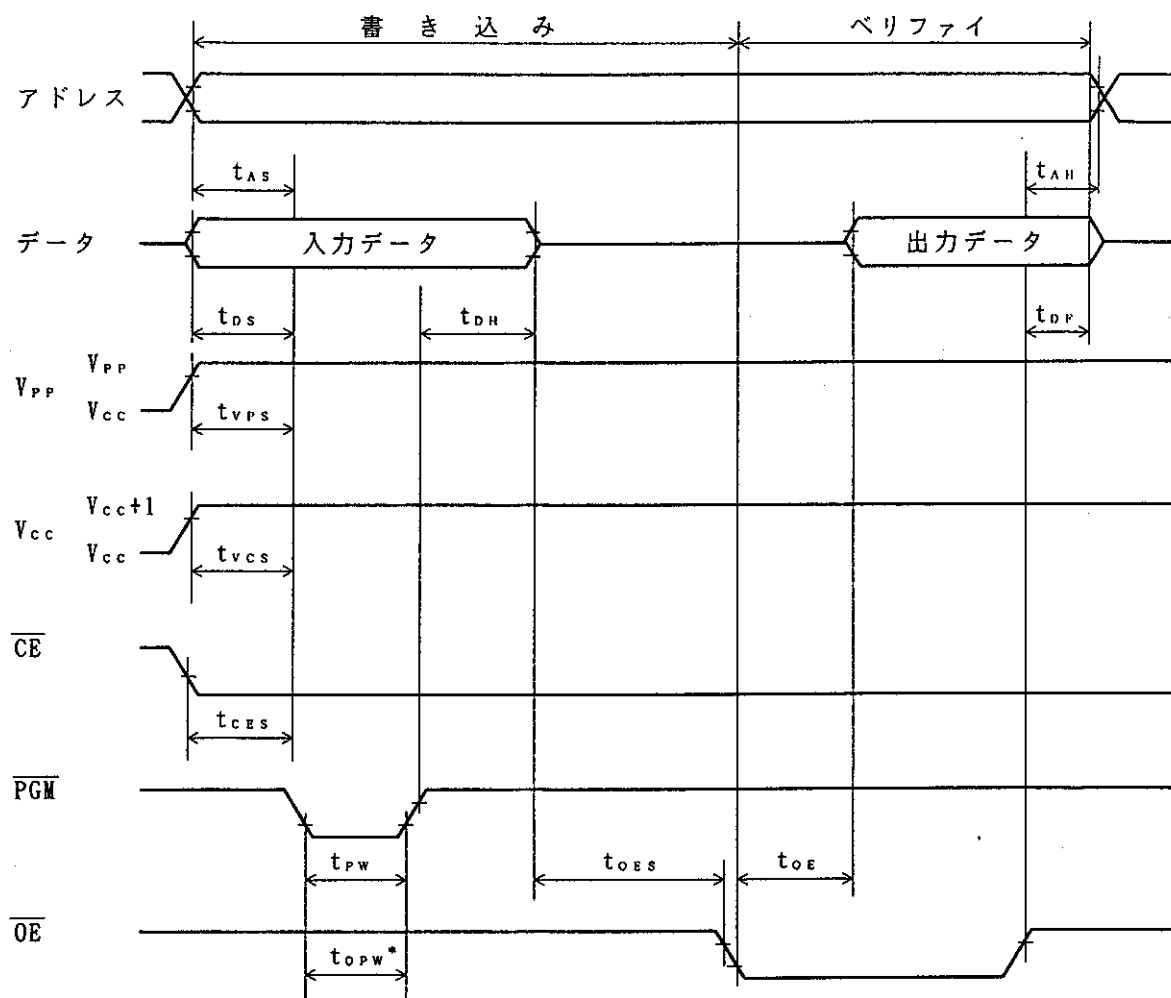
入力立ち上がり/立ち下がり時間  $\leq 20ns$

タイミング参照レベル { 入力: 0.8V、2.0V  
出力: 0.8V、2.0V

\*2  $t_{DF}$ は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

\*3  $t_{OPW}$ は図 6. 4 高速高信頼度プログラミングフローチャートに記載した値で定義されます。

PROMの書き込み／ベリファイタイミングを図6.5に示します。



【注】\* t<sub>OPW</sub>はフローチャートに記載した値で定義されます。

図6.5 PROM書き込み／ベリファイタイミング

### 6.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。  
PROMモード時のプログラム電圧 ( $V_{pp}$ ) は12.5Vです。  
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。  
PROMライタのHN27C101の日立仕様にセットすると、 $V_{pp}$ は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROMライタでプログラミングする際に、アドレスは必ずH'0000~H'EDFFに設定してください。誤ってH'EE00以降にプログラミングするとPROMの書き込みや確認ができなくなることがありますので注意してください。またプログラミングする際にはH'EE00~H'1FFFFのアドレス領域のデータはH'FFとしてください。

## 6. 4 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150℃の高温放置を行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROMメモリの初期のデータ保持不良を短時間で除くことができます。

図 6. 6 に推奨するスクリーニングフローを示します。

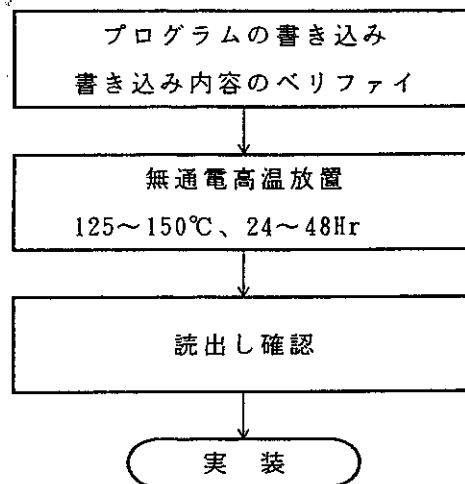


図 6. 6 推奨スクリーニングフロー

同じPROMライターでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。



# 7. RAM

---

## 第7章 目次

7.1 概要.....	7-1
7.1.1 ブロック図.....	7-1

---

## 7.1 概要

本LSIは、2kバイトの高速スタティックRAMを内蔵しています。RAMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

### 7.1.1 ブロック図

RAMのブロック図を図7.1に示します。

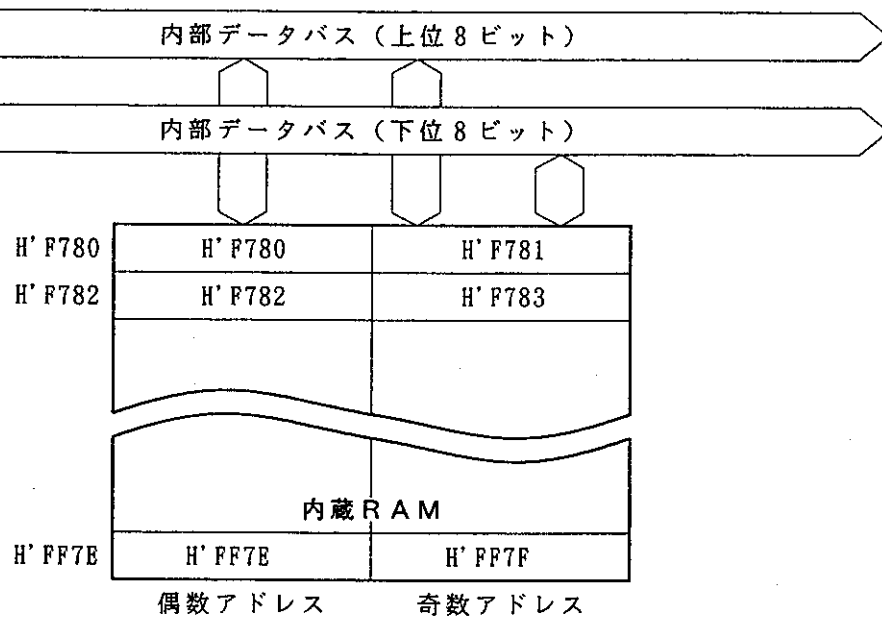


図7.1 RAMのブロック図

# 8. I/Oポート

## 第8章 目次

8.1	概要	8-1
8.2	ポート1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-8
8.2.4	端子状態	8-10
8.2.5	入力プルアップMOS	8-10
8.3	ポート2	8-11
8.3.1	概要	8-11
8.3.2	レジスタの構成と説明	8-11
8.3.3	端子機能	8-15
8.3.4	端子状態	8-16
8.4	ポート3	8-17
8.4.1	概要	8-17
8.4.2	レジスタの構成と説明	8-17
8.4.3	端子機能	8-19
8.4.4	端子状態	8-20
8.5	ポート4	8-21
8.5.1	概要	8-21
8.5.2	レジスタの構成と説明	8-21
8.5.3	端子機能	8-23
8.5.4	端子状態	8-24
8.6	ポート5	8-25
8.6.1	概要	8-25
8.6.2	レジスタの構成と説明	8-25
8.6.3	端子機能	8-27
8.6.4	端子状態	8-28

8.6.5	入力プルアップMOS	8-28
8.7	ポート6	8-29
8.7.1	概要	8-29
8.7.2	レジスタの構成と説明	8-29
8.7.3	端子機能	8-31
8.7.4	端子状態	8-31
8.7.5	入力プルアップMOS	8-31
8.8	ポート7	8-32
8.8.1	概要	8-32
8.8.2	レジスタの構成と説明	8-32
8.8.3	端子機能	8-34
8.8.4	端子状態	8-34
8.8.5	入力プルアップMOS	8-34
8.9	ポート8	8-35
8.9.1	概要	8-35
8.9.2	レジスタの構成と説明	8-35
8.9.3	端子機能	8-37
8.9.4	端子状態	8-37
8.10	ポート9	8-38
8.10.1	概要	8-38
8.10.2	レジスタの構成と説明	8-38
8.10.3	端子機能	8-40
8.10.4	端子状態	8-41
8.11	ポートA	8-42
8.11.1	概要	8-42
8.11.2	レジスタの構成と説明	8-42
8.11.3	端子機能	8-44
8.11.4	端子状態	8-44
8.12	ポートB	8-45
8.12.1	概要	8-45
8.12.2	レジスタの構成と説明	8-45
8.12.3	端子機能	8-46
8.12.4	端子状態	8-46
8.13	ポートC	8-47
8.13.1	概要	8-47
8.13.2	レジスタの構成と説明	8-47
8.13.3	端子機能	8-48
8.13.4	端子状態	8-48

---

## 8.1 概要

本LSIは、8ビット入出力ポートを7本、7ビット入出力ポートを1本、3ビット入出力ポートを2本、8ビット入力専用ポートを1本、4ビット入力専用ポートを2本、および1ビット入力専用ポートを1本備えています。

各ポートの機能一覧を表8.1に示します。

各ポートは、入出力を制御するポートコントロールレジスタ（PCR）と、出力データを格納するポートデータレジスタ（PDR）から構成され、ビット単位に入出力を制御できます。PCR、PDRに対してのビット操作命令の実行については、「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え 制御レジスタ
ポート1	・ 8ビット入出力ポート ・ 入力プルアップMOS 選択可	P1 <sub>7</sub> ~P1 <sub>6</sub> / $\overline{\text{TRQ}}_3$ ~ $\overline{\text{TRQ}}_1$ / TM1F, TM1C, TM1B1	外部割り込み3~1 タイマイベント入力TM1F, TM1C, TM1B1	PMR1 TCRP, TMC, TMB
		P1 <sub>4</sub>	なし	
		P1 <sub>3</sub> /TM1G	タイマGインプットキャプチャ入力	PMR1
		P1 <sub>2</sub> , P1 <sub>1</sub> / TMOFH, TMOFL	タイマFアウトプットコンペア出力	PMR1
		P1 <sub>0</sub> /TMOW	タイマAクロック出力	PMR1
		ポート2	・ 8ビット入出力ポート	P2 <sub>7</sub> , P2 <sub>6</sub> / TM1B2B, TM1B2A
P2 <sub>5</sub> ~P2 <sub>2</sub>	なし			
P2 <sub>1</sub> /UD	タイマCカウントアップ/ダウン選択 入力			PMR2
P2 <sub>0</sub> / $\overline{\text{TRQ}}_4$ / ADTRG	外部割り込み4およびA/D変換器の外 部トリガ			PMR2 AMR
ポート3	・ 8ビット入出力ポート ・ 中耐圧NMOSオープ ンドレイン出力	P3 <sub>7</sub> ~P3 <sub>0</sub> / PWM <sub>7</sub> ~PWM <sub>0</sub>	PWM出力 (PWM <sub>7</sub> ~PWM <sub>0</sub> )	PMR3
ポート4	・ 1ビット入力専用ポ ート ・ 3ビット入出力ポート	P4 <sub>3</sub> / $\overline{\text{TRQ}}_0$	外部割り込み0	PMR2
		P4 <sub>2</sub> /TXD	SCI3のデータ出力(TXD)、データ入 力(RXD)、クロック入出力(SCK <sub>3</sub> )	SCR3 SMR
		P4 <sub>1</sub> /RXD		
		P4 <sub>0</sub> /SCK <sub>3</sub>		
ポート5	・ 8ビット入出力ポート ・ 入力プルアップMOS 選択可	P5 <sub>7</sub> ~P5 <sub>0</sub> / $\overline{\text{WKP}}_7$ ~ $\overline{\text{WKP}}_0$	・ ウェイクアップ入力 ( $\overline{\text{WKP}}_7$ ~ $\overline{\text{WKP}}_0$ )	PMR5
ポート6	・ 8ビット入出力ポート ・ 入力プルアップMOS 選択可	P6 <sub>7</sub> ~P6 <sub>0</sub>	・ なし	
ポート7	・ 8ビット入出力ポート ・ 入力プルアップMOS 選択可	P7 <sub>7</sub> ~P7 <sub>0</sub>	・ なし	
ポート8	・ 8ビット入出力ポート	P8 <sub>7</sub> ~P8 <sub>0</sub>	・ なし	
ポート9	・ 3ビット入出力ポート ・ 4ビット入力専用ポ ート	P9 <sub>7</sub> ~P9 <sub>5</sub> / TMOH, TMC1H, TMR1H	・ タイマHのコンペアマッチ出力(TMOH)、 イベント入力 (TMC1H)、リセット入力 (TMR1H)	TCSRH
		P9 <sub>4</sub> , P9 <sub>3</sub> / SDA <sub>2</sub> , SCL <sub>2</sub>	I <sup>2</sup> CバスインタフェースのSDA 入出力 (SDA <sub>2</sub> ) SCL入出力(SCL <sub>2</sub> )	ICCR2
		P9 <sub>2</sub> , P9 <sub>1</sub> / SDA <sub>1</sub> , SCL <sub>1</sub>	I <sup>2</sup> CバスインタフェースのSDA 入出力 (SDA <sub>1</sub> ) SCL入出力(SCL <sub>1</sub> )	ICCR1
ポートA	・ 7ビット入出力ポート ・ 大電流ポート	PA <sub>6</sub> ~PA <sub>0</sub>	なし	
ポートB	・ 8ビット入力ポート	PB <sub>7</sub> ~PB <sub>0</sub> / AN <sub>7</sub> ~AN <sub>0</sub>	A/D変換器のアナログ入力	AMR
ポートC	・ 4ビット入力ポート	PC <sub>6</sub> ~PC <sub>0</sub> / AN <sub>11</sub> ~AN <sub>8</sub>	A/D変換器のアナログ入力	AMR

## 8.2 ポート 1

### 8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

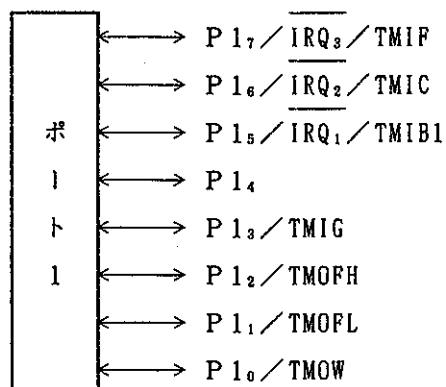


図 8.1 ポート 1 の端子構成

### 8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFB4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFE0
ポートモードレジスタ 1	PMR1	R/W	H'10	H'FFC8

### (1) ポートデータレジスタ1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1は、ポート1の各端子P1<sub>7</sub>~P1<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR1が1のとき、ポート1のリードを行うと、PDR1の値を直接リードします。そのため端子状態の影響を受けません。PCR1が0のとき、ポート1のリードを行うと、端子状態が読み出されます。

リセット時、PDR1はH'00にイニシャライズされます。

### (2) ポートコントロールレジスタ1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR1 <sub>7</sub>	PCR1 <sub>6</sub>	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	PCR1 <sub>3</sub>	PCR1 <sub>2</sub>	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR1は、ポート1の各端子P1<sub>7</sub>~P1<sub>0</sub>の入出力をビットごとに制御します。PCR1に1をセットすると対応するP1<sub>7</sub>~P1<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。PMR1により当該端子が汎用入出力に設定されている場合には、PCR1およびPDR1の設定が有効となります。

リセット時、PCR1はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

### (3) ポートプルアップコントロールレジスタ1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR1 <sub>7</sub>	PUCR1 <sub>6</sub>	PUCR1 <sub>5</sub>	PUCR1 <sub>4</sub>	PUCR1 <sub>3</sub>	PUCR1 <sub>2</sub>	PUCR1 <sub>1</sub>	PUCR1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1は、ポート1の各端子P1<sub>7</sub>~P1<sub>0</sub>のプルアップMOSをビットごとに制御します。

PCR1が0の状態ではPUCR1に1をセットすると対応するプルアップMOSはON状態となり、0にクリアするとOFF状態となります。

リセット時、PUCR1はH'00にイニシャライズされます。



(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	—	TMIG	TMOPH	TMOFL	TMOW
初期値:	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

PMR1は、8ビットのリードとライトが可能なレジスタで、ポート1の各端子機能の切り換えを制御します。

リセット時、PMR1はH'10にイニシャライズされます。

ビット7:  $\overline{P1_7}$ /IRQ<sub>3</sub>/TMIF端子機能切り換え (IRQ3)

$\overline{P1_7}$ /IRQ<sub>3</sub>/TMIF端子を $\overline{P1_7}$ 端子として使用するか、IRQ<sub>3</sub>/TMIF端子として使用するかを設定します。

ビット7	説明
IRQ3	
0	$\overline{P1_7}$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_3}$ /TMIF入力端子として機能

【注】 IRQ<sub>3</sub>/TMIF端子は立ち上がりまたは立ち下がりエッジセンスを選択できます。

TMIF端子の設定については、「9.5.2 (3) タイマコントロールレジスタF (TCRF)」を参照してください。

ビット6:  $\overline{P1_6}$ /IRQ<sub>2</sub>/TMIC端子機能切り換え (IRQ2)

$\overline{P1_6}$ /IRQ<sub>2</sub>/TMIC端子を $\overline{P1_6}$ 端子として使用するか、IRQ<sub>2</sub>/TMIC端子として使用するかを設定します。

ビット6	説明
IRQ2	
0	$\overline{P1_6}$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_2}$ /TMIC入力端子として機能

【注】 IRQ<sub>2</sub>/TMIC端子は立ち上がりまたは立ち下がりエッジセンスを選択できます。

TMIC端子の設定については、「9.4.2 (1) タイマモードレジスタC (TMC)」を参照してください。

ビット5：P1<sub>5</sub>/IRQ<sub>1</sub>/TMIB1端子機能切り換え（IRQ1）

P1<sub>5</sub>/IRQ<sub>1</sub>/TMIB1端子をP1<sub>5</sub>端子として使用するか、IRQ<sub>1</sub>/TMIB1端子として使用するかを設定します。

ビット5	説明
IRQ1	
0	P1 <sub>5</sub> 入出力端子として機能 (初期値)
1	IRQ <sub>1</sub> /TMIB1入力端子として機能

【注】 IRQ<sub>1</sub>/TMIB1端子は立ち上がりまたは立ち下がりエッジセンスを選択できます。

TMIB1端子の設定については、「9.3.2 (1) タイマモードレジスタB1 (TMB1)」を参照してください。

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3：P1<sub>3</sub>/TMIG端子機能切り換え（TMIG）

P1<sub>3</sub>/TMIG端子をP1<sub>3</sub>端子として使用するか、TMIG端子として使用するかを設定します。

ビット3	説明
TMIG	
0	P1 <sub>3</sub> 入出力端子として機能 (初期値)
1	TMIG入力端子として機能

ビット2：P1<sub>2</sub>/TMOFH端子機能切り換え（TMOFH）

P1<sub>2</sub>/TMOFH端子をP1<sub>2</sub>端子として使用するか、TMOFH端子として使用するかを設定します。

ビット2	説明
TMOFH	
0	P1 <sub>2</sub> 入出力端子として機能 (初期値)
1	TMOFH出力端子として機能

ビット1：P1<sub>1</sub>/TMOFL端子機能切り換え（TMOFL）

P1<sub>1</sub>/TMOFL端子をP1<sub>1</sub>端子として使用するか、TMOFL端子として使用するかを設定します。

ビット1	説明
TMOFL	
0	P1 <sub>1</sub> 入出力端子として機能 (初期値)
1	TMOFL出力端子として機能

ビット0：P1<sub>0</sub>/TMOW端子機能切り換え（TMOW）

P1<sub>0</sub>/TMOW端子をP1<sub>0</sub>端子として使用するか、TMOW端子として使用するかを設定します。

ビット0	説 明
TMOW	
0	P1 <sub>0</sub> 入出力端子として機能 (初期値)
1	TMOW出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
P1, / $\overline{\text{IRQ}}_3$ / TMIF	PMR1のIRQ3、TCRFのCKSL2~CKSL0、PCR1のPCR1,の組み合わせで次のように切り換わります。			
	IRQ3	0		1
	PCR1,	0	1	*
	CKSL2~CKSL0	* * *		0**以外 0**
	端 子 機 能	P1,入力端子	P1,出力端子	$\overline{\text{IRQ}}_3$ 入力端子
【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を0にクリアして、IRQ3割り込みを禁止してください。				
P1, / $\overline{\text{IRQ}}_2$ / TMIC	PMR1のIRQ2、TMCのTMC2~TMC0、PCR1のPCR1,の組み合わせで次のように切り換わります。			
	IRQ2	0		1
	PCR1,	0	1	*
	TMC2~TMC0	* * *		111以外 111
	端 子 機 能	P1,入力端子	P1,出力端子	$\overline{\text{IRQ}}_2$ 入力端子
【注】 TMIC入力端子として使用する場合には、IENR1のIEN2を0にクリアして、IRQ2割り込みを禁止してください。				
P1, / $\overline{\text{IRQ}}_1$ / TMIB1	PMR1のIRQ1、TMB1のTMB2~TMB0、PCR1のPCR1,の組み合わせで次のように切り換わります。			
	IRQ1	0		1
	PCR1,	0	1	*
	TMB2~TMB0	* * *		111以外 111
	端 子 機 能	P1,入力端子	P1,出力端子	$\overline{\text{IRQ}}_1$ 入力端子
【注】 TMIB1入力端子として使用する場合には、IENR1のIEN1を0にクリアして、IRQ1割り込みを禁止してください。				

\* Don't care

表 8.3 ポート 1 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P1 <sub>4</sub>	PCR1のPCR1 <sub>4</sub> により、次のように切り換わります。		
	PCR1 <sub>4</sub>	0	1
	端 子 機 能	P1 <sub>4</sub> 入力端子	P1 <sub>4</sub> 出力端子
P1 <sub>3</sub> /TMIG	PMR1のTMIGとPCR1のPCR1 <sub>3</sub> の組み合わせで、次のように切り換わります。		
	TMIG	0	1
	PCR1 <sub>3</sub>	0	1
	端 子 機 能	P1 <sub>3</sub> 入力端子	P1 <sub>3</sub> 出力端子
			TMIG入力端子
P1 <sub>2</sub> /TMOFH	PMR1のTMOFHとPCR1のPCR1 <sub>2</sub> の組み合わせで、次のように切り換わります。		
	TMOFH	0	1
	PCR1 <sub>2</sub>	0	1
	端 子 機 能	P1 <sub>2</sub> 入力端子	P1 <sub>2</sub> 出力端子
			TMOFH出力端子
P1 <sub>1</sub> /TMOFL	PMR1のTMOFLとPCR1のPCR1 <sub>1</sub> の組み合わせで、次のように切り換わります。		
	TMOFL	0	1
	PCR1 <sub>1</sub>	0	1
	端 子 機 能	P1 <sub>1</sub> 入力端子	P1 <sub>1</sub> 出力端子
			TMOFL出力端子
P1 <sub>0</sub> /TMOW	PMR1のTMOWとPCR1のPCR1 <sub>0</sub> の組み合わせで、次のように切り換わります。		
	TMOW	0	1
	PCR1 <sub>0</sub>	0	1
	端 子 機 能	P1 <sub>0</sub> 入力端子	P1 <sub>0</sub> 出力端子
			TMOW出力端子

\* Don't care

## 8.2.4 端子状態

各動作モードにおけるポート1の端子状態を表8.4に示します。

表8.4 ポート1の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P17/ $\overline{\text{IRQ}}_3$ /TMIF P16/ $\overline{\text{IRQ}}_2$ /TMIC P15/ $\overline{\text{IRQ}}_1$ /TMIB1 P14 P13/TMIG P12/TMOFH P11/TMOPL P10/TMOW	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作

【注】\* プルアップMOSがON状態では High レベル出力となります。

## 8.2.5 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR1が0にクリアされている状態でPUCR1に1をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR1 <sub>n</sub>	0		1
PUCR1 <sub>n</sub>	0	1	*
入力プルアップMOS	OFF	ON	OFF

\* Don't care (n = 7 ~ 0)

## 8.3 ポート 2

### 8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 8.2 に示す構成になっています。

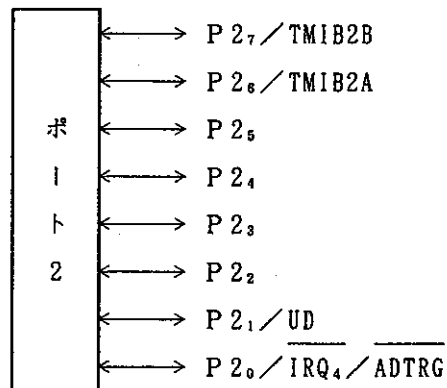


図 8.2 ポート 2 の端子構成

### 8.3.2 レジスタの構成と説明

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE5
ポートモードレジスタ 2	PMR2	R/W	H'04	H'FFC9

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2は、ポート2の各端子P2<sub>7</sub>~P2<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR2が1のとき、ポート2のリードを行うと、PDR2の値を直接リードします。そのため端子状態の影響を受けません。PCR2が0のとき、ポート2のリードを行うと、端子状態が読み出されます。

リセット時、PDR2はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR2 <sub>7</sub>	PCR2 <sub>6</sub>	PCR2 <sub>5</sub>	PCR2 <sub>4</sub>	PCR2 <sub>3</sub>	PCR2 <sub>2</sub>	PCR2 <sub>1</sub>	PCR2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR2は、ポート2の各端子P2<sub>7</sub>~P2<sub>0</sub>の入出力をビットごとに制御します。PCR2を1にセットすると対応するP2<sub>7</sub>~P2<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。PMR2により当該端子が汎用入出力に設定されている場合には、PCR2およびPDR2の設定が有効となります。

リセット時、PCR2はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	TMIB2B	TMIB2A	EDGB2	NCS	IRQ0	—	UD	IRQ4
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

PMR2は、8ビットのリードとライトが可能なレジスタで、P2<sub>0</sub>、P2<sub>1</sub>、P2<sub>6</sub>、P2<sub>7</sub>、P4<sub>3</sub>端子機能の切り換え、TMIB2A端子、TMIB2B端子の立ち上がりまたは立ち下がりエッジセンス、およびTMIG端子入力のノイズキャンセラを制御します。

リセット時、PMR2はH'04にイニシャライズされます。



ビット7：P2<sub>7</sub>/TMIB2B端子機能切り換え（TMIB2B）

P2<sub>7</sub>/TMIB2B端子をP2<sub>7</sub>端子として使用するか、TMIB2B端子として使用するかを設定します。ただし、タイムB2のイベント入力はPMR2のTMIB2Aが1のとき、本ビットにかかわらずTMIB2A入力端子が選択されます。

ビット7	説 明
TMIB2B	
0	P2 <sub>7</sub> 入出力端子として機能 (初期値)
1	TMIB2B入力端子として機能

ビット6：P2<sub>6</sub>/TMIB2A端子機能切り換え（TMIB2A）

P2<sub>6</sub>/TMIB2A端子をP2<sub>6</sub>端子として使用するか、TMIB2A端子として使用するかを設定します。

ビット6	説 明
TMIB2A	
0	P2 <sub>6</sub> 入出力端子として機能 (初期値)
1	TMIB2A入力端子として機能

ビット5：TMIB2エッジセレクト（EDGB2）

TMIB2A、TMIB2B端子の立ち上がりまたは立ち下りの入力センスを選択します。

ビット5	説 明
EDGB2	
0	TMIB2A、TMIB2B端子入力の立ち下がりエッジを検出 (初期値)
1	TMIB2A、TMIB2B端子入力の立ち上がりエッジを検出

ビット4：TMIGノイズキャンセラセレクト（NCS）

インプットキャプチャ入力信号（TMIG）のノイズ除去回路の制御を行います。

ビット4	説 明
NCS	
0	ノイズ除去機能なし (初期値)
1	ノイズ除去機能あり

ビット3：P4<sub>3</sub>/IRQ<sub>0</sub>端子機能切り換え（IRQ0）

P4<sub>3</sub>/IRQ<sub>0</sub>端子をP4<sub>3</sub>端子として使用するか、IRQ<sub>0</sub>端子として使用するかを設定します。

ビット3	説明	
IRQ0		
0	P4 <sub>3</sub> 入力端子として機能	（初期値）
1	IRQ <sub>0</sub> 入力端子として機能	

ビット2：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット1：P2<sub>1</sub>/UD端子機能切り換え（UD）

P2<sub>1</sub>/UD端子をP2<sub>1</sub>端子として使用するか、UD端子として使用するかを設定します。

ビット1	説明	
UD		
0	P2 <sub>1</sub> 入出力端子として機能	（初期値）
1	UD入力端子として機能	

ビット0：P2<sub>0</sub>/IRQ<sub>4</sub>/ADTRG端子機能切り換え（IRQ4）

P2<sub>0</sub>/IRQ<sub>4</sub>/ADTRG端子をP2<sub>0</sub>端子として使用するか、IRQ<sub>4</sub>/ADTRG端子として使用するかを設定します。

ビット0	説明	
IRQ4		
0	P2 <sub>0</sub> 入出力端子として機能	（初期値）
1	IRQ <sub>4</sub> /ADTRG入力端子として機能	

【注】 ADTRG端子の設定については、「12.3.2 外部トリガによるA/D変換器の起動」を参照してください。

### 8.3.3 端子機能

表 8.6 にポート 2 の端子機能を示します。

表 8.6 ポート 2 の端子機能

端 子	選 択 方 法 と 端 子 機 能				
P2 <sub>7</sub> /TMIB2B	PMR2のTMIB2BとPCR2のPCR2 <sub>7</sub> の組み合わせで次のように切り換わります。				
	TMIB2B	0		1	
	PCR2 <sub>7</sub>	0	1	*	
端 子 機 能	P2 <sub>7</sub> 入力端子	P2 <sub>7</sub> 出力端子		TMIB2B入力端子	
P2 <sub>6</sub> /TMIB2A	PMR2のTMIB2AとPCR2のPCR2 <sub>6</sub> の組み合わせで次のように切り換わります。				
	TMIB2A	0		1	
	PCR2 <sub>6</sub>	0	1	*	
端 子 機 能	P2 <sub>6</sub> 入力端子	P2 <sub>6</sub> 出力端子		TMIB2A入力端子	
P2 <sub>5</sub> ~P2 <sub>2</sub>	PCR2の各ビットにより、次のように切り換わります。 (n = 5 ~ 2)				
	PCR2 <sub>n</sub>	0		1	
端 子 機 能	P2 <sub>n</sub> 入力端子		P2 <sub>n</sub> 出力端子		
P2 <sub>1</sub> /UD	PMR2のUDとPCR2のPCR2 <sub>1</sub> の組み合わせで、次のように切り換わります。				
	UD	0		1	
	PCR2 <sub>1</sub>	0	1	*	
端 子 機 能	P2 <sub>1</sub> 入力端子	P2 <sub>1</sub> 出力端子		UD入力端子	
P2 <sub>0</sub> /IRQ <sub>4</sub> /ADTRG	PMR2のIRQ4、AMRのTRGE、PCR2のPCR2 <sub>0</sub> の組み合わせで、次のように切り換わります。				
	IRQ4	0		1	
	PCR2 <sub>0</sub>	0	1	*	
	TRGE	*		0	1
端 子 機 能	P2 <sub>0</sub> 入力端子	P2 <sub>0</sub> 出力端子	IRQ <sub>4</sub> 入力端子	IRQ <sub>4</sub> /ADTRG 入力端子	
	【注】 ADTRG入力端子として使用する場合には、IENR1のIEN4を0にクリアしてIRQ <sub>4</sub> 割り込みを禁止してください。				

\* Don't care

### 8.3.4 端子状態

各モードにおけるポート2の端子状態を表8.7に示します。

表8.7 ポート2の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 <sub>7</sub> /TMIB2B							
P2 <sub>6</sub> /TMIB2A							
P2 <sub>5</sub> ~P2 <sub>2</sub>	ハイ	保持	保持	ハイ	保持	動作	動作
P2 <sub>1</sub> /UD	インビ-ダンス			インビ-ダンス			
P2 <sub>0</sub> /IRQ <sub>4</sub> / ADTRG							

## 8.4 ポート3

### 8.4.1 概要

ポート3は、8ビットの入出力ポートです。出力は中耐圧NMOSオープンドレインとなります。ポート3の各端子は、図8.3に示す構成になっています。

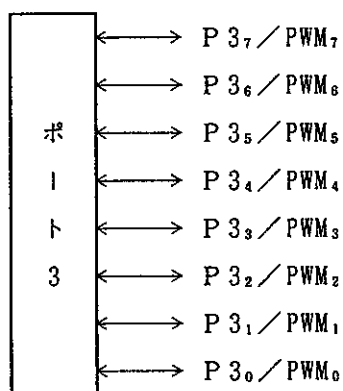


図8.3 ポート3の端子構成

### 8.4.2 レジスタの構成と説明

表8.8にポート3のレジスタ構成を示します。

表8.8 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ3	PCR3	W	H'00	H'FFE6
ポートモードレジスタ3	PMR3	R/W	H'00	H'FFCA

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3は、ポート3の各端子P3<sub>7</sub>~P3<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR3が1のとき、ポート3のリードを行うと、PDR3の値を直接リードします。そのため端子状態の影響を受けません。PCR3が0のとき、ポート3のリードを行うと、端子状態が読み出されます。

リセット時、PDR3はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR3 <sub>7</sub>	PCR3 <sub>6</sub>	PCR3 <sub>5</sub>	PCR3 <sub>4</sub>	PCR3 <sub>3</sub>	PCR3 <sub>2</sub>	PCR3 <sub>1</sub>	PCR3 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR3は、ポート3の各端子P3<sub>7</sub>~P3<sub>0</sub>の入出力をビットごとに制御します。PCR3に1をセットすると対応するP3<sub>7</sub>~P3<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。PMR3により当該端子が汎用入出力に設定されている場合には、PCR3およびPDR3の設定が有効となります。

リセット時、PCR3はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3は、8ビットのリードとライトが可能なレジスタで、ポート3の各端子機能の切り換えを制御します。

リセット時、PMR3はH'00にイニシャライズされます。

ビットn: P3<sub>n</sub>/PWM<sub>n</sub>端子機能切り換え (PWMn)

P3<sub>n</sub>/PWM<sub>n</sub>端子をP3<sub>n</sub>端子として使用するか、PWM<sub>n</sub>端子として使用するかを設定します。

ビットn	説明
PWMn	
0	P3 <sub>n</sub> 入出力端子として機能 (初期値)
1	PWM <sub>n</sub> 出力端子として機能

(n = 7 ~ 0)

8.4.3 端子機能

表8.9にポート3の端子機能を示します。

表8.9 ポート3の端子機能

端子	選択方法と端子機能											
P3 <sub>7</sub> /PWM <sub>7</sub> ) P3 <sub>0</sub> /PWM <sub>0</sub>	PMR3のPWMnとPCRのPCR <sub>3n</sub> の組み合わせで、次のように切り換わります。 (n = 7 ~ 0)											
	<table border="1"> <tr> <td>PWMn</td> <td>0</td> <td>1</td> </tr> <tr> <td>PCR<sub>3n</sub></td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3<sub>n</sub>入力端子</td> <td>P3<sub>n</sub>出力端子</td> <td>PWMn出力端子</td> </tr> </table>	PWMn	0	1	PCR <sub>3n</sub>	0	1	*	端子機能	P3 <sub>n</sub> 入力端子	P3 <sub>n</sub> 出力端子	PWMn出力端子
PWMn	0	1										
PCR <sub>3n</sub>	0	1	*									
端子機能	P3 <sub>n</sub> 入力端子	P3 <sub>n</sub> 出力端子	PWMn出力端子									

\* Don't care

#### 8.4.4 端子状態

各動作モードにおけるポート3の端子状態を表8.10に示します。

表 8.10 ポート3の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	非アクティブ	アクティブ
P3 <sub>7</sub> /PWM <sub>7</sub> ) P3 <sub>0</sub> /PWM <sub>0</sub>	ハイ インディカス	保持	保持	ハイ インディカス	保持	動作	動作



## 8.5 ポート4

### 8.5.1 概要

ポート4は、3ビットの入出力ポートと1ビットの入力専用ポートです。ポートの各端子は、図8.4に示す構成になっています。

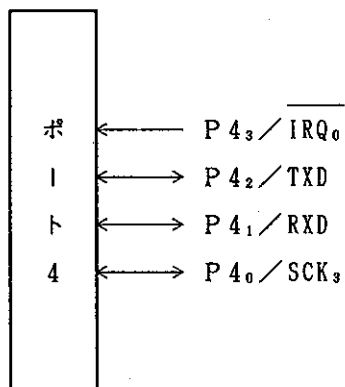


図8.4 ポート4の端子構成

### 8.5.2 レジスタの構成と説明

表8.11にポート4のレジスタ構成を示します。

表8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ4	PDR4	R/W	H'F8	H'FFD7
ポートコントロールレジスタ4	PCR4	W	H'F8	H'FFE7

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	R	R/W	R/W	R/W

PDR4は、ポート4の各端子P4<sub>2</sub>~P4<sub>0</sub>のデータを格納する8ビットのレジスタです。PCR4が1のとき、ポート4のリードを行うと、PDR4の値を直接リードします。そのため端子状態の影響を受けません。PCR4が0のとき、ポート4のリードを行うと、端子状態が読み出されます。リセット時、PDR4はH'F8にイニシャライズされます。

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR4 <sub>2</sub>	PCR4 <sub>1</sub>	PCR4 <sub>0</sub>
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	W	W	W

PCR4は、ポート4の各端子P4<sub>2</sub>~P4<sub>0</sub>の入出力をビットごとに制御します。PCR4に1をセットすると対応するP4<sub>2</sub>~P4<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。SCR3により当該端子が汎用入出力に設定されている場合には、PCR4およびPDR4の設定が有効となります。

リセット時、PCR4はH'F8にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

### 8.5.3 端子機能

表 8.12 にポート 4 の端子機能を示します。

表 8.12 ポート 4 の端子機能

端 子	選 択 方 法 と 端 子 機 能					
P4 <sub>3</sub> /IRQ <sub>0</sub>	PMR2のIRQ0により、次のように切り換わります。					
	IRQ0	0		1		
	端子機能	P4 <sub>3</sub> 入力端子		IRQ <sub>0</sub> 入力端子		
P4 <sub>2</sub> /TXD	SCR3のTEとPCR4のPCR4 <sub>2</sub> の組み合わせで、次のように切り換わります。					
	TE	0		1		
	PCR4 <sub>2</sub>	0	1	*		
	端子機能	P4 <sub>2</sub> 入力端子	P4 <sub>2</sub> 出力端子	TXD出力端子		
P4 <sub>1</sub> /RXD	SCR3のREとPCR4のPCR4 <sub>1</sub> の組み合わせで、次のように切り換わります。					
	RE	0		1		
	PCR4 <sub>1</sub>	0	1	*		
	端子機能	P4 <sub>1</sub> 入力端子	P4 <sub>1</sub> 出力端子	RXD入力端子		
P4 <sub>0</sub> /SCK <sub>3</sub>	SCR3のCKE1、CKE0、SMRのCOM、およびPCR4のPCR4 <sub>0</sub> の組み合わせで、次のように切り換わります。					
	CKE1	0		1		
	CKE0	0		1	*	
	COM	0		1	*	*
	PCR4 <sub>0</sub>	0	1	*		*
	端子機能	P4 <sub>0</sub> 入力端子	P4 <sub>0</sub> 出力端子	SCK <sub>3</sub> 出力端子	SCK <sub>3</sub> 入力端子	

\* Don't care

#### 8.5.4 端子状態

各動作モードにおけるポート4の端子状態を表8.13に示します。

表 8.13 ポート4の端子状態

端子名	リセット	スリープ	#プスリープ	スタンバイ	ウォッチ	#プアクティブ	アクティブ
P4 <sub>3</sub> /IRQ <sub>0</sub>							
P4 <sub>2</sub> /TXD	ハイ	保持	保持	ハイ	保持	動作	動作
P4 <sub>1</sub> /RXD	インピ-ダンス			インピ-ダンス			
P4 <sub>0</sub> /SCK <sub>3</sub>							

## 8.6 ポート5

### 8.6.1 概要

ポート5は、8ビットの入出力ポートです。ポート5の各端子は、図8.5に示す構成になっています。

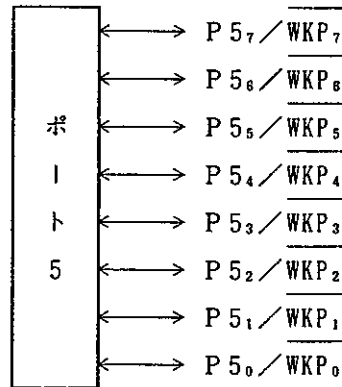


図8.5 ポート5の端子構成

### 8.6.2 レジスタの構成と説明

表8.14にポート5のレジスタ構成を示します。

表8.14 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ5	PUCR5	R/W	H'00	H'FFE2
ポートモードレジスタ5	PMR5	R/W	H'00	H'FFCC

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P5 <sub>7</sub>	P5 <sub>6</sub>	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5は、ポート5の各端子P5<sub>7</sub>~P5<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR5が1のとき、ポート5のリードを行うと、PDR5の値を直接リードします。そのため端子状態の影響を受けません。PCR5が0のとき、ポート5のリードを行うと、端子状態が読み出されます。

リセット時、PDR5はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR5 <sub>7</sub>	PCR5 <sub>6</sub>	PCR5 <sub>5</sub>	PCR5 <sub>4</sub>	PCR5 <sub>3</sub>	PCR5 <sub>2</sub>	PCR5 <sub>1</sub>	PCR5 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR5は、ポート5の各端子P5<sub>7</sub>~P5<sub>0</sub>の入出力をビットごとに制御します。PCR5に1をセットすると対応するP5<sub>7</sub>~P5<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。PMR5により当該端子が汎用入出力に設定されている場合には、PCR5およびPDR5の設定が有効となります。

リセット時、PCR5はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR5 <sub>7</sub>	PUCR5 <sub>6</sub>	PUCR5 <sub>5</sub>	PUCR5 <sub>4</sub>	PUCR5 <sub>3</sub>	PUCR5 <sub>2</sub>	PUCR5 <sub>1</sub>	PUCR5 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5は、ポート5の各端子P5<sub>7</sub>~P5<sub>0</sub>のプルアップMOSをビットごとに制御します。

PCR5が0の状態でもPUCR5に1をセットすると対応するプルアップMOSはON状態となり、0にクリアするとOFF状態となります。

リセット時、PUCR5はH'00にイニシャライズされます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP <sub>7</sub>	WKP <sub>6</sub>	WKP <sub>5</sub>	WKP <sub>4</sub>	WKP <sub>3</sub>	WKP <sub>2</sub>	WKP <sub>1</sub>	WKP <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5は、8ビットのリードとライトが可能なレジスタで、ポート5の各端子機能の切り換えを制御します。

リセット時、PMR5はH'00にイニシャライズされます。

ビットn: P5<sub>n</sub>/WKP<sub>n</sub>端子機能切り換え (WKP<sub>n</sub>)

P5<sub>n</sub>/WKP<sub>n</sub>端子をP5<sub>n</sub>端子として使用するか、WKP<sub>n</sub>端子として使用するかを設定します。

ビットn	説明
WKP <sub>n</sub>	
0	P5 <sub>n</sub> 入出力端子として機能 (初期値)
1	WKP <sub>n</sub> 入力端子として機能

(n = 7 ~ 0)

8.6.3 端子機能

表 8.15 にポート5の端子機能を示します。

表 8.15 ポート5の端子機能

端 子	選 択 方 法 と 端 子 機 能												
P5 <sub>7</sub> /WKP <sub>7</sub> ) P5 <sub>0</sub> /WKP <sub>0</sub>	PMR5のWKP <sub>n</sub> 、PCR5のPCR5 <sub>n</sub> の組み合わせで、次のように切り換わります。 <div style="text-align: right;">(n=7~0)</div> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">WKP<sub>n</sub></td> <td colspan="2" style="padding: 2px;">0</td> <td style="padding: 2px;">1</td> </tr> <tr> <td style="padding: 2px;">PCR5<sub>n</sub></td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">*</td> </tr> <tr> <td style="padding: 2px;">端子機能</td> <td style="padding: 2px;">P5<sub>n</sub>入力端子</td> <td style="padding: 2px;">P5<sub>n</sub>出力端子</td> <td style="padding: 2px;">WKP<sub>n</sub>入力端子</td> </tr> </table>	WKP <sub>n</sub>	0		1	PCR5 <sub>n</sub>	0	1	*	端子機能	P5 <sub>n</sub> 入力端子	P5 <sub>n</sub> 出力端子	WKP <sub>n</sub> 入力端子
WKP <sub>n</sub>	0		1										
PCR5 <sub>n</sub>	0	1	*										
端子機能	P5 <sub>n</sub> 入力端子	P5 <sub>n</sub> 出力端子	WKP <sub>n</sub> 入力端子										

\* Don't care

#### 8.6.4 端子状態

各動作モードにおけるポート5の端子状態を表8.16に示します。

表 8.16 ポート5の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	非アクティブ	アクティブ
P5 <sub>7</sub> / $\overline{\text{WKP}}_7$ } P5 <sub>0</sub> / $\overline{\text{WKP}}_0$	ハイ インディカス	保持	保持	ハイ インディカス*	保持	動作	動作

【注】\* プルアップMOSがON状態では High レベル出力となります。

#### 8.6.5 入力プルアップMOS

ポート5は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR5が0にクリアされている状態でPUCR5に1をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR5 <sub>n</sub>	0		1
PUCR5 <sub>n</sub>	0	1	*
入力プルアップMOS	OFF	ON	OFF

\* Don't care (n = 7 ~ 0)



## 8.7 ポート6

### 8.7.1 概要

ポート6は、8ビットの入出力ポートです。ポート6の各端子は、図8.6に示す構成になっています。

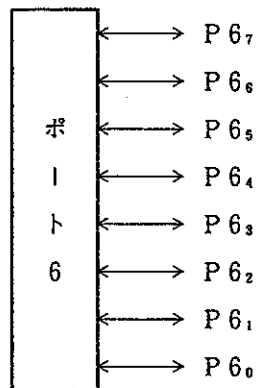


図8.6 ポート6の端子構成

### 8.7.2 レジスタの構成と説明

表8.17にポート6のレジスタ構成を示します。

表8.17 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ6	PCR6	W	H'00	H'FFB9
ポートプルアップコントロールレジスタ6	PUCR6	R/W	H'00	H'FFB3

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P6 <sub>7</sub>	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6は、ポート6の各端子P6<sub>7</sub>~P6<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR6が1のとき、ポート6のリードを行うと、PDR6の値を直接リードします。そのため端子状態の影響を受けません。PCR6が0のとき、ポート6のリードを行うと、端子状態が読み出されます。

リセット時、PDR6はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR6 <sub>7</sub>	PCR6 <sub>6</sub>	PCR6 <sub>5</sub>	PCR6 <sub>4</sub>	PCR6 <sub>3</sub>	PCR6 <sub>2</sub>	PCR6 <sub>1</sub>	PCR6 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR6は、ポート6の各端子P6<sub>7</sub>~P6<sub>0</sub>の入出力をビットごとに制御します。PCR6に1をセットすると対応するP6<sub>7</sub>~P6<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR6はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートブルアップコントロールレジスタ 6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR6 <sub>7</sub>	PUCR6 <sub>6</sub>	PUCR6 <sub>5</sub>	PUCR6 <sub>4</sub>	PUCR6 <sub>3</sub>	PUCR6 <sub>2</sub>	PUCR6 <sub>1</sub>	PUCR6 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6は、ポート6の各端子P6<sub>7</sub>~P6<sub>0</sub>のブルアップMOSをビットごとに制御します。

PCR6が0の状態でもPUCR6に1をセットすると対応するブルアップMOSはON状態となり、0にクリアするとOFF状態となります。

リセット時、PUCR6はH'00にイニシャライズされます。

### 8.7.3 端子機能

表 8.18 にポート 6 の端子機能を示します。

表 8.18 ポート 6 の端子機能

端 子	選 択 方 法 と 端 子 機 能	
P6 <sub>7</sub> ~P6 <sub>0</sub>	PCR6 の PCR6 <sub>n</sub> により、次のように切り換わります。 (n=7~0)	
	PCR6 <sub>n</sub>	0                      1
	端 子 機 能	P6 <sub>n</sub> 入力端子      P6 <sub>n</sub> 出力端子

### 8.7.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.19 に示します。

表 8.19 ポート 6 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 <sub>7</sub> ~P6 <sub>0</sub>	ハイ インピダンス	保持	保持	ハイ インピダンス*	保持	動作	動作

【注】\* プルアップMOSがON状態では High レベル出力となります。

### 8.7.5 入力プルアップMOS

ポート 6 は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR6 が 0 にクリアされている状態でPUCR6 に 1 をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR6 <sub>n</sub>	0		1
PUCR6 <sub>n</sub>	0	1	*
入力プルアップMOS	OFF	ON	OFF

(n = 7 ~ 0)

\* Don't care

## 8.8 ポート7

### 8.8.1 概要

ポート7は、8ビットの入出力ポートです。ポート7の各端子は、図8.7に示す構成になっています。

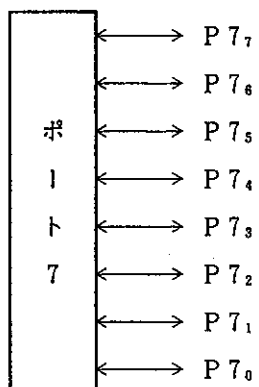


図8.7 ポート7の端子構成

### 8.8.2 レジスタの構成と説明

表8.20にポート7のレジスタ構成を示します。

表8.20 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ7	PCR7	W	H'00	H'FFEA
ポートプルアップコントロールレジスタ7	PUCR7	R/W	H'00	H'FFE1

(1) ポートデータレジスタ 7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P7<sub>7</sub>~P7<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR7が1のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が0のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 <sub>7</sub>	PCR7 <sub>6</sub>	PCR7 <sub>5</sub>	PCR7 <sub>4</sub>	PCR7 <sub>3</sub>	PCR7 <sub>2</sub>	PCR7 <sub>1</sub>	PCR7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR7は、ポート7の各端子P7<sub>7</sub>~P7<sub>0</sub>の入出力をビットごとに制御します。PCR7に1をセットすると対応するP7<sub>7</sub>~P7<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR7はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートプルアップコントロールレジスタ 7 (PUCR7)

ビット:	7	6	5	4	3	2	1	0
	PUCR7 <sub>7</sub>	PUCR7 <sub>6</sub>	PUCR7 <sub>5</sub>	PUCR7 <sub>4</sub>	PUCR7 <sub>3</sub>	PUCR7 <sub>2</sub>	PUCR7 <sub>1</sub>	PUCR7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR7は、ポート7の各端子P7<sub>7</sub>~P7<sub>0</sub>のプルアップMOSをビットごとに制御します。

PCR7が0の状態でもPUCR7に1をセットすると対応するプルアップMOSはON状態となり、0にクリアするとOFF状態となります。

リセット時、PUCR7はH'00にイニシャライズされます。

### 8.8.3 端子機能

表 8.21 にポート 7 の端子機能を示します。

表 8.21 ポート 7 の端子機能

端 子	選 択 方 法 と 端 子 機 能	
P7 <sub>7</sub> ~P7 <sub>0</sub>	PCR7 の PCR7 <sub>n</sub> により、次のように切り換わります。 (n = 7 ~ 0)	
	PCR7 <sub>n</sub>	0                      1
	端子機能	P7 <sub>n</sub> 入力端子              P7 <sub>n</sub> 出力端子

### 8.8.4 端子状態

各動作モードにおけるポート 7 の端子状態を表 8.22 に示します。

表 8.22 ポート 7 の端子状態

端 子 名	リセット	スリープ	サプスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 <sub>7</sub> ~P7 <sub>0</sub>	ハイ インピダンス	保持	保持	ハイ インピダンス*	保持	動作	動作

【注】\* プルアップMOSがON状態では High レベル出力となります。

### 8.8.5 入力プルアップMOS

ポート 7 は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR7 が 0 にクリアされている状態でPUCR7 に 1 をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR7 <sub>n</sub>	0		1
PUCR7 <sub>n</sub>	0	1	*
入力プルアップMOS	OFF	ON	OFF

(n = 7 ~ 0)  
\* Don't care

## 8.9 ポート 8

### 8.9.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.8 に示す構成になっています。

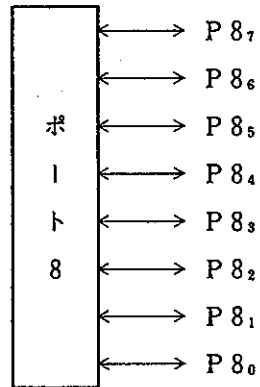


図 8.8 ポート 8 の端子構成

### 8.9.2 レジスタの構成と説明

表 8.23 にポート 8 のレジスタ構成を示します。

表 8.23 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P8 <sub>7</sub>	P8 <sub>6</sub>	P8 <sub>5</sub>	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8は、ポート8の各端子P8<sub>7</sub>~P8<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCR8が1のとき、ポート8のリードを行うと、PDR8の値を直接リードします。そのため端子状態の影響を受けません。PCR8が0のとき、ポート8のリードを行うと、端子状態が読み出されます。

リセット時、PDR8はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 <sub>7</sub>	PCR8 <sub>6</sub>	PCR8 <sub>5</sub>	PCR8 <sub>4</sub>	PCR8 <sub>3</sub>	PCR8 <sub>2</sub>	PCR8 <sub>1</sub>	PCR8 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR8は、ポート8の各端子P8<sub>7</sub>~P8<sub>0</sub>の入出力をビットごとに制御します。PCR8に1をセットすると対応するP8<sub>7</sub>~P8<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR8はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。



### 8.9.3 端子機能

表 8.24 にポート 8 の端子機能を示します。

表 8.24 ポート 8 の端子機能

端 子	選 択 方 法 と 端 子 機 能		
P8 <sub>7</sub> ~P8 <sub>0</sub>	PCR8 の PCR8 <sub>n</sub> により、次のように切り換わります。 (n = 7 ~ 0)		
	PCR8 <sub>n</sub>	0	1
	端子機能	P8 <sub>n</sub> 入力端子	P8 <sub>n</sub> 出力端子

### 8.9.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.25 に示します。

表 8.25 ポート 8 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブクティブ	アクティブ
P8 <sub>7</sub> ~P8 <sub>0</sub>	ハイ インピダンス	保持	保持	ハイ インピダンス	保持	動作	動作

## 8.10 ポート 9

### 8.10.1 概要

ポート 9 は、3 ビットの入出力ポートと 4 ビットの入力専用ポートです。ポート 9 の各端子は、図 8.9 に示す構成になっています。

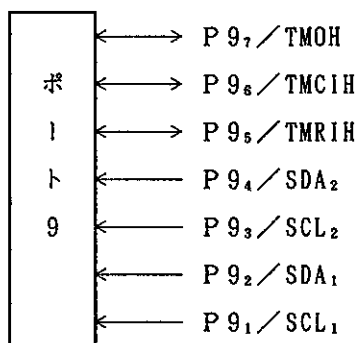


図 8.9 ポート 9 の端子構成

### 8.10.2 レジスタの構成と説明

表 8.26 にポート 9 のレジスタ構成を示します。

表 8.26 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ 9	PDR9	R/W	H'1F	H'FFDC
ポートコントロールレジスタ 9	PCR9	W	H'1F	H'FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	P9 <sub>7</sub>	P9 <sub>6</sub>	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	—

PDR9は、ポート9の各端子P9<sub>7</sub>~P9<sub>1</sub>のデータを格納する8ビットのレジスタです。

PCR9が1のとき、ポート9のリードを行うと、PDR9の値を直接リードします。そのため端子状態の影響を受けません。PCR9が0のとき、ポート9のリードを行うと、端子状態が読み出されます。

リセット時、PDR9はH'IFにイニシャライズされます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	W	W	W	—	—	—	—	—

PCR9は、ポート9の各端子P9<sub>7</sub>~P9<sub>1</sub>の入出力をビットごとに制御します。PCR9に1をセットすると対応するP9<sub>7</sub>~P9<sub>1</sub>端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR9はH'IFにイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

### 8.10.3 端子機能

表 8.27 にポート 9 の端子機能を示します。

表 8.27 ポート 9 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能												
P9 <sub>7</sub> /TMOH	<p>PCR9 の PCR9<sub>7</sub> と TCSRH の OS3 ~ OS0 の組み合わせで、次のように切り換わります。</p> <table border="1"> <tr> <td>OS3~OS0</td> <td colspan="2">0000</td> <td>0000 以外</td> </tr> <tr> <td>PCR9<sub>7</sub></td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P9<sub>7</sub>入力端子</td> <td>P9<sub>7</sub>出力端子</td> <td>TMOH出力端子</td> </tr> </table>	OS3~OS0	0000		0000 以外	PCR9 <sub>7</sub>	0	1	*	端子機能	P9 <sub>7</sub> 入力端子	P9 <sub>7</sub> 出力端子	TMOH出力端子
OS3~OS0	0000		0000 以外										
PCR9 <sub>7</sub>	0	1	*										
端子機能	P9 <sub>7</sub> 入力端子	P9 <sub>7</sub> 出力端子	TMOH出力端子										
P9 <sub>6</sub> /TMCIH	<p>PCR9 の PCR9<sub>6</sub> により、次のように切り換わります。</p> <table border="1"> <tr> <td>PCR9<sub>6</sub></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P9<sub>6</sub>入力端子</td> <td>P9<sub>6</sub>出力端子</td> </tr> <tr> <td colspan="2">TMCIH入力端子</td> </tr> </table>	PCR9 <sub>6</sub>	0	1	端子機能	P9 <sub>6</sub> 入力端子	P9 <sub>6</sub> 出力端子	TMCIH入力端子					
PCR9 <sub>6</sub>	0	1											
端子機能	P9 <sub>6</sub> 入力端子	P9 <sub>6</sub> 出力端子											
	TMCIH入力端子												
P9 <sub>5</sub> /TMRIH	<p>PCR9 の PCR9<sub>5</sub> により、次のように切り換わります。</p> <table border="1"> <tr> <td>PCR9<sub>5</sub></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P9<sub>5</sub>入力端子</td> <td>P9<sub>5</sub>出力端子</td> </tr> <tr> <td colspan="2">TMRIH入力端子</td> </tr> </table>	PCR9 <sub>5</sub>	0	1	端子機能	P9 <sub>5</sub> 入力端子	P9 <sub>5</sub> 出力端子	TMRIH入力端子					
PCR9 <sub>5</sub>	0	1											
端子機能	P9 <sub>5</sub> 入力端子	P9 <sub>5</sub> 出力端子											
	TMRIH入力端子												
P9 <sub>4</sub> /SDA <sub>2</sub>	<p>ICCR2 の ICE により、次のように切り換わります。</p> <table border="1"> <tr> <td>ICE</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P9<sub>4</sub>入力端子</td> <td>SDA<sub>2</sub>入出力端子</td> </tr> </table>	ICE	0	1	端子機能	P9 <sub>4</sub> 入力端子	SDA <sub>2</sub> 入出力端子						
ICE	0	1											
端子機能	P9 <sub>4</sub> 入力端子	SDA <sub>2</sub> 入出力端子											
P9 <sub>3</sub> /SCL <sub>2</sub>	<p>ICCR2 の ICE により、次のように切り換わります。</p> <table border="1"> <tr> <td>ICE</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P9<sub>3</sub>入力端子</td> <td>SCL<sub>2</sub>入出力端子</td> </tr> </table>	ICE	0	1	端子機能	P9 <sub>3</sub> 入力端子	SCL <sub>2</sub> 入出力端子						
ICE	0	1											
端子機能	P9 <sub>3</sub> 入力端子	SCL <sub>2</sub> 入出力端子											

\* Don't care

表 8.27 ポート 9 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P9 <sub>2</sub> /SDA <sub>1</sub>	I C C R 1 の I C E により、次のように切り換わります。		
	I C E	0	1
	端 子 機 能	P9 <sub>2</sub> 入力端子	SDA <sub>1</sub> 入出力端子
P9 <sub>1</sub> /SCL <sub>1</sub>	I C C R 1 の I C E により、次のように切り換わります。		
	I C E	0	1
	端 子 機 能	P9 <sub>1</sub> 入力端子	SCL <sub>1</sub> 入出力端子

\* Don't care

#### 8.10.4 端子状態

各動作モードにおけるポート 9 の端子状態を表 8.28 に示します。

表 8.28 ポート 9 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 <sub>7</sub> /TMOH							
P9 <sub>6</sub> /TMCIH							
P9 <sub>6</sub> /TMRIH	ハイ	保持	保持	ハイ	保持	動作	動作
P9 <sub>4</sub> /SDA <sub>2</sub>	インビ-ダンス			インビ-ダンス			
P9 <sub>3</sub> /SCL <sub>2</sub>							
P9 <sub>2</sub> /SDA <sub>1</sub>							
P9 <sub>1</sub> /SCL <sub>1</sub>							

## 8.11 ポートA

### 8.11.1 概要

ポートAは、7ビットの入出力ポートです。ポートAの各端子は、図8.10に示す構成になっています。

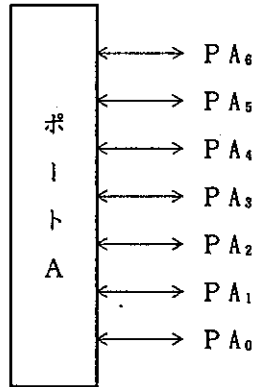


図 8.10 ポートAの端子構成

### 8.11.2 レジスタの構成と説明

表8.29にポートAのレジスタ構成を示します。

表 8.29 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタA	PDRA	R/W	H'80	H'FFDD
ポートコントロールレジスタA	PCRA	W	H'80	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDRAは、ポートAの各端子PA<sub>6</sub>~PA<sub>0</sub>のデータを格納する8ビットのレジスタです。

PCRAが1のとき、ポートAのリードを行うと、PDRAの値を直接リードします。そのため端子状態の影響を受けません。PCRAが0のとき、ポートAのリードを行うと、端子状態が読み出されます。

リセット時、PDRAはH'80にイニシャライズされます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	PCRA <sub>6</sub>	PCRA <sub>5</sub>	PCRA <sub>4</sub>	PCRA <sub>3</sub>	PCRA <sub>2</sub>	PCRA <sub>1</sub>	PCRA <sub>0</sub>
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

PCRAは、ポートAの各端子PA<sub>6</sub>~PA<sub>0</sub>の入出力をビットごとに制御します。PCRAに1をセットすると対応するPA<sub>6</sub>~PA<sub>0</sub>端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCRAはH'80にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

### 8.11.3 端子機能

表 8.30 にポート A の端子機能を示します。

表 8.30 ポート A の端子機能

端 子	選 択 方 法 と 端 子 機 能						
PA <sub>6</sub> ~ PA <sub>0</sub>	PCRA の PCRA <sub>n</sub> により、次のように切り換わります。 (n = 6 ~ 0)						
	<table border="1"> <thead> <tr> <th>PCRA<sub>n</sub></th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端 子 機 能</td> <td>PA<sub>n</sub> 入力端子</td> <td>PA<sub>n</sub> 出力端子</td> </tr> </tbody> </table>	PCRA <sub>n</sub>	0	1	端 子 機 能	PA <sub>n</sub> 入力端子	PA <sub>n</sub> 出力端子
	PCRA <sub>n</sub>	0	1				
端 子 機 能	PA <sub>n</sub> 入力端子	PA <sub>n</sub> 出力端子					

### 8.11.4 端子状態

各動作モードにおけるポート A の端子状態を表 8.31 に示します。

表 8.31 ポート A の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA <sub>6</sub> ~ PA <sub>0</sub>	ハイ インビダンス	保持	保持	ハイ インビダンス	保持	動作	動作



## 8.12 ポート B

### 8.12.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.11 に示す構成になっています。

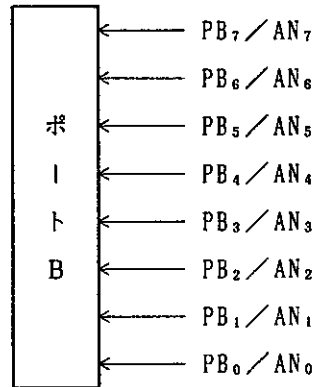


図 8.11 ポート B の端子構成

### 8.12.2 レジスタの構成と説明

表 8.32 にポート B のレジスタ構成を示します。

表 8.32 レジスタ構成

名 称	略 称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FPDE

#### (1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>
R/W:	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

### 8.12.3 端子機能

表 8.33 にポート B の端子機能を示します。

表 8.33 ポート B の端子機能

端 子	選択方法と端子機能		
PB <sub>n</sub> / AN <sub>n</sub>	常に以下のような状態になっています。 (n=7~0)		
	<table border="1"> <tr> <td>端子機能</td> <td>PB<sub>n</sub> 入力端子、AN<sub>n</sub> 入力端子</td> </tr> </table>	端子機能	PB <sub>n</sub> 入力端子、AN <sub>n</sub> 入力端子
端子機能	PB <sub>n</sub> 入力端子、AN <sub>n</sub> 入力端子		

### 8.12.4 端子状態

各動作モードにおけるポート B の端子状態を表 8.34 に示します。

表 8.34 ポート B の端子状態

(n=7~0)

端 子	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PB <sub>n</sub> / AN <sub>n</sub>	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス	ハイ インビ-ダンス

## 8.13 ポートC

### 8.13.1 概要

ポートCは、4ビットの入力専用ポートです。ポートCの各端子は、図8.12に示す構成になっています。

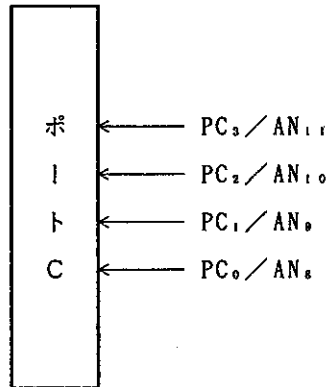


図 8.12 ポートCの端子構成

### 8.13.2 レジスタの構成と説明

表 8.35にポートCのレジスタ構成を示します。

表 8.35 レジスタ構成

名 称	略 称	R/W	アドレス
ポートデータレジスタC	P D R C	R	H'FFDF

#### (1) ポートデータレジスタC (P D R C)



P D R Cをリードすると常に各端子の状態が読み出されます。ただし、A/D変換器のAMRのCH3~CH0によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく0が読み出されます。

### 8.13.3 端子機能

表 8.36 にポート C の端子機能を示します。

表 8.36 ポート C の端子機能

端 子	選 択 方 法 と 端 子 機 能		
PC <sub>3</sub> / AN <sub>11</sub> }	常に以下のような状態になっています。  <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>端子機能</td> <td>PC<sub>3</sub>~PC<sub>0</sub>入力端子、AN<sub>11</sub>~AN<sub>8</sub>入力端子</td> </tr> </table>	端子機能	PC <sub>3</sub> ~PC <sub>0</sub> 入力端子、AN <sub>11</sub> ~AN <sub>8</sub> 入力端子
端子機能		PC <sub>3</sub> ~PC <sub>0</sub> 入力端子、AN <sub>11</sub> ~AN <sub>8</sub> 入力端子	
PC <sub>0</sub> / AN <sub>8</sub>			

### 8.13.4 端子状態

各動作モードにおけるポート C の端子状態を表 8.37 に示します。

表 8.37 ポート C の端子状態

端 子	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PC <sub>3</sub> / AN <sub>11</sub> }	ハイ	ハイ	ハイ	ハイ	ハイ	ハイ	ハイ
PC <sub>0</sub> / AN <sub>8</sub>	インビ-タンス	インビ-タンス	インビ-タンス	インビ-タンス	インビ-タンス	インビ-タンス	インビ-タンス

# 9. タイマ

## 第9章 目次

9.1	概要	9-1
9.2	タイマA	9-3
9.2.1	概要	9-3
9.2.2	各レジスタの説明	9-5
9.2.3	動作説明	9-7
9.2.4	タイマAの動作モード	9-8
9.3	タイマB1	9-9
9.3.1	概要	9-9
9.3.2	各レジスタの説明	9-10
9.3.3	動作説明	9-13
9.3.4	タイマB1の動作モード	9-14
9.4	タイマB2	9-15
9.4.1	概要	9-15
9.4.2	各レジスタの説明	9-16
9.4.3	動作説明	9-19
9.4.4	タイマB2の動作モード	9-20
9.5	タイマB3	9-21
9.5.1	概要	9-21
9.5.2	各レジスタの説明	9-22
9.5.3	動作説明	9-25
9.5.4	タイマB3の動作モード	9-26

9.6	タイマC	9-27
9.6.1	概要	9-27
9.6.2	各レジスタの説明	9-30
9.6.3	動作説明	9-33
9.6.4	タイマCの動作モード	9-34
9.7	タイマF	9-35
9.7.1	概要	9-35
9.7.2	各レジスタの説明	9-38
9.7.3	CPUとのインタフェース	9-45
9.7.4	動作説明	9-47
9.7.5	使用上の注意事項	9-49
9.8	タイマG	9-51
9.8.1	概要	9-51
9.8.2	各レジスタの説明	9-53
9.8.3	ノイズ除去回路	9-57
9.8.4	動作説明	9-58
9.8.5	タイマGの使用例	9-62
9.8.6	使用上の注意事項	9-63
9.9	タイマH	9-67
9.9.1	概要	9-67
9.9.2	各レジスタの説明	9-70
9.9.3	動作説明	9-75
9.9.4	割り込み要因	9-79
9.9.5	タイマHの使用例	9-79
9.9.6	使用上の注意事項	9-80

---

## 9. 1 概要

本LSIは8本のタイマ(タイマA、B1~B3、C、F、G、H)を内蔵しています。  
タイマA、B1~B3、C、F、G、Hの機能概要を表9.1に示します。

表9.1 タイマの機能概要(1)

タイマ名称	機能	内部クロック	イベント入力端子	波形出力端子	備考
タイマA	<ul style="list-style-type: none"> <li>8ビットのタイマ</li> <li>インターバル機能</li> <li>時計用タイムベース機能</li> <li>クロック出力機能</li> </ul>	$\phi/8 \sim \phi/8192$ (8種類)  $\phi_w/128$ (オ-パワ-周期は 4種類選択可)  $\phi/4 \sim \phi/32$ $\phi_w/4 \sim \phi_w/32$ (8種類)	-	-	TMOV
タイマB1 } タイマB3	<ul style="list-style-type: none"> <li>8ビットのタイマ</li> <li>インターバル機能</li> <li>イベントカウント機能</li> </ul>	$\phi/4 \sim \phi/8192$ (7種類)	TMIB1 TMIB2A TMIB2B	-	タイマB3はイベント機能を除く
タイマC	<ul style="list-style-type: none"> <li>8ビットのタイマ</li> <li>インターバル機能</li> <li>イベントカウント機能</li> <li>カウントアップ/ダウン選択可能</li> </ul>	$\phi/4 \sim \phi/8192$ $\phi_w/4$ (7種類)	TMIC	-	カウンタ/アップ/ダウン制御はソフトウェア制御可能 カウンタ制御も
タイマF	<ul style="list-style-type: none"> <li>16ビットのタイマ</li> <li>イベントカウント機能</li> <li>独立した2本の8ビットタイマとして使用可能</li> <li>アウトプットコンパ-出力機能</li> </ul>	$\phi/2 \sim \phi/32$ (4種類)	TMIF	TMOFL TMOFH	
タイマG	<ul style="list-style-type: none"> <li>8ビットのタイマ</li> <li>インプットキ-ア-チ機能</li> <li>インターバル機能</li> </ul>	$\phi/2 \sim \phi/64$ $\phi_w/2$ (4種類)	TMIG	-	<ul style="list-style-type: none"> <li>カウンタ指定が可能な入力除路</li> <li>タイマ出力の除路</li> </ul>

表 9.1 タイマの機能概要(2)

タイマ名称	機 能	内部クロック	イベント入力端子	波形出力端子	備 考
タイマH	<ul style="list-style-type: none"> <li>・ 8ビットのタイマ</li> <li>・ イベントカウンタ機能</li> <li>・ 2つのコンパリアマチ要因による出力制御が可能</li> <li>・ カンタクリア指定が可能</li> </ul>	$\phi/8 \sim \phi/1024$ (3種類)	TMC1H	TMOH	外部カウンタ クリア端子 TMR1H



## 9.2 タイマA

### 9.2.1 概要

タイマAはインターバル/時計用タイムベース機能を内蔵した8ビットのタイマです。32.768 kHzの水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW端子より、32.768 kHzを分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

#### (1) 特長

タイマAの特長を以下に示します。

■ 8種類の内部クロックを選択可能

8種類の内部クロック ( $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ ) からの選択が可能です。

■ 4種類のオーバーフロー周期を選択可能

時計用タイムベースとして4種類のオーバーフロー周期 (1 s、0.5 s、0.25 s、31.25ms) の選択が可能です (32.768 kHz水晶発振器を使用)。

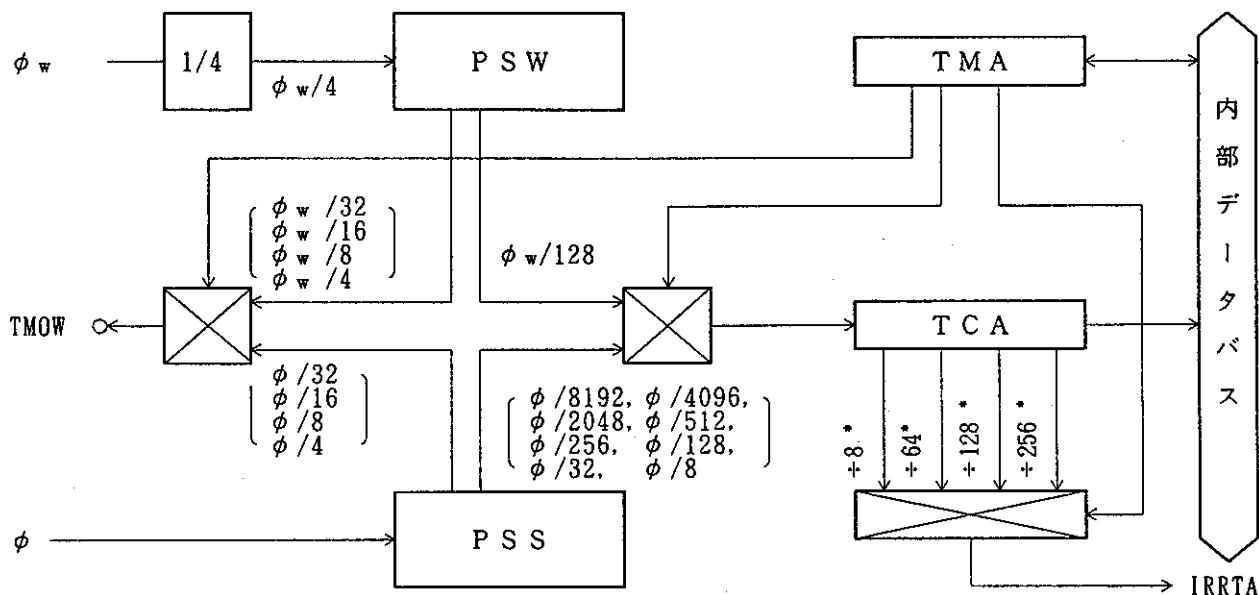
■ カウンタのオーバーフローで割り込みを発生

■ タイマ出力クロックを選択可能

TMOW端子から出力するクロックとして、32.768 kHzの32、16、8、4分周したクロック (1 kHz、2 kHz、4 kHz、8 kHz)、およびシステムクロックを32、16、8、4分周したクロックの計8種類の選択が可能です。

(2) ブロック図

タイマAのブロック図を図9.2.1に示します。



<記号説明>

- TMA : タイマモードレジスタA
- TCA : タイマカウンタA
- IRRТА : タイマAオーバーフロー割り込み要求フラグ
- PSW : プリスケータW
- PSS : プリスケータS

【注】\* TCAの入力クロックがプリスケータW出力 ( $\phi_w/128$ ) の場合のみ選択可能です。

図9.2.1 タイマAブロック図

(3) 端子構成

タイマAの端子構成を表9.2.1に示します。

表9.2.1 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマA出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマAのレジスタ構成を表9.2.2に示します。

表9.2.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタA	TMA	R/W	H'10	H'FFB0
タイマカウンタA	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタA (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMAは、8ビットのリードとライトが可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMAはH'10にイニシャライズされます。

ビット7～5：クロック出力セレクト (TMA7～TMA5)

TMOW端子から出力する8種類のクロックを選択します。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット7	ビット6	ビット5	説 明
TMA7	TMA6	TMA5	
0	0	0	$\phi/32$ (初期値)
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCAに入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバーハロ-周期	機能
0	0	0	0	PSS、 $\phi/8192$ （初期値）	インターバル
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1 s	時計用 タイムベース
			1	PSW、0.5 s	
		1	0	PSW、0.25 s	
			1	PSW、0.03125 s	
	1	0	0	PSW、TCAリセット	
			1		
		1	0		
			1		

(2) タイマカウンタA（TCA）

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCAは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックはTMAのTMA3～TMA0ビットにより選択します。TCAの値は、アクティブモード時はCPUからリードできますが、サブアクティブモード時ではTCAをリードすることはできません。TCAがオーバーフローすると、IRR1のIRR1TAフラグが1にセットされます。

TCAはTMAのTMA3、TMA2ビットをそれぞれ1にセットすることでクリアできます。リセット時、TCAはH'00にイニシャライズされます。

### 9.2.3 動作説明

#### (1) インターバル動作

TMAのTMA3ビットを0にクリアすると、タイマAは8ビットインターバルタイマとして動作します。

リセット時、TCAはH'00、TMA3ビットは0にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマAの動作クロックは、TMAのTMA2～TMA0ビットにより、プリスケアラSの出力する8種類の内部クロックを選択できます。

TCAのカウント値がH'FFになった後、クロックが入力されると、タイマAはオーバフローし、IRR1のIRRTAフラグが1にセットされます。このとき、IENR1のIENTAビットが1ならばCPUに割り込みを要求します。\*

オーバフロー時には、TCAのカウント値はH'00に戻り、再びカウントアップを開始します。したがって、256回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】\* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) 時計用タイムベース動作

TMAのTMA3ビットを1にセットすると、タイマAはプリスケアラWの出力するクロックをカウントして、時計用タイムベースとして動作します。タイマAのオーバフロー周期は、TMAのTMA1、TMA0ビットにより4種類選択できます。時計用タイムベース動作時(TMA3=1)にTMA2ビットを1にセットすると、TCAおよびプリスケアラWは、ともにH'00にクリアされます。

#### (3) クロック出力の動作

PMR1のTMOWビットを1にセットすると、TMOW端子からクロックが出力されます。端子から出力されるクロックは、TMAのTMA7～TMA5ビットにより、8種類のクロックが選択できます。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

#### 9.2.4 タイマAの動作モード

タイマAの動作モードを表9.2.3に示します。

表 9.2.3 タイマAの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用タイムベース	リセット	動作	動作	動作	動作	動作	停止
TMA		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、TCAの内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため、同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$  (s) の誤差が生じます。

## 9.3 タイマB1

### 9.3.1 概要

タイマB1は、入力クロックによりカウントアップする8ビットのタイマです。タイマB1には、インターバル機能、オートリロード機能の2種類の機能があります。

#### (1) 特長

タイマB1の特長を以下に示します。

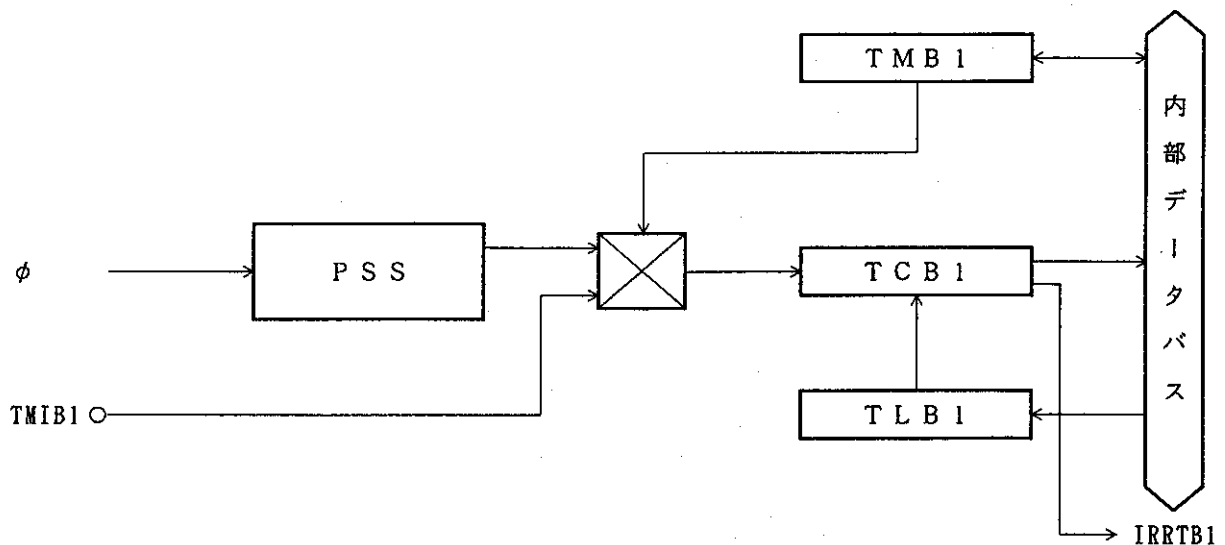
##### ■ 8種類のクロックを選択可能

7種類の内部クロック ( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

##### ■ カウンタのオーバーフローで割り込みを発生

#### (2) ブロック図

タイマB1のブロック図を図9.3.1に示します。



#### <記号説明>

TMB1 : タイマモードレジスタB1

TCB1 : タイマカウンタB1

TLB1 : タイマロードレジスタB1

IRRTB1 : タイマB1オーバーフロー割り込み要求フラグ

PSS : プリスケラS

図9.3.1 タイマB1ブロック図

(3) 端子構成

タイマB1の端子構成を表9.3.1に示します。

表 9.3.1 端子構成

名 称	略 称	入出力	機 能
タイマB1イベント入力	TM1B1	入 力	TCB1に inputsするイベント入力端子

(4) レジスタ構成

タイマB1のレジスタ構成を表9.3.2に示します。

表 9.3.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタB1	TMB1	R/W	H'78	H'FFB2
タイマカウンタB1	TCB1	R	H'00	H'FFB3
タイマロードレジスタB1	TLB1	W	H'00	H'FFB3

9.3.2 各レジスタの説明

(1) タイマモードレジスタB1 (TMB1)

ビット:	7	6	5	4	3	2	1	0
	TMB17	—	—	—	—	TMB12	TMB11	TMB10
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W	—	—	—	—	R/W	R/W	R/W

TMB1は、8ビットのリードとライトが可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB1はH'78にイニシャライズされます。

ビット7: オートリロード機能選択 (TMB17)

タイマB1のオートリロード機能を選択します。

ビット7	説 明
TMB17	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択



ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (TMB12～TMB10)

TCB1に入力するクロックを選択します。外部からのイベント入力は、立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMB12	TMB11	TMB10	
0	0	0	内部クロック $\phi/8192$ でカウント (初期値)
		1	内部クロック $\phi/2048$ でカウント
	1	0	内部クロック $\phi/512$ でカウント
		1	内部クロック $\phi/256$ でカウント
1	0	0	内部クロック $\phi/64$ でカウント
		1	内部クロック $\phi/16$ でカウント
	1	0	内部クロック $\phi/4$ でカウント
		1	外部イベント (TMIB1)の立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】\* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG1により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。なお、TMB12～TMB10ビットをそれぞれ1に設定する前に、必ずポートモードレジスタ1 (PMR1) のIRQ1ビットを1にセットしてください。

(2) タイマカウンタB1 (TCB1)

ビット:	7	6	5	4	3	2	1	0
	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCB1は、8ビットのリード可能なアップカウンタで、入力する内部クロックまたは外部イベントによりカウントアップされます。入力するクロックは、TMB1のTMB12～TMB10ビットにより選択します。TCB1の値は、CPUから常にリードできます。

TCB1がオーバーフロー (H'FF→H'00またはH'FF→TLB1の設定値) すると、IRR2のIRRTB1フラグが1にセットされます。

TCB1は、TLB1と同一のアドレスに割り付けられています。

リセット時、TCB1はH'00にイニシャライズされます。

(3) タイマロードレジスタ B 1 (TLB 1)

ビット:	7	6	5	4	3	2	1	0
	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLB 1 は、8 ビットのライト専用のレジスタで、TCB 1 のリロード値を設定します。

TLB 1 にリロード値を設定すると、同時にその値はTCB 1 にもロードされ、TCB 1 はその値からカウントアップを開始します。また、オートリロード動作時、TCB 1 がオーバーフローするとTCB 1 にTLB 1 の値がロードされます。したがって、オーバーフロー周期を1~256入力クロックの範囲で設定することができます。

TLB 1 は、TCB 1 と同一のアドレスに割り付けられています。

リセット時、TLB 1 はH'00にイニシャライズされます。

### 9.3.3 動作説明

#### (1) インターバルタイマの動作

TMB1のTMB17ビットを0にクリアすると、タイマB1は8ビットインターバルタイマとして動作します。

リセット時、TCB1はH'00、TMB17ビットは0にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマB1の動作クロックは、TMB1のTMB12～TMB10ビットにより、プリスケアラSの出力する7種類の内部クロック、TMIB1入力端子からの外部クロックを選択できます。

TCB1のカウント値がH'FFになった後、クロックが入力されると、タイマB1はオーバフローし、IRR2のIRRTB1フラグが1にセットされます。このとき、IENR2のIENTB1ビットが1ならばCPUに割り込みを要求します。\*

オーバフロー時には、TCB1のカウント値はH'00に戻り、再びカウントアップを開始します。

インターバルタイマ動作時(TMB17=0)にTLB1を設定すると、同時にTCB1にもTLB1の値をロードします。

【注】\* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) オートリロードタイマの動作

TMB1のTMB17ビットを1にセットすると、タイマB1は8ビットオートリロードタイマとして動作します。TLB1にリロード値を設定すると、同時にその値がTCB1にロードされ、TCB1はその値からカウントアップを開始します。

TCB1のカウント値がH'FFになった後、クロックが入力されると、タイマB1はオーバフローし、TLB1の値がTCB1にロードされ、その値からカウントアップを続けます。したがって、TLB1の値により、オーバフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時(TMB17=1)にTLB1の値を再設定すると、同時にTCB1にもTLB1の値をロードします。

#### (3) イベントカウンタ

タイマB1は、TMIB1端子をイベント入力端子とするイベントカウンタとして動作します。

TMB1のTMB12～TMB10ビットをそれぞれ1にセットすると、外部イベントが選択され、TCB1は、TMIB1端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップします。外部イベント入力を使用する場合は、PMR1のIRQ1ビットを1にセットし、かつIENR1のIEN1ビットを0にクリアしてIRQ1割り込み要求を禁止してください。

### 9.3.4 タイマB1の動作モード

タイマB1の動作モードを表9.3.3に示します。

表9.3.3 タイマB1の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB1	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
TMB1		リセット	動作	保持	保持	保持	保持	保持

## 9.4 タイマ B 2

### 9.4.1 概要

タイマ B 2 は、入力クロックによりカウントアップする 8 ビットのタイマです。タイマ B 2 には、インターバル機能、オートリロード機能の 2 種類の機能があります。

#### (1) 特長

タイマ B 2 の特長を以下に示します。

##### ■ 8 種類のクロックを選択可能

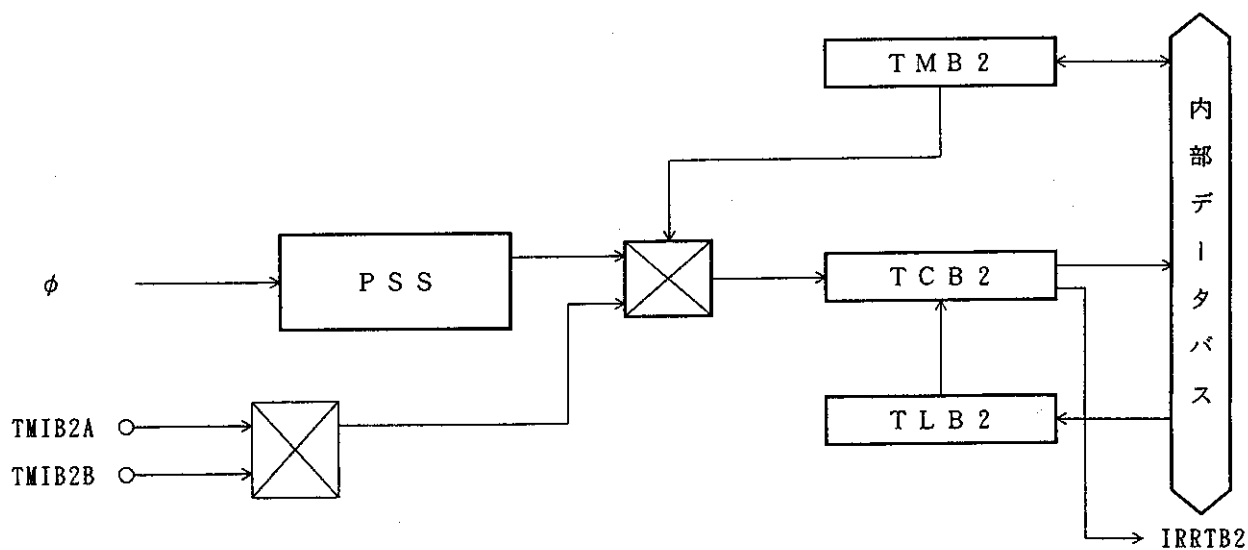
7 種類の内部クロック ( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

##### ■ カウンタのオーバフローで割り込みを発生

##### ■ 外部イベント入力を 2 端子から選択可能

#### (2) ブロック図

タイマ B 2 のブロック図を図 9.4.1 に示します。



#### <記号説明>

TMB 2 : タイマモードレジスタ B 2

TCB 2 : タイマカウンタ B 2

TLB 2 : タイマロードレジスタ B 2

IRRTB 2 : タイマ B 2 オーバフロー割り込み要求フラグ

PSS : プリスケーラ S

図 9.4.1 タイマ B 2 ブロック図

(3) 端子構成

タイマ B 2 の端子構成を表 9. 4. 1 に示します。

表 9. 4. 1 端子構成

名 称	略 称	入出力	機 能
タイマ B 2 イベント入力 A	TMIB2A	入 力	T C B 2 に入力するイベント入力端子
タイマ B 2 イベント入力 B	TMIB2B	入 力	T C B 2 に入力するイベント入力端子

(4) レジスタ構成

タイマ B のレジスタ構成を表 9. 4. 2 に示します。

表 9. 4. 2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタ B 2	T M B 2	R/W	H' 78	H' FF9C
タイマカウンタ B 2	T C B 2	R	H' 00	H' FF9D
タイマロードレジスタ B 2	T L B 2	W	H' 00	H' FF9D

9. 4. 2 各レジスタの説明

(1) タイマモードレジスタ B 2 (T M B 2)

ビット:	7	6	5	4	3	2	1	0
	TMB27	—	—	—	—	TMB22	TMB21	TMB20
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W	—	—	—	—	R/W	R/W	R/W

T M B 2 は、8 ビットのリードとライトが可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、T M B 2 は H' 78 にイニシャライズされます。

ビット7：オートリロード機能選択（TMB27）

タイマB2のオートリロード機能を選択します。

ビット7 TMB27	説明
0	インターバル機能を選択 <span style="float:right">(初期値)</span>
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMB22～TMB20）

TCB2に入力するクロックを選択します。外部からのイベント入力は、立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット2 TMB22	ビット1 TMB21	ビット0 TMB20	説明
0	0	0	内部クロックφ/8192でカウント <span style="float:right">(初期値)</span>
		1	内部クロックφ/2048でカウント
	1	0	内部クロックφ/512でカウント
		1	内部クロックφ/256でカウント
1	0	0	内部クロックφ/64でカウント
		1	内部クロックφ/16でカウント
	1	0	内部クロックφ/4でカウント
		1	外部イベント（TMIB2AまたはTMIB2B）の立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】\* 外部イベントのエッジ選択は、ポートモードレジスタ2（PMR2）のEDGB2により設定します。詳細は、「8.3.2(3) ポートモードレジスタ2（PMR2）」を参照してください。なお、TMB22～TMB20ビットをそれぞれ1に設定する前に、必ずポートモードレジスタ2（PMR2）のTMIB2AかTMIB2Bビットのどちらかを1にセットしてください。

(2) タイマカウンタ B 2 ( T C B 2 )

ビット:	7	6	5	4	3	2	1	0
	TCB27	TCB26	TCB25	TCB24	TCB23	TCB22	TCB21	TCB20
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

T C B 2 は、8 ビットのリード可能なアップカウンタで、入力する内部クロックまたは外部イベントによりカウントアップされます。入力するクロックは、T M B 2 の T M B 2 2 ~ T M B 2 0 ビットにより選択します。T C B 2 の値は、C P U から常にリードできます。

T C B 2 がオーバフロー (H'FF→H'00またはH'FF→T L B 2 の設定値) すると、I R R 2 の I R R T B 2 フラグが 1 にセットされます。

T C B 2 は、T L B 2 と同一のアドレスに割り付けられています。

リセット時、T C B 2 はH'00にイニシャライズされます。

(3) タイマロードレジスタ B 2 ( T L B 2 )

ビット:	7	6	5	4	3	2	1	0
	TLB27	TLB26	TLB25	TLB24	TLB23	TLB22	TLB21	TLB20
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

T L B 2 は、8 ビットのライト専用のレジスタで、T C B 2 のリロード値を設定します。

T L B 2 にリロード値を設定すると、同時にその値は T C B 2 にもロードされ、T C B 2 はその値からカウントアップを開始します。また、オートリロード動作時、T C B 2 がオーバフローすると T C B 2 に T L B 2 の値がロードされます。したがって、オーバフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

T L B 2 は、T C B 2 と同一のアドレスに割り付けられています。

リセット時、T L B 2 はH'00にイニシャライズされます。



### 9.4.3 動作説明

#### (1) インターバルタイマの動作

TMB2のTMB27ビットを0にクリアすると、タイマB2は8ビットインターバルタイマとして動作します。

リセット時、TCB2はH'00、TMB27ビットは0にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマB2の動作クロックは、TMB2のTMB22～TMB20により、プリスケラSの出力する7種類の内部クロック、TMIB2A入力端子またはTMIB2B端子からの外部クロックを選択できます。

TCB2のカウント値がH'FFになった後、クロックが入力されると、タイマB2はオーバフローし、IRR2のIRRTB2フラグが1にセットされます。このとき、IENR2のIENTB2ビットが1ならばCPUに割り込みを要求します。\*

オーバフロー時には、TCB2のカウント値はH'00に戻り、再びカウントアップを開始します。

インターバルタイマ動作時(TMB27=0)にTLB2を設定すると、同時にTCB2にもTLB2の値をロードします。

【注】\* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) オートリロードタイマの動作

TMB2のTMB27ビットを1にセットすると、タイマB2は8ビットオートリロードタイマとして動作します。TLB2にリロード値を設定すると、同時にその値がTCB2にロードされ、TCB2はその値からカウントアップを開始します。

TCB2のカウント値がH'FFになった後、クロックが入力されると、タイマB2はオーバフローし、TLB2の値がTCB2にロードされ、その値からカウントアップを続けます。したがって、TLB2の値により、オーバフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時(TMB27=1)にTLB2の値を再設定すると、同時にTCB2にもTLB2の値をロードします。

#### (3) イベントカウンタ

タイマB2は、TMIB2A端子またはTMIB2B端子をイベント入力端子とするイベントカウンタとして動作します。

TMB2のTMB22～TMB20ビットをそれぞれ1にセットすると、外部イベントが選択され、TCB2は、TMIB2A端子入力またはTMIB2B端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップします。

イベント入力端子の選択は、ポートモードレジスタ2(PMR2)のTMIB2A、TMIB2Bビットのどちらかを1にセットすることで行います。TCB2がカウント中にイベント入力端子を切り換えるとカウント値が変化することがあります。切り換える際は必ず割り込みを禁止したのちに行い、切り換えた後はTCB2(TLB2)を再設定してください。

#### 9.4.4 タイマB2の動作モード

タイマB2の動作モードを表9.4.3に示します。

表9.4.3 タイマB2の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB2	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
TMB2		リセット	動作	保持	保持	保持	保持	保持

## 9.5 タイマB3

### 9.5.1 概要

タイマB3は、入力クロックによりカウントアップする8ビットのアップカウンタです。タイマB3には、インターバル機能、オートリロード機能の2種類の機能があります。

#### (1) 特長

タイマB3の特長を以下に示します。

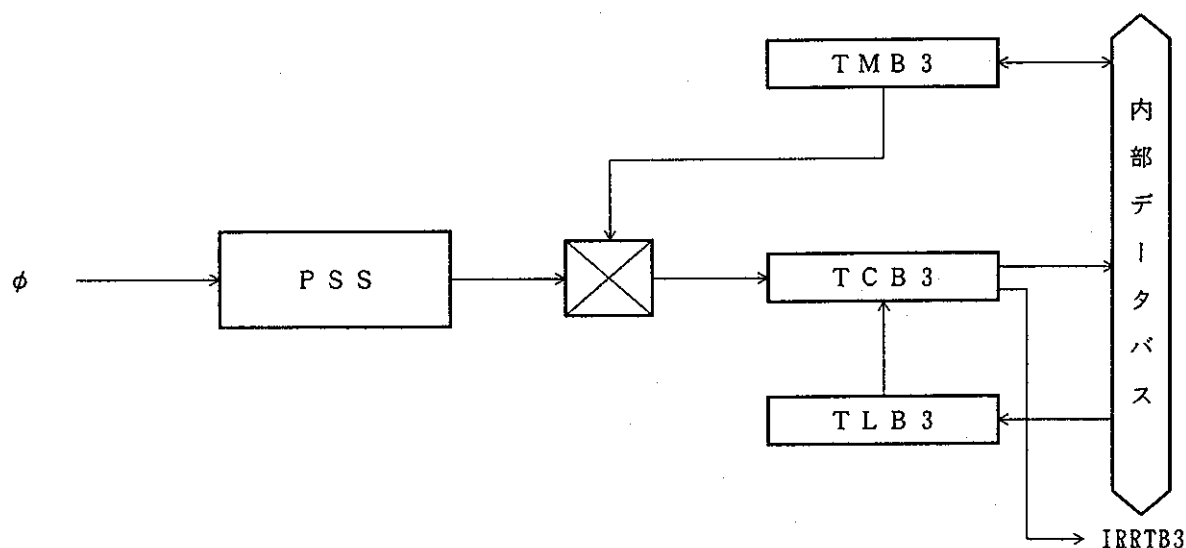
##### ■ 7種類のクロックを選択可能

7種類の内部クロック ( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ) からの選択が可能です。

##### ■ カウンタのオーバーフローで割り込みを発生

#### (2) ブロック図

タイマB3のブロック図を図9.5.1に示します。



#### <記号説明>

TMB3 : タイマモードレジスタB3

TCB3 : タイマカウンタB3

TLB3 : タイマロードレジスタB3

IRRTB3 : タイマB3オーバーフロー割り込み要求フラグ

PSS : プリスケーラS

図9.5.1 タイマB3ブロック図

(3) レジスタ構成

タイマB3のレジスタ構成を表9.5.1に示します。

表 9.5.1 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタB3	TMB3	R/W	H'78	H'FF9E
タイマカウンタB3	TCB3	R	H'00	H'FF9F
タイマロードレジスタB3	TLB3	W	H'00	H'FF9F

9.5.2 各レジスタの説明

(1) タイマモードレジスタB3 (TMB3)

ビット:	7	6	5	4	3	2	1	0
	TMB37	—	—	—	—	TMB32	TMB31	TMB30
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W	—	—	—	—	R/W	R/W	R/W

TMB3は、8ビットのリードとライトが可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB3はH'78にイニシャライズされます。

ビット7: オートリロード機能選択 (TMB37)

タイマB3のオートリロード機能を選択します。

ビット7	説 明
TMB37	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMB32～TMB30）

TCB3に入力するクロックを選択します。

ビット2	ビット1	ビット0	説明
TMB32	TMB31	TMB30	
0	0	0	内部クロックφ/8192でカウント (初期値)
		1	内部クロックφ/2048でカウント
	1	0	内部クロックφ/512でカウント
		1	内部クロックφ/256でカウント
1	0	0	内部クロックφ/64でカウント
		1	内部クロックφ/16でカウント
	1	0	内部クロックφ/4でカウント
		1	リザーブ

(2) タイマカウンタB3（TCB3）

ビット：	7	6	5	4	3	2	1	0
	TCB37	TCB36	TCB35	TCB34	TCB33	TCB32	TCB31	TCB30
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCB3は、8ビットのリード可能なアップカウンタで、入力する内部クロックまたは外部イベントによりカウントアップされます。入力するクロックは、TMB3のTMB32～TMB30ビットにより選択します。TCB3の値は、CPUから常にリードできます。

TCB3がオーバーフロー（H'FF→H'00またはH'FF→TLB3の設定値）すると、IRR1のIRRTB3フラグが1にセットされます。

TCB3は、TLB3と同一のアドレスに割り付けられています。

リセット時、TCB3はH'00にイニシャライズされます。

(3) タイマロードレジスタ B 3 ( T L B 3 )

ビット:	7	6	5	4	3	2	1	0
	TLB37	TLB36	TLB35	TLB34	TLB33	TLB32	TLB31	TLB30
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

T L B 3 は、8 ビットのライト専用のレジスタで、T C B 3 のリロード値を設定します。

T L B 3 にリロード値を設定すると、同時にその値は T C B 3 にもロードされ、T C B 3 はその値からカウントアップを開始します。また、オートリロード動作時、T C B 3 がオーバーフローすると T C B 3 に T L B 3 の値がロードされます。したがって、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

T L B 3 は、T C B 3 と同一のアドレスに割り付けられています。

リセット時、T L B 3 は H'00 にイニシャライズされます。

### 9.5.3 動作説明

#### (1) インターバルタイマの動作

TMB3のTMB37ビットを0にクリアすると、タイマB3は8ビットインターバルタイマとして動作します。

リセット時、TCB3はH'00、TMB37ビットは0にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマB3の動作クロックは、TMB3のTMB32～TMB30ビットにより、プリスケラSの出力する7種類の内部クロックを選択できます。

TCB3のカウント値がH'FFになった後、クロックが入力されると、タイマB3はオーバフローし、IRR1のIRRTB3フラグが1にセットされます。このとき、IENR1のIENTB3ビットが1ならばCPUに割り込みを要求します。\*

オーバフロー時には、TCB3のカウント値はH'00に戻り、再びカウントアップを開始します。

インターバルタイマ動作時(TMB37=0)にTLB3を設定すると、同時にTCB3にもTLB3の値をロードします。

【注】\* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) オートリロードタイマの動作

TMB3のTMB37ビットを1にセットすると、タイマB3は8ビットオートリロードタイマとして動作します。TLB3にリロード値を設定すると、同時にその値がTCB3にロードされ、TCB3はその値からカウントアップを開始します。

TCB3のカウント値がH'FFになった後、クロックが入力されると、タイマB3はオーバフローし、TLB3の値がTCB3にロードされ、その値からカウントアップを続けます。したがって、TLB3の値により、オーバフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時(TMB37=1)にTLB3の値を再設定すると、同時にTCB3にもTLB3の値をロードします。

#### 9.5.4 タイマB3の動作モード

タイマB3の動作モードを表9.5.2に示します。

表9.5.2 タイマB3の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB3	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
TMB3		リセット	動作	保持	保持	保持	保持	保持



## 9.6 タイマC

### 9.6.1 概要

タイマCは、入力クロックによりカウントアップまたはカウントダウンする8ビットのタイマです。タイマCには、インターバル機能、オートリロード機能の2種類の機能があります。

#### (1) 特長

タイマCの特長を以下に示します。

- 8種類のクロックを選択可能

7種類の内部クロック ( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ )と外部クロックからの選択が可能です(外部イベントのカウントが可能)。

- カウンタのオーバフロー/アンダフローで割り込みを発生

- アップ/ダウンカウンタ切り換え可能

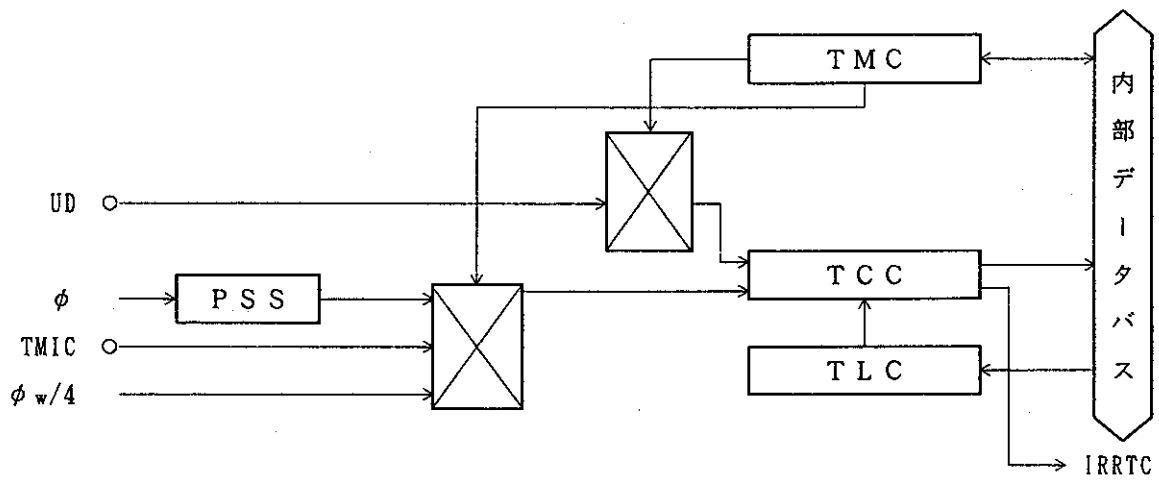
ハードウェアまたはソフトウェアにより、アップ/ダウンカウンタの切り換えが可能です。

- サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマCのブロック図を図9.6.1に示します。



<記号説明>

- TMC : タイマモードレジスタC
- TCC : タイマカウンタC
- TLC : タイマロードレジスタC
- IRRTC : タイマCオーバーフロー割り込み要求フラグ
- PSS : プリスケーラS

図9.6.1 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表9.6.1に示します。

表 9.6.1 端子構成

名 称	略 称	入出力	機 能
タイマCイベント入力	TMIC	入 力	TCCに入力するイベント入力端子
タイマCアップ/ダウンセレクト	UD	入 力	タイマCのアップ/ダウンカウントを選択

(4) レジスタ構成

タイマCのレジスタ構成を表9.6.2に示します。

表 9.6.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFB4
タイマカウンタC	TCC	R	H'00	H'FFB5
タイマロードレジスタC	TLC	W	H'00	H'FFB5

## 9.6.2 各レジスタの説明

### (1) タイマモードレジスタ C (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMCは、8ビットのリードとライトが可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMCはH'18にイニシャライズされます。

#### ビット7: オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説明
TMC7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

#### ビット6、5: カウンタアップ/ダウン制御 (TMC6、TMC5)

TCCのアップ/ダウン制御をUD端子入力によるハードウェア制御とするか、ソフトウェアでの制御とするかを選択します。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCCはアップカウンタ (初期値)
	1	TCCはダウンカウンタ
1	*	UD端子入力によるハードウェア制御 UD端子入力が High レベル: ダウンカウンタ UD端子入力が Low レベル: アップカウンタ

\* Don't care

ビット4～3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (TMC2～TMC0)

TCCに入力するクロックを選択します。外部からのイベント入力は、立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMC2	TMC1	TMC0	
0	0	0	内部クロック $\phi/8192$ でカウント (初期値)
		1	内部クロック $\phi/2048$ でカウント
	1	0	内部クロック $\phi/512$ でカウント
		1	内部クロック $\phi/64$ でカウント
1	0	0	内部クロック $\phi/16$ でカウント
		1	内部クロック $\phi/4$ でカウント
	1	0	内部クロック $\phi_w/4$ でカウント
		1	外部イベント (TMIC) を立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】\* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG2により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。なお、TMC2～TMC0ビットをそれぞれ1に設定する前に必ずポートモードレジスタ1 (PMR1) のIRQ2ビットを1にセットしてください。

(2) タイマカウンタC (TCC)

ビット:	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロックまたは外部イベントによりカウントアップまたはダウンされます。入力するクロックは、TMCのTMC2～TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバーフロー (H'FF→H'00またはH'FF→TLCの設定値)、またはアンダフロー (H'00→H'FFまたはH'00→TLCの設定値) すると、IRR2のIRRTCビットが1にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00にイニシャライズされます。

(3) タイマロードレジスタ C (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLCは、8ビットのライト専用のレジスタで、TCCのリロード値を設定します。TLCにリロード値を設定すると、同時にその値はTCCにもロードされ、TCCはその値からカウントアップ/ダウンを開始します。また、オートリロード動作時、TCCがオーバフローまたはアンダフローすると、TCCにTLCの値がロードされます。したがって、オーバフローまたはアンダフロー周期を1~256入力クロックの範囲で設定することができます。

TLCは、TCCと同一のアドレスに割り付けられています。

リセット時、TLCはH'00にイニシャライズされます。

### 9.6.3 動作説明

#### (1) インターバルタイマの動作

TMCのTMC7ビットを0にクリアすると、タイマCは8ビットインターバルタイマとして動作します。

リセット時、TCCはH'00、TMCはH'18に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマCの動作クロックは、TMCのTMC2～TMC0ビットにより、7種類の内部クロック、TMIC入力端子からの外部クロックを選択できます。

また、TCCのカウントアップ/ダウン制御は、TMCのTMC6、TMC5により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCCのカウント値がH'FF (H'00) になった後、クロックが入力されると、タイマCはオーバフロー（アンダフロー）し、IRR2のIRRTCが1にセットされます。このとき、IENR2のIENTCが1ならばCPUに割り込みを要求します。\*

オーバフロー（アンダフロー）時には、TCCのカウント値はH'00 (H'FF) に戻り、再びカウントアップ（ダウン）を開始します。

インターバル動作時（TMC7 = 0）にTLCを設定すると、同時にTCCにもTLCの値をロードします。

【注】\* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) オートリロードタイマの動作

TMCのTMC7ビットを1にセットすると、タイマCは8ビットオートリロードタイマとして動作します。

TLCにリロード値を設定すると、同時にその値がTCCにロードされ、TCCはその値からカウントアップ/ダウンを開始します。TCCのカウント値がH'FF (H'00) になった後、クロックが入力されると、タイマCはオーバフロー（アンダフロー）し、TLCの値がTCCにロードされ、その値からカウントアップ（ダウン）を継続します。したがって、TLCの値によりオーバフロー（アンダフロー）周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時（TMC7 = 1）にTLCの値を再設定すると、同時にTCCにもTLCの値をロードします。

(3) イベントカウンタ

タイマCは、TMIC端子をイベント入力端子とするイベントカウンタとして動作します。TMCのTMC2～TMC0ビットをそれぞれ1にセットすると、外部イベント動作が選択され、TCCは、TMIC端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップまたはカウントダウンします。

外部イベント入力を使用する場合は、PMR1のIRQ2ビットを1にセットし、かつIENR1のIEN2ビットを0としてIRQ<sub>2</sub>割り込み要求を禁止してください。

(4) ハードウェアによるTCCアップ/ダウン制御

タイマCは、UD端子入力によるTCCのカウントアップ/ダウン制御ができます。TMCのTMC6ビットを1にセットすると、UD端子入力が、Highレベルならばダウンカウンタ、Lowレベルならばアップカウンタとして動作します。

UD端子入力を使用する場合は、PMR2のUDビットを1にセットしてください。

9.6.4 タイマCの動作モード

タイマCの動作モードを表9.6.3に示します。

表 9.6.3 タイマCの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止
	オートリロード	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止
TMC		リセット	動作	保持	保持	動作	保持	保持

【注】\* アクティブモード、スリープモード時に、TCCの内部クロックとして $\phi_w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$  (s) の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\phi_w/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック $\phi_{sub}$ として $\phi_w/8$ を選択時にカウンタの内部クロックとして $\phi_w/4$ を選択した場合、カウンタの下位2ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。



## 9.7 タイマF

### 9.7.1 概要

タイマFは、アウトプットコンペア機能を内蔵した16ビットのタイマです。外部イベントのカウンタが可能のほか、コンペアマッチ信号によりカウンタのリセット、割り込み要求、トグル出力などが可能です。また、2本の独立した8ビットタイマ（タイマFH、タイマFL）としても動作可能です。

#### (1) 特長

タイマFの特長を以下に示します。

■ 5種類のクロックを選択可能

4種類の内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）と、外部クロックからの選択が可能です（外部イベントのカウンタが可能）。

■ トグル出力機能

1本のコンペアマッチ信号により、TMOFH端子にトグル出力します（トグル出力の初期値を設定可能）。

■ コンペアマッチ信号によるカウンタリセット

■ 割り込み要因：コンペアマッチ×1要因、オーバフロー×1要因

■ 2本の独立した8ビットタイマとして動作可能

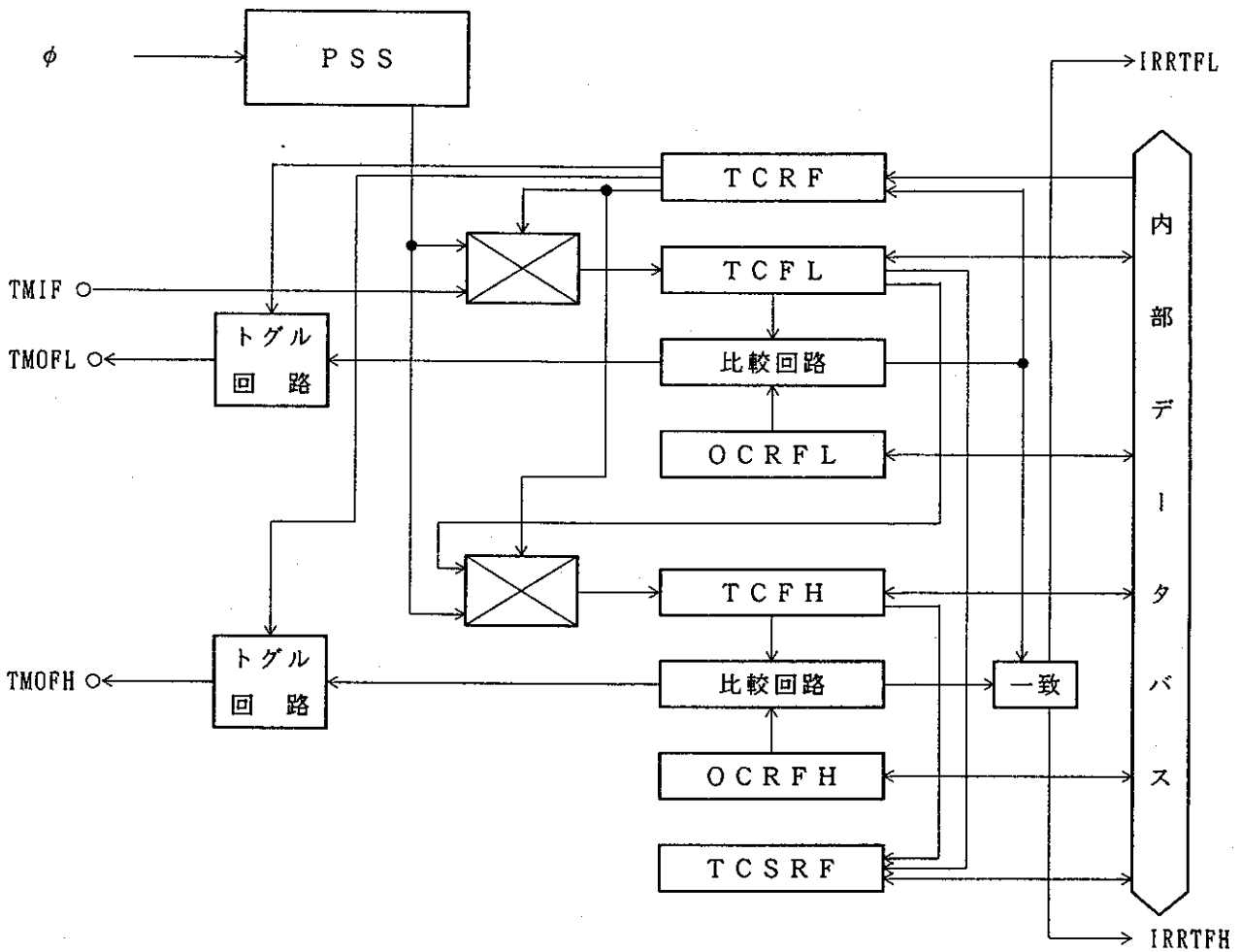
2本の独立した8ビットタイマ（タイマFH、タイマFL）としても動作が可能です（8ビットモード時）。

	タイマFH 8ビットタイマ*	タイマFL 8ビットタイマ/イベントカウンタ
内部クロック	4種類（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）	
イベント入力	TMIF端子	
トグル出力	コンペアマッチ信号×1本 TMOFH端子に出力 （初期値を設定可能）	コンペアマッチ信号×1本 TMOFL端子に出力 （初期値を設定可能）
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割り込み要因	コンペアマッチ×1要因 オーバフロー ×1要因	

【注】\* 16ビットタイマとして動作する場合はタイマFLのオーバフロー信号により動作します。

(2) ブロック図

タイマFのブロック図を図9.7.1に示します。



<記号説明>

- TCRF : タイマコントロールレジスタF
- TCSRf : タイマコントロールステータスレジスタF
- TCFH : 8ビットタイマカウンタFH
- TCFL : 8ビットタイマカウンタFL
- OCRfH : アウトプットコンペアレジスタFH
- OCRfL : アウトプットコンペアレジスタFL
- IRRtFH : タイマFH割り込み要求フラグ
- IRRtFL : タイマFL割り込み要求フラグ
- PSS : プリスケーラS

図9.7.1 タイマFのブロック図

(3) 端子構成

タイマFの端子構成を表9.7.1に示します。

表9.7.1 端子構成

名 称	略 称	入出力	機 能
タイマFイベント入力	TMIF	入 力	T C F Lに <input type="checkbox"/> 入力するイベント入力端子
タイマFH出力	TMOPH	出 力	タイマFHトグル出力端子
タイマFL出力	TMOFL	出 力	タイマFLトグル出力端子

(4) レジスタ構成

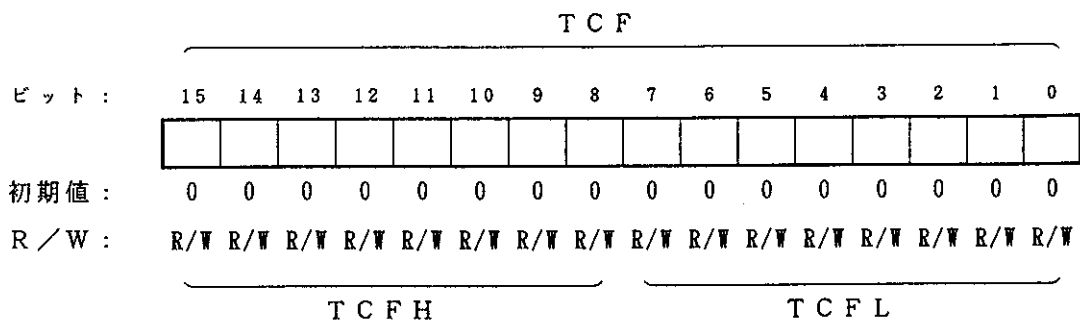
タイマFのレジスタ構成を表9.7.2に示します。

表9.7.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマコントロールレジスタF	TCRF	W	H'00	H'FFB6
タイマコントロールステータスレジスタF	TCSR F	R/W	H'00	H'FFB7
8ビットタイマカウンタFH	TCFH	R/W	H'00	H'FFB8
8ビットタイマカウンタFL	TCFL	R/W	H'00	H'FFB9
アウトプットコンペアレジスタFH	OCR FH	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタFL	OCR FL	R/W	H'FF	H'FFBB

## 9.7.2 各レジスタの説明

- (1) 16ビットタイマカウンタ F (TCF)  
 8ビットタイマカウンタ FH (TCFH)  
 8ビットタイマカウンタ FL (TCFL)



TCFは16ビットのリードとライトが可能なアップカウンタで、8ビットのタイマカウンタTCFHとTCFLのカスケード接続により構成されています。上位8ビットをTCFH、下位8ビットをTCFLとする16ビットカウンタとして使用できるほか、TCFH、TCFLを独立した8ビットカウンタとして使用することもできます。

TCFH、TCFLは、CPUからリードとライトが可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.7.3 CPUとのインタフェース」を参照してください。

### (a) 16ビットモード (TCF)

TCRFのCKSH2ビットを0にクリアすると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2～CKSL0ビットにより選択します。

TCSRFCのCCLRHビットにより、コンペアマッチ時TCFをクリアすることができます。

TCFがオーバフロー (H'FFFF→H'0000) すると、TCSRFCのOVFHフラグが1にセットされます。このときTCSRFCのOVIEHフラグが1の場合、IRR2のIRRTFHフラグが1にセットされ、さらにIENR2のIENTFHフラグが1ならばCPUに割り込みを要求します。

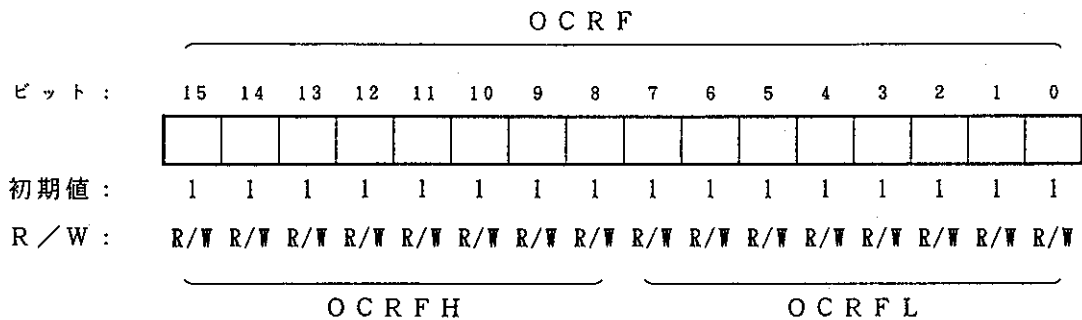
### (b) 8ビットモード (TCFH/TCFL)

TCRFのCKSH2ビットを1にセットすると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH/TCFLの入力クロックは、TCRFのCKSH2～CKSH0/CKSL2～CKSL0により選択します。

TCSRFCのCCLRH/CCLRLにより、コンペアマッチ時TCFH/TCFLをクリアすることができます。

TCFH/TCFLがオーバフロー (H'FF→H'00) すると、TCSRFCのOVFH/OVFLが1にセットされます。このときTCSRFCのOVIEH/OVIELが1の場合、IRR2のIRRTFH/IRRTFLが1にセットされ、さらにIENR2のIENTFH/IENTFLが1ならばCPUに割り込みを要求します。

- (2) 16ビットアウトプットコンペアレジスタ F (OCRF)  
 8ビットアウトプットコンペアレジスタ FH (OCRFH)  
 8ビットアウトプットコンペアレジスタ FL (OCRFL)



OCRFは16ビットのリードとライトが可能で2本のレジスタOCRFHとOCRFLにより構成されています。上位8ビットをOCRFH、下位8ビットをOCRFLとする16ビットコンペアレジスタとして使用できるほか、OCRFH、OCRFLを独立した8ビットコンペアレジスタとして使用することもできます。

OCRFH、OCRFLは、CPUからリードとライトが可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.7.3 CPUとのインタフェース」を参照してください。

リセット時、OCRFH、OCRFLはそれぞれH'FFにイニシャライズされます。

(a) 16ビットモード (OCRF)

TCRFのCKSH2ビットを0にクリアすると、OCRFは16ビットコンペアレジスタとして動作します。OCRFの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRFのCMFHフラグが1にセットされます。このときIENR2のIENTFHビットが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHビットにより、出力レベル (High / Low) の初期設定が可能です。

(b) 8ビットモード (OCRFH/OCRFL)

TCRFのCKSH2ビットを1にセットすると、OCRFは2本の8ビットコンペアレジスタとして動作します。OCRFHの内容はTCFHと、またOCRFLの内容はTCFLとそれぞれ個別に比較されます。OCRFH/OCRFLとTCFH/TCFLの値が一致すると、TCSRFのCMFH/CMFLが1にセットされます。また、同時にIRR2のIRRTFH/IRRFLも1にセットされます。このとき、IENR2のIENTFH/IENTFLが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子/TMOFL端子より出力することができます。また、TCRFのTOLH/TOLLにより、出力レベル (High / Low) の初期設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TCRFは、8ビットのライト専用のレジスタです。16ビットモード、8ビットモードの切り換え、4種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL端子の出力レベルの設定を行います。

リセット時、TCRFはH'00にイニシャライズされます。

ビット7: トグルアウトプットレベルH (TOLH)

TMOFH端子の出力レベルを初期設定します。出力レベルは、ライトした直後反映されます。

ビット7	説明	
TOLH		
0	Low レベル	(初期値)
1	High レベル	

ビット6~4: クロックセレクトH (CKSH2~CKSH0)

TCFHに入力するクロックを内部4種類、またはTCFLのオーバフローから選択します。

ビット6	ビット5	ビット4	説明
CKSH2	CKSH1	CKSH0	
0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント (初期値)
1	0	0	内部クロック: $\phi/32$ でカウント
		1	内部クロック: $\phi/16$ でカウント
	1	0	内部クロック: $\phi/4$ でカウント
		1	内部クロック: $\phi/2$ でカウント

\* Don't care

ビット3：トグルアウトプットレベルL (TOLL)

TMOFL端子の出力レベルを初期設定します。出力レベルは、ライトした直後反映されます。

ビット3	説明	
TOLL		
0	Low レベル	(初期値)
1	High レベル	

ビット2～0：クロックセレクトL (CKSL2～CKSL0)

TCFLに入力するクロックを、内部4種類または外部イベントから選択します。

ビット2	ビット1	ビット0	説明
CKSL2	CKSL1	CKSL0	
0	*	*	外部イベント (TMIF) の立ち上がりまたは立ち下がりでエッジでカウント* (初期値)
1	0	0	内部クロック： $\phi/32$ でカウント
		1	内部クロック： $\phi/16$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/2$ でカウント

\* Don't care

【注】\* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG3により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

なお、TMIF端子の機能切り換えの為にTMIF端子がLowレベルの状態ポートモードレジスタ1 (PMR1) のIRQ3を0から1または1から0に設定変更した場合に、タイムFのカウントがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット:	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVI EH	CCLR H	OVFL	CMFL	OVI EL	CCLR L
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/W	R/W	R/(W)*	R/(W)*	R/W	R/W

【注】\* フラグクリアのための0ライトのみ可能です。

TCSR Fは、8ビットのリードとライト可能なレジスタです。カウンタクリアの選択、オーバフローフラグのセット、コンペアマッチフラグのセット、オーバフローによる割り込み要求の許可の制御を行います。

リセット時、TCSR FはH'00にイニシャライズされます。

ビット7: タイマオーバフローフラグH (OVFH)

TCFHがオーバフロー(H'FF→H'00)したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 (初期値) OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき
1	〔セット条件〕 16ビットモード: TCFの値がH'FFFF→H'0000になったとき 8ビットモード: TCFHの値がH'FF→H'00になったとき

ビット6: コンペアマッチフラグH (CMFH)

TCFHとOCRFHがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
CMFH	
0	〔クリア条件〕 (初期値) CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき
1	〔セット条件〕 TCFHの値とOCRFHの値が、コンペアマッチしたとき



ビット5：タイマオーバーフローインタラプトイネーブルH (OVIEH)

TCFHのオーバーフローが発生したとき、割り込みの許可または禁止を選択します。

ビット5	説明
OVIEH	
0	TCFHのオーバーフローによる割り込み要求を禁止 (初期値)
1	TCFHのオーバーフローによる割り込み要求を許可

ビット4：カウンタクリアH (CCLR H)

16ビットモード時、TCFとOCR Fがコンペアマッチしたとき、TCFをクリアするかしないかを選択します。

8ビットモード時、TCFHとOCR FHがコンペアマッチしたとき、TCFHをクリアするかしないかを選択します。

ビット4	説明
CCLR H	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止 (初期値)
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可

ビット3：タイマオーバーフローフラグL (OVFL)

TCFLがオーバーフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明
OVFL	
0	〔クリア条件〕 OVFL = 1 の状態で、OVFL をリードした後、OVFL に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCFL の値が、H'FF→H'00 になったとき

ビット2：コンペアマッチフラグL (CMFL)

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明
CMFL	
0	〔クリア条件〕 CMFL = 1 の状態で、CMFL をリードした後、CMFL に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCFL の値と OCRFL の値が、コンペアマッチしたとき

ビット1：タイマオーバーフローインタラプトイネーブルL (OVIEL)

TCFLのオーバーフローが発生したとき、割り込み要求を許可または禁止します。

ビット1	説明
OVIEL	
0	TCFLのオーバーフローによる割り込み要求を禁止 (初期値)
1	TCFLのオーバーフローによる割り込み要求を許可

ビット0：カウンタクリアL (CCLRL)

TCFLとOCRFLがコンペアマッチしたとき、TCFLをクリアするかしないかを選択します。

ビット0	説明
CCLRL	
0	コンペアマッチによるTCFLのクリアを禁止 (初期値)
1	コンペアマッチによるTCFLのクリアを許可

### 9.7.3 CPUとのインタフェース

TCF、OCRFは16ビットのリードとライトが可能なレジスタで構成されています。一方、CPUと内蔵周辺モジュール間のデータバスは、8ビット幅となっています。したがってCPUがTCF、OCRFをアクセスする場合、8ビットのテンポラリレジスタ（TEMP）を介して行います。

16ビットモードでTCFのリードまたはライト、OCRFのライトを行うときは、必ずバイトサイズのMOV命令を2回連続して行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8ビットモードでは特にアクセスの順序に制限はありません。

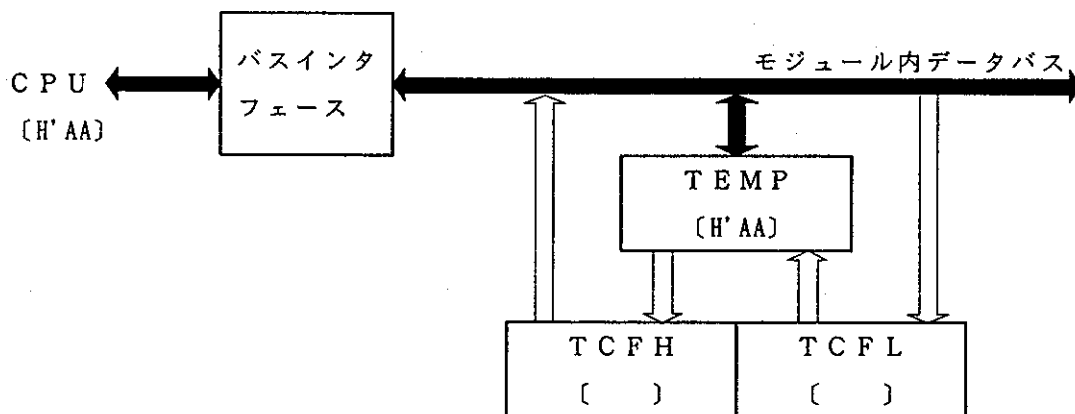
#### (1) ライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPに転送されます。

次に下位バイトのライトで、TEMPにあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCFにH'AA55をライトするときのTCFのライト動作を図9.7.2に示します。

<上位バイトのライト>



<下位バイトのライト>

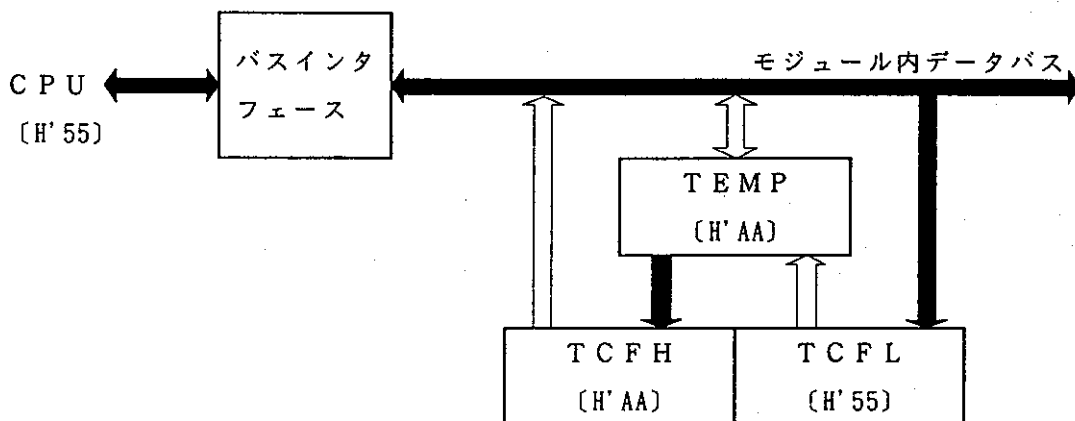


図9.7.2 TCFのライト動作（CPU→TCF）

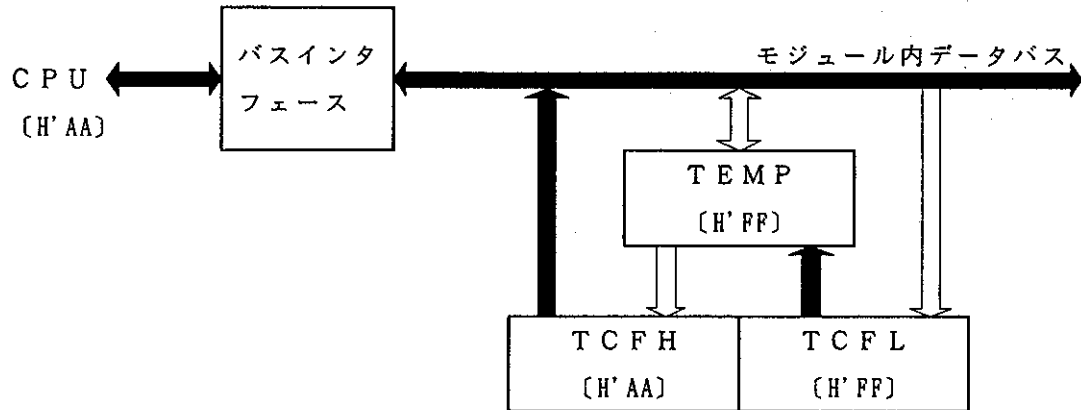
(2) リード時の動作

TCFの場合、上位バイトのリードで、上位バイトのデータは直接CPUに転送され、下位バイトのデータはTEMPに転送されます。

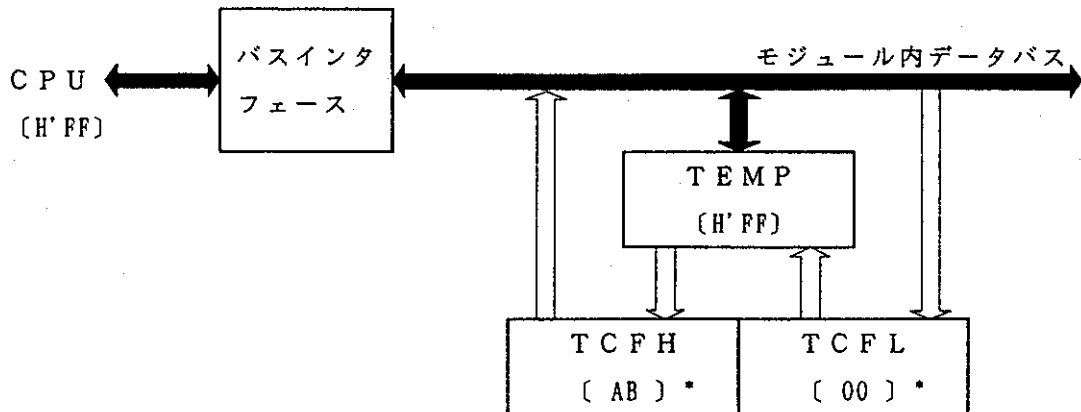
次に下位バイトのリードで、TEMPにある下位バイトのデータがCPUに転送されます。OCRFの場合、上位バイトのリードで、上位バイトのデータは直接CPUに転送されます。下位バイトのリードで、下位バイトのデータは直接CPUに転送されます。

H'AAFFであるTCFをリードしたときのTCFのリード動作を図9.7.3に示します。

<上位バイトのリード>



<下位バイトのリード>



【注】\* カウンタの更新が1回行われた場合H'AB00となる。

図9.7.3 TCFのリード動作 (TCF→CPU)

#### 9.7.4 動作説明

タイマFは、入力クロックによりカウントアップする16ビットのカウンタです。アウトプットコンペアレジスタFに設定した値とタイマカウンタFの値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2本の独立した8ビットタイマとしても機能できます。

##### (1) タイマFの動作

タイマFには、16ビットタイマモードと8ビットタイマモードの2種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

##### (a) 16ビットタイマモードの動作

TCRFのCKSH2ビットを0にクリアすると、タイマFは16ビットのタイマとして動作します。

リセット直後、TCFはH'0000に、OCR FはH'FFFFに、TCRF、TCSR FはH'00に初期化されます。

タイマFの動作クロックは、TCRFのCKSL2～CKSL0ビットによりプリスケールSの出力する4種類の内部クロック、または外部イベントを選択できます。

外部イベントのエッジ選択は、IRQエッジセレクトレジスタ(IEGR)のIEG3ビットにより設定します。

TCFとOCR Fの内容は常に比較されており、両者が一致するとTCSR FのCMFHフラグが1にセットされます。このときIENR2のIENTFHフラグが1ならばCPUに割り込みを要求し、同時にTMOFH端子の出力をトグルします。また、TCRFのCCLR Hビットが1ならばTCFをクリアします。

TCFがオーバフロー(H'FFFF→H'0000)すると、TCSR FのOVFHフラグが1にセットされます。このとき、TCSR FのOVIEHビットとIENR2のIENTFHフラグが共に1ならばCPUに割り込みを要求します。

##### (b) 8ビットタイマモードの動作

TCRFのCKSH2を1にセットすると、TCFはTCFH、TCFLの2本の独立した8ビットタイマとして動作します。TCFH/TCFLの入力クロックは、TCRFのCKSH2～CKSH0/CKSL2～CKSL0により選択します。

OCR FH/OCR FLとTCFH/TCFLの値が一致すると、TCSR FのCMFH/CMFLが1にセットされます。また、IENR2のIENTFH/IENTFLが1ならばCPUに割り込みを要求し、同時にTMOFH端子/TMOFL端子の出力をトグルします。また、TCRFのCCLR H/CCLR Lが1ならば、TCFH/TCFLをクリアします。

TCFH/TCFLがオーバフロー(H'FF→H'00)すると、TCSR FのOVFH/OVFLが1にセットされます。このとき、TCSR FのOVIEH/OVIELとIENR2のIENTFH/IENTFLが共に1ならば、CPUに割り込みを要求します。

(2) TCFのカウンタタイミング

TCFは、入力されたクロック（内部クロックまたは外部イベント）によりカウントアップされます。

(a) 内部クロック動作の場合

TCRFのCKSH2～CKSH0ビットまたはCKSL2～CKSL0ビットの設定により、システムクロック( $\phi$ )を分周して作られる4種類の内部クロック ( $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ )が選択されます。

(b) 外部イベント動作の場合

TCRFのCKSL2ビットを0にクリアすることにより、外部イベント入力を選択されます。外部イベントは立ち上がりエッジまたは立ち下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割り込みコントローラのIEGRのIEG3ビットで設定します。なお、外部イベントのパルス幅は2システムクロック( $\phi$ )以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) TMOFH、TMOFL出力タイミング

TMOFH、TMOFLの出力は、TCRFのTOLH、TOLLで設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9. 7. 4 に出力タイミングを示します。

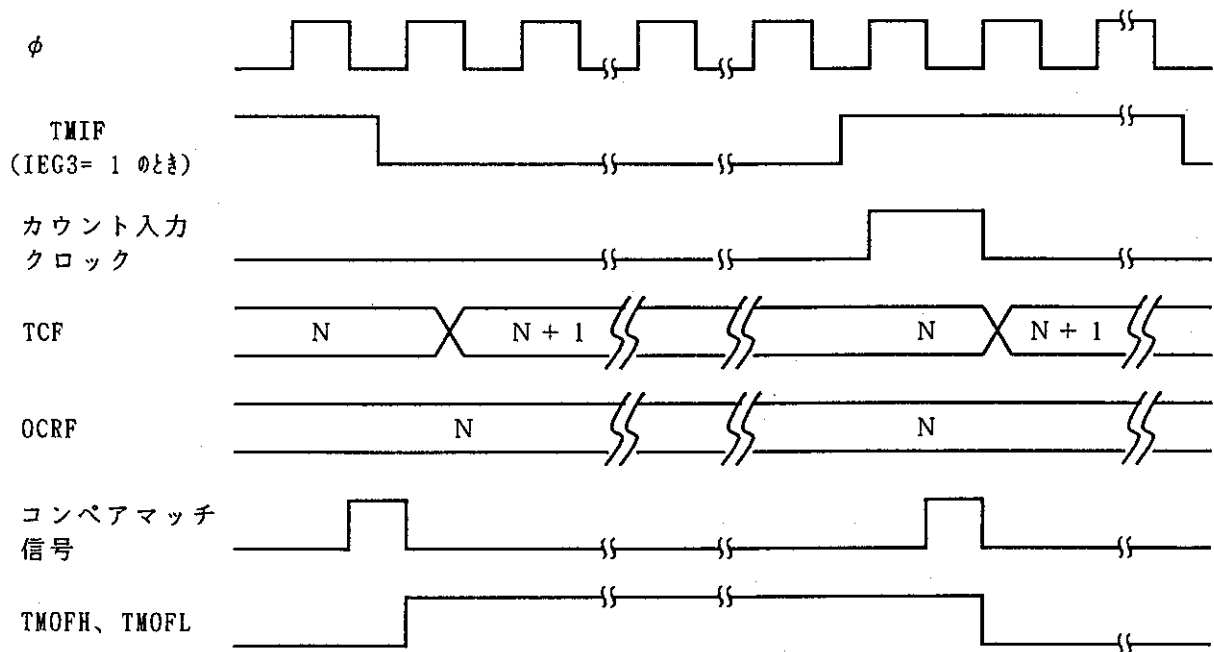


図 9. 7. 4 TMOFH、TMOFL出力タイミング

#### (4) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ（CMFHまたはCMFL）は、TCFとOCRFのコンペアマッチ時に1にセットされます。コンペアマッチ信号は、値が一致した最後のステート（TCFが一致したカウント値を更新するタイミング）で発生します。TCFとOCRFが一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

#### (5) タイマFの動作モード

タイマFの動作モードを表9.7.3に示します。

表 9.7.3 タイマFの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCF	リセット	動作	動作	停止	停止	停止	停止
OCRF	リセット	動作	保持	保持	保持	保持	保持
TCRF	リセット	動作	保持	保持	保持	保持	保持
TCSRFB	リセット	動作	保持	保持	保持	保持	保持

#### 9.7.5 使用上の注意事項

タイマFの動作中、次のような競合や動作が起こりますので注意してください。

##### (1) 16ビットモード

トグル出力は16ビットすべてが一致し、コンペアマッチ信号が発生したときTMOFH端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号が同時に起こった場合、TCRFのライトによるTOLHのデータがTMOFH端子に出力されます。TMOFL端子は16ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのカウントアップクロックに同期して出力されるので、カウントアップクロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16ビットすべてが一致し、コンペアマッチ信号が発生したときCMFHにセットされますが、CMFLについても下位8ビットについてのセット条件が満たされていればセットされます。

TCFがオーバーフローするとOVFHがセットされますが、OVFLについても下位8ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFLのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(2) 8ビットモード

(a) TCFH、OCRFH

トグル出力は、コンペアマッチ時にTMOFH端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLHのデータがTMOFH端子に出力されます。

OCRFHのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFHのカウントアップクロックに同期して出力されます。

TCFHのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(b) TCFL、OCRFL

トグル出力は、コンペアマッチ時にTMOFL端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLLのデータがTMOFL端子に出力されます。

OCRFLのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのカウントアップクロックに同期して出力されるので、カウントアップクロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFLのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。



## 9.8 タイマG

### 9.8.1 概要

タイマGは、インプットキャプチャ機能とインターバル機能を内蔵した8ビットのタイマです。インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立ち上がりエッジまたは立ち下がりエッジに対し、それぞれ専用のインプットキャプチャ機能をもっています。また、ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。さらに、タイマGはインプットキャプチャ入力を設定しない場合、8ビットのインターバルタイマとして機能します。

#### (1) 特長

タイマGの特長を以下に示します。

##### ■ 4種類のカウント入力クロックを選択可能

4種類の内部クロック（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/2$ ）からの選択が可能です。

##### ■ インプットキャプチャ機能

立ち上がりエッジまたは立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。

##### ■ カウンタのオーバフロー時のレベルが検出可能

インプットキャプチャ入力信号の High レベルでオーバフローが発生したか、Low レベルでオーバフローが発生したかを検出することができます。

##### ■ カウンタのクリア指定が可能

インプットキャプチャ入力信号の立ち上がりエッジ、立ち下がりエッジ、両エッジのいずれかでカウンタの値をクリアするか、しないかを選択できます。

##### ■ 2種類の割り込み要求

インプットキャプチャ×1要因、オーバフロー×1要因があります。インプットキャプチャ入力信号による割り込み要求はインプットキャプチャ入力信号の立ち上がりエッジまたは立ち下がりエッジを選択することができます。

##### ■ ノイズ除去回路内蔵

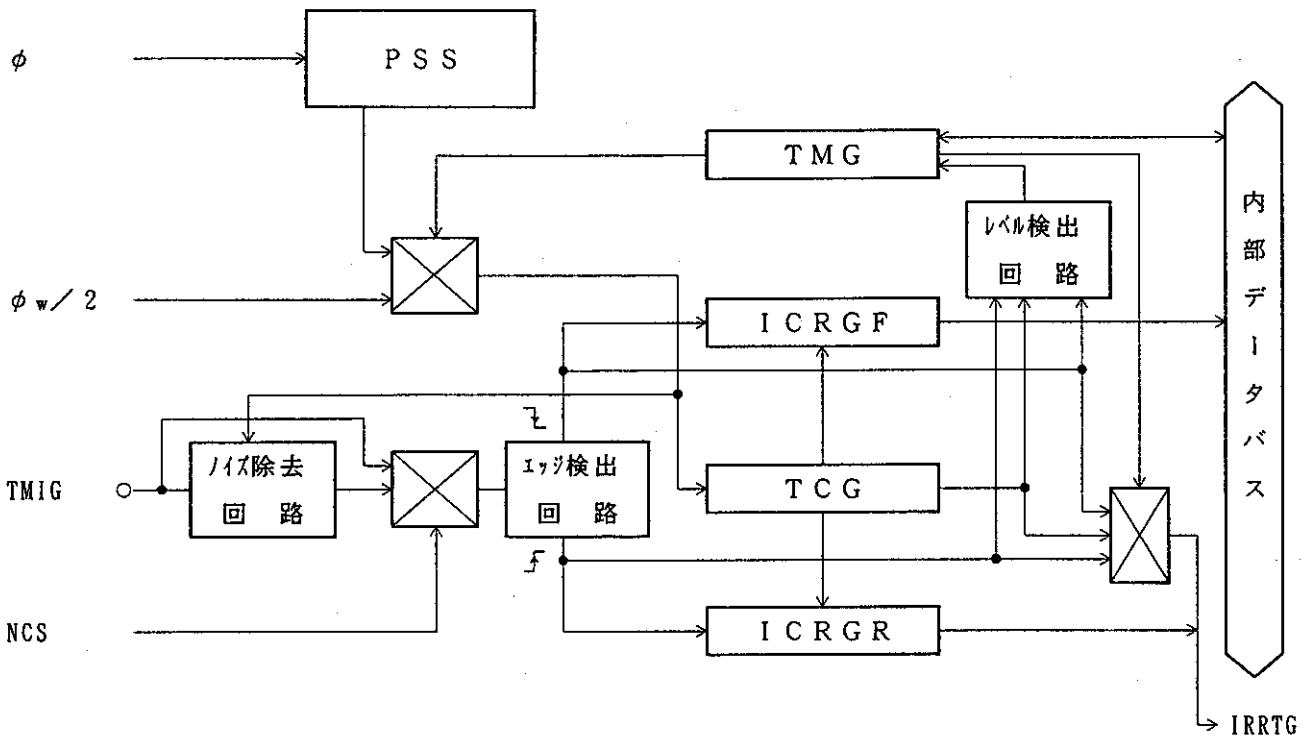
ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。

##### ■ サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w/2$ を選択した場合、サブアクティブモードまたはサブスリープモードで動作可能です。

(2) ブロック図

タイマGのブロック図を図9.8.1に示します。



<記号説明>

- TMG : タイマモードレジスタG
- TCG : タイマカウンタG
- ICRGF : インพุットキャプチャレジスタGF
- ICRGR : インพุットキャプチャレジスタGR
- IRR TG : タイマG 割り込み要求フラグ
- NCS : ノイズキャンセラセレクト
- PSS : プリスケーラS

図9.8.1 タイマGのブロック図

(3) 端子構成

タイマGの端子構成を表9.8.1に示します。

表9.8.1 端子構成

名 称	略 称	入出力	機 能
インプットキャプチャ入力端子	TMIG	入 力	インプッチャプチャ入力

(4) レジスタ構成

タイマGのレジスタ構成を表9.8.2に示します。

表9.8.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマモードレジスタG	TMG	R/W	H'00	H'FFBC
タイマカウンタG	TCG	—	H'00	—
インプットキャプチャレジスタGF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタGR	ICRGR	R	H'00	H'FFBE

9.8.2 各レジスタの説明

(1) タイマカウンタG (TCG)

ビット:	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—

TCGは、8ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMGのCKS1、CKS0ビットで選択します。

TCGはインプットキャプチャタイマとして動作させる場合、PMR1のTMIGビットを1に設定し、インターバルタイマとして動作させる場合、TMIGビットを0に設定します。\* インプットキャプチャタイマの動作時は、TMGの設定によりインプットキャプチャ入力信号の立ち上がりエッジ、立ち下がりエッジ、両エッジのいずれかでTCGの値をクリアすることができます。

TCGがオーバフロー (H'FF→H'00) すると、TMGのOVIEビットが1の場合、IRR2のIRRRTGフラグが1にセットされ、さらにIENR2のIENTGビットが1の場合、CPUに対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

TCGはCPUからリードもライトもできません。

リセット時、TCGはH'00にイニシャライズされます。

【注】\* TMIGビットの書き換えの際、インプットキャプチャ信号が発生する場合があります。

## (2) インプットキャプチャレジスタGF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGFは、8ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときのTCGの値がICRGFに転送されます。このとき、TMGのIEGSビットが1の場合、IRR2のIRRTGフラグが1にセットされ、さらにIENR2のIENTGビットが1の場合、CPUに対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも $2\phi$ または $2\phi_{sub}$ （ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGFはH'00にイニシャライズされます。

## (3) インプットキャプチャレジスタGR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGRは、8ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち上がりエッジが検出されると、そのときのTCGの値がICRGRに転送されます。このとき、TMGのIEGSビットが0の場合、IRR2のIRRTGフラグが1にセットされ、さらにIENR2のIENTGビットが1の場合、CPUに対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも $2\phi$ または $2\phi_{sub}$ （ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGRはH'00にイニシャライズされます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* フラグクリアのための0ライトのみ可能です。

TMGは、8ビットのリードとライトが可能なレジスタです。TCGの4種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割り込み要求のエッジ選択、オーバフローによる割り込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMGはH'00にイニシャライズされます。

ビット7: タイマオーバフローフラグH (OVFH)

インプットキャプチャ入力信号が High レベルのときに、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 (初期値) OVFH = 1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき
1	〔セット条件〕 インプットキャプチャ入力信号が High レベルの状態で、TCG の値が、H'FF→H'00 になったとき

ビット6: タイマオーバフローフラグL (OVFL)

インプットキャプチャ信号が Low レベルのとき、またはインターバル動作時に、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OVFL	
0	〔クリア条件〕 (初期値) OVFL = 1 の状態で、OVFL をリードした後、OVFL に 0 をライトしたとき
1	〔セット条件〕 インプットキャプチャ入力信号が Low レベルの状態で、TCG の値が、H'FF→H'00 になったとき

ビット5：タイマオーバーフローインタラプトイネーブル（OVIE）

TCGのオーバーフローが発生したとき、割り込み要求を許可または禁止します。

ビット5	説 明	
OVIE		
0	TCGのオーバーフローによる割り込み要求を禁止	（初期値）
1	TCGのオーバーフローによる割り込み要求を許可	

ビット4：インプットキャプチャインタラプトエッジセレクト（IIEGS）

インプットキャプチャ入力信号による割り込み要求のエッジ選択を行います。

ビット4	説 明	
IIEGS		
0	インプットキャプチャ入力信号の立ち上がりエッジで割り込みを発生	（初期値）
1	インプットキャプチャ入力信号の立ち下がりエッジで割り込みを発生	

ビット3、2：カウンタクリア1、0（CCLR1、CCLR0）

インプットキャプチャ入力信号の立ち上がりエッジ、立ち下がりエッジ、両エッジのいずれかでTCGの値をクリアするか、しないかを選択します。

ビット3	ビット2	説 明	
CCLR1	CCLR0		
0	0	TCGのクリアを禁止	（初期値）
	1	インプットキャプチャ入力信号の立ち下がりエッジによりTCGをクリア	
1	0	インプットキャプチャ入力信号の立ち上がりエッジによりTCGをクリア	
	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア	

ビット1、0：クロックセレクト（CKS1、CKS0）

TCGに入力するクロックを、4種類の内部クロックから選択します。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	内部クロック： $\phi/64$ でカウント	（初期値）
	1	内部クロック： $\phi/32$ でカウント	
1	0	内部クロック： $\phi/2$ でカウント	
	1	内部クロック： $\phi_w/2$ でカウント	

### 9.8.3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR 2のNCS\*により設定します。

図 9.8.2 にノイズ除去回路のブロック図を示します。

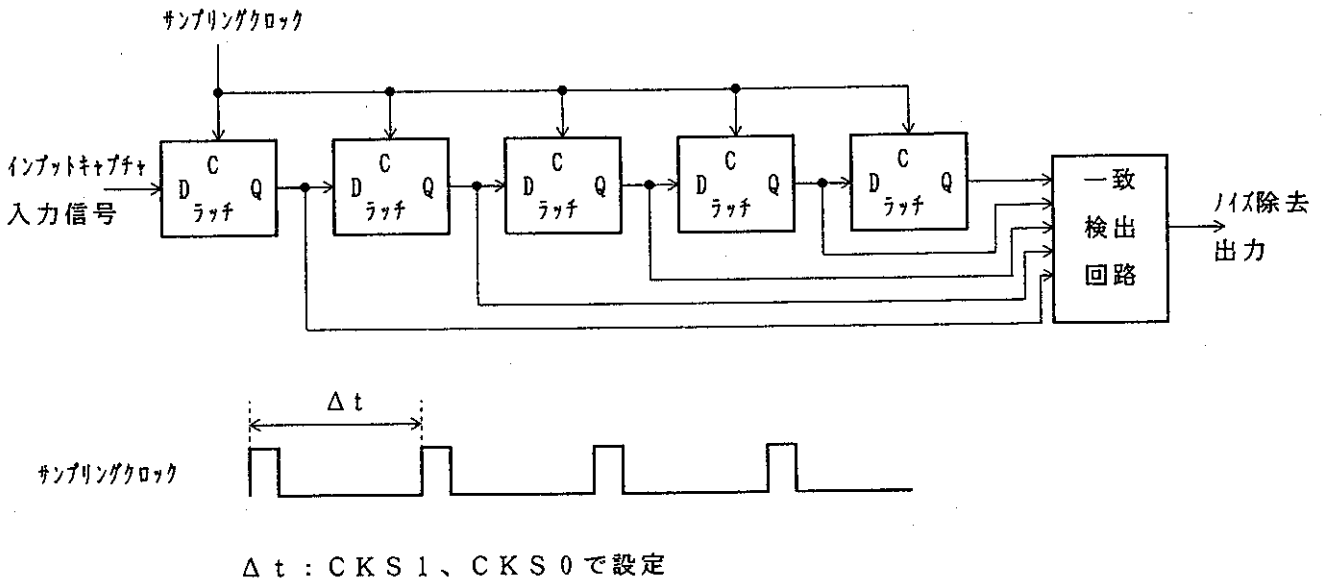


図 9.8.2 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし (NCS = 0) の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり (NCS = 1) の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立ち上がりエッジでインプットキャプチャ入力信号がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立ち下がりエッジが5回サンプリングされた状態でイニシャライズされています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は少なくとも $2\phi$ または $2\phi_{SUB}$ 以上が必要です。

【注】\* NCSビットの書き換えの際、インプットキャプチャ信号が発生する場合があります。

図 9. 8. 3 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの 5 倍以下の High レベル入力がノイズとして除去された場合です。

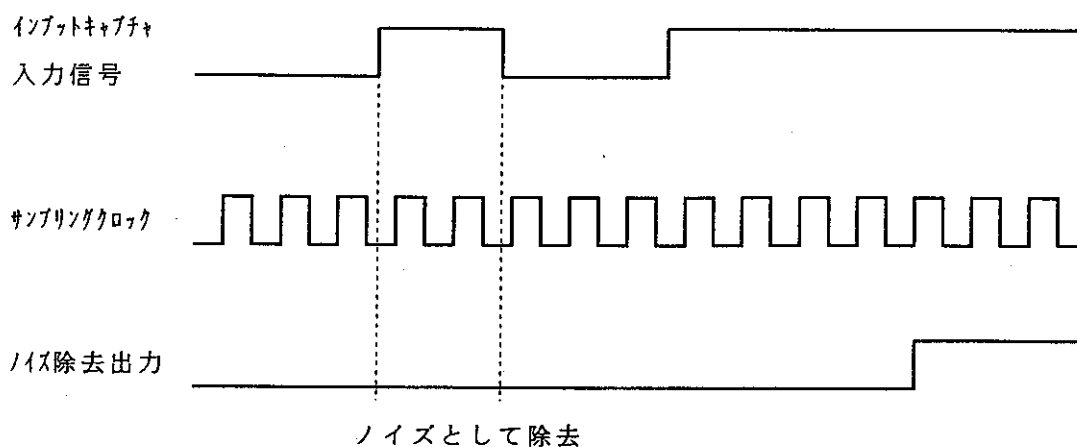


図 9. 8. 3 ノイズ除去回路タイミング (例)

#### 9. 8. 4 動作説明

タイマ G は、インプットキャプチャ機能とインターバル機能を内蔵した 8 ビットのタイマです。

##### (1) タイマ G の機能

タイマ G は 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

##### (a) インプットキャプチャタイマの動作

ポートモードレジスタ 1 (PMR1) の TMIG を 1 にセットすると、タイマ G はインプットキャプチャタイマとして機能します。\*

リセット時、TMG、TCG、ICRGF、ICRGR は、H'00 に初期化されます。

リセット直後、TCG は内部クロック ( $\phi/64$  のクロック) でカウントを開始します。

入力するクロックは、TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。

TMIG 端子から入力されるインプットキャプチャ信号の立ち上がりエッジにより、そのときの TCG の値が ICRGR に、立ち下がりエッジにより、そのときの TCG の値が ICRGF に転送されます。また、IENR2 の IENTG が 1 の状態で、TMG の IIEGS ビットで選択したエッジが入力されると、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は、「3.3 割り込み」を参照してください。



TCGはTMGのCCLR1、CCLR0ビットにより、インプットキャプチャ信号の立ち上がりエッジ、立ち下がりエッジ、両エッジのいずれかでTCGの値をクリアすることができます。また、インプットキャプチャ信号が High レベルのときにTCGがオーバーフローすると、TMGのOVFHフラグをセットします。一方、インプットキャプチャ信号がLowレベルのときにTCGがオーバーフローすると、TMGのOVFLフラグをセットします。これらがセットされたとき、TMGのOVIEビットが1であればIRR2のIRRTGフラグが1にセットされ、さらにIENR2のIENTGビットが1であれば、タイマGはCPUに割り込みを要求します。なお、割り込みについての詳細は、「3.3 割り込み」を参照してください。

タイマGにはノイズ除去回路が内蔵されており、TMIG端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.8.3 ノイズ除去回路」を参照してください。

【注】\* TMIGの書き換えの際、インプットキャプチャ信号が発生する場合があります。

#### (b) インターバルタイマの動作

PMR1のTMIGビットを0にクリアすると、タイマGはインターバルタイマとして機能します。TCGは、TMGのCKS1、CKS0ビットにより選択されたクロックでカウントアップし、オーバーフロー（H'FF→H'00）するとTMGのOVFLフラグが1にセットされ、その時のTMGのOVIEビットとIENR2のIENTGビットが共に1であれば、タイマGはCPUに割り込みを要求します。なお、割り込みについての詳細は、「3.3 割り込み」を参照してください。

#### (2) カウントタイミング

TCGは入力された内部クロックによりカウントアップされます。TMGのCKS1、CKS0ビットの設定により、システムクロック（ $\phi$ ）とウォッチクロック（ $\phi_w$ ）を分周して作られる4種類の内部クロック（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/2$ ）が選択されます。

#### (3) インプットキャプチャ入力のタイミング

##### (a) ノイズ除去機能なしの場合

インプットキャプチャ入力は、立ち上がりエッジと立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能をもっています。

立ち上がりエッジと立ち下がりエッジのインプットキャプチャ入力のタイミングを図9.8.4に示します。

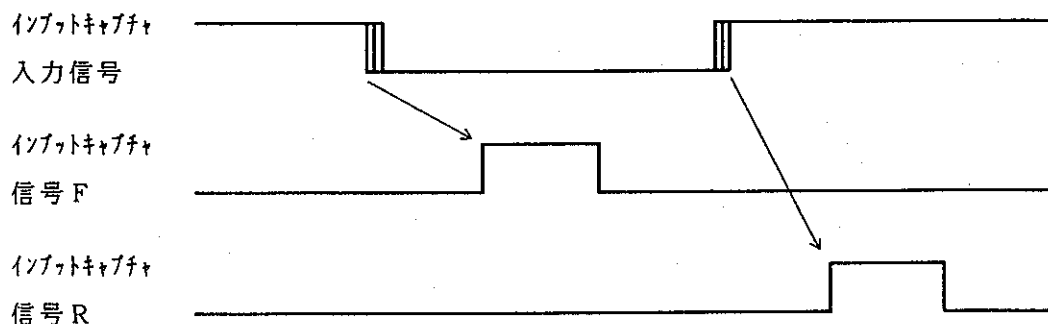


図9.8.4 インプットキャプチャ入力のタイミング（ノイズ除去機能なし）

(b) ノイズ除去機能ありの場合

インプットキャプチャ入力でのノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの5周期分遅延します。

このときのタイミングを図9.8.5に示します。

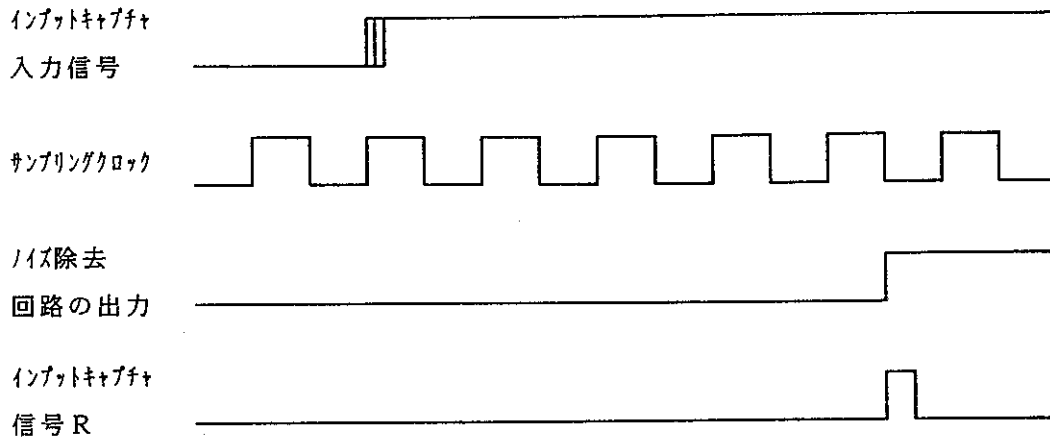


図9.8.5 インプットキャプチャ入力のタイミング (ノイズ除去機能あり)

(4) インプットキャプチャ入力によるインプットキャプチャタイミング

インプットキャプチャ入力によるインプットキャプチャタイミングを図9.8.6に示します。

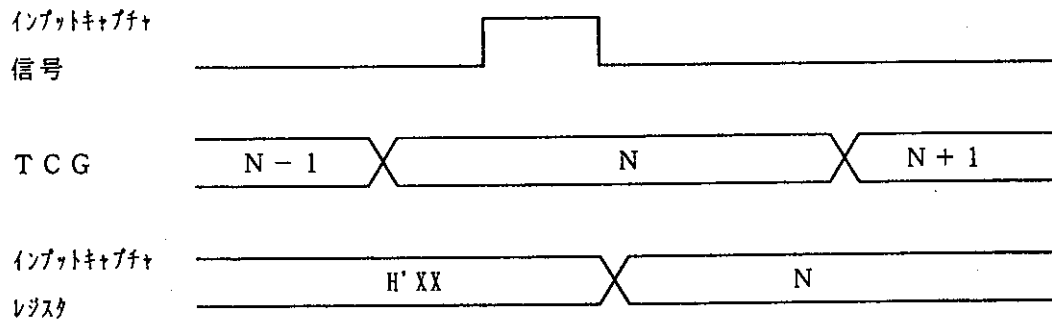


図9.8.6 インプットキャプチャ入力によるインプットキャプチャタイミング

(5) TCGのクリアタイミング

TCGの値は、インプットキャプチャ入力信号の立ち上がりエッジ、立下がりエッジ、両エッジのいずれかでクリアすることができます。

両エッジでクリアする場合のタイミングを図9.8.7に示します。

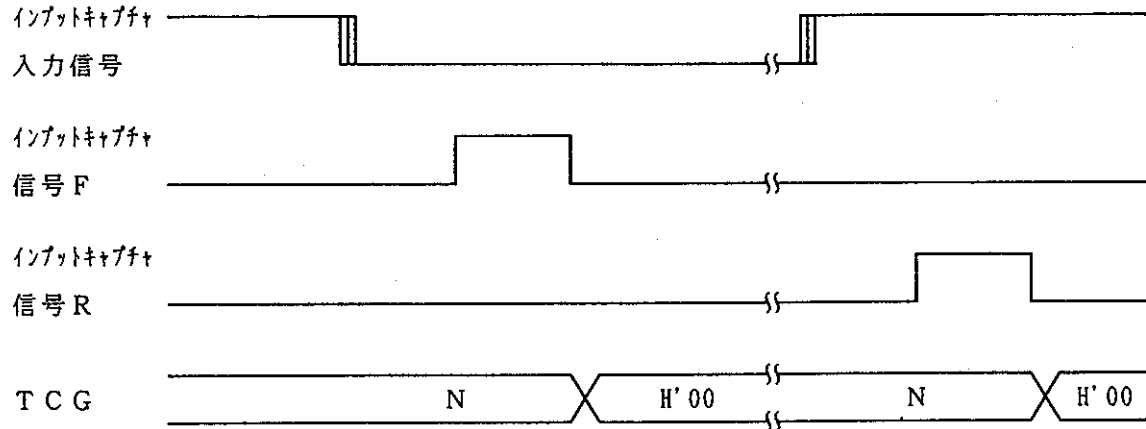


図9.8.7 TCGのクリアタイミング

(6) タイマGの動作モード

タイマGの動作モードを表9.8.3に示します。

表9.8.3 タイマGの動作モード

動作モード		リセット	アクティブ	スリープ	ウェッチ	#7アクティブ	#7スリープ	スタンバイ
TCG	インプットキャプチャ	リセット	動作*	動作*	停止	動作/停止*	動作/停止*	停止
	インターバル	リセット	動作*	動作*	保持	動作/停止*	動作/停止*	停止
ICRGF		リセット	動作*	動作*	保持	動作/停止*	動作/停止*	保持
ICRGR		リセット	動作*	動作*	保持	動作/停止*	動作/停止*	保持
TMG		リセット	動作	保持	保持	動作	保持	保持

【注】\* アクティブモード、スリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$  (s) の誤差が生じます。また、サブアクティブモード、サブスリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、サブクロック ( $\phi_w/8$ ,  $\phi_w/4$ ,  $\phi_w/2$ ) に関係なくTCG、ノイズ除去回路は内部クロック $\phi_w/2$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

### 9.8.5 タイマGの使用例

タイマGを使用すると、インプットキャプチャ入力信号の High 幅、Low 幅を絶対値で測定することができます。設定は、TMGのCCLR1、CCLR0ビットをそれぞれ1にセットします。

このときの動作例を図9.8.8に示します。

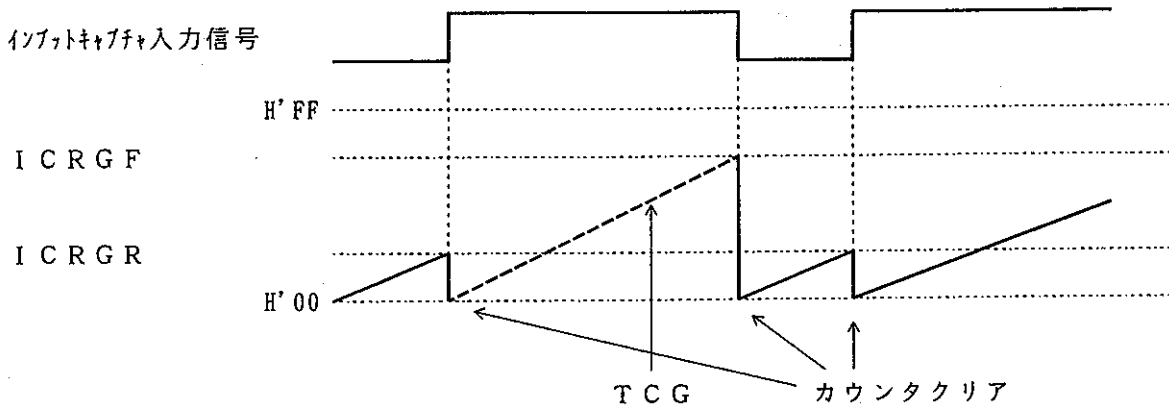


図9.8.8 タイマGの使用例

9.8.6 使用上の注意事項

(1) 内部クロックの切り換えとTCG動作

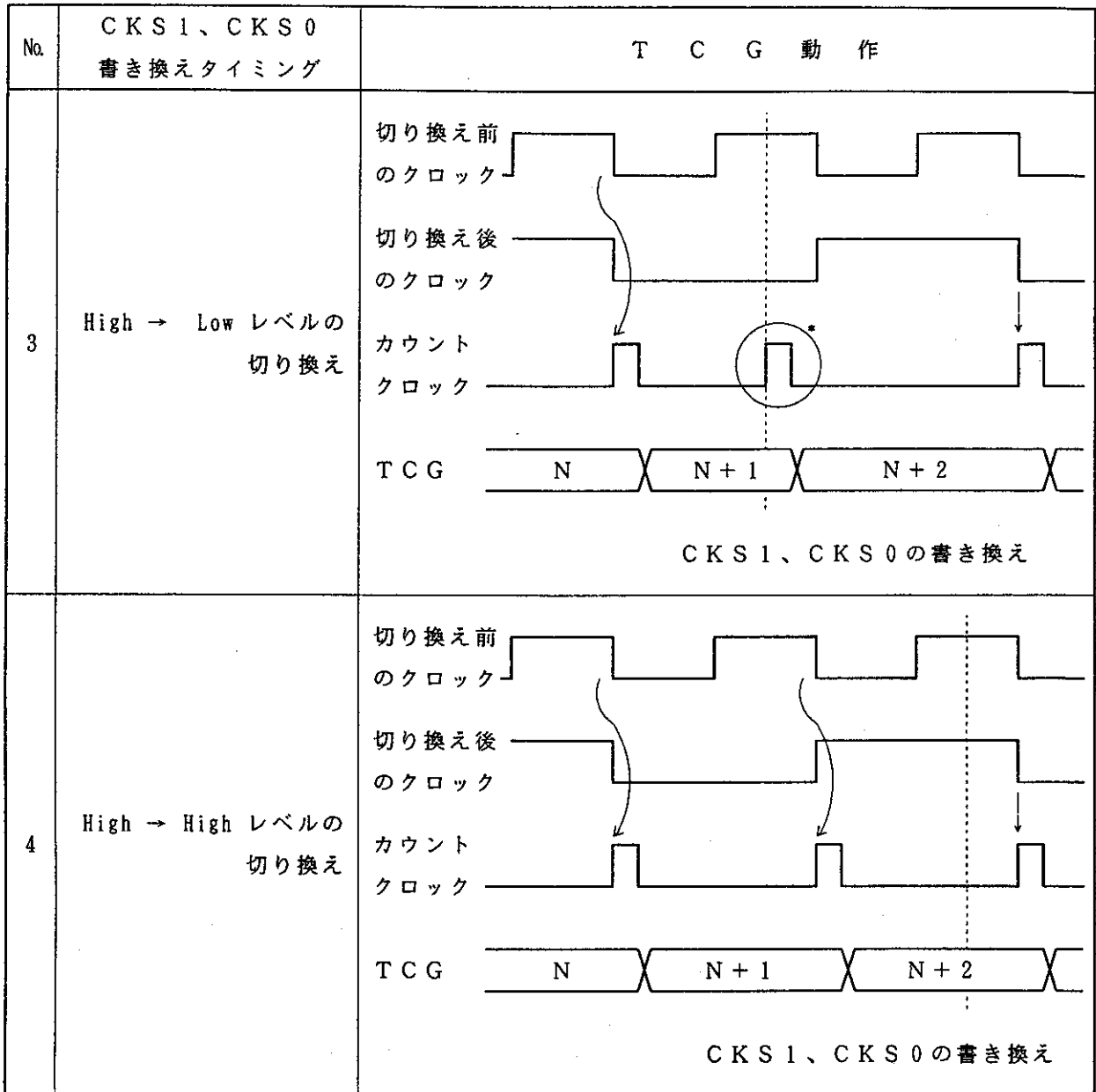
内部クロックを切り換えるタイミングによっては、TCGがカウントアップされてしまう場合があります。内部クロックの切り換えタイミング（CKS1、CKS0ビットの書き換え）とTCG動作の関係を表9.8.4に示します。

内部クロックを使用する場合、システムクロック（ $\phi$ ）またはサブクロック（ $\phi_w$ ）を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表9.8.4のNo.3のように切り換え前のクロックHighレベル→切り換え後のクロックLowレベルになるようなクロックの切り換えを行うと、切り換えタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、TCGがカウントアップされてしまいます。

表9.8.4 内部クロックの切り換えとTCG動作(1)

No.	CKS1、CKS0 書き換えタイミング	TCG動作
1	Low → Low レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>カウント クロック</p> <p>TCG</p> <p>N      N+1</p> <p>CKS1、CKS0の書き換え</p>
2	Low → High レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>カウント クロック</p> <p>TCG</p> <p>N      N+1      N+2</p> <p>CKS1、CKS0の書き換え</p>

表 9.8.4 内部クロックの切り換えとTCGの動作(2)



【注】\* 切り換えのタイミングを立ち下がりエッジとみなすために発生し、TCGはカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能を切り換えるために、ポートモードレジスタを書き換える際、またインプットキャプチャの入力のノイズ除去回路の機能切り換えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

・インプットキャプチャ入力端子の機能切り換え

インプットキャプチャ入力端子を制御しているポートモードレジスタ1 (PMR1) のTMIGビットを書き換えて端子機能を切り換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたことになる場合がありますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.8.5に示します。

表 9.8.5 インプットキャプチャ入力端子の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立ち上がりエッジが発生する場合	TMIG端子が High レベルの状態、TMIGを0から1に書き換えたとき
	TMIG端子が High レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを0から1に書き換えたとき
立ち下がりエッジが発生する場合	TMIG端子が High レベルの状態、TMIGを1から0に書き換えたとき
	TMIG端子が Low レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを0から1に書き換えたとき
	TMIG端子が High レベルの状態、NCSを0から1に書き換えた後、ノイズ除去回路で5回サンプリングされた後にTMIGを1から0に書き換えたとき

【注】 P1<sub>3</sub>端子がインプットキャプチャ入力端子に設定されていない場合、タイマGのインプットキャプチャ入力信号は Low レベルとなっています。

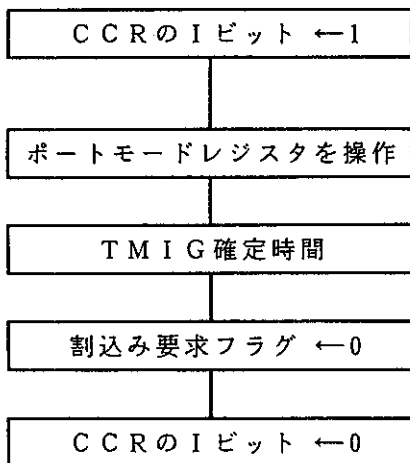
・インプットキャプチャ入力のノイズ除去回路の機能切り換え

インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタ2 (PMR2) のNCSビットを書き換えて機能切り換えを行う場合、PMR1のTMIGビットを0にクリアして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたことになる場合がありますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.8.6に示します。

表 9. 8. 6 ノイズ除去回路の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立ち上がりエッジが発生する場合	TMIGが1の状態ではTMIG端子を Low レベルから High レベルにした後、ノイズ除去回路で5回サンプリングする前にNCSビットを1から0に書き換えたとき
立ち下がりエッジが発生する場合	TMIGが1の状態ではTMIG端子を High レベルから Low レベルにした後、ノイズ除去回路で5回サンプリングする前にNCSを1から0に書き換えたとき

端子機能を切り換え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (IIEGS) によるエッジ選択とが一致した時、割り込み要求フラグが1にセットされますので、割り込み要求フラグを0にクリアしてから使用してください。ポートモードレジスタの操作と割り込み要求フラグのクリア手順を図9.8.9に示します。端子機能を切り換える場合、ポートモードレジスタの操作前に割り込み禁止状態にしてポートモードレジスタを切り換え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間（ノイズ除去回路を使用しない場合は2システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの5倍以上）待ってから、1にセットされた割り込み要求フラグを0にクリアしてください。なお、端子機能切り換えに伴う割り込み要求フラグのセットを回避する方法として表9.8.5、表9.8.6の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジにTMIGのIIEGSビットを設定して制御する方法もあります。



割り込み禁止状態にする。（割り込み許可レジスタ2 (IENR2) の割り込みイネーブルを操作して割り込み禁止状態にしても良い。）

ポートモードレジスタを操作した後、TMIGビットの確定期間（ノイズ除去回路を使用しない場合は2システムクロック以上、ノイズ除去回路を使用する場合サンプリングクロックの5倍以上）待ってから割り込み要求フラグを0にクリアする。

割り込み許可状態にする。

図 9. 8. 9 ポートモードレジスタの操作と割り込み要求フラグのクリア手順



## 9.9 タイマH

### 9.9.1 概要

本LSIは、8ビットのカウンタをベースにしたタイマHを内蔵しています。タイマHには、タイマカウンタ(TCNTH)のほかに8ビットのタイムコンスタントレジスタA、B(TCORAH、TCORBH)があり、TCNTHとTCORAHおよびTCORBHの値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

#### (1) 特長

##### ■ 4種類のカウンタ入力を選択可能

3種類の内部クロック( $\phi/1024$ 、 $\phi/64$ 、 $\phi/8$ )と、外部クロックのうちから選択できます(外部イベントのカウントが可能)。

##### ■ カウンタのクリア指定が可能

コンペアマッチA、B、または外部リセット信号のうちから選択できます。

##### ■ 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

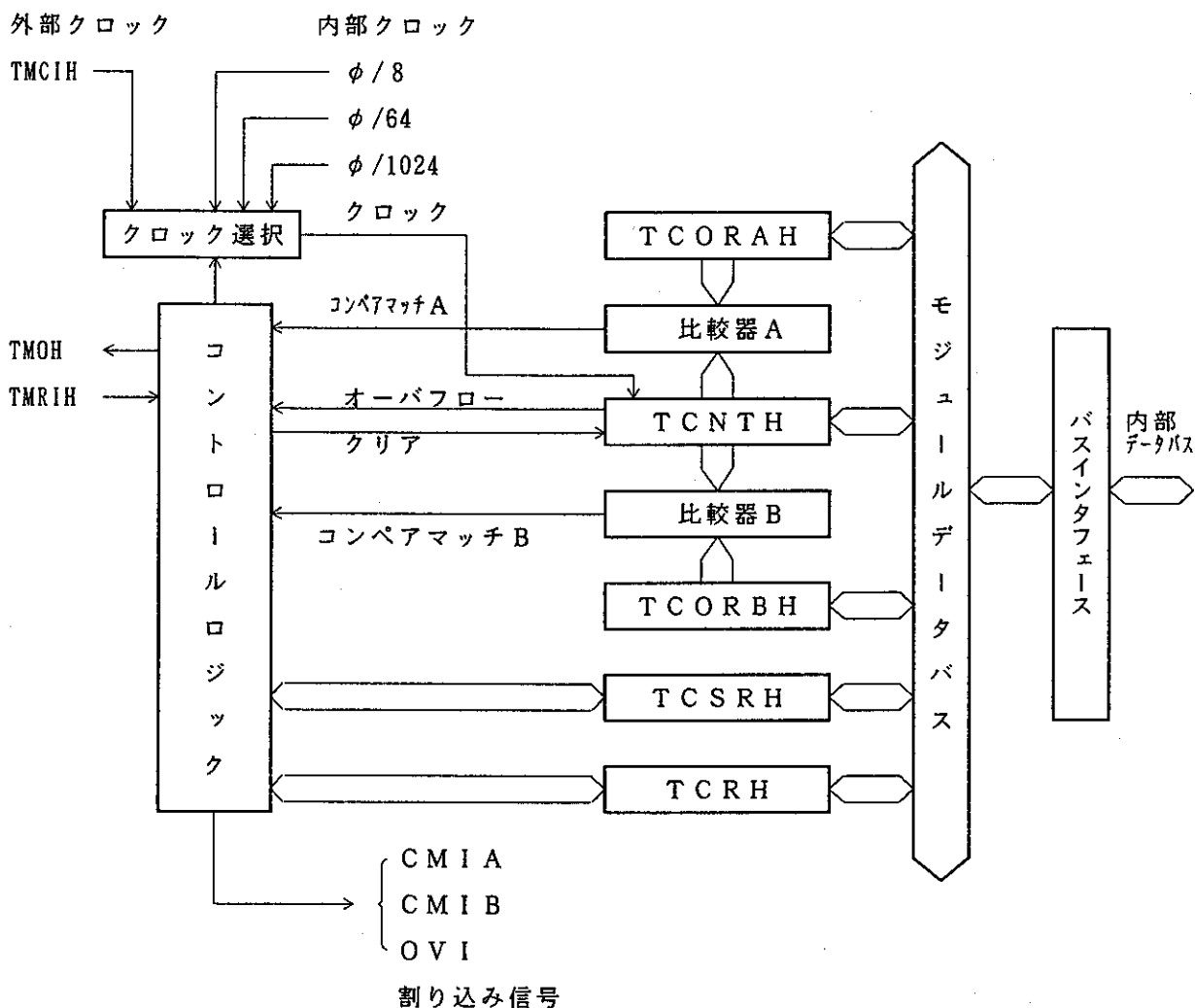
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。

##### ■ 3種類の割り込み要因

コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

(2) ブロック図

タイマHのブロック図を図9.9.1に示します。



<記号説明>

- TCORAH : タイムコンスタントレジスタAH
- TCORBH : タイムコンスタントレジスタBH
- TCNTH : タイマカウンタH
- TCSRH : タイマコントロール/ステータスレジスタH
- TCRH : タイマコントロールレジスタH

図9.9.1 タイマHのブロック図

(3) 端子構成

タイマHの端子構成を表9.9.1に示します。

表 9.9.1 端子構成

名 称	略 称	入出力	機 能
タイマH出力端子	TMOH	出 力	コンペアマッチ出力
タイマHクロック入力端子	TMCIH	入 力	カウンタ外部クロック入力
タイマHリセット入力端子	TMRIH	入 力	カウンタ外部リセット入力

(4) レジスタ構成

タイマHのレジスタ構成を表9.9.2に示します。

表 9.9.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマコントロールレジスタH	TCRH	R/W	H'00	H'FF88
タイマコントロール/ステータスレジスタH	TCSRH	R/(W)*	H'10	H'FF89
タイムコンスタントレジスタAH	TCORAH	R/W	H'FF	H'FF8A
タイムコンスタントレジスタBH	TCORBH	R/W	H'FF	H'FF8B
タイマカウンタH	TCNTH	R/W	H'00	H'FF8C

【注】\* ビット7～5は、フラグをクリアするための0ライトのみ可能です。

## 9.9.2 各レジスタの説明

### (1) タイマカウンタ (TCNTH)

ビット:	7	6	5	4	3	2	1	0									
	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

TCNTHは、8ビットのリードとライトが可能なアップカウンタで、入力する内部または外部クロックによりカウントアップされます。入力するクロックは、TCRHのCKS2～CKS0ビットで選択します。TCNTHの値は、CPUから常にリードとライトが可能です。

TCNTHは、外部リセット入力信号またはコンペアマッチ信号(A、B)により、クリアすることができます。いずれの信号でクリアするかは、TCRHのCCLR1、CCLR0ビットで選択します。

また、TCNTHがオーバーフロー(H'FF→H'00)すると、TCSRHのOVFフラグが1にセットされます。

TCNTHは、リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'00にイニシャライズされます。

### (2) タイムコンスタントレジスタAH、BH (TCORAH、TCORBH)

ビット:	7	6	5	4	3	2	1	0									
	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> <td style="border: 1px solid black; width: 12.5%; height: 20px;"></td> </tr> </table>																
初期値:	1	1	1	1	1	1	1	1									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

TCORAH/TCORBHは、8ビットのリードとライトが可能なレジスタです。

TCORAH/TCORBHとTCNTHの値は常に比較されており、両方の値が一致するとTCSRHのCMFA/CMFBが1にセットされます。ただし、TCORAH/TCORBHへのライトサイクルのT<sub>s</sub>ステータスでの比較は禁止されています。

また、この一致による信号(コンペアマッチ)とTCSRHのOS3～OS0の設定により、タイマ出力を自由に制御することができます。

TCORAH/TCORBHは、リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'FFにイニシャライズされます。

(3) タイマコントロールレジスタH (TCRH)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRHは、8ビットのリードとライトが可能なレジスタで、TCNTHの入力クロックの選択、クリア指定、および各割り込み要求の許可を制御します。

TCRHは、リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'FFにイニシャライズされます。

なお、タイミングについては、「9.9.3 動作説明」を参照してください。

ビット7: コンペアマッチインタラプトイネーブルB (CMIEB)

TCSRHのCMFBが1にセットされたとき、CMFBによる割り込み要求 (CMIB) を許可または禁止します。

ビット7	説明
CMIEB	
0	CMFBによる割り込み要求 (CMIB) を禁止 (初期値)
1	CMFBによる割り込み要求 (CMIB) を許可

ビット6: コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRHのCMFAが1にセットされたとき、CMFAによる割り込み要求 (CMIA) を許可または禁止します。

ビット6	説明
CMIEA	
0	CMFAによる割り込み要求 (CMIA) を禁止 (初期値)
1	CMFAによる割り込み要求 (CMIA) を許可

ビット5: タイマオーバフローインタラプトイネーブル (OVIE)

TCSRHのOVFが1にセットされたとき、OVFによる割り込み要求 (OVI) を許可または禁止します。

ビット5	説明
OVIE	
0	OVFによる割り込み要求 (OVI) を禁止 (初期値)
1	OVFによる割り込み要求 (OVI) を許可

ビット4、3：カウンタクリア1、0 (CCLR1、CCLR0)

TCNTHのクリアを指定します。クリアは、コンペアマッチA、B、または外部リセット入力から選択します。

ビット4	ビット3	説 明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジ (F) によりクリア

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

TCNTHに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック ( $\phi$ ) を分周した3種類のクロック ( $\phi/8$ 、 $\phi/64$ 、 $\phi/1024$ ) から選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックは立ち上がりエッジ、立ち下がりエッジ、または両エッジのカウントの3種類から選択できます。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック： $\phi/8$ 立ち下がりエッジ ( $\bar{\tau}$ ) でカウント
	1	0	内部クロック： $\phi/64$ 立ち下がりエッジ ( $\bar{\tau}$ ) でカウント
		1	内部クロック： $\phi/1024$ 立ち下がりエッジ ( $\bar{\tau}$ ) でカウント
1	0	0	クロック入力を禁止
		1	外部クロック：立ち上がりエッジ (F) でカウント
	1	0	外部クロック：立ち下がりエッジ ( $\bar{\tau}$ ) でカウント
		1	外部クロック：両エッジ (F・ $\bar{\tau}$ ) でカウント

(4) タイマコントロール/ステータスレジスタ (TCSRH)

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

【注】 \* フラグをクリアするための0ライトのみ可能です。

TCSRHは、8ビットのレジスタで、コンペアマッチやタイマオーバフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

TCSRHは、リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'10にイニシャライズされます。

ビット7: コンペアマッチフラグB (CMFB)

TCNTHとTCORBHの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット7	説明
CMFB	
0	〔クリア条件〕 (初期値) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	〔セット条件〕 TCNTH = TCORBHになったとき

ビット6: コンペアマッチフラグA (CMFA)

TCNTHとTCORAHの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット6	説明
CMFA	
0	〔クリア条件〕 (初期値) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	〔セット条件〕 TCNTH = TCORAHになったとき

ビット5：タイマオーバフローフラグ（OVF）

TCNTHがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットはハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	〔クリア条件〕 OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき (初期値)
1	〔セット条件〕 TCNTHがH'FF→H'00になったとき

ビット4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3～0：アウトプットセレクト3～0（OS3～OS0）

TCORAHまたはTCORBHとTCNTHのコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3とOS2がコンペアマッチBによる出力レベルを選択し、OS1とOS0がコンペアマッチAによる出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力>1出力>0出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチにしたがって出力が変化します。

なお、OS3～OS0ビットがすべて0の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチBで変化しない (初期値)
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力（トグル出力）

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチAで変化しない (初期値)
	1	コンペアマッチAで0出力
1	1	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力（トグル出力）



### 9.9.3 動作説明

#### (1) TCNTHのカウントタイミング

TCNTHは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (a) 内部クロック動作の場合

TCRHのCKS2～CKS0の設定により、システムクロック（ $\phi$ ）を分周して作られる3種類の内部クロック（ $\phi/1024$ 、 $\phi/64$ 、 $\phi/8$ ）が選択されます。このタイミングを図9.9.2に示します。

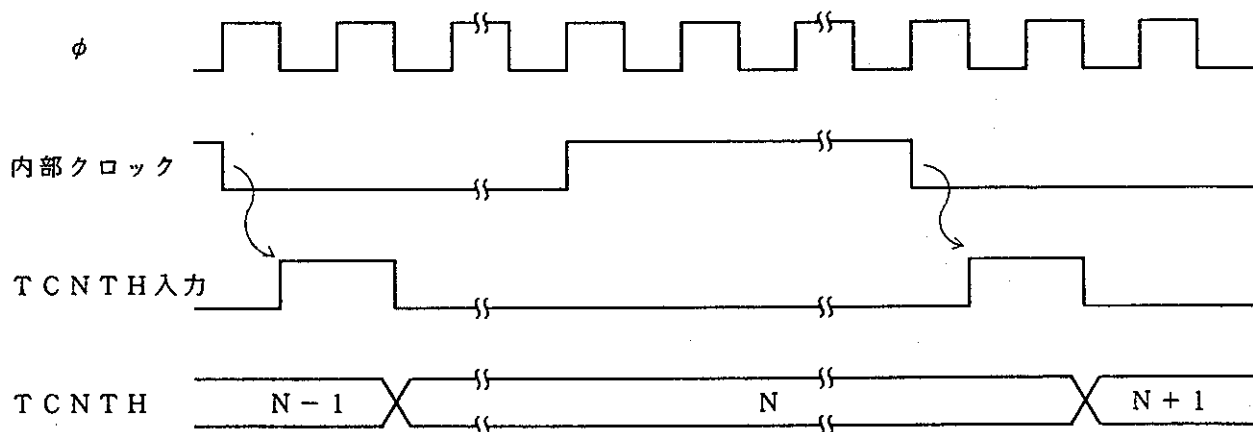


図9.9.2 内部クロック動作時のカウントタイミング

#### (b) 外部クロック動作の場合

TCRHのCKS2～CKS0の設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図9.9.3に、外部クロックが両エッジの場合のタイミングを示します。

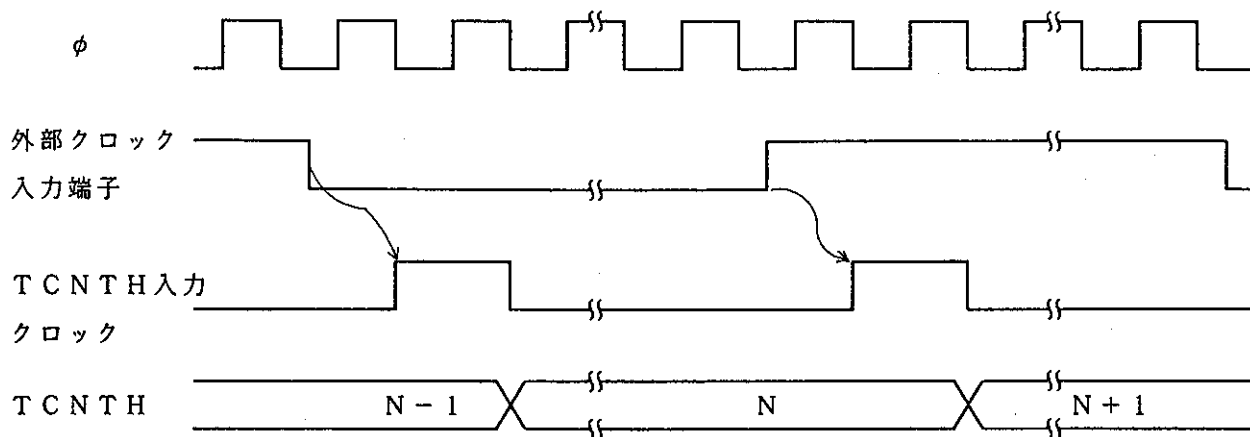


図 9. 9. 3 外部クロック動作時のカウントタイミング

(2) コンペアマッチタイミング

(a) コンペアマッチフラグ A、B (CMFA/CMFB) のセットタイミング

TCSRHのCMFA/CMFBは、TCORAH/TCORBHとTCNTHの値が一致したとき出力されるコンペアマッチ信号により1にセットされます。コンペアマッチ信号は一致した最後のステート (TCNTHが一致したカウント値を更新するタイミング) で発生します。

したがって、TCNTHとTCORAH/TCORBHが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 9. 9. 4 に示します。

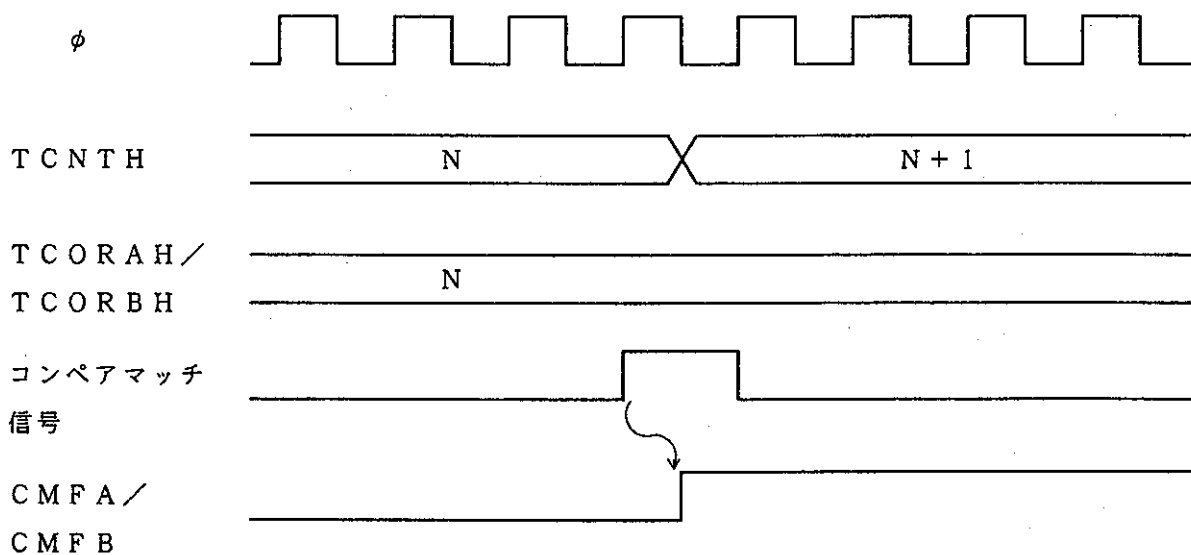


図 9. 9. 4 CMFA/CMFBセットタイミング

(b) タイマ出力タイミング

タイマ出力はコンペアマッチA、Bが発生したとき、TC SRHのOS 3～OS 0で選択された状態（変化しない、0出力、1出力、トグル出力）で出力されます。

図9.9.5にコンペアマッチA信号によるトグル出力の場合の出力タイミングを示します。

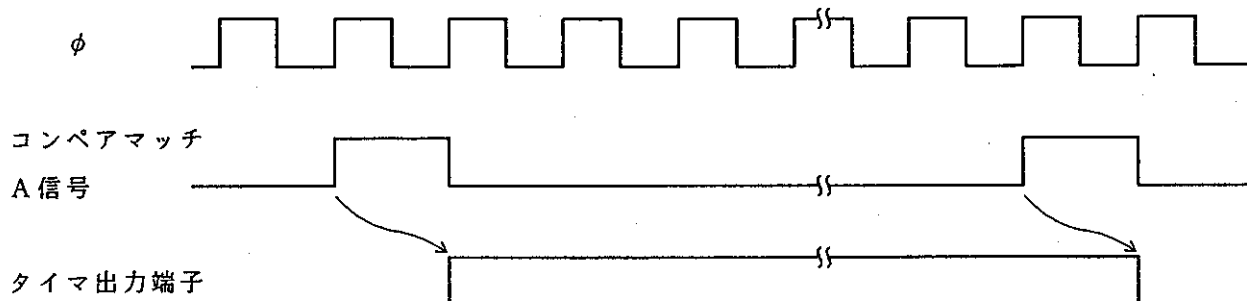


図9.9.5 タイマ出力タイミング

(c) コンペアマッチによるクリア

TCNTHは、TCRHのCCLR1、CCLR0の選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。このクリアされるタイミングを図9.9.6に示します。

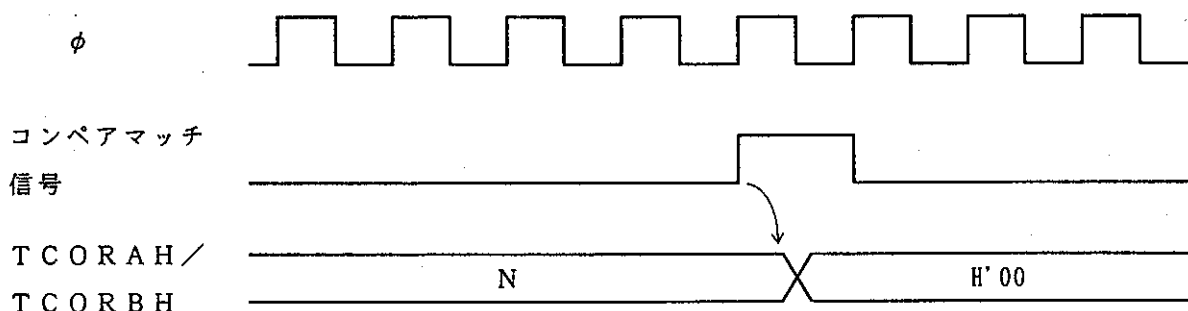


図9.9.6 コンペアマッチによるクリアタイミング

### (3) TCNTHの外部セットタイミング

TCNTHは、TCRHのCCLR1、CCLR0の選択により外部リセット入力の立ち上がりエッジでクリアされます。外部リセット信号のパルス幅は1.5システムクロック以上必要となります。このクリアされるタイミングを図9.9.7に示します。

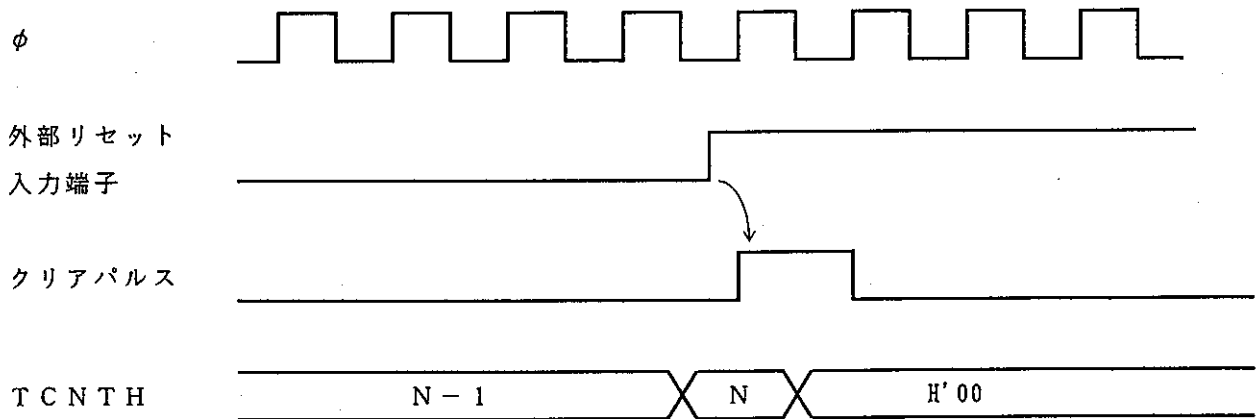


図9.9.7 外部リセット入力によるクリアタイミング

### (4) オーバフローフラグ (OVF) のセットタイミング

TCSRHのOVFは、TCNTHがオーバフロー ( $H'FF \rightarrow H'00$ ) したとき出力されるオーバフロー信号により1にセットされます。

このときのタイミングを図9.9.8に示します。

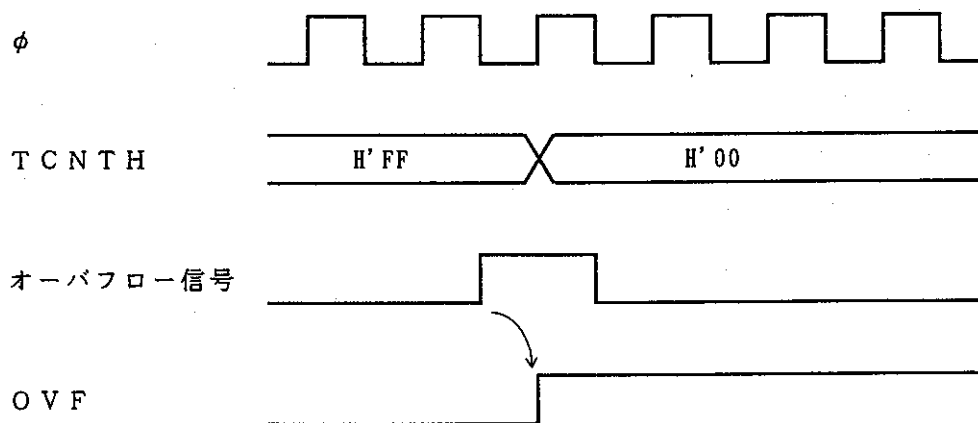


図9.9.8 OVFのセットタイミング

#### 9.9.4 割り込み要因

タイマHの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表9.9.3に各割り込みタイマ要因とベクタアドレスを示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定されます。割り込みのベクタアドレスは共通ですが、各割り込み要因のフラグを備えておりますので、ソフトウェアで割り込み要因の判定が可能です。

表 9.9.3 タイマH割り込み要因

割り込み要因	内 容	ベクタアドレス
CMIA	CMFAによる割り込み	H'002A
CMIB	CMFBによる割り込み	
OVI	OVFによる割り込み	

#### 9.9.5 タイマHの使用例

任意のデューティパルスを出力させた例を図9.9.9に示します。これは次に示すように設定します。

- ① TCORAHのコンペアマッチによりTCNTHがクリアされるように、TCRHのCCLR1を0にクリア、CCLR0を1にセットします。
- ② TCORAHのコンペアマッチにより1出力、TCORBHのコンペアマッチにより0出力になるようにTCSRHのOS3～OS0ビットを0110に設定します。

以上の設定により周期がTCORAH、パルス幅がTCORBHの波形をソフトウェアの介在なしに出力できます。

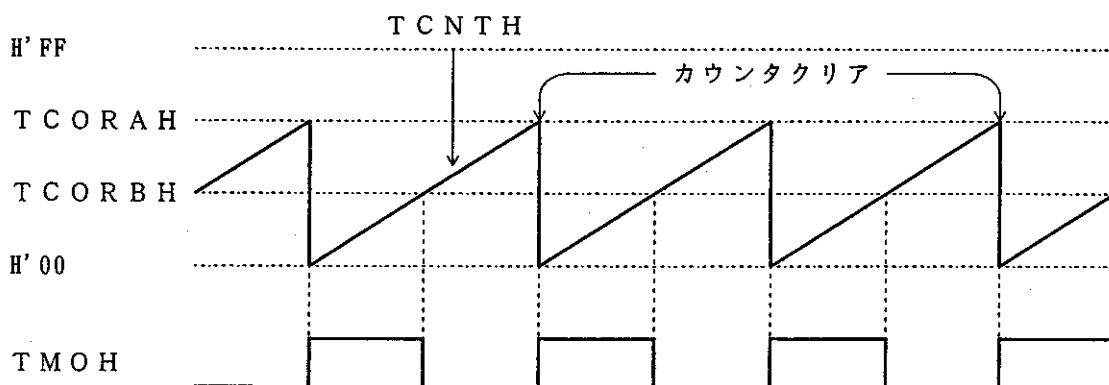


図 9.9.9 パルス出力例

### 9.9.6 使用上の注意

タイマHの動作中、次のような競合や動作が起こるので注意してください。

#### (1) TCNTHのライトとカウンタクリアの競合

TCNTHのライトサイクル中のT<sub>3</sub>ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図9.9.10に示します。

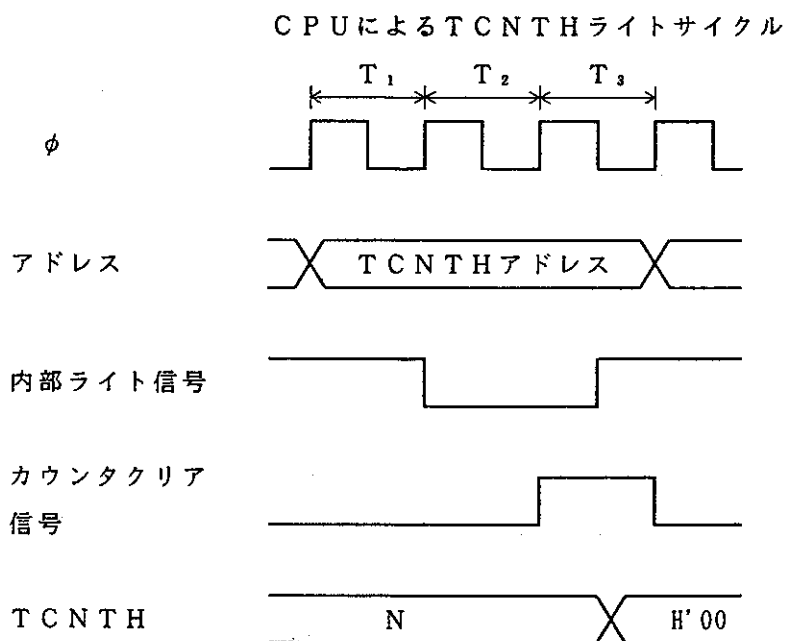


図9.9.10 TCNTHのライトとクリアの競合

(2) TCNTHのライトとカウンタクリアの競合

TCNTHのライトサイクル中のT<sub>3</sub>ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図9.9.11に示します。

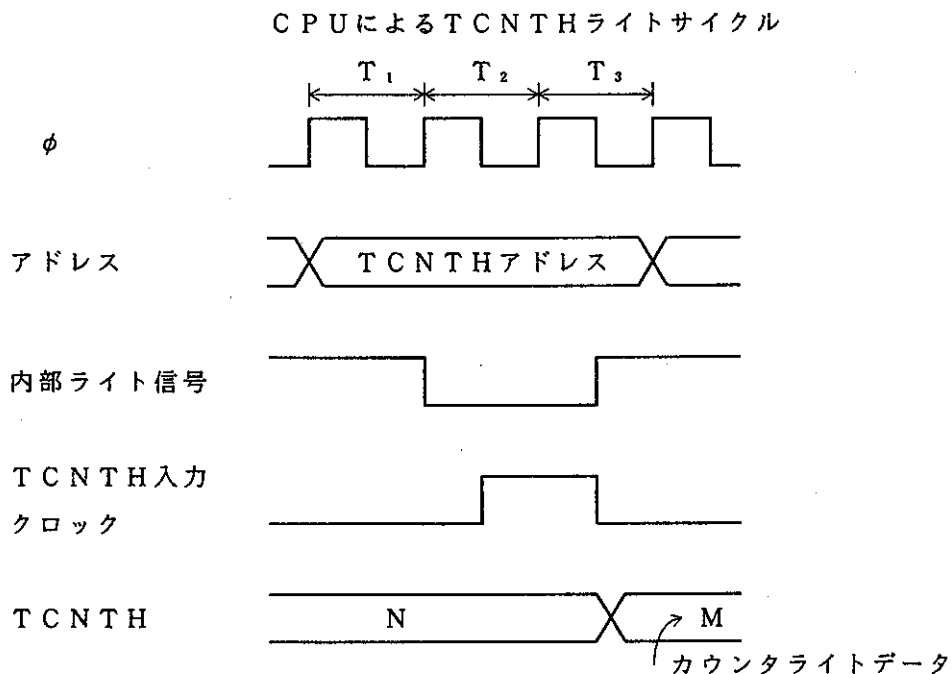


図9.9.11 TCNTHのライトとカウントアップの競合

(3) TCORAH/TCORBHのライトとコンペアマッチの競合

TCORAH/TCORBHのライトサイクル中のT<sub>3</sub>ステートで、コンペアマッチが発生しても、TCORAH/TCORBHのライトが優先され、コンペアマッチ信号は禁止されます。これを図9.9.12に示します。

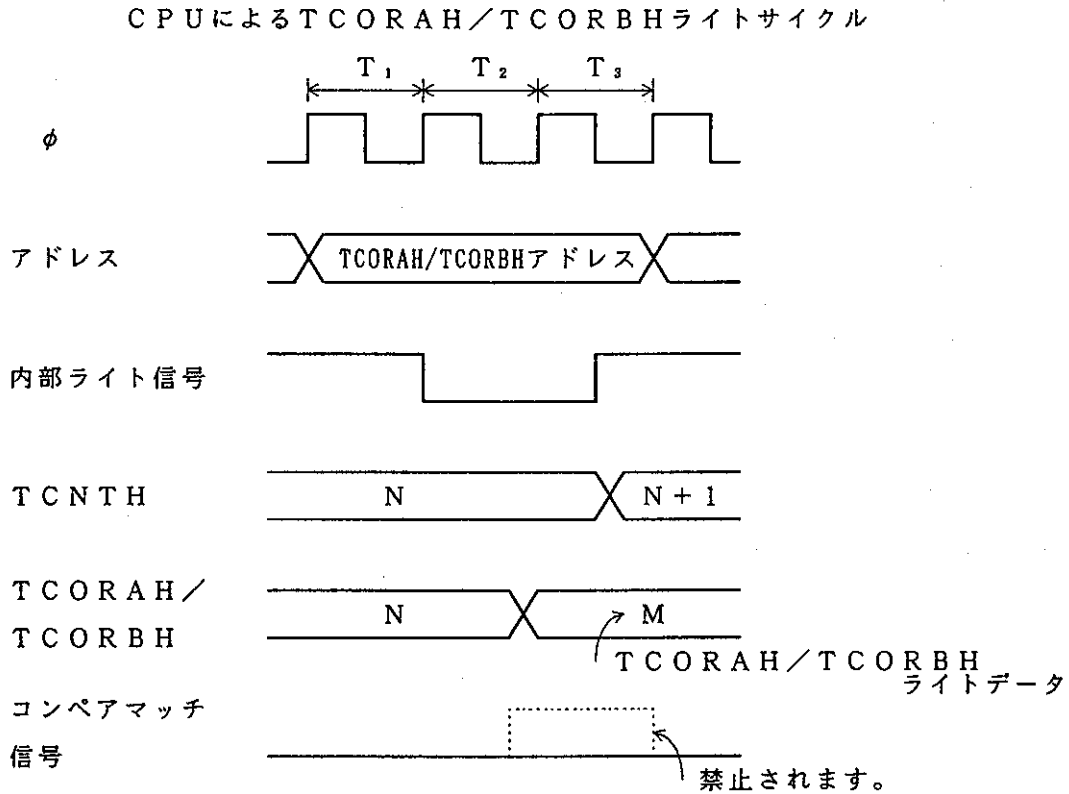


図9.9.12 TCORAH/TCORBHのライトとコンペアマッチの競合

(4) コンペアマッチA、Bの競合

コンペアマッチA、Bが同時に発生すると、コンペアマッチAに対して設定されている出力状態と、コンペアマッチBに対して設定されている出力状態のうち、表9.9.4に示すタイマ出力の優先順位にしたがって動作します。

表9.9.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	
変化しない	低



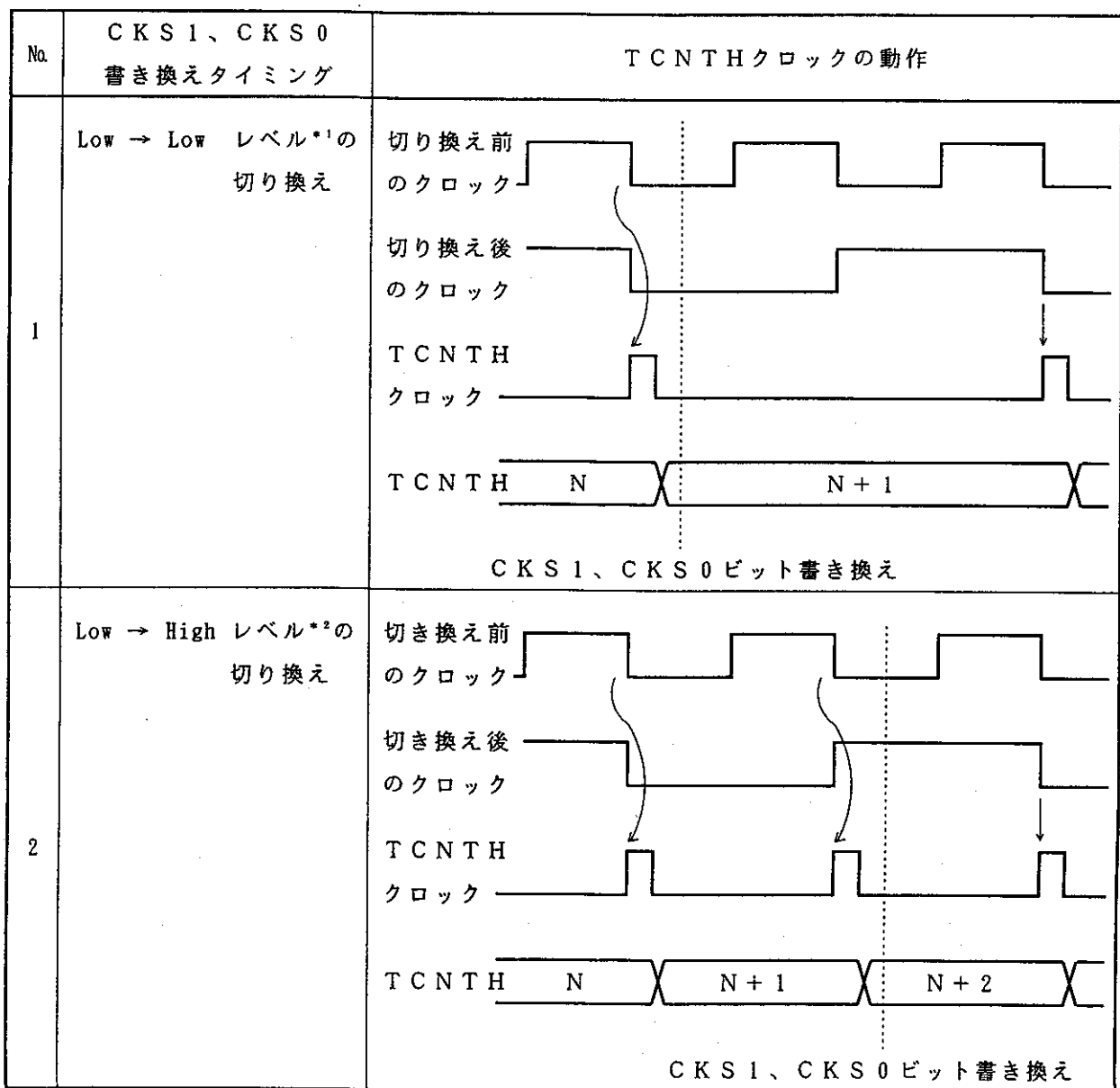
(5) 内部クロックの切り換えとTCNTHの動作

内部クロックを切り換えるタイミングによっては、TCNTHがカウントアップされてしまう場合があります。内部クロックの切り換えタイミング（CKS1、CKS0ビットの書き換え）とTCNTH動作の関係を表9.9.5に示します。

内部クロックからTCNTHクロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表9.9.5のNo.3のように、Highレベル→Lowレベルになるようなクロックの切り換えを行うと、切り換えタイミングを立ち下がりエッジとみなしてTCNTHクロックが発生し、TCNTHがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、TCNTHがカウントアップされることがあります。

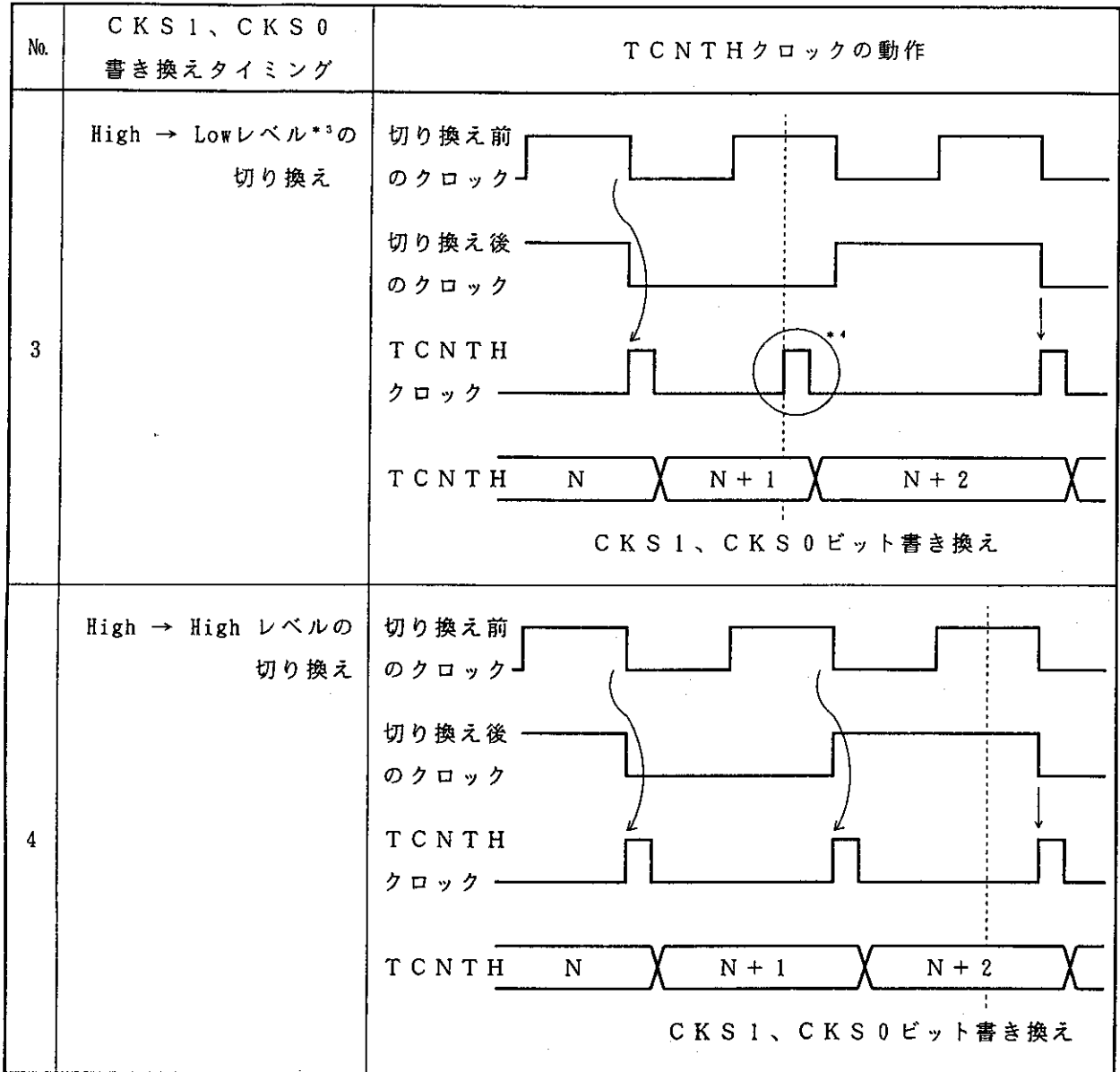
表 9.9.5 内部クロックの切り換えとTCNTHの動作(1)



【注】 \*1 Low レベル→停止、および停止→Low レベルの場合を含みます。

\*2 停止→High レベルの場合を含みます。

表 9.9.5 内部クロックの切り換えとTCNTHの動作(2)



【注】 <sup>\*\*3</sup> Highレベル → 停止を含みます。

<sup>\*\*4</sup> 切り換えのタイミングを立ち下がりエッジとみなすために発生し、TCNTHはカウンタアップされてしまいます。

# 10. シリアルコミュニケーション インタフェース

## 第10章 目次

10.1	概要	10-1
10.2	SCI3	10-2
10.2.1	概要	10-2
10.2.2	各レジスタの説明	10-5
10.2.3	動作概要	10-22
10.2.4	調歩同期式モード時の動作説明	10-26
10.2.5	クロック同期式モード時の動作説明	10-35
10.2.6	マルチプロセッサ通信機能	10-42
10.2.7	割り込み要因	10-47
10.2.8	使用上の注意事項	10-48
10.3	I <sup>2</sup> Cバスインタフェース	10-53
10.3.1	概要	10-53
10.3.2	各レジスタの説明	10-57
10.3.3	動作説明	10-66
10.3.4	使用上の注意事項	10-78

## 10.1 概要

本LSIは、3チャンネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。3チャンネルの中の2チャンネルはI<sup>2</sup>Cバスインタフェース（I<sup>2</sup>C：Inter IC）に準拠した機能を持ちます。

3チャンネルのSCIの機能概要を表10.1.1に示します。

表10.1.1 SCIの機能概要

SCIの名称	機能	特長
SCI 3	<p><u>クロック同期式シリアル転送機能</u></p> <ul style="list-style-type: none"> <li>・転送データ長8ビット</li> <li>・送信/受信/同時送受信</li> </ul> <p><u>調歩同期式シリアル転送機能</u></p> <ul style="list-style-type: none"> <li>・マルチプロセッサ通信機能</li> <li>・転送データ長を選択可能（7ビット/8ビット）</li> <li>・ストップビット長を選択可能（1ビット/2ビット）</li> <li>・パリティ付加機能</li> </ul>	<ul style="list-style-type: none"> <li>・ボーレートジェネレータ内蔵</li> <li>・受信エラーの検出</li> <li>・ブレークの検出</li> <li>・転送完了またはエラーで割り込み発生</li> </ul>
I <sup>2</sup> C 1 I <sup>2</sup> C 2	<p><u>I<sup>2</sup>Cバスインタフェース機能</u></p> <ul style="list-style-type: none"> <li>・データビット長の選択（1～8ビット）</li> <li>・マスタ/スレーブ選択と送信/受信選択</li> <li>・転送クロック選択（<math>\phi/64</math>、<math>\phi/56</math>、<math>\phi/50</math>、<math>\phi/40</math>、<math>\phi/32</math>、<math>\phi/24</math>、<math>\phi/20</math>、<math>\phi/14</math>）</li> <li>・スレーブアドレスの設定と、データフォーマットの選択が可能</li> <li>・データ転送後、ウェイト挿入が可能</li> <li>・3種類の割り込み要因（データ転送終了、スレーブアドレス検出、バスアービトレーションロスト）を選択</li> </ul>	<ul style="list-style-type: none"> <li>・Philips社提唱のI<sup>2</sup>Cバスインタフェース仕様に準拠</li> <li>・バスアービトレーション確認によるデータ転送の制御</li> <li>・アクノリッジビットによるデータ転送の制御が可能</li> </ul>

## 10.2 S C I 3

### 10.2.1 概要

S C I 3 (シリアルコミュニケーションインタフェース3) は、調歩同期式とクロック同期式の2方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能(マルチプロセッサ通信機能)を備えています。

#### (1) 特長

S C I 3の特長を以下に示します。

#### ■ シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

##### ・ 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter(U A R T) や、Asynchronous Communication Interface Adapter(A C I A) などの標準の調歩同期式通信機能をもつ他のL S Iとのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを12種類のフォーマットから選択できます。

データ長	7ビット/8ビット
ストップビット長	1ビット/2ビット
パリティ	偶数パリティ/奇数パリティ/パリティなし
マルチプロセッサビット	1 / 0
受信エラーの検出	パリティエラー, オーバランエラー フレーミングエラー
ブレークの検出	フレーミングエラー発生時に R X D端子のレベルを直接読み出すことでブレークを検出

##### ・ クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他のL S Iとのシリアルデータ通信が可能です。

データ長	8ビット
受信エラーの検出	オーバランエラー

#### ■ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

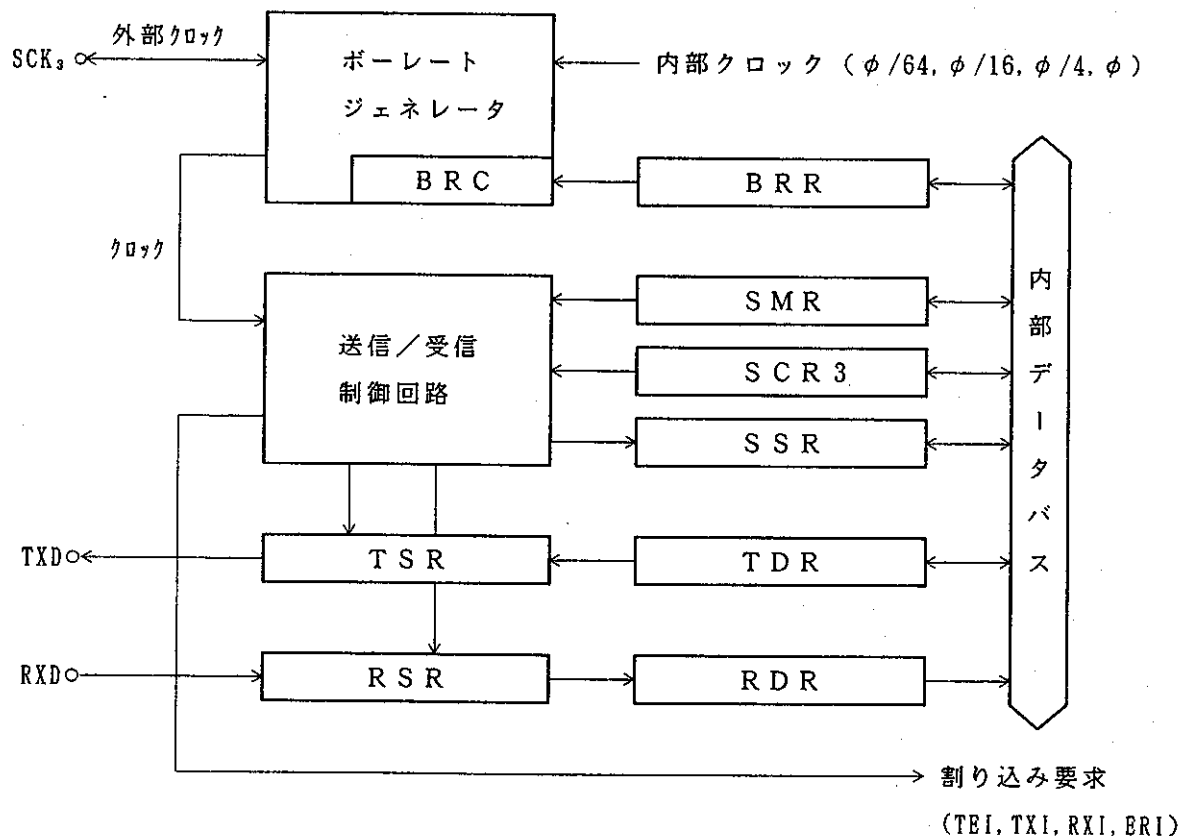
また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

- 内蔵のボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースを内部クロック、または外部クロックから選択可能
- 6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

(2) ブロック図

SCI 3のブロック図を図10.2.1に示します。



<記号説明>

- RSR : レシーブシフトレジスタ
- RDR : レシーブデータレジスタ
- TSR : トランスミットシフトレジスタ
- TDR : トランスミットデータレジスタ
- SMR : シリアルモードレジスタ
- SCR3 : シリアルコントロールレジスタ 3
- SSR : シリアルステータスレジスタ
- BRR : ビットレートレジスタ
- BRC : ビットレートカウンタ

図10.2.1 SCI 3のブロック図

(3) 端子構成

SCI 3の端子構成を表10.2.1に示します。

表10.2.1 端子構成

名 称	略 称	入出力	機 能
SCI 3クロック	SCK <sub>3</sub>	入出力	SCI 3のクロック入出力端子
SCI 3レシーブデータ入力	RXD	入 力	SCI 3の受信データ入力端子
SCI 3トランスミットデータ出力	TXD	出 力	SCI 3の送信データ出力端子

(4) レジスタ構成

SCI 3のレジスタ構成を表10.2.2に示します。

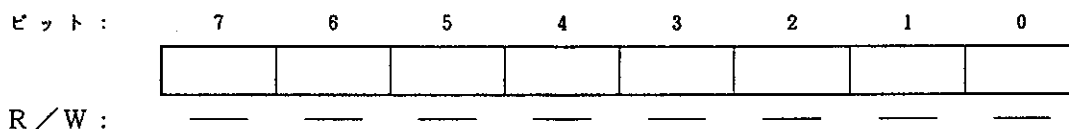
表10.2.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/(W)*	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不 可	—	—
レシーブシフトレジスタ	RSR	不 可	—	—
ビットレートカウンタ	BRC	不 可	—	—

【注】\* ビット7～3は、フラグをクリアするための0ライトのみ可能です。  
またビット2、ビット1はリード専用です。

## 10.2.2 各レジスタの説明

### (1) レシーブシフトレジスタ (RSR)



RSRは、シリアルデータを受信するためのレジスタです。RSRにRXD 端子から入力されたシリアルデータを、LSB (ビット0) から受信した順にセットしパラレルデータに変換します。1バイトのデータを受信すると、データは自動的にRDRへ転送されます。

CPUからRSRを直接リードまたはライトすることはできません。

### (2) レシーブデータレジスタ (RDR)

ビット:            7            6            5            4            3            2            1            0

	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

RDRは、受信したシリアルデータを格納する8ビットのレジスタです。

1バイトのデータの受信が終了すると、受信したデータをRSRからRDRへ転送し、受信動作を完了します。その後、RSRは受信可能となります。

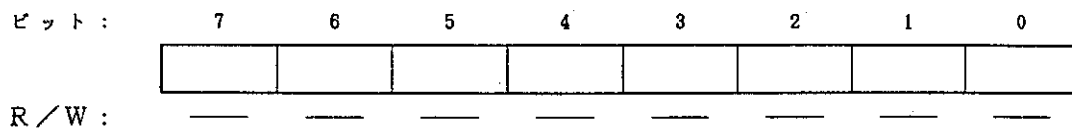
RSRとRDRはダブルバッファになっているため連続した受信動作が可能です。

RDRは、受信専用レジスタですのでCPUからライトできません。

RDRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。



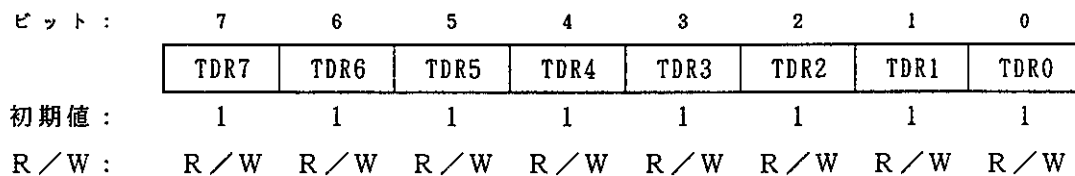
### (3) トランスミットシフトレジスタ (TSR)



TSRは、シリアルデータを送信するためのレジスタです。TDRから送信データをいったんTSRに転送し、LSB(ビット0)から順にTXD端子に送出することでシリアルデータ送信を行います。1バイトのデータを送信すると、自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただし、TDRにデータが書き込まれていない(TDREに1がセットされている)場合にはTDRからTSRへのデータ転送は行いません。

CPUからTSRを直接リードまたはライトすることはできません。

### (4) トランスミットデータレジスタ (TDR)



TDRは、送信データを格納する8ビットのレジスタです。TSRの空を検出すると、TDRに書き込まれた送信データをTSRに転送し、シリアルデータ送信を開始します。TSRのシリアルデータ送信中に、TDRに次の送信データをライトしておくこと、連続送信が可能です。

TDRは、常にCPUによるリードとライトが可能です。

TDRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMRは、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SMRは、常にCPUによるリードとライトが可能です。

SMRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7: コミュニケーションモード (COM)

SCI3を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択します。

ビット7	説明	
COM		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

ビット6: キャラクタレングス (CHR)

調歩同期式モード時におけるデータ長を選択します。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHRの設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】\* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

#### ビット5：パリティイネーブル（PE）

調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードではPEの設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加およびチェックを禁止 (初期値)
1	パリティビットの付加およびチェックを許可*

【注】\* PEに1をセットすると送信時には、PMで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPMで指定したパリティになっているかどうかをチェックします。

#### ビット4：パリティモード（PM）

パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択します。PMの設定は、調歩同期式モードでPEに1をセットし、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPMは無効です。

ビット4	説明
PM	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】\*<sup>1</sup> 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が偶数になるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が奇数になるかどうかをチェックします。

### ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを選択します。1ビットまたは2ビットのいずれかを選択できます。STOPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんのでSTOPは無効です。

なお、受信時にはSTOPの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。

ビット3	説明
STOP	
0	1ストップビット * <sup>1</sup> (初期値)
1	2ストップビット * <sup>2</sup>

【注】 \*<sup>1</sup> 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

\*<sup>2</sup> 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

### ビット2：マルチプロセッサモード（MP）

マルチプロセッサ通信機能を許可します。マルチプロセッサ通信機能を許可した場合、PEおよびPMにおけるパリティの設定は無効になります。MPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはMPを0にしてください。

マルチプロセッサ通信機能については「10.2.6 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ通信機能を禁止 (初期値)
1	マルチプロセッサ通信機能を許可

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0の組み合わせによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「(8) ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	$\phi$ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ3（SCR3）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3は、送信/受信動作、調歩同期式モードでのクロック出力、割り込み要求の許可または禁止、および送信/受信クロックソースの選択を行う8ビットのレジスタです。

SCR3は、常にCPUによるリードとライトが可能です。

SCR3は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TDRからTSRへ送信データが転送され、SSRのTDREが1にセットされたとき、送信データエンプティ割り込み要求（TXI）の許可または禁止を選択するビットです。

TXIは、TDREを0にクリアするか、またはTIEを0にクリアすることで解除できます。

ビット7	説 明
TIE	
0	送信データエンプティ割り込み要求（TXI）の禁止 (初期値)
1	送信データエンプティ割り込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（R I E）

受信データがRSRからRDRへ転送され、SSRのRDRFが1にセットされたとき、受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可または禁止するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの3種類があります。

RXIおよびERIは、RDRFまたは、FER、PER、OERのエラーフラグを0にクリアするか、RIEを0にクリアすることで解除できます。

ビット6	説明
R I E	
0	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を禁止 (初期値)
1	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可

ビット5：トランスミットイネーブル（T E）

送信動作の開始を許可または禁止します。

ビット5	説明
T E	
0	送信動作を禁止*1（TXD端子は入出力ポート） (初期値)
1	送信動作を許可*2（TXD端子はトランスミットデータ端子）

【注】\*1 SSRのTDREは1に固定されます。

\*2 この状態で、TDRに送信データをライトするとSSRのTDREが0にクリアされシリアルデータ送信を開始します。なお、TEを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（R E）

受信動作の開始を許可または禁止します。

ビット4	説明
R E	
0	受信動作を禁止*1（RXD端子は入出力ポート） (初期値)
1	受信動作を許可*2（RXD端子はレシーブデータ端子）

【注】\*1 REを0にクリアしてもSSRのRDRF、FER、PER、OERの各フラグは影響を受けず、状態を保持しますので注意してください。

\*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、REを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込み要求を許可または禁止します。MPIEの設定は、調歩同期式モードで、かつSMRのMPが1に設定されている受信時にのみ有効です。COMが1のときやMPが0のときにはMPIEは無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み要求を禁止（通常の受信動作）（初期値） 〔クリア条件〕 マルチプロセッサビットが1のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可*

【注】\* RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、OERの各ステータスフラグのセットは行いません。マルチプロセッサビットが1のデータを受け取るまで、RXI、ERI、およびSSRのRDRF、FER、OERの各フラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRを1にセットし、MPIEを自動的に0にクリアし、RXI、ERIの発生（SCRのTIE、RIEが1にセットされている場合）とRDRF、FER、OERのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSBデータ送出時に有効な送信データがTDRにないとき、送信終了割り込み要求（TEI）を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み要求（TEI）を禁止（初期値）
1	送信終了割り込み要求（TEI）を許可*

【注】\* TEIは、SSRのTDREを0にクリアしてTENDを0にクリアするか、TEIEを0にクリアすることで解除できます。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

クロックソースの選択、およびSCK<sub>3</sub>端子からのクロックの出力を許可または禁止するビットです。CKE1とCKE0の組み合わせによってSCK<sub>3</sub>端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0の設定は調歩同期式モードで内部クロック動作時（CKE1 = 0）のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1 = 1）の場合はCKE0に0を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。

クロックソースの選択についての詳細は「10.2.3 動作概要」の表10.2.9を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK <sub>3</sub> 端子機能
0	0	調歩同期式	内部クロック	入出力ポート*1
		クロック同期式	内部クロック	同期クロック出力*1
	1	調歩同期式	内部クロック	クロック出力*2
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力*3
		クロック同期式	外部クロック	同期クロック入力
	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】\*1 初期値

\*2 ビットレートと同じ周波数のクロックを出力します。

\*3 ビットレートの16倍の周波数のクロックを入力してください。

#### (7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FBR	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(w)*	R/(w)*	R/(w)*	R/(w)*	R/(w)*	R	R	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

SSRは、SCI3の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常に、CPUからリードまたはライトできます。ただし、TDRE、RDRF、OER、PER、FERへ1をライトすることはできません。また、これらに0をライトしてクリアするためには、あらかじめ1をリードしておく必要があります。

また、TEND、およびMPBRはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'84にイニシャライズされます。



ビット7：トランスミットデータレジスタエンブティ (TDRE)

TDREからTSRに送信データの転送が行われたことを示します。

ビット7	説 明	
TDRE		
0	TDRにライトされた送信データがTSRに転送されていない [クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) 命令でTDRへデータをライトしたとき	
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された [セット条件] (1) SCR3のTEが0のとき (2) TDRからTSRにデータ転送が行われたとき (初期値)	

ビット6：レシーブデータレジスタフル (RD RF)

受信したデータがRD RFに格納されていることを示します。

ビット6	説 明	
RD RF		
0	RD RFに受信データが格納されていない (初期値) [クリア条件] (1) RD RF = 1の状態をリードした後、0をライトしたとき (2) 命令でRD RFのデータをリードしたとき	
1	RD RFに受信データが格納されている [セット条件] 受信が正常終了し、RSRからRD RFへ受信データが転送されたとき	

【注】 受信時にエラーを検出したときおよびSCR3のREを0にクリアしたときには、RD RFおよびRD RFは影響を受けず以前の状態を保持します。RD RFが1にセットされたままデータの受信を完了するとオーバランエラー (OER) を発生し、受信データが失われますので注意してください。

#### ビット5：オーバランエラー（OER）

受信時にオーバランエラーが発生したことを示します。

ビット5	説明
OER	
0	受信中、または受信を完了した* <sup>1</sup> (初期値) [クリア条件] OER = 1の状態をリードした後、0をライトしたとき
1	受信時にオーバランエラーが発生した* <sup>2</sup> [セット条件] RDRFが1の状態を受信を完了したとき

【注】\*<sup>1</sup> SCR3のREを0にクリアしたときには、OERは影響を受けず以前の状態を保持します。

\*<sup>2</sup> RDRでは、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OERが1にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

#### ビット4：フレーミングエラー（FER）

調歩同期式モードで受信時にフレーミングエラーが発生したことを示します。

ビット4	説明
FER	
0	受信中、または受信を完了した* <sup>1</sup> (初期値) (クリア条件) FER = 1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生した (セット条件) 受信終了時に受信データの最後尾のストップビットが0であったとき* <sup>2</sup>

【注】\*<sup>1</sup> SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。

\*<sup>2</sup> 2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示します。

ビット3 PER	説明
0	受信中または受信を完了した* <sup>1</sup> (初期値) [クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	受信時にパリティエラーが発生した* <sup>2</sup> [セット条件] 受信時に受信データとパリティビットをあわせた1の数がSMRのPMで設定したパリティと一致しなかったとき

【注】\*<sup>1</sup> SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。

\*<sup>2</sup> パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットを送信時に、TDREが1にセットされていたことを示します。TENDは、リード専用ですのでライトすることはできません。

ビット2 TEND	説明
0	送信中 [クリア条件] (1) TDRE = 1の状態をリードした後、TDREに0をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信を終了 (初期値) [セット条件] (1) SCR3のTEが0のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDREが1であったとき

ビット1：マルチプロセッサビットレシーブ (MPBR)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納します。

リード専用ですのでライトすることはできません。

ビット1	説明
MPBR	
0	マルチプロセッサビットが0のデータを受信した* (初期値)
1	マルチプロセッサビットが1のデータを受信した

【注】\* マルチプロセッサフォーマットでSCR3のREを0にクリアしたときには、MPBRは影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信以外のときにはMPBTは無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット0を送信 (初期値)
1	マルチプロセッサビット1を送信

(8) ビットレートレジスタ (BRR)

ビット	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRRは、SMRのCKS1、CKS0で選択されるボーレートジェネレータの動作クロックとあわせて、送信と受信のビットレートを設定する8ビットのレジスタです。

BRRは、常にCPUによるリードとライトが可能です。

BRRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

調歩同期式モードのBRRの設定例を表10.2.3に示します。表10.2.3はアクティブ（高速）モードでの値を示しています。

表10.2.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(1)

OSC (MHz)	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800	-	-	-	0	7	0	0	12	+0.16	0	13	-2.48
9600	-	-	-	0	3	0	-	-	-	0	6	-2.48
19200	-	-	-	0	1	0	-	-	-	-	-	-
31250	0	0	0	-	-	-	0	1	0	-	-	-
38400	-	-	-	0	0	0	-	-	-	-	-	-

表10.2.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

OSC (MHz)	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	1	212	+0.03	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	-	-	-

表10.2.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(3)

OSC (MHz)	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
R ビットレート (bit/s)						
110	2	86	+0.31	2	88	-0.25
150	1	255	0	2	64	+0.16
300	1	127	0	1	129	+0.16
600	0	255	0	1	64	+0.16
1200	0	127	0	0	129	+0.16
2400	0	63	0	0	64	+0.16
4800	0	31	0	0	32	-1.36
9600	0	15	0	0	15	+1.73
19200	0	7	0	0	7	+1.73
31250	0	4	-1.70	0	4	0
38400	0	3	0	0	3	+1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。  
 2. BRRの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

OSC : φ<sub>osc</sub>の値 (MHz)

n : ポーレートジェネレータの入力クロックのNo. (n = 0、1、2、3)  
 (nとクロックの関係は表10.2.4を参照)

表10.2.4 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	φ	0	0
1	φ / 4	0	1
2	φ / 16	1	0
3	φ / 64	1	1

3. 表10.2.3の誤差は以下の計算式で求めた値を小数点第3位を四捨五入して表示してあります。

$$\text{誤差}(\%) = \frac{B(n, N, OSC \text{から求めたビットレート}) - R(\text{表10.2.3の左欄のビットレート})}{R(\text{表10.2.3の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表10.2.5に示します。  
 表10.2.5はアクティブ（高速）モードでの値を示しています。

表10.2.5 各周波数における最大ビットレート（調歩同期式モード）

OSC(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードのBRRの設定例を表10.2.6に示します。表10.2.6はアクティブ（高速）モードでの値を示しています。

表10.2.6 ビットレートに対するBRRの設定例〔クロック同期式モード〕

B	OSC (MHz)	2		4		8		10	
		n	N	n	N	n	N	n	N
110		—	—	—	—	—	—	—	—
250		1	249	2	124	2	249	—	—
500		1	124	1	249	2	124	—	—
1k		0	249	1	124	1	249	—	—
2.5k		0	99	0	199	1	99	1	124
5k		0	49	0	99	0	199	0	249
10k		0	24	0	49	0	99	0	124
25k		0	9	0	19	0	39	0	49
50k		0	4	0	9	0	19	0	24
100k		—	—	0	4	0	9	—	—
250k		0	0*	0	1	0	3	0	4
500k				0	0*	0	1	—	—
1M						0	0*	—	—
2.5M									

<記号説明>

空欄：設定不可能です。

—：設定は可能ですが、誤差が出ます。

\*：連続送信／受信はできません。

【注】 BRRの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの設定値 ( $0 \leq N \leq 255$ )

OSC： $\phi_{osc}$ の値 (MHz)

n：ボーレートジェネレータの入力クロックのNo. ( $n = 0, 1, 2, 3$ )

(nとクロックの関係は表10.2.7を参照)

表10.2.7 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	$\phi$	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1



### 10.2.3 動作概要

SCI 3は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMRで行います。これを表10.2.8に示します。

また、SCI 3のクロックソースは、SMRのCOM、およびSCR 3のCKE 1、CKE 0の組み合わせでできます。これを表10.2.9に示します。

#### (1) 調歩同期式モード

- ・データ長：7ビットまたは8ビットから選択可能
- ・パリティの付加、マルチプロセッサビットの付加、および1ビットまたは2ビットのストップビットの付加を選択可能（これらの組み合わせで送信または受信フォーマット、およびキャラクタ長を決定）
- ・受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- ・クロックソース：内部クロックまたは外部クロックから選択可能  
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能  
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要  
（内蔵ボーレートジェネレータを使用しない）

#### (2) クロック同期式モード

- ・送信または受信フォーマット：8ビットデータ固定
- ・受信時にオーバランエラー（OER）の検出が可能
- ・クロックソース：内部クロックまたは外部クロックから選択可能  
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力  
外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表10.2.8 SMRの設定値と送信/受信フォーマット

SMR					モード	送信/受信フォーマット				
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
COM	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式 モード	8ビットデータ	なし	なし	1ビット	
				1					2ビット	
			1	0					0	1ビット
									1	2ビット
			1	0					0	1ビット
									1	2ビット
	1	1	0	1ビット						
			1	2ビット						
	0	0	1	* 0		調歩同期式 モード	8ビットデータ	あり	なし	1ビット
				* 1		(マルチプロセッサ フォーマット)				2ビット
		1		* 0		7ビットデータ	1ビット			
				* 1		2ビット				
1	*	0	*	*	クロック同期式 モード	8ビットデータ	なし	なし	なし	

\* Don't care

表10.2.9 SMR、SCR3の設定とクロックソースの選択

SMR	SCR3		モード	送信/受信クロック	
ビット7	ビット1	ビット0		クロック ソース	SCK <sub>3</sub> 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期 式モード	内 部	入出力ポート (SCK <sub>3</sub> 端子を使用しません)
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外 部	ビットレートの16倍の周波数のクロックを入力
1	0	0	クロック 同期式 モード	内 部	同期クロックを出力
	1	0	外 部	同期クロックを入力	
0	1	1	リザーブ (本組み合わせは指定しないでください。)		
1	0				
	1				

(3) 割り込みと連続送信または受信

SCI 3は、RXIを使用した連続受信、またTXIを使用した連続送信が可能です。

表10.2.10にこれらの割り込みについて示します。

表10.2.10 送信または受信割り込み

割り込み	フラグ	割り込み発生の条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSRからRDRに受信データが転送されるとRDRFが1となり、このときRIEが1ならばRXIが許可され割り込みが発生します。 (図10.2.2(a)参照)	RXIの割り込み処理ルーチンでは、RDRに転送された受信データを読み出し、RDRFを0にクリアします。上記の操作を次回のRSRの受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSRの空(前回の送信完了)を検出して、TDRにセットされた送信データがTSRに転送されるとTDREは1にセットされます。このときTIEが1ならばTXIが許可され割り込みが発生します。 (図10.2.2(b)参照)	TXIの割り込み処理ルーチンでは、次回の送信データをTDRに書き込み、TDREを0にクリアします。上記の操作をTSRに転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSRの送信キャラクタの最後尾ビットを送信したとき、TDREが1ならばTENDは1にセットされます。このときTEIEが1ならばTEIが許可され割り込みが発生します。 (図10.2.2(c)参照)	TEIは、TSRの送信キャラクタの最後尾ビットを送信したとき、TDRに次回の送信データが書き込まれていないことを示します。

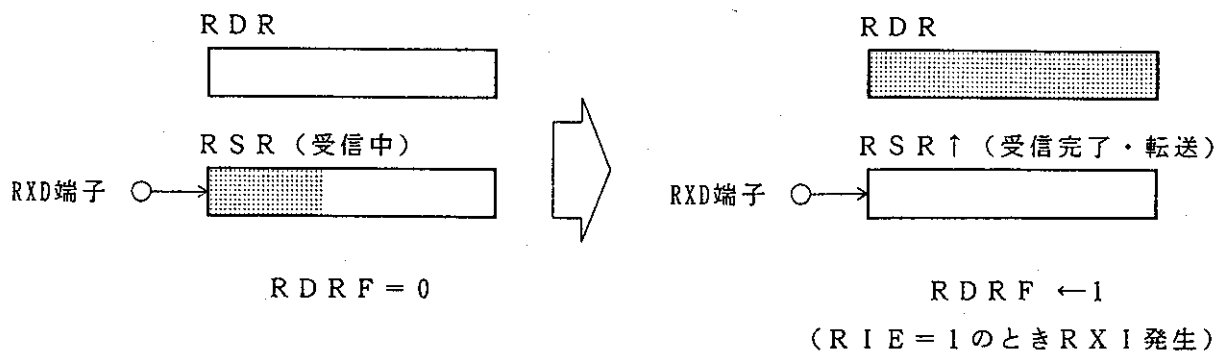


図10.2.2(a) RDRFのセットとRXI割り込み

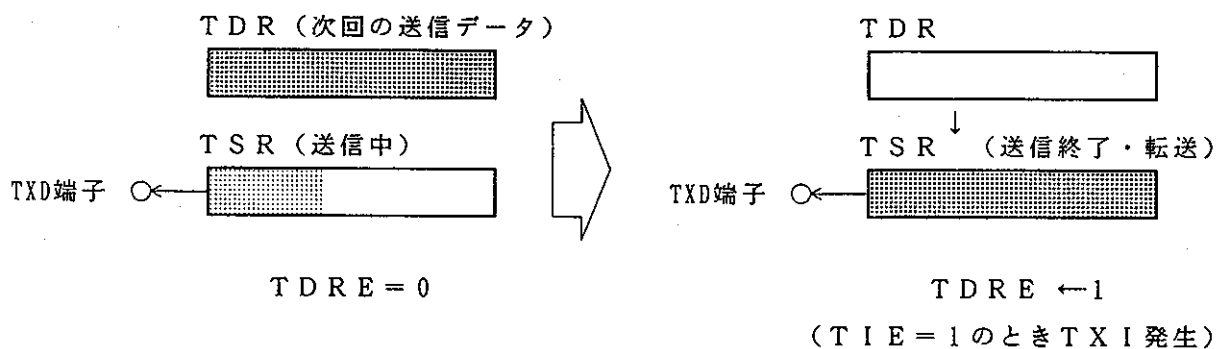


図10.2.2(b) TDREのセットとTXI割り込み

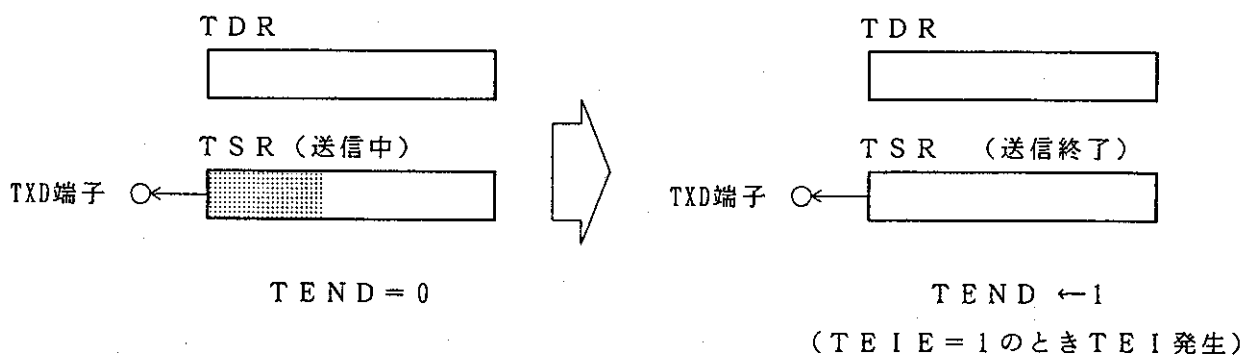


図10.2.2(c) TENDのセットとTEI割り込み

#### 10.2.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信中または受信中にデータのリードおよびライトができ、連続送信または連続受信が可能です。

##### (1) 送信または受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図10.2.3に示します。

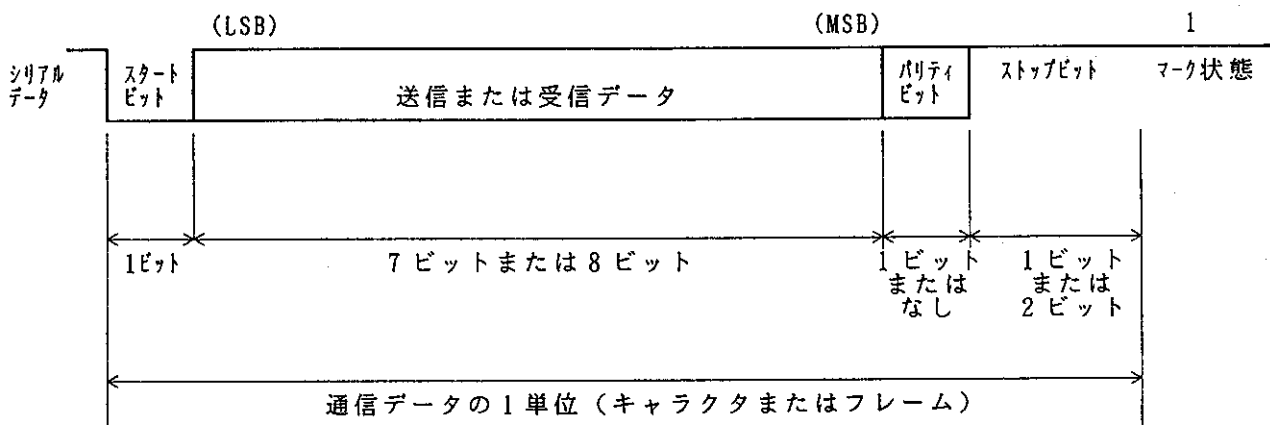


図10.2.3 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (Highレベル) に保たれています。SCI3は通信回線を監視し、スペース (Lowレベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの1キャラクタは、スタートビット (Lowレベル) から始まり、送信または受信データ (LSBファースト: 最下位ビットから)、パリティビット (HighまたはLowレベル)、最後にストップビット (Highレベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信または受信フォーマットを、表10.2.11に示します。  
送信または受信フォーマットは12種類あり、SMRの設定により選択できます。

表10.2.11 通信フォーマット（調歩同期式モード）

S M R				シリアル通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
			1	S	8ビットデータ								STOP	STOP		
	1		0	S	8ビットデータ								P	STOP		
			1	S	8ビットデータ								P	STOP	STOP	
1	0		0	S	7ビットデータ							STOP				
			1	S	7ビットデータ							STOP	STOP			
	1		0	S	7ビットデータ							P	STOP			
			1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
	*		1	S	8ビットデータ								MPB	STOP	STOP	
1	*		0	S	7ビットデータ							MPB	STOP			
	*		1	S	7ビットデータ							MPB	STOP	STOP		

\* Don't care

<記号説明>

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

## (2) クロック

SCI 3の送受信クロックは、SMRのCOMとSCR 3のCKE 1、CKE 0の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK<sub>3</sub>端子から入力された外部クロックの2種類から設定できます。クロックソースの選択については表10.2.9を参照してください。

外部クロックをSCK<sub>3</sub>端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK<sub>3</sub>端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図10.2.4に示すように送信または受信データの各ビットの中央でクロックが立ち上がります。

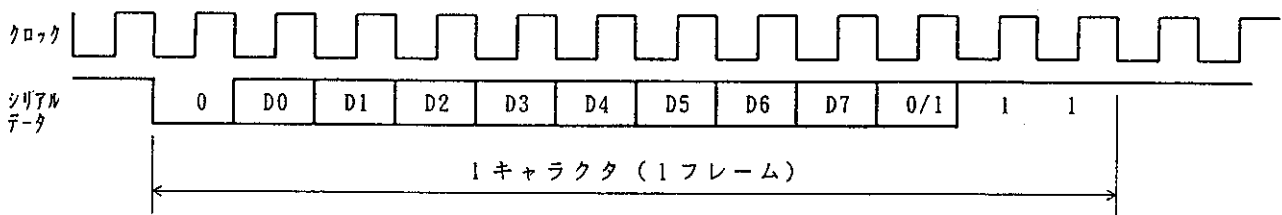


図10.2.4 出力クロックと通信データの位相関係（調歩同期式モード）  
（8ビットデータ／パリティあり／2ストップビットの例）

## (3) データの送信または受信動作

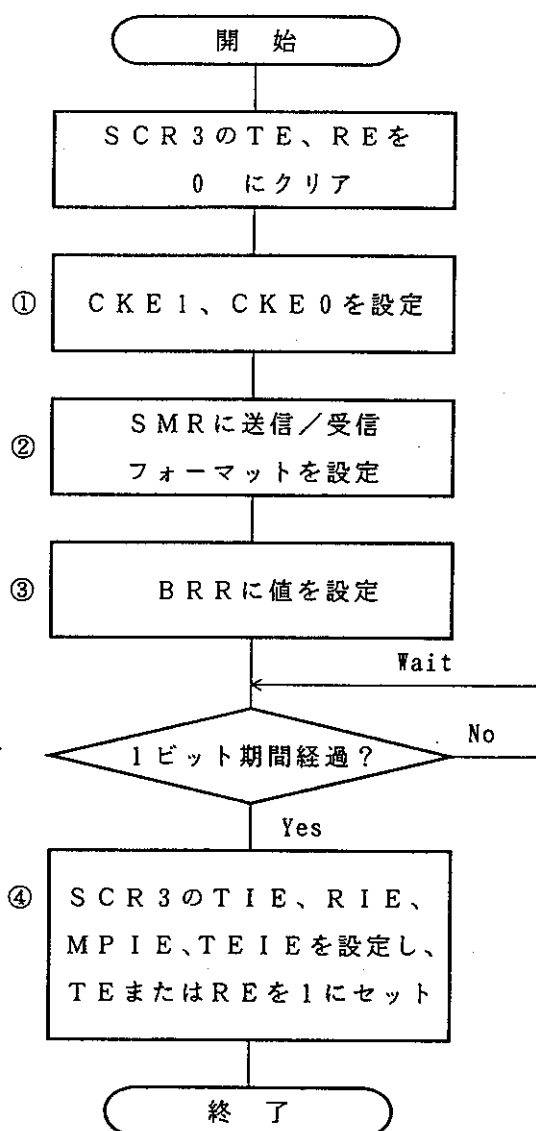
### (a) SCI 3のイニシャライズ

データの送信または受信前には、まずSCR 3のTEおよびREを0にクリアした後、以下の手順にしたがってイニシャライズしてください。

**【注】** 動作モードの変更、通信フォーマットの変更などの場合には、かならずTEおよびREを0にクリアしてから変更してください。TEを0にクリアすると、TDREは1にセットされます。REを0にクリアしても、RDRF、PER、FER、OERの各フラグ、およびRDRの内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、イニシャライズ中にクロックを供給しないでください。

図10.2.5にSCI3をイニシャライズするときのフローチャートの例を示します。



① SCR3にクロックの選択を設定してください。なお、その他のビットは必ず0を設定してください。調歩同期式モードでクロック出力を選択した場合には、CKE1、CKE0の設定後、ただちにクロックが出力されます。クロック同期式モードの受信でクロック出力を選択した場合には、CKE1、CKE0を設定しREを1にセットするとただちにクロックが出力されます。

② SMRに送信または受信フォーマットを設定します。

③ BRRに通信レートに対応する値をライトします。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

④ 少なくとも1ビット期間待ってから、SCR3のTIE、RIE、MPIE、TEIEを設定し、TEまたはREを1にセットします。TE、REの設定でTXD、RXD端子が使用可能となります。調歩同期式モードでは送信時には“マーク状態”となり、受信時にはスタートビット待ちのアイドル状態になります。

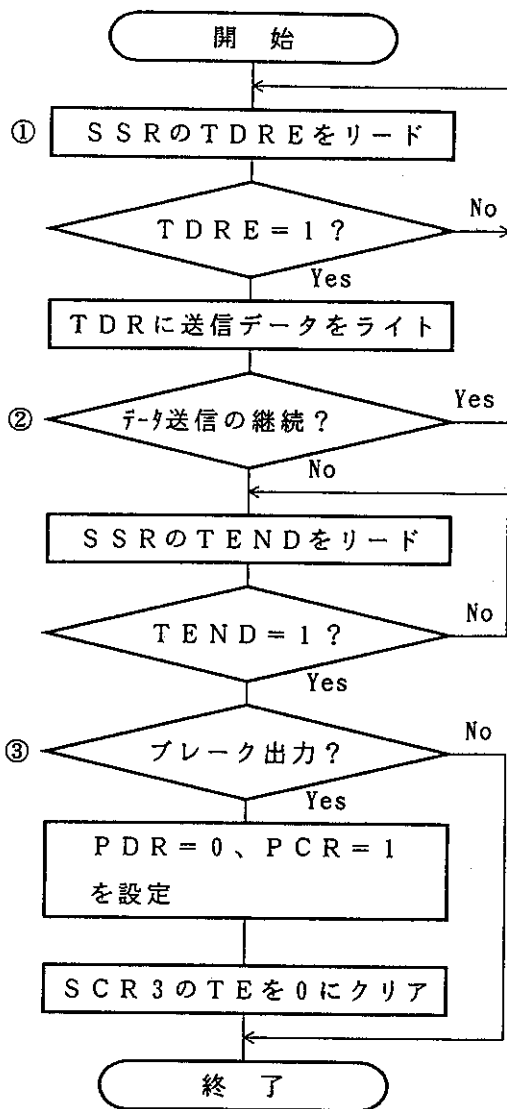
図10.2.5 SCI3をイニシャライズするときのフローチャートの例



(b) データ送信

図10.2.6にデータ送信のフローチャートの例を示します。

データ送信はSCI3のインシャライズ後、以下の手順にしたがって行ってください。



①SSRをリードして、TDREが1であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に0にクリアされます。

②データ送信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に0にクリアされます。

③データ送信の終了時にブレイクを出力するときには、ポートをPCR=1、PDR=0に設定した後にSCR3のTEを0にクリアします。

図10.2.6 データ送信のフローチャートの例 (調歩同期式モード)

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXIを発生します。

シリアルデータは、表10.2.11に示す通信フォーマットに従いTXD端子から送信されます。

その後、ストップビットを送り出すタイミングでTDREをチェックします。

TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力する“マーク状態”になります。このときSCR3のTEIEが1にセットされているとTEIを発生します。

図10.2.7に調歩同期式モードの送信時の動作例を示します。

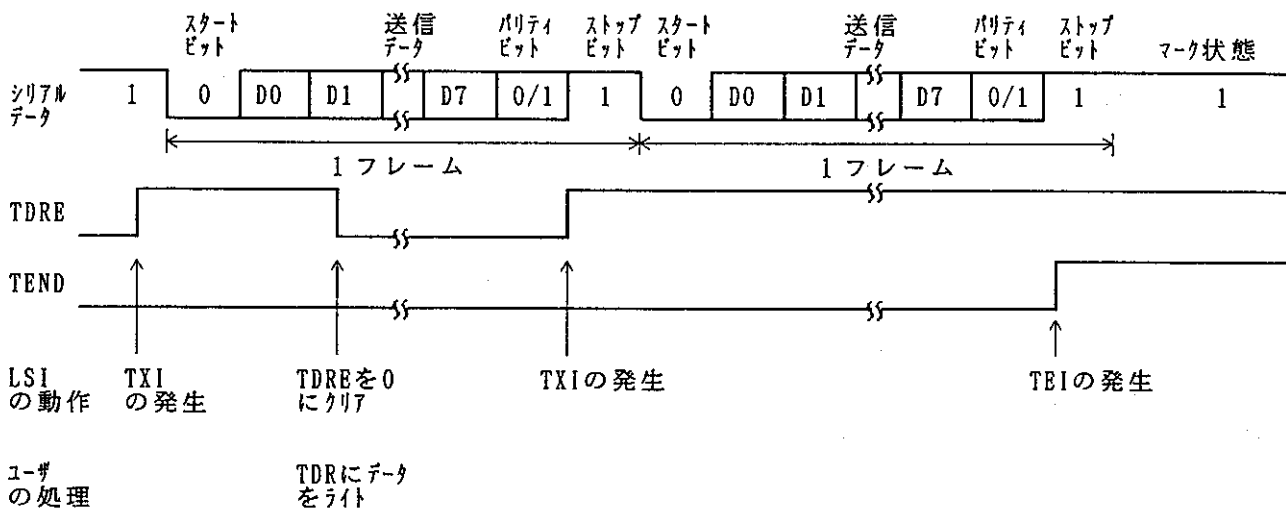


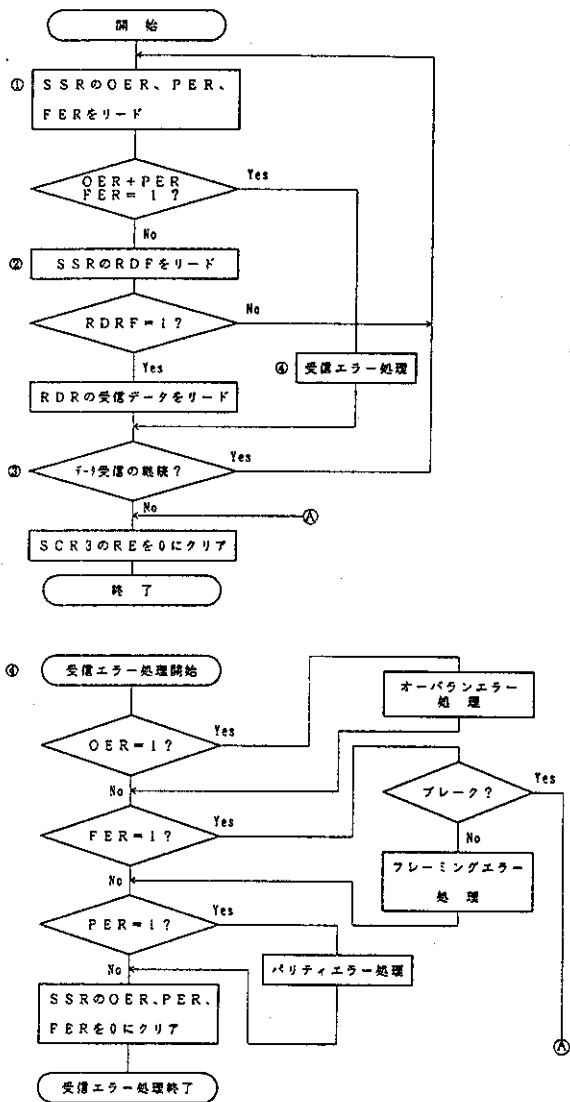
図10.2.7 調歩同期式モードの送信時の動作例

(8ビットデータ/パリティあり/1ストップビットの例)

(c) データ受信

図10.2.8にデータ受信のフローチャートの例を示します。

データ受信はSCI 3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRのOER、PER、FERをリードしてエラーを判定します。受信エラーが発生していた場合には、受信エラー処理を実行します。

② SSRをリードして、RDRFが1であることを確認します。RDRFが1であればRDRの受信データをリードします。  
なお、RDRのデータをリードするとRDRFは自動的に0にクリアされます。

③ データ受信を継続するときには、現在のフレームのストップビットを受信する前に、RDRFのリード、PDRのリードを終了しておいてください。RDRのデータをリードするとRDRFは自動的に0にクリアされます。

④ 受信エラーが発生したときには、SSRのOER、PER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ず、OER、PER、FERをすべて0にクリアしてください。OER、PER、FERのどれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRXD端子の値をリードすることでブレークの検出ができます。

図10.2.8 データ受信のフローチャートの例 (調歩同期式モード)

SCI3は受信時に以下のように動作します。

SCI3は通信回線を監視し、スタートビットの0を検出すると内部を同期化し受信を開始します。受信は表10.2.11に示す通信フォーマットに従い、まず受信したデータをRSRのLSBからMSBの順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3は以下のチェックを行います。

・パリティチェック：

受信データの1の数をチェックし、これがSMRのPMで設定した偶数または奇数パリティになっているかをチェックします。

・ストップビットチェック：

ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

・ステータスチェック：

RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったときRDRFが1にセットされ、RDRに受信データが格納されます。このときSCR3のRIEが1にセットされているとRXIを発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FERが1にセットされます。またRDRFはデータを受信する前の状態を保ちます。このとき、SCR3のRIEが1にセットされているとERIを発生します。

表10.2.12に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、PER、およびRDRFを0にクリアしてください。

表10.2.12 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSRのRDRFが1にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数または奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

調歩同期式モードの受信時の動作例を図10.2.9に示します。

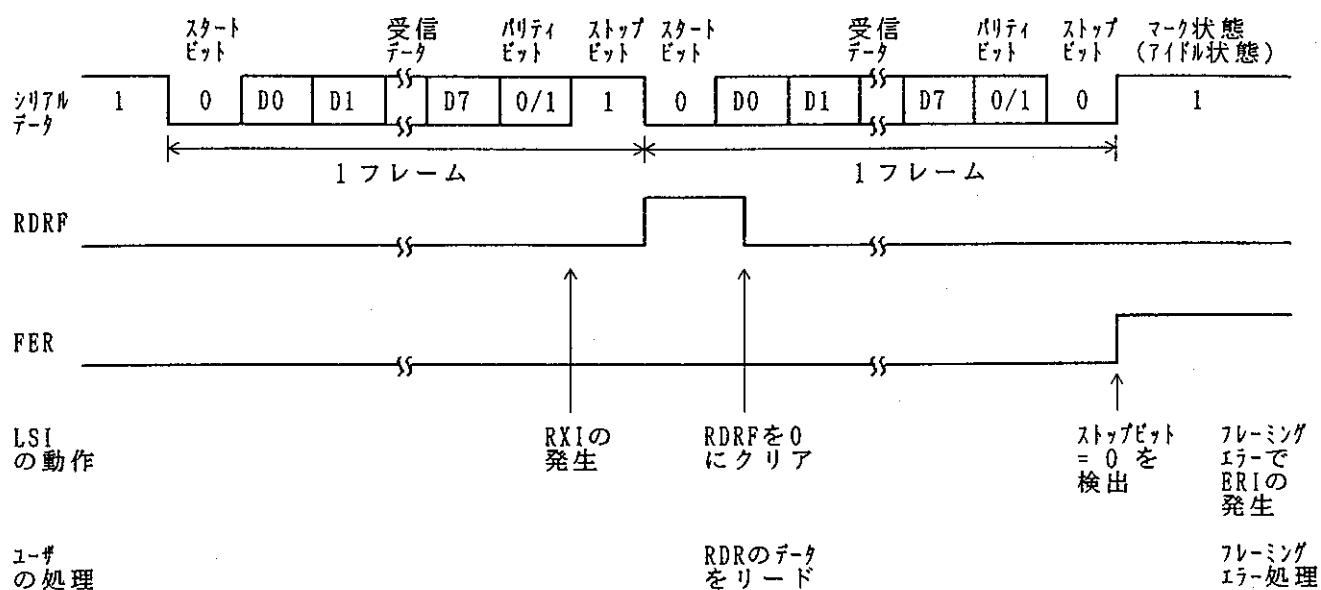


図10.2.9 調歩同期式モードの受信時の動作例

(8ビットデータ/パリティあり/1ストップビットの例)

### 10.2.5 クロック同期式モード時の動作説明

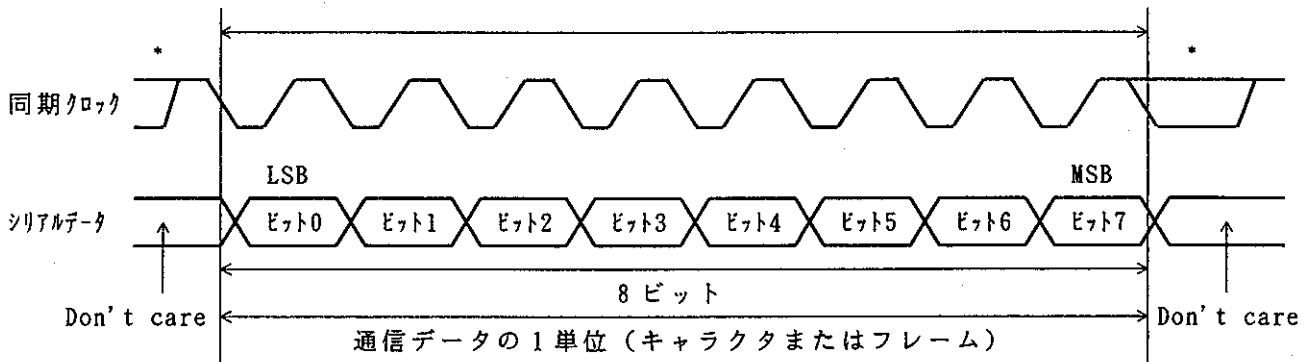
クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI 3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部または受信部は共にダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

#### (1) 送信または受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図10.2.10に示します。



【注】\* 連続送信または受信のとき以外はHighレベル

図10.2.10 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSBから始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI 3は、受信時に同期クロックの立ち上がりに同期してデータを取り込みます。

送信または受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK<sub>3</sub>端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.2.9を参照してください。

内部クロックで動作させるとき、SCK<sub>3</sub>端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信または受信で8パルス出力され、送信および受信を行わないときにはHighレベルに固定されます。

(3) データの送信または受信動作

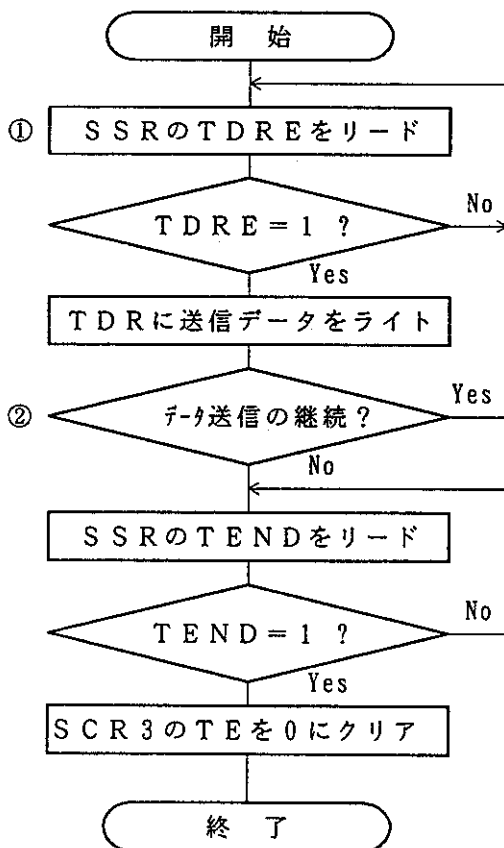
(a) SCI3のイニシャライズ

データの送信または受信前には、「10.2.4(3) (a) SCI3のイニシャライズ」の説明および、図10.2.5の例にしたがってSCI3をイニシャライズしてください。

(b) データ送信

図10.2.11にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが1であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に0にクリアされ、データの送信が開始されます。また、クロック出力を選択している場合には、TDRにデータをライトするとクロックが出力され、データの送信が開始されます。

② データ送信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に0にクリアされます。

図10.2.11 データ送信のフローチャートの例 (クロック同期式モード)

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXIを発生します。

クロック出力モードに設定したときには、SCI 3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB（ビット0）からMSB（ビット7）の順にTXD端子から送信されます。

その後、MSB（ビット7）を送り出すタイミングでTDREをチェックします。

TDREが0であるとTDRからTSRにデータを転送し、次のフレームの送信を開始します。TDREが1であるとSSRのTENDに1をセットし、MSB（ビット7）送出後、状態を保持します。このときSCR3のTEIEが1にセットされているとTEIを発生します。

送信終了後は、SCK<sub>3</sub>端子はHighレベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ（OER、FER、PER）が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ（OER、FER、PER）が0にクリアされていることを確認してください。

図10.2.12にクロック同期式モードの送信時の動作例を示します。

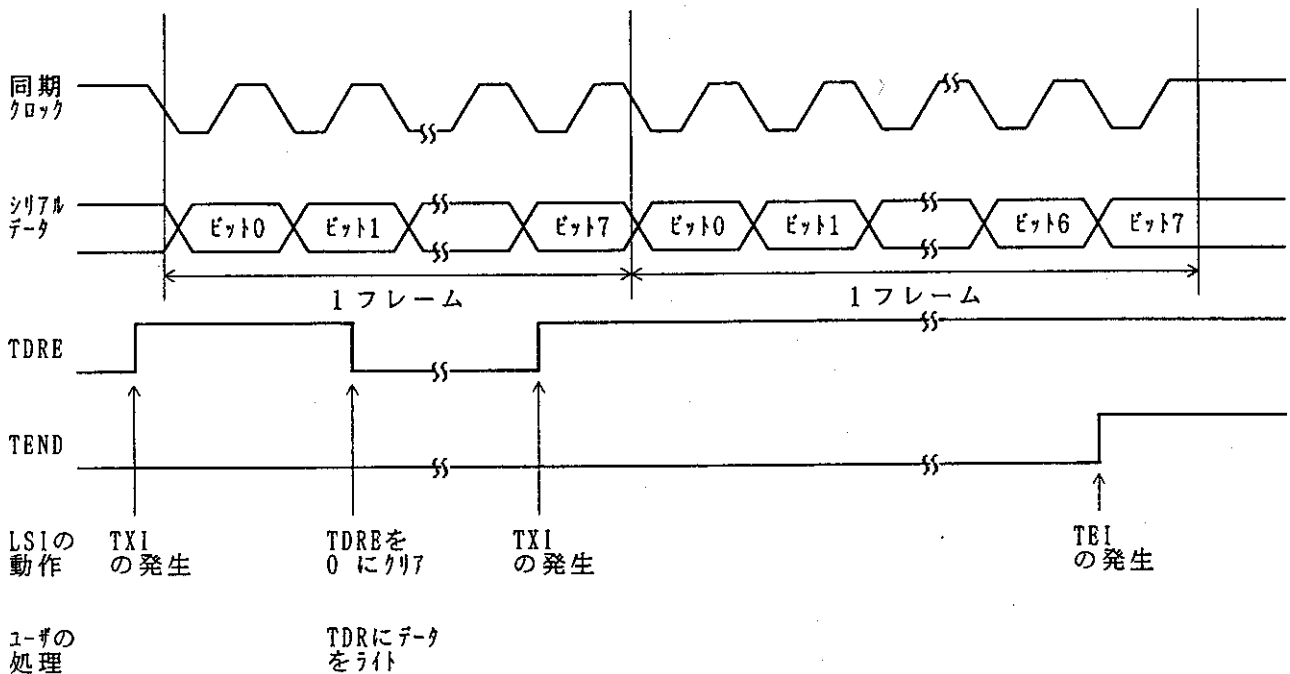


図10.2.12 クロック同期式モードの送信時の動作例



(c) データ受信

図10.2.13にデータ受信のフローチャートの例を示します。

データ受信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。

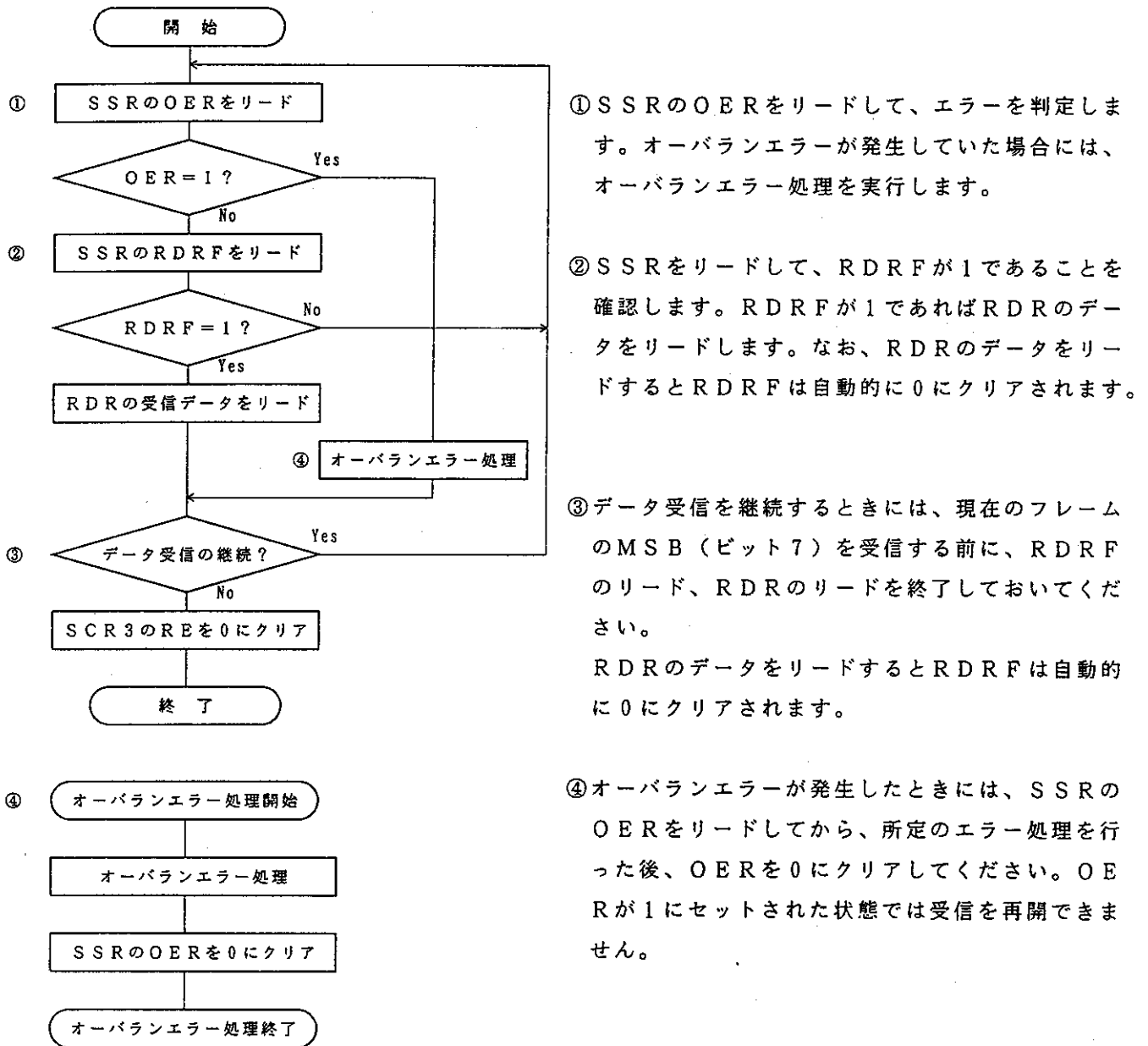


図10.2.13 データ受信フローチャートの例 (クロック同期式モード)

SCI 3は受信時に以下のように動作します。

SCI 3は同期クロックの入力または出力に同期して内部を初期化し、受信を開始します。

次に、受信したデータをRSRのLSBからMSBの順にセットします。

受信後、SCI 3は、RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックの結果オーバーランエラーがなかったときRDRFが1にセットされ、RDRに受信データが格納されます。

このとき、SCR 3のRIEが1にセットされているとRXIを発生します。一方、エラーチェックでオーバーランエラーを検出するとOERが1にセットされます。また、RDRFは1にセットされた状態を保ちます。このとき、SCR 3のRIEが1にセットされているとERIを発生します。

オーバーランエラーの検出条件と受信データの処理については、表10.2.12を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、PER、およびRDRFを0にクリアしてください。

図10.2.14にクロック同期式モードの受信時の動作例を示します。

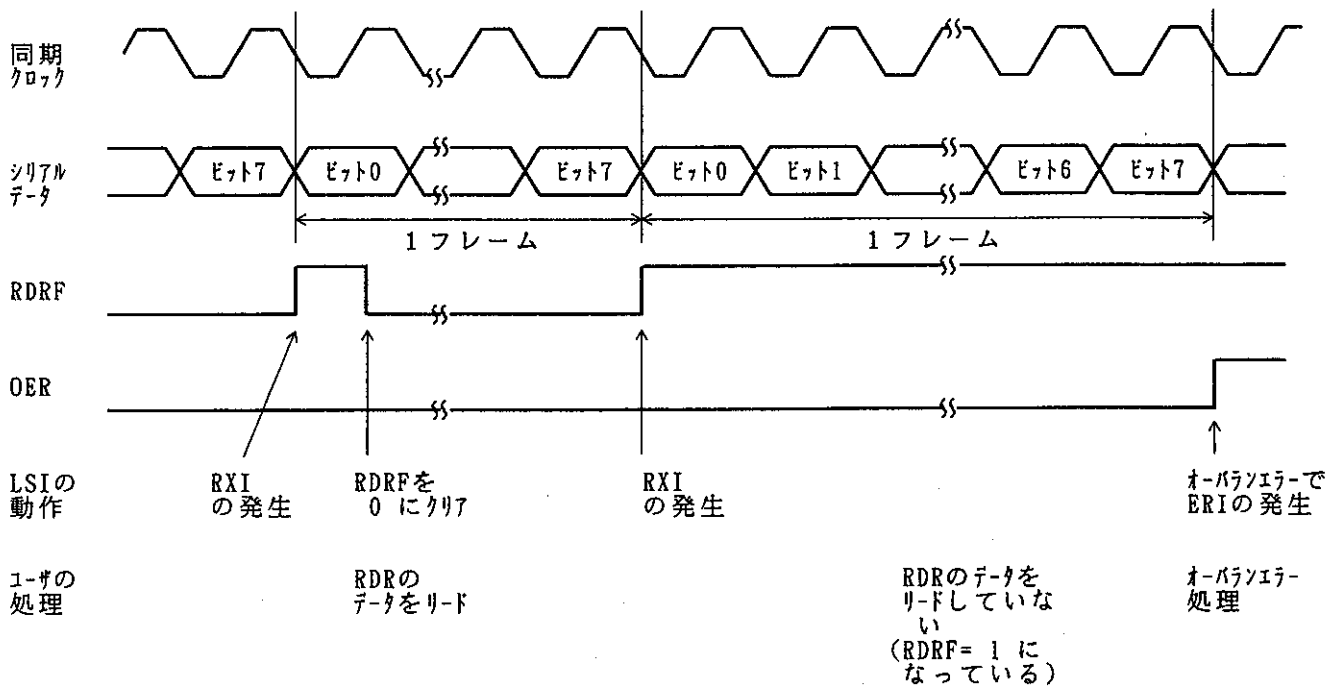
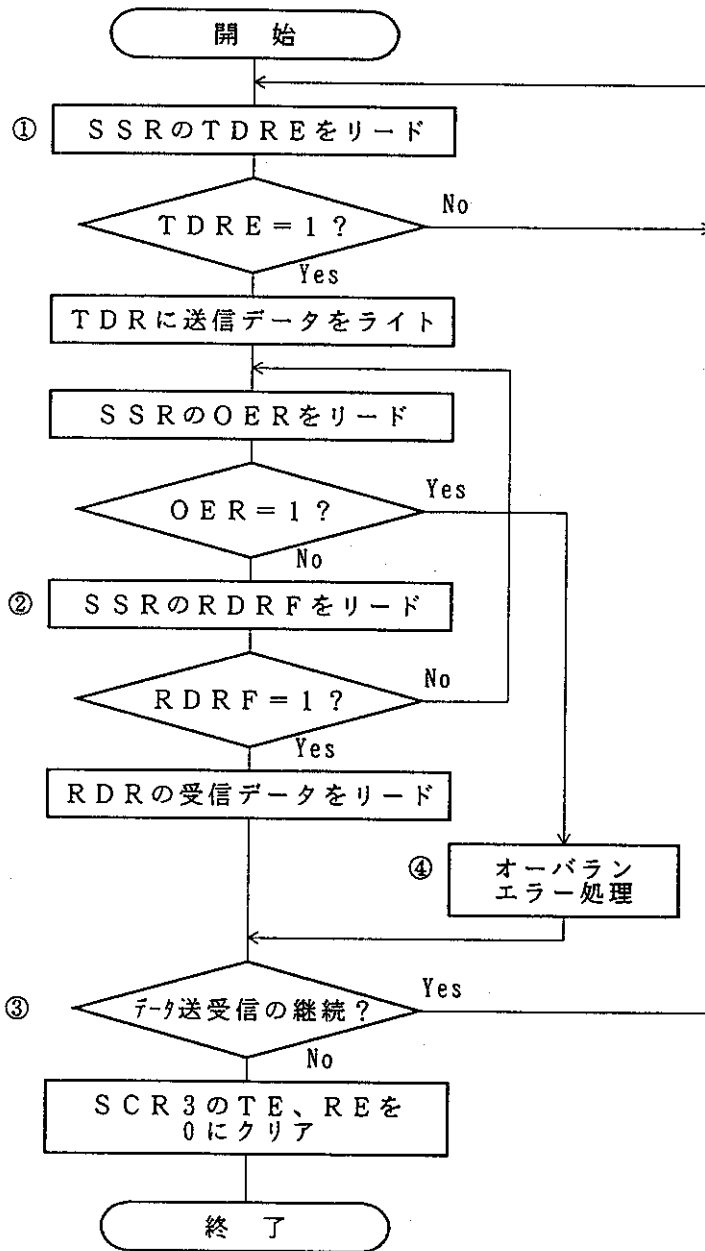


図10.2.14 クロック同期式モードの受信時の動作例

(d) データ送受信同時動

図10.2.15にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードしてTDREが1であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に0にクリアされます。

② SSRをリードして、RDRFが1であることを確認した後、RDRの受信データをリードします。RDRのデータをリードするとRDRFは自動的に0にクリアされます。

③ データ送受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFのリード、RDRのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREの1をリードして書き込み可能であることを確認してTDRにデータをライトしておいてください。

TDRにデータをライトするとTDREは自動的に0にクリアされます。また、RDRのデータをリードするとRDRFは自動的に0にクリアされます。

④ オーバランエラーが発生したときには、SSRのOERをリードしてから、所定のエラー処理を行った後、OERを0にクリアしてください。

OERが1にセットされた状態では送信および受信を再開できません。

オーバランエラー処理については、図10.2.13を参照してください。

図10.2.15 データ送受信同時動作のフローチャートの例（クロック同期式モード）

【注】 1. 送信から同時送受信へ切り換えるときには、次の方法で行ってください。

SCI3が送信終了状態であること、TDREおよびTENDが1にセットされていることを確認した後、TEを0にクリアしてからTEおよびREを1にセットしてください。

2. 受信から同時送受信へ切り換えるときには、次の方法で行ってください。

SCI3が受信完了状態であることを確認し、REを0にクリアしてからRDRFおよびエラーフラグ(OER、FER、PER)が0にクリアされていることを確認した後、TEおよびREを1にセットしてください。

### 10.2.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局には各々固有のIDコードが割り付けられています。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが1のときID送信サイクル、0のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局のIDコードに、マルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが1の通信データを受信すると、自局のIDと比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが1の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図10.2.16にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

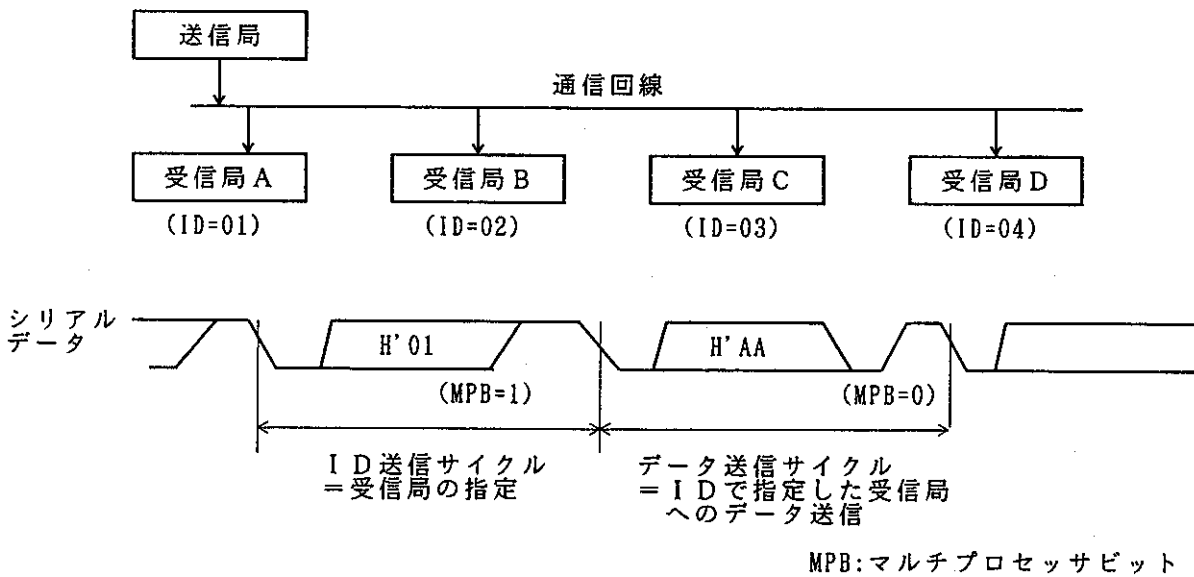


図10.2.16 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H' AA の送信の例)

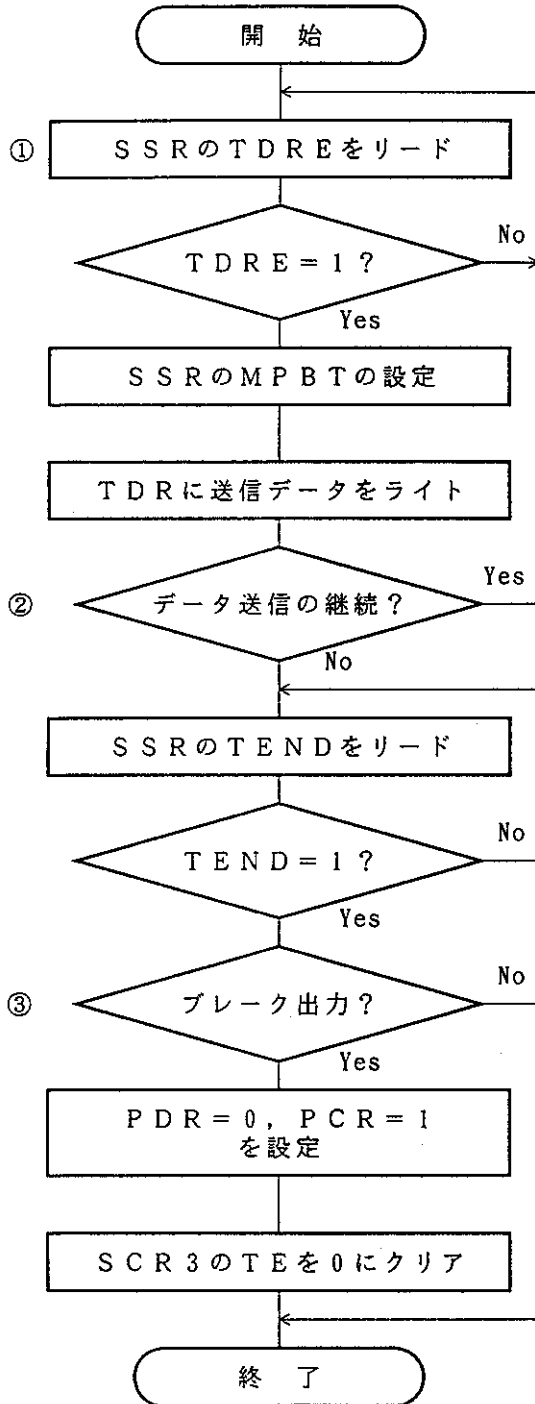
送信または受信フォーマットは4種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表10.2.11を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.2.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図10.2.17にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信はSCI3をイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが1であることを確認した後、SSRのMPBTを0または1に設定しTDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に0にクリアされます。

② データ送信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に0にクリアされます。

③ データ送信の終了時にブレークを出力するときには、ポートをPCR = 1、PDR = 0に設定した後にSCR3のTEを0にクリアします。

図10.2.17 マルチプロセッサデータ送信のフローチャートの例

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを1にセットして、送信を開始します。このとき、SCR3のTIEが1にセットされているとTXIを発生します。

シリアルデータは、表10.2.11に示す通信フォーマットに従い、TXD端子から送信されます。

その後、ストップビットを送り出すタイミングでTDREをチェックします。

TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力する“マーク状態”になります。このときSCR3のTEIEが1にセットされているとTEIを発生します。

図10.2.18にマルチプロセッサフォーマットの送信時の動作例を示します。

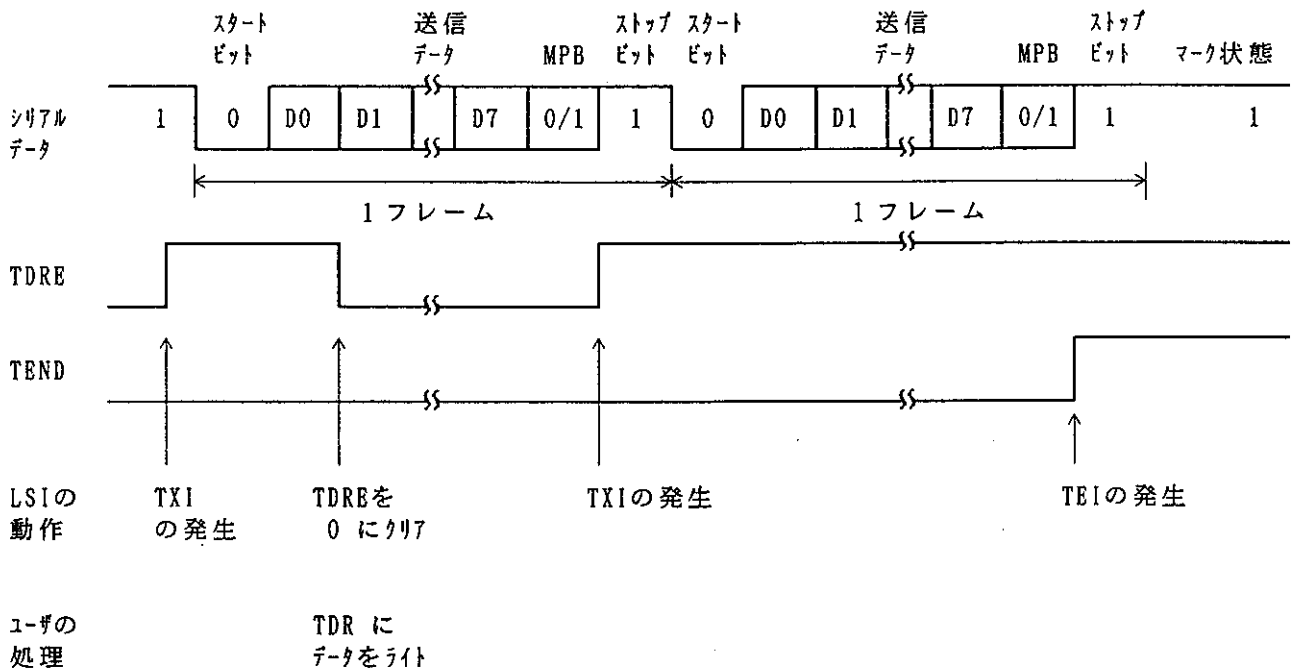
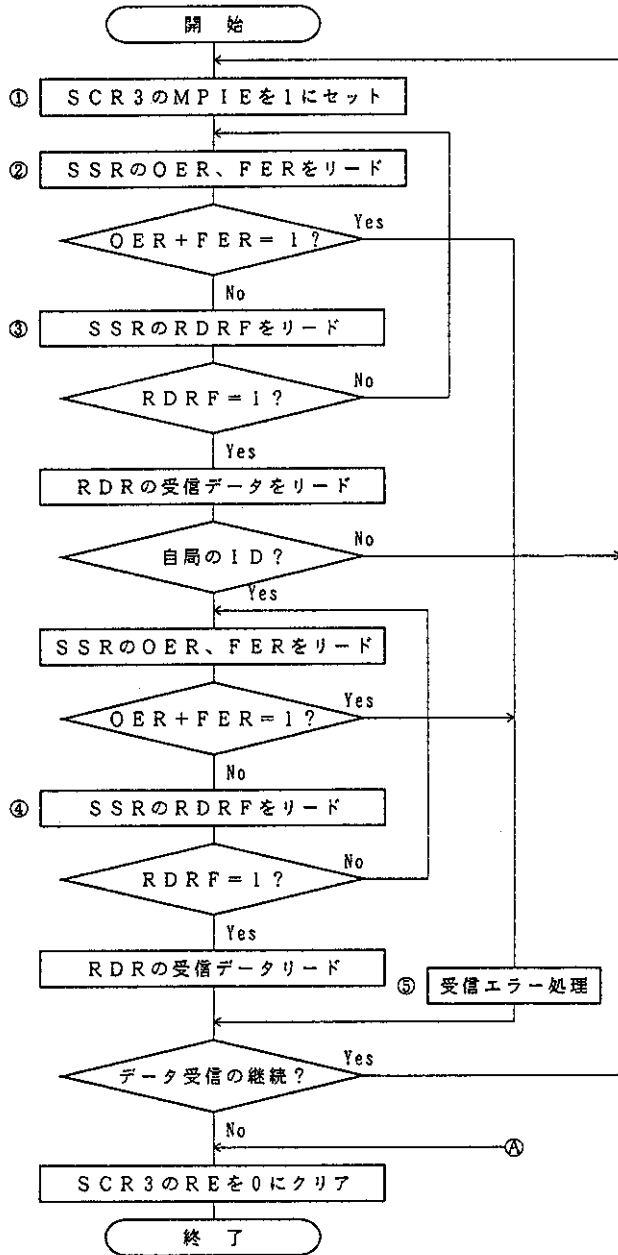


図10.2.18 マルチプロセッサフォーマットの送信時の動作例  
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

(b) マルチプロセッサデータ受信

図10.2.19にマルチプロセッサデータ受信のフローチャートの例を示します。

マルチプロセッサデータ受信はSCI3をイニシャライズ後、以下の手順にしたがって行ってください。



① SCR3のMPIEを1にセットします。

② SSRのOER、FERをリードしてエラーを判定します。受信エラーが発生していた場合には受信エラー処理を実行します。

③ SSRをリードして、RDRFが1であることを確認します。RDRFが1であればRDRのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びMPIEを1にセットします。なお、RDRのデータをリードするとRDRFは自動的に0にクリアされます。

④ SSRをリードして、RDRFが1であることを確認した後、RDRのデータをリードします。

⑤ 受信エラーが発生したときには、SSRのOER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ずOER、FERをすべて0にクリアしてください。

OER、FERのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRXD端子の値をリードすることでブレークの検出ができます。

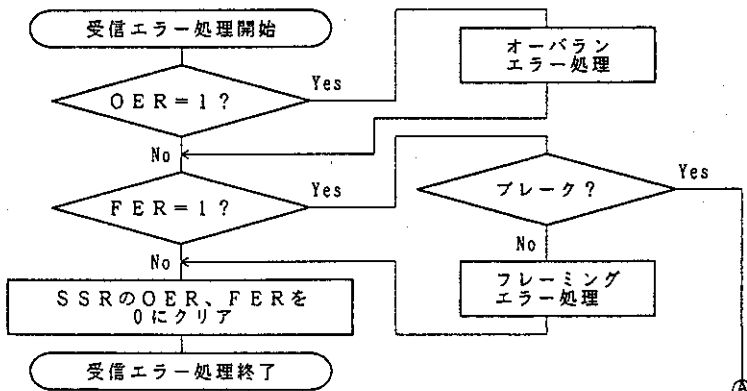
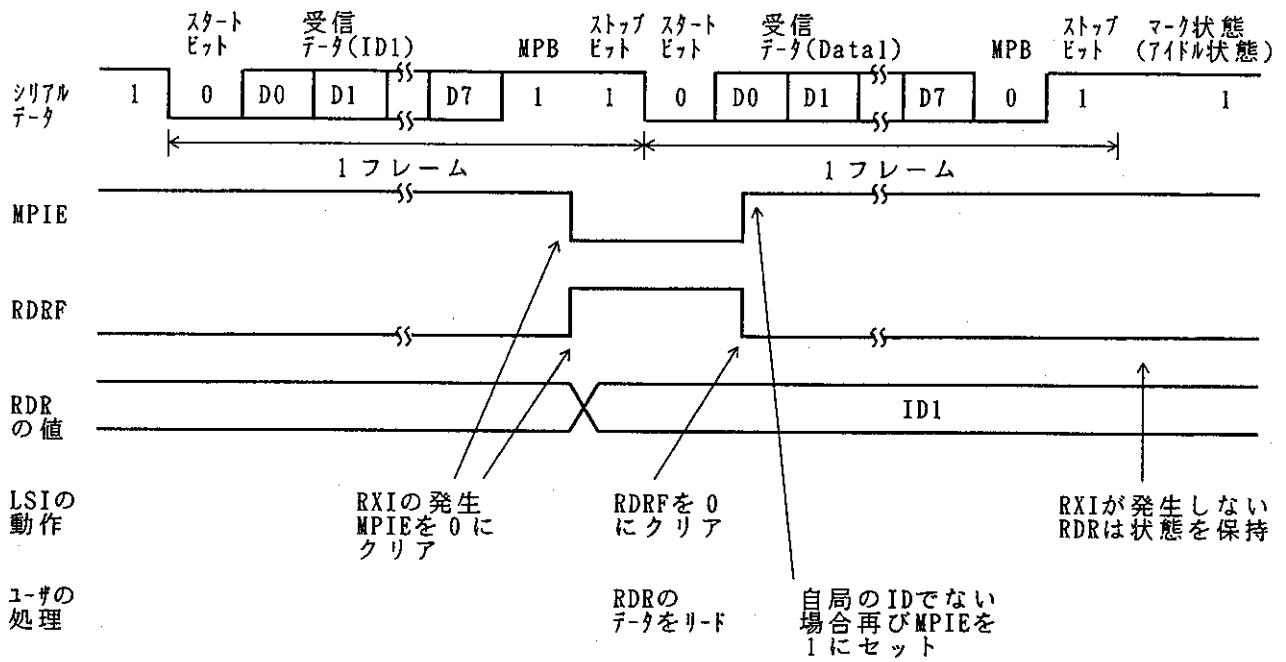


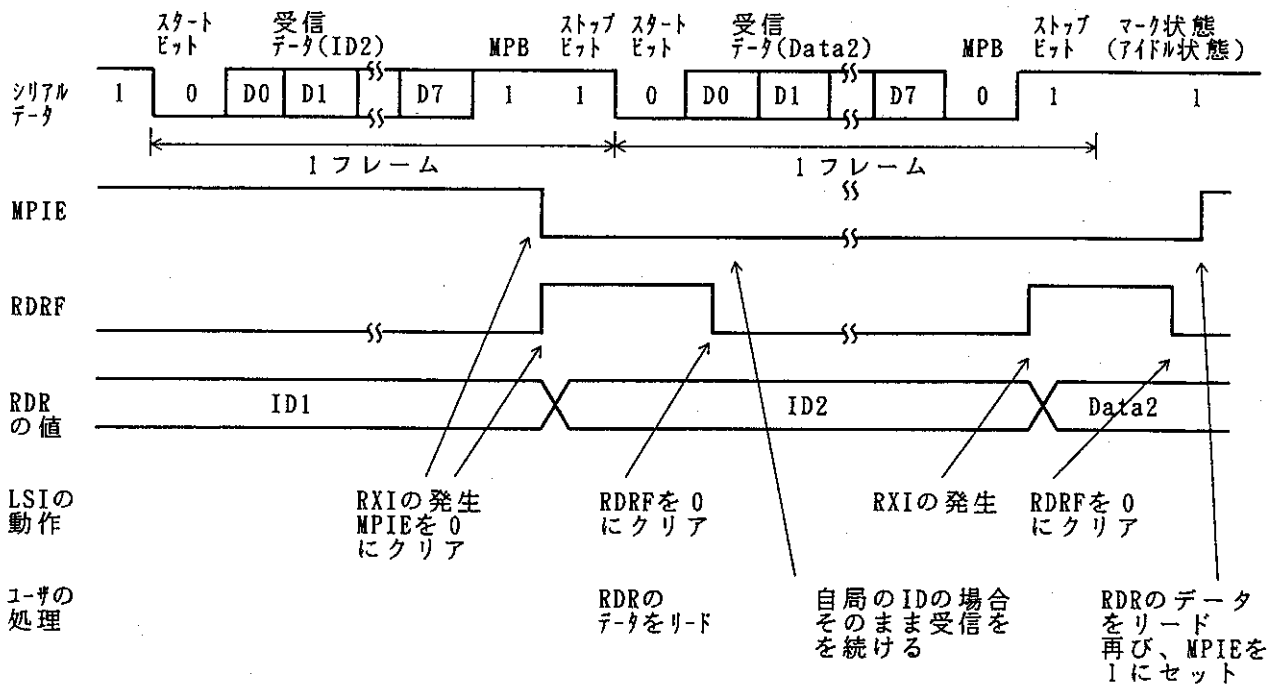
図10.2.19 マルチプロセッサデータ受信のフローチャートの例



図10.2.20にマルチプロセッサフォーマットの受信時の動作例を示します。



(a) 自局のIDと一致しないとき



(b) 自局のIDと一致したとき

図10.2.20 マルチプロセッサフォーマットの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

### 10.2.7 割り込み要因

SCI 3の割り込み要因には、送信終了、送信データエンプティ、受信データフル、および3種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計6種類があり、共通のベクタアドレスが割り付けられています。

表10.2.13に各割り込み要求の内容を示します。

表10.2.13 SCI 3 割り込み要求の内容

割り込みの略称	割り込み要求の内容	ベクタアドレス
RXI	受信データフル (RDRF) による割り込み要求	H'0024
TXI	送信データエンプティ (TDRE) による割り込み要求	
TEI	送信終了 (TEND) による割り込み要求	
ERI	受信エラー (OER、FER、PER) による割り込み要求	

各割り込み要求は、SCR 3のTIE、RIEで許可または禁止できます。

SSRのTDREが1にセットされると、TXIが発生します。SSRのTENDが1にセットされると、TEIが発生します。この2つの割り込みは送信時に発生します。

SSRのTDREは初期値が1になっています。したがって送信データをTDRへ転送する前にSCR 3のTIEを1にセットして送信データエンプティ割り込み要求 (TXI) を許可すると、送信データが準備されていなくてもTXIが発生します。

また、SSRのTENDは初期値が1になっています。したがって、送信データをTDRへ転送する前にSCR 3のTEIEを1にセットして送信終了割り込み要求 (TEI) を許可すると、送信データが送信されていなくてもTEIが発生します。

送信データをTDRへ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求 (TXI、TEI) の発生を防ぐためには、送信データをTDRへ転送した後に、これらの割り込み要求に対応する許可ビット (TIE、TEIE) を1にセットしてください。

SSRのRDRFが1にセットされるとRXIが発生します。OER、PER、FERのいずれかが1にセットされるとERIが発生します。この2つの割り込み要求は受信時に発生します。

割り込みに関する詳細は「3.3 割り込み」を参照してください。

## 10.2.8 使用上の注意事項

SCI 3を使用する際は、以下のことに注意してください。

### (1) TDRへのライトとTDREの関係について

SSRのTDREはシリアル送信するデータがTDRに準備されていないことを示すステータスフラグです。TDRへデータを書き込むとTDREは自動的に0にクリアされます。またSCI 3がTDRからTSRにデータを転送すると、TDREが1にセットされます。

TDRへのデータのライトは、TDREの状態にかかわらず行うことができますが、TDREが0の状態新しいデータをTDRに書き込むと、TDRに格納されていた前のデータは、まだTSRに転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うためにTDRへの送信データのライトは、必ずTDREが1にセットされていることを確認してから1回だけ行う（2回以上しない）ようにしてください。

### (2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSRの各ステータスフラグの状態は、表10.2.14に示すようにセットされます。オーバランエラーを検出した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表10.2.14 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+ フレーミングエラー
1	1	0	1	×	オーバランエラー+ パリティエラー
0	0	1	1	○	フレーミングエラー+ パリティエラー
1	1	1	1	×	オーバランエラー+フレーミング エラー+パリティエラー

○：RSR→RDRに受信データを転送します。

×：RSR→RDRに受信データを転送しません。

【注】\* RDRFは、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後にRDRをリードした場合、RDRFは0にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD端子の値を直接リードすることでブレークを検出できます。ブレークではRXD端子からの入力がすべて0になりますので、FERがセットされ、またPERもセットされる可能性があります。

SCI3は、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしてもふたたびFERが1にセットされますので注意してください。

(4) マーク状態とブレークの送出

TEが0のとき、TXD端子はPDRとPCRにより設定されたI/Oポートの状態になります。これを利用してTXD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TEを1にセットするまで、通信回線をマーク状態（1の状態）にするためには、PCR=1、PDR=1を設定します。このとき、TEが0にクリアされていますので、TXD端子はI/Oポートとなっており1が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR=1、PDR=0に設定した後TEを0にクリアします。

TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD端子はI/Oポートになり、TXD端子から0が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（OER、PER、FER）が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI 3は転送レートの16倍の周波数の基本クロックで動作しています。

受信時にはSCI 3は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの8ヶ目の立ち上がりエッジで内部に取り込みます。

これを図10.2.21に示します。

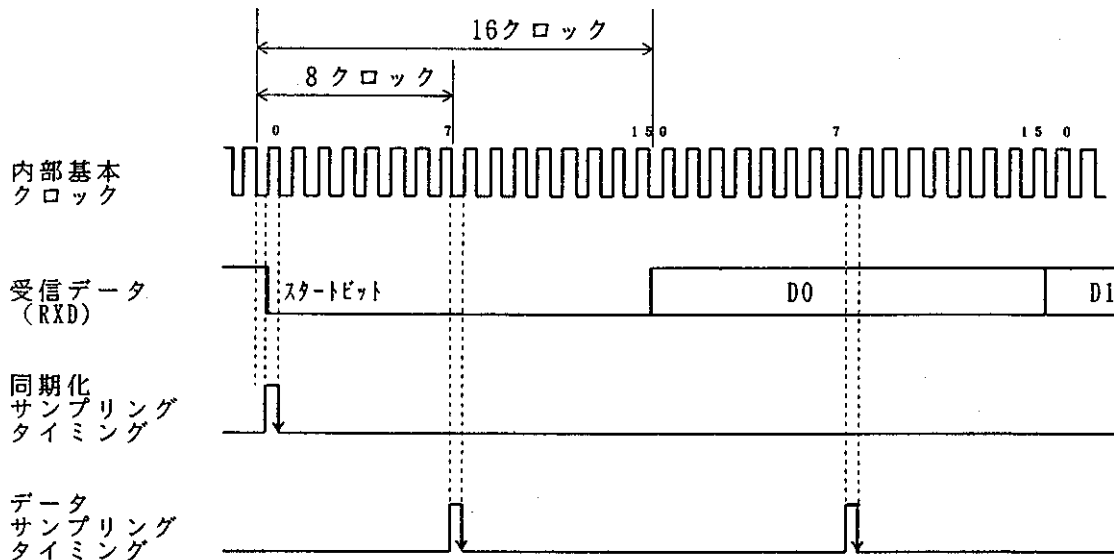


図10.2.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5)F \right\} \times 100 \quad \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad \text{式(2)}$$

$$= 46.875\%$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) RDRのリードとRDRFの関係について

SCI 3は受信動作において、RDRFフラグをチェックしながら動作します。1フレームの受信終了のタイミングでRDRFが0にクリアされていれば、通常のデータ受信を完了します。またRDRFが1にセットされていれば、オーバーランエラーとなります。

RDRの内容をリードすると、RDRFは自動的に0にクリアされます。したがって、RDRのリードを2回以上行う場合、2回目以降のリード操作はRDRFが0の状態で行われます。RDRFが0の状態ではRDRのリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図10.2.22に示します。

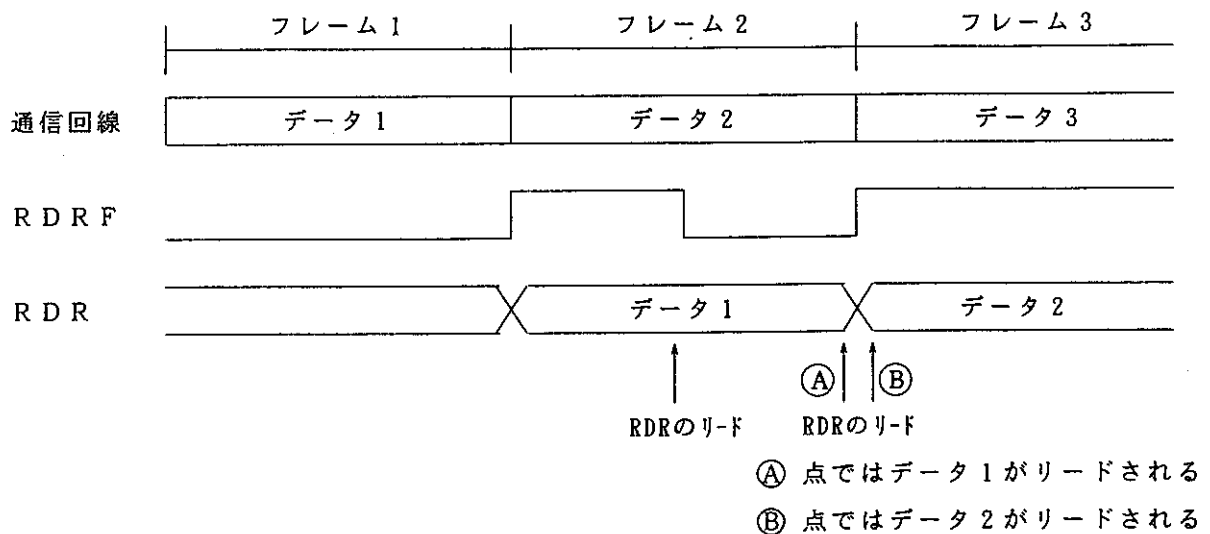


図10.2.22 RDRのリードタイミングとデータの関係

この場合、RDRのリード操作はRDRFが1にセットされていることを確認してから、1回のみ行う（2回以上しない）ようにしてください。2回以上リードする場合は、1回リードしたデータをRAM等に転送し、その内容を使用するようにしてください。また、RDRのリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット7の転送前まで、調歩同期式モードではSTOPビットの転送前までにRDRのリードを完了してください。

(8) SCK<sub>3</sub>端子機能切り換えに伴う注意事項

SCI 3をクロック同期式モードで使用した後、SCK<sub>3</sub>端子をクロック出力から入力ポートに端子機能を切り換えると、SCK<sub>3</sub>端子に端子機能切り換えのタイミングで瞬時（システムクロックφの1/2の期間）のLowレベルを出力しますので注意してください。この瞬時のLowレベル出力を回避するには次の方法があります。

(a) SCK<sub>3</sub>端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1命令でSCR3のTEビット、REビットを0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。

この場合は、SMRのCOMビットは1にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK<sub>3</sub>端子に中間電位が印加しないようにSCK<sub>3</sub>端子に接続したラインは抵抗を介してV<sub>cc</sub>電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK<sub>3</sub>端子をクロック出力から入出力ポートに端子機能を切り換える場合

送受信を停止する際、

- ① まず1命令でSCR3のTEビット、REビットを共に0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。
- ② 次にSMRのCOMビットを0にクリアしてください。
- ③ 最後にSCR3のCKE1、CKE0ビットを共に0にクリアしてください。

この場合もSCK<sub>3</sub>端子に中間電位が印加しないように注意してください。

(9) TxD端子機能切換えに伴う注意事項

SCI3をクロック同期式モードで使用した後、TxD端子をデータ出力から入出力ポートに端子機能を切換えると、TxD端子に端子機能切換えのタイミングで瞬時（システムクロックφの期間）“High”レベルを出力しますので注意してください。

## 10.3 I<sup>2</sup>Cバスインタフェース

### 10.3.1 概要

本LSIに内蔵されているI<sup>2</sup>Cバスインタフェースは、Philips社の提唱しているI<sup>2</sup>Cバス(Inter IC Bus)インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I<sup>2</sup>Cバスを制御するレジスタの構成が一部Philips社と異なりますので注意してください。

I<sup>2</sup>Cバスインタフェースを用いたデータ転送はデータライン(SDA)1本、クロックライン(SCL)1本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。図10.3.1にI<sup>2</sup>Cバスインタフェース接続例を示します。

#### (1) 特長

- Philips社提唱のI<sup>2</sup>Cバスインタフェースに準拠
- 開始、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットの自動ロード機能
- 8種類の内部クロック(マスタモード時)選択可能
- アクノリジメントモード\*<sup>1</sup>、アクノリッジビットを含まないシリアルモード\*<sup>1</sup>を選択可能
- ウェイト機能

アクノリジメントモードでアクノリッジを除くデータ転送後、SCL端子をLowレベルにしてウェイトを挿入することができます。

- 3種類の割込み要因
  - ・ データ転送終了時
  - ・ スレーブ受信モード\*<sup>2</sup>でスレーブアドレスが一致した時またはゼネラルコールアドレスを受信した時
  - ・ マスタ送信モード\*<sup>2</sup>でバスアービトレーションを失った時

【注】 \*<sup>1</sup> 「10.3.2(4) I<sup>2</sup>Cバスコントロールレジスタ(ICCR)」のビット5,4の説明を参照してください。

\*<sup>2</sup> 「10.3.2(4) I<sup>2</sup>Cバスコントロールレジスタ(ICCR)」のビット3の説明を参照してください。



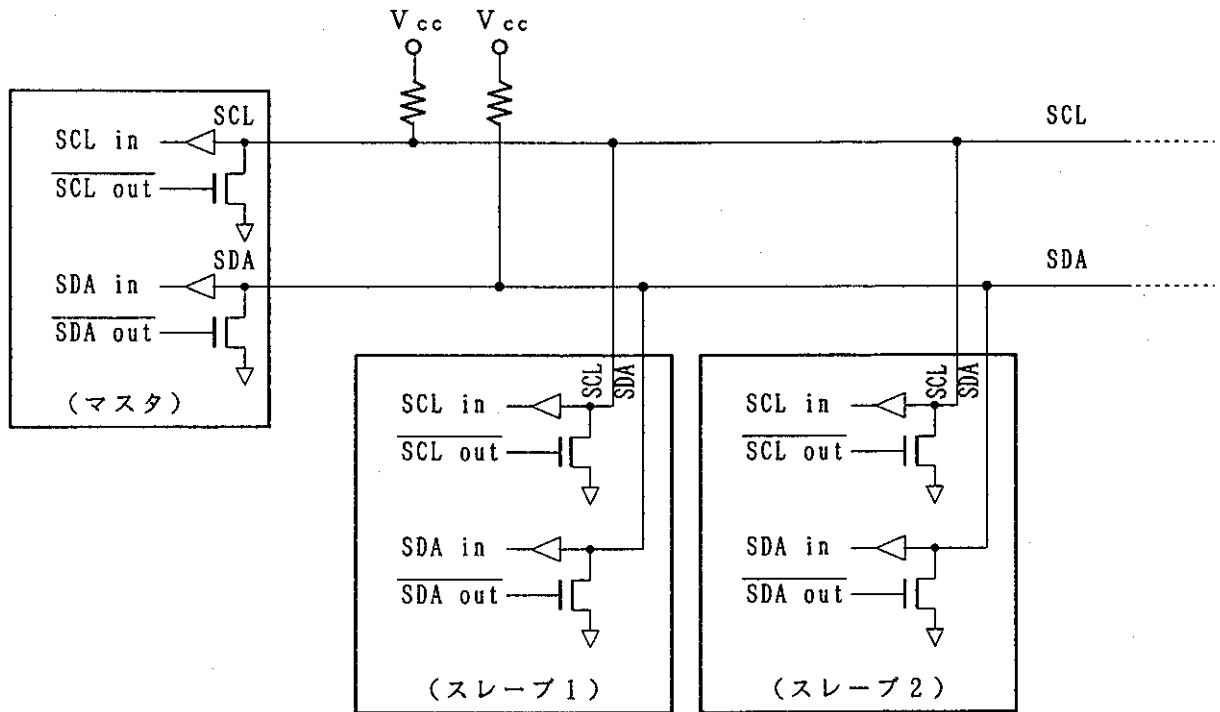
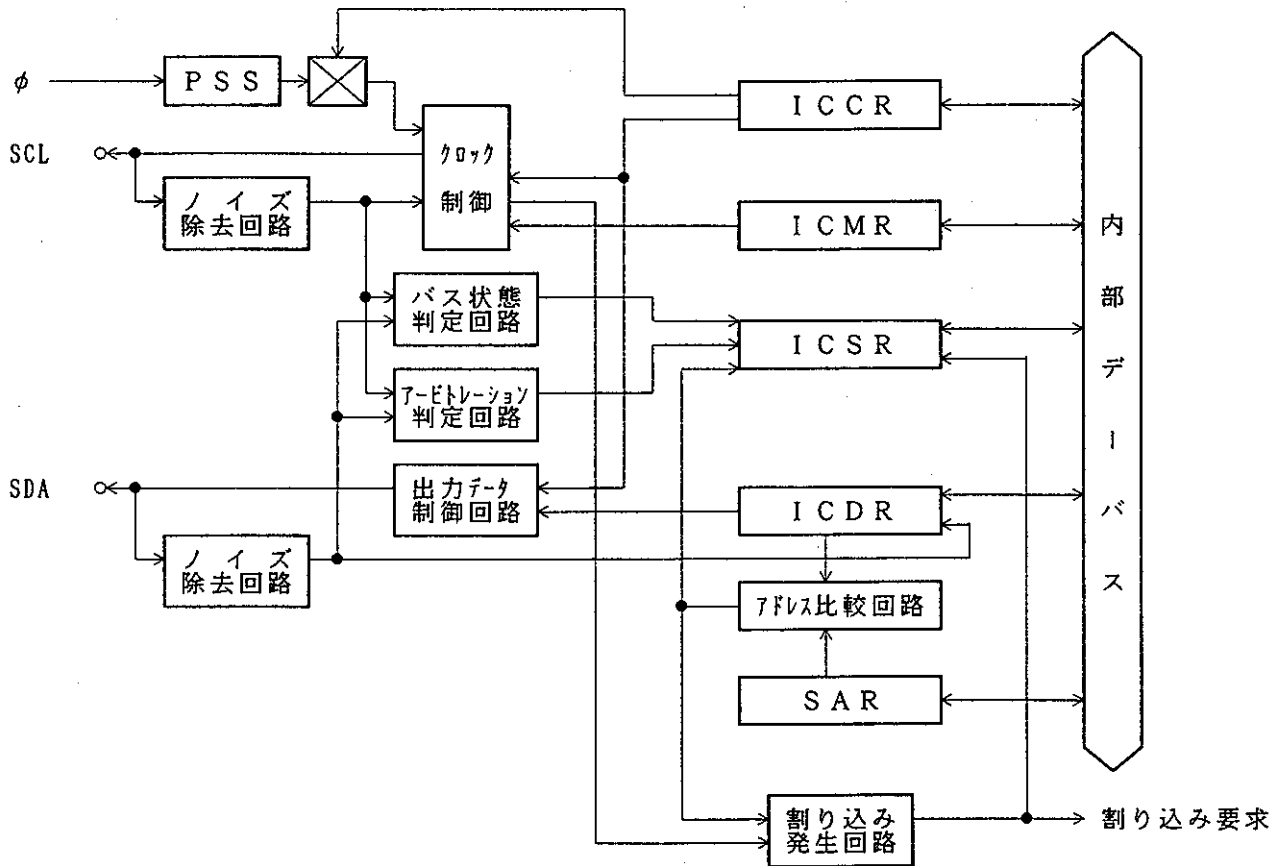


図10.3.1 I<sup>2</sup>Cバスインタフェース接続例

(2) ブロック図

I<sup>2</sup>Cバスインタフェースのブロック図を図10.3.2に示します。



<記号説明>

- ICCR : I<sup>2</sup>Cコントロールレジスタ
- ICMR : I<sup>2</sup>Cモードレジスタ
- ICSR : I<sup>2</sup>Cステータスレジスタ
- ICDR : I<sup>2</sup>Cデータレジスタ
- SAR : スレーブアドレスレジスタ
- PSS : プリスケラS

図10.3.2 I<sup>2</sup>Cバスインタフェースブロック図

(3) 端子構成

I<sup>2</sup>Cバスインタフェースで使用する端子を表10.3.1に示します。

表10.3.1 I<sup>2</sup>Cバスインタフェース端子構成

チャンネル	名 称	名 称	入出力	機 能
1	シリアルクロック端子1	SCL <sub>1</sub>	入出力	シリアルクロック入出力端子
	シリアルデータ端子1	SDA <sub>1</sub>	入出力	シリアルデータの入出力端子
2	シリアルクロック端子2	SCL <sub>2</sub>	入出力	シリアルクロック入出力端子
	シリアルデータ端子2	SDA <sub>2</sub>	入出力	シリアルデータの入出力端子

(4) レジスタ構成

I<sup>2</sup>Cバスインタフェースのレジスタ構成を表10.3.2に示します。

表10.3.2 I<sup>2</sup>Cバスインタフェースレジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス
1	I <sup>2</sup> Cバスコントロールレジスタ1	ICCR1	R/W	H'00	H'FF80
	I <sup>2</sup> Cバスステータスレジスタ1	ICSR1	R/W	H'30	H'FF81
	I <sup>2</sup> Cバスデータレジスタ1	ICDR1	R/W	—	H'FF82
	I <sup>2</sup> Cバスモードレジスタ1	ICMR1	R/W	H'38	H'FF83*
	スレーブアドレスレジスタ1	SAR1	R/W	H'00	H'FF83*
2	I <sup>2</sup> Cバスコントロールレジスタ2	ICCR2	R/W	H'00	H'FF84
	I <sup>2</sup> Cバスステータスレジスタ2	ICSR2	R/W	H'30	H'FF85
	I <sup>2</sup> Cバスデータレジスタ2	ICDR2	R/W	—	H'FF86
	I <sup>2</sup> Cバスモードレジスタ2	ICMR2	R/W	H'38	H'FF87*
	スレーブアドレスレジスタ2	SAR2	R/W	H'00	H'FF87*

【注】\* I<sup>2</sup>CバスコントロールレジスタのICEビットによりリードまたはライトできるレジスタが変わります。ICE=0のときスレーブアドレスレジスタ、ICE=1のときI<sup>2</sup>Cバスモードレジスタとなります。

### 10.3.2 各レジスタの説明

#### (1) I<sup>2</sup>Cバスデータレジスタ (ICDR)

ビット:	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICDRは、8ビットのリードとライトが可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。送信はICDRにデータを書き込むことにより開始します。また受信の場合はICDRからデータを読み出すことにより開始します。

ICDRはシフトレジスタと兼用されているため、データの送信または受信が完了してからデータのリードまたはライトを行う必要があります。データの送信中または受信中にリードまたはライトを行うとデータの内容は保証されません。

ICDRのリセット時の値は不定です。

#### (2) スレーブアドレスレジスタ (SAR)

ビット:	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARは、8ビットのリードとライトが可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。本LSIがスレーブモード（アドレッシングフォーマット時）の場合、開始条件後に送られてきた第1バイトの上位7ビットとSARの上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARは、ICMRと同じアドレスに割り付けられており、ICCRのICEを0にクリアした時のみ、SARのリードとライトが可能です。

リセット時、SARはH'00にイニシャライズされます。

#### ビット7～1：スレーブアドレス (SVA6～SVA0)

SVA6～SVA0にはI<sup>2</sup>Cバスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0：フォーマットセレクト (FS)

スレーブモード時にスレーブアドレスの認識を行うアドレッシングフォーマットで使用するか、ノンアドレッシングフォーマットで使用するかを選択します。

ビット0	説明	
FS		
0	アドレッシングフォーマット、スレーブアドレスを認識	(初期値)
1	ノンアドレッシングフォーマット	

(3) I<sup>2</sup>Cバスモードレジスタ (ICMR)

ビット：	7	6	5	4	3	2	1	0
	MLS	WAIT	—	—	—	BC2	BC1	BC0
初期値：	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	—	—	—	R/W	R/W	R/W

ICMRは、8ビットのリードとライトが可能なレジスタで、MSBファーストまたはLSBファーストの選択、ウェイトの制御、転送ビットの数の選択を行います。ICMRは、SARと同じアドレスに割り付けられており、ICCRのICEを1に設定した時のみ、ICMRのリードとライトが可能です。

リセット時、ICMRはH'38にイニシャライズされます。

ビット7：MSBファーストまたはLSBファースト選択 (MLS)

MSBファーストでデータ転送するか、LSBファーストでデータ転送するかを選択します。

ビット7	説明	
MLS		
0	MSBファースト	(初期値)
1	LSBファースト	

ビット6：ウェイト挿入ビット (WAIT)

アクノリッジメントモード時は、アクノリッジビットを除いたデータ転送後にウェイトを挿入するかどうかを設定します。WAIT=1を設定した場合、データの最終ビットのクロックが立ち下がった後、ウェイト状態(SCL=Lowレベル)となります。ICSRのIRICをクリアすることでウェイトを解除しアクノリッジの転送を行います。WAIT=0を設定した場合、ウェイトを挿入せず、データとアクノリッジを連続的に転送します。

ビット6 WAIT	説明
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

#### ビット5～3：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

#### ビット2～0：ビットカウンタ (BC2～BC0)

次に転送するデータのビット数を指定します。ICCRのACKが0の時(アクノリッジメントモード時)、データにアクノリッジ分1ビット加算されて転送されます。

BC2～BC0の設定は転送フレーム間で行ってください。また、BC2～BC0に000以外を設定する場合はSCL端子がLow状態のとき行ってください。

ビットカウンタは、リセット時および開始条件検出時000にイニシャライズされます。また、アクノリッジを含むデータ転送終了後、000に再び戻ります。

ビット2	ビット1	ビット0	ビット/フレーム	
BC2	BC1	BC0	シリアルモード	アクノリッジメントモード
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

#### (4) I<sup>2</sup>Cバスコントロールレジスタ (ICCR)

ビット:	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICCRは、8ビットのリードとライトが可能なレジスタで、I<sup>2</sup>Cバスインタフェースの動作/非動作、割り込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクノリッジメントモード/シリアルモード、クロック周波数の選択を行います。

リセット時、ICCRはH'00にイニシャライズされます。

ビット7：I<sup>2</sup>Cバスインタフェースイネーブル（ICE）

I<sup>2</sup>Cバスインタフェースを使用するか使用しないかを選択します。ICEを1にセットすると、本モジュールは転送動作可能状態となり、ポートはSCL、SDAの入出力端子となります。ICEを0にクリアすると、本モジュールは機能を停止し、ポートはハイインピーダンス状態になります。

ICEが0のときSARレジスタが有効になり、ICEが1のときICMRレジスタが有効になります。

ビット7 ICE	説 明
0	本モジュールは非動作、SCL/SDA信号はハイインピーダンス状態 (初期値)
1	本モジュールは転送動作可能状態

ビット6：I<sup>2</sup>Cバスインタフェース割り込みイネーブル（IEIC）

I<sup>2</sup>CバスインタフェースからCPUに対する割り込みを許可または禁止します。

ビット6 IEIC	説 明
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット5：マスタ/スレーブ選択（MST）

ビット4：送信/受信選択（TRS）

MSTは、I<sup>2</sup>Cバスインタフェースをマスタモードで使用するかスレーブモードで使用するかを選択するビットです。

TRSは、I<sup>2</sup>Cバスインタフェースを受信モードで使用するか送信モードで使用するかを選択するビットです。

マスタモードでアービトレーションを失うとMST、TRSは共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット（FS=0）の時、開始条件直後の第1バイトのR/Wビットにより、ハードウェアで自動的に受信/送信モードが設定されます。

MSTとTRSとの組み合わせにより次のような動作モードになります。

ビット5 MST	ビット4 TRS	動 作 モ ー ド
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

### ビット3：アノリッジメントモード選択 (ACK)

アノリッジメントモードで使用するかシリアルモードで使用するかを選択します。

アノリッジメントモード (ACK=0) は、ICMRのBC2~BC0で設定したデータビット数にアノリッジの1ビットを含めて、1フレームの転送を行います。

シリアルモード (ACK=1) は、ICMRのBC2~BC0で設定したデータビット数を1フレームとして転送を行います。

ビット3	説明	
ACK		
0	アノリッジメントモード	(初期値)
1	シリアルモード	

### ビット2~0：転送クロック選択 (CKS2~CKS0)

CKS2~CKS0は、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

ビット2	ビット1	ビット0	クロック	転送レート		
				$\phi = 2 \text{ MHz}$	$\phi = 4 \text{ MHz}$	$\phi = 5 \text{ MHz}$
CKS2	CKS1	CKS0				
0	0	0	$\phi / 14$	143 k Hz	286 k Hz	357 k Hz
		1	$\phi / 20$	100 k Hz	200 k Hz	250 k Hz
	1	0	$\phi / 24$	83.3 k Hz	167 k Hz	208 k Hz
		1	$\phi / 32$	62.5 k Hz	125 k Hz	156 k Hz
1	0	0	$\phi / 40$	50.0 k Hz	100 k Hz	125 k Hz
		1	$\phi / 50$	40.0 k Hz	80.0 k Hz	100 k Hz
	1	0	$\phi / 56$	35.7 k Hz	71.4 k Hz	89.3 k Hz
		1	$\phi / 64$	31.3 k Hz	62.5 k Hz	78.1 k Hz

### (5) I<sup>2</sup>Cバスステータスレジスタ (ICSR)

ビット:	7	6	5	4	3	2	1	0
	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/(W)*	W	—	R/(W)*	R/(W)*	R/(W)*	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

ICSRは、8ビットのリードとライトが可能なレジスタで、I<sup>2</sup>Cバスインタフェースのバス状態の確認、フラグの確認、開始/停止条件の発行、アノリッジの確認および制御を行います。

リセット時、ICSRはH'30にイニシャライズされます。



ビット7：バスビジー（BBSY）

I<sup>2</sup>Cバス（SCL、SDA）が占有されているか開放されているかを確認するビットです。また、マスタモードでは開始条件、停止条件の発行する際に使用します。

SCL = Highレベルの状態ですDAがHighレベルからLowレベルに変化すると開始条件が発行されたことと認識し、BBSYは1にセットされます。SCL = Highレベルの状態ですDAがLowレベルからHighレベルに変化すると停止条件が発行されたことと認識し、BBSYは、0にクリアされます。

開始条件を発行する場合、BBSYを1にセット、かつSCPを0にクリアします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY、SCPをそれぞれ0にクリアすることで行います。開始条件または停止条件の発行は、MOV命令を用います。スレーブモード時のBBSYのライトは無効です。

ビット7	説明	
BBSY		
0	バス開放状態 〔クリア条件〕 停止条件検出時	(初期値)
1	バス占有状態 〔セット条件〕 開始条件検出時	

ビット6：I<sup>2</sup>Cバスインタフェース割り込み要求フラグ（IRIC）

I<sup>2</sup>CバスインタフェースがCPUに対して割り込み要求を発生したことを示します。IRICは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出した時、またはマスタ送信モードでバスアービトレーションを失った時に1にセットされます。ICCRのACKとICMRのWAITの組み合わせによりIRICのセットタイミングが異なりますので、「10.3.3(6) IRICセットタイミングとSCL制御」の項を参照してください。

IRICのクリアは、IRIC=1をリードした後、IRIC=0をライトすることで行われます。

ビット6	説明	
IRIC		
0	転送待ち状態または転送中 〔クリア条件〕 IRIC=1をリード後、0をライトした時	(初期値)
1	割り込みが発生 〔セット条件〕 マスタモード <ul style="list-style-type: none"> <li>・データ転送終了時</li> <li>・バスアービトレーションを失った時</li> </ul> スレーブモード（FS=0の時） <ul style="list-style-type: none"> <li>・スレーブアドレスが一致した時および一致後の再送開始条件または停止条件検出までのデータ転送終了時</li> <li>・ゼネラルコールアドレスを検出した時および検出後の再送開始条件または停止条件検出までのデータ転送終了時</li> </ul> スレーブモード（FS=1の時） <ul style="list-style-type: none"> <li>・データ転送終了時</li> </ul>	

ビット5：開始条件または停止条件発行禁止ビット（SCP）

マスタモードでの開始条件または停止条件の発行を制御します。開始条件を発行する場合、BBSYを1にセット、かつSCPを0にクリアします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY、SCPをそれぞれ0にクリアすることで行います。リードすると常に1が読み出されます。ライトしてもデータは格納されません。

ビット5	説明	
SCP		
0	ライト時	BBSYと組み合わせて開始条件、停止条件を発行
1	リード時	常に1をリード (初期値)
	ライト時	無効

#### ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

#### ビット3：アービトレーションロストフラグ（AL）

マスタモード時にアービトレーションを失ったことを示します。

複数のマスタが、ほぼ同時にバスを占有しようとした時に、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALが1にセットしてバスが他のマスタによって占有されたことを示します。同時にICSRのIRICをセットし、割り込み要求を発生します。

ALのクリアは、AL=1をリードした後、AL=0をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット3 AL	説 明
0	バスアービトレーションを確保 〔クリア条件〕 ・ICDRにデータをライト（送信時）またはデータをリード（受信時）した時 ・AL=1をリード後、0をライトした時 (初期値)
1	アービトレーションロスト 〔セット条件〕 ・マスタ送信モードでSCLの立ち上がりで内部SDAとバスラインが不一致の時 ・マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルの時

#### ビット2：スレーブアドレス認識フラグ（AAS）

スレーブ受信モードでアドレッシングモード（FS=0）の時、開始条件直後の第1バイトがSARのSVA6～SVA0と一致した場合、またはゼネラルコールアドレス（H'00）を検出した場合、1にセットされます。

AASのクリアは、AAS=1をリードした後、AAS=0をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット2 AAS	説 明
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）した時 ・AAS=1をリード後、0をライトした時 (初期値)
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出した時

ビット1：ゼネラルコールアドレス認識フラグ（ADZ）

スレーブ受信モードでアドレッシングモード（FS = 0）の時に、開始条件直後の第1バイトでゼネラルコールアドレス（H'00）を検出した場合、1にセットされます。

ADZのクリアは、ADZ = 1をリードした後、ADZ = 0をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット1 ADZ	説明
0	ゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）した時 ・ADZ = 1をリード後、0をライトした時 (初期値)
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードでゼネラルコールアドレスを検出した時

ビット0：アクノリッジビット（ACKB）

アクノリッジメントモードでは、アクノリッジデータを格納します。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータをACKBにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、TRS = 1の時にはロードした値が読み出され、TRS = 0の時には設定した値が読み出されます。

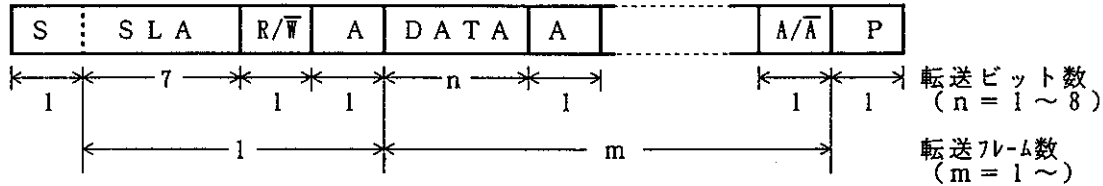
ビット0 ACKB	説明
0	受信時、アクノリッジ出力タイミングで0出力 送信時、受信デバイスからアクノリッジがあったことを示す (初期値)
1	受信時、アクノリッジ出力タイミングで1出力 送信時、受信デバイスからアクノリッジがなかったことを示す

### 10.3.3 動作説明

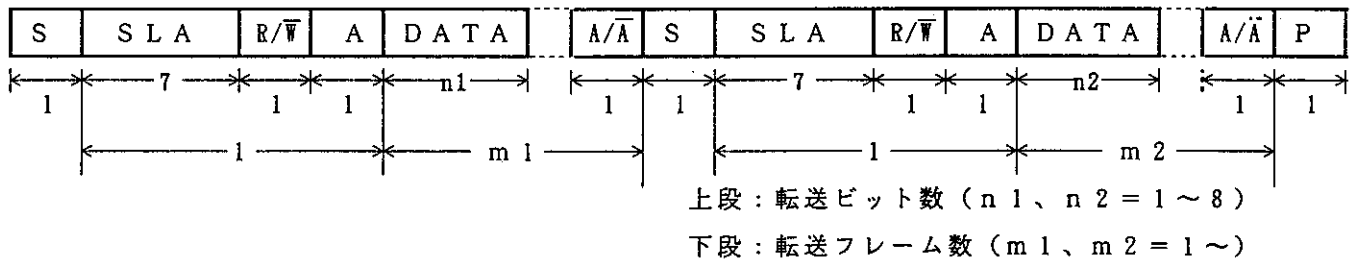
#### (1) I<sup>2</sup>Cバスデータフォーマット

I<sup>2</sup>Cバスインタフェースにはアドレッシングフォーマット(図10.3.3(1)(a)(b))とノンアドレッシングフォーマット(図10.3.3(2)(c))の3種類のデータフォーマットがあります。開始条件に続く第1バイトは必ず8ビット構成となります。また、I<sup>2</sup>Cバスのタイミングを図10.3.4に示します。

#### (a) アドレッシングフォーマット (FS = 0)



#### (b) アドレッシングフォーマット(開始条件再送時、FS = 0)

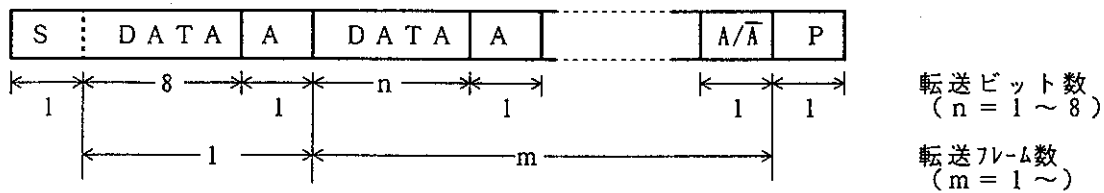


#### <記号説明>

- S : 開始条件を示します。マスタデバイスがSCL = Highレベルの状態ではSDAをHighレベルからLowレベルに変化させます。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W : 送信/受信の方向を示します。R/Wが1の場合スレーブデバイスからマスタデバイス、R/Wが0の場合マスタデバイスからスレーブデバイスへデータを転送します。
- A : アクノリッジを示します。受信デバイスがSDAをLowレベルにします(マスタ送信モード時はスレーブが、マスタ受信モード時はマスタがアクノリッジを返します)。アクノリッジを行わない場合はICCRのACKを1にすることでアクノリッジおよびアクノリッジのためのクロックパルスを発生しなくなります。
- DATA : 送受信データを示します。送受信するデータのビット長はICMRのBC2~BC0で設定します。またMSBファースト/LSBファーストの切り換えはICMRのMLSで選択します。
- P : 停止条件を示します。マスタデバイスがSCL = Highレベルの状態ではSDAをLowレベルからHighレベルに変化させます。

図10.3.3(1) I<sup>2</sup>Cバスデータフォーマット(アドレッシングフォーマット)

(c) ノンアドレッシングフォーマット (FS = "1")



<記号説明>

- S : 開始条件を示します。マスタデバイスが SCL = Highレベルの状態では SDA を Highレベルから Lowレベルに変化させます。
- A : アクノリッジを示します。受信デバイスが SDA を Lowレベルにします (マスタ送信モード時はスレーブが、マスタ受信モード時はマスタがアクノリッジを返します)。アクノリッジを行わない場合は ICCR の ACK を 1 にすることでアクノリッジおよびアクノリッジのためのクロックパルスが発生しなくなります。
- DATA : 送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 で設定します。また MSBファースト / LSBファーストの切り換えは ICMR の MLS で選択します。
- P : 停止条件を示します。マスタデバイスが SCL = Highレベルの状態では SDA を Lowレベルから Highレベルに変化させます。

図10.3.3(2) I<sup>2</sup>Cバスデータフォーマット (ノンアドレッシングフォーマット)

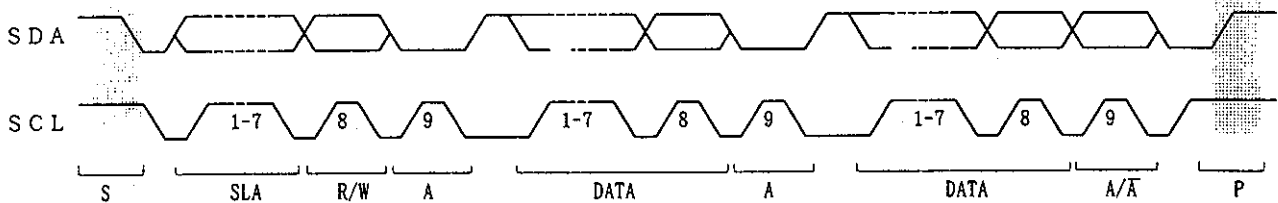


図10.3.4 I<sup>2</sup>Cバスタイミング

(2) マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。以下にマスタ送信モードの送信手順と動作を示します。

- ① ICMRのMLS、WAITおよびICCRのACK、CKS2～CKS0を動作モードに合わせて設定します。また、ICCRのICEを1にセットします。
- ② ICSRのBBSYをリードし、バスがフリー状態であることを確認後、ICCRのMST、TRSをそれぞれ1にセットしてマスタ送信モードに設定します。その後、BBSYを1にセット、かつSCPを0にクリアします。これにより、SCLがHighレベルの時SDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
- ③ ICDRにデータをライトします。マスタデバイスは、図10.3.5で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。SARのFSが0のとき、開始条件に続く第1バイトデータは7ビットのスレーブアドレスと送信/受信の方向を示します。選択された（スレーブアドレスが一致した）スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
- ④ 1バイトのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICSRのIRICが1にセットされます。この時、ICCRのIEICが1にセットされているとCPUに対し割り込み要求を発生します。またSCLは1フレーム転送終了後、内部クロックに同期して自動的にLowレベルに固定されます。
- ⑤ ソフトウェアでICSRのIRICを0にクリアします。
- ⑥ 送信を続ける場合は、次に送信するデータをICDRにライトします。次バイトの送信は内部クロックに同期して行われます。

④から⑥を繰り返し行うことにより、連続的にデータを送信することができます。送信を終了する場合はICSRのBBSYとSCPをそれぞれ0にクリアします。これにより、SCLがHighレベルの時、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

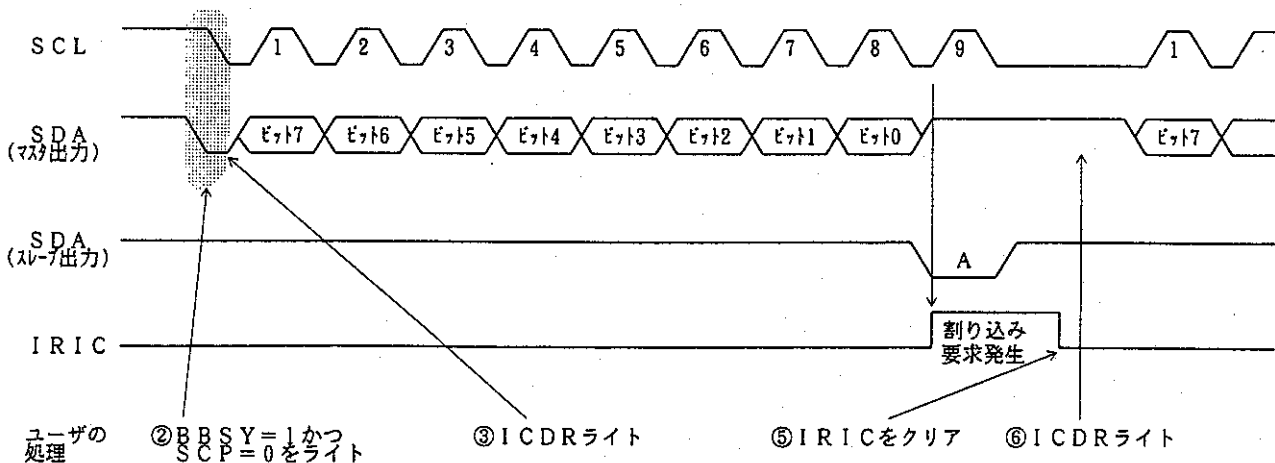


図10.3.5 マスタ送信モード動作タイミング (MLS=WAIT=ACK=0の時)

### (3) マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力して、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。以下にマスタ受信モードの受信手順と動作を示します。

- ① ICCRのTR Sを0にクリアし送信モードから受信モードに切り換えます。
- ② ICDRをリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
- ③ 1バイトのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのIR I Cが1にセットされます。この時、ICCRのIE I Cが1にセットされているとCPUに対し割り込み要求を発生します。またSCLは1フレーム転送終了後、内部クロックに同期して自動的にLowレベルに固定されます。
- ④ ソフトウェアでICSRのIR I Cを0にクリアします。
- ⑤ ICDRをリードすると内部クロックに同期して次の受信が開始されます。

③から⑤を繰り返し行うことにより、連続的にデータを受信することができます。受信を終了する場合は、TR Sを1にセットしICDRをリードした後、ICSRのBBSYとSCPをそれぞれ0にクリアします。これにより、SCLがHighレベルの時SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。また、1バイト受信モジュール後アクノリッジを返さない場合は、受信開始前にICSRのACKBを1にセットしておきます。

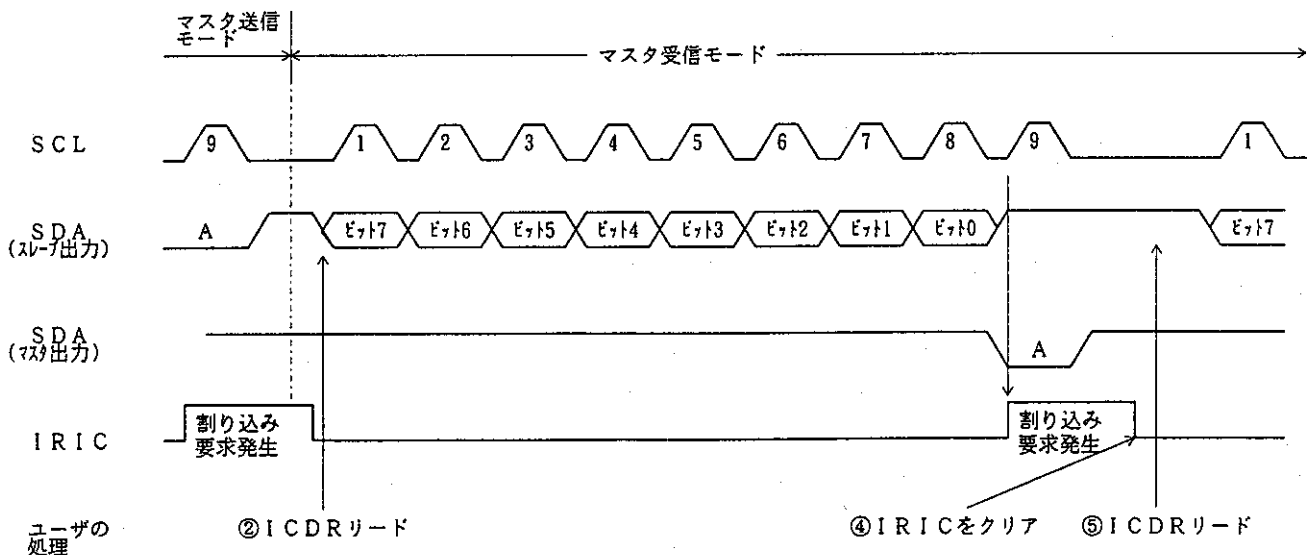


図10.3.6 マスタ受信モード動作タイミング (M L S = W A I T = A C K = 0 の時)



#### (4) スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- ① ICMRのMLS、WAITおよびICCRのMST、TRS、ACK、CKS2～CKS0を動作モードに合わせて設定します。また、ICCRのICEを1にセットします。
- ② 開始条件を検出後の第1バイトでスレーブアドレスが一致した時、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICSRのIRICが1にセットされ、割り込みを発生します。また、8ビット目のデータ(R/W)が1の時ICCRのTRSが1にセットされ、自動的にスレーブ送信モードに変化します。スレーブデバイスは送信クロックの立ち下がりからICDRにデータをライトするまでSCLをLowレベルにします。
- ③ ソフトウェアでICSRのIRICを0にクリアします。
- ④ ICDRにデータをライトします。スレーブデバイスは図10.3.7で示すタイミングでマスタデバイスが出力するクロックにしたがい、ICDRにライトされたデータを順次送出します。
- ⑤ 1バイトのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICSRのIRICが1にセットされます。このとき、ICCRのIEICが1にセットされているとCPUに対し割り込み要求を発生します。またこのスレーブデバイスは送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBに格納されるので転送動作が正常に行われたかどうか確認することができます。
- ⑥ ソフトウェアでICSRのIRICを0にクリアします。
- ⑦ 送信を続ける場合は次に送信するデータをICDRにライトします。

⑤から⑦を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合はICDRにH'FFをライトします。SCLがHighレベルのときSDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICSRのBBSYが0にクリアされます。

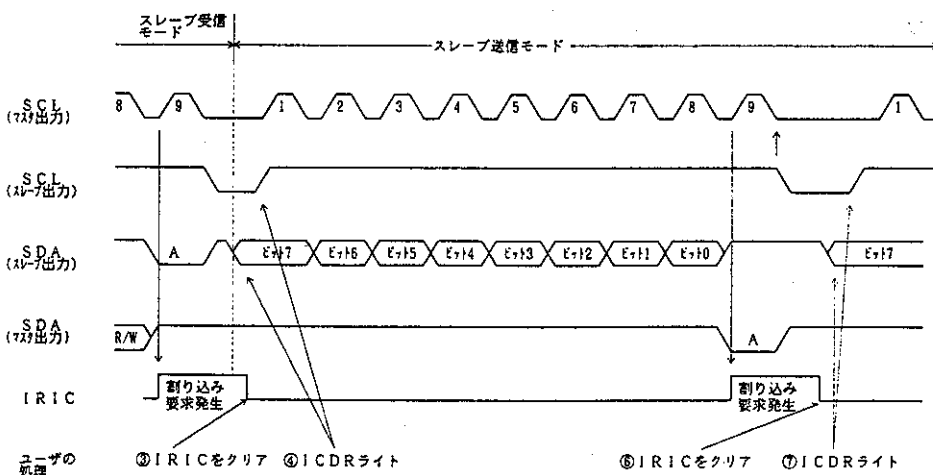


図10.3.7 スレーブ送信モード動作タイミング (MLS=WAIT=ACK=0の時)

(5) スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- ① ICMRのMSL、WAITおよびICCRのMST、TRS、ACKを動作モードに合わせて設定します。また、ICCRのICEを1にセットします。
- ② マスタデバイスの出力した開始条件を検出すると、ICSRのBBSYが1にセットされます。
- ③ 開始条件後の第1バイトでスレーブアドレスが一致した時、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICSRのIRICが1にセットされます。この時、ICCRのIEICが1にセットされていると、CPUに対し割り込み要求が発生します。また、スレーブデバイスは受信クロックの立ち上がりからICDRにデータをリードするまでSCLをLowレベルにします。
- ④ ソフトウェアでICSRのIRICを0にクリアします。
- ⑤ ICDRにデータをリードすると次の受信が開始されます。

④から⑤を繰り返し行うことにより、受信動作を継続できます。SCLがHighレベルの時、SDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICSRのBBSYが0にクリアされます。

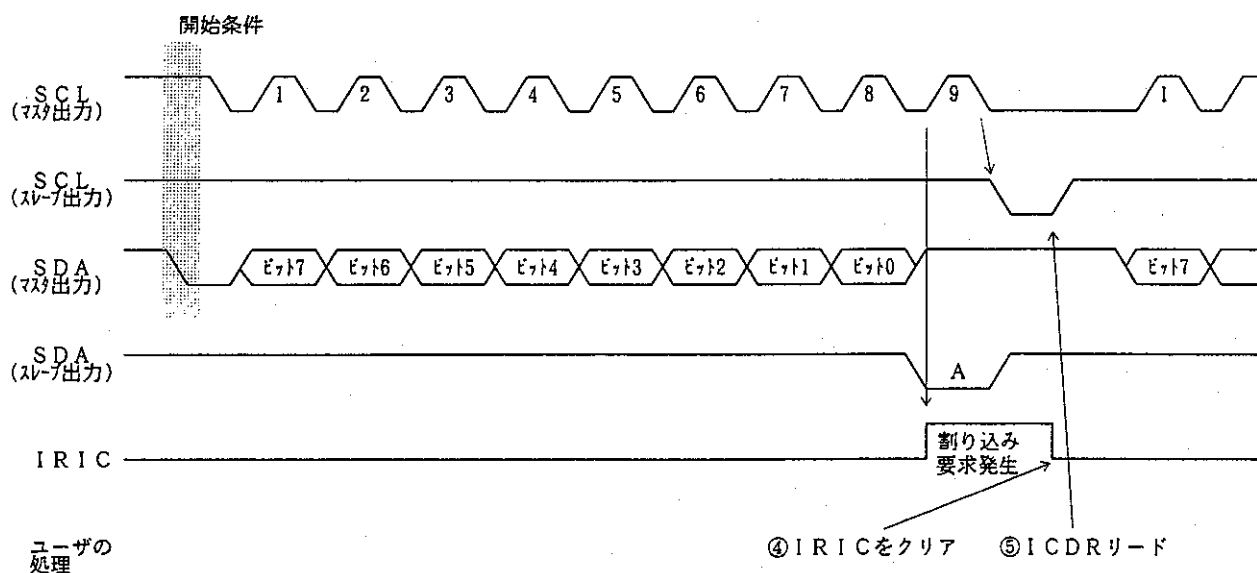
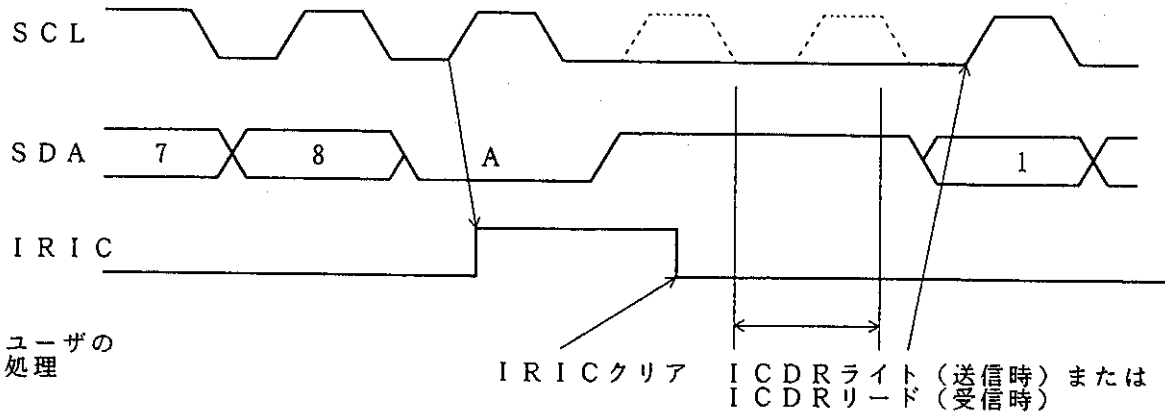


図10.3.8 スレーブ受信モード動作タイミング (MSL=WAIT=ACK=0の時)

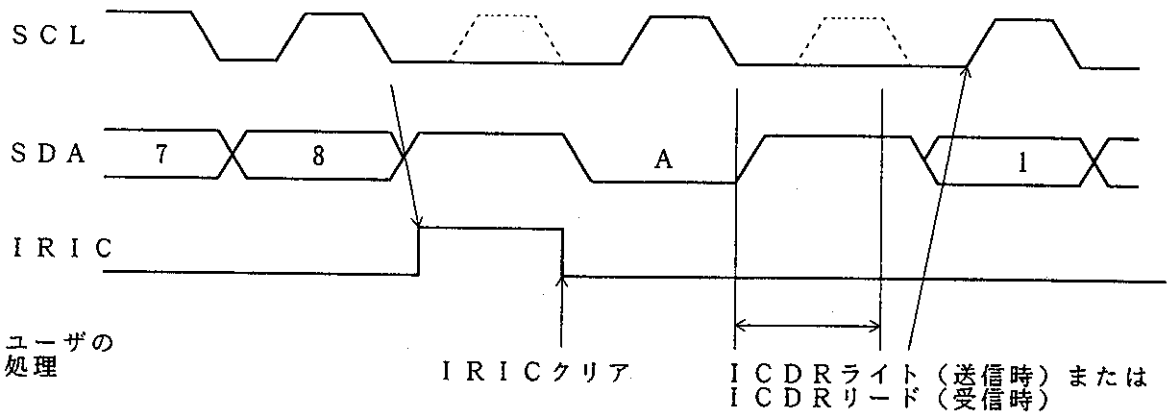
(6) I R I CセットタイミングとSCL制御

割り込み要求フラグ ( I R I C ) セットタイミングは I C M R の W A I T 、 I C C R の A C K の組み合わせにより異なります。また S C L は 1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 10.3.9 に I R I C セットタイミングと S C L 制御を示します。

(a) W A I T = 0 、 A C K = 0 の時



(b) W A I T = 1 、 A C K = 0 の時



【注】 I R I C クリア後 I C D R ライト（送信時）または I C D R リード（受信時）を実行する場合、S C L（9クロック目）が立ち上がってから実行してください。

(c) A C K = 1 の時

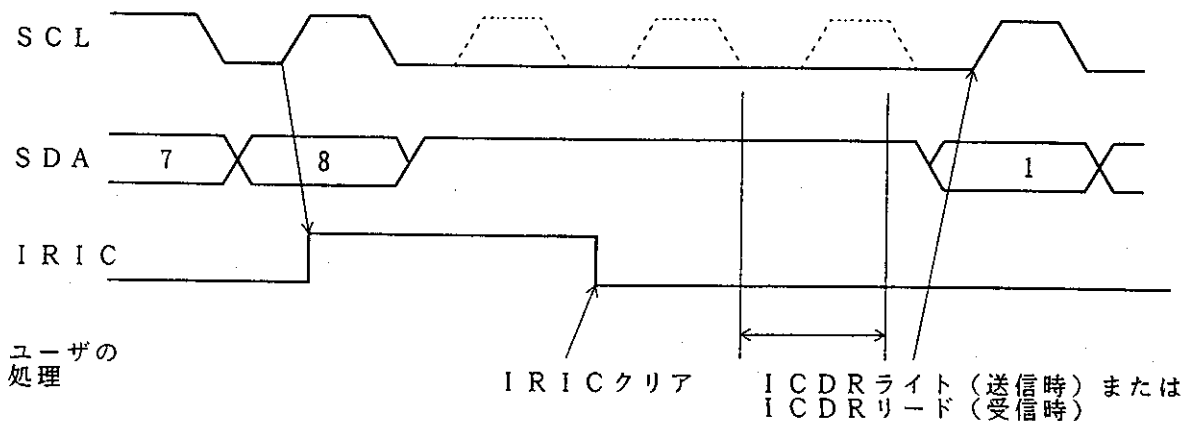


図 10.3.9 I R I C セットタイミングと S C L 制御

(7) ノイズ除去回路

SCL端子およびSDA端子の状態はノイズ除去回路を経由して内部に取り込まれます。図10.3.10にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL入力信号(またはSDA入力信号)がシステムクロックでサンプリングされ、2つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

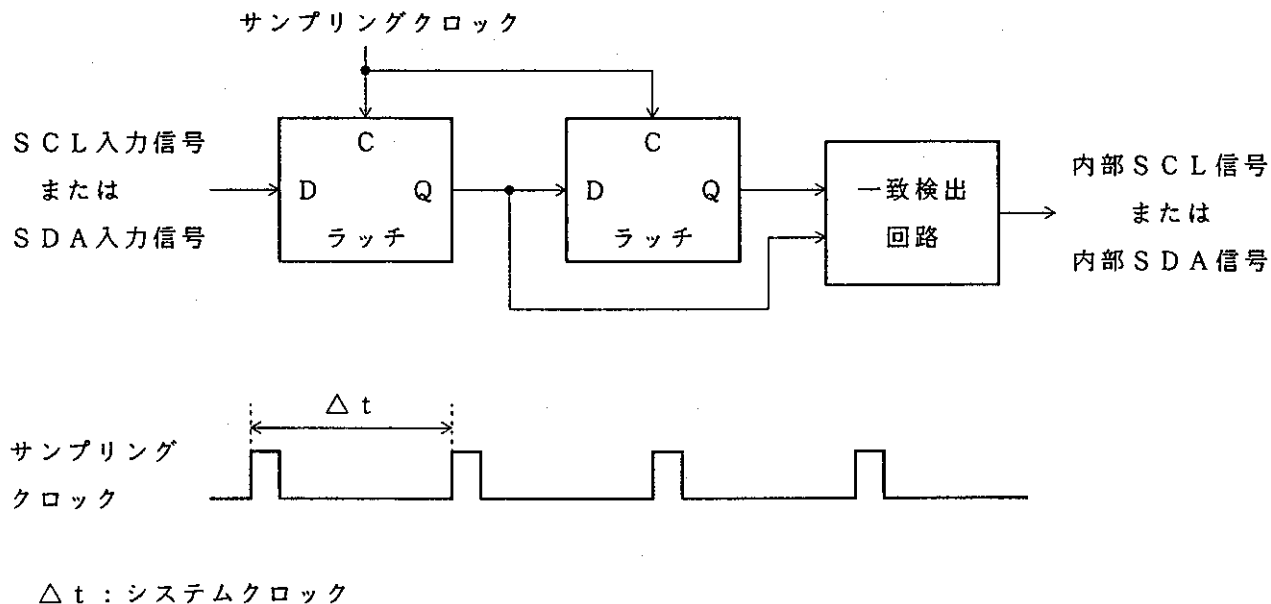
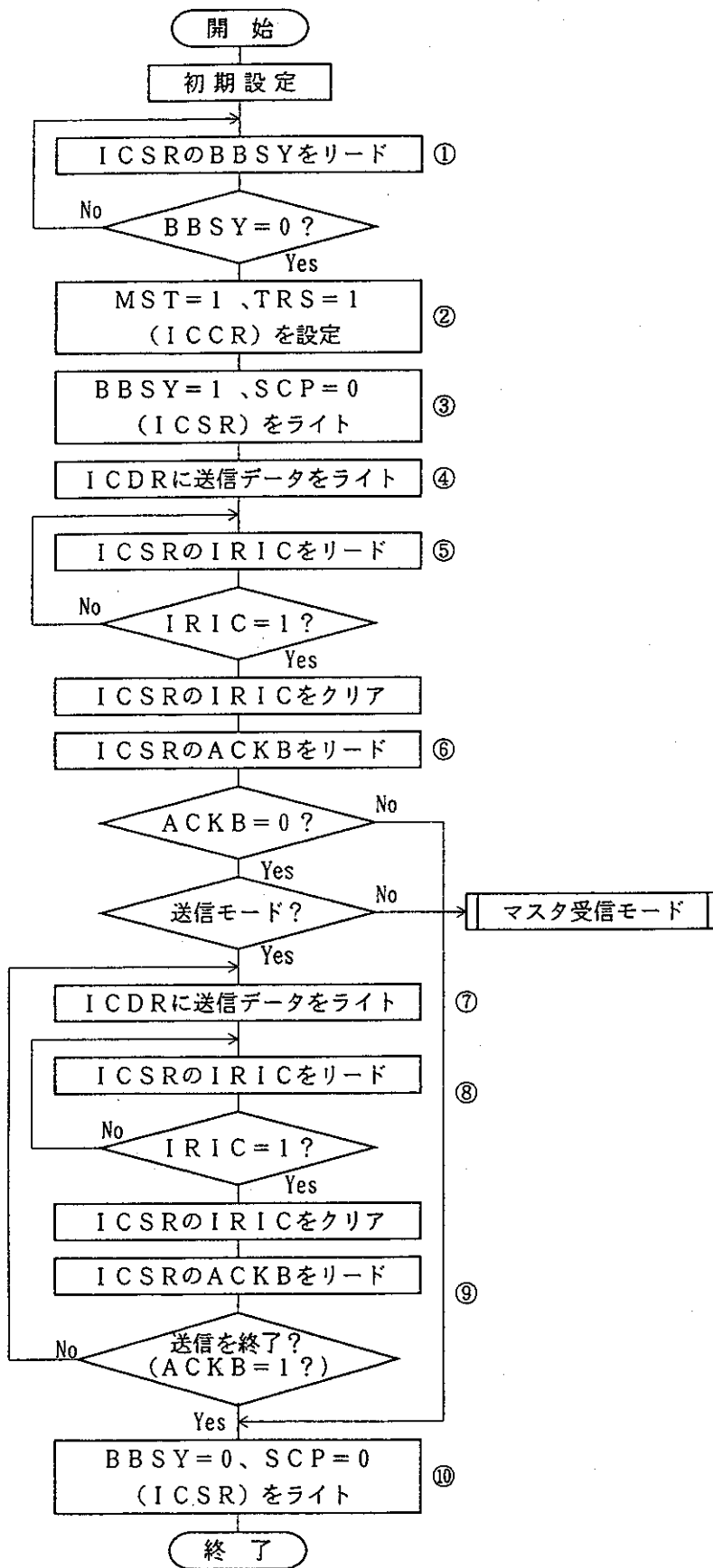


図10.3.10 ノイズ除去回路のブロック図

(8) 使用例

I<sup>2</sup>Cバスインタフェースを使用する場合の各モードでのフローチャート例を図10.3.11～図10.3.14に示します。



- ① SCL、SDAラインの状態判定
- ② マスタ送信モードに設定
- ③ 開始条件生成
- ④ 第1バイト (スレーブアドレス+R/W) の送信データの設定
- ⑤ 1バイト送信終了待ち
- ⑥ 指定したスレーブデバイスからのアクリッジの判定
- ⑦ 2バイト目以降の送信データの設定
- ⑧ 1バイト送信終了待ち
- ⑨ 転送終了判定
- ⑩ 停止条件生成

図10.3.11 マスタ送信モードのフローチャート例

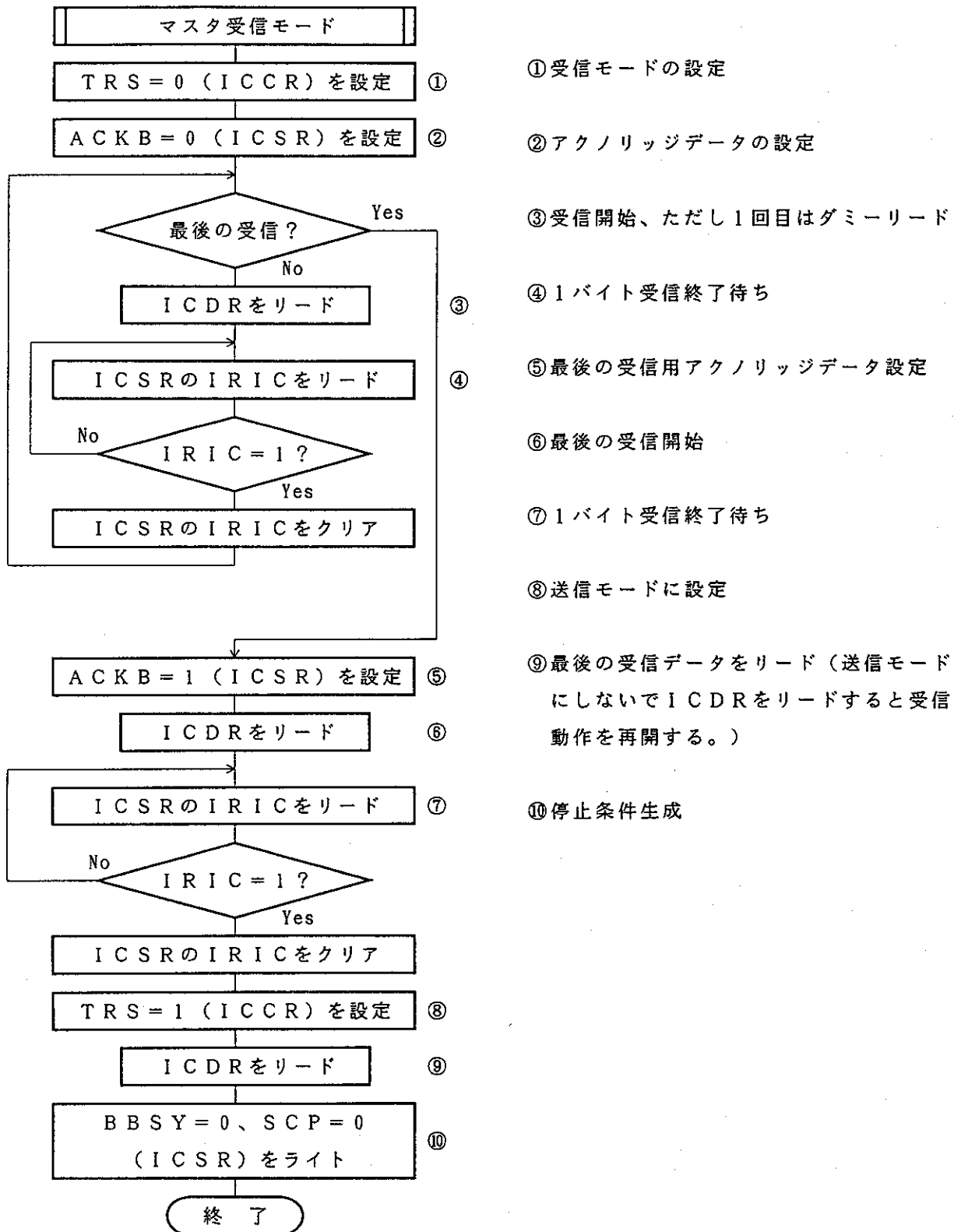


図10.3.12 マスタ受信モードのフローチャート例

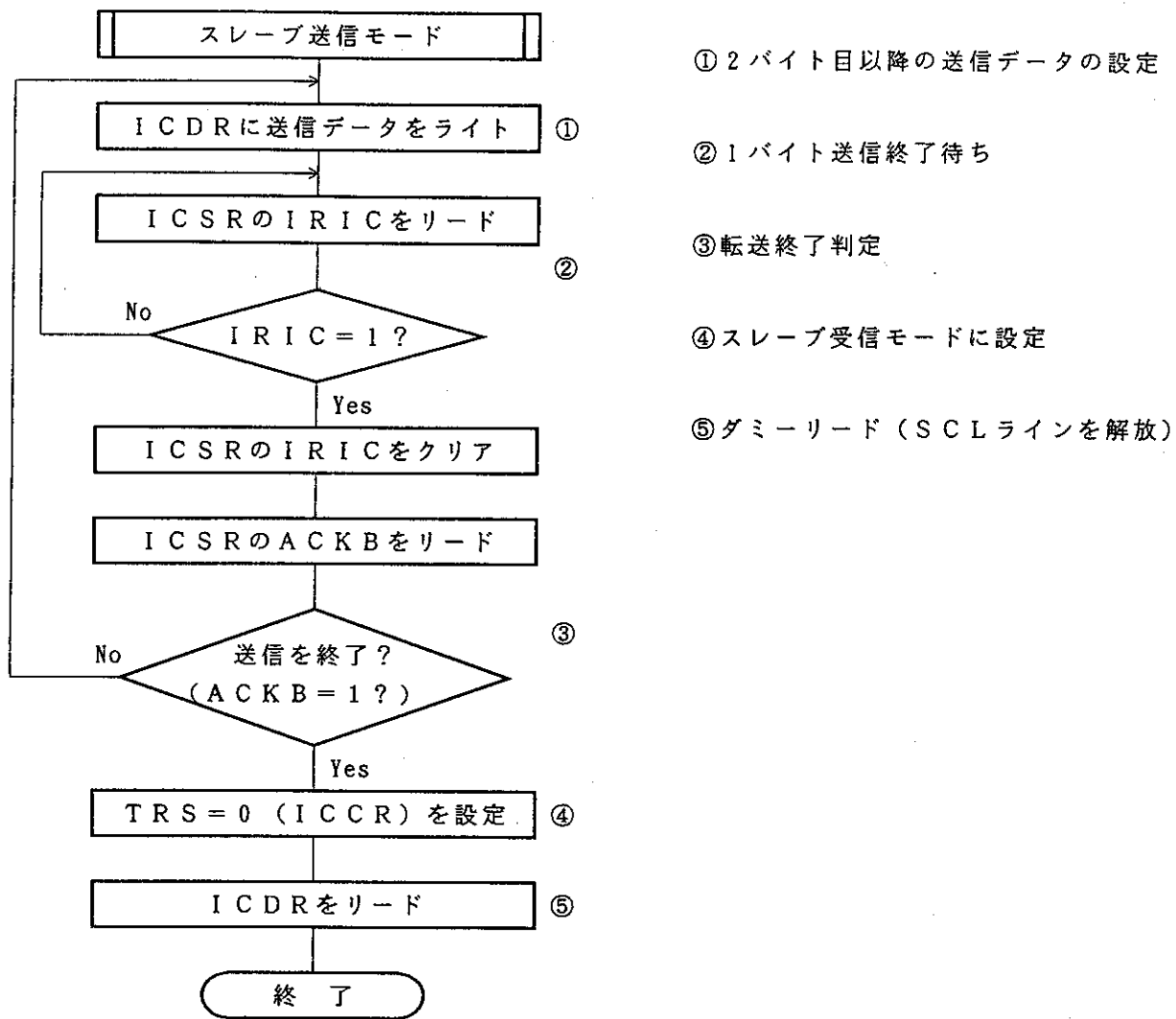
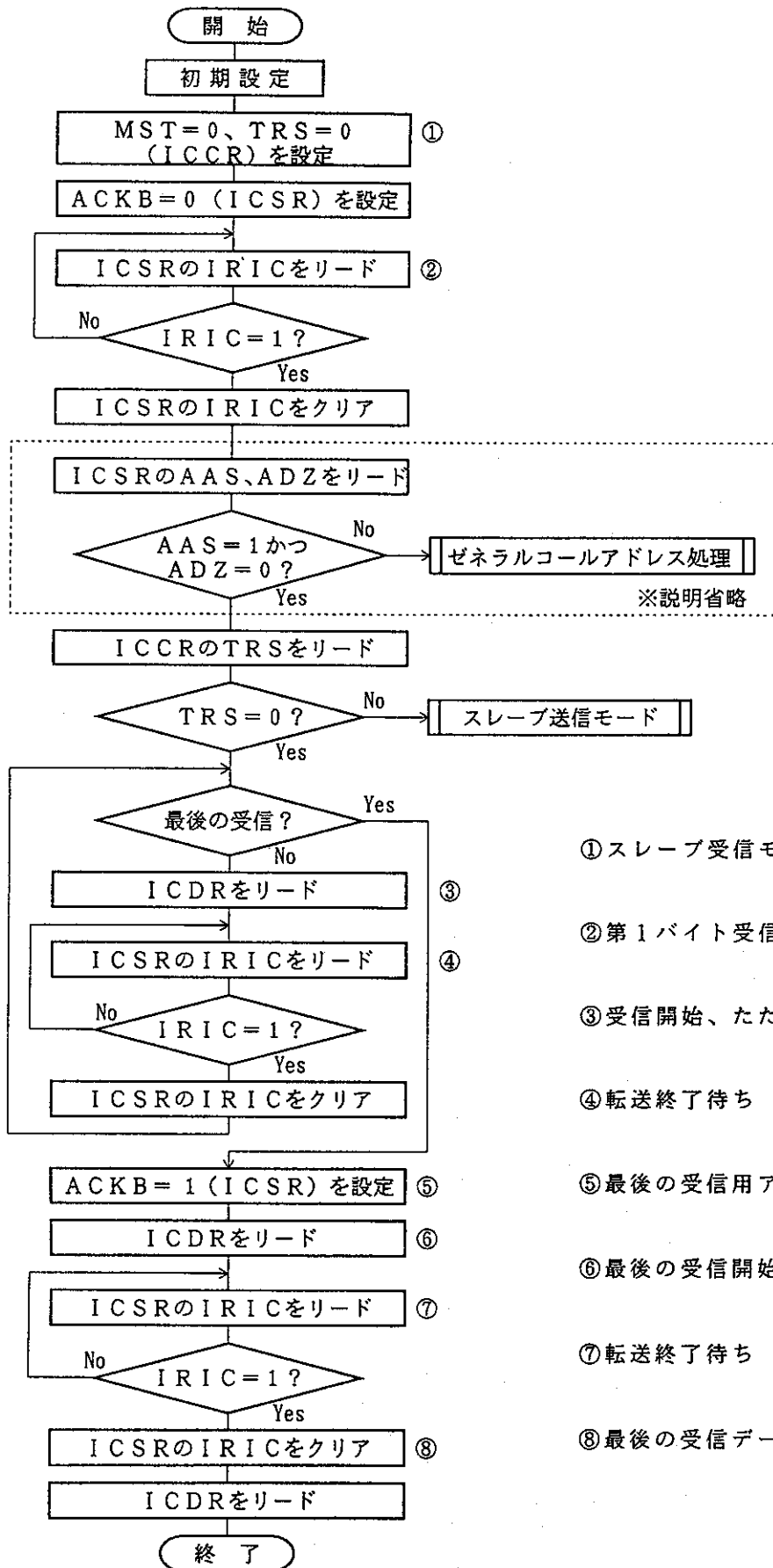


図10.3.13 スレーブ送信モードフローチャート例



①スレーブ受信モードに設定

②第1バイト受信終了待ち

③受信開始、ただし1回目はダミーリード

④転送終了待ち

⑤最後の受信用アクリッジデータ設定

⑥最後の受信開始

⑦転送終了待ち

⑧最後の受信データをリード

図10.3.14 スレーブ受信モードフローチャート例



#### 10.3.4 使用上の注意事項

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後ポートをリードし、SCL、SDAが共にLowレベルになっていることを確認し、その後、停止条件生成のための命令を発行してください。
- (2) 次転送のスタート条件は、下記の2点です。ICDRをリードまたはライトする場合はこれらの条件に注意してください。
  - ① ICE = 1かつTRS = 1の状態(ICDRに送信データをライトした時)
  - ② ICE = 1かつTRS = 0の状態(ICDRをリードした時)
- (3) 本I<sup>2</sup>Cバスインターフェースはマスタモード時SCLラインをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{r}$  (Lowレベルから $V_{IH}$ まで変化する時間)が $2.5t_{r}$ 以上の場合SCLのHigh期間が伸ばされます。SCLの立ち上がり時間はSCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには $t_{r} = 2.5t_{r}$ 以内となるようにプルアップ抵抗、負荷容量を設定してください。

# 11. 8ビットPWM

---

## 第11章 目次

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	PWMコントロールレジスタ (PWCR)	11-4
11.2.2	PWMデータレジスタ 0 (PWDR0)	11-4
11.2.3	PWMデータレジスタ 1 (PWDR1)	11-5
11.2.4	PWMデータレジスタ 2 (PWDR2)	11-5
11.2.5	PWMデータレジスタ 3 (PWDR3)	11-5
11.2.6	PWMデータレジスタ 4 (PWDR4)	11-6
11.2.7	PWMデータレジスタ 5 (PWDR5)	11-6
11.2.8	PWMデータレジスタ 6 (PWDR6)	11-6
11.2.9	PWMデータレジスタ 7 (PWDR7)	11-7
11.3	動作説明	11-8
11.4	使用上の注意	11-11

---

## 11.1 概要

本LSIは、8ビットPWM (Pulse Width Modulation) を8チャンネル内蔵しており、ローパスフィルタを接続することでD/A変換器として使用できます。

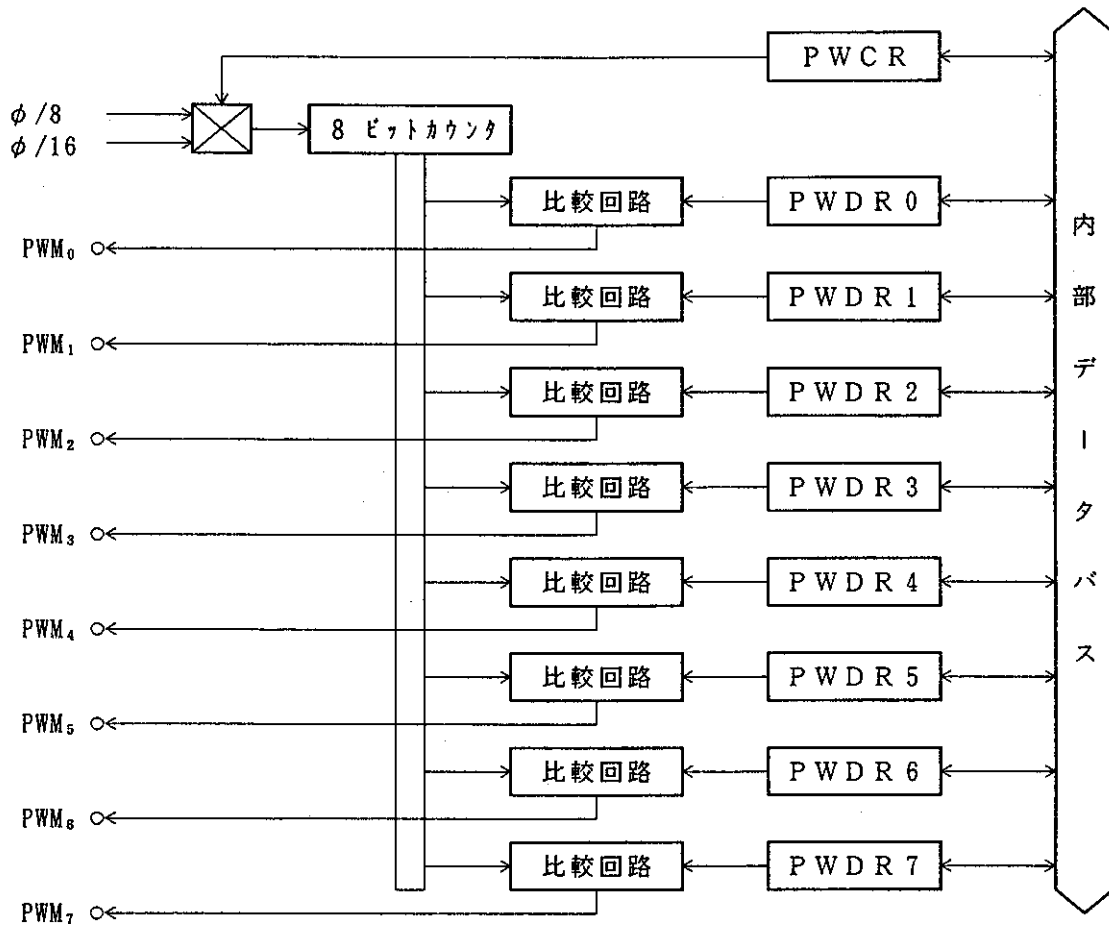
### 11.1.1 特長

8ビットPWMの特長を以下に示します。

- 8チャンネル独立にPWM出力設定可能
- 1周期を409.6 $\mu$ s、819.2 $\mu$ s (5MHz動作時) から選択可能
- マスタスレーブ構成のPWMレジスタを8チャンネル内蔵
- 出力端子は中耐圧NMOSオープンドレイン出力

### 11.1.2 ブロック図

PWMのブロック図を図11.1に示します。



<記号説明>

- PWCR : PWMコントロールレジスタ
- PWDR 0 : PWMデータレジスタ 0
- PWDR 1 : PWMデータレジスタ 1
- PWDR 2 : PWMデータレジスタ 2
- PWDR 3 : PWMデータレジスタ 3
- PWDR 4 : PWMデータレジスタ 4
- PWDR 5 : PWMデータレジスタ 5
- PWDR 6 : PWMデータレジスタ 6
- PWDR 7 : PWMデータレジスタ 7

図11.1 PWMのブロック図

### 11.1.3 端子構成

PWMの端子構成を表11.1に示します。

表11.1 端子構成

名 称	略称	入出力	機 能
PWM <sub>0</sub> 出力端子	PWM <sub>0</sub>	出 力	PWMパルス出力0
PWM <sub>1</sub> 出力端子	PWM <sub>1</sub>	出 力	PWMパルス出力1
PWM <sub>2</sub> 出力端子	PWM <sub>2</sub>	出 力	PWMパルス出力2
PWM <sub>3</sub> 出力端子	PWM <sub>3</sub>	出 力	PWMパルス出力3
PWM <sub>4</sub> 出力端子	PWM <sub>4</sub>	出 力	PWMパルス出力4
PWM <sub>5</sub> 出力端子	PWM <sub>5</sub>	出 力	PWMパルス出力5
PWM <sub>6</sub> 出力端子	PWM <sub>6</sub>	出 力	PWMパルス出力6
PWM <sub>7</sub> 出力端子	PWM <sub>7</sub>	出 力	PWMパルス出力7

### 11.1.4 レジスタ構成

PWMのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
PWMコントロールレジスタ	PWCR	R/W	H'FE	H'FF90
PWMデータレジスタ0	PWDR0	R/W	H'00	H'FF91
PWMデータレジスタ1	PWDR1	R/W	H'00	H'FF92
PWMデータレジスタ2	PWDR2	R/W	H'00	H'FF93
PWMデータレジスタ3	PWDR3	R/W	H'00	H'FF94
PWMデータレジスタ4	PWDR4	R/W	H'00	H'FF95
PWMデータレジスタ5	PWDR5	R/W	H'00	H'FF96
PWMデータレジスタ6	PWDR6	R/W	H'00	H'FF97
PWMデータレジスタ7	PWDR7	R/W	H'00	H'FF98

## 11.2 各レジスタの説明

### 11.2.1 PWMコントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKS
初期値:	1	1	1	1	1	1	1	0
R/W:	—	—	—	—	—	—	—	R/W

PWMコントロールレジスタ (PWCR) は、8ビットのリードとライトが可能なレジスタで、8ビットカウンタの入力クロックの選択を行います。

PWCRは、リセット時H'FEにイニシャライズされます。

#### ビット7～1：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

#### ビット0：クロックセレクト (CKS)

8ビットカウンタの入力クロックの選択を行います。

ビット0	説明
CKS	
0	入力クロックは $\phi/16$ を選択。1周期 = $4096/\phi$ (初期値)
1	入力クロックは $\phi/8$ を選択。1周期 = $2048/\phi$

### 11.2.2 PWMデータレジスタ0 (PWDR0)

ビット:	7	6	5	4	3	2	1	0
	PWDR0 <sub>7</sub>	PWDR0 <sub>6</sub>	PWDR0 <sub>5</sub>	PWDR0 <sub>4</sub>	PWDR0 <sub>3</sub>	PWDR0 <sub>2</sub>	PWDR0 <sub>1</sub>	PWDR0 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR0は、8ビットのリードとライトが可能なレジスタでPWM<sub>0</sub>出力のHighレベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR0は、リセット時H'00にイニシャライズされます。

### 11.2.3 PWMデータレジスタ1 (PWDR1)

ビット:	7	6	5	4	3	2	1	0
	PWDR1 <sub>7</sub>	PWDR1 <sub>6</sub>	PWDR1 <sub>5</sub>	PWDR1 <sub>4</sub>	PWDR1 <sub>3</sub>	PWDR1 <sub>2</sub>	PWDR1 <sub>1</sub>	PWDR1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR1は、8ビットのリードとライトが可能なレジスタでPWM<sub>1</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR1は、リセット時H'00にイニシャライズされます。

### 11.2.4 PWMデータレジスタ2 (PWDR2)

ビット:	7	6	5	4	3	2	1	0
	PWDR2 <sub>7</sub>	PWDR2 <sub>6</sub>	PWDR2 <sub>5</sub>	PWDR2 <sub>4</sub>	PWDR2 <sub>3</sub>	PWDR2 <sub>2</sub>	PWDR2 <sub>1</sub>	PWDR2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR2は、8ビットのリードとライトが可能なレジスタでPWM<sub>2</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR2は、リセット時H'00にイニシャライズされます。

### 11.2.5 PWMデータレジスタ3 (PWDR3)

ビット:	7	6	5	4	3	2	1	0
	PWDR3 <sub>7</sub>	PWDR3 <sub>6</sub>	PWDR3 <sub>5</sub>	PWDR3 <sub>4</sub>	PWDR3 <sub>3</sub>	PWDR3 <sub>2</sub>	PWDR3 <sub>1</sub>	PWDR3 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR3は、8ビットのリードとライトが可能なレジスタでPWM<sub>3</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR3は、リセット時H'00にイニシャライズされます。

### 11.2.6 PWMデータレジスタ4 (PWDR4)

ビット:	7	6	5	4	3	2	1	0
	PWDR4 <sub>7</sub>	PWDR4 <sub>6</sub>	PWDR4 <sub>5</sub>	PWDR4 <sub>4</sub>	PWDR4 <sub>3</sub>	PWDR4 <sub>2</sub>	PWDR4 <sub>1</sub>	PWDR4 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR4は、8ビットのリードとライトが可能なレジスタでPWM<sub>4</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR4は、リセット時H'00にイニシャライズされます。

### 11.2.7 PWMデータレジスタ5 (PWDR5)

ビット:	7	6	5	4	3	2	1	0
	PWDR5 <sub>7</sub>	PWDR5 <sub>6</sub>	PWDR5 <sub>5</sub>	PWDR5 <sub>4</sub>	PWDR5 <sub>3</sub>	PWDR5 <sub>2</sub>	PWDR5 <sub>1</sub>	PWDR5 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR5は、8ビットのリードとライトが可能なレジスタでPWM<sub>5</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR5は、リセット時H'00にイニシャライズされます。

### 11.2.8 PWMデータレジスタ6 (PWDR6)

ビット:	7	6	5	4	3	2	1	0
	PWDR6 <sub>7</sub>	PWDR6 <sub>6</sub>	PWDR6 <sub>5</sub>	PWDR6 <sub>4</sub>	PWDR6 <sub>3</sub>	PWDR6 <sub>2</sub>	PWDR6 <sub>1</sub>	PWDR6 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR6は、8ビットのリードとライトが可能なレジスタでPWM<sub>6</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR6は、リセット時H'00にイニシャライズされます。



### 11.2.9 PWMデータレジスタ7 (PWDR7)

ビット:	7	6	5	4	3	2	1	0
	PWDR7 <sub>7</sub>	PWDR7 <sub>6</sub>	PWDR7 <sub>5</sub>	PWDR7 <sub>4</sub>	PWDR7 <sub>3</sub>	PWDR7 <sub>2</sub>	PWDR7 <sub>1</sub>	PWDR7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR7は、8ビットのリードとライトが可能なレジスタでPWM<sub>7</sub>出力の High レベル幅を制御します。本レジスタはマスタスレーブ構成になっており、カウンタがオーバーフローするたびにマスタからスレーブへロードされます(図11.2参照)。リードはスレーブ側が読み出されます。

PWDR7は、リセット時H'00にイニシャライズされます。

### 11.3 動作説明

#### (1) マスタレジスタの構成

PWDR 0～PWDR 7は、マスタスレーブ構成になっており、それぞれマスタレジスタとスレーブレジスタを持っています。構成を図11.2に示します。

- ・ライトするとCPUからマスタPWDRに書き込みます。
- ・リードするとスレーブPWDRが読み出されます。
- ・マスタPWDRからスレーブPWDRへのコピーは、カウンタがオーバーフローしてH'FF→H'00に変化したとき行われます。

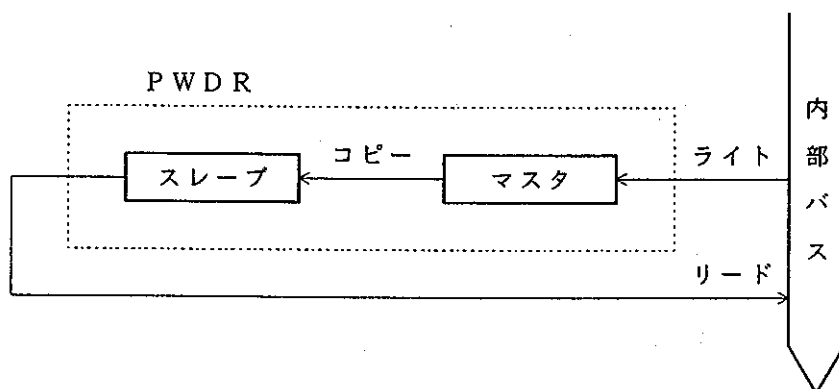


図11.2 PWDRの構成

## (2) PWDRデータとPWM出力の更新タイミング

PWDRデータの更新タイミングとPWM出力の更新タイミングとを図11.3に示します。

PWDRにデータをライトするとマスタPWDRが更新され、カウンタがオーバーフローするとマスタPWDRの内容がスレーブPWDRに転記されます。PWM出力は、カウンタがオーバーフローしたとき High レベルになり、カウンタの値がスレーブPWDRの値と一致したとき Low レベルになります。

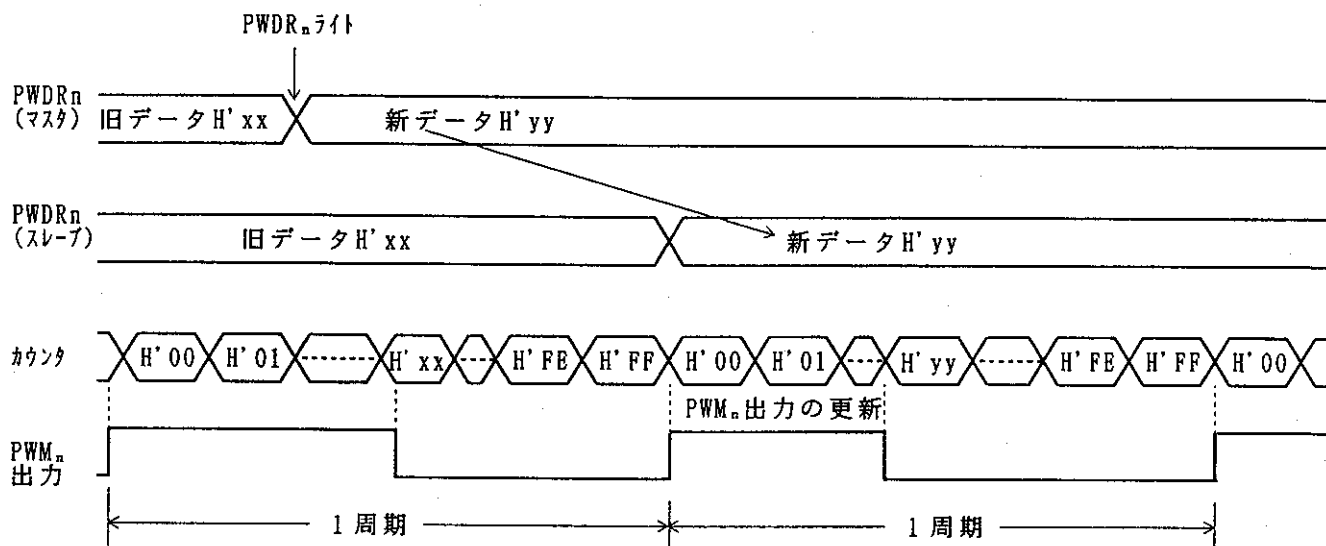


図11.3 PWDR<sub>n</sub>およびPWM<sub>n</sub>出力更新タイミング

## (3) PWM出力波形

PWMは8ビットフリーランニングカウンタ、PWMデータレジスタ、比較回路から構成されており、PWM出力波形は図11.4に示すような波形となります。出力波形 High レベル幅および1周期は次式で表されます。

$$\text{High レベル幅} = (\text{PWMデータレジスタの値}) \times t_{\phi}$$

$$1 \text{ 周期} = 256 \times t_{\phi}$$

ここで、 $t_{\phi}$ はPWCRのCKSで設定した値で $16/\phi$  (CKS = 0の時)または $8/\phi$  (CKS = 1の時)となります。

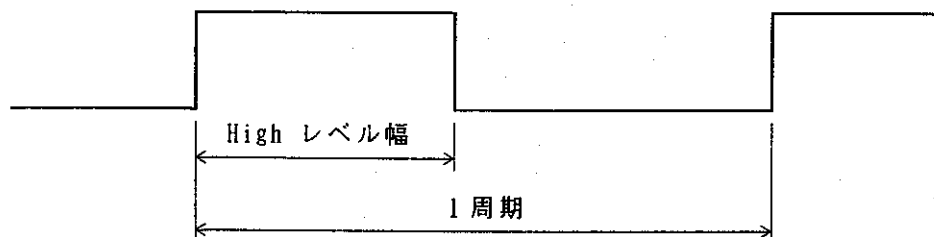


図11.4 PWM<sub>n</sub>出力波形

#### (4) PWMの使用例

次に、PWMを使用する際のレジスタの設定手順（例）を示します。

- ① ポートモードレジスタ3（PMR3）のPWM<sub>n</sub>ビットを1にセットしてPWM<sub>n</sub>出力端子に設定します。（n=7～0）
- ② PWCRのCKSにより、8ビットカウンタの入力クロックを設定します。
- ③ PWMデータレジスタ（PWDR<sub>n</sub>）に出力波形データを設定します。出力波形の更新はカウンタオーバフローに同期して行われます。

出力波形を変更する場合は③を繰り返し実行することにより、出力波形を制御することができます。

#### (5) 動作モード

PWMの動作モードを表11.3に示します。

表11.3 PWMの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
PWM <sub>n</sub> 出力	ハイ インビダンス	動作	動作	Low	Low	Low	ハイ インビダンス
PWCR	リセット	動作	保持	保持	保持	保持	保持
PWDR <sub>n</sub>	リセット	動作	保持	保持	保持	保持	保持

(n=7～0)

## 11.4 使用上の注意

PWMを使用する際は、以下のことに注意してください。

(1) PWM動作中のクロックセレクト (CKS) 変更について

PWDR<sub>n</sub> ≠ H'00 のとき、PWM動作途中でCKSを変更した場合には、PWM<sub>n</sub>出力波形が正しく動作できなくなりますので注意してください。

動作途中でCKSを変更する場合は、以下に示すCKS変更手順を遵守してください。

- ① 動作途中でCKSを変更する前には、必ず全チャネルのPWDR<sub>n</sub>にH'00をライトします。
- ② 最後にデータライトしたPWDR<sub>n</sub>をリードして、PWDR<sub>n</sub> = H'00を確認します。
- ③ PWDR<sub>n</sub> ≠ H'00の場合は、再度上記②を実行します。
- ④ PWDR<sub>n</sub> = H'00を確認できましたら、PWCRのCKSを変更します。
- ⑤ 順次各PWDR<sub>n</sub>に出力波形データをライトして設定します。

(2) サブアクティブモード、サブスリープモード、ウォッチモード、スタンバイモードの各モード中は、PWM<sub>n</sub>出力が Low レベル固定になります。また、これらの各モード解除後は、すぐにPWM<sub>n</sub>出力を開始します。

(3) PWM<sub>n</sub>出力を High レベル固定にする場合について

PWM<sub>n</sub>出力を High レベル固定にする場合には、ポートデータレジスタ3 (PDR3) の P3.<sub>0</sub> = 1、ポートコントロールレジスタ3 (PCR3) の PCR3.<sub>0</sub> = 1、ポートモードレジスタ3 (PMR3) の PWM<sub>n</sub> = 0として設定してください。

本PWMは、PWDR<sub>n</sub> = H'FFに設定した場合、High レベル = 255 × t<sub>φ</sub>、Low レベル = t<sub>φ</sub> になりますので注意してください。

(4) PWM<sub>n</sub>出力の1周期は、8チャネルともすべて同じです。チャネルごとに独立した周期を設定することはできません。また、PWM<sub>n</sub>出力の Low → High 変化点も8チャネルともすべて同じになります。

(5) アクティブモードおよびスリープモードでPWMを動作させているときに、これらの動作モードを、リセット、ウォッチモード、サブアクティブモード、サブスリープモード、およびスタンバイモードに変更したときには、PWM<sub>n</sub>出力がハザード出力になる場合がありますので注意してください。

# 12. A/D変換器

## 第12章 目次

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/Dリザルトレジスタ (ADRR)	12-4
12.2.2	A/Dモードレジスタ (AMR)	12-4
12.2.3	A/Dスタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A/D変換動作	12-7
12.3.2	外部トリガによるA/D変換器の起動	12-7
12.4	割り込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12

## 12.1 概要

本LSIは、抵抗ラダー方式による逐次比較型A/D変換器を内蔵しており、最大12チャンネルのアナログ入力の測定ができます。

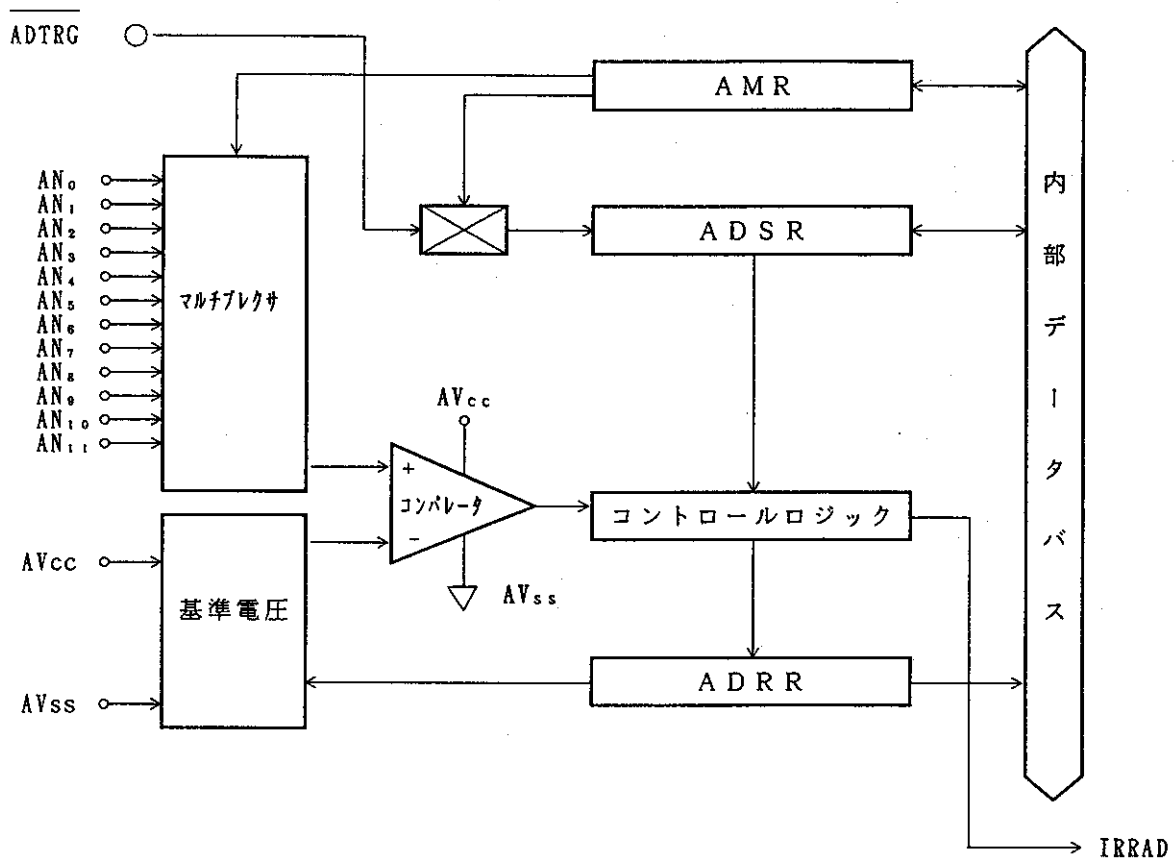
### 12.1.1 特長

A/D変換器の特長を以下に示します。

- 8ビットの分解能
- 入力チャンネル：12チャンネル
- 変換時間：1チャンネル当たり12.4 $\mu$ s（5MHz動作時）
- サンプル&ホールド機能
- A/D変換終了割り込み要求を発生
- 外部トリガ入力により、A/D変換開始を指定可能

## 12.1.2 ブロック図

A/D変換器のブロック図を図12.1に示します。



<記号説明>

- AMR : A/Dモードレジスタ
- ADSR : A/Dスタートレジスタ
- ADRR : A/Dリザルトレジスタ

図12.1 A/D変換器ブロック図



### 12.1.3 端子構成

A/D変換器の端子構成を表12.1に示します。

表12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV <sub>CC</sub>	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV <sub>SS</sub>	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN <sub>0</sub>	入力	アナログ入力チャンネル0
アナログ入力端子1	AN <sub>1</sub>	入力	アナログ入力チャンネル1
アナログ入力端子2	AN <sub>2</sub>	入力	アナログ入力チャンネル2
アナログ入力端子3	AN <sub>3</sub>	入力	アナログ入力チャンネル3
アナログ入力端子4	AN <sub>4</sub>	入力	アナログ入力チャンネル4
アナログ入力端子5	AN <sub>5</sub>	入力	アナログ入力チャンネル5
アナログ入力端子6	AN <sub>6</sub>	入力	アナログ入力チャンネル6
アナログ入力端子7	AN <sub>7</sub>	入力	アナログ入力チャンネル7
アナログ入力端子8	AN <sub>8</sub>	入力	アナログ入力チャンネル8
アナログ入力端子9	AN <sub>9</sub>	入力	アナログ入力チャンネル9
アナログ入力端子10	AN <sub>10</sub>	入力	アナログ入力チャンネル10
アナログ入力端子11	AN <sub>11</sub>	入力	アナログ入力チャンネル11
外部トリガ入力端子	ADTRG	入力	A/D変換の開始を制御する外部トリガ入力

### 12.1.4 レジスタ構成

A/D変換器のレジスタ構成を表12.2に示します。

表12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/Dモードレジスタ	AMR	R/W	H'30	H'FFC4
A/Dスタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/Dリザルトレジスタ	ADRR	R	不定	H'FFC5

## 12.2 各レジスタの説明

### 12.2.1 A/Dリザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ADRRは、A/D変換された結果を格納する8ビットのリード専用レジスタです。

ADRRは常にCPUからリード可能です。A/D変換中はADRRの値は不定で、A/D変換終了時に変換結果の8ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRRは、リセットでクリアされません。

### 12.2.2 A/Dモードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMRは、8ビットのリードとライトが可能なレジスタで、A/D変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMRはH'30にイニシャライズされます。

#### ビット7: クロックセレクト (CKS)

A/D変換スピードの設定を行います。

ビット7 CKS	変換周期	変換時間	
		$\phi = 2 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	$62/\phi$ (初期値)	$31 \mu\text{s}$	$12.4 \mu\text{s}$
1	$31/\phi$	$15.5 \mu\text{s}$	— *

【注】\*  $12.4 \mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4 \mu\text{s}$ 以上になるように選択してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力によるA/D変換の開始を許可または禁止します。

ビット6	説明
TRGE	
0	外部トリガによるA/D変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG)端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始*

【注】\* 外部トリガ (ADTRG)端子のエッジ選択はIEGRのIEG4により設定します。詳細は「3.3.2(1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

ビット5～4：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3～0：チャンネルセレクト3～0 (CH3～CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切り換えは、ADSF=0の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択 (初期値)
	1	0	0	AN <sub>0</sub>
			1	AN <sub>1</sub>
		1	0	AN <sub>2</sub>
1	AN <sub>3</sub>			
1	0	0	0	AN <sub>4</sub>
			1	AN <sub>5</sub>
		1	0	AN <sub>6</sub>
			1	AN <sub>7</sub>
	1	0	0	AN <sub>8</sub>
			1	AN <sub>9</sub>
		1	0	AN <sub>10</sub>
			1	AN <sub>11</sub>

\* Don't care

### 12.2.3 A/Dスタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

ADSRは、8ビットのリードとライトが可能なレジスタで、A/D変換の開始または停止を指定します。

ADSFに1をライトまたは外部トリガのエッジ入力によりADSFが1にセットされ、A/D変換が開始します。変換が終了すると変換データはADDRにセットされ、同時にADSFは0にクリアされます。

#### ビット7: A/Dスタートフラグ (ADSF)

A/D変換の開始および終了の確認を行います。

ビット7	説明	
ADSF		
0	リード時	A/D変換の終了 (初期値)
	ライト時	A/D変換を強制終了
1	リード時	A/D変換中
	ライト時	A/D変換を開始

#### ビット6~0: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

## 12.3 動作説明

### 12.3.1 A/D変換動作

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

ソフトウェアによりADSFを1にセットすると、A/D変換を開始します。ADSFは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、IRR2のIRRADが1にセットされます。このとき、IENR2のIENADが1にセットされていると、A/D変換終了割り込みが発生します。

A/D変換中に、AMRにより変換時間や入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADSFを0にクリアして、A/D変換を強制終了させて行ってください。

### 12.3.2 外部トリガによるA/D変換器の起動

A/D変換器は外部トリガ入力によってA/D変換を開始させることができます。

外部トリガはI/OポートのPMR2のIRQ4が1でかつAMRのTRGEが1のとき、ADTRG入力端子から入力されます。ADTRG入力端子からIEGRのIEG4で指定されたエッジが入力されると、ADSRのADSFが1にセットされ、A/D変換が開始されます。

このタイミングを図12.2に示します。

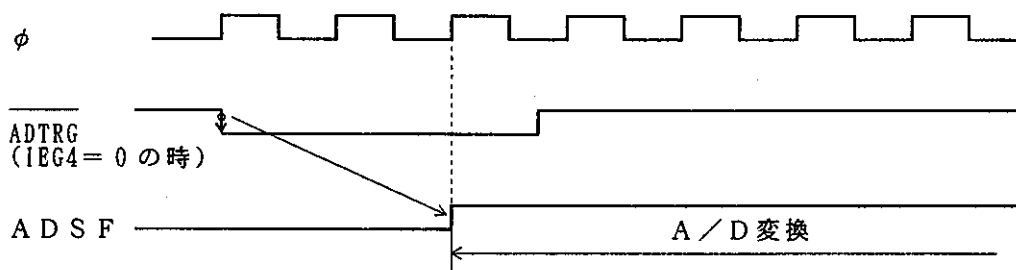


図12.2 外部トリガ入力タイミング

## 12.4 割り込み要因

A/D変換終了時 ( $ADSF = 1 \rightarrow 0$ )、IRR2のIRRADが1にセットされます。

A/D変換終了割り込みは、IENR2のIENADにより、許可または禁止を指定できます。

詳細は「3.3 割り込み」を参照してください。

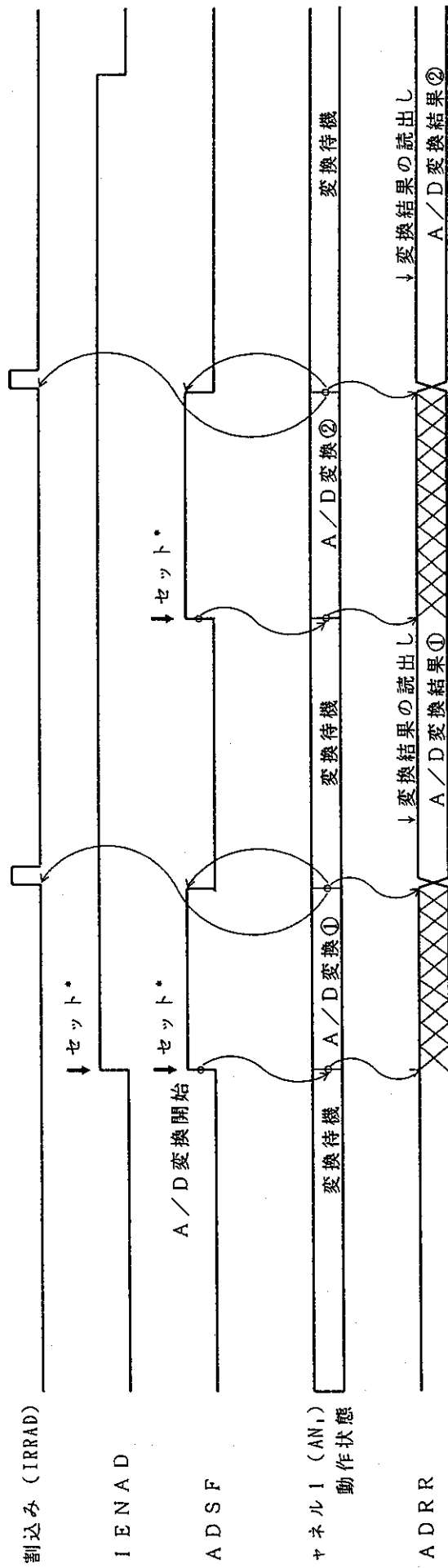
## 12.5 使用例

チャンネル1 ( $AN_1$ )をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図12.3に示します。

- ①入力チャンネルを  $AN_1$  (AMRのCH3~CH0を0101)、IENADを1にセットして、A/D変換を開始 ( $ADSF = 1$ ) します。
- ②A/D変換が終了すると、IRRADが1にセットされ、A/D変換結果がADRRに格納されます。同時に  $ADSF = 0$  となり、A/D変換器は変換待機となります。
- ③IENAD = 1となっているためA/D変換終了割り込み要求が発生します。
- ④A/D割り込み処理ルーチンが開始されます。
- ⑤A/D変換結果を読み出して、処理します。
- ⑥A/D変換処理ルーチンの実行が終了します。

この後、ADSFを1にセットするとA/D変換が開始され②~⑥を行います。

A/D変換器の使用手順の概念フローを図12.4、図12.5に示します。



【注】 \* ↓は、ソフトウェアによる命令実行を示します。

図12.3 A/D変換器の動作例

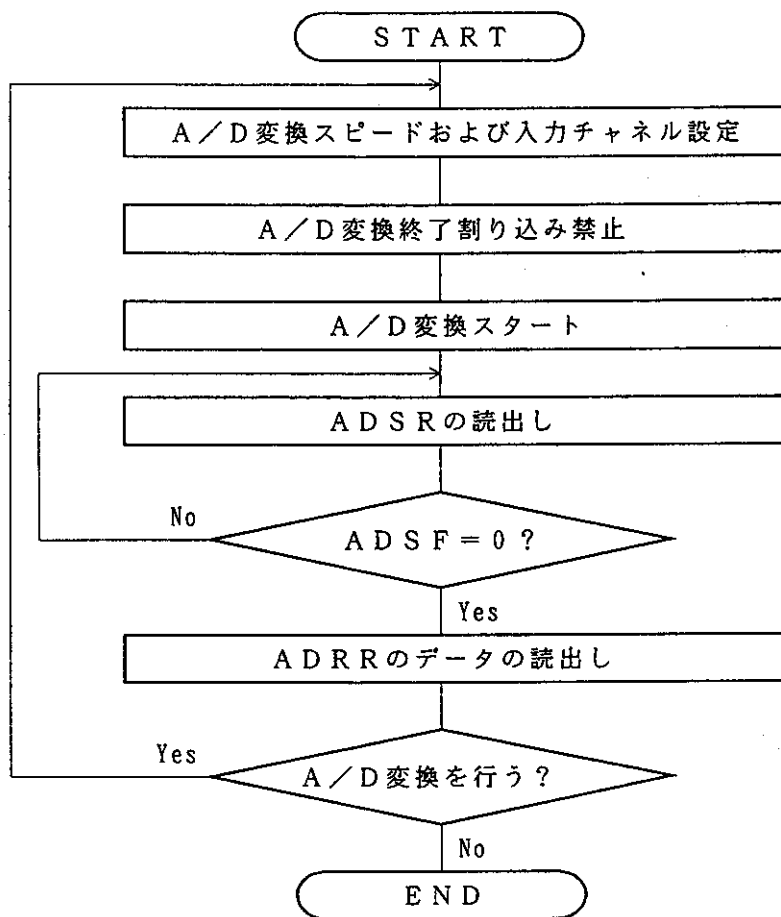


図12.4 A/D変換器の使用手順の概念フロー(1)  
(ソフトウェアでポーリングする場合)



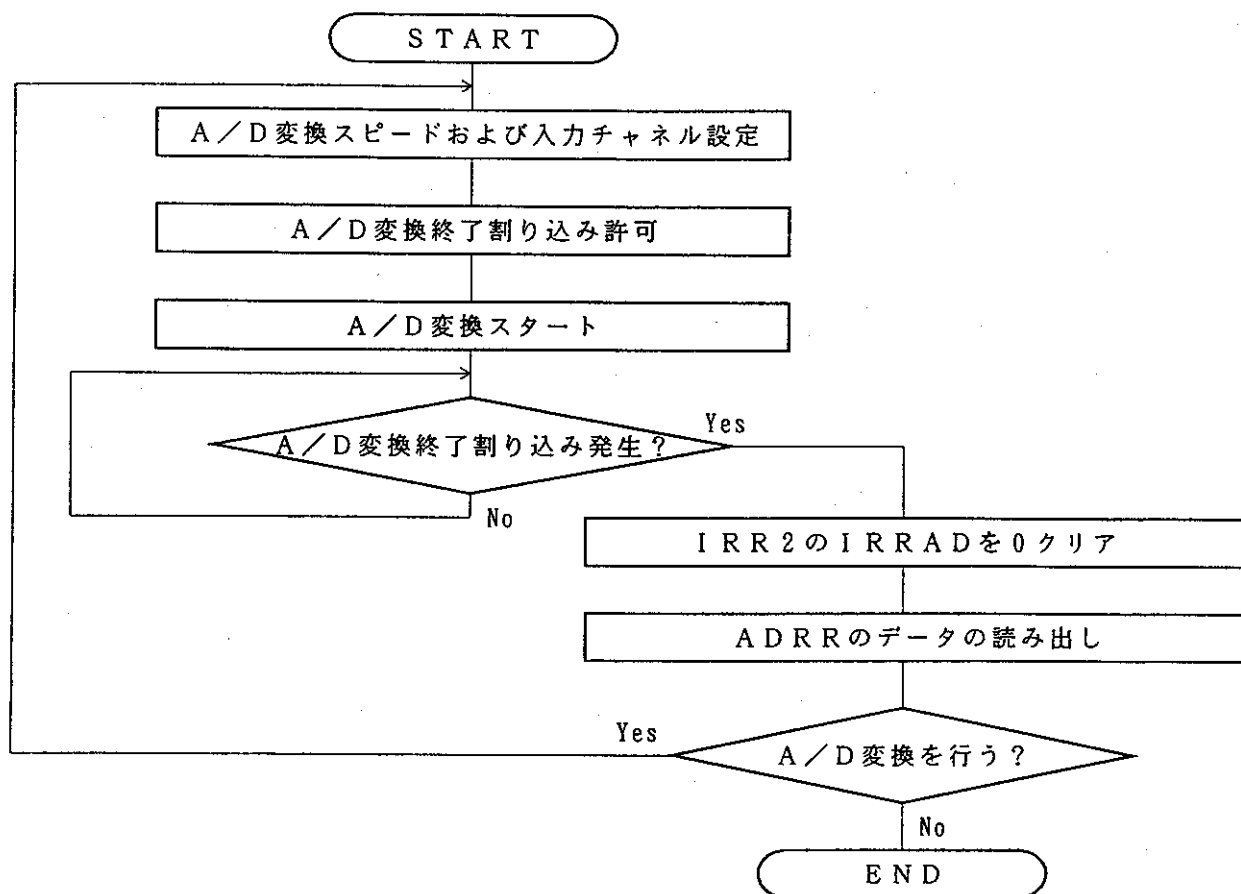


図12.5 A/D変換器の使用手順の概念フロー(2)  
(割り込みを使用する場合)

## 12.6 使用上の注意

- (1) ADRRの読み出しは、ADSRのADSFが0のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

# 13. 電気的特性

## 第13章 目次

13.1	H 8 / 3 9 4 7 シリーズ絶対最大定格	13- 1
13.2	H 8 / 3 9 4 5、H 8 / 3 9 4 6、H 8 / 3 9 4 7 の電気的特性	13- 2
13.2.1	電源電圧と動作範囲	13- 2
13.2.2	D C 特性	13- 4
13.2.3	A C 特性	13- 9
13.2.4	A / D 変換器特性	13- 11
13.3	H 8 / 3 9 4 7 シリーズ広温度範囲品 ( I 仕様) 絶対最大定格	13- 12
13.4	H 8 / 3 9 4 5、H 8 / 3 9 4 6、H 8 / 3 9 4 7 広温度範囲品 ( I 仕様) の電気的特性	13- 13
13.4.1	電源電圧と動作範囲	13- 13
13.4.2	D C 特性	13- 15
13.4.3	A C 特性	13- 20
13.4.4	A / D 変換器特性	13- 22
13.5	動作タイミング	13- 23
13.6	出力負荷回路	13- 26
13.7	電気的特性参考図	13- 27

### 13.1 H8 / 3947 シリーズ絶対最大定格

絶対最大定格を表13.1に示します。

表13.1 絶対最大定格

項 目		記号	規 格 値	単 位	備 考
電源電圧		$V_{CC}$	$-0.3 \sim +7.0$	V	注 1
アナログ電源電圧		$AV_{CC}$	$-0.3 \sim +7.0$	V	
プログラム電圧		$V_{PP}$	$-0.3 \sim +13.0$	V	
入力電圧	ポート3、B、C以外	$V_{i,n}$	$-0.3 \sim V_{CC} + 0.3$	V	
	ポート3		$-0.3 \sim +15.0$	V	
	ポートB、C	$AV_{i,n}$	$-0.3 \sim AV_{CC} + 0.3$	V	
動作温度		$T_{op}$	$-20 \sim +75$	°C	
保存温度		$T_{stg}$	$-55 \sim +125$	°C	

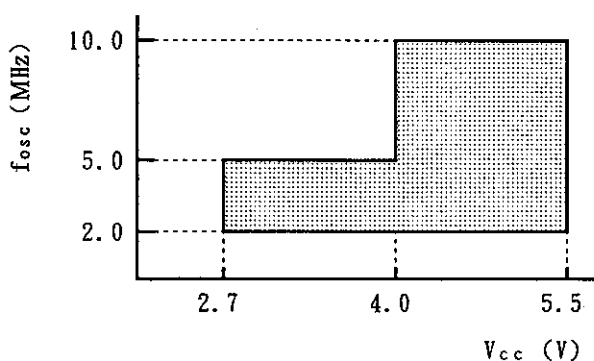
【注】\*1 絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になるとともに、LSIの信頼性に悪影響をおよぼすことがあります。

## 13.2 H8 / 3945、H8 / 3946、H8 / 3947の電気的特性

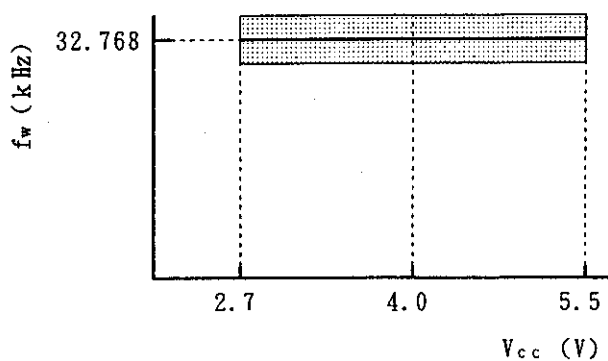
### 13.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

#### (1) 電源電圧と発振周波数の範囲

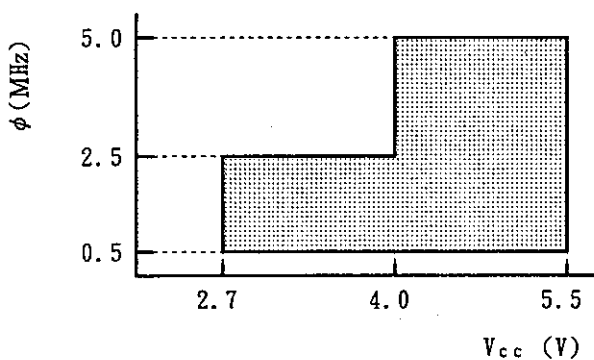


- ・アクティブ（高速）モード
- ・スリープモード

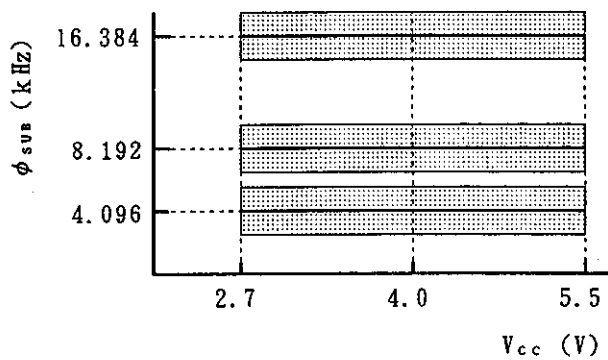


- ・すべての動作モード

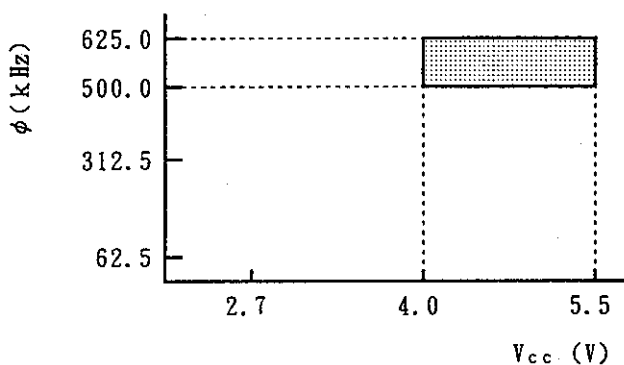
#### (2) 電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）

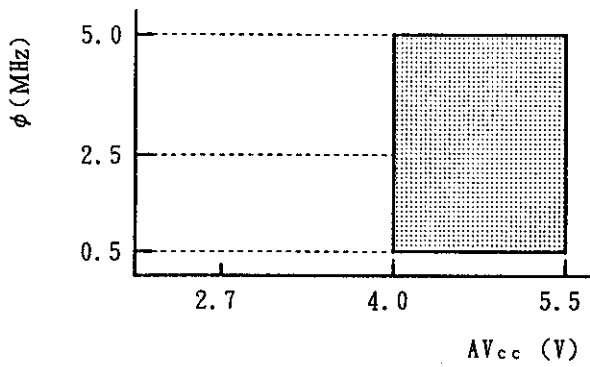


- ・サブアクティブモード
- ・サブスリープモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）
- ・ウォッチモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）

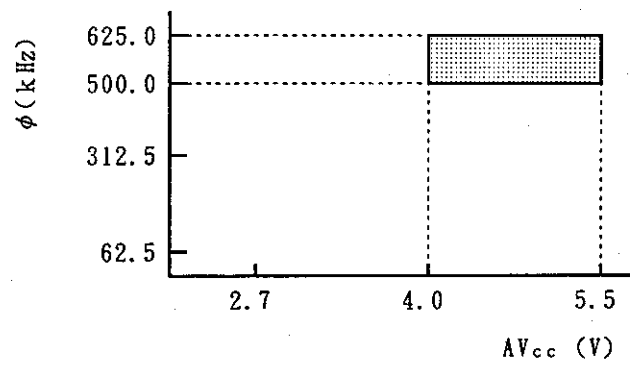


- ・アクティブ（中速）モード

(3) アナログ電源電圧とA/D変換器の動作範囲

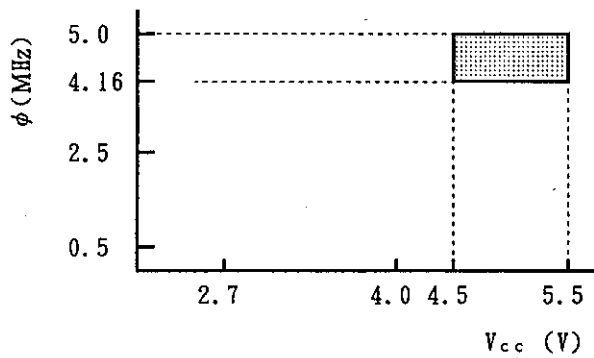


- アクティブ（高速）モード
- スリープモード



- アクティブ（中速）モード

(4) 電源電圧とI<sup>2</sup>Cバスインタフェースの動作範囲



- アクティブ（高速）モード
- スリープモード

下記動作モードでは、動作させないでください。

- アクティブ（中速）モード
- サブアクティブモード
- サブスリープモード
- ウォッチモード

### 13.2.2 DC特性

DC特性を表13.2に示します。

表13.2 DC特性(1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_A=-20\sim +75^\circ C$ 、#77キティモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	$V_{IH}$	RES, NMI, WKP <sub>0</sub> ~WKP <sub>7</sub> , IRQ <sub>0</sub> ~IRQ <sub>4</sub> , TM1B1, TM1B2A, TM1B2B, TM1C, TM1F, TM1G, SCK <sub>3</sub> , ADTRG, TMC1H, TMR1H	$V_{CC}=4.0\sim 5.5V$	0.8V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
				0.9V <sub>CC</sub>	—	V <sub>CC</sub> +0.3		
		UD, RXD, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub> ,	$V_{CC}=4.0\sim 5.5V$	0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
				0.8V <sub>CC</sub>	—	V <sub>CC</sub> +0.3		
		OSC <sub>1</sub>	$V_{CC}=4.0\sim 5.5V$	V <sub>CC</sub> -0.5	—	V <sub>CC</sub> +0.3	V	
				V <sub>CC</sub> -0.3	—	V <sub>CC</sub> +0.3		
		P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>3</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>7</sub> , P9 <sub>1</sub> ~P9 <sub>7</sub> , PA <sub>0</sub> ~PA <sub>6</sub>	$V_{CC}=4.0\sim 5.5V$	0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
				0.8V <sub>CC</sub>	—	V <sub>CC</sub> +0.3		
		P3 <sub>0</sub> ~P3 <sub>7</sub>	$V_{CC}=4.0\sim 5.5V$	0.7V <sub>CC</sub>	—	12.0	V	
				0.8V <sub>CC</sub>	—	12.0		
		PB <sub>0</sub> ~PB <sub>7</sub> , PC <sub>0</sub> ~PC <sub>3</sub>	$V_{CC}=4.0\sim 5.5V$	0.7V <sub>CC</sub>	—	AV <sub>CC</sub> +0.3	V	
				0.8V <sub>CC</sub>	—	AV <sub>CC</sub> +0.3		
入力 Low レベル電圧	$V_{IL}$	RES, NMI, WKP <sub>0</sub> ~WKP <sub>7</sub> , IRQ <sub>0</sub> ~IRQ <sub>4</sub> , TM1B1, TM1B2A, TM1B2B, TM1C, TM1F, TM1G, SCK <sub>3</sub> , ADTRG, TMC1H, TMR1H	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.2V <sub>CC</sub>	V	
				-0.3	—	0.1V <sub>CC</sub>		
		UD, RXD, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub> ,	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.3V <sub>CC</sub>	V	
				-0.3	—	0.2V <sub>CC</sub>		
		OSC <sub>1</sub>	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.5	V	
				-0.3	—	0.3		
		P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>3</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>7</sub> , P9 <sub>1</sub> ~P9 <sub>7</sub> , PA <sub>0</sub> ~PA <sub>6</sub> , PB <sub>0</sub> ~PB <sub>7</sub> , PC <sub>0</sub> ~PC <sub>3</sub>	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.3V <sub>CC</sub>	V	
				-0.3	—	0.2V <sub>CC</sub>		

TEST端子はV<sub>SS</sub>に接続してください。

表13.2 DC特性(2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、 $\mu A$ クティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考				
				min.	typ.	max.						
出力 High レベル電圧	$V_{OH}$	P1 <sub>o</sub> ~P1 <sub>r</sub> , P2 <sub>o</sub> ~P2 <sub>r</sub> , P4 <sub>o</sub> ~P4 <sub>r</sub> , P5 <sub>o</sub> ~P5 <sub>r</sub> , P6 <sub>o</sub> ~P6 <sub>r</sub> , P7 <sub>o</sub> ~P7 <sub>r</sub> , P8 <sub>o</sub> ~P8 <sub>r</sub> , P9 <sub>o</sub> ~P9 <sub>r</sub> , PA <sub>o</sub> ~PA <sub>r</sub>	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V					
			$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—						
			$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—						
出力 Low レベル電圧	$V_{OL}$	P1 <sub>o</sub> ~P1 <sub>r</sub> , P2 <sub>o</sub> ~P2 <sub>r</sub> , P4 <sub>o</sub> ~P4 <sub>r</sub> , P5 <sub>o</sub> ~P5 <sub>r</sub> , P6 <sub>o</sub> ~P6 <sub>r</sub> , P7 <sub>o</sub> ~P7 <sub>r</sub> , P8 <sub>o</sub> ~P8 <sub>r</sub> , P9 <sub>o</sub> ~P9 <sub>r</sub>	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V					
			$I_{OL}=0.4mA$	—	—	0.5						
		P3 <sub>o</sub> ~P3 <sub>r</sub> , PA <sub>o</sub> ~PA <sub>r</sub>	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10mA$	—	—	1.5						
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6						
			$I_{OL}=0.4mA$	—	—	0.5						
		SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=6mA$	—	—	0.6						
			$I_{OL}=0.4mA$	—	—	0.5						
		入出力 リーク電流	$I_{IL}$	RES, P4 <sub>s</sub>	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—			—	20.0	$\mu A$	注2
						—			—	1.0		注1
				OSC <sub>1</sub> , NMI, P1 <sub>o</sub> ~P1 <sub>r</sub> , P2 <sub>o</sub> ~P2 <sub>r</sub> , P4 <sub>o</sub> ~P4 <sub>r</sub> , P5 <sub>o</sub> ~P5 <sub>r</sub> , P6 <sub>o</sub> ~P6 <sub>r</sub> , P7 <sub>o</sub> ~P7 <sub>r</sub> , P8 <sub>o</sub> ~P8 <sub>r</sub> , P9 <sub>o</sub> ~P9 <sub>r</sub> , PA <sub>o</sub> ~PA <sub>r</sub>	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—			—	1.0	$\mu A$	
P3 <sub>o</sub> ~P3 <sub>r</sub>	$V_{IN}=0.5V\sim 12.0V$			—	—	20.0						
PB <sub>o</sub> ~PB <sub>r</sub> , PC <sub>o</sub> ~PC <sub>r</sub>	$V_{IN}=0.5V\sim AV_{CC}-0.5V$			—	—	1.0						



表13.2 DC特性(3)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
ブルアップ MOS電流	$-I_P$	P1 <sub>0</sub> ~P1 <sub>1</sub> , P5 <sub>0</sub> ~P5 <sub>1</sub> , P6 <sub>0</sub> ~P6 <sub>1</sub> , P7 <sub>0</sub> ~P7 <sub>1</sub>	$V_{CC}=5V$ , $V_{IN}=0V$	50.0	—	300.0	$\mu A$	参考値	
			$V_{CC}=2.7V$ , $V_{IN}=0V$	—	30.0	—			
入力容量	$C_{IN}$	RES, P4 <sub>0</sub> , P9 <sub>1</sub> ~P9 <sub>4</sub> , 電源端子を除く全 入力端子	$f=1MHz$ , $V_{IN}=0V$ , $T_a=25^\circ C$	—	—	15.0	pF		
		RES		—	—	60.0			注2
				—	—	15.0			注1
		P4 <sub>0</sub>		—	—	30.0			注2
		P9 <sub>1</sub> ~P9 <sub>4</sub>		—	—	15.0			注1
アクティブ モード 消費電流	$I_{OPE1}$	$V_{CC}$	7kHz(高速)モード $V_{CC}=5V$ , $f_{osc}=10MHz$	—	14.0	24.0	mA	注3 注4	
	$I_{OPE2}$	$V_{CC}$	7kHz(中速)モード $V_{CC}=5V$ , $f_{osc}=10MHz$	—	2.5	5.0		注3 注4	
スリープモード 消費電流	$I_{SLEEP}$	$V_{CC}$	$V_{CC}=5V$ , $f_{osc}=10MHz$	—	6.5	10.0	mA	注3 注4	
サブアクティブ モード 消費電流	$I_{SUB}$	$V_{CC}$	$V_{CC}=2.7V$ 32kHz水晶発振子 使用時 ( $\phi_{sub} = \phi_w/2$ )	—	30.0	70.0	$\mu A$	注3 注4	
			$V_{CC}=2.7V$ 32kHz水晶発振子 使用時 ( $\phi_{sub} = \phi_w/8$ )	—	15.0	—			注3 注4 参考値
サブスリープ モード 消費電流	$I_{SUBSP}$	$V_{CC}$	$V_{CC}=2.7V$ 32kHz水晶発振子 使用時 ( $\phi_{sub} = \phi_w/2$ )	—	20.0	50.0	$\mu A$	注3 注4	
ウォッチモード 消費電流	$I_{WATCH}$	$V_{CC}$	$V_{CC}=2.7V$ , 32kHz水晶発振子 使用時	—	—	6.0	$\mu A$	注3 注4	
スタンバイ モード消費電流	$I_{STBY}$	$V_{CC}$	32kHz水晶発振子 未使用時	—	—	5.0	$\mu A$	注3 注4	
RAMデータ 保持電圧	$V_{RAM}$	$V_{CC}$		2.0	—	—	V	注3 注4	

- 【注】 \*1 HD 6 4 3 3 9 4 7 に適用します。  
 \*2 HD 6 4 7 3 9 4 7 に適用します。  
 \*3 消費電流測定時の端子の状態

モード	内部状態	各端子	発振端子
アクティブ（高速）モード アクティブ（中速）モード	動作	V <sub>CC</sub>	システムクロック発振器： 水晶発振子
スリープモード	タイマのみ動作		サブクロック発振器： X <sub>1</sub> 端子 = V <sub>CC</sub>
サブアクティブモード	動作		システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止		サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPUは停止		
スタンバイモード	CPU、タイマ ともに停止		システムクロック発振器： 水晶発振子 サブクロック発振器： X <sub>1</sub> 端子 = V <sub>CC</sub>

- \*4 プルアップMOSや出力バッファに流れる電流は除きます。

表13.2 DC特性(4)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、 $\mu A$ アクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容電流 (1端子あたり)	$I_{OL}$	ポート3, ポートA 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
		ポート3, ポートA, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$	—	—	10.0		
		全出力端子		—	—	0.5		
出力 Low レベル許容電流 (総和)	$\Sigma I_{OL}$	ポート3, ポートA 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	mA	
		ポート3, ポートA, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$	—	—	80.0		
		全出力端子		—	—	20.0		
出力 High レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
				—	—	0.2		
出力 High レベル許容電流 (総和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	15.0	mA	
				—	—	10.0		

### 13.2.3 AC特性

制御信号タイミングを表13.3に、シリアルインタフェースタイミングを表13.4、表13.5に示します。

表13.3 制御信号タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_A=-20\sim +75^\circ C$ 、 $\mu P$ がタイモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック発振器 発振周波数	$f_{osc}$	OSC <sub>1</sub> , OSC <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$	2.0	—	10.0	MHz	
				2.0	—	5.0		
OSCクロック ( $\phi_{osc}$ ) サイクル時間	$t_{osc}$	OSC <sub>1</sub> , OSC <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$	100.0	—	1000.0	ns	注1 図13.1
				200.0	—	1000.0		
システムクロック( $\phi$ ) サイクル時間	$t_{cyc}$			2	—	16	$t_{osc}$	注1
				—	—	2000.0		
マイクロクロック発振器 発振周波数	$f_w$	X <sub>1</sub> , X <sub>2</sub>		—	32.768	—	kHz	
マイクロクロック( $\phi_w$ ) サイクル時間	$t_w$	X <sub>1</sub> , X <sub>2</sub>		—	30.5	—	$\mu s$	
マイクロクロック( $\phi_{sub}$ ) サイクル時間	$t_{subcyc}$			2	—	8	$t_w$	注2
インストラクション サイクル時間				2	—	—	$t_{cyc}$ $t_{subcyc}$	
発振安定時間 (水晶発振子)	$t_{rc}$	OSC <sub>1</sub> , OSC <sub>2</sub>	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	ms	
				—	—	60.0		
発振安定時間	$t_{rc}$	X <sub>1</sub> , X <sub>2</sub>		—	—	2.0	s	
外部クロック High レベル幅	$t_{cph}$	OSC <sub>1</sub>	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図13.1
				80.0	—	—		
外部クロック Low レベル幅	$t_{cpl}$	OSC <sub>1</sub>	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図13.1
				80.0	—	—		
外部クロック 立ち上がり時間	$t_{cpr}$		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図13.1
				—	—	20.0		
外部クロック 立ち下がり時間	$t_{cpr}$		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図13.1
				—	—	20.0		
RES端子 Low レベル幅	$t_{REL}$	RES		10	—	—	$t_{cyc}$	図13.2
入力端子 High レベル幅	$t_{IH}$	$\overline{IRQ}_0\sim\overline{IRQ}_4$ , $\overline{WKP}_0\sim\overline{WKP}_7$ , ADTRG, NMI, TMIB1, TMIB2A, TMIB2B, TMIC, TMIF, TMIG, TMCIH, TMR1H		2	—	—	$t_{cyc}$ $t_{subcyc}$	図13.3
入力端子 Low レベル幅	$t_{IL}$	$\overline{IRQ}_0\sim\overline{IRQ}_4$ , $\overline{WKP}_0\sim\overline{WKP}_7$ , ADTRG, NMI, TMIB1, TMIB2A, TMIB2B, TMIC, TMIF, TMIG, TMCIH, TMR1H		2	—	—	$t_{cyc}$ $t_{subcyc}$	図13.3
UD端子 最小変化幅	$t_{UDH}$ $t_{UDL}$	UD		4	—	—	$t_{cyc}$ $t_{subcyc}$	図13.4

【注】\*1 外部クロックを入力する場合は1~10MHzとなります。

\*2 システムコントロールレジスタ2 (SYSCR2)のSA1、SA0の設定により決定します。

表13.4 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ )

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期		4	—	—	$t_{CYC}$	図13.5
	クロック同期		6	—	—		
入力クロックパルス幅	$t_{SCXW}$		0.4	—	0.6	$t_{CYC}$	
送信データ遅延時間 (クロック同期)	$t_{TXD}$	$V_{CC}=4.0\sim 5.5V$	—	—	1	$t_{CYC}$	図13.6
			—	—	1		
受信データセットアップ時間 (クロック同期)	$t_{RXS}$	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	
			400.0	—	—		
受信データホールド時間 (クロック同期)	$t_{RXH}$	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	
			400.0	—	—		

表13.5 I<sup>2</sup>Cバスインタフェース (I<sup>2</sup>C1、I<sup>2</sup>C2) タイミング

(特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ )

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
SCLクロック サイクル時間	$t_{SCL}$	SCL <sub>1</sub> , SCL <sub>2</sub>		$12t_{CYC}$	—	—	ns	図13.7
SCLクロック Highパルス幅	$t_{SCLH}$	SCL <sub>1</sub> , SCL <sub>2</sub>		$3t_{CYC}$	—	—		
SCLクロック Lowパルス幅	$t_{SCLL}$	SCL <sub>1</sub> , SCL <sub>2</sub>		$5t_{CYC}$	—	—		
SCL, SDA 立ち上がり時間	$t_r$	SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	標準モード 100kbit/s(max)	—	—	1000	ns	図13.7 注1
			高速モード 400kbit/s(max)	$20+0.1C_b$	—	300		
SCL, SDA 立ち下がり時間	$t_f$	SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	標準モード 100kbit/s(max)	—	—	300	ns	図13.7 注2
			高速モード 400kbit/s(max)	$(20+0.1C_b)/2$	—	300		
バスフリー時間	$t_{BUF}$	SDA <sub>1</sub> , SDA <sub>2</sub>		$7t_{CYC}\sim 300$	—	—	ns	図13.7
開始条件 ホールド時間	$t_{STA_H}$	SCL <sub>1</sub> , SCL <sub>2</sub>		$3t_{CYC}$	—	—		
再送開始条件セ ットアップ時間	$t_{STA_S}$	SCL <sub>1</sub> , SCL <sub>2</sub>		$3t_{CYC}$	—	—		
停止条件セット アップ時間	$t_{STO_S}$	SDA <sub>1</sub> , SDA <sub>2</sub>		$3t_{CYC}$	—	—		
SDAデータセ ットアップ時間	$t_{SDAS}$	SDA <sub>1</sub> , SDA <sub>2</sub>		$1t_{CYC}+10$	—	—	ns	図13.7 注3
SDAデータ ホールド時間	$t_{SDAH}$	SDA <sub>1</sub> , SDA <sub>2</sub>		0	—	—		
各バスラインの 容量性負荷	$C_b$	SDA <sub>1</sub> , SDA <sub>2</sub>		—	—	400	pF	図13.7

【注】 \*1 マスタモードで使用する場合、立ち上がり時間 $t_r$ が $2.5t_{CYC}$ 以上になるとクロックのHigh幅を確保する機能が働き転送レートが低下しますので注意してください。

\*2 SCL、SDA立ち下がり時間 $t_f$ の特性については図13.9を参考にしてください。

\*3 SDAデータセットアップ時間 $t_{SDAS}$ は $t_{CYC}=200\sim 240ns$  ( $f_{OSC}=10\sim 8.33MHz$ )の範囲の時250ns以下になります。

### 13.2.4 A/D変換器特性

A/D変換器特性を表13.6に示します。

表13.6 A/D変換器特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ )

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
7ナログ電源電圧	$AV_{CC}$	$AV_{CC}$		4.0	—	5.5	V	注1
7ナログ入力電圧	$AV_{IN}$	$AN_0\sim AN_{11}$		-0.3	—	$AV_{CC}+0.3$		
7ナログ電源電流	$AI_{OPR}$	$AV_{CC}$	$AV_{CC}=5.0V$	—	—	1.5	mA	
	$AI_{STOP1}$	$AV_{CC}$		—	150.0	—	$\mu A$	注2 参考値
	$AI_{STOP2}$	$AV_{CC}$		—	—	5	$\mu A$	注3
7ナログ入力容量	$C_{AIN}$	$AN_0\sim AN_{11}$		—	—	30	pF	
許容信号源 インピーダンス	$R_{AIN}$			—	—	10	k $\Omega$	
分解能(データ長)				—	—	8	ビット	
非直線性誤差				—	—	$\pm 2.0$	LSB	
量子化誤差				—	—	$\pm 0.5$		
絶対精度				—	—	$\pm 2.5$		
変換時間			$AV_{CC}=4.5\sim 5.5V$	12.4	—	124	$\mu s$	
			$AV_{CC}=4.0\sim 5.5V$	24.8	—	124		

【注】\*1 A/D変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

\*2  $AI_{STOP1}$  はアクティブモード、スリープモードでのA/D変換待機時の電流値です。

\*3  $AI_{STOP2}$  はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでのA/D変換待機時の電流値です。

### 13.3 H8 / 3947 シリーズ広温範囲品 (I仕様) 絶対最大定格

絶対最大定格を表13.7に示します。

表13.7 絶対最大定格

項 目		記号	規 格 値	単 位	備 考
電源電圧		$V_{CC}$	$-0.3 \sim +7.0$	V	注1
アナログ電源電圧		$AV_{CC}$	$-0.3 \sim +7.0$	V	
プログラム電圧		$V_{PP}$	$-0.3 \sim +13.0$	V	
入力電圧	ポート3、B、C以外	$V_{in}$	$-0.3 \sim V_{CC} + 0.3$	V	
	ポート3		$-0.3 \sim +15.0$	V	
	ポートB、C	$AV_{in}$	$-0.3 \sim AV_{CC} + 0.3$	V	
動作温度		$T_{OPR}$	$-40 \sim +85$	°C	
保存温度		$T_{STG}$	$-55 \sim +125$	°C	

【注】 \*1 絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になるとともに、LSIの信頼性に悪影響をおよぼすことがあります。

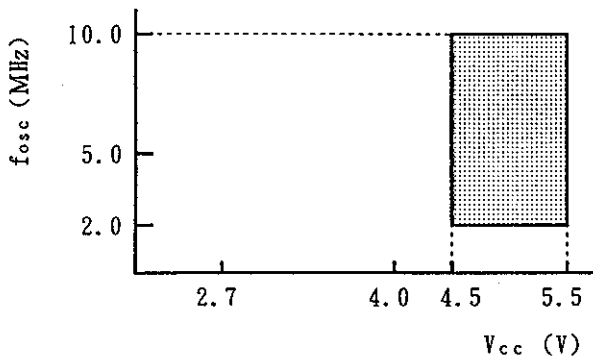
# 13.4 H8 / 3945、H8 / 3946、H8 / 3947

## 広温度範囲品（I仕様）の電気的特性

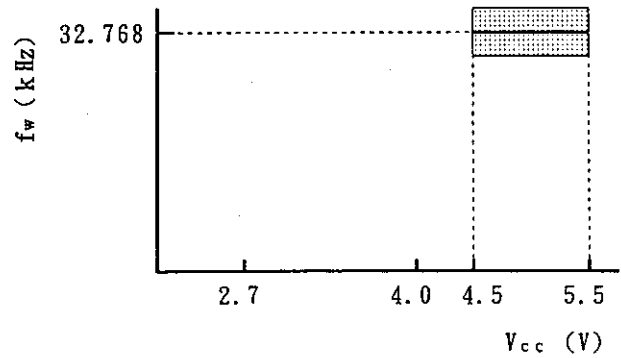
### 13.4.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

#### (1) 電源電圧と発振周波数の範囲

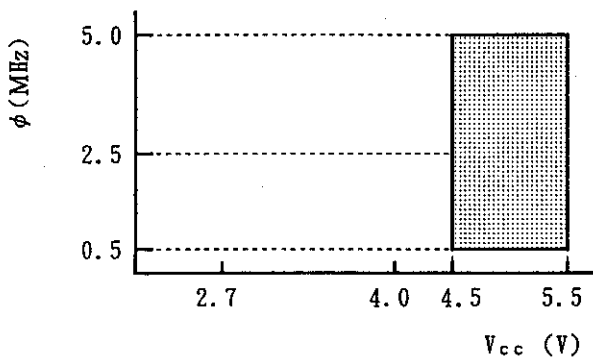


- ・アクティブ（高速）モード
- ・スリープモード

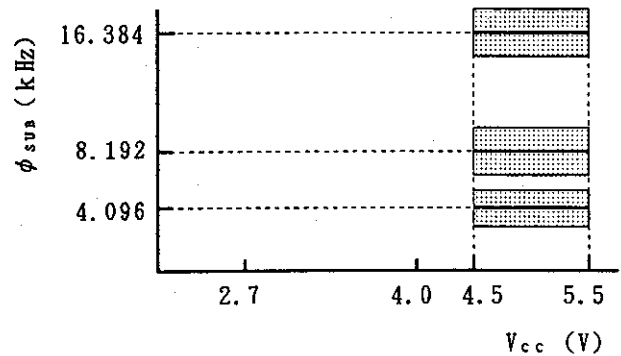


- ・すべての動作モード

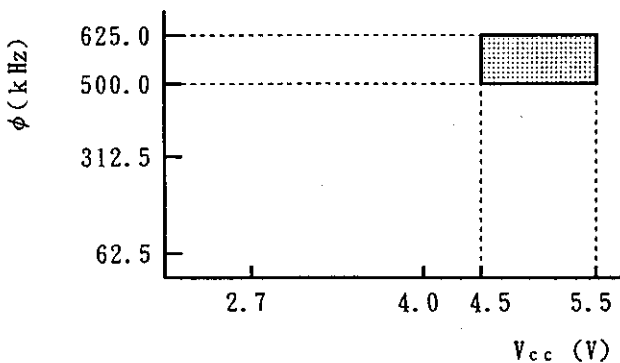
#### (2) 電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）



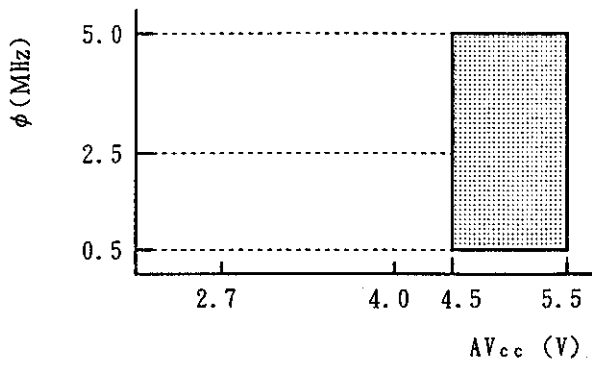
- ・サブアクティブモード
- ・サブスリープモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）
- ・ウォッチモード（CPUおよび I<sup>2</sup>Cバスインタフェースを除く）



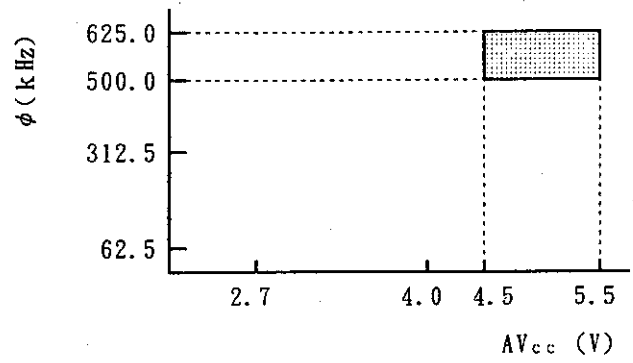
- ・アクティブ（中速）モード



(3) アナログ電源電圧とA/D変換器の動作範囲

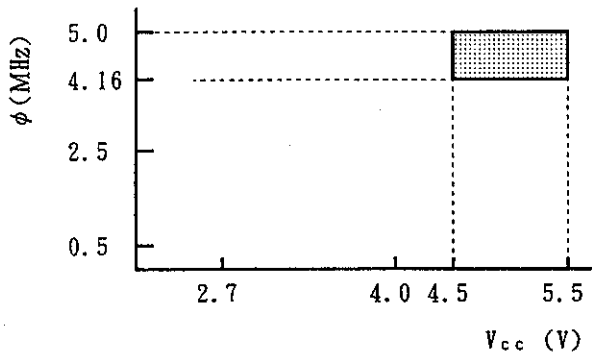


- ・アクティブ（高速）モード
- ・スリープモード



- ・アクティブ（中速）モード

(4) 電源電圧とI<sup>2</sup>Cバスインタフェースの動作範囲



- ・アクティブ（高速）モード
- ・スリープモード

下記動作モードでは、動作させないでください。

- ・アクティブ（中速）モード
- ・サブアクティブモード
- ・サブスリープモード
- ・ウォッチモード

13.4.2 DC特性

広温度範囲品（I仕様）のDC特性を表13.8に示します。

表13.8 広温度範囲品（I仕様）のDC特性(1)

(特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_A=-40\sim +85^\circ C$ 、 $\mu A$ キチモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	$V_{IH}$	RES, NWI, WKP <sub>0</sub> ~WKP <sub>7</sub> , IRQ <sub>0</sub> ~IRQ <sub>7</sub> , TWIB1, TWIB2A, TWIB2B, TWIC, TWIF, TWIG, SCK <sub>0</sub> , ADTRG, TMCIH, TMRIH		0.8V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		UD, RXD, SCL <sub>0</sub> , SDA <sub>0</sub> , SCL <sub>1</sub> , SDA <sub>1</sub>		0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		OSC <sub>0</sub>		V <sub>CC</sub> -0.5	—	V <sub>CC</sub> +0.3	V	
		P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>7</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , PA <sub>0</sub> ~PA <sub>7</sub>		0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		P3 <sub>0</sub> ~P3 <sub>7</sub>		0.7V <sub>CC</sub>	—	12.0	V	
		PB <sub>0</sub> ~PB <sub>7</sub> , PC <sub>0</sub> ~PC <sub>7</sub>		0.7V <sub>CC</sub>	—	AV <sub>CC</sub> +0.3	V	
入力 Low レベル電圧	$V_{IL}$	RES, NWI, WKP <sub>0</sub> ~WKP <sub>7</sub> , IRQ <sub>0</sub> ~IRQ <sub>7</sub> , TWIB1, TWIB2A, TWIB2B, TWIC, TWIF, TWIG, SCK <sub>0</sub> , ADTRG, TMCIH, TMRIH		-0.3	—	0.2V <sub>CC</sub>	V	
		UD, RXD, SCL <sub>0</sub> , SDA <sub>0</sub> , SCL <sub>1</sub> , SDA <sub>1</sub>		-0.3	—	0.3V <sub>CC</sub>	V	
		OSC <sub>0</sub>		-0.3	—	0.5	V	
		P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>7</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , PA <sub>0</sub> ~PA <sub>7</sub> , PB <sub>0</sub> ~PB <sub>7</sub> , PC <sub>0</sub> ~PC <sub>7</sub>		-0.3	—	0.3V <sub>CC</sub>	V	

TEST端子はV<sub>SS</sub>に接続してください。

表13.8 広温度範囲品 (I仕様) のDC特性(2)

(特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^\circ C$ 、 $\mu A$ はアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考				
				min.	typ.	max.						
出力 High レベル電圧	$V_{OH}$	P1 <sub>o</sub> ~P1 <sub>i</sub> , P2 <sub>o</sub> ~P2 <sub>i</sub> , P4 <sub>o</sub> ~P4 <sub>i</sub> , P5 <sub>o</sub> ~P5 <sub>i</sub> , P6 <sub>o</sub> ~P6 <sub>i</sub> , P7 <sub>o</sub> ~P7 <sub>i</sub> , P8 <sub>o</sub> ~P8 <sub>i</sub> , P9 <sub>o</sub> ~P9 <sub>i</sub> , PA <sub>o</sub> ~PA <sub>i</sub>	$-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V					
			$-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—						
出力 Low レベル電圧	$V_{OL}$	P1 <sub>o</sub> ~P1 <sub>i</sub> , P2 <sub>o</sub> ~P2 <sub>i</sub> , P4 <sub>o</sub> ~P4 <sub>i</sub> , P5 <sub>o</sub> ~P5 <sub>i</sub> , P6 <sub>o</sub> ~P6 <sub>i</sub> , P7 <sub>o</sub> ~P7 <sub>i</sub> , P8 <sub>o</sub> ~P8 <sub>i</sub> , P9 <sub>o</sub> ~P9 <sub>i</sub>	$I_{OL}=1.6mA$	—	—	0.6	V					
			$I_{OL}=0.4mA$	—	—	0.5						
		P3 <sub>o</sub> ~P3 <sub>i</sub> , PA <sub>o</sub> ~PA <sub>i</sub>	$I_{OL}=10mA$	—	—	1.5						
			$I_{OL}=1.6mA$	—	—	0.6						
		SCL <sub>i</sub> , SDA <sub>i</sub> , SCL <sub>o</sub> , SDA <sub>o</sub>	$I_{OL}=6mA$	—	—	0.6						
			$I_{OL}=0.4mA$	—	—	0.5						
		入出力 リーク電流	$I_{IL}$	RES, P4 <sub>s</sub>	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—			—	24.0	$\mu A$	注2
						—			—	2.0		注1
OSC <sub>i</sub> , NMI <sub>i</sub> , P1 <sub>o</sub> ~P1 <sub>i</sub> , P2 <sub>o</sub> ~P2 <sub>i</sub> , P4 <sub>o</sub> ~P4 <sub>i</sub> , P5 <sub>o</sub> ~P5 <sub>i</sub> , P6 <sub>o</sub> ~P6 <sub>i</sub> , P7 <sub>o</sub> ~P7 <sub>i</sub> , P8 <sub>o</sub> ~P8 <sub>i</sub> , P9 <sub>o</sub> ~P9 <sub>i</sub> , PA <sub>o</sub> ~PA <sub>i</sub>	$V_{IN}=0.5V\sim V_{CC}-0.5V$			—	—	2.0	$\mu A$					
P3 <sub>o</sub> ~P3 <sub>i</sub>	$V_{IN}=0.5V\sim 12.0V$			—	—	24.0						
PB <sub>o</sub> ~PB <sub>i</sub> , PC <sub>o</sub> ~PC <sub>i</sub>	$V_{IN}=0.5V\sim AV_{CC}-0.5V$			—	—	2.0						



【注】 \*<sup>1</sup> HD6433947、HD6433946、HD6433945のWTR品に適用します。

\*<sup>2</sup> HD6473947のWTR品に適用します。

\*<sup>3</sup> 消費電流測定時の端子の状態

モード	内部状態	各端子	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V <sub>CC</sub>	システムクロック発振器： 水晶発振子
スリープモード	タイマのみ動作		サブクロック発振器： X <sub>1</sub> 端子 = V <sub>CC</sub>
サブアクティブモード	動作		システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止		サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPUは停止		
スタンバイモード	CPU、タイマ ともに停止		システムクロック発振器： 水晶発振子
			サブクロック発振器： X <sub>1</sub> 端子 = V <sub>CC</sub>

\*\* ブルアップMOSや出力バッファに流れる電流は除きます。

表13.8 広温度範囲品（I仕様）のDC特性(4)

（特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^{\circ}C$ 、#777モードを含む）

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容電流 (1端子あたり)	$I_{OL}$	ポート3, ポートA 以外の出力端子		—	—	2.0	mA	
		ポート3, ポートA, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>		—	—	10.0		
出力 Low レベル許容電流 (総和)	$\Sigma I_{OL}$	ポート3, ポートA 以外の出力端子		—	—	40.0	mA	
		ポート3, ポートA, SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>		—	—	80.0		
出力 High レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子		—	—	2.0	mA	
出力 High レベル許容電流 (総和)	$\Sigma -I_{OH}$	全出力端子		—	—	15.0	mA	

### 13.4.3 AC特性

広温度範囲品（I仕様）の制御信号タイミングを表13.9に、シリアルインタフェースタイミングを表13.10、表13.11に示します。

表13.9 広温度範囲品（I仕様）の制御信号タイミング

（特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^\circ C$ 、サフアクティブモードを含む）

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック発振器 発振周波数	$f_{osc}$	OSC <sub>1</sub> , OSC <sub>2</sub>		2.0	—	10.0	MHz	
OSCクロック ( $\phi_{osc}$ ) サイクル時間	$t_{osc}$	OSC <sub>1</sub> , OSC <sub>2</sub>		100.0	—	1000.0	ns	注1 図13.1
システムクロック( $\phi$ ) サイクル時間	$t_{sys}$			2	—	16	$t_{osc}$	注1
				—	—	2000.0	ns	
クロック発振器 発振周波数	$f_w$	X <sub>1</sub> , X <sub>2</sub>		—	32.768	—	kHz	
クイッククロック( $\phi_w$ ) サイクル時間	$t_w$	X <sub>1</sub> , X <sub>2</sub>		—	30.5	—	$\mu s$	
クロック( $\phi_{scu}$ ) サイクル時間	$t_{scu}$			2	—	8	$t_w$	注2
インストラクション サイクル時間				2	—	—	$t_{sys}$ $t_{scu}$	
発振安定時間 (水晶発振器)	$t_{rc}$	OSC <sub>1</sub> , OSC <sub>2</sub>		—	—	40.0	ms	
発振安定時間	$t_{rc}$	X <sub>1</sub> , X <sub>2</sub>		—	—	2.0	s	
外部クロック Highレベル幅	$t_{cph}$	OSC <sub>1</sub>		40.0	—	—	ns	図13.1
外部クロック Lowレベル幅	$t_{cpl}$	OSC <sub>1</sub>		40.0	—	—	ns	図13.1
外部クロック 立ち上がり時間	$t_{crr}$			—	—	15.0	ns	図13.1
外部クロック 立ち下がり時間	$t_{crl}$			—	—	15.0	ns	図13.1
RES端子 Lowレベル幅	$t_{rel}$	RES		10	—	—	$t_{sys}$	図13.2
入力端子 Highレベル幅	$t_{ih}$	$\overline{IRQ}_0\sim\overline{IRQ}_7$ , $WKP_0\sim WKP_7$ , $\overline{ADTRG}$ , $NMI$ , $TMIB1$ , $TMIB2A$ , $TMIB2B$ , $TMIC$ , $TMIF$ , $TMIG$ , $TMCIH$ , $TMRIH$		2	—	—	$t_{sys}$ $t_{scu}$	図13.3
入力端子 Lowレベル幅	$t_{il}$	$\overline{IRQ}_0\sim\overline{IRQ}_7$ , $WKP_0\sim WKP_7$ , $\overline{ADTRG}$ , $NMI$ , $TMIB1$ , $TMIB2A$ , $TMIB2B$ , $TMIC$ , $TMIF$ , $TMIG$ , $TMCIH$ , $TMRIH$		2	—	—	$t_{sys}$ $t_{scu}$	図13.3
UD端子 最小変化幅	$t_{udh}$ $t_{udl}$	UD		4	—	—	$t_{sys}$ $t_{scu}$	図13.4

【注】\*1 外部クロックを入力する場合は1~10MHzとなります。

\*2 システムコントロールレジスタ2 (SYSCR2)のSA1、SA0の設定により決定します。

表13.10 広温度範囲品（I仕様）のシリアルインタフェース（SCL3）タイミング  
 （特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^\circ C$ ）

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期		4	—	—	$t_{CYC}$	図13.5
	クロック同期		6	—	—		
入力クロックパルス幅	$t_{SCKW}$		0.4	—	0.6	$t_{CYC}$	
送信データ遅延時間 （クロック同期）	$t_{TXD}$		—	—	1	$t_{CYC}$	図13.6
受信データセットアップ時間 （クロック同期）	$t_{RXS}$		200.0	—	—	ns	
受信データホールド時間 （クロック同期）	$t_{RXH}$		200.0	—	—	ns	

表13.11 広温度範囲品（I仕様）のI<sup>2</sup>Cバスインタフェース（I<sup>2</sup>C1、I<sup>2</sup>C2）タイミング  
 （特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^\circ C$ ）

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
SCLクロック サイクル時間	$t_{SCL}$	SCL <sub>1</sub> , SCL <sub>2</sub>		12 $t_{CYC}$	—	—	ns	図13.7
SCLクロック Highパルス幅	$t_{SCLH}$	SCL <sub>1</sub> , SCL <sub>2</sub>		3 $t_{CYC}$	—	—	ns	
SCLクロック Lowパルス幅	$t_{SCLL}$	SCL <sub>1</sub> , SCL <sub>2</sub>		5 $t_{CYC}$	—	—	ns	
SCL、SDA 立ち上がり時間	$t_{SU}$	SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	標準モード 100kbit/s(max) 高速モード 400kbit/s(max)	— 20+0.1C <sub>v</sub>	—	1000 300	ns	図13.7 注1
SCL、SDA 立ち下がり時間	$t_{SD}$	SCL <sub>1</sub> , SDA <sub>1</sub> , SCL <sub>2</sub> , SDA <sub>2</sub>	標準モード 100kbit/s(max) 高速モード 400kbit/s(max)	— (20+0.1C <sub>v</sub> )/2	—	300 300	ns	図13.7 注2
バスマフリー時間	$t_{BUF}$	SDA <sub>1</sub> , SDA <sub>2</sub>		7 $t_{CYC}$ -300	—	—	ns	図13.7
開始条件 ホールド時間	$t_{STAH}$	SCL <sub>1</sub> , SCL <sub>2</sub>		3 $t_{CYC}$	—	—	ns	
再送開始条件セ ットアップ時間	$t_{STAS}$	SCL <sub>1</sub> , SCL <sub>2</sub>		3 $t_{CYC}$	—	—	ns	
停止条件セッ トアップ時間	$t_{STOP}$	SDA <sub>1</sub> , SDA <sub>2</sub>		3 $t_{CYC}$	—	—	ns	
SDAデータセ ットアップ時間	$t_{SDAS}$	SDA <sub>1</sub> , SDA <sub>2</sub>		1 $t_{CYC}$ +10	—	—	ns	図13.7 注3
SDAデータ ホールド時間	$t_{SDAH}$	SDA <sub>1</sub> , SDA <sub>2</sub>		0	—	—	ns	図13.7
各バスラインの 容量性負荷	C <sub>v</sub>	SDA <sub>1</sub> , SDA <sub>2</sub>		—	—	400	pF	

- 【注】 \*1 マスタモードで使用する場合、立ち上がり時間 $t_{SU}$ が $2.5t_{CYC}$ 以上になるとクロックのHigh幅を確保する機能が働き転送レートが低下しますので注意してください。
- \*2 SCL、SDA立ち下がり時間 $t_{SD}$ の特性については図13.9を参考にしてください。
- \*3 SDAデータセットアップ時間 $t_{SDAS}$ は $t_{CYC}=200\sim 240ns$  ( $f_{OSC}=10\sim 8.33MHz$ )の範囲の時250ns以下になります。



### 13.4.4 A/D変換器特性

広温度範囲品（I仕様）のA/D変換器特性を表13.12に示します。

表13.12 広温度範囲品（I仕様）のA/D変換器特性  
 （特記なき場合、 $V_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85^\circ C$ ）

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		4.5	—	5.5	V	注1
アナログ入力電圧	$AV_{IN}$	$AN_0\sim AN_{11}$		-0.3	—	$AV_{CC}+0.3$		
アナログ電源電流	$AI_{OP2}$	$AV_{CC}$	$AV_{CC}=5.0V$	—	—	1.5	mA	
	$AI_{STOP1}$	$AV_{CC}$		—	150.0	—	$\mu A$	注2 参考値
	$AI_{STOP2}$	$AV_{CC}$		—	—	5	$\mu A$	注3
アナログ入力容量	$CA_{IN}$	$AN_0\sim AN_{11}$		—	—	30	pF	
許容信号源 インピーダンス	$RA_{IN}$			—	—	10	k $\Omega$	
分解能(7-7長)				—	—	8	ビット	
非直線性誤差				—	—	$\pm 2.0$	LSB	
量子化誤差				—	—	$\pm 0.5$		
絶対精度				—	—	$\pm 2.5$		
変換時間				12.4	—	124	$\mu s$	

【注】\*1 A/D変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

\*2  $AI_{STOP1}$  はアクティブモード、スリープモードでのA/D変換待機時の電流値です。

\*3  $AI_{STOP2}$  はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでのA/D変換待機時の電流値です。

### 13.5 動作タイミング

動作タイミングを図13.1～図13.7に示します。

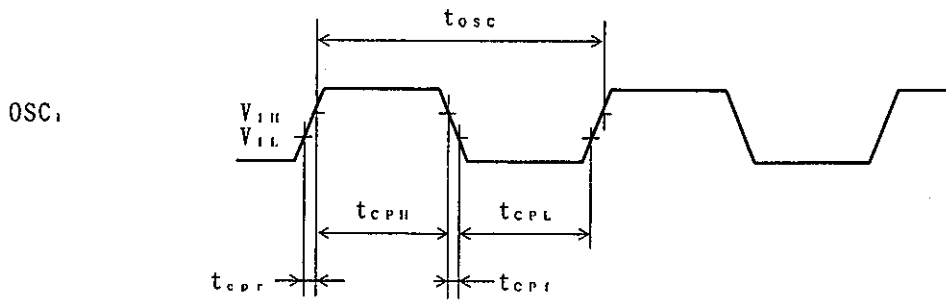


図13.1 システムクロック入力タイミング

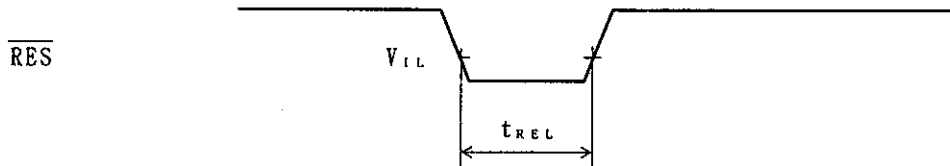


図13.2 RES端子 Low レベル幅タイミング

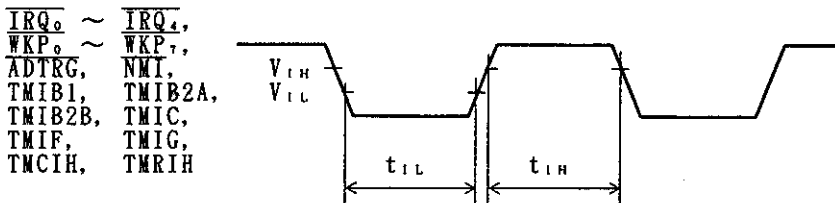


図13.3 入力タイミング

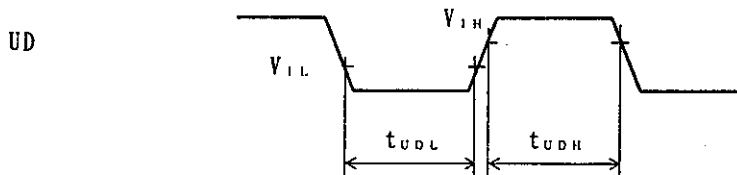


図13.4 UD端子最小変化幅タイミング

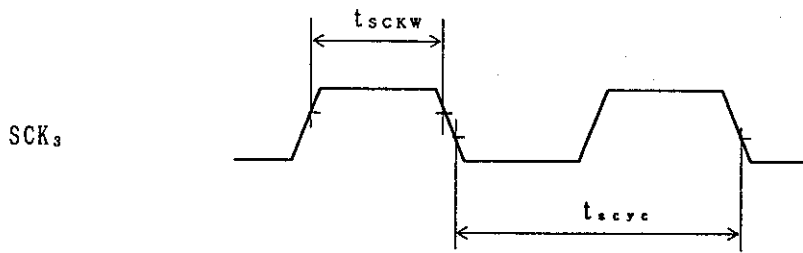
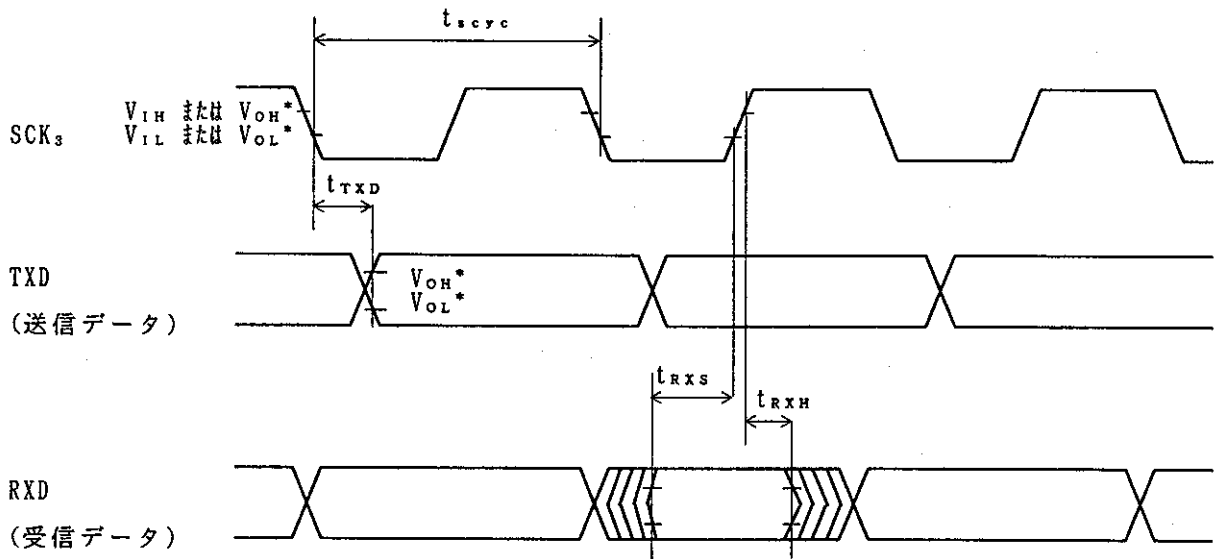


図13.5 SCK<sub>3</sub>入力クロックタイミング

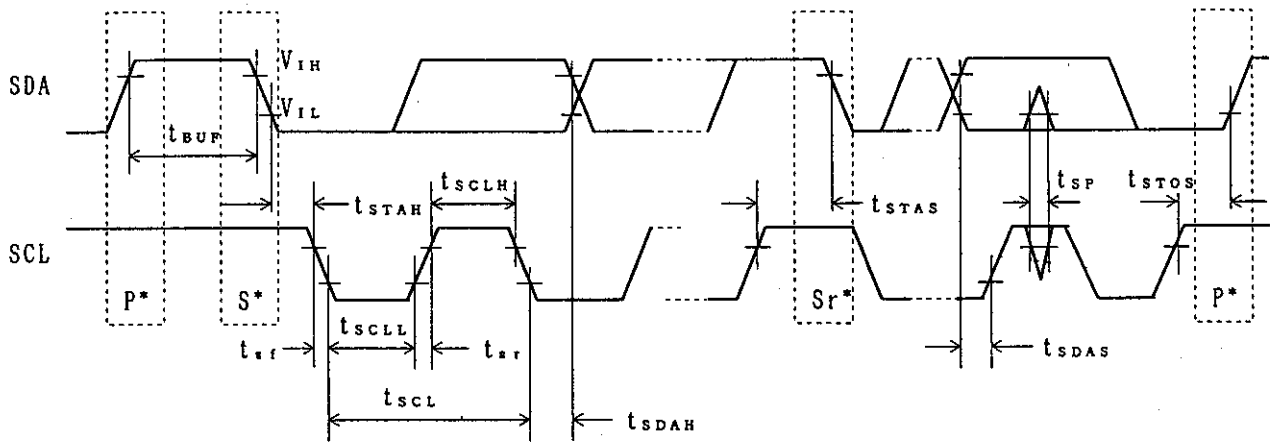


【注】\* 出力タイミング参照レベル

出力 High レベル	$V_{OH}=2.0V$
出力 Low レベル	$V_{OL}=0.8V$

負荷条件は図13.8を参照してください。

図13.6 SCK<sub>3</sub>クロック同期式モード入出力タイミング



【注】\* S、P、Srはそれぞれ以下のことを示します。

S : 開始条件

P : 停止条件

Sr : 再送「開始」条件

図13.7 I<sup>2</sup>C 1、I<sup>2</sup>C 2 バスインタフェース入出力タイミング

### 13.6 出力負荷回路

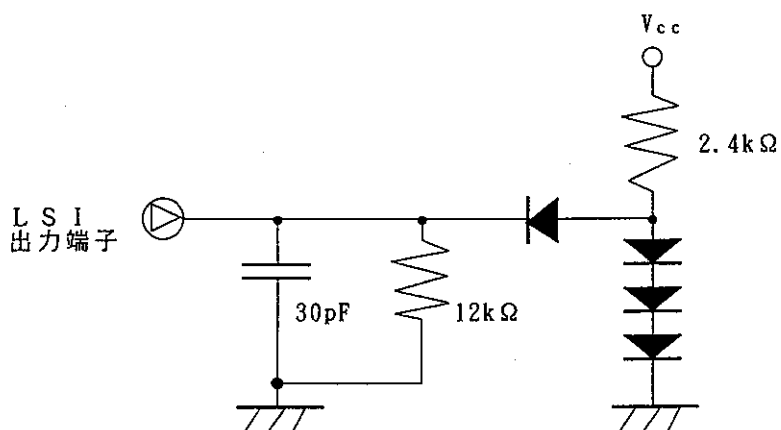
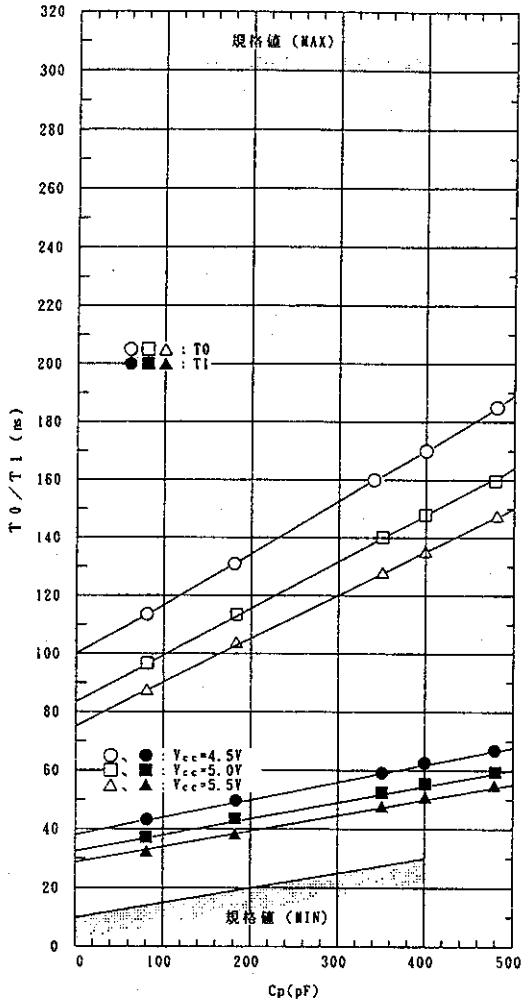


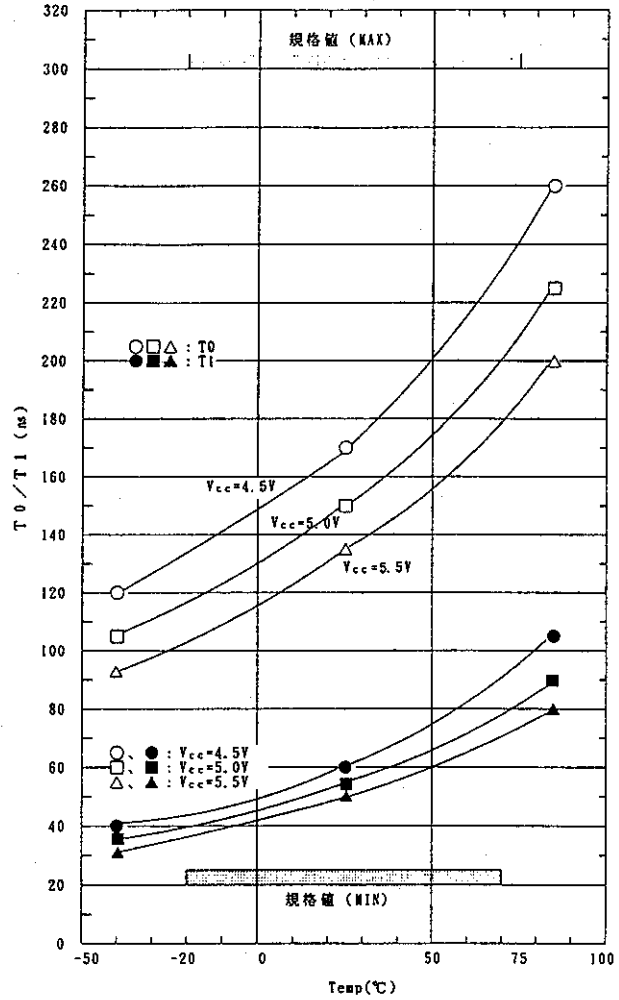
図13.8 出力負荷条件

### 13.7 電気的特性参考図



負荷容量依存性

条件 :  $R_p=820\Omega$ ,  $Temp=25^\circ C$



温度依存性

条件 :  $C_p=400pF$ ,  $R_p=820\Omega$

図13.9(a) SCL, SDA出力特性参考図

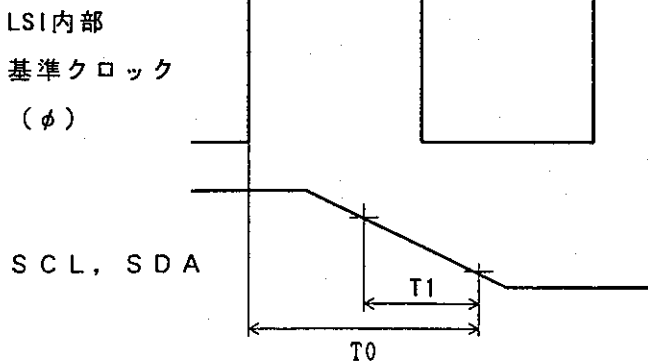


図13.9(b) 測定項目

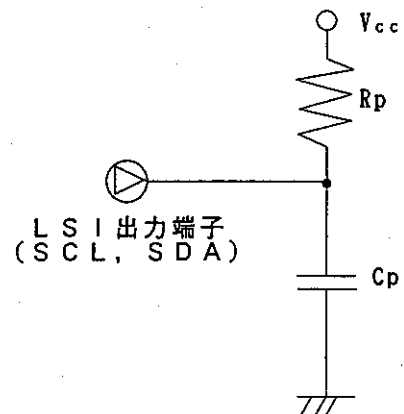


図13.9(c) 測定条件

13.9 I<sup>2</sup>Cバスインタフェース電気的特性参考図

# 付録

## 付録 目次

A.	命令	A-1
A.1	命令一覧	A-1
A.2	オペレーションコードマップ	A-11
A.3	命令実行ステート数	A-12
B.	レジスタ一覧	B-1
B.1	I/Oレジスタ一覧(1)	B-1
B.2	I/Oレジスタ一覧(2)	B-5
C.	I/Oポートブロック図	C-1
C.1	ポート1ブロック図	C-1
C.2	ポート2ブロック図	C-6
C.3	ポート3ブロック図	C-11
C.4	ポート4ブロック図	C-12
C.5	ポート5ブロック図	C-16
C.6	ポート6ブロック図	C-17
C.7	ポート7ブロック図	C-18
C.8	ポート8ブロック図	C-19
C.9	ポート9ブロック図	C-20
C.10	ポートAブロック図	C-27
C.11	ポートBブロック図	C-28
C.12	ポートCブロック図	C-29
D.	各処理状態におけるポートの状態	D-1
E.	外形寸法図	E-1

## A. 命令

### A.1 命令一覧

《オペレーションの記号》

Rd 8/16	汎用レジスタ (デスティネーション側) 8ビット/16ビット
Rs 8/16	汎用レジスタ (ソース側) 8ビット/16ビット
Rn 8/16	汎用レジスタ 8ビット/16ビット
CCR	コンディションコードレジスタ
N	CCRのN (ネガティブ) フラグ
Z	CCRのZ (ゼロ) フラグ
V	CCRのV (オーバフロー) フラグ
C	CCRのC (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3ビット/8ビット/16ビット
d: 8/16	ディスプレイメント 8ビット/16ビット
@aa: 8/16	絶対アドレス 8ビット/16ビット
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
—	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に "0" にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

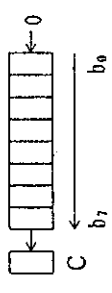


表A.1 命令セット一覧(1)

MOV	ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディショニングコード					実行 スト 数				
			#xx:8/16	Rn	④Rn	④(d:16, Rn)	④-Rn/④Rn+	④aa:8/16	④(d:8, PC)		④④aa	I	H	N	Z		V	C		
			2	2	2	4	2	2	4		2	-	-	↑	↑		0	-		
	MOV.B #xx:8, Rd	B	2													↑	↑	0	-	2
	MOV.B Rs, Rd	B		2												↑	↑	0	-	2
	MOV.B @Rs, Rd	B			2											↑	↑	0	-	4
	MOV.B ④(d:16, Rs), Rd	B				4										↑	↑	0	-	6
	MOV.B ④Rst, Rd	B					2									↑	↑	0	-	6
	MOV.B ④aa:8, Rd	B						2								↑	↑	0	-	4
	MOV.B ④aa:16, Rd	B							4							↑	↑	0	-	6
	MOV.B Rs, ④Rd	B			2											↑	↑	0	-	4
	MOV.B Rs, ④(d:16, Rd)	B				4										↑	↑	0	-	6
	MOV.B Rs, ④-Rd	B					2									↑	↑	0	-	6
	MOV.B Rs, ④aa:8	B							2							↑	↑	0	-	4
	MOV.B Rs, ④aa:16	B								4						↑	↑	0	-	6
	MOV.W #xx:16, Rd	W	4													↑	↑	0	-	4
	MOV.W Rs, Rd	W		2												↑	↑	0	-	2
	MOV.W @Rs, Rd	W			2											↑	↑	0	-	4
	MOV.W ④(d:16, Rs), Rd	W				4										↑	↑	0	-	6
	MOV.W ④Rst, Rd	W					2									↑	↑	0	-	6
	MOV.W ④aa:16, Rd	W							4							↑	↑	0	-	6
	MOV.W Rs, ④Rd	W			2											↑	↑	0	-	4
	MOV.W Rs, ④(d:16, Rd)	W				4										↑	↑	0	-	6



表A.1 命令セット一覧(3)

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディショニングコード					実行 行数		
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rnt	0aa:8/16		0(d:8, PC)	00aa	I	H	N		Z	V
SUBS	W		2													2
		SUBS.W #1, Rd							Rd16-1→Rd16							
DEC	B		2													2
		SUBS.W #2, Rd							Rd16-2→Rd16							
DAS	B		2													2
		DEC.B Rd							Rd8-1→Rd8							
NEG	B		2													2
		DAS.B Rd							Rd8 10進補正→Rd8		*					
CMP	B		2													2
		NEG.B Rd							0-Rd→Rd							
MULXU	B		2													2
		CMP.B #xx:8, Rd							Rd8-#xx:8							
DIVXU	B		2													2
		CMP.B Rs, Rd							Rd8-Rs8							
AND	B		2													2
		CMP.W Rs, Rd							Rd16-Rs16		①					
OR	B		2													2
		MULXU.B Rs, Rd							Rd8×Rs8→Rd16							
XOR	B		2													2
		DIVXU.B Rs, Rd							Rd16÷Rs8→Rd16							
NOT	B		2													2
		AND.B #xx:8, Rd							Rd8∧#xx:8→Rd8							
SHAL	B		2													2
		AND.B Rs, Rd							Rd8∧Rs8→Rd8							
SHAL	B		2													2
		OR.B #xx:8, Rd							Rd8∨#xx:8→Rd8							
SHAL	B		2													2
		OR.B Rs, Rd							Rd8∨Rs8→Rd8							
SHAL	B		2													2
		XOR.B #xx:8, Rd							Rd8⊕#xx:8→Rd8							
SHAL	B		2													2
		XOR.B Rs, Rd							Rd8⊕Rs8→Rd8							
SHAL	B		2													2
		NOT.B Rd							Rd→Rd							
SHAL	B		2													2
		SHAL.B Rd														



表A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 対- 数	
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16		0(d:8, PC)	00aa	I	H	N		Z
BSET	B						4		(#xx:3 of 0aa:8) ← 1	-	-	-	-	-	8
BSET Rn, Rd	B	2							(Rn8 of Rd8) ← 1	-	-	-	-	-	2
BSET Rn, 0Rd	B		4						(Rn8 of 0Rd16) ← 1	-	-	-	-	-	8
BSET Rn, 0aa:8	B						4		(Rn8 of 0aa:8) ← 1	-	-	-	-	-	8
BCLR	B								(#xx:3 of Rd8) ← 0	-	-	-	-	-	2
BCLR #xx:3, 0Rd	B	2							(#xx:3 of 0Rd16) ← 0	-	-	-	-	-	8
BCLR #xx:3, 0aa:8	B						4		(#xx:3 of 0aa:8) ← 0	-	-	-	-	-	8
BCLR Rn, Rd	B	2							(Rn8 of Rd8) ← 0	-	-	-	-	-	2
BCLR Rn, 0Rd	B		4						(Rn8 of 0Rd16) ← 0	-	-	-	-	-	8
BCLR Rn, 0aa:8	B						4		(Rn8 of 0aa:8) ← 0	-	-	-	-	-	8
BNOT	B								(#xx:3 of Rd8) ← (#xx:3 of Rd8)	-	-	-	-	-	2
BNOT #xx:3, 0Rd	B	2							(#xx:3 of 0Rd16) ← (#xx:3 of 0Rd16)	-	-	-	-	-	8
BNOT #xx:3, 0aa:8	B						4		(#xx:3 of 0aa:8) ← (#xx:3 of 0aa:8)	-	-	-	-	-	8
BNOT Rn, Rd	B	2							(Rn8 of Rd8) ← (Rn8 of Rd8)	-	-	-	-	-	2
BNOT Rn, 0Rd	B		4						(Rn8 of 0Rd16) ← (Rn8 of 0Rd16)	-	-	-	-	-	8
BNOT Rn, 0aa:8	B						4		(Rn8 of 0aa:8) ← (Rn8 of 0aa:8)	-	-	-	-	-	8
BTST	B								(#xx:3 of Rd8) → Z	-	-	-	↑	-	2
BTST #xx:3, Rd	B	2							(#xx:3 of 0Rd16) → Z	-	-	-	↑	-	6
BTST #xx:3, 0Rd	B		4						(#xx:3 of 0aa:8) → Z	-	-	-	↑	-	6
BTST #xx:3, 0aa:8	B						4		(Rn8 of Rd8) → Z	-	-	-	↑	-	2
BTST Rn, Rd	B	2								-	-	-	-	-	2

表A.1 命令セット一覧(6)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディショニングコード					実行 スタート 数		
		#xx:8/16	Rn	ORn	⓪(d:16, Rn)	⓪-Rn/⓪Rn+	⓪aa:8/16	⓪(d:8, PC)		⓪⓪aa	I	H	N	Z		V	C
		--	--	--	--	--	--	--		--							
BTST	B		4						(Rn8 of ⓪Rd16)→Z	-	-	-	↑	-	-	6	
							4		(Rn8 of ⓪aa:8)→Z	-	-	-	↑	-	-	6	
BLD	B	2							(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
			4						(#xx:3 of ⓪Rd16)→C	-	-	-	-	-	↑	6	
							4		(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
									(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
BILD	B	2							(#xx:3 of ⓪Rd16)→C	-	-	-	-	-	↑	6	
			4						(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
							4		(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
									C→(#xx:3 of Rd8)	-	-	-	-	-	-	2	
BST	B	2							C→(#xx:3 of ⓪Rd16)	-	-	-	-	-	-	8	
			4						C→(#xx:3 of ⓪aa:8)	-	-	-	-	-	-	8	
							4		C→(#xx:3 of ⓪aa:8)	-	-	-	-	-	-	2	
BIST	B	2							C→(#xx:3 of Rd8)	-	-	-	-	-	-	2	
			4						C→(#xx:3 of ⓪Rd16)	-	-	-	-	-	-	8	
									C→(#xx:3 of ⓪aa:8)	-	-	-	-	-	-	8	
							4		C→(#xx:3 of ⓪aa:8)	-	-	-	-	-	-	8	
BAND	B	2							C∧(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
			4						C∧(#xx:3 of ⓪Rd16)→C	-	-	-	-	-	↑	6	
							4		C∧(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
									C∧(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
BIAND	B	2							C∧(#xx:3 of ⓪Rd16)→C	-	-	-	-	-	↑	6	
			4						C∧(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
							4		C∧(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	
									C∧(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
BOR	B	2							CV(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2	
			4						CV(#xx:3 of ⓪Rd16)→C	-	-	-	-	-	↑	6	
							4		CV(#xx:3 of ⓪aa:8)→C	-	-	-	-	-	↑	6	

表A.1 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション		コンディショニングコード							実行 バイト 数						
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@aa	-	分岐条件	I	H	N		Z	V	C			
BIOR	B	2																↑	2		
	B		4																↑	6	
	B					4													↑	6	
BXOR	B	2																	↑	2	
	B		4																↑	6	
	B					4													↑	6	
BIXOR	B	2																	↑	2	
	B		4																↑	6	
	B					4													↑	6	
Bcc	BRA d:8 (BT d:8)	-																			4
	BRN d:8 (BF d:8)	-																			4
	BHI d:8	-																			4
	BLS d:8	-																			4
	BCC d:8 (BHS d:8)	-																			4
	BCS d:8 (BLO d:8)	-																			4
	BNE d:8	-																			4
	BEQ d:8	-																			4
	BVC d:8	-																			4
	BVS d:8	-																			4
	BPL d:8	-																			4
	BMI d:8	-																			4
	BGE d:8	-																			4
BLT d:8	-																			4	
BGT d:8	-																			4	
BLE d:8	-																			4	





表A.1 命令セット一覧(9)

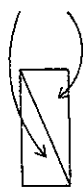
ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード					実行 AT- 数	
		#xx:8/16	Rn	@Rn	0(d:16, Rn)	0-Rn/@Rn+	@aa:8/16	0(d:8, PC)		@aa	I	H	N	Z		V
SLEEP	-								2	低消費電力状態に遷移	-	-	-	-	-	2
LDC #xx:8, CCR	B	2								#xx:8→CCR	↑	↑	↑	↑	↑	2
LDC Rs, CCR	B		2							Rs8→CCR	↑	↑	↑	↑	↑	2
STC STC CCR, Rd	B		2							CCR→Rd8	-	-	-	-	-	2
ANDC #xx:8, CCR	B	2								CCR∧#xx:8→CCR	↑	↑	↑	↑	↑	2
ORC #xx:8, CCR	B	2								CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	2
XORC #xx:8, CCR	B	2								CCR⊕#xx:8→CCR	↑	↑	↑	↑	↑	2
NOP	-								2	PC←PC+2	-	-	-	-	-	2
BEPMOV	-								4	if R4L≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	-	-	-	-	-	④

【注】 ①：ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。  
 ②：演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。  
 ③：補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。  
 ④：実行ステータス数は、R4Lの設定値がnのとき4n+9となります。  
 ⑤：除数が負のとき1にセットされ、それ以外のとき0にクリアされます。  
 ⑥：除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

## A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト（第1ワードのビット15～8）についてのみ示しています。

第2バイトの最上位ビット（命令コードの第1ワードのビット7）が0の場合を示します。  
 第2バイトの最上位ビット（命令コードの第1ワードのビット7）が1の場合を示します。



表A.2 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SHLR	SHAR	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA	
1	SHLL	SHAR	SHLR	ROTXL	ROTR	OR	XOR	AND	NOT	NEG	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV																
3	MOV																
4	BRA	BRN	BHI	BLS	BCC	BSC	BNE	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE					JMP				JSR	
6	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BST	BIS	BLD	BILD			MOV*			
7					BOR	BXOR	BAND	BST	BIS	BLD	BILD	MOV	EEPMOV				ビット操作命令
8	ADD																
9	ADDX																
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

【注】 \* PUSH, POP命令の機械語はMOV命令と同一です。

### A.3 命令実行ステート数

H8/300L CPUの各命令についての実行状態と実行ステート数の計算方法を示します。表A.4に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.3に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

#### ■ 実行ステート数計算例

(例) 内蔵ROMより命令をフェッチし、内蔵RAMをアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象	
	内蔵メモリ	内蔵周辺モジュール
命令フェッチ S <sub>I</sub>	2	2または3*
分岐アドレスリード S <sub>J</sub>		
スタック操作 S <sub>K</sub>		
バイトデータアクセス S <sub>L</sub>		
ワードデータアクセス S <sub>M</sub>		
内部動作 S <sub>N</sub>	1	

【注】\* 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表A. 4 命令の実行状態 (サイクル数) (1)

命令	ニーモニック	命令フェッチ	分岐フェッチ リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

表A.4 命令の実行状態(サイクル数)(2)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

表A.4 命令の実行状態(サイクル数)(3)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEMOV	EEMOV	2			$2n + 2^{*1}$		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rst, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		

表A.4 命令の実行状態(サイクル数)(4)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV. B Rs, @Rd	1			1		
	MOV. B Rs, @(d:16, Rd)	2			1		
	MOV. B Rs, @-Rd	1			1		2
	MOV. B Rs, @aa:8	1			1		
	MOV. B Rs, @aa:16	2			1		
	MOV. W #xx:16, Rd	2					
	MOV. W Rs, Rd	1					
	MOV. W @Rs, Rd	1				1	
	MOV. W @(d:16, Rs), Rd	2				1	
	MOV. W @Rs+, Rd	1				1	2
	MOV. W @aa:16, Rd	2				1	
	MOV. W Rs, @Rd	1				1	
	MOV. W Rs, @(d:16, Rd)	2				1	
	MOV. W Rs, @-Rd	1				1	2
	MOV. W Rs, @aa:16	2				1	
MULXU	MULXU. B Rs, Rd	1					12
NEG	NEG. B Rd	1					
NOP	NOP	1					
NOT	NOT. B Rd	1					
OR	OR. B #xx:8, Rd	1					
	OR. B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL. B Rd	1					
ROTR	ROTR. B Rd	1					
ROTXL	ROTXL. B Rd	1					
ROTXR	ROTXR. B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL. B Rd	1					
SHAR	SHAR. B Rd	1					
SHLL	SHLL. B Rd	1					
SHLR	SHLR. B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB. B Rs, Rd	1					
	SUB. W Rs, Rd	1					

表A.4 命令の実行状態 (サイクル数) (5)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】\*1 nはR4Lの設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。



## B. レジスタ一覧

### B.1 I/Oレジスタ一覧(1)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 80	ICCR1	ICE1	IEIC1	MST1	TRS1	ACK1	CKS12	CKS11	CKS10	I <sup>2</sup> C
H' 81	ICSR1	BBSY1	IRIC1	SCP1	—	AL1	AAS1	ADZ1	ACKB1	
H' 82	ICDR1	ICDR17	ICDR16	ICDR15	ICDR14	ICDR13	ICDR12	ICDR11	ICDR10	
H' 83	ICMR1/ SAR1	MLS1/ SVA16	WAIT1/ SVA15	—/ SVA14	—/ SVA13	—/ SVA12	BC12/ SVA11	BC11/ SVA10	BC10/ FS1	
H' 84	ICCR2	ICE2	IEIC2	MST2	TRS2	ACK2	CKS22	CKS21	CKS20	
H' 85	ICSR2	BBSY2	IRIC2	SCP2	—	AL2	AAS2	ADZ2	ACKB2	
H' 86	ICDR2	ICDR27	ICDR26	ICDR25	ICDR24	ICDR23	ICDR22	ICDR21	ICDR20	
H' 87	ICMR2/ SAR2	MLS2/ SVA26	WAIT2/ SVA25	—/ SVA24	—/ SVA23	—/ SVA22	BC22/ SVA21	BC21/ SVA20	BC20/ FS2	
H' 88	TCRH	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマH
H' 89	TCSRH	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
H' 8A	TCORAH	TCORAH7	TCORAH6	TCORAH5	TCORAH4	TCORAH3	TCORAH2	TCORAH1	TCORAH0	
H' 8B	TCORBH	TCORBH7	TCORBH6	TCORBH5	TCORBH4	TCORBH3	TCORBH2	TCORBH1	TCORBH0	
H' 8C	TCNTH	TCNTH7	TCNTH6	TCNTH5	TCNTH4	TCNTH3	TCNTH2	TCNTH1	TCNTH0	
H' 8D										
H' 8E										
H' 8F										
H' 90	PWCR	—	—	—	—	—	—	—	CKS	8ビット PWM
H' 91	PWDR0	PWDR0 <sub>7</sub>	PWDR0 <sub>6</sub>	PWDR0 <sub>5</sub>	PWDR0 <sub>4</sub>	PWDR0 <sub>3</sub>	PWDR0 <sub>2</sub>	PWDR0 <sub>1</sub>	PWDR0 <sub>0</sub>	
H' 92	PWDR1	PWDR1 <sub>7</sub>	PWDR1 <sub>6</sub>	PWDR1 <sub>5</sub>	PWDR1 <sub>4</sub>	PWDR1 <sub>3</sub>	PWDR1 <sub>2</sub>	PWDR1 <sub>1</sub>	PWDR1 <sub>0</sub>	
H' 93	PWDR2	PWDR2 <sub>7</sub>	PWDR2 <sub>6</sub>	PWDR2 <sub>5</sub>	PWDR2 <sub>4</sub>	PWDR2 <sub>3</sub>	PWDR2 <sub>2</sub>	PWDR2 <sub>1</sub>	PWDR2 <sub>0</sub>	
H' 94	PWDR3	PWDR3 <sub>7</sub>	PWDR3 <sub>6</sub>	PWDR3 <sub>5</sub>	PWDR3 <sub>4</sub>	PWDR3 <sub>3</sub>	PWDR3 <sub>2</sub>	PWDR3 <sub>1</sub>	PWDR3 <sub>0</sub>	
H' 95	PWDR4	PWDR4 <sub>7</sub>	PWDR4 <sub>6</sub>	PWDR4 <sub>5</sub>	PWDR4 <sub>4</sub>	PWDR4 <sub>3</sub>	PWDR4 <sub>2</sub>	PWDR4 <sub>1</sub>	PWDR4 <sub>0</sub>	
H' 96	PWDR5	PWDR5 <sub>7</sub>	PWDR5 <sub>6</sub>	PWDR5 <sub>5</sub>	PWDR5 <sub>4</sub>	PWDR5 <sub>3</sub>	PWDR5 <sub>2</sub>	PWDR5 <sub>1</sub>	PWDR5 <sub>0</sub>	
H' 97	PWDR6	PWDR6 <sub>7</sub>	PWDR6 <sub>6</sub>	PWDR6 <sub>5</sub>	PWDR6 <sub>4</sub>	PWDR6 <sub>3</sub>	PWDR6 <sub>2</sub>	PWDR6 <sub>1</sub>	PWDR6 <sub>0</sub>	
H' 98	PWDR7	PWDR7 <sub>7</sub>	PWDR7 <sub>6</sub>	PWDR7 <sub>5</sub>	PWDR7 <sub>4</sub>	PWDR7 <sub>3</sub>	PWDR7 <sub>2</sub>	PWDR7 <sub>1</sub>	PWDR7 <sub>0</sub>	
H' 99										
H' 9A										
H' 9B										

<記号説明>

(次頁に続く)

I<sup>2</sup>C : I<sup>2</sup>Cバスインタフェース

(前頁より続く)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 9C	TMB 2	TMB27	—	—	—	—	TMB22	TMB21	TMB20	タイマB 2
H' 9D	TCB 2 / TLB 2	TCB27/ TLB27	TCB26/ TLB26	TCB25/ TLB25	TCB24/ TLB24	TCB23/ TLB23	TCB22/ TLB22	TCB21/ TLB21	TCB20/ TLB20	
H' 9E	TMB 3	TMB37	—	—	—	—	TMB32	TMB31	TMB30	タイマB 3
H' 9F	TCB 3 / TLB 3	TCB37/ TLB37	TCB36/ TLB36	TCB35/ TLB35	TCB34/ TLB34	TCB33/ TLB33	TCB32/ TLB32	TCB31/ TLB31	TCB30/ TLB30	
H' A0										
H' A1										
H' A2										
H' A3										
H' A4										
H' A5										
H' A6										
H' A7										
H' A8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI 3
H' A9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H' AA	SCR 3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' AB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
H' AC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H' AD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H' AE										
H' AF										
H' B0	TMA	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0	タイマA
H' B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H' B2	TMB 1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	タイマB 1
H' B3	TCB 1 / TLB 1	TCB17/ TLB17	TCB16/ TLB16	TCB15/ TLB15	TCB14/ TLB14	TCB13/ TLB13	TCB12/ TLB12	TCB11/ TLB11	TCB10/ TLB10	
H' B4	TMC	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	タイマC
H' B5	TCC / TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0	
H' B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSLO	タイマF
H' B7	TCSRF	OVFH	CMFH	OVIH	CCLRH	OVFL	CMFL	OVEL	CCLRL	
H' B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H' B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFLO	
H' BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H' BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	

(次頁に続く)

<記号説明>

SCI 3 : シリアルコミュニケーションインタフェース3

(前頁より続く)

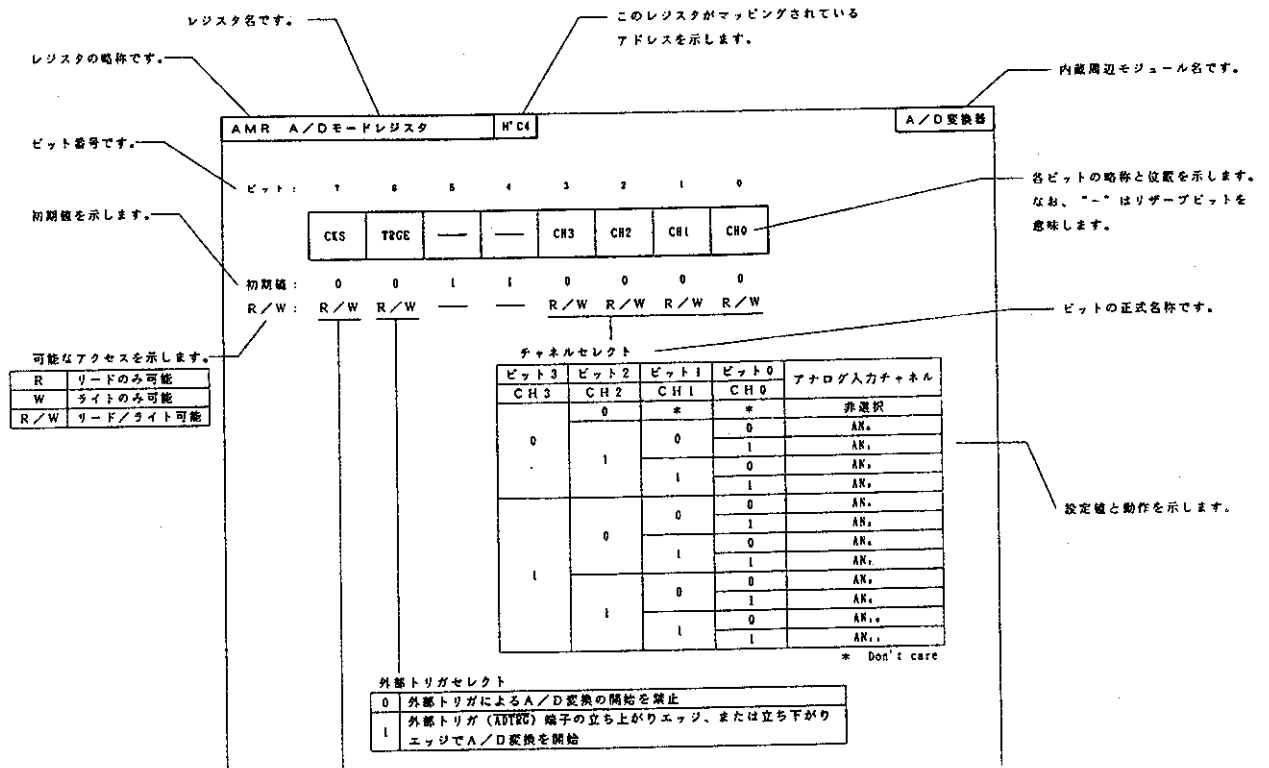
下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' BC	TMG	OVFH	OVFL	OVIE	IIBGS	CCLR1	CCLR0	CKS1	CKS0	タイマG
H' BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
H' BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
H' BF										
H' C0										
H' C1										
H' C2										
H' C3										
H' C4	AMR	CKS	TRGE	—	—	CH3	CH2	CH1	CH0	A/D変換器
H' C5	ADDR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H' C6	ADSR	ADSF	—	—	—	—	—	—	—	
H' C7										
H' C8	PMR 1	IRQ3	IRQ2	IRQ1	—	TM1G	TMOPH	TMOFL	TMOW	I/Oポート
H' C9	PMR 2	TM1B2B	TM1B2A	EDGB2	NCS	IRQ0	—	UD	IRQ4	
H' CA	PMR 3	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	
H' CB										
H' CC	PMR 5	WKP <sub>7</sub>	WKP <sub>6</sub>	WKP <sub>5</sub>	WKP <sub>4</sub>	WKP <sub>3</sub>	WKP <sub>2</sub>	WKP <sub>1</sub>	WKP <sub>0</sub>	
H' CD										
H' CE										
H' CF										
H' D0										
H' D1										
H' D2										
H' D3										
H' D4	PDR 1	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>	I/Oポート
H' D5	PDR 2	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>	
H' D6	PDR 3	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>	
H' D7	PDR 4	—	—	—	—	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>	
H' D8	PDR 5	P5 <sub>7</sub>	P5 <sub>6</sub>	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>	
H' D9	PDR 6	P6 <sub>7</sub>	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>	
H' DA	PDR 7	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>	
H' DB	PDR 8	P8 <sub>7</sub>	P8 <sub>6</sub>	P8 <sub>5</sub>	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>	
H' DC	PDR 9	P9 <sub>7</sub>	P9 <sub>6</sub>	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	—	
H' DD	PDRA	—	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>	
H' DE	PDRB	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>	

(次頁に続く)

(前頁より続く)

下位7Fh	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' DF	P D R C	—	—	—	—	PC <sub>3</sub>	PC <sub>2</sub>	PC <sub>1</sub>	PC <sub>0</sub>	I/Oポート
H' E0	P U C R 1	PUCR1 <sub>7</sub>	PUCR1 <sub>6</sub>	PUCR1 <sub>5</sub>	PUCR1 <sub>4</sub>	PUCR1 <sub>3</sub>	PUCR1 <sub>2</sub>	PUCR1 <sub>1</sub>	PUCR1 <sub>0</sub>	I/Oポート
H' E1	P U C R 7	PUCR7 <sub>7</sub>	PUCR7 <sub>6</sub>	PUCR7 <sub>5</sub>	PUCR7 <sub>4</sub>	PUCR7 <sub>3</sub>	PUCR7 <sub>2</sub>	PUCR7 <sub>1</sub>	PUCR7 <sub>0</sub>	
H' E2	P U C R 5	PUCR5 <sub>7</sub>	PUCR5 <sub>6</sub>	PUCR5 <sub>5</sub>	PUCR5 <sub>4</sub>	PUCR5 <sub>3</sub>	PUCR5 <sub>2</sub>	PUCR5 <sub>1</sub>	PUCR5 <sub>0</sub>	
H' E3	P U C R 6	PUCR6 <sub>7</sub>	PUCR6 <sub>5</sub>	PUCR6 <sub>5</sub>	PUCR6 <sub>4</sub>	PUCR6 <sub>3</sub>	PUCR6 <sub>2</sub>	PUCR6 <sub>1</sub>	PUCR6 <sub>0</sub>	
H' E4	P C R 1	PCR1 <sub>7</sub>	PCR1 <sub>6</sub>	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	PCR1 <sub>3</sub>	PCR1 <sub>2</sub>	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>	
H' E5	P C R 2	PCR2 <sub>7</sub>	PCR2 <sub>6</sub>	PCR2 <sub>5</sub>	PCR2 <sub>4</sub>	PCR2 <sub>3</sub>	PCR2 <sub>2</sub>	PCR2 <sub>1</sub>	PCR2 <sub>0</sub>	
H' E6	P C R 3	PCR3 <sub>7</sub>	PCR3 <sub>6</sub>	PCR3 <sub>5</sub>	PCR3 <sub>4</sub>	PCR3 <sub>3</sub>	PCR3 <sub>2</sub>	PCR3 <sub>1</sub>	PCR3 <sub>0</sub>	
H' E7	P C R 4	—	—	—	—	—	PCR4 <sub>2</sub>	PCR4 <sub>1</sub>	PCR4 <sub>0</sub>	
H' E8	P C R 5	PCR5 <sub>7</sub>	PCR5 <sub>6</sub>	PCR5 <sub>5</sub>	PCR5 <sub>4</sub>	PCR5 <sub>3</sub>	PCR5 <sub>2</sub>	PCR5 <sub>1</sub>	PCR5 <sub>0</sub>	
H' E9	P C R 6	PCR6 <sub>7</sub>	PCR6 <sub>6</sub>	PCR6 <sub>5</sub>	PCR6 <sub>4</sub>	PCR6 <sub>3</sub>	PCR6 <sub>2</sub>	PCR6 <sub>1</sub>	PCR6 <sub>0</sub>	
H' EA	P C R 7	PCR7 <sub>7</sub>	PCR7 <sub>6</sub>	PCR7 <sub>5</sub>	PCR7 <sub>4</sub>	PCR7 <sub>3</sub>	PCR7 <sub>2</sub>	PCR7 <sub>1</sub>	PCR7 <sub>0</sub>	
H' EB	P C R 8	PCR8 <sub>7</sub>	PCR8 <sub>6</sub>	PCR8 <sub>5</sub>	PCR8 <sub>4</sub>	PCR8 <sub>3</sub>	PCR8 <sub>2</sub>	PCR8 <sub>1</sub>	PCR8 <sub>0</sub>	
H' EC	P C R 9	PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	—	—	—	—	—	
H' ED	P C R A	—	PCRA <sub>6</sub>	PCRA <sub>5</sub>	PCRA <sub>4</sub>	PCRA <sub>3</sub>	PCRA <sub>2</sub>	PCRA <sub>1</sub>	PCRA <sub>0</sub>	
H' EE										
H' EF										
H' F0	S Y S C R 1	SSBY	STS2	STS1	STS0	LSON	—	—	—	システム コントロール
H' F1	S Y S C R 2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
H' F2	I E G R	NMIEG	—	—	IEG4	IEG3	IEG2	IEG1	IEG0	
H' F3	I E N R 1	IEN TA	IEN TB3	IEN WP	IEN 4	IEN 3	IEN 2	IEN 1	IEN 0	
H' F4	I E N R 2	IEN DT	IEN AD	IEN TB2	IEN TG	IEN TFH	IEN TFL	IEN TC	IEN TB1	
H' F5										
H' F6	I R R 1	IRRTA	IRRTB3	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	システム コントロール
H' F7	I R R 2	IRRD T	IRRAD	IRRTB2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB1	
H' F8										
H' F9	I W P R	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	システムコントロール
H' FA										
H' FB										
H' FC										
H' FD										
H' FE										
H' FF										

## B.2 I/Oレジスタ一覧(2)



ビット: 7 6 5 4 3 2 1 0

ICB1	IEIC1	MST1	TRS1	ACK1	CKS12	CKS11	CKS10
------	-------	------	------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

転送クロック選択

CKS12	CKS11	CKS10	クロック	転送レート		
				$\phi = 2 \text{ MHz}$	$\phi = 4 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	0	0	$\phi / 14$	143 kHz	286 kHz	357 kHz
		1	$\phi / 20$	100 kHz	200 kHz	250 kHz
	1	0	$\phi / 24$	83.3 kHz	167 kHz	208 kHz
		1	$\phi / 32$	62.5 kHz	125 kHz	156 kHz
1	0	0	$\phi / 40$	50.0 kHz	100 kHz	125 kHz
		1	$\phi / 50$	40.0 kHz	80.0 kHz	100 kHz
	1	0	$\phi / 56$	35.7 kHz	71.4 kHz	89.3 kHz
		1	$\phi / 64$	31.3 kHz	62.5 kHz	78.1 kHz

アクリリジメントモード選択

0	アクリリジメントモード
1	シリアルモード

マスタ/スレーブ選択、送信/受信選択

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I<sup>2</sup>Cバスインタフェース割り込みイネーブル

0	割り込み要求を禁止
1	割り込み要求を許可

I<sup>2</sup>Cバスインタフェースイネーブル

0	本モジュールは非動作、SCL/SDA信号はハイインピーダンス状態
1	本モジュールは転送動作可能状態

ビット: 7 6 5 4 3 2 1 0

BBSY1	IRIC1	SCP1	—	AL1	AAS1	ADZ1	ACKB1
-------	-------	------	---	-----	------	------	-------

初期値: 0 0 1 1 0 0 0 0  
 R/W: R/W R/(W)\* W — R/(W)\*R/(W)\*R/(W)\*R/W

アクリッジビット

0	受信時、アクリッジ出力タイミングで0出力 送信時、受信デバイスからアクリッジがあったことを示す
1	受信時、アクリッジ出力タイミングで1出力 送信時、受信デバイスからアクリッジがなかったことを示す

ゼネラルコールアドレス認識フラグ

0	ゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDR1にデータをライト(送信時)、もしくはリード(受信時)したとき ・ADZ1=1リード後、0をライトしたとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレープ受信モードでゼネラルコールアドレスを検出したとき

スレープアドレス認識フラグ

0	スレープアドレスまたはゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDR1にデータをライト(送信時)、もしくはリード(受信時)したとき ・AAS1=1リード後、0をライトしたとき
1	スレープアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレープ受信モードでスレープアドレスまたはゼネラルコールアドレスを検出したとき

アークビトレイションロストフラグ

0	バスアークビトレイションを確保 〔クリア条件〕 ・ICDR1にデータをライト(送信時)、もしくはリード(受信時)したとき ・AL1=1リード後、0をライトしたとき
1	アークビトレイションロスト 〔セット条件〕 ・マスタ送信モードでSCLの立ち上がりで内部SDAとバスラインが不一致のとき ・マスタ送信モードでSCLの立ち下がりで内部SCLが High レベルのとき

開始条件/停止条件発行禁止ビット

0	ライト時、BBSY1と組み合わせ開始条件、停止条件発行
1	リード時、常に1がリード ライト時、無効

I<sup>2</sup>Cバスインタフェース割り込み要求フラグ

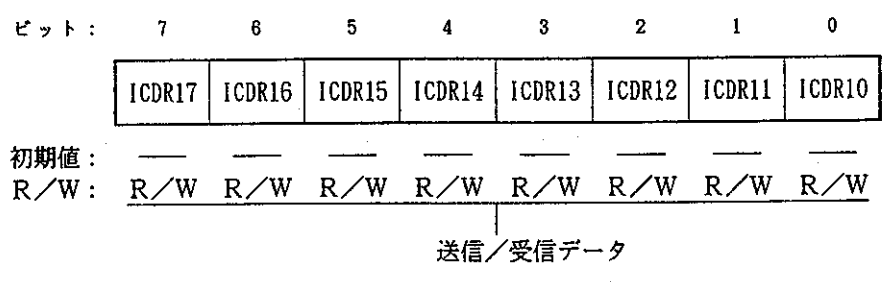
0	転送待ち状態、または転送中 〔クリア条件〕 ・IRIC1=1リード後、0をライトしたとき
1	割り込みが発生 〔セット条件〕 マスタモード ・データ転送終了時 ・バスアークビトレイションを失ったとき スレープモード(FS1=0のとき) ・スレープアドレスが一致したときおよび一致後再送開始条件または停止条件検出までのデータ転送終了時 ・ゼネラルコールアドレスを検出したときおよび検出後再送開始条件または停止条件検出までのデータ転送終了時 スレープモード(FS1=1のとき) ・データ転送終了時

バスビジー

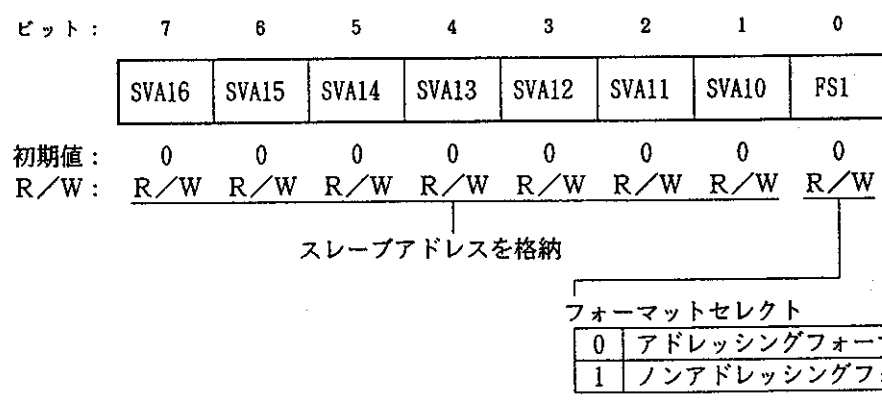
0	バス開放状態 〔クリア条件〕 停止条件検出時
1	バス占有状態 〔セット条件〕 開始条件検出時

【注】\* フラグクリアのための0ライトのみ可能

ICDR1 I <sup>2</sup> Cバスデータレジスタ1	H'82	I <sup>2</sup> C
----------------------------------	------	------------------



SAR1 スレーブアドレスレジスタ1	H'83	I <sup>2</sup> C
--------------------	------	------------------





ビット: 7 6 5 4 3 2 1 0

MLS1	WAIT1	—	—	—	BC12	BC11	BC10
------	-------	---	---	---	------	------	------

初期値: 0 0 1 1 1 0 0 0  
 R/W: R/W R/W — — — R/W R/W R/W

ビットカウンタ

BC12	BC11	BC10	ビットフレーム	
			シリアルモード	アクリリジメントモード
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

ウェイト挿入ビット

0	データとアクリリジを連続的に転送
0	データとアクリリジの間にウェイトを挿入

MSBファースト/LSBファースト選択

0	MSBファースト
1	LSBファースト

ビット: 7 6 5 4 3 2 1 0

ICE2	IEIC2	MST2	TRS2	ACK2	CKS22	CKS21	CKS20
------	-------	------	------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

転送クロック選択

CKS22	CKS21	CKS20	クロック	転送レート		
				$\phi = 2 \text{ MHz}$	$\phi = 4 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	0	0	$\phi / 14$	143 kHz	286 kHz	357 kHz
		1	$\phi / 20$	100 kHz	200 kHz	250 kHz
	1	0	$\phi / 24$	83.3 kHz	167 kHz	208 kHz
		1	$\phi / 32$	62.5 kHz	125 kHz	156 kHz
1	0	0	$\phi / 40$	50.0 kHz	100 kHz	125 kHz
		1	$\phi / 50$	40.0 kHz	80.0 kHz	100 kHz
	1	0	$\phi / 56$	35.7 kHz	71.4 kHz	89.3 kHz
		1	$\phi / 64$	31.3 kHz	62.5 kHz	78.1 kHz

アクノリッジメントモード選択

0	アクノリッジメントモード
1	シリアルモード

マスタ/スレーブ選択、送信/受信選択

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I<sup>2</sup>Cバスインタフェース割込みイネーブル

0	割込み要求を禁止
1	割込み要求を許可

I<sup>2</sup>Cバスインタフェースイネーブル

0	本モジュールは非動作、SCL/SDA信号はハイインピーダンス状態
1	本モジュールは転送動作可能状態

ビット: 7 6 5 4 3 2 1 0

BBSY2	IRIC2	SCP2	—	AL2	AAS2	ADZ2	ACKB2
-------	-------	------	---	-----	------	------	-------

初期値: 0 0 1 1 0 0 0 0  
 R/W: R/W R/(W)\* W — R/(W)\*R/(W)\*R/(W)\*R/W

アノリッジビット

0	受信時、アノリッジ出力タイミングで0出力 送信時、受信デバイスからアノリッジがあったことを示す
1	受信時、アノリッジ出力タイミングで1出力 送信時、受信デバイスからアノリッジがなかったことを示す

ゼネラルコールアドレス認識フラグ

0	ゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDR2にデータをライト(送信時)、もしくはリード(受信時)したとき ・ADZ2=1リード後、0をライトしたとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 スレーブ受信モードでゼネラルコールアドレスを検出したとき

スレーブアドレス認識フラグ

0	スレーブアドレスまたはゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDR2にデータをライト(送信時)、もしくはリード(受信時)したとき ・AAS2=1リード後、0をライトしたとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき

アービトレーションロストフラグ

0	バスアービトレーションを確保 〔クリア条件〕 ・ICDR2にデータをライト(送信時)、もしくはリード(受信時)したとき ・AL2=1リード後、0をライトしたとき
1	アービトレーションロスト 〔セット条件〕 ・マスタ送信モードでSCLの立ち上がりで内部SDAとバスラインが不一致のとき ・マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルのとき

開始条件/停止条件発行禁止ビット

0	ライト時、BBSY2と組み合わせ開始条件、停止条件発行
1	リード時、常に1がリード ライト時、無効

I<sup>2</sup>Cバスインタフェース割り込み要求フラグ

0	転送待ち状態、または転送中 〔クリア条件〕 IRIC2=1リード後、0をライトしたとき
1	割り込みが発生 〔セット条件〕 マスタモード ・データ転送終了時 ・バスアービトレーションを失ったとき スレーブモード(FS2=0のとき) ・スレーブアドレスが一致したときおよび一致後再送開始条件または停止条件検出までのデータ転送終了時 ・ゼネラルコールアドレスを検出したときおよび検出後再送開始条件または停止条件検出までのデータ転送終了時 スレーブモード(FS2=1のとき) ・データ転送終了時

バスビジー

0	バス開放状態 〔クリア条件〕 停止条件検出時
1	バス占有状態 〔セット条件〕 開始条件検出時

【注】\* フラグクリアのための0ライトのみ可能

ICDR2 I<sup>2</sup>Cバスデータレジスタ2 H'86

I<sup>2</sup>C

ビット: 7 6 5 4 3 2 1 0

ICDR27	ICDR26	ICDR25	ICDR24	ICDR23	ICDR22	ICDR21	ICDR20
--------	--------	--------	--------	--------	--------	--------	--------

初期値: \_\_\_\_\_  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W  
 送信/受信データ

SAR2 スレーブアドレスレジスタ2 H'87

I<sup>2</sup>C

ビット: 7 6 5 4 3 2 1 0

SVA26	SVA25	SVA24	SVA23	SVA22	SVA21	SVA20	FS2
-------	-------	-------	-------	-------	-------	-------	-----

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W  
 スレーブアドレスを格納

フォーマットセレクト

0	アドレッシングフォーマット、スレーブアドレスを認識
1	ノンアドレッシングフォーマット

ビット: 7 6 5 4 3 2 1 0

MLS2	WAIT2	—	—	—	BC22	BC21	BC20
------	-------	---	---	---	------	------	------

初期値: 0 0 1 1 1 0 0 0  
 R/W: R/W R/W — — — R/W R/W R/W

ビットカウンタ

BC22	BC21	BC20	ビット/フレーム	
			シリアルモード	アクリリジメントモード
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

ウェイト挿入ビット

0	データとアクリリジを連続的に転送
0	データとアクリリジの間にウェイトを挿入

MSBファースト/LSBファースト選択

0	MSBファースト
1	LSBファースト

ビット: 7 6 5 4 3 2 1 0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	0	クロック入力を禁止
		1	内部クロック $\phi/8$ 立ち下りエッジ (F) でカウント
	1	0	内部クロック $\phi/64$ 立ち下りエッジ (F) でカウント
		1	内部クロック $\phi/1024$ 立ち下りエッジ (F) でカウント
1	0	0	クロック入力を禁止
		1	外部クロック 立ち上がりエッジ (F) でカウント
	1	0	外部クロック 立ち下りエッジ (F) でカウント
		1	外部クロック 立ち上がり/立ち下がり (F・F) 両エッジでカウント

カウンタクリア

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジ (F) によりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

ビット: 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
------	------	-----	---	-----	-----	-----	-----

初期値: 0 0 0 1 0 0 0 0

R/W: R/(W)\*R/(W)\*R/(W)\* — R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

タイマオーバフローフラグ

0	[クリア条件]
	OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件]
	TCNTHがH' FF→H' 00になったとき

コンペアマッチフラグA

0	[クリア条件]
	CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	[セット条件]
	TCNTH=TCORAHになったとき

コンペアマッチフラグB

0	[クリア条件]
	CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	[セット条件]
	TCNTH=TCORBHになったとき

【注】\* フラグクリアのための0ライトのみ可能

<b>TCORAH</b> タイムコンスタントレジスタAH   H'8A	<b>タイマH</b>								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCORAH7</td> <td style="padding: 2px 5px;">TCORAH6</td> <td style="padding: 2px 5px;">TCORAH5</td> <td style="padding: 2px 5px;">TCORAH4</td> <td style="padding: 2px 5px;">TCORAH3</td> <td style="padding: 2px 5px;">TCORAH2</td> <td style="padding: 2px 5px;">TCORAH1</td> <td style="padding: 2px 5px;">TCORAH0</td> </tr> </table> <p>初期値:     1       1       1       1       1       1       1       1</p> <p>R/W:   R/W R/W R/W R/W R/W R/W R/W R/W</p>		TCORAH7	TCORAH6	TCORAH5	TCORAH4	TCORAH3	TCORAH2	TCORAH1	TCORAH0
TCORAH7	TCORAH6	TCORAH5	TCORAH4	TCORAH3	TCORAH2	TCORAH1	TCORAH0		

<b>TCORBH</b> タイムコンスタントレジスタBH   H'8B	<b>タイマH</b>								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCORBH7</td> <td style="padding: 2px 5px;">TCORBH6</td> <td style="padding: 2px 5px;">TCORBH5</td> <td style="padding: 2px 5px;">TCORBH4</td> <td style="padding: 2px 5px;">TCORBH3</td> <td style="padding: 2px 5px;">TCORBH2</td> <td style="padding: 2px 5px;">TCORBH1</td> <td style="padding: 2px 5px;">TCORBH0</td> </tr> </table> <p>初期値:     1       1       1       1       1       1       1       1</p> <p>R/W:   R/W R/W R/W R/W R/W R/W R/W R/W</p>		TCORBH7	TCORBH6	TCORBH5	TCORBH4	TCORBH3	TCORBH2	TCORBH1	TCORBH0
TCORBH7	TCORBH6	TCORBH5	TCORBH4	TCORBH3	TCORBH2	TCORBH1	TCORBH0		

<b>TCNTH</b> タイマカウンタH   H'8C	<b>タイマH</b>								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCNTH7</td> <td style="padding: 2px 5px;">TCNTH6</td> <td style="padding: 2px 5px;">TCNTH5</td> <td style="padding: 2px 5px;">TCNTH4</td> <td style="padding: 2px 5px;">TCNTH3</td> <td style="padding: 2px 5px;">TCNTH2</td> <td style="padding: 2px 5px;">TCNTH1</td> <td style="padding: 2px 5px;">TCNTH0</td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:   R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-top: 10px;">↓</p> <p style="text-align: center;">カウント値</p>		TCNTH7	TCNTH6	TCNTH5	TCNTH4	TCNTH3	TCNTH2	TCNTH1	TCNTH0
TCNTH7	TCNTH6	TCNTH5	TCNTH4	TCNTH3	TCNTH2	TCNTH1	TCNTH0		

<b>PWCR</b> PWMコントロールレジスタ   H'90	<b>8ビットPWM</b>												
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">CKS</td> </tr> </table> <p>初期値:     1       1       1       1       1       1       1       0</p> <p>R/W:   —     —     —     —     —     —     —     R/W</p> <p style="text-align: center; margin-top: 10px;">↓</p> <p style="text-align: center;">クロックセレクト</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力クロックφ/16、1周期=4096/φ</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">入力クロックφ/8、1周期=2048/φ</td> </tr> </table>		—	—	—	—	—	—	—	CKS	0	入力クロックφ/16、1周期=4096/φ	1	入力クロックφ/8、1周期=2048/φ
—	—	—	—	—	—	—	CKS						
0	入力クロックφ/16、1周期=4096/φ												
1	入力クロックφ/8、1周期=2048/φ												



PWDR0 PWMデータレジスタ0 H'91	8ビットPWM
------------------------	---------

ビット:     7       6       5       4       3       2       1       0

PWDR0 <sub>7</sub>	PWDR0 <sub>6</sub>	PWDR0 <sub>5</sub>	PWDR0 <sub>4</sub>	PWDR0 <sub>3</sub>	PWDR0 <sub>2</sub>	PWDR0 <sub>1</sub>	PWDR0 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:     R/W R/W R/W R/W R/W R/W R/W R/W

PWM<sub>0</sub>出力の High レベル幅の制御

PWDR1 PWMデータレジスタ1 H'92	8ビットPWM
------------------------	---------

ビット:     7       6       5       4       3       2       1       0

PWDR1 <sub>7</sub>	PWDR1 <sub>6</sub>	PWDR1 <sub>5</sub>	PWDR1 <sub>4</sub>	PWDR1 <sub>3</sub>	PWDR1 <sub>2</sub>	PWDR1 <sub>1</sub>	PWDR1 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:     R/W R/W R/W R/W R/W R/W R/W R/W

PWM<sub>1</sub>出力の High レベル幅の制御

PWDR2 PWMデータレジスタ2 H'93	8ビットPWM
------------------------	---------

ビット:     7       6       5       4       3       2       1       0

PWDR2 <sub>7</sub>	PWDR2 <sub>6</sub>	PWDR2 <sub>5</sub>	PWDR2 <sub>4</sub>	PWDR2 <sub>3</sub>	PWDR2 <sub>2</sub>	PWDR2 <sub>1</sub>	PWDR2 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:     R/W R/W R/W R/W R/W R/W R/W R/W

PWM<sub>2</sub>出力の High レベル幅の制御

PWDR3 PWMデータレジスタ3 H'94	8ビットPWM
------------------------	---------

ビット:     7       6       5       4       3       2       1       0

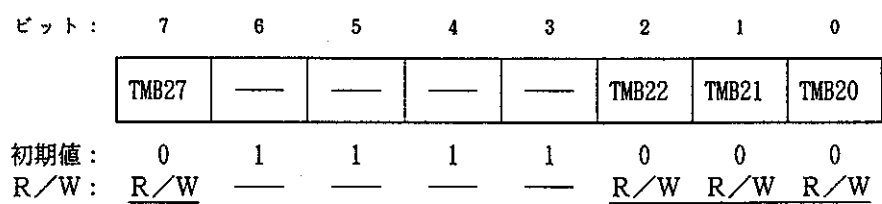
PWDR3 <sub>7</sub>	PWDR3 <sub>6</sub>	PWDR3 <sub>5</sub>	PWDR3 <sub>4</sub>	PWDR3 <sub>3</sub>	PWDR3 <sub>2</sub>	PWDR3 <sub>1</sub>	PWDR3 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:     R/W R/W R/W R/W R/W R/W R/W R/W

PWM<sub>3</sub>出力の High レベル幅の制御

PWDR4 PWMデータレジスタ4 H'95		8ビットPWM								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PWDR4<sub>7</sub></td> <td style="padding: 2px;">PWDR4<sub>6</sub></td> <td style="padding: 2px;">PWDR4<sub>5</sub></td> <td style="padding: 2px;">PWDR4<sub>4</sub></td> <td style="padding: 2px;">PWDR4<sub>3</sub></td> <td style="padding: 2px;">PWDR4<sub>2</sub></td> <td style="padding: 2px;">PWDR4<sub>1</sub></td> <td style="padding: 2px;">PWDR4<sub>0</sub></td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:     R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">PWM<sub>4</sub>出力の High レベル幅の制御</p>			PWDR4 <sub>7</sub>	PWDR4 <sub>6</sub>	PWDR4 <sub>5</sub>	PWDR4 <sub>4</sub>	PWDR4 <sub>3</sub>	PWDR4 <sub>2</sub>	PWDR4 <sub>1</sub>	PWDR4 <sub>0</sub>
PWDR4 <sub>7</sub>	PWDR4 <sub>6</sub>	PWDR4 <sub>5</sub>	PWDR4 <sub>4</sub>	PWDR4 <sub>3</sub>	PWDR4 <sub>2</sub>	PWDR4 <sub>1</sub>	PWDR4 <sub>0</sub>			
PWDR5 PWMデータレジスタ5 H'96		8ビットPWM								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PWDR5<sub>7</sub></td> <td style="padding: 2px;">PWDR5<sub>6</sub></td> <td style="padding: 2px;">PWDR5<sub>5</sub></td> <td style="padding: 2px;">PWDR5<sub>4</sub></td> <td style="padding: 2px;">PWDR5<sub>3</sub></td> <td style="padding: 2px;">PWDR5<sub>2</sub></td> <td style="padding: 2px;">PWDR5<sub>1</sub></td> <td style="padding: 2px;">PWDR5<sub>0</sub></td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:     R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">PWM<sub>5</sub>出力の High レベル幅の制御</p>			PWDR5 <sub>7</sub>	PWDR5 <sub>6</sub>	PWDR5 <sub>5</sub>	PWDR5 <sub>4</sub>	PWDR5 <sub>3</sub>	PWDR5 <sub>2</sub>	PWDR5 <sub>1</sub>	PWDR5 <sub>0</sub>
PWDR5 <sub>7</sub>	PWDR5 <sub>6</sub>	PWDR5 <sub>5</sub>	PWDR5 <sub>4</sub>	PWDR5 <sub>3</sub>	PWDR5 <sub>2</sub>	PWDR5 <sub>1</sub>	PWDR5 <sub>0</sub>			
PWDR6 PWMデータレジスタ6 H'97		8ビットPWM								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PWDR6<sub>7</sub></td> <td style="padding: 2px;">PWDR6<sub>6</sub></td> <td style="padding: 2px;">PWDR6<sub>5</sub></td> <td style="padding: 2px;">PWDR6<sub>4</sub></td> <td style="padding: 2px;">PWDR6<sub>3</sub></td> <td style="padding: 2px;">PWDR6<sub>2</sub></td> <td style="padding: 2px;">PWDR6<sub>1</sub></td> <td style="padding: 2px;">PWDR6<sub>0</sub></td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:     R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">PWM<sub>6</sub>出力の High レベル幅の制御</p>			PWDR6 <sub>7</sub>	PWDR6 <sub>6</sub>	PWDR6 <sub>5</sub>	PWDR6 <sub>4</sub>	PWDR6 <sub>3</sub>	PWDR6 <sub>2</sub>	PWDR6 <sub>1</sub>	PWDR6 <sub>0</sub>
PWDR6 <sub>7</sub>	PWDR6 <sub>6</sub>	PWDR6 <sub>5</sub>	PWDR6 <sub>4</sub>	PWDR6 <sub>3</sub>	PWDR6 <sub>2</sub>	PWDR6 <sub>1</sub>	PWDR6 <sub>0</sub>			
PWDR7 PWMデータレジスタ7 H'98		8ビットPWM								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PWDR7<sub>7</sub></td> <td style="padding: 2px;">PWDR7<sub>6</sub></td> <td style="padding: 2px;">PWDR7<sub>5</sub></td> <td style="padding: 2px;">PWDR7<sub>4</sub></td> <td style="padding: 2px;">PWDR7<sub>3</sub></td> <td style="padding: 2px;">PWDR7<sub>2</sub></td> <td style="padding: 2px;">PWDR7<sub>1</sub></td> <td style="padding: 2px;">PWDR7<sub>0</sub></td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:     R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">PWM<sub>7</sub>出力の High レベル幅の制御</p>			PWDR7 <sub>7</sub>	PWDR7 <sub>6</sub>	PWDR7 <sub>5</sub>	PWDR7 <sub>4</sub>	PWDR7 <sub>3</sub>	PWDR7 <sub>2</sub>	PWDR7 <sub>1</sub>	PWDR7 <sub>0</sub>
PWDR7 <sub>7</sub>	PWDR7 <sub>6</sub>	PWDR7 <sub>5</sub>	PWDR7 <sub>4</sub>	PWDR7 <sub>3</sub>	PWDR7 <sub>2</sub>	PWDR7 <sub>1</sub>	PWDR7 <sub>0</sub>			

TMB 2 タイマモードレジスタ B 2 H'9C	タイマ B 2
---------------------------	---------



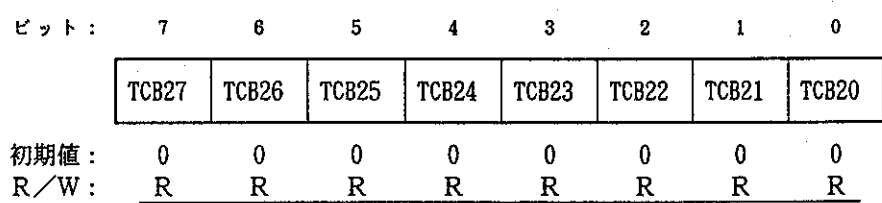
オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

クロックセレクト

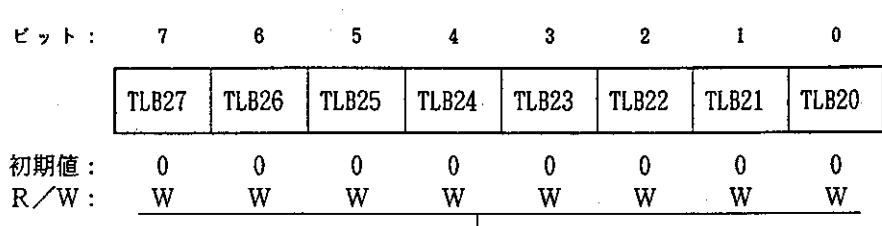
0	0	0	内部クロック $\phi/8192$
		1	内部クロック $\phi/2048$
	1	0	内部クロック $\phi/512$
		1	内部クロック $\phi/256$
1	0	0	内部クロック $\phi/64$
		1	内部クロック $\phi/16$
	1	0	内部クロック $\phi/4$
		1	外部イベント (TMIB2AまたはTMIB2B) 立ち上がり/立ち下がりエッジでカウント

TCB 2 タイマカウンタ B 2 H'9D	タイマ B 2
------------------------	---------



↓  
カウント値

TLB 2 タイマロードレジスタ B 2 H'9D	タイマ B 2
---------------------------	---------



↓  
リロード値設定

TMB3 タイマモードレジスタB3 H'9E	タイマB3
------------------------	-------

ビット:      7      6      5      4      3      2      1      0

TMB37	—	—	—	—	TMB32	TMB31	TMB30
-------	---	---	---	---	-------	-------	-------

初期値:      0      1      1      1      1      0      0      0  
R/W:      R/W    —    —    —    —    R/W R/W R/W

オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

クロックセレクト

0	0	0	内部クロック $\phi/8192$
		1	内部クロック $\phi/2048$
	1	0	内部クロック $\phi/512$
		1	内部クロック $\phi/256$
1	0	0	内部クロック $\phi/64$
		1	内部クロック $\phi/16$
	1	0	内部クロック $\phi/4$
		1	リザーブ

TCB3 タイマカウンタB3 H'9F	タイマB3
---------------------	-------

ビット:      7      6      5      4      3      2      1      0

TCB37	TCB36	TCB35	TCB34	TCB33	TCB32	TCB31	TCB30
-------	-------	-------	-------	-------	-------	-------	-------

初期値:      0      0      0      0      0      0      0      0  
R/W:      R      R      R      R      R      R      R      R

カウント値

TLB3 タイマロードレジスタB3 H'9F	タイマB3
------------------------	-------

ビット:      7      6      5      4      3      2      1      0

TLB37	TLB36	TLB35	TLB34	TLB33	TLB32	TLB31	TLB30
-------	-------	-------	-------	-------	-------	-------	-------

初期値:      0      0      0      0      0      0      0      0  
R/W:      W      W      W      W      W      W      W      W

リロード値設定

ビット: 7 6 5 4 3 2 1 0

COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
-----	-----	----	----	------	----	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ通信機能を禁止
1	マルチプロセッサ通信機能を許可

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加およびチェックを禁止
1	パリティビットの付加およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

ビット: 7 6 5 4 3 2 1 0

BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
------	------	------	------	------	------	------	------

初期値: 1 1 1 1 1 1 1 1  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK <sub>3</sub> 端子機能
0	0	調歩同期式	内部クロック	入出力ポート
		クロック同期式	内部クロック	同期クロック出力
	1	調歩同期式	内部クロック	クロック出力
		クロック同期式	リザーブ (本組合せは指定しない)	
1	0	調歩同期式	外部クロック	クロック入力
		クロック同期式	外部クロック	同期クロック入力
	1	調歩同期式	リザーブ (本組合せは指定しない)	
		クロック同期式	リザーブ (本組合せは指定しない)	

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み要求 (TEI) を禁止
1	送信終了割り込み要求 (TEI) を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) [クリア条件] マルチプロセッサビットが1のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、およびシリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止

レシーブイネーブル

0	受信動作を禁止 (RXD端子は入出力ポート)
1	受信動作を許可 (RXD端子はレシーブデータ端子)

トランスミットイネーブル

0	送信動作を禁止 (TXD端子は入出力ポート)
1	送信動作を許可 (TXD端子はトランスミットデータ端子)

レシーブインタラプトイネーブル

0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止
1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み要求 (TXI) の禁止
1	送信データエンプティ割り込み要求 (TXI) の許可

ビット: 7 6 5 4 3 2 1 0

TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
------	------	------	------	------	------	------	------

初期値: 1 1 1 1 1 1 1 1  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

↑  
 TSRへの転送用データ

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
------	------	-----	-----	-----	------	------	------

初期値: 1 0 0 0 0 1 0 0  
 R/W: R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R R R/W

マルチプロセッサビットトランスファ

0	マルチプロセッサビット0を送信
1	マルチプロセッサビット1を送信

マルチプロセッサビットレシーブ

0	マルチプロセッサビットが0のデータを受信
1	マルチプロセッサビットが1のデータを受信

トランスミットエンド

0	送信中 〔クリア条件〕 (1) TDRE=1の状態をリードした後、TDREに0をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが1であったとき

パリティエラー

0	受信中、または受信完了 〔クリア条件〕 PER=1の状態をリードした後、0をライトしたとき
1	受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットをあわせた1の数がシリアルモードレジスタ (SMR) のパリティモード (PM) を設定したパリティと一致しなかったとき

フレーミングエラー

0	受信中、または受信完了 〔クリア条件〕 FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき

オーバランエラー

0	受信中、または受信完了 〔クリア条件〕 OER=1の状態をリードした後、0をライトしたとき
1	受信時にオーバランエラー発生 〔セット条件〕 RDRFが1の状態を受信を完了したとき

レシーブデータレジスタフル

0	RDRに受信データ未格納 〔クリア条件〕 (1) RDRF=1の状態をリードした後、0をライトしたとき (2) 命令でRDRのデータをリードしたとき
1	RDRに受信データ格納 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンプティ

0	TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE=1の状態をリードした後、0をライトしたとき (2) 命令でTDRへデータをライトしたとき
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき (2) TDRからTSRにデータ転送が行われたとき

【注】\* フラグクリアのための0ライトのみ可能



RDR レジスタデータレジスタ H'AD

SCI 3

ビット: 7 6 5 4 3 2 1 0

RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R R R R R R R R

TMA タイマモードレジスタA H'B0

タイマA

ビット: 7 6 5 4 3 2 1 0

TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
------	------	------	---	------	------	------	------

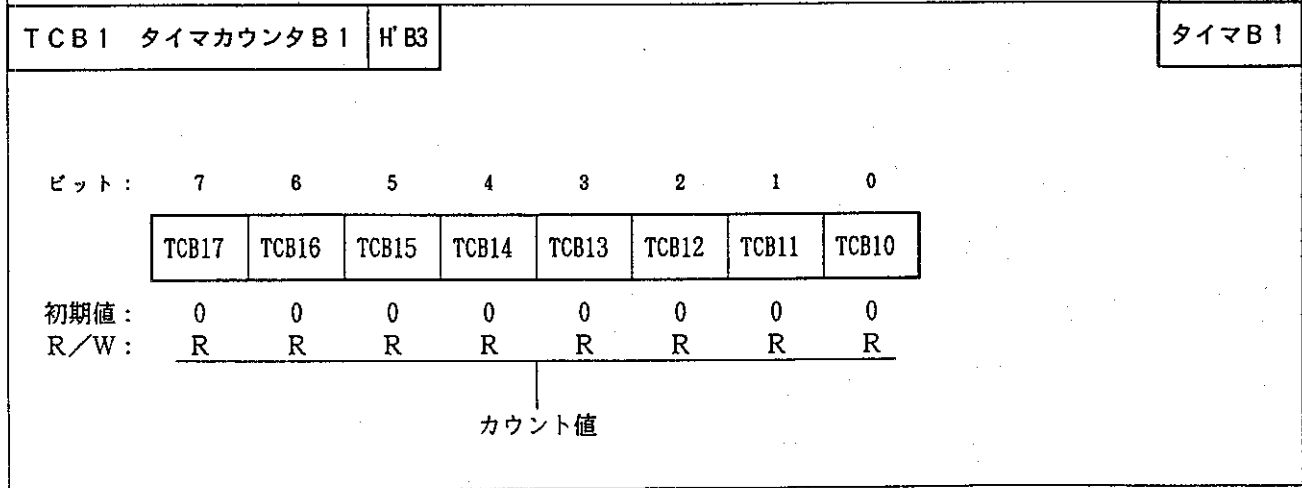
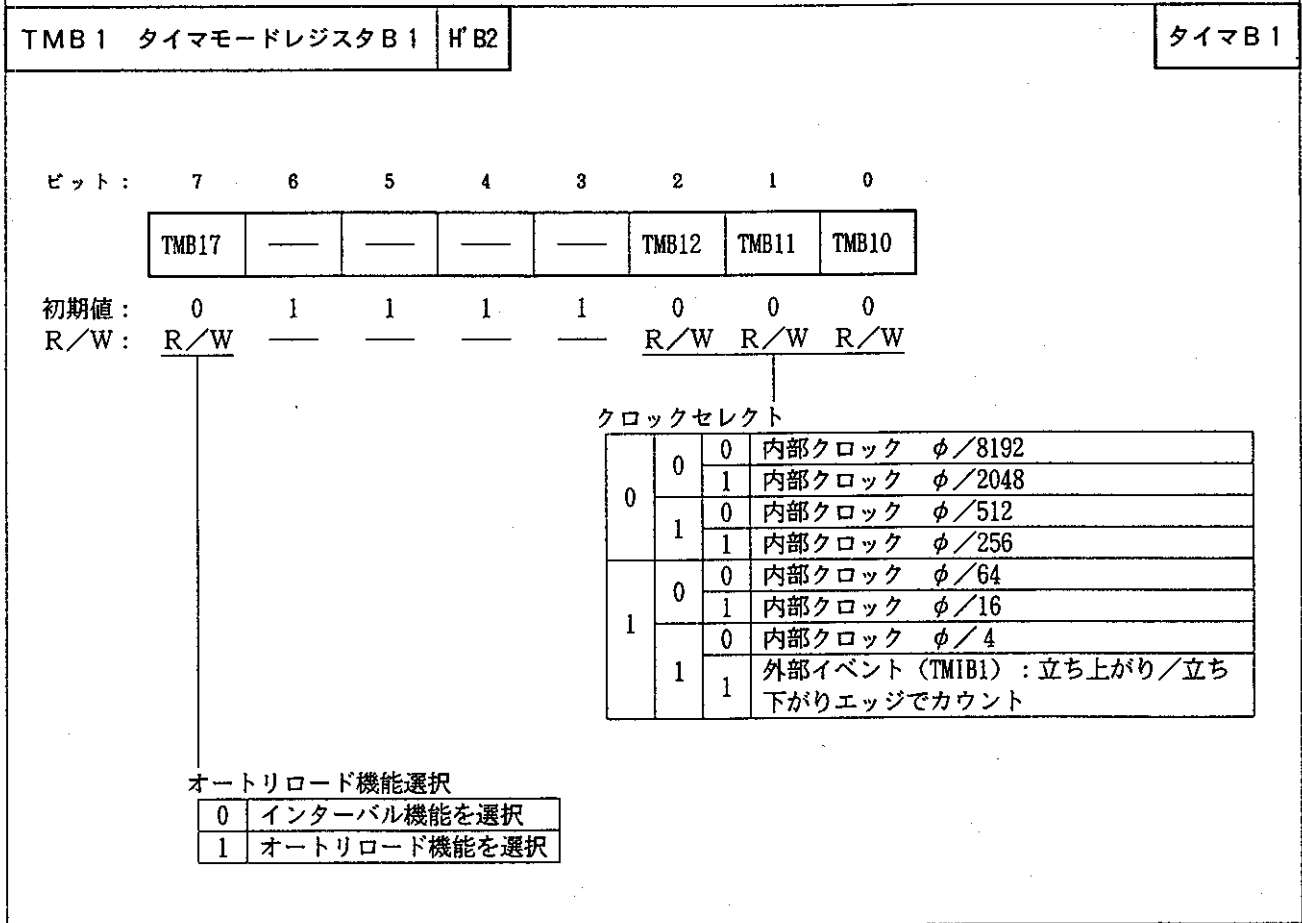
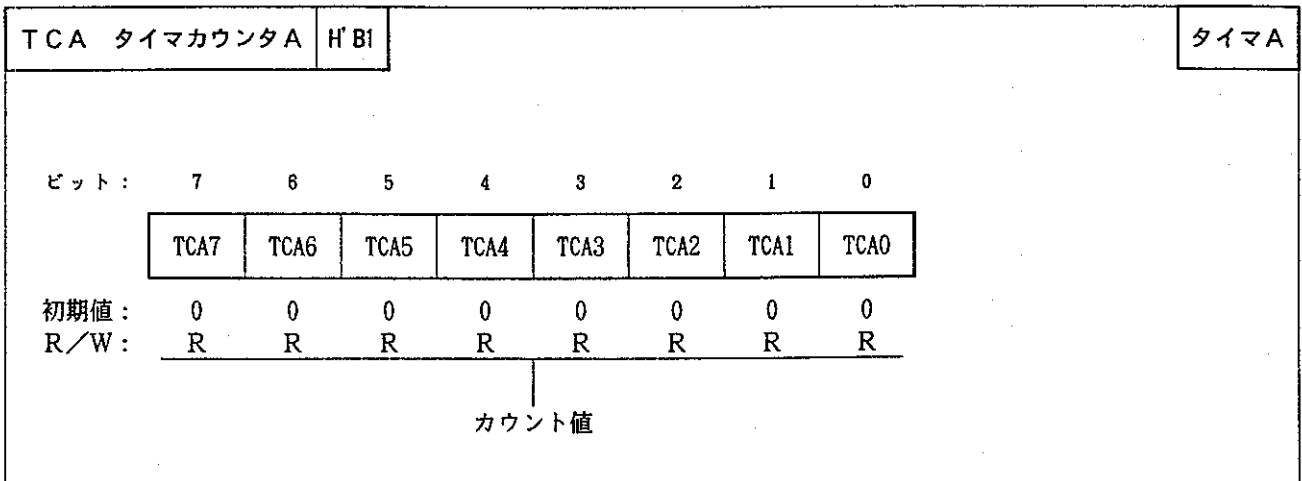
初期値: 0 0 0 1 0 0 0 0  
 R/W: R/W R/W R/W — R/W R/W R/W R/W

内部クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS $\phi/8192$	インターバル
			1	PSS $\phi/4096$	
		1	0	PSS $\phi/2048$	
			1	PSS $\phi/512$	
	1	0	0	PSS $\phi/256$	
			1	PSS $\phi/128$	
		1	0	PSS $\phi/32$	
			1	PSS $\phi/8$	
1	0	0	0	PSW 1 s	時計用 タイムベース
			1	PSW 0.5 s	
		1	0	PSW 0.25 s	
			1	PSW 0.03125 s	
	1	0	0	PSW、TCAリセット	
			1		
			0		
			1		

クロック出力セレクト

0	0	0	$\phi/32$
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$



TLB1 タイマロードレジスタ B1 H' B3

タイマ B1

ビット: 7 6 5 4 3 2 1 0

TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

リロード値設定

TMC タイマモードレジスタ C H' B4

タイマ C

ビット: 7 6 5 4 3 2 1 0

TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
------	------	------	---	---	------	------	------

初期値: 0 0 0 1 1 0 0 0  
 R/W: R/W R/W R/W — — R/W R/W R/W

クロックセレクト

0	0	0	内部クロック $\phi/8192$
		1	内部クロック $\phi/2048$
	1	0	内部クロック $\phi/512$
		1	内部クロック $\phi/64$
1	0	0	内部クロック $\phi/16$
		1	内部クロック $\phi/4$
	1	0	内部クロック $\phi_w/4$
		1	外部イベント (TMIC) : 立ち上がり/立ち下がりエッジでカウント

カウンタアップ/ダウン制御

0	0	TCCはアップカウンタ
	1	TCCはダウンカウンタ
1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力が High レベルならばダウンカウンタ、Low レベルならばアップカウンタ

\* Don't care

オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

TCC タイマカウンタ C

H' B5

タイマ C

ビット: 7 6 5 4 3 2 1 0

TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R R R R R R R R

↓  
 カウント値

TLC タイマロードレジスタ C

H' B5

タイマ C

ビット: 7 6 5 4 3 2 1 0

TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

↓  
 リロード値

ビット: 7 6 5 4 3 2 1 0

TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
------	-------	-------	-------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

クロックセレクトL

0	*	*	外部イベント (TMIF) の立ち上がり / 立ち下がりエッジでカウント
1	0	0	内部クロック $\phi/32$
		1	内部クロック $\phi/16$
1	1	0	内部クロック $\phi/4$
		1	内部クロック $\phi/2$

トグルアウトプットレベルL

0	Low レベルに設定
1	High レベルに設定

クロックセレクトH

0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント
1	0	0	内部クロック $\phi/32$
		1	内部クロック $\phi/16$
1	1	0	内部クロック $\phi/4$
		1	内部クロック $\phi/2$

\* Don't care

トグルアウトプットレベルH

0	Low レベルに設定
1	High レベルに設定

ビット: 7 6 5 4 3 2 1 0

OVFH	CMFH	OVIEH	CCLRH	OVFL	CMPL	OVIEL	CCLRL
------	------	-------	-------	------	------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/(W)\* R/(W)\* R/W R/W R/(W)\* R/(W)\* R/W R/W

カウンタクリアL

0	コンペアマッチによるTCFLのクリアを禁止
1	コンペアマッチによるTCFLのクリアを許可

タイマオーバーフローインタラプトイネーブルL

0	TCFLのオーバーフローによる割り込み要求を禁止
1	TCFLのオーバーフローによる割り込み要求を許可

コンペアマッチフラグL

0	[クリア条件] CMFL=1の状態、CMFLをリードした後、CMFLに0をライトしたとき
1	[セット条件] TCFLの値とOCRFLの値が、コンペアマッチしたとき

タイマオーバーフローフラグL

0	[クリア条件] OVFL=1の状態、OVFLをリードした後、OVFLに0をライトしたとき
1	[セット条件] TCFLの値が、H'FF→H'00になったとき

カウンタクリアH

0	16ビットモード: コンペアマッチによるTCFのクリアを禁止 8ビットモード: コンペアマッチによるTCFHのクリアを禁止
1	16ビットモード: コンペアマッチによるTCFのクリアを許可 8ビットモード: コンペアマッチによるTCFHのクリアを許可

タイマオーバーフローインタラプトイネーブルH

0	TCFHのオーバーフローによる割り込み要求を禁止
1	TCFHのオーバーフローによる割り込み要求を許可

コンペアマッチフラグH

0	[クリア条件] CMFH=1の状態、CMFHをリードした後、CMFHに0をライトしたとき
1	[セット条件] TCFHの値とOCRFHの値が、コンペアマッチしたとき

タイマオーバーフローフラグH

0	[クリア条件] OVFH=1の状態、OVFHをリードした後、OVFHに0をライトしたとき
1	[セット条件] 16ビットモード: TCFの値がH'FFFF→H'0000になったとき 8ビットモード: TCFHの値がH'FF→H'00になったとき

[注] \* フラグクリアのための0ライトのみ可能



ビット: 7 6 5 4 3 2 1 0

OVPH	OVFL	OVIE	IIEGS	CCLR1	CCLRO	CKS1	CKS0
------	------	------	-------	-------	-------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/(W)\*R/(W)\*R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック: $\phi/64$ でカウント
	1	内部クロック: $\phi/32$ でカウント
1	0	内部クロック: $\phi/2$ でカウント
	1	内部クロック: $\phi_w/2$ でカウント

カウンタクリア

0	0	TCGのクリアを禁止
	1	インプットキャプチャ入力信号の立ち下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立ち上がりエッジによりTCGをクリア
	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

インプットキャプチャインタラプトエッジセレクト

0	インプットキャプチャ入力信号の立ち上がりエッジで割り込みを発生
0	インプットキャプチャ入力信号の立ち下がりエッジで割り込みを発生

タイマオーバーフローインタラプトイネーブル

0	TCGのオーバーフローによる割り込み要求を禁止
1	TCGのオーバーフローによる割り込み要求を許可

タイマオーバーフローフラグL

0	(クリア条件) OVFL=1の状態、OVFLをリードした後、OVFLに0をライトしたとき
1	(セット条件) TCGの値がH'FF→H'00になったとき

タイマオーバーフローフラグH

0	(クリア条件) OVFH=1の状態、OVFHをリードした後、OVFHに0をライトしたとき
1	(セット条件) TCGの値がH'FF→H'00になったとき

【注】\* フラグクリアのための0ライトのみ可能



ICRGF インットキャプチャレジスタGF H'BD	タイムG							
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">ICRGF7</td> <td style="padding: 2px 10px;">ICRGF6</td> <td style="padding: 2px 10px;">ICRGF5</td> <td style="padding: 2px 10px;">ICRGF4</td> <td style="padding: 2px 10px;">ICRGF3</td> <td style="padding: 2px 10px;">ICRGF2</td> <td style="padding: 2px 10px;">ICRGF1</td> <td style="padding: 2px 10px;">ICRGF0</td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:       R       R       R       R       R       R       R       R</p>	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	

ICRGR インットキャプチャレジスタGR H'BE	タイムG							
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">ICRGR7</td> <td style="padding: 2px 10px;">ICRGR6</td> <td style="padding: 2px 10px;">ICRGR5</td> <td style="padding: 2px 10px;">ICRGR4</td> <td style="padding: 2px 10px;">ICRGR3</td> <td style="padding: 2px 10px;">ICRGR2</td> <td style="padding: 2px 10px;">ICRGR1</td> <td style="padding: 2px 10px;">ICRGR0</td> </tr> </table> <p>初期値:     0       0       0       0       0       0       0       0</p> <p>R/W:       R       R       R       R       R       R       R       R</p>	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	

ビット: 7 6 5 4 3 2 1 0

CKS	TRGE	—	—	CH3	CH2	CH1	CH0
-----	------	---	---	-----	-----	-----	-----

初期値: 0 0 1 1 0 0 0 0  
 R/W: R/W R/W — — R/W R/W R/W R/W

チャンネルセレクト

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH3	CH2	CH1	CH0		
0	0	*	*	非選択	
		0	0	AN <sub>0</sub>	
	1	0	1	AN <sub>1</sub>	
		1	0	AN <sub>2</sub>	
1	0	0	1	AN <sub>3</sub>	
			0	0	AN <sub>4</sub>
		1	0	1	AN <sub>5</sub>
			1	0	AN <sub>6</sub>
	1	0	1	1	AN <sub>7</sub>
				0	0
		1	0	1	AN <sub>9</sub>
				0	0
		1	1	AN <sub>11</sub>	

\* Don't care

外部トリガセレクト

0	外部トリガによるA/D変換の開始を禁止
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始

クロックセレクト

ビット7	変換周期	変換時間	
		$\phi = 2 \text{ MHz}$	$\phi = 5 \text{ MHz}$
CKS			
0	$62/\phi$	$31 \mu\text{s}$	$12.4 \mu\text{s}$
1	$31/\phi$	$15.5 \mu\text{s}$	— *

【注】\*  $12.4 \mu\text{s}$  以下の変換時間では、動作が保証されません。 $12.4 \mu\text{s}$  以上になるように選択してください。

ADRR A/Dリザルトレジスタ H' C5

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADRO
------	------	------	------	------	------	------	------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定  
 R/W: R R R R R R R R

A/D変換結果

ADSR A/Dスタートレジスタ H' C6

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADSP	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値: 0 1 1 1 1 1 1 1  
 R/W: R/W — — — — — — —

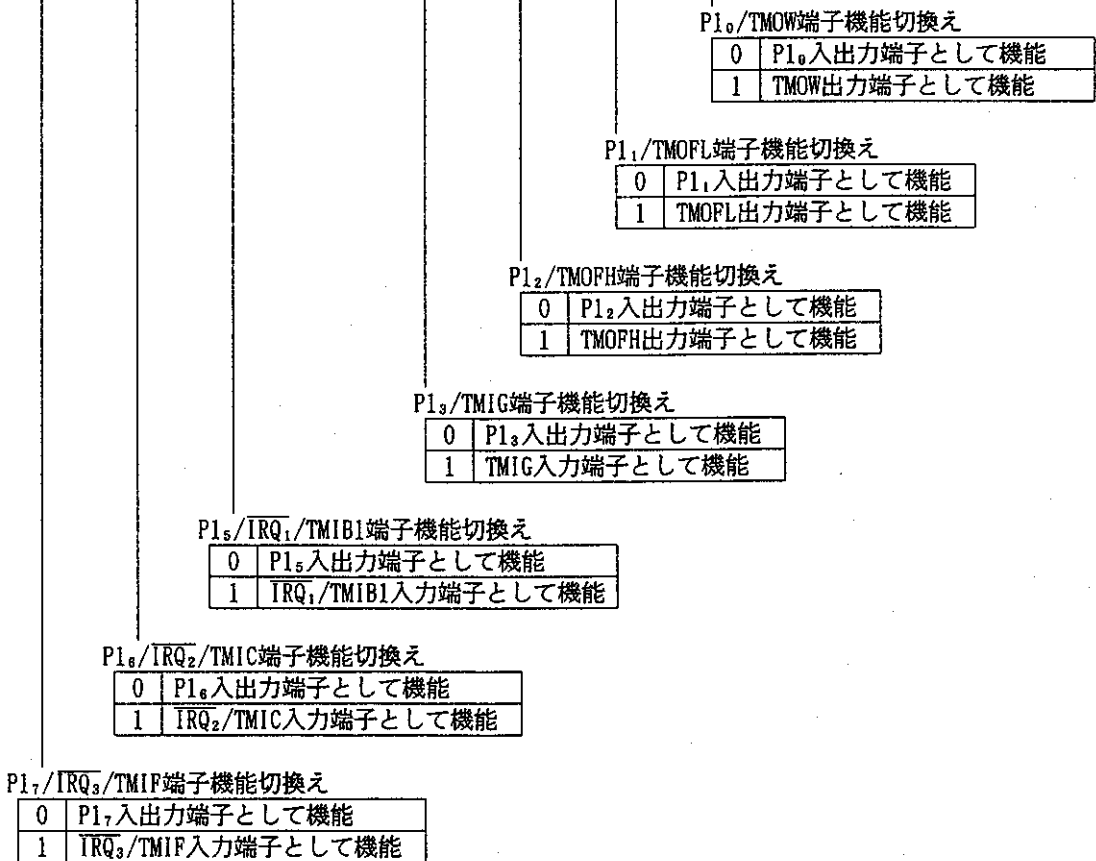
A/Dスタートフラグ

0	リード時	A/D変換の終了
	ライト時	A/D変換を強制終了
1	リード時	A/D変換中
	ライト時	A/D変換を開始

ビット: 7 6 5 4 3 2 1 0

IRQ3	IRQ2	IRQ1	—	TMIG	TMOFH	TMOFL	TMOW
------	------	------	---	------	-------	-------	------

初期値: 0 0 0 1 0 0 0 0  
 R/W: R/W R/W R/W — R/W R/W R/W R/W



ビット: 7 6 5 4 3 2 1 0

TMIB2B	TMIB2A	EDGB2	NCS	IRQ0	—	UD	IRQ4
--------	--------	-------	-----	------	---	----	------

初期値: 0 0 0 0 0 1 0 0  
 R/W: R/W R/W R/W R/W R/W — R/W R/W

P2<sub>0</sub>/IRQ<sub>4</sub>/ADTRG端子機能切換え

0	P2 <sub>0</sub> 入出力端子として機能
1	IRQ <sub>4</sub> /ADTRG入力端子として機能

P2<sub>1</sub>/UD端子機能切換え

0	P2 <sub>1</sub> 入出力端子として機能
1	UD入力端子として機能

P4<sub>3</sub>/IRQ<sub>0</sub>端子機能切換え

0	P4 <sub>3</sub> 入力端子として機能
1	IRQ <sub>0</sub> 入力端子として機能

TMIGノイズキャンセラセレクト

0	ノイズ除去機能なし
1	ノイズ除去機能あり

TMIB2エッジセレクト

0	TMIB2A、TMIB2B端子入力の立ち下がりエッジを検出
1	TMIB2A、TMIB2B端子入力の立ち上がりエッジを検出

P2<sub>6</sub>/TMIB2A端子機能切換え

0	P2 <sub>6</sub> 入出力端子として機能
1	TMIB2A入力端子として機能

P2<sub>7</sub>/TMIB2B端子機能切換え

0	P2 <sub>7</sub> 入出力端子として機能
1	TMIB2B入力端子として機能

PMR3 ポートモードレジスタ3 H'CA

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

P3<sub>n</sub>/PWM<sub>n</sub>端子機能切換え

0	P3 <sub>n</sub> 入出力端子として機能
1	PWM <sub>n</sub> 出力端子として機能

(n = 7 ~ 0)

PMR5 ポートモードレジスタ5 H'CC

I/Oポート

ビット: 7 6 5 4 3 2 1 0

WKP <sub>7</sub>	WKP <sub>6</sub>	WKP <sub>5</sub>	WKP <sub>4</sub>	WKP <sub>3</sub>	WKP <sub>2</sub>	WKP <sub>1</sub>	WKP <sub>0</sub>
------------------	------------------	------------------	------------------	------------------	------------------	------------------	------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

P5<sub>n</sub>/WKP<sub>n</sub>端子機能切換え

0	P5 <sub>n</sub> 入出力端子として機能
1	WKP <sub>n</sub> 入力端子として機能

(n = 7 ~ 0)

PDR1 ポートデータレジスタ1 H'D4

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR2 ポートデータレジスタ2 H'D5

I/Oポート

ビット: 7 6 5 4 3 2 1 0

P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR3 ポートデータレジスタ 3 H'D6	I/Oポート
------------------------	--------

ビット:     7       6       5       4       3       2       1       0

P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:     0       0       0       0       0       0       0       0

R/W:     R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

PDR4 ポートデータレジスタ 4 H'D7	I/Oポート
------------------------	--------

ビット:     7       6       5       4       3       2       1       0

—	—	—	—	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値:     1       1       1       1       1       0       0       0

R/W:     —       —       —       —       R     R/W   R/W   R/W

PDR5 ポートデータレジスタ 5 H'D8	I/Oポート
------------------------	--------

ビット:     7       6       5       4       3       2       1       0

P5 <sub>7</sub>	P5 <sub>6</sub>	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:     0       0       0       0       0       0       0       0

R/W:     R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

PDR6 ポートデータレジスタ 6 H'D9	I/Oポート
------------------------	--------

ビット:     7       6       5       4       3       2       1       0

P6 <sub>7</sub>	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:     0       0       0       0       0       0       0       0

R/W:     R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W



PDR7 ポートデータレジスタ7	H'DA		I/Oポート								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P7<sub>7</sub></td> <td style="padding: 2px 10px;">P7<sub>6</sub></td> <td style="padding: 2px 10px;">P7<sub>5</sub></td> <td style="padding: 2px 10px;">P7<sub>4</sub></td> <td style="padding: 2px 10px;">P7<sub>3</sub></td> <td style="padding: 2px 10px;">P7<sub>2</sub></td> <td style="padding: 2px 10px;">P7<sub>1</sub></td> <td style="padding: 2px 10px;">P7<sub>0</sub></td> </tr> </table> <p>初期値:    0     0     0     0     0     0     0     0</p> <p>R/W:    R/W R/W R/W R/W R/W R/W R/W R/W</p>				P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>				

PDR8 ポートデータレジスタ8	H'DB		I/Oポート								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P8<sub>7</sub></td> <td style="padding: 2px 10px;">P8<sub>6</sub></td> <td style="padding: 2px 10px;">P8<sub>5</sub></td> <td style="padding: 2px 10px;">P8<sub>4</sub></td> <td style="padding: 2px 10px;">P8<sub>3</sub></td> <td style="padding: 2px 10px;">P8<sub>2</sub></td> <td style="padding: 2px 10px;">P8<sub>1</sub></td> <td style="padding: 2px 10px;">P8<sub>0</sub></td> </tr> </table> <p>初期値:    0     0     0     0     0     0     0     0</p> <p>R/W:    R/W R/W R/W R/W R/W R/W R/W R/W</p>				P8 <sub>7</sub>	P8 <sub>6</sub>	P8 <sub>5</sub>	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>
P8 <sub>7</sub>	P8 <sub>6</sub>	P8 <sub>5</sub>	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>				

PDR9 ポートデータレジスタ9	H'DC		I/Oポート								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">P9<sub>7</sub></td> <td style="padding: 2px 10px;">P9<sub>6</sub></td> <td style="padding: 2px 10px;">P9<sub>5</sub></td> <td style="padding: 2px 10px;">P9<sub>4</sub></td> <td style="padding: 2px 10px;">P9<sub>3</sub></td> <td style="padding: 2px 10px;">P9<sub>2</sub></td> <td style="padding: 2px 10px;">P9<sub>1</sub></td> <td style="padding: 2px 10px;">—</td> </tr> </table> <p>初期値:    0     0     0     1     1     1     1     1</p> <p>R/W:    R/W R/W R/W — — — — —</p>				P9 <sub>7</sub>	P9 <sub>6</sub>	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	—
P9 <sub>7</sub>	P9 <sub>6</sub>	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	—				

PDRA ポートデータレジスタA	H'DD		I/Oポート								
<p>ビット:     7       6       5       4       3       2       1       0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">—</td> <td style="padding: 2px 10px;">PA<sub>6</sub></td> <td style="padding: 2px 10px;">PA<sub>5</sub></td> <td style="padding: 2px 10px;">PA<sub>4</sub></td> <td style="padding: 2px 10px;">PA<sub>3</sub></td> <td style="padding: 2px 10px;">PA<sub>2</sub></td> <td style="padding: 2px 10px;">PA<sub>1</sub></td> <td style="padding: 2px 10px;">PA<sub>0</sub></td> </tr> </table> <p>初期値:    1     0     0     0     0     0     0     0</p> <p>R/W:    — R/W R/W R/W R/W R/W R/W R/W</p>				—	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>
—	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>				

PDRB	ポートデータレジスタ B	H'DE						I/Oポート
ビット:	7	6	5	4	3	2	1	0
	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>
R/W:	R	R	R	R	R	R	R	R

PDRC	ポートデータレジスタ C	H'DF						I/Oポート
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PC <sub>3</sub>	PC <sub>2</sub>	PC <sub>1</sub>	PC <sub>0</sub>
R/W:	—	—	—	—	R	R	R	R

PUCR1	ポートブルアップコントロールレジスタ 1	H'E0						I/Oポート
ビット:	7	6	5	4	3	2	1	0
	PUCR1 <sub>7</sub>	PUCR1 <sub>6</sub>	PUCR1 <sub>5</sub>	PUCR1 <sub>4</sub>	PUCR1 <sub>3</sub>	PUCR1 <sub>2</sub>	PUCR1 <sub>1</sub>	PUCR1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR7	ポートブルアップコントロールレジスタ 7	H'E1						I/Oポート
ビット:	7	6	5	4	3	2	1	0
	PUCR7 <sub>7</sub>	PUCR7 <sub>6</sub>	PUCR7 <sub>5</sub>	PUCR7 <sub>4</sub>	PUCR7 <sub>3</sub>	PUCR7 <sub>2</sub>	PUCR7 <sub>1</sub>	PUCR7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 ポートプルアップコントロールレジスタ5 H'E2

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PUCR5 <sub>7</sub>	PUCR5 <sub>6</sub>	PUCR5 <sub>5</sub>	PUCR5 <sub>4</sub>	PUCR5 <sub>3</sub>	PUCR5 <sub>2</sub>	PUCR5 <sub>1</sub>	PUCR5 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PUCR6 ポートプルアップコントロールレジスタ6 H'E3

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PUCR6 <sub>7</sub>	PUCR6 <sub>6</sub>	PUCR6 <sub>5</sub>	PUCR6 <sub>4</sub>	PUCR6 <sub>3</sub>	PUCR6 <sub>2</sub>	PUCR6 <sub>1</sub>	PUCR6 <sub>0</sub>
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PCR1 ポートコントロールレジスタ1 H'E4

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR1 <sub>7</sub>	PCR1 <sub>6</sub>	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	PCR1 <sub>3</sub>	PCR1 <sub>2</sub>	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート1入出力選択

0	入力ポート
1	出力ポート

PCR2 ポートコントロールレジスタ2 H'E5

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR2 <sub>7</sub>	PCR2 <sub>6</sub>	PCR2 <sub>5</sub>	PCR2 <sub>4</sub>	PCR2 <sub>3</sub>	PCR2 <sub>2</sub>	PCR2 <sub>1</sub>	PCR2 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート2 入出力選択

0	入力ポート
1	出力ポート

PCR3 ポートコントロールレジスタ3 H'E6

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR3 <sub>7</sub>	PCR3 <sub>6</sub>	PCR3 <sub>5</sub>	PCR3 <sub>4</sub>	PCR3 <sub>3</sub>	PCR3 <sub>2</sub>	PCR3 <sub>1</sub>	PCR3 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート3 入出力選択

0	入力ポート
1	出力ポート

PCR4 ポートコントロールレジスタ4 H'E7

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	PCR4 <sub>2</sub>	PCR4 <sub>1</sub>	PCR4 <sub>0</sub>
---	---	---	---	---	-------------------	-------------------	-------------------

初期値: 1 1 1 1 1 0 0 0  
 R/W: — — — — — W W W

ポート4 入出力選択

0	入力ポート
1	出力ポート

PCR5 ポートコントロールレジスタ5 H'E8

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR5 <sub>7</sub>	PCR5 <sub>6</sub>	PCR5 <sub>5</sub>	PCR5 <sub>4</sub>	PCR5 <sub>3</sub>	PCR5 <sub>2</sub>	PCR5 <sub>1</sub>	PCR5 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: W W W W W W W W

ポート5入出力選択

0	入力ポート
1	出力ポート

PCR6 ポートコントロールレジスタ6 H'E9

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR6 <sub>7</sub>	PCR6 <sub>6</sub>	PCR6 <sub>5</sub>	PCR6 <sub>4</sub>	PCR6 <sub>3</sub>	PCR6 <sub>2</sub>	PCR6 <sub>1</sub>	PCR6 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: W W W W W W W W

ポート6入出力選択

0	入力ポート
1	出力ポート

PCR7 ポートコントロールレジスタ7 H'EA

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR7 <sub>7</sub>	PCR7 <sub>6</sub>	PCR7 <sub>5</sub>	PCR7 <sub>4</sub>	PCR7 <sub>3</sub>	PCR7 <sub>2</sub>	PCR7 <sub>1</sub>	PCR7 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: W W W W W W W W

ポート7入出力選択

0	入力ポート
1	出力ポート

PCR8 ポートコントロールレジスタ 8 H'EB

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR8 <sub>7</sub>	PCR8 <sub>6</sub>	PCR8 <sub>5</sub>	PCR8 <sub>4</sub>	PCR8 <sub>3</sub>	PCR8 <sub>2</sub>	PCR8 <sub>1</sub>	PCR8 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W

ポート 8 入出力選択

0	入力ポート
1	出力ポート

PCR9 ポートコントロールレジスタ 9 H'EC

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	—	—	—	—	—
-------------------	-------------------	-------------------	---	---	---	---	---

初期値:	0	0	0	1	1	1	1
R/W:	W	W	W	—	—	—	—

ポート 9 入出力選択

0	入力ポート
1	出力ポート

PCRA ポートコントロールレジスタ A H'ED

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	PCRA <sub>6</sub>	PCRA <sub>5</sub>	PCRA <sub>4</sub>	PCRA <sub>3</sub>	PCRA <sub>2</sub>	PCRA <sub>1</sub>	PCRA <sub>0</sub>
---	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:	1	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W

ポート A 入出力選択

0	入力ポート
1	出力ポート

ビット: 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	LSON	—	—	—
------	------	------	------	------	---	---	---

初期値: 0 0 0 0 0 1 1 1  
 R/W: R/W R/W R/W R/W R/W — — —

ロースピードオンフラグ

0	CPUの動作クロックはシステムクロック ( $\phi$ )
1	CPUの動作クロックはサブクロック ( $\phi_{SUB}$ )

スタンバイタイムセレクト2~0

0	0	0	待機時間 = 8,192ステート
		1	待機時間 = 16,384ステート
	1	0	待機時間 = 32,768ステート
		1	待機時間 = 65,536ステート
1	*	*	待機時間 = 131,072ステート

\* Don't care

ソフトウェアスタンバイ

0	<ul style="list-style-type: none"> <li>・アクティブモードでSLEEP命令実行後、スリープモードに遷移</li> <li>・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移</li> </ul>
1	<ul style="list-style-type: none"> <li>・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移</li> <li>・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移</li> </ul>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

サブアクティブモードクロックセレクト

0	0	$\phi_w/8$
	1	$\phi_w/4$
1	*	$\phi_w/2$

\* Don't care

ミドルスピードオンフラグ

0	アクティブ (高速) モードで動作
1	アクティブ (中速) モードで動作

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> <li>・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移</li> </ul>
1	<ul style="list-style-type: none"> <li>・アクティブ (高速) モードでSLEEP命令を実行したとき、アクティブ (中速) モード (SSBY=0, MSON=1, LSON=0のとき)、またはサブアクティブモード (SSBY=1, TMA3=1, LSON=1のとき) に直接遷移</li> <li>・アクティブ (中速) モードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY=0, MSON=0, LSON=0のとき)、またはサブアクティブモード (SSBY=1, TMA3=1, LSON=1のとき) に直接遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、アクティブ (高速) モード (SSBY=1, TMA3=1, LSON=0, MSON=0のとき) またはアクティブ (中速) モード (SSBY=1, TMA3=1, LSON=0, MSON=1のとき) に直接遷移</li> </ul>

ノイズ除去サンプリング周波数選択

0	$\phi_{osc}$ の16分周クロックでサンプリング
1	$\phi_{osc}$ の4分周クロックでサンプリング



ビット: 7 6 5 4 3 2 1 0

NMIEG	---	---	IEG4	IEG3	IEG2	IEG1	IEG0
-------	-----	-----	------	------	------	------	------

初期値: 0 1 1 0 0 0 0 0  
 R/W: R/W --- --- R/W R/W R/W R/W R/W

IRQ<sub>0</sub> エッジセレクト

0	IRQ <sub>0</sub> 端子入力の立ち下がりエッジを検出
1	IRQ <sub>0</sub> 端子入力の立ち上がりエッジを検出

IRQ<sub>1</sub> エッジセレクト

0	IRQ <sub>1</sub> 端子、TMIB1端子入力の立ち下がりエッジを検出
1	IRQ <sub>1</sub> 端子、TMIB1端子入力の立ち上がりエッジを検出

IRQ<sub>2</sub> エッジセレクト

0	IRQ <sub>2</sub> 端子、TMIC端子入力の立ち下がりエッジを検出
1	IRQ <sub>2</sub> 端子、TMIC端子入力の立ち上がりエッジを検出

IRQ<sub>3</sub> エッジセレクト

0	IRQ <sub>3</sub> 端子、TMIF端子入力の立ち下がりエッジを検出
1	IRQ <sub>3</sub> 端子、TMIF端子入力の立ち上がりエッジを検出

IRQ<sub>4</sub> エッジセレクト

0	IRQ <sub>4</sub> 端子、ADTRG端子入力の立ち下がりエッジを検出
1	IRQ <sub>4</sub> 端子、ADTRG端子入力の立ち上がりエッジを検出

NMI エッジセレクト

0	NMI端子入力の立ち下がりエッジを検出
1	NMI端子入力の立ち上がりエッジを検出

ビット: 7 6 5 4 3 2 1 0

IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

IRQ<sub>4</sub> ~ IRQ<sub>0</sub> 割り込みイネーブル

0	IRQ <sub>4</sub> ~ IRQ <sub>0</sub> 端子の割り込み要求を禁止
1	IRQ <sub>4</sub> ~ IRQ <sub>0</sub> 端子の割り込み要求を許可

ウェイクアップ割り込みイネーブル

0	WKP <sub>7</sub> ~ WKP <sub>0</sub> 端子の割り込み要求を禁止
1	WKP <sub>7</sub> ~ WKP <sub>0</sub> 端子の割り込み要求を許可

タイマB3 割り込みイネーブル

0	タイマB3の割り込み要求を禁止
1	タイマB3の割り込み要求を許可

タイマA 割り込みイネーブル

0	タイマAの割り込み要求を禁止
1	タイマAの割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IENDT	IENAD	IENB2	IENTG	IENTFH	IENTFL	IENTC	IENB1
-------	-------	-------	-------	--------	--------	-------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

タイマB1割り込みイネーブル

0	タイマB1の割り込み要求を禁止
1	タイマB1の割り込み要求を許可

タイマC割り込みイネーブル

0	タイマCの割り込み要求を禁止
1	タイマCの割り込み要求を許可

タイマFL割り込みイネーブル

0	タイマFLの割り込み要求を禁止
1	タイマFLの割り込み要求を許可

タイマFH割り込みイネーブル

0	タイマFHの割り込み要求を禁止
1	タイマFHの割り込み要求を許可

タイマG割り込みイネーブル

0	タイマGの割り込み要求を禁止
1	タイマGの割り込み要求を許可

タイマB2割り込みイネーブル

0	タイマB2の割り込み要求を禁止
1	タイマB2の割り込み要求を許可

A/D変換器割り込みイネーブル

0	A/D変換器の割り込み要求を禁止
1	A/D変換器の割り込み要求を許可

直接遷移割り込みイネーブル

0	直接遷移による割り込み要求を禁止
1	直接遷移による割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IRRTA	IRRTB3	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
-------	--------	---	-------	-------	-------	-------	-------

初期値: 0 0 1 0 0 0 0 0  
 R/W: R/(W)\* R/(W)\* — R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\*

IRQ<sub>n</sub>~IRQ<sub>0</sub>割り込み要求フラグ

0	[クリア条件] IRRI <sub>n</sub> =1の状態ではIRRI <sub>n</sub> に0をライトしたとき
1	[セット条件] IRQ <sub>n</sub> 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 4 ~ 0)

タイマB3割り込み要求フラグ

0	[クリア条件] IRRTB3=1の状態ではIRRTB3に0をライトしたとき
1	[セット条件] タイマB3のカウンタ値がオーバーフロー (H'FF→H'00) したとき

タイマA割り込み要求フラグ

0	[クリア条件] IRRTA=1の状態ではIRRTAに0をライトしたとき
1	[セット条件] タイマAのカウンタ値がオーバーフロー (H'FF→H'00) したとき

【注】 \* フラグクリアのための0ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

IRRDT	IRRAD	IRRTB2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB1
-------	-------	--------	-------	--------	--------	-------	--------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\*

タイマB1割り込み要求フラグ

0	[クリア条件] IRRTB1 = 1 の状態でIRRTB1に0をライトしたとき
1	[セット条件] タイマB1のカウンタ値がオーバーフロー(H'FF→H'00)したとき

タイマC割り込み要求フラグ

0	[クリア条件] IRRTC = 1 の状態でIRRTCに0をライトしたとき
1	[セット条件] タイマCのカウンタ値がアップカウンタ設定時オーバーフロー(H'FF→H'00)したとき、またダウンカウンタ設定時アンダフロー(H'00→H'FF)したとき

タイマFL割り込み要求フラグ

0	[クリア条件] IRRTFL = 1 の状態でIRRTFLに0をライトしたとき
1	[セット条件] 8ビットタイマモードでTCFLとOCRFLが一致したとき

タイマFH割り込み要求フラグ

0	[クリア条件] IRRTFH = 1 の状態でIRRTFHに0をライトしたとき
1	[セット条件] 8ビットタイマモードでTCFHとOCRFHが一致したとき、また16ビットタイマモードでTCF (TCFL、TCFH) とOCRF (OCRFL、OCRFH) が一致したとき

タイマG割り込み要求フラグ

0	[クリア条件] IRRTG = 1 の状態でIRRTGに0をライトしたとき
1	[セット条件] TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

タイマB2割り込み要求フラグ

0	[クリア条件] IRRTB2 = 1 の状態でIRRTB2に0をライトしたとき
1	[セット条件] タイマB2のカウンタ値がオーバーフロー(H'FF→H'00)したとき

A/D変換器割り込み要求フラグ

0	[クリア条件] IRRAD = 1 の状態でIRRADに0をライトしたとき
1	[セット条件] A/D変換器が変換終了し、ADSFがリセットされたとき

直接遷移割り込み要求フラグ

0	[クリア条件] IRRDT = 1 の状態でIRRDTに0をライトしたとき
1	[セット条件] DTONに1をセットした状態でスリープ命令を実行し直接遷移したとき

【注】\* フラグクリアのための0ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\* R/(W)\*

## ウェイクアップ割り込み要求フラグ

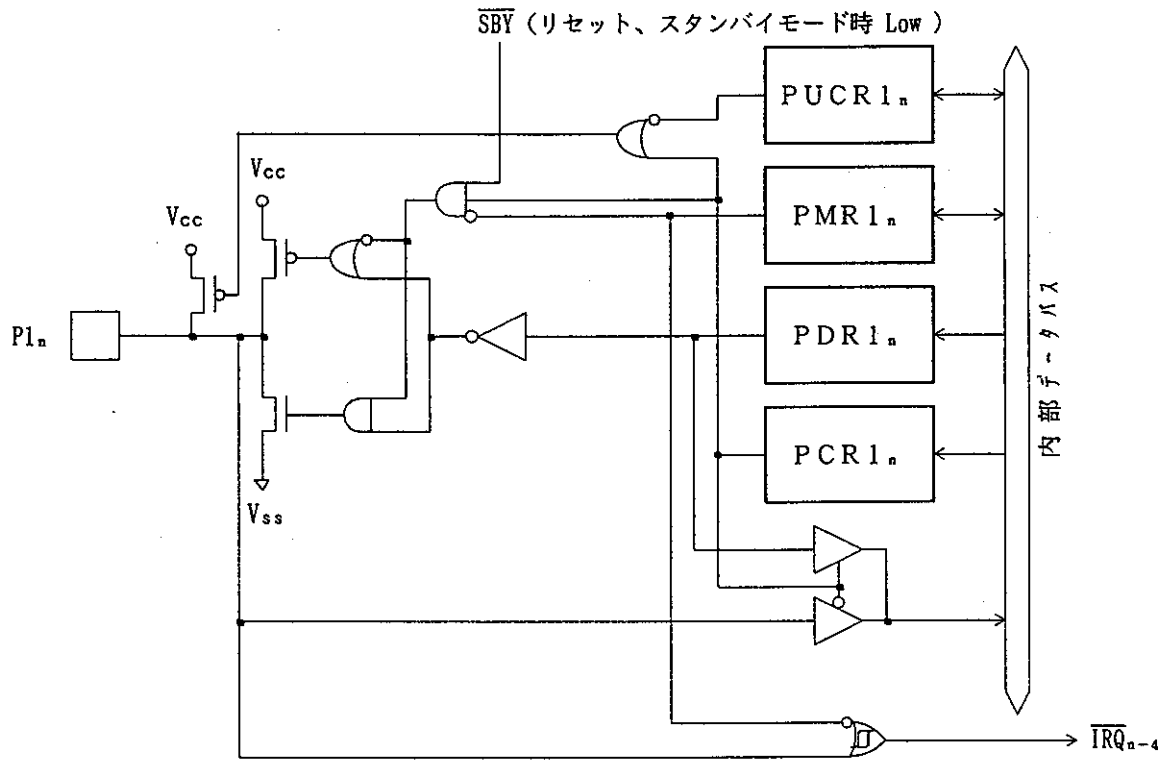
0	[クリア条件] IWPF <sub>n</sub> =1の状態ではIWPF <sub>n</sub> に0をライトしたとき
1	[セット条件] WKP <sub>n</sub> 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下がりエッジが入力されたとき

(n = 7 ~ 0)

【注】\* フラグクリアのための0ライトのみ可能

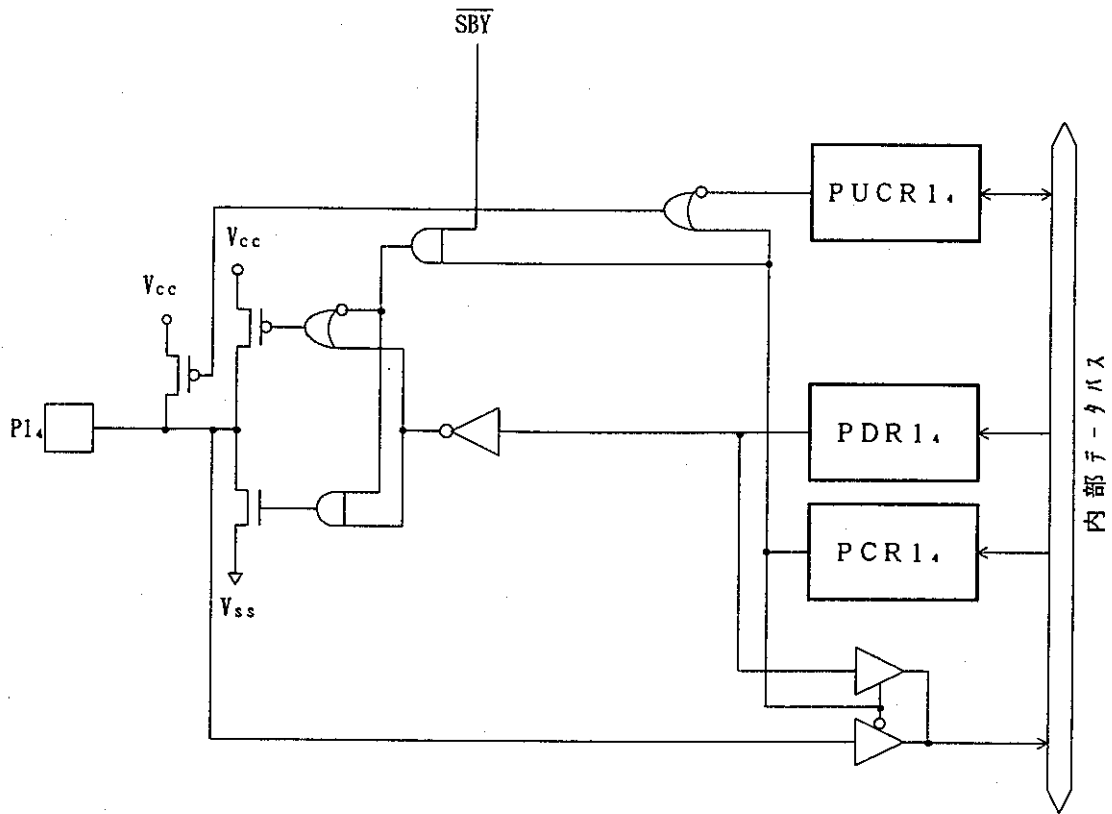
## C. I/Oポートブロック図

### C.1 ポート1ブロック図



- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1
- $n=7\sim5$

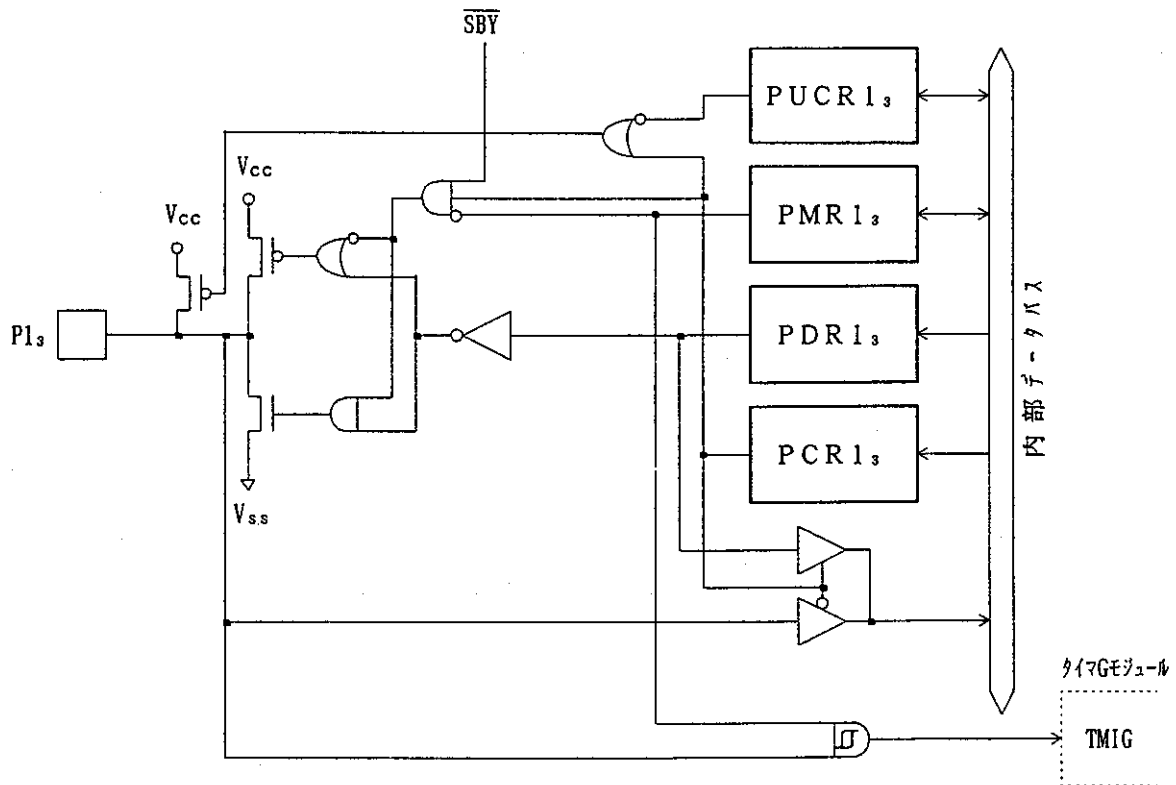
図C.1(a) ポート1ブロック図 ( $PI_7 \sim PI_5$  端子)



- PDR1 : ポートデータレジスタ 1
- PCR1 : ポートコントロールレジスタ 1
- PUCR1 : ポートプルアップコントロールレジスタ 1

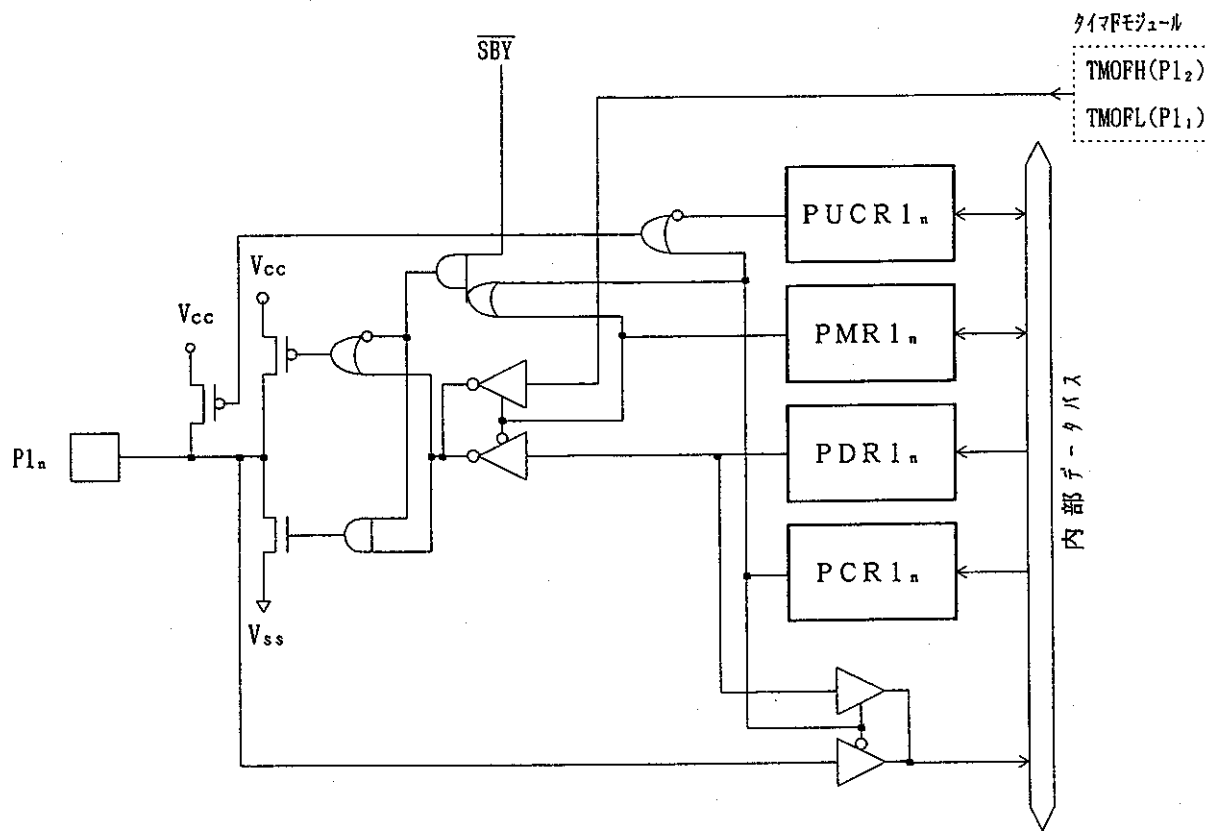
図 C.1(b) ポート 1 ブロック図 (P1<sub>4</sub> 端子)





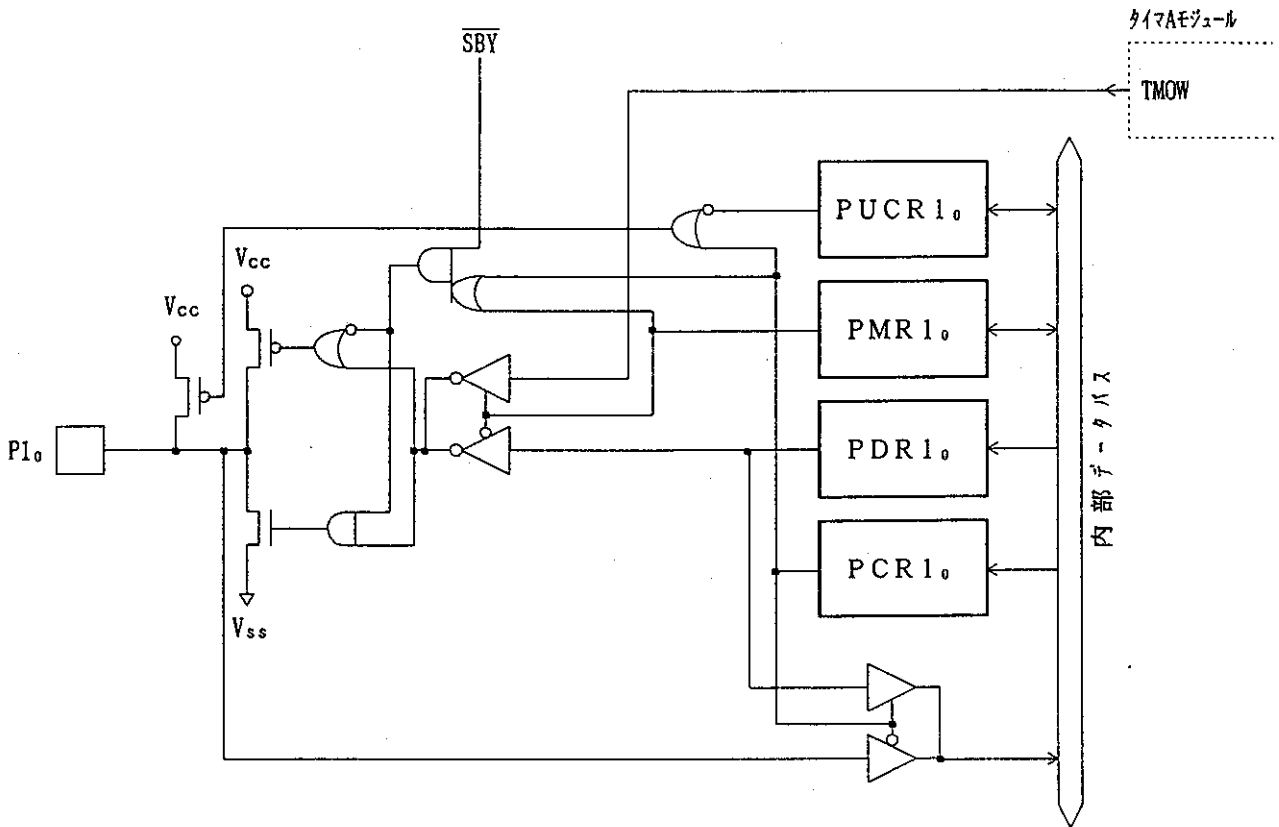
- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1

図 C.1(c) ポート1ブロック図 (P1, 端子)



- PDR1 : ポートデータレジスタ 1
- PCR1 : ポートコントロールレジスタ 1
- PMR1 : ポートモードレジスタ 1
- PUCR1 : ポートプルアップコントロールレジスタ 1
- n=2、1

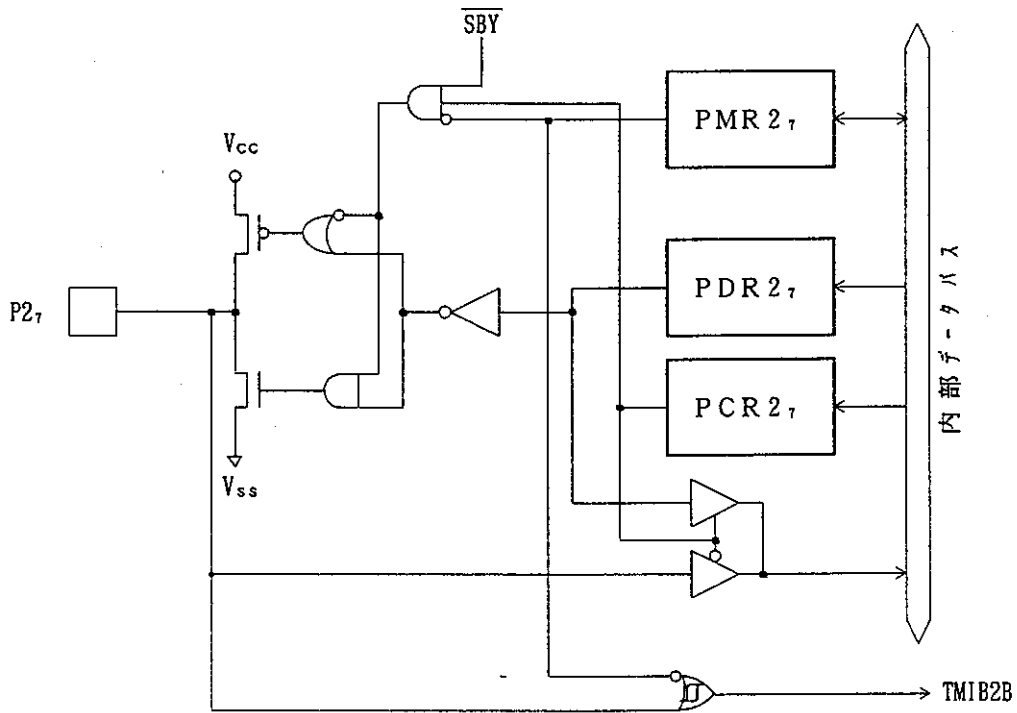
図 C.1(d) ポート 1 ブロック図 (P1<sub>2</sub>、P1<sub>1</sub> 端子)



- PDR1 : ポートデータレジスタ1
- PCR1 : ポートコントロールレジスタ1
- PMR1 : ポートモードレジスタ1
- PUCR1 : ポートプルアップコントロールレジスタ1

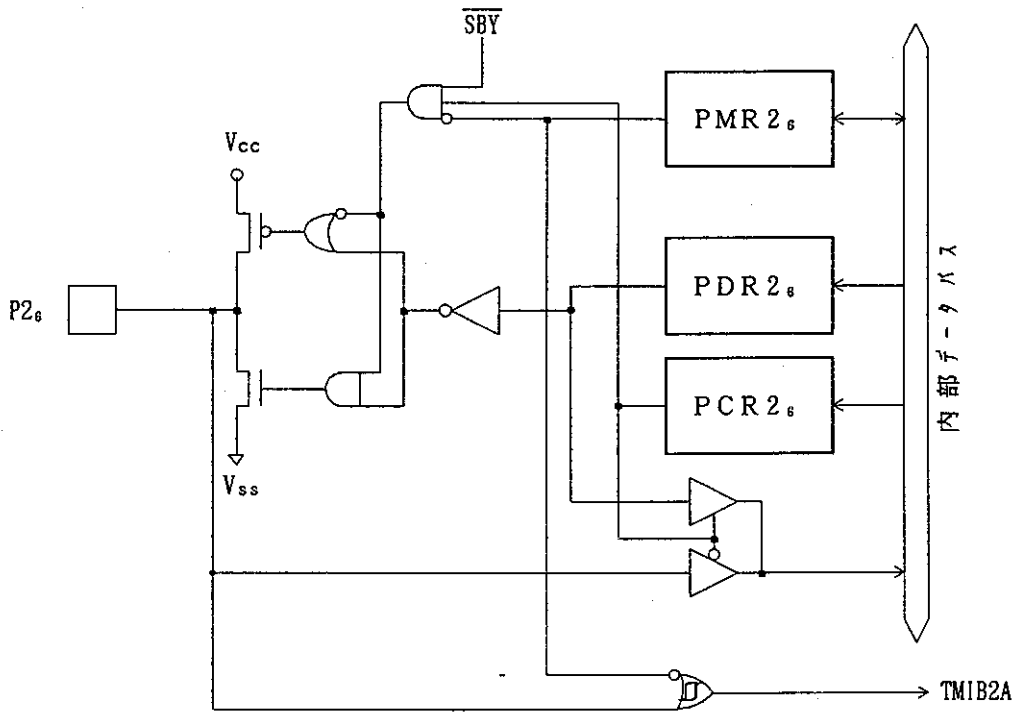
図 C.1(e) ポート1ブロック図 (P1<sub>0</sub>端子)

## C. 2 ポート2ブロック図



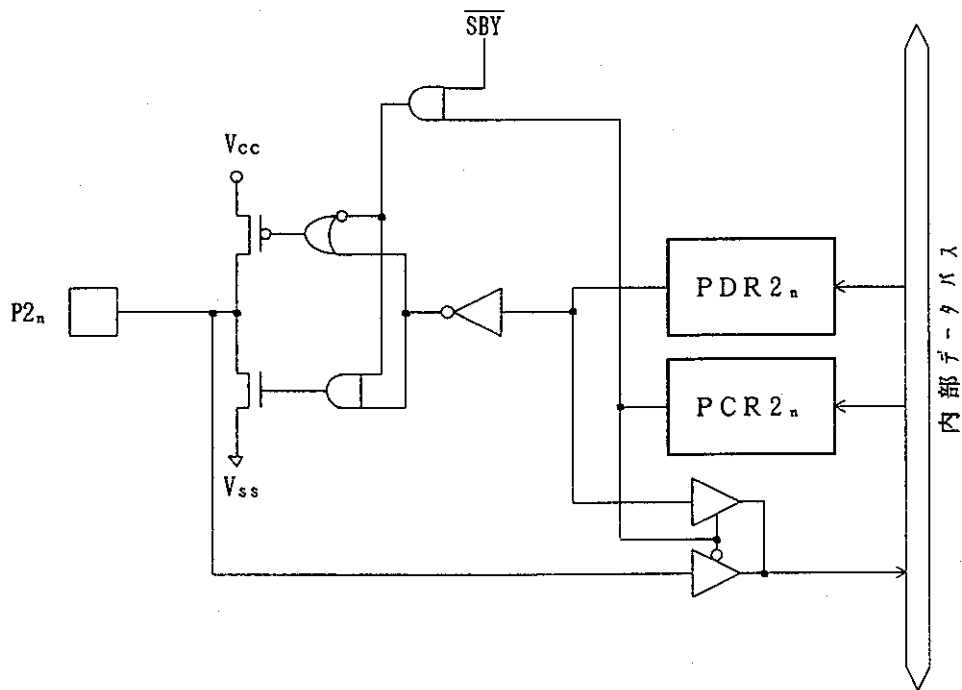
- PDR 2 : ポートデータレジスタ 2
- PCR 2 : ポートコントロールレジスタ 2
- PMR 2 : ポートモードレジスタ 2

図 C.2(a) ポート 2 ブロック図 (P2<sub>7</sub> 端子)



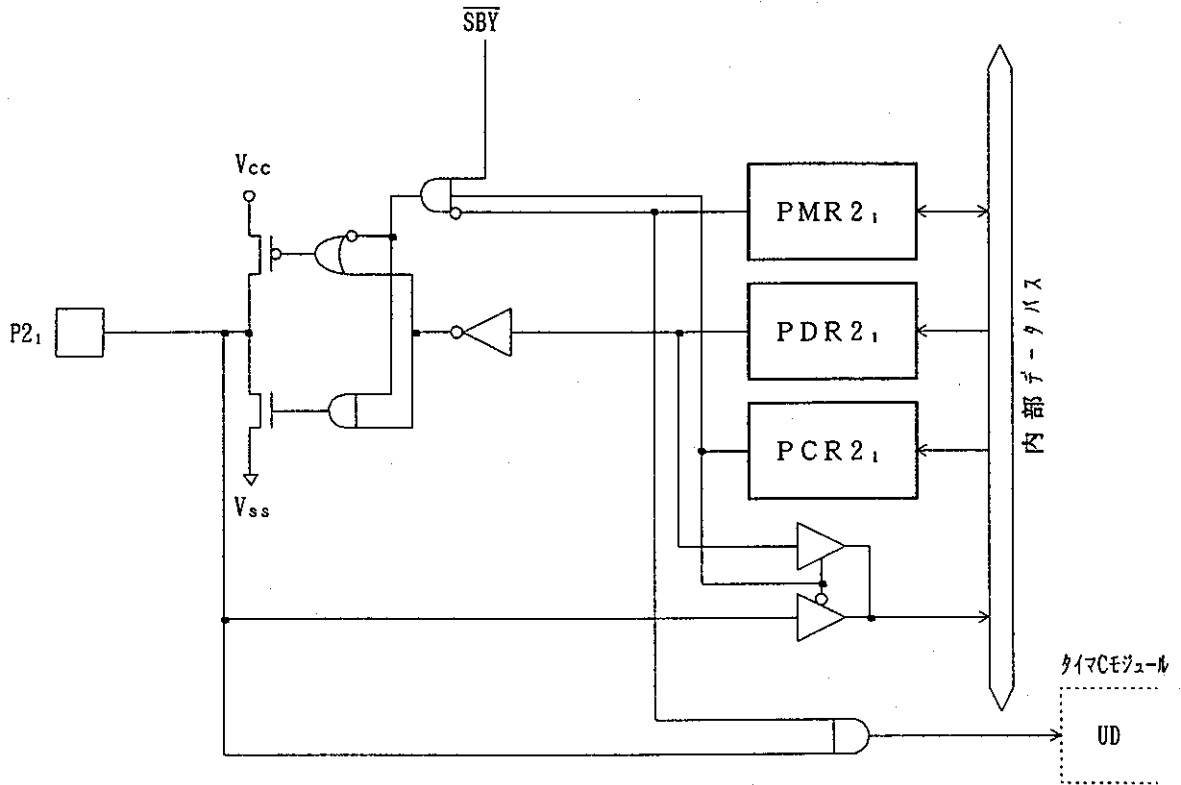
- PDR2 : ポートデータレジスタ2
- PCR2 : ポートコントロールレジスタ2
- PMR2 : ポートモードレジスタ2

図C.2(b) ポート2ブロック図 (P2<sub>0</sub> 端子)



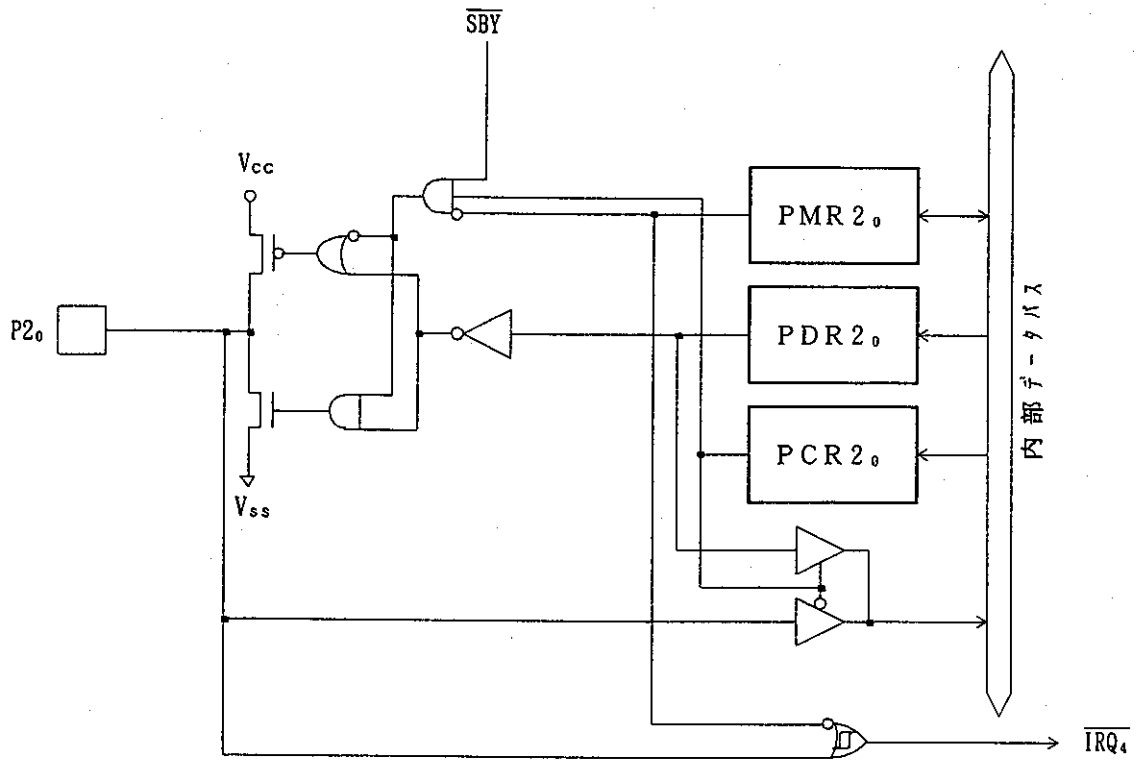
PDR 2 : ポートデータレジスタ 2  
 PCR 2 : ポートコントロールレジスタ 2  
 n = 5 ~ 2

図 C.2(c) ポート 2 ブロック図 (P2<sub>5</sub> ~ P2<sub>2</sub> 端子)



- PDR 2 : ポートデータレジスタ 2
- PCR 2 : ポートコントロールレジスタ 2
- PMR 2 : ポートモードレジスタ 2

図 C. 2(d) ポート 2 ブロック図 (P2<sub>1</sub> 端子)

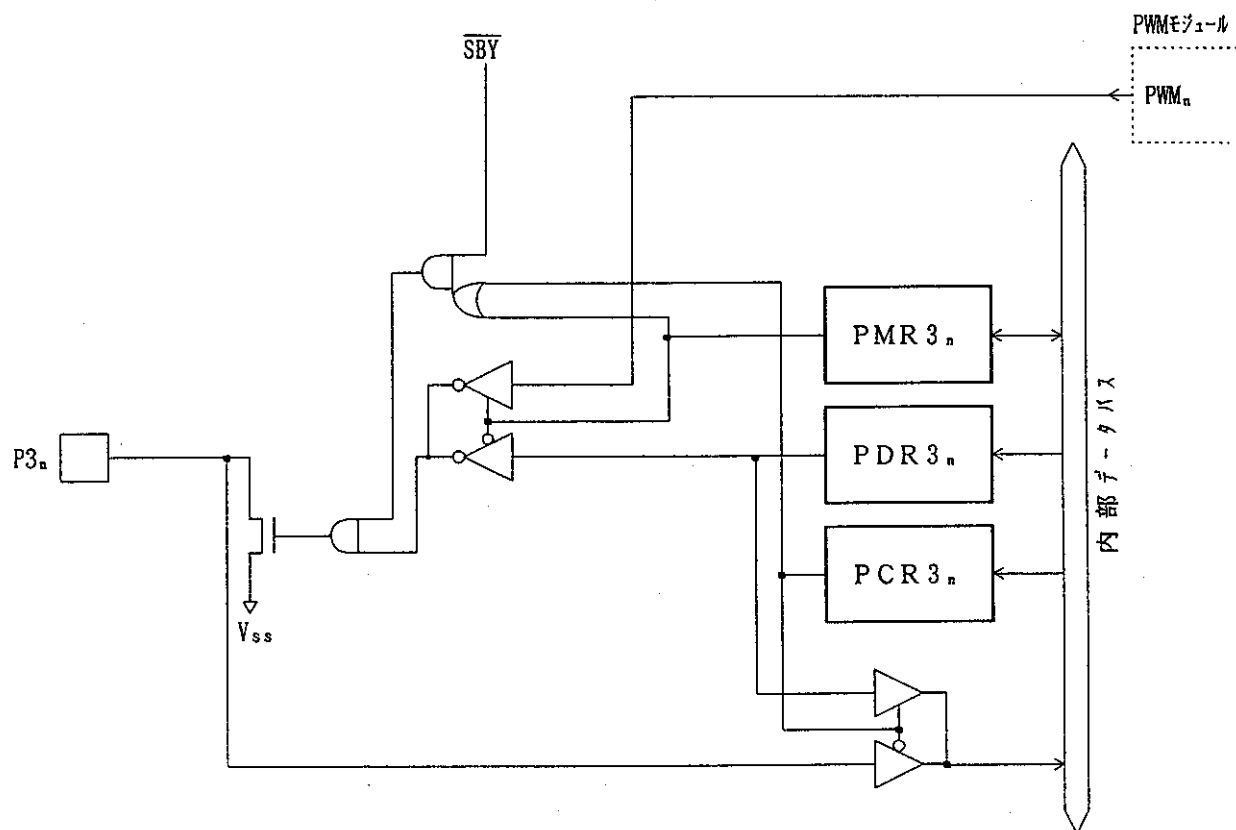


- PDR 2 : ポートデータレジスタ 2
- PCR 2 : ポートコントロールレジスタ 2
- PMR 2 : ポートモードレジスタ 2

図 C.2(e) ポート 2 ブロック図 (P2<sub>0</sub> 端子)



### C. 3 ポート3ブロック図



PDR3 : ポートデータレジスタ3

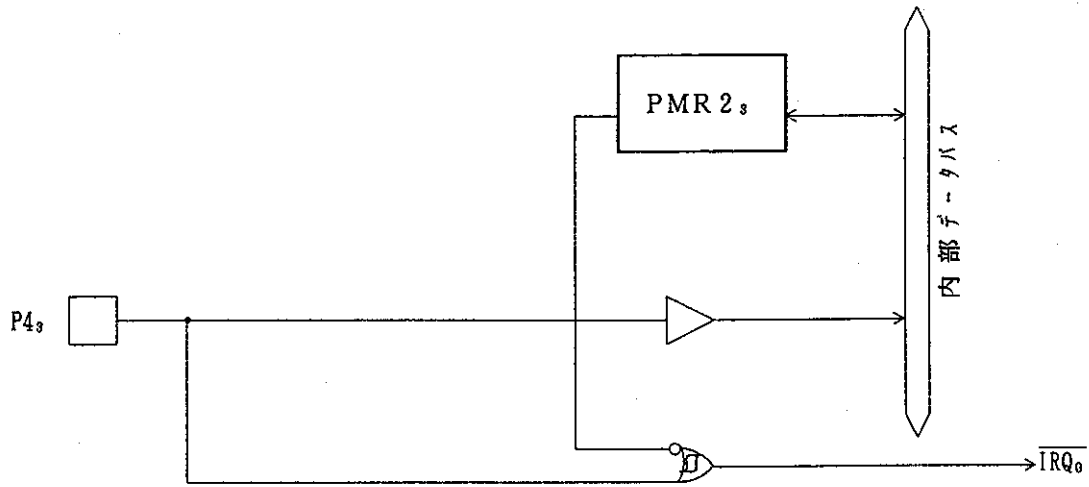
PCR3 : ポートコントロールレジスタ3

PMR3 : ポートモードレジスタ3

$n=7\sim 0$

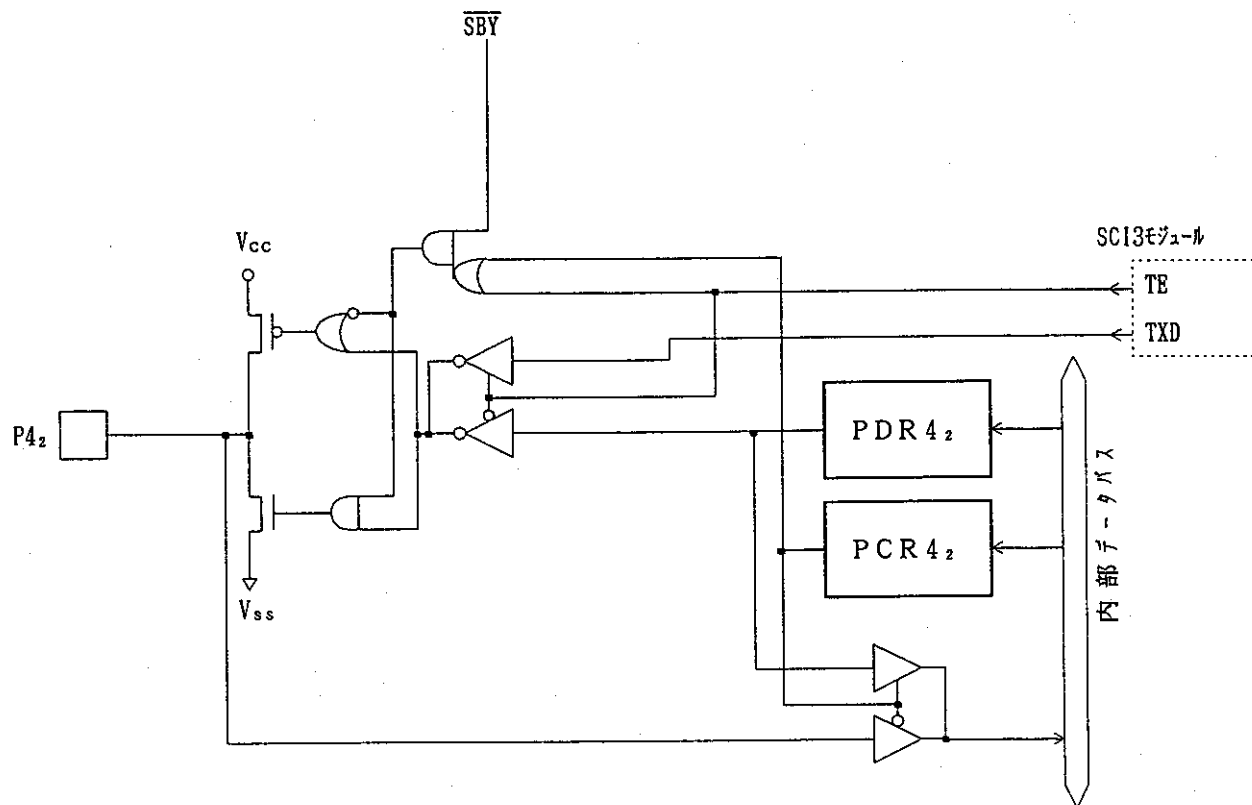
図C.3 ポート3ブロック図

### C. 4 ポート4ブロック図



PMR 2 : ポートモードレジスタ 2

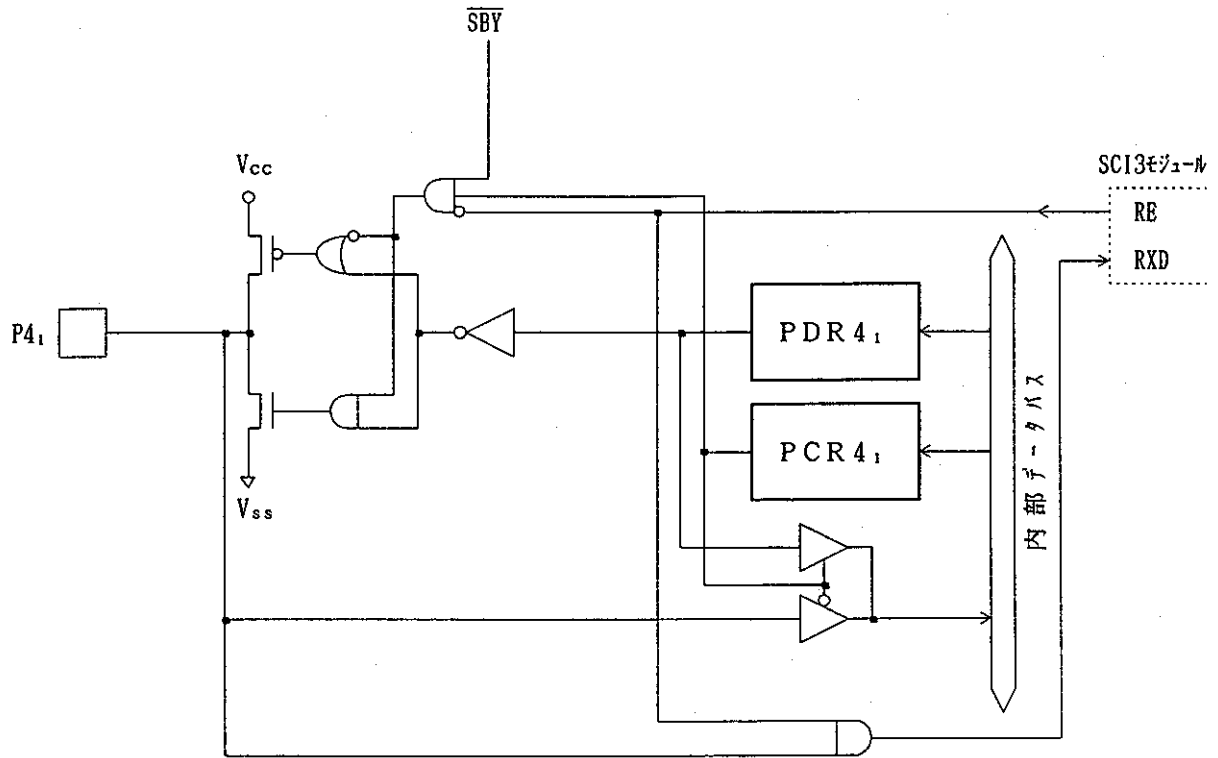
図 C.4(a) ポート 4 ブロック図 (P4<sub>3</sub>端子)



PDR4 : ポートデータレジスタ 4

PCR4 : ポートコントロールレジスタ 4

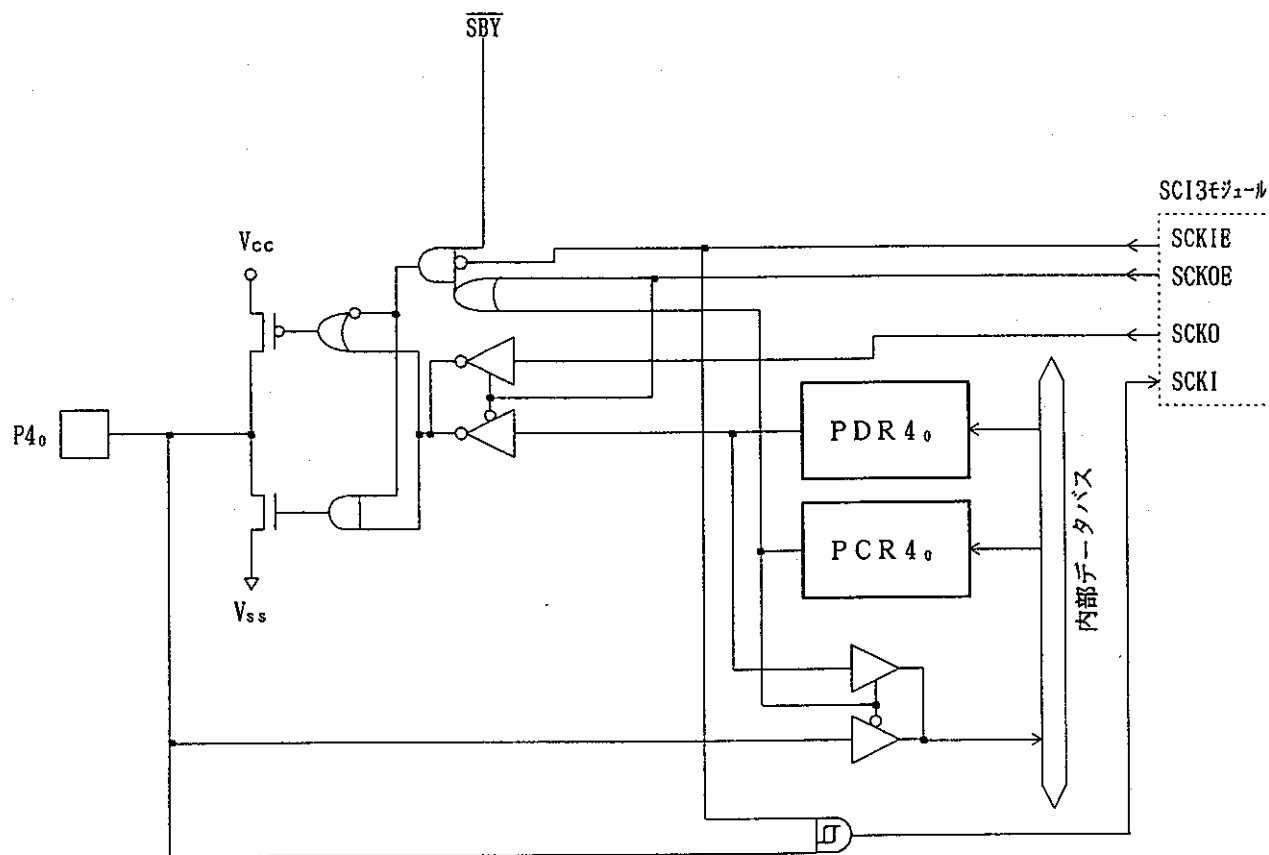
図 C.4(b) ポート 4 ブロック図 (P4<sub>2</sub>端子)



PDR4 : ポートデータレジスタ 4

PCR4 : ポートコントロールレジスタ 4

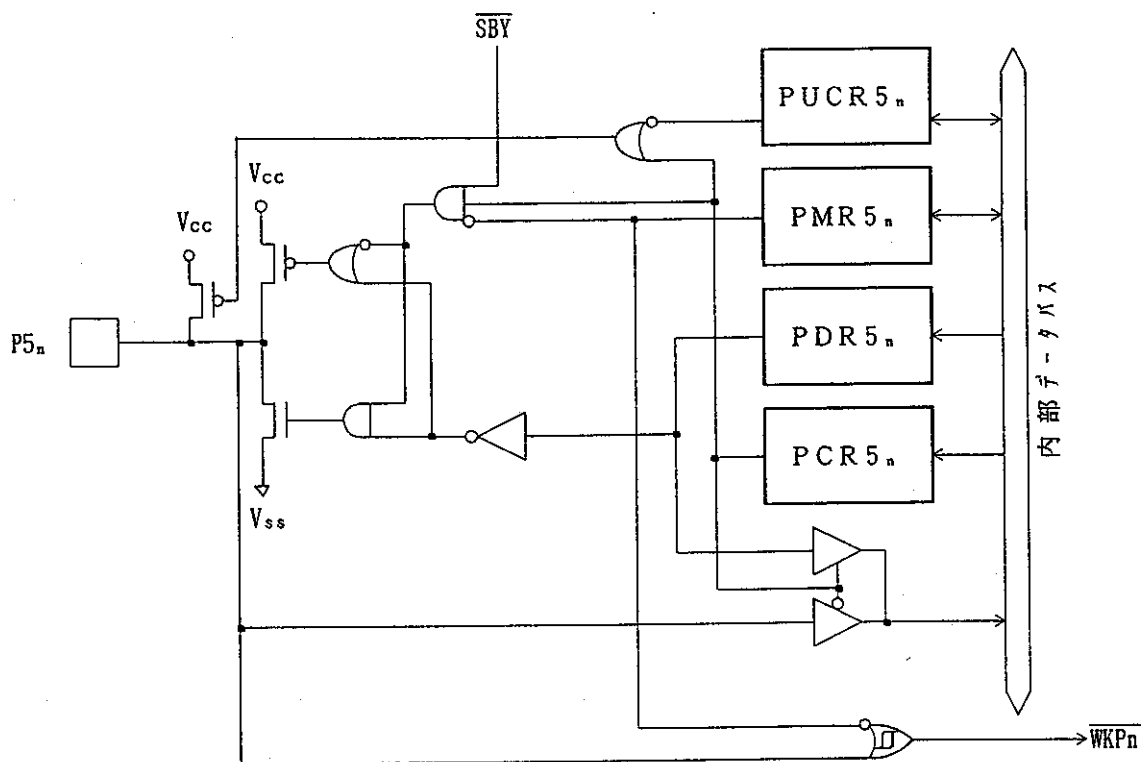
図 C.4(c) ポート 4 ブロック図 (P4<sub>1</sub> 端子)



PDR4 : ポートデータレジスタ4  
 PCR4 : ポートコントロールレジスタ4

図C.4(d) ポート4ブロック図 (P4<sub>0</sub>端子)

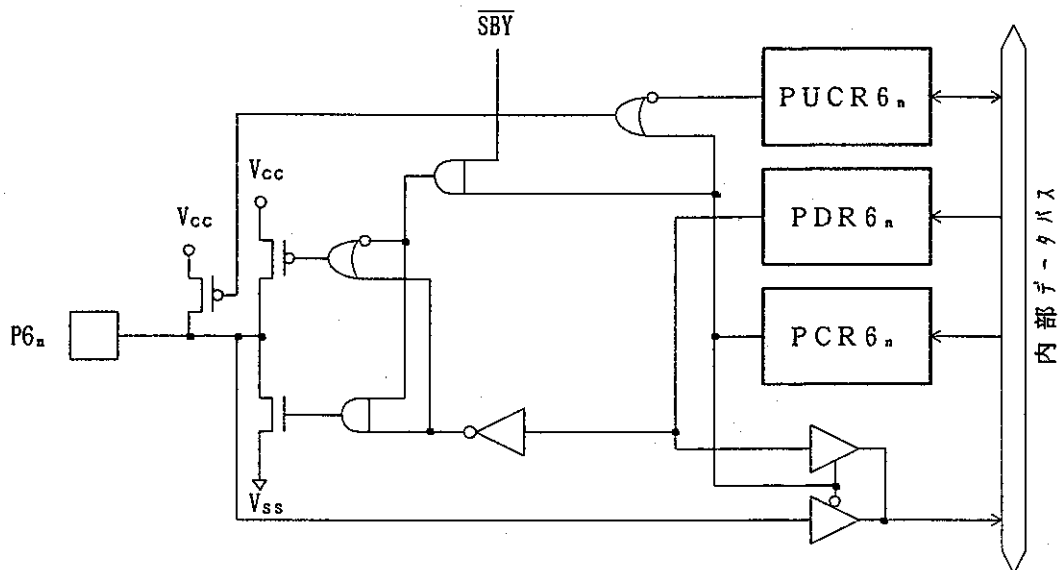
### C. 5 ポート5ブロック図



- PDR5 : ポートデータレジスタ 5
- PCR5 : ポートコントロールレジスタ 5
- PMR5 : ポートモードレジスタ 5
- PUCR5 : ポートプルアップコントロールレジスタ 5
- $n = 7 \sim 0$

図C.5 ポート5ブロック図

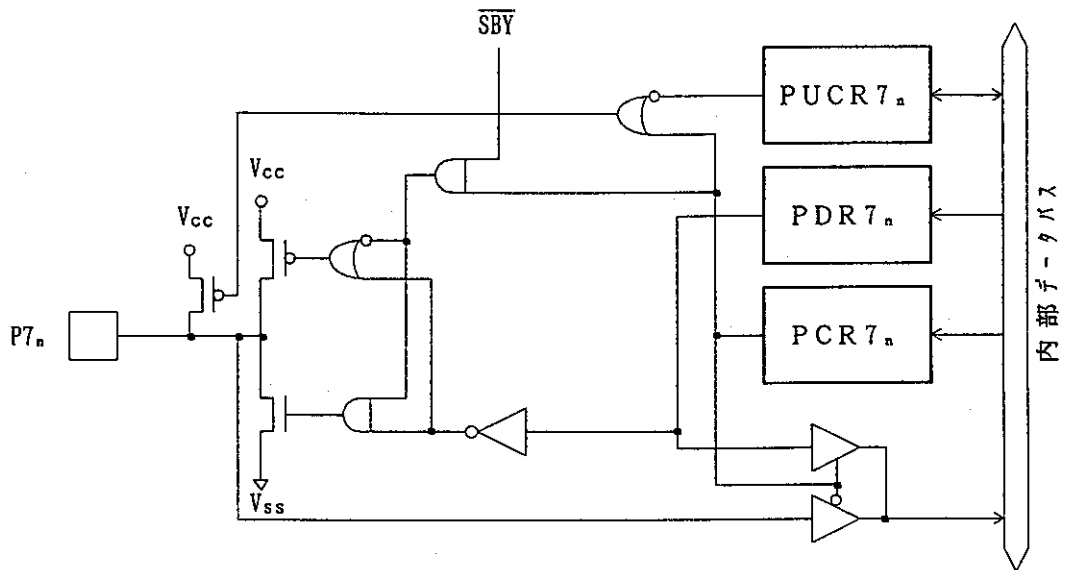
## C. 6 ポート6ブロック図



- PDR6 : ポートデータレジスタ6
- PCR6 : ポートコントロールレジスタ6
- PUCR6 : ポートプルアップコントロールレジスタ6
- n=7~0

図C.6 ポート6ブロック図

### C. 7 ポート7ブロック図

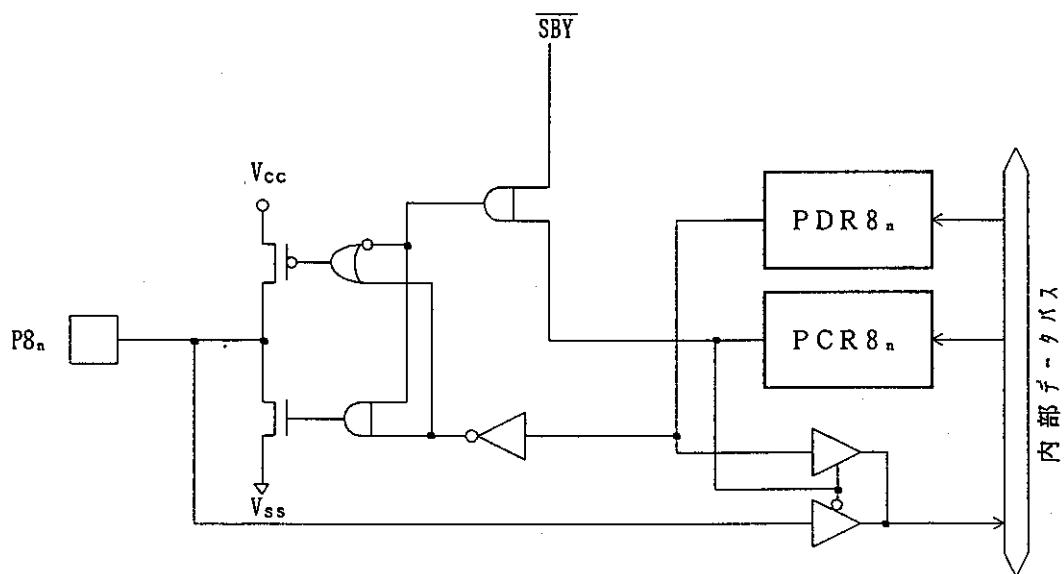


- PDR7 : ポートデータレジスタ7
- PCR7 : ポートコントロールレジスタ7
- PUCR7 : ポートプルアップコントロールレジスタ7
- n=7~0

図C.7 ポート7ブロック図



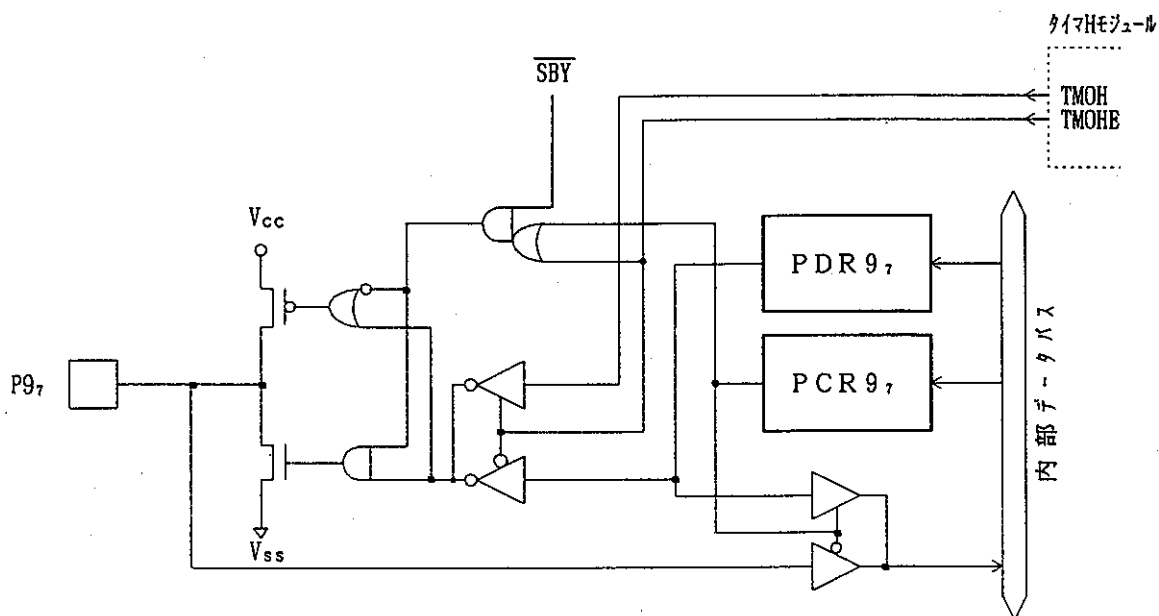
### C. 8 ポート8ブロック図



PDR8 : ポートデータレジスタ 8  
 PCR8 : ポートコントロールレジスタ 8  
 $n=7\sim 0$

図C.8 ポート8ブロック図

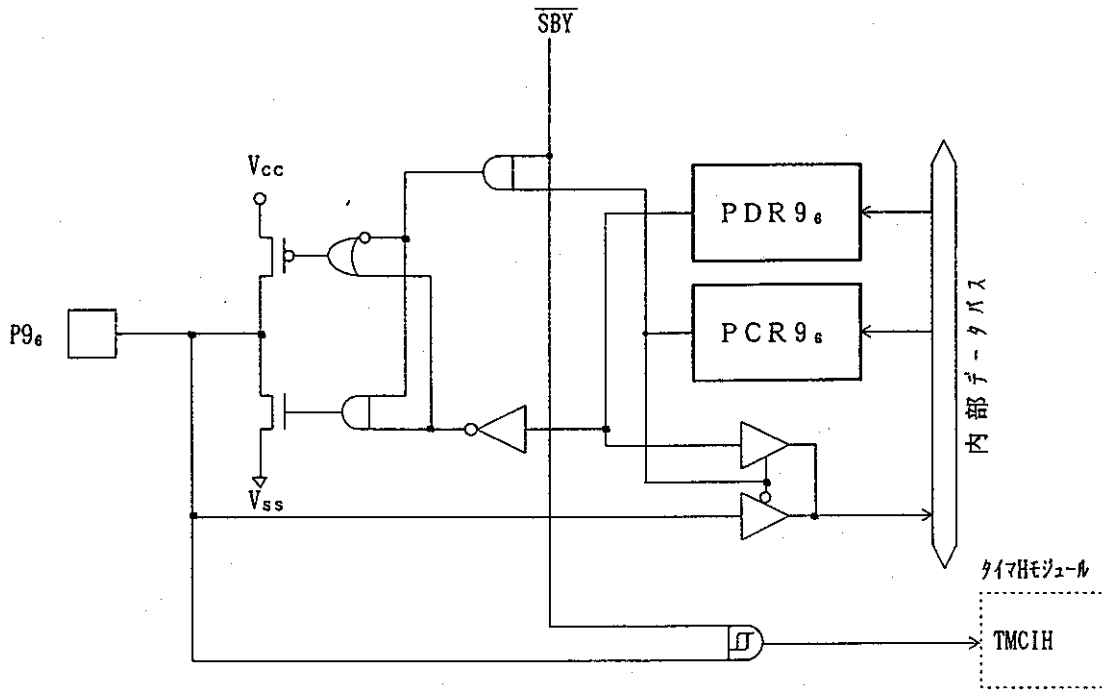
### C. 9 ポート9ブロック図



PDR9 : ポートデータレジスタ9

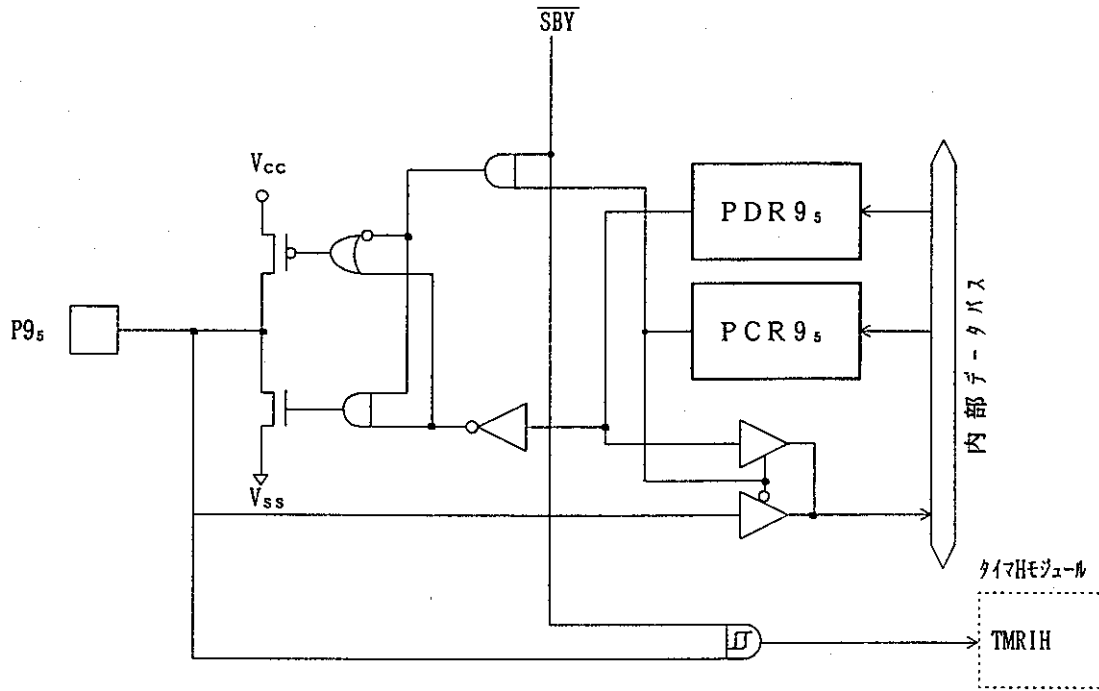
PCR9 : ポートコントロールレジスタ9

図C.9(a) ポート9ブロック図 (P97 端子)



PDR9 : ポートデータレジスタ9  
 PCR9 : ポートコントロールレジスタ9

図C.9(b) ポート9ブロック図 (P9<sub>6</sub> 端子)



PDR9 : ポートデータレジスタ 9  
 PCR9 : ポートコントロールレジスタ 9

図 C.9(c) ポート 9 ブロック図 (P9<sub>5</sub> 端子)

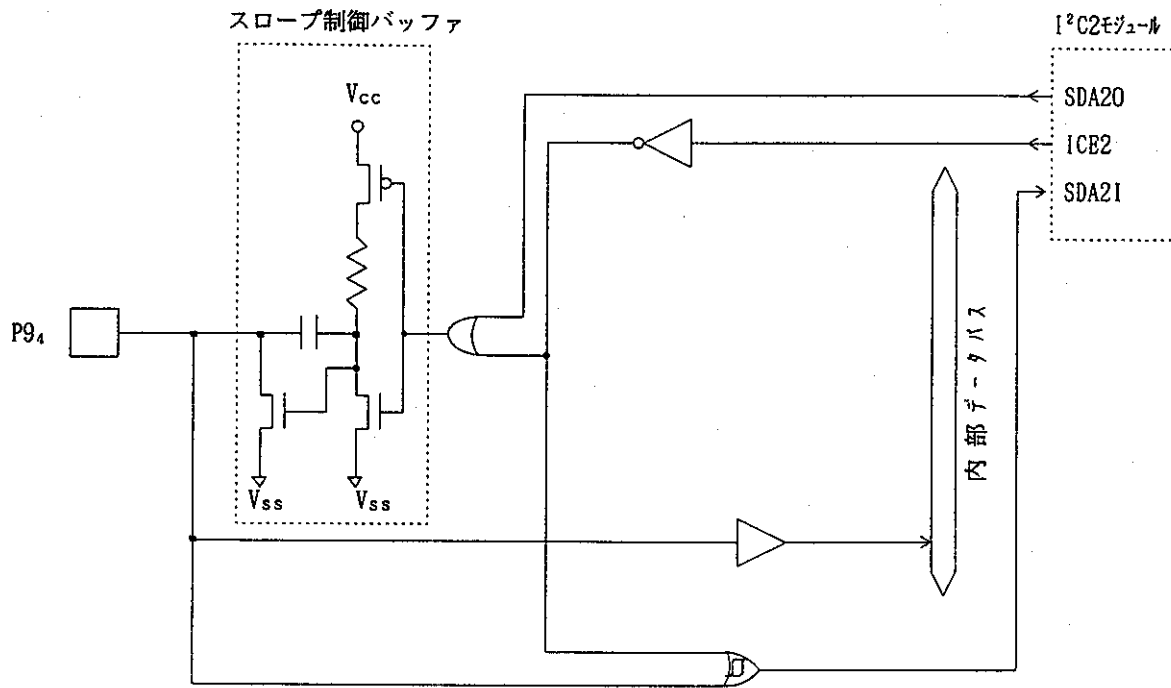


図 C.9(d) ポート 9 ブロック図 (P9<sub>4</sub> 端子)

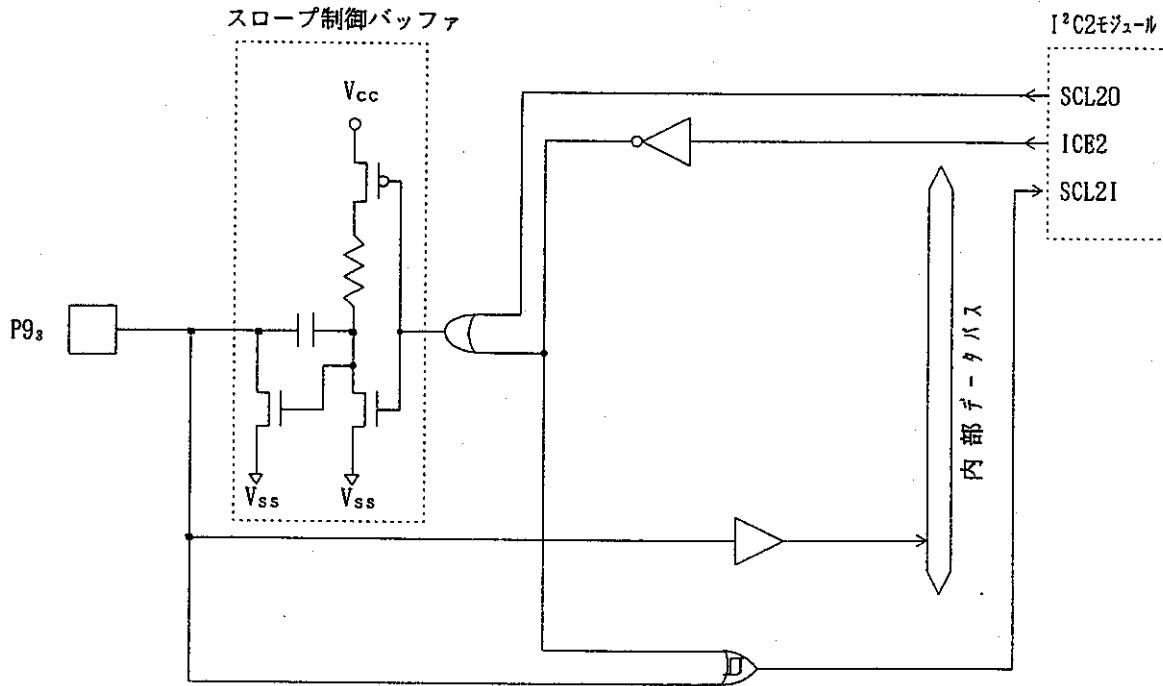
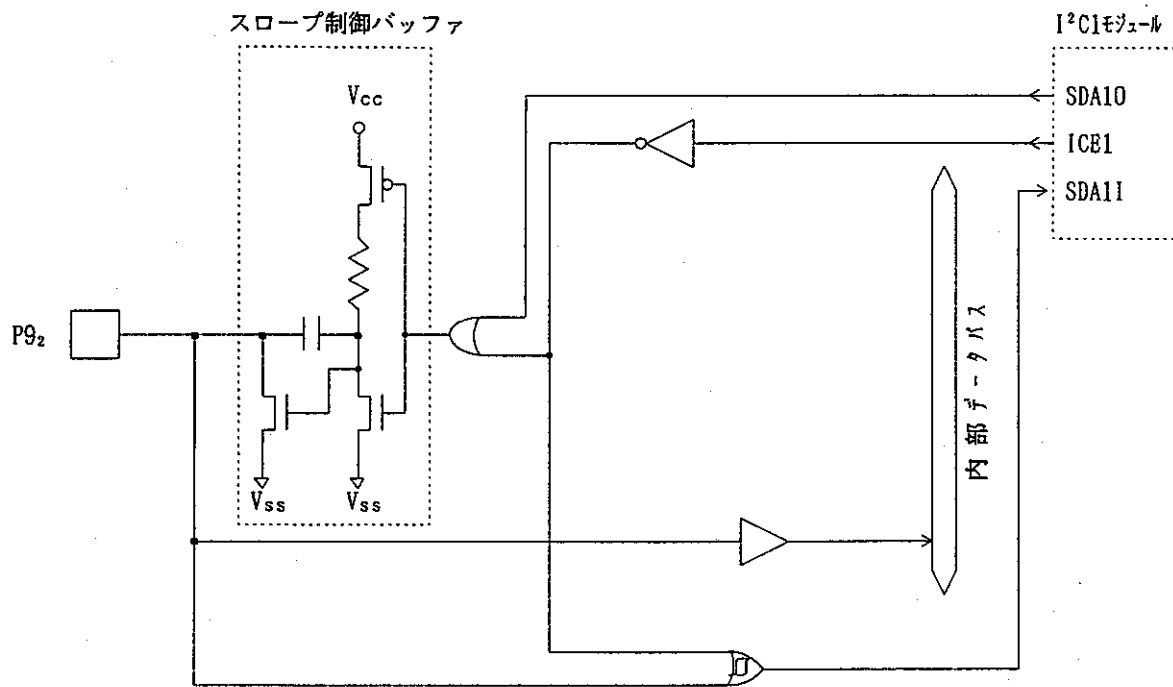


図 C.9(e) ポート9ブロック図 (P9<sub>3</sub> 端子)



図C.9(f) ポート9ブロック図 (P9<sub>2</sub> 端子)

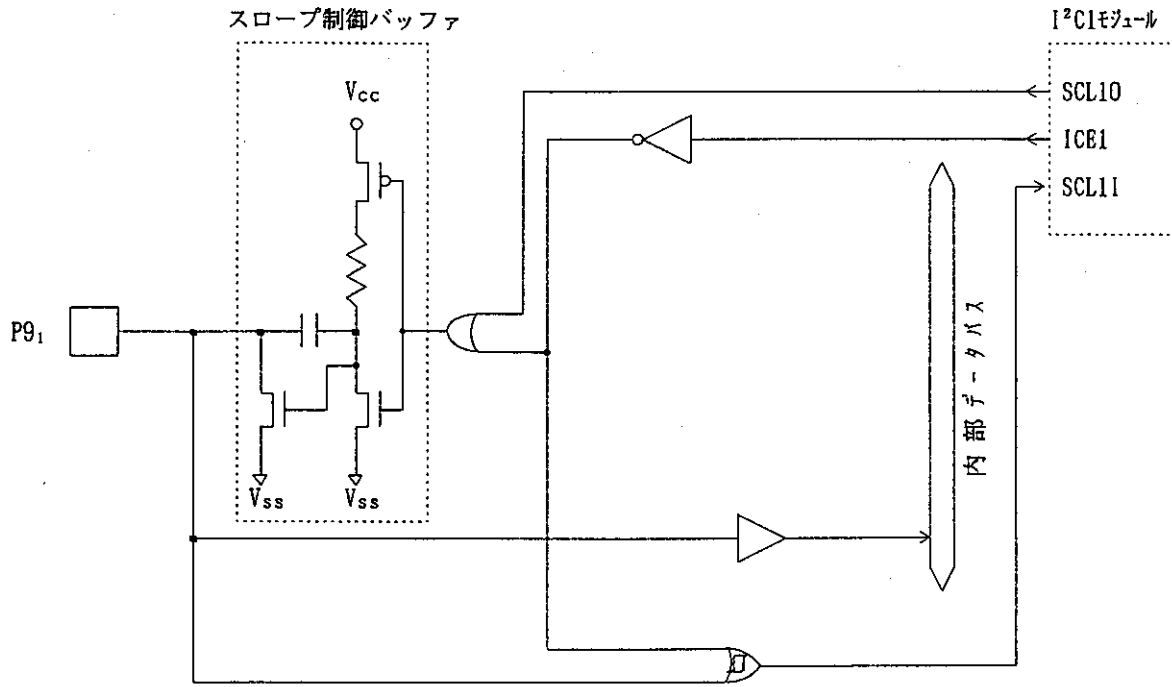
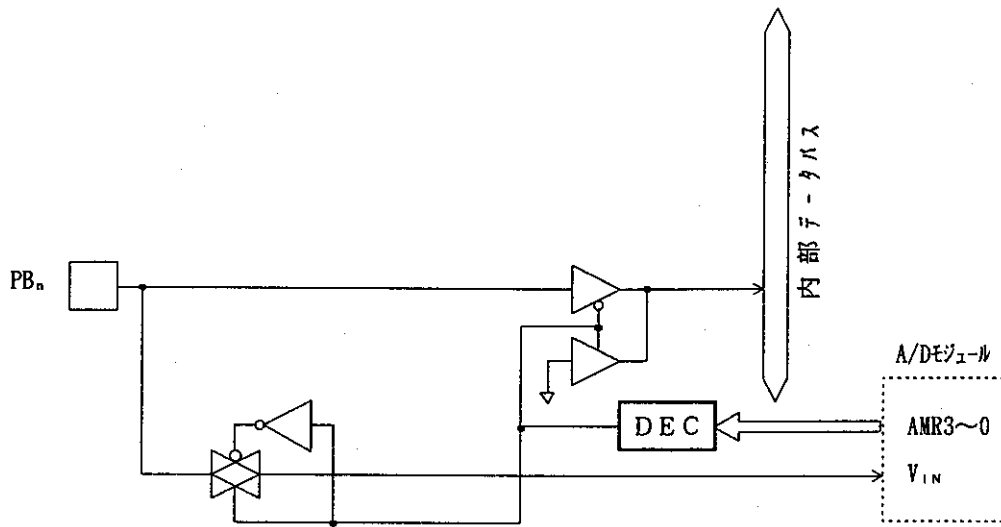


図 C. 9(9) ポート 9 ブロック図 (P9<sub>1</sub> 端子)





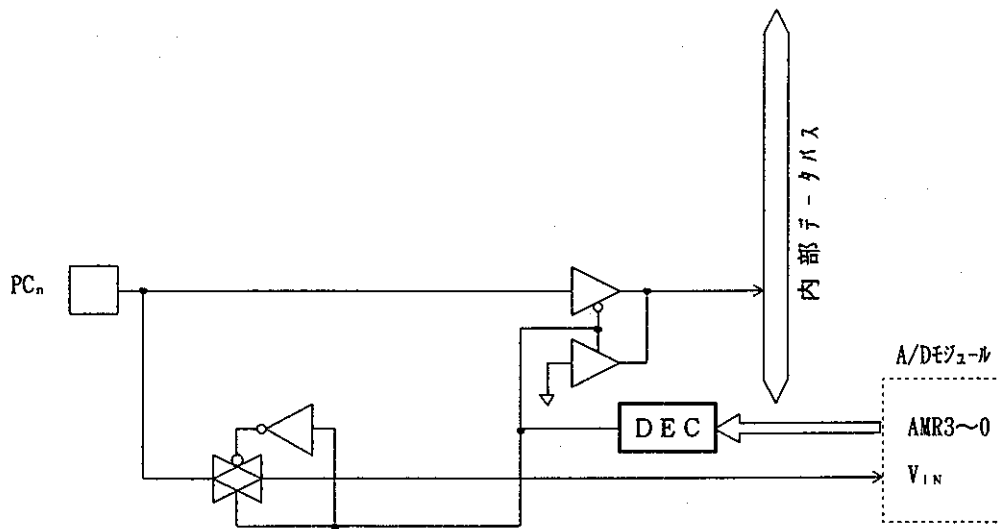
C. 11 ポートB ブロック図



n = 7 ~ 0

図C.11 ポートBブロック図

### C. 12 ポートCブロック図



$n = 3 \sim 0$

図C.12 ポートCブロック図

## D. 各処理状態におけるポートの状態

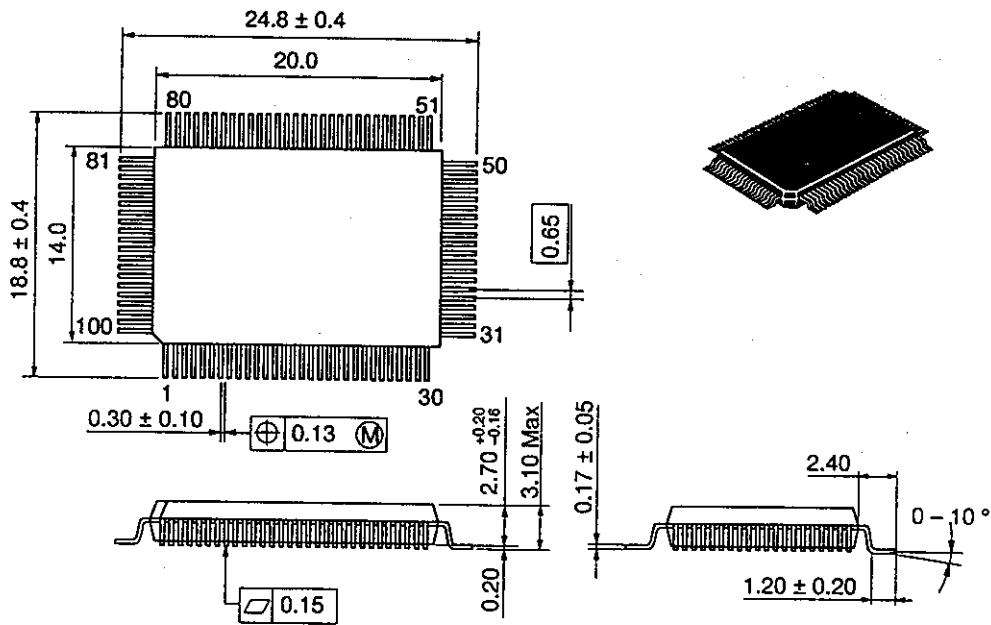
表D.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 <sub>7</sub> ~P1 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作
P2 <sub>7</sub> ~P2 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P3 <sub>7</sub> ~P3 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P4 <sub>3</sub> ~P4 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P5 <sub>7</sub> ~P5 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作
P6 <sub>7</sub> ~P6 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作
P7 <sub>7</sub> ~P7 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作
P8 <sub>7</sub> ~P8 <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P9 <sub>7</sub> ~P9 <sub>1</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
PA <sub>6</sub> ~PA <sub>0</sub>	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
PB <sub>7</sub> ~PB <sub>0</sub>	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス
PC <sub>3</sub> ~PC <sub>0</sub>	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

【注】\* プルアップMOSがON状態では High レベル出力となります。

## E. 外形寸法図

H8 / 3947シリーズの外形寸法図FP-100Aを図E.1に示します。



図E.1 外形寸法図 (FP-100A) 単位: mm

【注】 外形寸法図については、「日立半導体パッケージ」に掲載されている寸法図を優先します。

H8/3947シリーズ ハードウェアマニュアル

発行年月 平成5年7月 第1版

平成7年2月 第3版

発 行 株式会社 日立製作所

半導体事業部

編 集 株式会社 日立マイコンシステム

技術ドキュメントセンタ

©株式会社 日立製作所 1993

# H8/3947 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-082B