お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

V853™

32 ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD703003A
μPD703003A(A)
μPD703004A
μPD703025A
μPD703025A(A)
μPD70F3003A
μPD70F3003A(A)
μPD70F3025A

資料番号　U10913JJ6V0UM00（第６版）
発行年月　August 2001 N　CP(K)

© NEC Corporation 1995

〔メ　モ〕

目次要約

第１章　イントロダクション　…　21

第２章　端子機能　…　31

第３章　CPU機能　…　50

第４章　バス制御機能　…　84

第５章　割り込み／例外処理機能　…　102

第６章　クロック発生機能　…　133

第７章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）…　152

第８章　シリアル・インタフェース機能　…　188

第９章　A/Dコンバータ　…　221

第10章　D/Aコンバータ　…　255

第11章　PWMユニット　…　258

第12章　ポート機能　…　264

第13章　リセット機能　…　307

第14章　フラッシュ・メモリ（μPD70F3003A, 70F3025A）…　311

付録Ａ　レジスタ索引　…　323

付録Ｂ　命令セット一覧　…　327

付録Ｃ　総合索引　…　333

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意　CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③初期化以前の状態（MOS全般）

注意　電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

V853，V850ファミリは日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本製品のうち，外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　　：μPD70F3003A, 70F3003A(A), 70F3025A

ユーザ判定品：μPD703003A, 703003A(A), 703004A, 703025A, 703025A(A)

- 本資料の内容は予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路，ソフトウエア，及びこれらに付随する情報は，半導体製品の動作例，応用例を説明するためのものです。従って，これら回路・ソフトウエア・情報をお客様の機器に使用される場合には，お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して，当社は一切その責を負いません。
- 当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7　98.8

本版で改訂された主な箇所

箇　所	内　容
全般	・対象製品から次の製品を削除 μPD703003, 70F3003 ・対象製品に次の製品を追加 μPD703003A(A), 703025A(A), 70F3003A(A) ・ROMレス・モードの記述削除
p.24	1.3　応用分野　変更
p.24	1.4　オーダ情報　変更
p.35	2.2　端子状態　記述修正
p.51	3.2　CPUレジスタ・セット　記述修正
p.52	3.2.1　プログラム・レジスタ・セット　記述修正
p.52	表3－1　プログラム・レジスター覧　修正
p.54, 55	図3－3　プログラム・ステータス・ワード（PSW）　修正
p.56	3.3.2（2）フラッシュ・メモリ・プログラミング・モード　記述変更
p.81	3.4.10　特定レジスタ　注意追加
p.102	第5章　割り込み／例外処理機能　記述修正
p.131	5.8（1）EI命令後の割り込み処理受け付けについて　追加
p.134	6.3.2　PLLモード　記述変更
p.135	6.3.3　クロック・コントロール・レジスタ（CKC）　記述変更
p.147	6.5.6　注意事項　追加
p.189	8.2.1　特　徴　注追加
p.204	8.3.1　特　徴　記述追加
p.210	8.3.4（2）（c）シリアル・クロック制御回路およびシリアル・クロック・カウンタの初期化　追加
p.224	9.3（1）A/Dコンバータ・モード・レジスタ0（ADM0）　注意追加
p.296	12.3.8　ポート7　記述追加
p.307	表13－1　リセット期間中の各端子の動作状態　修正
p.308	13.2（2）パワーオン時のリセット　記述変更および注追加
p.311	第14章　フラッシュ・メモリ（μPD70F3003A, 70F3025A）　注意追加
p.311	14.1　特　徴　記述変更
p.312	図14－1　V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線例　追加
p.313	表14－1　V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線表　追加
p.314	14.4（1）UART0　記述変更
p.314	14.4（2）CSI0　記述変更
p.315	14.4（3）ハンドシェーク対応CSI通信方式　追加
p.315	14.4　通信方式　記述追加および注追加
p.316	14.5.1　V_{PP}端子　記述変更
p.316	14.5.2　シリアル・インタフェース端子　記述追加
p.318	14.5.5　MODE端子　記述変更
p.320	14.6.2　フラッシュ・メモリ・プログラミング・モード　記述変更
p.320	表14－2　通信方式一覧　記述追加
p.321	14.6.4　通信コマンド　記述修正

本文欄外の★印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者　このマニュアルは，V853の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。対象製品は次のようになります。

・標準品：μPD703003A, 703004A, 703025A, 70F3003A, 70F3025A
・特別品：μPD703003A(A), 703025A(A), 70F3003A(A)

目　的　このマニュアルは，次の構成に示すV853の持つハードウエア機能をユーザに理解していただくことを目的としています。

構　成　V853のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）とアーキテクチャ編（V850ファミリ™　ユーザーズ・マニュアル　アーキテクチャ編）の２冊に分かれています。

ハードウエア編
・端子機能
・CPU機能
・内蔵周辺機能
・フラッシュ・メモリ・プログラミング・モード

アーキテクチャ編
・データ・タイプ
・レジスタ・セット
・命令形式と命令セット
・割り込みと例外
・パイプラインの動作

読み方　このマニュアルの読者には，電気，論理回路，およびマイクロコンピュータに関する一般的知識を必要とします。

注意１．このマニュアル中の使用例は，一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は，実際に使用する各部品および回路について，その品質水準についてご検討のうえご使用ください。
２．特別品のマニュアルとして使用する場合には，次のように読み替えてください。

μPD703003A　→ μPD703003A(A)
μPD703025A　→ μPD703025A(A)
μPD70F3003A → μPD70F3003A(A)

レジスタ名が分かっていて，レジスタの詳細を確認するとき
→付録A　レジスタ索引を利用してください。

機能名などが分かっていて，その詳細を確認するとき
→付録C　総合索引を利用してください。

命令機能の詳細を理解しようとするとき
→別冊のV850ファミリ　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

V853の電気的特性を知りたいとき
　→別冊の**データ・シート**を参照してください。

一通りV853の機能を理解しようとするとき
　→目次に従ってお読みください。

凡　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
メモリ・マップのアドレス	：上部－上位，下部－下位
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：２進数…××××または××××B
	10進数…××××
	16進数…××××H
２のべき数を示す接頭語	：K（キロ）　$2^{10} = 1024$
	M（メガ）　$2^{20} = 1024^2$
	G（ギガ）　$2^{30} = 1024^3$

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

○デバイスに関する資料

資　料　名	資料番号
V850ファミリ　ユーザーズ・マニュアル　アーキテクチャ編	U10243J
V850ファミリ　インストラクション活用表	U10229J
μPD703003A, 703004A, 703025A, 703003A(A), 703025A(A)　データ・シート	U13188J
μPD70F3003A, 70F3025A, 70F3003A(A)　データ・シート	U13189J
V853　ユーザーズ・マニュアル　ハードウエア編	このマニュアル

○開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
IE-703002-MC（インサーキット・エミュレータ）		U11595J
IE-703003-MC-EM1（インサーキット・エミュレータ・オプション・ボード）		U11596J
CA850（Ver.2.30以上） （Ｃコンパイラ・パッケージ）	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
CA850（Ver.2.40以上） （Ｃコンパイラ・パッケージ）	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850（Ver.2.40以上）（統合ディバッガ）	操作編　Windows™ベース	U15181J
SM850（Ver.2.40以上） （システム・シミュレータ）	操作編　Windowsベース	U15182J
	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850（Ver.3.13以上）（リアルタイムOS）	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro（Ver.3.13）（リアルタイムOS）	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850（Ver.3.01）（タスク・ディバッガ）		U13737J
RD850 Pro（Ver.3.01）（タスク・ディバッガ）		U13916J
AZ850（Ver.3.0）（システム・パフォーマンス・アナライザ）		U14410J
PG-FP3（フラッシュ・メモリ・プログラマ）		U13502J

目　　次

第１章　イントロダクション　…　21

1.1　概　　説　…　21
1.2　特　　徴　…　22
1.3　応用分野　…　24
1.4　オーダ情報　…　24
1.5　端子接続図（Top View）　…　25
1.6　機能ブロック構成　…　27
　1.6.1　内部ブロック図　…　27
　1.6.2　内部ユニット　…　28
1.7　各製品の相違点　…　30

第２章　端子機能　…　31

2.1　端子機能一覧　…　31
2.2　端子状態　…　35
2.3　端子機能の説明　…　36
2.4　各端子の入出力回路タイプと未使用時の処理　…　47
2.5　端子の入出力回路　…　49

第３章　CPU機能　…　50

3.1　特　　徴　…　50
3.2　CPUレジスタ・セット　…　51
　3.2.1　プログラム・レジスタ・セット　…　52
　3.2.2　システム・レジスタ・セット　…　53
3.3　動作モード　…　56
　3.3.1　動作モード　…　56
　3.3.2　動作モード指定　…　56
3.4　アドレス空間　…　57
　3.4.1　CPUアドレス空間　…　57
　3.4.2　イメージ　…　58
　3.4.3　CPUアドレス空間のラップ・アラウンド　…　59
　3.4.4　メモリ・マップ　…　60
　3.4.5　領　　域　…　62
　3.4.6　外部拡張モード　…　69
　3.4.7　メモリ拡張モード・レジスタ（MM）　…　70
　3.4.8　アドレス空間の推奨使用方法　…　71
　3.4.9　周辺I/Oレジスタ　…　76
　3.4.10　特定レジスタ　…　80

第４章　バス制御機能　…　84

4.1　特　　徴　…　84
4.2　バス制御端子　…　84
4.3　バス・アクセス　…　85

4.3.1　アクセス・クロック数　…　85
4.3.2　バ ス 幅　…　85
4.4　メモリ・ブロック機能　…　87
4.5　ウエイト機能　…　88
4.5.1　プログラマブル・ウエイト機能　…　88
4.5.2　外部ウエイト機能　…　89
4.5.3　プログラマブル・ウエイトと外部ウエイトの関係　…　89
4.6　アイドル・ステート挿入機能　…　90
4.7　バス・ホールド機能　…　91
4.7.1　機能概要　…　91
4.7.2　バス・ホールド手順　…　91
4.7.3　パワー・セーブ・モード時の動作　…　92
4.8　バス・タイミング　…　93
4.9　バスの優先順位　…　100
4.10　境界動作条件　…　100
4.10.1　プログラム空間　…　100
4.10.2　データ空間　…　100
4.11　内蔵周辺I/Oインタフェース　…　101

第５章　割り込み／例外処理機能　…　102

5.1　特　　徴　…　102
5.2　ノンマスカブル割り込み　…　104
5.2.1　受け付け動作　…　105
5.2.2　復帰動作　…　107
5.2.3　ノンマスカブル割り込みステータス・フラグ（NP）　…　108
5.2.4　NMI端子のノイズ除去　…　108
5.2.5　NMI端子のエッジ検出機能　…　108
5.3　マスカブル割り込み　…　109
5.3.1　ブロック図　…　110
5.3.2　動　　作　…　111
5.3.3　復　　帰　…　113
5.3.4　マスカブル割り込みの優先順位　…　114
5.3.5　割り込み制御レジスタ（××ICn）　…　118
5.3.6　ノイズ除去回路 …　120
5.3.7　エッジ検出機能 …　121
5.3.8　インサービス・プライオリティ・レジスタ（ISPR）　…　122
5.3.9　マスカブル割り込みステータス・フラグ（ID）　…　122
5.4　ソフトウエア例外　…　123
5.4.1　動　　作　…　123
5.4.2　復　　帰　…　124
5.4.3　例外ステータス・フラグ（EP）　…　125
5.5　例外トラップ　…　125
5.5.1　不正命令コード　…　125
5.5.2　動　　作　…　126
5.5.3　復　　帰　…　127
5.6　多重割り込み　…　128
5.7　割り込み応答時間　…　130
5.8　割り込みが受け付けられない期間　…　131

第６章　クロック発生機能　…　133

6.1　特　　徴　…　133
6.2　構　　成　…　133
6.3　入力クロック選択　…　134
6.3.1　ダイレクト・モード　…　134
6.3.2　PLLモード　…　134
6.3.3　クロック・コントロール・レジスタ（CKC）　…　135
6.4　PLLロックアップ　…　137
6.5　パワー・セーブ制御　…　138
6.5.1　概　　要　…　138
6.5.2　制御レジスタ　…　140
6.5.3　HALTモード　…　141
6.5.4　IDLEモード　…　143
6.5.5　ソフトウエアSTOPモード　…　145
★　6.5.6　注意事項　…　147
6.6　発振安定時間の確保　…　148
6.7　クロック出力制御　…　151

第７章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）　…　152

7.1　特　　徴　…　152
7.2　基本構成　…　153
7.2.1　タイマ１　…　155
7.2.2　タイマ４　…　157
7.3　制御レジスタ　…　158
7.4　タイマ１動作　…　166
7.4.1　カウント動作　…　166
7.4.2　カウント・クロック選択　…　167
7.4.3　オーバフロー　…　168
7.4.4　TCLR信号入力によるタイマのクリア／スタート　…　169
7.4.5　キャプチャ動作　…　170
7.4.6　コンペア動作　…　173
7.5　タイマ４動作　…　175
7.5.1　カウント動作　…　175
7.5.2　カウント・クロック選択　…　175
7.5.3　オーバフロー　…　175
7.5.4　コンペア動作　…　176
7.6　応 用 例　…　178
7.7　注意事項　…　186

第８章　シリアル・インタフェース機能　…　188

8.1　特　　徴　…　188
8.2　アシンクロナス・シリアル・インタフェース0, 1（UART0, UART1）　…　189
8.2.1　特　　徴　…　189
8.2.2　アシンクロナス・シリアル・インタフェースの構成　…　190
8.2.3　制御レジスタ　…　192
8.2.4　割り込み要求　…　199
8.2.5　動　　作　…　200
8.3　クロック同期式シリアル・インタフェース0-3（CSI0-CSI3）　…　204
8.3.1　特　　徴　…　204
8.3.2　構　　成　…　204
8.3.3　制御レジスタ　…　206

8.3.4　基本動作　…　208
8.3.5　CSI0-CSI3での送信　…　211
8.3.6　CSI0-CSI3での受信　…　212
8.3.7　CSI0-CSI3での送受信　…　213
8.3.8　システム構成例　…　214
8.4　ボー・レート・ジェネレータ0-2（BRG0-BRG2）　…　215
8.4.1　構成と機能　…　215
8.4.2　ボー・レート・ジェネレータ・コンペア・レジスタ0-2（BRGC0-BRGC2）　…　219
8.4.3　ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ0-2（BPRM0-BPRM2）　…　220

第9章　A/Dコンバータ　…　221

9.1　特　　徴　…　221
9.2　構　　成　…　221
9.3　制御レジスタ　…　224
9.4　A/Dコンバータ動作　…　227
9.4.1　A/Dコンバータ基本動作　…　227
9.4.2　入力電圧と変換結果　…　228
9.4.3　動作モードとトリガ・モード　…　229
9.5　A/Dトリガ・モード時の動作　…　234
9.5.1　セレクト・モードの動作　…　234
9.5.2　スキャン・モードの動作　…　236
9.6　タイマ・トリガ・モード時の動作　…　237
9.6.1　セレクト・モードの動作　…　238
9.6.2　スキャン・モードの動作　…　242
9.7　外部トリガ・モードの動作　…　246
9.7.1　セレクト・モードの動作（外部トリガ・セレクト）　…　246
9.7.2　スキャン・モードの動作（外部トリガ・スキャン）　…　248
9.8　A/Dコンバータ使用時の注意事項　…　250
9.9　動作上の注意事項　…　251
9.10　A/Dコンバータ特性表の読み方　…　252

第10章　D/Aコンバータ　…　255

10.1　特　　徴　…　255
10.2　構　　成　…　255
10.3　制御レジスタ　…　256
10.4　D/Aコンバータ動作　…　257
10.4.1　リセット時のD/Aコンバータの動作　…　257
10.4.2　通常動作時のD/Aコンバータの動作　…　257
10.4.3　パワー・セーブ時の動作　…　257

第11章　PWMユニット　…　258

11.1　特　　徴　…　258
11.2　構　　成　…　258
11.3　制御レジスタ　…　259
11.4　動　　作　…　261
11.4.1　基本動作　…　261
11.4.2　繰り返し周波数　…　263

11.5　注意事項　…　263

第12章　ポート機能　…　264

12.1　特　　徴　…　264
12.2　ポートの基本構成　…　265
12.3　各ポートの端子機能　…　269
12.3.1　ポート0　…　269
12.3.2　ポート1　…　273
12.3.3　ポート2　…　279
12.3.4　ポート3　…　284
12.3.5　ポート4　…　290
12.3.6　ポート5　…　292
12.3.7　ポート6　…　294
12.3.8　ポート7　…　296
12.3.9　ポート9　…　297
12.3.10　ポート11　…　300
12.4　外部マスカブル割り込み要求入力兼タイマ外部キャプチャ・トリガ入力とCSI端子の切り替え　…　304
12.5　プルアップ抵抗の指定　…　306

第13章　リセット機能　…　307

13.1　特　　徴　…　307
13.2　端子機能　…　307
13.3　イニシャライズ　…　309

第14章　フラッシュ・メモリ（μPD70F3003A, 70F3025A）　…　311

14.1　特　　徴　…　311
14.2　フラッシュ・ライタによる書き込み方法　…　311
14.3　プログラミング環境　…　314
14.4　通信方式　…　314
14.5　端子処理　…　316
14.5.1　VPP端子　…　316
14.5.2　シリアル・インタフェース端子　…　316
14.5.3　リセット端子　…　318
14.5.4　NMI端子　…　318
14.5.5　MODE端子　…　318
14.5.6　ポート端子　…　318
14.5.7　$\overline{\text{WAIT}}$端子　…　318
14.5.8　その他の信号端子　…　318
14.5.9　電　　源　…　319
14.6　プログラミング方法　…　319
14.6.1　フラッシュ・メモリ制御　…　319
14.6.2　フラッシュ・メモリ・プログラミング・モード　…　320
14.6.3　通信方式の選択　…　320
14.6.4　通信コマンド　…　321
14.6.5　使用する資源　…　322

付録A　レジスタ索引　…　323

付録Ｂ　命令セット一覧　…　327

付録Ｃ　総合索引　…　333

Ｃ.１　50音で始まる語句の索引　…　333
Ｃ.２　アルファベットで始まる語句の索引　…　336

図の目次（1/3）

図番号	タイトル，ページ
３－１	プログラム・カウンタ（PC） … 52
３－２	割り込み要因レジスタ（ECR） … 53
３－３	プログラム・ステータス・ワード（PSW） … 54
３－４	CPUアドレス空間 … 57
３－５	アドレス空間上のイメージ … 58
３－６	外部メモリ領域（64 K，128 K，256 K，512 K，１Mバイト拡張時） … 68
３－７	推奨メモリ・マップ … 73
４－１	ウエイト挿入例 … 89
５－１	ノンマスカブル割り込みの処理形態 … 105
５－２	ノンマスカブル割り込み要求の受け付け動作 … 106
５－３	RETI命令の処理形態 … 107
５－４	マスカブル割り込みブロック図 … 110
５－５	マスカブル割り込みの処理形態 … 112
５－６	RETI命令の処理形態 … 113
５－７	割り込み処理中にほかの割り込み要求が発生した場合の処理例 … 115
５－８	同時発生した割り込み要求の処理例 … 117
５－９	ノイズ除去タイミング例 … 120
５－10	ソフトウエア例外の処理形態 … 123
５－11	RETI命令の処理形態 … 124
５－12	例外トラップの処理形態 … 126
５－13	RETI命令の処理形態 … 127
５－14	割り込み要求受け付け時のパイプライン動作（概略） … 130
６－１	ブロック構成図 … 150
７－１	タイマ１の基本動作 … 166
７－２	オーバフロー後の動作（ECLR1n = 0，OSTn = 1の場合） … 168
７－３	TCLR1n信号入力によるタイマのクリア／スタート動作（ECLR1n = 1，OSTn = 0の場合） … 169
７－４	TCLR1n信号入力によるクリア／スタートとオーバフロー動作の関係（ECLR1n = 1，OSTn = 1の場合） … 170
７－５	キャプチャ動作例 … 171
７－６	TM11キャプチャ動作例（両エッジ指定時） … 172
７－７	コンペア動作例 … 173
７－８	TM11コンペア動作例（セット／リセット出力モード） … 174
７－９	タイマ４の基本動作 … 175
７－10	TM4コンペア動作例 … 176
７－11	インターバル・タイマ動作のタイミング例 … 178
７－12	インターバル・タイマ動作の設定手順例 … 178

図の目次（2/3）

図番号　　タイトル，ページ

７－13　パルス幅測定のタイミング例　…　179
７－14　パルス幅測定の設定手順例　…　180
７－15　パルス幅を算出する割り込み要求処理ルーチン例　…　180
７－16　PWM出力のタイミング例　…　181
７－17　PWM出力の設定手順例　…　182
７－18　コンペア値を書き換える割り込み要求処理ルーチン例　…　183
７－19　周期測定のタイミング例　…　184
７－20　周期測定の設定手順例　…　185
７－21　周期を算出する割り込み要求処理ルーチン例　…　185

８－１　アシンクロナス・シリアル・インタフェースのブロック図　…　191
８－２　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット　…　200
８－３　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング　…　201
８－４　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング　…　203
８－５　受信エラー・タイミング　…　203
８－６　クロック同期式シリアル・インタフェースのブロック図　…　205
８－７　３線式シリアルI/Oモードのタイミング（送信）　…　211
８－８　３線式シリアルI/Oモードのタイミング（受信）　…　212
８－９　３線式シリアルI/Oモードのタイミング（送受信）　…　214
８－10　CSIのシステム構成例　…　214
８－11　ボー・レート・ジェネレータのブロック図　…　215

９－１　A/Dコンバータのブロック図　…　223
９－２　アナログ入力電圧とA/D変換結果の関係　…　228
９－３　セレクト・モードの動作タイミング：１バッファ・モード（ANI1）　…　231
９－４　セレクト・モードの動作タイミング：４バッファ・モード（ANI6）　…　232
９－５　スキャン・モードの動作タイミング：４チャネル・スキャン（ANI0-ANI3）　…　233
９－６　１バッファ・モード（A/Dトリガ・セレクト・１バッファ）の動作例　…　234
９－７　４バッファ・モード（A/Dトリガ・セレクト・４バッファ）の動作例　…　235
９－８　スキャン・モード（A/Dトリガ・スキャン）の動作例　…　236
９－９　１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）の動作例　…　238
９－10　４トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）の動作例　…　239
９－11　１トリガ・モード（タイマ・トリガ・セレクト・４バッファ・１トリガ）の動作例　…　240
９－12　４トリガ・モード（タイマ・トリガ・セレクト・４バッファ・４トリガ）の動作例　…　241
９－13　１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）の動作例　…　243
９－14　４トリガ・モード（タイマ・トリガ・スキャン・４トリガ）の動作例　…　245
９－15　１バッファ・モード（外部トリガ・セレクト・１バッファ）の動作例　…　246
９－16　４バッファ・モード（外部トリガ・セレクト・４バッファ）の動作例　…　247
９－17　スキャン・モード（外部トリガ・スキャン）の動作例　…　249
９－18　A/Dコンバータとポート，INTC，RPUの関係　…　250

図の目次（3/3）

図番号	タイトル，ページ
９－19	総合誤差 … 252
９－20	量子化誤差 … 252
９－21	ゼロスケール誤差 … 253
９－22	フルスケール誤差 … 253
９－23	非直線性誤差 … 253
11－１	PWM基本動作タイミング … 262
11－２	PWMバッファ・レジスタに000H, FFFHを設定した場合の動作タイミング … 262
12－１	P00, P01（ポート０）のブロック図 … 270
12－２	P02-P07（ポート０）のブロック図 … 271
12－３	P10, P11（ポート１）のブロック図 … 274
12－４	P12-P14（ポート１）のブロック図 … 274
12－５	P15（ポート１）のブロック図 … 275
12－６	P16（ポート１）のブロック図 … 275
12－７	P17（ポート１）のブロック図 … 276
12－８	P20, P21（ポート２）のブロック図 … 280
12－９	P22, P25（ポート２）のブロック図 … 280
12－10	P23, P26（ポート２）のブロック図 … 281
12－11	P24, P27（ポート２）のブロック図 … 281
12－12	P30, P31（ポート３）のブロック図 … 285
12－13	P32-P34（ポート３）のブロック図 … 285
12－14	P35（ポート３）のブロック図 … 286
12－15	P36（ポート３）のブロック図 … 286
12－16	P37（ポート３）のブロック図 … 287
12－17	P40-P47（ポート４）のブロック図 … 290
12－18	P50-P57（ポート５）のブロック図 … 292
12－19	P60-P63（ポート６）のブロック図 … 294
12－20	P70-P77（ポート７）のブロック図 … 296
12－21	P90-P95（ポート９）のブロック図 … 298
12－22	P96（ポート９）のブロック図 … 298
12－23	P110, P111（ポート11）のブロック図 … 301
12－24	P112-P117（ポート11）のブロック図 … 301
14－１	V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線例 … 312

表の目次

表番号	タイトル，ページ
３－１	プログラム・レジスター覧　…　52
３－２	システム・レジスタ番号　…　53
３－３	割り込み／例外テーブル　…　65
４－１	バス優先順位　…　100
５－１	割り込み一覧　…　103
５－２	割り込み制御レジスタのアドレスとビット　…　119
６－１	パワー・セーブ制御によるクロック・ジェネレータの動作　…　139
６－２	HALTモード時の動作状態　…　141
６－３	IDLEモード時の動作状態　…　143
６－４	ソフトウエアSTOPモード時の動作状態　…　145
６－５	カウント時間例　…　150
７－１	リアルタイム・パルス・ユニット（RPU）の構成一覧　…　153
７－２	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TM1n）　…　170
７－３	16ビット・コンペア・レジスタからの割り込み要求信号（TM1n）　…　173
８－１	発生する割り込みとディフォールト優先順位　…　199
８－２	ボー・レート・ジェネレータ0-2設定データ　…　217
13－１	リセット期間中の各端子の動作状態　…　307
13－２	各レジスタのリセット後の初期値　…　309
14－１	V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線表　…　313
14－２	通信方式一覧　…　320

第１章　イントロダクション

V853は，NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850ファミリの１製品です。この章では，このV853の概要を簡単に述べます。

1.1　概　　説

V853は，リアルタイム制御向け高性能32ビット・シングルチップ・マイクロコンピュータV850ファミリのCPUコアを使用し，ROM/RAM，および，リアルタイム・パルス・ユニット，シリアル・インタフェース，A/Dコンバータ，PWMなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

V853は，高いリアルタイム応答性と１クロック・ピッチの基本命令に加え，ディジタル・サーボ制御の応用に最適な命令として，ハードウエア乗算器による乗算命令，飽和演算命令，ビット操作命令などを持っています。また，リアルタイム制御システムとして，カメラ，VTRなどのAV分野，エンジン制御，ABS（Antilock Braking System）制御などの各種自動車電装分野，PPC（Plain Paper Copier），プリンタ，ファクシミリをはじめとするOA分野，NC（Numerical Control）工作機などの産業分野などへの応用が，きわめて高いコスト・パフォーマンスで実現できます。

1.2　特　　徴

○命令数　74

○最小命令実行時間　30 ns（内部33 MHz動作時）

○汎用レジスタ　32ビット×32本

○命令セット
符号付き乗算（16ビット×16ビット→32ビット）：１-２クロック
飽和演算命令（オーバフロー／アンダフロー検出機能付き）
32ビット・シフト命令：１クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令

○メモリ空間
16 Mバイト・リニア・アドレス空間（外部拡張1 Mバイトまで可能）
メモリ・ブロック分割機能：2 Mバイト／ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能

○外部バス・インタフェース
16ビット・データ・バス（アドレス／データ・マルチプレクス）
バス・ホールド機能
外部ウエイト機能

○内蔵メモリ

品　　名	内蔵ROM	内蔵RAM
μPD703003A	マスクROM：128 Kバイト	４Kバイト
μPD70F3003A	フラッシュ・メモリ：128 Kバイト	４Kバイト
μPD703004A	マスクROM：96 Kバイト	４Kバイト
μPD703025A	マスクROM：256 Kバイト	８Kバイト
μPD70F3025A	フラッシュ・メモリ：256 Kバイト	８Kバイト

○割り込み／例外
外部割り込み　17本（NMI含む）
内部割り込み　32要因
例外　１要因
８レベルの優先順位指定可能

○I/Oライン
入力ポート　：８
入出力ポート　：67

○リアルタイム・パルス・ユニット
16ビット・タイマ／イベント・カウンタ：4 ch
16ビット・タイマ：４本
16ビット・キャプチャ／コンペア・レジスタ：16本
16ビット・インターバル・タイマ：１ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェース（UART）

クロック同期式シリアル・インタフェース（CSI）

UART/CSI：2 ch

CSI：2 ch

専用ボー・レート・ジェネレータ：3 ch

○PWM（Pulse Width Modulation）

８/９/10/12ビット分解能PWM：2 ch

○A/Dコンバータ　10ビット分解能A/Dコンバータ：8 ch

○D/Aコンバータ　８ビット分解能D/Aコンバータ：2 ch

○クロック・ジェネレータ

PLLクロック・シンセサイザによる逓倍機能

○パワー・セーブ機能

HALT/IDLE/ソフトウエアSTOPモード

クロック出力停止機能

○パッケージ　100ピン・プラスチックLQFP（ファインピッチ）（14×14）

○CMOS構造

★ 1.3　応用分野

μPD703003A, 703004A, 703025A, 70F3003A, 70F3025A：ビデオ・カメラ，VTR，PPC，LBP，プリンタ，モータ制御，NC工作機，携帯電話など

μPD703003A(A), 703025A(A), 70F3003A(A)：医療機器，車載など

★ 1.4　オーダ情報

オーダ名称	パッケージ	品質水準
μPD703003AGC-33-xxx-8EU	100ピン・プラスチックLQFP(ファインピッチ)(14×14)	標準（一般電子機器用）
μPD703004AGC-33-xxx-8EU	〃	〃
μPD703025AGC-33-xxx-8EU	〃	〃
μPD70F3003AGC-33-8EU	〃	〃
μPD70F3025AGC-33-8EU	〃	〃
μPD703003AGC(A)-33-xxx-8EU	〃	特別（高信頼度電子機器用）
μPD703025AGC(A)-33-xxx-8EU	〃	〃
μPD70F3003AGC(A)-33-8EU	〃	〃

備考　xxxはROMコード番号です。

μPD703003A, 703025A, 70F3003AとμPD703003A(A), 703025A(A), 70F3003A(A)では，品質水準以外の相違はありません。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号　C11531J）をご覧ください。

1.5　端子接続図（Top View）

★　・100ピン・プラスチックLQFP（ファインピッチ）（14×14）

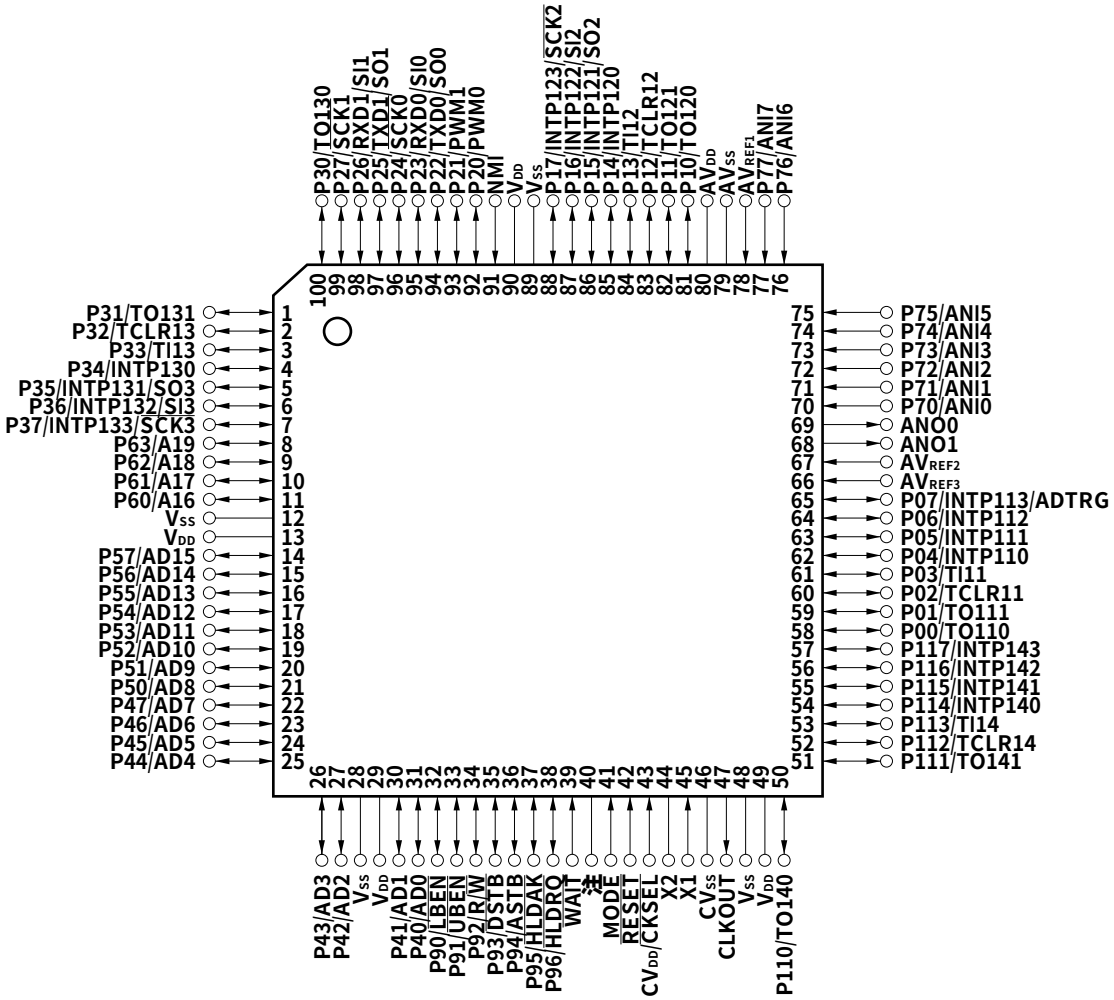
μPD703003AGC-33-xxx-8EU　　μPD703003AGC(A)-33-xxx-8EU

μPD703004AGC-33-xxx-8EU　　μPD703025AGC(A)-33-xxx-8EU

μPD703025AGC-33-xxx-8EU　　μPD70F3003AGC(A)-33-8EU

μPD70F3003AGC-33-8EU

μPD70F3025AGC-33-8EU



注　μPD703003A，703004A，703025A：IC

μPD70F3003A, 70F3025A：V_{PP}

注意１．μPD70F3003A，70F3025Aを通常動作モードで使用する場合，V_{PP}端子は抵抗（R_{VPP}）を介してV_{SS}に接続してください。

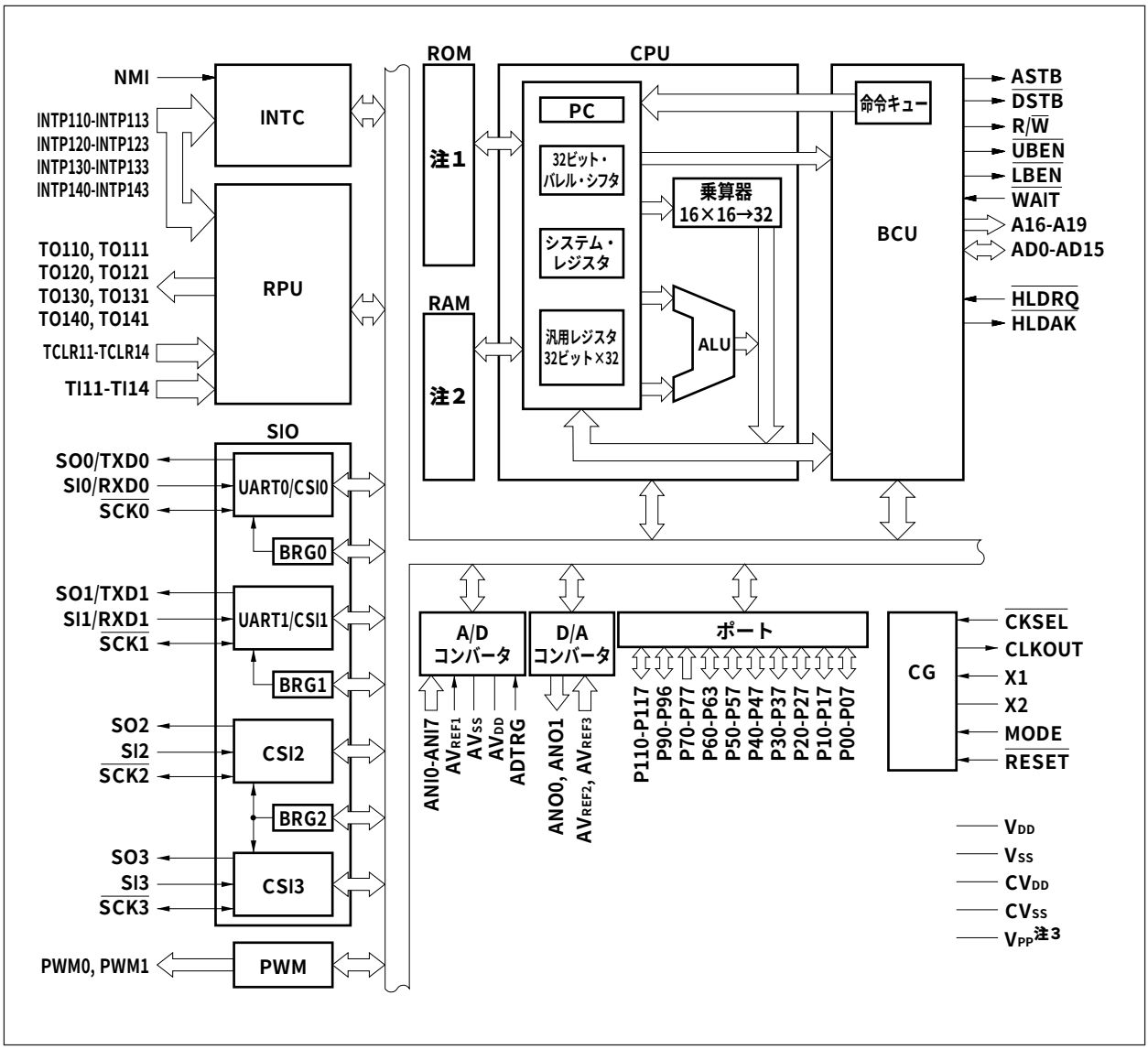
２．IC端子はV_{SS}に直接接続してください。

端子名称

A16-A19	：Address Bus
AD0-AD15	：Address/Data Bus
ADTRG	：AD Trigger Input
ANI0-ANI7	：Analog Input
ANO0, ANO1	：Analog Output
ASTB	：Address Strobe
AV_{DD}	：Analog Power Supply
AV_{REF1}-AV_{REF3}	：Analog Reference Voltage
AV_{SS}	：Analog Ground
$\overline{CKSEL}$	：Clock Select
CLKOUT	：Clock Output
CV_{DD}	：Clock Generator Power Supply
CV_{SS}	：Clock Generator Ground
$\overline{DSTB}$	：Data Strobe
$\overline{HLDAK}$	：Hold Acknowledge
$\overline{HLDRQ}$	：Hold Request
IC	：Internally Connected
INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143	：Interrupt Request From Peripherals
$\overline{LBEN}$	：Lower Byte Enable
MODE	：Mode
NMI	：Non-maskable Interrupt Request
P00-P07	：Port0
P10-P17	：Port1
P20-P27	：Port2
P30-P37	：Port3
P40-P47	：Port4
P50-P57	：Port5
P60-P63	：Port6
P70-P77	：Port7
P90-P96	：Port9
P110-P117	：Port11
PWM0, PWM1	：Pulse Width Modulation
$\overline{RESET}$	：Reset
R/$\overline{W}$	：Read/Write Status
RXD0, RXD1	：Receive Data
$\overline{SCK0}$-$\overline{SCK3}$	：Serial Clock
SI0-SI3	：Serial Input
SO0-SO3	：Serial Output
TCLR11-TCLR14	：Timer Clear
TI11-TI14	：Timer Input
TO110, TO111, TO120, TO121, TO130, TO131, TO140, TO141	：Timer Output
TXD0, TXD1	：Transmit Data
$\overline{UBEN}$	：Upper Byte Enable
V_{DD}	：Power Supply
V_{PP}	：Programming Power Supply
V_{SS}	：Ground
$\overline{WAIT}$	：Wait
X1, X2	：Crystal

1.6　機能ブロック構成

1.6.1　内部ブロック図



注１．μPD703003A　：128 Kバイト（マスクROM）
　　μPD70F3003A ：128 Kバイト（フラッシュ・メモリ）
　　μPD703004A　：96 Kバイト（マスクROM）
　　μPD703025A　：256 Kバイト（マスクROM）
　　μPD70F3025A ：256 Kバイト（フラッシュ・メモリ）

２．μPD703003A，703004A，70F3003A：４Kバイト
　　μPD703025A，70F3025A：8 Kバイト

３．μPD70F3003A，70F3025A

1.6.2　内部ユニット

（1）CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を５段パイプライン制御により１クロックで実行します。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な命令処理の高速化を図っています。

（2）バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは内部の命令キューに取り込まれます。

（3）ROM

★ 00000000H番地からマッピングされています。MODE端子の状態にかかわらず，常にアクセス許可に固定されています。

この内蔵ROMは，命令フェッチ時にCPUから１クロックでアクセスされます。

（4）RAM

FFFFE000H番地からマッピングされています。この内蔵RAMは，データ・アクセス時にCPUから１クロックでアクセスすることができます。

（5）割り込みコントローラ（INTC）

内蔵周辺ハードウエアおよび，外部からのハードウエア割り込み要求（NMI, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143）を処理します。これらの割り込み要求は，８レベルの割り込み優先順位を指定することができ，割り込み要因に対し多重処理制御を行うことができます。

（6）クロック・ジェネレータ（CG）

内蔵PLLにより，X1, X2端子に接続された発振子の５倍，１倍，1/2倍の周波数をCPUの動作クロックとして供給します。また，発振子を接続する代わりに外部クロックを入力することもできます。

（7）リアルタイム・パルス・ユニット（RPU）

16ビットのタイマ／イベント・カウンタ４チャネルと，16ビットのインターバル・タイマを１チャネル内蔵し，パルス間隔や周波数の計測，プログラマブルなパルスの出力が可能になっています。

（８）シリアル・インタフェース（SIO）

V853には，シリアル・インタフェースとして，アシンクロナス・シリアル・インタフェース（UART）とクロック同期式シリアル・インタフェース（CSI）をあわせて４チャネル備えています。このうち２チャネルはUARTとCSIの切り替えが可能で，２チャネルはCSI固定です。

UARTは，TXD, RXD端子によりデータ転送を行います。

CSIは，SO, SI, $\overline{\text{SCK}}$端子によりデータ転送を行います。

シリアル・クロック・ソースはボー・レート・ジェネレータ出力とシステム・クロックから選択できます。

また固定のCSIのうち１チャネルは，シリアル・クロック出力，シリアル出力がN-chオープン・ドレーン出力になっています。

（９）ポ ー ト

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート０	８ビット入出力	汎用ポート	タイマ入出力，外部割り込み
ポート１			タイマ入出力，外部割り込み，シリアル・インタフェース
ポート２			PWM出力，シリアル・インタフェース
ポート３			タイマ入出力，外部割り込み
ポート４			外部アドレス・データ・バス
ポート５			外部アドレス・データ・バス
ポート６	４ビット入出力		外部アドレス・バス
ポート７	８ビット入力		A/Dアナログ入力
ポート９	７ビット入出力		外部バス・インタフェース制御信号入出力
ポート11	８ビット入出力		タイマ入出力，外部割り込み

（10）PWM（Pulse Width Modulation）

８/９/10/12ビット分解能を選択可能なPWM信号出力を２チャネル持っています。PWM出力は，外部にロウ・パス・フィルタを接続すると，D/Aコンバータ出力として使用できます。モータなどのアクチュエータ制御に最適です。

（11）A/Dコンバータ（ADC）

８本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

（12）D/Aコンバータ（DAC）

８ビット分解能のD/Aコンバータを２チャネル内蔵しています。R-2R変換方式を採用しています。

★ 1.7　各製品の相違点

項　　目	μPD703003A	μPD703004A	μPD703025A	μPD703003A(A)	μPD703025A(A)	μPD70F3003A	μPD70F3025A	μPD70F3003A(A)
内蔵ROM	マスクROM					フラッシュ・メモリ		
	128 Kバイト	96 Kバイト	256 Kバイト	128 Kバイト	256 Kバイト	128 Kバイト	256 K	128 Kバイト
内蔵RAM	４Kバイト		8 Kバイト	4 Kバイト	8 Kバイト	4 Kバイト	8 Kバイト	4 Kバイト
フラッシュ・メモリ・プログラミング・モード	なし					あり		
V_{PP}端子	なし					あり		
品質水準	標準			特別		標準		特別
電気的特性	消費電流などが異なります（各製品のデータ・シートを参照してください）。							
その他	回路の規模やマスク･レイアウトが異なるため，ノイズ耐量，ノイズ輻射などが異なります。							

第２章　端子機能

V853の端子の名称と機能を次に示します。これらの端子は，機能別にポート端子と，それ以外の端子に分けることができます。

2.1　端子機能一覧

（1）ポート端子

（1/2）

端子名称	入出力	機　　能	兼用端子
P00	入出力	ポート０	TO110
P01		８ビット入出力ポート	TO111
P02		１ビット単位で入／出力の指定が可能	TCLR11
P03			TI11
P04			INTP110
P05			INTP111
P06			INTP112
P07			INTP113/ADTRG
P10	入出力	ポート１	TO120
P11		８ビット入出力ポート	TO121
P12		１ビット単位で入／出力の指定が可能	TCLR12
P13			TI12
P14			INTP120
P15			INTP121/SO2
P16			INTP122/SI2
P17			INTP123/$\overline{\text{SCK2}}$
P20	入出力	ポート２	PWM0
P21		８ビット入出力ポート	PWM1
P22		１ビット単位で入／出力の指定が可能	TXD0/SO0
P23			RXD0/SI0
P24			$\overline{\text{SCK0}}$
P25			TXD1/SO1
P26			RXD1/SI1
P27			$\overline{\text{SCK1}}$

（2/2）

端子名称	入出力	機　　能	兼用端子
P30	入出力	ポート３ ８ビット入出力ポート １ビット単位で入／出力の指定が可能	TO130
P31			TO131
P32			TCLR13
P33			TI13
P34			INTP130
P35			INTP131/SO3
P36			INTP132/SI3
P37			INTP133/$\overline{\text{SCK3}}$
P40-P47	入出力	ポート４ ８ビット入出力ポート １ビット単位で入／出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート５ ８ビット入出力ポート １ビット単位で入／出力の指定が可能	AD8-AD15
P60-P63	入出力	ポート６ ４ビット入出力ポート １ビット単位で入／出力の指定が可能	A16-A19
P70-P77	入力	ポート７ ８ビット入力専用ポート	ANI0-ANI7
P90	入出力	ポート９ ７ビット入出力ポート １ビット単位で入／出力の指定が可能	$\overline{\text{LBEN}}$
P91			$\overline{\text{UBEN}}$
P92			R/$\overline{\text{W}}$
P93			$\overline{\text{DSTB}}$
P94			ASTB
P95			$\overline{\text{HLDAK}}$
P96			$\overline{\text{HLDRQ}}$
P110	入出力	ポート11 ８ビット入出力ポート １ビット単位で入／出力の指定が可能	TO140
P111			TO141
P112			TCLR14
P113			TI14
P114			INTP140
P115			INTP141
P116			INTP142
P117			INTP143

（２）ポート以外の端子

（1/2）

端子名称	入出力	機　　能	兼用端子
TO110	出力	タイマ11-14のパルス信号出力	P00
TO111			P01
TO120			P10
TO121			P11
TO130			P30
TO131			P31
TO140			P110
TO141			P111
TCLR11	入力	タイマ11-14の外部クリア信号入力	P02
TCLR12			P12
TCLR13			P32
TCLR14			P112
TI11	入力	タイマ11-14の外部カウント・クロック入力	P03
TI12			P13
TI13			P33
TI14			P113
INTP110	入力	外部マスカブル割り込み要求入力兼 タイマ11の外部キャプチャ・トリガ入力	P04
INTP111			P05
INTP112			P06
INTP113			P07/ADTRG
INTP120	入力	外部マスカブル割り込み要求入力兼 タイマ12の外部キャプチャ・トリガ入力	P14
INTP121			P15/SO2
INTP122			P16/SI2
INTP123			P17/$\overline{\text{SCK2}}$
INTP130	入力	外部マスカブル割り込み要求入力兼 タイマ13の外部キャプチャ・トリガ入力	P34
INTP131			P35/SO3
INTP132			P36/SI3
INTP133			P37/$\overline{\text{SCK3}}$
INTP140	入力	外部マスカブル割り込み要求入力兼 タイマ14の外部キャプチャ・トリガ入力	P114
INTP141			P115
INTP142			P116
INTP143			P117
SO0	出力	CSI0-CSI3のシリアル送信データ出力（３線式）	P22/TXD0
SO1			P25/TXD1
SO2			P15/INTP121
SO3			P35/INTP131
SI0	入力	CSI0-CSI3のシリアル受信データ入力（３線式）	P23/RXD0
SI1			P26/RXD1
SI2			P16/INTP122
SI3			P36/INTP132
$\overline{\text{SCK0}}$	入出力	CSI0-CSI3のシリアル・クロック入出力（３線式）	P24
$\overline{\text{SCK1}}$			P27
$\overline{\text{SCK2}}$			P17/INTP123
$\overline{\text{SCK3}}$			P37/INTP133

（2/2）

端子名称	入出力	機　　能	兼用端子
TXD0	出力	UART0, UART1のシリアル送信データ出力	P22/SO0
TXD1			P25/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P23/SI0
RXD1			P26/SI1
PWM0	出力	PWMのパルス信号出力	P20
PWM1			P21
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス／データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A19	出力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P63
$\overline{\text{LBEN}}$	出力	外部データ・バスの下位バイト・イネーブル信号出力	P90
$\overline{\text{UBEN}}$		外部データ・バスの上位バイト・イネーブル信号出力	P91
R/$\overline{\text{W}}$		外部リード／ライト・ステータス出力	P92
$\overline{\text{DSTB}}$		外部データ・ストローブ信号出力	P93
ASTB		外部アドレス・ストローブ信号出力	P94
$\overline{\text{HLDAK}}$	出力	バス・ホールド・アクノリッジ出力	P95
$\overline{\text{HLDRQ}}$	入力	バス・ホールド要求入力	P96
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力	P70-P77
ANO0, ANO1	出力	D/Aコンバータのアナログ出力	－
NMI	入力	ノンマスカブル割り込み要求入力	－
CLKOUT	出力	システム・クロック出力	－
$\overline{\text{CKSEL}}$	入力	クロック・ジェネレータの動作モードを指定する入力	CV_{DD}
$\overline{\text{WAIT}}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	－
MODE	入力	V853の動作モードを指定	－
$\overline{\text{RESET}}$	入力	システム・リセット入力	－
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に入力します。	－
X2	－		－
ADTRG	入力	A/Dコンバータ外部トリガ入力	P07/INTP113
AV_{REF1}	入力	A/Dコンバータ用基準電圧入力	－
AV_{REF2}	入力	D/Aコンバータ用基準電圧入力	－
AV_{REF3}			－
AV_{DD}	－	A/Dコンバータ用正電源供給	－
AV_{SS}	－	A/Dコンバータ用グランド電位	－
CV_{DD}	－	内蔵クロック・ジェネレータ用正電源供給	$\overline{\text{CKSEL}}$
CV_{SS}	－	内蔵クロック・ジェネレータ用グランド電位	－
V_{DD}	－	正電源供給	－
V_{SS}	－	グランド電位	－
V_{PP}注1	－	プログラム書き込み／ベリファイ時の高電圧印加端子	－
IC注2	－	内部接続端子（V_{SS}に直接接続してください）	－

注１．μPD70F3003A，70F3025A

２．μPD703003A，703004A，703025A

2.2　端子状態

動作モードによる各端子の動作状態は次のとおりです。

動作状態 / 端子	リセット	STOP モード	IDLE モード	バス・ホールド	アイドル・ステート	HALT モード
AD0-AD15	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A16-A19	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持注1	保持
$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持注1	保持
R/$\overline{\text{W}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
$\overline{\text{DSTB}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
ASTB	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
$\overline{\text{HLDRQ}}$	—	—	—	動作	動作	動作
$\overline{\text{HLDAK}}$	Hi-Z	Hi-Z	Hi-Z	L	動作	動作
$\overline{\text{WAIT}}$	—	—	—	—	—	—
★ CLKOUT	Hi-Z	L	L	動作注2	動作注2	動作注2

Hi-Z　：ハイ・インピーダンス

保持　：直前の外部バス・サイクルでの状態を保持

L　：ロウ・レベル出力

H　：ハイ・レベル出力

—　：入力非サンプリング

注１．バス・ホールド終了直後は不定

２．クロック出力インヒビット・モード時はL

2.3　端子機能の説明

（1）P00-P07（Port 0）…３ステート入出力

ポート０および各種コントロール信号として働く８ビット入出力ポートです。

P00-P07は入出力ポートとして機能するほか，リアルタイム・パルス・ユニット（RPU）の入出力および外部割り込み要求入力として動作します。動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート０モード・コントロール・レジスタ（PMC0）で指定します。

（a）ポート・モード

P00-P07はポート０モード・レジスタ（PM0）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

P00-P07はPMC0レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO110,TO111（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR11（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI11（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP110-INTP113（Interrupt Request From Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）ADTRG（AD Trigger Input）…入力

A/Dコンバータの外部トリガ入力端子です。

（２）P10-P17（Port 1）…３ステート入出力

ポート１は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

P10-P17はポートとして機能するほか，RPUの入出力，外部割り込み要求入力，およびシリアル・インタフェース（CSI2）の入出力として動作します。動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート１モード・コントロール・レジスタ（PMC1）で指定します。

（ａ）ポート・モード

P10-P17はポート１モード・レジスタ（PM1）により，ビット単位に入力または出力を設定できます。

（ｂ）コントロール・モード

P10-P17はPMC1レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ｉ）TO120, TO121（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ii）TCLR12（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（iii）TI12（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（iv）INTP120-INTP123（Interrupt Request From Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ｖ）SO2（Serial Output2）…出力

CSIのシリアル送信データを出力します。

（vi）SI2（Serial Input2）…入力

CSIのシリアル受信データを入力します。

（vii）$\overline{\text{SCK2}}$（Serial Clock2）…３ステート入出力

CSIのシリアル・クロック入出力端子です。

（３）P20-P27（Port 2）…３ステート入出力

ポート２は，１ビット単位で入力または出力を設定できる入出力ポートです。ポートとして機能するほか，PWM出力，シリアル・インタフェース（UART0，1/CSI0，1）の入出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート２モード・コントロール・レジスタ（PMC2）で指定します。

（a）ポート・モード

P20-P27はポート２モード・レジスタ（PM2）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P20-P27はPMC2レジスタによって，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）PWM0, PWM1（Pulse Width Modulation）…出力

PWMのパルス信号を出力します。

（ⅱ）TXD0, TXD1（Transmit Data）…出力

UARTのシリアル送信データを出力します。

（ⅲ）RXD0, RXD1（Receive Data）…入力

UARTのシリアル受信データを入力します。

（ⅳ）SO0, SO1（Serial Output0, 1）…出力

CSIのシリアル送信データを出力します。

（ⅴ）SI0, SI1（Serial Input0, 1）…入力

CSIのシリアル受信データを入力します。

（ⅵ）$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$（Serial Clock0, 1）…３ステート入出力

CSIのシリアル・クロック入出力端子です。

（４）P30-P37（Port 3）…３ステート入出力

ポート３および各種コントロール信号として働く８ビット入出力ポートです。P30-P37は入出力ポートとして機能するほか，コントロール・モードではRPUの入出力，外部割り込み要求入力およびシリアル・インタフェース（CSI3）の入出力として動作します。

（ａ）ポート・モード

P30-P37はポート３モード・レジスタ（PM3）により，ビット単位に入力または出力を設定できます。

（ｂ）コントロール・モード

P30-P37はPMC3レジスタにより，ビット単位でポート／コントロール・モードに設定できます。

（ⅰ）TO130, TO131（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR13（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI13（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP130-INTP133（Interrupt Request From Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）SO3（Serial Output3）…出力

CSIのシリアル送信データを出力します。

（ⅵ）SI3（Serial Input3）…入力

CSIのシリアル受信データを入力します。

（ⅶ）$\overline{\text{SCK3}}$（Serial Clock3）…３ステート入出力

CSIのシリアル・クロック入出力端子です。

（５）P40-P47（Port 4）…３ステート入出力

ポート４および外部拡張メモリのアドレス／データ・バスとして働く８ビット入出力ポートです。

P40-P47は入出力ポートとして機能するほか，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の，時分割アドレス／データ・バス（AD0-AD7）として動作できます。

動作モードは１ビット単位でポート／コントロールの選択が可能で，メモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P40-P47はポート４モード・レジスタ（PM4）により，ビット単位に入力または出力ポートに設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P40-P47はMMレジスタにより，AD0-AD7に指定できます。

（ｉ）AD0-AD7（Address/Data0-7）…３ステート入出力

外部アクセス時のアドレス／データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では，20ビット・アドレスのA0-A7出力端子となり，データ・タイミング（T2, TW, T3）では16ビット・データの下位８ビット・データ入出力バス端子となります。

出力は，バス・サイクルの各ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

（６）P50-P57（Port 5）…３ステート入出力

ポート５および外部拡張メモリのアドレス／データ・バスとして働く８ビット入出力ポートです。

P50-P57は入出力ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合の時分割アドレス／データ・バス（AD8-AD15）として動作できます。

動作モードは１ビット単位でポート／コントロールの選択が可能で，メモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P50-P57はポート５モード・レジスタ（PM5）により，ビット単位に入力または出力ポートに設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P50-P57はMMレジスタにより，AD8-AD15として使用できます。

（ｉ）AD8-AD15（Address/Data8-15）…３ステート入出力

外部アクセス時のアドレス／データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では，20ビット・アドレスのA8-A15出力端子となり，データ・タイミング（T2, TW, T3）では16ビット・データの上位８ビット・データ入出力バス端子となります。

出力は，バス・サイクルの各ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

（７）P60-P63（Port 6）…３ステート入出力

ポート６および外部拡張メモリのアドレス・バスとして働く４ビット入出力ポートです。

P60-P63は入出力ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のアドレス・バス（A16-A19）として動作します。２ビット単位でポート／コントロールの選択が可能で，メモリ拡張モード・レジスタ（MM）によって指定します。

（ａ）ポート・モード

P60-P63はポート６モード・レジスタ（PM6）により，ビット単位に入力または出力ポートに設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P60-P63はMMレジスタにより，A16-A19として使用できます。

（ｉ）A16-A19（Address16-19）…出力

外部アクセス時のアドレス・バスで，20ビット・アドレスの上位４ビット・アドレス出力端子です。

出力は，T1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

（８）P70-P77（Port7）…入力

ポート７は全端子が入力に固定の８ビット入力専用ポートです。

P70-P77は入力ポートとして機能するほか，コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし，入力ポートとアナログ入力端子は切り替えられません。

（ａ）ポート・モード

P70-P77は入力専用です。

（ｂ）コントロール・モード

P70-P77はANI0-ANI7端子と兼用になっていますが，切り替えはできません。

（ｉ）ANI0-ANII7（Analog Input）…入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため，AV_{SS}との間にコンデンサを接続してください。また，A/Dコンバータへの入力に使用している端子には，AV_{SS}-AV_{REF1}の範囲外の電圧が加わらないようにしてください。AV_{REF1}以上，AV_{SS}以下のノイズが入る可能性がある場合は，V_Fの小さいダイオードでクランプしてください。

（９）P90-P96（Port9）…３ステート入出力

ポート９および各種コントロール信号として働く７ビット入出力ポートです。P90-P96は入出力ポートとして機能するほか，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力，バス・ホールド制御信号入出力として動作します。

ポート９に８ビット・アクセスした場合の上位１ビットは，ライト時は無視され，リード時は不定となります。

動作モードは１ビット単位でポート／コントロールの選択が可能で，メモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P90-P96はポート９モード・レジスタ（PM9）により，ビット単位に入力または出力ポートに設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P90-P96はMMレジスタにより，メモリを外部に拡張する場合の制御信号出力として動作します。

（ⅰ）$\overline{\text{LBEN}}$（Lower Byte Enable）…出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。

出力は，バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルの状態を保持しています。

（ⅱ）$\overline{\text{UBEN}}$（Upper Byte Enable）…出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。偶数アドレスへのバイト・アクセス時はインアクティブ（ハイ・レベル）に，奇数アドレスへのバイト・アクセス時はアクティブ（ロウ・レベル）になります。

出力は，バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルの状態を保持しています。

アクセス		$\overline{\text{UBEN}}$	$\overline{\text{LBEN}}$	A0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

（ⅲ）R/$\overline{\text{W}}$（Read/Write Status）…出力

外部アクセス時のバス・サイクルが，リード・サイクルかライト・サイクルかを示すステータス信号出力です。リード・サイクルではハイ・レベル，ライト・サイクルではロウ・レベルになります。

出力は，バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）ではハイ・レベルになります。

（ⅳ）$\overline{\text{DSTB}}$（Data Strobe）…出力

外部データ・バスのアクセス・ストローブ信号出力端子です。

出力は，バス・サイクルのT2,TWステートの期間中アクティブ（ロウ・レベル）になります。アイドル・ステート（TI）ではインアクティブ（ハイ・レベル）になります。

（ⅴ）ASTB（Address Strobe）…出力

外部アドレス・バスのラッチ・ストローブ信号出力端子です。

出力は，バス・サイクルのT1ステートのクロックの立ち下がりに同期してアクティブ（ロウ・レベル）になり，T3ステートのクロックの立ち下がりに同期してインアクティブ（ハイ・レベル）になります。アイドル・ステート（TI）ではハイ・レベルになります。

（ⅵ）$\overline{\text{HLDAK}}$（Hold Acknowledge）…出力

V853がバス・ホールド要求を受けて，アドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間，アドレス・バス，データ・バス，制御バスはハイ・インピーダンス状態になります。

（ⅶ）$\overline{\text{HLDRQ}}$（Hold Request）…入力

外部デバイスがV853に対し，アドレス・バス，データ・バス，制御バスの解放を要求する入力端子です。この端子は，CLKOUTに対して非同期入力が可能です。この端子がアクティブになると，V853は実行中のバス・サイクルがあればその終了後に，なければすぐにアドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にし，$\overline{\text{HLDAK}}$信号をアクティブにしてバスを解放します。

(10) P110-P117（Port 11）…３ステート入出力

ポート11は，１ビット単位で入力または出力を設定できる８ビット入出力ポートです。ポートとしての機能のほかに，コントロール・モードではRPUの入出力，外部割り込み要求入力として動作します。

（a）ポート・モード

P110-P117はポート・モード・レジスタ（PM11）により，ビット単位で入力または出力ポートに指定できます。

（b）コントロール・モード

P110-P117はポート11モード・コントロール・レジスタ（PMC11）の設定によりビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO140, TO141（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR14（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI14（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP140-INTP143（Interrupt Request From Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

★ **(11) CLKOUT（Clock Output）…出力**

システム・クロック出力端子です。シングルチップ・モード時はPSCレジスタを設定するまでCLKOUT信号を出力しません。

(12) $\overline{\text{WAIT}}$（Wait）…入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で，CLKOUTに対する非同期入力が可能です。バス・サイクルのT2,TWステートのクロックの立ち下がりでサンプリングします。サンプリング・タイミングにおける設定／保持時間を満たさないときはウエイト挿入が行われないことがあります。

★ **(13) MODE（Mode）…入力**

クロック・コントロール・レジスタ（CKC）のリセット時の値を設定する入力端子です。

MODE	CKCレジスタのリセット時の値
0	03H
1	00H

詳細については，**6.3.3　クロック・コントロール・レジスタ（CKC）**を参照してください。

(14) $\overline{\text{RESET}}$（Reset）…入力

$\overline{\text{RESET}}$入力は非同期入力であり，動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると，すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに，パワー・セーブ・モード（HALT,IDLE,STOP）の解除にも使用されます。

(15) X1, X2（Crystal）…入力

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し，X2端子はオープンにしてください。

(16) CV_{DD}（Power Supply for Clock Generator）

内蔵クロック・ジェネレータ用の正電源供給端子です。

(17) $\overline{\text{CKSEL}}$（Clock Select）…入力

クロック・ジェネレータの動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

(18) CV_{SS}（Ground for Clock Generator）

内蔵クロック・ジェネレータ用のグランド端子です。

(19) V_{DD}（Power Supply）

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(20) V_{SS}（Ground）

グランド端子です。すべてのV_{SS}端子をグランドに接続してください。

(21) AV_{DD}（Analog Power Supply）

A/Dコンバータ用アナログ電源供給端子です。

(22) AV_{SS}（Analog Ground）

A/Dコンバータ用のグランド端子です。

(23) AV_{REF1}-AV_{REF3}（Analog Reference Voltage）…入力

A/D, D/Aコンバータ用の基準電圧供給端子です。

(24) ANO0, ANO1（Analog Output）…出力

D/Aコンバータのアナログ出力端子です。

(25) NMI（Non-Maskable Interrupt Request）…入力

ノンマスカブル割り込み要求入力です。

（26）V_{PP}（Programming Power Supply）

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

μPD70F3003A，70F3025A用の端子です。

（27）IC（Internally Connected）

内部接続端子です。V_{SS}に直接接続してください。

μPD703003A，703004A，703025A用の端子です。

2.4　各端子の入出力回路タイプと未使用時の処理

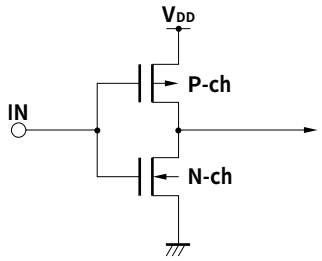
抵抗を介してV_{DD}またはV_{SS}に接続する場合，1-10 kΩの抵抗を接続することをお勧めします。

端　　子	入出力回路タイプ	推奨接続方法
P00/TO110, P01/TO111	5	入力状態：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P02/TCLR11, P03/TI11, P04/INTP110-P07/INTP113/ADTRG	8	
P10/TO120, P11/TO121	5	
P12/TCLR12, P13/TI12 P14/INTP120 P15/INTP121/SO2 P16/INTP122/SI2 P17/INTP123/$\overline{\text{SCK2}}$	8	
P20/PWM0, P21/PWM1 P22/TXD0/SO0	5	
P23/RXD0/SI0, P24/$\overline{\text{SCK0}}$	8	
P25/TXD1/SO1	5	
P26/RXD1/SI1, P27/$\overline{\text{SCK1}}$	8	
P30/TO130, P31/TO131	5	
P32/TCLR13, P33/TI13 P34/INTP130	8	
P35/INTP131/SO3 P36/INTP132/SI3 P37/INTP133/$\overline{\text{SCK3}}$	10-A	
P40/AD0-P47/AD7	5	
P50/AD8-P57/AD15		
P60/A16-P63/A19		
P70/ANI0-P77/ANI7	9	V_{SS}に直接接続してください。
P90/$\overline{\text{LBEN}}$	5	入力状態：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P91/$\overline{\text{UBEN}}$		
P92/R/$\overline{\text{W}}$		
P93/$\overline{\text{DSTB}}$		
P94/ASTB		
P95/$\overline{\text{HLDAK}}$		
P96/$\overline{\text{HLDRQ}}$		
P110/TO140, P111/TO141		
P112/TCLR14, P113/TI14 P114/INTP140-P117/INTP143	8	

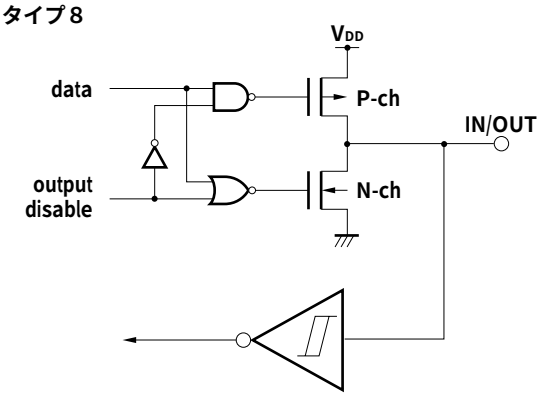
端　　子	入出力回路タイプ	推奨接続方法
ANO0, ANO1	12	オープンにしてください。
NMI	2	V_{SS}に直接接続してください。
CLKOUT	3	オープンにしてください。
CV_{DD}/$\overline{CKSEL}$	2	－
$\overline{WAIT}$	1	V_{DD}に直接接続してください。
MODE	2	－
$\overline{RESET}$		
AV_{REF1}-AV_{REF3}, AV_{SS}	－	V_{SS}に直接接続してください。
AV_{DD}	－	V_{DD}に直接接続してください。
V_{PP}	－	抵抗（R_{VPP}）を介してV_{SS}に接続してください。

2.5　端子の入出力回路

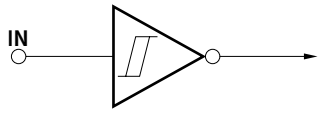
タイプ１



タイプ８

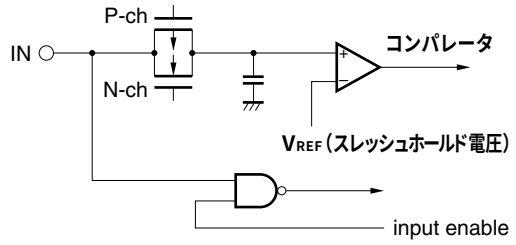


タイプ２

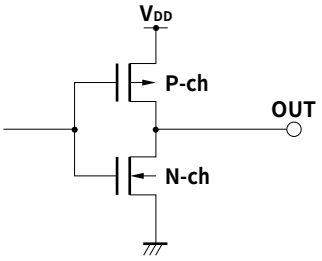


ヒステリシス特性を有するシュミット・トリガ入力となっています

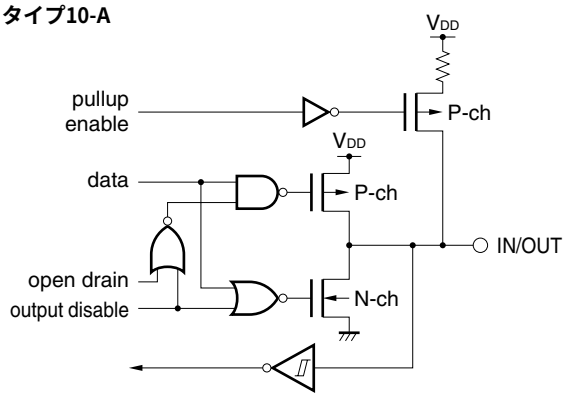
タイプ９



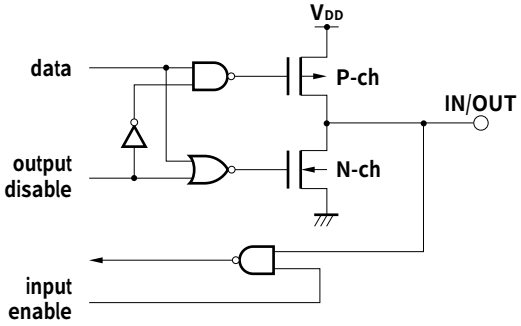
タイプ３



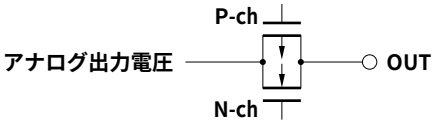
タイプ10-A



タイプ５



タイプ12



第３章　CPU機能

V853のCPUは，RISCアーキテクチャをベースとし，５段パイプラインの制御によりほとんどの命令を１クロックで実行します。

3.1　特　　徴

○最小インストラクション・サイクル　30 ns（内部33 MHz動作時）
○アドレス空間：16 Mバイト・リニア
○汎用レジスタ　32ビット×32本
○内部32ビット・アーキテクチャ
○５段パイプライン制御
○乗除算命令
○飽和演算命令
○32ビット・シフト命令：１クロック
○ロング／ショート・フォーマット
○ビット操作命令４種
　・SET1
　・CLR1
　・NOT1
　・TST1

3.2　CPUレジスタ・セット

V853のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの２種類に分類できます。すべてのレジスタは，32ビット幅となっています。

詳細はV850ファミリ　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

プログラム・レジスタ・セット

31　　0

r0	Zero Register
r1	Reserved for Address Generation
★ r2	
r3	Stack Pointer（SP）
r4	Global Pointer（GP）
r5	Text Pointer（TP）
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	Element Pointer（EP）
r31	Link Pointer（LP）

31　　0

PC	Program Counter

システム・レジスタ・セット

31　　0

EIPC	Exception/Interrupt PC
EIPSW	Exception/Interrupt PSW

31　　0

FEPC	Fatal Error PC
FEPSW	Fatal Error PSW

31　　0

ECR	Exception Cause Register

31　　0

PSW	Program Status Word

3.2.1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

（1）汎用レジスタ

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。また，r1, r3-r5，r31は，アセンブラとＣコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻してください。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

★
★

表３－１　プログラム・レジスター覧

名　称	用　　途	動　　作
r0	ゼロ・レジスタ	常に０を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
★ r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするとき使用
r5	テキスト・ポインタ	テキスト領域[注]の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

注　プログラム・コードを配置する領域

（2）プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の24ビットが有効でビット31-24は０に固定されています。ビット23からビット24へのキャリーがあっても無視します。

また，ビット０は０に固定されており，奇数番地への分岐はできません。

図３－１　プログラム・カウンタ（PC）

3.2.2　システム・レジスタ・セット

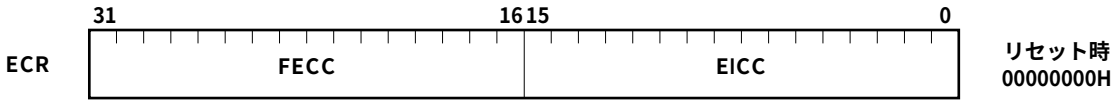
システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

表３－２　システム・レジスタ番号

番号	システム・レジスタ名称	用　途	動　作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に，PCとPSWを退避するレジスタです。このレジスタは，１組しかないため多重割り込みを許す場合は，プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に，PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外，マスカブル割り込み，NMIが発生した場合に，その要因を保持するレジスタです。このレジスタは，上位16ビットを“FECC”と呼び，NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び，例外／割り込みの例外コードがセットされます（**図３－２**参照）。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは，プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です（**図３－３**参照）。
6-31	予約		

これらのシステム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR，STSR命令）で示すシステム・レジスタ番号を指定することで行います。

図３－２　割り込み要因レジスタ（ECR）



ビット位置	ビット名	意　味
31-16	FECC	Fatal Error Cause Code NMIの例外コード（**表５－１　割り込み一覧**参照）
15-0	EICC	Exception/Interrupt Cause Code 例外／割り込みの例外コード（**表５－１　割り込み一覧**参照）

★ **図３－３　プログラム・ステータス・ワード（PSW）（1/2）**

ビット位置	ビット名	意　　味
31-8	RFU	予約フィールドです（０に固定されています）。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMIが受け付けられるとセットされ，多重割り込みを禁止します。 ０：NMI処理中でない。 １：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット（１）されます。なお，このビットがセットされても割り込み要求は受け付けます。 ０：例外処理中でない。 １：例外処理中である。
5	ID	マスカブル割り込み要求を受け付けられる状態かどうかを示します。 ０：割り込み可 １：割り込み不可
4	SAT注	飽和演算処理命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット（１）され，以降の命令の演算結果が飽和しなくてもクリア（０）されません。クリア（０）する場合は，PSWにデータをロードします。なお，一般の算術演算では，セット（１）もクリア（０）もしません。 ０：飽和していない。 １：飽和している。
3	CY	演算結果にキャリーまたはボローが発生した場合にセットされます（発生しなかった場合，リセットされます）。 ０：キャリー，またはボローは発生していない。 １：キャリー，またはボローが発生した。
2	OV注	演算中にオーバフローが発生した場合にセットされます（発生しなかった場合，リセットされます）。 ０：オーバフローは発生していない。 １：オーバフローが発生した。
1	S注	演算の結果が負であった場合にセットされます。正であった場合，リセットされます。 ０：演算の結果は，正または０であった。 １：演算の結果は，負であった。
0	Z	演算の結果がゼロであった場合に，セットされます（ゼロでなかった場合，リセットされます）。 ０：演算の結果は，０でなかった。 １：演算の結果は，０であった。

備考　注の説明は次ページに記載しています。

★ **図３－３　プログラム・ステータス・ワード（PSW）（2/2）**

注　飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また，飽和演算時にOVフラグがセット（１）された場合だけ，SATフラグはセット（１）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

3.3　動作モード

3.3.1　動作モード

V853は次の動作モードを備えます。

★ （1）通常動作モード（シングルチップ・モード）

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。命令によりメモリ拡張モード・レジスタ（MM；3.4.7を参照）を設定することにより，外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

（2）フラッシュ・メモリ・プログラミング・モード（μPD70F3003A，70F3025Aのみ）

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

3.3.2　動作モード指定

★ （1）通常動作モード

シングルチップ・モードに固定です。

（2）フラッシュ・メモリ・プログラミング・モード

MODE，V_{PP}端子の状態により，V853の動作モードを指定します。MODE端子の指定は応用システムにおいて固定とし，動作中に変更しないでください。

動作中に変更した場合の動作は保証しません。

端子状態		動作モード
V_{PP}	MODE	
0 V	1	通常動作モード
10.3 V	1	フラッシュ・メモリ・プログラミング・モード

★

第14章　フラッシュ・メモリ（μPD70F3003A，70F3025A）を参照してください。

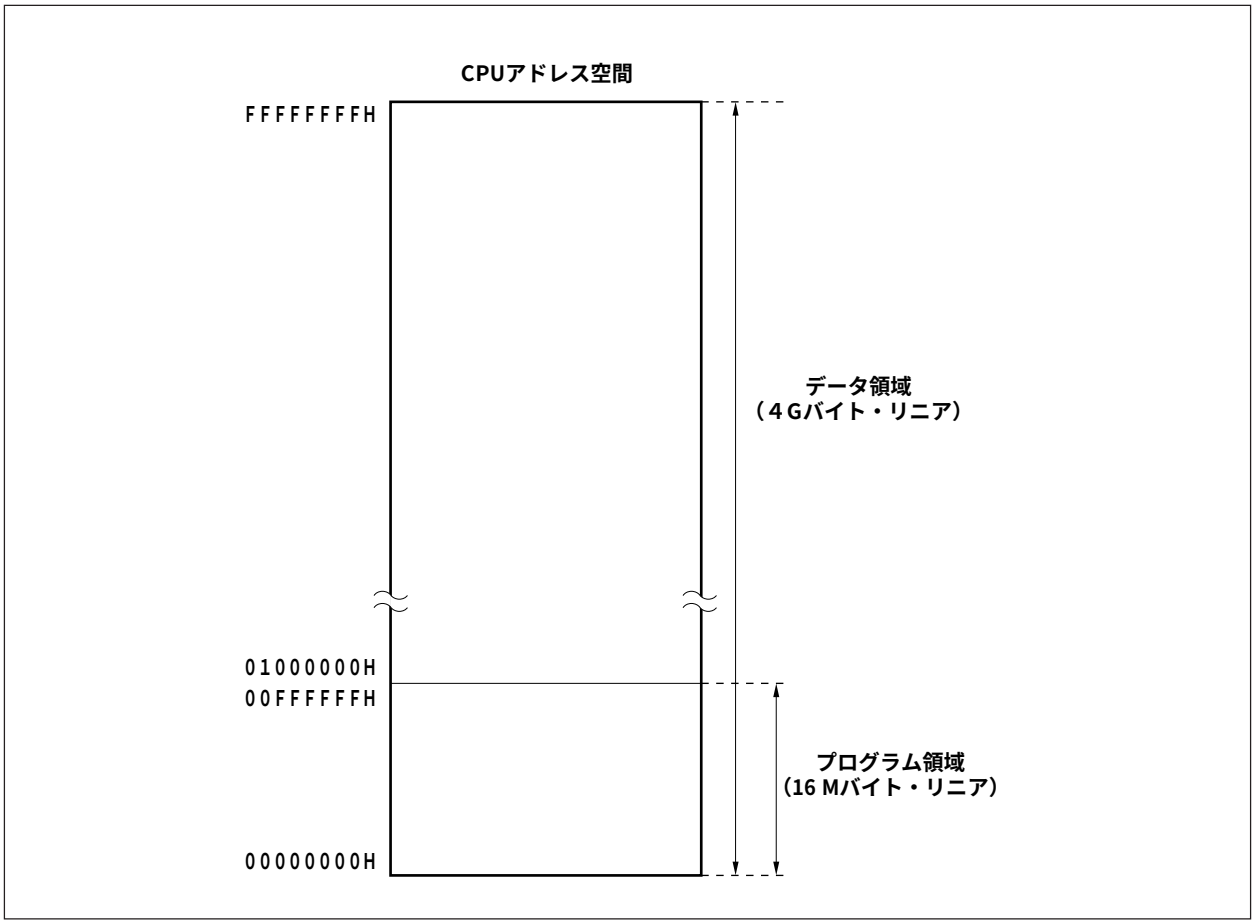
3.4　アドレス空間

3.4.1　CPUアドレス空間

V853のCPUは32ビット・アーキテクチャであり，オペランド・アドレシング（データ・アクセス）においては，最大４Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また，命令アドレスのアドレシングにおいては，最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図３－４にCPUアドレス空間を示します。

図３－４　CPUアドレス空間

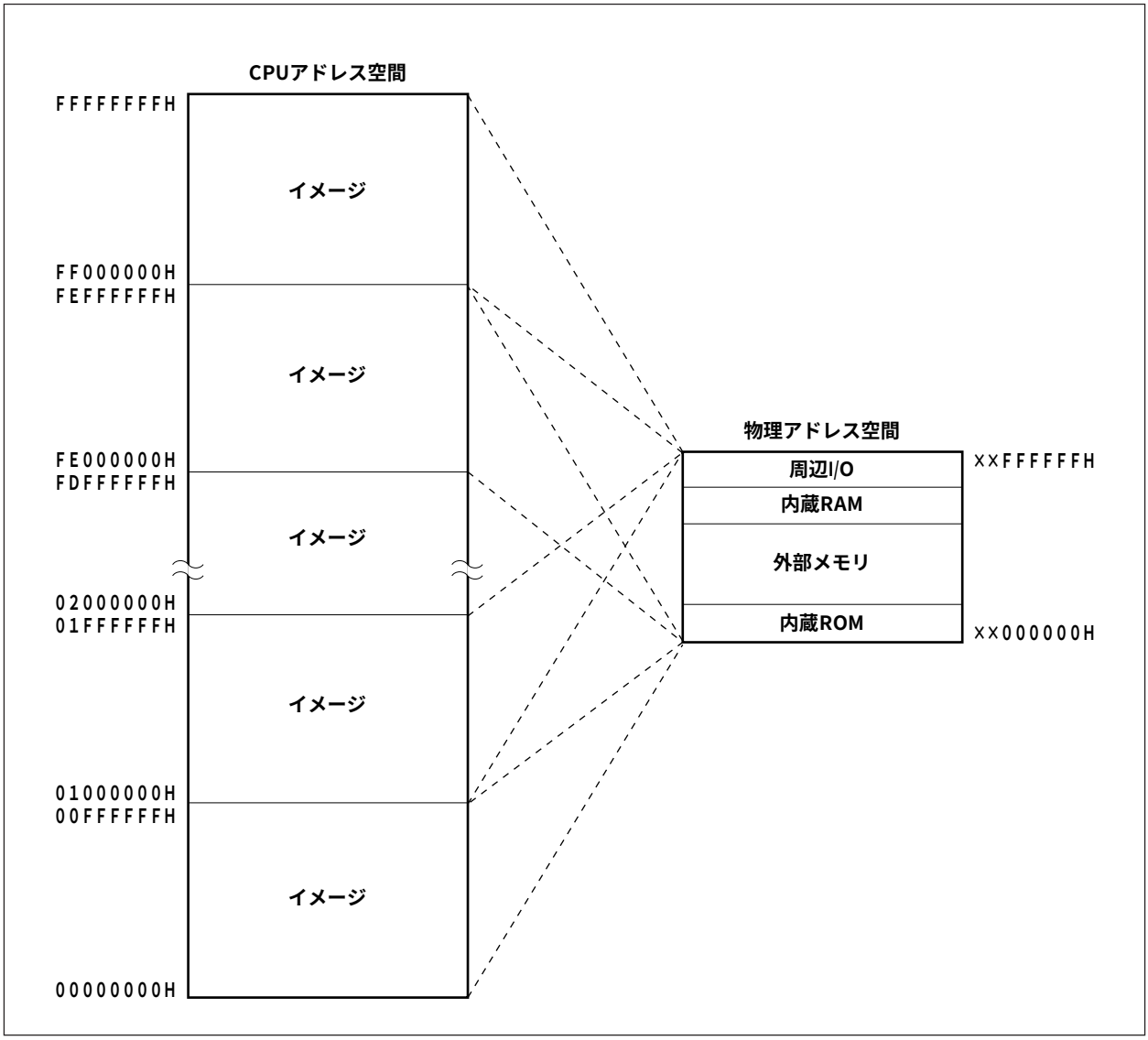


3.4.2　イメージ

４GバイトのCPUアドレス空間には，16 Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり，CPUアドレスのビット31-ビット24がどのような値でも，同じ16 Mバイトの物理アドレス空間をアクセスします。図３－５にアドレス空間上のイメージを示します。

これは，32ビットのCPUアドレスは上位８ビットを無視し，24ビットの物理アドレスとしてアクセスするため，物理アドレスの××000000H番地が，CPUアドレスの00000000H番地のほかに01000000H番地，02000000H番地，…，FE000000H番地，FF000000H番地に見えます。

図３－５　アドレス空間上のイメージ



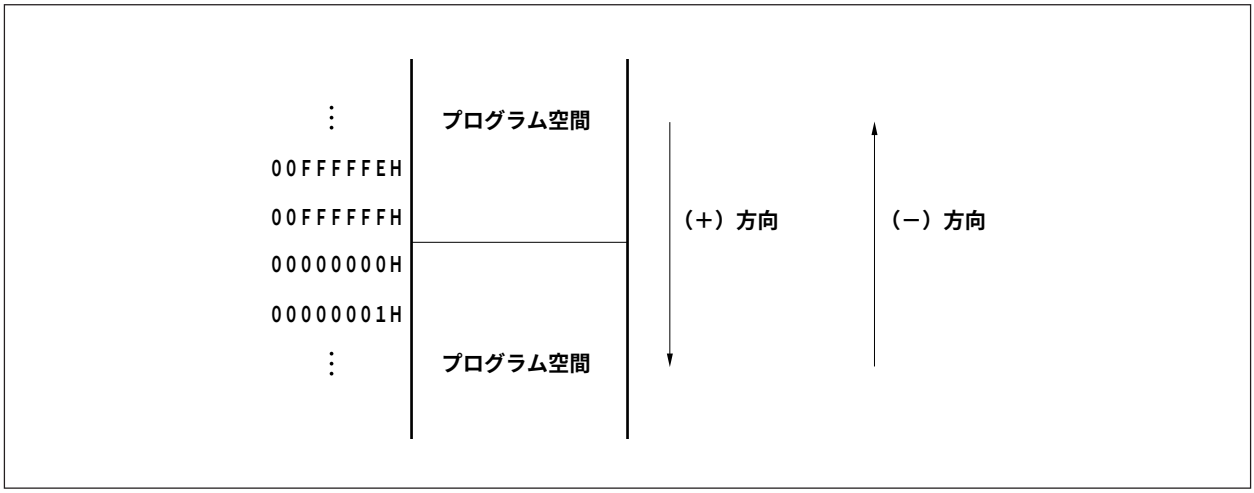
3.4.3　CPUアドレス空間のラップ・アラウンド

（1）プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位８ビットが“０”に固定であり，下位24ビットのみ有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位８ビットはこれを無視します。

したがって，プログラム空間の下限である00000000H番地と，上限の00FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

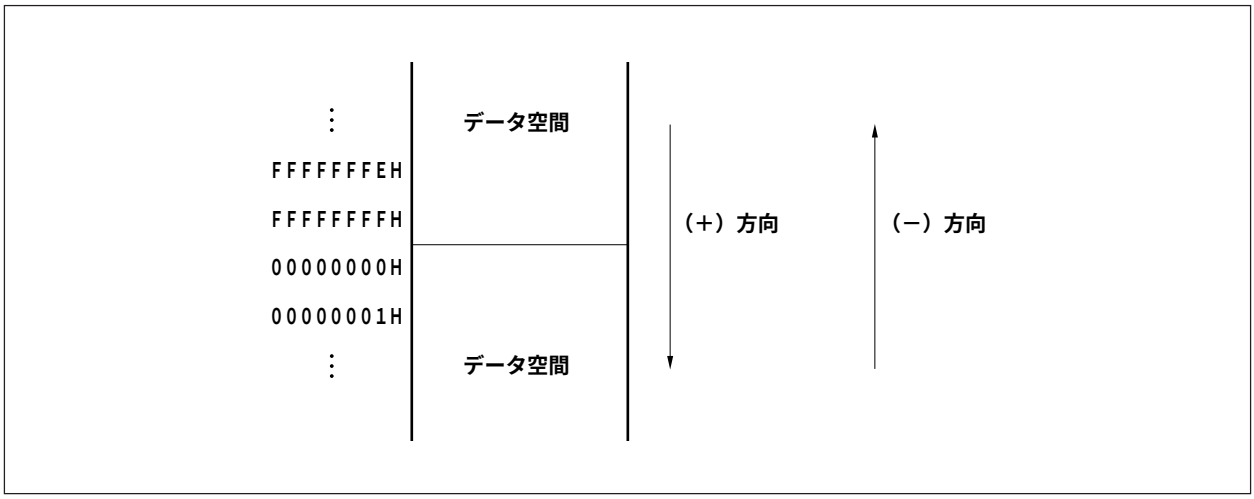
注意　00FFF000H-00FFFFFFHの４Kバイトの領域は，周辺I/O領域のため命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



（2）データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって，データ空間の下限である00000000H番地と，上限のFFFFFFFFH番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3.4.4　メモリ・マップ

V853では，次のように各領域を予約しています。外部拡張モードの指定はMMレジスタで行います。

（1）μPD703003A，70F3003A，703004Aの場合

注　V853のプログラム空間は16 Mバイトですが，物理外部メモリとしては１Mバイト分の空間となります（図３－６参照）。

（2）μPD703025A，70F3025Aの場合

注　V853のプログラム空間は16 Mバイトですが，物理外部メモリとしては１Mバイト分の空間となります（**図３－６**参照）。

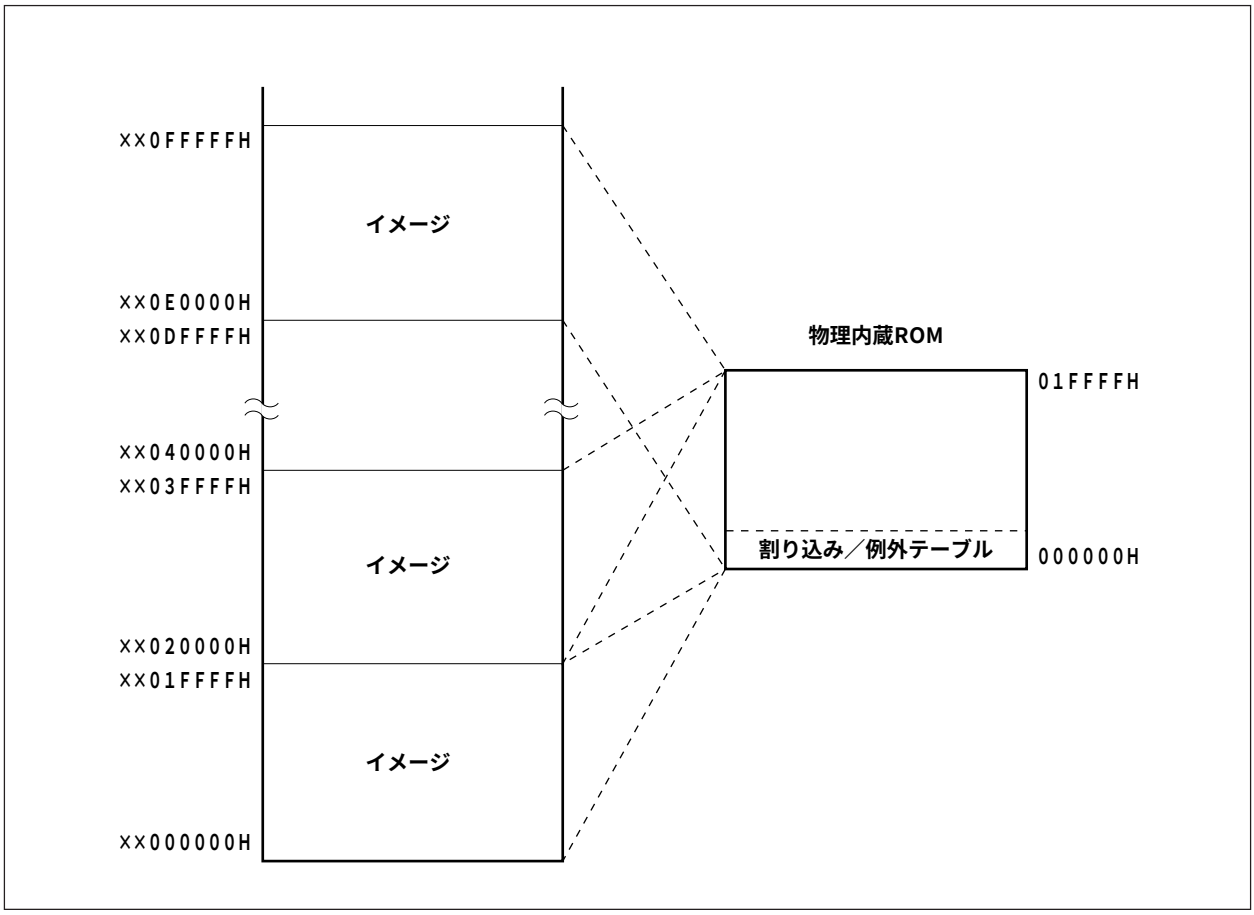
3.4.5 領　　域

（1）内蔵ROM領域

（a）メモリ・マップ

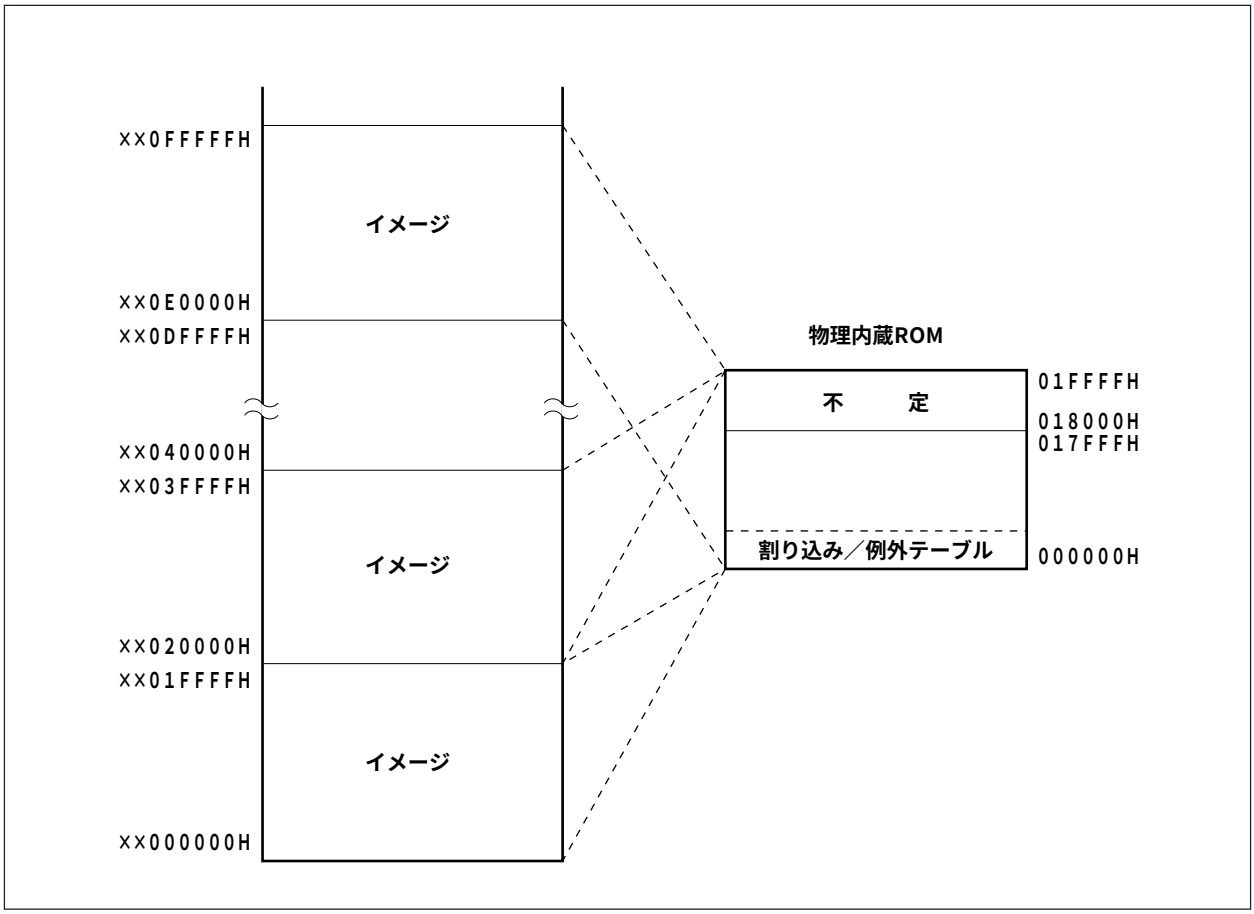
① μPD703003A，70F3003Aの場合

内蔵ROM領域は000000H-0FFFFFH番地の１Mバイトが予約されており，物理内蔵ROMとして000000H-01FFFFH番地の128 Kバイトを実装しています。また，残りの領域（020000H-0FFFFFH）には，000000H-01FFFFHのイメージが見えます。



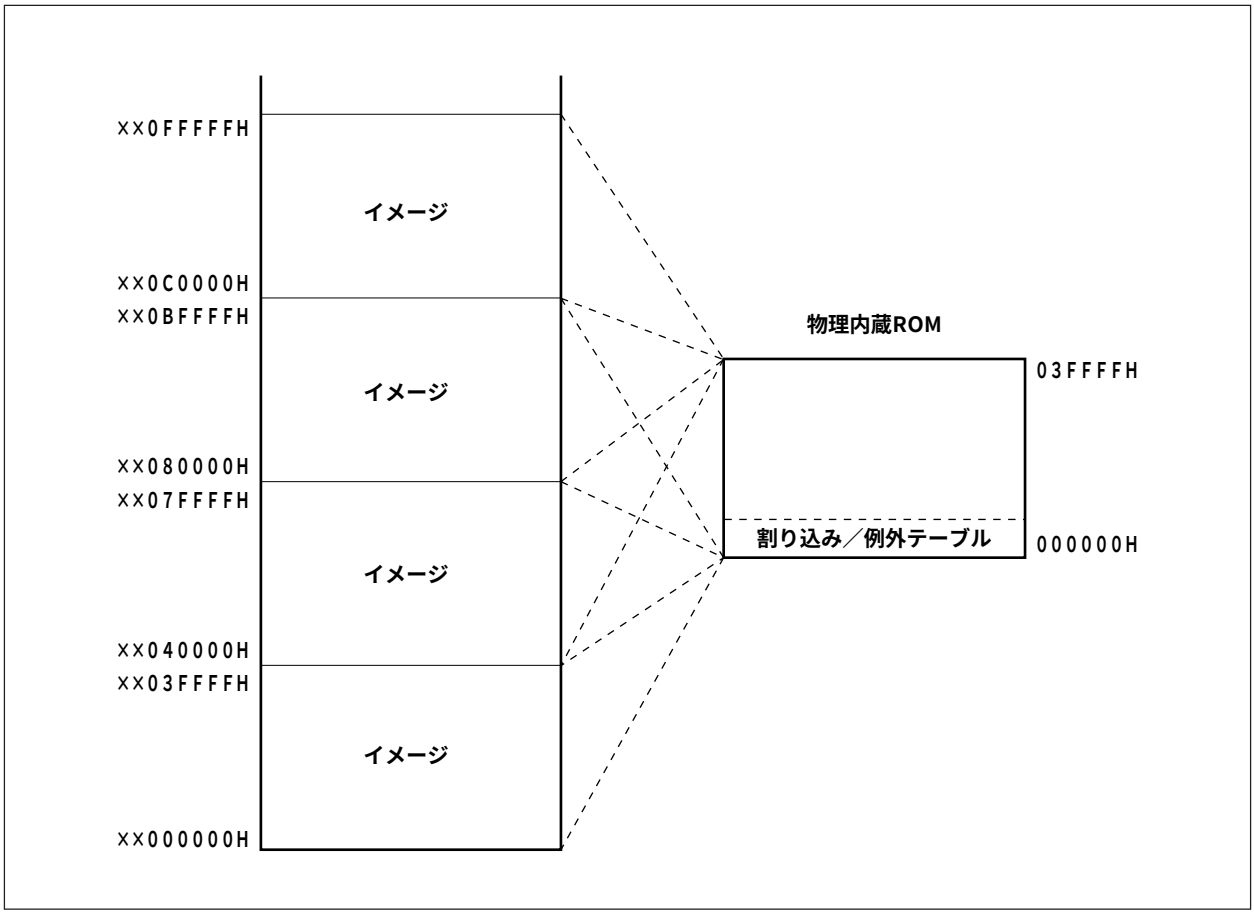
② μPD703004Aの場合

内蔵ROM領域は000000H-0FFFFFH番地の１Mバイトが予約されており，物理内蔵ROMとして000000H-017FFFH番地の96 Kバイトを実装しており，018000H-01FFFFH番地の32 Kバイトは不定です。また，残りの領域（020000H-0FFFFFH）には，000000H-01FFFFHのイメージが見えます。



③　μPD703025A，70F3025Aの場合

内蔵ROM領域は000000H-0FFFFFH番地の１Mバイトが予約されており，物理内蔵ROMとして000000H-03FFFFH番地の256 Kバイトを実装しています。また，残りの領域（040000H-0FFFFFH）には，000000H-03FFFFHのイメージが見えます。



（b）割り込み／例外テーブル

V853は，割り込み／例外に対応した飛び先アドレスを固定化することにより，割り込み応答性を高速化しています。

この，飛び先アドレスの集合を割り込み／例外テーブルと呼び，内蔵ROM領域に置かれています。割り込み／例外要求が受け付けられると，飛び先アドレスにジャンプし，そのメモリに書かれているプログラムを実行します。表３－３に，割り込み／例外要因と，対応するアドレスを示します。

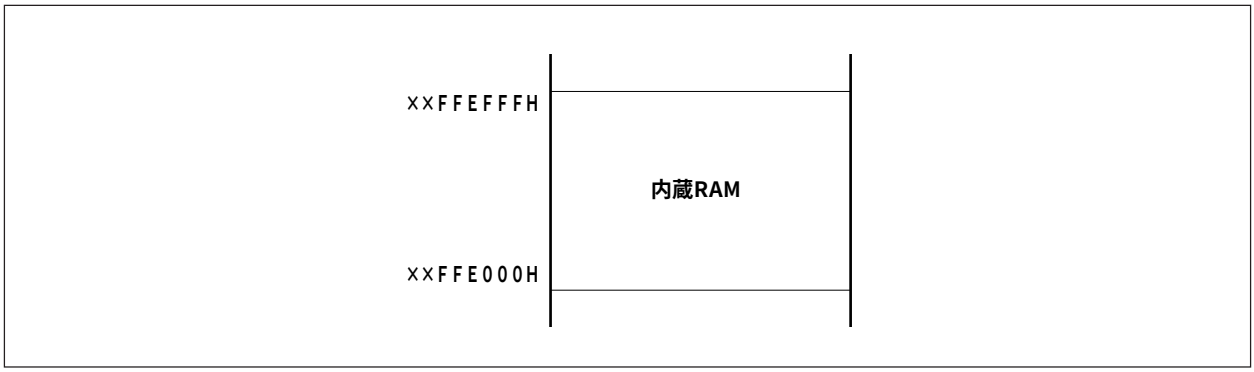
表３－３　割り込み／例外テーブル

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n（n = 0-FH）
00000050H	TRAP1n（n = 0-FH）
00000060H	ILGOP
00000080H	INTOV11
00000090H	INTOV12
000000A0H	INTOV13
000000B0H	INTOV14
000000C0H	INTP110/INTCC110
000000D0H	INTP111/INTCC111
000000E0H	INTP112/INTCC112
000000F0H	INTP113/INTCC113
00000100H	INTP120/INTCC120
00000110H	INTP121/INTCC121
00000120H	INTP122/INTCC122
00000130H	INTP123/INTCC123
00000140H	INTP130/INTCC130
00000150H	INTP131/INTCC131
00000160H	INTP132/INTCC132
00000170H	INTP133/INTCC133
00000180H	INTP140/INTCC140
00000190H	INTP141/INTCC141
000001A0H	INTP142/INTCC142
000001B0H	INTP143/INTCC143
000001C0H	INTCM4
000001D0H	INTCSI0
000001E0H	INTCSI1
000001F0H	INTCSI2
00000200H	INTCSI3
00000210H	INTSER0
00000220H	INTSR0
00000230H	INTST0
00000240H	INTSER1
00000250H	INTSR1
00000260H	INTST1
00000270H	INTAD

（２）内蔵RAM領域

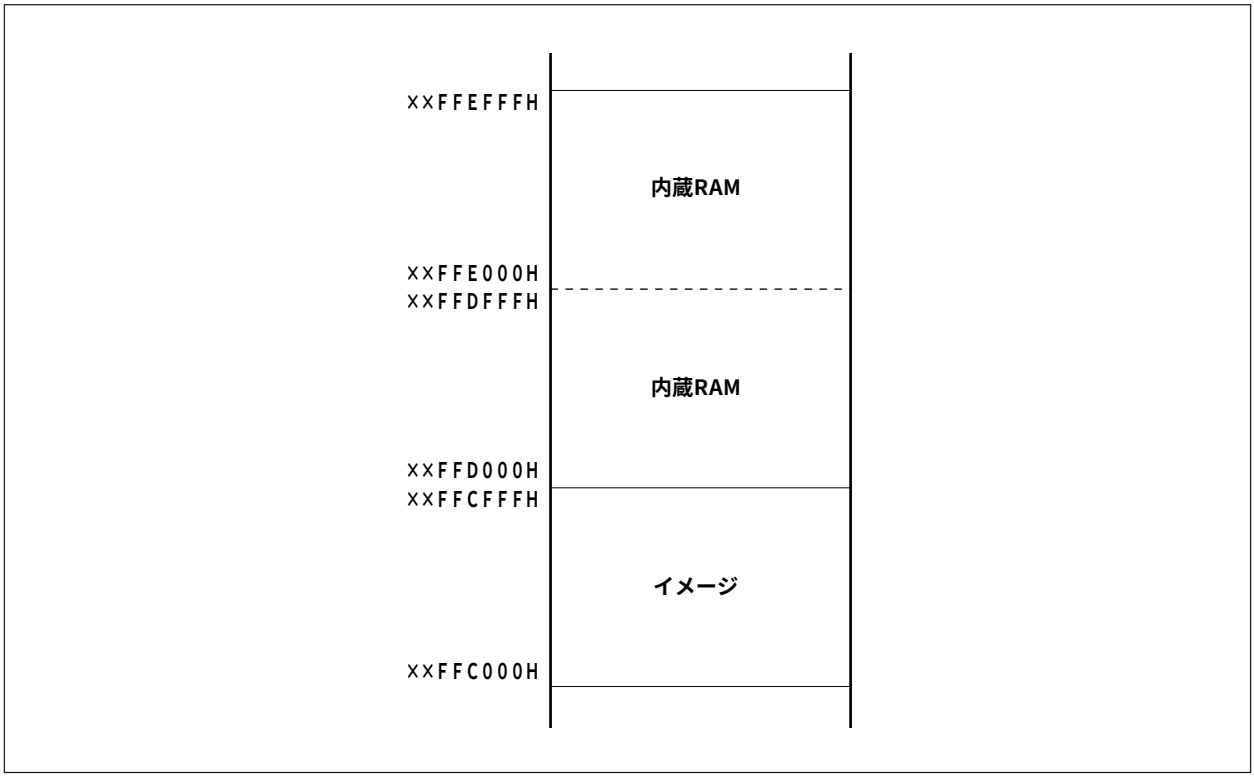
（ａ）μPD703003A，70F3003A，703004Aの場合

物理内蔵RAMとしてFFE000H-FFEFFFH番地の4 Kバイトを実装しています。



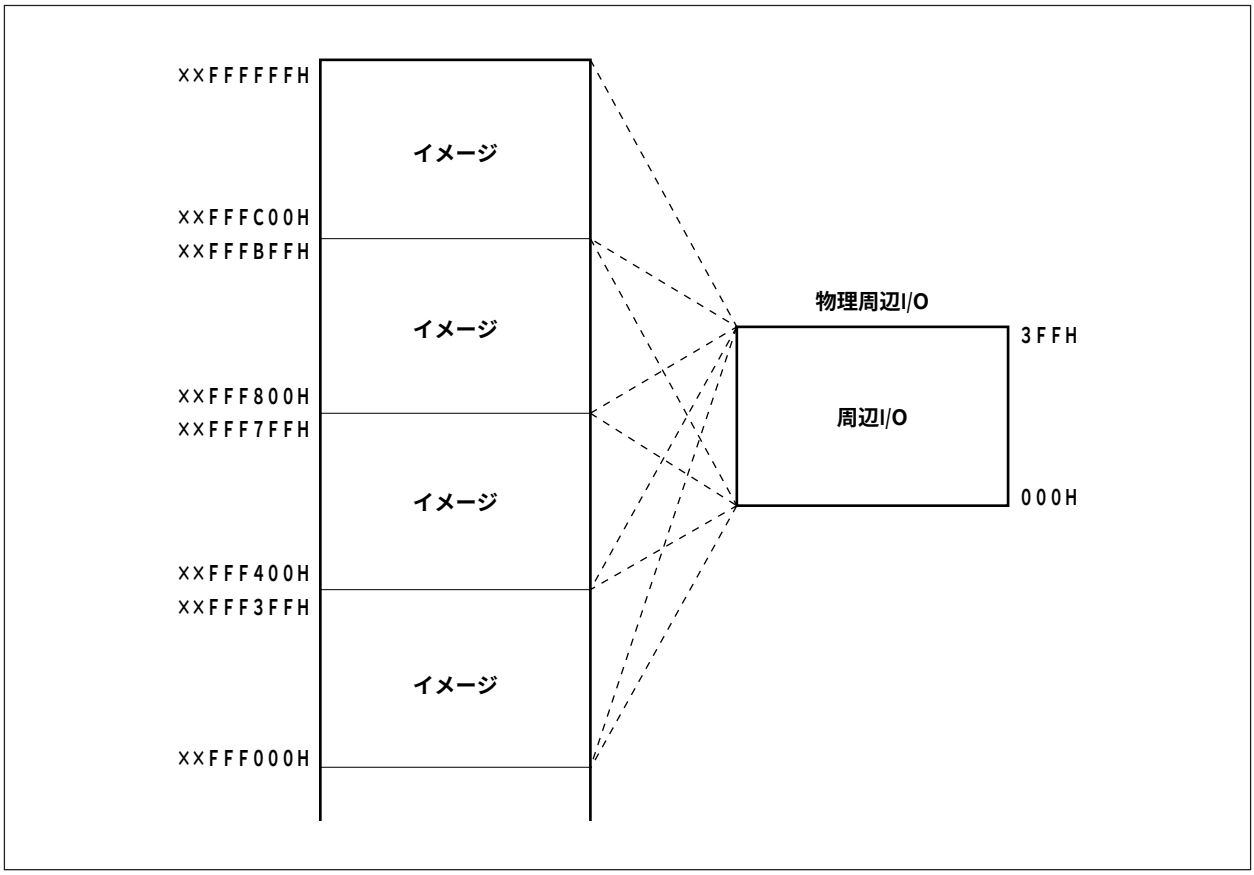
（ｂ）μPD703025A，70F3025Aの場合

内蔵RAM領域は，FFC000H-FFEFFFH番地の最大12 Kバイトが予約されており，物理内蔵RAMとしてFFD000H-FFEFFFH番地の8 Kバイトを実装しています。また，残りの領域（FFC000H-FFCFFFH）には，FFE000H-FFEFFFHのイメージが見えます。



（３）周辺I/O領域

周辺I/O領域は，FFF000H-FFFFFFH番地の４Kバイトが予約されています。V853では，物理周辺I/OとしてFFF000H-FFF3FFH番地の1Kバイトに割り当てており，残りの領域（FFF400H-FFFFFFH）には，FFF000H-FFF3FFHのイメージが見えます。



周辺I/O領域には，内蔵周辺ハードウエアの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意１．アドレスの最下位ビットはデコードしていません。したがって，奇数アドレス（2n＋1番地）のレジスタにバイト・アクセスした場合は，ハードウエア上，偶数アドレス（2n）のレジスタへのアクセスが行われます。

２．V853ではワード・アクセス可能なレジスタは存在しませんが，レジスタにワード・アクセスを行うと，アドレスの下位２ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを２回行います。

３．バイト・アクセス可能なレジスタに対して，ハーフワード・アクセスした場合はリード時は上位８ビットが不定となり，ライト時は下位８ビット・データがレジスタに書き込まれます。

４．レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

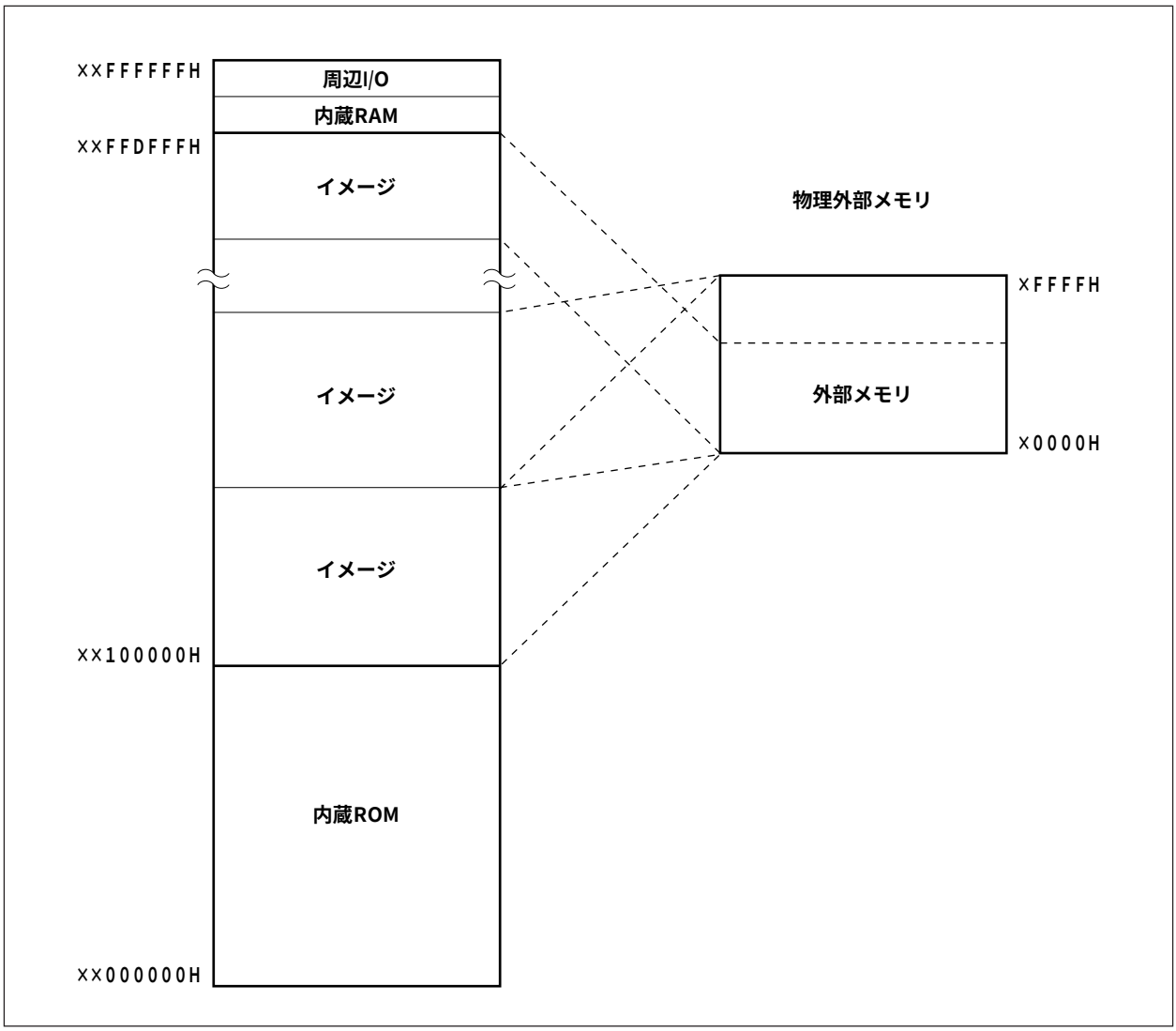
（4）外部メモリ領域

★　V853は，シングルチップ・モード時に最大××100000H-××FFDFFFHの領域を外部メモリ領域として使用できます。

外部メモリ領域は，外部拡張モードを指定すると，64 K，128 K，256 K，512 K，1 Mバイトの物理外部メモリを割り当てることができます。物理外部メモリと同じイメージが，図３－６で示すとおり，外部メモリ領域上に連続して見えます。

ただし，内蔵RAM領域，周辺I/O領域およびシングルチップ・モード時の内蔵ROM領域に対しては，外部メモリのアクセス対象になりません。

図３－６　外部メモリ領域（64 K，128 K，256 K，512 K，1 Mバイト拡張時）



★　3.4.6　外部拡張モード

V853は，ポート４，５，６，９の各端子を用いて外部メモリ空間に外部デバイスを接続することができます。

リセット時の各ポート／コントロール・モード兼用端子はポート・モードになり，外部デバイスは使用できません。外部デバイスを接続するためにはメモリ拡張モード・レジスタ（ＭＭ）を用いてポート端子を外部拡張モードに設定する必要があります。

3.4.7　メモリ拡張モード・レジスタ（MM）

ポート４，５，６，９の各端子のモード設定を行います。外部拡張モードでは，最大1 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし，内蔵RAM領域，周辺I/O領域およびシングルチップ・モード時の内蔵ROM領域の各領域に対しては外部デバイスを接続して使用することはできません（物理的に接続しても，アクセス対象にはなりません）。

MMレジスタは8/1ビット単位でリード／ライト可能です。ただし，ビット４-ビット７は０に固定です。

★

	7	6	5	4	3	2	1	0		
MM	0	0	0	0	MM3	MM2	MM1	MM0	アドレス FFFFF04CH	リセット時 00H

ビット位置	ビット名	意　　味
3	MM3	Memory Expansion Mode ポート９のP95，P96の動作モードを指定します。
2-0	MM2-MM0	Memory Expansion Mode ポート４，５，６（P60-P63），９（P90-P94）の動作モードを指定します。

MM3	動作モード	P95	P96
0	ポート・モード	ポート	
1	外部拡張モード	$\overline{\text{HLDAK}}$	$\overline{\text{HLDRQ}}$

MM2	MM1	MM0	アドレス空間	ポート４	ポート５	ポート６（P60-P63）		ポート９（P90-P94）
0	0	0	－	ポート・モード				
0	1	1	64 Kバイト拡張	AD0-AD7	AD8-AD15			$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, R/$\overline{\text{W}}$, $\overline{\text{DSTB}}$, ASTB
1	0	0	256 Kバイト拡張			A16, A17		
1	0	1	1 Mバイト拡張				A18, A19	
1	1	1	1 Mバイト拡張注					
その他				RFU（予約）				

注　最大外部空間

備考　各ポート端子の動作の詳細については**2.3　端子機能の説明**を参照してください。

3.4.8　アドレス空間の推奨使用方法

V853のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに，必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

V853のメモリ・マップに関連して，ポインタ運用の効率化を目的として，次の使用方法を推奨します。

（1）プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位８ビットは“０”に固定であり，下位24ビットのみ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

（2）データ空間

データ空間のラップ・アラウンドを利用したリソースの効率的な運用を行うため，４GバイトのCPUアドレス空間の00000000H-007FFFFFH番地およびFF800000H-FFFFFFFFH番地のそれぞれ連続した８Mバイトをデータ空間として使用します。V853では，４GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため，この24ビット・アドレスの最上位ビット（ビット23）を32ビット長まで符号拡張したアドレスとして割り当てています。

ラップ・アラウンドを利用した応用例

LD/ST disp16［R］命令でR=r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。外部メモリを図の24 Kバイトの範囲にマッピングすれば，内蔵ハードウエアのすべてを含むすべてのリソースについて１つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

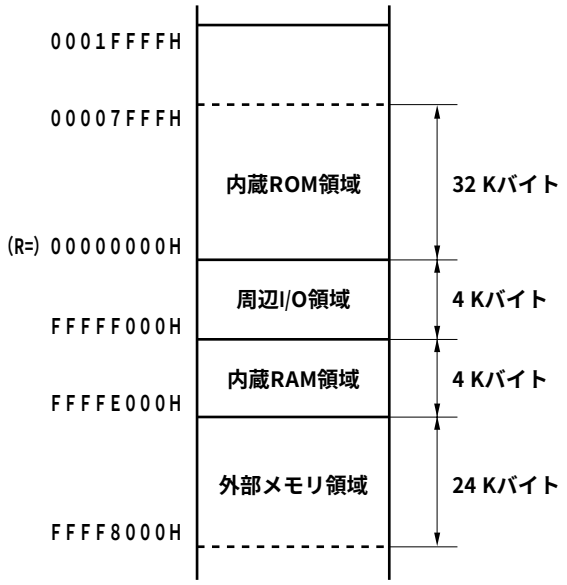
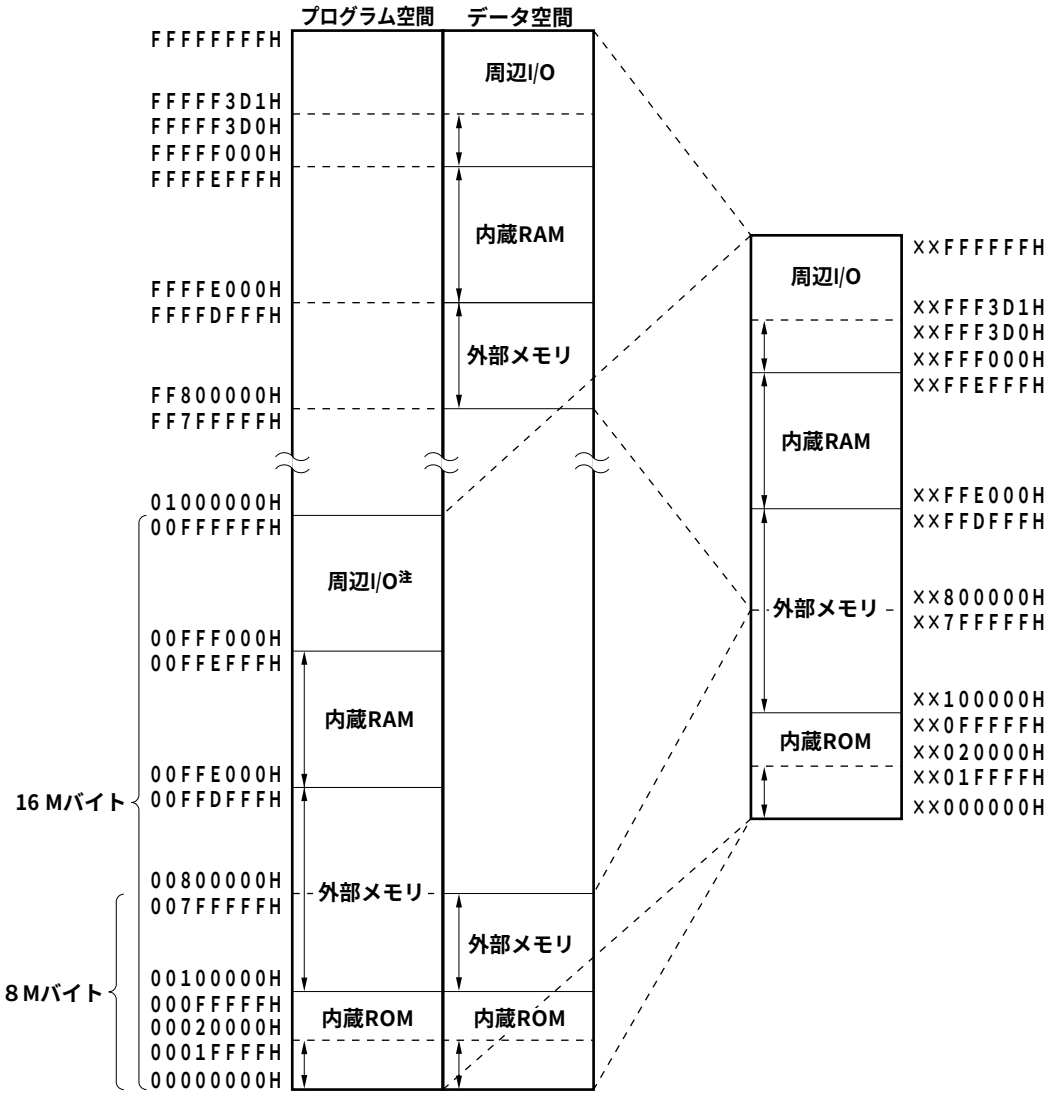


図３－７　推奨メモリ・マップ（1/3）

（a）μPD703003A，70F3003Aの場合

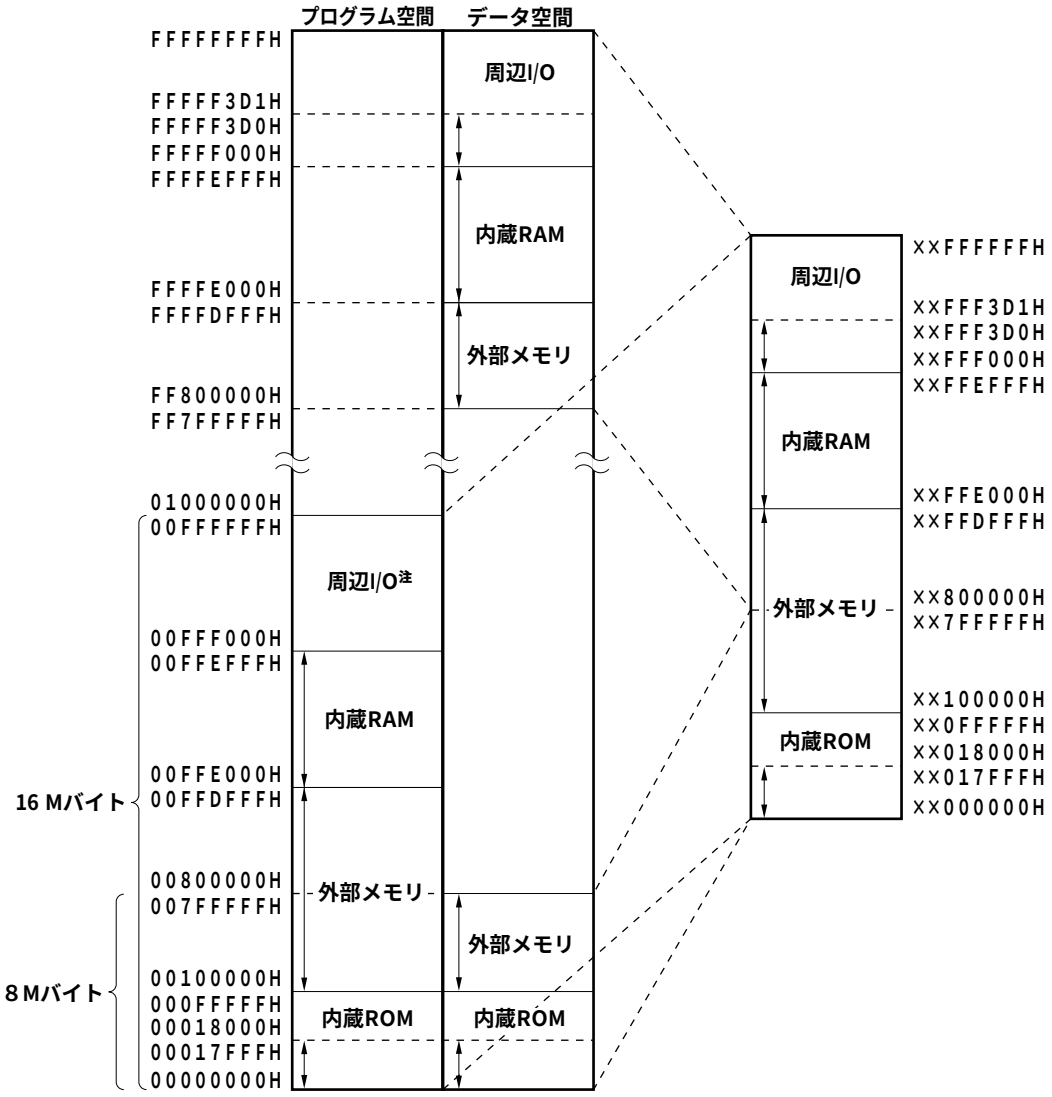


注　プログラム領域として使用できません。

備考　↕は，推奨使用領域です。

図３－７　推奨メモリ・マップ（2/3）

（b）μPD703004Aの場合

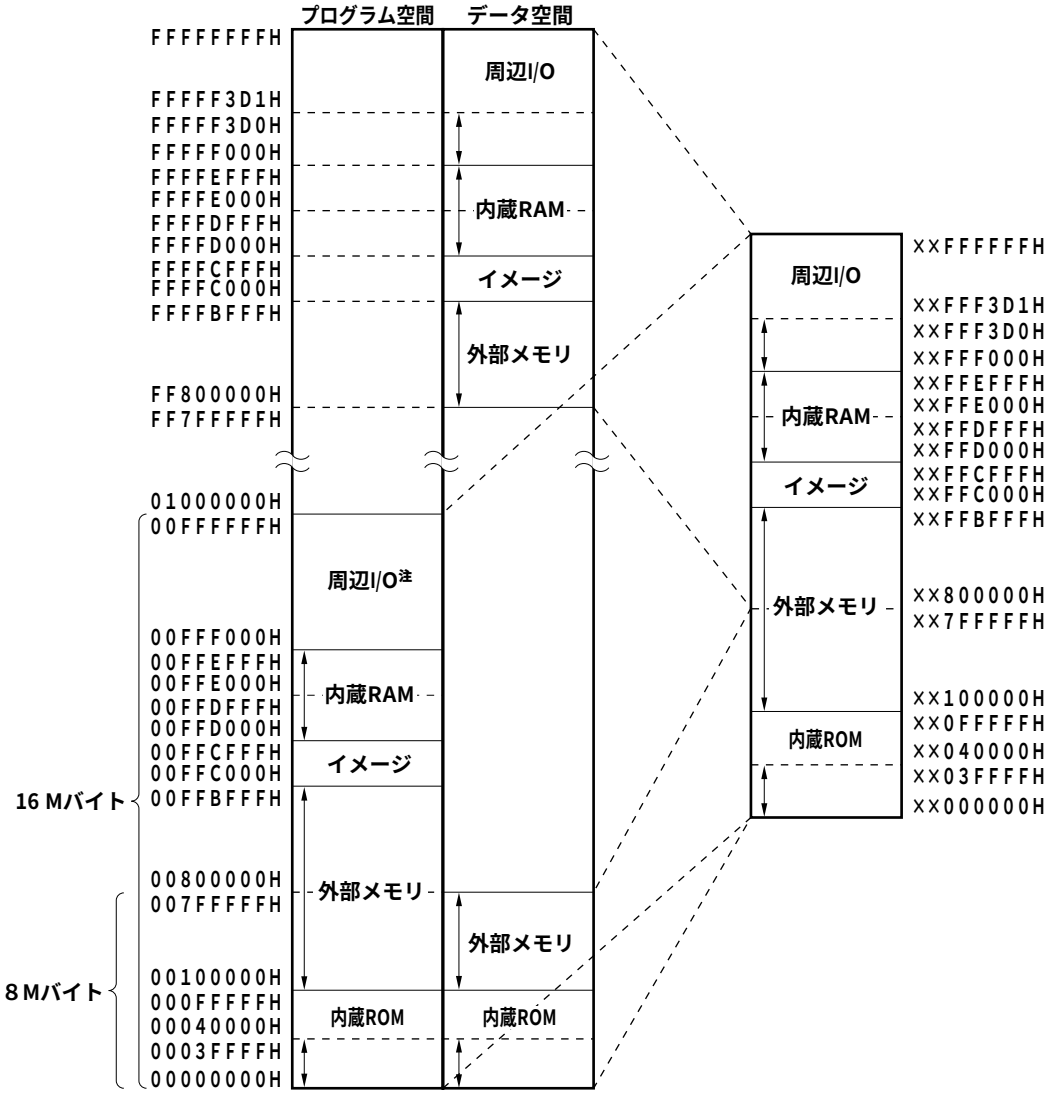


注　プログラム領域として使用できません。

備考　↕は，推奨使用領域です。

図３－７　推奨メモリ・マップ（3/3）

（ｃ）μPD703025A，70F3025Aの場合



注　プログラム領域として使用できません。

備考　↕は，推奨使用領域です。

3.4.9　周辺I/Oレジスタ

	アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
					1ビット	8ビット	16ビット	
	FFFFF000H	ポート０	P0	R/W	○	○		不定
	FFFFF002H	ポート１	P1		○	○		
	FFFFF004H	ポート２	P2		○	○		
	FFFFF006H	ポート３	P3		○	○		
	FFFFF008H	ポート４	P4		○	○		
	FFFFF00AH	ポート５	P5		○	○		
	FFFFF00CH	ポート６	P6		○	○		
	FFFFF00EH	ポート７	P7	R	○	○		
	FFFFF012H	ポート９	P9	R/W	○	○		
	FFFFF016H	ポート11	P11		○	○		
	FFFFF020H	ポート０モード・レジスタ	PM0		○	○		FFH
	FFFFF022H	ポート１モード・レジスタ	PM1		○	○		
	FFFFF024H	ポート２モード・レジスタ	PM2		○	○		
	FFFFF026H	ポート３モード・レジスタ	PM3		○	○		
	FFFFF028H	ポート４モード・レジスタ	PM4		○	○		
	FFFFF02AH	ポート５モード・レジスタ	PM5		○	○		
	FFFFF02CH	ポート６モード・レジスタ	PM6		○	○		×FH
	FFFFF032H	ポート９モード・レジスタ	PM9		○	○		×1111111B
	FFFFF036H	ポート11モード・レジスタ	PM11		○	○		FFH
	FFFFF040H	ポート０モード・コントロール・レジスタ	PMC0		○	○		00H
	FFFFF042H	ポート１モード・コントロール・レジスタ	PMC1		○	○		
	FFFFF044H	ポート２モード・コントロール・レジスタ	PMC2		○	○		
	FFFFF046H	ポート３モード・コントロール・レジスタ	PMC3		○	○		
★	FFFFF04CH	メモリ拡張モード・レジスタ	MM		○	○		
	FFFFF056H	ポート11モード・コントロール・レジスタ	PMC11		○	○		
	FFFFF05CH	ポート・コントロール・モード・レジスタ	PCM		○	○		
	FFFFF05EH	プルアップ抵抗オプション・レジスタ	PUO		○	○		
	FFFFF060H	データ・ウエイト・コントロール・レジスタ	DWC				○	FFFFH
	FFFFF062H	バス・サイクル・コントロール・レジスタ	BCC				○	AAAAH
★	FFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC		○	○		C0H
★	FFFFF072H	クロック・コントロール・レジスタ	CKC		○	○		00H/03H
	FFFFF078H	システム・ステータス・レジスタ	SYS		○	○		0000000×B
	FFFFF084H	ボー・レート・ジェネレータ・コンペア・レジスタ０	BRGC0		○	○		不定
	FFFFF086H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ０	BPRM0		○	○		00H
	FFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ０	CSIM0		○	○		
	FFFFF08AH	シリアルI/O シフト・レジスタ０	SIO0		○	○		不定
	FFFFF094H	ボー・レート・ジェネレータ・コンペア・レジスタ１	BRGC1		○	○		
	FFFFF096H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ１	BPRM1		○	○		00H
	FFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ１	CSIM1		○	○		
	FFFFF09AH	シリアルI/Oシフト・レジスタ１	SIO1		○	○		不定
	FFFFF0A4H	ボー・レート・ジェネレータ・コンペア・レジスタ２	BRGC2		○	○		不定
	FFFFF0A6H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ２	BPRM2		○	○		00H
	FFFFF0A8H	クロック同期式シリアル・インタフェース・モード・レジスタ２	CSIM2		○	○		
	FFFFF0AAH	シリアルI/Oシフト・レジスタ２	SIO2		○	○		不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFF0B8H	クロック同期式シリアル・インタフェース・モード・レジスタ３	CSIM3	R/W	○	○		00H
FFFFF0BAH	シリアルI/Oシフト・レジスタ３	SIO3		○	○		不定
FFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00		○	○		00H
FFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01		○	○		
FFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０	ASIS0	R	○	○		
FFFFF0C8H	受信バッファ０（９ビット）	RXB0				○	不定
FFFFF0CAH	受信バッファ0L（下位８ビット）	RXB0L		○	○		
FFFFF0CCH	送信シフト・レジスタ０（９ビット）	TXS0	W			○	
FFFFF0CEH	送信シフト・レジスタ0L（下位８ビット）	TXS0L			○		
FFFFF0D0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W	○	○		00H
FFFFF0D2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11		○	○		
FFFFF0D4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ１	ASIS1	R	○	○		
FFFFF0D8H	受信バッファ１（９ビット）	RXB1				○	不定
FFFFF0DAH	受信バッファ1L（下位８ビット）	RXB1L		○	○		
FFFFF0DCH	送信シフト・レジスタ１（９ビット）	TXS1	W			○	
FFFFF0DEH	送信シフト・レジスタ1L（下位８ビット）	TXS1L			○		
FFFFF100H	割り込み制御レジスタ	OVIC11	R/W	○	○		47H
FFFFF102H	割り込み制御レジスタ	OVIC12		○	○		
FFFFF104H	割り込み制御レジスタ	OVIC13		○	○		
FFFFF106H	割り込み制御レジスタ	OVIC14		○	○		
FFFFF108H	割り込み制御レジスタ	P11IC0		○	○		
FFFFF10AH	割り込み制御レジスタ	P11IC1		○	○		
FFFFF10CH	割り込み制御レジスタ	P11IC2		○	○		
FFFFF10EH	割り込み制御レジスタ	P11IC3		○	○		
FFFFF110H	割り込み制御レジスタ	P12IC0		○	○		
FFFFF112H	割り込み制御レジスタ	P12IC1		○	○		
FFFFF114H	割り込み制御レジスタ	P12IC2		○	○		
FFFFF116H	割り込み制御レジスタ	P12IC3		○	○		
FFFFF118H	割り込み制御レジスタ	P13IC0		○	○		
FFFFF11AH	割り込み制御レジスタ	P13IC1		○	○		
FFFFF11CH	割り込み制御レジスタ	P13IC2		○	○		
FFFFF11EH	割り込み制御レジスタ	P13IC3		○	○		
FFFFF120H	割り込み制御レジスタ	P14IC0		○	○		
FFFFF122H	割り込み制御レジスタ	P14IC1		○	○		
FFFFF124H	割り込み制御レジスタ	P14IC2		○	○		
FFFFF126H	割り込み制御レジスタ	P14IC3		○	○		
FFFFF128H	割り込み制御レジスタ	CMIC4		○	○		
FFFFF12AH	割り込み制御レジスタ	CSIC0		○	○		
FFFFF12CH	割り込み制御レジスタ	CSIC1		○	○		
FFFFF12EH	割り込み制御レジスタ	CSIC2		○	○		
FFFFF130H	割り込み制御レジスタ	CSIC3		○	○		
FFFFF132H	割り込み制御レジスタ	SEIC0		○	○		
FFFFF134H	割り込み制御レジスタ	SRIC0		○	○		
FFFFF136H	割り込み制御レジスタ	STIC0		○	○		
FFFFF138H	割り込み制御レジスタ	SEIC1		○	○		
FFFFF13AH	割り込み制御レジスタ	SRIC1		○	○		

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFF13CH	割り込み制御レジスタ	STIC1	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ	ADIC		○	○		
FFFFF166H	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF170H	コマンド・レジスタ	PRCMD	W		○		××H
FFFFF180H	外部割り込みモード・レジスタ０	INTM0	R/W	○	○		00H
FFFFF182H	外部割り込みモード・レジスタ１	INTM1		○	○		
FFFFF184H	外部割り込みモード・レジスタ２	INTM2		○	○		
FFFFF186H	外部割り込みモード・レジスタ３	INTM3		○	○		
FFFFF188H	外部割り込みモード・レジスタ４	INTM4		○	○		
FFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS		○	○		
FFFFF240H	タイマ・ユニット・モード・レジスタ11	TUM11				○	0000H
FFFFF242H	タイマ・コントロール・レジスタ11	TMC11		○	○		00H
FFFFF244H	タイマ出力コントロール・レジスタ11	TOC11		○	○		
FFFFF250H	タイマ11	TM11	R			○	0000H
FFFFF252H	キャプチャ／コンペア・レジスタ110	CC110	R/W			○	不定
FFFFF254H	キャプチャ／コンペア・レジスタ111	CC111				○	
FFFFF256H	キャプチャ／コンペア・レジスタ112	CC112				○	
FFFFF258H	キャプチャ／コンペア・レジスタ113	CC113				○	
FFFFF260H	タイマ・ユニット・モード・レジスタ12	TUM12				○	0000H
FFFFF262H	タイマ・コントロール・レジスタ12	TMC12		○	○		00H
FFFFF264H	タイマ出力コントロール・レジスタ12	TOC12		○	○		
FFFFF270H	タイマ12	TM12	R			○	0000H
FFFFF272H	キャプチャ／コンペア・レジスタ120	CC120	R/W			○	不定
FFFFF274H	キャプチャ／コンペア・レジスタ121	CC121				○	
FFFFF276H	キャプチャ／コンペア・レジスタ122	CC122				○	
FFFFF278H	キャプチャ／コンペア・レジスタ123	CC123				○	
FFFFF280H	タイマ・ユニット・モード・レジスタ13	TUM13				○	0000H
FFFFF282H	タイマ・コントロール・レジスタ13	TMC13		○	○		00H
FFFFF284H	タイマ出力コントロール・レジスタ13	TOC13		○	○		
FFFFF290H	タイマ13	TM13	R			○	0000H
FFFFF292H	キャプチャ／コンペア・レジスタ130	CC130	R/W			○	不定
FFFFF294H	キャプチャ／コンペア・レジスタ131	CC131				○	
FFFFF296H	キャプチャ／コンペア・レジスタ132	CC132				○	
FFFFF298H	キャプチャ／コンペア・レジスタ133	CC133				○	
FFFFF2A0H	タイマ・ユニット・モード・レジスタ14	TUM14				○	0000H
FFFFF2A2H	タイマ・コントロール・レジスタ14	TMC14		○	○		00H
FFFFF2A4H	タイマ出力コントロール・レジスタ14	TOC14		○	○		
FFFFF2B0H	タイマ14	TM14	R			○	0000H
FFFFF2B2H	キャプチャ／コンペア・レジスタ140	CC140	R/W			○	不定
FFFFF2B4H	キャプチャ／コンペア・レジスタ141	CC141				○	
FFFFF2B6H	キャプチャ／コンペア・レジスタ142	CC142				○	
FFFFF2B8H	キャプチャ／コンペア・レジスタ143	CC143				○	
FFFFF342H	タイマ・コントロール・レジスタ４	TMC4		○	○		00H
FFFFF350H	タイマ４	TM4	R			○	0000H
FFFFF352H	コンペア・レジスタ４	CM4	R/W			○	不定
FFFFF360H	PWMコントロール・レジスタ	PWMC		○	○		00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFF362H	PWMプリスケーラ・レジスタ	PWPR	R/W	○	○		00H
FFFFF364H	PWMバッファ・レジスタ０（12ビット）	PWM0				○	不定
FFFFF366H	PWMバッファ・レジスタ0L（下位８ビット）	PWM0L			○		
FFFFF368H	PWMバッファ・レジスタ１（12ビット）	PWM1				○	
FFFFF36AH	PWMバッファ・レジスタ1L（下位８ビット）	PWM1L			○		
FFFFF380H	A/Dコンバータ・モード・レジスタ０	ADM0		○	○		00H
FFFFF382H	A/Dコンバータ・モード・レジスタ１	ADM1		○	○		07H
FFFFF390H	A/D変換結果レジスタ０	ADCR0	R			○	不定
FFFFF392H	A/D変換結果レジスタ0H	ADCR0H			○		
FFFFF394H	A/D変換結果レジスタ１	ADCR1				○	
FFFFF396H	A/D変換結果レジスタ1H	ADCR1H			○		
FFFFF398H	A/D変換結果レジスタ２	ADCR2				○	
FFFFF39AH	A/D変換結果レジスタ2H	ADCR2H			○		
FFFFF39CH	A/D変換結果レジスタ３	ADCR3				○	
FFFFF39EH	A/D変換結果レジスタ3H	ADCR3H			○		
FFFFF3A0H	A/D変換結果レジスタ４	ADCR4				○	
FFFFF3A2H	A/D変換結果レジスタ4H	ADCR4H			○		
FFFFF3A4H	A/D変換結果レジスタ５	ADCR5				○	
FFFFF3A6H	A/D変換結果レジスタ5H	ADCR5H			○		
FFFFF3A8H	A/D変換結果レジスタ６	ADCR6				○	
FFFFF3AAH	A/D変換結果レジスタ6H	ADCR6H			○		
FFFFF3ACH	A/D変換結果レジスタ７	ADCR7				○	
FFFFF3AEH	A/D変換結果レジスタ7H	ADCR7H			○		
FFFFF3C0H	D/Aコンバータ変換値設定レジスタ０	DACS0	R/W		○		00H
FFFFF3C2H	D/Aコンバータ変換値設定レジスタ１	DACS1			○		
FFFFF3D0H	D/Aコンバータ・モード・レジスタ	DAM		○	○		03H

３.４.10　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作時はシステム・ステータス・レジスタ（SYS）に報告されます。V853にはクロック・コントロール・レジスタ（CKC）とパワー・セーブ・コントロール・レジスタ（PSC）の２つの特定レジスタがあります。CKCレジスタについては**６.３.３**，PSCレジスタについては**６.５.２**を参照してください。

次に特定レジスタへのアクセス・シーケンスを示します。

特定レジスタへのデータ設定は次のシーケンスで行います。

① 割り込み禁止にする（PSWのNPビットを１に設定）。
② コマンド・レジスタ（PRCMD）に任意の８ビット・データを書き込む。
③ 特定レジスタに設定データを書き込む（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
④ 割り込み禁止を解除する（PSWのNPビットを０にもどす）。
⑤ NOP命令を挿入する（２または５命令）。

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意１． PRCMD発行（②）と，その直後の特定レジスタ書き込み（③）の間で割り込みを受け付けた場合，特定レジスタへの書き込みは行われず，プロテクション・エラー（SYSレジスタのPRERRビットが“１”）が発生することがあります。このため，PSWのNPビットを１に設定し（①），INT/NMIの受け付けを禁止してください。
特定レジスタの設定にビット操作命令を使用した場合も同様です。
また，STOP/IDLEモード解除後のルーチンが正しく実行されるように，ダミー命令として，NOP命令を挿入（⑤）してください。NPビットを０に戻す（④）命令の実行により，PSWのIDビットの値が変化しないときは，NOP命令を２つ，変化するときは５つ挿入してください。
次に記述例を示します。

[記述例]：PSCレジスタの場合

```
LDSR    rX,5          ;NPビット = 1
ST.B    r0,PRCMD[r0]  ;PRCMDへの書き込み
ST.B    rD,PSC[r0]    ;PSCレジスタ設定
LDSR    rY,5          ;NPビット = 0
NOP                   ;ダミー命令（2または5命令）
            ⋮
NOP
(next instruction)    ;STOP/IDLEモード解除後の実行ルーチン
            ⋮
```

rX：PSWに書き込む値
rY：PSWに書き戻す値

rD：PSC設定値

なお，PSWの値を保存する場合，NPビットをセットする前のPSWの値をrYレジスタに転送しておく必要があります。

２．ソフトウエアSTOPモード，IDLEモードに設定するための特定レジスタに対するストア命令後の命令（④割り込み禁止解除，⑤NOP命令）は，各パワー・セーブ・モードに入る前に実行されます。

★ ３．外部ROM上で命令を実行中にパワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定する場合は，６.５.６　注意事項を参照してください。

（1）コマンド・レジスタ（PRCMD）

コマンド・レジスタ（PRCMD）は，プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。８ビット単位でライトが可能です。リード時は不定値になります。

不正なストア動作の発生は，SYSレジスタのPRERRビットでチェックできます。

	7	6	5	4	3	2	1	0		
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	アドレス FFFFF170H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	REG7-REG0	Registration Code レジストレーション・コード 特定レジスタ：レジストレーション・コード CKC：任意の８ビット・データ PSC：任意の８ビット・データ

（2）システム・ステータス・レジスタ（SYS）

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード，ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
SYS	0	0	0	PRERR	0	0	0	UNLOCK	FFFFF078H	0000000×B

ビット位置	ビット名	意　　味
4	PRERR	Protection Error Flag 特定レジスタへの書き込みが正しいシーケンスで行われず，プロテクション・エラーが発生したことを示します。 累積フラグです。 ０：プロテクション・エラーは発生していない。 １：プロテクション・エラーが発生した。
0	UNLOCK	Unlock Status Flag 読み出し専用フラグです。PLLのアンロック状態を示します（詳細は，**6.4　PLLロックアップ**を参照）。 ０：ロック中である。 １：アンロック状態である。

PRERRフラグの動作条件

●セット条件：（PRERR = “ 1 ”）
① 最も最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で，特定レジスタへの書き込み動作を行ったとき。
② PRCMDレジスタへの書き込み動作後の最初のストア命令動作が，特定レジスタ以外の，周辺I/Oレジスタに対するものであるとき。

●リセット条件：（PRERR = “ 0 ”）
① SYSのPRERRフラグに “ 0 ” を書き込んだとき。
② システム・リセット時。

第４章　バス制御機能

V853は，外部にROM, RAM等のメモリやI/O等を接続できる外部バス・インタフェース機能を内蔵しています。

4.1　特　　徴

○16ビット・データ・バス

○ポートとの兼用端子で，外部デバイスとの接続が可能

○ウエイト機能

・２ブロックごとに最大３ステートのプログラマブル・ウエイト機能

・$\overline{\text{WAIT}}$端子による外部ウエイト機能

○アイドル・ステート挿入機能

○バス使用権調停機能

○バス・ホールド機能

4.2　バス制御端子

外部デバイスの接続は，次の端子を使用します。

外部バス・インタフェース機能使用時	対応するポート
アドレス／データ・バス（AD0-AD7）	ポート４（P40-P47）
アドレス／データ・バス（AD8-AD15）	ポート５（P50-P57）
アドレス・バス（A16-A19）	ポート６（P60-P63）
リード／ライト制御（$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, R/$\overline{\text{W}}$, $\overline{\text{DSTB}}$）	ポート９（P90-P93）
アドレス・ストローブ（ASTB）	ポート９（P94）
バス・ホールド制御（$\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$）	ポート９（P95, P96）
外部ウエイト制御（$\overline{\text{WAIT}}$）	－

★　各端子のバス・インタフェース機能は，メモリ拡張モード・レジスタ（MM）の指定により有効になります。外部バス・インタフェースの動作モード指定に関する詳細は，**３.４.７　メモリ拡張モード・レジスタ（MM）**を参照してください。

4.3　バス・アクセス

4.3.1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数は次のとおりです。

バス・サイクル形態	リソース（バス幅）			
	内蔵ROM（32ビット）	内蔵RAM（32ビット）	周辺I/O（16ビット）	外部メモリ（16ビット）
命令フェッチ	1	3	不可	3＋n
オペランド・データ・アクセス	3	1	3＋n	3＋n

備考１．単位はクロック／アクセスです。

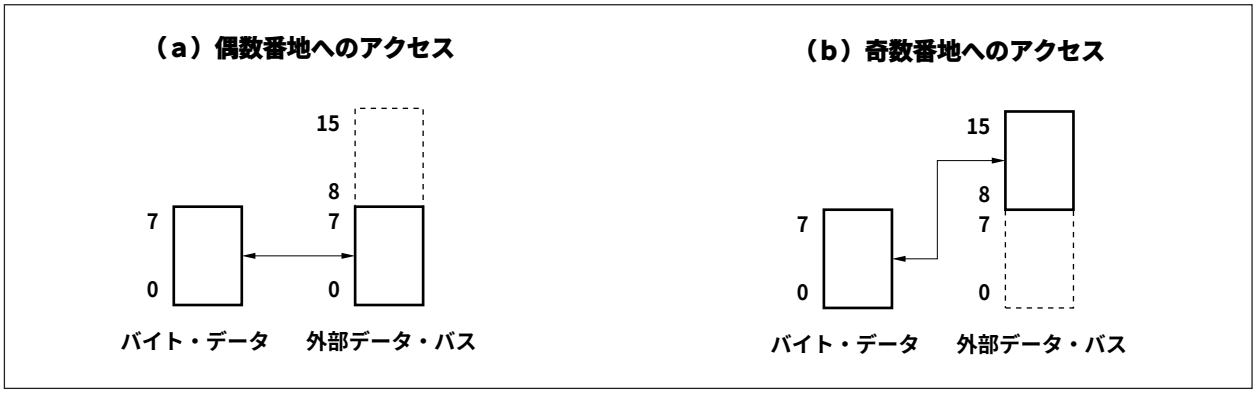
２．n：ウエイト挿入数

4.3.2　バ ス 幅

V853が周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，８，16，32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

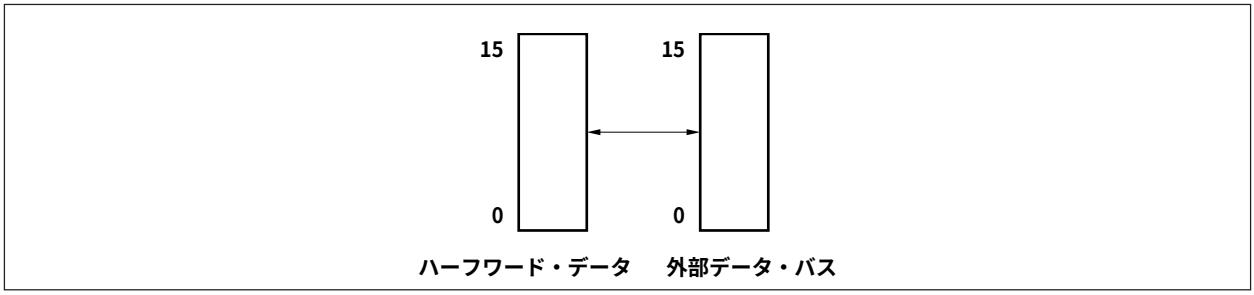
（1）バイト・アクセス（８ビット）

バイト・アクセスには，偶数番地へのアクセスと奇数番地へのアクセスの２つの方法があります。



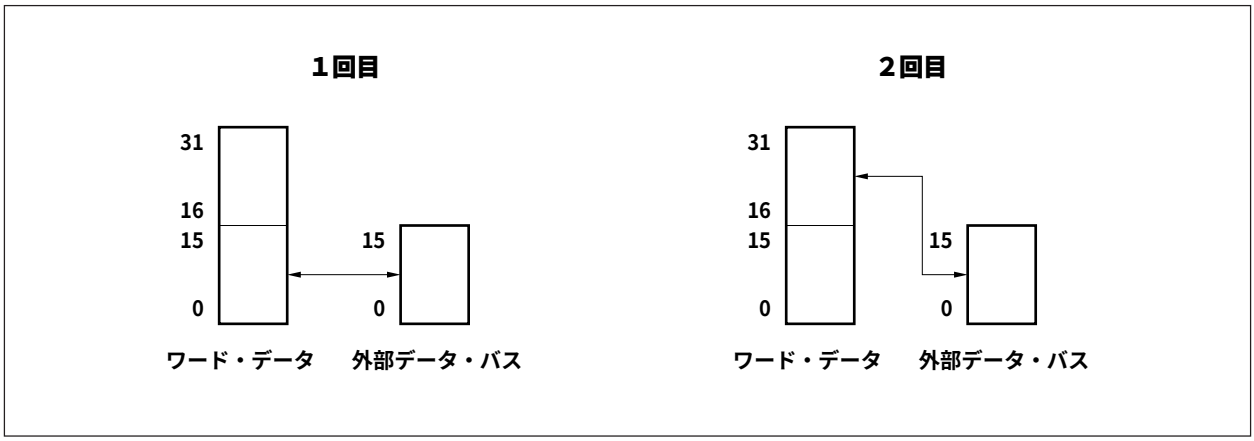
（2）ハーフワード・アクセス（16ビット）

データ・バスは16ビット固定なので，外部メモリへのハーフワード・アクセスでは，データをそのままやりとりします。



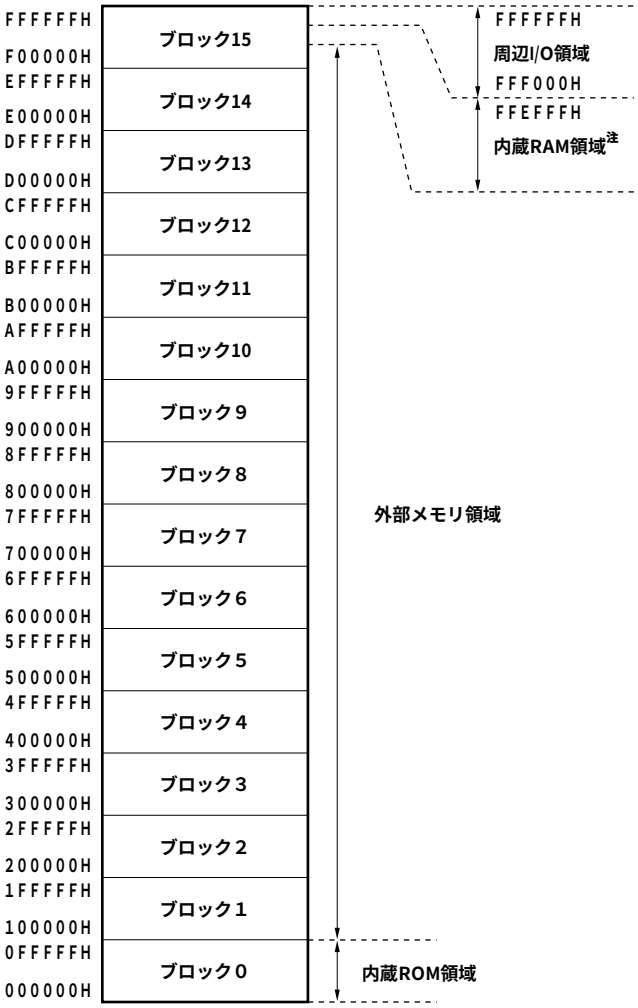
（3）ワード・アクセス（32ビット）

外部メモリへのワード・アクセスでは，下位ハーフワード，上位ハーフワードの順でアクセスします。



4.4　メモリ・ブロック機能

16 Mバイトのメモリ空間は１Mバイト単位のメモリ・ブロックに分割され，２ブロック単位にプログラマブル・ウエイト機能，バス・サイクル動作モードを独立に制御することができます。



注　内蔵RAM領域の先頭アドレスは次のようになります。

μPD703003A, 70F3003A, 703004A：FFE000H

μPD703025A, 70F3025A：FFC000H

4.5　ウエイト機能

4.5.1　プログラマブル・ウエイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，２ブロックごとに，起動されるバス・サイクルに対し，最大３ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，データ・ウエイト・コントロール・レジスタ（DWC）の設定によりプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して３データ・ウエイトの挿入状態になります。

（1）データ・ウエイト・コントロール・レジスタ（DWC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DWC	DW71	DW70	DW61	DW60	DW51	DW50	DW41	DW40	DW31	DW30	DW21	DW20	DW11	DW10	DW01	DW00	FFFFF060H	FFFFH

ビット位置	ビット名	意　　味
15-0	DWn1 DWn0 （n = 0-7）	Data Wait 挿入するウエイトのステート数を指定します。

DWn1	DWn0	挿入ウエイト・ステート数
0	0	0
0	1	1
1	0	2
1	1	3

n	ウエイト挿入されるブロック
0	ブロック０／１
1	ブロック２／３
2	ブロック４／５
3	ブロック６／７
4	ブロック８／９
5	ブロック10／11
6	ブロック12／13
7	ブロック14／15

注意１．ブロック０は，シングルチップ・モード時は内蔵ROM領域に予約されており，DWCの設定にかかわらずプログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。

２．ブロック15において，内蔵RAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，周辺I/O領域は，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御のみ行われます。

4.5.2　外部ウエイト機能

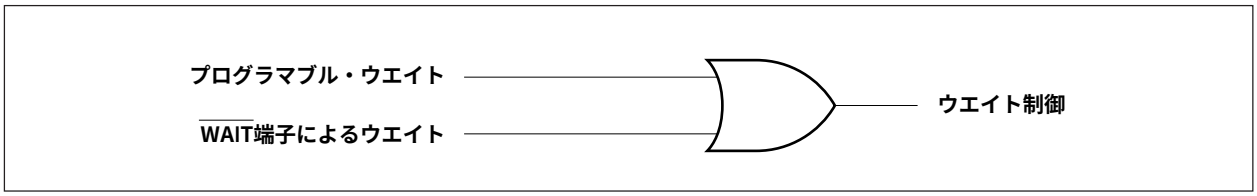
極端に遅いデバイスや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

外部ウエイトの挿入はデータ・ウエイトのみ行われます。ただし，内蔵ROM,内蔵RAM,周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，CLKOUTに対する非同期入力が可能で，バス・サイクルのT2,TWステートのクロックの立ち下がりでサンプリングします。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

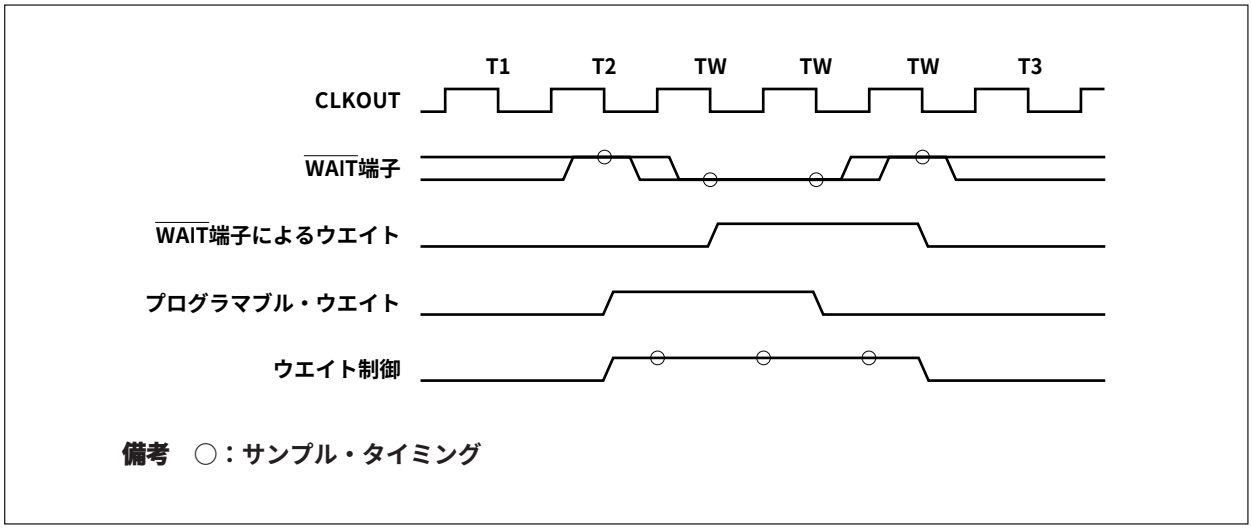
4.5.3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和として挿入され，どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば，プログラマブル・ウエイトが２ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，３ウエイトになります。

図４－１　ウエイト挿入例



4.6　アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし，２ブロックごとに，リード・アクセス時のメモリのデータ出力フロート遅延時間（t_{DF}）を確保するために，起動されるバス・サイクルに対し，T3ステート後に１ステートのアイドル・ステート（TI）を挿入可能です。連続する次のバス・サイクルは，１アイドル・ステート後から開始します。

アイドル・ステート挿入の指定は，バス・サイクル・コントロール・レジスタ（BCC）の設定によりプログラマブルに指定可能です。

システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。

（1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
BCC	BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	FFFFF062H	AAAAH

ビット位置	ビット名	意　　味
15, 13, 11, 9, 7, 5, 3, 1	BCn1 （n = 0-7）	Bus Cycle アイドル・ステートの挿入を指定します。 ０：挿入しない １：挿入する

n	アイドル・ステートの挿入されるブロック
0	ブロック０／１
1	ブロック２／３
2	ブロック４／５
3	ブロック６／７
4	ブロック８／９
5	ブロック10／11
6	ブロック12／13
7	ブロック14／15

注意１．シングルチップ・モード時は，ブロック０が内蔵ROM領域に予約されているため，BCCの設定にかかわらずブロック０に対してアイドル・ステートの挿入は指定できません。

２．ブロック15における，内蔵RAM領域，周辺I/O領域は，アイドル・ステート挿入の対象外になります。

３．ビット０，２，４，６，８，10，12，14には必ず０を設定してください。１を指定した場合の動作は保証しません。

4.7　バス・ホールド機能

4.7.1　機能概要

ポート９のP95, P96がコントロール・モードに指定されていれば，$\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になったことを受け付けると，外部アドレス／データ・バス，各種ストローブ端子をハイ・インピーダンス状態にし，解放します（バス・ホールド状態）。$\overline{\text{HLDRQ}}$端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば，再びこれらの端子の駆動を開始します。

バス・ホールド期間中は，外部メモリ・アクセスがあるまでV853の内部動作を継続します。

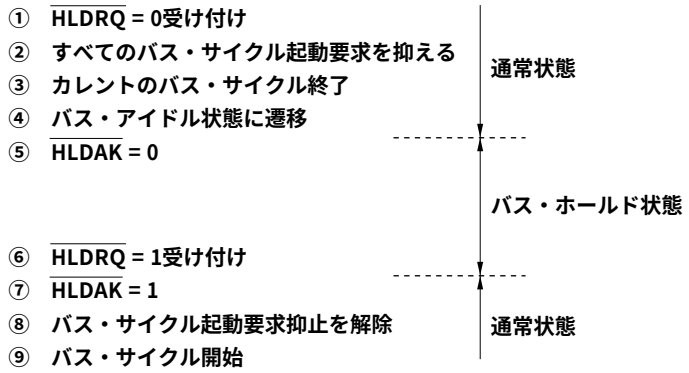
バス・ホールド状態は，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になったことにより知ることができます。

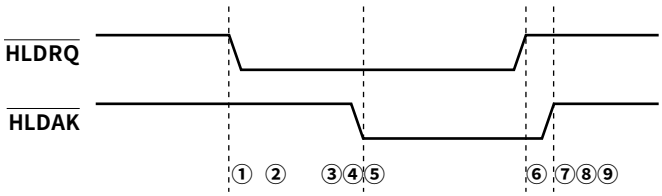
マルチプロセッサ構成，DMAコントローラ接続時など，バス・マスタが複数存在するようなシステムを構成することができます。

なお，ワード・アクセス時の１回目と２回目の間には，バス・ホールド要求は受け付けません。また，ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にも，バス・ホールド要求は受け付けません。

4.7.2　バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。





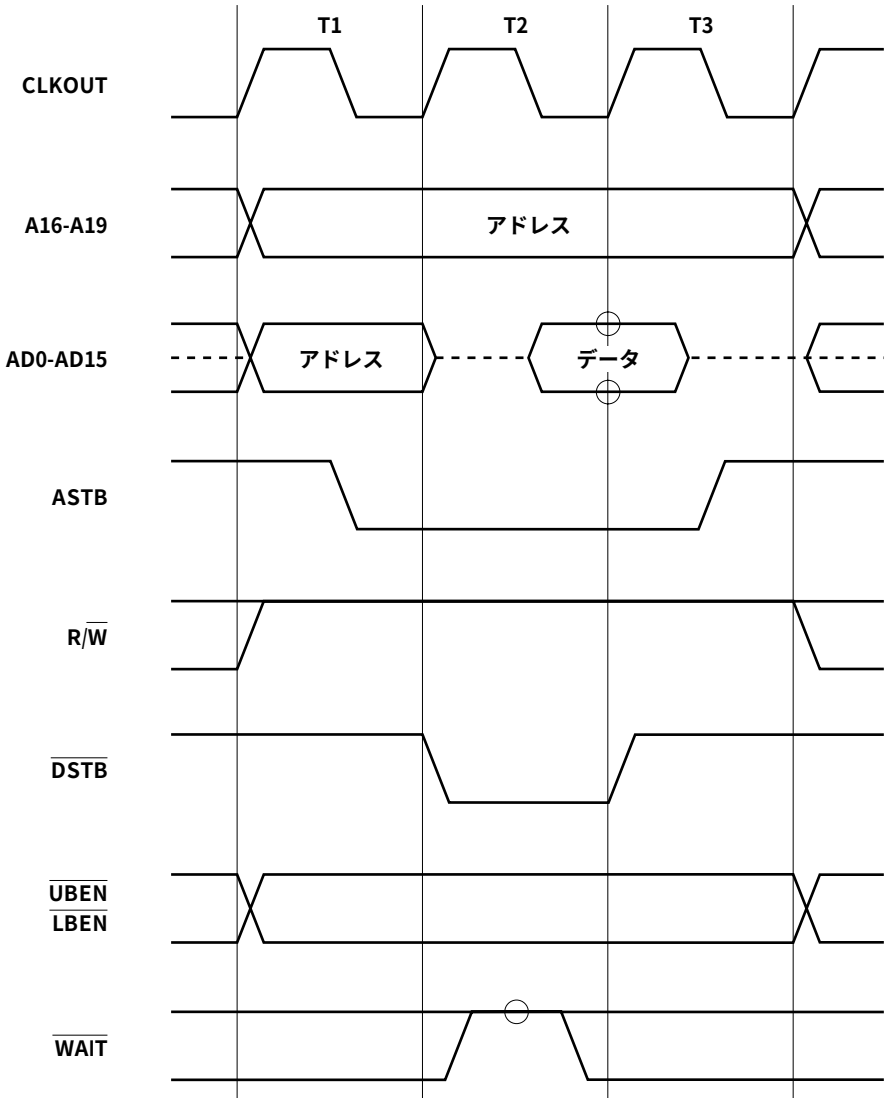
4.7.3　パワー・セーブ・モード時の動作

ソフトウエアSTOPモード期間中およびIDLEモード期間中は，システム・クロックが停止するため，$\overline{\text{HLDRQ}}$端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは，$\overline{\text{HLDRQ}}$端子がアクティブになると，ただちに$\overline{\text{HLDAK}}$端子がアクティブになり，バス・ホールド状態になります。同様に，$\overline{\text{HLDRQ}}$端子がインアクティブになると，$\overline{\text{HLDAK}}$端子がインアクティブになり，バス・ホールド状態は解除され，再びHALTモードに戻ります。

4.8　バス・タイミング

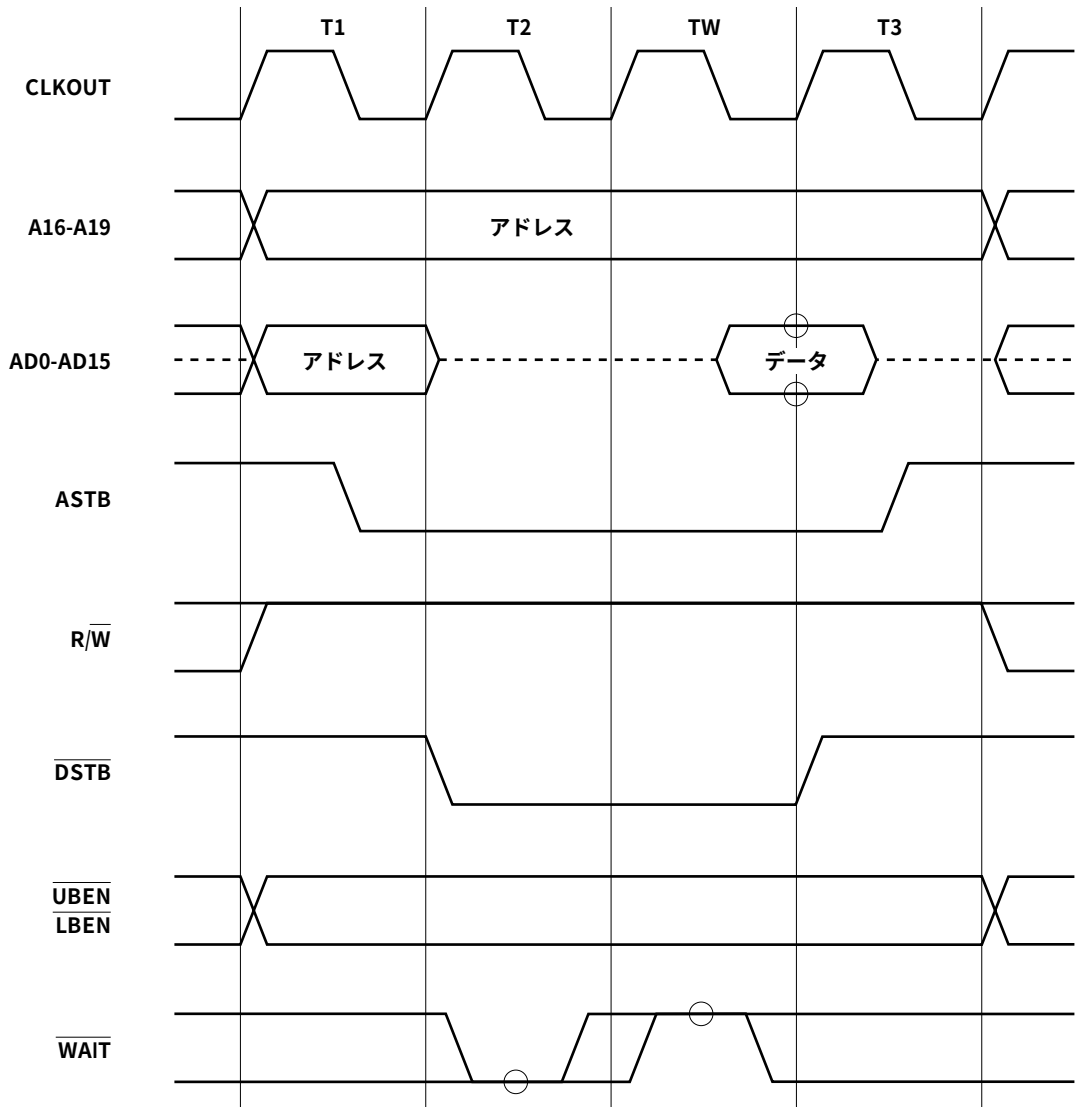
（1）メモリ・リード（0ウエイト）



備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

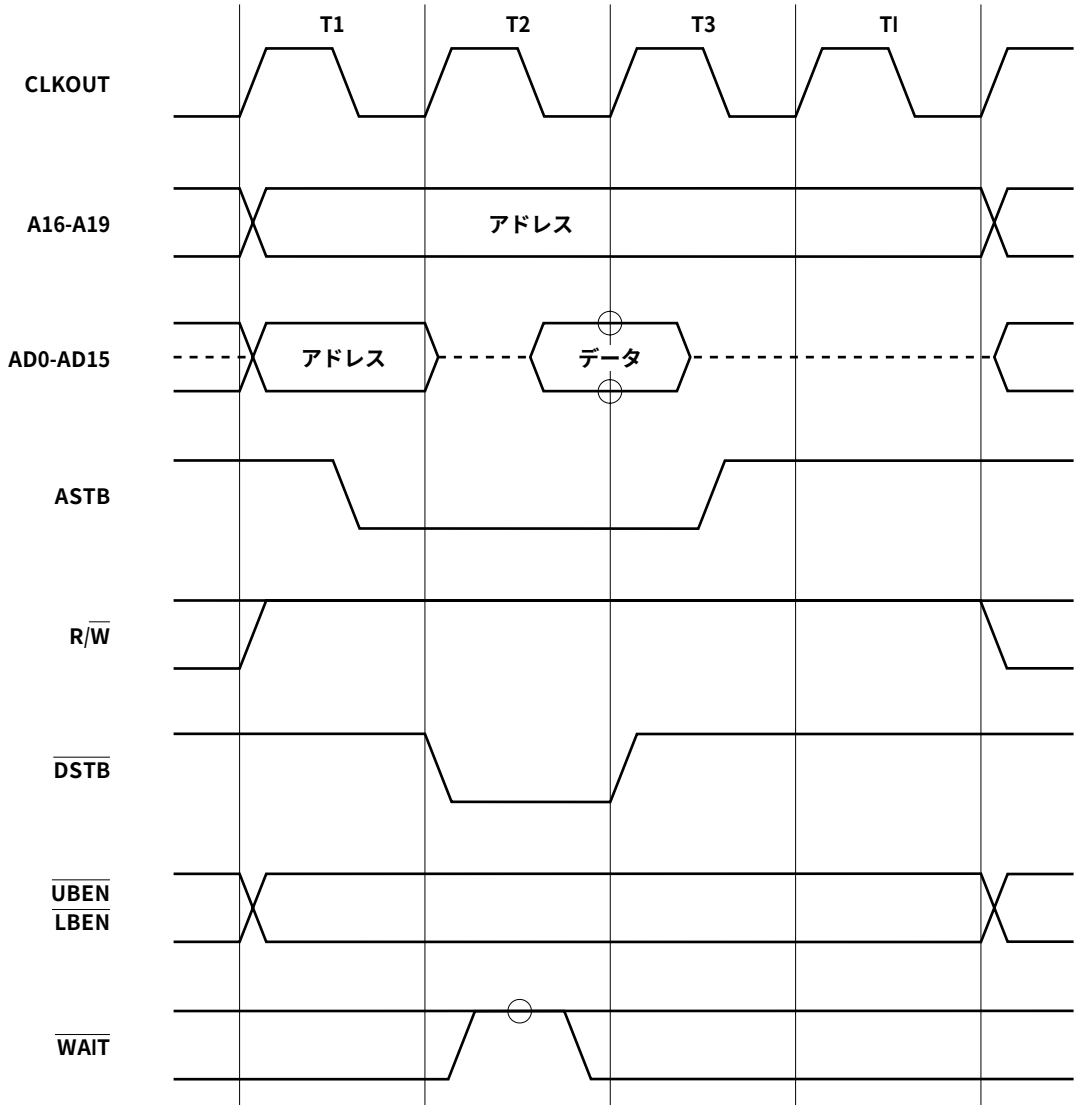
（２）メモリ・リード（１ウエイト）



備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。

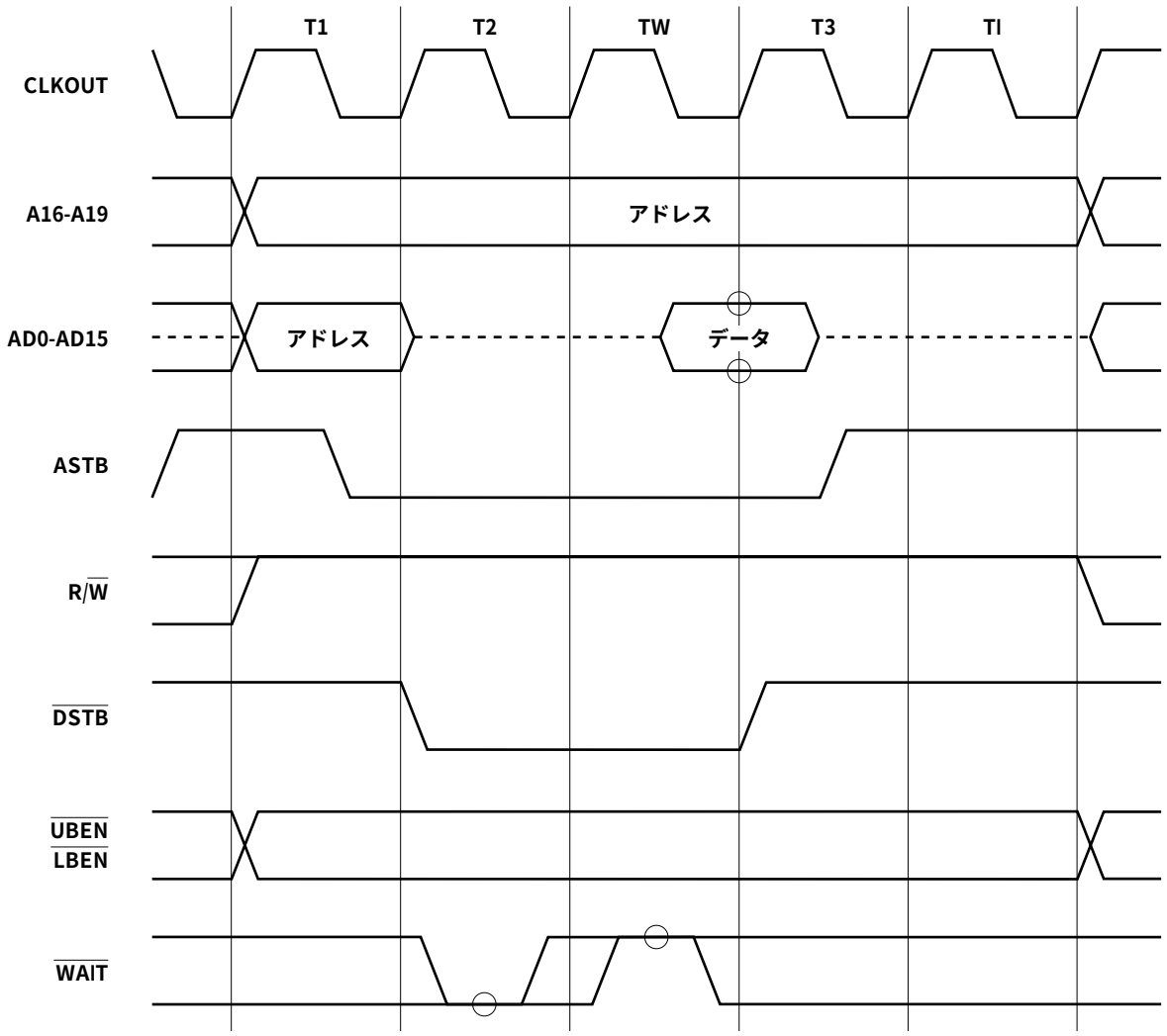
２．破線はハイ・インピーダンスを示します。

（３）メモリ・リード（０ウエイト，アイドル・ステート）



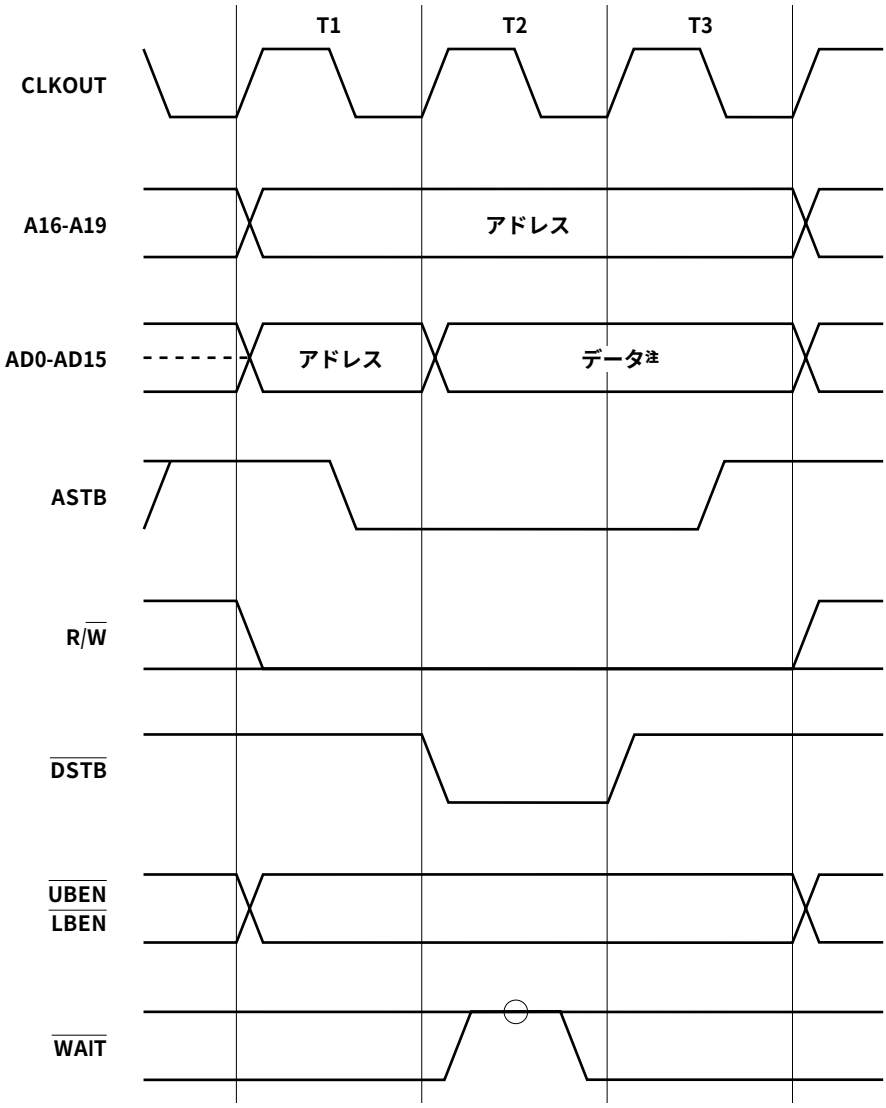
備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。
２．破線はハイ・インピーダンスを示します。

（４）メモリ・リード（１ウエイト，アイドル・ステート）



備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。
２．破線はハイ・インピーダンスを示します。

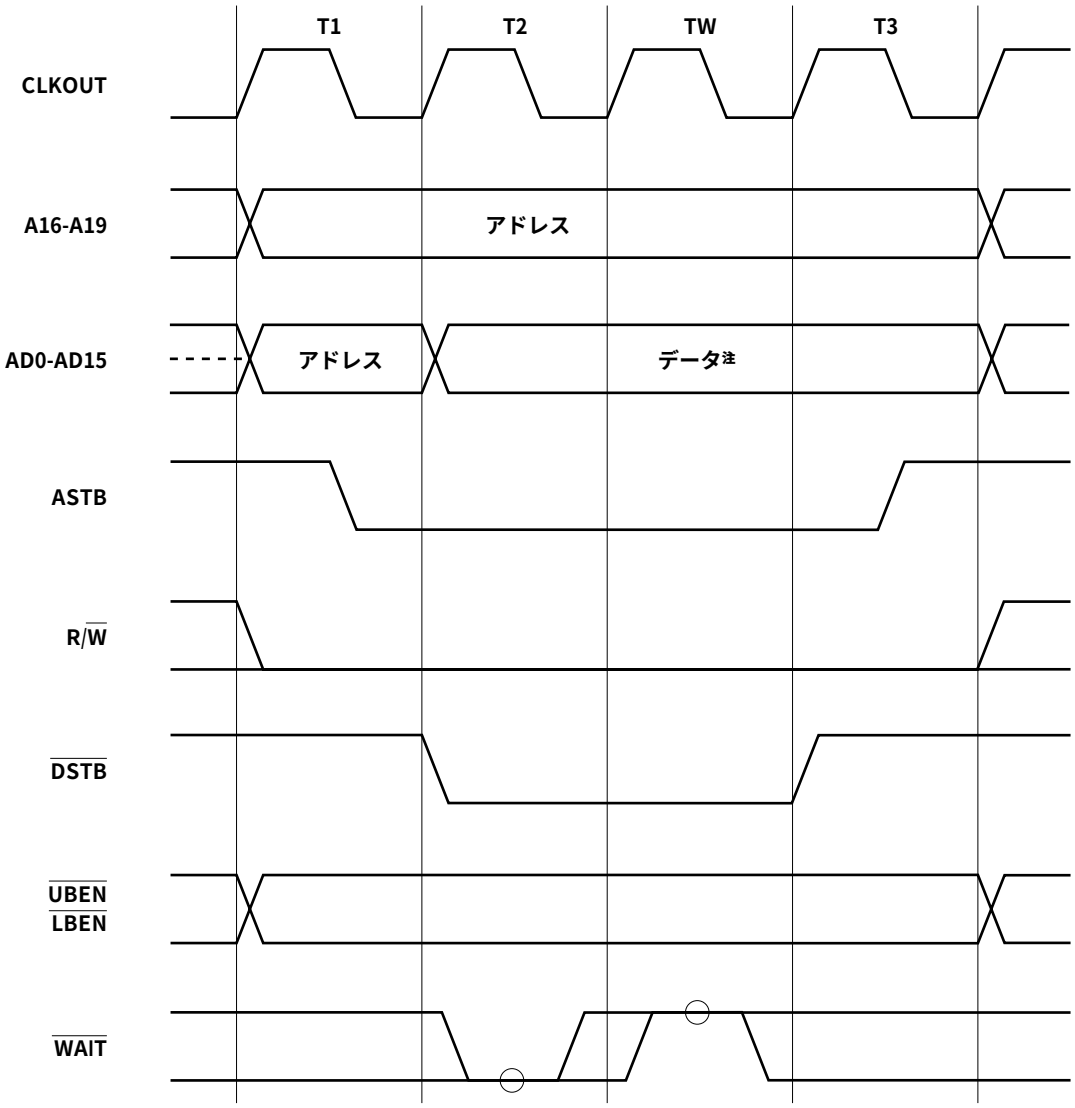
（5）メモリ・ライト（0ウエイト）



注　AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
　　AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。
　　２．破線はハイ・インピーダンスを示します。

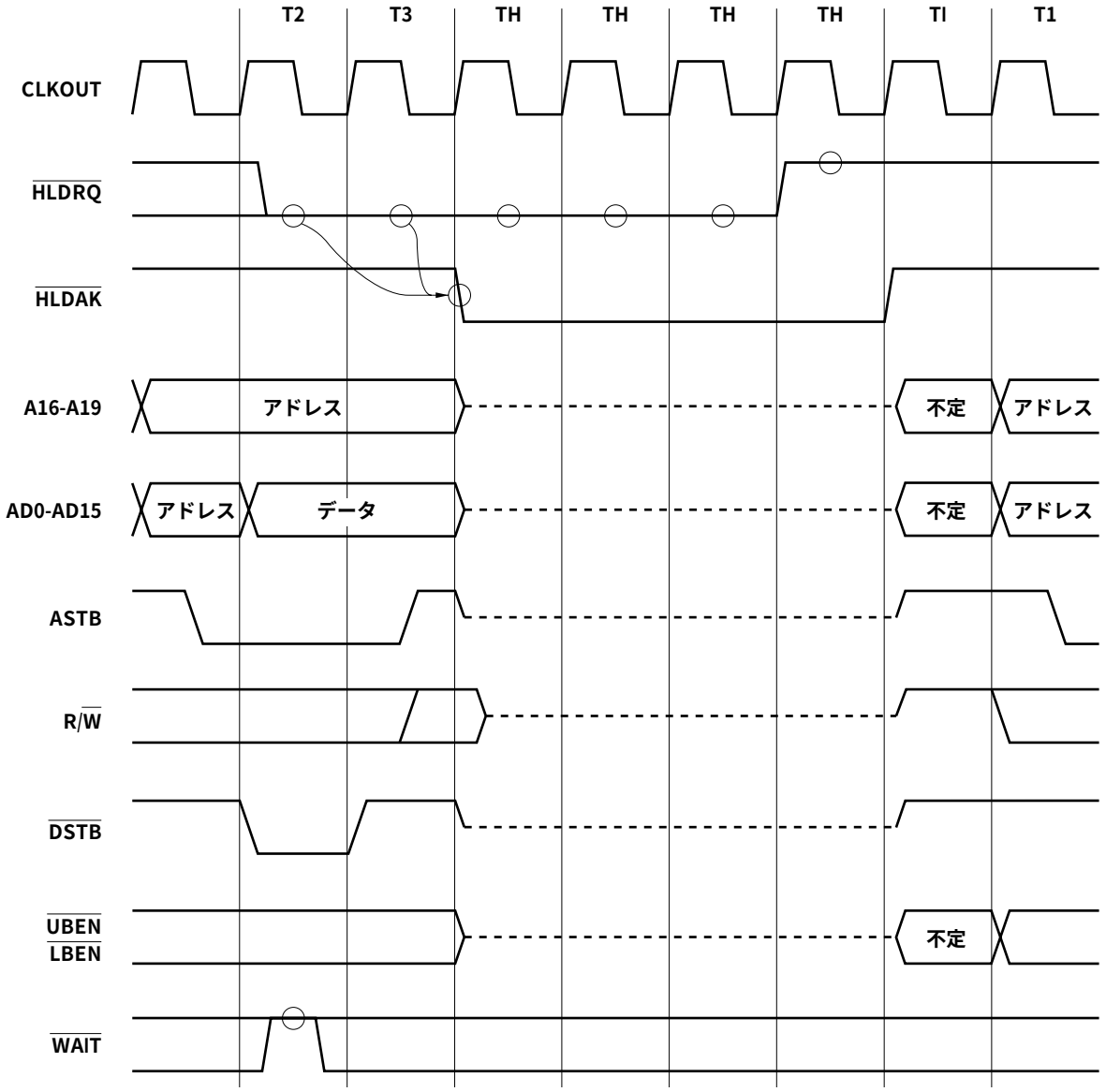
（6）メモリ・ライト（1ウエイト）



注　AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
　　AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考１．○印はプログラマブル・ウエイトに０が設定されているときのサンプリング・タイミングです。
　　２．破線はハイ・インピーダンスを示します。

（7）バス・ホールド・タイミング



注意　ライト・サイクル後にバス・ホールド状態に遷移した場合，$\overline{\text{HLDAK}}$信号がハイ・レベルからロウ・レベルに変化する直前に，R/$\overline{\text{W}}$端子から一瞬ハイ・レベルが出力されることがあります。

備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

４.９　バスの優先順位

外部バス・サイクルには，バス・ホールド，オペランド・データ・アクセス，命令フェッチ（分岐），命令フェッチ（連続）の４つがあります。優先順位はバス・ホールドが最も高く，オペランド・データ・アクセス，命令フェッチ（分岐），命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

なお，ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には，命令フェッチとバス・ホールドは挿入されません。

表４－１　バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
オペランド・データ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

４.10　境界動作条件

４.10.１　プログラム空間

（１）周辺I/O領域への分岐または内蔵RAM領域から周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合，NOP命令コードのフェッチを継続し，外部メモリからのフェッチなどは行いません。

（２）内蔵RAM領域の上限に分岐命令がある場合の，周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

４.10.２　データ空間

ハーフワード（16ビット）／ワード（32ビット）長のデータ・アクセスは，それぞれハーフワード境界（アドレスの最下位ビットが“０”）／ワード境界（アドレスの下位２ビットが“０”）にアラインされたアドレスに対してのみ行います。

したがって，メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。

また外部メモリへのワード・アクセスでは，下位ハーフワード，上位ハーフワードの順でアクセスします。

詳細は，**V850ファミリ　ユーザーズ・マニュアル　アーキテクチャ編**を参照してください。

4.11　内蔵周辺I/Oインタフェース

内蔵周辺I/Oへのアクセスは外部バスに出力しません。したがって，命令フェッチ・アクセス時に，並行して内蔵周辺I/Oアクセスを行うことができます。

内蔵周辺I/Oアクセスは，基本的に３クロック・アクセスです。ただし，次のタイマ／カウンタ機能のレジスタへのアクセス時は，３または４クロック・アクセスになります。

周辺I/Oレジスタ	アクセス
TM1n	リード
TM4	
CC1n0	リード／ライト
CC1n1	
CC1n2	
CC1n3	
CM4	ライト

備考　n = 1-4

第５章　割り込み／例外処理機能

V853は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，合計33要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは独立して発生する事象とし，例外をプログラムの実行に依存して発生する
★ 事象とします。

V853では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

5.1　特　　徴

○割り込み

- ノンマスカブル割り込み　　１要因
- マスカブル割り込み　　32要因
- ８レベルのプログラマブル優先順位制御
- 優先順位に従った割り込み多重処理制御
- 個々のマスカブル割り込み要求に対するマスク指定
- 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ソフトウエア例外　　32要因
- 例外トラップ　　１要因（不正命令コード例外）

これらの割り込み／例外要因を表５－１に示します。

表５－１　割り込み一覧

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	－	リセット入力	－	－	0000H	00000000H	不　定
ノンマスカブル	割り込み	NMI	－	NMI入力	－	－	0010H	00000010H	nextPC
ソフトウエア例外	例外	TRAP0n（n = 0-FH）	－	TRAP命令	－	－	004nH	00000040H	nextPC
	例外	TRAP1n（n = 0-FH）	－	TRAP命令	－	－	005nH	00000050H	nextPC
例外トラップ	例外	ILGOP	－	不正命令コード	－	－	0060H	00000060H	nextPC
マスカブル	割り込み	INTOV11	OVIC11	タイマ11オーバフロー	RPU	0	0080H	00000080H	nextPC
	割り込み	INTOV12	OVIC12	タイマ12オーバフロー	RPU	1	0090H	00000090H	nextPC
	割り込み	INTOV13	OVIC13	タイマ13オーバフロー	RPU	2	00A0H	000000A0H	nextPC
	割り込み	INTOV14	OVIC14	タイマ14オーバフロー	RPU	3	00B0H	000000B0H	nextPC
	割り込み	INTP110/INTCC110	P11IC0	INTP110/CC110一致	端子／RPU	4	00C0H	000000C0H	nextPC
	割り込み	INTP111/INTCC111	P11IC1	INTP111/CC111一致	端子／RPU	5	00D0H	000000D0H	nextPC
	割り込み	INTP112/INTCC112	P11IC2	INTP112/CC112一致	端子／RPU	6	00E0H	000000E0H	nextPC
	割り込み	INTP113/INTCC113	P11IC3	INTP113/CC113一致	端子／RPU	7	00F0H	000000F0H	nextPC
	割り込み	INTP120/INTCC120	P12IC0	INTP120/CC120一致	端子／RPU	8	0100H	00000100H	nextPC
	割り込み	INTP121/INTCC121	P12IC1	INTP121/CC121一致	端子／RPU	9	0110H	00000110H	nextPC
	割り込み	INTP122/INTCC122	P12IC2	INTP122/CC122一致	端子／RPU	10	0120H	00000120H	nextPC
	割り込み	INTP123/INTCC123	P12IC3	INTP123/CC123一致	端子／RPU	11	0130H	00000130H	nextPC
	割り込み	INTP130/INTCC130	P13IC0	INTP130/CC130一致	端子／RPU	12	0140H	00000140H	nextPC
	割り込み	INTP131/INTCC131	P13IC1	INTP131/CC131一致	端子／RPU	13	0150H	00000150H	nextPC
	割り込み	INTP132/INTCC132	P13IC2	INTP132/CC132一致	端子／RPU	14	0160H	00000160H	nextPC
	割り込み	INTP133/INTCC133	P13IC3	INTP133/CC133一致	端子／RPU	15	0170H	00000170H	nextPC
	割り込み	INTP140/INTCC140	P14IC0	INTP140/CC140一致	端子／RPU	16	0180H	00000180H	nextPC
	割り込み	INTP141/INTCC141	P14IC1	INTP141/CC141一致	端子／RPU	17	0190H	00000190H	nextPC
	割り込み	INTP142/INTCC142	P14IC2	INTP142/CC142一致	端子／RPU	18	01A0H	000001A0H	nextPC
	割り込み	INTP143/INTCC143	P14IC3	INTP143/CC143一致	端子／RPU	19	01B0H	000001B0H	nextPC
	割り込み	INTCM4	CMIC4	CM4一致信号	RPU	20	01C0H	000001C0H	nextPC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	SIO	21	01D0H	000001D0H	nextPC
	割り込み	INTCSI1	CSIC1	CSI1送受信完了	SIO	22	01E0H	000001E0H	nextPC
	割り込み	INTCSI2	CSIC2	CSI2送受信完了	SIO	23	01F0H	000001F0H	nextPC
	割り込み	INTCSI3	CSIC3	CSI3送受信完了	SIO	24	0200H	00000200H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	25	0210H	00000210H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	26	0220H	00000220H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	27	0230H	00000230H	nextPC
	割り込み	INTSER1	SEIC1	UART1受信エラー	SIO	28	0240H	00000240H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	SIO	29	0250H	00000250H	nextPC
	割り込み	INTST1	STIC1	UART1送信完了	SIO	30	0260H	00000260H	nextPC
	割り込み	INTAD	ADIC	A/D変換終了	ADC	31	0270H	00000270H	nextPC

注意　INTP1nm（外部割り込み）とINTCC1nm（コンペア・レジスタの一致割り込み）は，制御レジスタを兼用しています（n = 1-4, m = 0-3）。タイマ・ユニット・モード・レジスタ11-14（TUM11-TUM14）のビット3-0（IMS1nm）で，INTP1nmとINTCC1nmのどちらの割り込み要求を使用するかを設定してください（７.３（１）タイマ・ユニット・モード・レジスタ11-14（TUM11-TUM14）参照）。

備考１． ディフォールト・プライオリティ　：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。０が最高優先順位です。

復帰PC　：割り込み／例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし，DIVH（除算）命令実行中に割り込みを受け付けたときセーブされる復帰PC値は，カレントの命令（DIVH）のPC値となります。

２． 不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

5.2　ノンマスカブル割り込み

ノンマスカブル割り込み要求は，割り込み禁止（DI）状態であっても無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ０（INTM0）のビット０（ESN0）で指定した有効エッジが検出されたとき，割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している（PSW. NP =１）場合は，ノンマスカブル割り込み要求は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）または，LDSR命令によりPSW.NP = 0にすると受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，ノンマスカブル割り込み要求が２回以上発生しても，PSW.NP = 0後に受け付けられるノンマスカブル割り込みは１回だけになります。

5.2.1　受け付け動作

NMI入力によりノンマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（1）復帰PCをFEPCに退避します。
（2）現在のPSWをFEPSWへ退避します。
（3）ECRの上位ハーフワード（FECC）に例外コード0010Hを書き込みます。
（4）PSWのNP, IDビットをセットし，EPビットをクリアします。
（5）PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図５－１に示します。

図５－１　ノンマスカブル割り込みの処理形態

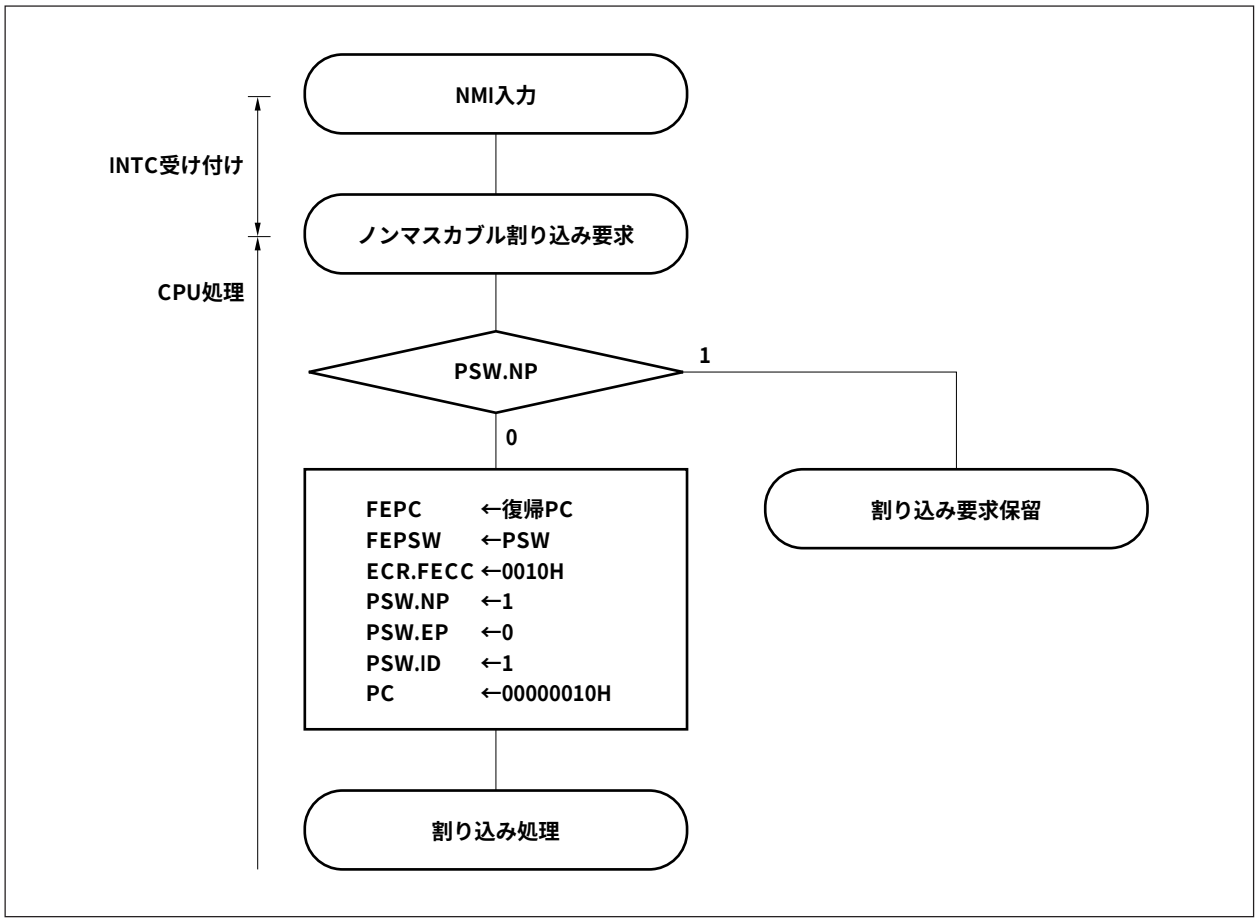
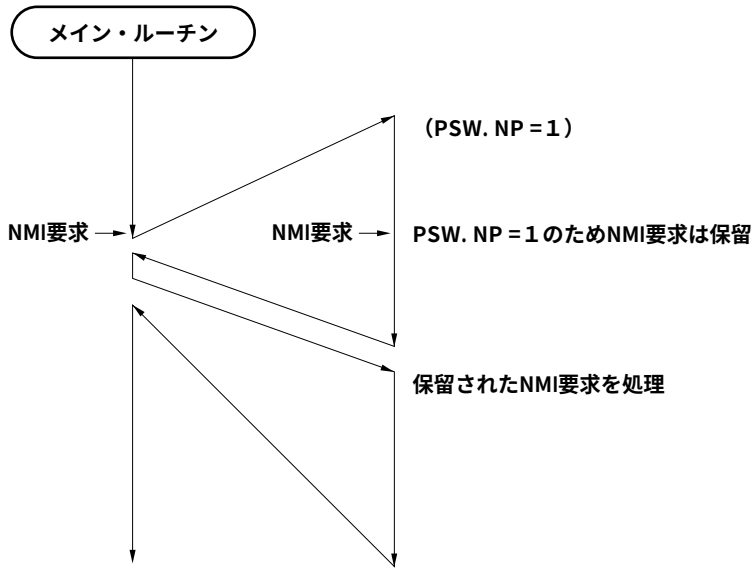
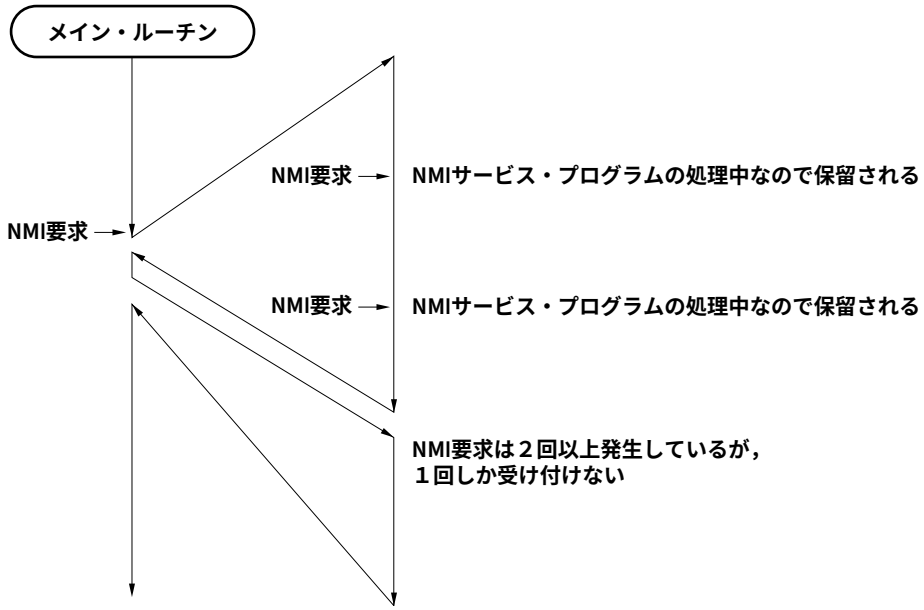


図５－２　ノンマスカブル割り込み要求の受け付け動作

（ａ）NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



（ｂ）NMIサービス・プログラム実行中に新たに２回のNMI要求が発生した場合



5.2.2　復帰動作

ノンマスカブル割り込み処理からの復帰は，RETI命令により行います。

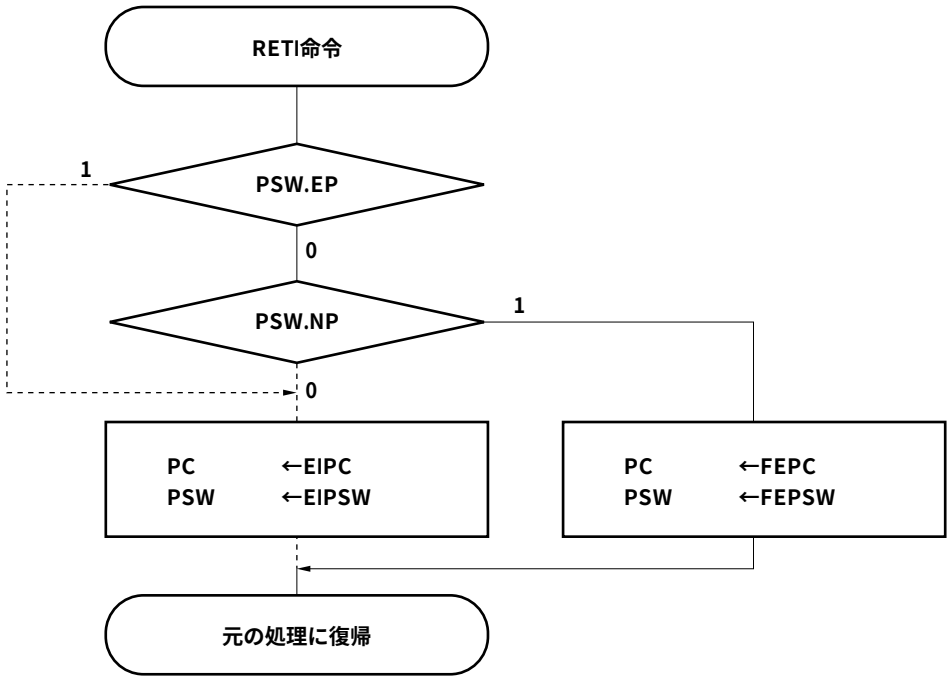
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットが０かつPSWのNPビットが１なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図５－３に示します。

図５－３　RETI命令の処理形態



注意　ノンマスカブル割り込み処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW. EP = 0, PSW. NP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

5.2.3　ノンマスカブル割り込みステータス・フラグ（NP）

NPフラグは，ノンマスカブル割り込み（NMI）処理中であることを示すステータス・フラグです。

NMI割り込みが受け付けられるとセットされ，すべての割り込みと例外をマスクして多重割り込みを禁止します。

	31																																8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z		リセット時 00000020H

ビット位置	ビット名	意　　味
7	NP	NMI Pending NMI割り込み処理中であることを示します。 ０：NMI割り込み処理中でない。 １：NMI割り込み処理中。

5.2.4　NMI端子のノイズ除去

NMI端子のノイズは，アナログ・ディレイによって除去します。ディレイ時間は60-220 nsです。この時間未満で変化する信号入力は，内部で受け付けられません。

なお，NMI端子はソフトウエアSTOPモードの解除に使用します。ソフトウエアSTOPモードでは，内部システム・クロックは停止しているため，システム・クロックを使用したノイズ除去を行っていません。

5.2.5　NMI端子のエッジ検出機能

外部割り込みモード・レジスタ０（INTM0）は，ノンマスカブル割り込み（NMI）の有効エッジを指定するレジスタです。ESN0ビットによって，NMIの有効エッジを，立ち上がりエッジ，立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
INTM0	0	0	0	0	0	0	0	ESN0	アドレス FFFFF180H	リセット時 00H

ビット位置	ビット名	意　　味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 ０：立ち下がりエッジ １：立ち上がりエッジ

5.3　マスカブル割り込み

マスカブル割り込み要求は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求で，V853には32種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は，ディフォールト優先順位によりその優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，８レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

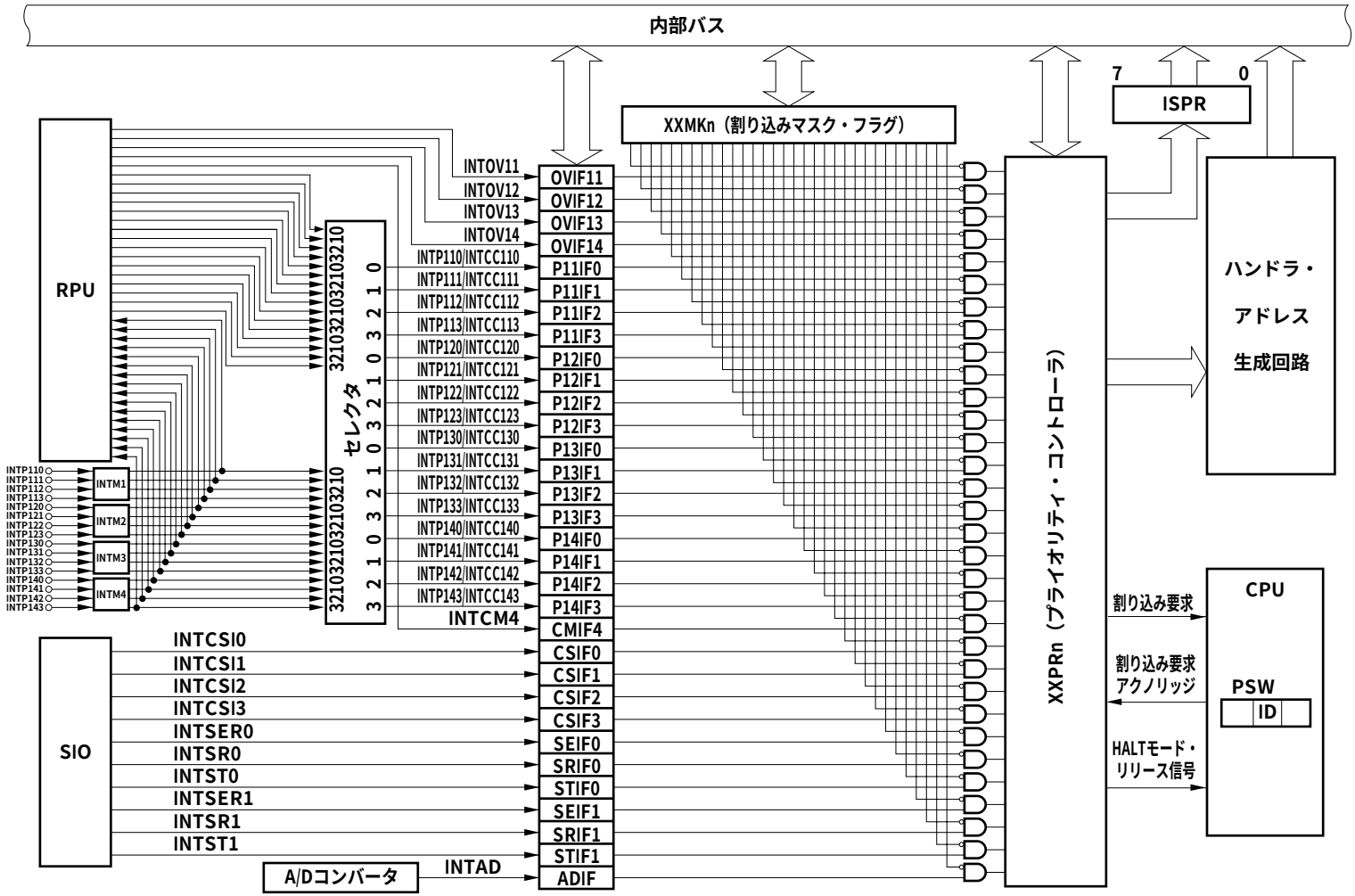
ただし，多重割り込みを行う場合，次の処理が必要です。

① EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

② RETI命令を実行する前にDI命令を実行し，続いて①で退避させた値をEIPC, EIPSWに復帰

5.3.1 ブロック図

図５－４　マスカブル割り込みブロック図



××：各周辺ユニット識別名称（OV，P11-P14，CM，CS，SE，SR，ST，AD）

n　：周辺ユニット番号（なし，または0-4，11-14）

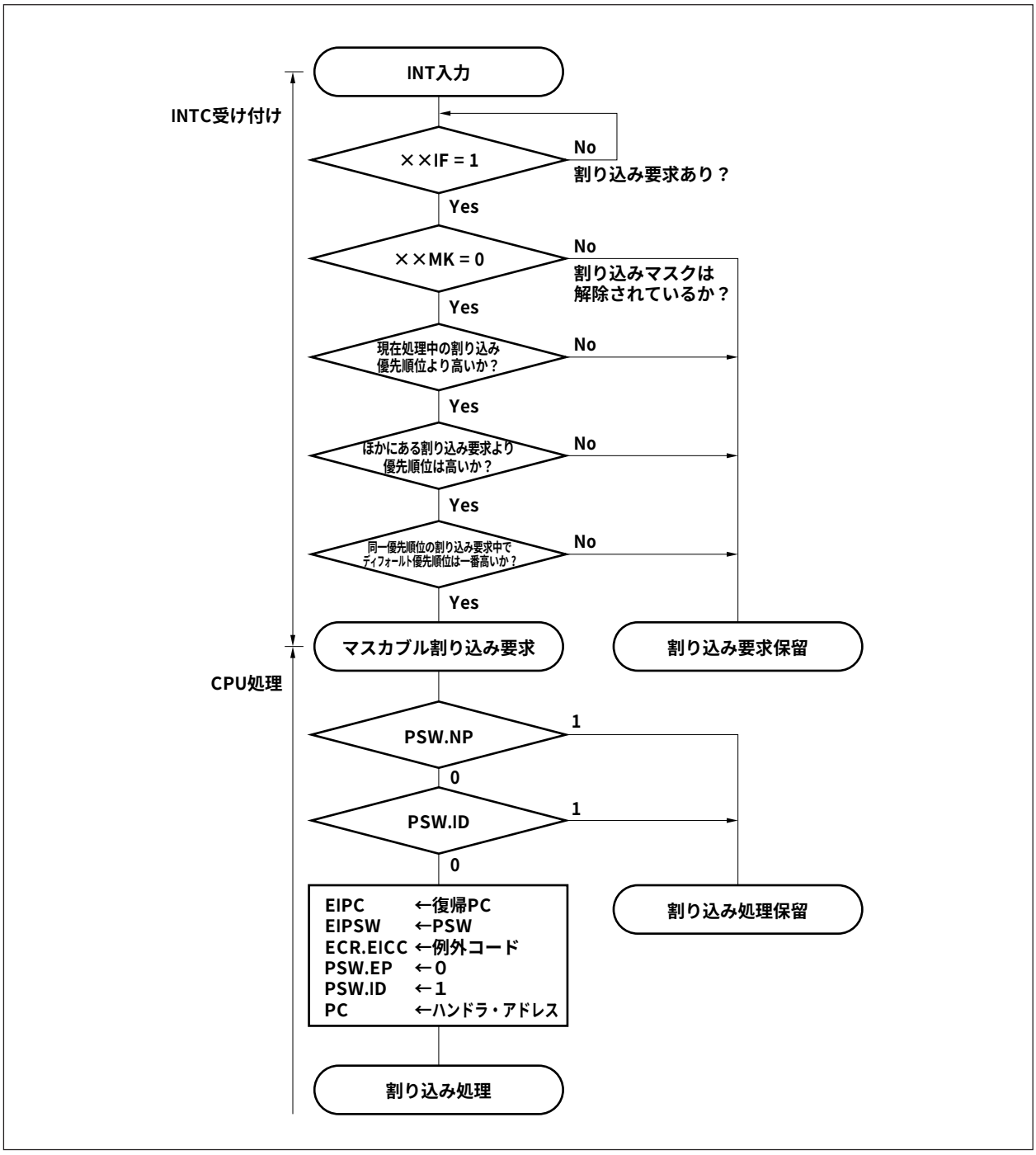
5.3.2　動　　作

INT入力によりマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（１）復帰PCをEIPCに退避します。
（２）現在のPSWをEIPSWへ退避します。
（３）ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
（４）PSWのIDビットをセットし，EPビットをクリアします。
（５）PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

マスカブル割り込みの処理形態を図５－５に示します。

図５－５　マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と，ほかの割り込み処理中（PSW. NP = 1またはPSW. ID = 1）に発生したINT入力は，割り込みコントローラの内部で保留されます。この場合マスクを解除するか，またはRETI命令，LDSR命令を使用して，PSW. NP = 0かつPSW. ID = 0にすると，保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

5.3.3　復　　帰

マスカブル割り込み処理からの復帰は，RETI命令により行います。

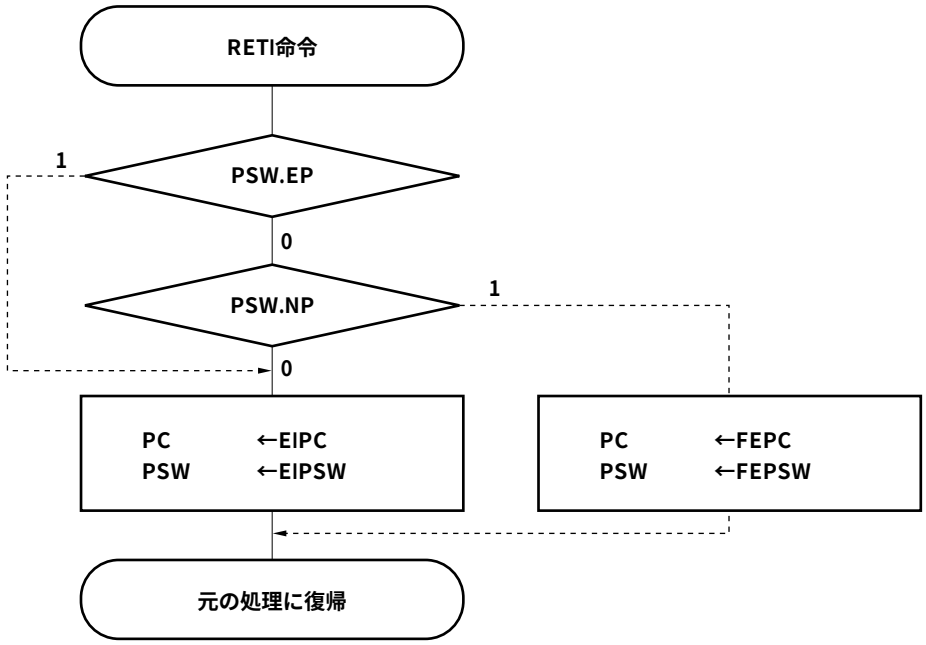
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットが０かつPSWのNPビットが０なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図５－６に示します。

図５－６　RETI命令の処理形態



注意　マスカブル割り込み処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW. EP = 0, PSW. NP = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

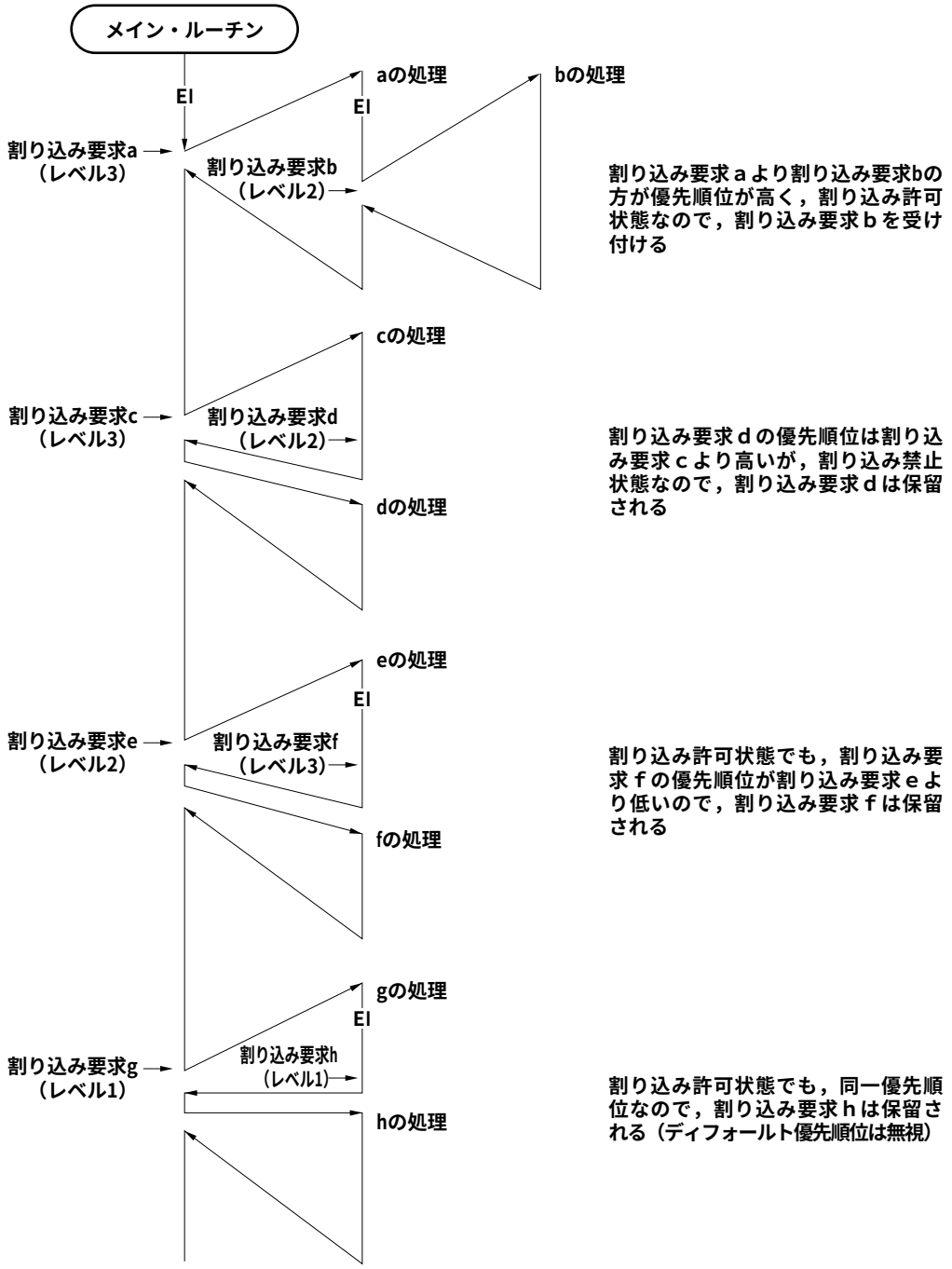
5.3.4　マスカブル割り込みの優先順位

V853は，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（××ICn）の割り込み優先順位指定ビット（××PRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位による優先順位制御は，××PRnによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います（**表５－１　割り込み一覧**参照）。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって８レベルに分けます。

なお，割り込みを受け付けるとPSWのIDフラグが自動的にセット（１）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（０）し，割り込み許可状態にしてください。

図５－７　割り込み処理中にほかの割り込み要求が発生した場合の処理例（1/2）

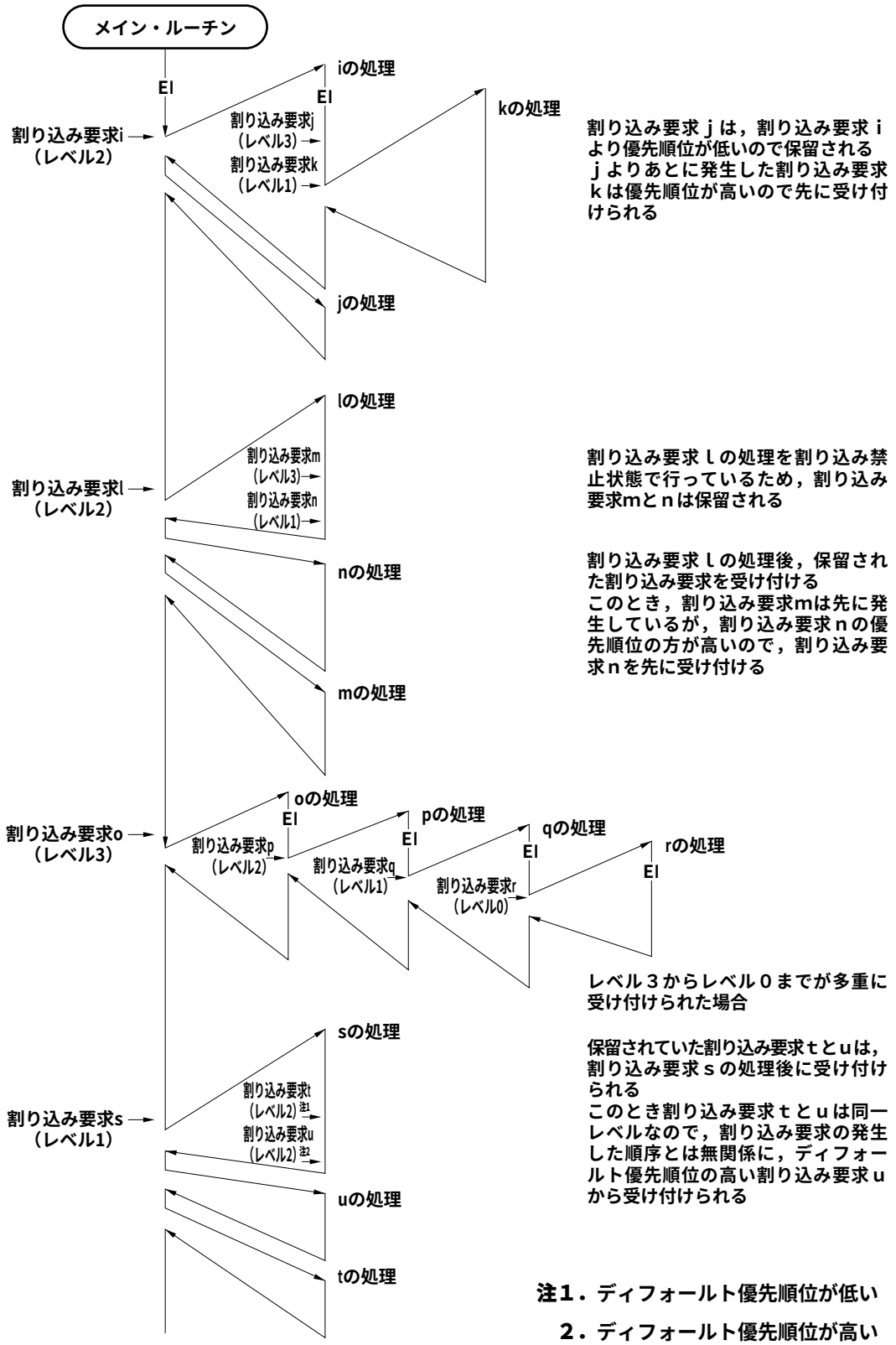


備考１． 図中のa-uは，割り込み要求を区別するためにつけた仮の名称です。

２． 図中のディフォールト優先順位の高い／低いは，２つの割り込み要求間の相対的な優先順位の高さを示します。

注意　多重割り込みを行うときはEIPC, EIPSWレジスタの内容を退避する必要があります。

図５－７　割り込み処理中にほかの割り込み要求が発生した場合の処理例（2/2）



割り込み要求ｊは，割り込み要求ｉより優先順位が低いので保留されるｊよりあとに発生した割り込み要求ｋは優先順位が高いので先に受け付けられる

割り込み要求ｌの処理を割り込み禁止状態で行っているため，割り込み要求mとｎは保留される

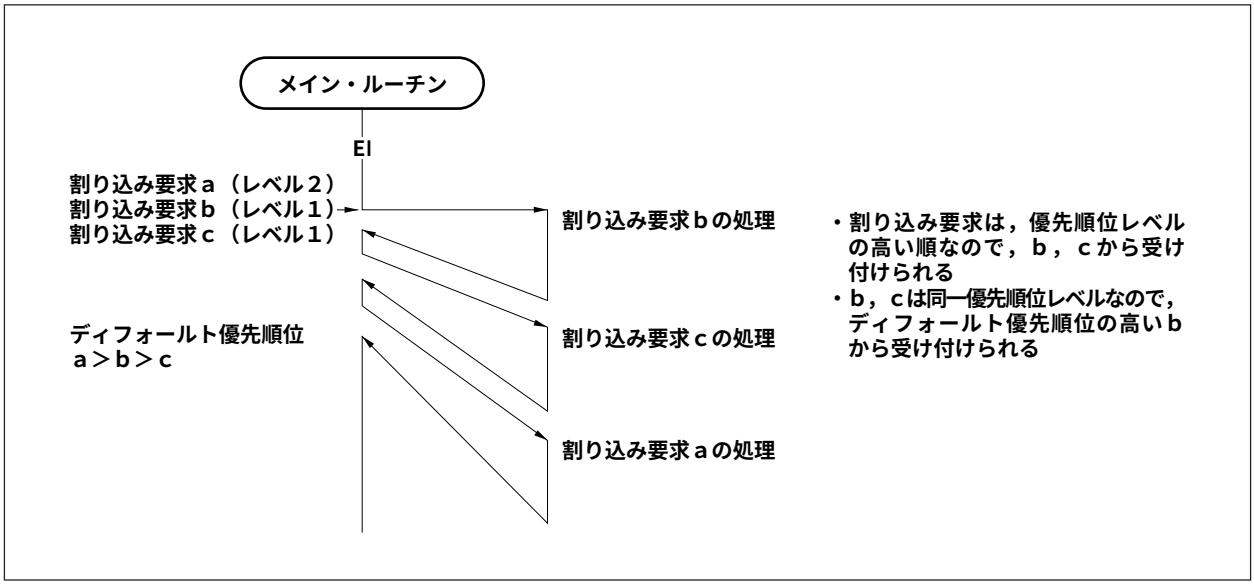
割り込み要求ｌの処理後，保留された割り込み要求を受け付ける
このとき，割り込み要求mは先に発生しているが，割り込み要求ｎの優先順位の方が高いので，割り込み要求ｎを先に受け付ける

レベル３からレベル０までが多重に受け付けられた場合

保留されていた割り込み要求ｔとｕは，割り込み要求ｓの処理後に受け付けられる
このとき割り込み要求ｔとｕは同一レベルなので，割り込み要求の発生した順序とは無関係に，ディフォールト優先順位の高い割り込み要求ｕから受け付けられる

注１． ディフォールト優先順位が低い
２． ディフォールト優先順位が高い

図５－８　同時発生した割り込み要求の処理例



5.3.5　割り込み制御レジスタ（××ICn）

割り込み要求（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
××ICn	××IFn	××MKn	0	0	0	××PRn2	××PRn1	××PRn0	FFFFF100H-FFFFF13EH	47H

ビット位置	ビット名	意　　味
7	××IFn	Interrupt Request Flag 割り込み要求フラグです。 ０：割り込み要求なし １：割り込み要求あり ××IFnフラグは，割り込み要求が受け付けられるとハードウエアにより自動的にリセットされます。
6	××MKn	Mask Flag 割り込みマスク・フラグです。 ０：割り込み処理を許可 １：割り込み処理を禁止（保留）
2-0	××PRn2-××PRn0	Priority 各割り込みごとに８レベルの優先順位を指定します。

××PRn2	××PRn1	××PRn0	割り込み優先順位指定ビット
0	0	0	レベル０（最高位）を指定
0	0	1	レベル１を指定
0	1	0	レベル２を指定
0	1	1	レベル３を指定
1	0	0	レベル４を指定
1	0	1	レベル５を指定
1	1	0	レベル６を指定
1	1	1	レベル７（最低位）を指定

備考　××　：各周辺ユニット識別名称（OV, P11-P14, CM, CS, SE, SR, ST, AD）

n　　：周辺ユニット番号（なし，または0-4, 11-14）

各割り込み制御レジスタのアドレスとビットは次のようになります。

表５－２　割り込み制御レジスタのアドレスとビット

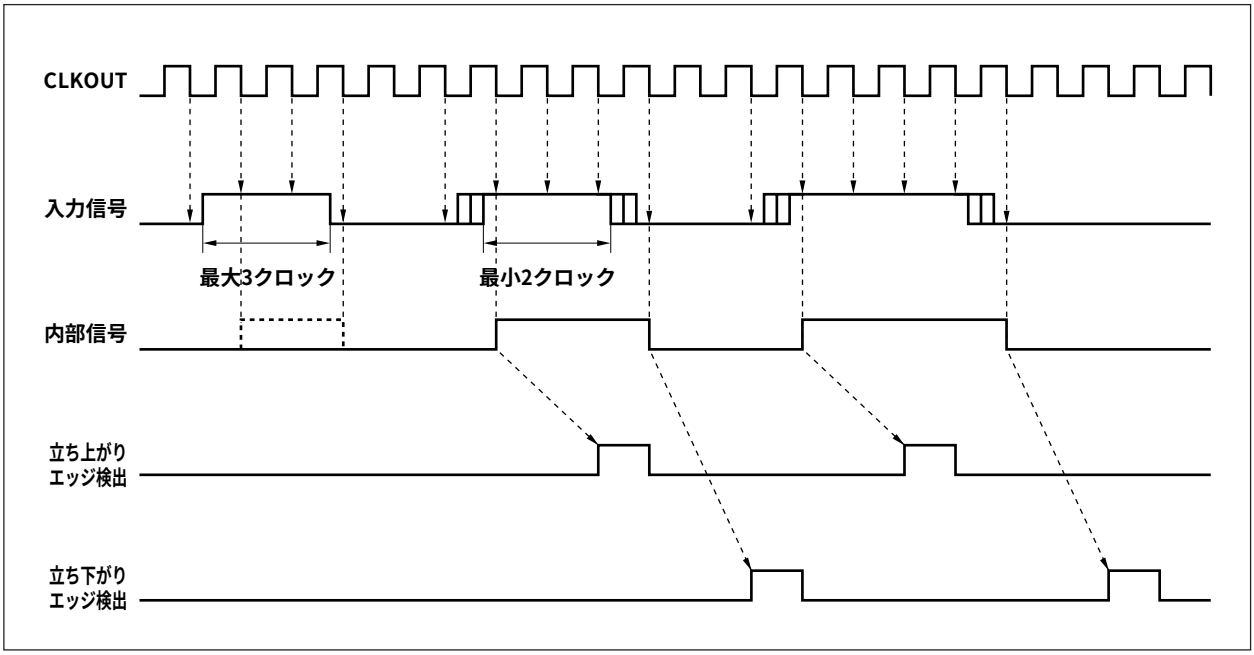
アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF100H	OVIC11	OVIF11	OVMK11	0	0	0	OVPR112	OVPR111	OVPR110
FFFFF102H	OVIC12	OVIF12	OVMK12	0	0	0	OVPR122	OVPR121	OVPR120
FFFFF104H	OVIC13	OVIF13	OVMK13	0	0	0	OVPR132	OVPR131	OVPR130
FFFFF106H	OVIC14	OVIF14	OVMK14	0	0	0	OVPR142	OVPR141	OVPR140
FFFFF108H	P11IC0	P11IF0	P11MK0	0	0	0	P11PR02	P11PR01	P11PR00
FFFFF10AH	P11IC1	P11IF1	P11MK1	0	0	0	P11PR12	P11PR11	P11PR10
FFFFF10CH	P11IC2	P11IF2	P11MK2	0	0	0	P11PR22	P11PR21	P11PR20
FFFFF10EH	P11IC3	P11IF3	P11MK3	0	0	0	P11PR32	P11PR31	P11PR30
FFFFF110H	P12IC0	P12IF0	P12MK0	0	0	0	P12PR02	P12PR01	P12PR00
FFFFF112H	P12IC1	P12IF1	P12MK1	0	0	0	P12PR12	P12PR11	P12PR10
FFFFF114H	P12IC2	P12IF2	P12MK2	0	0	0	P12PR22	P12PR21	P12PR20
FFFFF116H	P12IC3	P12IF3	P12MK3	0	0	0	P12PR32	P12PR31	P12PR30
FFFFF118H	P13IC0	P13IF0	P13MK0	0	0	0	P13PR02	P13PR01	P13PR00
FFFFF11AH	P13IC1	P13IF1	P13MK1	0	0	0	P13PR12	P13PR11	P13PR10
FFFFF11CH	P13IC2	P13IF2	P13MK2	0	0	0	P13PR22	P13PR21	P13PR20
FFFFF11EH	P13IC3	P13IF3	P13MK3	0	0	0	P13PR32	P13PR31	P13PR30
FFFFF120H	P14IC0	P14IF0	P14MK0	0	0	0	P14PR02	P14PR01	P14PR00
FFFFF122H	P14IC1	P14IF1	P14MK1	0	0	0	P14PR12	P14PR11	P14PR10
FFFFF124H	P14IC2	P14IF2	P14MK2	0	0	0	P14PR22	P14PR21	P14PR20
FFFFF126H	P14IC3	P14IF3	P14MK3	0	0	0	P14PR32	P14PR31	P14PR30
FFFFF128H	CMIC4	CMIF4	CMMK4	0	0	0	CMPR42	CMPR41	CMPR40
FFFFF12AH	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFF12CH	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFF12EH	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFF130H	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30
FFFFF132H	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF134H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF136H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF138H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10
FFFFF13AH	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF13CH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF13EH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

5.3.6　ノイズ除去回路

INTPn0-INTPn3, TIn, TCLRn, ADTRG端子には，それぞれ次のノイズ除去時間確保のためのタイミング制御回路が付加されています（n = 11-14）。これらの除去時間未満で変化する信号入力は，内部で受け付けられません。

端　子	ノイズ除去時間
TCLR11-TCLR14	2-3 T_{CY}
TI11-TI14	（T_{CY}：１システム・クロック周期）
INTP110-INTP112	
INTP120-INTP123	
INTP130-INTP133	
INTP140-INTP143	
INTP113/ADTRG	

図５－９　ノイズ除去タイミング例



注意１．入力パルス幅が2-3サンプリング・クロックの場合は，有効エッジとして検出するか，ノイズとして除去するかは不定です。

２．確実にパルスとして検出するには，３サンプリング・クロック以上同じレベルを入力してください。

３．サンプリングに同期してノイズが発生している場合は，ノイズとして認められないことがあります。このような場合は，入力端子にフィルタを付けてノイズを除去してください。

5.3.7　エッジ検出機能

外部端子による外部割り込み要求（INTP110-INTP112, INTP113/ADTRG, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143）の有効エッジは外部割り込みモード・レジスタ１-４（INTM1-INTM4）で指定します。各レジスタと，そのレジスタが制御する外部割り込み要求との対応を次に示します。

- INTM1：INTP110-INTP112, INTP113/ADTRG
- INTM2：INTP120-INTP123
- INTM3：INTP130-INTP133
- INTM4：INTP140-INTP143

INTP113はA/Dコンバータの外部トリガ入力（ADTRG）と端子が兼用になっています。したがって，INTM1のES031, ES030ビットは，A/Dコンバータ・モード・レジスタ１（ADM1）のTRGビットが外部トリガ・モードに設定されている場合は，外部トリガ入力（ADTRG）の有効エッジ指定となります。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり，立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
INTM1	ES031	ES030	ES021	ES020	ES011	ES010	ES001	ES000	FFFFF182H	00H
制御端子	INTP113/ADTRG		INTP112		INTP111		INTP110			
INTM2	ES131	ES130	ES121	ES120	ES111	ES110	ES101	ES100	FFFFF184H	00H
制御端子	INTP123		INTP122		INTP121		INTP120			
INTM3	ES231	ES230	ES221	ES220	ES211	ES210	ES201	ES200	FFFFF186H	00H
制御端子	INTP133		INTP132		INTP131		INTP130			
INTM4	ES331	ES330	ES321	ES320	ES311	ES310	ES301	ES300	FFFFF188H	00H
制御端子	INTP143		INTP142		INTP141		INTP140			

ビット位置	ビット名	意　　味
7, 5, 3, 1 6, 4, 2, 0	ES(m−1)n1 ES(m−1)n0 （m = 4-1, n = 3-0）	Edge Select INTP1mn端子，ADTRG端子の有効エッジを指定します。

ES(m−1)n1	ES(m−1)n0	動　　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり，立ち下がり両エッジ

5.3.8　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると，その割り込み要求の優先順位レベルに対応するビットがセット（１）され，サービス中保持されます。

RETI命令の実行の際，ISPRレジスタ内でセット（１）されているビットのうち，最も優先順位の高い割り込み要求に対応するビットがハードウエアにより自動的にリセット（０）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット（０）されません。

8/1ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0		
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	アドレス FFFFF166H	リセット時 00H

ビット位置	ビット名	意　　味
7-0	ISPR7-ISPR0	In-Service Priority Flag 受け付け中の割り込みの優先順位を示します。 ０：優先順位ｎの割り込み要求を受け付けていない １：優先順位ｎの割り込み要求を受け付け中

備考　ｎ：0-7（優先順位のレベル）

5.3.9　マスカブル割り込みステータス・フラグ（ID）

マスカブル割り込みの動作状態を制御し，割り込み要求受け付けの許可／禁止制御情報を記憶します。

	31																																8	7	6	5	4	3	2	1	0		
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z		リセット時 00000020H

ビット位置	ビット名	意　　味
5	ID	Interrupt Disable マスカブル割り込み処理の許可／禁止を示します。 ０：マスカブル割り込みの受け付け許可 １：マスカブル割り込みの受け付け禁止（保留） DI命令でセット（１），EI命令でリセット（０）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。 ノンマスカブル割り込みおよび例外は，このフラグの状態に関係なく受け付けられます。 また，マスカブル割り込みを受け付けると，IDフラグはハードウエアで自動的にセット（１）されます。 受け付け禁止期間中（ID＝１）に発生した割り込み要求は，××ICnレジスタの××IFnビットがセット（１）され，IDフラグがリセット（０）されると受け付けられます。

5.4　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付けが可能です。

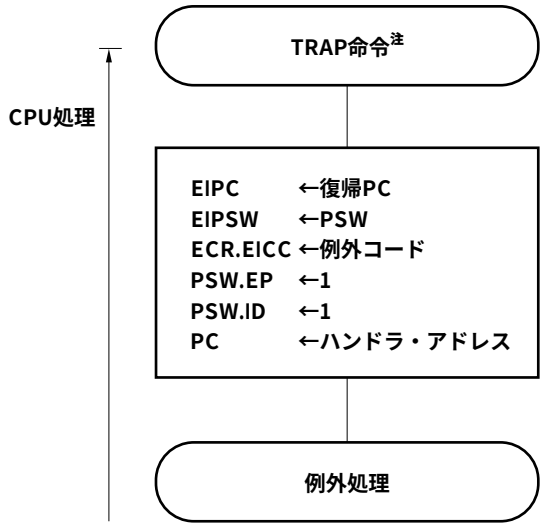
5.4.1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（1）復帰PCをEIPCに退避します。
（2）現在のPSWをEIPSWへ退避します。
（3）ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
（4）PSWのEP, IDビットをセットします。
（5）PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を図５－10に示します。

図５－10　ソフトウエア例外の処理形態



注　TRAP命令フォーマット：TRAP vector（ただし，vectorは0-1FHの値）

ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが0-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

5.4.2　復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

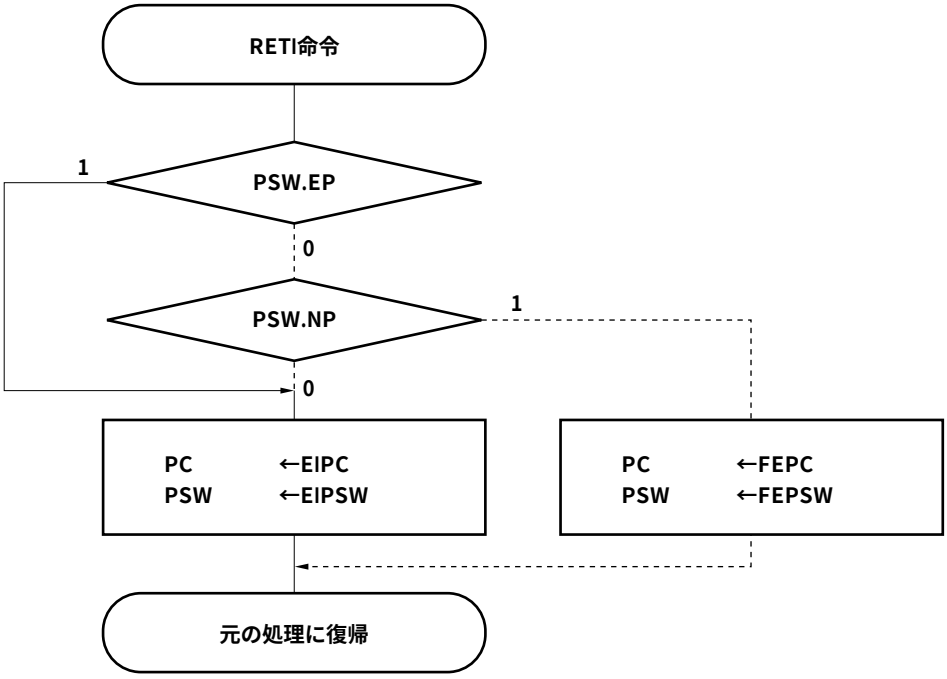
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットは１なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図５－11に示します。

図５－11　RETI命令の処理形態



注意　ソフトウエア例外処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW.EP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

5.4.3　例外ステータス・フラグ（EP）

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

	31																																8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z		リセット時 00000020H

ビット位置	ビット名	意　　味
6	EP	Exception Pending 例外処理中であることを示します。 ０：例外処理中ではない。 １：例外処理中。

5.5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V853では，不正命令コード例外（ILGOP:ILleGal OPcode trap）が例外トラップに当たります。

不正命令コード例外は，次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

5.5.1　不正命令コード

不正命令コードは，32ビット長命令形式であり，ビット5-10が111111Bであり，かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。

15	13	12	11	10					5	4				0	31				27	26			23	22	21	20					16
×	×	×	×	×	1	1	1	1	1	1	×	×	×	×	×	×	×	×	×	0 1	0 1	1 1	1 1	×	×	×	×	×	×	×	×

×：任意

注意　不正命令コードには将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

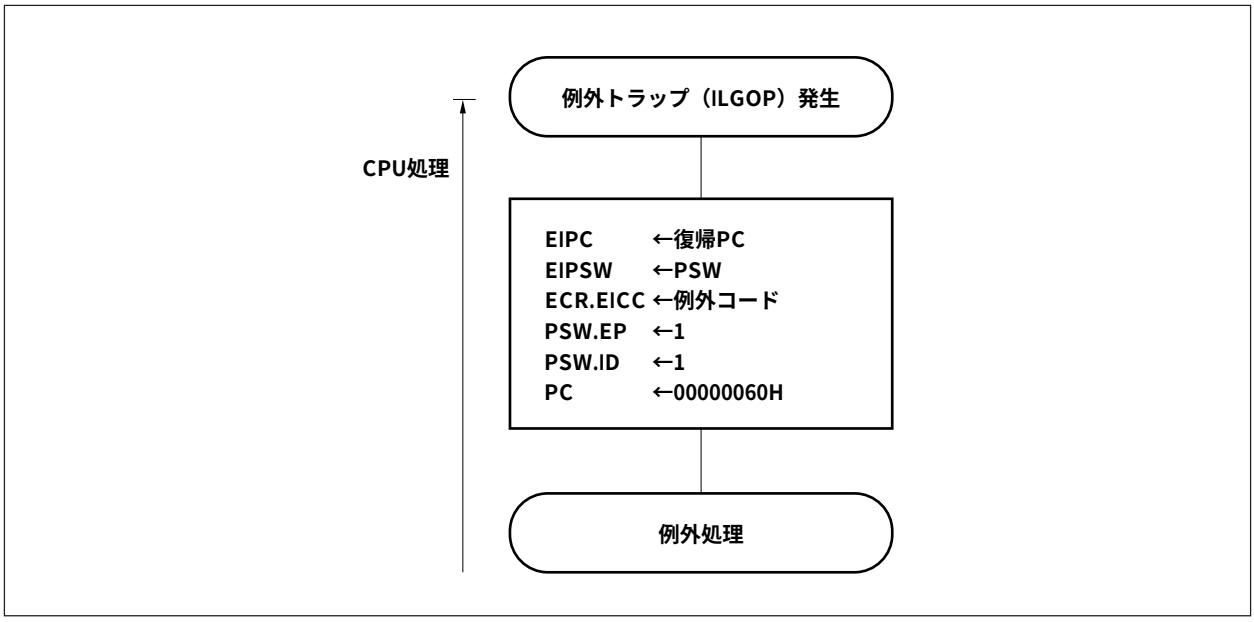
5.5.2　動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（１）復帰PCをEIPCに退避します。
（２）現在のPSWをEIPSWへ退避します。
（３）ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。
（４）PSWのEP, IDビットをセットします。
（５）PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図５－12に示します。

図５－12　例外トラップの処理形態



5.5.3　復　　帰

例外トラップからの復帰は，RETI命令により行います。

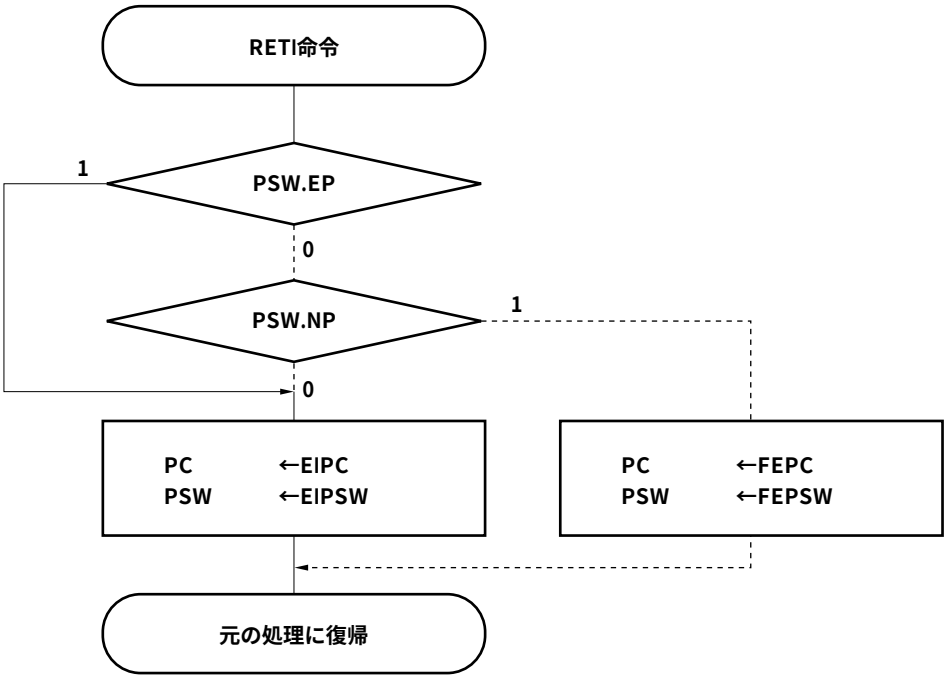
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットが１なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図５－13に示します。

図５－13　RETI命令の処理形態



注意　例外トラップ処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW.EP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

5.6　多重割り込み

多重割り込み処理制御は，現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合，現在処理中の割り込みを中断して，優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求であった場合は，その割り込み要求は保留されます。

割り込みの多重処理制御は，割り込み許可状態（ID = 0）のときに行われます。したがって，割り込み処理ルーチンでも割り込み許可状態（ID = 0）にする必要があります。

マスカブル割り込みまたは例外のサービス・プログラム中に，マスカブル割り込みの許可または例外を発生させる場合はEIPC, EIPSWを退避する必要があります。

次のような手順で行います。

（1）サービス・プログラム中にマスカブル割り込みを受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```
      …
      …
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み受け付け許可）
      …
      …                          ←マスカブル割り込み受け付け
      …
      …
・DI命令（割り込み受け付け禁止）
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
```

（2）サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```
      …
      …
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
      …
・TRAP命令                       ←TRAP命令などの例外受け付け
・不正命令コード                 ←不正命令コード例外受け付け
      …
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
```

多重割り込み処理制御のための優先順位は，各マスカブル割り込み要求ごとに0-7までの８レベル（０が最優先）が，ソフトウエアにより任意に設定可能です。優先順位レベルの設定は，マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（××ICn）の××PRn0-××PRn2ビットで行います。システム・リセット時には，××MKnビットにより割り込み要求はマスクされ，××PRn0-××PRn2ビットにより優先順位はレベル７に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高）　レベル０＞レベル１＞レベル２＞レベル３＞レベル４＞レベル５＞レベル６＞レベル７　（低）

多重処理制御により中断された割り込み処理は，優先順位レベルの高い割り込み処理が終了し，RETI命令が実行されたあと，再開します。

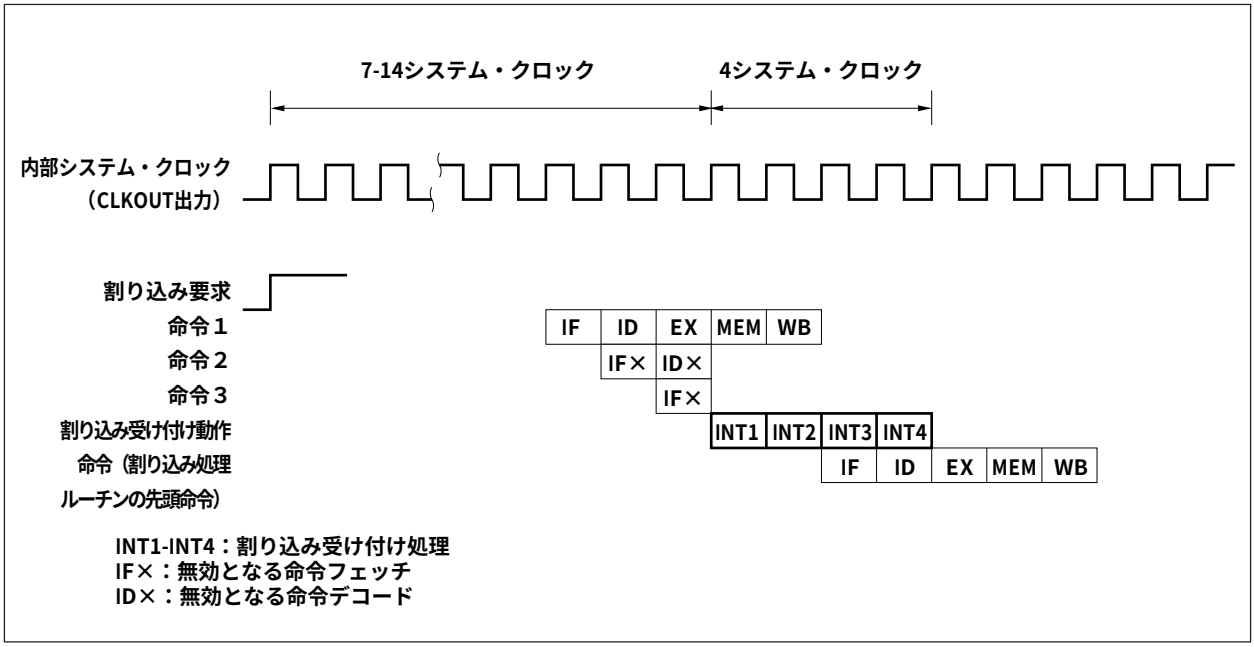
保留された割り込み要求は，実行中の割り込み処理が終了したあと，RETI命令の実行後に受け付けられます。

注意　ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

5.7　割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間は次のとおりです。

図５－14　割り込み要求受け付け時のパイプライン動作（概略）



割り込み応答時間（内部システム・クロック）			条　　件
	内部割り込み	外部割り込み	
最小	11	13	次の場合は除きます。 ・IDLE/ソフトウエアSTOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・割り込み制御レジスタへのアクセス時
最大	18	20	

5.8　割り込みが受け付けられない期間

割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）

★　（1）EI命令後の割り込み処理受け付けについて

V853は，割り込み要求発生から割り込み要求が受け付けられるまで，割り込み要求判定期間として最低7クロックが必要です。この期間中では，続けて命令が実行されているため，DI命令（割り込み禁止）を実行すると，割り込み禁止状態になります。これにより，再びEI命令（割り込み許可）を実行するまで，すべての割り込み要求を保留します。

また，EI命令を実行したときにも，割り込み判定期間が必要になるので，EI命令実行後，割り込み要求を受け付けるまで最低7クロックが必要になります。このため，EI命令実行後，7クロック経過しない間に，DI命令を実行してしまうと，割り込みは保留されてしまいます。確実に割り込みを受け付けるためにはEI命令とDI命令の間に実行クロックが7クロック以上の命令を挿入してください。ただし次の命令を除きます。

- IDLE/STOPモード設定
- EI命令，DI命令
- RETI命令
- LDSR命令（対PSWレジスタ）
- 割り込み制御レジスタ（××ICn）へのアクセス

例　EI命令処理が有効にならない場合

【プログラム例】

```
DI
⋮                ; MKフラグ = 0（割り込み要求許可）
⋮                ; 割り込み要求発生（IFフラグ = 1）
EI
JR  LP1          ; EI命令→DI命令までに7クロック未経過（3クロック）
⋮
⋮
LP1:
DI               ; 割り込み要求受け付けられず
⋮
```

【回避プログラム例】

```
DI
⋮                    ; MKフラグ = 0（割り込み要求許可）
⋮                    ; 割り込み要求発生（IFフラグ = 1）
EI
NOP                  ; 1システム・クロック
NOP                  ; 1システム・クロック
NOP                  ; 1システム・クロック
NOP                  ; 1システム・クロック
JR  LP1              ; 3システム・クロック（LP1ルーチンに分岐）
⋮
⋮
LP1:
DI                   ; EI命令実行後，8システム・クロック目に割り込み処理実行
⋮
```

第６章　クロック発生機能

クロック・ジェネレータ（CG）は，CPUをはじめとする内蔵の各ハードウエア・ユニットに供給される内部システム・クロック（φ）を発生，制御します。

6.1　特　　徴

○PLL（Phase locked loop）シンセサイザによる逓倍機能

○クロック・ソース

・発振子接続による発振（PLLモード）：fxx = φ，2×φ，φ/5

・外部クロック（PLLモード）：fxx = φ，2×φ，φ/5

・外部クロック（ダイレクト・モード）：fxx = 2×φ

○パワー・セーブ制御

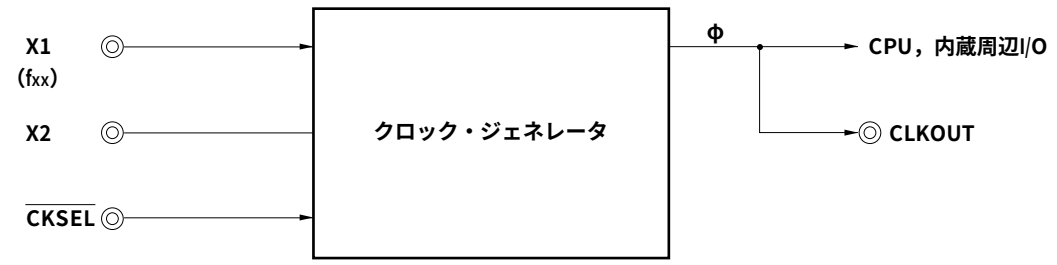
・HALTモード

・IDLEモード

・ソフトウエアSTOPモード

・クロック出力インヒビット・モード

6.2　構　　成



備考　φ　：内部システム・クロック周波数

fxx　：外部発振子または外部クロックの周波数

6.3　入力クロック選択

クロック・ジェネレータは，発振回路とPLLシンセサイザから構成されており，たとえば，6.5536 MHzのクリスタル振動子またはセラミック発振子をX1，X2端子に接続することにより，５逓倍時は32.768（最大33）MHzの内部システム・クロック（φ）を生成できます。

また，発振回路には外部クロックを直接入力することもできます。この場合，X1端子だけにクロック信号を入力し，X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして，PLLモードとダイレクト・モードの２種類を備えます。

動作モードの選択は，$CV_{DD}/\overline{CKSEL}$端子で行います。

$CV_{DD}/\overline{CKSEL}$	動作モード
V_{DD}	PLLモード
ロウ・レベル	ダイレクト・モード

注意　$CV_{DD}/\overline{CKSEL}$端子は入力レベルを固定して使用してください（PLLモードではPLLシンセサイザ用の電源になります）。動作中に切り替えると誤動作する可能性があります。

6.3.1　ダイレクト・モード

ダイレクト・モードでは，外部クロックを入力します。入力された外部クロックは，クロック・コントロール・レジスタ（CKC）によって指定された分周比に分周され，外部クロックの周波数（f_{XX}）に対して，1/2倍の内部システム・クロックが生成されます。おもに，V853を比較的低周波数で動作させる応用に使用します。ノイズによる影響を最小限にするためには，外部クロックの周波数（f_{XX}）を32 MHz（内部システム・クロック（φ）＝16 MHz）程度以下にて使用することを推奨します。

6.3.2　PLLモード

PLLモードでは，外部発振子を接続または外部クロックを入力することにより，これをPLLシンセサイザにより逓倍し，内部システム・クロック（φ）を生成します。

逓倍されたPLL出力は，クロック・コントロール・レジスタ（CKC）によって指定された分周比に分周され，外部発振子または外部クロックの周波数（f_{XX}）に対して，５倍，１倍，1/2倍の内部システム・クロックが生成されます。

★　f_{XX}に対して５逓倍のシステム・クロック（5×f_{XX}）を生成した場合，4-6.6 MHzの外部発振子，外部クロックに基づき，最大33 MHzまでの周波数を得られるため，低ノイズ，低消費電力のシステムを実現可能です。

PLLモードでは，外部発振子や外部クロック・ソースからのクロック供給が停止した場合に，クロック・ジェネレータ内部の電圧制御発振回路（VCO）の自走周波数に基づく内部システム・クロック（φ）は動作を継続します。なお，この自走周波数になることを期待した使い方をしないでください。

例　PLLモード（$\phi = 5 \times f_{XX}$）選択時の使用クロック

内部システム・クロック周波数（φ）	外部発振子／外部クロック周波数（f_{XX}）
32.768 MHz	6.5536 MHz
25.000 MHz	5.0000 MHz
20.000 MHz	4.0000 MHz

PLLモード（ϕ = 1/2×f_{XX}, ϕ = 1×f_{XX}）選択時の注意点

φ = 1/2×f_{XX}, φ = 1×f_{XX}は，V853を高周波数で動作させる必要がない場合に使用します。ソフトウエアで内部システム・クロックの周波数を下げることにより，消費電力を低減できます。

リセットによりφ = 5×f_{XX}が選択されるため，発振子周波数または外部クロック周波数には5×f_{XX}が内部システム・クロック最大周波数以下になるようなf_{XX}値だけを使用できます。

6.3.3　クロック・コントロール・レジスタ（CKC）

PLLモード時に内部システム・クロック周波数を制御する８ビットのレジスタで，プログラムの暴走などによって誤って容易に書き換えられないように，特定の命令シーケンスの組み合わせによってだけ書き込みできます（**3.4.10　特定レジスタ**参照）。

★　PLLモード使用時には，動作中に内部システム・クロック周波数（φ）の設定（5×f_{XX}, f_{XX}, f_{XX}/2）を変更できます。ただし，内蔵周辺I/Oの誤動作を防ぐために，必ず内蔵周辺I/Oをすべて停止させてから内部システム・クロック周波数の設定を変更してください。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
CKC	0	0	0	0	0	0	CKDIV1	CKDIV0	FFFFF072H	注

★　**注**　00H（MODE = 1のとき）
　　03H（MODE = 0のとき）

ビット位置	ビット名	意　　味
1, 0	CKDIV1, CKDIV0	Clock Divide 外部クロック（f_{XX}）に対する内部システム・クロック周波数を設定します。

動作モード	端子	CKCレジスタ		内部システム・クロック（φ）
	CV_{DD}/$\overline{CKSEL}$	CKDIV1	CKDIV0	
ダイレクト・モード	L	0	0	f_{XX}/2
	L	0	1	設定禁止
	L	1	0	設定禁止
	L	1	1	設定禁止
PLLモード	V_{DD}	0	0	5×f_{XX}
	V_{DD}	0	1	設定禁止
	V_{DD}	1	0	f_{XX}
	V_{DD}	1	1	f_{XX}/2

このレジスタへのデータ設定のシーケンスはパワー・セーブ・コントロール・レジスタ（PSC）と同じです。ただし３.４.10　特定レジスタの注意２に示す制限事項は該当しません。

次に設定例を示します。

動作モード	端子	CKCレジスタ		外部クロック	内部システム・
	$CV_{DD}/\overline{CKSEL}$	CKDIV1	CKDIV0	(f_{XX})	クロック（φ）
★ ダイレクト・モード	ロウ・レベル入力	0	0	66 MHz	33 MHz
PLLモード	V_{DD}	0	0	6.6 MHz	33 MHz
	V_{DD}	1	0	6.6 MHz	6.6 MHz
	V_{DD}	1	1	6.6 MHz	3.3 MHz
上記以外				設定禁止	

6.4　PLLロックアップ

電源投入直後，ソフトウエアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をアンロック状態と呼び，安定した状態をロック状態と呼びます。

システム・ステータス・レジスタには，PLLの周波数の安定状態を反映するUNLOCKフラグと，プロテクション・エラーの発生を示すPRERRフラグがあります（PRERRフラグの詳細は**３.４.10（２）システム・ステータス・レジスタ（SYS）**参照）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
SYS	0	0	0	PRERR	0	0	0	UNLOCK	FFFFF078H	0000000×B

ビット位置	ビット名	意　　味
0	UNLOCK	Unlock Status Flag 読み出し専用フラグで，PLLのアンロック状態を示します。 ロックアップ状態を維持しているかぎり“０”を保持し，システム・リセットによっても初期化されません。 ０：ロック中であることを示します。 １：ロックしていない（アンロック）状態を示します。

備考　PRERRフラグの説明は**３.４.10（２）システム・ステータス・レジスタ（SYS）**を参照してください。

クロック停止，電源カットなど，いったんアンロック状態を発生させる要因が働いた場合に，リアルタイム処理など，ソフトウエアの実行速度に依存する制御の処理においては，動作開始直後にソフトウエアで必ずUNLOCKフラグを判定し，クロックの安定するのを待ってから所望の処理を開始してください。

一方，オンチップの各種ハードウエアの設定やレジスタ・データ，メモリ・データの初期化等の静的処理はUNLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振し，入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間＜PLLロックアップ時間

6.5　パワー・セーブ制御

6.5.1　概　　要

V853のパワー・セーブ機能には，次のものがあります。

（1）HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。通常動作モードとの組み合わせによる間欠動作により，システムのトータルの消費電力を低下させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

（2）IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給を停止させることにより，システム全体を停止させるモードです。

IDLEモードからの解除時に，発振回路の発振安定時間などを確保する必要がないため，高速に通常動作に移行することができます。

特定レジスタのPSCレジスタ設定によりIDLEモードに移行します。

IDLEモードは，クロックの安定時間と消費電流に関して，ソフトウエアSTOPとHALTモードの中間に位置するモードで，低消費電流モードを利用し，かつ解除時のクロックの安定時間を削除したい用途に利用します。

（3）ソフトウエアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ，システム全体が停止するモードです。リーク電流のみの超低消費電力状態になります。

特定レジスタのPSCレジスタ設定によりソフトウエアSTOPモードに移行します。

（a）PLLモード時

発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウエアSTOPモードの解除後は，システム・クロックが安定するまでの間，発振回路の発振安定時間を確保する必要があります。また，プログラムによってはPLLのロックアップ時間が必要な場合があります。ただし，外部クロックによる動作時は，発振回路の発振安定時間を確保する必要はありません。

（b）ダイレクト・モード時

クロックを停止させる場合は，X1端子をロウ・レベルにしてください。

なお，ロックアップ時間を確保する必要はありません。

（4）クロック出力インヒビット

CLKOUT端子からのシステム・クロック出力を禁止します。

通常，HALT，IDLE，ソフトウエアSTOPの各モードにおけるクロック・ジェネレータの動作を表６－１に示します。

各モードを組み合わせて，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

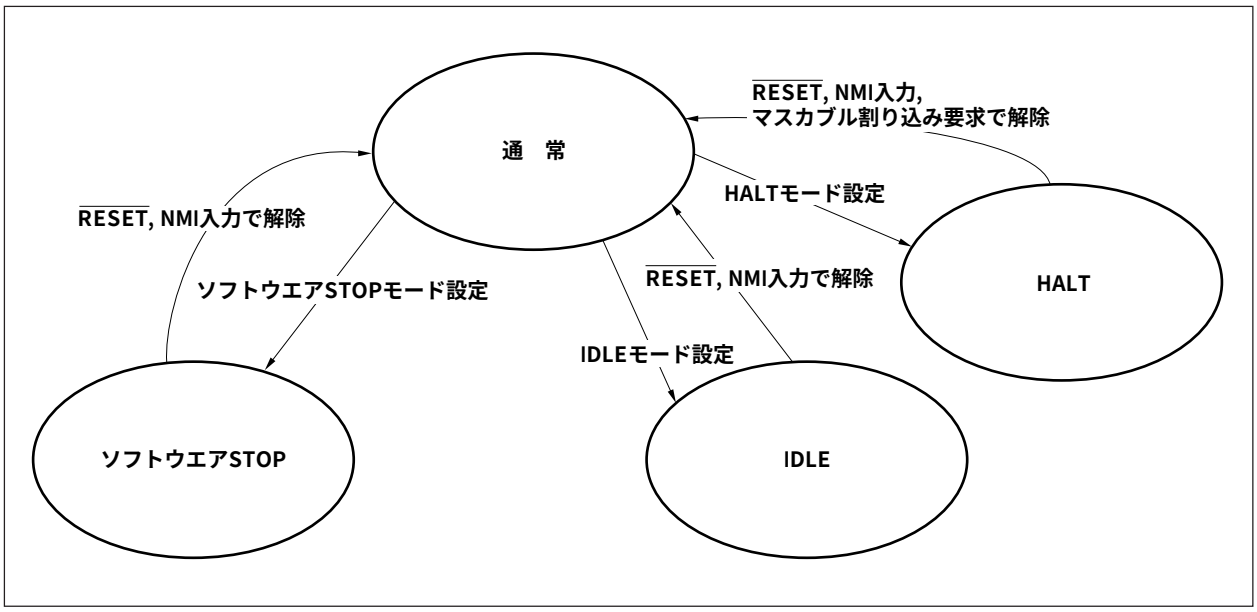
表６－１　パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		スタンバイ・モード	発振回路（OSC）	PLLシンセサイザ	周辺I/Oへのクロック供給	CPUへのクロック供給
PLLモード	発振子による発振	通常	○	○	○	○
		HALT	○	○	○	×
		IDLE	○	○	×	×
		ソフトウエアSTOP	×	×	×	×
	外部クロック	通常	×	○	○	○
		HALT	×	○	○	×
		IDLE	×	○	×	×
		ソフトウエアSTOP	×	×	×	×
ダイレクト・モード		通常	×	×	○	○
		HALT	×	×	○	×
		IDLE	×	×	×	×
		ソフトウエアSTOP	×	×	×	×

○：動作

×：停止

状態遷移図



6.5.2　制御レジスタ

（1）パワー・セーブ・コントロール・レジスタ（PSC）

パワー・セーブ・モードを制御する８ビット・レジスタです。

このレジスタは特定レジスタの１つで，ライト動作時は特定シーケンスによるアクセスのみが有効です。詳細は**3.4.10　特定レジスタ**を参照してください。

8/1ビット単位でリード／ライト可能です。

★

	7	6	5	4	3	2	1	0	アドレス	リセット時
PSC	DCLK1	DCLK0	TBCS	CESEL	0	IDLE	STP	0	FFFFF070H	C0H

ビット位置	ビット名	意　　味
7, 6	DCLKn （n = 1, 0）	Disable CLKOUT CLKOUT端子の動作モードの指定を行います。 <table><tr><th>DCLK1</th><th>DCLK0</th><th>モード</th></tr><tr><td>0</td><td>0</td><td>通常出力モード</td></tr><tr><td>0</td><td>1</td><td>RFU（予約）</td></tr><tr><td>1</td><td>0</td><td>RFU（予約）</td></tr><tr><td>1</td><td>1</td><td>クロック出力インヒビット・モード</td></tr></table>
5	TBCS	Time Base Count Select タイム・ベース・カウンタのクロックを選択します。 0：$f_{XX}/2^8$ 1：$f_{XX}/2^9$ 詳細は**6.6　発振安定時間の確保のタイム・ベース・カウンタ（TBC）**に示します。
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0：X1, X2端子に発振子を接続 1：X1端子に外部クロックを接続 CESEL = 1の場合，発振回路のフィードバック・ループを切断し，ソフトウエアSTOPモード時の電流リークを防ぎます。また，ソフトウエアSTOPモード解除後のタイム・ベース・カウンタ（TBC）による発振安定時間のカウントを行いません。
2	IDLE	IDLE Mode IDLEモードを指定します。 “ 1 ”を書き込むとIDLE状態に入ります。 IDLEモードが解除されると自動的にリセット“ 0 ”されます。
1	STP	STOP Mode ソフトウエアSTOPモードを指定します。 “ 1 ”を書き込むとSTOP状態に入ります。 ソフトウエアSTOPモードが解除されると自動的にリセット“ 0 ”されます。

6.5.3　HALTモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。CPUの空き時間にHALTモードに設定することにより，システムのトータルの消費電力を低下させることができます。

HALT命令によりHALTモードに移行します。

HALTモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAMの内容は保持されます。また，CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。HALTモード時の各ハードウエアの状態は表６－２のようになります。

表６－２　HALTモード時の動作状態

<table>
<tr><th colspan="2">機　能</th><th colspan="2">動作状態</th></tr>
<tr><td colspan="2">クロック・ジェネレータ</td><td colspan="2">動作</td></tr>
<tr><td colspan="2">内部システム・クロック</td><td colspan="2">動作</td></tr>
<tr><td colspan="2">CPU</td><td colspan="2">停止</td></tr>
<tr><td colspan="2">I/Oポート</td><td colspan="2">保持</td></tr>
<tr><td colspan="2">周辺機能</td><td colspan="2">動作</td></tr>
<tr><td colspan="2">内部データ</td><td colspan="2">CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてHALTモード設定前の状態を保持</td></tr>
<tr><td rowspan="6">外部拡張モード時</td><td>AD0-AD15</td><td colspan="2">ハイ・インピーダンス注</td></tr>
<tr><td>A16-A19
$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$</td><td>保持注</td><td rowspan="5">$\overline{\text{HLDAK}}$=0のときはハイ・インピーダンス</td></tr>
<tr><td>R/$\overline{\text{W}}$</td><td rowspan="3">ハイ・レベル出力注</td></tr>
<tr><td>$\overline{\text{DSTB}}$</td></tr>
<tr><td>ASTB</td></tr>
<tr><td>$\overline{\text{HLDAK}}$</td><td colspan="2">動作</td></tr>
<tr><td colspan="2">CLKOUT</td><td colspan="2">クロック出力
（クロック出力インヒビットでないとき）</td></tr>
</table>

注　HALT命令実行後も，内部の命令プリフェッチ・キューがフルになるまでの間は，命令フェッチ動作を継続します。フルになったあと，表６－２の状態で停止します。

（２）HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求，および$\overline{\text{RESET}}$端子入力により解除されます。

（ａ）割り込み要求による解除

NMI要求，マスクされていないマスカブル割り込み要求により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

（ｉ）現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除のみ行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

（ⅱ）現在処理中の割り込み要求よりも優先順位が高い割り込み要求（NMI要求を含む）が発生すると，HALTモードの解除とともにこの割り込み要求を受け付けます。

割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
NMI要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

（ｂ）$\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

6.5.4　IDLEモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給が停止し，システム全体が停止するモードです。

本モードからの解除時に，発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため，高速に通常動作に移行することができます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でIDLEモードに移行します（**3.4.10　特定レジスタ**参照）。

IDLEモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。外部バス・ホールド要求（$\overline{\text{HLDRQ}}$）は受け付けません。

IDLEモード時の各ハードウエアの状態は表６－３のようになります。

表６－３　IDLEモード時の動作状態

機　能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		停止
CPU		停止
I/Oポート		保持
周辺機能		停止
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてIDLEモード設定前の状態を保持
外部拡張モード時	AD0-AD15	ハイ・インピーダンス
	A16-A19	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
	R/$\overline{\text{W}}$	
	$\overline{\text{DSTB}}$	
	ASTB	
	$\overline{\text{HLDAK}}$	
CLKOUT		ロウ・レベル出力

（２）IDLEモードの解除

IDLEモードは，NMI端子入力，$\overline{\text{RESET}}$端子入力により解除されます。

（ａ）NMI端子入力による解除

IDLEモードの解除とともにNMI要求として受け付けます。

ただし，NMI処理ルーチン内でIDLEモードに設定した場合は，IDLEモードの解除のみ行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令／ビット操作命令によるIDLEフラグ設定の前に，ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

（ｂ）$\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

6.5.5　ソフトウエアSTOPモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ，デバイスのリーク電流のみの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でソフトウエアSTOPモードに移行します（**3.4.10　特定レジスタ**参照）。

発振子接続モード（CESELビット＝“０”）の場合で，ソフトウエアSTOPモード解除後には，発振回路の発振安定時間を確保する必要があります。

ソフトウエアSTOPモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。

ソフトウエアSTOPモード時の各ハードウエアの状態は表６－４のようになります。

表６－４　ソフトウエアSTOPモード時の動作状態

機　能		動作状態
クロック・ジェネレータ		停止
内部システム・クロック		停止
CPU		停止
I/Oポート注		保持
周辺機能		停止
内部データ注		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてソフトウエアSTOPモード設定前の状態を保持
外部拡張モード時	AD0-AD15	ハイ・インピーダンス
	A16-A19	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
	R/$\overline{\text{W}}$	
	$\overline{\text{DSTB}}$	
	ASTB	
	$\overline{\text{HLDAK}}$	
CLKOUT		ロウ・レベル出力

注　V_{DD}の値が動作可能範囲内にある場合。
ただし，動作可能最低電圧より下がった場合でも，データ保持電圧V_{DDDR}を維持すれば，内蔵RAMの内容だけは保持されます。

（２）ソフトウエアSTOPモードの解除

ソフトウエアSTOPモードは，NMI端子入力，$\overline{\text{RESET}}$端子入力により解除されます。

また，PLLモードかつ発振子接続モード（PSCレジスタのCESELビット＝“０”）におけるソフトウエアSTOPモード解除時には，発振回路の発振安定時間を確保する必要があります。

なお，プログラムによってはPLLのロックアップ時間が必要です。詳細は**６．４　PLLロックアップ**を参照してください。

（ａ）NMI端子入力による解除

ソフトウエアSTOPモードの解除とともにNMI要求として受け付けます。

ただし，NMI処理ルーチン内でソフトウエアSTOPモードに設定した場合は，ソフトウエアSTOPモードの解除のみ行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

ソフトウエアSTOPモード解除時のNMI割り込み処理について

NMI端子入力によるソフトウエアSTOPモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令／ビット操作命令によるSTOPフラグ設定の前に，ステータス設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

（ｂ）$\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

★　6.5.6　注意事項

V853を次に示す発生条件[注]で使用した場合，パワー・セーブ・モード解除後，プログラム・カウンタ（PC）の指すアドレスと，実際に命令を読み込むアドレスに，ずれが生じてしまいます。

このため，CPUはPSCレジスタに書き込みを行う命令の4バイト後から16バイト後の命令のうち，4/8バイト分の命令を無視して実行し，さらに誤った命令を実行してしまう可能性があります。

注　PCのずれは（ⅰ）-（ⅲ）のすべての条件がそろった場合のみ発生します。１つでも条件が異なれば発生しません。

【発生条件】

（ⅰ）外部ROM上で命令を実行中に，パワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定

（ⅱ）NMI割り込み要求により，パワー・セーブ・モード解除

（ⅲ）パワー・セーブ・モード解除後，割り込み要求が保留された状態で，続く命令を実行

割り込み要求が保留される条件：

PSWレジスタのNPフラグが“１”の場合（NMI処理中／ソフトウエアによりセット）

したがって，次に示す条件でご使用ください。

【使用条件】

（ⅰ）外部ROM上で命令実行中に，パワー・セーブ・モード（IDLEモードまたは，STOPモード）を使用しない。

（ⅱ）外部ROM上で命令を実行中に，パワー・セーブ・モードを使用する場合，次のようにソフトウエア対策を行う。

・PSCレジスタに書き込みを行う命令の4バイト後から，NOP命令を6個挿入する。

・NOP命令のあとに，PCのずれを解消するために，br $＋2命令を挿入する。

【回避プログラム例】

```
LDSR   rX,5            ;rXの値をPSWに設定
ST.B   r0,PRCMD[r0]    ;PRCMDへ書き込み
ST.B   rD,PSC[r0]      ;PSCレジスタ設定
LDSR   rY,5            ;PSWの値を戻す
NOP                    ;NOP命令6個以上
NOP
NOP
NOP
NOP
NOP
BR   $+2               ;PCのずれを解消
```

備考　rD：PSC設定値，rX：PSWに書き込む値，rY：PSWに書き戻す値が，設定済みとします。

6.6　発振安定時間の確保

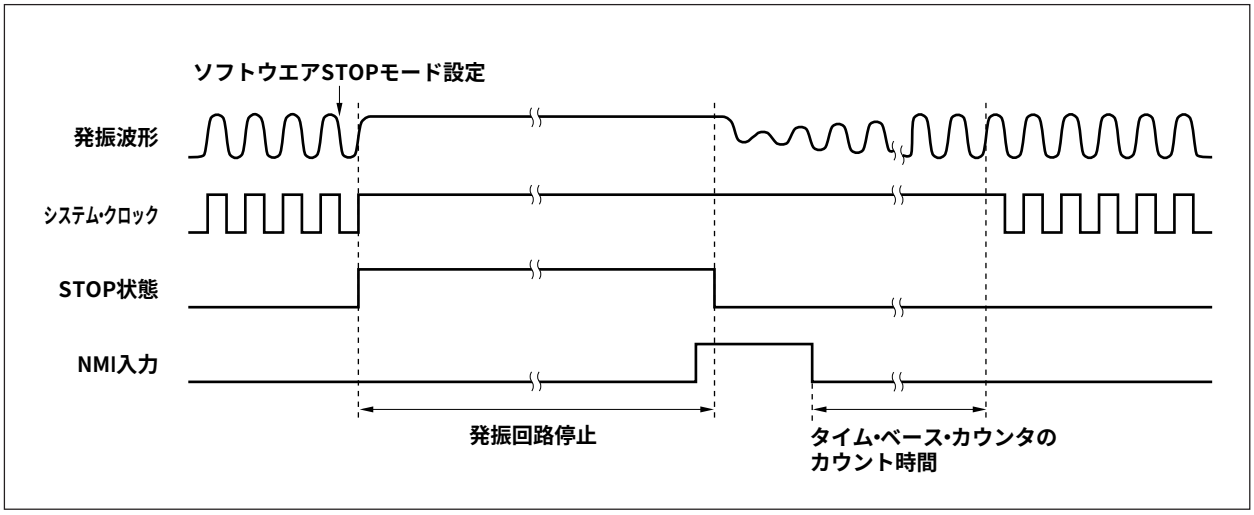
ソフトウエアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には２通りの方法があります。

（1）内蔵タイム・ベース・カウンタで時間を確保する場合（NMI端子入力）

NMI端子に有効エッジが入力されると，ソフトウエアSTOPモードが解除されます。端子へのインアクティブ・エッジ入力でタイム・ベース・カウンタ（TBC）がカウントを開始し，そのカウント時間で，発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間 ≃（NMI入力の有効エッジ検出後のアクティブ・レベル幅）＋（TBCのカウント時間）

所定時間後，システム・クロック出力が開始し，NMI割り込みのハンドラ・アドレスに分岐します。



NMI端子は，通常はインアクティブ・レベル（たとえば有効エッジを“立ち下がり”と指定したときはハイ・レベル）にしておいてください。

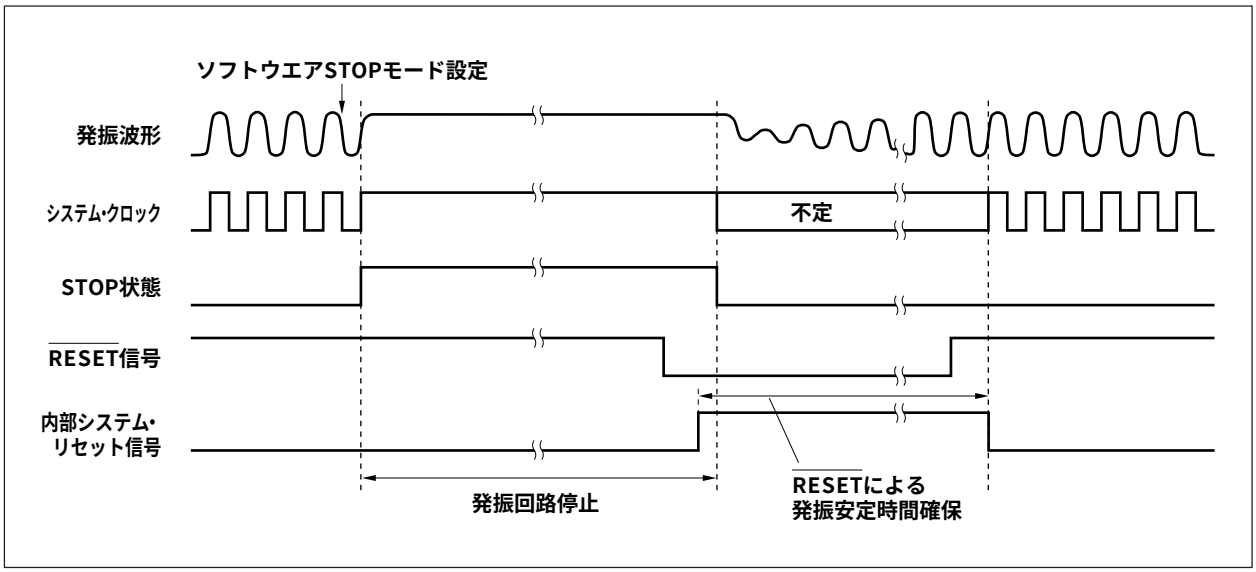
なお，NMIの有効エッジ入力タイミングからCPUで割り込みを受け付けるまでの期間にソフトウエアSTOPモードに設定する動作を行った場合，ソフトウエアSTOPモードはすぐに解除されます。ダイレクト・モードまたは外部クロック接続モード（CESEL = 1）の場合，ただちにプログラム実行を開始します。一方，PLLモードかつ発振子接続モード（CESEL = 0）の場合は，NMI端子のインアクティブ・エッジ入力からタイム・ベース・カウンタによる発振安定時間確保後，プログラム実行を開始します。

（２）信号レベル幅で時間を確保する場合（$\overline{\text{RESET}}$端子入力）

$\overline{\text{RESET}}$端子への立ち下がりエッジ入力により，ソフトウエアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で，発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$端子への立ち上がりエッジ入力後，内部システム・クロックの供給が開始し，システム・リセット時のハンドラ・アドレスに分岐します。



タイム・ベース・カウンタ（TBC）

タイム・ベース・カウンタ（TBC）は，ソフトウエアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

- 外部クロック接続時（PSCレジスタのCESELビット＝１）
  TBCによる発振安定時間のカウントは行わず，ソフトウエアSTOPモード解除後すぐにプログラム実行を開始します。
- 発振子接続時（PSCレジスタのCESELビット＝０）
  ソフトウエアSTOPモード解除後，TBCで発振安定時間をカウントし，カウント終了後にプログラム実行を開始します。

PSCレジスタのTBCSビットによりTBCのカウント・クロックを選択し，次のカウント時間を設定可能です。

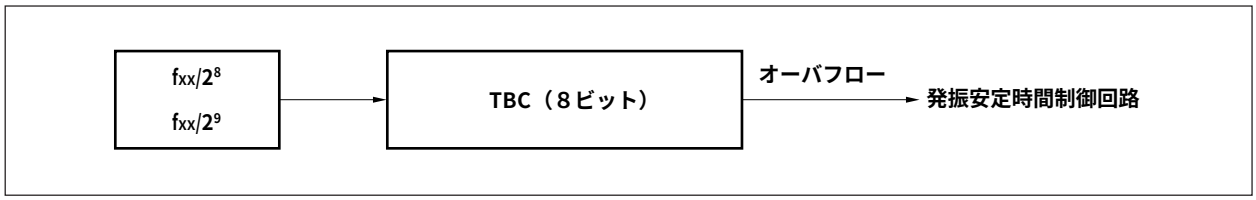
表６－５　カウント時間例

TBCS	カウント・クロック	カウント時間		
		f_{XX} = 4.0000 MHz	f_{XX} = 5.0000 MHz	f_{XX} = 6.5536 MHz
		φ= 20.000 MHz	φ= 25.000 MHz	φ= 32.768 MHz
0	$f_{XX}/2^8$	16.3 ms	13.1 ms	10.0 ms
1	$f_{XX}/2^9$	32.7 ms	26.2 ms	20.0 ms

f_{XX} ：外部発振子周波数

φ ：内部システム・クロック周波数

図６－１　ブロック構成図



6.7　クロック出力制御

PSCレジスタのDCLK0, DCLK1ビットで，CLKOUT端子の動作モードを選択できます。

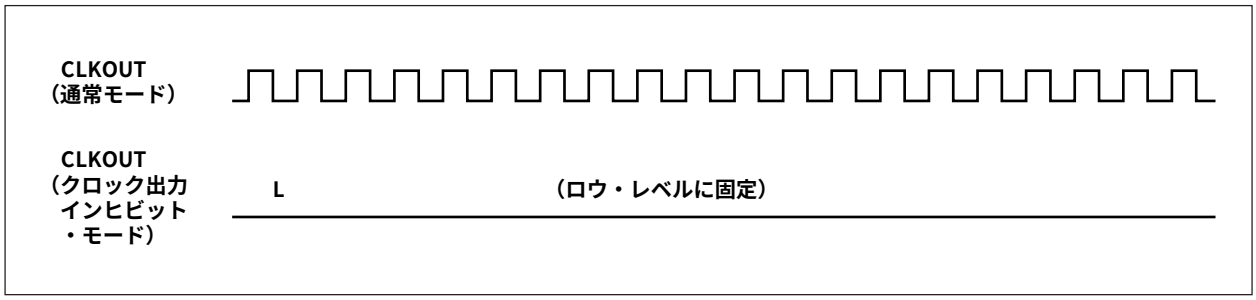
HALT/IDLE/ソフトウエアSTOPの各モードと組み合わせることにより，より効果的なパワー・セービングが可能です（書き込み方は**6.5.2　制御レジスタ**を参照してください）。

クロック出力インヒビット・モード

CLKOUT端子からのクロック出力を禁止します。

シングルチップ・モードのシステム，あるいは外部拡張デバイスに対する命令フェッチやデータ・アクセスを非同期型アクセスで行うシステムに最適です。

CLKOUTの動作が完全に停止するため，一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑止が可能です。



★　シングルチップ・モード時はリセット解除後，PSCレジスタのDCLK1, DCLK0ビットを“00”に設定するまでCLKOUT信号を出力しません（ロウ・レベルを出力）。

またフラッシュ・メモリ・プログラミング・モード時は，CLKOUT信号を出力できません（ロウ・レベルを出力）。

第７章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）

7.1　特　　徴

○パルス間隔や周波数の計測および，プログラマブルなパルスの出力

・16ビット計測可能

・多彩な形状のパルスを発生可能（インターバル・パルス，ワンショット・パルス）

○タイマ１

・16ビット・タイマ／イベント・カウンタ

・カウント・クロックのソース：２種（内部システム・クロックの分周を選択，外部パルス入力）

・キャプチャ／コンペア共用レジスタ：16本

・カウント・クリア端子：TCLR11-TCLR14

・割り込みソース：20種

・外部パルス出力：８本

○タイマ４

・16ビット・インターバル・タイマ

・カウント・クロックは，内部システム・クロックの分周から選択

・コンペア・レジスタ：１本

・割り込みソース：１種

7.2　基本構成

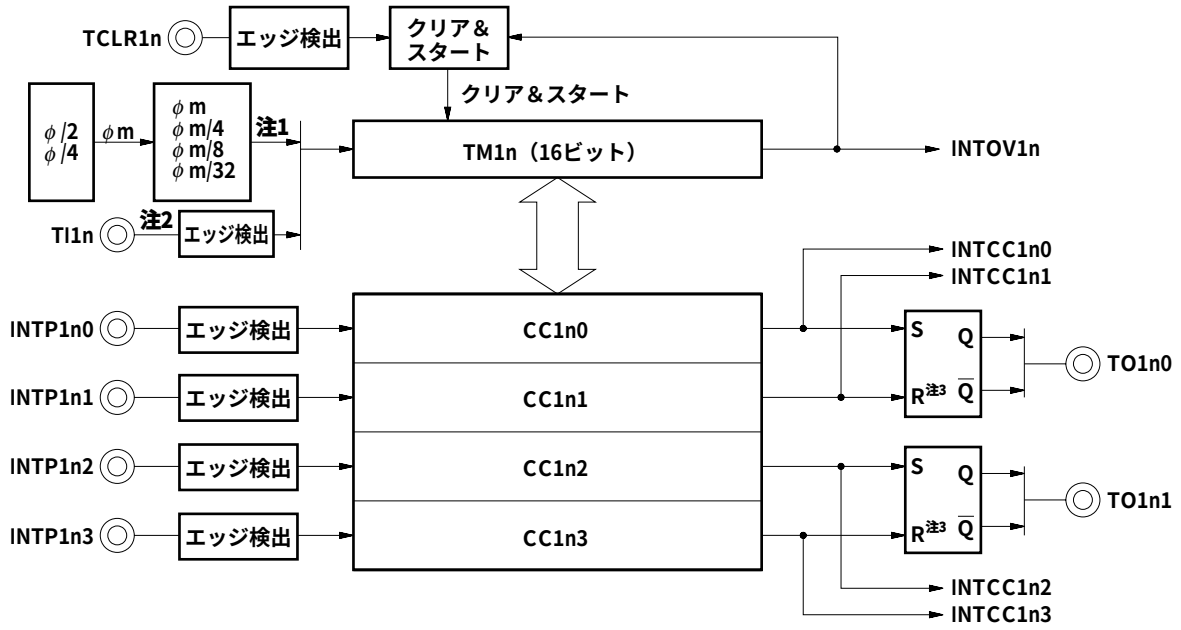
表７－１　リアルタイム・パルス・ユニット（RPU）の構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマ１	φ/２	TM11	リード	INTOV11	－	－	外部クリア
	φ/４	CC110	リード／ライト	INTCC110	INTP110	TO110（S）	－
	φ/８	CC111	リード／ライト	INTCC111	INTP111	TO110（R）	－
	φ/16	CC112	リード／ライト	INTCC112	INTP112	TO111（S）	－
	φ/32	CC113	リード／ライト	INTCC113	INTP113	TO111（R）	－
	φ/64	TM12	リード	INTOV12	－	－	外部クリア
	φ/128	CC120	リード／ライト	INTCC120	INTP120	TO120（S）	－
	TI1n端子入力	CC121	リード／ライト	INTCC121	INTP121	TO120（R）	－
	（n = 1-4）	CC122	リード／ライト	INTCC122	INTP122	TO121（S）	－
		CC123	リード／ライト	INTCC123	INTP123	TO121（R）	－
		TM13	リード	INTOV13	－	－	外部クリア
		CC130	リード／ライト	INTCC130	INTP130	TO130（S）	－
		CC131	リード／ライト	INTCC131	INTP131	TO130（R）	－
		CC132	リード／ライト	INTCC132	INTP132	TO131（S）	－
		CC133	リード／ライト	INTCC133	INTP133	TO131（R）	－
		TM14	リード	INTOV14	－	－	外部クリア
		CC140	リード／ライト	INTCC140	INTP140	TO140（S）	－
		CC141	リード／ライト	INTCC141	INTP141	TO140（R）	－
		CC142	リード／ライト	INTCC142	INTP142	TO141（S）	－
		CC143	リード／ライト	INTCC143	INTP143	TO141（R）	－
タイマ４	φ/2 φ/4 φ/16 φ/32	TM4	リード	－	－	－	－
	φ/64 φ/128 φ/512 φ/1024	CM4	リード／ライト	INTCM4	－	－	－

備考　φ　：内部システム・クロック

S/R：セット／リセット

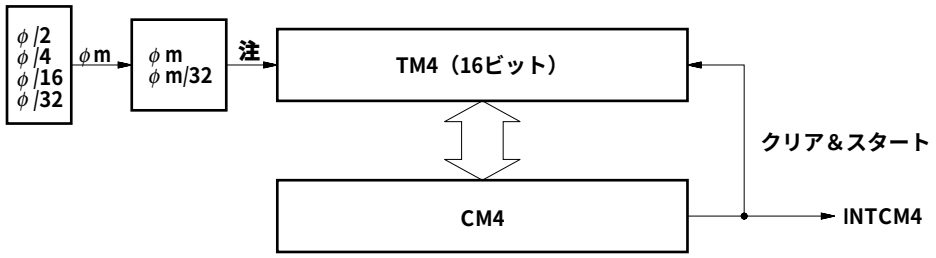
（1）タイマ１（16ビット・タイマ／イベント・カウンタ）



注１．内部カウント・クロック
　２．外部カウント・クロック
　３．リセット優先

備考　n = 1-4
　　φ：内部システム・クロック

（2）タイマ４（16ビット・インターバル・タイマ）



注　内部カウント・クロック

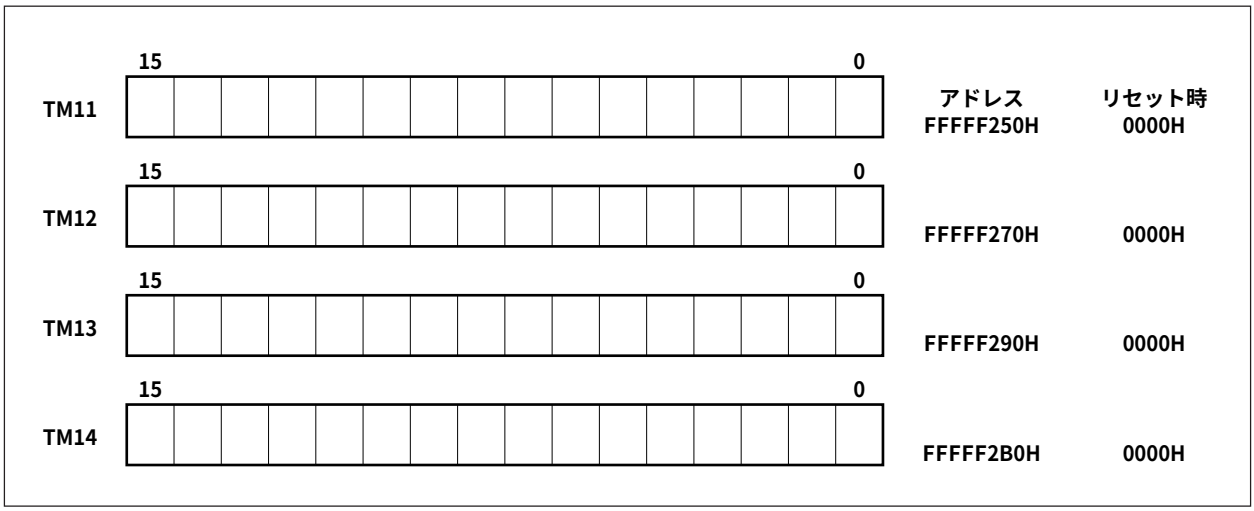
備考　φ：内部システム・クロック

7.2.1　タイマ１

（１）タイマ11-14（TM11-TM14）

TM1nは，16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに，周期計測，または周波数計測のほか，パルス出力としても利用できます。

TM1nは16ビット単位でリードのみ可能です（n = 1-4）。



TM1nは内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは，タイマ・コントロール・レジスタ１n（TMC1n）のCE1nビットで制御します。

カウント・クロックの内部/外部の選択はTMC1nレジスタによって行います。

（a）外部カウント・クロックを選択

ＴＭ１nは，イベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ１n（TUM1n）によって有効エッジを指定し，TI1n端子入力によりTM1nをカウント・アップします。

（b）内部カウント・クロックを選択

TM1nは，フリー・ランニング・タイマとして動作します。カウント・クロックは，プリスケーラによる分周を，TMC1レジスタによりφ/２，φ/４，φ/８，φ/16，φ/32，φ/64，φ/128から選択できます。

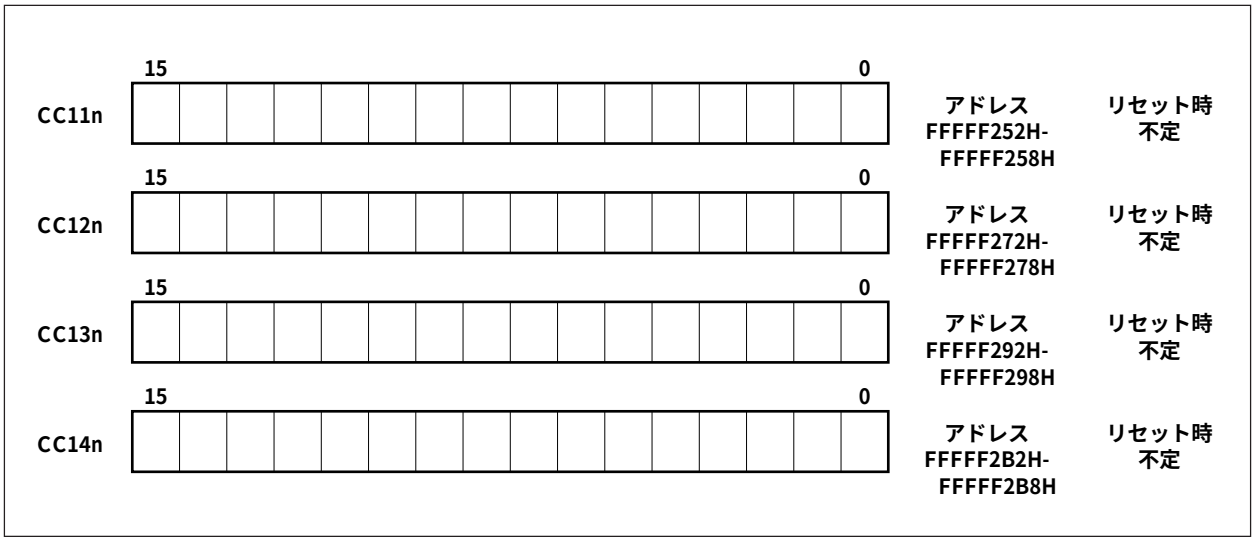
タイマがオーバフローすると，オーバフロー割り込みを発生することができます。また，TUM1nレジスタの指定により，オーバフロー後タイマを停止することができます。

また，外部入力TCLR1nによってタイマをクリアし，スタートすることができます。このとき，プリスケーラも同時にクリアされるので，TCLR1n入力から最初のタイマ・カウント・アップまでの時間は，プリスケーラの分周比に応じて一定となります。動作の設定はTUM1nレジスタで行います。

注意　タイマ動作中はカウント・クロックを変更できません。

（2）キャプチャ／コンペア・レジスタ1n0-1n3（CC1n0-CC1n3）（n＝1-4）

キャプチャ／コンペア・レジスタは，16ビット・レジスタでTM1nに接続されています。タイマ・ユニット・モード・レジスタ１n（TUM1n）の指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。



（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込みINTP1n0-INTP1n3信号の有効エッジをキャプチャ・トリガとして検出します。タイマ１nはキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。キャプチャ動作は，カウント・クロックとは非同期に行われます。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

キャプチャ・レジスタへのキャプチャ（ラッチ）・タイミングと，命令によるレジスタへの書き込み動作が競合した場合は，後者が優先され，キャプチャ動作は無視されます。

また，外部割り込みの有効エッジ指定（立ち上がり，立ち下がり，両エッジ）は，外部割り込みモード・レジスタ（INTM2）により選択することができます。

キャプチャ・レジスタに指定したときは，INTP1n0-INTP1n3信号の有効エッジ検出で割り込みを発生します。このとき，コンペア・レジスタの一致信号であるINTCC1n0-INTCC1n3によって割り込みを発生させることはできません。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合は，タイマのカウント・クロックごとにタイマとレジスタ値の比較動作を行い，一致による割り込みを発生します。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号発生に同期して，対応するタイマ出力（TO1n0, TO1n1）をセットまたはリセットします。

割り込みソースは選択したレジスタの機能で異なります。

コンペア・レジスタに指定した場合，TUM1nレジスタの指定により，一致信号であるINTCC1n0-INTCC1n3か，または，INTP1n0-INTP1n3信号の有効エッジ検出のいずれかを選択して割り込み信号とすることができます。

なお，INTP1n0-INTP1n3信号を選択した場合は，外部割り込み要求の受け付けと，コンペア・レジスタのセット／リセット出力機能によるタイマ出力を並行して行えます。

7.2.2　タイマ４

（1）タイマ４（TM4）

TM4は，16ビット・タイマです。おもに，ソフトウエアのためのインターバル・タイマとして利用できます。

TM4は，16ビット単位でリードのみ可能です。

	15															0		
TM4																	アドレス FFFFF350H	リセット時 0000H

TM4のスタートおよびストップは，タイマ・コントロール・レジスタ４（TMC4）のCE4ビットによって制御します。

カウント・クロックは，プリスケーラによる分周を，TMC4レジスタによりφ/２，φ/４，φ/16，φ/32，φ/64，φ/128，φ/512，φ/1024から選択できます。

注意　コンペア一致が発生したあと，タイマは次のカウント・クロックでクリアされるため，分周比が大きいときは，一致割り込み発生直後にタイマの値を読み出しても，タイマの値が０でない場合があります。
また，タイマ動作中はカウント・クロックを変更できません．

（2）コンペア・レジスタ４（CM4）

CM4は16ビット・レジスタであり，TM4に接続されています。16ビット単位でリード/ライト可能です。

	15															0		
CM4																	アドレス FFFFF352H	リセット時 不定

TM4のカウント・クロックごとにTM4とCM4の比較を行い，一致による割り込み（INTCM4）を発生します。この一致に同期してTM4をクリアします。

7.3　制御レジスタ

（1）タイマ・ユニット・モード・レジスタ11-14（TUM11-TUM14）

TUM1nレジスタはタイマ１の動作を制御するレジスタで，キャプチャ/コンペア・レジスタの動作モードを指定します（n = 1-4）。

16ビット単位でリード/ライト可能です。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
TUM11	0	0	OST1	ECLR 11	TES 111	TES 110	CES 111	CES 110	CMS 113	CMS 112	CMS 111	CMS 110	IMS 113	IMS 112	IMS 111	IMS 110	FFFFF240H	0000H
TUM12	0	0	OST2	ECLR 12	TES 121	TES 120	CES 121	CES 120	CMS 123	CMS 122	CMS 121	CMS 120	IMS 123	IMS 122	IMS 121	IMS 120	FFFFF260H	0000H
TUM13	0	0	OST3	ECLR 13	TES 131	TES 130	CES 131	CES 130	CMS 133	CMS 132	CMS 131	CMS 130	IMS 133	IMS 132	IMS 131	IMS 130	FFFFF280H	0000H
TUM14	0	0	OST4	ECLR 14	TES 141	TES 140	CES 141	CES 140	CMS 143	CMS 142	CMS 141	CMS 140	IMS 143	IMS 142	IMS 141	IMS 140	FFFFF2A0H	0000H

ビット位置	ビット名	意　　味
13	OSTn	Overflow Stop タイマのオーバフロー後の動作を指定します。このフラグが有効なのはTM1nのみです。 ０：タイマのオーバフロー後，タイマはカウント・アップを続けます。 １：タイマのオーバフロー後，タイマは0000Hを保持し停止状態となります。 このとき，TMC1nレジスタのCE1nビットは，“１”のままです。 次の動作によりカウント・アップを再開します。 ECLR1n = “０”のとき：CE1nビットへの“１”ライト動作 ECLR1n = “１”のとき：タイマ・クリア端子（TCLR1n）へのトリガ入力
12	ECLR1n	External Input Timer Clear TM1nの外部クリア入力（TCLR1n）によるタイマのクリアを許可します。 ０：外部入力によるクリアはしません。 １：外部入力によりTM1nをクリアします。 クリア後，カウント・アップを開始します。
11,10	TES1n1, TES1n0	TI1n Edge Select 外部クロック入力（TI1n）の有効エッジを指定します。

TES1n1	TES1n0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり，立ち下がり両エッジ

備考　n = 1-4

(2/2)

ビット位置	ビット名	意　　味
9, 8	CES1n1, CES1n0	TCLR1n Edge Select 外部クリア入力（TCLR1n）の有効エッジを指定します。 CES1n1 / CES1n0 / 有効エッジ 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / RFU（予約） 1 / 1 / 立ち上がり，立ち下がり両エッジ
7-4	CMS1n3- CMS1n0	Capture/Compare Mode Select キャプチャ/コンペア・レジスタ（CC1n0-CC1n3）の動作モードを選択します。 ０：キャプチャ・レジスタとして動作します。ただしキャプチャ・レジスタ指定時のキャプチャ動作は，TMC1nレジスタのCE1n = “ １ ” 時のみ行います。 １：コンペア・レジスタとして動作します。
3-0	IMS1n3- IMS1n0	Interrupt Mode Select 割り込みソースとして，INTP1nmかINTCC1nmかを選択します（m = 0-3）。 ０：コンペア・レジスタの一致信号INTCC1nmを割り込み信号にします。 １：外部からの入力信号INTP1nmを割り込み信号にします。

備考　n = 1-4

A/Dコンバータ使用時の注意事項

（1）A/Dコンバータをタイマ・トリガ・モードに設定した場合

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり，変換動作を開始します。このとき，コンペア・レジスタの一致割り込みは，CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには，割り込み制御レジスタ（P11IC0-P11IC3）の割り込みマスク・ビット（P11MK0-P11MK3）で割り込みを禁止してください。

（2）A/Dコンバータを外部トリガ・モードに設定した場合

外部トリガ入力がA/D変換開始トリガとなり，変換動作を開始します。このとき，外部トリガ入力はタイマ１のキャプチャ・トリガ，外部割り込みとしても機能します。キャプチャ・トリガ，外部割り込みを発生させないためには，タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。

タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタで割り込みを禁止しない場合の動作は次のようになります。

（a）TUM11レジスタの割り込みマスク・ビット（IMS113）が０の場合

CPUに対するコンペア・レジスタの一致割り込みとしても機能します。

（b）TUM11レジスタの割り込みマスク・ビット（IMS113）が１の場合

A/Dコンバータの外部トリガ入力がCPUに対する外部割り込みとしても機能します。

（２）タイマ・コントロール・レジスタ11-14（TMC11-TMC14）

TMC11-TMC14はTM11-TM14の動作を制御します。

8/1ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	リセット時
TMC11	CE11	0	0	ETI11	PRS111	PRS110	PRM111	0	FFFFF242H	00H
TMC12	CE12	0	0	ETI12	PRS121	PRS120	PRM121	0	FFFFF262H	00H
TMC13	CE13	0	0	ETI13	PRS131	PRS130	PRM131	0	FFFFF282H	00H
TMC14	CE14	0	0	ETI14	PRS141	PRS140	PRM141	0	FFFFF2A2H	00H

ビット位置	ビット名	意　　味
7	CE1n	Count Enable タイマの動作を制御します。 ０：タイマは“0000H”状態で停止し，動作しません。 １：タイマはカウント動作を行います。ただし，TUM1nレジスタのECLR1n＝“１”のときは，TCLR1n入力があるまでタイマはカウント・アップを開始しません。 ECLR1n＝“０”のとき，CE1n＝“１”によるタイマのカウント・スタートは，CE1nビットへの“１”ライト動作がスタート・トリガとなります。したがって，ECLR1n＝“１”の状態でCE1nをセットしたあとECLR1n＝“０”としても，タイマはスタートしません。
4	ETI1n	External TI1n Input カウント・クロックの外部と内部の切り替えを指定します。 ０：φ系（内部）を指定します。 １：TI1n（外部） を指定します。
３，２	PRS1n1, PRS1n0	Prescaler Clock Select 内部カウント・クロックを選択します（φmは中間クロック）。

PRS1n1	PRS1n0	カウント・クロック
0	0	φm
0	1	φm/4
1	0	φm/8
1	1	φm/32

注意　タイマ動作中にカウント・クロックを変更しないでください。

備考　n = 1-4

（2/2）

ビット位置	ビット名	意　　味
1	PRM1n1	Prescaler Clock Mode カウント・クロックの中間クロック（φm）を選択します（φは内部システム・クロック）。 0：φ/2 1：φ/4

注意　タイマ動作中にカウント・クロックを変更しないでください。

備考　n = 1-4

（３）タイマ・コントロール・レジスタ４（TMC4）

TMC4はTM4の動作を制御します。

８/１ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
TMC4	CE4	0	0	0	0	PRS40	PRM41	PRM40	FFFFF342H	00H

ビット位置	ビット名	意　　味
7	CE4	Count Enable タイマの動作を制御します。 ０：タイマは“0000H”状態で停止し，動作しません。 １：タイマはカウント動作を行います。
2	PRS40	Prescaler Clock Select 内部カウント・クロックを選択します（φmは中間クロック）。 ０：φm １：φm/32
１，０	PRM41, PRM40	Prescaler Clock Mode カウント・クロックの中間クロック（φm）を選択します（φは内部システム・クロック）。

PRM41	PRM40	φm
0	0	φ/2
0	1	φ/4
1	0	φ/16
1	1	φ/32

注意　タイマ動作中にカウント・クロックを変更しないでください。

（４）タイマ出力コントロール・レジスタ11-14（TOC11-TOC14）

TOC1nレジスタはTO1n0, TO1n1端子からのタイマ出力を制御します（ｎ = 1-4）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
TOC11	ENTO111	ALV111	ENTO110	ALV110	0	0	0	0	FFFFF244H	00H
TOC12	ENTO121	ALV121	ENTO120	ALV120	0	0	0	0	FFFFF264H	00H
TOC13	ENTO131	ALV131	ENTO130	ALV130	0	0	0	0	FFFFF284H	00H
TOC14	ENTO141	ALV141	ENTO140	ALV140	0	0	0	0	FFFFF2A4H	00H

ビット位置	ビット名	意　　味
７，５	ENTO1n1, ENTO1n0	Enable TO pin 対応する各タイマ出力（TO1n0, TO1n1）の許可を行います。 ０：タイマ出力は禁止状態です。対応するTO1n0, TO1n1端子からはALV1n0, ALV1n1ビットの逆相のレベル（インアクティブ・レベル）が出力します。対応するコンペア・レジスタから一致信号が発生してもTO1n0, TO1n1端子のレベルは変化しません。 １：タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは，ALV1n0, ALV1n1ビットの逆相のレベル（インアクティブ・レベル）が出力されます。
６，４	ALV1n1, ALV1n0	Active Level TO pin タイマ出力のアクティブ・レベルを指定します。 ０：アクティブ・レベルはロウ・レベル １：アクティブ・レベルはハイ・レベル

備考１． TO1n0, TO1n1出力のフリップフロップはリセット優先です。

２． n = 1-4

注意　TO1n0, TO1n1出力は外部割り込み信号（INTP1n0-INTP1n3）では変化しません。TO1n0, TO1n1信号を使用するときは，キャプチャ/コンペア・レジスタをコンペア・レジスタ（CMS = 1）に指定してください。

（５）外部割り込みモード・レジスタ1-4（INTM1-INTM4）

TM1nのCC1n0-CC1n3をキャプチャ・レジスタとして使用する場合，外部割り込みINTP1n0-INTP1n3信号の有効エッジをキャプチャ・トリガとして検出します（詳細は，**第５章　割り込み／例外処理機能**を参照してください）（ｎ = 1-4）。

（６）タイマ・オーバフロー・ステータス・レジスタ（TOVS）

TM11-TM14, TM4からのオーバフロー・フラグを割り当てています。

8/1ビット単位でリード／ライト可能です。

TOVSレジスタをソフトウエアでテスト＆リセットすることで，オーバフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0	アドレス	リセット時
TOVS	0	0	0	OVF4	OVF14	OVF13	OVF12	OVF11	FFFFF230H	00H

ビット位置	ビット名	意　　味
４，１	OVF4, OVF11- OVF14	Overflow Flag TM4/1nオーバフロー・フラグです。 ０：オーバフロー発生なし １：オーバフローが発生 注意　TM1nからはオーバフローに同期して，割り込みコントローラに対し，割り込み要求（INTOV1n）が発生しますが，割り込みの動作と，TOVSは独立しており，TM1nからのオーバフロー・フラグ（OVF1n）に対しても，ほかのオーバフロー・フラグと同様にソフトウエアで操作できます。 このとき，INTOV1nに対応する割り込み要求フラグ（OVF1n）には影響を与えません。 CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって，TOVSレジスタの読み出し中にオーバフローが発生しても，フラグの値は変化せず，次の読み出し時に反映されます。

備考　n = 1-4

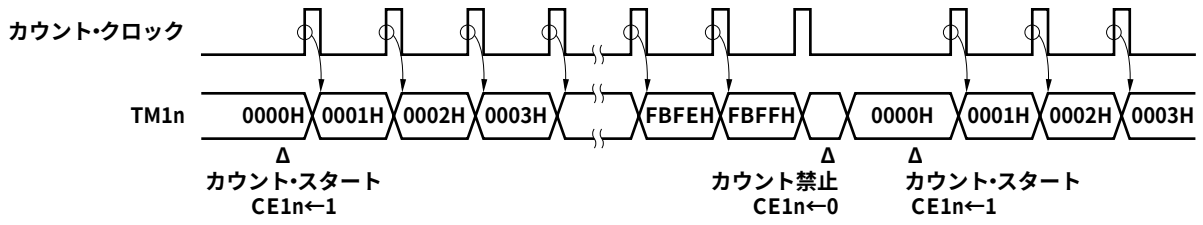
7.4　タイマ１動作

7.4.1　カウント動作

タイマ１は，16ビットのフリー・ランニング・タイマまたは，外部信号のイベント・カウンタとして機能します。動作の設定は，タイマ・コントロール・レジスタ１n（TMC1n）で指定します（n = 1-4）。

フリー・ランニング・タイマとして動作する場合，CC1n0-CC1n3レジスタとTM1nのカウント値が一致すると，割り込み信号を発生させるとともに，タイマ出力信号（TO1n0, TO1n1）をセット/リセットすることができます。また，外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して，TM1nのカウント値をCC1n0-CC1n3レジスタに保持するキャプチャ動作を行います。キャプチャの値は，次のキャプチャ・トリガが発生するまで保持されます。

図７－１　タイマ１の基本動作



備考　n = 1-4

7.4.2　カウント・クロック選択

タイマ１に入力されるカウント・クロックには内部と外部があり，TMC1nレジスタのETI1nビットで選択できます（n = 1-4）。

注意　タイマの動作中にカウント・クロックを変更しないでください。

（1）内部カウント・クロック（ETI1nビット = 0）

TMC1nレジスタのPRM1n1と，PRS1n0, PRS1n1ビットの設定によってφ/２，φ/４，φ/８，φ/16，φ/32，φ/64，φ/128の７通りから内部カウント・クロックを選択します。

PRS1n1	PRS1n0	PRM1n1	内部カウント・クロック
0	0	0	φ/２
0	0	1	φ/４
0	1	0	φ/８
0	1	1	φ/16
1	0	0	φ/16
1	0	1	φ/32
1	1	0	φ/64
1	1	1	φ/128

備考　n = 1-4

（2）外部カウント・クロック（ETI1nビット =１）

TI1n端子に入力される信号をカウントします。このとき，タイマ１はイベント・カウンタとして動作することもできます。

TI1nの有効エッジはTUM1nレジスタのTES1n0, TES1n1ビットによって指定します。

TES1n1	TES1n0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり，立ち下がり両エッジ

備考　n = 1-4

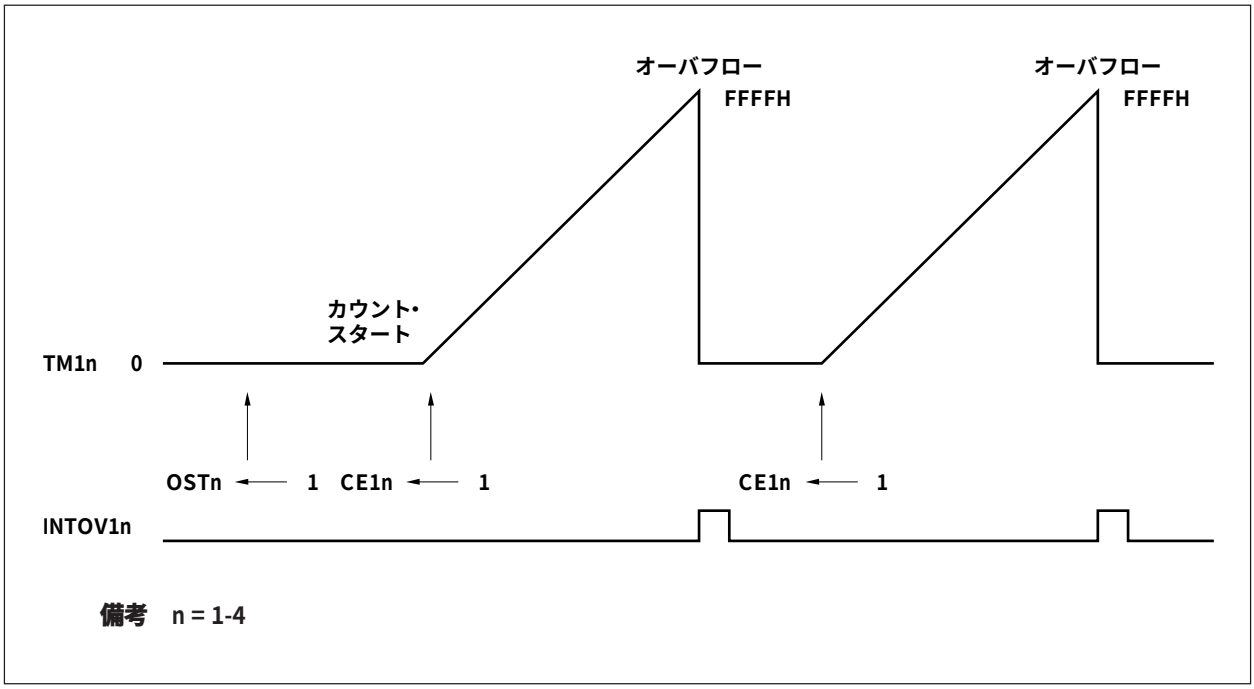
7.4.3　オーバフロー

TM1nレジスタがカウント・クロックをFFFFHまでカウントした結果，オーバフローすると，TOVSレジスタのOVF1nビットにフラグをセットし，オーバフロー割り込み（INTOV1n）を発生します。

また，TUM1nレジスタのOSTnビットを“１”に指定することで，オーバフロー後，タイマを停止させることができます。オーバフローによりタイマが停止した場合，ソフトウエアでCE1nビットに１をセットするまでカウント動作を再開しません。

なお，カウント動作中にCE1nビットに１をセットしても動作に影響はありません。

図７－２　オーバフロー後の動作（ECLR1n = 0，OSTn = 1の場合）



7.4.4　TCLR信号入力によるタイマのクリア／スタート

タイマ１は，通常TMC1nレジスタのCE1nビットに１をセットするとカウント動作を開始しますが，外部入力TCLR1nによって，TM1nをクリアし，カウント動作を開始することができます（n = 1-4）。

ECLR1nビット = 1，OSTnビット = 0に設定し，CE1nビットに１をセットしたあと，TCLR1n信号に有効エッジを入力すると，カウント動作を開始します。また，動作中にTCLR1n信号に有効エッジが入力されると，TM1nは値をクリアし，カウント動作を再開します（**図７－３**参照）。

ECLR1nビット = 1，OSTnビット = 1に設定し，CE1nビットを０から１にセットしたあと，TCLR1n信号に有効エッジを入力すると，カウント動作を開始します。TM1nがオーバフローすると，カウント動作はいったん停止し，TCLR1n信号に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR1n信号の有効エッジが検出されると，TM1nはクリアされカウント動作を続けます（**図７－４**参照）。なお，オーバフロー後にCE1nビットに１をセットしても，カウント動作は再開しません。

図７－３　TCLR1n信号入力によるタイマのクリア／スタート動作（ECLR1n = 1，OSTn = 0の場合）

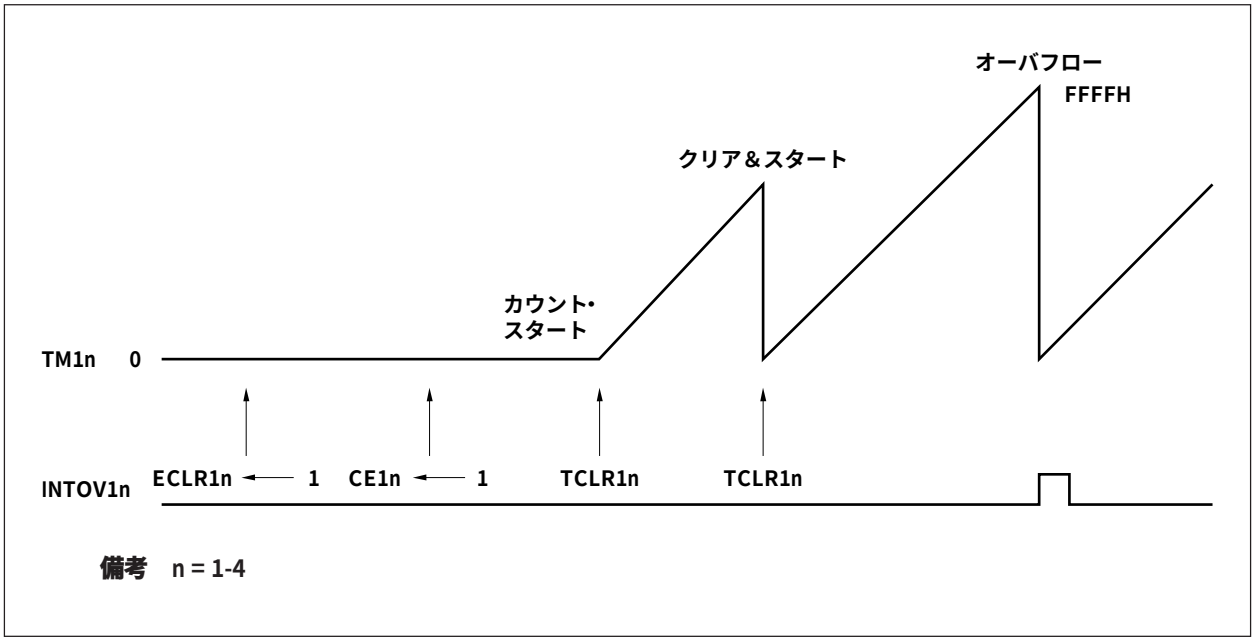
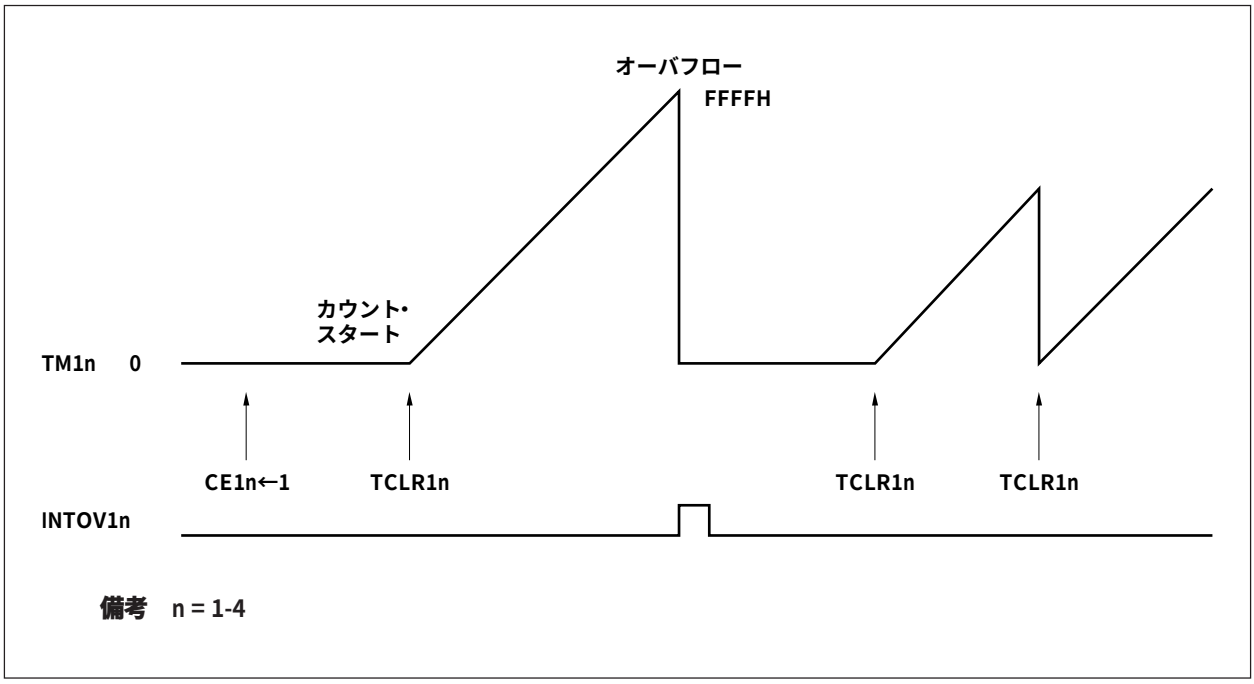


図７－４　TCLR1n信号入力によるクリア／スタートとオーバフロー動作の関係（ECLR1n = 1，OSTn = 1の場合）



7.4.5　キャプチャ動作

外部トリガに同期して，TM1nのカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います（n = 1-4）。外部トリガとして，外部割り込み要求入力端子INTP1n0-INTP1n3から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して，カウント中のTM1nのカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は，次のキャプチャ・トリガが発生するまで保持されます。

また，INTP1n0-INTP1n3入力信号により割り込み要求（INTCC1n0-INTCC1n3）を発生します。

表７－２　16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TM1n）

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1n0	INTP1n0
CC1n1	INTP1n1
CC1n2	INTP1n2
CC1n3	INTP1n3

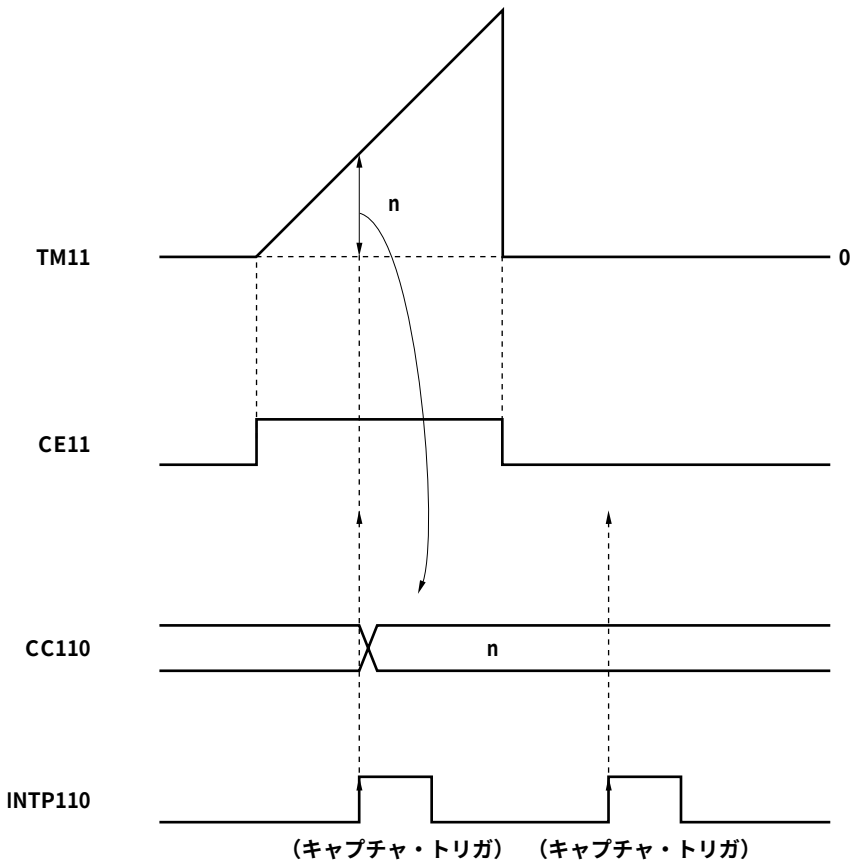
備考１．CC1n0-CC1n3はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは，タイマ・ユニット・モード・レジスタ１n（TUM1n）で指定します。

２．n = 1-4

キャプチャ・トリガの有効エッジは，外部割り込みモード・レジスタ（INTMn）により設定します。

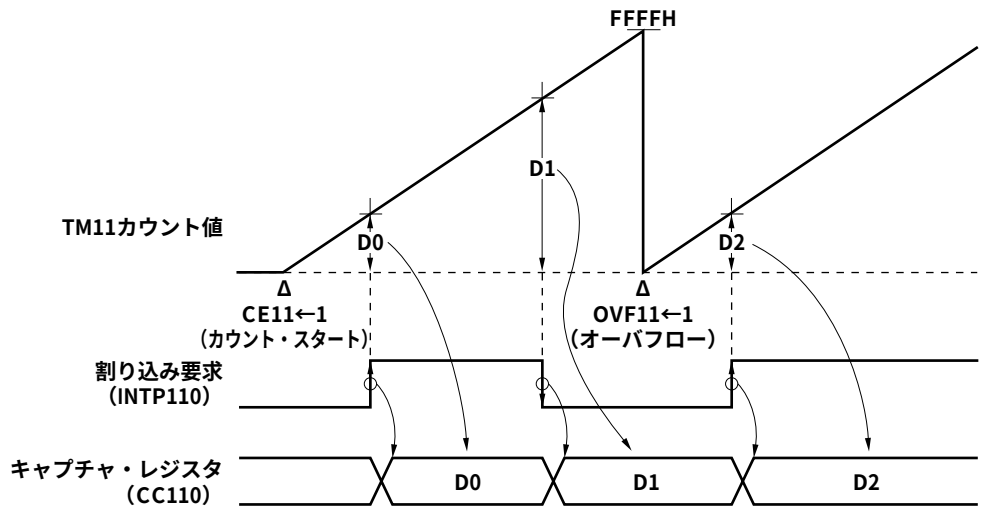
立ち上がり，立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。また，片側エッジをキャプチャ・トリガとした場合は，入力パルスの周期を測定できます。

図７－５　キャプチャ動作例



備考　CE11がクリア（０）されているとき，割り込み要求（INTP110）が入力されてもキャプチャ動作は行われません。

図７－６　TM11キャプチャ動作例（両エッジ指定時）



備考　D0-D2：TM11のカウント値

7.4.6　コンペア動作

コンペア・レジスタに設定した値とTM1nのカウント値を比較するコンペア動作を行います（n = 1-4）。

あらかじめ設定したコンペア・レジスタの値に，TM1nのカウント値が一致すると，出力制御回路に一致信号を送ります（**図７－７**参照）。一致信号によりタイマ出力端子（TO1n0-TO1n1）を変化させ，同時に割り込み要求信号を発生します。

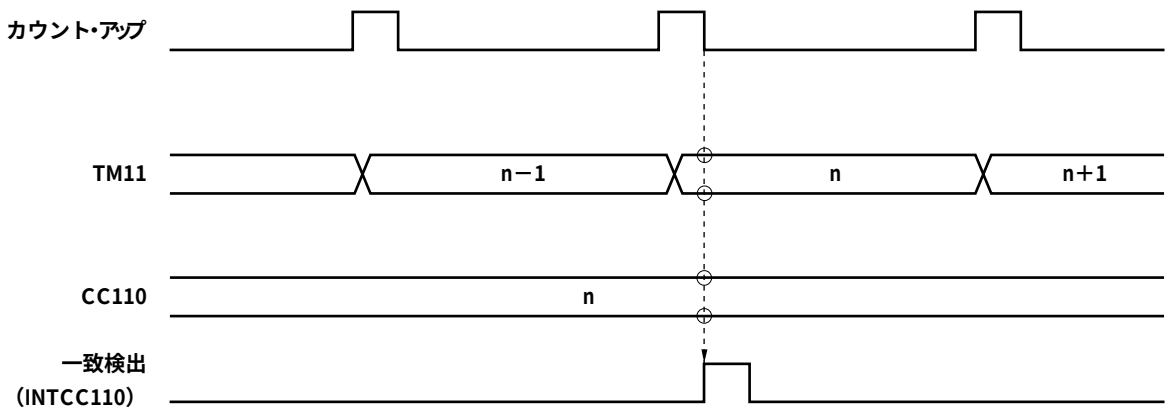
表７－３　16ビット・コンペア・レジスタからの割り込み要求信号（TM1n）

コンペア・レジスタ	割り込み要求信号
CC1n0	INTCC1n0
CC1n1	INTCC1n1
CC1n2	INTCC1n2
CC1n3	INTCC1n3

備考１． CC1n0-CC1n3はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかはタイマ・ユニット・モード・レジスタ１n（TUM1n）で指定します。

２． n = 1-4

図７－７　コンペア動作例



備考　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

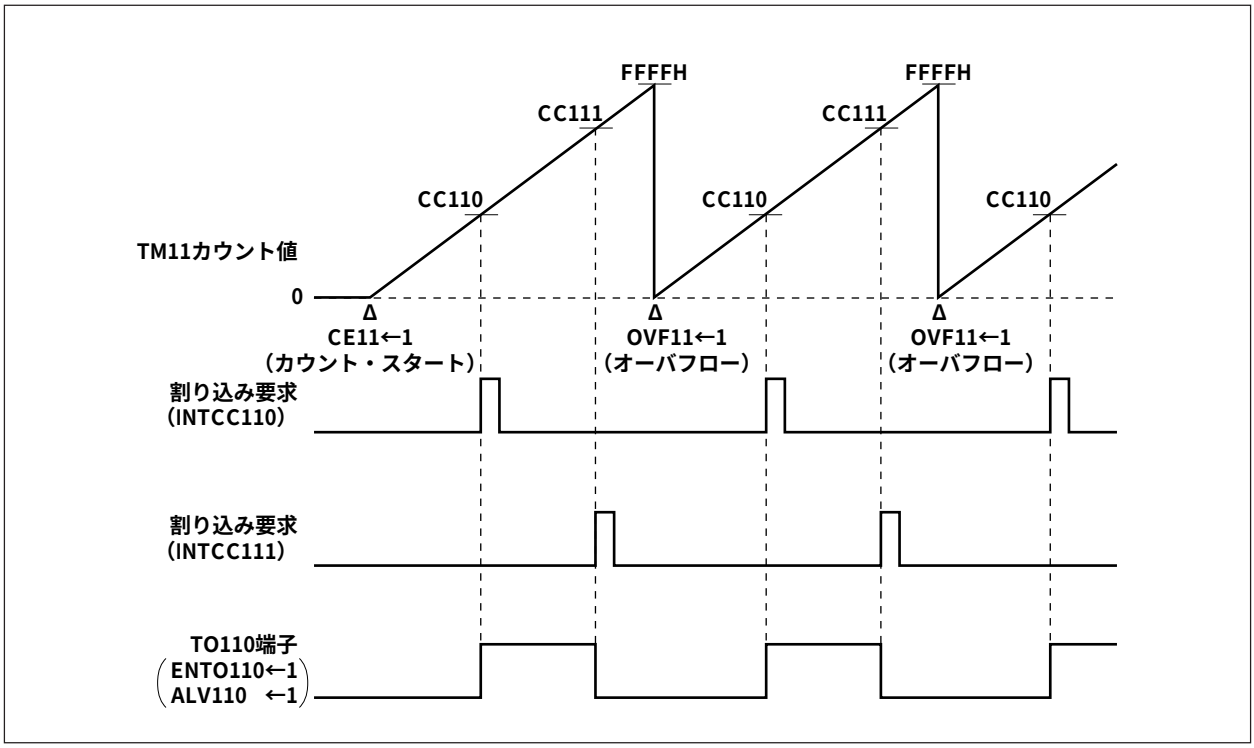
タイマ１は８本のタイマ出力端子（TO1n0, TO1n1）を持っています。

TM1nのカウント値とCC1n2の値を比較し，一致するとTO1n1端子の出力レベルをセットします。また，TM1nのカウント値とCC1n3の値を比較し，一致するとTO1n1端子の出力レベルをリセットします。

同様にTM1nのカウント値とCC1n0の値を比較し，一致するとTO1n0端子の出力レベルをセットします。またTM1nのカウント値とCC1n1の値を比較し，一致するとTO1n0端子の出力レベルをリセットします。

TO1n0, TO1n1端子の出力レベルは，TOC1nレジスタによって指定できます。

図７－８　TM11コンペア動作例（セット／リセット出力モード）



7.5　タイマ４動作

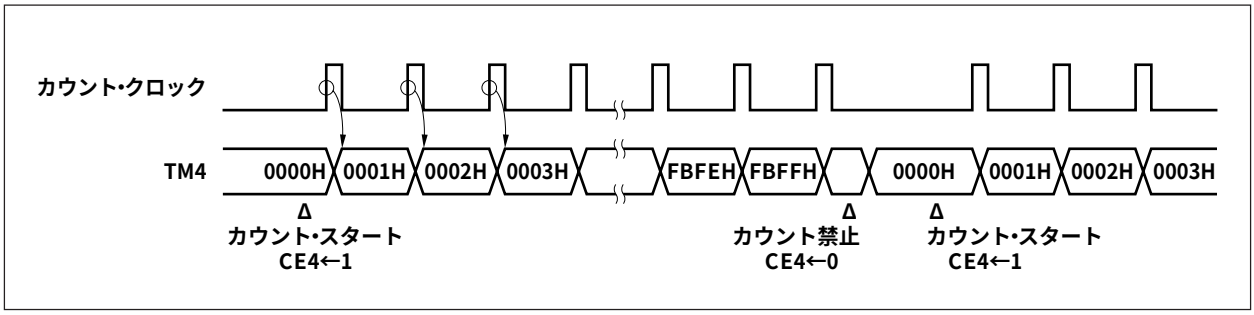
7.5.1　カウント動作

タイマ４は，16ビットのインターバル・タイマとして機能します。動作の設定は，タイマ・コントロール・レジスタ４（TMC4）で指定します。

タイマ４のカウント動作は，TMC4レジスタのPRS40, PRM41, PRM40ビットで指定される内部カウント・クロック（φ/２-φ/1024）をカウント・アップします。

カウントの結果，TM4の値がCM4と一致すると，TM4をクリアします。同時に一致割り込み（INTCM4）を発生します。

図７－９　タイマ４の基本動作



7.5.2　カウント・クロック選択

TMC4レジスタのPRS40,PRM40,PRM41ビットの設定によってφ/２，φ/４，φ/16，φ/32，φ/64，φ/128，φ/512，φ/1024の８通りから内部カウント・クロックを選択します。

注意　タイマの動作中に内部カウント・クロックを変更しないでください。

PRS40	PRM41	PRM40	内部カウント・クロック
0	0	0	φ/2
0	0	1	φ/4
0	1	0	φ/16
0	1	1	φ/32
1	0	0	φ/64
1	0	1	φ/128
1	1	0	φ/512
1	1	1	φ/1024

7.5.3 オーバフロー

内部カウント・クロックをカウントした結果，TM4がオーバフローすると，TOVSレジスタのOVF4ビットをセット（1）します。

7.5.4 コンペア動作

タイマ４では，コンペア・レジスタ（CM4）に設定した値とTM4のカウント値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み（INTCM4）を発生します。割り込み発生により，次のカウント・タイミングでTM4は０にクリアされます（**図７－10（a）**参照）。この機能により，タイマ４をインターバル・タイマとして使用します。

CM4には０を設定することもできます。この場合はオーバフローしてTM4が０になるとともに一致を検出しINTCM4が発生します。次のカウント・タイミングでTM4の値をクリア（０）しますが，この一致では，INTCM4は発生しません（**図７－10（b）**参照）。

図７－10　TM4コンペア動作例（1/2）

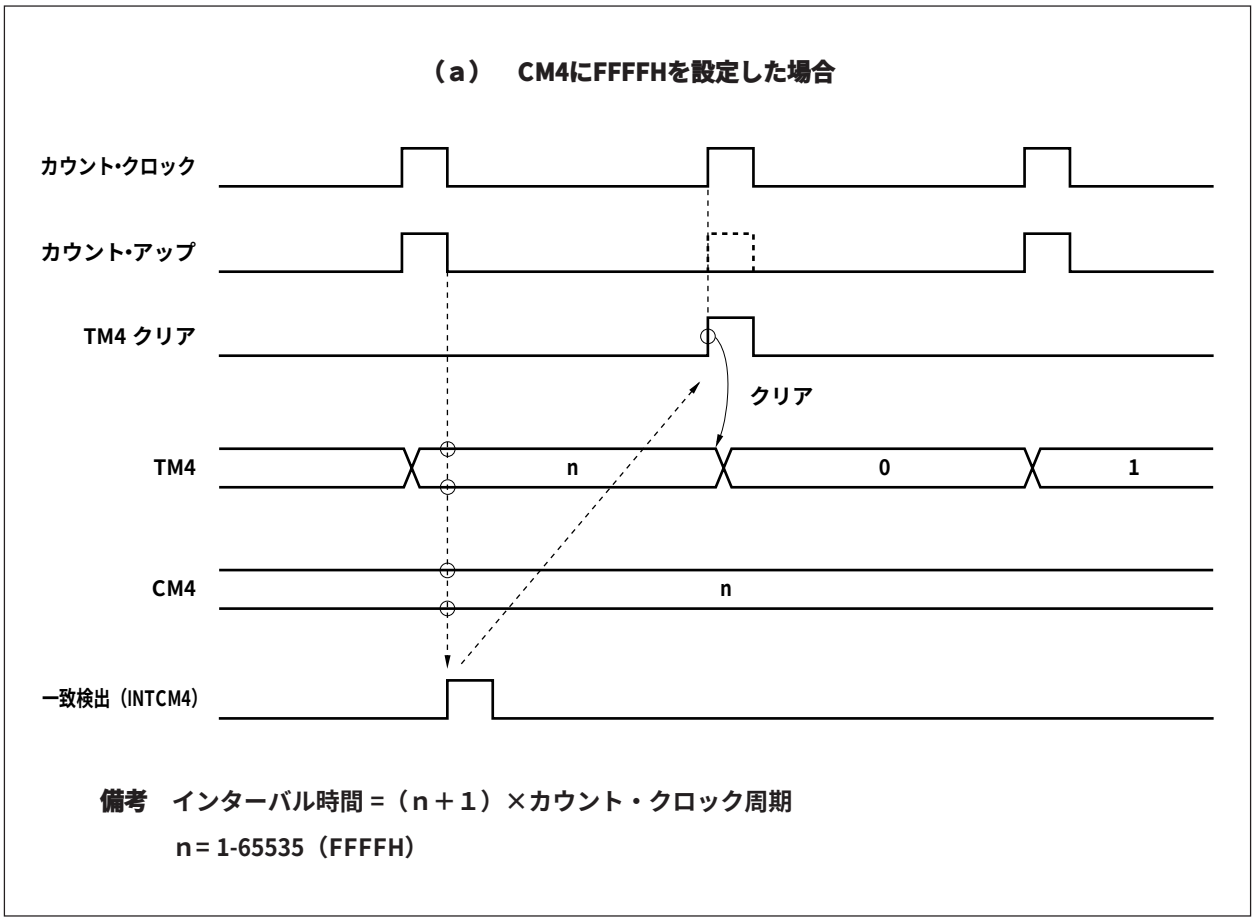
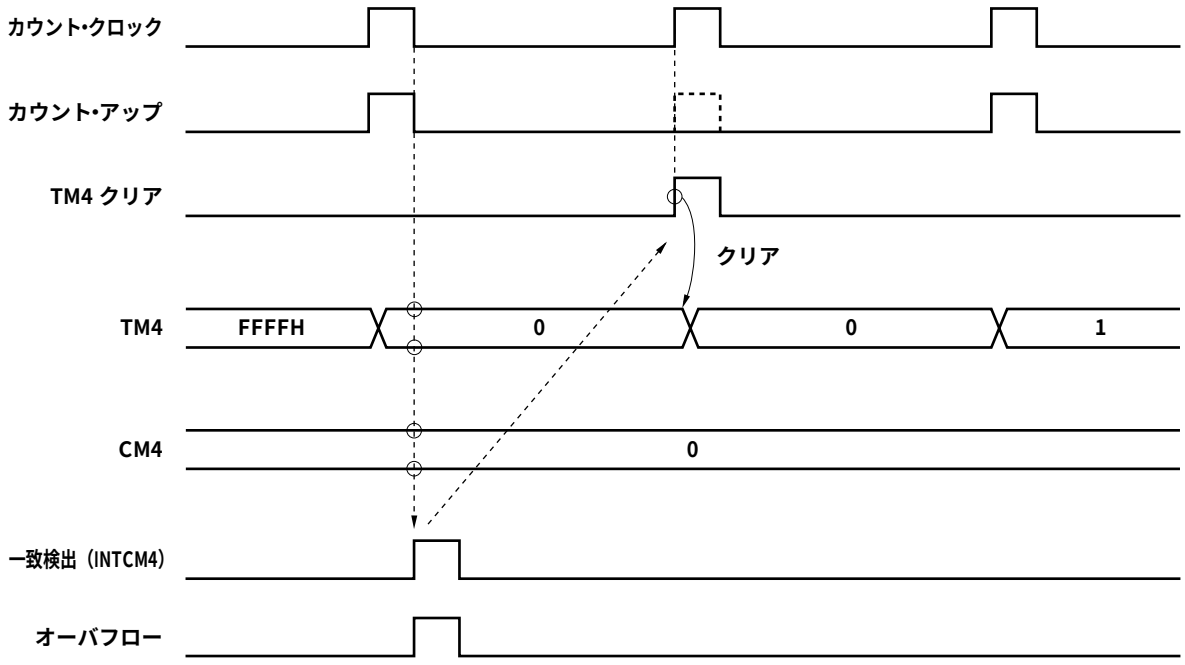


図７－10　TM4コンペア動作例（2/2）

（b）　CM4に０を設定した場合



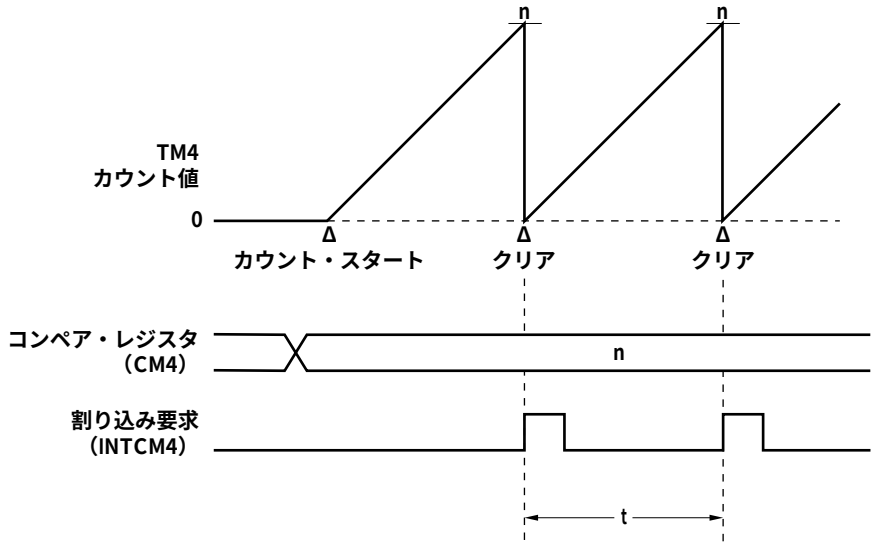
備考　インターバル時間 =（FFFFH＋１）×カウント・クロック周期

7.6　応 用 例

（1）インターバル・タイマとしての動作（タイマ４）

タイマ４をコンペア・レジスタCM4にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとして使用します。

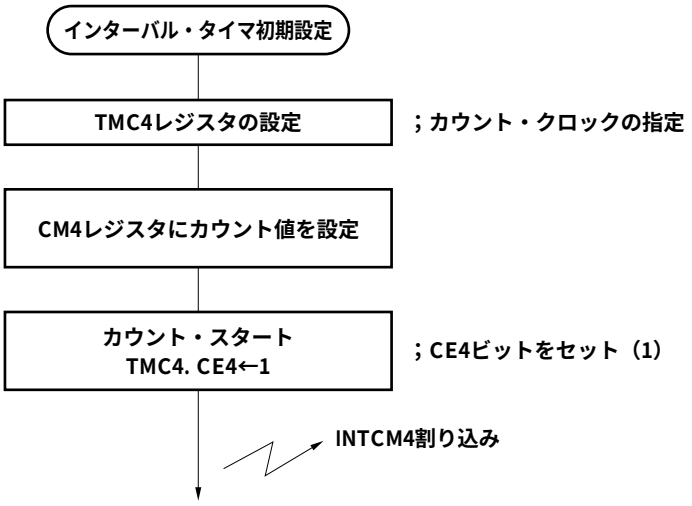
図７－11　インターバル・タイマ動作のタイミング例



備考　n：CM4レジスタの値

t：インターバル時間＝（n＋1）×カウント・クロック周期

図７－12　インターバル・タイマ動作の設定手順例



（２）パルス幅測定としての動作（タイマ１）

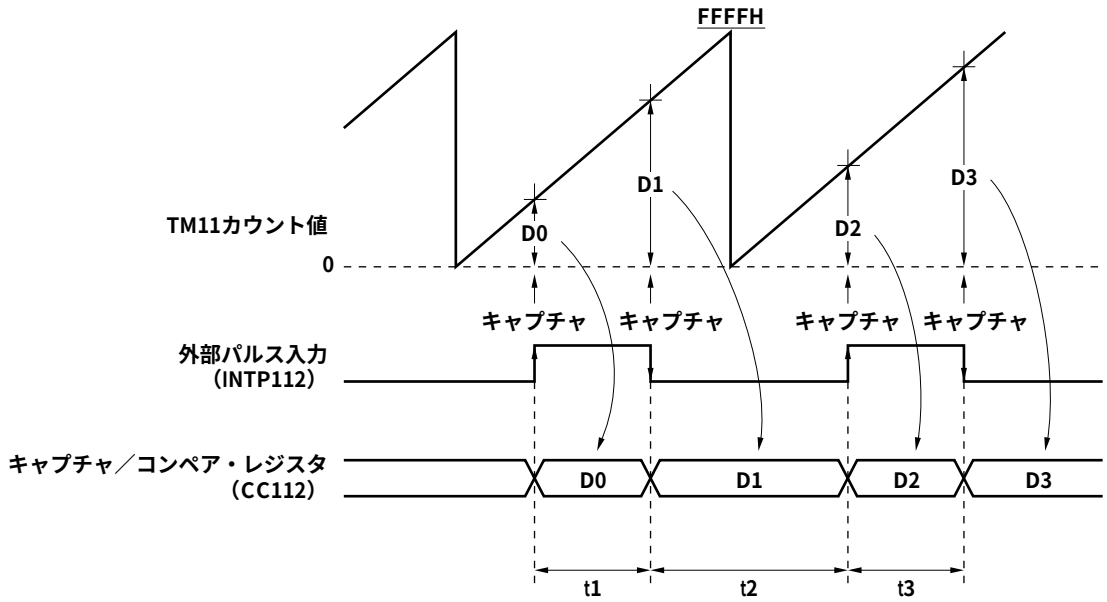
パルス幅測定には，タイマ１を使用します。

ここでは，INTP112端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定する例を示します。

図７－13に示すように，INTP112端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中のタイマ１（TM11）の値をキャプチャ/コンペア・レジスタ（CC112）に取り込み保持します。

パルス幅は，ｎ回目の有効エッジ検出によりCC112レジスタに取り込み保持されたTM11のカウント値（Dn）と（ｎ－１）回目の有効エッジ検出によるカウント値（Dn－１）との差を求め，この値と，カウント・クロックとの積から計算します。

図７－13　パルス幅測定のタイミング例



t1 =（D1－D0）×カウント・クロック周期
t2 = {（10000H－D1）＋D2} ×カウント・クロック周期
t3 =（D3－D2）×カウント・クロック周期

備考　D0-D3：TM11のカウント値

図７－14　パルス幅測定の設定手順例

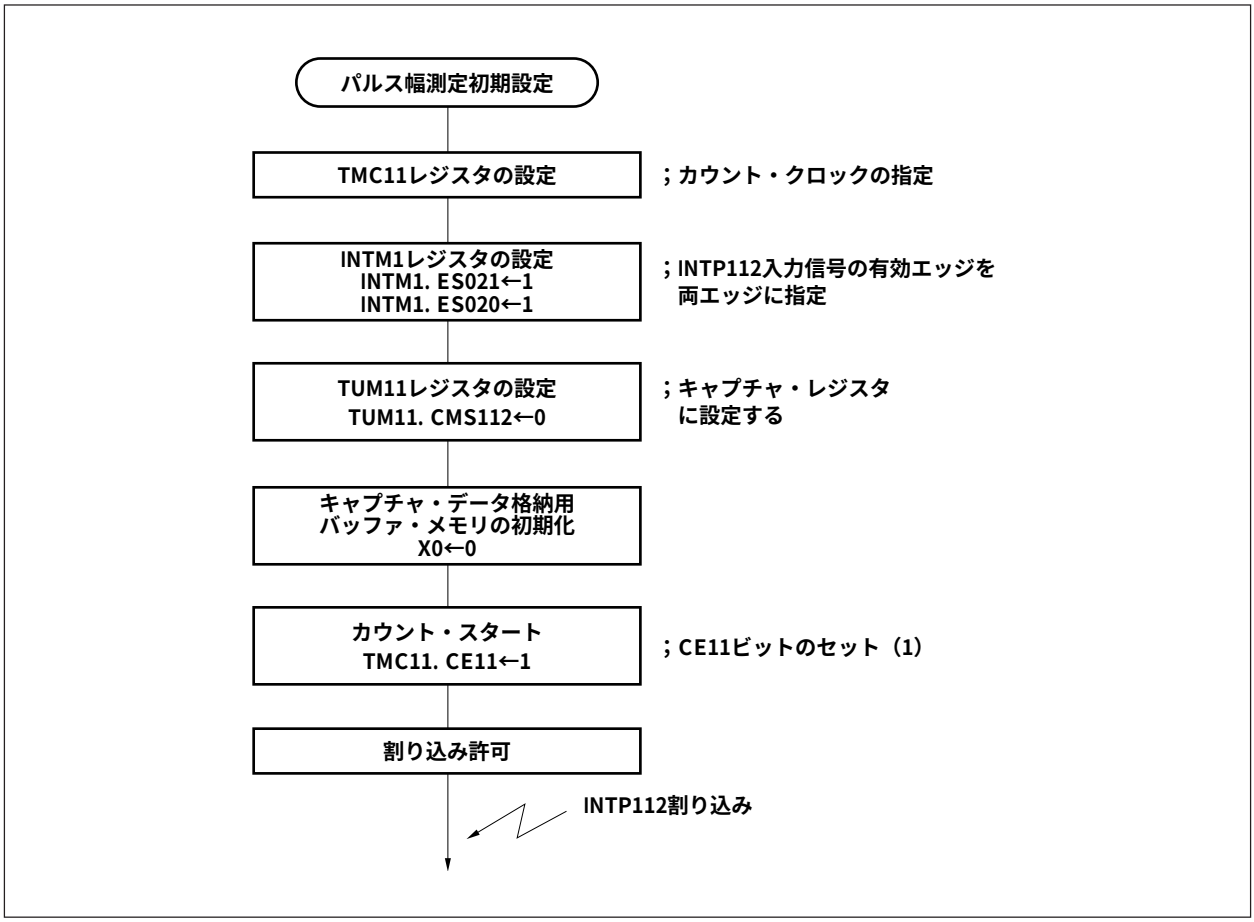
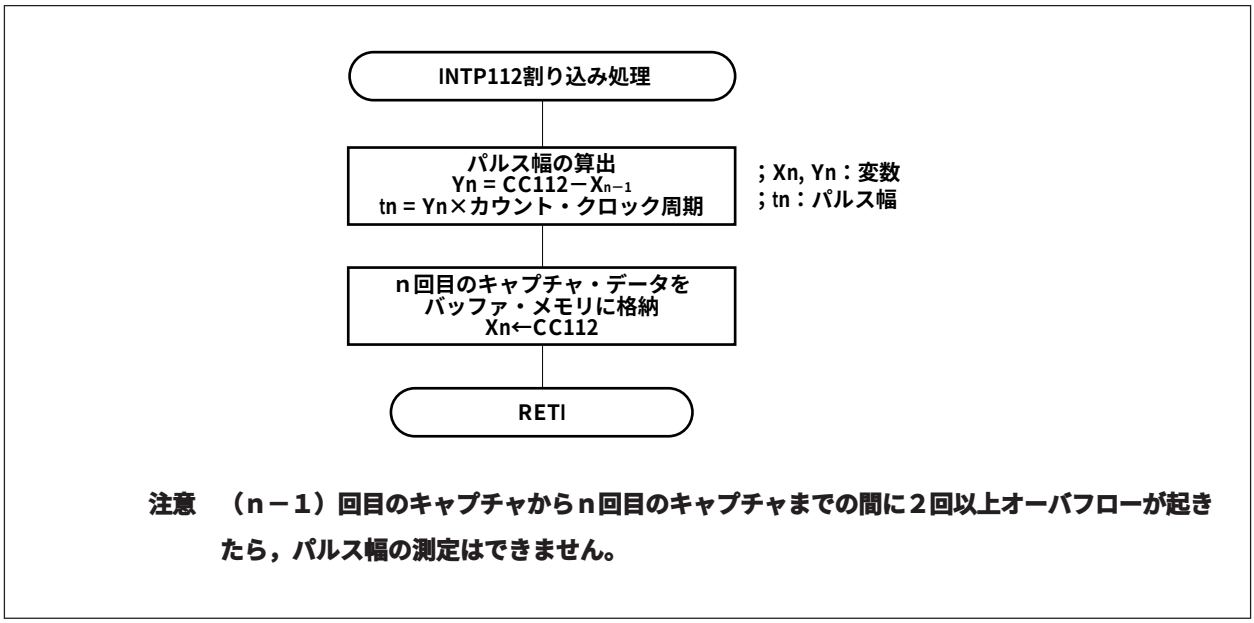


図７－15　パルス幅を算出する割り込み要求処理ルーチン例



注意　（ｎ－１）回目のキャプチャからｎ回目のキャプチャまでの間に２回以上オーバフローが起きたら，パルス幅の測定はできません。

（３）PWM出力としての動作（タイマ１）

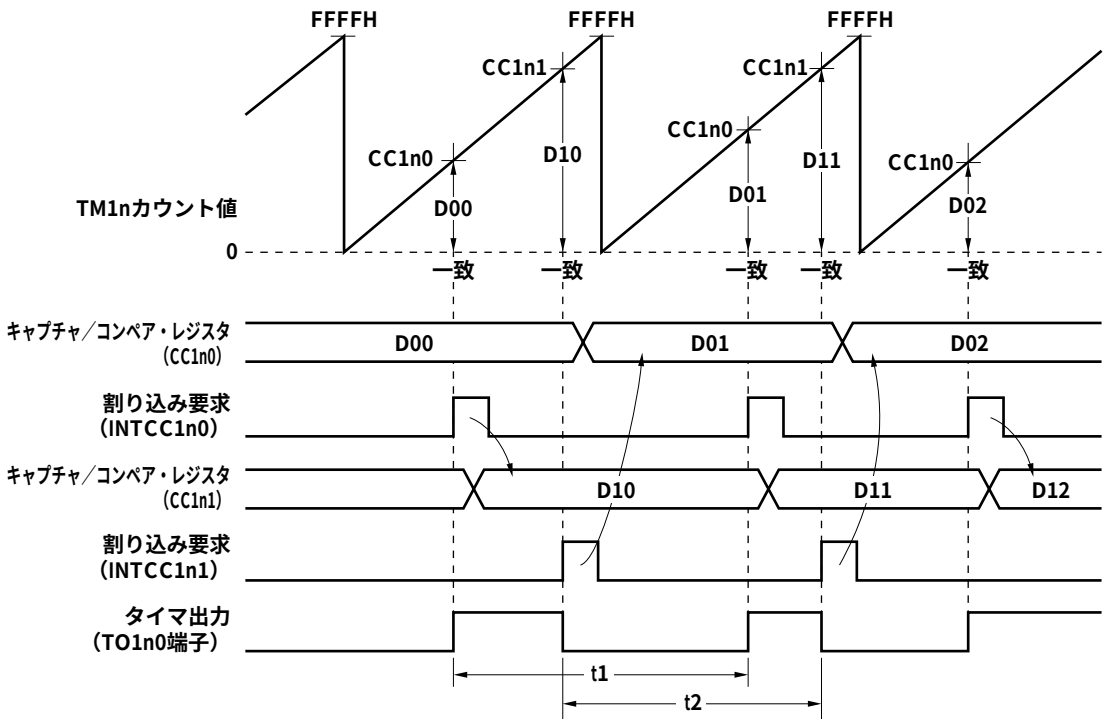
タイマ１とタイマ出力機能を組み合わせてタイマ出力端子（TO1n0, TO1n1）に任意の矩形波を出力し，PWM出力として使用することができます（n = 1-4）。

ここでは，８つのキャプチャ／コンペア・レジスタCC1n0，CC1n1を使用する例を示します。

この場合，16ビット精度のPWM信号をTO1n0端子から出力することができます。図７－16にタイミングを示します。

16ビット・タイマとして使用した場合，図７－16に示すように，キャプチャ／コンペア・レジスタ（CC1n0）に設定する値でPWM出力の立ち上がりタイミングを決定し，キャプチャ/コンペア・レジスタ（CC1n1）に設定する値で，立ち下がりのタイミングを決定します。

図７－16　PWM出力のタイミング例



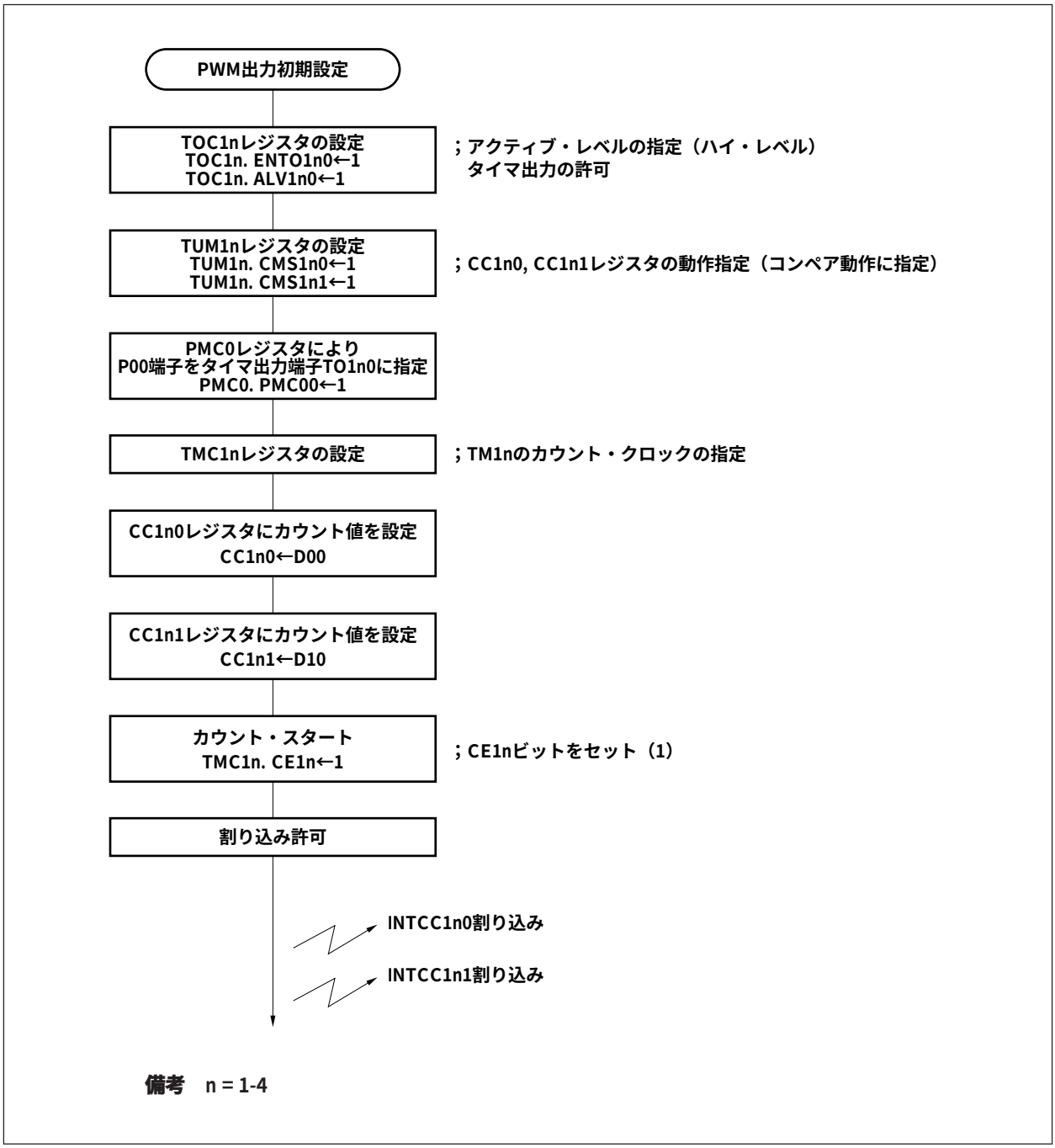
備考　D00-D02, D10-D12：コンペア・レジスタの設定値

t1 = ｛（10000H－D00）＋D01｝×カウント・クロック周期

t2 = ｛（10000H－D10）＋D11｝×カウント・クロック周期

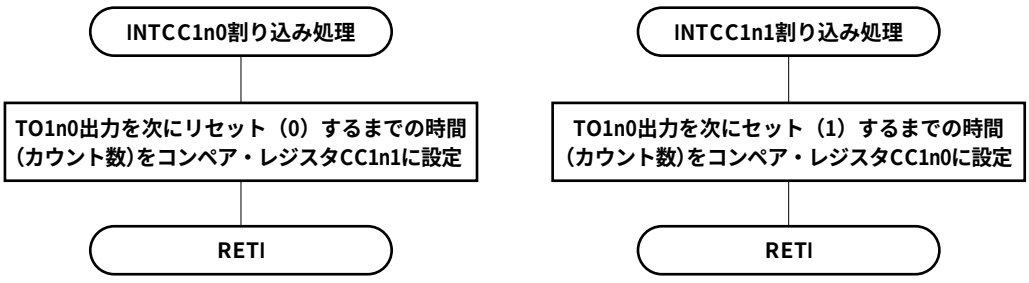
n = 1-4

図７－17　PWM出力の設定手順例



備考　n = 1-4

図７－18　コンペア値を書き換える割り込み要求処理ルーチン例



備考　n = 1-4

（４）周期測定としての動作（タイマ１）

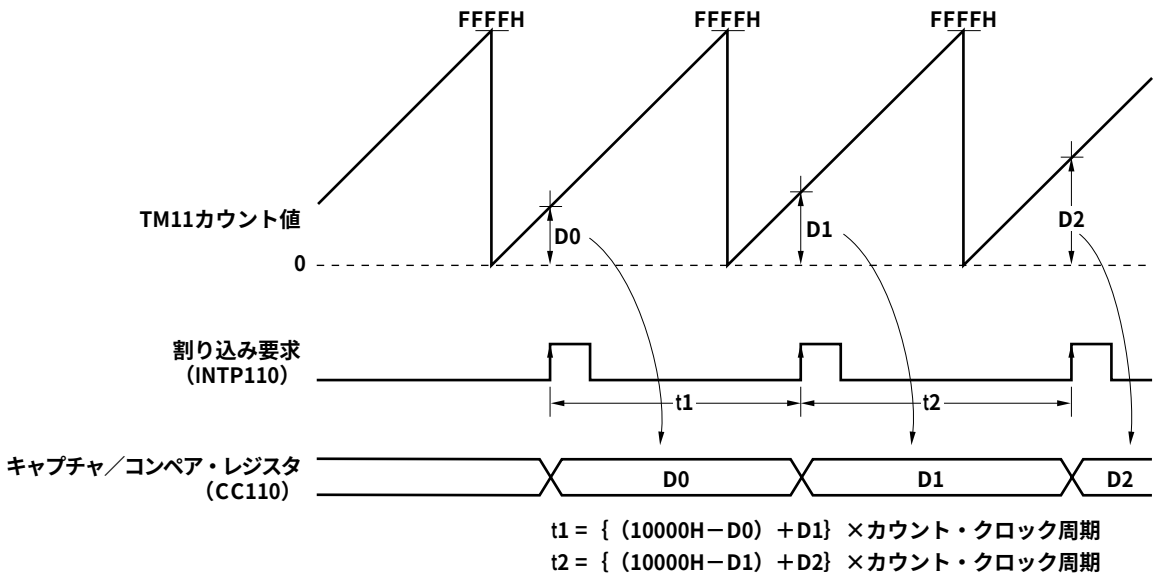
タイマ１はINTP1n0-INTP1n3端子に入力される外部パルスの周期を測定できます（n = 1-4）。

ここでは，タイマ１とキャプチャ/コンペア・レジスタCC110を組み合わせて，INTP110端子に入力される外部パルスの周期を16ビット精度で測定する例を示します。

INTP110入力信号の有効エッジをINTM1レジスタにより，立ち上がりエッジに指定します。

周期は，ｎ回目の立ち上がりエッジによりCC110レジスタに取り込み保持したTM11のカウント値（Dn）と，（ｎ－１）回目の立ち上がりエッジにより取り込んだカウント値（Dn－１）との差を求め，この値とカウント・クロックとの積から計算します。

図７－19　周期測定のタイミング例



備考　D0-D2：TM11のカウント値

図７－20　周期測定の設定手順例

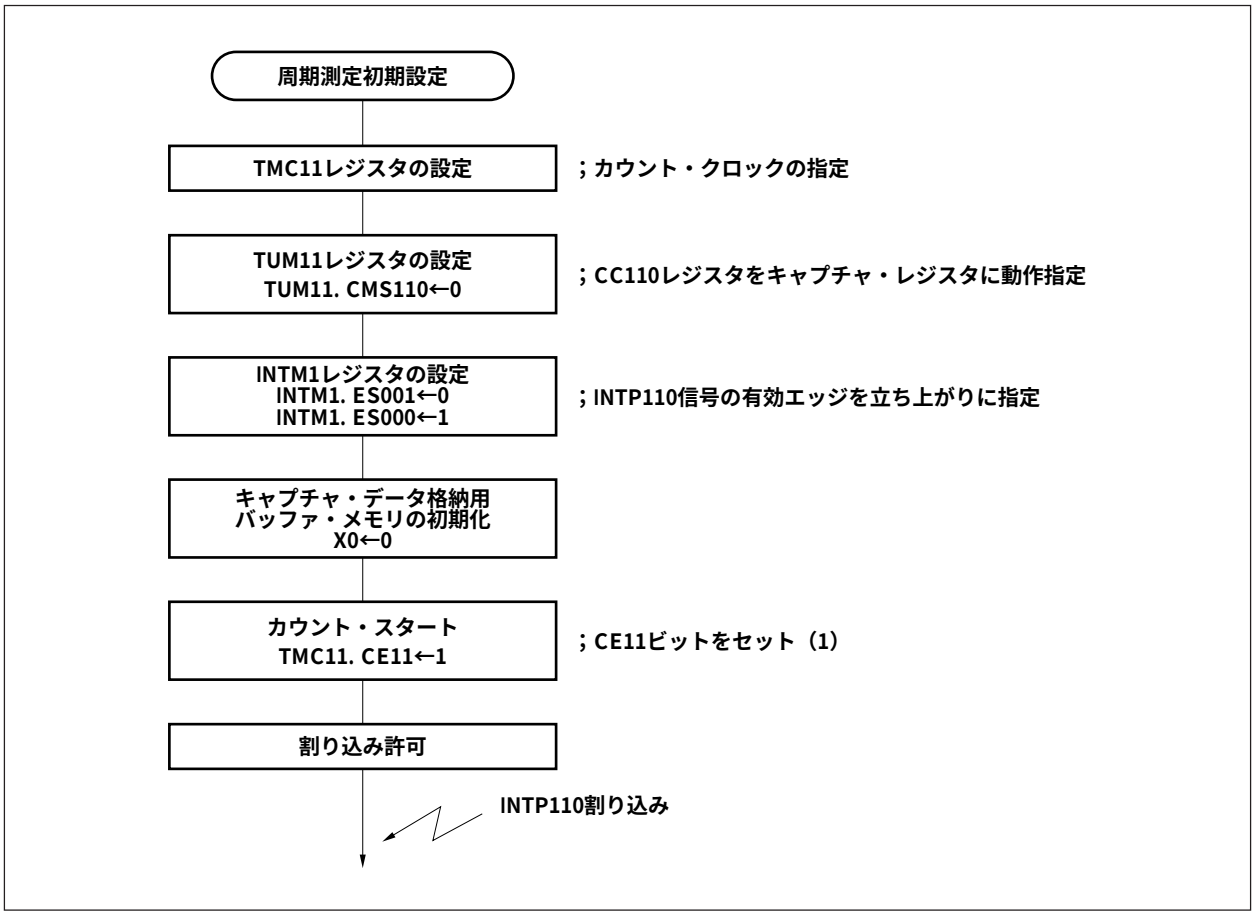
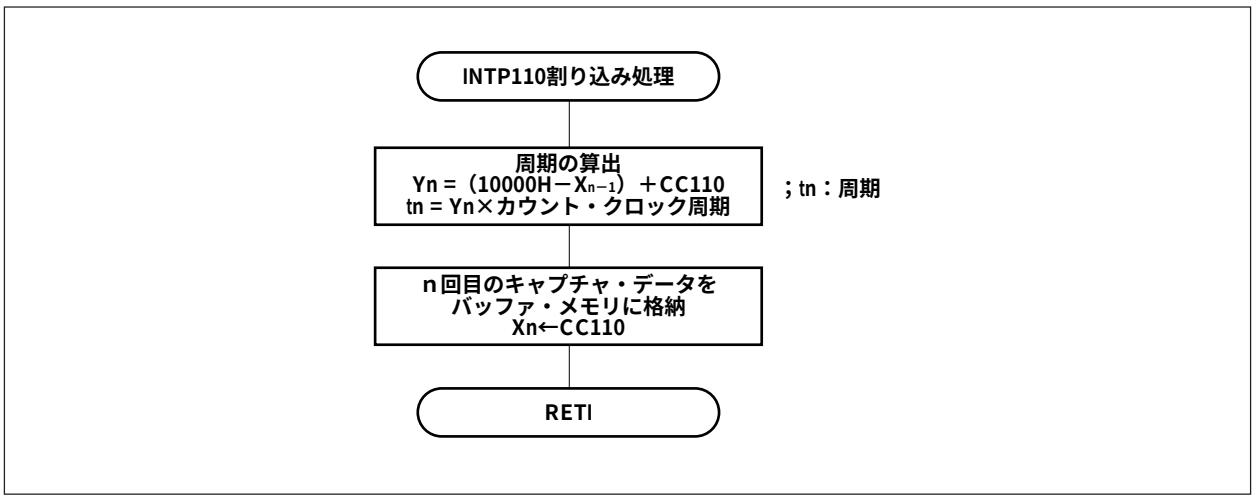


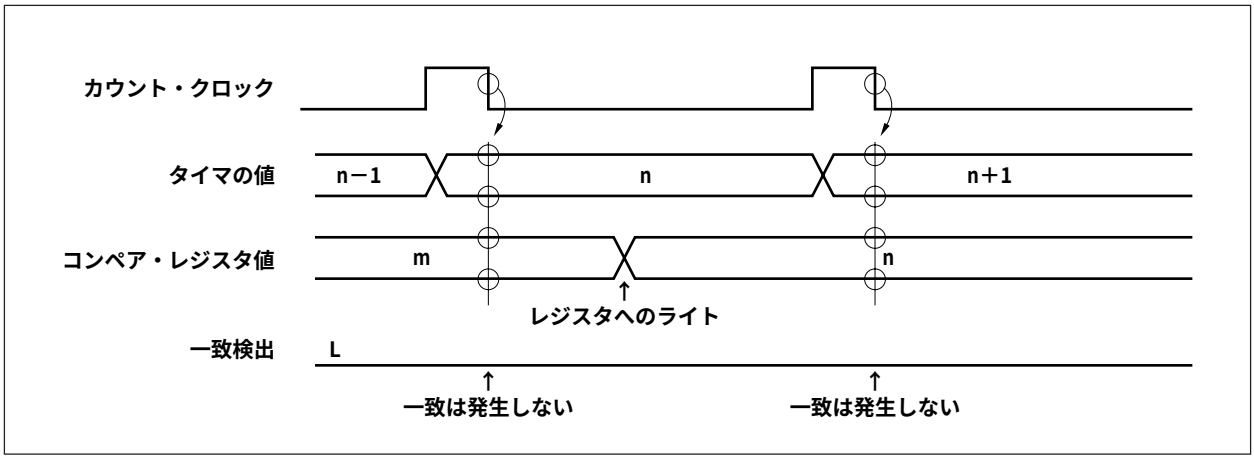
図７－21　周期を算出する割り込み要求処理ルーチン例



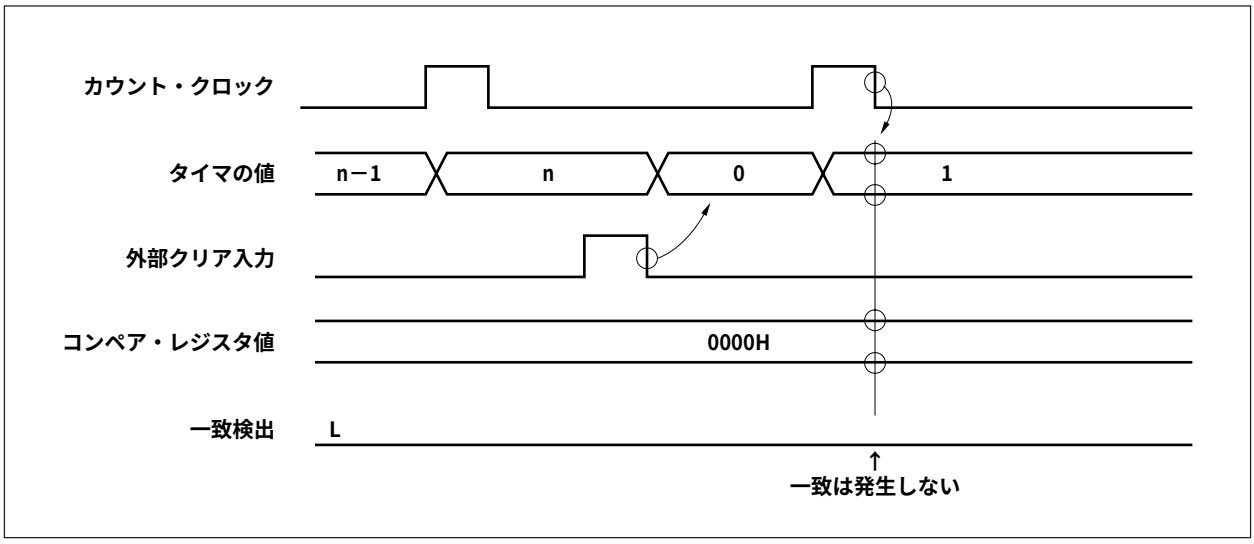
7.7　注意事項

コンペア・レジスタによる一致検出は，常にタイマのカウント・アップ直後のタイミングで行われます。次の場合，一致は発生しません。

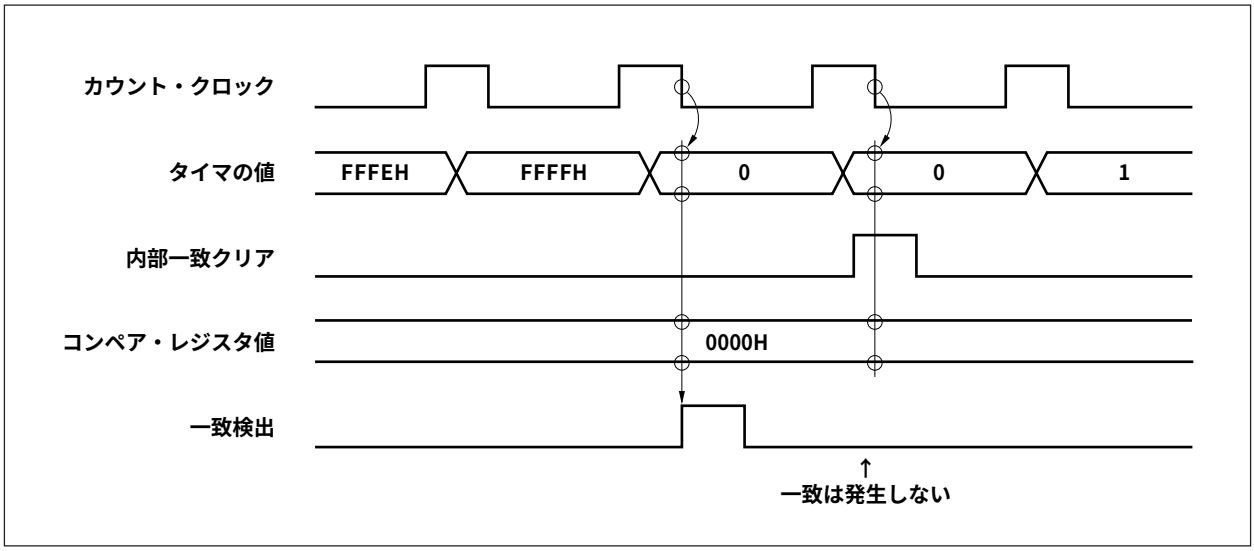
（1）コンペア・レジスタの書き換え時（TM11-TM14，TM4）



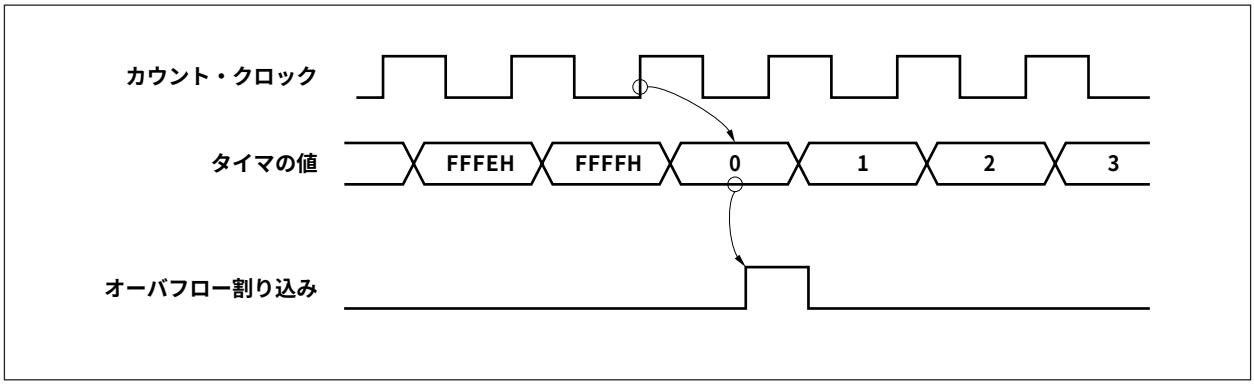
（2）外部クリア時（TM11-TM14）



（３）タイマ・クリア時（TM4）



備考　タイマ１をフリー・ランニング・タイマとして動作させるときには，タイマのオーバフローでタイマの値は，０になります。



第８章　シリアル・インタフェース機能

8.1　特　　徴

V853は，シリアル・インタフェース機能として，２種類６チャネルの送受信チャネルを備え，同時に４チャネルまで使用できます。

インタフェース形態としては次の２種類があります。

（１）アシンクロナス・シリアル・インタフェース（UART0, UART1）：２チャネル

（２）クロック同期式シリアル・インタフェース（CSI0-CSI3）：４チャネル

UART0, UART1は，スタート・ビットに続く１バイトのシリアル・データを送受信する方式をとり，全二重通信ができます。

CSI0-CSI3は，シリアル・クロック（$\overline{\text{SCK0}}$-$\overline{\text{SCK3}}$）とシリアル入力（SI0-SI3），シリアル出力（SO0-SO3）の３種類の信号線によるデータ転送を行います（３線式シリアルI/O）。

注意　UART0とCSI0，UART1とCSI1は端子が兼用になっており，ASIM00，ASIM10レジスタによりどちらか一方を選択して使用します。

8.2　アシンクロナス・シリアル・インタフェース0, 1（UART0, UART1）

8.2.1　特　　徴

○転送速度　150 bps-76800 bps注　　（ボー・レート・ジェネレータ使用，φ= 33 MHz動作時）
　　110 bps-307200 bps注（ボー・レート・ジェネレータ使用，φ= 20 MHz動作時）
　　最大1031 Kbps注（φ/2使用，φ= 33 MHz動作時）

○全二重通信　受信バッファ（RXBn）内蔵

○２端子構成　TXDn　送信データの出力端子
　　RXDn　受信データの入力端子

○受信エラー検出機能
　・パリティ・エラー
　・フレーミング・エラー
　・オーバラン・エラー

○割り込みソース：３種
　・受信エラー割り込み（INTSERn）
　・受信完了割り込み（INTSRn）
　・送信完了割り込み（INTSTn）

○送受信データのキャラクタ長はASIMn0, ASIMn1レジスタで指定

○キャラクタ長：７，８ビット
　　９ビット（拡張ビット付加時）

○パリティ機能：奇数，偶数，０，なし

○送信ストップ・ビット：１，２ビット

○ボー・レート・ジェネレータ内蔵

★　　注　ボー・レート誤差は，表８－２　ボー・レート・ジェネレータ0-2設定データを参照してください。

　　備考　n = 0, 1
　　φ：内部システム・クロック

8.2.2 アシンクロナス・シリアル・インタフェースの構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIMn0, ASIMn1），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASISn）によって，アシンクロナス・シリアル・インタフェースを制御します（n = 0, 1）。受信データは受信バッファ（RXBn）に保持され，送信データは送信シフト・レジスタ（TXSn）に書き込みます。

アシンクロナス・シリアル・インタフェースは，図８－１のように構成されます。

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM00，ASIM01，ASIM10，ASIM11）

ASIMn0, ASIMn1レジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する８ビット・レジスタです。

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS0，ASIS1）

ASISnレジスタは，受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（１）され，受信バッファ（RXBn）からデータを読み出すか，新たに次のデータを受信することによってリセット（０）されます（次のデータにエラーがあれば，そのエラー・フラグがセット（１）されます）。

送信ステータス・フラグは送信開始タイミングにセット（１）され，送信が終了するとリセット（０）されます。

（3）受信制御パリティ・チェック

ASIMn0, ASIMn1レジスタに設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのエラー・チェックも行い，エラーが検出された場合は，エラー内容に応じた値をASISnレジスタにセットします。

（4）受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。１バイト分のデータを受信すると，受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

（5）受信バッファ（RXB0，RXB0L，RXB1，RXB1L）

RXBnは，受信データを保持する９ビットのバッファ・レジスタで，７，８ビット/キャラクタの受信では上位ビットには０が格納されます。

このレジスタへの16ビット・アクセス時はRXB0，RXB1を，下位８ビット・アクセス時はRXB0L，RXB1Lを指定します。

受信許可状態中は，受信データは１フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送により，受信完了割り込み要求（INTSRn）が発生します。

（６）送信シフト・レジスタ（TXS0，TXS0L，TXS1，TXS1L）

TXSnは，９ビットの送信処理用シフト・レジスタで，このレジスタへのデータ書き込みにより，送信動作が開始されます。

TXSnのデータを含む１フレームの送出終了に同期して送信完了割り込み要求（INTSTn）を発生します。

このレジスタへの16ビット・アクセス時はTXS0，TXS1を，下位８ビット・アクセス時はTXS0L，TXS1Lを指定します。

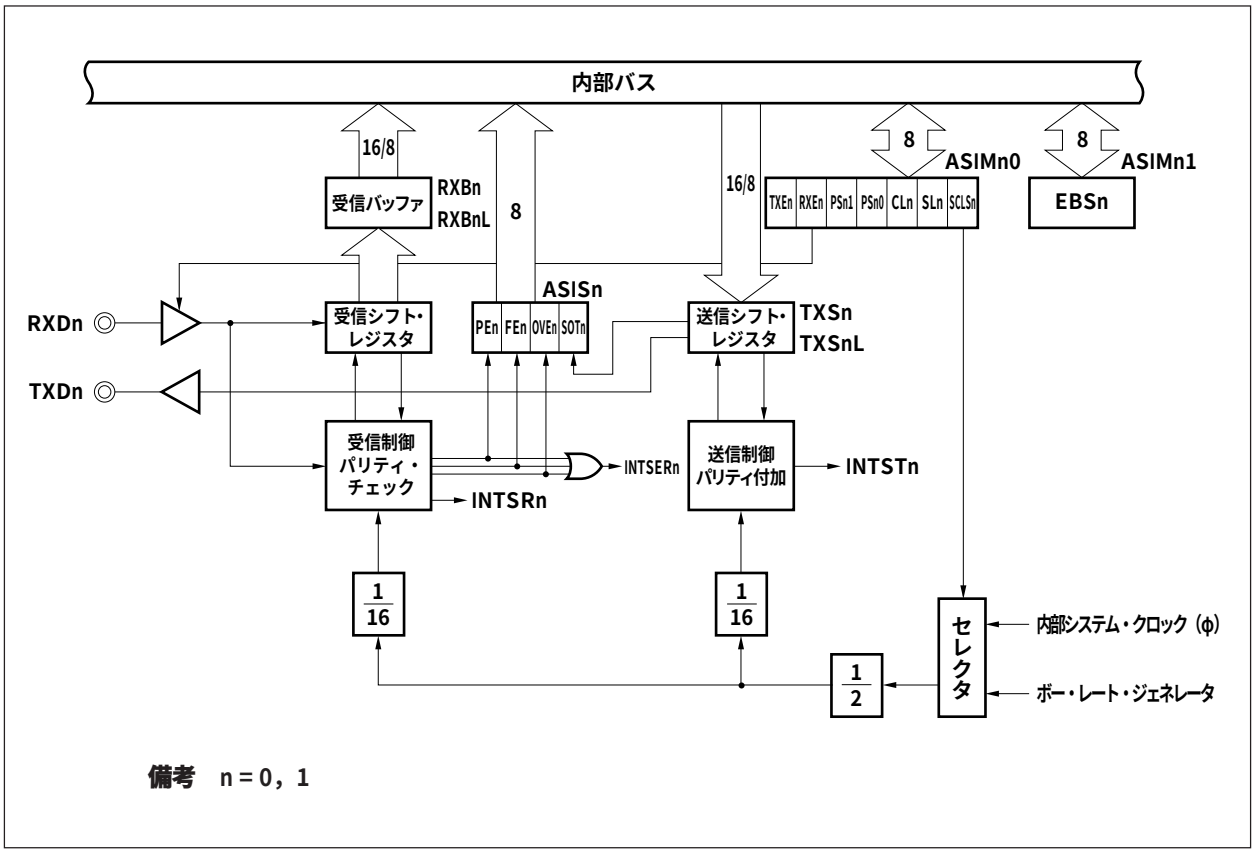
（７）送信制御パリティ付加

ASIMn0, ASIMn1レジスタに設定された内容に従って，TXSnレジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

（８）セレクタ

シリアル・クロックのソースを選択します。

図８－１　アシンクロナス・シリアル・インタフェースのブロック図



備考　n＝0，1

8.2.3　制御レジスタ

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ00，01，10，11（ASIM00，ASIM01，ASIM10，ASIM11）

UART0, UART1の転送モードを指定します。

8/1ビット単位でリード／ライト可能です。

（1/3）

	7	6	5	4	3	2	1	0	アドレス	リセット時
ASIM00	TXE0	RXE0	PS01	PS00	CL0	SL0	0	SCLS0	FFFFF0C0H	00H
ASIM10	TXE1	RXE1	PS11	PS10	CL1	SL1	0	SCLS1	FFFFF0D0H	00H

ビット位置	ビット名	意　　味
７，６	TXEn, RXEn	Transmit/Receive Enable 送受信許可状態／禁止状態を指定します。 TXEn　RXEn　動　作 0　0　送受信禁止（CSIn選択） 0　1　受信許可 1　0　送信許可 1　1　送受信許可 受信禁止時は，受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理，受信バッファへの転送処理は行わず，受信バッファの内容は保持されます。 受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，１フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。 また，受信バッファへの転送に同期して，受信完了割り込み（INTSRn）を発生します。 TXDn端子は，送信禁止時はハイ・インピーダンスになり，送信許可時に送信を行っていない場合は，ハイ・レベルを出力します。

備考　n＝0，1

(2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>５，４</td><td>PSn1, PSn0</td><td>Parity Select
パリティ・ビットを指定します。
<table>
<tr><th>PSn1</th><th>PSn0</th><th>動　　作</th></tr>
<tr><td>０</td><td>０</td><td>パリティなし，拡張ビット動作</td></tr>
<tr><td>０</td><td>１</td><td>０パリティ指定
送信側→パリティ・ビットを０にして送信
受信側→受信時にパリティ・エラーを発生しない</td></tr>
<tr><td>１</td><td>０</td><td>奇数パリティ指定</td></tr>
<tr><td>１</td><td>１</td><td>偶数パリティ指定</td></tr>
</table>
・偶数パリティ
送信データ中の値が“１”のビットの数が奇数個の場合にパリティ・ビットを“１”にします。値が“１”のビットの数が偶数個の場合にはパリティ・ビットを“０”にします。これにより，送信データとパリティ・ビットの中に含まれる値が“１”のビット数が偶数個になるよう制御します。受信時には，受信データとパリティ・ビットの中に含まれる値が“１”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ
偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“１”のビットを奇数個になるよう制御します。
受信時には，同様に受信データとパリティ・ビットの中に含まれる値が“１”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・０パリティ
送信時には，送信データによらずパリティ・ビットを“０”にします。
受信時には，パリティ・ビットの検査を行わないため，パリティ・エラーを発生しません。

・パリティなし
送信データにパリティ・ビットを付加しません。
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。
ASIMn1レジスタのEBSnビットにより，拡張ビット動作を指定できます。</td></tr>
<tr><td>３</td><td>CLn</td><td>Character Length
１フレームのキャラクタ長を指定します。
０：７ビット
１：８ビット</td></tr>
</table>

備考　n＝0，1

(3/3)

ビット位置	ビット名	意　　味
2	SLn	Stop Bit Length ストップ・ビットを指定します。 ０：１ビット １：２ビット
0	SCLSn	Serial Clock Source シリアル・クロックを指定します。 ０：BRGCn, BPRMnで指定 １：φ/2 ・SCLSn = 1の場合 シリアル・クロック・ソースに，φ/2（システム・クロック）が選択されます。非同期モードでは，×16のサンプリング・レートを使用しているので，ボー・レートは次式で表されます。 ボー・レート = $\frac{\phi/2}{16}$ bps 上記の式に基づき，代表的クロックを使用した場合のボー・レートの値を次に示します。 φ：33 MHz，25 MHz，20 MHz，16 MHz，12.5 MHz，10 MHz，8 MHz，5 MHz ボー・レート：1031 K，781 K，625 K，500 K，390 K，312 K，250 K，156 K ・SCLSn = 0の場合 シリアル・クロック・ソースとして，ボー・レート・ジェネレータ出力が選択されます。ボー・レート・ジェネレータの詳細に関しては，８.４　ボー・レート・ジェネレータ0-2（BRG0-BRG2）を参照してください。

注意　UARTnが送受信中に，このレジスタを変更した場合のUARTnの動作は保証しません。

備考　n = 0，1

φ：内部システム・クロック

	7	6	5	4	3	2	1	0	アドレス	リセット時
ASIM01	0	0	0	0	0	0	0	EBS0	FFFFF0C2H	00H
ASIM11	0	0	0	0	0	0	0	EBS1	FFFFF0D2H	00H

ビット位置	ビット名	意　　味
0	EBSn	Extended Bit Select パリティなし動作指定（PSn1，PSn0 = 00）時の送受信データの拡張ビット動作を指定します。 ０：拡張ビット動作禁止 １：拡張ビット動作許可 拡張ビット指定時は，８ビットの送受信データの上位に１データ・ビットが付加され，９ビット・データによる通信が可能になります。 拡張ビット動作は，ASIMn0レジスタでパリティなし動作を指定した場合にのみ有効になります。０パリティ，奇数/偶数パリティ動作を指定した場合は，EBSnビットの指定は無効になり，拡張ビットの付加動作は行われません。

備考　n = 0，1

（２）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０，１（ASIS0，ASIS1）

UARTnの受信終了時のエラー・ステータスを示す３ビットのエラー・フラグおよび，送信ステータス・フラグから構成されるレジスタです。

受信エラーを示すステータス・フラグは，常に最も新しく発生したエラーの状態を示します。すなわち，受信データの読み出し前に複数回の同一エラーが発生した場合，最後に発生したエラーの状態のみ保持しています。

受信エラーが発生した場合は，ASISnレジスタを読み出したあと，受信バッファ（RXBn, RXBnL）を読み出し，エラー・フラグをクリアしてください。RXBnまたはRXBnLを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，受信エラーの状態が続きます。

8/1ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
ASIS0	SOT0	0	0	0	0	PE0	FE0	OVE0	FFFFF0C4H	00H
ASIS1	SOT1	0	0	0	0	PE1	FE1	OVE1	FFFFF0D4H	00H

ビット位置	ビット名	意　　味
7	SOTn	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット（１）：送信開始タイミング（TXSnまたはTXSnLレジスタへの書き込み） クリア（０）：送信終了タイミング（INTSTn割り込み発生） シリアル・データ転送を開始しようとする際に，送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PEn	Parity Error パリティ・エラーを示すステータス・フラグです。 セット（１）：送信パリティと受信パリティが一致しないとき クリア（０）：受信バッファからのデータ読み出し処理
1	FEn	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット（１）：ストップ・ビットが検出されないとき クリア（０）：受信バッファからのデータ読み出し処理
0	OVEn	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット（１）：受信バッファから受信データを引き取る前に，UARTnが次の受信処理を完了したとき クリア（０）：受信バッファからの受信データ読み出し処理 なお，１フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため，オーバラン・エラーが発生したときには，受信バッファに次の受信データが上書きされ，１回前の受信データは棄却されます。

備考　n = 0，1

（３）受信バッファ0，0L，1，1L（RXB0，RXB0L，RXB1，RXB1L）

RXBnは，受信データを保持する９ビットのバッファ・レジスタで，７，８ビット/キャラクタの受信では上位ビットには０が格納されます。

このレジスタへの16ビット・アクセス時はRXB0，RXB1を，下位８ビット・アクセス時はRXB0L，RXB1Lを指定します。

受信許可状態中は，受信データは１フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送により，受信完了割り込み要求（INTSRn）が発生します。

受信禁止状態中は，１フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず，受信バッファの内容は保持されます。

また，受信完了割り込み要求も発生しません。

RXB0，RXB1は16ビット単位で，RXB0L，RXB1Lは８/１ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB0	0	0	0	0	0	0	0	RXEB0	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFF0C8H	リセット時 不定

	7	6	5	4	3	2	1	0		
RXB0L	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFF0CAH	リセット時 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB1	0	0	0	0	0	0	0	RXEB1	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	アドレス FFFFF0D8H	リセット時 不定

	7	6	5	4	3	2	1	0		
RXB1L	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	アドレス FFFFF0DAH	リセット時 不定

ビット位置	ビット名	意　　味
8	RXEBn	Receive Extended Buffer ９ビット/キャラクタ受信時の拡張ビットです。 ７，８ビット/キャラクタの受信では０が読めます。
7-0	RXBn7- RXBn0	Receive Buffer 受信データを格納しています。 RXBn7は７ビット/キャラクタの受信では０が読めます。

備考　n＝0，1

（４）送信シフト・レジスタ0，0L，1，1L（TXS0，TXS0L，TXS1，TXS1L）

TXSnは，９ビットの送信処理用シフト・レジスタで，送信許可状態時にこのレジスタへのデータ書き込みにより，送信動作が開始されます。

送信禁止状態時に書き込みを行っても，値は無視されます。

TXSnのデータを含む１フレームの送出終了に同期して送信完了割り込み要求（INTSTn）を発生します。

このレジスタへの16ビット・アクセスはTXS0，TXS1を，下位８ビット・アクセス時はTXS0L，TXS1Lを指定します。

TXS0，TXS1は，16ビット単位で，またTXS0L，TXS1Lは，８ビット単位でライトだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
TXS0	0	0	0	0	0	0	0	TXED0	TXS07	TXS06	TXS05	TXS04	TXS03	TXS02	TXS01	TXS00	FFFFF0CCH	不定

	7	6	5	4	3	2	1	0	アドレス	リセット時
TXS0L	TXS07	TXS06	TXS05	TXS04	TXS03	TXS02	TXS01	TXS00	FFFFF0CEH	不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
TXS1	0	0	0	0	0	0	0	TXED1	TXS17	TXS16	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	FFFFF0DCH	不定

	7	6	5	4	3	2	1	0	アドレス	リセット時
TXS1L	TXS17	TXS16	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	FFFFF0DEH	不定

ビット位置	ビット名	意　　味
8	TXEDn	Transmit Extended Data ９ビット/キャラクタ送信時の拡張ビットです。
7 - 0	TXSn7- TXSn0	Transmit Shifter 送信データを書き込みます。

注意　UARTnは送信バッファを持たないため，送信完了（バッファへの転送完了）による割り込み要求ではなく，１フレーム分のデータの送出完了に同期した割り込み要求（INTSTn）が発生します。

備考　n = 0，1

8.2.4　割り込み要求

UARTnからは次の３種類の割り込み要求を発生します（n = 0, 1）。

・受信エラー割り込み（INTSERn）
・受信完了割り込み（INTSRn）
・送信完了割り込み（INTSTn）

これら３種類の割り込み要求のディフォールト優先順位は受信エラー割り込みが最も高く，受信完了割り込み，送信完了割り込みの順に低くなります。

表８－１　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

（1）受信エラー割り込み（INTSERn）

受信許可状態中で，ASISnレジスタで説明した３種類の受信エラーの論理和（OR）で受信エラー割り込みを発生します。

受信禁止状態中は，受信エラー割り込みは発生しません。

（2）受信完了割り込み（INTSRn）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

受信完了割り込み要求は，受信エラーが起こった場合にも発生しますが，受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は，受信完了割り込みは発生しません。

（3）送信完了割り込み（INTSTn）

UARTnは送信バッファを持たないため，送信シフト・レジスタから７ビット/８ビット/９ビットのキャラクタを含む１フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは，送信データの最終ビットを送信開始時に出力されます。

8.2.5 動　　作

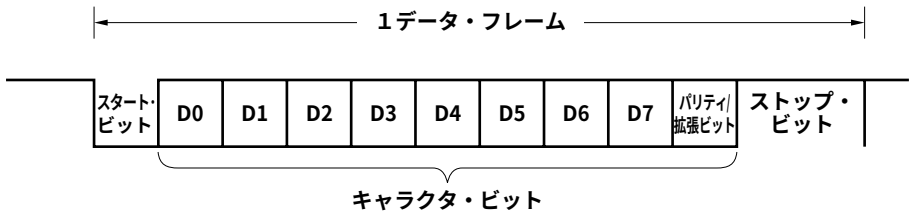
（1）データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図８－２に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで１データ・フレームを構成します。

１データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIMn0，ASIMn1）によって行います（n = 0，1）。

図８－２ アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



・スタート・ビット……１ビット
・キャラクタ・ビット……７ビット/８ビット
・パリティ／拡張ビット…偶数パリティ/奇数パリティ/０パリティ/パリティなし/拡張ビット
・ストップ・ビット……１ビット/２ビット

（2）送　　信

送信シフト・レジスタ（TXSnまたはTXSnL）にデータを書き込むと送信が起動されます。送信完了割り込み（INTSTn）処理ルーチンで次のデータをTXSnまたはTXSnLレジスタに書き込みます。

（a）送信許可状態

ASIMn0レジスタのTXEnビットで設定します。

TXEn = 1：送信許可状態
TXEn = 0：送信禁止状態

ただし，送信許可状態にする場合，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEn，CRXEnビットをともに“０”に設定してください。

UARTnにはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときは汎用入力ポートを使用してください。

（ｂ）送信動作の起動

送信許可状態では，送信シフト・レジスタ（TXSnまたはTXSnL）にデータを書き込むと送信動作が起動します。送信データは，スタート・ビットからLSB先頭で転送されます。スタート・ビット，パリティ／拡張ビット，ストップ・ビットは自動的に付加されます。

送信禁止状態では送信シフト・レジスタにデータは書き込めません。書き込みを行っても，値は無視されます。

（ｃ）送信割り込み要求

１フレーム分のデータの送出が完了すると送信完了割り込み要求（INTSTn）を発生させます。

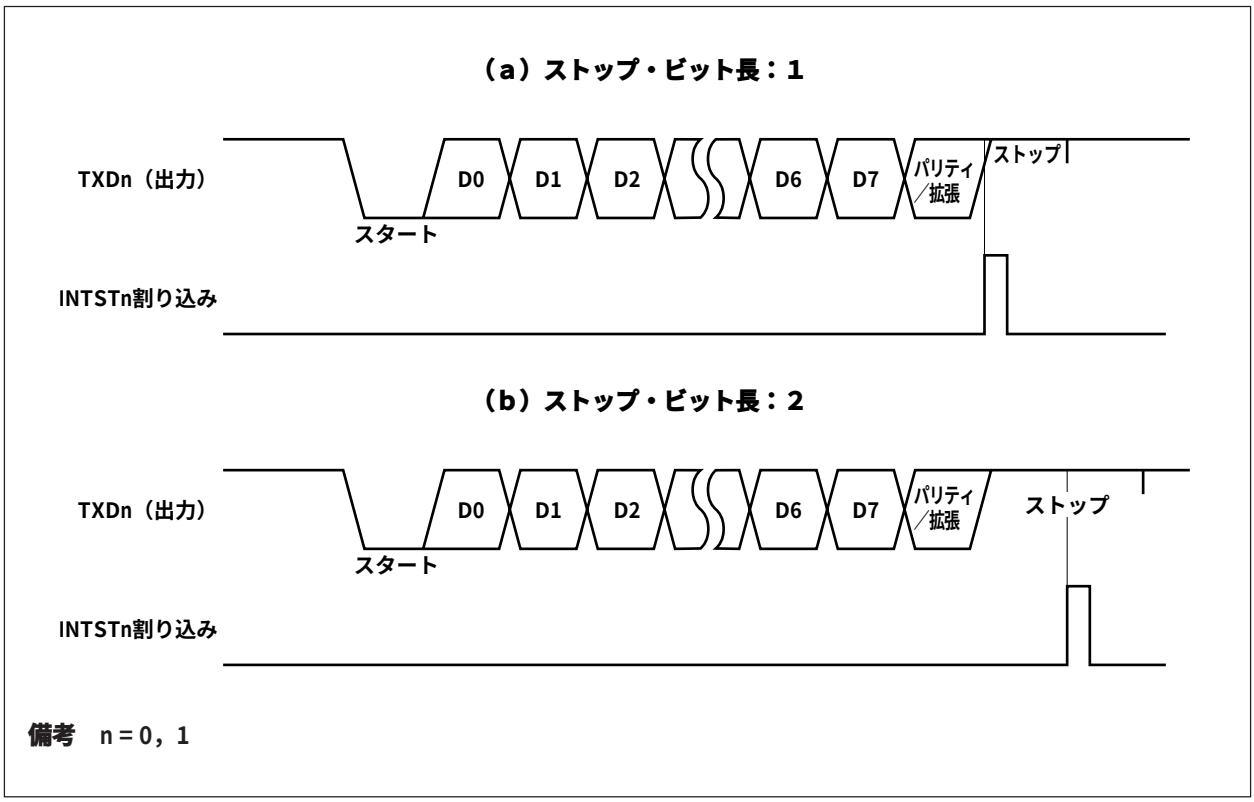
次に送信するデータをTXSnまたはTXSnLレジスタに書き込まなければ，送信動作は中断されます。

１つの送信が終了したあと，ただちに次の送信データをTXSnまたはTXSnLレジスタに書き込まなければ通信レートが低下します。

注意１．通常は送信シフト・レジスタ（TXSnまたはTXSnL）が空になった場合に送信完了割り込み（INTSTn）が発生します。しかし，$\overline{\text{RESET}}$入力により，送信シフト・レジスタ（TXSnまたはTXSnL）が空になった場合，送信完了割り込み（INTSTn）は発生しません。

２．INTSTnが発生するまでの送信動作中は，TXSnまたはTXSnLレジスタへ書き込んでも書き込みデータは無効となります。

図８－３　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング



備考　n＝0，1

（3）受　　信

受信許可状態にするとRXDn端子のサンプリングを開始し，スタート・ビットを検出するとデータの受信を開始します。１フレームのデータ受信が終了するごとに受信完了割り込み（INTSRn）が発生します。通常，この割り込み処理で受信バッファ（RXBnまたはRXBnL）からメモリに受信データを転送します。

（a）受信許可状態

受信動作はASIMn0レジスタのRXEnビットをセット（１）することにより許可状態となります。

RXEn＝１：受信許可状態
RXEn＝０：受信禁止状態

ただし，受信許可状態にする場合，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEn，CRXEnビットをともに“０”に設定してください。

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。

このとき，受信完了割り込み/受信エラー割り込みは発生せず，受信バッファの内容は保持されます。

（b）受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn（BRGn）からのシリアル・クロックでRXDn端子をサンプリングします。RXDn端子のロウ・レベルを検出してから８シリアル・クロック後，再びRXDn端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り，以降16シリアル・クロック単位にRXDn端子入力をサンプリングします。

RXDn端子のロウ・レベルを検出してから８シリアル・クロック後のサンプリングでハイ・レベルを確認した場合，このロウ・レベルをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し，次のロウ・レベル入力を待ちます。

（c）受信完了割り込み要求

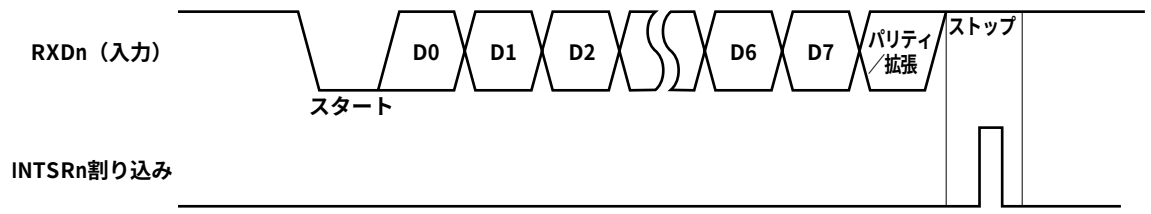
RXEn＝1のとき，１フレーム分のデータの受信が完了すると，シフト・レジスタ内の受信データをRXBnに転送し，受信完了割り込み要求（INTSRn）を発生します。

また，エラーが発生した場合でも，受信バッファ（RXBnまたはRXBnL）にエラーの発生した受信データを転送し，受信完了割り込み（INTSRn），受信エラー割り込み（INTSERn）を同時に発生します。

なお，受信動作中にRXEnビットをリセット（０）すると，すぐに受信動作を停止します。このとき受信バッファ（RXBnまたはRXBnL）とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASISn）の内容は変化せず，受信完了割り込み（INTSRn），受信エラー割り込み（INTSERn）も発生しません。

RXEn＝0（受信禁止）では，受信完了割り込みは発生しません。

図８－４　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



備考　n＝0，1

（d）受信エラー・フラグ

受信動作に同期して，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの３種類のエラー・フラグが影響を受けます。

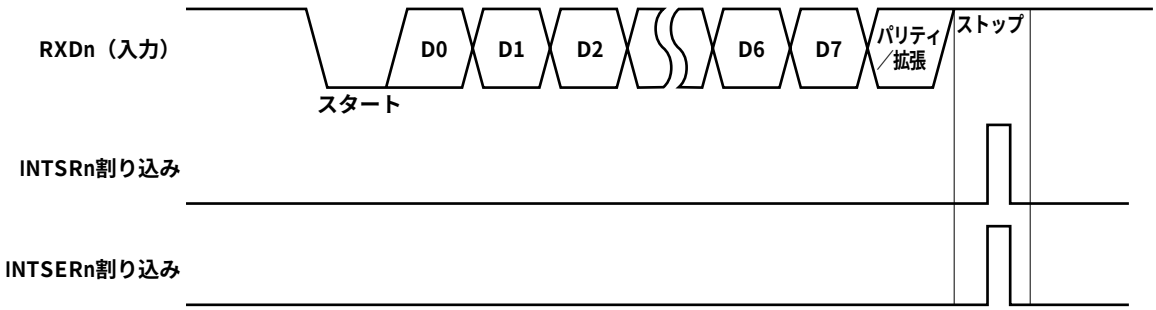
以上の３つの各エラー・フラグの論理和で，受信エラー割り込み要求が発生します。

受信エラー割り込み（INTSERn）内でASISnレジスタの内容を読み出すことによって，どのエラーが受信時に発生したかを検出することができます。

ASISnレジスタの内容は，受信バッファ（RXBnまたはRXBnL）を読み出すか，次のデータを受信することによってリセット（０）されます（次の受信データにエラーがあれば，そのエラー・フラグがセットされます）。

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図８－５　受信エラー・タイミング



備考　n＝0，1

8.3　クロック同期式シリアル・インタフェース0-3（CSI0-CSI3）

8.3.1　特　　徴

○チャネル数　４チャネル（CSIn）

★　○高速転送　最大8.25 Mbps（φ = 33 MHz動作時：CSI0-CSI2）

　　最大2 Mbps（φ = 33 MHz動作時：CSI3）

○半二重通信

○キャラクタ長：８ビット

○データのMSB先頭/LSB先頭を切り替え可能

○外部シリアル・クロック入力/内部シリアル・クロック出力選択

○３線式　SOn　：シリアル・データ出力

　　SIn　　：シリアル・データ入力

　　$\overline{\text{SCKn}}$：シリアル・クロック入出力

○割り込みソース１種

・送受信完了割り込み（INTCSIn）

備考　n = 0-3

　　φ：内部システム・クロック

8.3.2　構　　成

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）によってCSInを制御します。送受信データはシリアルI/Oシフト・レジスタ（SIOn）に読み出し/書き込みができます（n = 0-3）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）

CSIMnレジスタは，CSInの動作を指定する８ビット・レジスタです。

（2）シリアルI/Oシフト・レジスタ（SIO0-SIO3）

シフト・レジスタ（SIOn）は，シリアル・データ⟷パラレル・データの変換を行う８ビット・レジスタです。SIOnは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

SIOnに対する読み出し/書き込みにより，実際の送受信動作が制御されます。

（3）セレクタ

使用するシリアル・クロックを選択します。

（4）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また，内部クロック使用時には$\overline{\text{SCKn}}$端子へ出力するクロックの制御も行います。

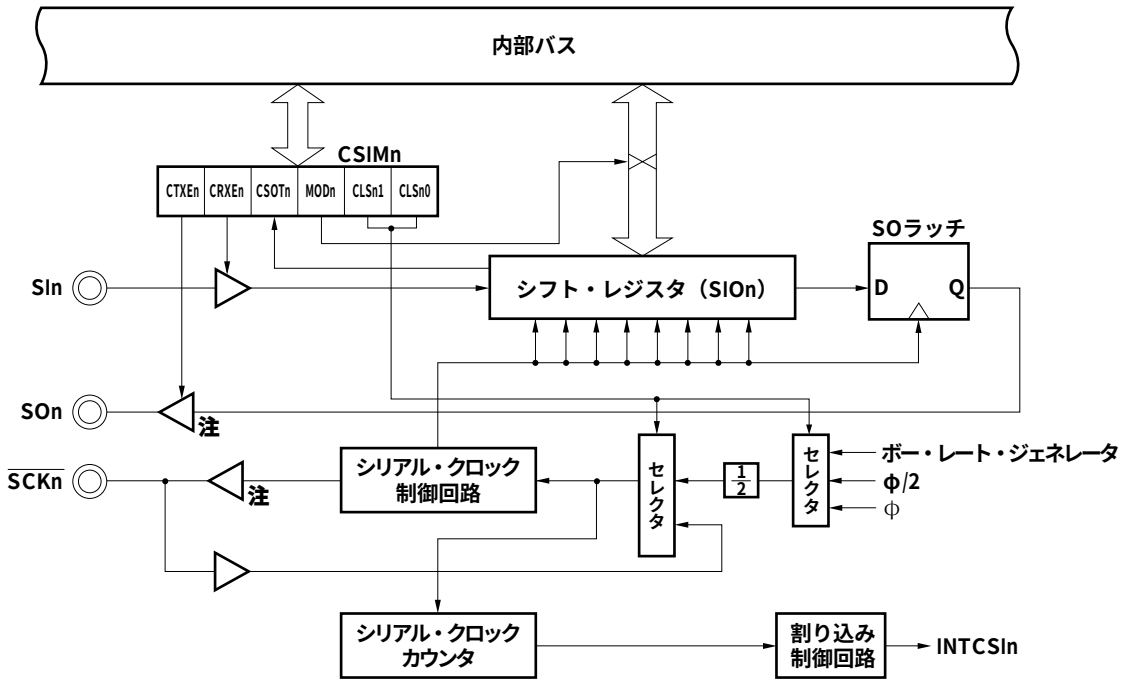
（5）シリアル・クロック・カウンタ

送信/受信動作時に出力する，または入力されるシリアル・クロックをカウントし，８ビット・データの送受信が行われたことを調べます。

（6）割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを８発カウントしたときに，割り込み要求を発生するかしないかを制御します。

図８－６　クロック同期式シリアル・インタフェースのブロック図



注　SO0-SO2，$\overline{SCK0}$-$\overline{SCK2}$：CMOS出力
　　SO3，$\overline{SCK3}$　　：N-chオープン・ドレーン出力

備考　n = 0-3

8.3.3　制御レジスタ

（1）クロック同期式シリアル・インタフェース・モード・レジスタ0-3（CSIM0-CSIM3）

CSI0-CSI3の基本動作モードを指定します。

8/1ビット単位でリード/ライト可能です（ただし，ビット５はリードのみ可能です）。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	リセット時
CSIM0	CTXE0	CRXE0	CSOT0	0	0	MOD0	CLS01	CLS00	FFFFF088H	00H
CSIM1	CTXE1	CRXE1	CSOT1	0	0	MOD1	CLS11	CLS10	FFFFF098H	00H
CSIM2	CTXE2	CRXE2	CSOT2	0	0	MOD2	CLS21	CLS20	FFFFF0A8H	00H
CSIM3	CTXE3	CRXE3	CSOT3	0	0	MOD3	CLS31	CLS30	FFFFF0B8H	00H

ビット位置	ビット名	意　　味
7	CTXEn	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 ０：送信禁止状態 １：送信許可状態 CTXEn = “ ０ ” のときには，SOn,SIn端子の出力バッファはともにハイ・インピーダンスになります。
6	CRXEn	CSI Receive Enable 受信許可状態/禁止状態を指定します。 ０：受信禁止状態 １：受信許可状態 送信許可（CTXEn = 1）かつ受信禁止のときに，シリアル・クロックが入力された場合には，シフト・レジスタには，“ ０ ” が入力されます。 受信中に受信禁止（CRXEn = 0）にした場合，SIOnレジスタの内容は不定になります。
5	CSOTn	CSI Status Of Transmission 転送動作中であることを示します。 セット（１）：送信開始タイミング（SIOnレジスタへの書き込み） クリア（０）：送信終了タイミング（INTCSIn発生） 送信許可状態（CTXEn = 1）にして，シリアル・データ転送を開始しようとする際に，シリアルI/Oシフト・レジスタn（SIOn）への書き込みが可能か否かを判別するための手段として使用します。

備考　n = 0-3

(2/2)

ビット位置	ビット名	意　　味
2	MODn	Mode 動作モードの指定を行います。 ０：MSB先頭 １：LSB先頭
１，０	CLSn1, CLSn0	Clock Source シリアル・クロックを指定します。

CLSn1	CLSn0	シリアル・クロックの指定		$\overline{\text{SCK}}$n端子
0	0	外部クロック		入力
0	1	内部クロック	BPRMnレジスタで指定注1	出力
1	0		φ/4注2	出力
1	1		φ/2注2	出力

注１．ＢＰＲＭｎレジスタへの設定については８．４　ボー・レート・ジェネレータ0-2（BRG0-BRG2）を参照してください。

２．φ/４，φ/２は，分周信号です（φ：内部システム・クロック）。

備考　n = 0-3

（２）シリアルI/Oシフト・レジスタ0-3（SIO0-SIO3）

８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIOnレジスタに対するリード／ライトによって実際の送受信動作が制御されます。

CTXEn =“１”またはCRXEn =“１”のときにシフト動作を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	FFFFF08AH	不定
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFF09AH	不定
SIO2	SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20	FFFFF0AAH	不定
SIO3	SIO37	SIO36	SIO35	SIO34	SIO33	SIO32	SIO31	SIO30	FFFFF0BAH	不定

ビット位置	ビット名	意　　味
7-0	SIOn7- SIOn0 （n = 0-3）	Serial I/O データは，MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

8.3.4 基本動作

（1）転送フォーマット

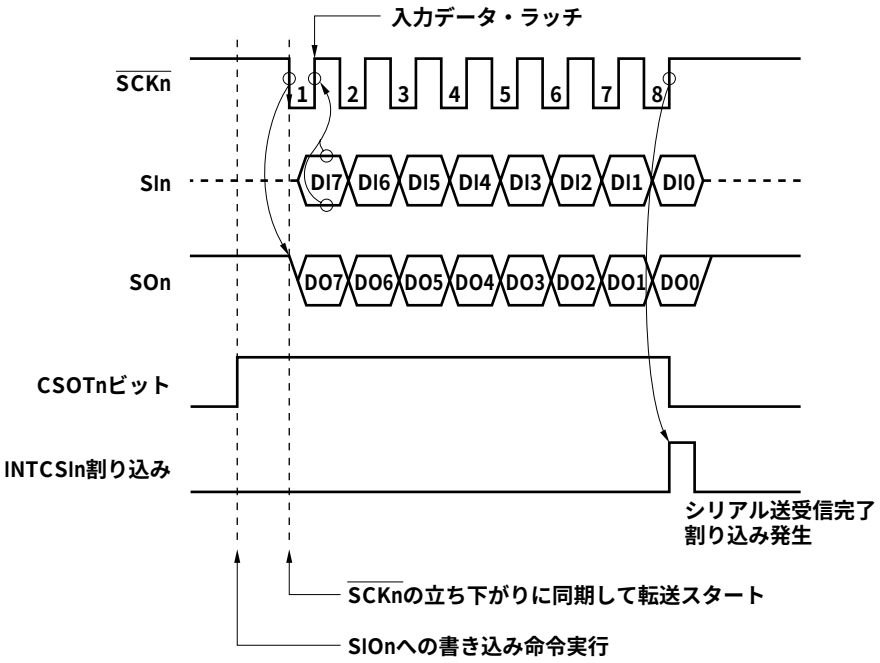
CSInはそれぞれ１本のクロック・ラインと２本のデータ・ラインの３線でデータの送受信を行います（n = 0-3）。

シリアル転送は，SIOnレジスタに対する転送データの書き込み命令を実行することによりスタートします。

送信の場合には$\overline{\text{SCKn}}$の立ち下がりに同期してSOn端子からデータが出力されます。

受信の場合には$\overline{\text{SCKn}}$の立ち上がりに同期してSIn端子の入力データをラッチします。シリアル・クロック・カウンタのオーバフロー（８カウント目の立ち上がり）で$\overline{\text{SCKn}}$は停止し，次のデータの送信または受信動作が起動されるまで$\overline{\text{SCKn}}$はハイ・レベルを保持します。同時に，送受信完了割り込み（INTCSIn）を発生します。

注意　SIOnレジスタに送信データをライトしておいてCTXEnビット = 0→1にしてもシリアル転送は行いません。



備考　n = 0-3

（２）送受信許可

CSInは，それぞれ８ビット・シフト・レジスタを１つしか持たず，バッファも持っていないため，基本的に送信および受信は同時に行います。

（ａ）送受信許可条件

CSIn送受信許可条件の指定は，CSIMnレジスタのCTXEn，CRXEnビットで行います。

ただし，CSI0の場合は，ASIM00レジスタのTXE0ビット = RXE0ビット = 0に，CSI1の場合は，ASIM10レジスタのTXE1ビット = RXE1ビット = 0に設定されている必要があります。

CTXEn	CRXEn	送受信動作
0	0	送受信禁止
0	1	受信許可
1	0	送信許可
1	1	送受信許可

備考　n = 0-3

備考１． CTXEnビット = 0の場合，CSInは次のようになります。

CSI0，CSI1：シリアル出力はハイ・インピーダンスかUARTn出力になります。
CSI2，CSI3：シリアル出力はハイ・インピーダンスになります。
CTXEnビット = 1の場合には，シフト・レジスタのデータが出力されます。

２． CRXE nビット = 0の場合には，シフト・レジスタ入力は“ 0 ”になります。
CRXE nビット = 1の場合には，シリアル入力がシフト・レジスタに入力されます。

３． 送信データを自分自身で受信し，バスの競合が発生していないかチェックするためにはCTXEnビット = CRXE nビット = 1にします。

（b）送受信動作の起動

送受信動作の起動（スタート）はSIOnレジスタに対するリード／ライトによります。送信／受信のスタート制御は送信許可ビット（CTXEn），受信許可ビット（CRXEn）を次のように設定することにより行います。

CTXEn	CRXEn	スタート条件
0	0	スタートしない
0	1	SIOnレジスタ読み出し
1	0	SIOnレジスタ書き込み
1	1	SIOnレジスタ書き込み
0	0→1	CRXEnビット書き替え

備考　n = 0-3

CTXEnビットが“０”のときにSIOnレジスタをリード／ライトし，その後“１”にしても転送はスタートしません。

また，CTXEnビットが“０”のときにCRXEnビットを“０”→“１”にすると，シリアル・クロックが発生し，受信動作を開始します。

★ **（c）シリアル・クロック制御回路およびシリアル・クロック・カウンタの初期化**

CTXEn, CRXEnビットを次のように設定すると初期化できます。

CTXEn	CRXEn	初期化条件
1	0	SIOnレジスタ書き込み
1	1	SIOnレジスタ書き込み
0	0→1	CRXEnビット書き替え

備考　n = 0-3

8.3.5　CSI0-CSI3での送信

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）により送信許可に設定したあと，SIOnレジスタに書き込みを行うと，送信動作が起動します（n = 0-3）。

（1）送信動作を起動する

送信動作の起動は，クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）のCTXEnビットをセットして（CRXEnビットには“ 0 ”をセット），シフト・レジスタn（SIOn）へ送信データを書き込むことで行います。

なお，CTXEnビットがリセット（0）されているときは，SOn端子は出力ハイ・インピーダンスとなります。

（2）シリアル・クロックに同期してデータを送信する

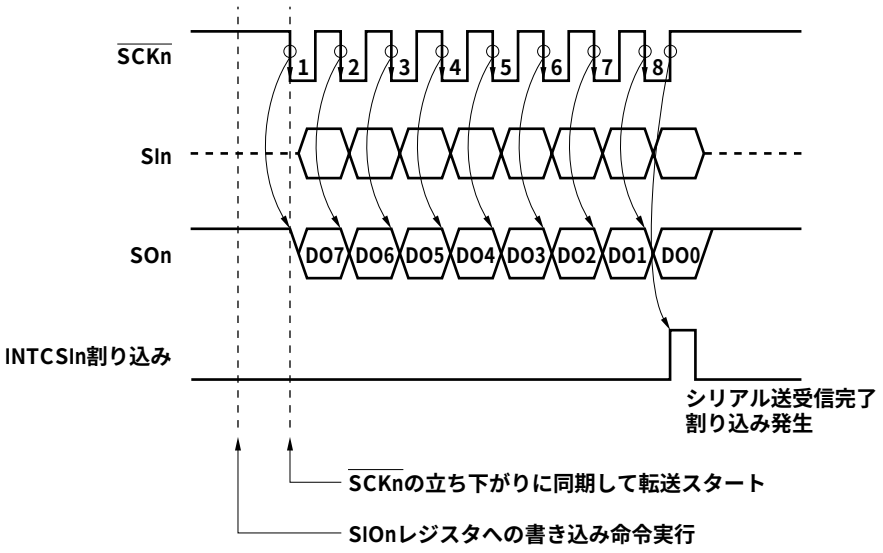
（a）シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。

（b）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。送信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行われず，SOn端子の出力レベルは変化しません。

図８－７　３線式シリアルI/Oモードのタイミング（送信）



備考　n = 0-3

8.3.6　CSI0-CSI3での受信

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）により，受信禁止から受信許可に状態を変える，または受信許可状態でSIOnレジスタを読み出すと受信動作は起動されます（n = 0-3）。

（1）受信動作を起動する

受信動作の起動には，次の２つの方法があります。

① CSIMnレジスタのCRXEnビットを受信禁止状態“０”から受信許可状態“１”へ変化させた場合

② CSIMnレジスタのCRXEnビットが受信許可状態“１”のときにシフト・レジスタ（SIOn）から受信データを読み出した場合

CSIMnレジスタのCRXEnビットをセット（1）した状態で，再び“１”を書き込んでも受信動作は起動されません。なお，CRXEnビット = 0のときは，シフト・レジスタ入力は“０”になります。

（2）シリアル・クロックに同期してデータを受信する

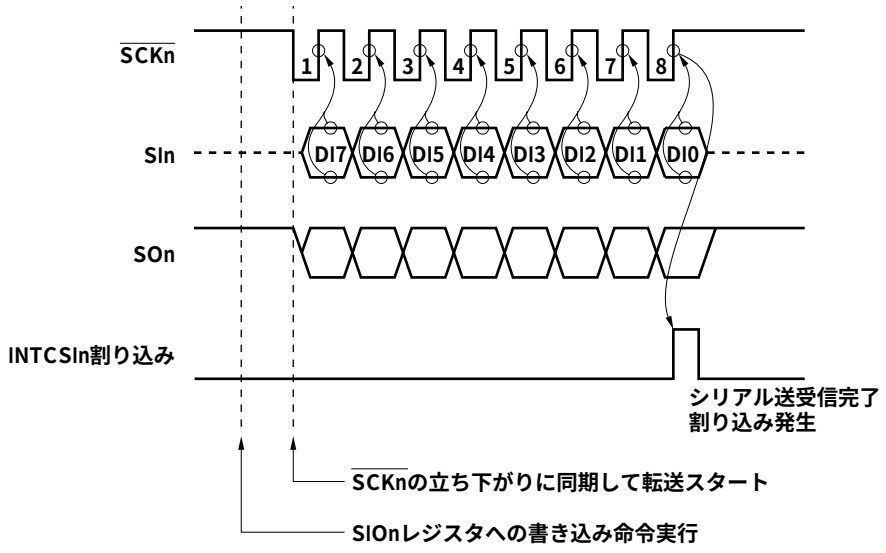
（a）シリアル・クロックとして内部クロックを選択した場合

受信が起動されると，シリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。受信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行いません。

図８－８　３線式シリアルI/Oモードのタイミング（受信）



備考　n = 0-3

8.3.7　CSI0-CSI3での送受信

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）により，送信と受信をともに許可状態にすると，送信動作と受信動作を同時に行うことができます（n = 0-3）。

（1）送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）のCTXEnビットとCRXEnビットが両方ともセット（1）されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信動作の起動は，CSIMnレジスタのCTXEn，CRXEnビットがともに“１”（送受信許可状態）のとき，シフト・レジスタn（SIOn）に送信データを書き込むことで行います。

CSIMnレジスタのCRXEnビットが“１”の状態で，再び“１”を書き込んでも送受信動作は起動されません。

（2）シリアル・クロックに同期してデータを送信する

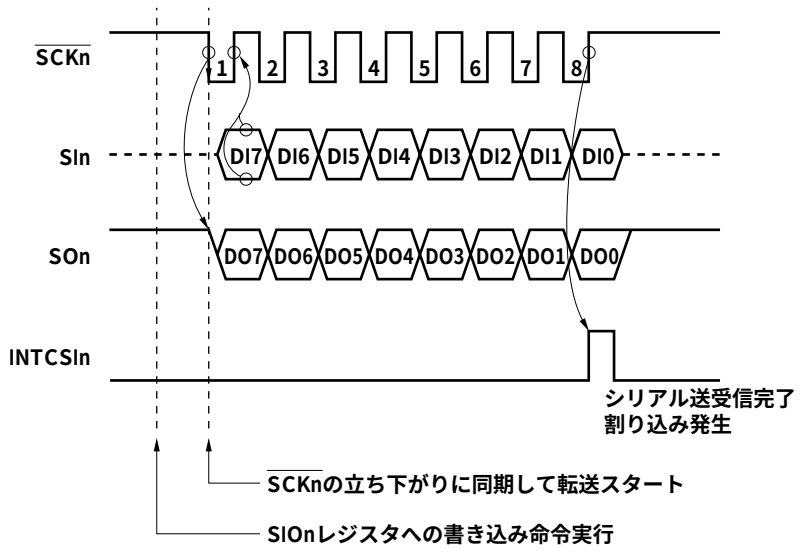
（a）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックを$\overline{\text{SCK}}$n端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{\text{SCK}}$n端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOnレジスタからSOn端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。送受信が起動されていないときに，シリアル・クロックを$\overline{\text{SCK}}$n端子へ入力してもシフト動作は行わず，SOn端子の出力レベルは変化しません。

図８－９　３線式シリアルI/Oモードのタイミング（送受信）



備考　n = 0-3

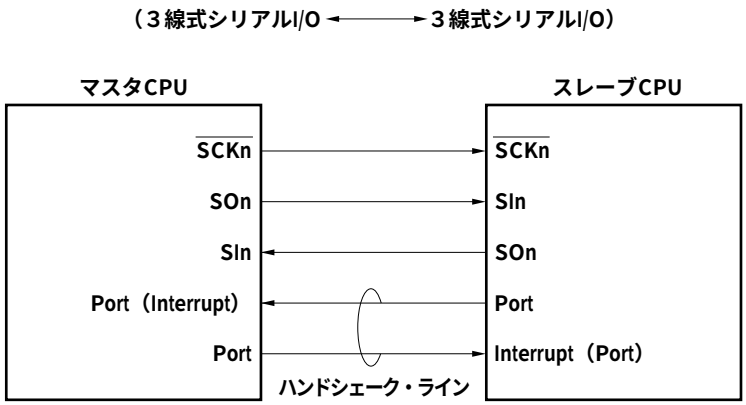
8.3.8　システム構成例

シリアル・クロック（$\overline{\text{SCKn}}$）と，シリアル入力（SIn），シリアル出力（SOn）の３種類の信号線によって，８ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です（n = 0-3）。

複数のデバイスと接続する場合は，ハンドシェーク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので，さまざまなデバイスと通信することができます。

図８－10　CSIのシステム構成例



備考　n = 0-3

8.4　ボー・レート・ジェネレータ0-2（BRG0-BRG2）

8.4.1　構成と機能

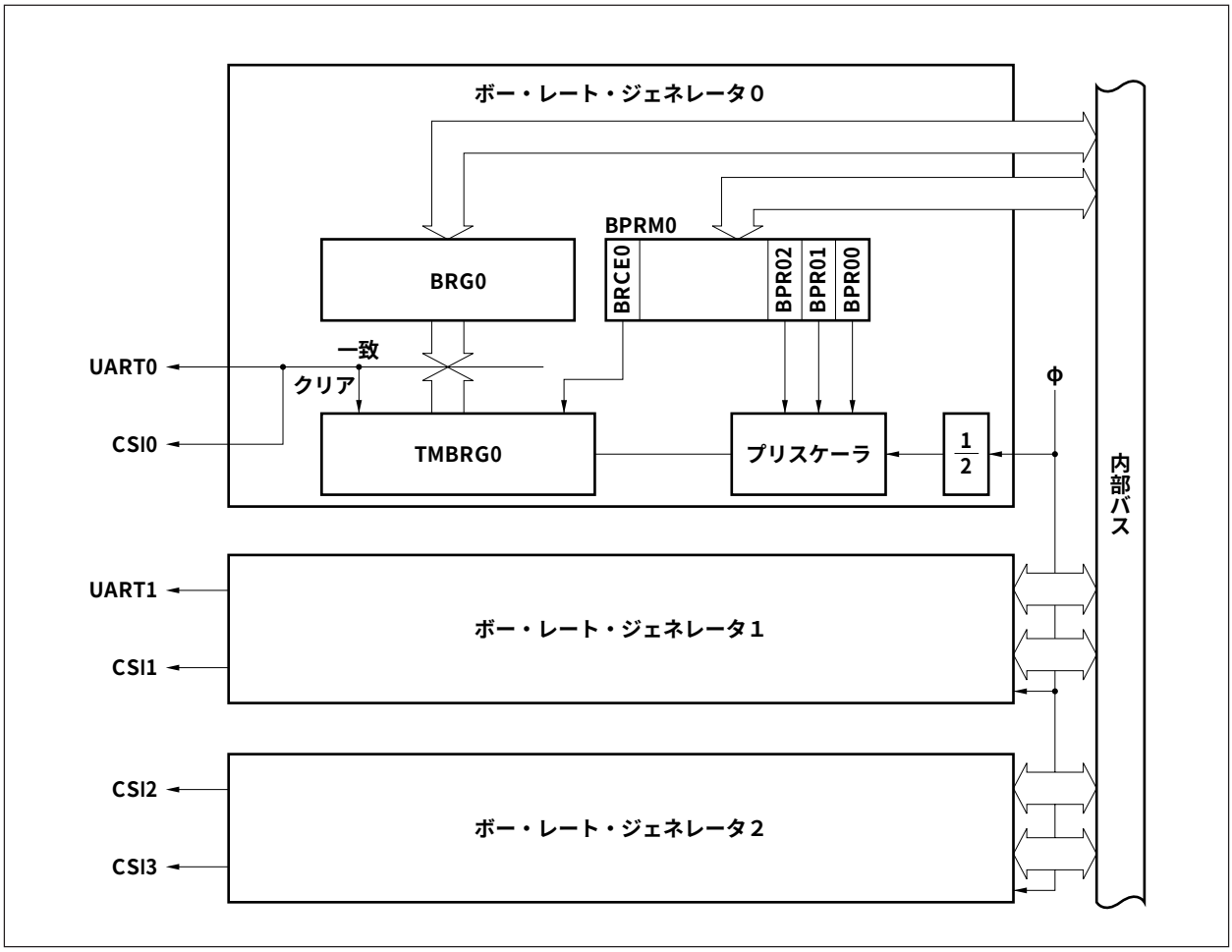
シリアル・インタフェースのシリアル・クロックは，チャネルごとにボー・レート・ジェネレータ出力またはφ系（内部システム・クロック）から選択できます。

シリアル・クロック・ソースは，UART0，UART1の場合はASIM00，ASIM10レジスタのSCLS0，SCLS1ビット，CSI0-CSI3の場合はCSIM0-CSIM3レジスタのCLSn1，CLSn0（n = 0-3）ビットで指定します。

ボー・レート・ジェネレータ出力を指定した場合は，クロック・ソースとしてボー・レート・ジェネレータが選択されます。

１チャネル当たりの送受信のシリアル・クロックは１つで共用されるため，送受信のボー・レートは同一となります。

図８－11　ボー・レート・ジェネレータのブロック図



（1）専用ボー・レート・ジェネレータ0-2（BRG0-BRG2）

専用ボー・レート・ジェネレータn（BRGn）は，おのおの，送受信のシフト・クロックを発生する専用の８ビット・タイマ（TMBRGn）＋コンペア・レジスタ（BRGCn）とプリスケーラから構成されます（n = 0-2）。

（a）入力クロック

BRGnへは，内部システム・クロック（φ）が入力されます。

（b）BRGnへの設定値

（i）UART0, UART1

UART0, UART1でシリアル・クロック・ソースとして専用ボー・レート・ジェネレータを指定した場合，×16のサンプリング・レートを使用しているので，実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\Phi}{2 \times k \times 2^{m} \times 16 \times 2} \ [\text{bps}]$$

φ = 内部システム・クロック周波数［Hz］
k = タイマ・カウント値（1 ≦ k ≦256[注]）　：BRGCnで設定
m = プリスケーラ設定値（m = 0, 1, 2, 3, 4）：BPRMnで設定

注　k = 256の設定は，BRGCnレジスタへの０ライトで行います。

（ii）CSI0-CSI3

CSI0-CSI3にて専用ボー・レート・ジェネレータを指定した場合，実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\Phi}{2 \times k \times 2^{m} \times 2} \ [\text{bps}]$$

φ = 内部システム・クロック周波数［Hz］
k = タイマ・カウント値（1 ≦ k ≦256[注]）　：BRGCnで設定
m = プリスケーラ設定値（m = 0, 1, 2, 3, 4）　：BPRMnで設定

注　k = 256の設定は，BRGCnレジスタへの０ライトで行います。

代表的クロックを使用したときのボー・レート・ジェネレータの設定値を次に示します。

表８－２　ボー・レート・ジェネレータ0-2設定データ

ボー・レート [bps]		φ= 33 MHz			φ= 25 MHz			φ= 16 MHz			φ= 12.5 MHz		
UART0, UART1	CSI0-CSI3	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	—	—	—	4	222	0.02 %	4	142	0.03 %	3	222	0.02 %
150	2400	4	215	0.07 %	4	163	0.15 %	3	208	0.16 %	3	163	0.15 %
300	4800	3	215	0.07 %	3	163	0.15 %	2	208	0.16 %	2	163	0.15 %
600	9600	2	215	0.07 %	2	163	0.15 %	1	208	0.16 %	1	163	0.15 %
1200	19200	1	215	0.07 %	1	163	0.15 %	0	208	0.16 %	0	163	0.15 %
2400	38400	0	215	0.07 %	0	163	0.15 %	0	104	0.16 %	0	81	0.47 %
4800	76800	0	107	0.39 %	0	81	0.47 %	0	52	0.16 %	0	41	0.76 %
9600	153600	0	54	0.54 %	0	41	0.76 %	0	26	0.16 %	0	20	1.73 %
10400	166400	0	50	0.84 %	0	38	1.16 %	0	24	0.16 %	0	19	1.16 %
19200	307200	0	27	0.54 %	0	20	1.73 %	0	13	0.16 %	0	10	1.73 %
38400	614400	0	13	3.29 %	0	10	1.73 %	0	7	6.99 %注	0	5	1.73 %
76800	1228800	0	7	4.09 %	0	5	1.73 %	—	—	—	0	3	15.2 %注
153600	2457600	0	3	11.90 %注	0	2	27.2 %注	—	—	—	—	—	—

ボー・レート [bps]		φ= 20 MHz			φ= 14.746 MHz			φ= 12.288 MHz			φ= 9.830 MHz		
UART0, UART1	CSI0-CSI3	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	4	178	0.25 %	4	131	0.07 %	3	218	0.08 %	3	175	0.26 %
150	2400	4	130	0.16 %	3	192	0.0 %	3	160	0.0 %	3	128	0.0 %
300	4800	3	130	0.16 %	2	192	0.0 %	2	160	0.0 %	2	128	0.0 %
600	9600	2	130	0.16 %	1	192	0.0 %	1	160	0.0 %	1	128	0.0 %
1200	19200	1	130	0.16 %	0	192	0.0 %	0	160	0.0 %	0	128	0.0 %
2400	38400	0	130	0.16 %	0	96	0.0 %	0	80	0.0 %	0	64	0.0 %
4800	76800	0	65	0.16 %	0	48	0.0 %	0	40	0.0 %	0	32	0.0 %
9600	153600	0	33	1.36 %	0	24	0.0 %	0	20	0.0 %	0	16	0.0 %
10400	166400	0	30	0.16 %	0	22	0.7 %	0	18	2.6 %	0	15	1.5 %
19200	307200	0	16	1.73 %	0	12	0.0 %	0	10	0.0 %	0	8	0.0 %
38400	614400	0	8	1.73 %	0	6	0.0 %	0	5	0.0 %	0	4	0.0 %
76800	1228800	0	4	1.73 %	0	3	0.0 %	0	3	16.7 %注	0	2	0.0 %
153600	2457600	0	2	1.73 %	0	2	25.0 %注	—	—	—	0	1	0.0 %
307200	4915200	0	1	1.73 %	—	—	—	—	—	—	—	—	—

注　誤差が大きく使用不可

備考　BPR：プリスケーラ設定値（BPRMnレジスタで設定）

BRG：タイマ・カウント値（BRGCnレジスタで設定）

φ：内部システム・クロック

（ｃ）ボー・レートの誤差について

ボー・レートの誤差は次のように表されます。

$$\text{誤差［\%］} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100$$

例　（9520/9600－1）×100 = －0.833［%］

（5000/4800－1）×100 = ＋4.167［%］

（２）ボー・レートの誤差許容範囲

許容範囲は，１フレームのビット数に依存します。

16ビットでのボー・レート誤差：±５%，サンプル・タイミング：±4.5 %を基本的な許容限度とします。

ただし，実用上の許容限度は，送信側，受信側がともに誤差を含んでいる場合を想定して，ボー・レート誤差：±2.3 %です。

8.4.2　ボー・レート・ジェネレータ・コンペア・レジスタ0-2（BRGC0-BRGC2）

ボー・レート・ジェネレータにおけるタイマ・カウント値を設定する８ビットのコンペア・レジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	FFFFF084H	不定
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFF094H	不定
BRGC2	BRG27	BRG26	BRG25	BRG24	BRG23	BRG22	BRG21	BRG20	FFFFF0A4H	不定

注意　BRGCnレジスタへの書き込み動作により，内部タイマ（TMBRGn）がクリアされます。したがって，送受信動作中にソフトウエアでBRGCnレジスタを書き換えないでください。

備考　n = 0-2

8.4.3　ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ0-2（BPRM0-BPRM2）

ボー・レート・ジェネレータのタイマ・カウント動作制御とカウント・クロックの選択を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00	FFFFF086H	00H
BPRM1	BRCE1	0	0	0	0	BPR12	BPR11	BPR10	FFFFF096H	00H
BPRM2	BRCE2	0	0	0	0	BPR22	BPR21	BPR20	FFFFF0A6H	00H

ビット位置	ビット名	意　　味
7	BRCEn	Baud Rate Generator Count Enable BRGnのカウント動作を制御します。 ０：クリアされたままカウント動作を停止します。 １：カウント動作を許可します。
2-0	BPRn2- BPRn0	Baud Rate Generator Prescaler 内部タイマ（TMBRGn）へ入力するカウント・クロックを指定します。

BPRn2	BPRn1	BPRn0	カウント・クロック
0	0	0	φ/2（m=0）
0	0	1	φ/4（m=1）
0	1	0	φ/8（m=2）
0	1	1	φ/16（m=3）
1	×	×	φ/32（m=4）

m：プリスケーラ設定値　　φ：内部システム・クロック　　×：任意

注意　送受信動作中にカウント・クロックを変更しないでください。

備考　n = 0-2

第９章　A/Dコンバータ

9.1　特　　徴

○アナログ入力：８チャネル
○10ビットA/Dコンバータ内蔵
○A/D変換結果レジスタ（ADCR0-ADCR7）内蔵
　10ビット×８本
○A/D変換トリガ・モード
　A/Dトリガ・モード
　タイマ・トリガ・モード
　外部トリガ・モード
○逐次変換方式

9.2　構　　成

A/Dコンバータは逐次変換方式を採用しており，A/Dコンバータ・モード・レジスタ（ADM0，ADM1），ADCRnレジスタを使用してA/D変換動作を行います（n = 0-7）。

（1）入力回路

ADM0，ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI7）を選択し，サンプル＆ホールド回路に送ります。

（2）サンプル＆ホールド回路

入力回路から順次送られてくるアナログ入力を１つ１つサンプリングし，コンパレータに送ります。なおA/D変換動作中は，サンプリングしたアナログ入力を保持します。

（3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF1}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。２端子間を1024の等価な電圧ステップにするため，等価な抵抗1023個とその1/2の抵抗値の抵抗２個で構成されています。

直列抵抗ストリングの電圧タップは，逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

（５）逐次変換レジスタ（SAR：Successive Approximation Register）

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から１ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）は，A/D変換結果レジスタ（ADCRn）に保持されます。

（６）A/D変換結果レジスタ（ADCRn：A/D Conversion Result Register n）

ADCRは，A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

（７）コントローラ

ADM0, ADM1レジスタに設定したモードに従って，アナログ入力の選択，サンプル＆ホールド回路の動作タイミングの生成，変換トリガの制御を行います。

（８）ANI0-ANI7端子

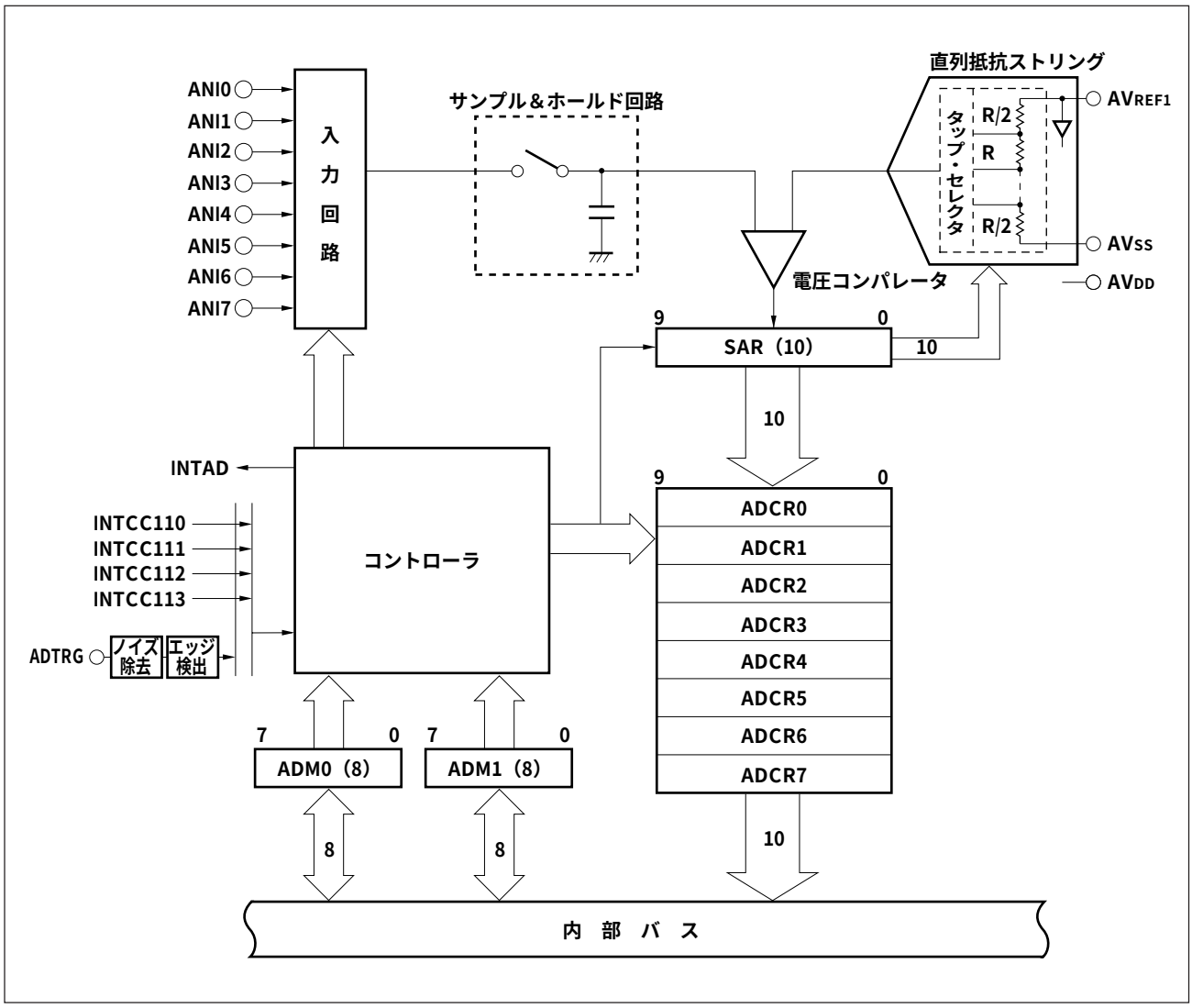
A/Dコンバータへの８チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意　ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にV_{DD}以上，V_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となり，またほかのチャネルの変換値にも影響を与えることがあります。

（９）AV_{REF1}端子

A/Dコンバータの基準電圧を入力するための端子です。AV_{REF1}-AV_{SS}間に加えられる電圧に基づいてANIn端子に入力される信号をディジタル信号に変換します。

図９－１　A/Dコンバータのブロック図



注意１．アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REF1}）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。
この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。
次に，ソフトウエア処理の例を示します。

- 複数回のA/D変換結果の平均値を，A/D変換結果として使用する。
- 複数回のA/D変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるようなA/D変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。

２．A/Dコンバータの入力端子として使用している端子には，AV_{SS}-AV_{REF1}の範囲外の電圧が加わらないようにしてください。

9.3　制御レジスタ

（1）A/Dコンバータ・モード・レジスタ０（ADM0）

ADM0レジスタは，アナログ入力端子の選択，動作モードの指定および変換動作の制御を行う８ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。また，ビット６には書き込みできません。書き込みは無視されます。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	リセット時
ADM0	CE	CS	BS	MS	0	ANIS2	ANIS1	ANIS0	FFFFF380H	00H

ビット位置	ビット名	意　　味
7	CE	Convert Enable A/D変換動作の許可／禁止を指定します。 ０：禁止 １：許可
6	CS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 ０：停止 １：動作中
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 ０：１バッファ・モード １：４バッファ・モード
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 ０：スキャン・モード １：セレクト・モード

注意１．タイマ・トリガ・モード，外部トリガ・モード時でCEビットが１のときは，トリガ信号待機状態になります。CEビットをクリアするには，“０”を書き込むか，リセットしてください。
A/Dトリガ・モードでは，CEビットに１を書き込むことが変換のトリガになります。動作後，CEビットをクリアせずにタイマ・トリガ・モード，外部トリガ・モードに変更した場合，変更直後からトリガ入力の待機状態になります。

★　２．A/D変換を開始してからCSビット＝１になるまで３クロックかかります。A/D変換値を読み出すときにはA/D変換終了割り込み（INTAD）を使用してください。

(2/2)

ビット位置	ビット名	意　　味
2-0	ANIS2- ANIS0	Analog Input Select A/D変換するアナログ入力端子を指定します。

ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード	
			A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード注
0	0	0	ANI0	ANI0	ANI0	１回
0	0	1	ANI1	ANI1	ANI0，ANI1	２回
0	1	0	ANI2	ANI2	ANI0-ANI2	３回
0	1	1	ANI3	ANI3	ANI0-ANI3	４回
1	0	0	ANI4	設定禁止	ANI0-ANI4	４回＋ANI4
1	0	1	ANI5	設定禁止	ANI0-ANI5	4回＋ANI4, ANI5
1	1	0	ANI6	設定禁止	ANI0-ANI6	4回＋ANI4-ANI6
1	1	1	ANI7	設定禁止	ANI0-ANI7	4回＋ANI4-ANI7

注　スキャン・モード時のタイマ・トリガ・モードでは，ANI0-ANI3端子のスキャン順序はコンペア・レジスタの一致信号の発生順序により指定されるため，特定のアナログ入力端子を指定するのではなく，トリガ入力回数を指定します。ANIS2 = 1に設定した場合，トリガを４回カウントしたあとに，A/Dスキャン・モードに移行して変換を行います。

（2）A/Dコンバータ・モード・レジスタ１（ADM1）

ADM1レジスタは，変換動作時間の指定，トリガ・モードの指定を行う８ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただし，A/D変換動作中にADM1レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0	アドレス	リセット時
ADM1	0	TRG2	TRG1	TRG0	0	FR2	FR1	FR0	FFFFF382H	07H

ビット位置	ビット名	意　　味
6-4	TRG2- TRG0	Torigger Mode トリガ・モードを指定します。

TRG2	TRG1	TRG0	トリガ・モード
0	0	×	A/Dトリガ・モード
0	1	0	タイマ・トリガ・モード（１トリガ・モード）
0	1	1	タイマ・トリガ・モード（４トリガ・モード）
1	1	0	外部トリガ・モード
上記以外			設定禁止

備考１． ×：任意

２． 外部トリガ・モード時の外部入力信号の有効エッジの指定は，外部割り込みモード・レジスタ（INTM1）のビット７，６（ES031，ES030）で指定します。詳細は**５．３．７　エッジ検出機能**の外部割り込みモード・レジスタ1-4（INTM1-INTM4）を参照してください。

ビット位置	ビット名	意　　味
2-0	FR2-FR0	Frequency 変換動作時間を指定します。発振周波数を変化させた場合でも，A/D変換時間を大きく変化させないようにするための制御ビットです。

FR2	FR1	FR0	変換クロック数	変換動作時間（μs）注		
				φ= 33 MHz	φ= 25 MHz	φ= 16 MHz
0	0	0	36	—	—	2.25
0	0	1	48	—	1.92	3.00
0	1	0	60	1.82	2.40	3.75
0	1	1	72	2.18	2.88	4.50
1	0	0	96	2.91	3.84	6.00
1	0	1	120	3.64	4.80	7.50
1	1	0	144	4.36	5.76	9.00
1	1	1	192	5.82	7.68	12.00

注　変換動作時間は目標値です。

備考　φ= 内部システム・クロック周波数

（３）A/D変換結果レジスタ（ADCR0-ADCR7，ADCR0H-ADCR7H）

ADCRnレジスタは，A/D変換の結果を保持する10ビット・レジスタです。８本の10ビット・レジスタを備えています（n = 0-7）。

16/8ビット単位でリードのみ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを，上位８ビット・アクセス時はADCRnHレジスタを指定します。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には，下位の10ビットだけが有効となり，上位６ビットは常に０が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
ADCRn	0	0	0	0	0	0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFFFF390H-FFFFF3ACH	不定

	7	6	5	4	3	2	1	0		
ADCRnH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	FFFFF392H-FFFFF3AEH	不定

備考　n = 0-7

９.４　A/Dコンバータ動作

９.４.１　A/Dコンバータ基本動作

A/D変換は次の手順で行います。

（１）アナログ入力の選択，動作モード，トリガ・モードなどの指定を，ADM0，ADM1レジスタに設定します[注1]。ADM0レジスタのCEビットをセット（１）すると，A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード，外部トリガ・モード時は，トリガ待機状態[注2]になります。

（２）直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。

（３）10ビットの比較が終了したとき，ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき，A/D変換終了割り込み（INTAD）を発生します（n = 0-7）。

注１． A/D変換動作中にADM0，ADM1レジスタを変更した場合，変更前のA/D変換動作は停止し，ADCRnレジスタへ変換結果を格納しません。

２． タイマ・トリガ・モード，外部トリガ・モードの場合，ADM0レジスタのCEビットを１にすると，トリガ待機状態に遷移します。またA/D変換動作は，トリガ信号によって起動され，A/D変換動作が終了するとトリガ待機状態に戻ります。

9.4.2　入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ（ADCRn））には次式に示す関係があります（n = 0-7）。

$$ADCRn = INT\left(\frac{V_{IN}}{AV_{REF1}} \times 1024 + 0.5\right)$$

または，

$$(ADCRn - 0.5) \times \frac{AV_{REF1}}{1024} \leqq V_{IN} < (ADCRn + 0.5) \times \frac{AV_{REF1}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数

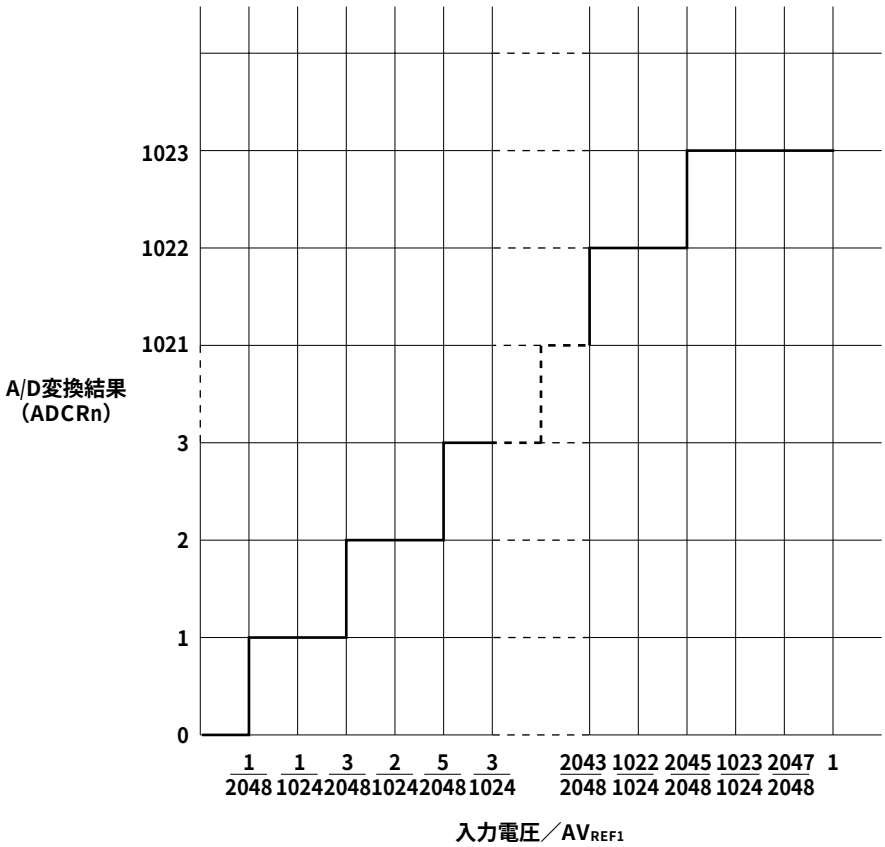
V_{IN}　：アナログ入力電圧

AV_{REF1}　：AV_{REF1}端子電圧

ADCRn　：A/D変換結果レジスタ（ADCRn）の値

図９－２にアナログ入力電圧とA/D変換結果の関係を示します。

図９－２　アナログ入力電圧とA/D変換結果の関係



9.4.3　動作モードとトリガ・モード

A/Dコンバータは，動作モード，トリガ・モードの指定により多彩な変換動作を指定できます。動作モード，トリガ・モードは，ADM0, ADM1レジスタで設定します。

動作モード，トリガ・モードの関係を次に示します。

トリガ・モード		動作モード		設定値		アナログ入力
				ADM0	ADM1	
A/Dトリガ		セレクト	１バッファ	××010×××B	000×0×××B	ANI0-ANI7
			４バッファ	××110×××B	000×0×××B	
		スキャン		×××00×××B	000×0×××B	
タイマ・トリガ	１トリガ	セレクト	１バッファ	××010×××B	00100×××B	ANI0-ANI3
			４バッファ	××110×××B	00100×××B	
		スキャン		×××00×××B	00100×××B	
	４トリガ	セレクト	１バッファ	××010×××B	00110×××B	
			４バッファ	××110×××B	00110×××B	
		スキャン		×××00×××B	00110×××B	
外部トリガ		セレクト	１バッファ	××010×××B	01100×××B	
			４バッファ	××110×××B	01100×××B	
		スキャン		×××00×××B	01100×××B	

（1）トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには，A/Dトリガ・モード，タイマ・トリガ・モード，外部トリガ・モードの３通りがあります。ANI0-ANI3端子はすべてのモードを指定できますが，ANI4-ANI7端子はA/Dトリガ・モードだけ指定できます。またタイマ・トリガ・モードには，サブトリガ・モードとして，１トリガ・モードと４トリガ・モードがあります。これらのトリガ・モードは，ADM1レジスタで設定します。

（a）A/Dトリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，A/Dコンバータ・ユニット内部で発生するモードです。ANI4-ANI7端子は常にこのモードになります。

（b）タイマ・トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを，TM11のコンペア・レジスタに設定した値で規定するモードです。このモードはANI0-ANI3端子だけで指定できます。

16ビットのTM11に接続された４本のキャプチャ／コンペア・レジスタ（CC110-CC113）の一致割り込み発生により，アナログ入力変換タイミングを生成します。

タイマ・トリガ・モードには，１トリガ・モードと４トリガ・モードの２通りのサブトリガ・モードがあります。

- **１トリガ・モード**

  タイマ11からの１つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

- **４トリガ・モード**

  タイマ11からの４つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

（ｃ）外部トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを，ADTRG端子で指定するモードです。このモードは，ANI0-ANI3端子だけで指定できます。

（２）動作モード

動作モードには，ANI0-ANI7端子を設定するモードとして，セレクト・モード，スキャン・モードの２通りがあります。セレクト・モードには，サブモードとして１バッファ・モードと４バッファ・モードがあります。これらのモードは，ADM0レジスタで設定します。

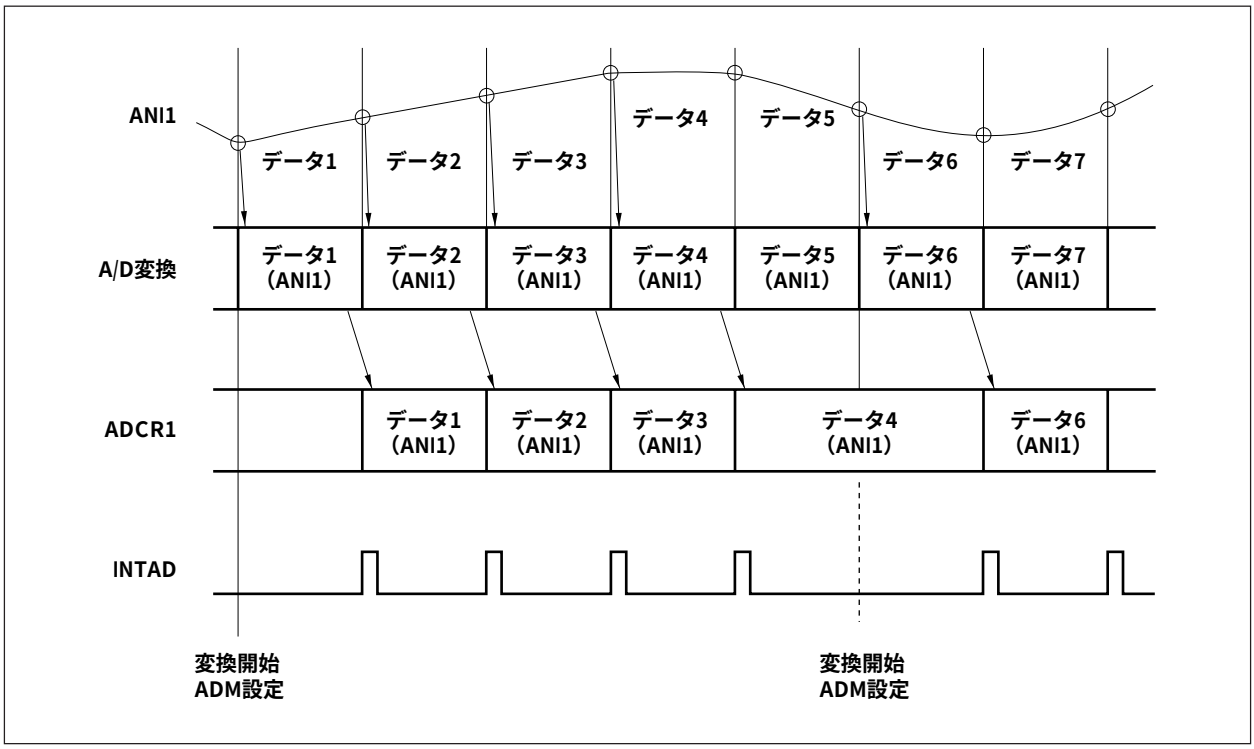
（ａ）セレクト・モード

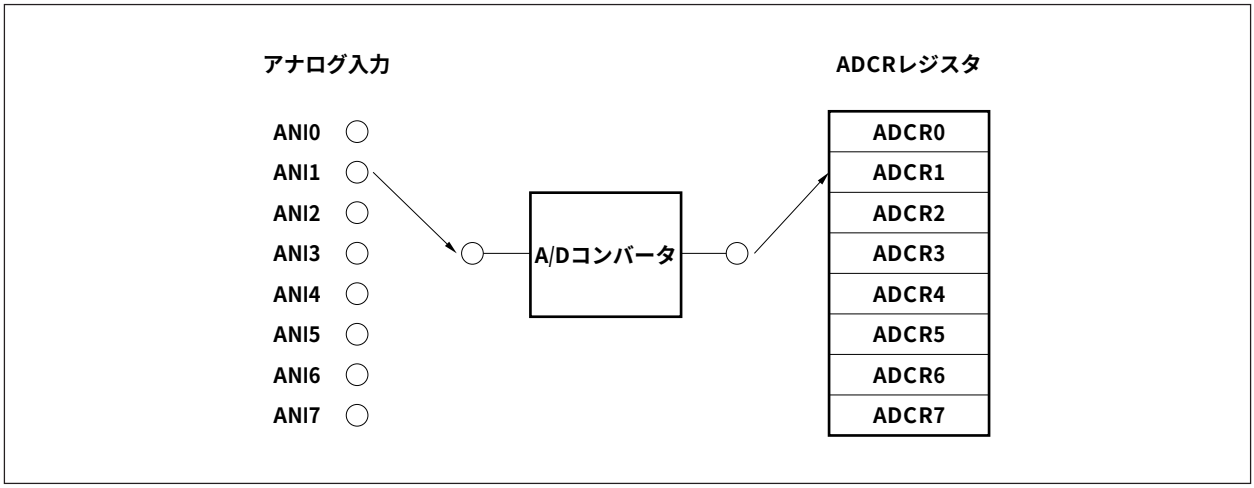
ADM0レジスタで指定される１つのアナログ入力をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。このモードでは，A/D変換結果の格納方法として１バッファ・モードと４バッファ・モードを備えています（n = 0-7）。

・１バッファ・モード

ADM0レジスタで指定される１つのアナログ入力をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。アナログ入力とADCRnレジスタは１対１に対応しており，１回のA/D変換終了ごとにA/D変換終了割り込み（INTAD）が発生します。

図９－３　セレクト・モードの動作タイミング：１バッファ・モード（ANI1）

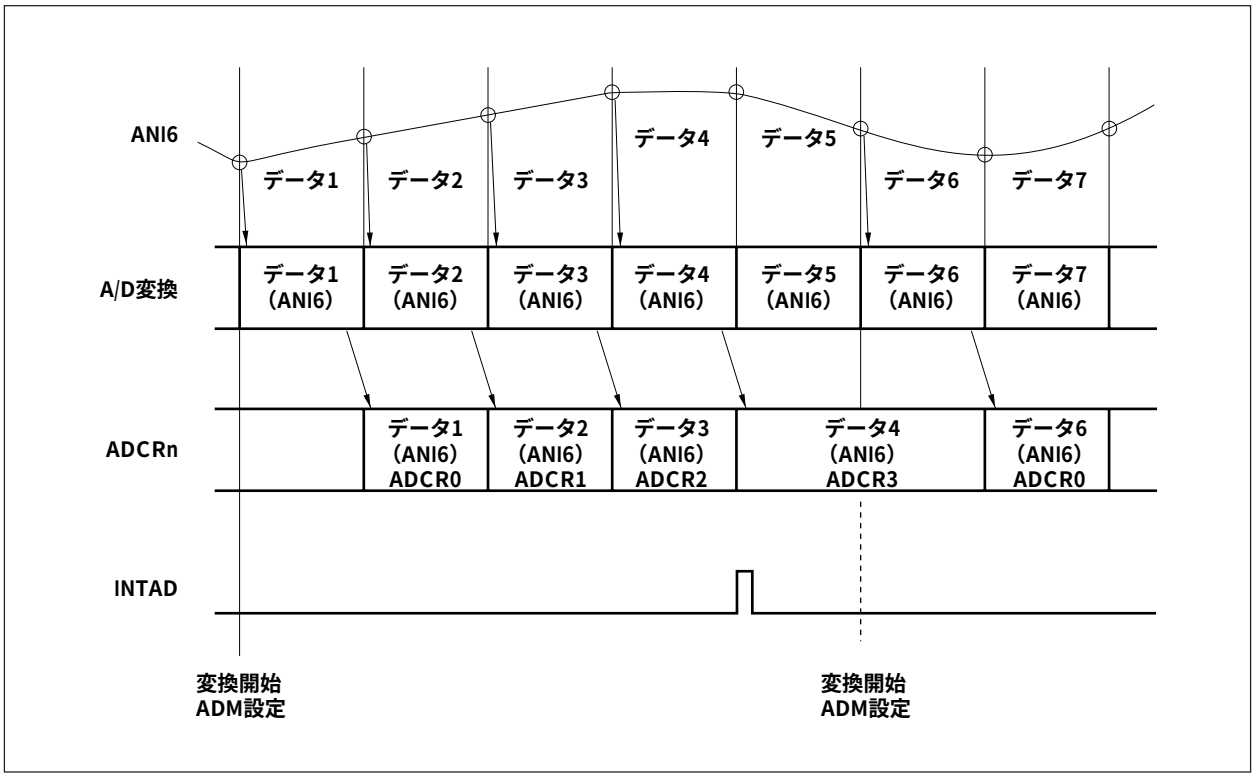


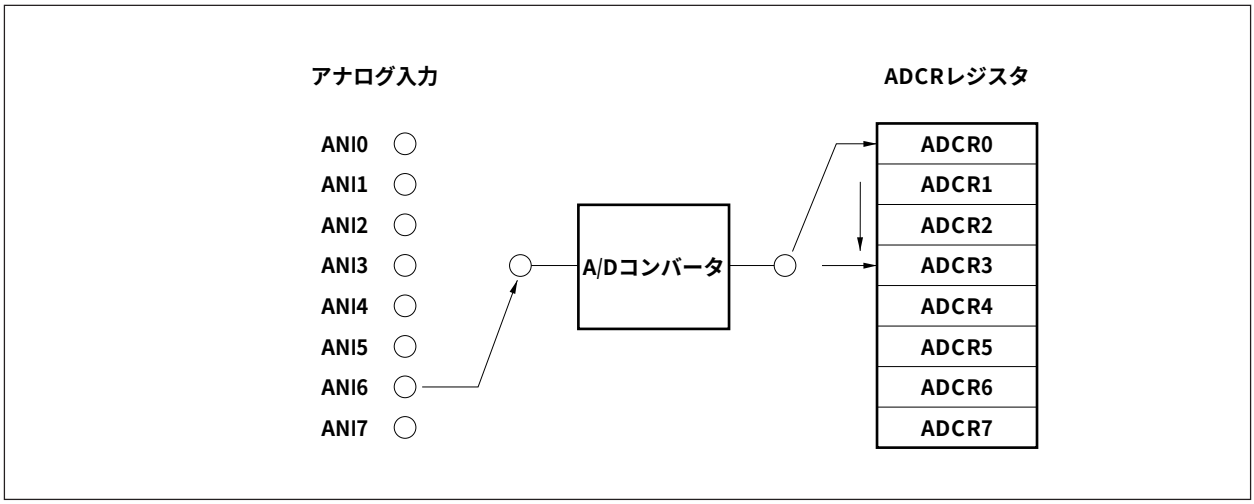


・４バッファ・モード

１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み（INTAD）は，４回のA/D変換が終了したときに発生します。

図９－４　セレクト・モードの動作タイミング：４バッファ・モード（ANI6）

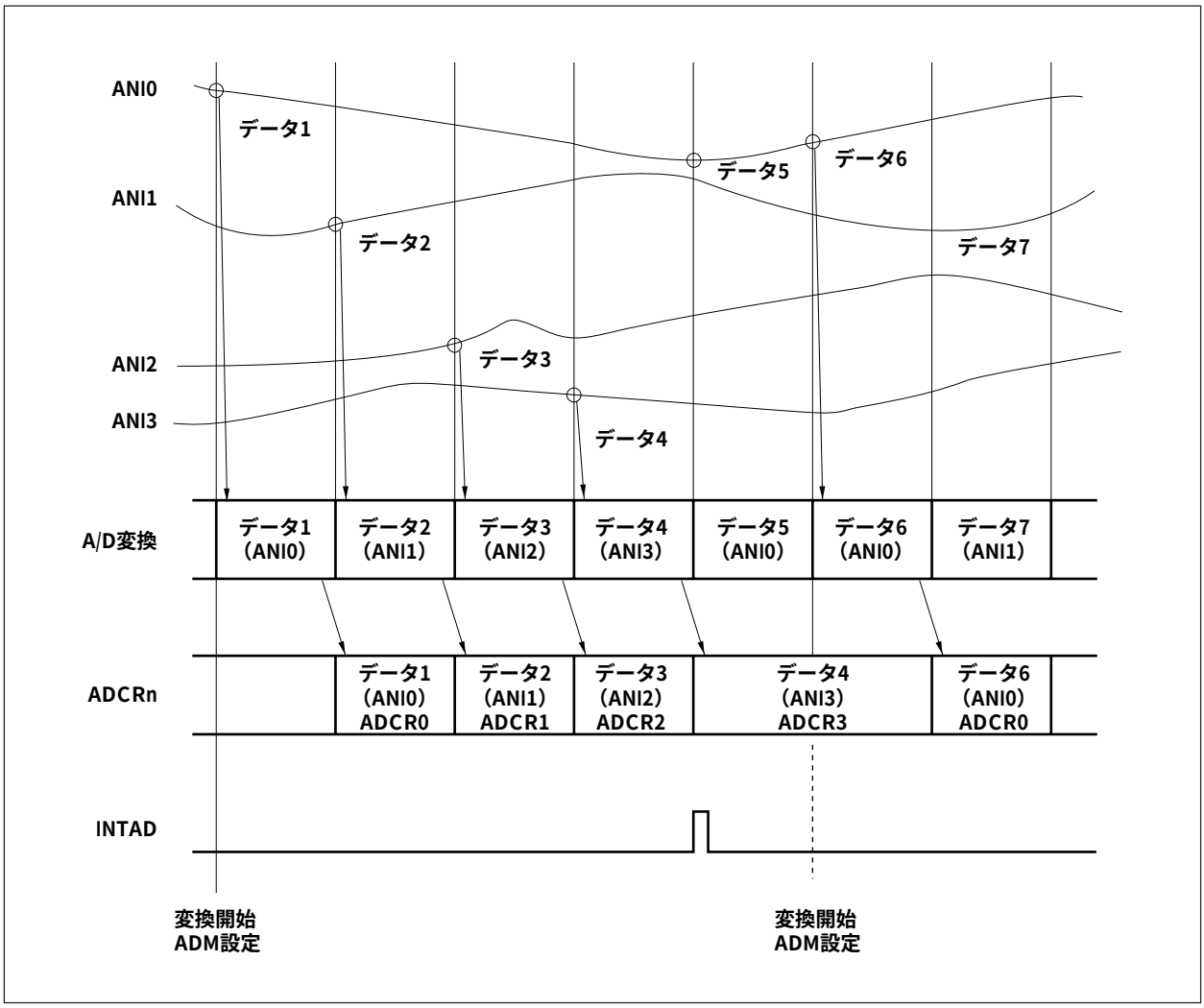


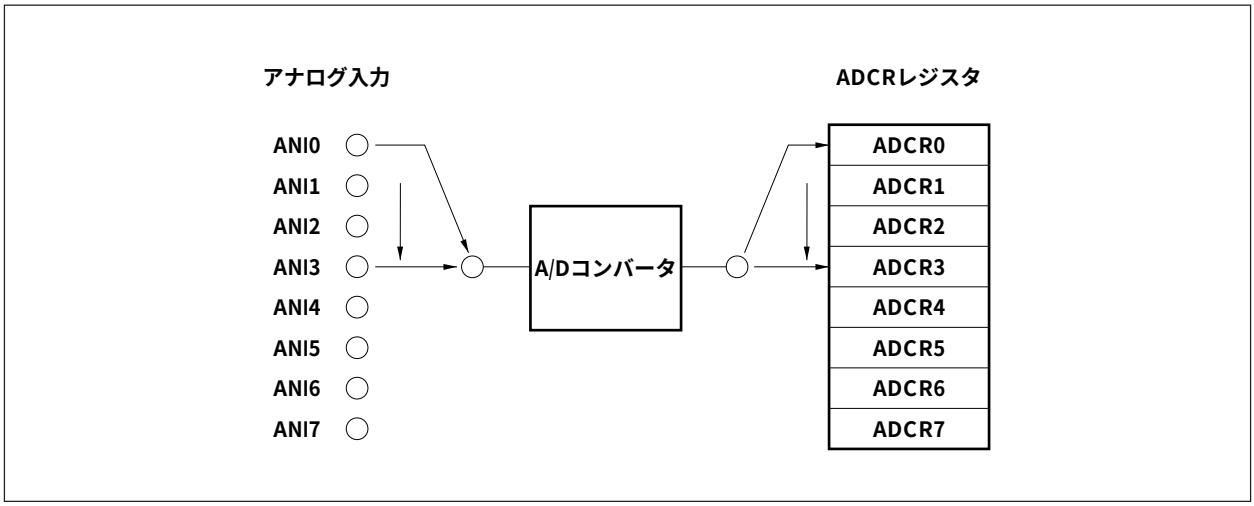


（b）スキャン・モード

ANI0端子から，ADM0レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換が終了すると，INTAD割り込みが発生します。

図９－５　スキャン・モードの動作タイミング：４チャネル・スキャン（ANI0-ANI3）





9.5　A/Dトリガ・モード時の動作

ADM0レジスタのCEビットを１に設定すると，A/D変換を開始します。

9.5.1　セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは，A/D変換結果の格納法により１バッファ・モードと４バッファ・モードをサポートします（n = 0-7）。

（1）１バッファ・モード（A/Dトリガ・セレクト・１バッファ）

１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは，１対１に対応しています。

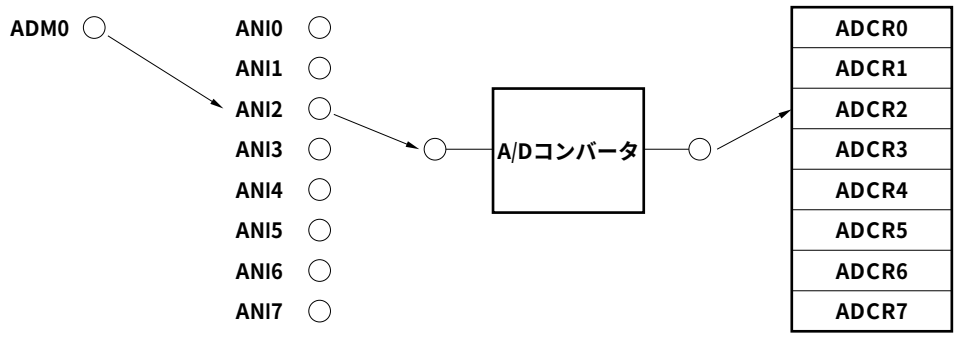
１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

１回のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

備考　n = 0-7

図９－６　１バッファ・モード（A/Dトリガ・セレクト・１バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）ANI2をA/D変換
（3）ADCR2に変換結果を格納
（4）INTAD割り込み発生

（2）４バッファ・モード（A/Dトリガ・セレクト・４バッファ）

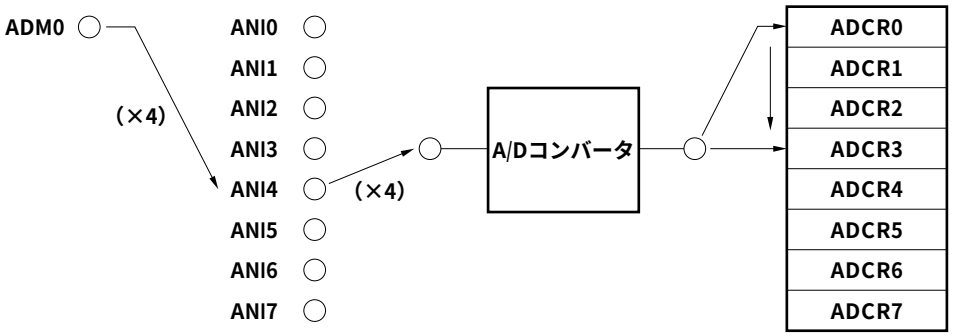
１つのアナログ入力を４回A/D変換し，その結果を４つのADCRnレジスタに格納します。４回のA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

備考　n = 0-7

図９－７　４バッファ・モード（A/Dトリガ・セレクト・４バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）ANI4をA/D変換
（3）ADCR0に変換結果を格納
（4）ANI4をA/D変換
（5）ADCR1に変換結果を格納
（6）ANI4をA/D変換
（7）ADCR2に変換結果を格納
（8）ANI4をA/D変換
（9）ADCR3に変換結果を格納
（10）INTAD割り込み発生

9.5.2　スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します。

指定したアナログ入力の変換をすべて終了すると，INTAD割り込みを発生し，A/D変換を終了します。ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

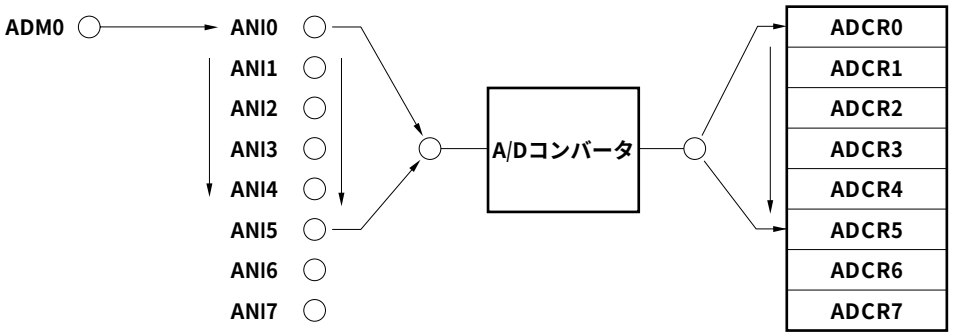
複数のアナログ入力を常時監視するような応用に最適です。

アナログ入力	A/D変換結果レジスタ
ANI0	ADCR0
：	：
ANIn注	ADCRn

注　ADM0レジスタのANIS2-ANIS0ビットで設定。

備考　n = 0-7

図９－８　スキャン・モード（A/Dトリガ・スキャン）の動作例



（１）ADM0のCEビット = 1（許可）
（２）ANI0をA/D変換
（３）ADCR0に変換結果を格納
（４）ANI1をA/D変換
（５）ADCR1に変換結果を格納
（６）ANI2をA/D変換
（７）ADCR2に変換結果を格納
（８）ANI3をA/D変換
（９）ADCR3に変換結果を格納
（10）ANI4をA/D変換
（11）ADCR4に変換結果を格納
（12）ANI5をA/D変換
（13）ADCR5に変換結果を格納
（14）INTAD割り込み発生

9.6　タイマ・トリガ・モード時の動作

A/Dコンバータは，TM11のコンペア・レジスタの一致割り込み信号で，最大４チャネルのアナログ入力（ANI0-ANI3）に変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには，TM11と４本のキャプチャ／コンペア・レジスタ（CC110-CC113）を使用します。

TUM11レジスタの指定に応じて，次の２つのモードがあります。

（1）ワンショット・モード

ワンショット・モードを使用するには，TUM11レジスタのOSTビットに１（ワンショット・モード）を設定します。

A/D変換の周期がTM11の周期より長い場合，TM11はオーバフローを発生し，0000Hを保持して停止します。以降，TM11はコンペア・レジスタの一致割り込み信号（A/D変換トリガ）を出力せず，A/DコンバータもA/D変換待機状態となります。TM11のカウント動作は，TCLR11端子入力の有効エッジが検出されるか，またはTMC11レジスタのCE11ビットに１を書き込むと再開します。

（2）ループ・モード

ループ・モードを使用するには，TUM11レジスタのOSTビットに０（ノーマル・モード）を設定します。

TM11がオーバフローを発生するとTM11は再び0000Hからカウントを始めるため，コンペア・レジスタの一致割り込み信号（A/D変換トリガ）が繰り返し出力されて，A/D変換も繰り返し行われます。

9.6.1　セレクト・モードの動作

ADM0レジスタで指定される１つのアナログ入力（ANI0-ANI3）をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納法により，１バッファ・モードと４バッファ・モードの２通りがあります（n = 0 - 7）。

（1）１バッファ・モードの動作（タイマ・トリガ・セレクト・１バッファ）

１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。

１バッファ・モードでは，トリガの回数により１トリガ・モードと４トリガ・モードの２つのモードがあります。

（a）１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）

一致割り込み信号（INTCC110）をトリガとして，１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。

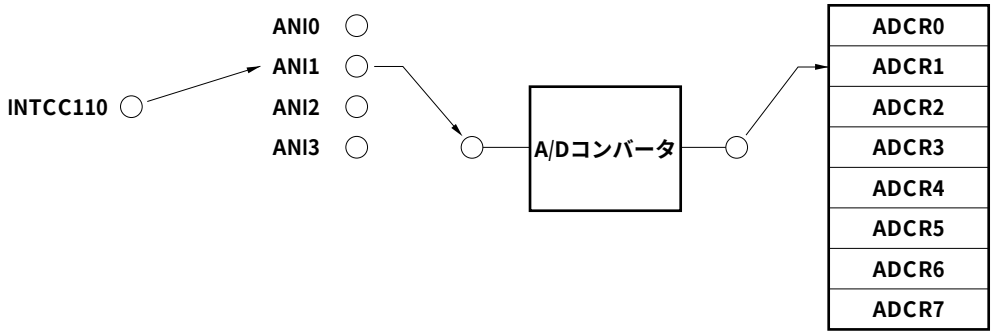
TM11をワンショット・モードに設定している場合は，１回の変換でA/D変換を終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。

ループ・モードに設定している場合は，ADM0レジスタのCEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn

備考　n = 0-3

図９－９　１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）CC110コンペア発生
（3）ANI1をA/D変換
（4）ADCR1に変換結果を格納
（5）INTAD割り込み発生

（b）４トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）

４つの一致割り込み信号（INTCC110-INTCC113）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果を１つのADCRnレジスタに格納します。１回のA/D変換ごとにINTAD割り込みを発生し，ADM0レジスタのCSビットがリセット（０）されます。１回のA/D変換結果は，次のA/D変換が終了するまでADCRnレジスタに保持されます。各A/D変換終了後のINTAD割り込みで，変換結果をメモリへ転送するなどの処理をしてください。

TM11をワンショット・モードに設定している場合，A/D変換を４回で終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット（１）され，A/D変換を開始します。

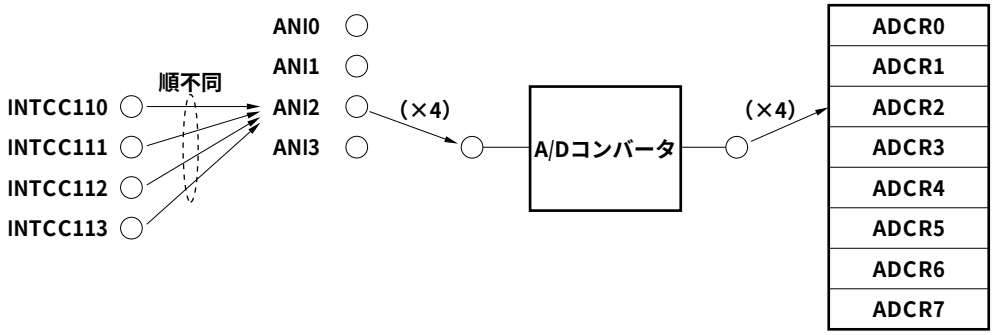
ループ・モードに設定している場合は，ADM0レジスタのCEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み（INTCC110-INTCC113）はどのような順番で発生しても問題ありません。また，同一トリガが連続して入った場合もトリガとして受け付けます。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn
INTCC111割り込み	ANIn	ADCRn
INTCC112割り込み	ANIn	ADCRn
INTCC113割り込み	ANIn	ADCRn

備考　n = 0-3

図９－10　４トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）の動作例



（１）ADM0のCEビット = 1（許可）
（２）CC112コンペア発生（順不同）
（３）ANI2をA/D変換
（４）ADCR2に変換結果を格納
（５）INTAD割り込み発生
（６）CC111コンペア発生（順不同）
（７）ANI2をA/D変換
（８）ADCR2に変換結果を格納
（９）INTAD割り込み発生
（10）CC113コンペア発生（順不同）
（11）ANI2をA/D変換
（12）ADCR2に変換結果を格納
（13）INTAD割り込み発生
（14）CC110コンペア発生（順不同）
（15）ANI2をA/D変換
（16）ADCR2に変換結果を格納
（17）INTAD割り込み発生

（２）４バッファ・モードの動作（タイマ・トリガ・セレクト・４バッファ）

１つのアナログ入力を４回A/D変換し，その結果をADCRnレジスタに格納します。４バッファ・モードには，トリガの回数により１トリガ・モード，４トリガ・モードの２通りがあります。

A/D変換結果の平均を求めるような応用に最適です。

（ａ）１トリガ・モード（タイマ・トリガ・セレクト・４バッファ・１トリガ）

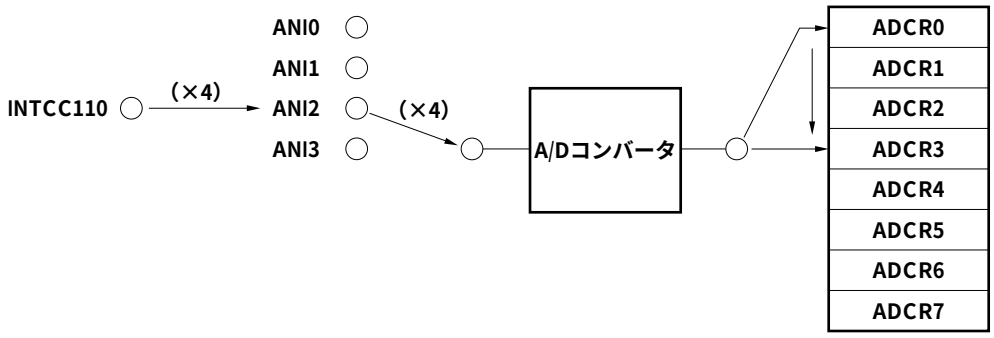
一致割り込み信号（INTCC110）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果を４つのADCRnレジスタに格納します。A/D変換が４回終了するとINTAD割り込みを発生し，A/D変換を終了します。

TM11をワンショット・モードに設定しており，一致割り込みの発生が４回未満のときCEビットを０に設定すると，INTAD割り込みは発生せず待機状態となります。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC110割り込み	ANIn	ADCR1
INTCC110割り込み	ANIn	ADCR2
INTCC110割り込み	ANIn	ADCR3

備考　n = 0-3

図９－11　１トリガ・モード（タイマ・トリガ・セレクト・4バッファ・１トリガ）の動作例



（１）ADM0のCEビット = 1（許可）
（２）CC110コンペア発生
（３）ANI2をA/D変換
（４）ADCR0に変換結果を格納
（５）CC110コンペア発生
（６）ANI2をA/D変換
（７）ADCR1に変換結果を格納
（８）CC110コンペア発生
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生
（12）ANI2をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

（b）４トリガ・モード（タイマ・トリガ・セレクト・４バッファ・４トリガ）

４つの一致割り込み信号（INTCC110-INTCC113）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果を４つのADCRnレジスタに格納します。A/D変換が４回終了するとINTAD割り込みを発生し，CSビットがリセット（０）され，A/D変換を終了します。

TM11をワンショット・モードに設定している場合，A/D変換を４回で終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット（１）され，A/D変換を行います。

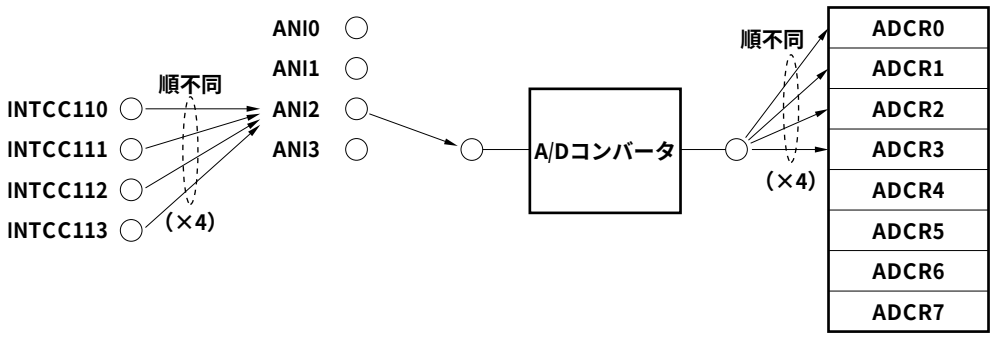
ループ・モードに設定している場合は，CEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み（INTCC110-INTCC113）はどのような順番で発生しても問題ありません。変換結果は入力されたトリガに対応したADCRnレジスタに格納されます。また，同一のトリガが連続して入った場合もトリガとして受け付けます。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC111割り込み	ANIn	ADCR1
INTCC112割り込み	ANIn	ADCR2
INTCC113割り込み	ANIn	ADCR3

備考　n = 0-3

図９－12　４トリガ・モード（タイマ・トリガ・セレクト・４バッファ・４トリガ）の動作例



（１）ADM0のCEビット = 1（許可）
（２）CC111コンペア発生（順不同）
（３）ANI2をA/D変換
（４）ADCR1に変換結果を格納
（５）CC113コンペア発生（順不同）
（６）ANI2をA/D変換
（７）ADCR3に変換結果を格納
（８）CC112コンペア発生（順不同）
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生（順不同）
（12）ANI2をA/D変換
（13）ADCR0に変換結果を格納
（14）INTAD割り込み発生

9.6.2　スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，一致割り込みトリガとして指定された回数のA/D変換を行います。

変換動作は，まずアナログ入力下位チャネル（ANI0-ANI3）を指定された回数分A/D変換します。ADM0レジスタで，アナログ入力の下位チャネル（ANI0-ANI3）までをスキャンするように設定した場合は，設定した回数のA/D変換が終了するとINTAD割り込みを発生し，A/D変換を終了します。

ADM0レジスタで，アナログ入力の上位チャネル（ANI4-ANI7）までをスキャンするように設定した場合は，下位４チャネルの変換が終了したあと，A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換がすべて終了すると，INTAD割り込みを発生して，A/D変換を終了します。

スキャン・モードにはトリガの回数により，１トリガ・モードと４トリガ・モードの２通りがあります。

複数のアナログ入力を常時監視するような応用に最適です。

（1）１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）

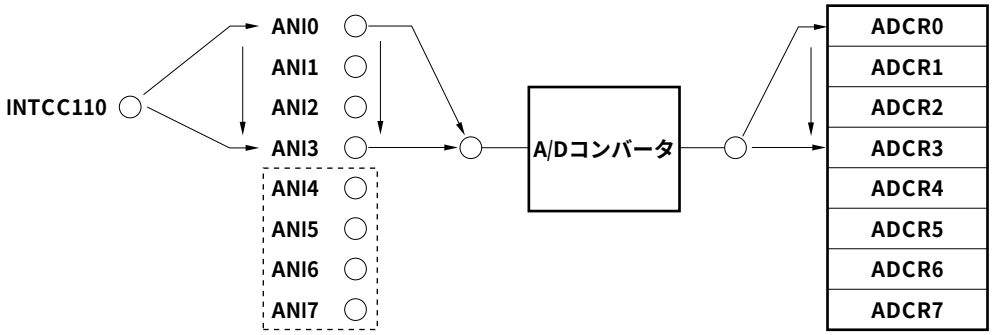
一致割り込み信号（INTCC110）をトリガとして，指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは１対１に対応します。指定されたすべてのA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。指定されたすべてのA/D変換終了後に一致割り込みが発生すると，A/D変換を再起動します。

TM11がワンショット・モードに設定されており，一致割り込みの発生が指定された変換数未満の場合にCEビットを０にすると，INTAD割り込みは発生せずに待機状態になります。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC110割り込み	ANI1	ADCR1
INTCC110割り込み	ANI2	ADCR2
INTCC110割り込み	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

図９－13　１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）の動作例

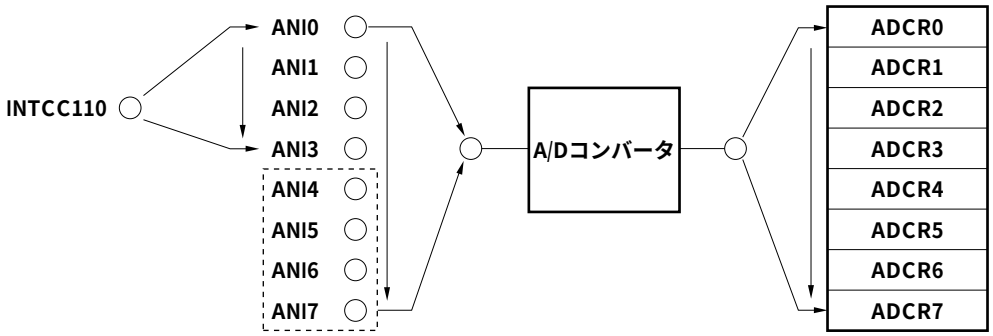
（a）ANI0-ANI3をスキャンする設定にした場合



（１）ADM0のCEビット＝１（許可）
（２）CC110コンペア発生
（３）ANI0をA/D変換
（４）ADCR0に変換結果を格納
（５）CC110コンペア発生
（６）ANI1をA/D変換
（７）ADCR1に変換結果を格納
（８）CC110コンペア発生
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生
（12）ANI3をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，INTCC11nをトリガとして使用できません（n＝0-3）。ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（b）参照）。

（b）ANI0-ANI7をスキャンする設定にした場合



（１）-（13）（a）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

（2）４トリガ・モード（タイマ・トリガ・スキャン・４トリガ）

一致割り込み信号（INTCC110-INTCC113）をトリガとして，指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは１対１に対応します。指定されたすべてのA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。

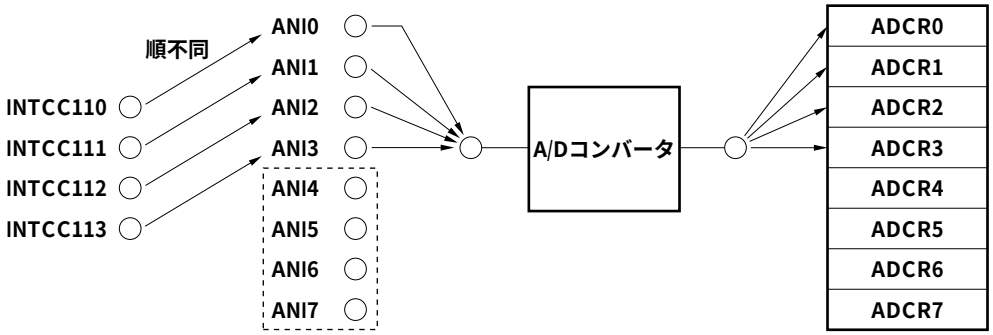
TM11をワンショット・モードに設定している場合に変換を再起動するには，TM11を再起動してください。ループ・モードに設定していてCEビットが１の場合は，変換終了後に再び一致割り込みが発生するとA/D変換を再起動します。

一致割り込みはどのような順で発生しても問題ありません。ただし，トリガ信号とアナログ入力が１対１に対応しているため，コンペア・レジスタの一致信号の発生順でスキャンの順番が決定します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC111割り込み	ANI1	ADCR1
INTCC112割り込み	ANI2	ADCR2
INTCC113割り込み	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

図９－14　４トリガ・モード（タイマ・トリガ・スキャン・４トリガ）の動作例

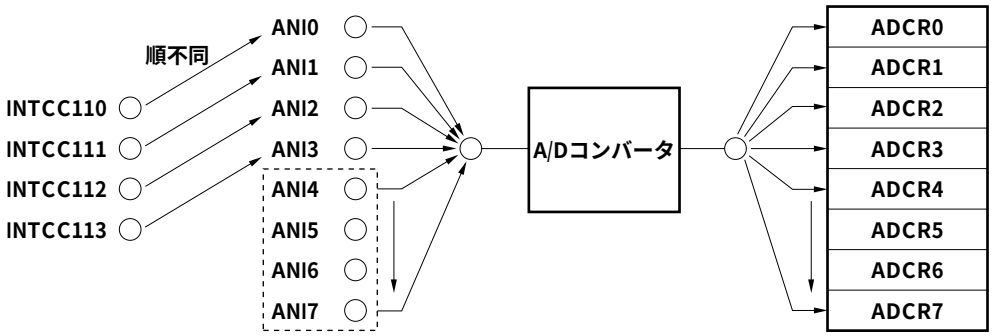
（a）ANI0-ANI3をスキャンする設定にした場合



（１）ADM0のCEビット＝１（許可）
（２）CC111コンペア発生（順不同）
（３）ANI1をA/D変換
（４）ADCR1に変換結果を格納
（５）CC113コンペア発生（順不同）
（６）ANI3をA/D変換
（７）ADCR3に変換結果を格納
（８）CC110コンペア発生（順不同）
（９）ANI0をA/D変換
（10）ADCR0に変換結果を格納
（11）CC112コンペア発生（順不同）
（12）ANI2をA/D変換
（13）ADCR2に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，INTCC11nをトリガとして使用できません（n＝0-3）。ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（b）参照）。

（b）ANI0-ANI7をスキャンする設定にした場合



（１）-（13）（a）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

9.7　外部トリガ・モードの動作

外部トリガ・モードでは，アナログ入力（ANI0-ANI3）をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP07/INTP113端子と兼用になっています。外部トリガ・モードにするにはPMC0レジスタのPMC07ビットを１に，ADM1レジスタのTRG2-TRG0ビットを110にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは，INTM1レジスタのES031，ES030ビットで，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかに指定できます。詳細は**5.3.7　エッジ検出機能**を参照してください。

9.7.1　セレクト・モードの動作（外部トリガ・セレクト）

ADM0レジスタで指定する１つのアナログ入力（ANI0-ANI3）をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは，変換結果の格納方法には１バッファ・モードと４バッファ・モードの２通りがあります（n = 0-7）。

（1）１バッファ・モード（外部トリガ・セレクト・１バッファ）

ADTRG信号をトリガとして１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。アナログ入力とA/D変換結果レジスタは１対１に対応しています。１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。

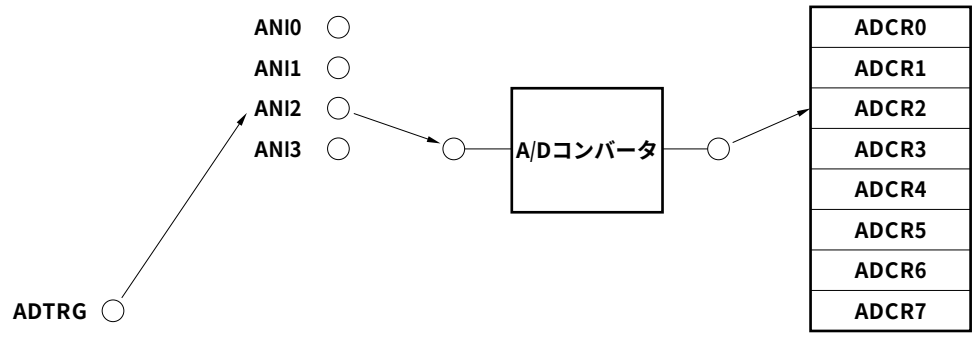
ADM0レジスタのCEビットが１の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

１回のA/D変換ごとに結果を読み出すような応用に最適です。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCRn

備考　n = 0-3

図９－15　１バッファ・モード（外部トリガ・セレクト・１バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）外部トリガ発生
（3）ANI2をA/D変換
（4）ADCR2に変換結果を格納
（5）INTAD割り込み発生

（2）４バッファ・モード（外部トリガ・セレクト・４バッファ）

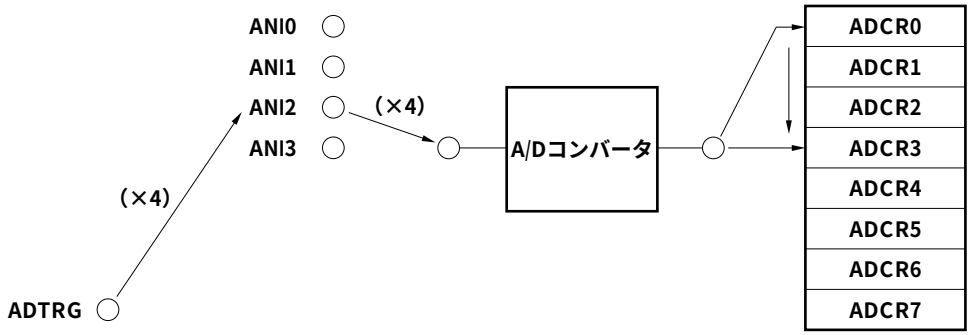
ADTRG信号をトリガとして１つのアナログ入力を４回A/D変換し，その結果を４つのADCRnレジスタに格納します。４回のA/D変換が終了すると，INTAD割り込みを発生して変換を終了します。ADM0レジスタのCEビットが１の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCR0
ADTRG信号	ANIn	ADCR1
ADTRG信号	ANIn	ADCR2
ADTRG信号	ANIn	ADCR3

備考　n = 0-3

図９－16　４バッファ・モード（外部トリガ・セレクト・４バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）外部トリガ発生
（3）ANI2をA/D変換
（4）ADCR0に変換結果を格納
（5）外部トリガ発生
（6）ANI2をA/D変換
（7）ADCR1に変換結果を格納
（8）外部トリガ発生
（9）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）外部トリガ発生
（12）ANI2をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

9.7.2　スキャン・モードの動作（外部トリガ・スキャン）

ADTRG信号をトリガとして，ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。

ADM0レジスタで，アナログ入力の下位４チャネル（ANI0-ANI3）までをスキャンするように設定した場合は，設定した回数のA/D変換が終了するとINTAD割り込みを発生し，A/D変換を終了します。

ADM0レジスタで，アナログ入力の上位４チャネル（ANI4-ANI7）までをスキャンするように設定した場合，下位４チャネルの変換が終了したあと，A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。

指定したアナログ入力の変換をすべて終了すると，INTAD割り込みを発生してA/D変換を終了します。

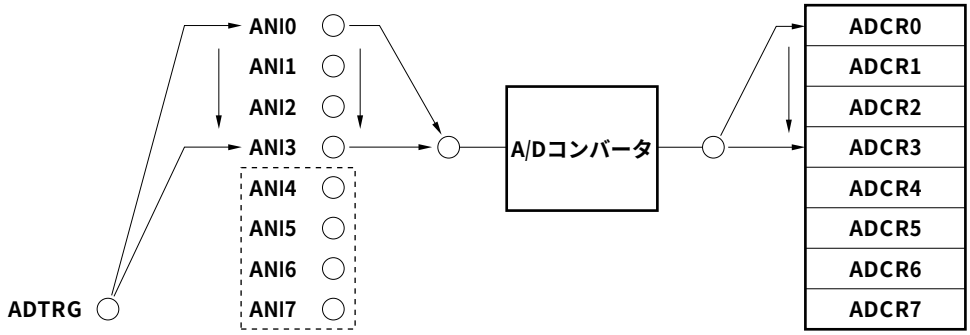
ADM0レジスタのCEビットが１の間にADTRG端子にトリガを入力すると，再度A/D変換を起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0	ADCR0
ADTRG信号	ANI1	ADCR1
ADTRG信号	ANI2	ADCR2
ADTRG信号	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

図９－17　スキャン・モード（外部トリガ・スキャン）の動作例

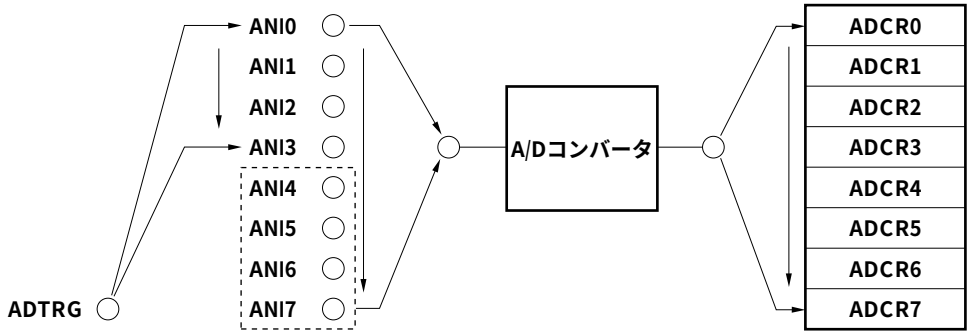
（a）ANI0-ANI3をスキャンする設定にした場合



（１）ADM0のCEビット＝１（許可）
（２）外部トリガ発生
（３）ANI0をA/D変換
（４）ADCR0に変換結果を格納
（５）外部トリガ発生
（６）ANI1をA/D変換
（７）ADCR1に変換結果を格納
（８）外部トリガ発生
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）外部トリガ発生
（12）ANI3をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，ADTRGをトリガとして使用できません。ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（b）参照）。

（b）ANI0-ANI7をスキャンする設定にした場合



（１）-（13）（a）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

９.８　A/Dコンバータ使用時の注意事項

（１）A/Dコンバータをタイマ・トリガ・モードに設定した場合

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり，変換動作を開始します。このとき，コンペア・レジスタの一致割り込みは，CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには，割り込み制御レジスタ（P11IC0-P11IC3）の割り込みマスク・ビット（P11MK0-P11MK3）で割り込みを禁止してください。

（２）A/Dコンバータを外部トリガ・モードに設定した場合

外部トリガ入力がA/D変換開始トリガとなり，変換動作を開始します。このとき，外部トリガ入力はタイマ１のキャプチャ・トリガ，外部割り込みとしても機能します。キャプチャ・トリガ，外部割り込みを発生させないためには，タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。

タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタで割り込みを禁止しない場合の動作は次のようになります。

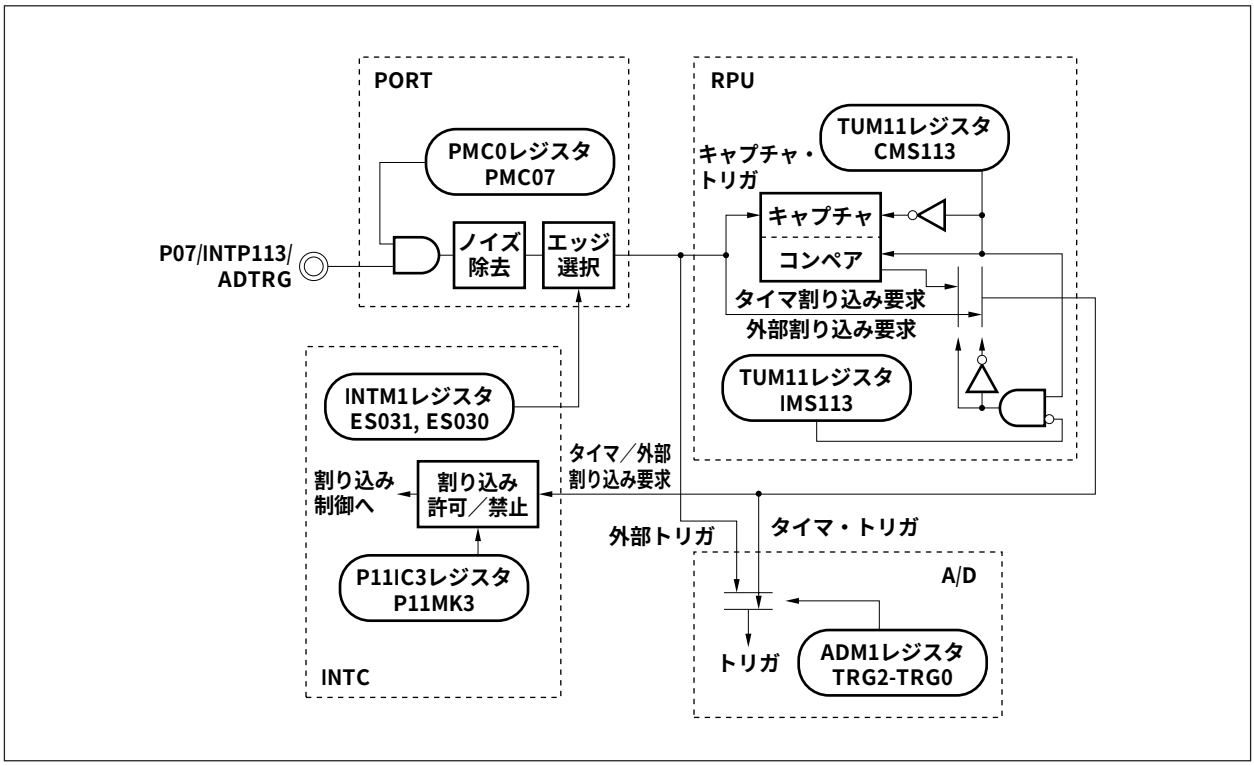
（ａ）TUM11レジスタの割り込みマスク・ビット（IMS113）が０の場合

CPUに対するコンペア・レジスタの一致割り込みとしても機能します。

（ｂ）TUM11レジスタの割り込みマスク・ビット（IMS113）が１の場合

A/Dコンバータの外部トリガ入力がCPUに対する外部割り込みとしても機能します。

図９－18　A/Dコンバータとポート，INTC，RPUの関係



９.９　動作上の注意事項

（１）変換動作中にADM0レジスタのCEビットに０を書き込むと変換動作を停止し，ADCRnレジスタへ変換結果を格納しません（n = 0-7）。

（２）外部またはタイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は，ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

インターバル = 0の場合

複数のトリガが同時に入力された場合，ANIn端子番号が小さいアナログ入力を変換します。同時入力されたほかのトリガ信号は無視され，トリガ入力回数もカウントしません。したがって割り込みの発生，ADCRnレジスタへの結果の格納は異常となりますので注意してください。

0＜インターバル≦変換動作時間の場合

変換動作中にタイマ・トリガが入力された場合，変換動作を中断し，最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合，ADCRnレジスタに変換結果を格納しません。ただしトリガ入力回数はカウントし，割り込みが発生すると，変換が終了した値をADCRnレジスタへ格納します。

（３）スタンバイ時の動作は次のようになります。

（a）HALTモード

A/D変換動作を継続します。NMI入力で解除した場合，ADM0, ADM1レジスタとADCRnレジスタは値を保持します。

（b）IDLEモード，ソフトウエアSTOPモード

A/Dコンバータへのクロック供給は止まるため，変換動作は行われません。

NMI入力で解除した場合，ADM0, ADM1レジスタとADCRnレジスタは値を保持します。ただし，変換動作中にIDLEモード，ソフトウエアSTOPモードに設定した場合，変換動作は停止します。NMI入力で解除した場合，変換を再開しますが，ADCRnレジスタに書き込まれる変換結果は不定となります。

IDLE, ソフトウエアSTOPモード時は，消費電力削減のためコンパレータの動作も停止しますが，さらに消費電流を削減したい場合は，AV_{REF1}端子の電圧をV_{SS}にしてください。

9.10　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力１ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1LSB = 1/2^{10} = 1/1024$$
$$= 0.098\%FSR$$

精度は分解能とは関係なく，総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，非直線性誤差，およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは，±1/2LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，非直線誤差には含まれていません。

図９－19　総合誤差

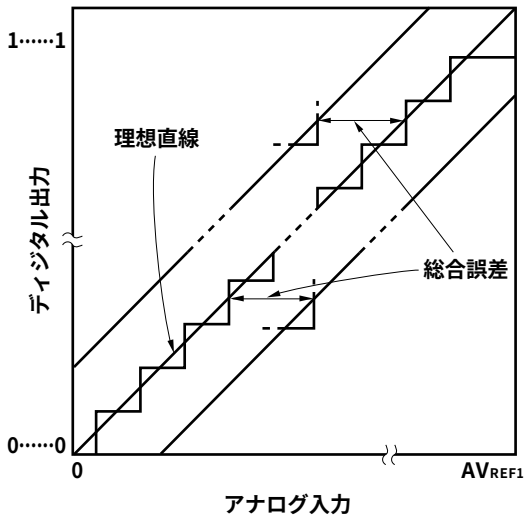
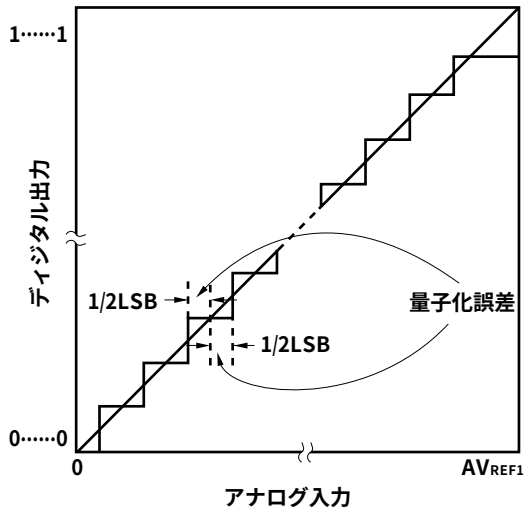


図９－20　量子化誤差



（４）ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。実測値が理論値よりも大きい場合は，ディジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2LSB）との差を表します。

（５）フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2LSB）との差を表します。

（６）非直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を０としたときの，実測値と理想直線との差の最大値を表します。

図９－21　ゼロスケール誤差

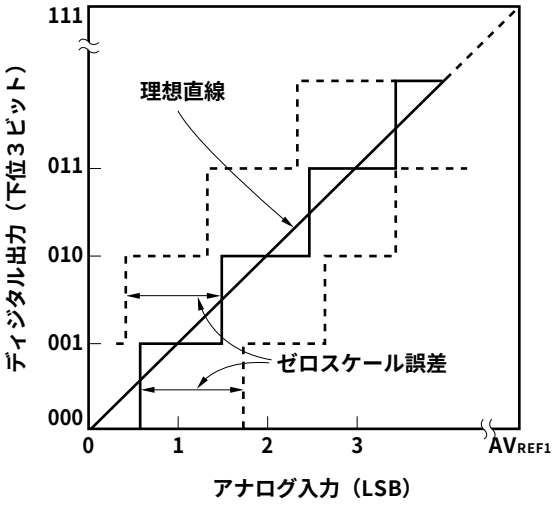


図９－22　フルスケール誤差

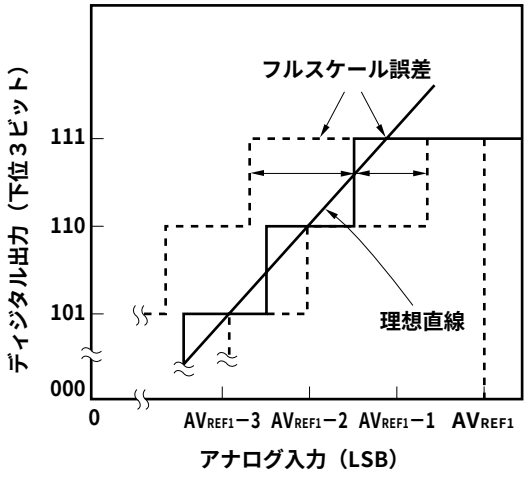
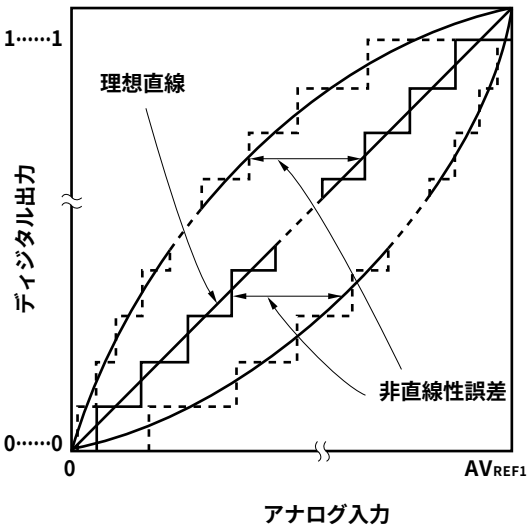


図９－23　非直線性誤差



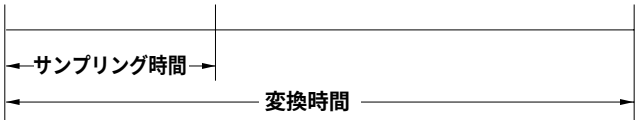
（7）変換時間

アナログ入力電圧が与えられてから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

（8）サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



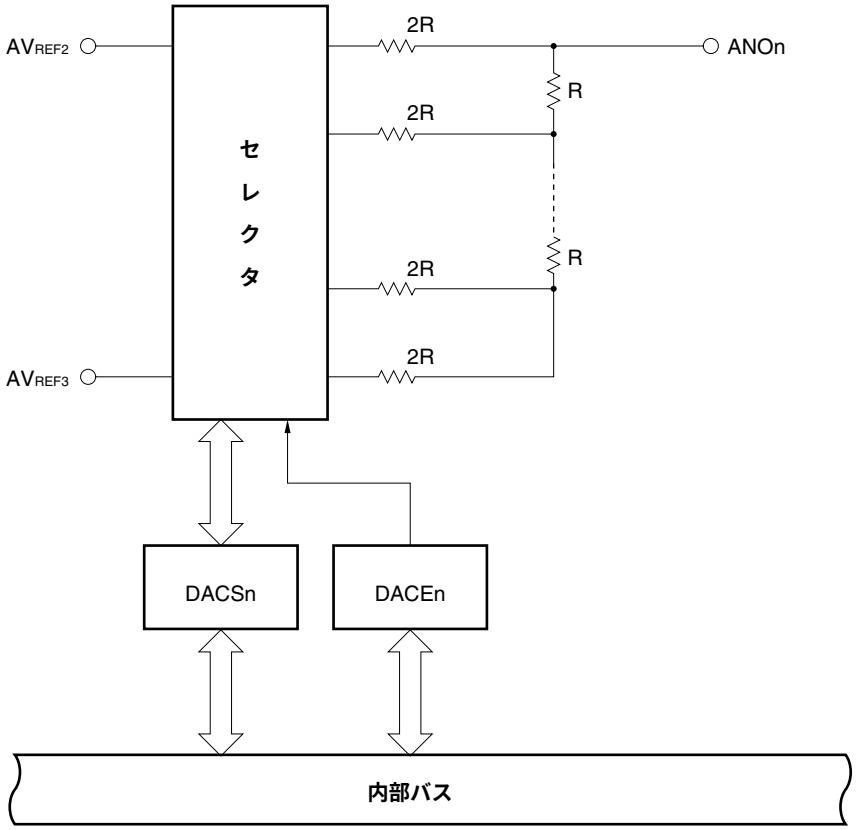
第10章　D/Aコンバータ

10.1　特　　徴

○８ビット分解能D/Aコンバータ：2ch

○R-2R方式

10.2　構　　成



備考　n = 0，1

10.3　制御レジスタ

（1）D/A変換値設定レジスタ（DACS0，DACS1）

DACSnレジスタは，D/A変換値設定レジスタで出力したい値を書き込むとアナログ値をANOn端子へ出力します（n = 0, 1）。

バイト単位でのみリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
DACS0	DA07	DA06	DA05	DA04	DA03	DA02	DA01	DA00	FFFFF3C0H	00H
DACS1	DA17	DA16	DA15	DA14	DA13	DA12	DA11	DA10	FFFFF3C2H	00H

（2）D/Aコンバータ・モード・レジスタ（DAM）

DAMレジスタは，D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし上位６ビットはハードウエアで０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	リセット時
DAM	0	0	0	0	0	0	DACE1	DACE0	FFFFF3D0H	03H

ビット位置	ビット名	意　味
1，0	DACEn	D/A Convert チャネルnの変換動作を制御します。

DACEn	チャネルn	ANOn端子
0	動作禁止	ハイ・インピーダンス
1	動作許可	アナログ電圧出力

備考　n = 0, 1

10.4　D/Aコンバータ動作

出力したい値をDACSnレジスタに書き込むと，ANOn端子から書き込んだ値に相当するアナログ電圧がすぐに出力されます（n = 0, 1）。出力電圧は，次にDACSnレジスタに値を書き込むまで保持されます。

ANOn端子からの出力電圧は，次式で決定します。

$$ANOn = \frac{AV_{REF2} - AV_{REF3}}{256} \times DACSn + AV_{REF3}\ [V]\quad (n = 1, 0)$$

10.4.1　リセット時のD/Aコンバータの動作

$\overline{RESET}$端子によりシステム・リセットが発生した場合，ANOn端子はハイ・インピーダンスになります。DACSnレジスタは00Hに初期化されます。リセット解除後，DACSnレジスタを設定するまで，ANOn端子はAV_{REF3}の電圧を出力します。

10.4.2　通常動作時のD/Aコンバータの動作

DACSnレジスタに出力したい値を書き込み，DAMレジスタで動作を許可すると，D/AコンバータはD/A変換動作を行い，変換結果をANOn端子から出力します。

10.4.3　パワー・セーブ時の動作

（1）HALTモード

D/A変換動作を継続します。NMI入力で解除した場合，DACSnレジスタとDAMレジスタは値を保持します。

（2）IDLE/ソフトウエアSTOPモード

DACEnビットの値が１の場合，ANOn端子は出力を続けますがD/Aコンバータへのクロック供給が止まるため，新規の変換動作はできません。NMI入力で解除した場合，DACSnレジスタとDAMレジスタは値を保持します。

消費電力を削減したい場合，IDLE/ソフトウエアSTOPモード設定前にDACSnレジスタを0にするか，AV_{REF2}端子とAV_{REF3}端子の電圧をV_{SS}にしてください。

第11章　PWMユニット

11.1　特　　徴

○PWMn：２チャネル

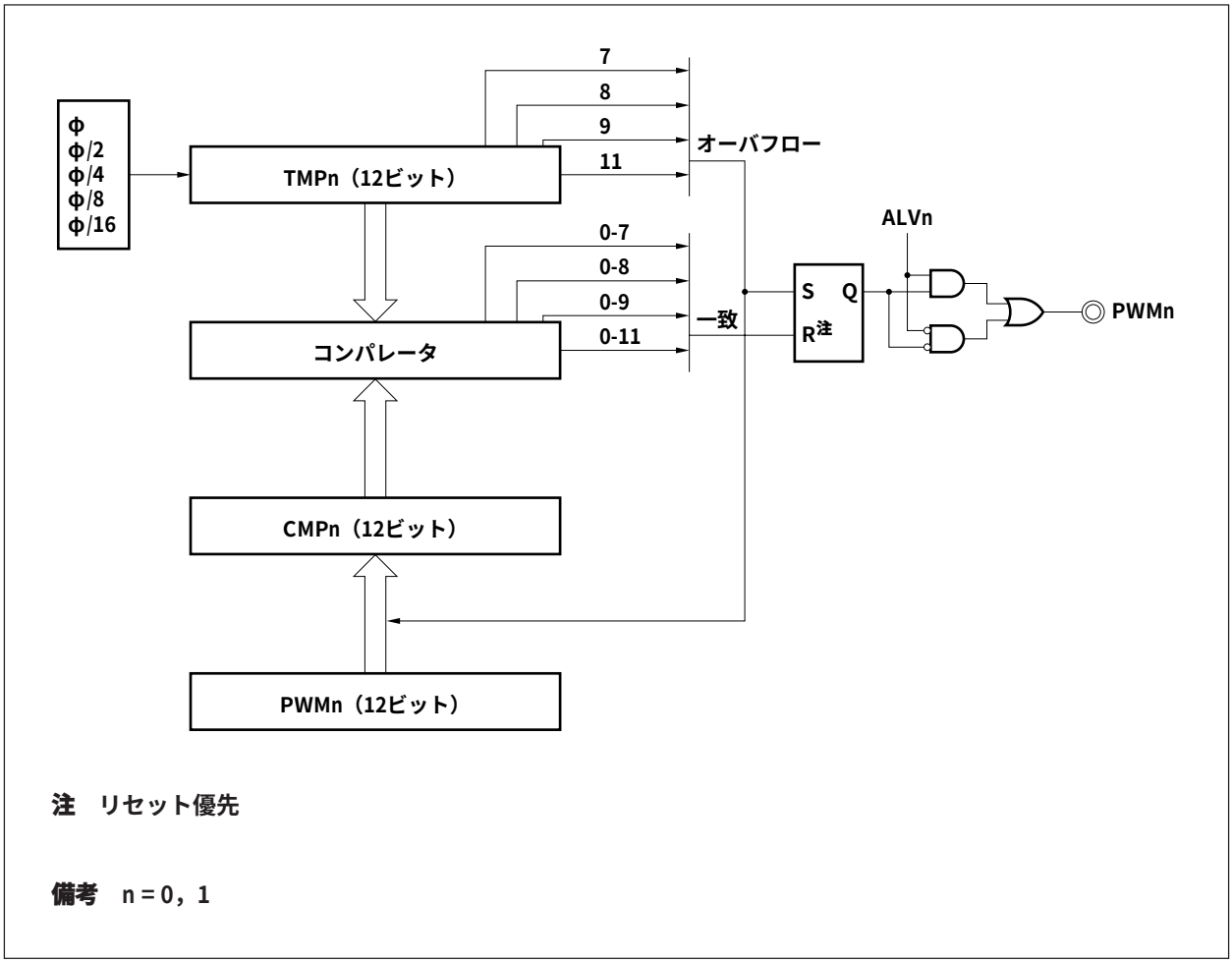
○PWMn出力パルスのアクティブ・レベル選択可能

○動作クロック：φ，φ/２，φ/４，φ/８，φ/16から選択可能（φは内部システム・クロック）

○PWMn出力分解能：8，9，10，12ビットから選択可能

備考　n = 0, 1

11.2　構　　成



注　リセット優先

備考　n = 0，1

11.3　制御レジスタ

（1）PWMコントロール・レジスタ（PWMC）

PWMnの動作制御，出力のアクティブ・レベル指定，およびタイマ・カウンタ（TMPn），コンペア・レジスタ（CMPn）のビット長を指定します（n = 0，1）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PWMC	PWME1	ALV1	PRM11	PRM10	PWME0	ALV0	PRM01	PRM00	FFFFF360H	00H

ビット位置	ビット名	意　　味
7，3	PWMEn	PWM Enable注 PWMの動作を制御します。 0：動作停止 1：動作許可
6，2	ALVn	Active Level PWMのアクティブ・レベルを指定します。 0：アクティブ・ロウ 1：アクティブ・ハイ
5，4，1，0	PRMn1, PRMn0	Prescaler Mode カウンタ（TMPn），コンペア・レジスタ（CMPn）のビット長を指定します。

PRMn1	PRMn0	ビット長
0	0	8ビット
0	1	9ビット
1	0	10ビット
1	1	12ビット

注　PWMEnを“0”から“1”に設定すると，カウンタ（TMPn）はリセットされ，000H（12ビットの場合）からカウントを開始します。最初のオーバフローでPWMn信号はアクティブになります。PWM0とPWM1のビット長と動作クロック（プリスケール値）を同じにすれば，2つのPWMn信号がアクティブになるタイミングを合わせることができます。なおPWMEnが“1”のとき，さらに“1”を書き込んでもカウンタはリセットできません。一度“0”にしてから再度“1”を書き込んでください。

備考　n = 0，1

（2）PWMプリスケーラ・レジスタ（PWPR）

PWMnの動作クロックを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。ただしビット７，ビット３はハードウエアで０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PWPR	0	PWP12	PWP11	PWP10	0	PWP02	PWP01	PWP00	FFFFF362H	00H

ビット位置	ビット名	意　味
6-4, 2-0	PWPn2, PWPn1, PWPn0	PWM Prescaler Clock Mode PWMnの動作クロックを選択します。

PWPn2	PWPn1	PWPn0	動作クロック
0	0	0	φ
0	0	1	φ/2
0	1	0	φ/4
0	1	1	φ/8
1	0	0	φ/16
その他			RFU（予約）

備考　n = 0，1

（3）PWMバッファ・レジスタ（PWM0，PWM0L，PWM1，PWM1L）

PWMn出力のアクティブ信号幅の制御データをセットする12ビットのバッファ・レジスタです。ビット15-12はハードウエアで０に固定されており，１を書き込んでも無視されます。ビット11-8はPWMCレジスタによるビット長の影響を受けず，書き込んだ値がそのまま読み出されます。

このレジスタへの16ビット・アクセス時はPWMnを，下位８ビット・アクセス時はPWMnLを指定します。

PWMn出力制御用のカウンタ（TMPn）からオーバフローが発生するタイミングでPWMn，PWMnLレジスタの内容をコンペア・レジスタ（CMPn）に転送します（n = 0, 1）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PWM0	0	0	0	0	PWM11	PWM10	PWM9	PWM8	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	アドレス FFFFF364H	リセット時 不定

	7	6	5	4	3	2	1	0		
PWM0L	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	アドレス FFFFF366H	リセット時 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PWM1	0	0	0	0	PWM11	PWM10	PWM9	PWM8	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	アドレス FFFFF368H	リセット時 不定

	7	6	5	4	3	2	1	0		
PWM1L	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	アドレス FFFFF36AH	リセット時 不定

11.4　動　　作

11.4.1　基本動作

PWMnパルスを出力するときは，PWPRレジスタ，PWMnレジスタに必要なデータを設定したあと，PWMCレジスタのPWMEnビットをセット（1）します。これによりTMPnがリセットされ，最初のオーバフローでPWMn出力のアクティブ・レベルへのセットとPWMnからCMPnへのデータ転送が行われます。そのあとTMPnとCMPnの一致によってPWMn出力はインアクティブになります。この繰り返しでPWMn端子からPWMCレジスタのALVnビットで指定したアクティブ・レベルのPWMn信号が出力されます。

PWMCレジスタのPWMEnビットをクリア（0）すると，PWMn出力ユニットはすぐにPWMn出力を停止し，PWMn出力はPWMCレジスタで設定したALVnのレベルとなります。

PWMn信号の出力中にPWPn0-PWPn2ビットとPRMn0，PRMn1ビットの設定を変更した場合，変更した周期内のPWMn信号の周期幅，パルス幅は保証できません。

図11－１　PWM基本動作タイミング

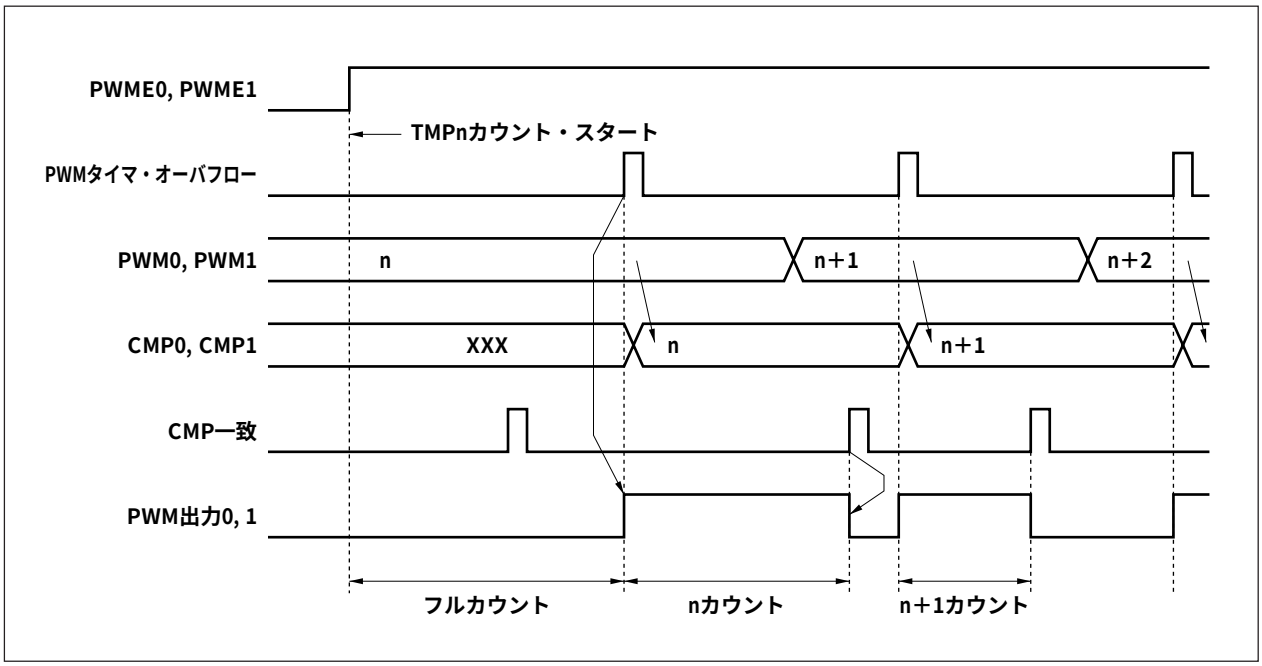
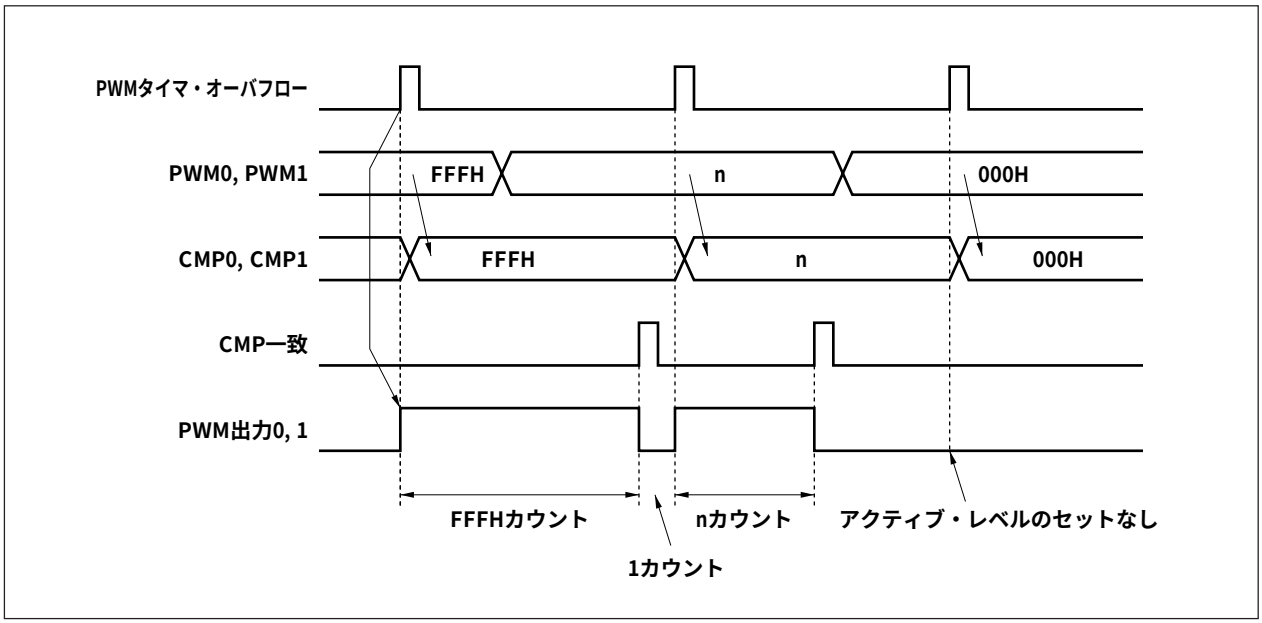


図11－２　PWMバッファ・レジスタに000H，FFFHを設定した場合の動作タイミング



11.4.2　繰り返し周波数

PWMnの繰り返し周波数を次に示します。

PWMn動作周波数	分解能	繰り返し周波数
φ	8ビット	$\phi/2^{8}$
	9ビット	$\phi/2^{9}$
	10ビット	$\phi/2^{10}$
	12ビット	$\phi/2^{12}$
φ/2	8ビット	$\phi/2^{9}$
	9ビット	$\phi/2^{10}$
	10ビット	$\phi/2^{11}$
	12ビット	$\phi/2^{13}$
φ/4	8ビット	$\phi/2^{10}$
	9ビット	$\phi/2^{11}$
	10ビット	$\phi/2^{12}$
	12ビット	$\phi/2^{14}$
φ/8	8ビット	$\phi/2^{11}$
	9ビット	$\phi/2^{12}$
	10ビット	$\phi/2^{13}$
	12ビット	$\phi/2^{15}$
φ/16	8ビット	$\phi/2^{12}$
	9ビット	$\phi/2^{13}$
	10ビット	$\phi/2^{14}$
	12ビット	$\phi/2^{16}$

11.5　注意事項

PWM0端子とPWM1端子はポート２のP20，P21と兼用になっています。PWMn出力として使用する場合，PMC2レジスタの対応するビットを１にしてください。

PWMnパルス出力中にPMC2レジスタの該当ビットの設定を変更した場合のPWMnパルス出力は保証しません。

第12章　ポート機能

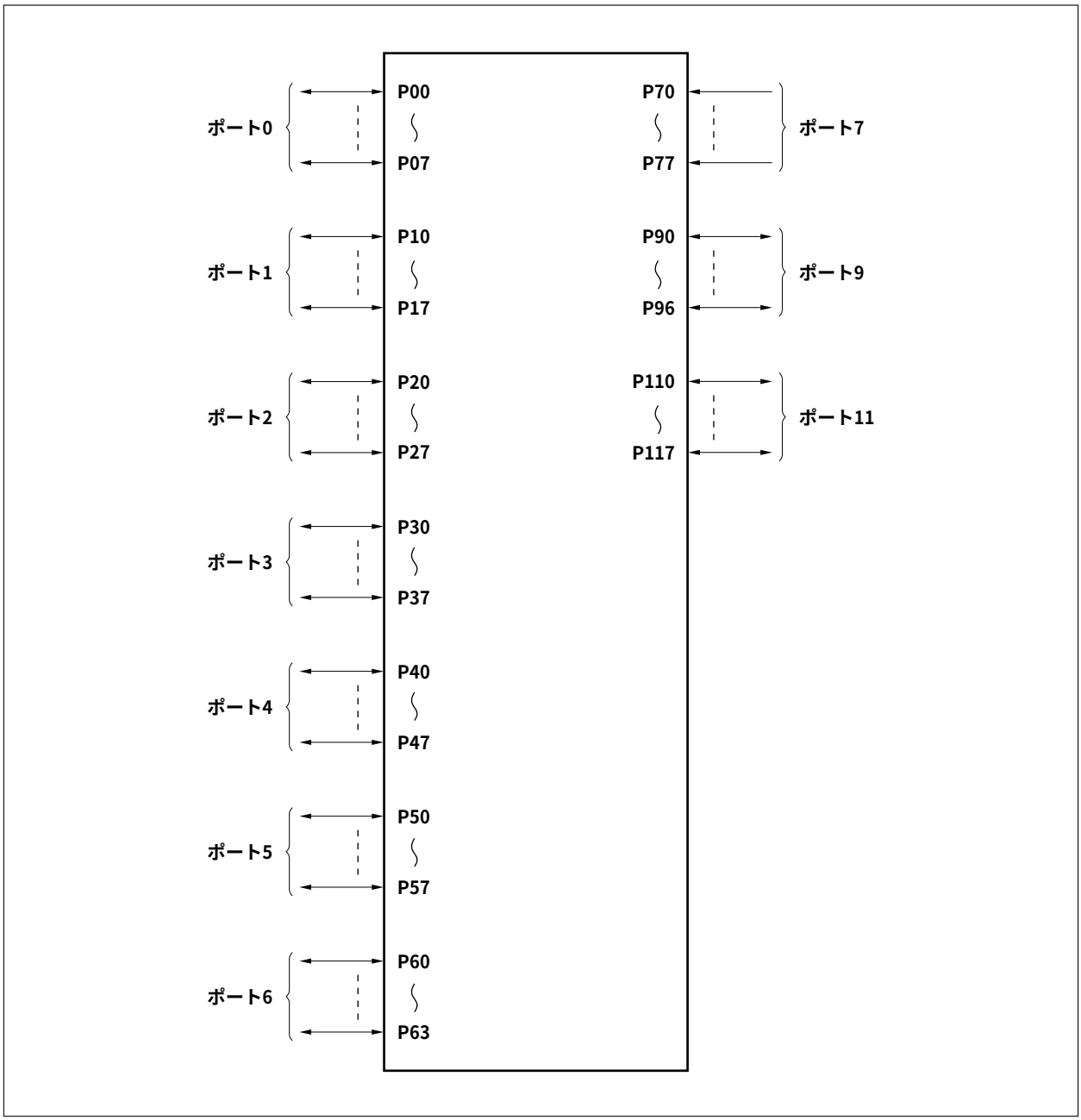
12.1　特　　徴

V853のポートには次のような特徴があります。

○本数　入力専用ポート　８本
　　入出力ポート　　67本
○ほかの周辺機能の入出力端子と兼用
○ビット単位で入力/出力指定可能
○ノイズ除去
○エッジ検出

12.2　ポートの基本構成

V853は，ポート0-11の合計75本の入力/出力ポート（うち８本は入力専用ポート）を内蔵しています。V853のポート構成を次に示します。



（1）各ポートの機能

V853のポートには次に示すような種類があります。

いずれのポートも8/1ビット単位の操作が可能であり，多様な制御を行うことができます。また，ポートとしての機能のほかに，コントロール・モードとして内蔵ハードウエアの入出力端子としての機能を持っています。

ポート名	ポート機能	コントロール・モード時の機能	備　　考
ポート０	８ビット入出力ポート １ビット単位で入力／出力を指定可能 （ポート６は４ビット）	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 A/Dコンバータ外部トリガ入力	１ビット単位でポート／コントロール・モードに指定可能
ポート１		リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 シリアル・インタフェース（CSI2）入出力	
ポート２		PWM0, PWM1出力 シリアル・インタフェース（UART0/CSI0, UART1/CSI1）入出力	
ポート３		リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 シリアル・インタフェース（CSI3）入出力	
ポート４		メモリ拡張時のアドレス／データ・バス（AD0-AD7）	８ビット単位でポート／コントロール・モードに指定可能
ポート５		メモリ拡張時のアドレス／データ・バス（AD8-AD15）	
ポート６		メモリ拡張時のアドレス・バス（A16-A19）	２ビット単位でポート／コントロール・モードに指定可能
ポート７	８ビット入力専用ポート	A/Dコンバータ（ADC）アナログ入力	－
ポート９	７ビット入出力ポート １ビット単位で入力／出力を指定可能	メモリ拡張時の制御信号出力 システム拡張時の制御信号入出力	5/1ビット単位でポート／コントロール・モードに指定可能
ポート11	８ビット入出力ポート １ビット単位で入力／出力を指定可能	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力	１ビット単位でポート／コントロール・モードに指定可能

注意　コントロール・モード時に出力，または入出力端子として動作するポートをコントロール・モードに切り替える場合は，必ず次の手順で設定を行ってください。

① コントロール・モードで出力される信号のインアクティブ・レベルを，ポートn（Pn）の該当するビットに設定（n = 0-6, 9, 11）。

② ポートnモード・コントロール・レジスタ（PMCn）により，コントロール・モードに切り替え。

上記①を行わない場合，ポート・モードからコントロール・モードに切り替える際に，ポートn（Pn）の内容が，一瞬出力されることがあります。

（2）各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ

（1/2）

★

ポート名	端子名	リセット時の機能 シングルチップ・モード時	モードを設定するレジスタ
ポート0	P00/TO110	P00（入力モード）	PMC0
	P01/TO111	P01（　〃　）	
	P02/TCLR11	P02（　〃　）	
	P03/TI11	P03（　〃　）	
	P04/INTP110	P04（　〃　）	
	P05/INTP111	P05（　〃　）	
	P06/INTP112	P06（　〃　）	
	P07/INTP113/ADTRG	P07（　〃　）	PMC0, ADM1注
ポート1	P10/TO120	P10（入力モード）	PMC1
	P11/TO121	P11（　〃　）	
	P12/TCLR12	P12（　〃　）	
	P13/TI12	P13（　〃　）	
	P14/INTP120	P14（　〃　）	
	P15/INTP121/SO2	P15（　〃　）	PMC1, PCM注
	P16/INTP122/SI2	P16（　〃　）	
	P17/INTP123/$\overline{\text{SCK2}}$	P17（　〃　）	
ポート2	P20/PWM0	P20（入力モード）	PMC2
	P21/PWM1	P21（　〃　）	
	P22/TXD0/SO0	P22（　〃　）	PMC2, ASIM00注
	P23/RXD0/SI0	P23（　〃　）	
	P24/$\overline{\text{SCK0}}$	P24（　〃　）	PMC2
	P25/TXD1/SO1	P25（　〃　）	PMC2, ASIM10注
	P26/RXD1/SI1	P26（　〃　）	
	P27/$\overline{\text{SCK1}}$	P27（　〃　）	PMC2
ポート3	P30/TO130	P30（入力モード）	PMC3
	P31/TO131	P31（　〃　）	
	P32/TCLR13	P32（　〃　）	
	P33/TI13	P33（　〃　）	
	P34/INTP130	P34（　〃　）	
	P35/INTP131/SO3	P35（　〃　）	PMC3, PCM注
	P36/INTP132/SI3	P36（　〃　）	
	P37/INTP133/$\overline{\text{SCK3}}$	P37（　〃　）	
ポート4	P40/AD0-P47/AD7	P40-P47 （すべて入力モード）	MM
ポート5	P50/AD8-P57/AD15	P50-P57 （すべて入力モード）	MM
ポート6	P60/A16-P63/A19	P60-P63 （すべて入力モード）	MM
ポート7	P70/ANI0-P77/ANI7	P70/ANI0-P77/ANI7	－

注　コントロール・モード時の端子機能の選択を行います。

(2/2)

ポート名	端子名	リセット時の機能 シングルチップ・モード時	モードを設定するレジスタ
ポート９	P90/$\overline{\text{LBEN}}$	P90（入力モード）	MM
	P91/$\overline{\text{UBEN}}$	P91（　〃　）	
	P92/R/$\overline{\text{W}}$	P92（　〃　）	
	P93/$\overline{\text{DSTB}}$	P93（　〃　）	
	P94/ASTB	P94（　〃　）	
	P95/$\overline{\text{HLDAK}}$	P95（　〃　）	
	P96/$\overline{\text{HLDRQ}}$	P96（　〃　）	
ポート11	P110/TO140	P110（入力モード）	PMC11
	P111/TO141	P111（　〃　）	
	P112/TCLR14	P112（　〃　）	
	P113/TI14	P113（　〃　）	
	P114/INTP140	P114（　〃　）	
	P115/INTP141	P115（　〃　）	
	P116/INTP142	P116（　〃　）	
	P117/INTP143	P117（　〃　）	

注　コントロール・モード時の端子機能の選択を行います。

12.3　各ポートの端子機能

12.3.1　ポート0

ポート0は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	リセット時
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFFFF000H	不定

ビット位置	ビット名	意　　味
7-0	P0n （n = 7-0）	Port 0 入出力ポート

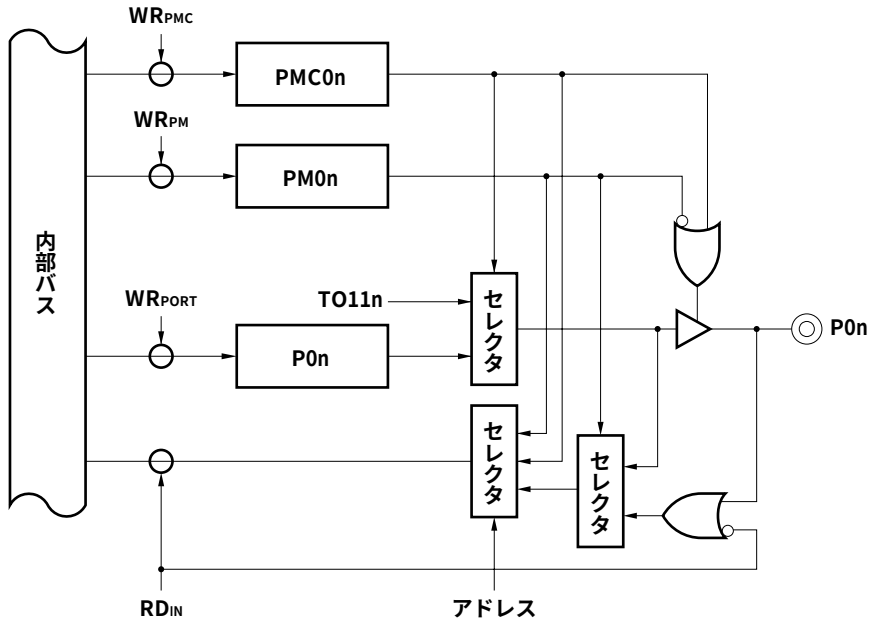
ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力およびA/Dコンバータの外部トリガ入力として動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート0	P00	TO110	リアルタイム・パルス・ユニット（RPU）出力
	P01	TO111	
	P02	TCLR11	リアルタイム・パルス・ユニット（RPU）入力
	P03	TI11	
	P04-P06	INTP110-INTP112	外部割り込み入力
	P07	INTP113/ADTRG	外部割り込み入力，A/Dコンバータ外部トリガ入力

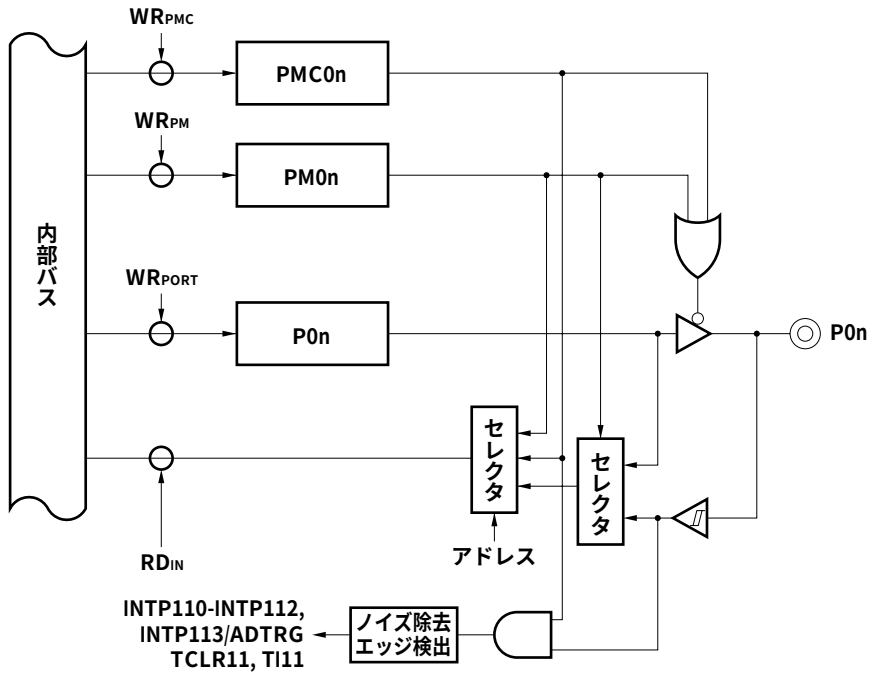
（1）ハードウエア構成

図12－1　P00, P01（ポート0）のブロック図



備考　n = 0, 1

図12－２　P02-P07（ポート０）のブロック図



備考　n = 2-7

（2）入出力モード／コントロール・モードの設定

ポート０の入出力モードの設定は，ポート０モード・レジスタ（PM0）で行います。また，コントロール・モードの設定は，ポート０モード・コントロール・レジスタ（PMC0）で行います。

ポート０モード・レジスタ（PM0）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	アドレス FFFFF020H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM00-PM07	Port Mode P00-P07端子の入力／出力のモード指定を行います。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート０モード・コントロール・レジスタ（PMC0）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	FFFFF040H	00H

ビット位置	ビット名	意　　味
7	PMC07	Port Mode Control P07端子の動作モードを指定します。 ０：入出力ポート・モード １：外部割り込み要求入力（INTP113）／A/Dコンバータ外部トリガ入力（ADTRG）注
6-4	PMC06-PMC04	Port Mode Control P0n端子の動作モードを指定します（n = 6-4）。 ０：入出力ポート・モード １：外部割り込み要求入力（INTP112-INTP110）
3	PMC03	Port Mode Control P03端子の動作モードを指定します。 ０：入出力ポート・モード １：TI11入力モード
2	PMC02	Port Mode Control P02端子の動作モードを指定します。 ０：入出力ポート・モード １：TCLR11入力モード
1	PMC01	Port Mode Control P01端子の動作モードを指定します。 ０：入出力ポート・モード １：TO111出力モード
0	PMC00	Port Mode Control P00端子の動作モードを指定します。 ０：入出力ポート・モード １：TO110出力モード

注　PMC07が“１”でA/Dコンバータ・モード・レジスタ（ADM1）のTRGビットが外部トリガ・モードに設定されている場合，A/Dコンバータ外部トリガ入力（ADTRG）として機能します。

12.3.2　ポート１

ポート１は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P1	P17	P16	P15	P14	P13	P12	P11	P10	アドレス FFFFF002H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P1n （n = 7-0）	Port１ 入出力ポート

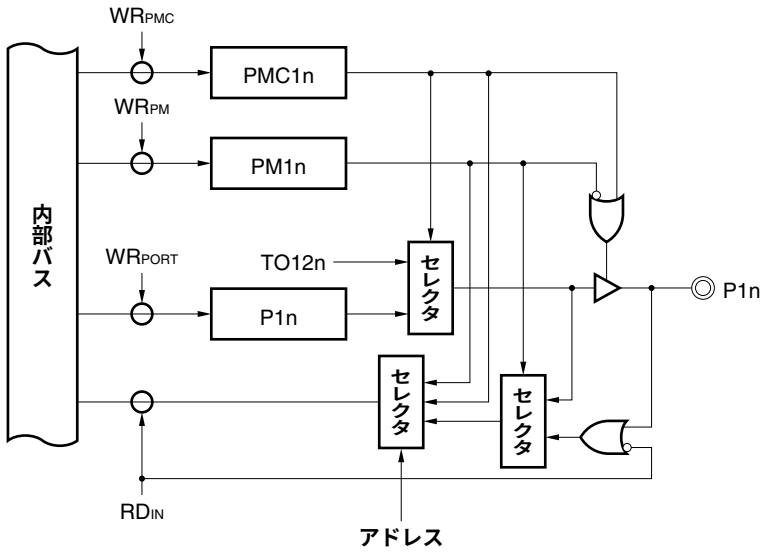
ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み入力，およびシリアル・インタフェース（CSI2）の入出力として動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート１	P10	TO120	リアルタイム・パルス・ユニット（RPU）出力
	P11	TO121	
	P12	TCLR12	リアルタイム・パルス・ユニット（RPU）入力
	P13	TI12	
	P14	INTP120	外部割り込み入力
	P15	INTP121/SO2	外部割り込み入力 シリアル・インタフェース（CSI2）入出力
	P16	INTP122/SI2	
	P17	INTP123/$\overline{\text{SCK2}}$	

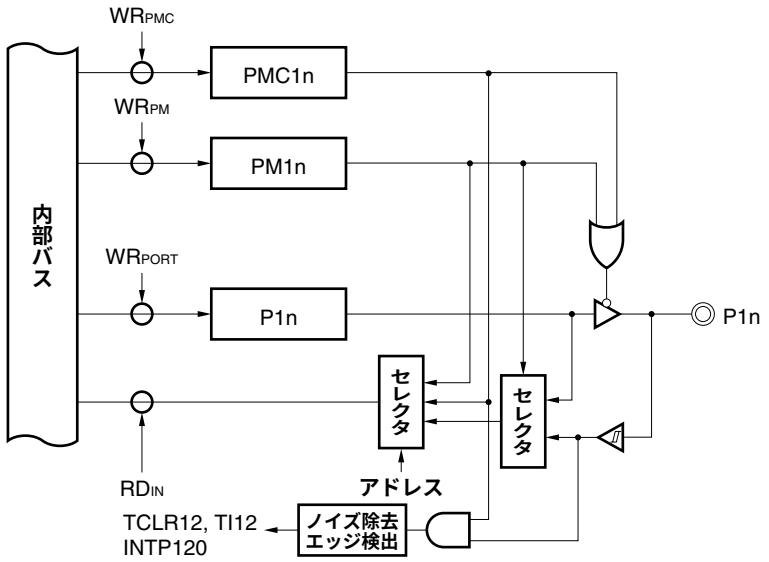
（1）ハードウエア構成

図12－3　P10, P11（ポート1）のブロック図



備考　n = 0, 1

図12－4　P12-P14（ポート1）のブロック図



備考　n = 2-4

図12－5　P15（ポート1）のブロック図

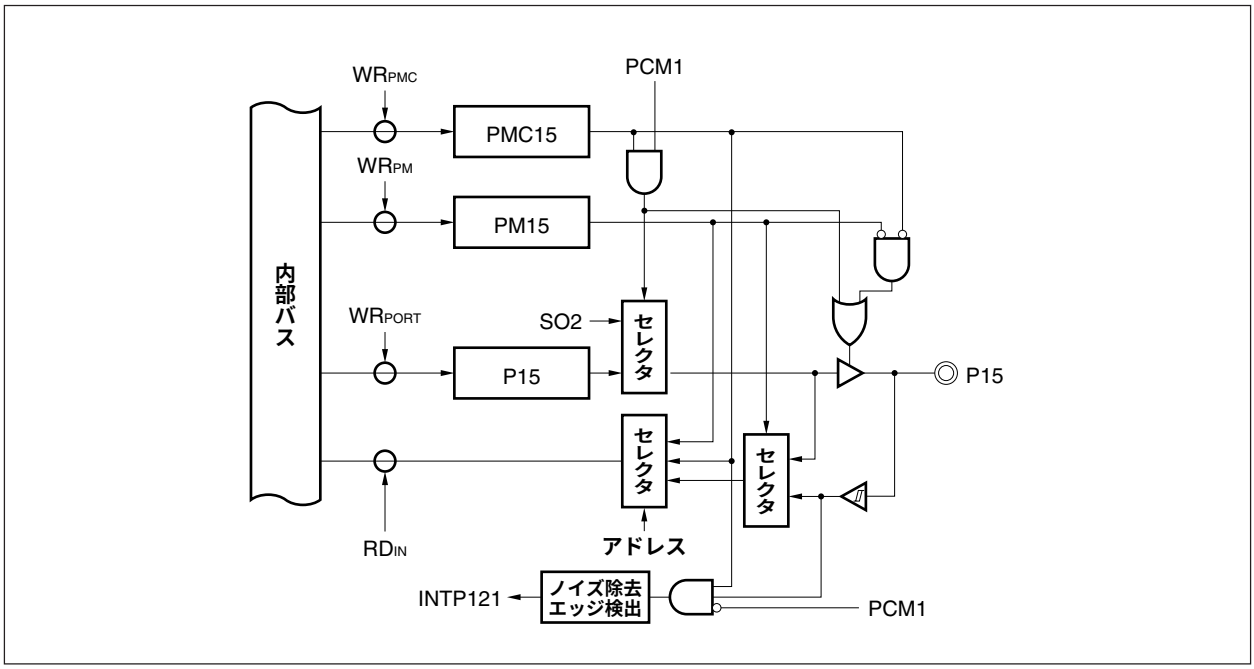


図12－6　P16（ポート1）のブロック図

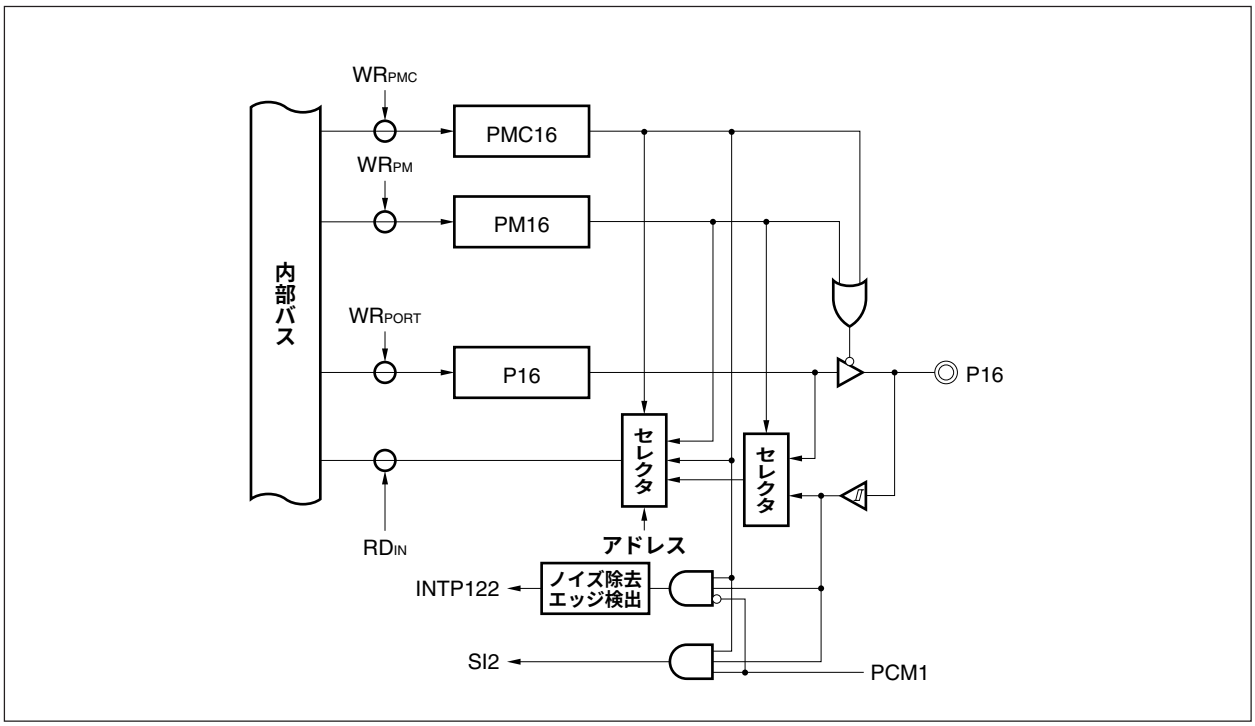
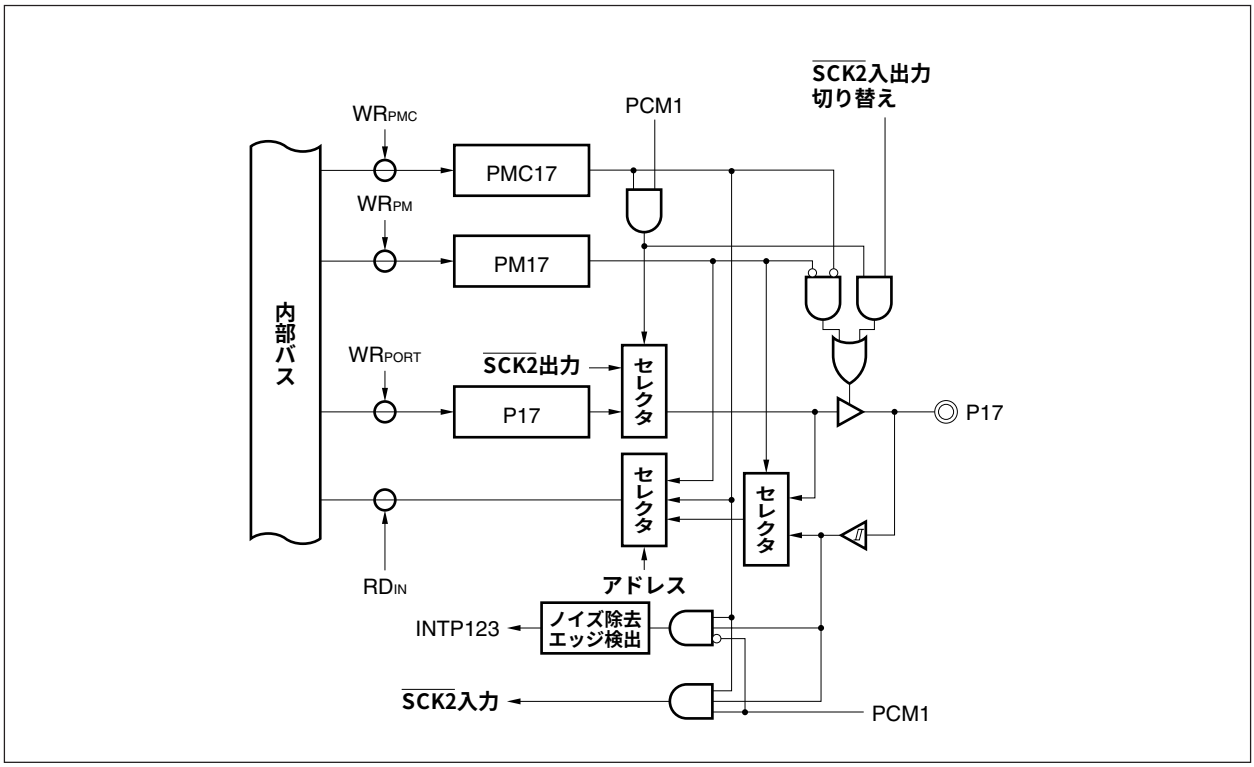


図12－7　P17（ポート1）のブロック図



（2）入出力モード／コントロール・モードの設定

ポート1の入力／出力モードの設定は，ポート1モード・レジスタ（PM1）で行います。また，コントロール・モードの設定は，ポート1モード・コントロール・レジスタ（PMC1）とポート・コントロール・モード・レジスタ（PCM）で行います。

ポート1モード・レジスタ（PM1）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	アドレス FFFFF022H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM1n （n = 7-0）	Port Mode P1n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート１モード・コントロール・レジスタ（PMC1）

8/1ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	リセット時
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	FFFFF042H	00H
PCM	0	0	0	0	PCM3	0	PCM1	0	FFFFF05CH	00H

ビット位置（PMC1）	ビット名	意　　味
7	PMC17	Port Mode Control P17端子の動作モードを指定します。PCM1と組み合わせて設定します。 PMC17 / PCM1 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP123入力モード 1 / 1 / $\overline{\text{SCK2}}$入出力モード
6	PMC16	Port Mode Control P16端子の動作モードを指定します。PCM1と組み合わせて設定します。 PMC16 / PCM1 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP122入力モード 1 / 1 / SI2入力モード
5	PMC15	Port Mode Control P15端子の動作モードを指定します。PCM1と組み合わせて設定します。 PMC15 / PCM1 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP121入力モード 1 / 1 / SO2出力モード
4	PMC14	Port Mode Control P14端子の動作モードを指定します。 0：入出力ポート・モード 1：INTP120入力モード
3	PMC13	Port Mode Control P13端子の動作モードを指定します。 0：入出力ポート・モード 1：TI12入力モード

(2/2)

ビット位置（PMC1）	ビット名	意　　味
2	PMC12	Port Mode Control P12端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR12入力モード
1, 0	PMC11, PMC10	Port Mode Control P11, P10端子の動作モードを指定します。 0：入出力ポート・モード 1：TO121, TO120出力モード

PCMについては12.4のポート・コントロール・モード・レジスタ（PCM）を参照してください。

12.3.3　ポート２

ポート２は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P2	P27	P26	P25	P24	P23	P22	P21	P20	アドレス FFFFF004H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P2n （n = 7-0）	Port２ 入出力ポート

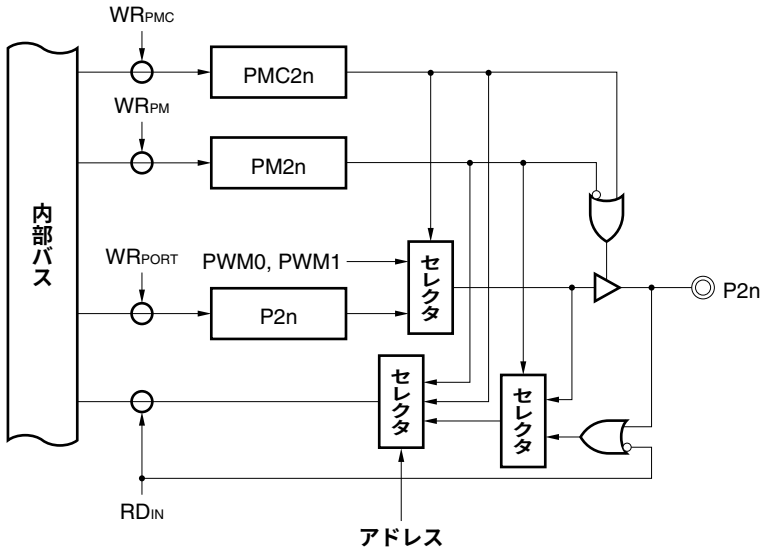
ポートとしての機能のほかに，コントロール・モードではPWM0，PWM1出力，シリアル・インタフェース（UART0/CSI0，UART1/CSI1）の入出力として動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート２	P20	PWM0	PWM0，PWM1出力
	P21	PWM1	
	P22	TXD0/SO0	シリアル・インタフェース（UART0/CSI0, UART1/CSI1）用入出力
	P23	RXD0/SI0	
	P24	$\overline{\text{SCK0}}$	
	P25	TXD1/SO1	
	P26	RXD1/SI1	
	P27	$\overline{\text{SCK1}}$	

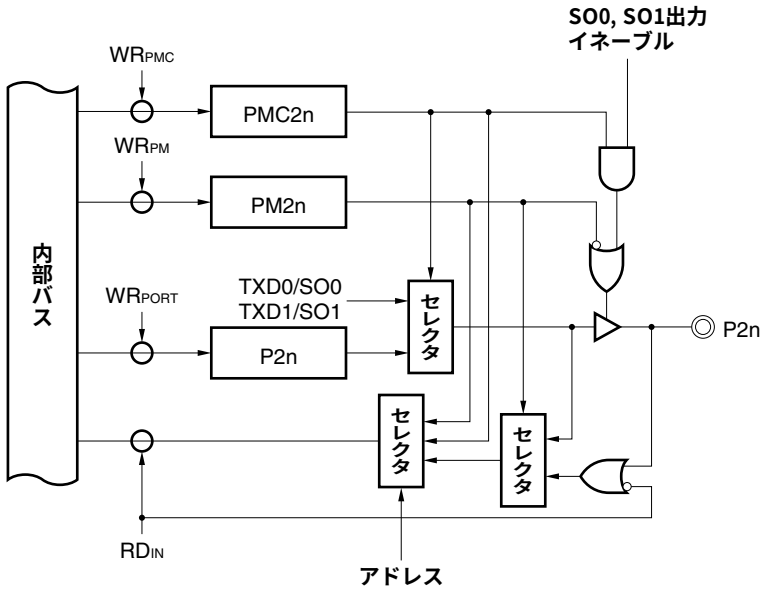
（1）ハードウエア構成

図12－8　P20, P21（ポート2）のブロック図



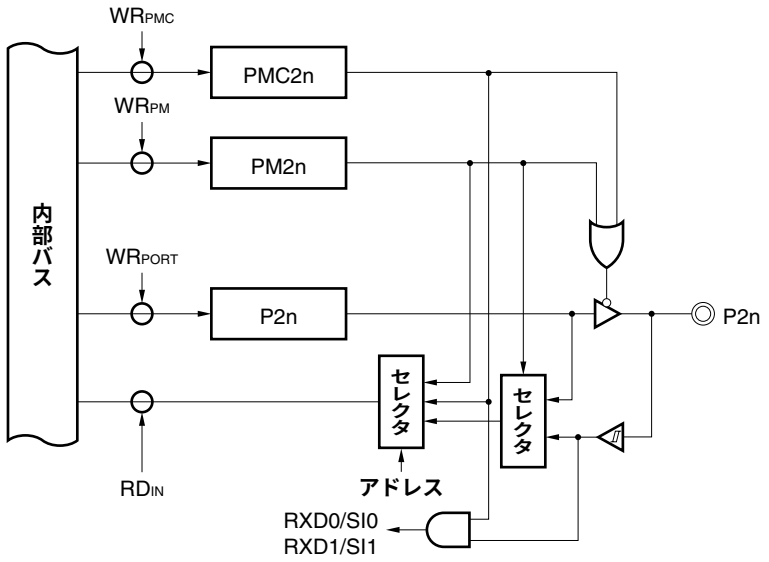
備考　n = 0, 1

図12－9　P22, P25（ポート2）のブロック図



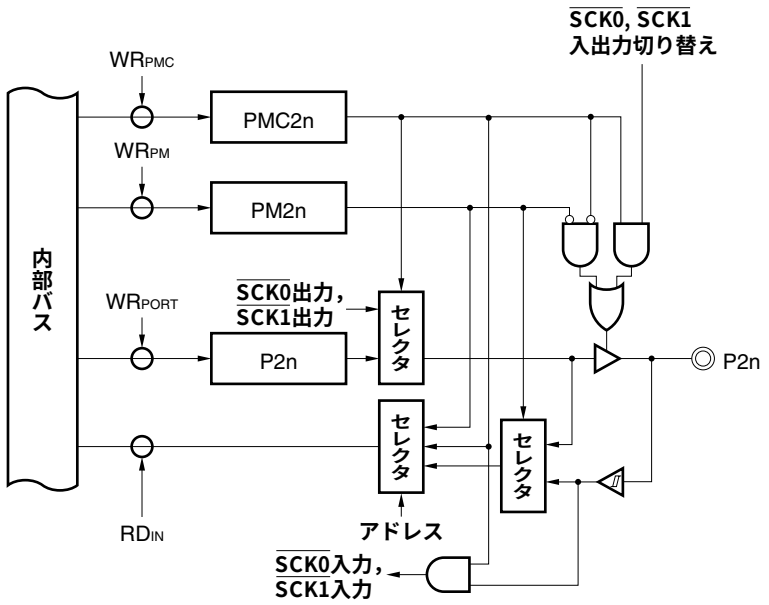
備考　n = 2, 5

図12－10　P23, P26（ポート２）のブロック図



備考　n = 3, 6

図12－11　P24, P27（ポート２）のブロック図



備考　n = 4, 7

（2）入出力モード／コントロール・モードの設定

ポート２の入力／出力モードの設定は，ポート２モード・レジスタ（PM2）で行います。また，コントロール・モードの設定は，ポート２モード・コントロール・レジスタ（PMC2）で行います。

ポート２モード・レジスタ（PM2）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	アドレス FFFFF024H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM2n （n = 7-0）	Port Mode P2n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート２モード・コントロール・レジスタ（PMC2）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	FFFFF044H	00H

ビット位置	ビット名	意　　味
7	PMC27	Port Mode Control P27端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SCK1}}$入出力モード
6	PMC26	Port Mode Control P26端子の動作モードを指定します。 0：入出力ポート・モード 1：RXD1/SI1入力モード
5	PMC25	Port Mode Control P25端子の動作モードを指定します。 0：入出力ポート・モード 1：TXD1/SO1出力モード
4	PMC24	Port Mode Control P24端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SCK0}}$入出力モード
3	PMC23	Port Mode Control P23端子の動作モードを指定します。 0：入出力ポート・モード 1：RXD0/SI0入力モード
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 0：入出力ポート・モード 1：TXD0/SO0出力モード
0, 1	PMC21, PMC20	Port Mode Control P21, P20端子の動作モードを指定します。 0：入出力ポート・モード 1：PWM1, PWM0出力モード

12.3.4　ポート3

ポート3は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P3	P37	P36	P35	P34	P33	P32	P31	P30	アドレス FFFFF006H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P3n （n = 7-0）	Port 3 入出力ポート

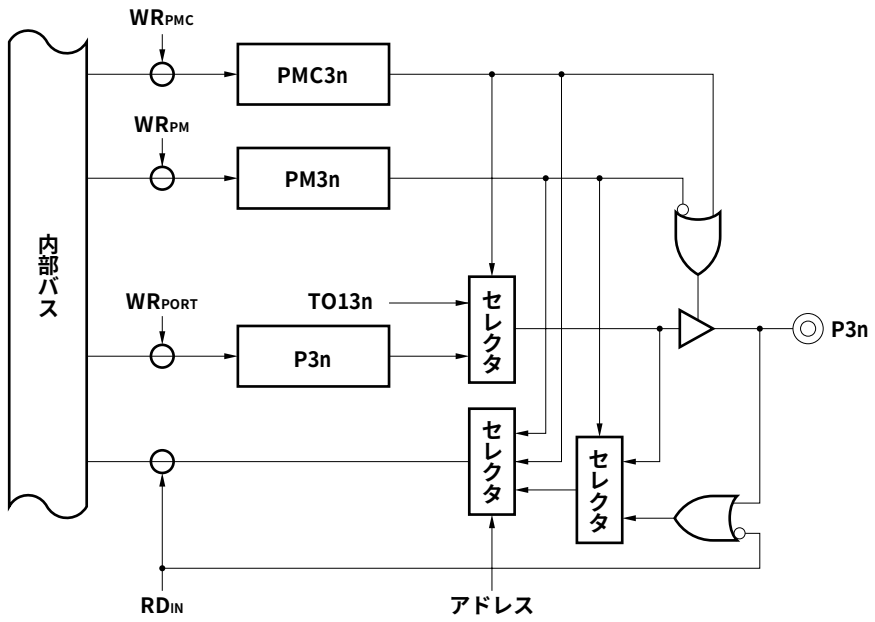
ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み入力およびシリアル・インタフェース（CSI3）の入出力として動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート3	P30	TO130	リアルタイム・パルス・ユニット（RPU）出力
	P31	TO131	
	P32	TCLR13	リアルタイム・パルス・ユニット（RPU）入力
	P33	TI13	
	P34	INTP130	外部割り込み入力
	P35	INTP131/SO3	外部割り込み入力 シリアル・インタフェース（CSI3）入出力
	P36	INTP132/SI3	
	P37	INTP133/$\overline{\text{SCK3}}$	

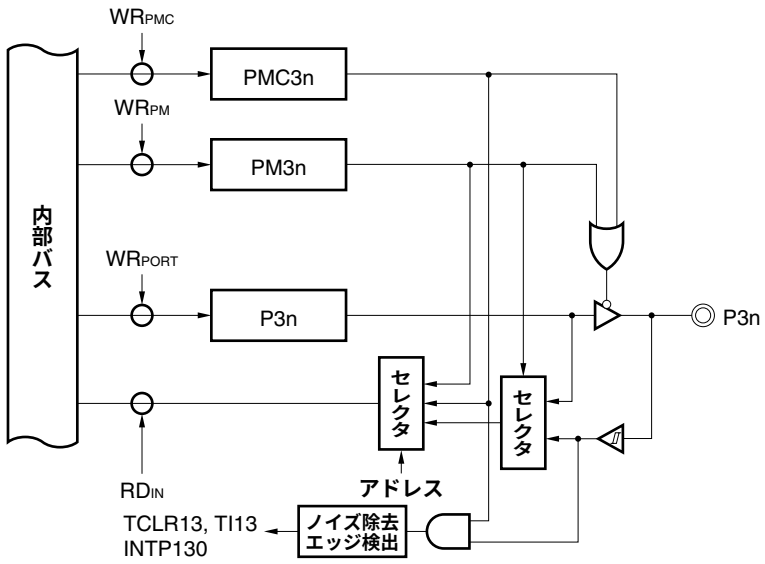
（1）ハードウエア構成

図12－12　P30, P31（ポート３）のブロック図



備考　n = 0, 1

図12－13　P32-P34（ポート３）のブロック図



備考　n = 2-4

図12－14　P35（ポート３）のブロック図

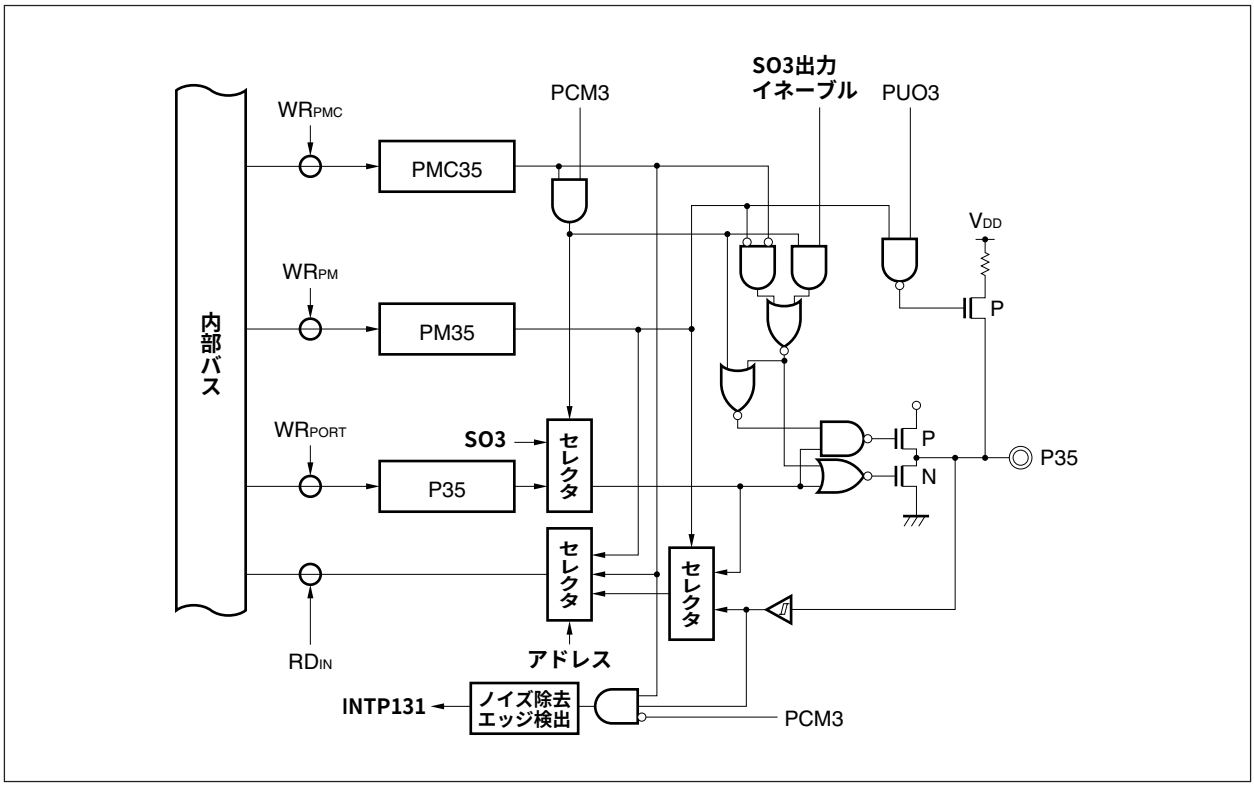


図12－15　P36（ポート３）のブロック図

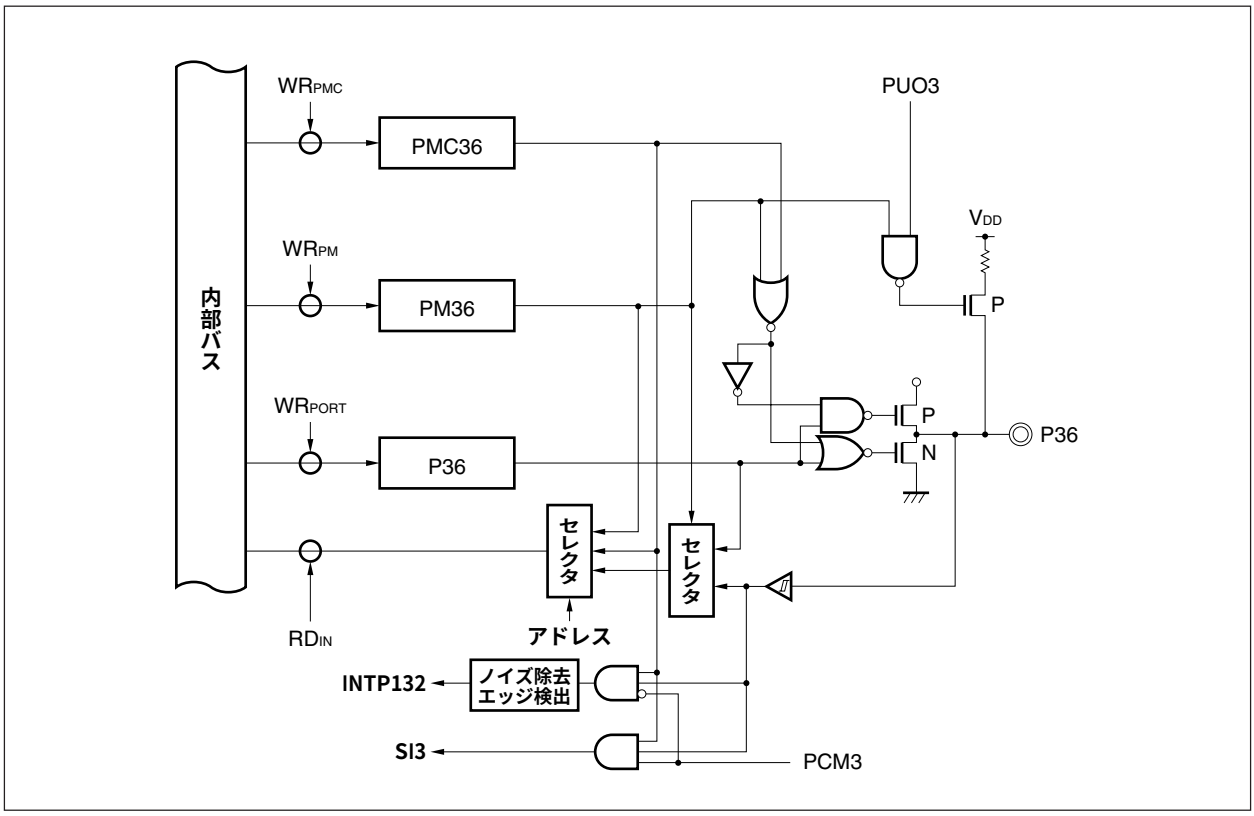
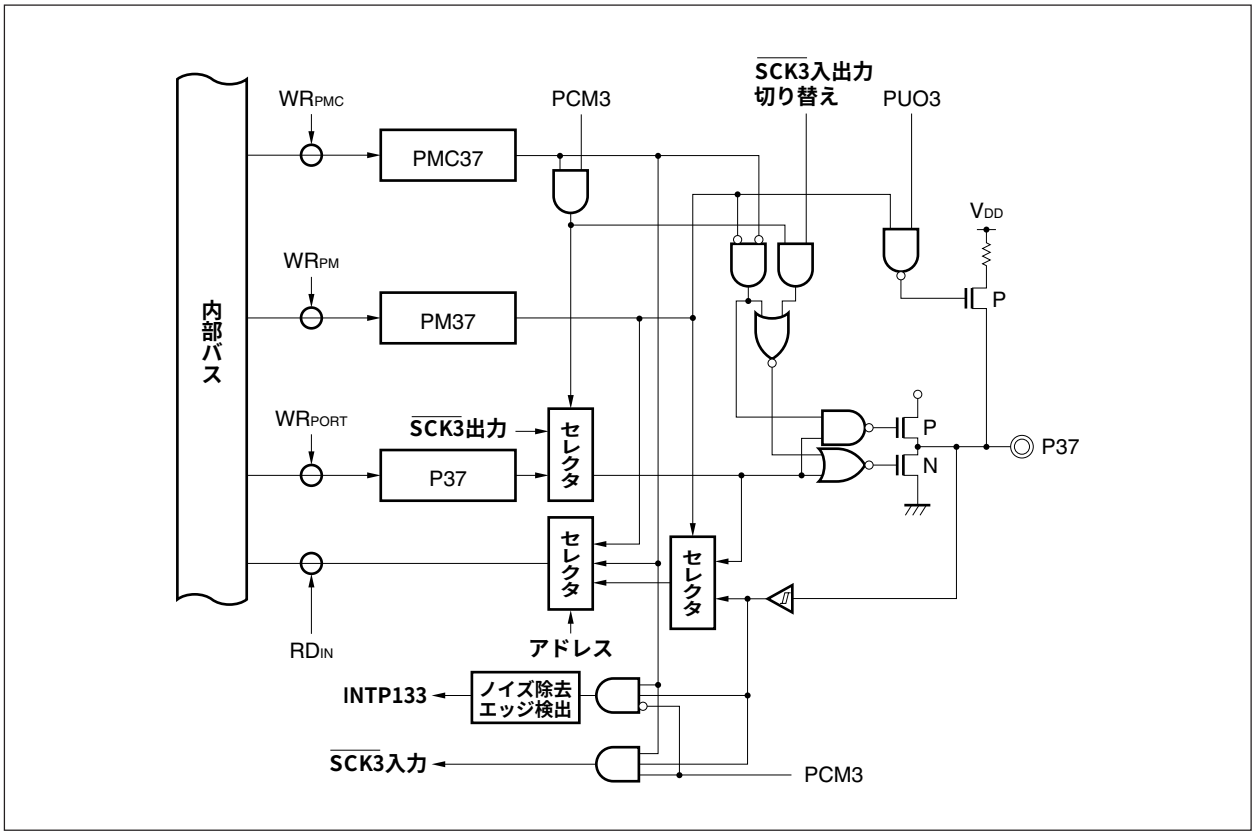


図12－16　P37（ポート３）のブロック図



（2）入出力モード／コントロール・モードの設定

ポート３の入力／出力モードの設定は，ポート３モード・レジスタ（PM3）で行います。また，コントロール・モードの設定は，ポート３モード・コントロール・レジスタ（PMC3）とポート・コントロール・モード・レジスタ（PCM）で行います。

ポート３モード・レジスタ（PM3）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	アドレス FFFFF026H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM3n （n = 7-0）	Port Mode P3n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート３モード・コントロール・レジスタ（PMC3）

8/1ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	リセット時
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFF046H	00H
PCM	0	0	0	0	PCM3	0	PCM1	0	FFFFF05CH	00H

ビット位置（PMC1）	ビット名	意　　味
7	PMC37	Port Mode Control P37端子の動作モードを指定します。PCM3と組み合わせて設定します。 PMC37 / PCM3 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP133入力モード 1 / 1 / $\overline{\text{SCK3}}$入出力モード
6	PMC36	Port Mode Control P36端子の動作モードを指定します。PCM3と組み合わせて設定します。 PMC36 / PCM3 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP132入力モード 1 / 1 / SI3入力モード
5	PMC35	Port Mode Control P35端子の動作モードを指定します。PCM3と組み合わせて設定します。 PMC35 / PCM3 / 意味 0 / × / 入出力ポート・モード 1 / 0 / INTP131入力モード 1 / 1 / SO3出力モード
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0：入出力ポート・モード 1：INTP130入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0：入出力ポート・モード 1：TI13入力モード

(2/2)

ビット位置	ビット名	意　　味
2	PMC32	Port Mode Control P32端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR13入力モード
1	PMC31	Port Mode Control P31端子の動作モードを指定します。 0：入出力ポート・モード 1：TO131出力モード
0	PMC30	Port Mode Control P30端子の動作モードを指定します。 0：入出力ポート・モード 1：TO130出力モード

PCMについては**12.4のポート・コントロール・モード・レジスタ（PCM）**を参照してください。

12.3.5　ポート４

ポート４は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P4	P47	P46	P45	P44	P43	P42	P41	P40	アドレス FFFFF008H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P4n （n = 7-0）	Port４ 入出力ポート

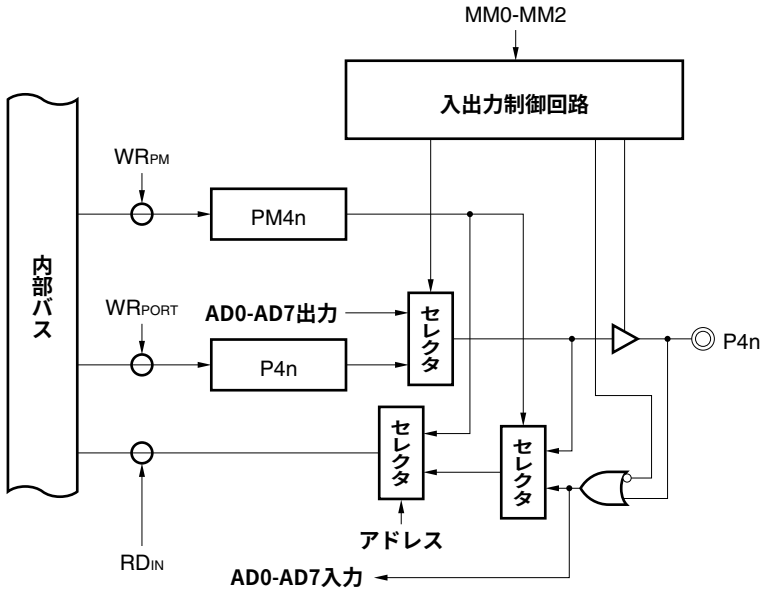
ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス／データ・バスとして動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート４	P40-P47	AD0-AD7	メモリ拡張時のアドレス／データ・バス

（1）ハードウエア構成

★ **図12－17　P40-P47（ポート４）のブロック図**



備考　n = 0-7

（2）入出力モード／コントロール・モードの設定

ポート４の入力／出力モードの設定は，ポート４モード・レジスタ（PM4）で行います。また，コントロール・モード（外部拡張モード）の設定は，メモリ拡張モード・レジスタ（MM：3.4.7参照）で行います。

★

ポート４モード・レジスタ（PM4）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	アドレス FFFFF028H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM4n （n = 7-0）	Port Mode P4n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート４の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P40	P41	P42	P43	P44	P45	P46	P47
0	0	0	ポート							
0	1	1	アドレス／データ・バス（AD0-AD7）							
1	0	0								
1	0	1								
1	1	1								
その他			RFU（予約）							

12.3.6　ポート５

ポート５は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	リセット時
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFFFF00AH	不定

ビット位置	ビット名	意　　味
7-0	P5n （n = 7-0）	Port５ 入出力ポート

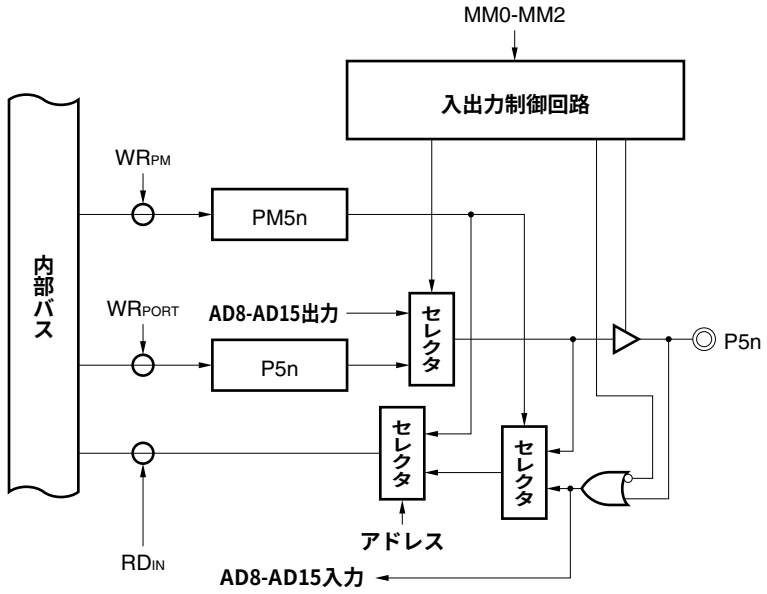
ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス／データ・バスとして動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート５	P50-P57	AD8-AD15	メモリ拡張時のアドレス／データ・バス

（1）ハードウエア構成

★ **図12－18　P50-P57（ポート５）のブロック図**



備考　n = 0-7

（2）入出力モード／コントロール・モードの設定

ポート５の入力／出力モードの設定は，ポート５モード・レジスタ（PM5）で行います。また，コントロール・モード（外部拡張モード）の設定は，メモリ拡張モード・レジスタ（MM：3.4.7参照）で行います。

★

ポート５モード・レジスタ（PM5）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	アドレス FFFFF02AH	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM5n （n = 7-0）	Port Mode P5n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート５の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	ポート							
0	1	1	アドレス／データ・バス（AD8-AD15）							
1	0	0								
1	0	1								
1	1	1								
その他			RFU（予約）							

12.3.7　ポート6

ポート6は，1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P6	—	—	—	—	P63	P62	P61	P60	アドレス FFFFF00CH	リセット時 不定

ビット位置	ビット名	意　　味
3-0	P6n （n = 3-0）	Port 6 入出力ポート

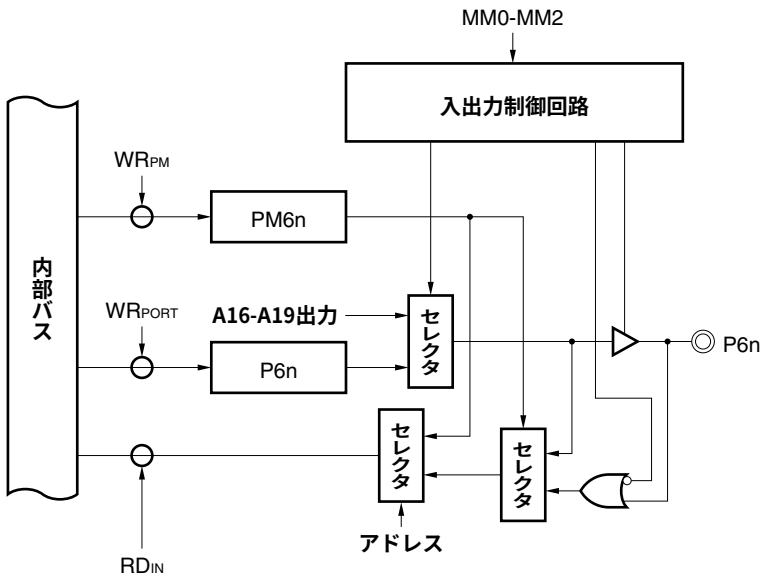
ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。8ビット・アクセスした場合の上位4ビットのデータは，ライト時は無視され，リード時は不定になります。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート6	P60-P63	A16-A19	メモリ拡張時のアドレス・バス

（1）ハードウエア構成

★ **図12－19　P60-P63（ポート6）のブロック図**



備考　n = 0-3

（2）入出力モード／コントロール・モードの設定

ポート６の入力／出力モードの設定は，ポート６モード・レジスタ（PM6）で行います。また，コントロール・モード（外部拡張モード）の設定は，メモリ拡張モード・レジスタ（MM：**3.4.7**参照）で行います。

★

ポート６モード・レジスタ（PM6）

8/1ビット単位でリード／ライト可能です。ただし上位４ビットのデータはライト時は無視され，リード時は不定になります。

	7	6	5	4	3	2	1	0		
PM6	—	—	—	—	PM63	PM62	PM61	PM60	アドレス FFFFF02CH	リセット時 ×FH

ビット位置	ビット名	意　　味
3-0	PM6n （n = 3-0）	Port Mode P6n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート６の動作モード

MMレジスタのビット			動作モード			
MM2	MM1	MM0	P60	P61	P62	P63
0	0	0	ポート			
0	1	1				
1	0	0	A16	A17		
1	0	1			A18	A19
1	1	1				
その他			RFU（予約）			

12.3.8　ポート7

ポート7は，全端子が入力に固定の8ビット入力専用ポートです。

	7	6	5	4	3	2	1	0		
P7	P77	P76	P75	P74	P73	P72	P71	P70	アドレス FFFFF00EH	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P7n （n = 7-0）	Port 7 入力ポート

入力ポートとしての機能のほかに，コントロール・モードではA/Dコンバータのアナログ入力として動作可能です。

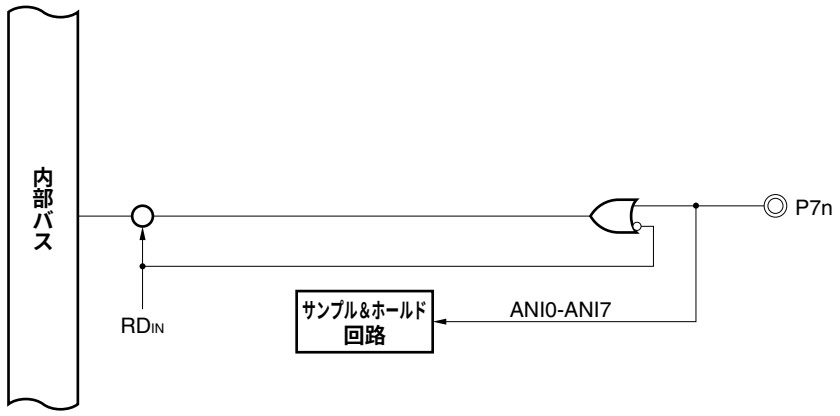
このポートはアナログ入力端子（ANI0-ANI7）と兼用になっていますが，入力ポートとアナログ入力端子は切り替えられません。またポートの読み出しにより，各端子の状態を読み込めます。

★　アナログ入力に指定された端子をリードしたときの値は不定です。また，A/D変換中にP7の値をリードしないでください。ポート7の一部の端子をA/Dコンバータへのアナログ入力端子として使用する場合，残りの端子は入力ポートとして使用できません（たとえば，ANI0-ANI2端子をA/Dコンバータ入力として使用した場合，P73-P77端子は入力ポートとして使用しないでください）。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート7	P70-P77	ANI0-ANI7	A/Dコンバータへのアナログ入力

図12－20　P70-P77（ポート7）のブロック図



備考　n = 0-7

12.3.9　ポート９

ポート９は，１ビット単位で入出力を指定できる７ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P9	—	P96	P95	P94	P93	P92	P91	P90	アドレス FFFFF012H	リセット時 不定

ビット位置	ビット名	意　　味
6-0	P9n （n = 6-0）	Port９ 入出力ポート

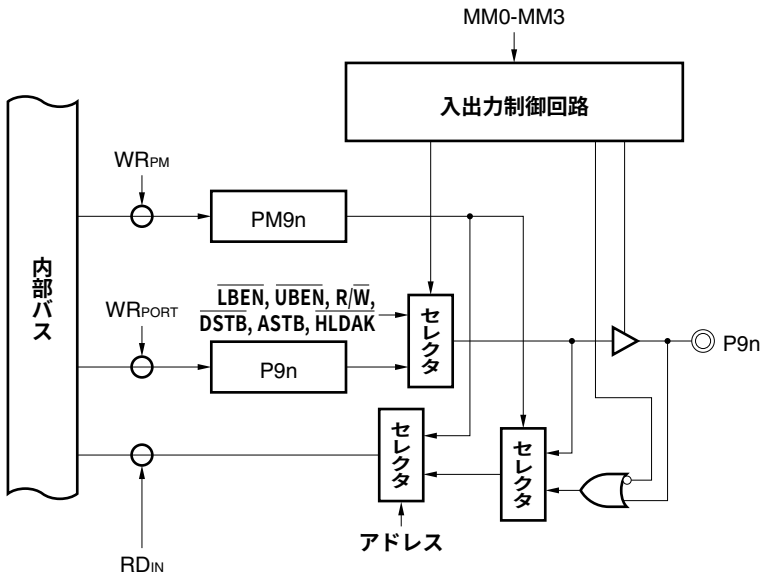
ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力，バス・ホールド制御信号出力として動作可能です。８ビット・アクセスした場合の上位１ビットのデータは，ライト時は無視され，リード時は不定になります。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート９	P90	$\overline{\text{LBEN}}$	メモリ拡張時の制御信号出力
	P91	$\overline{\text{UBEN}}$	
	P92	R/$\overline{\text{W}}$	
	P93	$\overline{\text{DSTB}}$	
	P94	ASTB	
	P95	$\overline{\text{HLDAK}}$	バス・ホールド・アクノリッジ信号出力
	P96	$\overline{\text{HLDRQ}}$	バス・ホールド要求信号入力

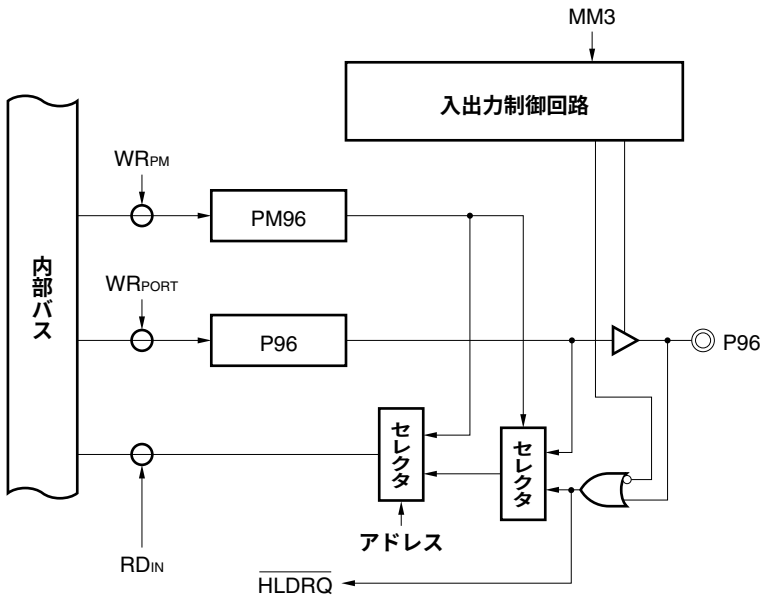
（1）ハードウエア構成

★ **図12－21　P90-P95（ポート９）のブロック図**



備考　n = 0-5

図12－22　P96（ポート９）のブロック図



（2）入出力モード／コントロール・モードの設定

ポート９の入力／出力モードの設定は，ポート９モード・レジスタ（PM9）で行います。また，コントロール・モード（外部拡張モード）の設定は，メモリ拡張モード・レジスタ（MM：**3.4.7**参照）で行います。

★

ポート９モード・レジスタ（PM9）

8/1ビット単位でリード／ライト可能です。ただしビット７はライト時は無視され，リード時は不定になります。

	7	6	5	4	3	2	1	0		
PM9	－	PM96	PM95	PM94	PM93	PM92	PM91	PM90	アドレス FFFFF032H	リセット時 ×1111111B

ビット位置	ビット名	意　　味
6-0	PM9n （n = 6-0）	Port Mode P9n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

ポート９の動作モード

P90-P94

MMレジスタのビット			動作モード				
MM2	MM1	MM0	P90	P91	P92	P93	P94
0	0	0	ポート				
0	1	1	$\overline{LBEN}$	$\overline{UBEN}$	R/$\overline{W}$	$\overline{DSTB}$	ASTB
1	0	0					
1	0	1					
1	1	1					
その他			RFU（予約）				

P95, P96

MM3	動作モード	P95	P96
0	ポート・モード	ポート	
1	外部拡張モード	$\overline{HLDAK}$	$\overline{HLDRQ}$

12.3.10　ポート11

ポート11は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P11	P117	P116	P115	P114	P113	P112	P111	P110	アドレス FFFFF016H	リセット時 不定

ビット位置	ビット名	意　　味
7-0	P11n （n = 7-0）	Port 11 入出力ポート

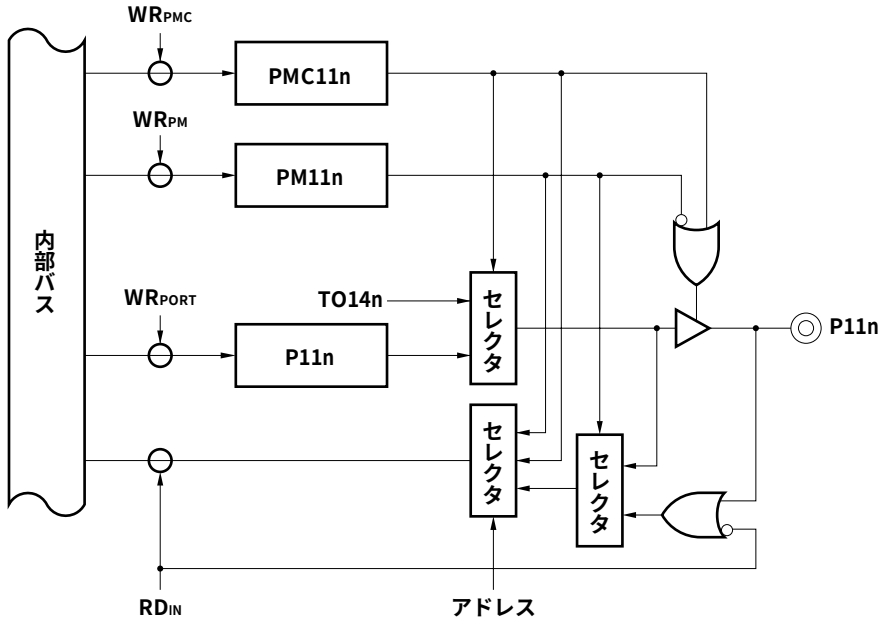
ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力として動作可能です。

コントロール・モード時の動作

ポート		コントロール・モード	備　　考
ポート11	P110	TO140	リアルタイム・パルス・ユニット（RPU）出力
	P111	TO141	
	P112	TCLR14	リアルタイム・パルス・ユニット（RPU）入力
	P113	TI14	
	P114-P117	INTP140-INTP143	外部割り込み要求入力

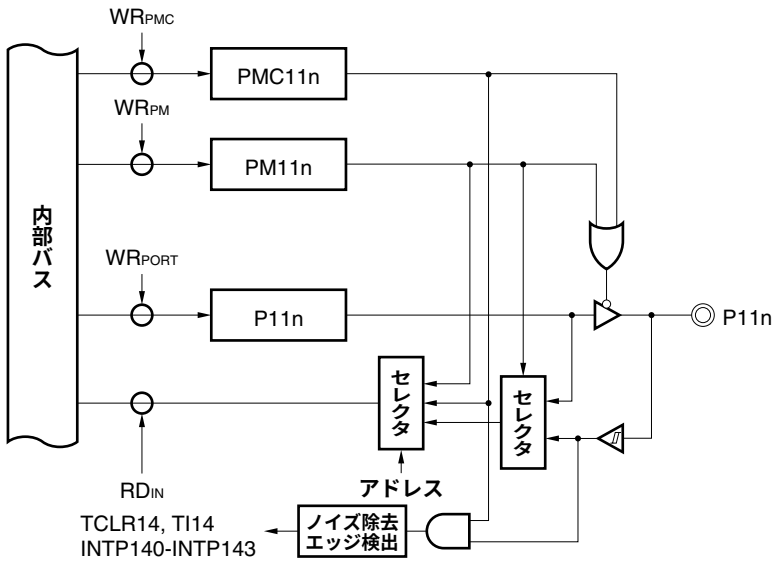
（1）ハードウエア構成

図12－23　P110, P111（ポート11）のブロック図



備考　n = 0, 1

図12－24　P112-P117（ポート11）のブロック図



備考　n = 2-7

（2）入出力モード／コントロール・モードの設定

ポート11の入力／出力モードの設定は，ポート11モード・レジスタ（PM11）で行います。また，コントロール・モードの設定は，ポート11モード・コントロール・レジスタ（PMC11）で行います。

ポート11モード・レジスタ（PM11）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	アドレス FFFFF036H	リセット時 FFH

ビット位置	ビット名	意　　味
7-0	PM11n （n = 7-0）	Port Mode P11n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート11モード・コントロール・レジスタ（PMC11）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PMC11	PMC117	PMC116	PMC115	PMC114	PMC113	PMC112	PMC111	PMC110	FFFFF056H	00H

ビット位置	ビット名	意　　味
7-4	PMC117- PMC114	Port Mode Control P117-P114端子の動作モードを指定します。 0：入出力ポート・モード 1：INTP143-INTP140入力モード
3	PMC113	Port Mode Control P113端子の動作モードを指定します。 0：入出力ポート・モード 1：TI14入力モード
2	PMC112	Port Mode Control P112端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR14入力モード
1, 0	PMC111, PMC110	Port Mode Control P111, P110端子の動作モードを指定します。 0：入出力ポート・モード 1：TO141, TO140出力モード

12.4　外部マスカブル割り込み要求入力兼タイマ外部キャプチャ・トリガ入力とCSI端子の切り替え

V853のポート１の上位３ビットは，コントロール・モードにおいて，外部マスカブル割り込み要求入力兼タイマ外部キャプチャ・トリガ入力（INTP121-INTP123）と，CSI2入出力（SO2, SI2, $\overline{\text{SCK2}}$）の端子がそれぞれ兼用となっています。

またポート３の上位３ビットは，コントロール・モードにおいて，外部マスカブル割り込み要求入力兼タイマ外部キャプチャ・トリガ入力（INTP131-INTP133）と，CSI3入出力（SO3, SI3, $\overline{\text{SCK3}}$）の端子がそれぞれ兼用となっています。

この兼用端子の切り替えは，ポート・コントロール・モード・レジスタ（PCM）でソフトウエアにより，上記３ビット単位で指定可能です。

ポート・コントロール・モード・レジスタ（PCM）

8/1ビット単位でリード／ライト可能です。ただし，ビット１とビット３以外はハードウエアで“０”に固定されており，“１”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCM	0	0	0	0	PCM3	0	PCM1	0	アドレス FFFFF05CH	リセット時 00H

ビット位置	ビット名	意　　味
3	PCM3	Port Control Mode P37-P35端子の動作モードを指定します。 ０：INTP133-INTP131入力モード １：CSI3入出力モード
1	PCM1	Port Control Mode P17-P15端子の動作モードを指定します。 ０：INTP123-INTP121入力モード １：CSI2入出力モード

注意　PMC1, PMC3レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

選択していない機能は，次のように動作します。

（1）INTP信号入力モード選択時のCSIの動作

INTP信号を選択した場合でも，CSI2, CSI3およびBRG3の各種レジスタに対するアクセスは可能です。しかし端子からのシリアル・データ，シリアル・クロック入力および，シリアル・データ，シリアル・クロック出力はできません。

消費電力低減のため，INTP信号入力モード時は，CSI2, CSI3は送受信禁止状態に，BRG3はカウント動作停止状態にすることをお勧めします。

（2）CSI2, CSI3入出力モード時のタイマ（TM12, TM13），外部マスカブル割り込み動作

CSI2, CSI3入出力モード時は，対応するタイマ・ユニット・モード・レジスタ（TUM2, TUM3）により，対応するINTP信号による外部マスカブル割り込みの指定は可能ですが，外部マスカブル割り込み機能は使用できません。

また，TUM2, TUM3により，対応するキャプチャ／コンペア・レジスタをキャプチャ・レジスタに指定することは可能ですが，INTP信号によりキャプチャ・トリガ入力ができないため，キャプチャ・レジスタ機能は使用できません。ほかのタイマの機能に関しては，制限はありません。

12.5　プルアップ抵抗の指定

V853は，ポート３の上位３ビット（P35-P37）にソフトウエアで指定可能なプルアップ抵抗を内蔵しています。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）とポート・モード・レジスタ（PM）で端子ごとに指定可能です。

PUO3が１のときで，PM3レジスタで対応するビットが入力モードに設定された場合，内蔵プルアップ抵抗が有効となります。

プルアップ抵抗オプション・レジスタ（PUO）

8/1ビット単位でリード／ライト可能です。ただし，ビット３以外はハードウエアで“０”に固定されており，“１”を書き込んでも無視されます。PM3レジスタと組み合わせて設定します。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PUO	0	0	0	0	PUO3	0	0	0	FFFFF05EH	00H
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFFFF026H	FFH

ビット位置（PUO）	ビット名	意　　味
3	PUO3	Pullup Option P3n端子の内蔵プルアップ抵抗を指定します。

PUO3	PM3n	意　　味
0	0	内蔵プルアップ抵抗を使用しない
0	1	
1	0	
1	1	内蔵プルアップ抵抗を使用する

備考　n = 7-5

PM3レジスタについては12.3.4（2）のポート３モード・レジスタ（PM3）を参照してください。

第13章　リセット機能

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるとシステム・リセットがかかり，オンチップの各ハードウエアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$端子がロウ・レベルからハイ・レベルになると，リセット状態が解除され，CPUはプログラムの実行を開始します。各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

13.1　特　　徴

○リセット端子にアナログ・ディレイ（　60 ns）によるノイズ除去回路を内蔵

13.2　端子機能

システム・リセット期間中は，ほとんどの端子出力（CLKOUT, $\overline{\text{RESET}}$, X2, V_{DD}, V_{SS}, CV_{DD}/$\overline{\text{CKSEL}}$, CV_{SS}, AV_{DD}, AV_{SS}, AV_{REF1}-AV_{REF3}端子を除く全端子）がハイ・インピーダンスになります。

したがって，たとえば外部にメモリを接続している場合は，ポート４，５，６，９の各端子にプルアップ（またはプルダウン）抵抗を付ける必要があります。ない場合，これらの端子がハイ・インピーダンスになるとメモリを破壊する可能性があります。

同様に，内蔵の周辺I/O機能の信号出力，出力ポートにおいても，影響がないよう，端子の処理を行ってください。

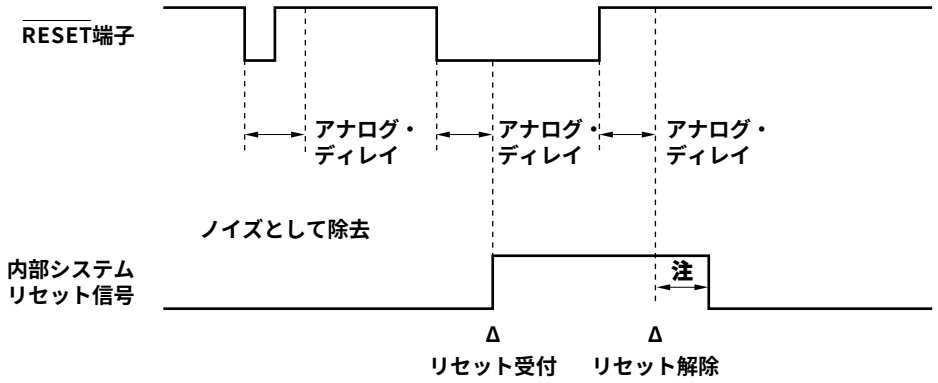
★　また，シングルチップ・モードでは，PSCレジスタを設定するまでCLKOUT信号を出力しません。

表13－１にリセット期間中の各端子の動作状態を示します。

表13－１　リセット期間中の各端子の動作状態

端子	動作状態
AD0-AD15	Hi-Z
A16-A19	
$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
R/$\overline{\text{W}}$	
$\overline{\text{DSTB}}$	
ASTB	
$\overline{\text{HLDRQ}}$	－
$\overline{\text{HLDAK}}$	Hi-Z
$\overline{\text{WAIT}}$	－
★ CLKOUT	Hi-Z

（1）リセット信号の受け付け



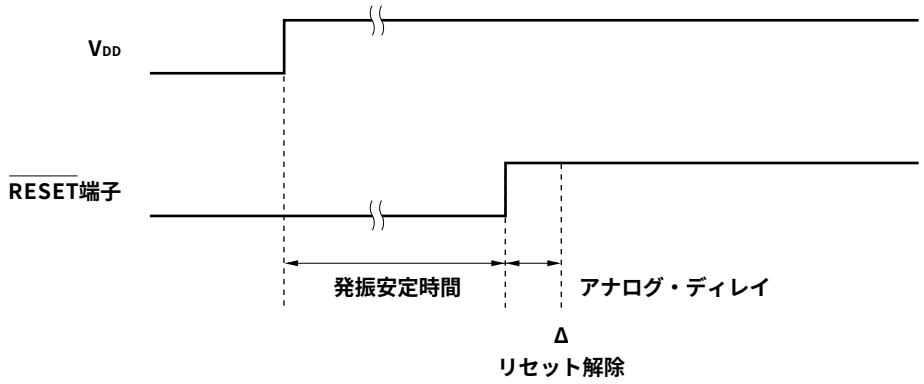
注　内部システム・リセット信号は，RESET端子によるリセット解除タイミング後，最小４システム・クロック期間，アクティブ状態を継続します。

（2）パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では，RESET端子のロウ・レベル幅[注]により，電源の立ち上がりからリセット受け付けまで発振安定時間を確保する必要があります。

★　発振安定時間については十分に評価してください。

注　パワーオン時からリセット信号の受け付けまでは，RESET端子にロウ・レベル入力を保持してください。



13.3　イニシャライズ

各レジスタのリセット後の初期値を表13－２に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

○パワー・セーブ・コントロール・レジスタ（PSC）…X1，X2端子機能，CLKOUT端子動作など

○データ・ウエイト・コントロール・レジスタ（DWC）…データ・ウエイト数

表13－２　各レジスタのリセット後の初期値（1/2）

レジスタ		リセット後の初期値
r0		00000000H
r1-r31		不定
PC		00000000H
PSW		00000020H
EIPC		不定
EIPSW		不定
FEPC		不定
FEPSW		不定
ECR		00000000H
内蔵RAM		不定
ポート	入出力ラッチ（P0-P6, P9, P11）	不定
	入力ラッチ（P7）	不定
	モード・レジスタ（PM0-PM5, PM11）	FFH
	モード・レジスタ（PM6）	×FH
	モード・レジスタ（PM9）	×1111111B
	モード・コントロール・レジスタ（PMC0-PMC3, PMC11）	00H
★	メモリ拡張モード・レジスタ（MM）	00H
	ポート・コントロール・モード・レジスタ（PCM）	00H
	プルアップ抵抗オプション・レジスタ（PUO）	00H
クロック・ジェネレータ	クロック・コントロール・レジスタ（CKC）	00H/03H
	システム・ステータス・レジスタ（SYS）	0000000×B
リアルタイム・パルス・ユニット	タイマ・ユニット・モード・レジスタ（TUM11-TUM14）	0000H
	タイマ・コントロール・レジスタ（TMC11-TMC14, TMC4）	00H
	タイマ出力コントロール・レジスタ1（TOC11-TOC14）	00H
	タイマ（TM11-TM14, TM4）	0000H
	キャプチャ・コンペア・レジスタ（CC110-CC113, CC120-CC123, CC130-CC133, CC140-CC143）	不定
	コンペア・レジスタ4（CM4）	不定
	タイマ・オーバフロー・ステータス・レジスタ（TOVS）	00H
A/Dコンバータ	A/Dコンバータ・モード・レジスタ （ADM0）	00H
	〃 （ADM1）	07H
	A/D変換結果レジスタ（ADCR0-ADCR7, ADCR0H-ADCR7H）	不定
D/Aコンバータ	D/Aコンバータ変換値設定レジスタ（DACS0, DACS1）	00H
	D/Aコンバータ・モード・レジスタ（DAM）	03H

備考　×：不定

表13－２　各レジスタのリセット後の初期値（2/2）

レジスタ		リセット後の初期値
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM00, ASIM10）	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM01, ASIM11）	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS0, ASIS1）	00H
	受信バッファ（RXB0, RXB0L, RXB1, RXB1L）	不定
	送信シフト・レジスタ（TXS0, TXS0L, TXS1, TXS1L）	不定
	クロック同期式シリアル・インタフェース・モード・レジスタ0（CSIM0-CSIM3）	00H
	シリアルI/Oシフト・レジスタ（SIO0-SIO3）	不定
	ボー・レート・ジェネレータ・レジスタ（BRGC0-BRGC2）	不定
	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ（BPRM0-BPRM2）	00H
PWM	PWMコントロール・レジスタ（PWMC）	00H
	PWMプリスケーラ・レジスタ（PWPR）	00H
	PWMバッファ・レジスタ（PWM0, PWM0L, PWM1, PWM1L）	不定
割り込み／例外処理機能	割り込み制御レジスタ（××ICn）	47H
	インサービス・プライオリティ・レジスタ（ISPR）	00H
	外部割り込みモード・レジスタ（INTM0-INTM4）	00H
メモリ管理機能	データ・ウエイト・コントロール・レジスタ（DWC）	FFFFH
	バス・サイクル・コントロール・レジスタ（BCC）	AAAAH
パワー・セーブ制御	コマンド・レジスタ（PRCMD）	不定
★	パワー・セーブ・コントロール・レジスタ（PSC）	C0H

注意　上記の表における“不定”とは，パワーオン・リセット時の不定，または$\overline{\text{RESET}}$↓入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し，これ以外の$\overline{\text{RESET}}$↓ではデータは直前の状態に保持されます。

第14章　フラッシュ・メモリ（μPD70F3003A, 70F3025A）

μPD70F3003A, 70F3025AはV853のフラッシュ・メモリ内蔵品で，μPD70F3003Aは128 Kバイト，μPD70F3025Aは256 Kバイトのフラッシュ・メモリを内蔵しています。このフラッシュ・メモリへの命令フェッチは，マスクROM内蔵品と同様に１クロックで４バイトをアクセスできます。

フラッシュ・メモリへの書き込みは，ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

○ターゲット・システムにV853を半田実装後，ソフトウエアの変更可能
○ソフトウエアを区別することで，少量多品種生産が容易
○量産立ち上げ時のデータ調整が容易

★　注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

14.1　特　　徴

・４バイト／１クロック・アクセス（命令フェッチ・アクセス時）
・全エリア一括消去
・専用フラッシュ・ライタからシリアル・インタフェースを介して通信
★　・消去／書き込み電圧：V_{PP} = 10.3 V
・オンボード・プログラミング

14.2　フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより，オンボードまたはオフボードでの書き込みができます。

（1）オンボード・プログラミング

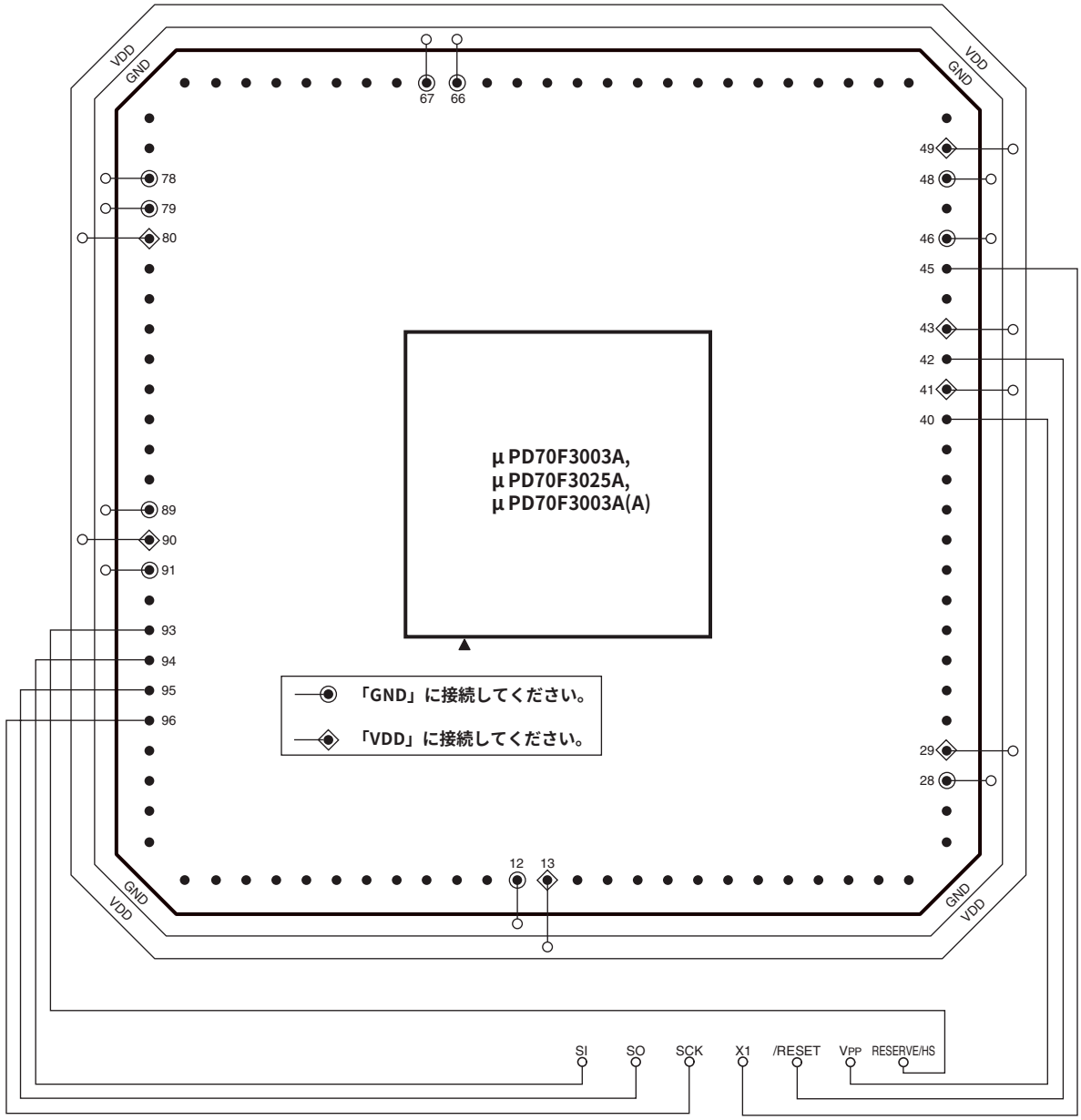
ターゲット・システム上にV853を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にV853を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

★ **図14－1　V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線例**



備考1． 記述していない端子は，未使用時の端子処理に従って処理してください（**2.4　各端子の入出力回路タイプと未使用時の処理**参照）。

抵抗を介してV_{DD}に接続する場合，1 k-10 kΩの抵抗を接続することを推奨します。

2． このアダプタは100ピン・プラスチックLQFPパッケージ用です。

3． この図はハンドシェーク対応CSI時の結線です。

★ **表14－1　V853フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線表**

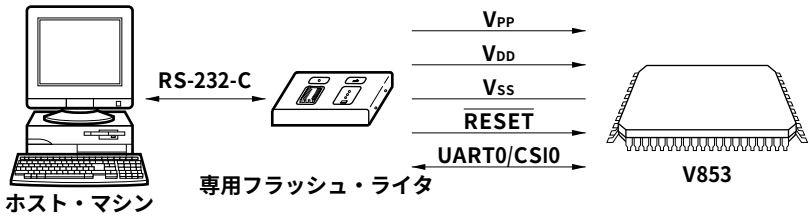
フラッシュ・ライタ（PG-FP3）接続端子図			CSI0＋HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P22/SO0	94	P22/SO0	94	P22/TXD0	94
SO/TxD	出力	送信信号	P23/SI0	95	P23/SI0	95	P23/RXD0	95
SCK	出力	転送クロック	P24/$\overline{\text{SCK0}}$	96	P24/$\overline{\text{SCK0}}$	96	必要なし	必要なし
CLK	出力	V853へのクロック	X1	45	X1	45	X1	45
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	42	$\overline{\text{RESET}}$	42	$\overline{\text{RESET}}$	42
VPP	出力	書き込み電圧	V_{PP}	40	V_{PP}	40	V_{PP}	40
HS	入力	CSI0＋HS通信のハンドシェーク信号	P21/PWM1	93	必要なし	必要なし	必要なし	必要なし
VDD	入出力	VDD電圧生成／電圧監視	V_{DD}	注1	V_{DD}	注1	V_{DD}	注1
			CV_{DD}/$\overline{\text{CKSEL}}$	43	CV_{DD}/$\overline{\text{CKSEL}}$	43	CV_{DD}/$\overline{\text{CKSEL}}$	43
			AV_{DD}	80	AV_{DD}	80	AV_{DD}	80
			MODE	41	MODE	41	MODE	41
GND	－	グランド	V_{SS}	注2	V_{SS}	注2	V_{SS}	注2
			CV_{SS}	46	CV_{SS}	46	CV_{SS}	46
			AV_{SS}	79	AV_{SS}	79	AV_{SS}	79
			AV_{REF1}	78	AV_{REF1}	78	AV_{REF1}	78
			AV_{REF2}	67	AV_{REF2}	67	AV_{REF2}	67
			AV_{REF3}	66	AV_{REF3}	66	AV_{REF3}	66
			NMI	91	NMI	91	NMI	91

注1． 13, 29, 49, 90

2． 12, 28, 48, 89

14.3　プログラミング環境

V853のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

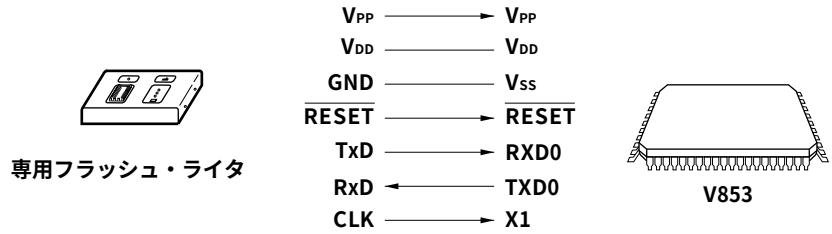
また，専用フラッシュ・ライタとV853とのインタフェースはUART0またはCSI0を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

14.4　通信方式

専用フラッシュ・ライタとV853との通信は，UART0またはCSI0によるシリアル通信で行います。

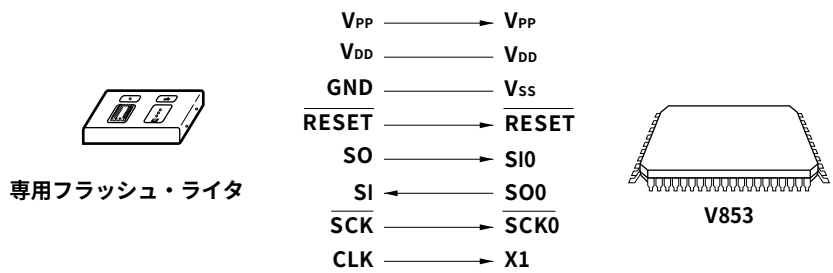
（1）UART0

★　転送レート：4800-76800 bps（LSBファースト）



（2）CSI0

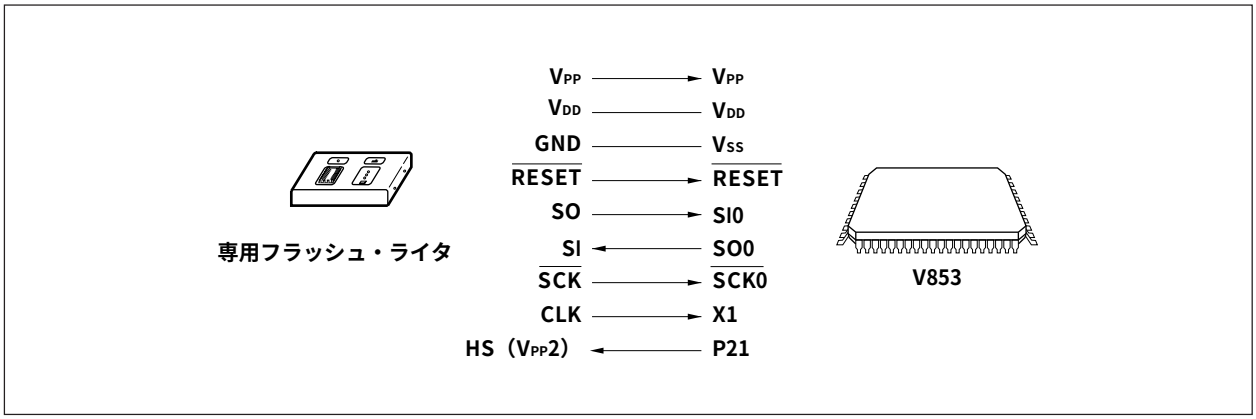
★　転送レート：200 k～1 MHz（MSBファースト）



専用フラッシュ・ライタが転送クロックを出力し，V853はスレーブとして動作します。

★　（3）ハンドシェーク対応CSI通信方式

転送レート：200 k～1 MHz（MSBファースト）



専用フラッシュ・ライタとしてPG-FP3を使用した場合，PG-FP3はV853に対して次の信号を生成します。詳細はPG-FP3　ユーザーズ・マニュアル（U13502J）を参照してください。

PG-FP3			V853	接続時の処置	
信　号　名	入出力	端子機能	端子名注1	CSI0	UART0
V_{PP}	出力	書き込み電圧	V_{PP}	◎	◎
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}	◎	◎
GND	－	グランド	V_{SS}	◎	◎
CLK	出力	V853へのクロック出力	X1注2	○	○
$\overline{RESET}$	出力	リセット信号	$\overline{RESET}$	◎	◎
SI/RxD	入力	受信信号	SO0/TXD0	◎	◎
SO/TxD	出力	送信信号	SI0/RXD0	◎	◎
SCK	出力	転送クロック	$\overline{SCK0}$	◎	×
HS（V_{PP}2）	入力	CSI0＋HS通信のハンドシェーク信号	P21	△	×

★　注1．フラッシュ・メモリ・プログラミング・モードに遷移するとフラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

2．オフボード時のみ

備考　◎：必ず接続してください。

○：ターゲット・ボード上で生成されていれば，接続の必要はありません。

×：接続の必要はありません。

△：ハンドシェーク・モード時

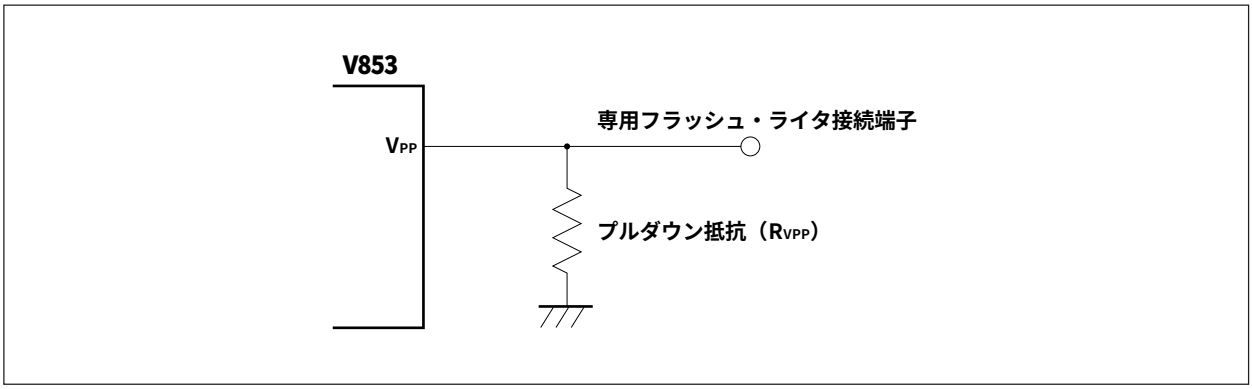
14.5　端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタ
★ を設けます。また，オンボード上に通常動作モード（シングルチップ・モード）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてシングルチップ・モードのリセット直後と同じ状態になります。したがって，ポートはすべて出力ハイ・インピーダンス状態になるため，外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

14.5.1　VPP端子

通常動作モード時は，VPP端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，
★ VPP端子に10.3 Vの書き込み電圧を供給します。VPP端子の接続例を次に示します。



14.5.2　シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子は次のとおりです。

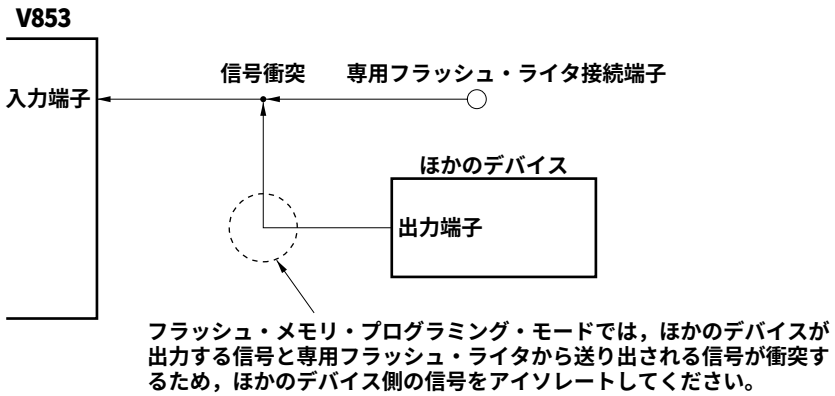
★

シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
CSI0＋HS	SO0, SI0, $\overline{\text{SCK0}}$, P21
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

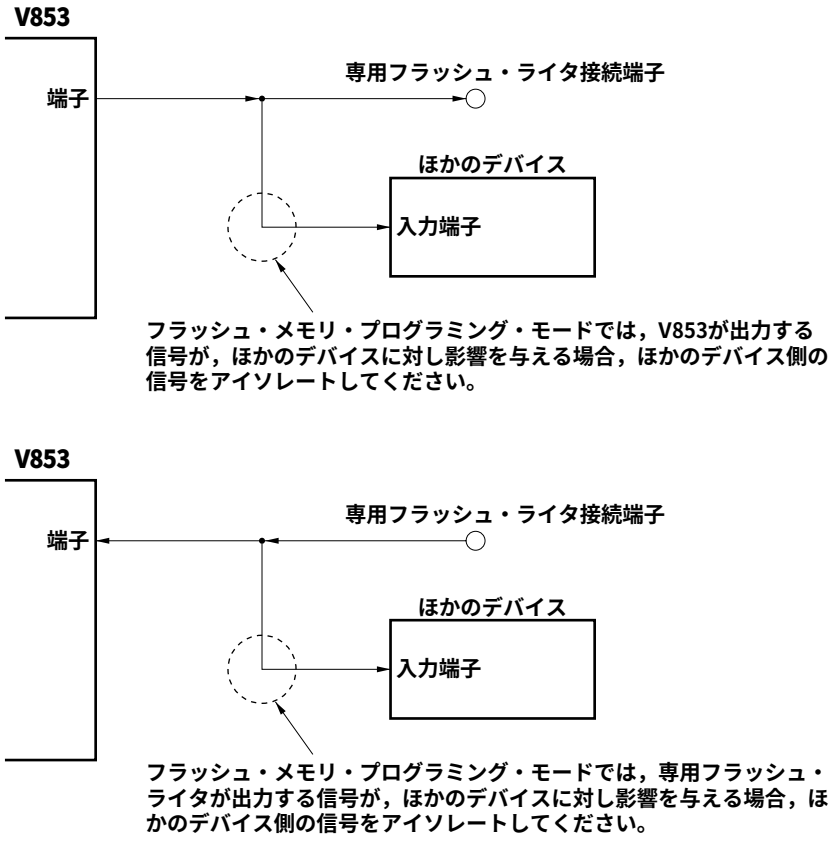
（1）信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



（2）ほかのデバイスの異常動作

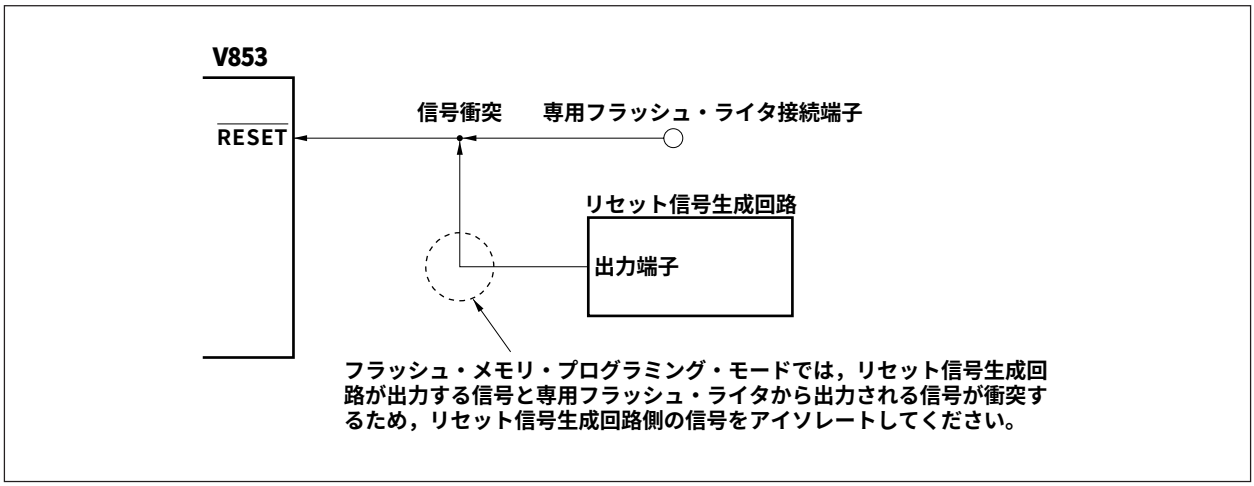
ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。



14.5.3　リセット端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。



14.5.4　NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号は無視されます。

14.5.5　MODE端子

★　MODE端子をV_{DD}に接続し，V_{PP}端子に書き込み電圧（10.3 V）を加え，リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

14.5.6　ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると，専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。これらポート端子を処理する必要はありません。なお，ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの処置をしてください。

14.5.7　$\overline{\text{WAIT}}$端子

$\overline{\text{WAIT}}$端子はV_{DD}に直接接続してください。

14.5.8　その他の信号端子

X1, X2, $\overline{\text{CKSEL}}$, AV_{REF1}-AV_{REF3}は，通常動作モード時と同じ状態に接続してください。

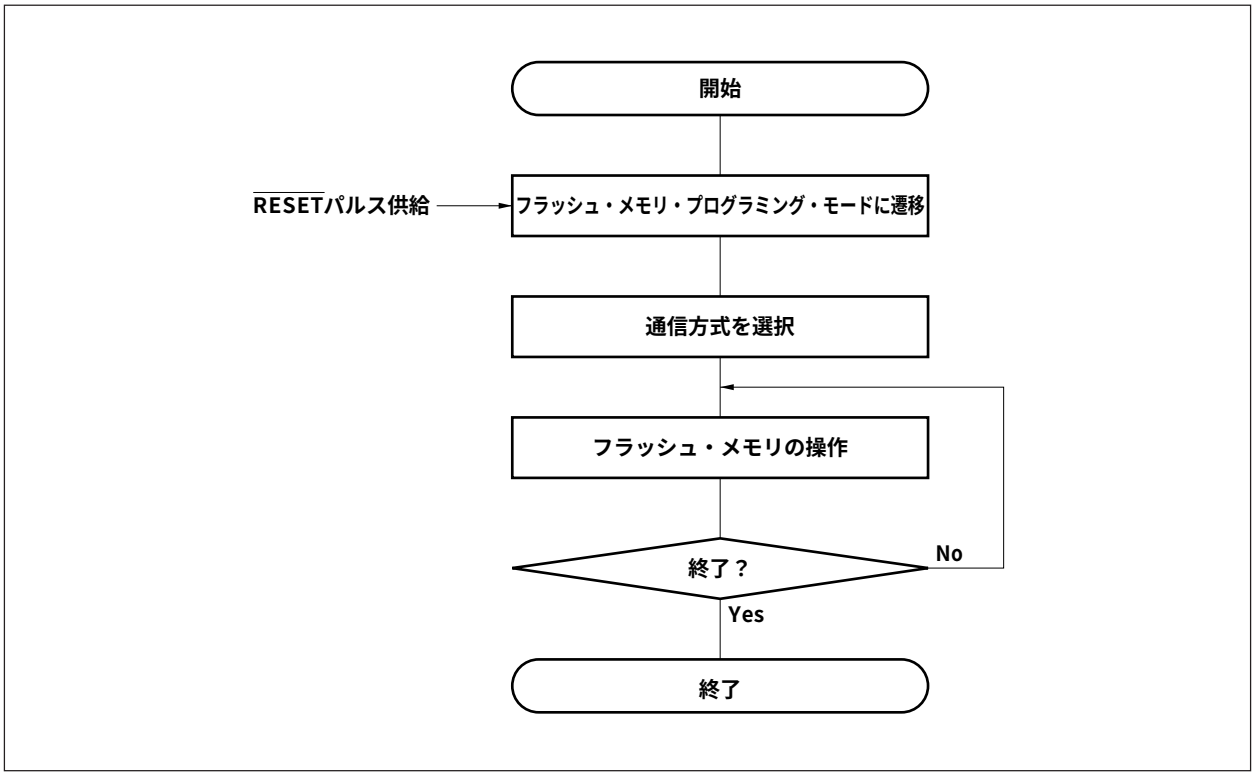
14.5.9　電　　源

電源（V_{DD}, V_{SS}, AV_{DD}, AV_{SS}, CV_{DD}, CV_{SS}）は，通常動作モード時と同じ電源を供給してください。また，V_{DD}, V_{SS}には，専用フラッシュ・ライタのV_{DD}, GNDを接続してください。専用フラッシュ・ライタのV_{DD}は，電源監視機能がついているため，必ず接続してください。

14.6　プログラミング方法

14.6.1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。



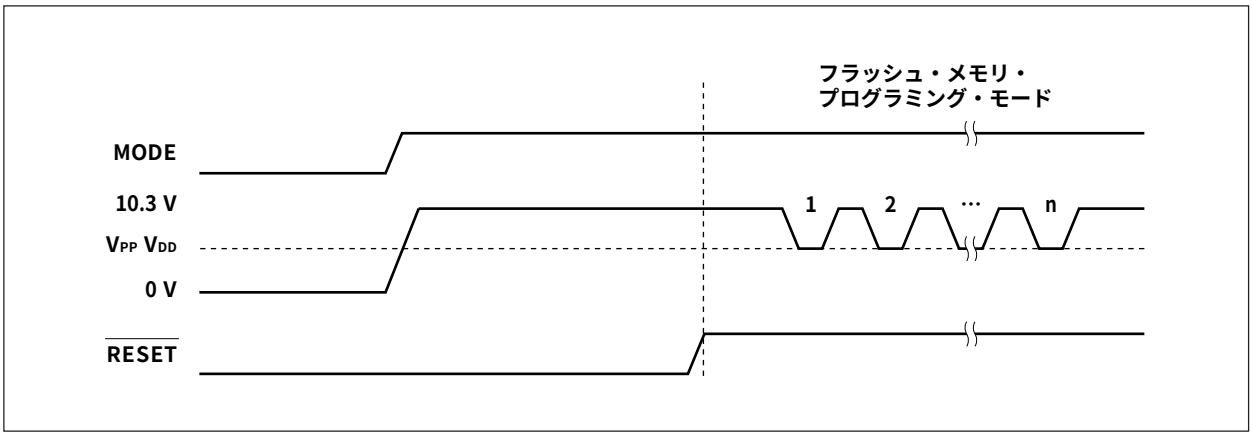
14.6.2　フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは，V853をフラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには，MODE, V_{PP}, $\overline{WAIT}$端子を次のように設定後，リセットを解除します。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えてください。

- MODE　：V_{DD}
- ★ V_{PP}　：10.3 V
- $\overline{WAIT}$　：V_{DD}



14.6.3　通信方式の選択

V853では，フラッシュ・メモリ・プログラミング・モードに遷移後，V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

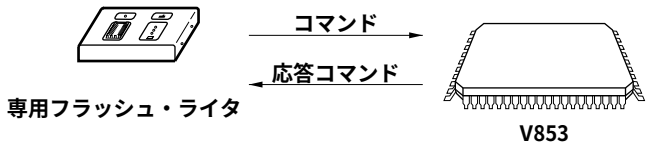
表14－2　通信方式一覧

V_{PP}パルス	通信方式	備　　考
0	CSI0	V853はスレーブ動作，MSBファースト
★ 3	CSI0＋HS	V853はスレーブ動作，MSBファースト
8	UART0	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU	設定禁止

注意　UART0選択時，受信クロックは，V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

14.6.4　通信コマンド

V853と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタからV853へ送られるコマンドを「コマンド」と呼び，V853から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。



V853のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，V853がコマンドに対応した各処理を行います。

分　類	コマンド名称	機　能
★ エリア・ベリファイ	エリア・ベリファイ・コマンド	指定したメモリ・エリアの内容と入力したデータと比較
★ エリア消去	エリア消去コマンド	指定したメモリ・エリアの内容を消去
★ エリア・ブランク・チェック	エリア・ブランク・チェック・コマンド	指定したメモリ・エリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行
システム設定，制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
★	消去時間設定コマンド	エリア消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ボー・レート設定コマンド	UART0使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また，専用フラッシュ・ライタから発行されたコマンドに対して，V853は応答コマンドを返します。V853が送出する応答コマンドを次に示します。

応答コマンド名称	機　　能
ACK（アクノリッジ）	コマンド／データなどのアクノリッジ
NAK（ノット・アクノリッジ）	不正なコマンド／データなどのアクノリッジ

14.6.5　使用する資源

フラッシュ・メモリ・プログラミング・モード設定により，使用する資源は，内蔵RAMのFFE000H-FFE7FFH以外の領域とすべてのレジスタです。内蔵RAMのFEE800H-FFEFFFH領域は，電源をオフにしないかぎりデータを保持しています。なお，リセットにより初期化されるレジスタは，初期値に変更します。

付録A　レジスタ索引

(1/4)

略　号	名　　称	ユニット	ページ
ADCR0	A/D変換結果レジスタ０	ADC	227
ADCR0H	A/D変換結果レジスタ0H	ADC	227
ADCR1	A/D変換結果レジスタ１	ADC	227
ADCR1H	A/D変換結果レジスタ1H	ADC	227
ADCR2	A/D変換結果レジスタ２	ADC	227
ADCR2H	A/D変換結果レジスタ2H	ADC	227
ADCR3	A/D変換結果レジスタ３	ADC	227
ADCR3H	A/D変換結果レジスタ3H	ADC	227
ADCR4	A/D変換結果レジスタ４	ADC	227
ADCR4H	A/D変換結果レジスタ4H	ADC	227
ADCR5	A/D変換結果レジスタ５	ADC	227
ADCR5H	A/D変換結果レジスタ5H	ADC	227
ADCR6	A/D変換結果レジスタ６	ADC	227
ADCR6H	A/D変換結果レジスタ6H	ADC	227
ADCR7	A/D変換結果レジスタ７	ADC	227
ADCR7H	A/D変換結果レジスタ7H	ADC	227
ADIC	割り込み制御レジスタ	INTC	118
ADM0	A/Dコンバータ・モード・レジスタ０	ADC	224
ADM1	A/Dコンバータ・モード・レジスタ１	ADC	226
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART	192
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART	192
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART	192
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART	192
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０	UART	196
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ１	UART	196
BCC	バス・サイクル・コントロール・レジスタ	BCU	90
BPRM0	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ０	BRG	220
BPRM1	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ１	BRG	220
BPRM2	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ２	BRG	220
BRGC0	ボー・レート・ジェネレータ・コンペア・レジスタ０	BRG	219
BRGC1	ボー・レート・ジェネレータ・コンペア・レジスタ１	BRG	219
BRGC2	ボー・レート・ジェネレータ・コンペア・レジスタ２	BRG	219
CC110	キャプチャ／コンペア・レジスタ110	RPU	156
CC111	キャプチャ／コンペア・レジスタ111	RPU	156
CC112	キャプチャ／コンペア・レジスタ112	RPU	156
CC113	キャプチャ／コンペア・レジスタ113	RPU	156
CC120	キャプチャ／コンペア・レジスタ120	RPU	156
CC121	キャプチャ／コンペア・レジスタ121	RPU	156
CC122	キャプチャ／コンペア・レジスタ122	RPU	156
CC123	キャプチャ／コンペア・レジスタ123	RPU	156
CC130	キャプチャ／コンペア・レジスタ130	RPU	156

(2/4)

略　　号	名　　称	ユニット	ページ
CC131	キャプチャ／コンペア・レジスタ131	RPU	156
CC132	キャプチャ／コンペア・レジスタ132	RPU	156
CC133	キャプチャ／コンペア・レジスタ133	RPU	156
CC140	キャプチャ／コンペア・レジスタ140	RPU	156
CC141	キャプチャ／コンペア・レジスタ141	RPU	156
CC142	キャプチャ／コンペア・レジスタ142	RPU	156
CC143	キャプチャ／コンペア・レジスタ143	RPU	156
CKC	クロック・コントロール・レジスタ	CG	135
CM4	コンペア・レジスタ４	RPU	157
CMIC4	割り込み制御レジスタ	INTC	118
CSIC0	割り込み制御レジスタ	INTC	118
CSIC1	割り込み制御レジスタ	INTC	118
CSIC2	割り込み制御レジスタ	INTC	118
CSIC3	割り込み制御レジスタ	INTC	118
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ０	CSI	206
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ１	CSI	206
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ２	CSI	206
CSIM3	クロック同期式シリアル・インタフェース・モード・レジスタ３	CSI	206
DACS0	D/Aコンバータ変換値設定レジスタ０	DAC	256
DACS1	D/Aコンバータ変換値設定レジスタ１	DAC	256
DAM	D/Aコンバータ・モード・レジスタ	DAC	256
DWC	データ・ウエイト・コントロール・レジスタ	BCU	88
ECR	割り込み要因レジスタ	CPU	53
EIPC	割り込み時状態退避レジスタ	CPU	53
EIPSW	割り込み時状態退避レジスタ	CPU	53
FEPC	NMI時状態退避レジスタ	CPU	53
FEPSW	NMI時状態退避レジスタ	CPU	53
INTM0	外部割り込みモード・レジスタ０	INTC	108
INTM1	外部割り込みモード・レジスタ１	INTC	121
INTM2	外部割り込みモード・レジスタ２	INTC	121
INTM3	外部割り込みモード・レジスタ３	INTC	121
INTM4	外部割り込みモード・レジスタ４	INTC	121
ISPR	インサービス・プライオリティ・レジスタ	INTC	122
MM	メモリ拡張モード・レジスタ	ポート	70
OVIC11	割り込み制御レジスタ	INTC	118
OVIC12	割り込み制御レジスタ	INTC	118
OVIC13	割り込み制御レジスタ	INTC	118
OVIC14	割り込み制御レジスタ	INTC	118
P0	ポート０	ポート	269
P1	ポート１	ポート	273
P2	ポート２	ポート	279
P3	ポート３	ポート	284
P4	ポート４	ポート	290
P5	ポート５	ポート	292
P6	ポート６	ポート	294
P7	ポート７	ポート	296

(3/4)

略　　号	名　　称	ユニット	ページ
P9	ポート９	ポート	297
P11	ポート11	ポート	300
P11IC0	割り込み制御レジスタ	INTC	118
P11IC1	割り込み制御レジスタ	INTC	118
P11IC2	割り込み制御レジスタ	INTC	118
P11IC3	割り込み制御レジスタ	INTC	118
P12IC0	割り込み制御レジスタ	INTC	118
P12IC1	割り込み制御レジスタ	INTC	118
P12IC2	割り込み制御レジスタ	INTC	118
P12IC3	割り込み制御レジスタ	INTC	118
P13IC0	割り込み制御レジスタ	INTC	118
P13IC1	割り込み制御レジスタ	INTC	118
P13IC2	割り込み制御レジスタ	INTC	118
P13IC3	割り込み制御レジスタ	INTC	118
P14IC0	割り込み制御レジスタ	INTC	118
P14IC1	割り込み制御レジスタ	INTC	118
P14IC2	割り込み制御レジスタ	INTC	118
P14IC3	割り込み制御レジスタ	INTC	118
PCM	ポート・コントロール・モード・レジスタ	ポート	304
PM0	ポート０モード・レジスタ	ポート	271
PM1	ポート１モード・レジスタ	ポート	276
PM2	ポート２モード・レジスタ	ポート	282
PM3	ポート３モード・レジスタ	ポート	287
PM4	ポート４モード・レジスタ	ポート	291
PM5	ポート５モード・レジスタ	ポート	293
PM6	ポート６モード・レジスタ	ポート	295
PM9	ポート９モード・レジスタ	ポート	299
PM11	ポート11モード・レジスタ	ポート	302
PMC0	ポート０モード・コントロール・レジスタ	ポート	272
PMC1	ポート１モード・コントロール・レジスタ	ポート	277
PMC2	ポート２モード・コントロール・レジスタ	ポート	283
PMC3	ポート３モード・コントロール・レジスタ	ポート	288
PMC11	ポート11モード・コントロール・レジスタ	ポート	303
PRCMD	コマンド・レジスタ	CG	82
PSC	パワー・セーブ・コントロール・レジスタ	CG	140
PSW	プログラム・ステータス・ワード	CPU	54
PUO	プルアップ抵抗オプション・レジスタ	ポート	306
PWM0	PWMバッファ・レジスタ０（12ビット）	PWM	261
PWM0L	PWMバッファ・レジスタ0L（下位８ビット）	PWM	261
PWM1	PWMバッファ・レジスタ１（12ビット）	PWM	261
PWM1L	PWMバッファ・レジスタ1L（下位８ビット）	PWM	261
PWMC	PWMコントロール・レジスタ	PWM	259
PWPR	PWMプリスケーラ・レジスタ	PWM	260
RXB0	受信バッファ０	UART	197
RXB0L	受信バッファ0L	UART	197
RXB1	受信バッファ１	UART	197

(4/4)

略　　号	名　　称	ユニット	ページ
RXB1L	受信バッファ1L	UART	197
SEIC0	割り込み制御レジスタ	INTC	118
SEIC1	割り込み制御レジスタ	INTC	118
SIO0	シリアルI/Oシフト・レジスタ０	CSI	207
SIO1	シリアルI/Oシフト・レジスタ１	CSI	207
SIO2	シリアルI/Oシフト・レジスタ２	CSI	207
SIO3	シリアルI/Oシフト・レジスタ３	CSI	207
SRIC0	割り込み制御レジスタ	INTC	118
SRIC1	割り込み制御レジスタ	INTC	118
STIC0	割り込み制御レジスタ	INTC	118
STIC1	割り込み制御レジスタ	INTC	118
SYS	システム・ステータス・レジスタ	CG	83, 137
TM11	タイマ11	RPU	155
TM12	タイマ12	RPU	155
TM13	タイマ13	RPU	155
TM14	タイマ14	RPU	155
TM4	タイマ４	RPU	157
TMC11	タイマ・コントロール・レジスタ11	RPU	161
TMC12	タイマ・コントロール・レジスタ12	RPU	161
TMC13	タイマ・コントロール・レジスタ13	RPU	161
TMC14	タイマ・コントロール・レジスタ14	RPU	161
TMC4	タイマ・コントロール・レジスタ４	RPU	163
TOC11	タイマ出力コントロール・レジスタ11	RPU	164
TOC12	タイマ出力コントロール・レジスタ12	RPU	164
TOC13	タイマ出力コントロール・レジスタ13	RPU	164
TOC14	タイマ出力コントロール・レジスタ14	RPU	164
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	165
TUM11	タイマ・ユニット・モード・レジスタ11	RPU	158
TUM12	タイマ・ユニット・モード・レジスタ12	RPU	158
TUM13	タイマ・ユニット・モード・レジスタ13	RPU	158
TUM14	タイマ・ユニット・モード・レジスタ14	RPU	158
TXS0	送信シフト・レジスタ０	UART	198
TXS0L	送信シフト・レジスタ0L	UART	198
TXS1	送信シフト・レジスタ１（９ビット）	UART	198
TXS1L	送信シフト・レジスタ1L（下位８ビット）	UART	198

付録B　命令セット一覧

凡　例

（1）オペランド記述に使われる略号

略　号	説　明
reg1	汎用レジスタ（r0-r31）：ソース・レジスタとして使用する。
reg2	汎用レジスタ（r0-r31）：おもにデスティネーション・レジスタとして使用する。
imm×	×ビット・イミーディエト
disp×	×ビット・ディスプレースメント
regID	システム・レジスタ番号
bit#3	ビット・ナンバ指定用３ビット・データ
ep	エレメント・ポインタ（r30）
cccc	条件コードを示す４ビット・データ
vector	トラップ・ベクタ（00H-1FH）を指定する５ビット・データ

（2）オペコードに使われる略号

略　号	意　味
R	reg1またはregIDを指定するコードの１ビット分データ
r	reg2を指定するコードの１ビット分データ
d	ディスプレースメントの１ビット分データ
i	イミーディエトの１ビット分データ
cccc	条件コードを示す４ビット・データ
bbb	ビット・ナンバ指定３ビット・データ

（3）オペレーションに使われる略号（1/2）

略　号	説　明
←	代入
GR［　］	汎用レジスタ
SR［　］	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a,b）	アドレスaから，サイズbのデータを読み出す。
store-memory（a,b,c）	アドレスaにデータbをサイズcで書き込む。
load-memory-bit（a,b）	アドレスaのビットbを読み出す。
store-memory-bit（a,b,c）	アドレスaのビットbにcを書き込む。
saturated（n）	nの飽和処理を行う（nは２の補数）。 nが計算の結果， n≧7FFFFFFFHとなった場合，7FFFFFFFHとする。 n≦80000000Hとなった場合，80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（８ビット）
Halfword	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算

（3）オペレーションに使われる略号（2/2）

略　　号	説　　明
ll	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

（4）実行クロックに使われる略号

略　号	説　　明
i：issue	命令実行直後にほかの命令を実行する場合
r：repeat	命令実行直後に同一命令を実行する場合
l：latency	命令実行結果を直後の命令で引用する場合

（5）フラグの動作に使われる略号

識別子	説　　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

条件コード

条件名 （cond）	条件コード （cccc）	条件式	説　　明
V	0 0 0 0	OV = 1	Overflow
NV	1 0 0 0	OV = 0	No overflow
C/L	0 0 0 1	CY = 1	Carry Lower（Less than）
NC/NL	1 0 0 1	CY = 0	No carry No lower（Greater than or equal）
Z/E	0 0 1 0	Z = 1	Zero Equal
NZ/NE	1 0 1 0	Z = 0	Not zero Not equal
NH	0 0 1 1	（CY or Z）= 1	Not higher（Less than or equal）
H	1 0 1 1	（CY or Z）= 0	Higher（Greater than）
N	0 1 0 0	S = 1	Negative
P	1 1 0 0	S = 0	Positive
T	0 1 0 1	－	Always（無条件）
SA	1 1 0 1	SAT = 1	Saturated
LT	0 1 1 0	（S xor OV）= 1	Less than signed
GE	1 1 1 0	（S xor OV）= 0	Greater than or equal signed
LE	0 1 1 1	（（S xor OV）or Z）= 1	Less than or equal signed
GT	1 1 1 1	（（S xor OV）or Z）= 0	Greater than signed

インストラクション・セット（アルファベット順）（1/4）

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1,reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010010iiiiii	GR[reg2]←GR[reg2]＋sign-extend(imm5)		1	1	1	×	×	×	×	
ADDI	imm16,reg1,reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend(imm16)		1	1	1	×	×	×	×	
AND	reg1,reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2]AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16,reg1,reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]AND zero-extend(imm16)		1	1	1		0	0	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied	条件成立時	3	3	3					
			then PC←PC＋sign-extend(disp9)	条件不成立時	1	1	1					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,0)		4	4	4				×	
CMP	reg1,reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010011iiiiii	result←GR[reg2]－sign-extend(imm5)		1	1	1	×	×	×	×	
DI		0000011111100000 0000000101100000	PSW.ID←1 (マスカブル割り込みの禁止)		1	1	1					
DIVH	reg1,reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注2(符号付き除算)		36	36	36		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0 (マスカブル割り込みの許可)		1	1	1					
HALT		0000011111100000 0000000100100000	停止する		1	1	1					
JARL	disp22,reg2	rrrrr11110ddddd dddddddddddddd0 注3	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)		3	3	3					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]		3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注3	PC←PC＋sign-extend(disp22)		3	3	3					
LD.B	disp16[reg1],reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←sign-extend(Load-memory(adr,Byte))		1	1	2					
LD.H	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd0 注4	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←sign-extend(Load-memory(adr,Halfword))		1	1	2					
LD.W	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd1 注4	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←Load-memory(adr,Word)		1	1	2					

注1．ddddddddはdisp9の上位８ビットです。

2．下位ハーフワード・データのみ有効

3．dddddddddddddddddddddddはdisp22の上位21ビットです。

4．ddddddddddddddはdisp16の上位15ビットです。

インストラクション・セット（アルファベット順）（2/4）

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
LDSR	reg2,regID	rrrrr111111RRRRR	SR[regID]←GR[reg2]	regID=EIPC, FEPC	1	1	3					
		0000000000100000		regID=EIPSW, FEPSW			1					
		注1		regID=PSW			1	×	×	×	×	×
MOV	reg1,reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]		1	1	1					
	imm5,reg2	rrrrr010000iiiiii	GR[reg2]←sign-extend(imm5)		1	1	1					
MOVEA	imm16,reg1,reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend(imm16)		1	1	1					
MOVHI	imm16,reg1,reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16‖0^{16})		1	1	1					
MULH	reg1,reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注2×GR[reg1]注2 (符号付き乗算)		1	1	2					
	imm5,reg2	rrrrr010111iiiiii	GR[reg2]←GR[reg2]注2×sign-extend(imm5) (符号付き乗算)		1	1	2					
MULHI	imm16,reg1,reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注2×imm16 (符号付き乗算)		1	1	2					
NOP		0000000000000000	何もせず最低１クロック費やします		1	1	1					
NOT	reg1,reg2	rrrrr000001RRRRR	GR[reg2]←NOT(GR[reg1])		1	1	1		0	×	×	
NOT1	bit#3,disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,Zフラグ)		4	4	4				×	
OR	reg1,reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2]OR GR[reg1]		1	1	1		0	×	×	
ORI	imm16,reg1,reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]OR zero-extend(imm16)		1	1	1		0	×	×	
RETI		0000011111100000 0000000101000000	if PSW.EP=1 then PC ←EIPC PSW ←EIPSW else if PSW.NP=1 then PC ←FEPC PSW←FEPSW else PC ←EIPC PSW←EIPSW		4	4	4	R	R	R	R	R
SAR	reg1,reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2]arithmetically shift right by GR[reg1]		1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010101iiiiii	GR[reg2]←GR[reg2]arithmetically shift right by zero-extend(imm5)		1	1	1	×	0	×	×	

注１．この命令では，ニモニックの記述の都合上，ソース・レジスタをreg2としていますが，オペコード上はreg1のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr＝regID指定

RRRRR＝reg2指定

２．下位ハーフワード・データのみ有効

インストラクション・セット（アルファベット順）（3/4）

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SATADD	reg1,reg2	rrrrr000110RRRRR	GR[reg2]←saturated(GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5,reg2	rrrrr010001iiiiii	GR[reg2]←saturated(GR[reg2]＋sign-extend(imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1,reg2	rrrrr000101RRRRR	GR[reg2]←saturated(GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16,reg1,reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiiii	GR[reg2]←saturated(GR[reg1]－sign-extend(imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1,reg2	rrrrr000100RRRRR	GR[reg2]←saturated(GR[reg1]－GR[reg2]))	1	1	1	×	×	×	×	×
SETF	cccc,reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]←00000001H else GR[reg2]←00000000H	1	1	1					
SET1	bit#3,disp16[reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,1)	4	4	4				×	
SHL	reg1,reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2]　logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010110iiiiii	GR[reg2]←GR[reg2]　logically shift left by zero-extend(imm5)	1	1	1	×	0	×	×	
SHR	reg1,reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2]　logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010100iiiiii	GR[reg2]←GR[reg2]　logically shift right by zero-extend(imm5)	1	1	1	×	0	×	×	
SLD.B	disp7[ep],reg2	rrrrr0110ddddddd	adr←ep＋zero-extend(disp7) GR[reg2]←sign-extend(Load-memory(adr,Byte))	1	1	2					
SLD.H	disp8[ep],reg2	rrrrr1000ddddddd 注1	adr←ep＋zero-extend(disp8) GR[reg2]←sign-extend(Load-memory(adr,Halfword))	1	1	2					
SLD.W	disp8[ep],reg2	rrrrr1010ddddddd0 注2	adr←ep＋zero-extend(disp8) GR[reg2]←Load-memory(adr,Word)	1	1	2					
SST.B	reg2,disp7[ep]	rrrrr0111ddddddd	adr←ep＋zero-extend(disp7) Store-memory(adr,GR[reg2],Byte)	1	1	1					
SST.H	reg2,disp8[ep]	rrrrr1001ddddddd 注1	adr←ep＋zero-extend(disp8) Store-memory(adr,GR[reg2],Halfword)	1	1	1					
SST.W	reg2,disp8[ep]	rrrrr1010ddddddd1 注2	adr←ep＋zero-extend(disp8) Store-memory(adr,GR[reg2],Word)	1	1	1					
ST.B	reg2,disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Store-memory(adr,GR[reg2],Byte)	1	1	1					

注1．dddddddはdisp8の上位７ビットです。

2．ddddddはdisp8の上位６ビットです。

インストラクション・セット（アルファベット順）（4/4）

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ST.H	reg2,disp16［reg1］	rrrrr111011RRRRR ddddddddddddddd0 注	adr←GR［reg1］＋sign-extend（disp16） Store-memory（adr,GR［reg2］,Halfword）	1	1	1					
ST.W	reg2,disp16［reg1］	rrrrr111011RRRRR ddddddddddddddd1 注	adr←GR［reg1］＋sign-extend（disp16） Store-memory（adr,GR［reg2］,Word）	1	1	1					
STSR	regID,reg2	rrrrr111111RRRRR 0000000001000000	GR［reg2］←SR［regID］	1	1	1					
SUB	reg1,reg2	rrrrr001101RRRRR	GR［reg2］←GR［reg2］－GR［reg1］	1	1	1	×	×	×	×	
SUBR	reg1,reg2	rrrrr001100RRRRR	GR［reg2］←GR［reg1］－GR［reg2］	1	1	1	×	×	×	×	
TRAP	vector	00000111111iiiiii 0000000100000000	EIPC　　←PC＋4（復帰PC） EIPSW　　←PSW ECR.EICC ←割り込みコード PSW.EP　←1 PSW.ID　←1 PC　　←00000040H（vectorが00H-0FHのとき） 　　00000050H（vectorが10H-1FHのとき）	4	4	4					
TST	reg1,reg2	rrrrr001011RRRRR	result←GR［reg2］　AND GR［reg1］	1	1	1		0	×	×	
TST1	bit#3,disp16［reg1］	11bbb111110RRRRR dddddddddddddddd	adr←GR［reg1］＋sign-extend（disp16） Zフラグ←Not（Load-memory-bit（adr,bit#3））	3	3	3				×	
XOR	reg1,reg2	rrrrr001001RRRRR	GR［reg2］←GR［reg2］　XOR GR［reg1］	1	1	1		0	×	×	
XORI	imm16,reg1,reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiiii	GR［reg2］←GR［reg1］　XOR zero-extend（imm16）	1	1	1		0	×	×	

注　ddddddddddddddd はdisp16の上位15ビットです。

付録C　総合索引

C.1　50音で始まる語句の索引

【あ行】

アイドル・ステート挿入機能　…　90
アシンクロナス・シリアル・インタフェース　…　189
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０，１　…　196
アシンクロナス・シリアル・インタフェース・モード・レジスタ00, 01, 10, 11　…　192
アセンブラ予約レジスタ　…　52
アドレス空間　…　57, 71
アドレス／データ変数用レジスタ　…　52
イニシャライズ　…　309
インサービス・プライオリティ・レジスタ　…　122
インターバル・タイマ　…　178
ウエイト機能　…　88
ウエイト挿入例　…　89
エッジ検出機能　…　121
エレメント・ポインタ　…　52
応用分野　…　24
オーダ情報　…　24
オーバフロー（タイマ１）　…　168
オーバフロー（タイマ４）　…　175
オフボード・プログラミング　…　311
オンボード・プログラミング　…　311

【か行】

外部ウエイト機能　…　89
外部拡張モード　…　69
外部トリガ・モード　…　230, 246
外部メモリ領域　…　68
外部割り込みモード・レジスタ０　…　108
外部割り込みモード・レジスタ1-4　…　121, 164
カウント・クロック選択（タイマ１）　…　167
カウント・クロック選択（タイマ４）　…　175
カウント動作（タイマ１）　…　166
カウント動作（タイマ４）　…　175
機能ブロック構成　…　27
キャプチャ／コンペア・レジスタ1n0-1n3（n = 1-4）　…　156
キャプチャ動作（タイマ１）　…　170
境界動作条件　…　100
グローバル・ポインタ　…　52
クロック・コントロール・レジスタ　…　135
クロック・ジェネレータ　…　28
クロック出力インヒビット　…　138, 151
クロック出力制御　…　151
クロック同期式シリアル・インタフェース　…　204
クロック同期式シリアル・インタフェース・モード・レジスタ0-3　…　206
クロック発生機能　…　133
コマンド・レジスタ　…　82
コンペア動作（タイマ１）　…　173
コンペア動作（タイマ４）　…　176
コンペア・レジスタ４　…　157

【さ行】

サンプリング時間　…　254
システム・ステータス・レジスタ　…　83
システム・レジスタ・セット　…　53
周期測定　…　184
周辺I/O領域　…　67
周辺I/Oレジスタ　…　76
受信エラー割り込み　…　199
受信完了割り込み　…　199
受信バッファ0, 0L, 1, 1L　…　197
状態遷移図　…　139
シリアルI/Oシフト・レジスタ0-3　…　207
シリアル・インタフェース　…　29
シリアル・インタフェース機能　…　188
シングルチップ・モード　…　56
スキャン・モード　…　236, 242, 248
スタック・ポインタ　…　52
セレクト・モード　…　234, 238, 246

ゼロスケール誤差　…　253
ゼロ・レジスタ　…　52
総合誤差　…　252
送信完了割り込み　…　199
送信シフト・レジスタ0, 0L, 1, 1L　…　198
ソフトウエアSTOPモード　…　145
ソフトウエア例外　…　123

【た行】

タイマ１　…　155
タイマ11-タイマ14　…　155
タイマ１動作　…　166
タイマ４　…　157
タイマ４動作　…　175
タイマ・オーバフロー・ステータス・レジスタ　…　165
タイマ／カウンタ機能　…　152
タイマ・コントロール・レジスタ11-14　…　161
タイマ・コントロール・レジスタ４　…　163
タイマ出力コントロール・レジスタ11-14　…　164
タイマ・トリガ・モード　…　229, 237
タイマのクリア／スタート（タイマ１）　…　169
タイマ・ユニット・モード・レジスタ11-14　…　158
タイム・ベース・カウンタ　…　149
多重割り込み　…　128
端子機能　…　31, 36
端子状態　…　35
端子接続図　…　25
端子の入出力回路　…　49
端子の入出力回路タイプ　…　47
端子の未使用時の処理　…　47
注意事項（A/Dコンバータ）　…　251
注意事項（タイマ／カウンタ機能）　…　186
注意事項（パワー・セーブ機能）　…　147
通常動作モード　…　56
データ・ウエイト・コントロール・レジスタ　…　88
データ空間　…　59, 71, 100
テキスト・ポインタ　…　52
動作モード　…　56
動作モード指定　…　56
特定レジスタ　…　80

【な行】

内蔵RAM領域　…　66
内蔵ROM領域　…　62
内蔵周辺I/Oインタフェース　…　101
内蔵ブロック図　…　27
内部ユニット　…　28
入力クロック選択　…　134
ノイズ除去回路　…　120
ノンマスカブル割り込み　…　104
ノンマスカブル割り込みステータス・フラグ　…　108

【は行】

ハーフワード・アクセス　…　85
バイト・アクセス　…　85
バス・アクセス　…　85
バス・コントロール・ユニット　…　28
バス・サイクル・コントロール・レジスタ　…　90
バス制御機能　…　84
バス制御端子　…　84
バス・タイミング　…　93
バスの優先順位　…　100
バス幅　…　85
バス・ホールド　…　91, 99
発振安定時間の確保　…　148
パルス幅測定　…　179
パワー・セーブ・コントロール・レジスタ　…　140
パワー・セーブ制御　…　138
パワー・セーブ・モード時の動作　…　92
汎用レジスタ　…　52
非直線性誤差　…　253
不正命令コード　…　125
フラッシュ・メモリ　…　311
フラッシュ・メモリ・プログラミング・モード　…　56
プルアップ抵抗オプション・レジスタ　…　306
フルスケール誤差　…　253
プログラマブル・ウエイト機能　…　88
プログラム・カウンタ　…　52
プログラム空間　…　59, 71, 100
プログラム・ステータス・ワード　…　54
プログラム・レジスタ・セット　…　52

分解能　…　252
変換時間　…　254
ポート　…　264
ポート０　…　269
ポート０モード・コントロール・レジスタ　…　272
ポート０モード・レジスタ　…　271
ポート１　…　273
ポート11　…　300
ポート11モード・コントロール・レジスタ　…　303
ポート11モード・レジスタ　…　302
ポート１モード・コントロール・レジスタ　…　277
ポート１モード・レジスタ　…　276
ポート２　…　279
ポート２モード・コントロール・レジスタ　…　283
ポート２モード・レジスタ　…　282
ポート３　…　284
ポート３モード・コントロール・レジスタ　…　288
ポート３モード・レジスタ　…　287
ポート４　…　290
ポート４モード・レジスタ　…　291
ポート５　…　292
ポート５モード・レジスタ　…　293
ポート６　…　294
ポート６モード・レジスタ　…　295
ポート７　…　296
ポート９　…　297
ポート９モード・レジスタ　…　299
ポート機能　…　264
ポート・コントロール・モード・レジスタ　…　304
ボー・レート・ジェネレータ0-2　…　215
ボー・レート・ジェネレータ0-2設定データ　…　217
ボー・レート・ジェネレータ・コンペア・レジスタ0-2　…　219
ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ0-2　…　220

【ま行】

マスカブル割り込み　…　109
マスカブル割り込みステータス・フラグ　…　122
命令セット一覧　…　327
メモリ拡張モード・レジスタ　…　70
メモリ・ブロック機能　…　87
メモリ・マップ　…　60
メモリ・ライト　…　97
メモリ・リード　…　93

【ら行】

ラップ・アラウンド　…　59, 72
リアルタイム・パルス・ユニット　…　28, 152
リセット機能　…　307
量子化誤差　…　252
リンク・ポインタ　…　52
例外処理機能　…　102
例外ステータス・フラグ　…　125
例外テーブル　…　65
例外トラップ　…　125
レジスタのリセット後の初期値　…　309

【わ行】

ワード・アクセス　…　86
割り込み一覧　…　103
割り込み応答時間　…　130
割り込みが受け付けられない期間　…　131
割り込みコントローラ　…　28
割り込み時状態退避レジスタ　…　53
割り込み処理機能　…　102
割り込み制御レジスタ　…　118
割り込みテーブル　…　65
割り込み要因レジスタ　…　53

C.2　アルファベットで始まる語句の索引

【A】

A16-A19 … 41
AD0-AD7 … 40
AD8-AD15 … 40
ADC … 29
ADCR0-ADCR7 … 227
ADCR0H-ADCR7H … 227
ADIC … 118, 119
ADIF … 118, 119
ADM0 … 224
ADM1 … 226
ADMK … 118, 119
ADPR0-ADPR2 … 118, 119
ADTRG … 36
A/Dコンバータ … 29, 221
A/Dコンバータ・モード・レジスタ0 … 224
A/Dコンバータ・モード・レジスタ1 … 226
A/Dトリガ・モード … 229, 234
A/D変換結果レジスタ … 227
ALV0, ALV1 … 259
ALV1n0, ALV1n1（n = 1-4） … 164
ANI0-ANI7 … 41
ANIS0-ANIS2 … 225
ANO0, ANO1 … 45
ASIM00, ASIM01, ASIM10, ASIM11 … 192
ASIS0, ASIS1 … 196
ASTB … 43
AV_{DD} … 45
AV_{REF1}-AV_{REF3} … 45
AV_{SS} … 45

【B】

BCC … 90
BCn1（n = 0-7） … 90
BCU … 28
BPRM0-BPRM2 … 220
BPRn0-BPRn2（n = 0-2） … 220
BRCE0-BRCE2 … 220
BRG … 215
BRGC0-BRGC2 … 219
BRGn0-BRGn7（n = 0-2） … 219
BS … 224

【C】

CC1n0-CC1n3（n = 1-4） … 156
CE … 224
CE4 … 163
CE11-CE14 … 161
CES1n0, CES1n1（n = 1-4） … 159
CESEL … 140
CG … 28
CKC … 135
CKDIV0, CKDIV1 … 135
$\overline{CKSEL}$ … 45
CL0, CL1 … 193
CLKOUT … 44
CLSn0, CLSn1（n = 0-3） … 207
CM4 … 157
CMIC4 … 118, 119
CMIF4 … 118, 119
CMMK4 … 118, 119
CMPR40-CMPR42 … 118, 119
CMS1n0-CMS1n3（n = 1-4） … 159
CPU … 28
CPUアドレス空間 … 57, 59
CPU機能 … 50
CPUレジスタ・セット … 51
CRXE0-CRXE3 … 206
CS … 224
CSI … 204
CSIC0-CSIC3 … 118, 119
CSIF0-CSIF3 … 118, 119
CSIM0-CSIM3 … 206
CSMK0-CSMK3 … 118, 119
CSOT0-CSOT3 … 206
CSPRmn（m = 0-3, n = 0-2） … 118, 119
CTXE0-CTXE3 … 206
CV_{DD} … 45
CV_{SS} … 45

CY … 54

【D】

DAC … 29
DACE0, DACE1 … 256
DACS0, DACS1 … 256
DAM … 256
DAn0-DAn7（n = 0, 1） … 256
D/Aコンバータ … 29, 255
D/Aコンバータ・モード・レジスタ … 256
D/A変換値設定レジスタ … 256
DCLK0, DCLK1 … 140
$\overline{\text{DSTB}}$ … 43
DWC … 88
DWn0, DWn1（n = 0-7） … 88

【E】

EBS0, EBS1 … 195
ECLR11-ECLR14 … 158
ECR … 53
EICC … 53
EIPC … 53
EIPSW … 53
ENTO1n0, ENTO1n1（n = 1-4） … 164
EP … 54, 125
ESN0 … 108
ESn0, ESn1（n = 00-03, 10-13, 20-23, 30-33）
… 121
ETI11-ETI14 … 161

【F】

FE0, FE1 … 196
FECC … 53
FEPC … 53
FEPSW … 53
FR0-FR2 … 226

【H】

HALTモード … 141
$\overline{\text{HLDAK}}$ … 43
$\overline{\text{HLDRQ}}$ … 43

【I】

IC … 46
ID … 54, 122
IDLE … 140
IDLEモード … 143
ILGOP … 103
IMS1n0-IMS1n3（n = 1-4） … 159
INTAD … 103
INTC … 28
INTCM4 … 103
INTCSI0-INTCSI3 … 103
INTM0 … 108
INTM1-INTM4 … 121, 164
INTOV11-INTOV14 … 103
INTP110-INTP113 … 36
INTP120-INTP123 … 37
INTP130-INTP133 … 39
INTP140-INTP143 … 44
INTP1mn/INTCC1mn（m = 1-4, n = 0-3） … 103
INTSER0, INTSER1 … 103, 199
INTSR0, INTSR1 … 103, 199
INTST0, INTST1 … 103, 199
ISPR … 122
ISPR0-ISPR7 … 122

【L】

$\overline{\text{LBEN}}$ … 42

【M】

MM … 70
MM0-MM3 … 70
MOD0-MOD3 … 207
MODE … 44
MS … 224

【N】

NMI … 45, 103
NMI時状態退避レジスタ … 53
NMI端子のエッジ検出機能 … 108
NMI端子のノイズ除去 … 108
NP … 54, 108

【O】

OST1-OST4 … 158
OV … 54
OVE0, OVE1 … 196
OVFn（n = 4, 11-14） … 165
OVIC11-OVIC14 … 118, 119
OVIF11-OVIF14 … 118, 119
OVMK11-OVMK14 … 118, 119
OVPR1mn（m = 1-4, n = 0-2） … 118, 119

【P】

P0 … 269
P00-P07 … 36, 269
P1 … 273
P10-P17 … 37, 273
P11 … 300
P110-P117 … 44, 300
P11IC0-P11IC3 … 118, 119
P11IF0-P11IF3 … 118, 119
P11MK0-P11MK3 … 118, 119
P11PRmn（m = 0-3, n = 0-2） … 118, 119
P12IC0-P12IC3 … 118, 119
P12IF0-P12IF3 … 118, 119
P12MK0-P12MK3 … 118, 119
P12PRmn（m = 0-3, n = 0-2） … 118, 119
P13IC0-P13IC3 … 118, 119
P13IF0-P13IF3 … 118, 119
P13MK0-P13MK3 … 118, 119
P13PRmn（m = 0-3, n = 0-2） … 118, 119
P14IC0-P14IC3 … 118, 119
P14IF0-P14IF3 … 118, 119
P14MK0-P14MK3 … 118, 119
P14PRmn（m = 0-3, n = 0-2） … 118, 119
P2 … 279
P20-P27 … 38, 279
P3 … 284
P30-P37 … 39, 284
P4 … 290
P40-P47 … 40, 290
P5 … 292
P50-P57 … 40, 292
P6 … 294
P60-P63 … 41, 294
P7 … 296
P70-P77 … 41, 296
P9 … 297
P90-P96 … 42, 297
PC … 52
PCM … 304
PCM1, PCM3 … 304
PE0, PE1 … 196
PLLモード … 134
PLLロックアップ … 137
PM0 … 271
PM00-PM07 … 271
PM1 … 276
PM10-PM17 … 276
PM11 … 302
PM110-PM117 … 302
PM2 … 282
PM20-PM27 … 282
PM3 … 287
PM30-PM37 … 287
PM4 … 291
PM40-PM47 … 291
PM5 … 293
PM50-PM57 … 293
PM6 … 295
PM60-PM63 … 295
PM9 … 299
PM90-PM96 … 299
PMC0 … 272
PMC00-PMC07 … 272
PMC1 … 277
PMC10-PMC17 … 277
PMC11 … 303

PMC110-PMC117 … 303
PMC2 … 283
PMC20-PMC27 … 283
PMC3 … 288
PMC30-PMC37 … 288
PRCMD … 82
PRERR … 83, 137
PRM00, PRM01, PRM10, PRM11 … 259
PRM1n1（n = 1-4） … 162
PRM40, PRM41 … 163
PRS1n0, PRS1n1（n = 1-4） … 161
PRS40 … 163
PS00, PS01, PS10, PS11 … 193
PSC … 140
PSW … 54
PUO … 306
PUO3 … 306
PWM … 29
PWM0, PWM0L, PWM1, PWM1L … 261
PWM0, PWM1 … 38
PWM0-PWM11 … 261
PWMC … 259
PWME0, PWME1 … 259
PWMコントロール・レジスタ … 259
PWM出力 … 181
PWMバッファ・レジスタ … 261
PWMプリスケーラ・レジスタ … 260
PWMユニット … 258
PWPn0-PWPn2（n = 0, 1） … 260
PWPR … 260

【R】

r0-r31 … 52
RAM … 28
REG0-REG7 … 82
RESET … 103
$\overline{\text{RESET}}$ … 45
ROM … 28
RPU … 28
R/$\overline{\text{W}}$ … 42
RXB0, RXB0L, RXB1, RXB1L … 197
RXBn0-RXBn7（n = 0, 1） … 197
RXD0, RXD1 … 38
RXE0, RXE1 … 192
RXEB0, RXEB1 … 197

【S】

S … 54
SAT … 54
$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ … 38
$\overline{\text{SCK2}}$ … 37
$\overline{\text{SCK3}}$ … 39
SCLS0, SCLS1 … 194
SEIC0, SEIC1 … 118, 119
SEIF0, SEIF1 … 118, 119
SEMK0, SEMK1 … 118, 119
SEPRmn（m = 0, 1, n = 0-2） … 118, 119
SI0, SI1 … 38
SI2 … 37
SI3 … 39
SIO … 29
SIO0-SIO3 … 207
SIOn0-SIOn7（n = 0-3） … 207
SL0, SL1 … 194
SO0, SO1 … 38
SO2 … 37
SO3 … 39
SOT0, SOT1 … 196
SRIC0, SRIC1 … 118, 119
SRIF0, SRIF1 … 118, 119
SRMK0, SRMK1 … 118, 119
SRPRmn（m = 0, 1, n = 0-2） … 118, 119
STIC0, STIC1 … 118, 119
STIF0, STIF1 … 118, 119
STMK0, STMK1 … 118, 119
STP … 140
STPRmn（m = 0, 1, n = 0-2） … 118, 119
SYS … 83, 137

【T】

TBC … 149
TBCS … 140
TCLR11 … 36

TCLR12 … 37
TCLR13 … 39
TCLR14 … 44
TES1n0, TES1n1（n = 1-4） … 158
TI11 … 36
TI12 … 37
TI13 … 39
TI14 … 44
TM11-TM14 … 155
TM4 … 157
TMC11-TMC14 … 161
TMC4 … 163
TO110, TO111 … 36
TO120, TO121 … 37
TO130, TO131 … 39
TO140, TO141 … 44
TOC11-TOC14 … 164
TOVS … 165
TRAP0n, TRAP1n（n = 0-FH） … 103
TRG0-TRG2 … 226
TUM11-TUM14 … 158
TXD0, TXD1 … 38
TXE0, TXE1 … 192
TXED0, TXED1 … 198
TXS0, TXS0L, TXS1, TXS1L … 198
TXSn0-TXSn7（n = 0, 1） … 198

【U】

UART0, UART1 … 189
$\overline{\text{UBEN}}$ … 42
UNLOCK … 83, 137

【V】

V_{DD} … 45
V_{PP} … 46
V_{SS} … 45

【W】

$\overline{\text{WAIT}}$ … 44

【X】

X1, X2 … 45

【Z】

Z … 54

【その他】

100ピン・プラスチックLQFP … 24
１バッファ・モード … 231
４バッファ・モード … 232

〔メ　モ〕

お問い合わせ先

【技術的なお問い合わせ先】

ＮＥＣ半導体テクニカルホットライン
（電話：午前 9:00〜12:00，午後 1:00〜5:00）

電　話　：044−435−9494
FAX　：044−435−9608
E-mail　：info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部
東　京　(03)3798−6106, 6107, 6108
大　阪　(06)6945−3178, 3200, 3208, 3212
広　島　(082)242−5504
仙　台　(022)267−8740
郡　山　(024)923−5591
千　葉　(043)238−8116

第二販売事業部
東　京　(03)3798−6110, 6111, 6112
立　川　(042)526−5981, 6167
松　本　(0263)35−1662
静　岡　(054)254−4794
金　沢　(076)232−7303
松　山　(089)945−4149

第三販売事業部
東　京　(03)3798−6151, 6155, 6586, 1622, 1623, 6156
水　戸　(029)226−1702
前　橋　(027)243−6060
鳥　取　(0857)27−5313
太　田　(0276)46−4014
名古屋　(052)222−2170, 2190
福　岡　(092)261−2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロンデバイス　ホームページ】

NECエレクトロンデバイスの情報がインターネットでご覧になれます。　URL（アドレス）　http://www.ic.nec.co.jp/

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］V853　ユーザーズ・マニュアル　ハードウエア編
（U10913JJ6V0UM00（第６版））

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）　（　　）
ご住所　（　　）
お電話番号　（　　）
お仕事の内容　（　　）
お名前　（　　）

１．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（　　）					
（　　）					

２．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

３．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

４．ご意見，ご要望

５．このドキュメントをお届けしたのは
NEC販売員，特約店販売員，その他（　　）

ご協力ありがとうございました。
下記あてにFAXで送信いただくか，最寄りの販売員にコピーをお渡しください。

日本電気（株）NECエレクトロンデバイス
半導体テクニカルホットライン
FAX：（044）435-9608

2000.6

キリトリ