

μPD78F8040, 78F8041, 78F8042, 78F8043

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは μ PD78F8040, 78F8041, 78F8042, 78F8043の機能を理解し,その応用システムや応用プログラムを設計,開発するユーザのエンジニアを対象としています。

目的 このマニュアルは,次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD78F8040, 78F8041, 78F8042, 78F8043のマニュアルは,このマニュアルと命令編(78K0Rマイクロコントローラ共通)の2冊に分かれています。

μ PD78F8040, 78F8041, 78F8042, 78F8043 ユーザーズ・マニュアル	78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては,電気,論理回路,マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は,本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって,改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは,そのビット名称がRA78K0Rでは予約語に,CC78K0Rでは#pragma sfr指令で,sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編(U17792J)を参照してください。

凡 例

データ表記の重み	: 左が上位桁,右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子,信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxx または xxx B 10進数... xxx 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD78F8040, 78F8041, 78F8042, 78F8043 ユーザーズ・マニュアル	このマニュアル	U19680E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	U17792J	U17792E
78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル ^注	U19193J	U19193E

注 この資料は技術管理です。当社販売員にお問い合わせください。

開発ツールの資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18010J	U18010E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
QB-78K0RKX3C インサーキット・エミュレータ	U19324J	U19324E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホームページ参照

和文：<http://www2.renesas.com/pkg/ja/jissou/index.html>

英文：<http://www2.renesas.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目次

第1章 概 説 ... 1

- 1.1 特 徴 ... 1
- 1.2 応用分野 ... 2
- 1.3 オーダ情報 ... 2
- 1.4 端子接続図 ... 3
- 1.5 構 成 ... 6
- 1.6 ブロック図 ... 7
- 1.7 機能概要 ... 8

第2章 MCUとIO-Linkトランシーバの接続 ... 10

- 2.1 MCUとIO-Linkトランシーバの接続端子 ... 10
- 2.2 MCUの未使用内部端子の初期設定 ... 11
- 2.3 MCUとIO-Linkトランシーバの電源構成 ... 12
 - 2.3.1 外部から電源を供給する場合 ... 12
 - 2.3.2 IO-Linkトランシーバ内蔵レギュレータを使用する場合 ... 13

第3章 端子機能 ... 14

- 3.1 端子機能一覧 ... 14
- 3.2 端子機能の説明 ... 18
 - 3.2.1 P05 (Port 0) ... 18
 - 3.2.2 P11, P13, P14, P16, P17 (Port 1) ... 18
 - 3.2.3 P26, P27 (Port 2) ... 19
 - 3.2.4 P31 (Port 3) ... 19
 - 3.2.5 P40, P41 (Port 4) ... 20
 - 3.2.6 P50, P51 (Port 5) ... 21
 - 3.2.7 P60, P61, P65, P67 (Port 6) ... 21
 - 3.2.8 P120, P121 (Port 12) ... 22
 - 3.2.9 P142-P144 (Port 14) ... 22
 - 3.2.10 P150-P153 (Port 15) ... 23
 - 3.2.11 CQ ... 23
 - 3.2.12 IC1-IC8 ... 23
 - 3.2.13 ILIM ... 24
 - 3.2.14 NC ... 24
 - 3.2.15 $\overline{\text{RESET}}$... 24
 - 3.2.16 REGC ... 24
 - 3.2.17 RXD ... 24
 - 3.2.18 SILIM ... 24
 - 3.2.19 WAKE ... 24
 - 3.2.20 EXCLK ... 24
 - 3.2.21 X1, X2 ... 25
 - 3.2.22 AVREF ... 25
 - 3.2.23 AVss ... 25
 - 3.2.24 GND1 ... 25
 - 3.2.25 GND2 ... 25
 - 3.2.26 GND3 ... 25
 - 3.2.27 IVDD ... 25
 - 3.2.28 VDD/EVDD ... 25

- 3.2.29 VDDH ... 25
- 3.2.30 VDD_IO ... 25
- 3.2.31 VREGO ... 26
- 3.2.32 Vss/EVss ... 26
- 3.2.33 FLMD0 ... 26
- 3.3 端子の入出力回路と未使用端子の処理 ... 27

第4章 IO-Link機能 ... 31

- 4.1 IO-Linkの概要 ... 31
- 4.2 IO-Link接続の構成 ... 31
- 4.3 本製品搭載のIO-Linkトランシーバの特徴 ... 32
 - 4.3.1 トランスミッタのON/OFF制御 ... 32
 - 4.3.2 転送ポー・レートの選択 ... 32
 - 4.3.3 IO-Linkモードと標準IO (SIO) モード ... 33
 - 4.3.4 ウェイクアップ検出機能 ... 33
 - 4.3.5 過電流遮断機能 ... 33
- 4.4 ウェイクアップ検出と過電流検出の流れ ... 34
- 4.5 IO-Linkの通信方法 ... 35
 - 4.5.1 IO-Linkの通信方法の概要 ... 35

第5章 CPUアーキテクチャ ... 36

- 5.1 メモリ空間 ... 36
 - 5.1.1 内部プログラム・メモリ空間 ... 42
 - 5.1.2 ミラー領域 ... 44
 - 5.1.3 内部データ・メモリ空間 ... 45
 - 5.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 46
 - 5.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 46
 - 5.1.6 データ・メモリ・アドレッシング ... 47
- 5.2 プロセッサ・レジスタ ... 51
 - 5.2.1 制御レジスタ ... 51
 - 5.2.2 汎用レジスタ ... 53
 - 5.2.3 ES, CSレジスタ ... 55
 - 5.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 56
 - 5.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 61
- 5.3 命令アドレスのアドレッシング ... 68
 - 5.3.1 レラティブ・アドレッシング ... 68
 - 5.3.2 イミディエト・アドレッシング ... 68
 - 5.3.3 テーブル・インダイレクト・アドレッシング ... 69
 - 5.3.4 レジスタ・ダイレクト・アドレッシング ... 69
- 5.4 処理データ・アドレスに対するアドレッシング ... 70
 - 5.4.1 インプライド・アドレッシング ... 70
 - 5.4.2 レジスタ・アドレッシング ... 70
 - 5.4.3 ダイレクト・アドレッシング ... 71
 - 5.4.4 ショート・ダイレクト・アドレッシング ... 72
 - 5.4.5 SFRアドレッシング ... 73
 - 5.4.6 レジスタ・インダイレクト・アドレッシング ... 74
 - 5.4.7 ベースト・アドレッシング ... 75
 - 5.4.8 ベースト・インデクスト・アドレッシング ... 78
 - 5.4.9 スタック・アドレッシング ... 79

第6章 ポート機能 ... 80

- 6.1 ポートの機能 ... 80
- 6.2 ポートの構成 ... 82

- 6.2.1 ポート0 ... 83
- 6.2.2 ポート1 ... 84
- 6.2.3 ポート2 ... 89
- 6.2.4 ポート3 ... 90
- 6.2.5 ポート4 ... 91
- 6.2.6 ポート5 ... 94
- 6.2.7 ポート6 ... 95
- 6.2.8 ポート12 ... 97
- 6.2.9 ポート14 ... 99
- 6.2.10 ポート15 ... 102
- 6.3 **ポート機能を制御するレジスタ** ... 103
- 6.4 **ポート機能の動作** ... 110
 - 6.4.1 入出力ポートへの書き込み ... 110
 - 6.4.2 入出力ポートからの読み出し ... 110
 - 6.4.3 入出力ポートでの演算 ... 110
 - 6.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法 ... 111
- 6.5 **兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定** ... 113
- 6.6 **ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項** ... 114

第7章 クロック発生回路 ... 115

- 7.1 **クロック発生回路の機能** ... 115
- 7.2 **クロック発生回路の構成** ... 116
- 7.3 **クロック発生回路を制御するレジスタ** ... 118
- 7.4 **システム・クロック発振回路** ... 132
 - 7.4.1 X1発振回路 ... 132
 - 7.4.2 高速内蔵発振回路 ... 135
 - 7.4.3 低速内蔵発振回路 ... 135
 - 7.4.4 プリスケーラ ... 135
- 7.5 **クロック発生回路の動作** ... 136
- 7.6 **クロックの制御** ... 141
 - 7.6.1 8 MHz高速内蔵発振回路の設定例 ... 141
 - 7.6.2 1 MHz高速内蔵発振回路の設定例 ... 141
 - 7.6.3 20 MHz高速内蔵発振回路の設定例 ... 142
 - 7.6.4 X1発振回路の設定例 ... 143
 - 7.6.5 CPUクロック状態移行図 ... 144
 - 7.6.6 CPUクロックの移行前の条件と移行後の処理 ... 148
 - 7.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 149
 - 7.6.8 クロック発振停止前の条件 ... 150

第8章 タイマ・アレイ・ユニット ... 151

- 8.1 **タイマ・アレイ・ユニットの機能** ... 152
 - 8.1.1 単独チャンネルで動作する機能 ... 152
 - 8.1.2 複数チャンネルで動作する機能 ... 153
 - 8.1.3 LIN-bus対応機能 (チャンネル7のみ) ... 154
- 8.2 **タイマ・アレイ・ユニットの構成** ... 155
- 8.3 **タイマ・アレイ・ユニットを制御するレジスタ** ... 161
- 8.4 **複数チャンネル連動動作機能の基本ルール** ... 186
- 8.5 **チャンネル出力 (TOmn端子) の制御** ... 188
 - 8.5.1 TOmn端子の出力回路の構成 ... 188
 - 8.5.2 TOmn端子の出力設定 ... 189
 - 8.5.3 チャンネル出力操作時の注意事項 ... 190
 - 8.5.4 TOmnビットの一括操作 ... 195
 - 8.5.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について ... 196
- 8.6 **チャンネル入力 (TI_{mn}端子) の制御** ... 197

- 8.6.1 Tlmnエッジ検出回路 ... 197
- 8.7 **タイマ・アレイ・ユニットの単独チャンネルでの動作** ... 198
 - 8.7.1 インターバル・タイマ/方形波出力としての動作 ... 198
 - 8.7.2 外部イベント・カウンタとしての動作 ... 203
 - 8.7.3 入力パルス間隔測定としての動作 ... 207
 - 8.7.4 入力信号のハイ/ロウ・レベル幅測定としての動作 ... 211
- 8.8 **タイマ・アレイ・ユニットの複数チャンネル連動動作機能** ... 215
 - 8.8.1 ワンショット・パルス出力機能としての動作 ... 215
 - 8.8.2 PWM機能としての動作 ... 222
 - 8.8.3 多重PWM出力機能としての動作 ... 229

第9章 ウォッチドッグ・タイマ ... 239

- 9.1 **ウォッチドッグ・タイマの機能** ... 239
- 9.2 **ウォッチドッグ・タイマの構成** ... 240
- 9.3 **ウォッチドッグ・タイマを制御するレジスタ** ... 241
- 9.4 **ウォッチドッグ・タイマの動作** ... 242
 - 9.4.1 ウォッチドッグ・タイマの動作制御 ... 242
 - 9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 243
 - 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 244
 - 9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 ... 245

第10章 A/Dコンバータ ... 246

- 10.1 **A/Dコンバータの機能** ... 246
- 10.2 **A/Dコンバータの構成** ... 247
- 10.3 **A/Dコンバータで使用するレジスタ** ... 249
- 10.4 **A/Dコンバータの動作** ... 259
 - 10.4.1 A/Dコンバータの基本動作 ... 259
 - 10.4.2 入力電圧と変換結果 ... 261
 - 10.4.3 A/Dコンバータの動作モード ... 262
- 10.5 **A/Dコンバータ特性表の読み方** ... 264
- 10.6 **A/Dコンバータの注意事項** ... 267

第11章 シリアル・アレイ・ユニット ... 271

- 11.1 **シリアル・アレイ・ユニットの機能** ... 272
 - 11.1.1 3線シリアルI/O (CSI20) ... 272
 - 11.1.2 UART (UART0, UART2, UART3) ... 273
 - 11.1.3 簡易I²C (IIC20) ... 274
- 11.2 **シリアル・アレイ・ユニットの構成** ... 275
- 11.3 **シリアル・アレイ・ユニットを制御するレジスタ** ... 280
- 11.4 **動作停止モード** ... 301
 - 11.4.1 ユニット単位で動作停止とする場合 ... 301
 - 11.4.2 チャンネルごとに動作停止とする場合 ... 302
- 11.5 **3線シリアルI/O (CSI20) 通信の動作** ... 303
 - 11.5.1 マスタ送信 ... 304
 - 11.5.2 マスタ受信 ... 312
 - 11.5.3 マスタ送受信 ... 320
 - 11.5.4 スレーブ送信 ... 328
 - 11.5.5 スレーブ受信 ... 336
 - 11.5.6 スレーブ送受信 ... 342
 - 11.5.7 転送クロック周波数の算出 ... 350
 - 11.5.8 3線シリアルI/O (CSI20) 通信時におけるエラー発生時の処理手順 ... 352
- 11.6 **UART (UART0, UART2, UART3) 通信の動作** ... 353
 - 11.6.1 UART送信 ... 355

- 11.6.2 UART受信 ... 364
- 11.6.3 ボー・レートの算出 ... 371
- 11.6.4 UART (UART0, UART2, UART3) 通信時におけるエラー発生時の処理手順 ... 375
- 11.7 LIN通信の動作 ... 376
 - 11.7.1 LIN送信 ... 376
 - 11.7.2 LIN受信 ... 379
 - 11.7.3 IO-Linkトランシーバとの通信 ... 384
 - 11.7.4 IO-Linkトランシーバとの通信の設定手順 ... 384
 - 11.7.5 IO-Link送受信 ... 385
- 11.8 簡易I²C (IIC20) 通信の動作 ... 387
 - 11.8.1 アドレス・フィールド送信 ... 388
 - 11.8.2 データ送信 ... 393
 - 11.8.3 データ受信 ... 396
 - 11.8.4 ストップ・コンディション発生 ... 400
 - 11.8.5 転送レートの算出 ... 401
 - 11.8.6 簡易I²C (IIC20) 通信時におけるエラー発生時の処理手順 ... 404
- 11.9 レジスタの設定と端子の関係 ... 405

第12章 シリアル・インタフェースIICA ... 409

- 12.1 シリアル・インタフェースIICAの機能 ... 409
- 12.2 シリアル・インタフェースIICAの構成 ... 412
- 12.3 シリアル・インタフェースIICAを制御するレジスタ ... 415
- 12.4 I²Cバス・モードの機能 ... 429
 - 12.4.1 端子構成 ... 429
 - 12.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 ... 430
- 12.5 I²Cバスの定義および制御方法 ... 431
 - 12.5.1 スタート・コンディション ... 431
 - 12.5.2 アドレス ... 432
 - 12.5.3 転送方向指定 ... 432
 - 12.5.4 アクノリッジ (\overline{ACK}) ... 433
 - 12.5.5 ストップ・コンディション ... 434
 - 12.5.6 ウェイト ... 435
 - 12.5.7 ウェイト解除方法 ... 437
 - 12.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御 ... 438
 - 12.5.9 アドレスの一致検出方法 ... 439
 - 12.5.10 エラーの検出 ... 439
 - 12.5.11 拡張コード ... 440
 - 12.5.12 アービトレーション ... 441
 - 12.5.13 ウェイク・アップ機能 ... 443
 - 12.5.14 通信予約 ... 446
 - 12.5.15 その他の注意事項 ... 450
 - 12.5.16 通信動作 ... 451
 - 12.5.17 I²C割り込み要求 (INTIICA) の発生タイミング ... 459
- 12.6 タイミング・チャート ... 480

第13章 乗除算器 ... 495

- 13.1 乗除算器の機能 ... 495
- 13.2 乗除算器の構成 ... 495
- 13.3 乗除算器を制御するレジスタ ... 500
- 13.4 乗除算器の動作 ... 501
 - 13.4.1 乗算動作 ... 501
 - 13.4.2 除算動作 ... 502

第14章	DMAコントローラ	... 504
14.1	DMAコントローラの機能	... 504
14.2	DMAコントローラの構成	... 505
14.3	DMAコントローラを制御するレジスタ	... 508
14.4	DMAコントローラの動作	... 512
14.4.1	動作手順	... 512
14.4.2	転送モード	... 513
14.4.3	DMA転送の終了	... 513
14.5	DMAコントローラの設定例	... 514
14.5.1	A/D変換結果の連続取り込み	... 514
14.5.2	UART連続受信 + ACK送信	... 516
14.5.3	DWAITnによるDMA転送保留	... 517
14.5.4	ソフトウェアでの強制終了	... 518
14.6	DMAコントローラの注意事項	... 520

第15章	割り込み機能	... 523
15.1	割り込み機能の種類	... 523
15.2	割り込み要因と構成	... 523
15.3	割り込み機能を制御するレジスタ	... 527
15.4	割り込み処理動作	... 536
15.4.1	マスカブル割り込み要求の受け付け動作	... 536
15.4.2	ソフトウェア割り込み要求の受け付け動作	... 539
15.4.3	多重割り込み処理	... 539
15.4.4	割り込み要求の保留	... 543

第16章	スタンバイ機能	... 544
16.1	スタンバイ機能と構成	... 544
16.1.1	スタンバイ機能	... 544
16.1.2	スタンバイ機能を制御するレジスタ	... 545
16.2	スタンバイ機能の動作	... 548
16.2.1	HALTモード	... 548
16.2.2	STOPモード	... 552

第17章	リセット機能	... 557
17.1	リセット要因を確認するレジスタ	... 565

第18章	パワーオン・クリア回路	... 566
18.1	パワーオン・クリア回路の機能	... 566
18.2	パワーオン・クリア回路の構成	... 567
18.3	パワーオン・クリア回路の動作	... 567
18.4	パワーオン・クリア回路の注意事項	... 570

第19章	低電圧検出回路	... 572
19.1	低電圧検出回路の機能	... 572
19.2	低電圧検出回路の構成	... 573
19.3	低電圧検出回路を制御するレジスタ	... 573
19.4	低電圧検出回路の動作	... 577
19.4.1	リセットとして使用時の設定	... 578
19.4.2	割り込みとして使用時の設定	... 584
19.5	低電圧検出回路の注意事項	... 590

第20章 レギュレータ ... 594

- 20.1 レギュレータの概要 ... 594
- 20.2 レギュレータを制御するレジスタ ... 594

第21章 オプション・バイト ... 596

- 21.1 オプション・バイトの機能 ... 596
 - 21.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) ... 596
 - 21.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) ... 597
- 21.2 ユーザ・オプション・バイトのフォーマット ... 598
- 21.3 オンチップ・デバッグ・オプション・バイトのフォーマット ... 600
- 21.4 オプション・バイトの設定 ... 601

第22章 フラッシュ・メモリ ... 602

- 22.1 フラッシュ・メモリ・プログラムによる書き込み方法 ... 602
- 22.2 プログラミング環境 ... 604
- 22.3 通信方式 ... 605
- 22.4 オンボード上の端子処理 ... 606
 - 22.4.1 FLMD0端子 ... 606
 - 22.4.2 TOOL0端子 ... 607
 - 22.4.3 RESET端子 ... 607
 - 22.4.4 ポート端子 ... 607
 - 22.4.5 REGC端子 ... 607
 - 22.4.6 X1, X2端子 ... 608
 - 22.4.7 電 源 ... 608
- 22.5 フラッシュ・メモリを制御するレジスタ ... 609
- 22.6 プログラミング方法 ... 609
 - 22.6.1 フラッシュ・メモリ制御 ... 609
 - 22.6.2 フラッシュ・メモリ・プログラミング・モード ... 610
 - 22.6.3 通信方式 ... 610
 - 22.6.4 通信コマンド ... 611
- 22.7 セキュリティ設定 ... 612
- 22.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 614
 - 22.8.1 ブート・スワップ機能 ... 616
 - 22.8.2 フラッシュ・シールド・ウインドウ機能 ... 618

第23章 オンチップ・デバッグ機能 ... 619

- 23.1 QB-MINI2と μ PD78F8040, 78F8041, 78F8042, 78F8043の接続 ... 619
- 23.2 オンチップ・デバッグ・セキュリティID ... 620
- 23.3 ユーザ資源の確保 ... 620

第24章 10進補正 (BCD) 回路 ... 622

- 24.1 10進補正回路の機能 ... 622
- 24.2 10進補正回路で使用するレジスタ ... 622
- 24.3 10進補正回路の動作 ... 623

第25章 命令セットの概要 ... 625

- 25.1 凡 例 ... 626
 - 25.1.1 オペランドの表現形式と記述方法 ... 626
 - 25.1.2 オペレーション欄の説明 ... 627

- 25.1.3 フラグ動作欄の説明 ... 628
- 25.1.4 PREFIX命令 ... 628
- 25.2 オペレーション一覧 ... 629

第26章 電気的特性 ... 646

- 26.1 絶対最大定格 ... 646
- 26.2 IO-Linkトランシーバの推奨動作条件 ... 647
- 26.3 発振回路特性 ... 648
 - 26.3.1 メイン・システム・クロック発振回路特性 ... 648
 - 26.3.2 内蔵発振回路特性 ... 649
- 26.4 DC特性 ... 650
 - 26.4.1 端子特性 ... 650
 - 26.4.2 電源電流特性 ... 656
- 26.5 AC特性 ... 661
 - 26.5.1 基本動作 ... 661
 - 26.5.2 測定条件 ... 666
- 26.6 周辺機能特性 ... 667
 - 26.6.1 シリアル・アレイ・ユニット ... 667
 - 26.6.2 シリアル・インタフェースIIICA ... 683
 - 26.6.3 オンチップ・デバッグ (UART) ... 684
 - 26.6.4 A/Dコンバータ特性 ... 684
 - 26.6.5 IO-Linkトランシーバ特性 ... 684
 - 26.6.6 POC回路特性 ... 688
 - 26.6.7 電源電圧立ち上げ時間 ... 689
 - 26.6.8 LVI回路特性 ... 690
- 26.7 データ・メモリSTOPモード低電源電圧データ保持特性 ... 691
- 26.8 フラッシュ・メモリ・プログラミング特性 ... 691

第27章 外形図 ... 692

第28章 半田付け推奨条件 ... 694

付録A 開発ツール ... 695

- A.1 ソフトウェア・パッケージ ... 698
- A.2 言語処理用ソフトウェア ... 699
- A.3 制御ソフトウェア ... 700
- A.4 フラッシュ・メモリ書き込み用ツール ... 700
 - A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 700
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 700
- A.5 デバッグ用ツール (ハードウェア) ... 701
 - A.5.1 インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合 ... 701
 - A.5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 701
- A.6 デバッグ用ツール (ソフトウェア) ... 702

付録B 改版履歴 ... 703

- B.1 本版で改訂された主な箇所 ... 703
- B.2 前版までの改版履歴 ... 704

第1章 概 説

1.1 特 徴

高速 (0.05 μs : 高速システム・クロック20 MHz動作時) から低速 (8 μs : 高速内蔵発振器分周クロック動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)	データ・メモリ (RAM)
μ PD78F8040	フラッシュ・メモリ	32 Kバイト	4 Kバイト
μ PD78F8041		64 Kバイト	4 Kバイト
μ PD78F8042		96 Kバイト	6 Kバイト
μ PD78F8043		128 Kバイト	7 Kバイト

IO-Linkトランシーバ内蔵

- ・C/Q逆極性保護
- ・5Vレギュレータ内蔵
- ・ポー・レートを選択可能で最大230400 [bps]に対応
- ・ウエイクアップ検出機能
- ・3.3V / 5Vのインタフェース電源電圧対応
- ・過電流検出と遮断機能

高速内蔵発振クロック内蔵

- ・20 MHz高速内蔵発振クロック : 20 MHz (TYP.)
- ・8 MHz高速内蔵発振クロック : 8 MHz (TYP.)
- ・1 MHz高速内蔵発振クロック : 1 MHz (TYP.)

単電源のフラッシュ・メモリ内蔵 (チップ消去 / ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウィンドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速内蔵発振クロックで動作可能)

乗除算器 (16ビット×16ビット, 32ビット÷32ビット) 内蔵

10進補正 (BCD) 回路内蔵

I/Oポート : 26本^注 (N-chオープン・ドレイン : 2本)

タイマ : 13チャンネル

- ・16ビット・タイマ : 12チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース

- ・IO-Link (UART0を使用) : 1チャンネル
- ・CSI : 1チャンネル / UART : 1チャンネル / 簡易²C : 1チャンネル
- ・UART (LIN-bus対応) : 1チャンネル
- ・²C : 1チャンネル

10ビット分解能A/Dコンバータ (AVREF = 1.8 ~ 5.5 V) : 6チャンネル

電源電圧 : VDD/EVDD = VDD = VDD_IO = 3.0 ~ 5.5 V, IVDD = 4.75 ~ 5.25 V, VDDH = 8.0 ~ 36.0 V

動作周囲温度 : TA = -40 ~ +85

注 3本の端子 (P11/RxD0, P50/INTP1, P51/INTP2) はIO-Link通信用です。ユーザにて基板上で、それぞれRXD, ILIM, WAKEに接続する必要があります。

1.2 応用分野

産業用センサ / アクチュエータ

1.3 オーダ情報

・フラッシュ・メモリ製品

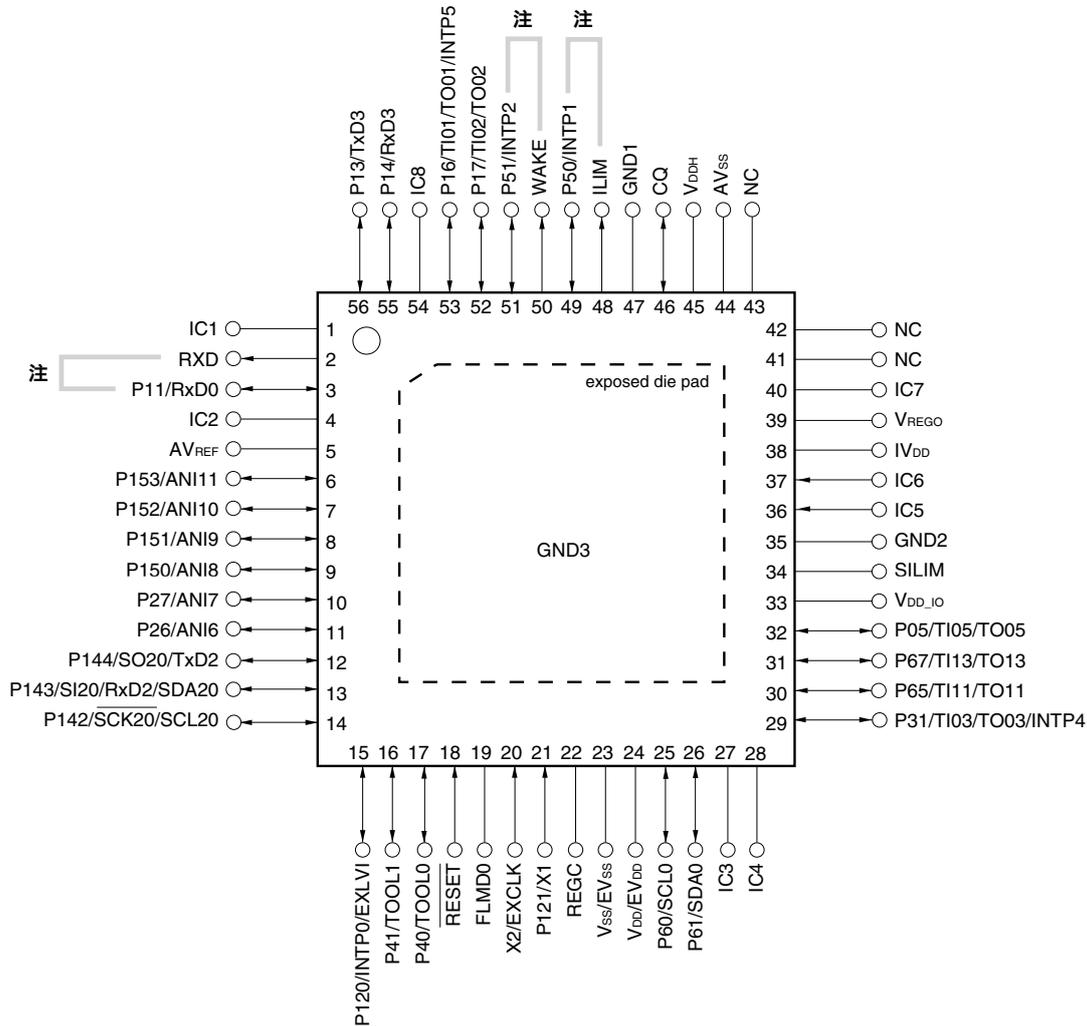
オーダ名称	パッケージ
μPD78F8040K8-9B4-AX	56ピン・プラスチックQFN (8 x 8)
μPD78F8041K8-9B4-AX	56ピン・プラスチックQFN (8 x 8)
μPD78F8042K8-9B4-AX	56ピン・プラスチックQFN (8 x 8)
μPD78F8043K8-9B4-AX	56ピン・プラスチックQFN (8 x 8)
μPD78F8040F1-AD1-AX ^注	56ピン・プラスチックFBGA (4 x 7)
μPD78F8041F1-AD1-AX ^注	56ピン・プラスチックFBGA (4 x 7)
μPD78F8042F1-AD1-AX ^注	56ピン・プラスチックFBGA (4 x 7)
μPD78F8043F1-AD1-AX ^注	56ピン・プラスチックFBGA (4 x 7)

注 開発中

注意 μPD78F8040, 78F8041, 78F8042, 78F8043には開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図

・ 56ピン・プラスチックQFN (8 x 8) (Top View)



注 ユーザにて基板上で接続してください。

注意1. GND1, GND2, AVSSは, VSS/EVSSと同電位にしてください。

2. パッケージ裏の金属パッド (GND3) はVSS/EVSSと同電位にしてください。

3. VDD_IOは, VDD/EVDDと同電位にしてください。

4. IC1-IC8の処置は, 表3 - 3 各端子の未使用端子処理を参照してください。

5. REGCはコンデンサ (0.47 ~ 1 μF) を介し, VSS/EVSSに接続してください。

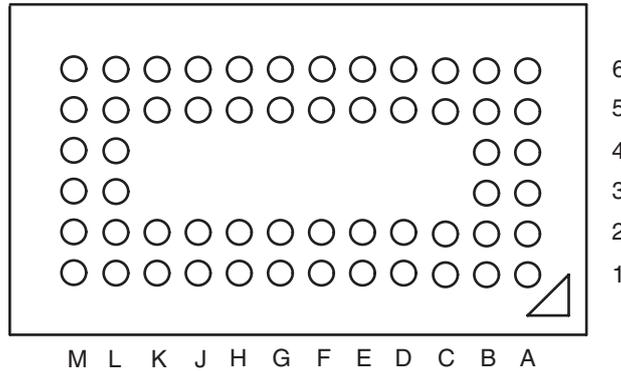
6. IVDDはコンデンサ (330 ~ 2000 nF) を介し, VSS/EVSSに接続してください。

7. P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11は, A/Dポート・コンフィギュレーション・レジスタ (ADPC)により, P153/ANI11, ..., P150/ANI8, P27/ANI7, P26/ANI6の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P153/ANI11から設計してください (詳細は, 10.3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

8. CQ端子とVDDH端子はダイオードを介して接続してください (要求特性: ブレークスルー電圧: 70 V以上, 順方向電流: 100 mA以上, 逆方向回復時間: 10 ns以下)。

・ 56ピン・プラスチックFBGA (4 x 7) (Bottom View)

Bottom View



P120/ INTP0/ EXLVI	P41/ TOOL1	FLMD0	X2/EXCLK	REGC	P60/SCL0	P61/SDA0	P31/TI03/ TO03/ INTP4	V _{DD_IO}	SILIM	GND2	IC5	6
P142/ SCK20/ SCL20	P40/ TOOL0	RESET	P121/X1	V _{SS} /EV _{SS}	V _{SS} /EV _{SS}	V _{DD} /EV _{DD}	V _{DD} /EV _{DD}	V _{DD_IO}	P65/TI11/ TO11	P67/TI13/ TO13	IC6	5
P144/ SO20/ TXD2	P143/SI20/ RXD2/ SDA20	注							IV _{DD}		IV _{DD}	4
P26/ANI6	P27/ANI7								P05/TI05/ TO05		VREGO	3
P152/ ANI10	P153/ ANI11	P11/RXD0	RXD	IC2	IC8	P51/INTP2	WAKE	P50/INTP1	ILIM	IC1	GND3	2
AV _{SS}	AV _{REF}	P13/TXD3	P14/RXD3	P16/TI01/ TO01/ INTP5	P17/TI02/ TO02	P151/ANI9	P150/ANI8	GND1	CQ	V _{DDH}	GND3	1
M	L	K	J	H	G	F	E	D	C	B	A	

注 ユーザにて基板上で接続してください。

注意1. GND1, GND2, AV_{SS}は, V_{SS}/EV_{SS}と同電位にしてください。

2. パッケージ裏の金属パッド (GND3) はV_{SS}/EV_{SS}と同電位にしてください。

3. V_{DD_IO}は, V_{DD}/EV_{DD}と同電位にしてください。

4. IC1-IC8の処置は, 表3 - 3 各端子の未使用端子処理を参照してください。

5. REGCはコンデンサ (0.47 ~ 1 μF) を介し, V_{SS}/EV_{SS}に接続してください。

6. IV_{DD}はコンデンサ (330 ~ 2000 nF) を介し, V_{SS}/EV_{SS}に接続してください。

7. P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11は, A/Dポート・コンフィギュレーション・レジスタ (ADPC)により, P153/ANI11, ..., P150/ANI8, P27/ANI7, P26/ANI6の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P153/ANI11から設計してください (詳細は, 10.3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

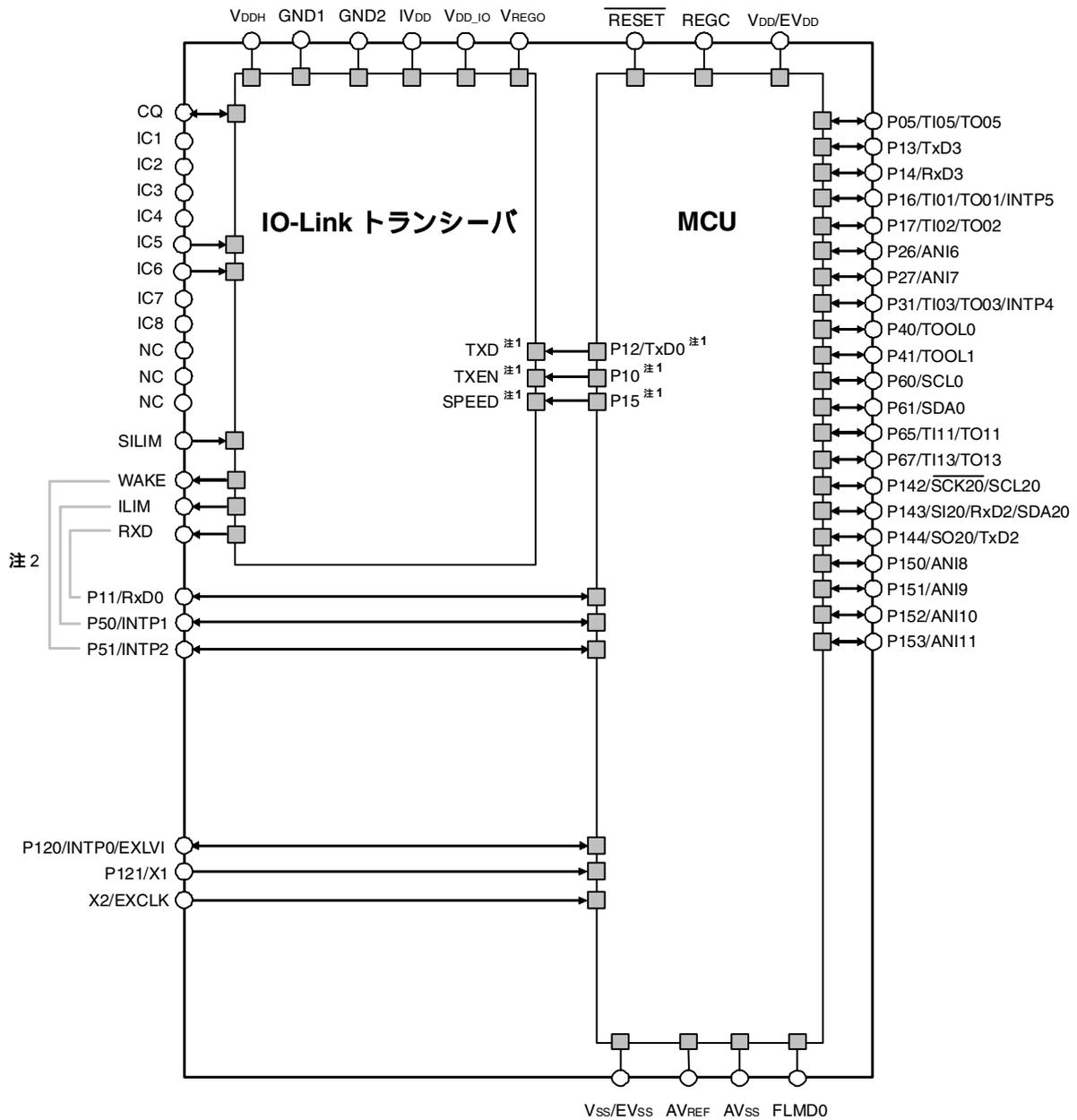
8. CQ端子とV_{DDH}端子はダイオードを介して接続してください (要求特性: ブレークスルー電圧: 70 V以上, 順方向電流: 100 mA以上, 逆方向回復時間: 10 ns以下)。

端子名称

ANI6-ANI11	: Analog Input	P150-P153	: Port 15
AVREF	: Analog Reference Voltage	REGC	: Regulator Capacitance
AVss	: Analog Ground	$\overline{\text{RESET}}$: Reset
CQ	: C/Q, Connection for Communication (C) or Switching (Q) Signal of IO-Link	RXD $\overline{\text{SCK20}}$: Receive Signal of IO-Link Transceiver : Receive Data : Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SCL0, SCL20 SDA0, SDA20	: Serial Clock Input/Output : Serial Data Input/Output
EXLVI	: External Potential Input for Low-voltage Detector	SI20 SILIM	: Serial Data Input : Overcurrent Shutoff Threshold
FLMD0	: Flash Programming Mode		: Level Selection
GND1	: L-, Ground Connection of IO-Link	SO20 TI01-TI03, TI05, TI11, TI13	: Serial Data Output : Timer Input
GND2	: Ground of IO-Link Transceiver	TO01-TO03, TO05, TO11, TO13	: Timer Output
GND3	: Package Exposed Die Pad	TOOL0	: Data Input/Output for Tool
IC1-IC8	: Internal Connect	TOOL1	: Clock Output for Tool
ILIM	: Overcurrent Signal	TxD2, TxD3	: Transmit Data
INTP0-INTP2, INTP4, INTP5	: External Interrupt Input	VDD/EVDD	: Power Supply of MCU
IVDD	: Power Supply for IO-Link Transceiver	VDDH	: L+, Power Supply Connection of IO-Link
NC	: Non Connect	VDD_IO	: Power Supply for the Interface between MCU and IO-Link Transceiver
P05	: Port 0		
P11, P13, P14, P16, P17	: Port 1		
P26, P27	: Port 2	VREGO	: Regulator Control for IO-Link
P31	: Port 3		: Transceiver
P40, P41	: Port 4	Vss/EVss	: Ground of MCU
P50, P51	: Port 5	WAKE	: Wakeup Request
P60, P61, P65, P67	: Port 6	X1, X2	: Crystal Oscillator (Main System Clock)
P120, P121	: Port 12		
P142-P144	: Port 14		

1.5 構 成

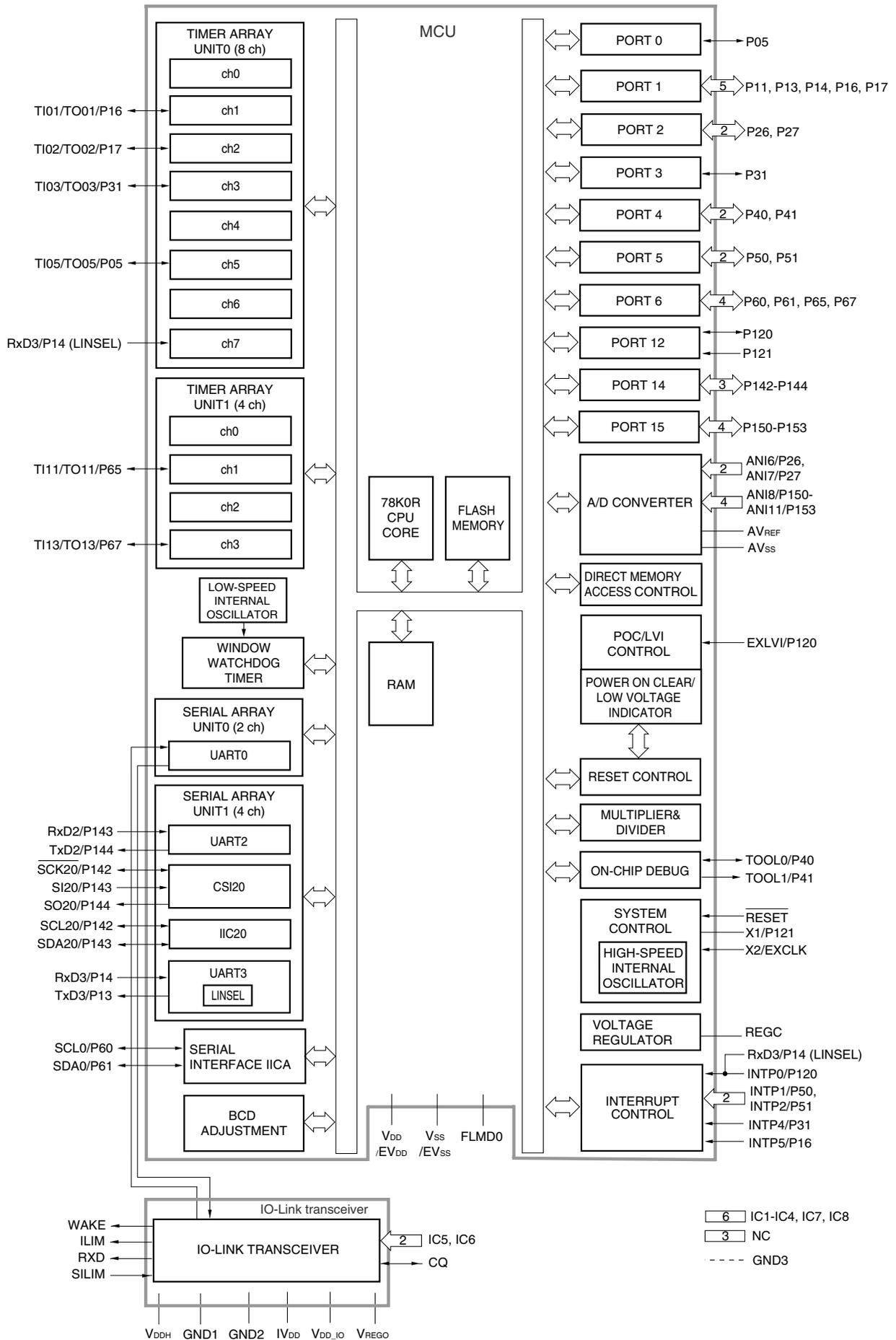
μPD78F8040, 78F8041, 78F8042, 78F8043は，MCUとIO-Linkトランシーバで構成された製品です。



- 注1. MCUとIO-Linkトランシーバ間の内部接続端子です。
2. ユーザにて基板上で接続してください。
3. IC1-IC8の処置は，表3 - 3 各端子の未使用端子処理を参照してください。

注意 パッケージ裏の金属パッド（GND3）はVss/EVssと同電位にしてください。

1.6 ブロック図



1.7 機能概要

(1/2)

項 目		μ PD78F8040	μ PD78F8041	μ PD78F8042	μ PD78F8043
内部メモリ	フラッシュ・メモリ(セルフ・プログラミング対応)	32 Kバイト	64 Kバイト	96 Kバイト	128 Kバイト
	RAM	4 Kバイト	4 Kバイト	6 Kバイト	7 Kバイト
メモリ空間		1 Mバイト			
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶 / セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 2 ~ 20 MHz : V _{DD} = 3.0 ~ 5.5 V			
	高速内蔵発振クロック	内蔵発振 1 MHz (TYP.), 8 MHz (TYP.) : V _{DD} = 3.0 ~ 5.5 V			
	20 MHz高速内蔵発振クロック	内蔵発振 20 MHz (TYP.) : V _{DD} = 3.0 ~ 5.5 V			
低速内蔵発振クロック (WDT専用)		内蔵発振 30 kHz (TYP.) : V _{DD} = 3.0 ~ 5.5 V			
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)			
		0.125 μs (高速内蔵発振クロック : f _{IH} = 8 MHz動作時)			
命令セット		<ul style="list-style-type: none"> ・ 8ビット演算, 16ビット演算 ・ 乗算 (8ビット×8ビット) ・ ビット操作 (セット, リセット, テスト, プール演算) など 			
I/Oポート (MCU)		合計 : 26本 ^{注1} CMOS入出力 : 23本 ^{注1} CMOS入力 : 1本 N-chオープン・ドレイン入出力 (6 V耐圧) : 2本			
I/Oポート (IO-Linkトランシーバ)		IO-Link入出力 : 1本 (CQ)			
タイマ		・ 16ビット・タイマ : 12チャンネル (タイマ入力 : 6チャンネル, タイマ出力 : 6チャンネル) ・ ウォッチドッグ・タイマ : 1チャンネル			
		タイマ出力 : 6本 (PWM出力 : タイマ・アレイ・ユニット0は4本 ^{注2} , タイマ・アレイ・ユニット1は2本 ^{注2})			
A/Dコンバータ		10ビット分解能×6チャンネル (AV _{REF} = 1.8 ~ 5.5 V)			

注1. 3本の端子 (P11/RxD0, P50/INTP1, P51/INTP2) はIO-Link通信用です。IO-Linkトランシーバと接続する必要があります。ユーザにて基板上で, それぞれRXD, ILIM, WAKEに接続してください。

2. 設定によって出力数は変わります。

(2/2)

項 目	μ PD78F8040	μ PD78F8041	μ PD78F8042	μ PD78F8043
シリアル・インタフェース	<ul style="list-style-type: none"> ・ IO-Link (UART0を使用) : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル ・ UART (LIN-bus対応) : 1チャンネル ・ I²Cバス : 1チャンネル 			
乗除算器	16ビット × 16ビット = 32ビット (乗算) 32ビット ÷ 32ビット = 32ビット (除算)			
DMAコントローラ	2チャンネル			
ベクタ割り込み 要因	内部	28		
	外部	5 ^{注1}		
リセット	<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット^{注2} ・ リセット処理のチェック・エラーによる内部リセット 			
パワーオン・クリア回路	<ul style="list-style-type: none"> ・ パワーオン・リセット : 1.61 ± 0.09 V ・ パワーダウン・リセット : 1.59 ± 0.09 V 			
低電圧検出回路	3.15 V ~ 4.22 V (8段階)			
オンチップ・デバッグ機能	あり			
電源電圧	V _{DD} = 3.0 ~ 5.5 V			
動作周囲温度	T _A = - 40 ~ + 85			
パッケージ	<ul style="list-style-type: none"> ・ 56ピン・プラスチックQFN (8 × 8) (0.5 mmピッチ) ・ 56ピン・プラスチックFBGA (4 × 7)^{注3} 			

注1. P11/RxD0, P50/INTP1, P51/INTP2はユーザにて基板上で、それぞれRXD, ILIM, WAKEに接続してください。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

3. 開発中

第2章 MCUとIO-Linkトランシーバの接続

2.1 MCUとIO-Linkトランシーバの接続端子

MCUの次の端子はIO-Linkトランシーバとの接続端子で、IO-Linkトランシーバとの通信時に使用します。

この端子はIO-Linkトランシーバとの通信を開始する前に適切なモード/レベルに初期設定する必要があります。

各端子の説明を表2 - 1, 2 - 2に示します（詳細は、11.7.3～11.7.5を参照）。

表2 - 1 内部接続端子

端子名称		機能 (IO-Linkトランシーバ)	信号方向
IO-Link トランシーバ	MCU		
TXEN	P10	トランスミッタのイネーブル許可 ロウ・レベル : トランスミッタをOFF (デフォルト) ハイ・レベル : トランスミッタ許可	MCU IO-Linkトランシーバ
SPEED	P15	ボー・レート選択 ロウ・レベル : 38400 [bps] (デフォルト) ハイ・レベル : 230400 [bps]	MCU IO-Linkトランシーバ
TXD	P12/TxD0	トランスミッタ信号 TXDで動作中のトランスミッタの出力レベルを決定します。 ロウ・レベル : CQ端子の出力レベルをハイ・レベルに設定 ハイ・レベル : CQ端子の出力レベルをロウ・レベルに設定 (デフォルト)	MCU IO-Linkトランシーバ

表2 - 2 ユーザにて基板上で外部接続する端子

端子名称		初期設定	信号方向
IO-Link トランシーバ	MCU		
RXD	P11/RxD0	受信信号 受信機の出力情報としてRXD端子を読み出すことによって、CQ端子のレベルが分ります。 ロウ・レベル : CQ端子のバス・レベルがハイ・レベルの場合 ハイ・レベル : CQ端子のバス・レベルがロウ・レベルの場合	IO-Linkトランシーバ MCU
WAKE	P51/INTP2	ウエイクアップ要求 ウエイクアップ・イベントを検知するとハイ・レベルになります。	IO-Linkトランシーバ MCU
ILIM	P50/INTP1	過電流検出信号 High (レベル) になったら、CQ端子からトランシーバの過電流 (現象) と検出されます。	IO-Linkトランシーバ MCU

2.2 MCUの未使用内部端子の初期設定

MCUの次の内部端子は、リセット解除後にソフトウェアで出力モード（ポート・モード・レジスタに0を設定）に設定する必要があります。

- P03, P04, P06, P30, P42-P44, P46, P47, P53-P55, P64, P66, P70-P77, P110, P140

ポート・モード・レジスタの設定については、[図6 - 19 ポート・モード・レジスタのフォーマット](#)を参照してください。

2.3 MCUとIO-Linkトランシーバの電源構成

μPD78F8040, 78F8041, 78F8042, 78F8043の電源構成は次の2通りの接続法があります。

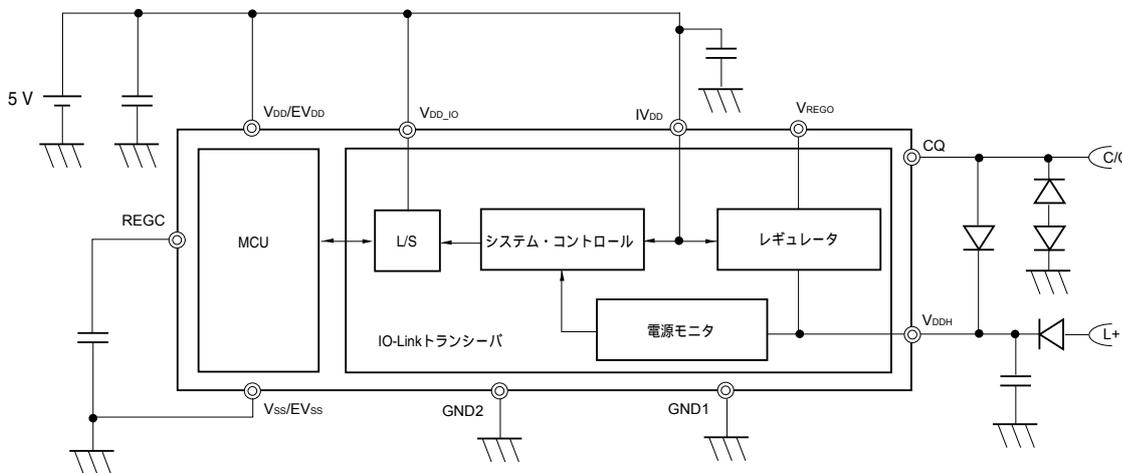
2.3.1 外部から電源を供給する場合

レギュレータ出力であるV_{REGO}端子がオープンとなるため、IO-Linkトランシーバの内蔵5Vレギュレータは使用しません。

IO-Linkトランシーバは5V動作であるため、電源は5Vが必要です。

MCUを5Vインタフェースで使用する場合の電源構成を図2-1に示します。

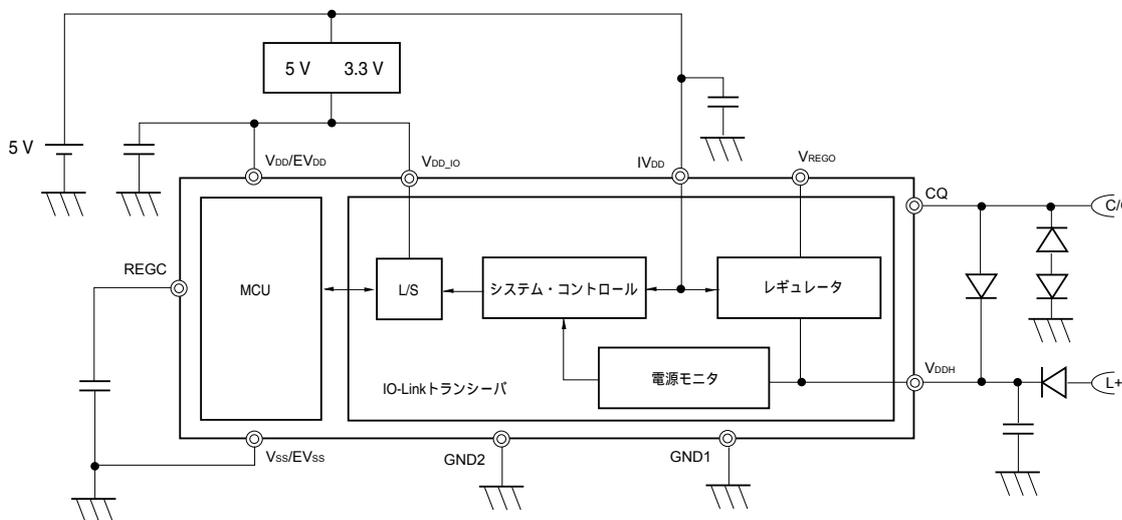
図2-1 外部からIV_{DD}端子に電源を供給する場合の電源構成 (5Vインタフェース)



MCUを3.3Vインタフェースで使用する場合は、外部に3.3Vレギュレータを接続するなどして、MCUを3.3Vで動作させる必要があります。

MCUを3.3Vインタフェースで使用する場合の電源構成を図2-2に示します。

図2-2 外部からIV_{DD}端子に電源を供給する場合の電源構成 (3.3Vインタフェース)



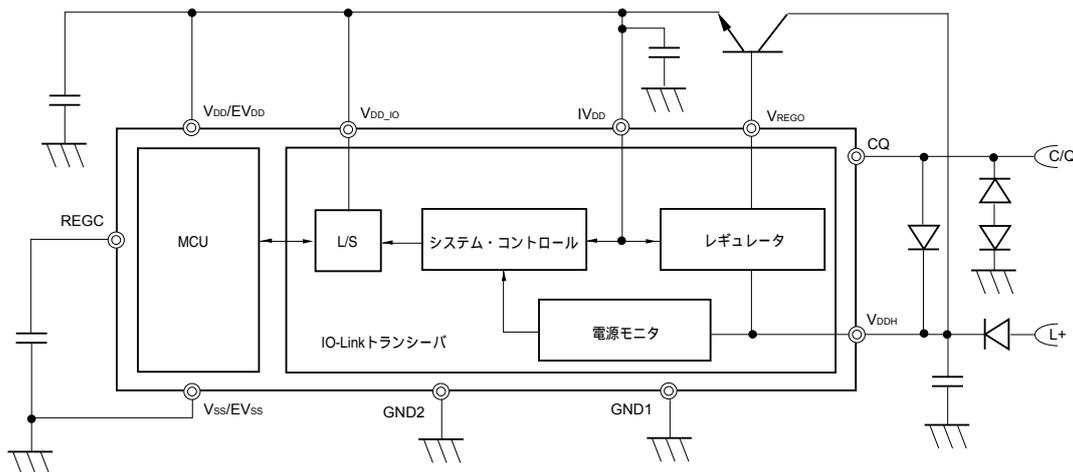
注意 QFNパッケージ裏の金属パッド (GND3) はV_{SS}/EV_{SS}と同電位にしてください。

2.3.2 IO-Linkトランシーバ内蔵レギュレータを使用する場合

入出力の電流を含め、MCUと外付け部品に20 mA以上の電流を供給する場合、内蔵5 Vレギュレータは電流を20 mAまでしか供給できないため、外部にNPNトランジスタが必要です。その際、NPNトランジスタは図2-3のように接続してください。

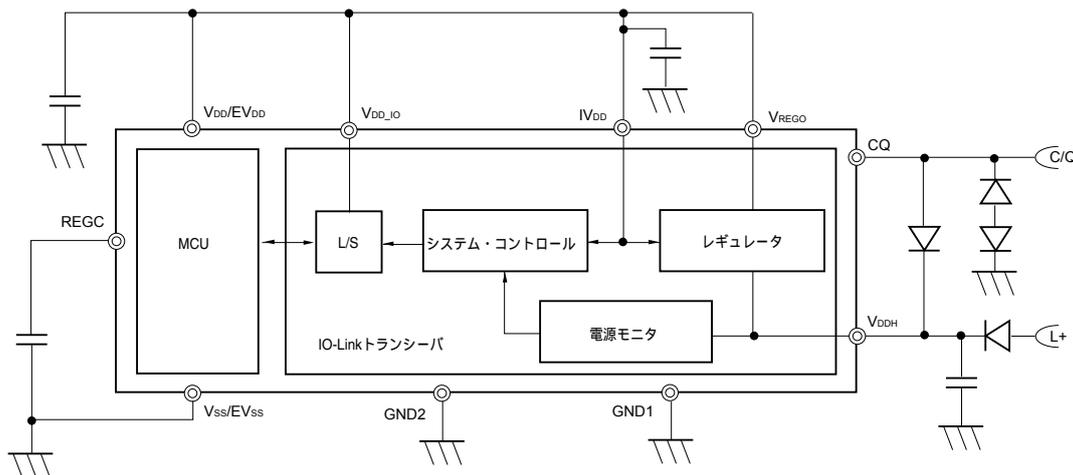
これによりVREGO端子の電圧を制御します。結果としてVREGO端子の電圧はIVDD端子の電圧よりも0.7 V高い電圧となります。

図2-3 内蔵レギュレータを使用してMCUと外付け部品に20 mAより多い電流を供給する場合の電源構成



IO-Linkトランシーバの内蔵レギュレータによりMCUと外付け部品に最大20 mAの電流を供給できます。図2-4のようにVREGO端子とIVDD端子を接続することで、VREGO端子からMCUに電流を供給することができます。

図2-4 内蔵5 Vレギュレータを使用してMCUに20 mA以下の電流を供給する場合の電源構成



- 注意1. QFNパッケージ裏の金属パッド (GND3) はVSS/EVSSと同電位にしてください。
2. FBGAパッケージ製品で内蔵レギュレータを使用する際には、電源電流に関係なく、NPNトランジスタを接続してください(図2-3を参照)。FBGAパッケージ製品では、図2-4の電源構成は禁止です。

第3章 端子機能

3.1 端子機能一覧

端子の入出力バッファ電源には、AVREF、VDD/EVDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表3 - 1 各端子の入出力バッファ電源

電源	対応する端子
VDD/EVDD	<ul style="list-style-type: none"> ・ P26, P27, P150-P153以外のポート端子 ・ ポート以外の端子
AVREF	P26, P27, P150-P153

(1) ポート機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P05	入出力	ポート0。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI05/TO05
P11 ^{注1}	入出力	ポート1。 5ビット入出力ポート。 P11の入力はTTL入力バッファに設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0
P13				TxD3
P14				RxD3
P16				TI01/TO01/INTP5
P17				TI02/TO02
P26	入出力	ポート2。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル	ANI6
P27			入力ポート	ANI7
P31	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4
P40 ^{注2}	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50 ^{注1}	入出力	ポート5。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P51 ^{注1}				INTP2

- 注1. P11/RxD0, P50/INTP1, P51/INTP2はユーザにて基板上で、それぞれRXD, ILIM, WAKEに接続してください。
2. オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください(3.2.5 P40, P41 (Port 4)の注意参照)。

(1) ポート機能 (2/2)

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 4ビット入出力ポート。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P65, P67のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P65				TI11/TO11
P67				TI13/TO13
P120	入出力	ポート12。 1ビット入出力ポートと1ビット入力ポート。 P120のみ, 1ビット単位で入力/出力の指定可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTPO/EXLVI
P121	入力			X1
P142	入出力	ポート14。 3ビット入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI11

(2) ポート以外の機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
ANI6, ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P26, P27
ANI8-ANI11	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P150-P153
CQ	高電圧 入出力	C/Q, IO-Linkのコミュニケーション(C) / スwitchング(Q) 信号用の接続端子	-	-
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
IC1	-	内部接続端子	-	-
IC2	-		-	-
IC3	-		-	-
IC4	-		-	-
IC5	入力		入力ポート	-
IC6	入力		入力ポート	-
IC7	-		-	-
IC8	-		-	-
ILIM	出力	過電流検出信号	-	-
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1 ^注				P50
INTP2 ^注				P51
INTP4				P31/TI03/TO03
INTP5				P16/TI01/TO01
REGC	-	内部動作レギュレータ出力(2.4V)安定容量接続。 コンデンサ(0.47~1μF)を介し、V _{SS} /EV _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RXD	出力	IO-Linkトランシーバの受信信号	-	-
RxD0 ^注	入力	UART0のシリアル・データ入力	入力ポート	P11
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P143/SI20/SDA20
RxD3	入力	UART3のシリアル・データ入力	入力ポート	P14
SCK20	入出力	CSI20のクロック入力/出力	入力ポート	P142/SCL20
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL20	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P142/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA20	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P143/SI20/RxD2
SI20	入力	CSI20のシリアル・データ入力	入力ポート	P143/RxD2/SDA20
SILIM	入力	過電流遮断レベルの選択信号	-	-
SO20	出力	CSI20のシリアル・データ出力	入力ポート	P144/TxD2
TI01	入力	16ビット・タイマ01への外部カウント・クロック入力	入力ポート	P16/TO01/INTP5
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TI05		16ビット・タイマ05への外部カウント・クロック入力		P05/TO05
TI11		16ビット・タイマ11への外部カウント・クロック入力		P65/TO11
TI13		16ビット・タイマ13への外部カウント・クロック入力		P67/TO13

注 P11/RxD0, P50/INTP1, P51/INTP2はユーザにて基板上で、それぞれRXD, ILIM, WAKEに接続してください。

(2) ポート以外の機能 (2/2)

機能名称	入出力	機能	リセット時	兼用機能
TO01	出力	16ビット・タイマ01出力	入力ポート	P16/TI01/INTP5
TO02		16ビット・タイマ02出力		P17/TI02
TO03		16ビット・タイマ03出力		P31/TI03/INTP4
TO05		16ビット・タイマ05出力		P05/TI05
TO11		16ビット・タイマ11出力		P65/TI11
TO13		16ビット・タイマ13出力		P67/TI13
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P144/SO20
TxD3		UART3のシリアル・データ出力		P13
NC	-	未接続端子	-	-
WAKE	出力	ウェイクアップ要求	-	-
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	X2
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力	EXCLK
AVREF	-	・A/Dコンバータの基準電圧入力 ・P26, P27, P150-P153, A/Dコンバータの正電源	-	-
AVSS	-	A/Dコンバータ, P26, P27, P150-P153のグランド電位。V _{ss} /EV _{ss} と同電位にしてください。	-	-
GND1	-	L-, グランド電位 (IO-Linkトランシーバ)	-	-
GND2	-	グランド電位 (IO-Linkトランシーバ)	-	-
GND3	-	パッケージ裏の金属パッド	-	-
IVDD	-	IO-Linkトランシーバの電源。 コンデンサ (330 ~ 2000 nF) を介し, V _{ss} /EV _{ss} に接続してください。	-	-
V _{DD} /EV _{DD}	-	正電源 (ポート部 (P26, P27, P150-P153以外) およびポート以外の端子)	-	-
V _{DDH}	-	L+, 正電源 (IO-Linkトランシーバ)	-	-
V _{DD_IO}	-	MCUとIO-Linkトランシーバ間のインタフェース用電源	-	-
V _{REGO}	-	IO-Linkトランシーバのレギュレータ制御	-	-
V _{SS} /EV _{SS}	-	グランド電位 (ポート部 (P26, P27, P150-P153以外) およびポート以外の端子)	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0 ^注	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は,必ず外部でP40/TOOL0端子をプルアップしてください (3.2.5 P40, P41 (Port 4) の注意参照)。

3.2 端子機能の説明

3.2.1 P05 (Port 0)

1ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI05

16ビット・タイマ05への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO05

16ビット・タイマ05のタイマ出力端子です。

3.2.2 P11, P13, P14, P16, P17 (Port 1)

5ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) RxD3

シリアル・インタフェースUART3のシリアル・データ入力端子です。

(b) TxD3

シリアル・インタフェースUART3のシリアル・データ出力端子です。

(c) TI01, TI02

16ビット・タイマ01, 02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(d) TO01, TO02

16ビット・タイマ01, 02のタイマ出力端子です。

(e) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

3.2.3 P26, P27 (Port 2)

2ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI6, ANI7) として機能します。アナログ入力端子として使用する場合，10.6 (5) ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153を参照してください。

注意 ANI6/P26, ANI7/P27は，リセット解除後はデジタル入力（汎用ポート）モードになります。

3.2.4 P31 (Port 3)

1ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，タイマ入出力機能があります。

次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，タイマの入出力として機能します。

(a) INTP4

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TI03

16ビット・タイマ03への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO03

16ビット・タイマ03のタイマ出力端子です。

3.2.5 P40, P41 (Port 4)

2ビットの入出力ポートです。入出力ポートのほかにフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、クロック出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は、必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、クロック出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください (プルダウン禁止)。

(b) TOOL1

デバッグ用のクロック出力端子です。

オンチップ・デバッグ機能使用時には、P41/TOOL1端子はデバッグのモード設定により次のようになります。

1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

注意 P40/TOOL0端子は、次に示す (a) ~ (c) の場合によって、端子機能が決まります。

(b) か (c) の場合には、該当する端子処理を行ってください。

(a) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ禁止 (OCDENSET = 0) 設定時
ポート機能 (P40) としてご使用ください。

(b) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ許可 (OCDENSET = 1) 設定時
外部で抵抗を介してEV_{DD}に接続し、リセット解除前から常にハイ・レベルを入力してください。

(c) オンチップ・デバッグ機能使用時、または、フラッシュ・メモリ・プログラマによる書き込み
モード時

TOOL0端子として使用します。

オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD}に接続することで、プルアップしてください。

3.2.6 P50, P51 (Port 5)

2ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力として機能します。

(a) INTP1, INTP2

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

3.2.7 P60, P61, P65, P67 (Port 6)

4ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力, タイマ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。P65, P67のみプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵プルアップ抵抗を使用できます。

P60, P61の出力はN-chオープン・ドレイン出力 (6V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力, クロック入出力, タイマ入出力として機能します。

(a) SDA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

(c) TI11, TI13

16ビット・タイマ11, 13への外部カウント・クロック / キャプチャ・トリガ入力端子です。

(d) TO11, TO13

16ビット・タイマ11, 13のタイマ出力端子です。

3.2.8 P120, P121 (Port 12)

P120は1ビットの入出力ポートです。P121は1ビットの入力ポートです。そのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12(PM12)の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12(PU12)の設定により, 内蔵プルアップ抵抗を使用できます。

P121は1ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続として機能します。

(a) INTP0

有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1

メイン・システム・クロック用発振子接続端子です。

3.2.9 P142-P144 (Port 14)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力機能があります。

P142, P143端子の入力は, ポート入力モード・レジスタ14(PIM14)の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P142-P144端子の出力は, ポート出力モード・レジスタ14(POM14)の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力(V_{DD} 耐圧)に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ14(PM14)の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14(PU14)の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) SI20

シリアル・インタフェースCSI20のシリアル・データ入力端子です。

(b) SO20

シリアル・インタフェースCSI20のシリアル・データ出力端子です。

(c) $\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のシリアル・クロック入出力端子です。

(d) TxD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

(e) RxD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

(f) SDA20

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(g) SCL20

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

3.2.10 P150-P153 (Port 15)

4ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI11) として機能します。アナログ入力端子として使用する場合、10.6 (5) ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153を参照してください。

注意 ANI8/P150-ANI11/P153は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

3.2.11 CQ

C/Q (コミュニケーション (C) / スイッチング (Q)) 線の入出力端子です。

3.2.12 IC1-IC8

内部接続端子です。

3.2.13 ILIM

IO-Linkトランシーバからの過電流検出信号出力端子です。
ユーザにて基板上でP50/INTP1に接続してください。

3.2.14 NC

未接続端子です。

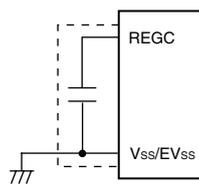
3.2.15 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。
外部リセット端子を使用しない場合は、直接または抵抗を介してEV_{DD}に接続してください。
外部リセット端子を使用する場合は、V_{DD}を基準に設計してください。

3.2.16 REGC

内部動作用レギュレータ出力(2.4V)安定容量接続端子です。コンデンサ(0.47~1μF)を介し、V_{SS}/EV_{SS}に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

3.2.17 RXD

IO-Linkトランシーバからの受信信号出力端子です。
ユーザにて基板上でP11/RxD0に接続してください。

3.2.18 SILIM

過電流遮断レベルの選択信号入力端子です。

表3-2 過電流遮断レベルの選択

SILIM	過電流遮断レベル
0	220 ~ 480 [mA]
1	110 ~ 240 [mA]

3.2.19 WAKE

IO-Linkトランシーバからのウェイクアップ要求出力端子です。
ユーザにて基板上でP51/INTP2に接続してください。

3.2.20 EXCLK

メイン・システム・クロック用外部クロック入力端子です。

3.2.21 X1, X2

メイン・システム・クロック用発振子接続端子です。

3.2.22 AVREF

A/Dコンバータの基準電圧入力, およびP26, P27, P150-P153, A/Dコンバータの正電源供給端子です。

P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11をすべてアナログ・ポートとして使用する場合は, 1.8 V AVREF V_{DD} となる電位にしてください。P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11のうち, 1本でもデジタル・ポートとして使用する場合, またはA/Dコンバータを使用しない場合は, V_{DD}/EV_{DD} と同電位にしてください。

3.2.23 AVss

A/DコンバータおよびP26, P27, P150-P153のグランド電位端子です。A/Dコンバータを使用しないときでも, 常に V_{SS}/EV_{SS} と同電位で使用してください。

3.2.24 GND1

IO-Linkトランシーバのグランド電位端子です。

IO-LinkのL-線の接続端子です。

3.2.25 GND2

IO-Linkトランシーバのグランド電位端子です。

3.2.26 GND3

パッケージ裏の金属パッドです。

3.2.27 IVDD

IO-Linkトランシーバの電源端子です。外部または内蔵5Vレギュレータから電圧を供給できます。より大きな電流を供給するために, 外部NPNトランジスタを V_{REGO} (ベース)と IV_{DD} (エミッタ)に接続することができます。

外部トランスミッタなしで電圧レギュレータを使用する場合, 2つの端子を接続する必要があります。

IV_{DD} が IV_{DD_UV} より小さい場合は, トランスミッタは使用不可です (第26章 電気的特性参照)。

3.2.28 VDD/EVDD

P26, 27, P150-P153以外のポート端子の正電源, およびポート以外の端子の正電源供給端子です。

3.2.29 VDDH

IO-Linkトランシーバの正電源供給端子です。

IO-LinkのL+線の接続端子です。

3.2.30 VDD_IO

MCUとIO-Linkトランシーバ間のインタフェースの電圧レベル変換用の電圧入力端子です。

V_{DD_IO} が $V_{DD_IO_UV}$ より小さい場合は, トランスミッタは使用不可です (第26章 電気的特性参照)。

3.2.31 VREGO

IO-Linkトランシーバのレギュレータ制御用端子です。

3.2.32 Vss/EVss

P26, P27, P150-P153以外のポート端子, およびポート以外の端子のグランド電位端子です。

3.2.33 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にVssレベルにしておく必要がありますが, リセットにより内部でプルダウンされるため, 外部でプルダウンする必要はありません。ただし, バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (22.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また, セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は, Vss/EVss端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は, オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は, セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は, フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため, 外部でプルダウンする必要はありません。もし外部でもプルダウンするときは, 1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表3-3に示します。

表3-3 各端子の未使用端子処理 (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P05/TI05/TO05	8-R	入出力	入力時：個別に抵抗を介して、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} のどちらかに接続してください。 出力時：オープンにしてください。
P13/TxD3	5-AG		
P14/RxD3	8-R		
P16/TI01/TO01/INTP5	8-R		
P17/TI02/TO02			
P26/ANI6, P27/ANI7 ^{注1}	11-G		
P31/TI03/TO03/INTP4	8-R	入出力	入力時：個別に抵抗を介して、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} のどちらかに接続してください。 出力時：オープンにしてください。
P40/TOOL0			
P41/TOOL1	5-AG	入出力	<オンチップ・デバッグ許可設定時> プルアップしてください（プルダウン禁止）。 <オンチップ・デバッグ禁止設定時> 入力時：個別に抵抗を介して、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} のどちらかに接続してください。 出力時：オープンにしてください。
P60/SCL0	13-R		
P61/SDA0			
P65/TI11/TO11	8-R	入出力	入力時：個別に抵抗を介して、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} のどちらかに接続してください。 出力時：オープンにしてください。
P67/TI13/TO13			
P120/INTP0/EXLVI			
P121/X1 ^{注2}	37-C	入力	個別に抵抗を介して、 V_{DD}/EV_{DD} または V_{SS}/EV_{SS} のどちらかに接続してください。
P142/SCK20/SCL20	5-AN	入出力	入力時：個別に抵抗を介して、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} のどちらかに接続してください。 出力時：オープンにしてください。
P143/SI20/RxD2/SDA20			
P144/SO20/TxD2	5-AG		
P150/ANI8-P153/ANI11 ^{注1}	11-G		

注1. P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11は、リセット解除後はデジタル入力ポート・モードになります。

2. 未使用時は、入力ポート・モード（図7-2 クロック動作モード制御レジスタ（CMC）のフォーマットを参照）で上記の推奨接続方法を行ってください。

表3 - 3 各端子の未使用端子処理 (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
CQ	-	高電圧 入出力	個別に抵抗を介して, V _{SS} /EV _{SS} に接続してください。
IC1, IC2, IC3, IC4, IC7, IC8	-	-	オープンにしてください。
IC5, IC6	-	入力	V _{SS} /EV _{SS} と同電位にしてください。
NC	-	-	オープンにしてください。
SILIM	-	-	オープンにしてください。
X2/EXCLK	37-C	入力	個別に抵抗を介して, V _{DD} /EV _{DD} またはV _{SS} /EV _{SS} のどちらかに接続してください。
AV _{REF}	-	-	<P26, P27, P150-P153のうち, 1本でもデジタル・ポートとして設定時> V _{DD} /EV _{DD} と同電位にしてください。 <P26, P27, P150-P153をすべてアナログ・ポートとして設定時> 1.8 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	V _{SS} と同電位にしてください。
GND1	-	-	V _{SS} /EV _{SS} と同電位にしてください。
GND2	-	-	V _{SS} /EV _{SS} と同電位にしてください。
GND3	-	-	V _{SS} /EV _{SS} と同電位にしてください。
IV _{DD}	-	-	V _{DD} /EV _{DD} と同電位にしてください。
V _{DDH}	-	-	V _{DD} /EV _{DD} と同電位にしてください。
V _{DD_IO}	-	-	V _{DD} /EV _{DD} と同電位にしてください。
V _{REGO}	-	-	オープンにしてください。
FLMD0	2-W	-	オープンまたは100 kΩ以上の抵抗を介してV _{SS} /EV _{SS} に接続してください。
RESET	2	入力	EV _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し, V _{SS} /EV _{SS} に接続してください。

備考 IC3, IC4, IC7, NC端子は, FBGAパッケージ製品には搭載されていません。

図3-1 端子の入出力回路一覧(1/2)

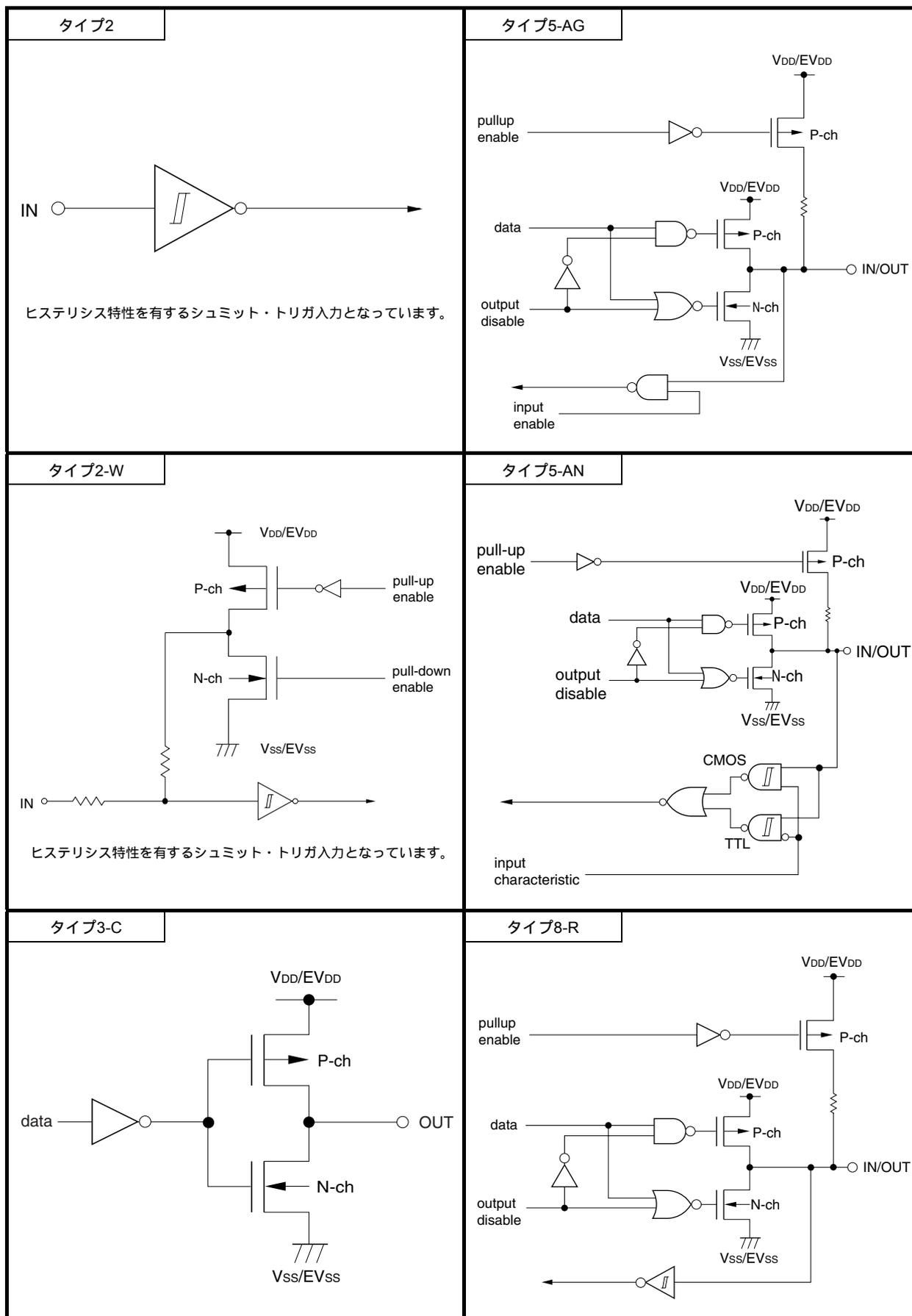
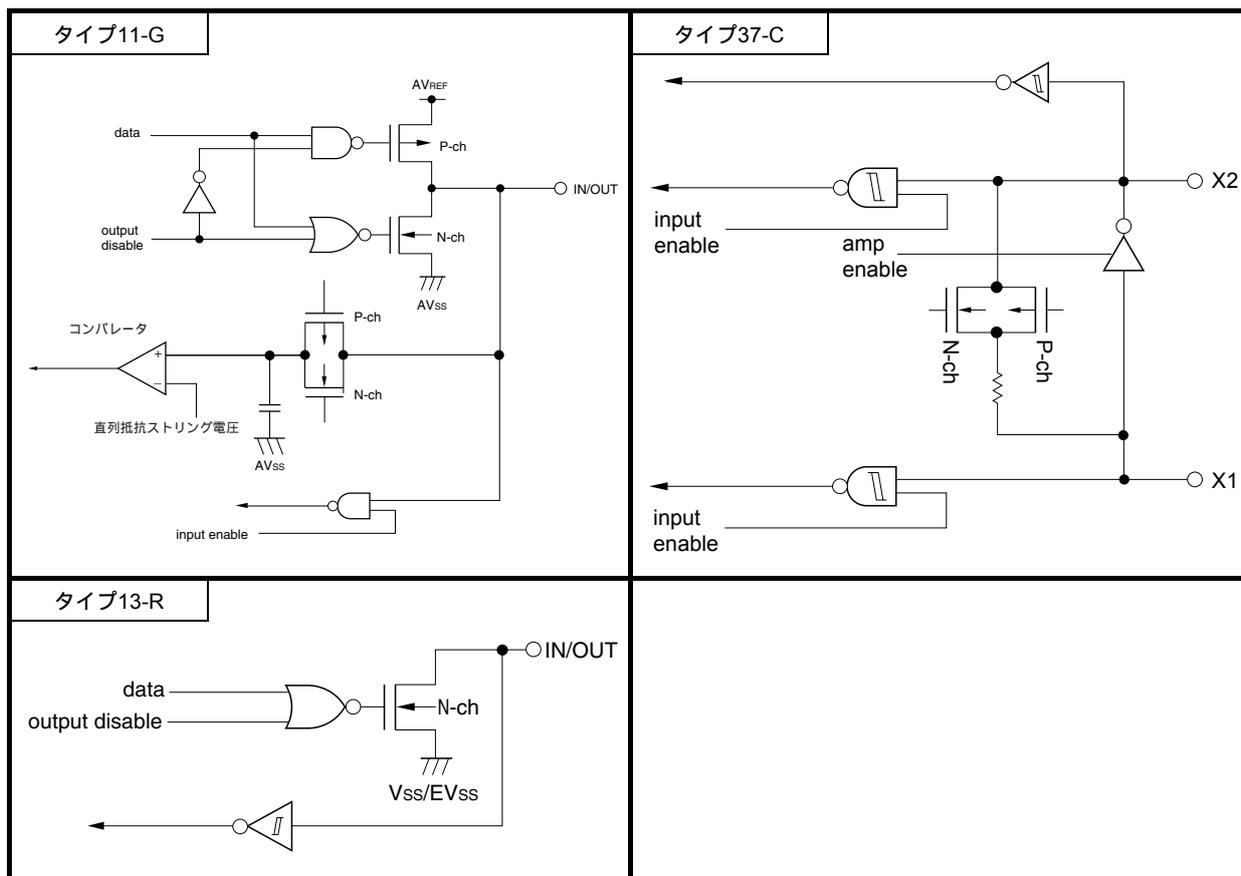


図3 - 1 端子の入出力回路一覧 (2/2)



第4章 IO-Link機能

μ PD78F8040, 78F8041, 78F8042, 78F8043では, IO-Linkトランシーバとの通信は, MCUのUART0を使用します (11.7.3~11.7.5参照)。

4.1 IO-Linkの概要

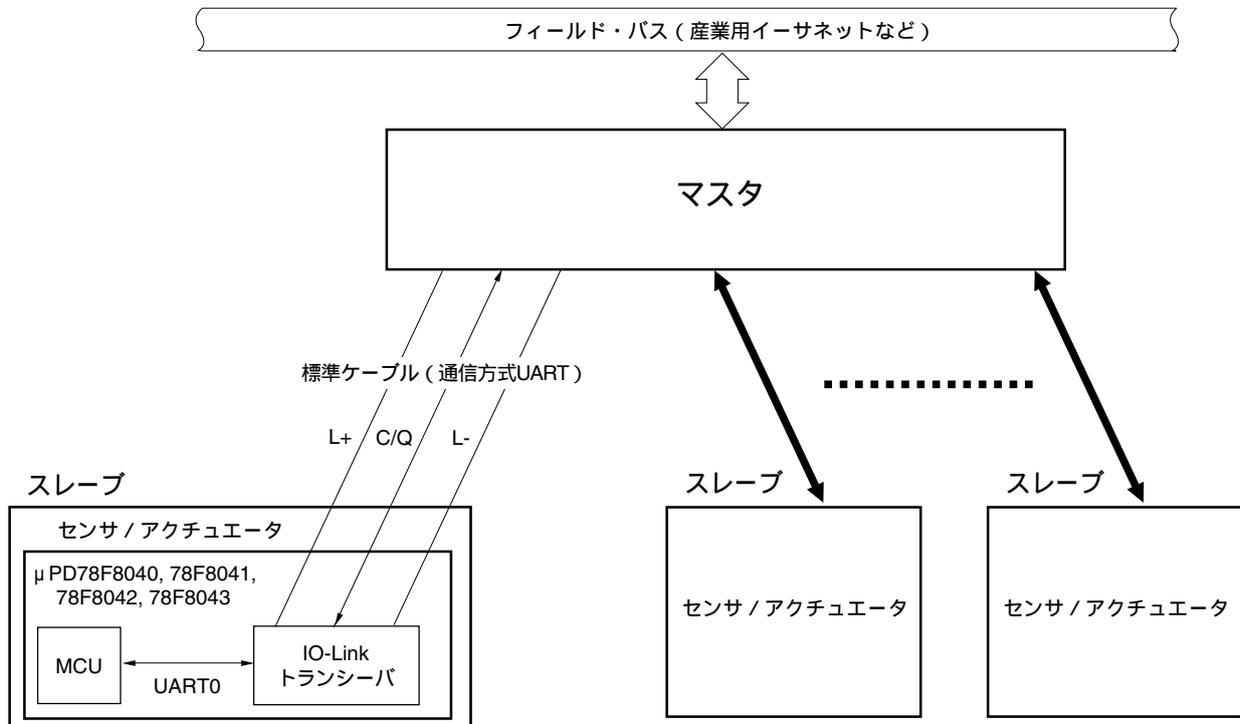
IO-Linkの特徴を次に示します。

- ・ センサ/アクチュエータ向けの標準プロトコル (Point to Point Protocol接続)
- ・ 診断機能が充実しているので, メンテナンスがしやすい
- ・ インストールが簡単
- ・ 既存のコネクタを使用でき, 既存のセンサにも継承性がある
- ・ 1つのマスタに複数のスレーブを接続可能

4.2 IO-Link接続の構成

μ PD78F8040, 78F8041, 78F8042, 78F8043とマスタのIO-Link接続の構成図を次に示します。

図4 - 1 IO-Link接続の構成図



4.3 本製品搭載のIO-Linkトランシーバの特徴

μPD78F8040, 78F8041, 78F8042, 78F8043は、IO-Link機能を内蔵しているIO-Linkトランシーバで実現しています。IO-Linkトランシーバはセンサやアクチュエータに内蔵されスレーブとして使用されます。IO-Linkマスタから3本のラインで通信と電源供給されます。

このIO-Linkトランシーバの特徴を次に示します。

- ・電源電圧：8～36 V
- ・5 Vレギュレータ内蔵
- ・ポー・レートを選択可能で最大230400 [bps]に対応
- ・ウエイクアップ検出機能
- ・3.3 V / 5 Vのインタフェース電源電圧対応
- ・過電流検出と遮断機能

4.3.1 トランスミッタのON/OFF制御

トランスミッタのイネーブル許可時に、ハイ・レベルになります。トランスミッタOFFでロウ・レベルになります。

P10 (MCUの内部接続端子) によりTXENビットを設定することができます。

注意 IV_{DD} が IV_{DD_UV} より小さい場合は、トランスミッタは使用不可です。

V_{DD_IO} が $V_{DD_IO_UV}$ より小さい場合は、トランスミッタは使用不可です (第26章 電気的特性参照)。

表4-1 トランスミッタのON/OFF制御

TXEN	動作
0	トランスミッタがOFFになります (デフォルト)
1	トランスミッタ許可

4.3.2 転送ポー・レートの選択

トランシーバの通信ポー・レートは、P15 (MCUの内部接続端子) からSPEED (トランシーバの内部接続端子) への入力信号により選択できます。

表4-2 転送ポー・レートの選択

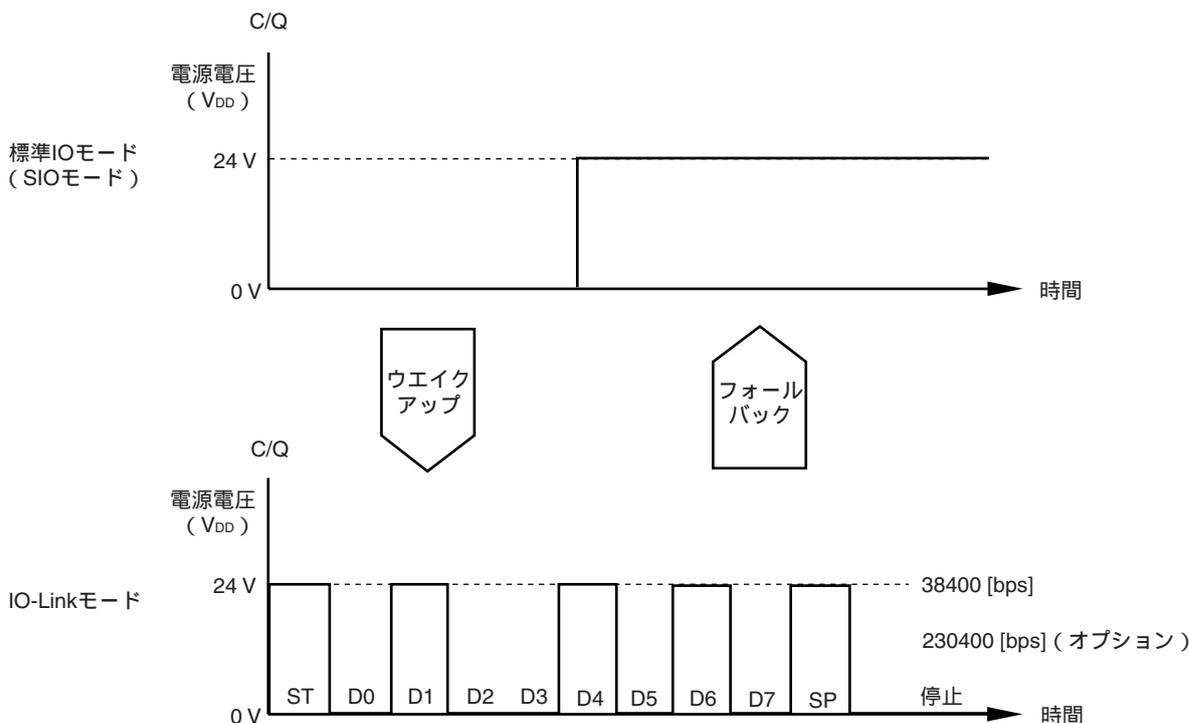
SPEED	転送ポー・レート
0	38400 [bps]
1	230400 [bps]

4.3.3 IO-Linkモードと標準IO (SIO) モード

IO-Linkの通信には、IO-Linkモードと標準IO (SIO) モードがあります。

- ・ IO-Linkモード : P12/TxD0 (内部端子) とP11/RxD0端子をシリアル・インタフェースのデータ入出力として使用
- ・ 標準IOモード : P12/TxD0 (内部端子) とP11/RxD0端子を汎用ポートとして使用

図4 - 2 標準IOモードとIO-Linkモード



4.3.4 ウェイクアップ検出機能

トランシーバは、CQ端子をモニタし、ウェイクアップ・イベントがあるかどうかを検知します。TXD (内部信号) が一定のまま、CQ端子からの信号が変化したら、ウェイクアップ・イベントが発生されます。ウェイクアップ・デバウンス時間が経過したら、ウェイクアップ・アップ信号が生成され、トランスミッタがOFFになります。

トランシーバのウェイクアップ信号検出は、WAKE (トランシーバの内部接続端子) からP51/INTP2 (MCUの内部接続端子) への入力信号により行われます。

4.3.5 過電流遮断機能

トランシーバの過電流検出は、ILIM (トランシーバの内部接続端子) からP50/INTP1 (MCUの内部接続端子) への入力信号により行われます。

また過電流遮断レベルは、SILIMへの入力信号により選択できます。

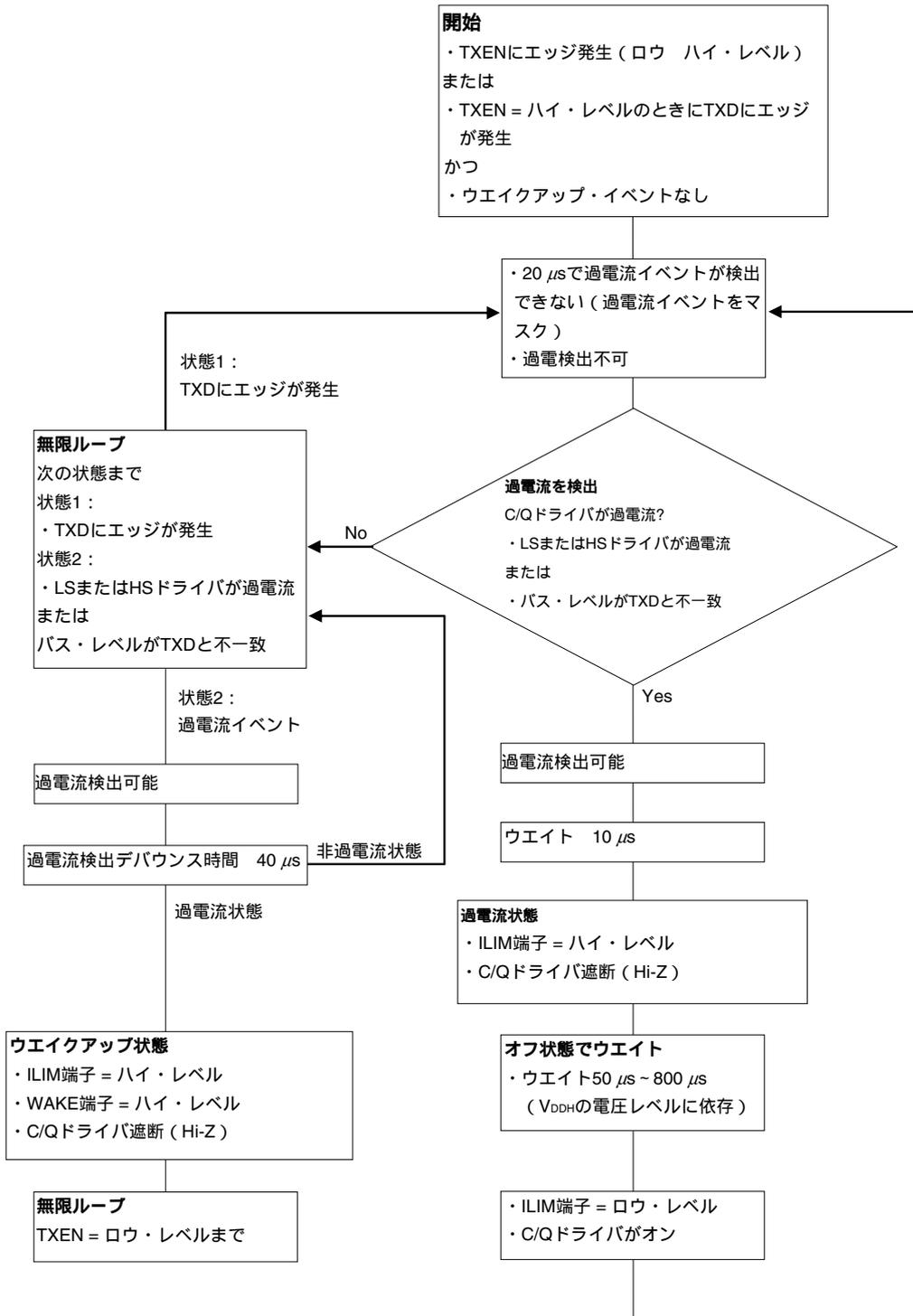
表4 - 3 過電流遮断レベルの選択

SILIM	過電流遮断レベル
0	220 ~ 480 [mA]
1	110 ~ 240 [mA]

4.4 ウェイクアップ検出と過電流検出の流れ

ウェイクアップ検出と過電流検出の流れのフロー・チャートを図4 - 3に示します。

図4 - 3 ウェイクアップ検出と過電流検出の流れ



注意 図4 - 3は , TXEN = ハイ・レベルのときのみにあてはまるフロー・チャートです。

4.5 IO-Linkの通信方法

4.5.1 IO-Linkの通信方法の概要

ビット単位のコーディングはNRZ (Non Return to Zero) コードを使用します。

ロジック値 “ 1 ” は、V_{DDH} (L+) 端子とCQ (C/Q) 端子間の電位差が24 Vであることを示しています。

ロジック値 “ 0 ” は、V_{DDH} (L+) 端子とCQ (C/Q) 端子間の電位差が0 Vであることを示しています。

オープンの状態でのCQ (C/Q) 端子の電位は、GND1 (L-) 端子を基準にすると0 Vで、V_{DDH} (L+) 端子を基準にすると - 24 Vです。

符号単位のコーディングは、UARTフォーマットを使用します。

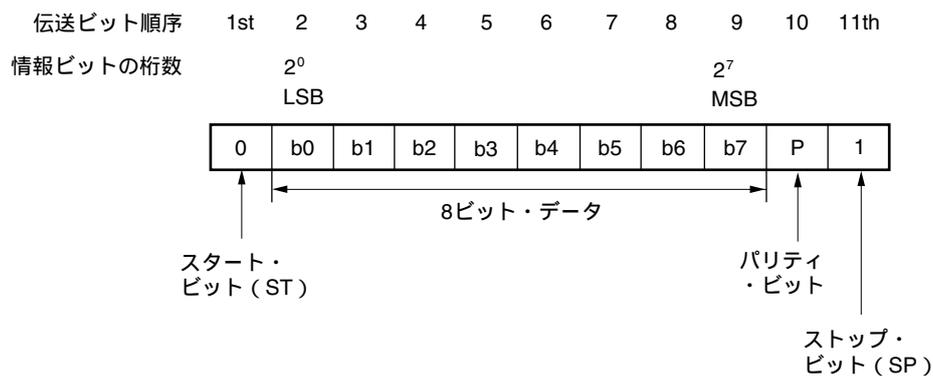
UARTは非同期通信方式です。

一つUART符号は1ビットのスタート・ビット、8ビットのデータ、1ビットのパリティ・ビット、1ビットのストップ・ビットで構成されています。

スタート・ビットのロジック値は、“ 0 ” です。

1つのUART符号の構成を図4 - 4で示します。

図4 - 4 1つのUART符号の構成

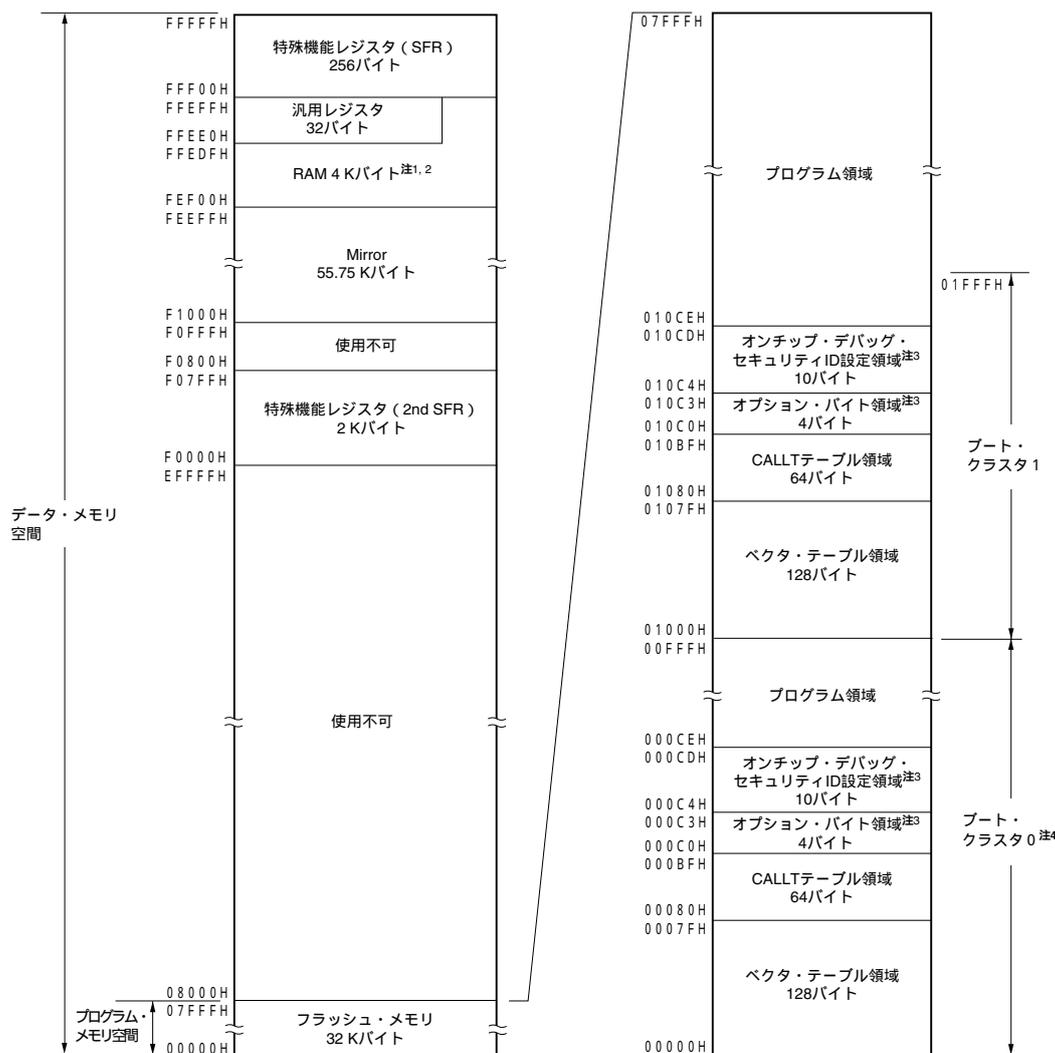


第5章 CPUアーキテクチャ

5.1 メモリ空間

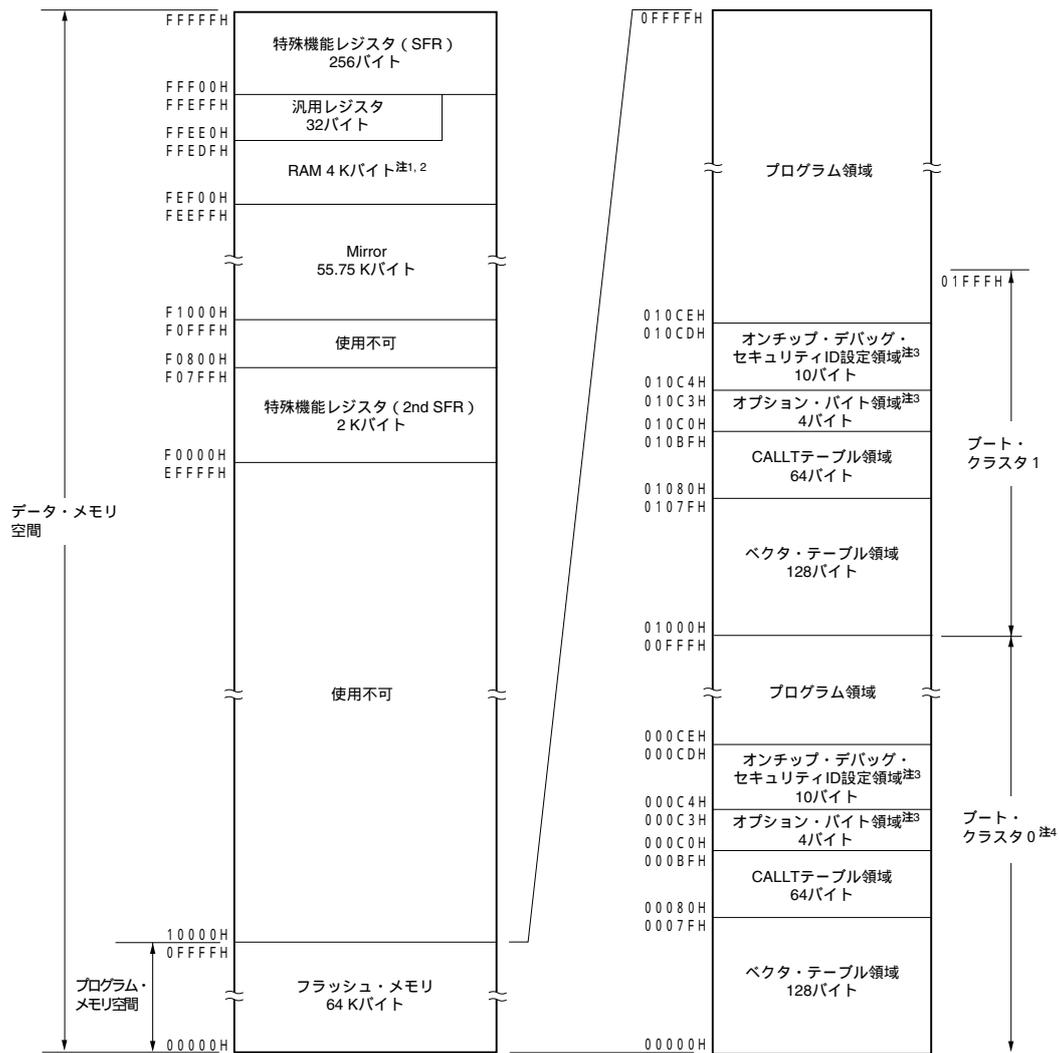
μ PD78F8040, 78F8041, 78F8042, 78F8043は, 1 Mバイトのメモリ空間をアクセスできます。図5 - 1 ~ 図5 - 4 に, メモリ・マップを示します。

図5 - 1 メモリ・マップ (μ PD78F8040)



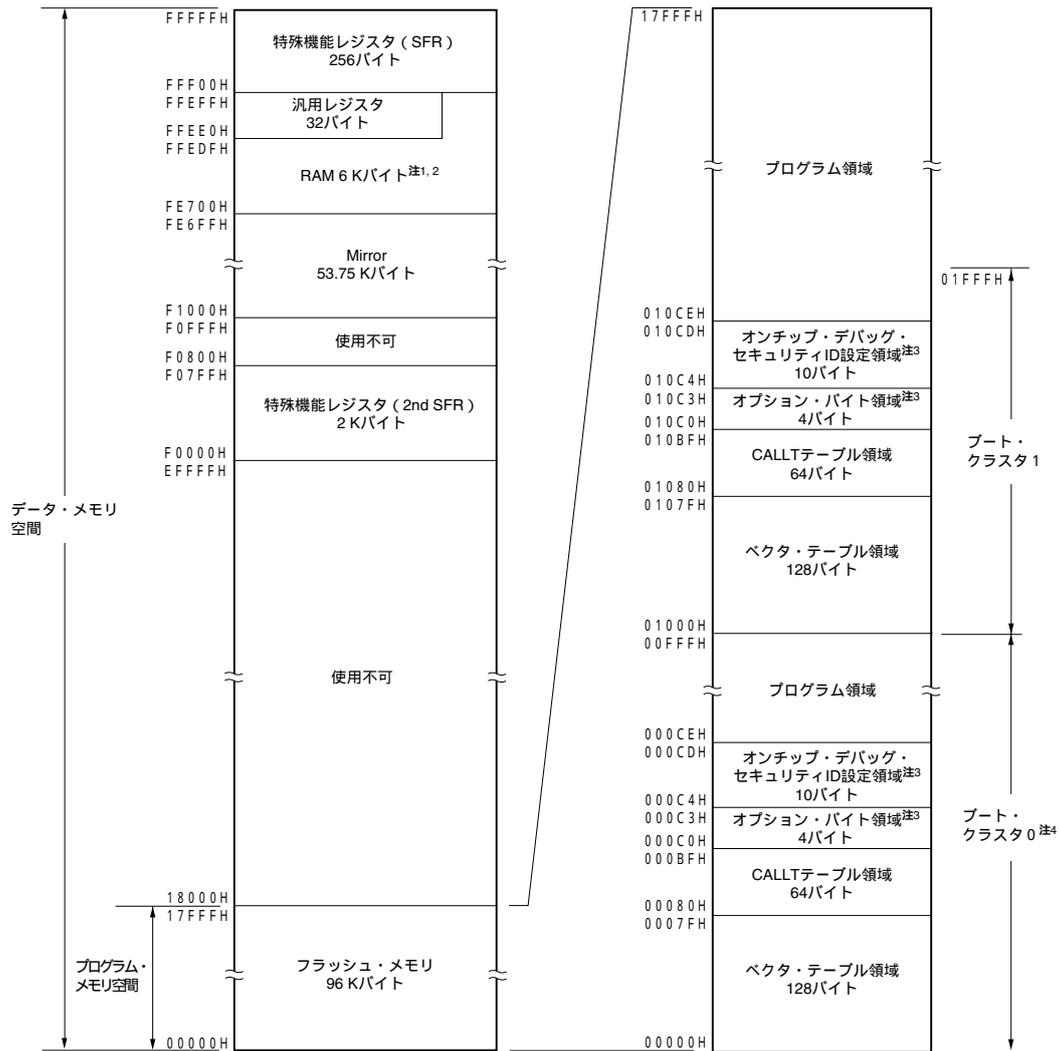
- 注1. セルフ・プログラミング機能使用時は,セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
- 2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 4. セキュリティの設定により, ブート・クラスター0は書き換えを禁止することができます (22.7 セキュリティ設定を参照)。

図5 - 2 メモリ・マップ (μ PD78F8041)



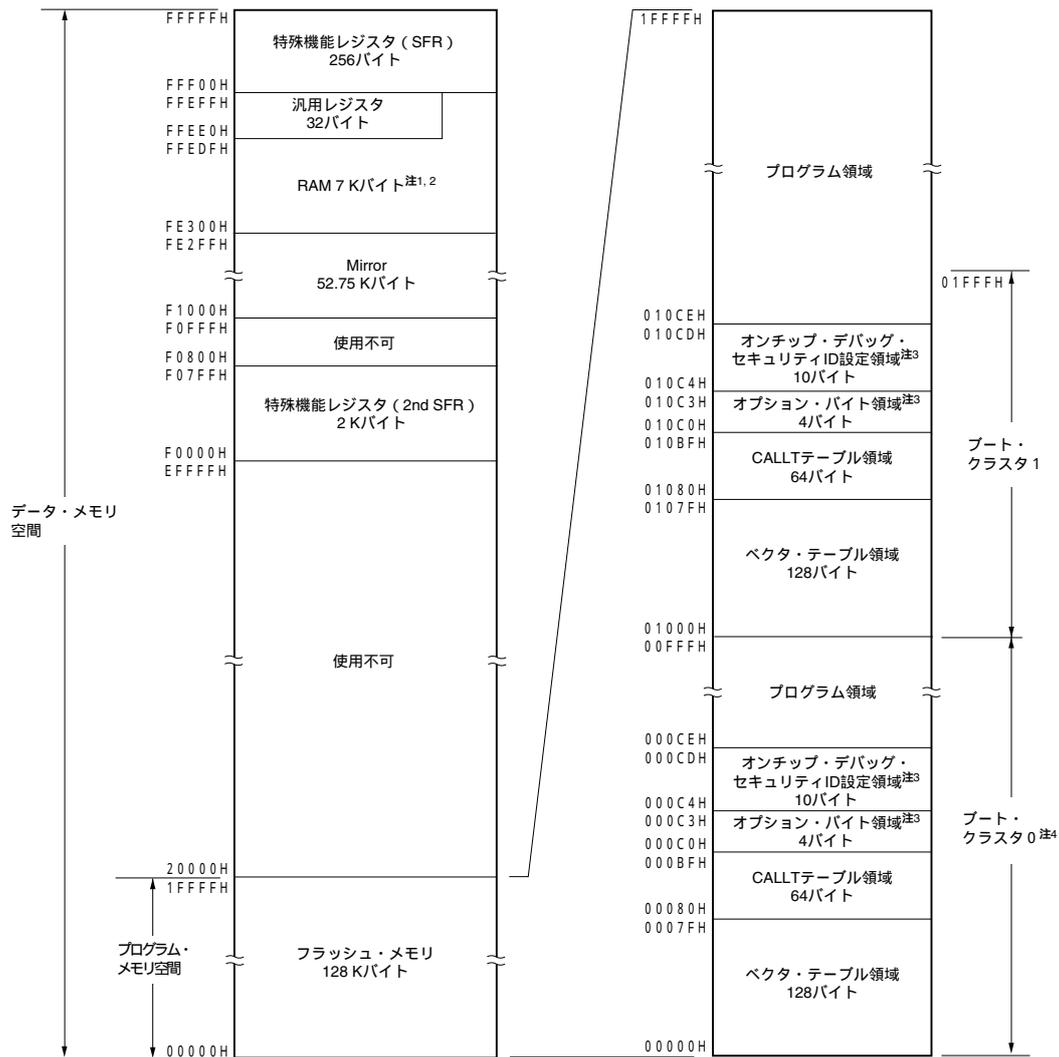
- 注1. セルフ・プログラミング機能使用時は,セルフ・プログラミング・ライブラリで使用するためFFE20H-FFE2FHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により,ブート・クラスタ0は書き換えを禁止することができます(22.7 **セキュリティ設定**を参照)。

図5-3 メモリ・マップ (μ PD78F8042)



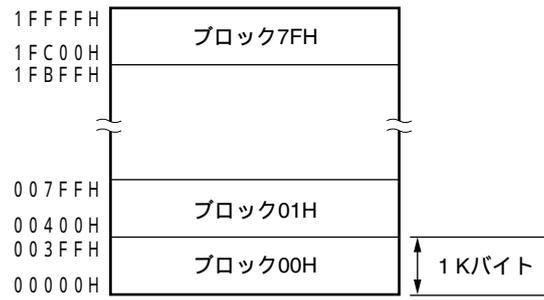
- 注1. セルフ・プログラミング機能使用時は,セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により,ブート・クラスタ0は書き換えを禁止することができます(22.7 **セキュリティ設定**を参照)。

図5-4 メモリ・マップ (μ PD78F8043)



- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (22.7 **セキュリティ設定**を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表5 - 1 **フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表5-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 μ PD78F8040 : ブロック番号00H-1FH
 μ PD78F8041 : ブロック番号00H-3FH
 μ PD78F8042 : ブロック番号00H-5FH
 μ PD78F8043 : ブロック番号00H-7FH

5.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。

μ PD78F8040, 78F8041, 78F8042, 78F8043は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表5-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F8040	フラッシュ・メモリ	32768 × 8ビット (00000H-07FFFH)
μ PD78F8041		65536 × 8ビット (00000H-0FFFFH)
μ PD78F8042		98304 × 8ビット (00000H-17FFFH)
μ PD78F8043		131072 × 8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表5-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP	0002CH	INTTM00
		0002EH	INTTM01
00004H	INTWDTI	00030H	INTTM02
00006H	INTLVI	00032H	INTTM03
00008H	INTP0	00034H	INTAD
0000AH	INTP1	0003CH	INTST2/INTCSI20/INTIIC20
0000CH	INTP2	00040H	INTTM13
00010H	INTP4	00042H	INTTM04
00012H	INTP5	00044H	INTTM05
00014H	INTST3	00046H	INTTM06
00016H	INTSR3	00048H	INTTM07
00018H	INTSRE3	0004AH	INTSR2
0001AH	INTDMA0	00056H	INTTM10
0001CH	INTDMA1	00058H	INTTM11
0001EH	INTST0	0005AH	INTTM12
00020H	INTSR0	0005CH	INTSRE2
00022H	INTSRE0	0005EH	INTMD
0002AH	INTIICA	0007EH	BRK

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第21章 **オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第23章 **オンチップ・デバッグ機能**を参照してください。

5.1.2 ミラー領域

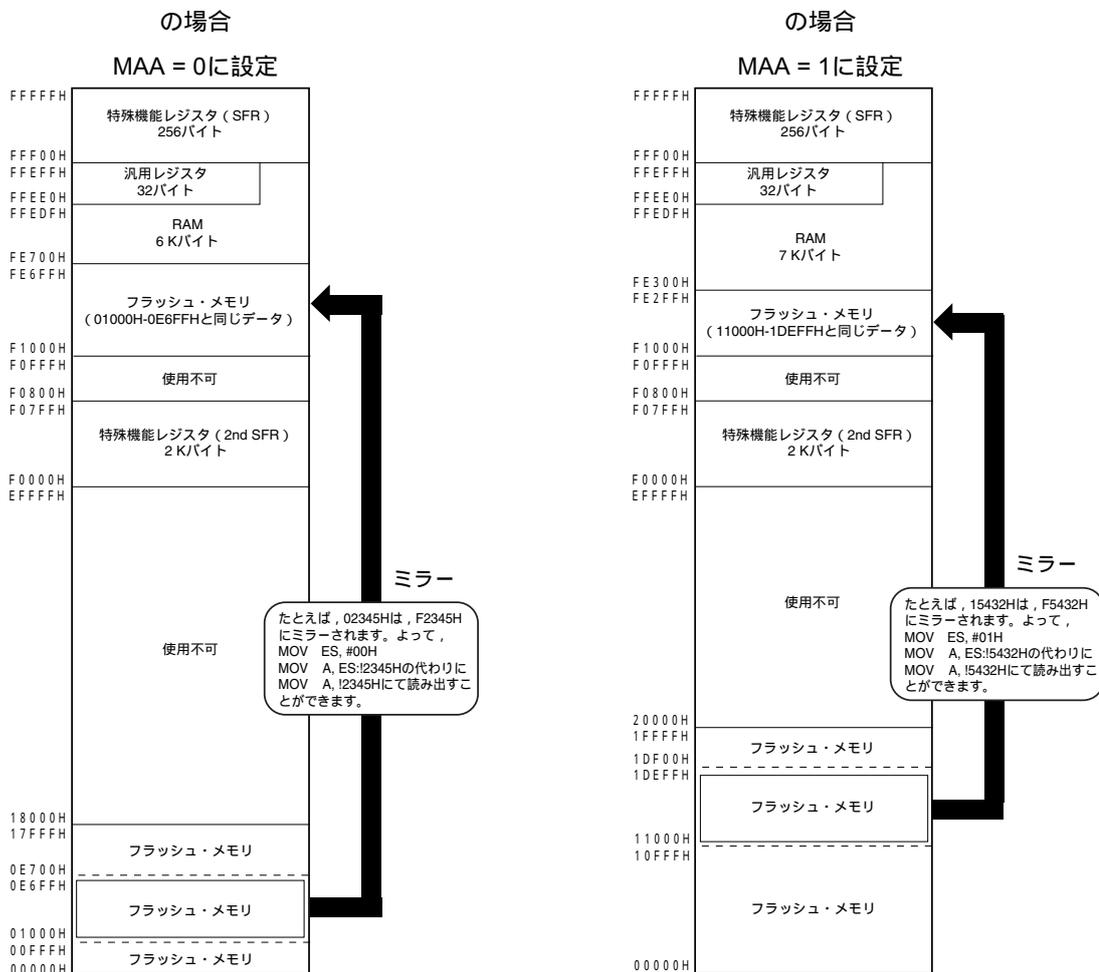
μ PD78F8040, 78F8041, 78F8042, 78F8043では, 00000H-0FFFFHまたは10000H-1FFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています (ミラーさせるデータ・フラッシュ・エリアは, プロセッサ・モード・コントロール・レジスタ (PMC) で設定)。

ミラー先のF0000H-FFFFFHからデータを読み込むことにより, オペランドにESレジスタを持たない命令を使用することができるため, 短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし, SFR, 拡張SFR, RAM, 使用不可領域にはミラーされません。

各製品のミラー領域は, 5.1 メモリ空間を参照してください。
ミラー領域は読み出しのみ可能で, 命令フェッチはできません。

次に例を示します。

例1 μ PD78F8042 (フラッシュ・メモリ 96 Kバイト, RAM 6 Kバイト) **例2** μ PD78F8043 (フラッシュ・メモリ 128 Kバイト, RAM 7 Kバイト)



備考 MAAは, プロセッサ・モード・コントロール・レジスタ (PMC) のビット0です。

次に, PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を選択するレジスタです。
 PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図5-5 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー ^注

注 μ PD78F8040, 78F8041は設定禁止です。

- 注意1. μ PD78F8040, 78F8041は、必ずビット0 (MAA) を0 (初期値) でご使用ください。
- PMCレジスタの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。
初期設定以外でのPMCレジスタの書き替えは禁止です。
 - PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

5.1.3 内部データ・メモリ空間

μ PD78F8040, 78F8041, 78F8042, 78F8043は、次に示すRAMを内蔵しています。

表5-4 内部RAM容量

製 品	内部RAM
μ PD78F8040	4096×8ビット (FEF00H-FFEFFH)
μ PD78F8041	4096×8ビット (FEF00H-FFEFFH)
μ PD78F8042	6144×8ビット (FE700H-FFEFFH)
μ PD78F8043	7168×8ビット (FE300H-FFEFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- セルフ・プログラミング機能使用時は、FFE20H-FFEFFHの領域をスタック・メモリとして使用できません。

5.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (5.2.4 特殊機能レジスタ (SFR : Special Function Register) の表5 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

5.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (5.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表5 - 6参照)。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

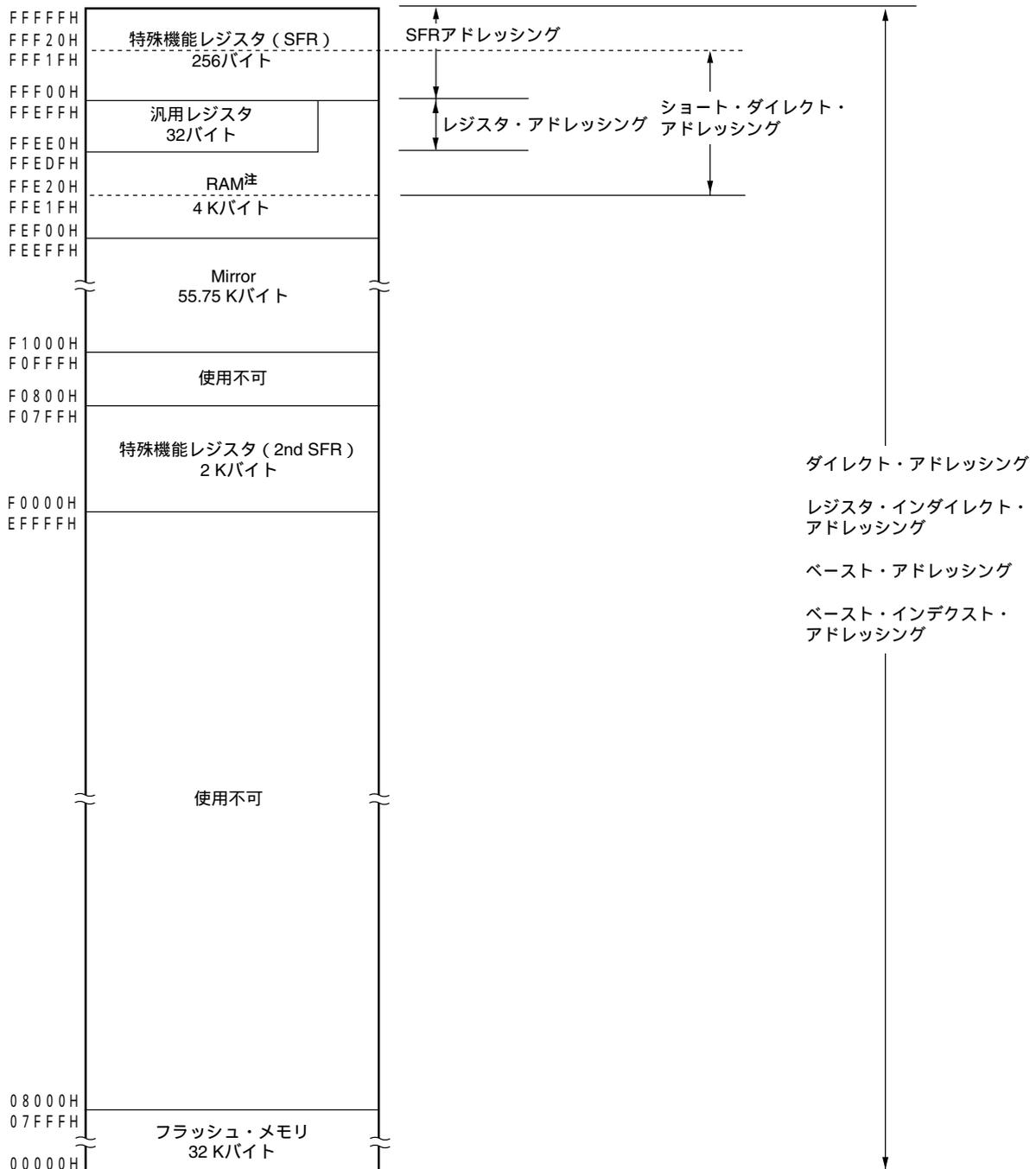
注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

5.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

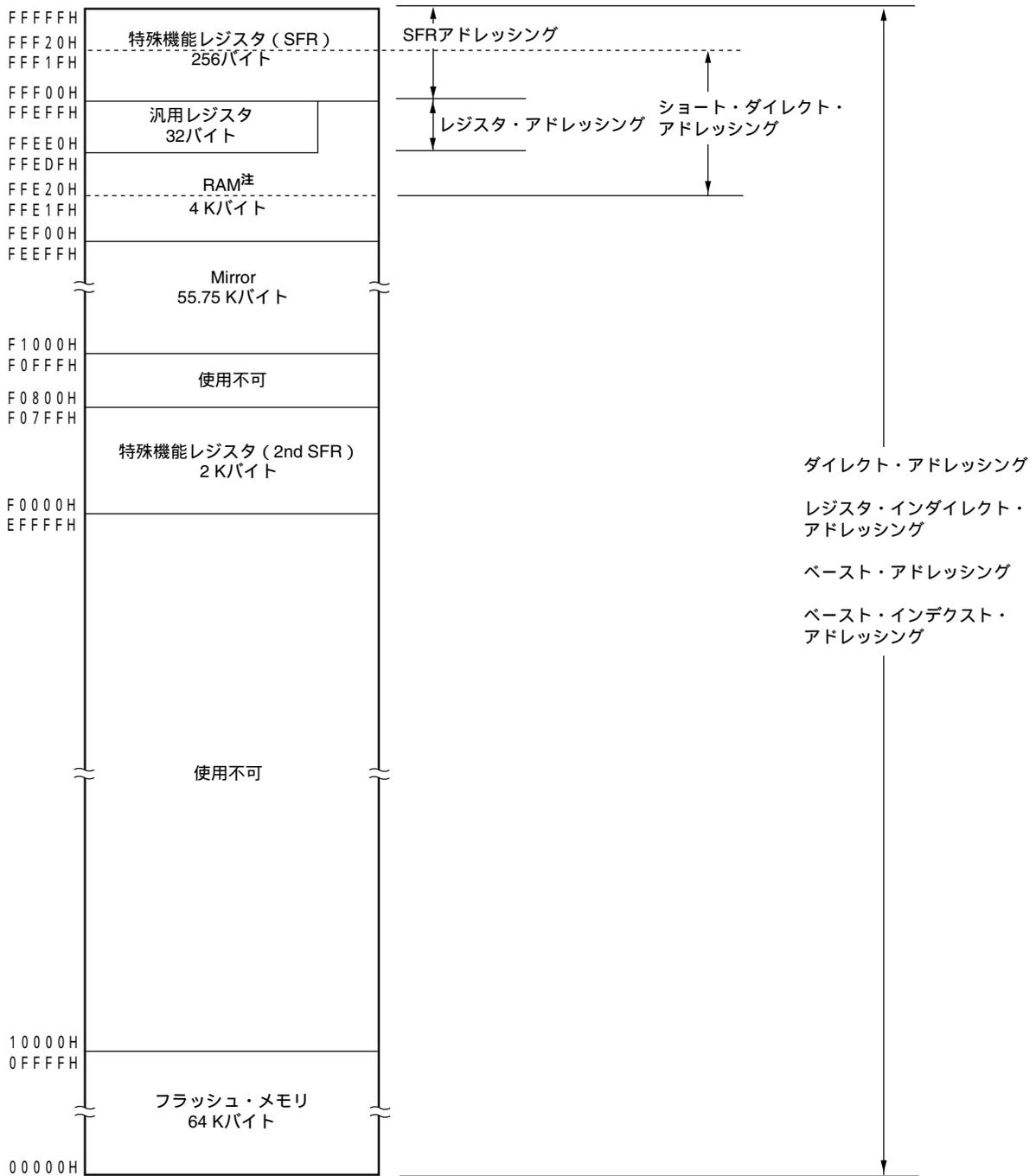
命令を実行する際に操作対象となるメモリのアドレッシングについて、μ PD78F8040, 78F8041, 78F8042, 78F8043では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図5 - 6 ~ 図5 - 9にデータ・メモリとアドレッシングの対応を示します。

図5 - 6 データ・メモリとアドレッシングの対応 (μ PD78F8040)



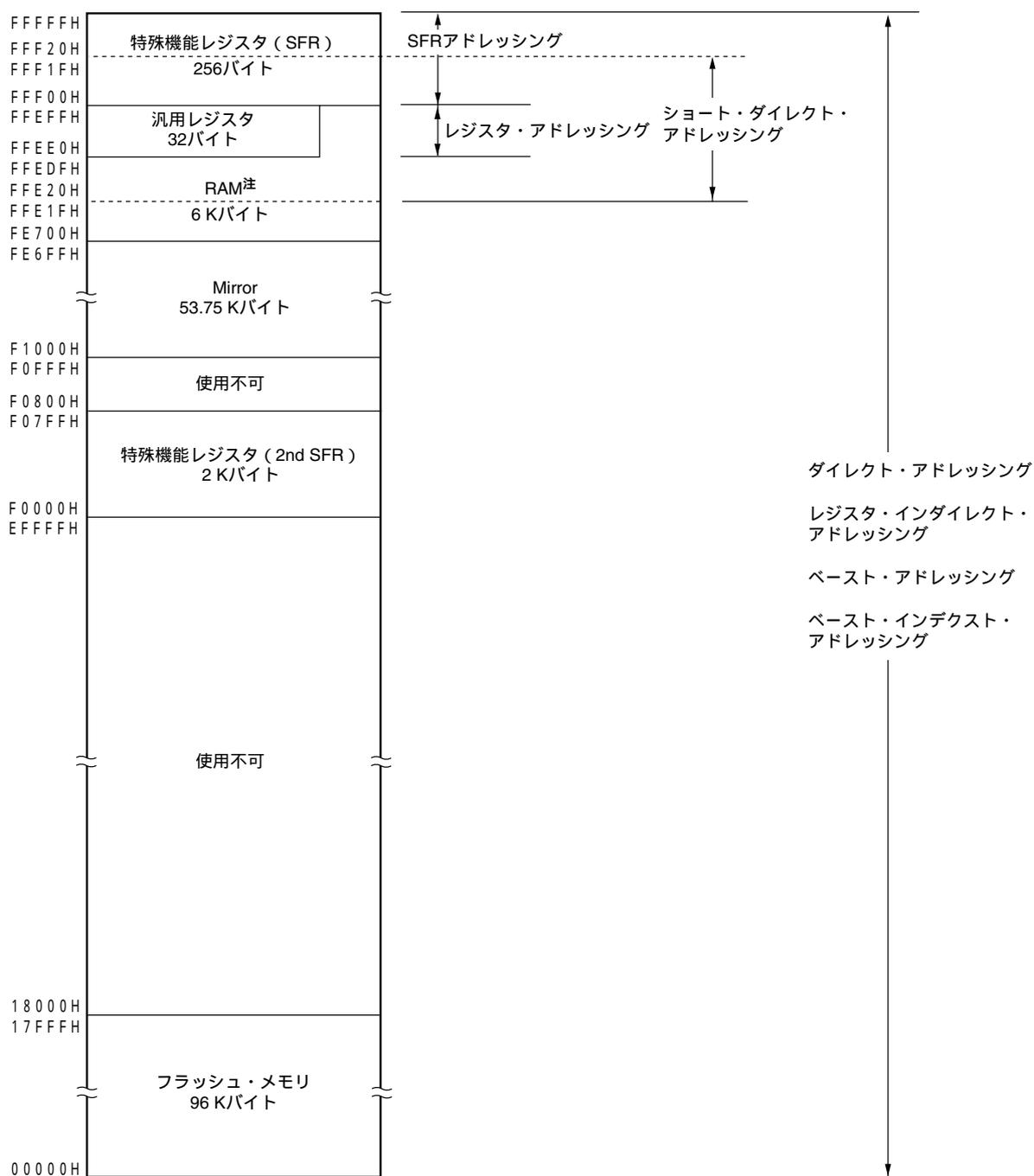
注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図5-7 データ・メモリとアドレッシングの対応 (μPD78F8041)



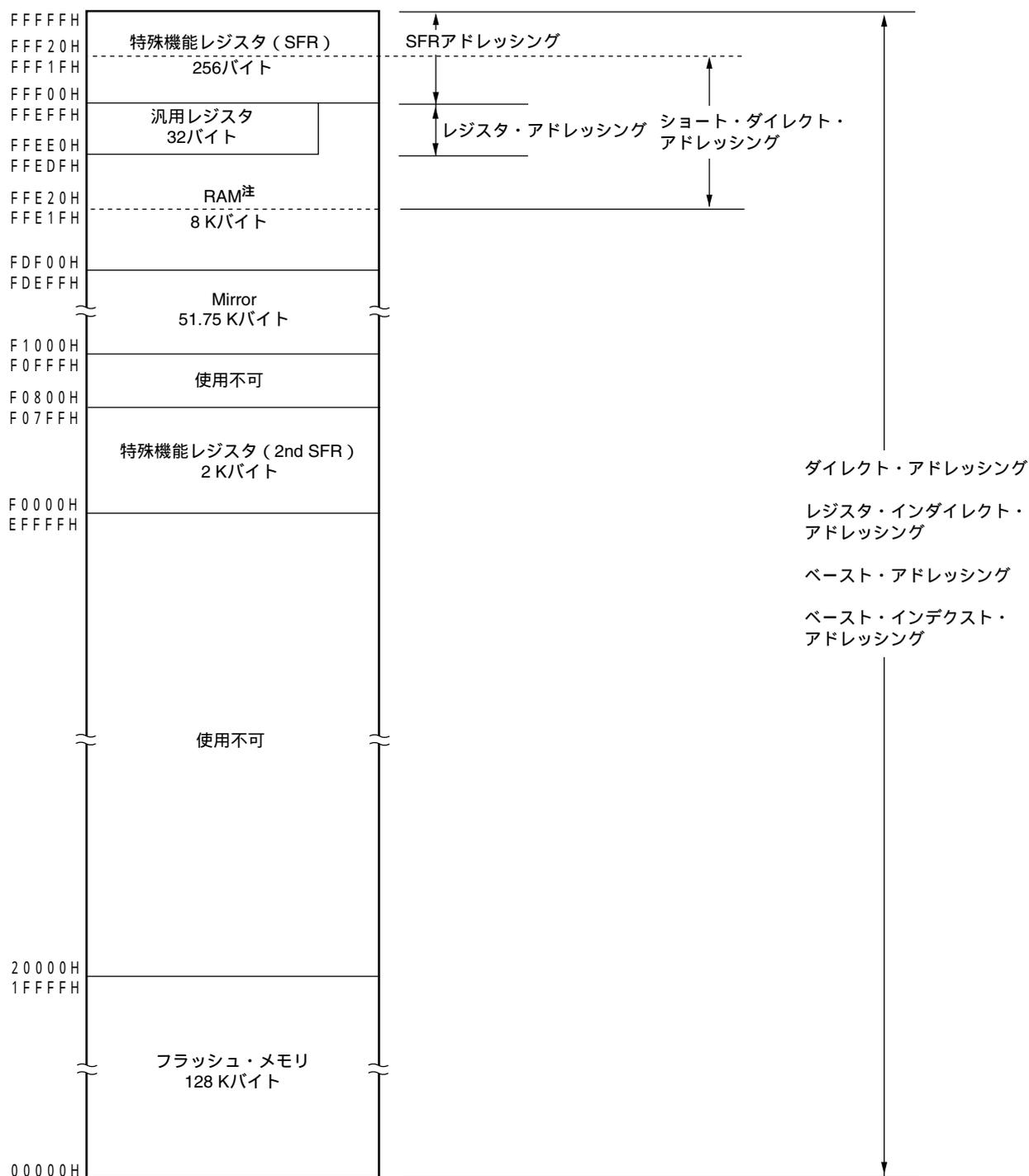
注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFE1FHの領域が使用禁止になります。

図5 - 8 データ・メモリとアドレッシングの対応 (μPD78F8042)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEFHの領域が使用禁止になります。

図5 - 9 データ・メモリとアドレッシングの対応 (μPD78F8043)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFDF00H-FE2FFHの領域が使用禁止になります。

5.2 プロセッサ・レジスタ

μPD78F8040, 78F8041, 78F8042, 78F8043は、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

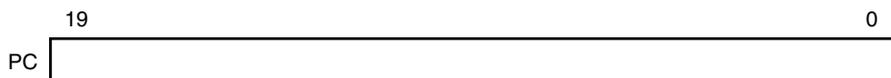
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5 - 10 プログラム・カウンタの構成



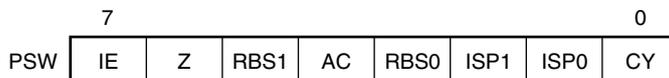
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図5 - 11 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

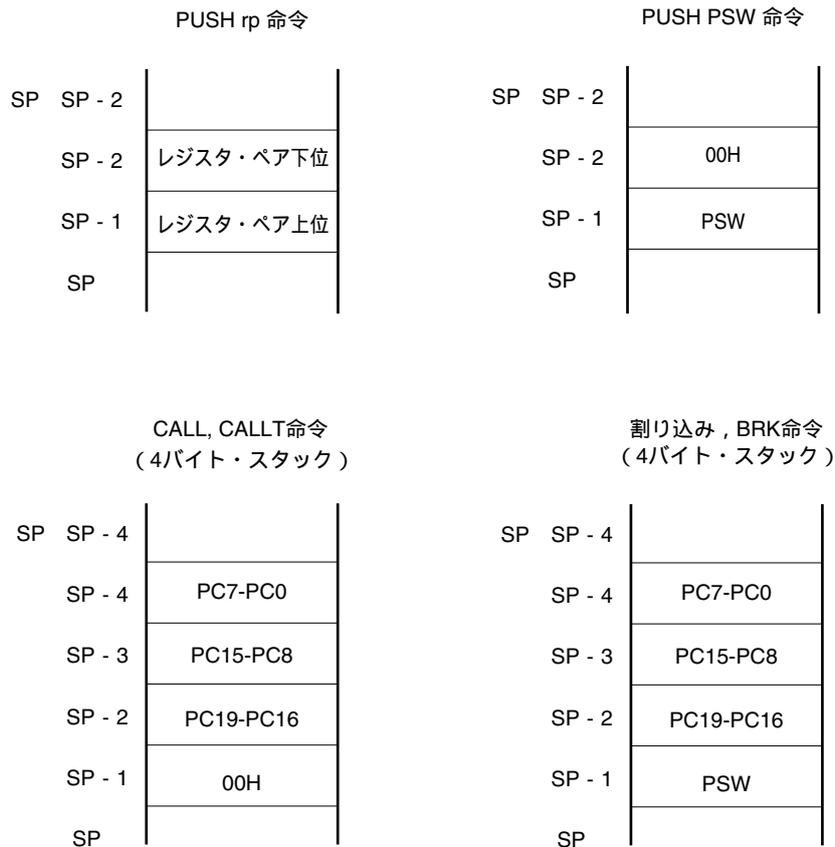
CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

図5 - 13 スタック・メモリへ退避されるデータ



5.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

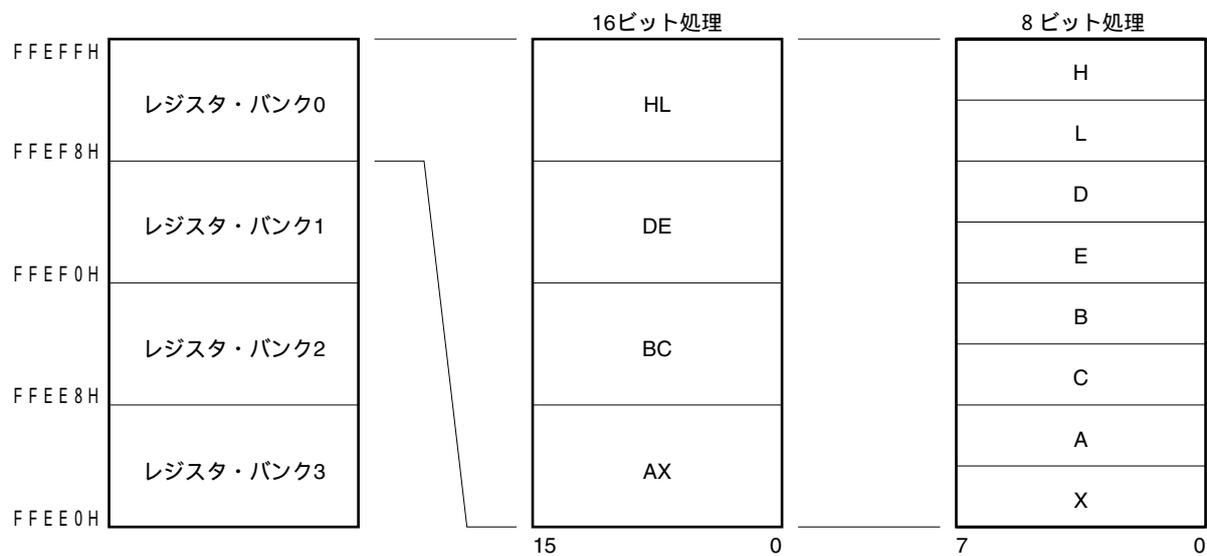
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL Rn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

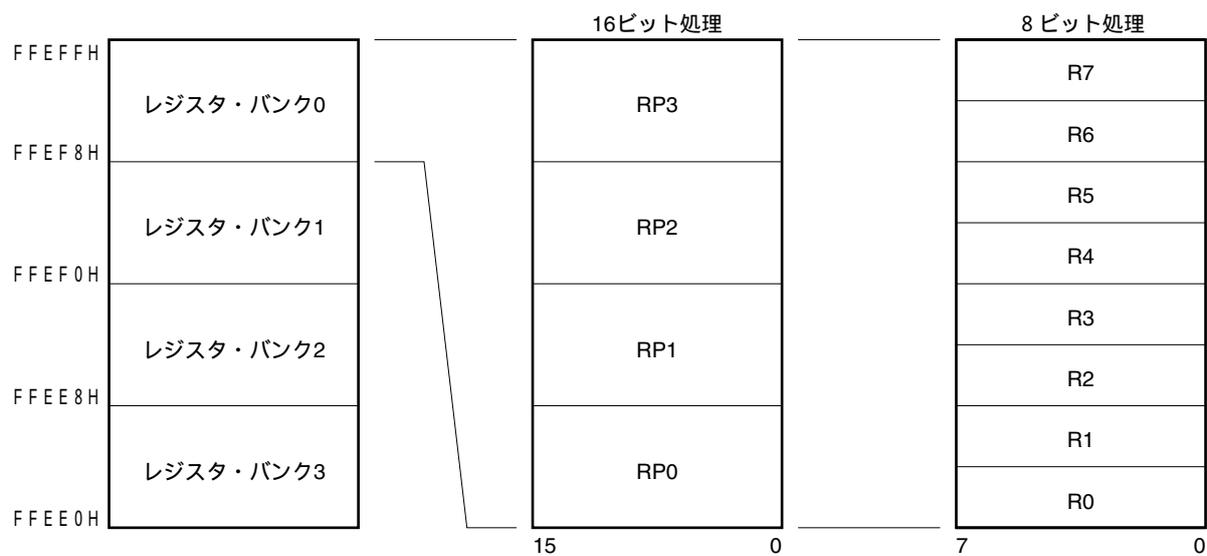
- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 2. セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。

図5 - 14 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



5.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス，CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図5 - 15 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

5.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略 号

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、5.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表5 - 5 SFR一覧(1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W			-	00H
FFF01H	ポート・レジスタ1	P1		R/W			-	00H
FFF02H	ポート・レジスタ2	P2		R/W			-	00H
FFF03H	ポート・レジスタ3	P3		R/W			-	00H
FFF04H	ポート・レジスタ4	P4		R/W			-	00H
FFF05H	ポート・レジスタ5	P5		R/W			-	00H
FFF06H	ポート・レジスタ6	P6		R/W			-	00H
FFF0CH	ポート・レジスタ12	P12		R/W			-	不定
FFF0EH	ポート・レジスタ14	P14		R/W			-	00H
FFF0FH	ポート・レジスタ15	P15		R/W			-	00H
FFF10H	シリアル・データ・レジスタ00	TXD0	SDR00	R/W	-			0000H
FFF11H		-			-	-		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-			0000H
FFF13H		-			-	-		
FFF14H	シリアル・データ・レジスタ12	TXD3	SDR12	R/W	-			0000H
FFF15H		-			-	-		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-			0000H
FFF17H		-			-	-		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-		0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	-	-		0000H
FFF1BH								
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-		0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	-		-	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W			-	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W			-	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W			-	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W			-	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W			-	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W			-	FFH
FFF27H	ポート・モード・レジスタ7	PM7 ^注		R/W			-	FFH
FFF2BH	ポート・モード・レジスタ11	PM11 ^注		R/W			-	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W			-	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W			-	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W			-	FFH
FFF30H	A/Dコンバータ・モード・レジスタ	ADM		R/W			-	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W			-	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W			-	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W			-	00H
FFF3CH	入力切り替え制御レジスタ	ISC		R/W			-	00H

注 未使用内部端子のポート・モード・レジスタです。2. 2 MCUの未使用内部端子の初期設定を参照してください。

表5 - 5 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	-			0000H
FFF49H		-			-	-		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-			0000H
FFF4BH		-			-	-		
FFF50H	IICAシフト・レジスタ	IICA		R/W	-		-	00H
FFF51H	IICAステータス・レジスタ	IICS		R			-	00H
FFF52H	IICAフラグ・レジスタ	IICF		R/W			-	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	-	-		0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03		R/W	-	-		0000H
FFF67H								
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	-	-		0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	-	-		0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	-	-		0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	-	-		0000H
FFF6FH								
FFF70H	タイマ・データ・レジスタ10	TDR10		R/W	-	-		0000H
FFF71H								
FFF72H	タイマ・データ・レジスタ11	TDR11		R/W	-	-		0000H
FFF73H								
FFF74H	タイマ・データ・レジスタ12	TDR12		R/W	-	-		0000H
FFF75H								
FFF76H	タイマ・データ・レジスタ13	TDR13		R/W	-	-		0000H
FFF77H								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	-		-	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W			-	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R			-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	-		-	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W			-	09H

表5-5 SFR一覧(3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	-		-	不定 ^{注1}
FFFA9H	低電圧検出レジスタ	LVIM		R/W			-	00H ^{注2}
FFFAAH	低電圧検出レベル選択レジスタ	LVIS		R/W			-	0EH ^{注3}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	-		-	1A/9A ^{注4}
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	-		-	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	-		-	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-			00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-			00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-			00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-			00H
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-			00H
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	-			00H
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-			00H
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	-			00H
FFFB AH	DMA モード・コントロール・レジスタ0	DMC0		R/W			-	00H
FFFB BH	DMA モード・コントロール・レジスタ1	DMC1		R/W			-	00H
FFFB CH	DMA 動作コントロール・レジスタ0	DRC0		R/W			-	00H
FFFB DH	DMA 動作コントロール・レジスタ1	DRC1		R/W			-	00H
FFFB EH	バックグラウンド・イベント・コントロール・レジスタ	BECTL		R/W			-	00H
FFFC0H	-	PFCMD ^{注5}		-	-	-	-	不定
FFFC2H	-	PFS ^{注5}		-	-	-	-	不定
FFFC4H	-	FLPMC ^{注5}		-	-	-	-	不定
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H

注1. RESFのリセット値は、リセット要因により変化します。

2. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

3. LVISのリセット値は、リセット要因により変化します。

4. WDTEのリセット値は、オプション・バイトの設定で決定します。

5. セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表5 - 5 SFR一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH
FFFF0H	乗除算データ・レジスタA (L)	MDAL/MULA		R/W	-	-		0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA (H)	MDAH/MULB		R/W	-	-		0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB (H)	MDBH/ MULOH		R/W	-	-		0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB (L)	MDBL/ MULOL		R/W	-	-		0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H

備考 拡張SFR (2nd SFR) については、表5 - 6 拡張SFR (2nd SFR) 一覧を参照してください。

5.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、5.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表5 - 6 拡張SFR (2nd SFR) 一覧 (1/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	-		-	10H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H
F0036H	プルアップ抵抗オプション・レジスタ6	PU6	R/W			-	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H
F004EH	ポート入力モード・レジスタ14	PIM14	R/W			-	00H
F005EH	ポート出力モード・レジスタ14	POM14	R/W			-	00H
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			-	00H
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			-	00H
F0062H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W			-	00H
F00E0H	乗除算データ・レジスタC (L)	MDCL	R	-	-		0000H
F00E2H	乗除算データ・レジスタC (H)	MDCH	R	-	-		0000H
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W			-	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W			-	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W	-		-	00H
F00F4H	レギュレータ・モード制御レジスタ	RMC	R/W	-		-	00H
F00F6H	20 MHz高速内蔵発振制御レジスタ	DSCCTL	R/W			-	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	-		-	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-		0000H
F0101H		-			-	-	
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-		0000H
F0103H		-			-	-	
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	-		0000H
F0109H		-			-	-	
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-		0000H
F010BH		-			-	-	
F0110H	シリアル・モード・レジスタ00	SMR00	R/W	-	-		0020H
F0111H							
F0112H	シリアル・モード・レジスタ01	SMR01	R/W	-	-		0020H
F0113H							

表5 - 6 拡張SFR (2nd SFR) 一覧 (2/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-		0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-		0087H
F011BH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R				0000H
F0121H		-			-			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H
F0123H		-			-			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H
F0125H		-			-			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-			0000H
F0127H		-			-			
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H
F012BH		-			-			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-			0000H
F0135H		-			-			
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	-			0000H
F0141H		-			-			
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	-			0000H
F0143H		-			-			
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	-			0000H
F0145H		-			-			
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	-			0000H
F0147H		-			-			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	-			0000H
F0149H		-			-			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	-			0000H
F014BH		-			-			
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ12	SIR12L	SIR12	R/W	-			0000H
F014DH		-			-			
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W	-			0000H
F014FH		-			-			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	-	-		0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	-	-		0020H
F0153H								
F0154H	シリアル・モード・レジスタ12	SMR12		R/W	-	-		0020H
F0155H								
F0156H	シリアル・モード・レジスタ13	SMR13		R/W	-	-		0020H
F0157H								

表5 - 6 拡張SFR (2nd SFR) 一覧 (3/6)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-		0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-		0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W	-	-		0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W	-	-		0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R				0000H
F0161H		-			-			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W				0000H
F0163H		-			-			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W				0000H
F0165H		-			-			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-			0000H
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-		0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W				0000H
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-			0000H
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-		FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-		FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-		FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-		FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-		FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-		FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-		FFFFH
F018FH								

表5 - 6 拡張SFR (2nd SFR) 一覧 (4/6)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-		0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-		0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-		0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-		0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-		0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-		0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-		0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-		0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-			0000H
F01A1H		-						
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-			0000H
F01A3H		-						
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-			0000H
F01A5H		-						
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-			0000H
F01A7H		-						
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-			0000H
F01A9H		-						
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-			0000H
F01ABH		-						
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-			0000H
F01ADH		-						
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-			0000H
F01AFH		-						
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R				0000H
F01B1H		-						
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W				0000H
F01B3H		-						
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W				0000H
F01B5H		-						
F01B6H	タイマ・クロック選択レジスタ0	TPS0L	TPS0	R/W	-			0000H
F01B7H		-						

表5 - 6 拡張SFR (2nd SFR) 一覧 (5/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-		0000H	
F01B9H		-			-			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W			0000H	
F01BBH		-			-			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-		0000H	
F01BDH		-			-			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-		0000H	
F01BFH		-			-			
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	-	-	FFFFH	
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	-	-	FFFFH	
F01C3H								
F01C4H	タイマ・カウンタ・レジスタ12	TCR12		R	-	-	FFFFH	
F01C5H								
F01C6H	タイマ・カウンタ・レジスタ13	TCR13		R	-	-	FFFFH	
F01C7H								
F01C8H	タイマ・モード・レジスタ10	TMR10		R/W	-	-	0000H	
F01C9H								
F01CAH	タイマ・モード・レジスタ11	TMR11		R/W	-	-	0000H	
F01CBH								
F01CCH	タイマ・モード・レジスタ12	TMR12		R/W	-	-	0000H	
F01CDH								
F01CEH	タイマ・モード・レジスタ13	TMR13		R/W	-	-	0000H	
F01CFH								
F01D0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	R	-		0000H	
F01D1H		-			-			
F01D2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	R	-		0000H	
F01D3H		-			-			
F01D4H	タイマ・ステータス・レジスタ12	TSR12L	TSR12	R	-		0000H	
F01D5H		-			-			
F01D6H	タイマ・ステータス・レジスタ13	TSR13L	TSR13	R	-		0000H	
F01D7H		-			-			
F01D8H	タイマ・チャンネル許可ステータス・レジスタ1	TE1L	TE1	R			0000H	
F01D9H		-			-			
F01DAH	タイマ・チャンネル開始レジスタ1	TS1L	TS1	R/W			0000H	
F01DBH		-			-			
F01DCH	タイマ・チャンネル停止レジスタ1	TT1L	TT1	R/W			0000H	
F01DDH		-			-			
F01DEH	タイマ・クロック選択レジスタ1	TPS1L	TPS1	R/W	-		0000H	
F01DFH		-			-			
F01E0H	タイマ出力レジスタ1	TO1L	TO1	R/W	-		0000H	
F01E1H		-			-			

表5 - 6 拡張SFR (2nd SFR) 一覧 (6/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01E2H	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W				0000H
F01E3H		-			-	-		
F01E4H	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	-			0000H
F01E5H		-			-	-		
F01E6H	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	-			0000H
F01E7H		-			-	-		
F0230H	IICAコントロール・レジスタ0	IICCTL0		R/W			-	00H
F0231H	IICAコントロール・レジスタ1	IICCTL1		R/W			-	00H
F0232H	IICAロウ・レベル幅設定レジスタ	IICWL		R/W	-		-	FFH
F0233H	IICAハイ・レベル幅設定レジスタ	IICWH		R/W	-		-	FFH
F0234H	スレーブ・アドレス・レジスタ	SVA		R/W	-		-	00H

備考 SFR領域のSFRについては、表5 - 5 SFR一覧を参照してください。

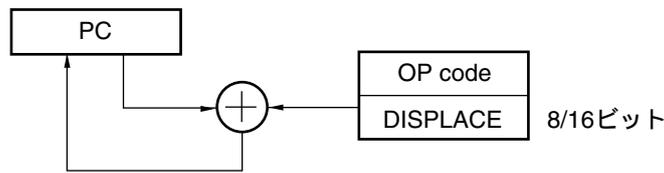
5.3 命令アドレスのアドレッシング

5.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: - 128 ~ + 127 または - 32768 ~ + 32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図5 - 16 レラティブ・アドレッシングの概略



5.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図5 - 17 CALL !!addr20/BR !!addr20の例

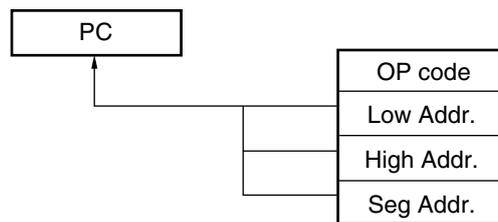
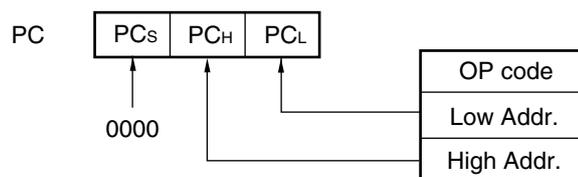


図5 - 18 CALL !addr16/BR !addr16の例



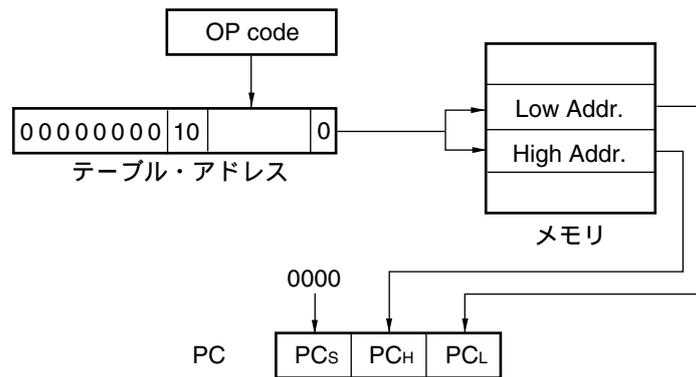
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図5 - 19 テーブル・インダイレクト・アドレッシングの概略

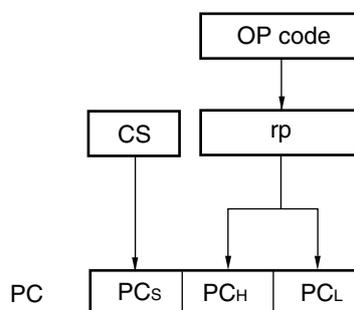


5.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図5 - 20 レジスタ・ダイレクト・アドレッシングの概略



5.4 処理データ・アドレスに対するアドレッシング

5.4.1 インプライド・アドレッシング

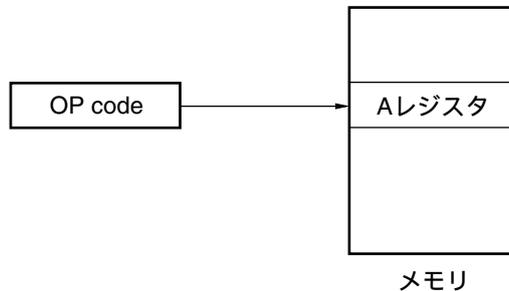
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。
インプライド・アドレッシングはMULU Xのみに適用されます。

図5 - 21 インプライド・アドレッシングの概略



5.4.2 レジスタ・アドレッシング

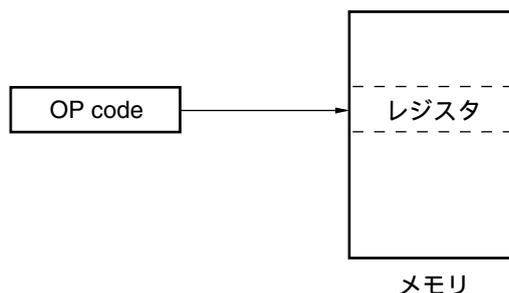
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図5 - 22 レジスタ・アドレッシングの概略



5.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図5 - 23 ADDR16の例

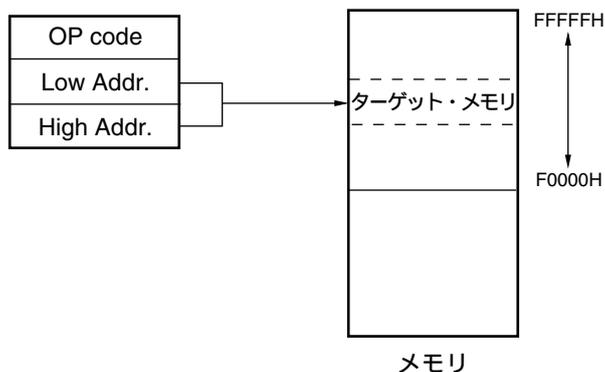
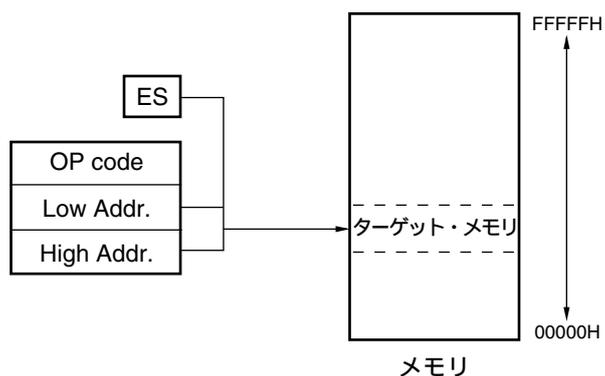


図5 - 24 ES:ADDR16の例



5.4.4 ショート・ダイレクト・アドレッシング

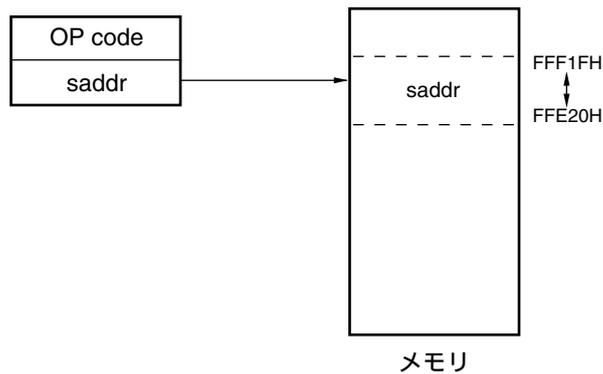
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図5 - 25 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

5.4.5 SFRアドレッシング

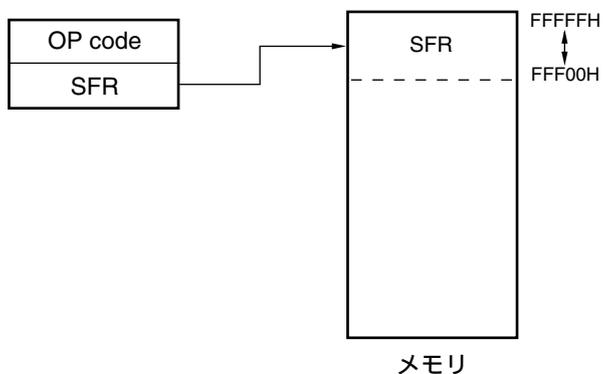
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名 (偶数アドレスのみ)

図5 - 26 SFRアドレッシングの概略



5.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE] , [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE] , ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図5 - 27 [DE] , [HL]の例

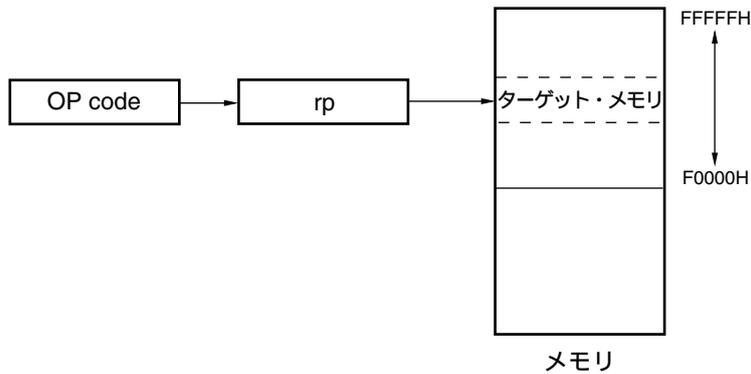
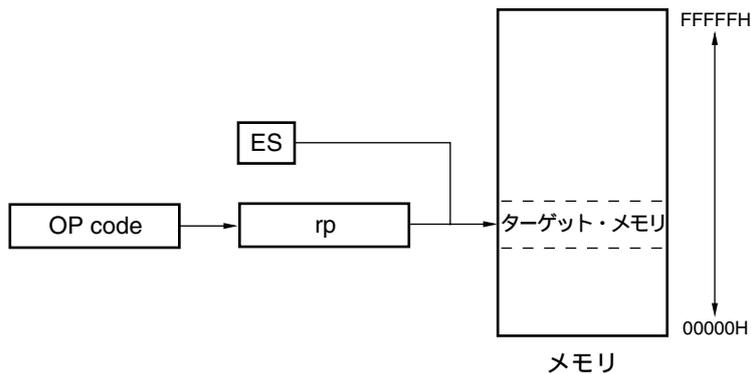


図5 - 28 ES:[DE] , ES:[HL]の例



5.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図5 - 29 [SP+byte]の例

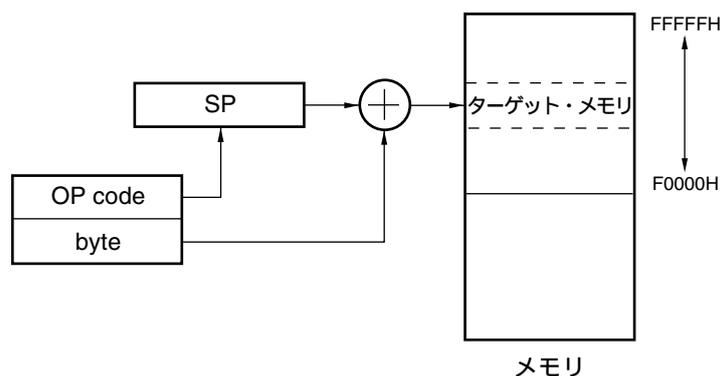


図5 - 30 [HL+byte], [DE+byte]の例

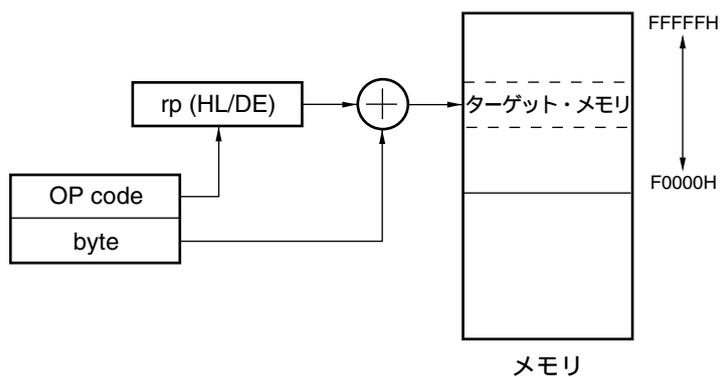


図5 - 31 word[B], word[C]の例

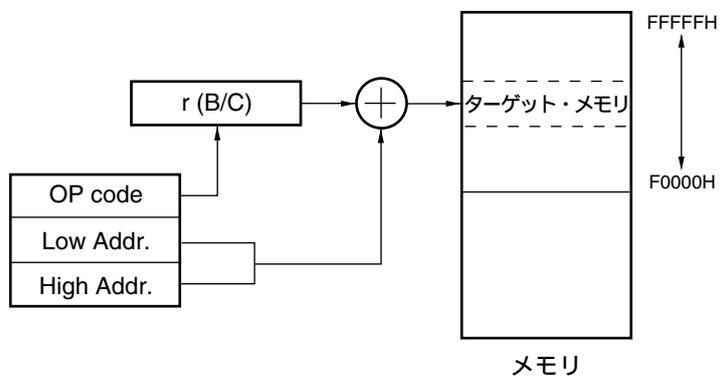


図5 - 32 word[BC]の例

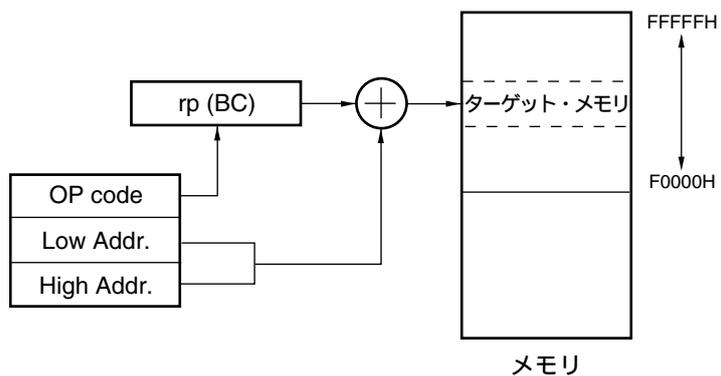


図5 - 33 ES:[HL+byte] , ES:[DE+byte]の例

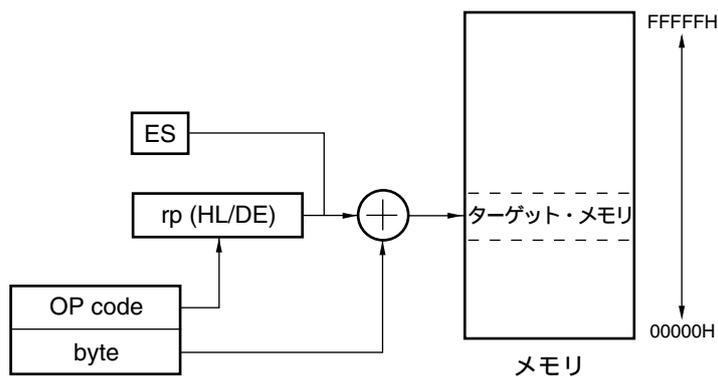


図5 - 34 ES:word[B] , ES:word[C]の例

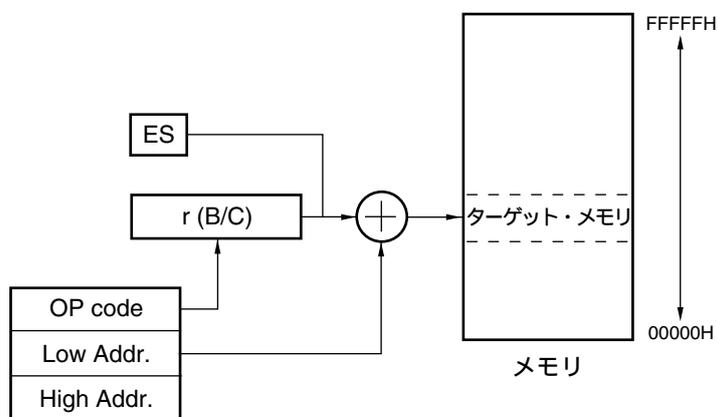
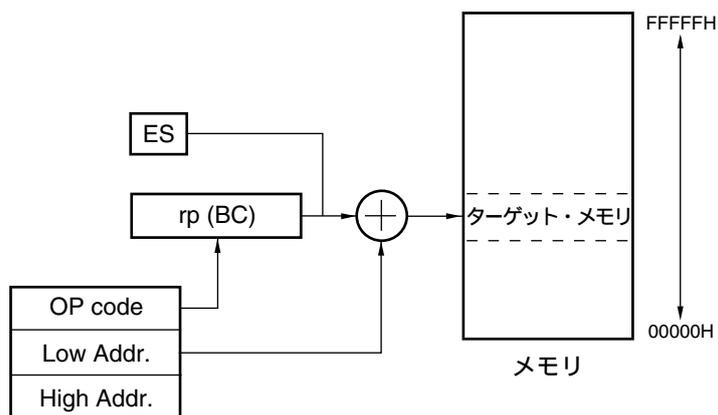


図5 - 35 ES:word[BC]の例



5.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図5 - 36 [HL+B] , [HL+C]の例

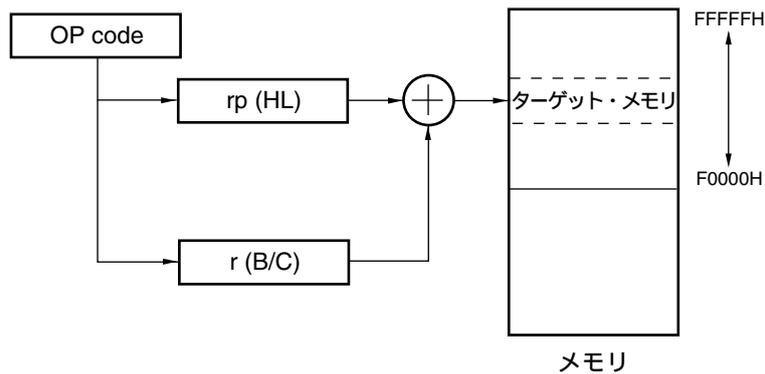
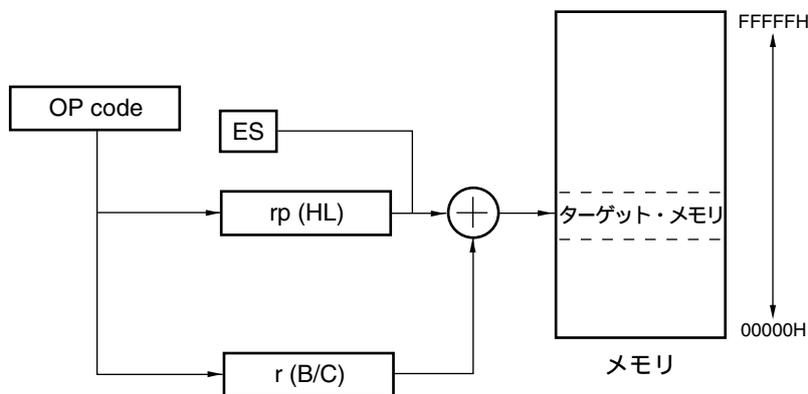


図5 - 37 ES:[HL+B] , ES:[HL+C]の例



5.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第6章 ポート機能

6.1 ポートの機能

ポート端子の入出力バッファ電源には、AVREF、VDD/EVDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表6 - 1 各端子の入出力バッファ電源

電源	対応する端子
VDD/EVDD	・ P26, P27, P150-P153以外のポート端子 ・ ポート以外の端子
AVREF	P26, P27, P150-P153

μPD78F8040, 78F8041, 78F8042, 78F8043は、図6 - 1に示すデジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表6 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第3章 **端子機能**を参照してください。

図6 - 1 ポートの種類

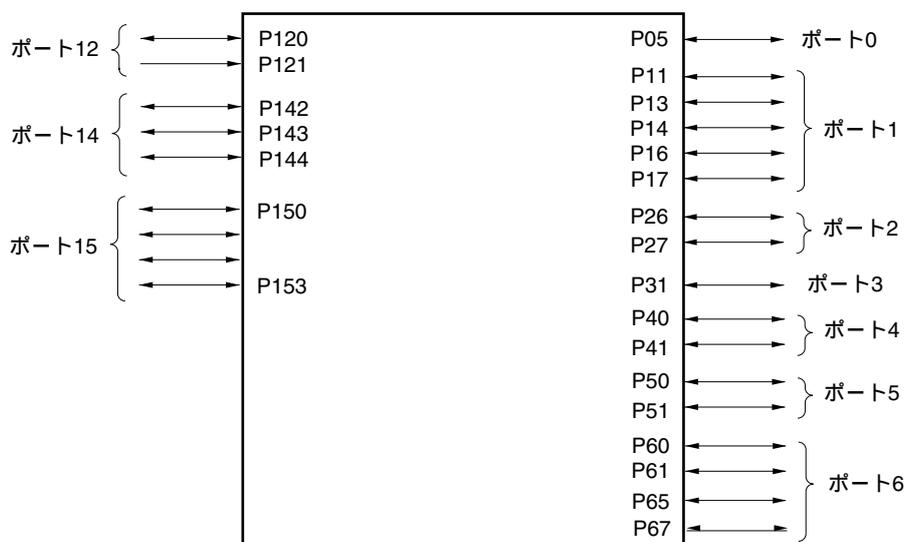


表6-2 ポートの機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P05	入出力	ポート0。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI05/TO05
P11 ^{注1}	入出力	ポート1。 5ビット入出力ポート。 P11の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0
P13				TxD3
P14				RxD3
P16				TI01/TO01/INTP5
P17				TI02/TO02
P26	入出力	ポート2。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル	ANI6
P27			入力ポート	ANI7
P31	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4
P40 ^{注2}	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50 ^{注1}	入出力	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P51 ^{注1}				INTP2
P60	入出力	ポート6。 4ビット入出力ポート。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P65, P67のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P65				TI11/TO11
P67				TI13/TO13
P120	入出力	ポート12。 1ビット入出力ポートと1ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P142	入出力	ポート14。 3ビット入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2

- 注1. P11/RxD0, P50/INTP1, P51/INTP2はユーザにて基板上で、それぞれRXD, ILIM, WAKEに接続してください。
2. オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください(3.2.5 P40, P41 (Port 4)の注意参照)。

表6-2 ポートの機能(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI11

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM7, PM11, PM12, PM14, PM15) ポート・レジスタ (P0-P7, P11, P12, P14, P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU6, PU12, PU14) ポート入力モード・レジスタ14 (PIM14) ポート出力モード・レジスタ14 (POM14) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	合計：26本 (CMOS入出力：23本, CMOS入力：1本, N-chオープン・ドレイン入出力：2本)
プルアップ抵抗	合計：18本

6.2.1 ポート0

出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により入力モード/出力モードの指定ができます。P05端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

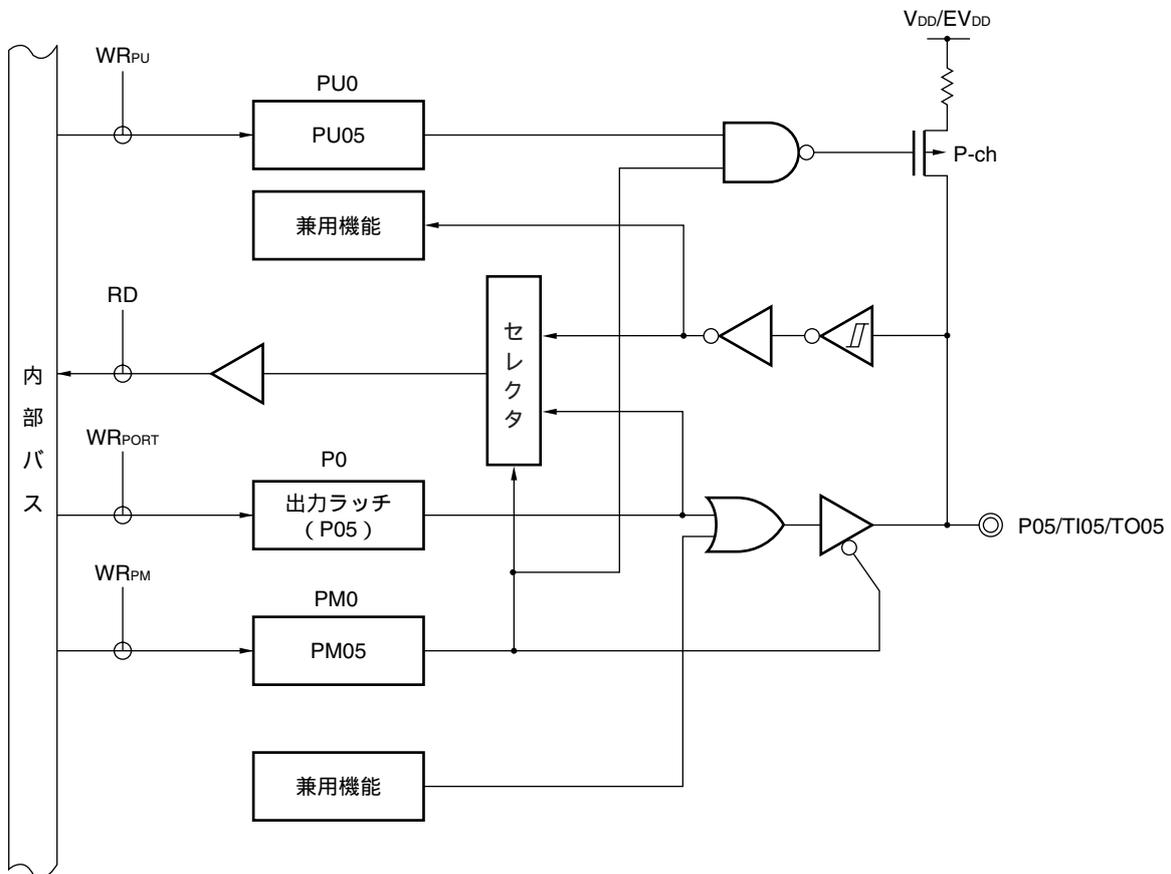
また、兼用機能としてタイマ入出力があります。

リセット信号の発生により、入力モードになります。

図6-2にポート0のブロック図を示します。

注意 P05/TI05/TO05を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット5 (TO05) とタイマ出力許可レジスタ0 (TOE0) のビット5 (TOE05) を初期状態と同じ設定“0”で使用してください。

図6-2 P05のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

6.2.2 ポート1

出力ラッチ付き5ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P11, P13, P14, P16, P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

兼用機能として外部割り込み要求入力, シリアル・インタフェースのデータ入出力, タイマの入出力があります。

リセット信号の発生により, 入力モードになります。

図6 - 3 ~ 図6 - 6にポート1のブロック図を示します。

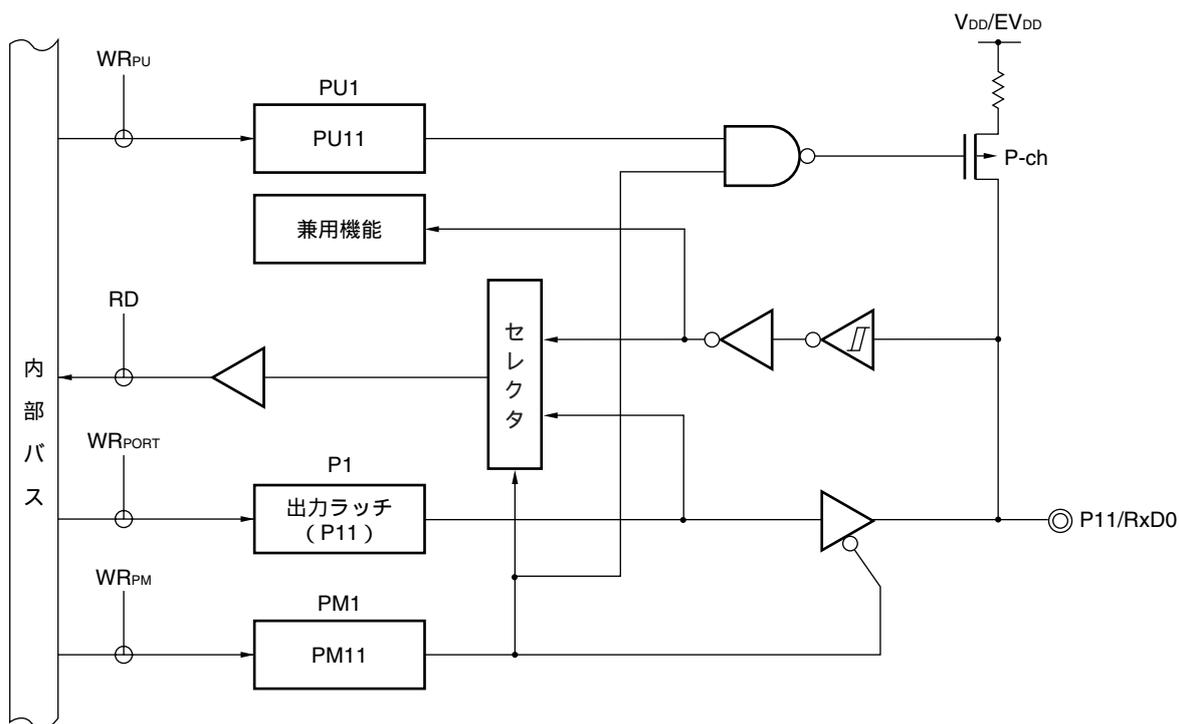
注意1. P13/TxD3, P14/RxD3を汎用ポートとして使用する場合, シリアル・アレイ・ユニットの設定に注意してください。詳細は, 次の表を参照してください。

・表11 - 7 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)

・表11 - 8 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)

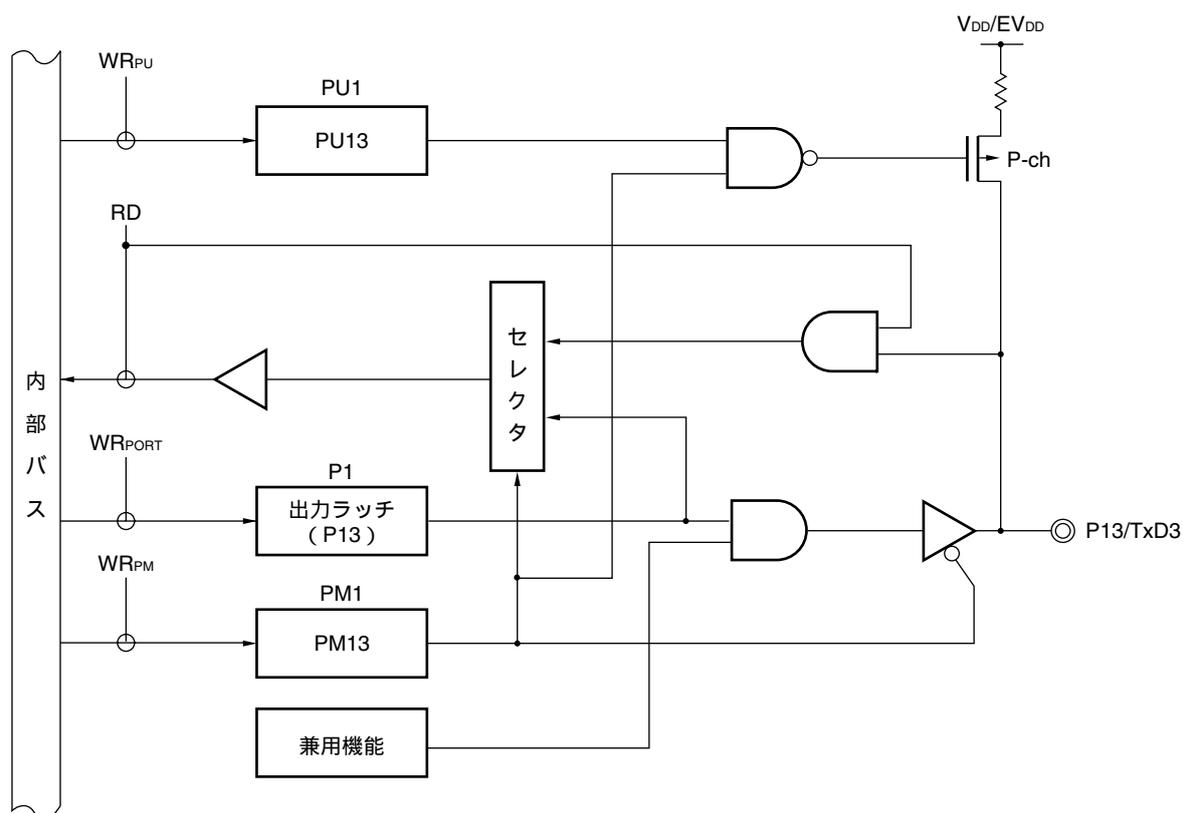
2. P16/TI01/TO01/INTP5, P17/TI02/TO02を汎用ポートとして使用する場合, タイマ出力レジスタ0 (TO0) のビット1, 2 (TO01, TO02) とタイマ出力許可レジスタ0 (TOE0) のビット1, 2 (TOE01, TOE02) を初期状態と同じ設定 "0" で使用してください。

図6-3 P11のブロック図



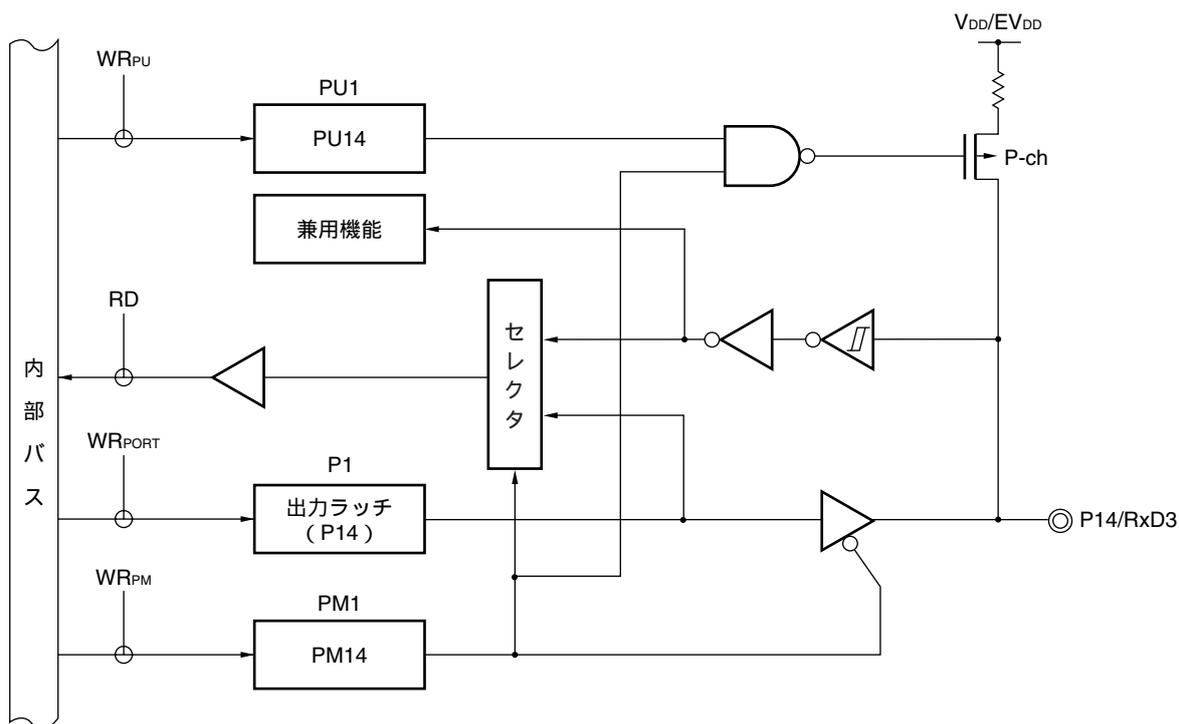
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図6-4 P13のブロック図



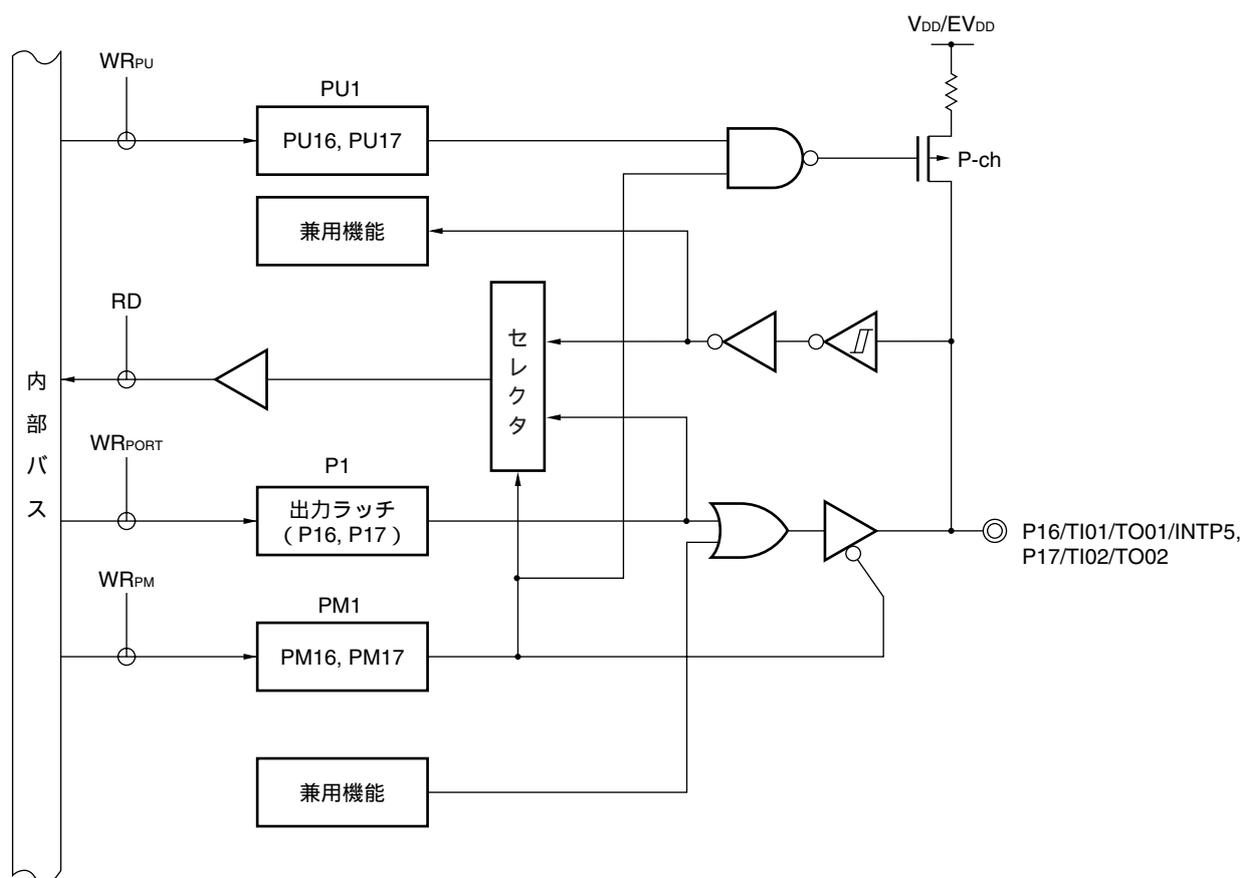
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図6 - 5 P14のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図6-6 P16, P17のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

6.2.3 ポート2

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P26/ANI6, P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P26/ANI6, P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

P26/ANI6, P27/ANI7をアナログ入力として使用する場合は、ADPCでアナログ入力に、かつPM2で入力モードに設定して、上位ビットから使用してください。

表6 - 4 P26/ANI6, P27/ANI7端子機能の設定

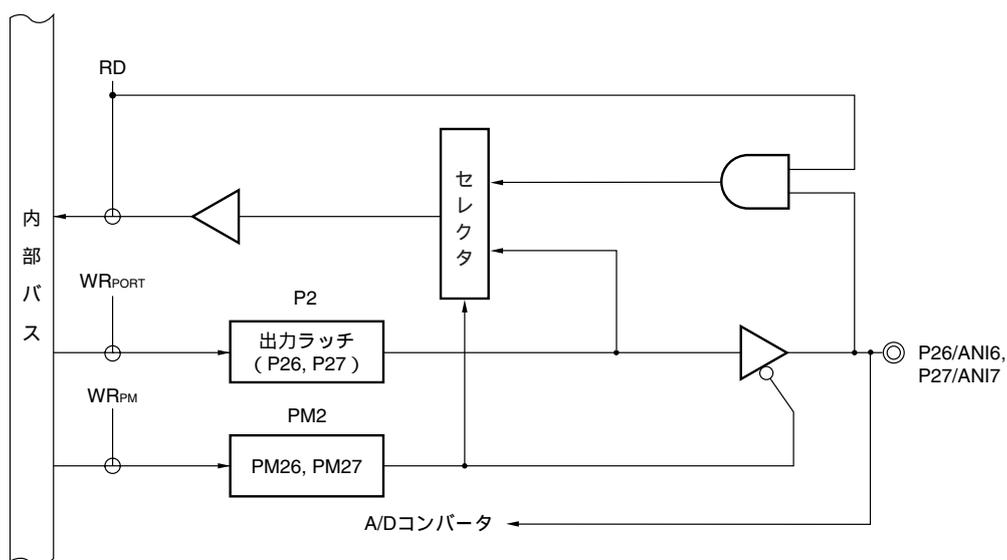
ADPC	PM2	ADS	P26/ANI6, P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P26/ANI6, P27/ANI7はすべてデジタル入力になります。

図6 - 7にポート2のブロック図を示します。

注意 ポート2をデジタル入出力として使用する場合はAV_{REF}端子への印加電圧については、3. 2. 22 AV_{REF}を参照してください。

図6 - 7 P26, P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

6.2.4 ポート3

出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により入力モード/出力モードの指定ができます。P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により内蔵プルアップ抵抗を使用できます。

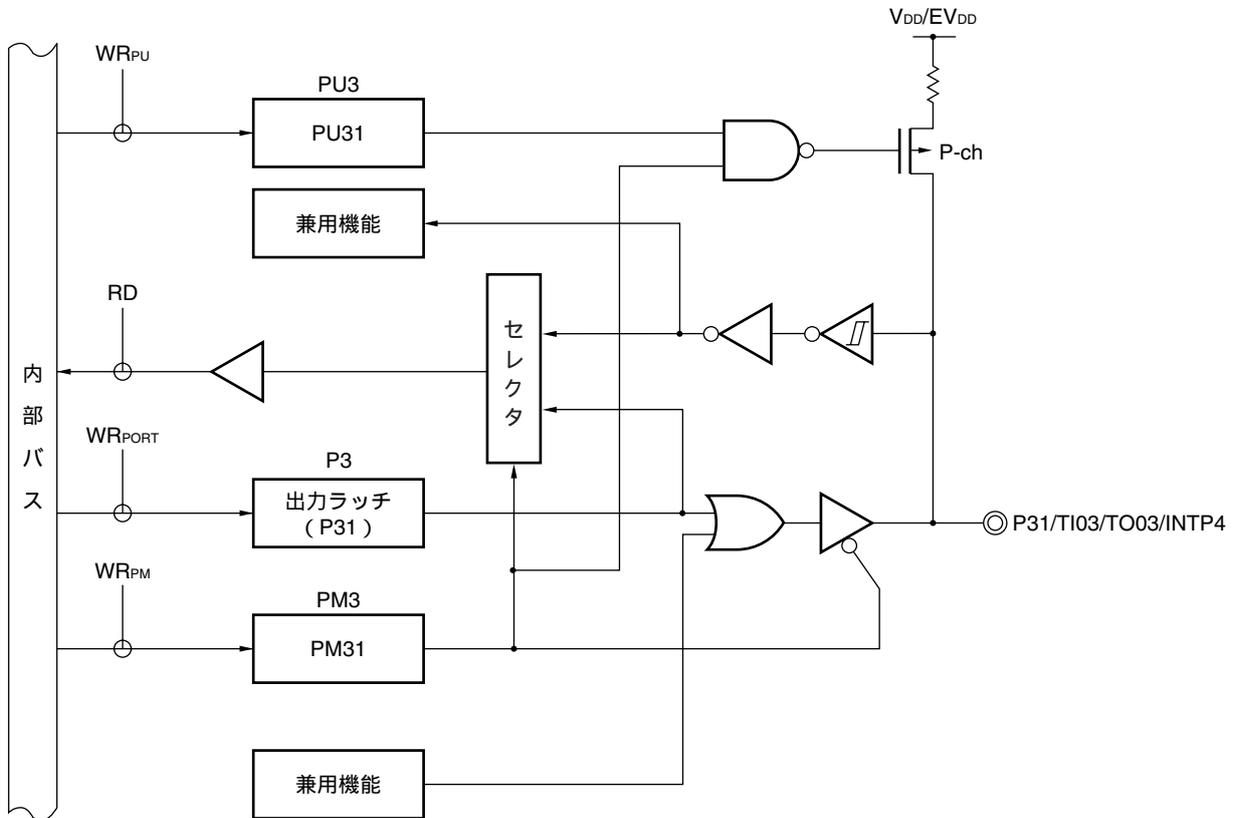
また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図6-8にポート3のブロック図を示します。

注意 P31/TI03/TO03/INTP4を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット3 (TO03) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE03) を初期状態と同じ設定“0”で使用してください。

図6-8 P31のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

6.2.5 ポート4

出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ4(PM4)により1ビット単位で入力モード/出力モードの指定ができます。P40, P41端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4(PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます[※]。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用データ入出力、クロック出力があります。

リセット信号の発生により、入力モードになります。

図6-9, 6-10にポート4のブロック図を示します。

注 P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

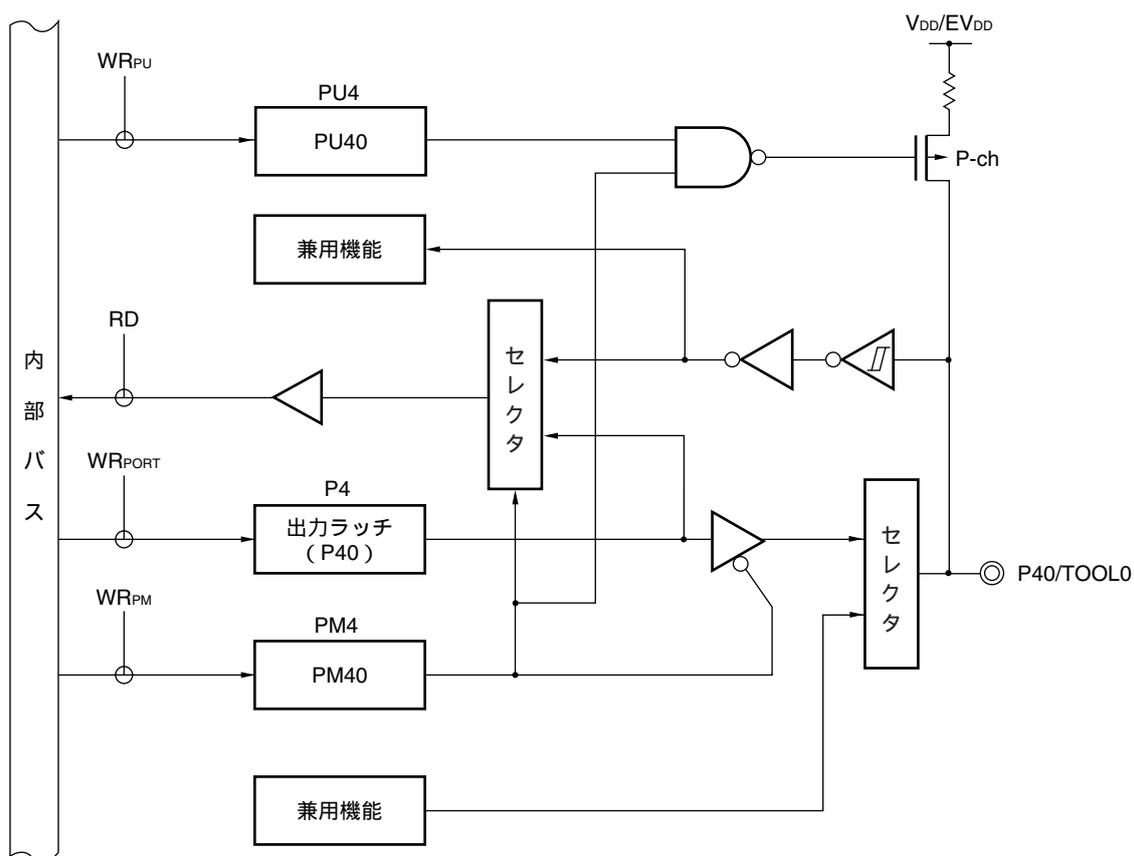
注意 P40端子は、ツール接続時はポート端子として使用できません。

P41端子は、オンチップ・デバッグ機能使用時には、デバッグのモード設定により次のようになります。

1線モード : ポート(P41)として使用できます。

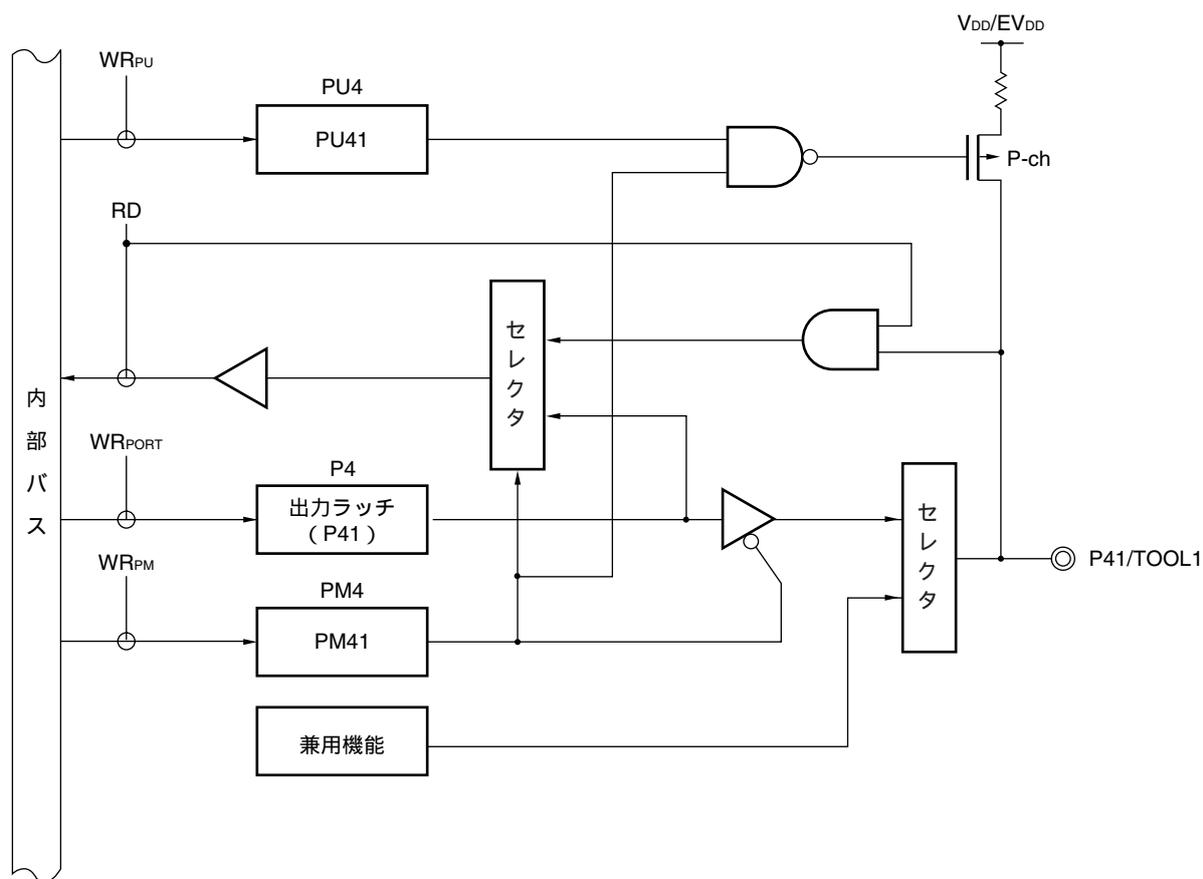
2線モード : TOOL1端子として使用するためポート(P41)としては使用できません。

図6 - 9 P40のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図6-10 P41のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

6.2.6 ポート5

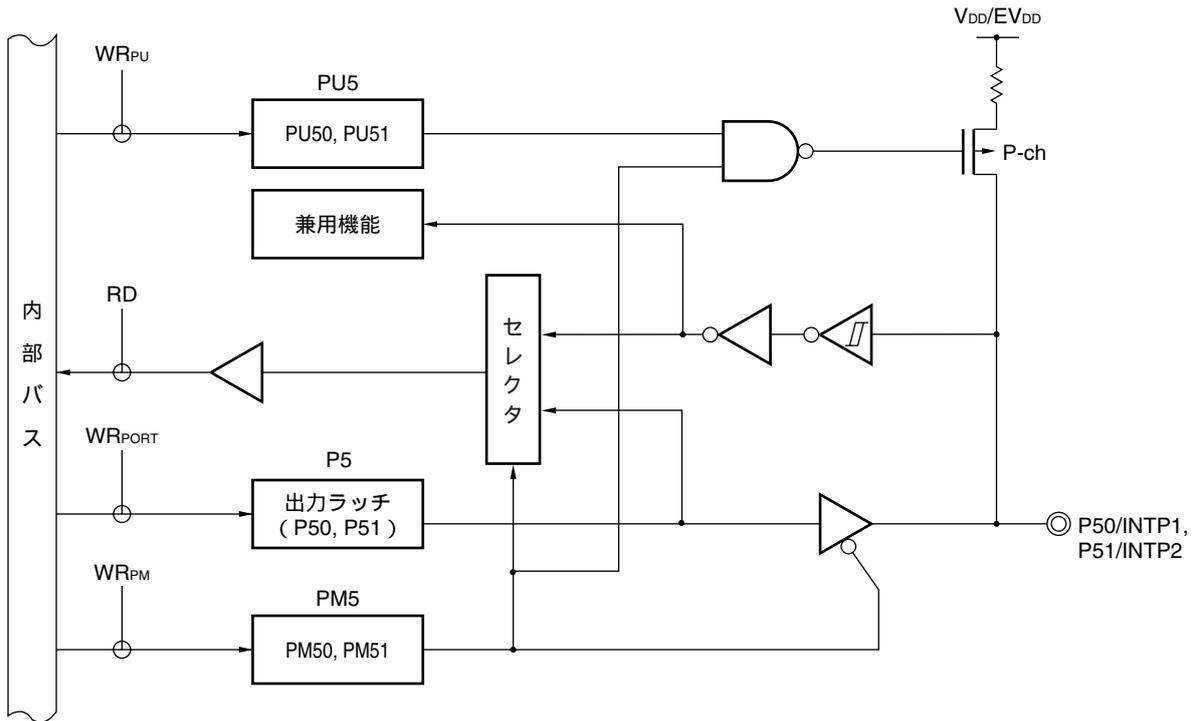
出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ5 (PM5) により入力モード / 出力モードの指定ができます。P50端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により内蔵プルアップ抵抗を使用できます。

また兼用機能として外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図6 - 11にポート5のブロック図を示します。

図6 - 11 P50, P51のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_{xx} : ライト信号

6.2.7 ポート6

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード / 出力モードの指定ができます。P65, P67端子を入力ポートとして使用する場合は,プルアップ抵抗オプション・レジスタ6 (PU6)により内蔵プルアップ抵抗を使用できます。

P60, P61端子の出力は, N-chオープン・ドレイン出力 (6 V耐圧) です。

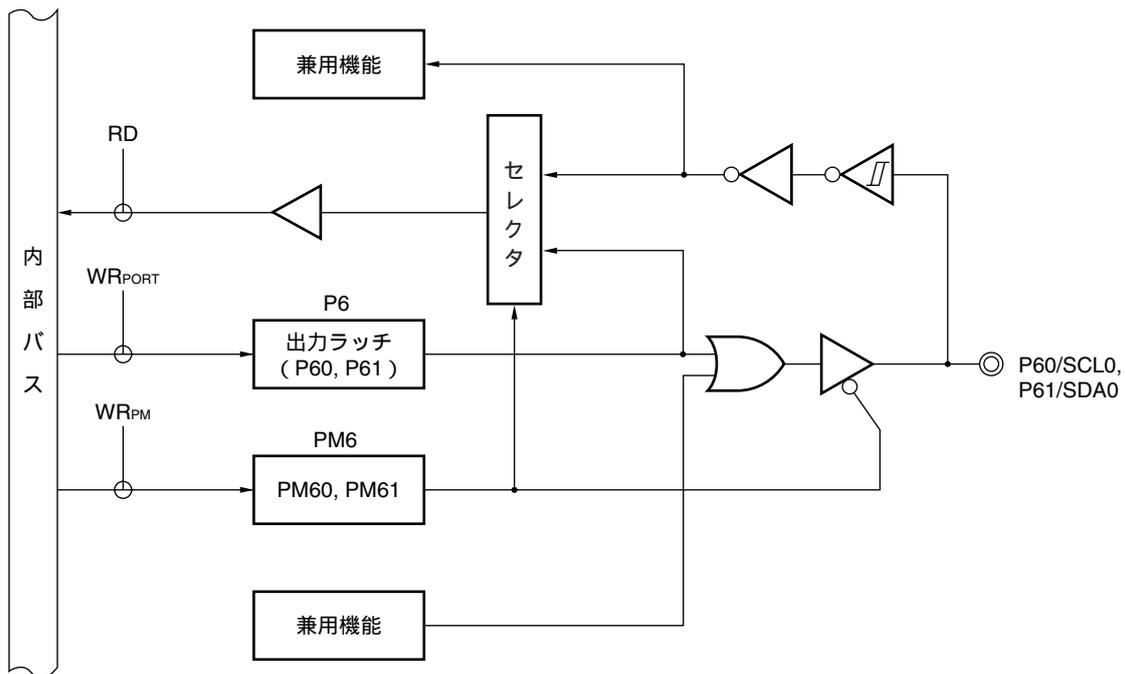
また, 兼用機能としてシリアル・インタフェースのデータ入出力, クロックの入出力, タイマ入出力があります。

リセット信号の発生により, 入力モードになります。

図6 - 12, 6 - 13にポート6のブロック図を示します。

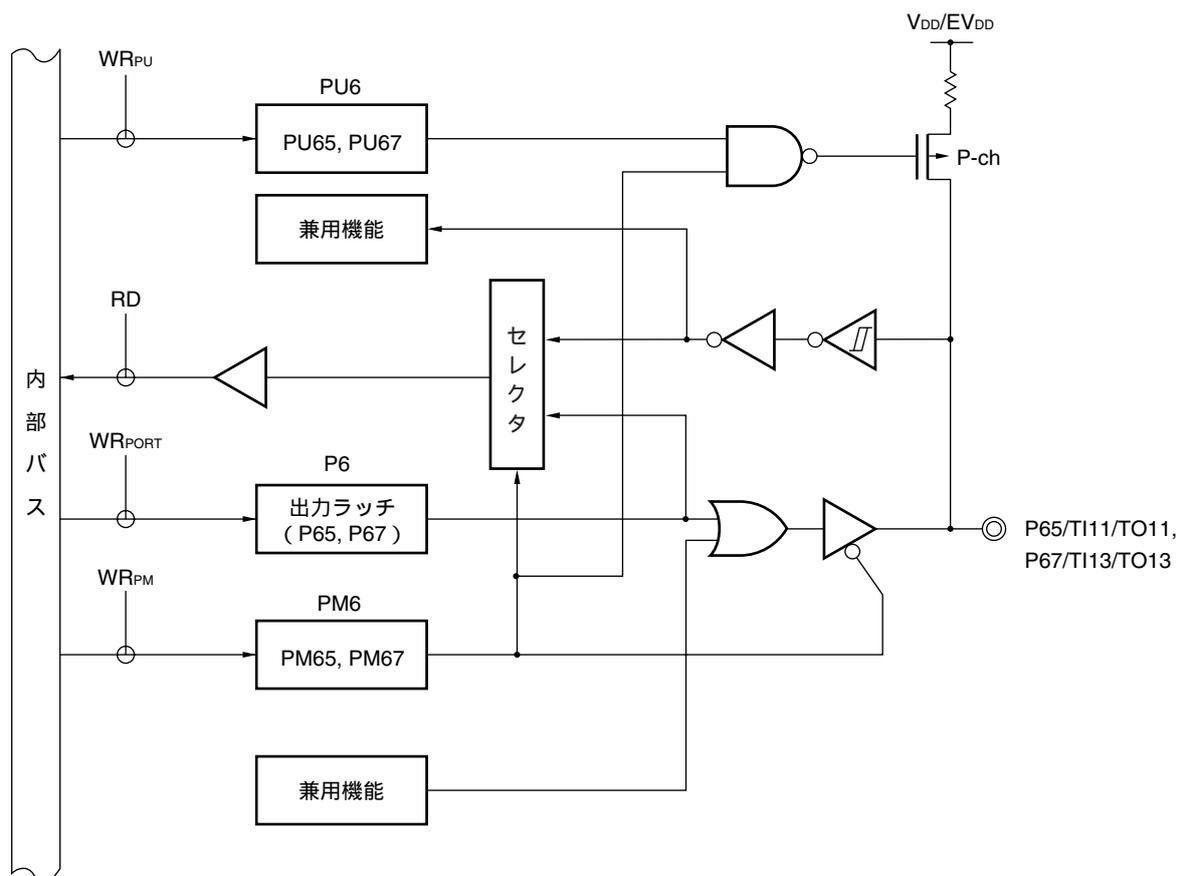
- 注意1. P60/SCL0, P61/SDA0を汎用ポートとして使用する場合, シリアル・インタフェースIICAを動作停止にしてください。
- 2. P65/TI11/TO11, P67/TI13/TO13を汎用ポートとして使用する場合, タイマ出力レジスタ1 (TO1)のビット1, 3 (TO11, TO13)とタイマ出力許可レジスタ1 (TOE1)のビット1, 3 (TOE11, TOE13)を初期状態と同じ設定“0”で使用してください。

図6 - 12 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

図6 - 13 P65, P67のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_{xx} : ライト信号

6.2.8 ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により, 1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121は1ビットの入力ポートです。

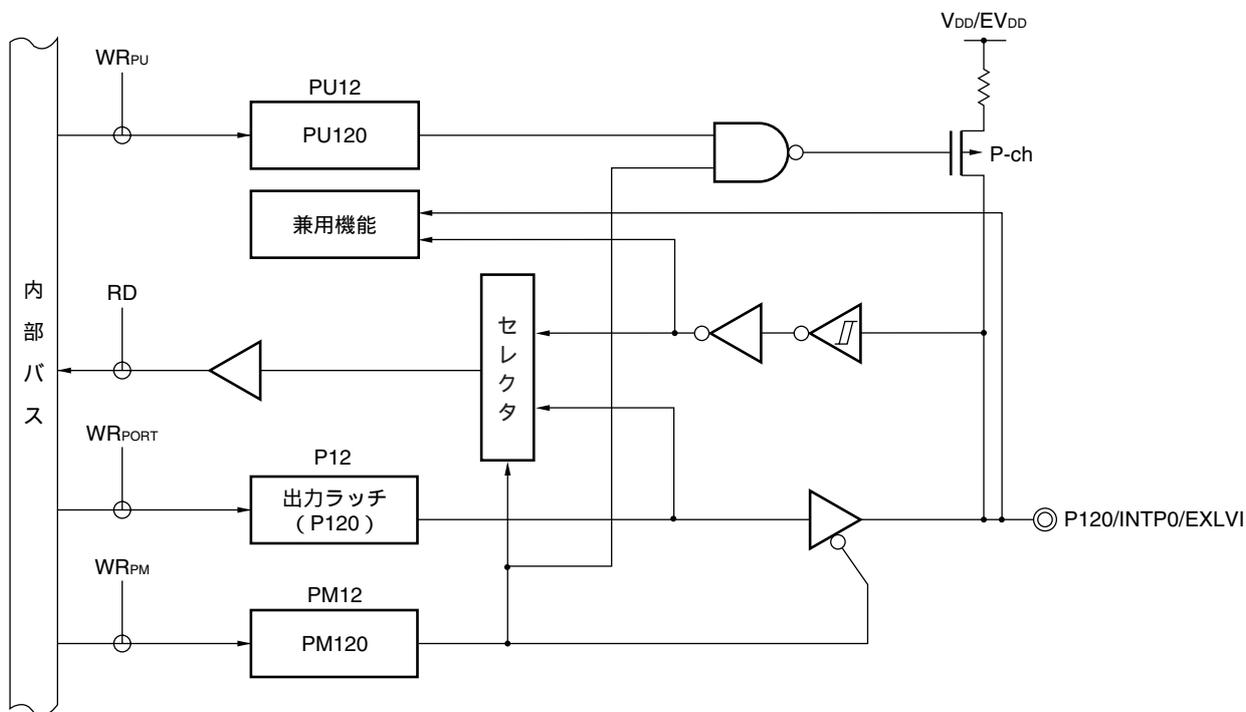
また兼用機能として外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続があります。

リセット信号の発生により, 入力モードになります。

図6 - 14, 6 - 15にポート12のブロック図を示します。

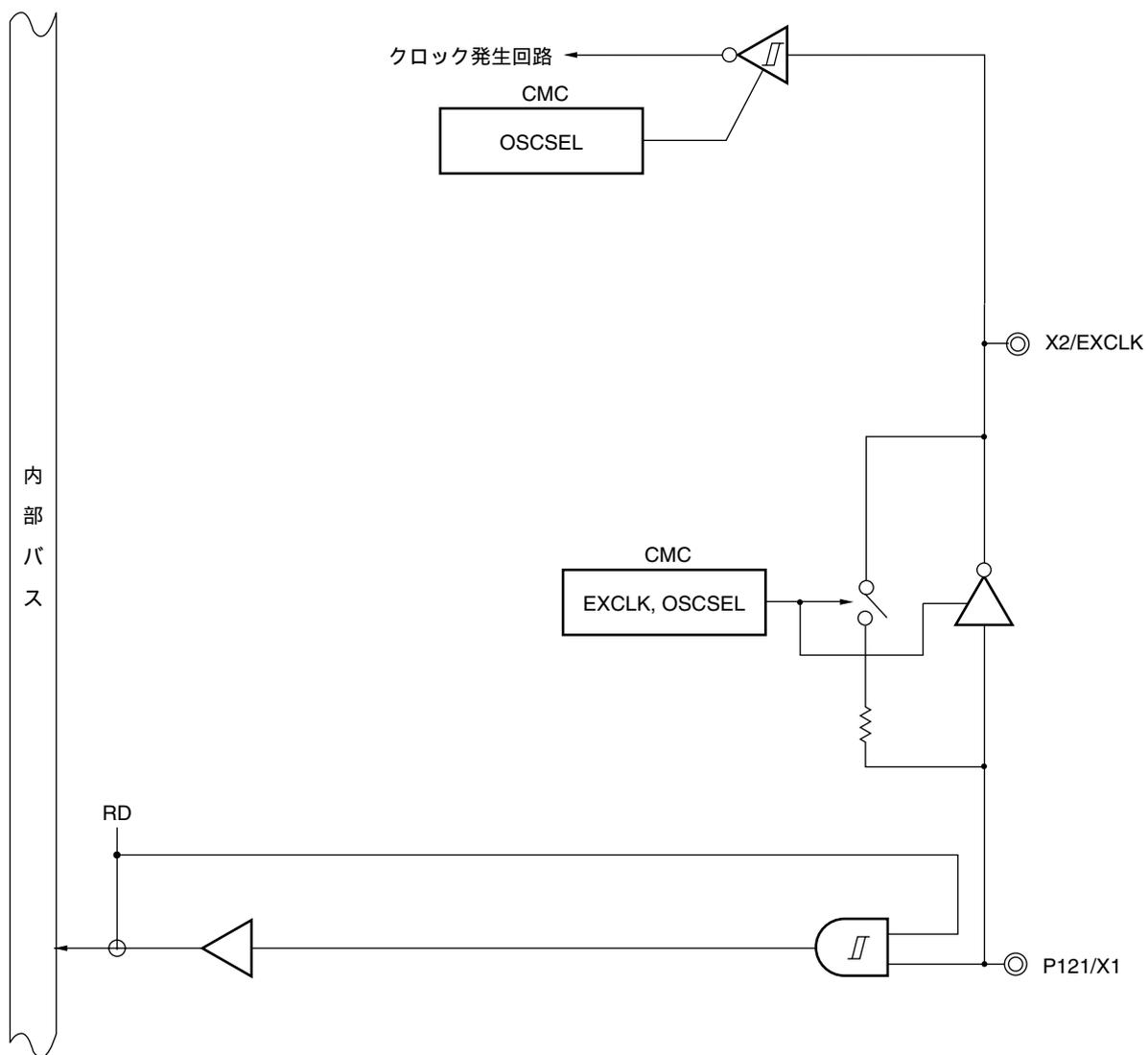
注意 P121の機能設定は, リセット解除後1回のみ可能です。一度, 発振子 / 発振器接続用に設定したポートは, リセットしないかぎり入力ポートとして使用できません。

図6 - 14 P120のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

図6 - 15 P121のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

6.2.9 ポート14

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P142-P144端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143端子の入力は、ポート入力モード・レジスタ14 (PIM14) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P142-P144端子の出力は、ポート出力モード・レジスタ14 (POM14) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

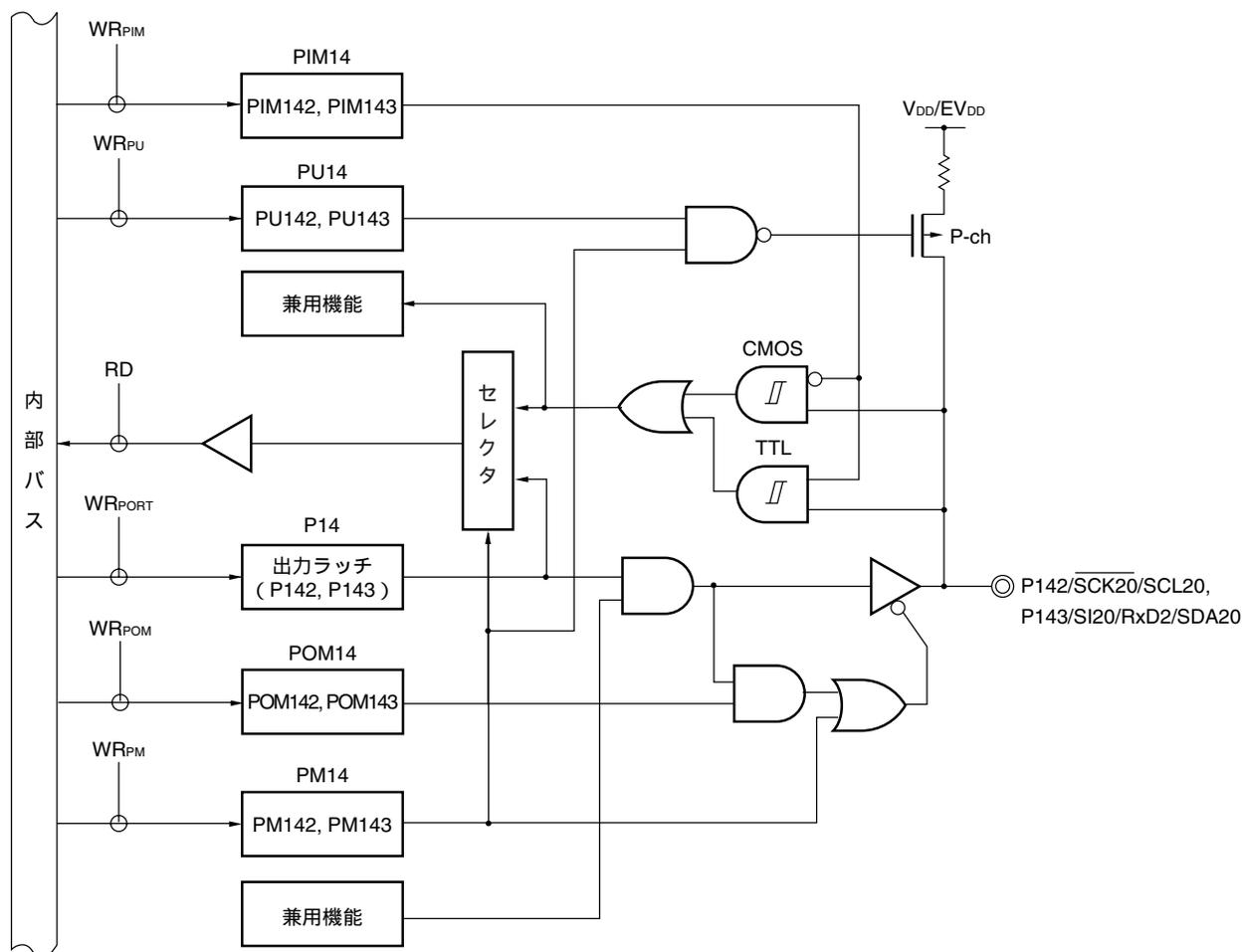
リセット信号の発生により、入力モードになります。

図6 - 16, 6 - 17にポート14のブロック図を示します。

注意 P142/ $\overline{SCK20}$ /SCL20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。

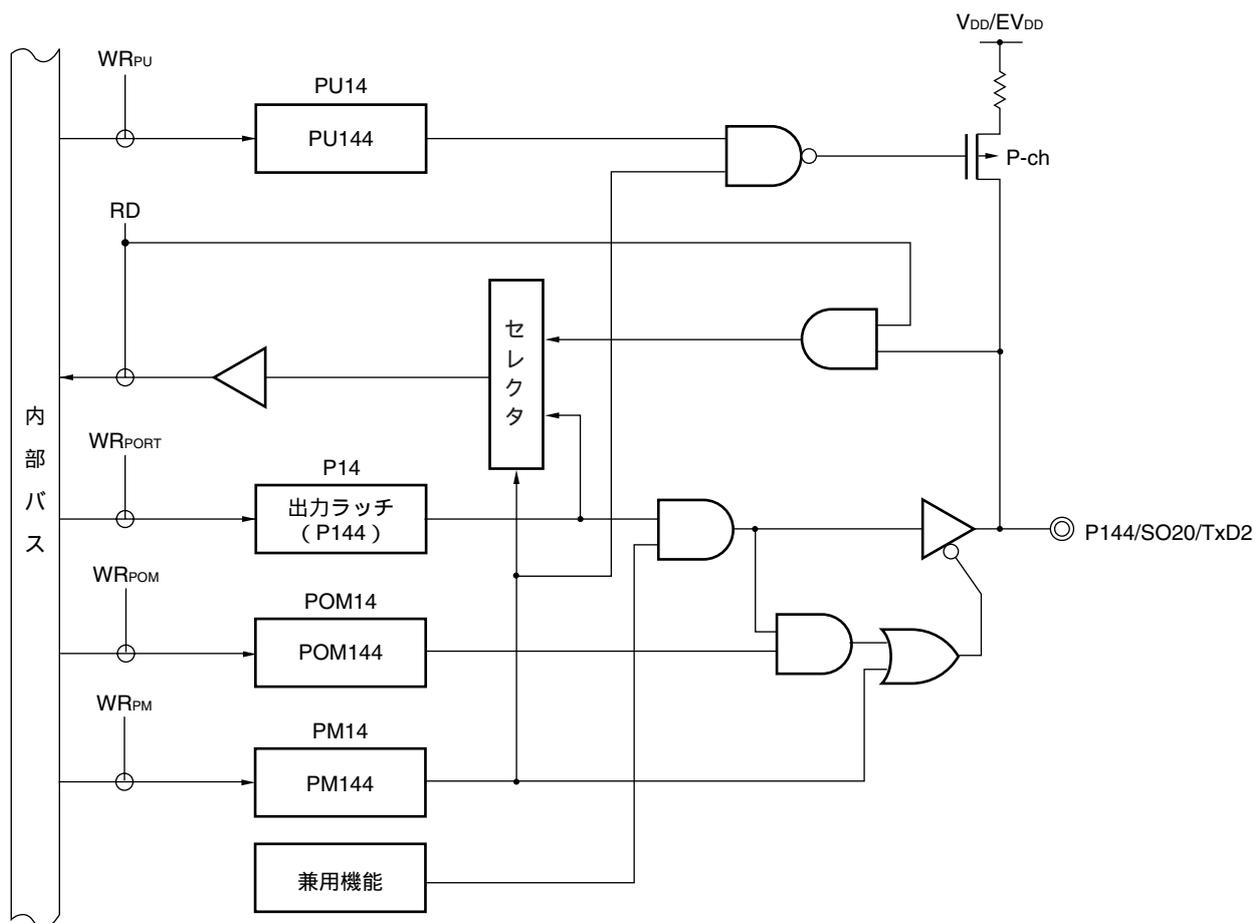
- ・表11 - 5 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)
- ・表11 - 6 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

図6 - 16 P142, P143のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PIM14 : ポート入力モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

図6 - 17 P144のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

6.2.10 ポート15

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P153/ANI11をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM15で入力モードに設定して、下位ビットから使用してください。

P150/ANI8-P153/ANI11をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM15で出力モードに設定してください。

表6 - 5 P150/ANI8-P153/ANI11端子機能の設定

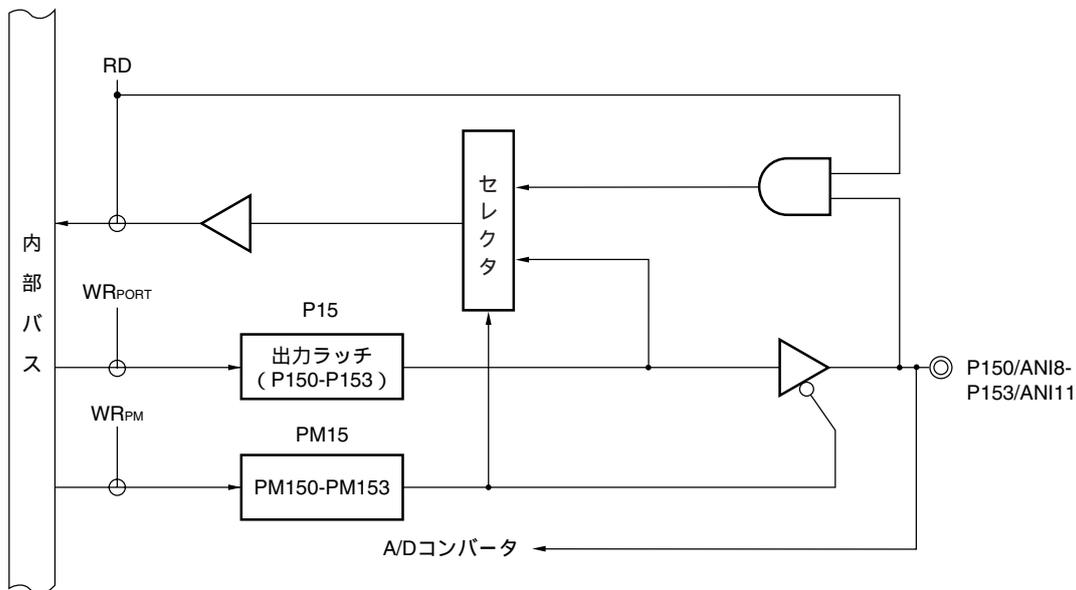
ADPC	PM15	ADS	P150/ANI8-P153/ANI11端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P150/ANI8-P153/ANI11はすべてデジタル入力になります。

図6 - 18にポート15のブロック図を示します。

注意 ポート15をデジタル入出力として使用する場合はAVREF端子への印加電圧については、3. 2. 22 AVREFを参照してください。

図6 - 18 P150-P153のブロック図



- P15 : ポート・レジスタ15
- PM15 : ポート・モード・レジスタ15
- RD : リード信号
- WR_x : ライト信号

6.3 ポート機能を制御するレジスタ

ポートは、次の6種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM7, PM11, PM12, PM14, PM15)
- ・ポート・レジスタ (P0-P7, P11, P12, P14, P15)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU6, PU12, PU14)
- ・ポート入力モード・レジスタ14 (PIM14)
- ・ポート出力モード・レジスタ14 (POM14)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PM0-PM7, PM11, PM12, PM14, PM15)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、6.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図6 - 19 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	0	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15 ^注	PM14	PM13	PM12 ^注	PM11	PM10 ^注	FFF21H	FFH	R/W
PM2	PM27	PM26	0	0	0	0	0	0	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30 ^注	FFF23H	FFH	R/W
PM4	PM47	PM46	0	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	PM55	PM54	PM53	0	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	0	0	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM11	1	1	1	1	1	1	1	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	PM144	PM143	PM142	1	PM140	FFF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 11, 12, 14, 15 ; n = 0-7)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

注 MCUとIO-Linkトランシーバ間の内部接続端子のポート・モード・レジスタです (設定については、表 2 - 1 内部接続端子参照)。

- 注意1. PM0のビット0, 1, 7, PM3のビット2-7, PM5のビット6, 7, PM11のビット1-7, PM12のビット1-7, PM14のビット1, 5-7, PM15のビット4-7には必ず1を設定してください。
2. PM0のビット2, PM2のビット0-5, PM4のビット5, PM5のビット2, PM6のビット2, 3には必ず0を設定してください。
3. リセット解除後, PM03, PM04, PM06, PM30, PM42-PM44, PM46, PM47, PM53-PM55, PM64, PM66, PM70-PM77, PM110, PM140には必ず0を設定してください (2. 2 MCUの未使用内部端子の初期設定参照)。

(2) ポート・レジスタ (P0-P6, P12, P14, P15)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

P0-P6, P12, P14, P15は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P2, P15をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図6 - 20 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	P05	0	0	0	0	0	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15 ^{注1}	P14	P13	P12 ^{注1}	P11	P10 ^{注1}	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	0	0	0	0	0	0	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	0	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	P67	0	P65	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P12	0	0	0	undefined	undefined	undefined	P121	P120	FFF0CH	不定	R/W ^{注2}
P14	0	0	0	P144	P143	P142	0	0	FFF0EH	00H (出力ラッチ)	R/W
P15	0	0	0	0	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-6, 12, 14, 15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. MCUとIO-Linkトランシーバ間の内部接続端子のポート・レジスタです (設定については、表2 - 1 内部接続端子参照)。

2. P121はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU6, PU12, PU14)

P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142-P144の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU0, PU1, PU3-PU6, PU12, PU14で内蔵プルアップ抵抗の使用を指定した端子で, 入力モードに設定したビットにのみ, ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは, PU0, PU1, PU3-PU6, PU12, PU14の設定にかかわらず, 内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU3-PU6, PU12, PU14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図6 - 21 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	PU05	0	0	0	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15 ^注	PU14	PU13	0	PU11	0	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	0	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU6	PU67	0	PU65	0	0	0	0	0	F0036H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	PU144	PU143	PU142	0	0	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-6, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 MCUとIO-Linkトランシーバ間の内部接続端子のポート・レジスタです(設定については,表2 - 1 内部接続端子参照)。

(4) ポート入力モード・レジスタ14 (PIM14)

PIM14は、P142, P143の入力バッファを1ビット単位で設定するレジスタです。

PIM142, PIM143ビットは、異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できません。

PIM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 22 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIM14n	P14n端子の入力バッファの選択 (n = 2, 3)
0	通常入力バッファ
1	TTL入力バッファ

(5) ポート出力モード・レジスタ14 (POM14)

POM14は、P142-P144の出力モードを1ビット単位で設定するレジスタです。

POM142-POM144ビットは、異電位の外部デバイスとのシリアル通信時にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

POM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 23 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POM14n	P14n端子の出力モードの選択 (n = 2-4)	
0	通常出力モード	
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード	

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11端子を, ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図6 - 24 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え					
					ポート15				ポート2	
					ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26
0	0	1	1	0	A	A	A	A	A	A
0	0	1	1	1	A	A	A	A	A	D
0	1	0	0	0	A	A	A	A	D	D
0	1	0	0	1	A	A	A	D	D	D
0	1	0	1	0	A	A	D	D	D	D
0	1	0	1	1	A	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D
上記以外					設定禁止					

- 注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. ADPCレジスタの設定をする際には, 必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は, ADPCレジスタへの書き込みは無視され, 設定値は初期値となります。
4. P26/ANI6, P27/ANI7, P150/ANI8-P153/ANI11は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P153/ANI11, ..., P150/ANI8, P27/ANI7, P26/ANI6の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P153/ANI11から設計してください。

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

6.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート14の一部は、 $V_{DD} = 4.0 \sim 5.5$ Vで動作時に、2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については、ポート入力モード・レジスタ14 (PIM14) によりビットごとに通常入力 (CMOS) / TTL を切り換え可能です。

また、出力については、ポート出力モード・レジスタ14 (POM14) により、出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより、異電位に対応可能になります。

(1) UART2, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は、使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART2の場合 : P143

CSI20の場合 : P142, P143

PIM14レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。

使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART2の場合 : P144

CSI20の場合 : P142, P144

該当するポートの出力ラッチに1を設定します。

POM14レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定

します。

PM14レジスタを操作して出力モードに設定します。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

シリアル・アレイ・ユニットに設定を行うと通信を開始します。

(2) 簡易IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC20の場合：P142, P143

該当するポートの出力ラッチに1を設定します。

POM14レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。

PM14レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

6.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表6-6のように設定してください。

表6-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×	端子名称	兼用機能		PM × ×	P × ×
	名称	入出力				名称	入出力		
P05	TI05	入力	1	×	P60	SCL0	入出力	0	0
	TO05	出力	0	0	P61	SDA0	入出力	0	0
P11	RxD0	入力	1	×	P65	TI11	入力	1	×
P13	TxD3	出力	0	1		TO11	出力	0	0
P14	RxD3	入力	1	×	P67	TI13	入力	1	×
P16	TI01	入力	1	×		TO13	出力	0	0
	TO01	出力	0	0	P120	INTP0	入力	1	×
	INTP5	入力	1	×		EXLVI	入力	1	×
P17	TI02	入力	1	×	P142	$\overline{\text{SCK20}}$	入力	1	×
	TO02	出力	0	0			出力	0	1
P26, P27 ^注	ANI6, ANI7 ^注	入力	1	×		SCL20	入出力	0	1
P31	TI03	入力	1	×	P143	SI20	入力	1	×
	TO03	出力	0	0		RxD2	入力	1	×
	INTP4	入力	1	×		SDA20	入出力	0	1
P40	TOOL0	入出力	×	×	P144	SO20	出力	0	1
P41	TOOL1	出力	×	×		TxD2	出力	0	1
P50	INTP1	入力	1	×	P150-P153 ^注	ANI8-ANI11 ^注	入力	1	×
P51	INTP2	入力	1	×					

注 ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子の機能は A/Dポート・コンフィギュレータ・レジスタ(ADPC), アナログ入力チャネル指定レジスタ(ADS), ポート・モード・レジスタ2, 15(PM2, PM15)の設定で決定します。

表6-7 ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子機能の設定

ADPC	PM2, PM15	ADS	ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

6.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート, P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はμ PD78F8040, 78F8041, 78F8042, 78F8043内部で、次の順序で行われます。

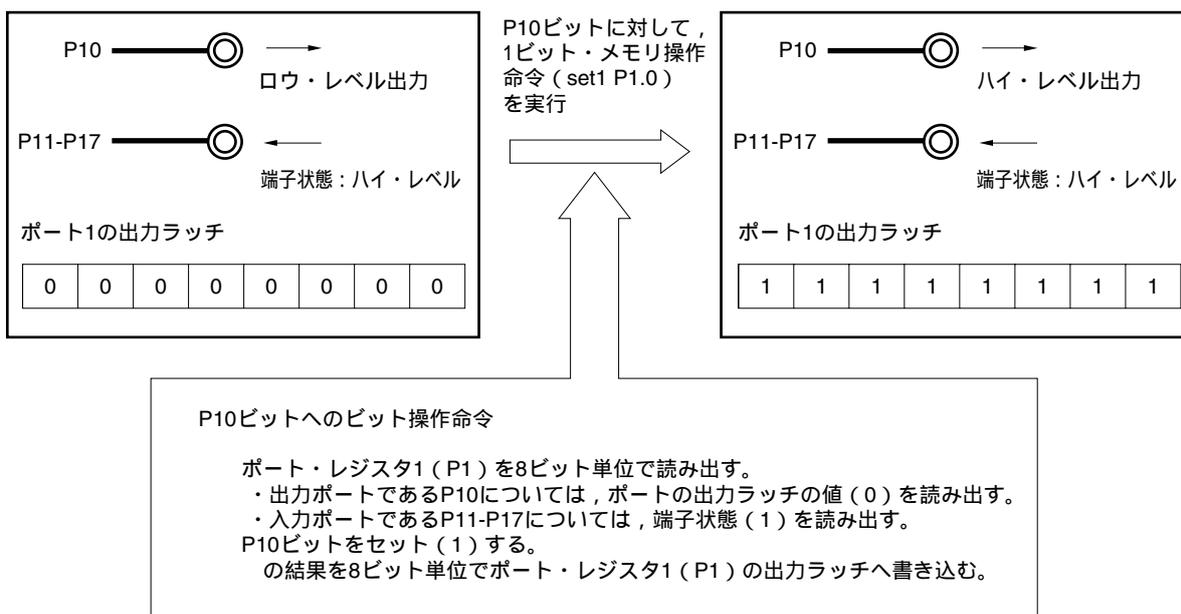
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図6 - 25 1ビット・メモリ操作命令 (P10の場合)



第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。
STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路^注

$f_{H} = 1, 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

20 MHz高速内蔵発振クロック発振回路^注

$f_{H20} = 20$ MHz（TYP.）のクロックを発振させることができます。20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。DSCONを0に設定すると発振を停止することができます。

注 1, 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください（詳細は、**第21章 オプション・バイト**参照）。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。

また、EXCLK/X2端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

備考 f_x : X1クロック発振周波数
 f_H : 高速内蔵発振クロック周波数
 f_{H20} : 20 MHz高速内蔵発振クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数

(2) 低速内蔵発振クロック (ウォッチドッグ・タイマ専用クロック)

・ 低速内蔵発振回路

$f_{IL} = 30 \text{ kHz (TYP.)}$ のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは、ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は、発振を停止します。

備考1. f_{IL} : 低速内蔵発振クロック周波数

2. ウォッチドッグ・タイマは、次の場合に動作停止します。

- ・ オプション・バイト (00C0H) のビット4 (WDTON) = 0の場合

- ・ オプション・バイト (00C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0
のときに、HALT命令またはSTOP命令を実行した場合

7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・クロック制御レジスタ (CKC) 20 MHz高速内蔵発振制御レジスタ (DSCCTL) 周辺イネーブル・レジスタ0 (PER0) 動作スピード・モード制御レジスタ (OSMC)
発振回路	X1発振回路 高速内蔵発振回路 低速内蔵発振回路

- 備考** f_X : X1クロック発振周波数
 f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 f_{IL} : 低速内蔵発振クロック周波数

7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・クロック制御レジスタ (CKC)
- ・20 MHz高速内蔵発振制御レジスタ (DSCCTL)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121およびX2/EXCLK端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図7-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121端子	X2/EXCLK端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	2 MHz f_x 10 MHz
1	10 MHz <math>< f_x</math> 20 MHz

- 注意
1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
 2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振を開始する前に、CMCを設定してください。
 3. X1クロック発振周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
 4. CMCを初期値(00H)のまま使用する場合、暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。

備考 f_x : X1クロック発振周波数

(2) システム・クロック制御レジスタ (CKC)

CPU / 周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 09Hになります。

図7-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス: FFFA4H リセット時: 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20})
1	高速システム・クロック (f _{MX})

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	f _{MAIN}
0	0	1	f _{MAIN} /2 (MCM0 = 0でこの設定が, デフォルト)
0	1	0	f _{MAIN} /2 ²
0	1	1	f _{MAIN} /2 ³ 注2
1	0	0	f _{MAIN} /2 ⁴ 注2
1	0	1	f _{MAIN} /2 ⁵ 注2, 3
上記以外			設定禁止

注1. ビット7, 5は, Read Onlyです。

2. メイン・システム・クロック (f_{MAIN}) に1 MHz高速内蔵発振クロック (f_{IH1}) を選択している場合は, 設定禁止です。
3. メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択している場合, f_{MX} < 4 MHzのときは, 設定禁止です。

- 備考1. f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{IH1} : 1 MHz高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
2. x : don't care

注意1. ビット3には, 必ず1を設定してください。

2. MCM0, MDIV2-MDIV0で設定したクロックは, CPUと周辺ハードウェアに供給されます。したがって, CPUクロックを変更すると, 周辺ハードウェア・クロックも同時に変更されます (ウォッチドッグ・タイマは除く)。よって, CPU / 周辺ハードウェア・クロックを変更する場合は, 各周辺機能を停止してください。

μ PD78F8040, 78F8041, 78F8042, 78F8043の一番速い命令はCPUクロック1クロックで実行されます。
したがって、CPUクロック (f_{CLK}) と最小命令実行時間の関係は、表7 - 2のようになります。

表7 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (MDIV2-MDIV0 ビットで設定)	最小命令実行時間：1/f _{CLK}			
	メイン・システム・クロック			
	高速システム・クロック (MCM0 = 1)		高速内蔵発振クロック (MCM0 = 0)	
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	20 MHz (TYP.) 動作時
f _{MAIN}	0.1 μs	0.05 μs	0.125 μs (TYP.)	0.05 μs (TYP.)
f _{MAIN} /2	0.2 μs	0.1 μs	0.25 μs (TYP.) (デフォルト)	0.1 μs (TYP.)
f _{MAIN} /2 ²	0.4 μs	0.2 μs	0.5 μs (TYP.)	0.2 μs (TYP.)
f _{MAIN} /2 ³	0.8 μs	0.4 μs	1.0 μs (TYP.)	0.4 μs (TYP.)
f _{MAIN} /2 ⁴	1.6 μs	0.8 μs	2.0 μs (TYP.)	0.8 μs (TYP.)
f _{MAIN} /2 ⁵	3.2 μs	1.6 μs	4.0 μs (TYP.)	1.6 μs (TYP.)

備考 f_{MAIN} : メイン・システム・クロック周波数 (f_{IH}, f_{IH20}またはf_{MX})

(3) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック, 高速内蔵発振クロックの動作を制御するレジスタです (20 MHz高速内蔵発振クロック, 低速内蔵発振クロックは除く)。

CSCレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, C0Hになります。

図7-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス: FFFA1H リセット時: C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	0	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止 ^注

注 1, 8 MHz (TYP.) 高速内蔵発振クロックが停止します。20 MHz高速内蔵発振クロックが動作中 (DSCON = 1) の場合は, 高速内蔵発振回路停止 (HIOSTOP = 1) に設定禁止です。20 MHz高速内蔵発振クロックを停止する場合は, HIOSTOPビットではなく20 MHz高速内蔵発振制御レジスタ (DSCCTL) で設定してください。

- 注意1. リセット解除後は, クロック動作モード制御レジスタ (CMC) を設定してからCSCを設定してください。
- MSTOPの設定でX1発振を開始する場合, X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 - CPU / 周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは, CSCレジスタで停止させないでください。
 - クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は, 表7-3のようになります。
 - リセット解除後MSTOPを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSを初期値のまま使用する場合は, OSTSを設定する必要はありません。

表7-3 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・ クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 (MCS = 0)	MSTOP = 1
高速内蔵発振クロック	CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック以外で動作 (MCS = 1)	HIOSTOP = 1

(4) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図7-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

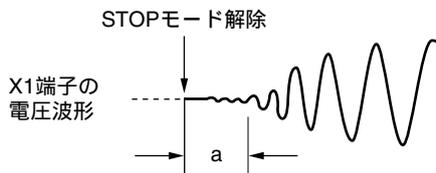
略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.21 ms以上	13.11 ms以上

- 注意1. 上記時間経過後, MOST8から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。
次のときには, OSTSの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間 (下図a) は含みません。



備考 fx : X1クロック発振周波数

(5) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図7-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

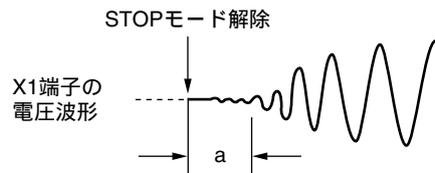
略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。
- 発振安定時間が20 μs 以下は設定禁止です。
 - OSTSの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。
 - X1クロックの発振安定時間中は、OSTSを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。次のときには、OSTSの発振安定時間を、発振開始後にOSTCで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(6) 20 MHz高速内蔵発振制御レジスタ (DSCCTL)

20 MHz高速内蔵発振クロック (DSC) 機能の制御を行うレジスタです。

20 MHz高速内蔵発振クロック (f_{IH20}) の発振と, CPU / 周辺ハードウェア・クロックとして20 MHz高速内蔵発振クロック (f_{IH20}) の供給を制御することができます。

DSCCTLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7-7 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマット

アドレス : F00F6H リセット時 : 00H R/W^注

略号	7	6	5	4	[3]	[2]	1	[0]
DSCCTL	0	0	0	0	DSCS	SELDSC	0	DSCON

DSCS	20 MHz高速内蔵発振供給状態フラグ
0	供給していない
1	供給している (CPU/周辺ハードウェア・クロック (f _{CLK}) は20 MHz高速内蔵発振動作)

SELDSC	CPU / 周辺ハードウェア・クロック (f _{CLK}) への20 MHz高速内蔵発振選択
0	20 MHz高速内蔵発振を選択しない (システム・クロック制御レジスタ (CKC) で選択されたクロックがf _{CLK} へ供給)
1	20 MHz高速内蔵発振を選択 (20 MHz高速内蔵発振がf _{CLK} へ供給)

DSCON	20 MHz高速内蔵発振クロック (f _{IH20}) の動作許可 / 禁止
0	停止
1	動作

注 ビット3は, Read Onlyです。

注意1. DSCONを設定後, 100 μs経過後にSELDSCを設定してください。

2. DSCON = 1のときは高速内蔵発振回路を動作 (HIOSTOP = 0) させておく必要があります。
3. オプション・バイトで1 MHz内蔵発振を選択している場合は, 20 MHz高速内蔵発振は使用できません。DSCONをセット (1) しないでください。

(7) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・ A/Dコンバータ
- ・ シリアル・インタフェースIICA
- ・ シリアル・アレイ・ユニットSAU
- ・ タイマ・アレイ・ユニットTAUS

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

IICAEN	シリアル・インタフェースIICAの入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースIICAで使用するSFRへのライト不可 ・ シリアル・インタフェースIICAはリセット状態
1	入カクロック供給 ・ シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・ シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・ シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 ビット6, 7には必ず“0”を設定してください。

図7-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 ビット6, 7には必ず“0”を設定してください。

(8) 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタは、少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

FLPC, FSELでは、フラッシュ・メモリの高速動作昇圧回路の制御をすることが可能です。

10 MHz以上のシステム・クロックで動作する場合は、01Bに設定してください。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Bで使用するにより昇圧回路を停止できるので、消費電力を低減することができます。また、システム・クロックを1 MHzで動作する際に、FLPC = 1とすることで、さらに消費電力を低減することができます。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-9 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	0	0	0	FLPC	FSEL

FLPC	FSEL	f _{CLK} の周波数選択
0	0	10 MHz以下の周波数で動作 (デフォルト)
0	1	10 MHzを越える周波数で動作
1	0	1 MHzの周波数で動作
1	1	設定禁止

注意1. FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行なってください。

- ・ f_{CLK}をf_{IH}以外に切り替える
 - ・ DMAコントローラを動作させる
2. FSELに“1”を書き込むと、CPUはウェイト (140.5クロック (f_{CLK})) します。ウェイト中に発生した割り込み要求は保留されます。
ただし、CPUウェイト中でも、f_xの発振安定時間のカウンタは継続可能です。
 3. f_{CLK}を10 MHz以上にする場合には、FSELを“1”にセットしてから、3クロック以上経過後に切り替えてください。
 4. FSEL = 0に設定する場合は、10 MHz以下での動作時に設定してください。
 5. STOPモードに移行する場合は、FSEL = 0にしてください。
 6. FLPCは一度1 MHz以下の周波数にしてセット (1) すると、その後にクリア (0) したり、1 MHz以上の周波数にすることは禁止です。

7.4 システム・クロック発振回路

7.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

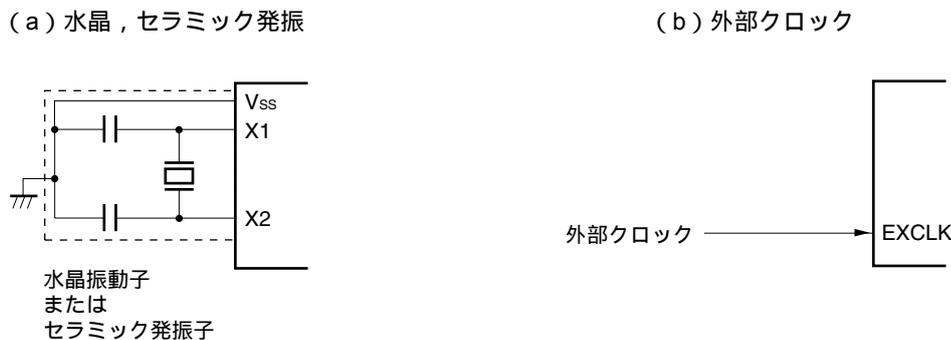
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表3-3 各端子の未使用端子処理を参照してください。

図7-10にX1発振回路の外付け回路例を示します。

図7-10 X1発振回路の外付け回路例



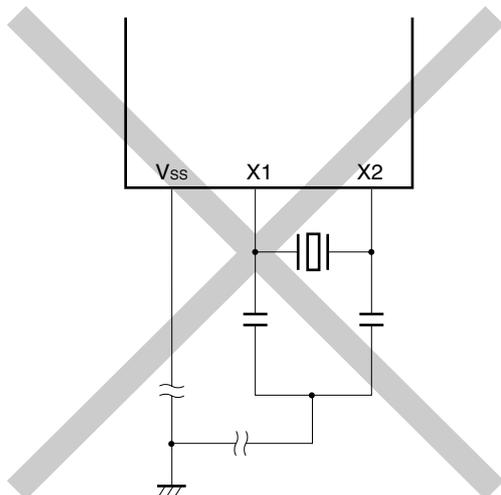
注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図7-10の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

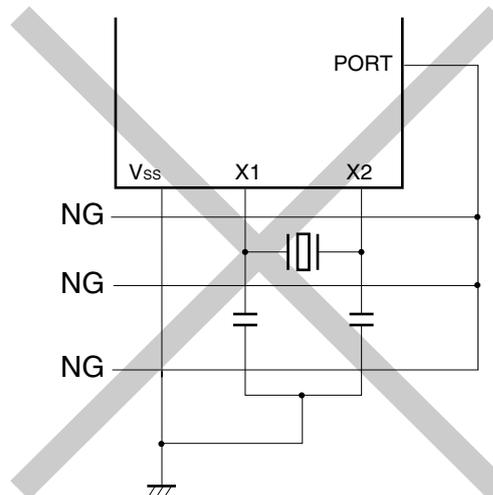
図7 - 11に発振子の接続の悪い例を示します。

図7 - 11 発振子の接続の悪い例 (1/2)

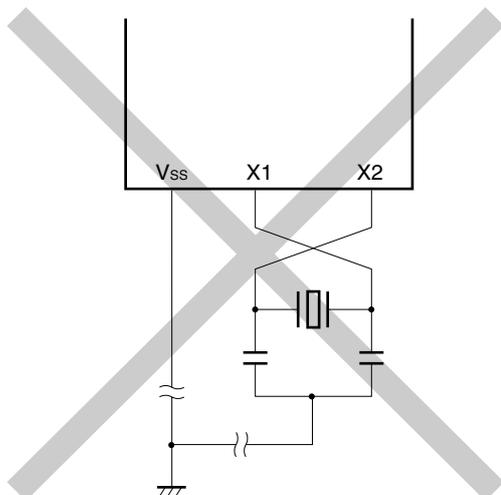
(a) 接続回路の配線が長い



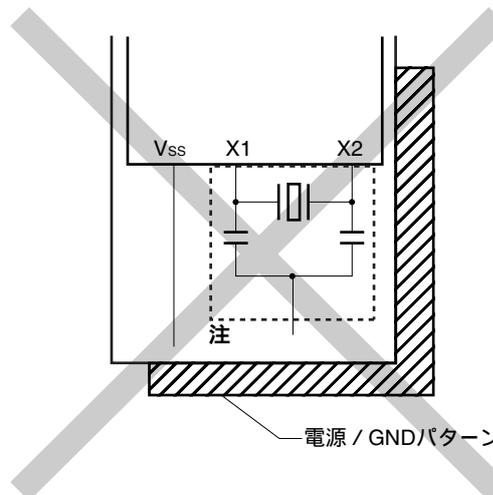
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



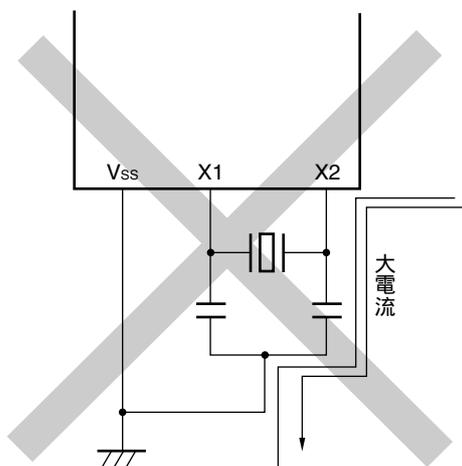
(d) X1, X2配線の下に電源/GNDパターンがある



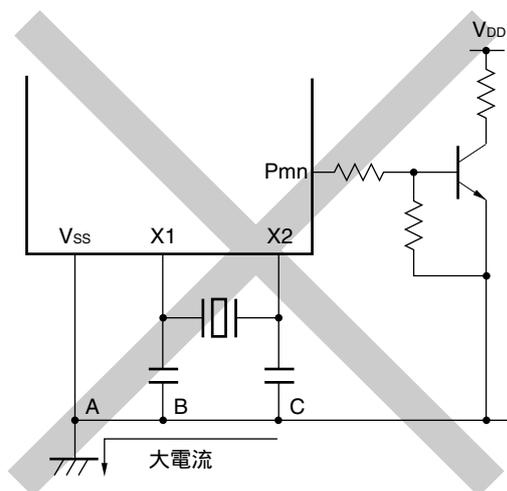
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図7-11 発振子の接続の悪い例 (2/2)

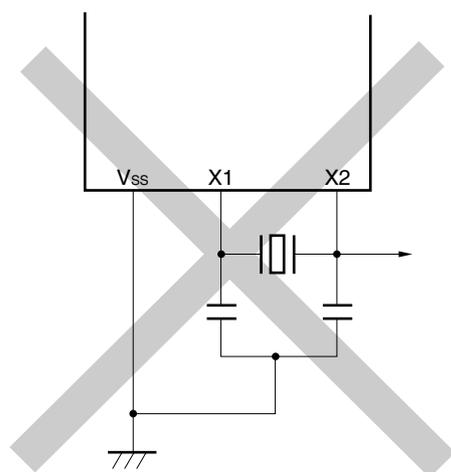
(e) 変化する大電流が信号線に近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



7.4.2 高速内蔵発振回路

μPD78F8040, 78F8041, 78F8042, 78F8043は、高速内蔵発振回路を内蔵しています(1, 8, 20 MHz(TYP.))。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)、20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0(DSCON)にて発振を制御できます。

注意 1, 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください(詳細は、第21章 オプション・バイト参照)。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します(オプション・バイトで8 MHz/20 MHz選択時は8 MHz高速内蔵発振回路で動作します)。20 MHzの高速内蔵発振回路で動作する場合は、その後、DSCCTLレジスタのビット0(DSCON)を1に設定すると発振を開始します。

7.4.3 低速内蔵発振回路

μPD78F8040, 78F8041, 78F8042, 78F8043は、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します(30 kHz(TYP.))。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

7.4.4 プリスケーラ

プリスケーラは、メイン・システム・クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

7.5 クロック発生回路の動作

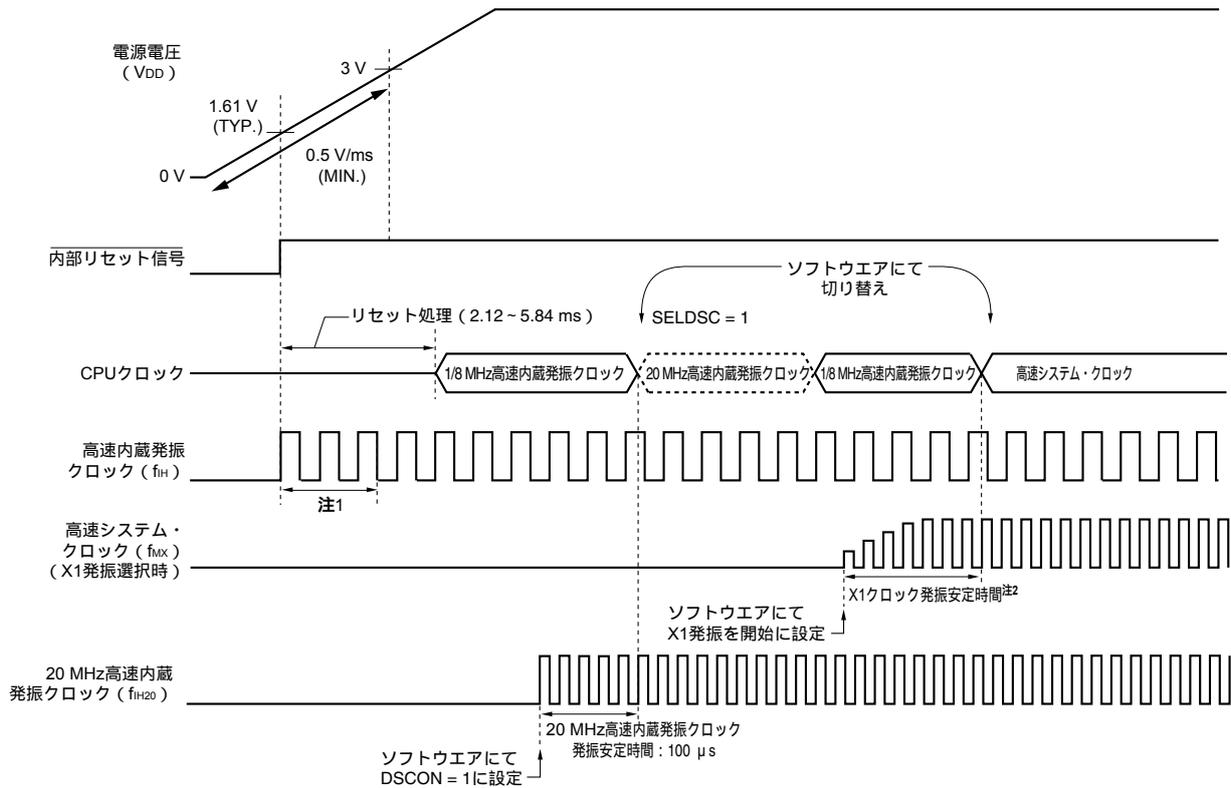
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図7 - 1を参照）。

- メイン・システム・クロック f_{MAIN}
- ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
- ・高速内蔵発振クロック f_{IH}
- ・20 MHz高速内蔵発振クロック f_{IH20}
- 低速内蔵発振クロック f_{IL}
- CPU / 周辺ハードウェア・クロック f_{CLK}

μPD78F8040, 78F8041, 78F8042, 78F8043では、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図7 - 12～図7 - 15に示します。

図7-12 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVIIOFF = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器^{注3}が自動的に発振開始されます。リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください(7.6.4 X1発振回路の設定例を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(7.6.4 X1発振回路の設定例を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、DSCONビット(20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0)を設定したあと100 μsウエイトし、ソフトウェアにてSELDSC = 1に設定することでクロックが切り替わります^{注4}。

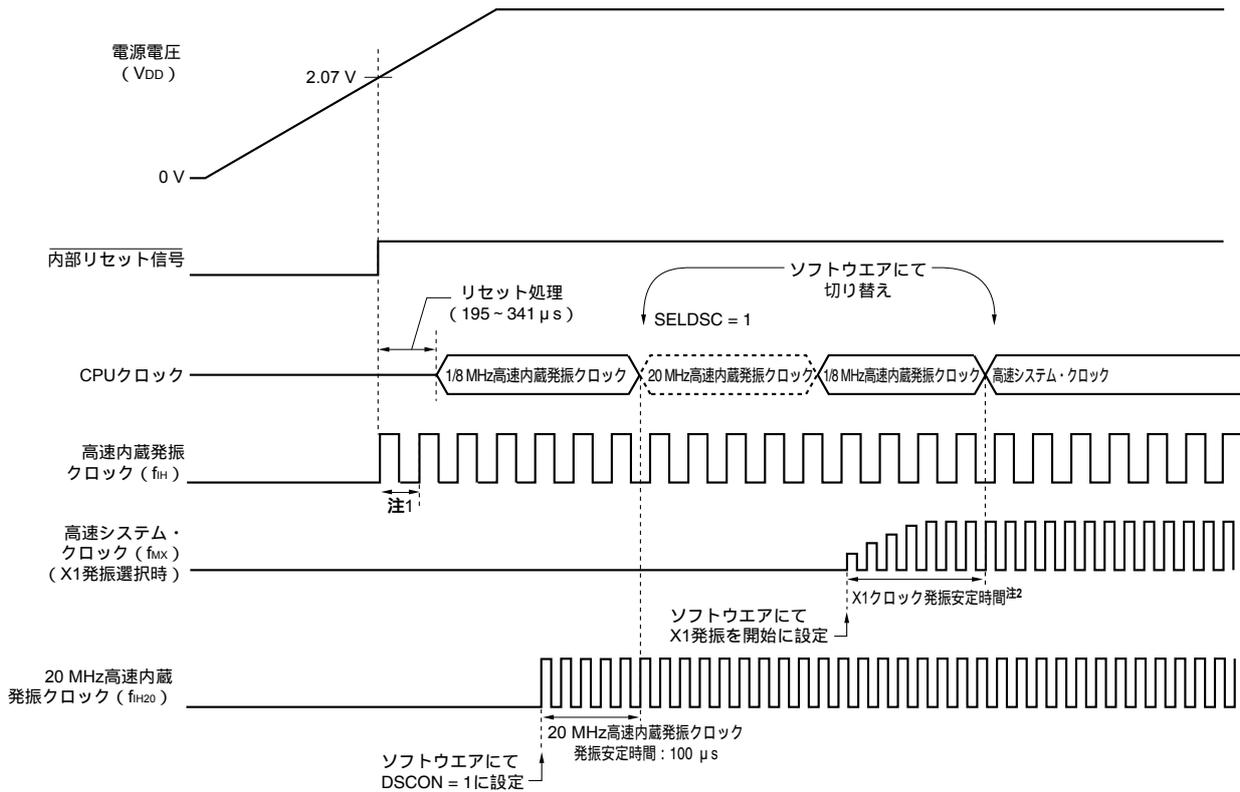
注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。
3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。
4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。

(注意は次ページにあります。)

- 注意1. 電源投入時から3.0 Vに達するまでの電圧の立ち上がりが, 0.5 V/ms (MIN.) よりも緩やかな場合は, 電源投入時から3.0 Vに達するまで, $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか, オプション・バイトでLVIデフォルト・スタート機能動作を設定 (LVIOFF = 0) してください (図7 - 13参照)。3.0 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき, $\overline{\text{RESET}}$ 端子によるリセット解除後は, 図7 - 12の以降と同様のタイミングで動作します。
2. EXCLK端子からの外部クロック入力を使用する場合, 発振安定待ち時間は不要です。
 3. 一部の動作は $V_{DD} < 3.0$ Vの期間でも実行できます (詳細は, 第26章 電気的特性 AC特性 (1) 基本動作の図を参照)。

図7-13 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF = 0))



電源投入後、低電圧検出 (LVI) 回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器^{注3}が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください(7.6.4 X1発振回路の設定例を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、ソフトウェアにてDSCON = 1に設定し発振を開始してください。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(7.6.4 X1発振回路の設定例を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、DSCONビット(20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0)を設定したあと100 μsウェイトします。ウェイト後、ソフトウェアにてSELDSC = 1に設定することでクロックが切り替わります^{注4}。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。

4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。

(注意は次ページにあります。)

- 注意1. 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間 (約2.12 ~ 5.84 ms) が必要となります。1.61 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、電圧安定待ち時間を経過してからリセット処理に入ります。
2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

7.6 クロックの制御

7.6.1 8 MHz高速内蔵発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) に8 MHz高速内蔵発振クロックを使用する場合、オプション・バイトの000C1Hを“FBH”に設定してください。リセット解除後にシステム・クロック制御レジスタ (CKC) でCPU/周辺ハードウェア・クロックに供給する分周比を設定します。デフォルト (f_H/2 = 4 MHz) のまま使用する場合はCKCレジスタを設定する必要はありません。

【オプション・バイト設定】

アドレス：000C1HはFBHを設定します。

オプション・ バイト (000C1H)	7	6	5	4	3	2	1	0
	1	1	1	1	1	FRQSEL2 0	FRQSEL1 1	LVIOFF 1

LVIOFFビット：電源立ち上げのリセット解除時、LVIをデフォルトでONにしたい場合は0を設定してください。

【レジスタの設定】

CKCレジスタのMDIV2-MDIV0ビットでCPU/周辺ハードウェア・クロックの分周比を設定します。

CKC	7	6	5	4	3	2	1	0
	0	0	MCS 0	MCM0 0	1	MDIV2 0/1	MDIV1 0/1	MDIV0 0/1

7.6.2 1 MHz高速内蔵発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) に1 MHz高速内蔵発振クロックを使用する場合、オプション・バイトの000C1Hを“FDH”に設定してください。リセット解除後にシステム・クロック制御レジスタ (CKC) でCPU/周辺ハードウェア・クロックに供給する分周比を設定します。デフォルト (f_H/2 = 0.5 MHz) のまま使用する場合はCKCレジスタを設定する必要はありません。

【オプション・バイト設定】

アドレス：000C1HはFDHを設定します。

オプション・ バイト (000C1H)	7	6	5	4	3	2	1	0
	1	1	1	1	1	FRQSEL2 1	FRQSEL1 0	LVIOFF 1

LVIOFFビット：電源立ち上げのリセット解除時、LVIをデフォルトでONにしたい場合は0を設定してください。

【レジスタの設定】

CKCレジスタのMDIV2-MDIV0ビットでCPU/周辺ハードウェア・クロックの分周比を設定します。

CKC	7	6	5	4	3	2	1	0
	0	0	MCS 0	MCM0 0	1	MDIV2 0/1	MDIV1 0/1	MDIV0 0/1

7.6.3 20 MHz高速内蔵発振回路の設定例

CPU/周辺ハードウェア・クロック (fclk) に20 MHz高速内蔵発振クロックを使用する場合、オプション・バイトの000C1Hを“FBH”に設定してください。リセット解除後は動作スピード・モード制御レジスタ(OSMC)、20 MHz高速内蔵発振制御レジスタ(DSCCTL)の順番で設定をします。

【オプション・バイト設定】

アドレス 000C1HはFBHを設定します。

オプション・	7	6	5	4	3	2	1	0
バイト						FRQSEL2	FRQSEL1	LVI OFF
(000C1H)	1	1	1	1	1	0	1	1

LVI OFFビット：電源立ち上げのリセット解除時，LVIをデフォルトでONにしたい場合は0を設定してください。

【レジスタの設定】 ~ の順で設定してください。

OSMCレジスタに10MHzを超える周波数の動作に設定します。

	7	6	5	4	3	2	1	0
OSMC							FLPC	FSEL
	0	0	0	0	0	0	0	1

DSCCTLレジスタのDSCONビットをセット(1)して20 MHz高速内蔵発振回路を動作させます。

	7	6	5	4	3	2	1	0
DSCCTL					DSCS	SELDSC		DSCON
	0	0	0	0	0	0	0	1

DSCONビットをセット(1)してから100 μsウエイトします。

DSCCTLレジスタのSELDSCビットをセット(1)して高速内蔵発振クロックを8 MHzから20 MHzに切り替えます。

	7	6	5	4	3	2	1	0
DSCCTL					DSCS	SELDSC		DSCON
	0	0	0	0	0	1	0	1

CKCレジスタのMDIV2-MDIV0ビットでCPU/周辺ハードウェア・クロックの分周比を設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0		MDIV2	MDIV1	MDIV0
	0	0	0	0	0	0/1	0/1	0/1

7.6.4 X1発振回路の設定例

CPU / 周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速内蔵発振クロックで動作します。その後、X1発振クロックに変更する場合、動作スピード・モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

リセット解除直後の内蔵発振クロック周波数はオプション・バイトで設定します。

【オプション・バイト設定】

アドレス 000C1HはFBHを設定します。

オプション・ バイト (000C1H)	7	6	5	4	3	2	1	0
	1	1	1	1	1	FRQSEL2 0	FRQSEL1 1	LVI OFF 1

LVI OFFビット：電源立ち上げのリセット解除時、LVIをデフォルトでONにしたい場合は0を設定してください。

FRQSEL2, FRQSEL1ビット：内蔵発振クロック周波数を1 MHzに設定する場合は (FRQSEL2, FRQSEL1) = (1, 0) に設定してください。

【レジスタ設定】 ~ の順に設定してください。

OSMCレジスタにCPU / 周辺ハードウェアの周波数の設定をします。

OSMC	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	FLPC 0	FSEL 1

FSELビット：CPU / 周辺ハードウェア・クロックが10 MHz以下の場合は0を設定してください。

CMCレジスタのOSCSELビットをセット (1) してX1発振回路を動作させます。

CMC	7	6	5	4	3	2	1	0
	EXCLK 0	OSCSEL 1	0	0	0	0	0	AMPH 1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

CSC	7	6	5	4	3	2	1	0
	MSTOP 0	0	0	0	0	0	0	HISTOP 0

OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102.4 μs以上までウエイトする場合は、以下の値になるまでウエイトしてください。

OSTC	7	6	5	4	3	2	1	0
	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

CKCレジスタのMCM0ビットでX1発振クロックをCPU / 周辺ハードウェア・クロックに設定します。

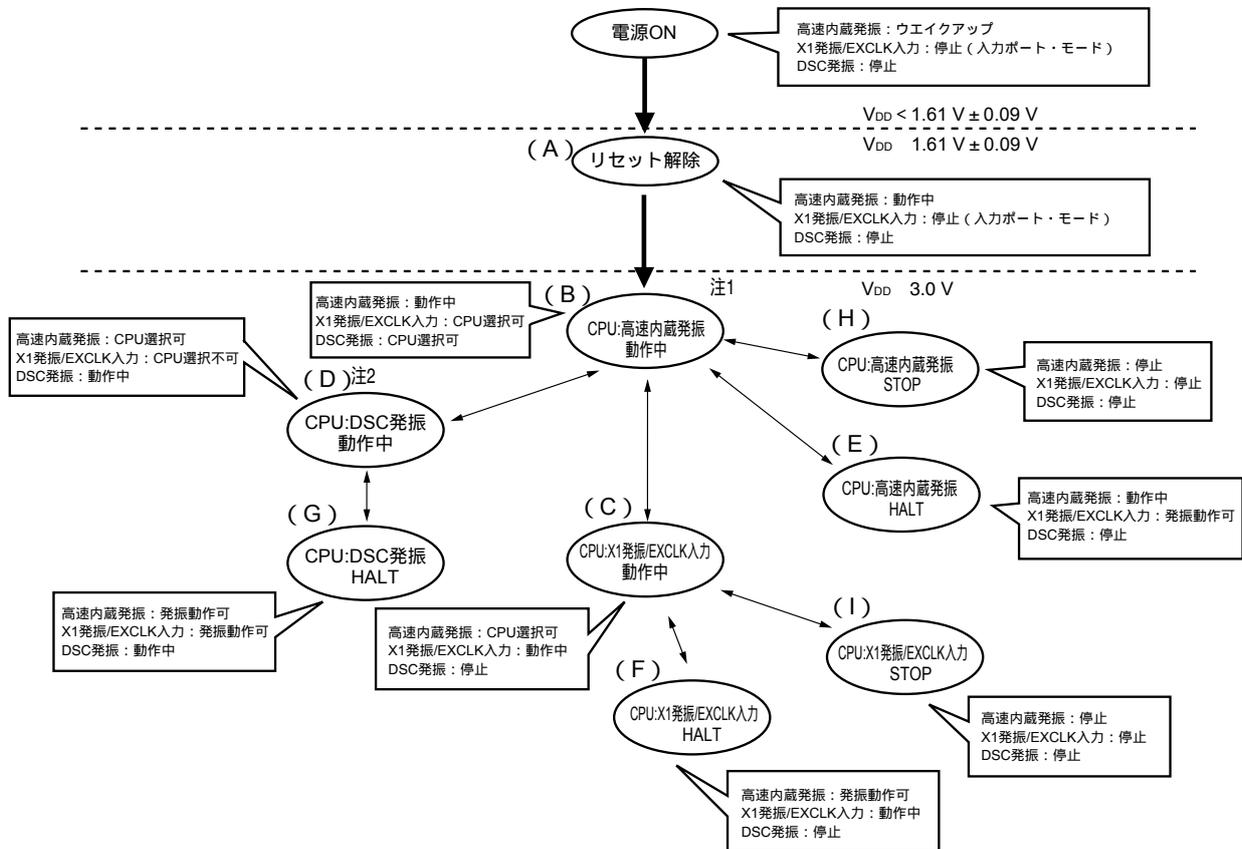
MDIV2-MDIV0ビットで分周比を設定します。

CKC	7	6	5	4	3	2	1	0
	0	0	MCS 0	MCM0 1	1	MDIV2 0/1	MDIV1 0/1	MDIV0 0/1

7.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図7-14に示します。

図7-14 CPUクロック状態移行図



注1. リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、次の動作周波数で動作開始します。

- ・ オプション・バイトで1 MHzを選択時 : 500 kHz (1 MHz/2)
- ・ オプション・バイトで8 MHz, 20MHzを選択時 : 4 MHz (8 MHz/2)

2. 20 MHz内蔵発振は、オプション・バイトで1 MHz内蔵発振を選択時は使用することができません。

備考1. オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が2.07 V ± 0.2 Vを越えるまでリセットは解除されません。

そしてリセット処理後に上図の (B) に移行します。

2. DSC : 20 MHz高速内蔵発振クロック

CPUクロックの移行とSFRレジスタの設定例などを表7-4に示します。

表7-4 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) (B) (C) (X1クロック: 2 MHz f_x 10 MHz)	0	1	0	0	0	確認 必要	1
(A) (B) (C) (X1クロック: 10 MHz < f_x 20 MHz)	0	1	1	0	1 ^{注2}	確認 必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	x	0	0/1 ^{注2}	確認 不要	1

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、 $FSEL = 1$ です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、 $FSEL = 0$ で使用可能です。

注意 設定するクロックの動作可能電圧 (第26章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(3) リセット解除後 (A) に、CPUを20 MHz高速内蔵発振クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	DSCCTLレジスタ		発振安定待ち	DSCCTLレジスタ
	DSCON			SELDSC
(A) (B) (D)	1		必要 (100 μ s)	1

備考 表7-4の (A) - (I) は、図7-14の(A) - (I) と対応しています。

表7-4 CPUクロックの移行とSFRレジスタの設定例(2/3)

(4) CPUを高速内蔵発振クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP	FSEL		MCM0
(B) (C) (X1クロック: 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1
(B) (C) (X1クロック: 10 MHz <math><f_x</math> 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) (C) (外部メイン・クロック)	1	1	x	注2	0	0/1	確認 不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

- 注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。
2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。
 ・期待する発振安定時間選択レジスタ(OSTS)の発振安定時間 OSTSで設定する発振安定時間
3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。
 $f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧(第26章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作(B)から、20 MHz高速内蔵発振クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	DSCCTLレジスタ		発振安定待ち	DSCCTLレジスタ
	DSCON			SELDSC
(B) (D)	1		必要(100 μs)	1

20 MHz高速内蔵発振クロック
動作中の場合は不要

- 備考1. x : don't care
2. 表7-4の(A)-(I)は、図7-14の(A)-(I)と対応しています。

表7-4 CPUクロックの移行とSFRレジスタの設定例(3/3)

(6) CPUを高速システム・クロック動作 (C) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	10 μs	0

{
 高速内蔵発振クロック
 動作中の場合は不要

(7) CPUを20 MHz高速内蔵発振クロック動作 (D) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTLレジスタ	
		SELDSC	DSCON
(D) (B)		0	0

- (8) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
- ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
- ・ CPUが20 MHz高速内蔵発振クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

- (9) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
- ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) (H)		STOPモード中に動作できない周辺機能を停止する	-	STOP命令を実行する
(C) (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		-	

備考 表7-4の(A)-(I)は, 図7-14の(A)-(I)と対応しています。

7.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表7 - 5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	20 MHz 高速内蔵発振クロック	オプション・バイトで20 MHzが設定されていて、DSC発振が安定していること ・ DSCON = 1に設定して発振安定時間(100 μs) 経過後 ・ SELDSC = 1	-
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
20 MHz 高速内蔵発振クロック	高速内蔵発振クロック	・ SELDSC = 0 (移行時に設定します)	20 MHz高速内蔵発振クロック停止に設定可能 (DSCON = 0)
	X1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部メイン・システム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

7.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0-2, 4 (MDIV0-MDIV2, MCM0) との設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, CKCを書き換えた直後ではなく, CKCを変更したのち, 数クロックは切り替え前のクロックで動作します (表7-6~表7-8参照)。

CPUクロックとなるメイン・システム・クロックが高速システム・クロックで動作しているか, 高速内蔵発振クロックで動作しているかは, CKCのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表7-6 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f _{MAIN}	↔ (分周比変更)	f _{MAIN}	表7-7参照
f _{IH}	↔	f _{MX}	表7-8参照

表7-7 f_{MAIN} ↔ f_{MAIN} (分周比変更) で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		1 + f _A /f _B クロック
クロックB	1 + f _B /f _A クロック	

表7-8 f_{IH} ↔ f_{MX} で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
		MCM0	
MCM0		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} > f _{IH}		1 + f _{IH} /f _{MX} クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} > f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	1 + f _{MX} /f _{IH} クロック	

備考1. 表7-6から表7-8のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. 表7-6から表7-8のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2\text{クロック}$$

7.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

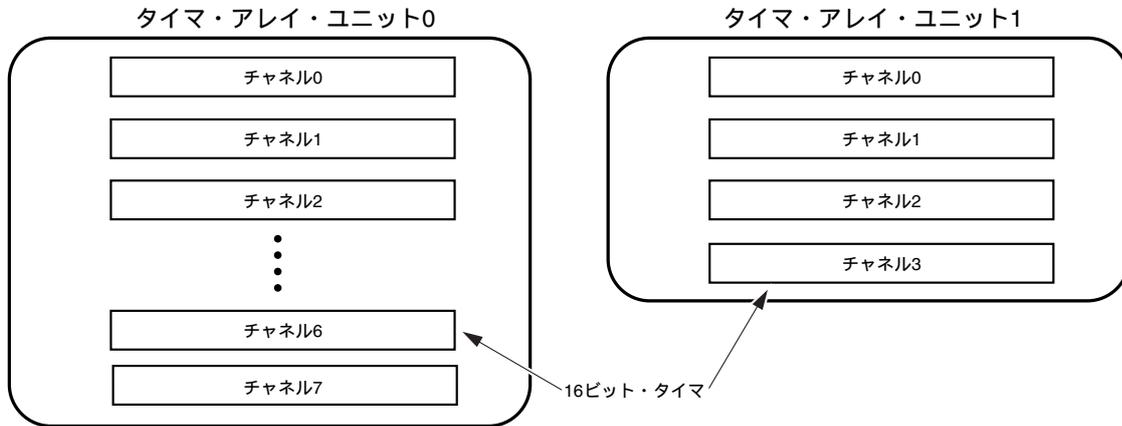
表7-9 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
20 MHz高速内蔵発振クロック	SELDSC = 0 (メイン・システム・クロックが20 MHz高速内蔵発振クロック以外で動作)	DSCON = 0

第8章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットには2つのユニットがあります。タイマ・アレイ・ユニット0は8つの16ビット・タイマを、タイマ・アレイ・ユニット1は4つの16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照下さい。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ (8.7.1参照) ・ 方形波出力 (8.7.1参照) ・ 外部イベント・カウンタ (8.7.2参照) ・ 入力パルス間隔測定 (8.7.3参照) ・ 入力信号のハイ/ロウ・レベル幅測定 (8.7.4参照) 	<ul style="list-style-type: none"> ・ ワンショット・パルス出力 (8.8.1参照) ・ PWM出力 (8.8.2参照) ・ 多重PWM出力 (8.8.3参照)

またユニット0のチャンネル7は、シリアル・アレイ・ユニット1のUART3と連携し、LIN-bus受信処理を実現することができます。

8.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

8.1.1 単独チャンネルで動作する機能

単体チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。

(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TOMn) より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

(4) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,

mn = 00-07, 10-13

タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13

タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13

8.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせることで実現する機能です。

(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。

(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。

注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。

- ・マスタ・チャンネルには、偶数チャンネル(チャンネル0, 2, 4...)のみ設定可能
- ・スレーブ・チャンネルはマスタ・チャンネルの下位のチャンネルのみ設定可能(複数のスレーブ・チャンネルを設定可能)
- など

複数チャンネル連動動作機能のルールの詳細については、8.4 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m: ユニット番号 (m = 0, 1), n: マスタ・チャンネル番号 (n = 0, 2, 4)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

m = 0の場合: $n < p < q - 5$

m = 1の場合: $n < p < q - 3$

(ただしp, qは、n以降の連続した整数)

8.1.3 LIN-bus対応機能 (チャンネル7のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニット0を使ってチェックします。

(1) ウェイクアップ信号の検出

UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、8.3 (12) 入力切り替え制御レジスタ (ISC)、8.7.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

8.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表8-1 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI01-TI03, TI05, TI11, TI13端子, RxD3端子 (LIN-bus用)
タイマ出力	TO01-TO03, TO05, TO11, TO13端子, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOm) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <hr/> <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) ・ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6) ・ポート・レジスタ0, 1, 3, 6 (P0, P1, P3, P6)

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-13

図8-1 ~ 図8-3にブロック図を示します。

図8 - 1 タイマ・アレイ・ユニット0の全体ブロック図

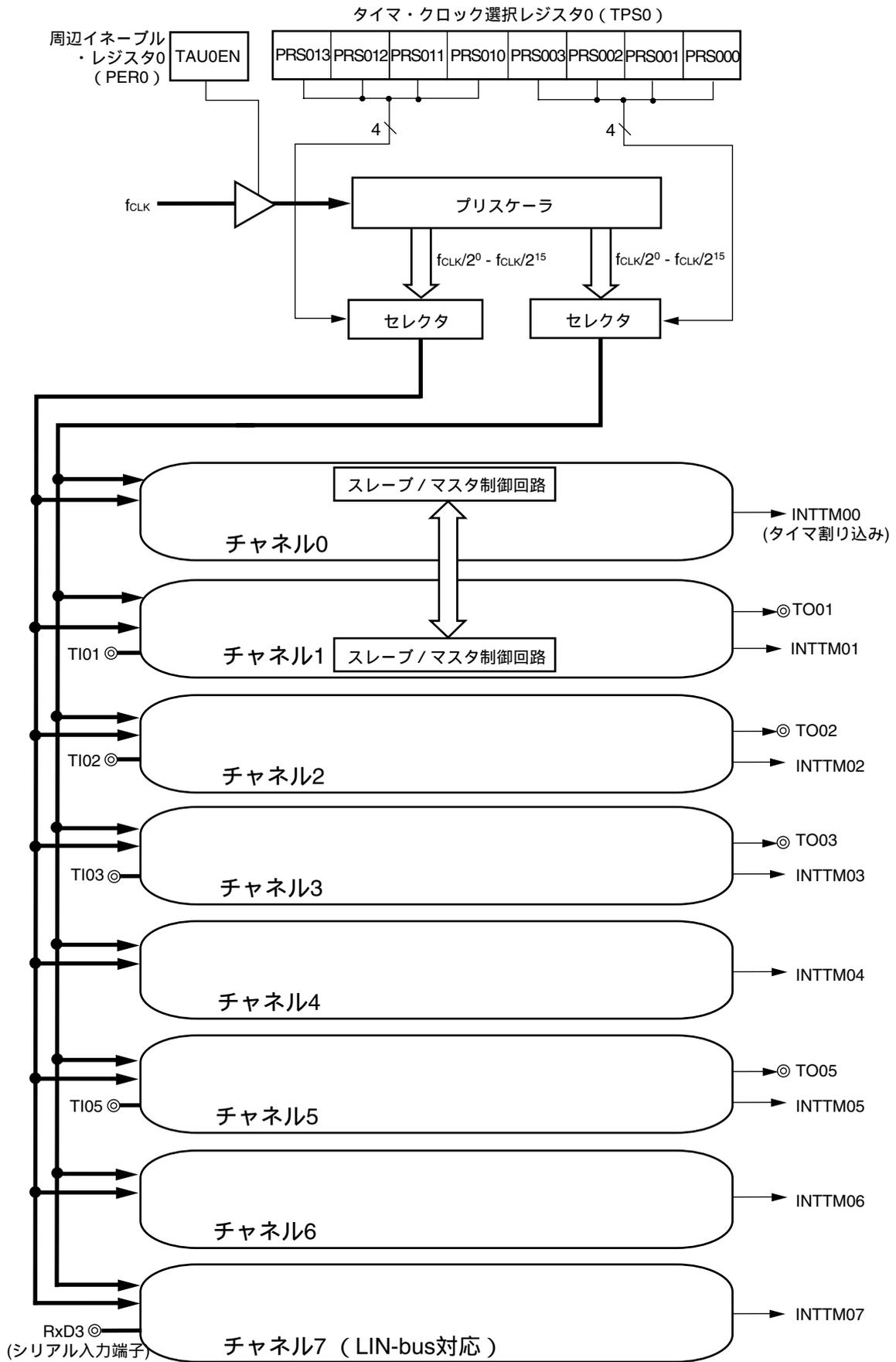


図8 - 2 タイマ・アレイ・ユニット1の全体ブロック図

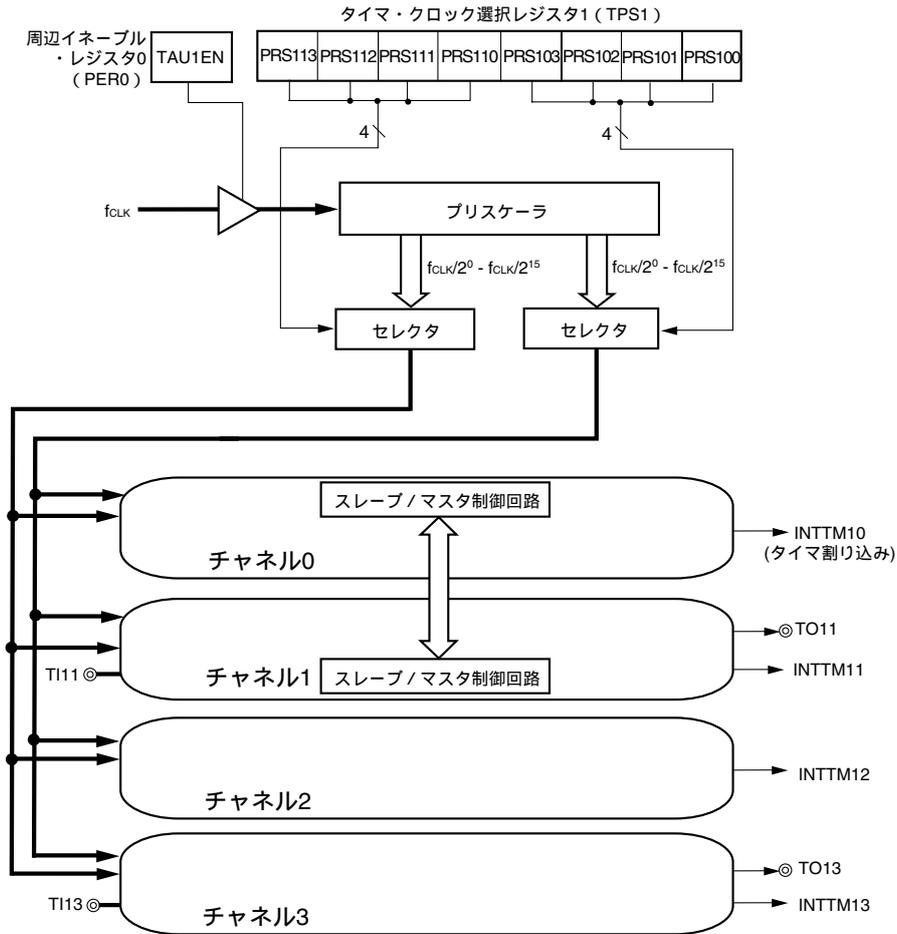
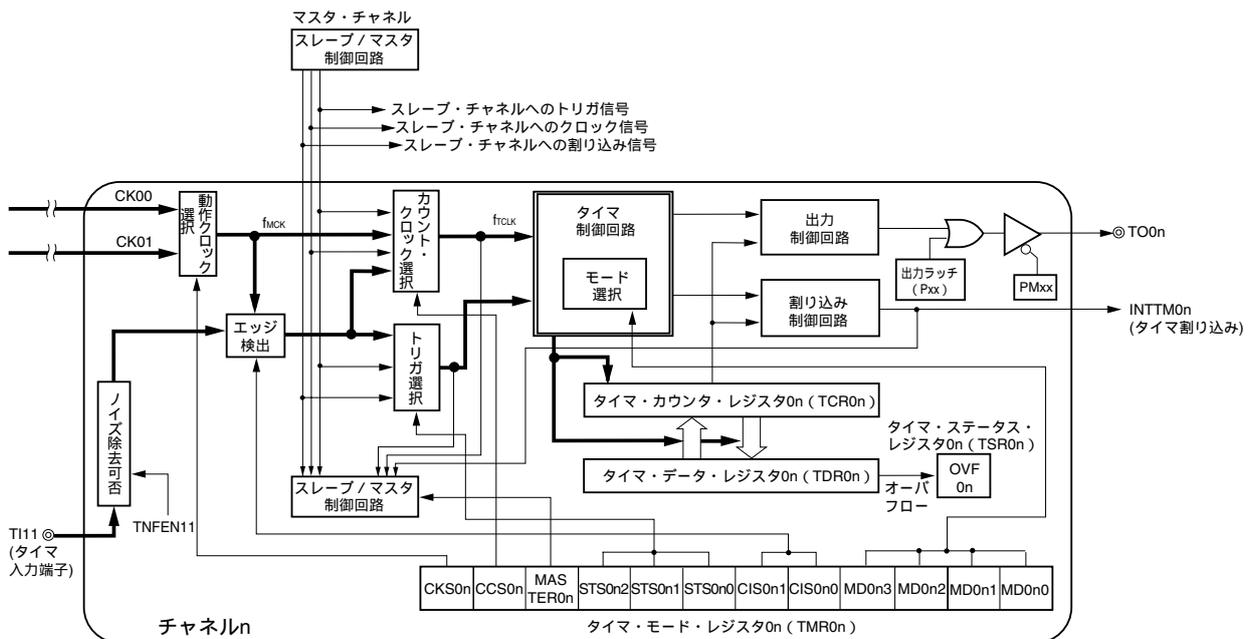


図8 - 3 タイマ・アレイ・ユニット0のチャンネル内部ブロック図



備考 n = 0-7

(1) タイマ・カウンタ・レジスタ_{mn} (TCR_{mn})

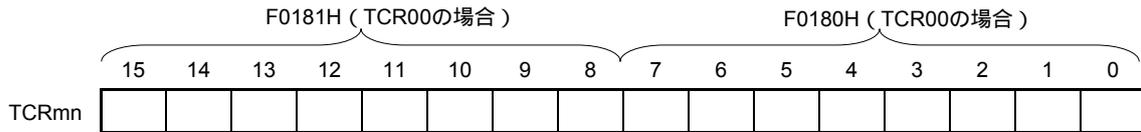
TCR_{mn}は、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ_{mn} (TMR_{mn}) のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります (8. 3 (3) タイマ・モード・レジスタ_{mn} (TMR_{mn}) 参照)。

図8 - 4 タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R
 F01C0H, F01C1H (TCR10) - F01C6H, F01C7H (TCR13)



TCR_{mn}をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット (TAU0の場合)、TAU1ENビット (TAU1の場合) をクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR_{mn}をリードしても、タイマ・データ・レジスタ_{mn} (TDR_{mn}) にはキャプチャしません。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表8 - 2 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRmn レジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13

(2) タイマ・データ・レジスタ_{mn} (TDR_{mn})

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ_{mn} (TMR_{mn}) のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります。

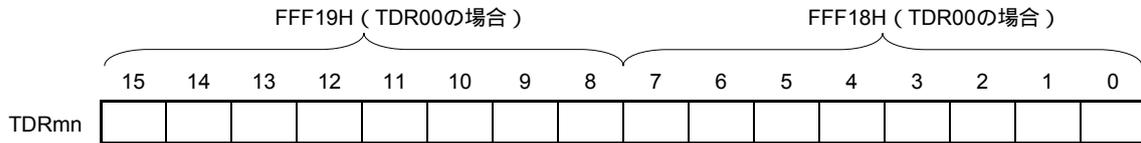
TDR_{mn}は任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、TDR_{mn}レジスタは0000Hになります。

図8 - 5 タイマ・データ・レジスタ_{mn} (TDR_{mn}) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF1AH, FFF1BH (TDR01) , リセット時 : 0000H R/W
 FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07)
 FFF70H, FFF71H (TDR10) - FFF76H, FFF77H (TDR13)



(i) タイマ・データ・レジスタ_{mn} (TDR_{mn}) をコンペア・レジスタとして使用するとき

TDR_{mn}に設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTT_{Mmn}) を発生します。TDR_{mn}は書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR_{mn}はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ_{mn} (TDR_{mn}) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) のカウント値をTDR_{mn}にキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ_{mn} (TMR_{mn}) で設定します。

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし、タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11,13)

8.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMRmn)
- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TE m)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TT m)
- ・タイマ出力許可レジスタ m (TOE m)
- ・タイマ出力レジスタ m (TO m)
- ・タイマ出力レベル・レジスタ m (TOL m)
- ・タイマ出力モード・レジスタ m (TOM m)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)
- ・ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6)
- ・ポート・レジスタ0, 1, 3, 6 (P0, P1, P3, P6)

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-13$

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用するときは、PER0のビット0 (TAU0EN) を必ず1に設定してください。

タイマ・アレイ・ユニット1を使用するときは、PER0のビット1 (TAU1EN) を必ず1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0は00Hになります。

図8-6 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAUmEN	タイマ・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットmで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットmで使用するSFRへのリード/ライト可

- 注意1. タイマ・アレイ・ユニットmの設定をする際には、必ず最初にTAUmEN = 1の設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります（ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2), ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6), ポート・レジスタ0, 1, 3, 6 (P0, P1, P3, P6) は除く）。
2. ビット6, 7には必ず“0”を設定してください。

備考 m = 0, 1

(2) タイマ・クロック選択レジスタ_m (TPSm)

TPSmは、各チャンネルに共通して供給される2種類の動作クロック(CKm0, CKm1)を選択する16ビット・レジスタです。TPSmの7-4ビットでCKm1を、3-0ビットでCKm0を選択します。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合：

動作クロックにCKm0を選択(CKSmn = 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットの書き換え：

動作クロックにCKm1を選択(CKSmn = 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmは16ビット・メモリ操作命令で設定します。

またTPSmの下位8ビットは、TPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TPSmは0000Hになります。

備考 m：ユニット番号 (m = 0, 1), n：チャンネル番号 (n = 0-7)

mn = 00-07, 10-13

図8 - 7 タイマ・クロック選択レジスタ_m (TPSm) のフォーマット

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W
 F01DEH, F01DFH (TPS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 ^注	f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
					0	0	0	0
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。
 カウント・クロック (f_{CLK}) にCKSmnビットで指定した動作クロック (f_{CK}), TImn端子からの入力信号の有効エッジのどちらを選択している場合でも停止する必要があります。

注意 ビット15-8には、必ず0を設定してください。

- 備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 2. m : ユニット番号 (m = 0, 1), k = 0, 1

(3) タイマ・モード・レジスタmn (TMRmn)

TMRmnは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ & ワンカウント) 設定を行います。

TMRmnは、動作中 (TE_m = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_m = 1のとき) の書き換えが可能です (詳細は8.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 8.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnは0000Hになります。

図8 - 8 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{MCK}) の選択
0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS _{mn} ビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{TCLK}) を生成します。	

CCS mn	チャンネルnのカウント・クロック (f _{TCLK}) の選択
0	CKS _{mn} ビットで指定した動作クロック (f _{MCK})
1	TImn端子からの入力信号の有効エッジ
カウント・クロック (f _{TCLK}) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

- 注意1. ビット14, 13, 5, 4には、必ず0を設定してください。
2. カウント・クロック (f_{TCLK}) にCKS_{mn}ビットで指定した動作クロック (f_{MCK}) , TImn端子からの入力信号の有効エッジのどちらを選択していても、f_{TCLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT_m = 00FFH) させてください。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 8 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MAS TER mn	チャンネルnの単独チャンネル動作 / 複数チャンネル連動動作 (スレーブ / マスタ) の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTERmn = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTERmn = 0) として使用してください。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0 にします。	

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
 mn = 00-07, 10-13 (ただし, タイマ入力端子 (Tlmn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 8 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャンネルnの動作モードの設定	TCRのカウント動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウント	可
0	1	0	1/0	キャプチャ・モード	アップ・カウント	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウント	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウント	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウント	可
上記以外				設定禁止		

MDmn0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注1} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注2} 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注1. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTMmn) , TOMn出力は制御しません。

2. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13)

(4) タイマ・ステータス・レジスタmn (TSRmn)

TSRmnは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表8 - 3を参照してください。

TSRmnは、16ビット・メモリ操作命令で読み出します。

またTSRmnの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnは0000Hになります。

図8 - 9 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R
 F01D0H, F01D1H (TSR10) - F01D6H, F01D7H (TSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13

表8 - 3 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア セット	- (使用不可, セット/クリアされない)

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ_m (TE_m)

TE_mは、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ_m (TSM_m) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ_m (TTM_m) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE_mは、16ビット・メモリ操作命令で読み出します。

またTE_mの下位8ビットは、TE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE_mは0000Hになります。

図8 - 10 タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

アドレス : F01D8H, F01D9H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE1	0	0	0	0	0	0	0	0	0	0	0	0	TE13	TE12	TE11	TE10

TE mn	チャンネルnの動作許可 / 停止状態の表示															
0	動作停止状態															
1	動作許可状態															

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13

(6) タイマ・チャンネル開始レジスタ_m (TSM_m)

TSM_mは、タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) をクリアし、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TSM_{mn}) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ_m (TEM_m) の対応ビット (TEM_{mn}) が1にセットされます。TSM_{mn}はトリガ・ビットなので、動作許可状態 (TEM_{mn} = 1) になるとすぐTSM_{mn}はクリアされます。

TSM_mは、16ビット・メモリ操作命令で設定します。

またTSM_mの下位8ビットは、TSM_Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSM_mは0000Hになります。

図8 - 11 タイマ・チャンネル開始レジスタ_m (TSM_m) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

アドレス : F01DAH, F01DBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS1	0	0	0	0	0	0	0	0	0	0	0	0	TS13	TS12	TS11	TS10

TSM _{mn}	チャンネル _n の動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEM _{mn} を1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR _{mn} のカウント動作開始は、各動作モードにより異なります (表8-4参照)。

注意 TS0のビット15-8, TS1のビット15-4には必ず0を設定してください。

備考1. TSMレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-13

表8 - 4 カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1セット時の動作
・インターバル・タイマ・モード	<p>スタート・トリガ検出 (TSmn = 1) 後, カウント・クロック発生まで何も動作しません。</p> <p>最初のカウント・クロックでTDRmnの値をTCRmnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います(8.3(6)(a)インターバル・タイマ・モード時のスタート・タイミング参照)。</p>
・イベント・カウンタ・モード	<p>TSmnビットに1を書き込みにより, TDRmnの値をTCRmnにロードします。</p> <p>以降のカウント・クロックでダウン・カウント動作を行います。</p> <p>TMRmnレジスタのSTSmn2-STSmn0ビットで選択した外部トリガ検出では, カウント動作を開始しません(8.3(6)(b)イベント・カウンタ・モード時のスタート・タイミング参照)。</p>
・キャプチャ・モード	<p>スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。</p> <p>最初のカウント・クロックで0000HをTCRmnにロードし, 以降のカウント・クロックでアップ・カウント動作を行います(8.3(6)(c)キャプチャ・モード時のスタート・タイミング参照)。</p>
・ワンカウント・モード	<p>タイマ動作停止 (TEmn = 0) の状態で, TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。</p> <p>スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。</p> <p>最初のカウント・クロックでTDRmnの値をTCRmnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います(8.3(6)(d)ワンカウント・モード時のスタート・タイミング参照)。</p>
・キャプチャ&ワンカウント・モード	<p>タイマ動作停止 (TEmn = 0) の状態で, TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。</p> <p>スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。</p> <p>最初のカウント・クロックで0000HをTCRmnにロードし, 以降のカウント・クロックでアップ・カウント動作を行います(8.3(6)(e)キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。</p>

(a) インターバル・タイマ・モード時のスタート・タイミング

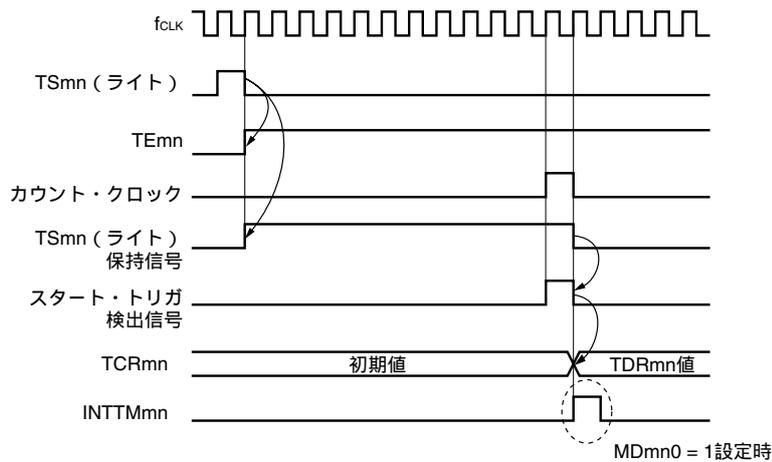
TSmnへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。

TSmnへの書き込み情報はカウント・クロック発生まで保持されます。

タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnにロードし、カウントを開始します。

図8 - 12 スタート・タイミング (インターバル・タイマ・モード時)



注意 カウント・クロックの1周期目の動作はTSmn書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

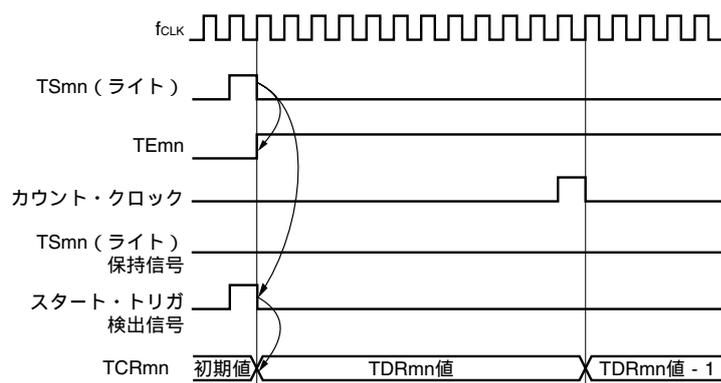
動作停止状態 (TEmn = 0) の期間, タイマ・カウンタ・レジスタmn (TCRmn) は, 初期値を保持します。

TSmnへ1を書き込むことにより, 動作許可状態 (TEmn = 1) となります。

TSmn = 1 TEmn = 1と同時に, TCRmnにタイマ・データ・レジスタmn (TDRmn) の値をロードし, カウントを開始します。

以降はカウンタ・クロックに従い, TCRmnの値をダウン・カウントします。

図8 - 13 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

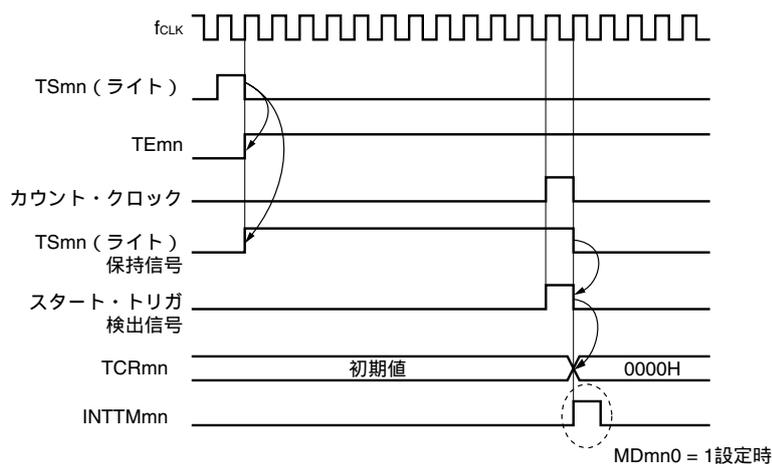
TSmnへ1を書き込むことにより，動作許可状態 (TEmn = 1) となります。

TSmnへの書き込み情報はカウント・クロック発生まで保持されます。

タイマ・カウンタ・レジスタmn (TCRmn) は，カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により，0000HをTCRmnにロードし，カウントを開始します。

図8 - 14 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTSmn書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

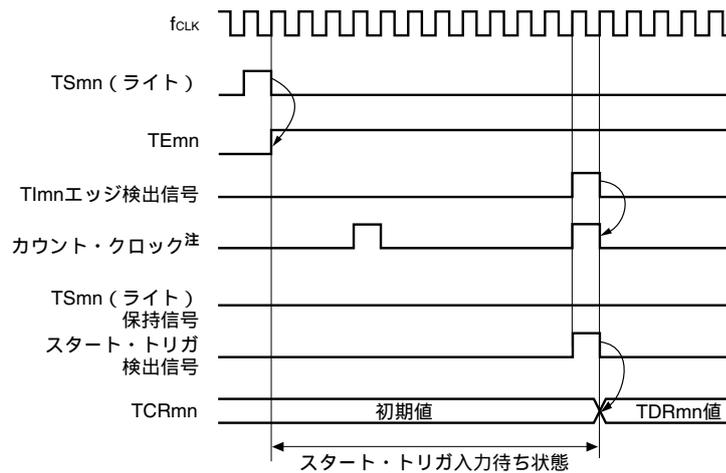
(d) ワンカウント・モード時のスタート・タイミング

TSmnへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。

スタート・トリガ入力待ち状態となり、タイマ・カウンタ・レジスタmn (TCRmn) は初期値を保持します。

スタート・トリガ検出により、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードし、カウントを開始します。

図8 - 15 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (f_{MCK}) が選択されます (CCS_{mn} = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TImn端子入力をスタート・トリガに使用する場合、カウント・クロック1クロック分の誤差となります)。

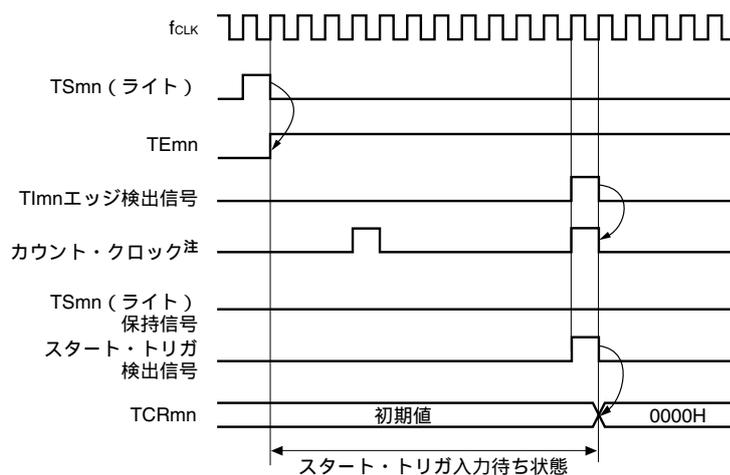
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

タイマ・チャンネル開始レジスタmn (TSmn)へ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。

スタート・トリガ入力待ち状態となり、タイマ・カウンタ・レジスタmn (TCRmn) は初期値を保持します。

スタート・トリガ検出により、0000HをTCRmnにロードしカウントを開始します。

図8 - 16 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (fMCK) が選択されず (CCSmn = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TImn端子入力をスタート・トリガを使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ_m (TT_m)

TT_mは、タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TT_{mn}) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) の対応ビット (TE_{mn}) が0にクリアされます。TT_{mn}はトリガ・ビットなので、動作停止状態 (TE_{mn} = 0) になるとすぐTT_{mn}はクリアされます。

TT_mは、16ビット・メモリ操作命令で設定します。

またTT_mの下位8ビットは、TT_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT_mは0000Hになります。

図8 - 17 タイマ・チャンネル停止レジスタ_m (TT_m) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

アドレス : F01DCH, F01DDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT1	0	0	0	0	0	0	0	0	0	0	0	0	TT13	TT12	TT11	TT10

TT _{mn}	チャンネル _n の動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 TT0のビット15-8, TT1のビット15-4には必ず0を設定してください。

- 備考1.** TT_mレジスタの読み出し値は常に0となります。
2. m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13

(8) タイマ出力許可レジスタm (TOEm)

TOEmは、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ (TOm) のTOmnビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmは、16ビット・メモリ操作命令で設定します。

またTOEmの低位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmは0000Hになります。

図8 - 18 タイマ出力許可レジスタm (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00

アドレス : F01E2H, F01E3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE1	0	0	0	0	0	0	0	0	0	0	0	0	TOE13	TOE12	TOE11	TOE10

TOEmn	チャンネルnのタイマ出力許可/禁止
0	カウント動作によるTOmn (タイマ・チャンネル出力ビット) の動作停止。 TOmnビットへの書き込みが可能。 TOmn端子がデータ出力機能となり、TOmnビットに設定したレベルがTOmn端子から出力される。 TOmn端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTOmn (タイマ・チャンネル出力ビット) の動作許可。 TOmnへの書き込み不可 (書き込みが無視される)。 TOmn端子がタイマ出力機能となり、タイマの動作によりセット/リセットされる。 TOmn端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 TOE0のビット15-8, TOE1のビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

(9) タイマ出力レジスタ_m (TOM)

TOMは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOMn) から出力されます。

このレジスタのTOMnのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P16/TO01, P17/TO02, P31/TO03, P67/TO13端子をポート機能として使用する場合は、該当するTOMnビットに“0”を設定してください。

TOMは、16ビット・メモリ操作命令で設定します。

またTOMの下位8ビットは、TOMLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMは0000Hになります。

図8 - 19 タイマ出力レジスタ_m (TOM) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00

アドレス : F01E0H, F01E1H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO1	0	0	0	0	0	0	0	0	0	0	0	0	TO13	TO12	TO11	TO10

TO mn	チャンネルnのタイマ出力															
0	タイマ出力値が“0”															
1	タイマ出力値が“1”															

注意 TO0のビット15-8, TO1のビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13)

(10) タイマ出力レベル・レジスタm (TOLm)

TOLmは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスター・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmは、16ビット・メモリ操作命令で設定します。

またTOLmの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmは0000Hになります。

図8 - 20 タイマ出力レベル・レジスタm (TOLm) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL07	TOL06	TOL05	TOL04	TOL03	TOL02	TOL01	TOL00

アドレス : F01E4H, F01E5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL1	0	0	0	0	0	0	0	0	0	0	0	0	TOL13	TOL12	TOL11	TOL10

TOLmn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	反転出力 (アクティブ・ロウ)														

注意 TOL0のビット15-8, TOL1のビット15-4には必ず0を設定してください。

- 備考1.** タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。
2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7), mn = 00-07, 10-13

(11) タイマ出力モード・レジスタm (TOMm)

TOMmは、各チャンネルのタイマ出力モードを制御するレジスタです。

単体チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能 (PWM出力, ワンショット・パルス出力, 多重PWM出力) として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmは、16ビット・メモリ操作命令で設定します。

またTOMmの低位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmは0000Hになります。

図8 - 21 タイマ出力モード・レジスタm (TOMm) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM 07	TOM 06	TOM 05	TOM 04	TOM 03	TOM 02	TOM 01	TOM 00

アドレス : F01E6H, F01E7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM1	0	0	0	0	0	0	0	0	0	0	0	0	TOM 13	TOM 12	TOM 11	TOM 10

TOM mn	チャンネルnのタイマ出力モードの制御															
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)															
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット, スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセット)															

注意 TOM0のビット15-8, TOM1のビット15-4には必ず0を設定してください。

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4)

n < p 5 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-3 (マスタ・チャンネル時 : n = 0)

n < p 3 (ただしpは, n以降の連続した整数)

(12) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときを使用します。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCは00Hになります。

図8 - 22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	1	ISC0

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。またビット1には、必ず1を設定してください。

(13) ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)

NFEN1, NFEN2レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で同期化だけを行います。

NFEN1, NFEN2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 23 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	0	TNFEN05	0	TNFEN03	TNFEN02	TNFEN01	0

TNFEN07	RxD3/P14端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05/TO05/P05端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03/TO03/INTP4/P31端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02/TO02/P17端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01/TO01/INTP5/P16端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

図8 - 24 ノイズ・フィルタ許可レジスタ2 (NFEN2) のフォーマット

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	TNFEN13	0	TNFEN11	0

TNFEN13	TI13/TO13/P67端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	TI11/TO11/P65端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

(14) ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6)

ポート0, 1, 3, 6の入力/出力を1ビット単位で設定するレジスタです。

P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4, P05/TO05/TI05, P65/TI11/TO11, P67/TI13/TO13端子をタイマ出力として使用するとき, PM16, PM17, PM31, PM05, PM65, PM67および P16, P17, P31, P05, P65, P67の出力ラッチに0を設定してください。

P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4, P05/TO05/TI05, P65/TI11/TO11, P67/TI13/TO13端子をタイマ入力として使用するとき, PM16, PM17, PM31, PM05, PM65, PM67に1を設定してください。このときP16, P17, P31, P05, P65, P67の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM3, PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, FFHになります。

図8 - 25 ポート・モード・レジスタ0, 1, 3, 6 (PM0, PM1, PM3, PM6) のフォーマット

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	0	1	1

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15 ^注	PM14	PM13	PM12 ^注	PM11	PM10 ^注

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	1

アドレス : FFF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	0	0	PM61	PM60

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 6 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 MCUとIO-Linkトランシーバ間の内部接続端子のポート・モード・レジスタです (設定については, 表 2 - 1 内部接続端子の設定参照)。

注意 リセット解除後, PM03, PM04, PM06, PM64, PM66には必ず0を設定してください (2.2 MCUの未使用内部端子の初期設定参照)。

8.4 複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

- (1) マスタ・チャネルには、偶数チャネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャネルには、チャンネル0を除くすべてのチャネルを設定できます。
- (3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。

例 TAU0のチャンネル2をマスタ・チャネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）がスレーブ・チャネルに設定できます。

TAU1のチャンネル0をマスタ・チャネルにした場合、チャンネル1以降（チャンネル1, チャンネル2, チャンネル3）がスレーブ・チャネルに設定できます。
- (4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
- (5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。

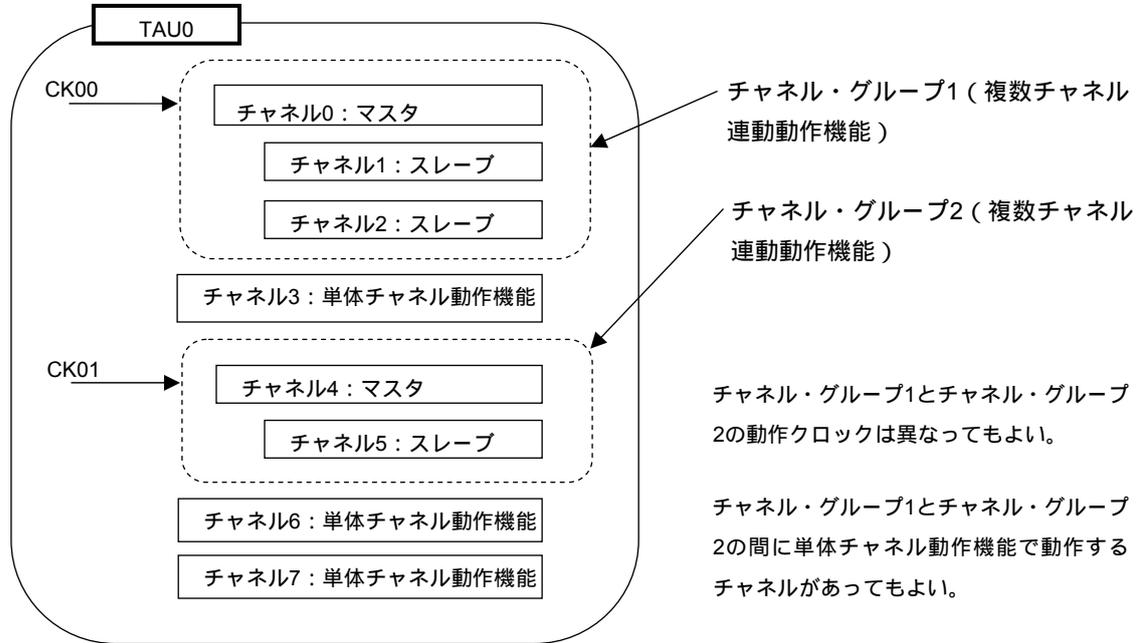
例 チャンネル0, チャンネル4をマスタ・チャネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャネルとして設定できません。
- (6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSビット（タイマ・モード・レジスタmn（TMRmn）のビット15）が同じ設定値になっている必要があります。
- (7) マスタ・チャネルはINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャネルに伝えることができます。
- (8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できますが、下位チャネルに自身のINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャネルは、他の上位のマスタ・チャネルからのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルのチャンネル・ストップ・トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネル、またはマスタ・チャネルのみ設定できます。スレーブ・チャネルのTSmnのみの設定では使用できません。
- (12) 連動させるチャネルを同時に停止させるため、連動させるチャネルのTTmnビットを同時に設定する必要があります。

備考 m：ユニット番号（m = 0, 1）, n：チャネル番号（n = 0-7）,
mn = 00-07, 10-13

複数チャンネル連動動作機能のルールは、チャンネル・グループ（1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には8.6.4 複数チャンネル連動動作機能の基本ルールは適用されません。

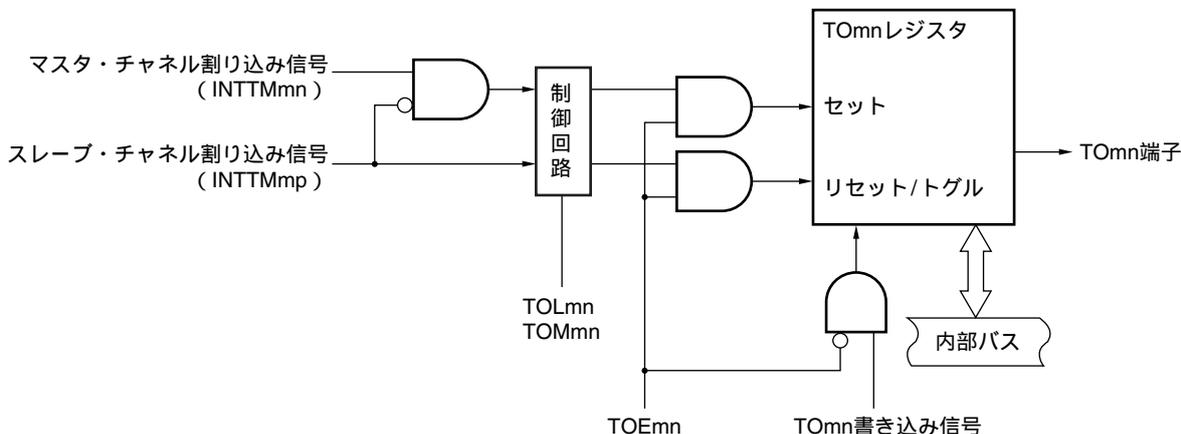
例



8.5 チャネル出力 (TOmn端子) の制御

8.5.1 TOmn端子の出力回路の構成

図8 - 26 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

TOMmn = 0 (マスタ・チャンネル出力モード) のときは、タイマ出力レベル・レジスタm (TOLm) の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み) のみがタイマ出力レジスタm (TOm) に伝えられます。

TOMmn = 1 (スレーブ・チャンネル出力モード) のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTOmレジスタに伝えられます。

このとき、TOLmレジスタが有効となり、次のように信号を制御します。

TOLmn = 0の場合 : 正転動作 (INTTMmn セット, INTTMmp リセット)

TOLmn = 1の場合 : 反転動作 (INTTMmn リセット, INTTMmp セット)

また、INTTMmnとINTTMmpが同時に発生した場合 (PWM出力の0%出力時) は、INTTMmp (リセット信号) が優先され、INTTMmn (セット信号) はマスクされます。

タイマ出力許可状態 (TOEmn = 1) で、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmnライト信号) は無効となります。

また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。

TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0) に設定しTOmレジスタに値を書き込む必要があります。

タイマ出力禁止状態 (TOEmn = 0) で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号) が有効となります。タイマ出力禁止状態 (TOEmn = 0) のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) はTOmレジスタに伝えられません。

TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

(備考は、次ページにあります。)

備考 m : ユニット番号, n : チャネル番号, p : スレーブ・チャネル番号

m = 0の場合

n = 0-7 (タイマ入力端子 (TI0n) の場合 : n = 1-3, 5, タイマ出力端子 (TO0n) の場合 :

n = 1-3, 5, ただしマスタ・チャネルの場合 : n = 0, 2, 4)

n < p 5 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-3 (タイマ入力端子 (TI1n) の場合 : n = 1, 3, タイマ出力端子 (TO1n) の場合 : n

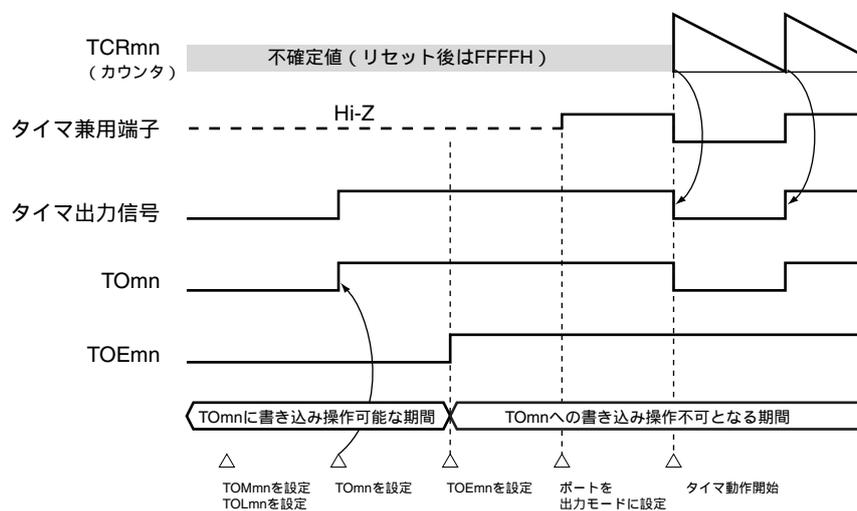
= 1, 3, ただしマスタ・チャネルの場合 : n = 0, 2)

n < p 3 (ただしpは, n以降の連続した整数)

8.5.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図8 - 27 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定をします。

- ・ TOMmnビット (0 : マスタ・チャネル出力モード, 1 : スレーブ・チャネル出力モード)
- ・ TOLmnビット (0 : 正転出力, 1 : 反転出力)

タイマ出力レジスタm (TOm) を設定することにより, タイマ出力信号が初期状態に設定されます。 TOEmnビットに1を書き込み, タイマ出力動作を許可します (TOmレジスタへの書き込みは不可となります)。

ポートの入出力設定を出力に設定します (8.3(14) **ポート・モード・レジスタ**0, 1, 3, 6 (PM0, PM1, PM3, PM6) 参照)。

タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-7),

mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

8.5.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLm, TOMmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn), タイマ・データ・レジスタmn (TDRmn) の動作) は, TOMn出力回路とは独立しています。よって, タイマ出力レジスタm (TOM), タイマ出力許可レジスタm (TOEm), タイマ出力レベル・レジスタm (TOLm), タイマ出力モード・レジスタm (TOMm) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn端子から出力するためには, 各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TOMレジスタを除くTOEmレジスタ, TOLmレジスタ, TOMmレジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn端子に異なる波形が出力される場合があります。

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOMn) の場合: mn = 01-03, 05, 11, 13)

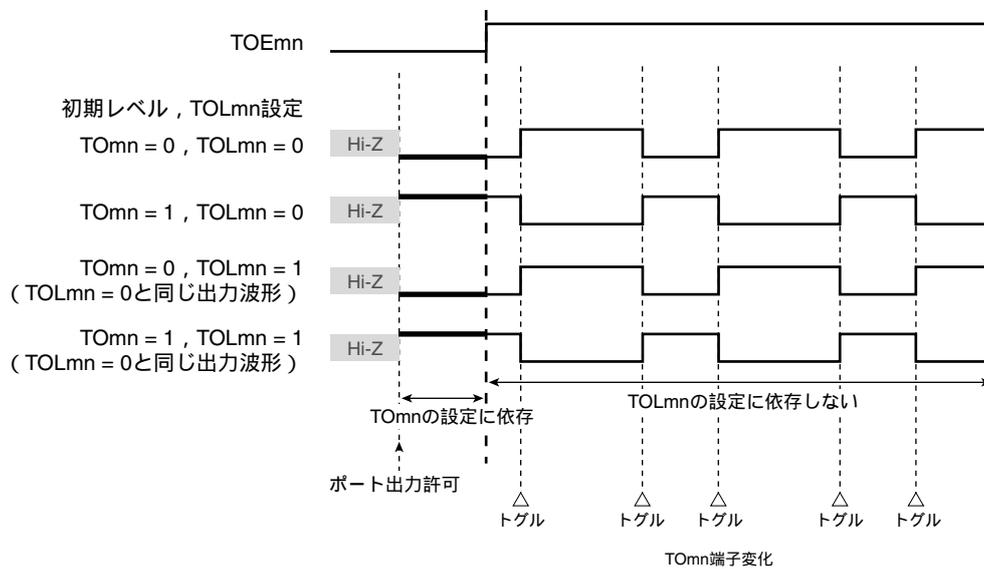
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタm (TOM) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn = 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn = 0) の時、タイマ出力レベル・レジスタm (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図8 - 28 トグル出力時 (TOMmn = 0) のTOmn端子出力状態



備考1. トグル：TOmn端子の出力状態を反転

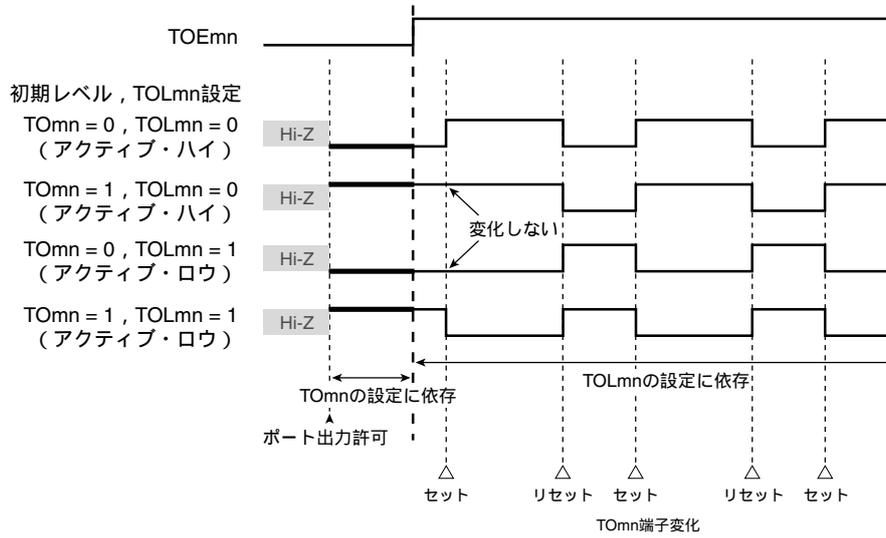
2. m：ユニット番号 (m = 0, 1), n：チャンネル番号 (n = 0-7),

mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合：mn = 01-03, 05, 11, 13)

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) の時, タイマ出力レベル・レジスタm (TOLmn) の設定によりアクティブ・レベルを決定します。

図8 - 29 PWM出力時 (TOMmn = 1) のTOmn端子出力状態



- 備考1. セット : TOmn端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOmn端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
 mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

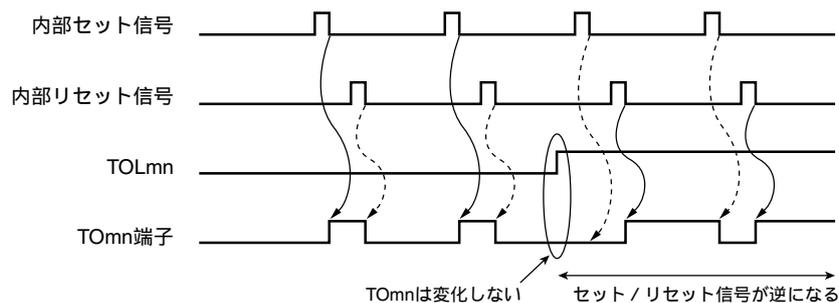
(3) TOmn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ_m (TOL_m) の設定を変更した場合

タイマ動作中にTOL_mレジスタの設定を変更した場合, 設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOL_mレジスタの書き換えでは, TOmn端子の出力レベルは変化しません。

TOMmn = 1で, タイマ動作中 (TEmn = 1) にTOL_mレジスタの値を変更した場合の動作を次に示します。

図8 - 30 タイマ動作中にTOL_mレジスタを変更した場合の動作



- 備考1. セット : TOmn端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOmn端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
 mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

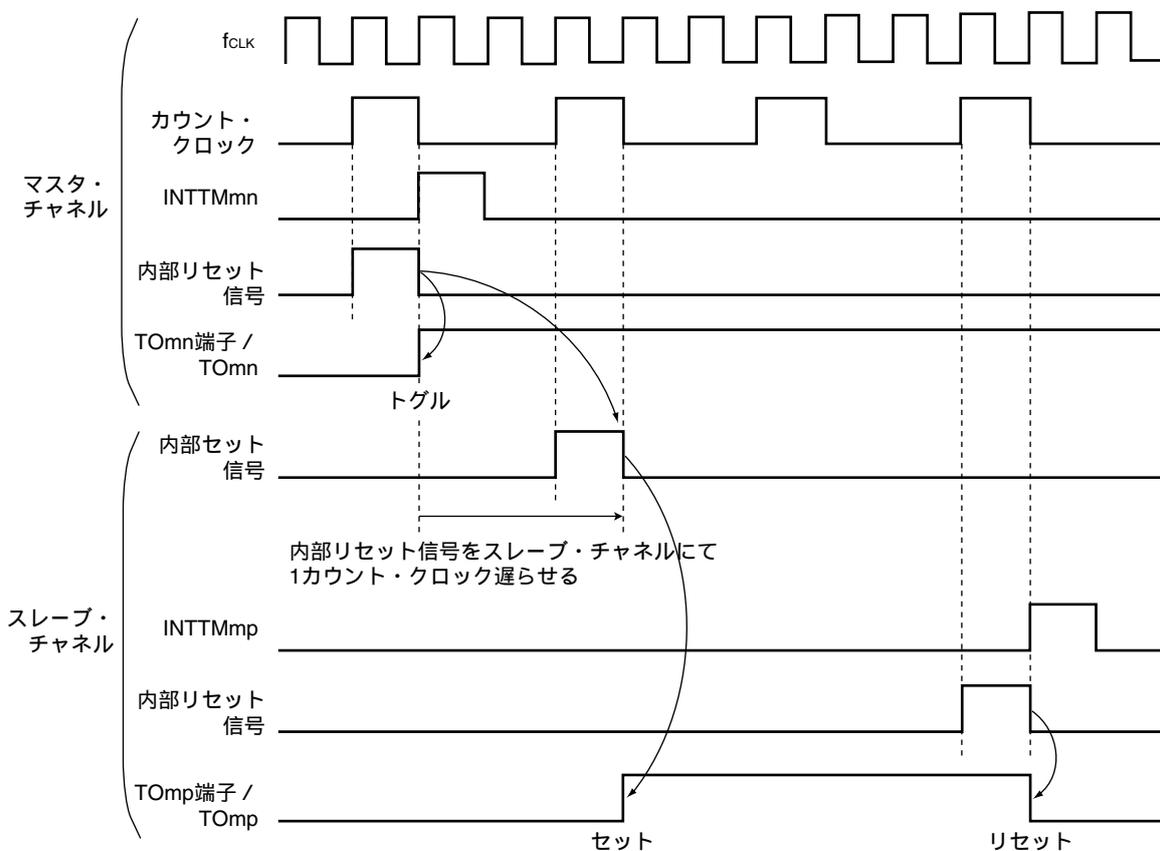
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図8 - 30に示します。

マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図8 - 31 セット/リセット・タイミング動作状態



備考1. 内部リセット信号 : TOMn端子のリセット/トグル信号
内部セット信号 : TOMn端子のセット信号

2. m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7 (タイマ出力端子 (TO0n) の場合 : n = 1-3, 5, ただしマスタ・チャンネルの場合 : n = 0, 2, 4)

n < p - 7 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-3 (タイマ出力端子 (TO1n) の場合 : n = 1, 3, ただしマスタ・チャンネルの場合 : n = 0, 2)

n < p - 3 (ただしpは, n以降の連続した整数)

8.5.4 TOmnビットの一括操作

タイマ出力レジスタm(TOm)には、タイマ・チャンネル開始レジスタm(TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

図8 - 32 TOmnビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	TO07	0	TO06	0	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
TOE0	0	0	0	0	0	0	0	TOE07	0	TOE06	0	TOE05	1	TOE04	0	TOE03	1	TOE02	1	TOE01	1	TOE00	1

書き込みデータ

0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

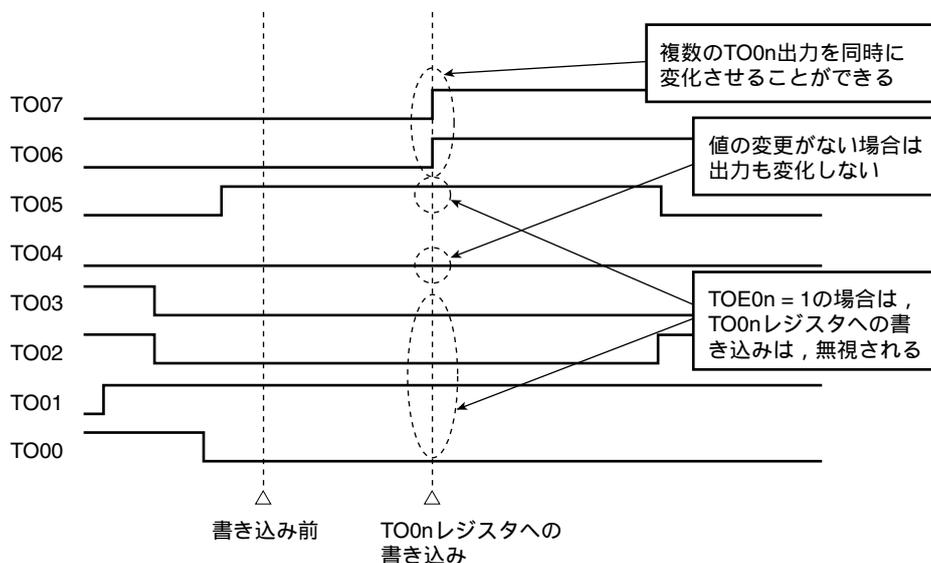
書き込み後

TO0	0	0	0	0	0	0	0	TO07	1	TO06	1	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
-----	---	---	---	---	---	---	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---

TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図8 - 33 TOmnビットの一括操作によるTO0nの端子状態



(注意, 備考は次ページにあります)

注意 タイマ出力許可状態 (TOEmn = 1) において、各チャンネルのタイマ割り込み (INTTMmn) による出力とTOMnへの書き込みが競合しても、TOMn端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13)

8. 5. 5 カウント動作開始時のタイマ割り込みとTOMn端子出力について

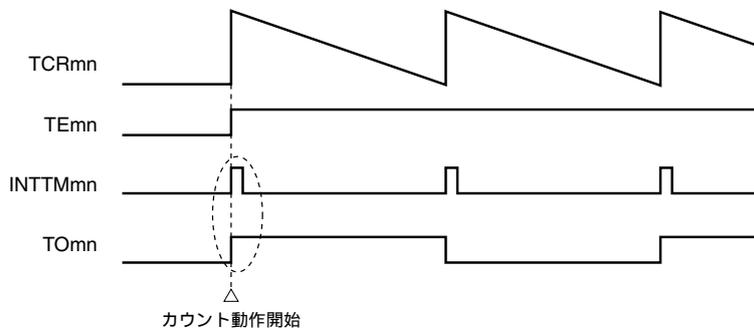
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタmn (TMRmn) のMDmn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOMn出力は制御しません。

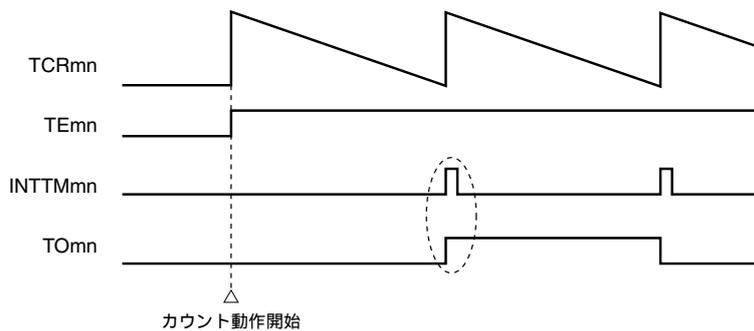
インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図8 - 34 MDmn0 = 1に設定した場合



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOMnがトグル動作します。

図8 - 35 MDmn0 = 0に設定した場合



MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOMnも変化しません。1周期をカウント後、INTTMmnを出力し、TOMnがトグル動作します。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13)

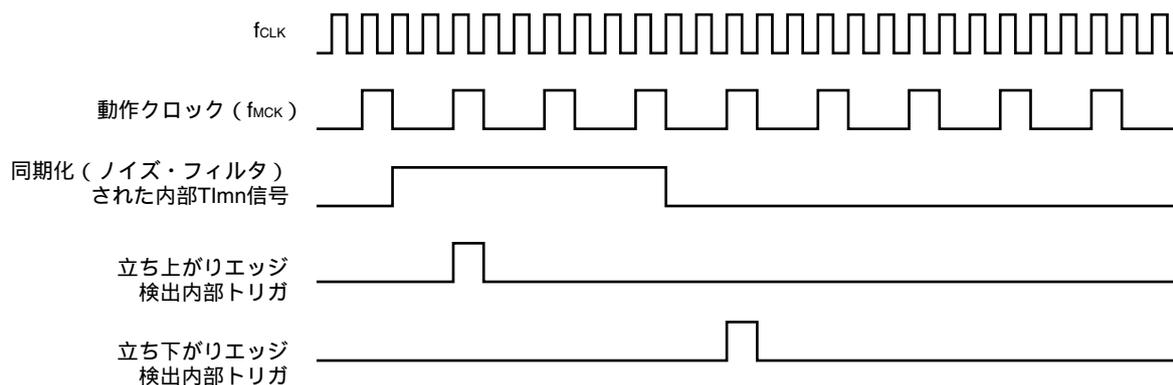
8.6 チャンネル入力 (Tl_{mn}端子) の制御

8.6.1 Tl_{mn}エッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (f_{MCK}) に合わせて行われます。

図8 - 36 エッジ検出基本動作タイミング



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし, タイマ入力端子 (Tl_{mn}) の場合 : mn = 01-03, 05, 11, 13)

8.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

8.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn) の設定値} + 1$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタmn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に1を設定後、最初のカウント・クロックでTCRmnはタイマ・データ・レジスタmn (TDRmn) の値をロードします。このときタイマ・モード・レジスタmn (TMRmn) のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

その後、TCRmnはカウント・クロックに合わせてダウン・カウントを行います。

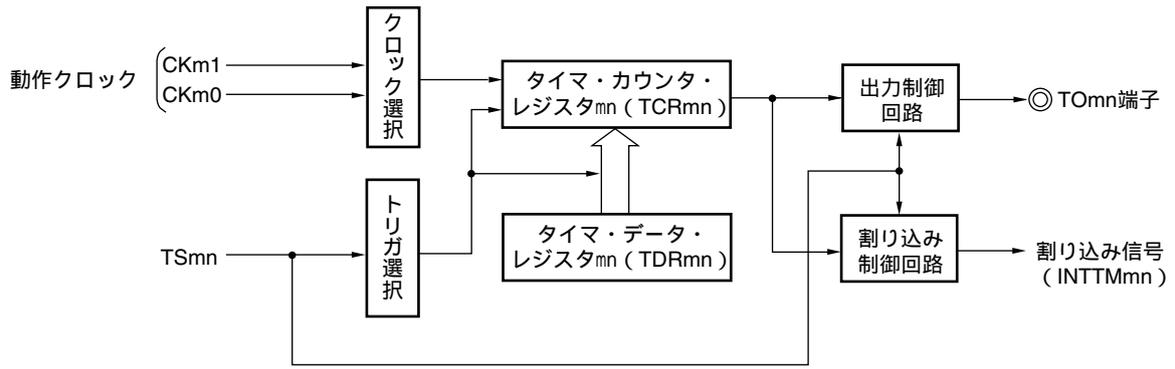
TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnはTDRmnの値をロードします。以降、同様の動作を継続します。

TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は、次の周期から有効となります。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),

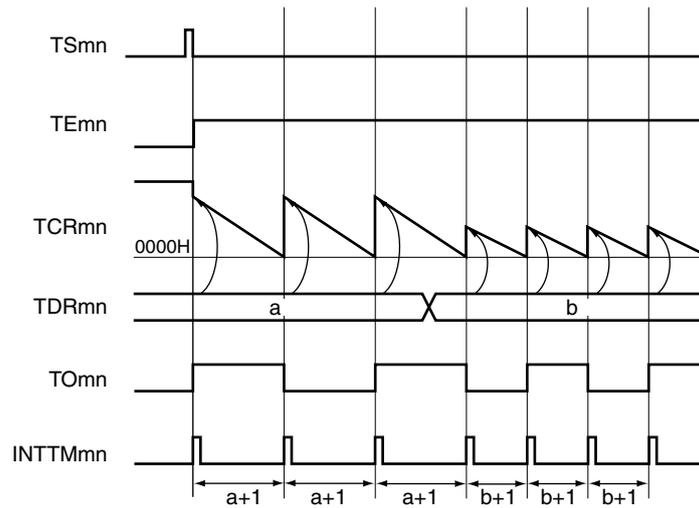
mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 37 インターバル・タイマ/方形波出力としての動作のブロック図



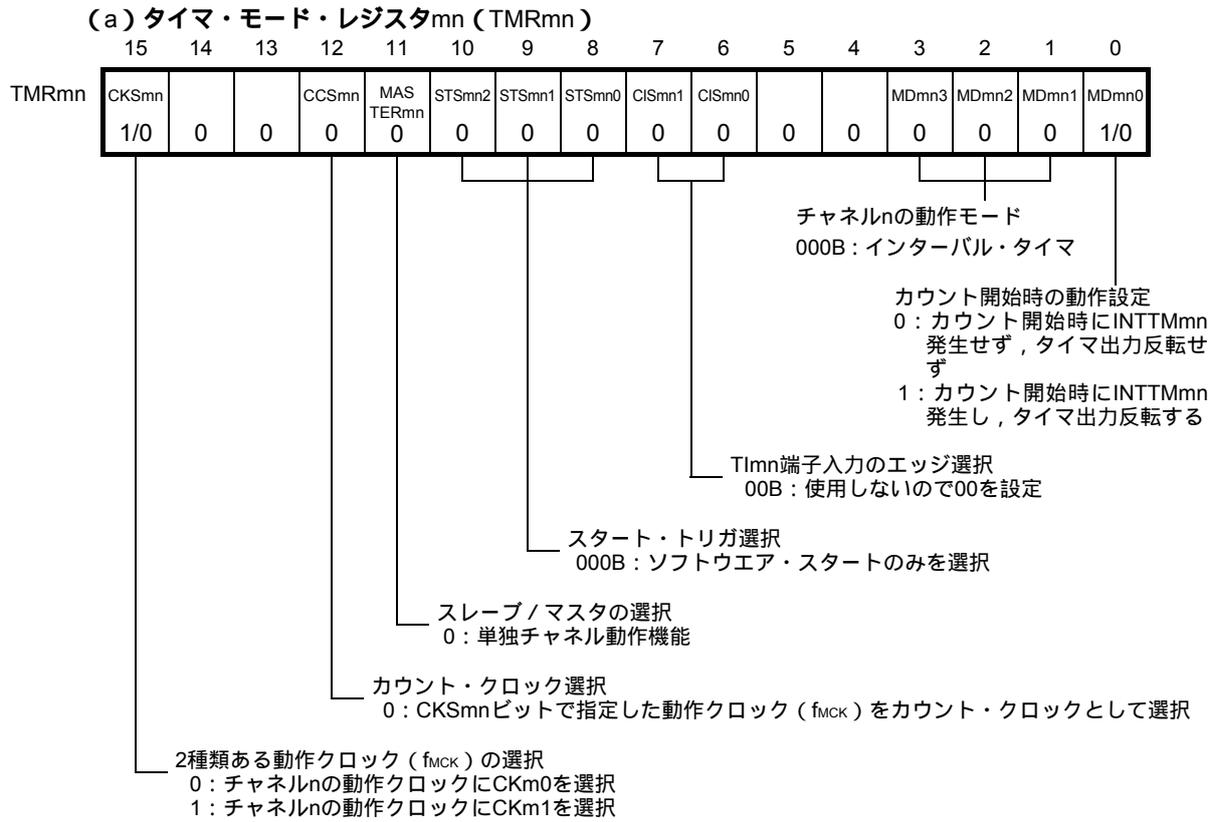
備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 38 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 39 インターバル・タイマ/方形波出力時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

	ビットn		
TOM	TOMn	0 :	TOMnより0を出力する
	1/0	1 :	TOMnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

	ビットn		
TOEm	TOEmn	0 :	カウント動作によるTOMn出力動作停止
	1/0	1 :	カウント動作によるTOMn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットn		
TOLm	TOLmn	0 :	TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定
	0		

(e) タイマ出力モード・レジスタm (TOMm)

	ビットn		
TOMm	TOMmn	0 :	マスタ・チャンネル出力モードを設定
	0		

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOMn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 40 インターバル・タイマ / 方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ(PER0)のTAU0EN ,TAU1EN ビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバ ル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm) のTOMmn ビットに0 (マスタ・チャンネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定 する	TOmn端子はHi-Z出力状態
	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 再開	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。TMRmn レジスタのMDmn0ビットが1の場合は, INTTMmnを発生 し, TOmnもトグル動作する。
	動作 中	TMRmnレジスタ, TOMm, TOLmビットは, 設定値変更禁 止 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定す る	TOmn端子はTOmnビットに設定レベルを出力

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし, タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 40 インターバル・タイマ / 方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmn端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0EN, またはTAU1ENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ出力端子 (TOmn) の場合 : mn = 01-03, 05, 11, 13)

8.7.2 外部イベント・カウンタとしての動作

TI_{mn}端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDR}_{mn}\text{の設定値} + 1$$

タイマ・カウンタ・レジスタ_{mn}（TCR_{mn}）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m（TS_m）の任意のチャンネル・スタート・トリガ・ビット（TS_{mn}）に1を設定することによりTCR_{mn}レジスタはタイマ・データ・レジスタ_{mn}（TDR_{mn}）の値をロードします。

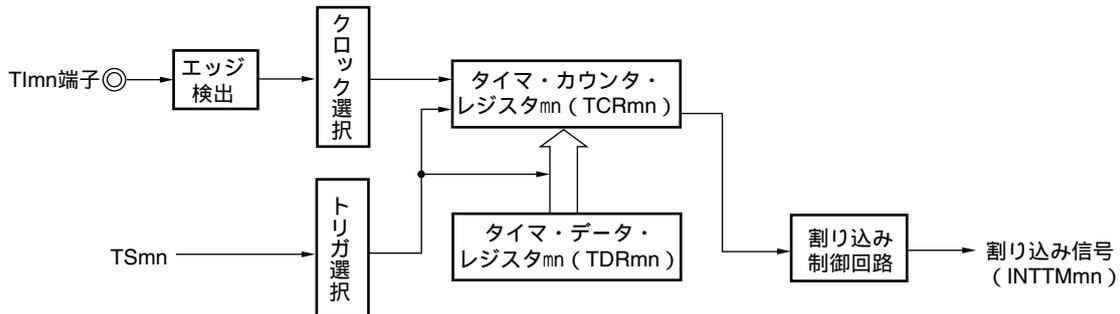
TCR_{mn}レジスタはTI_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら、再びTDR_{mn}レジスタの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を続けます。

TO_{mn}端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ_m（TOE_m）のTOE_{mn}ビットに0を設定して出力動作を停止するようにしてください。

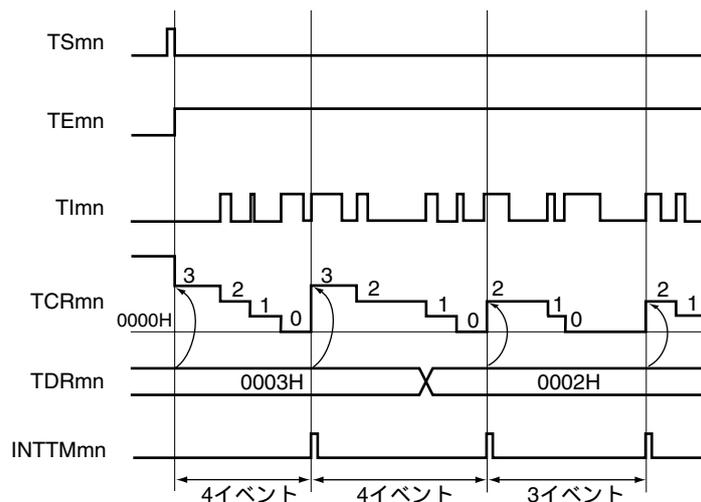
TDR_{mn}レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn}レジスタの値は次のカウント期間で有効になります。

図8 - 41 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし、タイマ入力端子 (TI_{mn}) の場合 : mn = 01-03, 05, 11, 13)

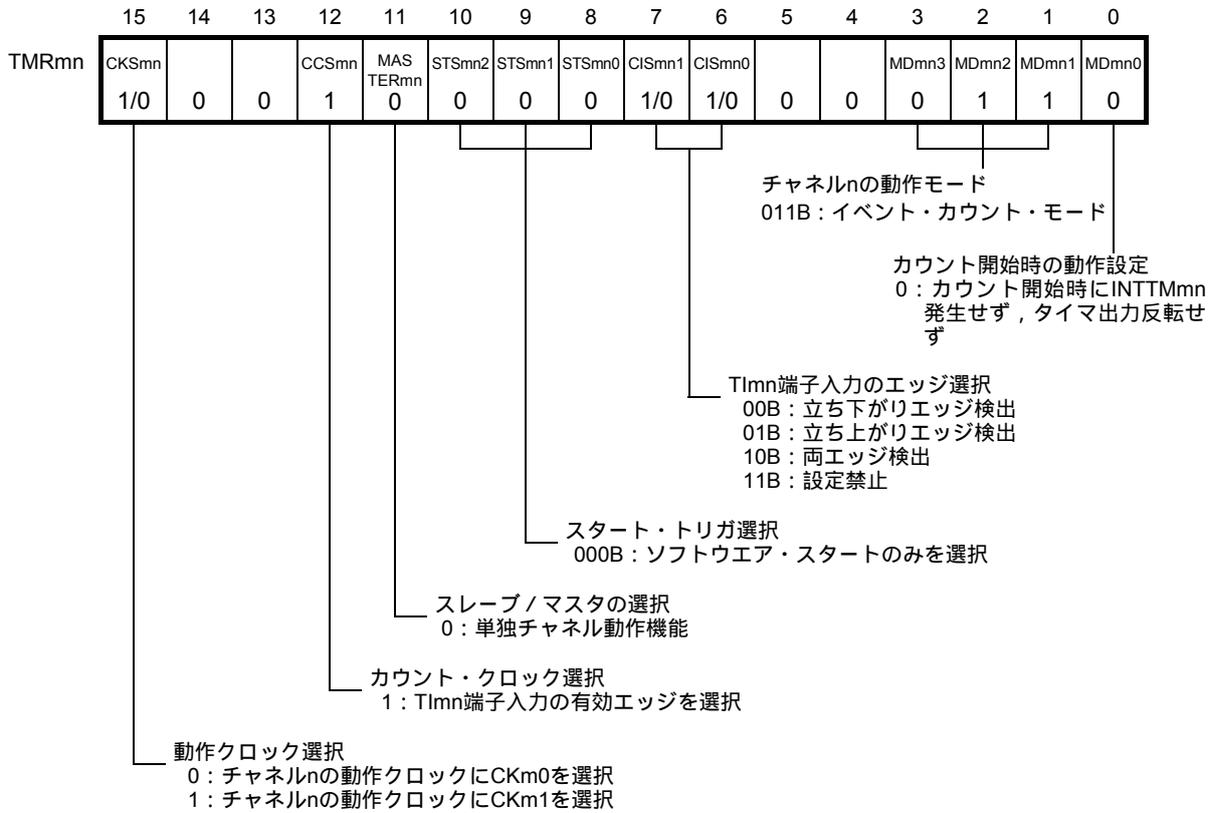
図8 - 42 外部イベント・カウンタとしての動作の基本タイミング例



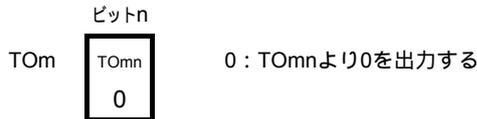
- 備考1. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし , タイマ入力端子 (TI mn) の場合 : mn = 01-03, 05, 11, 13)
2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn
 TE mn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn
 TI mn : TI mn端子入力信号
 TCR mn : タイマ・カウンタ・レジスタmn (TCR mn)
 TDR mn : タイマ・データ・レジスタmn (TDR mn)

図8 - 43 外部イベント・カウンタ・モード時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



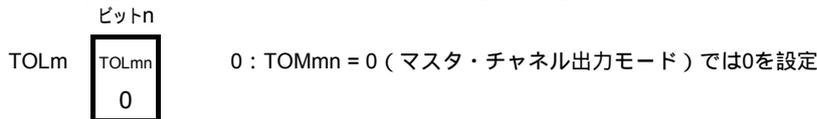
(b) タイマ出力レジスタm (TOm)



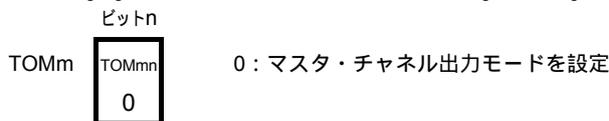
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 44 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット, TAU1ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する		
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数 を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに 0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジ スタの値をロードし, TImn端子入力のエッジ検出待ち状態 になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMm, TOLm, TOM, TOEmビット は, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウ ントしたら, 再びTCRmnレジスタはTDRmnレジスタの値を ロードし, カウント動作を継続する。TCRmn = 0000H検出で INTTMmn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
	TAU 停止	PER0レジスタのTAU0EN, TAU1ENビットに0を設定す る	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

8.7.3 入力パルス間隔測定としての動作

Tlmn有効エッジでカウント値をキャプチャし、Tlmn入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{Tlmn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

Tlmn端子入力の有効エッジを検出すると、TCRmnレジスタのカウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmnレジスタを0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

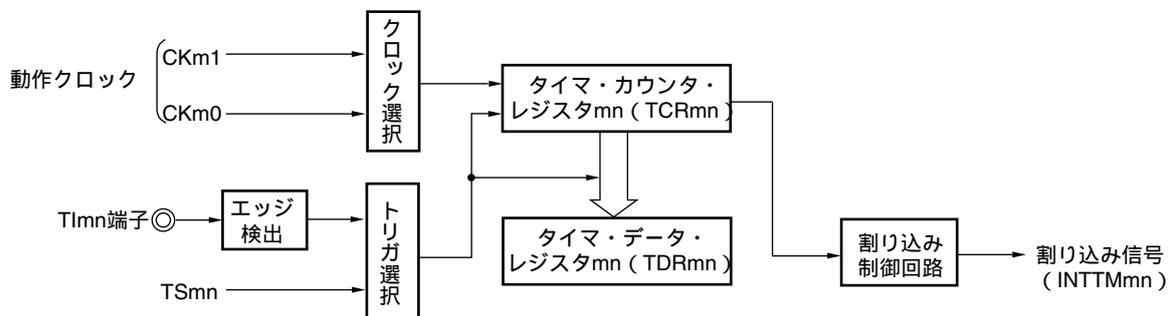
カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

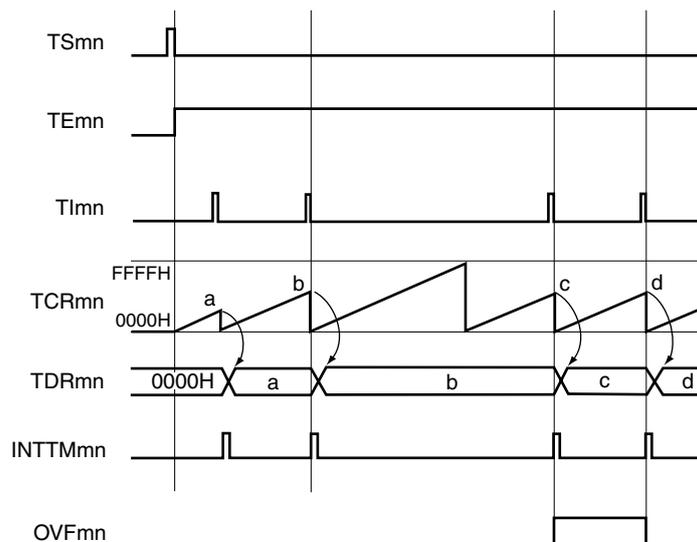
TEmn = 1のときは、Tlmn端子入力を使用せずに、ソフトウェア操作 (TSmn = 1) をキャプチャ・トリガにすることもできます。

図8 - 45 入力パルス間隔測定としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし、タイマ入力端子 (Tlmn) の場合 : mn = 01-03, 05, 11, 13)

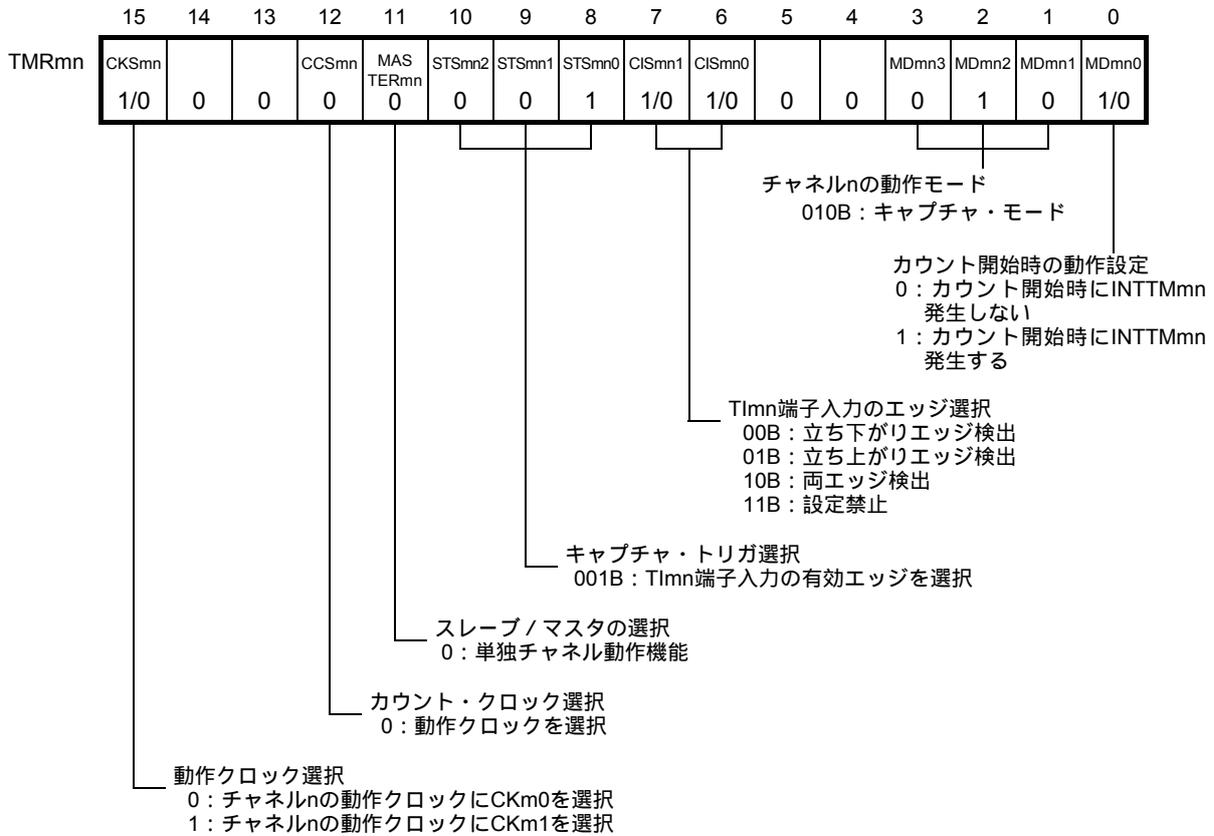
図8 - 46 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



- 備考1.** m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) , mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)
- 2.** TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn
 TE mn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn
 TImn : TImn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
 TDRmn : タイマ・データ・レジスタmn (TDRmn)
 OV F : タイマ・ステータス・レジスタmn (TSRmn) のビット0

図8 - 47 入力パルス間隔測定時のレジスタ設定内容例

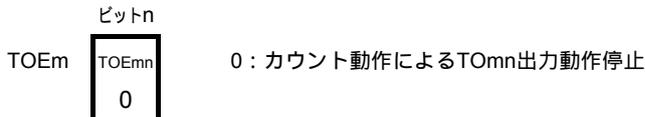
(a) タイマ・モード・レジスタmn (TMRmn)



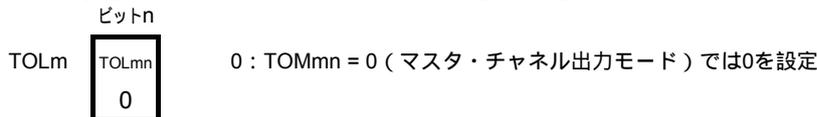
(b) タイマ出力レジスタm (TOm)



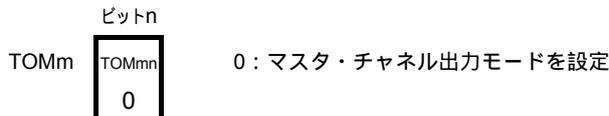
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合: mn = 01-03, 05, 11, 13)

図8 - 48 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0EN, TAU1ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値 変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更 禁止
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る
TAU 停止	PER0レジスタのTAU0EN, TAU1ENビットに0を設定す る	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

8.7.4 入力信号のハイ/ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。また、以降の説明では「TImn」を「RxD3」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImnの信号幅 (ハイ・レベル幅/ロウ・レベル幅) を測定することができます。TImnの信号幅は次の式で求めることができます。

$$\text{TImn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ&ワンカウンタ・モードでアップカウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ (TSmn) に1を設定すると、TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて0000Hからアップカウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタmn (TDRmn) に転送すると同時にINTTmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値 + 1」の値で停止し、TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TImn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は、TImn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSmnのセット (1) は使用できません。

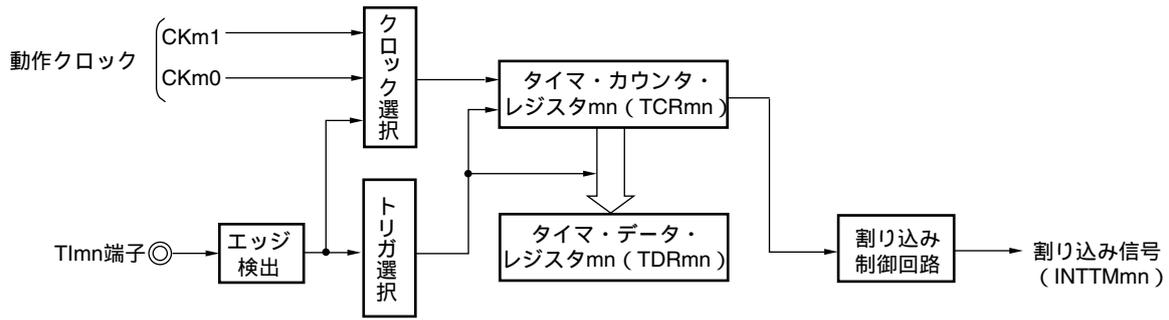
TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),

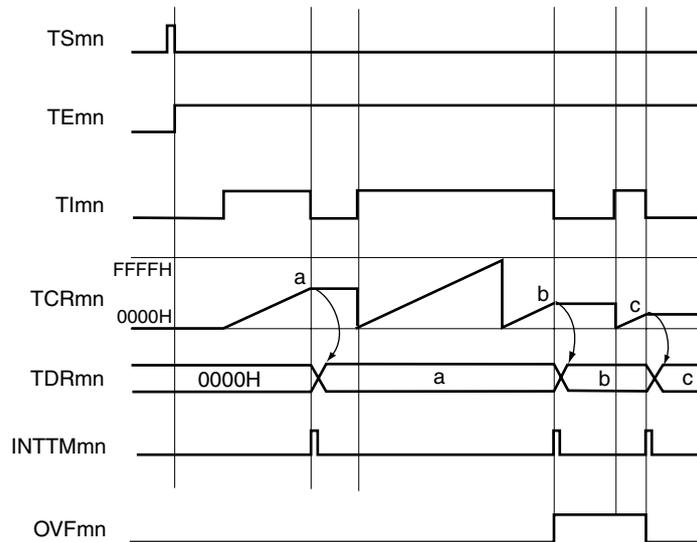
mn = 00-07, 10-13 (ただし、タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

図8 - 49 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

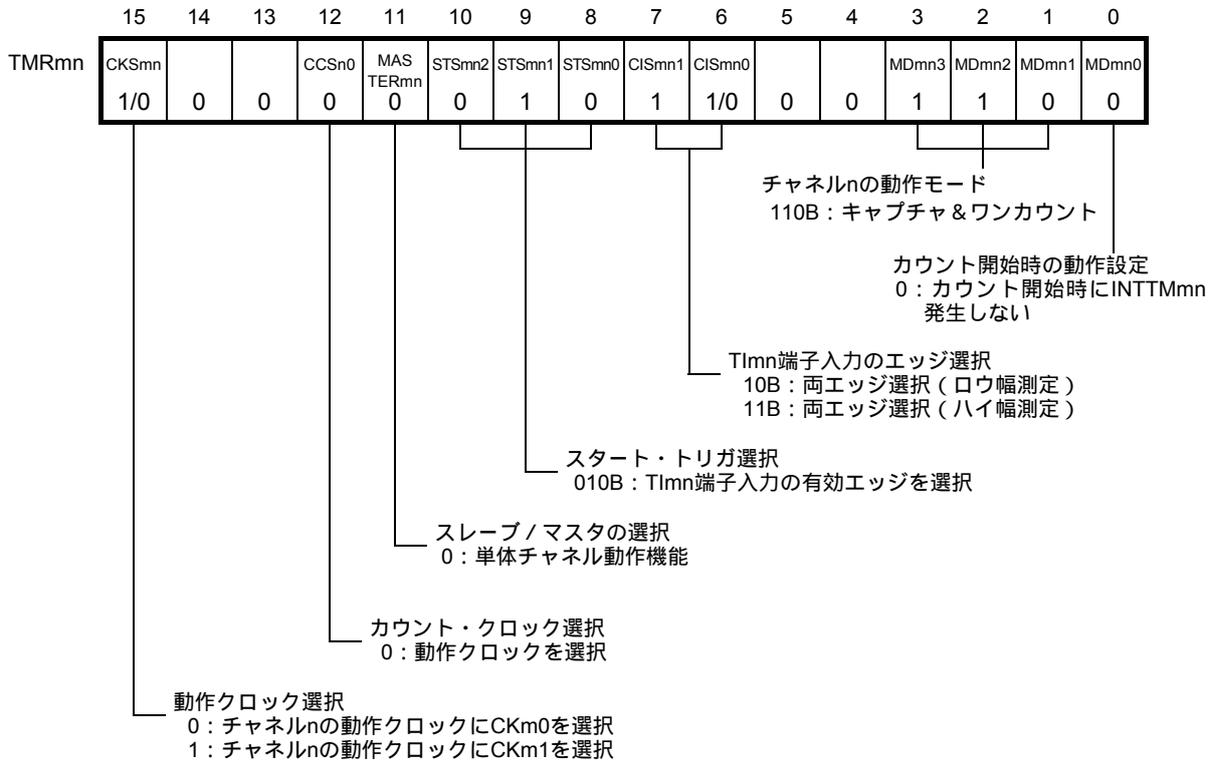
図8 - 50 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



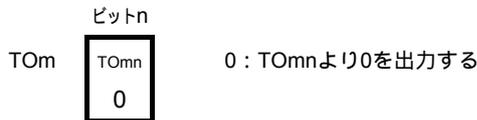
- 備考1.** m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
 mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)
2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
 - TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
 - TImn : TImn端子入力信号
 - TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
 - TDRmn : タイマ・データ・レジスタmn (TDRmn)
 - OV F : タイマ・ステータス・レジスタmn (TSRmn) のビット0

図8 - 51 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



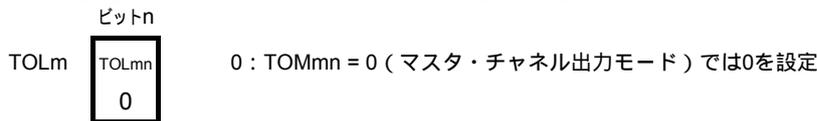
(b) タイマ出力レジスタm (TOm)



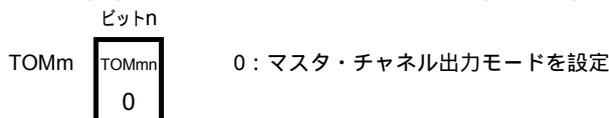
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合: mn = 01-03, 05, 11, 13)

図8 - 52 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0, 2 (PER0) のTAU0EN, TAU1ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定) TOEmnビットに0を設定し, TOMnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状 態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにク リアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnピッ トは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャ プチャ・エッジが検出されたら, カウント値をタイマ・デー タ・レジスタmn (TDRmn) に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステー タス・レジスタmn (TSRmn) のOVFビットがセットされ, オ ーバフローが発生していなかったらOVFビットがクリアされ る。TCRmnレジスタは, 次のTImn端子のスタート・エッジ 検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻 る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0EN, TAU1ENビットに0を設定す る	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-13 (ただし, タイマ入力端子 (TImn) の場合 : mn = 01-03, 05, 11, 13)

8.8 タイマ・アレイ・ユニットの複数チャネル連動動作機能

8.8.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルス生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{ \text{TDRmn (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDRmp (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn (TDRmn) から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H となったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは、マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H となったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャネルのINTTMmn) 検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャネルのTDRmpレジスタでは、ロード・タイミングが異なるため、動作中にTDRmnレジスタ、TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

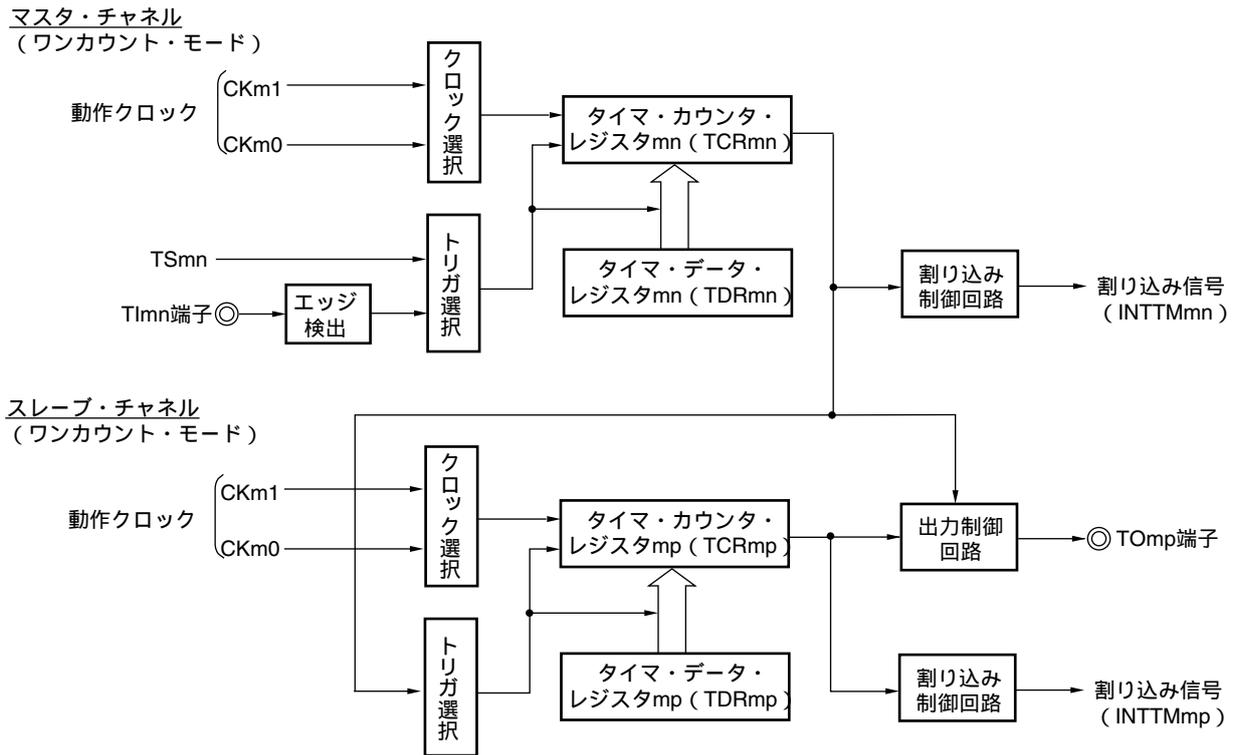
備考 m: ユニット番号, n: マスタ・チャネル番号, p: スレーブ・チャネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4

m = 1の場合: n = 0, 2

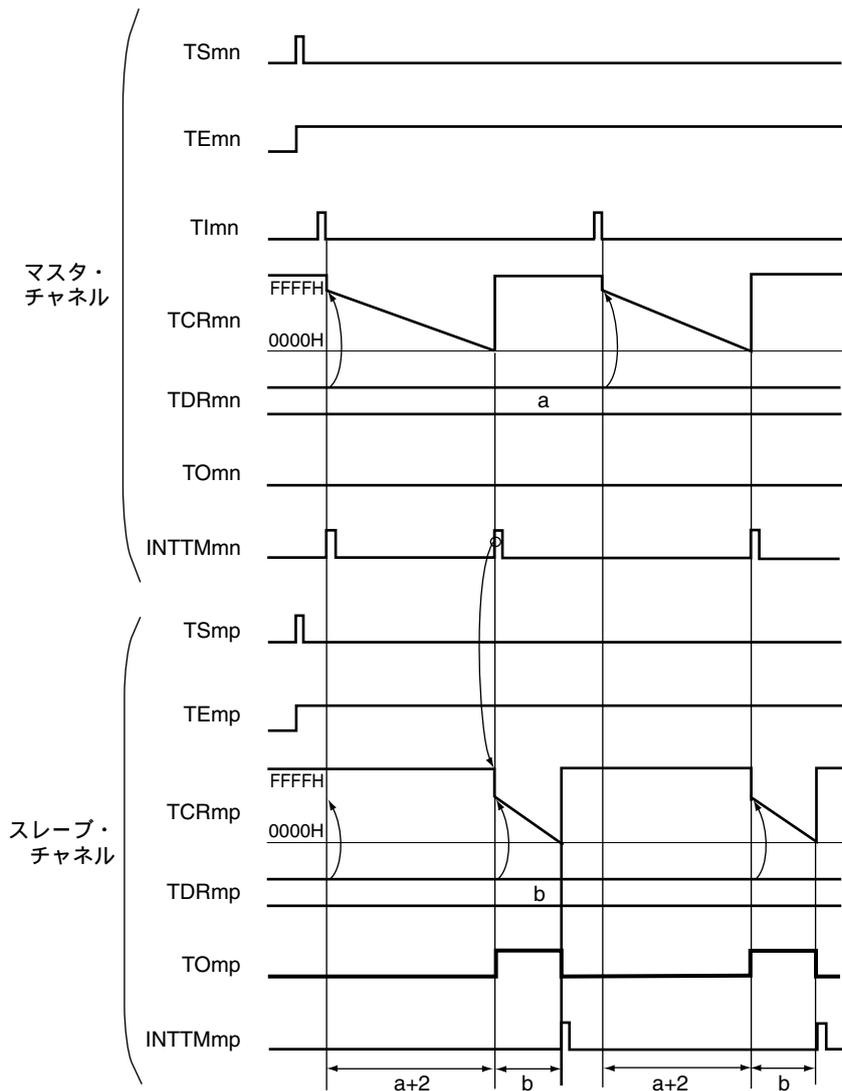
ただし、タイマ入力端子 (TImn) の場合: mn = 02, タイマ出力端子 (TOmp) の場合: mp = 01-03, 05, 11, 13

図8 - 53 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)
 m = 0の場合 : n = 0, 2, 4
 m = 1の場合 : n = 0, 2
 ただし, タイマ入力端子 (Tlmn) の場合 : mn = 02, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

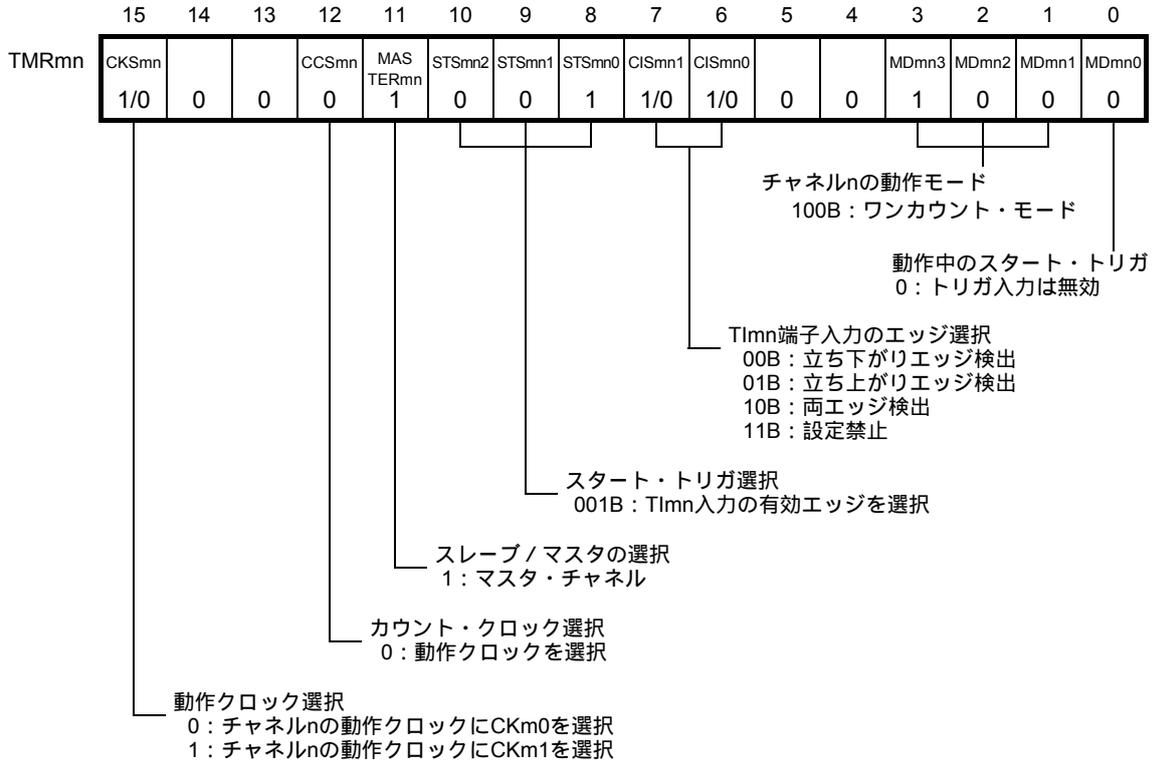
図8 - 54 ワンショット・パルス出力機能としての動作の基本タイミング例



- 備考1.** m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)
 m = 0の場合 : n = 0, 2, 4
 m = 1の場合 : n = 0, 2
 ただし, タイマ入力端子 (TImn) の場合 : mn = 02, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13
- 2.** TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSm) のビットn, m
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn, m
 TImn, TImp : TImn, TImp端子入力信号
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp端子出力信号

図8 - 55 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



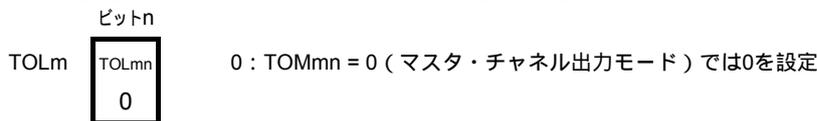
(b) タイマ出力レジスタm (TOM)



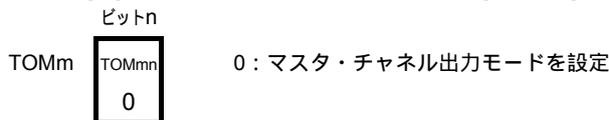
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



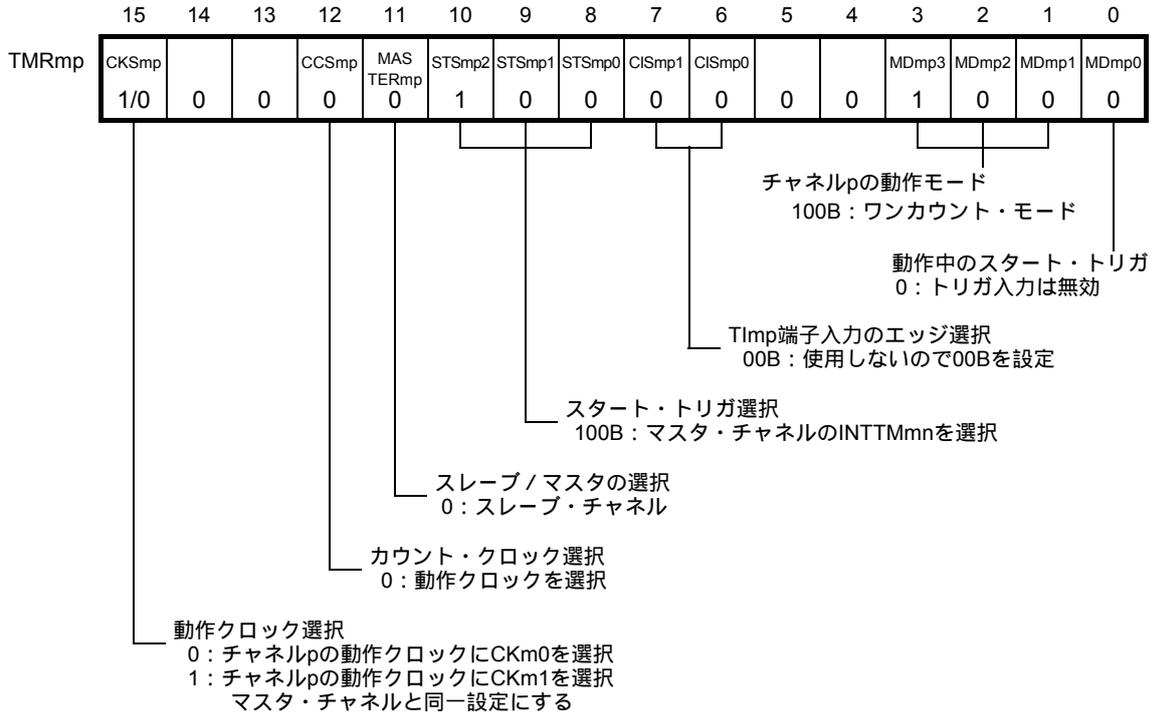
(e) タイマ出力モード・レジスタm (TOMm)



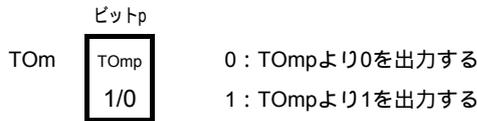
備考 m: ユニット番号, n: マスタ・チャンネル番号
 m = 0の場合: n = 0, 2, 4
 m = 1の場合: n = 0, 2
 ただし, タイマ入力端子 (TImn) の場合: mn = 02

図8 - 56 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

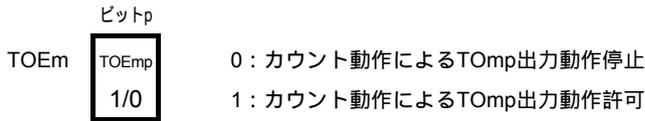
(a) タイマ・モード・レジスタmp (TMRmp)



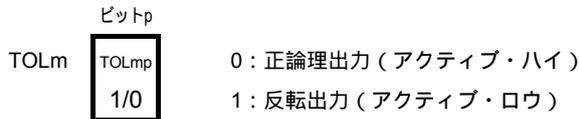
(b) タイマ出力レジスタm (TOm)



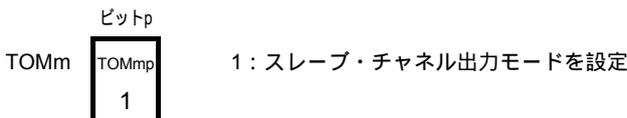
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4

m = 1の場合: n = 0, 2

ただし, タイマ出力端子 (TOmp) の場合: mp = 01-03, 05, 11, 13

図8 - 57 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0EN, TAU1ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間, スレーブ・チャンネルのTDRmp レジスタにパルス幅を設定する	
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する	TOmn端子はHi-Z出力状態
	TOEmpに1を設定し, TOmpの動作を許可	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。
	ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

図8 - 57 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmP = 1となり, マスタ・チャンネルはTImn入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのTImn端子入力の有効エッジ検出	マスタ・チャンネルがカウント動作開始
動作中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	マスタ・チャンネルでは, TImn端子入力の有効エッジが検出されたら, タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のTImn端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpレジスタはTDRmpレジスタの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。
動作停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmP = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmpに0を設定し, TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。
	TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmp端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0EN, TAU1ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)

動作再開

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし, タイマ入力端子 (TImn) の場合 : mn = 02, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

8.8.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDRmp (スレーブ) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = \{ \text{TDRmn (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDRmp (スレーブ) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

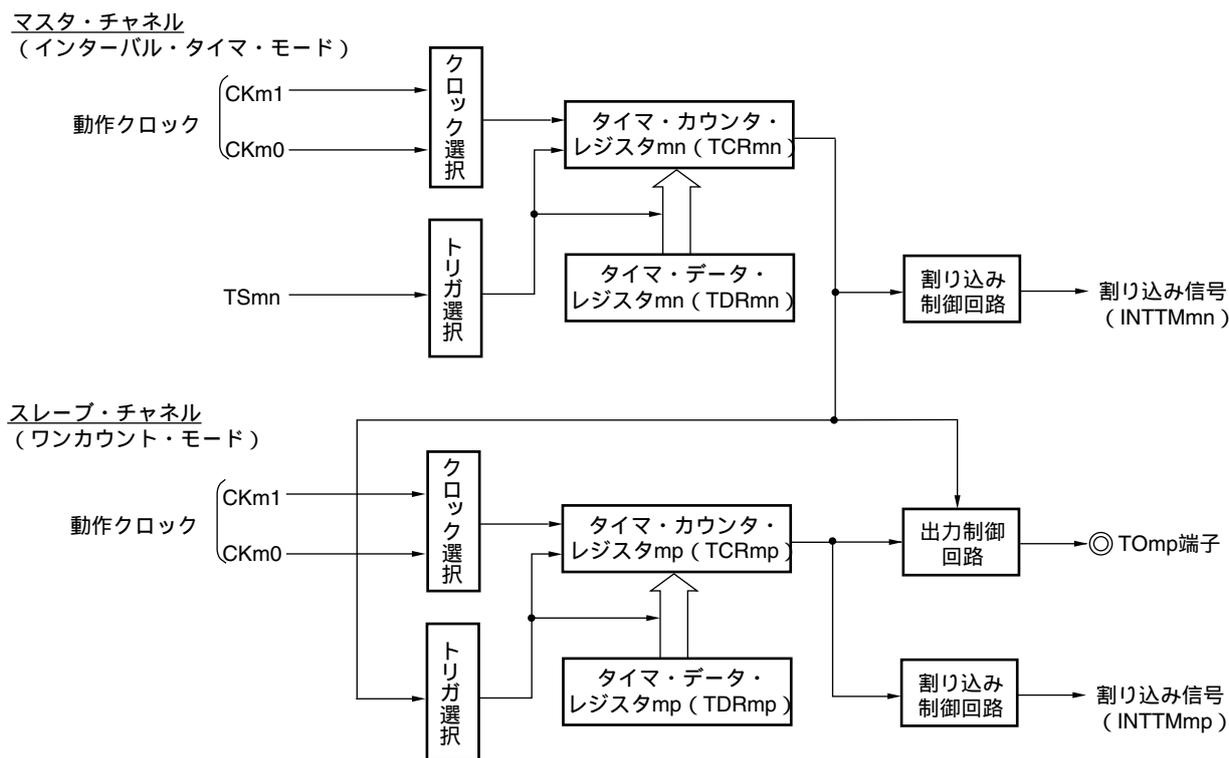
備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4

m = 1の場合: n = 0, 2

ただし、タイマ出力端子 (TOmp) の場合: mp = 01-03, 05, 11, 13

図8 - 58 PWM機能としての動作のブロック図



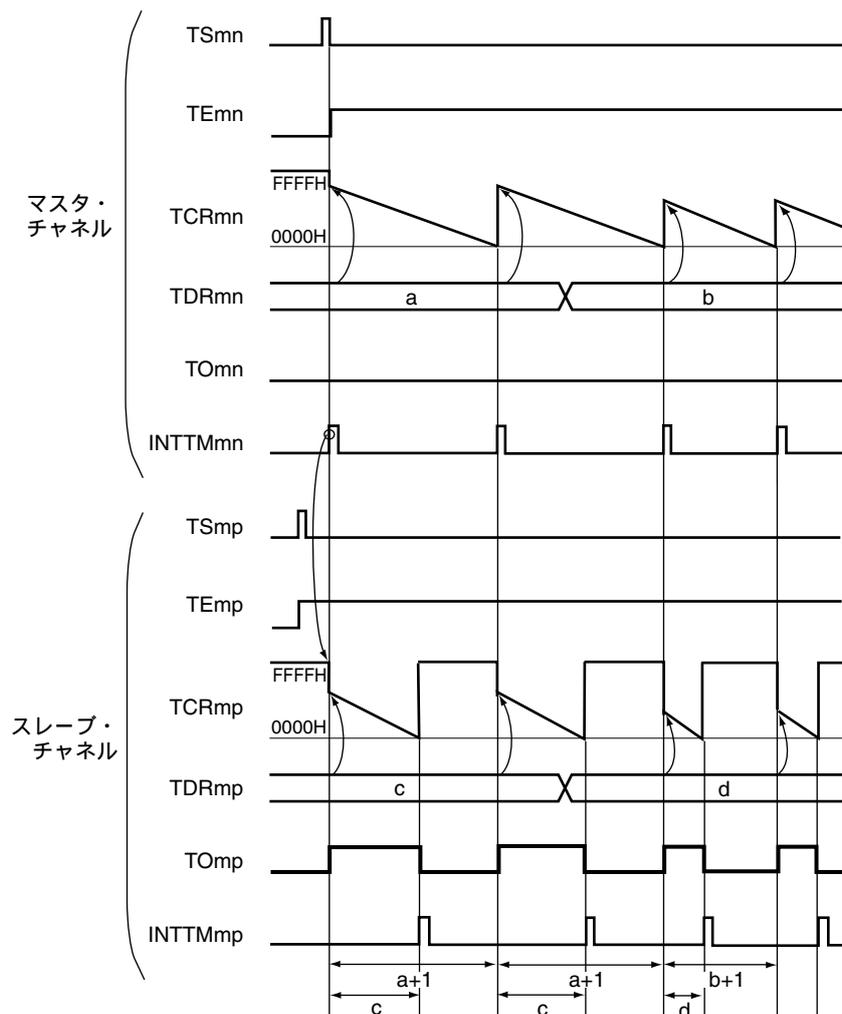
備考 m : ユニット番号 , n : マスタ・チャンネル番号 , p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし , タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

図8 - 59 PWM機能としての動作の基本タイミング例



備考 m : ユニット番号 , n : マスタ・チャンネル番号 , p : スレーブ・チャンネル番号 ($p = n + 1$)

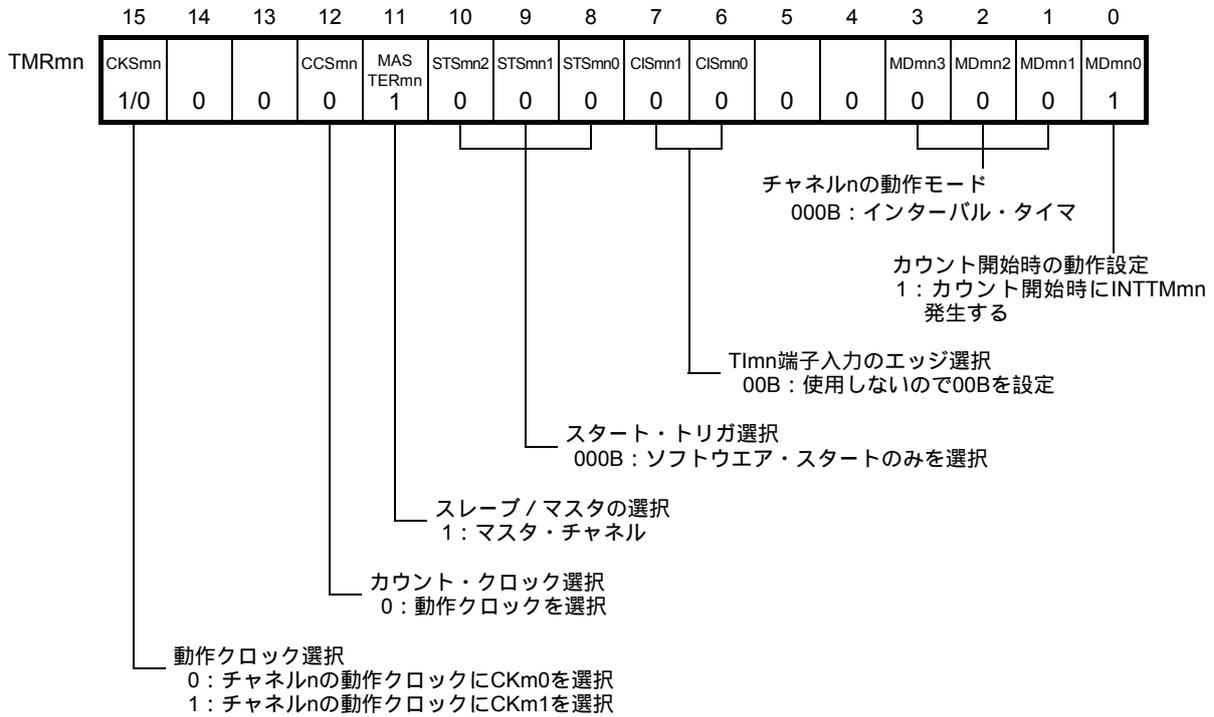
m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし , タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

図8 - 60 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



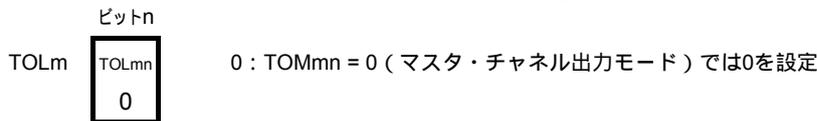
(b) タイマ出力レジスタm (TOM)



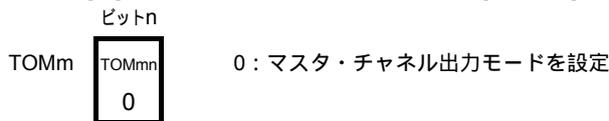
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



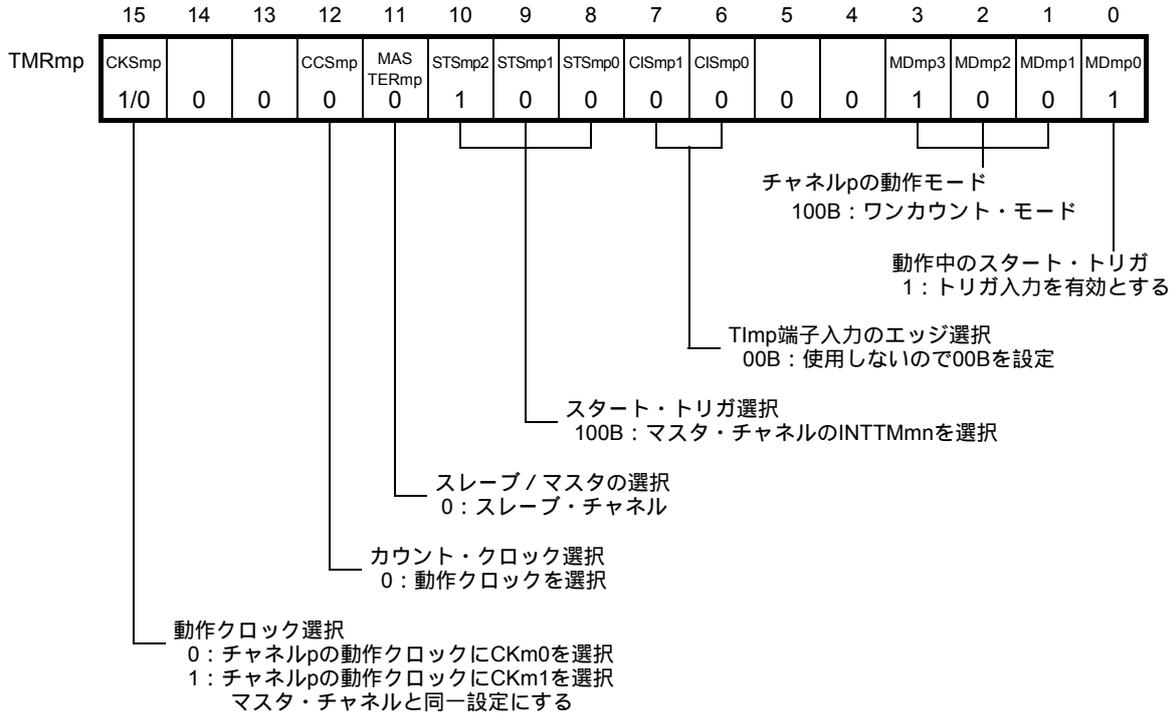
(e) タイマ出力モード・レジスタm (TOMm)



備考 m : ユニット番号, n : マスタ・チャンネル番号
 m = 0の場合 : n = 0, 2, 4
 m = 1の場合 : n = 0, 2

図8 - 61 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp

TOM	TOMP	0: TOMより0を出力
	1/0	1: TOMより1を出力

(c) タイマ出力許可レジスタm (TOEm)

ビットp

TOEm	TOEMP	0: カウント動作によるTOMP出力動作停止
	1/0	1: カウント動作によるTOMP出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp

TOLm	TOLMP	0: 正論理出力 (アクティブ・ハイ)
	1/0	1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp

TOMm	TOMMP	1: スレーブ・チャンネル出力モードを設定
	1	

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4

m = 1の場合: n = 0, 2

ただし, タイマ出力端子 (TOMP) の場合: mp = 01-03, 05, 11, 13

図8 - 62 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0EN, TAU1ENビットに1を設定する → タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード 確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャ ネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp ビットに1 (スレーブ・チャンネル出力モード) を設定す する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する → TOEmpビットに1を設定し, TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

図8 - 62 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSM) のTSMn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSMn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmn = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止 TDRmn, TDRmpレジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	マスタ・チャンネルでは, タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnレジスタはTDRmnレジスタの値をロードし, 再びダウン・カウントを開始する。スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpレジスタはTDRmpレジスタの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmn = 0になり, カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmpに0を設定し, TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。
	TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmp端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0EN, TAU1ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4

m = 1の場合 : n = 0, 2

ただし, タイマ出力端子 (TOmp) の場合 : mp = 01-03, 05, 11, 13

8.8.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDRmp (スレーブ1) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDRmq (スレーブ2) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合
または TDRmq (スレーブ2) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタmp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、タイマ・アレイ・ユニット0で最大7種、タイマ・アレイ・ユニット1では最大3種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m: ユニット番号 (m = 0, 1), n: マスタ・チャンネル番号, p: スレーブ・チャンネル1番号 (n + 1), q: スレーブ・チャンネル2番号 (n + 2)

m = 0の場合

n = 0, 2, 4 (タイマ出力端子 (TO0p) の場合: p = 1-3, 5, タイマ出力端子 (TO0q) の場合: q = 1-3, 5)

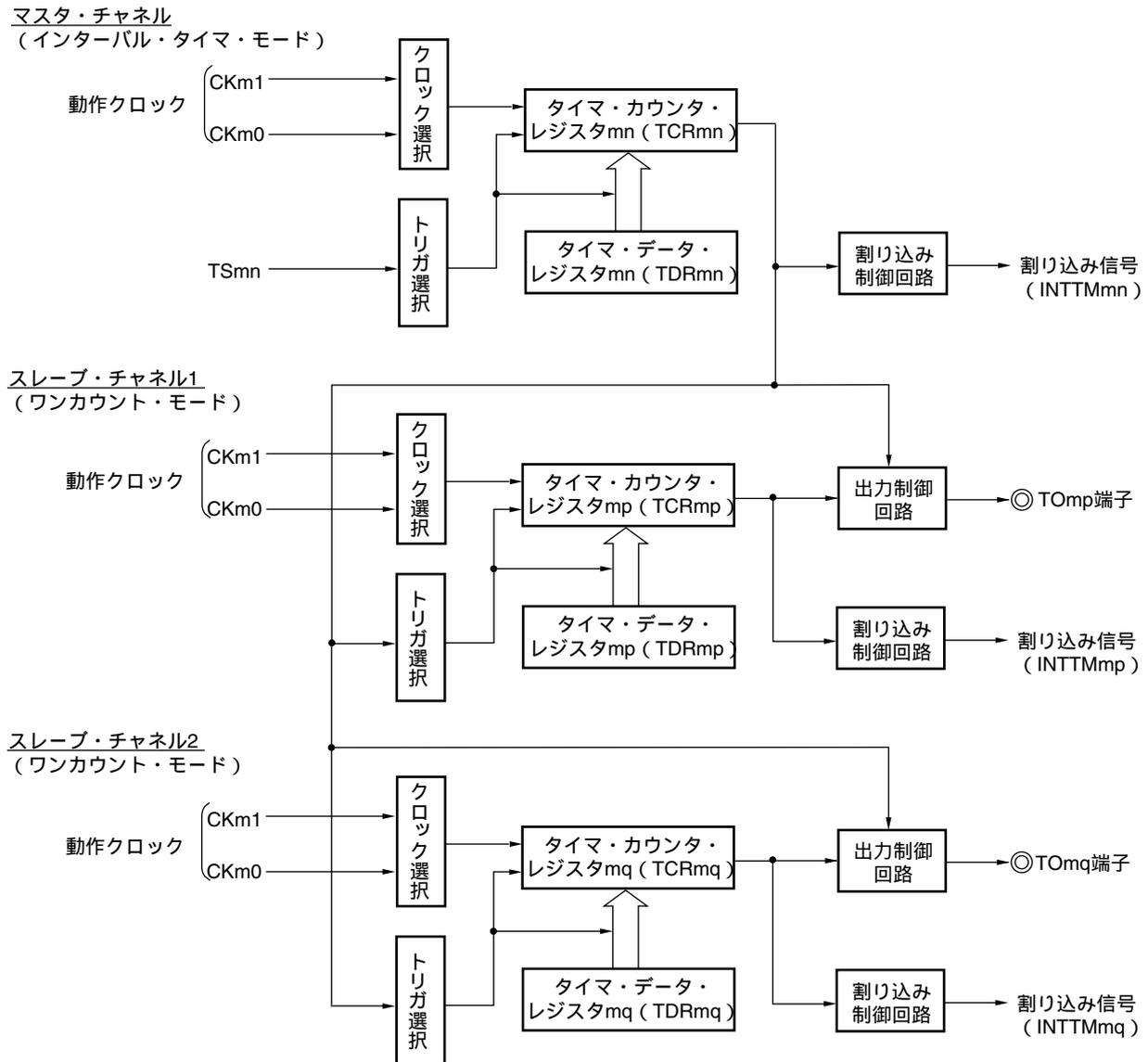
n < p < q 7 (ただしp, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 3 (ただしp, qは, n以降の連続した整数)

図8 - 63 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 , p : スレーブ・チャンネル1番号 (n + 1) ,
 q : スレーブ・チャンネル2番号 (n + 2)

m = 0の場合

n = 0, 2, 4 (タイマ出力端子 (TO0p) の場合 : p = 1-3, 5, タイマ出力端子 (TO0q) の場合 : q = 1-3, 5)

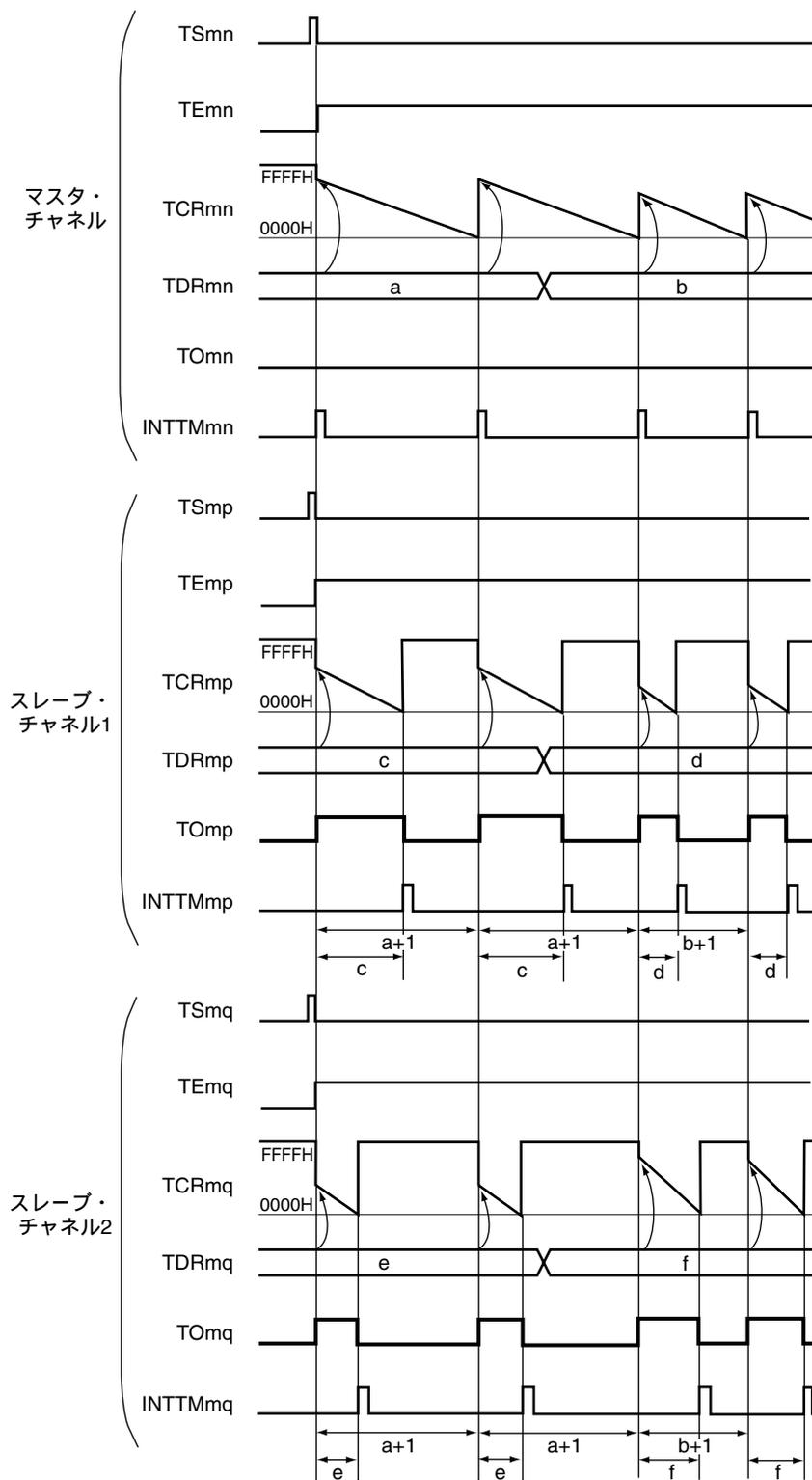
n < p < q 7 (ただし, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 3 (ただし, qは, n以降の連続した整数)

図8 - 64 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合) (1/2)



(備考は次ページにあります。)

図8 - 64 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合) (2/2)

備考1. m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 , p : スレーブ・チャネル1番号 ($n+1$) ,
 q : スレーブ・チャネル2番号 ($n+2$)

$m = 0$ の場合

$n = 0, 2, 4$ (タイマ出力端子 (TO0p) の場合 : $p = 1-3, 5$, タイマ出力端子 (TO0q) の場合 : $q = 1-3, 5$)

$n < p < q$ 7 (ただし p, q は , n 以降の連続した整数)

$m = 1$ の場合

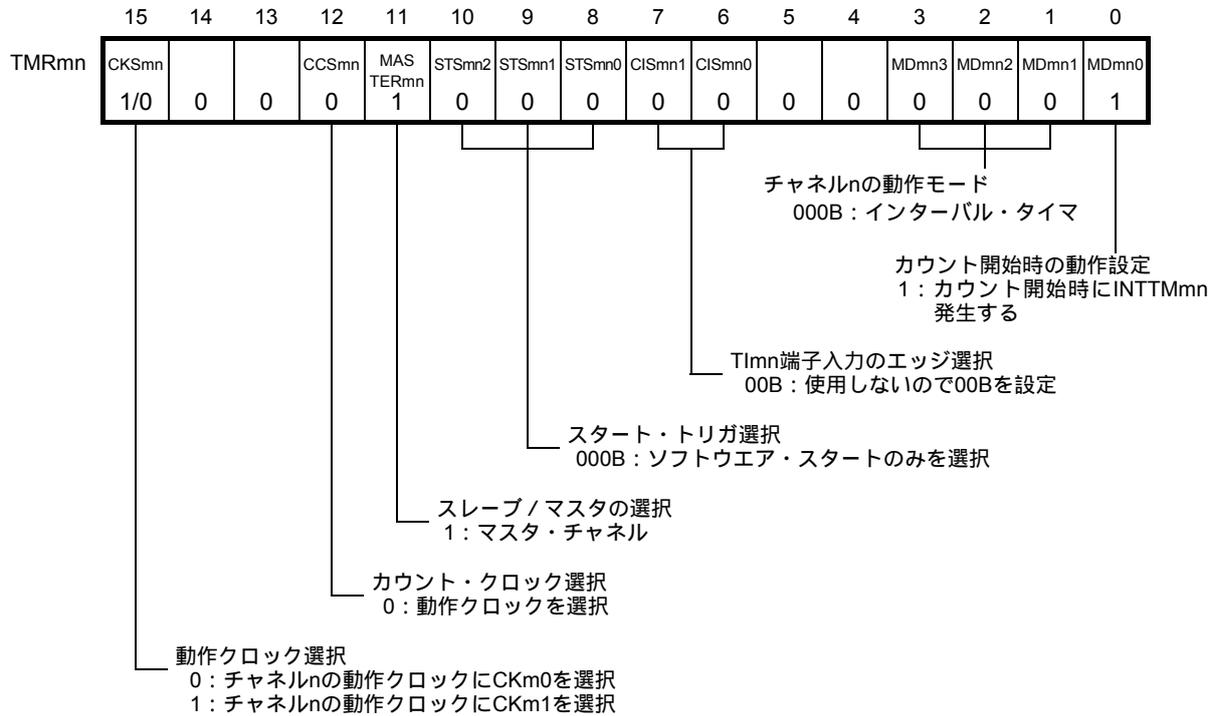
$n = 0$

$n < p < q$ 3 (ただし p, q は , n 以降の連続した整数)

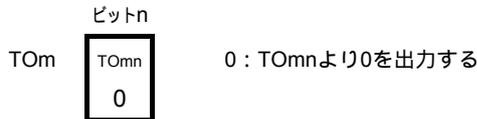
2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャネル開始レジスタ m (TS_m) のビット n, p, q
 $TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャネル許可ステータス・レジスタ m (TE_m) のビット n, p, q
 $TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)
 $TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)
 $TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図8 - 65 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



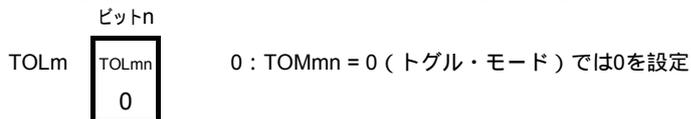
(b) タイマ出力レジスタm (TOM)



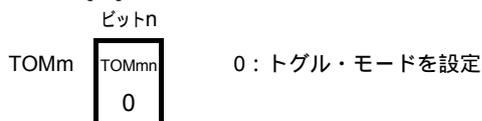
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)

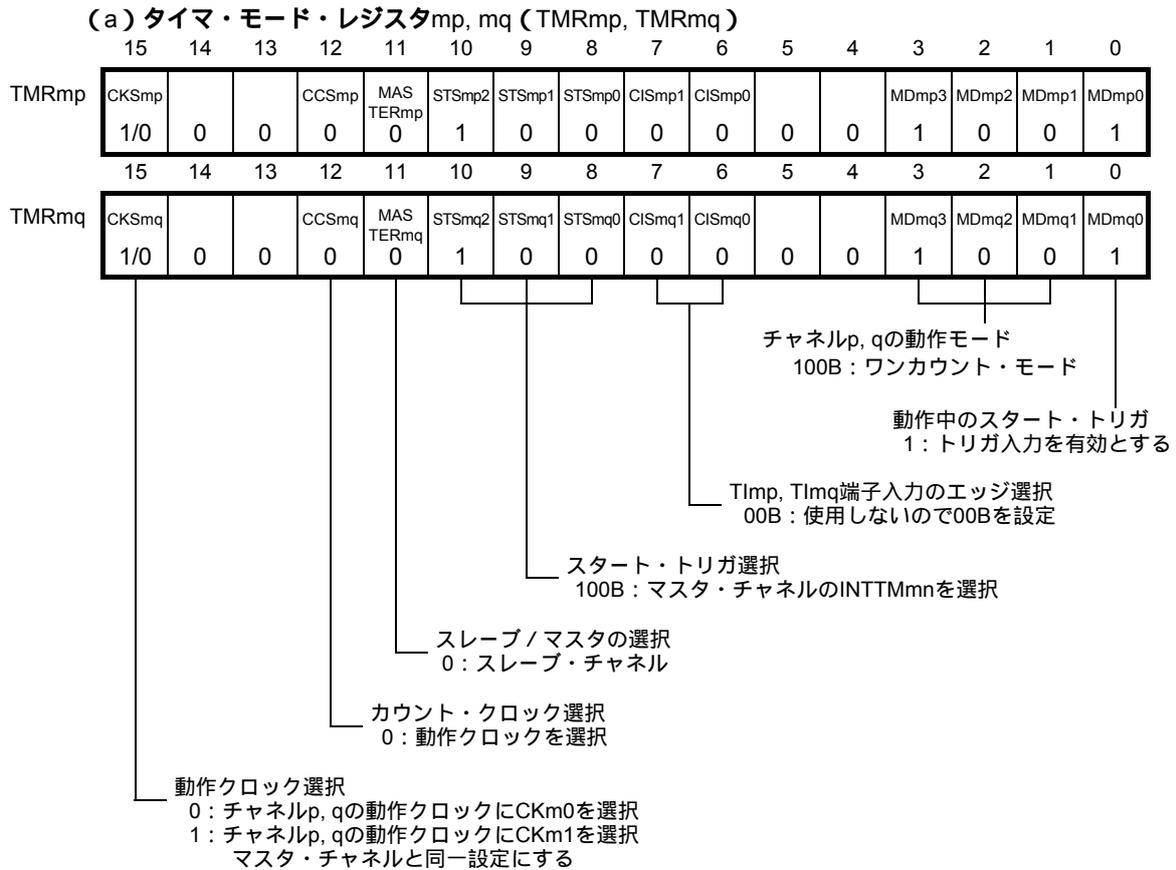


(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号
 m = 0の場合, n = 0, 2, 4
 m = 1の場合, n = 0

図8 - 66 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)(1/2)



(b) タイマ出力レジスタm (TOm)

	ビットq	ビットp	
TOm	TOmq	TOmp	0: TOmp, TOmqより0を出力する
	1/0	1/0	1: TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0: カウント動作によるTOmp, TOmq出力動作停止
	1/0	1/0	1: カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0: 正論理出力(アクティブ・ハイ)
	1/0	1/0	1: 反転出力(アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1: 連動動作モードを設定
	1	1	

(備考は次ページにあります)

図8 - 66 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)(2/2)

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 , p : スレーブ・チャンネル1番号 (n + 1) ,
q : スレーブ・チャンネル2番号 (n + 2)

m = 0の場合

n = 0, 2, 4 (タイマ出力端子 (TO0p) の場合 : p = 1-3, 5 , タイマ出力端子 (TO0q) の場合 : q
= 1-3, 5)

n < p < q 7 (ただしp, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 3 (ただしp, qは, n以降の連続した整数)

図8 - 67 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/3)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット, TAU1ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力

図8 - 67 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/3)

	ソフトウェア操作	ハードウェアの状態
動作再開時	動作開始 TOEmp, TOEmq (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない TOM, TOEmレジスタは、設定値変更可能	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOMqビットに値を設定する	TEmn, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmqはカウント値を保持して停止 TOmp, TOMq出力は初期化されず、状態保持 TOmp, TOMq端子はTOmp, TOMq設定レベルを出力
	TAU停止 TOmp, TOMq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOMqビットに0を設定する TOmp, TOMq端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAU0EN, TAU1ENビットに0を設定する	TOmp, TOMq端子出力レベルはポート機能により保持される。 TOmp, TOMq端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOMqビットが0になり、TOmp, TOMq端子はポート機能となる)

(備考は次ページにあります)

図8 - 67 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (3/3)

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 , p : スレーブ・チャネル1番号 (n+1) ,
q : スレーブ・チャネル2番号 (n+2)

m = 0の場合

n = 0, 2, 4 (タイマ出力端子 (TO0p) の場合 : p = 1-3, 5 , タイマ出力端子 (TO0q) の場合 : q = 1-3, 5)

n < p < q 7 (ただしp, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 3 (ただしp, qは, n以降の連続した整数)

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については**第17章 リセット機能**を参照してください。

また、オーバフロー時間の75%到達時にインターバル割り込みを発生することもできます。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

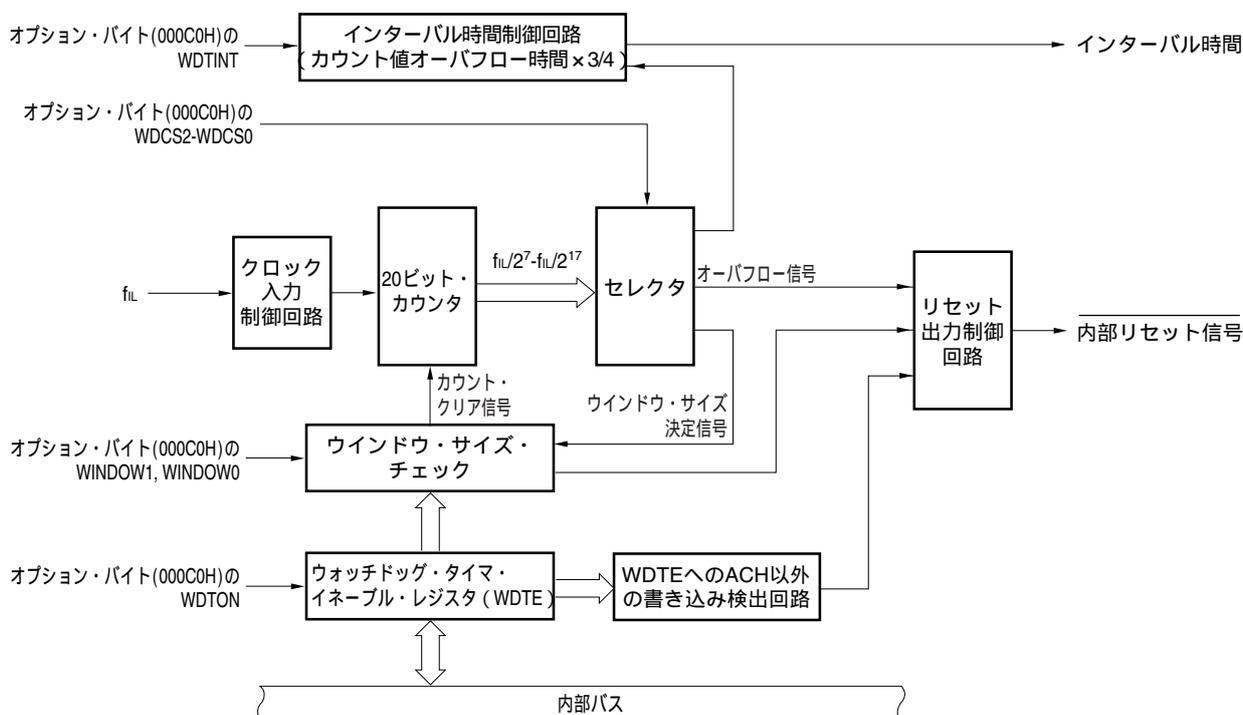
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表9-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第21章 オプション・バイトを参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
 - WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値)になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第21章 オプション・バイトを参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止（リセット解除後、カウンタ停止）
1	カウンタ動作許可（リセット解除後、カウンタ開始）

- ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第21章 オプション・バイトを参照）。
- ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第21章 オプション・バイトを参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{clk}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

- 5. フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

9.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は、オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバーフロー時は、内部リセット信号を発生します。オーバーフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウント動作を開始します。

設定可能なオーバーフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (f _{IL} = 34.5 kHz (MAX.) の場合)
0	0	0	2 ⁷ /f _{IL} (3.71 ms)
0	0	1	2 ⁸ /f _{IL} (7.42 ms)
0	1	0	2 ⁹ /f _{IL} (14.84 ms)
0	1	1	2 ¹⁰ /f _{IL} (29.68 ms)
1	0	0	2 ¹² /f _{IL} (118.72 ms)
1	0	1	2 ¹⁴ /f _{IL} (474.90 ms)
1	1	0	2 ¹⁵ /f _{IL} (949.80 ms)
1	1	1	2 ¹⁷ /f _{IL} (3799.19 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

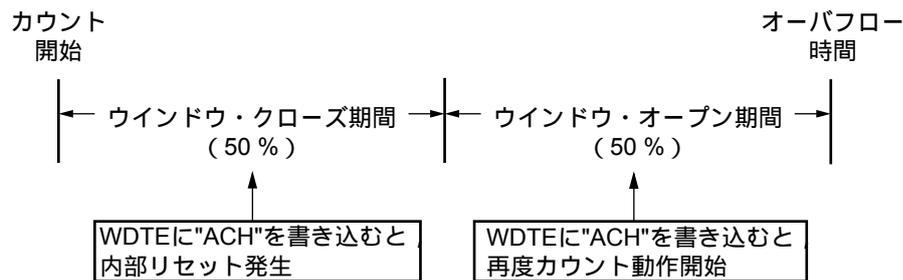
備考 f_{IL} : 低速内蔵発振クロック周波数

9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

- 注意1.** フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。
- 2.** オプション・バイト(000C0H)のビット0(WDSTBYON)=0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウインドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウインドウ・オープン期間50 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/34.5 \text{ kHz} (\text{MAX.}) = 29.68 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^{10}/25.5 \text{ kHz} (\text{MIN.}) \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/25.5 \text{ kHz} (\text{MIN.}) \times 0.5 \sim 2^{10}/34.5 \text{ kHz} (\text{MAX.}) = 20.08 \sim 29.68 \text{ ms}$$

9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表9 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

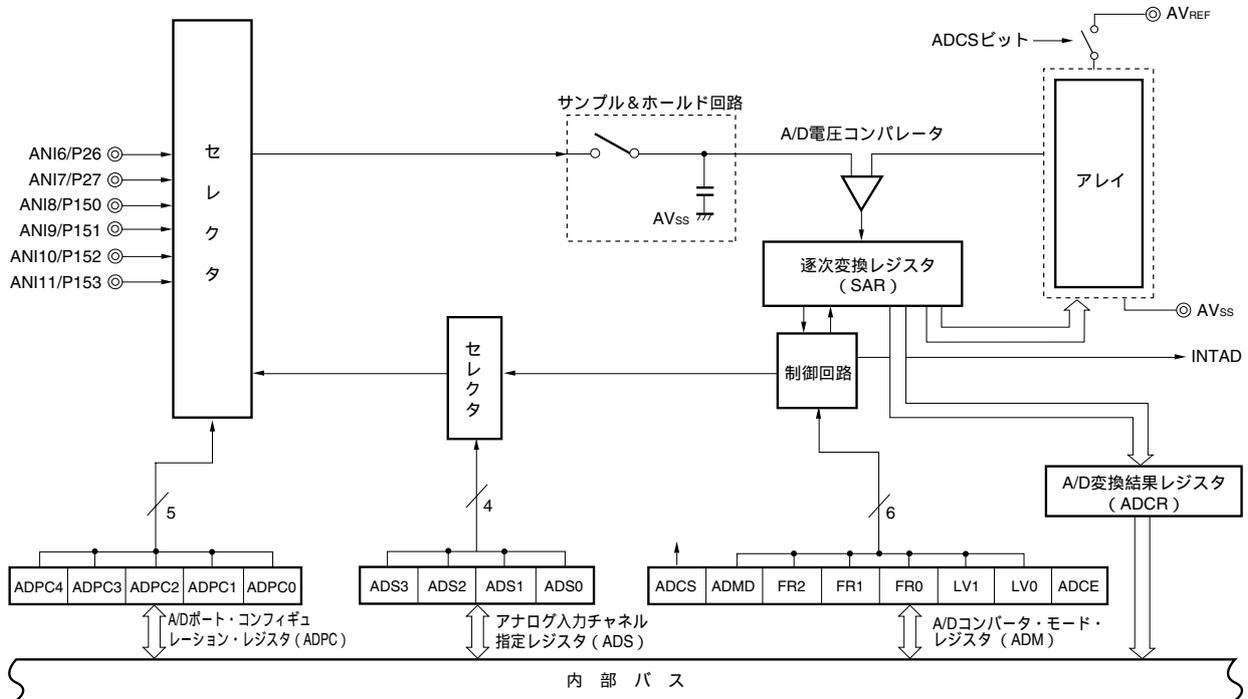
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大6チャンネルのA/Dコンバータ・アナログ入力（ANI6-ANI11）アナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- 10ビット分解能A/D変換

ANI6-ANI11からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

図10 - 1 A/Dコンバータのブロック図



10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI6-ANI11端子

A/Dコンバータの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REF}$)

ビット11 = 1 : ($3/4 AV_{REF}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REF}端子

A/Dコンバータの電源端子とA/Dコンバータの基準電圧を入力する端子です。ポート2, 15をすべてアナログ・ポートとして使用する場合は、1.8 V AV_{REF} V_{DD}となる電位にしてください。ポート2, 15のうち、1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI6-ANI11に入力されるアナログ信号をデジタル信号に変換します。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2, 15 (PM2, PM15)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入力クロック供給許可 ・ A/Dコンバータで使用するSFRへのリード/ライト可

- 注意1.** A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ2, 15 (PM2, PM15) は除く)。
2. ビット6, 7には必ず“0”を設定してください。
 3. ADPCレジスタの設定をする際には、必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は、ADPCレジスタへの書き込みは無視され、設定値は初期値となります。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

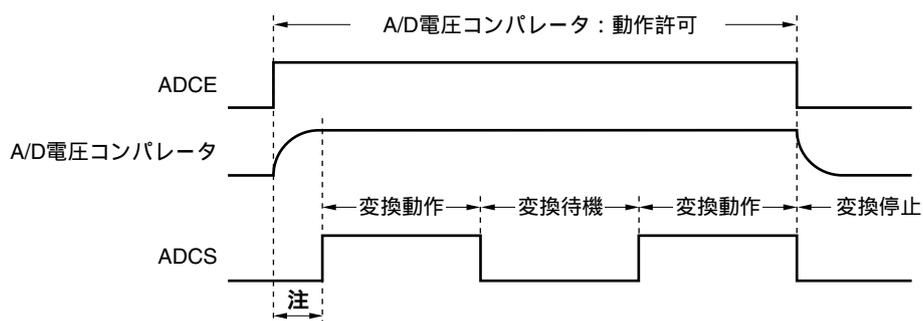
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表10 - 2 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEに1を設定してから1 μs以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表10 - 1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ：動作許可)

図10 - 4 A/D 電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\ \mu\text{s}$ 以上必要です。

注意 FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表10 - 2 A/D変換時間の選択 (1/3)

(1) 4.0 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	設定禁止	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	設定禁止	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	設定禁止	設定禁止	設定禁止	f _{CLK}
x	x	x	0	1	低電圧	設定禁止				-
0	0	0	1	0	高速1	設定禁止	64.4 μs	32.2 μs	16.1 μs	f _{CLK} /20
0	0	1				32.4 μs	16.2 μs	8.1 μs	f _{CLK} /10	
0	1	0				65.0 μs	26.0 μs	13.0 μs	6.5 μs	f _{CLK} /8
0	1	1				49.0 μs	19.6 μs	9.8 μs	4.9 μs	f _{CLK} /6
1	0	0				33.0 μs	13.2 μs	6.6 μs	3.3 μs	f _{CLK} /4
1	0	1				25.0 μs	10.0 μs	5.0 μs	2.5 μs	f _{CLK} /3
1	1	0				17.0 μs	6.8 μs	3.4 μs	設定禁止	f _{CLK} /2
1	1	1				9.0 μs	3.6 μs	設定禁止	設定禁止	f _{CLK}
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止	設定禁止	f _{CLK}

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表10 - 2 A/D変換時間の選択 (2/3)

(2) 2.7 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	設定禁止	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	f _{CLK} /6	
1	0	0				35.0 μs	14.0 μs	設定禁止	f _{CLK} /4	
1	0	1				26.5 μs	10.6 μs	設定禁止	f _{CLK} /3	
1	1	0				18.0 μs	設定禁止	設定禁止	f _{CLK} /2	
1	1	1				9.5 μs	設定禁止	設定禁止	f _{CLK}	
x	x	x	0	1	低電圧	設定禁止				-
x	x	x	1	0	高速1	設定禁止				-
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止	設定禁止	f _{CLK}

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表10 - 2 A/D変換時間の選択 (3/3)

(3) 1.8 V AVREF 5.5 V

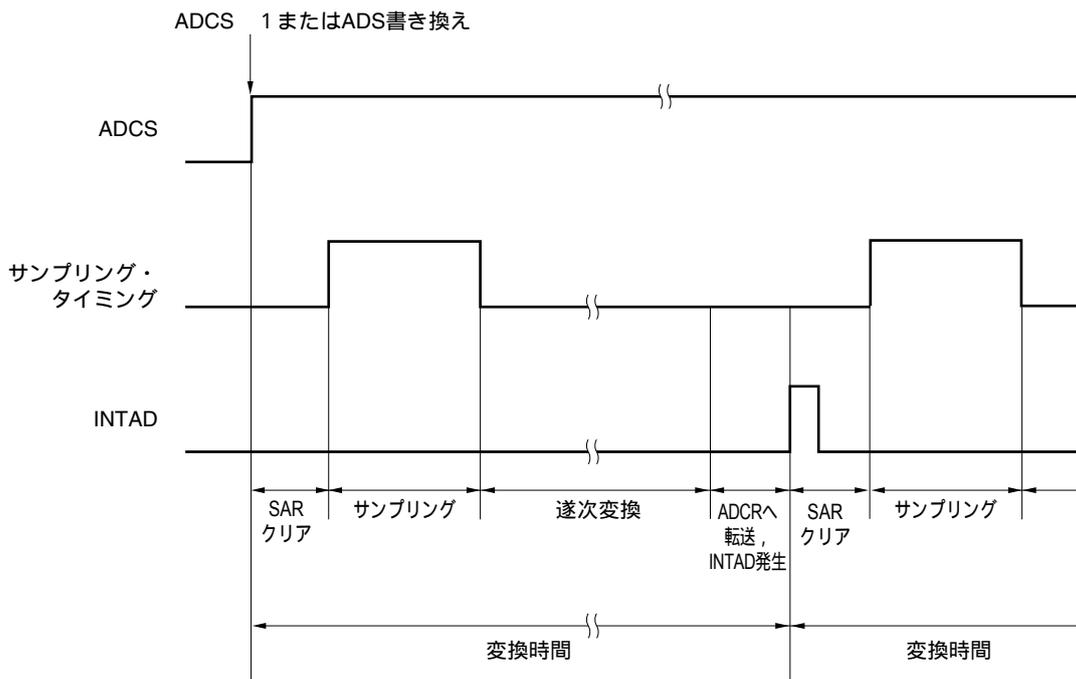
A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択				変換 クロック (f _{AD})	
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz		
x	x	x	0	0	標準	設定禁止					
0	0	0	0	1	低電圧	設定禁止	設定禁止	48.2 μs	24.1 μs	設定禁止	f _{CLK} /20
0	0	1				48.4 μs	24.2 μs	設定禁止	f _{CLK} /10		
0	1	0				38.8 μs	設定禁止		f _{CLK} /8		
0	1	1				29.2 μs		f _{CLK} /6			
1	0	0				49.0 μs	設定禁止	f _{CLK} /4			
1	0	1				37.0 μs		f _{CLK} /3			
1	1	0				25.0 μs		f _{CLK} /2			
1	1	1						設定禁止	f _{CLK}		
x	x	x	1	0	高速1	設定禁止				-	
x	x	x	1	1	高速2	設定禁止				-	
上記以外					設定禁止						

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図10 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



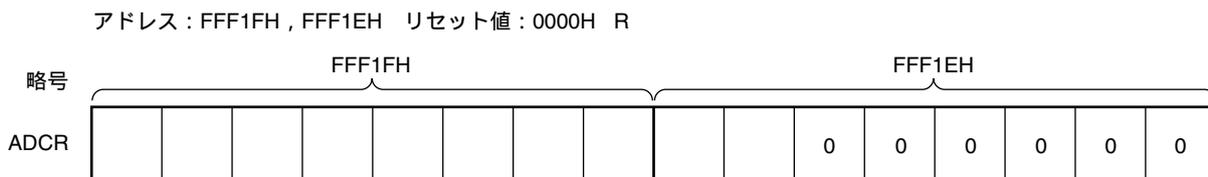
(3) 10ビットA/D変換結果レジスタ (ADCR)

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRの内容は不定となることがあります。変換結果は、変換動作終了後, ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(4) 8ビットA/D変換結果レジスタ (ADCRH)

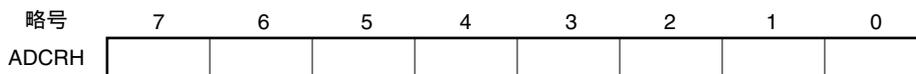
A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス : FFF1FH リセット時 : 00H R



注意 A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後, ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

セレクト・モード (ADMD = 0)

ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	1	1	0	ANI6	P26/ANI6端子
0	1	1	1	ANI7	P27/ANI7端子
1	0	0	0	ANI8	P150/ANI8端子
1	0	0	1	ANI9	P151/ANI9端子
1	0	1	0	ANI10	P152/ANI10端子
1	0	1	1	ANI11	P153/ANI11端子

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子を, A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図10-9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え					
					ポート15				ポート2	
					ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26
0	0	1	1	0	A	A	A	A	A	A
0	0	1	1	1	A	A	A	A	A	D
0	1	0	0	0	A	A	A	A	D	D
0	1	0	0	1	A	A	A	D	D	D
0	1	0	1	0	A	A	D	D	D	D
0	1	0	1	1	A	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D
上記以外					設定禁止					

- 注意1. A/D変換で使用するチャネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。

(7) ポート・モード・レジスタ2, 15 (PM2, PM15)

ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子をアナログ入力ポートとして使用するとき, PM26, PM27, PM150-PM153にそれぞれ1を設定してください。このときP26, P27, P150-P153の出力ラッチは, 0 または1のどちらでもかまいません。

PM26, PM27, PM150-PM153にそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM2, PM15は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

図10 - 10 ポート・モード・レジスタ2, 15 (PM2, PM15) のフォーマット

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	0	0	0	0	0	0

アドレス : FFF2FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	1	1	1	1	PM153	PM152	PM151	PM150

PMmn	Pmn端子の入出力モードの選択 (mn = 26, 27, 150-153)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子の機能は, ADPC, ADS, PM2, PM15の設定で決定します。

表10 - 3 ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子機能の設定

ADPC	PM15	ADS	ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を、ビット6 (ADMD) で動作モードを設定してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2, PM15) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図10 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI6-ANI11) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

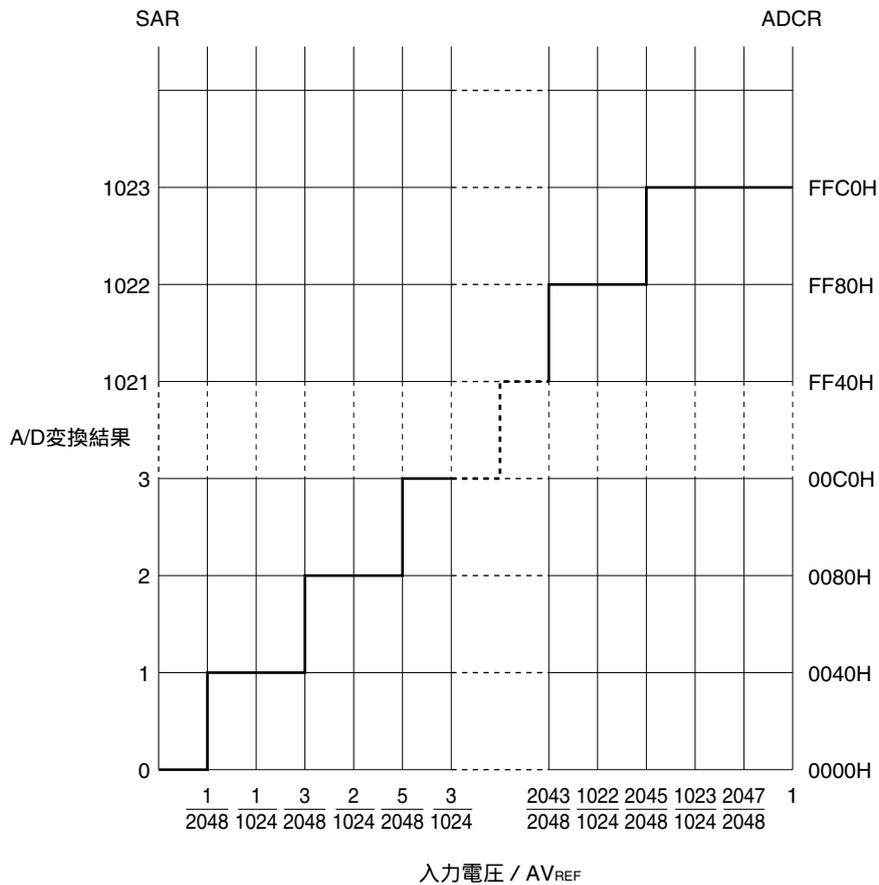
または,

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF} : AV_{REF}端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図10 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 12 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードがあります。

(1) セレクト・モード

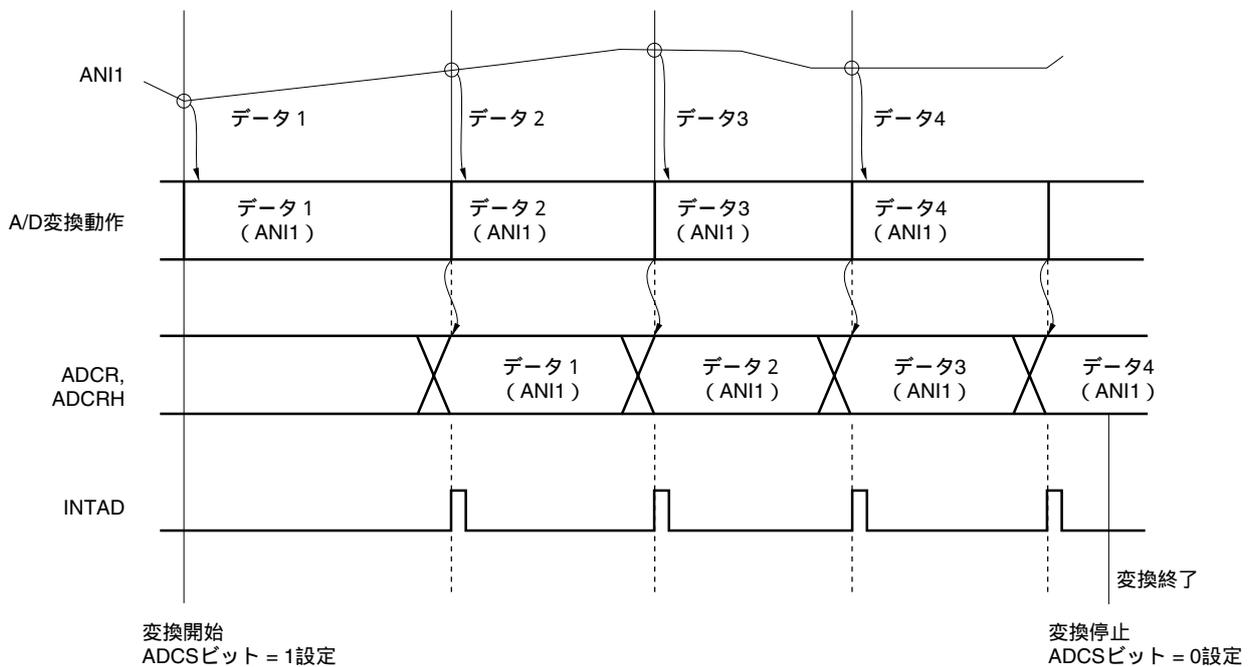
A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 0の状態では、アナログ入力チャネル指定レジスタ (ADS) で指定された1つのアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、再度最初からA/D変換を行います。

図10 - 13 セレクト・モード動作タイミング例



次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を, ビット6 (ADMD) で動作モードを選択

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0),
ポート・モード・レジスタ2 (PM2) のビット7, 6 (PM27, PM26), ポート・モード・レジスタ15 (PM15) のビット3-0 (PM153-PM150) で使用するチャンネルをアナログ入力に設定
アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネルを選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<チャンネルを変更する>

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<A/D変換を終了する>

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

- 注意1.** から までの間は1 μ s以上空けてください。
- は, から までの間に行っても, 問題ありません。
 - は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
 - から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図10 - 14 総合誤差

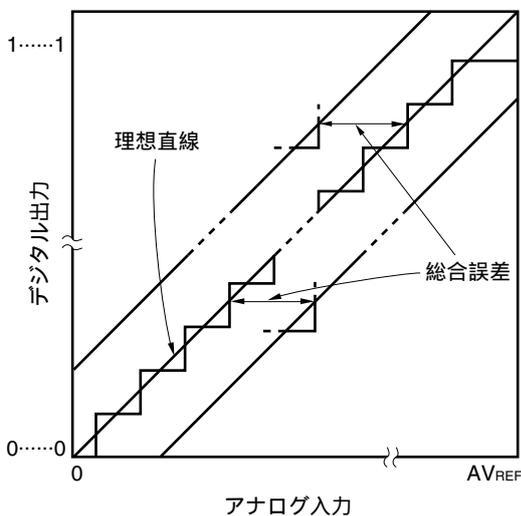
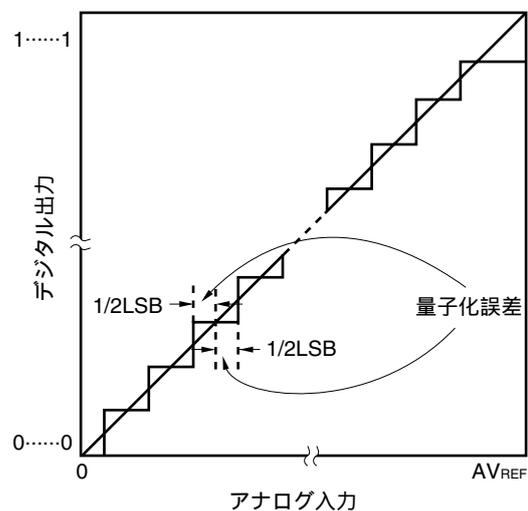


図10 - 15 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2 LSB) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 (3/2 LSB) との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2 LSB) との差を表します。

図10 - 16 ゼロスケール誤差

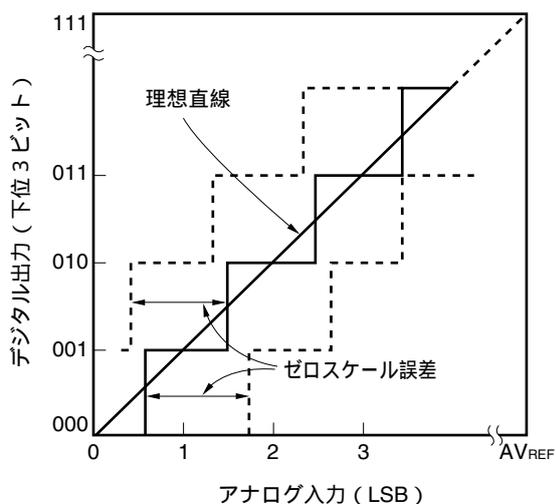
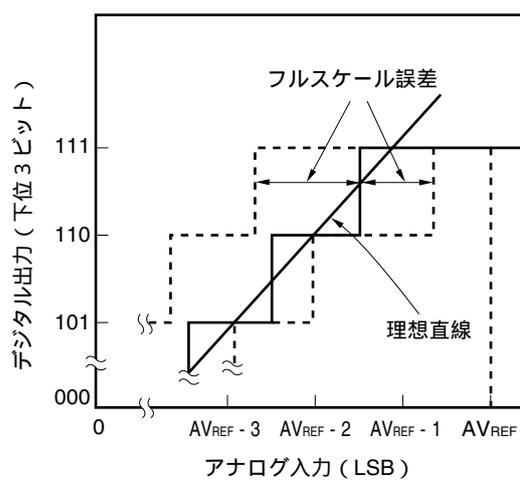


図10 - 17 フルスケール誤差



(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 18 積分直線性誤差

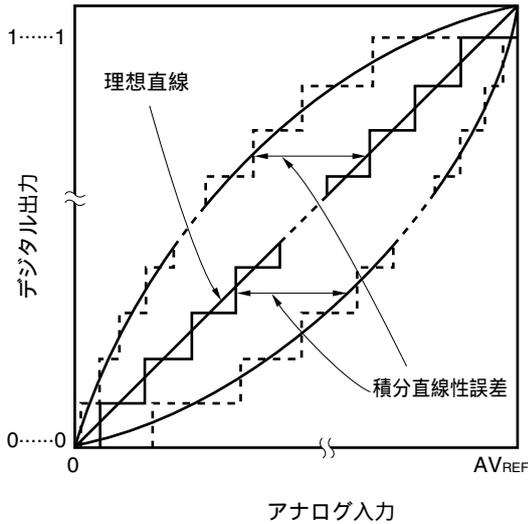
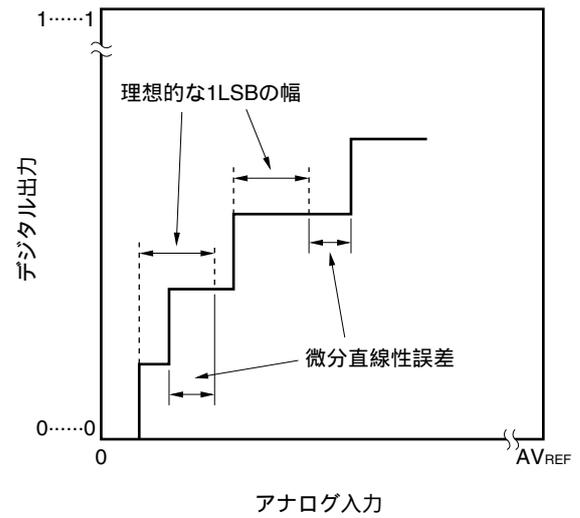


図10 - 19 微分直線性誤差

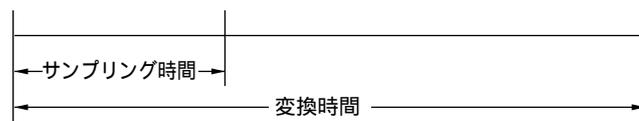


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI6-ANI11入力範囲について

ANI6-ANI11入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHへのライトとA/Dコンバータ・モード・レジスタ（ADM）へのライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI6-ANI11端子へのノイズに注意する必要があります。

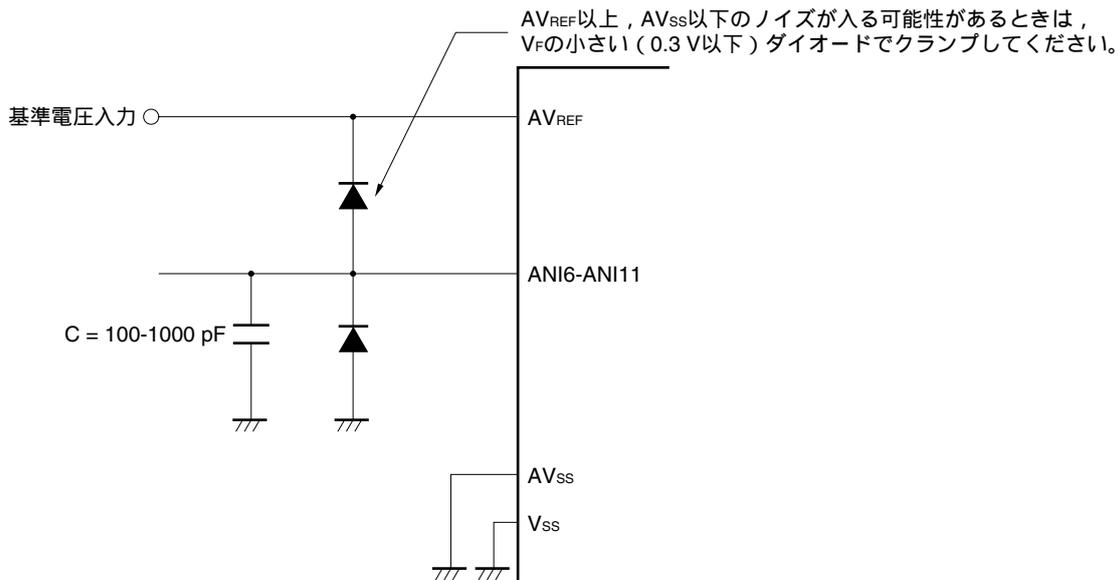
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 20のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図10 - 20 アナログ入力端子の処理

**(5) ANI6/P26, ANI7/P27, ANI8/P150-ANI11/P153**

アナログ入力 (ANI6-ANI11) 端子は入力ポート (P26, P27, P150-P153) 端子と兼用になっています。ANI6-ANI11のいずれかを選択してA/D変換をする場合、変換中にP26, P27, P150-P153に対してアクセスしないでください。変換分解能が低下することがあります。またP26, P27, P150-P153として使用する端子の選択は、 AV_{REF} から最も遠いANI6/P26端子より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI6-ANI11端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にし、出力インピーダンスが高いときはANI6-ANI11端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 20参照)。

(7) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

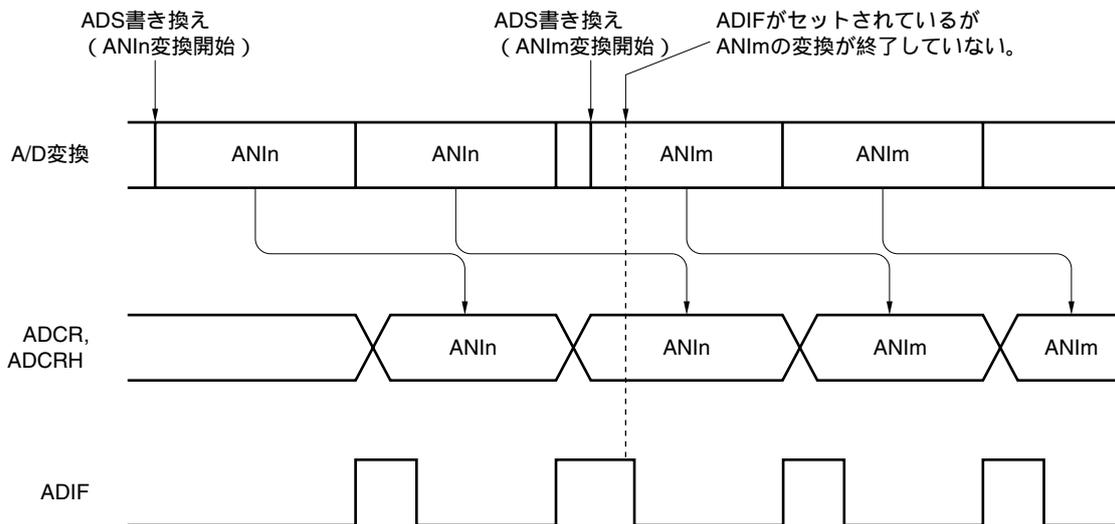
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図10 - 21 A/D変換終了割り込み要求発生タイミング



備考 n = 6-11

m = 6-11

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 22 ANIn端子内部等価回路

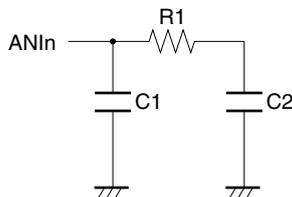


表10 - 4 等価回路の各抵抗と容量値 (参考値)

AVREF	モード	R1	C1	C2
4.0 V AVREF 5.5 V	標準	5.2 kΩ	8 pF	6.3 pF
	高速1	5.2 kΩ		
	高速2	7.8 kΩ		
2.7 V AVREF < 4.0 V	標準	18.6 kΩ	8 pF	6.3 pF
	高速2	7.8 kΩ		
1.8 V AVREF < 4.0 V	低電圧	169.8 kΩ	8 pF	6.3 pF

備考1. 表10 - 4の各抵抗と容量値は保証値ではありません。

2. n = 6-11

(12) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFの電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ち、各チャンネルは3線シリアル（CSI）、UART、簡易I²Cの通信機能を実現できます。

μPD78F8040, 78F8041, 78F8042, 78F8043で対応している、各チャンネルの機能割り当ては次のようになっています（ユニット0のチャンネル0, 1はIO-Link通信専用）、ユニット1のチャンネル2, 3はUART3（LIN-bus対応）です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0 (IO-Link通信専用)	-
	1	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

ユニット1のチャンネル0, 1で「UART2」を使用するときは、CSI20やIIC20を使用することはできませんが、チャンネル2, 3のUART3は使用することができます。

11.1 シリアル・アレイ・ユニットの機能

μPD78F8040, 78F8041, 78F8042, 78F8043で対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアルI/O (CSI20)

マスタから出力されるシリアル・クロック (\overline{SCK}) に同期してデータの送信 / 受信を行います。

シリアル・クロック (\overline{SCK}) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「11.5 3線シリアルI/O (CSI20) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ / スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時 : Max. $f_{CLK}/4$, スレーブ通信時 : Max. $f_{MCK}/6$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし, \overline{SCK} サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください (第26章 電氣的特性参照)

11. 1. 2 UART (UART0, UART2, UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニット0と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「11. 6 UART (UART0, UART2, UART3) 通信の動作」を参照してください。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|--------------------------------------|
| <ul style="list-style-type: none"> ・ ウエイクアップ信号検出 ・ シンク・ブレイク・フィールド (SBF) 検出 ・ シンク・フィールド測定, ボー・レート算出 | } | 外部割り込み (INTP0) ,
タイマ・アレイ・ユニット0を活用 |
|---|---|--------------------------------------|

注意 UART0 (ユニット0の0, 1チャンネル) は, IO-Link通信専用です (11. 6. 5 ~ 11. 6. 8参照)。

11. 1. 3 簡易I²C (IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション, ストップ・コンディションは, 制御レジスタの操作とともに, ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は, 「11. 8 簡易I²C (IIC20) 通信の動作」を参照して下さい。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^註, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウェイト検出機能

注 最終データの受信時は, SOE10 (SOE1レジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 11. 8. 3 (2) **処理フロー**を参照してください。

備考 フル機能のI²Cバスをご使用の場合は, **第12章 シリアル・インタフェースIICA** を参照してください。

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビット ^{注1}
シリアル・クロック入出力	SCK20端子 (3線シリアルI/O用), SCL20端子 (簡易I ² C用)
シリアル・データ入力	SI20端子 (3線シリアルI/O用), RxD0端子 (IO-Link専用UART用), RxD2端子 (UART用), RxD3端子 (LIN-bus対応UART用)
シリアル・データ出力	SO20端子 (3線シリアルI/O用), TxD0 ^{注2} (IO-Link専用UART用), TxD2端子 (UART用), TxD3端子 (LIN-bus対応UART用), 出力制御回路
シリアル・データ入出力	SDA20端子 (簡易I ² C用)
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
	<各チャンネル部のレジスタ> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) ・ポート入力モード・レジスタ14 (PIM14) ・ポート出力モード・レジスタ14 (POM14) ・ポート・モード・レジスタ1, 14 (PM1, PM14) ・ポート・レジスタ1, 14 (P1, P14)

注1. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSI20通信時・・・SIO20 (CSI20データ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IIC20通信時・・・SIO20 (IIC20データ・レジスタ)

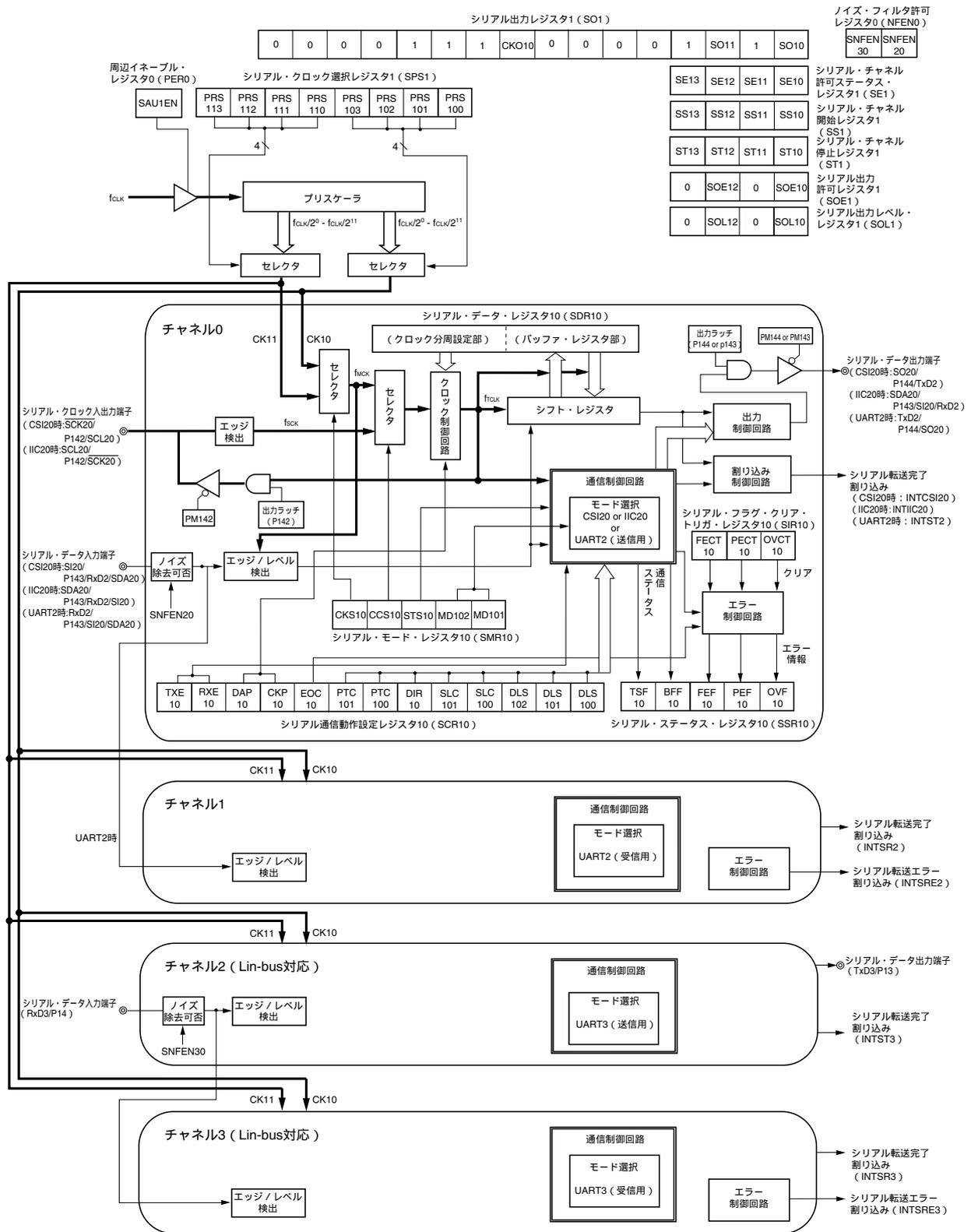
2. MCUとIO-Linkトランシーバ間の内部接続端子です。

注意 UART0 (ユニット0の0, 1チャンネル) は、IO-Link通信専用です (11.7.3~11.7.5参照)。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13
 q : UART番号 (q = 0, 2, 3)

図11 - 2にシリアル・アレイ・ユニット1のブロック図を示します。

図11 - 2 シリアル・アレイ・ユニット1のブロック図



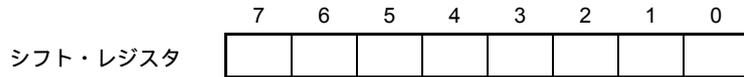
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn) の下位8ビットを使用します。



(2) シリアル・データ・レジスタmn (SDRmn) の下位8ビット

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序にかかわらず、SCRmnレジスタのビット0-2 (DLSmn0-DLSmn2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)

SDRmnは16ビット単位でリード/ライト可能です。

またSDRmnの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSI20通信時・・・SIO20 (CSI20データ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IIC20通信時・・・SIO20 (IIC20データ・レジスタ)

注 ただし動作停止 (SEmn = 0) 時は、8ビット単位のライト禁止

リセット信号の発生により、SDRmnは0000Hになります。

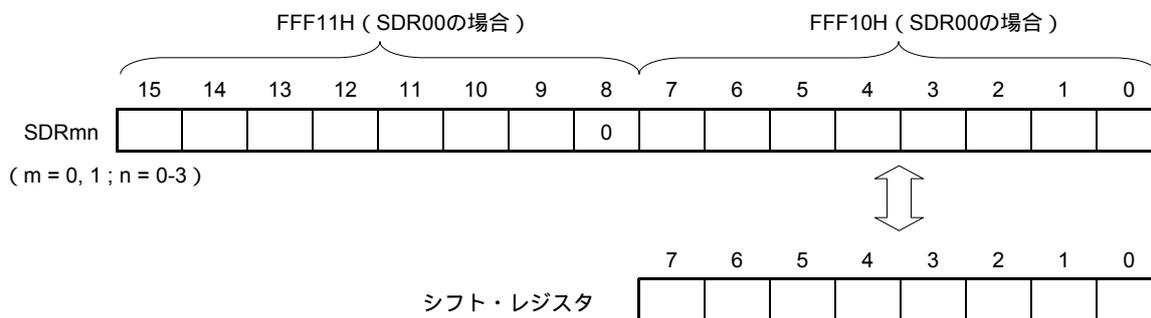
備考1. 受信完了後、ビット0-7内でデータ長を越える部分のビットには、“0”が格納されます。

- 2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13
- q : UART番号 (q = 0, 2, 3)

注意 UART0 (ユニット0の0, 1チャンネル) は、IO-Link通信専用です (11. 7. 3~11. 7. 5参照)。

図11 - 3 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11) ,
 FFF14H, FFF15H (SDR12) , FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考1. SDR_{mn}の上位7ビットの機能については、11. 3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ14 (PIM14)
- ・ポート出力モード・レジスタ14 (POM14)
- ・ポート・モード・レジスタ1, 14 (PM1, PM14)
- ・ポート・レジスタ1, 14 (P1, P14)

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

mn = 00, 01, 10-13

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ノイズ・フィルタ許可レジスタ (NFEN0), ポート入力モード・レジスタ (PIM14), ポート出力モード・レジスタ (POM14), ポート・モード・レジスタ (PM1, PM14), ポート・レジスタ (P1, P14) は除く)。

- SAUmENを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。
- ビット6, 7には必ず“0”を設定してください。

備考 m : ユニット番号 (m = 0, 1)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000Hになります。

図11 - 5 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0	動作クロック (CKmp) の選択 ^{注1}	f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
					0	0	0	0	f _{CLK}
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	
1	1	1	1	m = 0の場合INTTM02, m = 1の場合は設定禁止					
上記以外				設定禁止					

注 f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(STm = 000FH)させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット(TAU0)も停止(TT0 = 00FFH)させてください。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0レジスタのビット2(SAU0EN)、ビット3(SAU1EN)を“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0, 1), p = 0, 1

(3) シリアル・モード・レジスタmn (SMRmn)

SMRmnは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK) の選択, シリアル・クロック (fSCK) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnは、動作中 (SEmn = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnは0020Hになります。

図11 - 6 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00), F0112H, F0113H (SMR01), リセット時 : 0020H R/W
F0150H, F0151H (SMR10) -F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fMCK) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (fMCK) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (fCLK) を生成します。	

CCS mn	チャンネルnの転送クロック (fCLK) の選択
0	CKSmnビットで指定した動作クロックfMCKの分周クロック
1	SCKp端子からの入力クロックfSCK (CSIモードのスレーブ転送)
転送クロックfCLKは、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fMCK) の分周設定を行います。	

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxD端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

図11 - 6 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) , F0112H, F0113H (SMR01) , リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) -F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	パッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長、などの設定を行います。

SCRmnは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図11 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) , F011AH, F011BH (SCR01) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) -F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0, 2, 3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください^注。
 UART受信時には、EOCmn = 1に設定してください。

注 CSI01をEOC01 = 0で使用しない場合、エラー割り込みINTSRE0が発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

図11 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) , F011AH, F011BH (SCR01) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) -F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード, 簡易I²Cモード時には, 必ずPTC001, PTC000 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 CSIモード時には, ストップ・ビットなし (SLC001, SLC000 = 0, 0) に設定してください。

DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他			設定禁止	

簡易I²Cモード時には, 必ずDLSmn0 = 1に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

(5) シリアル・データ・レジスタmn (SDRmn)

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDRmnの下部8ビットの機能、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下部8ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下部8ビット設定します。

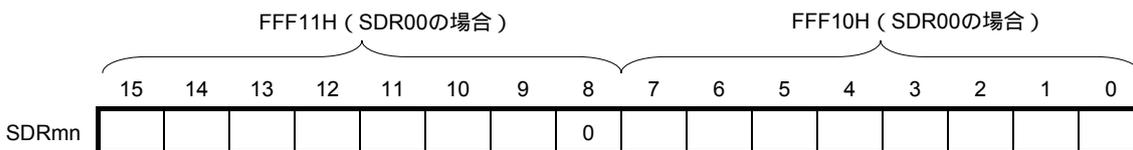
SDRmnは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1) にSDRmnに書き込みを行ったときは、下部8ビットのみ値が書き込まれます。動作中にSDRmnの読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図11 - 8 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDRmn[15:9]							動作クロック (f _{MCK}) の分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
.
.
.
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

- 注意1. ビット8は、必ず0を設定してください。
- UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
 - 簡易I²C使用時は、SDR10[15:9] = 0000000Bは設定禁止です。SDR10[15:9] = 0000001B以上に設定してください。
 - 動作停止状態 (SEmn = 0) のときに、下部8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。

- 備考1. SDRmnの下部8ビットの機能については、11. 2 シリアル・アレイ・ユニットの構成を参照してください。
- m : ユニット番号 (m = 0, 1)
 n : チャンネル番号 (n = 0-3)
 mn = 00, 01, 10-13

(6) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると, シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnはトリガ・レジスタなので, SSRmnの対応ビットをクリアするとすぐSIRmnもクリアされます。

SIRmnは, 16ビット・メモリ操作命令で設定します。

またSIRmnの下位8ビットは, SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIRmnは0000Hになります。

図11 - 9 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00), F010AH, F010BH (SIR01), リセット時 : 0000H R/W
 F0148H, F0149H (SIR10) -F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注意 ビット15-3には, 必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 1, 3) mn = 00, 01, 10, 13

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

(7) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnは、16ビット・メモリ操作命令で読み出します。

またSSRmnの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnは0000Hになります。

図11 - 10 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00), F0102H, F0103H (SSR01), リセット時：0000H R
F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注意 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信 / 受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3） mn = 00-03, 10-13

図11 - 10 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) , F0102H, F0103H (SSR01) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

(8) シリアル・チャンネル開始レジスタm (SSm)

SSmは、通信 / カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnはトリガ・ビットなので、SEmn = 1になるとすぐSSmnはクリアされます。

SSmは、16ビット・メモリ操作命令で設定します。

またSSmの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmは0000Hになります。

図11 - 11 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0), F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm	SSm	SSm	SSm
													3	2	1	0

SSm	チャンネルnの動作開始トリガ														
n															
0	トリガ動作せず														
1	SEmnに1をセットし、通信待機状態に遷移する ^注														

注 すでに通信動作中の場合は、通信動作を停止してください。

注意 ビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

2. SSmレジスタの読み出し値は常に0000Hとなります。

(9) シリアル・チャンネル停止レジスタ_m (ST_m)

ST_mは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が0にクリア (動作停止状態) されます。ST_{mn}はトリガ・ビットなので、SE_{mn} = 0になるとすぐST_{mn}はクリアされます。

ST_mは、16ビット・メモリ操作命令で設定します。

またST_mの下位8ビットは、ST_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST_mは0000Hになります。

図11 - 12 シリアル・チャンネル停止レジスタ_m (ST_m) のフォーマット

アドレス : F0124H, F0125H (ST0), F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _m 3	ST _m 2	ST _m 1	ST _m 0

ST _m n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE _{mn} ビットを0にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、各エラー・フラグ (FEF_{mn} : フレーミング・エラー・フラグ, PEF_{mn} : パリティ・エラー・フラグ, OVF_{mn} : オーバーラン・エラー・フラグ) は、状態を保持したまま停止します。

注意 ビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

2. ST_mレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmは、各チャンネルのシリアル送受信動作許可 / 停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmn(チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmは、16ビット・メモリ操作命令で読み出します。

またSEmの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmは0000Hになります。

図11 - 13 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0), F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm 3	SEm 2	SEm 1	SEm 0

SEm n	チャンネルnの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

(11) シリアル出力許可レジスタm (SOEm)

SOEmは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmは、16ビット・メモリ操作命令で設定します。

またSOEmの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmは0000Hになります。

図11 - 14 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

SOE mn	チャンネルnのシリアル出力許可/停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOE0のビット15-1, SOE1のビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00, 10, 12

(12) シリアル出力レジスタ_m (SO_m)

SO_mは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO_{mn}の値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのCKO_{mn}ビットの値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{mn}のソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{mn}のソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P13/TxD3, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をポート機能として使用する場合は、該当するCKO_{mn}, SO_{mn}ビットに“1”を設定してください。

SO_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図11 - 15 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO00

アドレス : F0168H, F0169H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	1	CKO10	0	0	0	0	1	SO12	1	SO10

CKO _{mn}	チャンネル _n のシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO _{mn}	チャンネル _n のシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO0のビット11-8, 3-1, SO1のビット11-9, 3, 1には、必ず1を設定してください。また、SO_mのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 10, 12

(13) シリアル出力レベル・レジスタ_m (SOL_m)

SOL_mは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネル_nの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOL_mは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOL_mは、16ビット・メモリ操作命令で設定します。

またSOL_mの下位8ビットは、SOL_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL_mは0000Hになります。

図11 - 16 シリアル出力レベル・レジスタ_m (SOL_m) のフォーマット

アドレス : F0134H, F0135H (SOL0), F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL _{m2}	0	SOL _{m0}

SOL _{mn}	UARTモードでのチャンネル _n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 ビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 10, 12

(14) 入力切り替え制御レジスタ (ISC)

ISCは、UART3でLIN-bus通信動作を実現するとき、外部割り込みやタイマ・アレイ・ユニット0と連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号がタイマ入力として選択されます。これによって、ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 17 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	1	ISC0

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。またビット1には、必ず1を設定してください。

(15) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI, 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。
ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	0	0	SNFEN00

SNFEN30	RxD3端子 (RxD3/P14) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。	
RxD3端子以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子 (RxD2/SDA20/SI20/P143) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2端子以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN00	RxD0/P11端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子 (IO-Linkトランシーバとの通信 (IO-Linkモード ^注)) として使用するときは、SNFEN00 = 1に設定してください。	
P11端子 (IO-Linkトランシーバとの通信 (SIOモード ^注)) として使用するときは、SNFEN00 = 0に設定してください。	

注 IO-LinkモードとSIOモードの詳細は、4. 3. 3 IO-Linkモードと標準IO (SIO) モードを参照してください。

注意 ビット7, 5, 3-1には、必ず0を設定してください。

(16) ポート入力モード・レジスタ14 (PIM14)

ポート14の入力バッファを1ビット単位で設定するレジスタです。

PIM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 19 ポート入力モード・レジスタ14 (PIM14) のフォーマット

アドレス : F004EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIM14	0	0	0	0	PIM143	PIM142	0	0

PIM14n	P14n端子の入力バッファの選択 (n = 2, 3)
0	通常入力バッファ
1	TTL入力バッファ

(17) ポート出力モード・レジスタ14 (POM14)

ポート14の出力モードを1ビット単位で設定するレジスタです。

POM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 20 ポート出力モード・レジスタ14 (POM14) のフォーマット

アドレス : FFF5EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM14	0	0	0	POM144	POM143	POM142	0	0

POM14n	P14n端子の出力モードの選択 (n = 2-4)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(18) ポート・モード・レジスタ1, 14 (PM1, PM14)

ポート1, 14の入力 / 出力を1ビット単位で設定するレジスタです。

P12/TxD0, P13/TxD3, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき, PM12, PM13, PM142, PM143, PM144ビットに0を, P12, P13, P142, P143, P144の出力ラッチに1を設定してください。

P11/RxD0, P14/RxD3, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/RxD2/SDA20端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき, PM11, PM14, PM142, PM143ビットに1を設定してください。このときP11, P14, P142, P143の出力ラッチは, 0または1のどちらでもかまいません。

PM10, PM12ビットは, MCUの内部端子のポート・モード・レジスタです。

PM1, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図11 - 21 ポート・モード・レジスタ1, 14 (PM1, PM14) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15 ^注	PM14	PM13	PM12 ^注	PM11	PM10 ^注

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	PM144	PM143	PM142	1	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 1, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 MCUとIO-Linkトランシーバ間の内部接続端子のポート・モード・レジスタです (設定については, 表 2 - 1 内部接続端子の設定参照)。

注意 リセット解除後, PM140には必ず0を設定してください (2. 2 MCUの未使用内部端子の初期設定参照)。

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また、動作停止モードでは、P11/RxD0, P12/TxD0, P13/TxD3, P14/RxD3, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2をポート機能として使用できます。

11.4.1 ユニット単位で動作停止とする場合

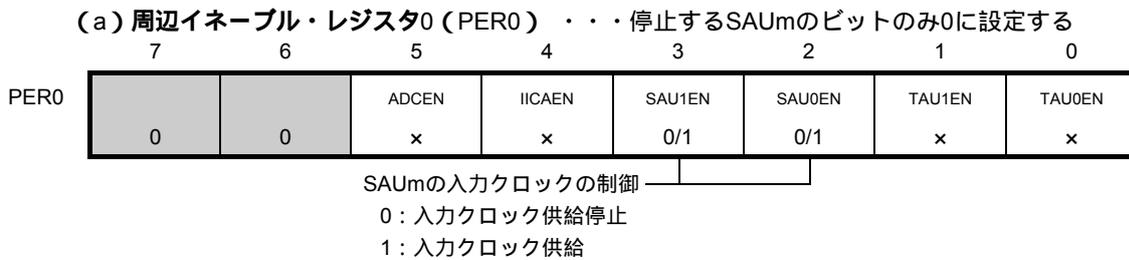
ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図11-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ノイズ・フィルタ許可レジスタ (NFEN0), ポート入力モード・レジスタ (PIM14), ポート出力モード・レジスタ (POM14), ポート・モード・レジスタ (PM1, PM14), ポート・レジスタ (P1, P14) は除く)。

2. ビット6, 7には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) : 設定不可 (初期値を設定)

× : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-23 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信 / カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm													STm3	STm2	STm1	STm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1 : SEmnを0にクリアし、通信動作を停止

STmnはトリガ・ビットなので、SEmn = 0になるとすぐSTmnはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可 / 停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm													SEm3	SEm2	SEm1	SEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : 動作停止状態

SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。

動作を停止したチャンネルは、SOmレジスタのCKO10の値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0																SOE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO0レジスタのSO00の値をソフトウェアで設定できます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1														SOE12		SOE10
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO1レジスタのSO10, SO12の値をソフトウェアで設定できます。

(d) シリアル出力レジスタm (SOm) ・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0																SO00
	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	0/1

1 : シリアル・データ出力値が“1”

各チャンネルに対応した端子をポート機能として使用する場合は、該当するSO00ビットに“1”を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1							CKO10							SO12		SO10
	0	0	0	0	1	1	1	0/1	0	0	0	0	1	0/1	1	0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

各チャンネルに対応した端子をポート機能として使用する場合は、該当する CKO10, SO10, SO12ビットに“1”を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアル/I/O (CSI20) 通信の動作

シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時：Max. $f_{CLK}/4$ ，スレーブ通信時：Max. $f_{MCK}/6$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし、 \overline{SCK} サイクル・タイム (t_{CKY}) の特性を満たす範囲内で使用してください (第26章 電気的特性参照)

3線シリアル/I/O (CSI20) に対応しているチャンネルは、SAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0 (IO-Link通信専用)	-
	1	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

3線シリアル/I/O (CSI20) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11.5.1項を参照)
- ・ マスタ受信 (11.5.2項を参照)
- ・ マスタ送受信 (11.5.3項を参照)
- ・ スレーブ送信 (11.5.4項を参照)
- ・ スレーブ受信 (11.5.5項を参照)
- ・ スレーブ送受信 (11.5.6項を参照)

11. 5. 1 マスタ送信

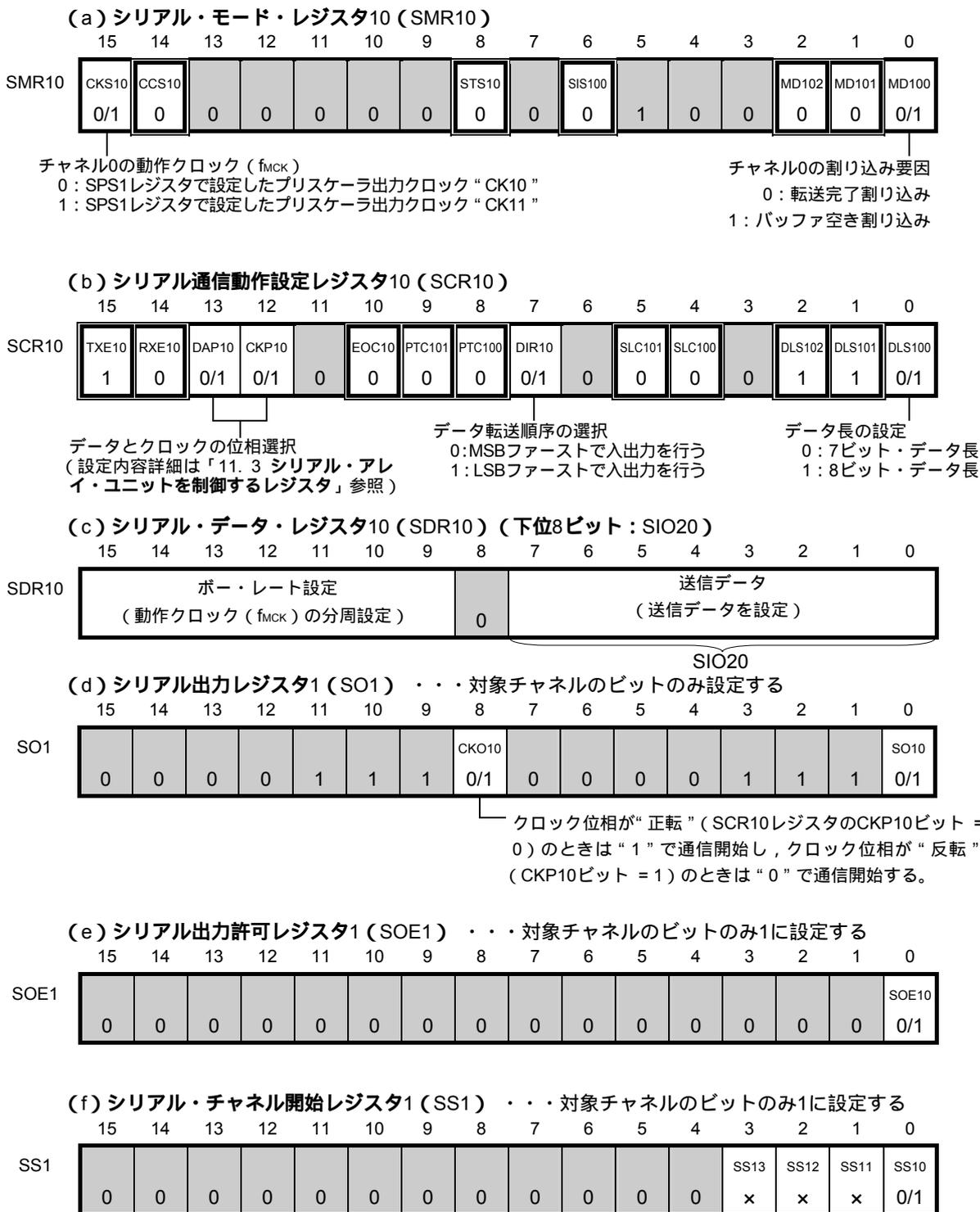
マスタ送信とは、このμ PD78F8040, 78F8041, 78F8042, 78F8043が転送クロックを出力し、μ PD78F8040, 78F8041, 78F8042, 78F8043から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数
データ位相	SCR10レジスタのDAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCR10レジスタのCKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

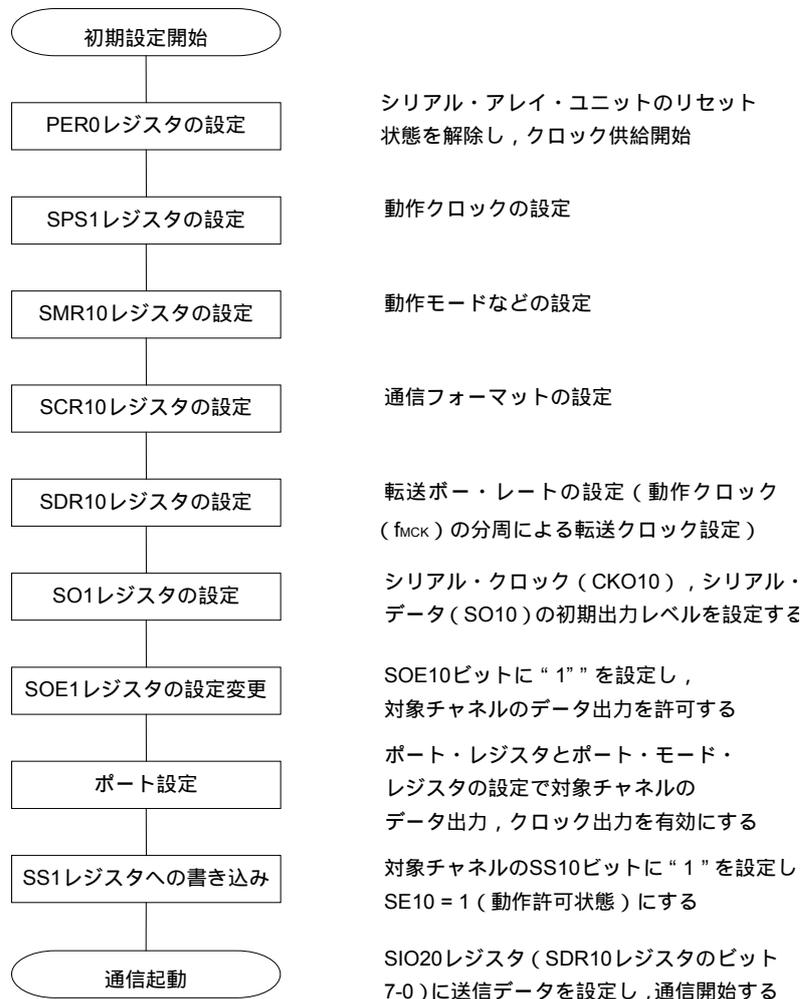
図11 - 24 3線シリアルI/O (CSI20) のマスタ送信時のレジスタ設定内容例



備考 □: CSIマスタ送信モードでは設定固定 ■: 設定不可(初期値を設定)
 x: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

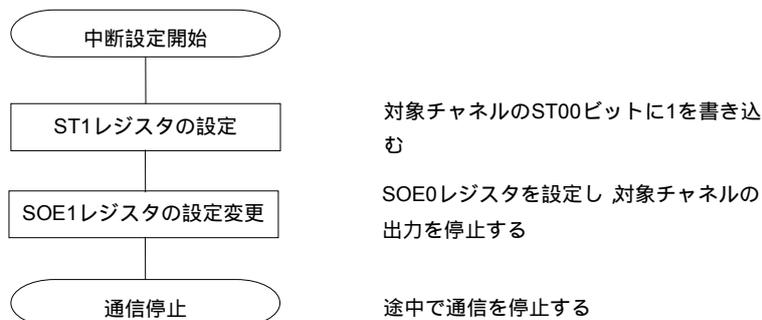
(2) 操作手順

図11 - 25 マスタ送信の初期設定手順



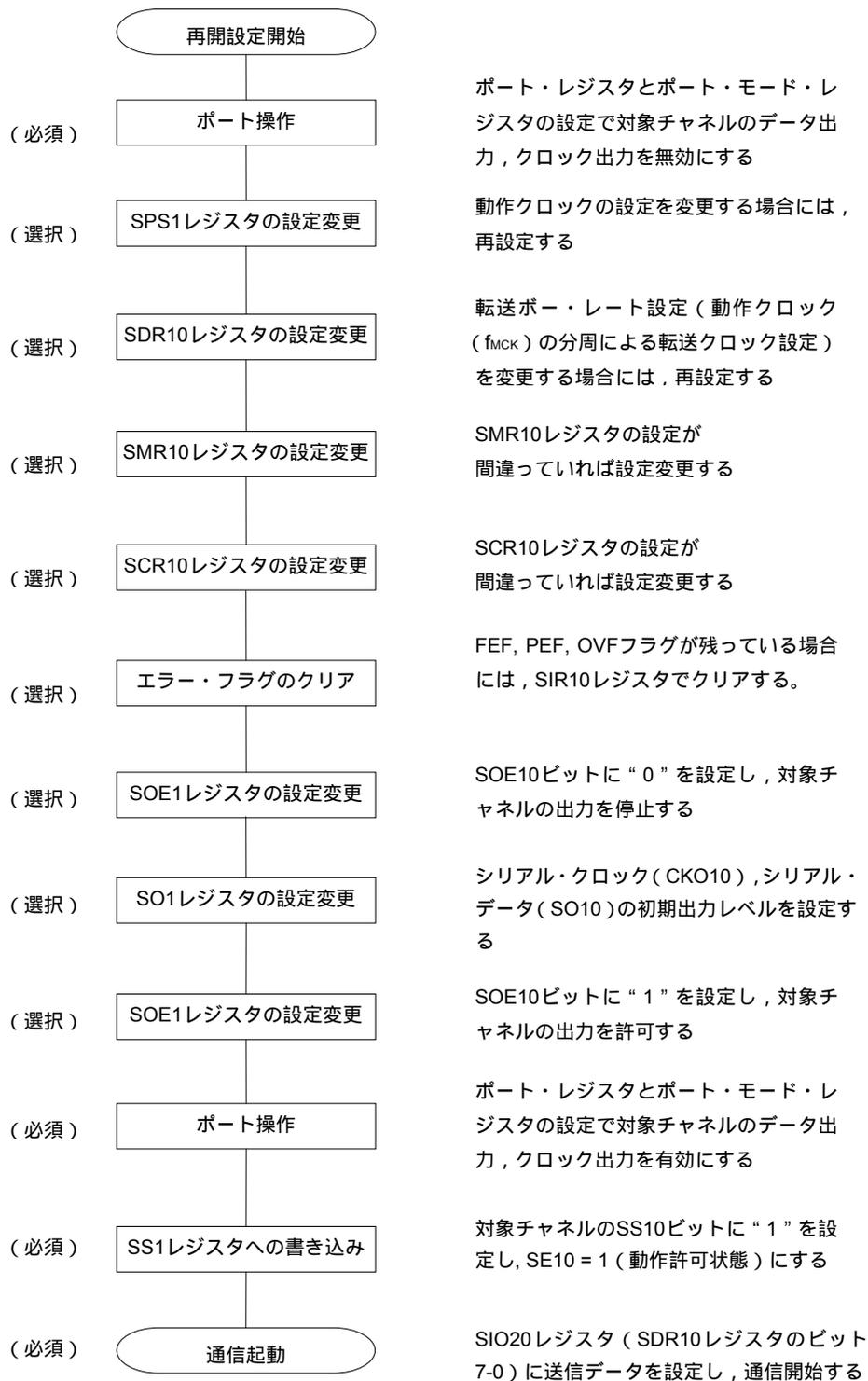
注意 周辺イネーブル・レジスタ0（PER0）のSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔を置いてからシリアル・クロック選択レジスタ1（SPS1）を設定してください。

図11 - 26 マスタ送信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください（図11 - 27 マスタ送信の再開設定手順参照）。

図11 - 27 マスタ送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

図11 - 28 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

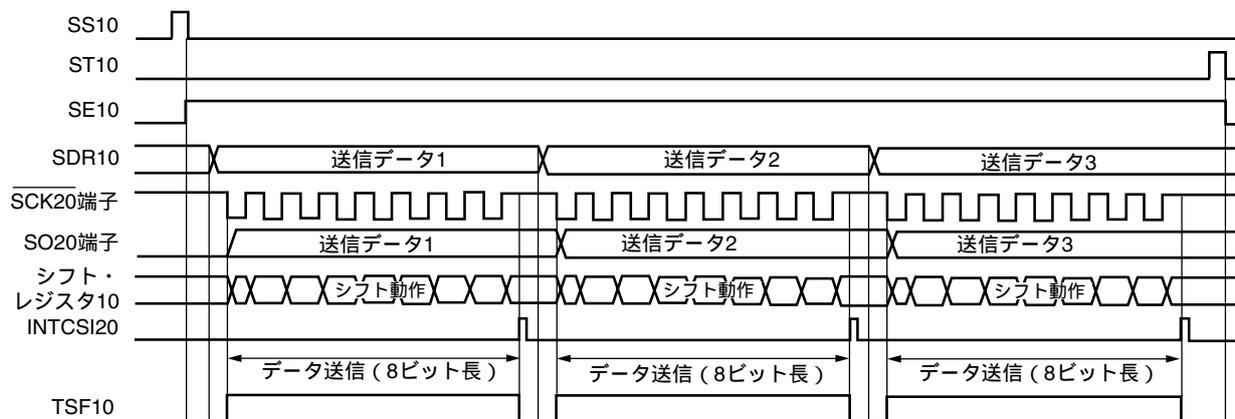
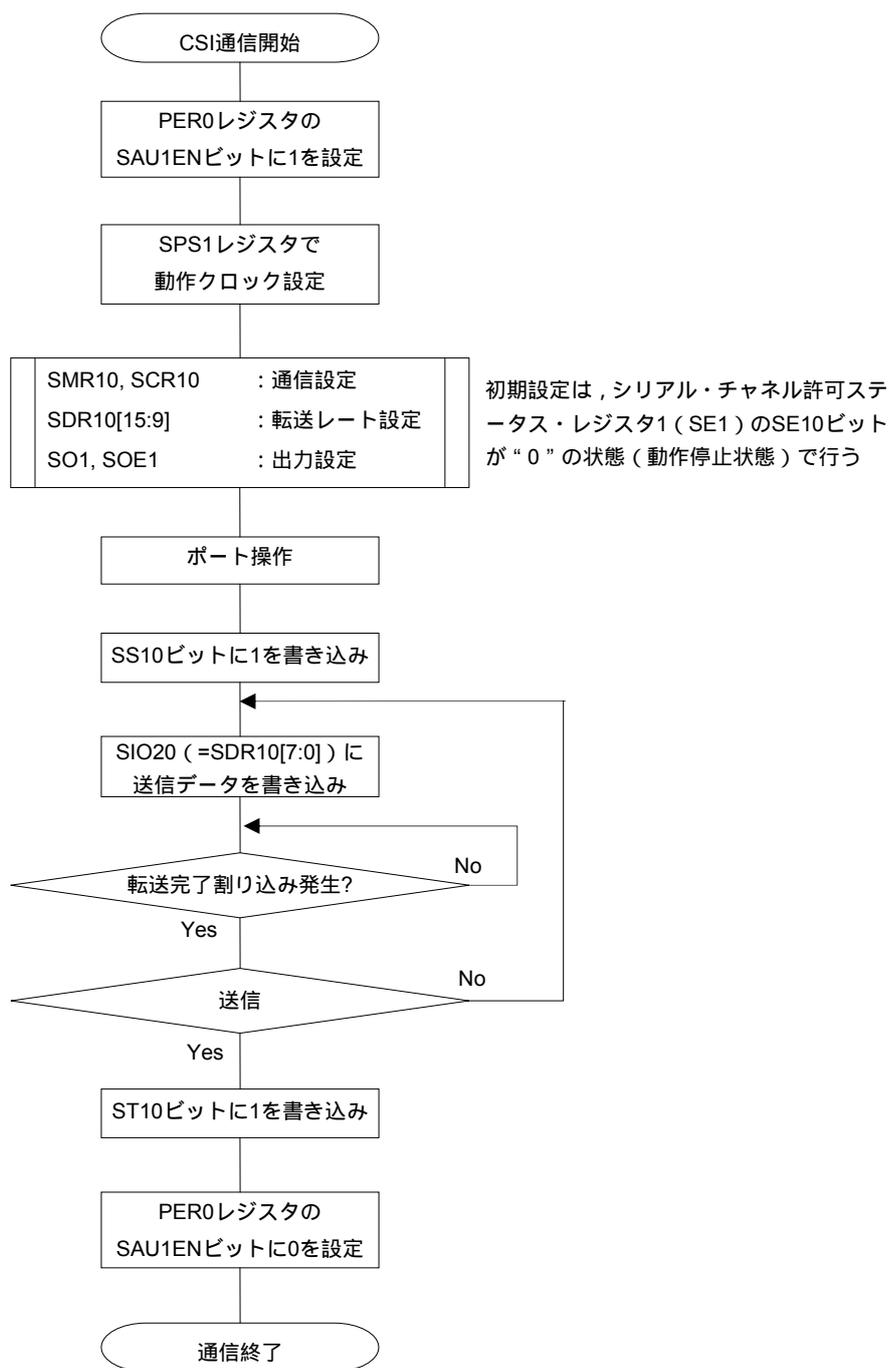


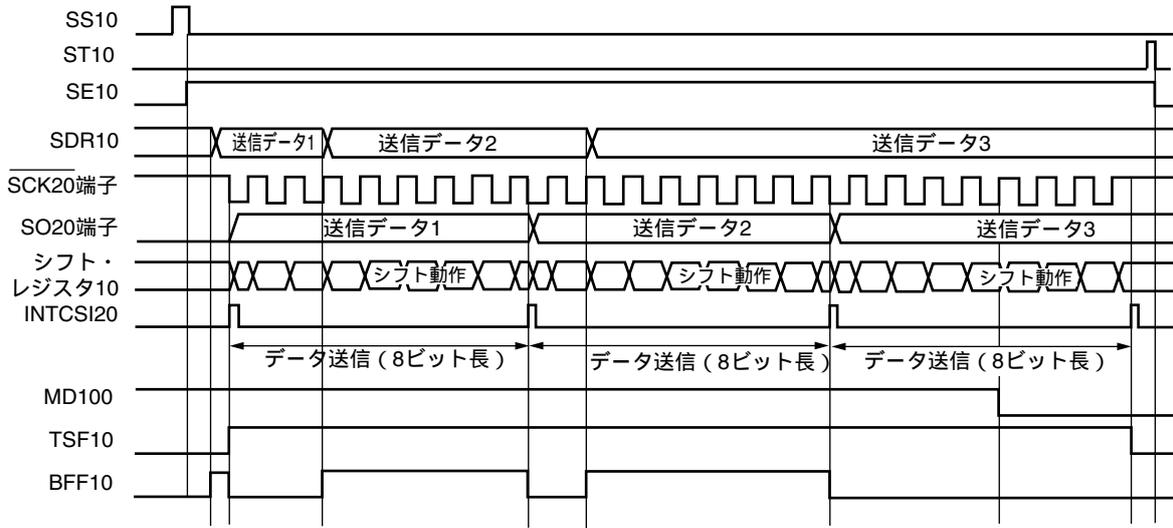
図11 - 29 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ1 (SPS1) を設定してください。

(4) 処理フロー (連続送信モード時)

図11 - 30 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)



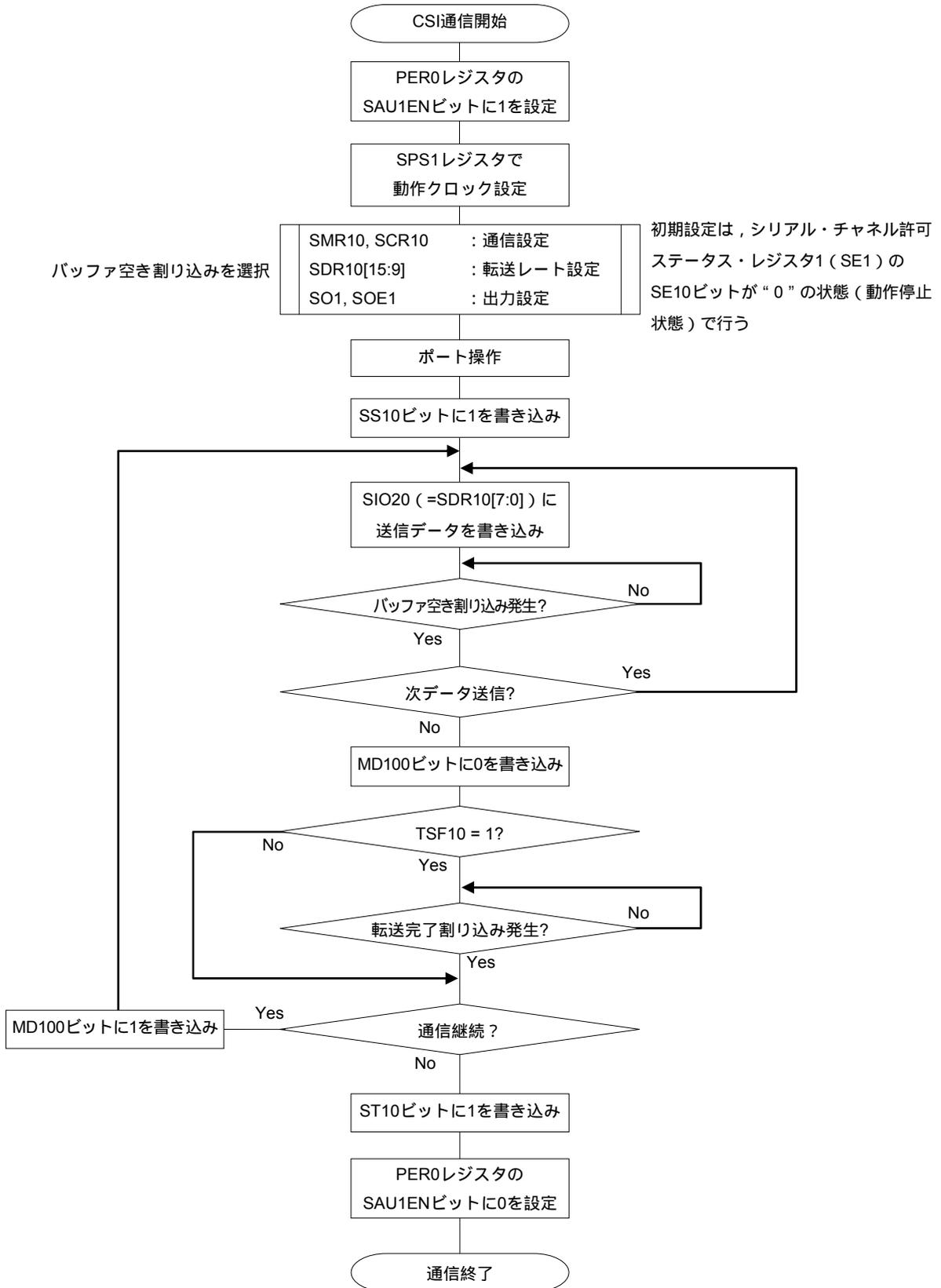
(注)

注 BFF10ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ10 (SDR10) に格納されているとき) にSDR10レジスタに送信データを書き込むと、送信データが上書きされます。

注意 MD100ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

図11 - 31 マスタ送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU1ENビットを “1” に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ1 (SPS1) を設定してください。

備考 図中の - は、図11 - 30 マスタ送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11. 5. 2 マスタ受信

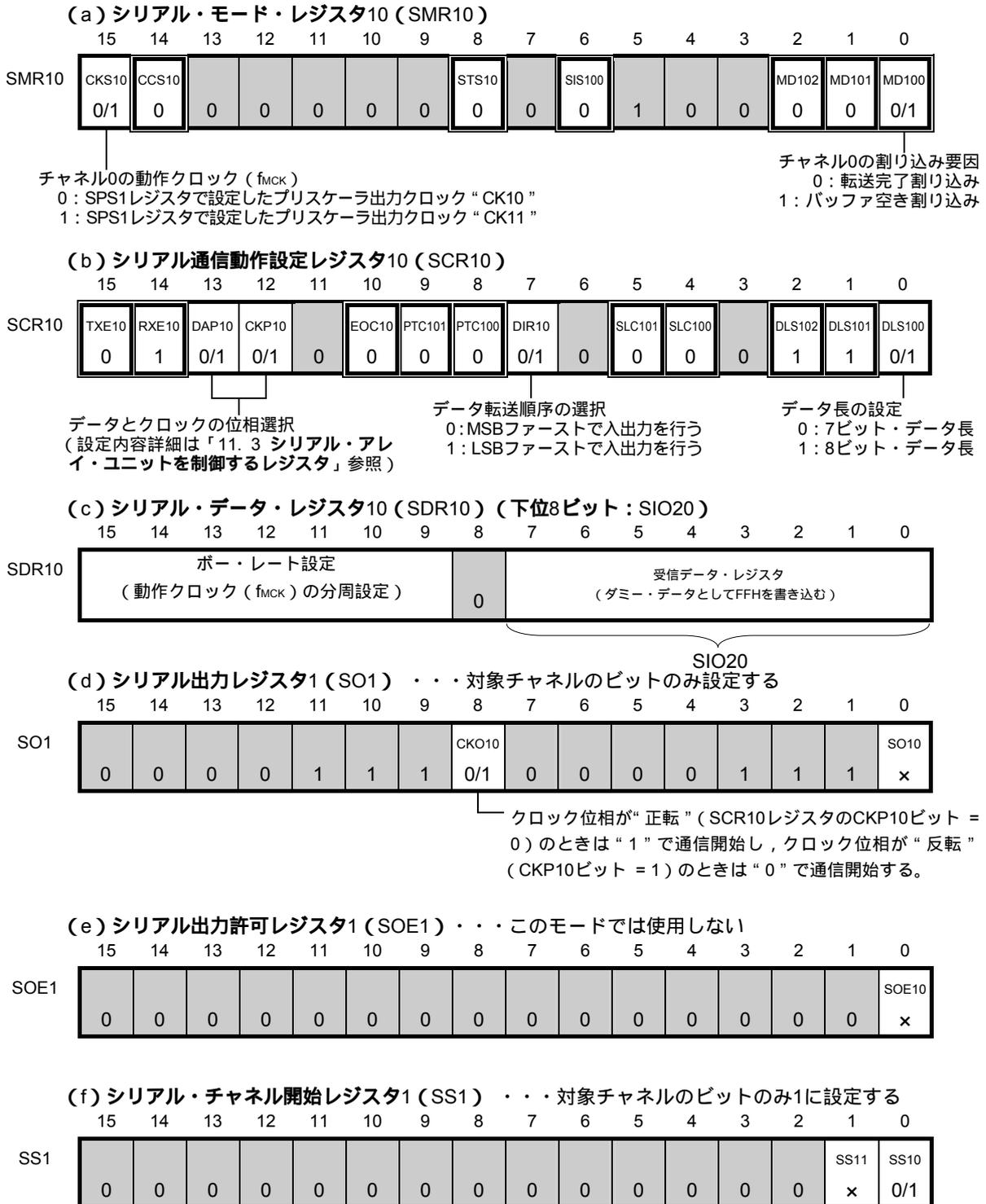
マスタ受信とは、このμ PD78F8040, 78F8041, 78F8042, 78F8043が転送クロックを出力し、μ PD78F8040, 78F8041, 78F8042, 78F8043が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	CKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

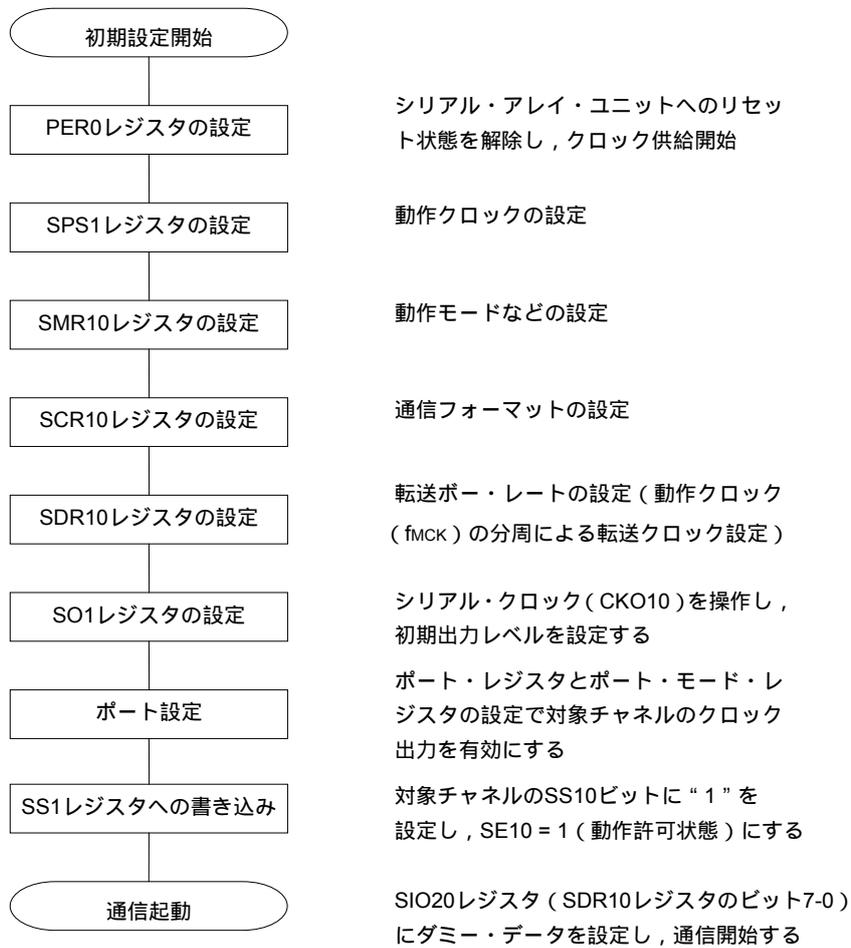
図11 - 32 3線シリアルI/O (CSI20) のマスタ受信時のレジスタ設定内容例



備考 □: CSIマスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

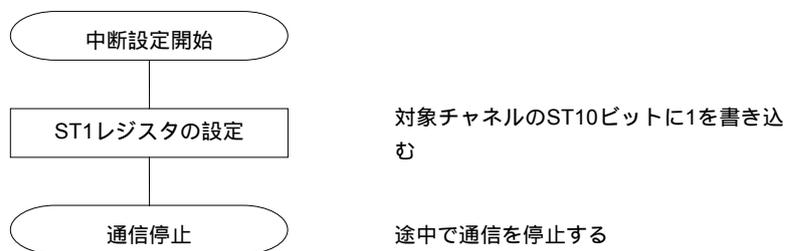
(2) 操作手順

図11 - 33 マスタ受信の初期設定手順



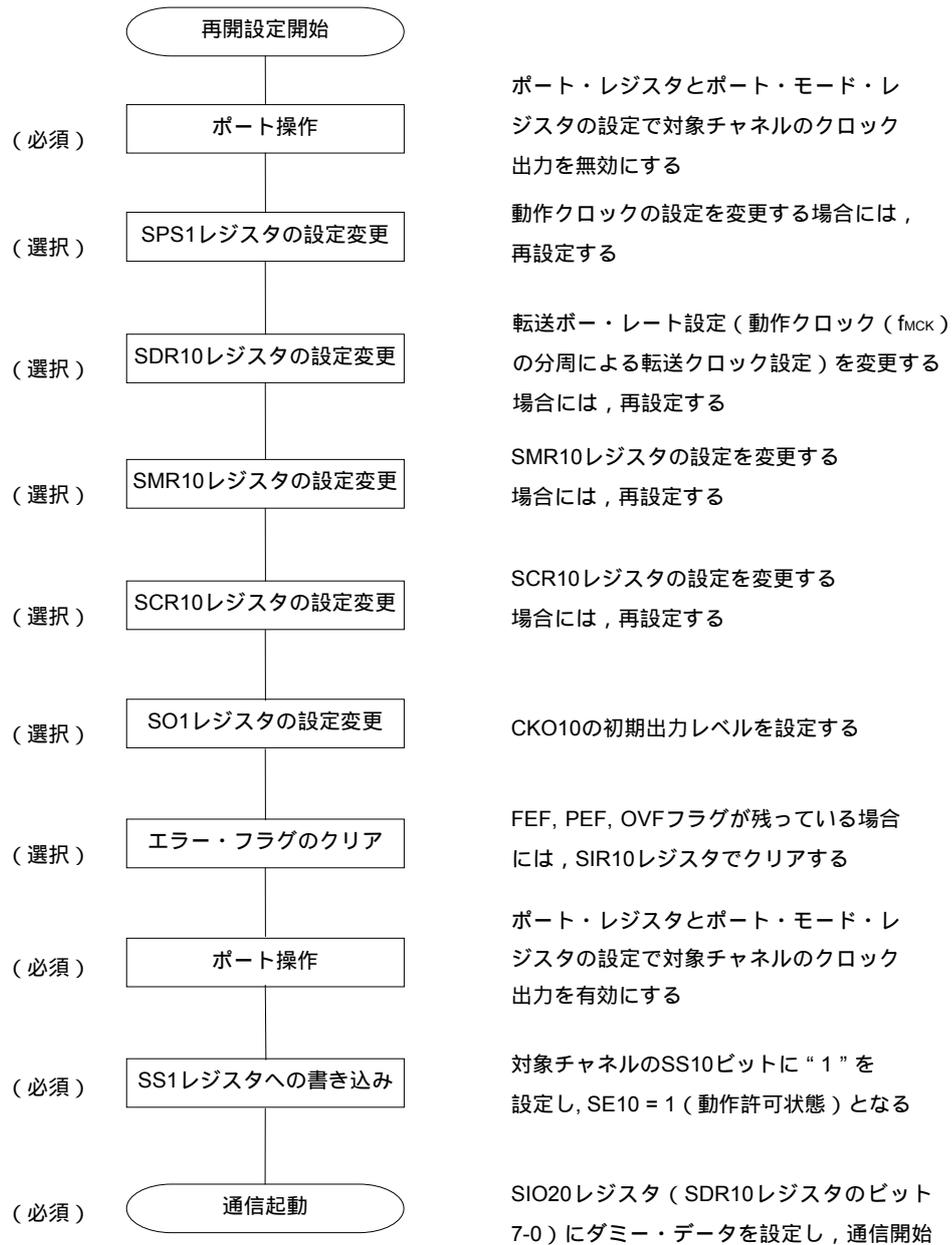
注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

図11 - 34 マスタ受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください（図11 - 35 マスタ受信の再開設定手順参照）。

図11 - 35 マスタ受信の再開設定手順



(3) 処理フロー (シングル受信モード時)

図11 - 36 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

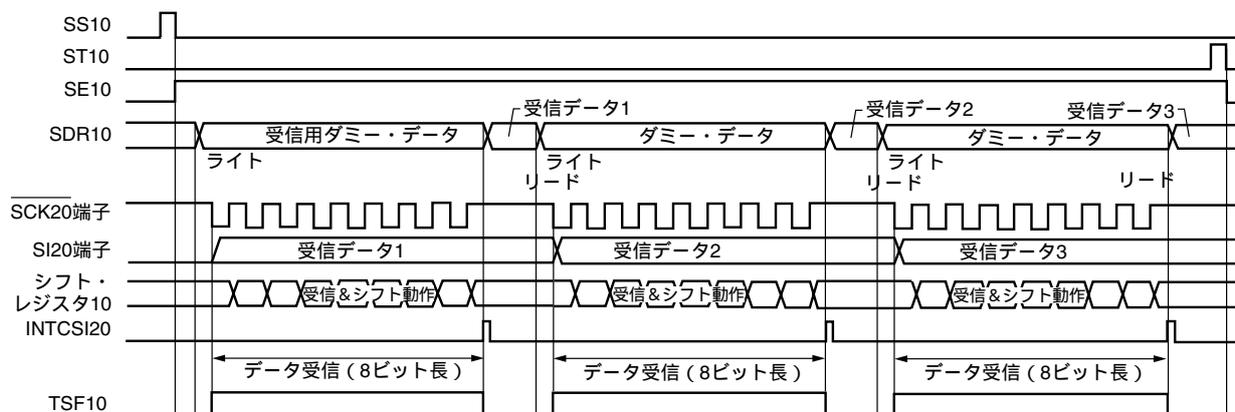
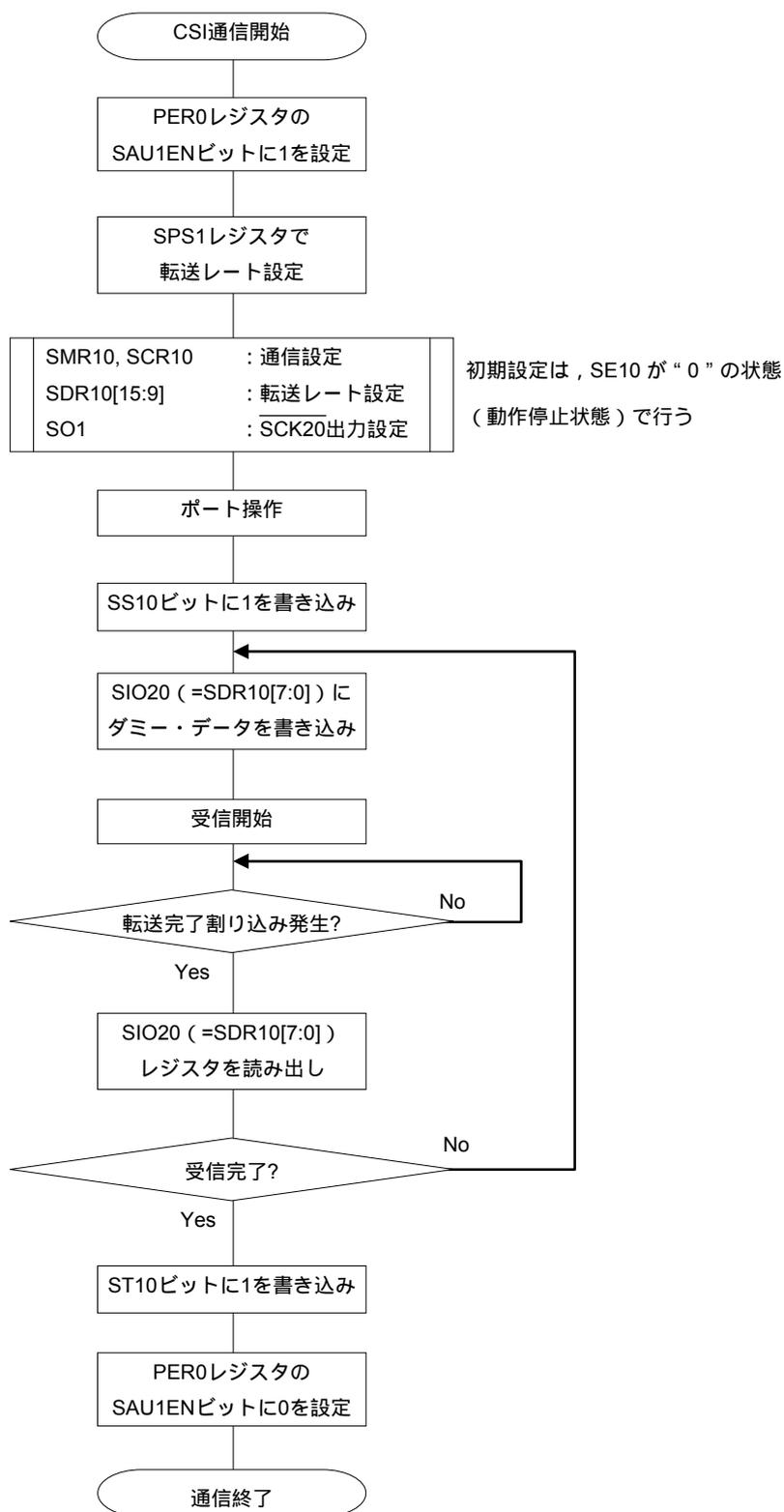


図11 - 37 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 PER0のSAU1ENビットを “ 1 ” に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1を設定してください。

(4) 処理フロー（連続受信モード時）

図11 - 38 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAP10 = 0, CKP10 = 0）

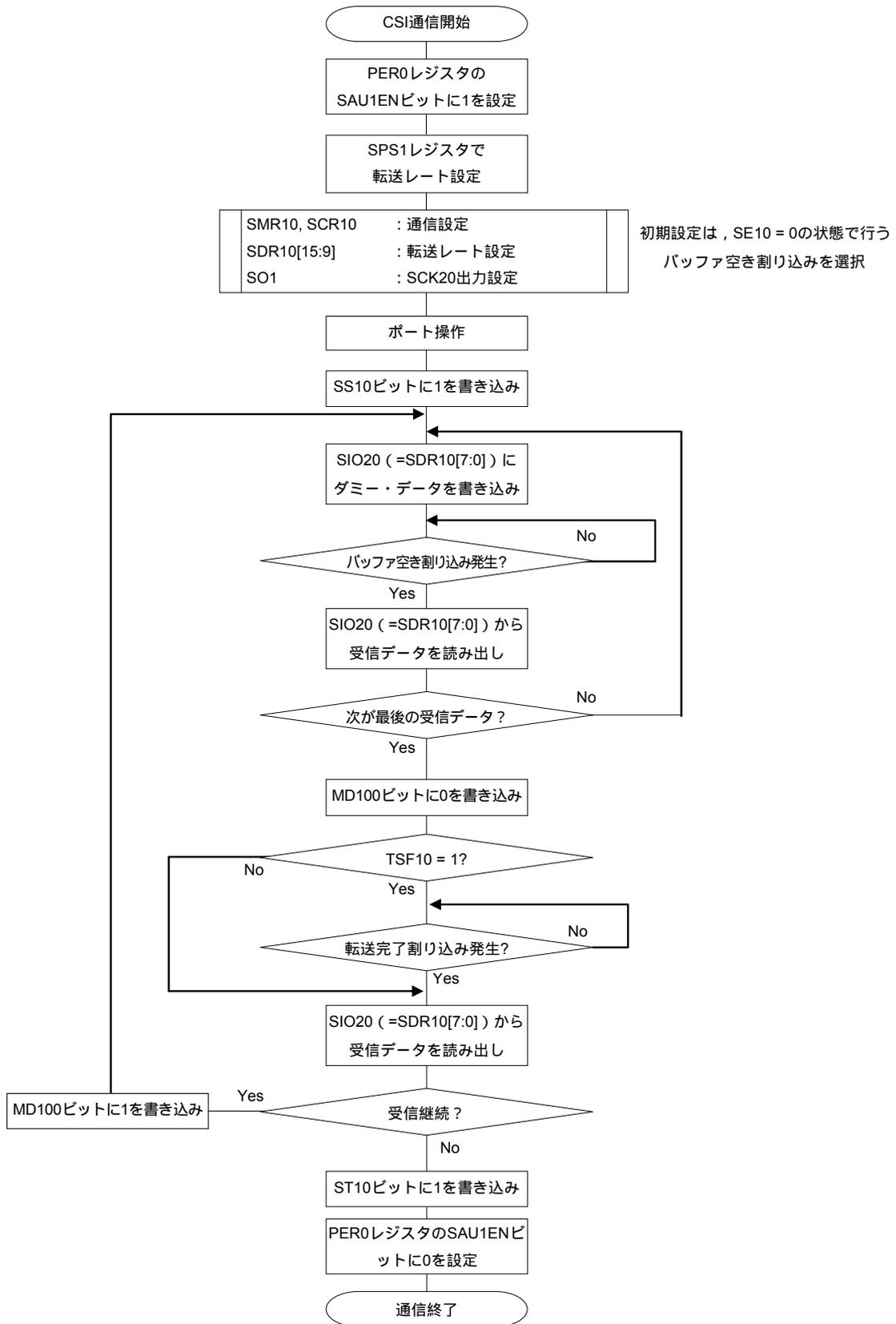


注意 MD100ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考 図中の ~ は、図11 - 39 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

図11 - 39 マスタ受信 (連続受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、Aクロック以上間隔をあけてからSPS1レジスタを設定してください。

備考 図中の ~ は、図11 - 38 マスタ受信 (連続受信モード時) のタイミング・チャートの ~ に対応しています。

11.5.3 マスタ送受信

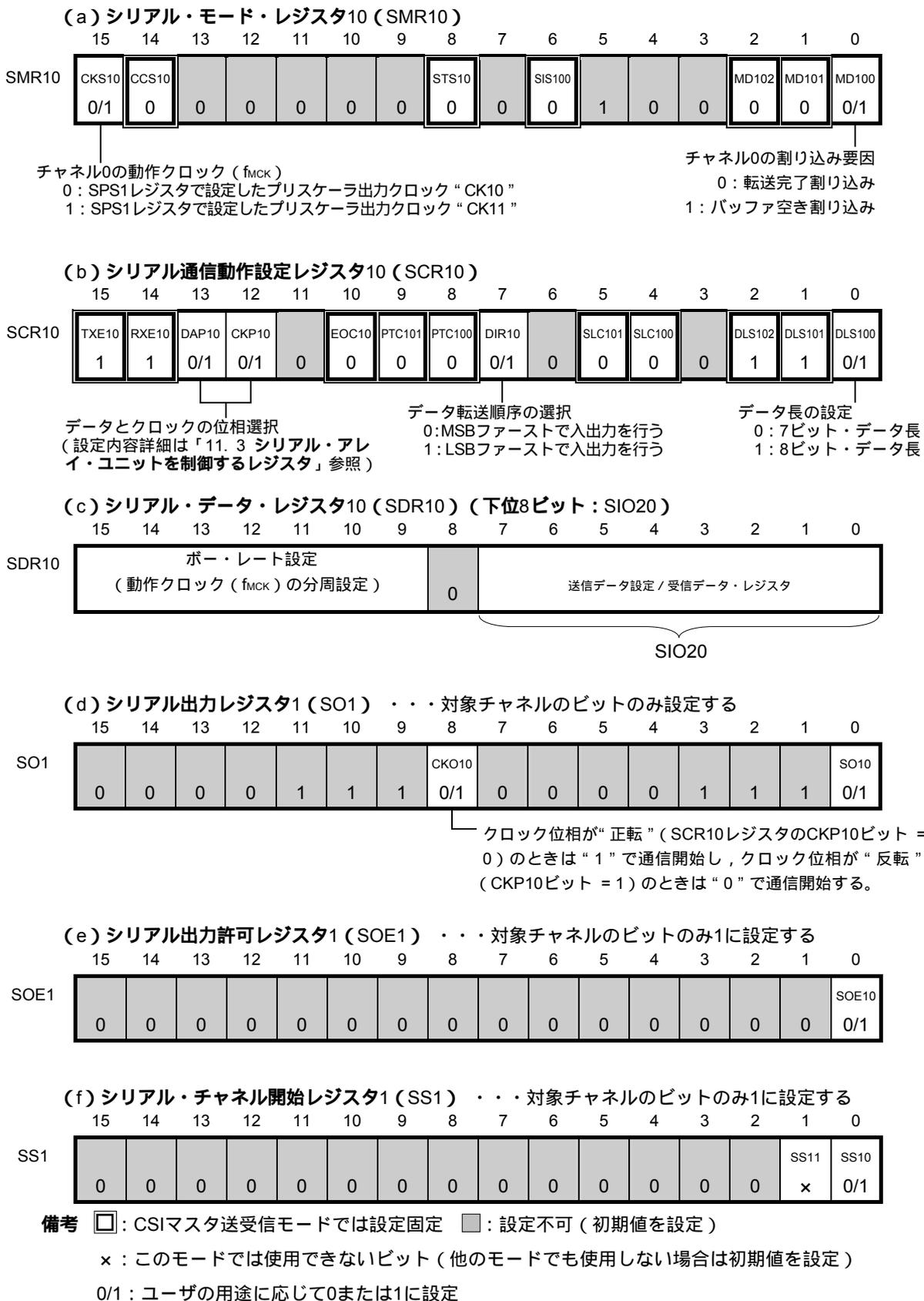
マスタ送受信とは、このμPD78F8040, 78F8041, 78F8042, 78F8043が転送クロックを出力し、μPD78F8040, 78F8041, 78F8042, 78F8043と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	CKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

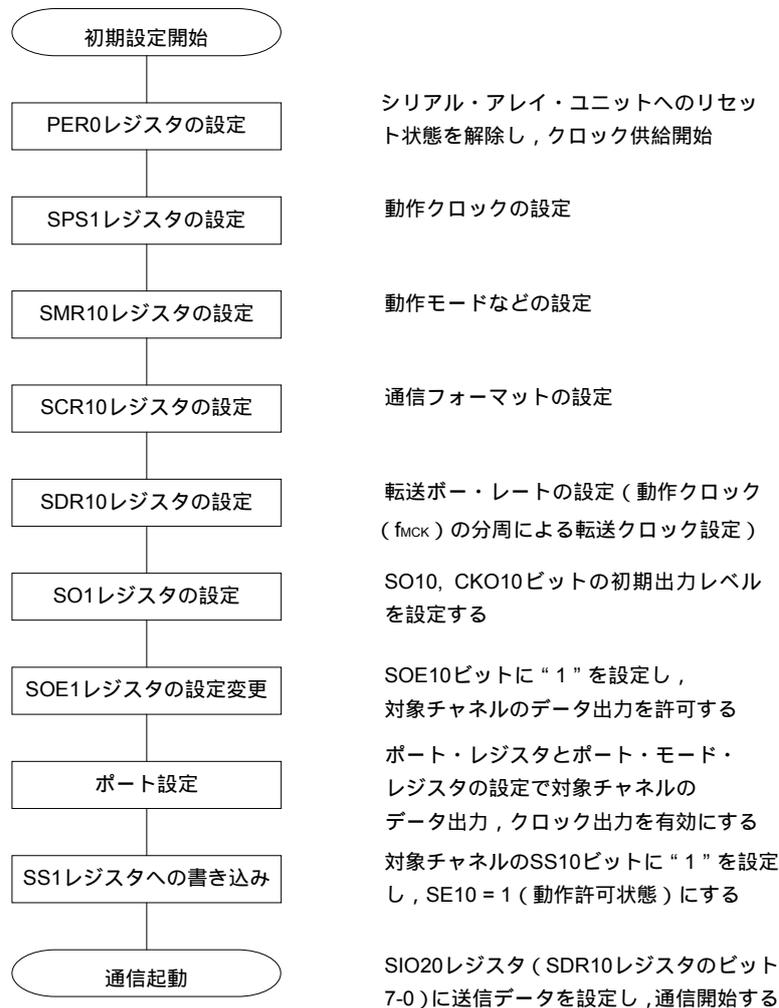
(1) レジスタ設定

図11 - 40 3線シリアルI/O (CSI20) のマスタ送受信時のレジスタ設定内容例



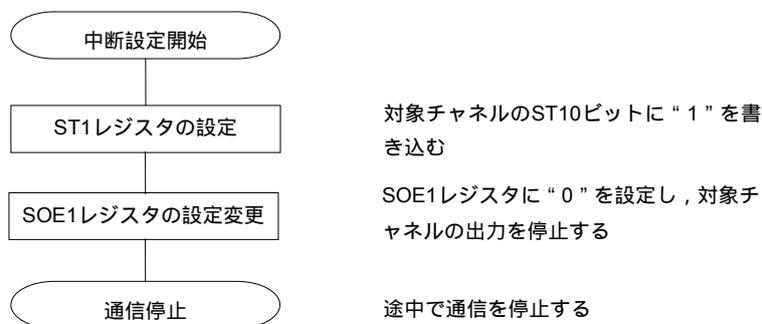
(2) 操作手順

図11 - 41 マスタ送受信の初期設定手順



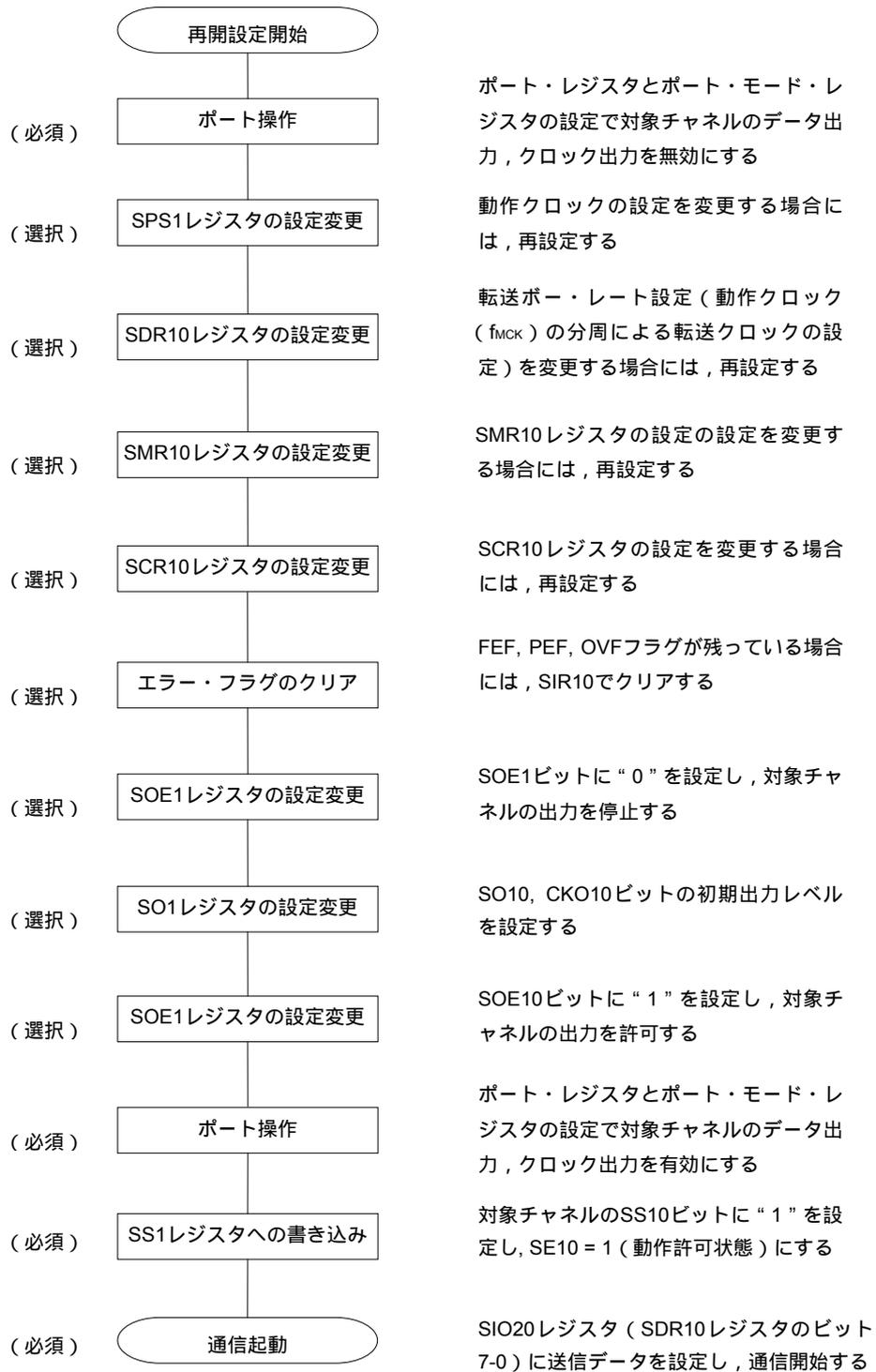
注意 PER0のSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1を設定してください。

図11 - 42 マスタ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください(図 11 - 43 マスタ送受信の再開設定手順参照)。

図11 - 43 マスタ送受信の再開設定手順



(3) 処理フロー (シングル送受信モード時)

図11 - 44 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

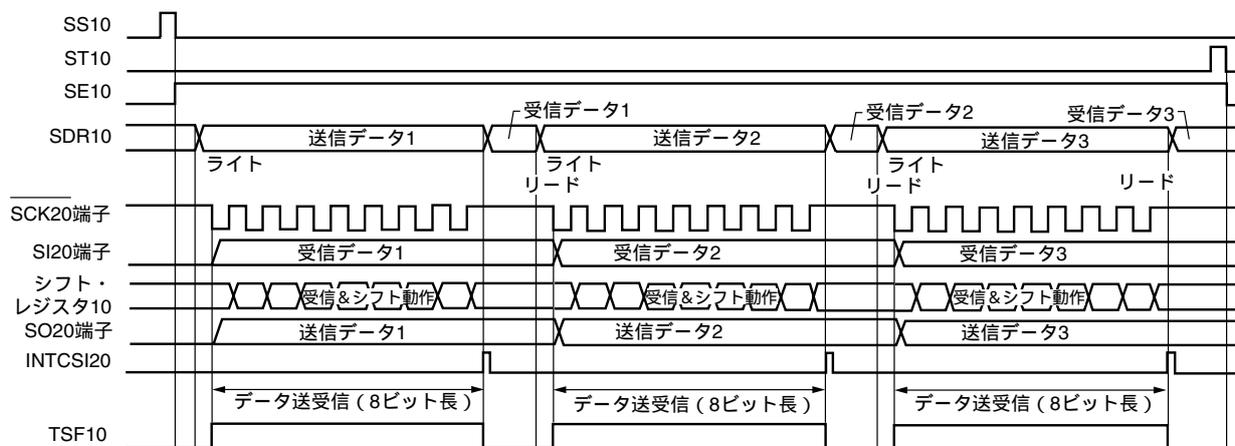
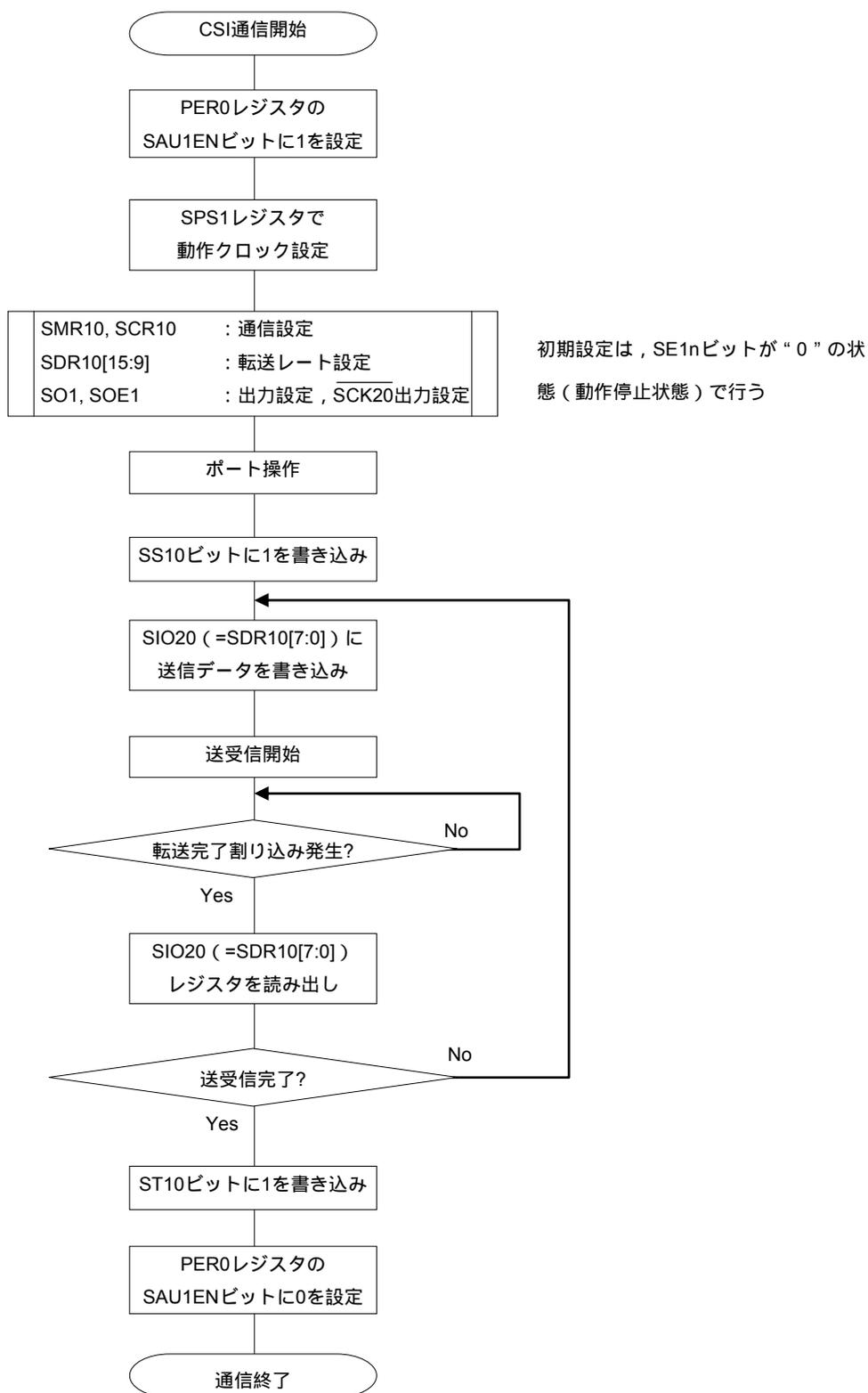


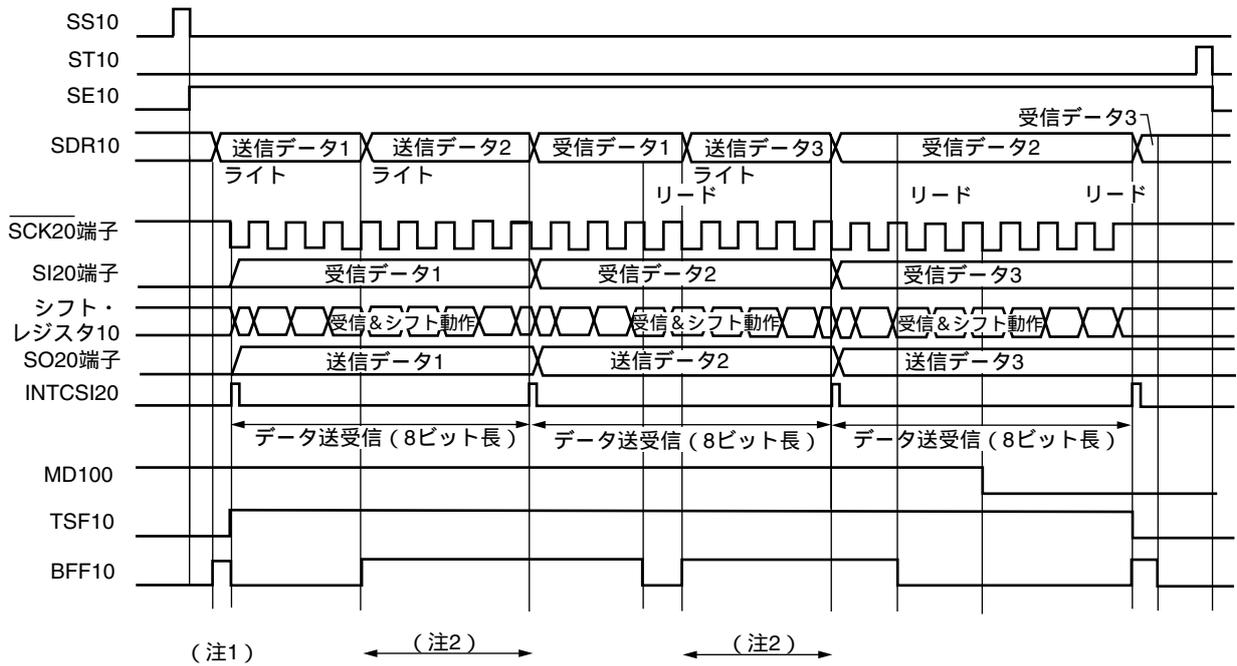
図11 - 45 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

図11 - 46 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1 : DAP10 = 0, CKP10 = 0）

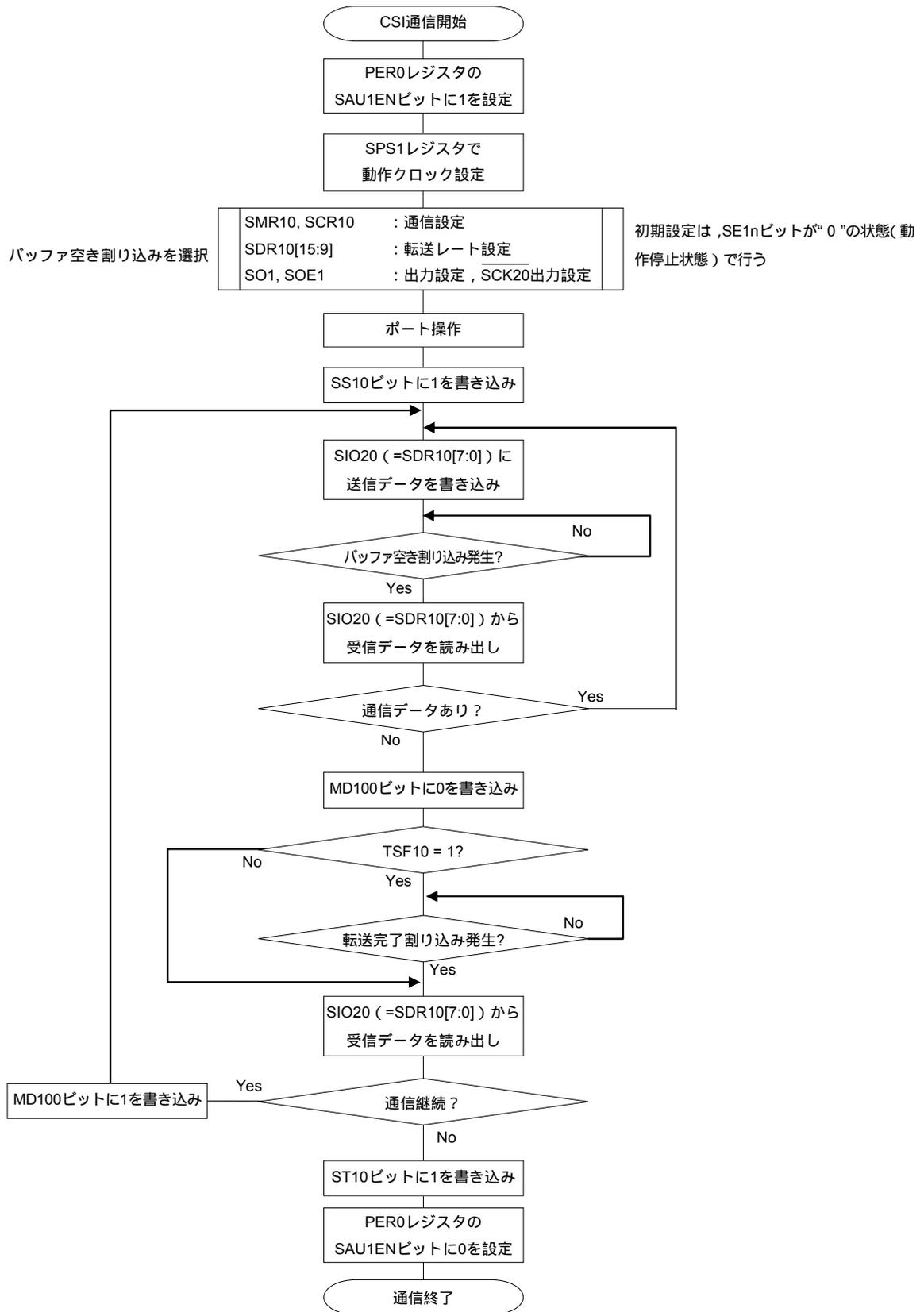


- 注1. BFF10 ビットが “ 1 ” の期間（有効なデータがSDR10レジスタに格納されている時）にSDR10レジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDR10レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 MD100ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 図中の - は、図11 - 47 マスタ送受信（連続送受信モード時）のフロー・チャートの - に対応しています。

図11 - 47 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

備考 図中の - は、図11 - 46 マスタ送受信（連続送受信モード時）のタイミング・チャートの - に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、μ PD78F8040, 78F8041, 78F8042, 78F8043から他デバイスへデータを送信する動作です。

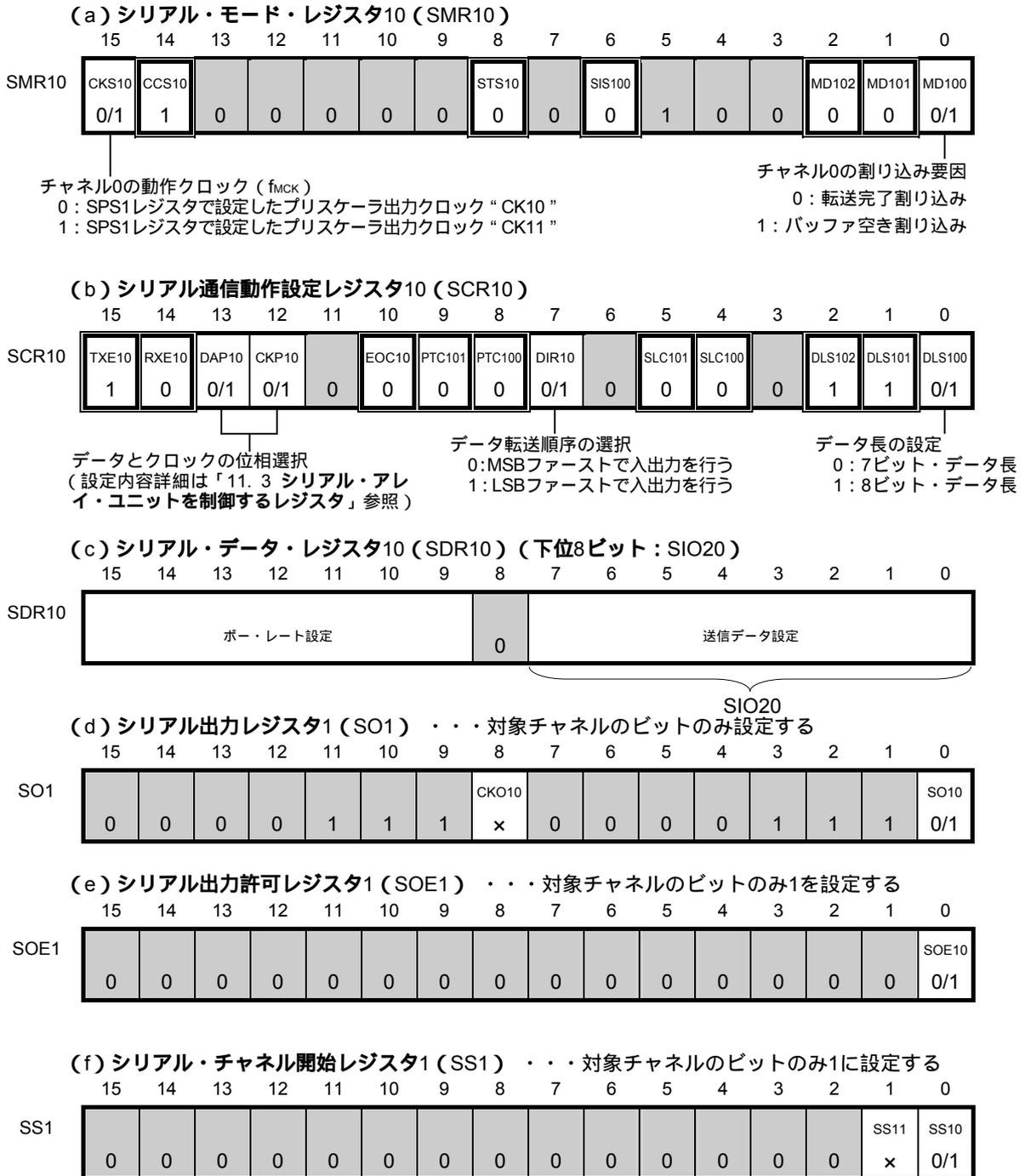
3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	DAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	CKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

- 注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。
2. この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

(1) レジスタ設定

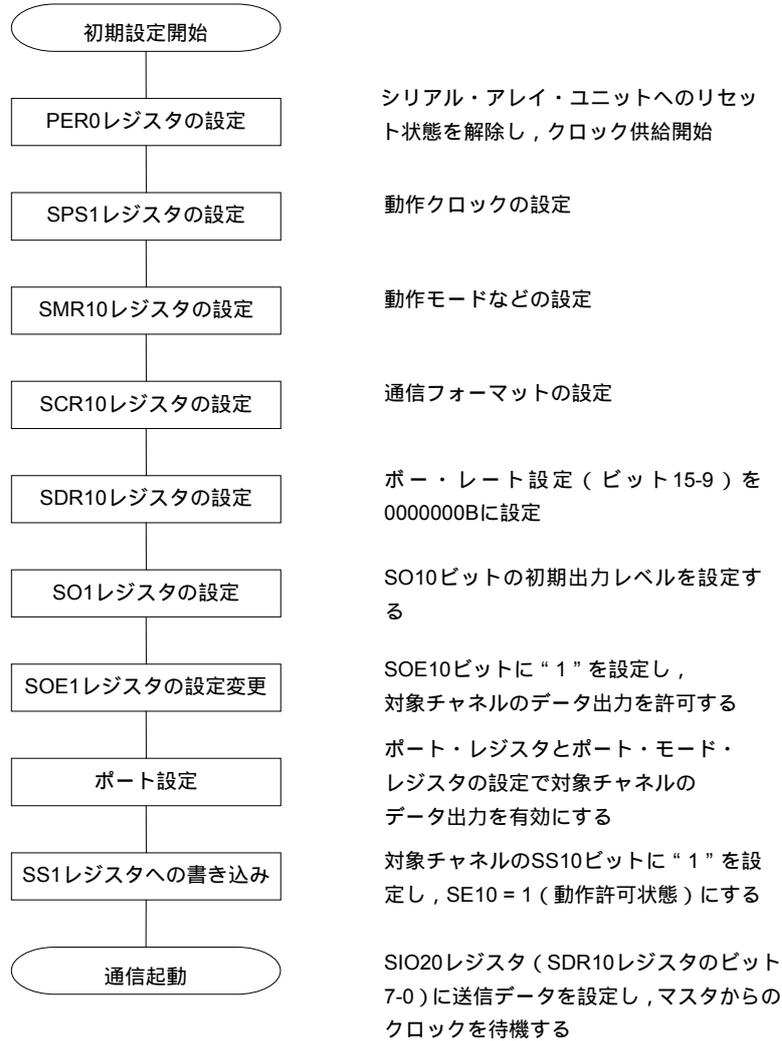
図11 - 48 3線シリアルI/O (CSI20) のスレーブ送信時のレジスタ設定内容例



備考 □: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

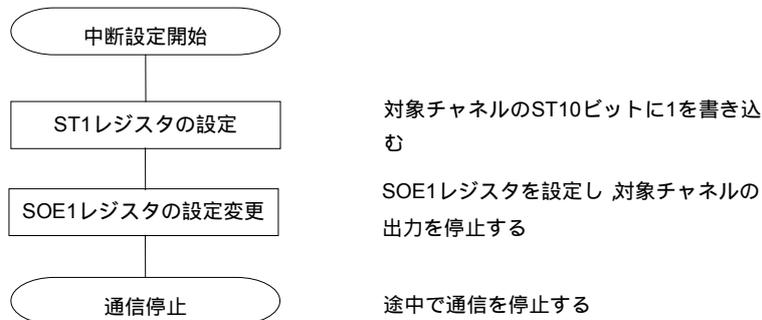
(2) 操作手順

図11 - 49 スレーブ送信の初期設定手順



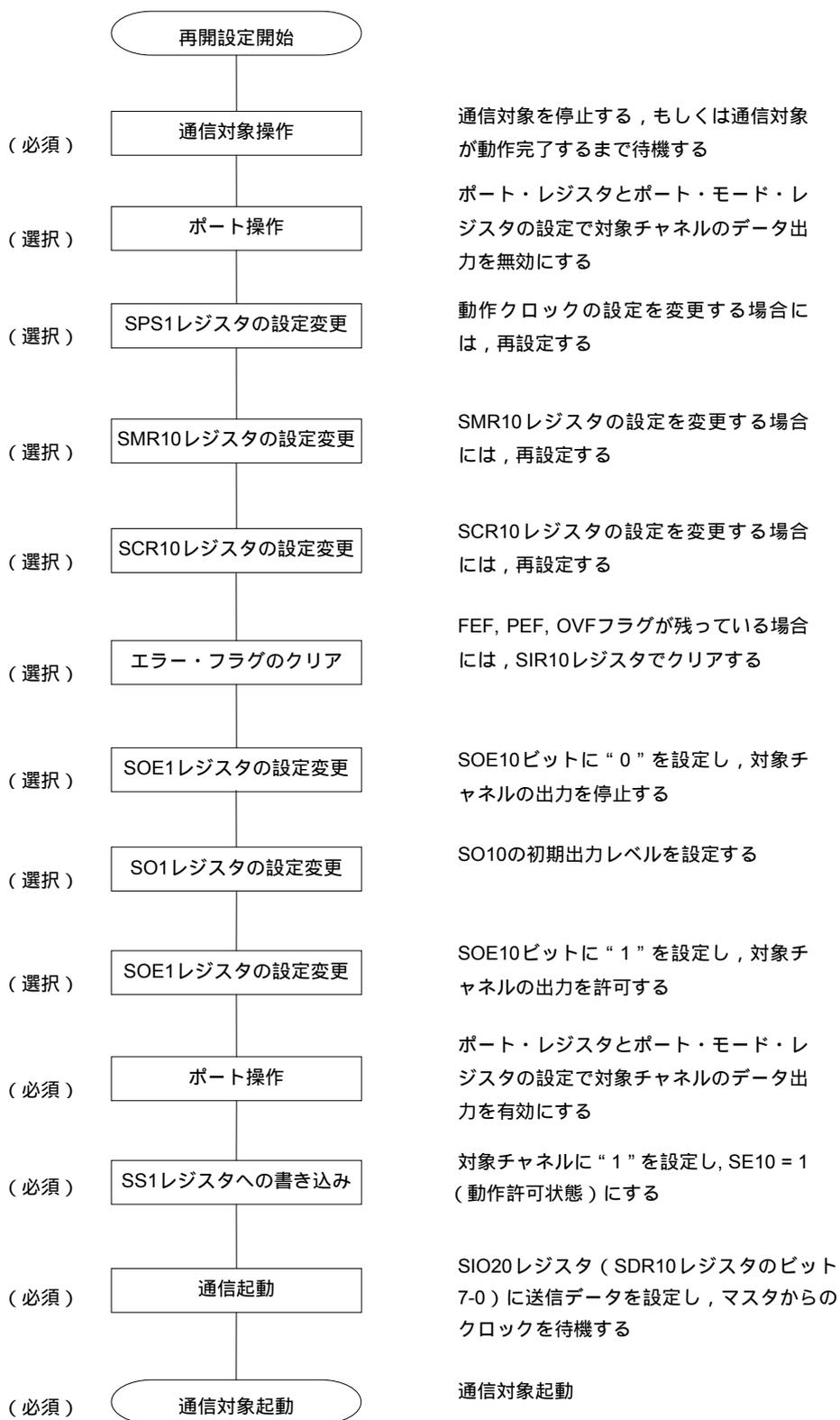
注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

図11 - 50 スレーブ送信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください（図11 - 51 スレーブ送信の再開設定手順参照）。

図11 - 51 スレーブ送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

図11 - 52 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

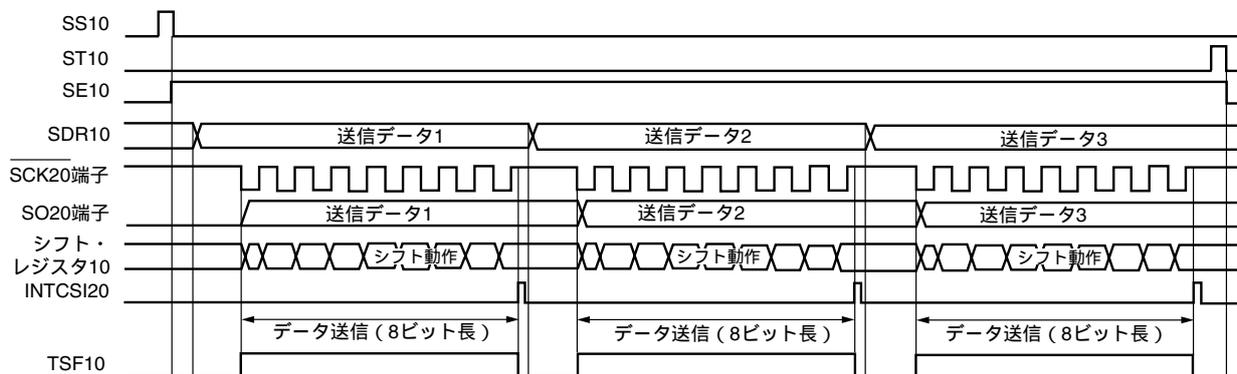
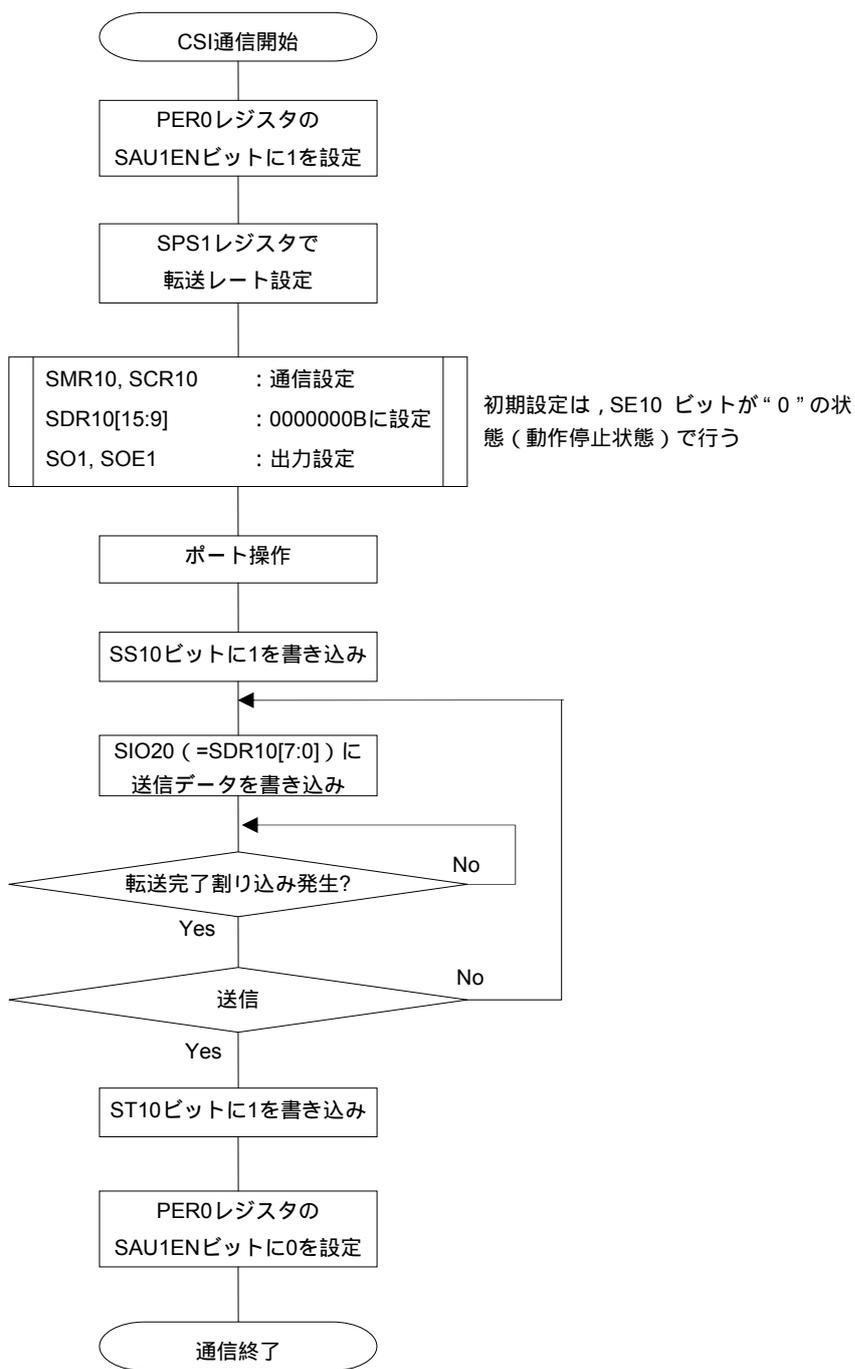


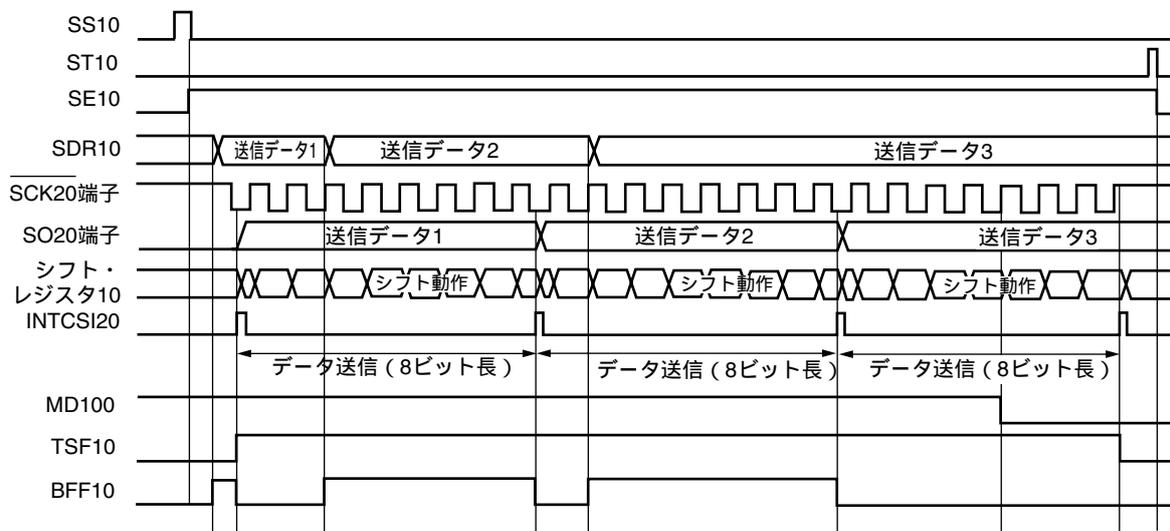
図11 - 53 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

(4) 処理フロー (連続送信モード時)

図11-54 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1: DAP10 = 0, CKP10 = 0)

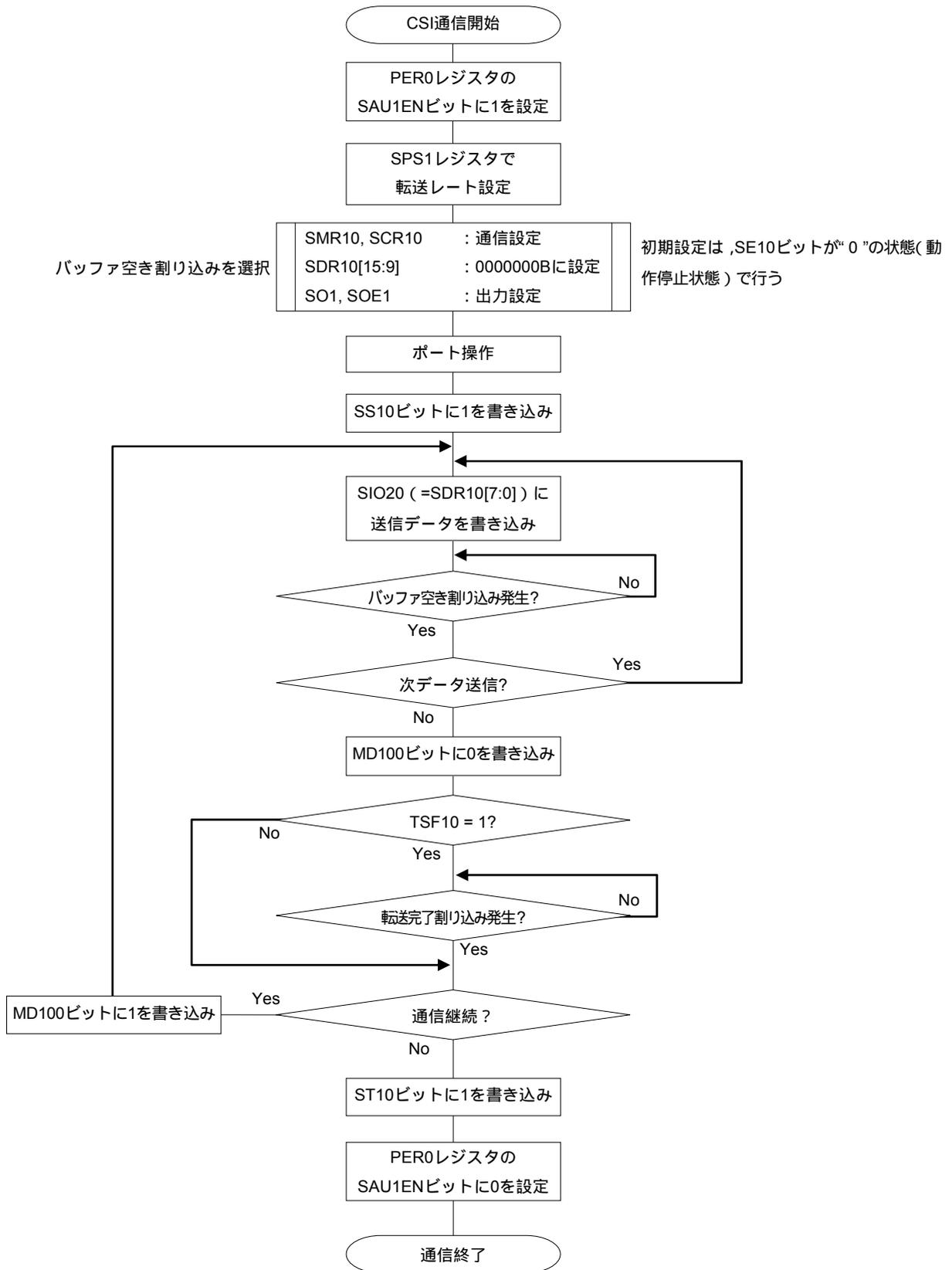


(注)

注 BFF10ビットが“1”の期間 (有効なデータがSDR10レジスタに格納されているとき) にSDR10レジスタに送信データを書き込むと, 送信データが上書きされます。

注意 MD100ビットは, 動作中でも書き換えることができます。ただし, 最終ビットの転送開始前までに書き換えてください。

図11 - 55 スレーブ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

備考 図中の - は、図11 - 54 スレーブ送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、μ PD78F8040, 78F8041, 78F8042, 78F8043が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20
割り込み	INTCSI20 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	DAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	CKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

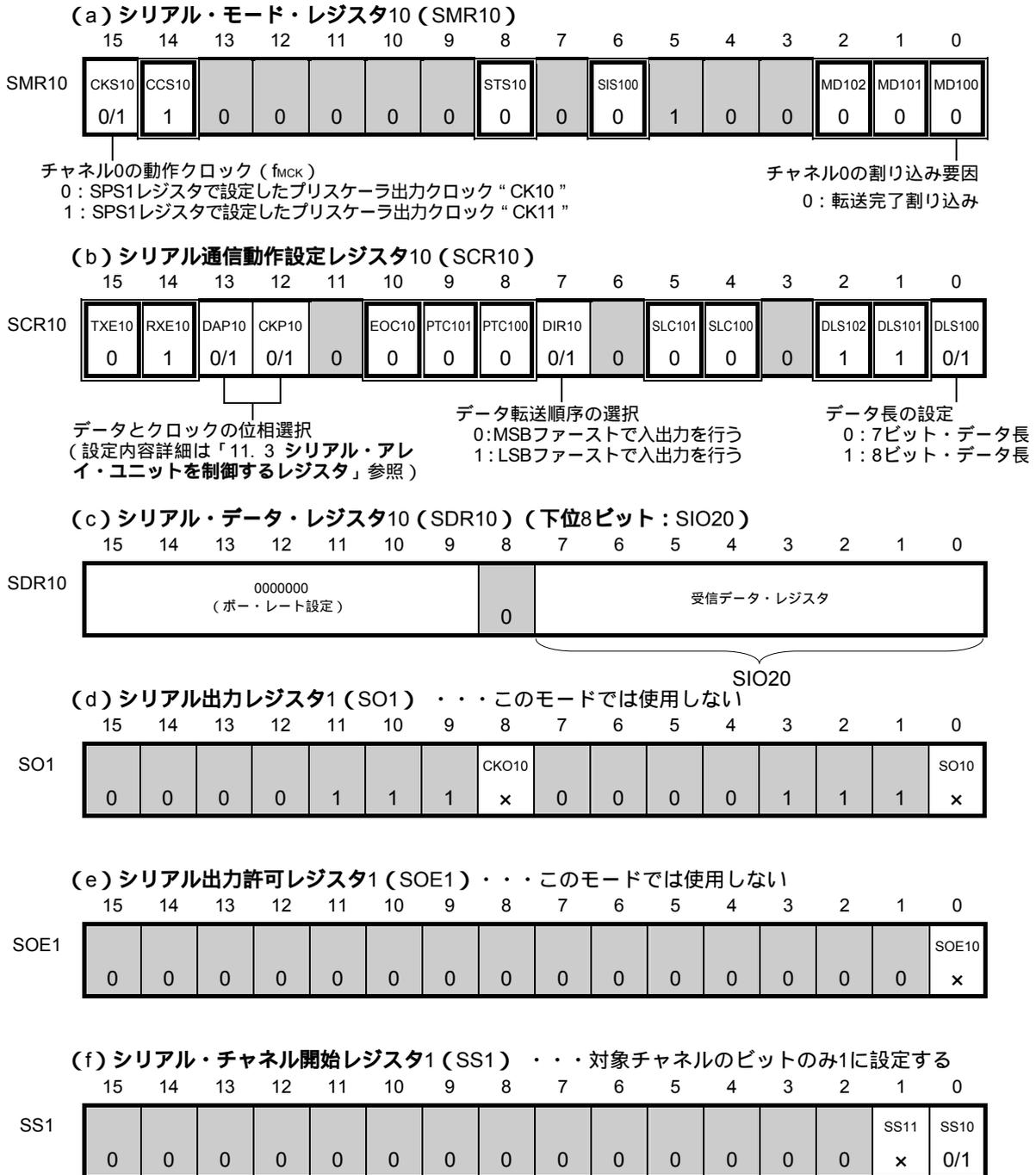
注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

- この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

(1) レジスタ設定

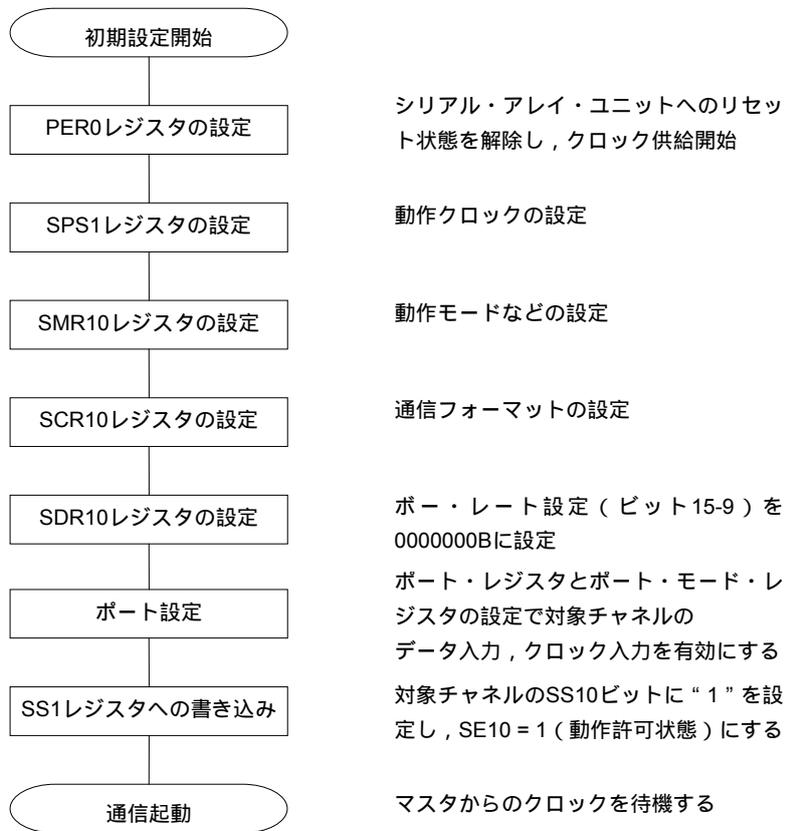
図11 - 56 3線シリアルI/O (CSI20) のスレーブ受信時のレジスタ設定内容例



備考 □: CSIスレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 57 スレーブ受信の初期設定手順



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

図11 - 58 スレーブ受信の中断手順

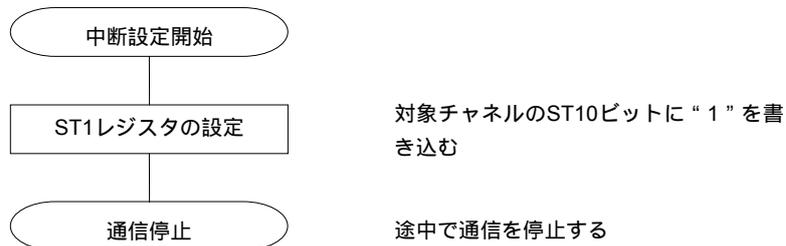
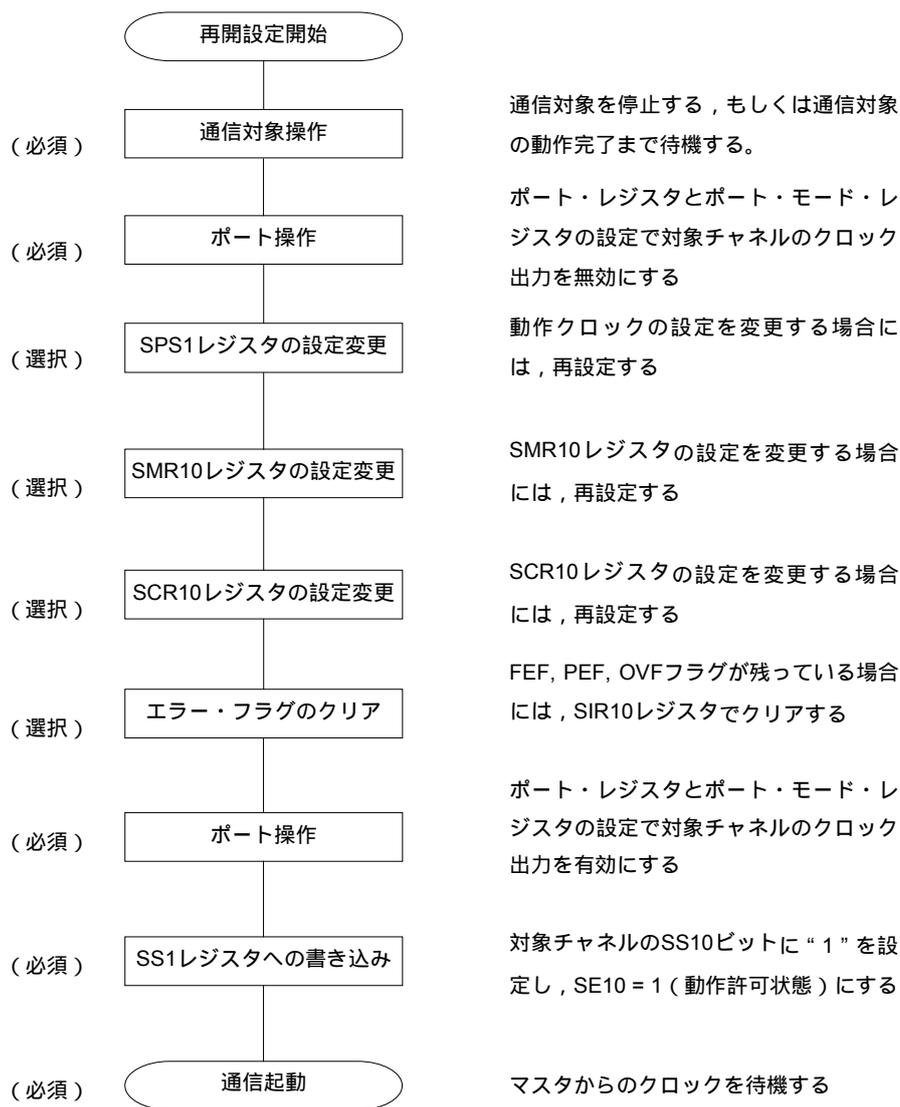


図11 - 59 スレーブ受信の再開設定手順



(3) 処理フロー (シングル受信モード時)

図11 - 60 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

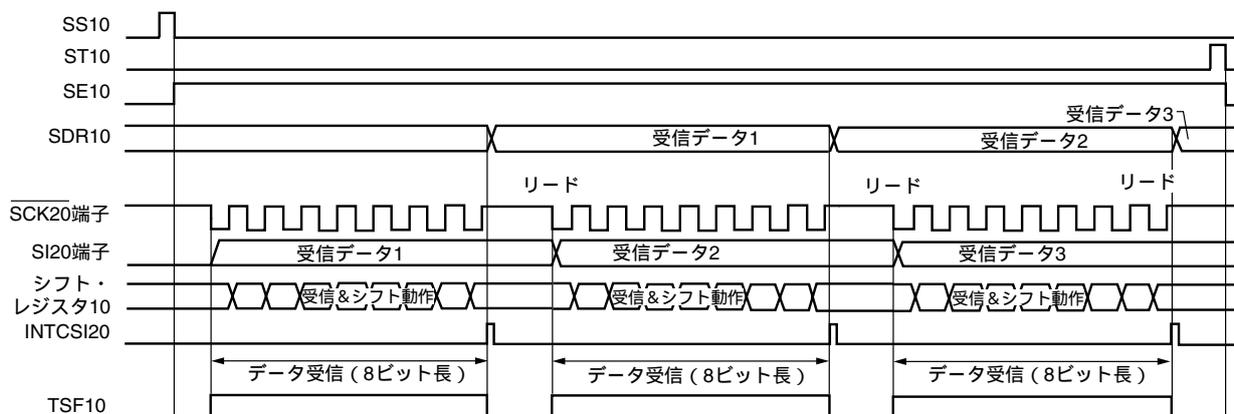
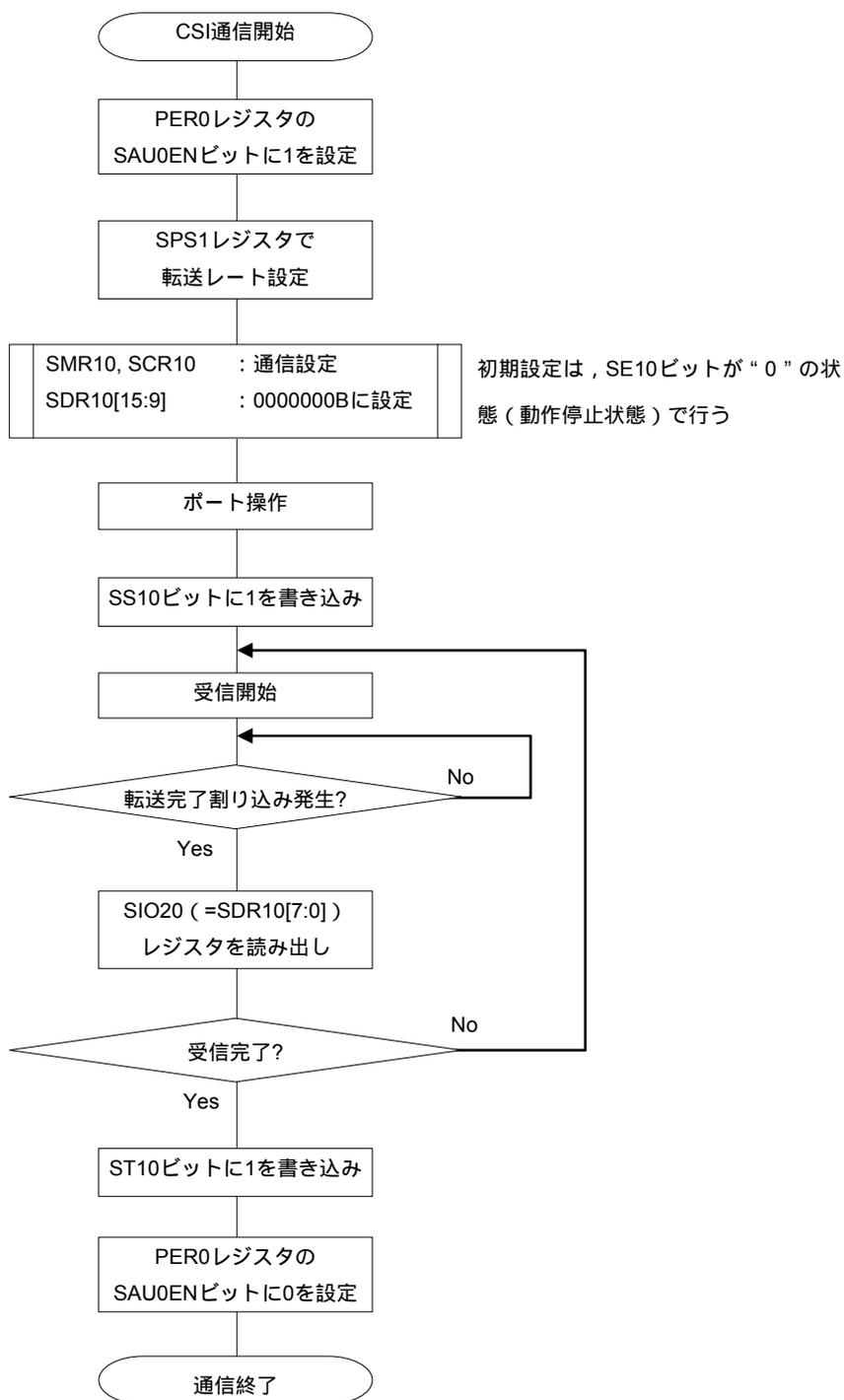


図11 - 61 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1を設定してください。

11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、μPD78F8040, 78F8041, 78F8042, 78F8043と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	DAP10ビットにより選択可能 ・ DAP10 = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP10 = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	CKP10ビットにより選択可能 ・ CKP10 = 0の場合：正転 ・ CKP10 = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

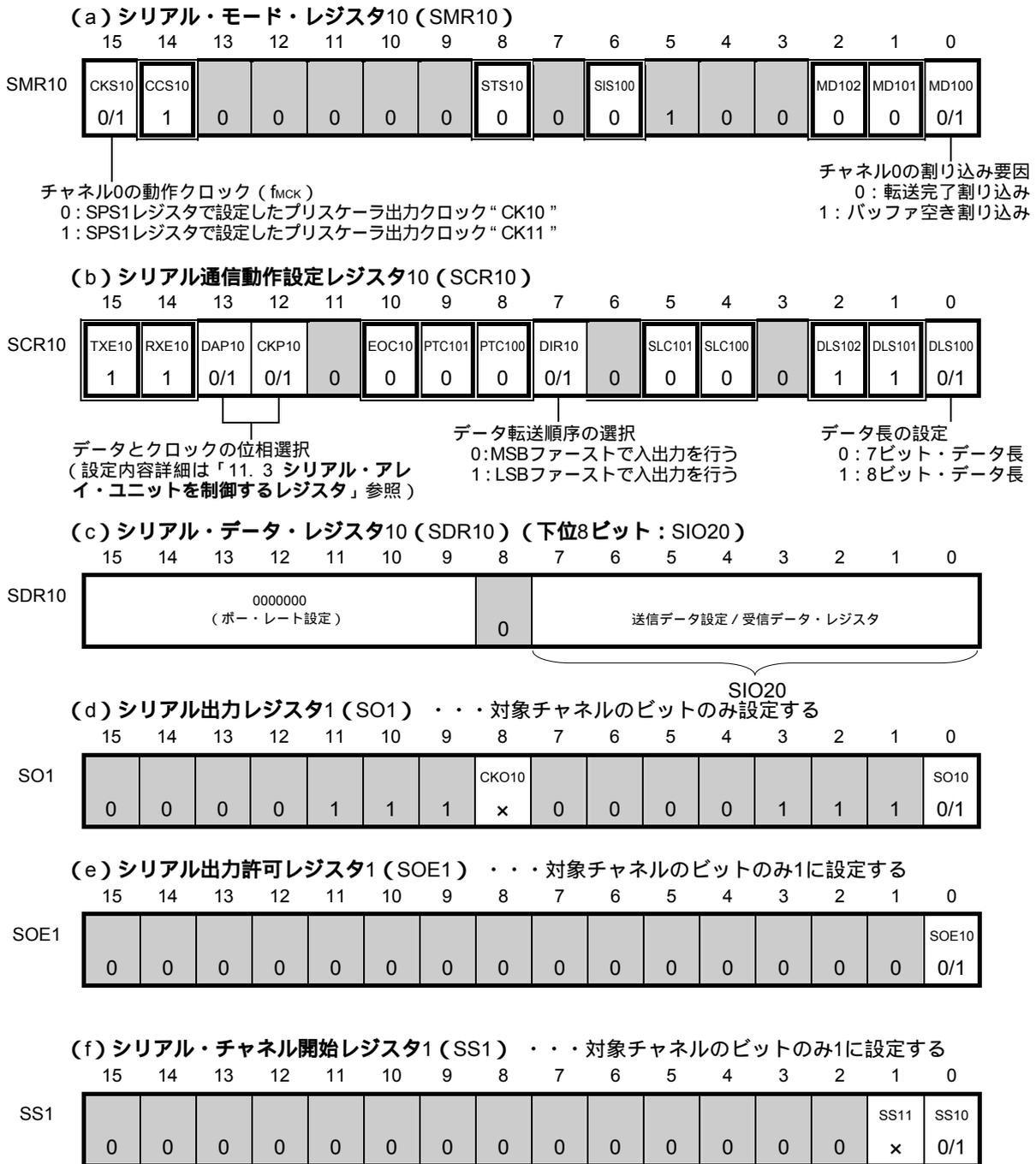
注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

- この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

(1) レジスタ設定

図11 - 62 3線シリアル/O (CSI20) のスレーブ送受信時のレジスタ設定内容例

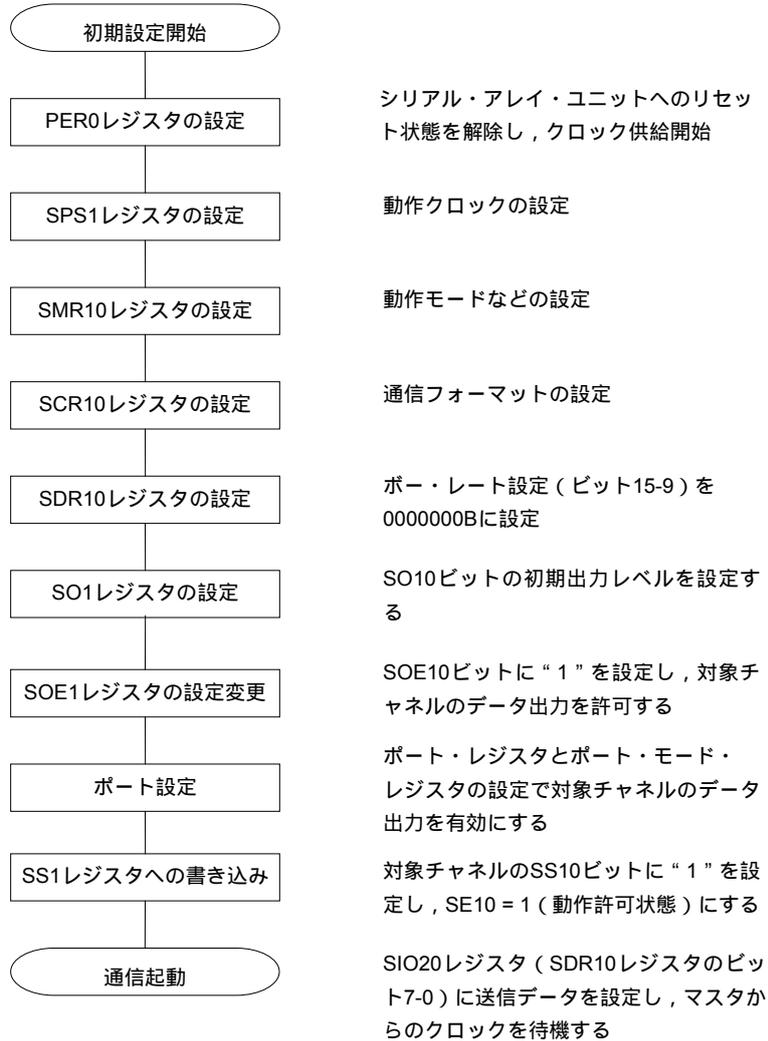


注意 マスタからのクロックが開始される前に、必ず送信データをSIO20レジスタへ設定してください。

備考 □: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

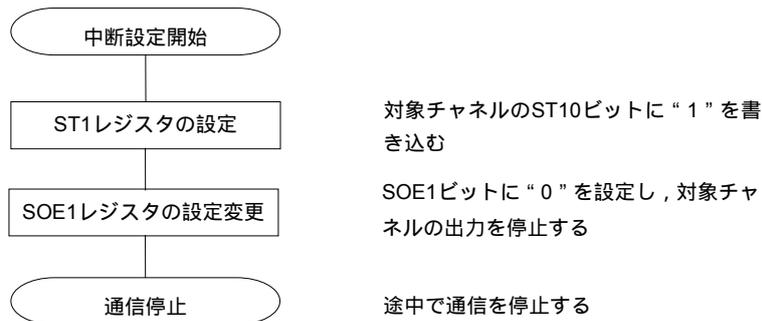
(2) 操作手順

図11 - 63 スレーブ送受信の初期設定手順



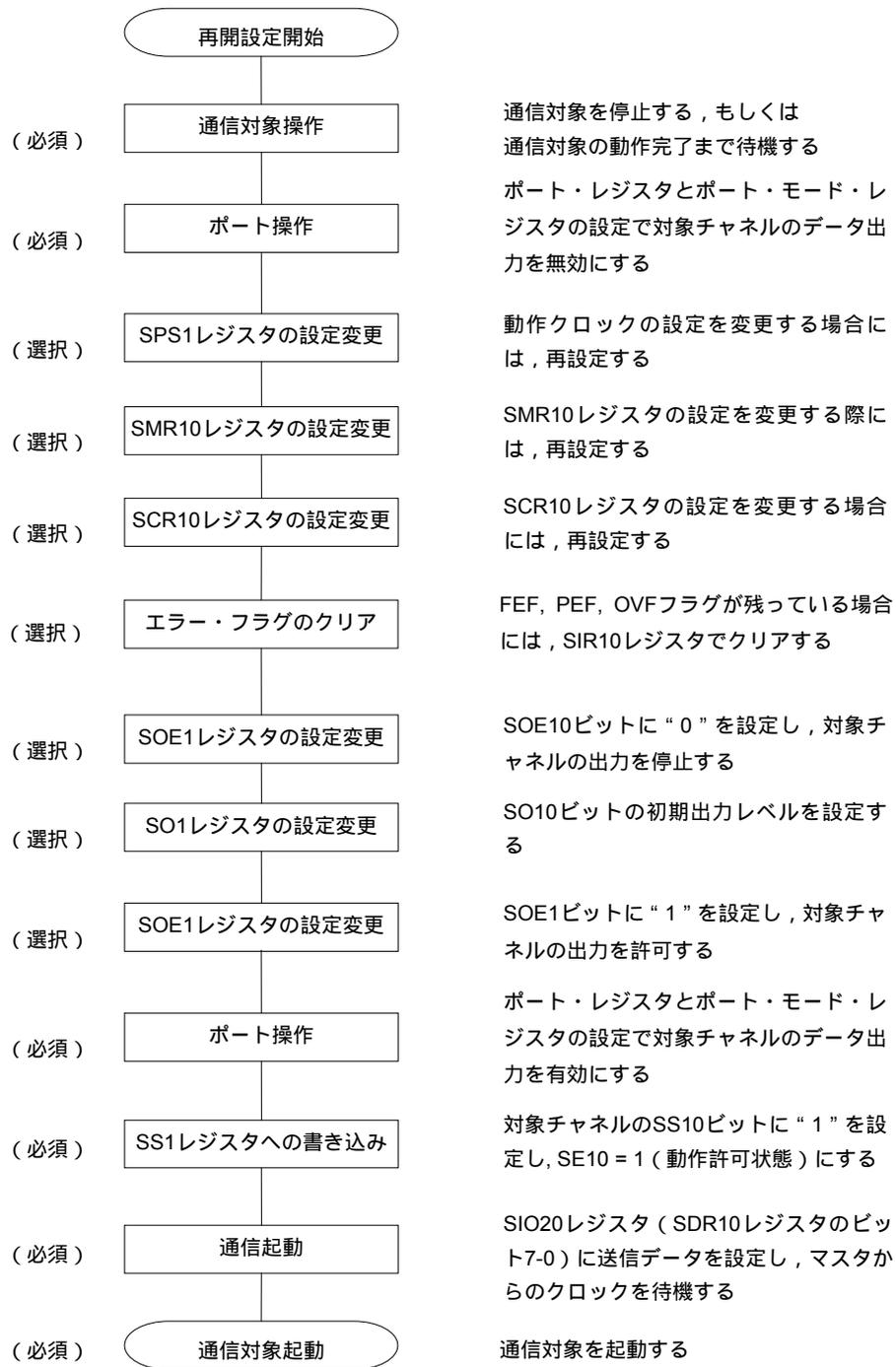
- 注意1. PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSIO20レジスタへ設定してください。

図11 - 64 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください（図11 - 65 スレーブ送受信の再開設定手順参照）。

図11 - 65 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIO20レジスタへ設定してください。

(3) 処理フロー (シングル送受信モード時)

図11 - 66 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

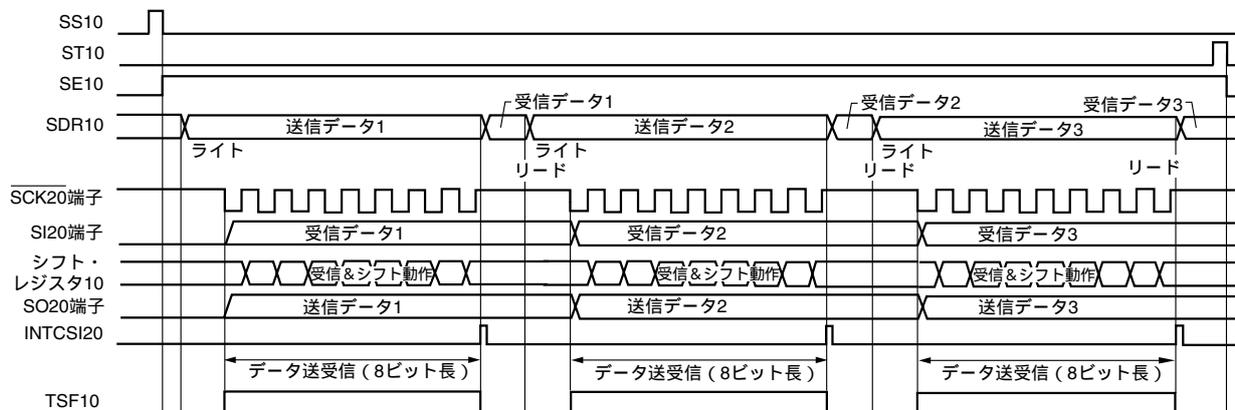
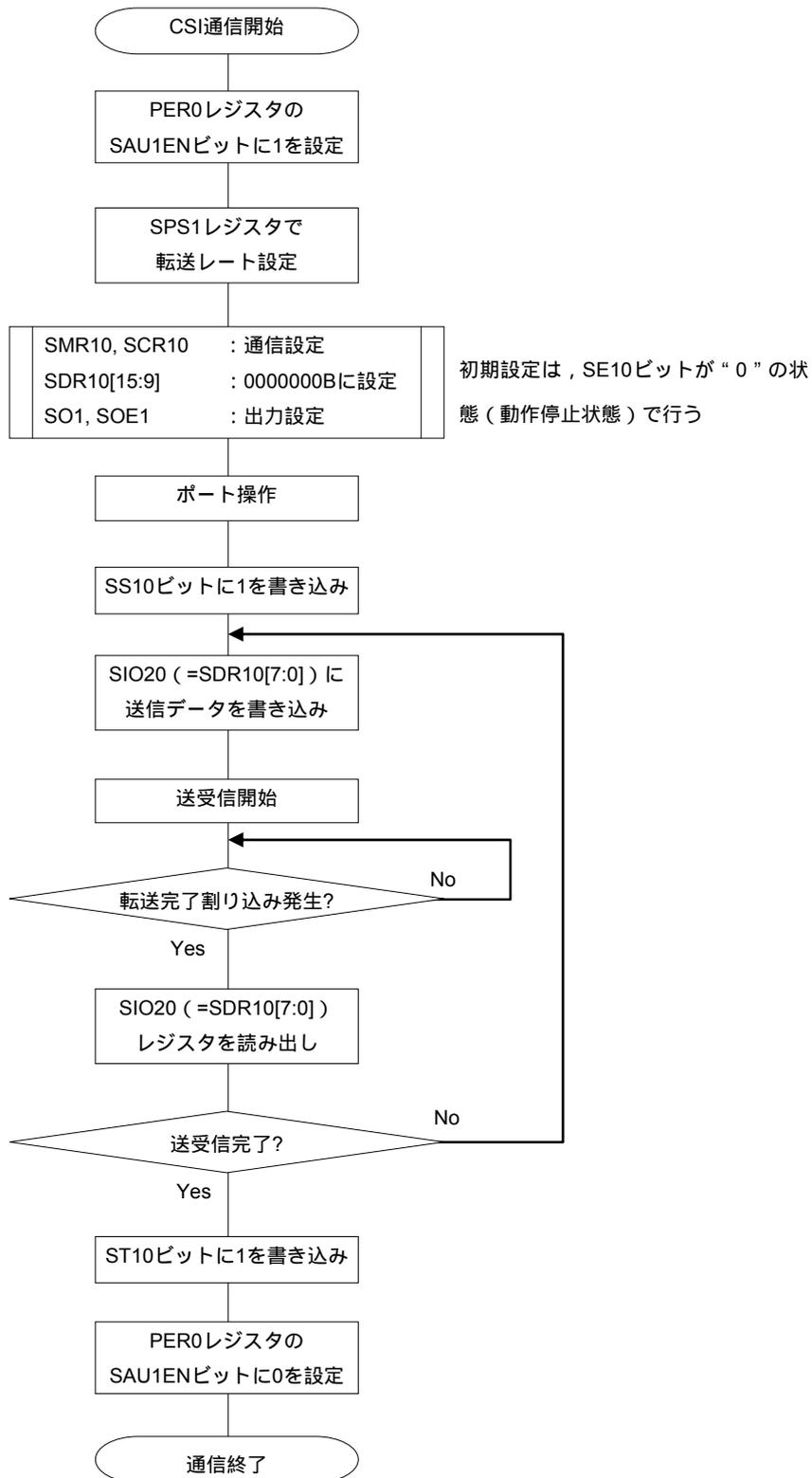


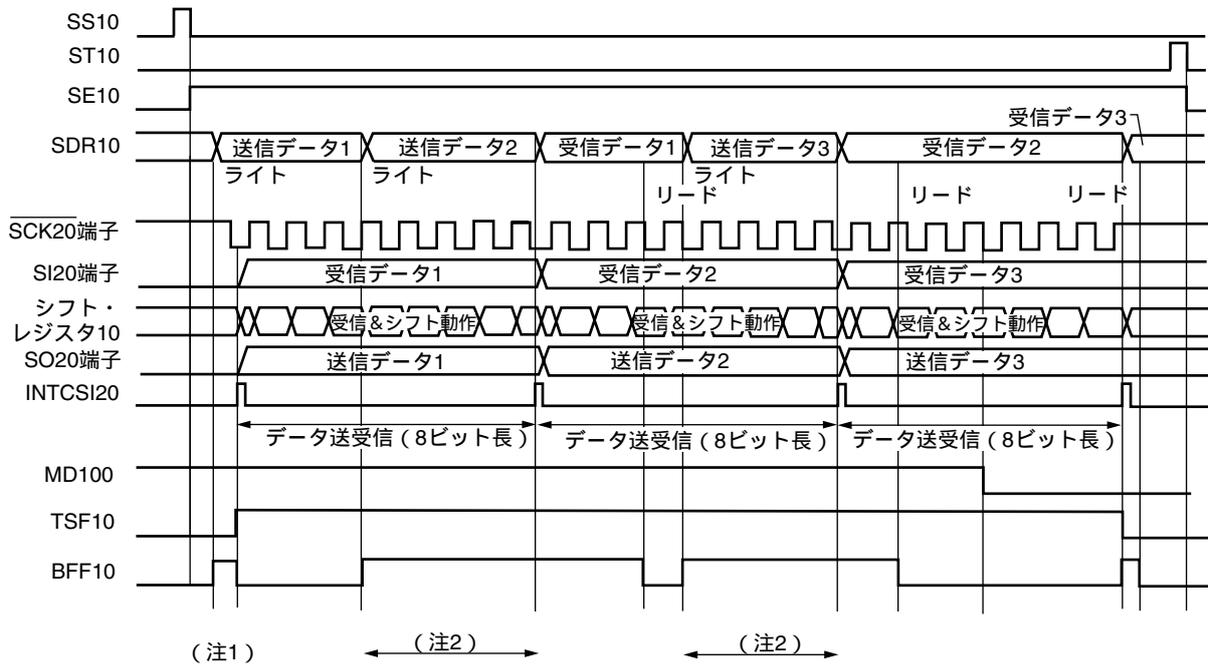
図11 - 67 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



- 注意1. PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSIO20レジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図11 - 68 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAP10 = 0, CKP10 = 0)

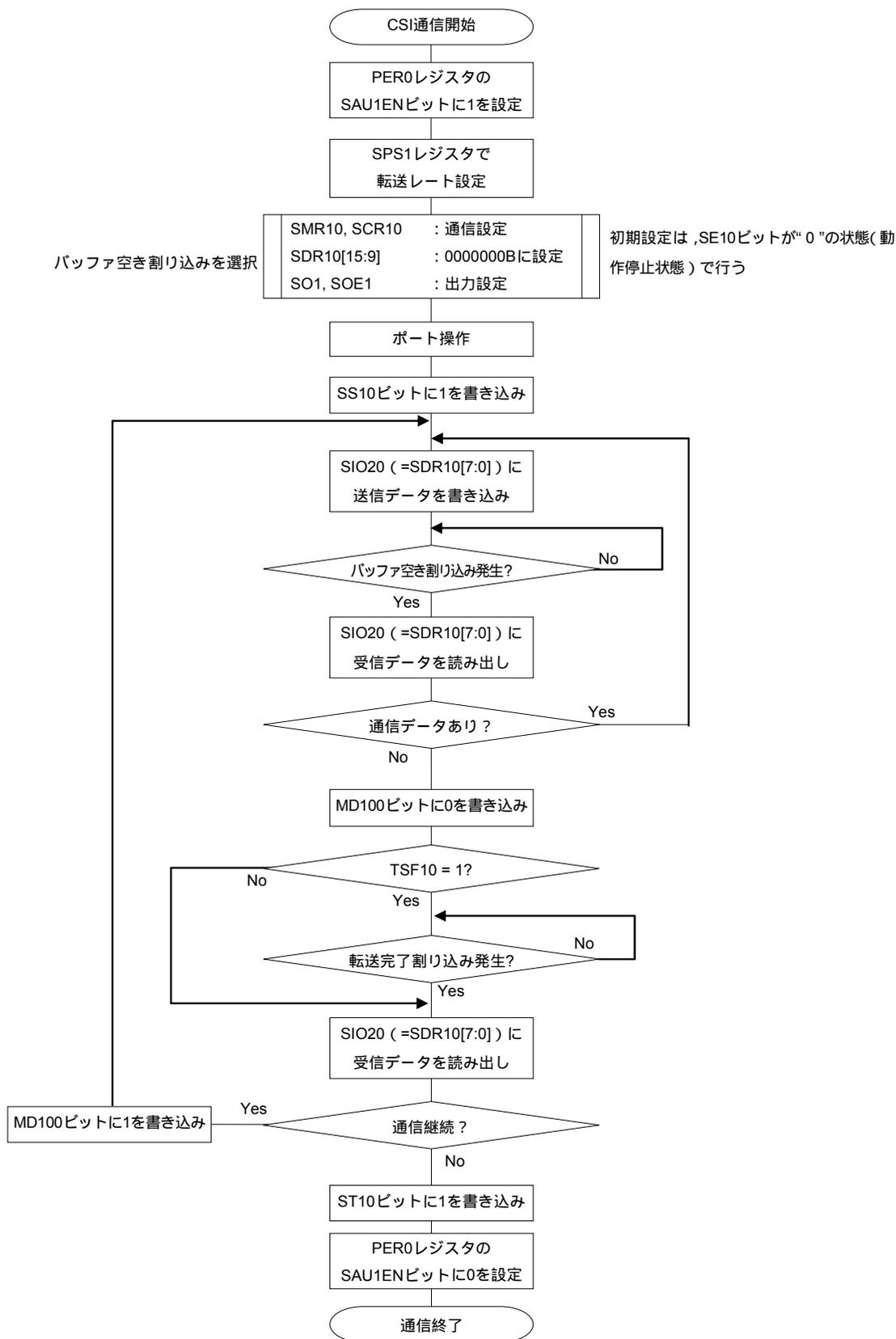


- 注1. BFF10ビットが“1”の期間 (有効なデータがSDR10レジスタに格納されている時) にSDR10レジスタに送信データを書き込むと、送信データが上書きされます。
- 2. この期間にSDR10レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 MD100ビットは、動作中でも書き換えることができます。
 ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 図中の - は、図11 - 69 スレーブ送受信 (連続送受信モード時) のフロー・チャートの - に対応しています。

図11 - 69 スレーブ送受信 (連続送受信モード時) のフロー・チャート



注意1. PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSIO20レジスタへ設定してください。

備考 図中の - は、図11 - 68 スレーブ送受信 (連続送受信モード時) のタイミング・チャートの - に対応しています。

11. 5. 7 転送クロック周波数の算出

3線シリアルI/O (CSI20) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (f}_{MCK}\text{) 周波数} \} \div (\text{SDR10}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 SDR10[15:9]は、SDR10レジスタのビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ1 (SPS1) とシリアル・モード・レジスタ10 (SMR10) のビット15 (CKS10) で決まります。

表11-2 動作クロックの選択

SMR10 レジスタ	SPS1レジスタ								動作クロック (f _{CLK}) ^注		
	CKS10	PRS 113	PRS 112	PRS 111	PRS 110	PRS 103	PRS 102	PRS 101	PRS 100	f _{CLK} = 20 MHz 動作時	
0	X	X	X	X	0	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	0	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	1	f _{CLK} /2 ¹¹	9.77 kHz
1	X	X	X	X	1	1	1	1	INTTM03		
	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz	
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz	
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz	
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz	
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz	
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz	
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz	
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz	
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz	
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz	
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz	
1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz		
1	1	1	1	1	X	X	X	X	INTTM03		
上記以外									設定禁止		

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（ST1 = 000FH）させてから変更してください。動作クロックにINTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

備考 X : Don't care

11.5.8 3線シリアルI/O (CSI20) 通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI20) 通信時にエラーが発生した場合の処理手順を図11 - 70に示します。

図11 - 70 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDR10レジスタをリードする	▶ BFF10ビットが“0”となり、チャンネル0は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSR10レジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIR10レジスタに“1”をライトする	▶ エラー・フラグがクリアされる	SSR10レジスタのリード値をそのままSIR10レジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

11.6 UART (UART0, UART2, UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニット0と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|--|
| <ul style="list-style-type: none"> ・ ウェイクアップ信号検出 ・ シンク・ブレイク・フィールド (SBF) 検出 ・ シンク・フィールド測定, ボー・レート算出 | } | 外部割り込み (INTP0),
タイマ・アレイ・ユニットTAU0を活用 |
|---|---|--|

注意 UART0 (ユニット0の0, 1チャンネル) は, IO-Link通信専用です (11.7.3~11.7.5参照)。

UART0では，SAU0のチャンネル0, 1を使用します。

UART2では，SAU1のチャンネル0, 1を使用します。

UART3では，SAU1のチャンネル2, 3を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0 (IO-Link通信専用)	-
	1	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

注意 UARTとして使用する場合は，送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は，以下の6種類があります。

- ・ UART送信 (11. 6. 1項を参照)
- ・ UART受信 (11. 6. 2項を参照)
- ・ LIN送信 (UART3のみ) (11. 7. 1項を参照)
- ・ LIN受信 (UART3のみ) (11. 7. 2項を参照)
- ・ IO-Link送受信 (UART0のみ) (11. 7. 5項を参照)

11. 6. 1 UART送信

UART送信は、μPD78F8040, 78F8041, 78F8042, 78F8043から他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

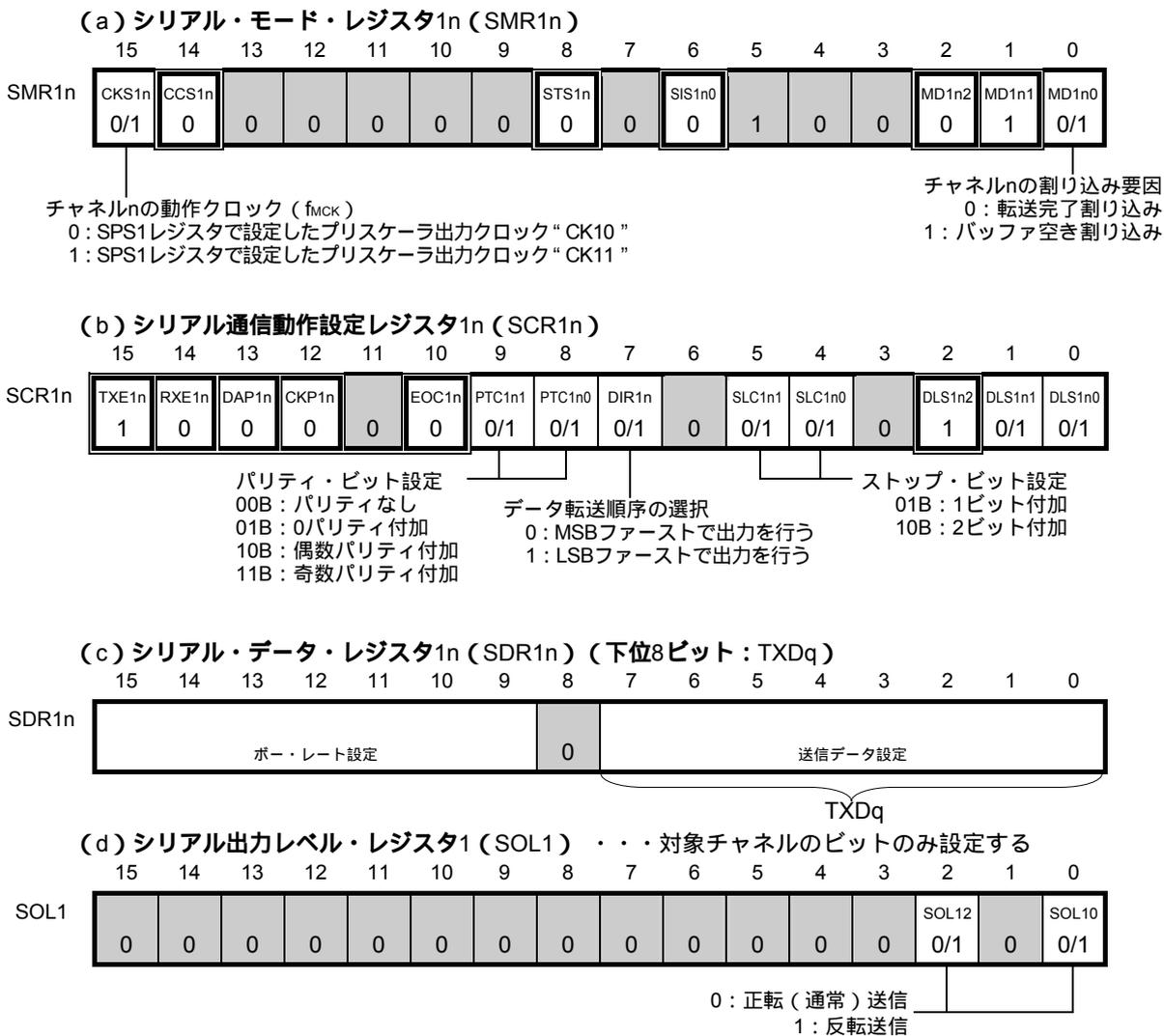
UART	UART2	UART3
対象チャンネル	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD2	TxD3
割り込み	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	5ビットまたは7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/6$ [bps] (SDR1n[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電氣的特性のAC特性（第26章 電氣的特性参照）を満たす範囲内で使用してください。

- 備考1.** f_{MCK} : 対象チャンネルの動作クロック周波数
 f_{CLK} : システム・クロック周波数
 2. n : チャンネル番号 ($n = 0, 2$)

(1) レジスタ設定

図11 - 71 UART (UART2, UART3) のUART送信時のレジスタ設定内容例 (1/2)



注 該当するチャンネルのSOL1nビットに0を設定している場合は“1”に、SOL1nビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 n: チャンネル番号 (n=0, 2), q: UART番号 (q=2, 3)

□: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図11 - 71 UART (UART2, UART3) のUART送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ1 (SO1) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1								CKO10						SO12		SO10
	0	0	0	0	1	1	1	x	0	0	0	0	1	0/1 ^注	1	0/1 ^注

0: シリアル・データ出力値が“0”
 1: シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ1 (SOE1) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1														SOE12		SOE10
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(g) シリアル・チャンネル開始レジスタ1 (SS1) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS1														SS13	SS12	SS11	SS10
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注 該当するチャンネルのSOL1nビットに0を設定している場合は“1”に、SOL1nビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 n: チャンネル番号 (n = 0, 2), q: UART番号 (q = 2, 3)

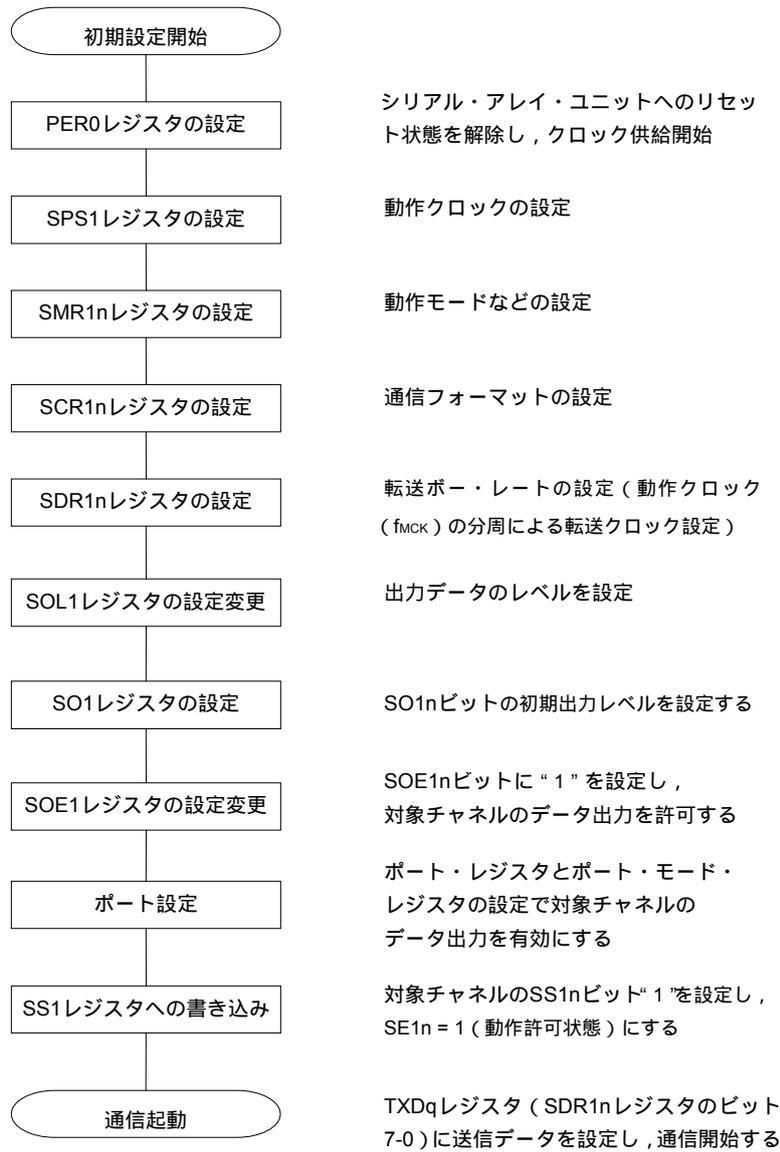
: UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

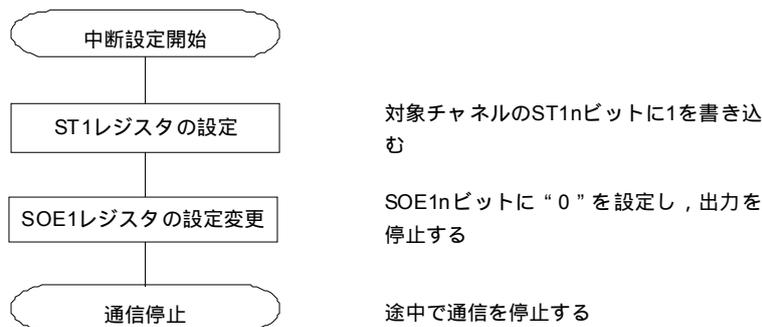
(2) 操作手順

図11 - 72 UART送信の初期設定手順



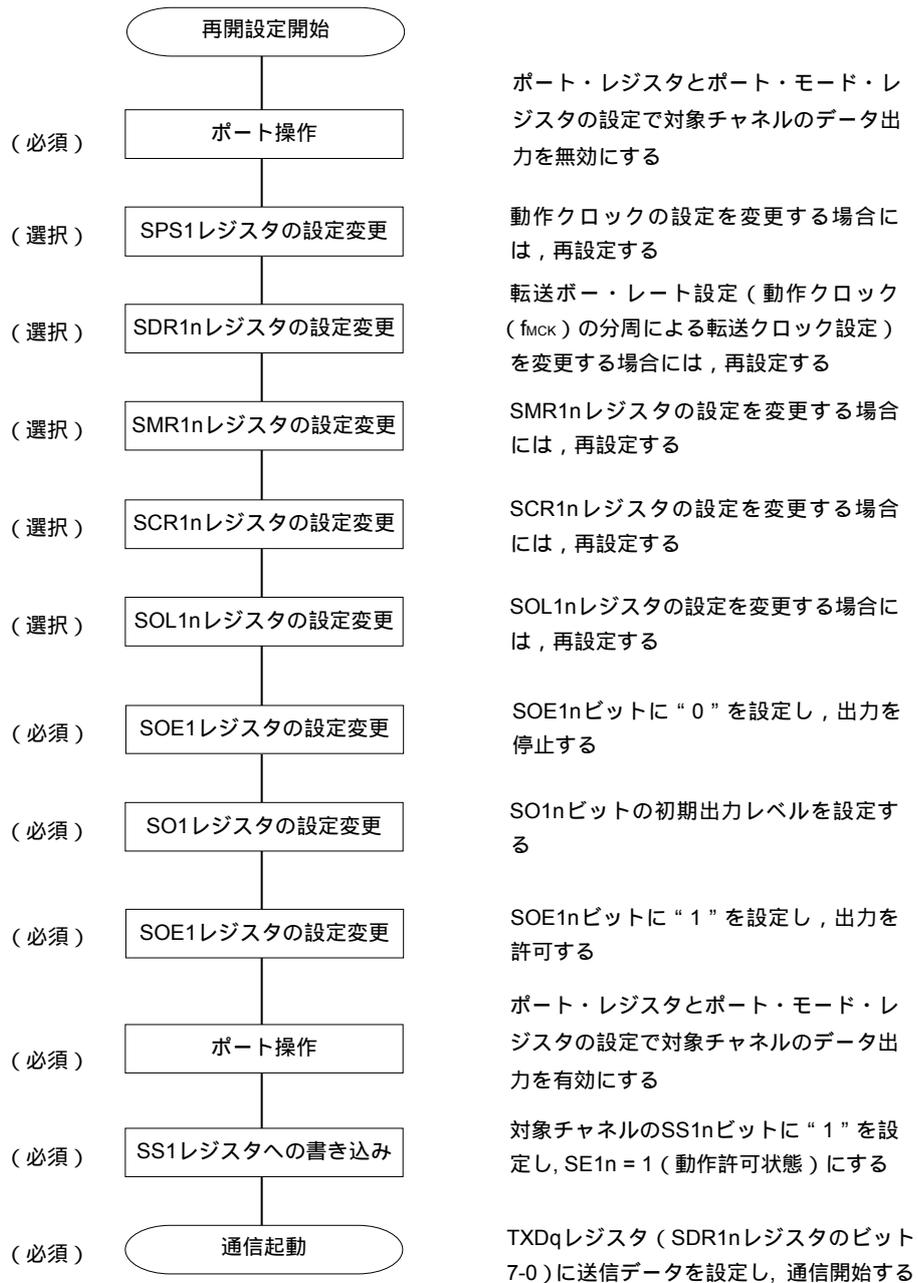
注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

図11 - 73 UART送信の中断手順



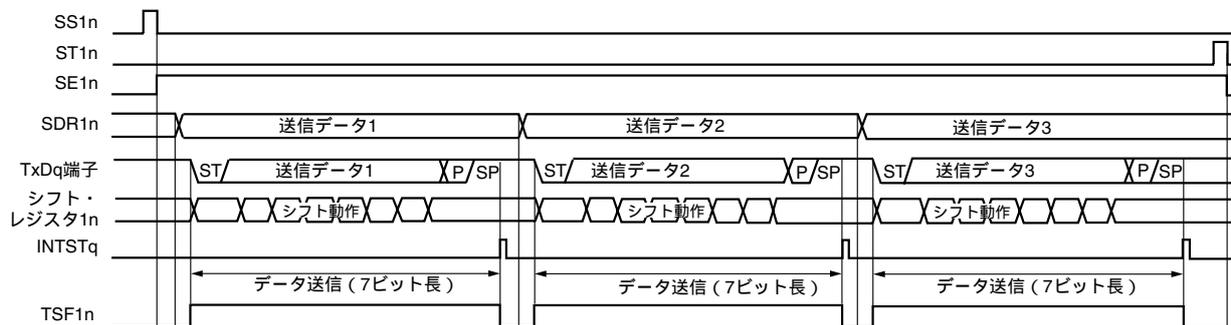
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO1レジスタを再設定してください (図11 - 74 UART送信の再開設定手順参照)。

図11 - 74 UART送信の再開設定手順



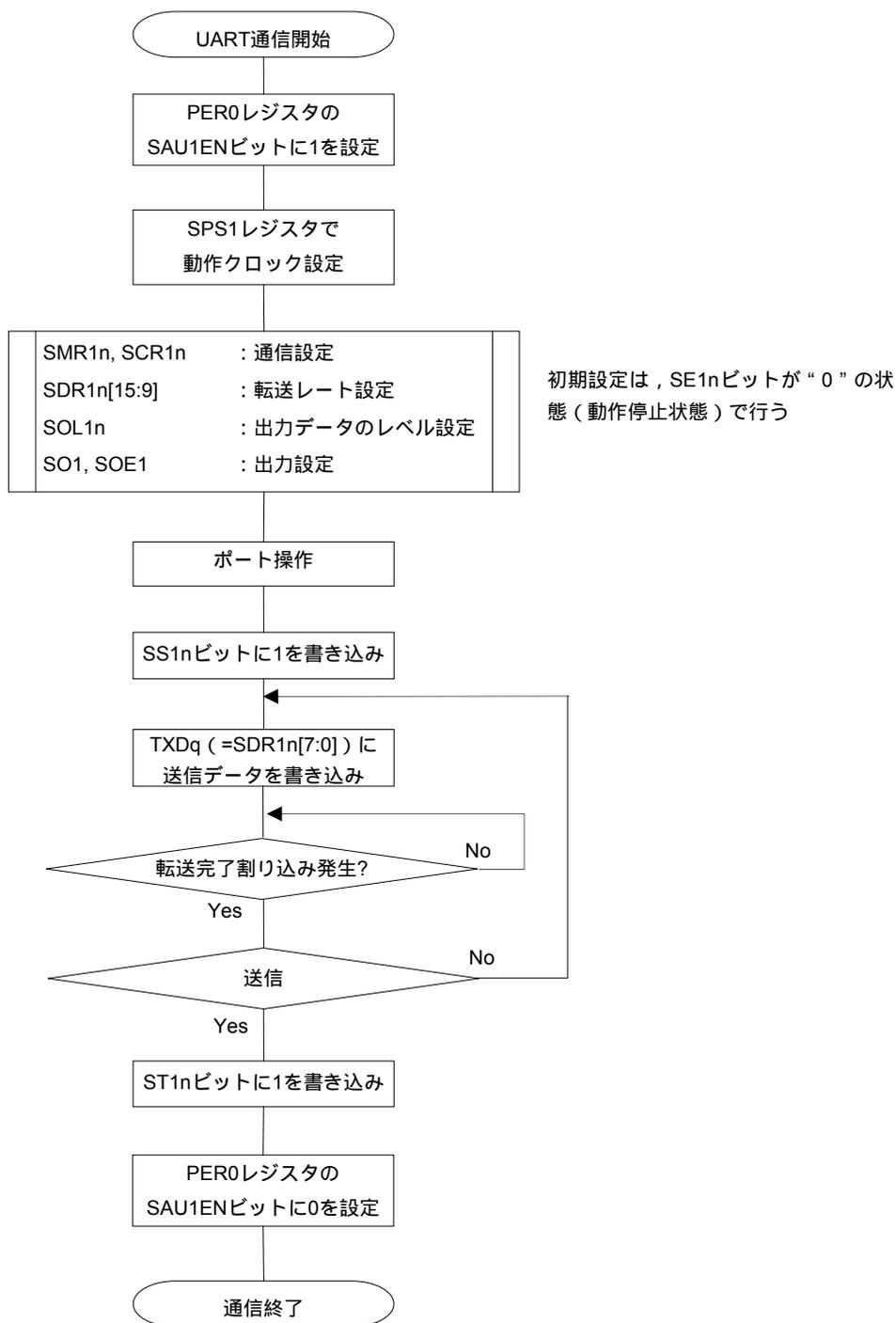
(3) 処理フロー (シングル送信モード時)

図11 - 75 UART送信 (シングル送信モード時) のタイミング・チャート



備考 n : チャネル番号 (n = 0, 2) q : UART番号 (q = 2, 3)

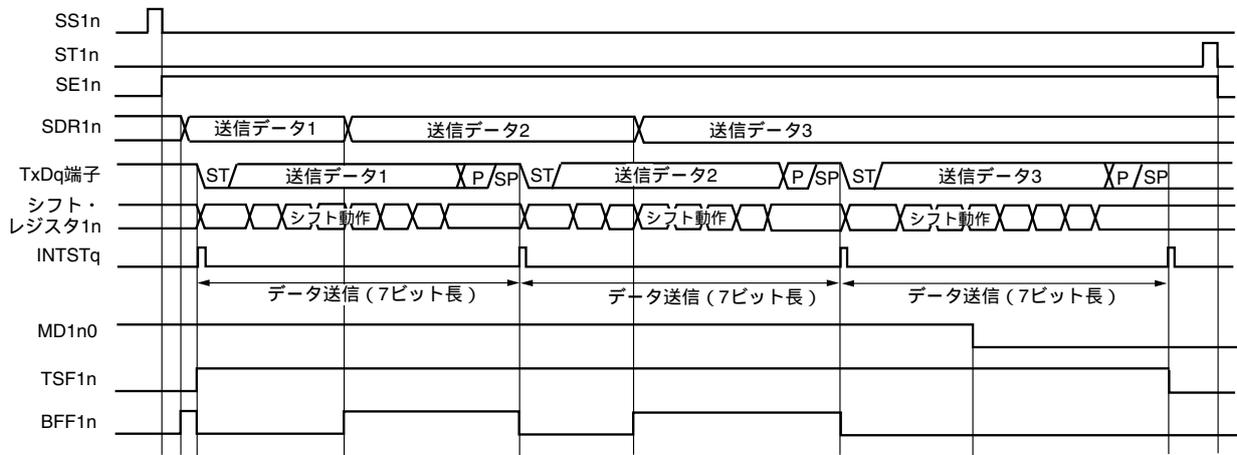
図11 - 76 UART送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ1 (SPS1) を設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 77 UART送信（連続送信モード時）のタイミング・チャート



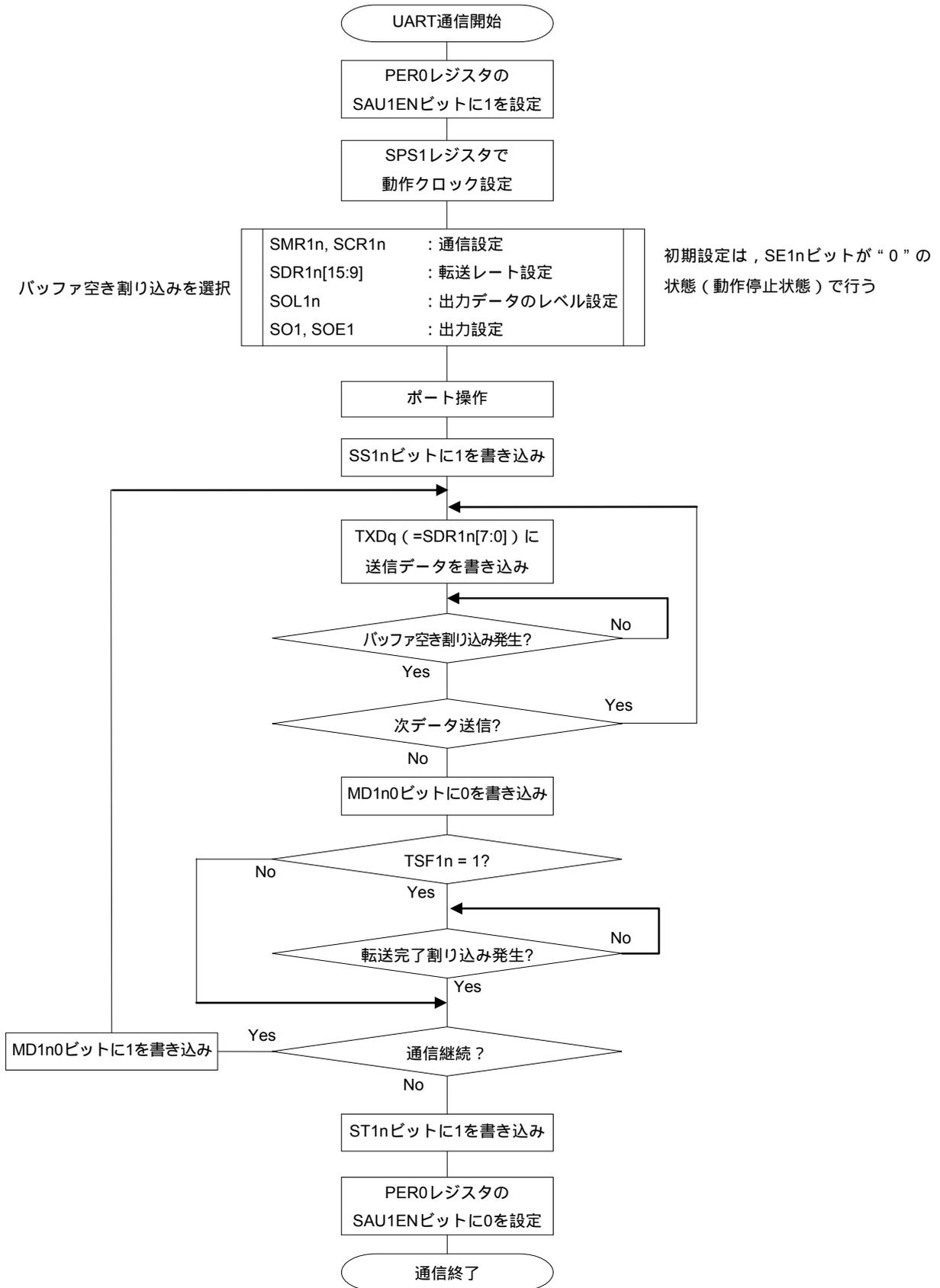
(注)

注 BFF1nビットが“1”の期間（有効なデータがSDR1nレジスタに格納されているとき）にSDR1nレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MD1n0ビットは、動作中でも書き換えることができます。
 ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 n：チャネル番号（n = 0, 2） q：UART番号（q = 2, 3）

図11 - 78 UART送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

備考 図中の - は、図11 - 77 UART送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11.6.2 UART受信

UART受信は、他デバイスからμPD78F8040, 78F8041, 78F8042, 78F8043が非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、偶数チャンネルのSMRレジスタを設定する必要があります。

UART	UART2	UART3
対象チャンネル	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD2	RxD3
割り込み	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF1n） ・ パリティ・エラー検出フラグ（PEF1n） ・ オーバラン・エラー検出フラグ（OVF1n） 	
転送データ長	5ビットまたは7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR1n[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電氣的特性のAC特性（第26章 電氣的特性参照）を満たす範囲内で使用してください。

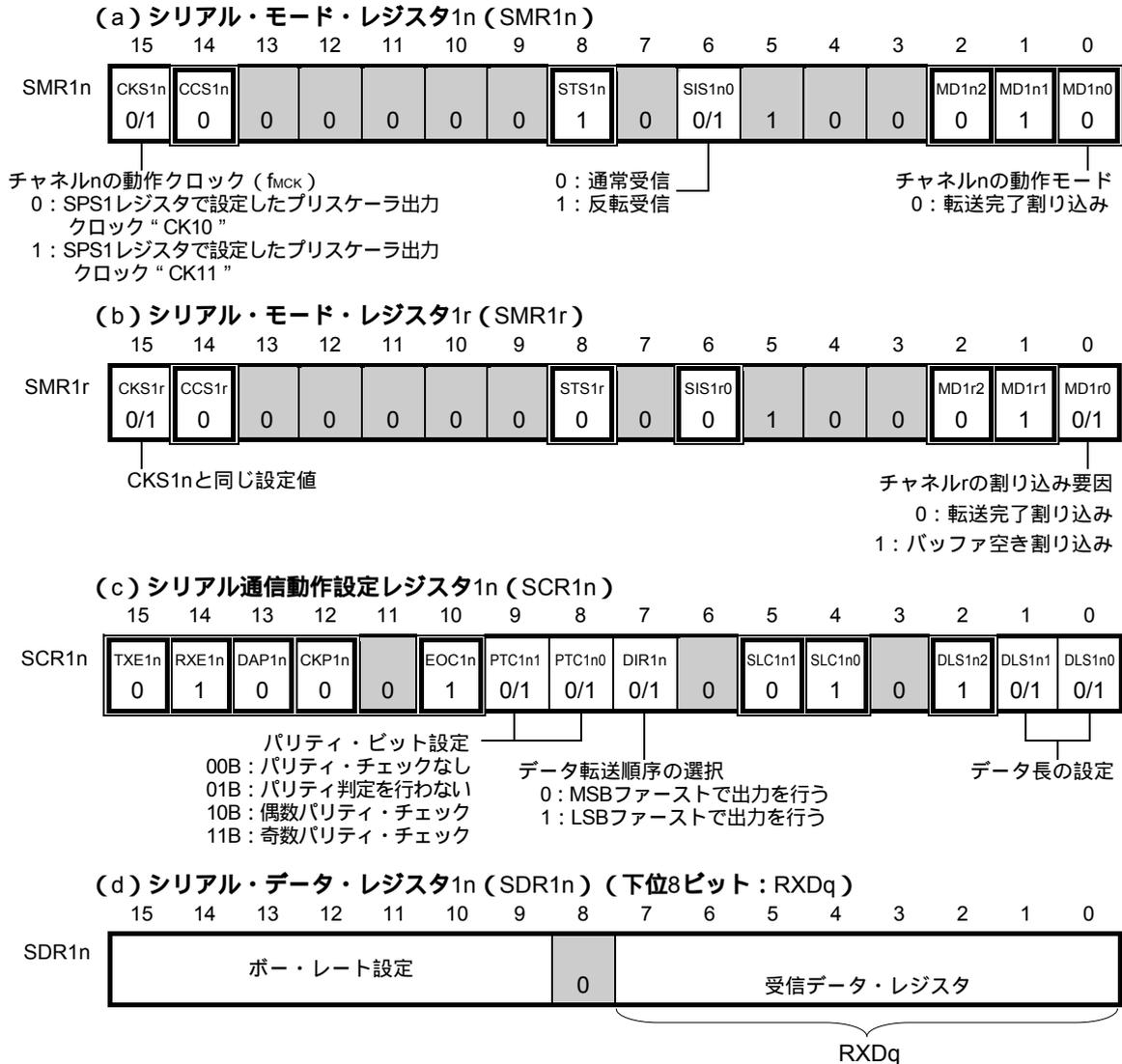
備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

2. n：チャンネル番号（n = 1, 3）

(1) レジスタ設定

図11 - 79 UART (UART2, UART3) のUART受信時のレジスタ設定内容例 (1/2)



注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMR1rも必ず設定してください。

備考 n: チャンネル番号 (n = 1, 3) r: チャンネル番号 (r = n - 1) q: UART番号 (q = 2, 3)
 □: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図11 - 79 UART (UART2, UART3) のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ1 (SO1) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
SO1	0	0	0	0	1	1	1	CKO10	x	0	0	0	0	1	SO12	x	1	SO10	x

(f) シリアル出力許可レジスタ1 (SOE1) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE12	x	0	SOE10	x

(g) シリアル・チャンネル開始レジスタ1 (SS1) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	SS13	0/1	SS12	x	SS11	0/1	SS10	x

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMR1rも必ず設定してください。

備考 n : チャンネル番号 (n = 1, 3) r : チャンネル番号 (r = n - 1) q : UART番号 (q = 2, 3)

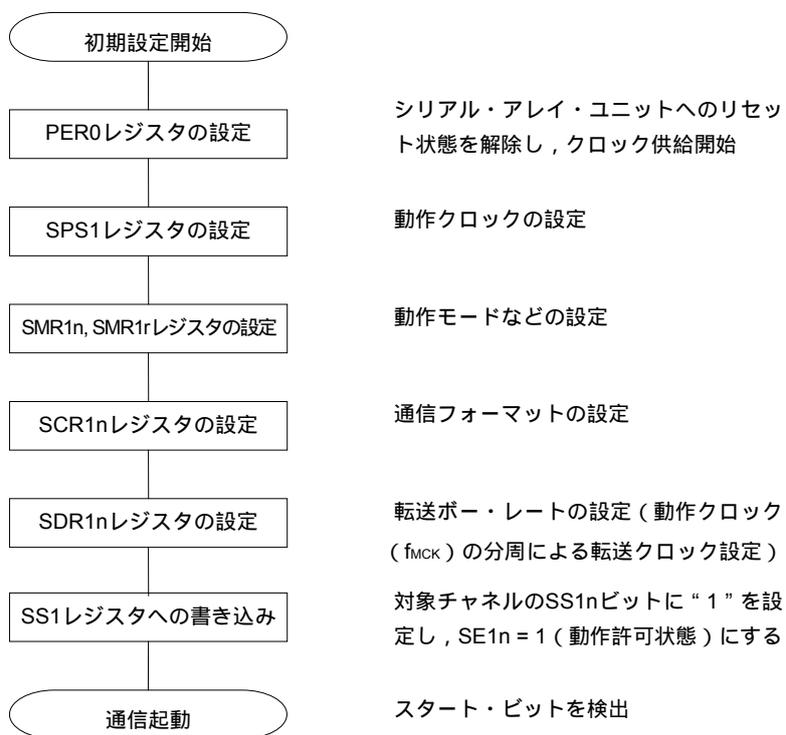
: UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 80 UART受信の初期設定手順



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

図11 - 81 UART受信の中断手順

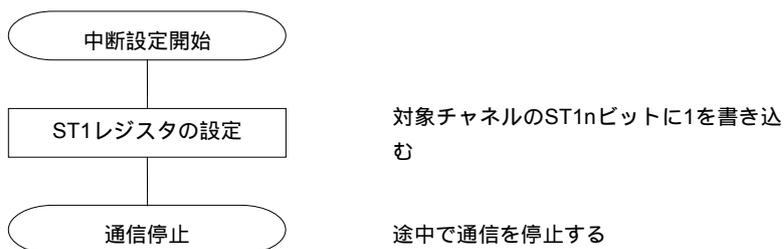
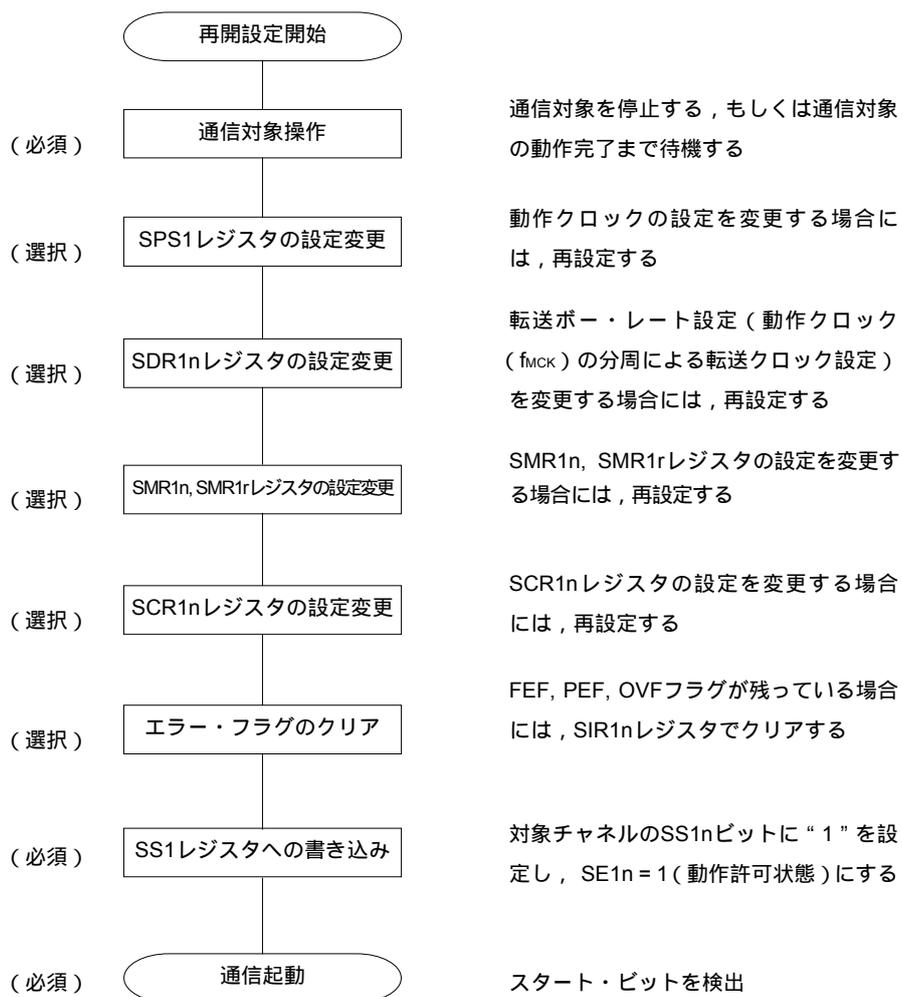
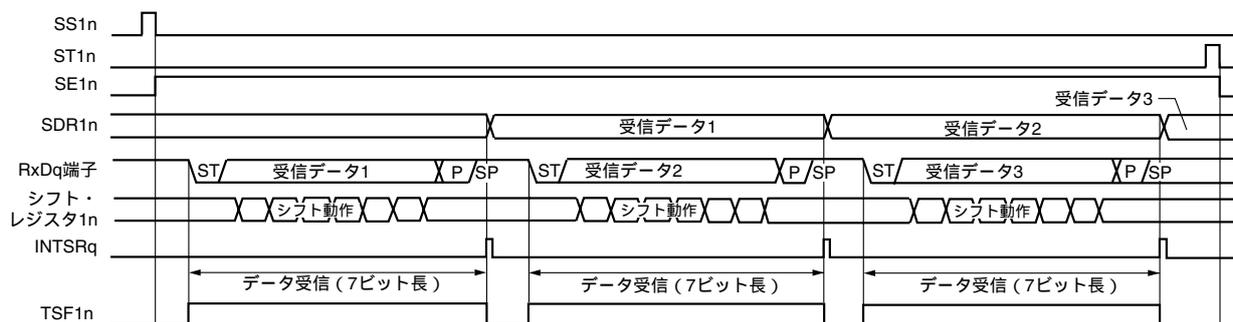


図11 - 82 UART受信の再開設定手順



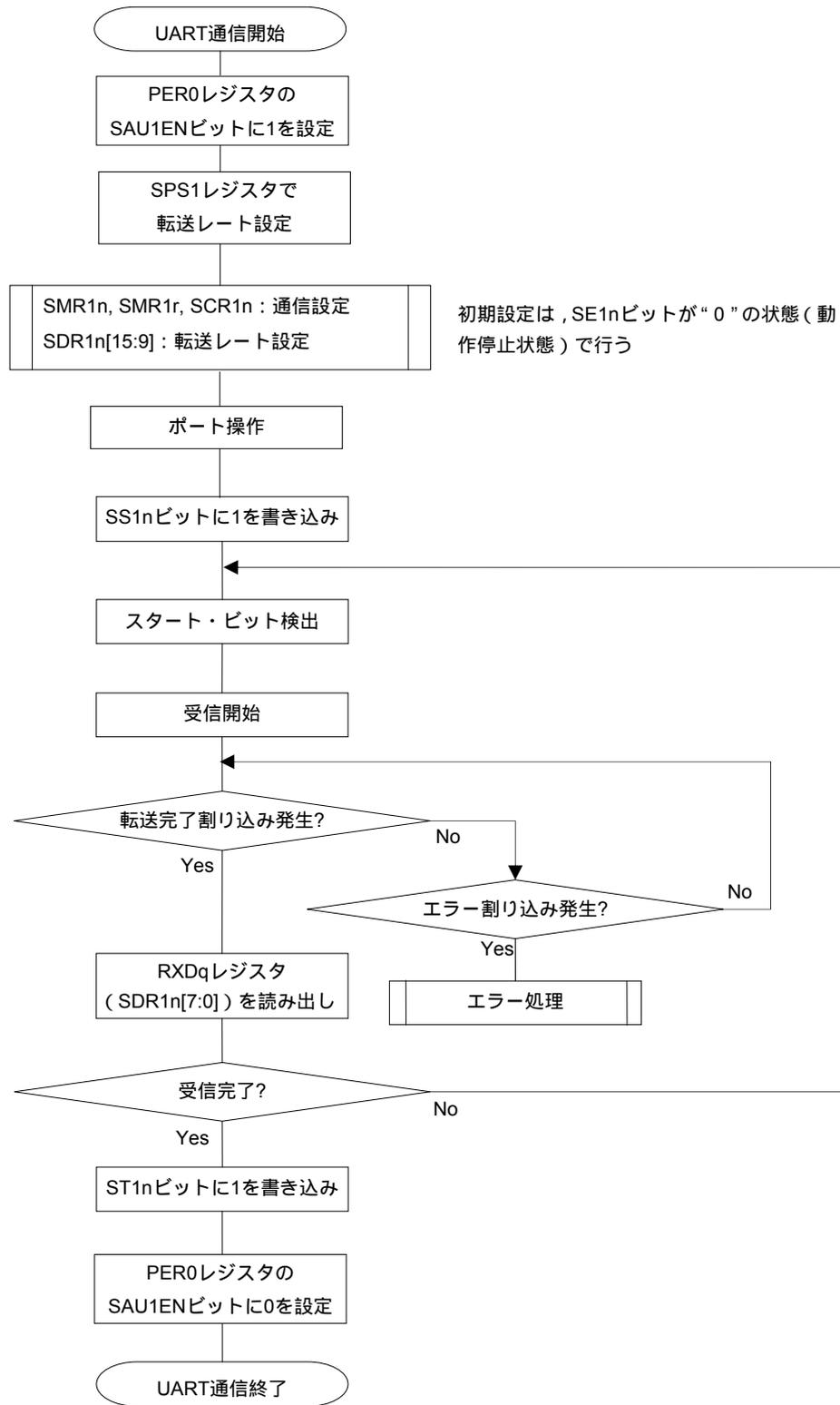
(3) 処理フロー

図11 - 83 UART受信のタイミング・チャート



備考 n : チャネル番号 (n = 1, 3) q : UART番号 (q = 2, 3)

図11 - 84 UART受信のフロー・チャート



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

11.6.3 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART2, UART3) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので, 2-127になります。

2. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 3)

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-3 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ									動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
					1	1	1	1	m = 0の場合 : INTTM02, m = 1の場合 : INTTM03		
1		0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合 : INTTM02, m = 1の場合 : INTTM03		
上記以外										設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

(2) 送信時のボー・レート誤差

UART (UART0, UART2, UART3) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

f_{CLK} = 20 MHz の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	f _{CLK} = 20 MHz 時			
	動作クロック (f _{MCK})	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	f _{CLK} /2 ⁹	64	300.48 bps	+0.16 %
600 bps	f _{CLK} /2 ⁸	64	600.96 bps	+0.16 %
1200 bps	f _{CLK} /2 ⁷	64	1201.92 bps	+0.16 %
2400 bps	f _{CLK} /2 ⁶	64	2403.85 bps	+0.16 %
4800 bps	f _{CLK} /2 ⁵	64	4807.69 bps	+0.16 %
9600 bps	f _{CLK} /2 ⁴	64	9615.38 bps	+0.16 %
19200 bps	f _{CLK} /2 ³	64	19230.8 bps	+0.16 %
31250 bps	f _{CLK} /2 ³	39	31250.0 bps	±0.0 %
38400 bps	f _{CLK} /2 ²	64	38461.5 bps	+0.16 %
76800 bps	f _{CLK} /2	64	76923.1 bps	+0.16 %
153600 bps	f _{CLK}	64	153846 bps	+0.16 %
312500 bps	f _{CLK}	31	312500 bps	±0.0 %

備考 m : ユニット番号 (0, 1) n : チャネル番号 (n = 0, 2)

(3) 受信時のポー・レート許容範囲

UART (UART0, UART2, UART3) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値 (11.6.3(1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3)

図11 - 85 受信時の許容ポー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

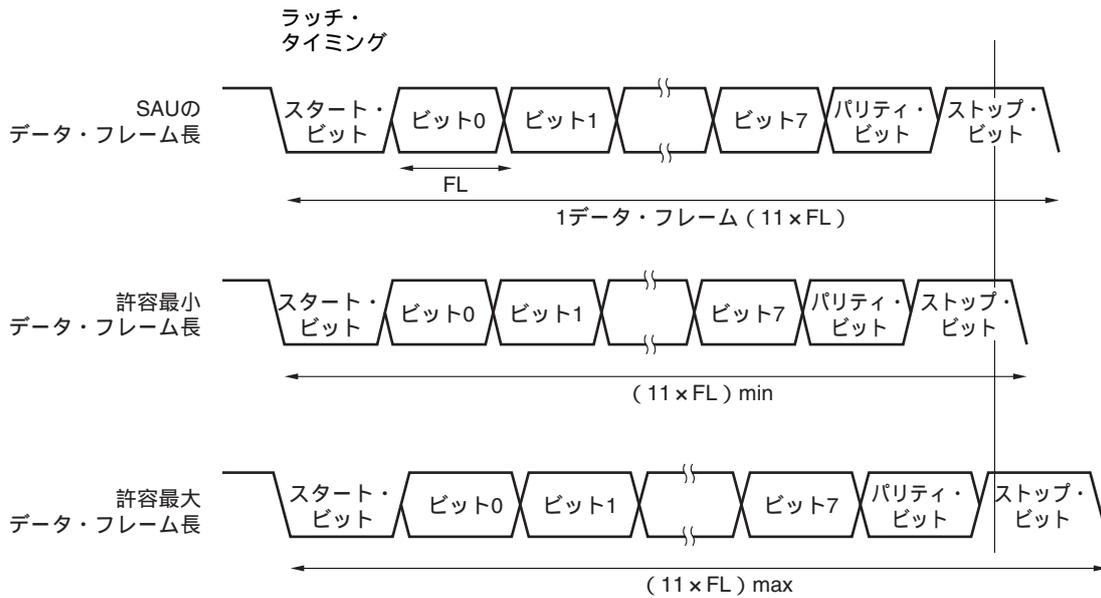


図11 - 85に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11. 6. 4 UART (UART0, UART2, UART3) 通信時におけるエラー発生時の処理手順

UART (UART0, UART2, UART3) 通信時にエラーが発生した場合の処理手順を図11 - 86, 図11 - 87に示します。

図11 - 86 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFFmnビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタに“1”をライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

図11 - 87 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFFmnビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
STmnビットに“1”を設定する	▶ SEMnビットが“0”となり, チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれていたためにフレーミング・エラーが起きたと考えられるため, 通信相手との同期を取り直して通信を再開する
SSmnビットに“1”を設定する	▶ SEMnビットが“1”となり, チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

11.7 LIN通信の動作

11.7.1 LIN送信

UART送信のうち，UART3はLIN通信に対応しています。

LIN送信では，ユニット1（SAU1）のチャンネル2を使用します。

UART	UART2	UART3
LIN通信対応	不可	可
対象チャンネル	-	SAU1のチャンネル2
使用端子	-	TxD3
割り込み	-	INTST3
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR12[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし，かつ電氣的特性のAC特性（第26章 電氣的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

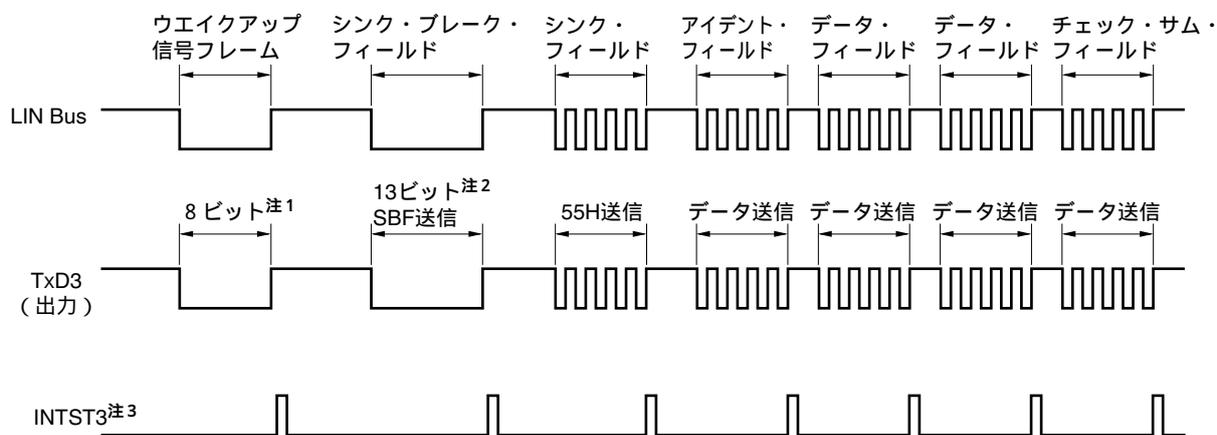
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15 %以下であれば、通信可能です。

LINの送信操作の概略を、図11 - 88に示します。

図11 - 88 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、00Hのデータ送信をすることで対応します。

2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、シンク・ブレイク・フィールドで使用するポー・レートは次のようになります。

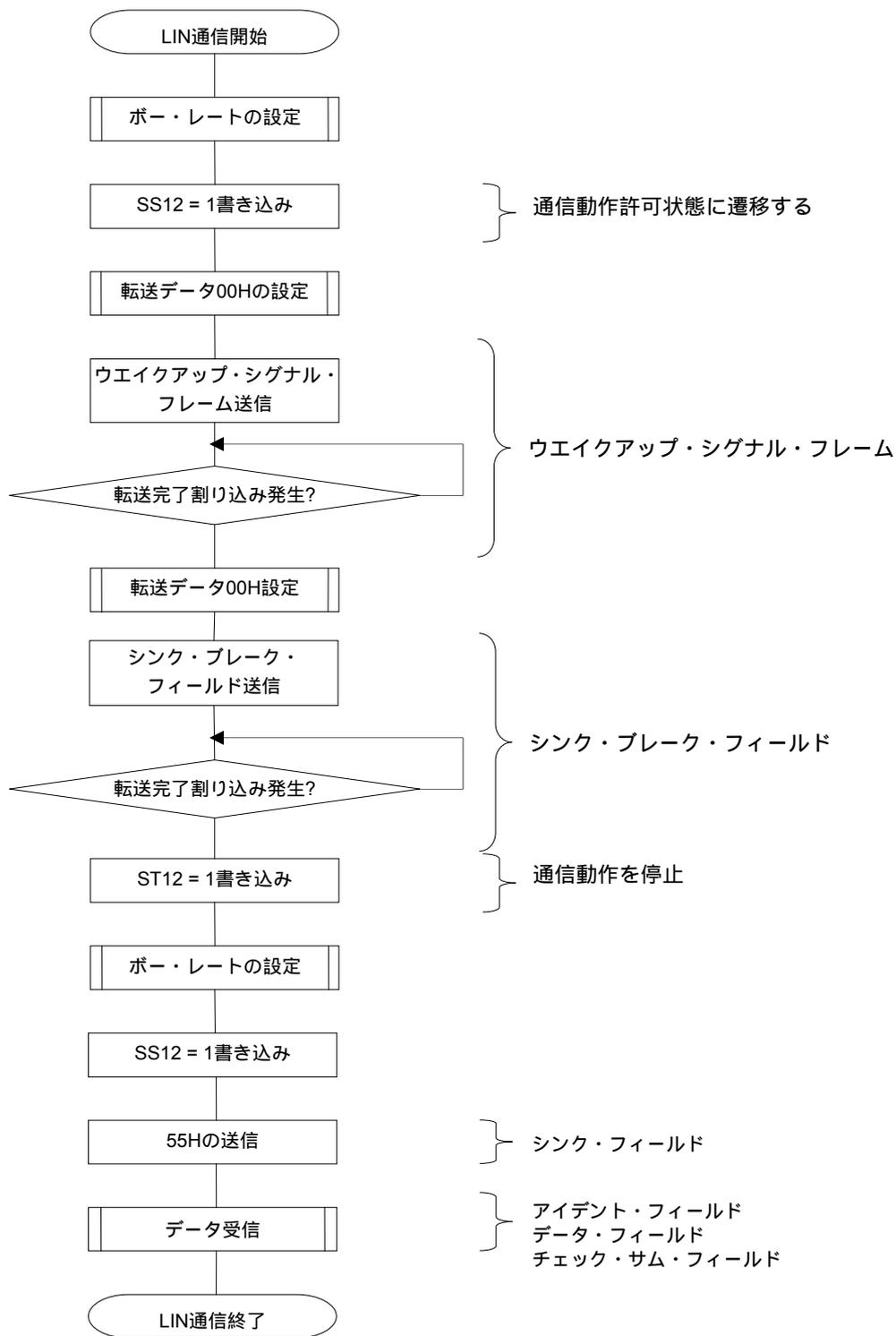
$$\boxed{(\text{シンク・ブレイク・フィールド時のポー・レート}) = 9/13 \times N}$$

このポー・レートで00Hのデータ送信をすることでシンク・ブレイク・フィールドを生成します。

3. 各送信終了時にはINTST3を出力します。またSBF送信時もINTST3を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図11 - 89 LIN送信のフロー・チャート



11.7.2 LIN受信

UART受信のうち，UART3はLIN通信に対応しています。

LIN受信では，ユニット1（SAU1）のチャンネル3を使用します。

UART	UART2	UART3
LIN通信対応	不可	可
対象チャンネル	-	SAU1のチャンネル3
使用端子	-	RxD3
割り込み	-	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	-	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF13） ・ パリティ・エラー検出フラグ（PEF13） ・ オーバラン・エラー検出フラグ（OVF13） 	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR13[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックしない） ・ 0パリティ・ビット付加（パリティ・チェックしない） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 	
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ 1ビット付加 ・ 2ビット付加 	
データ方向	MSBファーストまたはLSBファースト	

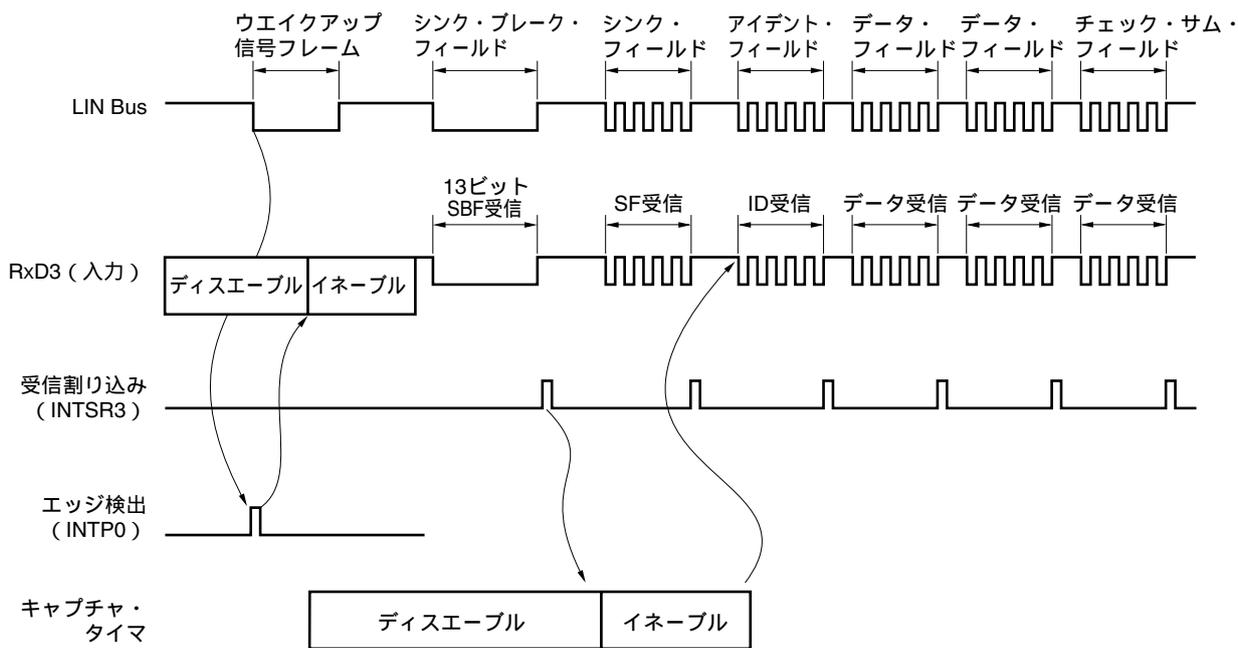
注 この条件を満たし，かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図11 - 90に示します。

図11 - 90 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTPO) で行います。ウェイクアップ信号を検出したら、UART3の受信を許可 (RXE13 = 1) し、SBF受信待ち状態にします。

SBFのスタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、RXD3レジスタ (= シリアル・データ・レジスタ13 (SDR13) のビット7-0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求 (INTSR3) を発生します。そして、SBFとして11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は、SBF受信エラーと判断し、SBF受信待ち状態に戻ります。SBF受信を正常終了した場合、タイマ・アレイ・ユニットTAU0のチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (8.7.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照)。

シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART3を動作停止にしてからボー・レートを調整 (再設定) してください。

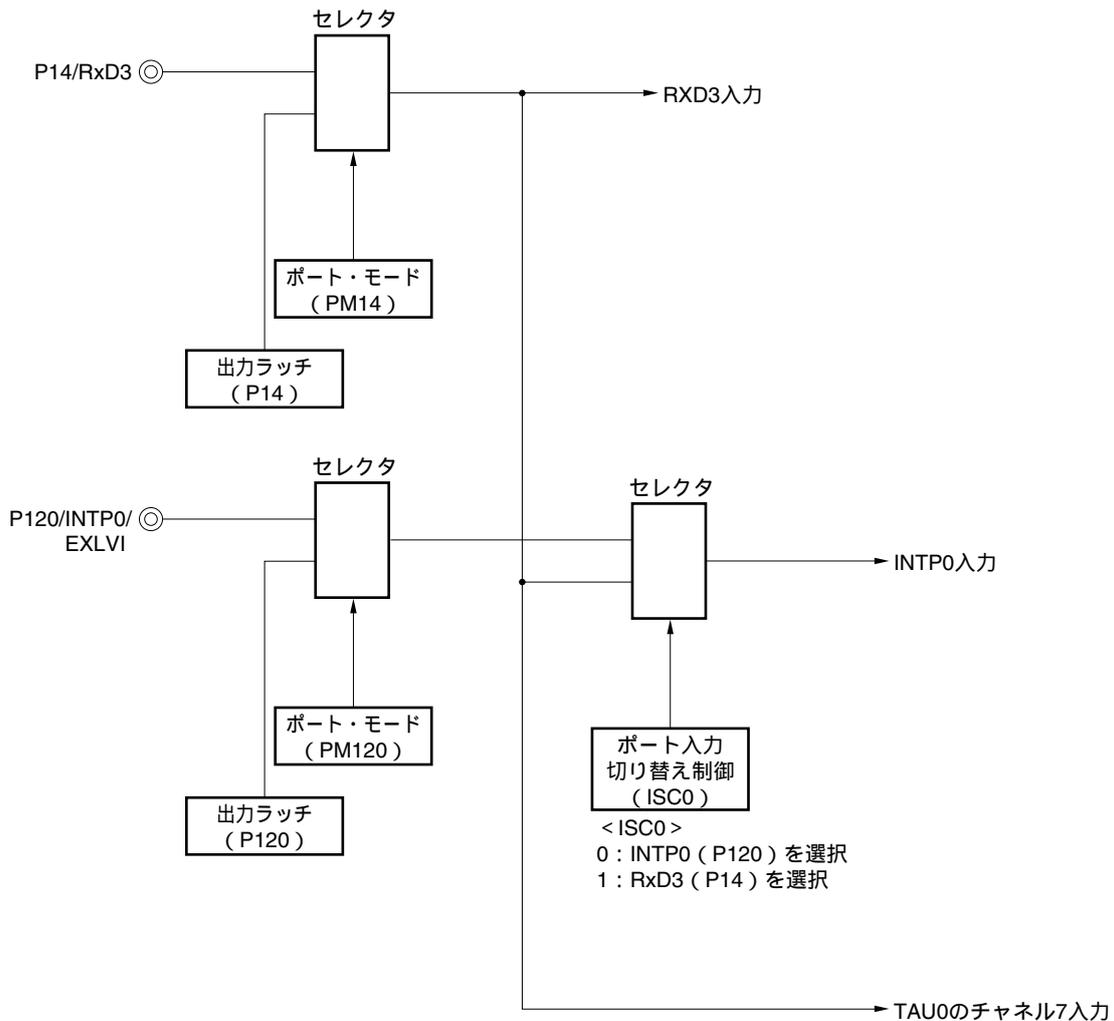
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART3を初期化し、再びSBF受信待ちに設定する処理もソフトウェアにて行ってください。

図11 - 91はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニットTAU0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0) により、外部で結線をせずに、受信用ポート入力 (RxD3) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットTAU0へ入力することができます。

図11 - 91 LINの受信操作のポート構成図



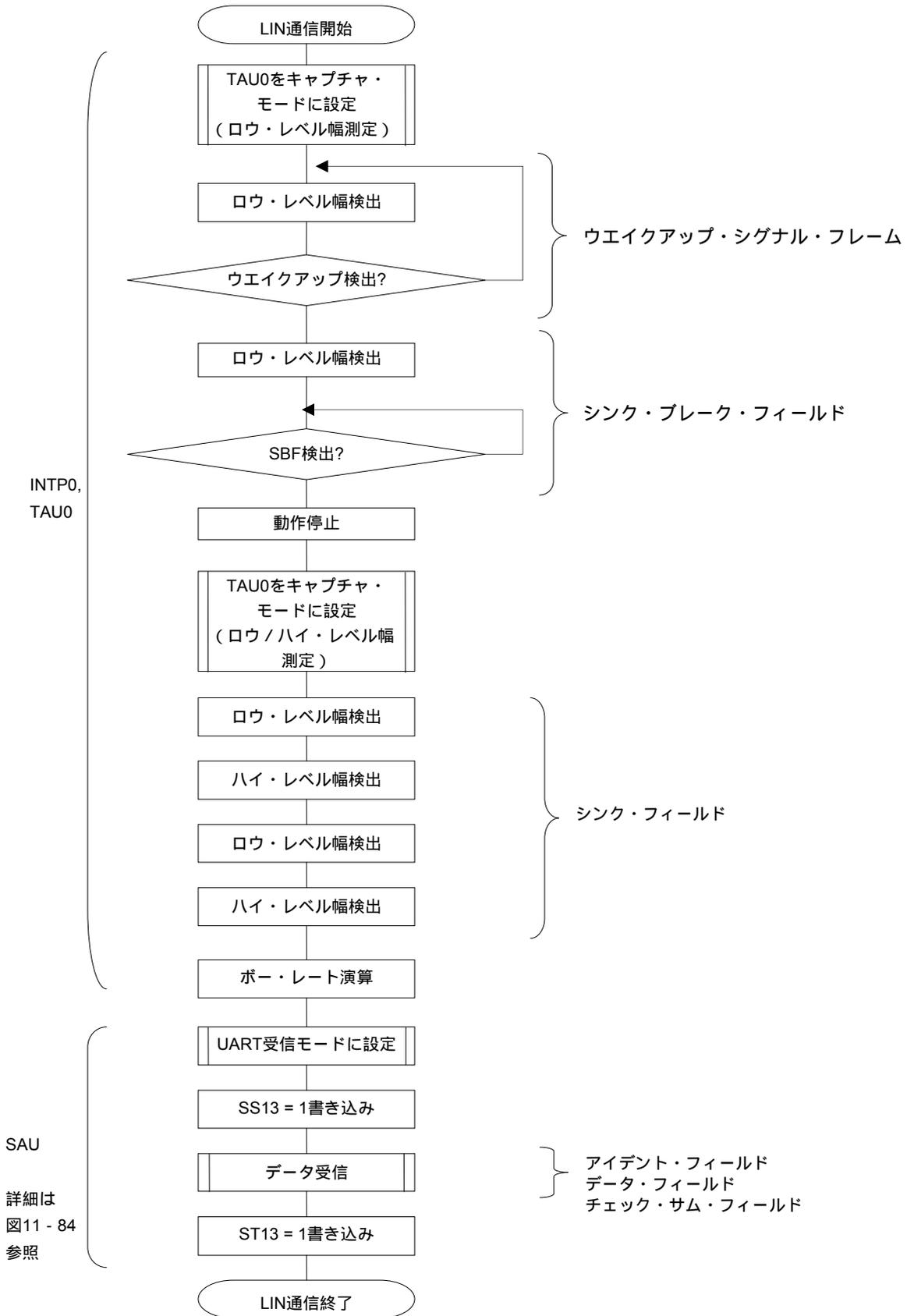
備考 ISC0 : 入力切り替え制御レジスタ (ISC) のビット0 (図11 - 17参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・タイマ・アレイ・ユニット0のチャンネル7; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (Rx/D3
入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・アレイ・ユニット (SAU1) のチャンネル2, 3 (UART3)

図11 - 92 LIN受信のフロー・チャート



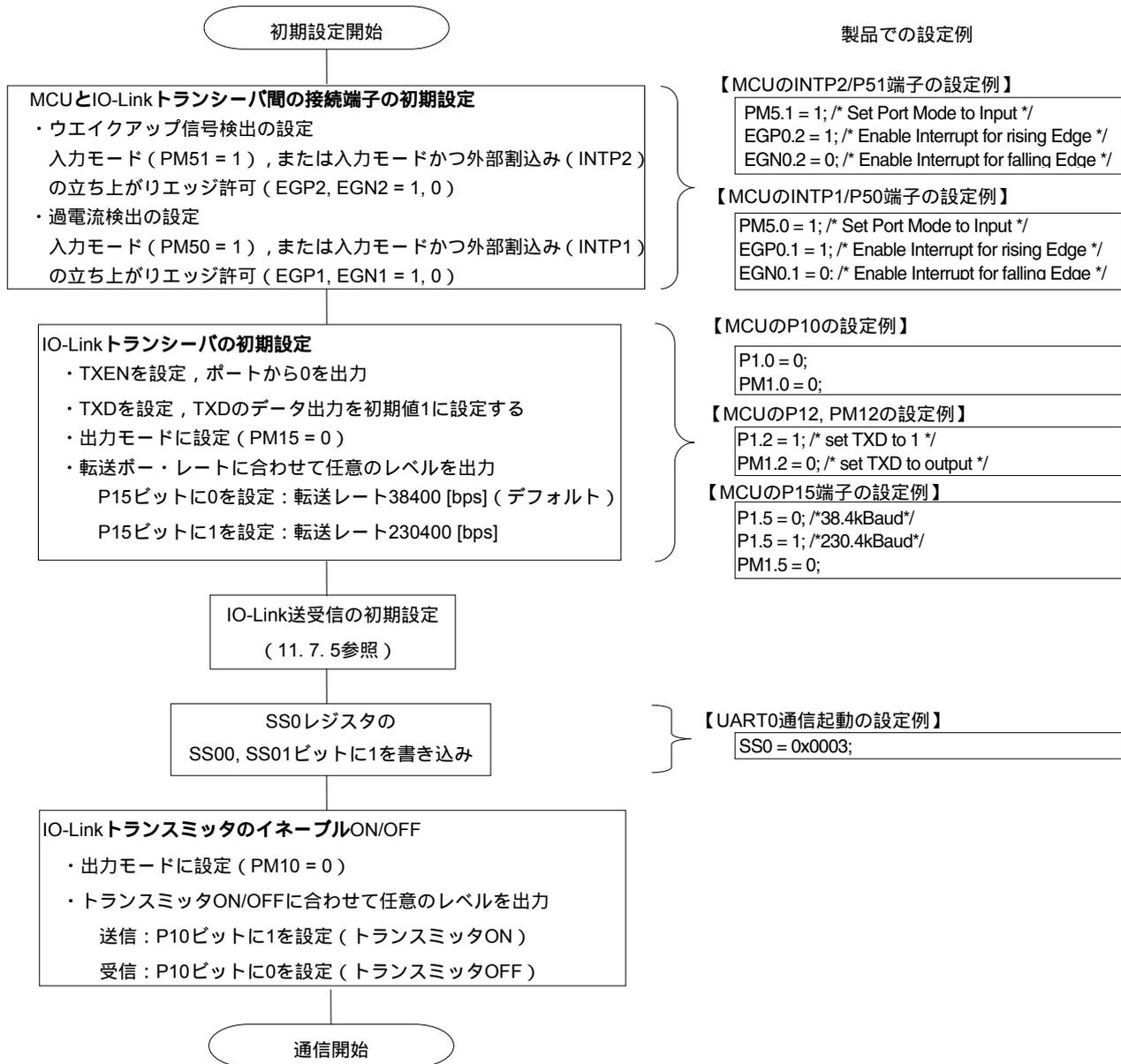
11. 7. 3 IO-Linkトランシーバとの通信

IO-Linkトランシーバとの通信は，MCUのUART0を使用します。

リセット解除後，MCU側のポートはすべて入力モードに設定されるので，IO-Linkトランシーバとの通信を開始する前に適切なモード / レベルに設定する必要があります(第2章 MCUとIO-Linkトランシーバの接続参照)。

11. 7. 4 IO-Linkトランシーバとの通信の設定手順

図11 - 93 IO-Linkトランシーバとの通信の設定手順



11.7.5 IO-Link送受信

IO-Link送受信は、MCUとIO-Linkトランシーバ間で、非同期（調歩同期）でデータを送受信する動作です。

IO-Link送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。IO-Link受信では奇数チャンネルのほうを使用します。ただし、IO-Link受信では、偶数チャンネルのSMRレジスタも設定する必要があります。

UART	UART0	
	送信	受信
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	TxD0（内部端子）	RxD0
割り込み	INTST0	INTSR0
		転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	なし	INTSRE0
エラー検出フラグ	なし	・フレーミング・エラー検出フラグ（FEF11） ・パリティ・エラー検出フラグ（PEF11） ・オーバラン・エラー検出フラグ（OVF11）
転送データ長	8ビット	
転送レート	38400 [bps]または230400 [bps] ^{注1, 2}	
データ位相	反転出力	なし
パリティ・ビット	奇数パリティ付加	奇数パリティ・チェック
ストップ・ビット	1ビット付加	1ビット付加
データ方向	LSBファースト	

注1. 例1：

目標ボー・レート : 38400 [bps]
 動作クロック : $f_{CLK}/2^2$ ($f_{CLK} = 20$ MHz時) (SDR00[15:9] = 64)
 算出ボー・レート : 38461.5 [bps]
 目標ボー・レートとの誤差 : +0.16 [%]

【製品での設定例】

```
SPS0 = 0x0002; /* set CK0 Clock to 5 MHz */
SDR00 = 0x8000; /* set clock for channel 0 (38,4 Kbit/s) */
SDR01 = 0x8000; /* set clock for channel 1 (38,4 Kbit/s) */
```

例2：

目標ボー・レート : 230400 [bps]
 動作クロック : f_{CLK} ($f_{CLK} = 20$ MHz時) (SDR00[15:9] = 42)
 算出ボー・レート : 232558 [bps]
 目標ボー・レートとの誤差 : +0.93 [%]

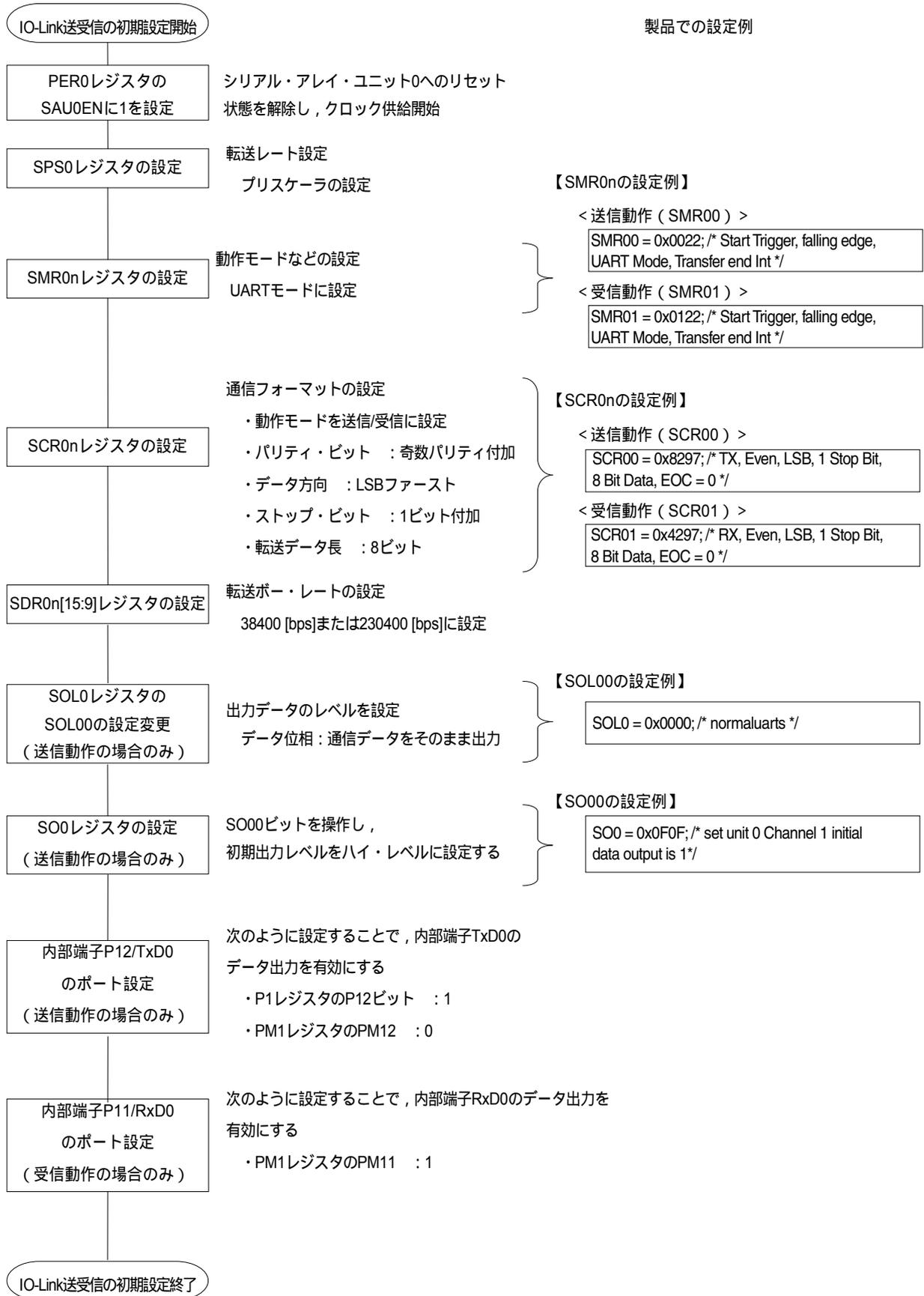
【製品での設定例】

```
SPS0 = 0x0000; /* set CK0 Clock to 20 MHz */
SDR00 = 0x5400; /* set clock for channel 0 (230,4 Kbit/s) */
SDR01 = 0x5400; /* set clock for channel 1 (230,4 Kbit/s) */
```

- この条件を満たし、かつ電気的特性のAC特性（第26章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{CLK} ：システム・クロック周波数

図11 - 94 IO-Link送受信の初期設定手順



注 n = 0, 1

注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS0レジスタを設定してください。

11.8 簡易I²C (IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション, ストップ・コンディションは、制御レジスタの操作とともに、ACスベックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・オーバラン・エラー
- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOE10 (SOE1レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、11. 8. 3 (2) **処理フロー**を参照してください。

備考 フル機能のI²Cバスをご使用の場合は、**第12章 シリアル・インタフェースIICA**を参照してください。

簡易I²C (IIC20) に対応しているチャンネルは、SAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0 (IO-Link通信専用)	-
	1	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

簡易I²C (IIC20) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (11.8.1項を参照)
- ・ データ送信 (11.8.2項を参照)
- ・ データ受信 (11.8.3項を参照)
- ・ ストップ・コンディション発生 (11.8.4項を参照)

11.8.1 アドレス・フィールド送信

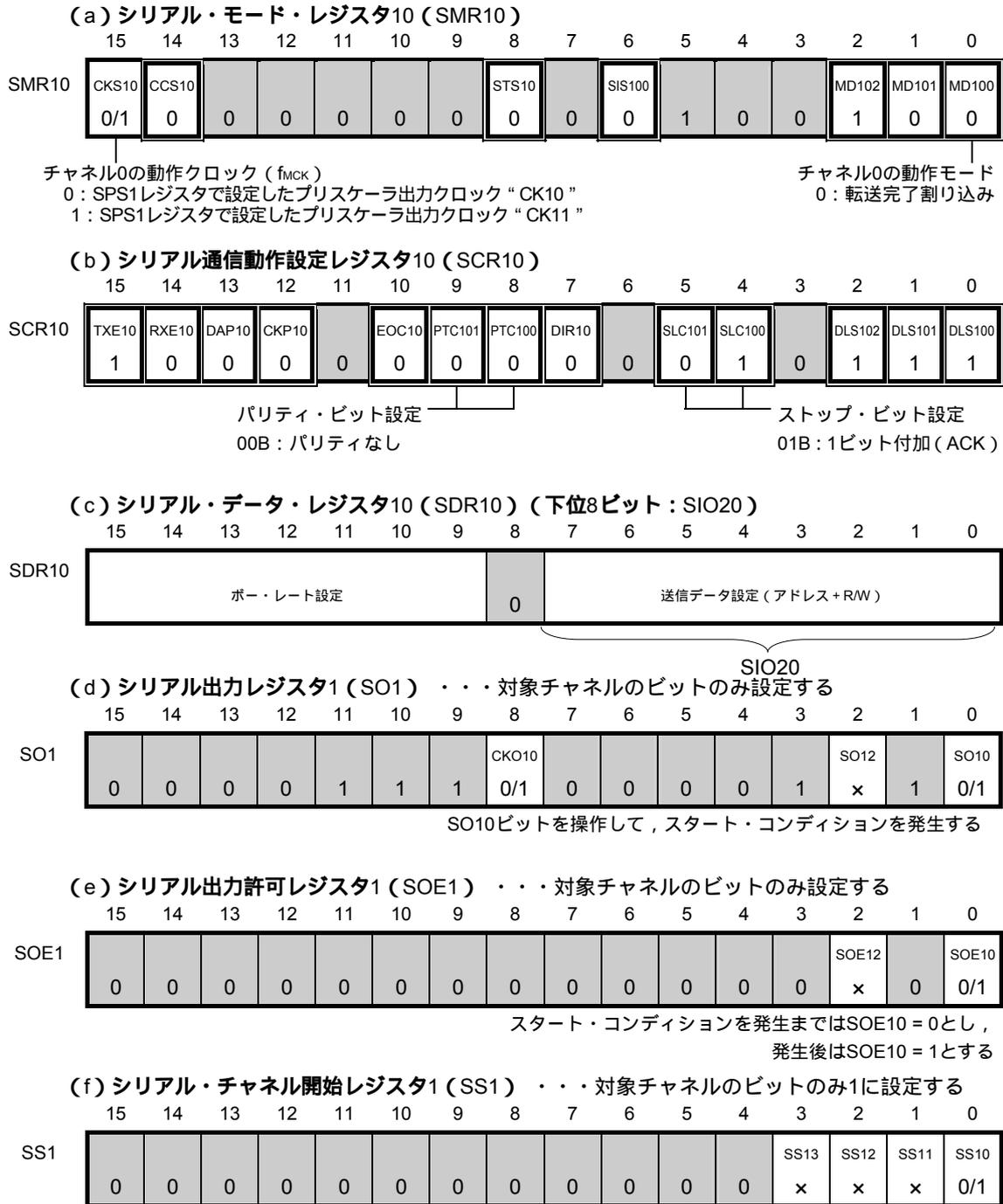
アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 ^註
割り込み	INTIIC20
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)
エラー検出フラグ	パリティ・エラー検出フラグ(PEF10)
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)
転送レート	Max. f _{MCK} /4 [Hz] (SDR10[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz (ファースト・モード) ・ Max. 100 kHz (標準モード)
データ・レベル	正転出力(デフォルト: ハイ・レベル)
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加(ACK受信タイミング用)
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POM14)にてN-chオープン・ドレーン出力(V_{DD}耐圧)モードを設定(POM143 = 1)してください(詳細は6.3 **ポート機能を制御するレジスタ**を参照)。異電位外部デバイスとの通信の場合は、クロック入力/出力端子(SCL20)も同様にN-chオープン・ドレーン出力(V_{DD}耐圧)モードを設定(POM142 = 1)してください(詳細は、6.4.4 **異電位(2.5V系, 3V系)外部デバイスとの接続方法を参照**)。

(1) レジスタ設定

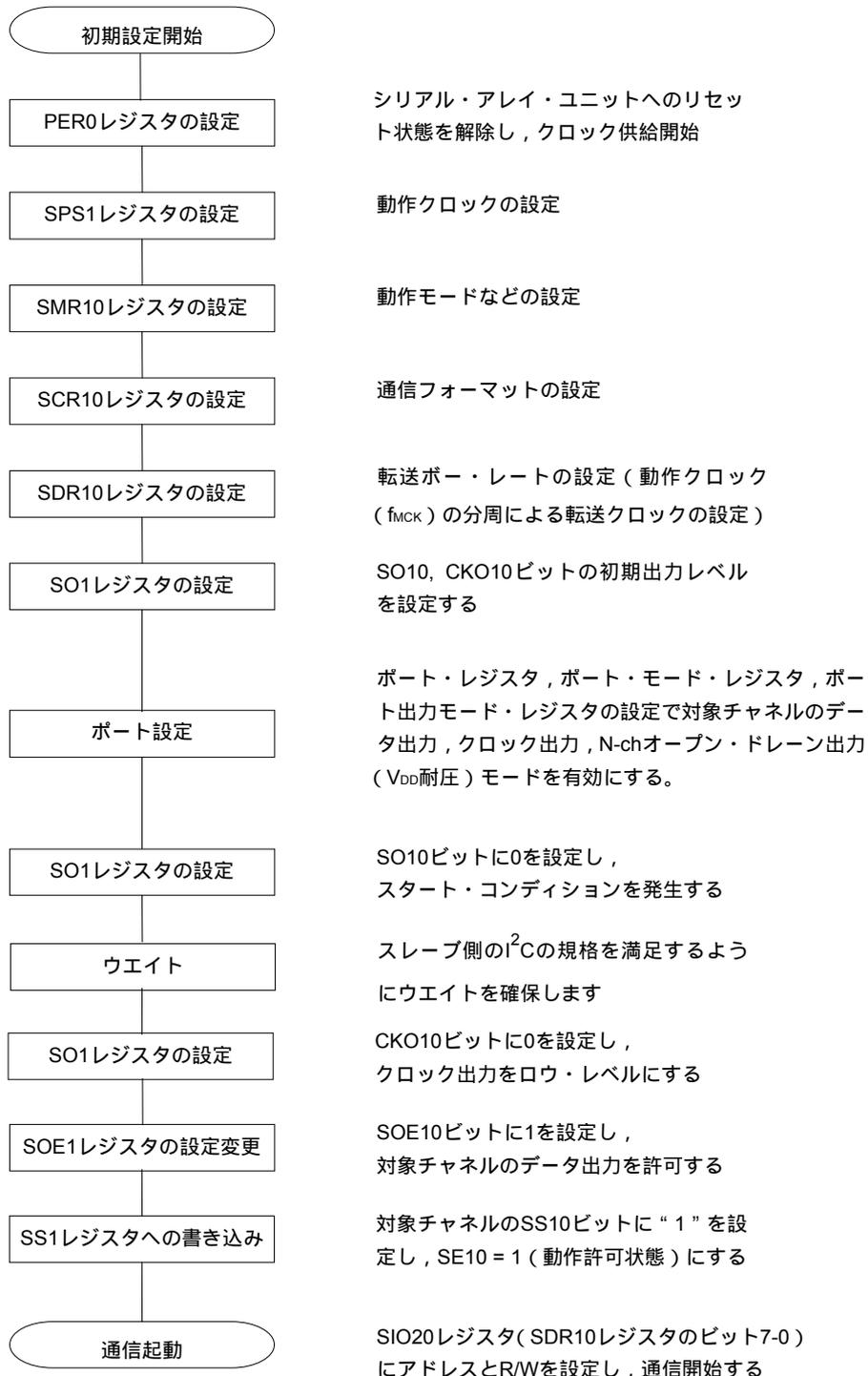
図11 - 95 簡易I²C (IIC20) のアドレス・フィールド送信時のレジスタ設定内容例



備考 □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 96 アドレス・フィールド送信の初期設定手順



注意 PER0レジスタのSAU1ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPS1レジスタを設定してください。

(3) 処理フロー

図11 - 97 アドレス・フィールド送信のタイミング・チャート

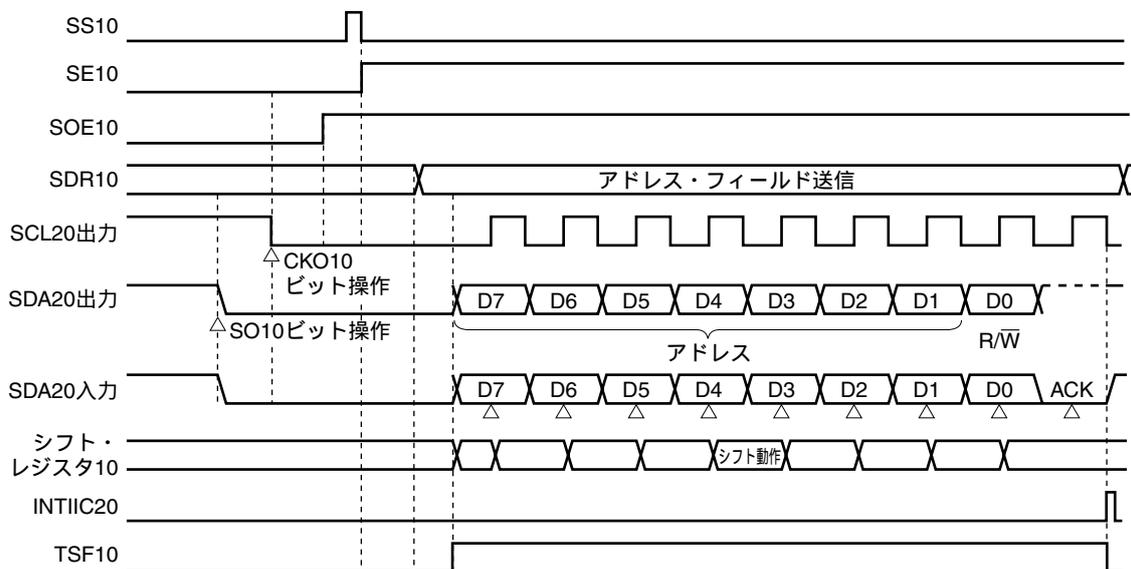
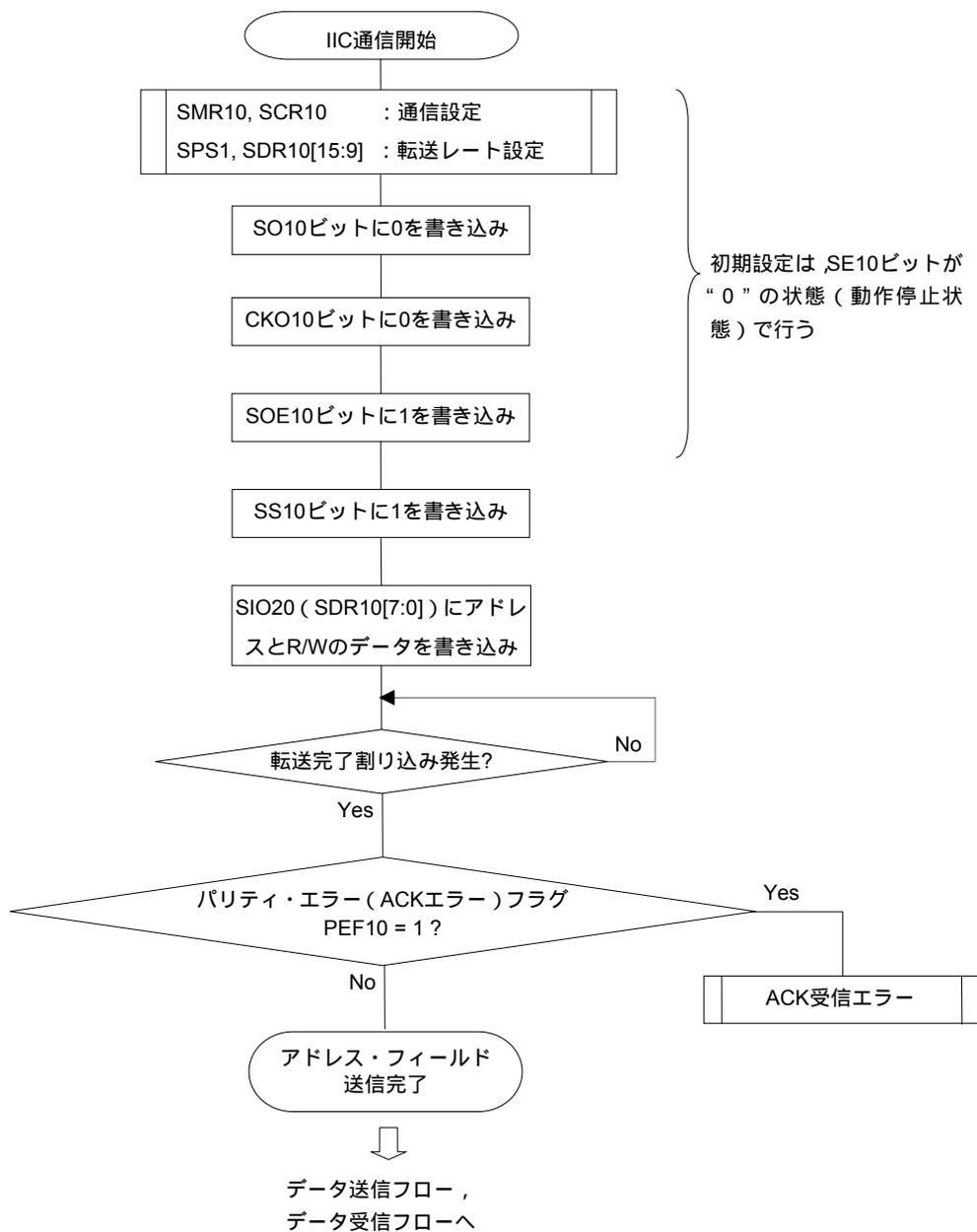


図11 - 98 アドレス・フィールド送信のフロー・チャート



11. 8. 2 データ送信

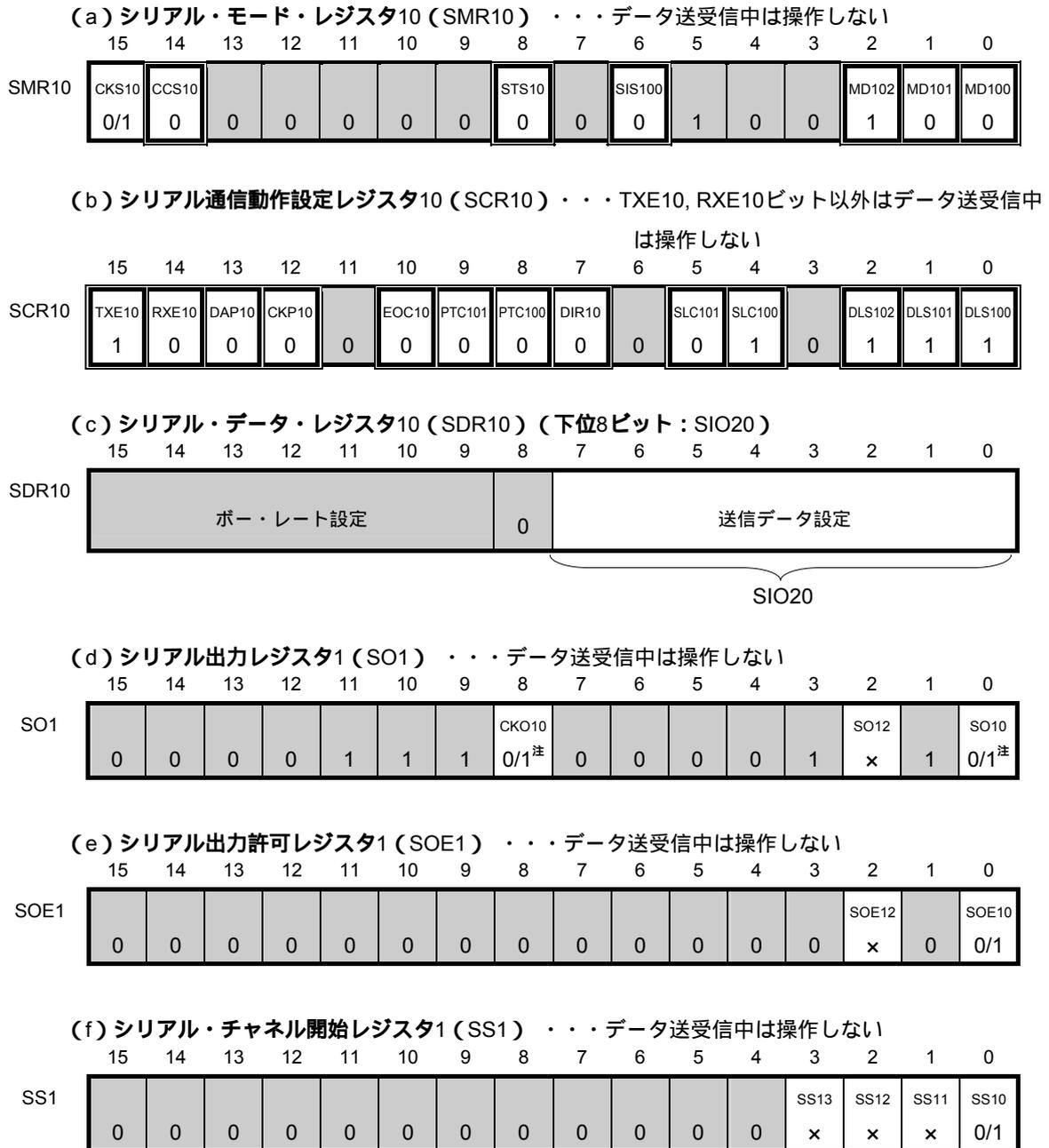
データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 [※]
割り込み	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	パリティ・エラー検出フラグ（PEF10）
転送データ長	8ビット
転送レート	Max. $f_{MCK}/4$ [Hz]（SDR10[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK受信タイミング用）
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM143 = 1）を設定してください（詳細は6. 3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM142 = 1）してください（詳細は、6. 4. 4 **異電位（2.5 V系、3 V系）外部デバイスとの接続方法を参照**）。

(1) レジスタ設定

図11 - 99 簡易I²C (IIC20) のデータ送信時のレジスタ設定内容例



注 通信動作中は通信データにより値が変わります。

備考 □ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図11 - 100 データ送信のタイミング・チャート

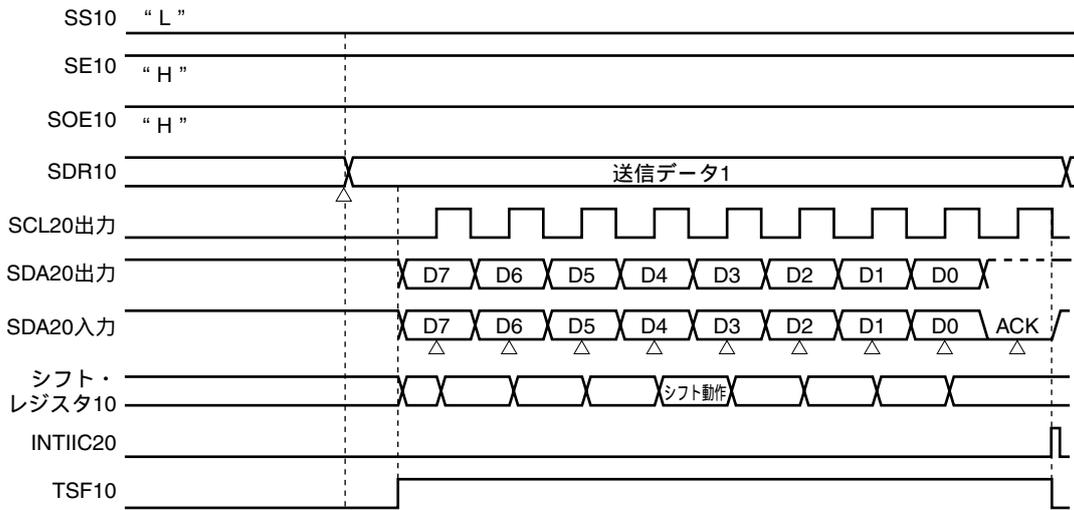
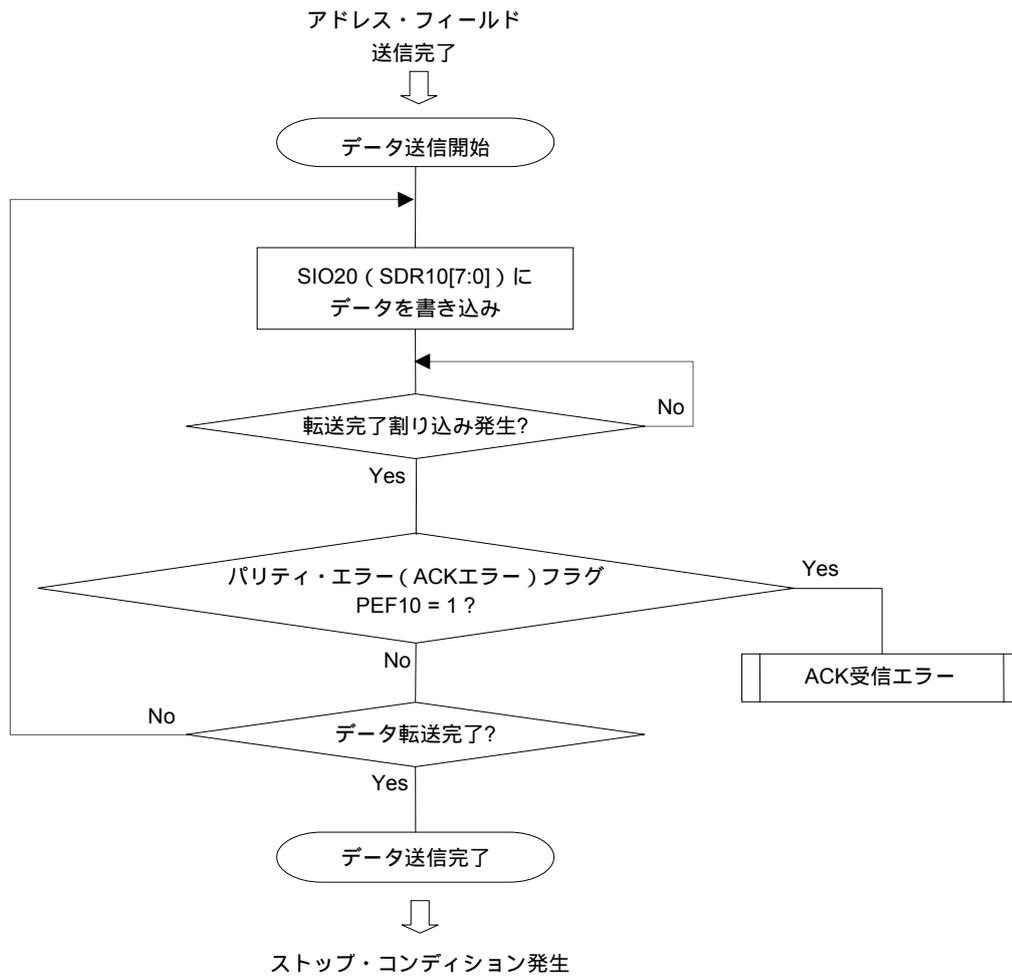


図11 - 101 データ送信のフロー・チャート



11. 8. 3 データ受信

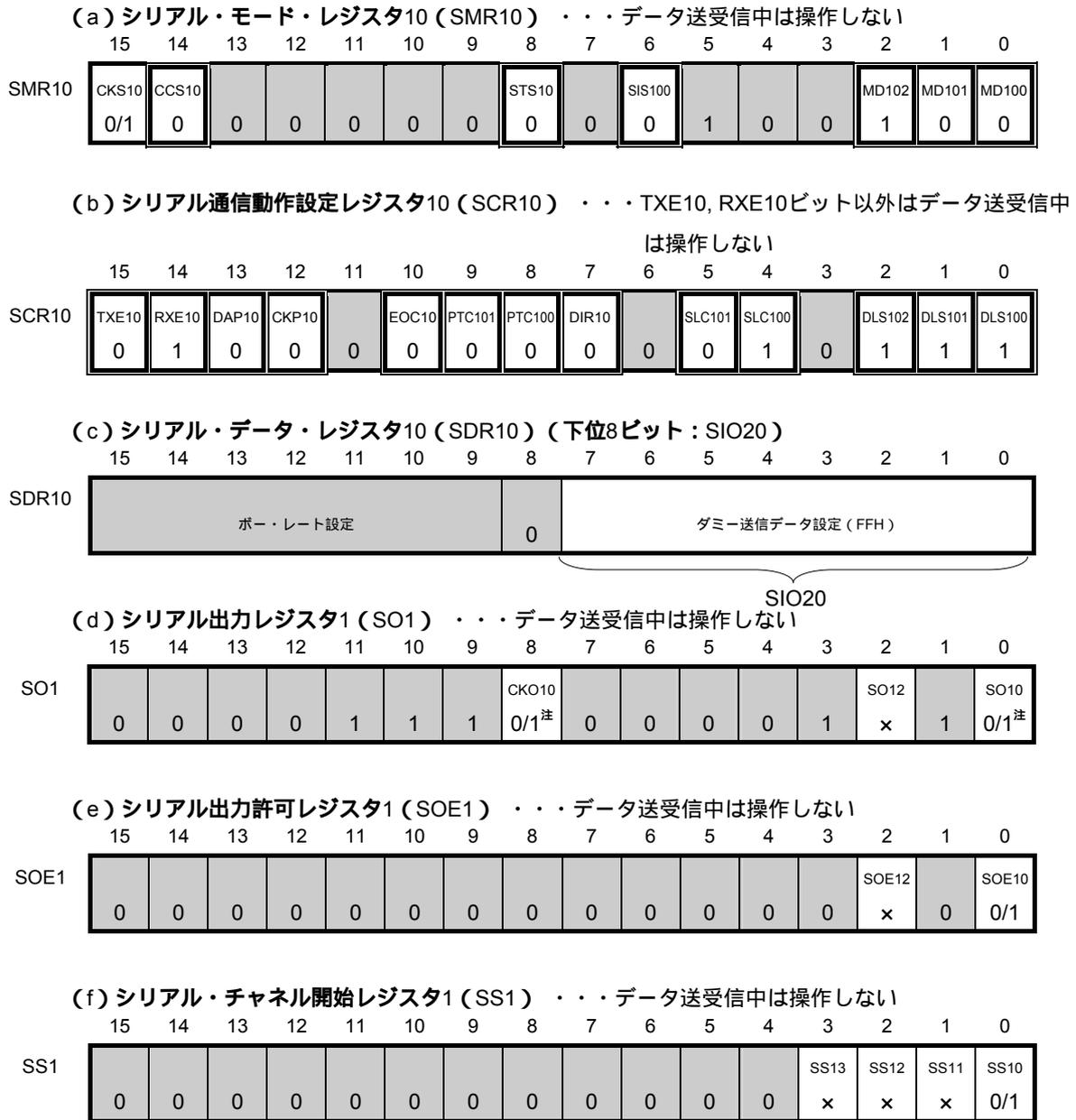
データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 [※]
割り込み	INTIIC20 転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF10）のみ
転送データ長	8ビット
転送レート	Max. $f_{MCK}/4$ [Hz]（SDR10[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK送信）
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM143 = 1）を設定してください（詳細は6. 3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM142 = 1）してください（詳細は、6. 4. 4 **異電位（2.5 V系、3 V系）外部デバイスとの接続方法を参照**）。

(1) レジスタ設定

図11 - 102 簡易I²C (IIC20) のデータ受信時のレジスタ設定内容例



注 通信動作中は通信データにより値が変わります。

備考 □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

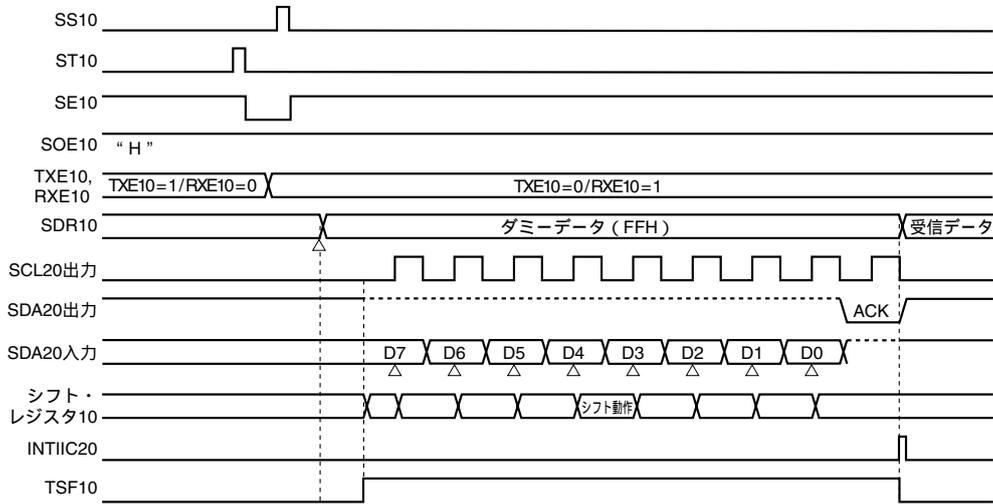
x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 処理フロー

図11 - 103 データ受信のタイミング・チャート

(a) データ受信開始時



(b) 最終データ受信時

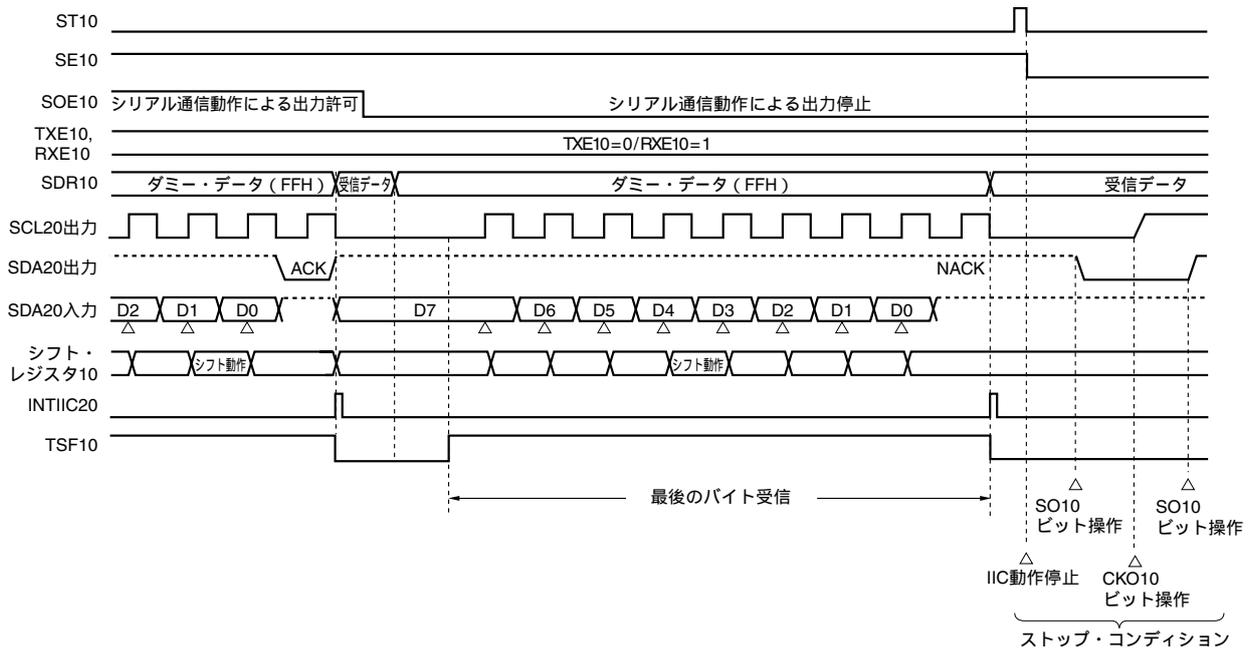
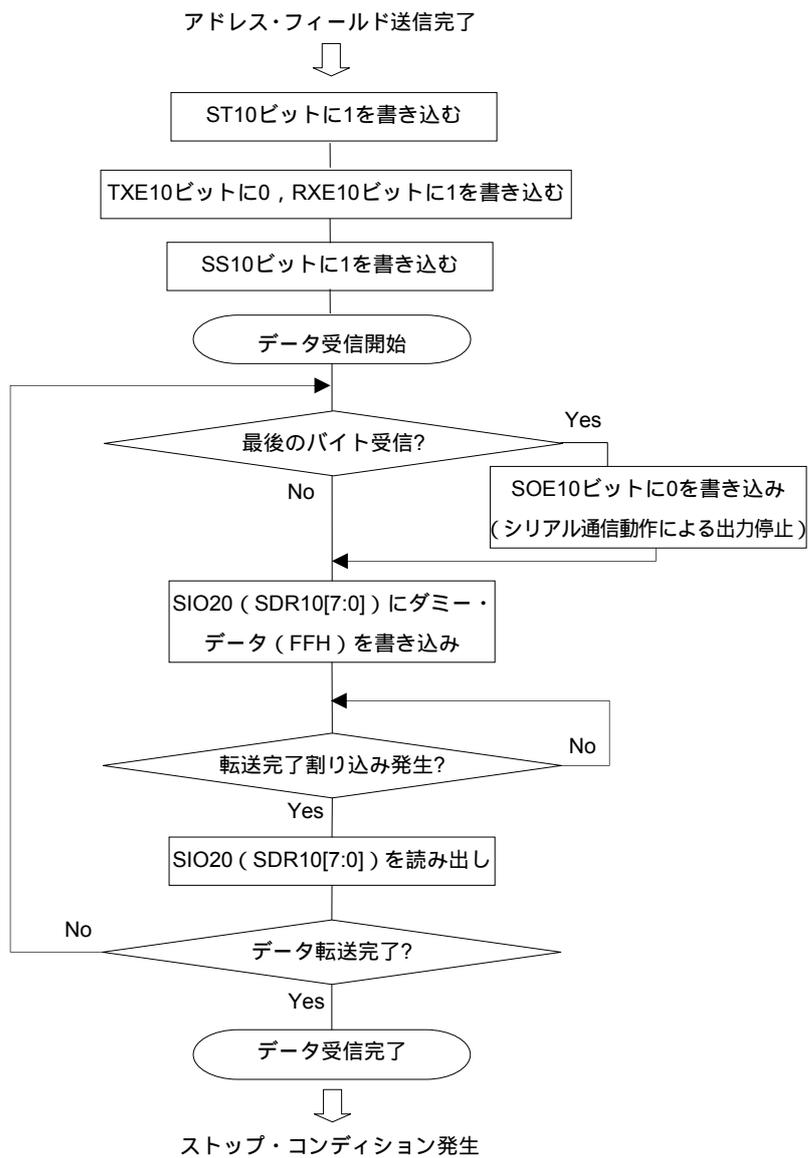


図11 - 104 データ受信のフロー・チャート



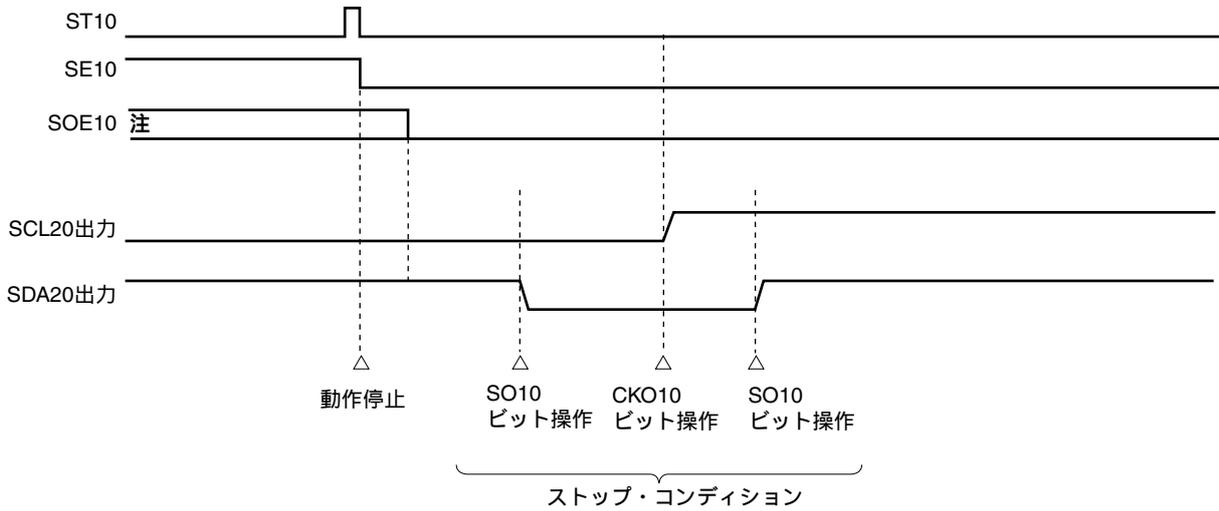
注意 最終データの受信時はACKを出力しません (NACK)。その後、ST10ビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

11. 8. 4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

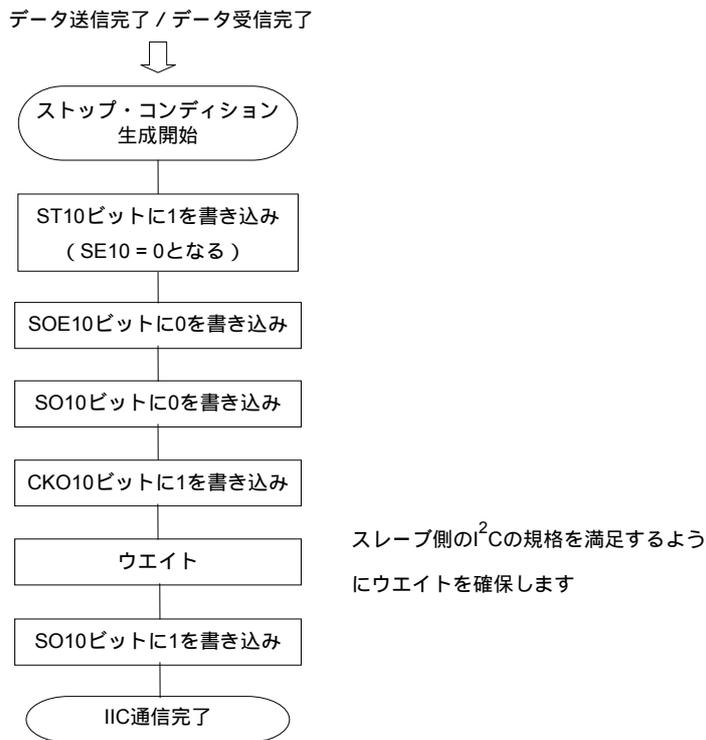
(1) 処理フロー

図11 - 105 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、SOE10ビットを0に設定しています。

図11 - 106 ストップ・コンディション発生のフロー・チャート



11.8.5 転送レートの算出

簡易I²C (IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャネルの動作クロック (MCK) 周波数} \} \div (\text{SDR10}[15:9] + 1) \div 2$$

注意 SDR10[15:9] = 0000000Bは設定禁止です。SDR10[15:9] = 0000001B以上に設定してください。

備考 SDR10[15:9]は、SDR10レジスタのビット15-9の値 (0000001B-1111111B) なので、1-127になります。

動作クロック(f_{MCK})は、シリアル・クロック選択レジスタ1 (SPS1) とシリアル・モード・レジスタ10 (SMR10) のビット15 (CKS10) で決まります。

表11-4 動作クロックの選択

SMR10 レジスタ	SPS1レジスタ								動作クロック (fMCK) ^注		
	CKS10	PRS 113	PRS 112	PRS 111	PRS 110	PRS 103	PRS 102	PRS 101	PRS 100	fCLK = 20 MHz 動作時	
0	X	X	X	X	0	0	0	0	0	fCLK	20 MHz
	X	X	X	X	0	0	0	1	1	fCLK/2	10 MHz
	X	X	X	X	0	0	1	0	0	fCLK/2 ²	5 MHz
	X	X	X	X	0	0	1	1	1	fCLK/2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	0	fCLK/2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	1	fCLK/2 ⁵	625 kHz
	X	X	X	X	0	1	1	1	0	fCLK/2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	1	fCLK/2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	0	fCLK/2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	1	fCLK/2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	0	fCLK/2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	1	fCLK/2 ¹¹	9.77 kHz
1	X	X	X	X	1	1	1	1	1	INTTM03	
	0	0	0	0	X	X	X	X	X	fCLK	20 MHz
	0	0	0	1	X	X	X	X	X	fCLK/2	10 MHz
	0	0	1	0	X	X	X	X	X	fCLK/2 ²	5 MHz
	0	0	1	1	X	X	X	X	X	fCLK/2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	X	fCLK/2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	X	fCLK/2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	X	fCLK/2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	X	fCLK/2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	X	fCLK/2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	X	fCLK/2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	X	fCLK/2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	X	fCLK/2 ¹¹	9.77 kHz
1	1	1	1	X	X	X	X	X	INTTM03		
上記以外									設定禁止		

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（ST1 = 000FH）させてから変更してください。動作クロックにINTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

備考 X : Don't care

MCK = f_{CLK} = 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	f_{CLK} = 20 MHz時			
	動作クロック (f_{MCK})	SDR10[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

11. 8. 6 簡易I²C (IIC20) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC20) 通信時にエラーが発生した場合の処理手順を図11 - 107, 図11 - 108に示します。

図11 - 107 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDR10レジスタをリードする	▶ BFF10ビットが“0”となり、チャンネル0は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSR10レジスタをリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
SIR10レジスタに“1”をライトする	▶ エラー・フラグがクリアされる	SSR10レジスタのリード値をそのままSIR10レジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

図11 - 108 簡易I²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDR10レジスタをリードする	▶ BFF10ビットが“0”となり、チャンネル0は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSR10レジスタをリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
SIR10レジスタをライトする	▶ エラー・フラグがクリアされる	SSR10レジスタのリード値をそのままSIR10レジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる
ST10ビットに“1”を設定する	▶ SE10ビットが“0”となり、チャンネル0は動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
SS10ビットに1を設定する	▶ SE10ビットが“1”となり、チャンネル0は動作許可状態になる	

11.9 レジスタの設定と端子の関係

シリアル・アレイ・ユニット1のチャンネルごとのレジスタの設定と端子の関係を表11 - 5 ~ 表11 - 8に示します。

表11 - 5 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

SE 10 注1	MD 102	MD 101	SOE 10	SO 10	CKO 10	TXE 10	RXE 10	PM 142	P142	PM 143 注2	P143 注2	PM 144	P144	動作モード	端子機能																	
															SCK20/ SCL20/P142	SI20/SDA20/ Rx/D2/P143注2	SO20/ Tx/D2/P144															
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	P142	P143	P144															
																P143/RxD2																
																P143																
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	スレーブCSI20 受信	SCK20 (入力)	SI20	P144															
															1	0/1 注4		1	1	0	1	x	x 注3	x 注3	0	1	スレーブCSI20 送信	SCK20 (入力)	P143	SO20		
															1	0/1 注4		1	1	1	1	x	1	x	0	1	スレーブCSI20 送受信	SCK20 (入力)	SI20	SO20		
															0	1		0/1 注4	0	1	0	1	1	x	x 注3	x 注3	0	1	マスタCSI20 受信	SCK20 (出力)	SI20	P144
															1	0/1 注4		0/1 注4	1	0	0	1	x 注3	x 注3	0	1	マスタCSI20 送信	SCK20 (出力)	P143	SO20		
															1	0/1 注4		0/1 注4	1	1	0	1	1	x	0	1	マスタCSI20 送受信	SCK20 (出力)	SI20	SO20		
															0	1		1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART2 送信注5	P142	P143/RxD2	TxD2
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	x 注3	x 注3	IIC20 スタート・コン ディション	SCL20	SDA20	P144															
																		1	0													
																		0	1													
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20アドレ ス・フィールド 送信	SCL20	SDA20	P144
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20デー タ送信	SCL20	SDA20	P144
1	0/1 注4	0/1 注4	0	1	0	1	0	1	x 注3	x 注3	IIC20デー タ受信	SCL20	SDA20	P144																		
0			0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3	IIC20 ストップ・コン ディション	SCL20	SDA20	P144															
																		1	0													
																		0	1													

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります(表11 - 6参照)。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル1をUART2受信に設定にしてください(表11 - 6参照)。
6. CKO10ビットは、スタート・コンディション発生前は1にセットします。SO10ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO10ビットは、ストップ・コンディション発生前は1にセットします。SO10ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 x : dont' care

表11 - 6 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

SE11 ^{注1}	MD112	MD111	TXE11	RXE11	PM143 ^{注2}	P143 ^{注2}	動作 モード	端子機能
								SI20/SDA20/RxD2/P143 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI20/SDA20/P143
1	0	1	0	1	1	x	UART2 受信 ^{注4, 5}	RxD2

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信に設定してください (表11 - 5参照)。
また、ユニット1のチャンネル0をCSI20またはIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット1のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル0をUART2送信に設定にしてください (表11 - 5参照)。
5. UART2受信時はユニット1のチャンネル0のSMR10レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表11 - 7 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)

SE12 ^{注1}	MD122	MD121	SOE12	SO12	TXE12	RXE12	PM13 ^{注2}	P13 ^{注2}	動作モード	端子機能
										TxD3/P13
0	0	1	0	1	0	0	x ^{注3}	x ^{注3}	動作停止モード	P13
1	0	1	1	0/1 ^{注4}	1	0	0	1	UART3送信 ^{注5}	TxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル3をUART3受信に設定すると、この端子はRxD3機能となります (表11 - 8参照)。その場合、ユニット1のチャンネル2は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル3をUART3受信に設定にしてください (表11 - 8参照)。

備考 x : dont' care

表11 - 8 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)

SE13 ^{注1}	MD132	MD131	TXE13	RXE13	PM14 ^{注2}	P14 ^{注2}	動作モード	端子機能
								RxD3/P14 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止モード	P14
1	0	1	0	1	1	x	UART3受信 ^{注4, 5}	RxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART3受信に設定すると、この端子はRxD3機能となります。その場合、ユニット1のチャンネル2は動作停止モードまたはUART3送信に設定してください (表11 - 7参照)。
3. ポート機能として設定することができます。
4. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル2をUART3送信に設定にしてください (表11 - 7参照)。
5. UART3受信時はユニット1のチャンネル2のSMR12レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

第12章 シリアル・インタフェースIICA

12.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCL0端子とSDA0端子はオープン・ドレーン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1 (IICCTL1) のWUPビットにより設定します。

図12-1に、シリアル・インタフェースIICAのブロック図を示します。

図12 - 1 シリアル・インタフェースIICAのブロック図

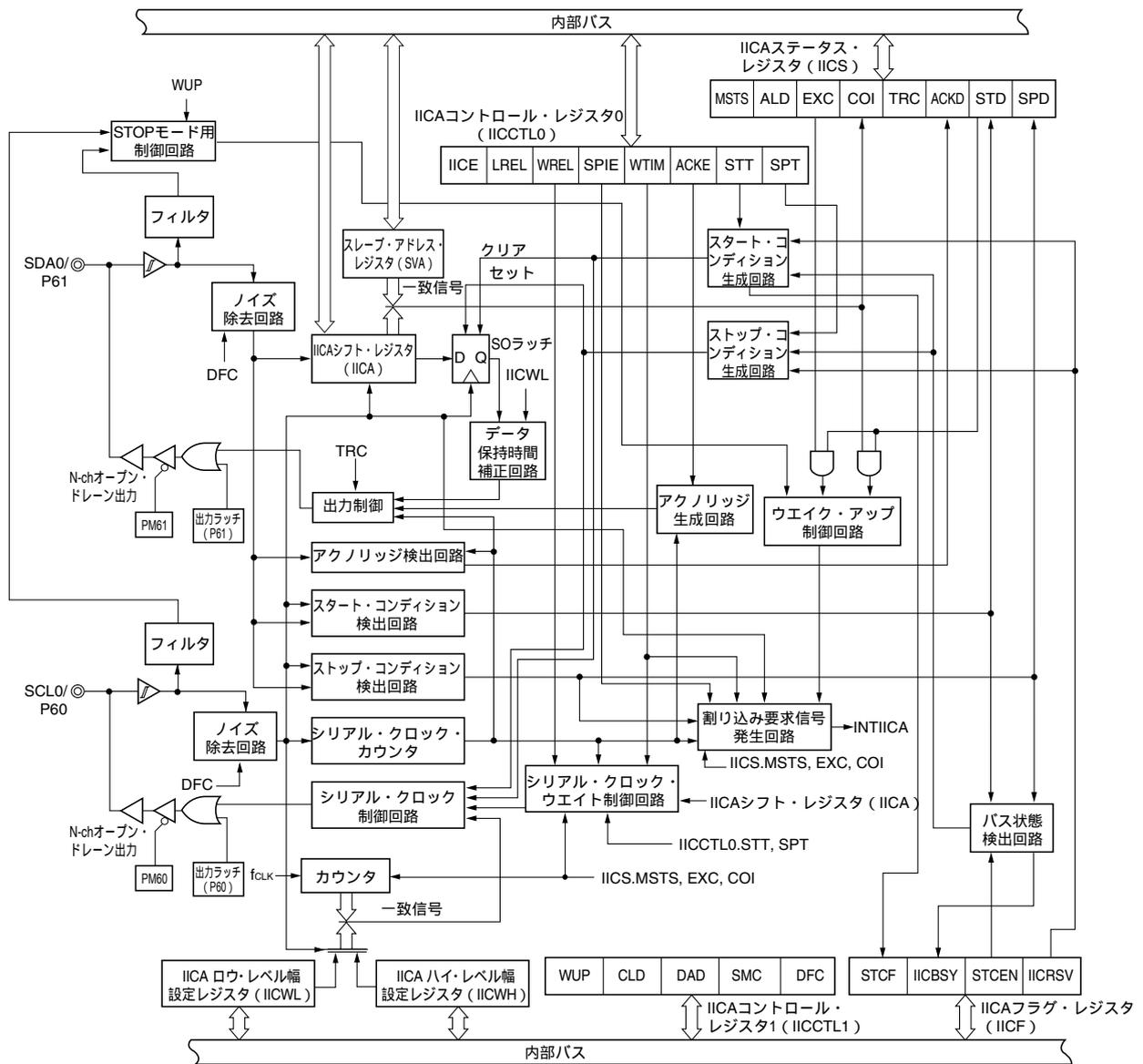
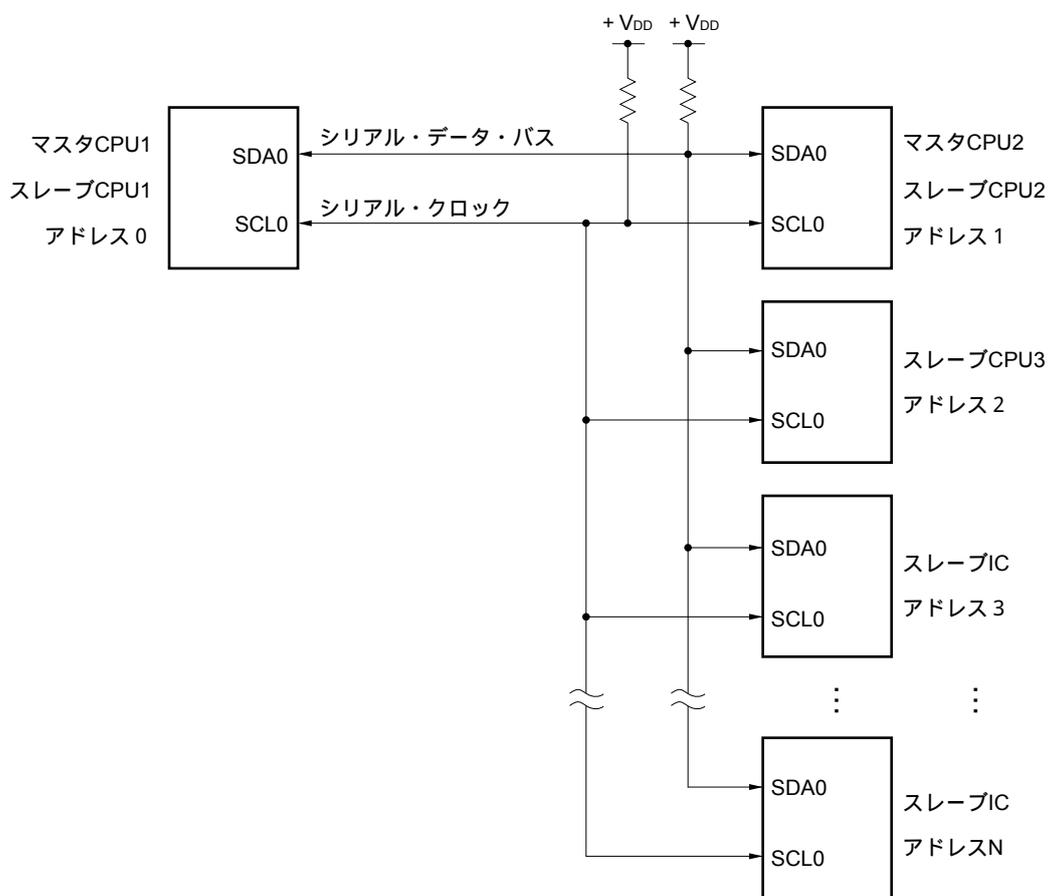


図12 - 2にシリアル・バス構成例を示します。

図12 - 2 I²Cバスによるシリアル・バス構成例



12.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表12-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ0 (IICCTL0) IICAステータス・レジスタ (IICS) IICAフラグ・レジスタ (IICF) IICAコントロール・レジスタ1 (IICCTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAレジスタは送信および受信の両方に使用されます。

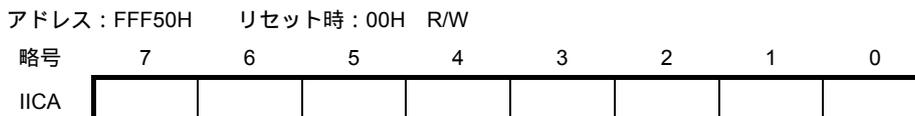
IICAレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAレジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1. データ転送中はIICAレジスタにデータを書き込まないでください。
- IICAレジスタには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICAレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAレジスタにデータを書き込んでください。

(2) スレープ・アドレス・レジスタ (SVA)

スレープとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVAレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12 - 4 スレープ・アドレス・レジスタ (SVA) のフォーマット

アドレス : F0234H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVA	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレープ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEビットで設定)

備考 WTIMビット : IICAコントロール・レジスタ0 (IICCTL0) のビット3
 SPIEビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTビットがセット (1) されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSVビット = 1) で、かつバスが解放されていない (IICBSYビット = 1) 場合には、スタート・コンディション要求は無視し、STCFビットをセット (1) します。

(12) ストップ・コンディション生成回路

SPTビットがセット (1) されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTビット	:	IICAコントロール・レジスタ0 (IICCTL0)	のビット1
	SPTビット	:	"	のビット0
	IICRSVビット	:	IICAフラグ・レジスタ (IICF)	のビット0
	IICBSYビット	:	"	のビット6
	STCFビット	:	"	のビット7
	STCENビット	:	"	のビット1

12.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ0 (IICCTL0)
- ・IICAフラグ・レジスタ (IICF)
- ・IICAステータス・レジスタ (IICS)
- ・IICAコントロール・レジスタ1 (IICCTL1)
- ・IICAロウ・レベル幅設定レジスタ (IICWL)
- ・IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICAEN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAEN = 1の設定を行ってください。IICAEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6) は除く)。

2. PER0レジスタのビット6, 7には必ず"0"を設定してください。

(2) IICAコントロール・レジスタ0 (IICCTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE, WTIM, ACKEビットは, IICE = 0のとき, またはウェイト期間中に設定してください。またIICEビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IICCTL0	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE = 0)	セットされる条件 (IICE = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICCTL0), IICAステータス・レジスタ (IICS) のうち、次のフラグがクリア (0) される。 ・ STT ・ SPT ・ MSTs ・ EXC ・ COI ・ TRC ・ ACKD ・ STD
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0)	セットされる条件 (LREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC = 1) で、9クロック目のウェイト期間中にWRELビットをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC = 0) にします。	
クリアされる条件 (WREL = 0)	セットされる条件 (WREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

- 注1. リセットされるのは、IICAステータス・レジスタ (IICA), IICAフラグ・レジスタ (IICF) のSTCF, IICBSYビット, IICAコントロール・レジスタ1 (IICCTL1) レジスタのCLD, DADビットです。
2. IICE = 0の状態では、このビットの信号は無効になります。
3. LREL, WRELビットの読み出し値は常に0になります。

注意 SCL0ラインがハイ・レベル, SDA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL1レジスタのDFC = 1) のときにI²Cを動作許可 (IICE = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE = 1) したあと、連続して1ビット・メモリ操作命令により、LRELビットをセット (1) してください。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (2/4)

SPIE ^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ1 (IICCTL1) のWUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE = 0)		セットされる条件 (SPIE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM ^{注1}	ウェイトおよび割り込み要求発生 of 制御	
0	8クロック目 of 立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目 of 立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目 of 立ち下がりで割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中は9クロック of 立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目 of 立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目 of 立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIM = 0)		セットされる条件 (WTIM = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE = 0)		セットされる条件 (ACKE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- 注1. IICE = 0 of 状態では、このビット of 信号は無効になります。その期間にビット of 設定を行ってください。
2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (3/4)

STT ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（待機状態，IICBSYが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTTビットはクリアされ，STTクリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE = 0に設定し，受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPT）と同時セット（1）することは禁止です。 ・STTビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（STT = 0）	セットされる条件（STT = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL = 1（通信退避）によるクリア ・IICE = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注 IICE = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STT）は，データ設定後に読み出すと0になっています。

- 2. IICRSV : IICフラグ・レジスタ（IICF）のビット0
- STCF : " のビット7

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (4/4)

SPT	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット (1) 可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。 スタート・コンディション・トリガ (STT) と同時にセット (1) することは禁止です。 SPTビットのセット (1) は、マスタのときのみ行ってください。 WTIM = 0設定時に、8クロック出力後のウエイト期間中にSPTビットをセット (1) すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTビットをセット (1) してください。 SPTビットをセット (1) 後、クリア (0) する前に、再度セット (1) することは禁止です。 		
クリアされる条件 (SPT = 0)		セットされる条件 (SPT = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LREL = 1 (通信退避) によるクリア IICE = 0 (動作停止) のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注意 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき、9クロック目にIICCTL0レジスタのビット5 (WREL) をセット (1) してウエイト解除すると、TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

備考 ビット0 (SPT) は、データ設定後に読み出すと0になっています。

(3) IICAステータス・レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSレジスタは、STT = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP=1) 状態でのIICSレジスタの読み出しは禁止です。WUP = 1の状態から、INTIICA割り込み要求と関係なくWUPビットを1 0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE = 1) して割り込み検出後にIICSレジスタを読み出して下さい。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 WUP : IICAコントロール・レジスタ1 (IICCTL1) のビット7

図12-7 IICAステータス・レジスタ (IICS) のフォーマット (1/3)



MSTS	マスタ状態確認フラグ	
0	スレープ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS = 0)		セットされる条件 (MSTS = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD = 1 (アービトレーション負け) のとき ・LREL = 1 (通信回避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSビットがクリアされる。	
クリアされる条件 (ALD = 0)		セットされる条件 (ALD = 1)
<ul style="list-style-type: none"> ・IICSレジスタ読み出し後、自動的にクリア^注 ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

注 IICSレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDビット使用時は、ほかのビットよりも先にデータをリードして下さい。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
 IICE : " のビット7

図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット (2/3)

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC = 0)		セットされる条件 (EXC = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がりでセット)

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・WREL = 1 (ウェイト解除) によるクリア^注 ・ALD = 0 1 (アービトラージン負け) のとき ・リセット時 ・通信不参加の場合 (MSTS, EXC, COI = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に “0” を入力したとき 		<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に “0” (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に “1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してウェイトを解除すると, TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウェイト解除は, IICAシフト・レジスタへの書き込みで行ってください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
 IICE : " のビット7

図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット (3/3)

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCL0ラインの9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD = 0)		セットされる条件 (STD = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD = 0)		セットされる条件 (SPD = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
 IICE : " のビット7

(4) IICAフラグ・レジスタ (IICF)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTクリア・フラグ (STCF)、I²Cバス状態フラグ (IICBSY) は読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止 / 許可を設定します。

またSTCENビットにより、IICBSYビットの初期値を設定します。

IICRSV、STCENビットはI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図12 - 8 IICAフラグ・レジスタ (IICF) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ	
0	スタート・コンディション発行。	
1	スタート・コンディション発行できず, STTフラグ・クリア。	
クリアされる条件 (STCF = 0)		セットされる条件 (STCF = 1)
<ul style="list-style-type: none"> ・ STT = 1によるクリア ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず, STTビットがクリア (0) されたとき

IICBSY	I ² Cバス状態フラグ	
0	バス解放状態 (STCEN = 1時の通信初期状態)。	
1	バス通信状態 (STCEN = 0時の通信初期状態)。	
クリアされる条件 (IICBSY = 0)		セットされる条件 (IICBSY = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICEビットのセット

STCEN	初期スタート許可トリガ	
0	動作許可 (IICE = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。	
1	動作許可 (IICE = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。	
クリアされる条件 (STCEN = 0)		セットされる条件 (STCEN = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

IICRSV	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件 (IICRSV = 0)		セットされる条件 (IICRSV = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCENビットへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

2. STCEN = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 IICE : " のビット7

(5) IICAコントロール・レジスタ1 (IICCTL1)

I²Cの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD, DADビットは読み出しのみ可能です。

IICCTL1レジスタは、WUPビットを除きI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図12 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTL1	WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御	
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止	
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可	
<p>WUP = 1でSTOPモードに移行する場合は、WUPビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図12 - 22 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPビットをクリア (0) してください。WUPビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。</p>		
クリアされる条件 (WUP = 0)		セットされる条件 (WUP = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)		・命令によるセット (MSTS, EXC, COI = 0であり、STD = 0 (通信に不参加である事) のとき) ^{注2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタ (IICS) の状態を確認しセットする必要があります。

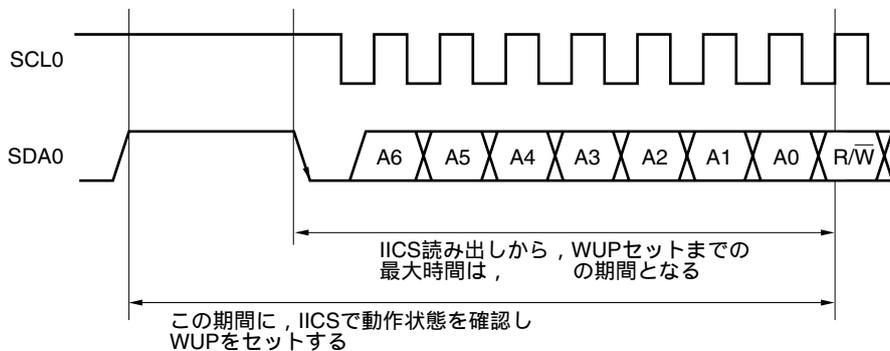


図12 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (2/2)

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD = 0)		セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD = 0)		セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFCビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

備考 IICE : IICAコントロール・レジスタ0 (IICCTL0) のビット7

(6) IICAロウ・レベル幅設定レジスタ (IICWL)

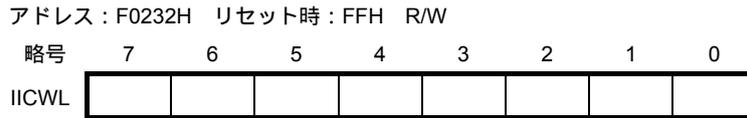
シリアル・インタフェースIICAが、出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

IICWLレジスタは、8ビット・メモリ操作命令で設定します。

IICWLレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 10 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット



(7) IICAハイ・レベル幅設定レジスタ (IICWH)

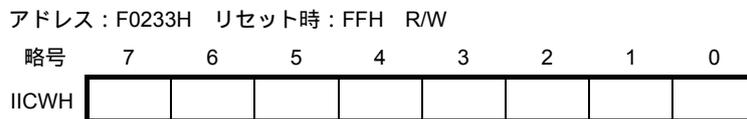
シリアル・インタフェースIICAが、出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

IICWHレジスタは、8ビット・メモリ操作命令で設定します。

IICWHレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 11 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット



備考 IICWL, IICWHレジスタによる転送クロックの設定方法は、12. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE (IICAコントロール・レジスタ0 (IICCTL0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEビットに1を設定してから, 行ってください。

PM6レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	0	0	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1, 4-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 I²Cバス・モードの機能

12.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

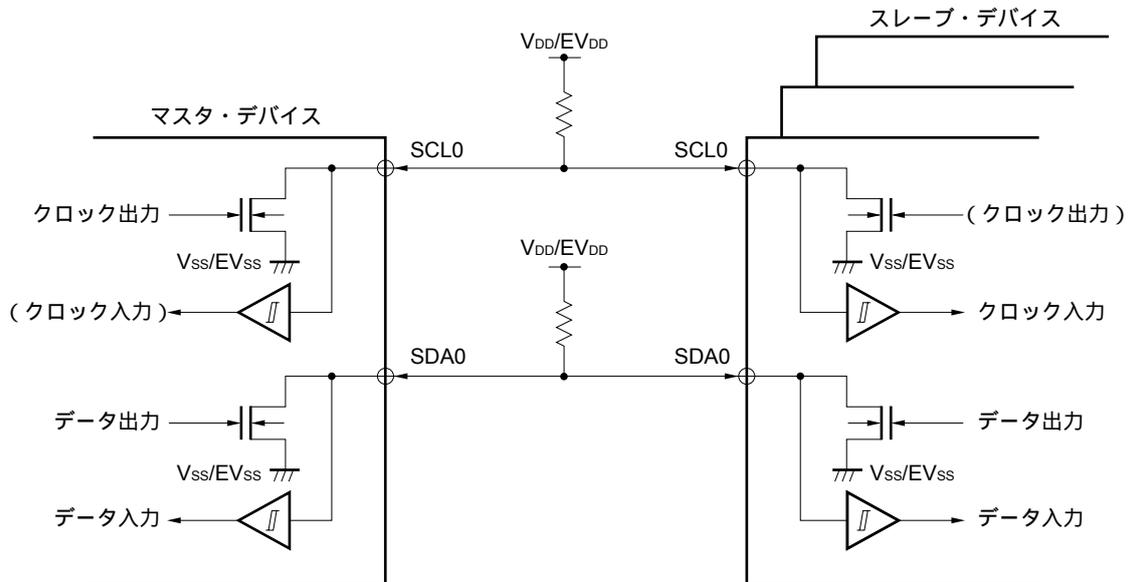
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12 - 13 端子構成図



12. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLレジスタとIICWHレジスタの設定値は次のようになります。
(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWL, IICWHレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDA0, SCL0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_{F} : SDA0, SCL0信号の立ち下がり時間

t_{R} : SDA0, SCL0信号の立ち上がり時間

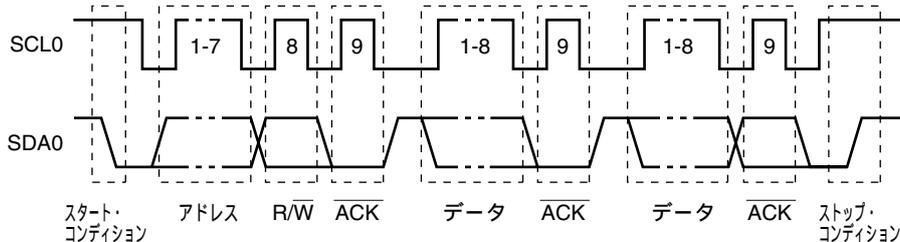
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

12.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図12 - 14に示します。

図12 - 14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

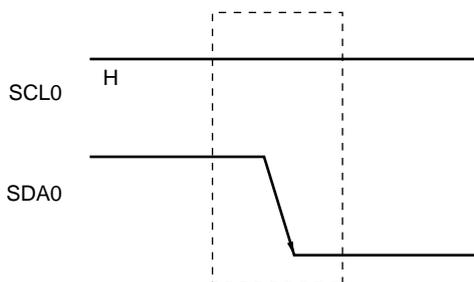
アクトリッジ (\overline{ACK}) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

12.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するとき生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図12 - 15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD: IICAステータス・レジスタ (IICS) のビット0 = 1) のときにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSレジスタのビット1 (STD) がセット (1) されます。

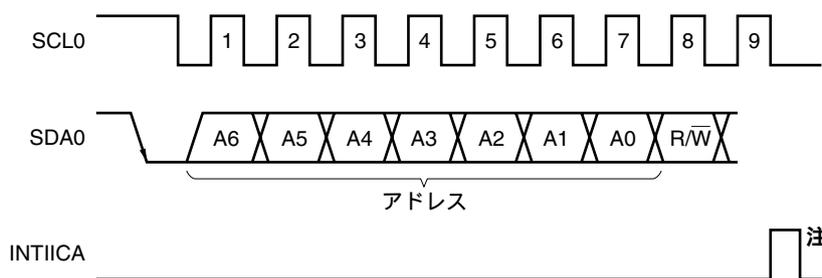
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

アドレスは、スレーブのアドレスと12.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAレジスタに書き込まれます。

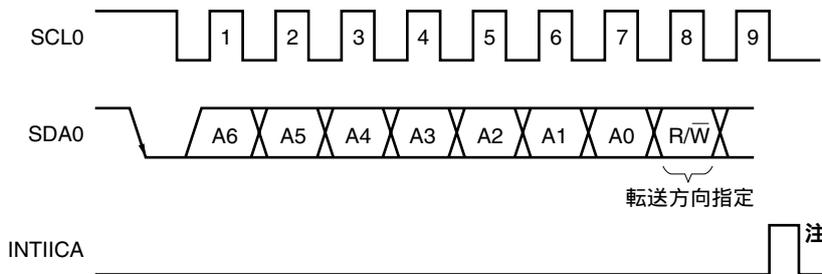
なお、スレーブのアドレスは、IICAレジスタの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

12.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ (IICS) のビット2 (ACKD) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

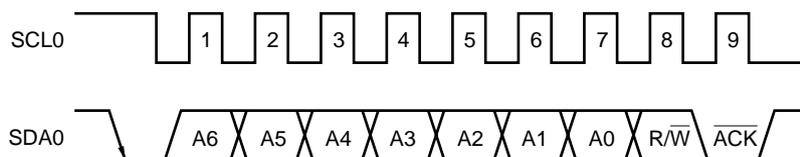
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICCTL0) のビット2 (ACKE) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSレジスタのビット3 (TRC) が設定されます。受信 (TRC = 0) の場合は、通常、ACKEビットをセット (1) してください。

スレーブ受信動作時 (TRC = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図12 - 18 アクノリッジ



自局アドレス受信時は、ACKEビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

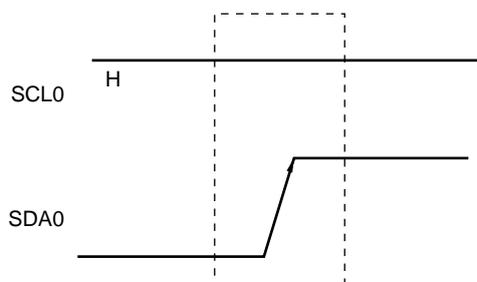
- ・8クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 0) :
ウェイト解除を行う前にACKEビットをセット (1) することによって、SCL0端子の8クロック目の立ち下がり同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 1) :
あらかじめACKEビットをセット (1) することによって、アクノリッジを生成します。

12.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICCTL0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ (IICS) のビット0 (SPD) がセット (1) され、IICCTL0レジスタのビット4 (SPIE) がセット (1) されている場合にはINTIICAが発生します。

12.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図12 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE = 1)

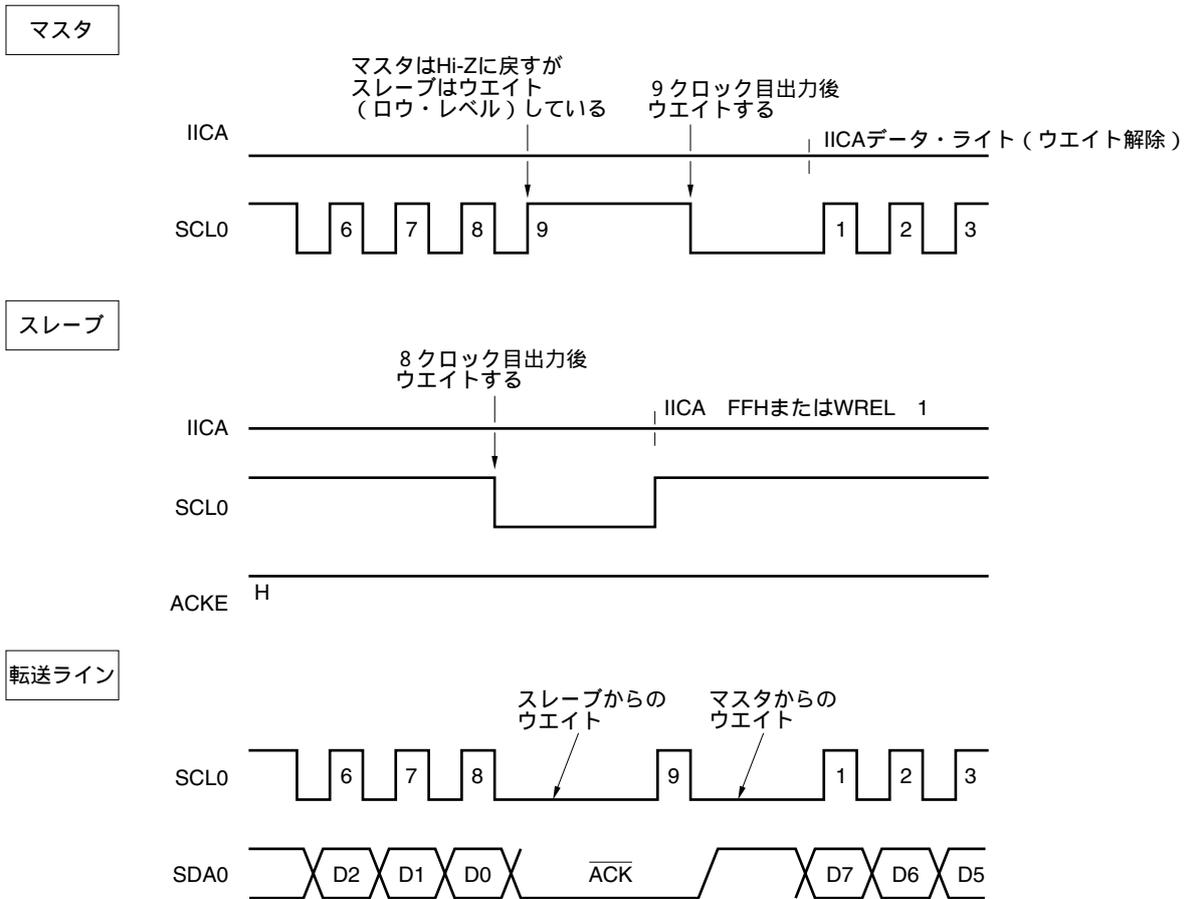
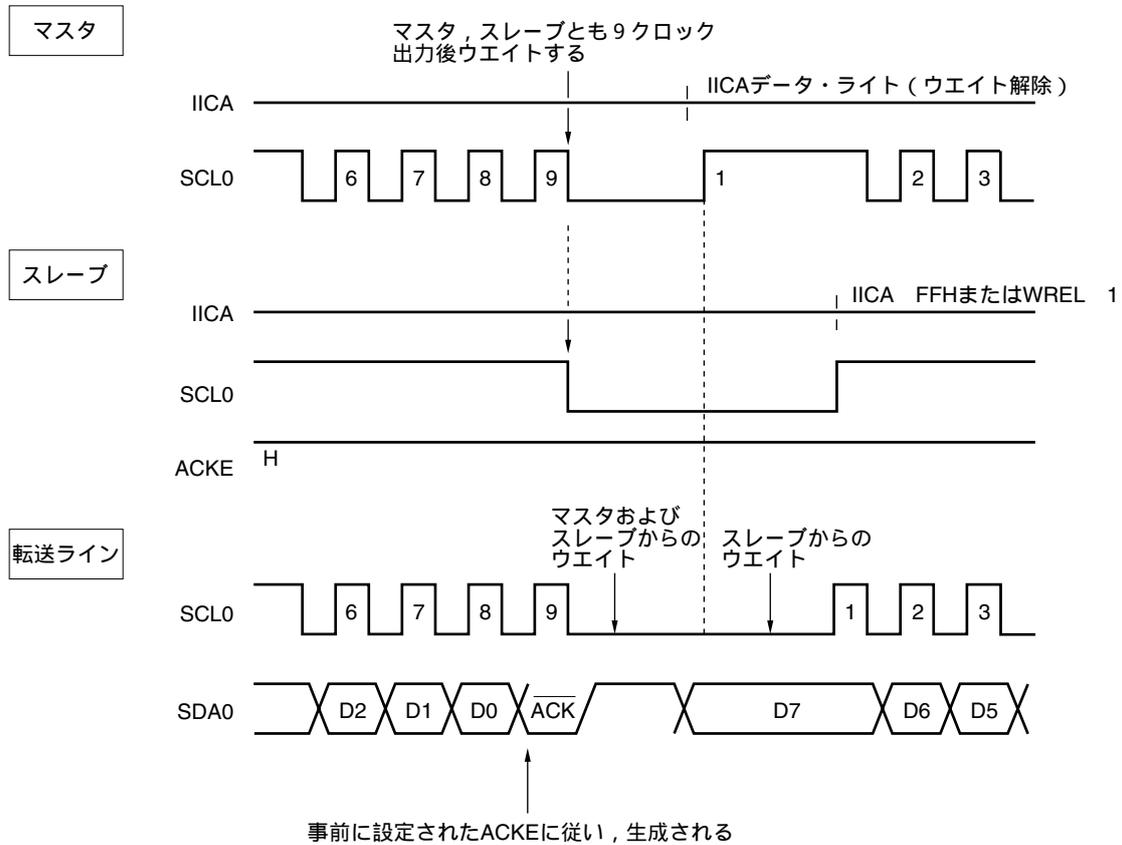


図12 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE = 1)



備考 ACKE : IICAコントロール・レジスタ0 (IICCTL0) のビット2
 WREL : " のビット5

ウェイトは, IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定により自動的に発生します。

通常, 受信側はIICCTL0レジスタのビット5 (WRELビット) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し, 送信側はIICAレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICCTL0レジスタのビット1 (STT) = 1
- ・ IICCTL0レジスタのビット0 (SPT) = 1

12.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTL0レジスタのビット5 (WREL) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL0レジスタのビット1 (STT) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL0レジスタのビット0 (SPT) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELビットにセット (1) によるウェイト解除後、IICAレジスタへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIICAレジスタへの書き込みタイミングの競合により、SDA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL0レジスタのビット6 (LREL) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

12.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0(IICCTL0)のビット3(WTIM)の設定で、表12-2に示すタイミングでINTIICAが発生し、また、ウェイト制御を行います。

表12-2 INTIICA発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA信号およびウェイトは、スレーブ・アドレス・レジスタ(SVA)に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTL0レジスタのビット2(ACKE)の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIICAが発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAが発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ(SVA)と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、上記の注1,2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAは、ストップ・コンディションを検出すると発生します (SPIE = 1のときのみ)。

12.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ (SVA) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA割り込み要求が発生します。

12.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

12.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA)を発生します。

スレーブ・アドレス・レジスタ(SVA)に格納された自局アドレスは影響しません。

(2) SVAレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致 : EXC = 1
- ・7ビット・データの一致 : COI = 1

備考 EXC : IICAステータス・レジスタ(IICS)のビット5
 COI : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICCTL0)のビット6(LREL) = 1に設定してください。次の通信待機状態にします。

表12-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

12. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STD = 1になる前にSTT = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ (IICS) のアービトレーション負けフラグ (ALD) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD = 1になっていることで検出します。

割り込み要求発生タイミングについては, 12. 5. 8 **割り込み要求 (INTIICA) の発生タイミングおよびウェイト制御**を参照してください。

- 備考 STD : IICAステータス・レジスタ (IICS) のビット1
- STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

図12 - 21 アービトレーション・タイミング例

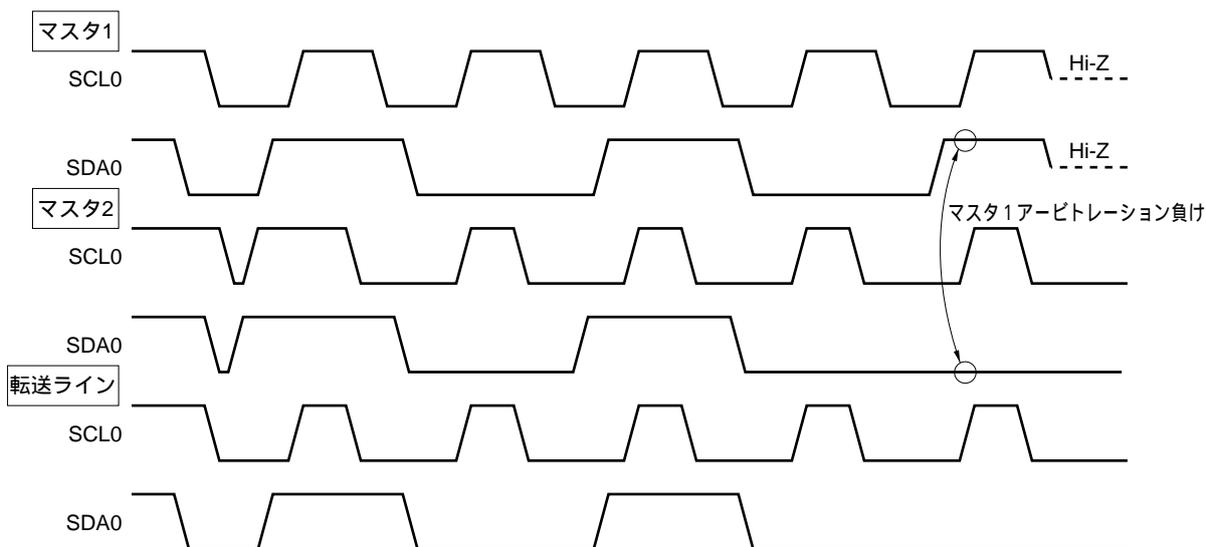


表12-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIMビット (IICAコントロール・レジスタ0 (IICCTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1に設定してください。

備考 SPIE : IICAコントロール・レジスタ0 (IICCTL0) のビット 4

12. 5. 13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生する機能です。

アドレスが一致しないときは不要なINTIICA信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICCTL0) のビット4 (SPIE) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図12 - 22に、アドレス一致によりWUP = 0に設定する場合のフローを図12 - 23に示します。

図12 - 22 WUP = 1を設定する場合のフロー

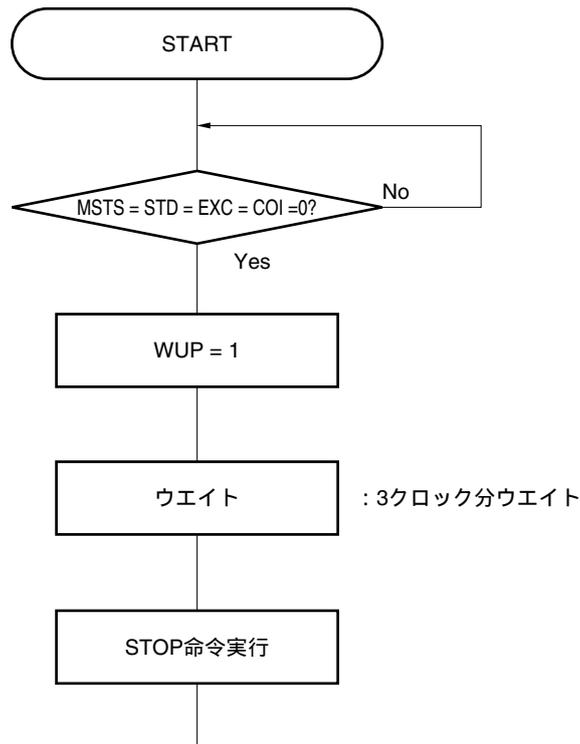
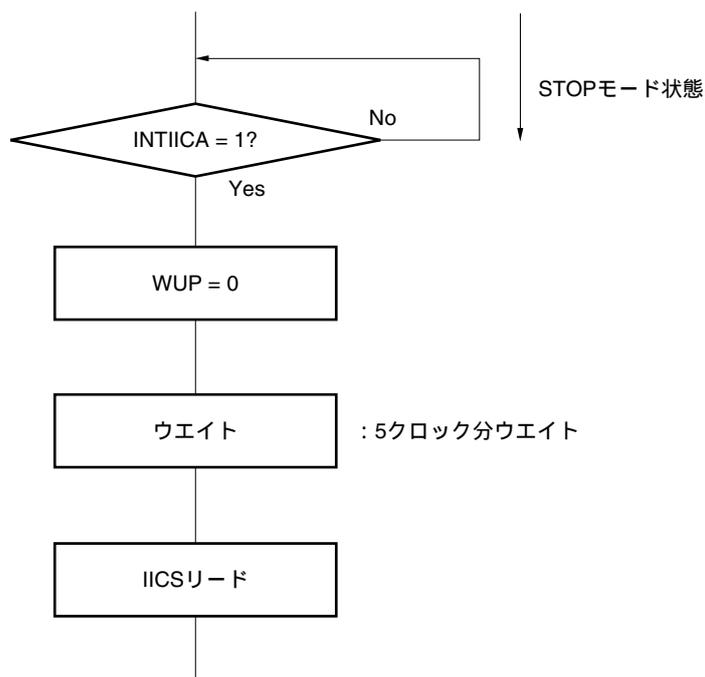


図12 - 23 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）

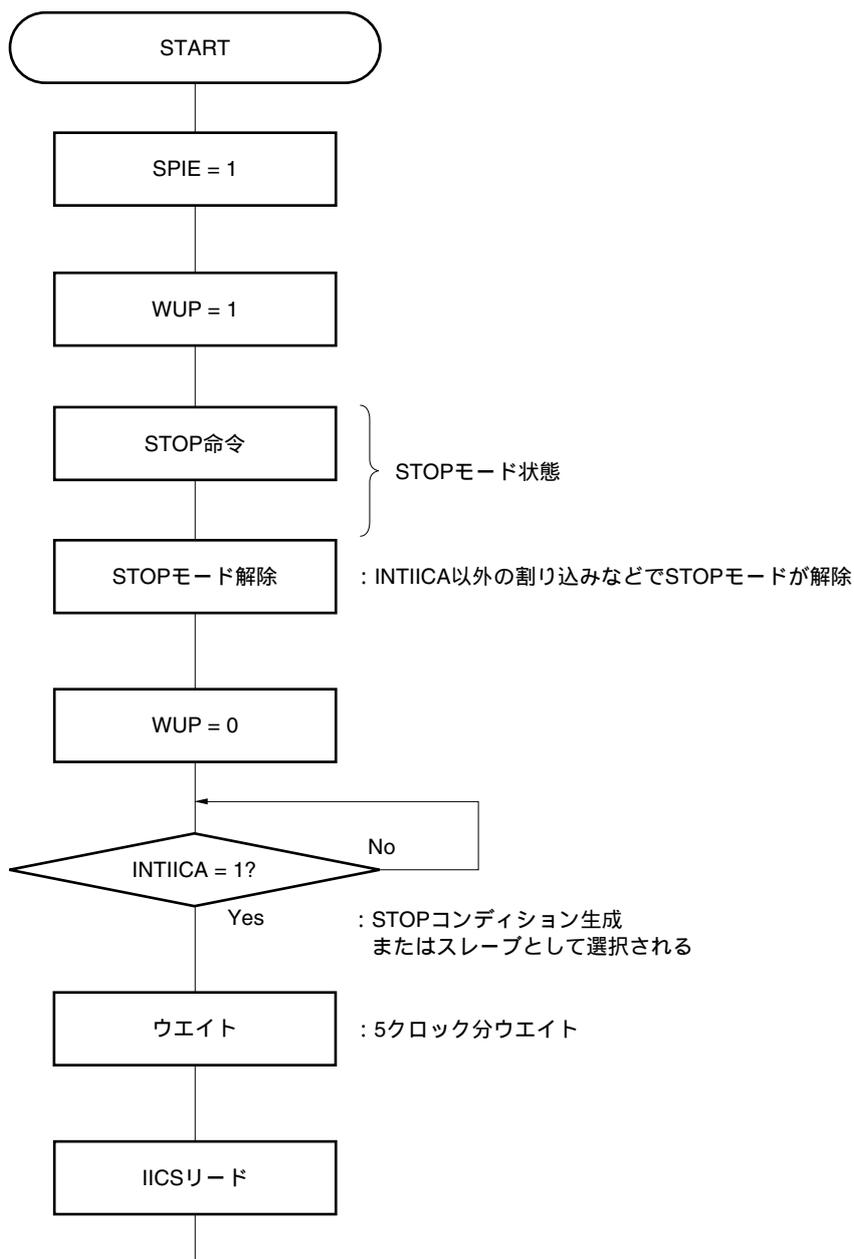


シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICA）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図12 - 24のフロー
- ・スレーブとして動作させる場合 : 図12 - 23のフローと同じになります。

図12 - 24 INTIICA以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

12.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ0 (IICCTL0) のビット6 (LREL) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL0レジスタのビット1 (STT) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL0レジスタのビット4 (SPIE) をセット (1) し、割り込み要求信号 (INTIICA) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAレジスタに書き込まれたデータは、無効です。

STTビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STTビットをセット (1) し、ウエイト時間をとったあと、MSTSビット (IICAステータス・レジスタ (IICS) のビット7) で確認します。

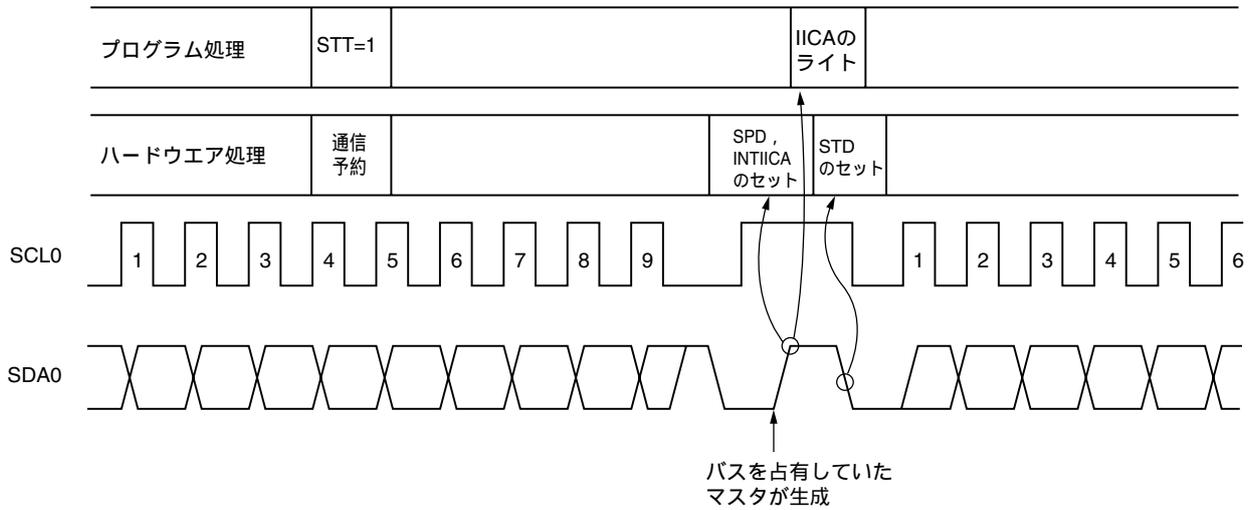
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

<p>STT = 1からMSTSフラグ確認までのウエイト時間： $(\text{IICWLの設定値} + \text{IICWHの設定値} + 4) + t_f \times 2 \times f_{\text{CLK}}$ [クロック]</p>

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_f : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図12 - 25に示します。

図12 - 25 通信予約のタイミング



- 備考 IICA : IICAシフト・レジスタ
 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 STD : IICAステータス・レジスタ (IICS) のビット1
 SPD : " のビット0

通信予約は図12 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ (IICS) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) = 1で通信予約をします。

図12 - 26 通信予約受け付けタイミング

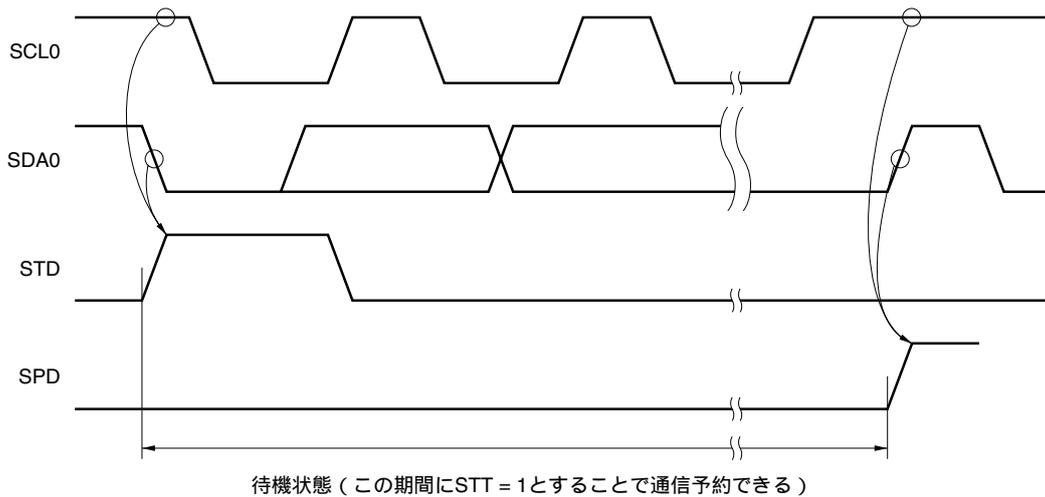
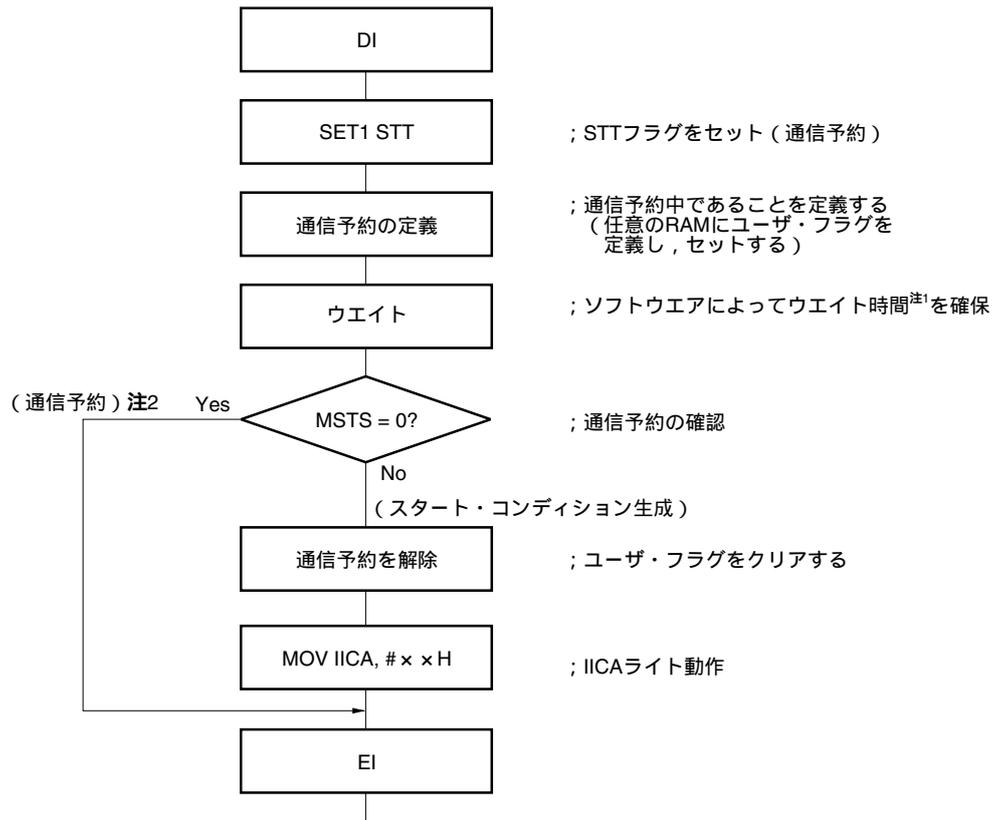


図12 - 27に通信予約の手順を示します。

図12 - 27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \text{ [クロック]}$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

- 備考**
- STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 - MSTS : IICAステータス・レジスタ (IICS) のビット7
 - IICA : IICAシフト・レジスタ
 - IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_F : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態では IICA コントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL0 レジスタのビット6 (LREL) = 1 で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICF レジスタのビット7) で確認できます。STT = 1 としてから STCF がセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

12.5.15 その他の注意事項

(1) STCEN = 0の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICCTL1) を設定する

IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) をセット (1) する

IICCTL0レジスタのビット0 (SPT) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL0レジスタのビット4 (SPIE) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA) 発生を禁止する

IICCTL0レジスタのビット7 (IICE) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICEビットをセット (1) してから、4~80クロック中) に、IICCTL0レジスタのビット6 (LREL) をセット (1) にし、強制的に検出を無効とする

(4) STT, SPTビット (IICCTL0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEビット (IICCTL0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ (IICA) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでMSTSビット (IICAステータス・レジスタ (IICS) のビット7) を検出する場合には、SPIEビットをセット (1) する必要はありません。

12.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

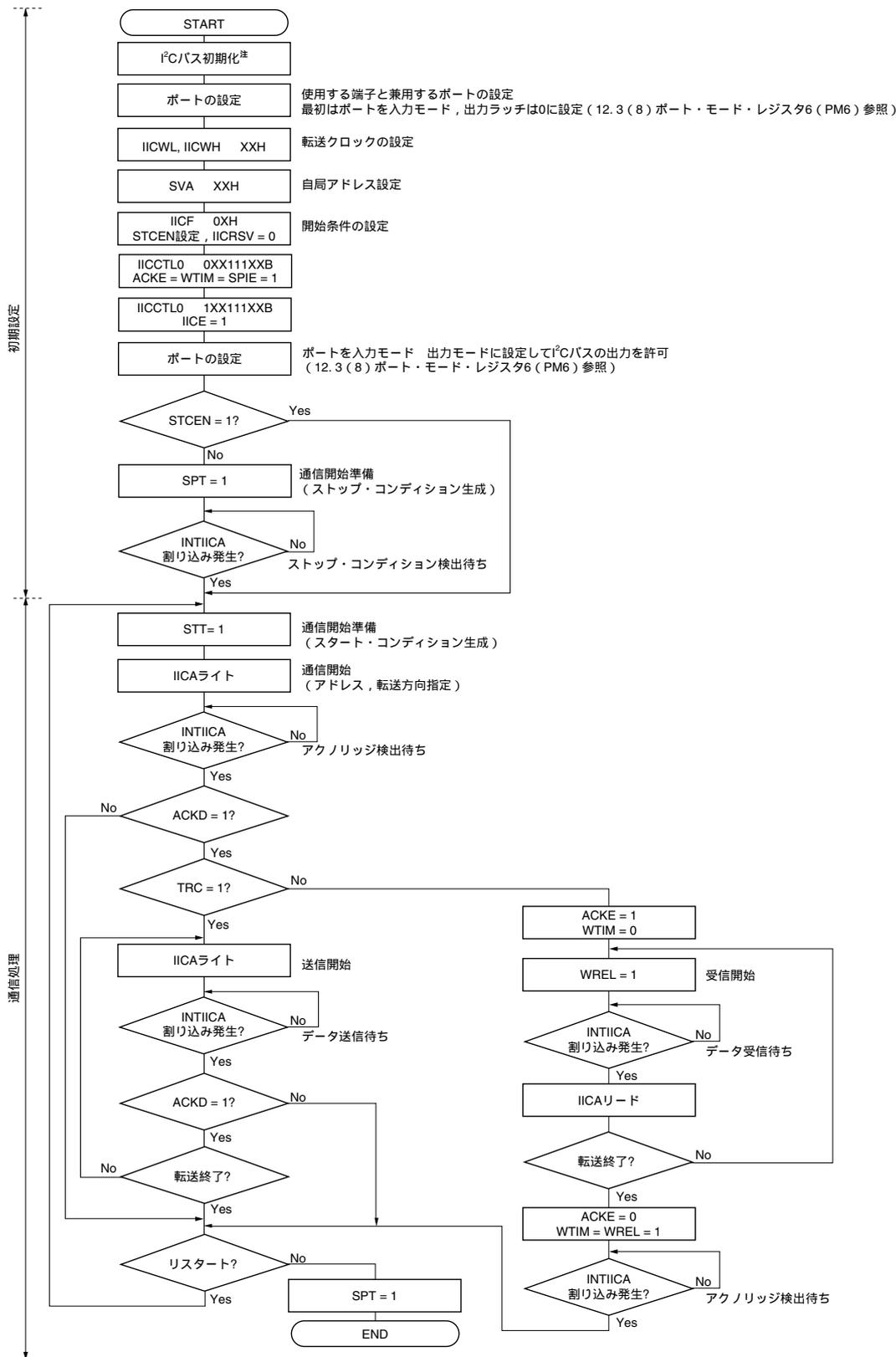
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA割り込みの発生を待ちます。INTIICA割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図12-28 シングルマスタ・システムでのマスタ動作

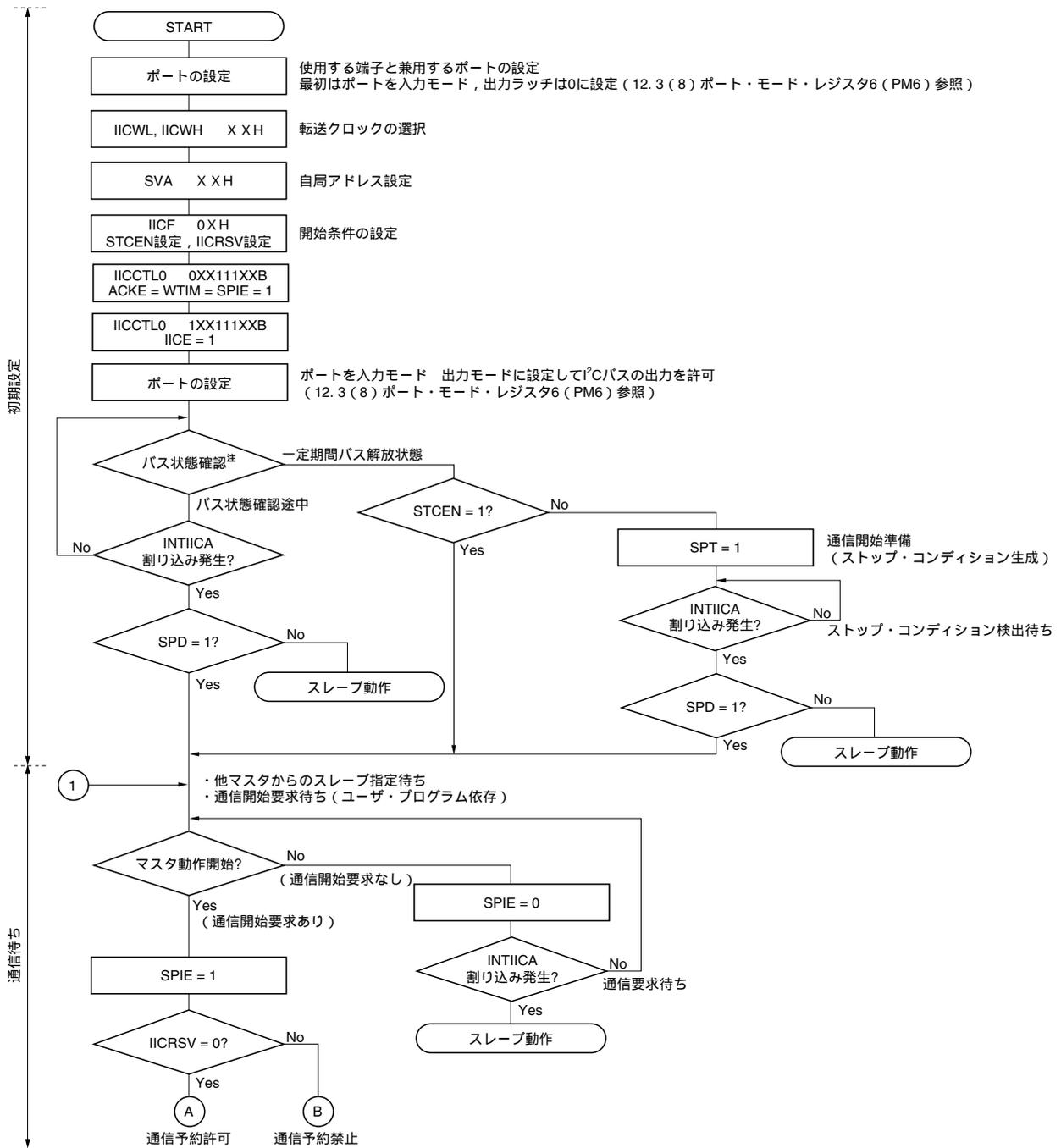


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

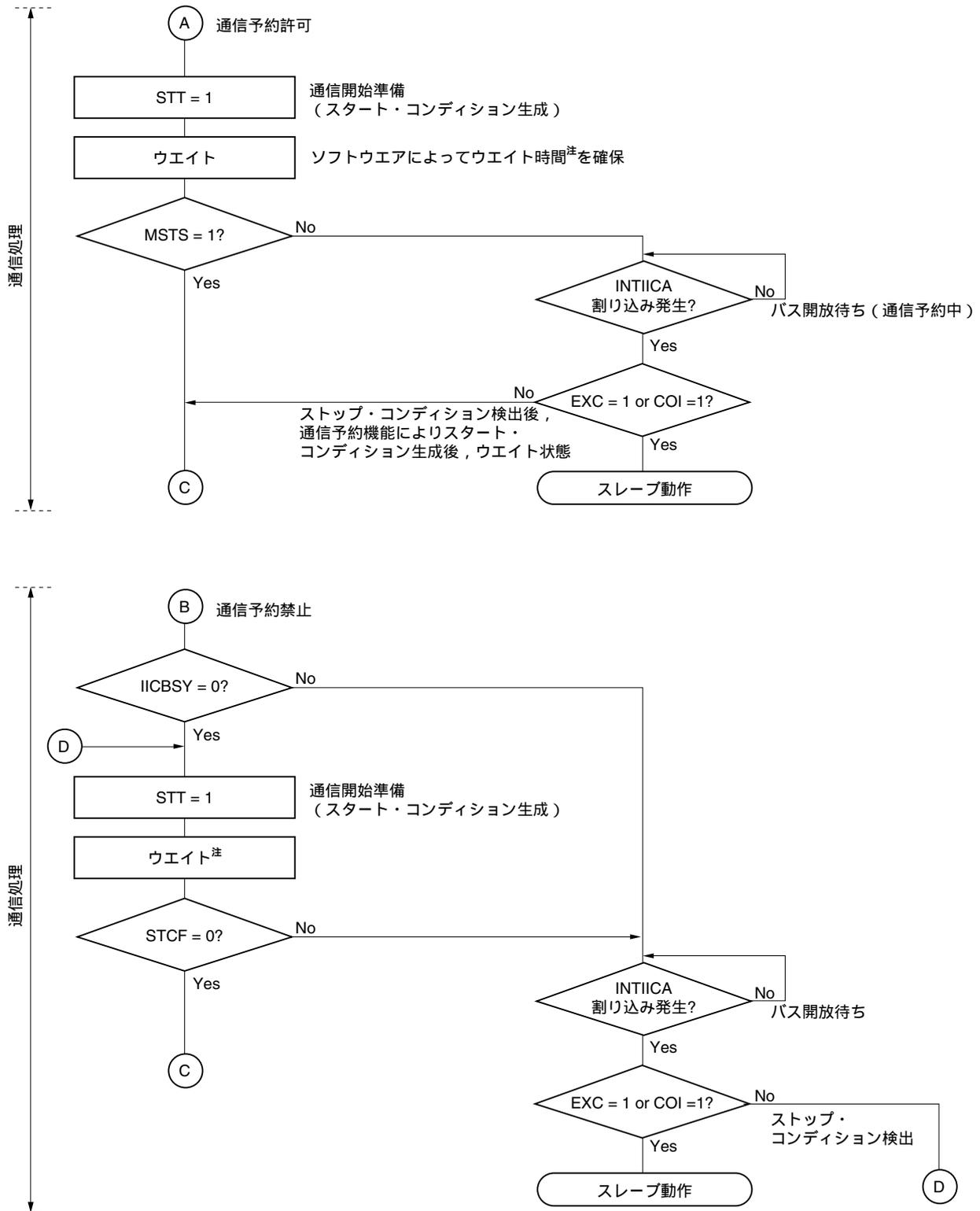
(2) マルチマスタ・システムでのマスタ動作

図12 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDビット = 1, DADビット = 1) であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図12 - 29 マルチマスタ・システムでのマスタ動作 (2/3)

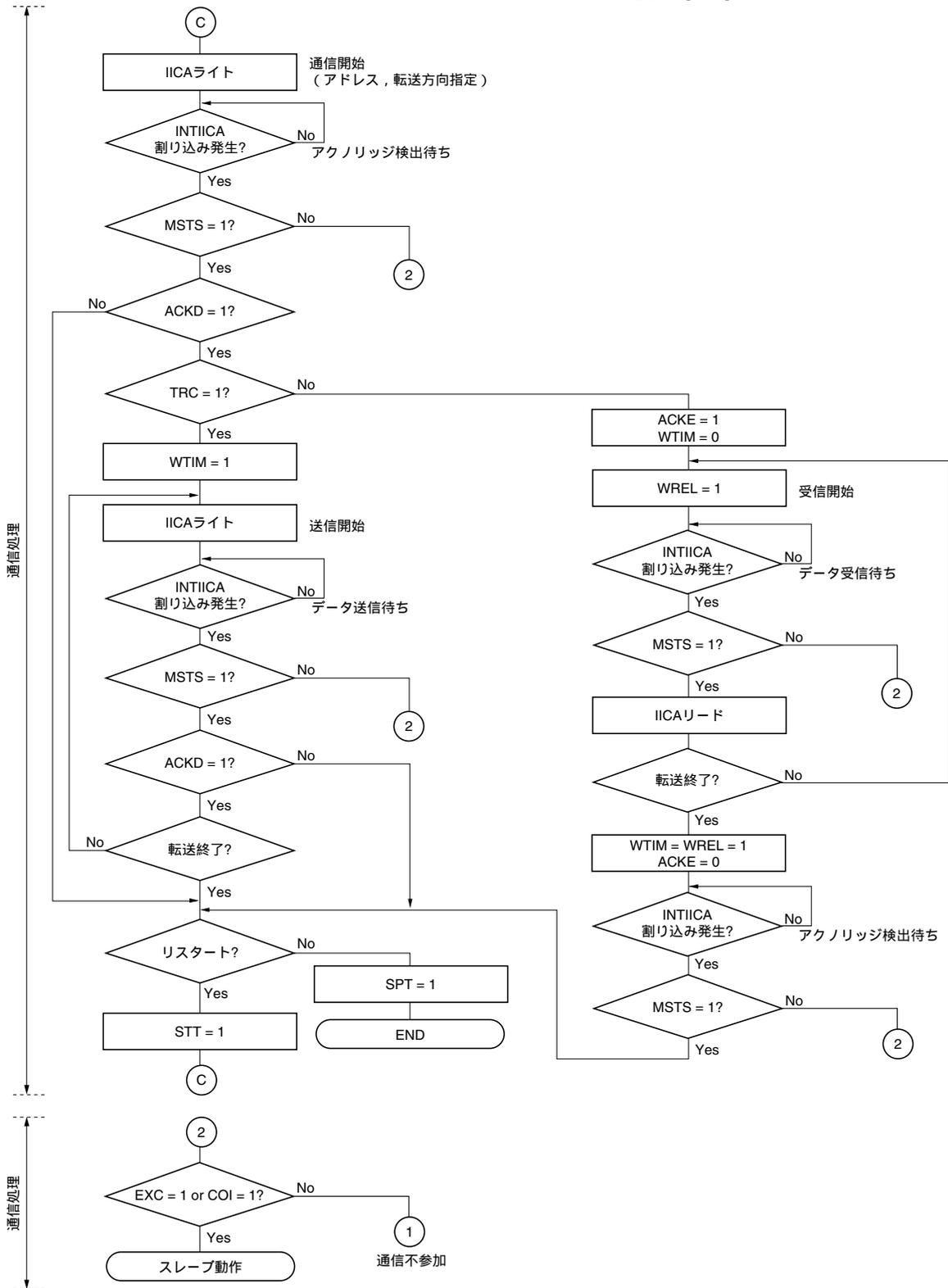


注 ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \text{ [クロック]}$$

- 備考
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_F : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図12 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



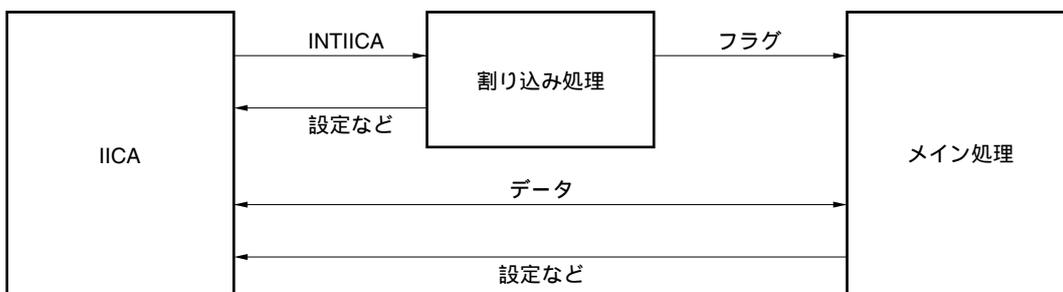
- 備考** 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA割り込み発生ごとにIICAステータス・レジスタ (IICS)、IICAフラグ・レジスタ (IICF) でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRCビットの値と同じです。

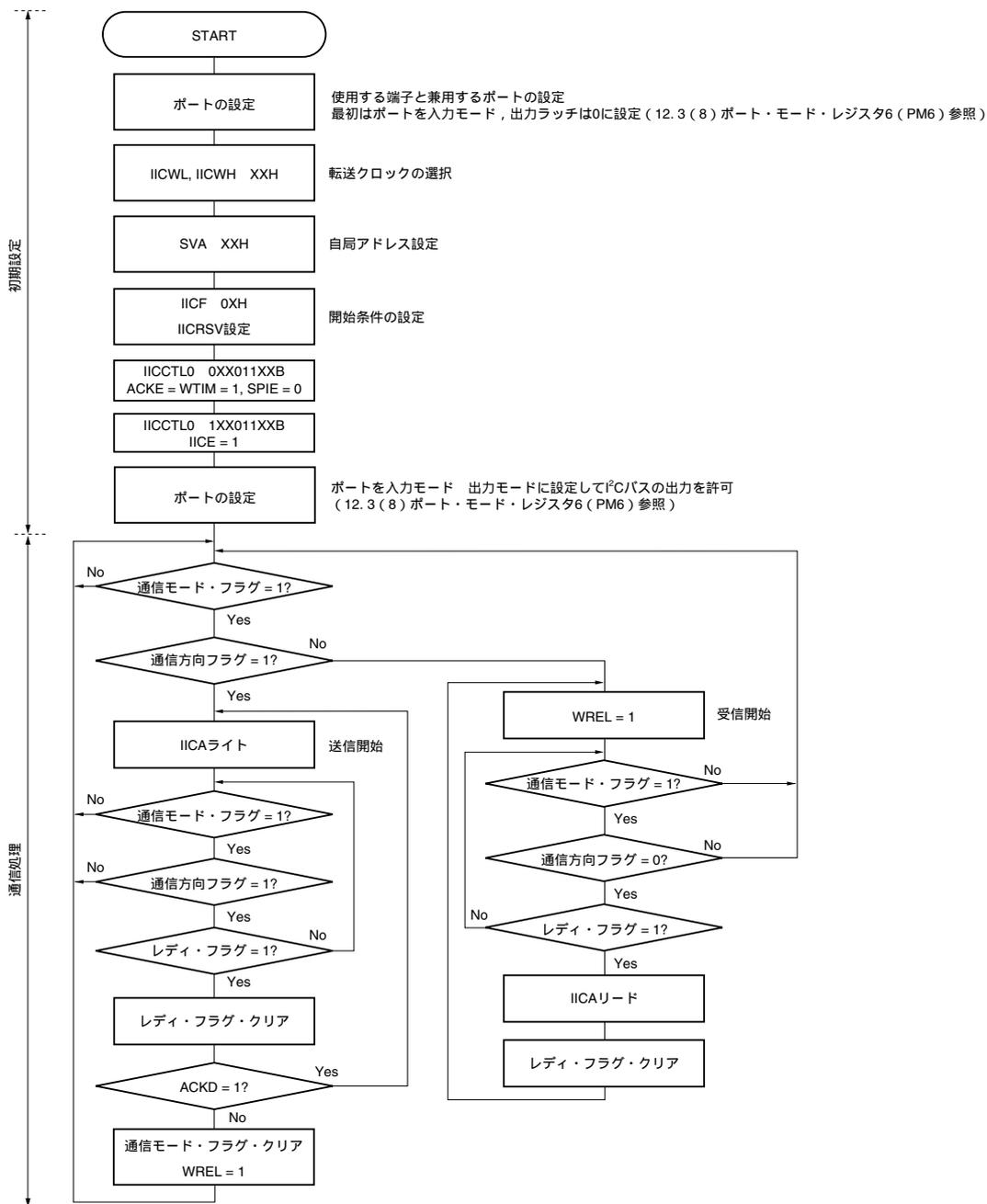
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12-30 スレーブ動作手順(1)



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICA割り込みではステータスを確認して、次のように行います。

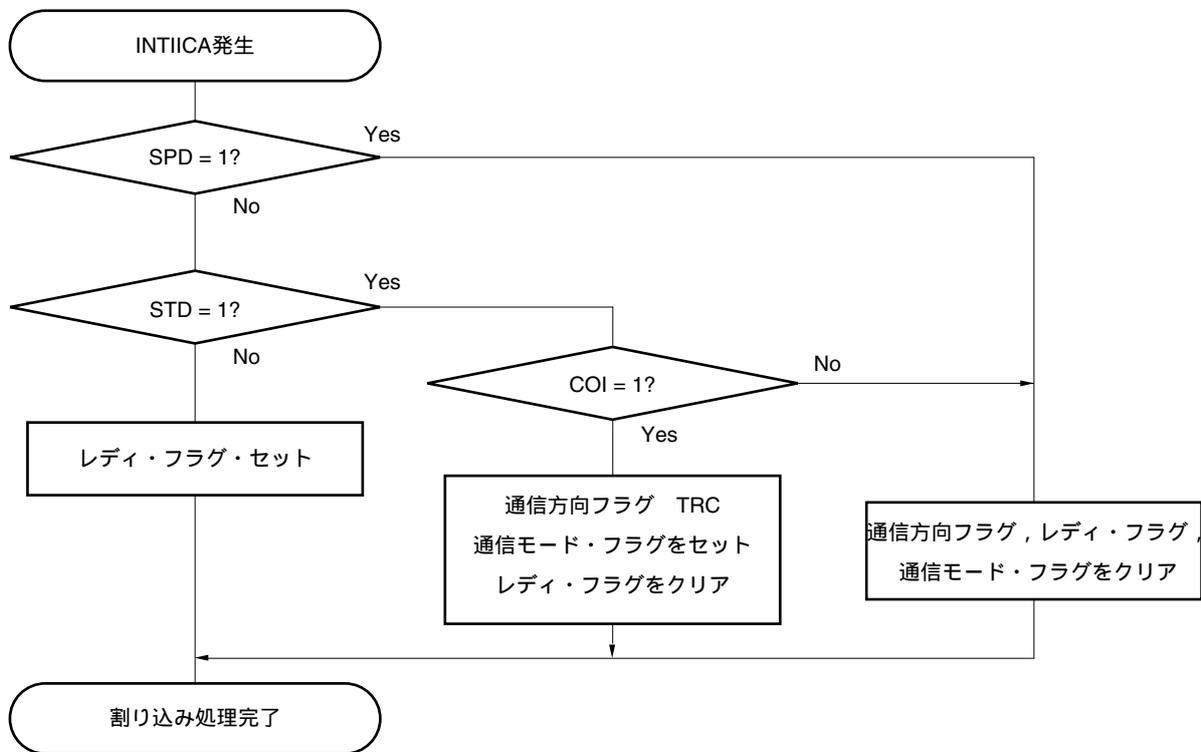
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図12-31 スレーブ動作手順(2)の ~ と対応しています。

図12-31 スレーブ動作手順(2)



12. 5. 17 I²C 割り込み要求 (INTIICA) の発生タイミング

次に、データの送受信、INTIICA 割り込み要求信号発生タイミングと、INTIICA 信号タイミングでの IICA ステータス・レジスタ (IICS) の値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM = 0 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 000B
 3 : IICS = 1000 × 000B (WTIMビットをセット(1))^注
 4 : IICS = 1000 × × 00B (SPTビットをセット(1))
 5 : IICS = 00000001B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 100B
 3 : IICS = 1000 × × 00B (SPTビットをセット(1))
 4 : IICS = 00000001B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM = 0 のとき

STT = 1						SPT = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2	3				4	5	6 7

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMビットをセット(1))^{注1}
 3 : IICS = 1000 × × 00 B (WTIMビットをクリア(0))^{注2}, STTビットをセット(1))
 4 : IICS = 1000 × 110 B
 5 : IICS = 1000 × 000 B (WTIMビットをセット(1))^{注3}
 6 : IICS = 1000 × × 00 B (SPTビットをセット(1))
 7 : IICS = 00000001 B

注1. スタート・コンディションを生成するために, WTIMビットをセット(1)し, INTIICA割り込み要求信号の発生タイミングを変更してください。
 2. 設定を元に戻すために, WTIMビットをクリア(0)してください。
 3. ストップ・コンディションを生成するために, WTIMビットをセット(1)し, INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

STT = 1						SPT = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × × 00 B (STTビットをセット(1))
 3 : IICS = 1000 × 110 B
 4 : IICS = 1000 × × 00 B (SPTビットをセット(1))
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM = 0 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 000 B
 3 : IICS = 1010 × 000 B (WTIMビットをセット(1)※)
 4 : IICS = 1010 × × 00 B (SPTビットをセット(1))
 5 : IICS = 00000001 B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 100 B
 3 : IICS = 1010 × × 00 B (SPTビットをセット(1))
 4 : IICS = 00001001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

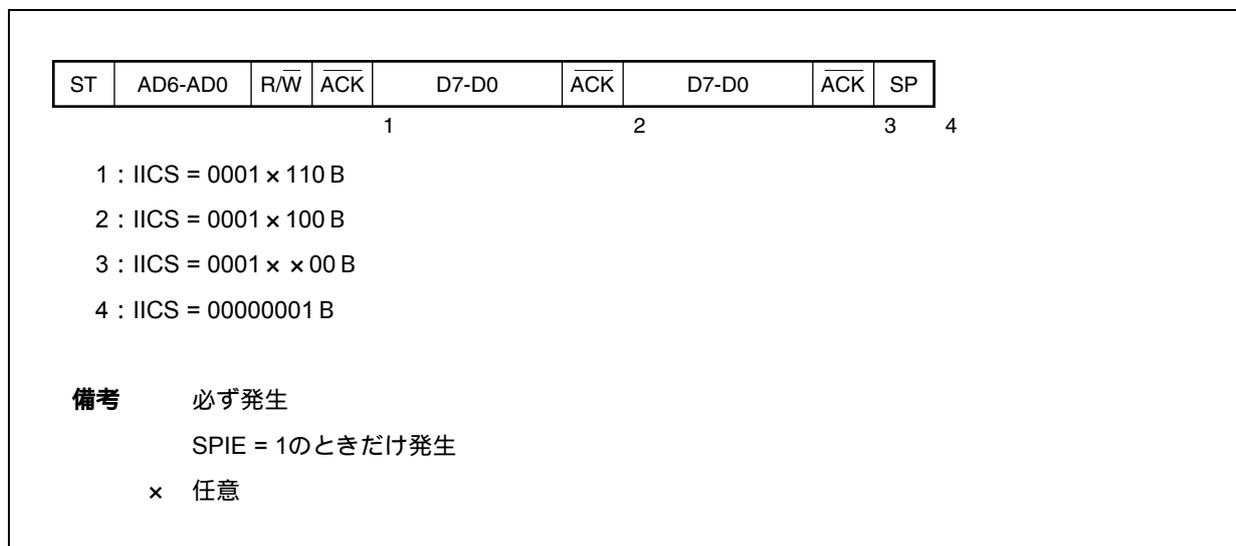
(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

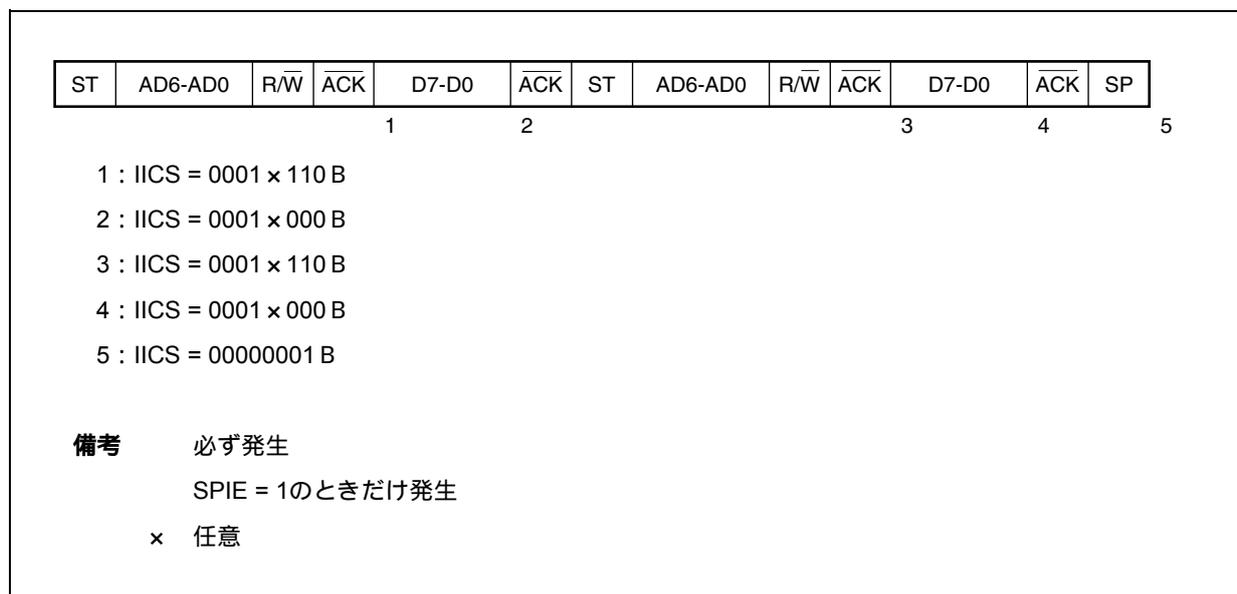


(ii) WTIM = 1 のとき

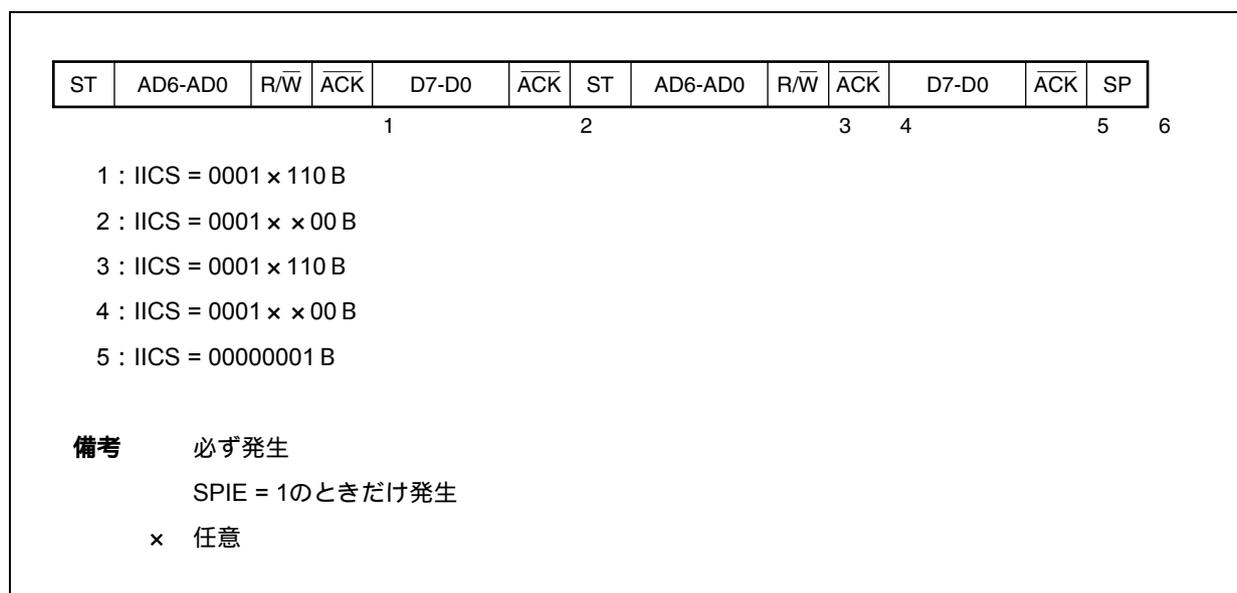


(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)



(ii) WTIM = 1 のとき (リスタート後, SVA一致)



(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS = 0001 × 110 B
 2 : IICS = 0001 × 000 B
 3 : IICS = 0010 × 010 B
 4 : IICS = 0010 × 000 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

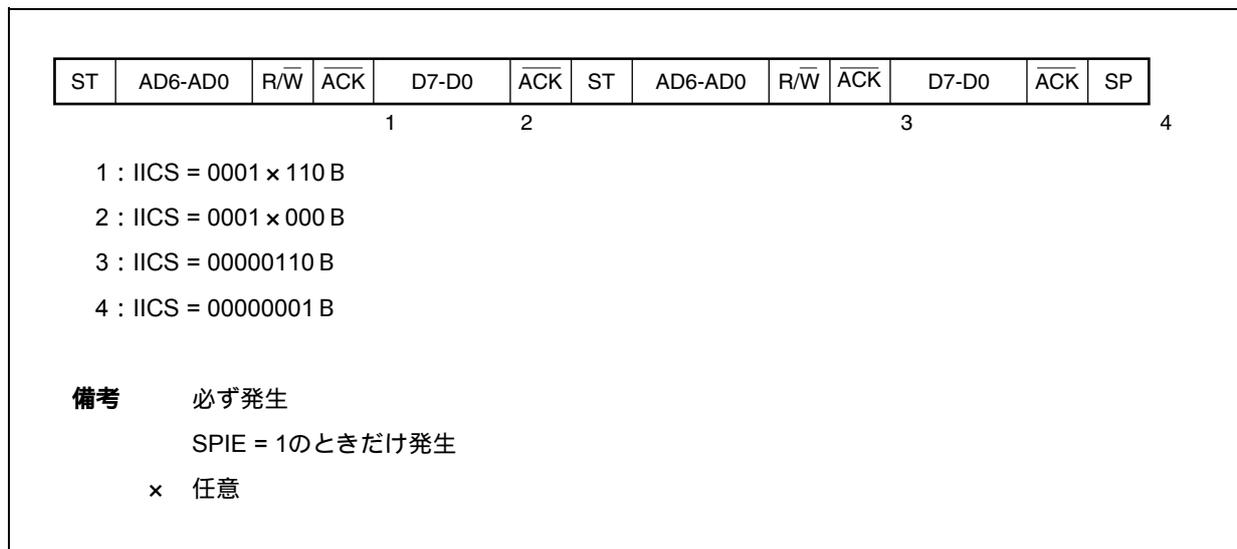
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5 6

1 : IICS = 0001 × 110 B
 2 : IICS = 0001 × × 00 B
 3 : IICS = 0010 × 010 B
 4 : IICS = 0010 × 110 B
 5 : IICS = 0010 × × 00 B
 6 : IICS = 00000001 B

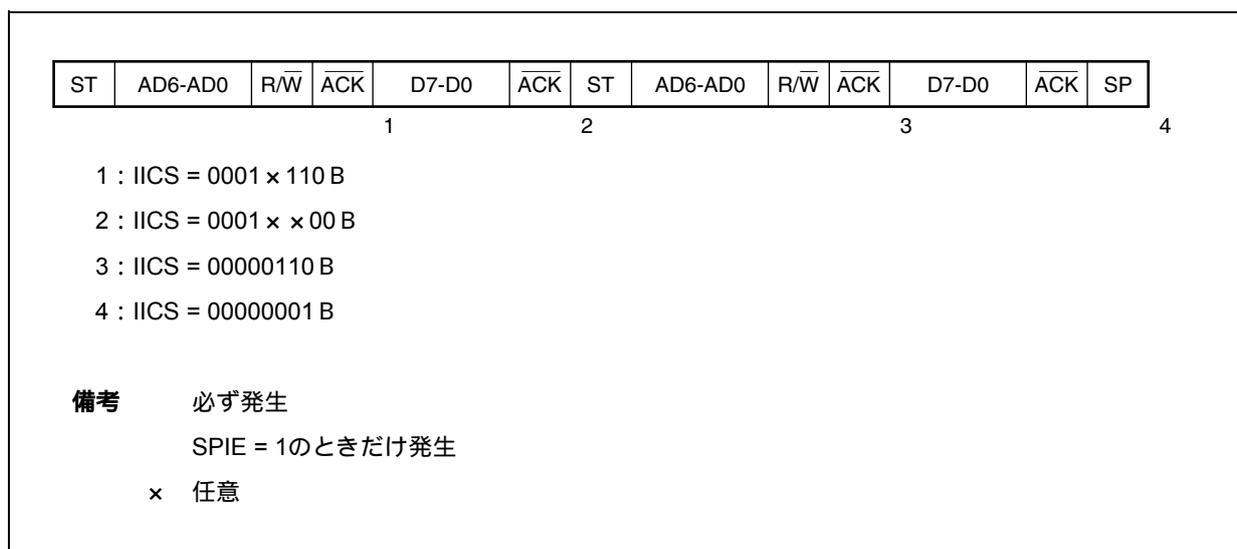
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

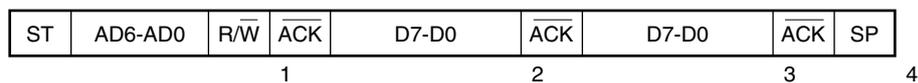


(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき



1 : IICS = 0010 × 010 B

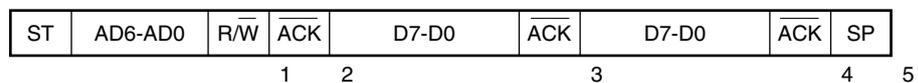
2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICS = 0010 × 010 B
 2 : IICS = 0010 × 000 B
 3 : IICS = 0001 × 110 B
 4 : IICS = 0001 × 000 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき (リスタート後, SVA一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4	5	6

1 : IICS = 0010 × 010 B
 2 : IICS = 0010 × 110 B
 3 : IICS = 0010 × × 00 B
 4 : IICS = 0001 × 110 B
 5 : IICS = 0001 × × 00 B
 6 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICS = 0010 × 010 B
 2 : IICS = 0010 × 000 B
 3 : IICS = 0010 × 010 B
 4 : IICS = 0010 × 000 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき (リスタート後, 拡張コード受信)

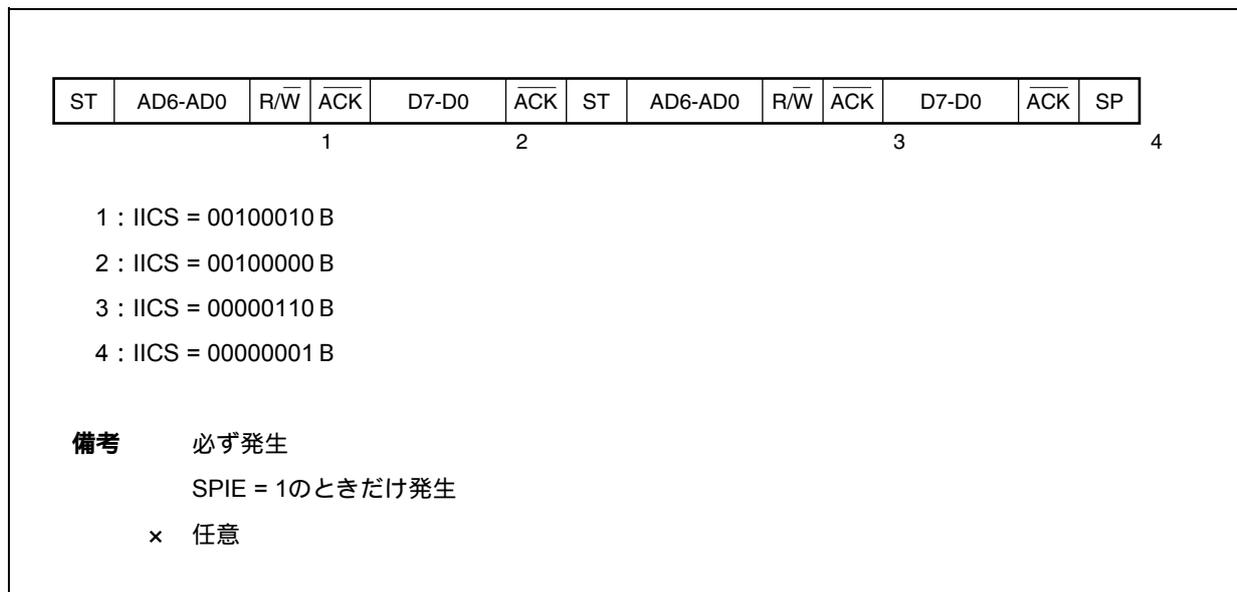
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICS = 0010 × 010 B
 2 : IICS = 0010 × 110 B
 3 : IICS = 0010 × × 00 B
 4 : IICS = 0010 × 010 B
 5 : IICS = 0010 × 110 B
 6 : IICS = 0010 × × 00 B
 7 : IICS = 00000001 B

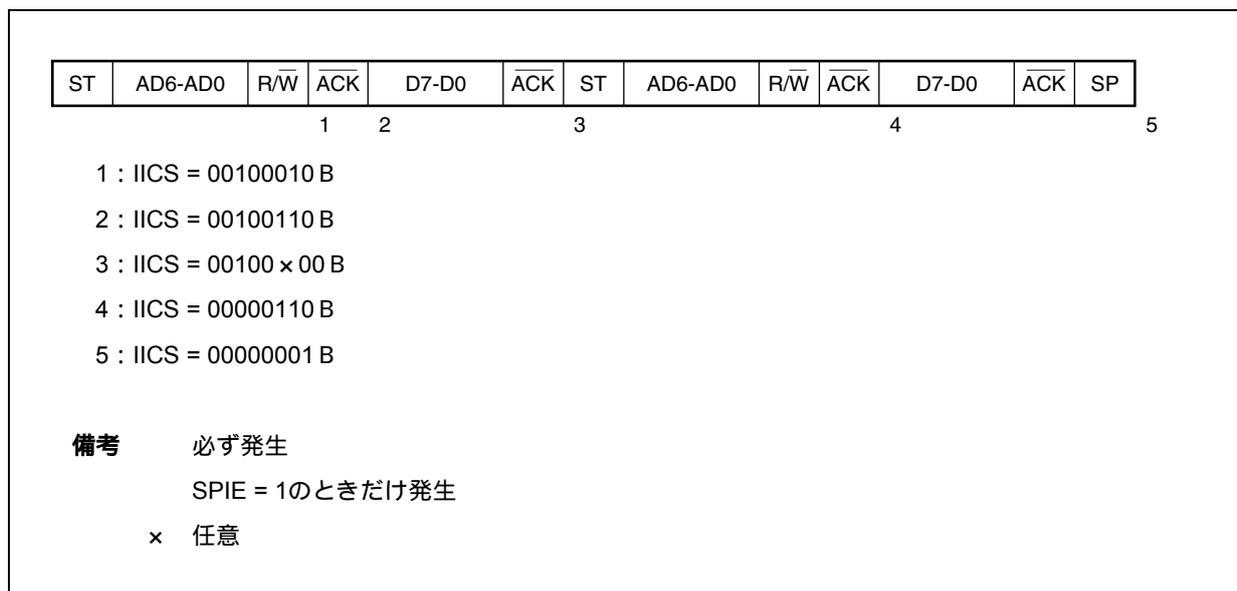
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0101 × 110 B
 2 : IICS = 0001 × 100 B
 3 : IICS = 0001 × × 00 B
 4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0110 × 010 B
 2 : IICS = 0010 × 000 B
 3 : IICS = 0010 × 000 B
 4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4	5

1 : IICS = 0110 × 010 B
 2 : IICS = 0010 × 110 B
 3 : IICS = 0010 × 100 B
 4 : IICS = 0010 × × 00 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA 割り込み要求信号の発生ごとに MSTS ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS = 01000110 B
 2 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
			1				2	

1 : IICS = 0110 × 010 B
 ソフトウェアで LREL = 1 を設定
 2 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
			1		2			3

1 : IICS = 10001110 B
 2 : IICS = 01000000 B
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3

1 : IICS = 10001110 B
 2 : IICS = 01000100 B
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS = 1000 × 110 B
 2 : IICS = 01000110 B
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意
 n = 6-0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS = 1000 × 110 B
 2 : IICS = 01100010 B
 ソフトウェアで LREL = 1 を設定
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意
 n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICS = 10000110 B
 2 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意
 n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3	4			5

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMビットをセット(1))
 3 : IICS = 1000 × 100 B (WTIMビットをクリア(0))
 4 : IICS = 01000000 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3				4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 100 B (STTビットをセット(1))
 3 : IICS = 01000100 B
 4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM = 0 のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMビットをセット(1))
 3 : IICS = 1000 × × 00 B (STTビットをセット(1))
 4 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × × 00 B (STTビットをセット(1))
 3 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3	4			5

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMビットをセット(1))
 3 : IICS = 1000 × 100 B (WTIMビットをクリア(0))
 4 : IICS = 01000100 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3				4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 100 B (SPTビットをセット(1))
 3 : IICS = 01000100 B
 4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

12.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット（IICAステータス・レジスタ（IICS）のビット3）を送信し、スレーブとのシリアル通信を開始します。

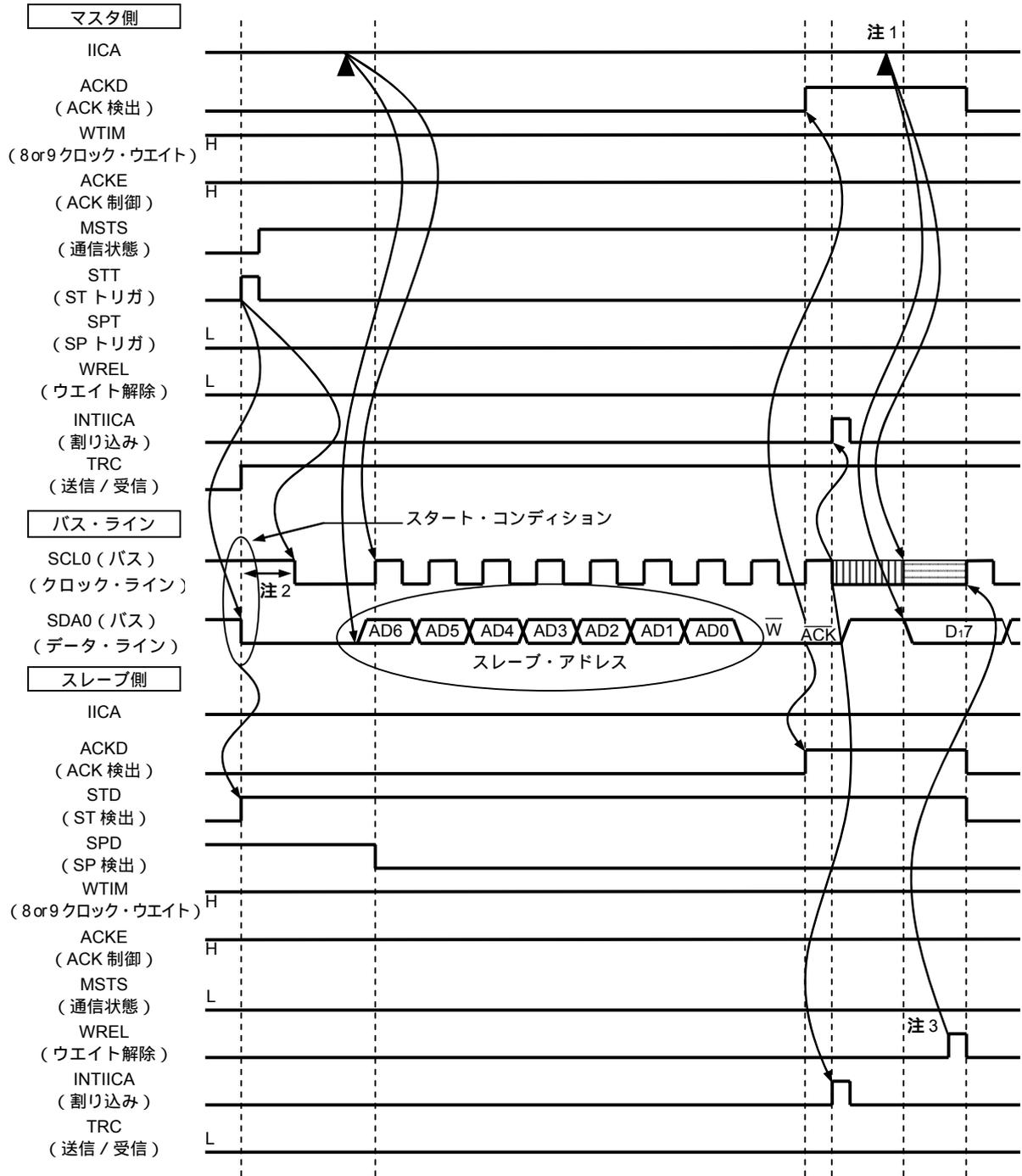
データ通信のタイミング・チャートを図12 - 32, 図12 - 33に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIICAに取り込まれます。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (1/4)

(1) スタート・コンディション~アドレス~データ



 : スレーブによるウェイト
 : マスタ, スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
- 2. SDA0端子信号が立ち下がってから SCL0端子信号が立ち下がるまでの時間は, 標準モード設定時は 4.0 μs以上, ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (1) スタート・コンディション～アドレス～データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット (STT = 1) されると、バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

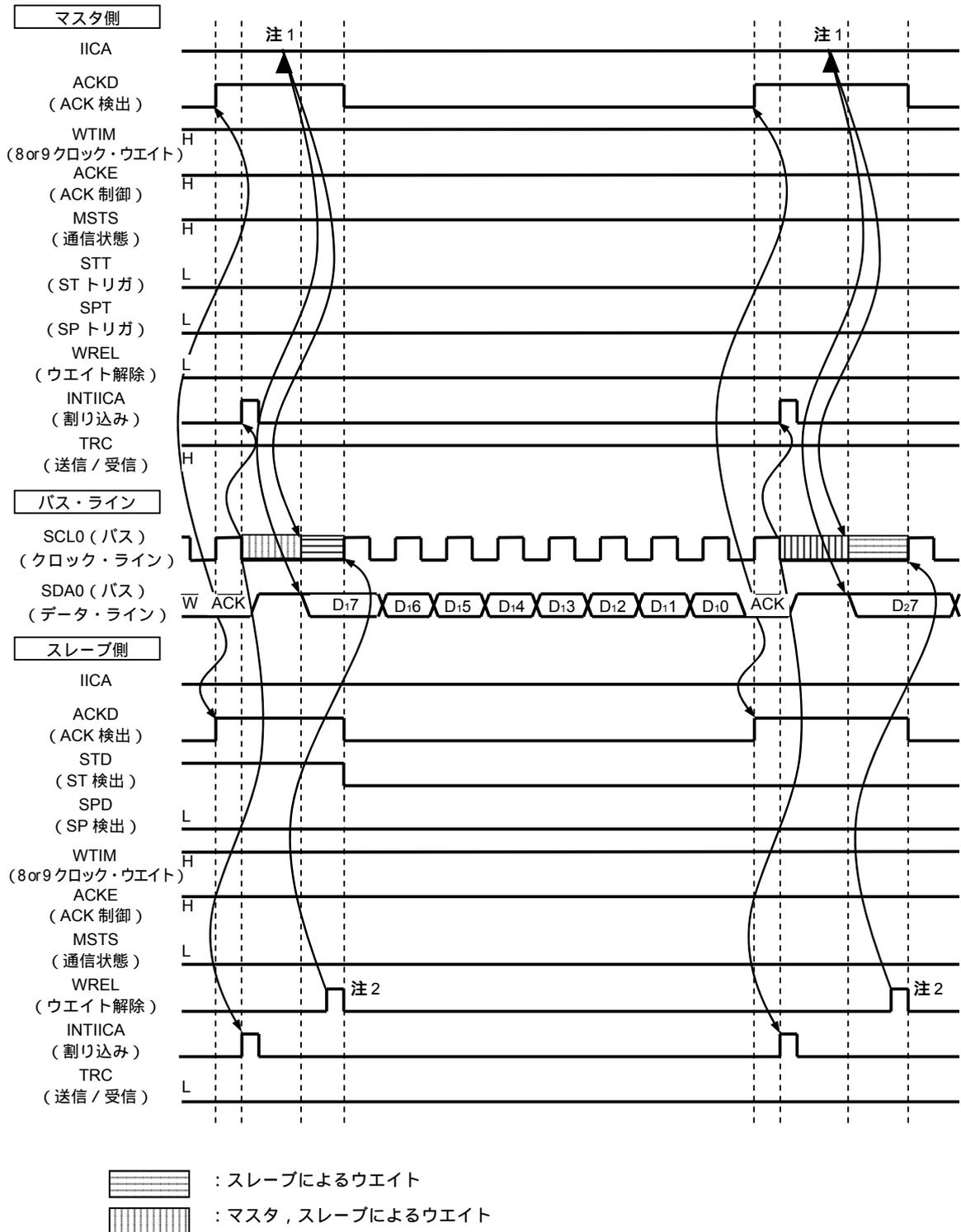
図12 - 32 (2) アドレス～データ～データでは手順 ~

図12 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (2/4)

(2) アドレス~データ~データ



注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※], スレーブ側のハードウェアよりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時, マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し, スレーブはアドレスが一致した場合, 割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに, マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み, マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると, マスタ側からスレーブ側にデータ転送を開始します。データ転送完了後, スレーブ側のハードウェアよりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時, マスタ側とスレーブ側によるウエイト (SCL0 = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

マスタ側がIICAレジスタに送信データを書き込み, マスタ側によるウエイトを解除します。

スレーブ側が受信データを読み出して, ウエイトを解除 (WREL = 1) すると, マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は, スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また, スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず, スレーブ側のウエイトもかかりません。

ただし, マスタ側はACK, NACKの両方に対して, INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 32の ~ は, I²Cバスによるデータ通信の一連の操作手順です。

図12 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

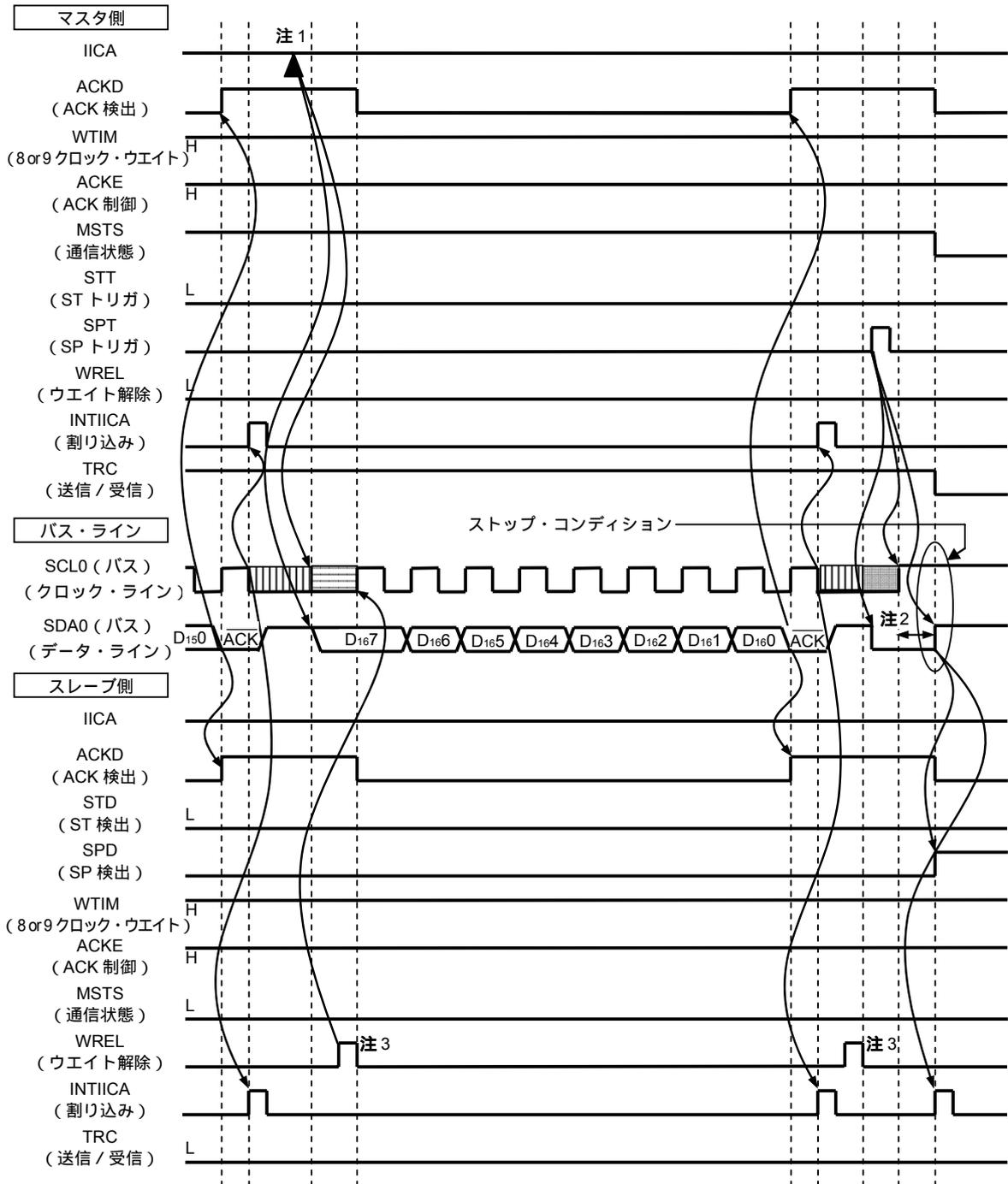
図12 - 32 (2) アドレス～データ～データでは手順 ~

図12 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでウェイト選択時) (3/4)

(3) データ~データ~ストップ・コンディション



- : マスタによるウェイト
- : スレーブによるウェイト
- : マスタ, スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後, SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は, 標準モード設定時は4.0 μs以上, ファースト・モード設定時は0.6 μs以上です。
3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側が受信データを読み出して、ウェイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

スレーブ側が受信データを読み出し、ウェイトを解除 (WREL = 1) します。

ストップ・コンディション・トリガをセットすると、バス・データ・ラインをクリア (SDA0 = 0)、バス・クロック・ラインをセット (SCL0 = 1) し、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) することでストップ・コンディションが生成されます。

ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICA : ストップ・コンディション割り込み) が発生します。

備考 図12 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

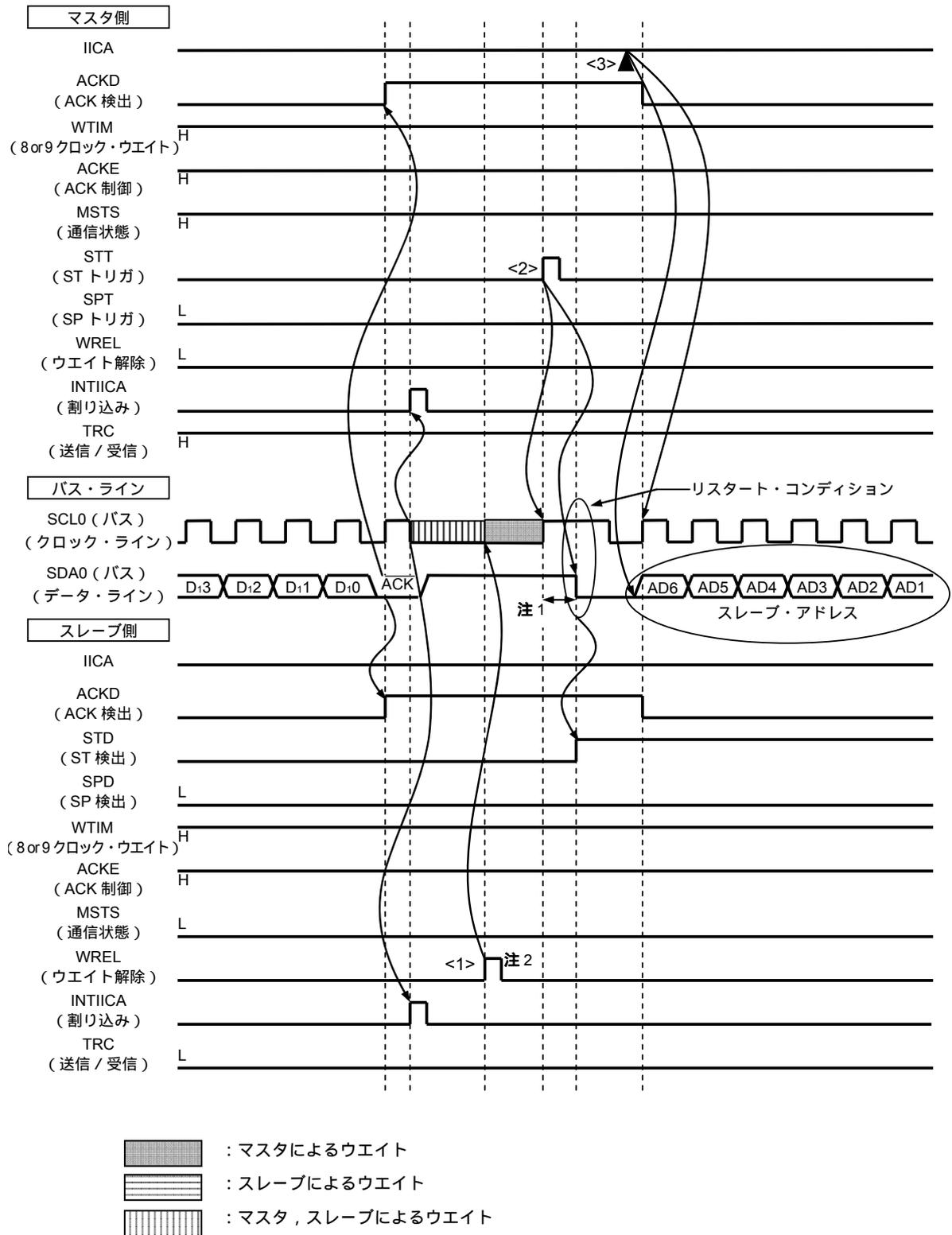
図12 - 32 (1) スタート・コンディション~アドレス~データでは手順 ~

図12 - 32 (2) アドレス~データ~データでは手順 ~

図12 - 32 (3) データ~データ~ストップ・コンディションでは手順 ~
について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウエイト選択時) (4/4)

(4) データ~リスタート・コンディション~アドレス



注1. リスタート・コンディションの発行後, SCL0端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μs以上, ファースト・モード設定時は0.6 μs以上です。

2. スレーブ・ウエイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32(4)データ~リスタート・コンディション~アドレスの動作説明を次に示します。手順 , の動作後, <1> ~ <3>の動作を行います。それにより, 手順 のデータの送信手順に戻ります。

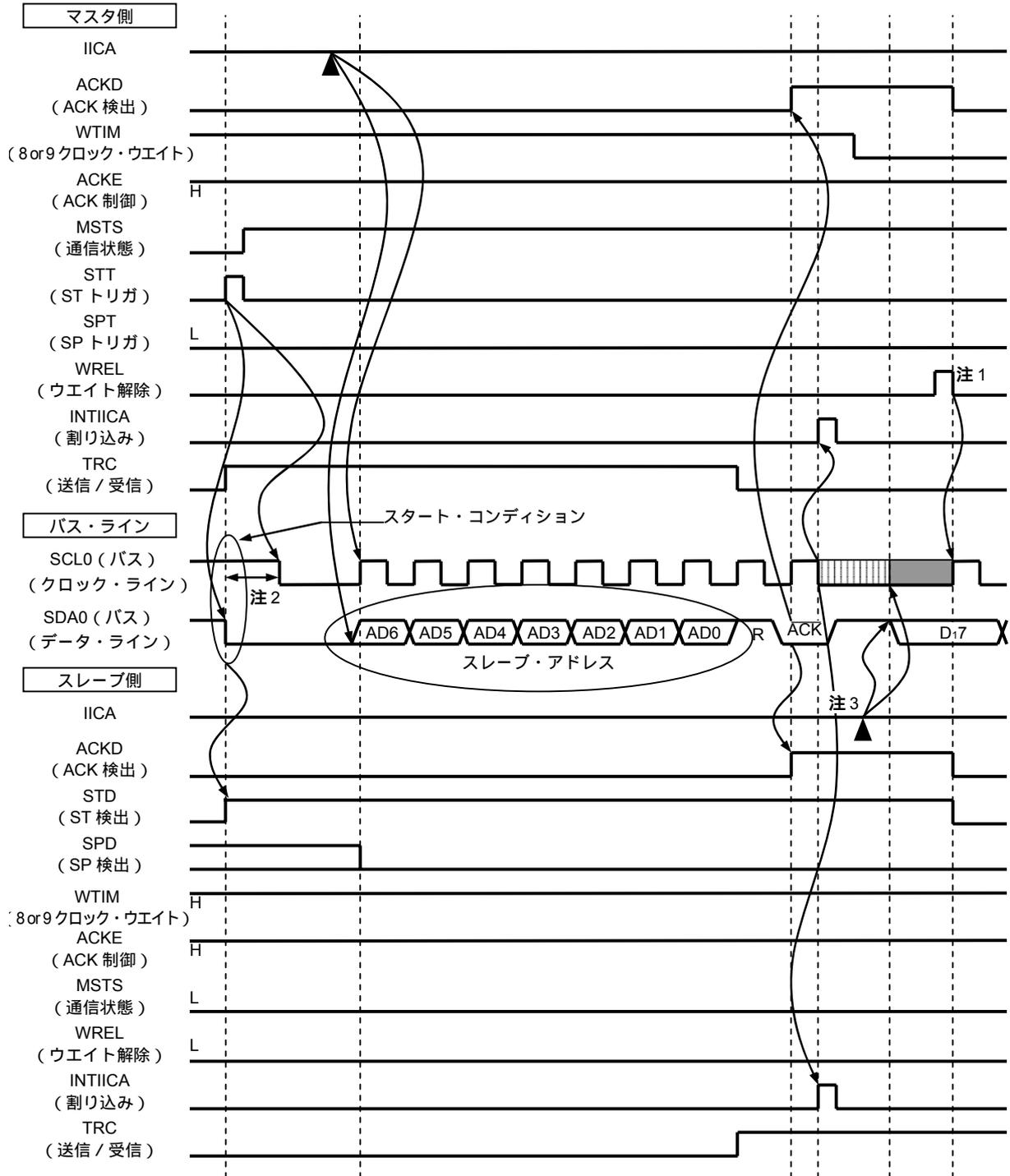
データ転送完了後, スレーブ側のハードウェアよりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで, マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

- <1> スレーブ側が受信データを読み出して, ウェイトを解除 (WREL = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STT = 1) されると, バス・クロック・ラインが立ち上がり (SCL0 = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDA0 = 0) が立ち下がり, スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり (SCL0 = 0), 通信準備が完了となります。
- <3> マスタ側でIICAシフト・レジスタ (IICA) にアドレス + R/W (送信) が書き込まれると, スレーブ・アドレスが送信されます。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

(1) スタート・コンディション~アドレス~データ



- : マスタによるウェイト
- : スレーブによるウェイト
- : マスタ, スレーブによるウェイト

- 注1. マスタ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. SDA0端子信号が立ち下がってからSCL0端子信号が立ち下がるまでの時間は, 標準モード設定時は4.0 μs以上, ファースト・モード設定時は0.6 μs以上です。
3. スレーブ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

図12 - 33 (1) スタート・コンディション~アドレス~データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット (STT = 1) されると、バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA: アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA: アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウエイト (SCL0 = 0) がかかります[※]。

マスタ側のウエイト・タイミングを8クロック目に (WTIM = 0) に変更します。

スレーブ側がIICAレジスタに送信データを書き込み、スレーブ側によるウエイトを解除します。

マスタ側がウエイトを解除 (WREL = 1) して、スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

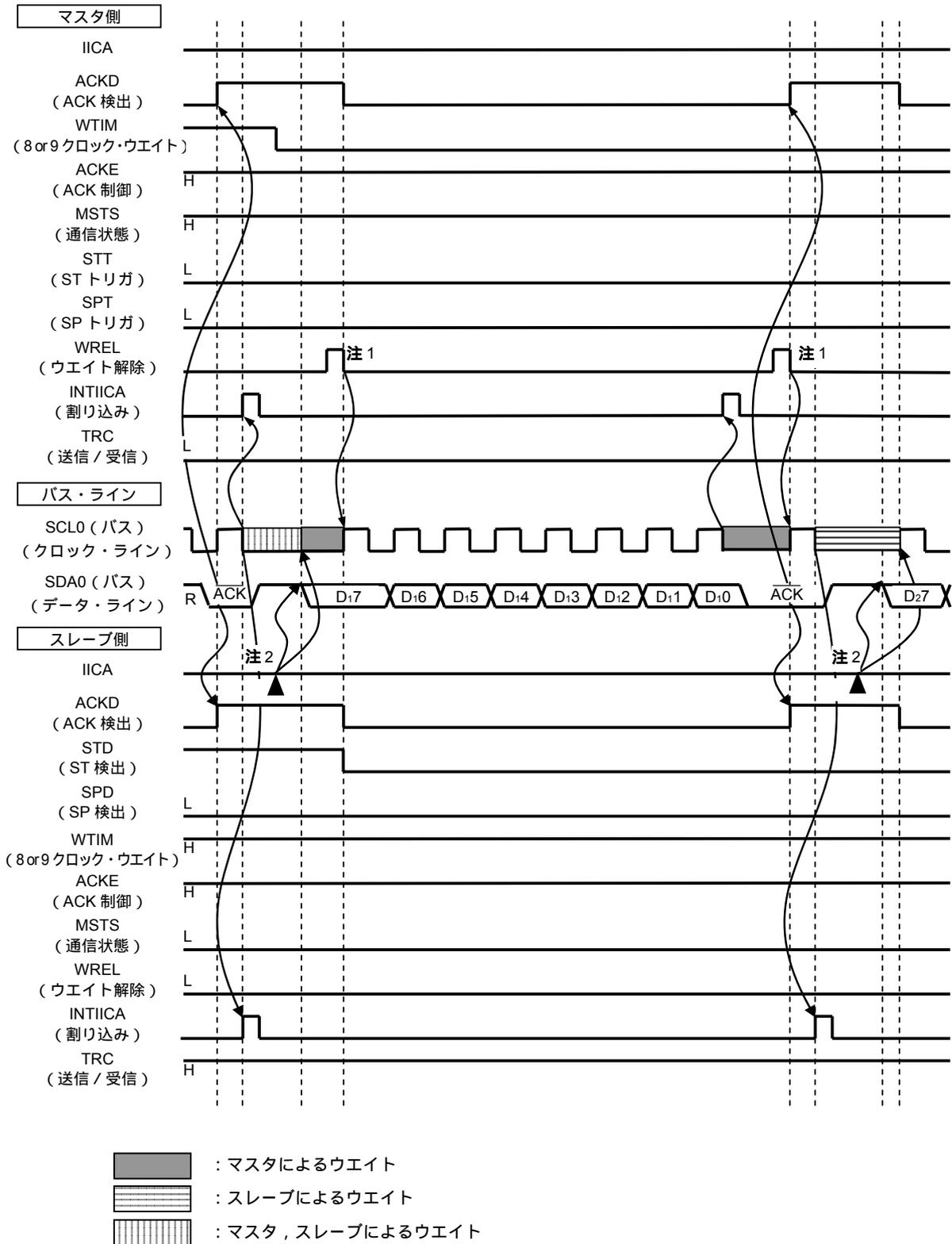
図12 - 33 (2) アドレス~データ~データでは手順 ~

図12 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

(2) アドレス~データ~データ



注1. マスタ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

図12 - 33 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※], スレーブ側のハードウェアよりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時, マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し, スレーブはアドレスが一致した場合, 割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに, マスタ側とアドレスが一致したスレーブ側によるウェイト (SCL0 = 0) がかけられます[※]。

マスタ側のウェイト・タイミングを8クロック目に (WTIM = 0) に変更します。

スレーブ側がIICAシフト・レジスタ (IICA) に送信データを書き込み, スレーブ側によるウェイトを解除します。

マスタ側がウェイトを解除 (WREL = 1) して, スレーブ側はデータ転送を開始します。

8クロック目の立ち下がり時, マスタ側によるウェイト (SCL0 = 0) がかけられ, マスタ側の割り込み (INTIICA : 転送完了割り込み) が発生し, マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して, ウェイトを解除 (WREL = 1) します。

9クロック目の立ち上がり時に, スレーブ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時, スレーブ側によるウェイト (SCL0 = 0) がかけられ, スレーブ側は割り込み (INTIICA : 転送完了割り込み) が発生します。

スレーブ側のIICAレジスタに送信データを書き込むと, スレーブ側のウェイトが解除され, スレーブ マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は, スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また, スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず, スレーブ側のウェイトもかかりません。

ただし, マスタ側はACK, NACKの両方に対して, INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 33の ~ は, I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション～アドレス～データでは手順 ~

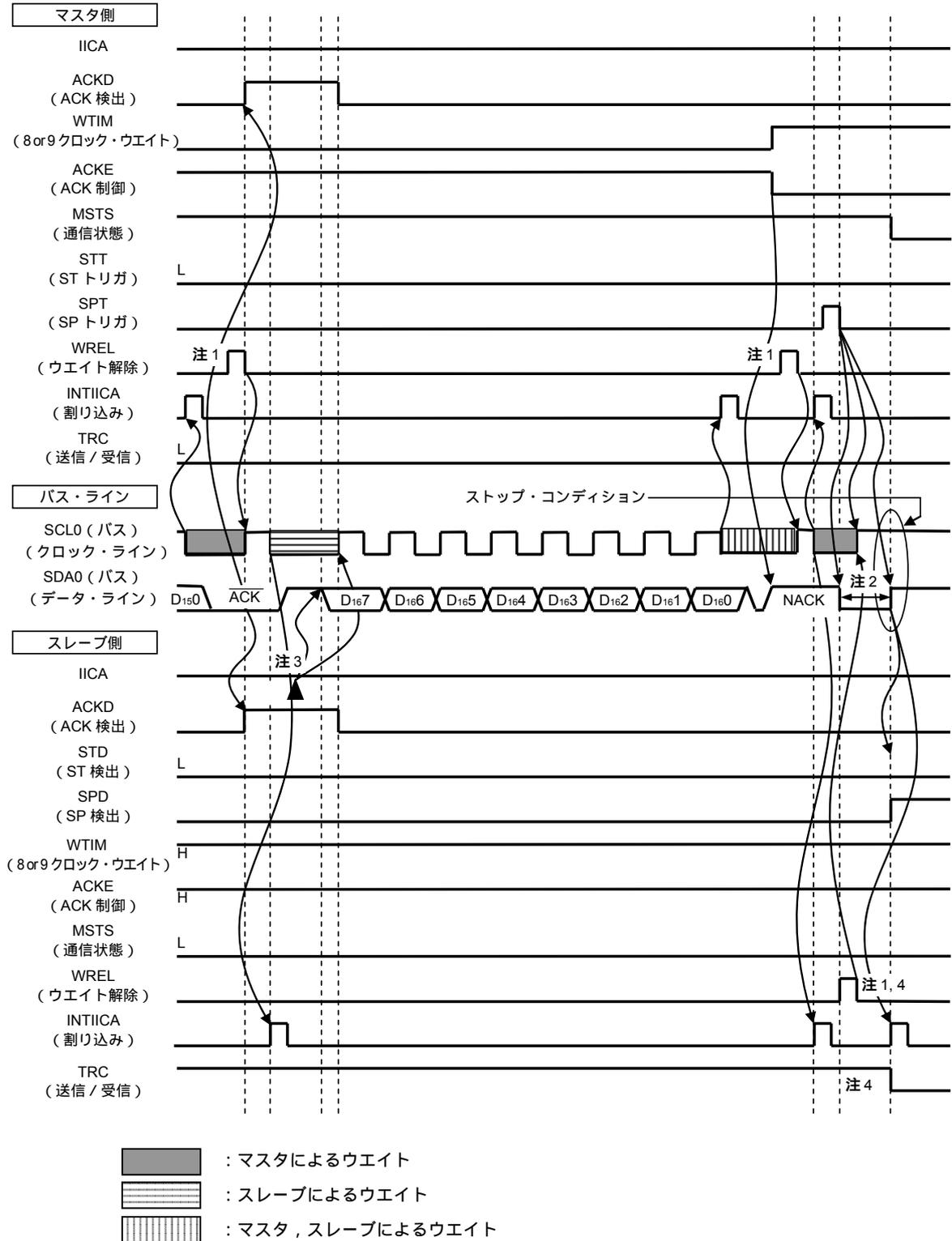
図12 - 33 (2) アドレス～データ～データでは手順 ~

図12 - 33 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12-33 スレーブ マスタ通信例 (マスタ:8 9クロック, スレーブ:9クロックでウェイト選択時) (3/3)

(3) データ~データ~ストップ・コンディション



- 注1. ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. ストップ・コンディションの発行後, SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は, 標準モード設定時は4.0 μs以上, ファースト・モード設定時は0.6 μs以上です。
3. スレーブ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
4. スレーブ送信時のウェイトをWRELビットのセットで解除すると, TRCビットはクリアされます。

図12 - 33 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

8クロック目の立ち下がりで、マスタ側によるウェイト (SCL0 = 0) がかかり、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、スレーブ側によるウェイト (SCL0 = 0) がかかり、スレーブ側は割り込み (INTIICA: 転送完了割り込み) が発生します。

スレーブ側のIICAシフト・レジスタ (IICA) に送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

8クロック目の立ち下がりで、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側によるウェイト (SCL0 = 0) がかかります。ACK制御 (ACKE = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDA0 = 0) となります。

マスタ側はNACK応答に設定 (ACKE = 0) し、ウェイト・タイミングを9クロック目ウェイトに変更します。

マスタ側がウェイトを解除 (WREL = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACK = 0) します。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

マスタ側でストップ・コンディション発行 (SPT = 1) すると、バス・データ・ラインがクリア (SDA0 = 0) され、マスタ側のウェイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されるまで待機します。

スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウェイトを解除 (WREL = 1) します。

スレーブによるウェイトが解除されると、バス・クロック・ラインがセット (SCL0 = 1) されます。

マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) してストップ・コンディションを発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、マスタ側、スレーブ側で割り込み (INTIICA: ストップ・コンディション割り込み) が発生します。

備考 図12 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

図12 - 33 (2) アドレス~データ~データでは手順 ~

図12 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

第13章 乗除算器

13.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット (除算)

13.2 乗除算器の構成

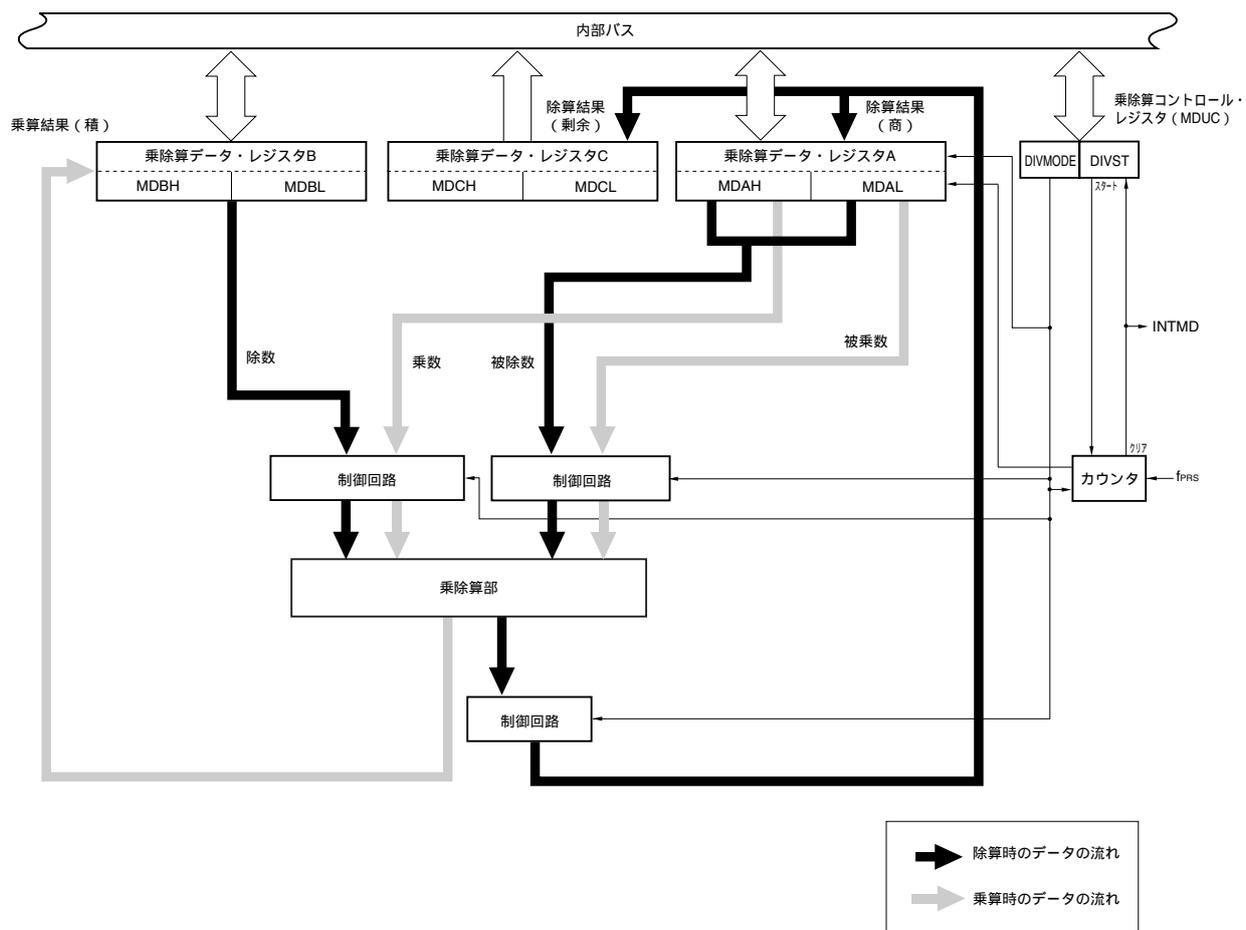
乗除算器は、次のハードウェアで構成されています。

表13 - 1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図13 - 1に示します。

図13 - 1 乗除算器のブロック図



(1) 乗除算データ・レジスタA (MDAH, MDAL)

MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果(商)がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81Hのとき)に、MDAH, MDALの値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中(MDUCが81Hのとき)にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表13-2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	-
1	除算モード	MDAH：被除数(上位16ビット) MDAL：被除数(下位16ビット)	MDAH：除算結果(商) 上位16ビット MDAL：除算結果(商) 下位16ビット

備考 DIVMODE：乗除算コントロール・レジスタ(MDUC)のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果(積)を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス : FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時 : 0000H, 0000H R/W



- 注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81Hのとき)に、MDBH, MDBLの値をソフトウェアで書き換えないでください。演算結果は不定値となります。
2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表13-3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	MDBH : 乗算結果(積) 上位16ビット MDBL : 乗算結果(積) 下位16ビット
1	除算モード	MDBH : 除数(上位16ビット) MDBL : 除数(下位16ビット)	-

備考 DIVMODE : 乗除算コントロール・レジスタ(MDUC)のビット7

(3) 乗除算データ・レジスタC (MDCL, MDCH)

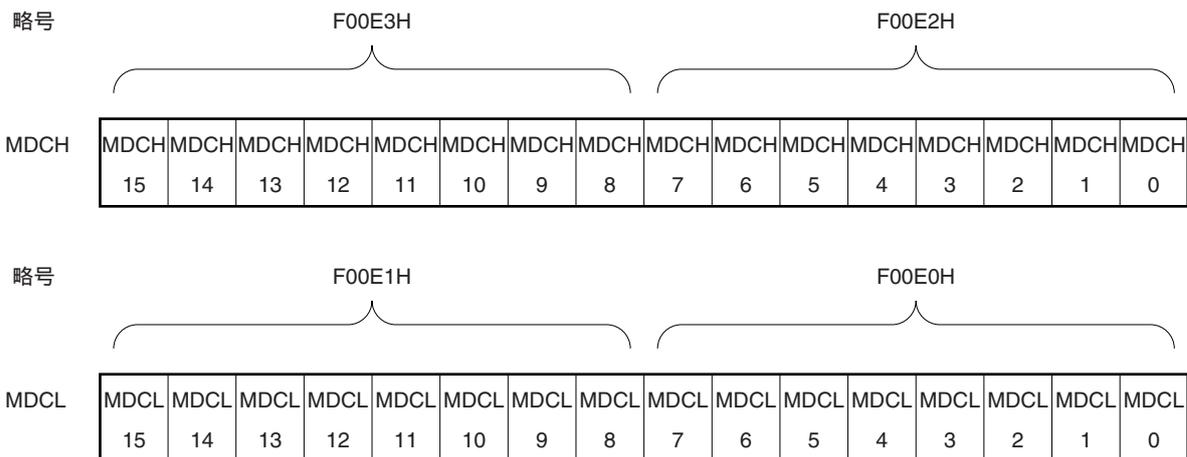
MDCH, MDCLレジスタは、除算モード時において演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLは、16ビット操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図13 - 4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H リセット時：0000H, 0000H R



注意 除算演算処理中 (乗除算コントロール・レジスタ (MDUC) が81Hのとき) に、MDCH, MDCLの値を読み出した場合、その値は保証されません。

表13 - 4 MDCH, MDCLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	-
1	除算モード	-	MDCH : 剰余 (上位16ビット) MDCL : 剰余 (下位16ビット)

備考 DIVMODE : 乗除算コントロール・レジスタ (MDUC) のビット7

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

$$\begin{matrix} < \text{乗数A} > & & < \text{乗数B} > & & < \text{積} > \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} = & [& \text{MDBH (ビット15-0)}, & \text{MDBL (ビット15-0)} &] \end{matrix}$$

・除算時のレジスタ構成

$$\begin{matrix} < \text{被除数} > & & < \text{除数} > \\ [\text{MDAH (ビット15-0)}, \text{MDAL (ビット15-0)}] \div [\text{MDBH (ビット15-0)}, \text{MDBL (ビット15-0)}] = \\ < \text{商} > & & < \text{剰余} > \\ [\text{MDAH (ビット15-0)}, \text{MDAL (ビット15-0)}] \dots [\text{MDCH (ビット15-0)}, \text{MDCL (ビット15-0)}] \end{matrix}$$

13.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ (MDUC)

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図13-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード (乗算 / 除算) の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

注 DIVSTは除算モード時にのみセット (1) 可能です。除算モード時、DIVSTをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア (0) されます。乗算モード時は、MDAH, MDALに乗数、被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中 (DIVSTが1のとき) に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
- 2. 除算演算処理中 (DIVSTが1のとき) にDIVSTをソフトウェアでクリア (0) することはできません。

13.4 乗除算器の動作

13.4.1 乗算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

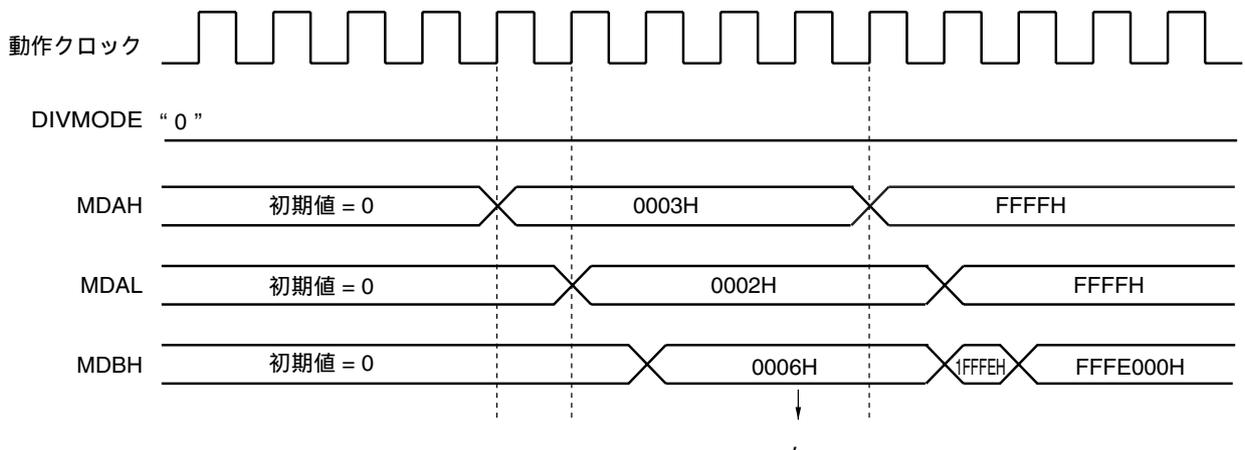
・次回演算

次に乗算を行う場合は, **乗算動作**の「初期設定」から行ってください。

次に除算を行う場合は, 13.4.2 **除算動作**の「初期設定」から行ってください。

備考 手順の ~ は, 図13-6の ~ に対応しています。

図13-6 乗算動作のタイミング図 (0003H×0002H)



13.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTがクリアされたことを確認

・ 除算完了割り込み (INTMD) 発生

(演算処理中のMDBL, MDBH, MDCH, MDCLのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) され、割り込み要求信号 (INTMD) が発生します (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

(~ の順はどれから読み出しても問題ありません。)

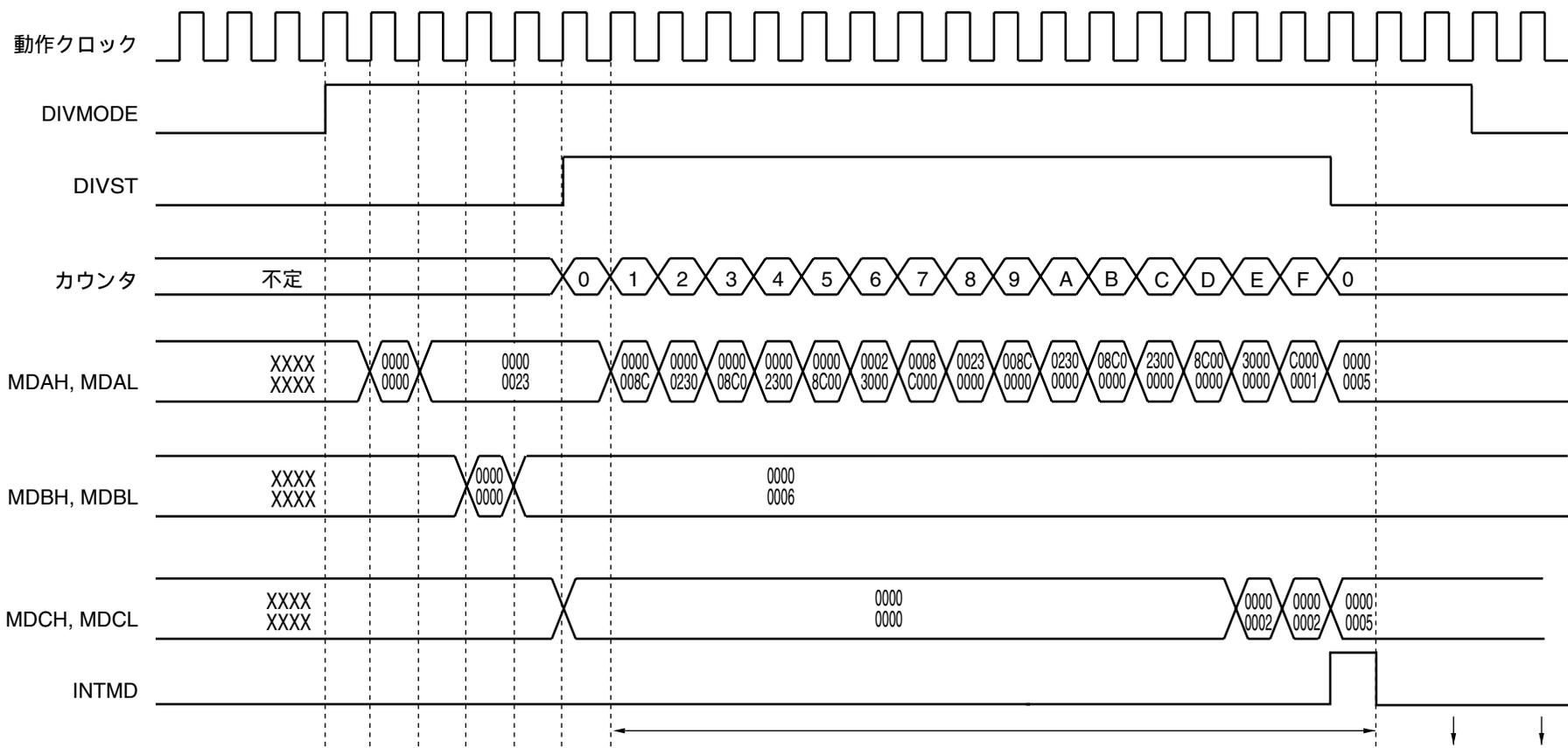
・次回演算

次に乗算を行う場合は、13.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は、**除算動作**の「初期設定」から行ってください。

備考 手順の ~ は、図13-7の ~ に対応しています。

図13-7 除算動作のタイミング図(例: 35 ÷ 6 = 5 余5)



第14章 DMAコントローラ

μPD78F8040, 78F8041, 78F8042, 78F8043は、DMA (Direct Memory Access) コントローラを内蔵していません。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

14.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・A/Dコンバータ
- ・シリアル・インタフェース (UART0, UART3)
- ・タイマ (チャンネル0, 1, 4, 5)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・シリアル・インタフェースの連続転送
- ・アナログ・データをまとめて転送
- ・一定時間ごとにA/Dの変換結果を取り込む
- ・一定時間ごとにポートの値を取りこむ

14.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表14 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・ DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・ DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・ DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSAn)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず、固定値となります。

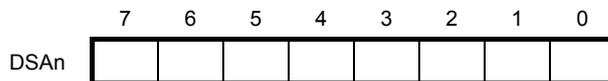
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSAnは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

図14 - 1 DMA SFRアドレス・レジスタ_n (DSAn) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタn (DBCn)

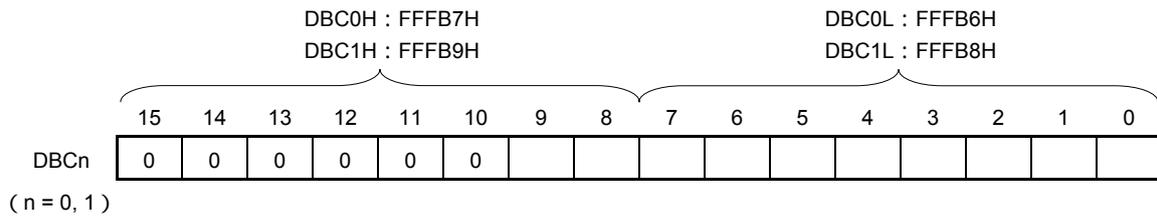
DMAチャンネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください(最大1024回)。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBCnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図14 - 3 DMA バイト・カウント・レジスタn (DBCn) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC0), FFFB8H, FFFB9H (DBC1) リセット時 : 0000H R/W



DBCn[9:0]	転送回数設定 (DBCnライト時)	残りの転送回数 (DBCnリード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

- 注意1. ビット15-10は、必ず0を設定してください。
- 2. 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャンネル番号 (n = 0, 1)

14.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・ DMAモード・コントロール・レジスタ n (DMC n)
- ・ DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャネル番号 ($n = 0, 1$)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n)はDMA起動のソフトウェア・トリガとなります。

DMC_nのビット6, 5, 3-0は、動作中 (DST_n = 1のとき)の書き換えは禁止です。

DMC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 4 DMAモード・コントロール・レジスタ_n (DMC_n)のフォーマット (1/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n に1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

- 注1. ソフトウェア・トリガ (STG_n) は、IFC_n3-IFC_n0の値に関係なく使用できます。
2. DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図14 - 4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (2/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0	DMA起動要因の選択 ^注	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0	UART0送信の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0	UART0受信の転送完了割り込み
1	0	1	0	INTST3	UART3送信の転送完了, バッファ空き割り込み
1	0	1	1	INTSR3	UART3受信の転送完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STG_n) は, IFC_{n3}-IFC_{n0}の値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC0), FFFBDH (DRC1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可
DMA動作許可 (DEN _n = 1) にしてから、DST _n = 1にすることでDMAトリガ待ち状態になります。	

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)
DMA動作許可 (DEN _n = 1) にしてから、DST _n = 1にすることでDMAトリガ待ち状態になります。そしてソフトウェア・トリガ (STG _n) またはIFC _n 3-IFC _n 0で設定した起動要因トリガが入力されると、DMA転送を開始します。その後、DMA転送が終了すると自動的に0にクリアされます。DMA転送中に強制終了したい場合は、0を書き込みます。	

注意1. DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は14. 5. 4 ソフトウェアでの強制終了参照)。

2. OSMCレジスタのFSELビットに1を設定する場合、設定後3クロック以内はDMAを動作許可 (DEN_n = 1) にしないでください。

備考 n : DMAチャンネル番号 (n = 0, 1)

14.4 DMAコントローラの動作

14.4.1 動作手順

DENn = 1により,DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は,80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス, RAMアドレス, 転送回数, 転送モードを設定します。

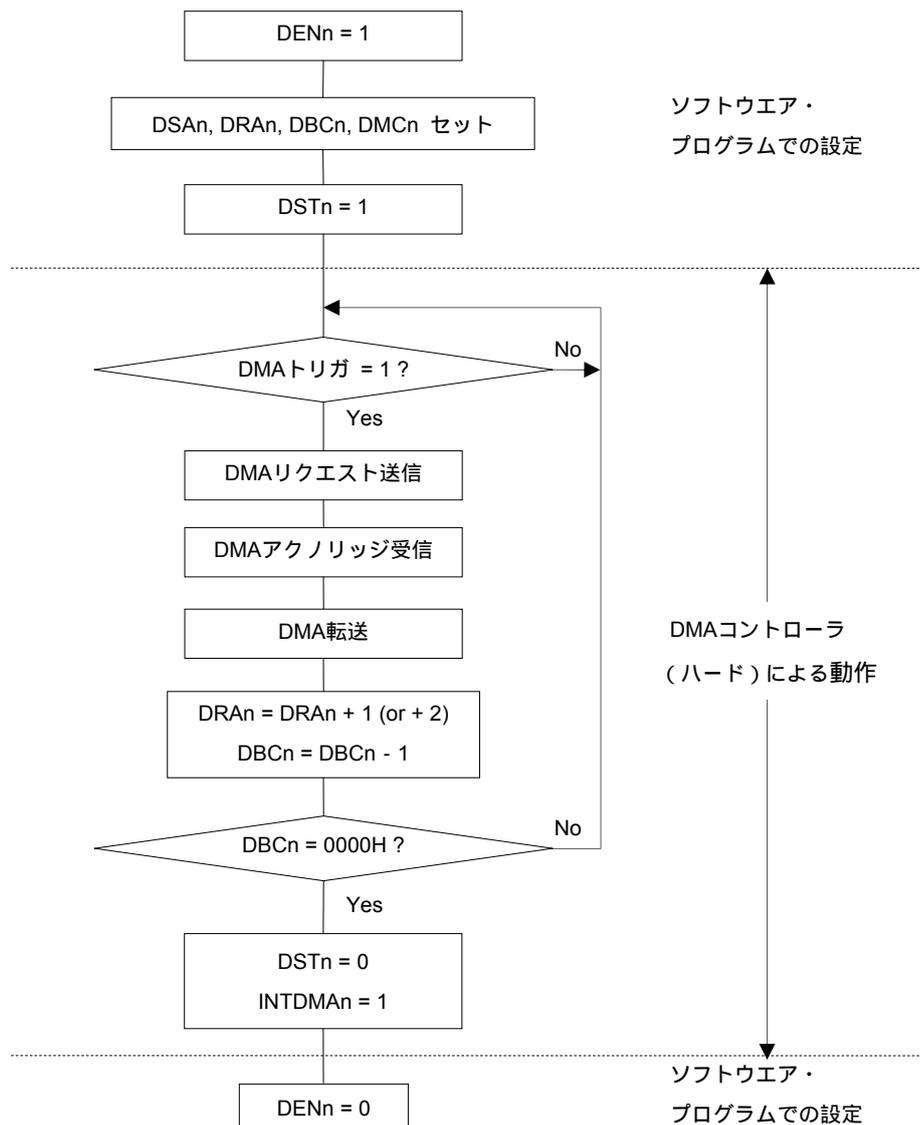
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は,81Hを書き込みます。

ソフトウェア・トリガ(STGn)またはIFCn3-IFCn0で設定した起動要因トリガが入力されると,DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し,割り込み(INTDMAn)の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図14-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

14.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRSn	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

14.4.3 DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると、自動的にDSTnビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDSTnビットをクリア (0) すると、DBCnレジスタとDRAnレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャンネル番号 (n = 0, 1)

14.5 DMAコントローラの設定例

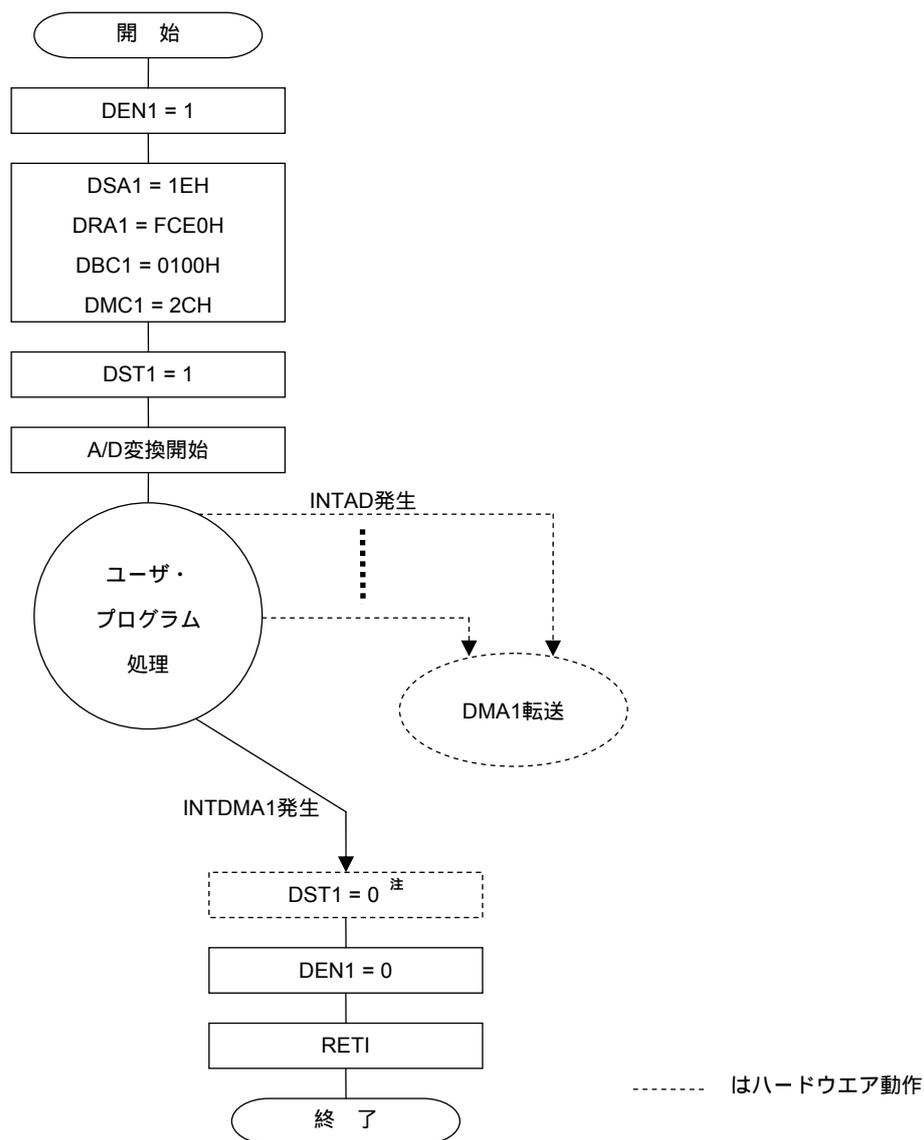
14.5.1 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因：INTAD
- ・ A/Dの割り込みはIFC13-IFC10 = 1100Bに割り当て
- ・ 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

備考 IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図14 - 7 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

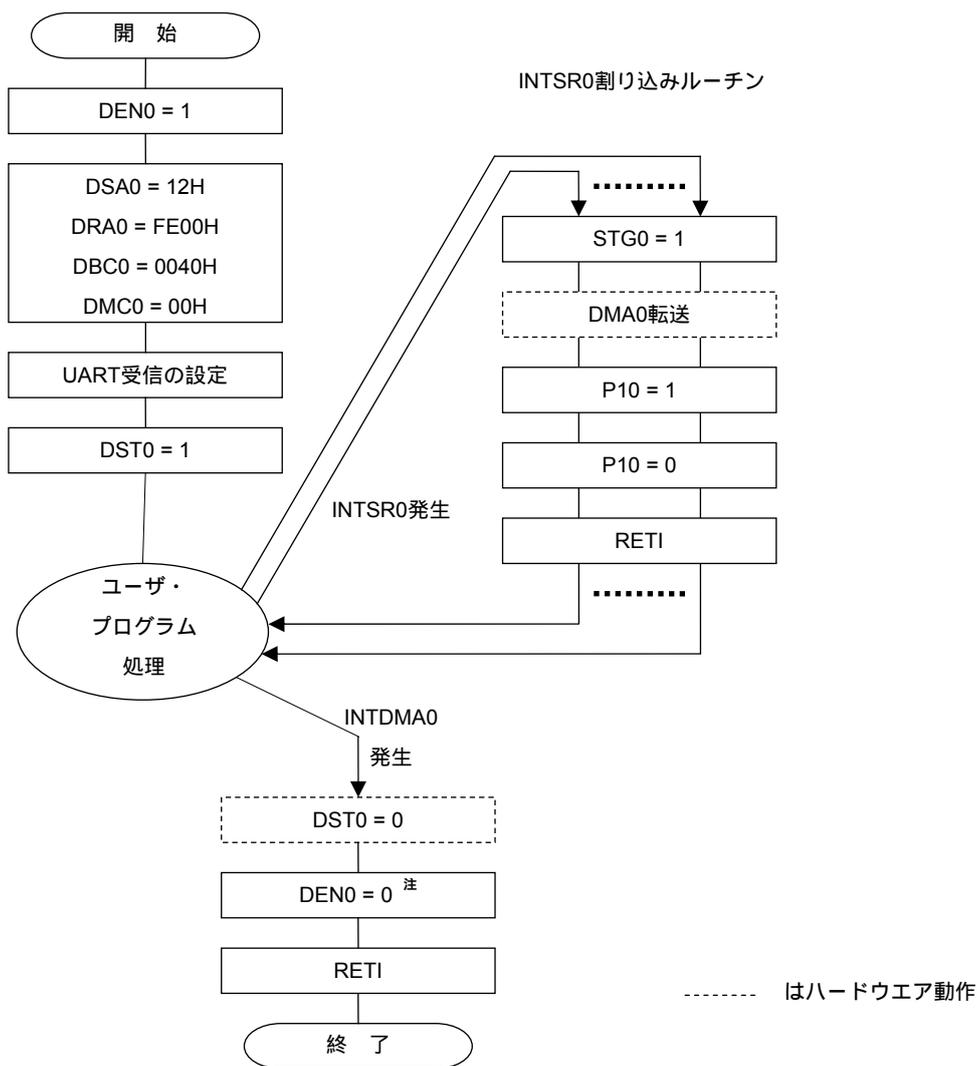
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は14. 5. 4 ソフトウェアでの強制終了参照)。

14. 5. 2 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い, P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因: ソフトウェア・トリガ (割り込みによるDMA転送禁止)
- ・ UART受信データ・レジスタ0 (RXD0) のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図14 - 8 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため, DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は, DST0 = 0に設定してからDEN0 = 0としてください (詳細は14. 5. 4 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに, UART連続受信だけであれば, UART受信完了割り込み (INTSR0) をDMA起動要因に設定して, 受信することもできます。

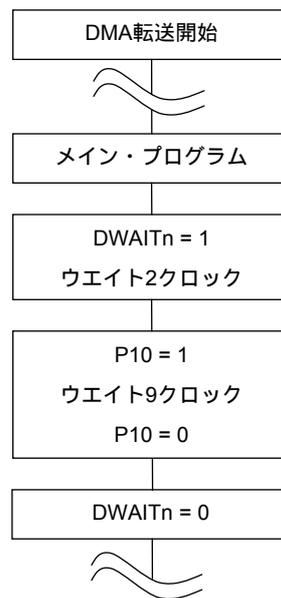
14. 5. 3 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図14 - 9 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留したい場合は、必ず両チャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = 1)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

14.5.4 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

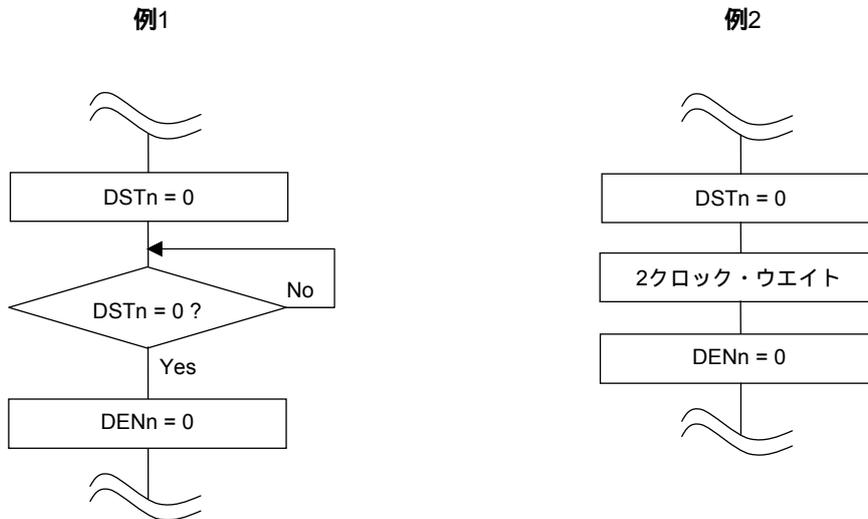
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn が 0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、2チャンネルともにDWAIT0, DWAIT1ビットをセット(1)してDMA転送を保留してから、DSTnビットをクリア(0)する。その後、2チャンネルともにDWAIT0, DWAIT1ビットをクリア(0)し保留を解除してから、DENnビットをクリア(0)とする

図14 - 10 DMA転送の強制終了 (1/2)

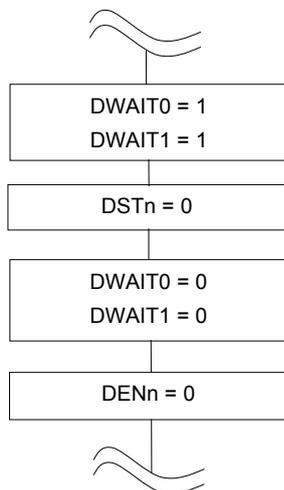


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

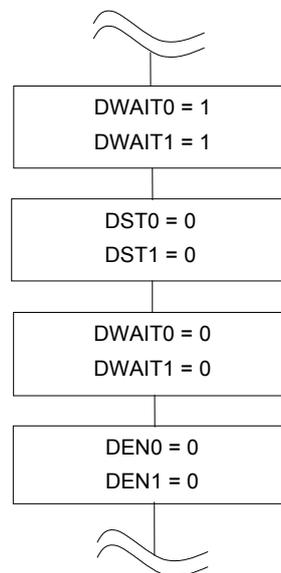
図14 - 10 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnのセット(1)後のウエイト2クロックは必要ありません。また、DSTnをクリア(0)してからDENnをクリア(0)するまで2クロック以上経過しているため、DSTnのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

14.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャンネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャンネル0 > DMAチャンネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA 応答時間

DMA 転送における応答時間は、次のようになります。

表14 - 2 DMA 転送における応答時間

	最小時間	最大時間
応答時間 ^注	3クロック	10クロック

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令 (14.6(4)参照) 実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
3. 最大応答時間 + 1クロック以内での同一チャンネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表14 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても，次の命令直後ではDMA転送は保留されます。

- ・ CALL !addr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H ,PSWの各レジスタに対するビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき，汎用レジスタ領域内に入ってしまったら，内蔵RAMの領域を越えてしまった場合，以下に示す動作になります。

SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も，誤動作やシステム破壊の原因となりますので，アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう，十分ご注意ください。



第15章 割り込み機能

15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表15 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部 : 5, 内部 : 28

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

15.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計34要因あります。また、それ以外にリセット要因が最大で合計5要因あります (表15 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表15 - 1 割り込み要因一覧 (1/2)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%)	内部	0004H	(A)
	1	INTLVI	低電圧検出 ^{注4}		0006H	
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1	IO-Linkの過電流検出 ^{注5}		000AH	
	4	INTP2	IO-Linkのウエイクアップ信号検出 ^{注5}		000CH	
	5	INTP4	端子入力エッジ検出		0010H	
	6	INTP5			0012H	
	7	INTST3	UART3送信の転送完了,バッファ空き割り込み	内部	0014H	(A)
	8	INTSR3	UART3受信の転送完了		0016H	
	9	INTSRE3	UART3受信の通信エラー発生		0018H	
	10	INTDMA0	DMA0の転送完了		001AH	
	11	INTDMA1	DMA1の転送完了		001CH	
	12	INTST0	UART0送信の転送完了,バッファ空き割り込み		001EH	
	13	INTSR0	UART0受信の転送完了		0020H	
	14	INTSRE0	UART0受信の通信エラー発生		0022H	
	15	INTIICA	IICA通信完了		002AH	
	16	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了		002CH	
	17	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了		002EH	
	18	INTTM02	ユニット0用タイマ・チャンネル2のカウント完了またはキャプチャ完了		0030H	
	19	INTTM03	ユニット0用タイマ・チャンネル3のカウント完了またはキャプチャ完了		0032H	
	20	INTAD	A/D変換終了		0034H	
21	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了,バッファ空き割り込み /CSI20の転送完了,バッファ空き割り込み /IIC20の転送完了	003CH			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、32が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図15-1の(A)-(C)に対応しています。

3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

5. INTP1/P50, INTP2/P51端子はIO-Link通信用です。

表15 - 1 割り込み要因一覧 (2/2)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	22	INTTM13	ユニット1用タイマ・チャンネル3のカウンタ完了またはキャプチャ完了	内部	0040H	(A)
	23	INTTM04	ユニット0用タイマ・チャンネル4のカウンタ完了またはキャプチャ完了		0042H	
	24	INTTM05	ユニット0用タイマ・チャンネル5のカウンタ完了またはキャプチャ完了		0044H	
	25	INTTM06	ユニット0用タイマ・チャンネル6のカウンタ完了またはキャプチャ完了		0046H	
	26	INTTM07	ユニット0用タイマ・チャンネル7のカウンタ完了またはキャプチャ完了		0048H	
	27	INTSR2	UART2受信の転送完了		004AH	
	28	INTTM10	ユニット1用タイマ・チャンネル0のカウンタ完了またはキャプチャ完了		0056H	
	29	INTTM11	ユニット1用タイマ・チャンネル1のカウンタ完了またはキャプチャ完了		0058H	
	30	INTTM12	ユニット1用タイマ・チャンネル2のカウンタ完了またはキャプチャ完了		005AH	
	31	INTSRE2	UART2受信の通信エラー発生		005CH	
	32	INTMD	除算演算完了		005EH	
ソフトウェア	-	BRK	BRK命令の実行	-	007EH	(C)
リセット	-	RESET	RESET端子入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位，32が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図15 - 1の (A) - (C) に対応しています。

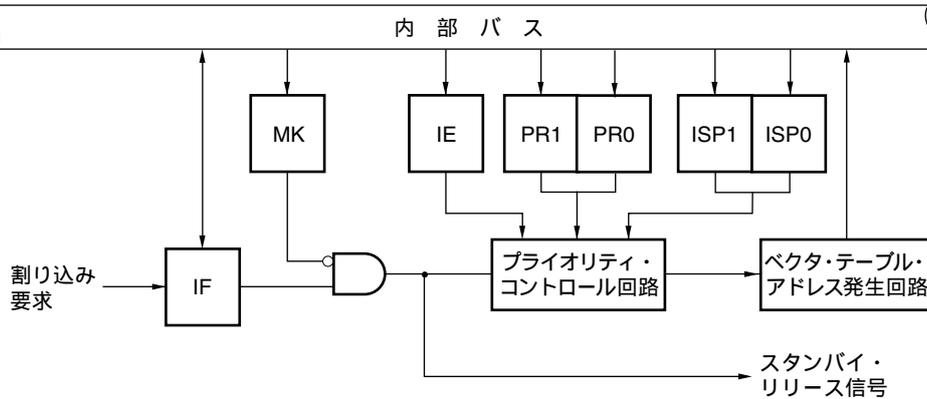
3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

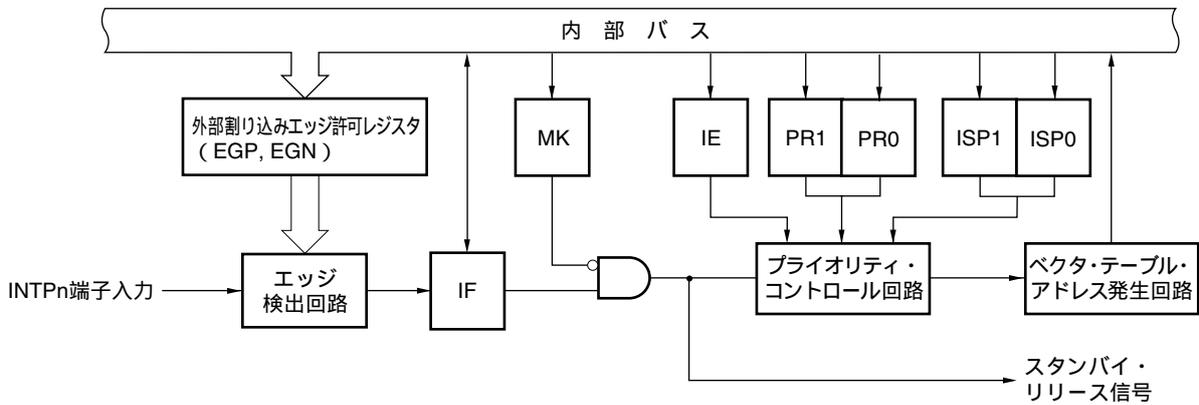
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図15 - 1 割り込み機能の基本構成

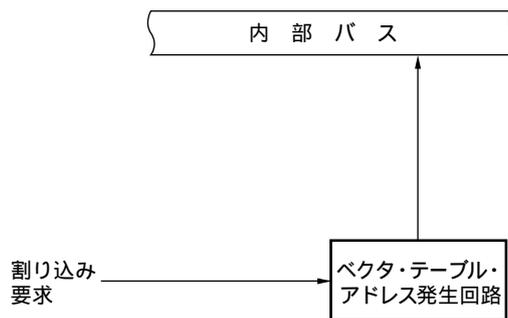
(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTPn)



(C) ソフトウェア割り込み



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

2. n = 0, 1, 2, 4, 5

15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表15 - 2に示します。

表15 - 2 割り込み要求ソースに対応する各種フラグ (1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST3	STIF3	IF0H	STMK3	MK0H	STPR03, STPR13	PR00H, PR10H
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0	STIF0		STMK0		STPR00, STPR10	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	

表15 - 2 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTIICA	IICAIF	IF1L	IICAMK	MK1L	IICAPR0, IICAPR1	PR01L, PR11L
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTST2 ^注	STIF2 ^注		STMK2 ^注		STPR02, STPR12 ^注	
INTCSI20 ^注	CSIIF20 ^注		CSIMK20 ^注		CSIPR020, CSIPR120 ^注	
INTIIC20 ^注	IICIF20 ^注		IICMK20 ^注		IICPR020, IICPR120 ^注	
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTTM10	TMIF10	IF2H	TMMK10	MK2H	TMPR010, TMPR110	PR02H, PR12H
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111	
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTMD	MDIF		MDMK		MDPR0, MDPR1	

注 UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF1Hのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hのビット4は、3つすべての割り込み要因に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
IF0L	PIF5	PIF4	0	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	SREIF3	SRIF3	STIF3

アドレス : FFFE2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF	0	0	0

アドレス : FFFE3H リセット時 : 00H R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
IF1H	TMIF04	TMIF13	0	STIF2	0	0	0	ADIF
				CSIF20				
				IICIF20				

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
IF2L	0	0	0	0	SRIF2	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
IF2H	0	0	MDIF	SREIF2	TMIF12	TMIF11	TMIF10	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

(注意は次ページにあります。)

- 注意1. IF0Lのビット5, IF1Lのビット0-2, IF1Hのビット1-3, 5, IF2Lのビット4-7, IF2Hのビット0, 6, 7には必ず0を設定してください。
2. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
 3. 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお, C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは, 対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また, MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考 このレジスタへの書き込み命令を行った場合, 命令実行クロック数が2クロック長くなります。

図15 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	1	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	SREMK3	SRMK3	STMK3

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK	1	1	1

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
MK1H	TMMK04	TMMK13	1	STMK2 CSIMK20 IICMK20	1	1	1	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
MK2L	1	1	1	1	SRMK2	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
MK2H	1	1	MDMK	SREMK2	TMMK12	TMMK11	TMMK10	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK0Lのビット5, MK1Lのビット0-2, MK1Hのビット1-3, 5, MK2Lのビット4-7, MK2Hのビット0, 6, 7には必ず1を設定してください。

(3)優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	1	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	1	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00H	SREPR00	SRPR00	STPR00	DMAPR01	DMAPR00	SREPR03	SRPR03	STPR03

アドレス : FFFEDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10H	SREPR10	SRPR10	STPR10	DMAPR11	DMAPR10	SREPR13	SRPR13	STPR13

アドレス : FFFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR0	1	1	1

アドレス : FFFEEH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR1	1	1	1

図15 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
PR01H	TMPR004	TMPR013	1	STPR02 CSIPR020 IICPR020	1	1	1	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
PR11H	TMPR104	TMPR113	1	STPR12 CSIPR120 IICPR120	1	1	1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
PR02L	1	1	1	1	SRPR02	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
PR12L	1	1	1	1	SRPR12	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
PR02H	1	1	MDPR0	SREPR02	TMPR012	TMPR011	TMPR010	1

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
PR12H	1	1	MDPR1	SREPR12	TMPR112	TMPR111	TMPR110	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 PR00L, PR10Lのビット5, PR01L, PR11Lのビット0-2, PR01H, PR11Hのビット1-3, 5, PR02L, PR12Lのビット4-7, PR02H, PR12Hのビット0, 6, 7には必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0, INTP1, INTP2, INTP4, INTP5の有効エッジを設定するレジスタです。

EGP0, EGN0は, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図15 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	EGP5	EGP4	0	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	EGN5	EGN4	0	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0, 1, 2, 4, 5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表15 - 3に示します。

表15 - 3 EGPnとEGNnに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P50	INTP1
EGP2	EGN2	P51	INTP2
EGP4	EGN4	P31	INTP4
EGP5	EGN5	P16	INTP5

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0, 1, 2, 4, 5

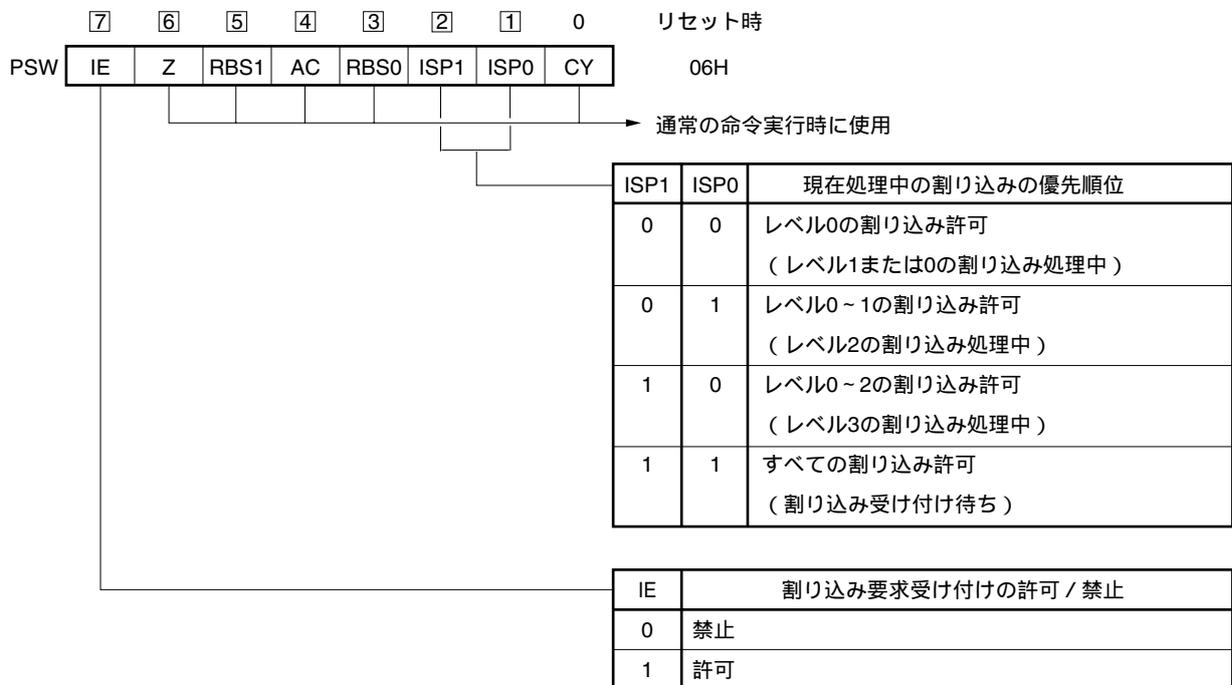
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図15-6 プログラム・ステータス・ワードの構成



15.4 割り込み処理動作

15.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表15-4のようになります。

割り込み要求の受け付けタイミングについては、[図15-8](#)、[図15-9](#)を参照してください。

表15-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

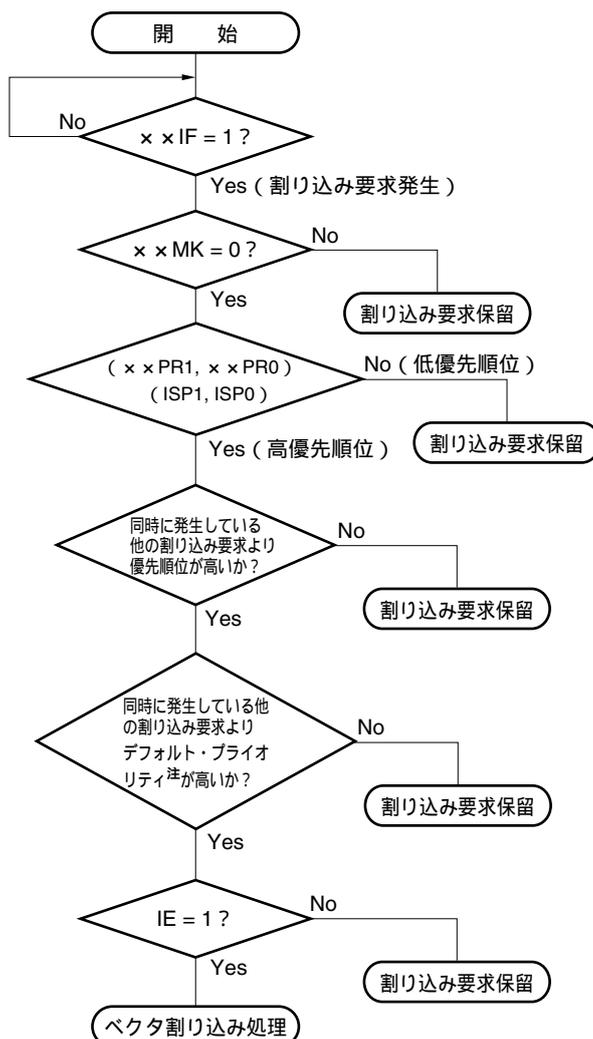
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図15-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

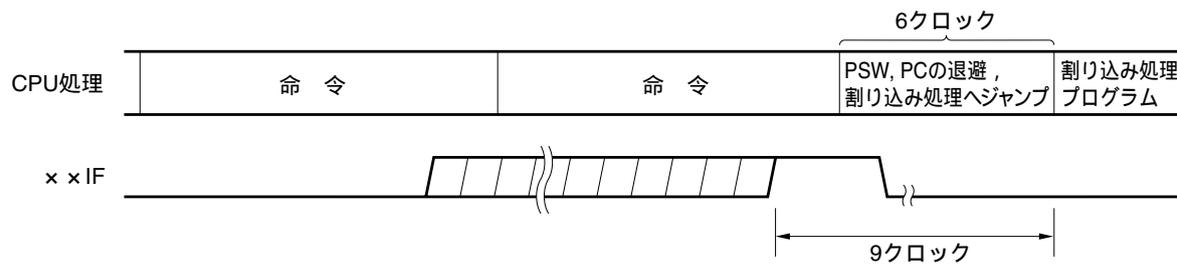
図15 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
- x x MK : 割り込みマスク・フラグ
- x x PR0 : 優先順位指定フラグ0
- x x PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図15 - 6参照)

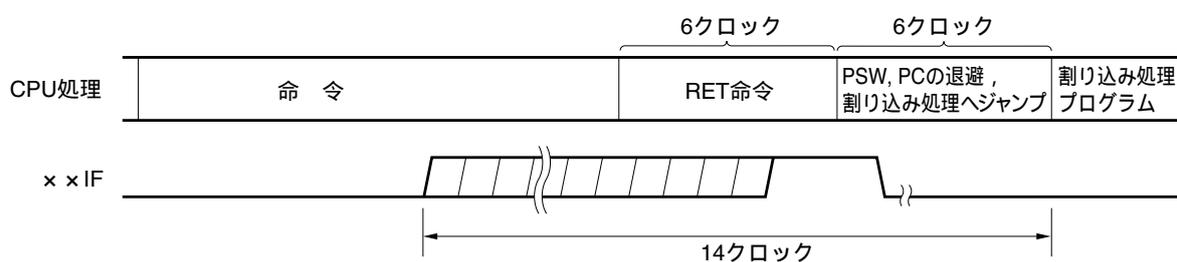
注 デフォルト・プライオリティは、表15 - 1 割り込み要因一覧を参照してください。

図15 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図15 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

15.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

15.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表15 - 5に多重割り込み可能な割り込み要求の関係を、図15 - 10に多重割り込みの例を示します。

表15 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

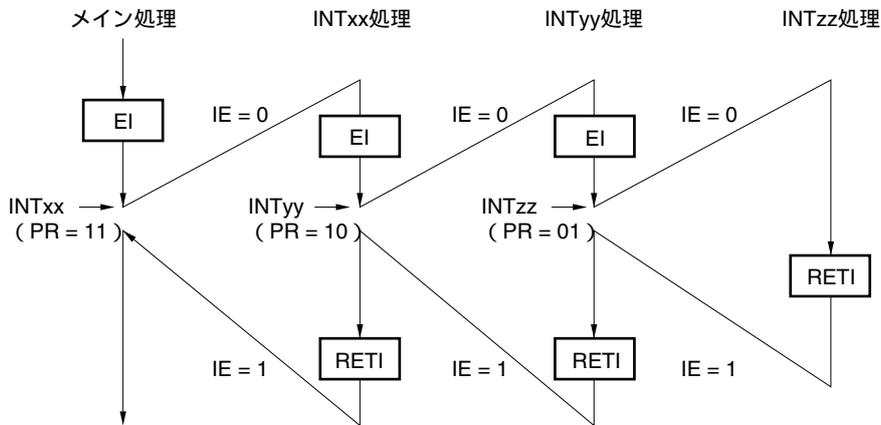
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

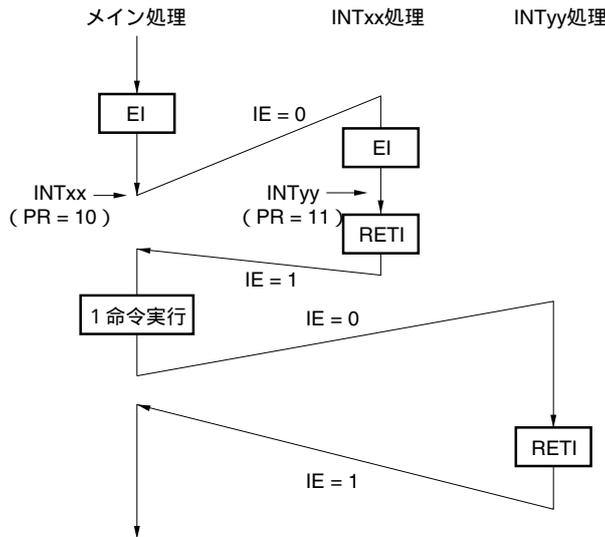
図15 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

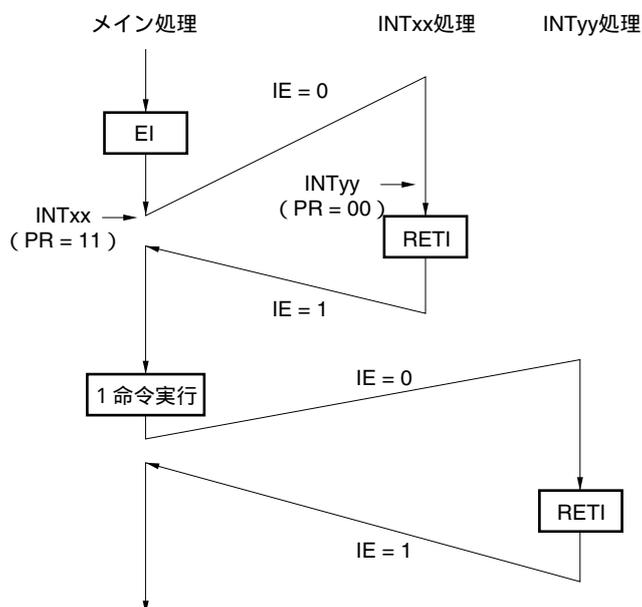


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 : x × PR1 x = 0, x × PR0 x = 0でレベル0を指定 (高優先順位)
- PR = 01 : x × PR1 x = 0, x × PR0 x = 1でレベル1を指定
- PR = 10 : x × PR1 x = 1, x × PR0 x = 0でレベル2を指定
- PR = 11 : x × PR1 x = 1, x × PR0 x = 1でレベル3を指定 (低優先順位)
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

図15 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : x × PR1 x = 0, x × PR0 x = 0でレベル0を指定 (高優先順位)

PR = 01 : x × PR1 x = 0, x × PR0 x = 1でレベル1を指定

PR = 10 : x × PR1 x = 1, x × PR0 x = 0でレベル2を指定

PR = 11 : x × PR1 x = 1, x × PR0 x = 1でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

15. 4. 4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図15 - 11に示します。

図15 - 11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第16章 スタンバイ機能

16.1 スタンバイ機能と構成

16.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、20 MHz高速内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 低速内蔵発振回路をHALT、STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第21章 オプション・バイトを参照してください。
 - 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

16. 1. 2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第7章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。
次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

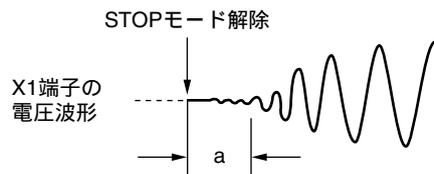
図16 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁹ fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ fx以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ fx以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2 ¹³ fx以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ fx以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ fx以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ fx以上	26.21 ms以上	13.11 ms以上

- 注意1. 上記時間経過後、MOST8から順番に“1”となっていく、そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・ 期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 07Hになります。

図16 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs 設定禁止
0	0	1	$2^9/f_x$	51.2 μs 25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs 51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs 102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs 409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms 1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms 6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms 13.11 ms

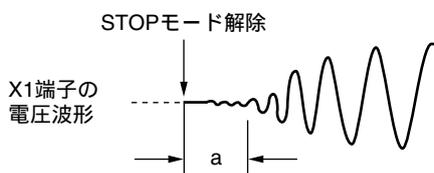
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は, STOP命令の実行よりも前にOSTSを設定しておいてください。

2. 発振安定時間が20 μs 以下は設定禁止です。
3. OSTSレジスタの設定を変更する場合は, 変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
4. X1クロックの発振安定時間中は, OSTSレジスタを変更しないでください。
5. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

6. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

16.2 スタンバイ機能の動作

16.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、20 MHz高速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表16 - 1 HALTモード時の動作状態

項目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{IH}) または20 MHz高速内蔵発振ク ロック (f_{IH20}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}, f_{IH20}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継 続	動作継続 (停止不可)	動作不可
	f_{EX}		動作不可	動作継続 (停止不可)
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		保持		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット(TAU)		動作可能		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
A/Dコンバータ		動作可能		
シリアル・アレイ・ユニッ ト (SAU)				
シリアル・インタフェース (IICA)				
乗除算器				
DMAコントローラ				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				

- 備考** f_{IH} : 高速内蔵発振クロック
 f_{IH20} : 20 MHz高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{IL} : 低速内蔵発振クロック

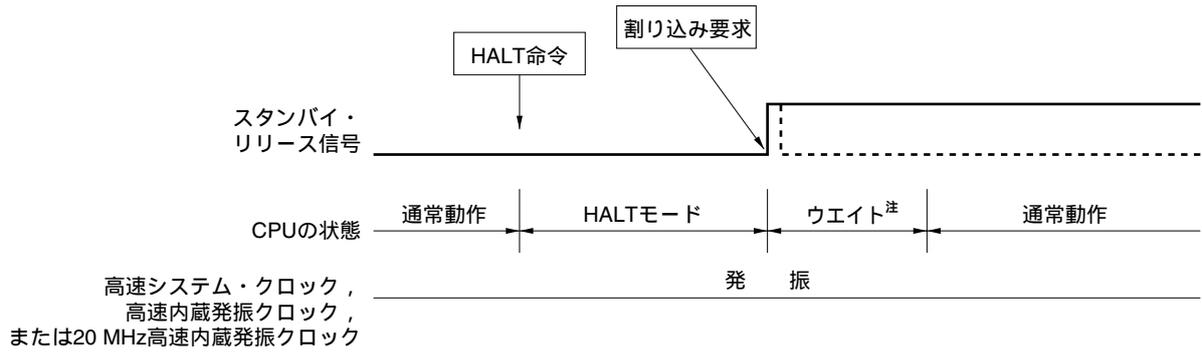
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図16 - 3 HALTモードの割り込み要求発生による解除



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合：10～12クロック
- ・ベクタ割り込み処理を行わない場合：5～6クロック

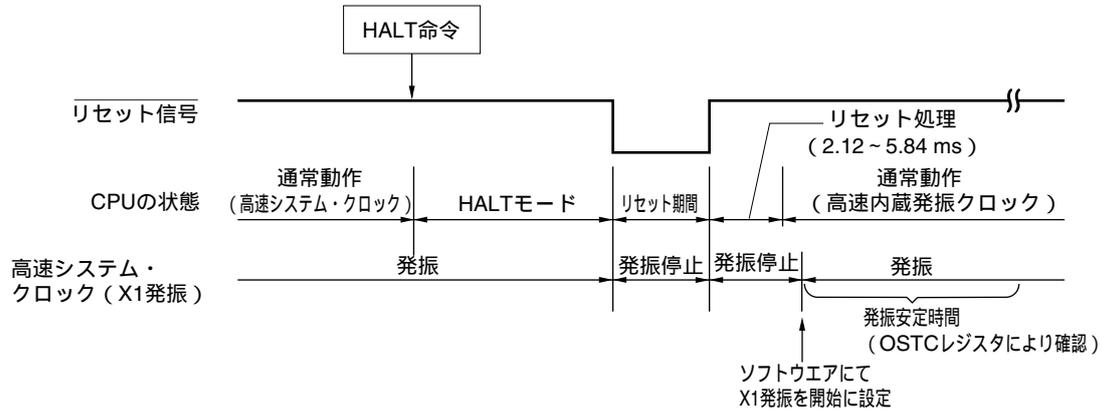
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

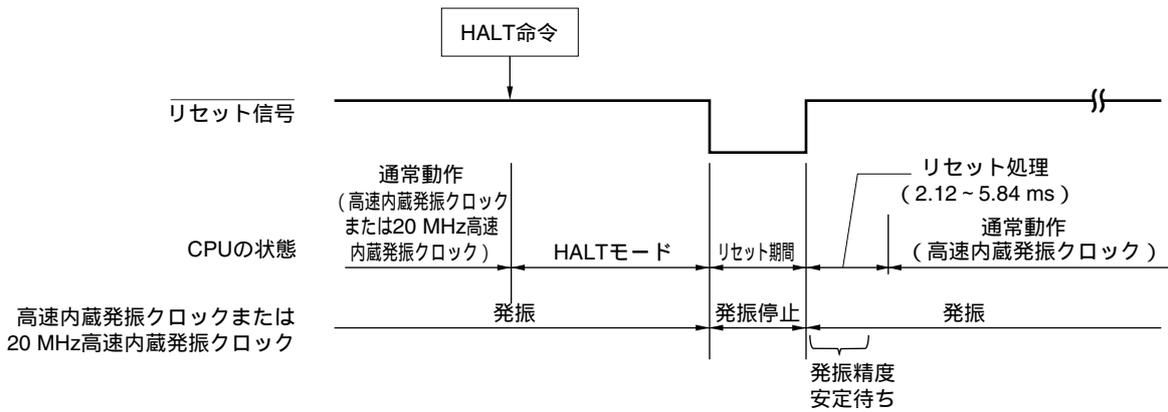
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図16 - 4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックまたは20 MHz高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

16.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

- 注意1. 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されません。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。
2. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表16 - 2 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止	
	f_x		
	f_{EX}		
f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU	動作停止		
フラッシュ・メモリ	動作停止		
RAM	保持		
ポート (ラッチ)	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット(TAU)	動作不可		
ウォッチドッグ・タイマ	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
A/Dコンバータ	動作不可		
シリアル・アレイ・ユニット (SAU)			
シリアル・インタフェース (IICA)	アドレス一致によるウエイク・アップ動作可能		
乗除算器	動作不可		
DMAコントローラ			
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			

備考 f_{IH} : 高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{IL} : 低速内蔵発振クロック

- 注意1. STOPモード中に動作停止する周辺ハードウェア,および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は,周辺ハードウェアをリスタートしてください。
- STOPモード中に低速内蔵発振クロックを停止したい場合は,オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定(000C0Hのビット0(WDSTBYON)=0)してから,STOP命令を実行してください。
 - 高速システム・クロック(X1発振)でCPU動作していて,STOPモード解除後の発振安定時間を短縮したい場合は,STOP命令実行前に,CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後,CPUクロックを高速内蔵発振クロックから高速システム・クロック(X1発振)に切り替える場合は,発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから,行ってください。
 - 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

(2) STOPモードの解除

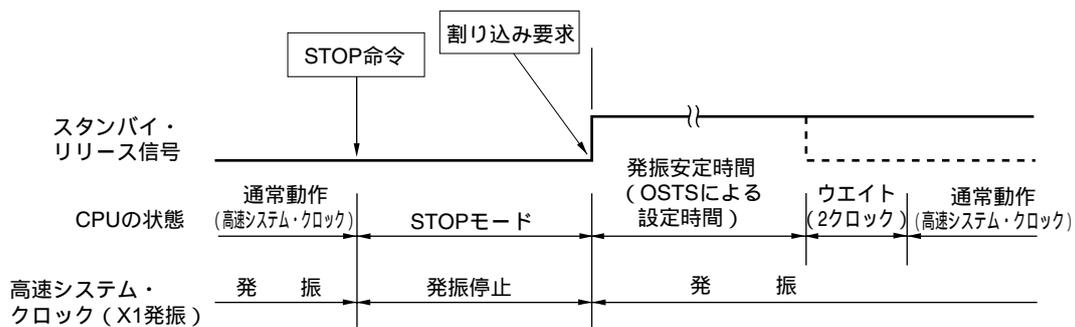
STOPモードは,次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合,STOPモードを解除します。発振安定時間経過後,割り込み受け付け許可状態であれば,ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば,次のアドレスの命令を実行します。

図16 - 5 STOPモードの割り込み要求発生による解除 (1/2)

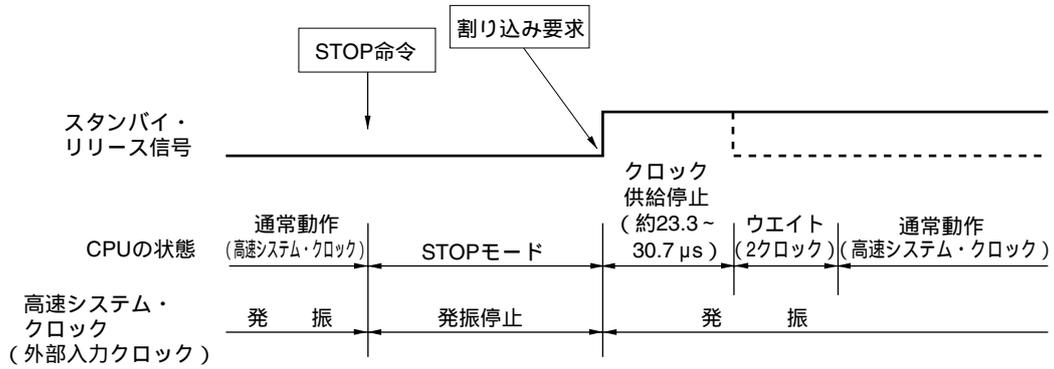
(1) CPUクロックが高速システム・クロック(X1発振)の場合



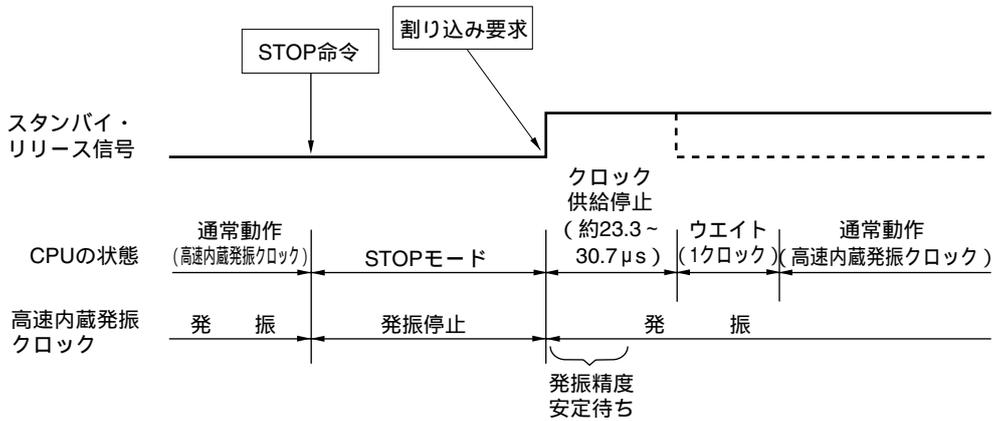
備考 破線は,スタンバイを解除した割り込み要求が受け付けられた場合です。

図16 - 5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速内蔵発振クロックの場合



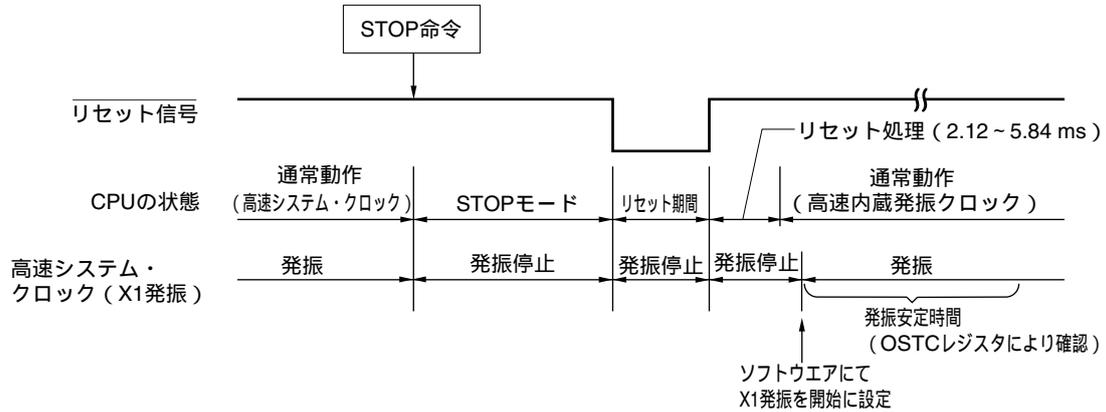
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

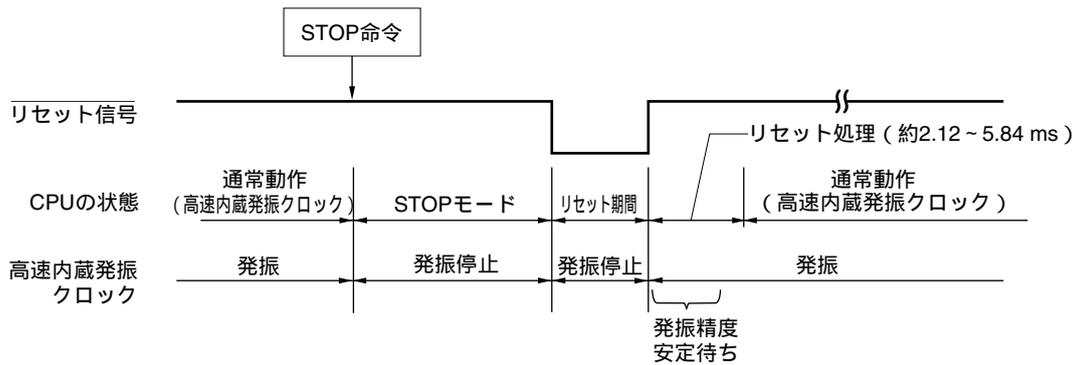
リセット信号の発生により, STOPモードは解除されます。そして, 通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと, プログラムが実行されます。

図16 - 6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第17章 リセット機能

リセット信号を発生させる方法には、次の6種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) リセット処理のチェック・エラーによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令の実行^注により、リセットがかかり、各ハードウェアは表17 - 1、表17 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図17 - 2から図17 - 4参照)。POC回路、LVI回路の電圧検出によるリセットは、リセット後 V_{DD} V_{POR} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第18章 パワーオン・クリア回路と第19章 低電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

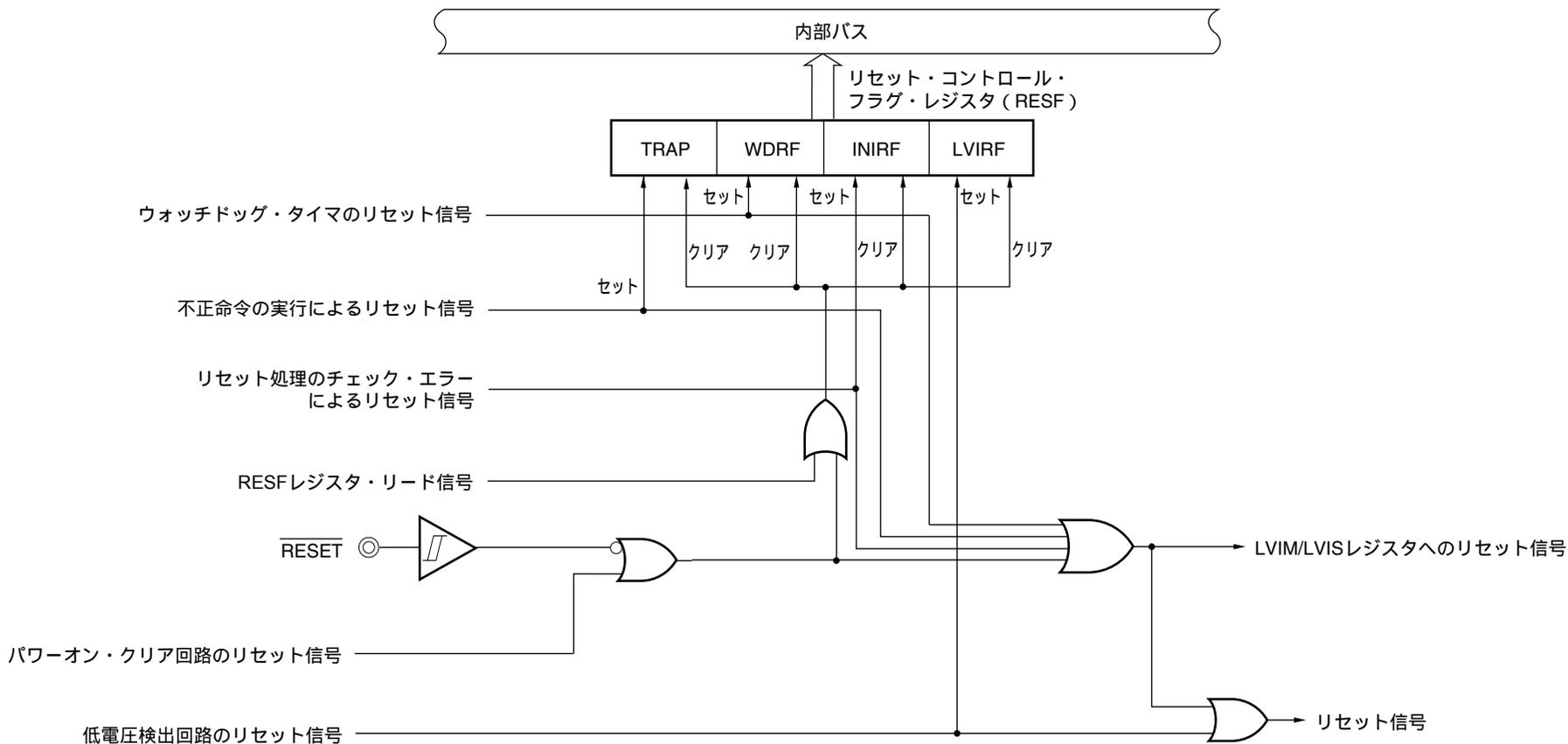
注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内(V_{DD} 3.0V)の期間に10 μ s以上ロウ・レベルを継続する必要があります。)

2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。
4. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子はハイ・インピーダンスとなります。

備考 V_{POR} : POC電源立ち上がり検出電圧

図17-1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** LVIM：低電圧検出レジスタ
 2. LVIS：低電圧検出レベル選択レジスタ

図17 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

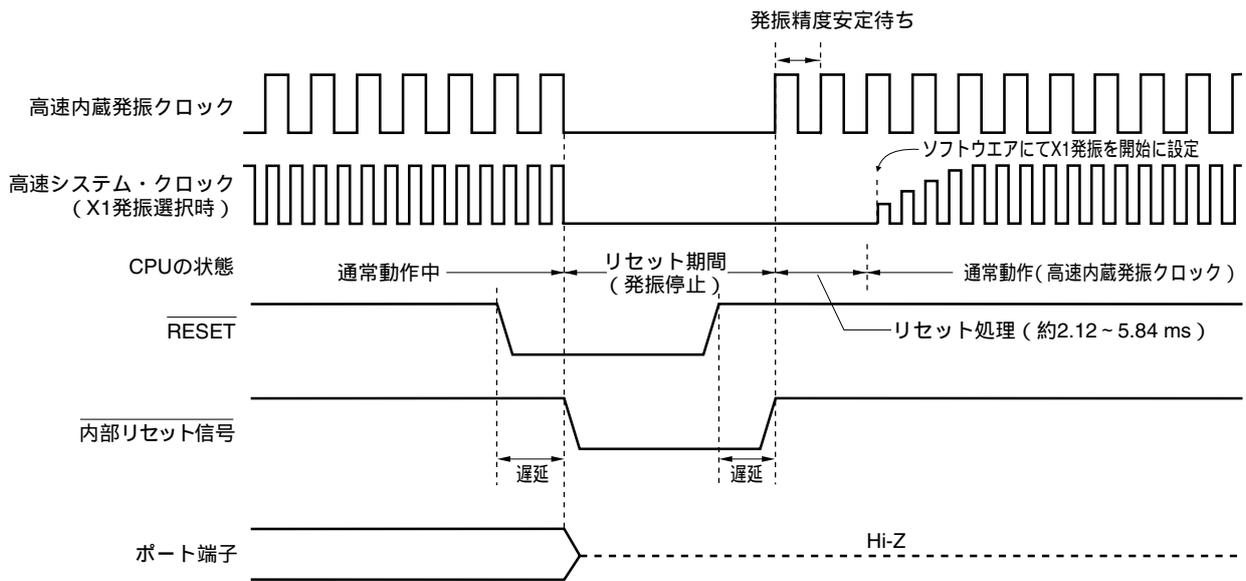
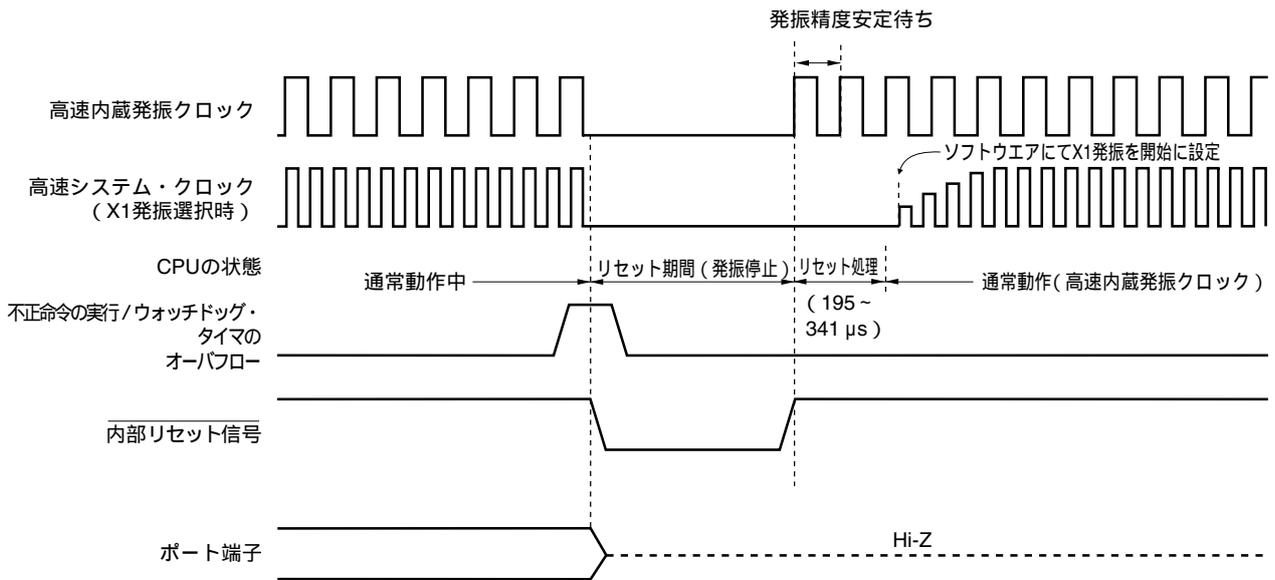
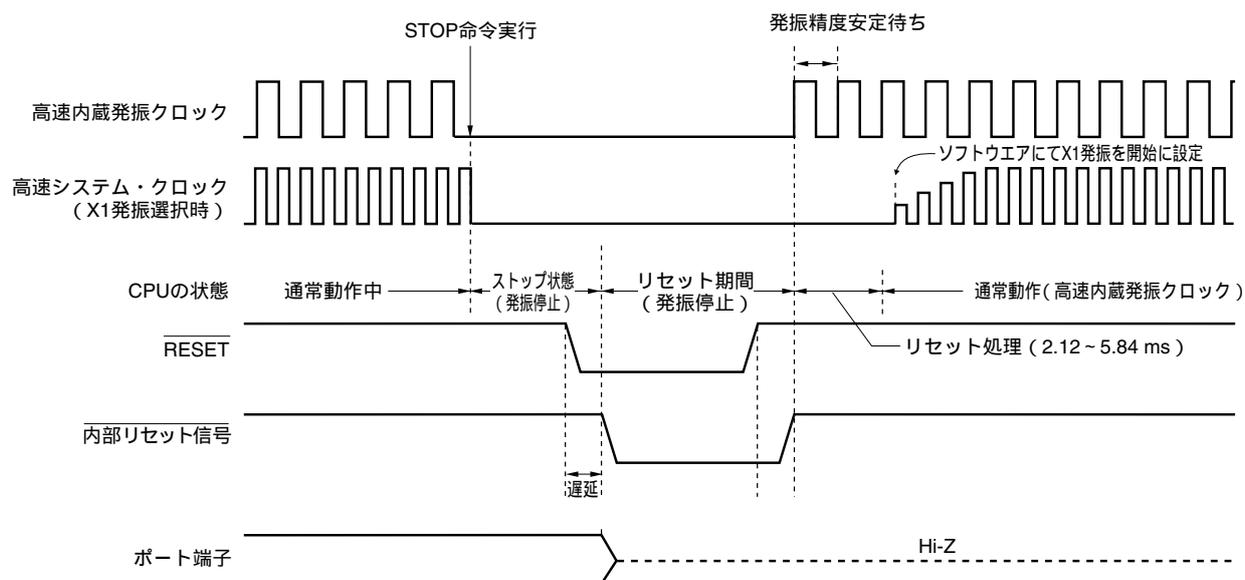


図17 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図17 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第18章 パワーオン・クリア回路と第19章 低電圧検出回路を参照してください。

表17-1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f_{IH}, f_{IH20} 動作停止	
	f_X 動作停止 (X1端子は入力ポート・モード)	
	f_{EX} クロックの入力無効 (端子は入力ポート・モード)	
	f_{IL} 動作停止	
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし、パワーオン・クリア検出電圧以上時では、値を保持)	
ポート (ラッチ)	ハイ・インピーダンス。	
タイマ・アレイ・ユニット (TAU)	動作停止	
ウォッチドッグ・タイマ		
A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
乗除算器		
DMAコントローラ		
パワーオン・クリア機能		検出動作可能
低電圧検出機能		動作停止 (ただし、LVIリセット時は動作継続)
外部割り込み		動作停止

備考 f_{IH} : 高速内蔵発振クロック
 f_{IH20} : 20 MHz高速内蔵発振クロック
 f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{IL} : 低速内蔵発振クロック

表17 - 2 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P0-P7, P11, P12, P14, P15) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM7, PM11, PM12, PM14, PM15)		FFH
ポート入力モード・レジスタ14 (PIM14)		00H
ポート出力モード・レジスタ14 (POM14)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU6, PU12, PU14)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
システム・クロック制御レジスタ (CKC)		09H
20 MHz高速内蔵発振制御レジスタ (DSCCTL)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0-2 (NFEN0-NFEN2)		00H
周辺イネーブル・レジスタ0 (PER0)		00H
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット (TAU)	タイマ・データ・レジスタ00-07, 10-13 (TDR00-TDR07, TDR10-TDR13)	0000H
	タイマ・モード・レジスタ00-07, 10-13 (TMR00-TMR07, TMR10-TMR13)	0000H
	タイマ・ステータス・レジスタ00-07, 10-13 (TSR00-TSR07, TSR10-TSR13)	0000H
	タイマ・カウンタ・レジスタ00-07, 10-13 (TCR00-TCR07, TCR10-TCR13)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0, 1 (TE0, TE1)	0000H
	タイマ・チャンネル開始レジスタ0, 1 (TS0, TS1)	0000H
	タイマ・チャンネル停止レジスタ0, 1 (TT0, TT1)	0000H
	タイマ・クロック選択レジスタ0, 1 (TPS0, TPS1)	0000H
	タイマ出力レジスタ0, 1 (TO0, TO1)	0000H
	タイマ出力許可レジスタ0, 1 (TOE0, TOE1)	0000H
	タイマ出力レベル・レジスタ0, 1 (TOL0, TOL1)	0000H
タイマ出力モード・レジスタ0, 1 (TOM0, TOM1)	0000H	

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表17-2 各ハードウェアのリセット受け付け後の状態 (2/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01, 10-13 (SDR00, SDR01, SDR10-SDR13)	0000H
	シリアル・ステータス・レジスタ00, 01, 10-13 (SSR00, SSR01, SSR10-SSR13)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00, 01, 10-13 (SIR00, SIR01, SIR10-SIR13)	0000H
	シリアル・モード・レジスタ00, 01, 10-13 (SMR00, SMR01, SMR10-SMR13)	0020H
	シリアル通信動作設定レジスタ00, 01, 10-13 (SCR00, SCR01, SCR10-SCR13)	0087H
	シリアル・チャネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H
	シリアル・チャネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力レベル・レジスタ0, 1 (SOL0, SOL1)	0000H
	シリアル・インタフェース IICA	IICAシフト・レジスタ (IICA)
IICAステータス・レジスタ (IICS)		00H
IICAフラグ・レジスタ (IICF)		00H
IICAコントロール・レジスタ0 (IICCTL0)		00H
IICAコントロール・レジスタ1 (IICCTL1)		00H
IICAロウ・レベル幅設定レジスタ (IICWL)		FFH
IICAハイ・レベル幅設定レジスタ (IICWH)		FFH
スレーブ・アドレス・レジスタ (SVA)		00H
乗除算器	乗除算データ・レジスタA (L) (MDAL)	0000H
	乗除算データ・レジスタA (H) (MDAH)	0000H
	乗除算データ・レジスタB (L) (MDBL)	0000H
	乗除算データ・レジスタB (H) (MDBH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表17 - 2 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウント・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

- 注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
2. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
	WDRFビット			保持	セット (1)	保持	保持
	INIRFビット			保持	保持	セット (1)	保持
	LVIRFビット			保持	保持	保持	セット (1)
LVIS		クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

17.1 リセット要因を確認するレジスタ

μPD78F8040, 78F8041, 78F8042, 78F8043は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、TRAP, WDRF, INIRF, LVIRFフラグはクリアされます。

図17-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定 R

略号	7	6	5	4	3	2	1	0
RESF	TRAP ^{注1}	不定	不定	WDRF ^{注1}	不定	不定	INIRF	LVIRF ^{注1}

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

INIRF	リセット処理のチェック・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) , 電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表17-3に示します。

表17-3 リセット要求時のRESFの状態

リセット要因 フラグ	RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
WDRF			保持	セット (1)	保持	保持
INIRF			保持	保持	セット (1)	保持
LVIRF			保持	保持	保持	セット (1)

第18章 パワーオン・クリア回路

18.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧(V_{DD})が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

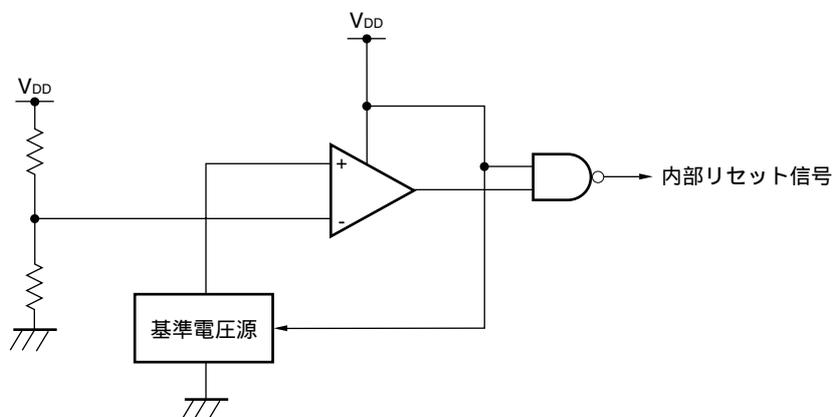
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のTRAP, WDRF, INIRF, LVIRFがクリアされます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVI / 不正命令のいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第17章 リセット機能を参照してください。

18.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図18 - 1に示します。

図18 - 1 パワーオン・クリア回路のブロック図



18.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。

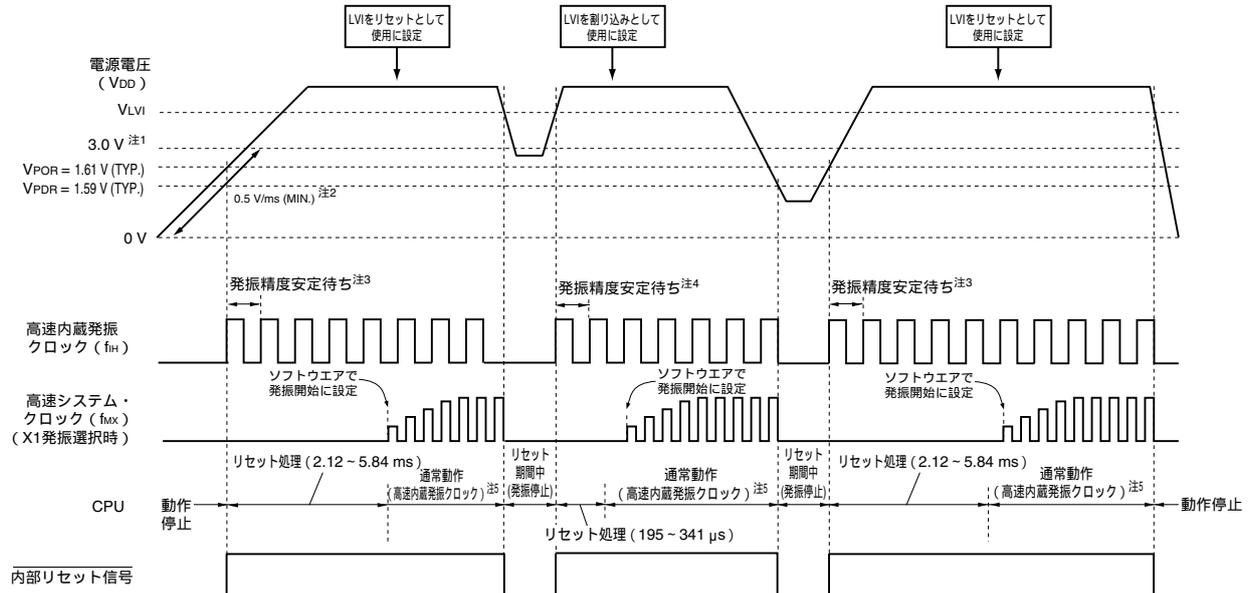
注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図18 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



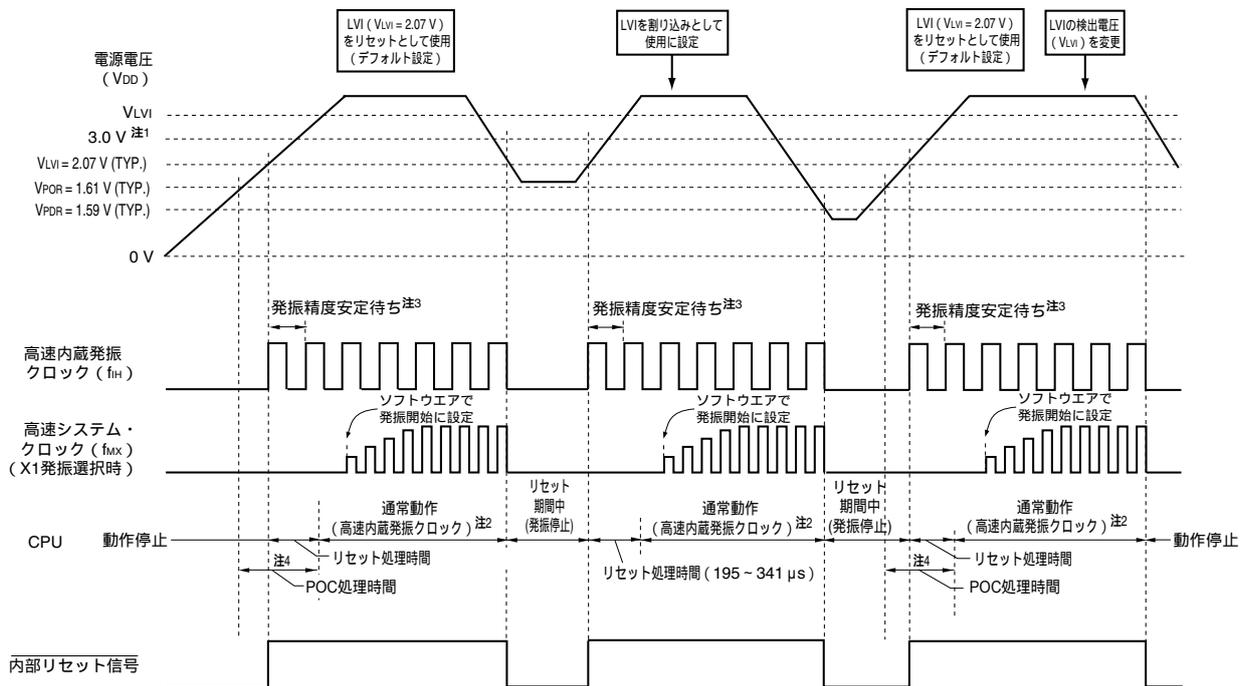
- 注1. 動作保証範囲は、3.0 V V_{DD} 5.5 Vです。必ず3.0 V以上になってから、通常動作を行ってください。電源立ち下がり時に3.0 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
- 2. 電源投入時から3.0 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から3.0 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
- 3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。
- 4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 5. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから、切り替えてください。

- 注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第19章 低電圧検出回路を参照)。
- 2. 一部の動作はV_{DD} < 3.0 Vの間でも実行できます(詳細は、第26章 電気的特性 AC特性 (1) 基本動作の図を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

図18 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 電源立ち上げ時のLVLIがONの場合 (オプション・バイト : LVIOFF = 0)



注1. 動作保証範囲は、3.0 V V_{DD} 5.5 Vです。必ず3.0 V以上になってから、通常動作を行ってください。電源立ち下がり時に3.0 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。

2. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから、切り替えてください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
4. POC検出電圧 (1.61 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。

- ・ 1.61 V (TYP.) 2.07 V (TYP.) に到達する時間 < 5.8 msの場合
1.61 V (TYP.) 通常動作までに2.12 ~ 5.84 msのPOC処理時間がかかります。
- ・ 1.61 V (TYP.) 2.07 V (TYP.) に到達する時間 > 5.8 msの場合
2.07 V (TYP.) 通常動作までに195 ~ 341 μsのリセット処理時間がかかります。

注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第19章 低電圧検出回路を参照)。

2. 一部の動作はV_{DD} < 3.0 Vの期間でも実行できます(詳細は、第26章 電気的特性 AC特性 (1) 基本動作の図を参照)。

備考 V_{LVLI} : LVLI検出電圧

V_{PODR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

18.4 パワーオン・クリア回路の注意事項

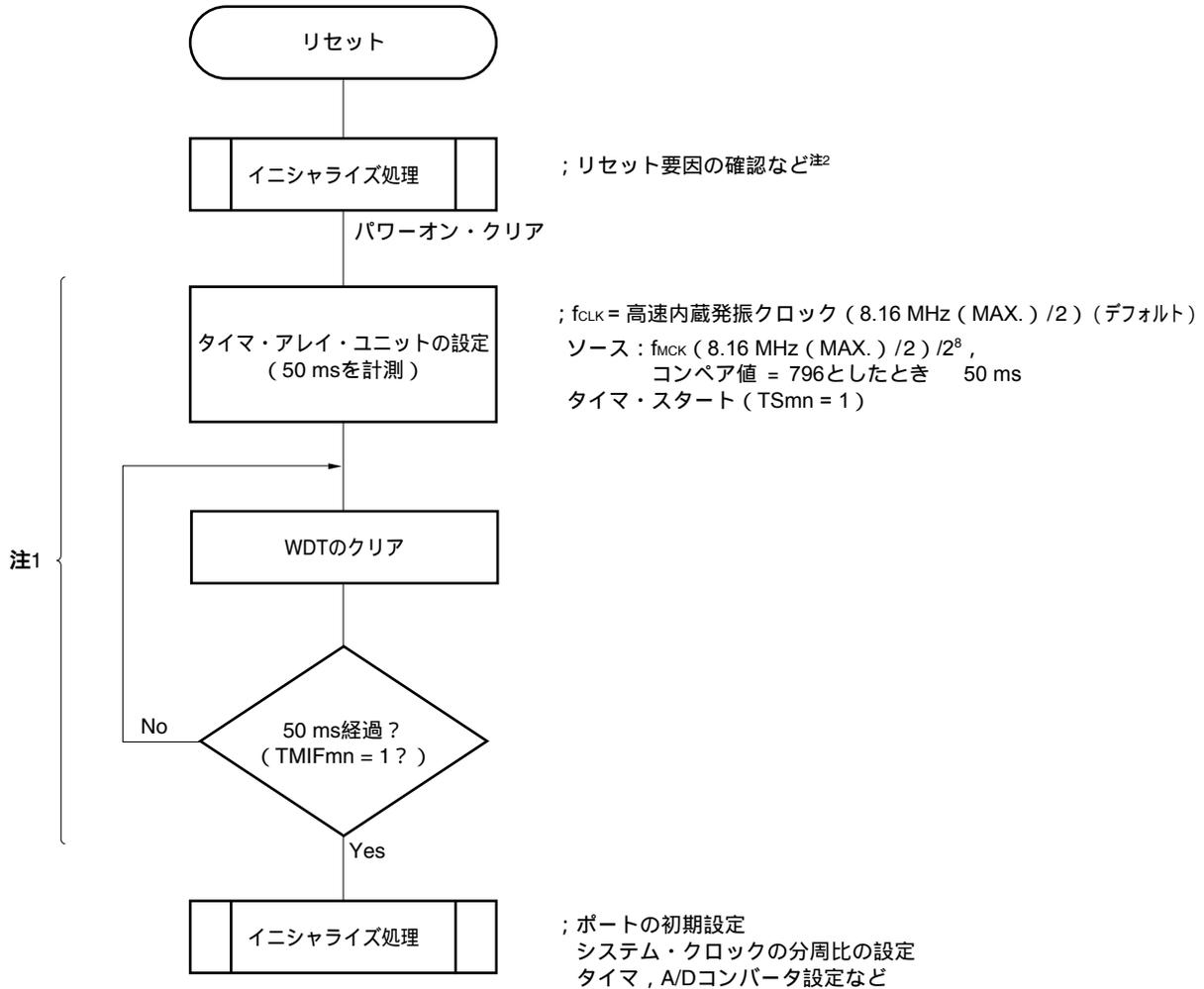
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図18-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合



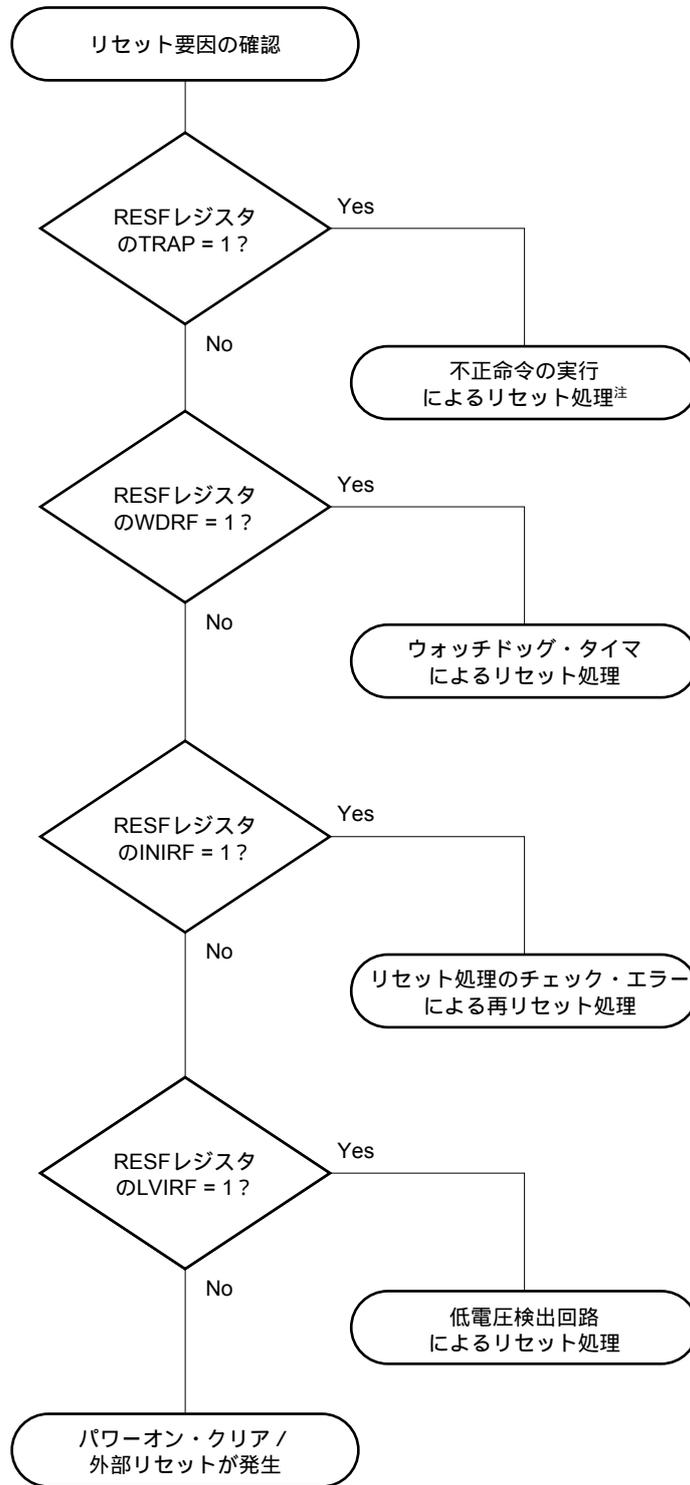
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

備考 m = 0, 1, n = 0-7, mn = 00-07, 10-13

図18 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第19章 低電圧検出回路

19.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC 検出電圧 ($V_{POR} = 1.61 V (TYP.)$) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを8段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

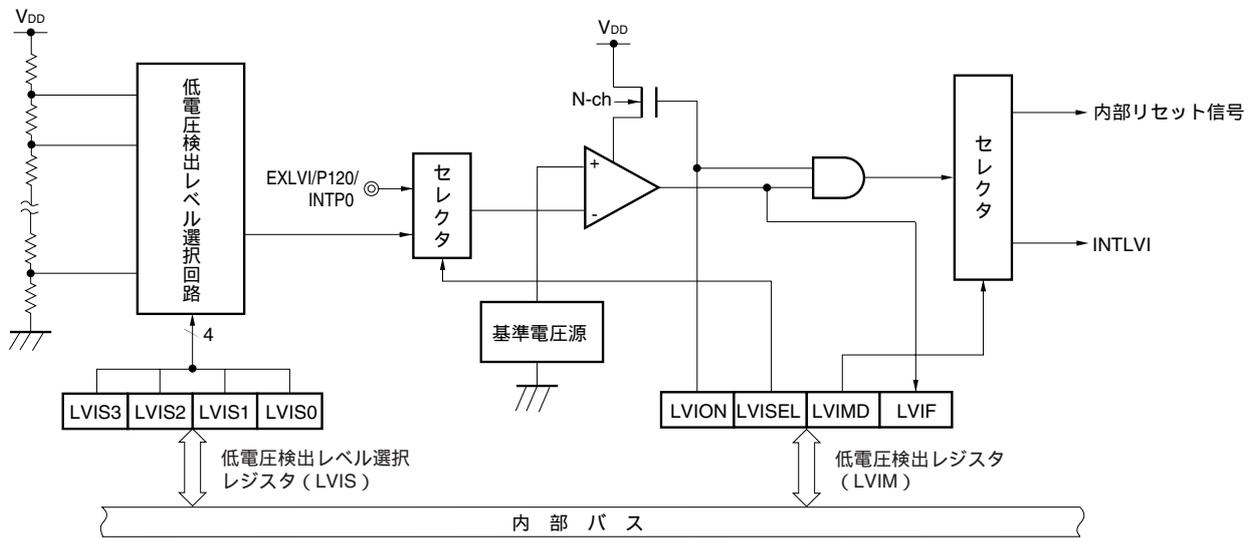
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、第17章 リセット機能を参照してください。

19.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図19 - 1に示します。

図19 - 1 低電圧検出回路のブロック図



19.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} RW^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) > 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H” になり, オプション・バイトLVIOFF = 1のときには, “00H” にリセットされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。
 - 動作安定時間 (10 μs (MAX.))
 - 最小パルス幅 (200 μs (MIN.))

この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があり使用できません。また, この期間は割り込み要求フラグのLVIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。
- 2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
- 3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIIF = 1 となることがあります。
- 4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 0EH^注 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	$V_{LV10} (4.22 \pm 0.1 V)$
0	0	0	1	$V_{LV11} (4.07 \pm 0.1 V)$
0	0	1	0	$V_{LV12} (3.92 \pm 0.1 V)$
0	0	1	1	$V_{LV13} (3.76 \pm 0.1 V)$
0	1	0	0	$V_{LV14} (3.61 \pm 0.1 V)$
0	1	0	1	$V_{LV15} (3.45 \pm 0.1 V)$
0	1	1	0	$V_{LV16} (3.30 \pm 0.1 V)$
0	1	1	1	$V_{LV17} (3.15 \pm 0.1 V)$

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH” (デフォルト値 : $V_{LVI} = 2.07 \pm 0.1 V$) にリセットされます。

注意1. ビット7-4には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVIの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVIの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。
4. LVISレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図19 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

19.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧 ($V_{POR} = 1.61 V$ (TYP.)) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1
LVISEL : LVIMのビット2

19.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 ($LVIOFF = 1$)

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウエイトする。

・動作安定時間 (10 μ s (MAX.))

・最小パルス幅 (200 μ s (MIN.))

「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを, LVIMのビット0 ($LVIF$) で確認するまで待つ

LVIMのビット1 ($LVIMD$) に “1” (レベル検出時リセット発生) を設定する

図19 - 5に, - と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

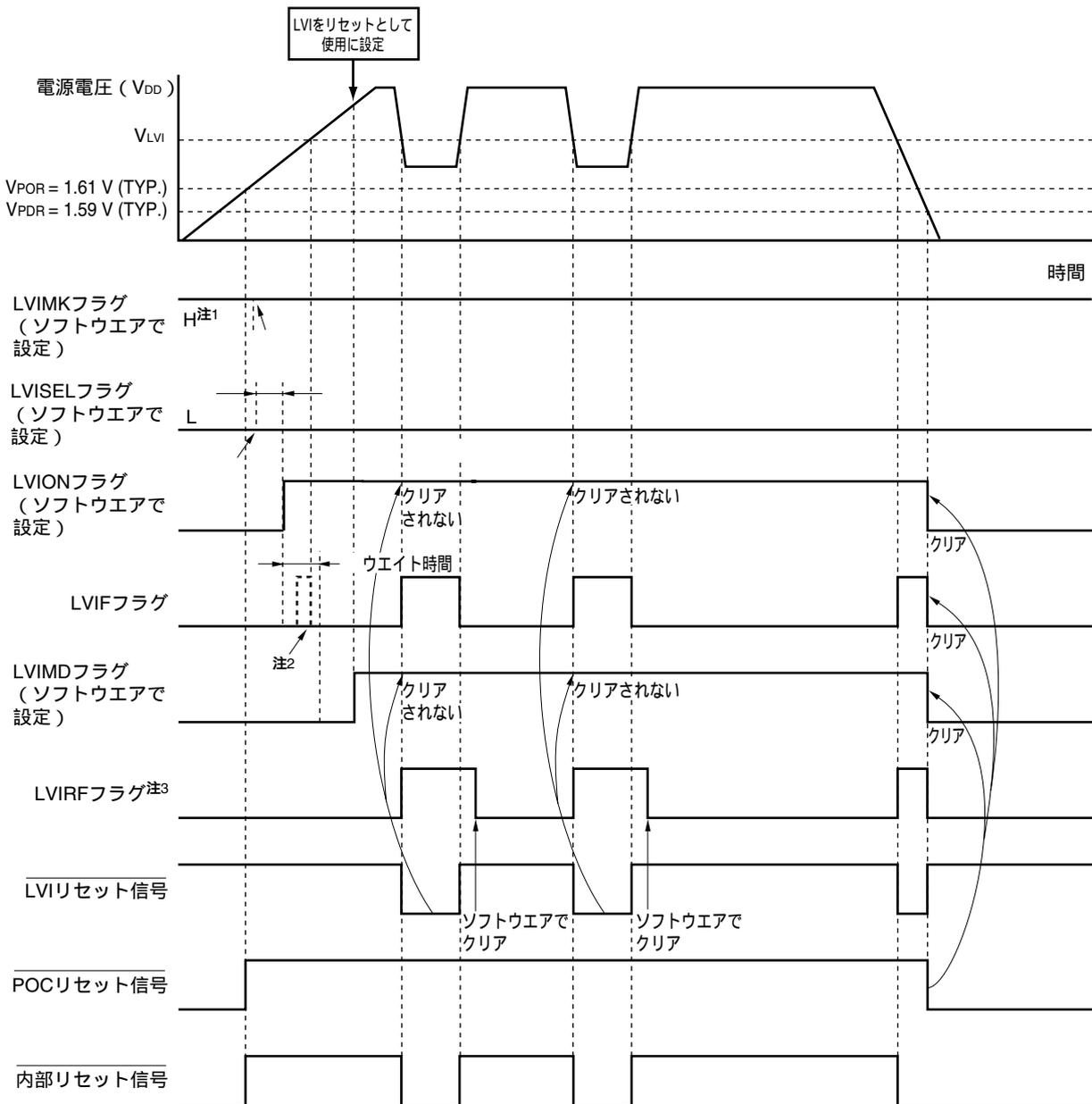
注意1. は必ず行ってください。LVIMK = 0になっている場合, の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア (0) LVIONクリア (0) を実行してください。

図19 - 5 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが, セット(1) される可能性があります。
- 3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第17章 リセット機能を参照してください。

- 備考1. 図19 - 5の - は, 19.4.1(1)(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の - と対応しています。
- 2. V_{PODR}: POC電源立ち上がり検出電圧
V_{PDR}: POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態ですスタートする。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図19 - 6に、低電圧検出回路の内部リセット信号発生のタイミングを示します。

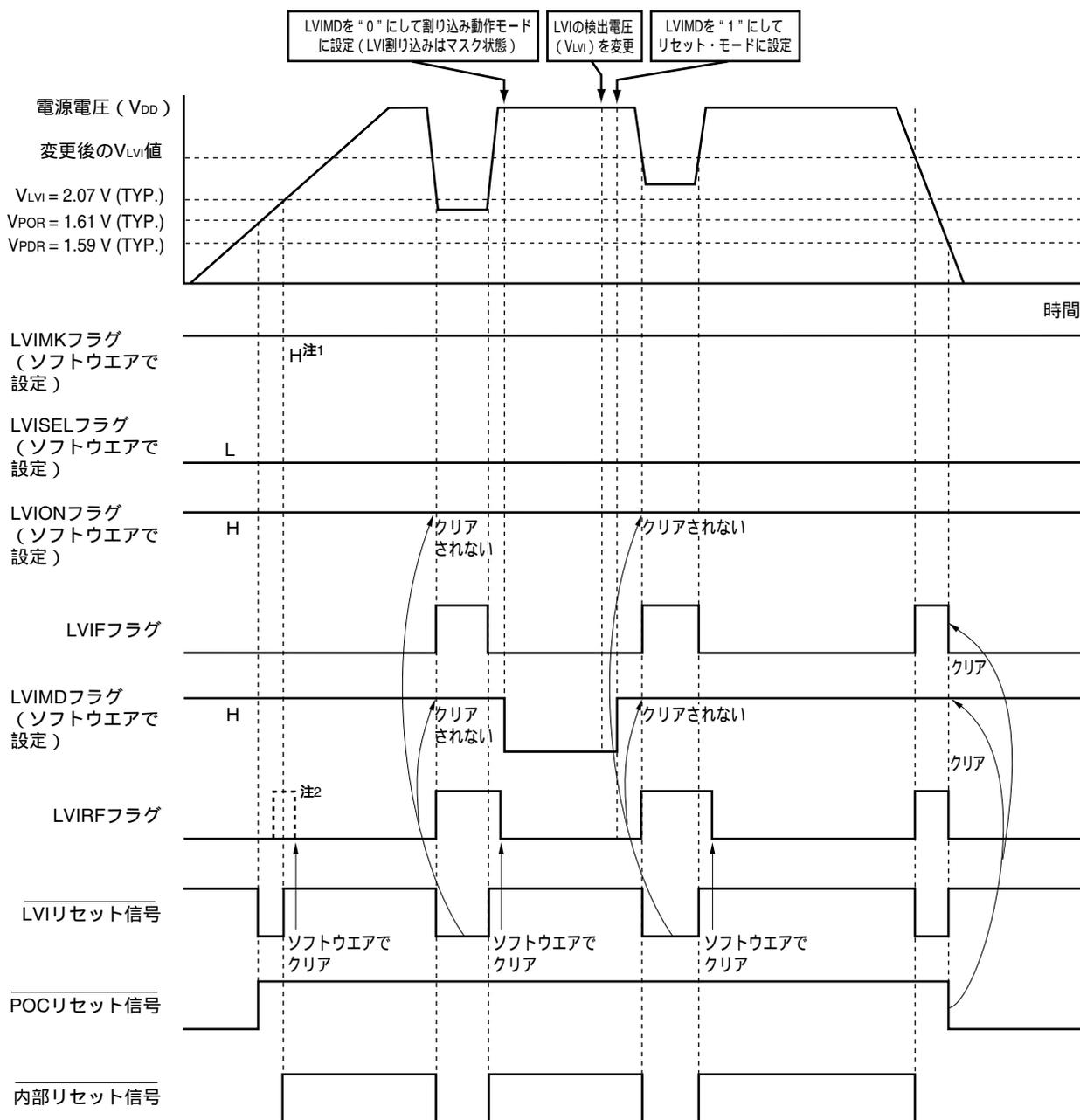
動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア (0) LVIONクリア (0) を実行してください。

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図19 - 6 内部リセット信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第17章 リセット機能を参照してください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μs)をウェイトする。

- ・動作安定時間(10 μs (MAX.))
- ・最小パルス幅(200 μs (MIN.))

「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21 \text{ V (TYP.)}$)」であることを、LVIMのビット0(LVIF)で確認するまで待つ

LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図19 - 7に、 - と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

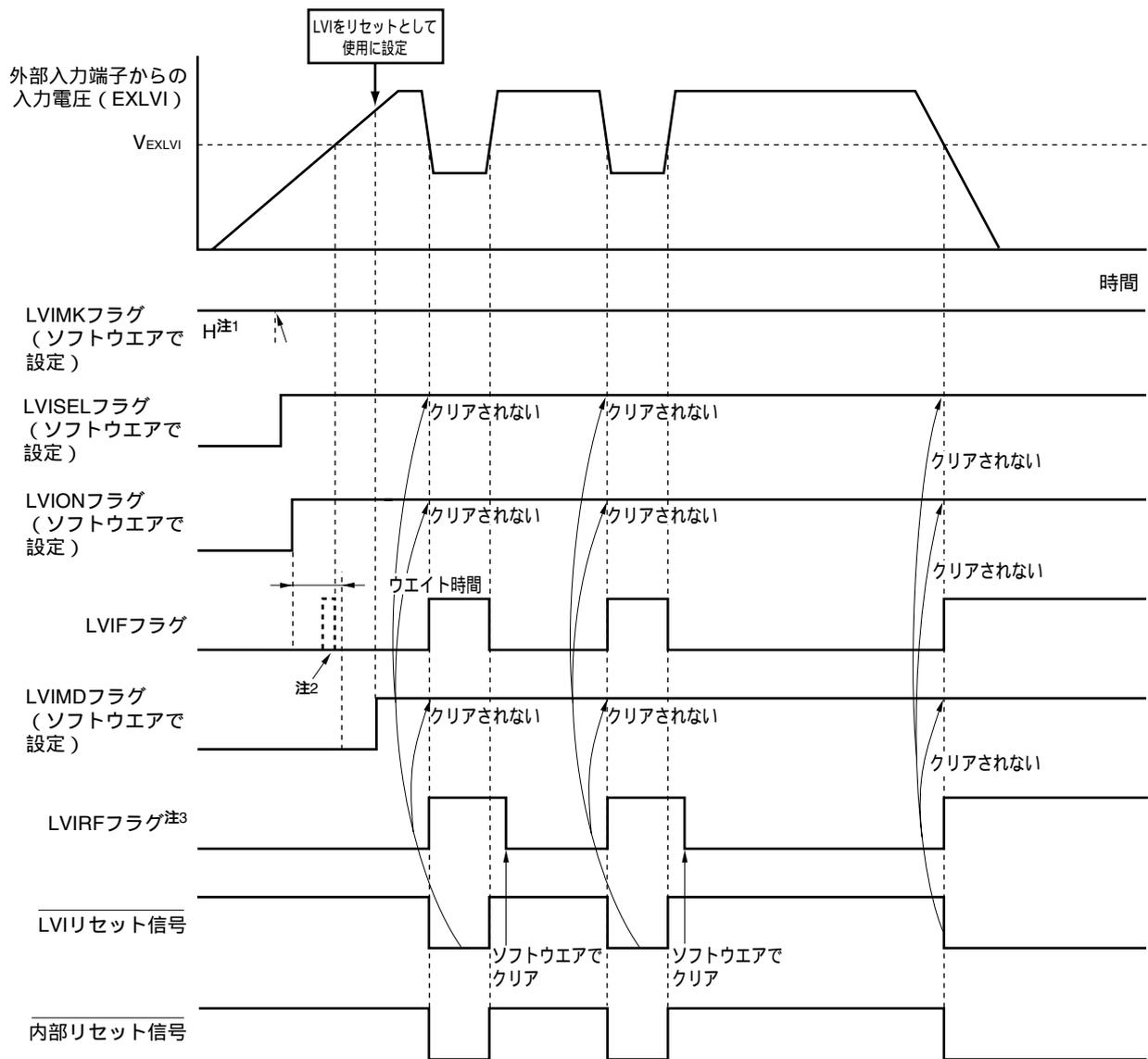
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21 \text{ V (TYP.)}$)」であれば内部リセット信号は発生しません。

3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア(0) LVIONクリア(0)を実行してください。

図19 - 7 内部リセット信号発生タイミング (ビット : LVISEL = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが，セット（1）される可能性があります。
- 3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，第17章 リセット機能を参照してください。

備考 図19 - 7の - は，19.4.1(2)外部入力端子からの入力電圧（EXLVI）のレベルを検出する場合 動作開始時の - と対応しています。

19.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 ($LVIOFF = 1$)

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 ($LVIMD$) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を, 立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を, LVIMのビット0 ($LVIF$) で確認する

LVIの割り込み要求フラグ ($LVIIF$) をクリア (0) する

LVIの割り込みマスク・フラグ ($LVIMK$) を解除する

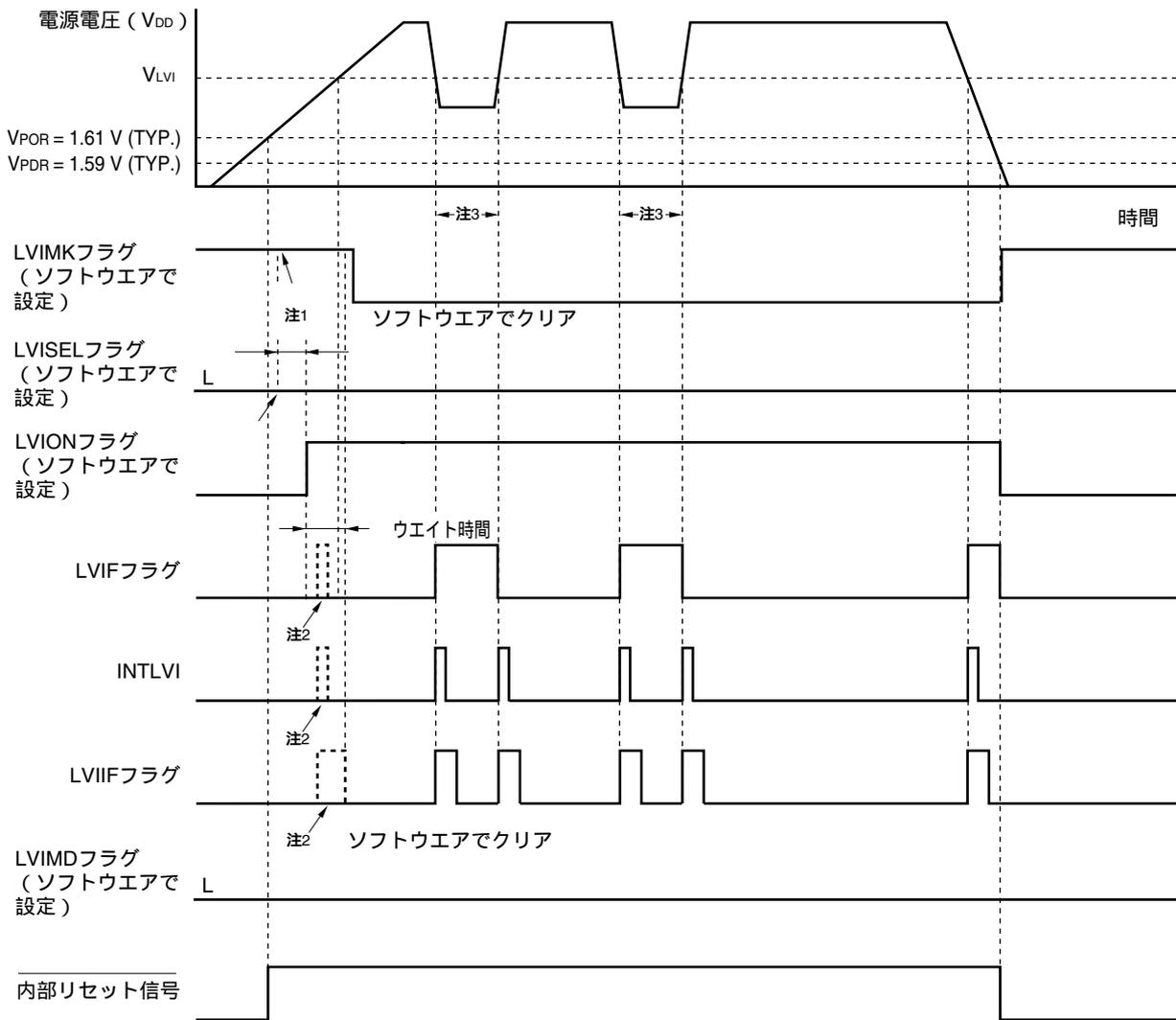
(ベクタ割り込みを使用する場合) EI命令を実行する

図19 - 8に, - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

図19 - 8 割り込み信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
- 3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

- 備考1. 図19 - 8の - は, 19. 4. 2 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の - と対応しています。
- 2. V_{POB} : POC電源立ち上がり検出電圧
V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (立ち下がりを検出する「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図19 - 9に、 - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

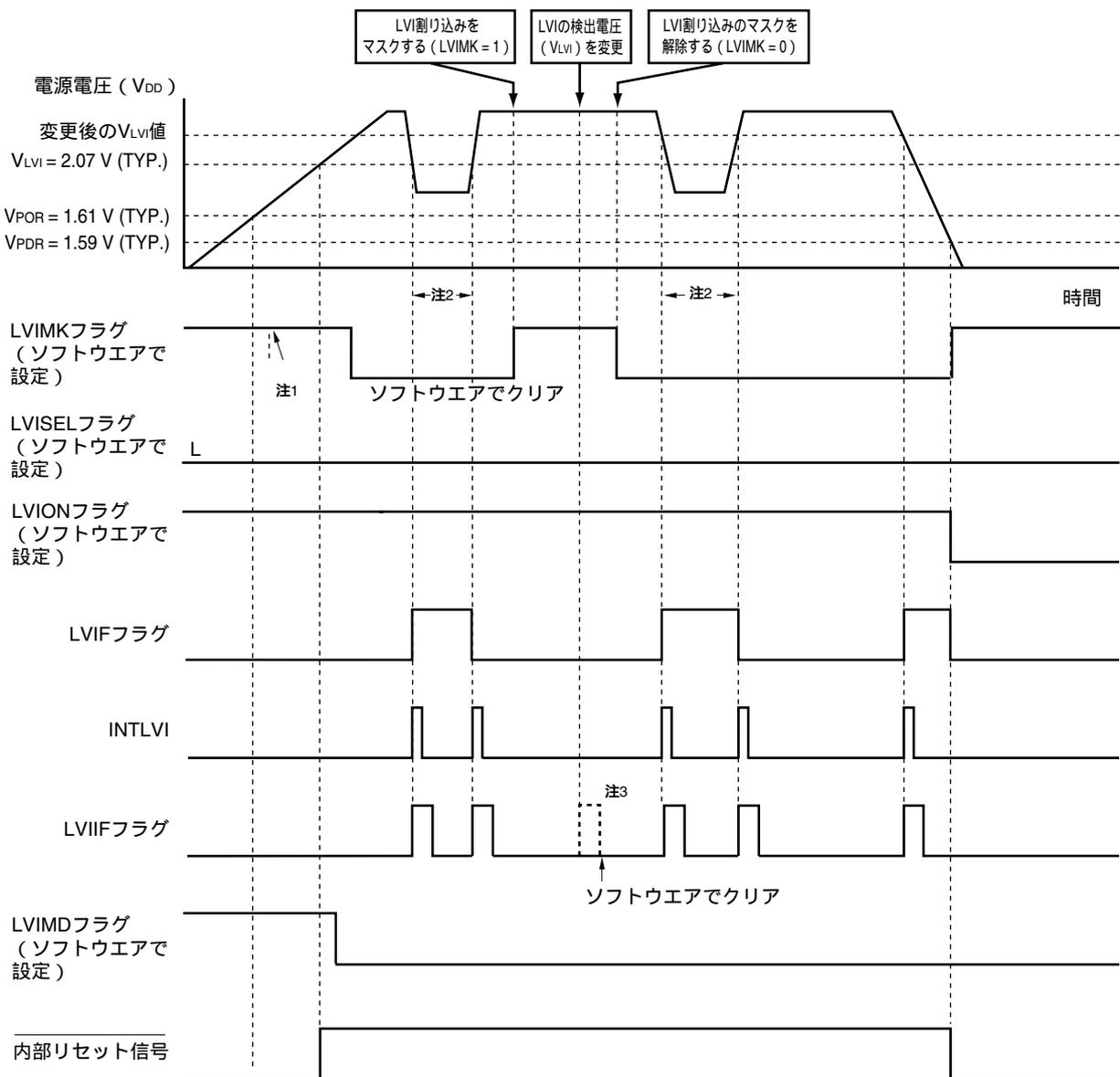
注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第17章 リセット機能を参照してください。

図19 - 9 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIF = 1となることがあります。
3. LVIの検出電圧変更時にLVIIFフラグがセットされることがあります。

- 備考1. 図19 - 9の - は, 19.4.2(1)(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の - と対応しています。
2. V_{POR}: POC電源立ち上がり検出電圧
V_{PDR}: POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μs)をウェイトする。

- ・動作安定時間(10 μs (MAX.))
- ・最小パルス幅(200 μs (MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, 立ち上がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) < 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, LVIMのビット0(LVIF)で確認する

LVIの割り込み要求フラグ(LVIIF)をクリア(0)する

LVIの割り込みマスク・フラグ(LVIMK)を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

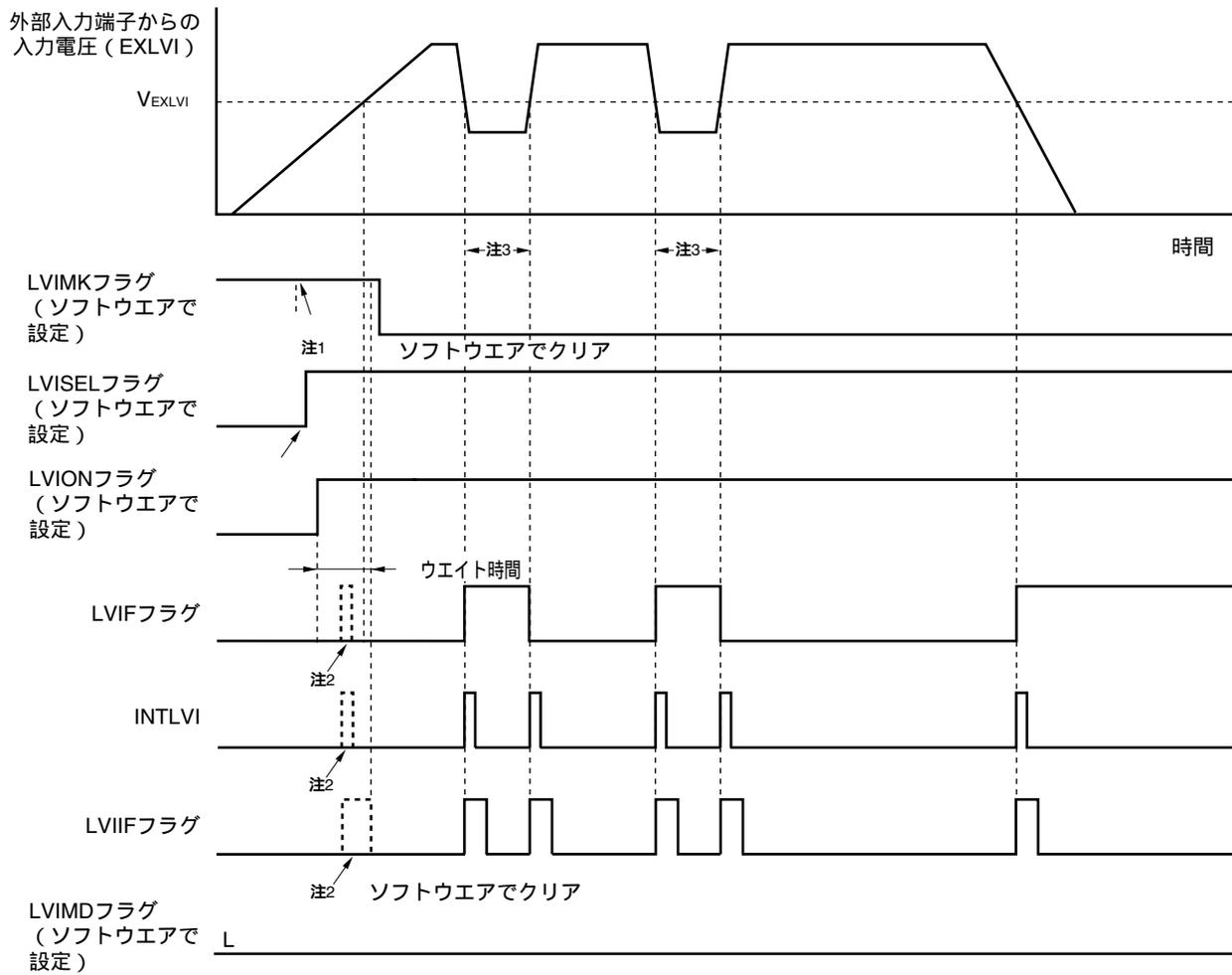
図19 - 10に, - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は, $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。

図19 - 10 割り込み信号発生時のタイミング (ビット : LVISEL = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し，LVIFフラグ，LVIIIFフラグがセット (1) される可能性があります。
3. 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると，割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考 図19 - 10の - は，19. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の - と対応しています。

19.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

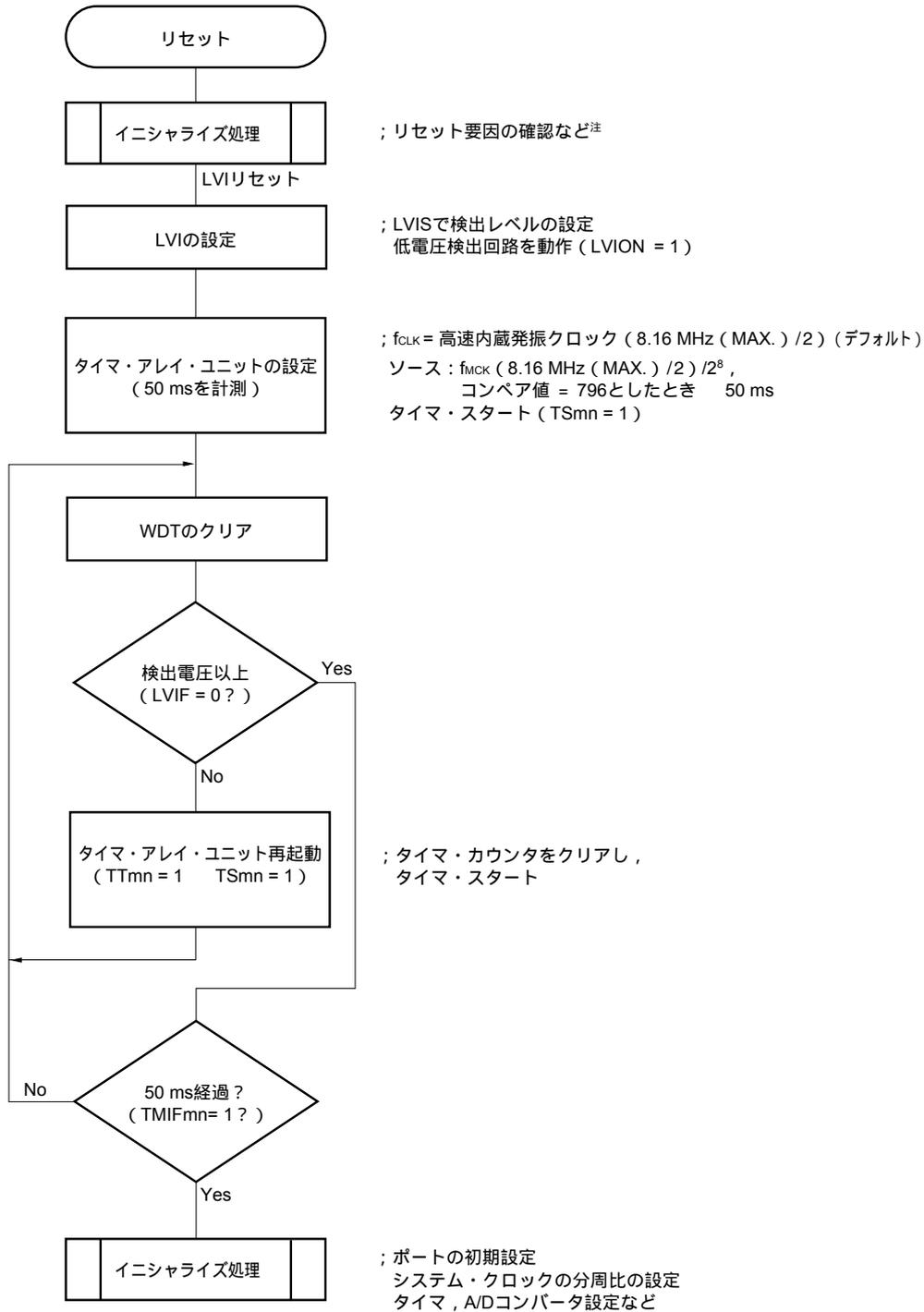
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図19 - 11を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (V_{EXLVI})
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21\text{ V}$)

図19 - 11 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

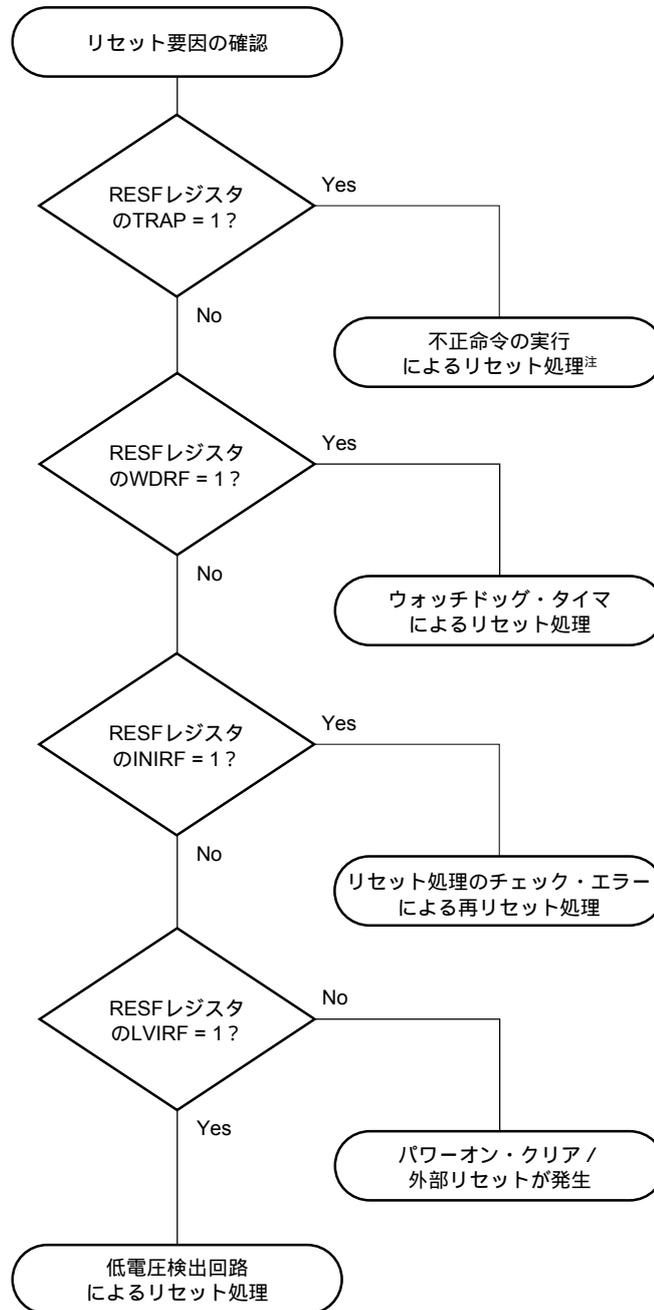
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・ 電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

2. m = 0, 1, n = 0-7, mn = 00-07, 10-13

図19 - 11 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。
次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})” を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。

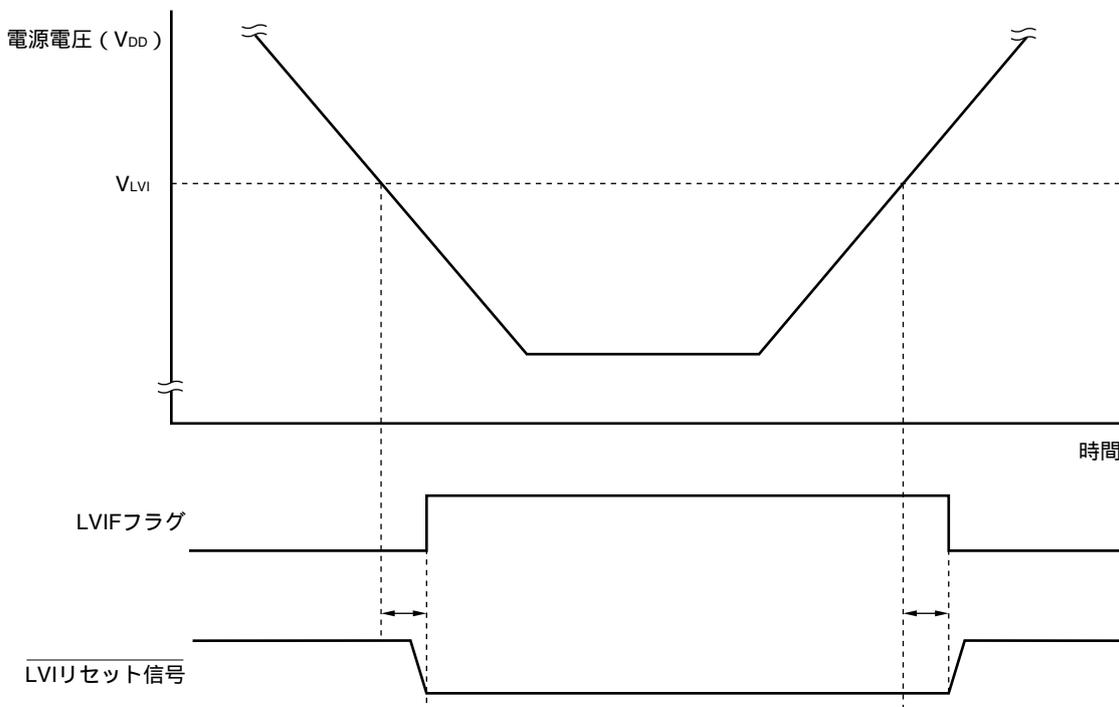
備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。同じようにLVI検出電圧 (V_{LVI}) > 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図19 - 12参照)。

図19 - 12 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

第20章 レギュレータ

20.1 レギュレータの概要

μPD78F8040, 78F8041, 78F8042, 78F8043は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1μF)を介し、V_{SS}/EV_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.4V(TYP.)、低消費電流モードでは1.8V(TYP.)です。

20.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ(RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 1 レギュレータ・モード制御レジスタ(RMC)のフォーマット

アドレス：F00F4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電流モード(1.8V)固定
00H	条件によって通常電流モード(2.4V)と低消費電流モード(1.8V)を切り替える(表20 - 1参照)
上記以外	設定禁止

注意1. 低消費電流モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

f_x 5 MHzかつf_{CLK} 1 MHz

<CPUクロックに高速内蔵発振クロック, 外部入力クロック選択時>

f_{CLK} 1 MHz

(注意は次ページに続きます。)

注意2. RMCレジスタの変更に動作スピード・モード制御レジスタ (OSMC) を変更する場合は、ウエイトが必要です。次に示す手順のとおり、低消費電流モードにする場合は3.5 ms、通常電流モードにする場合は10 μ sの時間をソフトウェアでウエイトしてください。

・低消費電流モードにする場合

f_{CLK}に1 MHzの周波数を選択

RMC 5AH (レギュレータを低消費電流モードにする)

3.5 msの時間ウエイト

OSMCのFLPC 1, FSEL 0

・通常電流モードにする場合

RMC 00H (レギュレータを通常電流モードにする)

10 μ sの時間ウエイト

OSMCのFLPC, FSELを変更

f_{CLK}の周波数を変更

表20 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電流モード	1.8 V	STOPモード時 (OCDモード中は除く)
通常電流モード	2.4 V	上記以外

第21章 オプション・バイト

21.1 オプション・バイトの機能

μPD78F8040, 78F8041, 78F8042, 78F8043のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

21.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

リセット解除時 (電源立ち上げ時) のLVIの設定

- ・リセット解除時 (LVIを除くRESET端子, POC, WDT, 不正命令によるリセット), LVIがデフォルトでON / OFF

高速内蔵発振回路の周波数の設定

- ・1 MHz/8 MHz/20 MHzから選択

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

21. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止/許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

21.2 ユーザ・オプション・バイトのフォーマット

図21-1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 34.5 \text{ kHz (MAX.)}$ の場合)				
0	0	0	$2^7/f_{IL}$ (3.71 ms)				
0	0	1	$2^8/f_{IL}$ (7.42 ms)				
0	1	0	$2^9/f_{IL}$ (14.84 ms)				
0	1	1	$2^{10}/f_{IL}$ (29.68 ms)				
1	0	0	$2^{12}/f_{IL}$ (118.72 ms)				
1	0	1	$2^{14}/f_{IL}$ (474.90 ms)				
1	1	0	$2^{15}/f_{IL}$ (949.80 ms)				
1	1	1	$2^{17}/f_{IL}$ (3799.19 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウインドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考 f_{IL} : 低速内蔵発振クロック周波数

図21 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	LVIOFF

FRQSEL2	FRQSEL1	高速内蔵発振回路の周波数
0	1	8 MHz/20 MHz ^{注2}
1	0	1 MHz ^{注3}
上記以外		設定禁止

LVIOFF	電源立ち上げ時のLVIの設定
0	リセット解除時（電源立ち上げ時），LVIがデフォルトでON（LVIデフォルト・スタート機能動作）
1	リセット解除時（電源立ち上げ時），LVIがデフォルトでOFF（LVIデフォルト・スタート機能停止）

- 注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。
2. 8 MHz/20 MHzを選択した場合、リセット解除後は8 MHzの高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、V_{DD} 3.0 Vで20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。マイコン動作中に1 MHz高速内蔵発振回路に変更することはできません。
3. 1 MHzを選択した場合、リセット解除後は1 MHz高速内蔵発振回路で動作します。マイコン動作中に8 MHz高速内蔵発振回路、20 MHz高速内蔵発振回路に変更することはできません。

注意1. ビット7-3には、必ず1を書き込んでください。

2. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止（LVIMレジスタのビット7（LVION）= 0）に設定した場合には、次の動作となります。
- ・LVION = 0の期間は低電圧検出しない。
 - ・LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図21 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので、必ずFFHを設定してください。またブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

21.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図21-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET		0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する。
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

21.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第22章 フラッシュ・メモリ

μ PD78F8040, 78F8041, 78F8042, 78F8043は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

22.1 フラッシュ・メモリ・プログラムによる書き込み方法

μ PD78F8040, 78F8041, 78F8042, 78F8043の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラムを使用できます。

- ・ PG-FP5, FL-PR5
- ・ QB-MINI2

専用フラッシュ・メモリ・プログラムにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にμ PD78F8040, 78F8041, 78F8042, 78F8043を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラムを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にμ PD78F8040, 78F8041, 78F8042, 78F8043を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表22 - 1 μ PD78F8040, 78F8041, 78F8042, 78F8043と専用フラッシュ・メモリ・プログラムの配線表

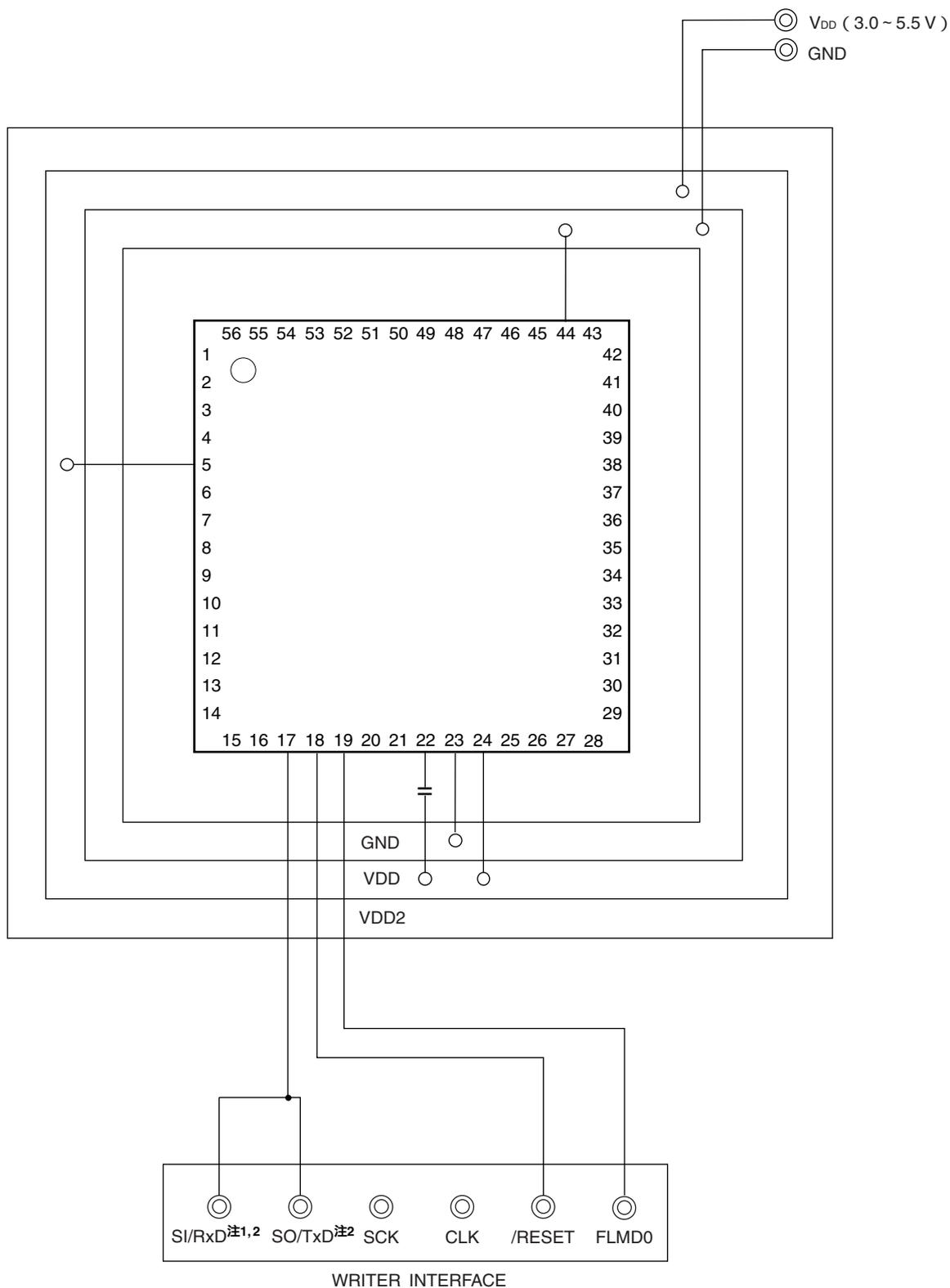
専用フラッシュ・メモリ・プログラム接続端子			端子名	ピン番号 (QFNパッケージ製品)	ピン番号 (FBGAパッケージ製品)
信号名	入出力	端子機能			
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0/P40	17	L5
SO/TxD ^{注2}	出力	送信信号			
SCK	出力	転送クロック	-	-	-
CLK	出力	クロック出力	-	-	-
/RESET	出力	リセット信号	RESET	18	K5
FLMD0	出力	モード信号	FLMD0	19	K6
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD} /EV _{DD}	24	E5, F5
			AV _{REF}	5	L1
GND	-	グランド	V _{SS} /EV _{SS}	23	G5, H5
			AV _{SS}	44	M1

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図22 - 1 フラッシュ書き込み用アダプタ配線例 (QFNパッケージ)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

22.2 プログラミング環境

μPD78F8040, 78F8041, 78F8042, 78F8043のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図22 - 2 フラッシュ・メモリにプログラムを書き込むための環境



備考 FL-PR5は、(株)内藤電誠町田製作所の製品です。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

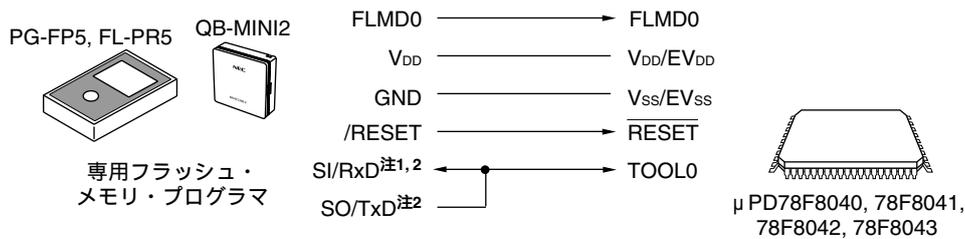
また、専用フラッシュ・メモリ・プログラマとμPD78F8040, 78F8041, 78F8042, 78F8043とのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

22.3 通信方式

専用フラッシュ・メモリ・プログラマとμ PD78F8040, 78F8041, 78F8042, 78F8043との通信は, μ PD78F8040, 78F8041, 78F8042, 78F8043のTOOL0端子を使用して, 専用の単線UARTによるシリアル通信で行います。

転送レート : 115200 bps, 250000 bps, 500000 bps, 1 Mbps

図22 - 3 専用フラッシュ・メモリ・プログラマとの通信



- 注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。
 2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

専用フラッシュ・メモリ・プログラマは, μ PD78F8040, 78F8041, 78F8042, 78F8043に対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはMINICUBE2のマニュアルを参照してください。

表22 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			μ PD78F8040, 78F8041, 78F8042, 78F8043	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} /EV _{DD} , AV _{REF}	
GND	-	グラウンド	V _{SS} /EV _{SS} , AV _{SS}	
CLK	出力	クロック出力	-	×
/RESET	出力	リセット信号	RESET	
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0	
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	-	×

- 注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。
 2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

備考 : 必ず接続してください。
 × : 接続の必要はありません。

22.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

22.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (22.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}/EV_{SS}端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図22-4 FLMD0端子の接続例



22.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してV_{DD}/EV_{DD}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してV_{DD}/EV_{DD}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

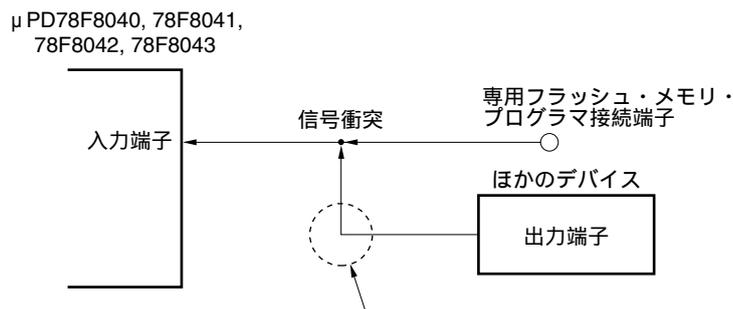
備考 μ PD78F8040, 78F8041, 78F8042, 78F8043と専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIICAの端子は使用しません。

22.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図22 - 5 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

22.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}/EV_{SS}に接続するなどの端子処理が必要です。

22.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

22.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

22.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD}/EV_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS}/EV_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、 V_{DD}/EV_{DD} 、 V_{SS}/EV_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

その他の電源 (AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

22.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 6 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

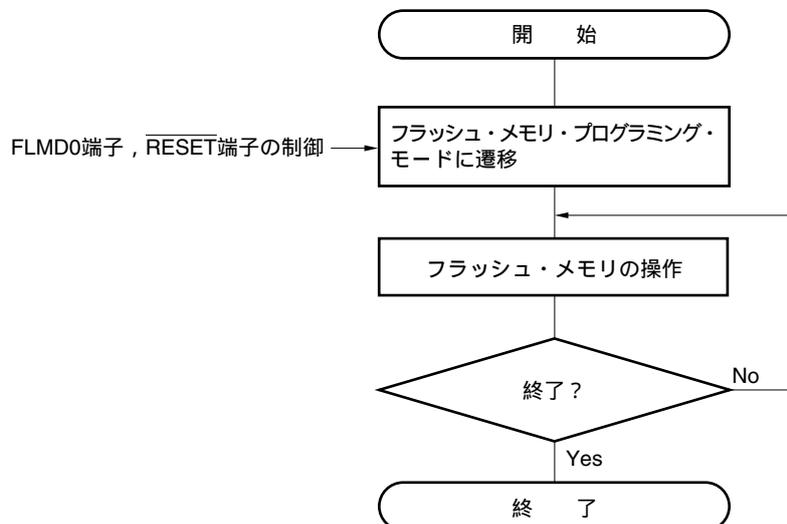
略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0
FLMDPUP	FLMD0端子のソフトウェア制御							
0	プルダウン選択							
1	プルアップ選択							

22.6 プログラミング方法

22.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図22 - 7 フラッシュ・メモリの操作手順



22. 6. 2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、μPD78F8040, 78F8041, 78F8042, 78F8043をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図22 - 8 フラッシュ・メモリ・プログラミング・モード

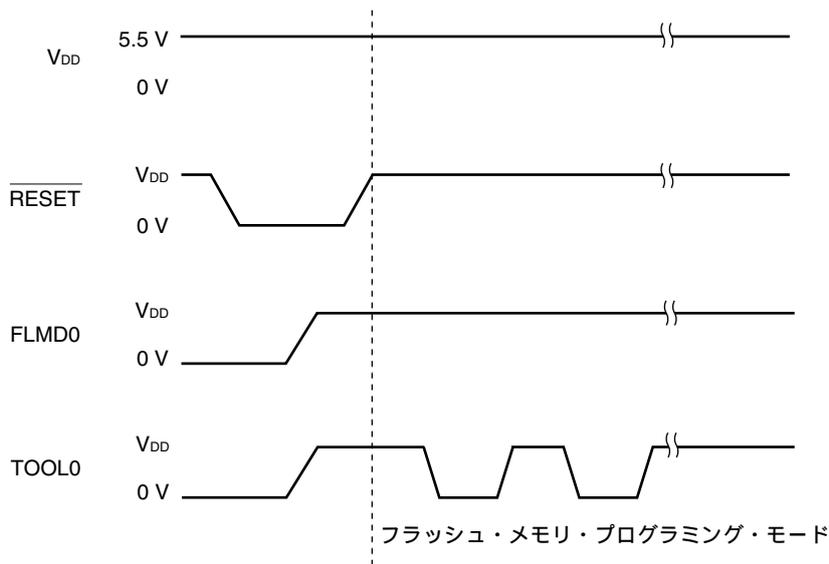


表22 - 3 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

22. 6. 3 通信方式

μPD78F8040, 78F8041, 78F8042, 78F8043の通信方式は、次のようになります。

表22 - 4 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
1線モード (単線UART)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	-	-	TOOL0

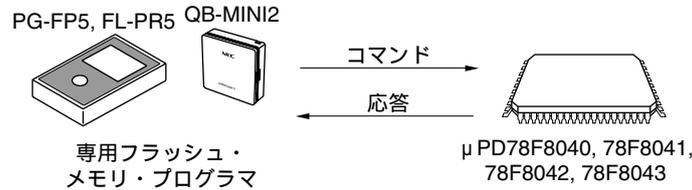
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

22. 6. 4 通信コマンド

μ PD78F8040, 78F8041, 78F8042, 78F8043と専用フラッシュ・メモリ・プログラマは, コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからμ PD78F8040, 78F8041, 78F8042, 78F8043へ送られる信号を「コマンド」と呼び, μ PD78F8040, 78F8041, 78F8042, 78F8043から専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図22 - 9 通信コマンド



μ PD78F8040, 78F8041, 78F8042, 78F8043のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され, μ PD78F8040, 78F8041, 78F8042, 78F8043がコマンドに対応した各処理を行います。

表22 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	μ PD78F8040, 78F8041, 78F8042, 78F8043情報 (品名, フラッシュ・メモリ構成など) を取得します。
	Version Get	μ PD78F8040, 78F8041, 78F8042, 78F8043ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また, μ PD78F8040, 78F8041, 78F8042, 78F8043は, 専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して, 応答を返します。μ PD78F8040, 78F8041, 78F8042, 78F8043が送出する応答名称を次に示します。

表22 - 6 応答名称

応答名称	機能
ACK	コマンド / データなどのアクノリッジ
NAK	不正なコマンド / データなどのアクノリッジ

22.7 セキュリティ設定

μPD78F8040, 78F8041, 78F8042, 78F8043は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

μPD78F8040, 78F8041, 78F8042, 78F8043のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表22 - 7に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は22. 8. 2を参照）。

表22 - 7 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去 (チップ消去) 禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います (詳細は22. 8. 2を参照)。

表22 - 8 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	専用フラッシュ・メモリ・プログラムのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去 (チップ消去) コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去 (チップ消去) コマンドを実行する (セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

22.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μ PD78F8040, 78F8041, 78F8042, 78F8043は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はμ PD78F8040, 78F8041, 78F8042, 78F8043セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

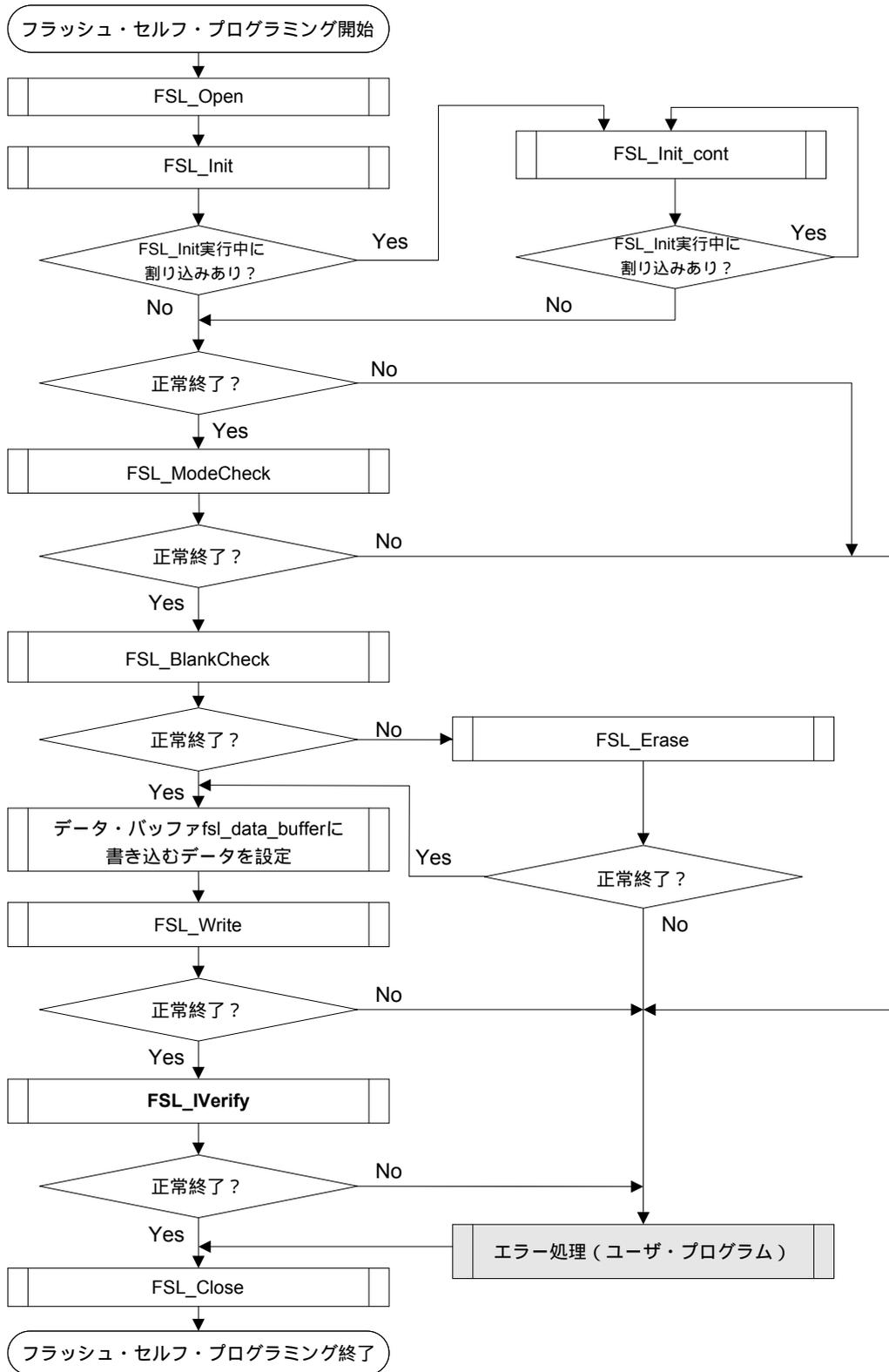
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

- 注意1.** セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
- 割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
3. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。

- 備考1.** セルフ・プログラミング機能の詳細およびμ PD78F8040, 78F8041, 78F8042, 78F8043セルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ **セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル (U19193J)** を参照してください。
2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図22 - 10 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル (U19193J) を参照してください。

22. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

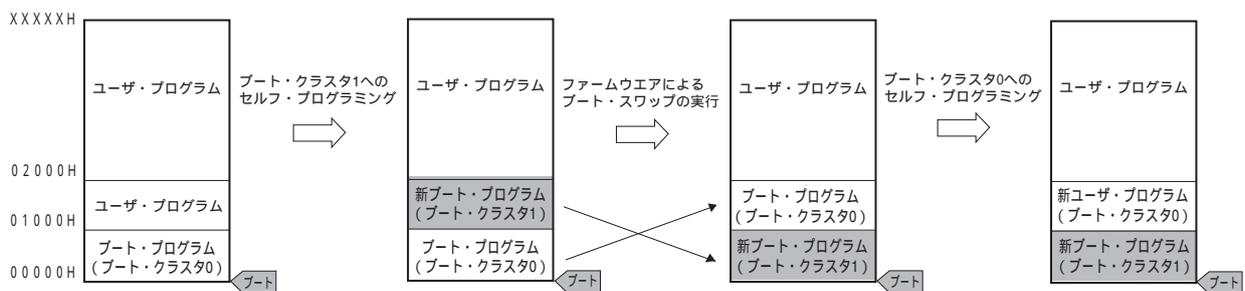
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、μPD78F8040, 78F8041, 78F8042, 78F8043内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図22 - 11 ブート・スワップ機能

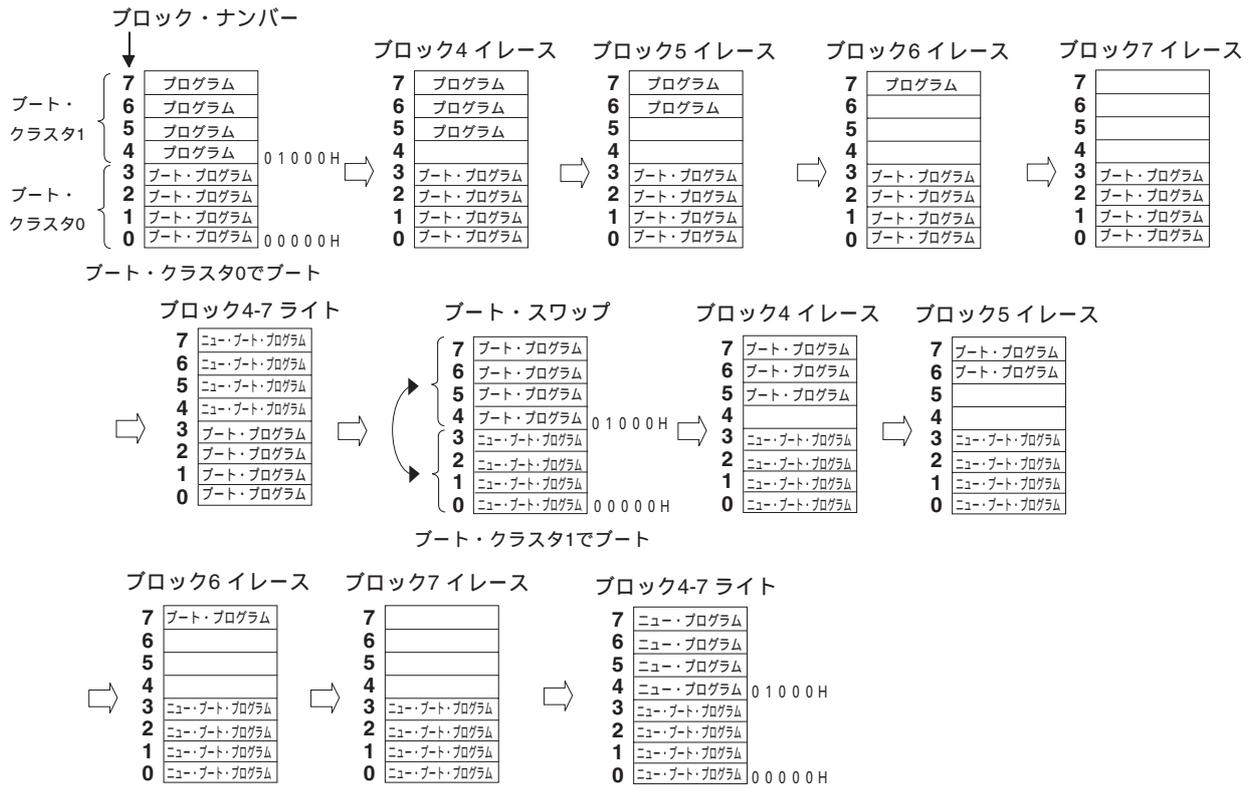


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図22 - 12 ブート・スワップの実行例



22. 8. 2 フラッシュ・シールド・ウインドウ機能

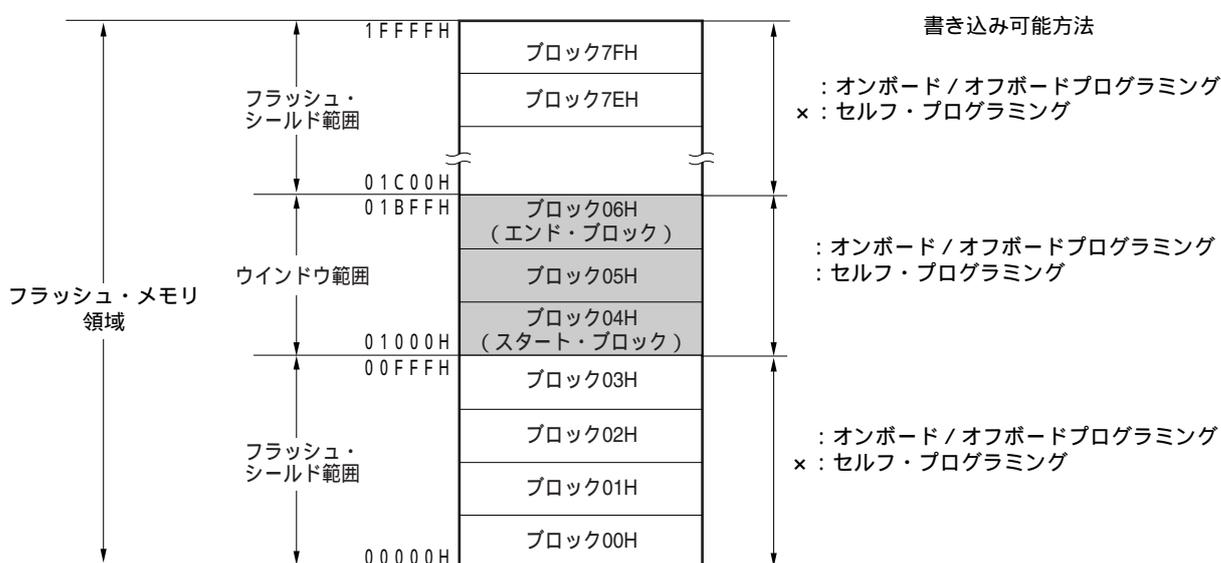
セルフ・プログラミング時のセキュリティ機能の1つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード/オフボード・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、オンボード/オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図22 - 13 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μPD78F8043，スタート・ブロック：04H，エンド・ブロック06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表22 - 9 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード/オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード/オフボード・プログラミング時の書き込み/消去を禁止したい場合には、22. 7 セキュリティ設定を参照してください。

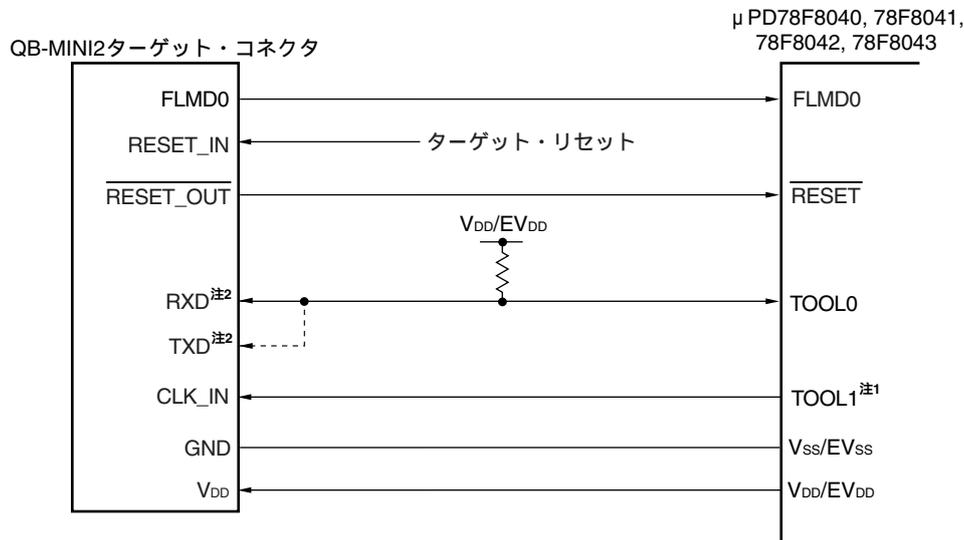
第23章 オンチップ・デバッグ機能

23.1 QB-MINI2とμ PD78F8040, 78F8041, 78F8042, 78F8043の接続

μ PD78F8040, 78F8041, 78F8042, 78F8043は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD}/EV_{DD} , FLMD0, \overline{RESET} , TOOL0, TOOL1^{注1}, V_{SS}/EV_{SS} 端子を使用します。

注意 μ PD78F8040, 78F8041, 78F8042, 78F8043には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図23 - 1 QB-MINI2とμ PD78F8040, 78F8041, 78F8042, 78F8043の接続例



注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表3-3 各端子の未使用端子処理に従って、端子処理をしてください。

2. QB-MINI2の場合、RXD, TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RXD, TXDをターゲット・システム上でショートする必要があります。

注意 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。

備考 オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0，TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表23-1に示します。

表23-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能
1線モード	使用可能
2線モード	なし

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

23.2 オンチップ・デバッグ・セキュリティID

μPD78F8040, 78F8041, 78F8042, 78F8043では、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第21章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H, 000C4H-000CDHと010C3H, 010C4H-010CDHが切り替わるので、あらかじめ010C3H, 010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J)** を参照してください。

表23-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

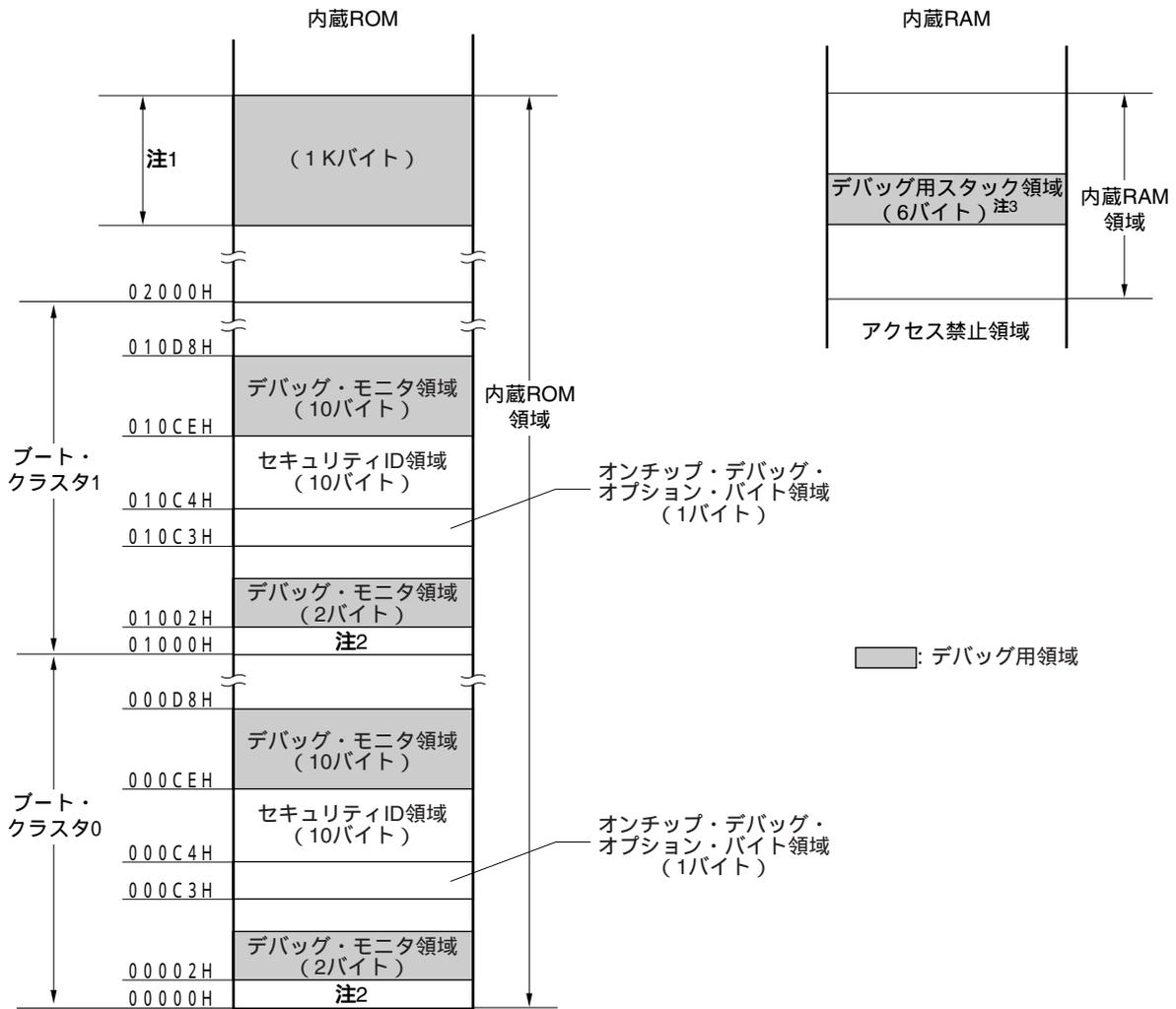
23.3 ユーザ資源の確保

μPD78F8040, 78F8041, 78F8042, 78F8043とQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R, コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図23-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図23 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品	内蔵ROM	アドレス
μ PD78F8040	32 Kバイト	07C00H-07FFFH
μ PD78F8041	64 Kバイト	0FC00H-0FFFFH
μ PD78F8042	96 Kバイト	17C00H-17FFFH
μ PD78F8043	128 Kバイト	1FC00H-1FFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J) を参照してください。

第24章 10進補正 (BCD) 回路

24.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を, BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと, さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

24.2 10進補正回路で使用するレジスタ

10進補正回路は, 次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには, Aレジスタをオペランドにもつ加減算命令によって, BCDコードで加減算結果を求めるための補正值が格納されます。

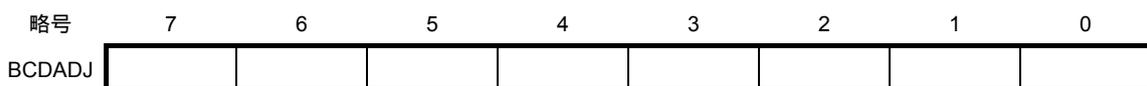
また, BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 不定になります。

図24 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



24.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 99 + 89 = 188

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 85 + 15 = 100

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 80 + 80 = 160

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値 (被減算値) をAレジスタに格納する。

Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第25章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0Rマイクロコントローラ **ユーザーズ・マニュアル 命令編** (U17792J)を参照してください。

備考 表25 - 5 **オペレーション一覧**の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

25.1 凡 例

25.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（表25 - 1中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表25 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	0000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表5 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表5 - 6 拡張SFR（2nd SFR）一覧を参照してください。

25. 1. 2 オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表25 - 2 オペレーション欄の記号

記 号	機 能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

25.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表25 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

25.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表25 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

25.2 オペレーション一覧

表25 - 5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r <small>注3</small>	1	1	-	A r				
		r, A <small>注3</small>	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
[DE+byte], A	2	1	-	(DE + byte) A						
A, [HL]	1	1	4	A (HL)						
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表25 - 5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表25 - 5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ データ 転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)			
		A, ES:[DE]	3	3	-	A (ES, DE)			
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)			
		A, ES:[HL]	3	3	-	A (ES, HL)			
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)			
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)			
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)			
	ONEB	A	1	1	-	A 01H			
		X	1	1	-	X 01H			
		B	1	1	-	B 01H			
		C	1	1	-	C 01H			
		saddr	2	1	-	(saddr) 01H			
		!addr16	3	1	-	(addr16) 01H			
		ES:!addr16	4	2	-	(ES, addr16) 01H			
	CLRB	A	1	1	-	A 00H			
		X	1	1	-	X 00H			
		B	1	1	-	B 00H			
		C	1	1	-	C 00H			
		saddr	2	1	-	(saddr) 00H			
		!addr16	3	1	-	(addr16) 00H			
		ES:!addr16	4	2	-	(ES,addr16) 00H			
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x
16 ビット ・ データ 転送	MOVW	rp, #word	3	1	-	rp word			
		saddrp, #word	4	1	-	(saddrp) word			
		sfrp, #word	4	1	-	sfrp word			
		AX, saddrp	2	1	-	AX (saddrp)			
		saddrp, AX	2	1	-	(saddrp) AX			
		AX, sfrp	2	1	-	AX sfrp			
		sfrp, AX	2	1	-	sfrp AX			
		AX, rp <small>注3</small>	1	1	-	AX rp			
		rp, AX <small>注3</small>	1	1	-	rp AX			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. rp = AXを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (5/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
AX, ES:[HL]	2	2	5	AX (ES, HL)					
ES:[HL], AX	2	2	-	(ES, HL) AX					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表25 - 5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. rp = AXを除く。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte)	x	x	x
A, ES:[HL+B]		3	2	5	A, CY	A - ((ES:HL) + B)	x	x	x	
A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C)	x	x	x		

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY A - r - CY	x	x	x
		r, A	2	1	-	r, CY r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
A, ES:[HL]		2	2	5	A A (ES:HL)	x			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
	A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x			
	XOR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
C		1	1	-	C - 00H	x	x	x	
saddr		2	1	-	(saddr) - 00H	x	x	x	
!addr16		3	1	4	(addr16) - 00H	x	x	x	
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表25 - 5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A x X			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (12/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
DECW	rp	1	1	-	rp rp - 1				
	saddrp	2	2	-	(saddrp) (saddrp) - 1				
	!addr16	3	2	-	(addr16) (addr16) - 1				
	[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1				
	ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1				
	ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1				
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) × cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) × cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) × cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) × cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) × cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) × cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) × cnt			x
SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) × cnt			x	
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) × cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

3. cntはビット・シフト数です。

表25 - 5 オペレーション一覧 (13/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			x
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			x
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			x
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			x
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			x
		BC, 1	2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			x
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY sfr.bit			x
		CY, A.bit	2	1	-	CY A.bit			x
		CY, PSW.bit	3	1	-	CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY (HL).bit			x
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	x	x	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			x
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (14/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
	NOT1	CY	2	1	-	CY CY			x

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表25 - 5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		\$!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rpL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rpL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
DE, SP		3	1	-	DE SP				
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		\$!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
- プログラム・メモリ領域をアクセスしたとき。
 - クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。
- クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表25 - 5 オペレーション一覧 (17/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション		フラグ		
				注1	注2			Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC	PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC	PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC	PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-		Next instruction skip if CY = 1			
	SKNC	-	2	1	-		Next instruction skip if CY = 0			
	SKZ	-	2	1	-		Next instruction skip if Z = 1			
	SKNZ	-	2	1	-		Next instruction skip if Z = 0			
	SKH	-	2	1	-		Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-		Next instruction skip if (Z CY)=1			
CPU制御	SEL	RBn	2	1	-	RBS[1:0]	n			
	NOP	-	1	1	-		No Operation			
	EI	-	3	4	-	IE	1(Enable Interrupt)			
	DI	-	3	4	-	IE	0(Disable Interrupt)			
	HALT	-	2	3	-		Set HALT Mode			
	STOP	-	2	3	-		Set STOP Mode			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (fclk) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。
3. nはレジスタ・バンク数です (n = 0-3)。

第26章 電気的特性

注意1. μPD78F8040, 78F8041, 78F8042, 78F8043には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. FBGAパッケージ製品（開発中）では、ターゲット（目標値）です。

26.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD} /EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS} /EV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} /EV _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
	V _{DDH}		- 0.3 ~ + 40	V
	V _{DD_IO}		- 0.3 ~ + 5.5	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 3.6かつ - 0.3 ~ V _{DD} /EV _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P121, P142-P144, EXCLK, RESET, FLMD0	- 0.3 ~ V _{DD} /EV _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P26, P27, P150-P153	- 0.3 ~ AV _{REF} + 0.3かつ - 0.3 ~ V _{DD} /EV _{DD} + 0.3 ^{注1}	V
出力電圧	V _{O1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P60, P61, P65, P67, P120, P142-P144	- 0.3 ~ V _{DD} /EV _{DD} + 0.3 ^{注1}	V
	V _{O2}	P26, P27, P150-P153	- 0.3 ~ AV _{REF} + 0.3	V
CQ端子入力電圧	V _{CCQ}	信号非供給時	- 40 ~ + 40	V
		信号供給時	- 20 ~ + 40	
アナログ入力電圧	V _{AI}	ANI6-ANI11	- 0.3 ~ AV _{REF} + 0.3 ^{注1} かつ - 0.3 ~ V _{DD} /EV _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

- REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}/EV_{SS}に接続してください。
この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142-P144	- 10	mA
		端子合計	P40, P41, P120, P142-P144	- 25	mA
		- 80 mA	P05, P11, P13, P14, P16, P17, P31, P50, P51, P65, P67	- 55	mA
	IOH2	1端子	P26, P27, P150-P153	- 0.5	mA
		端子合計		- 2	mA
	ロウ・レベル出力電流	IOL1	1端子	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P60, P61, P65, P67, P120, P142-P144	30
端子合計			P40, P41, P120, P142-P144	60	mA
200 mA			P05, P11, P13, P14, P16, P17, P31, P50, P51, P60, P61, P65, P67	140	mA
IOL2		1端子	P26, P27, P150-P153	1	mA
		端子合計		5	mA
動作周囲温度		TA	通常動作時		- 40 ~ + 85
	フラッシュ・メモリ・プログラミング時				
保存温度	Tstg			- 65 ~ + 150	
最大許容電力	POW			748	mW

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

26.2 IO-Linkトランシーバの推奨動作条件

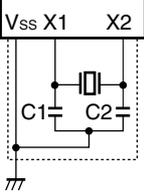
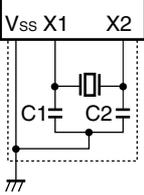
IO-Linkトランシーバの推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	VDDH		8	24	36	V
		IO-Link通信用	18	24	30	V
	VDD_IO	3.3 Vインタフェース供給	3	3.3	3.6	V
		5 Vインタフェース供給	4.5	5	5.5	V
動作温度	TA	通常動作時	- 40 ~ + 85			

26.3 発振回路特性

26.3.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V$, $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	3.0 V $V_{DD}/EV_{DD} 5.5 V$	2.0		20.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注	3.0 V $V_{DD}/EV_{DD} 5.5 V$	2.0		20.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS}/EV_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

26.3.2 内蔵発振回路特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器発振周波数 ^注	f _{H1M}			1.0		MHz
	f _{H8M}			8.0		MHz
	f _{H20M}			20		MHz
低速内蔵発振器発振周波数 ^注	f _L	通常電流モード	27	30	33	kHz
		低消費電流モード	25.5	30	34.5	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 レギュレータ出力電圧による通常電流モード，低消費電流モードについては、第20章 レギュレータを参照してください。

26.4 DC特性

26.4.1 端子特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5$ V, 4.75 V $IV_{DD} 5.25$ V, 1.8 V AV_{REF} V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142-P144 1端子	4.0 V $V_{DD}/EV_{DD} 5.5$ V			- 3.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0$ V			- 1.0	mA
		P40, P41, P120, P142-P144 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD}/EV_{DD} 5.5$ V			- 20.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0$ V			- 10.0	mA
		P05, P11, P13, P14, P16, P17, P31, P50, P51, P65, P67 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD}/EV_{DD} 5.5$ V			- 30.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0$ V			- 19.0	mA
		全端子合計 ^{注3} (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD}/EV_{DD} 5.5$ V			- 50.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0$ V			- 29.0	mA
		全端子合計 ^{注4} (デューティ = 60 %時 ^{注2})	3.0 V $V_{DD}/EV_{DD} < 5.5$ V			- 16.0	mA
		I _{OH2}	P26, P27, P150-P153 1端子	$AV_{REF} = V_{DD}/EV_{DD}$			- 0.1

注1. V_{DD}/EV_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

2. デューティ = 60 %の条件でのスペックです。

デューティを変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -20.0$ mAの場合, $n = 50$ %

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. V_{REGO} 端子に接続した外付けNPNトランジスタから V_{DD}/EV_{DD} , V_{DD_IO} へ電源を供給するとき。または、外部から電源を供給し、IO-Linkトランシーバの内蔵レギュレータを使用しないとき。

4. V_{REGO} 端子と IV_{DD} 端子を直結し、IO-Linkトランシーバの内蔵レギュレータから V_{DD}/EV_{DD} , V_{DD_IO} へ電源を供給するとき。

注意 P40, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5\text{ V}, 4.75\text{ V}$ $IV_{DD} 5.25\text{ V}, 1.8\text{ V}$ $AV_{REF} V_{DD}/EV_{DD}$, $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142-P144 1端子	4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}$			8.5	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$			1.0	mA
		P60, P61 1端子	4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}$			15.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$			3.0	mA
		P40, P41, P120	4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}$			20.0	mA
		合計 (デューティ = 70 %時 ^{注2})	3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$			15.0	mA
		P05, P11, P13, P14, P16, P17, P31, P50, P51, P60, P61, P65, P67 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}$			45.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$			35.0	mA
		全端子合計 ^{注3} (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}$			65.0	mA
			3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$			50.0	mA
		全端子合計 ^{注4} (デューティ = 60 %時 ^{注2})	3.0 V $V_{DD}/EV_{DD} < 5.5\text{ V}$			20.0	mA
		I _{OL2}	P26, P27, P150-P153 1端子	$AV_{REF} = V_{DD}/EV_{DD}$			0.4

注1. 出力端子からV_{SS}/EV_{SS}, AV_{SS}, GND1端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。

デューティを変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OL} = 20.0 mAの場合, n = 50 %

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. V_{REGO}端子に接続した外付けNPNトランジスタからV_{DD}/EV_{DD}, V_{DD_IO}へ電源を供給するとき。または、外部から電源を供給し、IO-Linkトランシーバの内蔵レギュレータを使用しないとき。

4. V_{REGO}端子とIV_{DD}端子を直結し、IO-Linkトランシーバの内蔵レギュレータからV_{DD}/EV_{DD}, V_{DD_IO}へ電源を供給するとき。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V , 4.75 V IV_{DD} 5.25 V , 1.8 V AV_{REF} V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P13, P41, P144	0.7 V_{DD}/EV_{DD}		V_{DD}/EV_{DD}	V	
	V_{IH2}	P05, P11, P14, P16, P17, P31, P40, P50, P51, P65, P67, P120, P121, P142, P143, EXCLK, RESET	0.8 V_{DD}/EV_{DD}		V_{DD}/EV_{DD}	V	
	V_{IH3}	P11, P142, P143	TTL入力バッファ 4.0 V V_{DD}/EV_{DD} 5.5 V	2.2		V_{DD}/EV_{DD}	V
			TTL入力バッファ 3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$	2.0		V_{DD}/EV_{DD}	V
	V_{IH4}	P26, P27, P150-P153	$AV_{REF} = V_{DD}/EV_{DD}$	$0.7AV_{REF}$	AV_{REF}	V	
	V_{IH5}	P60, P61	0.7 V_{DD}/EV_{DD}		6.0	V	
	V_{IH6}	FLMD0	0.9 V_{DD}/EV_{DD} 注1		V_{DD}/EV_{DD}	V	
	V_{IH7}	SILM		$0.7 V_{DD_IO}$		V	
	V_{THHs}	CQ	$18\text{ V} < V_{DDH} < 30\text{ V}$	10.5		13	V
ロウ・レベル入力電圧	V_{IL1}	P13, P41, P144	0		0.3 V_{DD}/EV_{DD}	V	
	V_{IL2}	P05, P11, P14, P16, P17, P31, P40, P50, P51, P65, P67, P120, P121, P142, P143, EXCLK, RESET	0		0.2 V_{DD}/EV_{DD}	V	
	V_{IL3}	P11, P142, P143	TTL入力バッファ 4.0 V V_{DD}/EV_{DD} 5.5 V	0		0.8	V
			TTL入力バッファ 3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}$	0		0.5	V
	V_{IL4}	P26, P27, P150-P153	$AV_{REF} = V_{DD}/EV_{DD}$	0	$0.3AV_{REF}$	V	
	V_{IL5}	P60, P61		0	0.3 V_{DD}/EV_{DD}	V	
	V_{IL6}	FLMD0 ^{注2}		0	0.1 V_{DD}/EV_{DD}	V	
	V_{IL7}	SILM			$0.2 V_{DD_IO}$	V	
	V_{THLs}	CQ	$18\text{ V} < V_{DDH} < 30\text{ V}$	8		11.5	V

注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、 $0.9V_{DD}/EV_{DD}$ 以上にする必要があります。

2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接 V_{SS}/EV_{SS} へ接続し、 $0.1V_{DD}/EV_{DD}$ 以下の電圧を保つようにしてください。

注意1. P40, P142-P144は、N-chオープン・ドレイン・モード時でも V_{IH} の最大値(MAX.)は V_{DD}/EV_{DD} です。

2. EXCLKは、入力ポート・モードと外部クロック・モードとで、 V_{IH} , V_{IL} の値が異なります。
外部クロック入力モード時は、EXCLKのDC特性を満たしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85$, $3.0\text{ V} \leq V_{DD}/EV_{DD} = V_{DD_IO} \leq 5.5\text{ V}$, $4.75\text{ V} \leq V_{DD} \leq 5.25\text{ V}$, $1.8\text{ V} \leq V_{REF} \leq V_{DD}/EV_{DD}$, $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142- P144	4.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OH1} = - 3.0 mA	V_{DD}/EV_{DD}		V
			3.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OH1} = - 1.0 mA	V_{DD}/EV_{DD}		V
	V _{OH2}	P26, P27, P150-P153	AV _{REF} = V _{DD} /EV _{DD} , I _{OH2} = - 0.1 mA	AV _{REF} - 0.5		V
	V _{OH3}	RXD, WAKE, ILIM	I _{OH1} = - 2.0 mA	0.8 V _{DD_IO}		V
	V _{RQHs}	CQ	I _{QHs} = - 100 mA	V _{SUP} - 1.7		V
I _{QHs} = - 200 mA			V _{SUP} - 3.0		V	
ロウ・レベル出力電圧	V _{OL1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P60, P61, P65, P67, P120, P142-P144	4.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OL1} = 8.5 mA		0.7	V
			3.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OL1} = 1.0 mA		0.5	V
	V _{OL2}	P26, P27, P150-P153	AV _{REF} = V _{DD} /EV _{DD} , I _{OL2} = 0.4 mA		0.4	V
	V _{OL3}	P60, P61	4.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OL1} = 15.0 mA		2.0	V
			4.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OL1} = 5.0 mA		0.4	V
			3.0 V $V_{DD}/EV_{DD} \leq 5.5\text{ V}$, I _{OL1} = 3.0 mA		0.4	V
	V _{OL4}	RXD, WAKE, ILIM	I _{OL1} = 2.0 mA		0.2 V _{DD_IO}	V
	V _{RQLs}	CQ	I _{QHs} = 100 mA		1.5	V
			I _{QHs} = 200 mA		3.0	V

備考1. V_{SUP} : 電圧供給

2. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

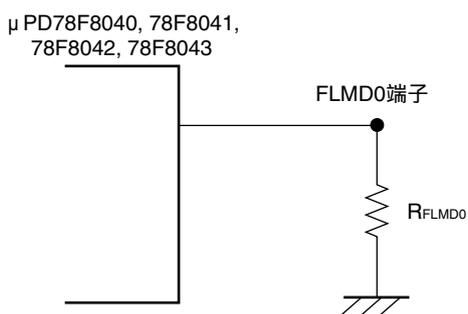
項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P60, P61, P65, P67, P120, P142-P144, FLMD0, \overline{RESET}	$V_I = V_{DD}/EV_{DD}$			1	μA	
		P26, P27, P150-P153	$V_I = AV_{REF}$			1	μA	
	I _{LIH3}	P121 (X1)	$V_I = V_{DD}/EV_{DD}$	入力ポート時			1	μA
				発振子接続時			10	μA
	X2	$V_I = V_{DD}/EV_{DD}$			10	μA		
ロウ・レベル入力リーク電流	I _{LIL1}	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P60, P61, P65, P67, P120, P142-P144, FLMD0, \overline{RESET}	$V_I = V_{SS}/EV_{SS}$			- 1	μA	
		P26, P27, P150-P153	$V_I = V_{SS}/EV_{SS}$ $AV_{REF} = V_{DD}/EV_{DD}$			- 1	μA	
	I _{LIL3}	P121 (X1)	$V_I = V_{SS}/EV_{SS}$	入力ポート時			- 1	μA
				発振子接続時			- 10	μA
	X2	$V_I = V_{SS}/EV_{SS}$			- 10	μA		

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	R_U	P05, P11, P13, P14, P16, P17, P31, P40, P41, P50, P51, P65, P67, P120, P142-P144 $V_i = V_{SS}/EV_{SS}$, 入力ポート時	10	20	100	kΩ
FLMD0端子 外付けプルダウン抵抗 ^注	R_{FLMD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			kΩ

注 FLMD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、 R_{FLMD0} を100 kΩ以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

26. 4. 2 電源電流特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I _{DD1} ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		5.9	8.3	mA
				発振子接続		6.2	8.6	mA
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		5.9	8.3	mA
				発振子接続		6.2	8.6	mA
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		3.3	4.8	mA
				発振子接続		3.4	4.9	mA
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		3.3	4.8	mA
				発振子接続		3.4	4.9	mA
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		1.8	2.7	mA
				発振子接続		1.9	2.8	mA
			f _{IH20} = 20 MHz ^{注4}	V _{DD} /EV _{DD} = 5.0 V		6.1	8.6	mA
				V _{DD} /EV _{DD} = 3.0 V		6.1	8.6	mA
f _{IH} = 8 MHz ^{注4}	V _{DD} /EV _{DD} = 5.0 V		2.6	3.8	mA			
	V _{DD} /EV _{DD} = 3.0 V		2.6	3.8	mA			
f _{IH} = 1 MHz ^{注4}	V _{DD} /EV _{DD} = 3.0 V		200	389	μA			

注1. V_{DD}/EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}/EV_{DD}またはV_{SS}/EV_{SS}に固定した状態での入力リ
 ーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVI回路, I/Oポー
 ート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振, 20 MHz高速内蔵発振は停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード
 制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロックは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周
 波数)

f_{IH20} : 20 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

2. TYP.値の温度条件は, T_A = 25 です。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF} $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I _{DD2} ^{注1}	HALTモード	f _{MX} = 20 MHz ^{注2} , V _{DD} /EV _{DD} = 5.0 V	方形波入力		1.2	3.6	mA
				発振子接続		1.5	3.9	mA
			f _{MX} = 20 MHz ^{注2} , V _{DD} /EV _{DD} = 3.0 V	方形波入力		1.2	3.6	mA
				発振子接続		1.5	3.9	mA
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} /EV _{DD} = 5.0 V	方形波入力		0.70	2.1	mA
				発振子接続		0.80	2.2	mA
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} /EV _{DD} = 3.0 V	方形波入力		0.70	2.1	mA
				発振子接続		0.80	2.2	mA
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} /EV _{DD} = 3.0 V	方形波入力		0.41	1.8	mA
				発振子接続		0.46	1.8	mA
	f _{IH20} = 20 MHz ^{注4}	V _{DD} /EV _{DD} = 5.0 V		1.4	3.9	mA		
		V _{DD} /EV _{DD} = 3.0 V		1.4	3.9	mA		
f _{IH} = 8 MHz ^{注4}	V _{DD} /EV _{DD} = 5.0 V		0.48	1.8	mA			
	V _{DD} /EV _{DD} = 3.0 V		0.48	1.8	mA			
f _{IH} = 1 MHz ^{注4}	V _{DD} /EV _{DD} = 3.0 V		55	168	μA			
I _{DD3} ^{注5}	STOPモード	T _A = -40 ~ +70		0.37	5.2	μA		
		T _A = -40 ~ +85		0.37	7.9	μA		

注1. V_{DD}/EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}/EV_{DD}またはV_{SS}/EV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振, 20 MHz高速内蔵発振は停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロックは停止時。
5. V_{DD}/EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}/EV_{DD}またはV_{SS}/EV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流, STOPリーク電流を含みます。ただし, A/Dコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。ウォッチドッグ・タイムは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH20} : 20 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

2. TYP.値の温度条件は, T_A = 25 です。

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{V_{DD}} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注1,2}	$f_{IL} = 30 \text{ kHz}$			0.31	0.35	μA		
A/Dコンバータ動作電流	I_{ADC} ^{注3}	最高速変換時	高速モード1	$AV_{REF} = V_{DD} = 5.0 V$		1.72	3.2	mA	
			高速モード2	$AV_{REF} = V_{DD} = 3.0 V$		0.72	1.6	mA	
			標準モード	$AV_{REF} = V_{DD} = 5.0 V$		0.86	1.9	mA	
			低電圧モード	$AV_{REF} = V_{DD} = 3.0 V$		0.37	0.8	mA	
LVI動作電流	I_{LVI} ^{注4}				9	18	μA		
IO-Link トランシーバ動作電流 ^{注5}	$I_{V_{DDH}}$	V_{DDH} の供給電流 ^{注6}		$I_{V_{DD}}$ と V_{REGO} の外部負荷がない場合 ^{注6} 。 $TXEN = \text{ロウ・レベル}$		1.5	4.0	mA	
		$I_{V_{DD}}$	$I_{V_{DD}}$ の供給電流 ^{注7}		$I_{V_{DD}} = 5 V$		0.6	2	mA
		$I_{V_{DD_IO}}$	V_{DD_IO} の供給電流		通信停止状態		20.0	50.0	μA

注1. 高速内蔵発振, 高速システム・クロックは停止時。

- ウォッチドッグ・タイマにのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合, I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が, μ PD78F8040, 78F8041, 78F8042, 78F8043の電流値となります。
- A/Dコンバータ (AV_{REF} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合, I_{DD1} または I_{DD2} に I_{ADC} を加算した値が, μ PD78F8040, 78F8041, 78F8042, 78F8043の電流値となります。
- LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合, I_{DD1} または I_{DD2} または I_{DD3} に I_{LVI} を加算した値が, μ PD78F8040, 78F8041, 78F8042, 78F8043の電流値となります。
- 電源構成によって電流経路が異なります (電源構成別電流経路図参照)。
- V_{REGO} と $I_{V_{DD}}$ を接続した場合の電流です。IO-Linkトランシーバ内蔵レギュレータには V_{DDH} から電流が供給されます。 $I_{V_{DD}}$ に流れる電流を含みます。
- 外部電源により $I_{V_{DD}}$ に5 Vを供給する場合, または外部にNPNトランジスタを使用する場合。 V_{DDH} に流れる電流は含みません。

備考1. f_{IL} : 低速内蔵発振クロック周波数

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

- TYP.値の温度条件は, $T_A = 25$ です。

電源構成別電流経路図

図26 - 1 電源構成別電流経路図 (V_{REGO}とIV_{DD}を接続した場合)

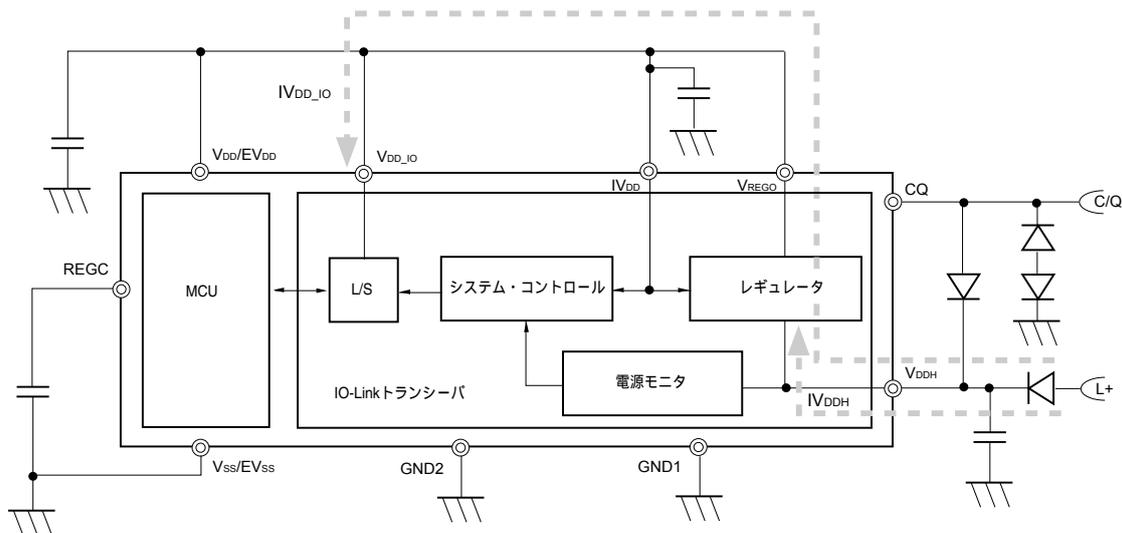
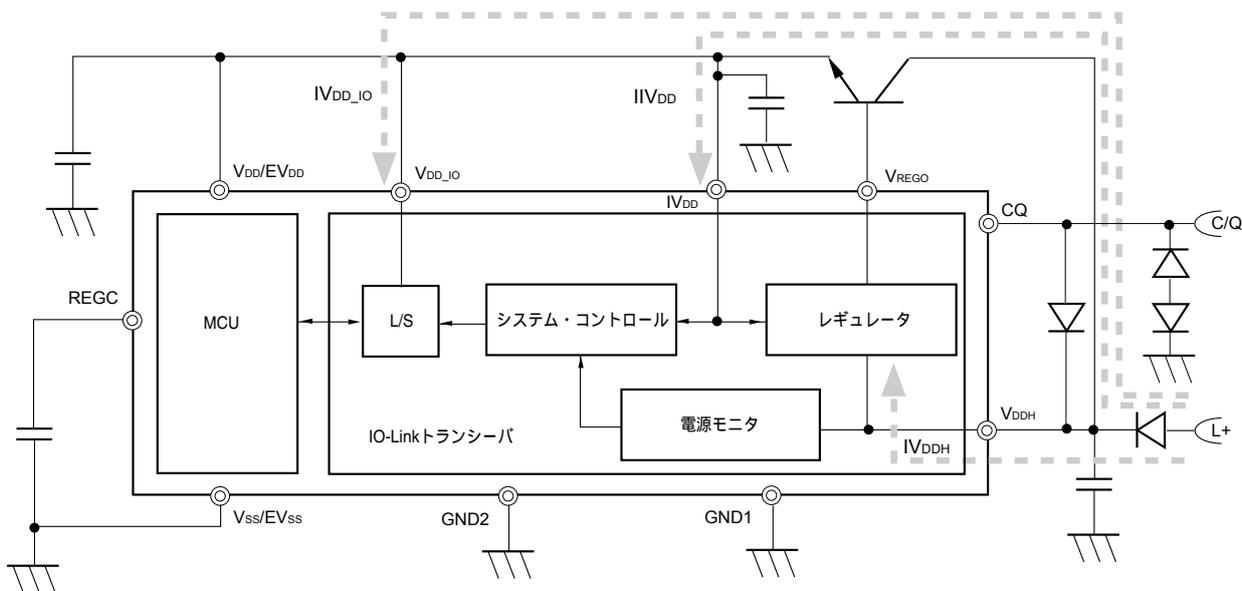
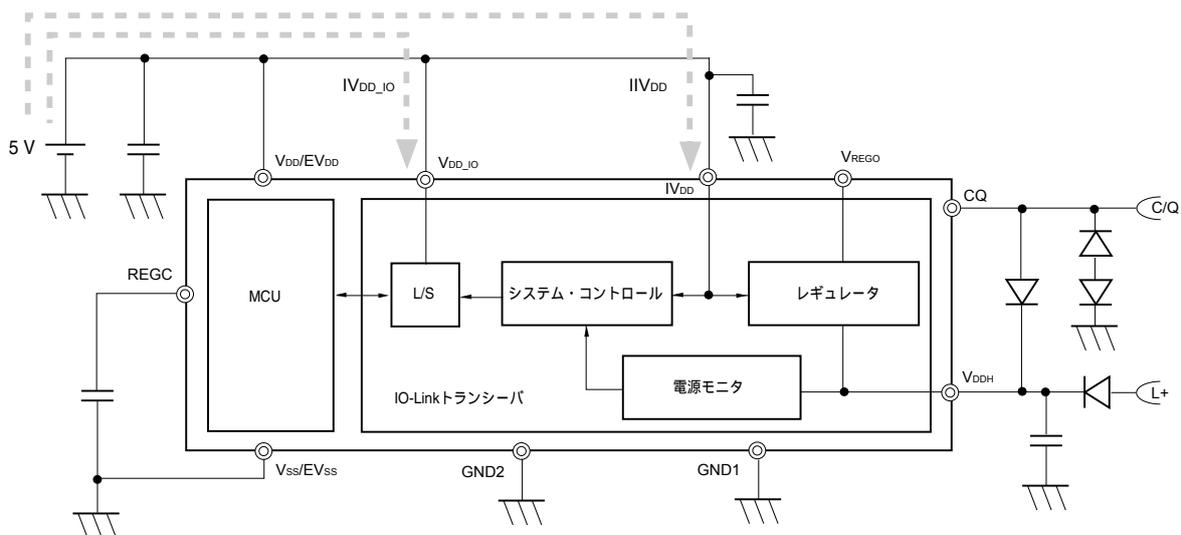


図26 - 2 電源構成別電流経路図 (外部にNPNトランジスタを使用する場合)



- 注意1. QFNパッケージ裏の金属パッド (GND3) はV_{ss}/EV_{ss}と同電位にしてください。
2. FBGAパッケージ製品で内蔵レギュレータを使用する際には、NPNトランジスタを外部に接続してください (図26 - 2を参照)。FBGAパッケージ製品では、図26 - 1の電源構成は禁止です。

図26 - 3 電源構成別電流経路図 (外部電源によりIV_{DD}に5 Vを供給する場合)



注意 QFNパッケージ裏の金属パッド (GND3) はV_{SS/EVSS}と同電位にしてください。

26.5 AC特性

26.5.1 基本動作

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

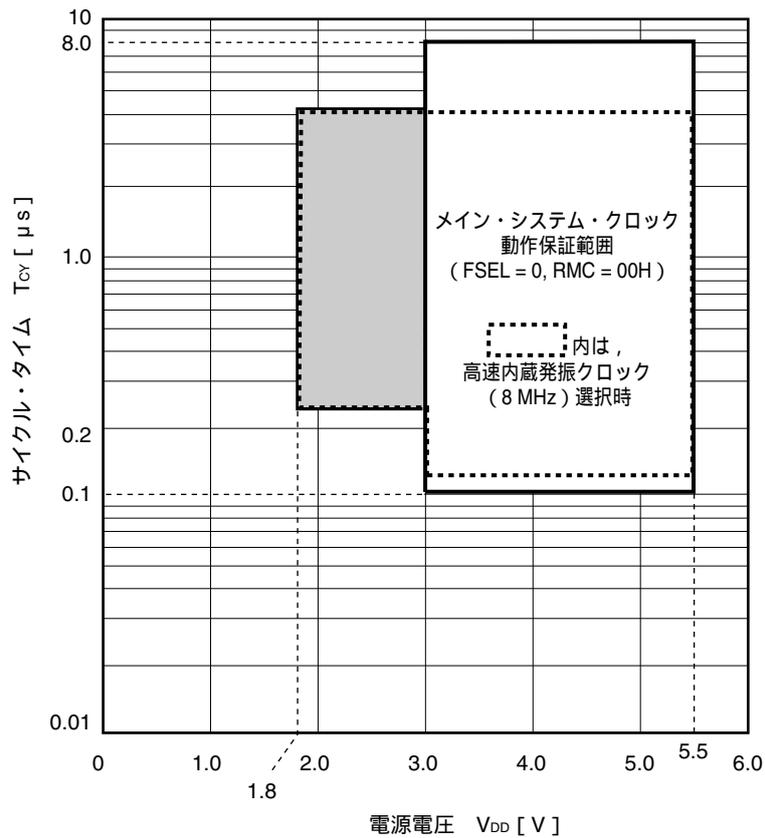
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{cy}	メイン・システム・クロック (f _{MAIN})動作	通常電流モード	3.0 V V_{DD}/EV_{DD} 5.5 V	0.05		8	μs
			低消費電流モード		1		8	μs
		セルフ・プログラミング時	通常電流モード	3.0 V V_{DD}/EV_{DD} 5.5 V	0.05		1	μs
外部メイン・システム・クロック周波数	f _{EX}	3.0 V $V_{DD}/EV_{DD} 5.5 V$		2.0		20.0	MHz	
外部メイン・システム・クロック入力ハイ,ロウ・レベル幅	t _{EXH} ,	3.0 V $V_{DD}/EV_{DD} 5.5 V$		24			ns	
	t _{EXL}							
TI01-TI03, TI05, TI11, TI13 入力ハイ,ロウ・レベル幅	t _{TIH} ,			1/f _{MCK} + 10			ns	
	t _{TIL}							
TO01-TO03, TO05, TO11, TO13出力周波数	f _{ro}	3.0 V $V_{DD}/EV_{DD} 5.5 V$				10	MHz	
割り込み入力ハイ,ロウ・レベル幅	t _{INTH} ,			1			μs	
	t _{INTL}							
RESETロウ・レベル幅	t _{rsL}			10			μs	

備考1. f_{MCK}: タイマ・アレイ・ユニットの動作クロック周波数。

(TMR_{mn}レジスタのCKSm_nビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-7))

- レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第20章 レギュレータを参照してください。

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



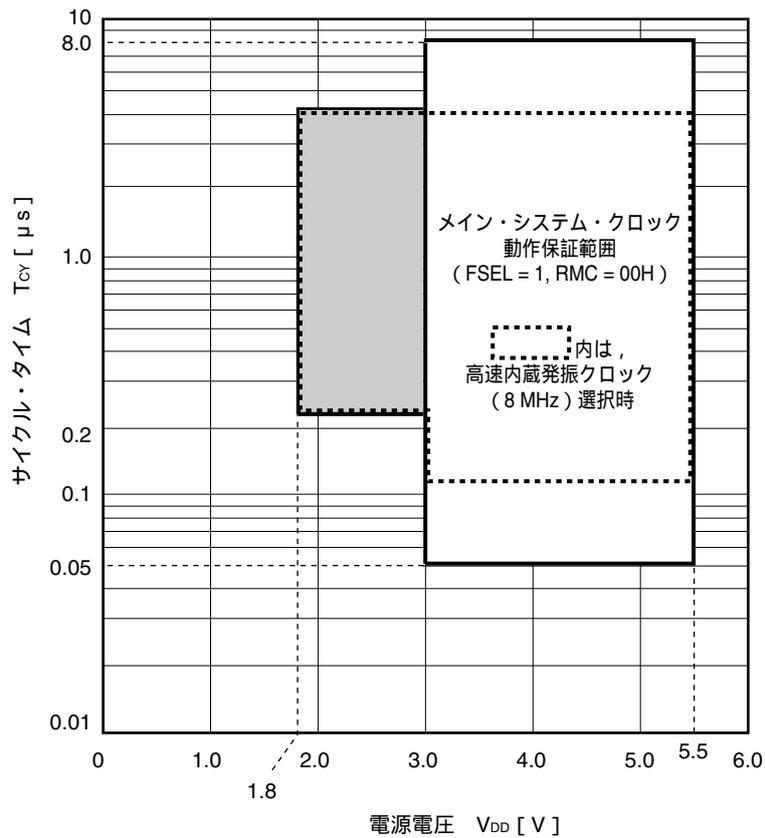
注意 図内の網掛けされている範囲は次の動作のみ実行できます。

- ・CPU動作 (命令実行)
CPUクロックは、8 MHz高速内蔵発振クロックの分周 ($f_{IH}/2^5 \sim f_{IH}/2$ (250 kHz ~ 4 MHz))
- ・内蔵RAMへのリード/ライト
- ・低電圧検出 (LVI) 回路
- ・タイマ・アレイ・ユニット (TAU) のインターバル・タイマ機能
- ・スタンバイ機能 (STOP/HALTモード) 設定
- ・クロック発生回路の制御レジスタの設定
ただしクロックの切り替えは、切り替え後のクロックのサイクル・タイムが動作保証範囲内になる場合のみ可。
- ・ウォッチドッグ・タイマ (WDT) (低速内蔵発振回路を含む)

備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



注意1. FSEL = 0に設定する場合は、10 MHz以下での動作時に設定してください。

2. 図内の網掛けされている範囲は次の動作のみ実行できます。

- CPU動作 (命令実行)

CPUクロックは、8 MHz高速内蔵発振クロックの分周 ($f_{IH}/2^5 \sim f_{IH}/2$ (250 kHz ~ 4 MHz))

- 内蔵RAMへのリード/ライト

- 低電圧検出 (LVI) 回路

- タイマ・アレイ・ユニット (TAU) のインターバル・タイマ機能

- スタンバイ機能 (STOP/HALTモード) 設定

- クロック発生回路の制御レジスタの設定

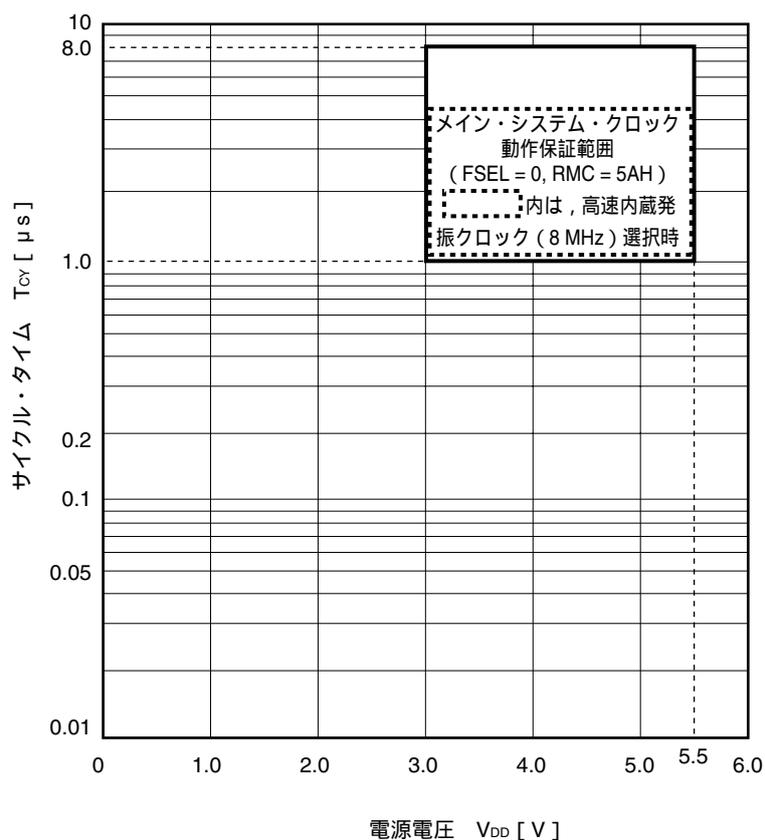
ただしクロックの切り替えは、切り替え後のクロックのサイクル・タイムが動作保証範囲内になる場合のみ可。

- ウォッチドッグ・タイマ (WDT) (低速内蔵発振回路を含む)

備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

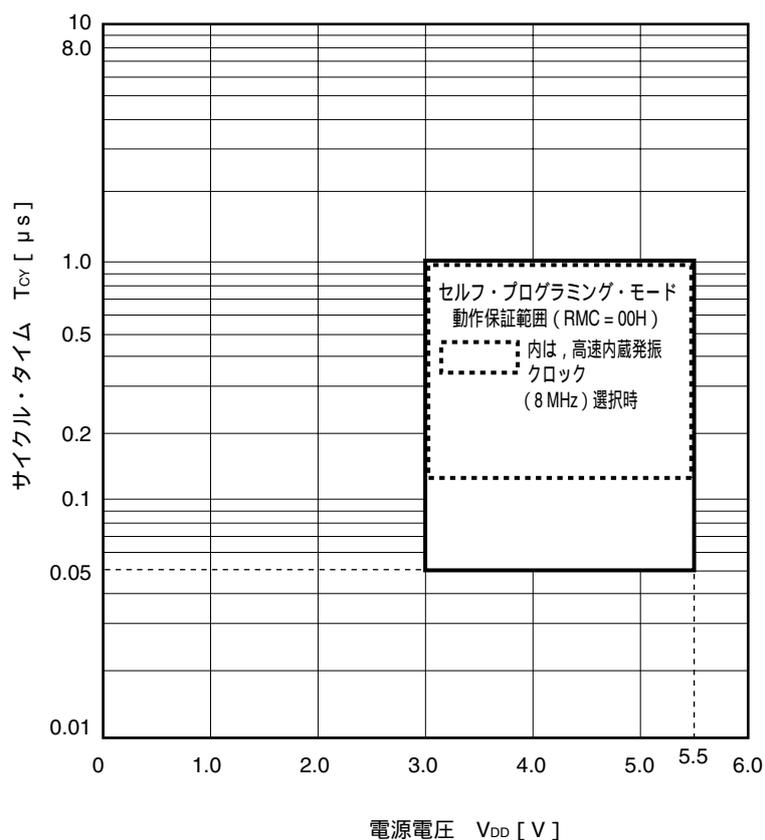
RMC : レギュレータ・モード制御レジスタ

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



- 備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
RMC : レギュレータ・モード制御レジスタ
2. RMC = 5AH時は, 全電圧範囲で1 MHz (MAX.) となります。

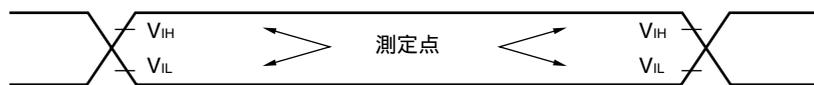
セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)



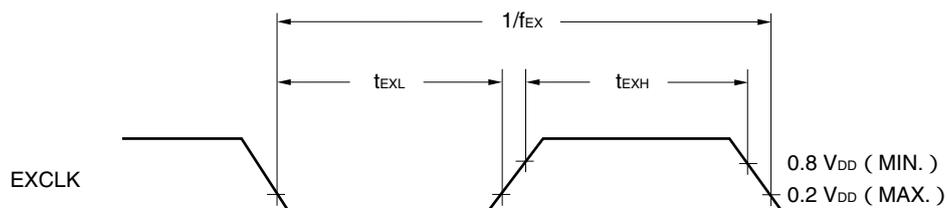
備考 RMC : レギュレータ・モード制御レジスタ

26. 5. 2 測定条件

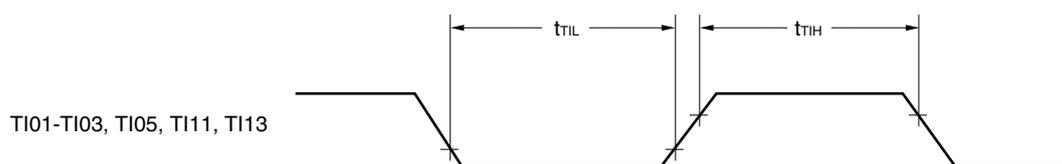
ACタイミング測定点



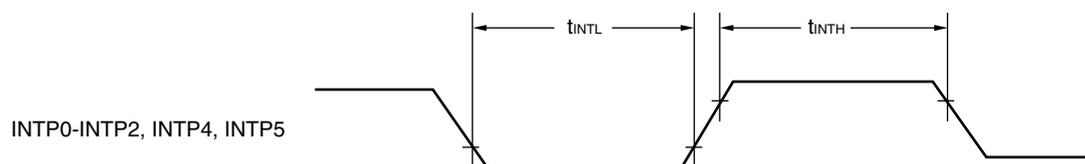
外部メイン・システム・クロック・タイミング



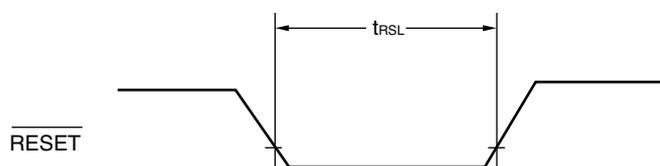
TIタイミング



割り込み要求入力タイミング



RESET入力タイミング



26.6 周辺機能特性

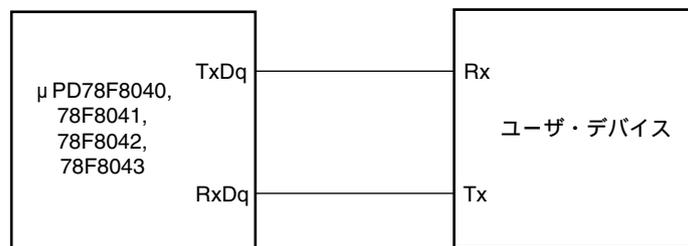
26.6.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

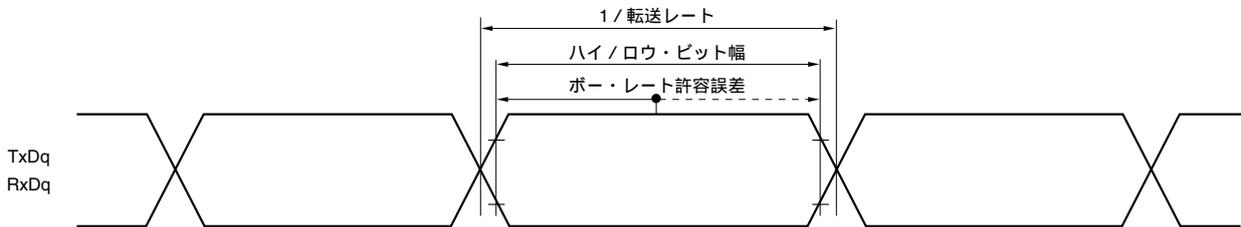
($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20$ MHz, $f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



- 注意1. PIM14レジスタとPOM14レジスタで、RxDqは通常入力バッファ、TxDqは通常出力モードを選択。
 2. UART0 (シリアル・アレイ・ユニット0の0, 1チャンネル) は、IO-Link通信専用です。

備考1. q : UART番号 (q = 0, 2, 3)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-3))

(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{SCK20}$...内部クロック出力)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK20}$ サイクル・タイム	t_{KCY1}	4.0 V $V_{DD}/EV_{DD} 5.5 V$	200 ^{注1}			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V$	300 ^{注1}			ns
$\overline{SCK20}$ ハイ, ロウ・レベル幅	$t_{KH1},$ t_{KL1}	4.0 V $V_{DD}/EV_{DD} 5.5 V$	$t_{KCY1}/2 - 20$			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V$	$t_{KCY1}/2 - 35$			ns
SI20セットアップ時間 (対 $\overline{SCK20}$) ^{注2}	t_{SIK1}	4.0 V $V_{DD}/EV_{DD} 5.5 V$	70			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V$	100			ns
SI20ホールド時間 (対 $\overline{SCK20}$) ^{注2}	t_{KSI1}		30			ns
$\overline{SCK20}$ SO20出力遅延時間 ^{注3}	t_{KSO1}	$C = 30 pF$ ^{注4}			40	ns

注1. $C_{\text{つ}}/4f_{\text{CLK}}$ 以上に設定してください。

- DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対 $\overline{SCK20}$ ”となります。
- DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対 $\overline{SCK20}$ ”となります。
- Cは、 $\overline{SCK20}$, SO20出力ラインの負荷容量です。

注意 PIM14レジスタとPOM14レジスタで、SI20は通常入力バッファ、SO20と $\overline{SCK20}$ は通常出力モードを選択。

(3) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCK20}}$...外部クロック入力)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 \text{ V}, 4.75 \text{ V}$ $I_{VDD} 5.25 \text{ V}, 1.8 \text{ V}$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 \text{ V}$)

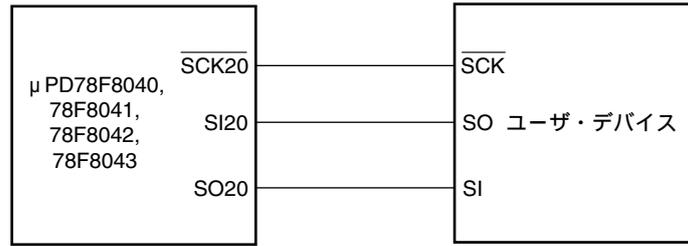
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK20}}$ サイクル・タイム	t_{KCY2}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}$	$6/f_{MCK}$			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}$	$16 \text{ MHz} < f_{MCK}$	$8/f_{MCK}$		ns
			$f_{MCK} 16 \text{ MHz}$	$6/f_{MCK}$		ns
$\overline{\text{SCK20}}$ ハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}		$t_{KCY2}/2$			ns
SI20セットアップ時間 (対 $\overline{\text{SCK20}}$) ^{注1}	t_{SIK2}		80			ns
SI20ホールド時間 (対 $\overline{\text{SCK20}}$) ^{注1}	t_{HSI2}		$1/f_{MCK} +$ 50			ns
$\overline{\text{SCK20}}$ SO20出力遅延時間 ^{注2}	t_{KSO2}	C = 30 pF ^{注3}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}$		$2/f_{MCK} + 45$	ns
			3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}$		$2/f_{MCK} + 57$	ns

- 注1. DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対 $\overline{\text{SCK20}}$ ”となります。
2. DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対 $\overline{\text{SCK20}}$ ”となります。
3. Cは, SO20出力ラインの負荷容量です。

注意 PIM14レジスタとPOM14レジスタで, SI20と $\overline{\text{SCK20}}$ は通常入力バッファ, SO20は通常出力モードを選択。

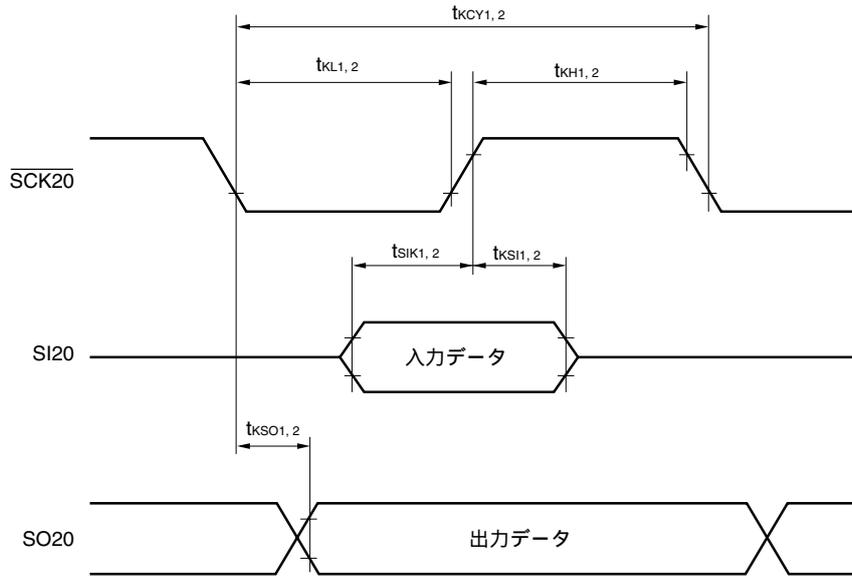
備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMR10レジスタのCKS10ビットで設定する動作クロック。)

CSIモード接続図 (同電位通信時)



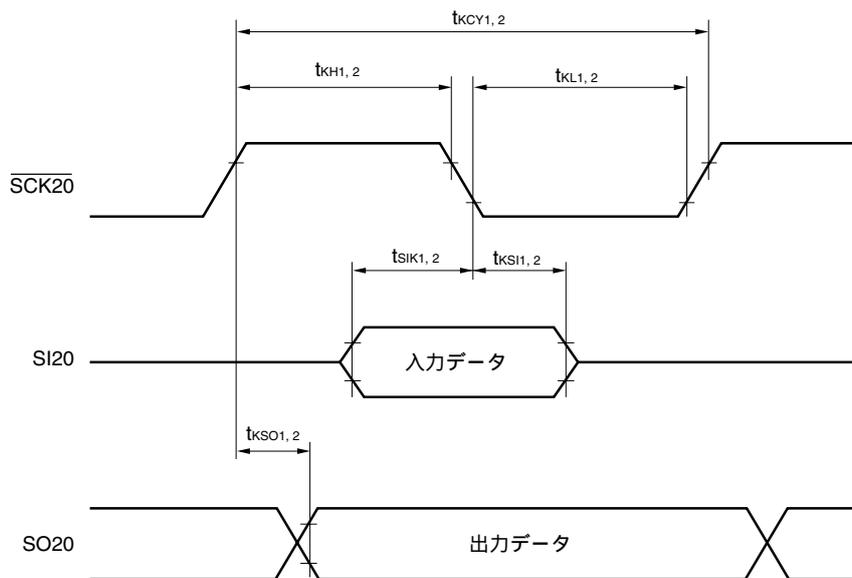
CSIモード・シリアル転送タイミング (同電位通信時)

(DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のとき)



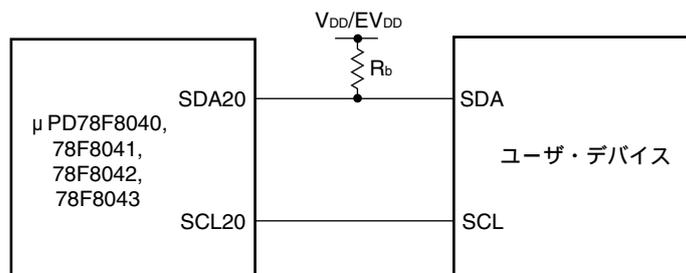
(4) 同電位通信時 (簡易I²Cモード)

(T_A = -40 ~ +85 , 3.0 V V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF} V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V)

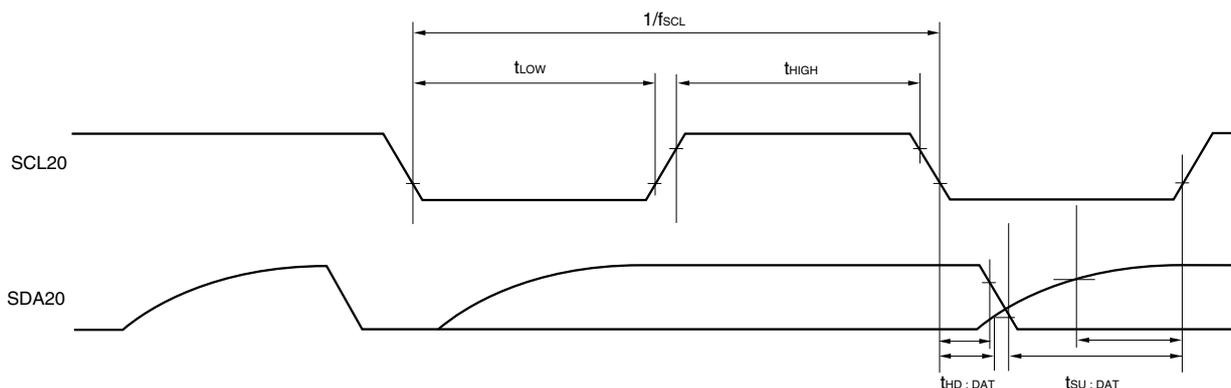
項目	略号	条件	MIN.	MAX.	単位
SCL20クロック周波数	f _{SCL}	3.0 V V _{DD} /EV _{DD} 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400 ^注	kHz
SCL20 = "L"のホールド・タイム	t _{LOW}	3.0 V V _{DD} /EV _{DD} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1200		ns
SCL20 = "H"のホールド・タイム	t _{HIGH}	3.0 V V _{DD} /EV _{DD} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1200		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	3.0 V V _{DD} /EV _{DD} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 120		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	3.0 V V _{DD} /EV _{DD} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	660	ns

注 かつf_{MCK}/4以下に設定してください。

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 PIM14レジスタとPOM14レジスタで、SDA20は通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択、SCL20は通常出力モードを選択。

- 備考1. R_b []: 通信ライン (SDA20) プルアップ抵抗値, C_b [F]: 通信ライン (SCL20, SDA20) 負荷容量値
 2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数 (SMR10レジスタのCKS10ビットで設定する動作クロック。)

(5) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

($T_A = -40 \sim +85$, $3.0\text{ V} \leq V_{DD}/EV_{DD} = V_{DD_IO} \leq 5.5\text{ V}, 4.75\text{ V} \leq V_{DD} \leq 5.25\text{ V}, 1.8\text{ V} \leq AV_{REF} \leq V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	受信	4.0 V $V_{DD}/EV_{DD} = 5.5\text{ V},$				$f_{MCK}/6$	bps
		2.7 V $V_b = 4.0\text{ V}$	$f_{CLK} = 20\text{ MHz}, f_{MCK} = f_{CLK}$			3.3	Mbps
		3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V},$				$f_{MCK}/6$	bps
		2.3 V $V_b = 2.7\text{ V}$	$f_{CLK} = 20\text{ MHz}, f_{MCK} = f_{CLK}$			3.3	Mbps

注意 PIM14レジスタとPOM14レジスタで、RxD2はTTL入力バッファ、TxD2はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

備考1. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR1nレジスタのCKS1nビットで設定する動作クロック。n : チャネル番号 (n = 0, 1))

2. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V $V_{DD}/EV_{DD} = 5.5\text{ V}, 2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき : $V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$

3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$

3. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART2を使用してください。

(5) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5\text{ V}, 4.75\text{ V}$ $IV_{DD} 5.25\text{ V}, 1.8\text{ V}$ AV_{REF} $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	送信	4.0 V	$V_{DD}/EV_{DD} 5.5\text{ V},$			注1	
		2.7 V	$V_b 4.0\text{ V}$	$f_{CLK} = 16.8\text{ MHz}, f_{MCK} = f_{CLK},$		2.8 ^{注2}	Mbps
				$C_b = 50\text{ pF}, R_b = 1.4\text{ k}\Omega, V_b = 2.7\text{ V}$			
		3.0 V	$V_{DD}/EV_{DD} < 4.0\text{ V},$			注3	
		2.3 V	$V_b 2.7\text{ V}$	$f_{CLK} = 19.2\text{ MHz}, f_{MCK} = f_{CLK},$		1.2 ^{注4}	Mbps
				$C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega, V_b = 2.3\text{ V}$			

注1. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}, 2.7\text{ V}$ $V_b 4.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}, 2.3\text{ V}$ $V_b 2.7\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注意 PIM14レジスタとPOM14レジスタで、RxD2はTTL入力バッファ、TxD2はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

備考1. R_b [Ω]: 通信ライン (TxD2) プルアップ抵抗値, C_b [F]: 通信ライン (TxD2) 負荷容量値, V_b [V]: 通信ライン電圧

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

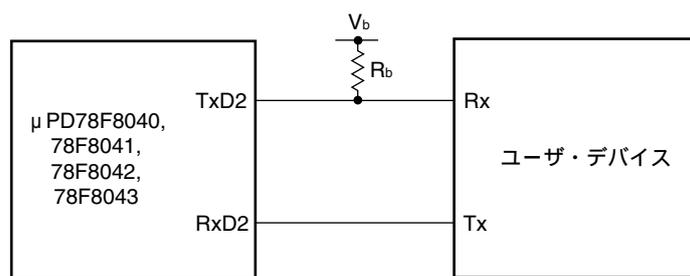
(SMR0nレジスタのCKS0nビットで設定する動作クロック。n: チャネル番号 (n = 0, 1))

3. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

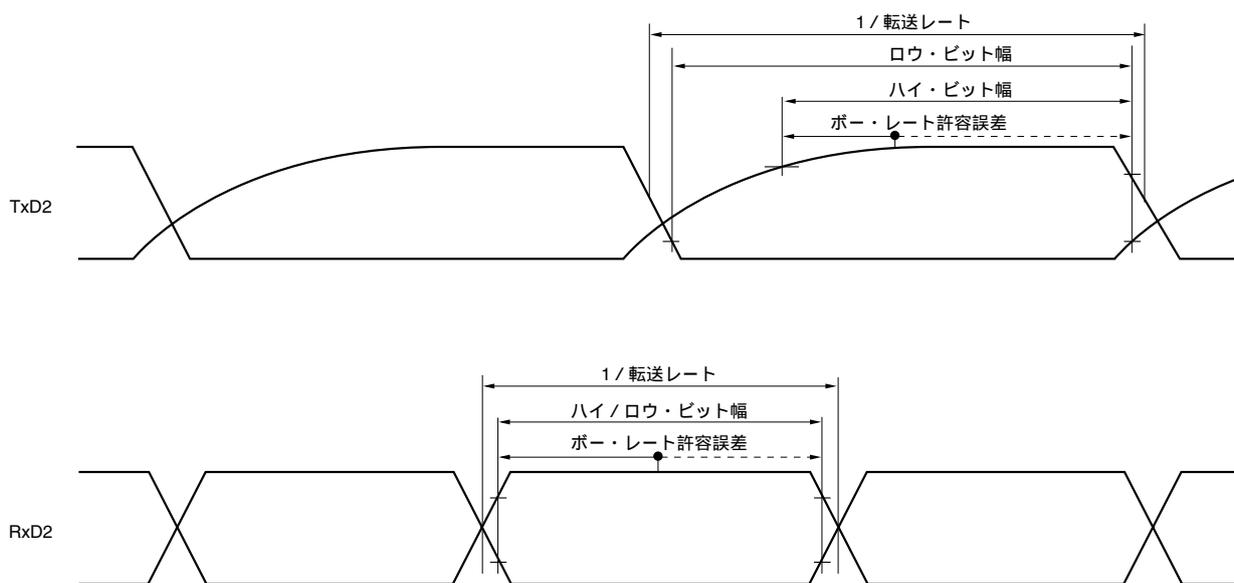
4.0 V $V_{DD}/EV_{DD} 5.5\text{ V}, 2.7\text{ V}$ $V_b 4.0\text{ V}$ のとき: $V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$

3.0 V $V_{DD}/EV_{DD} < 4.0\text{ V}, 2.3\text{ V}$ $V_b 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意 PIM14レジスタとPOM14レジスタで、RxD2はTTL入力バッファ、TxD2はN-chオープン・ドレイン出力（ V_{DD}/EV_{DD} 耐圧）モードを選択。

備考 R_b [Ω] : 通信ライン（TxD2）プルアップ抵抗値， V_b [V] : 通信ライン電圧

(6) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCK20}}$...内部クロック出力) (1/2)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 \text{ V}, 4.75 \text{ V}$ $I_{VDD} 5.25 \text{ V}, 1.8 \text{ V}$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t_{KCY1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	400 ^{注1}			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	800 ^{注1}			ns
SCK20ハイ・レベル幅	t_{KH1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 -$ 75			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 -$ 170			ns
SCK20ロウ・レベル幅	t_{KL1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 -$ 20			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 -$ 35			ns
SI20セットアップ時間 (対 $\overline{\text{SCK20}}$) ^{注2}	t_{SIK1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	150			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	275			ns
SI20ホールド時間 (対 $\overline{\text{SCK20}}$) ^{注2}	t_{KS1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	30			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	30			ns
SCK20 SO20出力遅延時間 ^{注2}	t_{KSO1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$			120	ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V},$ $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			215	ns

注1. $\text{かつ} 4/f_{CLK}$ 以上に設定してください。

2. $DAP10 = 0, CKP10 = 0$ または $DAP10 = 1, CKP10 = 1$ のとき。

注意 PIM14レジスタとPOM14レジスタで、SI20はTTL入力バッファ、SO20と $\overline{\text{SCK20}}$ はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

備考1. $R_b [\Omega]$: 通信ライン ($\overline{\text{SCK20}}$, SO20) プルアップ抵抗値,

$C_b [F]$: 通信ライン (SO20, $\overline{\text{SCK20}}$) 負荷容量値, $V_b [V]$: 通信ライン電圧

2. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$ のとき: $V_{IH} = 2.2 \text{ V}, V_{IL} = 0.8 \text{ V}$

3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$ のとき: $V_{IH} = 2.0 \text{ V}, V_{IL} = 0.5 \text{ V}$

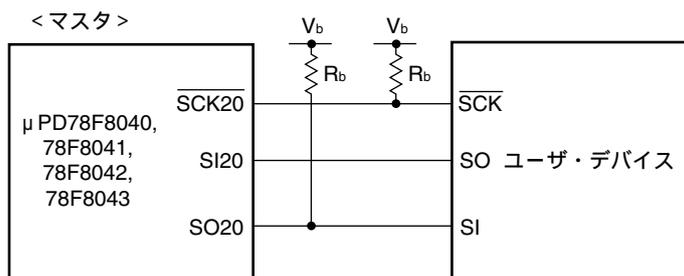
(6) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCK20}}$...内部クロック出力) (2/2)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 \text{ V}, 4.75 \text{ V}$ $I_{V_{DD}} 5.25 \text{ V}, 1.8 \text{ V}$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SI20セットアップ時間 (対 $\overline{\text{SCK20}}$) ^注	t_{SIK1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	70			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	100			ns
SI20ホールド時間 (対 $\overline{\text{SCK20}}$) ^注	t_{KSI1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$	30			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	30			ns
$\overline{\text{SCK20}}$ SO20出力遅延時間 ^注	t_{KSO1}	4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}\Omega$			40	ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$, $C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			40	ns

注 DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIM14レジスタとPOM14レジスタで、SI20はTTL入力バッファ、SO20と $\overline{\text{SCK20}}$ はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

備考1. $R_b [\Omega]$: 通信ライン ($\overline{\text{SCK20}}, \text{SO20}$) プルアップ抵抗値,

$C_b [F]$: 通信ライン ($\text{SO20}, \overline{\text{SCK20}}$) 負荷容量値, $V_b [V]$: 通信ライン電圧

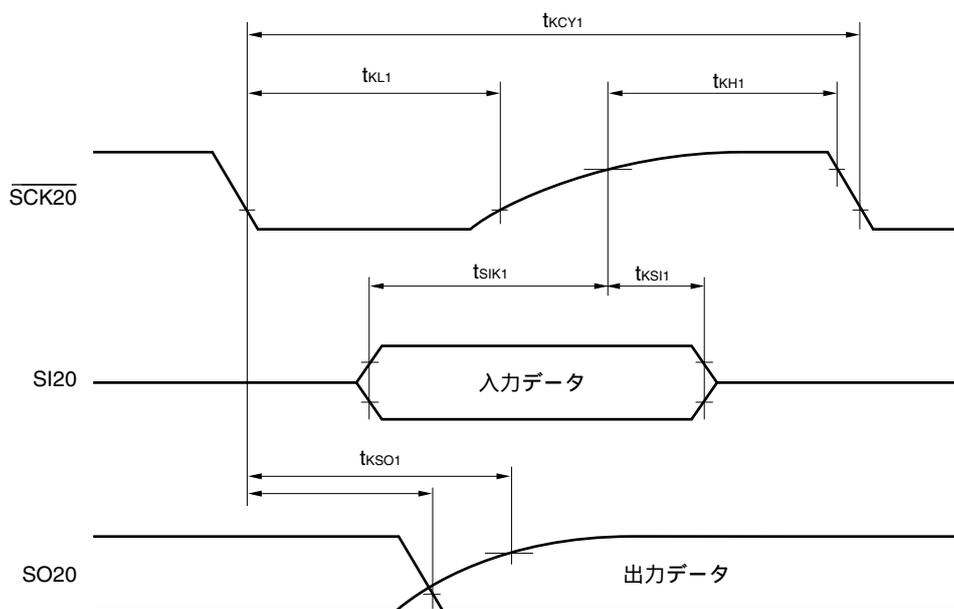
2. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V $V_{DD}/EV_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$ のとき: $V_{IH} = 2.2 \text{ V}, V_{IL} = 0.8 \text{ V}$

3.0 V $V_{DD}/EV_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$ のとき: $V_{IH} = 2.0 \text{ V}, V_{IL} = 0.5 \text{ V}$

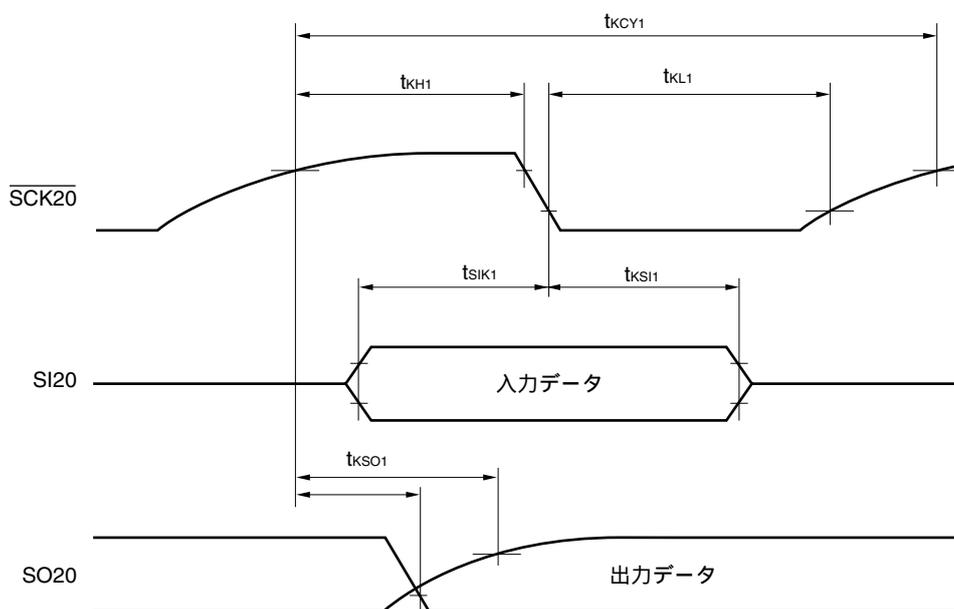
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のとき）



注意 PIM14レジスタとPOM14レジスタで、SI20はTTL入力バッファ、SO20とSCK20はN-chオープン・ドレイン出力（ V_{DD}/EV_{DD} 耐圧）モードを選択。

(7) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCK20...外部クロック入力)

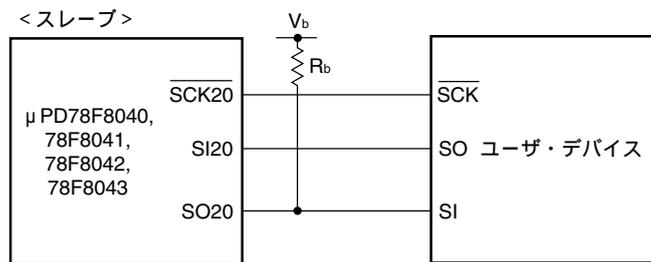
($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ $AV_{REF} V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t_{KCY2}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V$	13.6 MHz < f_{MCK}	10/ f_{MCK}		ns
			6.8 MHz < $f_{MCK} < 13.6 MHz$	8/ f_{MCK}		ns
			$f_{MCK} < 6.8 MHz$	6/ f_{MCK}		ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V$	18.5 MHz < f_{MCK}	16/ f_{MCK}		ns
			14.8 MHz < $f_{MCK} < 18.5 MHz$	14/ f_{MCK}		ns
			11.1 MHz < $f_{MCK} < 14.8 MHz$	12/ f_{MCK}		ns
			7.4 MHz < $f_{MCK} < 11.1 MHz$	10/ f_{MCK}		ns
			3.7 MHz < $f_{MCK} < 7.4 MHz$	8/ f_{MCK}		ns
		$f_{MCK} < 3.7 MHz$	6/ f_{MCK}		ns	
SCK20ハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}	4.0 V $V_{DD}/EV_{DD} 5.5 V, 2.7 V$ $V_b 4.0 V$	$t_{KCY2}/2 - 20$			ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V, 2.3 V$ $V_b 2.7 V$	$t_{KCY2}/2 - 35$			ns
SI20セットアップ時間 (対SCK20) 注1	t_{SIK2}		90			ns
SI20ホールド時間 (対SCK20) 注1	t_{KSI2}		$1/f_{MCK} +$ 50			ns
SCK20 SO20出力遅延時間注2	t_{KSO2}	4.0 V $V_{DD}/EV_{DD} 5.5 V, 2.7 V$ $V_b 4.0 V,$ $C_b = 30 pF, R_b = 1.4 k\Omega$			$2/f_{MCK} +$ 120	ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V, 2.3 V$ $V_b 2.7 V,$ $C_b = 30 pF, R_b = 2.7 k\Omega$			$2/f_{MCK} +$ 230	ns

注1. DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対SCK20”となります。

2. DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき。DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のときは“対SCK20”となります。

CSIモード接続図 (異電位通信時)



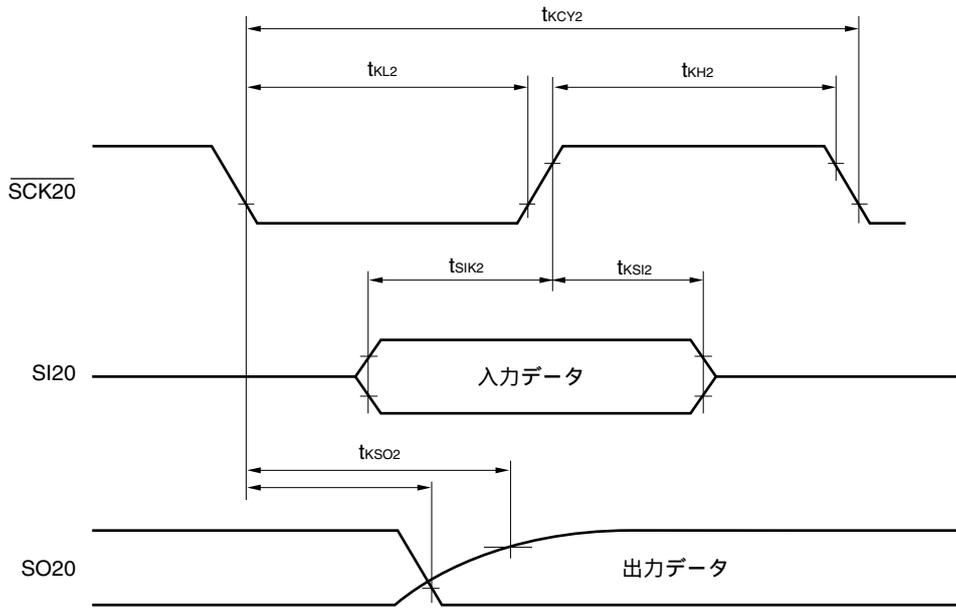
注意 PIM14レジスタとPOM14レジスタで, SI20とSCK20はTTL入力バッファ, SO20はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

(備考は次ページにあります。)

- 備考** 1. R_b [Ω] : 通信ライン (SO20) プルアップ抵抗値, C_b [F] : 通信ライン (SO20) 負荷容量値,
 V_b [V] : 通信ライン電圧
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR10レジスタのCKS10ビットで設定する動作クロック。)
3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
- 4.0 V V_{DD}/EV_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V
- 3.0 V $V_{DD}/EV_{DD} < 4.0$ V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

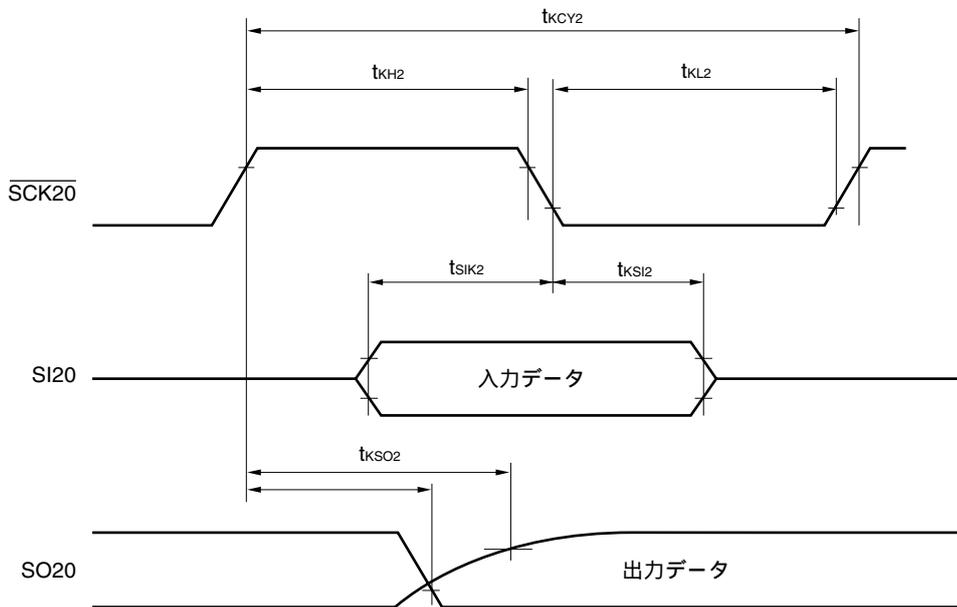
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAP10 = 0, CKP10 = 0またはDAP10 = 1, CKP10 = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAP10 = 0, CKP10 = 1またはDAP10 = 1, CKP10 = 0のとき）



注意 PIM14レジスタとPOM14レジスタで、SI20とSCK20はTTL入力バッファ、SO20はN-chオープン・ドレイン出力（V_{DD}/EV_{DD}耐圧）モードを選択。

(8) 異電位 (2.5 V系, 3 V系) 通信時 (簡易²Cモード)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	MIN.	MAX.	単位
SCL20クロック周波数	f _{SCL}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V,$ $C_b = 100 pF, R_b = 1.4 k\Omega$		400 ^注	kHz
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V,$ $C_b = 100 pF, R_b = 2.7 k\Omega$		400 ^注	kHz
SCL20="L"のホールド・タイム	t _{LOW}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V,$ $C_b = 100 pF, R_b = 1.4 k\Omega$	1275		ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V,$ $C_b = 100 pF, R_b = 2.7 k\Omega$	1275		ns
SCL20="H"のホールド・タイム	t _{HIGH}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V,$ $C_b = 100 pF, R_b = 1.4 k\Omega$	655		ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V,$ $C_b = 100 pF, R_b = 2.7 k\Omega$	655		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V,$ $C_b = 100 pF, R_b = 1.4 k\Omega$	1/f _{MCK} + 190		ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V,$ $C_b = 100 pF, R_b = 2.7 k\Omega$	1/f _{MCK} + 190		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	4.0 V $V_{DD}/EV_{DD} 5.5 V,$ 2.7 V $V_b 4.0 V,$ $C_b = 100 pF, R_b = 1.4 k\Omega$	0	640	ns
		3.0 V $V_{DD}/EV_{DD} < 4.0 V,$ 2.3 V $V_b 2.7 V,$ $C_b = 100 pF, R_b = 2.7 k\Omega$	0	660	ns

注 かつf_{MCK}/4以下に設定してください。

注意 PIM14レジスタとPOM14レジスタで、SDA20はTTL入力バッファ、N-chオープン・ドレーン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択、SCL20はN-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b [Ω] : 通信ライン (SDA20, SCL20) プルアップ抵抗値 ,

C_b [F] : 通信ライン (SDA20, SCL20) 負荷容量値 , V_b [V] : 通信ライン電圧

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

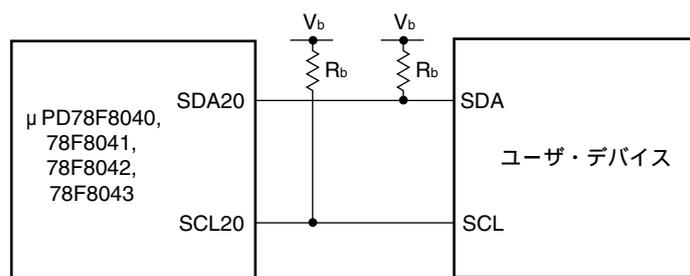
(SMR10レジスタのCKS10ビットで設定する動作クロック。)

3. シリアル・アレイ・ユニットの簡易²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

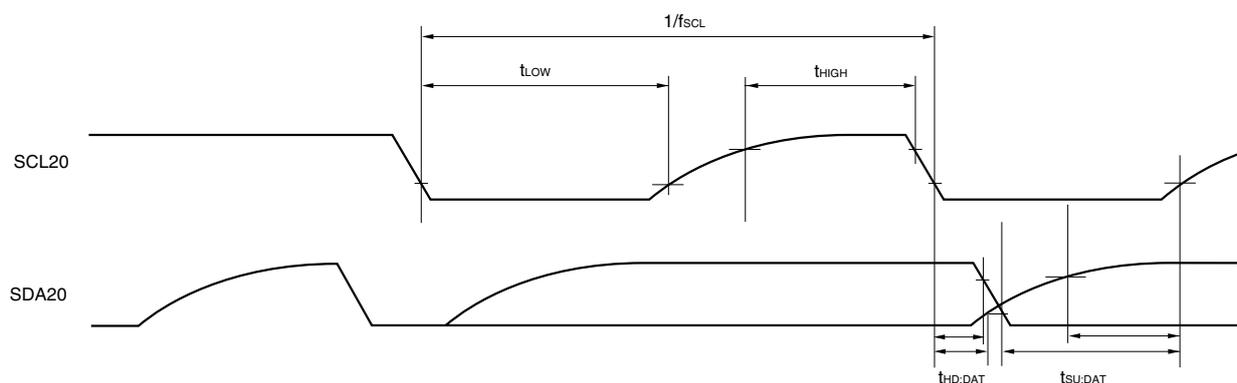
4.0 V $V_{DD}/EV_{DD} 5.5 V, 2.7 V$ $V_b 4.0 V$ のとき : V_{IH} = 2.2 V, V_{IL} = 0.8 V

3.0 V $V_{DD}/EV_{DD} < 4.0 V, 2.3 V$ $V_b 2.7 V$ のとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 PIM14レジスタとPOM14レジスタで、SDA20はTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択、SCL20はN-chオープン・ドレイン出力 (V_{DD}/EV_{DD} 耐圧) モードを選択。

備考 R_b [Ω] : 通信ライン (SDA20, SCL20) プルアップ抵抗値, V_b [V] : 通信ライン電圧

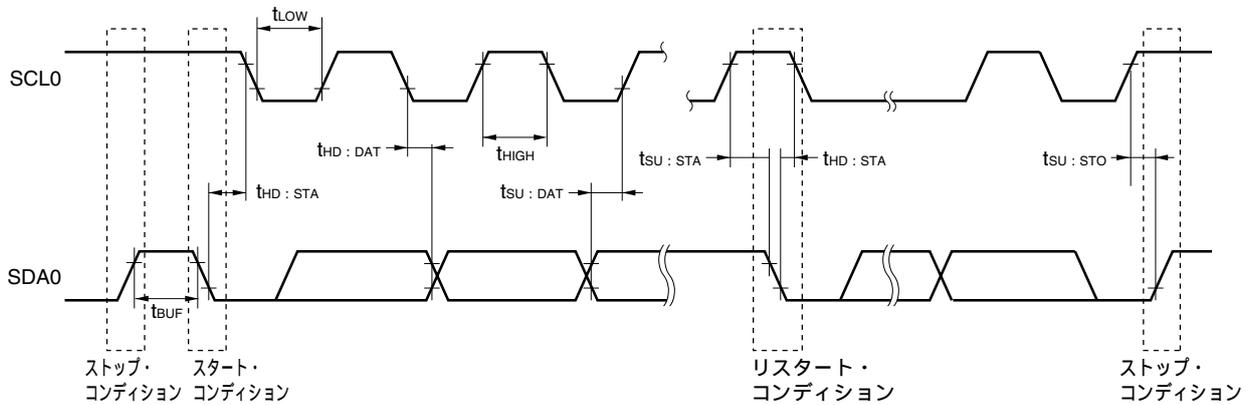
26. 6. 2 シリアル・インタフェースIICA

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ $AV_{REF} V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	高速モード: f _{CLK} 3.5 MHz 標準モード: f _{CLK} 1 MHz	0	100	0	400	kHz
リスタート・コンディションのセットアップ時間 ^{注1}	t _{SU : STA}		4.7		0.6		μs
ホールド時間	t _{HD : STA}		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		0.6		μs
パス・フリー時間	t _{BUF}		4.7		1.3		μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウェイトがかかります。

IICAシリアル転送タイミング



26. 6. 3 オンチップ・デバッグ (UART)

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = 5.5$ V, $V_{SS}/EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		フラッシュ・メモリ・プログラミング・モード			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	3.0 V $V_{DD}/EV_{DD} = 5.5$ V			10	MHz

26. 6. 4 A/Dコンバータ特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} = 5.5$ V, 4.75 V $IV_{DD} = 5.25$ V, 1.8 V $AV_{REF} = V_{DD}/EV_{DD}$, $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES				10	bit	
総合誤差 ^{注1, 2}	AINL				±0.35	%FSR	
変換時間	t_{CONV}	4.0 V $AV_{REF} = 5.5$ V	高速モード1	2.5		66.6	μs
			標準モード	5.2		66.6	μs
		2.7 V $AV_{REF} < 4.0$ V	高速モード2	3.5		66.6	μs
			標準モード	8.6		66.6	μs
		1.8 V $AV_{REF} < 2.7$ V	低電圧モード	24.1		66.6	μs
ゼロスケール誤差 ^{注1, 2}	EZS				±0.25	%FSR	
フルスケール誤差 ^{注1, 2}	EFS				±0.25	%FSR	
積分直線性誤差 ^{注1}	ILE				±2.5	LSB	
微分直線性誤差 ^{注1}	DLE				±1.5	LSB	
アナログ入力電圧	V_{AIN}	1.8 V $AV_{REF} < 5.5$ V	AV_{SS}		AV_{REF}	V	

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

26. 6. 5 IO-Linkトランシーバ特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} = 5.5$ V, 4.75 V $IV_{DD} = 5.25$ V, 1.8 V $AV_{REF} = V_{DD}/EV_{DD}$, $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵レギュレータの出力電圧	V_{IVDD}	8 V $V_{DDH} = 36$ V, $IV_{DD} = V_{REGO}$	4.75	5	5.25	V
	V_{VREGO}	外付けNPNトランジスタ使用時		$IV_{DD} + 0.7$		V
内蔵レギュレータの出力電流	IV_{REGO}	$IV_{DD} = V_{REGO}$			20	mA
トランスミッタ停止になる IV_{DD} の下限電圧	IV_{DD_UV}		3.5		4.5	V
トランスミッタ停止になる V_{DD_IO} の下限電圧	$V_{DD_IO_UV}$		1.5		3	V

(1) トランスミッタ

(a) DC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ AV_{REF}
 $V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

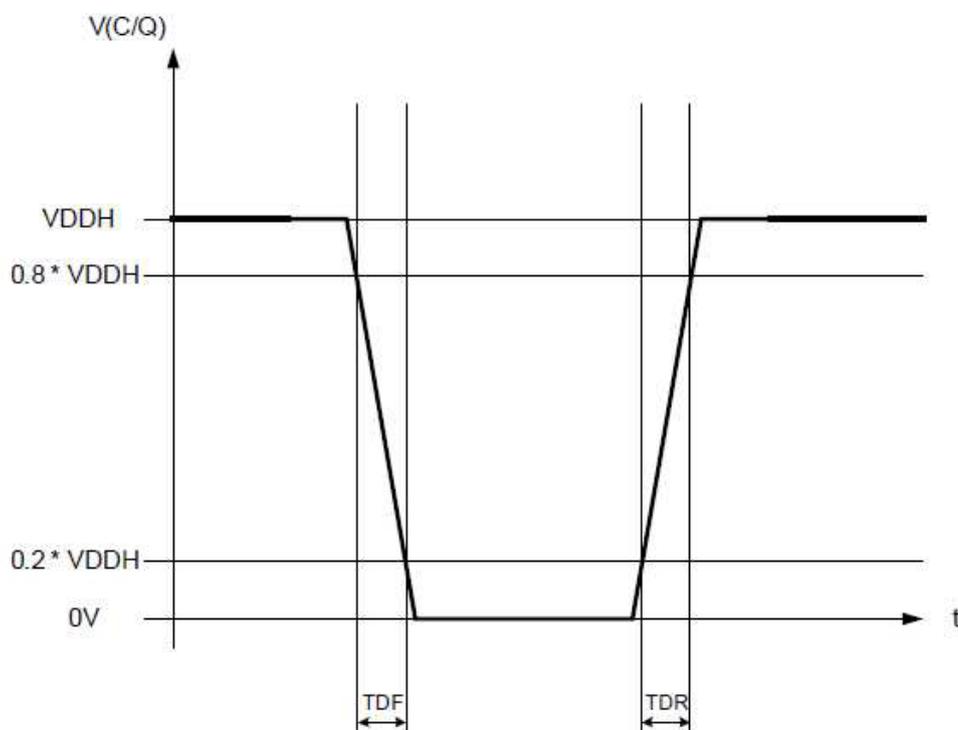
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位		
ロウ・レベル側DCドライ バ残留電圧	V_{RQLs}	TXD = ハイ・レベル	$I_{QLs} = 100 \text{ mA}$			1.5	V	
			$I_{QLs} = 200 \text{ mA}$ 8 V $V_{DDH} < 15 \text{ V}$			2.5	V	
			$I_{QLs} = 200 \text{ mA}$ 15 V $V_{DDH} 36 \text{ V}$			2.0	V	
ハイ・レベル側DCドライ バ残留電圧	V_{RQHs}	TXD = ロウ・レベル	$I_{QHs} = -100 \text{ mA}$	$V_{SUP} - 1.7$			V	
			TXD = ハイ・レベル	$I_{QHs} = -200 \text{ mA}$ 8 V $V_{DDH} < 15 \text{ V}$	$V_{SUP} - 2.5$			V
				$I_{QHs} = -200 \text{ mA}$ 15 V $V_{DDH} 36 \text{ V}$	$V_{SUP} - 2.0$			V
過電流遮断しきい値 (ロウ・レベル側)	I_{THL_OFF}	ロウ・レベル側ドライバ電流, TXD = ハイ・レベル, SILIM = ロウ・レベル	220	350	480	mA		
過電流遮断しきい値 (ハイ・レベル側)	I_{THH_OFF}	ハイ・レベル側ドライバ電流, TXD = ロウ・レベル, SILIM = ロウ・レベル	- 480	- 350	- 220	mA		

備考 V_{SUP} : 電源電圧

(b) AC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, 1.8 V$ $AV_{REF} V_{DD}/EV_{DD}, V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧立ち上がり時間 230.4 kBaud	T _{DR}	Cload = 5 nF, Rload = 2 kΩ, TXD 立ち下がり時	SPEED = ハイ・レベル		896	ns
出力電圧立ち上がり時間 38.4 kBaud			SPEED = ロウ・レベル		5.2	μs
出力電圧立ち下がり時間 230.4 kBaud	T _{DF}	Cload = 5 nF, Rload = 2 kΩ, TXD 立ち上がり時	SPEED = ハイ・レベル		896	ns
出力電圧立ち下がり時間 38.4 kBaud			SPEED = ロウ・レベル		5.2	μs
過電流検出時間	T _{ON_OL}	ショートにより過電流条件が1つ発生時	5		75	μs
リカバリ時間 (過電流検出後の電源オフ時間)	T _{OFF_OL_8V}	V _{DDH} = 8 V	5	12	25	T _{ON_OL}
	T _{OFF_OL_36V}	V _{DDH} = 36 V	15	35	80	T _{ON_OL}
TXD セットアップ時間 (TXEN 立ち上げ前)	T _{setup}	アプリケーション情報	1			μs
TXD ホールド時間 (TXEN 立ち下げ後)	T _{hold}	アプリケーション情報	1			μs
TXEN 伝播遅延時間 (TXEN 立ち上げ トランスミッタ動作許可)	T _{prop_txen}				1	μs



(2) レシーバ

(a) DC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入カスレッシュホールド電圧	V_{THHS}	$18\text{ V} < V_{DDH} < 30\text{ V}$	10.5		13	V
ロウ・レベル入カスレッシュホールド電圧	V_{THLS}	$18\text{ V} < V_{DDH} < 30\text{ V}$	8		11.5	V
入カスレッシュホールド・ヒステリシス	V_{HYSS}	$18\text{ V} < V_{DDH} < 30\text{ V}$	1	2.5	4	V
レシーバ入力抵抗	R_{RX}	$-3\text{ V} < V_{CQ} < V_{SUP} + 3\text{ V}$	10	20	40	k
V_{DDH} 電源電圧範囲 (IO-Link 通信時)	V_{DDH}		18		30	V

備考 V_{SUP} : 電源電圧

(b) AC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
受信遅延時間	T_{D_RX}	情報パラメータ		200	300	ns
許容最小ビット長	T_{BIT_MIN}		250		1000	ns

(3) ウェイクアップ

(a) DC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DDH} 電源電圧範囲 (ウェイクアップ検出機能時)	V_{DDH}		18		32	V

(b) AC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ウェイクアップ・デバウンス時間	T_{WU}	TXDの反転レベルを受信することで、過電流イベントが1つ発生した時	20		74	μs

(4) 温度モニタ

(a) DC特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/EV_{DD} = V_{DD_IO}$ 5.5 V, 4.75 V I_{VDD} 5.25 V, 1.8 V AV_{REF}
 V_{DD}/EV_{DD} , $V_{SS}/EV_{SS} = AV_{SS} = GND1 = GND2 = 0$ V)

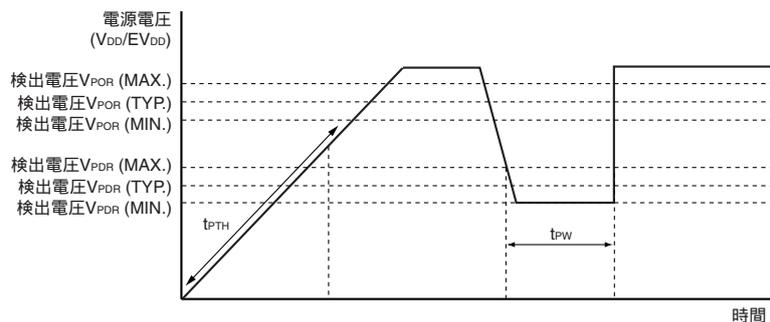
項目	略号	条件	MIN.	TYP.	MAX.	単位
過温度スレッシュホールド	T_{over}		155	175	200	

26. 6. 6 POC回路特性

($T_A = -40 \sim +85$, $V_{SS}/EV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POR}	電源立ち上がり時	1.52	1.61	1.70	V
	V_{PDR}	電源立ち下がり時	1.50	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 V$ V_{POR} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



26. 6. 7 電源電圧立ち上げ時間

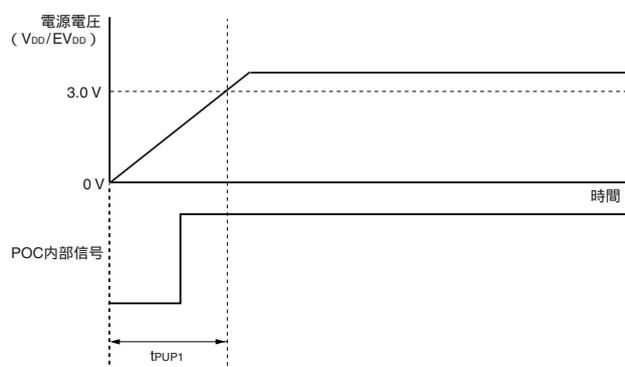
($T_A = -40 \sim +85$, $V_{SS}/EV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
3.0V (V_{DD}/EV_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD}/EV_{DD} : 0V \sim 3.0V$)	t_{PUP1}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力未使用時			6.0	ms
3.0V (V_{DD}/EV_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $V_{DD}/EV_{DD} : 3.0V$)	t_{PUP2}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力使用時			1.88	ms

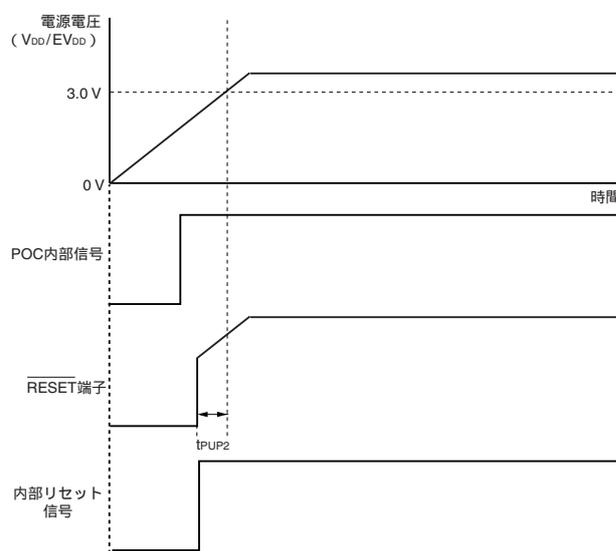
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時 (POC解除後, \overline{RESET} 端子による外部リセットが解除される場合)



26. 6. 8 LVI回路特性

($T_A = -40 \sim +85$, $V_{PDR} \ V_{DD}/EV_{DD} = V_{DD_IO} \ 5.5 \ V, 4.75 \ V \ I_{VDD} \ 5.25 \ V, V_{SS}/EV_{SS} = GND1 = GND2 = 0 \ V$)

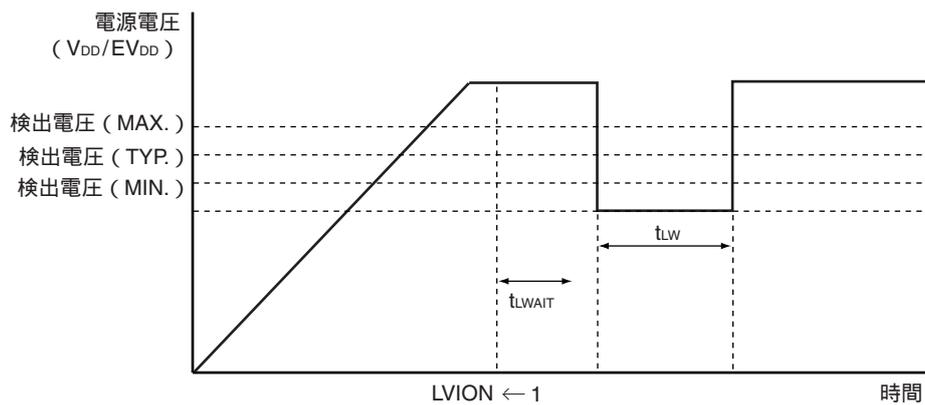
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
検出電圧	電源電圧レベル	V_{LV10}	4.12	4.22	4.32	V	
		V_{LV11}	3.97	4.07	4.17	V	
		V_{LV12}	3.82	3.92	4.02	V	
		V_{LV13}	3.66	3.76	3.86	V	
		V_{LV14}	3.51	3.61	3.71	V	
		V_{LV15}	3.35	3.45	3.55	V	
		V_{LV16}	3.20	3.30	3.40	V	
		V_{LV17}	3.05	3.15	3.25	V	
	外部入力端子 ^{注1}	V_{EXLVI}	$EXLVI < V_{DD}/EV_{DD}, 3.0 \ V \ V_{DD}/EV_{DD} \ 5.5 \ V$	1.11	1.21	1.31	V
	電源立ち上げ時 電源電圧	V_{PUPLVI}	LVIデフォルト・スタート機能動作時	1.87	2.07	2.27	V
最小パルス幅	t_{LW}		200			μs	
検出遅延					200	μs	
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs	

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LV1(n-1)} > V_{LV1n} : n = 1-7$

LVI回路タイミング

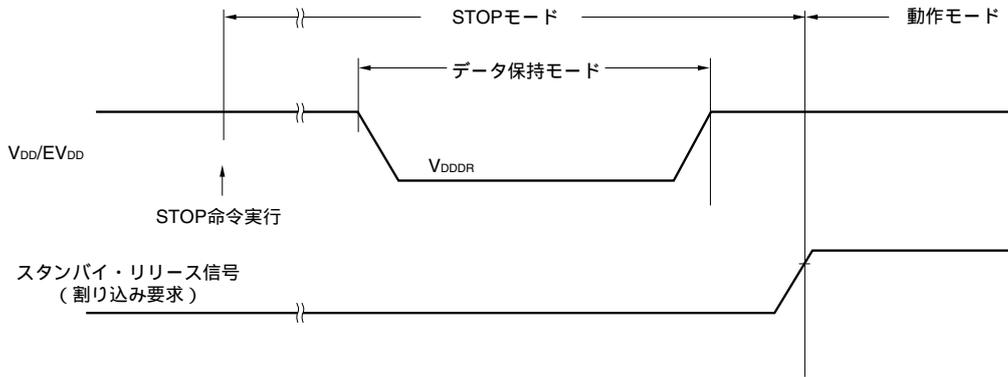


26.7 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 ^註		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかる前まではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



26.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 3.0 V $V_{DD}/E_{VDD} = V_{DD_IO} 5.5 V, 4.75 V$ $I_{VDD} 5.25 V, V_{SS}/E_{VSS} = GND1 = GND2 = 0 V$)

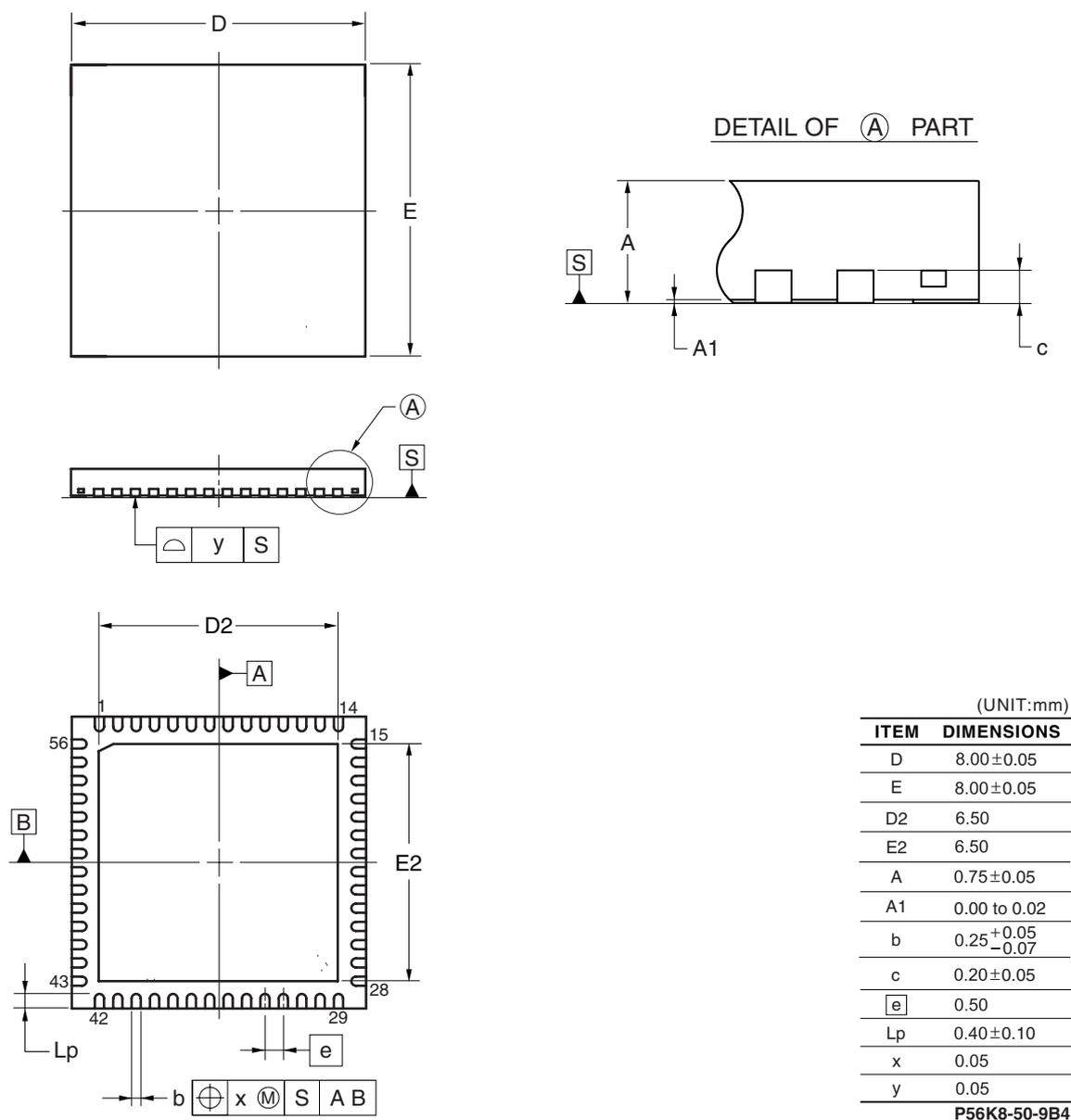
項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} /E _{VDD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz		6	20	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}	3.0 V $V_{DD}/E_{VDD} 5.5 V$	2		20	MHz
書き換え回数 (ブロックごとの消去回数)	C _{enwr}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	保持 15年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレー ション・ライブラリ使用時	保持 5年	10,000		回

備考 データを複数回更新する場合は、データ更新用途として使用してください。

第27章 外形图

(1) μPD78F8040K8-9B4-AX, 78F8041K8-9B4-AX, 78F8042K8-9B4-AX, 78F8043K8-9B4-AX

56-PIN PLASTIC WQFN(8x8)



(2) μPD78F8040F1-AD1-AX, 78F8041F1-AD1-AX, 78F8042F1-AD1-AX, 78F8043F1-AD1-AX

T.B.D.

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表28 - 1 表面実装タイプの半田付け条件

(1) 56 ピン・プラスチック QFN (8 x 8)

μ PD78F8040K8-9B4-AX, 78F8041K8-9B4-AX, 78F8042K8-9B4-AX, 78F8043K8-9B4-AX

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意1. 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

- μ PD78F8040, 78F8041, 78F8042, 78F8043マイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

(2) 56 ピン・プラスチック FBGA (4 x 7)

μ PD78F8040F1-AD1-AX, 78F8041F1-AD1-AX, 78F8042F1-AD1-AX, 78F8043F1-AD1-AX

T.B.D.

付録A 開発ツール

μ PD78F8040, 78F8041, 78F8042, 78F8043を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

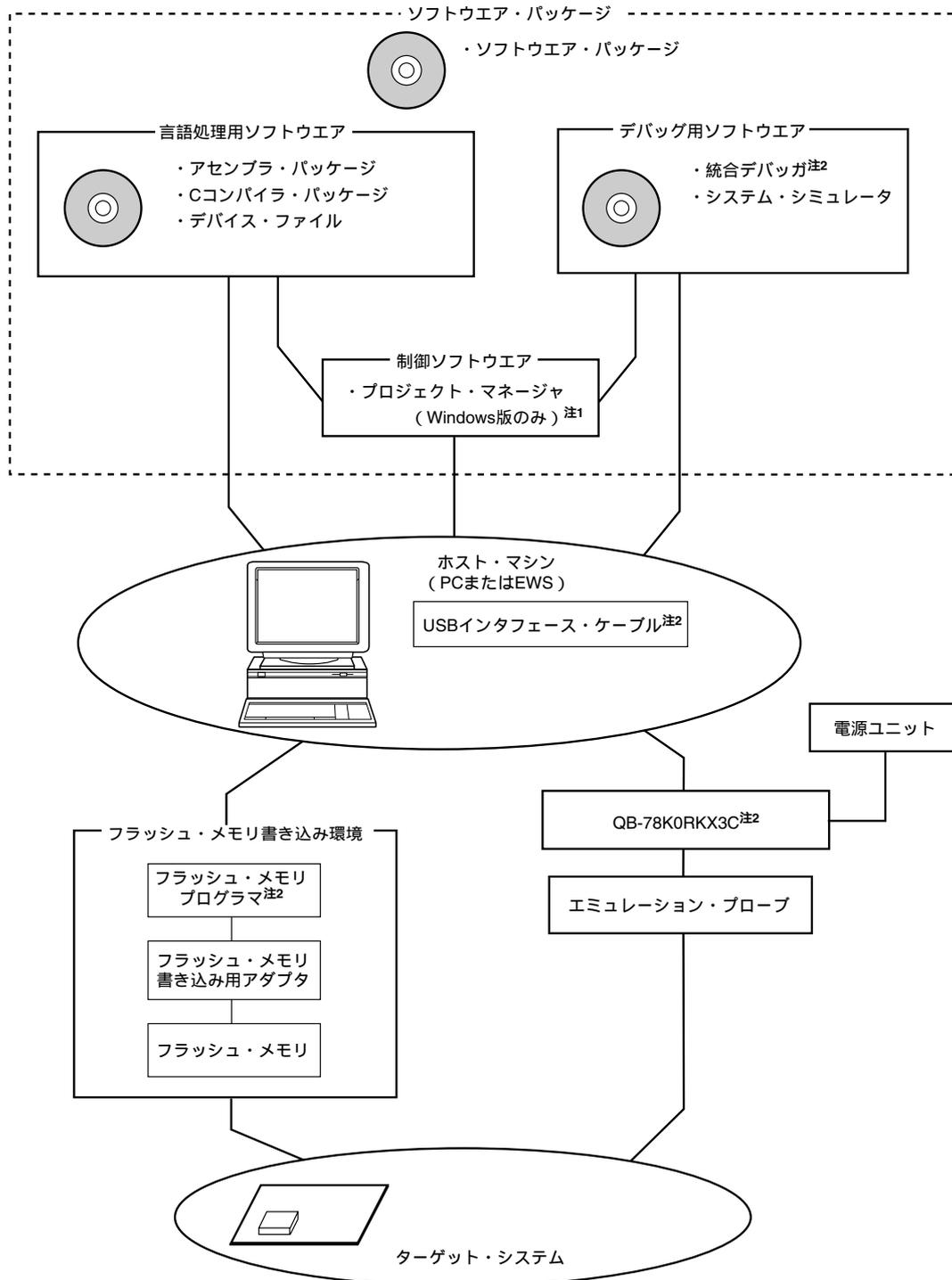
Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98
- Windows NT[®]
- Windows 2000
- Windows XP[®]

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合

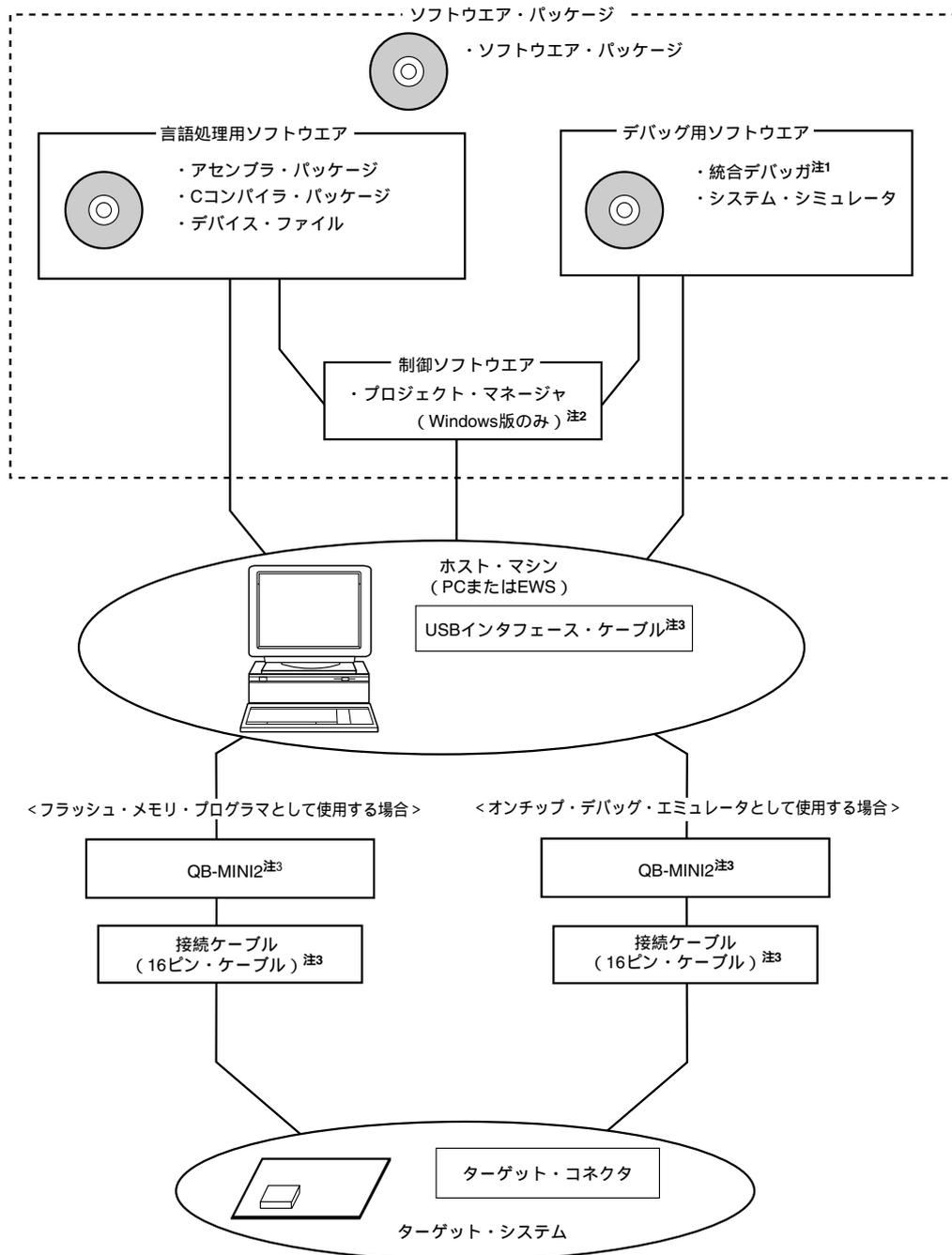


注1. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

2. QB-78K0RKX3Cは、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2とUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



- 注1. 統合デバッガ ID78K0R-QBは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) から入手してください。
- 注2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。
- 注3. オンチップ・デバッグ・エミュレータ QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) から入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。
78K0Rマイクロコントローラ・ソフトウェア・パッケージ	
オーダ名称：μS × × × × SP78K0R	

備考 オーダ名称の × × × × は、使用するホスト・マシン，OSにより異なります。

μS × × × × SP78K0R

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル (DF788043 ^注) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μS × × × × RA78K0R
CC78K0R Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μS × × × × CC78K0R
DF788043 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール (RA78K0R, CC78K0R, SM+ for 78K0R, ID78K0R-QB) と組み合わせて使用します。対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称: μS × × × × DF788043

注 DF788043は、RA78K0R, CC78K0R, SM+ for 78K0R, ID78K0R-QBのすべての製品に共通に使用できます。

備考 オーダ名称の × × × × は、使用するホスト・マシン、OSにより異なります。

μS × × × × RA78K0R

μS × × × × CC78K0R

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS × × × × DF788043

× × × ×	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0R) の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F8043K8-9B4-RX FA-78F8043F1-AD1-RX ^注 フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 開発中

備考 FL-PR5, FA-78F8043K8-9B4-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先： 株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。μPD78F8040, 78F8041, 78F8042, 78F8043を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	---

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 5 デバッグ用ツール (ハードウェア)

A. 5.1 インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合

QB-78K0RKX3C インサーキット・エミュレータ	μ PD78F8040, 78F8041, 78F8042, 78F8043を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ (ID78K0R-QB) に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-COMMON-PW-JP 電源ユニット (日本向け)	インサーキット・エミュレータIECUBE全製品とフラッシュ・メモリ・プログラマPG-FP5で共通に使用できる電源ユニットです。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-144-EP-02S エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-78F8043-EA-01T QB-78F8043-EA-02T ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-56K8-NQ-01T QB-56F1-NQ-01T ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注 開発中

備考 QB-78K0RKX3Cは、USBインタフェース・ケーブル、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル)、78K0-OCDボードを添付しています。μ PD78F8040, 78F8041, 78F8042, 78F8043を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	---

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.6 デバッグ用ツール(ソフトウェア)

SM+ for 78K0R システム・シミュレータ	SM+ for 78K0Rは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for 78K0Rを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル(DF788043)と組み合わせて使用します。 オーダ名称: μS × × × × SM781000
ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBIは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称: μS × × × × ID78K0R-QB

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS × × × × SM781000

μS × × × × ID78K0R-QB

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B 改版履歴

B.1 本版で改訂された主な箇所

箇所	内容	分類
全般		
-	URLをルネサス エレクトロニクス社のWEBサイトに変更	-
第1章 概 説		
p.2, 4, 9	FBGAパッケージ製品を追加	(d)
第2章 MCUとIO-Linkトランシーバの接続		
p.13	2.3.2 IO-Linkトランシーバ内蔵レギュレータを使用する場合に注意を追加	(c)
第22章 フラッシュ・メモリ		
p.602	表22-1 μPD78F8040, 78F8041, 78F8042, 78F8043と専用フラッシュ・メモリ・プログラムの配線表にピン番号 (FBGAパッケージ製品) を追加	(d)
第26章 電気的特性		
p.646	FBGAパッケージ製品のターゲット (目標値) に関する注意を追加	(d)
p.650, 651	26.4.1 端子特性に I_{OH1} と I_{OL1} のスペックと注意を追加	(b)
p.652	26.4.1 端子特性に V_{IH7} と V_{IL7} のスペックを追加	(b)
p.659	電源構成別電流経路図に注意を追加	(b)
p.685-687	26.6.5 IO-Linkトランシーバ特性にスペックを追加	(b)
第28章 半田付け推奨条件		
全般	章を追加	(b)
付録A 開発ツール		
p.700	A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合にフラッシュ・メモリ書き込み用アダプタを追加	(d)
p.701	A.5.1 インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合にエクステンジ・アダプタとターゲット・コネクタを追加	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版 数	内 容	適用箇所
第2版	暫定スペックから正式スペックに変更, REGC, IVDD端子に接続するコンデンサの容量値からターゲットを削除, TIS0, TIS1, PIM1, POM1レジスタを削除	全般
	関連資料を変更	はじめに
	1.1 特 徴の高速内蔵発振クロック内蔵を変更	第1章 概 説
	リセット処理のチェック・エラーによる内部リセットを追加	
	3.2.15 RESETに説明を追加	第3章 端子機能
	図5-1から図5-4 メモリ・マップに注を追加	第5章 CPUアーキテクチャ
	表5-5 SFR一覧(2/5)のTIS0, TIS1レジスタを削除	
	図6-19 ポート・モード・レジスタのフォーマットを変更	第6章 ポート機能
	図6-20 ポート・レジスタのフォーマットを変更	
	図6-24 A/Dポート・コンフィギュレーション・レジスタ(ADPC)のフォーマットに注意3を追加	
	図7-2 クロック動作モード制御レジスタ(CMC)のフォーマットのAMPHビットの説明を変更	第7章 クロック発生回路
	図7-3 システム・クロック制御レジスタ(CKC)のフォーマットを変更	
	表7-2 CPUクロックと最小命令実行時間の関係を変更	
	図7-4 クロック動作ステータス制御レジスタ(CSC)のフォーマットに注と注意5を追加	
	図7-6 発振安定時間選択レジスタ(OSTS)のフォーマットの注意3を変更	
	図7-7 20 MHz高速内蔵発振制御レジスタ(DSCCTL)のフォーマットに注意3を追加	
	7.3(7)周辺イネーブル・レジスタ0(PER0)に説明を追加	
	図7-9 動作スピード・モード制御レジスタ(OSMC)のフォーマットの注意2, 3, 6を変更	
	7.4.2 高速内蔵発振回路を変更	
	図7-12 電源電圧投入時のクロック発生回路の動作(LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVI0FF = 1))を変更	
	図7-13 電源電圧投入時のクロック発生回路の動作(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF = 0))を変更	
	7.6 クロックの制御を変更	
	7.6.5 CPUクロック状態移行図に注2を追加	
	表7-4 CPUクロックの移行とSFRレジスタの設定例(1/3)(2)リセット解除後(A)に, CPUを高速システム・クロック動作(C)へ移行を変更, 備考を追加	
	表7-4 CPUクロックの移行とSFRレジスタの設定例(2/3)(4)CPUを高速内蔵発振クロック動作(B)から高速システム・クロック動作(C)へ移行を変更, 備考を追加	
	表7-8 f _{IH} ↔ f _{IMX} で要する最大クロック数を変更	
	8.1.2 複数チャンネルで動作する機能を変更	第8章 タイマ・アレイ・ユニット
	図8-1 タイマ・アレイ・ユニット0の全体ブロック図を変更	
	図8-2 タイマ・アレイ・ユニット1の全体ブロック図を変更	
	図8-3 タイマ・アレイ・ユニット0のチャンネル内部ブロック図を追加	
	図8-6 タイマ・クロック選択レジスタ _m (TPS _m)のフォーマットを変更	
	図8-7 タイマ・モード・レジスタ _{mn} (TMR _{mn})のフォーマット(1/3)に注意を追加	
	図8-20 タイマ出力モード・レジスタ _m (TOM _m)のフォーマットの備考を修正	
図8-21 入力切り替え制御レジスタ(ISC)のフォーマットを変更		
図8-24 ポート・モード・レジスタ0, 1, 3, 6(PM0, PM1, PM3, PM6)のフォーマットを変更		
8.5.1 TO _{mn} 端子の出力回路の構成の備考を修正		
図8-39 インターバル・タイマ/方形波出力機能時の操作手順(1/2)を修正		

(2/4)

版 数	内 容	適用箇所
第2版	図8 - 43 外部イベント・カウンタ機能時の操作手順を修正	第8章 タイマ・アレイ・ユニット
	図8 - 47 入力パルス間隔測定機能時の操作手順を修正	
	8.7.4 入力信号のハイ/ロウ・レベル幅測定としての動作に注意を追加	
	図8 - 51 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順を修正	
	8.8 タイマ・アレイ・ユニットの複数チャンネル連動動作機能の備考を修正	
	8.8.2 PWM機能としての動作の説明を変更	第9章 ウォッチドッグ・タイマ
	表9 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定を変更	
	9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定を変更 (ウインドウ・オープン期間25%の設定を削除)	
	図10 - 5 A/DコンバータのサンプリングとA/D変換のタイミングを変更	第10章 A/Dコンバータ
	図10 - 10 ポート・モード・レジスタ2, 15 (PM2, PM15) のフォーマットを変更	
	図10 - 11 A/Dコンバータの基本動作を変更	
	図10 - 13 セレクト・モード動作タイミング例を変更	
	10.6 (9) A/D変換スタート直後の変換結果についての説明を変更	
	表10 - 4 等価回路の各抵抗と容量値 (参考値) を変更	第10章 A/Dコンバータ
	10.6 (12) A/Dコンバータの動作開始についてを追加	
	PIM1, POM1レジスタを削除	第11章 シリアル・アレイ・ユニット
	図11 - 2 シリアル・アレイ・ユニット1のブロック図を変更	
	図11 - 5 シリアル・クロック選択レジスタm (SPSm) のフォーマットを変更	
	図11 - 6 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2) に注意を追加	
	図11 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2) に注を追加	
	11.3 (5) シリアル・データ・レジスタmn (SDRmn) の説明を変更	
	図11 - 9 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマットを変更	
	図11 - 10 シリアル・ステータス・レジスタmn (SSRmn) のフォーマットを変更	
	図11 - 11 シリアル・チャンネル開始レジスタm (SSm) のフォーマットを変更, 注を追加	
	図11 - 18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマットを変更	
	図11 - 24 3線シリアルI/O (CSI20) のマスタ送信時のレジスタ設定内容例を変更	
	11.5.2 マスタ受信を変更	
	図11 - 32 3線シリアルI/O (CSI20) のマスタ受信時のレジスタ設定内容例を変更	
	図11 - 37 マスタ受信 (シングル受信モード時) のフロー・チャートを修正	
	図11 - 38 マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) を追加	
	図14 - 39 マスタ受信 (連続受信モード時) のフロー・チャートを追加	
	図11 - 40 3線シリアルI/O (CSI20) のマスタ送受信時のレジスタ設定内容例を変更	
	図11 - 45 マスタ送受信 (シングル送受信モード時) のフロー・チャートを変更	
	図11 - 47 マスタ送受信 (連続送受信モード時) のフロー・チャートを変更	
	図11 - 48 3線シリアルI/O (CSI20) のスレープ送信時のレジスタ設定内容例を変更	
	図11 - 53 スレープ送信 (シングル送信モード時) のフロー・チャートを修正	
	図11 - 55 スレープ送信 (連続送信モード時) のフロー・チャートを修正	
	図11 - 56 3線シリアルI/O (CSI20) のスレープ受信時のレジスタ設定内容例を変更	
	図11 - 62 3線シリアルI/O (CSI20) のスレープ送受信時のレジスタ設定内容例を変更, 注意を追加	
	図11 - 63 スレープ送受信の初期設定手順に注意を追加	
	図11 - 65 スレープ送受信の再開設定手順に注意を追加	
図11 - 67 スレープ送受信 (シングル送受信モード時) のフロー・チャートを修正, 注意を追加		
図11 - 69 スレープ送受信 (連続送受信モード時) のフロー・チャートを修正, 注意を追加		
11.6 UART (UART0, UART2, UART3) 通信の動作の説明を変更		
図11 - 71 UART (UART2, UART3) のUART送信時のレジスタ設定内容例 (1/2) を変更		

(3/4)

版 数	内 容	適用箇所	
第2版	図11 - 79 UART (UART2, UART3) のUART受信時のレジスタ設定内容例 (1/2) を変更	第11章 シリアル・アレイ・ユニット	
	図11 - 89 LIN送信のフロー・チャートを変更		
	図11 - 93 IO-Linkトランシーバとの通信の設定手順を変更		
	11. 7. 5 IO-Link送受信を変更		
	図11 - 94 IO-Link送受信の初期設定手順を変更		
	図11 - 95 簡易I2C (IIC20) のアドレス・フィールド送信時のレジスタ設定内容例を変更		
	12. 6 タイミング・チャートを変更	第12章 シリアル・インタフェースIICA	
	図14 - 4 DMAモード・コントロール・レジスタn (DMCn) のフォーマットに注を追加	第14章 DMAコントローラ	
	14. 6 (2) DMA応答時間の注意2を変更		
	14. 6 (4) DMA保留命令を変更		
	15. 4. 4 割り込み要求の保留を変更	第15章 割り込み機能	
	表16 - 1 HALTモード時の動作状態を変更	第16章 スタンバイ機能	
	図16 - 4 HALTモードのリセットによる解除を変更		
	表16 - 2 STOPモード時の動作状態を変更		
	図16 - 5 STOPモードの割り込み要求発生による解除 (1/2) を変更		
	図16 - 6 STOPモードのリセットによる解除を変更		
	(6) リセット処理のチェック・エラーによる内部リセットを追加		
	図17 - 1 リセット機能のブロック図を変更	第17章 リセット機能	
	図17 - 2 RESET入力によるリセット・タイミングを変更		
	図17 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更		
	図17 - 4 STOPモード中のRESET入力によるリセット・タイミングを変更		
	表17 - 2 各ハードウェアのリセット受け付け後の状態 (3/3) を変更		
	表17 - 2 各ハードウェアのリセット受け付け後の状態 (3/3) の注2を変更		
	図17 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマットを変更		
	表17 - 3 リセット要求時のRESFレジスタの状態を変更		
	図18 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミングを変更		第18章 パワーオン・クリア回路
	図18 - 3 リセット解除後のソフト処理例を変更		第19章 低電圧検出回路
	図19 - 11 リセット解除後のソフト処理例を変更		
	20. 1 レギュレータの概要の説明を変更	第20章 レギュレータ	
	図20 - 1 レギュレータ・モード制御レジスタ (RMC) のフォーマットの注意2を変更		
	図21 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマットを変更	第21章 オプション・バイト機能	
	21. 4 オプション・バイトの設定を変更		
	専用フラッシュ・メモリ・プログラマとして, PG-FP5, FL-PR5とQB-MINI2を追加, PG-FP4, FL-PR4を削除	第22章 フラッシュ・メモリ	
	22. 3 通信方式の転送レートを変更		
	22. 4. 5 REGC端子の説明を変更		
	22. 8 セルフ書き込みによるフラッシュ・メモリ・プログラミングの説明を変更, 備考を追加		
	図22 - 10 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れを変更		
	表23 - 1 1線モードと2線モードの違いを変更	第23章 オンチップ・デバッグ機能	
	絶対最大定格 (TA = 25) (2/2) に最大許容電力を追加	第26章 電気的特性	
	26. 3. 2 内蔵発振回路特性の低速内蔵発振器発振周波数を変更		
	ハイ・レベル入力電圧, ロウ・レベル入力電圧の条件欄を変更		
	26. 4. 2 電源電流特性を変更		
26. 5. 1 基本動作の命令サイクル (最小命令実行時間), TI01-TI03, TI05, TI11, TI13入力ハイ, ロウ・レベル幅, TO01-TO03, TO05, TO11, TO13出力周波数を変更			

(4/4)

版 数	内 容	適用箇所
第2版	26. 6. 2 シリアル・インタフェースIICAのSCL0クロック周波数の条件欄を変更	第26章 電気的特性
	26. 6. 4 A/Dコンバータ特性を変更	
	図A - 1 開発ツール構成の(1)インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合を変更	付録A 開発ツール
	図A - 1 開発ツール構成の(2)プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を変更	
	A. 2 言語処理用ソフトウェアを変更	
	A. 4. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合を変更	
	A. 5. 1 インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合を変更	
	章を追加	付録B 改版履歴

μPD78F8040, 78F8041, 78F8042, 78F8043 ユーザーズマニュアル
ハードウェア編

発行年月日 2009年7月23日 Rev.0.01

2010年10月20日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

μPD78F8040,
78F8041,
78F8042,
78F8043