

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

SH-1 SH7020、SH7021

ハードウェアマニュアル

ルネサスSuperH™ RISC engine

HD6437020
HD6417020
HD6437021
HD6477021

はじめに

SH7020、SH7021 は、RISC (Reduced instruction set computer) 方式の CPU により、高性能な演算処理を実現し、システム構成に必要な周辺機能を集積すると同時に、携帯機器応用に不可欠な低消費電力を実現する新世代シングルチップ RISC マイコンです。

SH7020、SH7021 の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。

さらに SH7020、SH7021 は最少部品点数でユーザシステムを構成できるように内蔵周辺モジュールとして、ROM(マスク ROM)、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。また、外部メモリアクセスサポート機能により、グルーロジックなしに SRAM や DRAM と直接接続ができます。

このハードウェアマニュアルは、SH7020、SH7021 のハードウェアの機能について記載しています。

命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7000 シリーズの実行命令について

「SH-1/SH2/SH-DSP プログラミングマニュアル」

(資料 No. ADJ-602-085E)

開発環境システムについては、当社営業所までお問い合わせください。

マニュアルの構成

このマニュアルの構成を表1に示します。章の関連を図1に示します。

表1 マニュアルの構成

機能区分	章名	記号略称	内容
概要	1. 概要	-	特長、内部ブロック図、ピン配置、端子機能
CPU	2. CPU	CPU	レジスタ構成、データ構成、命令の特色、命令の分類、命令一覧
動作モード	3. 動作モード	-	MCUモード
内部モジュール クロック	4. 例外処理	-	リセット、アドレスエラー、割り込み、トラップ命令、不当命令
	5. 割り込みコントローラ	INTC	NMI 割り込み、ユーザブレイク割り込み、IRQ 割り込み、内蔵周辺モジュール割り込み
	6. ユーザブレイクコントローラ	UBC	ブレイクアドレス、ブレイクバスサイクルの選択
クロック	7. クロック発振器	CPG	水晶発振子、デューティ補正回路
バス	8. バスステートコントローラ	BSC	メモリ空間分割、DRAM インタフェース、リフレッシュ、ウェイトステート制御、パリティ制御
	9. ダイレクトメモリアクセスコントローラ	DMAC	オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、サイクルスチールモード、バーストモード
タイマ	10. 16ビットインテグレートッドタイムパルスユニット	ITU	波形出力モード、インプットキャプチャ機能、カウンタクリア機能、バッファ動作、PWM モード、相補PWM モード、リセット同期PWM モード、同期動作、位相計数モード、コンペアマッチ出力モード
	11. プログラマブルタイミングパターンコントローラ	TPC	コンペアマッチ出力トリガ、ノンオーバーラップ動作
	12. ウォッチドッグタイマ	WDT	ウォッチドッグタイマモード、インターバルタイマモード
データ処理	13. シリアルコミュニケーションインタフェース	SCI	調歩同期式モード、クロック同期式モード、マルチプロセッサ通信機能
端子	14. ピンファンクションコントローラ	PFC	端子機能の選択
	15. I/Oポート	I/O	I/Oポート
メモリ	16. ROM	ROM	内蔵ROM
	17. RAM	RAM	内蔵RAM
低消費電力状態	18. 低消費電力状態	-	スリープモード、スタンバイモード
電気的特性	19. 電気的特性	-	絶対最大定格、AC 特性、DC 特性、動作タイミング

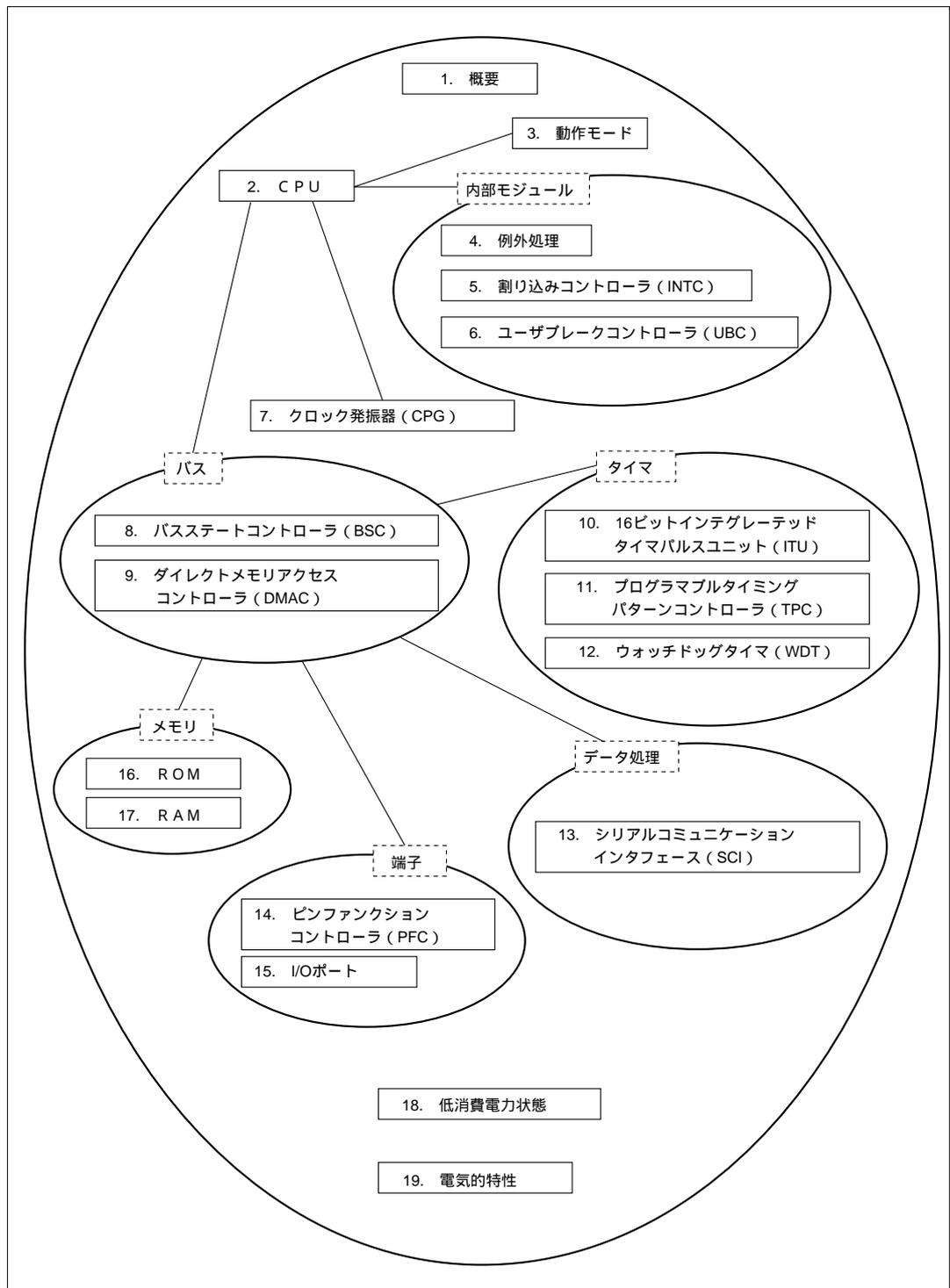


図1 マニュアル構成関連図

内蔵周辺モジュールレジスタのアドレスについて

内蔵周辺モジュールレジスタは、内蔵周辺モジュール空間（エリア 5:H'5000000 ~ H'5FFFFFFF）にあります。実際のレジスタ領域の大きさは512バイトで、アドレスのA23 ~ A9 ビットは無視されます。したがって、内蔵周辺モジュール空間には、実際のレジスタ領域と同一の内容を持った領域（シャドー）が512バイト単位で32 k個存在します。

本マニュアルでは、内蔵周辺モジュールレジスタがH'5FFFE00 ~ H'5FFFFFFFの512バイトの領域にあるものとして、レジスタアドレスを表示しています。このアドレスのA27 ~ A24 ビットとA8 ~ A0 ビットの値のみ有効で、A23 ~ A9 ビットは無視されます。例えば、H'5000000 ~ H'50001FF をアクセスしても、H'5FFFE00 ~ H'5FFFFFFF をアクセスしたときと結果は同じです。

詳細は、「8.3.5 エリアの説明（4）エリア」を参照してください。

内蔵周辺モジュール空間（エリア 5）の空きアドレスについて

内蔵周辺モジュール空間（エリア 5 : H'5000000 ~ H'5FFFFFFF）のうち、レジスタが存在しない空きアドレスに対しては読み出し / 書き込みを行わないでください。

目次

第1章 概要

1.1	特長	3	
1.2	ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	9
	1.3.3	モード別ピン配置	15

第2章 CPU

2.1	レジスタ構成	19	
	2.1.1	汎用レジスタ (Rn)	19
	2.1.2	コントロールレジスタ	20
	2.1.3	システムレジスタ	21
	2.1.4	レジスタの初期値	21
2.2	データ形式	22	
	2.2.1	レジスタのデータ形式	22
	2.2.2	メモリ上でのデータ形式	22
	2.2.3	イミディエイトデータのデータ形式	23
2.3	命令の特長	24	
	2.3.1	RISC方式	24
	2.3.2	アドレッシングモード	28
	2.3.3	命令形式	32
2.4	命令セット	35	
	2.4.1	分類順命令セット	35
	2.4.2	オペレーションコードマップ	46

2.5	処理状態	49
2.5.1	状態遷移	49
2.5.2	低消費電力状態	51

第3章 動作モード

3.1	動作モードの種類と選択	55
3.2	動作モードの説明	55
3.2.1	モード0 (MCUモード0)	55
3.2.2	モード1 (MCUモード1)	55
3.2.3	モード2 (MCUモード2)	55
3.2.4	モード7 (PROMモード)	55

第4章 例外処理

4.1	概要	59
4.1.1	例外処理の種類と優先順位	59
4.1.2	例外処理の動作	60
4.1.3	例外処理ベクタテーブル	61
4.2	リセット	63
4.2.1	リセットの種類	63
4.2.2	パワーオンリセット	63
4.2.3	マニュアルリセット	64
4.3	アドレスエラー	65
4.3.1	アドレスエラー発生要因	65
4.3.2	アドレスエラー例外処理	66
4.4	割り込み	67
4.4.1	割り込み要因	67
4.4.2	割り込み優先順位	67
4.4.3	割り込み例外処理	68
4.5	命令による例外	69
4.5.1	命令による例外の種類	69
4.5.2	トラップ命令	69
4.5.3	スロット不当命令	70
4.5.4	一般不当命令	70
4.6	例外要因が受け付けられない場合	71
4.6.1	遅延分岐命令の直後	71

4.6.2	割り込み禁止命令の直後	71
4.7	例外処理終了後のスタックの状態	72
4.8	使用上の注意	73
4.8.1	スタックポインタ (SP) の値	73
4.8.2	ベクタベースレジスタ (VBR) の値	73
4.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	73

第5章 割り込みコントローラ(INTC)

5.1	概要	77
5.1.1	特長	77
5.1.2	ブロック図	78
5.1.3	端子構成	79
5.1.4	レジスタ構成	79
5.2	割り込み要因	80
5.2.1	NMI 割り込み	80
5.2.2	ユーザブレイク割り込み	80
5.2.3	IRQ 割り込み	80
5.2.4	内蔵周辺モジュール割り込み	81
5.2.5	割り込み例外処理ベクタと優先順位	81
5.3	レジスタの説明	84
5.3.1	割り込み優先レベル設定レジスタ A ~ E (IPRA ~ IPRE)	84
5.3.2	割り込みコントロールレジスタ (ICR)	86
5.4	動作説明	87
5.4.1	割り込み動作の流れ	87
5.4.2	割り込み例外処理終了後のスタックの状態	90
5.5	割り込み応答時間	91
5.6	使用上の注意	92

第6章 ユーザブレイク コントローラ(UBC)

6.1	概要	95
6.1.1	特長	95
6.1.2	ブロック図	96
6.1.3	レジスタ構成	97
6.2	レジスタの説明	97
6.2.1	ブレイクアドレスレジスタ (BAR)	97

6.2.2	ブ레이크アドレスマスクレジスタ (BAMR)	98
6.2.3	ブ레이크バスサイクルレジスタ (BBR)	99
6.3	動作説明	101
6.3.1	ユーザブ레이크動作の流れ	101
6.3.2	内蔵メモリの命令フェッチサイクルによるブ레이크	103
6.3.3	退避するプログラムカウンタ (PC) の値	103
6.4	ユーザブ레이크使用例	104
6.5	使用上の注意	106
6.5.1	内蔵メモリの命令フェッチ	106
6.5.2	分岐時の命令フェッチ	106
6.5.3	命令フェッチでのブ레이크	106

第7章 クロック発振器(CPG)

7.1	概要	111
7.2	クロックソース	112
7.2.1	水晶発振子の接続方法	112
7.2.2	外部クロックの入力方法	113
7.3	使用上の注意	114

第8章 バスステートコントローラ(BSC)

8.1	概要	119
8.1.1	特長	119
8.1.2	ブロック図	120
8.1.3	端子構成	121
8.1.4	レジスタ構成	122
8.1.5	エリアの概要	122
8.2	レジスタの説明	125
8.2.1	バスコントロールレジスタ (BCR)	125
8.2.2	ウェイトステートコントロールレジスタ 1 (WCR1)	127
8.2.3	ウェイトステートコントロールレジスタ 2 (WCR2)	129
8.2.4	ウェイトステートコントロールレジスタ 3 (WCR3)	132
8.2.5	DRAM エリアコントロールレジスタ (DCR)	134
8.2.6	リフレッシュコントロールレジスタ (RCR)	137
8.2.7	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)	139
8.2.8	リフレッシュタイマカウンタ (RTCNT)	141

8.2.9	リフレッシュタイムコンスタントレジスタ (RTCOR)	142
8.2.10	パリティコントロールレジスタ (PCR)	143
8.2.11	レジスタアクセス時の注意	144
8.3	空間分割	146
8.3.1	アドレス空間とエリア	146
8.3.2	バス幅	149
8.3.3	チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$)	150
8.3.4	シャドー	151
8.3.5	エリアの説明	153
8.4	外部メモリ空間アクセス	160
8.4.1	基本タイミング	161
8.4.2	ウェイトステート制御	163
8.4.3	バイトアクセス制御	166
8.5	DRAM 空間アクセス	168
8.5.1	アドレスマルチプレクス	168
8.5.2	基本タイミング	171
8.5.3	ウェイトステート制御	173
8.5.4	バイトアクセス制御	174
8.5.5	バースト動作	176
8.5.6	リフレッシュ制御	181
8.6	アドレス/データマルチプレクス I/O 空間アクセス	186
8.6.1	基本タイミング	186
8.6.2	ウェイトステート制御	187
8.6.3	バイトアクセス制御	188
8.7	パリティチェック・生成	188
8.8	ワープモード	189
8.9	ウェイトステート制御	190
8.10	バスアービトレーション	192
8.10.1	バスアービトレーションの動作について	193
8.10.2	\overline{BACK} 信号の動作	194
8.11	使用上の注意	196
8.11.1	マニュアルリセットに関する使用上の注意	196
8.11.2	パリティデータ端子 DPH、DPL に関する使用上の注意	198
8.11.3	\overline{BREQ} 入力からバス権解放までの最大ステート数	199

第9章 ダイレクトメモリアクセスコントローラ(DMAC)

9.1	概要	205
9.1.1	特長	205
9.1.2	ブロック図	207
9.1.3	端子構成	208
9.1.4	レジスタ構成	209
9.2	レジスタの説明	210
9.2.1	DMA ソースアドレスレジスタ 0 ~ 3 (SAR0~SAR3)	210
9.2.2	DMA デスティネーションアドレスレジスタ 0 ~ 3 (DAR0~DAR3)	210
9.2.3	DMA トランスファカウンタレジスタ 0 ~ 3 (TCR0~TCR3)	211
9.2.4	DMA チャンネルコントロールレジスタ 0 ~ 3 (CHCR0~CHCR3)	211
9.2.5	DMA オペレーションレジスタ (DMAOR)	217
9.3	動作説明	220
9.3.1	DMA 転送フロー	220
9.3.2	DMA 転送要求	222
9.3.3	チャンネルの優先順位	224
9.3.4	DMA 転送の種類	228
9.3.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	237
9.3.6	DMA 転送終了	245
9.4	使用例	247
9.4.1	内蔵 RAM とメモリマップト外部デバイス間の DMA 転送例	247
9.4.2	内蔵 SCI と外部メモリとの DMA 転送例	248
9.5	使用上の注意	249

第10章 16ビットインテグレートドタイマパルスユニット(ITU)

10.1	概要	255
10.1.1	特長	255
10.1.2	ブロック図	259
10.1.3	端子構成	264
10.1.4	レジスタ構成	266
10.2	レジスタの説明	269
10.2.1	タイマスタートレジスタ (TSTR)	269
10.2.2	タイマシンクロレジスタ (TSNC)	271
10.2.3	タイマモードレジスタ (TMDR)	273
10.2.4	タイマファンクションコントロールレジスタ (TFCR)	276
10.2.5	タイマアウトプットコントロールレジスタ (TOCR)	278

10.2.6	タイマカウンタ (TCNT)	279
10.2.7	ジェネラルレジスタ A、B (GRA、GRB).....	280
10.2.8	バッファレジスタ A、B (BRA、BRB)	281
10.2.9	タイマコントロールレジスタ (TCR).....	282
10.2.10	タイマ I/O コントロールレジスタ (TIOR).....	284
10.2.11	タイマステータスレジスタ (TSR).....	286
10.2.12	タイマインタラプトイネーブルレジスタ (TIER)	288
10.3	CPU とのインタフェース.....	290
10.3.1	16 ビットアクセス可能なレジスタ	290
10.3.2	8 ビットアクセスのレジスタ.....	292
10.4	動作説明	293
10.4.1	概要.....	293
10.4.2	基本機能.....	295
10.4.3	同期動作.....	304
10.4.4	PWM モード	306
10.4.5	リセット同期 PWM モード.....	310
10.4.6	相補 PWM モード.....	313
10.4.7	位相計数モード.....	321
10.4.8	バッファ動作.....	323
10.4.9	ITU 出力タイミング.....	329
10.5	割り込み	330
10.5.1	ステータスフラグのセットタイミング.....	330
10.5.2	ステータスフラグのクリアタイミング.....	332
10.5.3	割り込み要因と DMA コントローラの起動	333
10.6	使用上の注意	334

第 11 章 プログラマブルタイミングパターンコントローラ(TPC)

11.1	概要	355
11.1.1	特長.....	355
11.1.2	ブロック図.....	356
11.1.3	端子構成.....	357
11.1.4	レジスタ構成.....	358
11.2	レジスタの説明	359
11.2.1	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	359
11.2.2	ポート B データレジスタ (PBDR)	359
11.2.3	ネクストデータレジスタ A (NDRA)	360

11.2.4	ネクストデータレジスタ B (NDRB)	362
11.2.5	ネクストデータイネーブルレジスタ A (NDERA)	364
11.2.6	ネクストデータイネーブルレジスタ B (NDERB)	365
11.2.7	TPC出力コントロールレジスタ (TPCR)	366
11.2.8	TPC出力モードレジスタ (TPMR)	368
11.3	動作説明	371
11.3.1	概要	371
11.3.2	出力タイミング	372
11.3.3	TPC出力通常動作	373
11.3.4	TPC出力ノンオーバーラップ動作	375
11.3.5	インプットキャプチャによる TPC 出力	377
11.4	使用上の注意	378
11.4.1	ノンオーバーラップ動作時の注意	378

第 12 章 ウォッチドッグタイマ(WDT)

12.1	概要	383
12.1.1	特長	383
12.1.2	ブロック図	384
12.1.3	端子構成	384
12.1.4	レジスタ構成	385
12.2	レジスタの説明	386
12.2.1	タイマカウンタ (TCNT)	386
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	386
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	388
12.2.4	レジスタアクセス時の注意	390
12.3	動作説明	392
12.3.1	ウォッチドッグタイマモード時の動作	392
12.3.2	インターバルタイマモード時の動作	394
12.3.3	スタンバイモード解除時の動作	394
12.3.4	オーバフローフラグ (OVF) のセットタイミング	395
12.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	396
12.4	使用上の注意	397
12.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	397
12.4.2	CKS2 ~ CKS0 ビットの書き換え	397
12.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り換え	398
12.4.4	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	398

12.4.5	ウォッチドッグタイマモードでの内部リセット	398
--------	-----------------------	-----

第13章 シリアルコミュニケーションインタフェース(SCI)

13.1	概要	401
13.1.1	特長	401
13.1.2	ブロック図	403
13.1.3	端子構成	404
13.1.4	レジスタ構成	404
13.2	レジスタの説明	406
13.2.1	レシープシフトレジスタ (RSR)	406
13.2.2	レシープデータレジスタ (RDR)	406
13.2.3	トランスミットシフトレジスタ (TSR)	407
13.2.4	トランスミットデータレジスタ (TDR)	407
13.2.5	シリアルモードレジスタ (SMR)	408
13.2.6	シリアルコントロールレジスタ (SCR)	411
13.2.7	シリアルステータスレジスタ (SSR)	416
13.2.8	ビットレートレジスタ (BRR)	422
13.3	動作説明	431
13.3.1	概要	431
13.3.2	調歩同期式モード時の動作	433
13.3.3	マルチプロセッサ通信機能	444
13.3.4	クロック同期式モード時の動作	452
13.4	SCIの割り込み要因とDMAC	461
13.5	使用上の注意	462

第14章 ピンファンクションコントローラ(PFC)

14.1	概要	469
14.2	レジスタ構成	471
14.3	レジスタの説明	471
14.3.1	ポートA・IOレジスタ (PAIOR)	471
14.3.2	ポートAコントロールレジスタ1、2 (PACR1、PACR2)	472
14.3.3	ポートB・IOレジスタ (PBIOR)	478
14.3.4	ポートBコントロールレジスタ1、2 (PBCR1、PBCR2)	478
14.3.5	カラムアドレスストローブピンコントロールレジスタ (CASCRCR)	484

第15章 I/Oポート(I/O)

15.1	概要	489
15.2	ポートA	489
15.2.1	レジスタ構成	490
15.2.2	ポートAデータレジスタ (PADR)	490
15.3	ポートB	491
15.3.1	レジスタ構成	491
15.3.2	ポートBデータレジスタ (PBDR)	492

第16章 ROM

16.1	概要	495
16.2	PROMモード	497
16.2.1	PROMモードの設定	497
16.2.2	ソケットアダプタの端子対応とメモリマップ	497
16.3	PROMのプログラミング	500
16.3.1	プログラミングモードの選択	500
16.3.2	書き込み/ベリファイと電気的特性	501
16.3.3	書き込み時の注意	504
16.3.4	書き込み後の信頼性	505

第17章 RAM

17.1	概要	509
17.2	動作説明	509

第18章 低消費電力状態

18.1	概要	513
18.1.1	低消費電力状態の種類	513
18.1.2	関連レジスタ	514
18.2	スタンバイコントロールレジスタ (SBYCR)	515
18.3	スリープモード	517
18.3.1	スリープモードへの遷移	517
18.3.2	スリープモードの解除	517

18.4	スタンバイモード	519
18.4.1	スタンバイモードへの遷移	519
18.4.2	スタンバイモードの解除	521
18.4.3	スタンバイモードの応用例	522

第19章 電気的特性

19.1	絶対最大定格	525
19.2	DC 特性	526
19.3	AC 特性	531
19.3.1	クロックタイミング	531
19.3.2	制御信号タイミング	533
19.3.3	バスタイミング	536
19.3.4	ダイレクトメモリアクセスコントローラタイミング	567
19.3.5	16ビットインテグレートドタイマパルスユニットタイミング	569
19.3.6	プログラマブルタイミングパターンコントローラ、I/Oポートタイミング	570
19.3.7	ウォッチドッグタイマタイミング	571
19.3.8	シリアルコミュニケーションインタフェースタイミング	572
19.3.9	AC 特性測定条件	573
19.4	使用上の注意	573

付 録

A.	内蔵周辺モジュールレジスタ	577
A.1	レジスタ一覧	577
A.2	レジスタ早見表	590
A.3	リセット、低消費電力状態でのレジスタ状態	658
B.	端子状態	660
B.1	リセット、低消費電力状態、バス権解放状態での端子状態	660
B.2	各アドレス空間へのアクセスにおける端子状態	662
C.	ROM 発注手順	666
C.1	ROM 書き換え品開発の流れ（発注手順）	666
C.2	ROM 発注時の注意事項	667
D.	外形寸法図	668

1. 概要

第1章 目次

1.1	特長	3	
1.2	ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	9
	1.3.3	モード別ピン配置	15

1.1 特長

本 LSI は、日立オリジナルの RISC 方式の CPU を核にして、システム構成に必要な周辺機能を集積した新世代シングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、SRAM や DRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

また、内蔵 ROM には PROM 版とマスク ROM 版があります。PROM 版は汎用 PROM ライタを用いて、ユーザサイトで自由にプログラムの書き込みができます。

SH7020、SH7021 の特長を表 1.1 に示します。

表 1.1 SH7020、SH7021 の特長 (1)

項目	特徴
CPU	日立オリジナルアーキテクチャ 内部 32 ビット構成 汎用レジスタマシン - 汎用レジスタ 32 ビット × 16 本 - コントロールレジスタ 32 ビット × 3 本 - システムレジスタ 32 ビット × 4 本 RISC 方式の命令セット - 16 ビット固定長命令による優れたコード効率 - ロードストアアーキテクチャ (基本演算はレジスタ間で実行) - 無条件分岐命令を遅延分岐方式とすることで、分岐時のパイプラインの乱れを軽減 - C 言語指向の命令セット 命令実行時間 基本命令は 1 命令 / 1 ステート (20MHz 動作時: 50ns/命令) アドレス空間 アーキテクチャ上は 4GB

(続く)

表 1.1 SH7020、SH7021 の特長 (2)

項目	特長
CPU	乗算器内蔵 乗算器内蔵により、 16×16 32 の乗算を 1~3 ステートで実行 $16 \times 16 + 42$ 42 の積和演算を 2~3 ステートで実行 パイプライン 5 段パイプライン方式
動作状態	動作モード - 内蔵 ROM なしモード - 内蔵 ROM ありモード 処理状態 - パワーオンリセット状態 - マニュアルリセット状態 - プログラム実行状態 - 例外処理状態 - バス権解放状態 - 低消費電力状態 低消費電力状態 - スリープモード - スタンバイモード
割り込みコントローラ (INTC)	外部割り込み端子 $\times 9$ 本 (NMI、 $\overline{IRQ0} \sim \overline{IRQ7}$) 内部割り込み要因 30 要因 16 レベルの優先順位設定が可能
ユーザブ레이크コントローラ (UBC)	CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 オンチップデバッガの構築が容易
クロック発振器 (CPG)	クロック発振器内蔵 (最大動作周波数: 20MHz) - デューティ補正回路により 20MHz 水晶発振で、20MHz 動作
バスステートコントローラ (BSC)	外部のメモリアクセスをサポート - 外部データバスは 16 ビット アドレス空間を 8 エリアに分割 各々のエリアに以下の特性を設定 - バスサイズ (8/16 ビット) - ウェイトサイクル数の設定可否 - 空間の種類 (外部メモリ空間/DRAM 空間など) ・ ROM、SRAM、DRAM、周辺 I/O などを容易に接続可能 - DRAM 空間アクセス時...

(続く)

表 1.1 SH7020、SH7021 の特長 (3)

項目	特長
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> ・ DRAM 用 $\overline{\text{RAS}}$、$\overline{\text{CAS}}$ 信号を出力 ・ RAS プリチャージタイム確保用 T_p サイクル発生可能 ・ アドレスマルチプレクスを内部でサポートし、DRAM 直結可能 <p>- 各エリアに対応したチップセレクト信号 ($\overline{\text{CS0}} \sim \overline{\text{CS7}}$) を出力</p> <p>DRAM リフレッシュ機能</p> <ul style="list-style-type: none"> - プログラマブルなりフレッシュ間隔 - CAS ピフォ RAS リフレッシュ/セルフリフレッシュをサポート <p>DRAM パーストアクセス機能</p> <ul style="list-style-type: none"> - DRAM の高速アクセスモードをサポート <p>外部 WAIT 信号によるウェイトサイクルの挿入可</p> <p>1 段のライトバッファによる性能向上</p> <p>データバス用パリティ生成/チェック可能</p>
ダイレクトメモリアク セスコントローラ (DMAC) ×4 チャンネル	<p>下記デバイス間の DMA 転送が可能</p> <ul style="list-style-type: none"> - 外部メモリ、外部 I/O、内蔵メモリ、内蔵周辺モジュール(除く DMAC) <p>外部端子、内蔵 SCI、内蔵タイマ、内蔵 A/D からの DMA 転送要求可能</p> <p>サイクルスチールまたはパースト転送可能</p> <p>チャンネル間優先順位設定可能</p> <p>チャンネル 0、1 デュアル/シングルアドレスモード転送選択可、外部要求可</p> <p>チャンネル 2、3 デュアルアドレスモード転送、内部要求のみ</p>
16 ビットインテグレー テッドタイマパルスユ ニット (ITU)	<p>10 種類の波形の出力が可能</p> <p>入力パルスの幅や周期の測定が可能</p> <p>PWM モード: 0 ~ 100% のデューティパルス出力可能(最大分解能 50ns)</p> <p>相補 PWM モード: ノンオーバーラップ PWM 波形を最大 3 組まで出力可能</p> <p>位相係数モード: 外部 2 相クロックの位相によりカウンタのアップ/ダウン可能</p>
タイミングパターン コントローラ (TPC)	<p>最大 16 ビット (4 ビット × 4 チャンネル) の出力が可能</p> <p>2 つの波形間でノンオーバーラップ期間の設定が可能</p> <p>タイミングソースとなるタイマを選択可能</p>
ウォッチドッグタイマ (WDT) ×1 チャンネル	<p>ウォッチドッグタイマ/インターバルタイマの切り換えが可能</p> <p>カウントオーバーフロー時、内部リセット、外部信号、または割り込みを発生</p> <p>内部リセットはパワーオンリセットとマニュアルリセット選択可能</p>

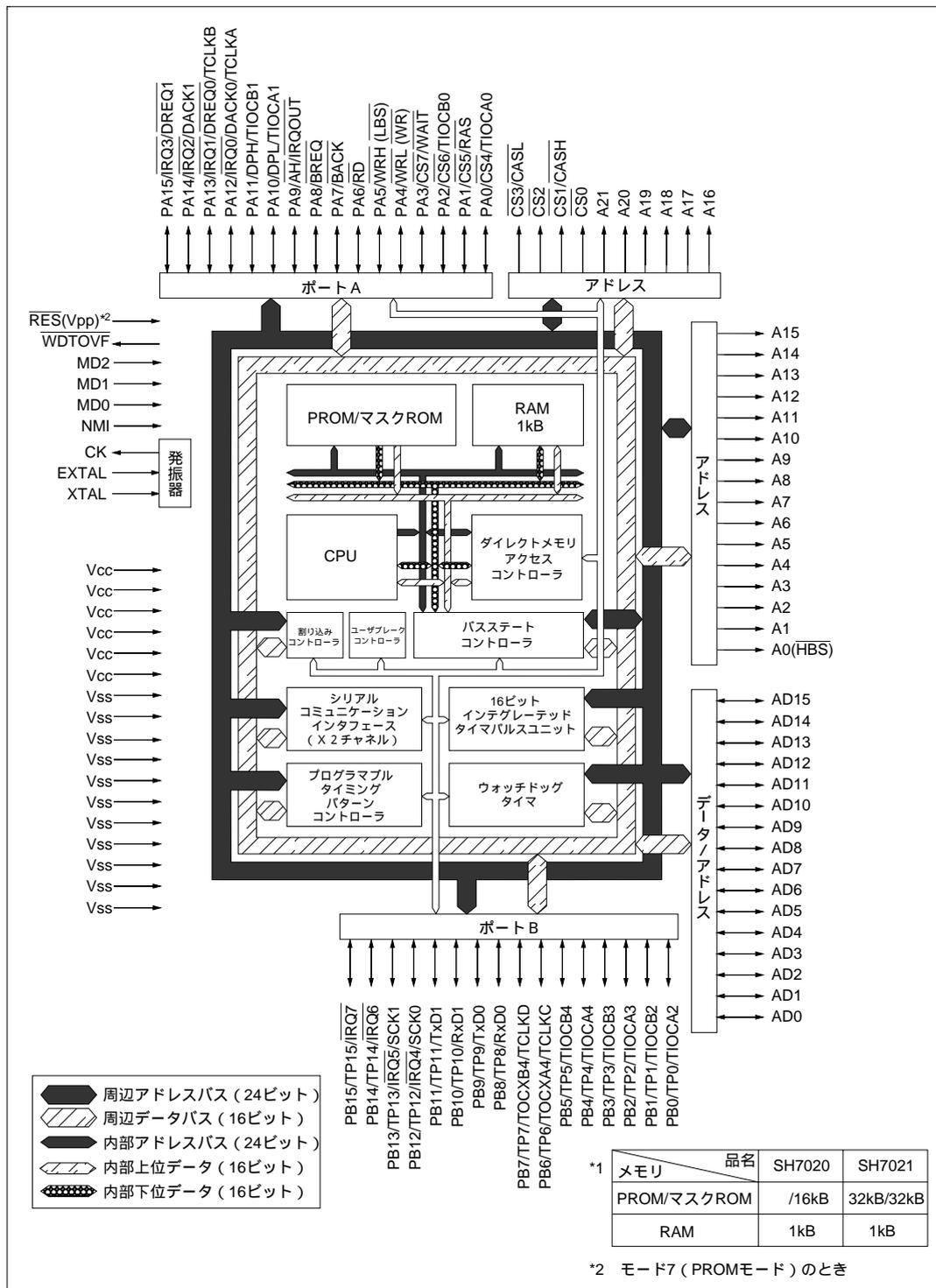
(続く)

1. 概要

表 1.1 SH7020、SH7021 の特長 (4)

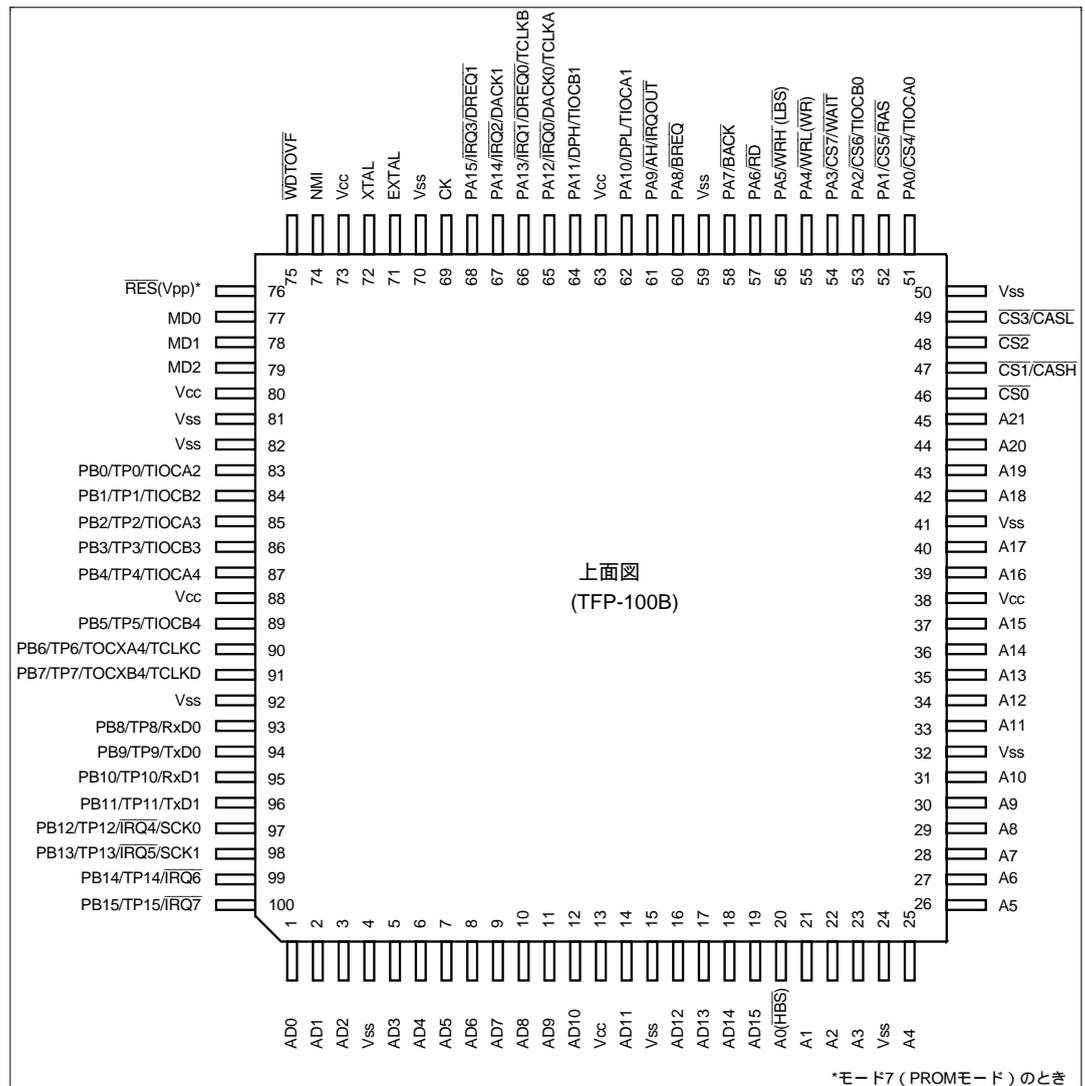
項目	特長																																																																																			
シリアルコミュニケーションインタフェース (SC1) × 2 チャンネル	調歩同期/クロック同期式モードの選択が可能 送受信を同時に行うことが可能 (全二重) チャンネル毎に専用のポーレートジェネレータ内蔵 マルチプロセッサ間通信機能																																																																																			
I/O ポート	入出力 : 32 本、入力 : 8 本、合計 40 本 - ポート A : 入出力 × 16 本 ビット毎に入出力設定可能 - ポート B : 入出力 × 16 本 ビット毎に入出力設定可能																																																																																			
内蔵メモリ	<table border="1"> <thead> <tr> <th>メモリ</th> <th>品名</th> <th>SH7020</th> <th>SH7021</th> </tr> </thead> <tbody> <tr> <td>ROM</td> <td></td> <td>16kB</td> <td>32kB*</td> </tr> <tr> <td>RAM</td> <td></td> <td>1kB</td> <td>1kB</td> </tr> </tbody> </table> <p>*マスク ROM または PROM 32 ビットを 1 ステートでアクセス可能</p>	メモリ	品名	SH7020	SH7021	ROM		16kB	32kB*	RAM		1kB	1kB																																																																							
メモリ	品名	SH7020	SH7021																																																																																	
ROM		16kB	32kB*																																																																																	
RAM		1kB	1kB																																																																																	
製品ラインアップ	<table border="1"> <thead> <tr> <th>品種</th> <th>ROM</th> <th>動作電圧</th> <th>動作周波数</th> <th>温度範囲</th> <th>製品型名</th> <th>マーキング型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td rowspan="8">SH7021</td> <td rowspan="2">マスク</td> <td rowspan="2">5.0V</td> <td>2 ~ 20MHz</td> <td>-20 ~ +75</td> <td>HD6437021X</td> <td>HD6437021TE</td> <td rowspan="8">100 ピン プラスチック TQFP (TFP-100B)</td> </tr> <tr> <td>2 ~ 16.6MHz</td> <td>-40 ~ +85</td> <td>HD6437021XI</td> <td>HD6437021TEI</td> </tr> <tr> <td rowspan="2">ROM</td> <td rowspan="2">3.3V</td> <td>2 ~ 12.5MHz</td> <td>-20 ~ +75</td> <td>HD6437021VX</td> <td>HD6437021VTE</td> </tr> <tr> <td>2 ~ 12.5MHz</td> <td>-40 ~ +85</td> <td>HD6437021VXI</td> <td>HD6437021VTEI</td> </tr> <tr> <td rowspan="2">PROM</td> <td rowspan="2">5.0V</td> <td>2 ~ 20MHz</td> <td>-20 ~ +75</td> <td>HD6477021X</td> <td>HD6477021TE</td> </tr> <tr> <td>2 ~ 16.6MHz</td> <td>-40 ~ +85</td> <td>HD6477021XI</td> <td>HD6477021TEI</td> </tr> <tr> <td rowspan="2">ROM</td> <td rowspan="2">3.3V</td> <td>2 ~ 12.5MHz</td> <td>-20 ~ +75</td> <td>HD6477021VX</td> <td>HD6477021VTE</td> </tr> <tr> <td>2 ~ 12.5MHz</td> <td>-40 ~ +85</td> <td>HD6477021VXI</td> <td>HD6477021VTEI</td> </tr> <tr> <td rowspan="6">SH7020</td> <td rowspan="2">マスク</td> <td rowspan="2">5.0V</td> <td>2 ~ 20MHz</td> <td>-20 ~ +75</td> <td>HD6437020X</td> <td>HD6437020TE</td> </tr> <tr> <td>2 ~ 16.6MHz</td> <td>-40 ~ +85</td> <td>HD6437020XI</td> <td>HD6437020TEI</td> </tr> <tr> <td rowspan="2">ROM</td> <td rowspan="2">3.3V</td> <td>2 ~ 12.5MHz</td> <td>-20 ~ +75</td> <td>HD6437020VX</td> <td>HD6437020VTE</td> </tr> <tr> <td>2 ~ 12.5MHz</td> <td>-40 ~ +85</td> <td>HD6437020VXI</td> <td>HD6437020VTEI</td> </tr> <tr> <td>ROM</td> <td>5.0V</td> <td>2 ~ 20MHz</td> <td>-40 ~ +85</td> <td>HD6417020SX20I</td> <td>HD6417020X20I</td> </tr> <tr> <td>レス</td> <td>3.3V</td> <td>2 ~ 12.5MHz</td> <td>-40 ~ +85</td> <td>HD6417020SVX12I</td> <td>HD6417020VX12I</td> </tr> </tbody> </table>	品種	ROM	動作電圧	動作周波数	温度範囲	製品型名	マーキング型名	パッケージ	SH7021	マスク	5.0V	2 ~ 20MHz	-20 ~ +75	HD6437021X	HD6437021TE	100 ピン プラスチック TQFP (TFP-100B)	2 ~ 16.6MHz	-40 ~ +85	HD6437021XI	HD6437021TEI	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6437021VX	HD6437021VTE	2 ~ 12.5MHz	-40 ~ +85	HD6437021VXI	HD6437021VTEI	PROM	5.0V	2 ~ 20MHz	-20 ~ +75	HD6477021X	HD6477021TE	2 ~ 16.6MHz	-40 ~ +85	HD6477021XI	HD6477021TEI	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6477021VX	HD6477021VTE	2 ~ 12.5MHz	-40 ~ +85	HD6477021VXI	HD6477021VTEI	SH7020	マスク	5.0V	2 ~ 20MHz	-20 ~ +75	HD6437020X	HD6437020TE	2 ~ 16.6MHz	-40 ~ +85	HD6437020XI	HD6437020TEI	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6437020VX	HD6437020VTE	2 ~ 12.5MHz	-40 ~ +85	HD6437020VXI	HD6437020VTEI	ROM	5.0V	2 ~ 20MHz	-40 ~ +85	HD6417020SX20I	HD6417020X20I	レス	3.3V	2 ~ 12.5MHz	-40 ~ +85	HD6417020SVX12I	HD6417020VX12I
品種	ROM	動作電圧	動作周波数	温度範囲	製品型名	マーキング型名	パッケージ																																																																													
SH7021	マスク	5.0V	2 ~ 20MHz	-20 ~ +75	HD6437021X	HD6437021TE	100 ピン プラスチック TQFP (TFP-100B)																																																																													
			2 ~ 16.6MHz	-40 ~ +85	HD6437021XI	HD6437021TEI																																																																														
	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6437021VX	HD6437021VTE																																																																														
			2 ~ 12.5MHz	-40 ~ +85	HD6437021VXI	HD6437021VTEI																																																																														
	PROM	5.0V	2 ~ 20MHz	-20 ~ +75	HD6477021X	HD6477021TE																																																																														
			2 ~ 16.6MHz	-40 ~ +85	HD6477021XI	HD6477021TEI																																																																														
	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6477021VX	HD6477021VTE																																																																														
			2 ~ 12.5MHz	-40 ~ +85	HD6477021VXI	HD6477021VTEI																																																																														
SH7020	マスク	5.0V	2 ~ 20MHz	-20 ~ +75	HD6437020X	HD6437020TE																																																																														
			2 ~ 16.6MHz	-40 ~ +85	HD6437020XI	HD6437020TEI																																																																														
	ROM	3.3V	2 ~ 12.5MHz	-20 ~ +75	HD6437020VX	HD6437020VTE																																																																														
			2 ~ 12.5MHz	-40 ~ +85	HD6437020VXI	HD6437020VTEI																																																																														
	ROM	5.0V	2 ~ 20MHz	-40 ~ +85	HD6417020SX20I	HD6417020X20I																																																																														
	レス	3.3V	2 ~ 12.5MHz	-40 ~ +85	HD6417020SVX12I	HD6417020VX12I																																																																														

1.2 ブロック図



1.3 端子説明

1.3.1 ピン配置



1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能 (1)

分類	記号	ピン番号	入出力	名称	機能
		FP-100			
電源	Vcc	13、38、63、 73、80、88、	入力	電源	電源に接続します。 Vcc 端子は、すべてシステムの電源に接続してください。開放端子があると動作しません。
	Vss	4、15、24、 32、41、50、 59、70、81、 82、92	入力	グラウンド	グラウンドに接続します。 Vss 端子は、すべてシステムのグラウンドに接続してください。開放端子があると動作しません。
	Vpp	76	入力	PROM プログラム電源	MCU モード時は \overline{RES} 端子扱いです。 SH7021 (PROM 版) の PROM プログラム時は、+12.5V を印加します。
クロック	EXTAL	71	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することができます。 水晶発振子も、外部クロックも、システムクロック (CK) と同じ周波数を使用してください。
	XTAL	72	入力	クリスタル	水晶発振子を接続します。周波数はシステムクロック (CK) と同じものを接続してください。 EXTAL 端子から外部クロックを入力するときは、XTAL 端子を開放にしてください。
	CK	69	出力	システムクロック	周辺デバイスにシステムクロックを供給します。

(続く)

表 1.2 端子の機能 (2)

分類	記号	ピン番号	入出力	名称	機能
		FP-100			
システム 制御	$\overline{\text{RES}}$	76	入力	リセット	NMI がハイレベルのときにこの端子がローレベルになると、パワーオン・リセット状態になります。また NMI がローレベルのときにこの端子をローレベルにするとマニュアル・リセット状態になります。
	$\overline{\text{WDTOVF}}$	75	出力	ウォッチドッグ タイマ オーバーフロー	WDT からのオーバーフロー出力信号です。
	$\overline{\text{BREQ}}$	60	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	$\overline{\text{BACK}}$	58	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。 $\overline{\text{BREQ}}$ 信号を出力したデバイスは、 $\overline{\text{BACK}}$ 信号を受けて、バス権を獲得したことを知ることができます。
動作 モード 制御	MD2 ~ MD0	79 ~ 77	入力	モード設定	動作モードを決める端子です。動作中は、入力値を変化させないでください。MD2 ~ MD0 と動作モードの関係は下記の表に示します。
割り込み	NMI	74	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$	65、66、67、 68、97、98、 99、100	入力	割り込み要求 0 ~ 7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択可能です。
	$\overline{\text{IRQOUT}}$	61	出力	スレーブ時割り 込み要求出力	割り込み要因が発生したことを示します。 バスリリース中の割り込み発生を知らせます。

(続 く)

表 1.2 端子の機能 (3)

分類	記号	ピン番号	入出力	名称	機能
アドレスバス	A21 ~ A0	45 ~ 42、 40、39、 37 ~ 33、 31 ~ 25、 23 ~ 20	出力	アドレスバス	アドレスを出力します。
データバス	AD15 ~ AD0	19 ~ 16、 14、 12 ~ 5、 3 ~ 1	入出力	データバス	16 ビットの双方向データバスです。アドレスの下位16ビットとマルチプレクス可能です。
	DPH	64	入出力	上位側データバスパリティ	D15 ~ D8 に対応するパリティデータです。
	DPL	62	入出力	下位側データバスパリティ	D7 ~ D0 に対応するパリティデータです。

(続く)

MD2 ~ MD0 と動作モードの関係

MD2	MD1	MD0	動作モード	内蔵 ROM	エリア 0 のバス幅
0	0	0	MCU モード	無効	8 ビットサイズ
0	0	1			16 ビットサイズ
0	1	0		有効*1	
0	1	1	(予約)		
1	0	0	(予約)		
1	0	1	(予約)		
1	1	0	(予約)		
1	1	1	PROM モード*2		

【注】 *1 SH7020ROM レス版は使用禁止

*2 SH7021ZTAT 版のみ使用可能

表 1.2 端子の機能 (4)

分類	記号	ピン番号	入出力	名称	機能
		TFP-100B			
バス制御	$\overline{\text{WAIT}}$	54	入力	ウェイト	外部空間をアクセスするときにバスサイクルに Tw の挿入をさせる入力です。
	$\overline{\text{RAS}}$	52	出力	ロウアドレスストロープ	DRAM のロウアドレスストロープのタイミング信号です。
	$\overline{\text{CASH}}$	47	出力	上位側カラムアドレスストロープ	DRAM のカラムアドレスストロープのタイミング信号です。 データの上位 8 ビットをアクセスするときに出力されます。
	$\overline{\text{CASL}}$	49	出力	下位側カラムアドレスストロープ	DRAM のカラムアドレスストロープのタイミング信号です。 データの下位 8 ビットをアクセスするときに出力されます。
	$\overline{\text{RD}}$	57	出力	リード	外部を読み出しすることを示します。
	$\overline{\text{WRH}}$	56	出力	上位側ライト	外部の上位 8 ビットに書き込みすることを示します。
	$\overline{\text{WRL}}$	55	出力	下位側ライト	外部の下位 8 ビットに書き込みすることを示します。
	$\overline{\text{CS0}} \sim \overline{\text{CS7}}$	46 ~ 49、 51 ~ 54、	出力	チップセレクト 0 ~ 7	外部メモリまたはデバイスのためのチップセレクト信号です。
	AH	61	出力	アドレスホールド	アドレス/データのマルチプレクスバスを使用するデバイスに対するアドレスホールドタイミング信号です。
	HBS、LBS	20 56	出力	上位/下位バイトストロープ	上位/下位バイトのストロープ信号です。(A0、 $\overline{\text{WRH}}$ と兼用)
	$\overline{\text{WR}}$	55	出力	ライト	書き込み時に出力されます。($\overline{\text{WRL}}$ と兼用)
DMAC	$\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$	66、68	入力	DMA 転送要求 (チャンネル 0、1)	外部からの DMA 転送要求の入力端子です。

(続 く)

表 1.2 端子の機能 (5)

分類	記号	ピン番号	入出力	名称	機能
		TFP-100B			
DMAC	DACK0、 DACK1	65、67	出力	DMA 転送要求受け付け(チャンネル0、1)	DMA 転送要求を受け付けたことを示します。
16ビット インテグ レート タイマ	TIOCA0、 TIOCB0	51、53	入出力	ITU インพุット キャプチャ/ア ウトプットコン ペア(チャンネル0)	インพุットキャプチャ入力/アウトプットコンペア出力端子です。
パルス ユニット (ITU)	TIOCA1、 TIOCB1	62、64	入出力	ITU インพุット キャプチャ/ア ウトプットコン ペア(チャンネル1)	インพุットキャプチャ入力/アウトプットコンペア出力端子です。
	TIOCA2、 TIOCB2	83、84	入出力	ITU インพุット キャプチャ/ア ウトプットコン ペア(チャンネル2)	インพุットキャプチャ入力/アウトプットコンペア出力端子です。
	TIOCA3、 TIOCB3	85、86	入出力	ITU インพุット キャプチャ/ア ウトプットコン ペア(チャンネル3)	インพุットキャプチャ入力/アウトプットコンペア出力端子です。
	TIOCA4、 TIOCB4	87、89	入出力	ITU インพุット キャプチャ/ア ウトプットコン ペア(チャンネル4)	インพุットキャプチャ入力/アウトプットコンペア出力端子です。
	TOCXA4、 TOCXB4	90、91	出力	ITU アウトプ ットコンペア (チャンネル4)	アウトプットコンペア出力端子です。
	TCLKA ~ TCLKD	65、66、90、 91	入力	ITU タイマ クロック入力	ITU のカウンタへの外部クロック入力端子です。

(続 く)

表 1.2 端子の機能 (6)

分類	記号	ピン番号	入出力	名称	機能
		TFP-100B			
タイミン グパター ンコント ローラ (TPC)	TP15 ~ TP0	100 ~ 93 91 ~ 89、 87 ~ 83、	出力	タイミング パターン出力 15 ~ 0	タイミングパターンの出力端子で す。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	TxD0、 TxD1	94、96	出力	送信データ (チャンネル0、1)	SCI0、1の送信データ出力端子です。
	RxD0、 RxD1	93、95	入力	受信データ (チャンネル0、 1)	SCI0、1の受信データ入力端子です。
	SCK0、 SCK1	97、98	入出力	シリアル クロック (チャンネル0、1)	SCI0、1のクロック入出力端子です。
I/Oポート	PA15 ~ PA0	68 ~ 64、 62 ~ 60、 58 ~ 51、	入出力	ポート A	16ビットの入出力端子です。 1ビットごとに入出力を指定できま す。
	PB15 ~ PB0	100 ~ 93、 91 ~ 89、 87 ~ 83、	入出力	ポート B	16ビットの入出力端子です。 1ビットごとに入出力を指定できま す。

1.3.3 モード別ピン配置

ピン番号 TFP-100	MCUモード	PROMモード (SH7021PROM版)	ピン番号 TFP-100	MCUモード	PROMモード (SH7021PROM版)
1	AD0	AD0	38	Vcc	Vcc
2	AD1	AD1	39	A16	A16
3	AD2	AD2	40	A17	Vcc
4	Vss	Vss	41	Vss	Vss
5	AD3	AD3	42	A18	Vcc
6	AD4	AD4	43	A19	NC
7	AD5	AD5	44	A20	NC
8	AD6	AD6	45	A21	NC
9	AD7	AD7	46	$\overline{CS0}$	NC
10	AD8	NC	47	$\overline{CS1/CASH}$	NC
11	AD9	NC	48	$\overline{CS2}$	NC
12	AD10	NC	49	$\overline{CS3/CASL}$	NC
13	Vcc	Vcc	50	Vss	Vss
14	AD11	NC	51	PA0/ $\overline{CS4/TIOCA0}$	NC
15	Vss	Vss	52	PA1/ $\overline{CS5/RAS}$	NC
16	AD12	NC	53	PA2/ $\overline{CS6/TIOCB0}$	\overline{PGM}
17	AD13	NC	54	PA3/ $\overline{CS7/WAIT}$	\overline{CE}
18	AD14	NC	55	PA4/ \overline{WRL} (\overline{WR})	NC
19	AD15	NC	56	PA5/ \overline{WFH} (LBS)	NC
20	A0(\overline{HBS})	A0	57	PA6/ \overline{FD}	NC
21	A1	A1	58	PA7/ \overline{BACK}	NC
22	A2	A2	59	Vss	Vss
23	A3	A3	60	PA8/ \overline{BREQ}	NC
24	Vss	Vss	61	PA9/ $\overline{AH/IRQOUT}$	NC
25	A4	A4	62	PA10/ $\overline{DPL/TIOCA1}$	NC
26	A5	A5	63	Vcc	Vcc
27	A6	A6	64	PA11/ $\overline{DPH/TIOCB1}$	NC
28	A7	A7	65	PA12/ $\overline{IRQ0/DACK0/TCLKA}$	NC
29	A8	A8	66	PA13/ $\overline{IRQ1/DREQ0/TCLKB}$	NC
30	A9	\overline{OE}	67	PA14/ $\overline{IRQ2/DACK1}$	NC
31	A10	A10	68	PA15/ $\overline{IRQ3/DREQ1}$	NC
32	Vss	Vss	69	CK	NC
33	A11	A11	70	Vss	Vss
34	A12	A12	71	EXTAL	NC
35	A13	A13	72	XTAL	NC
36	A14	A14	73	Vcc	Vcc
37	A15	A15	74	NMI	A9

1. 概要

ピン番号	MCUモード	PROMモード (SH7021PROM版)
TFP-100		
75	WDT0VF	NC
76	$\overline{\text{RES}}$	Vpp
77	MD0	Vcc
78	MD1	Vcc
79	MD2	Vcc
80	Vcc	Vcc
81	Vss	Vss
82	Vss	Vss
83	PB0/TP0/TIOCA2	NC
84	PB1/TP1/TIOCB2	NC
85	PB2/TP2/TIOCA3	NC
86	PB3/TP3/TIOCB3	NC
87	PB4/TP4/TIOCA4	NC
88	Vcc	Vcc
89	PB5/TP5/TIOCB4	NC
90	PB6/TP6/TOCXA4/TCLKC	NC
91	PB7/TP7/TOCXB4/TCLKD	NC
92	Vss	Vss
93	PB8/TP8/RxD0	NC
94	PB9/TP9/TxD0	NC
95	PB10/TP10/RxD1	NC
96	PB11/TP11/TxD1	NC
97	PB12/TP12/ $\overline{\text{IRQ4}}$ /SCK0	NC
98	PB13/TP13/ $\overline{\text{IRQ5}}$ /SCK1	NC
99	PB14/TP14/ $\overline{\text{IRQ6}}$	NC
100	PB15/TP15/ $\overline{\text{IRQ7}}$	NC

2 . CPU

第2章 目次

2.1	レジスタ構成	19
2.1.1	汎用レジスタ (Rn)	19
2.1.2	コントロールレジスタ	20
2.1.3	システムレジスタ	21
2.1.4	レジスタの初期値	21
2.2	データ形式	22
2.2.1	レジスタのデータ形式	22
2.2.2	メモリ上でのデータ形式	22
2.2.3	イミディエイトデータのデータ形式	23
2.3	命令の特長	24
2.3.1	RISC方式	24
2.3.2	アドレッシングモード	28
2.3.3	命令形式	32
2.4	命令セット	35
2.4.1	分類順命令セット	35
2.4.2	オペレーションコードマップ	46
2.5	処理状態	49
2.5.1	状態遷移	49
2.5.2	低消費電力状態	51

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ（Rn）

汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

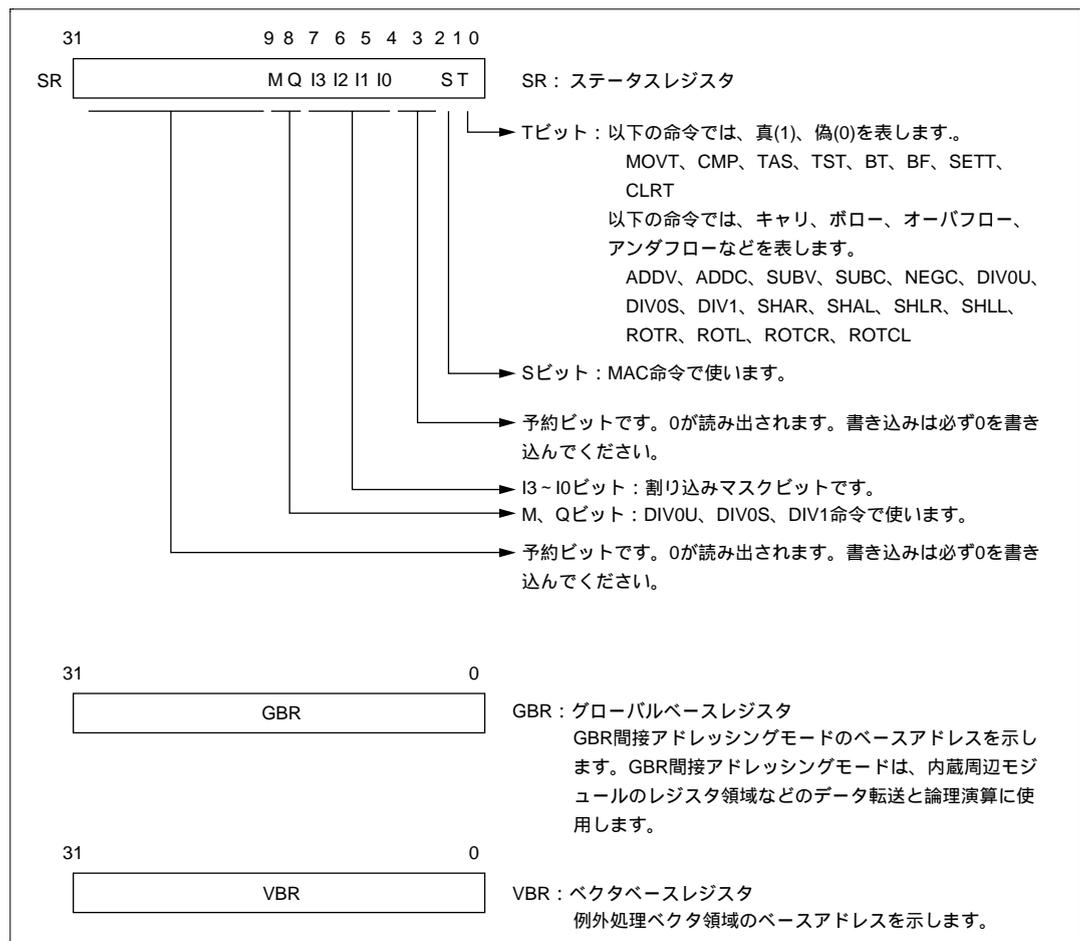
31	0	
		R0 ^{*1}
		R1
		R2
		R3
		R4
		R5
		R6
		R7
		R8
		R9
		R10
		R11
		R12
		R13
		R14
		R15、SP(ハードウェアスタックポインタ) ^{*2}

【注】^{*1} インデックス付きレジスタ間接、インデックス付きGBR間接アドレッシングモードのインデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタをR0に固定しているものがあります。

^{*2} R15は例外処理の中で、ハードウェアスタックポインタとして仮定しています。

2.1.2 コントロールレジスタ

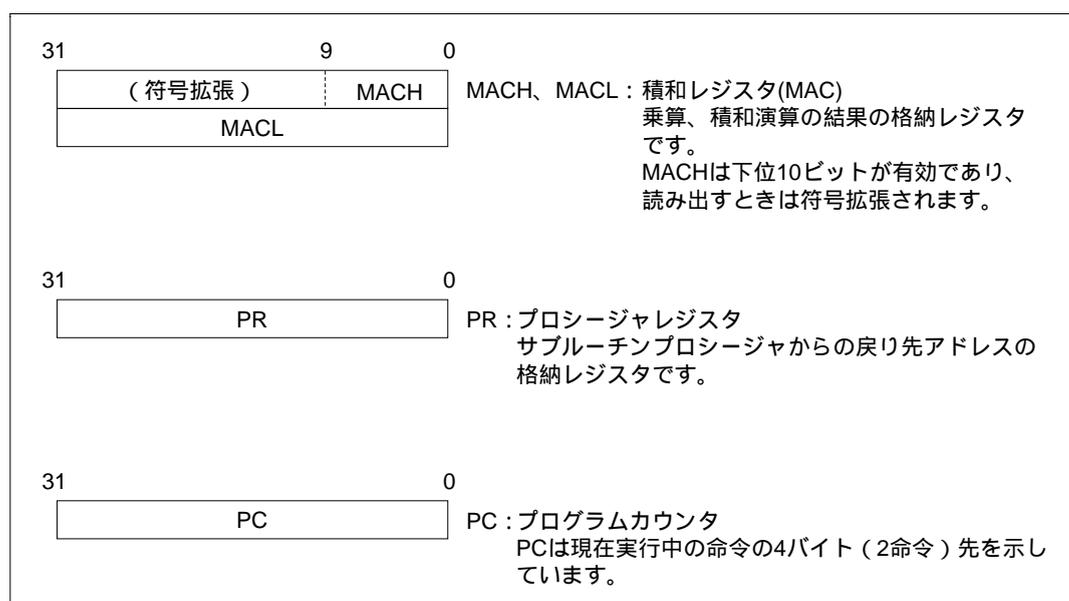
コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SR は処理の状態を表します。GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。



2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACLの2本）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは乗算または積和演算の結果を格納します。

PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。



2.1.4 レジスタの初期値

リセット後のレジスタの値を表2.1に示します。

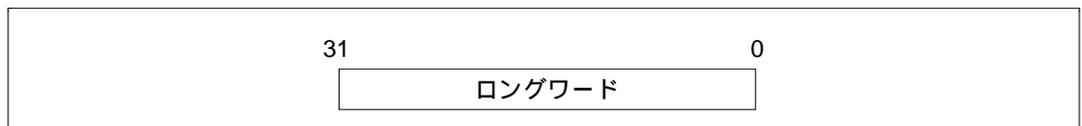
表2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0～R14	不定
	R15 (SP)	ベクタアドレステーブル中のSPの値
コントロールレジスタ	SR	I3～I0は1111 (H'F)、予約ビットは0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中のPCの値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ（SP、R15）が指し示すスタックにはプログラムカウンタ（PC）とステータスレジスタ（SR）をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。



2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、レジスタをロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位24ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令（MOV）で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。20MHz 動作時、1 ステートは 50ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-1 の CPU	説 明	他の CPU
MOV.W @ (disp, PC), R1 ADD R1, R0DATA. WH,1234	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。	ADD.W #H'1234, R0

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令は、この遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。（詳しくは「SH-1/SH-2 プログラミングマニュアル」を参照してください）。

表 2.3 遅延分岐命令

SH-1 の CPU		説 明	他の CPU
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD	R1, R0		BRA TRGET

(6) 乗算 / 積和演算

5 段パイプライン方式と乗算器内蔵により、 $16 \times 16 = 32$ の乗算を 1~3 ステートで、 $16 \times 16 + 42 = 42$ の積和演算を 2~3 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-1 の CPU		説 明	他の CPU
CMP/GE	R1, R0	R0 > R1 のとき T ビットがセットされます。 R0 < R1 のとき TRGET0 へ R0 < R1 のとき TRGET1 へ分岐します。	CMP.W R1, R0
BT	TRGET0		BGE TRGET0
BF	TRGET1		BLT TRGET1
ADD	#1, R0	ADD では T ビットが変化しません。 R0 = 0 のとき T ビットがセットされます。 R0 = 0 のとき分岐します。	SUB.W #1, R0
TST	R0, R0		BEQ TRGET
BT	TRGET		

(8) イミディエイトデータ

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付きPC相対アドレッシングモードを使ったイミディエイトデータの転送命令（MOV）で参照します。

表 2.5 イミディエイトデータによる参照

区 分	SH-1 の CPU	他の CPU
8ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16ビットイミディエイト	MOV.W @(disp, PC), R0DATA.W H'1234	MOV.W #H'1234, R0
32ビットイミディエイト	MOV.L @(disp, PC), R0DATA.L H'12345678	MOV.L #H'12345678, R0

【注】 @(disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	SH-1 の CPU	他の CPU
絶対アドレス	MOV.L @(disp, PC), R1 MOV.B @R1, R0DATA.L H'12345678	MOV.B @H'12345678, R0

【注】 @(disp, PC) でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

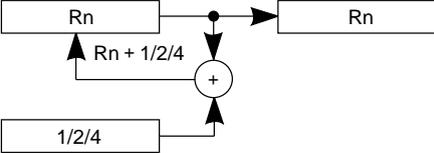
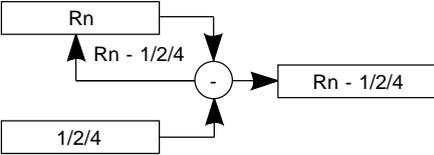
区 分	SH-1 の CPU	他の CPU
16ビットディスプレースメント	MOV.W @ (disp, PC) , R0	MOV.W @ (H'1234, R1) ,
	MOV.W @ (R0, R1) , R2	R2
	
	.DATA.W H'1234	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

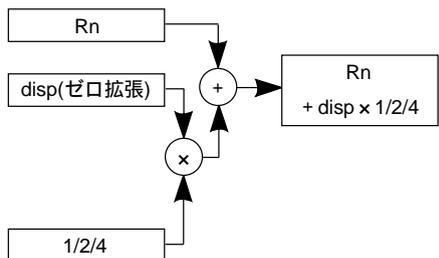
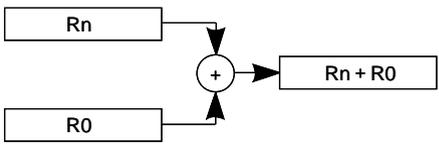
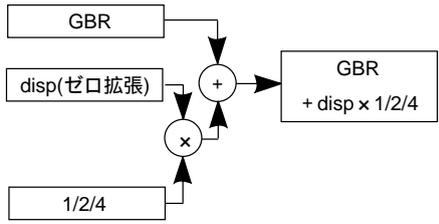
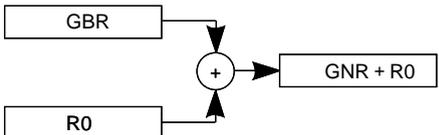
アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス (1)

アドレッシングモード	表 記	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。 命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト： Rn + 1 Rn ワード： Rn - 2 Rn ロングワード： Rn + 4 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数は、バイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト： Rn - 1 Rn ワード： Rn - 2 Rn ロングワード： Rn - 4 Rn (計算後の Rn で命令実行)

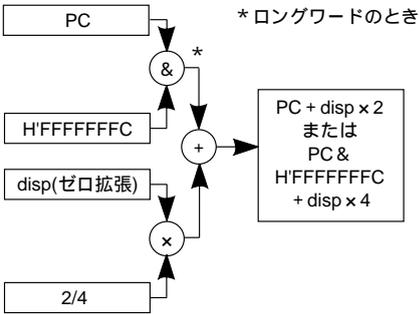
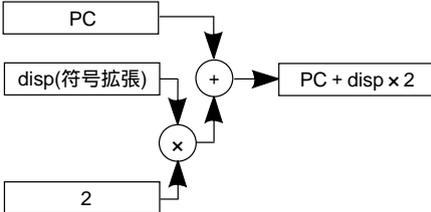
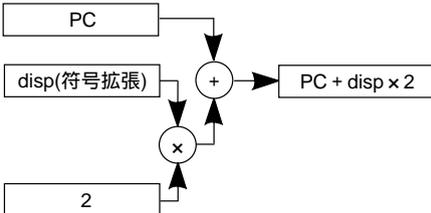
(続く)

表 2.8 アドレッシングモードと実効アドレス (2)

アドレッシングモード	表 記	実効アドレスの計算方法	計算式
ディスプレイメント 付きレジスタ間接	@ (disp:4,Rn)	<p>実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$
インデックス付き レジスタ間接	@ (R0, Rn)		$Rn + R0$
ディスプレイメント 付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$

(続 く)

表 2.8 アドレッシングモードと実効アドレス (3)

アドレッシングモード	表 記	実効アドレスの計算方法	計算式
ディスプレイメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p style="text-align: right;">* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
PC 相対	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$

(続く)

表 2.8 アドレッシングモードと実効アドレス (4)

アドレッシングモード	表 記	実効アドレスの計算方法	計算式
イミディエイト	#imm: 8	TST、AND、OR、XOR 命令の 8 ビットイ ミディエイト imm はゼロ拡張します。	-
	#imm: 8	MOV、ADD、CMP/EQ 命令の 8 ビットイ ミディエイト imm は符号拡張します。	-
	#imm: 8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式 (1)

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
0 形式	15 0 xxxx xxxx xxxx xxxx			NOP
n 形式	15 0 xxxx nnnn xxxx xxxx		nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタまたはシステムレジスタ	nnnn: レジスタ直接	STS MACH,Rn
		コントロールレジスタまたはシステムレジスタ	nnnn: プリデクリメントレジスタ間接	STC.LSR,@-Rn
m 形式	15 0 xxxx mmmm xxxx xxxx	mmmm: レジスタ直接	コントロールレジスタまたはシステムレジスタ	LDC Rm,SR
		mmmm: ポストインクリメントレジスタ間接	コントロールレジスタまたはシステムレジスタ	LDC.L @Rm+,SR
		mmmm: レジスタ間接		JMP @Rm

(続く)

表 2.9 命令形式 (2)

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
nm 形式	15 xxxx nnnn mmmm xxxx 0	mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm,@Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメントレジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+,Rn
		mmmm: レジスタ直接	nnnn: プリデクリメントレジスタ間接	MOV.L Rm,@-Rn
		mmmm: レジスタ直接	nnnn: インデックス付きレジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	15 xxxx xxxx mmmm dddd 0	mmmmdddd: ディスプレイスメント付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rn),R0
nd4 形式	15 xxxx xxxx nnnn dddd 0	R0 (レジスタ直接)	nnnndddd: ディスプレイスメント付きレジスタ間接	MOV.B R0,@(disp,Rn)

【注】* MAC 命令では nnnn は、ソースレジスタです。

(続く)

表 2.9 命令形式 (3)

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
nmd 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx nnnn mmmm dddd </div>	mmmm: レジスタ直接	nnnndddd: ディスペースメント付きレジスタ間接	MOV.L Rm,@ (disp,Rn)
		mmmmdddd: ディスペースメント付き GBR 間接	nnnn: レジスタ直接	MOV.L @ (disp,Rm) Rn
d 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx xxxx dddd dddd </div>	dddddddd: ディスペースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L @ (disp,GBR),R0
		R0 (レジスタ直接)	dddddddd: ディスペースメント付き GBR 間接	MOV.L R0,@ (disp,GBR)
		dddddddd: ディスペースメント付き PC 相対	R0 (レジスタ直接)	MOVA @ (disp,PC),R0
		dddddddd: PC 相対		BF label
d12 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx dddd dddd dddd </div>	dddddddddddd: PC 相対		BRA label (label = disp + PC)
nd8 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx nnnn dddd dddd </div>	dddddddd: ディスペースメント付き PC 相対	nnnn: レジスタ直接	MOV.L @ (disp,PC) ,Rn
i 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx xxxx iiii iiii </div>	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@ (R0,GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii: イミディエイト		TRAPA #imm
ni 形式	15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx nnnn iiii iiii </div>	iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD #imm,Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類 (1)

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	17	ADD	2 進加算	28
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
SUBC	ポロー付き 2 進減算			
SUBV	アングフロー付き 2 進減算			

(続く)

表 2.10 命令の分類 (2)

分 類	命令の種類	オペコード	機 能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	7	BF	条件分岐 (T = 0 で分岐)	7
		BT	条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	

(続く)

表 2.10 命令の分類 (3)

分 類	命令の種類	オペコード	機 能	命令数
システム制御 命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
計	56			133

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行 ステート	Tビット
二ーモニックで表示していま す。 記号の説明 OP.Sz SRC、DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーション レジスタ imm: イミディエイトデータ disp: ディスプレースメント *2	MSB LSB の順で 表示しています。 記号の説明 mmmm: ソースレジスタ nnnn: デスティネーション レジスタ 0000:R0 0001:1 1111:R15 iiii: イミディエイト データ dddd: ディスプレースメン ト	動作の概略を表示しています。 記号の説明 、 : 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグビッ ト &: ビット毎の論理積 : ビット毎の論理和 ^: ビット毎の排他的論 理和 ~: ビット毎の論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト	ノーウェ イトのと きの値で す。*1	命令実行後 の、Tビッ トの値を表 示していま す。 記号の説明 :変化 しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。詳しくは「SH-1/SH-2 プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiiii	imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp+Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2+Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp+Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp+Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp+Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	

(続 く)

(1) データ転送命令 (続き)

命 令	命令コード	動 作	実行 ステート	Tビット
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0 (disp × 4+GBR)	1	
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp × 2+GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp × 4+GBR) R0	1	
MOVA @(disp, PC), R0	11000111dddddddd	disp+PC R0	1	
MOVT Rn	0000nnnn00101001	T Rn	1	
SWAP.B Rm, Rn	0110nnnnnnnnm1000	Rm 下位 2 バイトの上下バイト交換 Rn	1	
SWAP.W Rm, Rn	0110nnnnnnnnm1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010nnnnnnnnm1101	Rm と Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnnnmm1100	Rn+Rm Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	
ADDC Rm, Rn	0011nnnnnnmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnnnmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnnnmm0000	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnnnnnmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnnnnnmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0011nnnnnnmm0110	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnnnnnmm0111	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnnnnnmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnnnnnmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnnnmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	0000000000011001	0 M/Q/T	1	0
EXTS.B Rm, Rn	0110nnnnnnmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnnnnnmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnnnnnmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnnnnnmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.W @Rm+, @Rn+	0100nnnnnnmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 42 42 ビット	3/(2)* ¹	
MULS Rm, Rn	0010nnnnnnmm1111	符号付きで Rn × Rm MAC 16 × 16 32 ビット	1 ~ 3* ¹	
MULU Rm, Rn	0010nnnnnnmm1110	符号なしで Rn × Rm MAC 16 × 16 32 ビット	1 ~ 3* ¹	
NEG Rm, Rn	0110nnnnnnmm1011	0-Rm Rn	1	
NEGC Rm, Rn	0110nnnnnnmm1010	0-Rm-T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnnnmm1000	Rn-Rm Rn	1	
SUBC Rm, Rn	0011nnnnnnmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnnnmm1011	Rn-Rm Rn, アンダフロー T	1	アンダ フロー

【注】 *1 実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnnnmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	
NOT Rm, Rn	0110nnnnnnmm0111	~Rm Rn	1	
OR Rm, Rn	0010nnnnnnmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnnnmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト 結果
XOR Rm, Rn	0010nnnnnnmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*2	
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*2	
BRA label	1010ddddddddddd	遅延分岐、disp × 2+PC PC	2	
BSR label	1011ddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 *2 分岐するときは3ステート、分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 T	1	0
CLRMAC	000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	
NOP	000000000001001	無操作	1	
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	4	LSB
SETT	000000000011000	1 T	1	1
SLEEP	000000000011011	スリープ	3 ^{*3}	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、(imm × 4+VBR) PC	8	

【注】 *3 スリープ状態に遷移するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ レジスタ）のディスティネー

ションレジスタと、その直後の、命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.4.2 オペレーションコードマップ

オペレーションコードマップを表2.11 に示します。

表2.11 オペレーションコードマップ (1)

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	Fx	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	
0000	Rm	Fx	0011				
0000	Rn	Rm	01MD	MOV.B Rm, @(R0, Rn)	MOV.W Rm, @(R0, Rn)	MOV.L Rm, @(R0, Rn)	
0000	0000	Fx	1000	CLRT	SETT	CLRMAC	
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @(R0, Rm), Rn	MOV.W @(R0, Rm), Rn	MOV.L @(R0, Rm), Rn	
0001	Rn	Rm	disp	MOV.L Rm, @(disp: 4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @-Rn	MOV.W Rm, @-Rn	MOV.L Rm, @-Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU Rm, Rn	MULS Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn		CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn		ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn		SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZRn	SHAR Rn	

(続く)

表 2.11 オペレーションコードマップ (2)

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	Fx	0010	STS.L MACH, @-Rn	STS.L MACL, @-Rn	STS.L PR, @-Rn	
0100	Rn	Fx	0011	STC.L SR, @-Rn	STC.L GBR, @-Rn	STC.L VBR, @-Rn	
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PLRn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @RM+, PR	
0100	Rm	Fx	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rm	Fx	1100				
0100	Rm	Fx	1101				
0100	Rm	Fx	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp: 4, Rm), Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, R
0111	Rn		imm	ADD #imm: 8, Rn			
1000	00MD	Rn	disp	MOV.BR0, @(disp: 4, Rn)	MOV.WR0, @(disp: 4, Rn)		
1000	01MD	Rm	disp	MOV.B@(disp:4, Rm), R0	MOV.W@(disp: 4, Rm), R0		
1000	10MD		imm/disp	CMP/EQ #imm:8, R0	BT disp: 8		BF disp: 8
1000	11MD		imm/disp				
1001	Rn		disp	MOV.W @(disp: 8, PC), Rn			
1010			disp	BRA disp: 12			
1011			disp	BSR disp: 12			
1100	00MD		imm/disp	MOV.BR0, @(disp: 8, GBR)	MOV.WR0, @(disp: 8, GBR)	MOV.LR0, @(disp: 8, GBR)	TRAPA #imm: 8

(続 く)

表 2.11 オペレーションコードマップ (3)

命令コード			Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB		MD: 00	MD: 01	MD: 10	MD: 11
1100	01MD	disp	MOV.B@(disp: 8, GBR), R0	MOV.W@(disp: 8, GBR), R0	MOV.L@(disp: 8, GBR), R0	MOVA@(disp: 8, PC), R0
1100	10MD	imm	TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm	TST.B#imm: 8, @(R0, GBR)	AND.B#imm: 8, @(R0, GBR)	XOR.B#imm: 8, @(R0, GBR)	OR.B#imm: 8, @(R0, GBR)
1101	Rn	disp	MOV.L @(disp: 8, PC), Rn			
1110	Rn	disp	MOV #imm:8, Rn			
1111	*****					

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.1に示します。リセット状態、例外処理状態の詳細は「4. 例外処理」、低消費電力状態の詳細は「18. 低消費電力状態」を参照してください。

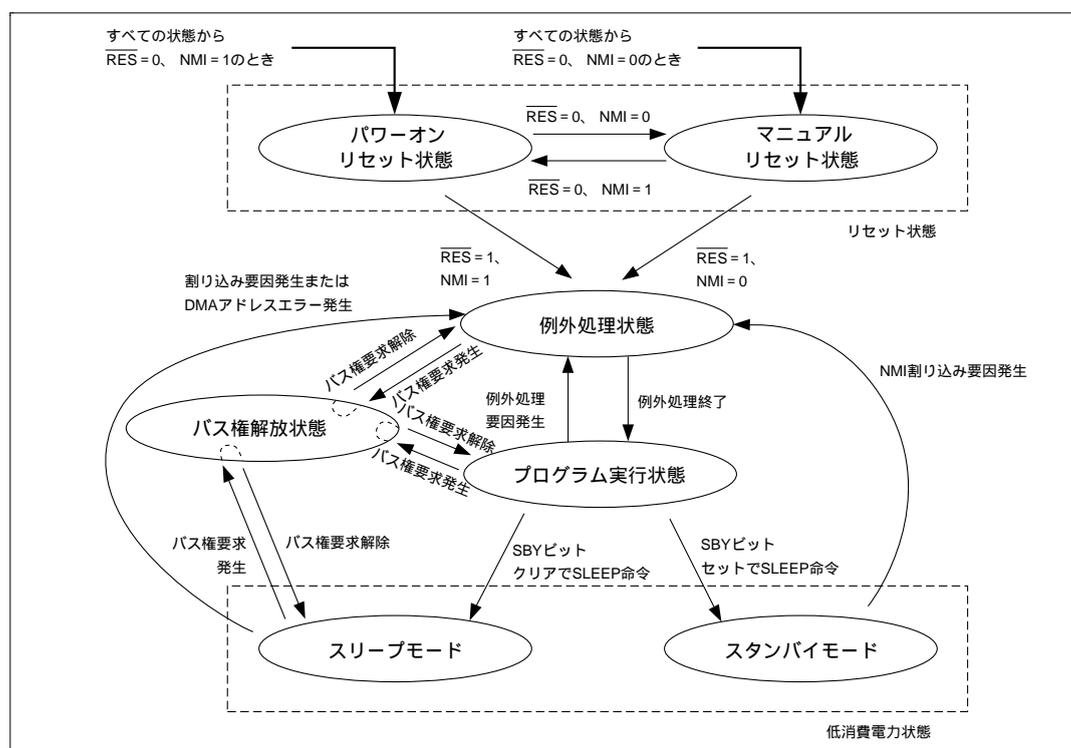


図 2.1 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとリセット状態になります。NMI 端子がハイレベルのときパワーオンリセット状態になり、NMI 端子がローレベルのとき、マニュアルリセット状態になります。電源投入時は、必ずパワーオンリセットを行ってください。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) とピンファンクションコントローラ (PFC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とがすべて初期化されます。マニュアルリセット状態では、BSC は初期化されませんのでリフレッシュ動作は継続しています。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、スタンバイモードの2つのモードがあります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

2.5.2 低消費電力状態

CPU の処理状態の一つとして、通常のプログラム実行状態のほかに、CPU の動作を停止し、消費電力を低くする低消費電力状態があります。低消費電力状態には、スリープモード、スタンバイモードの2つのモードがあります。

(1) スリープモード

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 0 にクリアして、SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモードでは、CPU の動作は停止しますが、CPU の内部レジスタの内容と内蔵 RAM のデータは保持されます。CPU 以外の内蔵周辺モジュールの機能は停止しません。

スリープモードからの復帰は、リセット、すべての割り込み、または DMA アドレスエラーによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。

(2) スタンバイモード

SBYCR の SBY を 1 にセットして、SLEEP 命令を実行すると、スタンバイモードになります。スタンバイモードでは、CPU、内蔵周辺モジュール、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータは保持されます。

スタンバイモードからの復帰は、リセット、外部の NMI 割り込みにより行われます。リセットの場合は、発振安定時間の間リセット状態にした後、例外処理状態を経て通常のプログラム実行状態へ遷移します。NMI 割り込みの場合は、発振安定時間経過後、例外処理状態を経て通常のプログラム実行状態へ遷移します。

本モードでは、発振器が停止しますから、消費電力は著しく低減されます。

表 2.12 低消費電力状態

モード	遷移の条件	状態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPU レジスタ	内蔵 RAM	I/O ポート端子	
スリープモード	SBYCR の SBY をクリアした状態で、SLEEP 命令を実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) DMA アドレスエラー (3) パワーオンリセット (4) マニュアルリセット
スタンバイモード	SBYCR の SBY をセットした状態で、SLEEP 命令を実行	停止	停止	停止および初期化*	保持	保持	保持または Hi-Z* (設定可)	(1) NMI 割り込み (2) パワーオンリセット (3) マニュアルリセット

【注】 * それぞれの周辺モジュール、端子によって異なります。

3 . 動作モード

第3章 目次

3.1	動作モードの種類と選択	55
3.2	動作モードの説明	55
3.2.1	モード0 (MCUモード0)	55
3.2.2	モード1 (MCUモード1)	55
3.2.3	モード2 (MCUモード2)	55
3.2.4	モード7 (PROMモード)	55

3.1 動作モードの種類と選択

本 LSI には、4 種類（モード 0、1、2、7）の動作モードがあります。モード 0 とモード 1 の相違点は、メモリエリア 0 のバス幅です。動作モードは、モード設定端子 MD2 ~ MD0 で選びます（表 3.1）。モード設定端子は、LSI の動作中には変化させないでください。

表 3.1 動作モードの選択

動作モード番号	端子設定			モード名	メモリエリア 0
	MD2	MD1	MD0		
モード 0 ^{*2}	0	0	0	MCU モード 0	8 ビット空間
モード 1 ^{*2}	0	0	1	MCU モード 1	16 ビット空間
モード 2	0	1	0	MCU モード 2	内蔵 ROM 空間
モード 7 ^{*1}	1	1	1	PROM モード	—

【注】 *1 SH7021PROM 版のみ

*2 SH7020ROM レス版は、モード 0、1 のみとなります。

3.2 動作モードの説明

3.2.1 モード 0 (MCU モード 0)

モード 0 では、メモリエリア 0 が、バス幅が 8 ビットの外部メモリ空間になります（メモリマップは、「8. バスステートコントローラ」を参照してください）。

3.2.2 モード 1 (MCU モード 1)

モード 1 では、メモリエリア 0 が、バス幅が 16 ビットの外部メモリ空間になります。

3.2.3 モード 2 (MCU モード 2)

モード 2 では、メモリエリア 0 が、内蔵 ROM 空間になります。

3.2.4 モード 7 (PROM モード)

モード 7 は PROM モードです。このモードで EPROM へのプログラミングを行うことができます（「16.ROM」を参照してください）。

モード 7 は、SH7021 (PROM 版) 以外では設定しないでください。

4 . 例外処理

第4章 目次

4.1	概要	59
4.1.1	例外処理の種類と優先順位	59
4.1.2	例外処理の動作	60
4.1.3	例外処理ベクタテーブル	61
4.2	リセット	63
4.2.1	リセットの種類	63
4.2.2	パワーオンリセット	63
4.2.3	マニュアルリセット	64
4.3	アドレスエラー	65
4.3.1	アドレスエラー発生要因	65
4.3.2	アドレスエラー例外処理	66
4.4	割り込み	67
4.4.1	割り込み要因	67
4.4.2	割り込み優先順位	67
4.4.3	割り込み例外処理	68
4.5	命令による例外	69
4.5.1	命令による例外の種類	69
4.5.2	トラップ命令	69
4.5.3	スロット不当命令	70
4.5.4	一般不当命令	70
4.6	例外要因が受け付けられない場合	71
4.6.1	遅延分岐命令の直後	71
4.6.2	割り込み禁止命令の直後	71
4.7	例外処理終了後のスタックの状態	72
4.8	使用上の注意	73
4.8.1	スタックポインタ (SP) の値	73
4.8.2	ベクタベースレジスタ (VBR) の値	73
4.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	73

4.1 概要

4.1.1 例外処理の種類と優先順位

例外処理は、図 4.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、図 4.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位にしたがって受け付けられ、処理されます。

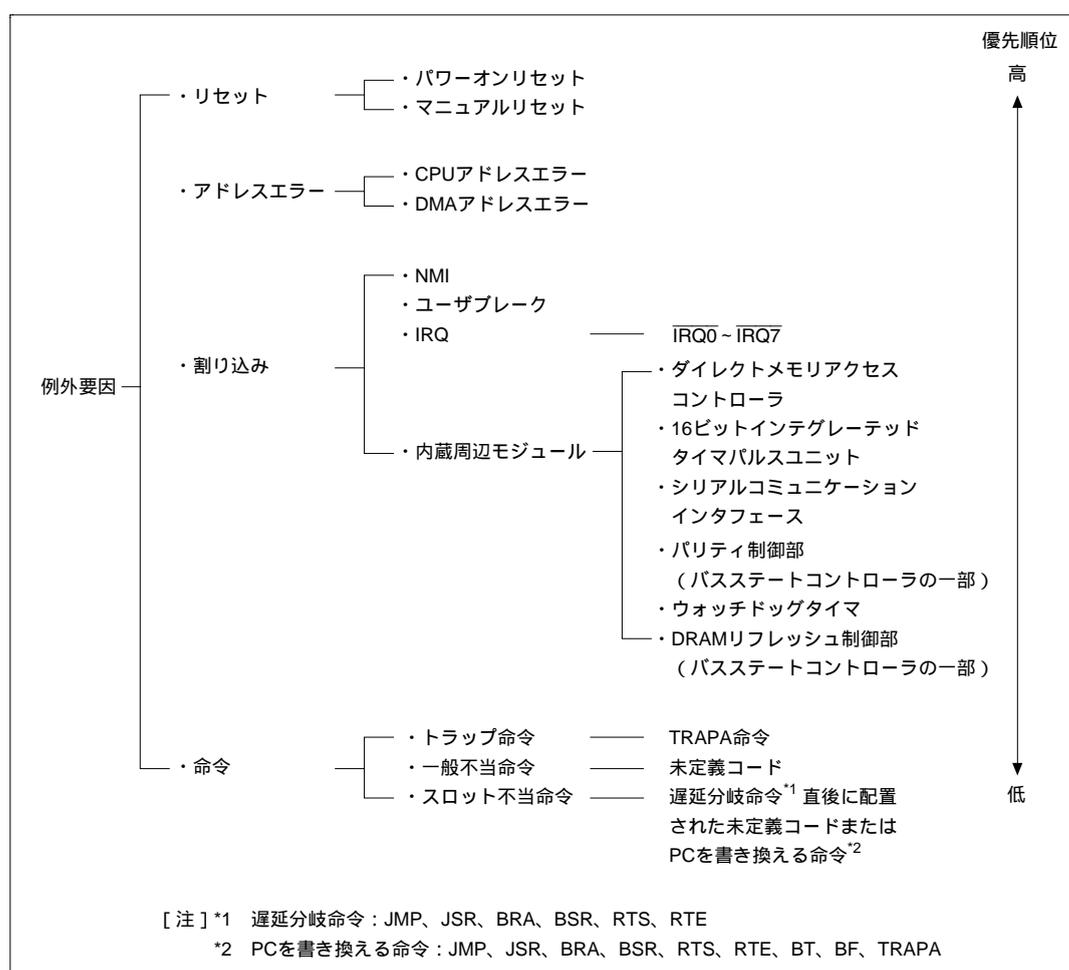


図 4.1 例外要因の種類と優先順位

4.1.2 例外処理の動作

各例外要因は表 4.1 に示すタイミングで検出され、処理が開始されます。

表 4.1 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	NMI 端子がハイレベルのときの $\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化で開始される
	マニュアルリセット	NMI 端子がローレベルのときの $\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令直後（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように作動します。

(1) リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、またマニュアルリセット時は H'00000008 番地、H'0000000C 番地）から取り出します。例外処理ベクタテーブルについては「4.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を 0 に、ステータスレジスタ（SR）の割り込みマスクビット（I3~I0）を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット（I3~I0）に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

4.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表4.2に、ベクタテーブルアドレスの算出法を表4.3に示します。

表4.2 例外処理ベクタテーブル（1）

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMA アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
		⋮	⋮ ⋮ ⋮
		31	H'0000007C ~ H'0000007F

(続く)

表 4.2 例外処理ベクタテーブル (2)

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮ ⋮ ⋮
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
	内蔵周辺*	72	H'00000120 ~ H'00000123
モジュール		⋮	⋮ ⋮ ⋮
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「5. 割り込みコントローラ」の「表 5.3 割り込み例外処理ベクタと優先順位」を参照してください。

表 4.3 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	(ベクタテーブルアドレス) = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、 命令	(ベクタテーブルアドレス) = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ
ベクタテーブルアドレスオフセット : 表 4.2 を参照
ベクタ番号 : 表 4.2 を参照

4.2 リセット

4.2.1 リセットの種類

リセットは最も優先順位の高い例外要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 4.4 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスステートコントローラ(BSC)、ピンファンクションコントローラ(PFC)、I/Oポート(I/O)を除いた内蔵周辺モジュールのレジスタが初期化されます。

表 4.4 リセットの種類

種類	リセット状態への遷移条件		内部状態	
	NMI	RES	CPU	内蔵周辺モジュール
パワーオンリセット	ハイ	ロー	初期化	初期化
マニュアルリセット	ロー	ロー	初期化	BSC、PFC、I/O 以外初期化

4.2.2 パワーオンリセット

NMI 端子がハイレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、クロック発振器 (CPG) が停止している場合は、発振安定時間の間、CPG が動作している場合は、20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが全て初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、NMI 端子をハイレベルに保持したまま $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。

- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ(PC)とSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

4.2.3 マニュアルリセット

NMI 端子がローレベルのとき、 $\overline{\text{RES}}$ 端子をローレベルにすると本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。また、バスステートコントローラ(BSC)、ピンファンクションコントローラ(PFC)、I/O ポート(I/O)を除いた内蔵周辺モジュールの各レジスタが初期化されます。BSC が影響を受けないので、マニュアルリセット状態を長時間継続しても DRAM のリフレッシュ制御機能が動作します。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。マニュアルリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

マニュアルリセット状態で、NMI 端子をローレベルに保持したまま $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

4.3 アドレスエラー

4.3.1 アドレスエラー発生要因

アドレスエラーは、表 4.5 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 4.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令フェッチ	なし（正常）
		奇数アドレスから命令フェッチ	アドレスエラー発生
		内蔵周辺モジュール空間以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
	DMAC	ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生

*内蔵周辺モジュール空間については「8. バスステートコントローラ」を参照してください。

4.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスから、プログラムを実行します。このときのジャンプは遅延分岐ではありません。

4.4 割り込み

4.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.6 に示すように NMI、ユーザブレイク、IRQ、内蔵周辺モジュールがあります。

表 4.6 割り込み要因

種類	要求元	要因数
NMI	NMI 端子（外部からの入力）	1
ユーザブレイク	ユーザブレイクコントローラ	1
IRQ	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 端子（外部からの入力）	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	4
	16 ビットインテグレートドタイムパルスユニット	15
	シリアルコミュニケーションインタフェース	8
	ウォッチドッグタイマ	1
	バスステートコントローラ	2

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「5. 割り込みコントローラ」の「表 5.3 割り込み例外処理ベクタと優先順位」を参照してください。

4.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込みの優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A～E（IPRA～IPRE）で自由に設定することができます（表 4.7）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPRA～IPRE の詳細については「5.3.1 割り込み優先レベル設定レジスタ A～E（IPRA～IPRE）」を参照してください。

表 4.7 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定。マスク不可能。
ユーザブ레이크	15	優先レベル固定。
IRQ	0 ~ 15	割り込み優先レベル設定レジスタ A ~ E (IPRA ~ IPRE) に設定。
内蔵周辺モジュール		

4.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合、優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は H'F (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして、実行を開始します。割り込み例外処理の詳細については、「5.4 動作説明」を参照してください。

4.5 命令による例外

4.5.1 命令による例外の種類

例外処理を起動する命令には、表 4.8 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 4.8 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA
一般不当命令	遅延スロット以外にある未定義コード	

4.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ（SR）をスタックに退避します。
- (2) プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

4.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ (PC) を書き換える命令のときも、このPCを書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) PC をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

4.5.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ (PC) の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

4.6 例外要因が受け付けられない場合

アドレスエラーと割り込みは、表 4.9 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 4.9 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令 ^{*1} の直後	×	×
割り込み禁止命令 ^{*2} の直後		×

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

4.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

4.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

4.7 例外処理終了後のスタックの状態

例外処理終了後のスタックの状態は、表 4.10 に示すようになります。

表 4.10 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレ スエラー	<p>SP → 実行済命令の次命令アドレス 上位16ビット 下位16ビット SR 上位16ビット 下位16ビット</p>	割り込み	<p>SP → 実行済命令の次命令アドレス 上位16ビット 下位16ビット SR 上位16ビット 下位16ビット</p>
トラッ プ命令	<p>SP → TRAPA 命令の次命令アドレス 上位16ビット 下位16ビット SR 上位16ビット 下位16ビット</p>	スロット 不当命令	<p>SP → 遅延分岐命令飛び先アドレス 上位16ビット 下位16ビット SR 上位16ビット 下位16ビット</p>
一般不 当命令	<p>SP → 不当命令の先頭アドレス 上位16ビット 下位16ビット SR 上位16ビット 下位16ビット</p>		

【注】 スタックの状態は、アクセスサイズを 16 ビットとしています。

4.8 使用上の注意

4.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされると、アドレスエラーが発生します。

4.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でベクタテーブルがアクセスされると、アドレスエラーが発生します。

4.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでも、アドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けられないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ - 4 されますので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

5 . 割り込みコントローラ (INTC)

第5章 目次

5.1	概要	77
5.1.1	特長	77
5.1.2	ブロック図	78
5.1.3	端子構成	79
5.1.4	レジスタ構成	79
5.2	割り込み要因	80
5.2.1	NMI 割り込み	80
5.2.2	ユーザブレイク割り込み	80
5.2.3	IRQ 割り込み	80
5.2.4	内蔵周辺モジュール割り込み	81
5.2.5	割り込み例外処理ベクタと優先順位	81
5.3	レジスタの説明	84
5.3.1	割り込み優先レベル設定レジスタ A ~ E (IPRA ~ IPRE)	84
5.3.2	割り込みコントロールレジスタ (ICR)	86
5.4	動作説明	87
5.4.1	割り込み動作の流れ	87
5.4.2	割り込み例外処理終了後のスタックの状態	90
5.5	割り込み応答時間	91
5.6	使用上の注意	92

5.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これにより、ユーザが設定した優先順位にしたがって、割り込み要求を処理させることができます。

5.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

5 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより、端子状態を確認でき、ノイズキャンセラ機能として使用できます。

割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

例えば、本 LSI がバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

5.1.2 ブロック図

INTCのブロック図を図5.1に示します。

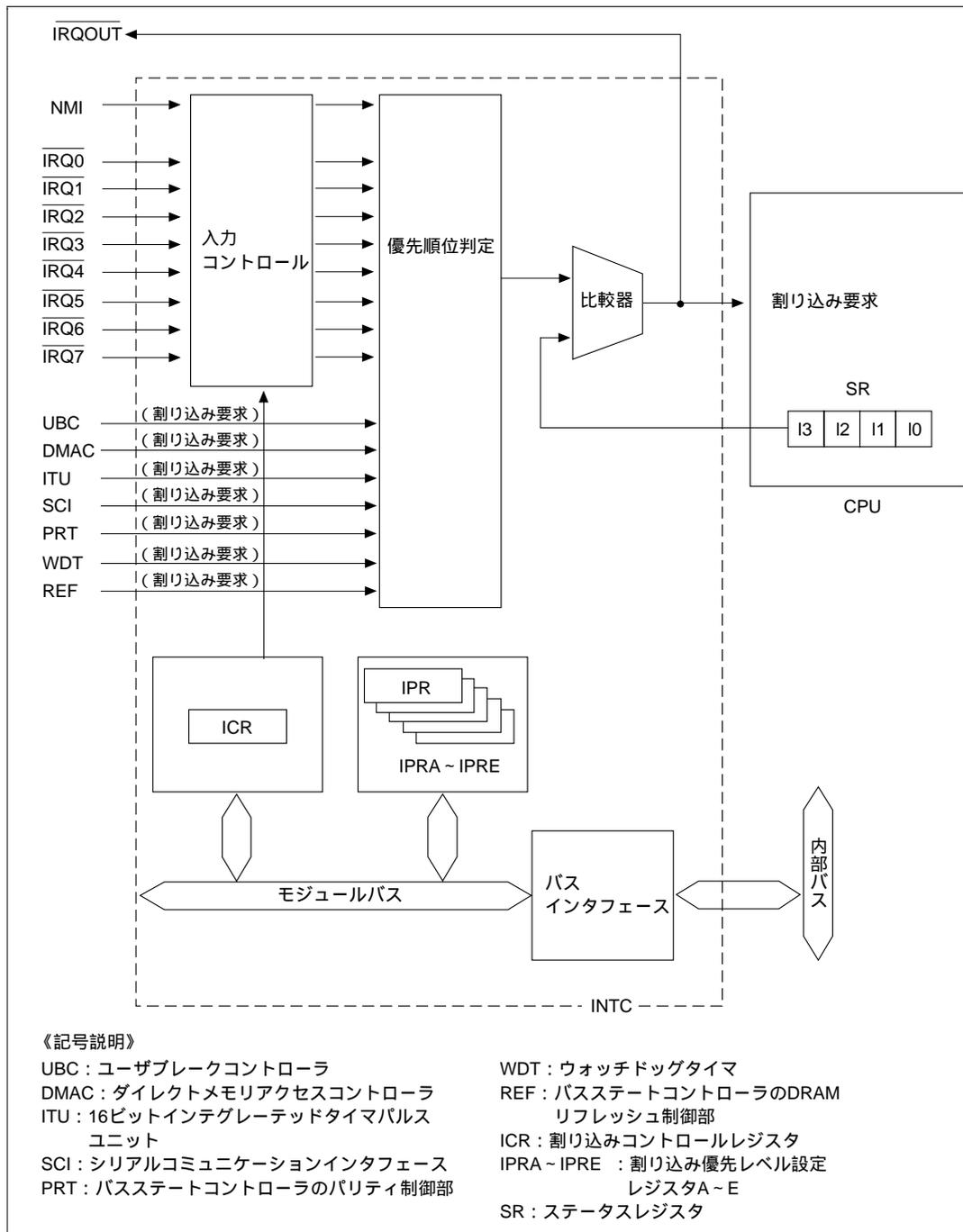


図 5.1 INTCのブロック図

5.1.3 端子構成

INTC の端子を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ0} \sim \overline{IRQ7}$	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	\overline{IRQOUT}	出力	割り込み要因の発生を知らせる信号を出力

5.1.4 レジスタ構成

INTC には、表 5.2 に示すように 6 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 5.2 レジスタ構成

名称	略称	R/W	初期値	アドレス* ²	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'5FFFF84	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'5FFFF86	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'5FFFF88	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'5FFFF8A	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'5FFFF8C	8、16、32
割り込みコントロールレジスタ	ICR	R/W	* ¹	H'5FFFF8E	8、16、32

【注】 *1 NMI 端子がハイレベル : H'8000

NMI 端子がローレベル : H'0000

*2 A27 ~ A24 ビットと A8 ~ A0 ビットの値のみ有効で、A23 ~ A9 ビットは無視されます。

レジスタアドレスの詳細は「8.3.5 エリアの説明」を参照してください。

5.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、IRQ、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低で、レベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

5.2.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)はレベル15に設定されます。

5.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)はレベル15に設定されます。

ユーザブレイクの詳細は、「6. ユーザブレイクコントローラ」を参照してください。

5.2.3 IRQ 割り込み

IRQ 割り込みは、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ(ICR)のIRQセンスセレクトビット(IRQ0S~IRQ7S)の設定によって、端子ごとに、ローレベル検出または立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタA~B(IPRA~IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

5.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す5つの内蔵周辺モジュールで発生する割り込みです。

- ・ ダイレクトメモリアクセスコントローラ (DMAC)
- ・ 16ビットインテグレートドタイマパルスユニット (ITU)
- ・ シリアルコミュニケーションインタフェース (SCI)
- ・ バスステートコントローラ (BSC)
- ・ ウォッチドッグタイマ (WDT)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~E (IPRC~IPRE) によって、モジュールごとに優先レベル0~15の範囲で設定できます。

内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

5.2.5 割り込み例外処理ベクタと優先順位

表5.3に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されず、ベクタテーブルアドレスの算出法は、「4. 例外処理」の「表4.3 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~E (IPRA~IPRE) によって、端子またはモジュールごとに、優先レベル0~15の範囲で任意に設定できます。ただし、IPRC~IPREに対応する割り込み要因の優先順位は、表5.3の「IPR設定単位内の優先順位」に示すように定められており、変更できません。IRQ割り込みと内蔵周辺モジュール割り込みの優先順位は、リセットによって、優先レベル0に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表5.3に示す「デフォルト優先順位」にしたがって処理されます。

表 5.3 割り込み例外処理ベクタと優先順位 (1)

割り込み要因	ベクタ		割り込み 優先順 (初期値)	対応する IPR (ビット番号)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
	ベクタ 番号	ベクタテーブル アドレスオフセット				
NMI	11	H'0000002C ~ H'0000002F	16			高 ↑
ユーザブ레이크	12	H'00000030 ~ H'00000033	15			
IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPRA (15 ~ 12)		
IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPRA (11 ~ 8)		
IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPRA (7 ~ 4)		
IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPRA (3 ~ 0)		
IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15 (0)	IPRB (15 ~ 12)		
IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15 (0)	IPRB (11 ~ 8)		
IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPRB (7 ~ 4)		
IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPRB (3 ~ 0)		
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0 ~ 15 (0)	IPRC (15 ~ 12)	高 ↑ ↓ 低
	予約	73	H'00000124 ~ H'00000127			
DMAC1	DEI1	74	H'00000128 ~ H'0000012B	0 ~ 15 (0)	IPRC (11 ~ 8)	高 ↑ ↓ 低
	予約	75	H'0000012C ~ H'0000012F			
DMAC2	DEI2	76	H'00000130 ~ H'00000133	0 ~ 15 (0)	IPRC (7 ~ 4)	高 ↑ ↓ 低
	予約	77	H'00000134 ~ H'00000137			
DMAC3	DEI3	78	H'00000138 ~ H'0000013B	0 ~ 15 (0)	IPRC (3 ~ 0)	高 ↑ ↓ 低
	予約	79	H'0000013C ~ H'0000013F			
ITU0	IMIA0	80	H'00000140 ~ H'00000143	0 ~ 15 (0)	IPRC (15 ~ 12)	高 ↑ ↓ 低
	IMIB0	81	H'00000144 ~ H'00000147			
	OVI0	82	H'00000148 ~ H'0000014B			
	予約	83	H'0000014C ~ H'0000014F			
ITU1	IMIA1	84	H'00000150 ~ H'00000153	0 ~ 15 (0)	IPRC (11 ~ 8)	高 ↑ ↓ 低
	IMIB1	85	H'00000154 ~ H'00000157			
	OVI1	86	H'00000158 ~ H'0000015B			
	予約	87	H'0000015C ~ H'0000015F			
ITU2	IMIA2	88	H'00000160 ~ H'00000163	0 ~ 15 (0)	IPRD (15 ~ 12)	高 ↑ ↓ 低
	IMIB2	89	H'00000164 ~ H'00000167			
	OVI2	90	H'00000168 ~ H'0000016B			
	予約	91	H'0000016C ~ H'0000016F			

(続く)

5.3 レジスタの説明

5.3.1 割り込み優先レベル設定レジスタ A ~ E (IPRA ~ IPRE)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

割り込み優先レベル設定レジスタ A ~ E (IPRA ~ IPRE) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。割り込み要求元と IPRA ~ IPRE の各ビットの対応を表 5.4 に示します。

表 5.4 割り込み要求元と IPRA ~ IPRE

レジスタ	ビット			
	15 ~ 12	11 ~ 8	7 ~ 4	3 ~ 0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0、 DMAC1	DMAC2、 DMAC3	ITU0	ITU1
割り込み優先レベル設定レジスタ D	ITU2	ITU3	ITU4	SCI0
割り込み優先レベル設定レジスタ E	SCI1	PRT* ¹	WDT、REF* ²	予約* ³

【注】 *1 PRT : バスステートコントローラ内のパリティ制御部。「8. バスステートコントローラ」を参照。

*2 REF : バスステートコントローラ内の DRAM リフレッシュ制御部。「8. バスステートコントローラ」を参照。

*3 予約ビット : 読み出される値は、常に 0 です。書き込むときは、必ず値を 0 にしてください。

表 5.4 に示すように、1 本のレジスタに 4 つの \overline{IRQ} 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。2 つの内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、

DMAC2 と DMAC3、WDT と DRAM リフレッシュ制御部)、その2つのモジュールは同じ優先順位に設定されます。

IPRA ~ IPRE は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

5.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	R	-	-	-	-	-	-	RW	RW	RW	RW	RW	RW	RW	RW	RW

【注】* NMI 端子入力がハイレベル: 1

NMI 端子入力がローレベル: 0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0} \sim \overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力信号レベルを示します。ICR は、リセットで初期化されます。スタンバイモード時には初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14 ~ 9 : 予約ビット

書き込みは無効で、読み出すと常に 0 が読み出されます。

ビット 8 : NMI エッジセレクト (NMIE)

NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。

ビット 8	説明
NMIEL	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7～0： $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ センスセレクト (IRQ0S ~ IRQ7S)

$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の各端子への割り込み要求信号を、それぞれローレベルで検出するか、立ち下がリエッジで検出するかを選択します。

ビット7～0	説明	
IRQ0S ~ IRQ7S		
0	IRQ 入力のローレベルで割り込み要求を検出	(初期値)
1	IRQ 入力の立ち下がリエッジで割り込み要求を検出	

5.4 動作説明

5.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 5.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A～E (IPRA～IPRE) にしたがって、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 5.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」にしたがって、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3～I0) とが比較されます。I3～I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 5.4 参照)。
- (6) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (7) SR の I3～I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。

- (8) 受け付けた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子から、ハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5)でCPUが実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子はハイレベルを出力します。ただし、割り込みコントローラが他の割り込み(今受け付け中の割り込みよりレベルの高い割り込み)を受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている外部割り込み (IRQ) は、それぞれ 1 回分だけ要求が保留されます。

レベル検出に設定されている外部割り込みは、割り込み要求が続く限り保留されますが、次にCPUが割り込みを受け付けるときまでに要求がクリアされてしまった場合は、割り込み要求はなかったものとみなされます。

内蔵周辺モジュールからの割り込み要求はレベル要求です。各モジュールに存在するステータスフラグがセットされると割り込み要求を行います。詳細は各モジュールの説明を参照してください。各ステータスフラグの[クリア条件]で規定されている操作を行わない限り割り込み要求を続けますのでご注意ください。

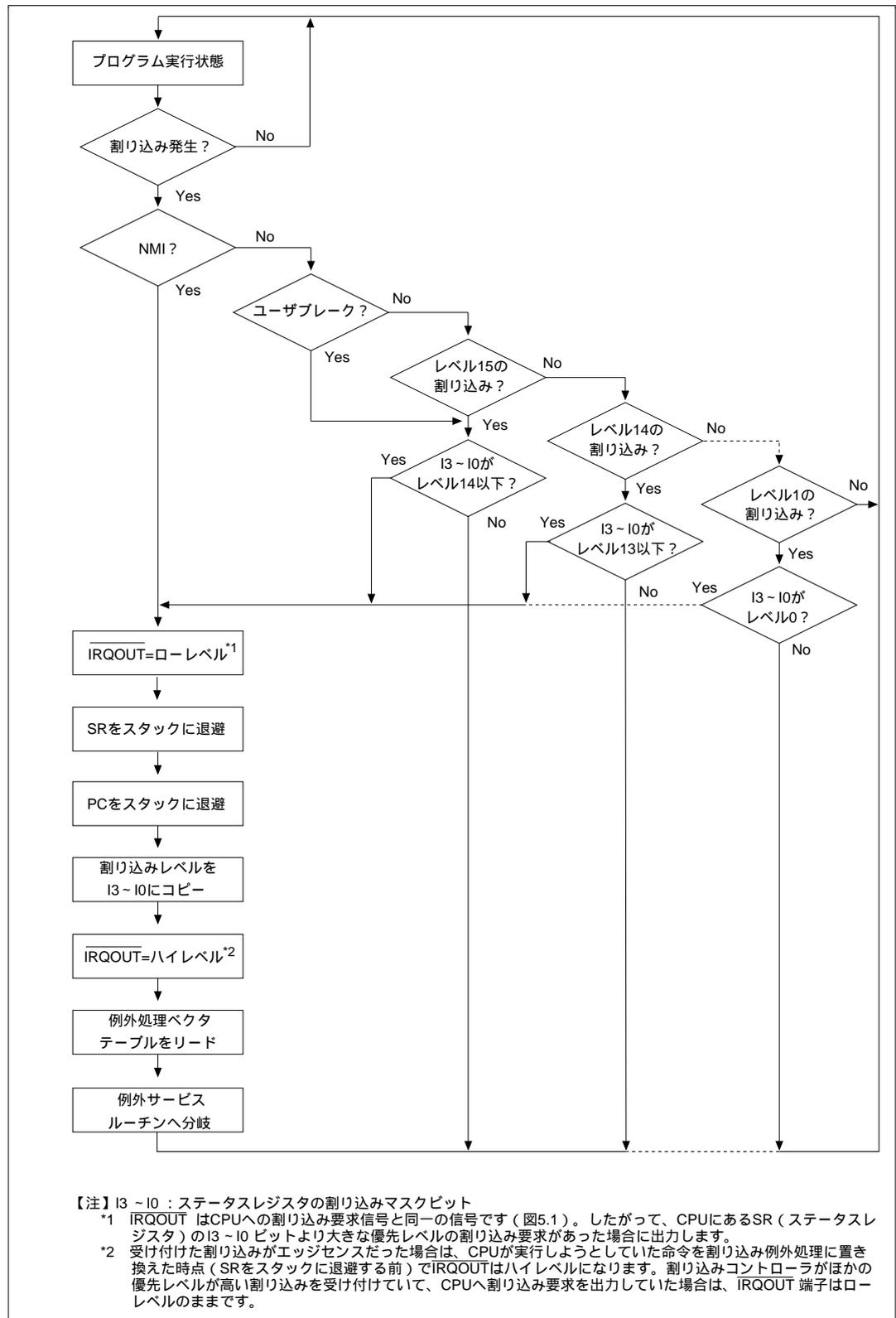


図 5.2 割り込み動作フロー

5.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 5.3 に示すようになります。

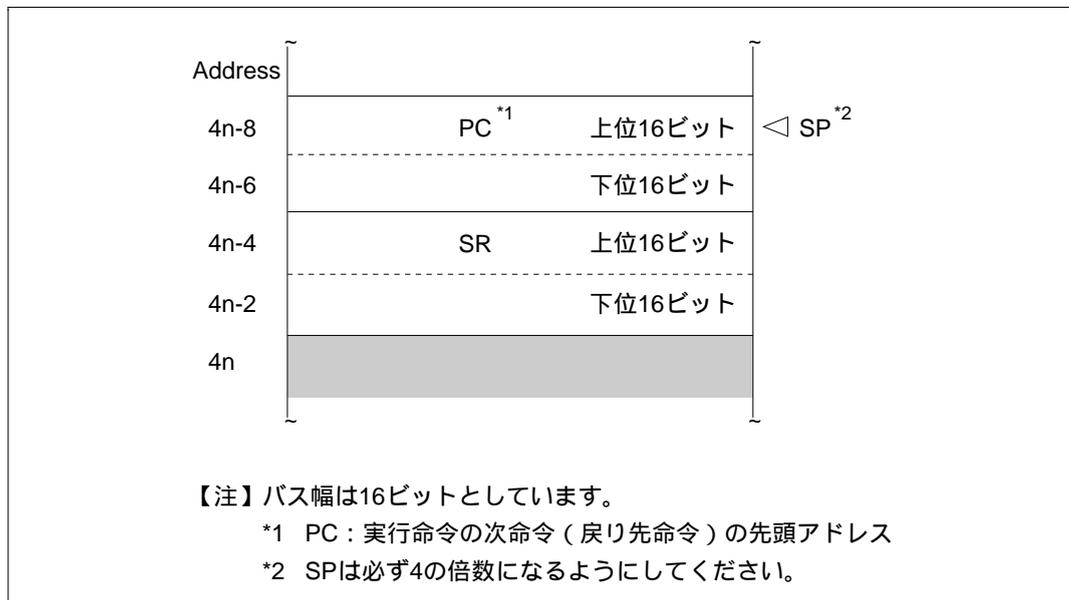


図 5.3 割り込み例外処理終了後のスタックの状態

5.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 5.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 5.4 に示します。

表 5.5 割り込み応答時間

項目	ステート数		備考
	NMI、 周辺モジュール	IRQ	
優先順位判定 および SR の マスクビット との比較時間	2	3	
CPU が実行中 のシーケンス 終了までの待 ち時間	$X(\geq 0)$		最も長いシーケンスは割り込み例外 処理またはアドレスエラー例外処理 で、 $X=4+m1+m2+m3+m4$ 。ただし、 割り込みをマスクする命令が続く場 合、さらに長くなることもあります。
割り込み例外処 理 (SR、PC の 退避とベクタア ドレスのフェッ チ) から、例外 サービスルーチ ンの先頭命令の フェッチを開始 するまでの時間	$5+m1+m2+m3$		
	合計	$7+m1+m2+m3$	$8+m1+m2+m3$
応答 時間	最小時	10	11
	最大時	$11+2(m1+m2+m3)+m4$	$12+2(m1+m2+m3)+m4$
		20MHz 動作時 ($m1=m2=m3=m4=1$): $0.90 \sim 0.95 \mu s$	

【注】 $m1 \sim m4$ は下記のメモリアクセスに要するステート数です。

$m1$: SR の退避 (ロングワードライト)

$m2$: PC の退避 (ロングワードライト)

$m3$: ベクタアドレスリード (ロングワードリード)

$m4$: 割り込みサービスルーチン先頭命令のフェッチ

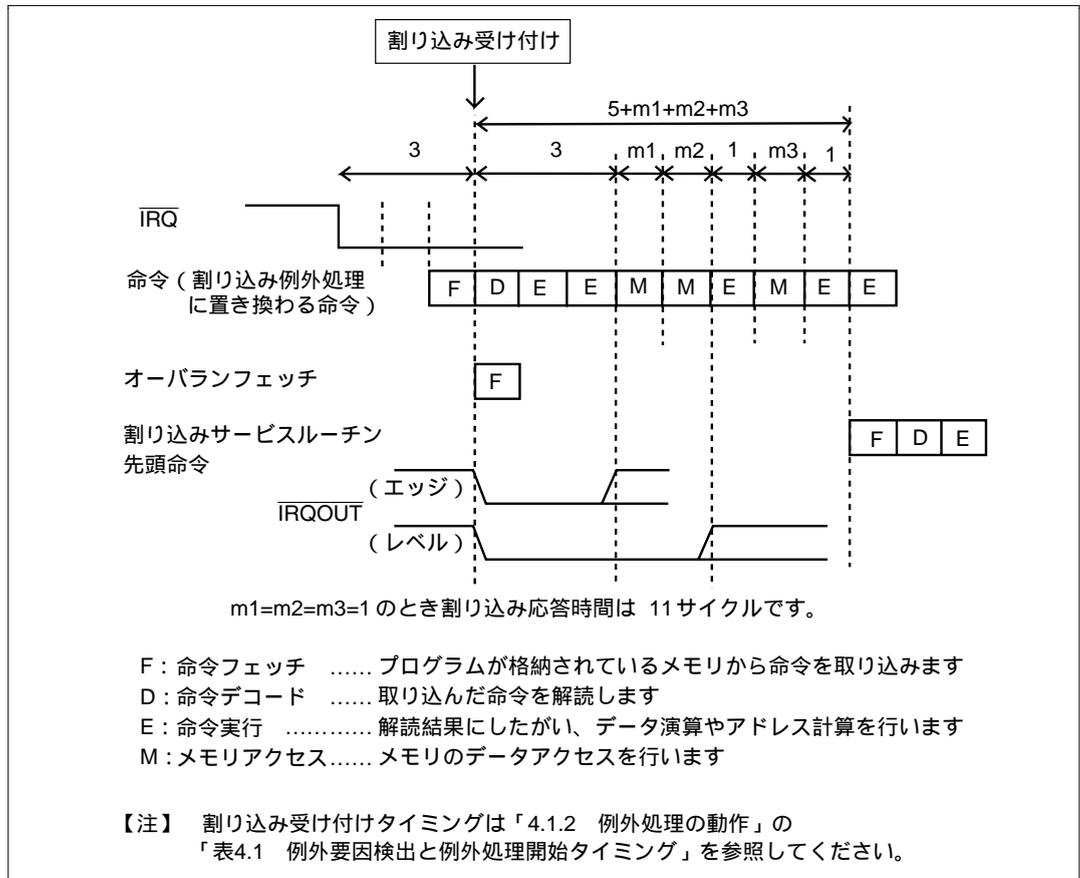


図 5.4 IRQ 割り込みを受け付けるときのパイプライン動作例

5.6 使用上の注意

IRQ 入力割り当てられている端子を、ピンファンクションコントローラ (PFC) の設定で汎用入力端子に機能を設定し、ローを入力した状態で、

- (a) 割り込みコントロールレジスタ (ICR) の設定を、IRQ の立ち下がりエッジで割り込みを検出するように設定
- (b) ピンファンクションコントローラ (PFC) の設定で、IRQ 入力割り当てられている端子を、汎用入力から IRQ 入力に機能設定

の順で操作を行った場合、(b) の設定を行った直後に IRQ の立ち下がりエッジを検出し、割り込み要求を検出します。そのため、汎用入力端子から機能を切り替えて IRQ 入力を利用するには、IRQ 入力割り当てられている端子をハイレベルにした状態でピンファンクションコントローラ (PFC) の設定を IRQ 入力に設定してください。

6 . ユーザブ레이크 コントローラ(UBC)

第6章 目次

6.1	概要	95
6.1.1	特長	95
6.1.2	ブロック図	96
6.1.3	レジスタ構成	97
6.2	レジスタの説明	97
6.2.1	ブ레이크アドレスレジスタ (BAR)	97
6.2.2	ブ레이크アドレスマスクレジスタ (BAMR)	98
6.2.3	ブ레이크バスサイクルレジスタ (BBR)	99
6.3	動作説明	101
6.3.1	ユーザブ레이크動作の流れ	101
6.3.2	内蔵メモリの命令フェッチサイクルによるブ레이크	103
6.3.3	退避するプログラムカウンタ (PC) の値	103
6.4	ユーザブ레이크使用例	104
6.5	使用上の注意	106
6.5.1	内蔵メモリの命令フェッチ	106
6.5.2	分岐時の命令フェッチ	106
6.5.3	命令フェッチでのブ레이크	106

6.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU または DMAC によるバスサイクルの内容に応じて、ユーザブレイク割り込みが発生します。この機能を使用することによって、高機能のセルフモニタデバッガを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

6.1.1 特長

UBC には、次のような特長があります。

次のブレイク条件を設定可能

- アドレス
- CPU サイクルまたは DMA サイクル
- 命令フェッチまたはデータアクセス
- 読み出しまたは書き込み
- オペランドサイズ (ロングワード、ワード、バイト)

ブレイク条件成立により、ユーザブレイク割り込みを発生

ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。

CPU の命令フェッチにブレイクをかけると、その命令の手前でブレイク

6.1.2 ブロック図

UBCのブロック図を図6.1に示します。

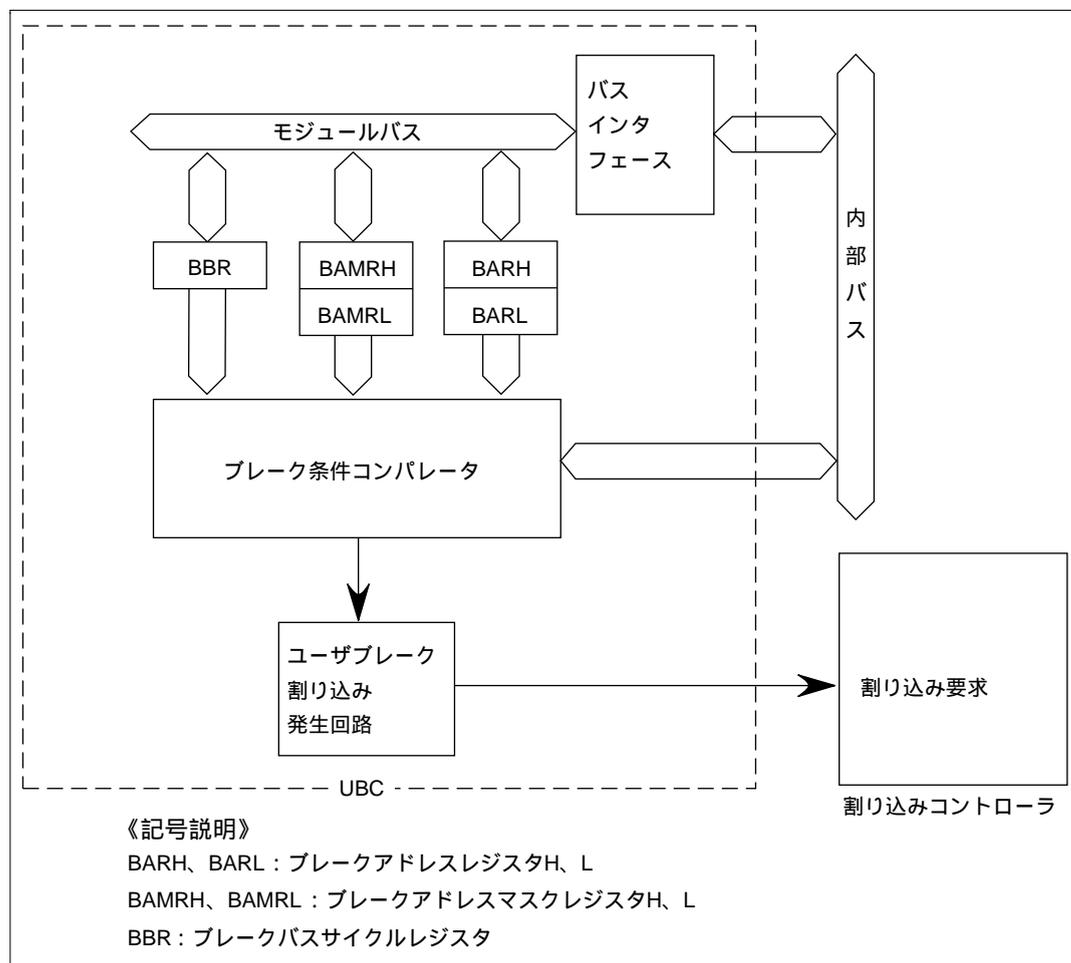


図6.1 UBCのブロック図

6.1.3 レジスタ構成

UBC には、表 6.1 に示すように 5 本のレジスタがあります。これらのレジスタにより、ブ레이크条件を設定します。

表 6.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*	アクセスサイズ
ブ레이크アドレスレジスタ H	BARH	R/W	H'0000	H'5FFFF90	8、16、32
ブ레이크アドレスレジスタ L	BARL	R/W	H'0000	H'5FFFF92	8、16、32
ブ레이크アドレスマスクレジスタ H	BAMRH	R/W	H'0000	H'5FFFF94	8、16、32
ブ레이크アドレスマスクレジスタ L	BAMRL	R/W	H'0000	H'5FFFF96	8、16、32
ブ레이크バスサイクルレジスタ	BBR	R/W	H'0000	H'5FFFF98	8、16、32

【注】* A27～A24 ビット A8～A0 ビットの値のみ有効で、A23～A9 ビットは無視されます。レジスタアドレスの詳細は「8.3.5 エリアの説明」を参照してください。

6.2 レジスタの説明

6.2.1 ブ레이크アドレスレジスタ (BAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BARH:	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BARH:	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブ레이크アドレスレジスタ (BAR) は、ブ레이크アドレスレジスタ H (BARH) とブ레이크アドレスレジスタ L (BARL) の 2 本で 1 組となっています。BARH と BARL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、BARH はブ레이크条件とするアドレスの上位側 (ビット 31～16) を指定し、BARL はアドレスの下位側 (ビット 15～0) を指定します。BARH と BARL は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

BARH ビット 15～0：ブレークアドレス 31～16 (BA31～BA16)
 ブレーク条件とするアドレスの上位側 (ビット 31～16) を格納します。

BARL ビット 15～0：ブレークアドレス 15～0 (BA15～BA0)
 ブレーク条件とするアドレスの下位側 (ビット 15～0) を格納します。

6.2.2 ブレークアドレスマスクレジスタ (BAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BAMRH:	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	RW															

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BAMRL:	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ブレークアドレスマスクレジスタ (BAMR) は、ブレークアドレスマスクレジスタ H (BAMRH) とブレークアドレスマスクレジスタ L (BAMRL) の2本で1組となっています。BAMRH と BAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。BAMRH は BARH に設定されているブレークアドレスのどのビットをマスクするかを指定し、BAMRL は BARL に設定されているブレークアドレスのどのビットをマスクするかを指定します。BAMRH と BAMRL は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

BAMRH ビット 15～0：ブレークアドレスマスク 31～16 (BAM31～BAM16)
 BARH に設定されているブレークアドレス 31～16 (BA31～BA16) の各ビットをマスクするかどうかを指定します。

BAMRL ビット 15～0：ブレークアドレスマスク 15～0 (BAM15～BAM0)
 BARL に設定されているブレークアドレス 15～0 (BA15～BA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明	
BAMn		
0	ブレイクアドレス BAn をブレイク条件に含む	(初期値)
1	ブレイクアドレス BAn をブレイク条件に含まない	

n=31~0

6.2.3 ブレイクバスサイクルレジスタ (BBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W							

ブレイクバスサイクルレジスタ (BBR) は読み出し / 書き込み可能な 16 ビットのレジスタで、ブレイク条件のうち (1) CPU サイクル / DMA サイクル (2) 命令フェッチ / データアクセス (3) 読み出し / 書き込み (4) オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。BBR は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

ビット 15 ~ 8 : 予約ビット

書き込みは無効で、読み出すと常に 0 が読み出されます。

ビット 7、6 : CPU サイクル / DMA サイクルセレクト (CD1、CD0)

CPU サイクルまたは DMA サイクルをブレイク条件に指定します。

ビット 7	ビット 6	説明
CD1	CD0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPU サイクルをブレイク条件とする
1	0	DMA サイクルをブレイク条件とする
	1	CPU サイクルと DMA サイクルのどちらもブレイク条件とする

ビット5、4：命令フェッチ/データアクセスセレクト (ID1、ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブ레이크条件に指定します。

ビット5	ビット4	説明
ID1	ID0	
0	0	ユーザブ레이크割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブ레이크条件とする
1	0	データアクセスサイクルをブ레이크条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブ레이크条件とする

ビット3、2：リード/ライトセレクト (RW1、RW0)

リードサイクルまたはライトサイクルをブ레이크条件に指定します。

ビット3	ビット2	説明
RW1	RW0	
0	0	ユーザブ레이크割り込みは発生させない (初期値)
	1	リードサイクルをブ레이크条件とする
1	0	ライトサイクルをブ레이크条件とする
	1	リードサイクルとライトサイクルのどちらもブ레이크条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)

ブ레이크条件にするオペランドサイズを指定します。

ビット1	ビット0	説明
SZ1	SZ0	
0	0	ブ레이크条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブ레이크条件とする
1	0	ワードアクセスをブ레이크条件とする
	1	ロングワードアクセスをブ레이크条件とする

【注】 命令フェッチでブ레이크をかける場合は、SZ0 ビットを 0 にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます。(内蔵メモリに命令があって、1回のバスサイクルで同時に 2 命令フェッチする場合もワードアクセスするものとみなされます。) オペラントサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペラントサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

6.3 動作説明

6.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイク条件のうち、ブレイクアドレスをブレイクアドレスレジスタ (BAR)、アドレスの中のマスクしたいビットをブレイクアドレスマスクレジスタ (BAMR)、ブレイクするバスサイクルの接続をブレイクバスサイクルレジスタ (BBR) に設定してください。BBR の CPU サイクル / DMA サイクルセレクトビット (CD1、CD0)、命令フェッチ / データアクセスセレクトビット (ID1、ID0)、リード / ライトセレクトビット (RW1、RW0) のいずれか 1 組でも 00 (ユーザブレイク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレイク割り込みは発生しません。ユーザブレイク割り込みを使用したいときは、必ずこれら 3 組のビットすべてに条件を設定してください。
- (2) UBC は、設定した条件が成立したかどうかを図 6.2 に示す方式で判定します。ブレイク条件が成立すると、UBC は割り込みコントローラ (INTC) に、ユーザブレイク割り込み要求信号を送ります。
- (3) ユーザブレイク割り込み要求信号を受け取ると、INTC は優先順位の判定を行います。ユーザブレイク割り込みは優先レベル 15 なので、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) がレベル 14 以下のとき、受け付けられます。I3 ~ I0 ビットがレベル 15 のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI 例外処理では、I3 ~ I0 ビットはレベル 15 になりますので、NMI 例外サービスルーチン中はユーザブレイク割り込みは受け付けられません。ただし、NMI 例外サービスルーチンの先頭で I3 ~ I0 ビットをレベル 14 以下に変更すれば、それ以後ユーザブレイク割り込みが受け付けられるようになります。優先順位判定の詳細については、「5. 割り込みコントローラ」を参照してください。
- (4) INTC は、ユーザブレイク割り込みの要求信号を CPU に送ります。これを受け取ると、CPU はユーザブレイク割り込み例外処理を開始します。割り込み例外処理の詳細については、「5.4 動作説明」を参照してください。

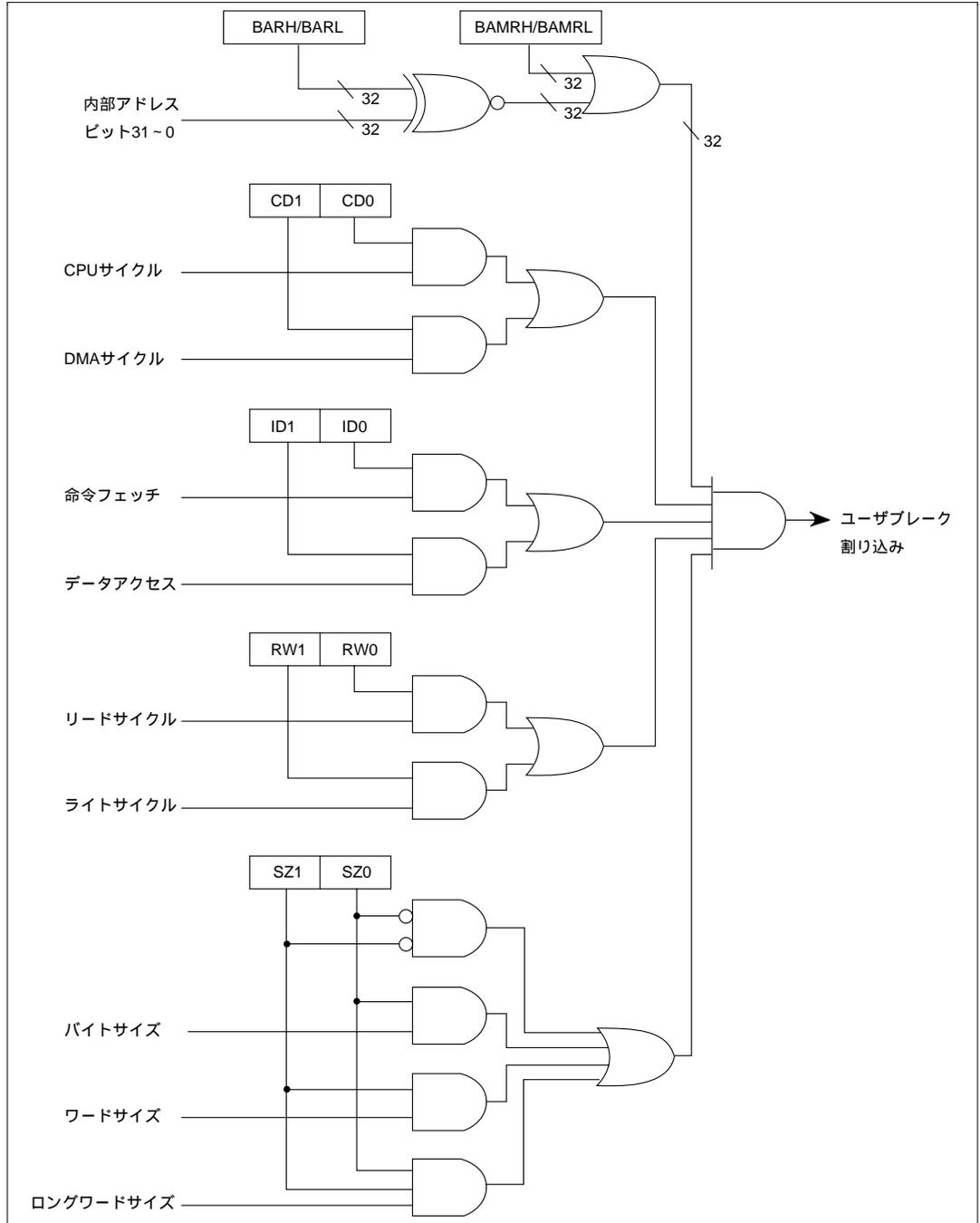


図 6.2 ブレーク条件判定方式

6.3.2 内蔵メモリの命令フェッチサイクルによるブレイク

内蔵メモリ(内蔵ROM、内蔵RAM)は、常に32ビットを1回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1回のバスサイクルで2命令が取り込まれます。このとき、1回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをブレイクアドレスレジスタ(BAR)に設定することによって、独立してブレイクをかけることができます。言い換えると、1回のバスサイクルで取り込まれた2命令のうち、後半の命令でブレイクをかけたいとき、BARにはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレイクがかかるようになります。

6.3.3 退避するプログラムカウンタ(PC)の値

(1) 命令フェッチをブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で退避されるプログラムカウンタ(PC)の値は、ブレイク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、遅延分岐命令直後(遅延スロット)に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレイク条件に設定した場合、ユーザブレイク割り込みはすぐには受け付けられず、ブレイク条件を設定した命令は実行されます。このとき、ユーザブレイク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避されるPCの値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス(CPU/DMAC)をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス(CPU/DMAC)をブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

6.4 ユーザブ레이크使用例

(1) CPU 命令フェッチサイクルへのブ레이크条件設定

(a) レジスタの設定 : BARH=H'0000

BARL=H'0404

BBR=H'0054

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード (オペランドサイズは条件に含まない)

アドレス H'00000404 にある命令の手前でユーザブ레이크割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブ레이크例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

(b) レジスタの設定 : BARH=H'0015

BARL=H'389C

BBR=H'0058

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、ライト (オペランドサイズは条件に含まない)

命令フェッチサイクルはライトサイクルではないので、ユーザブ레이크割り込みは発生しません。

(c) レジスタの設定 : BARH=H'0003

BARL=H'0147

BBR=H'0054

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、リード (オペランドサイズは条件に含まない)

命令フェッチは偶数アドレスに対して行われるので、ユーザブ레이크割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブ레이크割り込み例外処理が行われます。

(2) CUP データアクセスサイクルへのブレイク条件設定

(a) レジスタの設定 : BARH=H'0012

BARL=H'3456

BBR=H'006A

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、ライト、ワード

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生しません。

(b) レジスタの設定 : BARH=H'00A8

BARL=H'0391

BBR=H'0066

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、リード、ワード

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMA サイクルへのブレイク条件設定

(a) レジスタの設定 : BARH=H'0076

BARL=H'BCDC

BBR=H'00A7

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DMA、データアクセス、リード、ロングワード

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : BARH=H'0023

BARL=H'45C8

BBR=H'0094

設定された条件 : アドレス : H'002345C8

バスサイクル : DMA、命令フェッチ、リード (オペランドサイズは条件に含まない)

DMA サイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

6.5 使用上の注意

6.5.1 内蔵メモリの命令フェッチ

内蔵メモリの命令フェッチの際、2命令が同時に取り込まれます。このとき、この2命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。

6.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

- (1) 条件分岐命令で分岐する場合：BT、BF 命令

命令フェッチの順序 = 条件分岐命令フェッチ 次命令オーバランフェッチ

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = 条件分岐命令実行 分岐先命令実行

- (2) TRAPA 命令で分岐する場合：TRAPA 命令

命令フェッチの順序 = TRAPA 命令フェッチ 次命令オーバランフェッチ

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = TRAPA 命令実行 分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。したがって、この次命令あるいは次々命令をブレイク条件に設定した場合、分岐が発生すると、実行されない次命令あるいは次々命令でユーザブレイク割り込みが発生します。

6.5.3 命令フェッチでのブレイク

タスク A の戻り先の命令フェッチでブレイクをかけようとしても、タスク A の処理中に発生した割り込み B によるタスク B が UBC 割り込みより先に起動され、その後割り込み B の例外処理後、UBC 割り込みが入ってしまいます。

- (1) 原因

本 LSI は以下のように動作します。

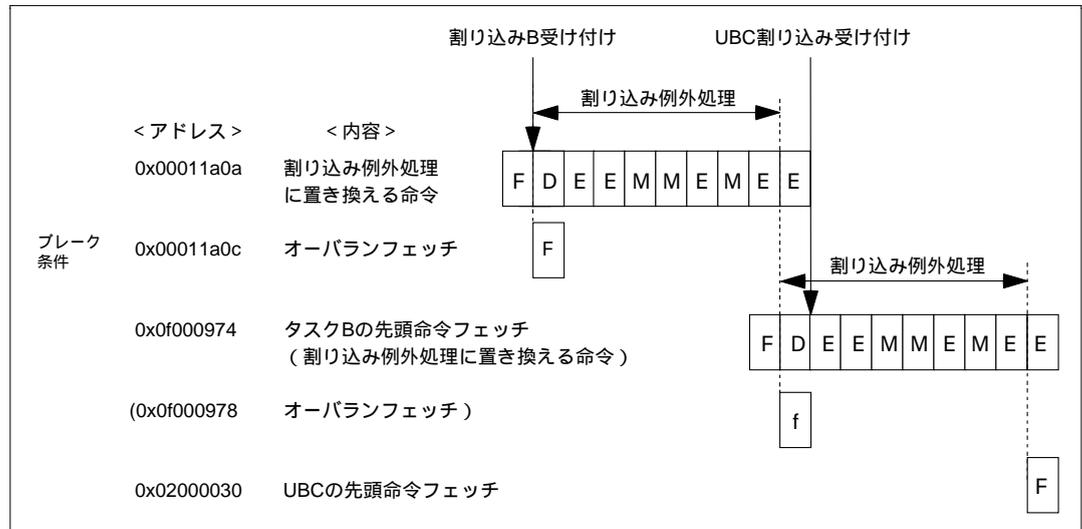


図 6.3 UBC の動作

アドレス 0x00011a0c の命令フェッチサイクルにより発生した UBC 割り込みは、割り込みコントローラに送られ実際に割り込み例外処理が発生するまでに最低 2 サイクルかかります。ところが、図 6.3 のように UBC 割り込み発生時にはすでに発生していたタスク B による割り込み B が先に受け付けられ、割り込み B による例外処理終了後 UBC 割り込みが受け付けられます。

(2) 対策方法について

ハード的に本動作を回避する方法はありません。ソフトにてフラグを用いるなどの対策をお願いします。

7. クロック発振器(CPG)

第7章 目次

7.1	概 要	111
7.2	クロックソース	112
	7.2.1 水晶発振子の接続方法	112
	7.2.2 外部クロックの入力方法	113
7.3	使用上の注意	114

7.1 概要

クロック発振器(CPG)は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、水晶発振子の発振周波数と同じ周波数で本 LSI を動作させます。CPG は、発振器とデューティ補正回路で構成されています(図 7.1)。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2通りがあります。CPG はスタンバイモードでは停止します。

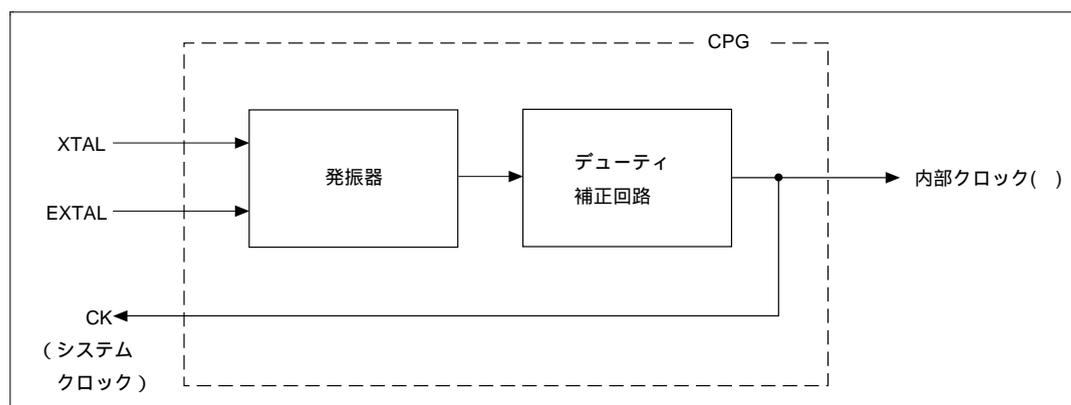


図 7.1 CPG のブロック図

7.2 クロックソース

クロックパルスのソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

7.2.1 水晶発振子の接続方法

(1) 回路構成

図 7.2 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 7.1 に示すものを使用してください。水晶発振子は、システムクロック (CK) と同じ周波数の、AT カット並列共振型のものを使ってください。また、図のように、負荷容量 (C_{L1} 、 C_{L2}) を必ず接続してください。

水晶発振器と内部の発振器によって生成されたクロックパルスは、デューティ補正回路に送られ、そこでデューティが補正された後、本 LSI 内部と外部デバイスに供給されます。

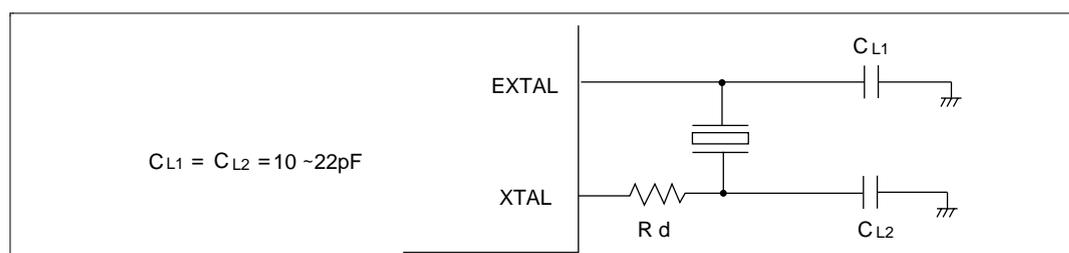


図 7.2 水晶発振子の接続例

表 7.1 ダンピング抵抗値

周波数(MHz)	2	4	8	12	16	20
R_d ()	1k	500	200	0	0	0

(2) 水晶発振子

図 7.3 に水晶発振子の等価回路を示します。水晶発振子は、表 7.2 に示す特性のものを使ってください。

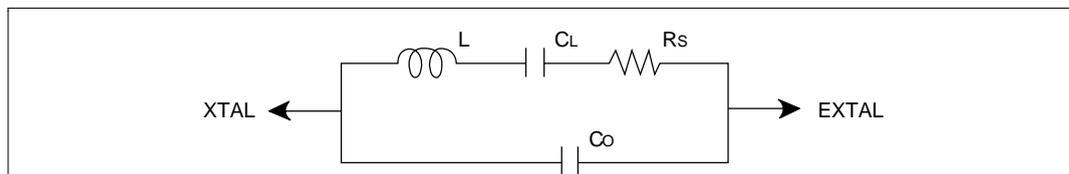


図 7.3 水晶発振子の等価回路

表 7.2 水晶発振子の特性

パラメータ	周波数(MHz)					
	2	4	8	12	16	20
Rs max()	500	120	80	60	50	40
Co max (pF)	7pF max					

7.2.2 外部クロックの入力方法

外部クロックはEXTAL 端子に入力し、XTAL 端子は開放してください(図 7.4)。外部から印加する入力クロックの波形を以下に規定します。外部クロックはシステムクロック(CK)と同じ周波数にしてください。

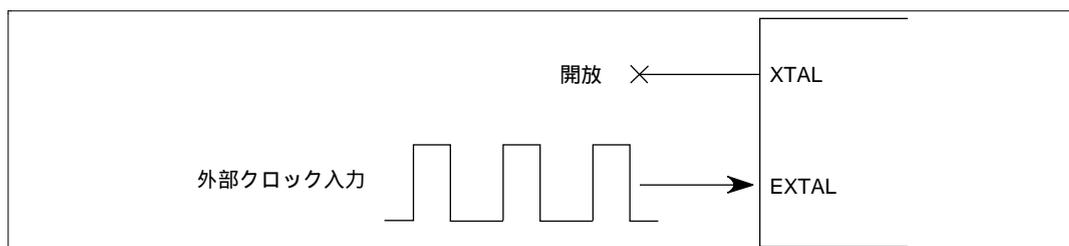


図 7.4 外部クロックの入力方法

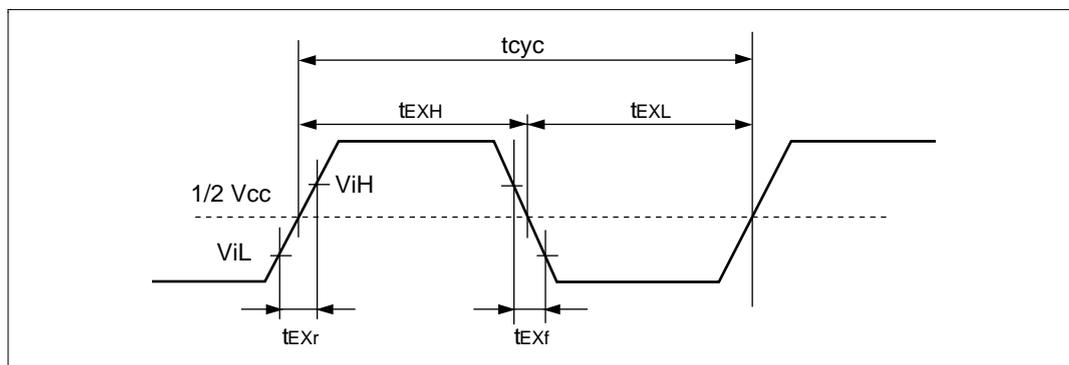


図 7.5 入力クロック波形

表 7.3 入力クロック仕様

	5V 仕様 ($f_{max}=20\text{MHz}$)	3V 仕様 ($f_{max}=12.5\text{MHz}$)	単位
$t_{EXr/f}$ ($V_{iL} \sim V_{iH}$)	MAX 5	MAX 10	ns
$t_{EXH/L}$ ($1/2V_{CC}$ 基準)	MIN 10	MIN 20	ns

7.3 使用上の注意

(a) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください(図 7.6)。誘導のために正しい発振ができなくなることがあります。

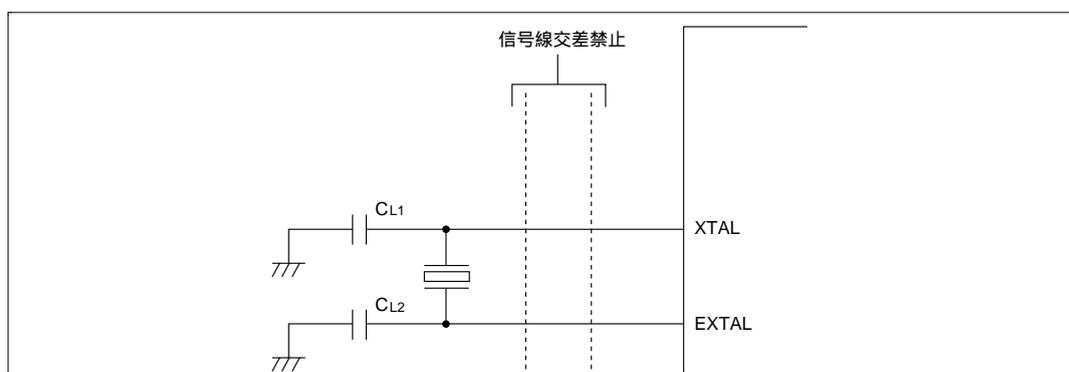


図 7.6 ボード設計上の注意

(b) デューティ補正に関する注意

5MHz 以上の入力クロックに対して、デューティ補正が行われます。5MHz 以下に対してはデューティ補正されないことがありますが、AC 特性のクロックハイレベル幅 (tCH)、クロックローレベル幅 (tCL) は満足し、かつ LSI 内部は問題なく動作します。図 7.7 にデューティ補正回路の基本特性を示します。

なお、本デューティ補正回路は、入力クロックの過渡的な変動やジッタに対して補正するものではありません。すなわち、デューティ補正が行われて、安定したクロックが得られるまでに、数 10 μ s の時間が必要となります。

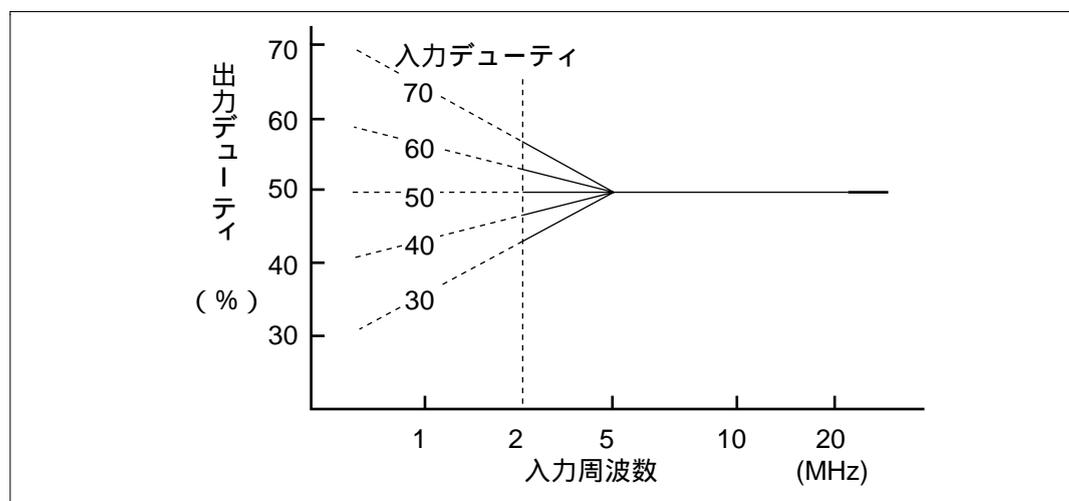


図 7.7 デューティ補正回路の特性

8 . バスステートコントローラ (BSC)

第8章 目次

8.1	概要	119
8.1.1	特長	119
8.1.2	ブロック図	120
8.1.3	端子構成	121
8.1.4	レジスタ構成	122
8.1.5	エリアの概要	122
8.2	レジスタの説明	125
8.2.1	バスコントロールレジスタ (BCR)	125
8.2.2	ウェイトステートコントロールレジスタ 1 (WCR1)	127
8.2.3	ウェイトステートコントロールレジスタ 2 (WCR2)	129
8.2.4	ウェイトステートコントロールレジスタ 3 (WCR3)	132
8.2.5	DRAM エリアコントロールレジスタ (DCR)	134
8.2.6	リフレッシュコントロールレジスタ (RCR)	137
8.2.7	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	139
8.2.8	リフレッシュタイムカウンタ (RTCNT)	141
8.2.9	リフレッシュタイムコンスタントレジスタ (RTCOR)	142
8.2.10	パリティコントロールレジスタ (PCR)	143
8.2.11	レジスタアクセス時の注意	144
8.3	空間分割	146
8.3.1	アドレス空間とエリア	146
8.3.2	バス幅	149
8.3.3	チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$)	150
8.3.4	シャドー	151
8.3.5	エリアの説明	153

8.4	外部メモリ空間アクセス	160
	8.4.1 基本タイミング	161
	8.4.2 ウェイトステート制御	163
	8.4.3 バイトアクセス制御	166
8.5	DRAM 空間アクセス	168
	8.5.1 アドレスマルチプレクス	168
	8.5.2 基本タイミング	171
	8.5.3 ウェイトステート制御	173
	8.5.4 バイトアクセス制御	174
	8.5.5 バースト動作	176
	8.5.6 リフレッシュ制御	181
8.6	アドレス/データマルチプレクス I/O 空間アクセス	186
	8.6.1 基本タイミング	186
	8.6.2 ウェイトステート制御	187
	8.6.3 バイトアクセス制御	188
8.7	パリティチェック・生成	188
8.8	ワープモード	189
8.9	ウェイトステート制御	190
8.10	バスアービトレーション	192
	8.10.1 バスアービトレーションの動作について	193
	8.10.2 $\overline{\text{BACK}}$ 信号の動作	194
8.11	使用上の注意	196
	8.11.1 マニュアルリセットに関する使用上の注意	196
	8.11.2 パリティデータ端子 DPH、DPL に関する使用上の注意	198
	8.11.3 $\overline{\text{BREQ}}$ 入力からバス権解放までの最大ステート数	199

8.1 概要

バスステートコントローラ (BSC) は、アドレス空間の分割、各種のメモリや周辺 LSI に応じた制御信号の出力などを行います。BSC の機能によって、外付け回路なしに DRAM、SRAM、ROM、周辺 LSI などを本 LSI に直結することができますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

8.1.1 特長

BSC には、次のような特長があります。

アドレス空間を 8 つに分割して管理

- エリア 0~7 までの各エリアは最大リニア 4M バイト* (エリア 1 は、DRAM 用に設定すると最大リニア 16M バイト*)
- アクセスアドレスにより、バス幅 (8 ビットまたは 16 ビット) を選択可能
- 内蔵 ROM、内蔵 RAM は 32 ビットを 1 ステートでアクセス
- $\overline{\text{WAIT}}$ 端子によりウェイトステート挿入可能
- ウェイトステート挿入をプログラムで制御可能
- エリア 0、2、6 で、1~4 ステートのウェイトステート挿入をレジスタの設定により指定可能 (ロングウェイト機能)
- エリア毎に接続できるメモリの種類を指定
- 各エリアに接続するメモリや周辺 LSI のアクセスに適した制御信号を出力
- DRAM 直結インタフェース
- DRAM 容量に応じたロウアドレス / カラムアドレスのマルチプレクス
- 2 種類のバイトアクセス信号 (CAS 2 本方式、WE 2 本方式)
- パースト動作 (高速ページモード)
- CAS ピフォ RAS リフレッシュとセルフリフレッシュ
- 各種メモリ、周辺 LSI に対応したアクセス制御
- アドレス / データマルチプレクス機能
- 外部ライト等と内部アクセスを並列に実行可能 (ワープモード)
- データバスに関するパリティの生成とチェック
- 奇数パリティ / 偶数パリティ選択可能
- パリティエラーで割り込み要求発生 (PEI 割り込み要求信号)
- リフレッシュ用カウンタをインターバルタイマとして使用可能
- コンペアマッチで割り込み要求発生 (CMI 割り込み要求信号)

【注】* 実際に使用できる空間は接続するメモリにより異なります。

8.1.2 ブロック図

BSCのブロック図を図8.1に示します。

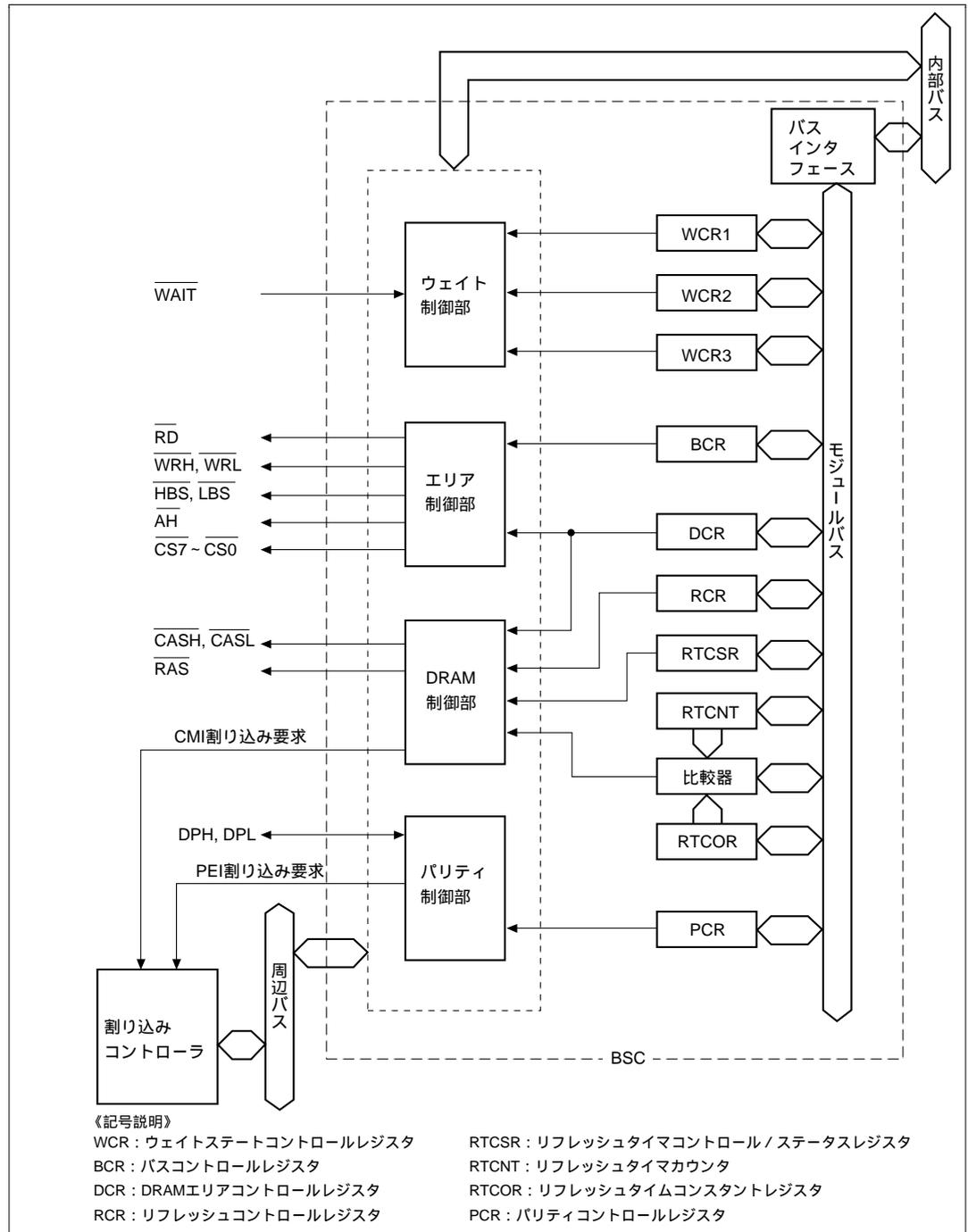


図 8.1 BSCのブロック図

8.1.3 端子構成

BSCの端子構成を表8.1に示します。

表8.1 端子構成

名称	略称	入出力	機能
チップセレクト7~0	$\overline{CS7} \sim \overline{CS0}$	出力	アクセス中のエリアを示すチップセレクト信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
上位側ライト	\overline{WRH}	出力	上位8ビットへのライトサイクルを示すストロープ信号
下位側ライト	\overline{WRL}	出力	下位8ビットへのライトサイクルを示すストロープ信号
ライト	\overline{WR}^{*1}	出力	ライトサイクルを示すストロープ信号
上位バイトストロープ	\overline{HBS}^{*2}	出力	上位8ビットへのアクセスを示すストロープ信号
下位バイトストロープ	\overline{LBS}^{*3}	出力	下位8ビットへのアクセスを示すストロープ信号
ロウアドレスストロープ	\overline{RAS}	出力	DRAMのロウアドレスストロープ信号
上位側カラムアドレスストロープ	\overline{CASH}	出力	DRAMの上位8ビットアクセス時のカラムアドレスストロープ信号
下位側カラムアドレスストロープ	\overline{CASL}	出力	DRAMの下位8ビットアクセス時のカラムアドレスストロープ信号
アドレスホールド	\overline{AH}	出力	アドレス/データマルチプレクス時のアドレスをホールドするための信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
アドレスバス	A21 ~ A0	出力	アドレス出力
データバス	AD15 ~ AD0	入出力	データ入出力。アドレス/データマルチプレクス時は、アドレス出力およびデータ入出力
上位側データバスパリティ	DPH	入出力	上位バイトに対するパリティデータ入出力
下位側データバスパリティ	DPL	入出力	下位バイトに対するパリティデータ入出力

- 【注】 *1 \overline{WRL} 端子と兼用です。(バスコントロールレジスタ (BCR)の BAS ビットで選択します。詳細は「8.2.1 バスコントロールレジスタ」を参照してください。)
- *2 A0 端子と兼用です。(バスコントロールレジスタ (BCR)の BAS ビットで選択します。詳細は「8.2.1 バスコントロールレジスタ」を参照してください。)
- *3 \overline{WRH} 端子と兼用です。(バスコントロールレジスタ (BCR)の BAS ビットで選択します。詳細は「8.2.1 バスコントロールレジスタ」を参照してください。)

8.1.4 レジスタ構成

BSC には表 8.2 に示すように、10 本のレジスタがあります。これらのレジスタにより、空間分割、ウェイトステート、DRAM とのインタフェース、パリティチェックなどの制御を行います。

表 8.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス ¹	アクセスサイズ
バスコントロールレジスタ	BCR	R/W	H'0000	H'5FFFFFFA0	8、16、32
ウェイトステート制御レジスタ 1	WCR1	R/W	H'FFFF	H'5FFFFFFA2	8、16、32
ウェイトステート制御レジスタ 2	WCR2	R/W	H'FFFF	H'5FFFFFFA4	8、16、32
ウェイトステート制御レジスタ 3	WCR3	R/W	H'F800	H'5FFFFFFA6	8、16、32
DRAM エリアコントロールレジスタ	DCR	R/W	H'0000	H'5FFFFFFA8	8、16、32
パリティコントロールレジスタ	PCR	R/W	H'0000	H'5FFFFFFAA	8、16、32
リフレッシュコントロールレジスタ	RCR	R/W	H'0000	H'5FFFFFFAC	8、16、32 ²
リフレッシュタイマコントロール/ ステータスレジスタ	RTCSR	R/W	H'0000	H'5FFFFFFAE	8、16、32 ²
リフレッシュタイマカウンタ	RTCNT	R/W	H'0000	H'5FFFFFFB0	8、16、32 ²
リフレッシュタイムコンスタントレ ジスタ	RTCOR	R/W	H'00FF	H'5FFFFFFB2	8、16、32 ²

【注】 *1 A27～A24 ビットと A8～A0 ビットの値のみ有効で、A23～A9 ビットは無視されます。レジスタアドレスの詳細は、「8.3.5 エリアの説明」を参照してください。

*2 書き込みは必ずワード転送命令を使用してください。書き込みの詳細は「8.2.11 レジスタアクセス時の注意」を参照してください。

8.1.5 エリアの概要

本 LSI では、アーキテクチャ上は 32 ビットのアドレス空間をもっていますが、上位 4 ビットは無視されます。表 8.3 に、空間分割の概要を示します。表に示すように、空間は上位側アドレスの値によって、エリア 0～7 の 8 エリアに分割されます。

各エリアには、特定の種類の空間が割り当てられており、各エリアをアクセスすると、空間の種類に適した各種ストロープ信号が生成されます。これにより、各エリアに空間の種類に応じた周辺 LSI やメモリデバイス等を割り当てて、本 LSI に直結することができます。空間の種類については、アドレスによって固定となっているエリアとレジスタの設定によって選択できるエリアとがあります。

エリア 0 は、内蔵 ROM 空間または外部メモリ空間として使用できます。エリア 1 は、DRAM 空間および外部メモリ空間として使用できます。DRAM 空間は DRAM 直結可能な空間で、 \overline{RAS} 、 \overline{CAS} 、およびマルチプレクスされたアドレスが出力されます。エリア 2～4

は、外部メモリ空間としてのみ使用できます。エリア5は、内蔵周辺モジュール空間および外部メモリ空間として使用できます。エリア6は、アドレス/データマルチプレクス I/O 空間および外部メモリ空間として使用できます。アドレス/データマルチプレクス I/O 空間では、アドレスとデータがマルチプレクスされて AD15 ~ AD0 端子から入出力されま
す。エリア7は、内蔵 RAM 空間および外部メモリ空間として使用できます。

データバスのバス幅は、基本的にアドレスの A27 ビットの値によって 8 ビットと 16 ビットの切り換えを行っています。ただし、次に示すエリアについては、アドレスの A27 ビットの値以外の条件でバス幅が決まります。

- ・エリア0の内蔵 ROM 空間：常に 32 ビット
- ・エリア0の外部メモリ空間：MD0 端子の値が0のとき 8 ビット、1のとき 16 ビット
- ・エリア5の内蔵周辺モジュール空間：アドレスの A8 ビットの値が0のとき 8 ビット、1のとき 16 ビット
- ・エリア6：A27=0の場合、アドレスの A14 ビットの値が0のとき 8 ビット、1のとき 16 ビット
- ・エリア7の内蔵 RAM 空間：常に 32 ビット

空間分割方法と各エリアの詳細については、「8.3 空間分割」を参照してください。

表 8.3 空間分割の概要 (1)

エリア	アドレス	配置可能なメモリ	容量 (リニア空間)	バス幅	CS 出力	アドレス	配置可能なメモリ	容量 (リニア空間)	バス幅	CS 出力
エリア0	H'0000000 ~	内蔵 ROM ^{*1}	16kB ^{*3} 32kB ^{*4}	32	-	H'8000000 ~	内蔵 ROM ^{*1}	16kB ^{*3} 32kB ^{*4}	32	-
	H'0FFFFFF ^{*2}	外部メモリ ^{*2}	4MB	8/16 ^{*5}	$\overline{CS0}$ 出力	H'8FFFFFF ^{*2}	外部メモリ ^{*2}	4MB	8/16 ^{*5}	$\overline{CS0}$ 出力
エリア1	H'1000000 ~	外部メモリ	4MB	8	$\overline{CS1}$ 出力	H'9000000 ~	外部メモリ	4MB	16	$\overline{CS1}$ 出力
	H'1FFFFFF	DRAM ^{*6}	16MB	8	\overline{RAS} \overline{CAS} 出力	H'9FFFFFF	DRAM ^{*6}	16MB	16	\overline{RAS} \overline{CAS} 出力

(続く)

表 8.3 空間分割の概要 (2)

エリア	アドレス	配置可能なメモリ	容量 (リニア空間)	バス幅	CS 出力	アドレス	配置可能なメモリ	容量 (リニア空間)	バス幅	CS 出力
エリア 2	H'2000000 ~ H'2FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS2}}$ 出力	H'A000000 ~ H'FFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS2}}$ 出力
エリア 3	H'3000000 ~ H'3FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS3}}$ 出力	H'B000000 ~ H'BFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS3}}$ 出力
エリア 4	H'4000000 ~ H'4FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS4}}$ 出力	H'C000000 ~ H'CFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS4}}$ 出力
エリア 5	H'5000000 ~ H'5FFFFFFF	内蔵周辺モジュール	512B	8/16 ^{*7}	-	H'D000000 ~ H'DFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS5}}$ 出力
エリア 6	H'6000000 ~ H'6FFFFFFF	外部メモリ	4MB	8/16 ^{*8}	$\overline{\text{CS6}}$ 出力	H'E000000 ~ H'EFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS6}}$ 出力
		マルチプレクス I/O	4MB							
エリア 7	H'7000000 ~ H'7FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS7}}$ 出力	H'F000000 ~ H'FFFFFFF	内蔵 RAM	1kB	32	-

- 【注】 *1 MD2 ~ MD0 端子 = 010 のとき
*2 MD2 ~ MD0 端子 = 000 または 001 のとき
*3 SH7020 のとき
*4 SH7021 のとき
*5 MD0 端子で選択
*6 BCR の DRAME ビットで選択
*7 アドレス A8 の値でバス幅 8 ビットの空間と 16 ビットの空間に分割 (ただし、バス幅 8 ビットの内蔵周辺モジュールには、ロングワードアクセスは禁止です。また、バス幅 16 ビットの内蔵周辺モジュールのなかには、バイトアクセスのみ可能なレジスタ、バイトアクセスは禁止のレジスタがあります。詳細は、各モジュールの章を参照してください。)
*8 アドレス A14 の値でバス幅 8 ビットの空間と 16 ビットの空間に分割
*9 BCR の IOE ビットで選択

8.2 レジスタの説明

8.2.1 バスコントロールレジスタ (BCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRAME	IOE	WARP	RDDTY	BAS	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-	-	-	-	-	-	-

バスコントロールレジスタ (BCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、各エリアの機能、バスサイクルの状態等を選択します。

BCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット 15 : DRAM イネーブル (DRAME)

エリア 1 を外部メモリ空間とするか、DRAM 空間とするかを選択します。0 にすると外部メモリ空間になり、1 にすると DRAM 空間になります。DRAM 空間を選択したときだけ、DRAM エリアコントロールレジスタの設定が有効になります。

ビット 15	説明
DRAME	
0	エリア 1 は外部メモリ空間 (初期値)
1	エリア 1 は DRAME 空間

ビット 14 : マルチプレクス I/O イネーブル (IOE)

エリア 6 を外部メモリ空間とするか、アドレス / データマルチプレクス I/O 空間とするかを選択します。0 にすると外部メモリ空間になり、1 にするとアドレス / データマルチプレクス I/O 空間になります。アドレス / データマルチプレクス I/O 空間では、アドレスとデータがマルチプレクスされて AD15 ~ AD0 端子から入出力されます。

ビット 14	説明
IOE	
0	エリア 6 は外部メモリ空間 (初期値)
1	エリア 6 はアドレス / データマルチプレクス I/O 空間

ビット13：ワープモード (WARP)

ワープモードまたはノーマルモードを選択します。0にするとノーマルモードになり、1にするとワープモードになります。ワープモードでは、一部の外部アクセスと内部アクセスが独立に並行して行われます。

ビット13	説明
WARP	
0	ノーマルモード:外部アクセスと内部アクセスを同時に行わない (初期値)
1	ワープモード: 外部アクセスと内部アクセスを同時に行う

ビット12：RD デューティ (RDDTY)

\overline{RD} 信号のハイレベル幅を T1 ステートの 35%にするか 50%にするかを選択します。0にすると \overline{RD} 信号のハイレベル幅は50%になり、1にすると35%になります。

ビット12	説明
RDDTY	
0	\overline{RD} 信号のハイレベル幅は T1 ステートの 50% (初期値)
1	\overline{RD} 信号のハイレベル幅は T1 ステートの 35%

ビット11：バイトアクセスセレクト (BAS)

ワード空間アクセス時のバイトアクセス制御信号を \overline{WRH} 、 \overline{WRL} 、 $A0$ にするか、 \overline{WR} 、 \overline{HBS} 、 \overline{LBS} にするかを選択します。0にすると \overline{WRH} 、 \overline{WRL} 、 $A0$ 信号が有効になり、1にすると \overline{WR} 、 \overline{HBS} 、 \overline{LBS} 信号が有効になります。

ビット11	説明
BAS	
0	\overline{WRH} 、 \overline{WRL} 、 $A0$ 信号が有効 (初期値)
1	\overline{WR} 、 \overline{HBS} 、 \overline{LBS} 信号が有効

ビット10～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.2 ウェイトステートコントロールレジスタ 1 (WCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0	-	-	-	-	-	-	WW1	-
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RW:	R/W	-	-	-	-	-	-	R/W	-							

ウェイトステートコントロールレジスタ 1 (WCR1) は、読み出し / 書き込み可能な 16 ビットのレジスタで、各エリアをアクセスするときのステート数、ウェイトステートの有無を制御します。

WCR1 は、パワーオンリセットで H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット 15 ~ 8 : 読み出し時ウェイトステート制御 (RW7 ~ RW0)

各エリアへのリードサイクル時のステート数と $\overline{\text{WAIT}}$ 端子からの入力信号をサンプルするかどうかを選択します。RW7 ~ RW0 ビットは、それぞれエリア 7 ~ 0 に対応しています。

基本的に、各ビットを 0 にすると対応するエリアのリードサイクルで $\overline{\text{WAIT}}$ 信号がサンプルされず、1 にするとサンプルされます。

エリア 1、3 ~ 5、7 の外部メモリ空間では、対応するビットを 0 にするとリードサイクルは 1 ステートで終了します。1 にすると、2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。

エリア 0、2、6 の外部メモリ空間では、対応するビットを 0 にすると、リードサイクルは 1 ステート + ロングウェイトステート数 (ウェイトステートコントローラ 3 (WCR3) で設定) となります。1 にすると、1 ステート + ロングウェイトステートを行い、さらに $\overline{\text{WAIT}}$ 信号がローレベルであれば、ウェイトステートを挿入します。

DRAM 空間 (エリア 1) では、RW1 ビットを 0 にすると、コラムアドレス出力サイクルは 1 ステートで終了します (ショートピッチ)。1 にすると、2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート数 (ロングピッチ) となります。また、RW1 ビットが 1 のとき、CAS ビフォア RAS (CBR) リフレッシュサイクルには、 $\overline{\text{WAIT}}$ 信号の状態にかかわらず、リフレッシュコントロールレジスタ (RCR) の CBR リフレッシュ時ウェイトステート挿入 1、0 ビット (RLW1、RLW0) で選択された数のウェイトステートが挿入されます。

アドレス / データマルチプレクス I/O 空間 (エリア 6) へのリードサイクルは、RW6 ビットの設定にかかわらず、4 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。

内蔵周辺モジュール空間 (エリア 5) へのリードサイクルは、RW5 ビットの設定にかかわらず 3 ステートで終了し、 $\overline{\text{WAIT}}$ 信号はサンプルされません。内蔵 ROM (エリア 0) および内蔵 RAM (エリア 7) へのリードサイクルは、RW0、RW7 ビットの設定にかかわらず 1 ステートで終了し、 $\overline{\text{WAIT}}$ 信号はサンプルされません。

8. バスステートコントローラ(BSC)

ビット	説明						
15~8							
RW7 ~ RW0	WAIT 端子 入力信号	リードサイクルステート数					
		外部空間			内部空間		
		外部メモリ空間	DRAM 空間	マルチプレクス I/O	内蔵周辺	内蔵 ROM 内蔵 RAM	
0	リードサイ クルでサン プルしない *1	<ul style="list-style-type: none"> エリア 1, 3~5, 7 : 1 ステート固定 エリア 0, 2, 6 : 1 ステート+ロング ウェイトステート 	カラムアドレスサイク ル : 1 ステート固定 (ショートピッチ)	4 ステート+ $\overline{\text{WAIT}}$ によ るウェイトステート			
1	リードサイ クルでサン プルする (初期値)	<ul style="list-style-type: none"> エリア 1, 3~5, 7 : 2 ステート+$\overline{\text{WAIT}}$ によるウェイトステート エリア 0, 2, 6 : 1 ステート+ロング ウェイトステート+ $\overline{\text{WAIT}}$によるウェイト ステート 	カラムアドレスサイク ル : 2 ステート+ $\overline{\text{WAIT}}$ によ るウェイトステート (ロングピッチ)*2				3ステート 固定

【注】 *1 アドレス/データマルチプレクス I/O 空間では、サンプルします。

*2 CBR リフレッシュ時、 $\overline{\text{WAIT}}$ 信号無視、RCR の RLW1、RLW0 ビットによるウェイトステート挿入

ビット7~2：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット1：書き込み時ウェイトステート制御 (WW1)

DRAM 空間 (エリア1) へのライトサイクル時のステート数と $\overline{\text{WAIT}}$ 信号をサンプルするかどうかを選択します。BCR の DRAM イネーブルビット (DRAME) を 1 にセットし、エリア1を DRAM 空間として使用しているときに、WW1 ビットを 0 にすると、コラムアドレス出力サイクルは1ステートで終了します (ショートピッチ)。1 にすると、2ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート (ロングピッチ) となります。

【注】 WW1 ビットへの 0 書き込みは、エリア1を DRAM 空間として使用しているとき (BCR の DRAME=1 のとき) のみ行ってください。エリア1を外部メモリ空間として使用しているとき (DRAME=0 のとき) は、決して WW1 ビットに 0 を書き込まないでください。

ビット1	説 明	
WW1	DRAM 空間 (BCR の DRAME = 1)	エリア1の外部メモリ空間 (BCR の DRAME = 0)
0	コラムアドレスサイクル：1ステート (ショートピッチ)	設定禁止
1	コラムアドレスサイクル：2ステート + $\overline{\text{WAIT}}$ によるウェイトステート (ロングピッチ)	2ステート + $\overline{\text{WAIT}}$ によるウェイトステート (初期値)

ビット0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

8.2.3 ウェイトステートコントロールレジスタ2 (WCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRW7	DRW6	DRW5	DRW4	DRW3	DRW2	DRW1	DRW0	DWW7	DWW6	DWW5	DWW4	DWW3	DWW2	DWW1	DWW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RW:	R/W															

ウェイトステートコントロールレジスタ2 (WCR2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、各エリアを DMA シングルアドレスモード転送でアクセスするときのステート数、ウェイトステートの有無を制御します。

WCR2 は、パワーオンリセットで H'FFFF に初期化されますが、マニュアルリセットおよびスタイバイモード時には初期化されません。

ビット15~8： シングルモード DMA メモリ読み出し時ウェイトステート制御
(DRW7~DRW0)

各エリアへのシングルモード DMA メモリリードサイクル時のステート数と、 $\overline{\text{WAIT}}$ 信号をサンプルするかどうかを選択します。DRW7~DRW0 ビットは、それぞれエリア7~0に対応しています。

基本的に、各ビットを0にすると対応するエリアのシングルモード DMA メモリリードサイクルで $\overline{\text{WAIT}}$ 信号がサンプルされず、1にするとサンプルされます。

エリア1、3~5、7の外部メモリ空間では、対応するビットを0にするとシングルモード DMA メモリリードサイクルは1ステートで終了します。1にすると、2ステート+ $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。

エリア0、2、6の外部メモリ空間では、対応するビットを0にすると、シングルモード DMA メモリリードサイクルは1ステート+ロングウェイトステート数(WCR3で設定)となります。1にすると、1ステート+ロングウェイトステートを行い、さらに $\overline{\text{WAIT}}$ 信号がローレベルであれば、ウェイトステートを挿入します。

DRAM空間(エリア1)では、DRW1ビットを0にすると、コラムアドレス出力サイクルは1ステートで終了します(ショートピッチ)。1にすると、2ステート+ $\overline{\text{WAIT}}$ 信号によるウェイトステート数(ロングピッチ)となります。

アドレス/データマルチプレクス I/O 空間(エリア6)へのシングルモード DMA メモリリードサイクルは、DRW6ビットの設定にかかわらず、4ステート+ $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。

ビット 15~8	説 明			
DRW7 ~ DRW0	$\overline{\text{WAIT}}$ 端子 入力信号	シングルモード DMA メモリリードサイクルステート数		
		外部空間		
		外部メモリ空間	DRAM 空間	マルチプレクス I/O
0	シングルモード DMA メモリリードサイクルでサンプルしない*	<ul style="list-style-type: none"> ・エリア1、3~5、7： 1ステート固定 ・エリア0、2、6： 1ステート+ロングウェイトステート 	コラムアドレスサイクル： 1ステート固定 (ショートピッチ)	4ステート+ $\overline{\text{WAIT}}$ によるウェイトステート

(続く)

ビット 15~8	説 明			
DRW7 ~ DRW0	WAIT 端子 入力信号	シングルモード DMA メモリリードサイクル状態数		
		外部空間		
		外部メモリ空間	DRAM 空間	マルチプレクス I/O
1	シングルモード DMA メモリリードサイクルでサンプルする (初期値)	<ul style="list-style-type: none"> ・エリア 1、3~5、7： 2 ステート + $\overline{\text{WAIT}}$ によるウェイトステート ・エリア 0、2、6： 1 ステート + ロングウェイトステート + $\overline{\text{WAIT}}$ によるウェイトステート 	カラムアドレスサイクル： 2 ステート + $\overline{\text{WAIT}}$ によるウェイトステート (ロングピッチ)	4 ステート + $\overline{\text{WAIT}}$ によるウェイトステート

【注】* アドレス/データマルチプレクス I/O 空間では、サンプルします。

ビット 7~0 : シングルモード DMA メモリ書き込み時ウェイトステート制御
(DWW7~DWW0)

各エリアへのシングルモード DMA メモリライトサイクル時のステート数と、 $\overline{\text{WAIT}}$ 信号をサンプルするかどうかを選択します。DWW7~DWW0 ビットは、それぞれエリア 7~0 に対応しています。

基本的に、各ビットを 0 にすると対応するエリアのシングルモード DMA メモリライトサイクルで $\overline{\text{WAIT}}$ 信号がサンプルされず、1 にするとサンプルされます。

各ビットの設定によるエリアアクセス時のステート数は、シングルモード DMA メモリリードサイクルと同じです。「ビット 15~8 : シングルモード DMA メモリ読み出し時ウェイトステート制御 (DRW7~DRW0)」を参照してください。

ビット 7~0	説 明			
DWW7 ~ DWW0	$\overline{\text{WAIT}}$ 端子 入力信号	シングルモード DMA メモリライトサイクル状態数		
		外部空間		
		外部メモリ空間	DRAM 空間	マルチプレクス I/O
0	シングルモード DMA メモリライトサイクルでサンプルしない*	<ul style="list-style-type: none"> ・エリア 1、3~5、7： 1 ステート固定 ・エリア 0、2、6： 1 ステート + ロングウェイトステート 	カラムアドレスサイクル： 1 ステート固定 (ショートピッチ)	4 ステート + $\overline{\text{WAIT}}$ によるウェイトステート

(続 く)

8. バスステートコントローラ(BSC)

ビット 7~0	説明			
DWW7 ~ DWW0	WAIT 端子 入力信号	シングルモード DMA メモリライトサイクルステート数		
		外部空間		
		外部メモリ空間	DRAM 空間	マルチプレクス I/O
1	シングルモード DMA メモリライトサイクルでサンプルする (初期値)	<ul style="list-style-type: none"> ・エリア 1、3~5、7： 2ステート+$\overline{\text{WAIT}}$によるウェイトステート ・エリア 0、2、6： 1ステート+ロングウェイトステート+$\overline{\text{WAIT}}$によるウェイトステート 	カラムアドレスサイクル： 2ステート+ $\overline{\text{WAIT}}$ によるウェイトステート (ロングピッチ)	4ステート+ $\overline{\text{WAIT}}$ によるウェイトステート

【注】* アドレス/データマルチプレクス空間では、サンプルします。

8.2.4 ウェイトステートコントロールレジスタ 3 (WCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPU	A02	A02	A6	A6	-	-	-	-	-	-	-	-	-	-	-
		LW1	LW0	LW1	LW0											
初期値:	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-	-	-	-	-	-	-

ウェイトステートコントロールレジスタ 3 (WCR3) は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{\text{WAIT}}$ 端子のプルアップとロングウェイトステート挿入の制御を行います。

WCR3 は、パワーオンリセットで H'F800 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット15：ウェイト端子プルアップ制御（WPU）

本LSI内部で $\overline{\text{WAIT}}$ 端子をプルアップするかどうかを制御します。0にすると $\overline{\text{WAIT}}$ 端子はプルアップされず、1にするとプルアップされます。

ビット15	説明
WPU	
0	$\overline{\text{WAIT}}$ 端子をプルアップしない
1	$\overline{\text{WAIT}}$ 端子をプルアップする (初期値)

ビット14～13：エリア0、2ロングウェイト挿入1、0（A02LW1、A02LW0）

エリア0と2の外部メモリ空間へのアクセス時、挿入するロングウェイトステート数を1～4ステートから選択します。

ビット14	ビット13	説明
A02LW1	A02LW0	
0	0	1ステートのロングウェイトステートを挿入
	1	2ステートのロングウェイトステートを挿入
1	0	3ステートのロングウェイトステートを挿入
	1	4ステートのロングウェイトステートを挿入 (初期値)

ビット12～11：エリア6ロングウェイト挿入1、0（A6LW1、A6LW0）

エリア6の外部メモリ空間へのアクセス時、挿入するロングウェイトステート数を1～4ステートから選択します。

ビット12	ビット11	説明
A6LW1	A6LW0	
0	0	1ステートのロングウェイトステートを挿入
	1	2ステートのロングウェイトステートを挿入
1	0	3ステートのロングウェイトステートを挿入
	1	4ステートのロングウェイトステートを挿入 (初期値)

ビット10～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.5 DRAM エリアコントロールレジスタ (DCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CW2	RASD	TPC	BE	CDTY	MXE	MXC1	MXC0	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	RW	RW	RW	RW	RW	RW	RW	RW	-	-	-	-	-	-	-	-

DRAM エリアコントロールレジスタ (DCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DRAM 制御信号の種類、プリチャージサイクル数、バースト動作モード、アドレスマルチプレクスの有無等を選択します。DCR の設定は、BCR の DRAME ビットが 1 にセットされているときだけ有効です。

DCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット 15 : CAS2 本方式 / WE2 本方式選択 (CW2)

バス幅 16 ビットの空間をアクセスする場合に、CAS2 本方式を使用するか、WE2 本方式を使用するかを選択します。0 にすると $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRL}}$ 信号が有効になり、1 にすると $\overline{\text{CASL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 信号が有効になります。バス幅 8 ビットの空間をアクセスする場合は、CW2 ビットの設定にかかわらず、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRL}}$ 信号のみが使用されます。

ビット 15	説明
CW2	
0	CAS2 本方式: $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRL}}$ 信号が有効 (初期値)
1	WE2 本方式: $\overline{\text{CASL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 信号が有効

ビット 14 : RAS ダウン (RASD)

DRAM へのアクセスが途切れたときに、 $\overline{\text{RAS}}$ 信号をローレベルにしたままで次の DRAM アクセスを待つ (RAS ダウンモード)、 $\overline{\text{RAS}}$ 信号をハイレベルに戻すか (RAS アップモード) を選択します。0 にすると $\overline{\text{RAS}}$ 信号をハイレベルに戻して待ち、1 にするとローレベルにしたまま待ちます。

ビット 14	説明
RASD	
0	RAS アップモード: $\overline{\text{RAS}}$ 信号をハイレベルに戻して次の DRAM アクセスを待つ (初期値)
1	RAS ダウンモード: $\overline{\text{RAS}}$ 信号をローレベルにしたまま次の DRAM アクセスを待つ

ビット13 : RAS プリチャージサイクル数 (TPC)

$\overline{\text{RAS}}$ 信号のプリチャージサイクル (Tp) を1ステートにするか、2ステートにするかを選択します。0にすると1ステートのプリチャージサイクルが挿入され、1にすると2ステートのプリチャージサイクルが挿入されます。

ビット13	説 明	
TPC		
0	1ステートのプリチャージサイクルを挿入	(初期値)
1	2ステートのプリチャージサイクルを挿入	

ビット12 : バースト動作イネーブル (BE)

バースト動作を行うかどうかを選択します。0にするとロウアドレスの比較は行われず、毎回、ロウアドレスが DRAM に送られ (フルアクセス) 転送が行われます。1にするとロウアドレスの比較が行われ、前回のロウアドレスと一致するとバースト動作 (ロウアドレスを出力せず、カラムアドレスと $\overline{\text{CAS}}$ 信号だけを出力するアクセス) が行われます (高速ページモード)。

ビット12	説 明	
BE		
0	ノーマルモード:フルアクセス	(初期値)
1	高速ページモード:バースト動作	

ビット11 : CAS デューティ (CDTY)

ショートピッチアクセス時、 $\overline{\text{CAS}}$ 信号のハイレベル幅をTCステート35%にするか、50%にするかを選択します。0にすると $\overline{\text{CAS}}$ 信号のハイレベル幅は50%になり、1にすると35%になります。

ビット11	説 明	
CDTY		
0	$\overline{\text{CAS}}$ 信号のハイレベル幅は Tc ステートの 50%	(初期値)
1	$\overline{\text{CAS}}$ 信号のハイレベル幅は Tc ステートの 35%	

ビット10：マルチプレクスイネーブル (MXE)

DRAM のロウアドレスとカラムアドレスをマルチプレクスするかどうかを選択します。0 にするとマルチプレクスされず、1 にするとロウアドレスとカラムアドレスがマルチプレクスされます。

ビット10	説明
MXE	
0	ロウアドレスとカラムアドレスをマルチプレクスしない (初期値)
1	ロウアドレスとカラムアドレスをマルチプレクスする

ビット9、8：マルチプレクスシフトカウント1、0 (MXC1、MXC0)

ロウアドレスとカラムアドレスをマルチプレクスするとき (MXE=1) に、ロウアドレスを何ビット下位側にシフトするかを8~10ビットのなかから選択します。また、MXE ビットの設定にかかわらず、バースト動作のときに比較するロウアドレスの範囲を選択します。

ビット9	ビット8	説明	
MXC1	MXC0	ロウアドレスシフト量 (MXE=1)	バースト時比較対象ロウアドレス (MXE = 0 または 1)
0	0	8 ビット (初期値)	A27 ~ A8 (初期値)
	1	9 ビット	A27 ~ A9
1	0	10 ビット	A27 ~ A10
	1	予約	予約

ビット7~0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.6 リフレッシュコントロールレジスタ (RCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RFSHE	RMODE	RLW1	RLW0	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	-	-	-	-	-	-	-	-	RW	RW	RW	RW	-	-	-	-

リフレッシュコントロールレジスタ (RCR) は、読み出し / 書き込み可能な*16 ビットのレジスタで、リフレッシュの開始を制御し、リフレッシュモードとリフレッシュ時のウェイトステート数を選択します。

RCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

【注】* RCR は誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを H'5A に、下位バイトを書き込みデータにして書き込んでください。詳細は、「8.2.11 レジスタアクセス時の注意」を参照してください。

ビット 15～8：予約ビット

読み出すと常に 0 が読み出されます。

ビット 7：リフレッシュ制御 (RFSHE)

DRAM リフレッシュ制御を行うかどうかを選択します。0 にすると DRAM リフレッシュ制御は行われず、リフレッシュタイマカウンタ (RTCNT) を 8 ビットインターバルタイマとして使用できます。1 にすると DRAM リフレッシュ制御が行われます。

ビット 7	説明
RFSHE	
0	リフレッシュ制御を行わない(RTCNT をインターバルタイマとして使用可) (初期値)
1	リフレッシュ制御を行う

ビット6：リフレッシュモード (RMODE)

DRAM リフレッシュ制御が選択されているとき (RFSHE=1)、CAS ビフォ RAS (CBR) リフレッシュを行うか、セルフリフレッシュを行うかを選択します。0 にするとリフレッシュタイマコントロール/ステータスレジスタ (RTCSR) とリフレッシュタイムコンスタントレジスタ (RTCOR) に設定された周期で CBR リフレッシュが行われます。1 にすると DRAM はセルフリフレッシュモードにはいります。リフレッシュ制御が選択されていないとき (RFSHE=0)、RMODE ビットの設定は無効になります。

セルフリフレッシュを解除する場合は、RFSHE=1 の状態で、RMODE のみを 0 に設定してください。

ビット6	説 明	
RMODE		
0	CAS ビフォ RAS リフレッシュを行う	(初期値)
1	セルフリフレッシュを行う	

ビット5、4：CBR リフレッシュ時ウェイトステート挿入 1、0 (RLW1、RLW0)

CBR リフレッシュ時、挿入するウェイトステート数を 1～4 から選択します。CBR リフレッシュが行われるとき、WCR1 の RW1 ビットが 1 に設定されている場合、 $\overline{\text{WAIT}}$ 信号の状態にかかわらず、RLW1 と RLW0 ビットで選択された数のウェイトステートがリフレッシュサイクルに挿入されます。RW1 ビットが 0 に設定されている場合、RLW1 と RLW0 ビットの設定は無視され、ウェイトステートは挿入されません。

ビット5	ビット4	説 明	
RLW1	RLW0		
0	0	1 ステートのウェイトステートを挿入	(初期値)
	1	2 ステートのウェイトステートを挿入	
1	0	3 ステートのウェイトステートを挿入	
	1	4 ステートのウェイトステートを挿入	

ビット3～0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.7 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS2	CKS1	CKS0	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	-	-	-

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な*16 ビットのレジスタで、リフレッシュタイムカウンタ (RTCNT) に入力するクロックを選択し、コンペアマッチ割り込み (CMI) を制御します。

RCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

【注】* RTCSR は誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを H'A5 に、下位バイトを書き込みデータにして書き込んでください。詳細は、「8.2.11 レジスタアクセス時の注意」を参照してください。

ビット 15～8：予約ビット

読み出すと常に 0 が読み出されます。

ビット 7：コンペアマッチフラグ (CMF)

RTCNT の値とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したかどうかを示すフラグです。0 のとき、RTCNT と RTCOR の値が一致していないことを示し、1 のとき、一致したことを示します。

ビット 7	説明
CMF	
0	RTCNT と RTCOR 値が一致していない (初期値) [クリア条件] CMF を読み出してから 0 を書き込む
1	RTCNT と RTCOR の値が一致した

ビット6：コンペアマッチ割り込みイネーブル (CMIE)

RTCNT と RTCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか、禁止するかを選択します。0 にすると、CMI 割り込みが禁止され、1 にすると、許可されます。

ビット6	説明
CMIE	
0	コンペアマッチ割り込み(CMI)を禁止 (初期値)
1	コンペアマッチ割り込み(CMI)を許可

ビット5～3：クロックセレクト2～0 (CKS2～CKS0)

システムクロック () を分周して得られる7種類の内部クロックから RTCNT に入力するクロックを選択します。CKS2～CKS0 ビットで入力クロックを選択すると、RTCNT がカウントアップを開始します。

ビット5	ビット4	ビット3	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
		1	/ 2
	1	0	/ 8
		1	/ 32
1	0	0	/ 128
		1	/ 512
	1	0	/ 2048
		1	/ 4096

ビット2～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.8 リフレッシュタイマカウンタ (RTCNT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W							

リフレッシュタイマカウンタ (RTCNT) は、読み出し / 書き込み可能な*16ビットのレジスタで、リフレッシュまたは割り込み要求を発生させるための8ビットアップカウンタとして使用します。

RTCSR の CKS2~CKS0 ビットで内部クロックを選択すると、そのクロックによって RTCNT はカウントアップを開始します。RTCNT の値がリフレッシュタイムコンスタントレジスタ (RTCOR) の値と一致すると、RTCNT は H'0000 にクリアされ、RTCSR の CMF フラグが1にセットされます。このとき、RCR の RFSHE ビットが1に設定されていると、CAS ピフォ RAS リフレッシュが行われます。また、RTCSR の CMIE ビットが1に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15~8 は予約ビットで、カウンタ動作は行いません。読み出すと常に0が読み出されます。

RTCNT はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

【注】* RTCNT は誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを H'69 に、下位バイトを書き込みデータにして書き込んでください。詳細は、「8.2.11 レジスタアクセス時の注意」を参照してください。

8.2.9 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W							

リフレッシュタイムコンスタントレジスタ (RTCOR) は、読み出し / 書き込み可能な *16 ビットのレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、RTCNT は H'0000 にクリアされ、RTCSR の CMF フラグが 1 にセットされます。このとき、RCR の RFSHE ビットが 1 に設定されていると、CAS ビフォ RAS リフレッシュが行われます。また、RTCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15~8 は予約ビットで、周期設定には使用できません。読み出すと常に 0 が読み出されます。

RTCOR は、パワーオンリセットで H'00FF に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

【注】* RTCOR は誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを H'96 に、下位バイトを書き込みデータにして書き込んでください。詳細は、「8.2.11 レジスタアクセス時の注意」を参照してください。

8.2.10 パリティコントロールレジスタ (PCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEF	PFRC	PEO	PCHK1	PCHK0	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	RW	RW	RW	RW	RW	-	-	-	-	-	-	-	-	-	-	-

パリティコントロールレジスタ (PCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、パリティ極性、パリティチェックをする空間等を選択します。

PCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット 15 : パリティエラーフラグ (PEF)

パリティチェックを行ったとき、パリティエラーが発生したかどうかを示すフラグです。0 のとき、パリティエラーがないことを示し、1 のとき、パリティエラーが発生したことを示します。

ビット 15	説明
PEF	
0	バッテリーエラーなし (初期値) [クリア条件] PEF を読み出してから PEF に 0 を書き込む
1	バッテリーエラー発生

ビット 14 : パリティ強制出力 (PFRC)

パリティエラーチェック機能をテストするためにパリティ強制出力をするかどうかを選択します。0 にすると強制出力を行わず、1 にするとパリティにかかわらず、データ出力時に DPH と DPL 端子からハイレベルを強制出力します。

ビット 14	説明
PFRC	
0	パリティ強制出力を行わない (初期値)
1	ハイレベルを強制出力

ビット13：パリティ極性（PEO）

パリティの極性を偶数にするか、奇数にするかを選択します。0にすると偶数パリティになり、1にすると奇数パリティになります。

ビット13	説 明	
PEO		
0	偶数パリティ	(初期値)
1	奇数パリティ	

ビット12、11：パリティチェックイネーブル1、0（PCHK1、PCHK0）

パリティチェックと生成を行うかどうかとその空間を選択します。

ビット12	ビット11	説 明	
PCHK1	PCHK0		
0	0	パリティチェックと生成を行わない	(初期値)
	1	DRAM空間でパリティチェックと生成を行う	
1	0	DRAM空間とエリア2でパリティチェックと生成を行う	
	1	予約	

ビット10～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.11 レジスタアクセス時の注意

リフレッシュコントロールレジスタ（RCR）、リフレッシュタイムコントロール/ステータスレジスタ（RTCSR）、リフレッシュタイムカウンタ（RTCNT）、リフレッシュタイムコンスタントレジスタ（RTCOR）は、プログラムが暴走したときなどに誤って書き換えられることがないように、書き込み時にパスワードをデータに添付するようになっています。次の方法で、読み出し/書き込みを行ってください。

(1) RCR、RTCSR、RTCNT、RTCOR への書き込み

RCR、RTCSR、RTCNT、RTCOR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 8.2 に示すように、RCR へ書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。RTCSR へ書き込むときは、上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。RTCNT へ書き込むときは、上位バイトを H'69 にし、下位バイトを書き込みデータにして転送してください。RTCOR へ書き込むときは、上位バイトを H'96 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがそれぞれ RCR、RTCSR、RTCNT、RTCOR へ書き込まれます。上位バイトを上記と異なる値にした場合、書き込みは無効になります。

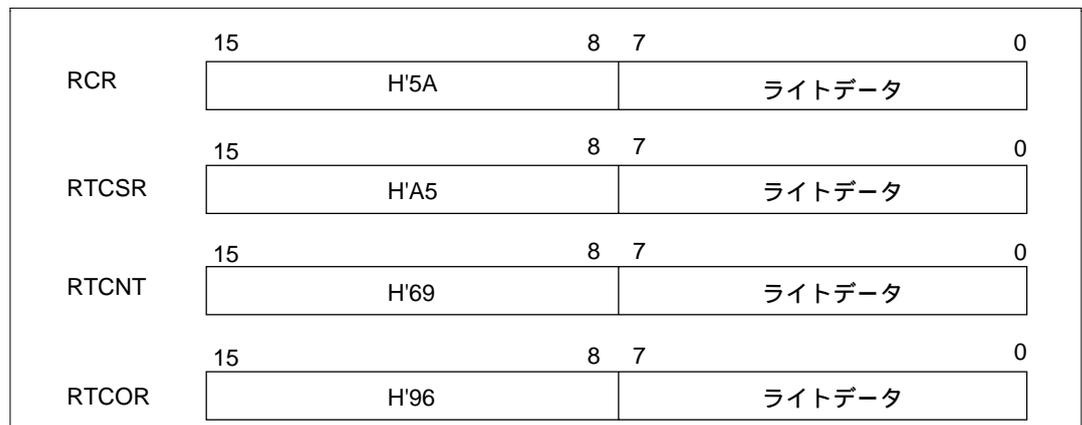


図 8.2 RCR、RTCSR、RTCNT、RTCOR への書き込み

(2) RCR、RTCSR、RTCNT、RTCOR からの読み出し

読み出しは、バイト転送とワード転送で、一般のレジスタと同じように行うことができます。ワード転送で読み出される上位 8 ビットの値は H'00 になります。

8.3 空間分割

8.3.1 アドレス空間とエリア

図 8.3 に、本 LSI で用いるアドレスのフォーマットを示します。

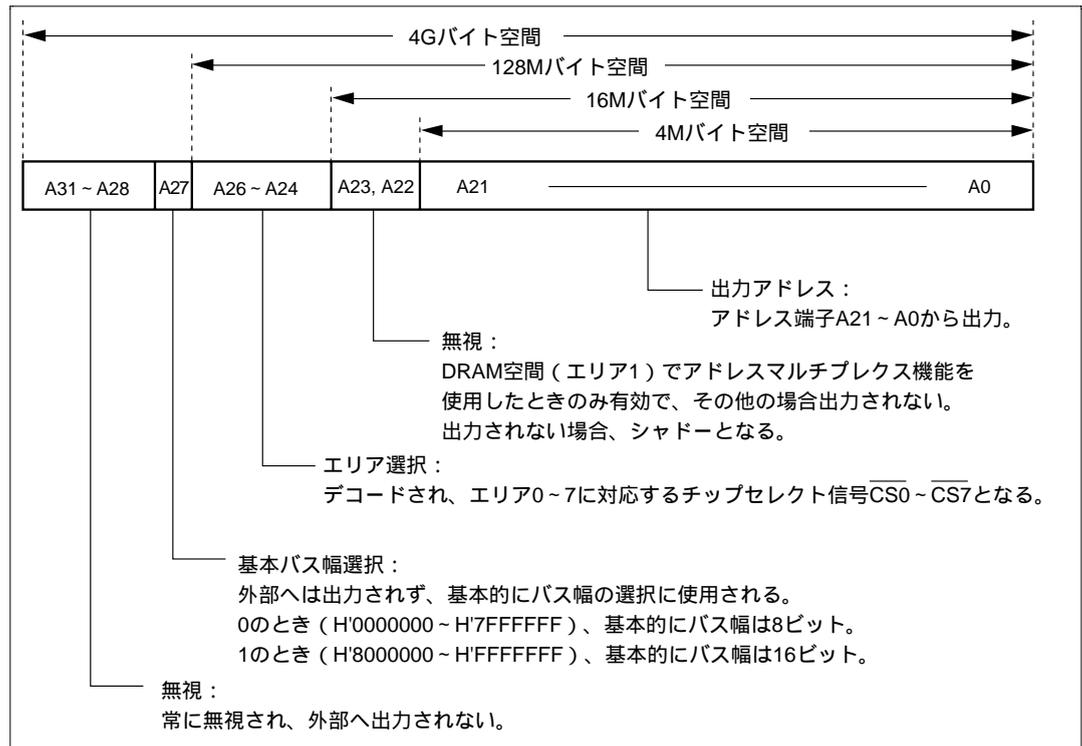


図 8.3 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用いますので、アーキテクチャ上アクセスできる空間は 4G バイトですが、上位 4 ビット（A31～A28）は常に無視され、出力されません。また、A27 ビットは基本的にバス幅の切り換えに用いられ、A27 ビットが 0（H'00000000～H'7FFFFFFF）のとき、バス幅は 8 ビットになり、A27 ビットが 1（H'80000000～H'FFFFFFF）のとき、バス幅は 16 ビットになります。したがって、残り 27 ビット（A26～A0）でアクセスできるのは、128M バイトとなります。

128M バイトの空間は、A26～A24 ビットの値によって、16M バイトずつ 8 エリア（エリア 0～7）に分割されます。A26～A24 ビットが 000 の空間がエリア 0、111 の空間がエリア 7 です。また、A26～A24 ビットはデコードされ、エリア 0～7 に対応するチップセレクト信号（ $\overline{CS0} \sim \overline{CS7}$ ）になり、出力されます。

表 8.4 に空間分割方式を示します。

表 8.4 空間分割方式

エリア	アドレス	配置可能なメモリ	容量(リニア空間)	バス幅	CS 出力	アドレス	配置可能なメモリ	容量(リニア空間)	バス幅	CS 出力
エリア 0	H'0000000 ~ H'0FFFFFFF	内蔵 ROM ^{*1}	16kB ^{*3} 32kB ^{*4}	32	-	H'8000000 ~ H'8FFFFFFF	内蔵 ROM ^{*1}	16kB ^{*3} 32kB ^{*4}	32	-
		外部メモリ ^{*2}	4MB	8/16 ^{*5}	$\overline{\text{CS0}}$ 出力		外部メモリ ^{*2}	4MB	8/16 ^{*5}	$\overline{\text{CS0}}$ 出力
エリア 1	H'1000000 ~ H'1FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS1}}$ 出力	H'9000000 ~ H'9FFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS1}}$ 出力
		DRAM ^{*6}	16MB	8	$\overline{\text{RAS}}$ $\overline{\text{CAS}}$ 出力		DRAM ^{*6}	16MB	16	$\overline{\text{RAS}}$ $\overline{\text{CAS}}$ 出力
エリア 2	H'2000000 ~ H'2FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS2}}$ 出力	H'A000000 ~ H'AFFFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS2}}$ 出力
エリア 3	H'3000000 ~ H'3FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS3}}$ 出力	H'B000000 ~ H'3FFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS3}}$ 出力
エリア 4	H'4000000 ~ H'4FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS4}}$ 出力	H'C000000 ~ H'4FFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS4}}$ 出力
エリア 5	H'5000000 ~ H'5FFFFFFF	内蔵周辺モジュール	512B	8/16 ^{*7}	-	H'D000000 ~ H'DFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS5}}$ 出力
エリア 6	H'6000000 ~ H'6FFFFFFF	外部メモリ ^{*9}	4MB	8/16 ^{*8}	$\overline{\text{CS6}}$ 出力	H'E000000 ~ H'EFFFFFFF	外部メモリ	4MB	16	$\overline{\text{CS6}}$ 出力
		マルチプレクス I/O	4MB							
エリア 7	H'7000000 ~ H'7FFFFFFF	外部メモリ	4MB	8	$\overline{\text{CS7}}$ 出力	H'F000000 ~ H'7FFFFFFF	内蔵 RAM	1kB	32	-

- 【注】
- *1 MD2～MD0 端子 = 010 のとき
 - *2 MD2～MD0 端子 = 000 または 001 のとき
 - *3 SH7020 のとき
 - *4 SH7021 のとき
 - *5 MD0 端子で選択
 - *6 BCR の DRAME ビットで選択
 - *7 アドレス A8 の値でバス幅 8 ビットの空間と 16 ビットの空間に分割 (ただし、バス幅 8 ビットの内蔵周辺モジュールには、ロングワードアクセスは禁止です。また、バス幅 16 ビットの内蔵周辺モジュールのなかには、バイトアクセスのみ可能なレジスタ、バイトアクセスは禁止のレジスタがあります。詳細は、各モジュールの章を参照してください。)
 - *8 アドレス A14 の値でバス幅 8 ビットの空間と 16 ビットの空間に分割
 - *9 BCR の IOE ビットで選択

表 8.4 に示すように、各エリアには DRAM 空間、アドレス / データマルチプレクス I/O 空間などの特定の空間が割り当てられており、それぞれの空間に必要なインタフェース機能を備えています。DRAM や周辺 LSI を、その種類に応じたエリアに割り当てて接続するだけで、必要な制御信号が本 LSI から出力されます。

8.3.2 バス幅

本 LSI のバス幅は、基本的にアドレスの A27 ビットによって、8 ビットまたは 16 ビットに切り換えられます。A27 ビットが 0 のとき、バス幅は 8 ビットになり、データは AD7 ~ AD0 端子から入出力されます。A27 ビットが 1 のとき、バス幅は 16 ビットになります。ワードアクセスの場合データは AD15 ~ AD0 端子から入出力され、バイトアクセスの場合上位バイトデータと下位バイトデータはそれぞれ AD15 ~ AD7 端子、AD7 ~ AD0 端子から入出力されます。バス幅が 8 ビットの場合、あるいはバス幅が 16 ビットでバイトアクセスする場合のデータを入出力しない 8 本の AD 端子の状態については、「付録 B 端子状態」を参照してください。

エリアによっては、A27 ビット以外の条件でもバス幅が決まるものがあります。

- ・エリア 0 : MD2 ~ MD0 端子が 000 のとき 8 ビットの外部メモリ空間、001 のとき 16 ビットの外部メモリ空間、010 のとき 32 ビットの内蔵 ROM 空間となります。
- ・エリア 5 : A27 ビットが 0 のとき、A8 ビットが 0 の領域は 8 ビットの内蔵周辺モジュール空間、A8 ビットが 1 の領域は 16 ビットの内蔵周辺モジュール空間となります。A27 ビットが 1 のときは、16 ビットの外部メモリ空間となります。
- ・エリア 6 : A27 ビットが 0 のとき、A14 ビットが 0 の領域は 8 ビット、A14 ビットが 1 の領域は 16 ビットのバス幅となります。A27 ビットが 1 のときは、16 ビット空間となります。
- ・エリア 7 : A27 ビットが 1 のとき、32 ビットの内蔵 RAM 空間、A27 ビットが 0 のときは、8 ビットの外部メモリ空間となります。

バス幅 8 ビットのエリアに対するワード (16 ビット) データアクセス時およびバス幅 16 ビットに対するロングワード (32 ビット) データアクセス時は連続して 2 回アクセスを行います。また、バス幅 8 ビットのエリアに対するロングワード (32 ビット) データアクセス時は、連続して 4 回アクセスを行います。

8.3.3 チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$)

アドレスの A26 ~ A24 ビットはデコードされ、エリア 0 ~ 7 に対応するチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) になります。各エリアをアクセスすると、対応するチップセレクト端子からローレベルが出力されます。

表 8.5 に、A26 ~ A24 ビットとチップセレクト信号の関係を示します。

表 8.5 A26 ~ A24 ビットとチップセレクト信号

アドレス			選択されるエリア	ローレベルが出力されるチップセレクト端子
A26	A25	A24		
0	0	0	エリア 0	$\overline{CS0}$
0	0	1	エリア 1	$\overline{CS1}$
0	1	0	エリア 2	$\overline{CS2}$
0	1	1	エリア 3	$\overline{CS3}$
1	0	0	エリア 4	$\overline{CS4}$
1	0	1	エリア 5	$\overline{CS5}$
1	1	0	エリア 6	$\overline{CS6}$
1	1	1	エリア 7	$\overline{CS7}$

チップセレクト信号は、外部へのアクセス時のみ出力され、内蔵 ROM (エリア 0)、内蔵周辺モジュール (エリア 5)、内蔵 RAM (エリア 7) へのアクセスでは、 $\overline{CS0}$ 、 $\overline{CS5}$ 、 $\overline{CS7}$ 端子からローレベルは出力されません。また、DRAM 空間 (エリア 1) へのアクセスを行う場合は、ピンファンクションコントローラで \overline{RAS} 、 \overline{CAS} 信号を選択してください。

8.3.4 シャドー

各エリアの大きさは、バス幅 8 ビットの空間、16 ビットの空間とも、アドレスの A23 ~ A0 の 24 ビットで指定できる 16M バイトです。しかし、A23 と A22 ビットは、DRAM 空間（エリア 1）でアドレスマルチプレクス機能を使用したときだけ外部に出力され、その他の場合は出力されませんので、各エリアで実際にアクセスできるのは、A21 ~ A0 の 22 ビットで指定できる 4M バイトです。つまり、A23 と A22 ビットがどのような値でも、同じ 4M バイトの実空間がアクセスされます。図 8.4 (a) に示すように、A23 と A22 ビットが 00、01、10、11 の各領域を実空間のシャドーとよびます。バス幅が 8 ビット、16 ビットの場合の両方とも、4M バイト単位にシャドーが割り当てられています。たとえば、図 8.4 (b) に示すように、A21 ~ A0 の値が等しいアドレス H'3200000、H'3600000、H'3A00000、H'3E00000 を指定すると、A23 と A22 ビットの値にかかわらず、実空間の同じ場所がアクセスされます。

また、アドレスの A27 ビットによってバス幅が切り換えられるエリアでは、A27 が 0 の空間、1 の空間の両方に、同じ実空間のシャドーが割り当てられています（図 8.4(a)）。したがって、A27 の値を変えると、有効になる AD 端子は AD15 ~ AD0 または AD7 ~ AD0 に切り換えられますが、アクセスされる実空間は同じ場所になります。

内蔵 ROM（エリア 0）、DRAM（エリア 1）、内蔵周辺モジュール（エリア 5）、内蔵 RAM（エリア 7）の空間は、シャドーの大きさがこれと異なりますので、詳細は、「8.3.5 エリアの説明」を参照してください。

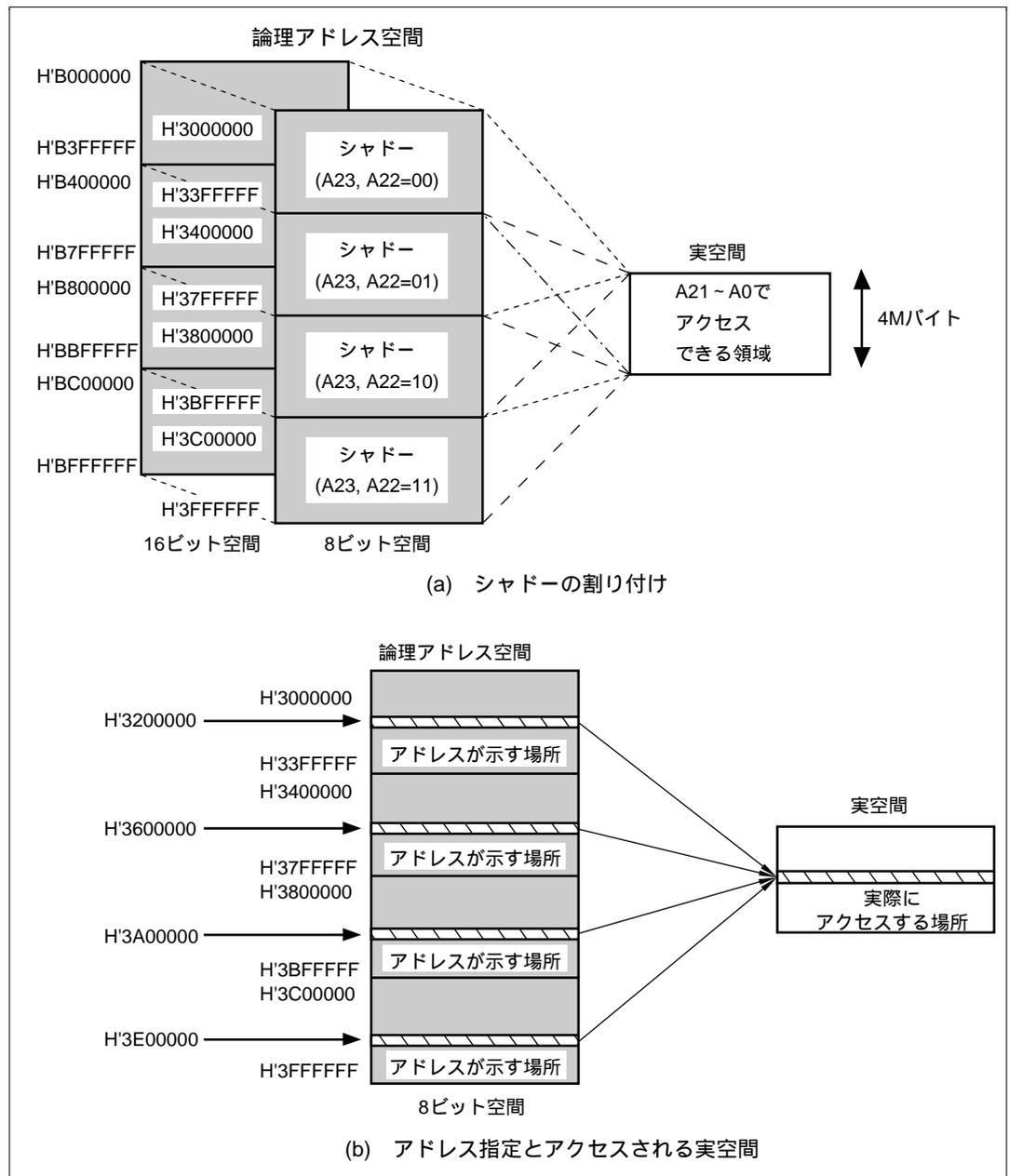


図 8.4 シャドー

8.3.5 エリアの説明

(1) エリア 0

エリア 0は、アドレスの A26 ~ A24 ビットが 000 のエリアで、アドレスの範囲は H'0000000 ~ H'0FFFFFF と H'8000000 ~ H'8FFFFFF です。図 8.5 にエリア 0 のメモリマップを示します。

エリア 0 は、モード端子 (MD2 ~ MD0) の設定によって、内蔵 ROM 空間とするか外部メモリ空間とするかを選択できます。バス幅も、アドレスの A27 ビットの値にかかわらず、MD2 ~ MD0 端子の設定で決まります。MD2 ~ MD0 が 000 のとき 8 ビットの外部メモリ空間、001 のとき 16 ビットの外部メモリ空間、010 のとき 32 ビットの内蔵 ROM 空間になります。

SH7020 では、内蔵 ROM 容量は 16k バイトですので、内蔵 ROM 空間では A23 ~ A14 ビットは無視され、シャドーは 16k バイト単位になります。SH7021 では、内蔵 ROM 容量は 32k バイトですので、内蔵 ROM 空間では A23 ~ A15 ビットは無視され、シャドーは 32k バイト単位になります。内蔵 ROM 空間では $\overline{CS0}$ 信号は無効になります。

外部メモリ空間では、A23 と A22 ビットは出力されず、シャドーは 4M バイト単位になります。外部メモリ空間をアクセスすると $\overline{CS0}$ 信号が有効になります。外部メモリ空間にはロングウェイト機能があり、ウェイトステートコントローラ 3 (WCR3) のエリア 0、2 ロングウェイト挿入ビット (A02LW1、A02LW0) によって、バスサイクルに挿入するロングウェイト数を 1 ~ 4 ステートから選択できます。

8. バスステートコントローラ(BSC)

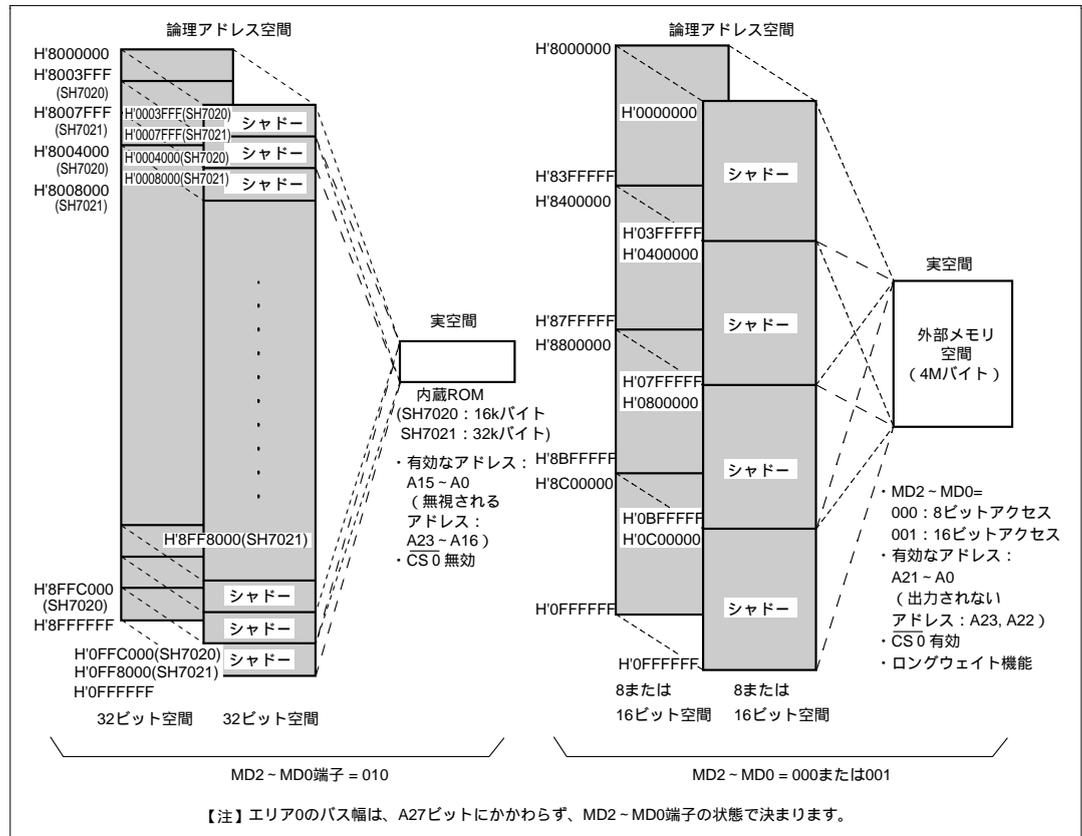


図 8.5 エリア0のメモリマップ

(2) エリア1

エリア1は、アドレスのA26~A24ビットが001のエリアで、アドレスの範囲はH'1000000~H'1FFFFFFFとH'9000000~H'9FFFFFFFです。図8.6にエリア1のメモリマップを示します。

エリア1は、バスコントロールレジスタ(BCR)のDRAMイネーブルビット(DRAME)の設定によって、DRAM空間とするか外部メモリ空間とするかを選択できます。DRAMEビットが0のとき外部メモリ空間、1のときDRAM空間になります。

外部メモリ空間では、バス幅は、アドレスのA27ビットが0のとき8ビット、1のとき16ビットになります。A23とA22ビットは出力されず、シャドーは4Mバイト単位になります。外部メモリ空間をアクセスするとCS1信号が有効になります。

DRAM 空間は外部メモリ空間の一種ですが、特に DRAM を直結するために用意された空間で、必要なストロープ信号が出力されます。アクセスサイズは、アドレスの A27 ビットが 0 のとき 8 ビット、1 のとき 16 ビットになります。DRAM コントロールレジスタ (DCR) のマルチプレクスイネーブルビット (MXE) を 1 にセットしアドレスのマルチプレクス機能を用いると、A23 ~ A0 ビットがマルチプレクスされて A15 ~ A0 端子から出力されるため、最大 16M バイトの空間を使用できます。DRAM 空間アクセス時は、 $\overline{CS1}$ 信号は無効にし、 \overline{CAS} (\overline{CASH} 、 \overline{CASL})、 \overline{RAS} 信号でアクセスするようにピンファンクションコントローラを設定してください。

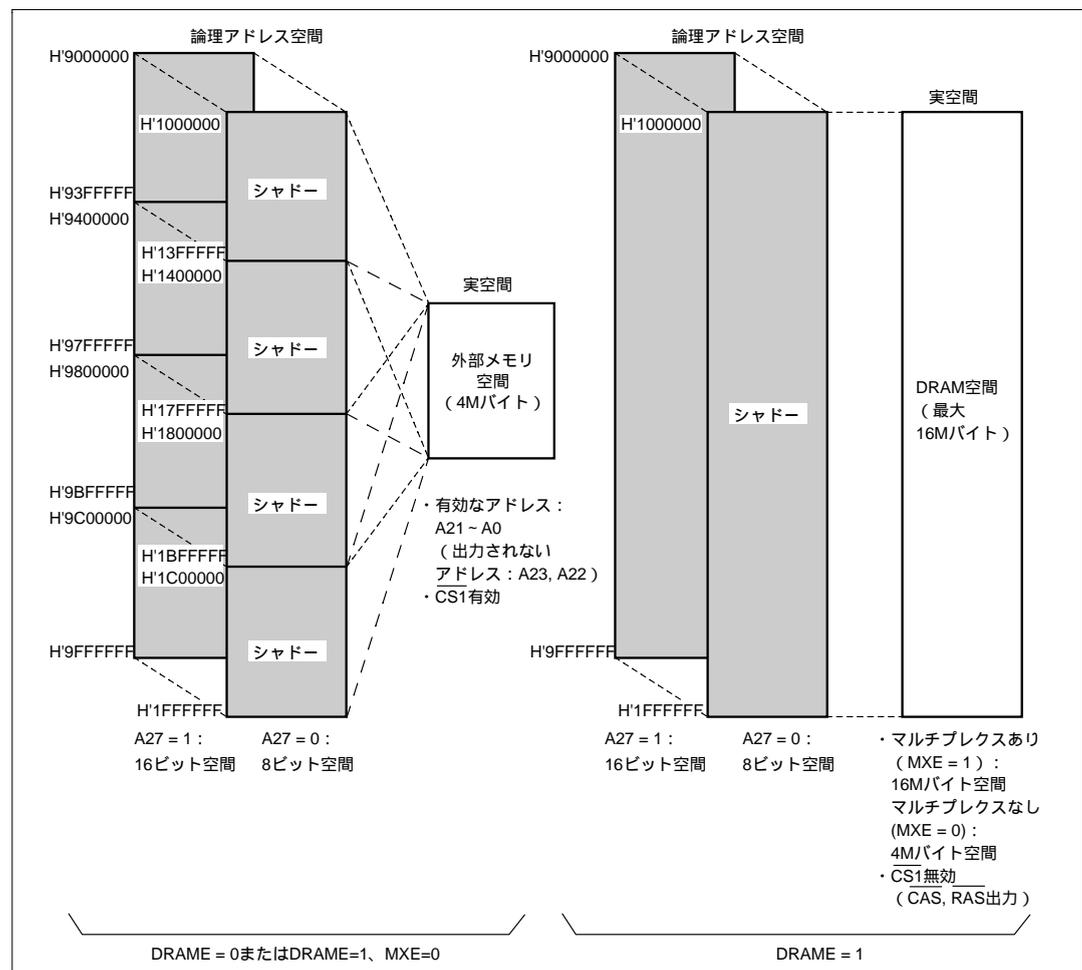


図 8.6 エリア 1 のメモリマップ

(3) エリア 2~4

エリア 2~4 は、アドレスの A26 ~ A24 ビットがそれぞれ 010、011、100 のエリアで、アドレスの範囲は、エリア 2 が H'2000000 ~ H'2FFFFFFF と H'A000000 ~ H'AFFFFFFFFF、エリア 3 が H'3000000 ~ H'3FFFFFFF と H'B000000 ~ H'BFFFFFFF、エリア 4 が H'4000000 ~ H'4FFFFFFF と H'C000000 ~ H'FFFFFFF です。図 8.7 にエリア 2~4 を代表してエリア 2 のメモリマップを示します。

エリア 2~4 は、常に外部メモリ空間として使用できます。バス幅はアドレスの A27 ビットが 0 のとき 8 ビット、1 のとき 16 ビットになります。A23 と A22 ビットは出力されず、シャドーは 4M バイト単位になります。エリア 2~4 をアクセスすると、それぞれ $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 信号が有効になります。エリア 2 にはロングウェイト機能があり、WCR3 の A02LW1 と A02LW0 ビットの値によって、バスサイクルに挿入するロングウェイト数を 1 ~ 4 ステートから選択できます。

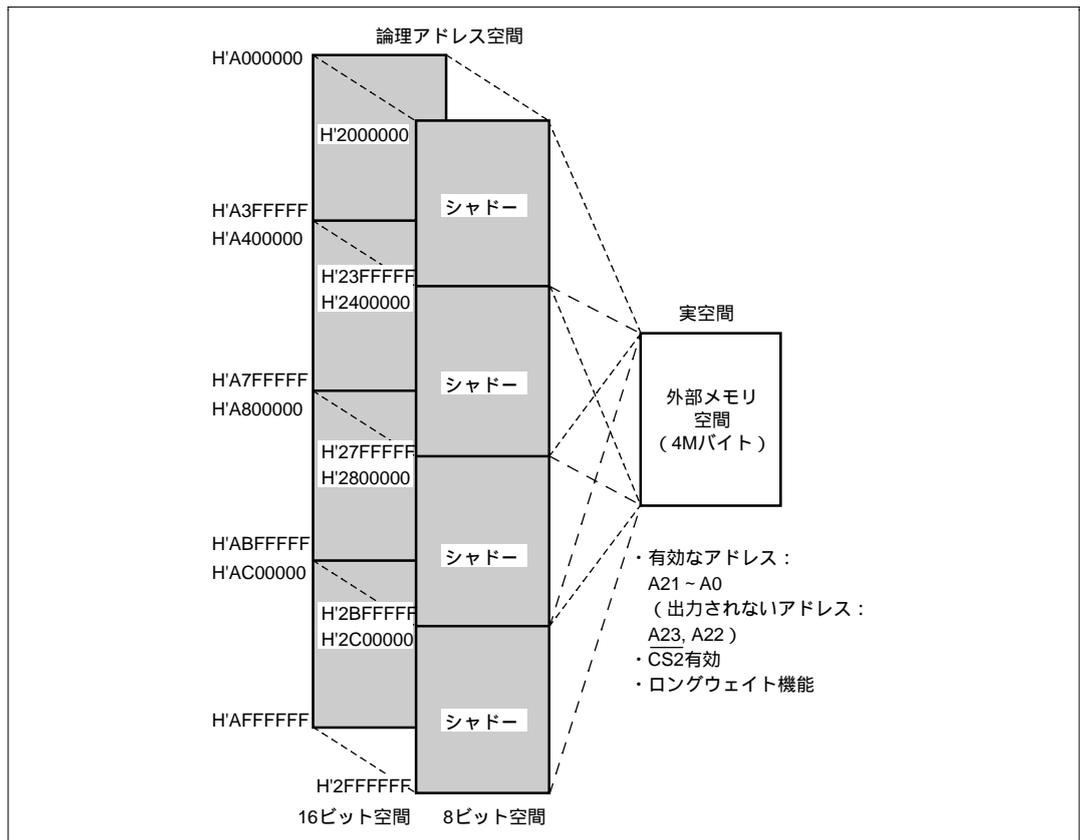


図 8.7 エリア 2 のメモリマップ

(5) エリア 6

エリア 6 は、アドレスの A26 ~ A24 ビットが 110 のエリアで、アドレスの範囲は H'6000000 ~ H'6FFFFFFF と H'E000000 ~ H'FFFFFFF です。図 8.9 にエリア 6 のメモリマップを示します。

エリア 6 では、アドレスの A27 ビットが 0 の空間を、BCR のマルチプレクス I/O イネーブルビット (IOE) が 1 のときアドレス / データマルチプレクス I/O 空間、IOE ビットが 0 のとき外部メモリ空間として割り当てています。A27 ビットが 1 の空間は、常に外部メモリ空間となります。

マルチプレクス I/O 空間は外部メモリ空間の一種ですが、アドレスとデータがマルチプレクスされて AD15 ~ AD0 あるいは AD7 ~ AD0 端子から出力されます。バス幅は、A14 ビットが 0 のときは 8 ビット、A14 ビットが 1 のときは 16 ビットです。A23 と A22 ビットは出力されず、シャドールームは 4M バイト単位になります。マルチプレクス I/O 空間をアクセスすると、CS6 信号が有効になります。

外部メモリ空間では、バス幅は、A27 ビットが 0 の場合、A14 ビットが 0 のときは 8 ビット、A14 ビットが 1 のときは 16 ビットです。A27 ビットが 1 の場合、常に 16 ビットです。A23 と A22 ビットは出力されず、シャドールームは 4M バイト単位になります。外部メモリ空間をアクセスすると、CS6 信号が有効になります。外部メモリ空間にはロングウェイト機能があり、WCR3 のエリア 6 ロングウェイト挿入ビット (A6LW1、A6LW0) の値によって、バスサイクルに挿入するロングウェイト数を 1 ~ 4 ステートから選択できます。

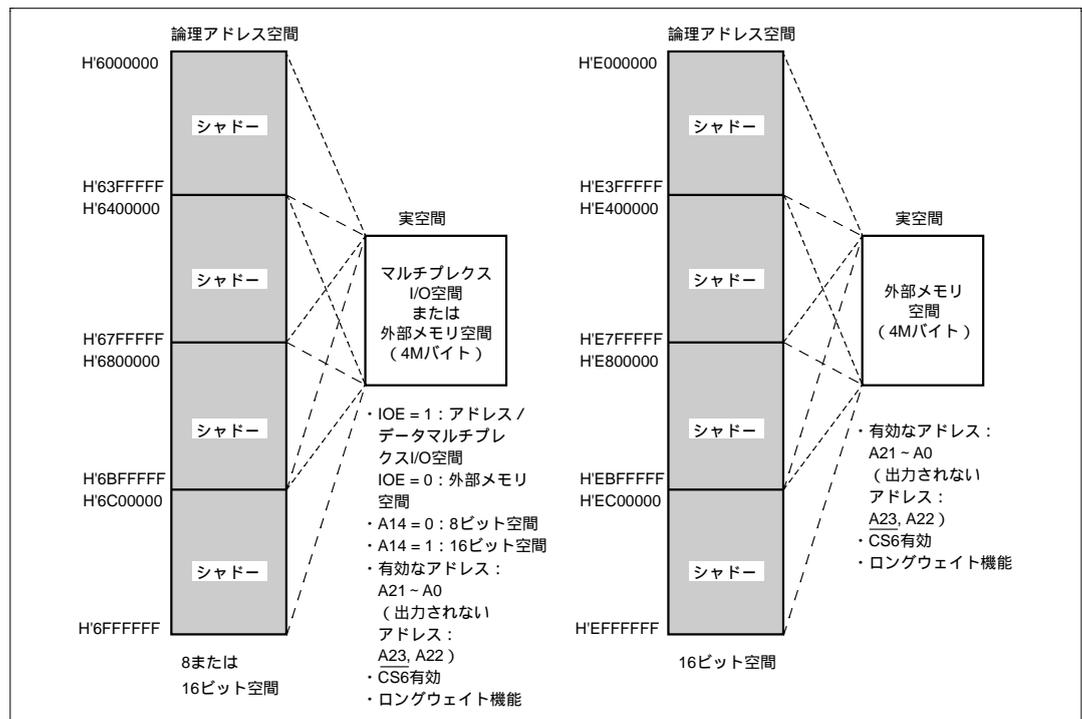


図 8.9 エリア 6 のメモリマップ

(6) エリア7

エリア7は、アドレスの A26 ~ A24 ビットが 111 のエリアで、アドレスの範囲は H'7000000 ~ H'7FFFFFFF と H'F000000 ~ H'FFFFFFF です。図 8.10 にエリア7 のメモリマップを示します。

エリア7は、アドレスの A27 ビットが 0 の空間を外部メモリ空間、1 の空間を内蔵 RAM 空間として割り当てています。

外部メモリ空間では、バス幅は 8 ビットです。A23 と A22 ビットが出力されず、シャドーは 4M バイト単位になります。外部メモリ空間をアクセスすると $\overline{CS7}$ 信号が有効になります。

内蔵 RAM 空間では、バス幅は 32 ビットです。内蔵 RAM 容量は 1k バイトですので、A23 ~ A13 ビットは無視され、シャドーは 8k バイト単位になります。内蔵 RAM アクセス時は、 $\overline{CS7}$ 信号は無効になります。

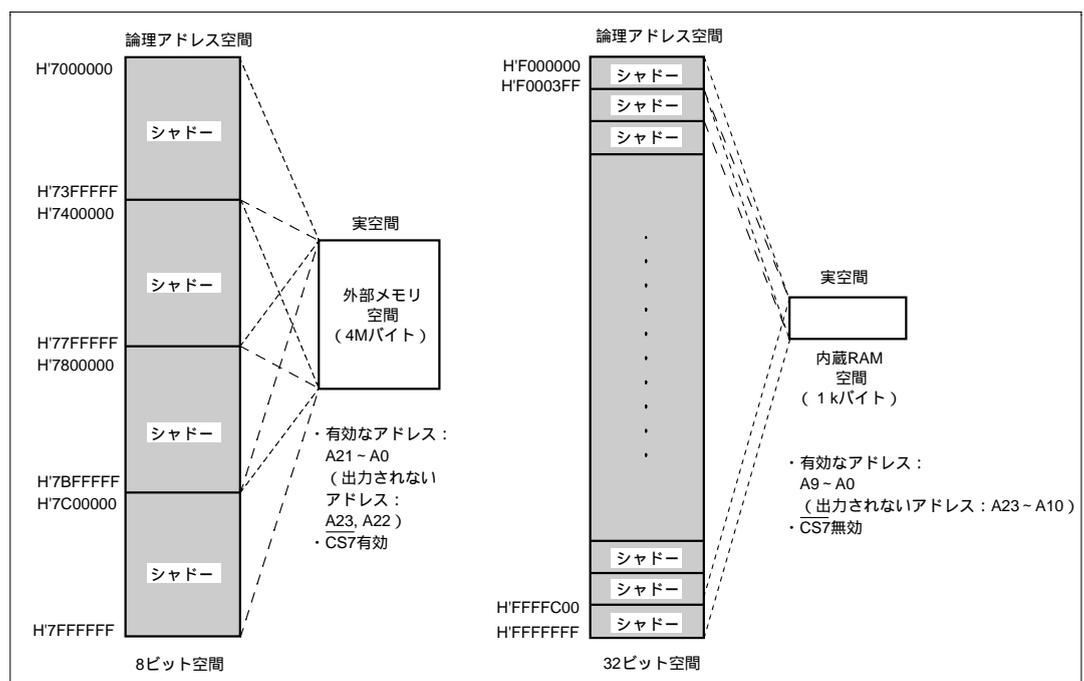


図 8.10 エリア7のメモリマップ

8.4 外部メモリ空間アクセス

外部メモリ空間では、主にSRAMの直結を想定して、ストロープ信号を出力します。外部メモリ空間は、以下のエリアに割り当てられています。

- ・エリア0 (ただし MD2 ~ MD0 端子が 000 または 001 のとき)
- ・エリア 1 (ただしバスコントロールレジスタ (BCR) の DRAM イネーブルビット (DRAME) が 0 のとき)
- ・エリア 2 ~ 4
- ・エリア 5 (ただしアドレスの A27 が 1 の空間)
- ・エリア 6 (ただし BCR のマルチプレクス I/O イネーブルビット (IOE) が 0、または A27 が 1 の空間のとき)
- ・エリア 7 (ただしアドレスの A27 が 0 の空間)

8.4.1 基本タイミング

外部メモリ空間アクセスのバスサイクルは、1ステートまたは2ステートで行われます。ステート数は、ウェイトステート数とともにウェイトステートコントロールレジスタ1~3 (WCR1~WCR3) の設定によって制御されます。詳細は、「8.4.2 ウェイトステート制御」を参照してください。図8.11と図8.12に外部メモリ空間アクセスの基本タイミングを示します。

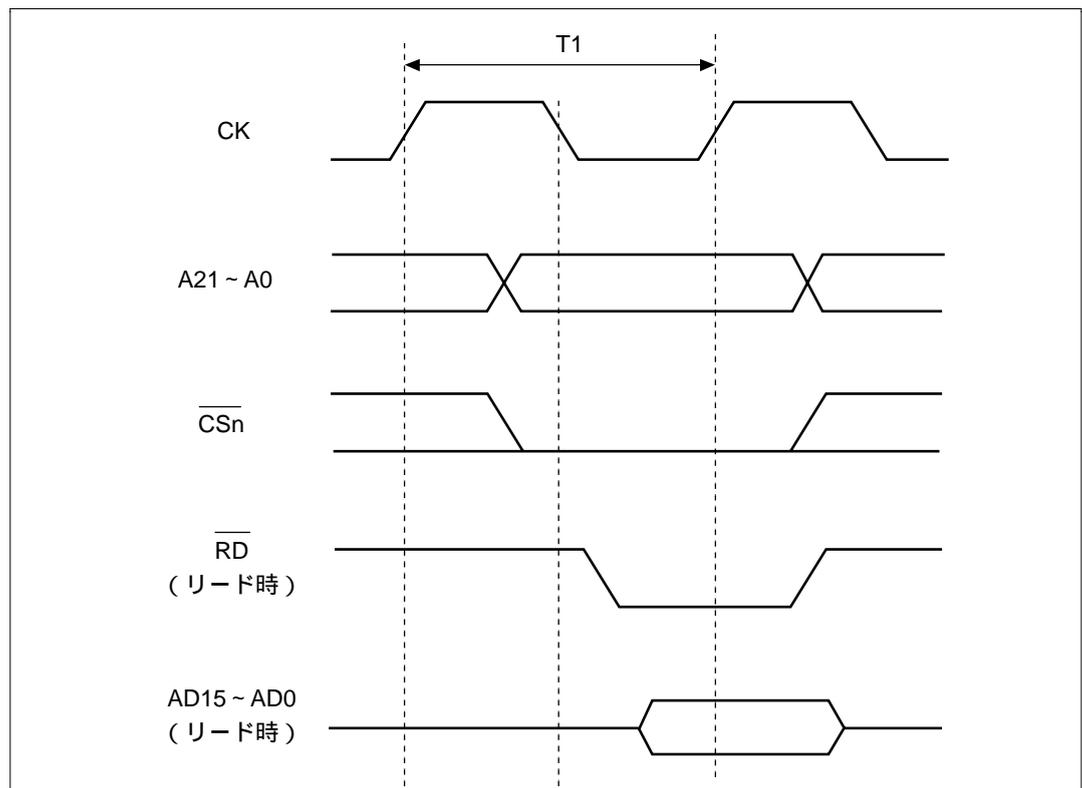


図 8.11 外部メモリ空間アクセスの基本タイミング (1ステートリードタイミング)

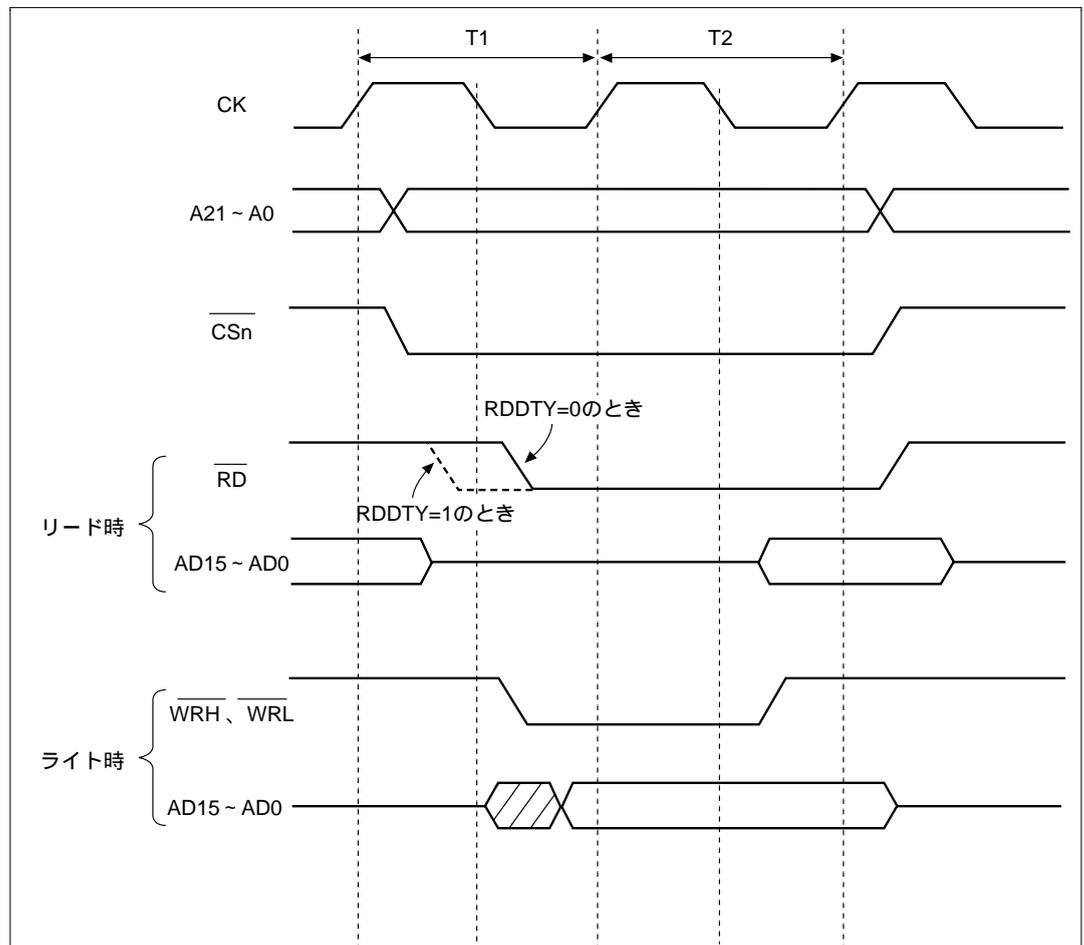


図 8.12 外部メモリ空間アクセスの基本タイミング (2 ステートタイミング)

\overline{RD} 信号のハイレベル幅は、BCR の RD デューティビット (RDDTY) により 35% と 50% から選択できます。RDDTY ビットを 1 にセットするとハイレベル幅が T1 ステートの 35% になり、外部デバイスに対するアクセスタイムを長くとることができます。ただし、1 に設定するのは動作周波数 10MHz 以上の場合のみにしてください。

8.4.2 ウェイトステート制御

WCR1～WCR3の設定により、外部メモリ空間アクセスのステート数とウェイトステートの挿入を制御できます。制御できるバスサイクルは、CPUによるリードサイクル、DMACによるデュアルモードリードサイクルです。WCR2の設定により、制御できるバスサイクルはDMACによるシングルモードリード/ライトサイクルです。

表8.6に、外部メモリ空間への各アクセスサイクルのステート数とウェイトステート数を示します。

表8.6 外部メモリ空間アクセスサイクルのステート数とウェイトステート数

エリア	CPU リードサイクル、DMAC デュアルリードサイクル、 DMAC シングルリード/ライトサイクル		CPU ライトサイクル DMAC デュアルライト サイクル
	WCR1、WCR2 の対応する ビット=0	WCR1、WCR2 の対応する ビット=1	(WCR1 での制御不可) ^{*2}
1、3～5、7	1ステート固定、 $\overline{\text{WAIT}}$ 信号は無視	2ステート固定 + $\overline{\text{WAIT}}$ 信号によるウェイトステート ^{*3}	
0、2、6 (ロングウェイトあり)	1ステート + ロングウェイトステート、 $\overline{\text{WAIT}}$ 信号は無視	1ステート + ロングウェイトステート*1 + $\overline{\text{WAIT}}$ 信号によるウェイトステート	

【注】 *1 ロングウェイトステート数は、WCR3で設定

*2 DRAME=1の場合は、WCR1のWW1ビットで、ショートピッチ/ロングピッチを選択

*3 エリア7に関しては、CS7と $\overline{\text{WAIT}}$ 端子がマルチプレクスされているため、端子ウェイトは使用できません。

CPUリード、DMACデュアルモードリード、DMACシングルモードリード/ライトサイクルの場合、エリア1、3～5、7では、WCR1、WCR2の対応するビットを0にすると、アクセスサイクルは1ステートで終了し、 $\overline{\text{WAIT}}$ 端子入力信号はサンプルされません。ビットを1にすると、 $\overline{\text{WAIT}}$ 信号がサンプルされ、ステート数は2ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。 $\overline{\text{WAIT}}$ 信号は、バスサイクルの第2ステート直前のシステムクロック(CK)の立ち上がりでサンプルされ、ローレベルである間、ウェイトステートが挿入されます。ハイレベルが検出されると、第2ステート(最終ステート)に移行します。図8.13にエリア1、3、4、5、7の外部メモリ空間アクセス時のウェイトステートタイミングを示します。

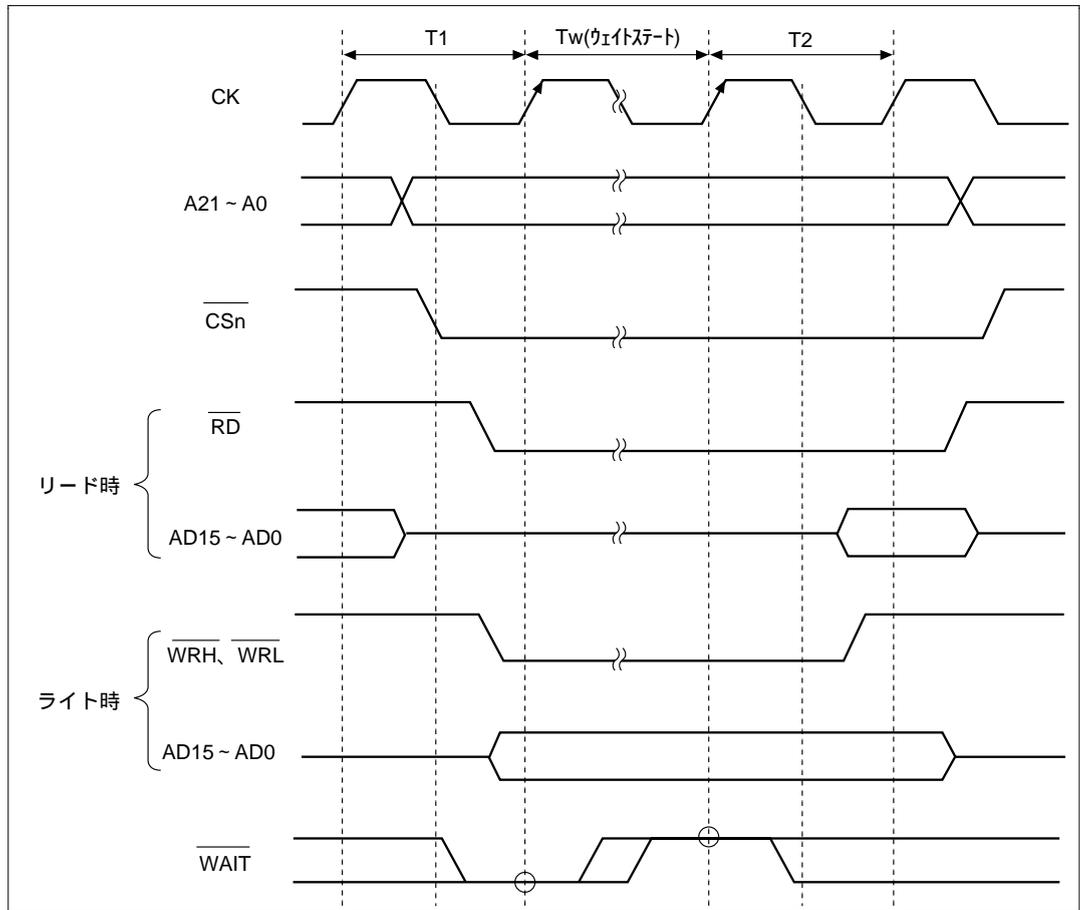


図 8.13 外部メモリ空間アクセス時のウェイトステートタイミング
(2ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

エリア 0、2、6 には、ロングウェイト機能があります。WCR1、WCR2 の対応するビットを 0 にすると、アクセスサイクルは 1 ステート + ロングウェイトステート数 (WCR3 の設定により、1~4 ステートから選択) となり、 $\overline{\text{WAIT}}$ 信号はサンプルされません。ビットを 1 にすると、 $\overline{\text{WAIT}}$ 信号がサンプルされ、1 ステート + ロングウェイトステート数 + $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります。 $\overline{\text{WAIT}}$ 信号は、バスサイクルの最終ロングウェイトステート直前のシステムクロック (CK) の立ち上がりでサンプルされ、ローレベルである間、ウェイトステートが挿入されます。ハイレベルが検出されると、最終ロングウェイトステートに移行します。

図 8.14 にエリア 0、2、6 の外部メモリ空間アクセス時のウェイトステートタイミングを示します。

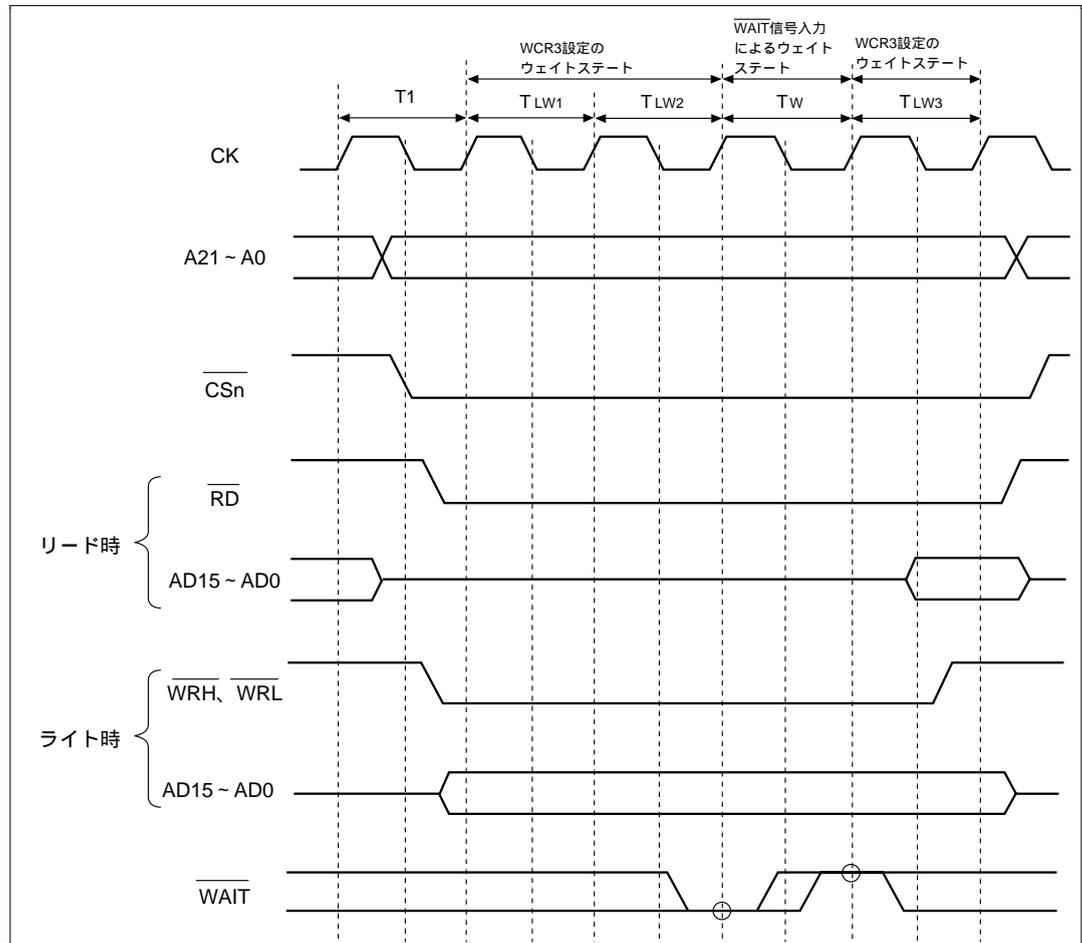


図 8.14 外部メモリ空間アクセス時のウェイトステートタイミング
 (1ステート+ロングウェイトステート(3ステート挿入に設定時)
 + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

外部メモリ空間へのCPUライトサイクル、DMACデュアルモードライトサイクルについては、WCR1でステート数とウェイトステート挿入を制御することはできません。エリア1、3、4、5、7では、 $\overline{\text{WAIT}}$ 信号がサンプルされ、ステート数は、2ステート+ $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります(図8.13)。エリア0、2、6では、1ステート+ロングウェイトステート数+ $\overline{\text{WAIT}}$ 信号によるウェイトステート数となります(図8.14)。WCR1のビット7~2、0には、決して0を書き込まず、常に1にしてください。また、エリア1を外部メモリ空間として使用しているときには、ビット1(WW1)にも、決して0を書き込まず、常に1にしてください。

8.4.3 バイトアクセス制御

バス幅 16 ビットの空間をアクセスするときの上位、下位バイトの制御信号は、($\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 、A0) または ($\overline{\text{WR}}$ 、 $\overline{\text{HBS}}$ 、 $\overline{\text{LBS}}$) の 2 種類から選択することができます。BCR のバイトアクセスセレクトビット (BAS) を 1 にセットすると、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 、A0 端子がそれぞれ $\overline{\text{LBS}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{HBS}}$ 信号を出力するようになります。図 8.15 に、バイトライトサイクルでの制御信号出力タイミングを示します。

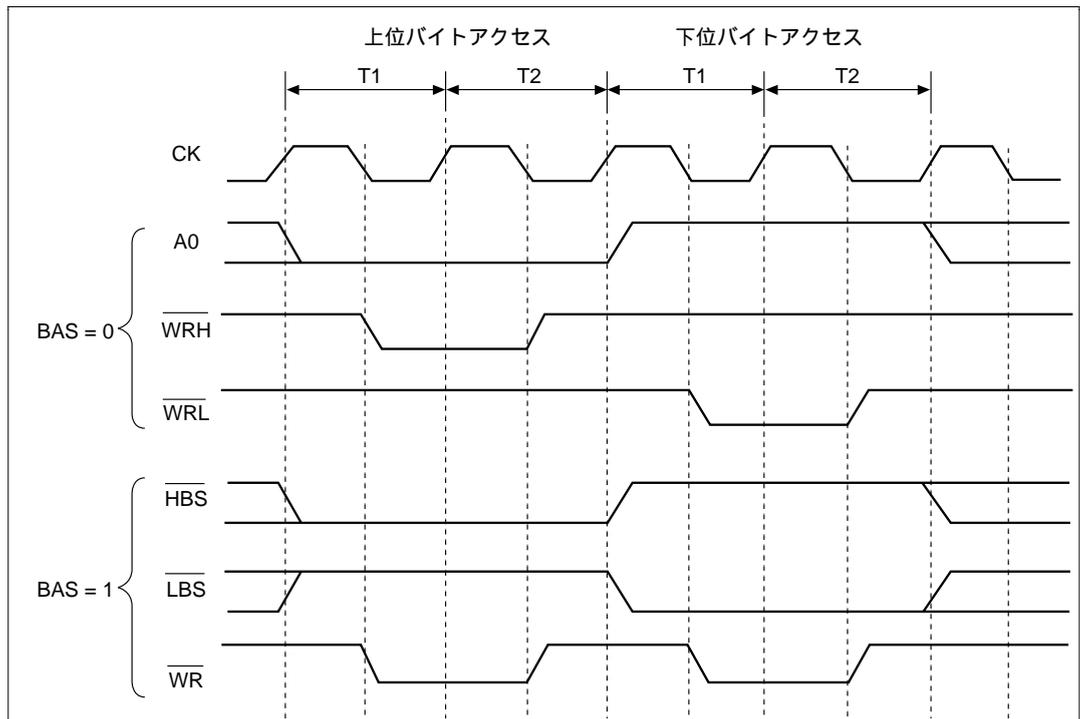


図 8.15 外部メモリ空間アクセス時のバイトアクセス制御タイミング (ライトサイクル)

アドレス/データマルチプレクス空間および外部メモリ空間のうちの 16 ビット空間に対するバイトアクセス信号として、

$\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 方式

$\overline{\text{HBS}}$ 、 $\overline{\text{LBS}}$ 方式

の 2 通りがあります。これらのストローブは、

A0/ $\overline{\text{HBS}}$

$\overline{\text{WRH}}$ / $\overline{\text{LBS}}$

$\overline{\text{WRL}}$ / $\overline{\text{WR}}$

というように端子に割り当てられており、BCR (バスコントロールレジスタ) の BAS ビットによって機能を切り換えるようになっています。

しかし、これらのバイトアクセス信号は、あくまでも 16 ビット空間に対するバイトアクセス時に使用するためのストローブですので、8 ビット空間に対するアクセス時には使

用しないでください。すなわち、8ビット空間に対するアクセス時にはBASビットの値にかかわらず、

- ・ $A0/\overline{HBS}$ 端子を $A0$ として
- ・ $\overline{WRL}/\overline{WR}$ 端子を \overline{WR} 端子として

使用し、 $\overline{WRH}/\overline{LBS}$ 端子は使用しないようにしてください。

8.5 DRAM 空間アクセス

BCR の DRAM イネーブルビット (DRAME) を 1 にセットすると、エリア 1 が DRAM 空間となり、本 LSI と DRAM を直結させるための DRAM インタフェース機能が使用できるようになります。

8.5.1 アドレスマルチプレクス

DRAM エリアコントロールレジスタ (DCR) のマルチプレクスイネーブルビット (MXE) を 1 にすると、ロウアドレスとカラムアドレスがマルチプレクスされます。これにより、外付けのマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に直結することができます。

アドレスをマルチプレクスさせる場合 (MXE=1)、DCR のマルチプレクスシフトカウントビット (MXC1、MXC0) の設定により、ロウアドレスのシフト量を 8、9、10 ビットから選択できます。MXC1、MXC0 ビットとアドレスマルチプレクスの関係を表 8.7 に示します。

表 8.7 マルチプレクスシフトカウントビット (MXC1、MXC0) と
アドレスマルチプレクスの関係 (1)

シフト量 8 ビット (MXC1 = 0、MXC0 = 0)			シフト量 9 ビット (MXC1 = 0、MXC0 = 1)			シフト量 10 ビット (MXC1 = 1、MXC0 = 0)		
出力端子	出力される ロー アドレス	出力される カラム アドレス	出力端子	出力される ロー アドレス	出力される カラム アドレス	出力端子	出力される ロー アドレス	出力される カラム アドレス
A21		A21	A21		A21	A21		A21
A20		A20	A20		A20	A20		A20
A19	不定値	A19	A19	不定値	A19	A19	不定値	A19
A18		A18	A18		A18			
A17		A17	A17		A17			
A16		A16	A16		A16			
A15	A23	A15	A15		A15	A15		A15
A14	A22	A14	A14	A23	A14	A14		A14
A13	A21	A13	A13	A22	A13	A13	A23	A13
A12	A20	A12	A12	A21	A12	A12	A22	A12

(続く)

表 8.7 マルチプレクスシフトカウントビット (MXC1、MXC0) と
アドレスマルチプレクスの関係 (2)

シフト量 8 ビット (MXC1=0、MXC0=0)			シフト量 9 ビット (MXC1=0、MXC0=1)			シフト量 10 ビット (MXC1=1、MXC0=0)		
出力端子	出力される ロー アドレス	出力される コラム アドレス	出力端子	出力される ロー アドレス	出力される コラム アドレス	出力端子	出力される ロー アドレス	出力される コラム アドレス
A11	A19	A11	A11	A20	A11	A11	A21	A11
A10	A18	A10	A10	A19	A10	A10	A20	A10
A9	A17	A9	A9	A18	A9	A9	A19	A9
A8	A16	A8	A8	A17	A8	A8	A18	A8
A7	A15	A7	A7	A16	A7	A7	A17	A7
A6	A14	A6	A6	A15	A6	A6	A16	A6
A5	A13	A5	A5	A14	A5	A5	A15	A5
A4	A12	A4	A4	A13	A4	A4	A14	A4
A3	A11	A3	A3	A12	A3	A3	A13	A3
A2	A10	A2	A2	A11	A2	A2	A12	A2
A1	A9	A1	A1	A10	A1	A1	A11	A1
A0	A8	A0	A0	A9	A0	A0	A10	A0

【注】 MXC1=1、MXC0=1 の設定は予約となっていますので設定しないでください。

例えば MXC1 と MXC0 ビットを 00 に設定して 8 ビットシフトを選択した場合、ロウアドレスとしてアドレスの A23 ~ A8 ビットの値が A15 ~ A0 端子に出力されます。この時 A21 ~ A16 端子の値は不定です。またカラムアドレスとしてアドレスの A21 ~ A0 ビットの値が A21 ~ A0 端子に出力されます。図 8.16 に、8 ビットシフト時のアドレスマルチプレクスの状態を示します。

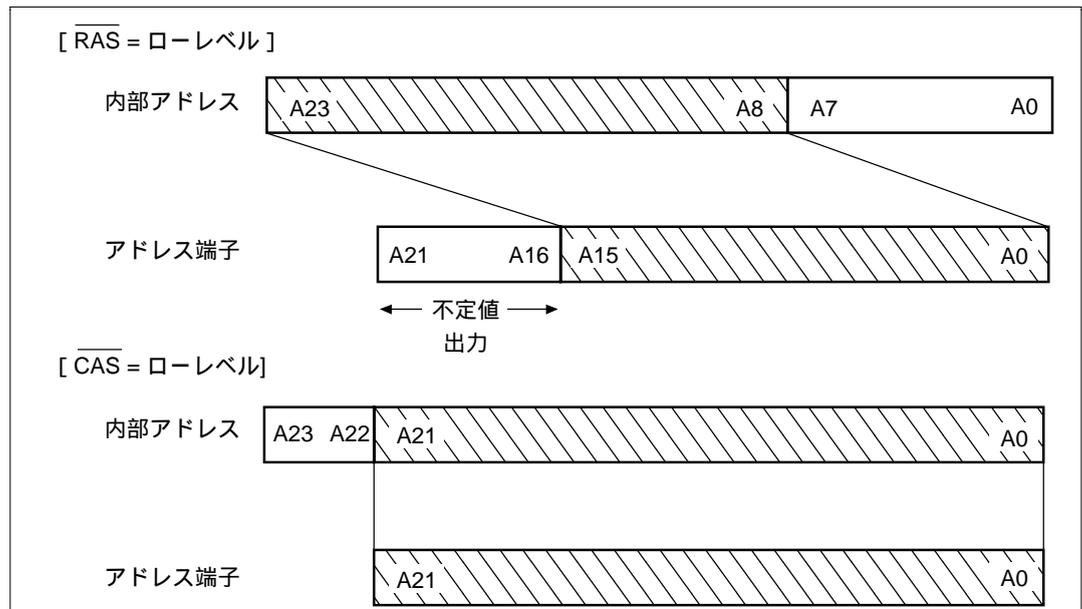


図 8.16 アドレスマルチプレクスの状態 (8 ビットシフト)

8.5.2 基本タイミング

DRAM アクセスには、ショートピッチアクセスとロングピッチアクセスがあります。WCR1のRW1、WW1ビット、WCR2のDRW1、DWW1ビットの設定により、それぞれのバスサイクルについて、ショートピッチまたはロングピッチを選択することができます。対応するビットを0にすると、DRAMアクセスはショートピッチで行われ、カラムアドレス出力サイクルは1ステートになります。1にすると、DRAMアクセスはロングピッチで行われ、カラムアドレス出力サイクルは2ステートになります。図8.17にショートピッチのタイミングを、図8.18にロングピッチのタイミングを示します。

また、ショートピッチアクセス時の $\overline{\text{CAS}}$ 信号のハイレベル幅を、TCステートの50%にするか、35%にするかを選択できます。CDTYビットを1にセットすると、ハイレベル幅が35%になり、DRAMに対するアクセスタイムを長くとることができます。ただし、1に設定するのは動作周波数10MHz以上の場合にしてください。

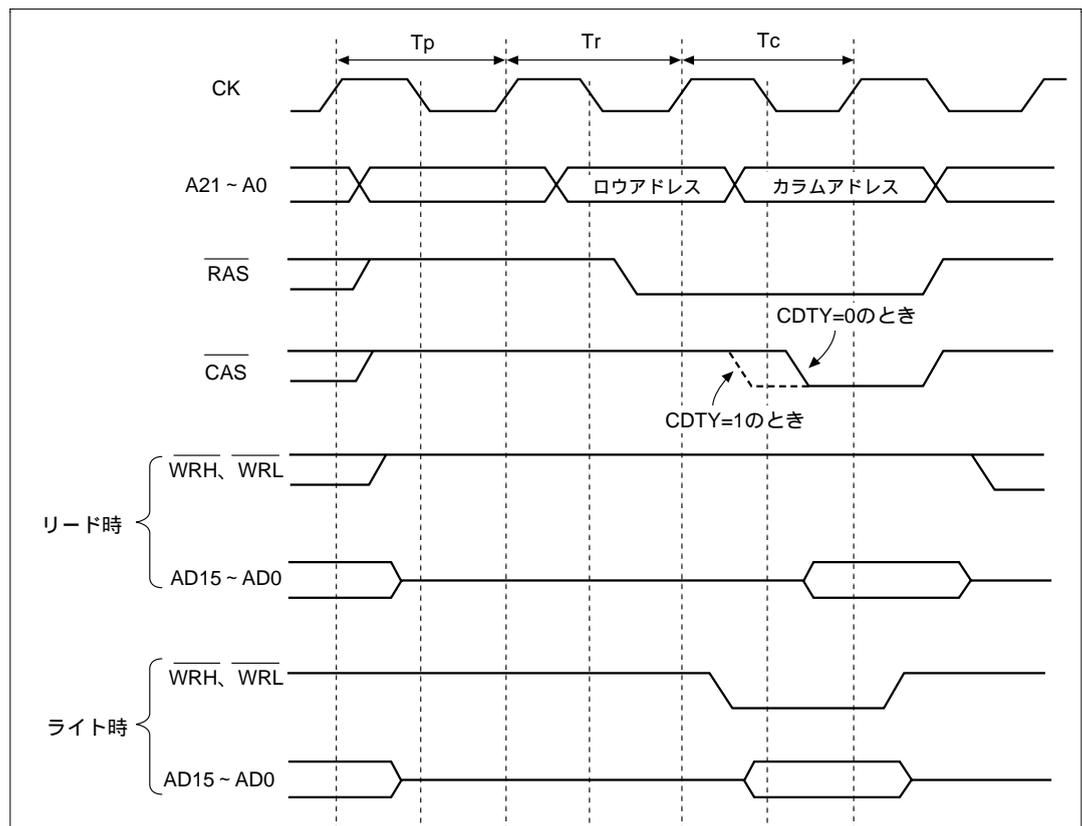


図8.17 ショートピッチアクセスタイミング

8. バスステートコントローラ(BSC)

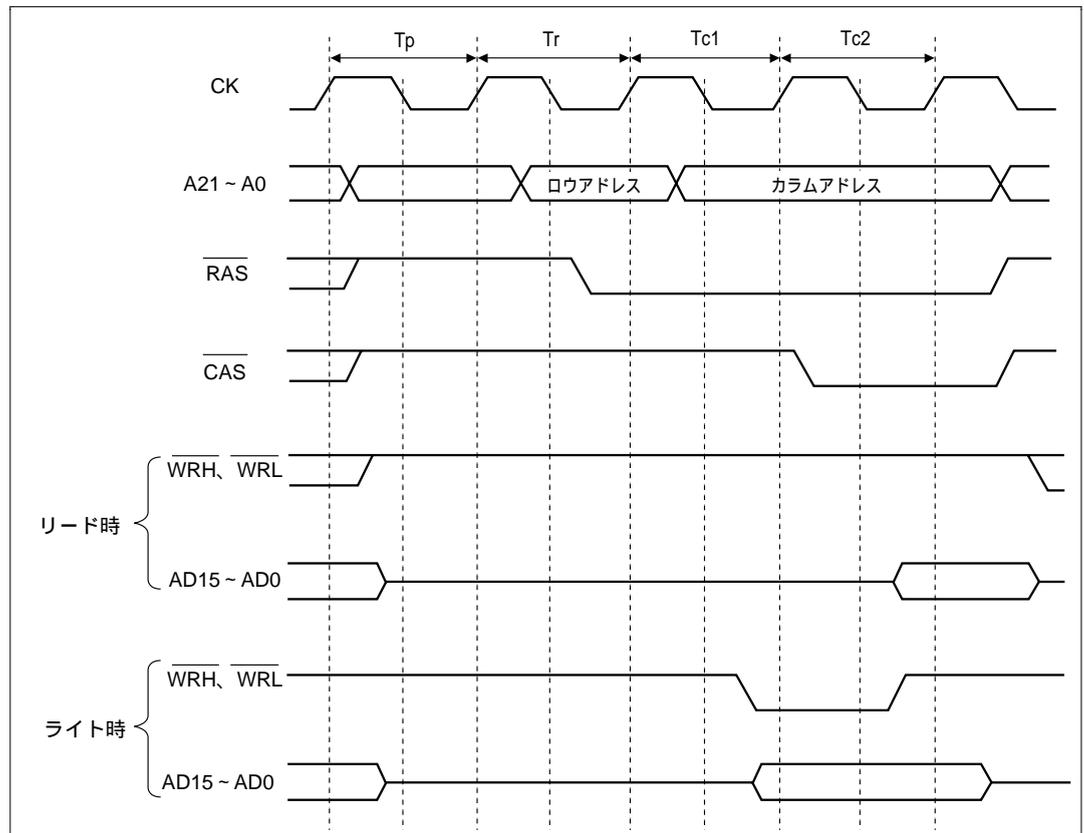


図 8.18 ロングピッチアクセスタイミング

8.5.3 ウェイトステート制御

(1) プリチャージステート制御

マイコンのクロック周波数を上げ、1サイクルの期間を短くすると、DRAM をアクセスするとき $\overline{\text{RAS}}$ 信号のプリチャージ期間が1サイクルだけでは充分でない場合があります。BSC では、DCR の RAS プリチャージサイクル数ビット (TPC) によって、プリチャージ期間を1ステートまたは2ステートから選択することができます。TPC ビットを0にするとプリチャージ期間は1ステート、1にすると2ステートになります。図 8.19 に、プリチャージ期間を2ステートにしたときのタイミングを示します。

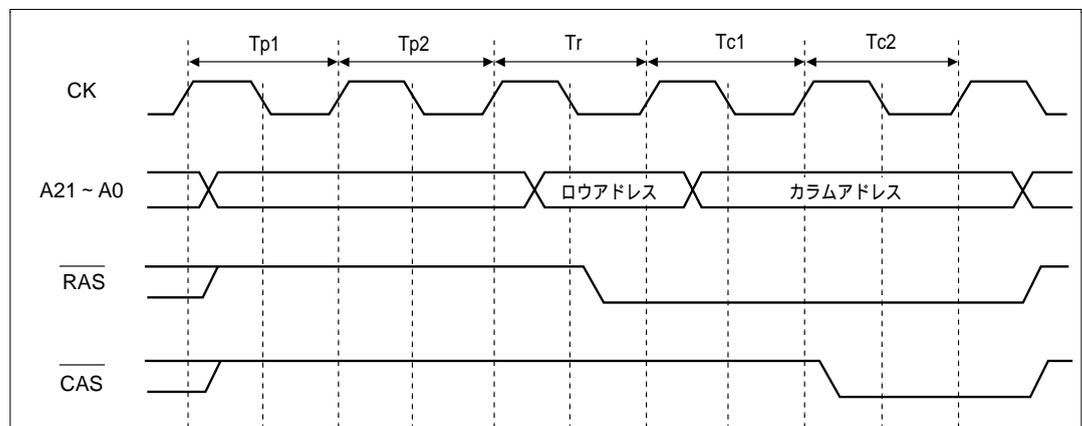


図 8.19 プリチャージタイミング (ロングピッチ)

(2) $\overline{\text{WAIT}}$ 端子入力信号によるウェイトステート挿入の制御

DRAM アクセスサイクルに挿入されるウェイトステート数は、WCR1、WCR2 の設定により制御されます。WCR1、WCR2 の対応するビットを0にすると、カラムアドレス出力サイクルは常に1ステートで終了し、ウェイトステートは挿入されません。ビットを1にすると、 $\overline{\text{WAIT}}$ 端子入力信号が、カラムアドレス出力サイクルの第2ステート直前のシステムクロック (CK) の立ち上がりでサンプルされ、ローレベルである間、ウェイトステートが挿入されます。ハイレベルが検出されると、第2ステートに移行します。図 8.20 に、ロングピッチのバスサイクルでのウェイトステートタイミングを示します。

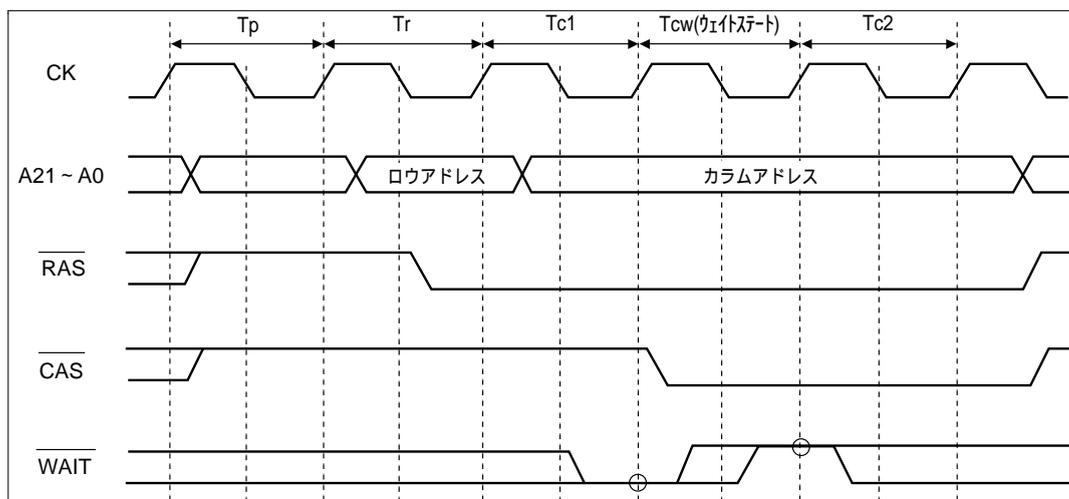


図 8.20 DRAM アクセス時のウェイトステートタイミング (ロングピッチ)

RW1 ビットを 1 にセットした場合、 $\overline{\text{WAIT}}$ 信号の状態にかかわらず、リフレッシュコントロールレジスタ (RCR) の CBR リフレッシュ時ウェイトステート挿入 1、0 ビット (RLW1、RLW0) で選択した数のウェイトステートが CAS ビフォア RAS リフレッシュサイクルに挿入されます。

8.5.4 バイトアクセス制御

16 ビット幅あるいは 18 ビット幅の DRAM をアクセスするときに必要なバイト制御信号は、DRAM の種類により異なります。BSC では、DCR の CAS2 本方式 / WE2 本方式選択ビット (CW2) の設定によって、CAS2 本方式と WE2 本方式の 2 種類の制御信号から選択することができます。

16 ビット空間をアクセスする場合、CW2 ビットを 0 にして CAS2 本方式を選択すると、 $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRL}}$ 信号が出力され、CW2 ビットを 1 にして WE 2 本方式を選択すると、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 信号が出力されます。8 ビット空間をアクセスする場合は、CW2 ビットの設定にかかわらず $\overline{\text{WRL}}$ と $\overline{\text{CASL}}$ 信号が出力されます。

図 8.21 に、16 ビット空間の上位バイトライトサイクル (ショートピッチ) での制御タイミングを示します。

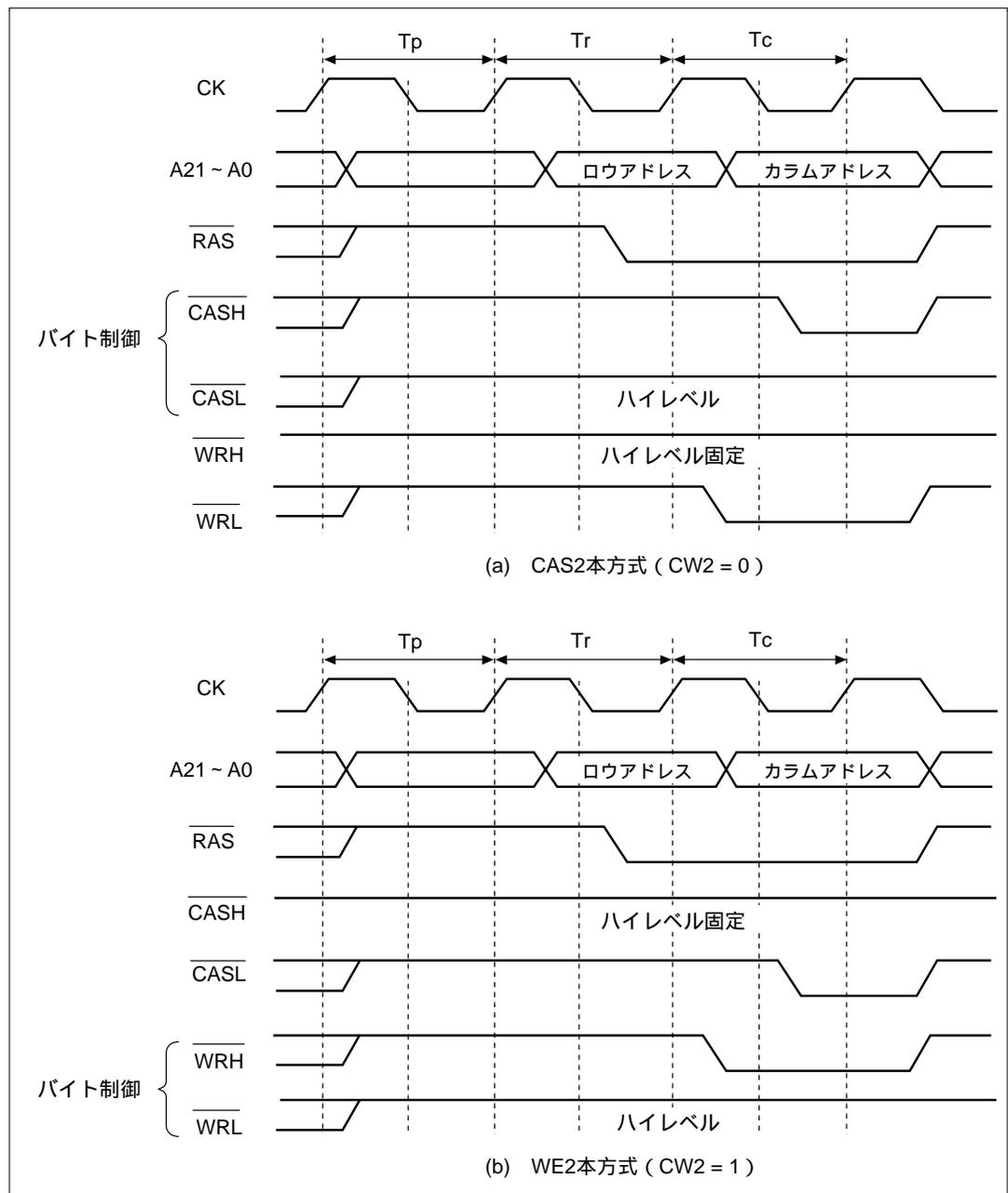


図 8.21 DRAM アクセス時のバイトアクセス制御タイミング
(上位バイトライトサイクル、ショートピッチ)

8.5.5 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスする（フルアクセス）ノーマルモードの他に、同一のロウに対するアクセスが連続する場合、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バースト動作）できる高速ページモードを備えているものがあります。DCR のバースト動作イネーブルビット（BE）の設定によって、フルアクセスまたはバースト動作を選択することができます。BE ビットを 1 にすると、ロウアドレスが前回の DRAM アクセスのロウアドレスと一致したときにバースト動作を行います。図 8.22 にフルアクセスとバースト動作の比較を示します。

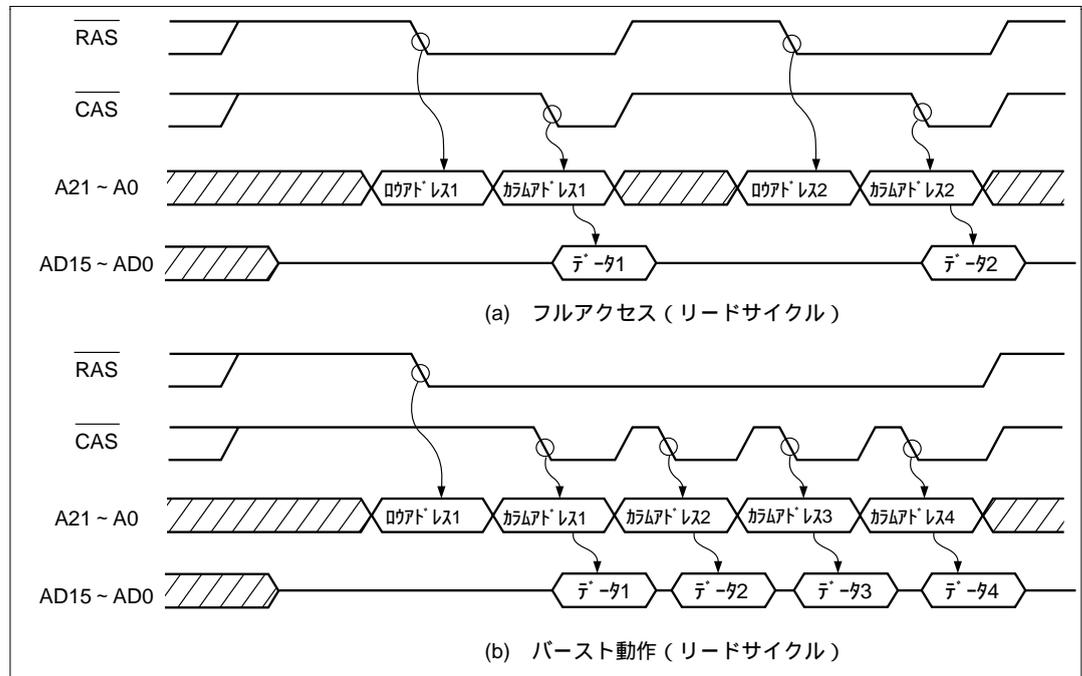


図 8.22 フルアクセスとバースト動作

バースト動作を選択した場合も、WCR1、WCR2 のエリア 1 に対応するビット（RW1、WW1、DRW1、DWW1）によって、DRAM のリード/ライトサイクルについて、それぞれ独立にショートピッチ高速ページモードまたはロングピッチ高速ページモードのバースト転送を選択できます。また、バースト動作中に DRAM 空間以外へのアクセスがはいった場合 RAS ダウンモードにするか、RAS アップモードにするかを、DCR の RAS ダウンビット（RASD）の設定によって選択することができます。

(1) ショートピッチ高速ページモードとロングピッチ高速ページモード

DCR の BE ビットを 1 にセットしてバースト動作を選択したとき、WCR1、WCR2 の RW1、WW1、DRW1、DWW1 ビットによって、ショートピッチ高速ページモードあるいはロングピッチ高速ページモードを選択できます。

(a) ショートピッチ高速ページモード

WCR1、WCR2 の RW1、WW1、DRW1、DWW1 ビットを 0 にすると、対応する DRAM アクセスサイクルが連続した場合、ロウアドレスが一致している間、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクルが連続して行われます。カラムアドレス出力サイクルは 1 ステートで行われ、 $\overline{\text{WAIT}}$ 信号はサンプルされません。ショートピッチ高速ページモードのリードサイクルのタイミングを図 8.23 に示します。

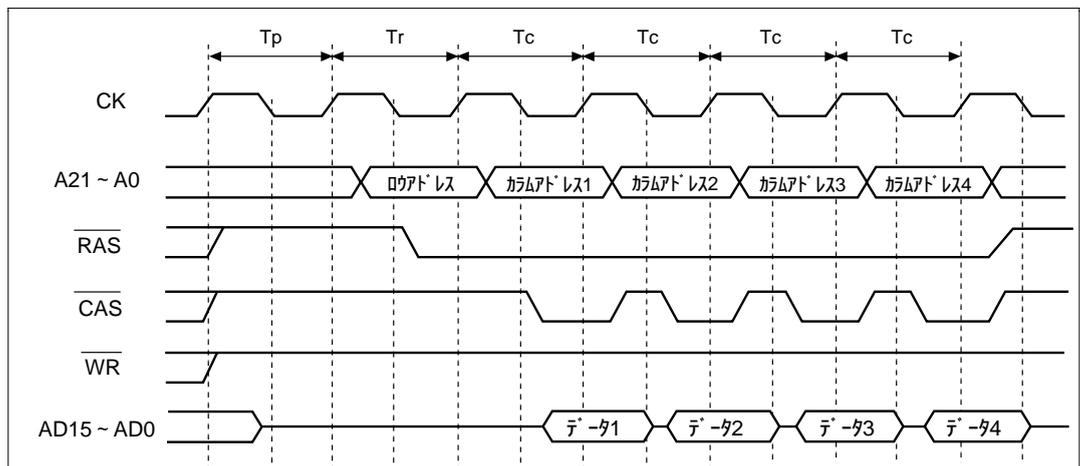


図 8.23 ショートピッチ高速ページモード (リードサイクル)

ショートピッチ高速ページモードで、同じロウアドレスに対するライトサイクルが連続した場合、1 サイクルだけ空きサイクル (サイレントサイクル) が生じます。このときのタイミングを図 8.24 に示します。同様に、リードサイクルの次に同じロウアドレスに対するライトサイクルが続いた場合も 1 サイクルだけサイレントサイクルが生じます。このときのタイミングを図 8.25 に示します。なお、DMAC シングルアドレスモードでショートピッチ高速ページモードの DRAM に書き込む場合、1 転送ごとにサイレントサイクルが挿入されますので注意してください。タイミングの詳細は、「19.3.3 バスタイミング」を参照してください。

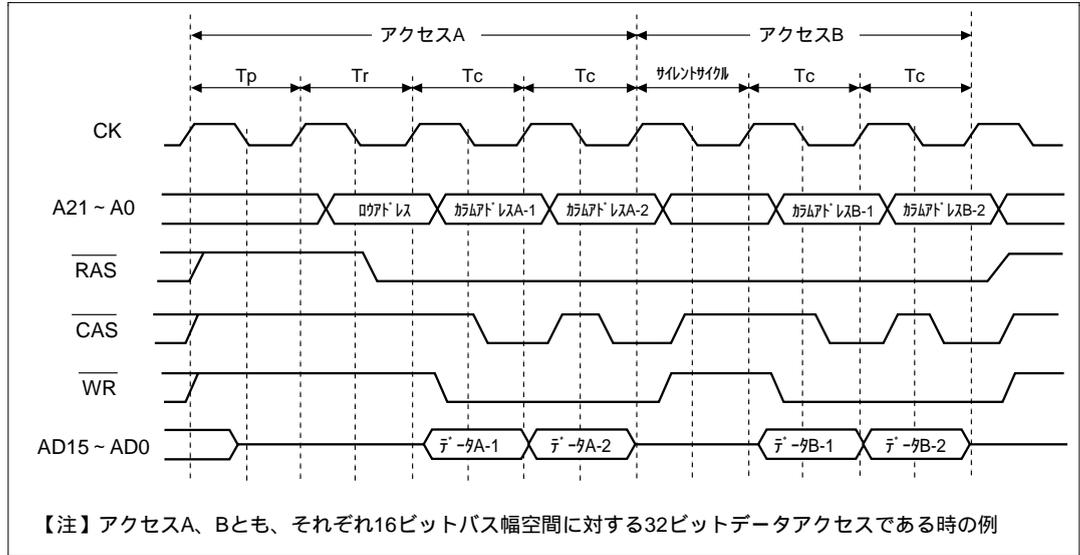


図 8.24 ショートピッチ高速ページモード (ライトサイクル)

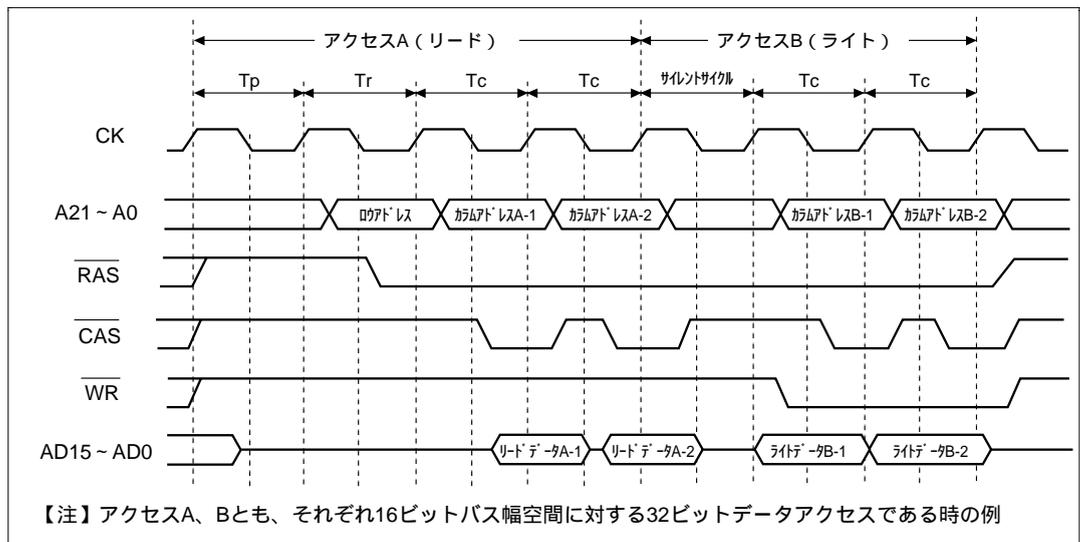


図 8.25 ショートピッチ高速ページモード
(同じロウアドレスでリード、ライトサイクルが続いた場合)

ショートピッチ高速ページモードでの $\overline{\text{CAS}}$ 信号のハイレベル幅をDCRのCASデューティビット (CDTY) で選択することができます。CDTY ビットを 0 にするとハイレベル幅がTC ステートの 50%デューティ、1 にすると 35%となります。

(b) ロングピッチ高速ページモード

WCR1、WCR2 の RW1、WW1、DRW1、DWW1 ビットを 1 にすると、対応する DRAM アクセスサイクルが連続した場合、ロウアドレスが一致している間、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクル (2 ステート) が連続して行われます。このとき、 $\overline{\text{WAIT}}$ 信号のローレベルが検出されるとウェイトステートとしてカラムアドレス出力サイクルの第 2 ステートが繰り返されます。図 8.26 にロングピッチ高速ページモードのタイミングを示します。タイミングの詳細は、「19.3.3 バスタイミング」を参照してください。

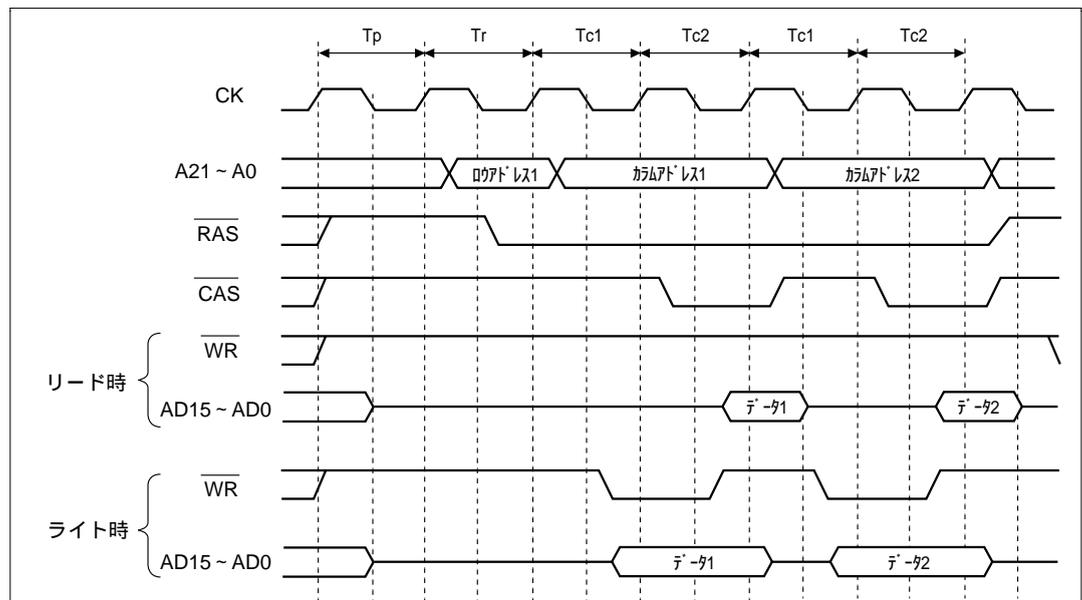


図 8.26 ロングピッチ高速ページモード (リード/ライトサイクル)

(2) RAS ダウンモードと RAS アップモード

バースト動作を選択していても、DRAM へのアクセスが連続せず、途中で他空間へのアクセスがはいつてしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号をローレベルに保持しておくこと、次に DRAM の同一ロウがアクセスされたときバースト動作を続けることができます。DCR の RASD ビットを 1 にすると RAS ダウンモード、0 にすると RAS アップモードになります。なお、RAS ダウンモード・RAS アップモードともに DRAM をアクセスするバスマスタが切り替わっても、同一ロウアドレスのアクセスが続く場合はバースト動作を続けます。

(a) RAS ダウンモード

DCRのRASDビットを1にすると、DRAMへのアクセスが途切れ他空間をアクセスしている間、次のDRAMアクセスまで $\overline{\text{RAS}}$ 信号をローレベルに保持します。次のDRAMアクセスのロウアドレスが、前のDRAMアクセスのロウアドレスと同一の場合、バースト動作が行われます。図8.27に、RASダウンモードで、バースト動作の間に外部メモリ空間アクセスが行われた場合のタイミングを示します。

DRAMでは、 $\overline{\text{RAS}}$ 信号の最長ローレベル期間が決められていますので、RASダウンモードを選択している場合でも、この規定を越えないうちに $\overline{\text{RAS}}$ 信号をハイレベルに戻す必要があります。本LSIでは、RASダウンモードを選択していても、DRAMリフレッシュが行われると $\overline{\text{RAS}}$ 信号は自動的にハイレベルに戻りますので、BSCのリフレッシュ制御機能で、CASビフォRASリフレッシュ制御を行わせれば、この規定を守ることができます。リフレッシュ制御機能については、「8.5.6 リフレッシュ制御」を参照してください。

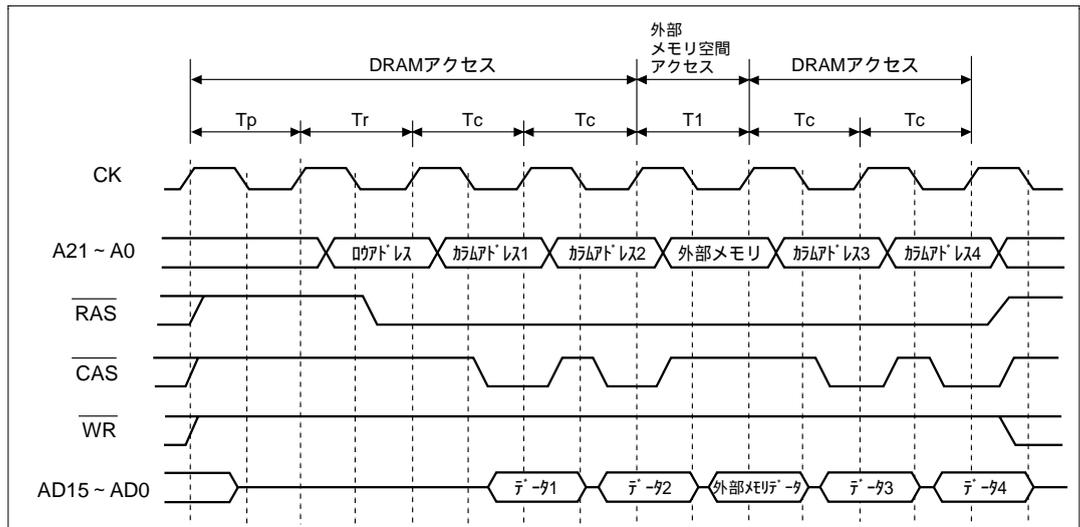


図8.27 RAS ダウンモード

(b) RASアップモード

DCR の RASD ビットを 0 にすると、DRAM へのアクセスが途切れ他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号をハイレベルに戻します。DRAM アクセスが連続している場合だけ、バースト動作を行わせることになります。図 8.28 に、RAS アップモードで、バースト動作の間に外部メモリ空間アクセスが行われた場合のタイミングを示します。

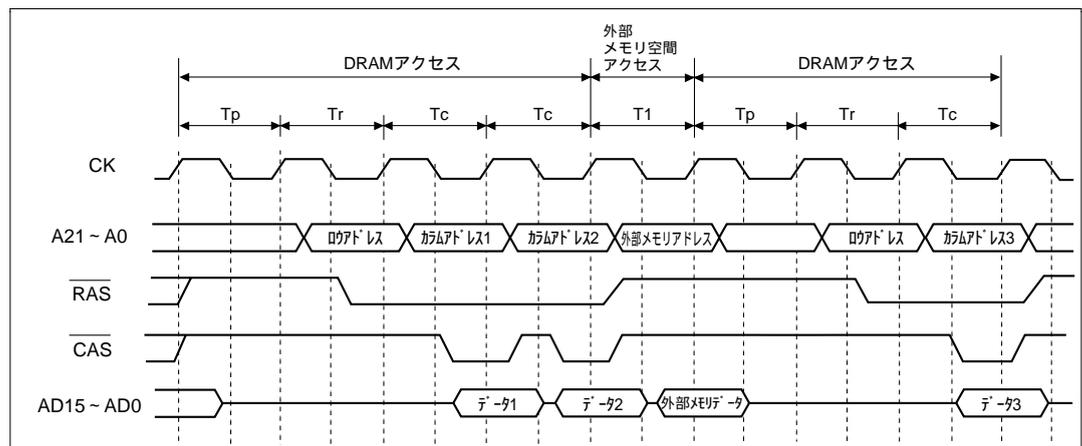


図 8.28 RAS アップモード

8.5.6 リフレッシュ制御

BSC は、DRAM のリフレッシュを制御する機能を備えています。リフレッシュ方法は、リフレッシュコントロールレジスタ (RCR) のリフレッシュモードビット (RMODE) の設定によって、CAS ビフォ RAS (CBR) リフレッシュまたはセルフリフレッシュを選択することができます。

リフレッシュ動作を行わないときは、リフレッシュタイマカウンタ (RTCNT) を 8 ビットインターバルタイマとして使用することができます。

(1) CAS ビフォ RAS (CBR) リフレッシュ

リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) のクロックセレクト 2~0 ビット (CKS2~CKS0) で選択した入力クロックとリフレッシュタイムコンスタントレジスタ (RTCOR) に設定した値とで決まる間隔でリフレッシュが行われます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~CKS0 ビットの値を設定してください。

CBR リフレッシュを行うには RCR の RMODE ビットを 0 にして CBR リフレッシュを選択し、リフレッシュ制御ビット (RFSHE) を 1 にセットしてください。また RTCNT と RTCOR に必要な値を書き込んでください。その後、RTCOR の CKS2 ~ CKS0 ビットでクロックを選択すると、RTCNT はその時の値からカウントアップを開始します。RTCNT の値は RTCOR の値と常に比較されており、両方の値が一致すると CBR リフレッシュが行われます。同時に RTCNT は H'00 にクリアされ、カウントアップが再開されます。

CKS2 ~ CKS0 ビットでクロックを選択すると、直ちに RTCNT はその時の値からカウントアップを開始しますので、CKS2 ~ CKS0 ビットを設定した後に RTCOR に周期を設定すると、RTCNT のカウント値がすでにその周期を超えている場合があります。この場合、RTCNT が一度オーバフロー (H'FF H'00) してカウントアップを再開し、RTCOR の値と一致するまで CBR リフレッシュが行われませんので、最初のリフレッシュ間隔が長くなってしまいます。したがって、先に RTCOR に周期を設定してから、CKS2 ~ CKS0 ビットを設定し、カウントアップを開始させるようにしてください。また、8 ビットインターバルタイマとして使用した後に、CBR リフレッシュ制御を行う場合なども、RTCNT のカウント値がリフレッシュ周期を超えている場合がありますので、RTCNT に H'00 を書き込んでクリアしてからリフレッシュ制御を開始させて、正しいリフレッシュ間隔となるよう注意してください。

WCR1 の RW1 ビットを 1 にセットし、リードサイクルをロングピッチで行うように設定している場合、 $\overline{\text{WAIT}}$ 信号の状態にかかわらず、RCR の RLW1、RLW0 ビットで選択した数のウェイトステートが CBR リフレッシュサイクルに挿入されます。

図 8.29 に RTCNT の動作を、図 8.30 に CBR リフレッシュのタイミングを示します。タイミングの詳細については、「19.3.3 バスタイミング」を参照してください。

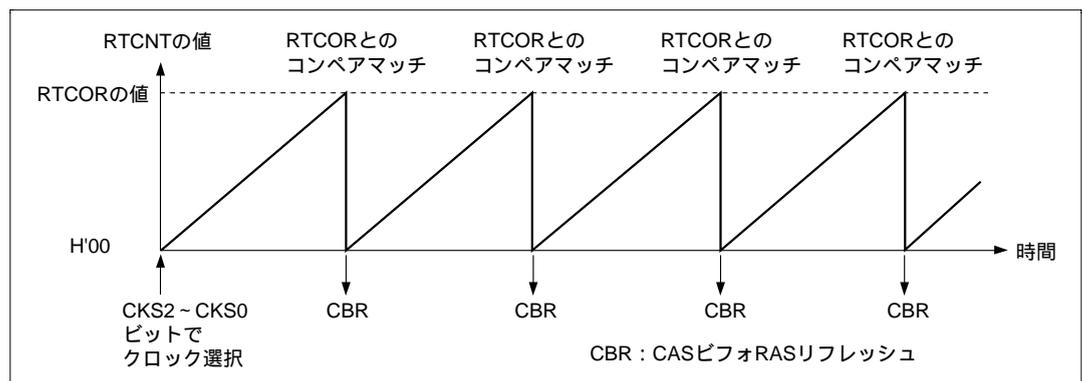


図 8.29 リフレッシュタイマカウンタ (RTCNT) の動作

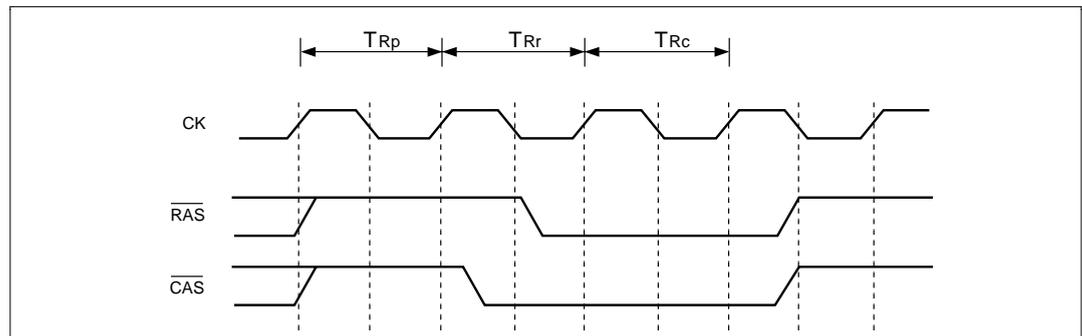


図 8.30 CAS ビフォ RAS リフレッシュ信号の出力タイミング

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード(バッテリバックアップモード)を備えているものがあります。

RCR の RFSHE ビットと RMODE ビットの両方を 1 にセットすると、図 8.31 に示すように、 $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され、DRAM はセルフリフレッシュモードにはいります。タイミングの詳細については、「20.3.3 バスタイミング」を参照してください。RCR の RMODE ビットを 0 にすると、セルフリフレッシュモードは解除されます(図 8.31)。このとき、RFSHE ビットは 1 のままにしておいてください。DRAM の種類によってはセルフリフレッシュモードが解除された後に、すべてのロウアドレスをリフレッシュすることが勧められていますので、BSC の CBR リフレッシュ機能を用い、ソフトウェアで全ロウアドレスのリフレッシュを行うよう設定してください。

セルフリフレッシュモード中に DRAM をアクセスする場合は、RMODE ビットを 0 にクリアしてセルフリフレッシュモードを解除してから行ってください。

また、セルフリフレッシュモードに設定した後、スタンバイコントロールレジスタ(SBYCR)のスタンバイビット(SBY)を 1 にセットし、SLEEP 命令を実行すると、セルフリフレッシュ状態を保持したまま本 LSI をスタンバイモードに遷移させることができます。

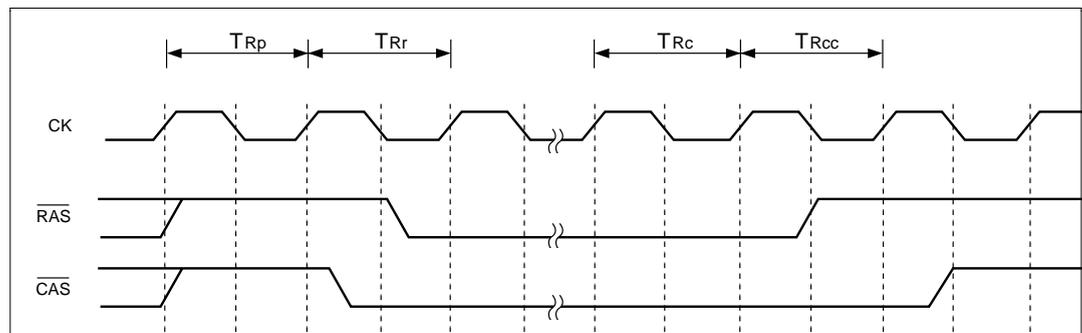


図 8.31 セルフリフレッシュ信号の出力タイミング

(3) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中に、CAS ビフォ RAS リフレッシュまたはセルフリフレッシュ要求が起こった場合、並列に実行可能な場合と不可能な場合とがあります。表 8.8 に、リフレッシュとバスサイクルの競合時の動作を示します。

表 8.8 リフレッシュとバスサイクルの競合時の動作

リフレッシュ の種類	バスサイクルの種類				
	外部空間アクセス				内蔵 ROM、 内蔵 RAM、 内蔵周辺 アクセス
	外部メモリ空間、 マルチプレクス I/O 空間		DRAM 空間		
	リードサイクル	ライトサイクル	リードサイクル	ライトサイクル	
CAS ビフォ RAS リフレッシュ		×	×	×	
セルフ リフレッシュ			×	×	

：並列実行可能

×：並列実行不可

並列実行可能な場合、バスサイクル実行中に同時に \overline{RAS} 、 \overline{CAS} 信号が出力されて、リフレッシュを実行します。並列実行不可能な場合、バスサイクルが終了してからリフレッシュが行われます。

(4) 8 ビットインターバルタイマとして RTCNT を使用する場合

リフレッシュ制御を行わないとき、RTCNT は 8 ビットインターバルタイマとして使用できます。インターバルタイマとして使用する場合は、RCR の RFSHE ビットを 0 にしてください。コンペアマッチ割り込み (CMI) を発生させるには、コンペアマッチインタラプトイネーブルビット (CMIE) を 1 にセットし、RTCOR に割り込み発生タイミングを設定してください。RTCSR の CKS2~CKS0 ビットで入力クロックを選択すると、RTCNT はインターバルタイマとしてカウントアップを開始します。RTCNT の値は RTCOR の値と常に比較されており、両方の値が一致すると RTCSR の CMF が 1 にセットされ、CMI 割り込みが発生します。RTCNT は H'00 にクリアされます。

CKS2~CKS0 ビットでクロックを選択すると、RTCNT は直ちにカウントアップを開始しますので、CKS2~CKS0 ビットを設定した後に RTCOR に周期を設定すると、RTCNT のカウント値がその周期をすでに超えている場合があります。この場合、RTCNT が一度オーバフロー (H'FF H'00) してカウントアップを再開し、RTCOR の値と一致するまで割り込み要求が発生しません。したがって、先に RTCOR に周期を設定してから、CKS2

~CKS0 ビットを設定し、カウントアップを開始させるようにしてください。また、一度タイマを使用した後に、再度設定を変更して使用する場合なども、RTCNT のカウント値が設定する周期を超えている場合がありますので、RTCNT に H'00 を書き込んでクリアしてからカウントアップを開始させて、正しい間隔で割り込み要求が発生するよう注意してください。

8.6 アドレス/データマルチプレクス I/O 空間アクセス

BSC は、エリア 6 の空間で AD15 ~ AD0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス/データマルチプレクスが必要な周辺 LSI を、本 LSI に直結できます。

8.6.1 基本タイミング

BCR のマルチプレクス I/O イネーブルビット (IOE) を 1 にすると、エリア 6 でアドレスの A27 ビットが 0 の空間 (H'6000000 ~ H'6FFFFFF) はアドレス/データマルチプレクス I/O 空間となり、この空間をアクセスすると、アドレスとデータがマルチプレクスされます。アドレスの A14 ビットが 0 の場合、アクセスサイズ 8 ビットとなり、AD7 ~ AD0 端子からアドレス出力とデータ入出力が行われます。アドレスの A14 ビットが 1 の場合は、アクセスサイズ 16 ビットとなり、AD15 ~ AD0 端子からアドレス出力とデータ入出力が行われます。アドレス/データマルチプレクス I/O 空間では、 \overline{AH} 、 \overline{RD} 、 \overline{WR} 信号でアクセスが制御されます。アドレス/データマルチプレクス I/O 空間のアクセスは、WCR の設定にかかわらず 4 ステートで行われます。図 8.32 に、アドレス/データマルチプレクス I/O 空間アクセス時のタイミングを示します。

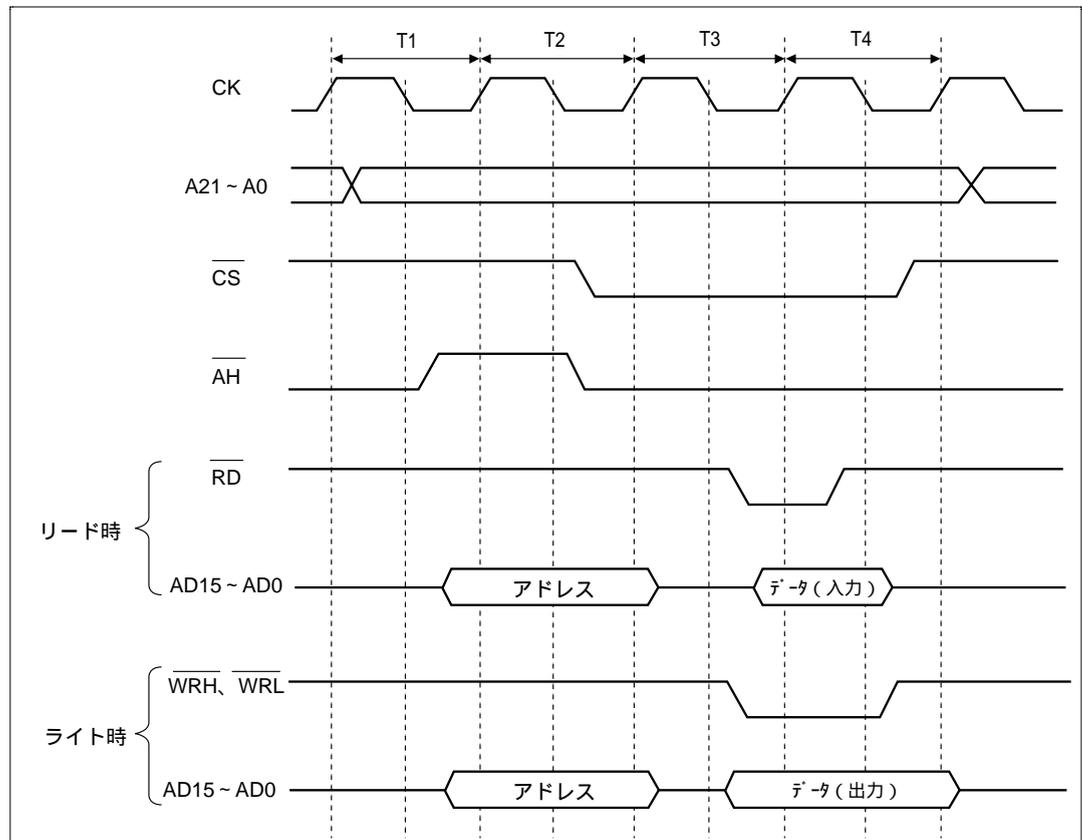


図 8.32 アドレス/データマルチプレクス I/O 空間アクセスタイミング

\overline{RD} 信号のハイレベル幅は、BCR の RD デューティビット (RDDTY) により 35% と 50% から選択できます。RDDTY ビットを 1 にセットするとハイレベル幅が T_3 (または T_w) ステートの 35% になり、外部デバイスに対するアクセスタイムを長くとることができます。

8.6.2 ウェイトステート制御

アドレス/データマルチプレクス I/O 空間のアクセス時は、WCR の設定にかかわらず \overline{WAIT} 端子入力信号がサンプルされ、ローレベルが検出されるとウェイトステートが挿入されます。図 8.33 に、 \overline{WAIT} 信号によるウェイトステートが 1 ステート挿入された場合の例を示します。

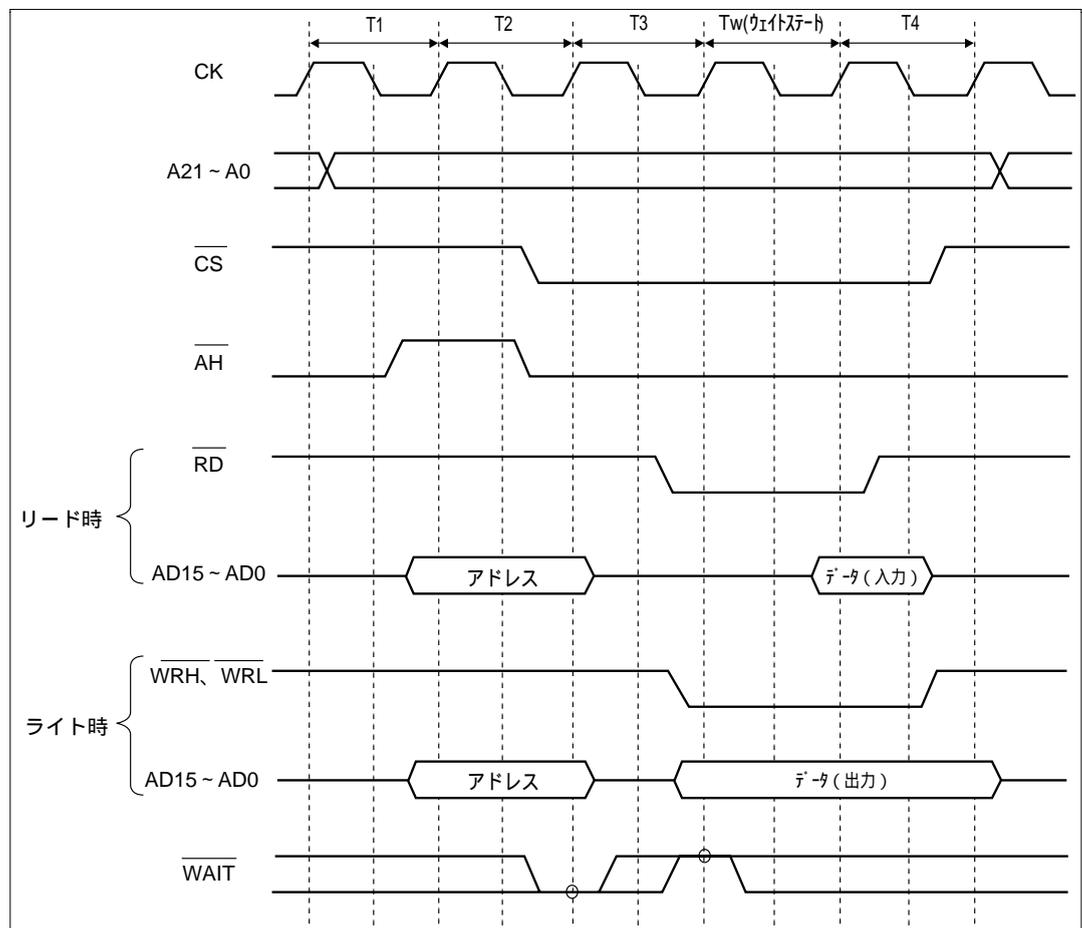


図 8.33 アドレス/データマルチプレクス I/O 空間アクセス時のウェイトステートタイミング

8.6.3 バイトアクセス制御

アドレス/データマルチプレクス I/O 空間アクセス時のバイトアクセス制御信号は、外部メモリ空間のバイトアクセス制御と同様に、BCR の BAS ビットの設定により、($\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 、A0) または ($\overline{\text{WR}}$ 、 $\overline{\text{HBS}}$ 、 $\overline{\text{LBS}}$) の 2 種類から選択することができます。詳細は、「8.4.3 バイトアクセス制御」を参照してください。

8.7 パリティチェック・生成

BSC は、エリア 1 の DRAM 空間とエリア 2 の外部メモリ空間で入出力されるデータに対して、パリティのチェックと生成を行うことができます。

パリティのチェックと生成を行わせるには、パリティコントロールレジスタ (PCR) のパリティチェックイネーブルビット (PCHK1、PCHK0) でパリティのチェック・生成を行う空間を選択し (DRAM 空間のみまたは DRAM 空間とエリア 2)、パリティ極性ビット (PEO) で偶数パリティにするか奇数パリティにするかを選択してください。

PCHK1 と PCHK0 ビットで選択された空間からデータが入力されると、BSC は、AD15 ~ AD8 端子入力 (上位バイトデータ) に対し、DPH 端子入力 (上位バイトパリティデータ) が正しいかどうか、また AD7 ~ AD0 端子入力 (下位バイトデータ) に対し、DPL 端子入力 (下位バイトパリティデータ) が正しいかどうか、PEO ビットで選択された極性にしながらチェックします。チェックの結果、上位と下位のどちらか一方でも誤りがあった場合は、パリティエラー割り込み (PEI) が発生します。

PCHK1 と PCHK0 ビットで選択された空間へデータを出力するときは、BSC は、PEO ビットで選択された極性にしながら、AD15 ~ AD8 端子出力 (上位バイトデータ) に対するパリティデータを DPH 端子から、また、AD7 ~ AD0 端子出力 (下位バイトデータ) に対するパリティデータを DPL 端子から、いずれもデータ出力と同じタイミングで出力します。

BSC は、システムのパリティエラーチェック機能をテストするために、パリティ強制出力を行う機能を備えています。PCR のパリティ強制出力ビット (PFRC) を 1 にセットすると、PCHK1、PCHK0 ビットで選択された空間へのデータ出力時に、DPH と DPL 端子からハイレベルが強制的に出力されます。

8.8 ワープモード

ワープモードは、外部ライトサイクルまたはDMA シングルモード転送サイクルが内部アクセスサイクル(内蔵メモリや内蔵周辺モジュールへのリード/ライト)が独立に並行して行われるモードです。BCRのワープモードビット(WARP)を1にセットすると、ワープモードでアクセスが行われます。これによって、本LSIをより高速に動作させることができます。

ワープモードのとき、外部ライトサイクルまたはDMA シングルモード転送サイクルが2ステート以上続き、次に内部アクセスがある場合、最初の1ステートは外部ライトサイクルだけが行われますが、次ステートから外部ライトサイクルの終了を待たずに内部アクセスサイクルが並行して行われます。図 8.34 に内蔵周辺モジュールへのアクセスと外部へのライトサイクルが並行に行われた場合のタイミングを示します。

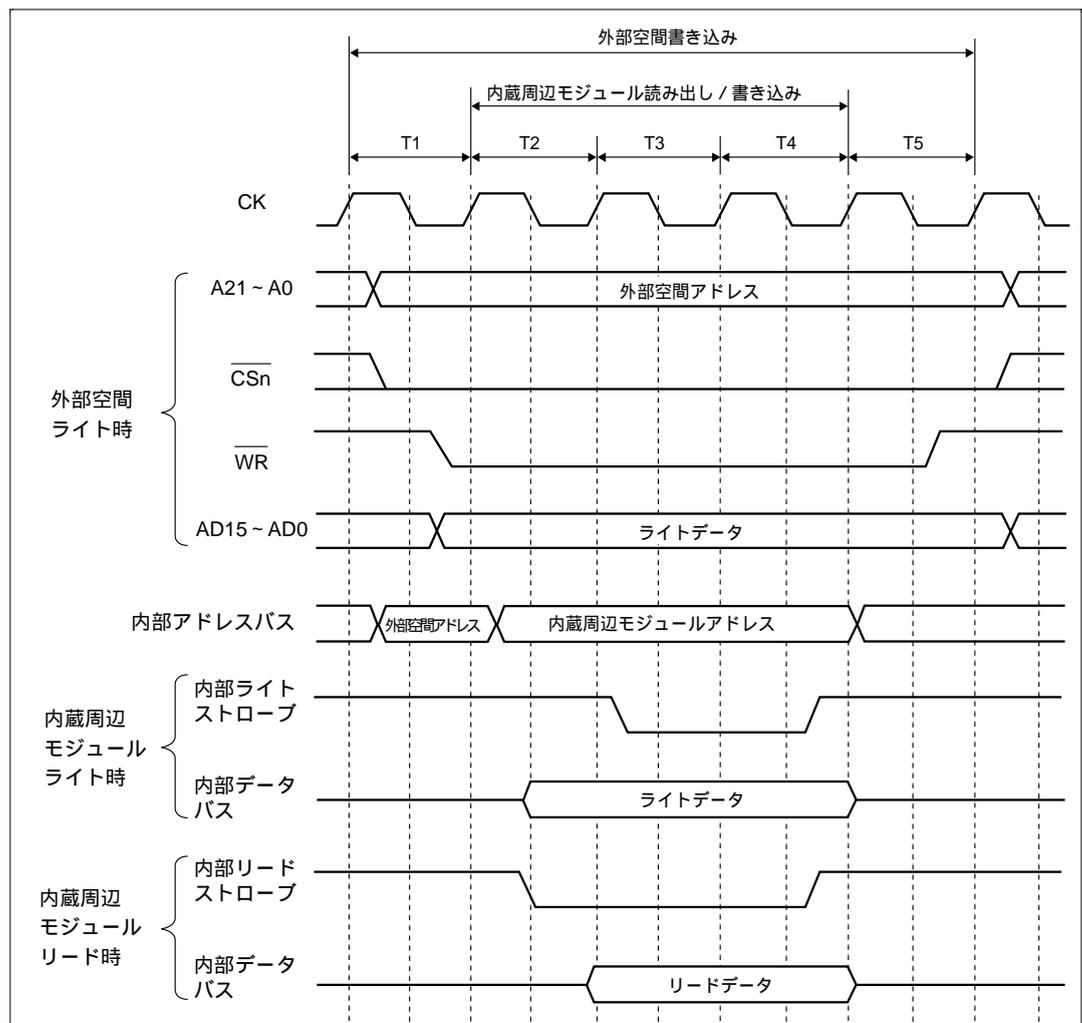


図 8.34 ワープモードのタイミング
(内蔵周辺モジュールへのアクセスと外部ライトサイクル)

8.9 ウェイトステート制御

BSCのWCR1～WCR3の設定によって、各エリアをアクセスするときの $\overline{\text{WAIT}}$ 信号のサンプリングを制御し、バスサイクルのステート数を制御することができます。表 8.9 に、各アドレス空間アクセス時のバスサイクルのステート数を示します。

表 8.9 各アドレス空間アクセス時のバスサイクルのステート数

アドレス空間	CPUによるリードサイクル、DMACによるデュアルモードリードサイクル DMACによるシングルモードメモリリード/ライトサイクル	
	WCR1、WCR2の対応するビット=0	WCR1、WCR2の対応するビット=1
外部メモリ空間 (エリア1、3～5、7)	1ステート固定、 $\overline{\text{WAIT}}$ 無視	2ステート+ $\overline{\text{WAIT}}$ によるウェイトステート
外部メモリ空間 (エリア0、2、6、ロングウェイトあり)	1ステート+ロングウェイトステート*、 $\overline{\text{WAIT}}$ 無視	1ステート+ロングウェイトステート*+ $\overline{\text{WAIT}}$ によるウェイトステート
DRAM空間 (エリア1)	カラムアドレスサイクル: 1ステート、 $\overline{\text{WAIT}}$ 無視(ショートピッチ)	カラムアドレスサイクル: 2ステート+ $\overline{\text{WAIT}}$ によるウェイトステート(ロングピッチ)
マルチプレクスI/O空間(エリア6)	4ステート+ $\overline{\text{WAIT}}$ によるウェイトステート	
内蔵周辺モジュール空間(エリア5)	3ステート固定、 $\overline{\text{WAIT}}$ 無視	
内蔵ROM(エリア0)	1ステート固定、 $\overline{\text{WAIT}}$ 無視	
内蔵RAM(エリア7)	1ステート固定、 $\overline{\text{WAIT}}$ 無視	

アドレス空間	CPUによるライトサイクル、 DMACによるデュアルモードメモリライトサイクル	
	WCR1のWW1ビット=0	WCR1のWW1ビット=1
外部メモリ空間 (エリア1、3～5、7)	2ステート+ $\overline{\text{WAIT}}$ によるウェイトステート	
外部メモリ空間 (エリア0、2、6、ロングウェイトあり)	1ステート+ロングウェイトステート*+ $\overline{\text{WAIT}}$ によるウェイトステート	
DRAM空間 (エリア1)	カラムアドレスサイクル: 1ステート、 $\overline{\text{WAIT}}$ 無視(ショートピッチ)	カラムアドレスサイクル: 2ステート+ $\overline{\text{WAIT}}$ によるウェイトステート(ロングピッチ)
マルチプレクスI/O空間(エリア6)	4ステート+ $\overline{\text{WAIT}}$ によるウェイトステート	
内蔵周辺モジュール空間(エリア5)	3ステート固定、 $\overline{\text{WAIT}}$ 無視	
内蔵ROM(エリア0)	1ステート固定、 $\overline{\text{WAIT}}$ 無視	
内蔵RAM(エリア7)	1ステート固定、 $\overline{\text{WAIT}}$ 無視	

【注】* ロングウェイトステート数(1～4)は、WCR3で設定

外部空間アクセス時のバスサイクルの詳細については、「8.4 外部メモリ空間アクセス」、「8.5 DRAM空間アクセス」、「8.6 アドレス/データマルチプレクス I/O 空間アクセス」を参照してください。

内部空間のうち、内蔵周辺モジュール空間(エリア5のアドレスのA27が1の空間)へのアクセスは、WCRの設定にかかわらず、常に3ステートで行われ、 $\overline{\text{WAIT}}$ 信号はサンプルされません。内蔵ROM空間(エリア0でMD2~MD0端子が010のとき)、内蔵RAM空間(エリア7のアドレスのA27が0の空間)へのアクセスは、WCRの設定にかかわらず、常に1ステートで行われ、 $\overline{\text{WAIT}}$ 信号はサンプルされません。

外部空間アクセス時の $\overline{\text{WAIT}}$ 信号入力時に、バスタイミングの規定(t_{WTS} , t_{WTH})が守られなかった場合のLSIの動作は、 $\overline{\text{WAIT}}$ 信号のアサート・ネゲートを検出できないだけで異常動作などを行うことはありません。ただし、 $\overline{\text{WAIT}}$ 信号のアサートが検出できないことによって、挿入ウェイト数が不足してメモリアクセスに不具合が発生する可能性がありますので注意してください。

8.10 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも、CPU と DMAC の 2 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のようになっています。

外部デバイスによるバス権要求 > リフレッシュ > DMAC > CPU

したがって、DMAC によるバースト転送中であっても、外部デバイスによるバス権要求が発生すると、外部デバイスが優先されます。

また、外部デバイスにバス権を解放中であっても、リフレッシュ要求が発生すると、 $\overline{\text{BACK}} = \text{ハイレベル}$ となり、外部デバイスからの $\overline{\text{BREQ}} = \text{ハイレベル}$ 応答を受けてバス権を獲得し、リフレッシュを実行します。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

図 8.35 に、バス権解放手順を示します。

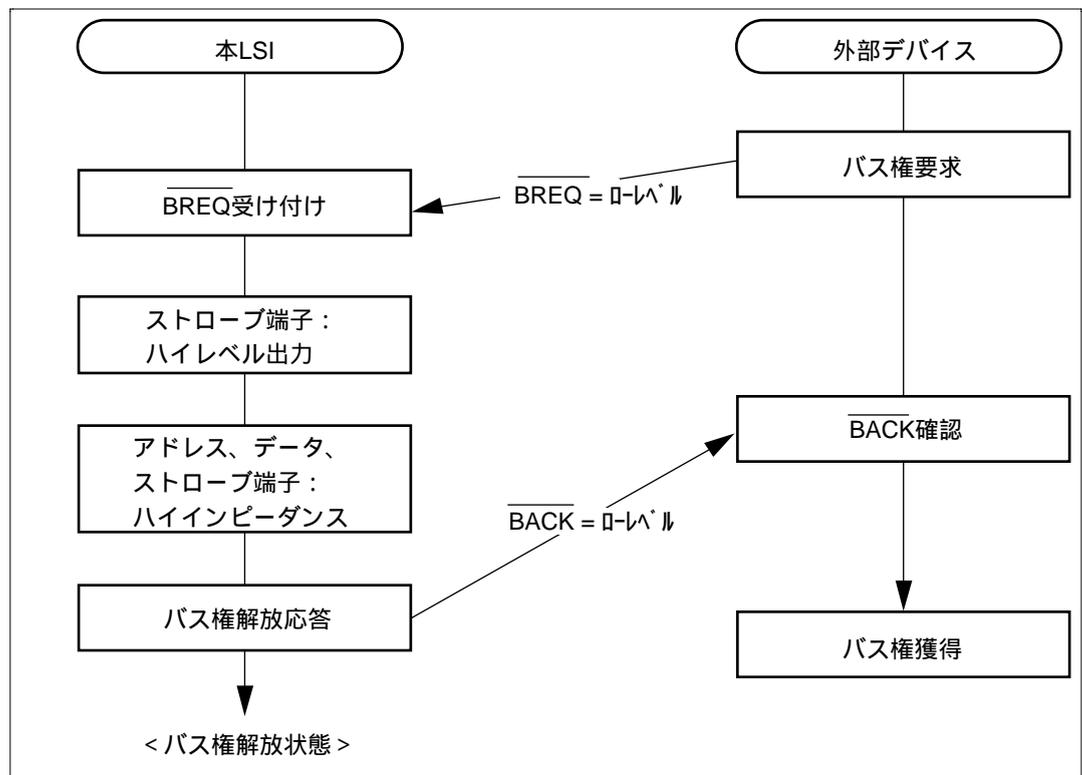


図 8.35 バス権解放手順

8.10.1 バスアービトレーションの動作について

バスアービトレーションとリフレッシュが競合すると以下のように動作します。

- (1) バス権を外部に解放して $\overline{\text{BACK}}$ がローレベルになっているときに、本 LSI 内部で DRAM リフレッシュ要求が発生すると、 $\overline{\text{BACK}}$ をハイレベルに戻して外部デバイスに対してリフレッシュ要求が発生したことを知らせる機能があります。

この場合、 $\overline{\text{BACK}}$ がハイレベルになっても、 $\overline{\text{BREQ}}$ にローレベルが入力されている限り、外部デバイスがバスサイクルを発生させている可能性があるため、外部デバイスに対してバス権を解放したままになります。このあと、 $\overline{\text{BREQ}}$ をハイレベルに戻すと本 LSI はバス権を獲得してリフレッシュを実行し、CPU や DMAC のバスサイクルを実行していきます。

したがって、外部デバイスがバス権を獲得して $\overline{\text{BACK}}$ がローレベルになっている際に、 $\overline{\text{BREQ}}$ を入力しているにもかかわらず $\overline{\text{BACK}}$ がハイレベルに戻されたときは、リフレッシュ要求が発生していますので、DRAM の内容を保持するために、ただちに $\overline{\text{BREQ}}$ をハイレベルに戻してバス権を本 LSI に渡してください (図 8.36 参照)。

- (2) $\overline{\text{BREQ}}$ がハイレベルからローレベルになり、本 LSI がバス権を解放しようとするタイミングで内部リフレッシュ要求が発生すると、 $\overline{\text{BACK}}$ がローレベルにならずにハイレベルのままになることがあります。バス権そのものについては、 $\overline{\text{BREQ}}$ が入力されたので外部デバイスに対して解放されます。これは、上記 (1) の仕様にもとづく動作であり、DRAM の内容を保持するため、外部デバイスは一定時間の間、 $\overline{\text{BACK}}$ がローレベルにならないことを検知したら直ちに $\overline{\text{BREQ}}$ をハイレベルに戻して、本 LSI 側にバス権を渡してください (図 8.37 参照)。なお、図 8.37 のようにリフレッシュ要求が発生して $\overline{\text{BACK}}$ がハイレベルのままの状態になるとき、本来 $\overline{\text{BACK}}$ がローレベルになるタイミングで、一瞬細いパルス状のヒゲが出力される場合があります。

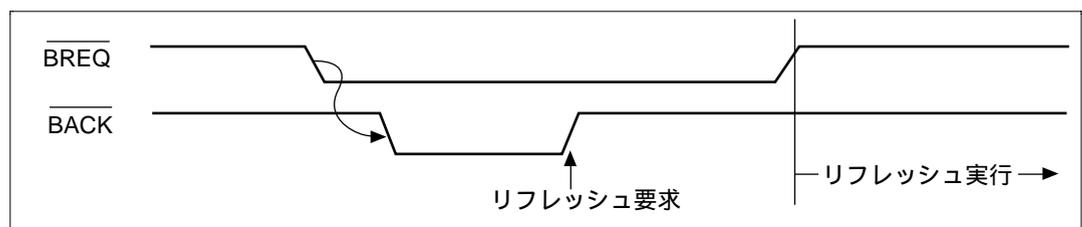


図 8.36 リフレッシュ要求による $\overline{\text{BACK}}$ の動作 (1)

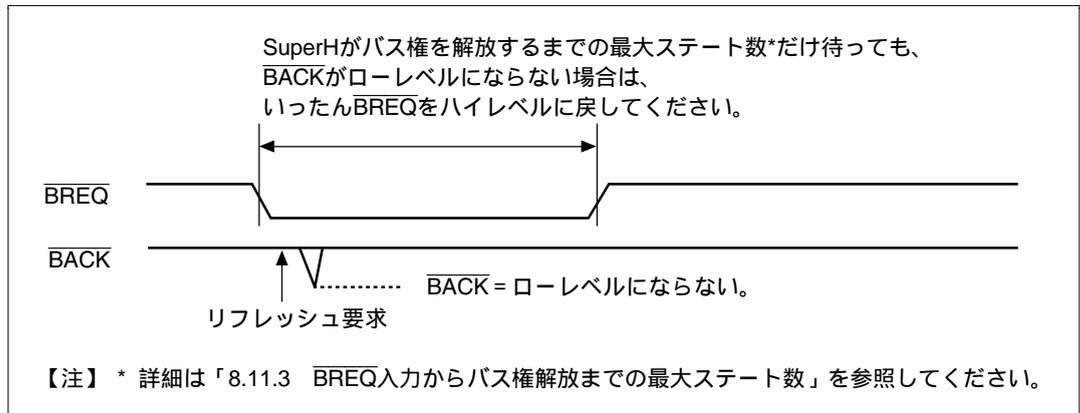


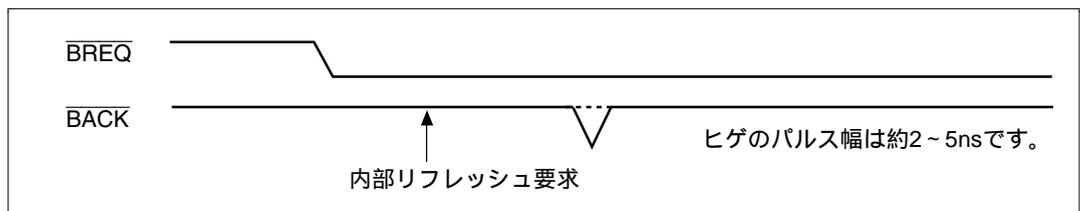
図 8.37 リフレッシュ要求による $\overline{\text{BACK}}$ の動作 (2)

- (3) バーストモードでの DMA 転送中に、リフレッシュ要求が発生した場合は、DMA 転送を中断してリフレッシュを実行します。

8.10.2 $\overline{\text{BACK}}$ 信号の動作

(1) $\overline{\text{BACK}}$ 信号の動作

$\overline{\text{BACK}}$ をアサートしようとするときに内部リフレッシュ要求が発生して、 $\overline{\text{BACK}}$ がアサートされずにそのままハイレベルを保持しようとする際に、非常に幅の狭いヒゲ状のノイズが発生することがあります。その状態を下図に示します。



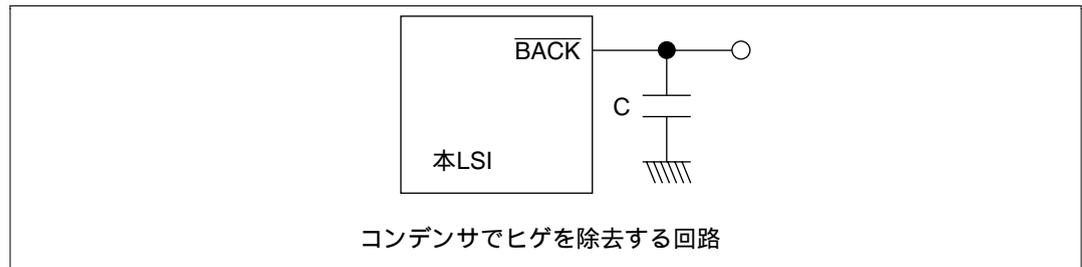
(2) $\overline{\text{BACK}}$ 信号のヒゲの対策方法

$\overline{\text{BACK}}$ 信号のヒゲが問題になる場合は、下記のいずれかの方法で対策頂きますようお願い申し上げます。

- (a) $\overline{\text{BREQ}}$ を入力して LSI のバス権を解放させる場合は、リフレッシュとの競合が発生しないようにしてください。すなわち、リフレッシュを停止させるか、あるいは、バスステートコントローラ (BSC) のリフレッシュタイマカウンタ (RTCNT) やリフレッシュタイムコンスタントレジスタ (RTCOR) を操作して、リフレッシュ発生タイミングをずらして、競合を避けてください。

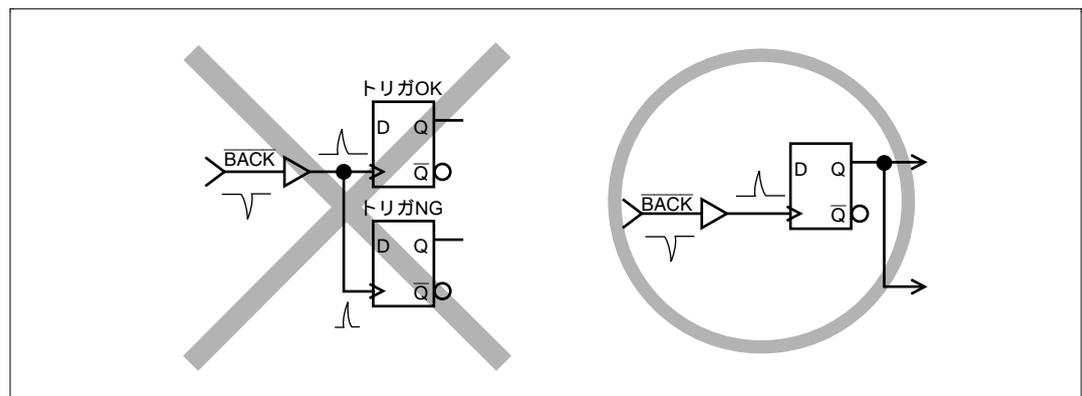
- (b) $\overline{\text{BACK}}$ のヒゲは、パルス幅が約 2~5ns と細いため、下図のようにコンデンサを付けることで除去することができます。

例えば、元々のプリント基板の配線容量や他の容量に加えて、220pF の容量を付加することで、ヒゲの最小電圧を 2.0V より高くすることができます。ただし、 $\overline{\text{BACK}}$ のディレイは、約 0.1ns/pF で増加します (220pF を付加した場合は、約 22ns ディレイが増加します)。



- (c) $\overline{\text{BACK}}$ 信号をフリップフロップでラッチしたりフリップフロップにトリガをかける場合は、ヒゲが細いため、できたり、できなかったりすることがあります。 $\overline{\text{BACK}}$ をラッチしたりまたはトリガとして使用する場合は、できてもできなくても問題がない回路構成でご使用ください。

例えば、 $\overline{\text{BACK}}$ 信号を 2 つに分けて、それぞれをフリップフロップでラッチしたりまたはトリガをかける場合、一方のフリップフロップは動作するのに、もう一方では動作しないという現象が発生することがあります。 $\overline{\text{BACK}}$ をフリップフロップで捉える場合は必ず 1 つのフリップフロップで受けてから、分配するようにしてください (下図参照)。



8.11 使用上の注意

8.11.1 マニュアルリセットに関する使用上の注意

条件：DRAM（ロングピッチモード）を使用し、かつマニュアルリセットを行った場合

リセット中の $\overline{\text{RAS}}$ 出力のロー幅が通常より短くなり（ $2.5 \text{ tcy} < \text{tRAS} < 1.5 \text{ tcy}$ ）、DRAM の規定値（ tRAS ）を満足できないことがあります。

該当する DRAM 条件：ロングピッチ / ノーマルモード
ロングピッチ / 高速ページモード

上記条件以外の動作においては問題ありません。

$\overline{\text{RES}}$ のラッチタイミングによって、DRAM の制御信号（ $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WR}}$ ）の信号出力状態には、図 8.38 ~ 図 8.41 に示す 4 種類が考えられます。

本来は破線のように出力されるものが実線のように出力されます。

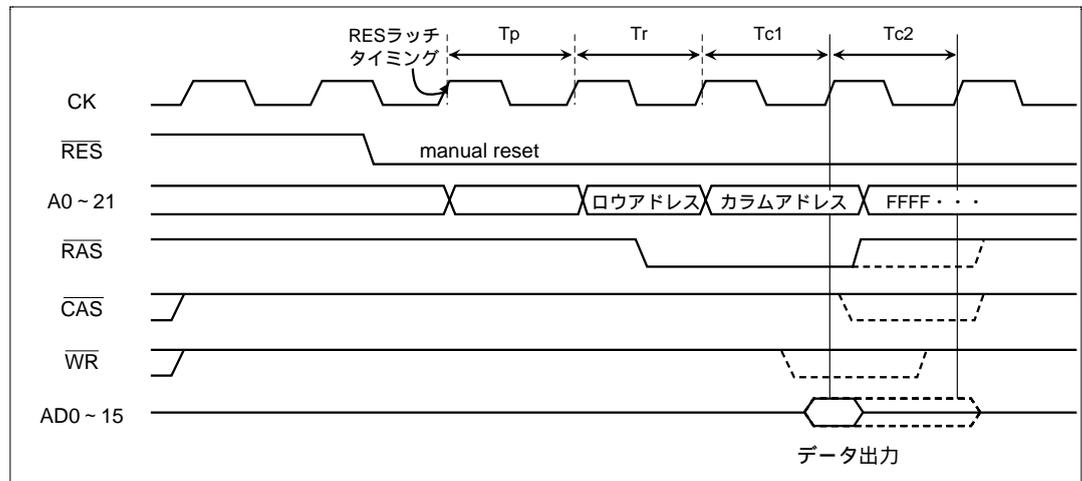


図 8.38 ロングピッチモードライト(1)

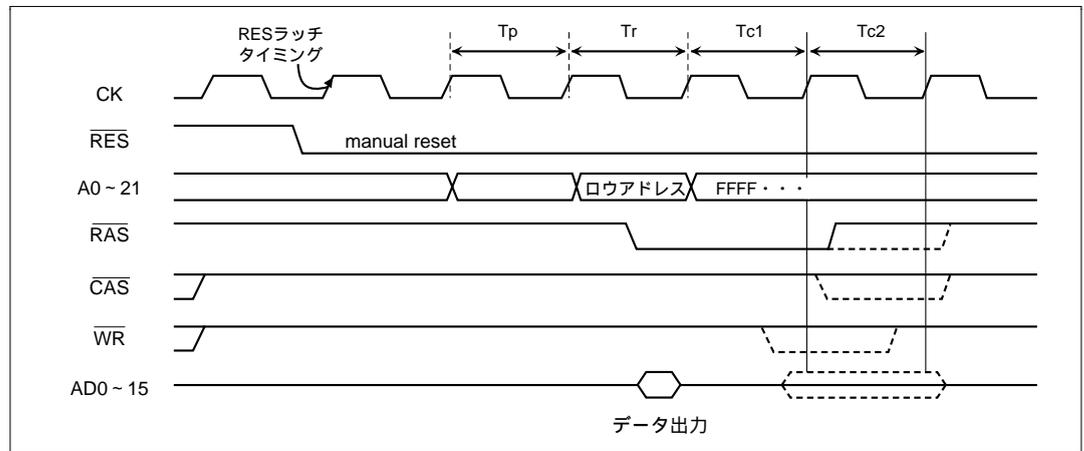


図 8.39 ロングピッチモードライト(2)

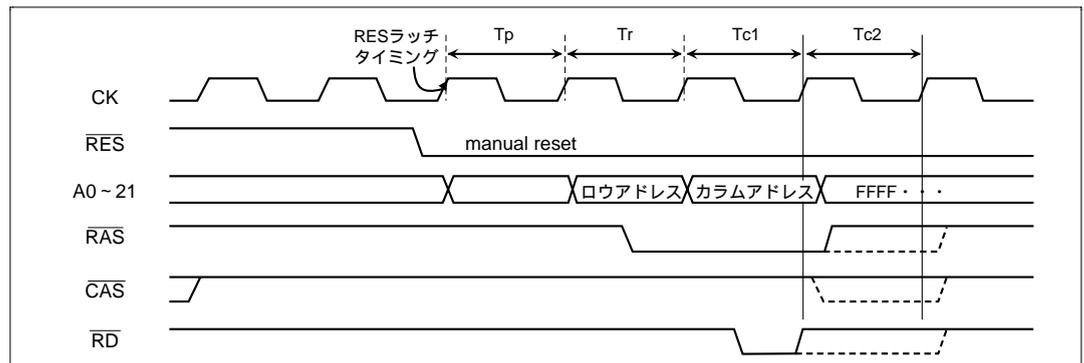


図 8.40 ロングピッチモードリード(1)

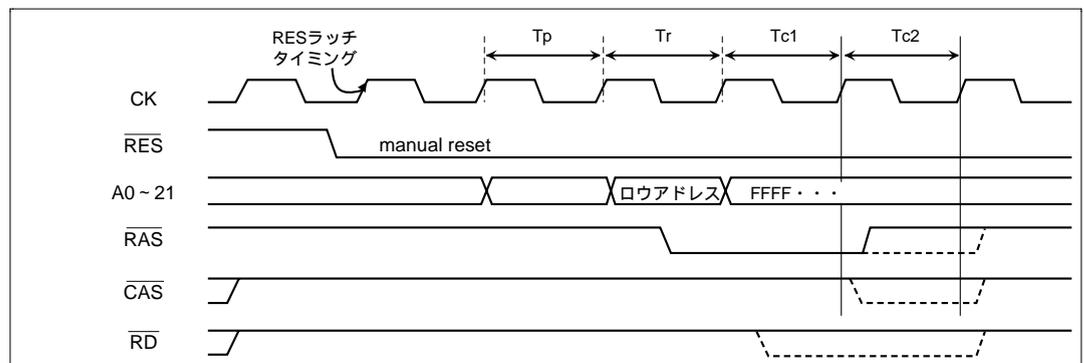


図 8.41 ロングピッチモードリード(2)

上記実線のような信号出力となった場合、DRAM のデータが保持されない場合があります。したがって、マニュアルリセット後、DRAM のデータが保持されることが必要な場合は、以下に示すうちのいずれかの対策をする必要があります。

- (1) マニュアルリセットを行う場合は、ウォッチドッグタイマ (WDT) のリセット機能で行ってください。
- (2) $\overline{\text{RAS}}$ のロー幅が上記のように $1.5 t_{\text{cyc}}$ と短くなっても、DRAM の規格 (t_{RAS}) を満足できる周波数で使用してください。
- (3) $\overline{\text{RAS}}$ のロー幅が $1.5 t_{\text{cyc}}$ になった場合も、ロー幅が $2.5 t_{\text{cyc}}$ の $\overline{\text{RAS}}$ 信号が DRAM に入力されるように外付回路で対策してください ($\overline{\text{RAS}}$ のロー幅が $2.5 t_{\text{cyc}}$ 以上の場合は、そのままの波形が DRAM に入力できるようにしてください)。

マニュアルリセット後、DRAM のデータを初期設定する、あるいは再ロードするなど、以前のデータ保持が必要ない場合は対策をする必要はありません。

8.11.2 パリティデータ端子 DPH、DPL に関する使用上の注意

パリティデータ DPH、DPL をロングピッチモードで DRAM へライト (アーリーライト) する場合の $\overline{\text{CAS}}$ 信号立ち下がりに対するパリティデータ DPH、DPL のセットアップ時間 t_{DS} の規格値は以下のとおりです。

表 8.9 パリティデータ DPH、DPL のセットアップ時間

項 目	記 号	min
CAS に対するデータのセットアップ時間 (ロングピッチモードの DPH、DPL のみ)	t_{DS}	5ns

したがって、パリティデータ DPH、DPL をロングピッチモードで DRAM に対してライトする場合は、本 LSI の $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 信号を遅らせてディレイドライトにて行ってください。通常のデータもディレイドライトされますが差し支えありません。

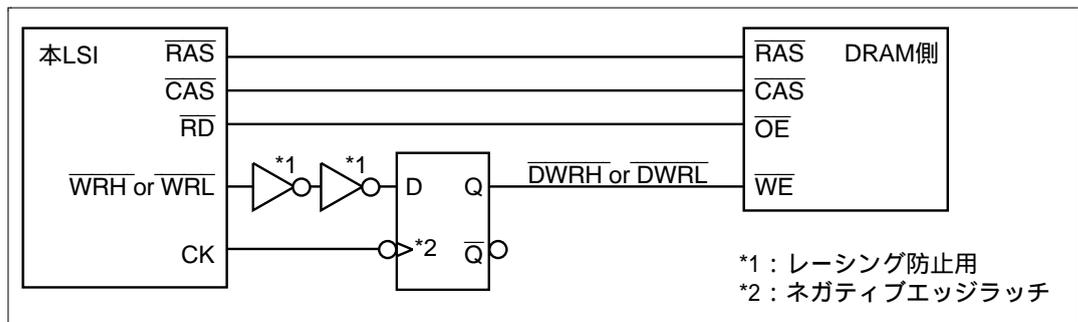


図 8.42 ディレイドライト制御回路

8.11.3 $\overline{\text{BREQ}}$ 入力からバス権解放までの最大ステート数

$\overline{\text{BREQ}}$ 入力からバス権解放までの最大ステート数は、

バス権を解放しない最大ステート数 + 約 4.5 ステート*

となります。

【注】 * 約 4.5 ステートの内訳

1.5 ステート : バスサイクル終了後 BACK 出力まで

1 ステート (min) : t_{BACD1}

1 ステート (max) : t_{BRQS}

1 ステート : バスサイクル終了前 1 ステートでサンプリング

$\overline{\text{BREQ}}$ はバスサイクルの 1 ステート前でサンプリングします。 $\overline{\text{BREQ}}$ が t_{BRQS} を満たさないで入力されると図 8.43 のように、A のバスサイクル終了後、続くサイクル B を実行した後、バス権を解放します。 $\overline{\text{BREQ}}$ 入力からバス権解放までが最大ステート数となるのは、B がバス権を解放しない最大ステート数のサイクルのときで、バス権を解放しない最大ステート + 約 4.5 ステートとなります。

バスを解放しない最大ステート数は、十分検討してください。

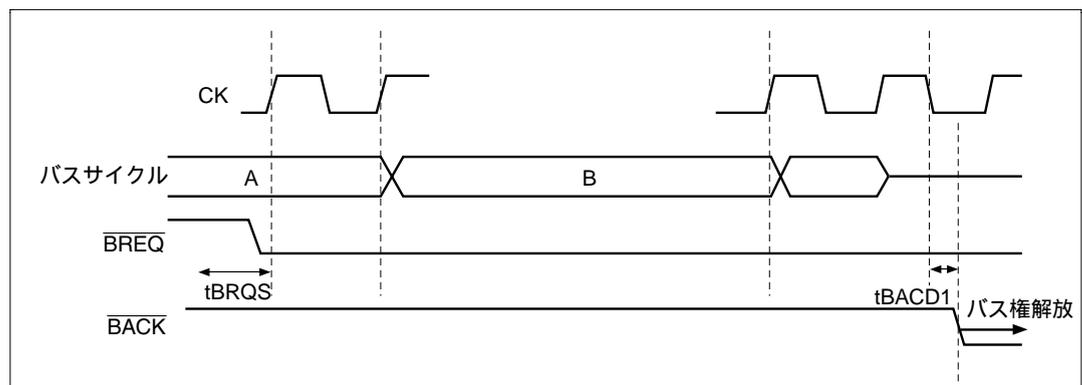


図 8.43 t_{BRQS} を満たさないで $\overline{\text{BREQ}}$ が入力された場合

(1) バス権を解放しないサイクルについて

(a) 1 バスサイクル

1 バスサイクル中にバス権を解放することはありません。例えば、8 ビット通常空間へのロングワードでのリード（もしくはライト）の場合、図 8.44 のように、8 ビット通常空間へのメモリアクセス 4 回が一つのバスサイクルとなります。その間に、バス権を解放することはありません。1 回のメモリアクセスが 2 ステートだとすると 8 ステートの間は、バス権を解放しません。



図 8.44 1 バスサイクル

(b) TAS 命令のリードサイクルとライトサイクル

TAS 命令のリードサイクルとライトサイクルの間で、バス権を解放することはありません (図 8.45)。TAS 命令のリードサイクルとライトサイクルは、バス権を解放しないサイクルとして、1 バスサイクルと見なしてください。

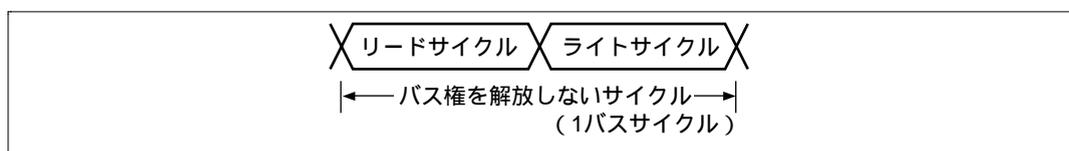


図 8.45 TAS 命令のリードサイクルとライトサイクル

(c) リフレッシュサイクル+バスサイクル

リフレッシュサイクルと続く 1 バスサイクル (上記項目 (a) (b)) の間にバス権を解放することはありません (図 8.46)。

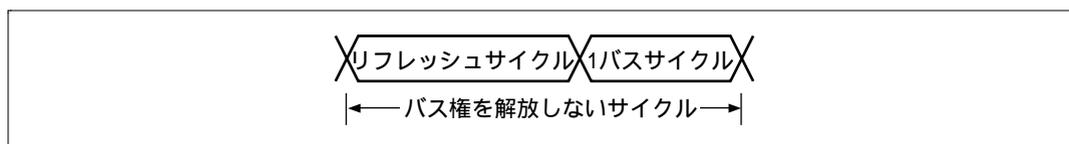


図 8.46 リフレッシュと続くバスサイクル

(2) バス権解放手順

バス権の解放手順は、図 8.47 のようになります。図 8.47 は $\overline{\text{BREQ}}$ をバスサイクルの切れ目の 1 ステート前に tBRQS を満たすように入力された場合です。本 LSI は入力された時点でのバスサイクル (バスサイクルの切れ目に $\overline{\text{BREQ}}$ が入力された場合、続いて始まるバスサイクル) を終了後、バス権を解放します。

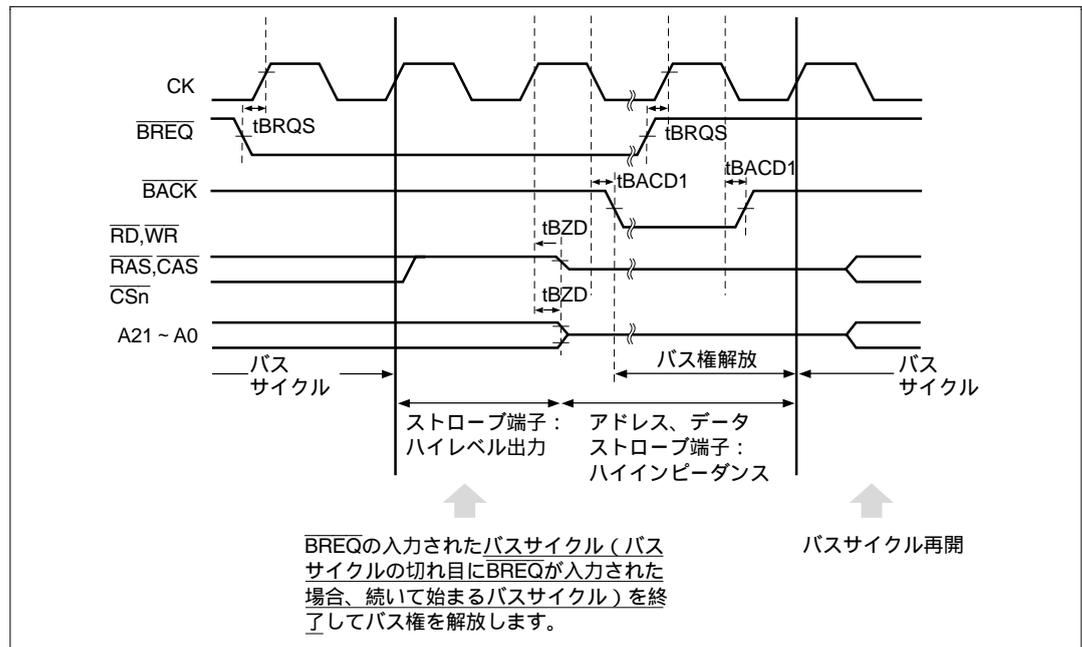


図 8.47 バス権解放手順

9 . ダイレクトメモリアクセス コントローラ(DMAC)

第9章 目次

9.1	概要	205
9.1.1	特長	205
9.1.2	ブロック図	207
9.1.3	端子構成	208
9.1.4	レジスタ構成	209
9.2	レジスタの説明	210
9.2.1	DMA ソースアドレスレジスタ 0 ~ 3 (SAR0~SAR3)	210
9.2.2	DMA デスティネーションアドレスレジスタ 0 ~ 3 (DAR0~DAR3)	210
9.2.3	DMA トランスファカウンタレジスタ 0 ~ 3 (TCR0~TCR3)	211
9.2.4	DMA チャネルコントロールレジスタ 0 ~ 3 (CHCR0~CHCR3)	211
9.2.5	DMA オペレーションレジスタ (DMAOR)	217
9.3	動作説明	220
9.3.1	DMA 転送フロー	220
9.3.2	DMA 転送要求	222
9.3.3	チャンネルの優先順位	224
9.3.4	DMA 転送の種類	228
9.3.5	バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング	237
9.3.6	DMA 転送終了	245
9.4	使用例	247
9.4.1	内蔵 RAM とメモリマップト外部デバイス間の DMA 転送例	247
9.4.2	内蔵 SCI と外部メモリとの DMA 転送例	248
9.5	使用上の注意	249

9.1 概要

本 LSI は、4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI 全体の動作効率を上げることができます。

9.1.1 特長

DMAC には、次のような特長があります。

チャンネル数：4 チャンネル

アドレス空間：アーキテクチャ上は 4GB

データ転送単位が選択可能：バイトまたはワード単位

最大転送回数：65536 回

シングルアドレスモード転送 (チャンネル 0、1)：転送元か転送先の周辺デバイスを DACK 信号でアクセス (選択) し、もう一方をアドレスでアクセスします。1 バスサイクルで 1 転送単位のデータを転送します。

転送可デバイス：DACK 付き外部デバイスとメモリマップト外部デバイス (外部メモリ含む)

DACK 付き外部デバイスとメモリマップト外部メモリ

デュアルアドレスモード転送 (チャンネル 0~3)：転送元と転送先の両方をアドレスでアクセスします。2 バスサイクルで 1 転送単位のデータを転送します。

転送可デバイス：外部メモリ同士

外部メモリとメモリマップト外部デバイス

メモリマップト外部デバイス同士

外部メモリと内蔵メモリ

外部メモリと内蔵周辺モジュール (DMAC を除く)

メモリマップト外部デバイスと内蔵メモリ

メモリマップト外部デバイスと内蔵周辺モジュール (DMAC を除く)

内蔵メモリ同士

内蔵メモリと内蔵周辺モジュール (DMAC を除く)

内蔵周辺モジュール (DMAC を除く) 同士

9.1.3 端子構成

DMAC の端子を表 9.1 に示します。

表 9.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}$	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル0から外部デバイスへのDMA転送要求受け付け出力
1	DMA 転送要求	$\overline{\text{DREQ1}}$	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル1から外部デバイスへのDMA転送要求受け付け出力

9.1.4 レジスタ構成

DMAC のレジスタを表 9.2 に示します。DMAC には全部で 17 本のレジスタがあります。各チャンネルに 4 本の制御レジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。

表 9.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0 ^{*3}	R/W	不定	H'5FFFF40	16、32
	DMA デスティネーションアドレスレジスタ 0	DAR0 ^{*3}	R/W	不定	H'5FFFF44	16、32
	DMA トランスファカウントレジスタ 0	TCR0 ^{*3}	R/W	不定	H'5FFFF4A	16、32
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/(W) ^{*1}	H'0000	H'5FFFF4E	8、16、32
1	DMA ソースアドレスレジスタ 1	SAR1 ^{*3}	R/W	不定	H'5FFFF50	16、32
	DMA デスティネーションアドレスレジスタ 1	DAR1 ^{*3}	R/W	不定	H'5FFFF54	16、32
	DMA トランスファカウントレジスタ 1	TCR1 ^{*3}	R/W	不定	H'5FFFF5A	16、32
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/(W) ^{*1}	H'0000	H'5FFFF5E	8、16、32
2	DMA ソースアドレスレジスタ 3	SAR2 ^{*3}	R/W	不定	H'5FFFF60	16、32
	DMA デスティネーションアドレスレジスタ 2	DAR2 ^{*3}	R/W	不定	H'5FFFF64	16、32
	DMA トランスファカウントレジスタ 2	TCR2 ^{*3}	R/W	不定	H'5FFFF6A	16、32
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/(W) ^{*1}	H'0000	H'5FFFF6E	8、16、32
3	DMA ソースアドレスレジスタ 3	SAR3 ^{*3}	R/W	不定	H'5FFFF70	16、32
	DMA デスティネーションアドレスレジスタ 3	DAR3 ^{*3}	R/W	不定	H'5FFFF74	16、32
	DMA トランスファカウントレジスタ 3	TCR3 ^{*3}	R/W	不定	H'5FFFF7A	16、32
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/(W) ^{*1}	H'0000	H'5FFFF7E	8、16、32
共通	DMA オペレーションレジスタ	DMAOR	R/(W) ^{*2}	H'0000	H'5FFFF48	8、16、32

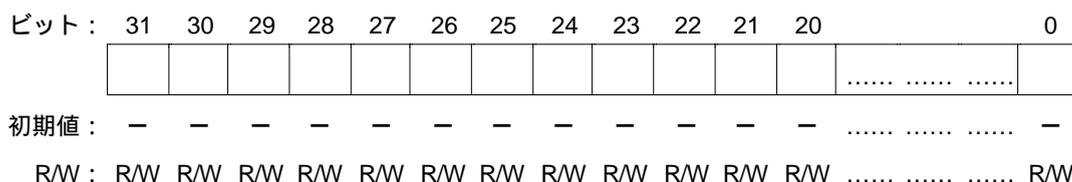
【注】 *1 CHCR0 ~ CHCR3 のビット 1 には、フラグをクリアするために 0 のみ書き込むことができます。

*2 DMAOR のビット 1 と 2 には、フラグをクリアするために 0 のみ書き込むことができます。

*3 SAR0 ~ SAR3、DAR0 ~ DAR3、TCR0 ~ TCR 3 のアクセスは、すべてワードかロングワード単位で行ってください。バイト単位でアクセスすると、書き込み時はレジスタの内容が不定になり、また読み出し時は不定値が読み出されます。

9.2 レジスタの説明

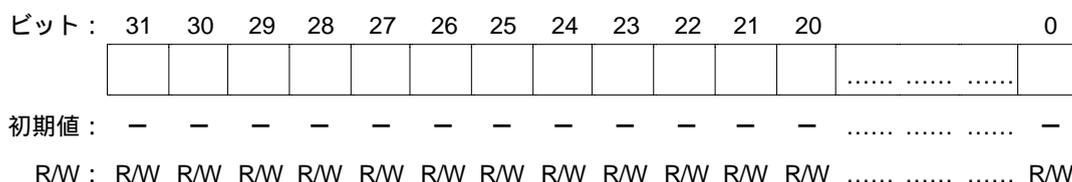
9.2.1 DMA ソースアドレスレジスタ 0 ~ 3 (SAR0 ~ SAR3)



DMA ソースアドレスレジスタ 0 ~ 3 (SAR0 ~ SAR3) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています (シングルアドレスモードにおいて、DACK 付きの外部デバイスから、メモリマップト外部デバイスまたは外部メモリへの転送をする場合には SAR は無視されます)。

リセットおよびスタンバイモード時には、値は不定になります。

9.2.2 DMA デスティネーションアドレスレジスタ 0 ~ 3 (DAR0 ~ DAR3)



DMA デスティネーションアドレスレジスタ 0 ~ 3 (DAR0 ~ DAR3) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています (シングルアドレスモードにおいて、メモリマップト外部デバイスまたは外部メモリから、DACK 付きの外部デバイスへの転送をする場合には DAR は無視されます)。

リセットおよびスタンバイモード時には、値は不定になります。

9.2.3 DMA トランスファカウントレジスタ 0 ~ 3 (TCR0~TCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															

DMA トランスファカウントレジスタ 0 ~ 3 (TCR0~TCR3) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DMA 転送回数 (バイト数またはワード数) を指定します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

リセットおよびスタンバイモード時には、値は不定になります。

9.2.4 DMA チャネルコントロールレジスタ 0 ~ 3 (CHCR0~CHCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	AM	AL	DS	TM	TS	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/(W) ² R/(W ² R/(W) ²	R/W	R/W	R/W	R/(W) ¹	R/W									

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

*2 書き込みは、CHOCR0、1 でのみ有効です。

DMA チャネルコントロールレジスタ 0 ~ 3 (CHCR0~CHCR3) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DMA 転送モードを制御します。また、DMA 転送の状態 (ステータス) も示します。

リセットおよびスタンバイモード時に、H'0000 に初期化されます。

9. ダイレクトメモリアクセスコントローラ(DMAC)

ビット 15、14：デスティネーションアドレスモードビット 1、0 (DM1、DM0)

DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、メモリマップト外部デバイス、または外部メモリから、DACK 付きの外部デバイスへの転送をする場合には DM1、DM0 ビットは無視されます)。

DM1、DM0 ビットは、リセットおよびスタンバイモード時に、00 に初期化されます。

ビット 15	ビット 14	説 明
DM 1	DM 0	
0	0	デスティネーションアドレスは固定 (初期値)
0	1	デスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2)
1	0	デスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2)
1	1	予約 (設定禁止)

ビット 13、12：ソースアドレスモードビット 1、0 (SM1、SM0)

DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付きの外部デバイスから、メモリマップト外部デバイスまたは外部メモリへの転送をする場合には SM1、SM0 ビットは無視されます)。

SM1、SM0 ビットは、リセットおよびスタンバイモード時に、00 に初期化されます。

ビット 13	ビット 12	説 明
SM 1	SM 0	
0	0	ソースアドレスは固定 (初期値)
0	1	ソースアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2)
1	0	ソースアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2)
1	1	予約 (設定禁止)

ビット11～8：リソースセレクトビット3～0 (RS3～RS0)

どの転送要求をDMACに入力するかを指定します。転送要求元の変更は、必ず、DMAイネーブルビット(DE)が0の状態で行ってください。

RS3～RS0ビットは、リセットおよびスタンバイモード時に、0000に初期化されます。

ビット11	ビット10	ビット9	ビット8	説明
RS3	RS2	RS1	RS0	
0	0	0	0	$\overline{\text{DREQ}}$ (外部リクエスト*1) (デュアルアドレスモード) (初期値)
0	0	0	1	予約 (設定禁止)
0	0	1	0	$\overline{\text{DREQ}}$ (外部リクエスト*1) (シングルアドレスモード*2)
0	0	1	1	$\overline{\text{DREQ}}$ (外部リクエスト*1) (シングルアドレスモード*3)
0	1	0	0	RXI0 (内蔵 SCI0 の受信データフル割り込み転送要求)*4
0	1	0	1	TXI0 (内蔵 SCI0 の送信データエンpty割り込み転送要求)*4
0	1	1	0	RXI1 (内蔵 SCI1 の受信データフル割り込み転送要求)*4
0	1	1	1	TXI1 (内蔵 SCI1 の送信データエンpty割り込み転送要求)*4
1	0	0	0	IMIA0 (内蔵 ITU0 のインプットキャプチャ A/コンペアマッチ A 割り込み転送要求)*4
1	0	0	1	IMIA1 (内蔵 ITU1 のインプットキャプチャ A/コンペアマッチ A 割り込み転送要求)*4
1	0	1	0	IMIA2 (内蔵 ITU2 のインプットキャプチャ A/コンペアマッチ A 割り込み転送要求)*4
1	0	1	1	IMIA3 (内蔵 ITU3 のインプットキャプチャ A/コンペアマッチ A 割り込み転送要求)*4
1	1	0	0	オートリクエスト (DMAC 内部で転送要求を自動発生)*4
1	1	0	1	予約 (設定禁止)
1	1	1	0	予約 (設定禁止)
1	1	1	1	予約 (設定禁止)

SCI0、SCI1：シリアルコミュニケーションインタフェースのチャンネル0、1

TU0～ITU3：16ビットインテグレートドタイムパルスユニットのチャンネル0～3

【注】*1 チャンネル0、1でのみ有効です。チャンネル2、3では要求は受け付けられません。

*2 メモリマップト外部デバイスまたは外部メモリから、DACK付きの外部デバイスへの転送

*3 DACK付きの外部デバイスから、メモリマップト外部デバイスまたは外部メモリへの転送

*4 デュアルアドレスモード

ビット7：アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。チャンネル0と1でのみ有効です。

AM ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

なお、シングルアドレスモードの場合は、このビットは無効となります。

ビット7	説明
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

ビット6：アクノリッジレベルビット (AL)

DACK を、アクティブハイ信号にするか、アクティブロー信号にするかを選択します。チャンネル0と1でのみ有効です。

AL ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット6	説明
AL	
0	DACK はアクティブハイ信号 (初期値)
1	DACK はアクティブロー信号

ビット5： $\overline{\text{DREQ}}$ セレクトビット (DS)

$\overline{\text{DREQ}}$ 入力の検出方法を選択します。チャンネル0と1でのみ有効です。

DS ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット5	説明
DS	
0	ローレベルで $\overline{\text{DREQ}}$ を検出 (初期値)
1	立ち下がりエッジで $\overline{\text{DREQ}}$ を検出

ビット4：トランスファバスモードビット(TM)

DMA 転送のバスモードを選択します。

TM ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。なお、内蔵周辺モジュールが転送要求元の場合については、「表 9.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択」を参照してください。

ビット4	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット3：トランスファサイズビット(TS)

DMA 転送の単位を選択します。転送元または転送先が、バイト単位でしかアクセスできない内蔵周辺モジュールのレジスタの場合には、必ずバイトを選んでください。

TS ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット3	説明
TS	
0	バイト (8 ビット) (初期値)
1	ワード (16 ビット)

ビット2：インタラプトイネーブルビット (IE)

DMA 転送終了時に CPU に割り込みを要求するかどうかを指定します。IE ビットを 1 にセットしておく、TE ビットがセットされると CPU に対し割り込み (DEI) を要求します。

IE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット2	説明
IE	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット1：トランスファエンドフラグビット (TE)

DMA 転送の終了を示します。DMA トランスファカウンタレジスタ (TCR) の値が 0 になり、DMA 転送が正常に終了すると、TE ビットは 1 にセットされます。NMI 割り込み、アドレスエラーによって転送が終了した場合や、DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。

TE ビットがセットされていると、DE ビットを 1 にセットしても転送は許可されません。

TE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット1	説明
TE	
0	DMA 転送中または DMA 転送中断 (初期値) [クリア条件] TE ビットの 1 を読み出してから 0 を書き込む
1	DMA 転送正常終了

ビット0：DMA イネーブルビット (DE)

DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、内蔵周辺モジュールリクエストモードでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは内蔵周辺モジュールから DMA 転送要求があると、転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中

断することができます。

DE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。

ビット1	説 明
DE	
0	DMA 転送を禁止 (初期値)
1	DMA 転送を許可

9.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PR1	PR0	-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW:	R	R	R	R	R	R	RW	RW	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*	RW

【注】 * フラグをクリアするために0のみ書き込むことができます。

DMA オペレーションレジスタ (DMAOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DMA 転送モードを制御します。また、DMA 転送の状態 (ステータス) も示します。

リセットおよびスタンバイモード時に、H'0000 に初期化されます。

ビット 15 ~ 10 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット9、8：プライオリティモードビット1、0 (PR1、PR0)

同時に複数のチャンネルに対して転送要求があった場合のチャンネルの優先順位を指定します。

ビット9	ビット8	説明
PR1	PR0	
0	0	優先順位は固定 (チャンネル0 > チャンネル3 > チャンネル2 > チャンネル1) (初期値)
0	1	優先順位は固定 (チャンネル1 > チャンネル3 > チャンネル2 > チャンネル0)
1	0	優先順位はラウンドロビンモードによる (リセット直後の優先順位はチャンネル0 > チャンネル3 > チャンネル2 > チャンネル1)
1	1	優先順位は外部端子交代モードによる (リセット直後の優先順位はチャンネル3 > チャンネル2 > チャンネル1 > チャンネル0)

ビット7～3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：アドレスエラーフラグビット (AE)

DMACによるアドレスエラーが発生したことを示します。AEビットがセットされていると、DMAチャンネルコントロールレジスタ (CHCR) のDEビットとDMEビットを1にセットしても、DMA転送は許可されません。AEビットをクリアするには、AEビットの1を読み出してから0を書き込みます。

AEビットは、リセットおよびスタンバイモード時に、0に初期化されます。

ビット2	説明
AE	
0	DMACによるアドレスエラーなし [クリアー条件] AEビットを読み出してから0を書き込む (初期値)
1	DMACによるアドレスエラー発生

ビット1：NMIフラグビット（NMIF）

NMI 割り込みが発生したことを示します。NMIF ビットがセットされていると、DMA チャンネルコントロールレジスタ(CHCR)のDE ビットとDME ビットを1にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの1を読み出してから0を書き込みます。

NMIF ビットは、リセットおよびスタンバイモード時に、0に初期化されます。

ビット1	説 明
NMIF	
0	NMI 割り込みなし (初期値) [クリアー条件] NMIF ビットを読み出してから0を書き込む
1	NMI 割り込み発生

ビット0：DMA マスタイネーブルビット（DME）

すべてのチャンネルのDMA 転送を許可または禁止します。各 DMA チャンネルコントロールレジスタ(CHCR)のDE ビットおよびDME ビットを1にセットすると、DMA 転送が許可されます。ただし、各CHCRのTE ビット、NMIF ビット、AE ビットのすべてが0であることが必要です。DME ビットをクリアすると、すべてのチャンネルのDMA 転送が中断されます。

ビット0	説 明
DME	
0	全チャンネルのDMA 転送を禁止 (初期値)
1	全チャンネルのDMA 転送を許可

9.3 動作説明

DMAC は、DMA 転送要求があると、決められたチャンネルの優先順位にしたがって転送を開始し、転送終了条件が満たされると転送を終了します。転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。DMA 転送には、シングルアドレスモード転送とデュアルアドレスモード転送があり、バーストまたはサイクルスチールのどちらからのバスモードで動作します。

9.3.1 DMA 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) の初期設定後、DMAC は、以下の順序でデータを転送します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると1転送単位のデータを転送します (オートリクエストの場合、DE ビットおよび DME ビットが1にセットされると自動的に転送を開始します。このとき、TCR の値を1デクリメントします)。具体的な転送フローは、アドレスモード、バスモードによって異なります。
- (3) 指定された回数の転送を終える (TCR の値が0になる) と、転送を正常に終了します。このとき、CHCR の IE ビットが1にセットしてあれば、CPU に DEI 割り込みを要求します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また、CHCR の DE ビットか DMAOR の DME ビットが0にされても、転送を中断します。

図9.2に、上記のフローチャートを示します。

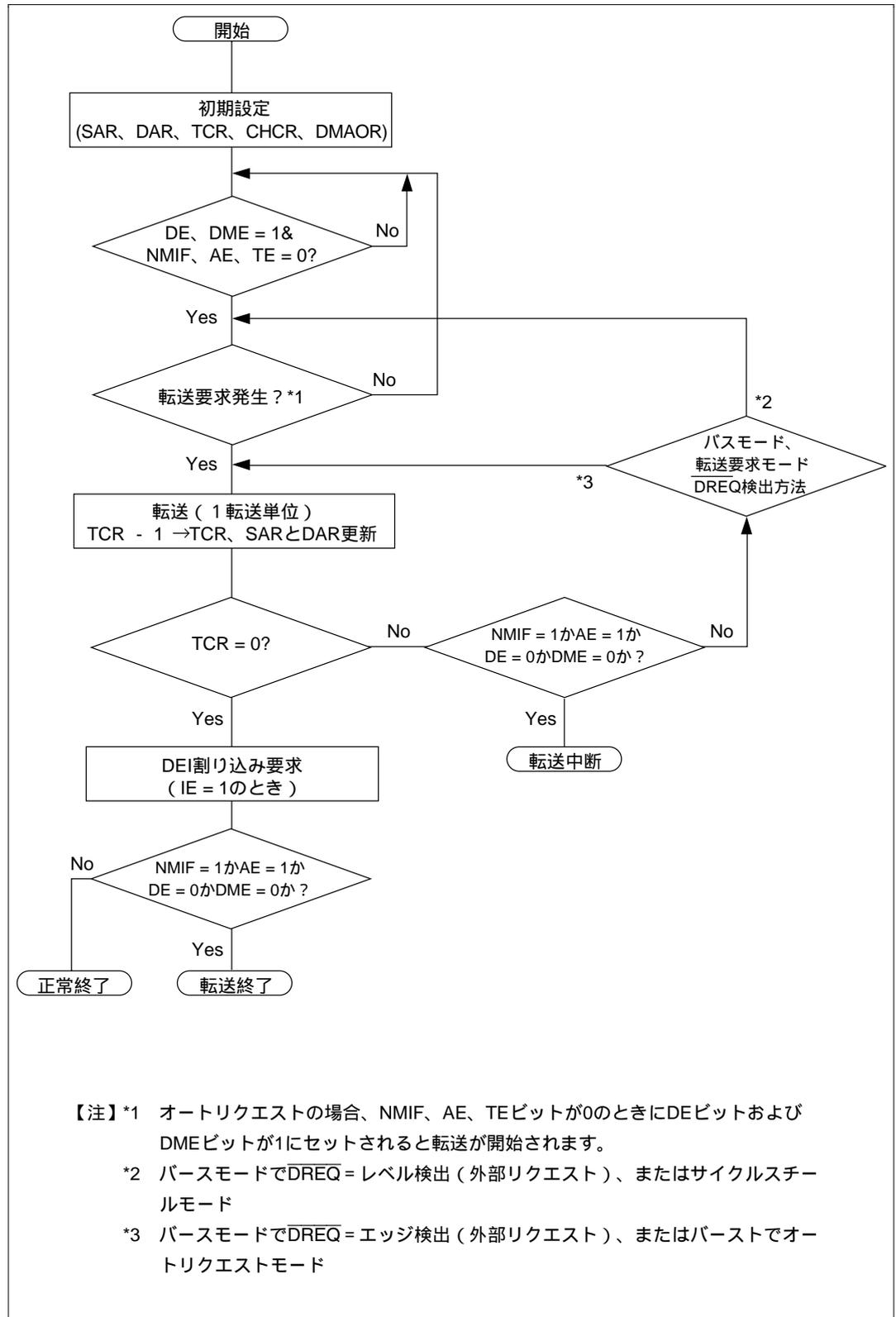


図 9.2 DMA 転送フローチャート

9.3.2 DMA 転送要求

DMA 転送要求は、データの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもないデバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択は、DMA チャンネルコントロールレジスタ0~3(CHCR0~CHCR3)のRS3~RS0ビットによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送やメモリと転送を要求できない内蔵周辺モジュールとの転送のように、転送要求信号がDMACの外部から来ない場合に、DMACの内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3のDEビットおよびDMAオペレーションレジスタ(DMAOR)のDMEビットを1にセットすると転送が開始されます(ただし、CHCR0~CHCR3のTEビット、DMAORのNMIFビット、AEビットのすべてが0であることが必要です)。

(2) 外部リクエストモード

外部リクエストモードは、本LSIの外部のデバイスからの転送要求信号(\overline{DREQ})によって転送を開始させるモードです。応用システムに応じて、表9.3に示すモードの中から1つを選んで使います。DMA転送が許可されているとき(DE=1、DME=1、TE=0、NMIF=0、AE=0)に \overline{DREQ} が入力されるとDMA転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するか、ローレベルで検出するかは、CHCR0~CHCR3のDSビットで選びます(DS=0はレベル検出、DS=1はエッジ検出)。

転送要求元は、必ずしもデータの転送元か転送先である必要はありません。

表9.3 RSビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
0	0	1	0	シングル アドレスモード	外部メモリまたはメモリ マップト外部デバイス	DACK付き外部デバイス
0	0	1	1	シングル アドレスモード	DACK付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

【注】* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール(DMACを除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号（割り込み要求信号）によって転送を開始させるモードです。転送要求信号には、シリアルコミュニケーションインタフェース（SCI）の受信データフル割り込み（RXI）、SCI の送信データエンプティ割り込み（TXI）、16 ビットインテグレートドタイマパルスユニット（ITU）のインプットキャプチャ A / コンペアマッチ A 割り込み要求（IMIA）があります（表 9.4）。DMA 転送が許可されているとき（DE=1、DME=1、TE=0、NMIF=0、AE=0）に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は、必ずしもデータの転送元が転送先である必要はありません。しかし、転送要求を RXI（SCI の受信データフルによる転送要求）に設定した場合は、転送元は SCI のレシーブデータレジスタ（RDR）でなければなりません。転送要求を TXI（SCI の送信データエンプティによる転送要求）に設定した場合は、転送先は SCI のトランスミットデータレジスタ（TDR）でなければなりません。

表 9.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
0	1	0	0	SCI0 受信部	RXI0（SCI0 受信データフルによる転送要求）	RDR0	任意*	サイクルスチルモード
0	1	0	1	SCI0 送信部	TXI0（SCI0 受信データエンプティによる転送要求）	任意	TDR0	サイクルスチルモード
0	1	1	0	SCI1 受信部	RXI1（SCI1 受信データフルによる転送要求）	RDR1	任意*	サイクルスチルモード
0	1	1	1	SCI1 送信部	TXI1（SCI1 受信データエンプティによる転送要求）	任意*	TDR1	サイクルスチルモード
1	0	0	0	ITU0	IMIA0（ITU0 インプットキャプチャ A / コンペアマッチ A）	任意*	任意*	バーストモード / サイクルスチルモード
1	0	0	1	ITU1	IMIA1（ITU1 インプットキャプチャ A / コンペアマッチ A）	任意*	任意*	バーストモード / サイクルスチルモード
1	0	1	0	ITU2	IMIA2（ITU2 インプットキャプチャ A / コンペアマッチ A）	任意*	任意*	バーストモード / サイクルスチルモード
1	0	1	1	ITU3	IMIA3（ITU3 インプットキャプチャ A / コンペアマッチ A）	任意*	任意*	バーストモード / サイクルスチルモード

SCI0、SCI1：シリアルコミュニケーションインタフェースのチャンネル 0、1

ITU0～ITU3：16 ビットインテグレートドタイマパルスユニットのチャンネル 0～3

RDR0、RDR1：SCI のレシーブデータレジスタ 0、1

TDR0、TDR1：SCI のトランスミットデータレジスタ 0、1

【注】* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール（DMAC を除く）

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

なお、この内蔵周辺モジュールからの転送要求信号(割り込み要求信号)は、DMACだけではなくCPUにも送られてしまいます。内蔵周辺モジュールを転送要求元に指定した場合には、CPUが割り込み要求信号を受け付けないように、割り込みコントローラ(INTC)の割り込み優先レベル設定レジスタ(IPRC~IPRE)に設定するレベル値を、CPUのステータスレジスタ(SR)のI3~I0ビットの値以下にしてください。

表9.4の各DMA転送要求信号は、対応するDMA転送が行われると、自動的に取り下げられます。このとき、サイクルスチールモードの場合、1回目の転送で、またバーストモードの場合、最後の転送で、各モジュールからのDMA転送要求(割り込み要求)がクリアされます。

9.3.3 チャンネルの優先順位

DMACは、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位にしたがって転送を行います。チャンネルの優先順位は、固定、ラウンドロビン、外部端子交代の3種類のモードから選べます。モードの選択は、DMAオペレーションレジスタ(DMAOR)のPR1、PR0ビットによって行います。

(1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。PR1、PR0ビットを00にすると、優先順位は、高い順にチャンネル0、チャンネル3、チャンネル2、チャンネル1になります。PR1、PR0ビットを01にすると、優先順位は、高い順にチャンネル1、チャンネル3、チャンネル2、チャンネル0になります。

(2) ラウンドロビンモード

ラウンドロビンモードでは、一つのチャンネルで、1転送単位（バイトまたはワード）の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように、優先順位を変更します。このとき、転送が終了したチャンネルの優先順位だけをシフトするのではなく、チャンネル同士の関係が変わらないように、必要に応じて他のチャンネルの優先順位も変更します（図9.3）。リセット直後の優先順位は、高い順にチャンネル0、チャンネル3、チャンネル2、チャンネル1です。

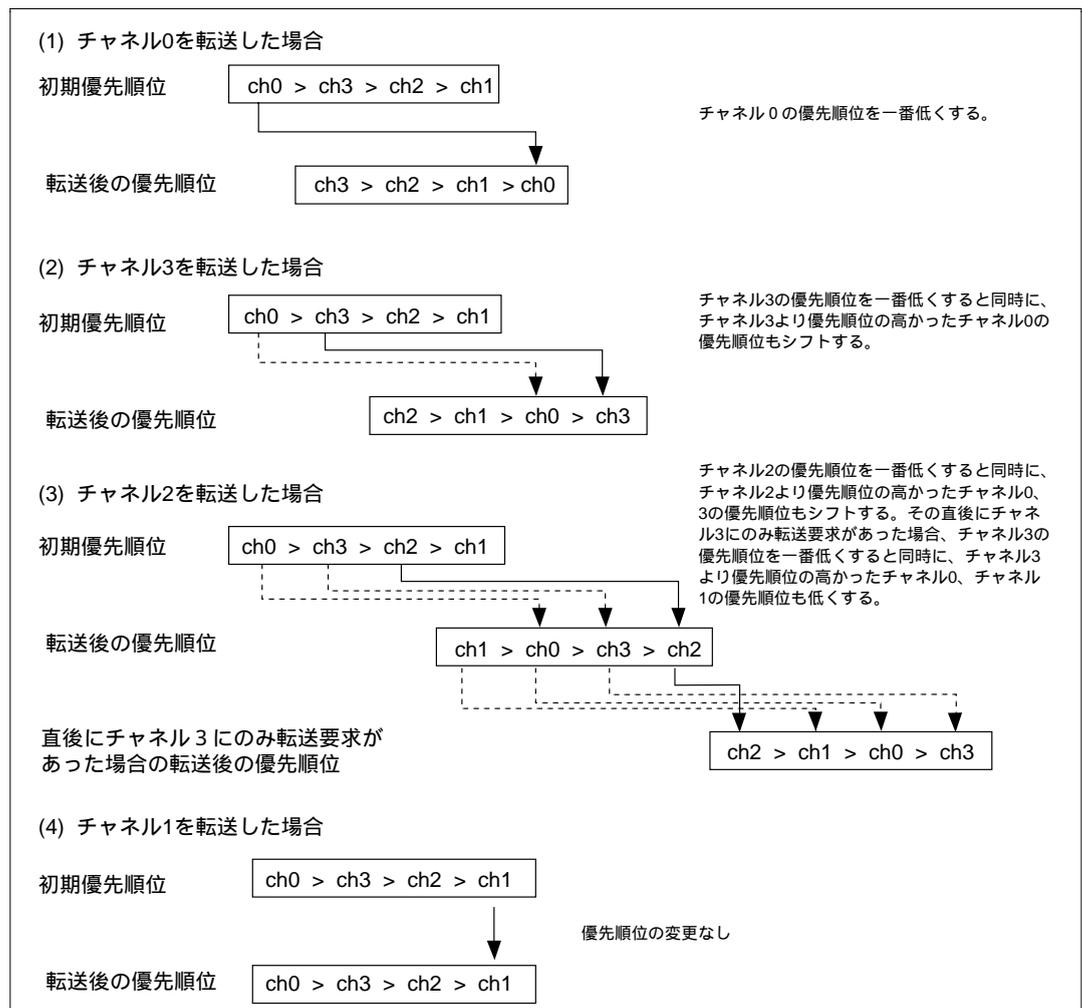


図9.3 ラウンドロビンモード

図9.4に、チャンネル0とチャンネル1に同時に転送要求が発生し、チャンネル0の転送中にチャンネル3に転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合のDMACの動作は以下のようになります。

- (1) チャンネル0とチャンネル1に同時に転送要求が発生します。
- (2) チャンネル0のほうがチャンネル1より優先順位が高いため、チャンネル0の転送を開始します(チャンネル1は転送待ち)。
- (3) チャンネル0の転送中にチャンネル3に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
- (4) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (5) この時点でチャンネル3のほうがチャンネル1より優先順位が高いため、チャンネル3の転送を開始します(チャンネル1は転送待ち)。
- (6) チャンネル3の転送を終了すると、チャンネル3の優先順位を一番低くします。
- (7) チャンネル1の転送を開始します。
- (8) チャンネル1の転送を終了すると、チャンネル1の優先順位が一番低くなるように、チャンネル1と一緒にチャンネル2の優先順位を低くします。

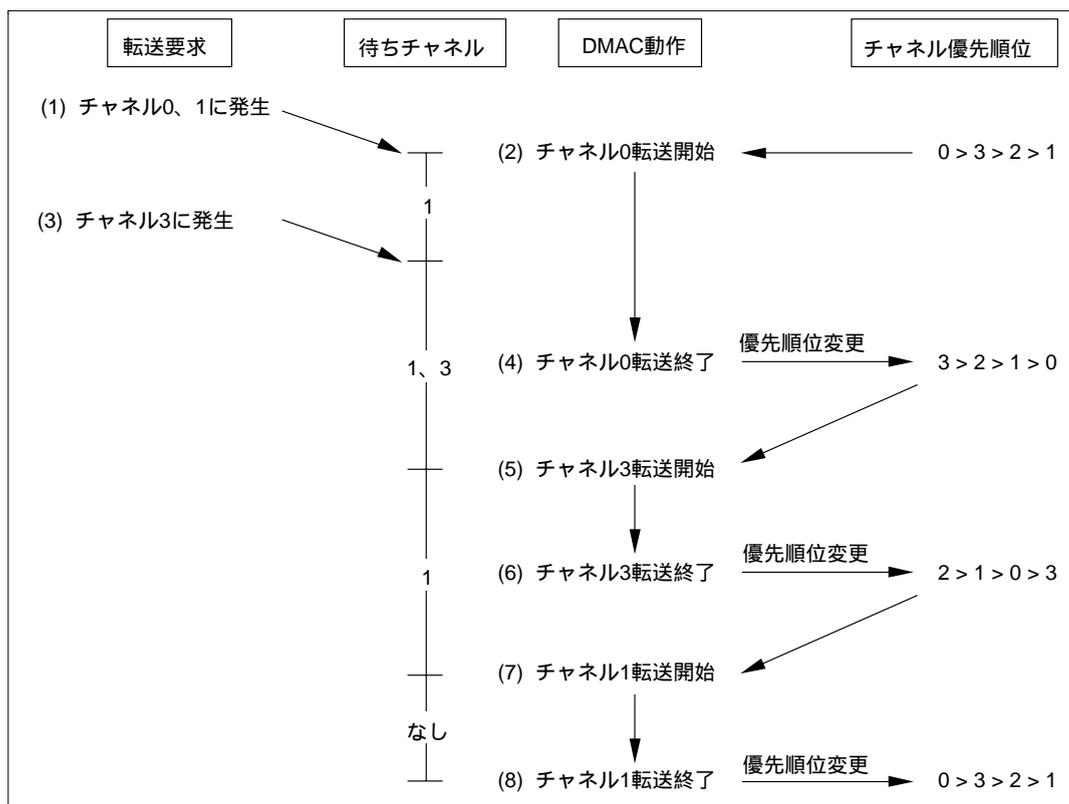


図9.4 ラウンドロビンモードでのチャンネル優先順位変更例

(3) 外部端子交代モード

外部端子交代モードでは、外部端子 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ によって転送要求を受け付けることのできるチャンネル0とチャンネル1の間で優先順位を入れ替えます。チャンネル0またはチャンネル1で、1転送単位(バイトまたはワード)の転送が終了するごとに、そのチャンネルの優先順位がもう一方のチャンネルの優先順位より低くなるように優先順位を入れ替えます。

チャンネル2とチャンネル3の優先順位は変わりません。リセット直後の優先順位は、高い順にチャンネル3、チャンネル2、チャンネル1、チャンネル0です。

図9.5に、チャンネル0とチャンネル1に同時に転送要求が発生し、両方のチャンネルの転送終了後に再びチャンネル0に転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合のDMACの動作は以下のようになります。

- (1) チャンネル0とチャンネル1に同時に転送要求が発生します。
- (2) チャンネル1のほうがチャンネル0より優先順位が高いため、チャンネル1の転送を開始します(チャンネル0は転送待ち)。
- (3) チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
- (4) チャンネル0の転送を開始します。
- (5) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (6) チャンネル0に転送要求が発生します。
- (7) チャンネル0の転送を開始します。
- (8) チャンネル0の転送を終了します。この場合、チャンネル0の優先順位はすでに一番低いので優先順位は変更しません。

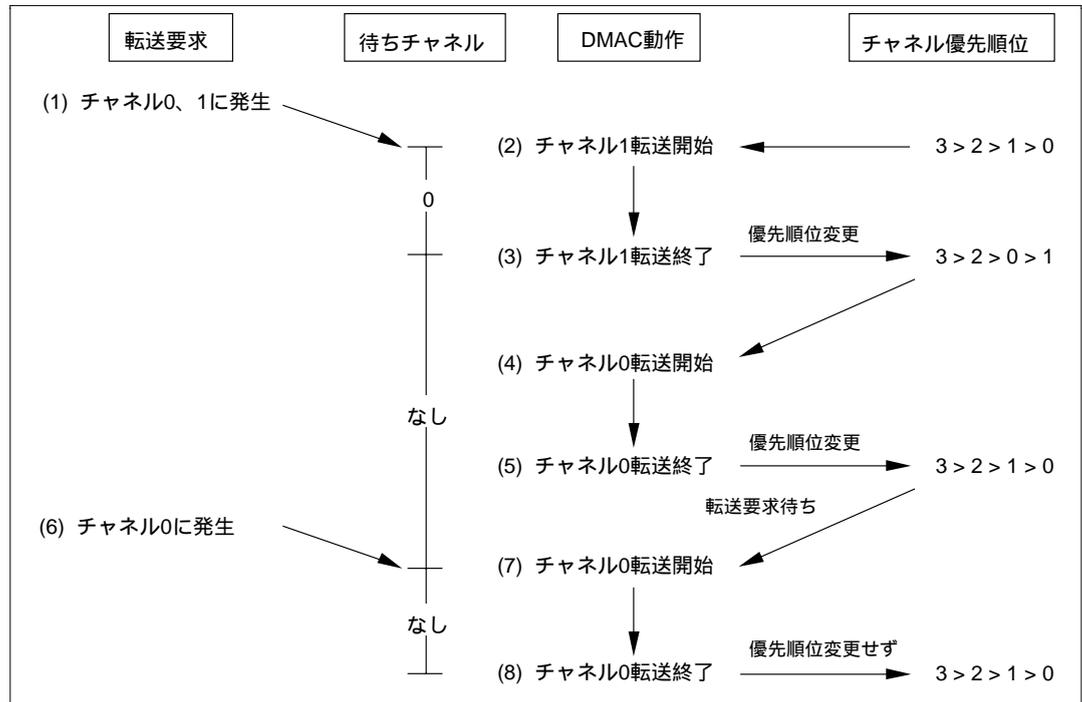


図 9.5 外部端子交代モードでのチャンネル優先順位変更例

9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.5 に示すとおりで、DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによってシングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.5 サポートできる DMA 転送

転送先 (元) \ 転送元 (先)	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き外部 デバイス	不可	シングル	シングル	不可	不可
外部メモリ	シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	シングル	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル

シングル：シングルアドレスモード

デュアル：デュアルアドレスモード

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。例えば、図 9.6 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

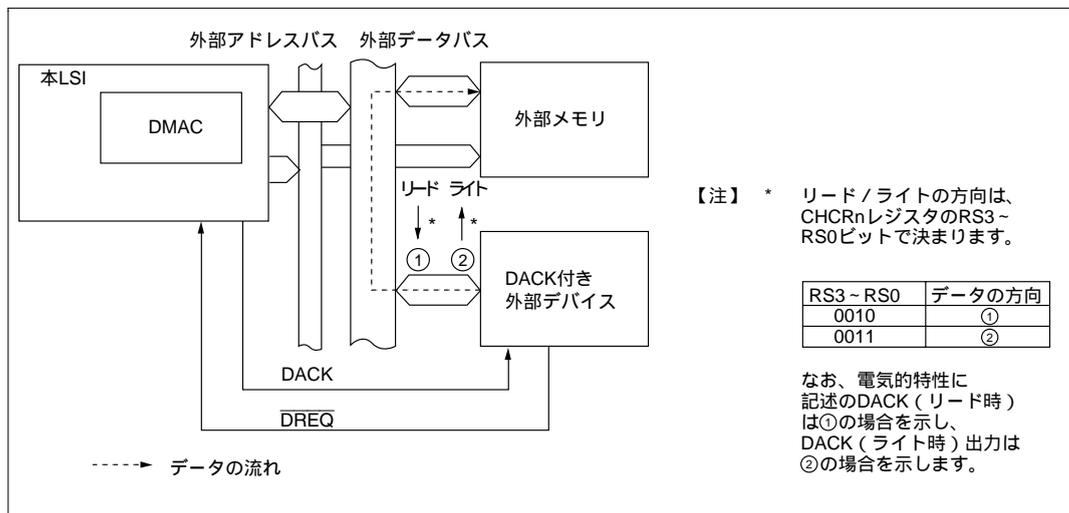


図 9.6 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト（DREQ）のみです。

なお、DACK 付き外部デバイスからメモリマップト外部デバイスへの転送の場合に出力される DACK 出力はライト時の波形が出力され、メモリマップト外部デバイスから DACK 付き外部デバイスへの転送の場合に出力される DACK の出力はリード時の波形が出力されます。チャンネルコントロールレジスタ(CHCR0~1)のアクノリッジモードビット(AM)の設定は無効です。

図 9.7 に、シングルアドレスモードでの DMA 転送タイミング例を示します。

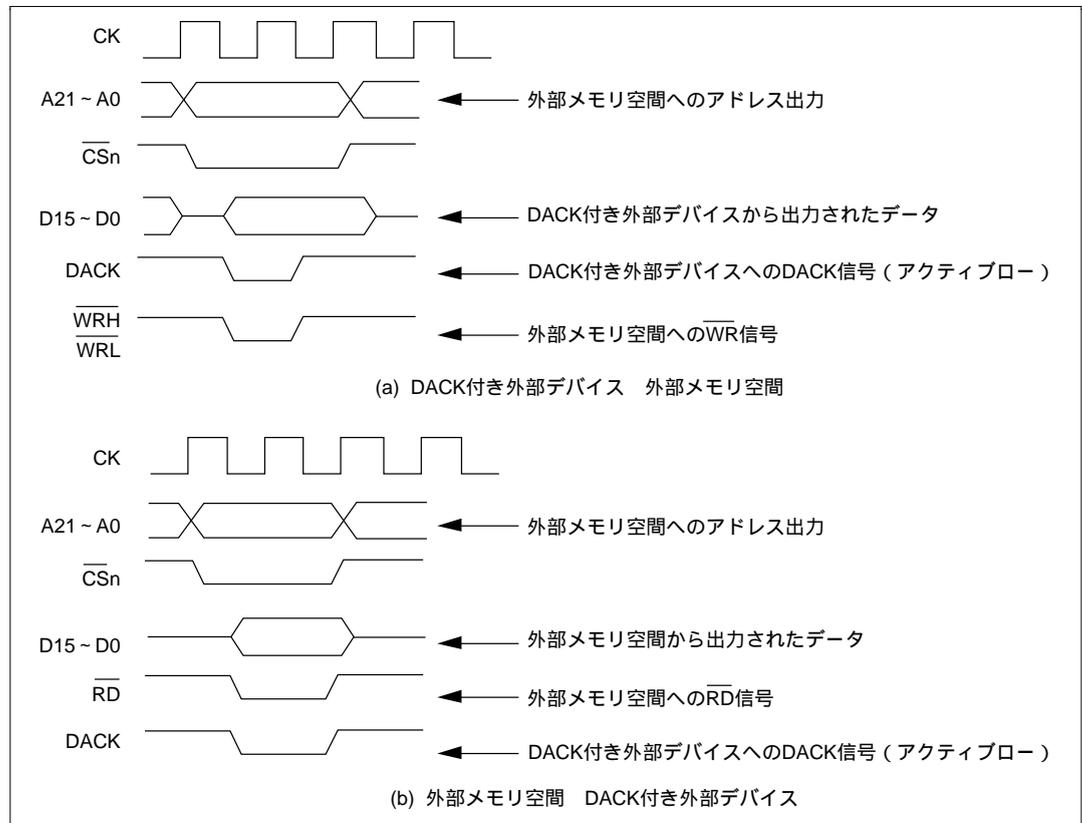


図 9.7 シングルアドレスモードでの DMA 転送タイミング例

(b) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。例えば、図 9.8 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

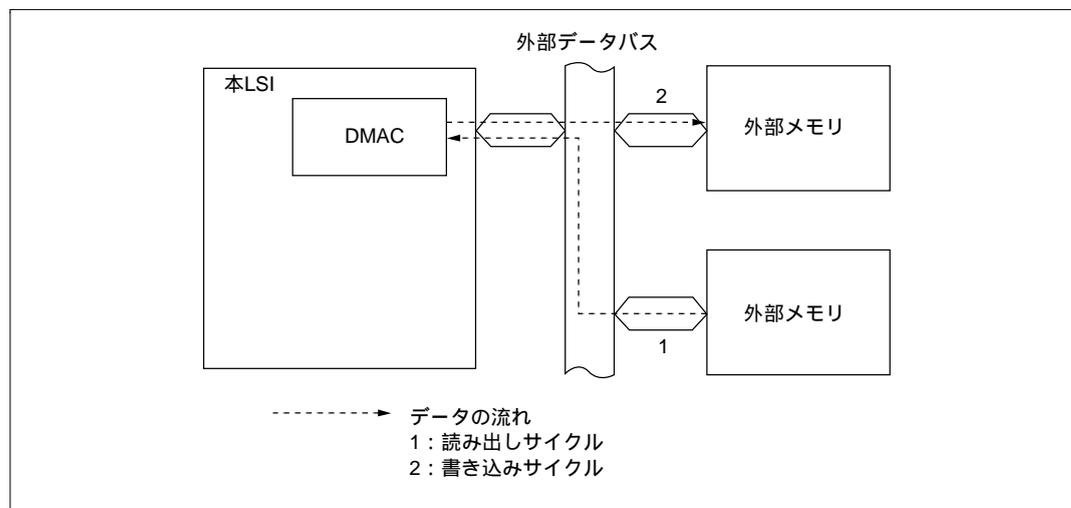


図 9.8 デュアルアドレスモードでのデータの流れ

デュアルアドレスモードでは、外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュールの4種類を自由に組み合わせた転送を行うことができます。具体的には、以下の転送が可能です。

- 1) 外部メモリと外部メモリ間転送
- 2) 外部メモリとメモリマップト外部デバイス間転送
- 3) メモリマップト外部デバイスとメモリマップト外部デバイス間転送
- 4) 外部メモリと内蔵メモリ間転送
- 5) 外部メモリと内蔵周辺モジュール (DMAC を除く) 間転送
- 6) メモリマップト外部デバイスと内蔵メモリ間転送
- 7) メモリマップト外部デバイスと内蔵周辺モジュール (DMAC を除く) 間転送
- 8) 内蔵メモリと内蔵メモリ間転送
- 9) 内蔵メモリと内蔵周辺モジュール (DMAC を除く) 間転送
- 10) 内蔵周辺モジュール (DMAC を除く) と内蔵周辺モジュール (DMAC を除く) 間転送

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、転送要求元がシリアルコミュニケーションインタフェース (SCI) である場合に限っては、SCI がデータの転送先または転送元でなければなりません (表 9.4 参照)。デュアルアドレスモードでは、DACK は、内蔵メモリおよび内蔵周辺モジュール以外に対するリードサイクルあるいはライトサイクル時に出力されます。リードサイクルあるいはライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図9.9に、デュアルアドレスモードでのDMA 転送タイミング例を示します。

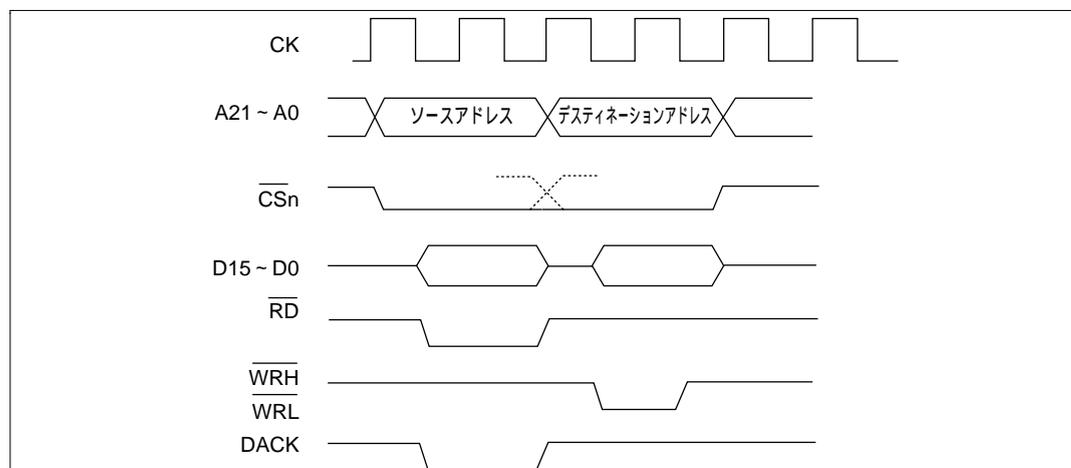


図9.9 デュアルアドレスモードでのDMA 転送タイミング例

(外部メモリ空間 外部メモリ空間、読み出しサイクルに DACK 出力の場合)

(2) バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。モードの選択は、CHCR3~CHCR0のTMビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMACは1転送単位(バイトまたはワード)の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了すると、またバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送先、転送元にかかわらずすべての転送区間で使えます。

図9.10に、サイクルスチールモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- ・デュアルアドレスモード
- ・ $\overline{\text{DREQ}}$ レベル検出

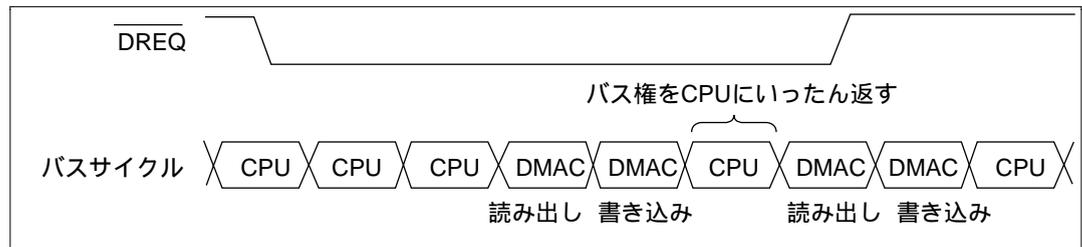


図 9.10 サイクルスチールモードでの DMA 転送例
(デュアルアドレス、 $\overline{\text{DREQ}}$ レベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を得ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC のバスサイクル終了後に他のバスマスタにバス権を渡します。

バーストモードは、シリアルコミュニケーションインターフェース (SCI) が転送要求元である場合には使えません。

図 9.11 に、バーストモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- ・シングルアドレスモード
- ・ $\overline{\text{DREQ}}$ レベル検出

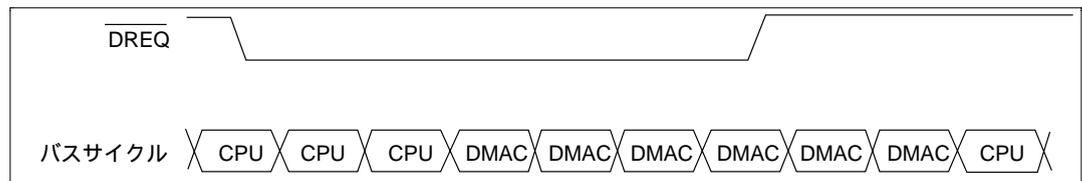


図 9.11 バーストモードでの DMA 転送例 (シングルアドレス、 $\overline{\text{DREQ}}$ レベル検出)

(3) DMA 転送区間とリクエストモード、バスモードとの関係一覧

表 9.6 に、DMA 転送区間とリクエストモード、バスモードなどの関連事項との関係を示します。

表 9.6 DMA 転送区間とバスモード、リクエストモードとの関係一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16	0、1
デュアル	外部メモリと外部メモリ	すべて可 ¹	B/C	8/16	0~3 ⁵
	外部メモリとメモリマップト外部デバイス	すべて可 ¹	B/C	8/16	0~3 ⁵
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ¹	B/C	8/16	0~3 ⁵
	外部メモリと内蔵メモリ	すべて可 ¹	B/C	8/16	0~3 ⁵
	外部メモリと内蔵周辺モジュール	すべて可 ²	B/C ³	8/16 ⁴	0~3 ⁵
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ¹	B/C	8/16	0~3 ⁵
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ²	B/C ³	8/16 ⁴	0~3 ⁵
	内蔵メモリと内蔵メモリ	すべて可 ¹	B/C	8/16	0~3 ⁵
	内蔵メモリと内蔵周辺モジュール	すべて可 ²	B/C ³	8/16 ⁴	0~3 ⁵
内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ²	B/C ³	8/16 ⁴	0~3 ⁵	

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI を転送要求元に指定するのは不可。
- *2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も SCI の場合は、転送元または転送先がそれぞれ SCI である必要があります。
- *3 転送要求元が SCI の場合には C (サイクルスチール) のみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。
- *5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

(4) バスモードとチャンネルの優先順位

あるチャンネル(1)がバーストモードで転送中、それより高いチャンネル(2)に転送要求が発生すると、ただちにその優先順位の高い方のチャンネル(2)が転送を開始します。チャンネル 2 もバーストモードの場合、チャンネル 2 の転送がすべて終了してから、チャンネル 1 が転送を継続します。また、チャンネル 2 がサイクルスチールモードの場合、まず、チャンネル 2 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開しますが、その後も、チャンネル 1 チャンネル 2 チャンネル 1 チャンネル 2 というようにバス権を交互に入れ替えます。この間、チャンネル 1 がバーストモードなので、CPU にバス権は渡りません。

この例を図 9.12 に示します。

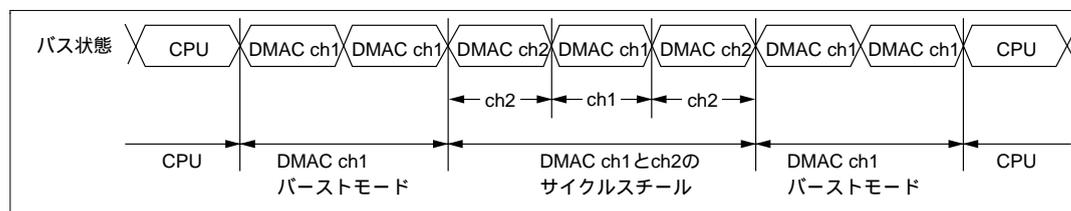


図 9.12 複数チャンネルが動作する場合のバス状態

(優先順位 $ch0 > ch3 > ch2 > ch1$ 、 $ch1$ はバーストモード、 $ch2$ はサイクルスチールモードが設定されている場合)

9.3.5 バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタの時のバスサイクルのステート数は、CPU がバスマスタの時と同様にバスステートコントローラ (BSC) で制御されます。デュアルアドレスモードでのバスサイクルは、ウェイトステートコントロールレジスタ 1 (WCR1) で制御され、シングルアドレスモードでのバスサイクルは、ウェイトステートコントロールレジスタ 2 (WCR2) で制御されます。詳しくは、「8.9 ウェイトステート制御」を参照してください。

(2) \overline{DREQ} 端子のサンプリングタイミング

外部リクエストモードにおいて、通常は、クロックパルス (CK) の立ち上がりエッジの直前で \overline{DREQ} 入力検出されると、最も早い場合で 2 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。 \overline{DREQ} 入力検出された後のサンプリングタイミングは、バスモードやアドレスモード、 \overline{DREQ} 入力の検出方法によって異なります。

(a) サイクルスチールモードでの $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

サイクルスチールモードでは、 $\overline{\text{DREQ}}$ 入力をエッジで検出する場合もレベルで検出する場合も、サンプリングタイミングは同じです。ただし、エッジ検出の場合、一度サンプリングを行ったあとは、次のエッジを検出するまでサンプリングを行いません。一度 $\overline{\text{DREQ}}$ 入力がサンプリングされると、それによって発生した DMAC のバスサイクルのうち、DACK 信号が出力されるバスサイクルの最初の状態まで（その状態も含む）は次のサンプリングは行われません。次のサンプリングは、DACK 信号が出力されるバスサイクルの 1 つ前のバスサイクルの終了後 3 ステート目のクロックパルス（CK）の立ち上がりエッジの直前から行われます。

図 9.13(a) ~ (e) に、各バスサイクルにおけるサイクルスチールモードでの $\overline{\text{DREQ}}$ 端子のサンプリングタイミングを示します。

この $\overline{\text{DREQ}}$ 検出後のサンプリングで $\overline{\text{DREQ}}$ の入力が検出されない場合の次のサンプリングは、DACK 信号が出力された次の状態から行われます。このとき、 $\overline{\text{DREQ}}$ 入力が検出されなければ、その後のサンプリングは 1 ステートごとに行われます。

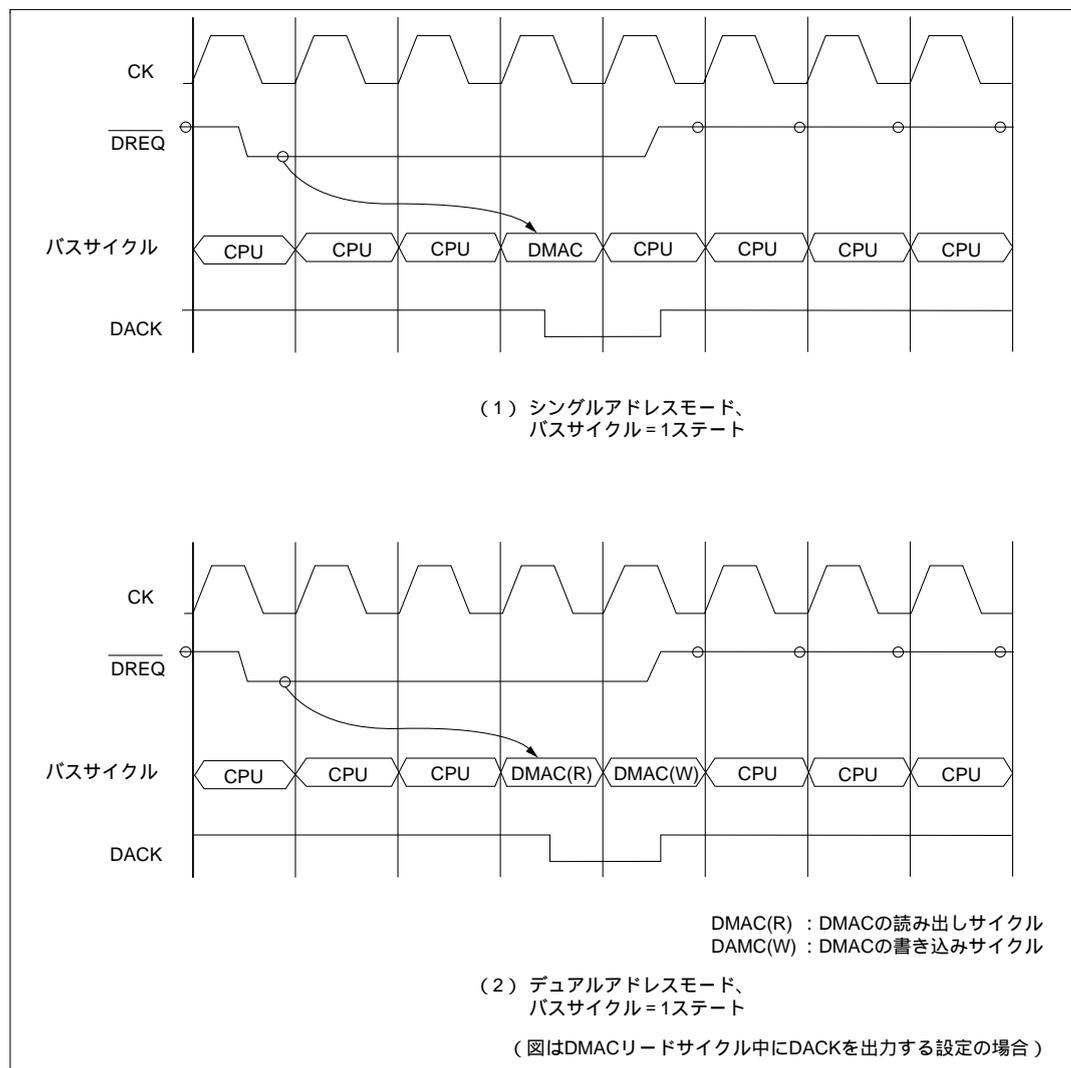


図 9.13 (a) サイクルスチールモードでの $\overline{\text{DREQ}}$ サンプルングタイミング
 ($\overline{\text{DREQ}}$ レベル検出、 DACK アクティブローで出力)

9. ダイレクトメモリアクセスコントローラ(DMAC)

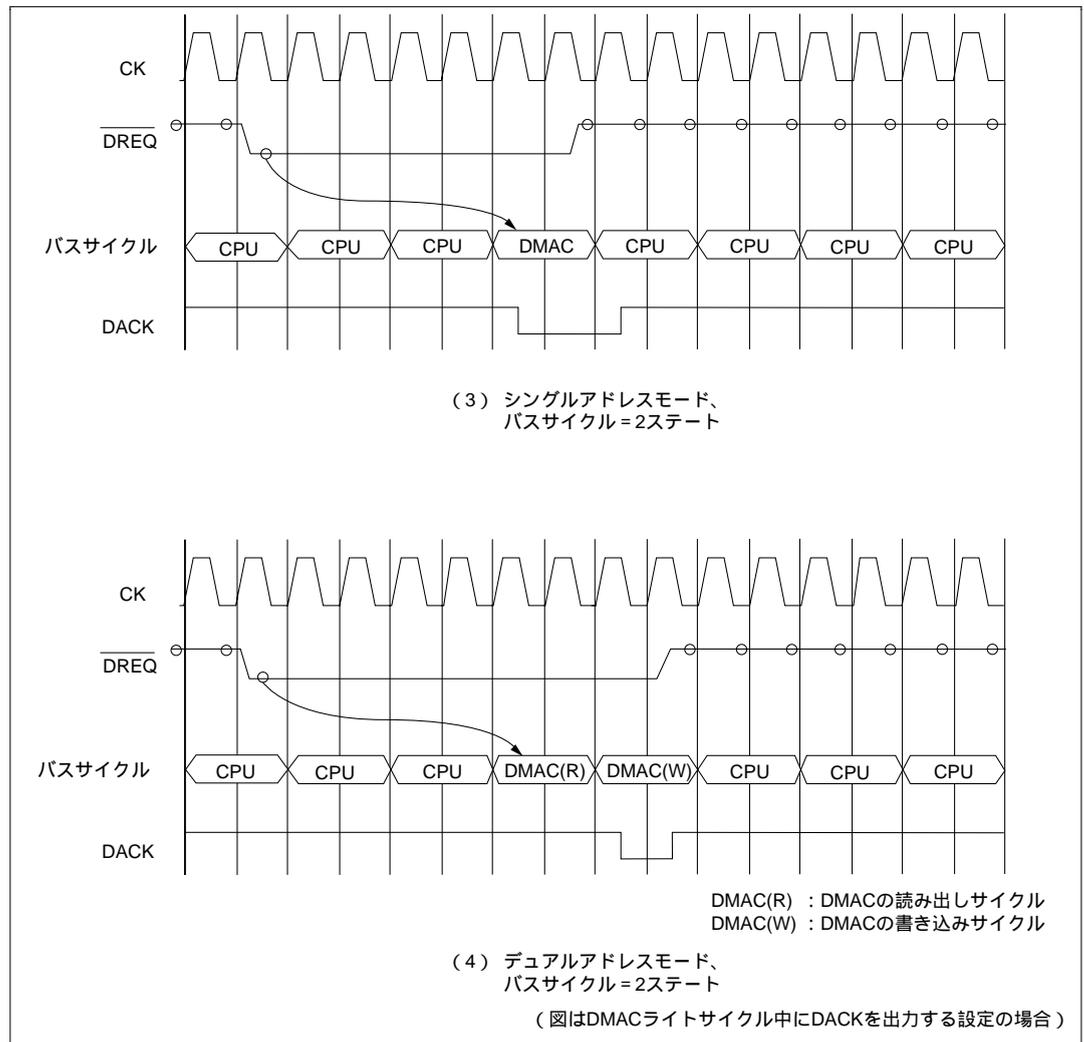


図 9.13 (b)サイクルスチールモードでの \overline{DREQ} サンプルングタイミング
(\overline{DREQ} レベル検出、DACK アクティブローで出力)

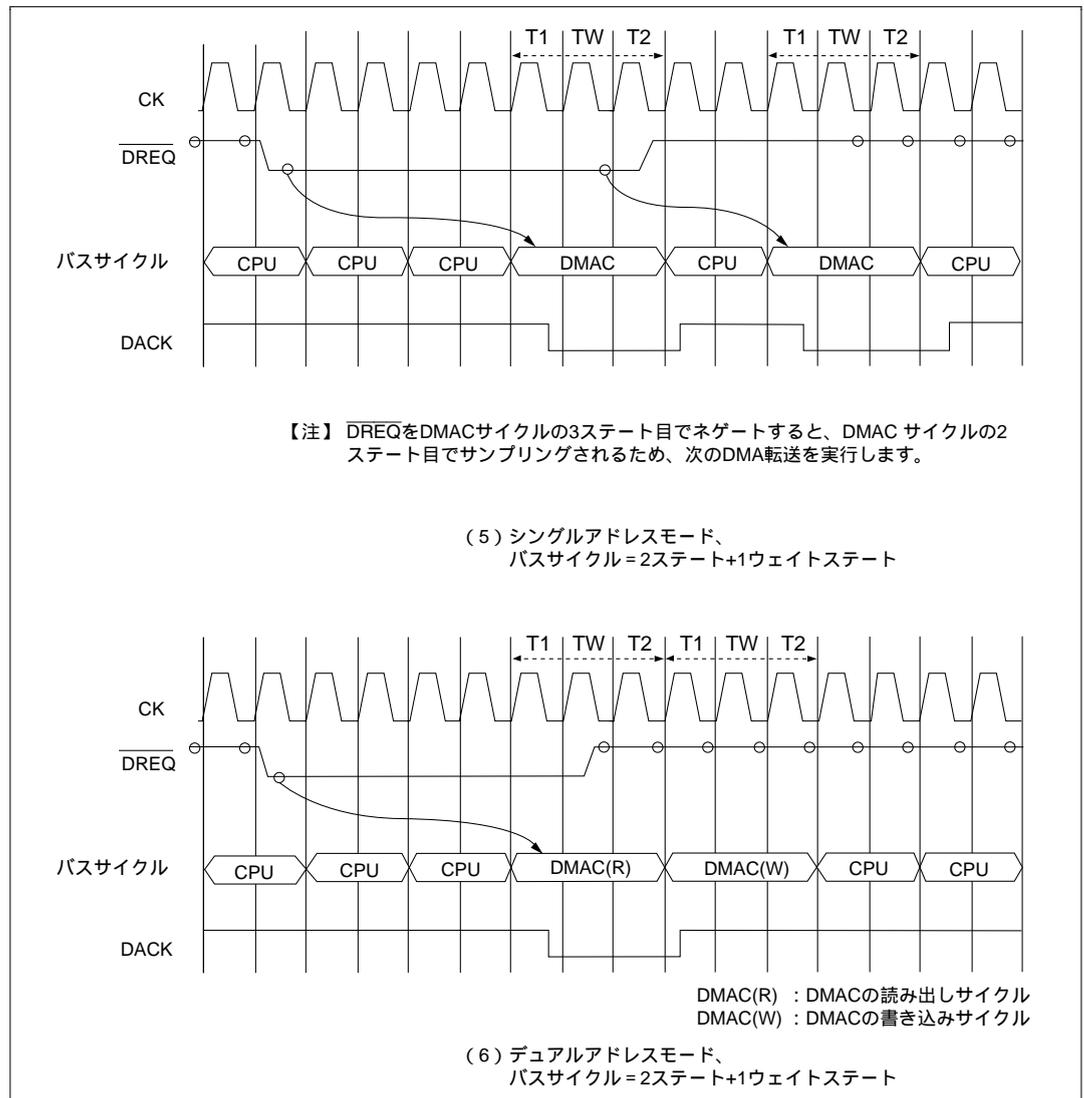


図 9.13 (c)サイクルスチールモードでの $\overline{\text{DREQ}}$ サンプリングタイミング
($\overline{\text{DREQ}}$ レベル検出、DACK アクティブローで出力)

9. ダイレクトメモリアクセスコントローラ(DMAC)

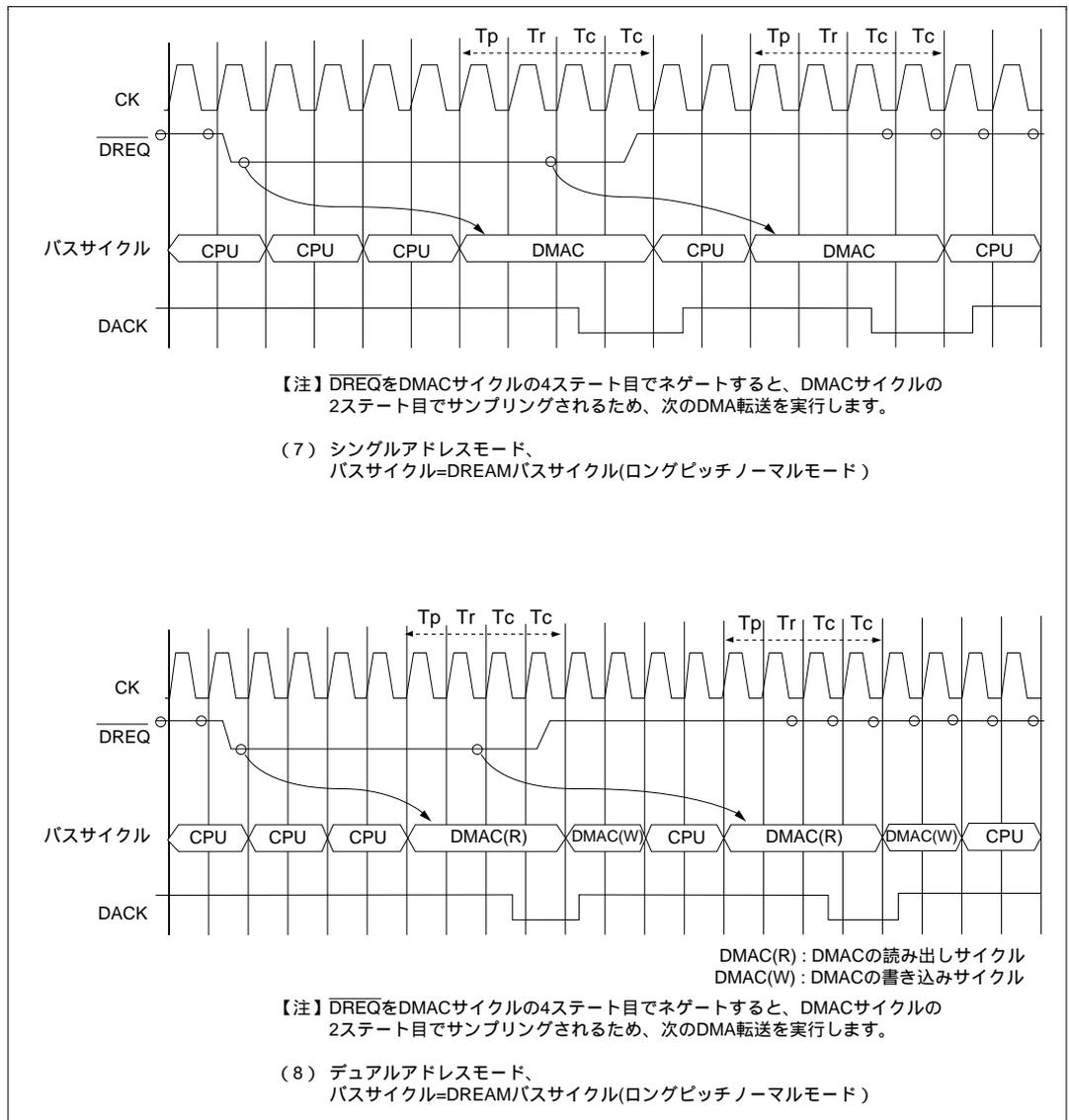


図 9.13 (d)サイクルスチールモードでの $\overline{\text{DREQ}}$ サンプリングタイミング
($\overline{\text{DREQ}}$ レベル検出、DACK アクティブローで出力)

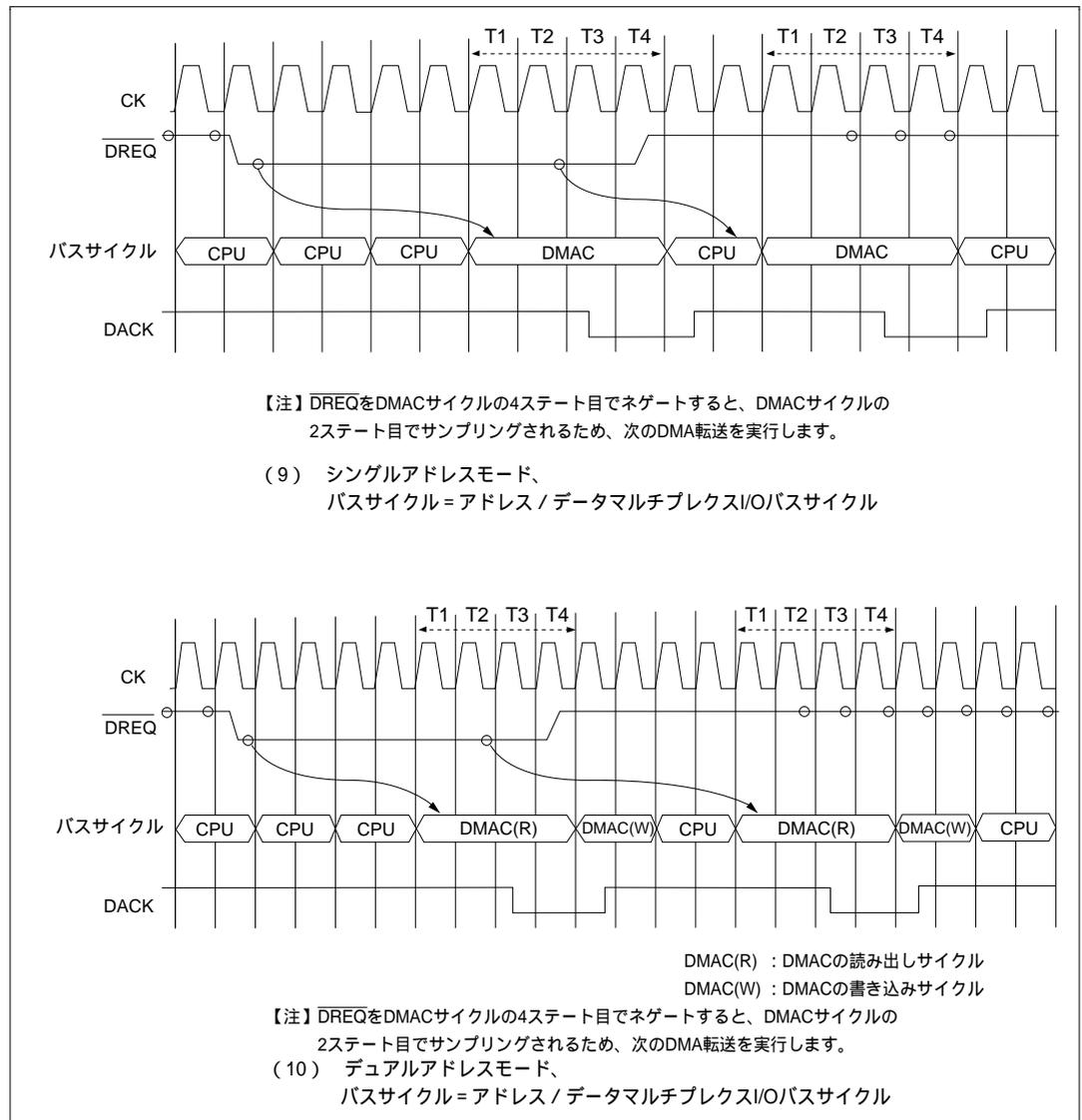


図 9.13 (e)サイクルスチールモードでの \overline{DREQ} サンプリングタイミング
(\overline{DREQ} レベル検出、DACK アクティブローで出力)

(b) バーストモードでの $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

バーストモードでは、 $\overline{\text{DREQ}}$ 入力をエッジで検出する場合とレベルで検出する場合とでは、サンプリングタイミングが異なります。

$\overline{\text{DREQ}}$ 入力をエッジで検出する場合、一度 $\overline{\text{DREQ}}$ 信号の立ち下がりエッジが検出されると、その後は、 $\overline{\text{DREQ}}$ 端子の状態にかかわらず、転送終了条件が満たされるまで DMA 転送が継続されます。この間、サンプリングは行われません。転送終了後は、DMA チャンネルコントロールレジスタ (CHCR) の TE ビットがクリアされると、再び 1 ステートごとにサンプリングが行われます。

$\overline{\text{DREQ}}$ 入力をレベルで検出する場合、一度 $\overline{\text{DREQ}}$ 入力検出されると、シングルアドレスモードの場合、次のサンプリングは CPU または DMAC のバスサイクルの切れ目ごとに行われます。デュアルアドレスモードの場合、次のサンプリングは DMAC のリードサイクルの先頭ごとに行われます。シングルアドレスモードでもデュアルアドレスモードでも、 $\overline{\text{DREQ}}$ 入力検出されなくなったら、その後のサンプリングは 1 ステートごとに行われます。

図 9.14、図 9.15 に、バーストモードで $\overline{\text{DREQ}}$ 入力をローレベルで検出する場合の $\overline{\text{DREQ}}$ 端子のサンプリングタイミングを示します。

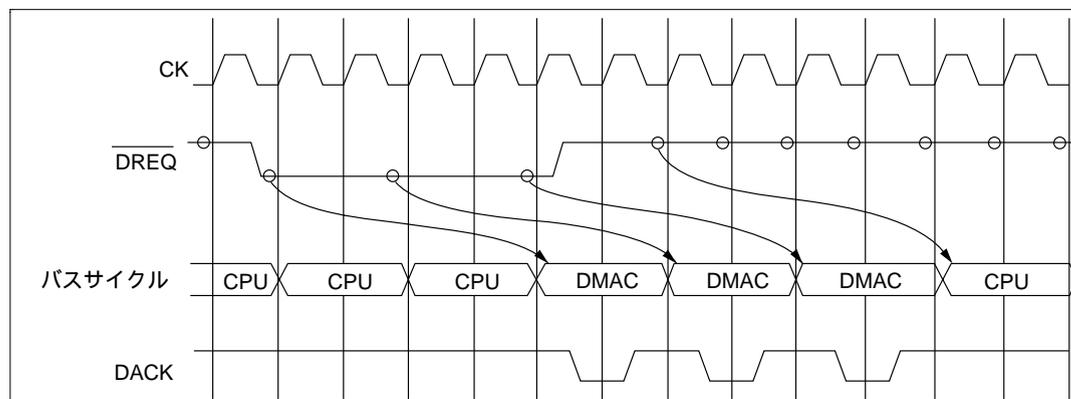


図 9.14 バーストモードでの $\overline{\text{DREQ}}$ 端子のサンプリングタイミング (シングルアドレス、 $\overline{\text{DREQ}}$ レベル検出、DACK アクティブロー、1 バスサイクル = 2 ステート)

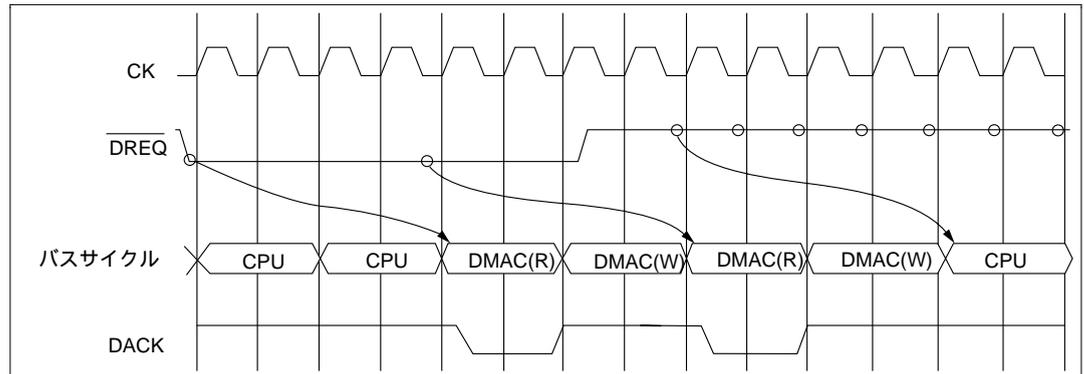


図 9.15 バーストモードでの $\overline{\text{DREQ}}$ 端子のサンプリングタイミング(デュアルアドレス、 $\overline{\text{DREQ}}$ レベル検出、DACK アクティブロー、リードサイクル時に DACK 出力、1 バスサイクル = 2 ステート)

9.3.6 DMA 転送終了

DMA 転送の終了条件は、1 チャンネルずつの終了と全チャンネル同時の終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- ・ DMA トランスファカウンタレジスタ (TCR) の値が 0 になる
- ・ DMA チャンネルコントロールレジスタ (CHCR) の DE ビットが 0 にされる

(a) TCR=0 による転送終了

TCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送を終了します。

- ・DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる
- ・DMAOR の DMA マスタイネーブルビット (DME) が 0 にされる

(a) DMAOR の NMIF=1 または AE=1 による転送終了

NMI 割り込みまたは DMAC によるアドレスエラーが発生して、DMAOR の NMIF ビットまたは AE ビットが 1 になると、すべてのチャンネルの DMA 転送が中断されます。中断による直前の転送による DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションレジスタ (DAR)、DMA トランスファカウントレジスタ (TCR) の更新は行われます。この場合には、TE ビットはセットされません。NMI 割り込み例外処理、アドレスエラー例外処理後に転送を再開するには、対応するフラグをクリアします。このとき DE ビットが 1 にセットされていると、そのチャンネルの転送が再開されてしまうので、再開させたくないチャンネルがあれば、DE ビットは 0 にしておく必要があります。

デュアルアドレスモードの場合、最初のリードサイクルでアドレスエラーが発生しても、それに引き続くライトサイクルは実行されてから DMA 転送が中断されません。この最後の転送による SAR、DAR、TCR の更新は行われます。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が、現在のバスサイクルの終了後に強制的に中断されます。この場合には TE ビットはセットされません。

9.4 使用例

9.4.1 内蔵 RAM とメモリマップト外部デバイス間の DMA 転送例

16ビットインテグレートドタイムパルスユニット (ITU) のチャンネル0からのインプットキャプチャA / コンペアマッチA 割り込み (IMIA0) を転送要求信号として、内蔵 RAM からメモリマップト外部デバイスにデータを転送する例を考えます。転送は DMAC のチャンネル3で行うものとしします。表9.7に転送条件と各レジスタの設定値を示します。

表 9.7 内蔵 RAM とメモリマップト外部デバイス間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 RAM	SAR3	H'FFFE00
転送先：メモリマップト外部デバイス	DAR3	転送先アドレス
転送回数：8回	TCR3	H'0008
転送先アドレス：固定	CHCR3	H'1805
転送元アドレス：増加		
転送要求元 (転送要求信号)：ITU チャンネル0(IMIA0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に DEI 割り込み要求発生 (チャンネル3の転送許可状態)		
チャンネル優先順位：固定 (0>3>2>1) (すべてのチャンネルの転送許可状態)	DMAOR	H'0001

9.4.2 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース (SCI) チャンネル 0 の受信データを、DMAC のチャンネル 3 を使って外部メモリに転送する例を考えます。表 9.8 に転送条件と各レジスタの設定値を示します。

表 9.8 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR3	H'5FFFE05
転送先：外部メモリ	DAR3	転送先アドレス
転送回数：64 回	TCR3	H'0040
転送先アドレス：増加	CHCR3	H'4405
転送元アドレス：固定		
転送要求元 (転送要求信号)：SCI0(RX10)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に DEI 割り込み要求発生 (チャンネル 3 の転送許可状態)		
チャンネル優先順位：固定 (0>3>2>1) (すべてのチャンネルの転送許可状態)	DMAOR	H'0001

9.5 使用上の注意

- (1) DMA オペレーションレジスタ(DMAOR)とDMAチャンネルコントロールレジスタ0~3(CHCR0~CHCR3)以外のレジスタはすべてワードかロングワード単位でアクセスしてください。
- (2) CHCR0~CHCR3のRS0~RS3ビットを書き換える場合は、DEビットを0にしてから書き換えてください(CHCRをバイトアクセスによって書き換える場合は、あらかじめ、DEビットを0にして設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされません。
- (4) DMAC転送中の割り込みについて
DMA転送中に割り込みが発生した場合、次のような動作をします。

(a) NMI 割り込みの場合

NMI 割り込みが入力されると DMAC は動作を中断して CPU にバス権を返します。CPU はバス権を獲得して割り込み処理を行います。

(b) NMI 割り込み以外の場合

DMAC がバースト動作時

バースト動作時、DMAC はバス権を CPU に返しません。したがって、DMAC 動作中に割り込み要求があっても CPU はバス権を得られず割り込み処理を行うことができません。DMAC が転送を終了し CPU がバス権を獲得したときに、DMAC 転送中にあった割り込み要求がクリア*されずに継続していれば、CPU は割り込み処理を行います。

【注】 * 割り込み要求のクリア条件

- ・内蔵周辺モジュールからの割り込み要求の場合、割り込み要因であるフラグをクリアしたとき。
- ・ $\overline{\text{IRQ}}$ (エッジ検出) による割り込み要求の場合、要求元である $\overline{\text{IRQ}}$ 割り込みの処理を CPU が開始したとき。
- ・ $\overline{\text{IRQ}}$ (レベル検出) による割り込み要求の場合、 $\overline{\text{IRQ}}$ 割り込み要求信号をハイレベルに戻したとき。

DMAC がサイクルスチール動作時

サイクルスチール動作時、DMAC は一転送単位終了するたびにバス権を CPU に返します。したがって、CPU はバス権を獲得時に要求のある割り込みの処理を行います。

- (5) 次の条件がすべて成立した場合、CPU、DMAC 共にバス権を解放したまま LSI の動作が停止します。
- ・ バスステートコントローラ (BSC) のバスコントロールレジスタ (BCR) のワープロビット (WARP) をセット。
 - ・ DMAC がサイクルスチール転送
 - ・ CPU が内蔵 I/O 空間をアクセス (リード/ライト)

対策

DMAC をサイクルスチールで起動する場合は、その前に BCR の WARP ビットを 0 に設定し、ノーマルモードにしておいてください。

- (6) SLEEP 命令に関する使用上の注意

(a) 動作内容

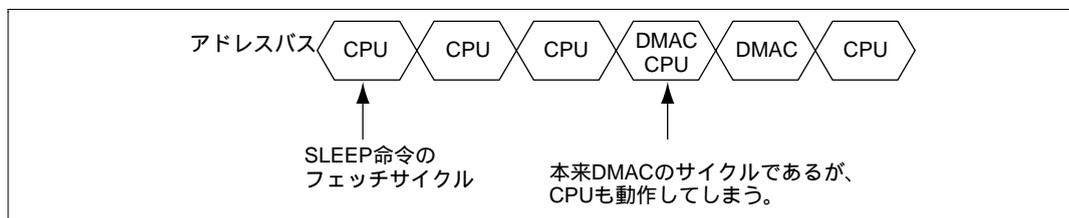
SLEEP 命令実行直後に DMAC のバスサイクルが入ると、その DMA 転送が正しく行われない場合があります。

(b) 対策法

- ・ SLEEP に入る前に DMAC の動作停止 (例えば DMA チャンネルコントロールレジスタ (CHCRn) のデータイネーブルビット (DE) のクリア) をしてください。
- ・ SLEEP 中に DMAC を使用する場合は割り込みで SLEEP を解除してから DMAC を動作させてください。

なお、DMAC 動作中、CPU が他の処理を行わず DMAC の転送終了を待つような場合には、SLEEP 命令を使わず、CPU で CHCRn のトランスファエンドフラグビット (TE) をポーリングするソフトウェアループを使用してください。

現象: SLEEP 命令が実行された直後に DMAC のバスサイクルが入る場合、DMAC のバスサイクルと CPU のバスサイクルがぶつかる場合があります。



このため、CPU とぶつかった DMAC のバスサイクルは正常に実行されず、誤動作する事があります。

(7) $\overline{\text{DREQ}}$ のサンプリングについて

DMA サイクルスチールモードで $\overline{\text{DREQ}}$ をレベル検出に設定すると、DACK 出力前に $\overline{\text{DREQ}}$ をサンプリングする場合があります。システム構成によっては余分な DMA 転送が実行される場合がありますのでご注意ください。

動作

$\overline{\text{DREQ}}$ のサンプリングは図 9.16 のように DMA バスサイクルのステート数にかかわらず、DACK が出力される DMA バスサイクルの前のバスサイクル終了後 3 ステート目のクロック (CK) の立ち上がりエッジの直前で行います。

したがって、DACK が DMA バスサイクルの 3 ステート以降に出力する場合、DACK 出力前に $\overline{\text{DREQ}}$ をサンプリングします。

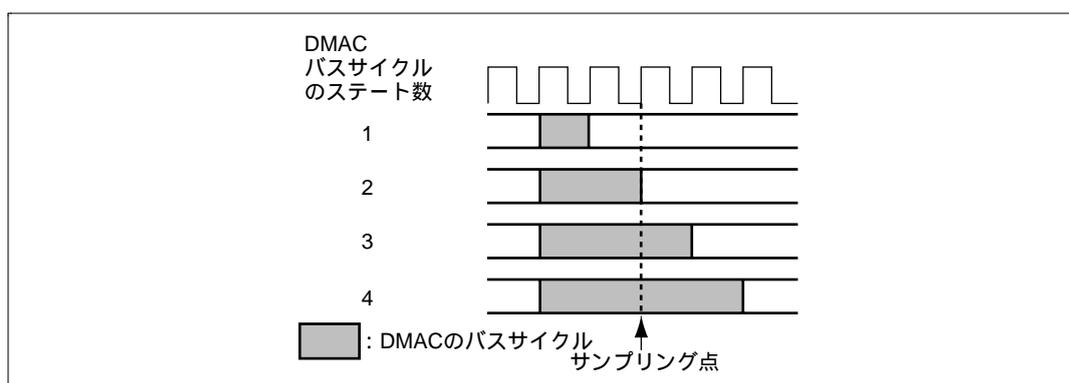


図 9.16 $\overline{\text{DREQ}}$ のサンプリング点

特に図 9.17 のように、DMA バスサイクルが DRAM へのフルアクセスのときや、リフレッシュが発生する場合には、上記のように DACK が出力される前に $\overline{\text{DREQ}}$ がサンプリングされますので注意が必要です。この現象は、DRAM を使用するシステム(リフレッシュイネーブル)において、DMA サイクルスチールモードで $\overline{\text{DREQ}}$ をレベル検出に設定して、下記のいずれかの転送を行なうときに発生します。

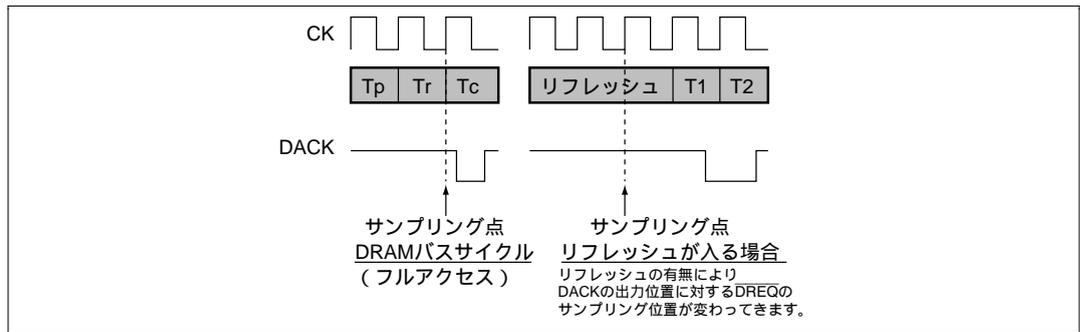


図 9.17 DACK 出力前に $\overline{\text{DREQ}}$ をサンプリングする例

シングルアドレスモードで、
 DACK 付デバイス メモリ (DRAM に限らない)
 シングルアドレスモードで、DRAM DACK 付デバイス
 デュアルアドレスモードで、DACK を書き込み時に出力
 デュアルアドレスモードで、DACK を読み出し時に出力し DRAM をソースとして
 DMA 転送を実行

対策

上記のように余分に DMA 転送が行われることを防ぐには $\overline{\text{DREQ}}$ をエッジ検出として使用し、次の転送要求に相当するエッジが DACK 出力以降に発生するシステム構成にしてください。

- (8) $\overline{\text{DREQ}}$ 入力が割り当てられている端子をピンファンクションコントローラ (PFC) の設定で汎用入力端子に機能を設定し、ローを入力した状態で、
 - (a) チャンネルコントロールレジスタ (CHCRn) の設定を、 $\overline{\text{DREQ}}$ の立ち下がりエッジで $\overline{\text{DREQ}}$ 入力を検出するように設定
 - (b) ピンファンクションコントローラ (PFC) の設定で、 $\overline{\text{DREQ}}$ 入力が割り当てられている端子を、汎用入力から $\overline{\text{DREQ}}$ 入りに機能設定
 の順で操作を行った場合、(b) の設定を行った直後に $\overline{\text{DREQ}}$ の立ち下がりエッジを検出し、DMA 転送要求を受け付けます。そのため、汎用入力から機能を切り替えて $\overline{\text{DREQ}}$ 入力を利用する際には、 $\overline{\text{DREQ}}$ 入力が割り当てられている端子をハイレベルにした状態でピンファンクションコントローラ (PFC) の設定を $\overline{\text{DREQ}}$ 入りに設定してください。

10 . 16 ビットインテグレートド タイマパルスユニット(ITU)

第10章 目次

10.1	概要	255
10.1.1	特長	255
10.1.2	ブロック図	259
10.1.3	端子構成	264
10.1.4	レジスタ構成	266
10.2	レジスタの説明	269
10.2.1	タイマスタートレジスタ (TSTR)	269
10.2.2	タイマシンクロレジスタ (TSNC)	271
10.2.3	タイマモードレジスタ (TMDR)	273
10.2.4	タイマファンクションコントロールレジスタ (TFCR)	276
10.2.5	タイマアウトプットコントロールレジスタ (TOCR)	278
10.2.6	タイマカウンタ (TCNT)	279
10.2.7	ジェネラルレジスタ A、B (GRA、GRB)	280
10.2.8	バッファレジスタ A、B (BRA、BRB)	281
10.2.9	タイマコントロールレジスタ (TCR)	282
10.2.10	タイマ I/O コントロールレジスタ (TIOR)	284
10.2.11	タイマステータスレジスタ (TSR)	286
10.2.12	タイマインタラプトイネーブルレジスタ (TIER)	288
10.3	CPU とのインタフェース	290
10.3.1	16ビットアクセス可能なレジスタ	290
10.3.2	8ビットアクセスのレジスタ	292
10.4	動作説明	293
10.4.1	概要	293
10.4.2	基本機能	295
10.4.3	同期動作	304

10.4.4	PWM モード	306
10.4.5	リセット同期 PWM モード	310
10.4.6	相補 PWM モード	313
10.4.7	位相計数モード	321
10.4.8	バッファ動作	323
10.4.9	ITU 出力タイミング	329
10.5	割り込み	330
10.5.1	ステータスフラグのセットタイミング	330
10.5.2	ステータスフラグのクリアタイミング	332
10.5.3	割り込み要因と DMA コントローラの起動	333
10.6	使用上の注意	334

10.1 概要

本 LSI は、5 チャンネルの 16 ビットタイマにより構成される 16 ビットインテグレートドタイムパルスユニット (ITU) を内蔵しています。

10.1.1 特長

ITU には、次のような特長があります。

最大 12 種類のパルス出力または最大 10 種類のパルス入力処理が可能

各チャンネル 2 本、合計 10 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立に
アウトプットコンペア / インプットキャプチャの機能設定が可能

各チャンネルとも 8 種類のカウンタ入力クロックを選択可能

内部クロック： 、 / 2、 / 4、 / 8

外部クロック：TCLKA、TCLKB、TCLKC、TCLKD

各チャンネルとも次の動作モードを設定可能

- コンペアマッチによる波形出力 : 0 出力 / 1 出力 / トグル出力が選択可能 (チャンネル 2 は 0 出力 / 1 出力が可能)
- インプットキャプチャ機能 : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- カウンタクリア機能 : コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 5 相の PWM 出力が可能

チャンネル 2 は位相計数モードを設定可能

- 2 相エンコーダのカウント数の自動計測が可能

ITUの機能一覧を表10.1に示します。

表10.1 ITUの機能一覧 (1)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウンタクロック	内部クロック： 、 /2、 /4、 /8 外部クロック：TCLKA、TCLKB、TCLKC、TCLKDから独立に選択可				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ兼用レジスタ)	GRA0、 GRB0	GRA1、 GRB1	GRA2、 GRB2	GRA3、 GRB3	GRA4、 GRB4
バッファレジスタ				BRA3、 BRB3	BRA4、 BRB4
入出力端子	TIOCA0、 TIOCB0	TIOCA1、 TIOCB1	TIOCA2、 TIOCB2	TIOCA3、 TIOCB3	TIOCA4、 TIOCB4
出力端子					TOCXA4、 TOCXB4
カウンタクリア機能	GRA0/GRB0のコンペアマッチまたはインプットキャプチャ	GRA1/GRB1のコンペアマッチまたはインプットキャプチャ	GRA2/GRB2のコンペアマッチまたはインプットキャプチャ	GRA3/GRB3のコンペアマッチまたはインプットキャプチャ	GRA4/GRB4のコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0 出力				
	1 出力				
	トグル 出力				

(続く)

表 10.1 ITUの機能一覧 (2)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
インプットキャプチャ機能					
同期動作					
PWM モード					
リセット同期 PWM モード					
相補 PWM モード					
位相計数モード					
バッファ動作					
DMAC の起動	GRA0 のコンペアマッチまたはインプットキャプチャ	GRA1 のコンペアマッチまたはインプットキャプチャ	GRA2 のコンペアマッチまたはインプットキャプチャ	GRA3 のコンペアマッチまたはインプットキャプチャ	
割り込み要因	3 要因 ・コンペアマッチ/ インプット キャプチャ A0 ・コンペアマッチ/ インプット キャプチャ B0 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプット キャプチャ A1 ・コンペアマッチ/ インプット キャプチャ B1 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプット キャプチャ A2 ・コンペアマッチ/ インプット キャプチャ B2 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプット キャプチャ A3 ・コンペアマッチ/ インプット キャプチャ B3 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプット キャプチャ A4 ・コンペアマッチ/ インプット キャプチャ B4 ・オーバーフロー

記号説明

: 可能

- : 不可

10.1.2 ブロック図

(1) ITUのブロック図(全体図)

ITUのブロック図(全体図)を図10.1に示します。

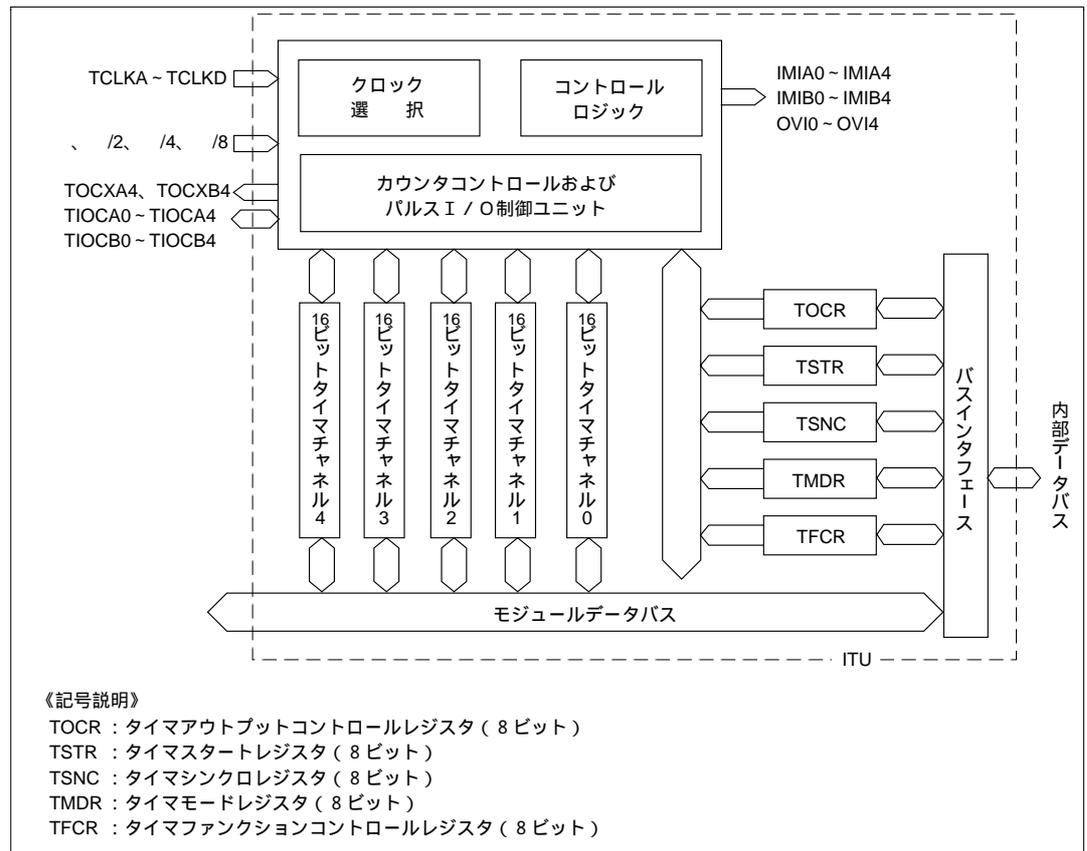


図 10.1 ITUのブロック図(全体図)

(2) チャンネル0、1のブロック図

ITUのチャンネル0、1は同一の機能をもっています。チャンネル0、1のブロック図を図10.2に示します。

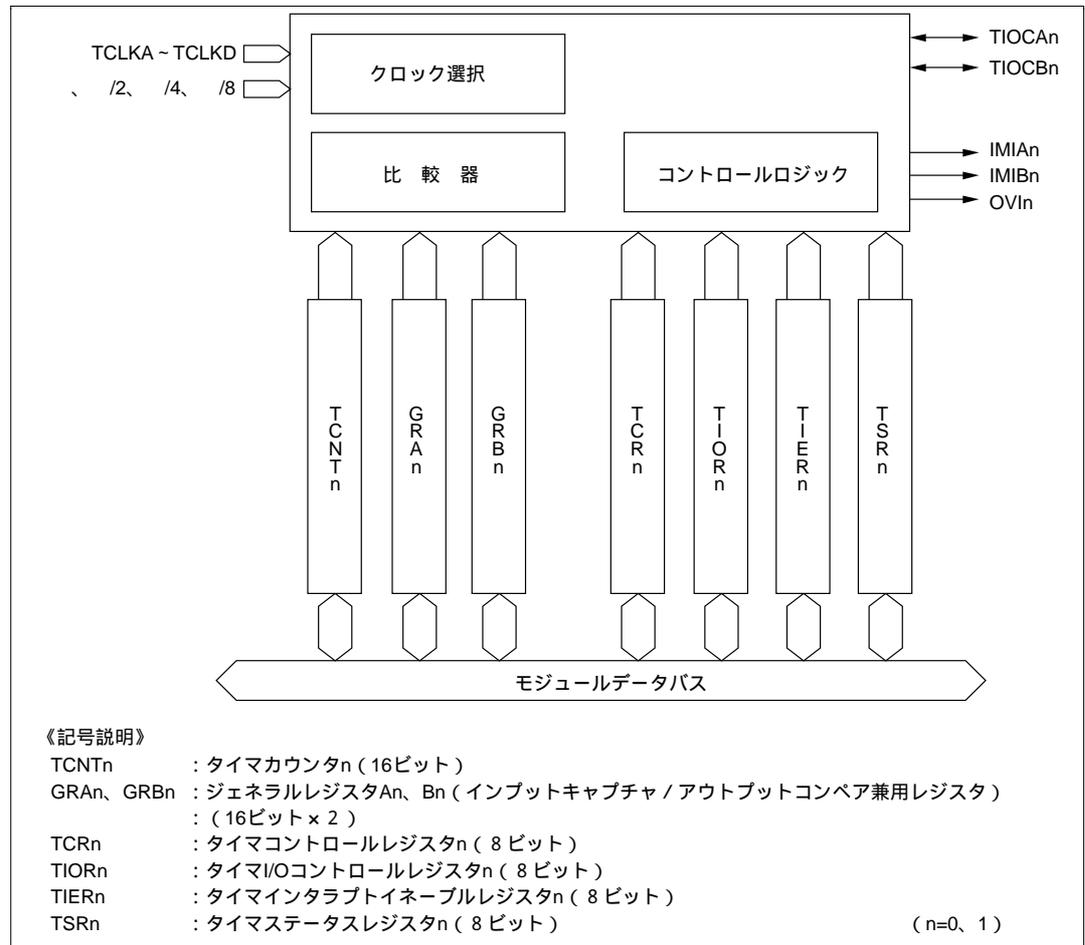


図 10.2 チャンネル0、1のブロック図 (1チャンネル分)

(3) チャンネル2のブロック図

チャンネル2のブロック図を図10.3に示します。チャンネル2は0出力、1出力のみ可能です。

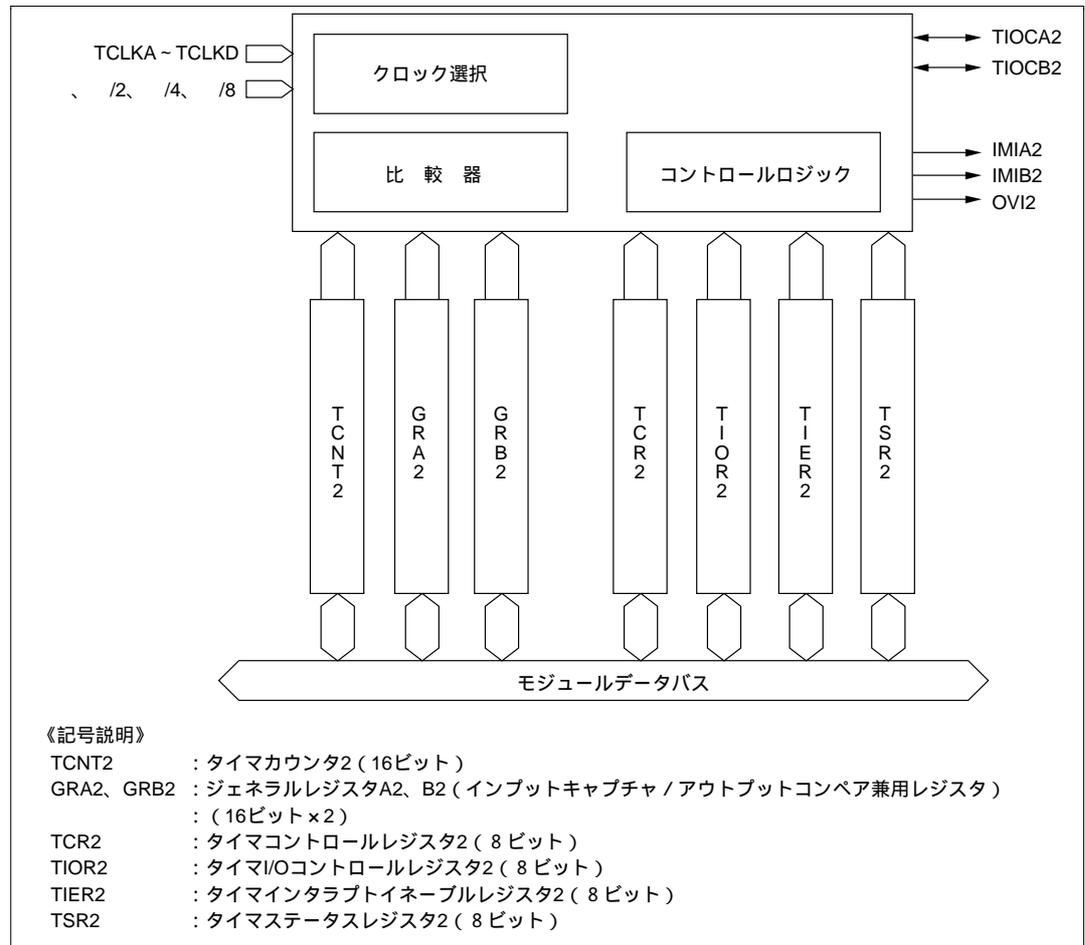


図10.3 チャンネル2のブロック図

(4) チャンネル3、4のブロック図

チャンネル3のブロック図を図10.4、チャンネル4のブロック図を図10.5に示します。

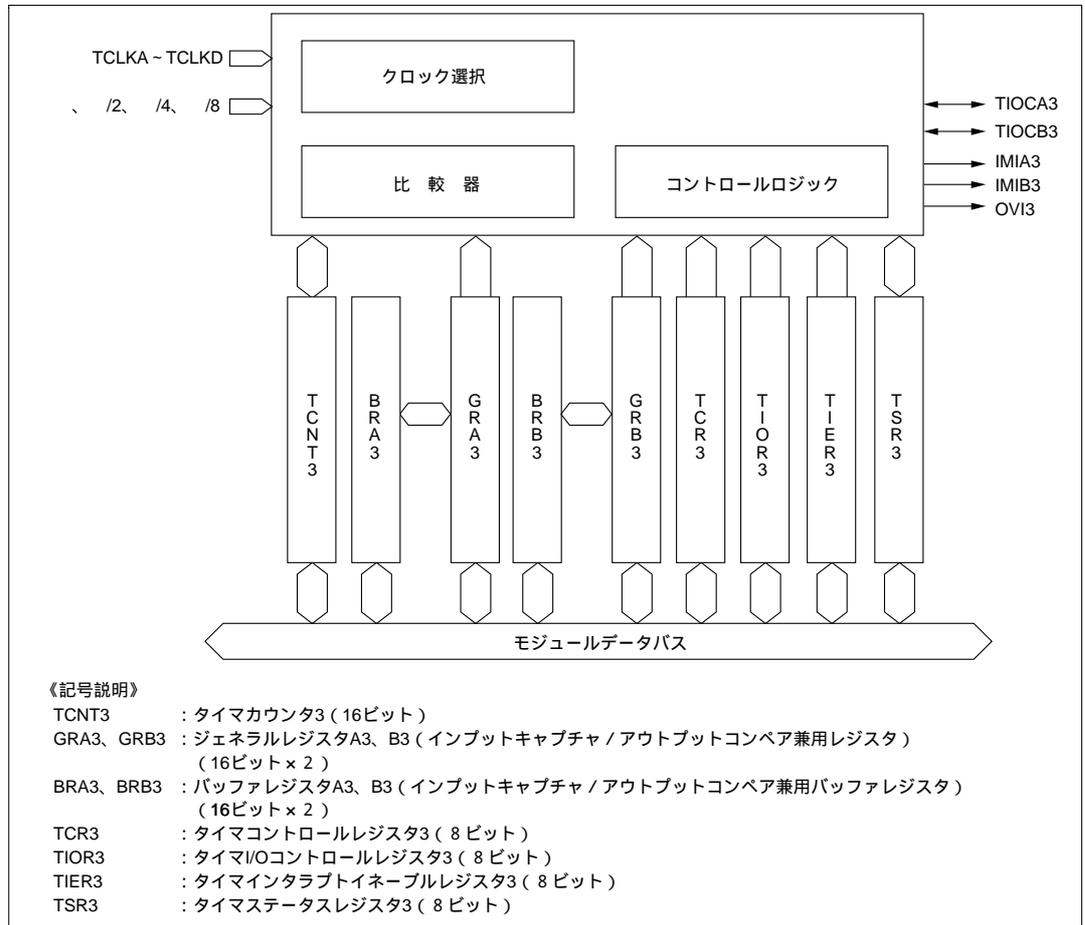


図10.4 チャンネル3のブロック図

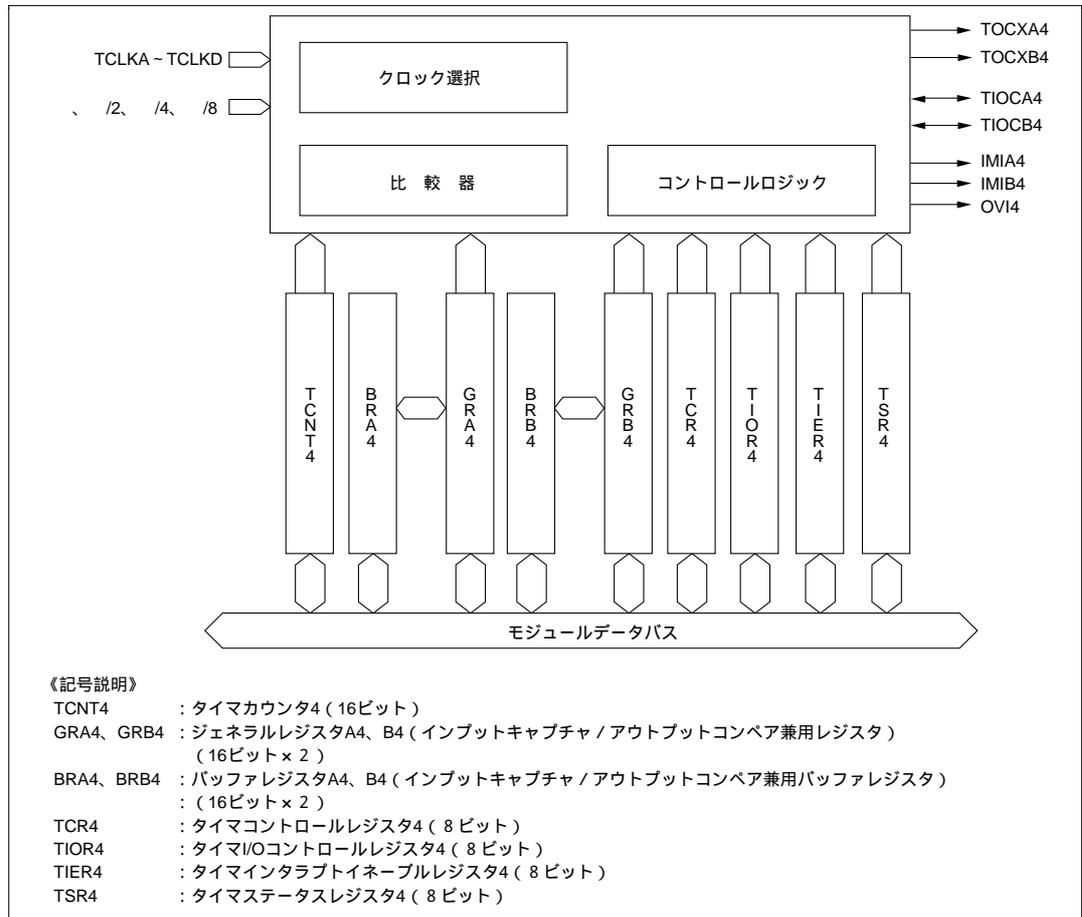


図 10.5 チャンネル4のブロック図

10.1.3 端子構成

ITUの端子構成を表10.2に示します。これら外部端子の機能は、ITUの設定にあわせてピンファンクションコントローラ(PFC)でも設定してください。詳細は「14. ピンファンクションコントローラ」を参照してください。基本的には、ITUのモード設定後、ピンファンクションコントローラ(PFC)でITUの端子を設定してください。

表10.2 端子構成 (1)

チャンネル	名称	略称	入出力	機能
共通	クロック入力A	TCLKA	入力	外部クロックA入力端子 (位相計数モード時A相入力端子)
	クロック入力B	TCLKB	入力	外部クロックB入力端子 (位相計数モード時B相入力端子)
	クロック入力C	TCLKC	入力	外部クロックC入力端子
	クロック入力D	TCLKD	入力	外部クロックD入力端子
0	インプットキャプチャ/ アウトプットコンペアA0	TIOCA0	入出力	GRA0アウトプットコンペア出力/ GRA0インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB0	TIOCB0	入出力	GRB0アウトプットコンペア出力/ GRB0インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペアA1	TIOCA1	入出力	GRA1アウトプットコンペア出力/ GRA1インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB1	TIOCB1	入出力	GRB1アウトプットコンペア出力/ GRB1インプットキャプチャ入力端子
2	インプットキャプチャ/ アウトプットコンペアA2	TIOCA2	入出力	GRA2アウトプットコンペア出力/ GRA2インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB2	TIOCB2	入出力	GRB2アウトプットコンペア出力/ GRB2インプットキャプチャ入力端子

(続く)

表 10.2 端子構成 (2)

チャンネル	名称	略称	入出力	機能
3	インプットキャプチャ / アウトプットコンペア A3	TIOCA3	入出力	GRA3 アウトプットコンペア出力 / GRA3 インプットキャプチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インプットキャプチャ / アウトプットコンペア B3	TIOCB3	入出力	GRB3 アウトプットコンペア出力 / GRB3 インプットキャプチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
4	インプットキャプチャ / アウトプットコンペア A4	TIOCA4	入出力	GRA4 アウトプットコンペア出力 / GRA4 インプットキャプチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インプットキャプチャ / アウトプットコンペア B4	TIOCB4	入出力	GRB4 アウトプットコンペア出力 / GRB4 インプットキャプチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
	アウトプットコンペア XA4	TOCXA4	出力	PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
	アウトプットコンペア XB4	TOCXB4	出力	PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)

10.1.4 レジスタ構成

ITUのレジスタ構成を表10.3に示します。

表10.3 レジスタ構成 (1)

チャンネル	名称	略称	R/W	初期値	アドレス ¹⁾	アクセスサイズ	
共通	タイマスタートレジスタ	TSTR	R/W	H'E0 / H'60	H'5FFFF00	8	
	タイマシンクロレジスタ	TSNC	R/W	H'E0 / H'60	H'5FFFF01	8	
	タイマモードレジスタ	TMDR	R/W	H'80 / H'00	H'5FFFF02	8	
	タイマファンクションコントロールレジスタ	TFCR	R/W	H'C0 / H'40	H'5FFFF03	8	
	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF / H'7F	H'5FFFF31	8	
0	タイマコントロールレジスタ0	TCR0	R/W	H'80 / H'00	H'5FFFF04	8	
	タイマI/Oコントロールレジスタ0	TIOR0	R/W	H'88 / H'08	H'5FFFF05	8	
	タイマインタラプトイネーブルレジスタ0	TIER0	R/W	H'F8 / H'78	H'5FFFF06	8	
	タイマステータスレジスタ0	TSR0	R/(W) ²⁾	H'F8 / H'78	H'5FFFF07	8	
	タイマイカウンタ0		TCNT0	R/W	H'00	H'5FFFF08	8、16、32
						H'5FFFF09	
	ジェネラルレジスタA0		GRA0	R/W	H'FF	H'5FFFF0A	8、16、32
H'5FFFF0B							
ジェネラルレジスタB0		GRB0	R/W	H'FF	H'5FFFF0C	8、16	
					H'5FFFF0D		
1	タイマコントロールレジスタ1	TCR1	R/W	H'80 / H'00	H'5FFFF0E	8	
	タイマI/Oコントロールレジスタ1	TIOR1	R/W	H'88 / H'08	H'5FFFF0F	8	
	タイマインタラプトイネーブルレジスタ1	TIER1	R/W	H'F8 / H'78	H'5FFFF10	8	
	タイマステータスレジスタ1	TSR1	R/(W) ²⁾	H'F8 / H'78	H'5FFFF11	8	
	タイマイカウンタ1		TCNT1	R/W	H'00	H'5FFFF12	8、16
						H'5FFFF13	
	ジェネラルレジスタA1		GRA1	R/W	H'FF	H'5FFFF14	8、16、32
H'5FFFF15							
ジェネラルレジスタB1		GRB1	R/W	H'FF	H'5FFFF16	8、16、32	
					H'5FFFF17		

(続く)

表10.3 レジスタ構成 (2)

チャンネル	名称	略称	R/W	初期値	アドレス ¹⁾	アクセスサイズ
2	タイマコントロールレジスタ 2	TCR2	R/W	H'80 / H'00	H'5FFFF18	8
	タイマI/Oコントロールレジスタ 2	TIOR2	R/W	H'88 / H'08	H'5FFFF19	8
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8 / H'78	H'5FFFF1A	8
	タイマステータスレジスタ 2	TSR2	R/(W) ²⁾	H'F8 / H'78	H'5FFFF1B	8
	タイマイカウンタ 2	TCNT2	R/W	H'00	H'5FFFF1C H'5FFFF1D	8、16、32
	ジェネラルレジスタ A2	GRA2	R/W	H'FF	H'5FFFF1E H'5FFFF1F	8、16、32
	ジェネラルレジスタ B2	GRB2	R/W	H'FF	H'5FFFF20 H'5FFFF21	8、16
3	タイマコントロールレジスタ 3	TCR3	R/W	H'80 / H'00	H'5FFFF22	8
	タイマI/Oコントロールレジスタ 3	TIOR3	R/W	H'88 / H'08	H'5FFFF23	8
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8 / H'78	H'5FFFF24	8
	タイマステータスレジスタ 3	TSR3	R/(W) ²⁾	H'F8 / H'78	H'5FFFF25	8
	タイマイカウンタ 3	TCNT3	R/W	H'00	H'5FFFF26 H'5FFFF27	8、16
	ジェネラルレジスタ A3	GRA3	R/W	H'FF	H'5FFFF28 H'5FFFF29	8、16、32
	ジェネラルレジスタ B3	GRB3	R/W	H'FF	H'5FFFF2A H'5FFFF2B	8、16、32
	バッファレジスタ A3	BRA3	R/W	H'FF	H'5FFFF2C H'5FFFF2D	8、16、32
	バッファレジスタ B3	BRB3	R/W	H'FF	H'5FFFF2E H'5FFFF2F	8、16、32

(続く)

表 10.3 レジスタ構成 (3)

チャンネル	名 称	略 称	R/W	初期値	アドレス ¹	アクセスサイズ
4	タイマコントロールレジスタ 4	TCR4	R/W	H'80 / H'00	H'5FFFF32	8
	タイマI/Oコントロールレジスタ 4	TIOR4	R/W	H'88 / H'08	H'5FFFF33	8
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'F8 / H'78	H'5FFFF34	8
	タイマステータスレジスタ 4	TSR4	R/(W) ²	H'F8 / H'78	H'5FFFF35	8
	タイマイカウンタ 4	TCNT4	R/W	H'00	H'5FFFF36	8、16
					H'5FFFF37	
	ジェネラルレジスタ A4	GRA4	R/W	H'FF	H'5FFFF38	8、16、32
					H'5FFFF39	
	ジェネラルレジスタ B4	GRB4	R/W	H'FF	H'5FFFF3A	8、16、32
					H'5FFFF3B	
	バッファレジスタ A4	BRA4	R/W	H'FF	H'5FFFF3C	8、16、32
					H'5FFFF3D	
バッファレジスタ B3	BRB4	R/W	H'FF	H'5FFFF3E	8、16、32	
				H'5FFFF3F		

【注】*1 A27～A24ビットとA8～A0ビットの値のみ有効で、A23～A9ビットは無視されます。レジスタアドレスの詳細は「8.3.5 エリアの説明」を参照してください。

*2 フラグをクリアするために0のみ書き込むことができます。

10.2 レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	STR4	STR3	STR2	STR1	STR0
初期値:	不定	1	1	0	0	0	0	0
R/W:	-	-	-	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ (TSTR) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 4 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

TSTR はリセット、またはスタンバイモード時に、H'E0 または H'60 に初期化されます。

ビット 7 ~ 5 : 予約ビット

ビット 7 を読み出すとデータは不定で、ビット 6、5 を読み出すと、常に 1 が読み出されます。書き込む値は、ビット 7 へは 0 または 1 に、ビット 6、5 へは常に 1 にしてください。

ビット 4 : カウンタスタート 4 (STR4)

タイマカウンタ 4 (TCNT4) を動作させるか、停止させるかを選択します。

ビット 4	説明
STR4	
0	TCNT4 のカウント動作は停止 (初期値)
1	TCNT4 はカウント動作

ビット 3 : カウンタスタート 3 (STR3)

タイマカウンタ 3 (TCNT3) を動作させるか、停止させるかを選択します。

ビット 3	説明
STR3	
0	TCNT3 のカウント動作は停止 (初期値)
1	TCNT3 はカウント動作

ビット2：カウンタスタート2（STR2）

タイマカウンタ2（TCNT2）を動作させるか、停止させるかを選択します。

ビット2	説明
STR2	
0	TCNT2のカウンタ動作は停止 (初期値)
1	TCNT2はカウンタ動作

ビット1：カウンタスタート1（STR1）

タイマカウンタ1（TCNT1）を動作させるか、停止させるかを選択します。

ビット1	説明
STR1	
0	TCNT1のカウンタ動作は停止 (初期値)
1	TCNT1はカウンタ動作

ビット0：カウンタスタート0（STR0）

タイマカウンタ0（TCNT0）を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	TCNT0のカウンタ動作は停止 (初期値)
1	TCNT0はカウンタ動作

10.2.2 タイマシンクロレジスタ (TSNC)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	不定	1	1	0	0	0	0	0
R/W:	-	-	-	R/W	R/W	R/W	R/W	R/W

タイマシンクロレジスタ (TSNC) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 4 を独立動作させるか、同期動作させるかを選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSNC はリセット、またはスタンバイモード時に、H'E0 または H'60 に初期化されます。

ビット 7 ~ 5 : 予約ビット

ビット 7 を読み出すとデータは不定で、ビット 6、5 を読み出すと、常に 1 が読み出されます。書き込む値は、ビット 7 へは 0 または 1 に、ビット 6、5 へは常に 1 にしてください。

ビット 4 : タイマ同期 4 (SYNC4)

チャンネル 4 を独立動作させるか、同期動作させるかを選択します。

ビット 4	説 明
SYNC4	
0	チャンネル 4 のタイマカウンタ (TCNT4) は独立動作 (TCNT4 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 4 は同期動作 TCNT4 の同期プリセット / 同期クリアが可能

ビット 3 : タイマ同期 3 (SYNC3)

チャンネル 3 を独立動作させるか、同期動作させるかを選択します。

ビット 3	説 明
SYNC3	
0	チャンネル 3 のタイマカウンタ (TCNT3) は独立動作 (TCNT3 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 3 は同期動作 TCNT3 の同期プリセット / 同期クリアが可能

ビット2：タイマ同期2（SYNC2）

チャンネル2を独立動作させるか、同期動作させるかを選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ（TCNT2は独立動作（TCNT2のプリセット/クリアは他チャンネルと無関係）） (初期値)
1	チャンネル2は同期動作 TCNT2の同期プリセット/同期クリアが可能

ビット1：タイマ同期1（SYNC1）

チャンネル1を独立動作させるか、同期動作させるかを選択します。

ビット1	説明
SYNC1	
0	チャンネル1のタイマカウンタ（TCNT1は独立動作（TCNT1のプリセット/クリアは他チャンネルと無関係）） (初期値)
1	チャンネル1は同期動作 TCNT1の同期プリセット/同期クリアが可能

ビット0：タイマ同期0（SYNC0）

チャンネル0を独立動作させるか、同期動作させるかを選択します。

ビット0	説明
SYNC0	
0	チャンネル0のタイマカウンタ（TCNT0は独立動作（TCNT0のプリセット/クリアは他チャンネルと無関係）） (初期値)
1	チャンネル0は同期動作 TCNT0の同期プリセット/同期クリアが可能

10.2.3 タイマモードレジスタ (TMDR)

ビット:	7	6	5	4	3	2	1	0
	-	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	不定	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマモードレジスタ (TMDR) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 4 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバーフローフラグ (OVF) のセット条件の設定を行います。

TMDR はリセット、またはスタンバイモード時に、H'80 または H'00 に初期化されます。

ビット 7 : 予約ビット

読み出すとデータは不定で、書き込む値は 0 または 1 にしてください。

ビット 6 : 位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6	説明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

MDF ビットを 1 にセットして位相計数モードにすると、タイマカウンタ 2 (TCNT2) はアップ / ダウンカウンタ、TCLKA、TCLKB 端子がカウントクロック入力端子となります。タイマカウンタ 2 (TCNT2) は TCLKA、TCLKB 端子の立ち上がり (↑) / 立ち下がり (↓) の両エッジでカウントされ、アップ / ダウンカウント方向は次のようになります。

カウント方向	ダウンカウント				アップカウント			
TCLKA 端子	↑	H	↓	L	↑	H	↓	L
TCLKB 端子	L	↑	H	↓	H	↓	L	↑

H: ハイレベル

位相計数モードでは、タイマコントロールレジスタ 2 (TCR2) の CKEG1、CKEG0 ビットによる外部クロックエッジの選択、および TPSC2 ~ TPSC0 ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、タイマI/Oコントロールレジスタ2(TIOR2)、タイマインタラプトイネーブルレジスタ2(TIER2)、タイマステータスレジスタ2(TSR2)のコンペアマッチ/インプットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション(FDIR)

タイマステータスレジスタ2(TSR2)のOVFのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FD1R	
0	TSR2のOVFは、TCNT2がオーパフローまたはアンダフローしたときに1セット (初期値)
1	TSR2のOVFは、TCNT2がオーパフローしたときに1セット

ビット4：PWMモード4(PWM4)

チャンネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説明
PWM4	
0	チャンネル4は通常動作 (初期値)
1	チャンネル4はPWMモード

PWM4ビットを1にセットしてPWMモードにすると、TIOCA4端子はPWM出力端子となり、ジェネラルレジスタA4(GRA4)のコンペアマッチで1出力、ジェネラルレジスタB4(GRB4)のコンペアマッチで0出力となります。

タイマファンクションコントロールレジスタ(TFCR)のCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット3：PWMモード3(PWM3)

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3ビットを1にセットしてPWMモードにすると、TIOCA3端子はPWM出力端子となり、ジェネラルレジスタA3(GRA3)のコンペアマッチで1出力、ジェネラルレジスタB3(GRB3)のコンペアマッチで0出力となります。

タイマファンクションコントロールレジスタ(TFCR)のCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット2：PWMモード2(PWM2)

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説 明	
PWM2		
0	チャンネル2は通常動作	(初期値)
1	チャンネル2はPWMモード	

PWM2ビットを1にセットしてPWMモードにすると、TIOCA2端子はPWM出力端子となり、ジェネラルレジスタA2(GRA2)のコンペアマッチで1出力、ジェネラルレジスタB2(GRB2)のコンペアマッチで0出力となります。

ビット1：PWMモード1(PWM1)

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説 明	
PWM1		
0	チャンネル1は通常動作	(初期値)
1	チャンネル1はPWMモード	

PWM1ビットを1にセットしてPWMモードにすると、TIOCA1端子はPWM出力端子となり、ジェネラルレジスタA1(GRA1)のコンペアマッチで1出力、ジェネラルレジスタB1(GRB1)のコンペアマッチで0出力となります。

ビット0 : PWM モード0 (PWM0)

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0ビットを1にセットしてPWMモードにすると、TIOCA0端子はPWM出力端子となり、ジェネラルレジスタA0 (GRA0) のコンペアマッチで1出力、ジェネラルレジスタB0 (GRB0) のコンペアマッチで0出力となります。

10.2.4 タイマファンクションコントロールレジスタ (TFCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	不定	1	0	0	0	0	0	0
R/W:	-	-	R/W	R/W	R/W	R/W	R/W	R/W

タイマファンクションコントロールレジスタ (TFCR) は8ビットの読み出し/書き込み可能なレジスタで、チャンネル3、4の相補PWMモード/リセット同期PWMモードの設定、およびバッファ動作の設定を行います。

TFCRはリセット、またはスタンバイモード時に、H'00またはH'40に初期化されます。

ビット7、6 : 予約ビット

ビット7を読み出すとデータは不定で、ビット6を読み出すと常に1が読み出されます。書き込む値は、ビット7へは0または1に、ビット6へは常に1にしてください。

ビット5、4 : コンピネーションモード1、0 (CMD1、CMD0)

チャンネル3、4を通常動作させるか、相補PWMモードまたはリセット同期PWMモードで動作させるかを選択します。

ビット5	ビット4	説明
CMD1	CMD0	
0	0	チャンネル3、4は通常動作 (初期値)
	1	チャンネル3、4は通常動作
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

相補 PWM モード、およびリセット同期 PWM モードの設定は、使用するタイマカウンタ (TCNT) を停止させた状態で行ってください。

本ビットにより、相補 PWM モードまたはリセット同期 PWM モードに設定した場合、タイマモードレジスタ (TMDR) の PWM4、PWM3 ビットによる PWM モードの設定より優先されます。なお、相補 PWM モード、リセット同期 PWM モードの設定とタイマシンクロレジスタ (TSNC) の SYNC4、SYNC3 ビットによる同期動作の設定は同時に有効となりますが、相補 PWM モードを設定したときは、チャンネル 3 とチャンネル 4 を同期動作に設定 (TSNC の SYNC4 ビットと SYNC3 ビットを共に 1 にセット) しないでください。

ビット 3 : バッファ動作 B4 (BFB4)

チャンネル 4 のジェネラルレジスタ B4 (GRB4) を通常動作とするか、GRB4 とバッファレジスタ B4 (BRB4) を組み合わせてバッファ動作とするかを設定します。

ビット 3	説 明	
BFB4		
0	GRB4 は通常動作	(初期値)
1	GRB4 と BRB4 はバッファ動作	

ビット 2 : バッファ動作 A4 (BFA4)

チャンネル 4 のジェネラルレジスタ A4 (GRA4) を通常動作とするか、GRA4 とバッファレジスタ A4 (BRA4) を組み合わせてバッファ動作とするかを設定します。

ビット 2	説 明	
BFA4		
0	GRA4 は通常動作	(初期値)
1	GRA4 と BRA4 はバッファ動作	

ビット 1 : バッファ動作 B3 (BFB3)

チャンネル 3 のジェネラルレジスタ B3 (GRB3) を通常動作とするか、GRB3 とバッファレジスタ B3 (BRB3) を組み合わせてバッファ動作とするかを設定します。

ビット 1	説 明	
BFB3		
0	GRB3 は通常動作	(初期値)
1	GRB3 と BRB3 はバッファ動作	

ビット0：バッファ動作 A3 (BFA3)

チャンネル3のジェネラルレジスタ A3 (GRA3) を通常動作とするか、GRA3 とバッファレジスタ A3 (BRA3) を組み合わせてバッファ動作とするかを設定します。

ビット0	説明	
BFA3		
0	GRA3 は通常動作	(初期値)
1	GRA3 と BRA3 はバッファ動作	

10.2.5 タイマアウトプットコントロールレジスタ (TOCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	OLS4	OLS3
初期値:	不定	1	1	1	1	1	1	1
R/W:	-	-	-	-	-	-	RW	RW

タイマアウトプットコントロールレジスタ (TOCR) は、8ビットの読み出し/書き込み可能なレジスタで、相補PWMモード/リセット同期PWMモード出力のレベル反転を行います。

OLS4およびOLS3ビットの設定は、リセット同期PWMモードまたは相補PWMモードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCRはリセット、またはスタンバイモード時にH'FFまたはH'7Fに初期化されます。

ビット7～2：予約ビット

ビット7を読み出すとデータは不定で、ビット6～2を読み出すと常に1が読み出されます。書き込む値は、ビット7へは0または1に、ビット6～2へは常に1にしてください。

ビット1：出力レベルセレクト4 (OLS4)

リセット同期PWMモードまたは相補PWMモード出力のレベルを選択します。

ビット1	説明	
OLS4		
0	TIOCA3、TIOCA4、TIOCB4 は反転出力	
1	TIOCA3、TIOCA4、TIOCB4 は直接出力	(初期値)

ビット0：出力レベルセレクト3 (OLS3)

リセット同期PWMモードまたは相補PWMモード出力のレベルを選択します。

ビット0	説明
OLS3	
0	TIOCB3、TOCXA4、TOCXB4は反転出力
1	TIOCB3、TOCXA4、TOCXB4は直接出力 (初期値)

10.2.6 タイマカウンタ (TCNT)

タイマカウンタ (TCNT) は16ビットのカウンタです。ITUには、各チャンネル1本、計5本のTCNTがあります。

チャンネル	略称	機能
0	TCNT0	アップカウンタ
1	TCNT1	
2	TCNT2	位相計数モード：アップ/ダウンカウンタ 上記以外：アップカウンタ
3	TCNT3	相補PWMモード：アップ/ダウンカウンタ 上記以外：アップカウンタ
4	TCNT4	

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

TCNTは16ビットの読み出し/書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、タイマコントロールレジスタ (TCR) のTPSC2~TPSC0ビットにより選択します。

TCNT0、TCNT1はアップカウント動作を行います。TCNT2は位相計数モード時、またTCNT3、TCNT4は相補PWMモード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNTは、対応するジェネラルレジスタA、B (GRA、GRB)とのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

TCNTがオーバフロー (H'FFFF H'0000)すると、対応するチャンネルのタイマステータスレジスタ (TSR) のオーバフローフラグ (OVF) が1にセットされます。

TCNTがアンダフロー (H'0000 H'FFFF)すると、対応するチャンネルのTSRのOVFが1にセットされます。

TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位の読み出し/書き込みが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000に初期化されます。

10.2.7 ジェネラルレジスタA、B (GRA、GRB)

ジェネラルレジスタ (GR) は、16ビットのレジスタです。ITUには、各チャンネル2本、計10本のジェネラルレジスタがあります。

チャンネル	略 称	機 能
0	GRA0、GRB0	アウトプットコンペア/インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア/インプットキャプチャ兼用レジスタ。バッファレジスタ (BRA、BRB) と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

GRは16ビットの読み出し/書き込み可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り換えは、タイマI/Oコントロールレジスタ (TIOR) により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRBの値とタイマカウンタ (TCNT) の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、タイマステータスレジスタ (TSR) のIMFA/IMFBビットが1にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTの値を格納します。このとき対応するTSRのIMFA/IMFBビットが1にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモード、相補PWMモード、またはリセット同期PWMモードに設定されている場合には、TIORの設定は無視されます。

GRはCPUと内部16ビットバスで接続されており、ワード/バイト単位の読み出し/書き込みが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFFに初期化されます。

10.2.8 バッファレジスタ A、B (BRA、BRB)

バッファレジスタ (BR) は、16ビットのレジスタです。ITUには、チャンネル3、4に各2本、計4本のバッファレジスタがあります。

チャンネル	略称	機能
3	BRA3、 BRB3	バッファ動作時に使用 ・対応する GRA、GRB がアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチにより BRA、BRB の値を GRA、GRB に自動転送可能
4	BRA4、 BRB4	・対応する GRA、GRB がインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時に、それまで格納されていた GRA、GRB の値を BRA、BRB に自動転送可能

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W															

BR は、16ビットの読み出し / 書き込み可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定はタイムファンクションコントロールレジスタ (TF CR) の BFB4、BFA4、BFB3、および BFA3 ビットにより独立に行うことができます。

BR はジェネラルレジスタ (GR) と対になって機能し、GR がアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、また GR がインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

BR は CPU と内部 16 ビットバスで接続されており、ワード / バイト単位の読み出し / 書き込みが可能です。

BR は、リセット、またはスタンバイモード時に H'FFFF に初期化されます。

10.2.9 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTCRがあります。

チャンネル	略 称	機 能
0	TCR0	TCR は TCNT の制御を行います。
1	TCR1	各チャンネルの TCR は同一の機能をもっています。 チャンネル 2 を位相計数モードに設定したとき、TCR 2 の CKEG1、CKEG0 ビットおよび TPSC2 ~ TPSC0 ビットの設定は無効となります。
2	TCR2	
3	TCR3	
4	TCR4	

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	R/W						

TCR は8ビットの読み出し / 書き込み可能なレジスタで、タイマカウンタ (TCNT) のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCR はリセット、またはスタンバイモード時に、H'80 または H'00 に初期化されます。

ビット7 : 予約ビット

読み出すとデータは不定です。書き込む値は、0 または 1 にしてください。

ビット6、5 : カウンタクリア 1、0 (CCLR1、CCLR0)

TCNT のカウンタクリア要因を選択します。

ビット6	ビット5	説 明
CCLR1	CCLR0	
0	0	TCNT のクリア禁止 (初期値)
	1	GRA のコンペアマッチ/インプットアプチャ ¹ で TCNT をクリア
1	0	GRB のコンペアマッチ/インプットアプチャ ¹ で TCNT をクリア
	1	同期クリア。同期動作 ² をしている他のタイマのカウンタクリアに同期して TCNT をクリア

【注】*1 GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GR がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定はタイマシンクロレジスタ (TSNC) により行います。

ビット4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	—	立ち上がり/立ち下がり両エッジでカウント

チャンネル2 が位相計数モードに設定されているとき、TCR2 の CKEG1、CKEG0 ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2 ~ 0 : タイマプリスケラ 2 ~ 0 (TPSC2 ~ TPSC0)

TCNT のカウントクロックを選択します。

ビット2	ビット1	ビット0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : でカウント (初期値)
		1	内部クロック : /2 でカウント
	1	0	内部クロック : /4 でカウント
		1	内部クロック : /8 でカウント
1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	外部クロック B : TCLKB 端子入力でカウント
	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	外部クロック D : TCLKD 端子入力でカウント

TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立ち下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定にしたがいます。

チャンネル2 が位相計数モードに設定されているとき (タイマモードレジスタ (TMDR) の MDF ビット = 1)、TCR2 の TPSC2 ~ TPSC0 ビットの設定は無効となり、位相計数モードの動作が優先されます。

10.2.10 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIOR があります。

チャンネル	略称	機能
0	TIOR0	TIOR は GR の制御を行います。
1	TIOR1	PWM モード時、一部機能が異なります。
2	TIOR2	チャンネル 3、4 を相補 PWM モード/リセット同期 PWM モードに設定したとき、TIOR3、TIOR4 の設定は無効となります。
3	TIOR3	
4	TIOR4	

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	不定	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

TIOR は 8 ビットの読み出し / 書き込み可能なレジスタで、ジェネラルレジスタ A (GRA)、ジェネラルレジスタ B (GRB) をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIOCA、TIOCB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 または H'08 に初期化されます。

ビット 7 : 予約ビット

読み出すとデータは不定です。書き込む値は、0 または 1 にしてください。

ビット6～4：I/OコントロールB2～0 (IOB2～IOB0)

GRBの機能を選択します。

ビット6	ビット5	ビット4	説 明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウト プットコンペア	コンペアマッチによる端子主力禁止 (初期値)
		1	レジスタ	GRBのコンペアマッチで0出力 ^{*1}
	1	0		GRBのコンペアマッチで1出力 ^{*1}
		1		GRBのコンペアマッチでトグル出力 (チャンネル2のみ1出力) ^{*1, *2}
1	0	0	GRBはインプット	立ち上がりエッジでGRBへインプットキャプチャ
		1	キャプチャ	立ち下がりエッジでGRBへインプットキャプチャ
	1	0	レジスタ	立ち上がり/立ち下がりの両エッジでインプット
		1		キャプチャ

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

ビット3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2～0：I/OコントロールA2～0 (IOA2～IOA0)

GRAの機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウト プットコンペア	コンペアマッチによる端子主力禁止 (初期値)
		1	レジスタ	GRAのコンペアマッチで0出力 ^{*1}
	1	0		GRAのコンペアマッチで1出力 ^{*1}
		1		GRAのコンペアマッチでトグル出力 (チャンネル2のみ1出力) ^{*1, *2}
1	0	0	GRAはインプット	立ち上がりエッジでGRAへインプットキャプチャ
		1	キャプチャ	立ち下がりエッジでGRAへインプットキャプチャ
	1	0	レジスタ	立ち上がり/立ち下がりの両エッジでインプット
		1		キャプチャ

- 【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は0です。
- *2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

10.2.11 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTSRがあります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	不定	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするために0のみ書き込むことができます。

TSRは8ビットの読み出し/書き込み可能なレジスタで、タイマカウンタ (TCNT) のオーバフロー/アンダフローの発生、およびジェネラルレジスタA (GRA)、ジェネラルレジスタB (GRB) のコンペアマッチ/インプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ (TIER) の対応するビットにより割り込みが許可されていれば、CPUに割り込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8またはH'78に初期化されます。

ビット7～3：予約ビット

ビット7を読み出すとデータは不定で、ビット6～3を読み出すと常に1が読み出されます。書き込む値は、ビット7へは0または1に、ビット6～3へは常に1にしてください。

ビット2：オーバフローフラグ(OVF)

TCNTのオーバフロー/アンダフローの発生を示すステータスフラグです。

ビット2	説明
OVF	
0	[クリア条件] (初期値) OVF=1の状態、OVFを読み出した後、OVFに0を書き込んだとき。
1	[セット条件] TCNTの値がオーバフロー(H'FFFF H'0000)またはアンダフロー(H'FFFF H'0000)したとき。

【注】* TCNTのアンダフローは、TCNTがアップ/ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。

- (1) チャンネル2が位相計数モードに設定されているとき (TMDRのMDFビット=1)
- (2) チャンネル3、4が相補PWMモードに設定されているとき (TFGRのCMD1ビット=1、CMD0ビット=0)

ビット1：インプットキャプチャ/コンペアマッチフラグB(IMFB)

GRBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	[クリア条件] (初期値) IMFB=1の状態、IMFBを読み出した後、IMFBに0を書き込んだとき。
1	[セット条件] (1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT=GRBになったとき。 (2) GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき。

ビット0：インプットキャプチャ/コンペアマッチフラグA（IMFA）

GRA のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFA	
0	[クリア条件] (初期値) (1) IMFA=1 の状態で、IMFA を読み出した後、IMFA に 0 を書き込んだとき。 (2) IMIA 割り込みにより DMAC が起動されたとき(チャンネル0~3のみ)
1	[セット条件] (1) GRA がアウトプットコンペアレジスタとして機能している場合、TCNT=GRA になったとき。 (2) GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRA に転送されたとき。

10.2.12 タイマインタラプトイネーブルレジスタ（TIER）

タイマインタラプトイネーブルレジスタ(TIER)は8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTIERがあります。

チャンネル	略称	機能
0	TIER0	割り込み要求の許可 / 禁止を制御します。
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	不定	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

TIER は 8 ビットの読み出し / 書き込み可能なレジスタで、オーバフロー割り込み要求、ジェネラルレジスタ（GR）のコンペアマッチ / インプットキャプチャ割り込み要求の許可 / 禁止を制御します。

TIER はリセット、またはスタンバイモード時に、H'F8 または H'78 に初期化されます。

ビット7～3：予約ビット

ビット7を読み出すとデータは不定で、ビット6～3を読み出すと常に1が読み出されます。書き込む値は、ビット7へは0または1に、ビット6～3へは常に1にしてください。

ビット2：オーバフローインタラプトイネーブル(OVIE)

タイムステータスレジスタ(TSR)のオーバフローフラグ(OVF)が1にセットされたとき、OVFによる割り込み要求を許可または禁止します。

ビット2	説明
OVIE	
0	OVFによる割り込み要求(OVI)を禁止 (初期値)
1	OVFによる割り込み要求(OVI)を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブルB(IMIEB)

TSRのIMFBビットが1にセットされたとき、IMFBビットによる割り込み要求を許可または禁止します。

ビット1	説明
IMIEB	
0	IMFBによる割り込み要求(IMIB)を禁止 (初期値)
1	IMFBによる割り込み要求(IMIB)を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブルA(IMIEA)

TSRのIMFAビットが1にセットされたとき、IMFAビットによる割り込み要求を許可または禁止します。

ビット0	説明
IMIEA	
0	IMFAによる割り込み要求(IMIA)を禁止 (初期値)
1	IMFAによる割り込み要求(IMIA)を許可

10.3 CPU とのインタフェース

10.3.1 16ビットアクセス可能なレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ A、B (GRA、GRB)、およびバッファレジスタ A、B (BRA、BRB) は 16 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットデータバスで接続されており、ワード単位の読み出し / 書き込みが可能です。また、バイト単位の読み出し / 書き込みもできます。

TCNT に対してワード単位の読み出し / 書き込みを行った場合の動作を図 10.6、図 10.7 に示します。

また、TCNTH、TCNTL に対してバイト単位の読み出し / 書き込みを行った場合の動作を図 10.8、図 10.9、図 10.10、図 10.11 に示します。

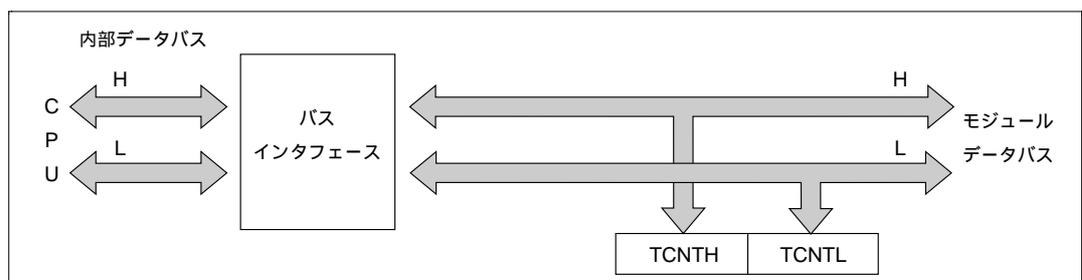


図 10.6 TCNT のアクセス動作 [CPU TCNT (ワード)]

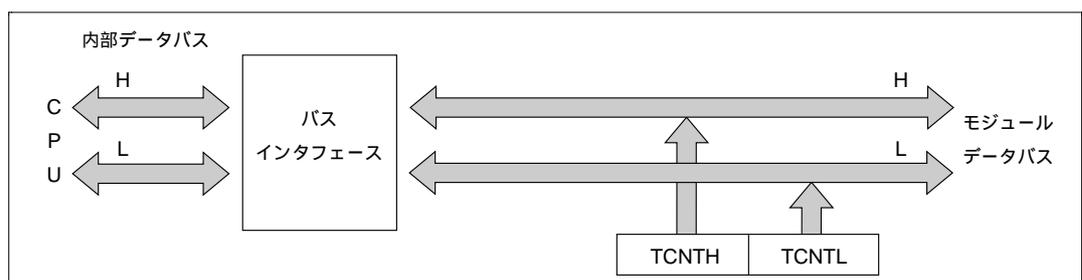


図 10.7 TCNT のアクセス動作 [TCNT CPU (ワード)]

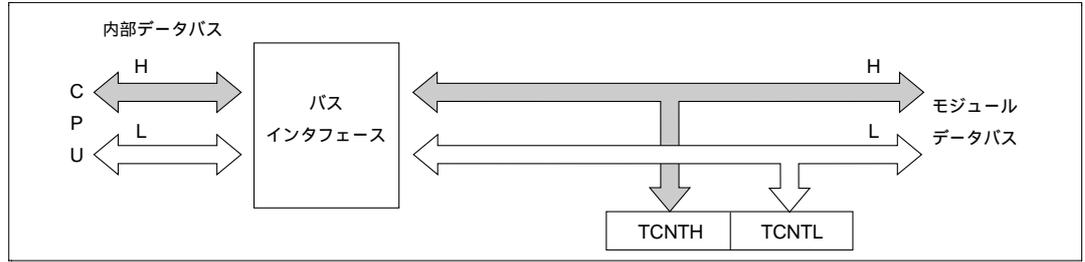


図 10.8 TCNT のアクセス動作 [CPU TCNT (上位バイト)]

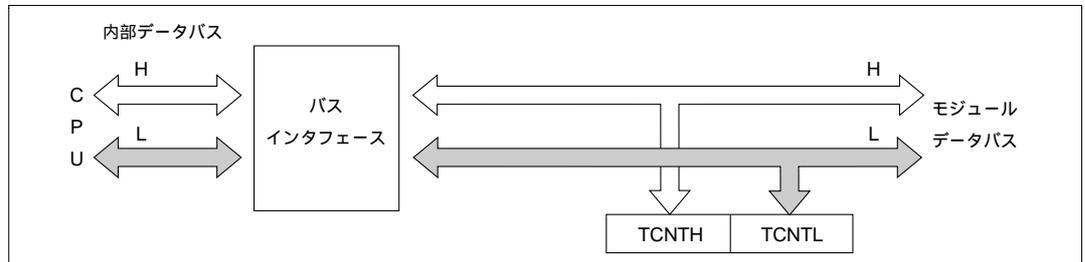


図 10.9 TCNT のアクセス動作 [CPU TCNT (下位バイト)]

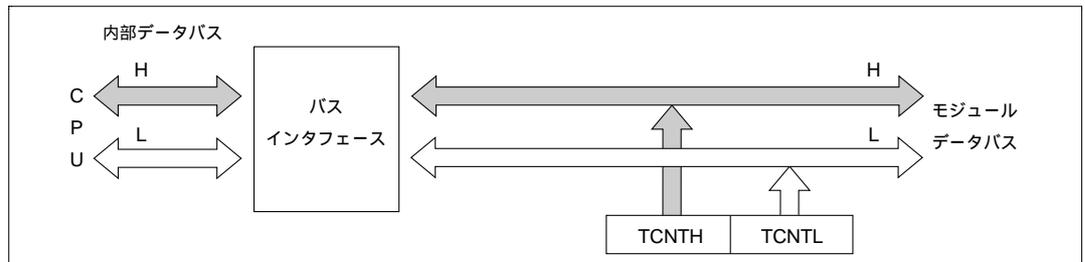


図 10.10 TCNT のアクセス動作 [TCNT CPU (上位バイト)]

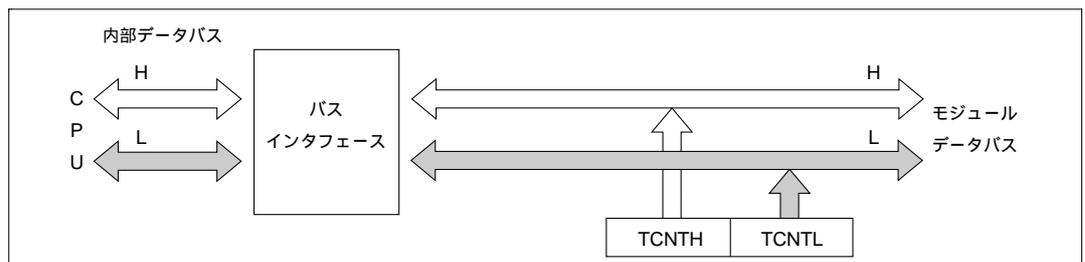


図 10.11 TCNT のアクセス動作 [TCNT CPU (下位バイト)]

10.3.2 8ビットアクセスのレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (GR)、バッファレジスタ (BR) 以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

タイマコントロールレジスタ (TCR) に対してバイト単位の読み出し/書き込みを行った場合の動作を図10.12、図10.13に示します。

なお、これらのレジスタは必ずバイトサイズの転送命令でアクセスしてください。

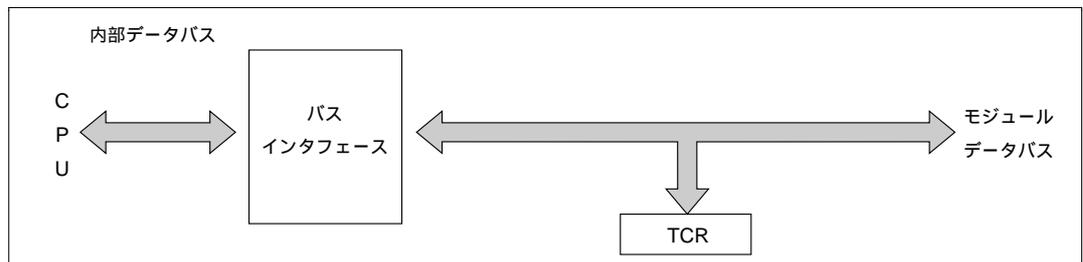


図 10.12 TCR のアクセス動作 [CPU TCR]

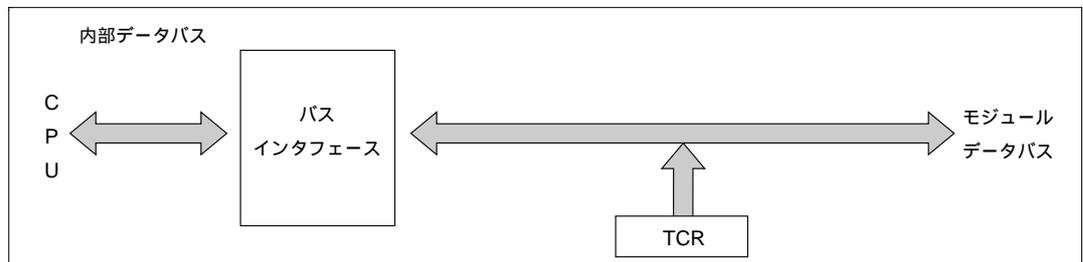


図 10.13 TCR のアクセス動作 [TCR CPU]

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、タイマカウンタ (TCNT) とジェネラルレジスタ (GR) があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

ジェネラルレジスタ A (GRA)、ジェネラルレジスタ B (GRB) は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルのタイマコントロールレジスタ (TCR) の CCLR1、CCLR0 ビットの設定により、TCNT の同期クリアが可能です。

(3) PWM モード

TIOCA 端子から PWM 波形を出力するモードです。コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となります。GRA、GRB の設定により、デューティ 0 ~ 100% の PWM 波形を出力できます。PWM モードに設定すると当該チャンネルの GRA、GRB は自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期 PWM モード

チャンネル 3、4 を組み合わせて、正相・逆相の PWM 波形を 3 相出力します (3 相の PWM 波形は一方の変化点が共通となる関係になります)。リセット同期 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウント動作を行います。TCNT4 は独立に動作します (ただし、GRA4、GRB4 は TCNT4 とは切り離されています)。

(5) 相補 PWM モード

チャンネル3、4を組み合わせて、正相・逆相がノンオーバーラップの関係にあるPWM波形を3相出力します。相補PWMモードに設定するとGRA3、GRB3、GRA4、GRB4は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3、TCNT4はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定するとTCLKA、TCLKB端子はクロック入力となり、またTCNT2はアップ/ダウンカウント動作を行います。

(7) バッファ動作

GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

相補PWMモードの場合

TCNT3、TCNT4のカウント方向が変化するとBRの値が、GRに転送されます。

リセット同期PWMモードの場合

GRA3のコンペアマッチによりBRの値が、GRに転送されます。

10.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) のSTR0~STR4 ビットを1にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.14 に示します。

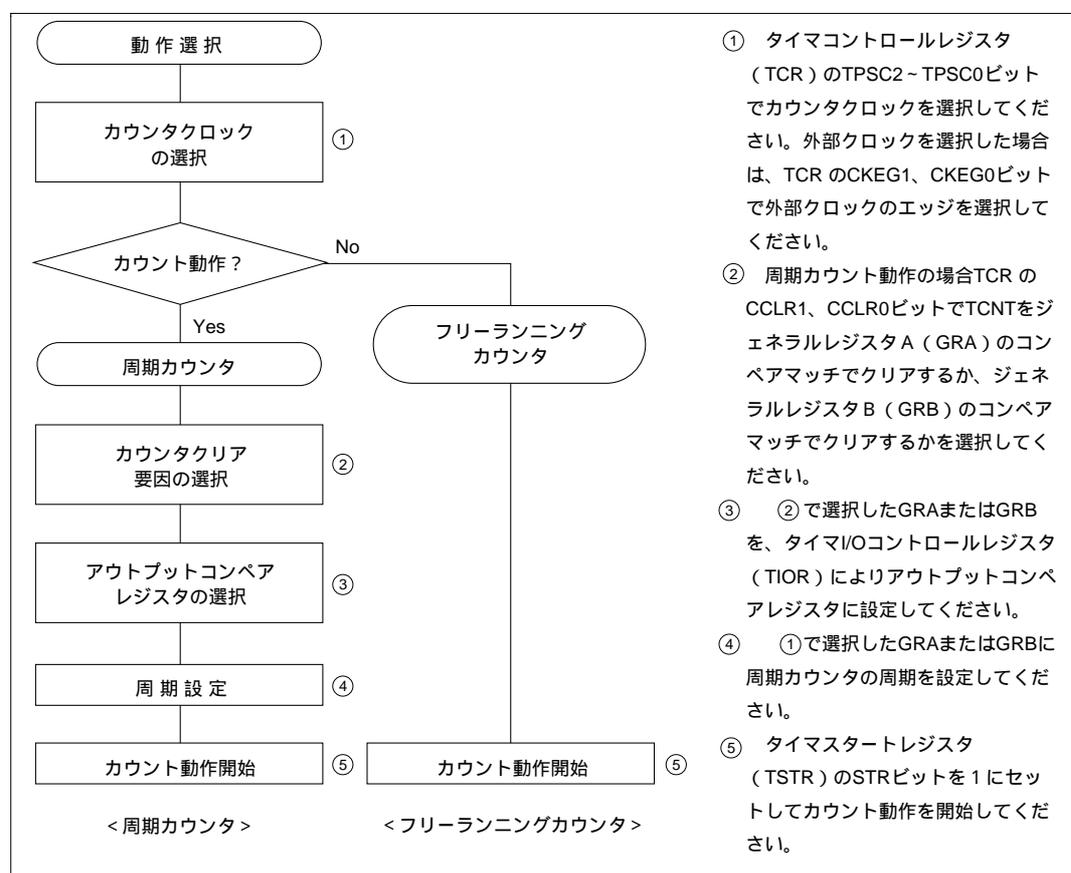


図 10.14 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

ITU チャンネル0～4のカウンタ(TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF H'0000)するとタイマステータスレジスタ(TSR)のOVFビットが1にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ(TIER)のOVIEビットが1ならば、CPUに割り込みを要求します。TCNTはオーバーフロー後、H'0000から再びアップカウント動作を続けます。

フリーランニングカウンタの動作を図10.15に示します。

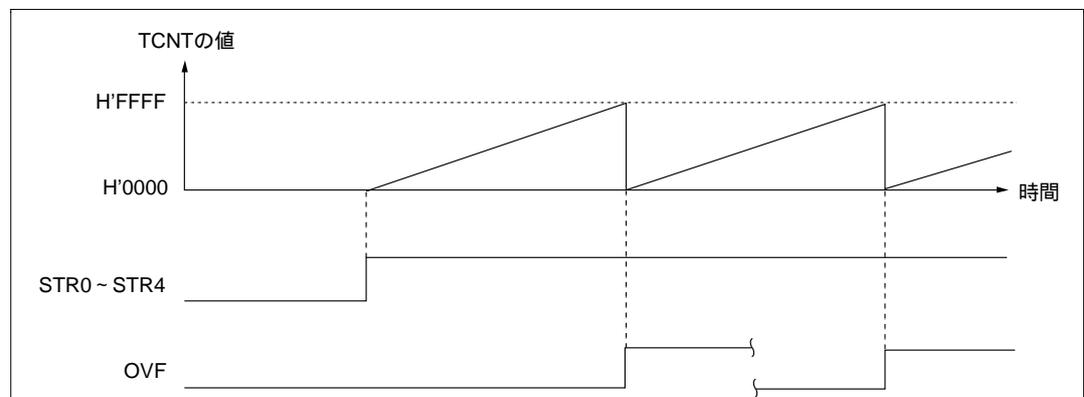


図 10.15 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルのTCNTは周期カウンタ動作を行います(周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、タイマコントロールレジスタ(TCR)のCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTRの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTSRのIMFA/IMFBビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき、対応するTIERのIMIEA/IMIEBビットが1ならば、CPUに割り込みを要求します。TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を続けます。

周期カウンタの動作を図 10.16 に示します。

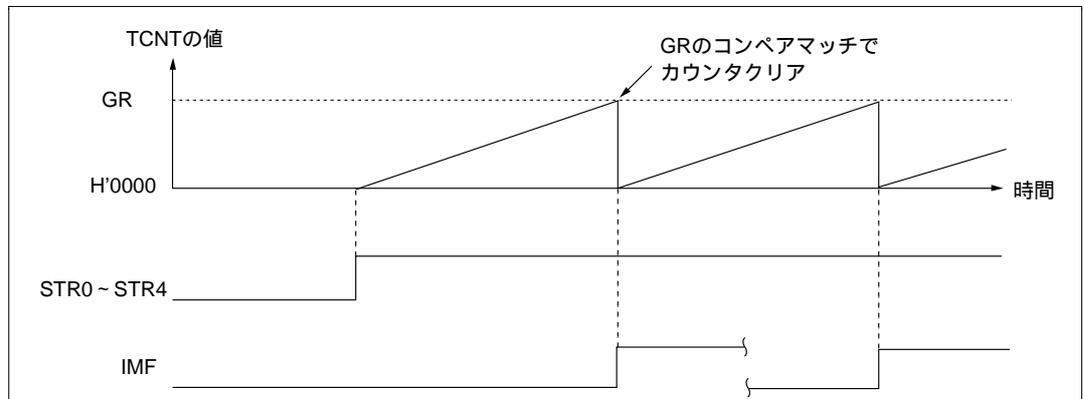


図 10.16 周期カウンタの動作

(c) TCNT のカウントタイミング

内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、システムクロック (CK) またはシステムクロックを分周した 3 種類のクロック ($1/2$ 、 $1/4$ 、 $1/8$) が選択できます。

このときのタイミングを図 10.17 に示します。

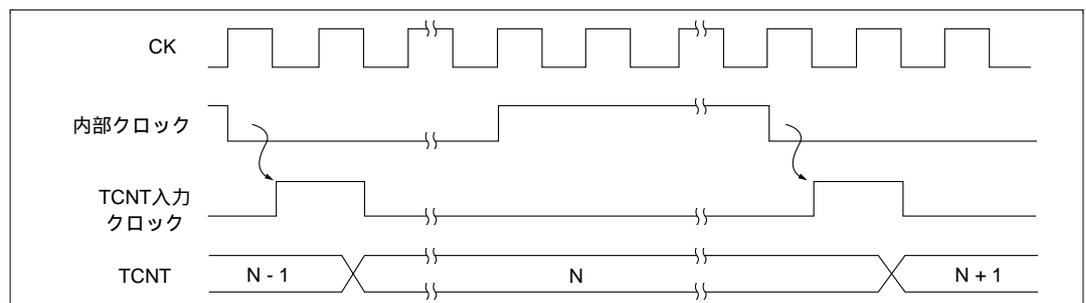


図 10.17 内部クロック動作時のカウントタイミング

外部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより外部クロック入力端子 (TCLKA ~ TCLKD) を、また TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

両エッジ検出時のタイミングを図 10.18 に示します。

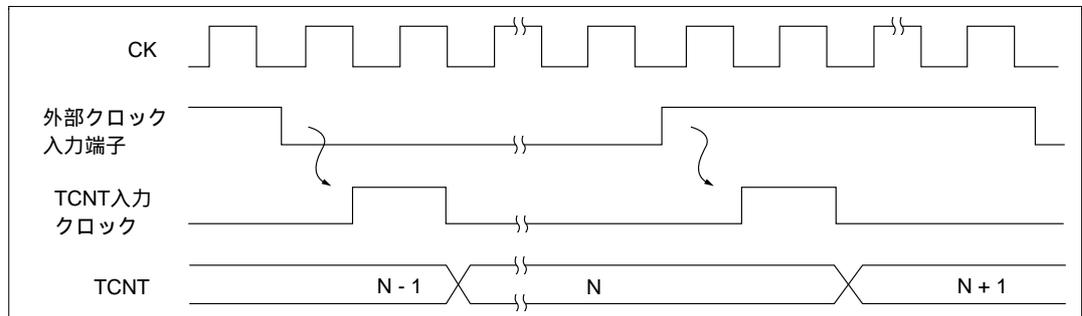


図 10.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

ITU チャンネル 0、1、3、4 は、コンペアマッチ A、B により対応する TIOCA、TIOCB 端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

チャンネル 2 は 0 出力または 1 出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.19 に示します。

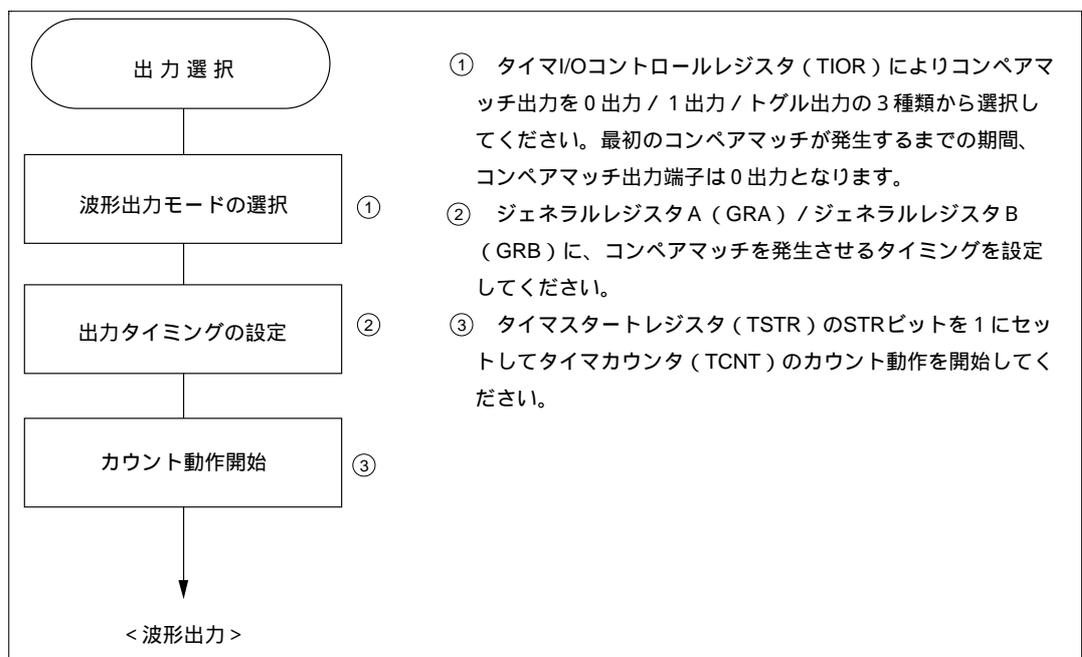


図 10.19 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力 / 1出力の例を図 10.20 に示します。

TCNTをフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

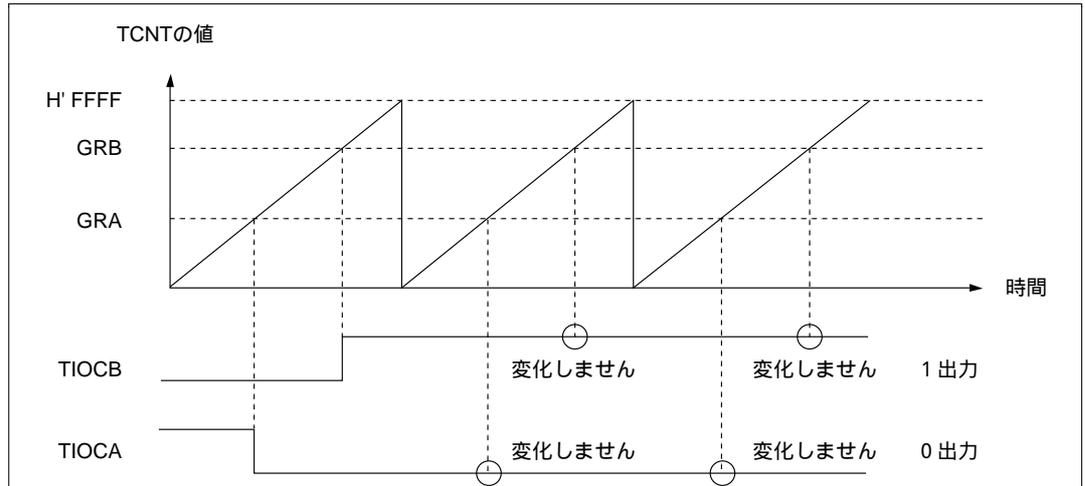


図 10.20 0出力、1出力の動作例

トグル出力の例を図 10.21 に示します。

TCNTを周期カウント動作(コンペアマッチBでカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

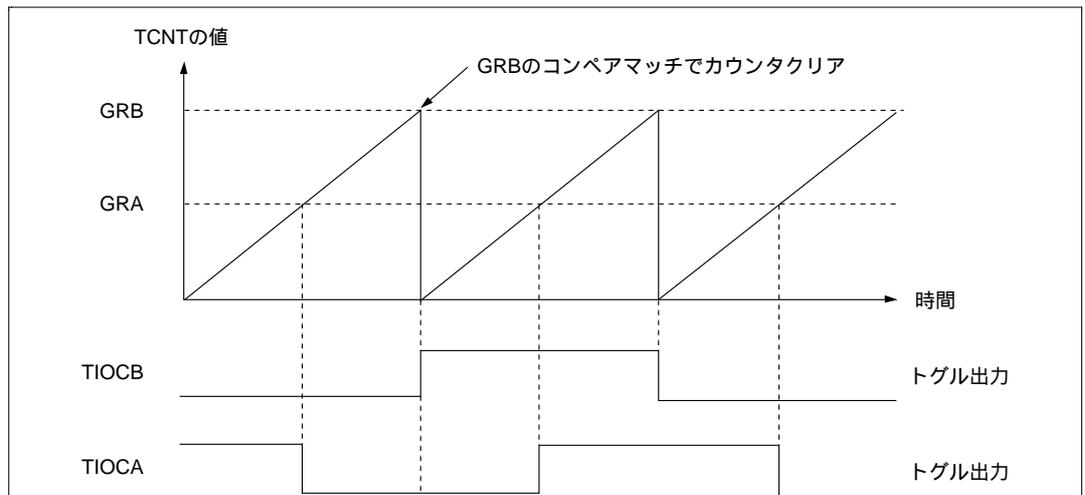


図 10.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定される出力値がアウトプットコンペア出力端子 (TIOCA、TIOCB) に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.22 に示します。

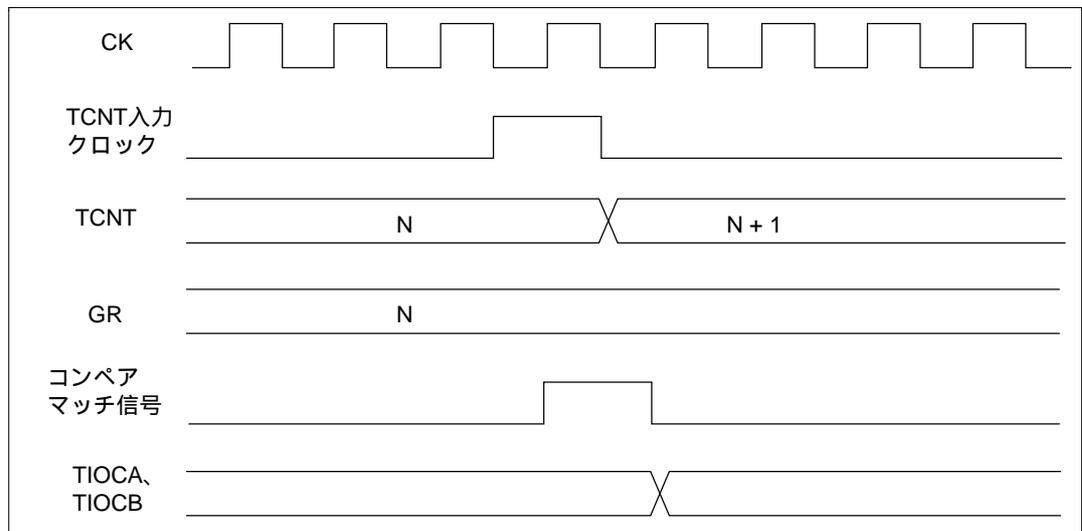


図 10.22 アウトプットコンペア出力タイミング

(3) インプットキャプチャ機能

インプットキャプチャ/アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出してタイマカウンタ (TCNT) の値をジェネラルレジスタ (GR) に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.23 に示します。

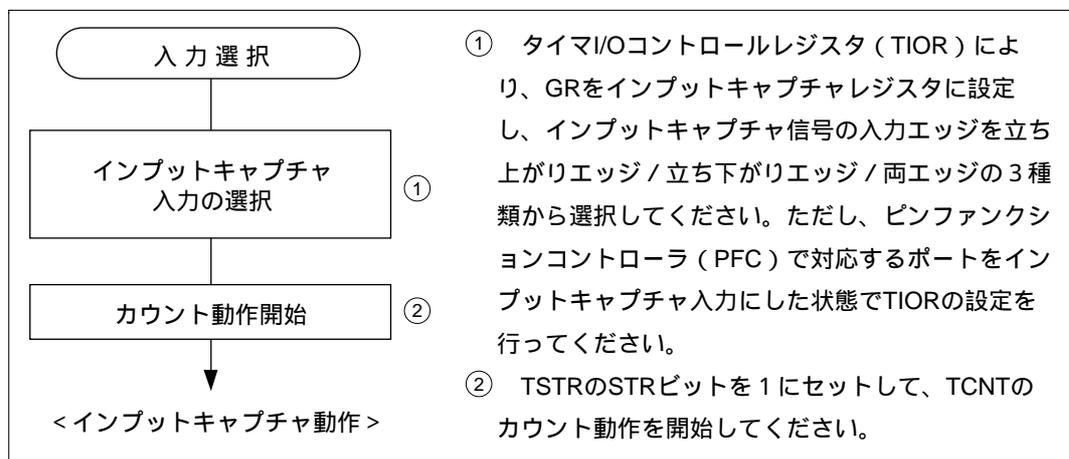


図 10.23 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.24 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT はジェネラルレジスタ B (GRB) のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

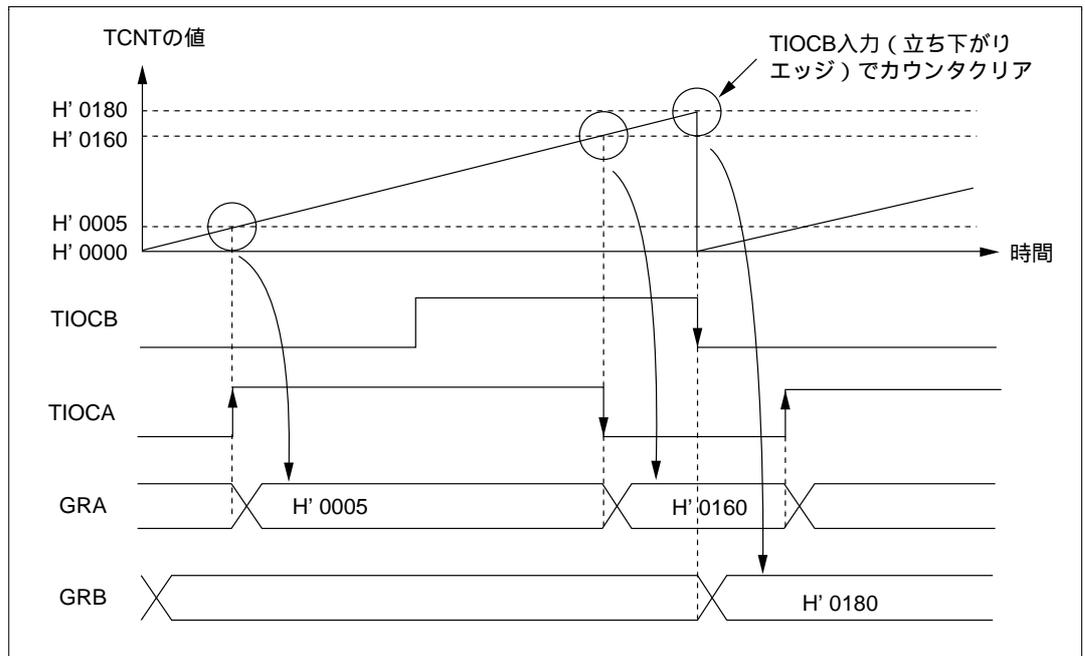


図 10.24 インพุットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 10.25 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

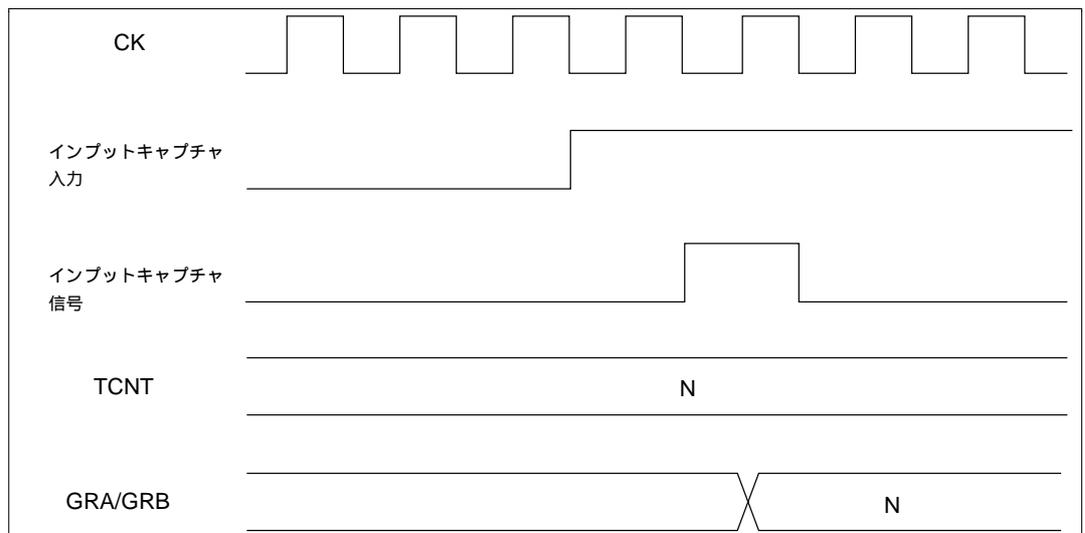


図 10.25 インพุットキャプチャ入力信号タイミング

10.4.3 同期動作

同期動作は、複数のタイマカウンタ (TCNT) の値を同時に書き換えることができます (同期プリセット)。また、タイマコントロールレジスタ (TCR) の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対してジェネラルレジスタ (GR) を増加することができます。

チャンネル0 ~ 4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.26 に示します。

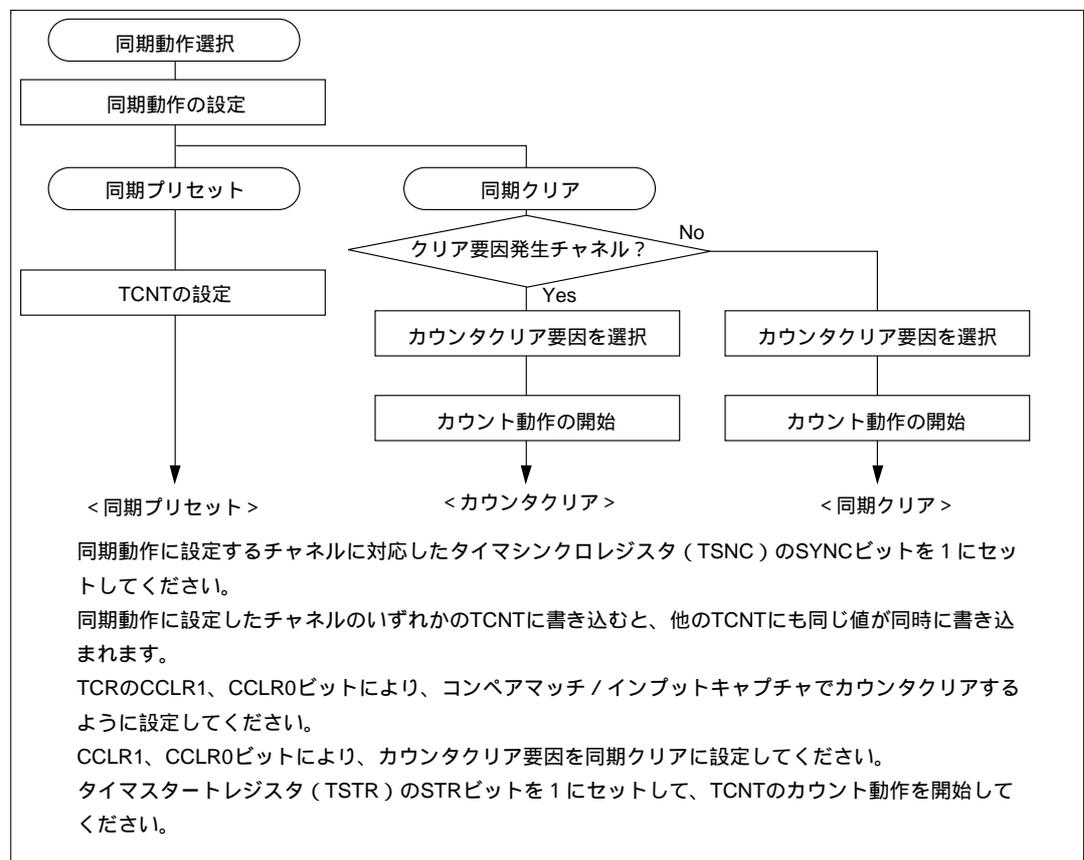


図 10.26 同期モードの設定手順例

(2) 同期動作例

同期動作例を図 10.27 に示します。

チャンネル 0 ~ 2 を同期動作かつ PWM モードに設定し、チャンネル 0 のカウンタクリア要因をジェネラルレジスタ 0 (GRB0) のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル 0 ~ 2 の TCNT は同期プリセット、GRB0 のコンペアマッチによる同期クリア動作を行い、3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。

PWM モードについては「10.4.4 PWM モード」を参照してください。

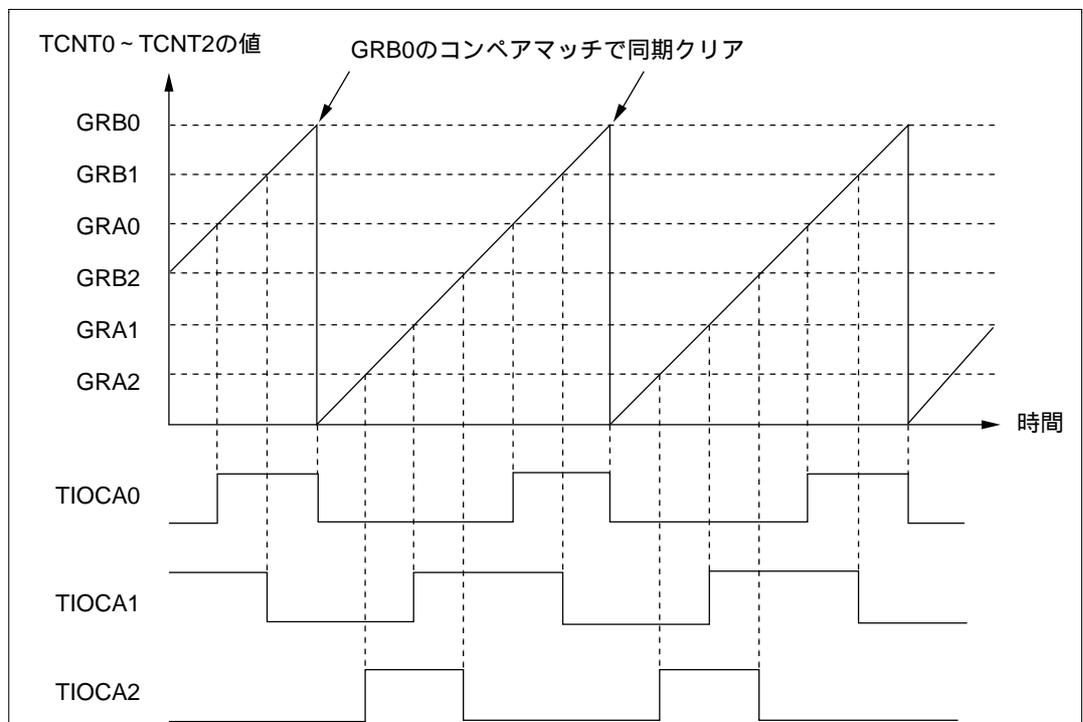


図 10.27 同期動作例

10.4.4 PWM モード

PWM モードはジェネラルレジスタ A (GRA) とジェネラルレジスタ B (GRB) をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチをタイマカウンタ (TCNT) のカウンタクリア要因とすることにより、デューティ 0 ~ 100% の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0 ~ 4 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 10.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 10.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA0	GRA0	GRB0
1	TIOCA1	GRA1	GRB1
2	TIOCA2	GRA2	GRB2
3	TIOCA3	GRA3	GRB3
4	TIOCA4	GRA4	GRB4

(1) PWMモードの設定手順例

PWMモードの設定手順例を図10.28に示します。

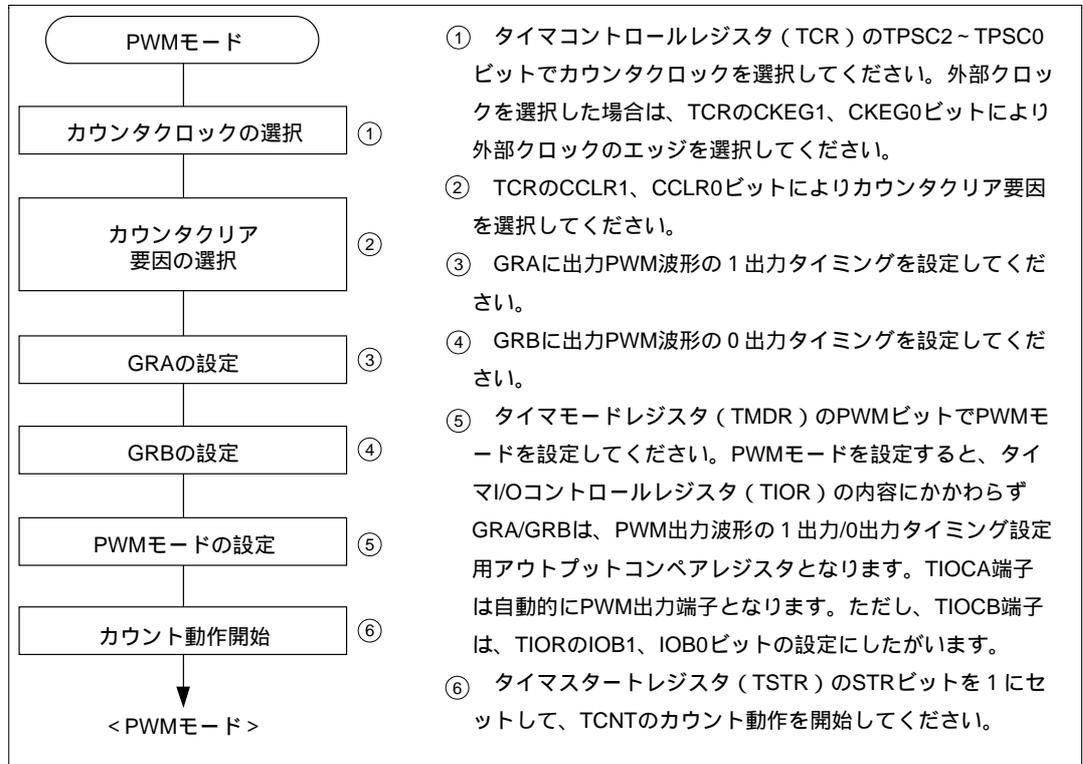


図 10.28 PWMモードの設定手順例

(2) PWMモードの動作例

PWMモードの動作例を図10.29に示します。

PWMモードに設定するとTIOCA端子は出力端子となり、GRAのコンペアマッチで1出力、GRBのコンペアマッチで0出力となります。

TCNTのカウンタクリア要因をGRA、GRBのコンペアマッチとした場合の例です。同期動作またはフリーランニングカウント動作も使用できます。

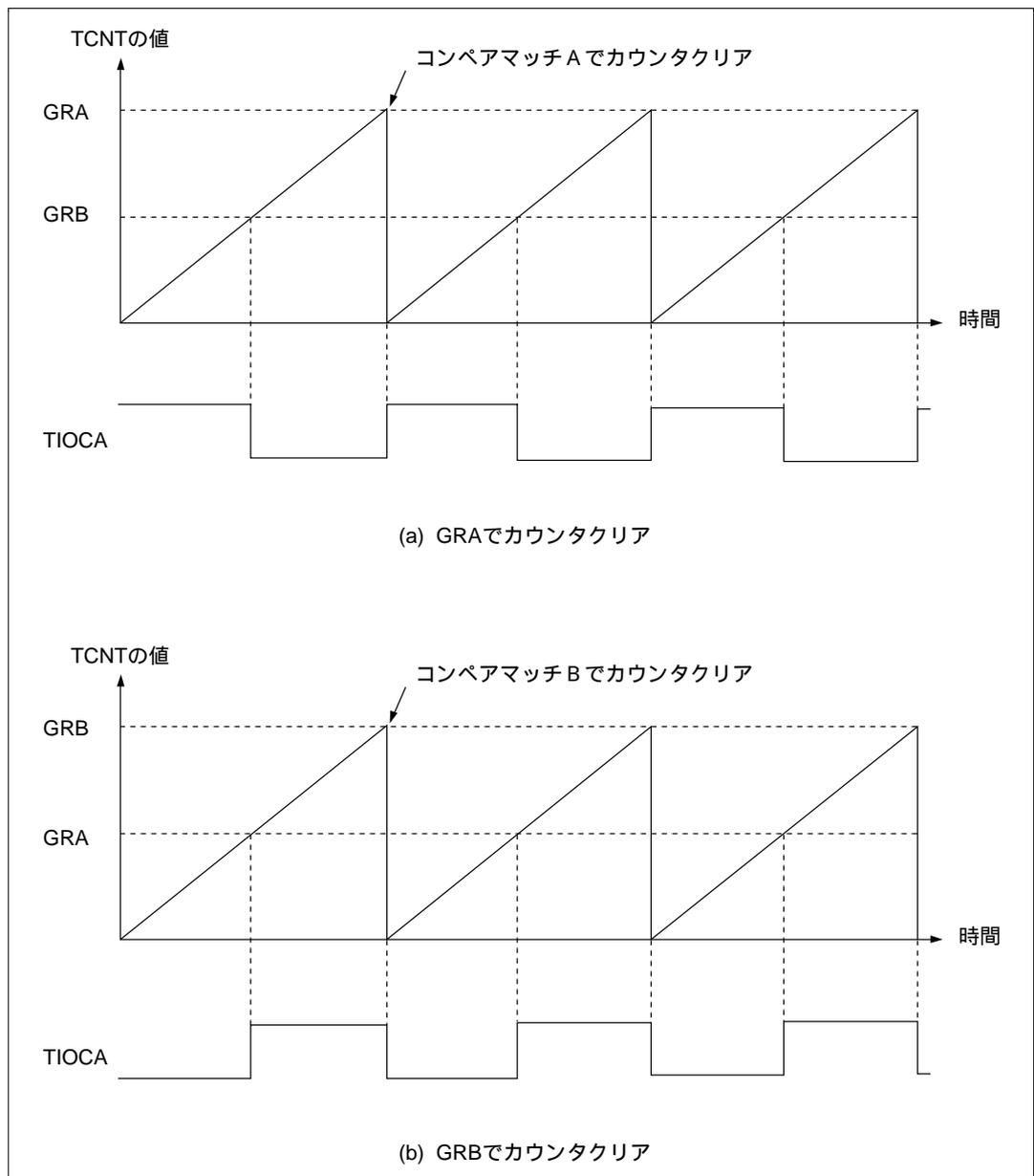


図10.29 PWMモードの動作例(1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図10.30に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。

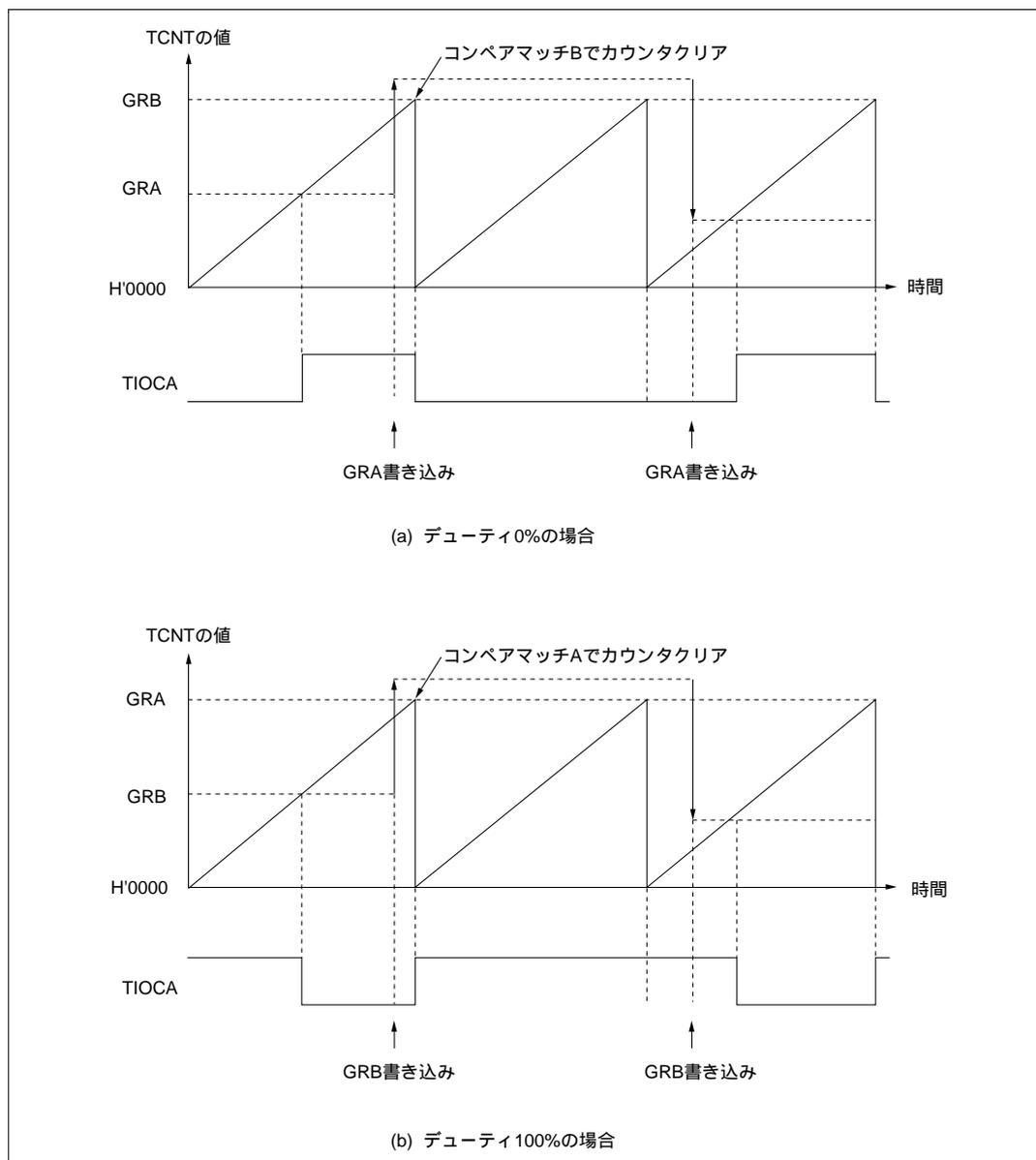


図10.30 PWMモードの動作例(2)

10.4.5 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、および TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、タイマカウンタ 3 (TCNT3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 10.5 に、使用するレジスタの設定を表 10.6 に示します。

表 10.5 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説 明
3	TIOCA3	PWM 出力 1
	TIOCB3	PWM 出力 1' (PWM 出力 1 の逆相波形)
4	TIOCA4	PWM 出力 2
	TOCXA4	PWM 出力 2' (PWM 出力 2 の逆相波形)
	TIOCB4	PWM 出力 3
	TOCXB4	PWM 出力 3' (PWM 出力 3 の逆相波形)

表 10.6 リセット同期 PWM モード時のレジスタ設定

レジスタ	設 定 内 容
TCNT3	H'0000 を初期設定
TCNT4	使用しません (独立に動作します)
GRA3	TCNT3 のカウント周期を設定
GRB3	TIOCA3、TIOCB3 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA4、TOCXA4 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB4、TOCXB4 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順を図 10.31 に示します。

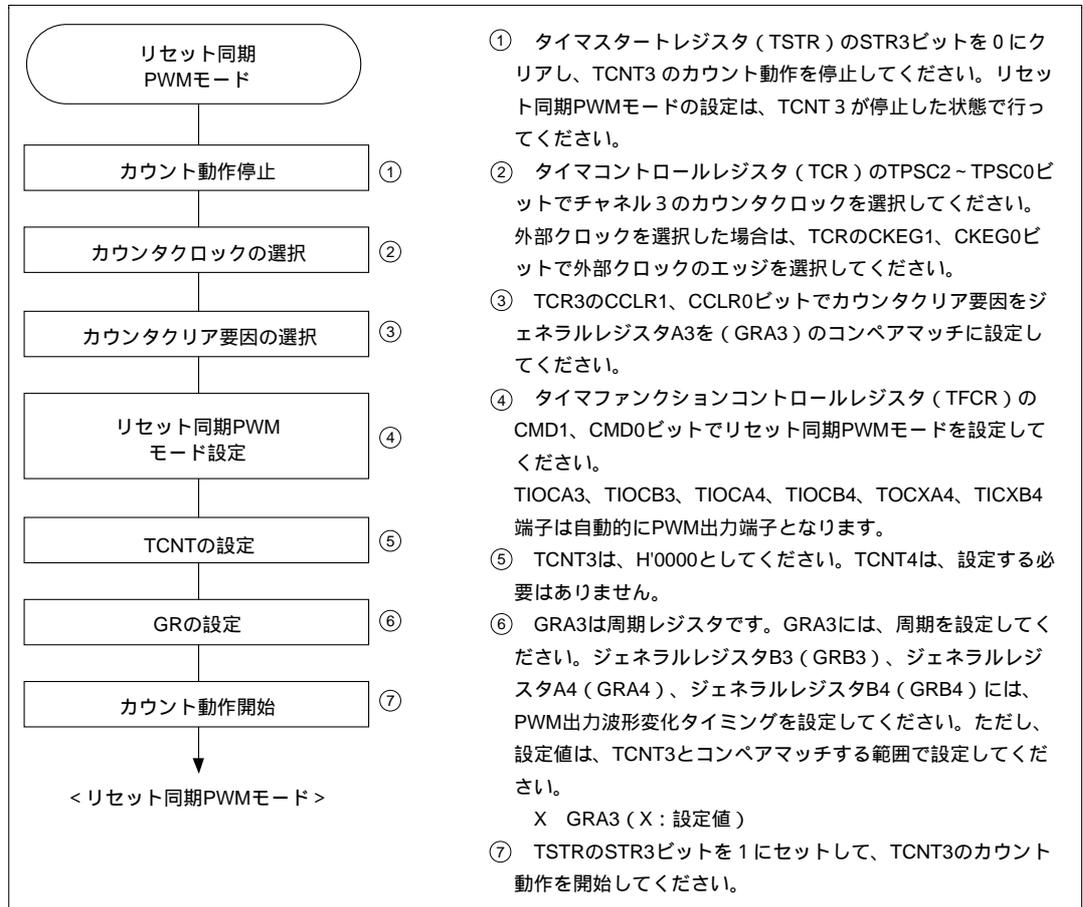


図 10.31 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.32 に示します。

リセット同期 PWM モードでは、TCNT3 はアップカウンタとして動作します。TCNT4 は独立動作します。ただし、GRA4、GRB4 は TCNT4 から切り離されます。TCNT3 が GRA3 とコンペアマッチするとカウンタはクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB3、GRA4、GRB4 と TCNT3 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

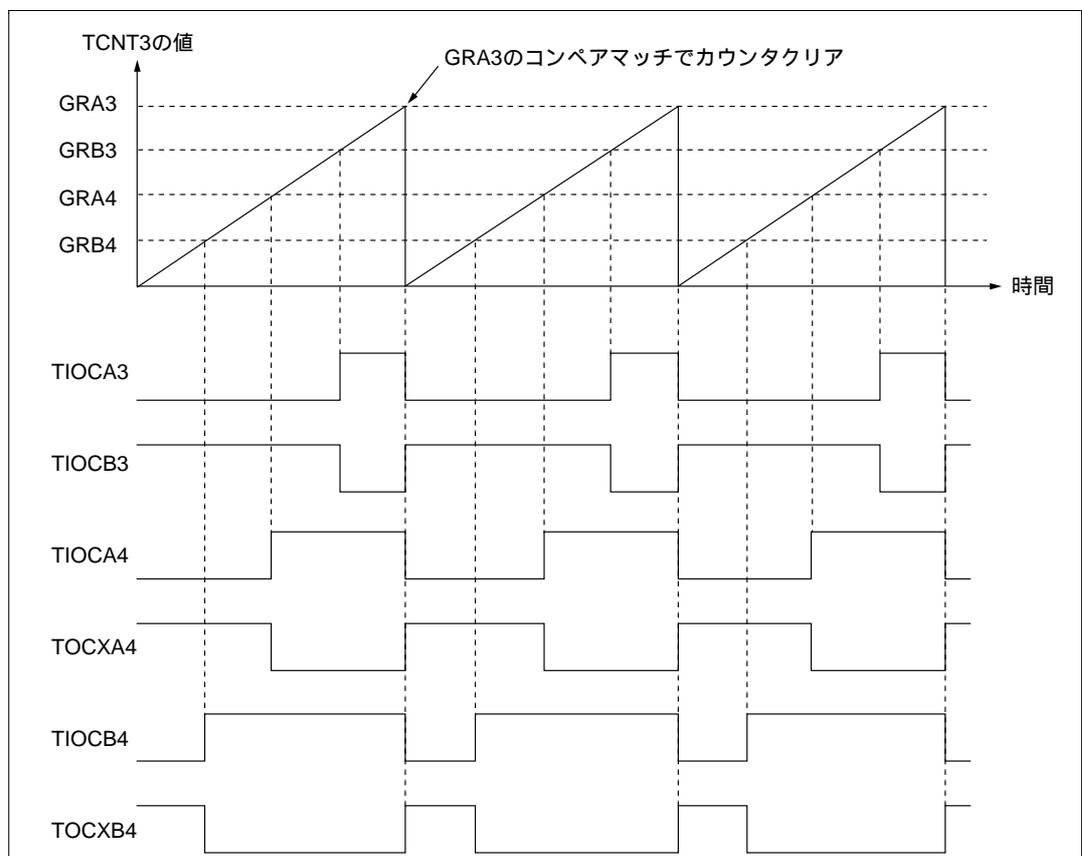


図 10.32 リセット同期 PWM モードの動作例

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については、「10.4.8 バッファ動作」を参照してください。

10.4.6 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、および TOCXB4 端子は自動的に PWM 出力端子となり、タイマカウンタ 3 (TCNT3) とタイマカウンタ 4 (TCNT4) はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.7 に、使用するレジスタの設定を表 10.8 に示します。

表 10.7 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA3	PWM 出力 1
	TIOCB3	PWM 出力 1' (PWM 出力 1 とノンオーバーラップの関係にある逆相波形)
4	TIOCA4	PWM 出力 2
	TOCXA4	PWM 出力 2' (PWM 出力 2 とノンオーバーラップの関係にある逆相波形)
	TIOCB4	PWM 出力 3
	TOCXB4	PWM 出力 3' (PWM 出力 3 とノンオーバーラップの関係にある逆相波形)

表 10.8 相補 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定 (TCNT4 との差がノンオーバーラップ期間となります)
TCNT4	H'0000 を初期設定
GRA3	TCNT3 の上限値 - 1 を設定
GRB3	TIOCA3、TIOCB3 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA4、TOCXA4 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB4、TOCXB4 端子より出力される PWM 波形の変化点を設定

(1) 相補PWMモードの設定手順

相補PWMモードの設定手順例を図10.33に示します。

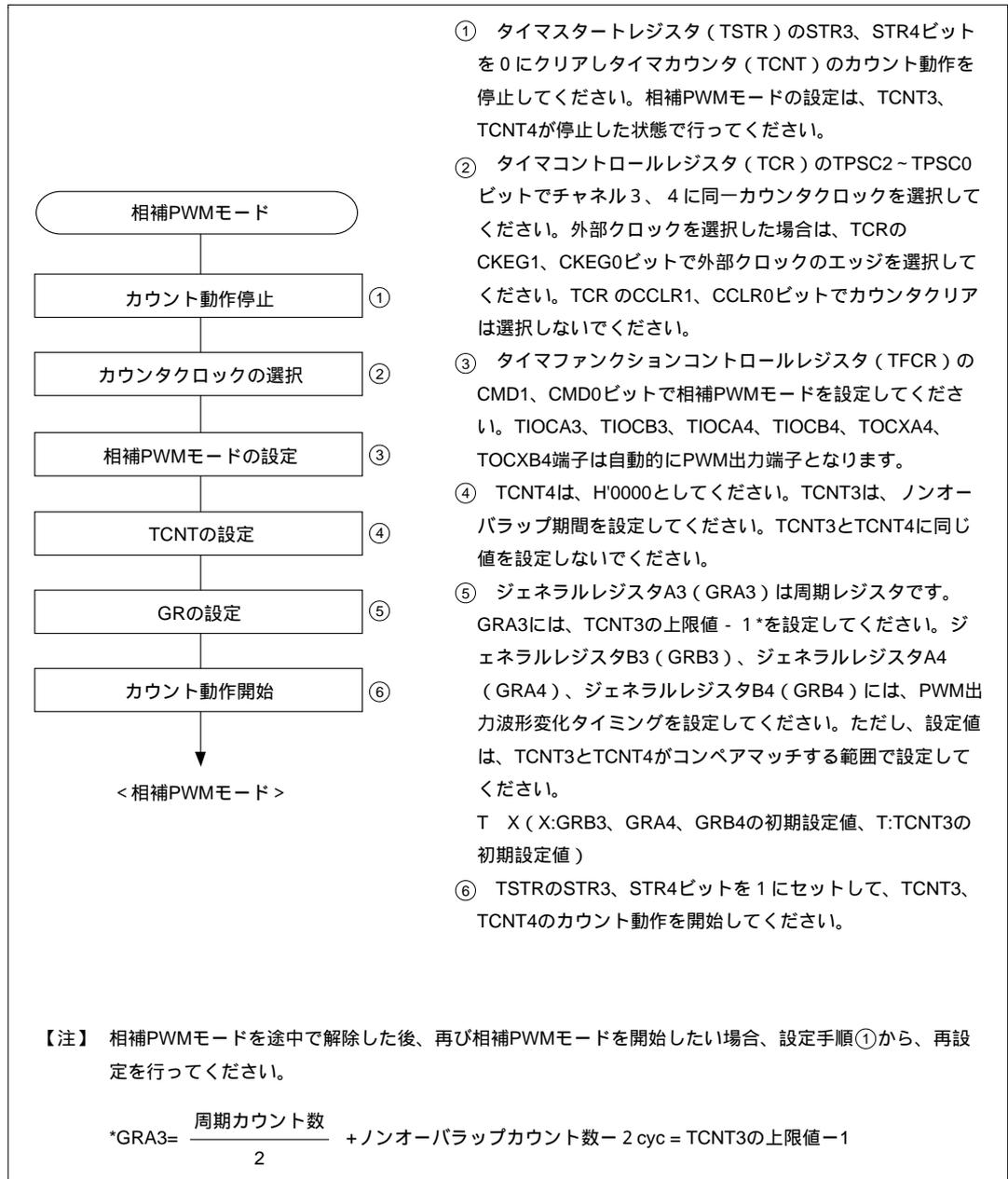


図 10.33 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 10.34 に示します。

相補 PWM モードでは、TCNT3、TCNT4 はアップ / ダウンカウンタとして動作します。TCNT3 が GRA3 とコンペアマッチするとダウンカウントし、TCNT4 がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4 はカウンタのアップ / ダウン 1 周期中、それぞれ TCNT3 TCNT4 TCNT4 TCNT3 の順にコンペアマッチを行い PWM 波形を生成します (本モードでは、TCNT3>TCNT4 に初期設定します)。

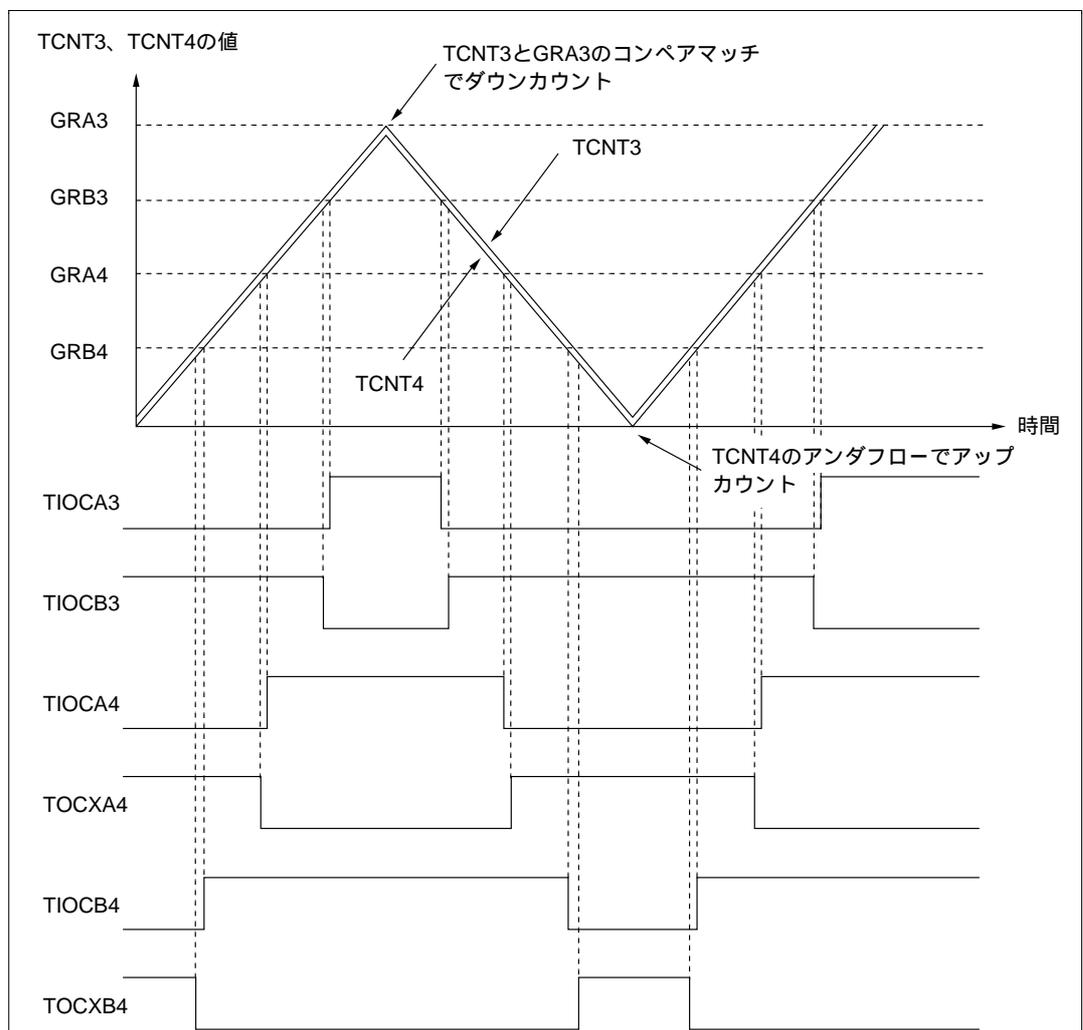


図 10.34 相補 PWM モードの動作例 (1)

相補PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例（1相分）を図10.35に示します。

本例ではGRB3のコンペアマッチで端子出力が変化しますので、GRB3の値をGRA3の値よりも大きい値とすることでデューティ0%、デューティ100%の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「10.4.8 バッファ動作」を参照してください。

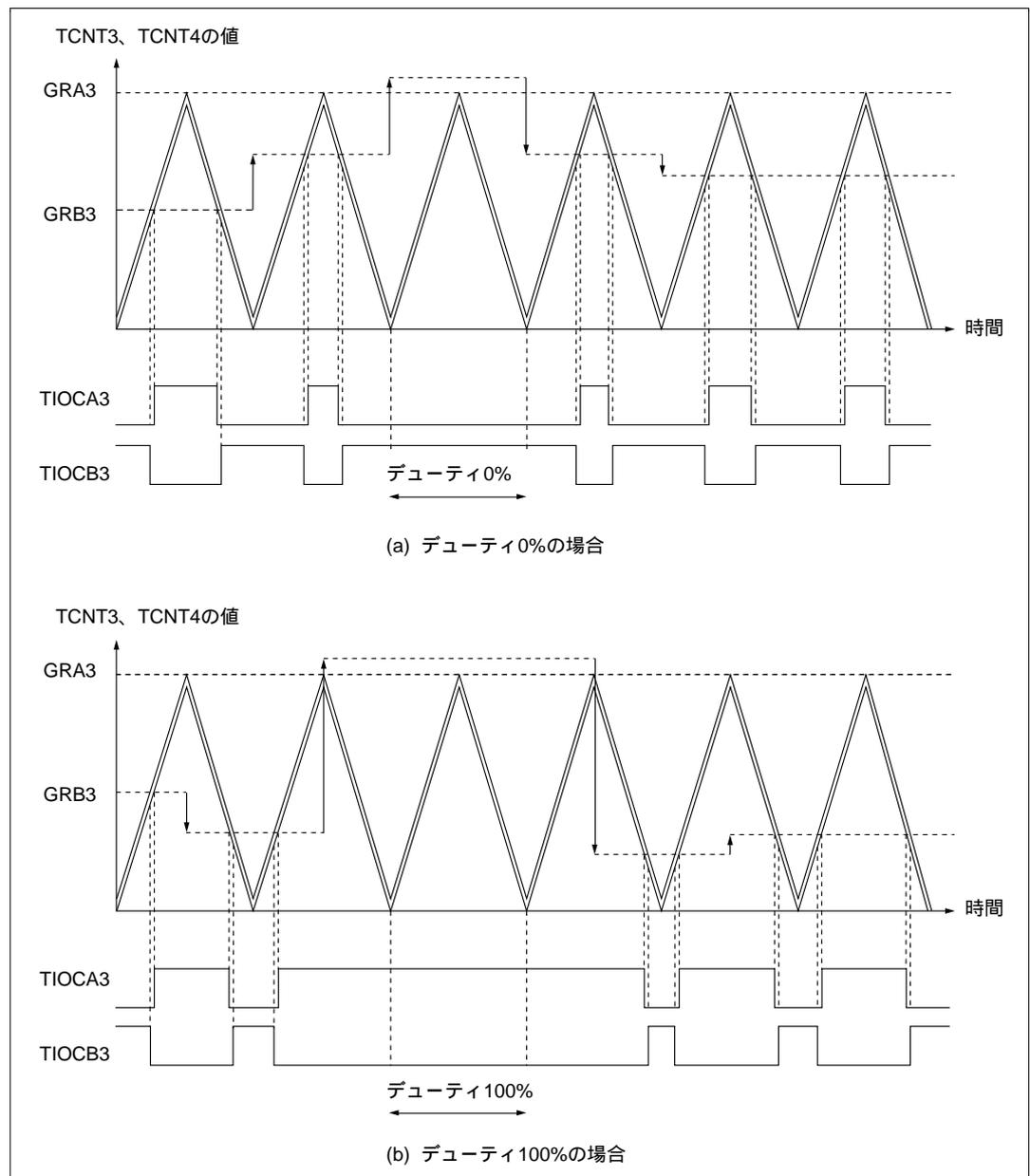


図 10.35 相補 PWM モードの動作例（2）

相補PWMモードを使用しているときのアップカウント/ダウンカウントの変化点で、TCNT3、TCNT4はそれぞれオーバシュート/アンダシュートが発生します。

このとき、チャンネル3のIMFAビットおよびチャンネル4のオーバフローフラグ(OVF)をセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図10.36、図10.37に示します。

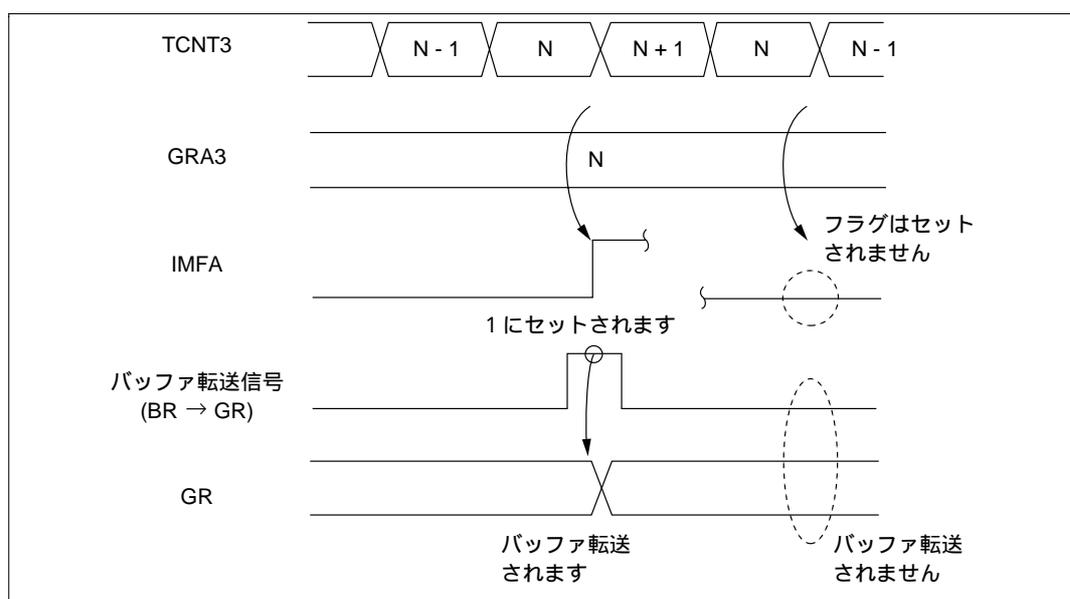


図 10.36 オーバシュート時のタイミング

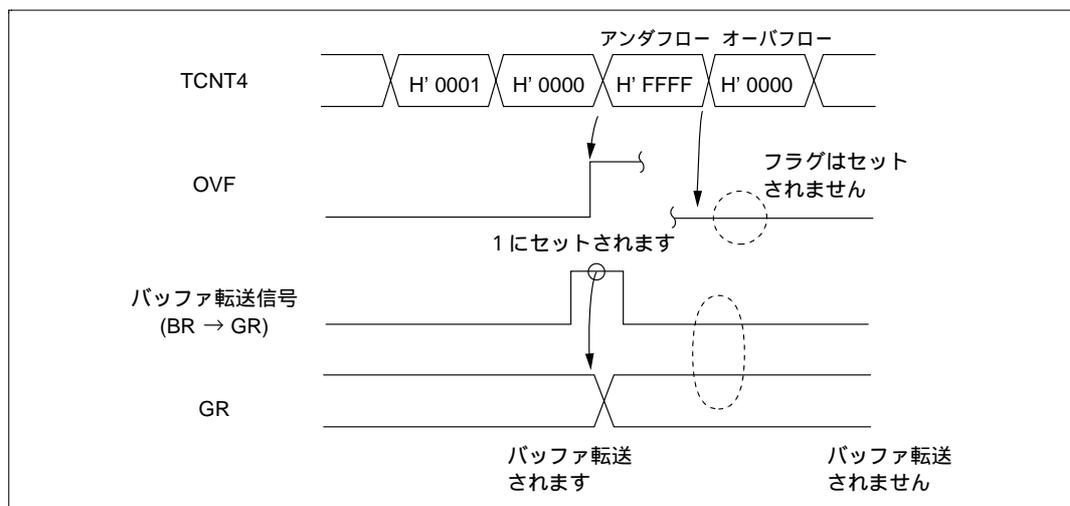


図 10.37 アンダシュート時のタイミング

チャンネル3のIMFAビットはアップカウント時に、チャンネル4のOVFはアンダフロー時のみ、それぞれ1にセットされます。

バッファ動作を設定されたバッファレジスタ(BR)は、アップカウント動作時のコンペアマッチA3またはTCNT4のアンダフローによってGRに転送されます。

(3) 相補PWMモードでのGRの設定値

相補PWMモードでのジェネラルレジスタ(GR)の設定および動作中の変更については、以下の点に注意してください。

初期値

H'0000 ~ T - 1 (T:TCNT3の初期設定値)の設定は禁止です。

なお、カウントスタート後、最初に発生するコンペアマッチA3のタイミング以降では、この設定も可能です。

設定値の変更方法

バッファ動作を使用してください。直接GRに書き込むと、正しく波形出力されない場合があります。

設定値変更時の注意

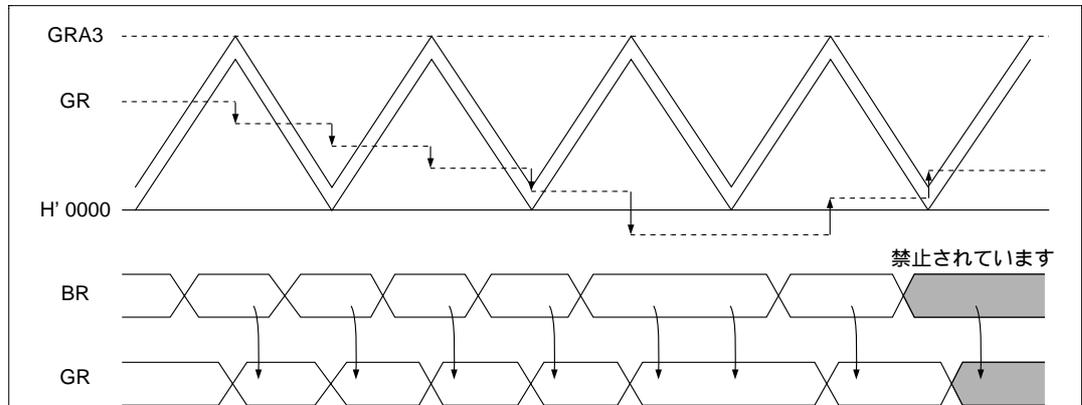


図 10.38 バッファ動作によるGRの設定値変更例(1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GRの内容が $GRA3 - T + 1 \sim GRA3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作によるGRの設定変更時の注意(1)を図10.39に示します。

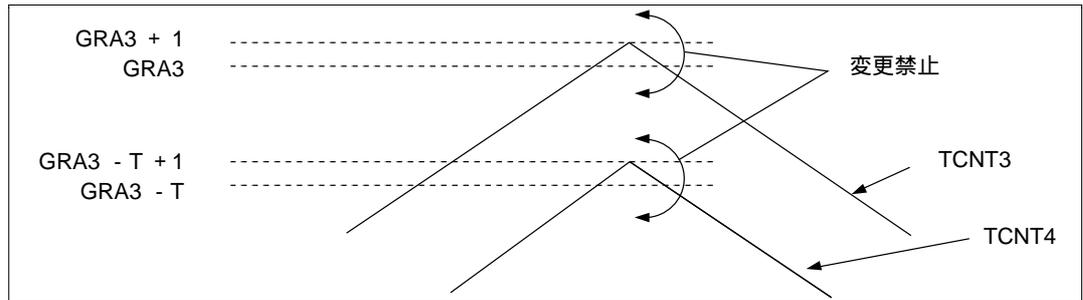


図 10.39 バッファ動作による GR の設定変更時の注意 (1)

(b) ダウンカウントからアップカウントへの変化時のバッファ転送

GRの内容が $H'0000 \sim T - 1$ の範囲であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作によるGRの設定変更時の注意(2)を図10.40に示します。

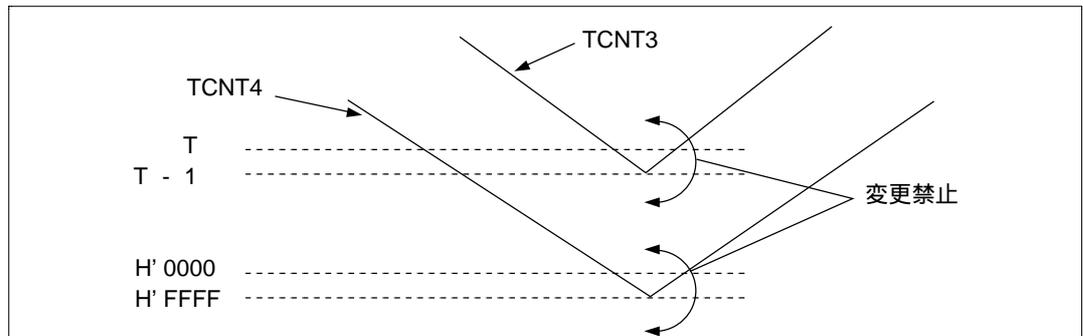


図 10.40 バッファ動作による GR の設定変更時の注意 (2)

(c) GR の設定をカウント領域 (H'0000 ~ GRA3) 外とするとき

デューティ 0%、100%の波形を出力する場合、GR の設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値をバッファレジスタ (BR) に書き込んだときのカウント方向 (アップ/ダウンカウント) と、カウント領域内にもどる設定値を BR に書き込むときのカウント方向が同一となるようにしてください。

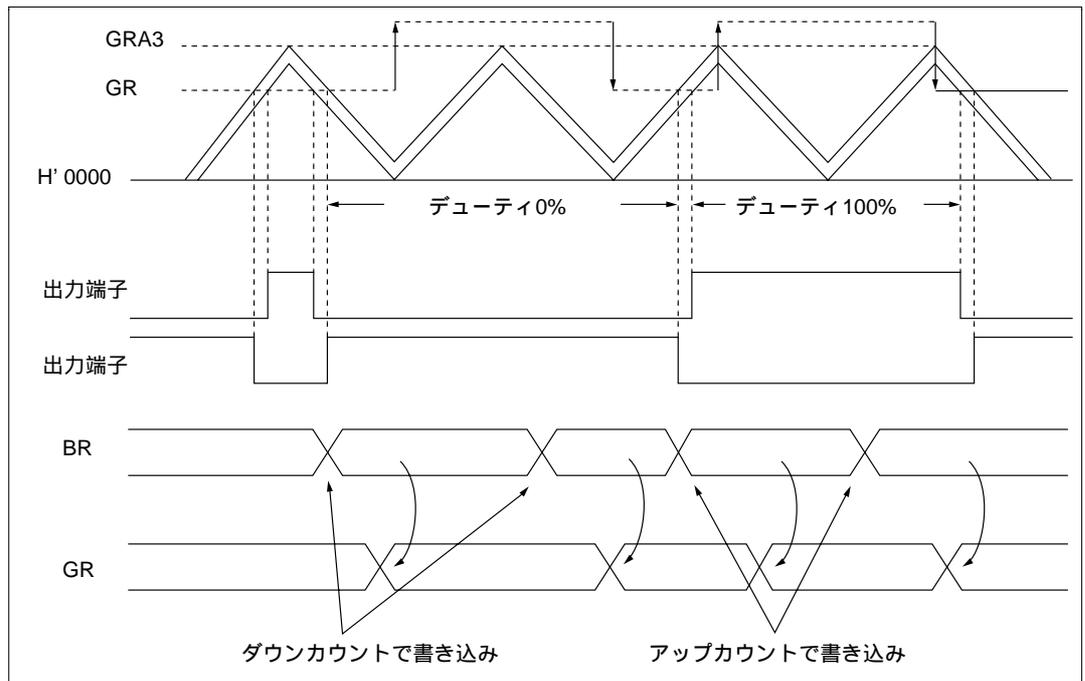


図 10.41 バッファ動作による GR の設定値変更例 (2)

上記設定は、ジェネラルレジスタ A3 (GRA3) のコンペアマッチまたはタイマカウンタ 4 (TCNT4) のアンダフローが発生したことを検出して、BR へ書き込むことによって実現可能です。また、GRA3 のコンペアマッチによってダイレクトメモリアクセスコントローラ (DMAC) を起動することによっても実現可能です。

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB端子)の位相差を検出し、タイマカウンタ2(TCNT2)をアップ/ダウンカウントします。

位相計数モードに設定すると、タイマコントロールレジスタ2(TCR2)のTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、またTCNT2はアップ/ダウンカウンタとなります。ただし、TCR2のCCLR1、CCLR0ビット、タイマI/Oコントロールレジスタ2(TIOR2)、タイマインタラプトイネーブルレジスタ2(TIER2)、タイマステータスレジスタ2(TSR2)、ジェネラルレジスタA2(GRA2)、ジェネラルレジスタB2(GRB2)は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図10.42に示します。

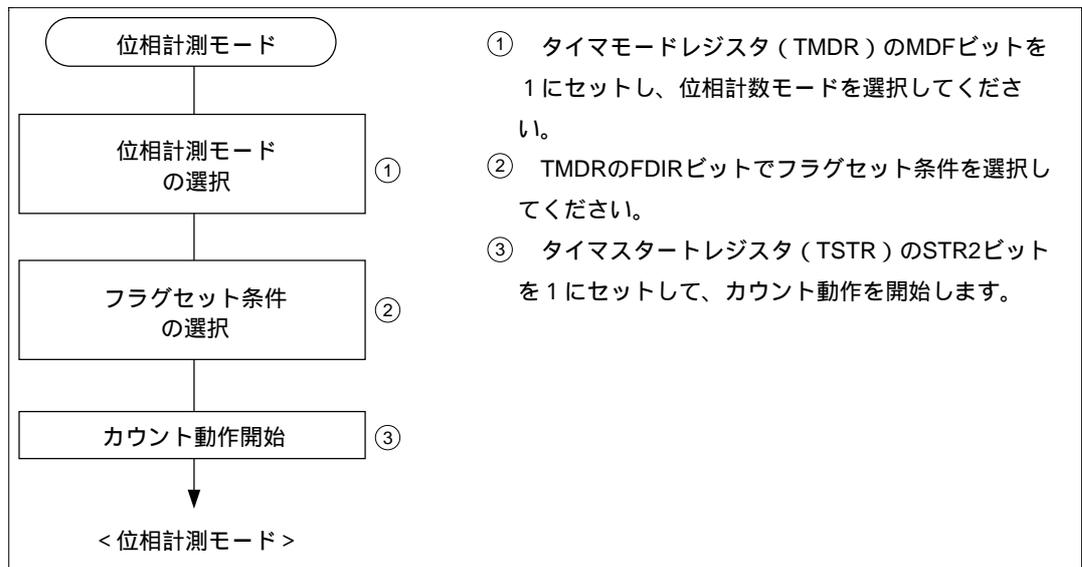


図 10.42 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図10.43に、TCNT2のアップ/ダウンカウント条件を表10.9にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立ち上がり (↑) / 立ち下がり (↓) の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

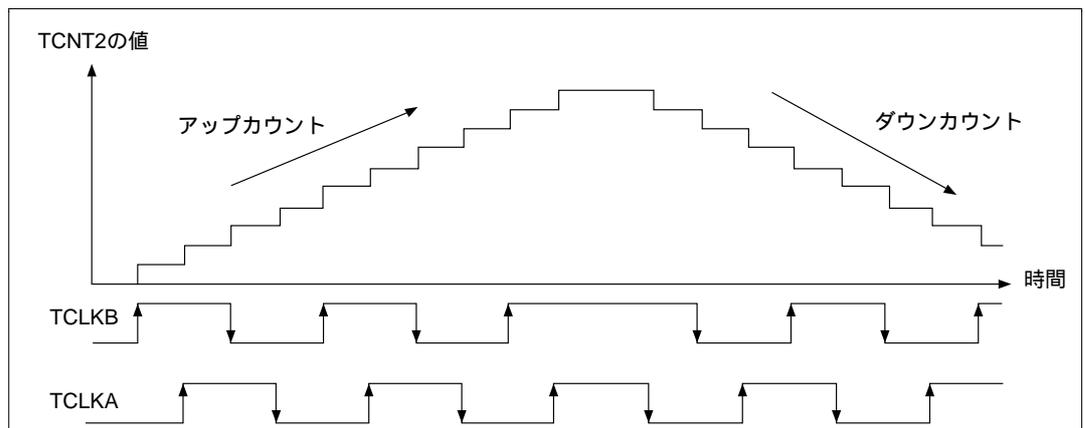


図 10.43 位相計数モードの動作例

表 10.9 アップ/ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
TCLKB	↑	H	↓	L	↑	H	↓	L
TCLKA	L	↑	H	↓	H	↓	L	↑

H: ハイレベル

L: ローレベル

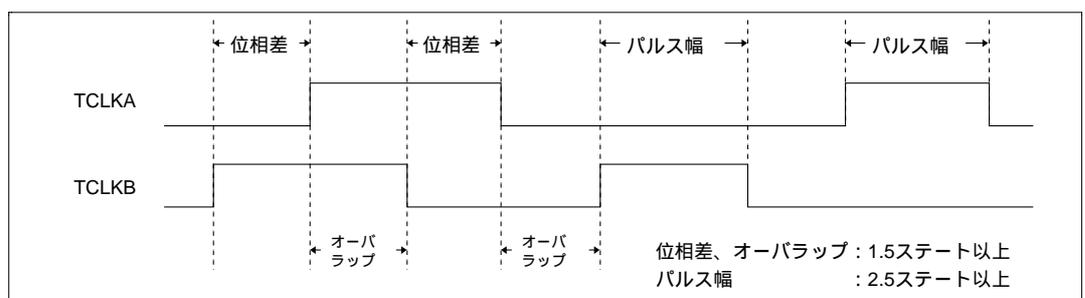


図 10.44 位相計数モード時の位相差、オーバーラップおよびパルス幅

10.4.8 バッファ動作

バッファ動作は、ジェネラルレジスタ (GR) をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。

バッファ動作はチャンネル3、4のみが持つ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

GR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのバッファレジスタ (BR) の値が、GR に転送されます。

この動作を図 10.45 に示します。

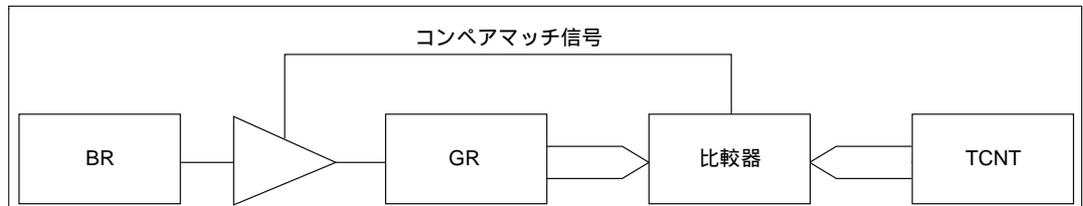


図 10.45 コンペアマッチバッファ動作

GR がインプットキャプチャレジスタの場合

インプットキャプチャが発生するとタイマカウンタ (TCNT) の値を GR に転送すると同時に、それまで格納されていた GR の値を BR に転送します。

この動作を図 10.46 に示します。

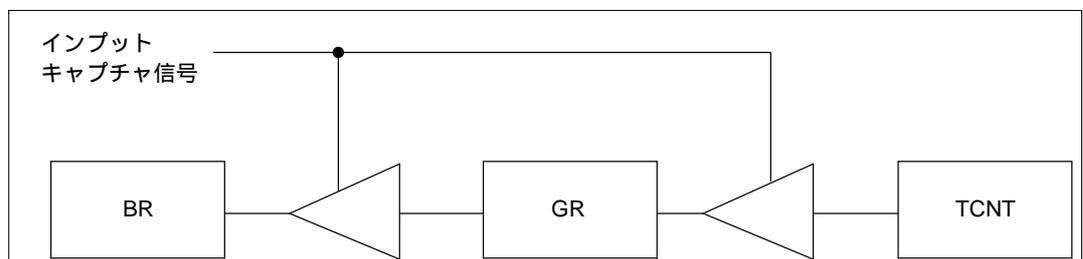


図 10.46 インプットキャプチャバッファ動作

相補PWMモードの場合

タイマカウンタ3(TCNT3)、タイマカウンタ4(TCNT4)のカウンタ方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- ・TCNT3とジェネラルレジスタA3(GRA3)がコンペアマッチしたとき
- ・TCNT4がアンダフローしたとき

リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図10.47に示します。

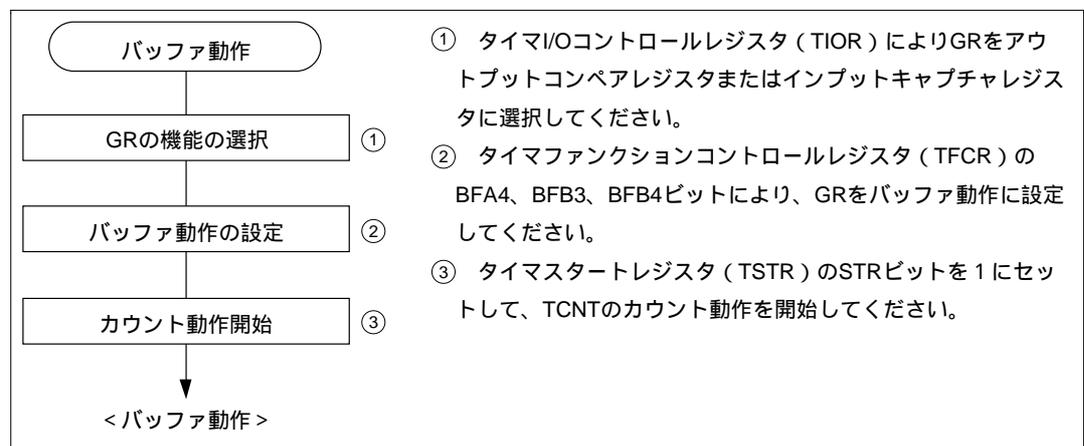


図10.47 バッファ動作の設定手順例

(2) バッファ動作例

ジェネラルレジスタ A (GRA) をアウトプットコンペアレジスタに設定し、GRA とバッファレジスタ A (BRA) をバッファ動作に設定したときの動作を図 10.48 に示します。

TCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチ A で TIOCA 端子がトグル出力を行うと同時に、バッファレジスタ A (BRA) の値が GRA に転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。

この転送タイミングを図 10.49 に示します。

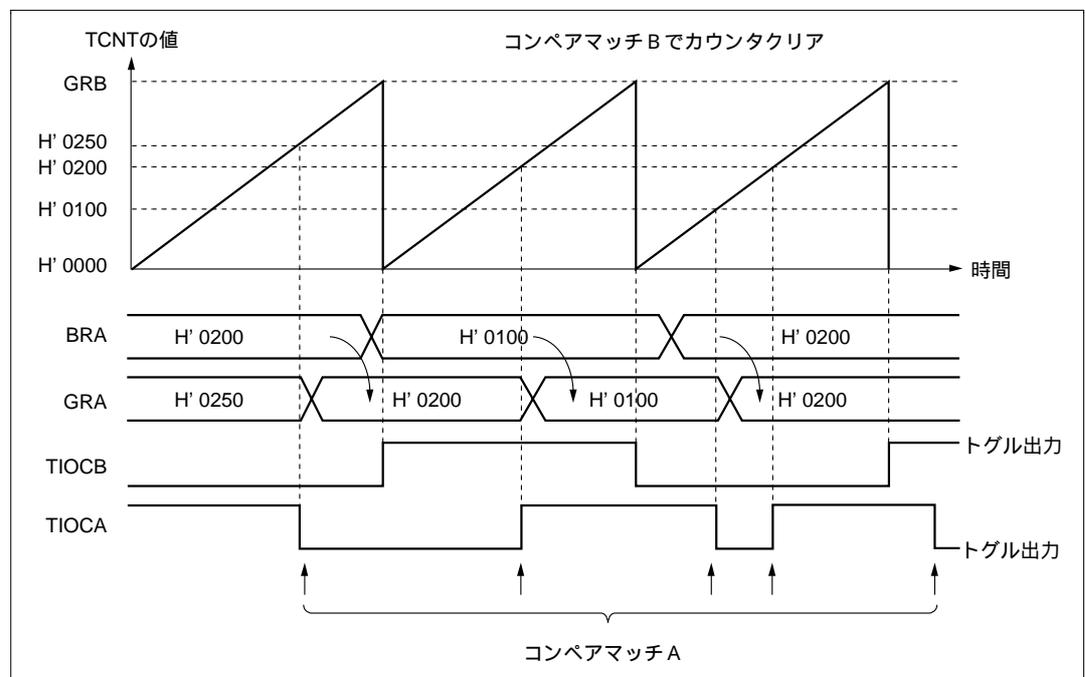


図 10.48 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

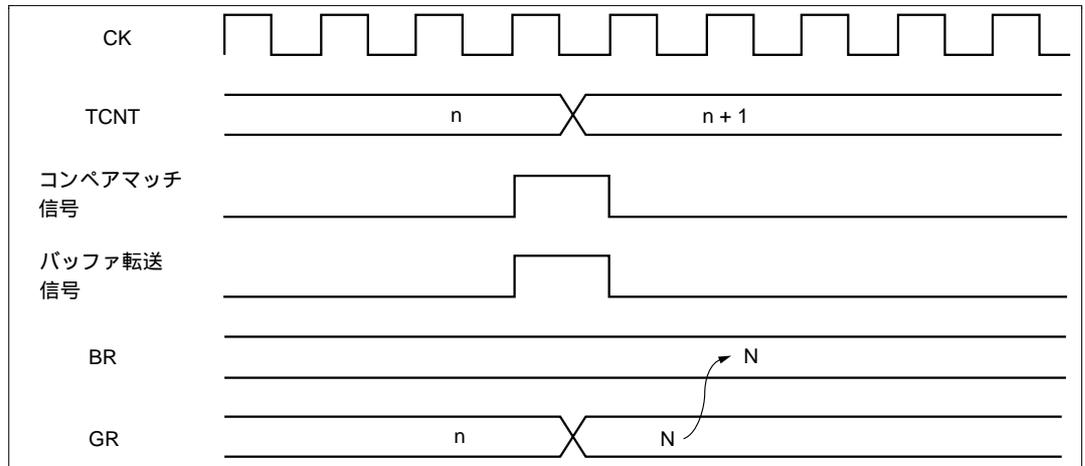


図 10.49 バッファ動作時のコンペアマッチタイミング例

GRA を入力キャプチャレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 10.50 に示します。

TCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。TIOCB 端子の入力キャプチャ入力エッジは、立ち下がりエッジが選択され、また、TIOCA 端子の入力キャプチャ入力エッジは、立ち上がり / 立ち下りの両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで格納されていた GRA の値が BRA に転送されます。

この転送タイミングを図 10.51 に示します。

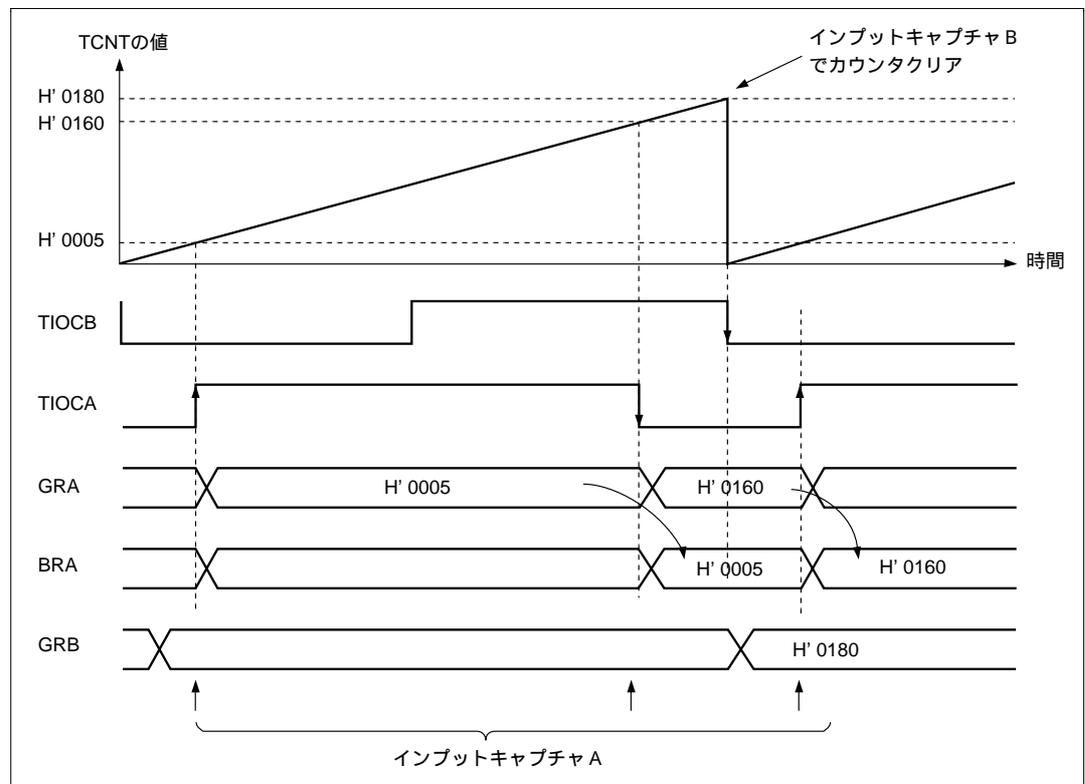


図 10.50 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

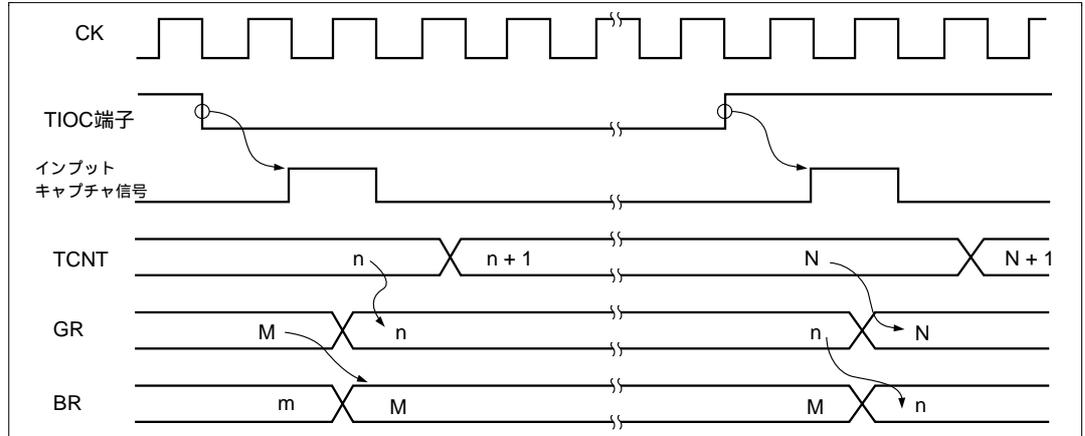


図 10.51 バッファ動作時のインプットキャプチャタイミング

相補 PWM モード時、GRB3 と BRB3 をバッファ動作に設定したときの動作例を図 10.52 に示します。

バッファ動作を使用して $GRB3 > GRA3$ とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。

BRB から GRB への転送は、TCNT3 と GRA3 がコンペアマッチしたとき、および TCNT4 がアンダフローしたときに行われます。

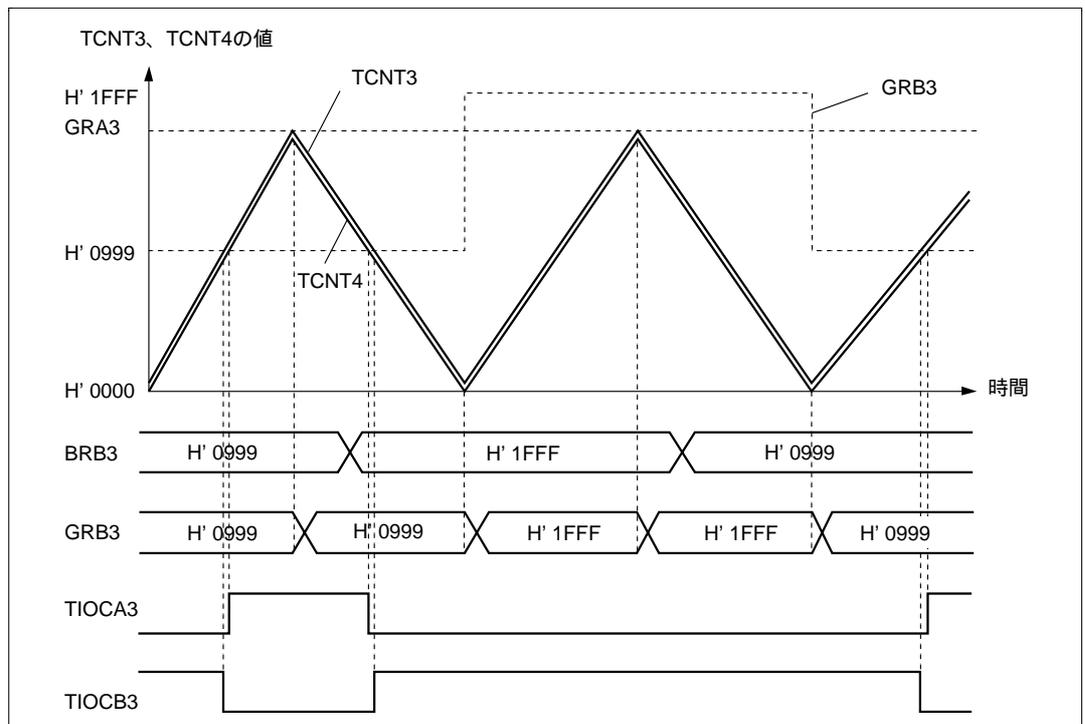


図 10.52 バッファ動作例 (3) (相補 PWM モード時のバッファ動作)

10.4.9 ITU 出力タイミング

チャンネル3、4のITU出力は、タイマアウトプットコントロールレジスタ(TOCR)の設定により、出力を反転することができます。

(1) TOCRによる出力反転タイミング

リセット同期PWMモードまたは相補PWMモード時に、TOCRのOLS4、OLS3ビットを反転することにより、出力レベルを反転することができます。

このタイミングを図10.53に示します。

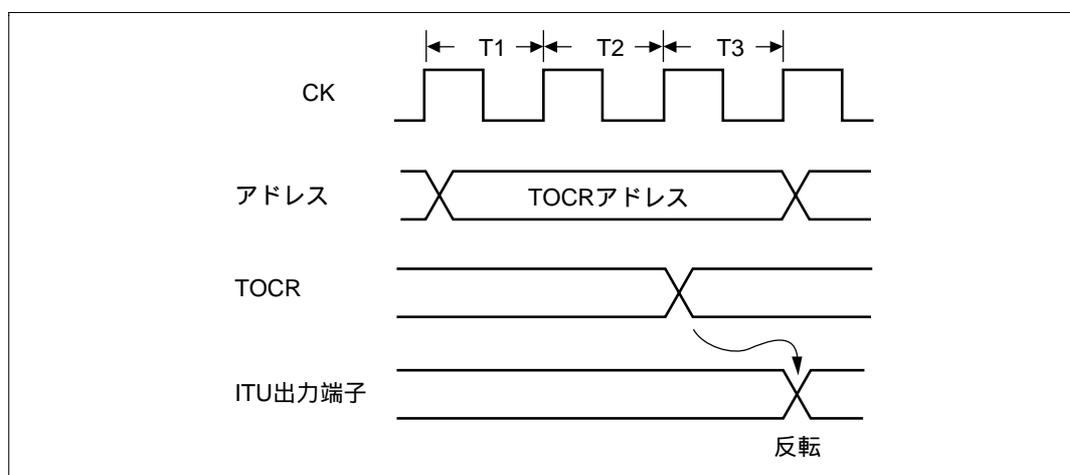


図 10.53 TOCR へのライトによる ITU 出力レベル反転タイミングの例

10.5 割り込み

ITUの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバーフロー割り込みの2種類があります。

10.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBのセットタイミング

タイムステータスレジスタ(TSR)のIMFビットは、ジェネラルレジスタ(GR)とタイマカウンタ(TCNT)が一致したときに発生するコンペアマッチ信号により1にセットされます。コンペアマッチ信号は、一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図10.54にIMFビットのセットタイミングを示します。

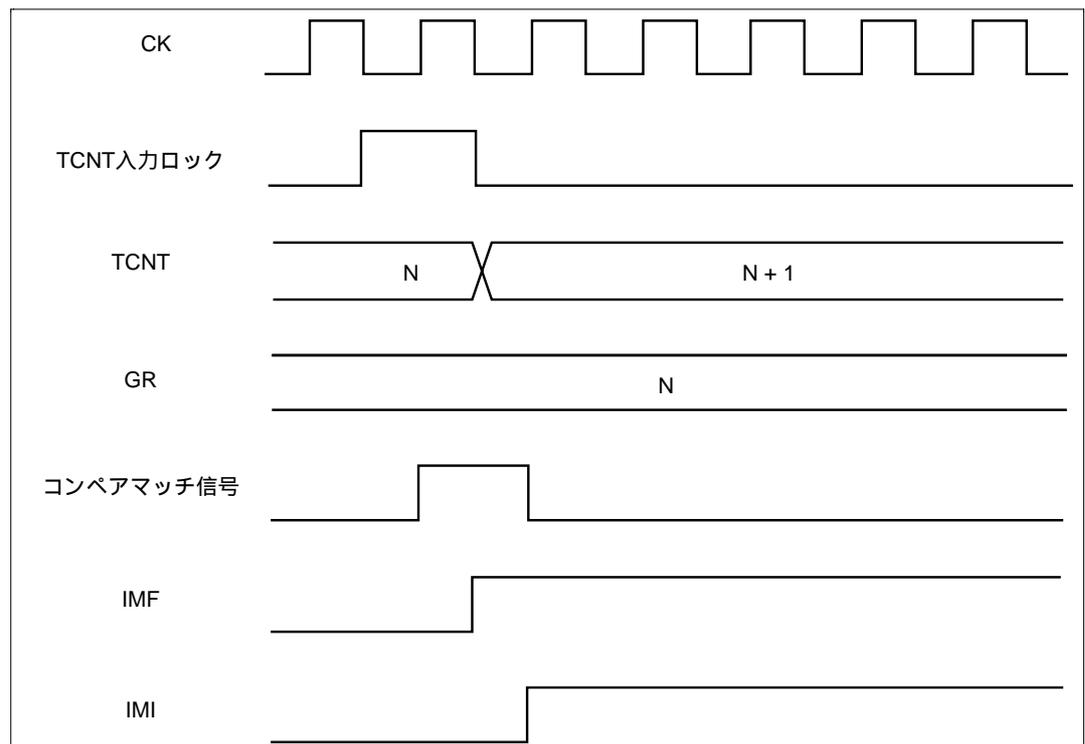


図10.54 コンペアマッチ時のIMFA、IMFBのセットタイミング

(2) インพุットキャプチャ時のIMFA、IMFBのセットタイミング

インพุットキャプチャ信号の発生によりIMFビットは1にセットされ、同時にTCNTの値が対応するGRに転送されます。

このタイミングを図10.55に示します。

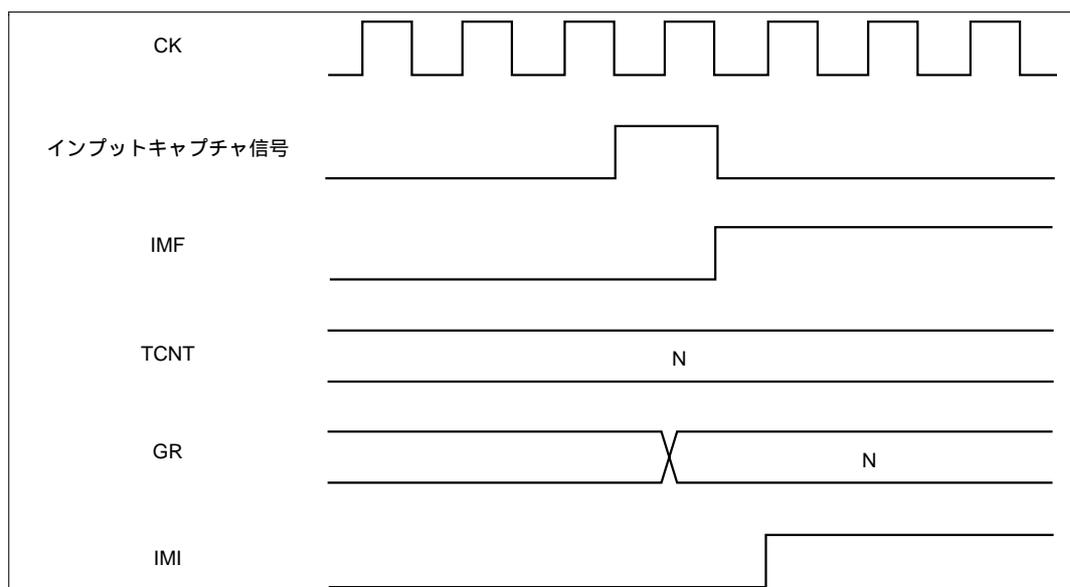


図 10.55 インพุットキャプチャ時のIMFA、IMFBのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVFは、TCNTがオーバフロー(H'FFFF → H'0000)したとき、またはアンダフロー(H'0000 → H'FFFF)したときに1にセットされます。

このときのタイミングを図10.56に示します。

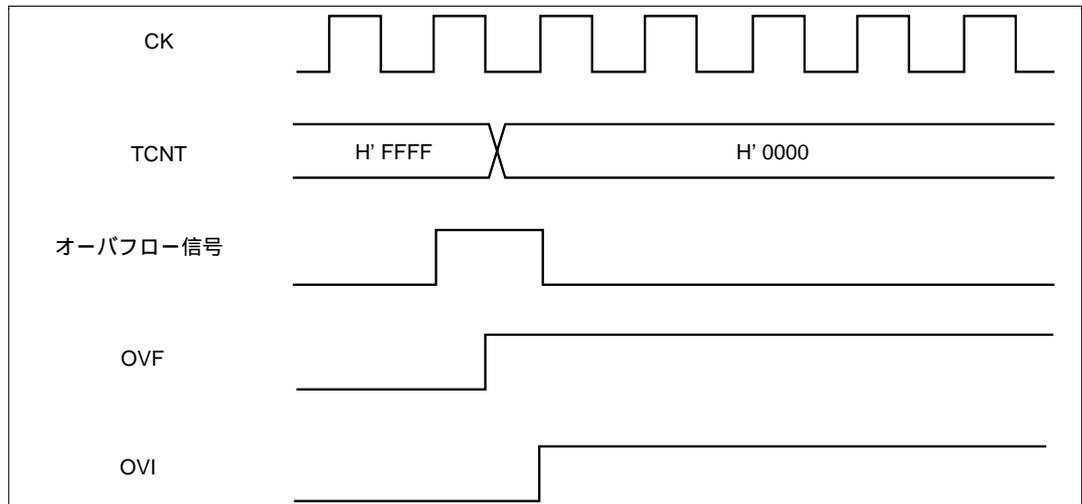


図 10.56 OVFのセットタイミング

10.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後0を書き込むとクリアされます。

このタイミングを図10.57に示します。

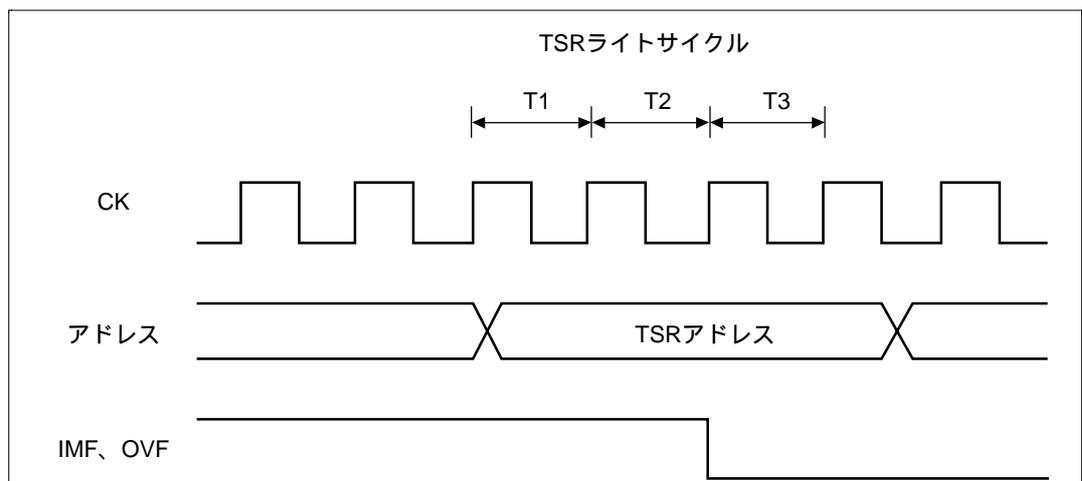


図 10.57 ステータスフラグのクリアタイミング

10.6 使用上の注意

ITUの動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNTの書き込みとクリアの競合

タイマカウンタ (TCNT) のライトサイクル中のT3状態で、カウントクリア信号が発生すると、TCNTへの書き込みサイクルは行われずTCNTのクリアが優先されます。

このタイミングを図10.58に示します。

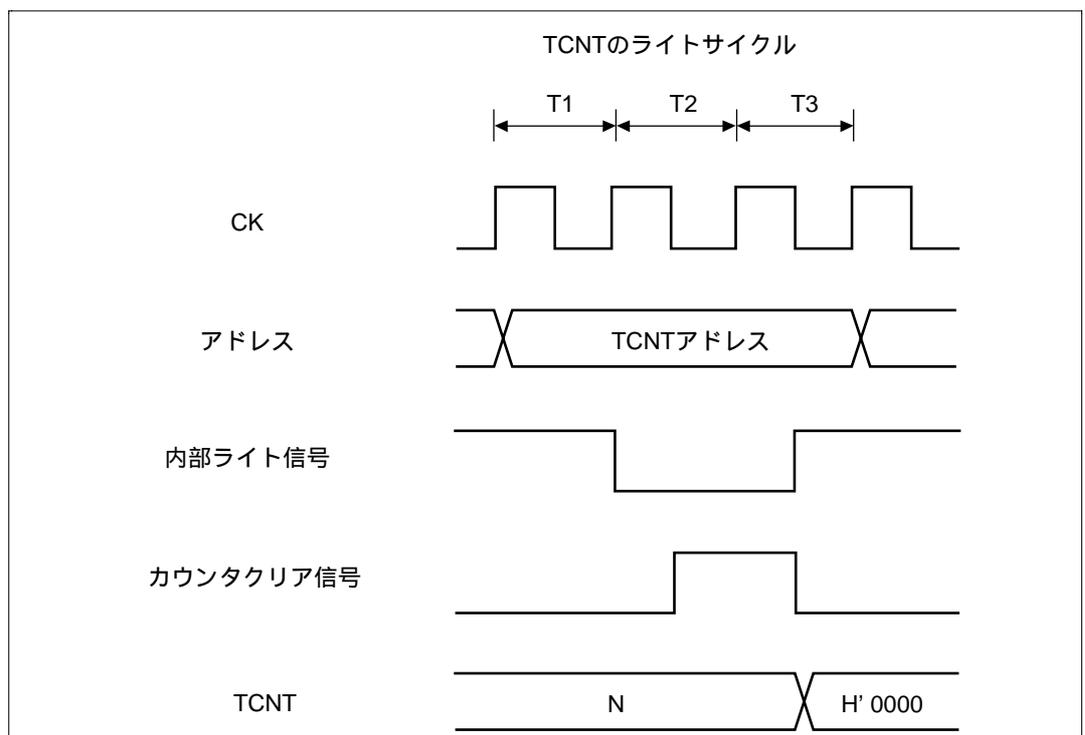


図 10.58 TCNTの書き込みとクリアの競合

(2) TCNTのワード書き込みとカウントアップの競合

TCNTのワードライトサイクル中のT3状態でカウントアップが発生しても、カウントアップされずカウンタ書き込みが優先されます。

このタイミングを図10.59に示します。

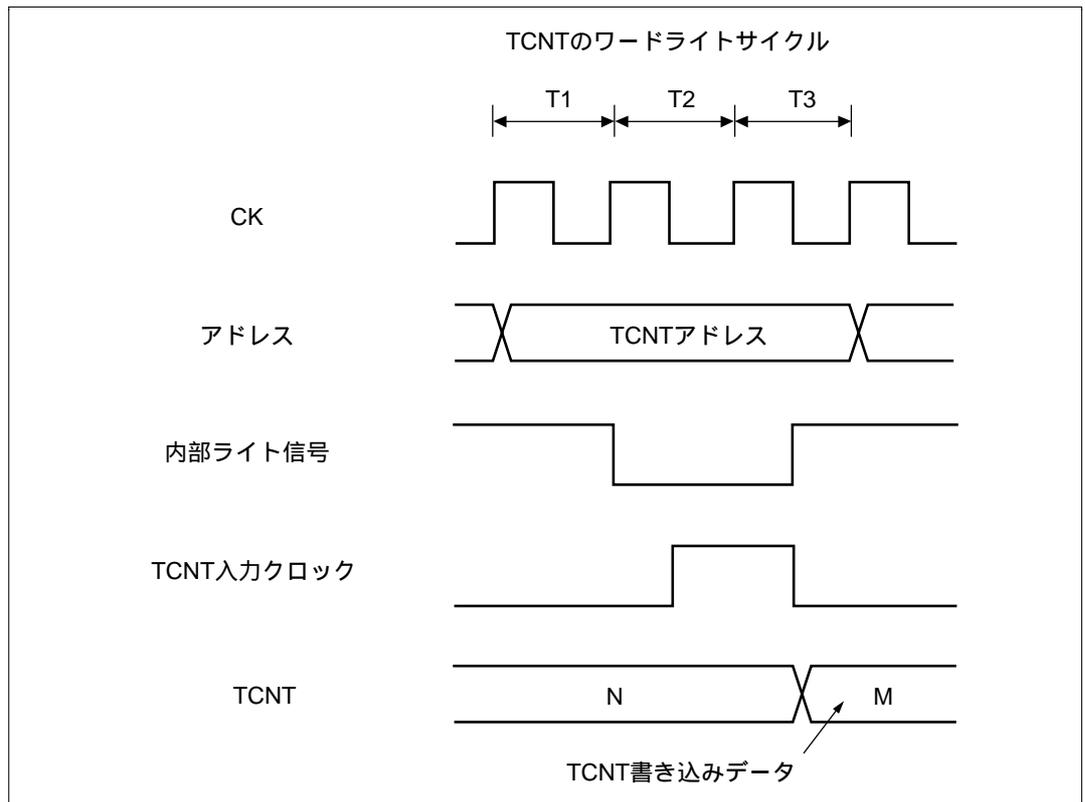


図 10.59 TCNTのワード書き込みとカウントアップの競合

(3) TCNTのバイト書き込みとカウントアップの競合

TCNTのバイトライトサイクル中のT2ステートまたはT3ステートでカウントアップが発生しても、書き込みを行った側のバイトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず書き込む前の内容となります。

このタイミングを図10.60に示します。

タイマカウンタH (TCNTH) のバイトライトサイクル中のT2ステートでカウントアップが発生した場合の例です。

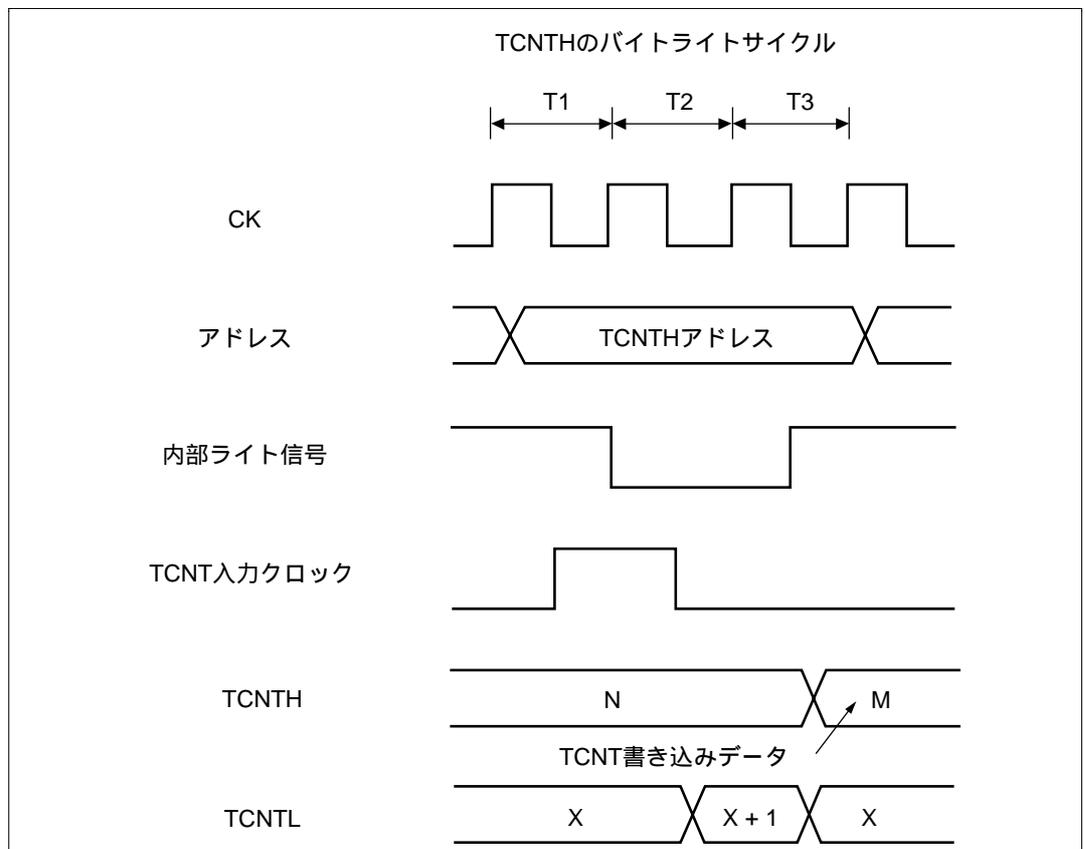


図 10.60 TCNTのバイト書き込みとカウントアップの競合

(4) GRの書き込みとコンペアマッチの競合

ジェネラルレジスタ (GR) のライトサイクル中の T3 ステートでコンペアマッチが発生しても、GR の書き込みが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 10.61 に示します。

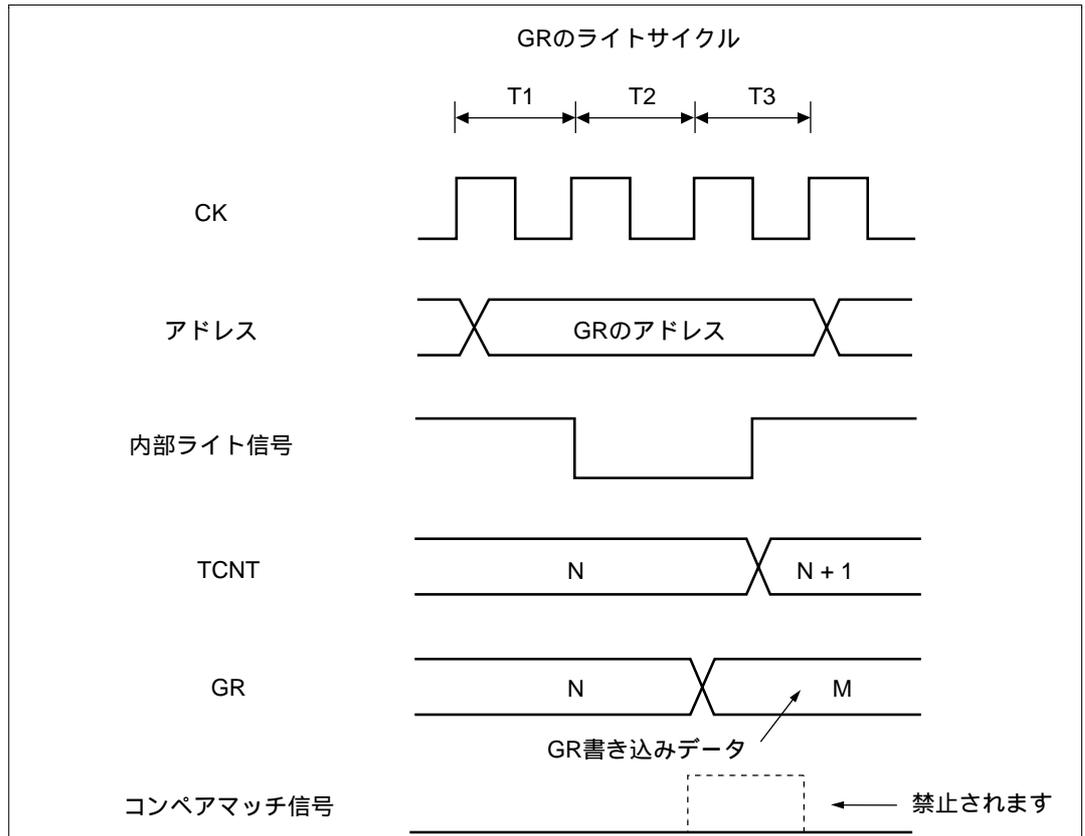


図 10.61 GR の書き込みとコンペアマッチの競合

(5) TCNTの書き込みとオーバーフロー/アンダフローとの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタ書き込みが優先されます。このときオーバーフローフラグ (OVF) は1にセットされます。アンダフローの場合も同様です。

このタイミングを図 10.62 に示します。

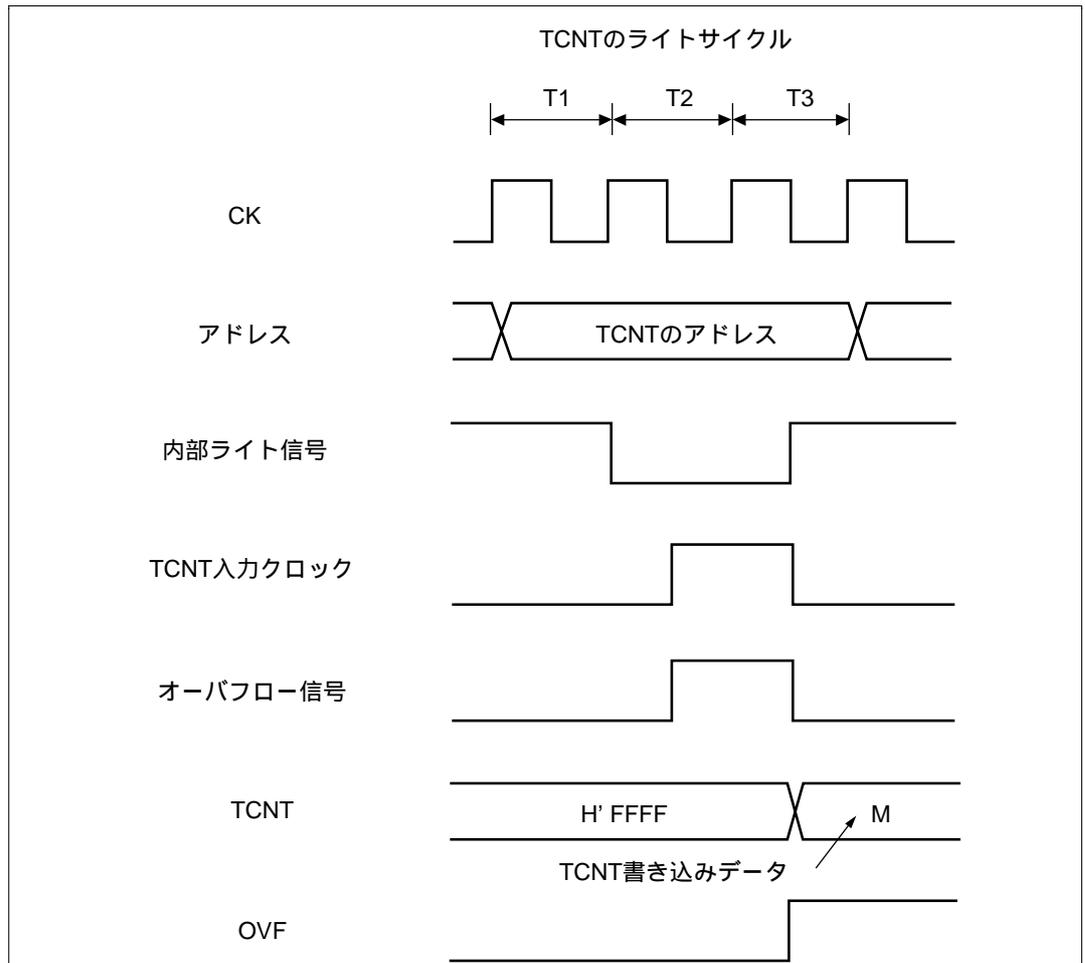


図 10.62 TCNTの書き込みとオーバーフローの競合

(6) GRの読み出しと入力キャプチャの競合

ジェネラルレジスタ (GR) のリードサイクル中の T3 ステートで、入力キャプチャ信号が発生すると、読み出されるデータは入力キャプチャ転送前のデータです。

このタイミングを図 10.63 に示します。

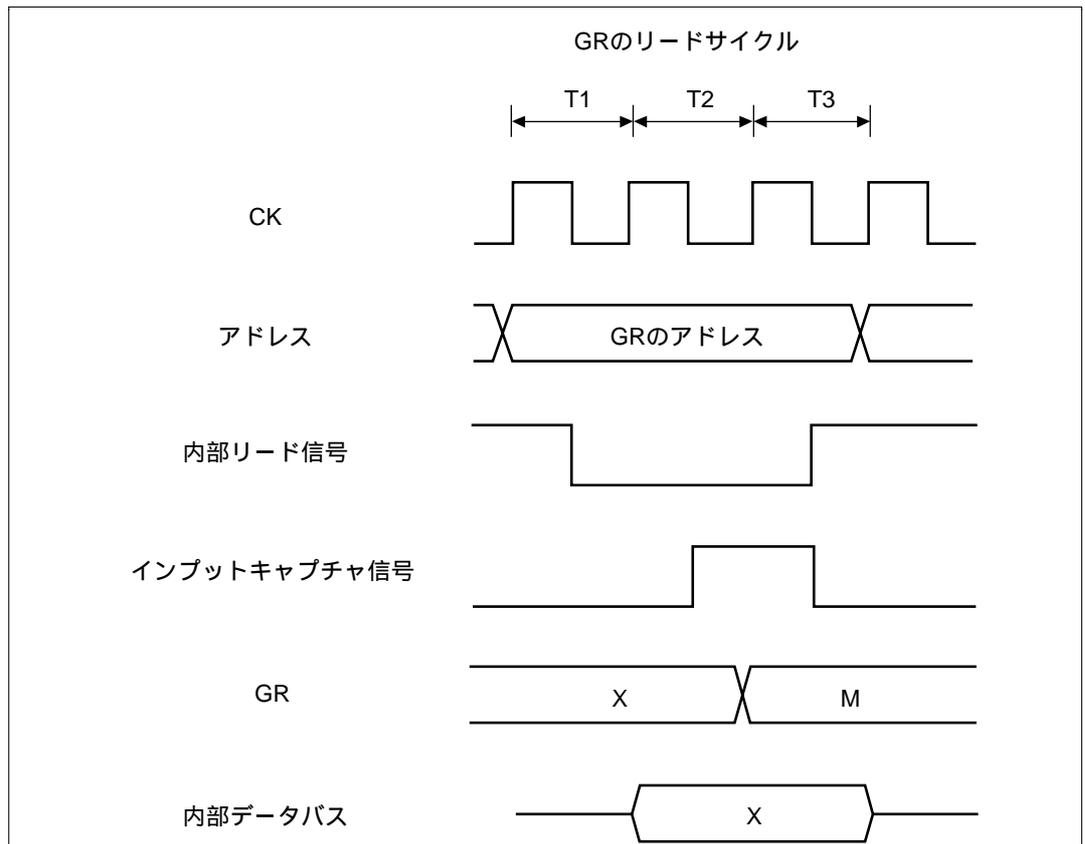


図 10.63 GRの読み出しと入力キャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GR にはカウンタクリア前の TCNT の内容が転送されます。

このタイミングを図 10.64 に示します。

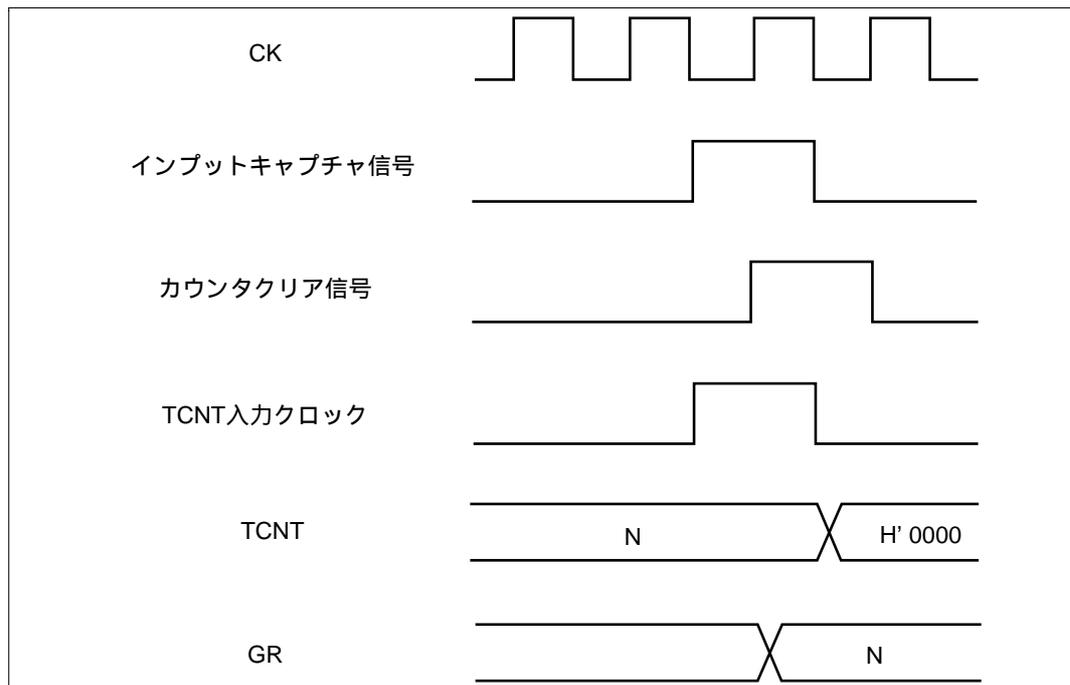


図 10.64 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GRの書き込みとインプットキャプチャの競合

GRのライトサイクル中のT3状態で、インプットキャプチャ信号が発生すると、GRへの書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図10.65に示します。

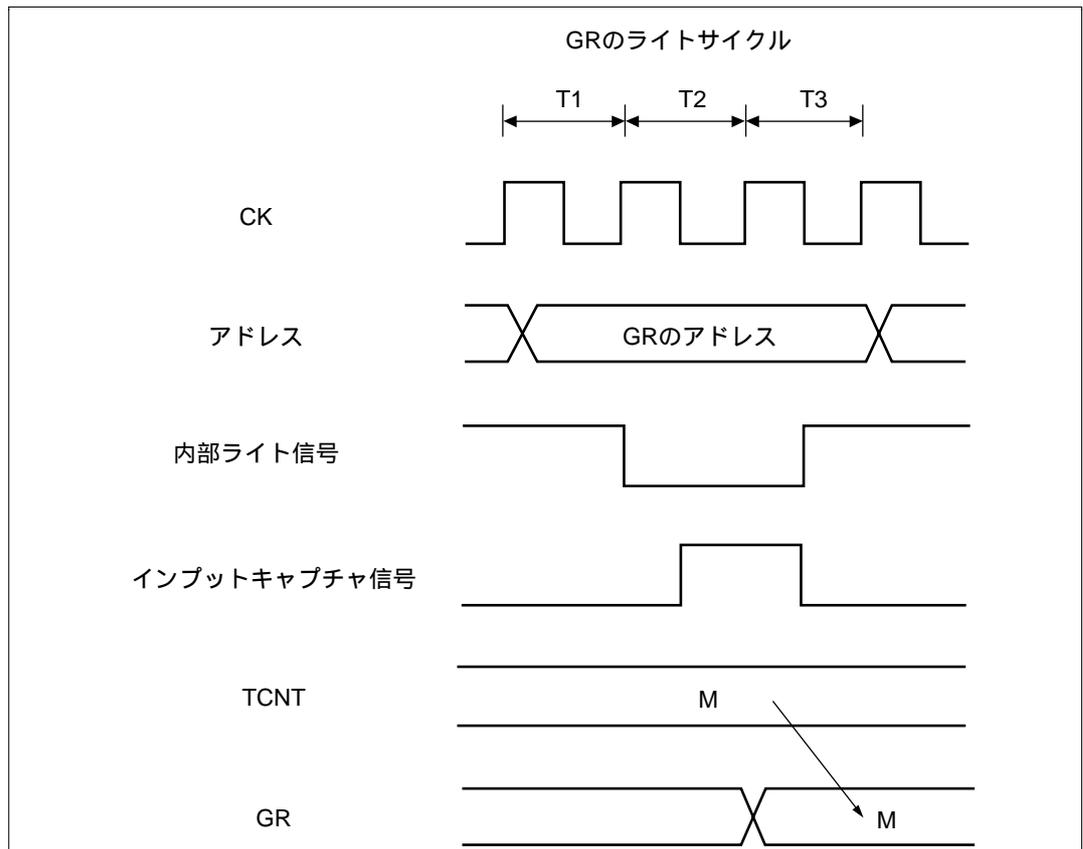


図 10.65 GRの書き込みとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

(f : カウンタ周波数、 ϕ : 動作周波数、 N : GRの設定値)

(10) BRの書き込みと入力キャプチャの競合

バッファレジスタ(BR)を入力キャプチャバッファレジスタとして使用しているとき、ライトサイクル中のT3状態で入力キャプチャ信号が発生すると、BRへの書き込みは行われずバッファ動作が優先されます。

このタイミングを図10.66に示します。

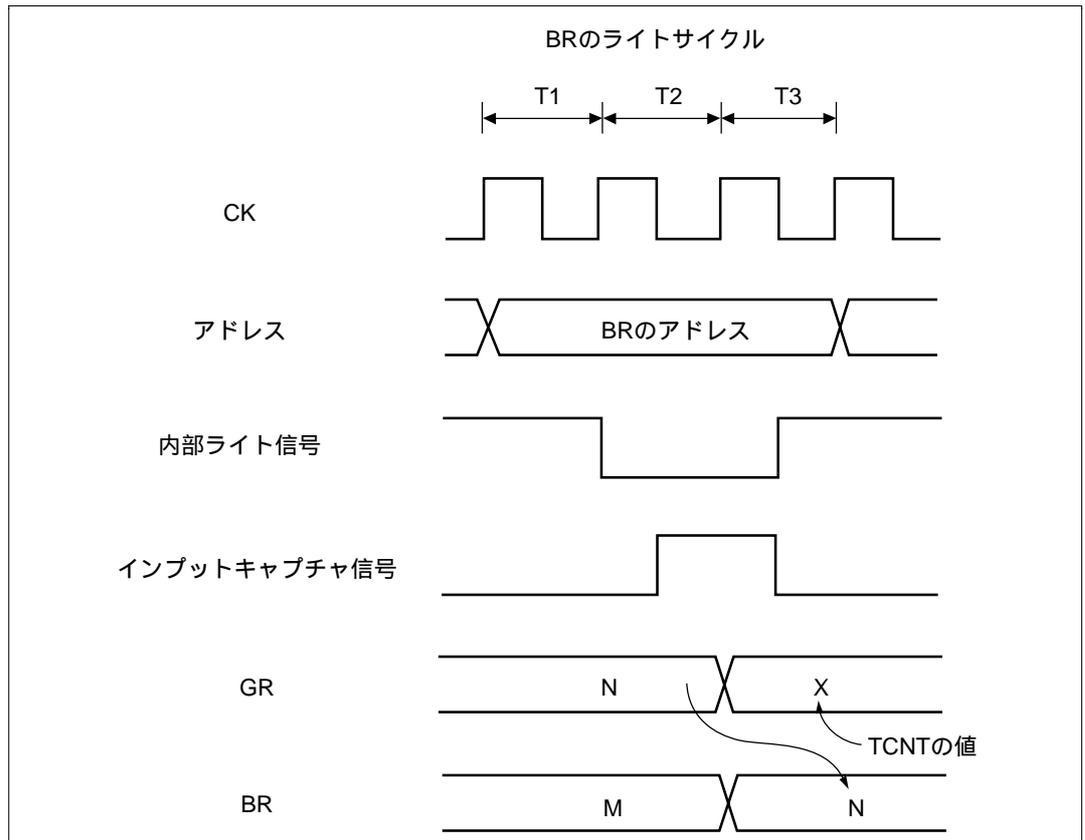
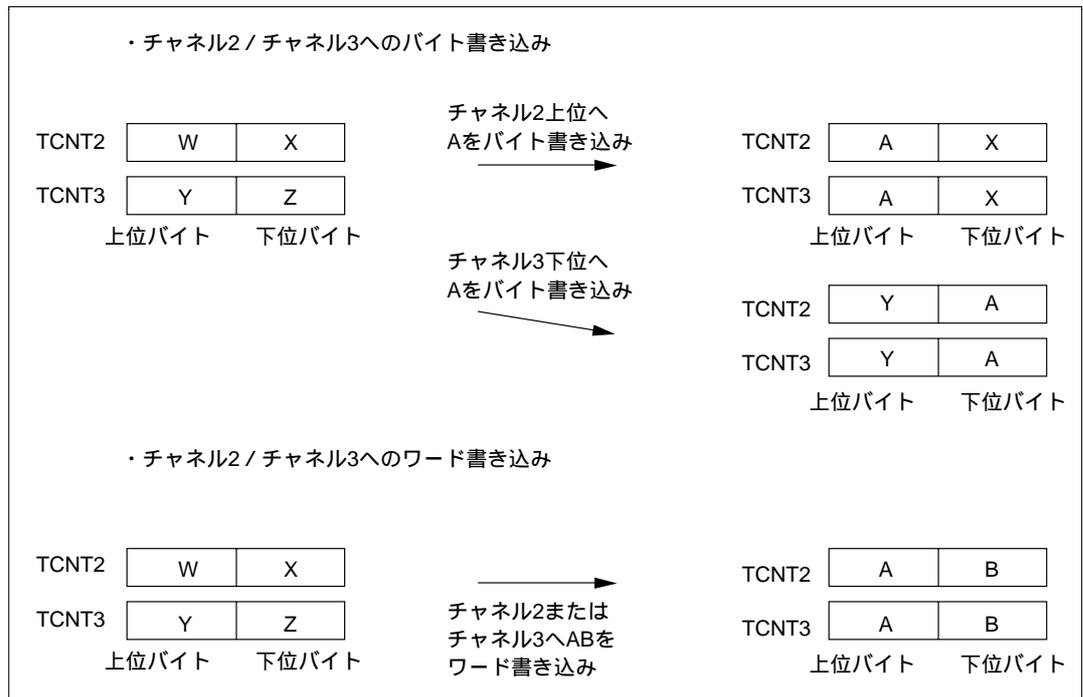


図 10.66 BRの書き込みと入力キャプチャの競合

(11) 同期動作時の書き込み動作に関する注意事項

同期動作を設定した状態で、タイマカウンタ(TCNT)のバイト書き込みを行った場合、同期しているすべてのカウンタはアドレスで指定したTCNTと、16ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合



(12) リセット同期 PWM モード / 相補 PWM モード設定時の注意事項

タイマファンクションコントロールレジスタ(TFCR)のCMD1、CMD0ビットを設定するときは、次のことに注意してください。

CMD1、CMD0ビットへの書き込みは、TCNT3、TCNT4が停止中に行ってください。リセット同期 PWM モードと相補 PWM モードの相互の設定変更は禁止されています。通常動作(CMD1ビットを0にクリア)に設定した後に、リセット同期 PWM モードまたは相補 PWM モードに設定してください。

(13) 相補 PWM モードの解除手順

相補 PWM モードの解除手順を図 10.67 に示します。まず (1) タイマファンクションコントロールレジスタ(TFCR)のコンビネーションモード(CMD)1、0 ビットを“10”から“00”または“01”に再設定し、相補 PWM モードから通常動作モードにします。その後 (2) チャネル3、4で使用しているカウンタ入力クロックの1クロック以上待って、タイマスタートレジスタ(TSTR)のカウンタスタート(STR)3、4ビットをクリアしてチャンネル3、4のカウンタ TCNT3、TCNT4のカウンタ動作を停止してください。

本手順以外で相補 PWM モードを解除した場合、相補 PWM モード再設定時の出力波形が設定通りに変化しない場合があります。

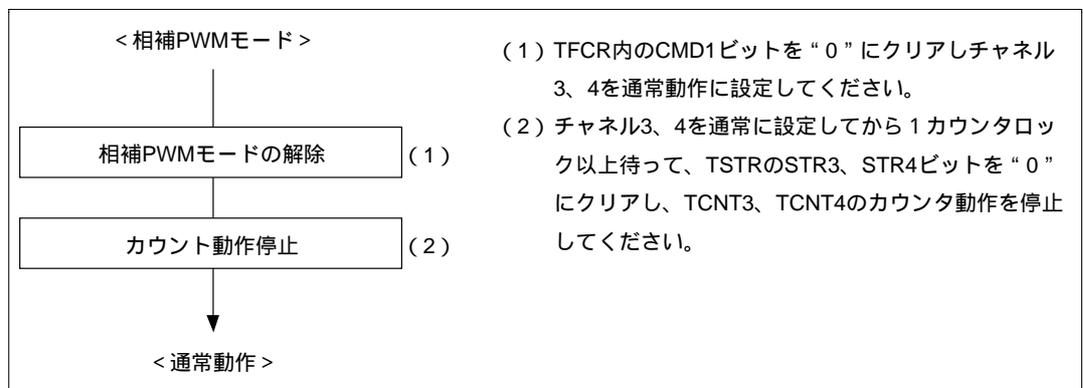


図 10.67 相補 PWM モードの解除方法

(14) インพุットキャプチャによるカウンタクリア時の注意事項

TCNTがH'FFFFの時、インพุットキャプチャによってクリア(H'0000)されたときは、オーバーフローになりません。

(14) ITUの動作モード

表 10.11 (a) ITUの動作モード(チャンネル0)

動作モード	レジスタ設定											
	TSNC	TMDR			TFCR			TOCR	TIOR0		TCR0	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	出力レベル セレクト	IOA	IOB	クリア 選択	クロック 選択
同期 プリセット	SYNC0=1											
PWM モード				PWM0=1								
アウトプット コンペア A 機能				PWM0=0					IOA2=0 他任意			
アウトプット コンペア B 機能										IOB2=0 他任意		
インプット キャプチャ A 機能				PWM0=0					IOA2=1 他任意			
インプット キャプチャ B 機能				PWM0=0						IOB2=1 他任意		
コンペアマ ッチ/イン プットキャ プチャ Aで タクリア											CCLR1=0 CCLR0=1	
コンペアマ ッチ/イン プットキャ プチャ Bで 機能 クリア											CCLR1=1 CCLR0=0	
同期クリア	SYNC0=1										CCLR1=1 CCLR0=1	

《記号説明》

設定可能(有効)です。 設定は当該動作モードに影響しません。

【注】PWM モードでは、インプットキャプチャ機能は使用できません。また、コンペアマ
ッチ A とコンペアマッチ B が同時に発生した場合、コンペアマッチ信号は禁止されま
す。

表 10.11 (b) ITU の動作モード (チャンネル 1)

動作モード	レジスタ設定											
	TSNC	TMDR			TFCR			TOCR	TIOR1		TCR1	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	出力レベル セレクト	IOA	IOB	クリア 選択	クロック 選択
同期 プリセット	SYNC1=1											
PWM モード				PWM1=1						*1		
アウトプット コンペア A 機能				PWM1=0					IOA2=0 他任意			
アウトプット コンペア B 機能										IOB2=0 他任意		
インプット キャプチャ A 機能				PWM1=0					IOA2=1 他任意			
インプット キャプチャ B 機能				PWM1=0						IOB2=1 他任意		
コンペアマ ッチ/イン プットキャ プチャ A で クリア											CCLR1=0 CCLR0=1	
コンペアマ ッチ/イン プットキャ プチャ B で 機能 クリア											CCLR1=1 CCLR0=0	
同期クリア	SYNC1=1										CCLR1=1 CCLR0=1	

《記号説明》

設定可能 (有効) です。 設定は当該動作モードに影響しません。

【注】 PWM モードでは、インプットキャプチャ機能は使用できません。また、コンペアマ
ッチ A とコンペアマッチ B が同時に発生した場合、コンペアマッチ信号は禁止され
ます。

表 10.11 (c) ITU の動作モード (チャンネル 2)

動作モード	レジスタ設定											
	TSNC	TMDR			TFCR			TOCR	TIOR2		TCR2	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	出力レベル セレクト	IOA	IOB	クリア 選択	クロック 選択
同期 プリセット	SYNC2=1											
PWM モード				PWM2=1								
アウトプット コンペア A 機能				PWM2=0					IOA2=0 他任意			
アウトプット コンペア B 機能										IOB2=0 他任意		
インプット キャプチャ A 機能				PWM2=0					IOA2=1 他任意			
インプット キャプチャ B 機能				PWM2=0						IOB2=1 他任意		
コンペアマ ッチ/イン プットキャ プチャ A で クリア											CCLR1=0 CCLR0=1	
コンペアマ ッチ/イン プットキャ プチャ B で 機能 クリア											CCLR1=1 CCLR0=0	
同期クリア	SYNC1=1										CCLR1=1 CCLR0=1	
位相計数 モード		MDF= 1										

《記号説明》

設定可能 (有効) です。 設定は当該動作モードに影響しません。

【注】 PWM モードでは、インプットキャプチャ機能は使用できません。また、コンペアマ
ッチ A とコンペアマッチ B が同時に発生した場合、コンペアマッチ信号は禁止されま
す。

表 10.11 (d) ITU の動作モード (チャンネル 3)

動作モード	レジスタ設定											
	TSNC	TMDR			TFCR			TOCR	TIOR3		TCR3	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	出力レベル セレクト	IOA	IOB	クリア 選択	クロック 選択
同期 プリセット	SYNC3=1				*2							
PWM モード				PWM3=1	CMD1=0	CMD1=0				*1		
アウトプット コンペア A 機能				PWM3=0	CMD1=0	CMD1=0			IOA2=0 他任意			
アウトプット コンペア B 機能					CMD1=0	CMD1=0				IOB2=0 他任意		
インプット キャプチャ A 機能				PWM3=0	CMD1=0	CMD1=0			IOA2=1 他任意			
インプット キャプチャ B 機能				PWM3=0	CMD1=0	CMD1=0				IOB2=1 他任意		
コンペアマ ッチ/イン プットキャ プチャ A で タ ク ク コンペアマ リ ッチ/イン ア プットキャ 機 プチャ B で 能 ク リア					CMD1=1 CMD0=0 は禁止	*3					CCLR1=0 CCLR0=1	
同期クリア	SYNC3=1				CMD1=1 CMD0=0 は禁止						CCLR1=1 CCLR0=1	
相補 PWM モード	*2				CMD1=1 CMD0=0	CMD1=1 CMD0=0					CCLR1=0 CCLR0=0	*4
リセット同期 PWM モード					CMD1=1 CMD0=1	CMD1=1 CMD0=1					CCLR1=0 CCLR0=1	
バッファ動作 (BRA)							BFA3=1 他任意					
バッファ動作 (BRB)							BFB3=1 他任意					

《記号説明》

設定可能（有効）です。 設定は当該動作モードに影響しません。

- 【注】*1 PWMモードでは、入力キャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。
- *2 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作に設定しないでください。
- *3 入力キャプチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。
- *4 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。

表 10.11 (e) ITU の動作モード (チャンネル 4)

動作モード	レジスタ設定											
	TSNC	TMDR			TFCR			TOCR	TIOR4		TCR4	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	出力レベル セレクト	IOA	IOB	クリア 選択	クロック 選択
同期 プリセット	SYNC4=1				*2							
PWM モード				PWM4=1	CMD1=0	CMD1=0				*1		
アウトプット コンペア A 機能				PWM4=0	CMD1=0	CMD1=0			IOA2=0 他任意			
アウトプット コンペア B 機能					CMD1=0	CMD1=0				IOB2=0 他任意		
インプット キャプチャ A 機能				PWM4=0	CMD1=0	CMD1=0			IOA2=1 他任意			
インプット キャプチャ B 機能				PWM4=0	CMD1=0	CMD1=0				IOB2=1 他任意		
コンペアマ ッチ/イン プットキャ プチャ A で タ ク リ ア					CMD1=1 CMD0=0 は禁止	*3					CCLR1=0 CCLR0=1	
コンペアマ ッチ/イン プットキャ プチャ B で 機 能 ク リ ア					CMD1=1 CMD0=0 は禁止	*3					CCLR1=1 CCLR0=0	
同期クリア	SYNC4=1				CMD1=1 CMD0=0 は禁止	*3					CCLR1=1 CCLR0=1	
相補 PWM モード	*2				CMD1=1 CMD0=0	CMD1=1 CMD0=0					CCLR1=0 CCLR0=0	*4
リセット同期 PWM モード					CMD1=1 CMD0=1	CMD1=1 CMD0=1					*5	*5
バッファ動作 (BRA)							BF A4 =1 他任意					
バッファ動作 (BRB)							BF A4 =1 他任意					

《記号説明》

設定可能（有効）です。 設定は当該動作モードに影響しません。

- 【注】*1 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。
- *2 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作に設定しないでください。
- *3 リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作しています。出力波形には影響しません。
- *4 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。
- *5 リセット同期PWMモード動作時は、TCNT4は独立動作しています。出力波形には影響しません。

11 . プログラマブルタイミング パターンコントローラ (TPC)

第11章 目次

11.1	概要	355
11.1.1	特長	355
11.1.2	ブロック図	356
11.1.3	端子構成	357
11.1.4	レジスタ構成	358
11.2	レジスタの説明	359
11.2.1	ポートBコントロールレジスタ1、2 (PBCR1、PBCR2)	359
11.2.2	ポートBデータレジスタ (PBDR)	359
11.2.3	ネクストデータレジスタA (NDRA)	360
11.2.4	ネクストデータレジスタB (NDRB)	362
11.2.5	ネクストデータイネーブルレジスタA (NDERA)	364
11.2.6	ネクストデータイネーブルレジスタB (NDERB)	365
11.2.7	TPC出力コントロールレジスタ (TPCR)	366
11.2.8	TPC出力モードレジスタ (TPMR)	368
11.3	動作説明	371
11.3.1	概要	371
11.3.2	出力タイミング	372
11.3.3	TPC出力通常動作	373
11.3.4	TPC出力ノンオーバーラップ動作	375
11.3.5	インプットキャプチャによるTPC出力	377
11.4	使用上の注意	378
11.4.1	ノンオーバーラップ動作時の注意	378

11.1 概要

本 LSI は、16 ビットインテグレートドタイマパルスユニット (ITU) をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPC には、次のような特長があります。

出力データ 16 ビット

最大 16 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

ITU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力間のノンオーバーラップ期間を設定することができます。

ダイレクトメモリアクセスコントローラ (DMAC) との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号で DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

11.1.2 ブロック図

TPCのブロック図を図11.1に示します。

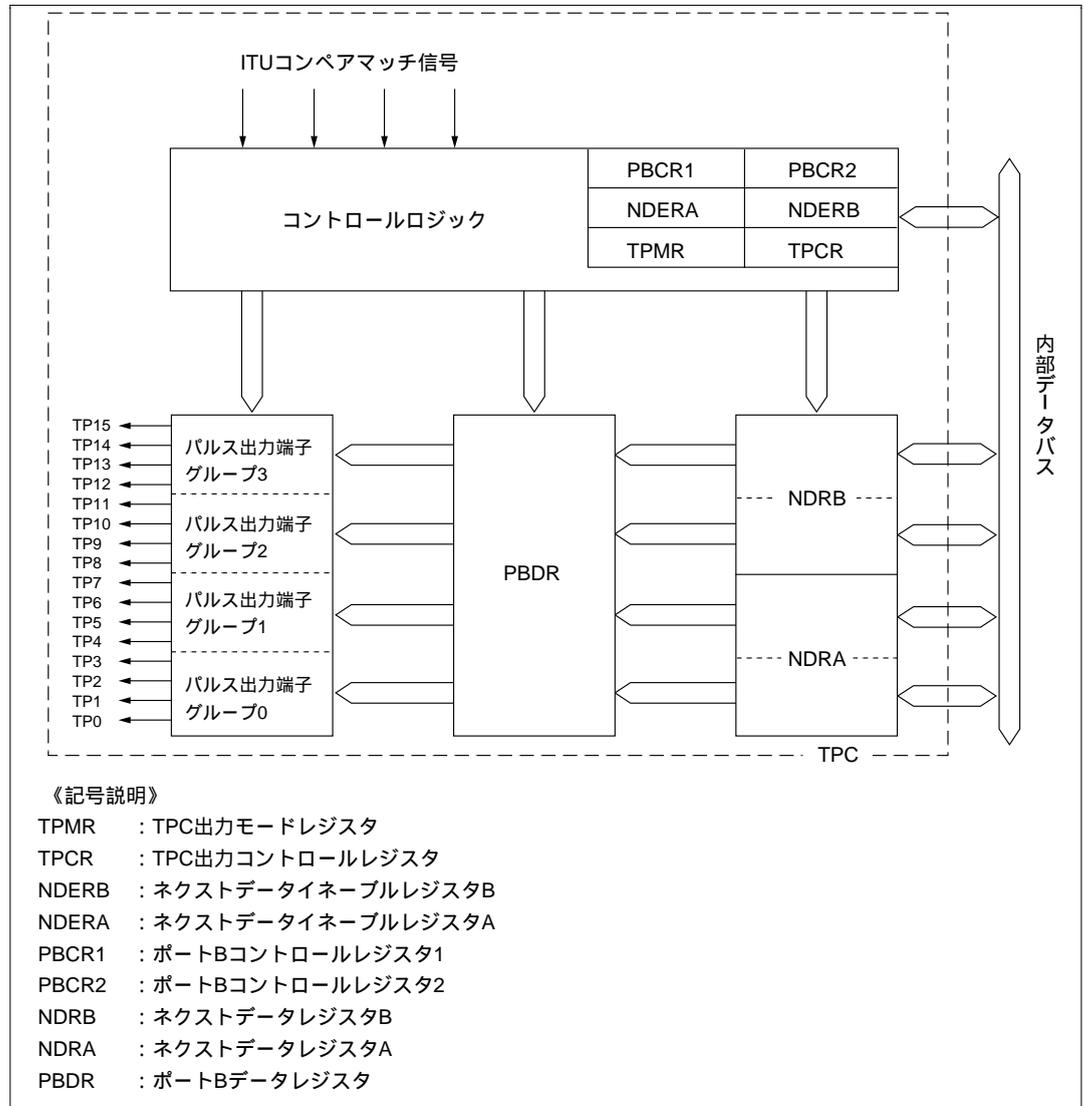


図 11.1 TPCのブロック図

11.1.3 端子構成

TPCの端子構成を表11.1に示します。

表11.1 端子構成

名 称	略 称	入 出 力	機 能
タイミングパターン出力0	TP 0	出 力	グループ0のパルス出力
タイミングパターン出力1	TP 1	出 力	
タイミングパターン出力2	TP 2	出 力	
タイミングパターン出力3	TP 3	出 力	
タイミングパターン出力4	TP 4	出 力	グループ1のパルス出力
タイミングパターン出力5	TP 5	出 力	
タイミングパターン出力6	TP 6	出 力	
タイミングパターン出力7	TP 7	出 力	
タイミングパターン出力8	TP 8	出 力	グループ2のパルス出力
タイミングパターン出力9	TP 9	出 力	
タイミングパターン出力10	TP10	出 力	
タイミングパターン出力11	TP11	出 力	
タイミングパターン出力12	TP12	出 力	グループ3のパルス出力
タイミングパターン出力13	TP13	出 力	
タイミングパターン出力14	TP14	出 力	
タイミングパターン出力15	TP15	出 力	

11.1.4 レジスタ構成

TPCのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス ^{*1}	アクセスサイズ
ポートBコントロールレジスタ1	PBCR1	R/W	H'0000	H'5FFFFCC	8、16
ポートBコントロールレジスタ2	PBCR2	R/W	H'0000	H'5FFFFCE	8、16
ポートBデータレジスタ	PBDR	R/(W) ^{*2}	H'0000	H'5FFFFC2	8、16
TPC出力モードレジスタ	TPMR	R/W	H'F0	H'5FFFFF0	8、16
TPC出力コントロールレジスタ	TPCR	R/W	H'FF	H'5FFFFF1	8、16
ネクストデータインーブルレジスタB	NDERB	R/W	H'00	H'5FFFFF2	8、16
ネクストデータインーブルレジスタA	NDERA	R/W	H'00	H'5FFFFF3	8、16
ネクストデータレジスタA	NDRA	R/W	H'00	H'5FFFFF5/ H'5FFFFF7 ^{*3}	8、16
ネクストデータレジスタB	NDRB	R/W	H'00	H'5FFFFF4/ H'5FFFFF6 ^{*3}	8、16

【注】 *1 A27～A24ビットとA8～A0ビットの値のみ有効で、A23～A9ビットは無視されます。
レジスタアドレスの詳細は「8.3.5 エリアの説明」を参照してください。

*2 TPC出力として使用しているビットは、書き込むことができません。

*3 TPCRの設定によりTPC出力グループ0とTPC出力グループ1の出力トリガが同一の場合はNDRAのアドレスはH'5FFFFF5となり、出力トリガが異なる場合はグループ0に対応するNDRAのアドレスはH'5FFFFF7、グループ1に対応するNDRAのアドレスはH'5FFFFF5となります。同様に、TPCRの設定によりTPC出力グループ2とTPC出力グループ3の出力トリガが同一の場合はNDRBのアドレスはH'5FFFFF4となり、出力トリガが異なる場合はグループ2に対応するNDRBのアドレスはH'5FFFFF6、グループ3に対応するNDRBのアドレスはH'5FFFFF4となります。

11.2 レジスタの説明

11.2.1 ポートBコントロールレジスタ 1、2 (PBCR1、PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBCR1	PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	PB13 MD1	PB13 MD0	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W											

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBCR2	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ポートBコントロールレジスタ 1、2 (PBCR1、PBCR2) は16ビットの読み出し / 書き込み可能なレジスタで、ポートBの各端子の機能を設定します。

ポートBはTP15~TP0端子との兼用端子となっています。TPC出力を行う端子に対応する2つのビットを11にセットしてください。PBCR1、PBCR2の詳細は「15. ピンファンクションコントローラ (PFC)」を参照してください。

11.2.2 ポートBデータレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBDR	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)

【注】* NDERA、NDERBにより、TPC出力に設定されたビットは読み出し専用となります。

ポートBデータレジスタ (PBDR) は16ビットの読み出し / 書き込み可能なレジスタで、TPC出力を使用する場合、PBDRはグループ0~3の出力データを格納します。PBDRの詳細は、「16. I/Oポート」を参照してください。

11.2.3 ネクストデータレジスタ A (NDRA)

ネクストデータレジスタ A (NDRA) は 8 ビットの読み出し / 書き込み可能なレジスタで、TPC 出力グループ 1、0 (TP7 ~ TP0 端子) の次の出力データを格納します。TPC 出力を行う場合、TPC 出力コントロールレジスタ (TPCR) で指定した ITU のコンペアマッチが発生したときに、NDRA の内容がポート B データレジスタ (PBDR) の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 1、0 の出力トリガを同一に設定した場合と、異なるように設定した場合とで異なります。

NDRA はリセット時に H'00 に初期化されます。スタンバイモード時には初期化されません。

(1) TPC 出力グループ 1、0 の出力トリガが同一の場合

TPC 出力グループ 1、0 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'5FFFFFF5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'5FFFFFF7 はすべて予約ビットとなります。予約ビットは読み出すと常に 1 が読み出され、書き込む値も常に 1 にしてください。

アドレス : H'5FFFFFF5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット 7 ~ 4 : ネクストデータ 7 ~ 4 (NDR7 ~ NDR4)

TPC 出力グループ 1 の次の出力データを格納するビットです。

ビット 3 ~ 0 : ネクストデータ 3 ~ 0 (NDR3 ~ NDR0)

TPC 出力グループ 0 の次の出力データを格納するビットです。

アドレス : H'5FFFFFF7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

ビット7～0 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

(2) TPC 出力グループ0、1の出力トリガが異なる場合

TPC 出力グループ0、1の出力トリガとなるコンペアマッチを別にする、NDRA の上位4ビット(グループ1)のアドレスはH'5FFFFFF5、NDRA の下位4ビット(グループ0)のアドレスはH'5FFFFFF7となります。このとき、アドレスH'5FFFFFF5のビット3～0、アドレスH'5FFFFFF7のビット7～4は予約ビットとなります。予約ビットは読み出すと常に1が読み出され、書き込む値も常に1にしてください。

アドレス H'5FFFFFF5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ビット7～4 : ネクストデータ7～4 (NDR7～NDR4)

TPC 出力グループ1の次の出力データを格納するビットです。

ビット3～0 : 予約ビット

読み出すと常に1が読み出されます。書き込む値は常に1にしてください。

アドレス H'5FFFFFF7

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

ビット 7 ~ 4 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 3 ~ 0 : ネクストデータ 3 ~ 0 (NDR3~NDR0)

TPC 出力グループ 0 の次の出力データを格納するビットです。

11.2.4 ネクストデータレジスタ B (NDRB)

ネクストデータレジスタ B (NDRB) は 8 ビットの読み出し / 書き込み可能なレジスタで、TPC 出力グループ 3、2 (TP15 ~ TP8 端子) の次の出力データを格納します。TPC 出力を行う場合、TPC 出力コントロールレジスタ (TPCR) で指定した ITU のコンペアマッチが発生したときに、NDRB の内容がポート B データレジスタ (PBDR) の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット時に H'00 に初期化されます。スタンバイモード時には初期化されません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'5FFFFFF4 となります。グループ 3、2 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'5FFFFFF6 はすべて予約ビットとなります。予約ビットは読み出すと常に 1 が読み出され、書き込む値も常に 1 にしてください。

アドレス H'5FFFFFF4

ビット:	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 ~ 4 : ネクストデータ 15 ~ 12 (NDR15 ~ NDR12)

TPC 出力グループ 3 の次の出力データを格納します。

ビット 3 ~ 0 : ネクストデータ 11 ~ 8 (NDR11 ~ NDR8)

TPC 出力グループ 2 の次の出力データを格納します。

アドレス : H'5FFFFFF6

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	-	-	-	-	-	-	-	-

ビット 7 ~ 0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'5FFFFFF4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'5FFFFFF6 となります。このとき、アドレス H'5FFFFFF4 のビット 3 ~ 0、アドレス H'5FFFFFF6 のビット 7 ~ 4 は予約ビットとなります。予約ビットは読み出すと常に 1 が読み出され、書き込む値も常に 1 にしてください。

アドレス : H'5FFFFFF4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ビット 7 ~ 4 : ネクストデータ 15 ~ 12 (NDR15 ~ NDR12)

TPC 出力グループ 3 の次の出力データを格納するビットです。

ビット 3 ~ 0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

アドレス : H'5FFFFFF6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ビット 7 ~ 4 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 3 ~ 0 : ネクストデータ 11 ~ 8 (NDR11 ~ NDR8)

TPC 出力グループ 2 の次の出力データを格納するビットです。

11.2.5 ネクストデータイネーブルレジスタ A (NDERA)

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ネクストデータイネーブルレジスタ A (NDERA) は 8 ビットの読み出し / 書き込み可能なレジスタで、TPC 出力グループ 1、0 (TP7 ~ TP0 端子) の許可 / 禁止をビット単位で選択します。

NDERA により TPC 出力が許可されたビットは、TPC 出力コントロールレジスタ (TPCR) で選択された ITU のコンペアマッチが発生すると、ネクストデータレジスタ A (NDRA) の値がポート B データレジスタ (PBDR) の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PBDR への転送は行われず出力値も変化しません。

NDERA はリセット時に H'00 に初期化されます。スタンバイモード時には初期化されません。

ビット 7 ~ 0 : ネクストデータイネーブル 7 ~ 0 (NDER7 ~ NDER0)

TPC 出力グループ 1、0 (TP7 ~ TP0 端子) の許可 / 禁止をビット単位で選択します。

ビット 7~0	説明
NDER7 ~ NDER0	
0	TPC 出力 TP7 ~ TP0 を禁止 (NDR7 ~ NDR0 から PB7 ~ PB0 への転送禁止) (初期値)
1	TPC 出力 TP7 ~ TP0 を許可 (NDR7 ~ NDR0 から PB7 ~ PB0 への転送許可)

11.2.6 ネクストデータイネーブルレジスタ B (NDERB)

ネクストデータイネーブルレジスタ B (NDERB) は 8 ビットの読み出し / 書き込み可能なレジスタで、TPC 出力グループ 3、2 (TP15 ~ TP8 端子) の許可 / 禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERB により TPC 出力が許可されたビットは、TPC 出力コントロールレジスタ (TPCR) で選択された ITU のコンペアマッチが発生すると、ネクストデータレジスタ B (NDRB) の値がポート B データレジスタ (PBDR) の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット時に H'00 に初期化されます。スタンバイモード時には初期化されません。

ビット7～0：ネクストデータイネーブル15～8（NDER15～NDER8）

TPC出力グループ3、2（TP15～TP8端子）の許可/禁止をビット単位で選択します。

ビット7～0	説明
NDER15～NDER8	
0	TPC出力TP15～TP8を禁止（NDR15～NDR8からPB15～PB8への転送禁止） （初期値）
1	TPC出力TP15～TP8を許可（NDR15～NDR8からPB15～PB8への転送許可）

11.2.7 TPC出力コントロールレジスタ（TPCR）

ビット：	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

TPC出力コントロールレジスタ（TPCR）は8ビットの読み出し/書き込み可能なレジスタで、TPC出力の出力トリガ信号をグループ単位で選択します。

TPCRは、リセット時にH'FFに初期化されます。スタンバイモード時には初期化されません。

ビット7、6：グループ3コンペアマッチセレクト1、0（G3CMS1、G3CMS0）

TPC出力グループ3（TP15～TP12端子）の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説明
G3CMS1	G3CMS0	
0	0	TPC出力グループ3（TP15～TP12端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3（TP15～TP12端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3（TP15～TP12端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3（TP15～TP12端子）の出力トリガは、ITUチャンネル3のコンペアマッチ （初期値）

ビット5、4：グループ2コンペアマッチセレクト1、0（G2CMS1、G2CMS0）

TPC出力グループ2（TP11～TP8端子）の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説明
G2CMS1	G2CMS0	
0	0	TPC出力グループ2（TP11～TP8端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2（TP11～TP8端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2（TP11～TP8端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2（TP11～TP8端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット3、2：グループ1コンペアマッチセレクト1、0（G1CMS1、G1CMS0）

TPC出力グループ1（TP7～TP4端子）の出力トリガとなるコンペアマッチを選択します。

ビット3	ビット2	説明
G1CMS1	G1CMS0	
0	0	TPC出力グループ1（TP7～TP4端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1（TP7～TP4端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1（TP7～TP4端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1（TP7～TP4端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット1、0 : グループ0 コンペアマッチセレクト1、0 (G0CMS1、G0CMS0)

TPC 出力グループ0 (TP3~TP0 端子) の出力トリガとなるコンペアマッチを選択します。

ビット1	ビット0	説明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ0 (TP3~TP0 端子) の出力トリガは、ITU チャンネル0 のコンペアマッチ
	1	TPC 出力グループ0 (TP3~TP0 端子) の出力トリガは、ITU チャンネル1 のコンペアマッチ
1	0	TPC 出力グループ0 (TP3~TP0 端子) の出力トリガは、ITU チャンネル2 のコンペアマッチ
	1	TPC 出力グループ0 (TP3~TP0 端子) の出力トリガは、ITU チャンネル3 のコンペアマッチ (初期値)

11.2.8 TPC 出力モードレジスタ (TPMR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

TPC 出力モードレジスタ(TPMR)は8ビットの読み出し/書き込み可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる ITU のジェネラルレジスタ B (GRB) に出力波形の周期を、またジェネラルレジスタ A (GRA) にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット時に H'F0 に初期化されます。スタンバイモード時には初期化されません。

ビット7~4 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット3：グループ3 ノンオーバーラップ (G3NOV)

TPC 出力グループ3 (TP15～TP12 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット3	説明
G3NOV	
0	TPC 出力グループ3 は、通常動作 (選択された ITU コンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ3 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット2：グループ2 ノンオーバーラップ (G2NOV)

TPC 出力グループ2 (TP11～TP8 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説明
G2NOV	
0	TPC 出力グループ2 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ2 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット1：グループ1 ノンオーバーラップ (G1NOV)

TPC 出力グループ1 (TP7～TP4 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット1	説明
G1NOV	
0	TPC 出力グループ1 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ1 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

11. プログラマブルタイミングパターンコントローラ(TPC)

ビット0 : グループ0 ノンオーバーラップ (G0NOV)

TPC 出力グループ0 (TP3~TP0 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット0	説明
G0NOV	
0	TPC 出力グループ0 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ0 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

11.3 動作説明

11.3.1 概要

TPC出力は、ポートBコントロールレジスタ1 (PBCR1)、ポートBコントロールレジスタ2 (PBCR2)とネクストデータイネーブルレジスタA (NDERA)、ネクストデータイネーブルレジスタB (NDERB)の対応するビットをそれぞれ1にセットすることにより許可状態となります。この状態では、対応するポートBデータレジスタ (PBDR)の内容が出力されます。

その後、TPC出力コントロールレジスタ (TPCR)で指定したコンペアマッチが発生すると、ビットに対応するネクストデータレジスタA (NDRA)およびネクストデータレジスタB (NDRB)の内容がそれぞれPBDRに転送され、出力値が更新されます。

TPC出力動作を図11.2に示します。

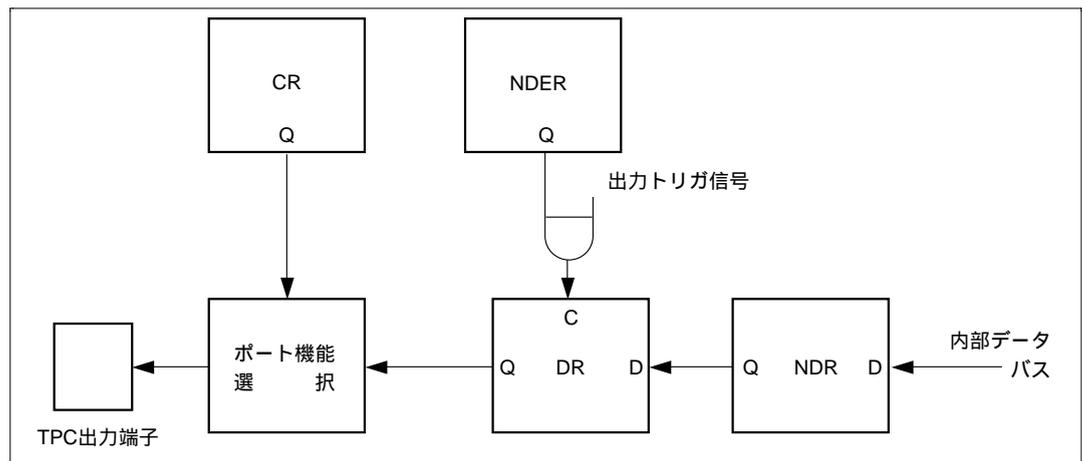


図 11.2 TPC 出力動作

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、ネクストデータレジスタ A (NDRA) / ネクストデータレジスタ B (NDRB) の内容がポート B データレジスタ (PBDR) に転送され、出力されます。

このタイミングを図 11.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

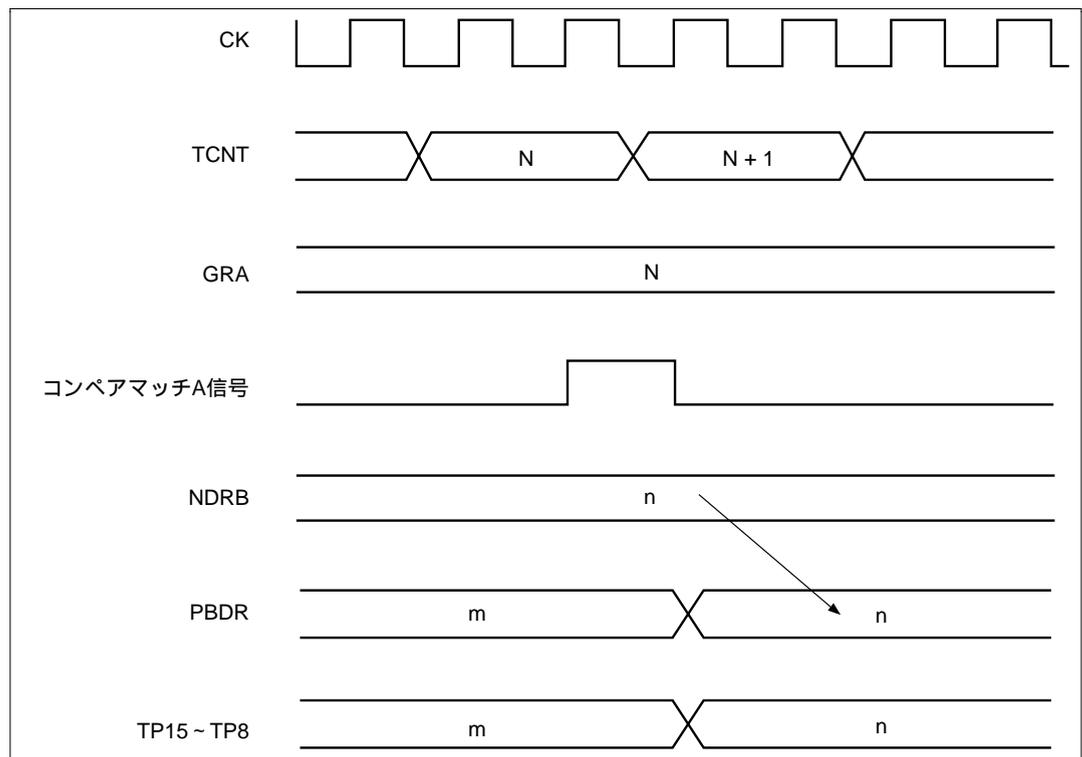


図 11.3 NDRB の内容が転送・出力されるタイミング (例)

11.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 11.4 に示します。

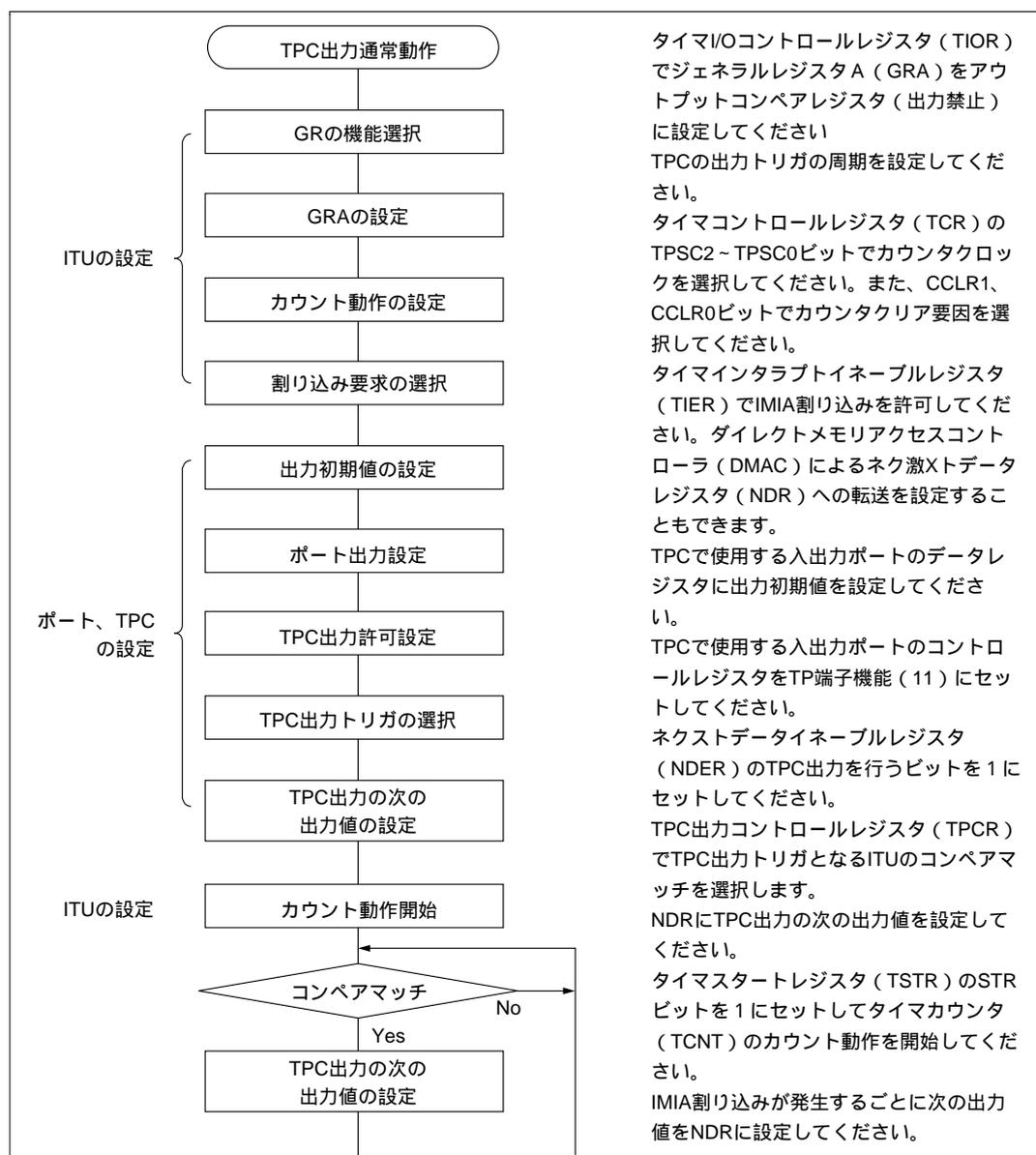


図 11.4 TPC 出力通常動作の設定手順例

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。

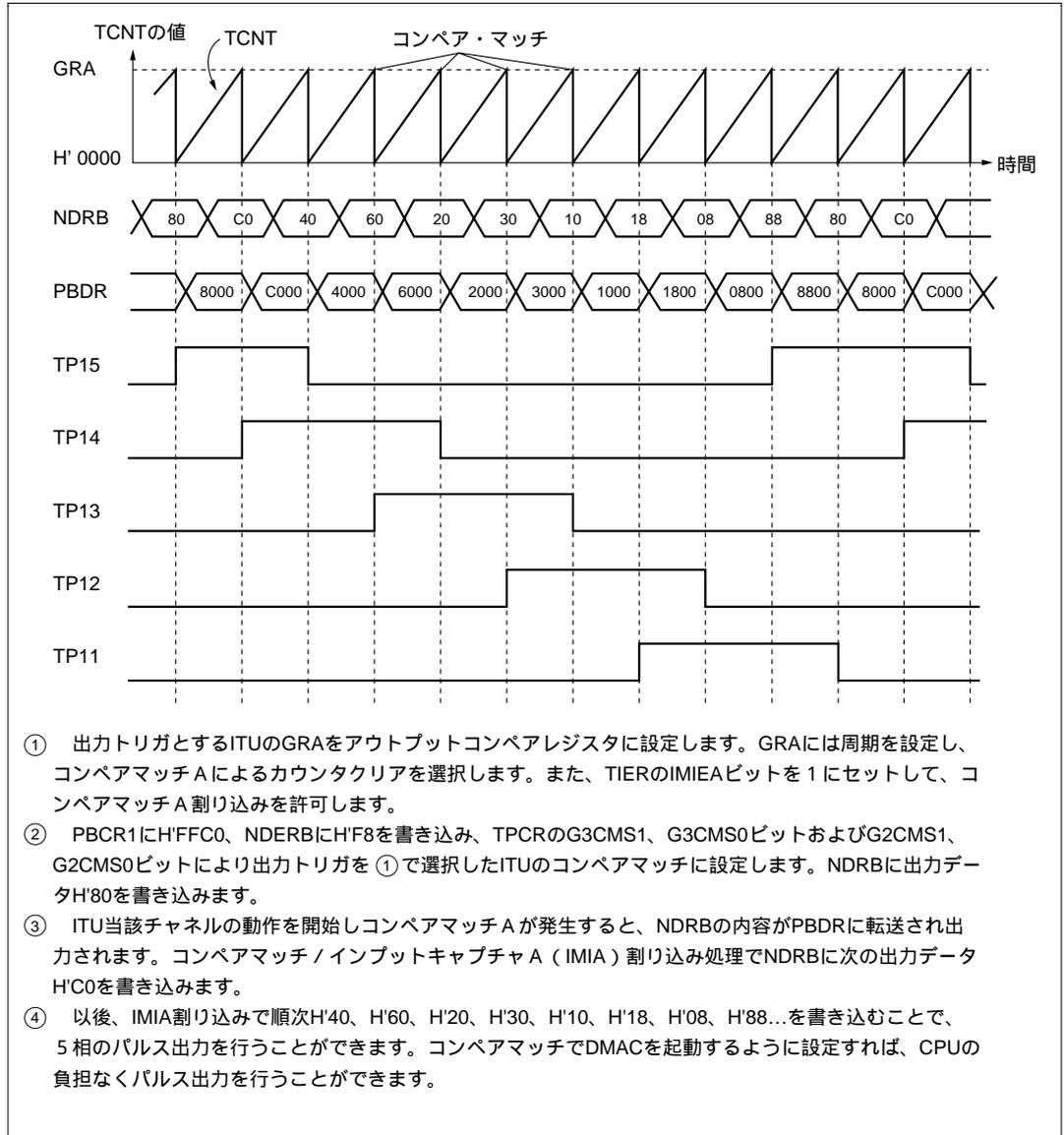


図 11.5 TPC 出力通常動作例 (5 相パルス出力例)

11.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

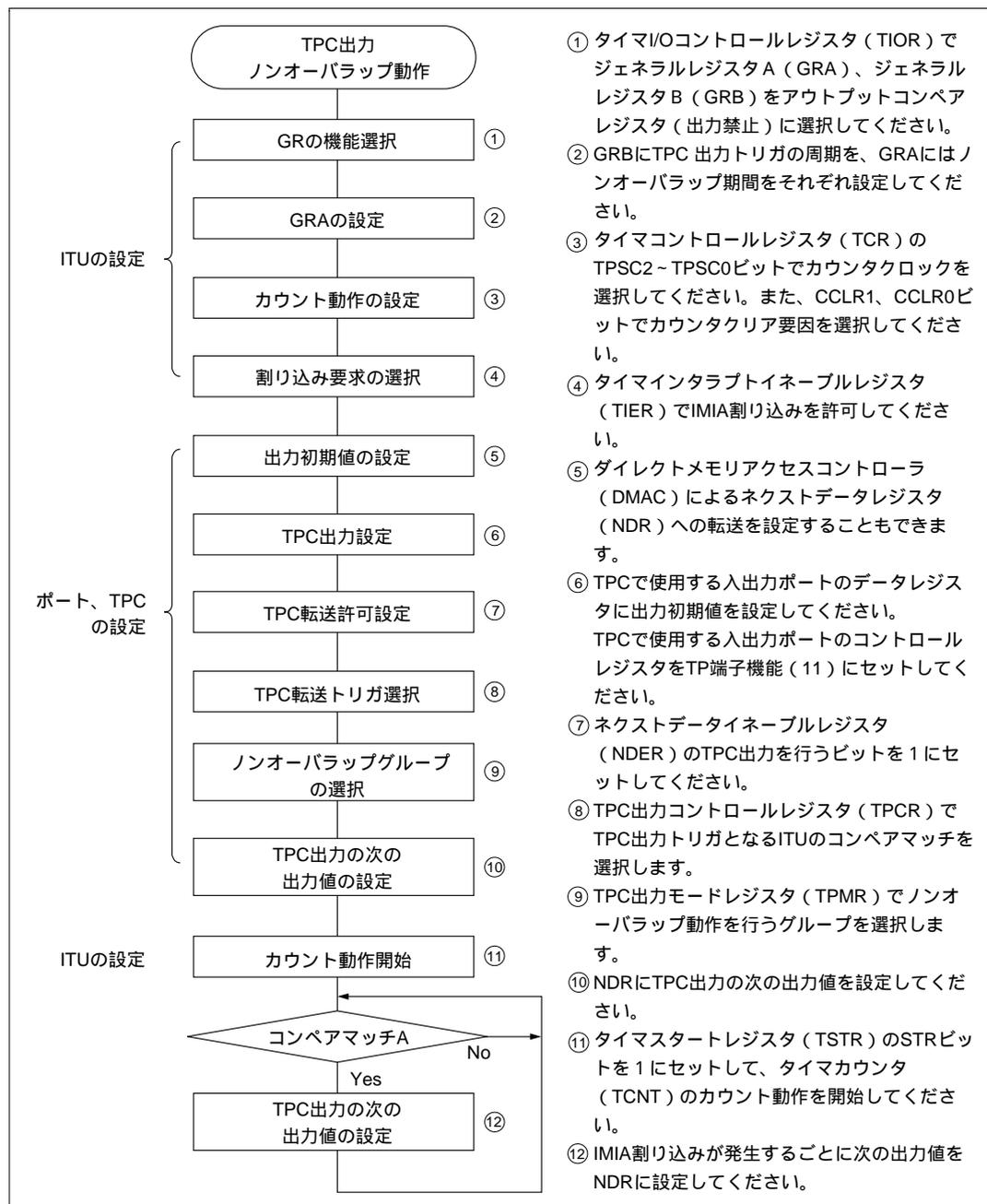


図 11.6 TPC 出力ノンオーバーラップ動作の設定手順例

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC 出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

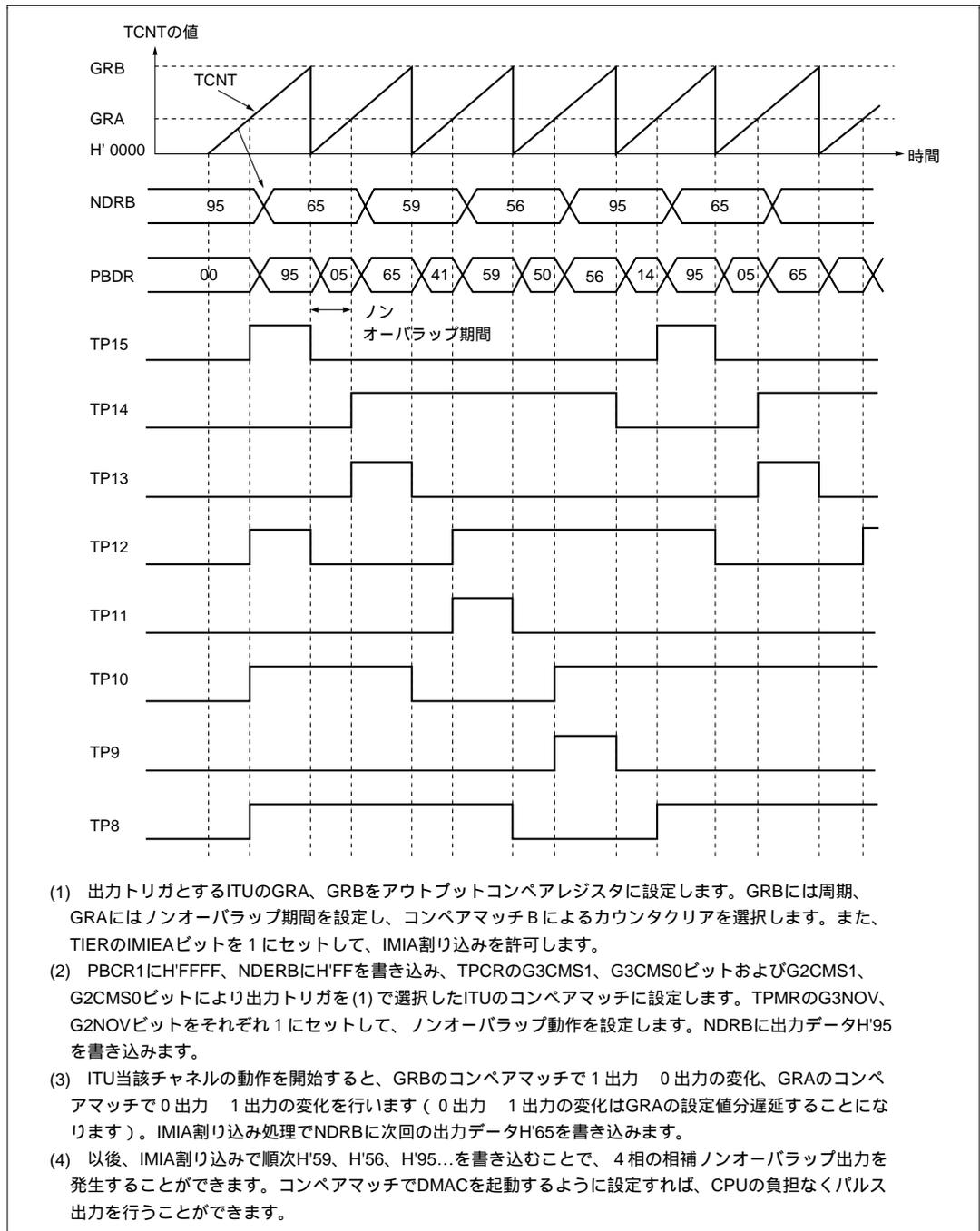


図 11.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

11.3.5 インพุットキャプチャによる TPC 出力

TPC 出力は、ITU のコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPC 出力コントロールレジスタ (TPCR) によって選択された ITU のジェネラルレジスタ A (GRA) がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号により TPC 出力を行います。

このタイミングを図 11.8 に示します。

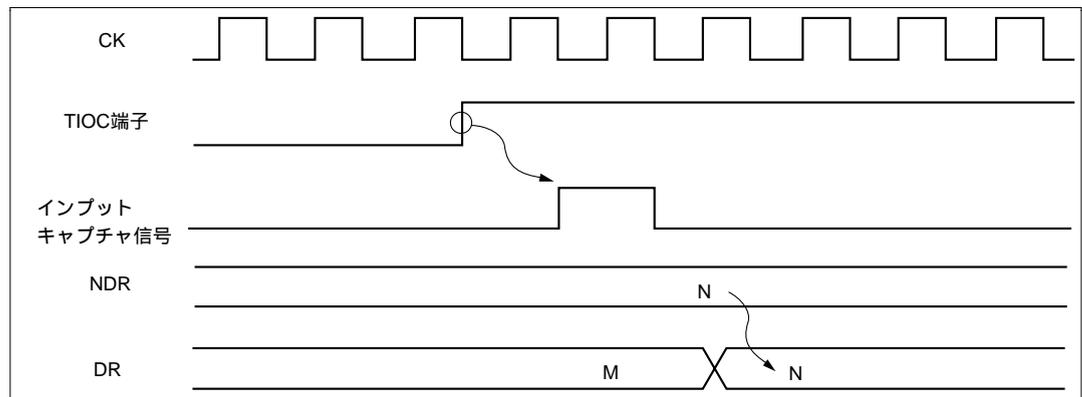


図 11.8 インพุットキャプチャによる TPC 出力例

11.4 使用上の注意

11.4.1 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時のネクストデータレジスタ (NDR) からデータレジスタ (DR) への転送は以下のようになっています。

- (1) コンペアマッチ A では NDR の内容を常に DR へ転送します。
- (2) コンペアマッチ B では NDR の転送するビットの内容が 0 のときのみ転送を行います。1 のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 11.9 に示します。

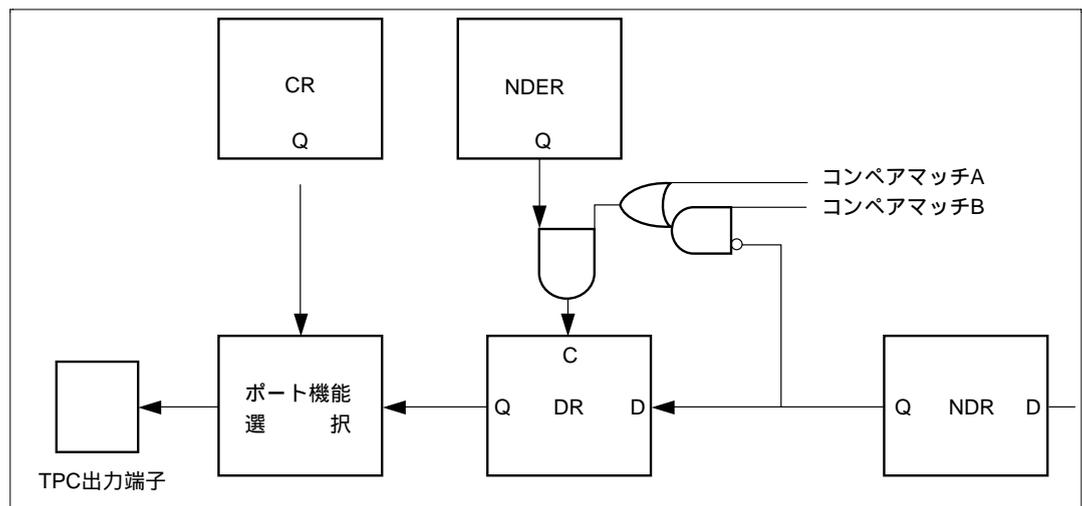


図 11.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先だって行うことが可能になり、ノンオーバーラップ波形を出力できます。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは IMIA 割り込みの割り込み処理ルーチンで NDR に次のデータを書き込むことによって実現できます。また、IMIA 割り込みでダイレクトメモリアクセスコントローラ（DMAC）を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.10 に示します。

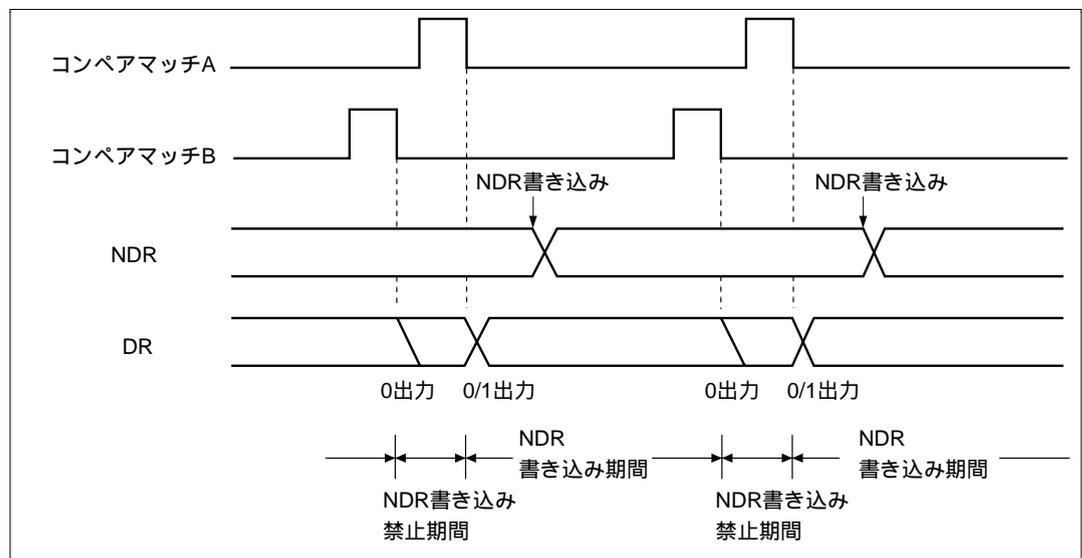


図 11.10 ノンオーバーラップ動作と NDR ライトタイミング

12 . ウォッチドッグタイマ (WDT)

第12章 目次

12.1	概要	383
12.1.1	特長	383
12.1.2	ブロック図	384
12.1.3	端子構成	384
12.1.4	レジスタ構成	385
12.2	レジスタの説明	386
12.2.1	タイマカウンタ (TCNT)	386
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	386
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	388
12.2.4	レジスタアクセス時の注意	390
12.3	動作説明	392
12.3.1	ウォッチドッグタイマモード時の動作	392
12.3.2	インターバルタイマモード時の動作	394
12.3.3	スタンバイモード解除時の動作	394
12.3.4	オーバフローフラグ (OVF) のセットタイミング	395
12.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) の セットタイミング	396
12.4	使用上の注意	397
12.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	397
12.4.2	CKS2 ~ CKS0 ビットの書き換え	397
12.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り換え	398
12.4.4	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	398
12.4.5	ウォッチドッグタイマモードでの内部リセット	398

12.1 概 要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号($\overline{\text{WDTOVF}}$)を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDTはスタンバイモードの解除時にも使用されます。

12.1.1 特 長

WDTには次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

スタンバイモードの解除時に使用

8種類のカウンタ入力クロックを選択可能

12.1.2 ブロック図

WDTのブロック図を図 12.1 に示します。

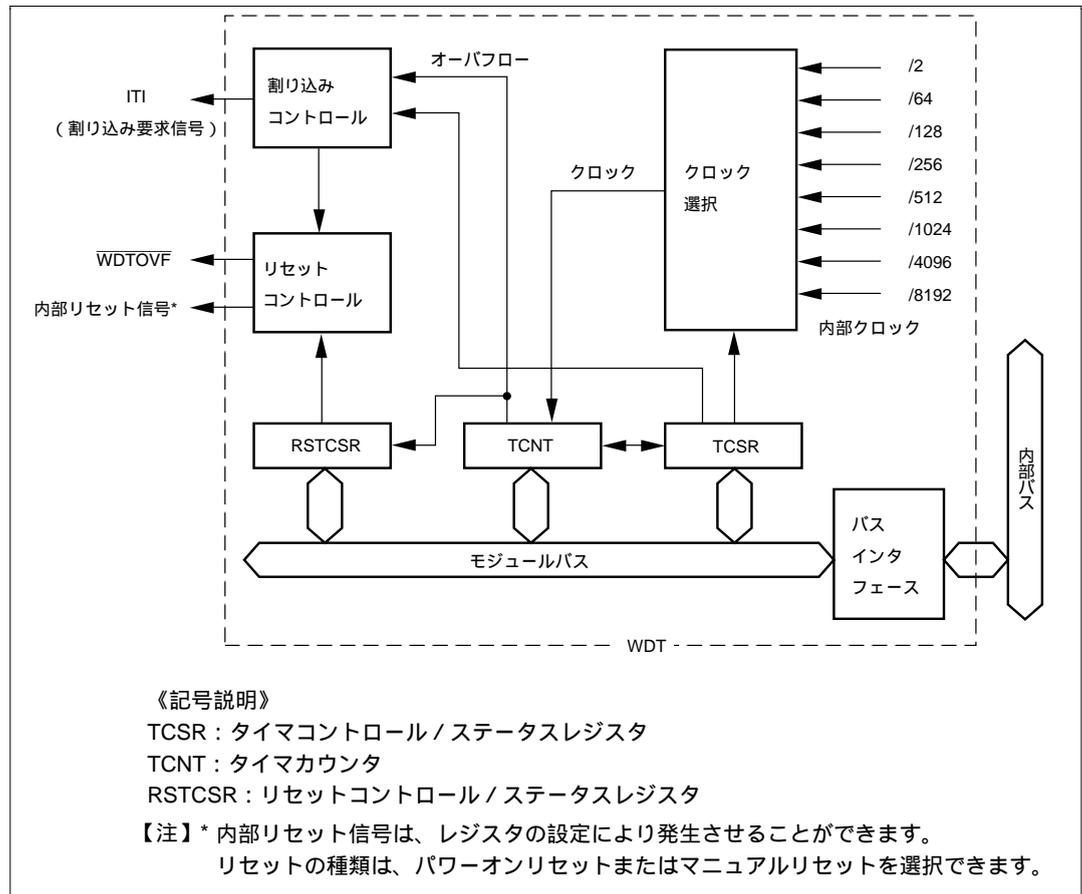


図 12.1 WDTのブロック図

12.1.3 端子構成

WDTの端子を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

12.1.4 レジスタ構成

WDTには、表12.2に示すように3本のレジスタがあります。これらのレジスタにより、クロックの選択、WDTのモードの切り換え、リセット信号の制御などを行います。

表12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ステータス レジスタ	TCSR	R/(W)* ³	H'18	H'5FFFFB8	H'5FFFFB8
タイマカウンタ	TCNT	R/W	H'00		H'5FFFFB9
リセットコントロール/ステータ スレジスタ	RSTCSR	R/(W)* ³	H'1F	H'5FFFFBA	H'5FFFFBB

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット7には、フラグをクリアするために、0のみ書き込むことができます。

12.2 レジスタの説明

12.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な*8ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、リセットまたは TME ビットが 0 のとき、H'00 に初期化されます。スタンバイモード時には初期化されません。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

12.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な*8ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット 7 ~ 5 は、リセットおよびスタンバイモード時に 000 に初期化されます。ビット 2 ~ 0 は、リセットで 000 に初期化されますが、スタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：オーバフローフラグ (OVF)

インターバルタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

ビット6：タイマモードセレクト (WT/ \bar{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット6	説明
WT/ \bar{IT}	
0	インターバルタイマモード：TCNT がオーバフローしたとき CPU へインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバフローしたとき \overline{WDTOVF} 信号を外部へ出力*

【注】* ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は「12. 2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマイネーブル：TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNT はカウントアップを開始。TCNT がオーバフローすると、 \overline{WDTOVF} 信号または割り込みが発生。

ビット4、3：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=20MHzの場合)
0	0	0	/2 (初期値)	25.6 μs
		1	/64	819.2 μs
	1	0	/128	1.6 ms
		1	/256	3.3 ms
1	0	0	/512	6.6 ms
		1	/1024	13.1 ms
	1	0	/4096	52.4 ms
		1	/8192	104.9 ms

【注】* オーバーフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	-	-	-	-	-

【注】* ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な8ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSRは、 \overline{RES} 端子からのリセット信号でH'1Fに初期化されますが、WDTのオーバーフローによる内部リセット信号では初期化されません。スタンバイモード時には、H'1Fに初期化されます。

【注】* RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] WOVFを読み出してから WOVF に 0 を書き込む
1	ウォッチドッグタイマモードで TCNT のオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSET	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき、内部リセットする

【注】* 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードで TCNT がオーバフローして発生する内部リセットの種類を選択します。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

12.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

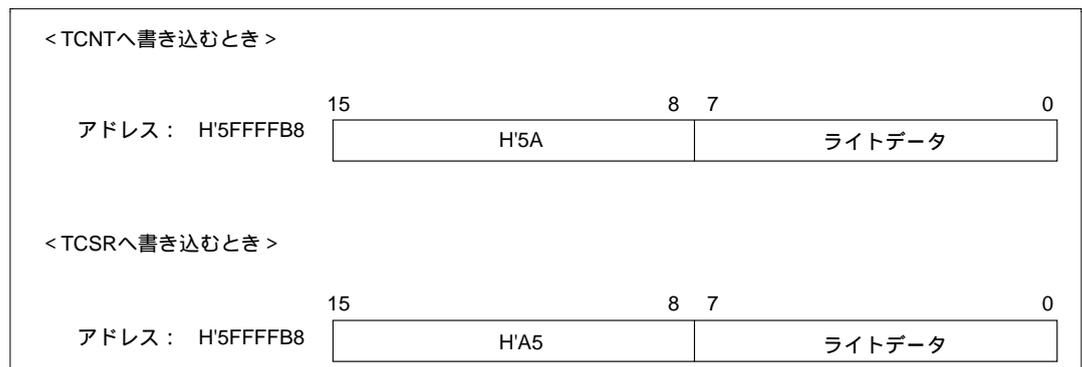


図 12.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'5FFFFB8A に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 12.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

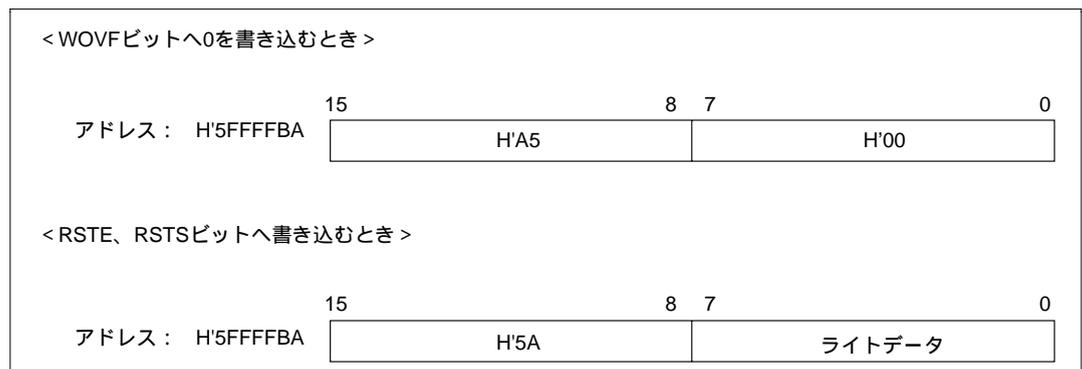


図 12.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'5FFFFB8 に、TCNT は、アドレス H'5FFFFB9 に、RSTCSR は、アドレス H'5FFFFBB に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ(TCSR)のWT/ITビットとTMEビットの両方を1に設定してください。また、タイマカウンタ(TCNT)がオーバーフローする前に必ずTCNTの値を書き換えて(通常はH'00を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNTのオーバーフローが発生しませんが、システムの暴走などによりTCNTの値が書き換えられずオーバーフローすると、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図12.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、128クロックの間出力されません。

リセットコントロール/ステータスレジスタ(RSTCSR)のRSTEビットを1にセットしておくと、TCNTがオーバーフローしたときに、 $\overline{\text{WDTOVF}}$ 信号と同時に、本LSIの内部をリセットする信号が発生します。このリセットは、RSTCSRのRSTSビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512クロックの間出力されます。

$\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSRのWOVFビットは0にクリアされます。

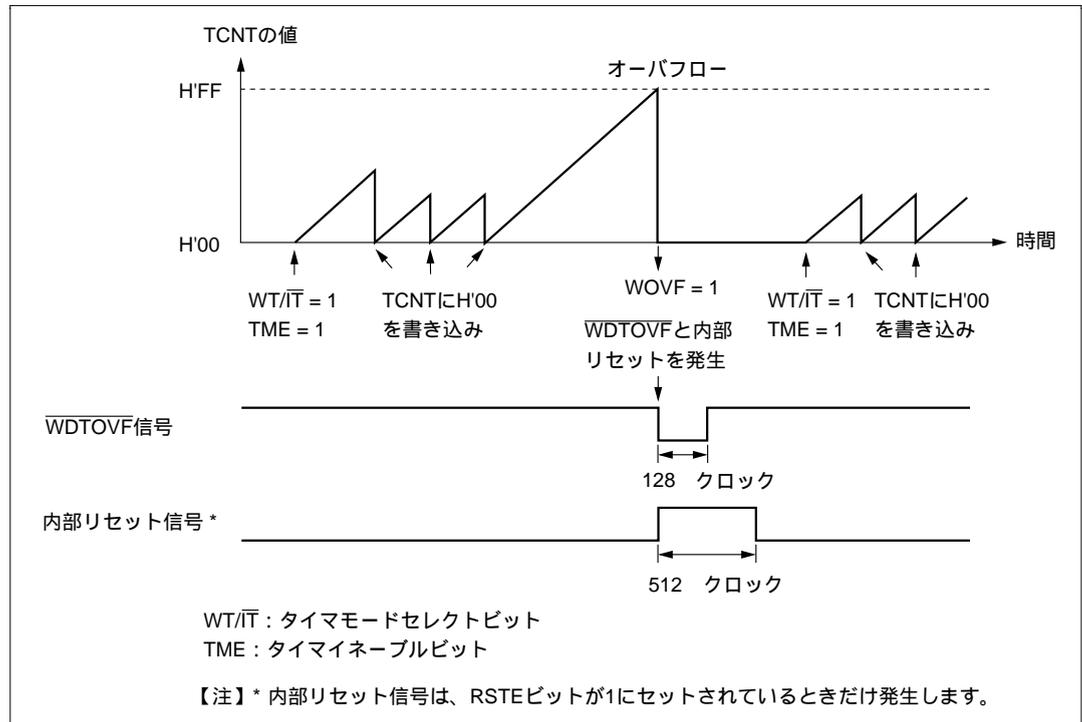


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 12.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

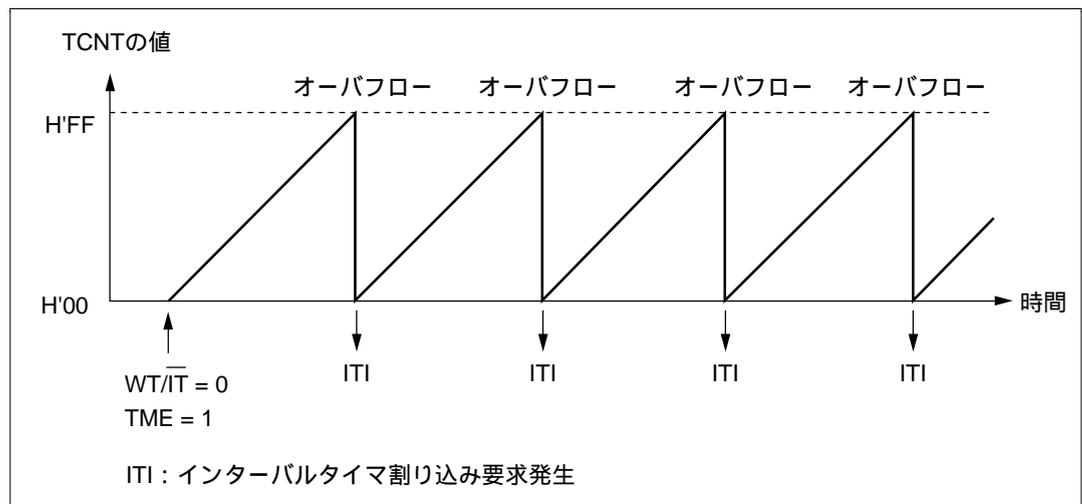


図 12.5 インターバルタイマモード時の動作

12.3.3 スタンバイモード解除時の動作

WDT は、スタンバイモードが NMI 割り込みで解除されるときに使用されます。スタンバイモードを使用する場合は、WDT を次の(1)に示すように設定してください。

(1) スタンバイモード遷移前の設定

スタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、スタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバーフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「20.3 AC 特性」を参照してください。

(2) スタンバイモード解除時の動作

スタンバイモードでNMI信号が入力されると、発振器が動作を開始し、TCNTはスタンバイモード遷移前にCKS2~CKS0ビットで選択しておいたクロックにより、カウントアップを開始します。TCNTがオーバーフロー(H'FF H'00)すると、クロックが安定し使用可能であると判断され、本LSI全体にクロックが供給されます。これによって、スタンバイモードが解除されます。

スタンバイモードの詳細については、「19. 低消費電力状態」を参照してください。

12.3.4 オーバフローフラグ(OVF)のセットタイミング

インターバルタイマモードでタイマカウンタ(TCNT)がオーバーフローすると、タイマコントロール/ステータスレジスタ(TCSR)のOVFビットが1にセットされ、同時にインターバルタイマ割り込み(ITI)が要求されます。このタイミングを図12.6に示します。

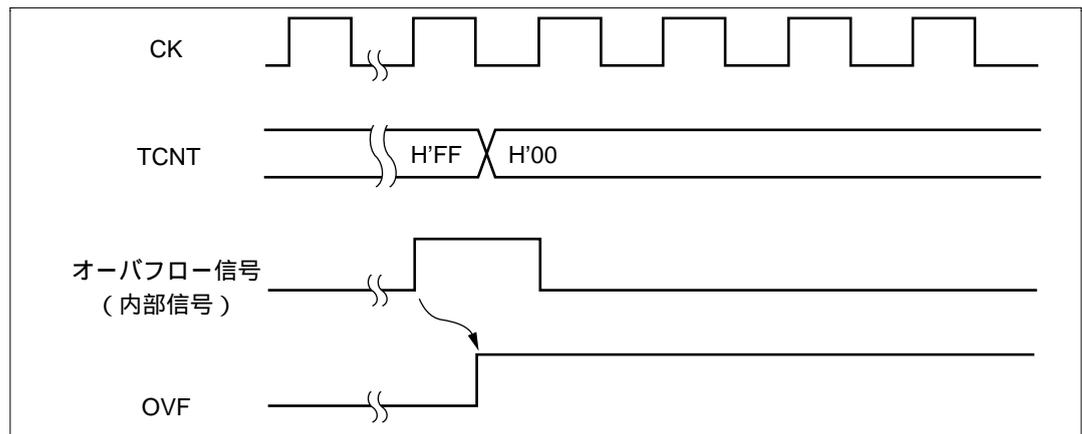


図 12.6 オーバフローフラグ(OVF)のセットタイミング

12.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.7 に示します。

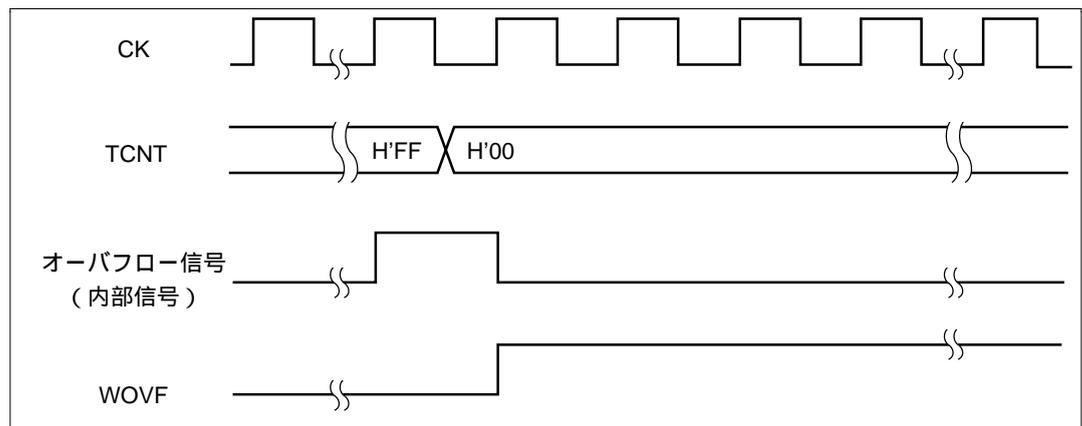


図 12.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

12.4 使用上の注意

12.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 12.8 に示します。

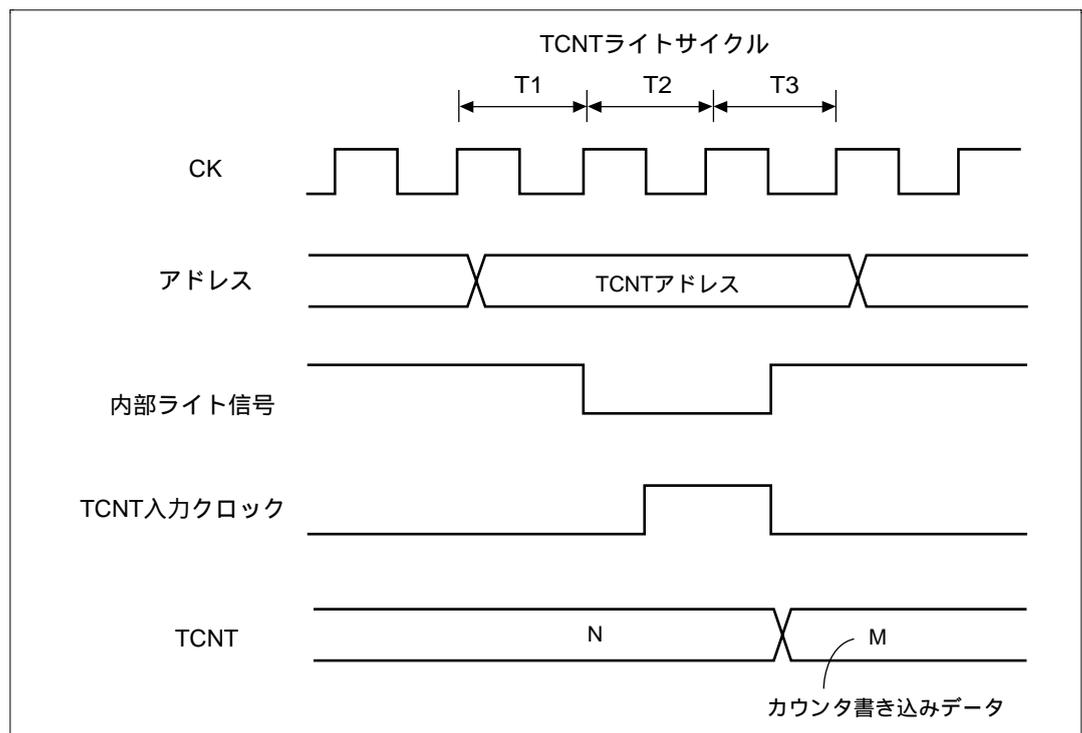


図 12.8 TCNT の書き込みとカウントアップの競合

12.4.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中にタイマコントロール / ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り換え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り換えると、正しい動作が行われない場合があります。タイマモードの切り換えは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

12.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.9 に示すような回路で行ってください。

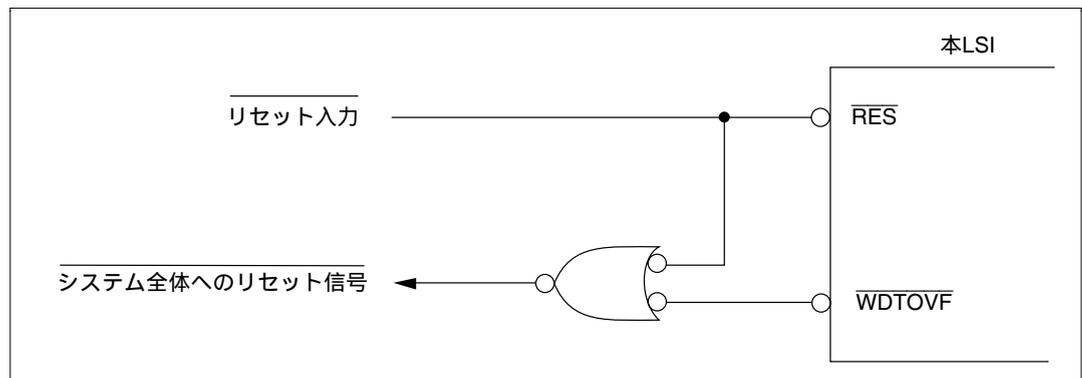


図 12.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

13 . シリアルコミュニケーションインタフェース (SCI)

第13章 目次

13.1	概要	401
13.1.1	特長	401
13.1.2	ブロック図	403
13.1.3	端子構成	404
13.1.4	レジスタ構成	404
13.2	レジスタの説明	406
13.2.1	レシーブシフトレジスタ (RSR)	406
13.2.2	レシーブデータレジスタ (RDR)	406
13.2.3	トランスミットシフトレジスタ (TSR)	407
13.2.4	トランスミットデータレジスタ (TDR)	407
13.2.5	シリアルモードレジスタ (SMR)	408
13.2.6	シリアルコントロールレジスタ (SCR)	411
13.2.7	シリアルステータスレジスタ (SSR)	416
13.2.8	ビットレートレジスタ (BRR)	422
13.3	動作説明	431
13.3.1	概要	431
13.3.2	調歩同期式モード時の動作	433
13.3.3	マルチプロセッサ通信機能	444
13.3.4	クロック同期式モード時の動作	452
13.4	SCIの割り込み要因とDMAC	461
13.5	使用上の注意	462

13.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。2 チャンネルは、同一の機能を持っています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

13.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長：7 ビット、または 8 ビット

ストップビット長：1 ビット、または 2 ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット：1 または 0

受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出：フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長：8 ビット

受信エラーの検出：オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みにより DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

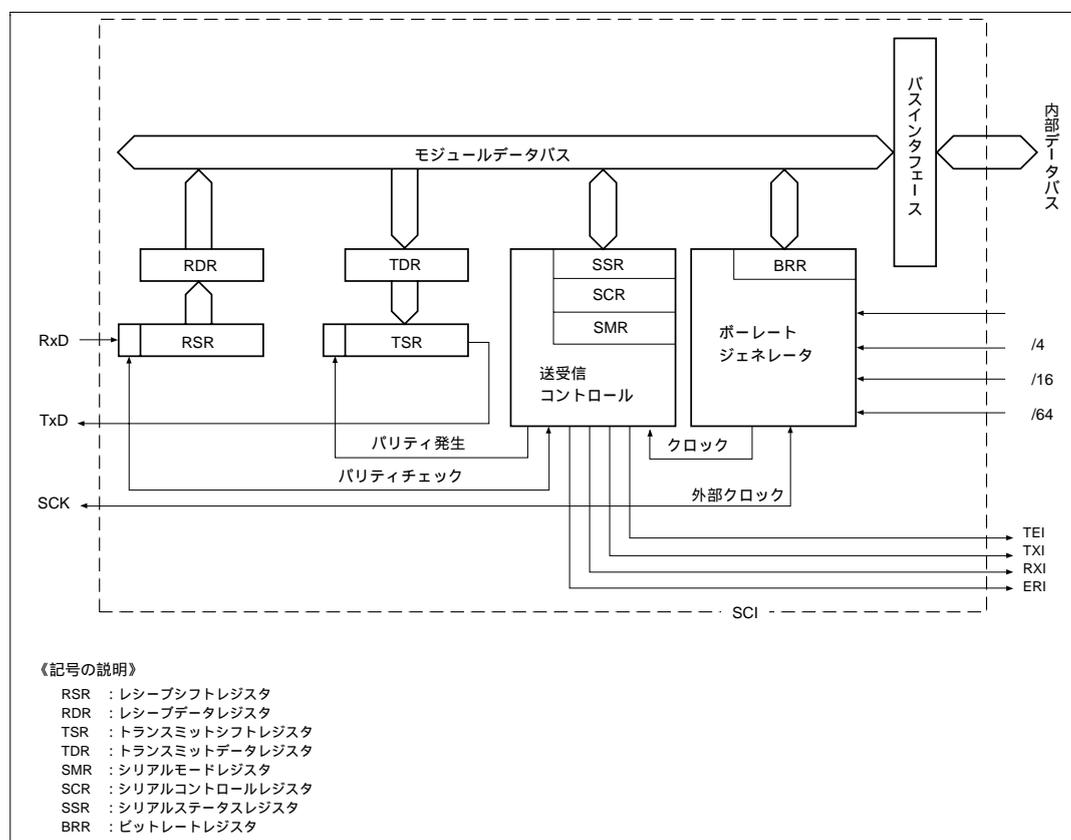


図 13.1 SCI のブロック図

13.1.3 端子構成

SCI は、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	シリアルクロック端子	SCK0	入出力	SCI0のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1の送信データ出力

13.1.4 レジスタ構成

SCI には、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 13.2 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス*1	アクセスサイズ
0	シリアルモードレジスタ	SMR0	R/W	H'00	H'5FFFEC0	8、16
	ビットレートレジスタ	BRR0	R/W	H'FF	H'5FFFEC1	8、16
	シリアルコントロールレジスタ	SCR0	R/W	H'00	H'5FFFEC2	8、16
	トランスミットデータレジスタ	TDR0	R/W	H'FF	H'5FFFEC3	8、16
	シリアルステータスレジスタ	SSR0	R/(W)*2	H'84	H'5FFFEC4	8、16
	レシーブデータレジスタ	RDR0	R	H'00	H'5FFFEC5	8、16
1	シリアルモードレジスタ	SMR1	R/W	H'00	H'5FFFEC8	8、16
	ビットレートレジスタ	BRR1	R/W	H'FF	H'5FFFEC9	8、16
	シリアルコントロールレジスタ	SCR1	R/W	H'00	H'5FFFECA	8、16
	トランスミットデータレジスタ	TDR1	R/W	H'FF	H'5FFFECB	8、16
	シリアルステータスレジスタ	SSR1	R/(W)*2	H'84	H'5FFFEC C	8、16
	レシーブデータレジスタ	RDR1	R	H'00	H'5FFFEC D	8、16

【注】*1 A27～A24 ビットと A8～A0 ビットの値のみ有効で、A23～A9 ビットは無視されます。

レジスタアドレスの詳細は、「8.3.5 エリアの説明」を参照してください。

*2 フラグをクリアするために 0 のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> </tr> </table>																
R/W:	-	-	-	-	-	-	-	-									

レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0									
R/W:	R	R	R	R	R	R	R	R									

レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

13.2.3 トランスミットシフトレジスタ (TSR)

ビット:	7	6	5	4	3	2	1	0
R/W:	-	-	-	-	-	-	-	-

トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

13.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】* 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】* PE ビットに1をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード (O/ \bar{E})

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/ \bar{E} ビットの設定は、調歩同期式モードでPE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/ \bar{E} ビットの設定は無効です。

ビット4	説 明
O/ \bar{E}	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説 明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO \bar{E} ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサの通信機能」を参照してください。

ビット2	説 明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0 : クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で、 / 4、 / 16、 / 64 の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	/ 4クロック
1	0	/ 16クロック
	1	/ 64クロック

13.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCIの送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCRは、常にCPUによる読み出し / 書き込みが可能です。

SCRは、リセット、またはスタンバイモード時にH'00に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】* TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCIのシリアル送信動作の開始を許可/禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSRのTDREビットは1に固定されます。

*2 この状態で、TDRに送信データを書き込んで、SSRのTDREビットを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCIのシリアル受信動作の開始を許可/禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可/禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMRのMPビットが1に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが0のときにはMPIEビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】* RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが1にセットされている場合) と FER、ORER ビットのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可/禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEI の解除は、SSR の TDRE ビットの1を読み出した後、0にクリアして TEND ビットを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。

ビット1、0 : クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ(PFC)で、SCK端子の機能を選択しておいてください。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作(CKE1=0)時のみ有効です。クロック同期式モードのとき、および外部クロック動作(CKE=1)の場合はCKE0ビットの設定は無効です。また、CKE1、CKE0ビットの設定の前には必ずSMRでSCIの動作モードを決定してください。

SCIのクロックソースの選択についての詳細は「13.3 動作説明」の表13.9を参照してください。

ビット1	ビット0	説明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK端子は入力端子(入力信号は無視)または出力端子(出力レベルは不定)*2
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力*2
0	1	調歩同期式モード	内部クロック / SCK端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	1	調歩同期式モード	外部クロック / SCK端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

【注】 *1 SCK端子は他の機能とマルチプレクスされています。この端子をSCKの機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ(PFC)を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの16倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするために、0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、リセット、またはスタンバイモード時に H'84 に初期化されます。

ビット 7 : トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを0にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF ビットが1にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCR の RE ビットを0にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（FER）

調歩同期式モードで受信時にオーバランエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCR の RE ビットを0にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRF ビットはセットされません。さらに、FER ビットが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = 1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ(SMR)のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCRのREビットを0にクリアしたときには、PERビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFビットはセットされません。なお、PERビットが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE= 1 だったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】* マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0 : マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

13.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

(MHz)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

(MHz) ビット レート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

(MHz) ビット レート (bit/s)	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

(MHz) ビット レート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

(MHz) ビット レート (bit/s)	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)

ビット レート (bit/s)	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

(MHz) ビット レート(bit/s)	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	249	-	-
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	9
1M			0	0*	-0	1	-	-	0	3	0	4
2.5M					-	-	0	0*	-	-	0	1
5M									-	-	0	0*

【注】誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- * : 連続送信 / 受信は出来ません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{1}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{1}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

: 動作周波数 (MHz)

n : ポーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/24	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{1}{(N+1) \times B \times 64 \times 2^{2n-1}} \times 10^6 - 1 \right\} \times 100$$

表 13.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6 と表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 ボーレートジェネレータを使用する場合の各周波数における
最大ビットレート（調歩同期式モード）

(MHz)	最大ビットレート(bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック(MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 13.7 外部クロック入力時の最大ビットレート（クロック同期式モード）

(MHz)	外部入力クロック(MHz)	最大ビットレート(bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

13.3 動作説明

13.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ(SMR)で行います。これを表13.8に示します。また、SCIのクロックソースは、SMRのC/Aビットおよびシリアルコントロールレジスタ(SCR)のCKE1、CKE0ビットの組み合わせで決まります。これを表13.9に示します。

- ・調歩同期式モード
 - データ長：7ビット / 8ビットから選択可能
 - パリティの付加、マルチプロセッサビットの付加、および1ビット / 2ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
 - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
 - SCIのクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

- ・クロック同期式モード
 - 送信 / 受信フォーマット：8ビットデータ固定
 - 受信時にオーバランエラーの検出可能
 - SCIのクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

13. シリアルコミュニケーションインタフェース(SCI)

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信/受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセ ッサビット	パリティ ビット	ストップ ビット長		
C/A	CHR	MP	PE	STOP							
0	0	0	0	0	0	調歩同期式 モード	8 ビットデータ	なし	なし	1 ビット	
				1	0				あり	1 ビット	
			1	0	0				0	なし	1 ビット
					1				0	あり	1 ビット
			1	0	0				0	なし	1 ビット
					1				0	あり	1 ビット
	1	1	1	*	0	0	調歩同期式 モード	8 ビットデータ	あり	なし	1 ビット
					1	1	(マルチプロセッサ フォーマット)	7 ビットデータ			2 ビット
				0	1	0	0	なし			1 ビット
						1	0	あり			1 ビット
				1	1	0	0	なし			1 ビット
						1	0	あり			1 ビット
1	*	*	*	*	クロック同期 式モード	8 ビットデータ	なし	なし	なし		

【注】 表中の * は Don't care であることを示します。

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット7	ビット1	ビット0		クロック ソース	SCK 端子の機能*
C / \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0	クロック 同期式 モード	外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック 同期式 モード	内部	同期クロックを出力
		1			外部
	1	0	クロック 同期式 モード	外部	
		1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

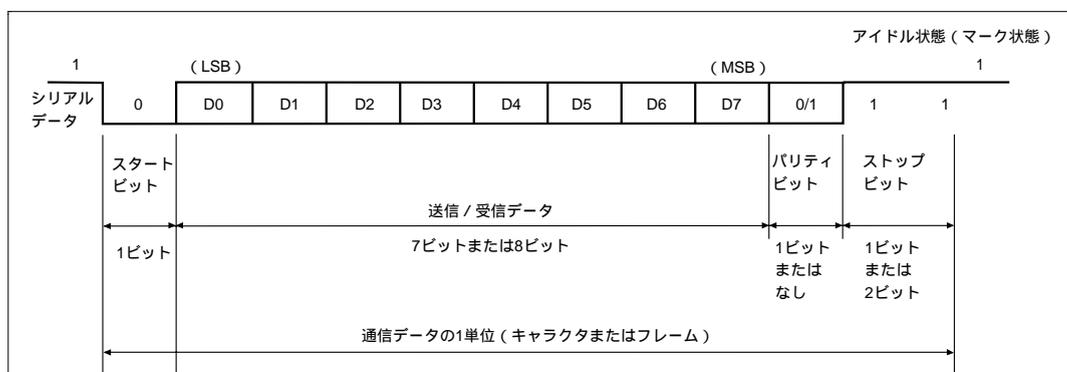


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

【注】 表中の * は Don't care であることを示します。

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとシリアルコントロールレジスタ(SCR)のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

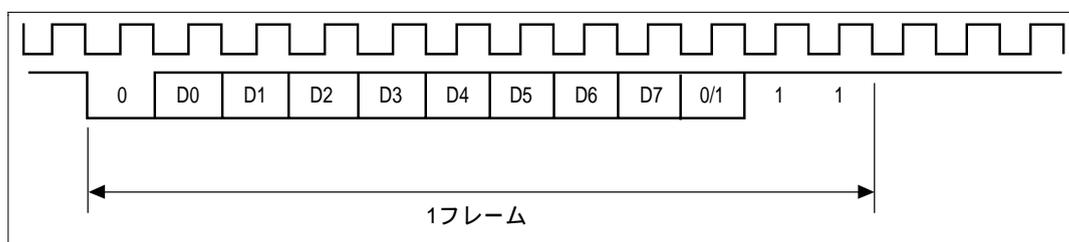


図13.3 出力クロックと通信データの位相関係(調歩同期式モード)

(3) データの送信/受信動作

・SCIの初期化(調歩同期式)

データの送信/受信前には、まずSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で行ってください。TEビットを0にクリアするとTDREビットは、1にセットされ、トランスミットシフトレジスタ(TSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各ビットおよび、レシーブデータレジスタ(RDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図13.4にSCIの初期化フローチャートの例を示します。

13. シリアルコミュニケーションインタフェース(SCI)

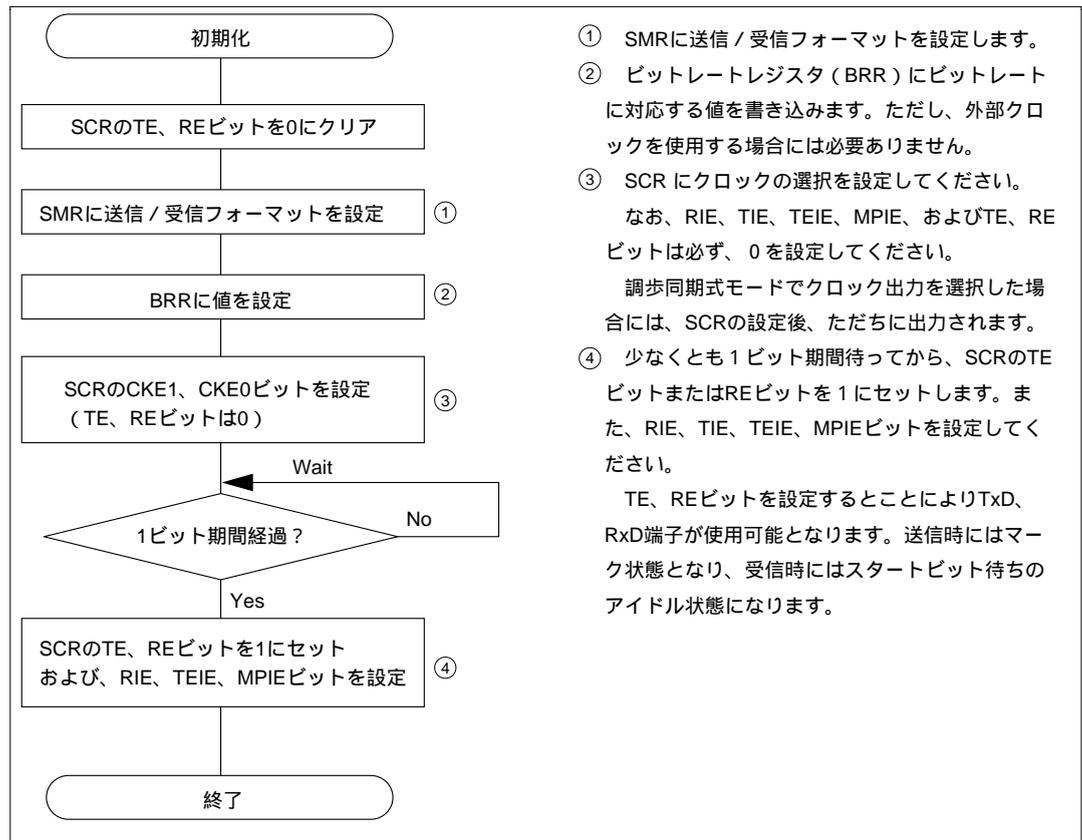


図 13.4 SCIの初期化フローチャートの例

・シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順にしたがい行ってください。

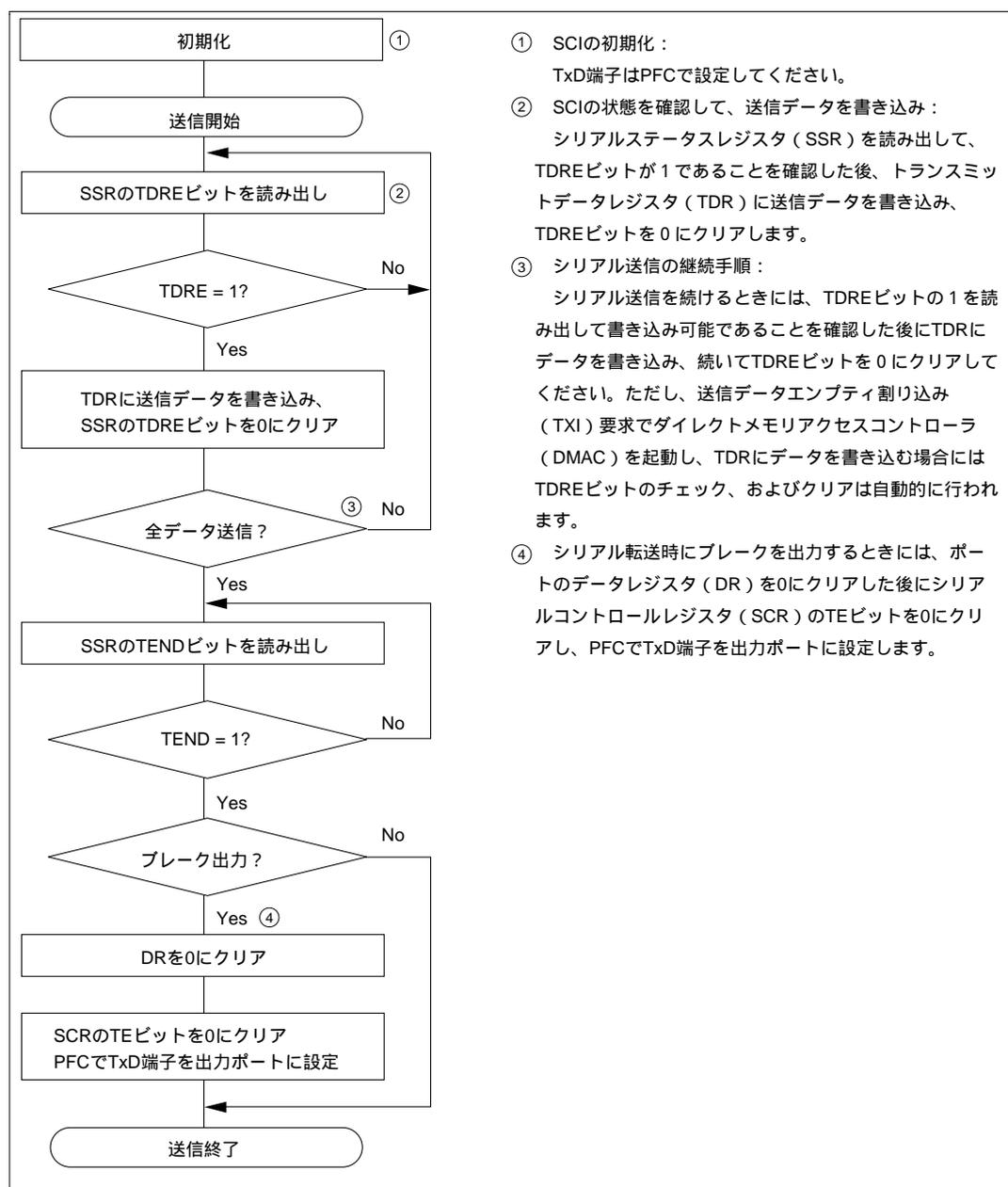


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。

TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
- (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。

TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 要求を発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

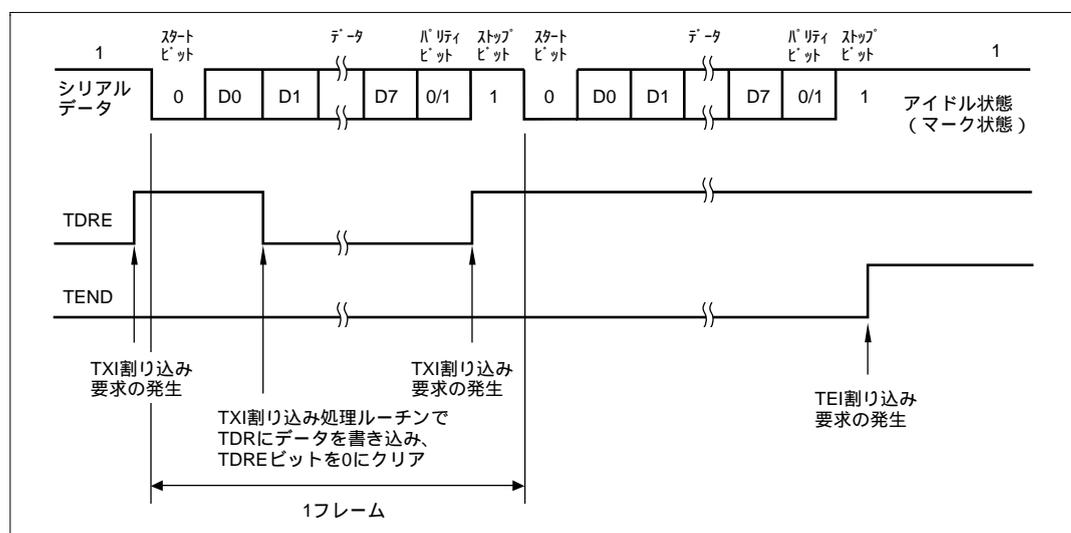


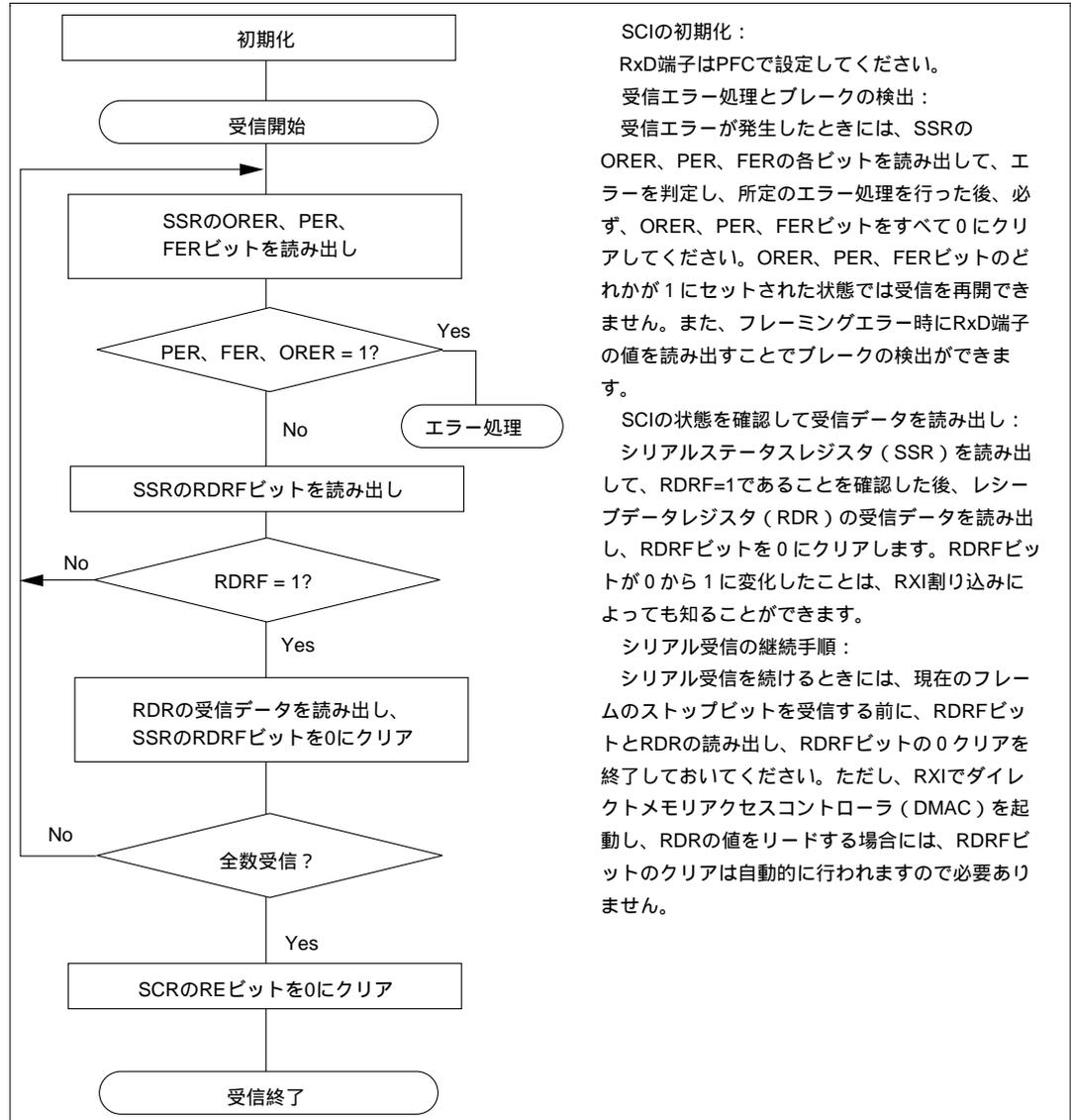
図 13.6 調歩同期式モードでの送信時の動作例

(8 ビットデータ / パリティあり / 1 ストップビットの例)

・シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。



SCIの初期化：
 RxD端子はPFCで設定してください。
 受信エラー処理とブレークの検出：
 受信エラーが発生したときには、SSRのORER、PER、FERの各ビットを読み出して、エラーを判定し、所定のエラー処理を行った後、必ず、ORER、PER、FERビットをすべて0にクリアしてください。ORER、PER、FERビットのどれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値を読み出すことでブレークの検出ができます。

SCIの状態を確認して受信データを読み出し：
 シリアルステータスレジスタ（SSR）を読み出して、RDRF=1であることを確認した後、レシーブデータレジスタ（RDR）の受信データを読み出し、RDRFビットを0にクリアします。RDRFビットが0から1に変化したことは、RXI割り込みによっても知ることができます。

シリアル受信の継続手順：
 シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFビットとRDRの読み出し、RDRFビットの0クリアを終了しておいてください。ただし、RXIでダイレクトメモリアクセスコントローラ（DMAC）を起動し、RDRの値をリードする場合には、RDRFビットのクリアは自動的に行われますので必要ありません。

図 13.7 シリアル受信のフローチャートの例（1）

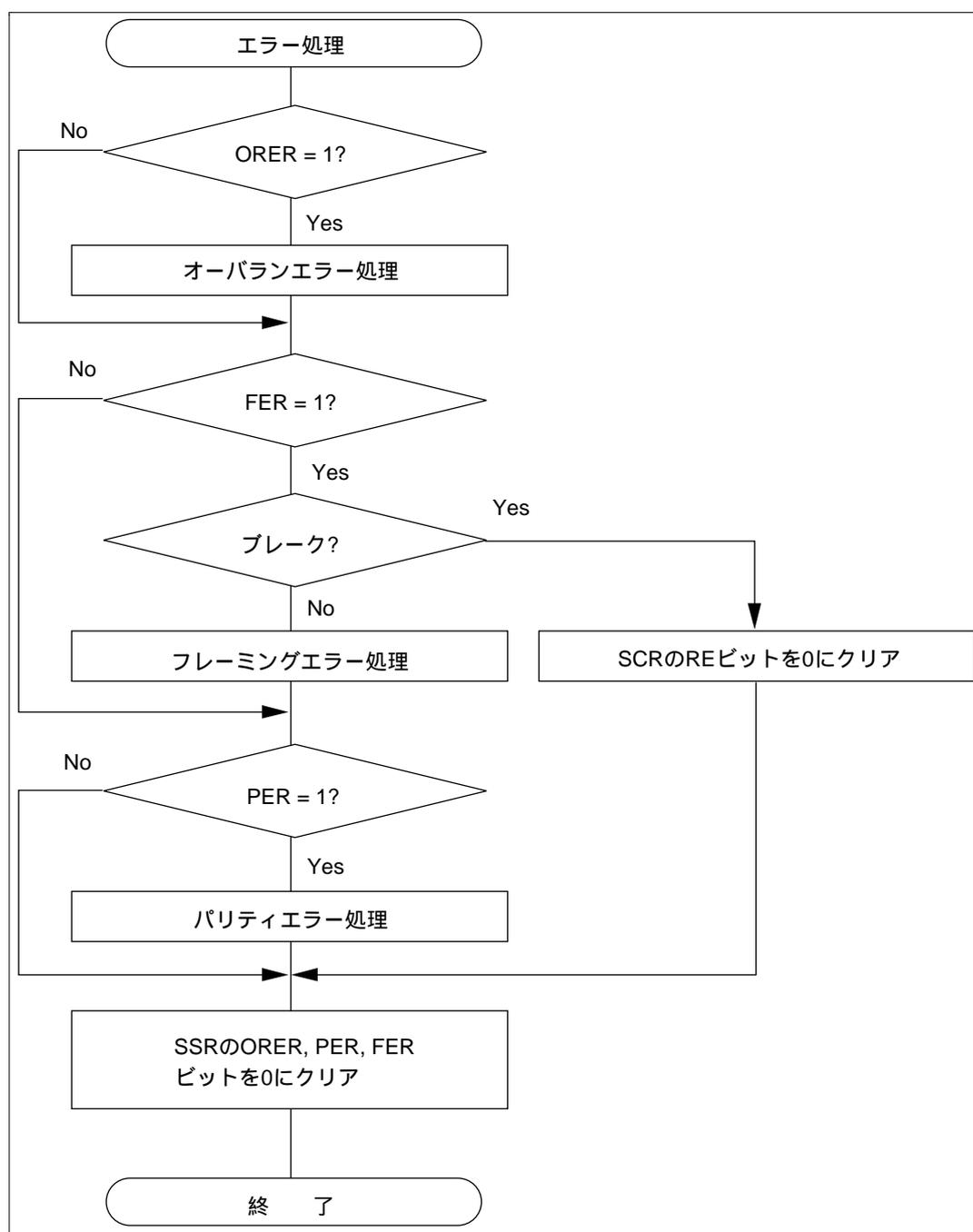


図 13.7 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順に格納します。

パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック : 受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SMR) の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック : ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック : RDRF ビットが 0 であり、受信データをレシーブシフトレジスタ (RSR) から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 13.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み(RXI)要求を発生します。

また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み(ERI)要求を発生します。

調歩同期式モード受信時の動作例を図13.8に示します。

表13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

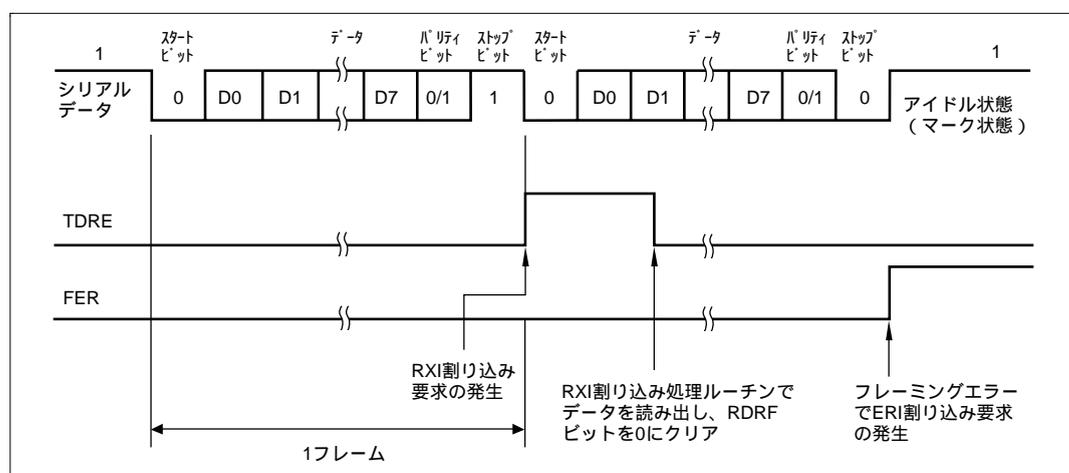


図13.8 SCIの受信時の動作例

(8ビットデータ/パリティあり/1ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 13.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

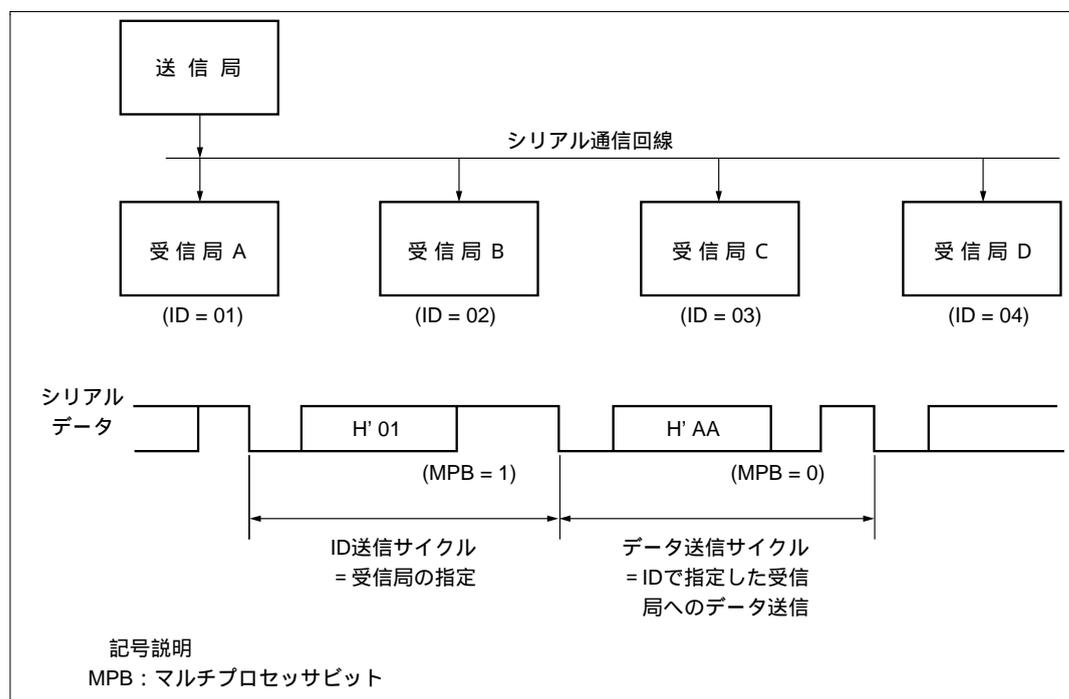


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

・マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順にしたがい行ってください。

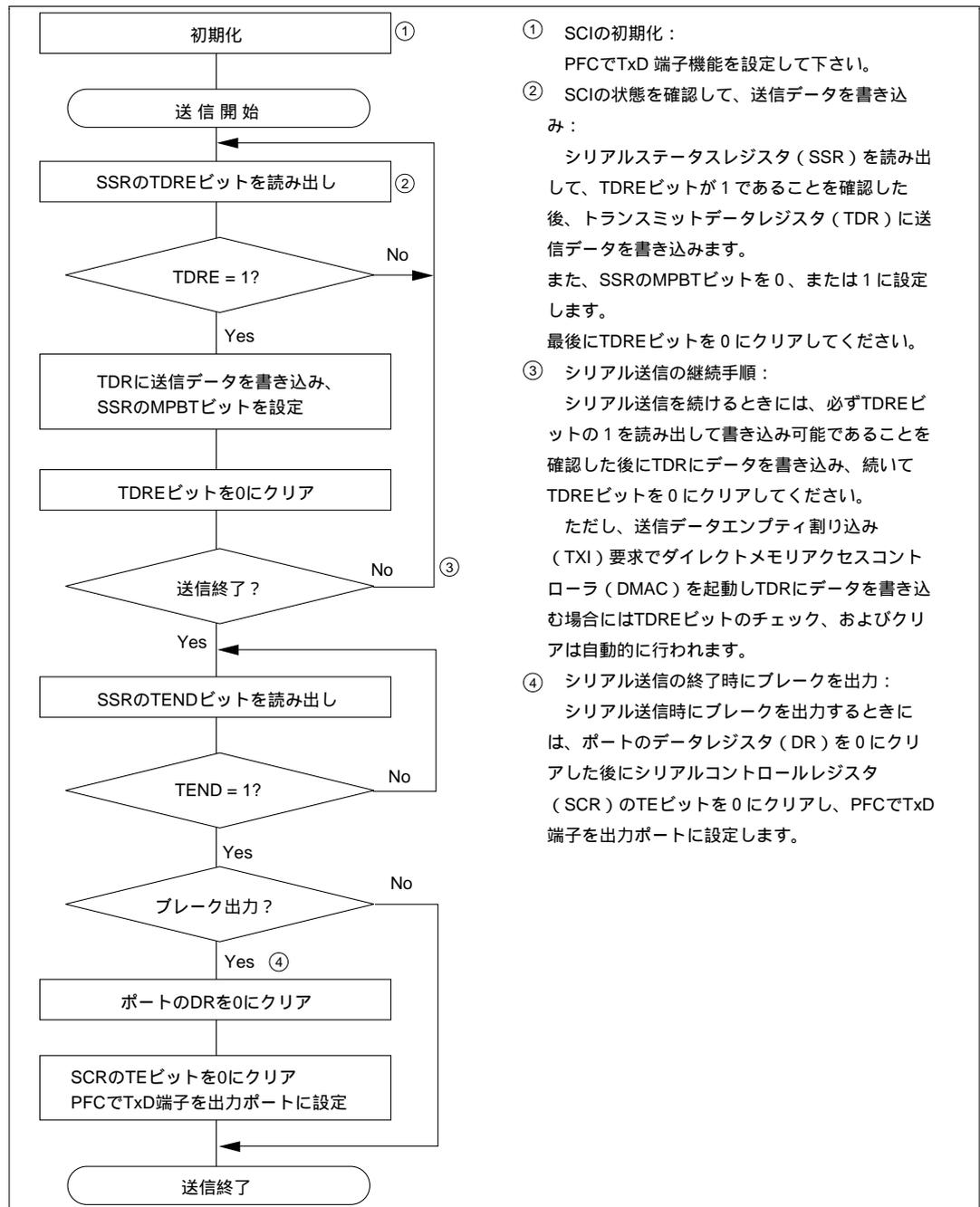


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE ビットを監視し、0 であると TDR にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の送信データエンpty割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット：1 ビットの 0 が出力されます。
 - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) マルチプロセッサビット：1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - (d) ストップビット：1 ビット、または 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDRE ビットが 1 であると SSR の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

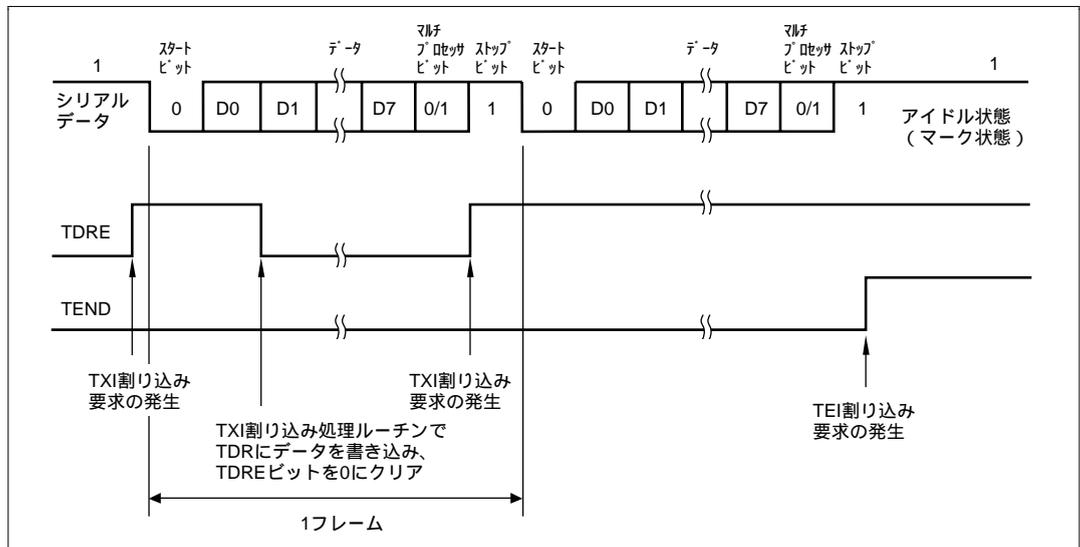


図 13.11 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

・マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順にしたがい行ってください。

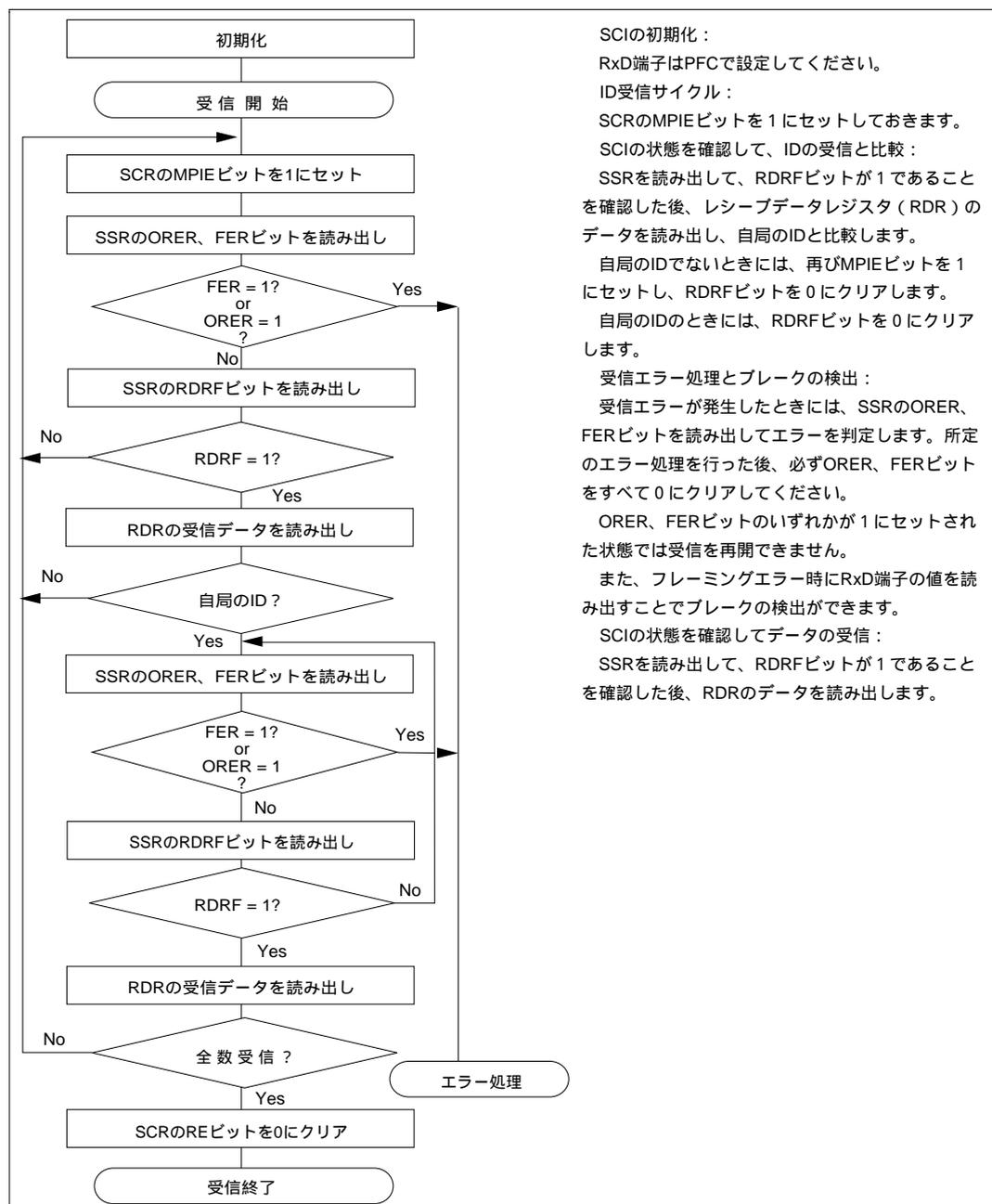


図 13.12 マルチプロセッサシリアル受信のフローチャートの例（1）

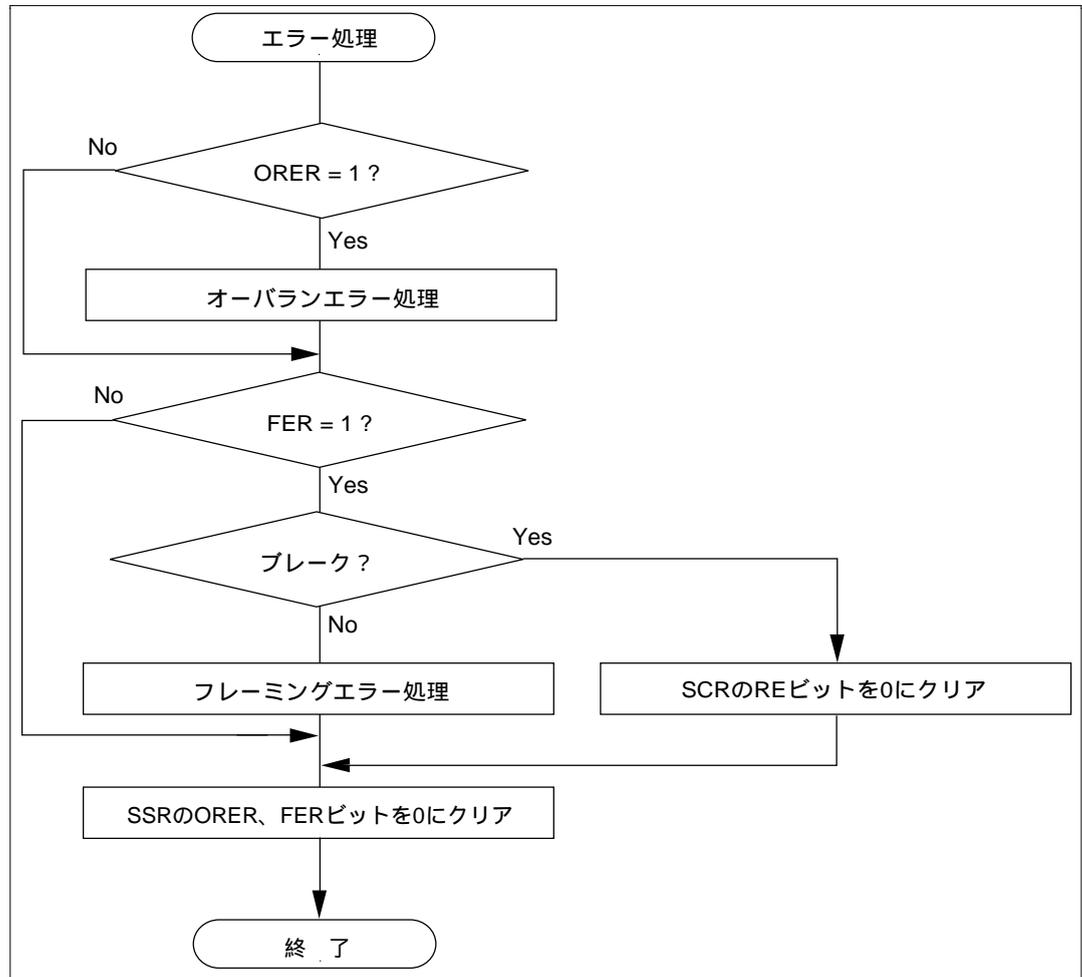


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

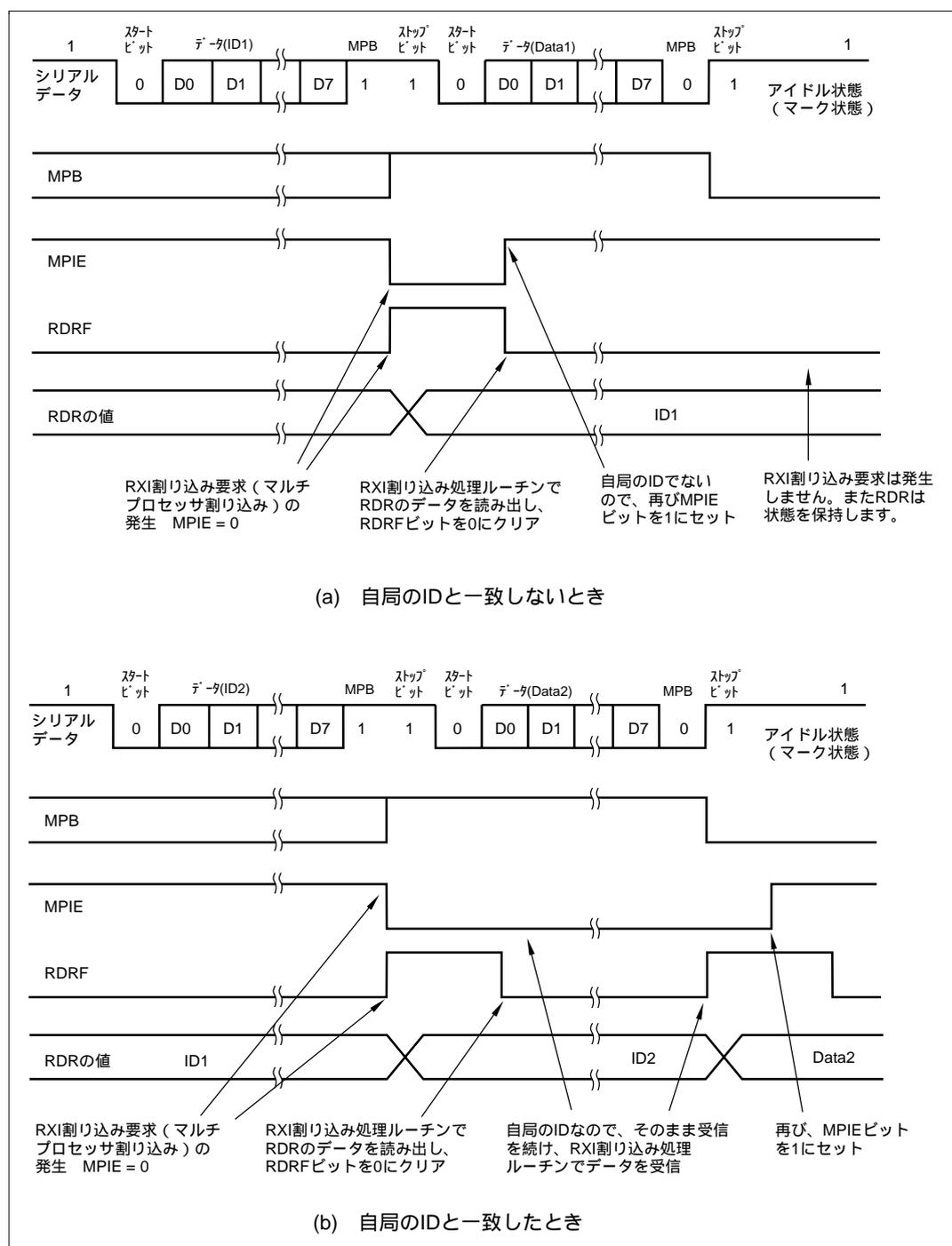


図 13.13 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

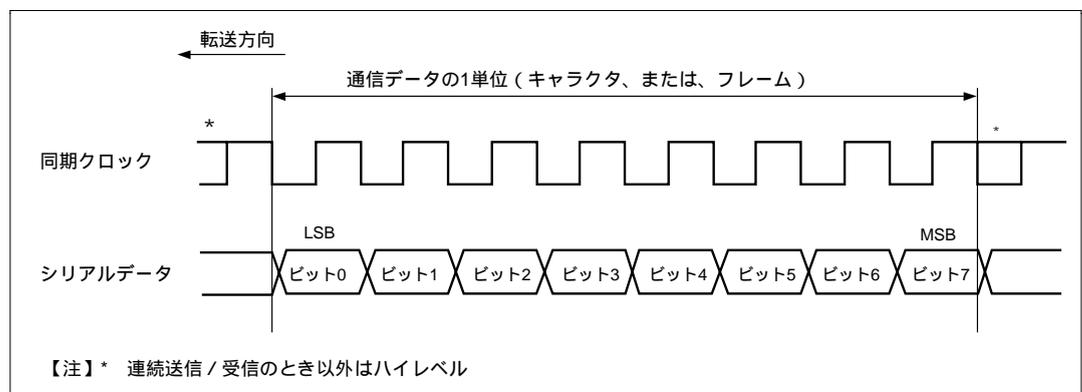


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表13.6を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。

図13.15にSCIの送信時の動作例を示します。

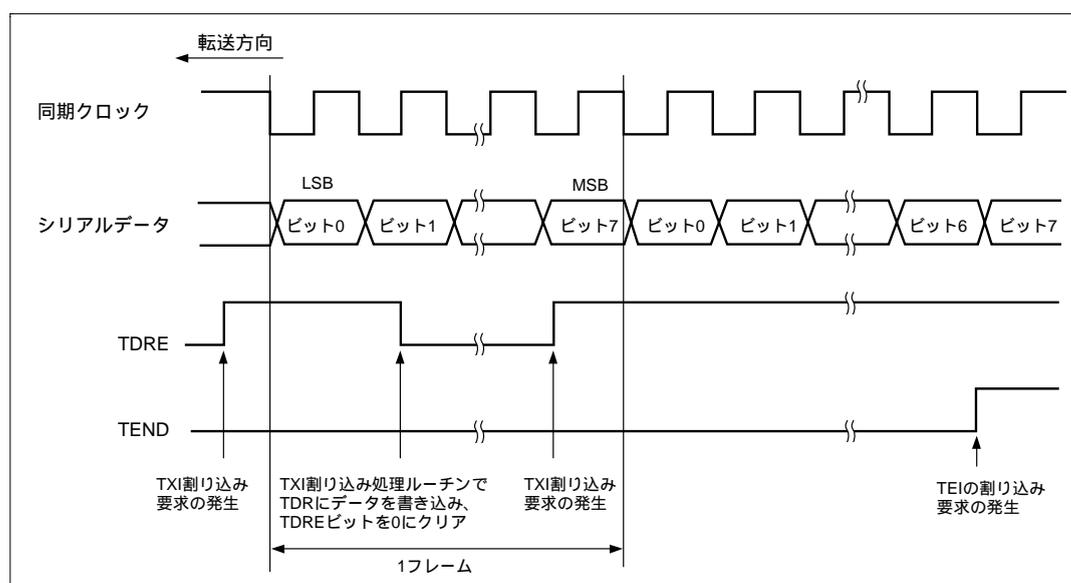


図13.15 SCIの送信時の動作例

SCI はシリアル送信時に以下のように動作します。

(1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。

(2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

(3) SCI は、MSB (ビット 7) を送り出すタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。

TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。

このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。

(4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

(3) データの送信 / 受信動作

・SCIのイニシャライズ(クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCR) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 13.16 にSCIの初期化フローチャートの例を示します。

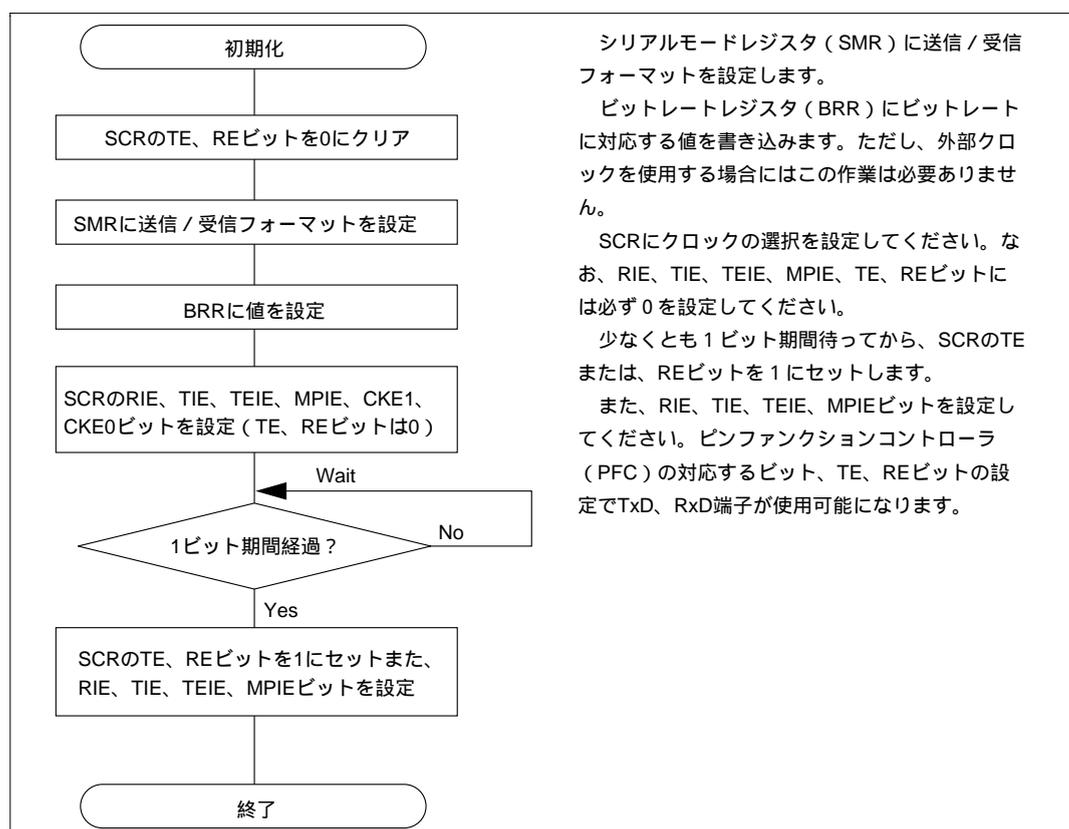


図 13.16 SCIの初期化フローチャートの例

・シリアルデータ送信（クロック同期式）

図 13.17 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順で行ってください。

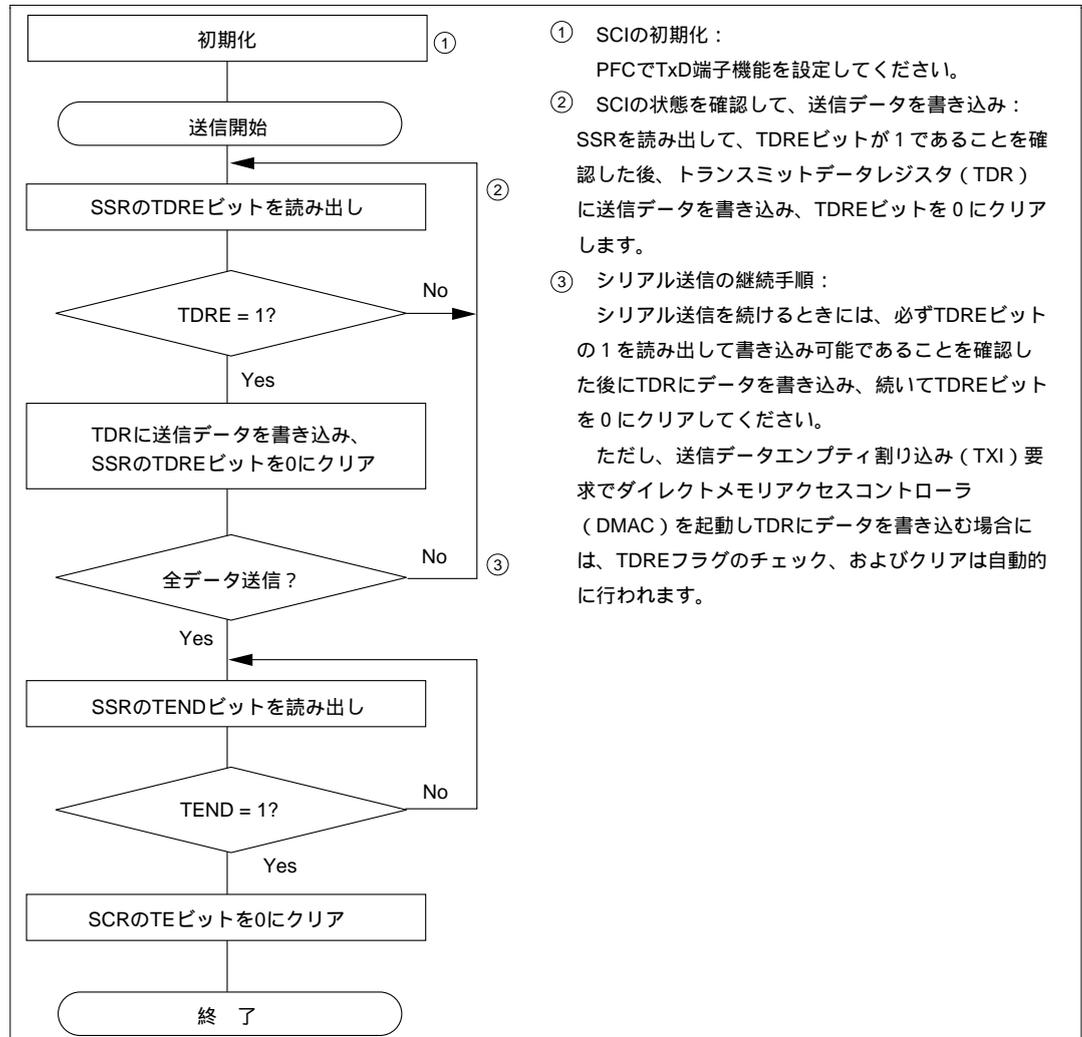


図 13.17 シリアル送信のフローチャートの例

・シリアルデータ受信（クロック同期式）

図 13.18 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各ビットが 0 にクリアされていることを確認してください。

FER、PER ビットが 1 にセットされていると RDRF ビットがセットされません。また、送信 / 受信動作が行えません。

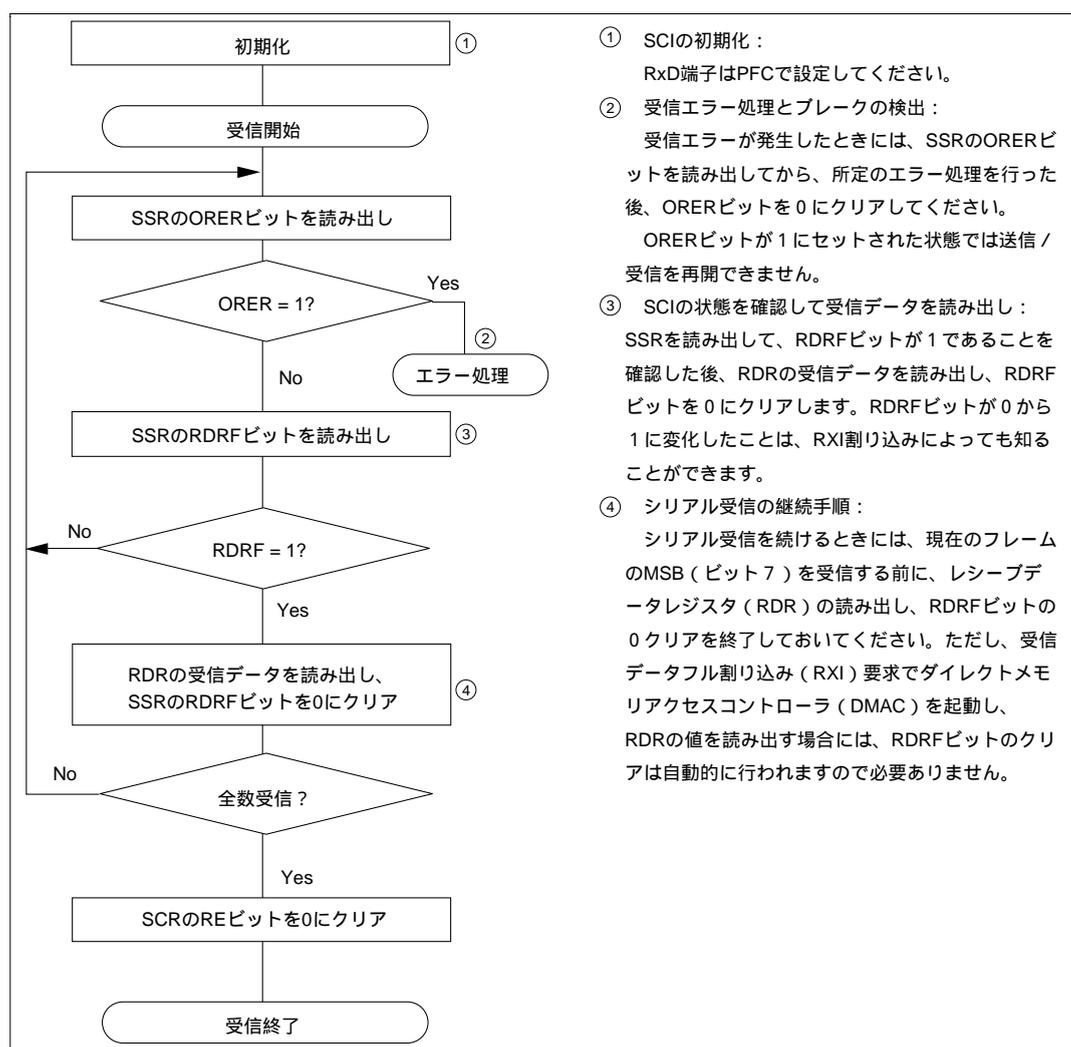


図 13.18 シリアルデータ受信フローチャートの例（1）

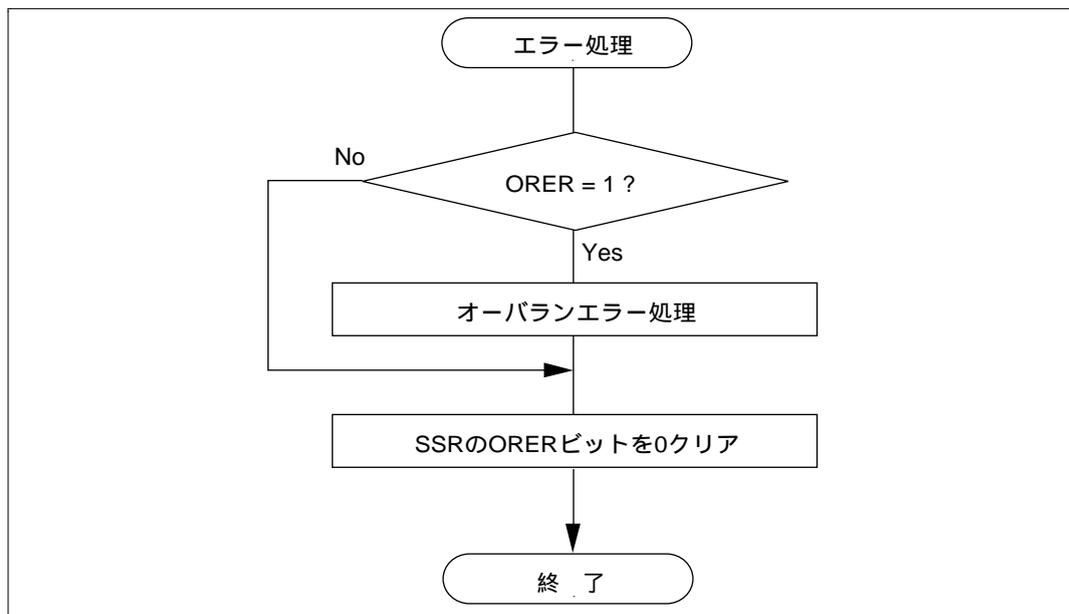


図 13.18 シリアルデータ受信フローチャートの例 (2)

図 13.19 に SCI の受信時の動作例を示します。

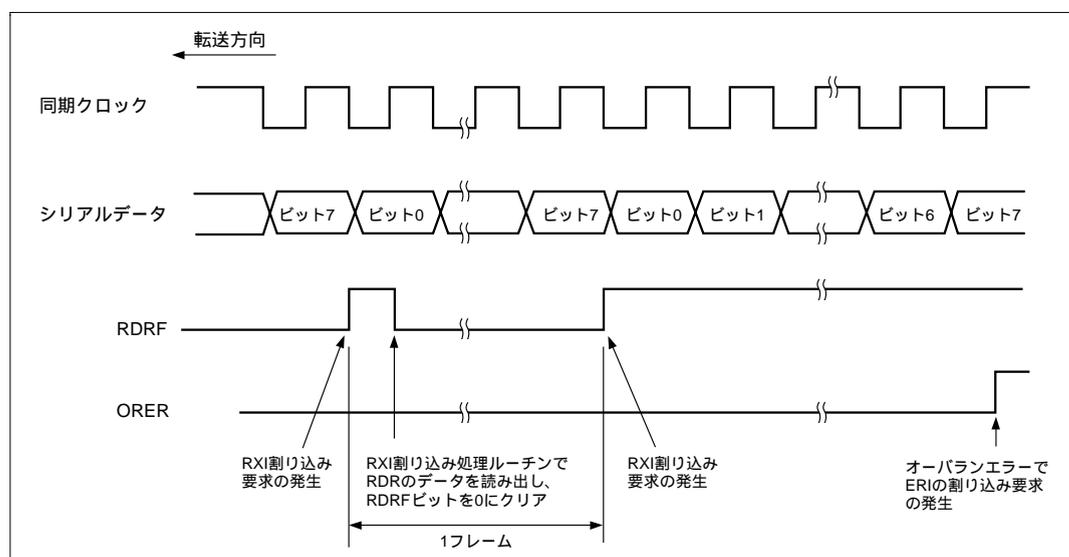


図 13.19 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

SCI は同期クロックの入力または出力に同期して内部を初期化します。

受信したデータをレシーブシフトレジスタ (RSR) の LSB から MSB の順に格納します。

受信後、SCI は RDRF ビットが 0 であり、受信データを RSR からレシーブデータレジスタ (RDR) に転送できる状態であるかをチェックします。

このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーを発生すると表 13.8 のように動作し、この状態では以後の送信、受信動作ができません。

また、エラーフラグが 1 にセットされていると、RDRF ビットが 0 にクリアしてあっても、受信時に RDRF ビットが 1 にセットされません。受信を再開する際は、必ずエラーフラグを 0 にクリアしてください。

RDRF ビットが 1 になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORER ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

・シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順にしたがい行ってください。

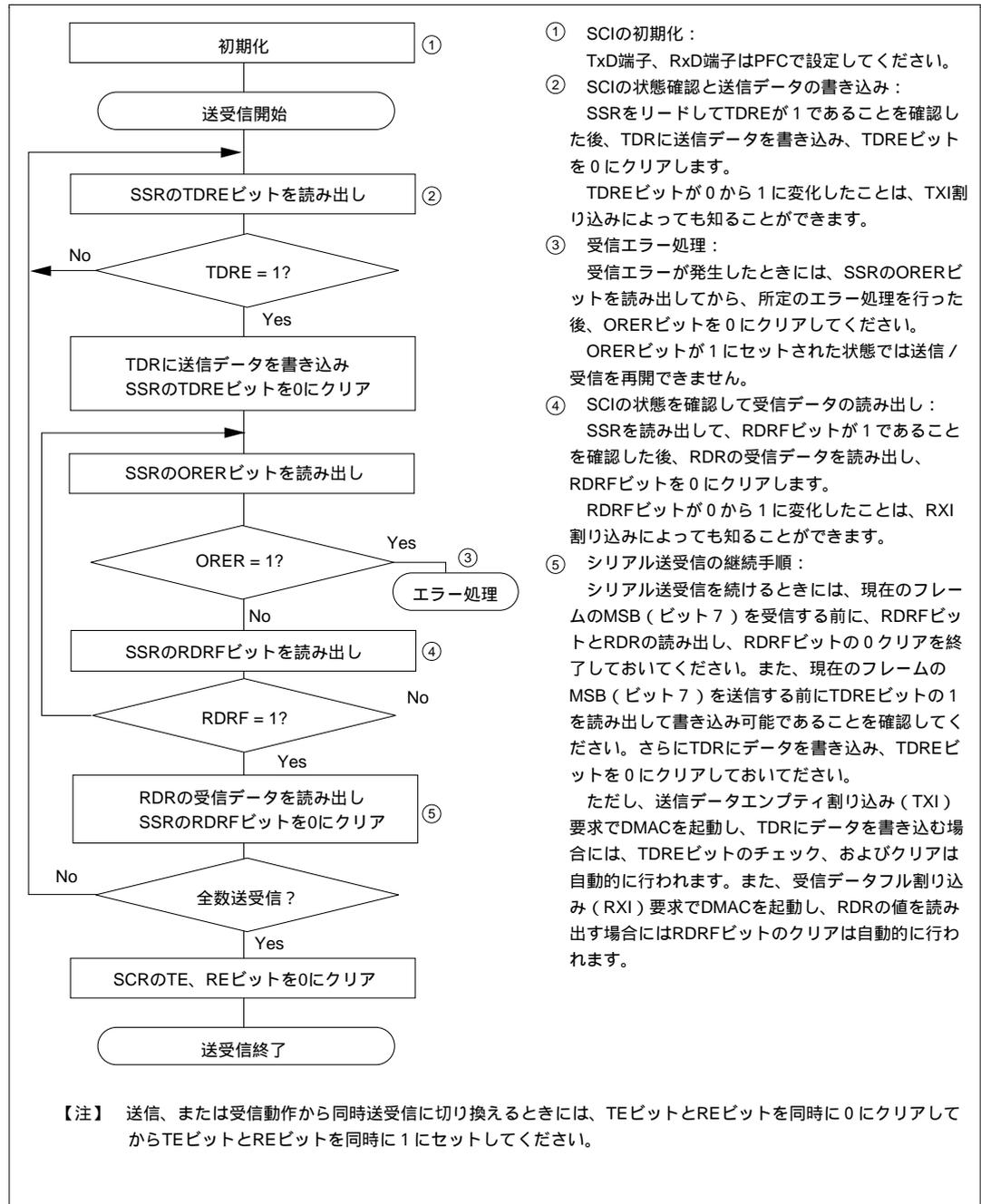


図 13.20 シリアルデータ送受信フローチャートの例

13.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、ダイレクトメモリアクセスコントローラ (DMAC) を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 13.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TRDE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

13.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバランエラー	1	1	0	0	x	
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0	x	
オーバランエラー + パリティエラー	1	1	0	1	x	
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	x	

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 13.21 に示します。

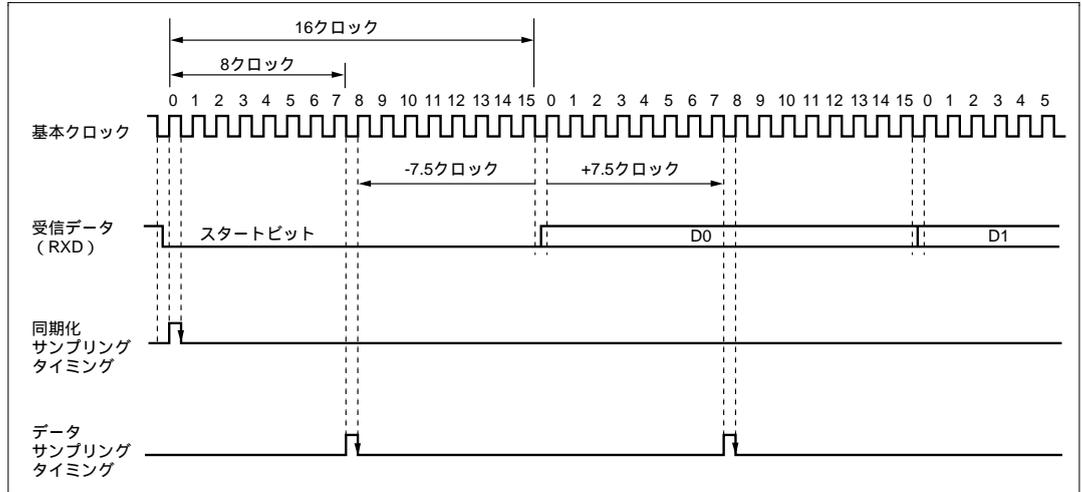


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots\dots \text{式(1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 16)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 9 ~ 12)
- F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、受信マージンは式(2)より 46.875% となります。

$$\begin{aligned} & D = 0.5, F = 0 \text{ のとき} \\ M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \dots\dots \text{式(2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) DMAC の使用上の注意事項

同期クロックに外部クロックソースを使用する場合、ダイレクトメモリアクセスコントローラ (DMAC) による TDR の更新後、システムクロック (CK) で5クロック以上経過した後に、送信クロックを入力してください。TDR の更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図 13.22)

DMAC により、RDR の読み出しを行うときは必ずチャンネルコントロールレジスタ (CHCR) のリソースセレクト (RS) ビットで起動要因を当該 SCI の受信データフル割り込みに設定してください。

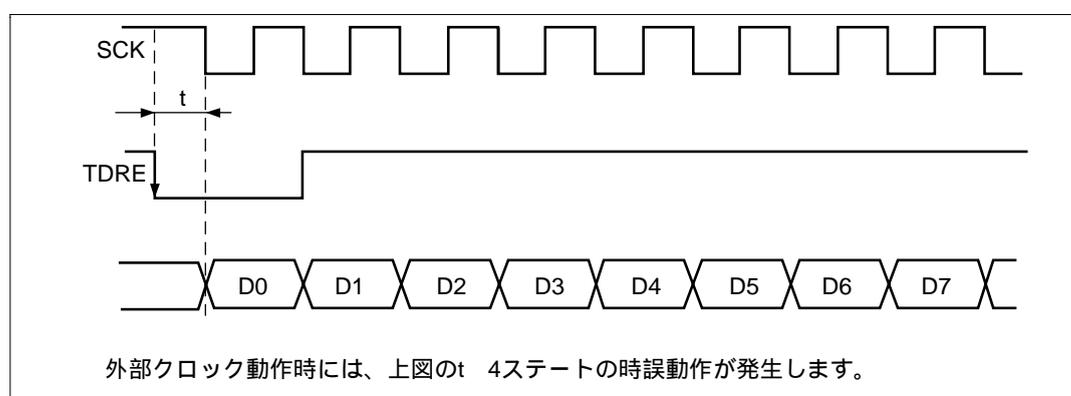


図 13.22 DMAC によるクロック同期式送信時の例

(8) クロック同期外部クロックモード時の注意事項

TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 の時にして下さい。

TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 → 1 にしてから 4クロック以上経過してからにしてください。

受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから 2.5~3.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから 1.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

14 . ピンファンクション コントローラ(PFC)

第14章 目次

14.1	概要	469
14.2	レジスタ構成	471
14.3	レジスタの説明	471
14.3.1	ポートA・IOレジスタ (PAIOR)	471
14.3.2	ポートAコントロールレジスタ1、2 (PACR1、PACR2)	472
14.3.3	ポートB・IOレジスタ (PBIOR)	478
14.3.4	ポートBコントロールレジスタ1、2 (PBCR1、PBCR2)	478
14.3.5	カラムアドレスストローブピンコントロールレジスタ (CASCR)	484

14.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。本 LSI の動作モードとは無関係に、端子の機能とその入出力の方向を 1 本ずつ選ぶことができます。表 14.1 に、本 LSI のマルチプレクス端子を示します。

表 14.1 マルチプレクス端子一覧 (1)

ポート	機能 1 (関連ピンの)	機能 2 (関連ピンの)	機能 3 (関連ピンの)	機能 4 (関連ピンの)	端子番号
A	PA15 入出力 (ポート)	$\overline{\text{IRQ3}}$ 入力 (INTC)	$\overline{\text{DREQ1}}$ 入力 (DMAC)		68
A	PA14 入出力 (ポート)	$\overline{\text{IRQ2}}$ 入力 (INTC)	DACK1 出力 (DMAC)		67
A	PA13 入出力 (ポート)	$\overline{\text{IRQ1}}$ 入力 (INTC)	TCLKB 入力 (ITU)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	66
A	PA12 入出力 (ポート)	$\overline{\text{IRQ0}}$ 入力 (INTC)	TCLKA 入力 (ITU)	DACK0 出力 (DMAC)	65
A	PA11 入出力 (ポート)	DPH 入出力 (Dバス)	TIOCB1 入出力 (ITU)		64
A	PA10 入出力 (ポート)	DPL 入出力 (Dバス)	TIOCA1 入出力 (ITU)		62
A	PA9 入出力 (ポート)	$\overline{\text{AH}}$ 出力 (BSC)		$\overline{\text{IRQOUT}}$ 出力 (INTC)	61
A	PA8 入出力 (ポート)	$\overline{\text{BREQ}}$ 入力 (システム)			60
A	PA7 入出力 (ポート)	$\overline{\text{BACK}}$ 出力 (システム)			58
A	PA6 入出力 (ポート)	$\overline{\text{RD}}$ 出力 (BSC)			57
A	PA5 入出力 (ポート)	$\overline{\text{WRH}}$ 出力 (BSC) ($\overline{\text{LBS}}$ 出力 (BSC)) *1			56
A	PA4 入出力 (ポート)	$\overline{\text{WRL}}$ 出力 (BSC) ($\overline{\text{WR}}$ 出力 (BSC)) *1			55
A	PA3 入出力 (ポート)	$\overline{\text{CS7}}$ 出力 (BSC)	$\overline{\text{WAIT}}$ 入力 (BSC)		54
A	PA2 入出力 (ポート)	$\overline{\text{CS6}}$ 出力 (BSC)	TIOCB0 入出力 (ITU)		53
A	PA1 入出力 (ポート)	$\overline{\text{CS5}}$ 出力 (BSC)	$\overline{\text{RAS}}$ 出力 (BSC)		52
A	PA0 入出力 (ポート)	$\overline{\text{CS4}}$ 出力 (BSC)	TIOCA0 入出力 (ITU)		51
B	PB15 入出力 (ポート)	$\overline{\text{IRQ7}}$ 入力 (INTC)		TP15 出力 (TPC)	100
B	PB14 入出力 (ポート)	$\overline{\text{IRQ6}}$ 入力 (INTC)		TP14 出力 (TPC)	99
B	PB13 入出力 (ポート)	$\overline{\text{IRQ5}}$ 入力 (INTC)	SCK1 入出力 (SCI)	TP13 出力 (TPC)	98
B	PB12 入出力 (ポート)	$\overline{\text{IRQ4}}$ 入力 (INTC)	SCK0 入出力 (SCI)	TP12 出力 (TPC)	97
B	PB11 入出力 (ポート)	TxD1 出力 (SCI)	TP11 出力 (TPC)		96

(続く)

表 14.1 マルチプレクス端子一覧 (2)

ポート	機能 1 (関連ジュール)	機能 2 (関連ジュール)	機能 3 (関連ジュール)	機能 4 (関連ジュール)	端子番号
B	PB10 入出力 (ポート)	RxD1 入力 (SCI)	TP10 出力 (TPC)		95
B	PB9 入出力 (ポート)	TxD0 出力 (SCI)	TP9 出力 (TPC)		94
B	PB8 入出力 (ポート)	RxD0 出力 (SCI)	TP8 出力 (TPC)		93
B	PB7 入出力 (ポート)	TCLKD 入力 (ITU)	TOCXB4 出力 (ITU)	TP7 出力 (TPC)	91
B	PB6 入出力 (ポート)	TCLKC 入力 (ITU)	TOCXA4 出力 (ITU)	TP6 出力 (TPC)	90
B	PB5 入出力 (ポート)	TIOCB4 入出力 (ITU)	TP5 出力 (TPC)		89
B	PB4 入出力 (ポート)	TIOCA4 入出力 (ITU)	TP4 出力 (TPC)		87
B	PB3 入出力 (ポート)	TIOCB3 入出力 (ITU)	TP3 出力 (TPC)		86
B	PB2 入出力 (ポート)	TIOCA3 入出力 (ITU)	TP2 出力 (TPC)		85
B	PB1 入出力 (ポート)	TIOCB2 入出力 (ITU)	TP1 出力 (TPC)		84
B	PB0 入出力 (ポート)	TIOCA2 入出力 (ITU)	TP0 出力 (TPC)		83
	CS1 出力 (BSC)	CASH 出力 (BSC)			47
	CS3 出力 (BSC)	CASL 出力 (BSC)			49

INTC : 割り込みコントローラ

DMAC : ダイレクトメモリアクセスコントローラ

ITU : 16 ビットインテグレートッドタイマパルスユニット

Dバス : データバス制御

BSC : バスステートコントローラ

システム : システム制御

SCI : シリアルコミュニケーションインタフェース

TPC : プログラマブルタイミングパターンコントローラ

ポート : I/O ポート

【注】 *1 2つの機能の切り換えはバスステートコントローラのバスコントロールレジスタで行います。

14.2 レジスタ構成

PFCのレジスタを表 14.2 に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'5FFFC4	8、16、32
ポート A コントロールレジスタ 1	PACR1	R/W	H'3302	H'5FFFC8	8、16、32
ポート A コントロールレジスタ 2	PACR2	R/W	H'FF95	H'5FFFC8	8、16、32
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'5FFFC6	8、16、32
ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000	H'5FFFC8	8、16、32
ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000	H'5FFFC8	8、16、32
カラムアドレスストローブピンコントロールレジスタ	CASCR	R/W	H'5FFF	H'5FFFEE	8、16、32

14.3 レジスタの説明

14.3.1 ポート A・IO レジスタ (PAIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ (PAIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/ $\overline{\text{IRQ3}}$ / $\overline{\text{DREQ1}}$ ~ PA0/ $\overline{\text{CS4}}$ / $\overline{\text{TIOCA0}}$ 端子に対応しています。PAIOR は、ポート A の端子機能が汎用入出力 (PA15 ~ PA0) か ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA1、TIOCA0、TIOCB1、TIOCB0) の場合に有効で、それ以外の場合は無効です。

ポート A の端子機能が、PA15 ~ PA0 か TIOCA1、TIOCA0、TIOCB1、TIOCB0 の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR は、パワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

14.3.2 ポートAコントロールレジスタ 1、2 (PACR1、PACR2)

ポートAコントロールレジスタ 1、2 (PACR1、PACR2) は、それぞれ、16 ビットの読み出し/書き込み可能なレジスタで、ポートAにある 16 本のマルチプレクス端子の機能を選びます。PACR1 は、ポートAの上位 8 ビットの端子の機能を、PACR2 は、ポートAの下位 8 ビットの端子の機能を選びます。

PACR1、PACR2 は、パワーオンリセットで、それぞれ H'3302、H'FF95 に初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

(1) ポートAコントロールレジスタ 1 (PACR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PACR1	PA15 MD1	PA15 MD0	PA14 MD1	PA14 MD0	PA13 MD1	PA13 MD0	PA12 MD1	PA12 MD0	PA11 MD1	PA11 MD0	PA10 MD1	PA10 MD0	PA9 MD1	PA9 MD0	-	PA8 MD0
初期値:	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	-	R/W											

ビット 15、14 : PA15 モードビット 1、0 (PA15MD1、PA15MD0)

PA15/ $\overline{\text{IRQ3}}$ / $\overline{\text{DREQ1}}$ 端子の機能を選びます。

ビット 15	ビット 14	端子機能
PA15MD1	PA15MD0	
0	0	汎用入出力 (PA15) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	予約
1	1	DMA 転送要求入力 ($\overline{\text{DREQ1}}$)

ビット 13、12 : PA14 モードビット 1、0 (PA14MD1、PA14MD0)

PA14/ $\overline{\text{IRQ2}}$ / $\overline{\text{DACK1}}$ 端子の機能を選びます。

ビット 13	ビット 12	端子機能
PA14MD1	PA14MD0	
0	0	汎用入出力 (PA14)
0	1	割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	予約
1	1	DMA 転送要求受け付け出力 (DACK1) (初期値)

ビット11、10 : PA13モードビット1、0 (PA13MD1、PA13MD0)

PA13/ $\overline{\text{IRQ1}}$ /DREQ0/TCLKB 端子の機能を選びます。

ビット11	ビット10	端子機能
PA13MD1	PA13MD0	
0	0	汎用入出力 (PA13) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ1}}$)
1	0	ITU タイマクロック入力 (TCLKB)
1	1	DMA 転送要求入力 ($\overline{\text{DREQ0}}$)

ビット9、8 : PA12モードビット1、0 (PA12MD1、PA12MD0)

PA12/ $\overline{\text{IRQ0}}$ /DACK0/TCLKA 端子の機能を選びます。

ビット9	ビット8	端子機能
PA12MD1	PA12MD0	
0	0	汎用入出力 (PA12)
0	1	割り込み要求入力 ($\overline{\text{IRQ0}}$)
1	0	ITU タイマクロック入力 (TCLKA)
1	1	DMA 転送要求受け付け出力 (DACK0) (初期値)

ビット7、6 : PA11モードビット1、0 (PA11MD1、PA11MD0)

PA11/DPH/TIOCB1 端子の機能を選びます。

ビット7	ビット6	端子機能
PA11MD1	PA11MD0	
0	0	汎用入出力 (PA11) (初期値)
0	1	上位側データバスパリティ出力 (DPH)
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCB1)
1	1	予約

ビット5、4 : PA10モードビット1、0 (PA10MD1、PA10MD0)
PA10/DPL/TIOCA1 端子の機能を選びます。

ビット5	ビット4	端子機能
PA10MD1	PA10MD0	
0	0	汎用入出力 (PA10) (初期値)
0	1	下位側データバスパリティ入出力 (DPL)
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA1)
1	1	予約

ビット3、2 : PA9モードビット1、0 (PA9MD1、PA9MD0)
PA9/AH/ $\overline{\text{IRQOUT}}$ 端子の機能を選びます。

ビット3	ビット2	端子機能
PA9MD1	PA9MD0	
0	0	汎用入出力 (PA9) (初期値)
0	1	アドレスホールド出力 ($\overline{\text{AH}}$)
1	0	予約
1	1	割り込み要求出力 ($\overline{\text{IRQOUT}}$)

ビット1 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット0 : PA8モードビット (PA8MD)
PA8/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ビット0	端子機能
PA8MD	
0	汎用入出力 (PA8) (初期値)
1	バス権要求入力 (BREQ)

(2) ポート A コントロールレジスタ 2 (PACR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RACR2	-	PA7 MD	-	PA6 MD	-	PA5 MD	-	PA4 MD	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値:	1	1	1	1	1	1	1	1	1	0	0	1	0	1	0	1
R/W:	-	R/W	-	R/W	-	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 14: PA7 モードビット (PA7MD)

PA7/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 14	
PA7MD	端子機能
0	汎用入出力 (PA7)
1	バス権要求アクノリッジ出力 (BACK) (初期値)

ビット 13: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 12: PA6 モードビット (PA6MD)

PA6/ $\overline{\text{RD}}$ 端子の機能を選びます。

ビット 12	
PA6MD	端子機能
0	汎用入出力 (PA6)
1	リード出力 ($\overline{\text{RD}}$) (初期値)

ビット 11: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 10 : PA5 モードビット (PA5MD)

PA5/ $\overline{\text{WRH}}$ ($\overline{\text{LBS}}$) 端子の機能を選びます。

ビット 10	
PA5MD	端子機能
0	汎用入出力 (PA5)
1	上位側ライト出力 ($\overline{\text{WRH}}$) または下位バイトストロープ出力 ($\overline{\text{LBS}}$) (初期値)

ビット 9 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 8 : PA4 モードビット (PA4MD)

PA4/ $\overline{\text{WRL}}$ ($\overline{\text{WR}}$) 端子の機能を選びます。

ビット 8	
PA4MD	端子機能
0	汎用入出力 (PA4)
1	下位側ライト出力 ($\overline{\text{WRL}}$) またはライト出力 ($\overline{\text{WR}}$) (初期値)

ビット 7、6 : PA3 モードビット 1、0 (PA3MD1、PA3MD0)

PA3/ $\overline{\text{CS7}}$ / $\overline{\text{WAIT}}$ 端子の機能を選びます。この端子にはプルアップ MOS が付いていて、 $\overline{\text{WAIT}}$ 端子として機能している場合に、 $\overline{\text{WAIT}}$ 端子をプルアップするかしないかを、バスステートコントローラ (BSC) のウェイトステートコントロールレジスタで選ぶことができます。PA3/ $\overline{\text{CS7}}$ 端子として機能している場合にはプルアップされません。

ビット 7	ビット 6	
PA3MD1	PA3MD0	端子機能
0	0	汎用入出力 (PA3)
0	1	チップセレクト出力 ($\overline{\text{CS7}}$)
1	0	ウェイトステート入力 ($\overline{\text{WAIT}}$) (初期値)
1	1	予約

ビット5、4 : PA2モードビット1、0 (PA2MD1、PA2MD0)

PA2/ $\overline{CS6}$ /TIOCB0 端子の機能を選びます。

ビット5	ビット4	端子機能
PA2MD1	PA2MD0	
0	0	汎用入出力 (PA2)
0	1	チップセレクト出力 ($\overline{CS6}$) (初期値)
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCB0)
1	1	予約

ビット3、2 : PA1モードビット1、0 (PA1MD1、PA1MD0)

PA1/ $\overline{CS5}$ / \overline{RAS} 端子の機能を選びます。

ビット3	ビット2	端子機能
PA1MD1	PA1MD0	
0	0	汎用入出力 (PA1)
0	1	チップセレクト出力 ($\overline{CS5}$) (初期値)
1	0	ロウアドレスストロープ出力 (\overline{RAS})
1	1	予約

ビット1、0 : PA0モードビット1、0 (PA0MD1、PA0MD0)

PA0/ $\overline{CS4}$ /TIOCA0 端子の機能を選びます。

ビット1	ビット0	端子機能
PA0MD1	PA0MD0	
0	0	汎用入出力 (PA0)
0	1	チップセレクト出力 ($\overline{CS4}$) (初期値)
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA0)
1	1	予約

14.3.3 ポートB・IOレジスタ(PBIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

ポートB・IOレジスタ(PBIOR)は、読み出し/書き込み可能な16ビットのレジスタで、ポートBにある16本の端子の入出力方向を選びます。PB15IOR ~ PB0IORビットが、それぞれ、ポートBの端子に対応しています。PBIORは、ポートBの端子機能が汎用入出力(PB15 ~ PB0)か、ITUインプットキャプチャ入力/アウトプットコンペア出力(TIOCA4、TIOCA3、TIOCA2、TIOCB4、TIOCB3、TIOCB2)か、シリアルクロック(SCK1、SCK0)の場合に有効で、それ以外の場合は無効です。

ポートBの端子機能が、PB15 ~ PB0かTIOCA4、TIOCA3、TIOCA2、TIOCB4、TIOCB3、TIOCB2かSCK1、SCK0の場合、PBIORのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PBIORは、パワーオンリセットでH'0000に初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

14.3.4 ポートBコントロールレジスタ1、2(PBCR1、PBCR2)

ポートBコントロールレジスタ1、2(PBCR1、PBCR2)は、それぞれ、読み出し/書き込み可能な16ビットのレジスタで、ポートBにある16本のマルチプレクス端子の機能を選びます。PBCR1は、ポートBの上位8ビットの端子の機能を、PBCR2は、ポートBの下部8ビットの端子の機能を選びます。

PBCR1、PBCR2は、パワーオンリセットでH'0000に初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

(1) ポートBコントロールレジスタ1(PBCR1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	PB13 MD1	PB13 MD0	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

ビット 15、14 : PB15 モードビット 1、0 (PB15MD1、PB15MD0)

PB15/TP15/ $\overline{\text{IRQ7}}$ 端子の機能を選びます。

ビット 15	ビット 14	端子機能
PB15MD1	PB15MD0	
0	0	汎用入出力 (PB15) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ7}}$)
1	0	予約
1	1	タイミングパターン出力 (TP15)

ビット 13、12 : PB14 モードビット 1、0 (PB14MD1、PB14MD0)

PB14/TP14/ $\overline{\text{IRQ6}}$ 端子の機能を選びます。

ビット 13	ビット 12	端子機能
PB14MD1	PB14MD0	
0	0	汎用入出力 (PB14) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ6}}$)
1	0	予約
1	1	タイミングパターン出力 (TP14)

ビット 11、10 : PB13 モードビット 1、0 (PB13MD1、PB13MD0)

PB13/TP13/ $\overline{\text{IRQ5}}$ /SCK1 端子の機能を選びます。

ビット 11	ビット 10	端子機能
PB13MD1	PB13MD0	
0	0	汎用入出力 (PB13) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ5}}$)
1	0	シリアルクロック入出力 (SCK1)
1	1	タイミングパターン出力 (TP13)

14. ピンファンクションコントローラ(PFC)

ビット9、8 : PB12モードビット1、0 (PB12MD1、PB12MD0)

PB12/TP12/ $\overline{\text{IRQ4}}$ /SCK0 端子の機能を選びます。

ビット9	ビット8	端子機能
PB12MD1	PB12MD0	
0	0	汎用入出力 (PB12) (初期値)
0	1	割り込み要求入力 ($\overline{\text{IRQ4}}$)
1	0	シリアルクロック入出力 (SCK0)
1	1	タイミングパターン出力 (TP12)

ビット7、6 : PB11モードビット1、0 (PB11MD1、PB11MD0)

PB11/TP11/TxD1 端子の機能を選びます。

ビット7	ビット6	端子機能
PB11MD1	PB11MD0	
0	0	汎用入出力 (PB11) (初期値)
0	1	予約
1	0	送信データ出力 (TxD1)
1	1	タイミングパターン出力 (TP11)

ビット5、4 : PB10モードビット1、0 (PB10MD1、PB10MD0)

PB10/TP10/RxD1 端子の機能を選びます。

ビット5	ビット4	端子機能
PB10MD1	PB10MD0	
0	0	汎用入出力 (PB10) (初期値)
0	1	予約
1	0	受信データ入力 (RxD1)
1	1	タイミングパターン出力 (TP10)

ビット 3、2 : PB9 モードビット 1、0 (PB9MD1、PB9MD0)

PB9/TP9/TxD0 端子の機能を選びます。

ビット 3	ビット 2	端子機能
PB9MD1	PB8MD0	
0	0	汎用入出力 (PB9) (初期値)
0	1	予約
1	0	送信データ出力 (TxD0)
1	1	タイミングパターン出力 (TP9)

ビット 1、0 : PB8 モードビット 1、0 (PB8MD1、PB8MD0)

PB8/TP8/RxD0 端子の機能を選びます。

ビット 1	ビット 0	端子機能
PB8MD1	PB8MD0	
0	0	汎用入出力 (PB8) (初期値)
0	1	予約
1	0	受信データ入力 (RxD0)
1	1	タイミングパターン出力 (TP8)

(2) ポート B コントロールレジスタ 2 (PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBCR2	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット 15、14 : PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/TP7/TOCXB4/TCLKD 端子の機能を選びます。

ビット 15	ビット 14	端子機能
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7) (初期値)
0	1	ITU タイマクロック入力 (TCLKD)
1	0	ITU アウトプットコンペア出力 (TOCXB4)
1	1	タイミングパターン出力 (TP7)

14. ピンファンクションコントローラ(PFC)

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/TP6/TOCXA4/TCLKC 端子の機能を選びます。

ビット 13	ビット 12	端子機能
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6) (初期値)
0	1	ITU タイマクロック入力 (TCLKC)
1	0	ITU アウトプットコンペア出力 (TOCXA4)
1	1	タイミングパターン出力 (TP6)

ビット 11、10 : PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/TP5/TIOCB4 端子の機能を選びます。

ビット 11	ビット 10	端子機能
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCB4)
1	1	タイミングパターン出力 (TP5)

ビット 9、8 : PB4 モードビット 1、0 (PB4MD1、PB4MD0)

PB4/TP4/TIOCA4 端子の機能を選びます。

ビット 9	ビット 8	端子機能
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA4)
1	1	タイミングパターン出力 (TP4)

ビット7、6 : PB3 モードビット 1、0 (PB3MD1、PB3MD0)

PB3/TP3/TIOCB3 端子の機能を選びます。

ビット7	ビット6	端子機能
PB3MD1	PB3MD0	
0	0	汎用入出力 (PB3) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCB3)
1	1	タイミングパターン出力 (TP3)

ビット5、4 : PB2 モードビット 1、0 (PB2MD1、PB2MD0)

PB2/TP2/TIOCA3 端子の機能を選びます。

ビット5	ビット4	端子機能
PB2MD1	PB2MD0	
0	0	汎用入出力 (PB2) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA3)
1	1	タイミングパターン出力 (TP2)

ビット3、2 : PB1 モードビット 1、0 (PB1MD1、PB1MD0)

PB1/TP1/TIOCB2 端子の機能を選びます。

ビット3	ビット2	端子機能
PB1MD1	PB1MD0	
0	0	汎用入出力 (PB1) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCB2)
1	1	タイミングパターン出力 (TP1)

14. ピンファンクションコントローラ(PFC)

ビット 1、0 : PB0 モードビット 1、0 (PB0MD1、PB0MD0)

PB0/TP0/TIOCA2 端子の機能を選びます。

ビット 1	ビット 0	端子機能
PB0MD1	PB0MD0	
0	0	汎用入出力 (PB2) (初期値)
0	1	予約
1	0	ITU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOCA2)
1	1	タイミングパターン出力 (TP0)

14.3.5 カラムアドレスストローブピンコントロールレジスタ (CASCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CASH MD1	CASH MD0	CASL MD1	CASL MD0	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
RW:	RW	RW	RW	RW	-	-	-	-	-	-	-	-	-	-	-	-

カラムアドレスストローブピンコントロールレジスタ (CASCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、カラムアドレスストローブ兼チップセレクト端子の機能を選びます。

CASCR は、パワーオンリセットで H'5FFF に初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

ビット 15、14 : CASH モードビット 1、0 (CASHMD1、CASHMD0)

$\overline{CS1}$ / \overline{CASH} 端子の機能を選びます。

ビット 15	ビット 14	端子機能
CASHMD1	CASHMD0	
0	0	予約
0	1	チップセレクト出力 ($\overline{CS1}$) (初期値)
1	0	カラムアドレスストローブ出力 (\overline{CASH})
1	1	予約

ビット 13、12 : CASL モードビット 1、0 (CASLMD1、CASLMD0)

$\overline{CS3}/\overline{CASL}$ 端子の機能を選びます。

ビット 13	ビット 12	端子機能
CASLMD1	CASLMD0	
0	0	予約
0	1	チップセレクト出力 ($\overline{CS3}$) (初期値)
1	0	カラムアドレスストロブ出力 (\overline{CASL})
1	1	予約

ビット 11 ~ 0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

15 . I/O ポート(I/O)

第 15 章 目 次

15.1	概 要	489
15.2	ポート A	489
	15.2.1 レジスタ構成	490
	15.2.2 ポート A データレジスタ (PADR)	490
15.3	ポート B	491
	15.3.1 レジスタ構成	491
	15.3.2 ポート B データレジスタ (PBDR)	492

15.1 概要

ポートは、A、Bの2本から構成されています。ポートA、Bは16ビットの入出力ポートです。それぞれのポートの端子は、すべて、汎用入出力とそのほかの機能とを兼ねているマルチプレクス端子です（マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います）。ポートA、Bは、端子のデータを格納するためのデータレジスタをそれぞれ1本ずつ持っています。

15.2 ポートA

ポートAは、図15.1に示すような、16本の端子を持つ入出力ポートです。16本の端子のうち、PA3/ $\overline{CS7}$ / \overline{WAIT} 端子にはプルアップMOSが付いていて、 \overline{WAIT} 端子として機能している場合に、 \overline{WAIT} 端子をプルアップするかしらないかを、バスステートコントローラ（BSC）のウェイトステートコントロールレジスタで選ぶことができます。PA3/ $\overline{CS7}$ 端子として機能している場合にはプルアップされません。

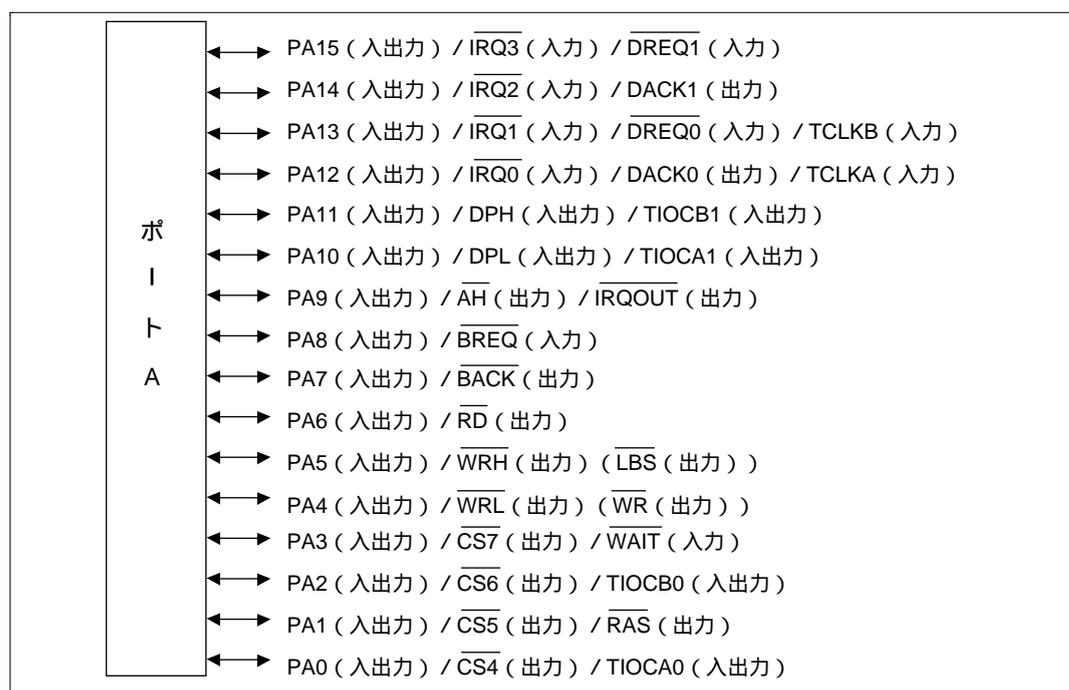


図 15.1 ポートA

15.2.1 レジスタ構成

ポートAのレジスタを表 15.1 に示します。

表 15.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポートAデータレジスタ	PADR	R/W	H'0000	H'5FFFFC0	8、16、32

15.2.2 ポートAデータレジスタ (PADR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータレジスタ (PADR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポートAのデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/ $\overline{\text{IRQ3}}/\overline{\text{DREQ1}}$ ~ PA0/ $\overline{\text{CS4}}/\text{TIOCA0}$ 端子に対応しています。端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が読み出されます。端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込みますが、端子の状態には影響しません。表 15.2 にポートAデータレジスタの読み出し / 書き込み時の動作を示します。

PADR は、パワーオンリセットで初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

表 15.2 ポートAデータレジスタ (PADR) の読み出し / 書き込み時の動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

15.3 ポート B

ポート B は、図 15.2 に示すような、16 本の端子を持つ入出力ポートです。

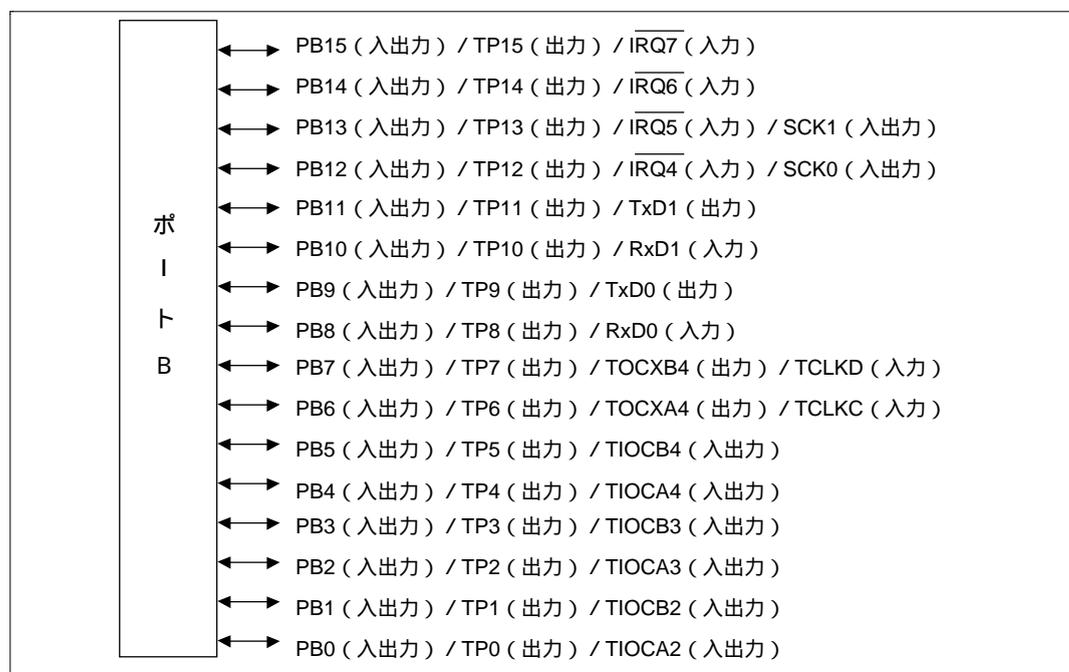


図 15.2 ポート B

15.3.1 レジスタ構成

ポート B のレジスタを表 15.3 に示します。

表 15.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'5FFFC2	8、16、32

15.3.2 ポートBデータレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBデータレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポートBのデータを格納します。PB15DR ~ PB0DR ビットは、それぞれ、PB15/TP15/ $\overline{\text{IRQ7}}$ ~ PB0/TP0/TIOCA2 端子に対応しています。端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が読み出されます。端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。ただし、端子機能をタイミングパターン出力に設定して、TPC のネクストデータイネーブルレジスタ (NDER) で TPC 出力を許可すると、PBDR に値を書き込むことはできません。表 15.4 に PBDR の読み出し / 書き込み時の動作を示します。

PBDR は、パワーオンリセットで初期化されます。しかし、マニュアルリセットおよびスタンバイモード、スリープモード時には初期化されません。

表 15.4 ポートBデータレジスタ (PBDR) の読み出し / 書き込み時の動作

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	TPn	端子の状態	不可
	上記以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	TPn	PBDR の値	不可
	上記以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

TPn : タイミングパターン出力

16 . ROM

第 16 章 目 次

16.1	概 要	495
16.2	PROM モード	497
	16.2.1 PROM モードの設定	497
	16.2.2 ソケットアダプタの端子対応とメモリマップ	497
16.3	PROM のプログラミング	500
	16.3.1 プログラミングモードの選択	500
	16.3.2 書き込み / ベリファイと電気的特性	501
	16.3.3 書き込み時の注意	504
	16.3.4 書き込み後の信頼性	505

16.1 概要

SH7020 は 16k バイトの ROM (マスク ROM)、SH7021 は 32k バイトの ROM (マスク ROM または PROM) を内蔵しています。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC) に接続されています (図 16.1)。CPU は 8、16 または 32 ビット幅で、DMAC は 8 または 16 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

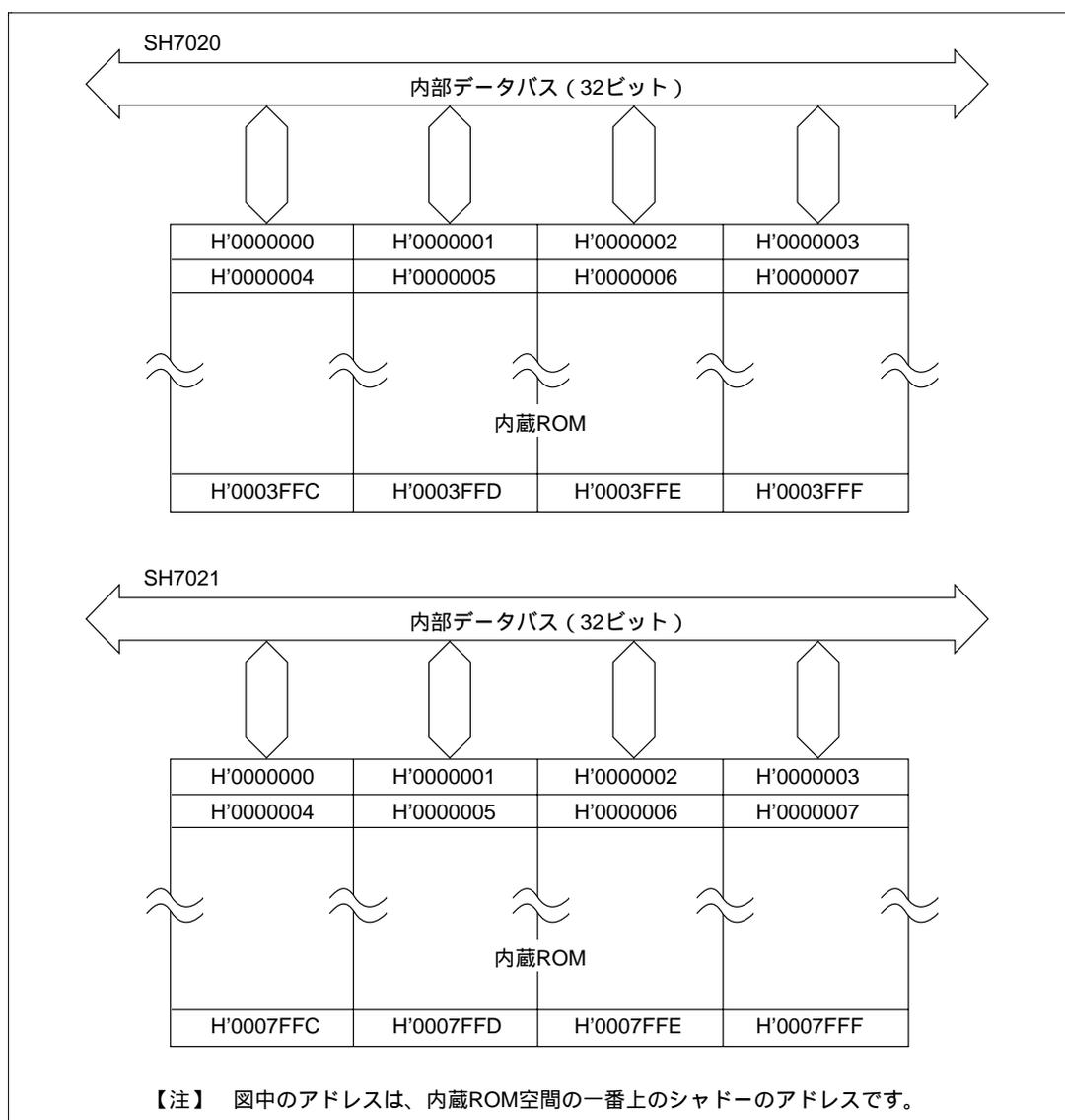


図 16.1 ROM のブロック図

内蔵 ROM は、動作モードによって有効か無効が決まります。動作モードは、表 16.1 のようにモード設定端子 MD2 ~ MD0 で選びます。内蔵 ROM を使う場合にはモード 2 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、メモリエリア 0 のアドレス H'0000000 ~ H'0003FFF(SH7020)、H'0000000 ~ H'0007FFF(SH7021)に割り付けられています。(メモリエリア 0 (H'0000000 ~ H'0FFFFFFF と H'8000000 ~ H'8FFFFFFF) は、16k バイト単位(SH7020)、32k バイト単位(SH7021)のシャドーに分かれており、どのシャドーをアクセスしても内蔵 ROM がアクセスされます。シャドーについては、「8. バスステートコントローラ」を参照してください。)

表 16.1 動作モードと ROM

動作モード	モード設定端子			エリア 0
	MD2	MD1	MD0	
モード 0 (MCU モード 0)	0	0	0	内蔵 ROM 無効、外部 8 ビット空間
モード 1 (MCU モード 1)	0	0	1	内蔵 ROM 無効、外部 16 ビット空間
モード 2 (MCU モード 2)	0	1	0	内蔵 ROM 有効
モード 7 (PROM モード)	1	1	1	—

0: ローレベル

1: ハイレベル

PROM 版は、SH7021 を PROM モードに設定することで、汎用 EPROM ライタを使って、通常の EPROM と全く同じようにプログラムを書き込むことができます。

16.2 PROM モード

16.2.1 PROM モードの設定

内蔵 PROM をプログラミングするには、図 16.2 に示すように端子を設定し、PROM モードで行ってください。

16.2.2 ソケットアダプタの端子対応とメモリマップ

図 16.2 に示すようにソケットアダプタを SH7021 に取り付けてください。これによって通常の 32 端子の EPROM (HN27C101) をプログラミングするのと全く同じように内蔵 PROM をプログラミングできるようになります。SH7021 の端子との対応を図 16.2 に、内蔵 ROM のメモリマップを図 16.3 に示します。なお、H27C101 (128k バイト) のアドレス範囲は、H'00000 ~ H'1FFFF ですが、アドレス H'08000 ~ H'1FFFF には内蔵 PROM (32k バイト) 実装されていません。

PROM ライタでプログラムする際には、プログラムアドレス範囲は必ず H'00000 ~ H'07FFF に設定してください。また、H'08000 ~ H'1FFFF のアドレス領域のデータは全て H'FF としてください。設定は、ページモードではなく、バイトモードにしてください。

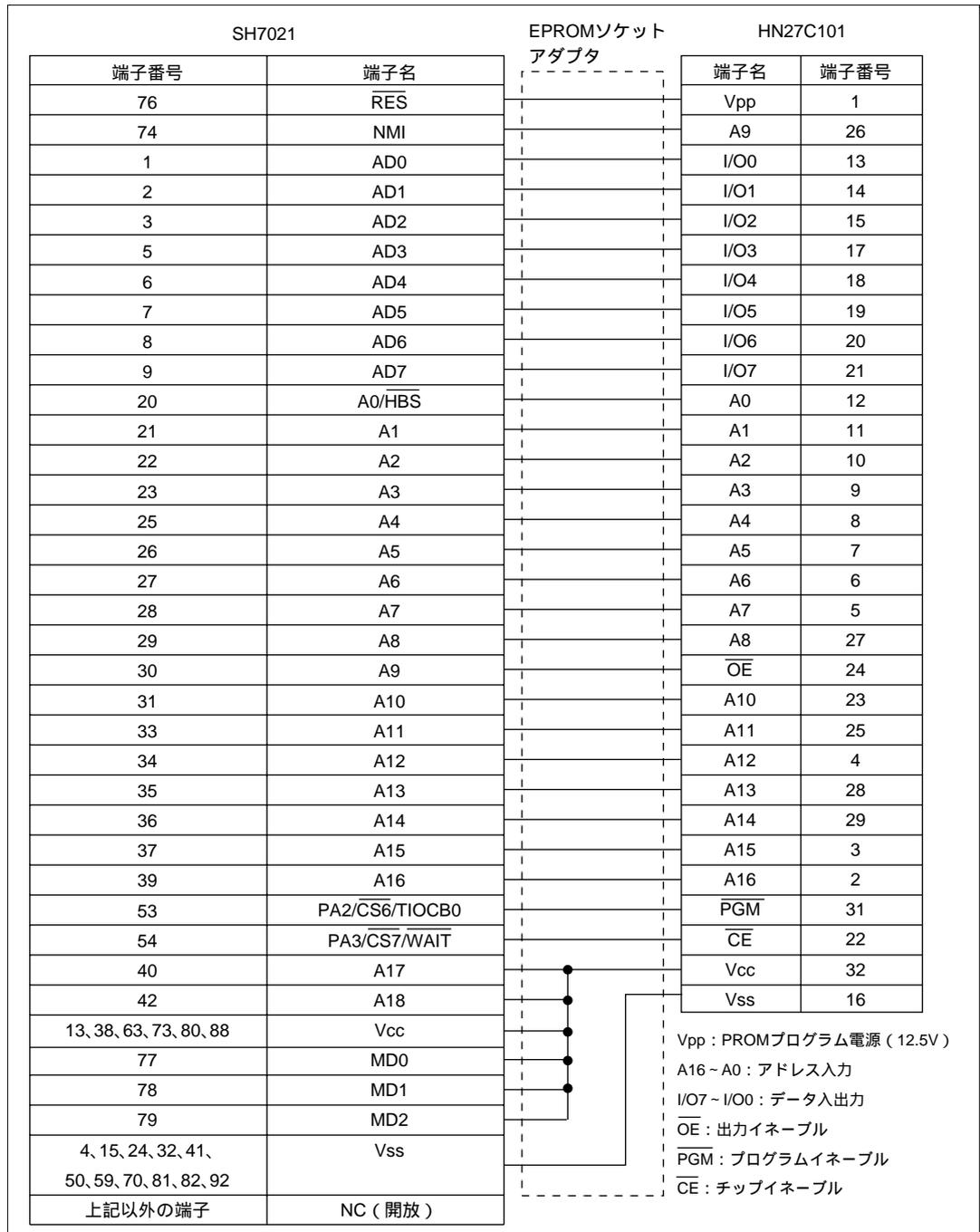


図 16.2 SH7021 の端子と HN27C101 の端子との対応

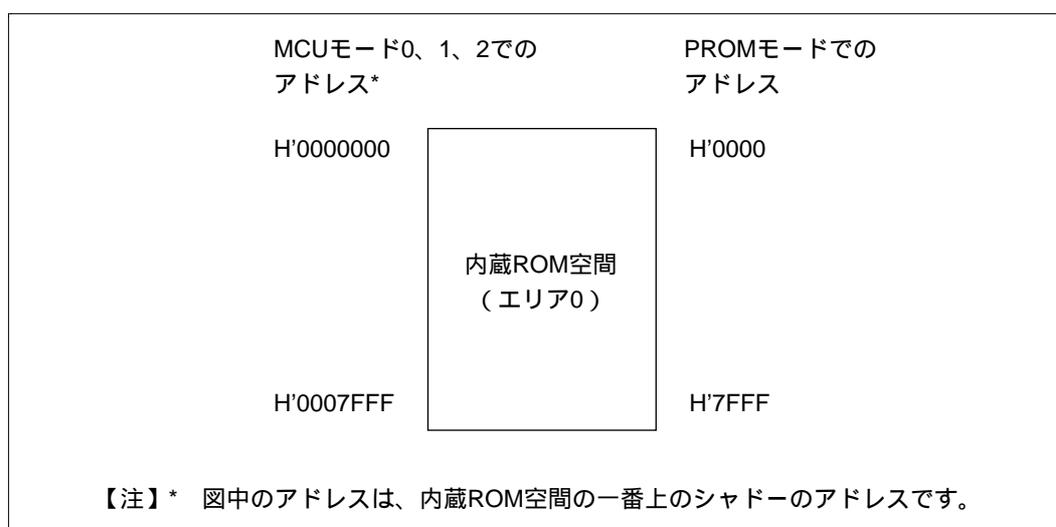


図 16.3 内蔵 ROM のメモリマップ

16.3 PROM のプログラミング

PROM モード時の書き込み/ベリファイ仕様は、標準の EPROM HN27C101 と同じです。ただし、ページプログラム方式はサポートしていませんので、PROM ライタをページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。 PROM ライタを選択する場合には、1 バイト毎の高速高信頼度プログラミング方式をサポートしていることを確認してください。

16.3.1 プログラミングモードの選択

内蔵 ROM のプログラミングモードには、書き込みとベリファイ（書き込んだデータの読み出し確認）の 2 つのモードがあります。モードは、端子で選びます。（表 16.2）

表 16.2 PROM のプログラミングモードの選択

端子名 モード名	\overline{CE}	\overline{OE}	\overline{PGM}	Vpp	Vcc	I/O7 ~ I/O0	A16 ~ A0
書き込み	0	1	0	Vpp	Vcc	データ入力	アドレス入力
ベリファイ	0	0	1			データ出力	
プログラム禁止	0	0	0			ハイインピーダンス	
	0	1	1				
	1	0	0				
	1	1	1				

《記号説明》

0 : ローレベル

1 : ハイレベル

Vpp : Vpp レベル

Vcc : Vcc レベル

16.3.2 書き込み/ベリファイと電気的特性

(1) 書き込み/ベリファイ

書き込み/ベリファイは、効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスに電圧ストレスをかけずに、高速かつ確実にデータを書き込むことのできる方式です。高速高信頼度プログラミング方式の基本フローを図 16.4 に示します。

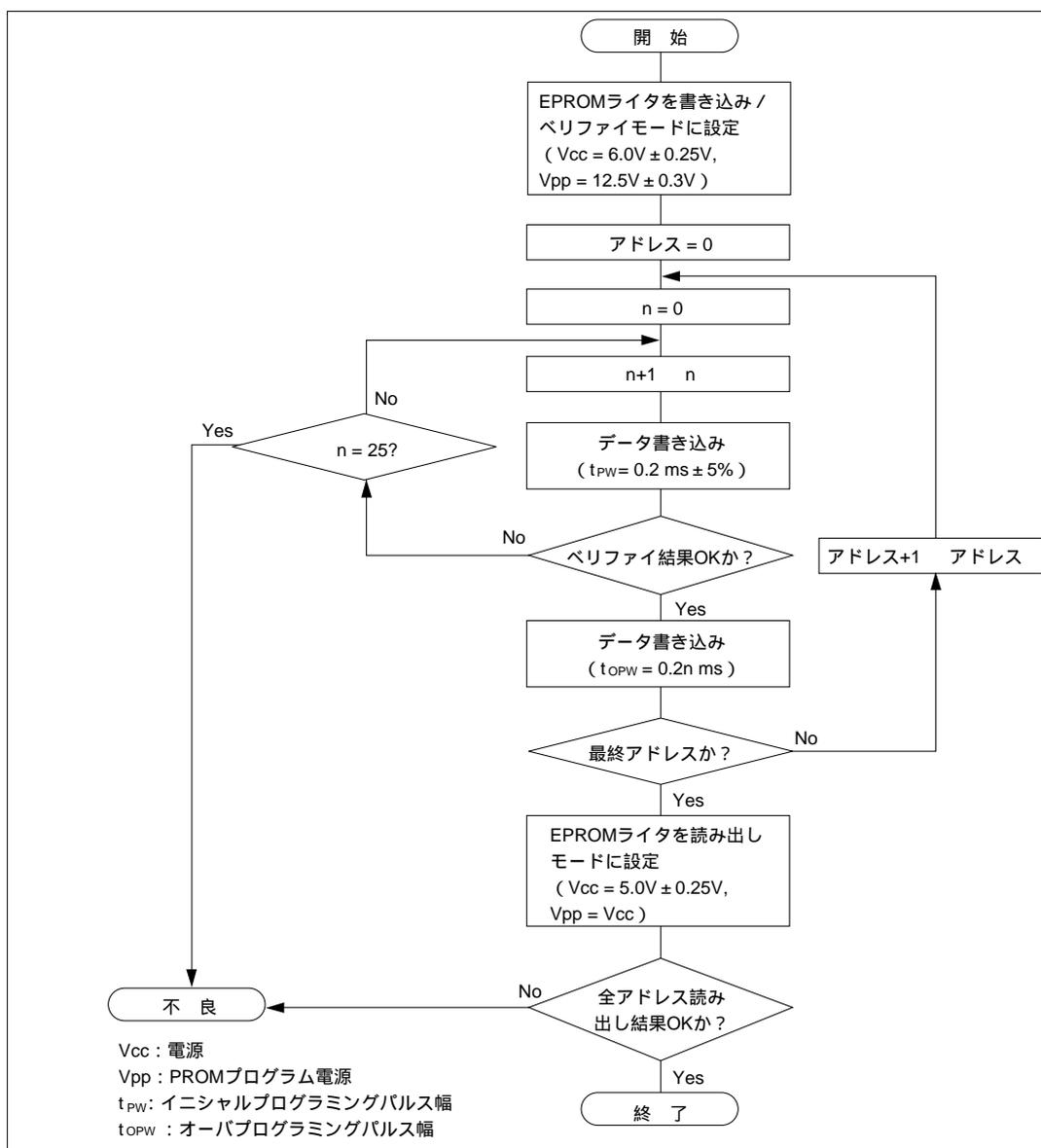


図 16.4 高速高信頼度プログラミング基本フロー

(2) 電気的特性

プログラミングの電気的特性を表 16.3 と表 16.4 に、タイミングを図 16.5 に示します。

表 16.3 DC 特性 ($V_{CC}=6.0V \pm 0.25V$ 、 $V_{pp}=12.5V \pm 0.3 V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	適用端子	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	I/O7 ~ I/O0, A16 ~ A0, \overline{OE} , \overline{CE} , \overline{PGM}	V_{IH}	2.4		$V_{CC}+0.3$	V	
入力ローレベル電圧	I/O7 ~ I/O0, A16 ~ A0, \overline{OE} , \overline{CE} , \overline{PGM}	V_{IL}	-0.3		0.8	V	
出力ハイレベル電圧	I/O7 ~ I/O0	V_{OH}	2.4			V	$I_{OH}=-200 \mu A$
出力ローレベル電圧	I/O7 ~ I/O0	V_{OL}			0.45	V	$I_{OL}=1.6mA$
入力リーク電流	I/O7 ~ I/O0, A16 ~ A0, \overline{OE} , \overline{CE} , \overline{PGM}	I_L			2	μA	$V_{IN}=5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA	
V_{pp} 電流		I_{pp}			40	mA	

表 16.4 AC 特性 ($V_{CC}=6.0V \pm 0.25V$ 、 $V_{pp}=12.5V \pm 0.3 V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 16.5*1
OE セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{pp} セットアップ時間	t_{VPS}	2			μs	
イニシャルプログラミング中の \overline{PGM} パルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラミング中の \overline{PGM} パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
\overline{OE} セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		150	ns	

【注】 *1 入力パルスレベル：0.45V ~ 2.4V

入力立ち上がり、立ち下がり時間 20ns

入力タイミング参照レベル：0.8V、2.0V

出力タイミング参照レベル：0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} はフローチャートに記載した値で定義されます。

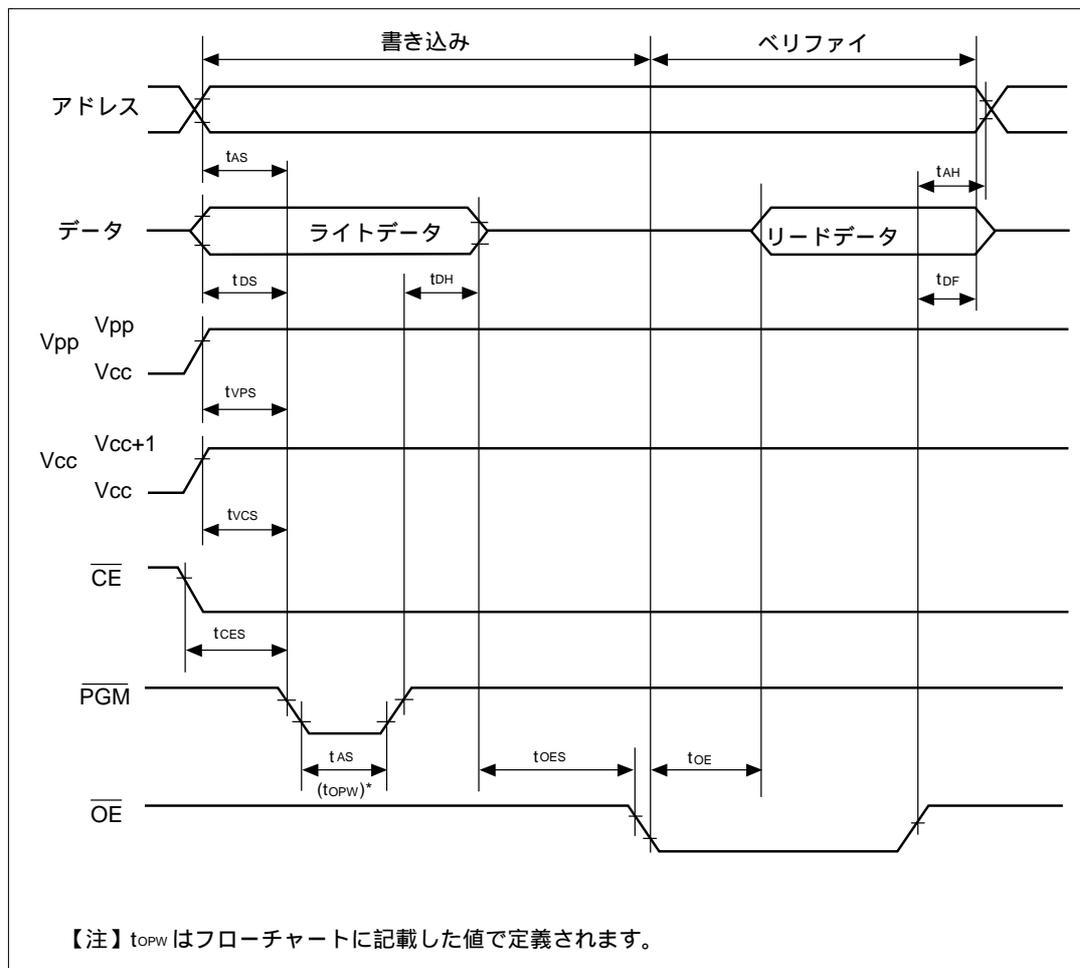


図 16.5 書き込み / ベリファイタイミング

16.3.3 書き込み時の注意

- (1) 書き込みは、必ず定められた電圧、タイミングで行ってください。書き込み電圧(プログラミング電圧) V_{pp} は、12.5V です。(EPROM ライタを HN27C101 の日立仕様にセットすると、 V_{pp} は 12.5V になります。) 定格以上の電圧を加えると、デバイスが壊れることがあります。特に、EPROM ライタのオーバシュートなどには、十分注意してください。
- (2) プログラミング前に、EPROM ライタのソケット、ソケットアダプタ、デバイスそれぞれのインデックスが一致していることを、必ず確認してください。正しい位置に装着されていないと、過剰電流が発生してデバイスが壊れることがあります。
- (3) 書き込み中には、ソケットアダプタおよびデバイスに触れないでください。接触不良によって、データを正しく書き込めなくなることがあります。
- (4) ページプログラミングモードでの書き込みはできません。必ず、バイトプログラミングモードに設定してください。
- (5) 内蔵 PROM の容量は 32k バイトですので、PROM ライタのアドレス H'08000 ~ H'1FFFF のデータは、H'FF にしてください。また、PROM ライタのアドレス範囲は必ず H'0000 ~ H'7FFF に設定してください。
- (6) 連続したアドレスで書き込み不良が発生した場合、書き込みを中止してください。この場合には、EPROM ライタや、ソケットアダプタに異常がないかどうか調べてください。

16.3.4 書き込み後の信頼性

プログラミング後、データ保持特性を向上させるために、デバイスを高温放置することをお勧めします。高温放置はスクリーニング法の一つであり、内蔵 PROM のメモリセルの初期のデータ保持不良を短時間で取り除くことができます。図 16.6 に、スクリーニングを含む内蔵 PROM のプログラミングからデバイスのボードへの実装までのフローを示します。

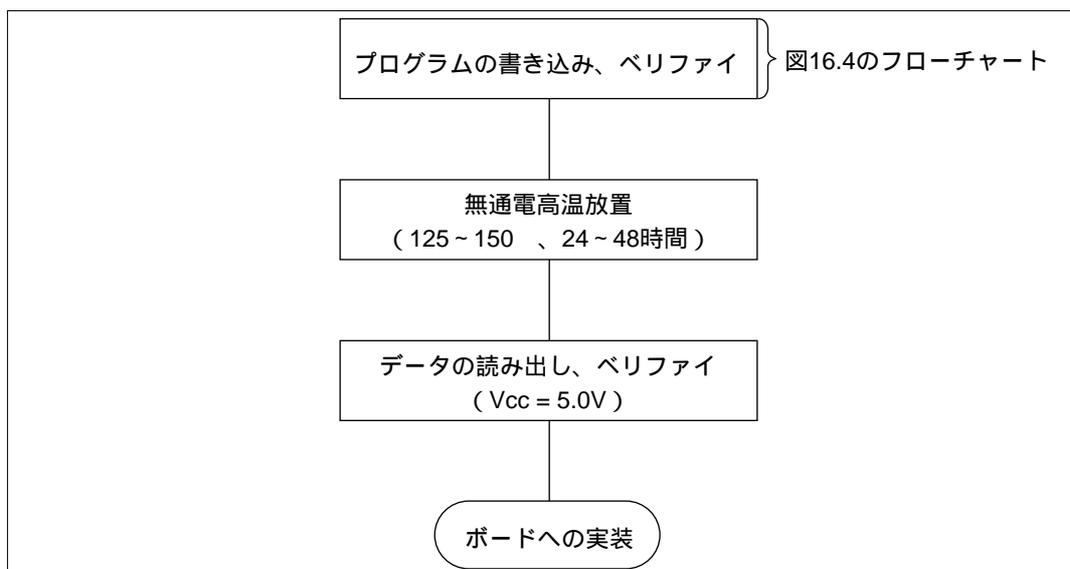


図 16.6 スクリーニングフロー

プログラムの書き込み/ベリファイあるいは高温放置後のプログラムの読み出し確認において異常がありましたら、当社の技術担当にご連絡ください。

17 . RAM

第17章 目 次

17.1 概 要	509
17.2 動作説明	509

17.1 概要

SH7020、SH7021は、1kバイトのRAMを内蔵しています。内蔵RAMは、32ビット幅のデータバスを介して、CPUとダイレクトメモリアクセスコントローラ（DMAC）に接続されています（図17.1）。CPUは、8、16または32ビット幅で、DMACは8または16ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、常に1ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵RAMの内容は、スリープモード、スタンバイモードでは保持されます。

内蔵RAMは、メモリアリア7のアドレスH'FFFC00～H'FFFFFFに割り付けられています。

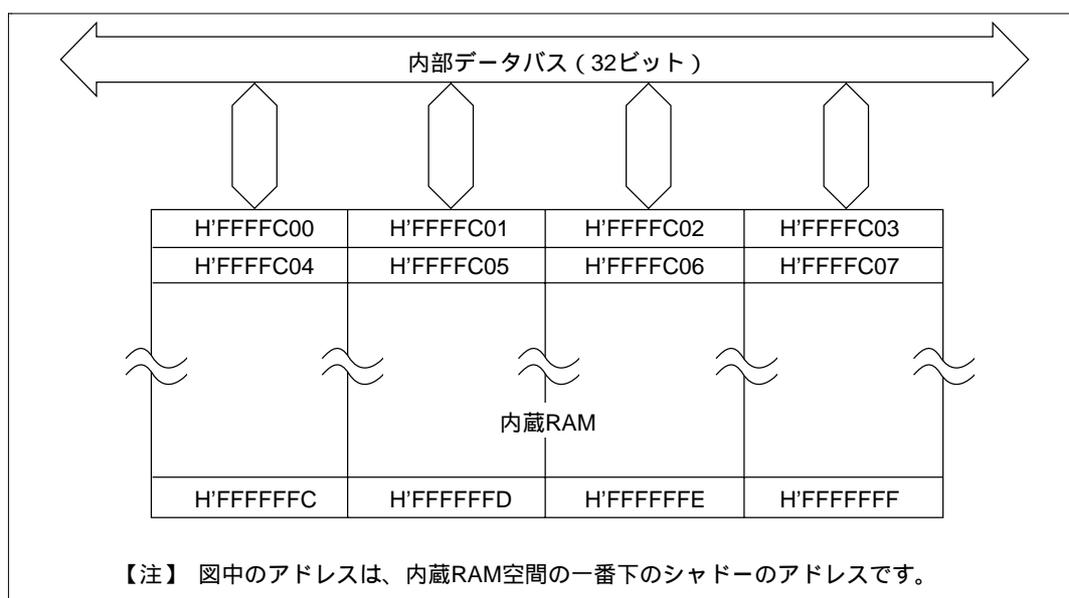


図 17.1 RAMのブロック図

17.2 動作説明

アドレスH'FFFC00～H'FFFFFFをアクセスすると、内蔵RAMがアクセスされます。（メモリアリア7（H'F00000～H'FFFFFF）は、1kバイト単位のシャドーに分かれており、どのシャドーをアクセスしても内蔵RAMがアクセスされます。シャドーについては、「8. バスステートコントローラ」を参照してください。）

18 . 低消費電力状態

第18章 目次

18.1 概要	513
18.1.1 低消費電力状態の種類	513
18.1.2 関連レジスタ	514
18.2 スタンバイコントロールレジスタ (SBYCR)	515
18.3 スリープモード	517
18.3.1 スリープモードへの遷移	517
18.3.2 スリープモードの解除	517
18.4 スタンバイモード	519
18.4.1 スタンバイモードへの遷移	519
18.4.2 スタンバイモードの解除	521
18.4.3 スタンバイモードの応用例	522

18.1 概要

低消費電力状態では、CPUが機能を停止します。これによって、本LSIの消費電力を著しく低減させることができます。

18.1.1 低消費電力状態の種類

低消費電力状態には、次の2種類のモードがあります。

(1)スリープモード

(2)スタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺機能などの状態、各モードの解除方法について、表18.1に示します。

表 18.1 低消費電力状態

モード	遷移条件	状 態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPUレジスタ	RAM	I/Oポート	
スリープ	SBYCRのSBYビットが0の状態 でSLEEP命令を実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) DMAアドレスエラー (3) パワーオンリセット (4) マニュアルリセット
スタンバイ	SBYCRのSBYビットが1の状態 でSLEEP命令を実行	停止	停止	停止*1	保持	保持	保持または ハイインピーダンス*2	(1) NMI 割り込み (2) パワーオンリセット (3) マニュアルリセット

SBYCR : スタンバイコントロールレジスタ

SBY : スタンバイビット

【注】*1 内蔵周辺モジュールのレジスタの中には、スタンバイモードによって初期化されるものとされないものがあります。「18.4.1 スタンバイモードへの遷移」の「表 18.3 スタンバイモードでのレジスタの状態」を参照してください。また、各周辺モジュールの「レジスタの説明」の項も参照してください。

*2 スタンバイモード時のI/Oポートの状態は、SBYCRのポートハイインピーダンスビット(HIZ)で設定します。「18.2 スタンバイコントロールレジスタ(SBYCR)」を参照してください。I/Oポート以外の端子状態は、「付録B 端子状態」を参照してください。

18.1.2 関連レジスタ

低消費電力状態を制御するため、表 18.2 に示すレジスタがあります。

表 18.2 関連レジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'5FFFFBC	8、16、32

18.2 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	—	—	—	—	—	—

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移とスタンバイモード時のポート状態を設定します。SBYCR は、リセットで H'1F に初期化されます。

ビット 7 : スタンバイ (SBY)

スタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SBY ビットは 1 にセットできません。スタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SBY ビットをセットしてください。

ビット 7	説明
SBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、スタンバイモードへ遷移

ビット 6 : ポートハイインピーダンス (HIZ)

スタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにしたいときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	スタンバイモード時に、端子状態を保持する (初期値)
1	スタンバイモード時に、端子状態をハイインピーダンスにする

ビット5 ~ 0 : 予約ビット

ビット5を読み出すと常に0が読み出されます。ビット5に書き込む値も必ず0にしてください。ビット4 ~ 0への書き込みは無効で、読み出すと常に1が読み出されます。

18.3 スリープモード

18.3.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) が 0 の状態で、SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

18.3.2 スリープモードの解除

スリープモードは、割り込み、DMA アドレスエラー、パワーオンリセット、マニュアルリセットによって解除されます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMA アドレスエラーが発生すると、スリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

(3) パワーオンリセットによる解除

NMI 端子がハイレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で NMI 信号の検出エッジを立ち上がり設定してある場合、パワーオンリセットを行うために NMI 端子をローレベルからハイレベルに変化させると、NMI 割り込みが発生します。このとき、スリープモードは、パワーオンリセットではなく NMI 割り込みによって解除されます。

(4) マニュアルリセットによる解除

NMI 端子がローレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態に遷移し、スリープモードは解除されます。

INTC の ICR の NMIE ビットで NMI 信号の検出エッジを立ち下がりに設定してある場合、マニュアルリセットを行うために NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが発生します。このとき、スリープモードは、マニュアルリセットではなく NMI 割り込みによって解除されます。

18.4 スタンバイモード

18.4.1 スタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられているかぎり保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 18.3)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については、「付録 B 端子状態」を参照してください。

表 18.3 スタンバイモードでのレジスタの状態 (1)

モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	—	全レジスタ
ユーザブレークコントローラ (UBC)	—	全レジスタ
バスステートコントローラ (BSC)	—	全レジスタ
ピンファンクションコントローラ (PFC)	—	全レジスタ
I/O ポート (I/O)	—	全レジスタ
ダイレクトメモリアクセスコントローラ (DMAC)	全レジスタ	—
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> ・タイマコントロールステータスレジスタ (TCSR) のビット 7~5 (OVF、WT/IT、TME) ・リセットコントロール/ステータスレジスタ (RSTCSR) 	<ul style="list-style-type: none"> ・タイマコントロールステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0) ・タイマカウンタ (TCNT)
16 ビットインテグレートドタイマパルスユニット (ITU)	全レジスタ	—
プログラマブルタイミングパターンのコントローラ (TPC)	—	全レジスタ

(続く)

表 18.3 スタンバイモードでのレジスタの状態 (2)

モジュール	初期化されるレジスタ	内容が保持されるレジスタ
シリアルコミュニケーション インタフェース (SCI)	<ul style="list-style-type: none">・ レシーブデータレジスタ (RDR)・ トランスミットデータレジスタ (TDR)・ シリアルモードレジスタ (SMR)・ シリアルコントロールレジスタ (SCR)・ シリアルステータスレジスタ (SSR)・ ビットレートレジスタ (BBR)	—
低消費電力状態関係	—	<ul style="list-style-type: none">・ スタンバイコントロールレジスタ (SBYCR)

18.4.2 スタンバイモードの解除

スタンバイモードは、NMI 割り込み、パワーオンリセット、マニュアルリセットによって解除されます。

(1) NMI 割り込み入力による解除

NMI 信号の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ（ICR）のNMI エッジセレクトビット（NMIE）で選択）が検出されると、クロックの発振が開始されます。このクロックは、ウォッチドッグタイマ（WDT）だけに供給されます。スタンバイモードに遷移する前にWDTのタイマコントロール/ステータスレジスタ（TCSR）のクロックセレクトビット（CKS2～CKS0）に設定しておいた時間が経過すると、WDT オーバフローが発生します。このオーバフロー発生によって、クロックが安定したと判断され、本LSI全体にクロックが供給されます。これによって、スタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS2～CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定したNMI 端子で、スタンバイモードを解除する場合、スタンバイに入るとき（クロック停止時）のNMI 端子のレベルがハイレベルに、かつスタンバイ復帰時（発振安定後のクロック起動時）のNMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI 端子でスタンバイモードを解除する場合、スタンバイに入るとき（クロック停止時）のNMI 端子のレベルがローレベルに、かつスタンバイ復帰時（発振安定後のクロック起動時）のNMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

NMI 端子がハイレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本LSIはパワーオンリセット状態に遷移し、スタンバイモードは解除されます。

INTC の ICR の NMIE ビットで NMI 信号の検出エッジを立ち上がりに設定してある場合、パワーオンリセットを行うためにNMI 端子をローレベルからハイレベルに変化させると、NMI 割り込みが発生します。このとき、スタンバイモードは、パワーオンリセットではなくNMI 割り込みによって解除されます。

(3) マニュアルリセットによる解除

NMI 端子がローレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態に遷移し、スタンバイモードは解除されます。

INTC の ICR の NMIE ビットで NMI 信号の検出エッジを立ち下がりに設定してある場合、マニュアルリセットを行うために NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが発生します。このとき、スタンバイモードは、マニュアルリセットではなく NMI 割り込みによって解除されます。

18.4.3 スタンバイモードの応用例

NMI 信号の立ち下がりでスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 18.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、スタンバイモードが解除されます。

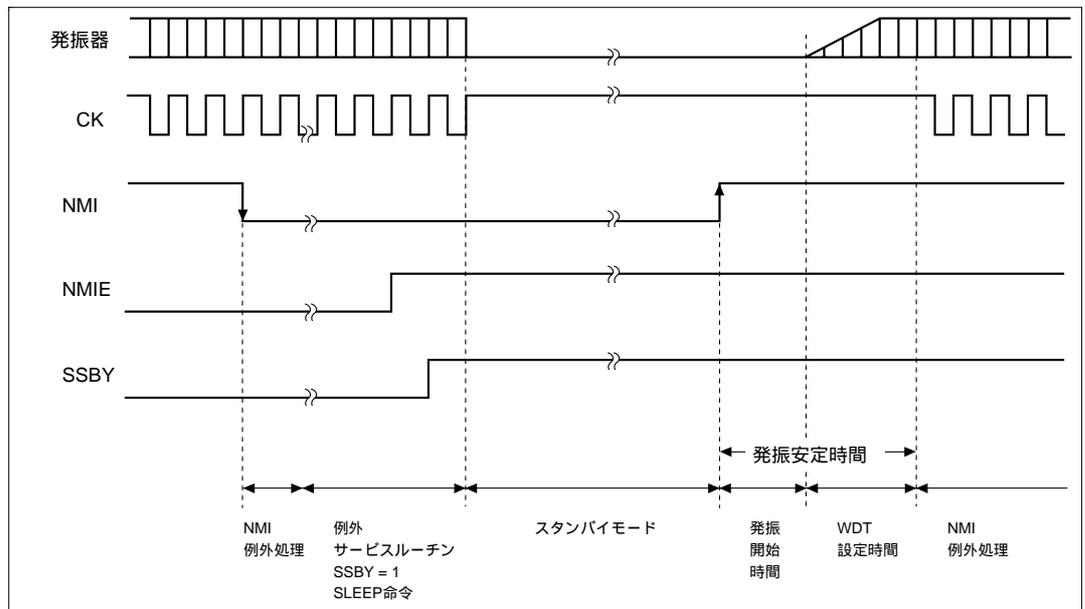


図 18.1 スタンバイモード時の NMI タイミング (応用例)

19 . 電気的特性

第 19 章 目 次

19.1	絶対最大定格	525
19.2	DC 特性	526
19.3	AC 特性	531
19.3.1	クロックタイミング	531
19.3.2	制御信号タイミング	533
19.3.3	バスタイミング	536
19.3.4	ダイレクトメモリアクセスコントローラタイミング	567
19.3.5	16 ビットインテグレートドタイマパルスユニットタイミング	569
19.3.6	プログラマブルタイミングパターンコントローラ、I/O ポートタイミング	570
19.3.7	ウォッチドッグタイマタイミング	571
19.3.8	シリアルコミュニケーションインタフェースタイミング	572
19.3.9	AC 特性測定条件	573
19.4	使用上の注意	573

19.1 絶対最大定格

表 19.1 に絶対最大定格を示します。

表 19.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	- 0.3 ~ + 7.0	V
プログラム電圧	Vpp	- 0.3 ~ + 13.5	V
入力電圧	Vin	- 0.3 ~ Vcc + 0.3	V
動作温度	Topr	- 20 ~ + 75*	
保存温度	Tstg	- 55 ~ + 125	

[使用上の注意]

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】*通常仕様品。広温度範囲品は Topr = - 40 ~ + 85

19.2 DC 特性

表 19.2 に DC 特性を、表 19.3 に出力許容電流値を示します。

表 19.2 DC 特性(1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目		記号	min	typ	max	単位	測定条件
入力ハイ レベル電圧	\overline{RES} 、NMI、MD2~0	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	その他の入力端子		2.2	-	$V_{CC} + 0.3$	V	
入力ロー レベル電圧	\overline{RES} 、NMI、MD2~0	V_{IL}	-0.3	-	0.5	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミット リガ入力電圧	PA13~10、PA2、	VT^+	4.0	-	-	V	
	PA0、PB7~PB0	VT^-	-	-	1.0	V	
		$VT^+ - VT^-$	0.4	-	-	V	
入力リーク 電流	\overline{RES}	lin	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	NMI、MD2~MD0		-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
スリーステー トリーク電流 (オフ状態)	ポート A、B、 $\overline{CS3} \sim \overline{CS0}$ 、A21~A0、 AD15~AD0	ItSI	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアッ プ MOS 電流	PA3	-Ip	20	-	300	μA	$V_{in} = 0V$
出力ハイレベ ル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			3.5	-	-	V	$I_{OH} = -1mA$
出力ローレベ ル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
			-	-	1.2	V	$I_{OL} = 8mA$
入力容量	\overline{RES}	C_{in}	-	-	30	pF	$V_{in}=0V$
	NMI		-	-	30	pF	入力信号の $f=1MHz$
	その他の全入力端子		-	-	20	pF	$T_a=25$

(続く)

表 19.2 DC 特性(1)

項目		記号	min	typ	max	単位	測定条件
消費電流	通常動作時	I _{CC}	-	60	80	mA	f = 12.5 MHz
			-	75	90	mA	f = 16.6 MHz
			-	90	100	mA	f = 20 MHz
	スリープ時		-	30	50	mA	f = 12.5MHz
			-	35	55	mA	f = 16.6 MHz
			-	40	60	mA	f = 20 MHz
	スタンバイ時		-	0.01	5	μ A	Ta 50
			-	-	20.0	μ A	50 < Ta
RAM スタンバイ電圧		VRAM	2.0	-	-	V	

【使用上の注意】

- 消費電流値は、 $V_{IHmin}=V_{CC} - 0.5V$ 、 $V_{ILmax}=0.5V$ の条件で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- ZTAT 版とマスク版の機能は同じであり、電気的特性は共に規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システム的设计時および ZTAT 版とマスク版の置き換えをする場合は、ご注意ください。

表 19.2 DC 特性(2)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=16.6MHz$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品で、 $T_a=-40 \sim +85$

項目		記号	min	typ	max	単位	測定条件
入力ハイ レベル電圧	\overline{RES} 、NMI、MD2~0	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	その他の入力端子		2.2	-	$V_{CC} + 0.3$	V	
入力ロー レベル電圧	\overline{RES} 、NMI、MD2~0	V_{IL}	-0.3	-	0.5	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミットト リガ入力電圧	PA13~10、PA2、 PA0、PB7~PB0	VT^+	4.0	-	-	V	
		VT^-	-	-	1.0	V	
		$VT^+ - VT^-$	0.4	-	-	V	
入力リーク 電流	\overline{RES}	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	NMI、MD2~MD0		-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
スリーステー トリーク電流 (オフ状態)	ポート A、B $\overline{CS3} \sim \overline{CS0}$ 、A21~A0、 AD15~AD0	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアッ プ MOS 電流	PA3	$-I_p$	20	-	300	μA	$V_{in} = 0V$
出力ハイレベ ル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			3.5	-	-	V	$I_{OH} = -1mA$
出力ローレベ ル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
			-	-	1.2	V	$I_{OL} = 8mA$
入力容量	\overline{RES}	C_{in}	-	-	30	pF	$V_{in}=0V$
	NMI		-	-	30	pF	入力信号の $f=1MHz$
	その他の全入力端子		-	-	20	pF	$T_a=25$
消費電流	通常動作時	I_{CC}	-	60	80	mA	$f = 12.5 MHz$
			-	75	90	mA	$f = 16.6 MHz$
	スリープ時		-	30	50	mA	$f = 12.5 MHz$
			-	35	55	mA	$f = 16.6 MHz$
	スタンバイ時		-	0.01	5	μA	$T_a = 50$
			-	-	20.0	μA	$50 < T_a$
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V		

【使用上の注意】

- 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

表 19.2 DC 特性(3)

条件 : $V_{CC}=3.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $f=12.5MHz$ 、 $T_a=-20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a=-40 \sim +85$

項目	記号	min	typ	max	単位	測定条件	
入力ハイ レベル電圧	\overline{RES} 、NMI、MD2~0	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V		
	EXTAL	$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V		
	その他の入力端子	$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V		
入力ロー レベル電圧	\overline{RES} 、NMI、MD2~0	-0.3	-	$V_{CC} \times 0.1$	V		
	その他の入力端子	-0.3	-	$V_{CC} \times 0.2$	V		
シュミットト リガ入力電圧	PA13~10、PA2、 PA0、PB7~PB0	V_{T+}	$V_{CC} \times 0.9$	-	-	V	
		V_{T-}	-	-	$V_{CC} \times 0.2$	V	
		$V_{T+} - V_{T-}$	$V_{CC} \times 0.07$	-	-	V	
入力リーク 電流	\overline{RES}	lin	-	-	1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	NMI、MD2~MD0		-	-	1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$	
スリーステ ートリーク電流 (オフ状態)	ポート A、B $\overline{CS3} \sim \overline{CS0}$ 、A21~A0、 AD15~AD0	ItSI	-	-	1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアッ プ MOS 電流	PA3	-Ip	20	-	300	μA $V_{in} = 0V$	
出力ハイレベ ル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力ローレベ ル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
			-	-	1.2	V	$I_{OL} = 8mA$
入力容量	\overline{RES}	C_{in}	-	-	30	pF	$V_{in}=0V$
	NMI		-	-	30	pF	入力信号の $f=1MHz$
	その他の全入力端子		-	-	20	pF	$T_a=25$
消費電流	通常動作時	I_{CC}	-	60	80	mA	$f = 12.5 MHz$
	スリープ時		-	30	50	mA	$f = 12.5 MHz$
	スタンバイ時		-	0.01	5	μA	$T_a = 50$
			-	-	20.0	μA	$50 < T_a$
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V		

【使用上の注意】

- 消費電流値は、 $V_{IH} \min=V_{CC} - 0.5V$ 、 $V_{IL} \max=0.5V$ の条件で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

表 19.3 出力許容電流値

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $f=12.5MHz$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f=16.6MHz$ 、 $T_a = -20 \sim +75$ *

条件 C : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A、B、C			単位
		min	typ	max	
出力ローレベル許容電流 (1端子あたり)	IOL	-	-	10	mA
出力ローレベル許容電流 (総和)	IOL	-	-	80	
出力ハイレベル許容電流 (1端子あたり)	-IOH	-	-	2.0	
出力ハイレベル許容電流 (総和)	- IOH	-	-	25	

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 19.3 の値を超えないようにしてください。

19.3 AC 特性

以下の AC タイミング図は、AC 特性を表わすものであり、信号の機能を表現するものではありません。信号の機能については本文中の説明を参照してください。

19.3.1 クロックタイミング

表 19.4 にクロックタイミングを示します。

表 19.4 クロックタイミング(1)

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A		条件 B				単位	参照図
		12.5MHz		16.6MHz		20MHz			
		min	max	min	max	min	max		
EXTAL 入力ハイレベルパルス幅	tEXH	20	-	10	-	10	-	ns	19.1
EXTAL 入力ローレベルパルス幅	tEXL	20	-	10	-	10	-	ns	
EXTAL 入力立ち上がり時間	tEXr	-	10	-	5	-	5	ns	
EXTAL 入力立ち下がり時間	tEXf	-	10	-	5	-	5	ns	
クロックサイクル時間	tcyc	80	500	60	500	50	500	ns	19.1、19.2
クロックハイレベルパルス幅	tCH	30	-	20	-	20	-	ns	19.2
クロックローレベルパルス幅	tCL	30	-	20	-	20	-	ns	
クロック立ち上がり時間	tCr	-	10	-	5	-	5	ns	
クロック立ち下がり時間	tCf	-	10	-	5	-	5	ns	
リセット発振安定時間	tOSC1	10	-	10	-	10	-	ms	19.3
ソフトウェアスタンバイ発振安定時間	tOSC2	10	-	10	-	10	-	ms	

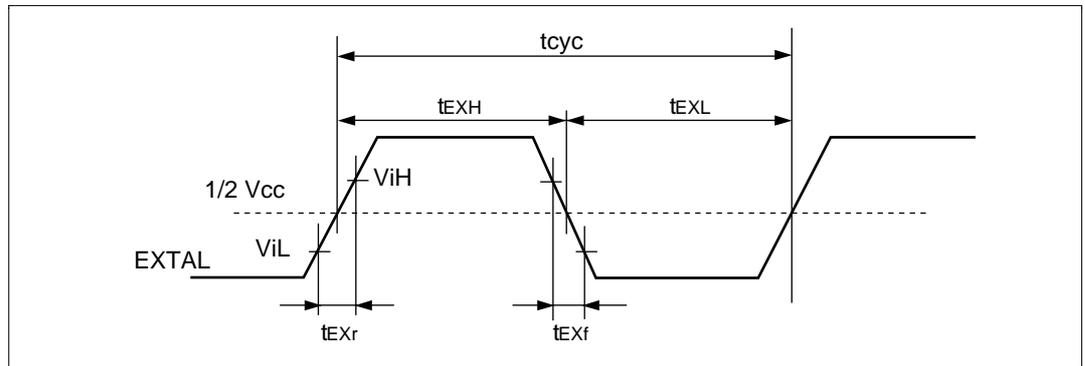


図 19.1 EXTAL 入力タイミング

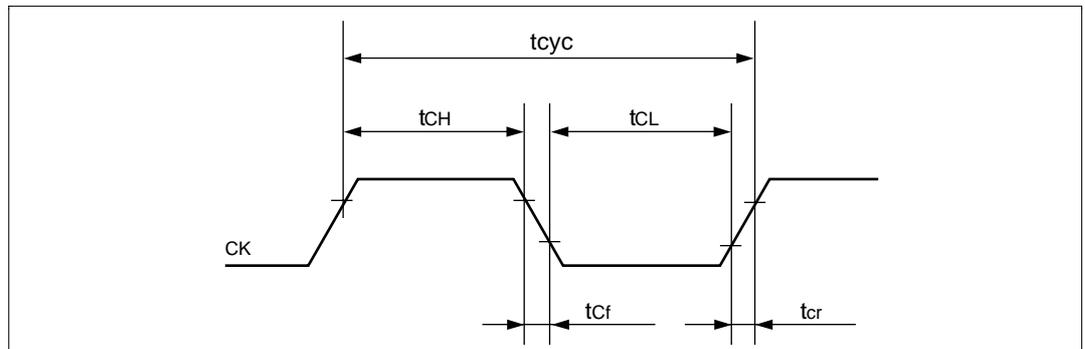


図 19.2 システムクロックタイミング

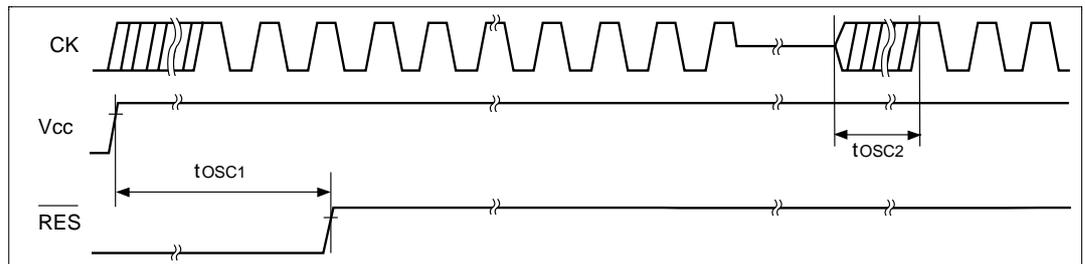


図 19.3 発振安定時間

19.3.2 制御信号タイミング

表 19.5 制御信号タイミング

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ *条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A		条件 B				単位	参照図
		12.5MHz		16.6MHz		20MHz			
		min	max	min	max	min	max		
\overline{RES} セットアップ時間	tRESS	320	-	240	-	200	-	ns	19.4
\overline{RES} パルス幅	tRESW	20	-	20	-	20	-	tcyc	
NMI リセットセットアップ時間	tNMIRS	320	-	240	-	200	-	ns	
NMI リセットホールド時間	tNMIRH	320	-	240	-	200	-	ns	
NMI セットアップ時間	tNMIS	160	-	120	-	100	-	ns	19.5
NMI ホールド時間	tNMIH	80	-	60	-	50	-	ns	
$\overline{IRQ0} \sim \overline{IRQ7}$ セットアップ時間 (エッジ検出時)	tIRQES	160	-	120	-	100	-	ns	
$\overline{IRQ0} \sim \overline{IRQ7}$ セットアップ時間 (レベル検出時)	tIRQLS	160	-	120	-	100	-	ns	
$\overline{IRQ0} \sim \overline{IRQ7}$ ホールド時間	tIRQEH	80	-	60	-	50	-	ns	19.6
\overline{IRQOUT} 出力遅延時間	tIRQOD	-	80	-	60	-	50	ns	
バスリクエストセットアップ時間	tBRQS	80	-	60	-	50	-	ns	19.7
バスアクノリッジ遅延時間 1	tBACD	-	80	-	60	-	50	ns	
バスアクノリッジ遅延時間 2	tBACD	-	80	-	60	-	50	ns	
バススリーステート遅延時間	tBZD	-	80	-	60	-	50	ns	

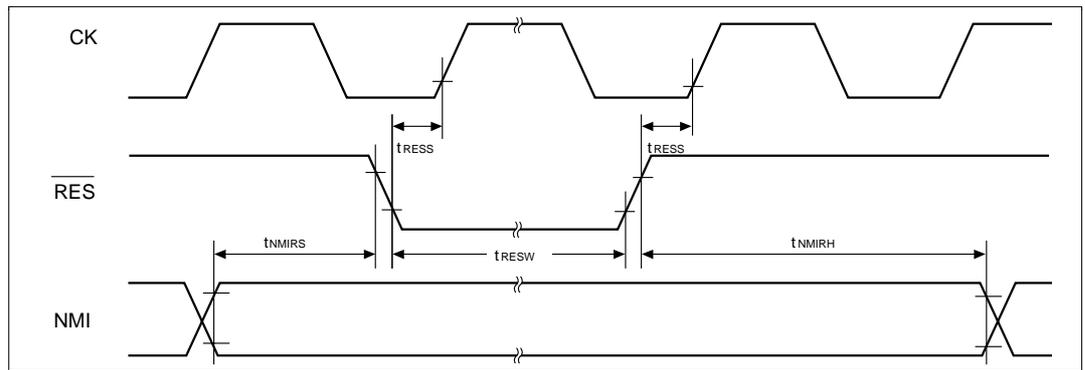


図 19.4 リセット入力タイミング

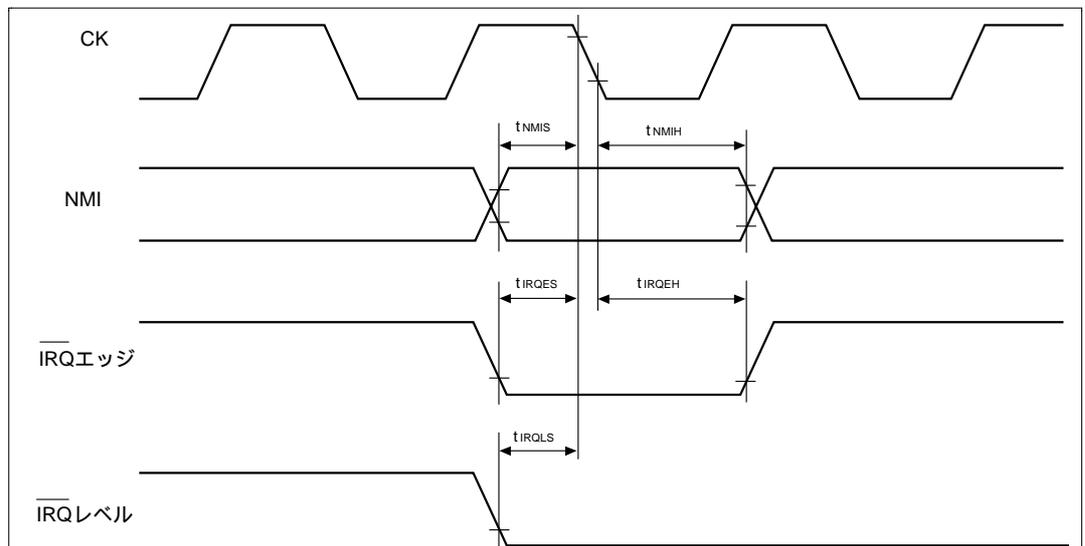


図 19.5 割り込み信号入力タイミング

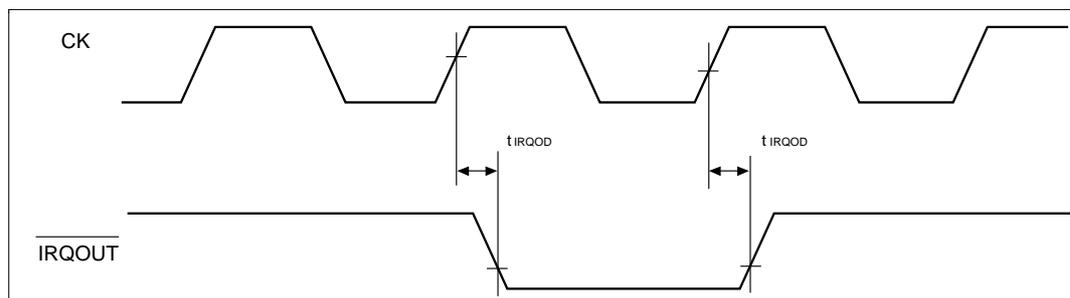


図 19.6 割り込み信号出力タイミング

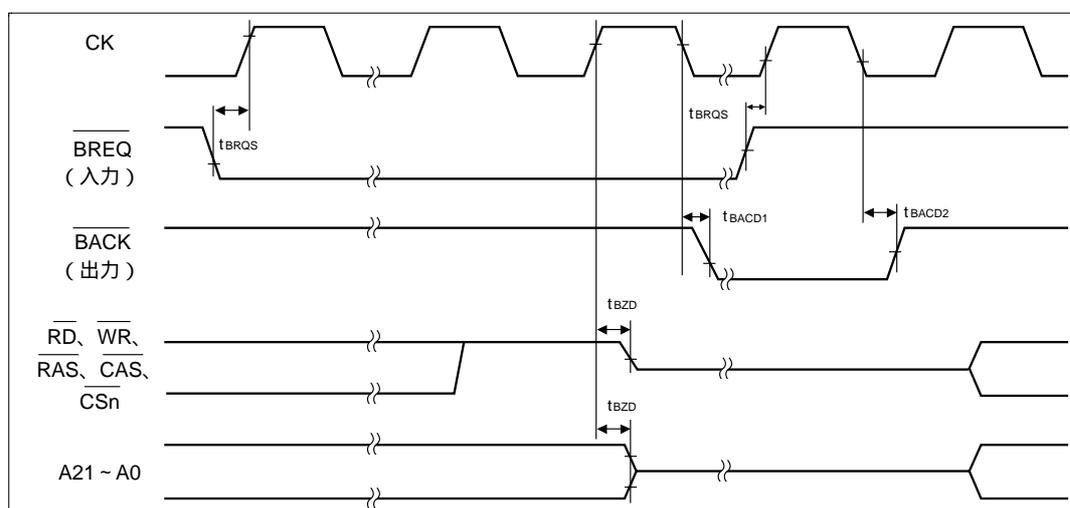


図 19.7 バス権解放タイミング

19.3.3 バスタイミング

表 19.6 ~ 表 19.8 にバスタイミングを示します。

表 19.6 バスタイミング (1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図	
アドレス遅延時間	tAD	-	20* ¹	ns	19.8、9、11 ~ 14、19、20	
\overline{CS} 遅延時間 1	tCSD1	-	25	ns	19.8、9、20	
\overline{CS} 遅延時間 2	tCSD2	-	25	ns		
\overline{CS} 遅延時間 3	tCSD3	-	20	ns		
\overline{CS} 遅延時間 4	tCSD4	-	20	ns		
リードストロブからの アクセス時間 1 * ⁶	tRDAC1	35%デューティ時* ²	$tcyc \times 0.65 - 20$	-	ns	19.8
		50%デューティ時	$tcyc \times 0.5 - 20$	-		
リードストロブからの アクセス時間 2 * ⁶	tRDAC2	35%デューティ時* ²	$tcyc \times (n + 1.65) - 20^{*3}$	-	ns	19.9、10
		50%デューティ時	$tcyc \times (n + 1.5) - 20^{*3}$	-		
リードストロブからの アクセス時間 3 * ⁶	tRDAC3	35%デューティ時* ²	$tcyc \times (n + 0.65) - 20^{*3}$	-	ns	19.19
		50%デューティ時	$tcyc \times (n + 0.5) - 20^{*3}$	-		
リードストロブ遅延時間	tRSD	-	20	ns	19.8、9、19	
リードデータセットアップ時間	tRDS	15	-	ns	19.8、9、11 ~ 14、19	
リードデータホールド時間	tRDH	0	-	ns		
ライトストロブ遅延時間 1	tWSD1	-	20	ns		
ライトストロブ遅延時間 2	tWSD2	-	20	ns	19.9、13、14、19	
ライトストロブ遅延時間 3	tWSD3	-	20	ns	19.11、12	
ライトストロブ遅延時間 4	tWSD4	-	20	ns	19.11、12、20	
ライトデータ遅延時間 1	tWDD1	-	35	ns	19.9、13、14、19	
ライトデータ遅延時間 2	tWDD2	-	20	ns	19.11、12	
ライトデータホールド時間	tWDH	0	-	ns	19.9、11 ~ 14	
パリティ出力遅延時間 1	tWPDD1	-	40	ns	19.9、13、14	
パリティ出力遅延時間 2	tWPDD2	-	20	ns	19.11、12	
パリティ出力ホールド時間	tWPDH	0	-	ns	19.9、11 ~ 14	
ウェイトセットアップ時間	tWTS	14	-	ns	19.10、15、19	
ウェイトホールド時間	tWTH	10	-	ns		

(続く)

表 19.6 バスタイミング (1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=20MHz$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図	
リードデータアクセス時間 1 * ⁶	tACC1	$t_{cyc} - 30^{*4}$	-	ns	19.8、11、12	
リードデータアクセス時間 2 * ⁶	tACC2	$t_{cyc} \times (n + 2) - 30^{*3}$	-	ns	19.9、10、13、14	
\overline{RAS} 遅延時間 1	tRASD1	-	20	ns	19.11 ~ 14、16 ~	
\overline{RAS} 遅延時間 2	tRASD2	-	30	ns	18	
\overline{CAS} 遅延時間 1	tCASD1	-	20	ns	19.11	
\overline{CAS} 遅延時間 2	tCASD2	-	20	ns	19.13、14、16 ~	
\overline{CAS} 遅延時間 3	tCASD3	-	20	ns	18	
カラムアドレスセットアップ時間	tASC	0	-	ns	19.11、12	
\overline{CAS} からのリードデータ アクセス時間 1 * ⁶	35% デューティ時* ² 50% デューティ時	tCAC1	$t_{cyc} \times 0.65 - 19$	-	ns	19.11、12
			$t_{cyc} \times 0.5 - 19$	-		
\overline{CAS} からのリードデータアクセス時間 2 * ⁶	tCAC2	$t_{cyc} \times (n + 1) - 25^{*3}$	-	ns	19.13、14、15	
\overline{RAS} からのリードデータアクセス時間 1 * ⁶	tRAC1	$t_{cyc} \times 1.5 - 20$	-	ns	19.11、12	
\overline{RAS} からのリードデータアクセス時間 2 * ⁶	tRAC2	$t_{cyc} \times (n + 2.5) - 20^{*3}$	-	ns	19.13、14、15	
高速ページモード \overline{CAS} プリチャージ時間	tCP	$t_{cyc} \times 0.25$	-	ns	19.12	
AH 遅延時間 1	tAHD1	-	20	ns	19.19	
AH 遅延時間 2	tAHD2	-	20	ns		
マルチプレクスアドレス遅延時間	tMAD	-	30	ns		
マルチプレクスアドレスホールド時間	tMAH	0	-	ns		
DACK0, DACK1 遅延時間 1	tDACD1	-	23	ns	19.8、9、	
DACK0, DACK1 遅延時間 2	tDACD2	-	23	ns	11 ~ 14、19、20	
DACK0, DACK1 遅延時間 3	tDACD3	-	20	ns	19.9、13、14、19	
DACK0, DACK1 遅延時間 4	tDACD4	-	20	ns	19.11、12	
DACK0, DACK1 遅延時間 5	tDACD5	-	20	ns	19.11、12	
リード遅延時間	35% デューティ時* ² 50% デューティ時	tRDD	-	$t_{cyc} \times 0.35 + 12$	ns	19.8、9
			-	$t_{cyc} \times 0.5 + 15$		11 ~ 15
\overline{CAS} に対するデータのセットアップ時間	tDS	0* ⁵	-	ns	19.11、13	

(続 く)

表 19.6 バスタイミング (1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=20MHz$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目		記号	min	max	単位	参照図
RAS に対する CAS のセットアップ時間		tCSR	10	-	ns	19.16、17、18
ロウアドレスホールド時間		tRAH	10	-	ns	19.11、13
ライトコマンドホールド時間		tWCH	15	-	ns	19.11、13
ライトコマンドセット アップ時間	35%デューティ時* ²	tWCS	0	-	ns	19.11
	50%デューティ時	tWCS	0	-	ns	19.11
CAS プリチャージからのアクセス時間* ⁶		tACP	tcyc - 20	-	ns	19.12

【注】 *1 HBS、LBS 信号は 25ns

*2 動作周波数 10MHz 以上の場合

*3 n はウェイトサイクル数

*4 アドレス(A0 ~ A21)からのアクセス時間は tcyc - 25

*5 DRAM のロングピッチアクセスのパリティ出力の場合は - 5ns

*6 アクセス時間を満たしていれば t_{RDS} を満たす必要はありません

表 19.7 バスタイミング (2)

条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=16.6MHz$ 、 $T_a = -20 \sim +75$ **: 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目		記号	min	max	単位	参照図	
アドレス遅延時間		tAD	-	25 ^{*1}	ns	19.8、9、11~14、19、20	
CS 遅延時間 1		tCSD1	-	30	ns	19.8、9、20	
CS 遅延時間 2		tCSD2	-	25	ns		
CS 遅延時間 3		tCSD3	-	25	ns	19.19	
CS 遅延時間 4		tCSD4	-	25	ns		
リードストロープからのアクセス 時間 1 ^{*6}	35%デューティ時 ^{*2}	tRDAC1	tcyc × 0.65 - 20		-	ns	19.9、8
	50%デューティ時		tcyc × 0.5 - 20		-		
リードストロープからのアクセス 時間 2 ^{*6}	35%デューティ時 ^{*2}	tRDAC2	tcyc × (n + 1.65) - 20 ^{*3}		-	ns	19.9、10
	50%デューティ時		tcyc × (n + 1.5) - 20 ^{*3}		-		
リードストロープからのアクセス 時間 3 ^{*6}	35%デューティ時 ^{*2}	tRDAC3	tcyc × (n + 0.65) - 20 ^{*3}		-	ns	19.19
	50%デューティ時		tcyc × (n + 0.5) - 20 ^{*3}		-		
リードストロープ遅延時間		tRSD	-	25	ns	19.8、9、19	
リードデータセットアップ時間		tRDS	15	-	ns	19.8、9、11~14、19	
リードデータホールド時間		tRDH	0	-	ns		
ライトストロープ遅延時間 1		tWSD1	-	25	ns	19.9、13、14、19、20	
ライトストロープ遅延時間 2		tWSD2	-	25	ns	19.9、13、14、19	
ライトストロープ遅延時間 3		tWSD3	-	25	ns	19.11、12	
ライトストロープ遅延時間 4		tWSD4	-	25	ns	19.11、12、20	
ライトデータ遅延時間 1		tWDD1	-	45	ns	19.9、13、14、19	
ライトデータ遅延時間 2		tWDD2	-	25	ns	19.11、12、24	
ライトデータホールド時間		tWDH	0	-	ns	19.9、11~1	
パリティ出力遅延時間 1		tWPDD1	-	45	ns	19.9、13、14	
パリティ出力遅延時間 2		tWPDD2	-	25	ns	19.11、12	
パリティ出力ホールド時間		tWPDH	0	-	ns	19.9、11~14	
ウェイトセットアップ時間		tWTS	19	-	ns	19.10、15、19	
ウェイトホールド時間		tWTH	10	-	ns		

(続く)

19. 電気的特性

表 19.7 バスタイミング (2)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=16.6MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図	
リードデータアクセス時間 1 * ⁶	tACC1	$tcyc - 30^{*4}$	-	ns	19.8、11、12	
リードデータアクセス時間 2 * ⁶	tACC2	$tcyc \times (n + 2) - 30^{*3}$	-	ns	19.9、10、13、14	
\overline{RAS} 遅延時間 1	tRASD1	-	25	ns	19.11 ~ 14、16 ~ 18	
\overline{RAS} 遅延時間 2	tRASD2	-	35	ns		
\overline{CAS} 遅延時間 1	tCASD1	-	25	ns	19.11	
\overline{CAS} 遅延時間 2	tCASD2	-	25	ns	19.13、14、16 ~ 18	
\overline{CAS} 遅延時間 3	tCASD3	-	25	ns		
カラムアドレスセットアップ時間	tASC	0	-	ns	19.11、12	
\overline{CAS} からのリードデータアクセス時間 1 * ⁶	35%デューティ時 ²	tCAC1	$tcyc \times 0.65 - 19$	-	ns	19.11、12
		50%デューティ時	$tcyc \times 0.5 - 19$	-		
\overline{CAS} からのリードデータアクセス時間 2 * ⁶	tCAC2	$tcyc \times (n + 1) - 25^{*3}$	-	ns	19.13、14、15	
\overline{RAS} からのリードデータアクセス時間 1 * ⁶	tRAC1	$tcyc \times 1.5 - 20$	-	ns	19.11、12	
\overline{RAS} からのリードデータアクセス時間 2 * ⁶	tRAC2	$tcyc \times (n + 2.5) - 20^{*3}$	-	ns	19.13、14、15	
高速ページモード \overline{CAS} プリチャージ時間	tCP	$tcyc \times 0.25$	-	ns	19.12	
AH 遅延時間 1	tAHD1	-	25	ns	19.19	
AH 遅延時間 2	tAHD2	-	25	ns		
マルチプレクスアドレス遅延時間	tMAD	-	30	ns		
マルチプレクスアドレスホールド時間	tMAH	0	-	ns		
DACK0, DACK1 遅延時間 1	tDACD1	-	25	ns	19.8、9、11	
DACK0, DACK1 遅延時間 2	tDACD2	-	25	ns		
DACK0, DACK1 遅延時間 3	tDACD3	-	25	ns	19.9、13、14、19	
DACK0, DACK1 遅延時間 4	tDACD4	-	25	ns	19.11、12	
DACK0, DACK1 遅延時間 5	tDACD5	-	25	ns	19.11、12	
リード遅延時間	35%デューティ時 ²	tRDD	-	$tcyc \times 0.35 + 12$	ns	19.8、9、11 ~ 15、19
	50%デューティ時		-	$tcyc \times 0.5 + 15$		
\overline{CAS} に対するデータのセットアップ時間	tDS	0 ⁵	-	ns	19.11、13	
\overline{RAS} に対する \overline{CAS} のセットアップ時間	tCSR	10	-	ns	19.16、17、18	
ロウアドレスホールド時間	tRAH	10	-	ns	19.11、13	
ライトコマンドホールド時間	tWCH	15	-	ns	19.11、13	

(続く)

表 19.7 バスタイミング (2)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f=16.6MHz$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図	
ライトコマンドセツ	35%デューティ時 ^{*2}	tWCS	0	-	ns	19.11
トアップ時間	50%デューティ時	tWCS	0	-	ns	19.11
CAS プリチャージからのアクセス時間 ^{*6}		tACP	tcyc - 20	-	ns	19.12

- 【注】 *1 HBS、LBS 信号は 30 ns
 *2 動作周波数 10MHz 以上の場合
 *3 n はウェイトサイクル数
 *4 アドレス(A0 ~ A21)からのアクセス時間は tcyc - 25
 *5 DRAM のロングピッチアクセスのパリティ出力の場合は - 5ns
 *6 アクセス時間を満たしていれば t_{RDS} を満たす必要はありません

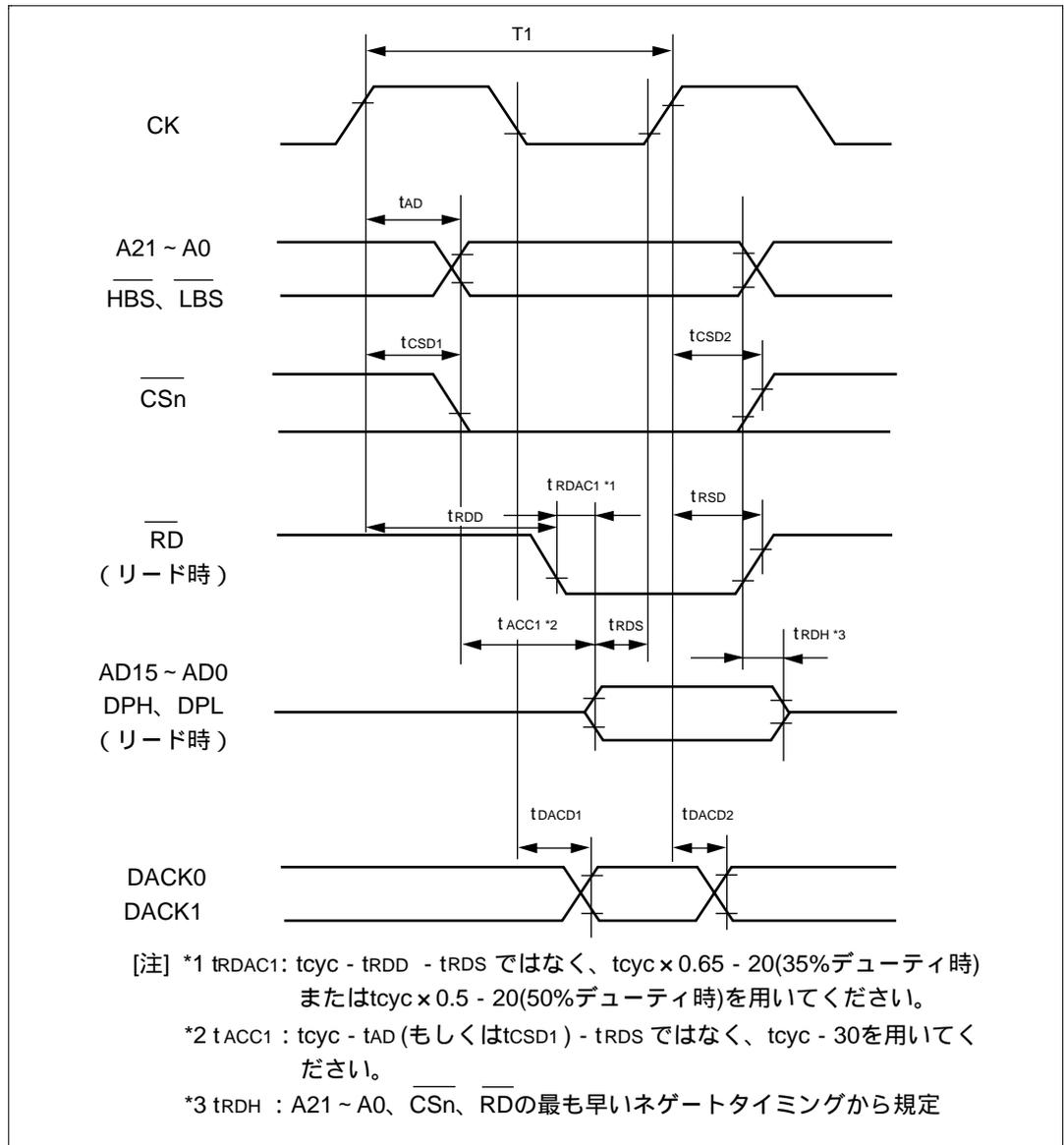


図 19.8 基本バスサイクル (1 ステートリード)

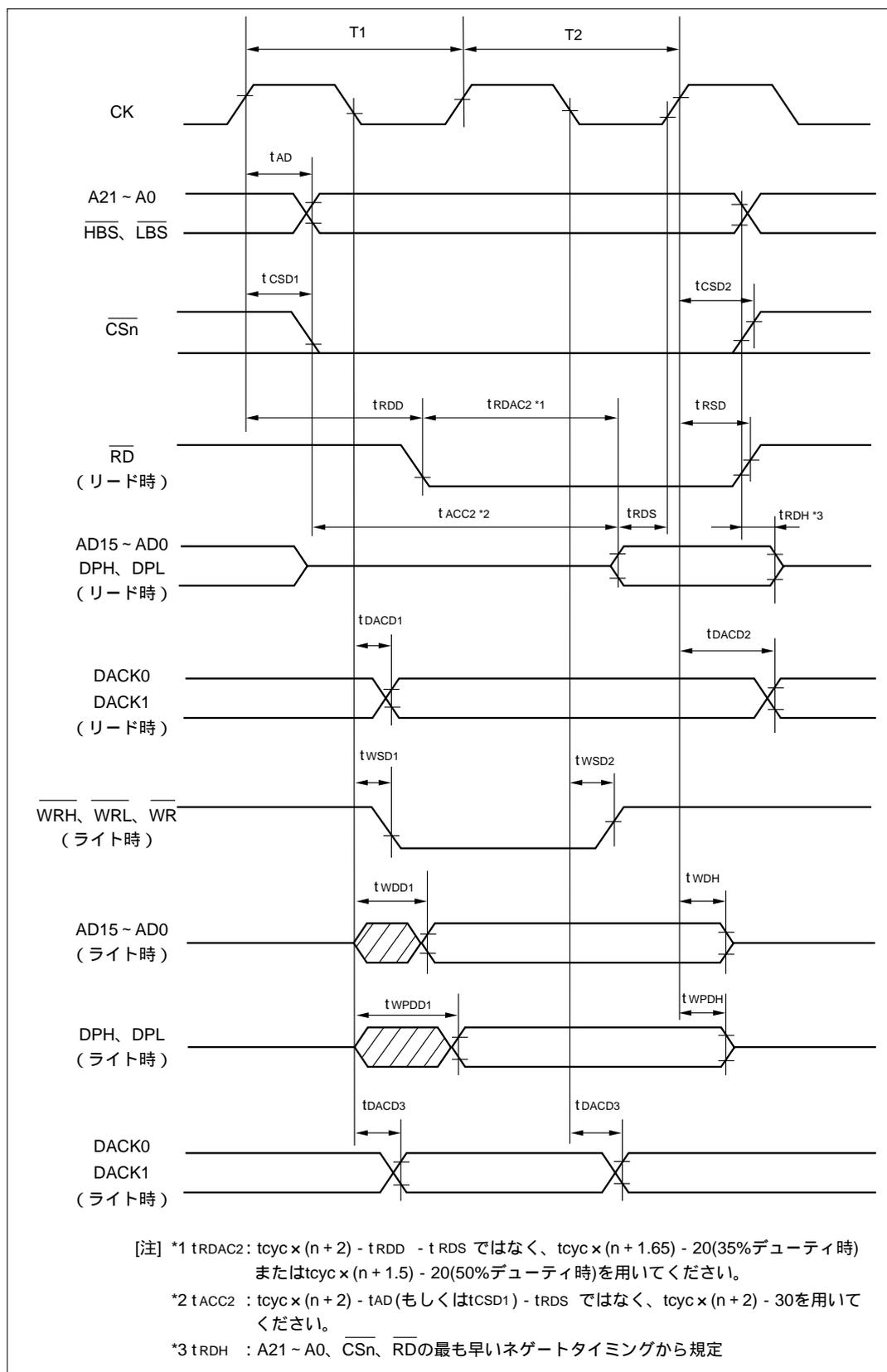


図 19.9 基本バスサイクル(2ステート)

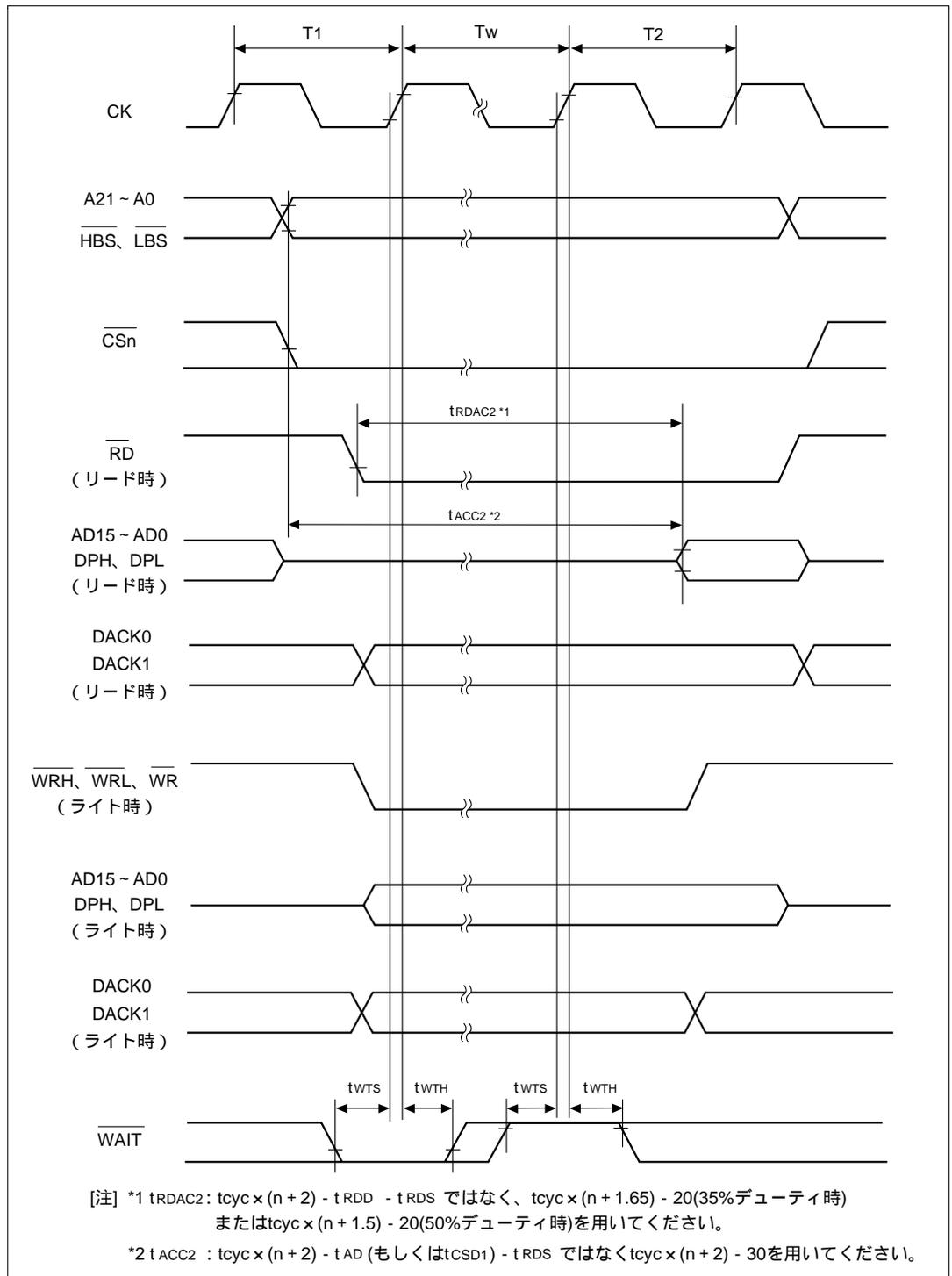


図 19.10 基本バスサイクル (2 ステート+ウェイトステート)

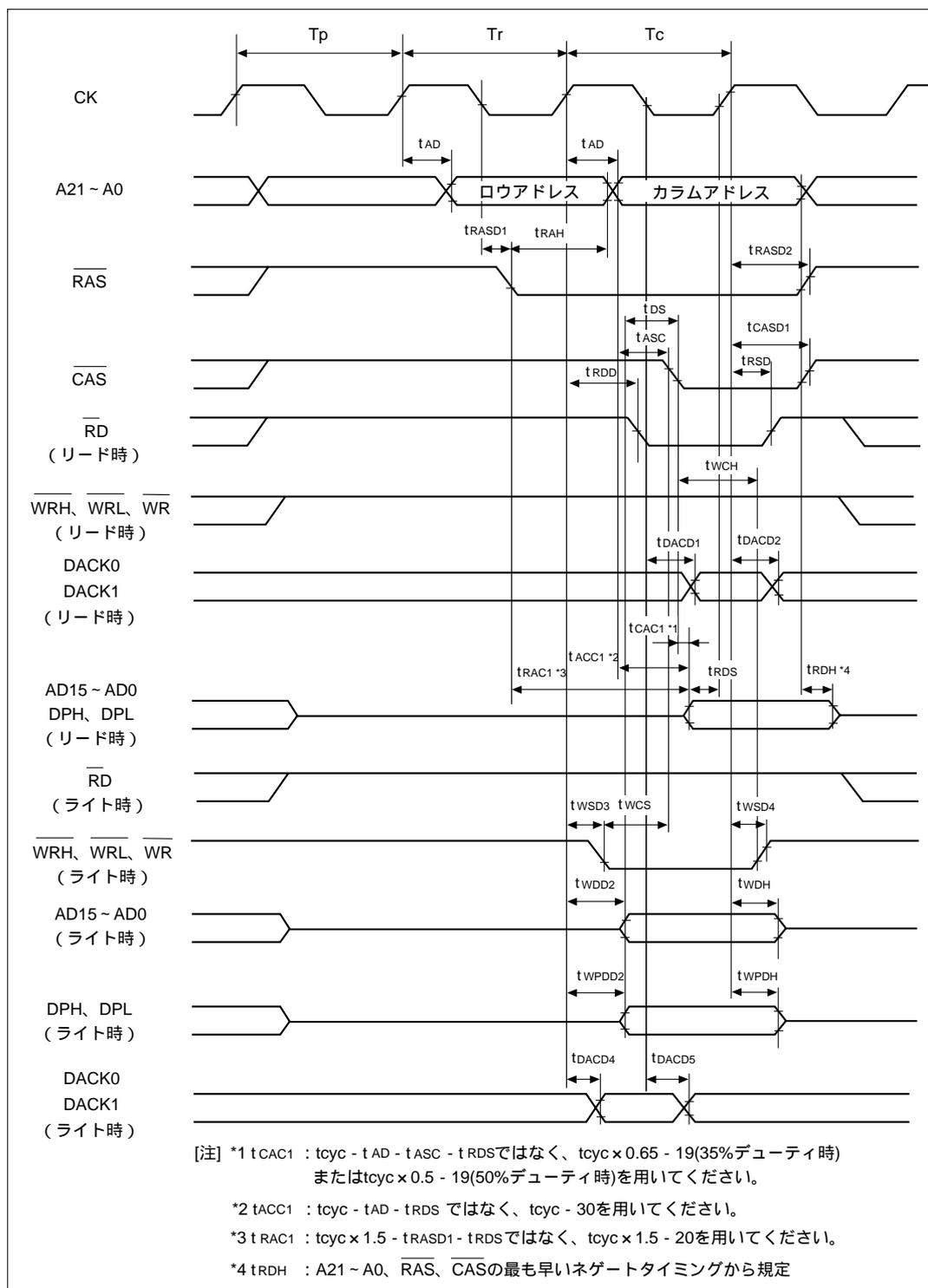


図 19.11 DRAM バスサイクル (ショートピッチノーマルモード)

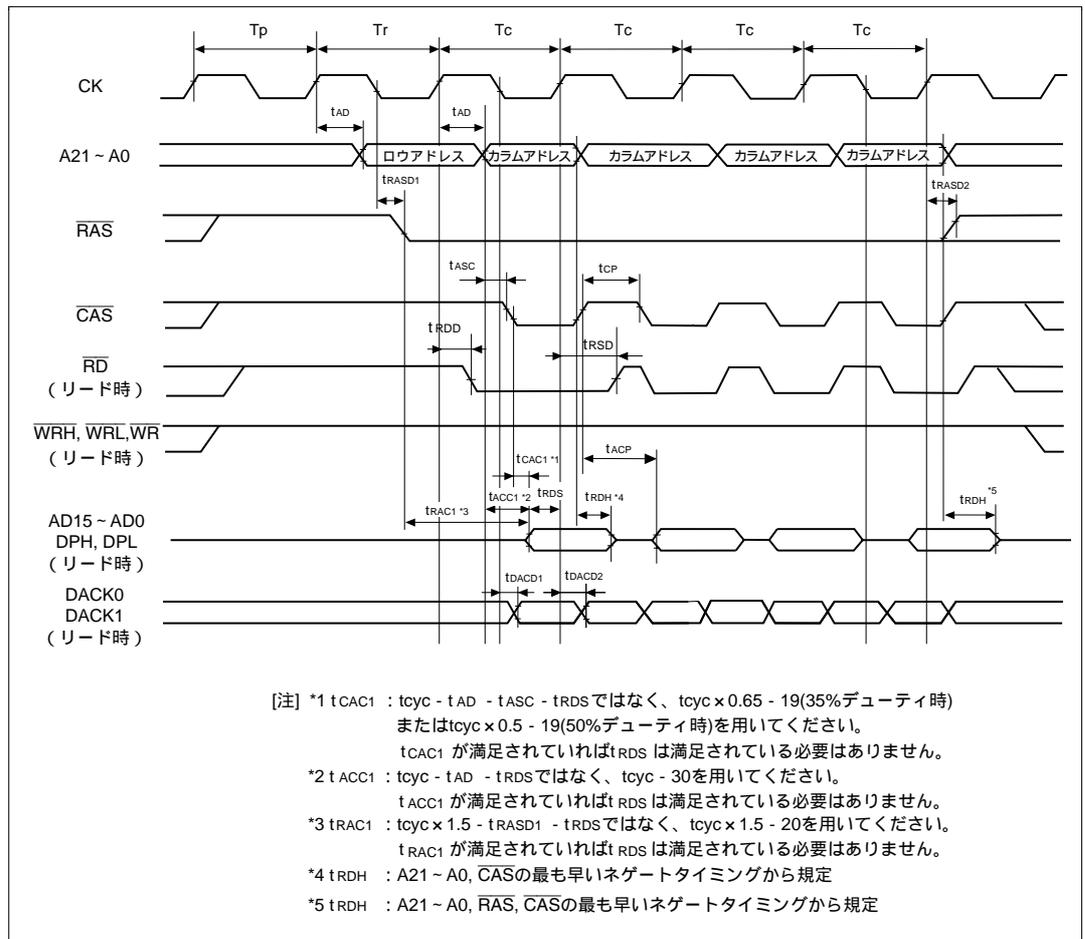


図 19.12 (a) DRAM バスサイクル (ショートピッチ高速ページモード、リード時)

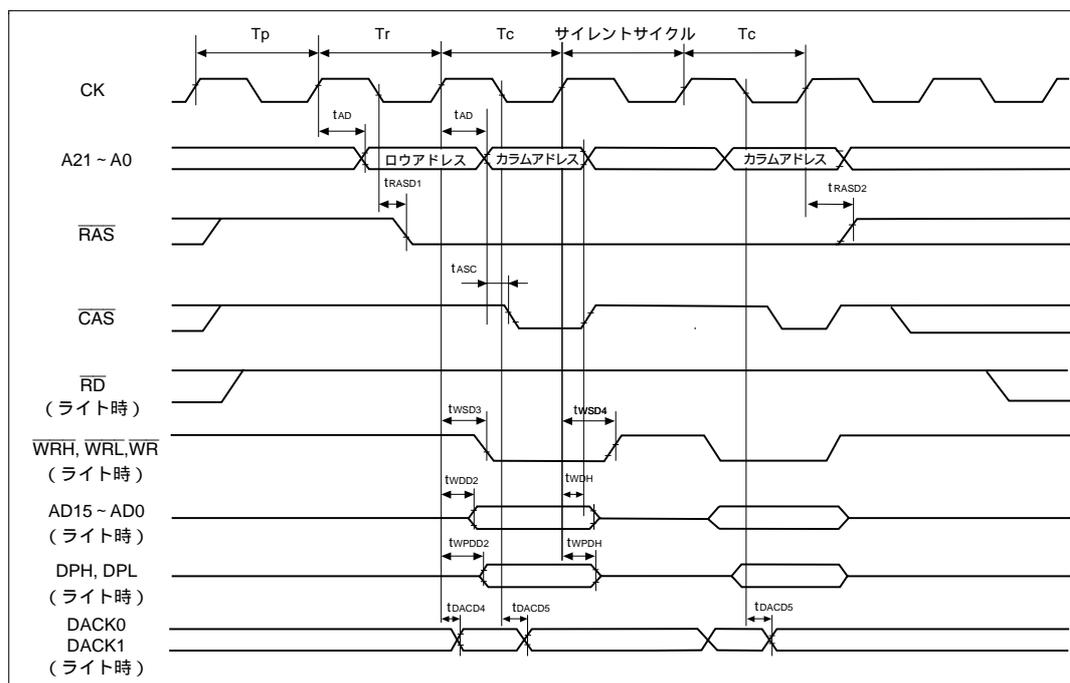


図 19.12 (b) DRAM バスサイクル (ショートピッチ高速ページモード、ライト時)

【注】 サイレントサイクルに関しては「8.5.5 バースト動作」を参照してください。

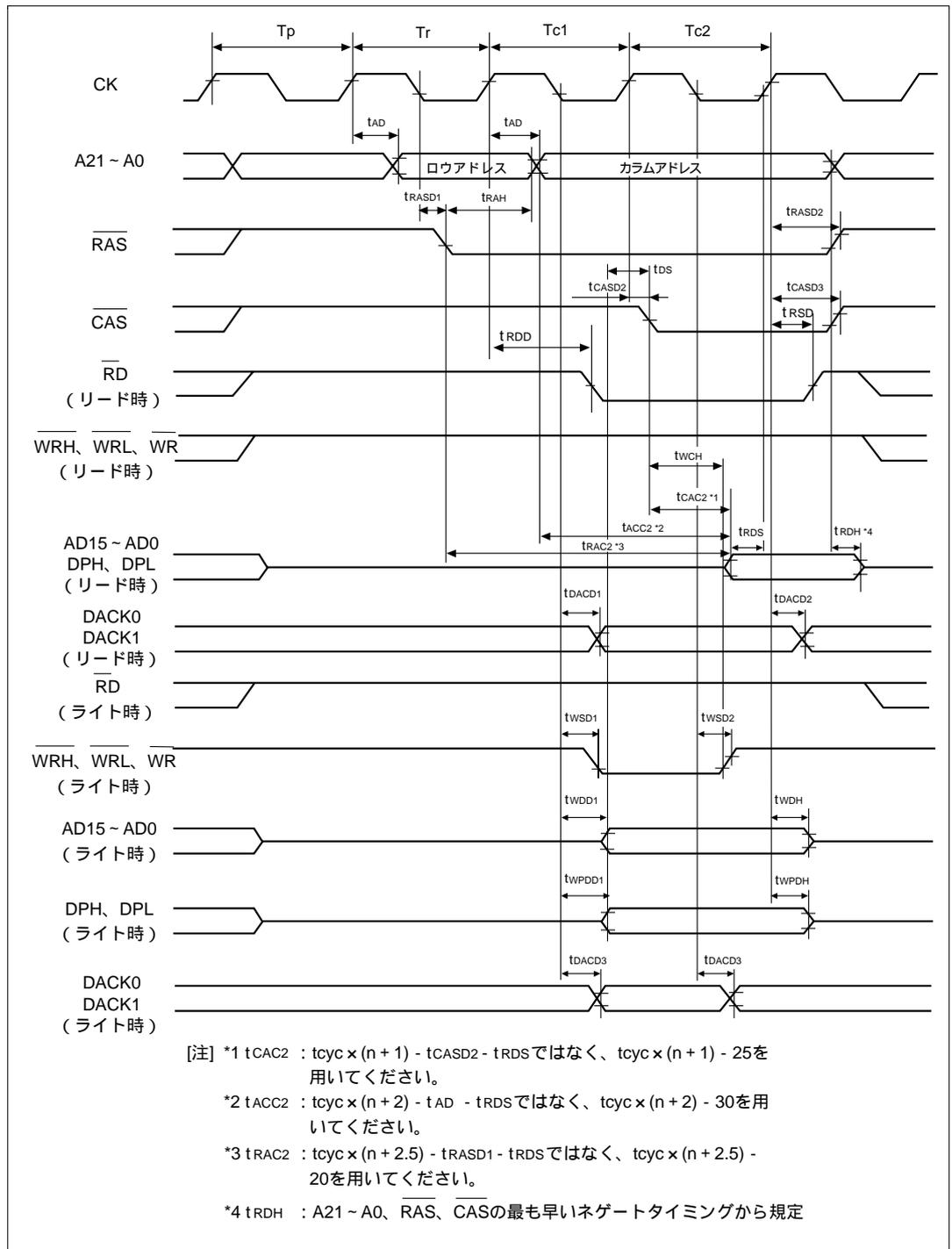


図 19.13 DRAM バスサイクル (ロングピッチノーマルモード)

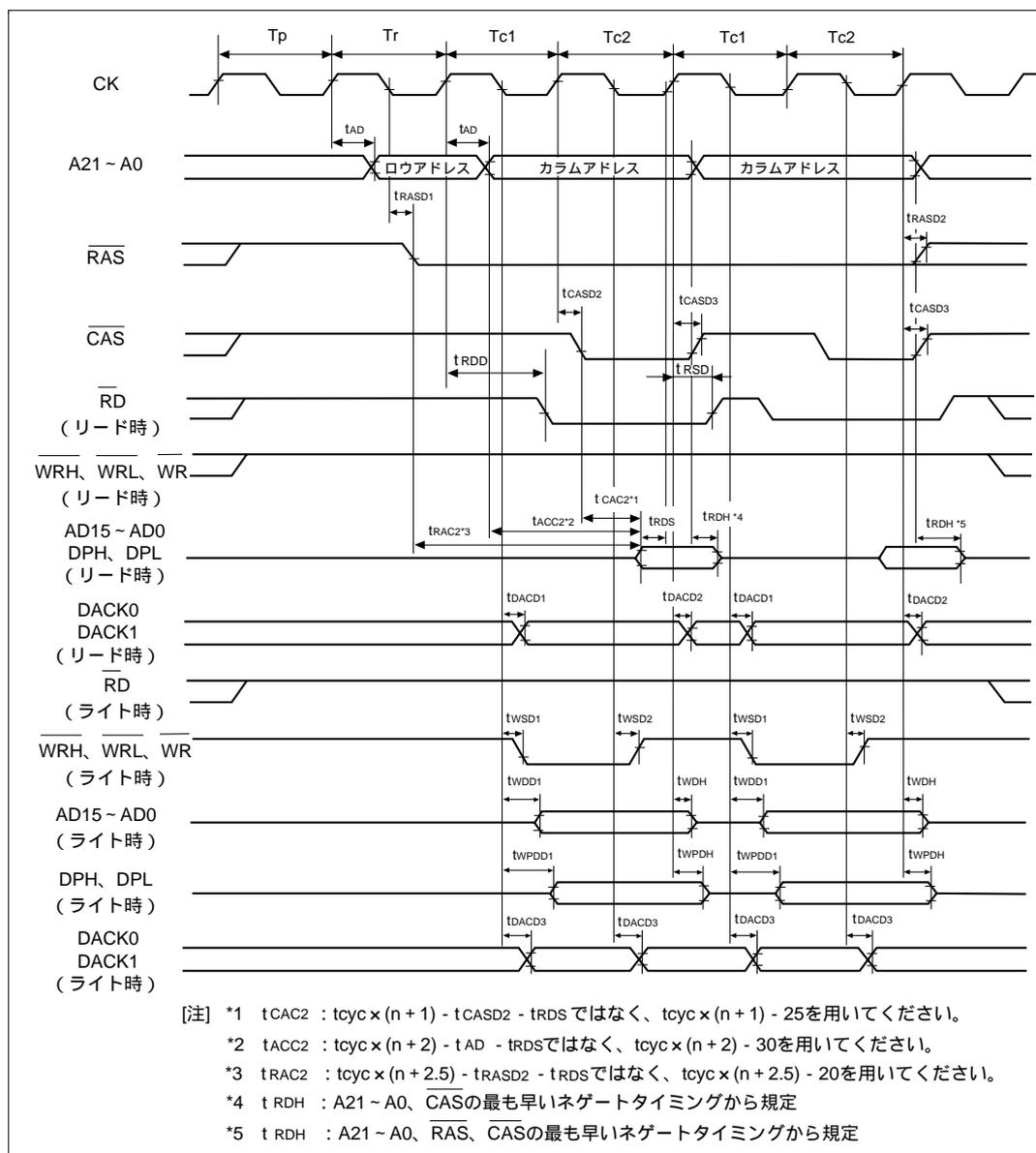


図 19.14 DRAM バスサイクル (ロングピッチ高速ページモード)

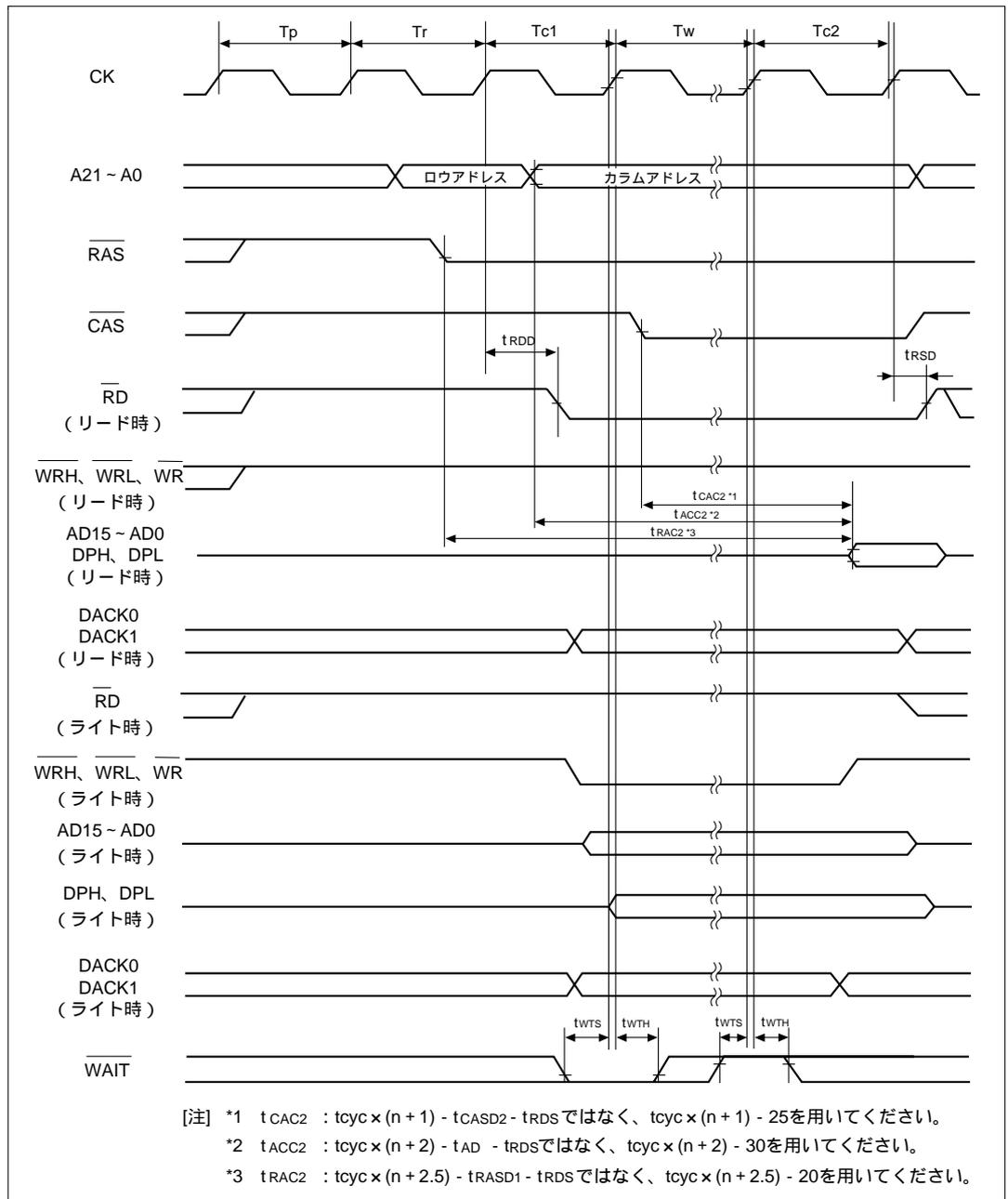


図 19.15 DRAM バスサイクル (ロングピッチ高速ページモード+ウェイトステート)

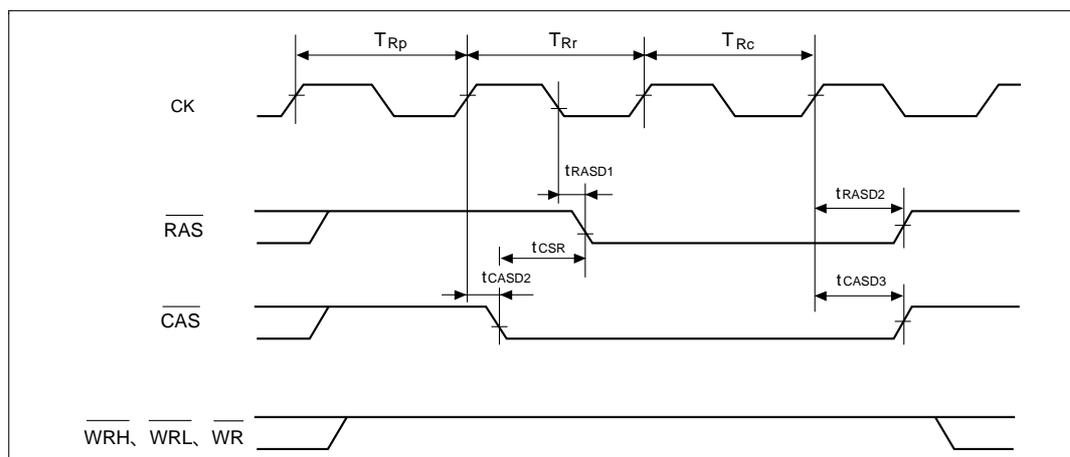


図 19.16 CAS ビフォ RAS リフレッシュ (ショートピッチ)

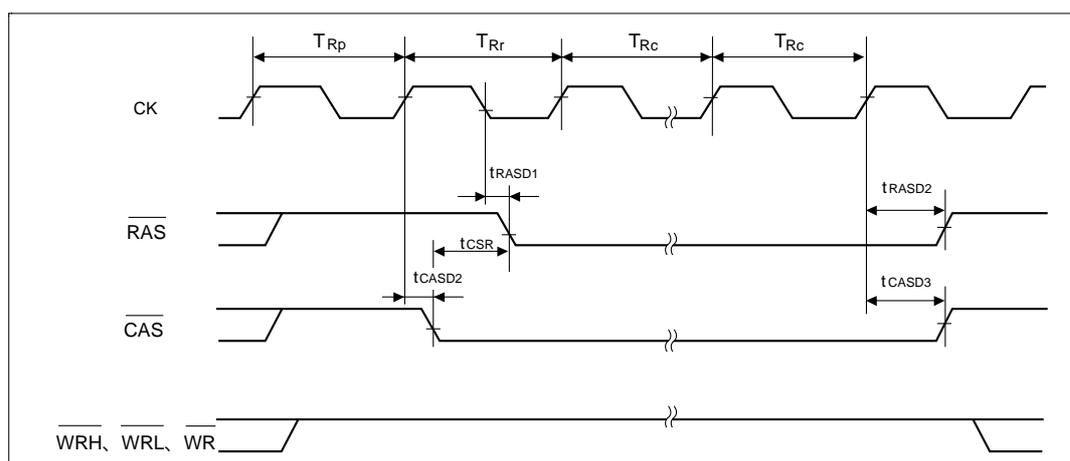


図 19.17 CAS ビフォ RAS リフレッシュ (ロングピッチ)

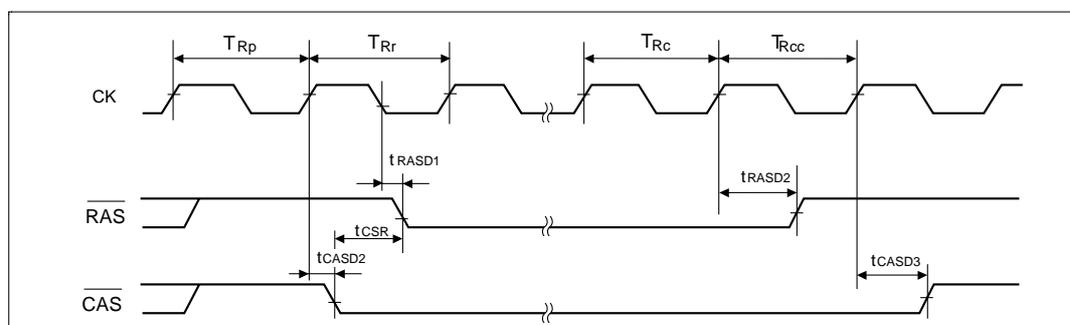


図 19.18 セルフリフレッシュ

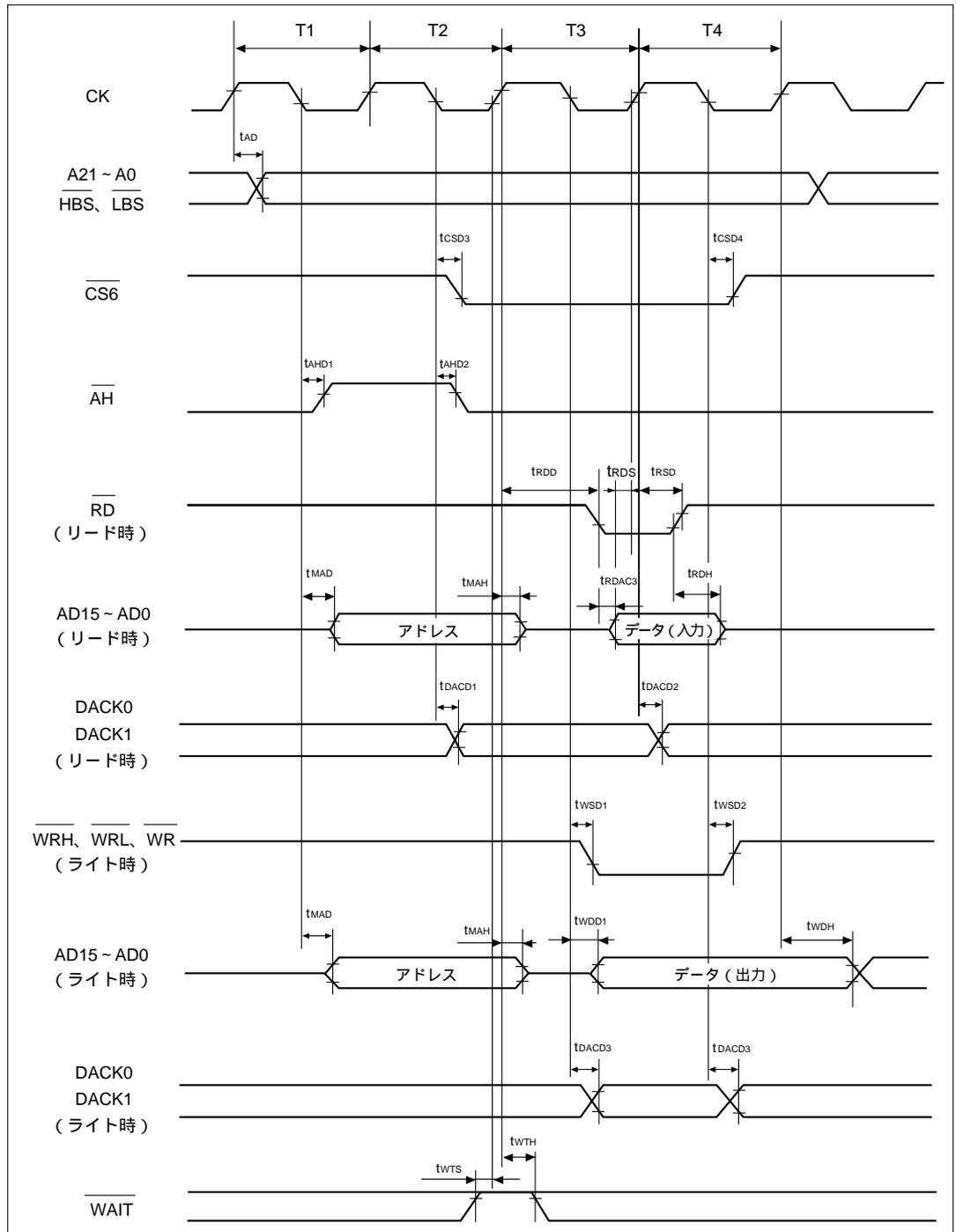


図 19.19 アドレス/データマルチプレクス I/O バスサイクル

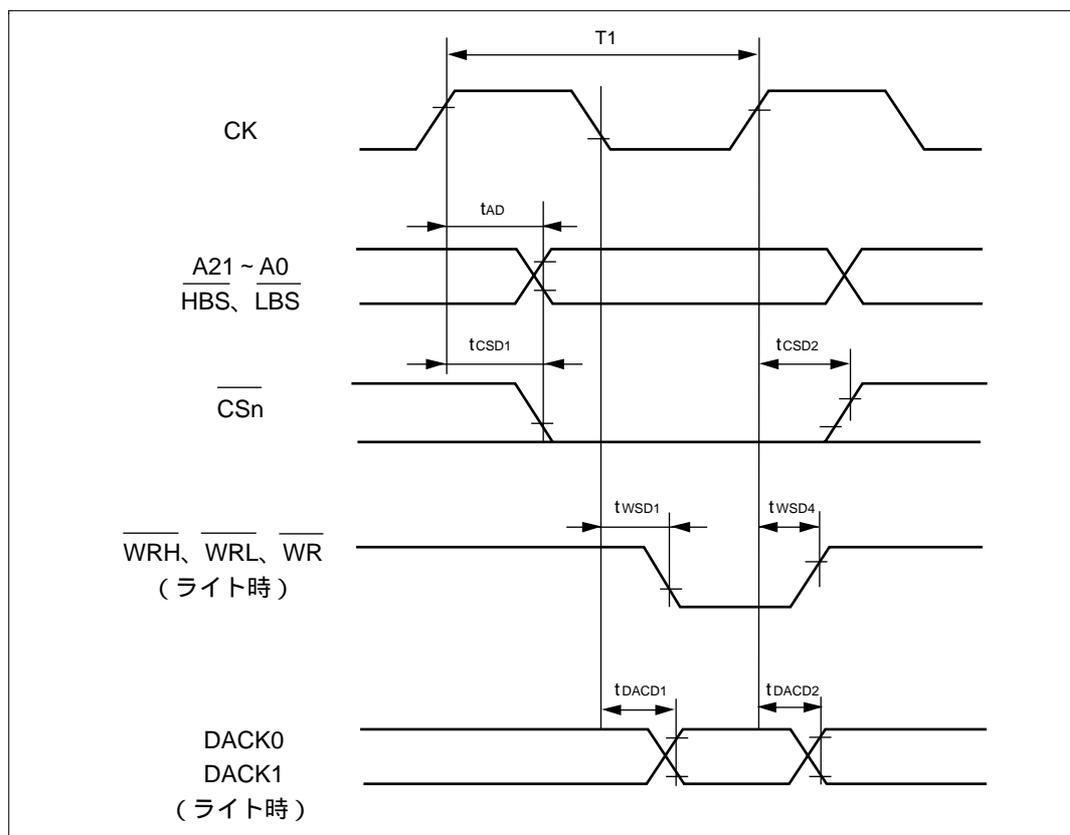


図 19.20 DMA シングル転送 / 1 ステートアクセスライト

表 19.8 バスタイミング (3)

条件: $V_{CC}=3.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $f=12.5MHz$ 、 $T_a = -20 \sim +75$ **: 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目		記号	min	max	単位	参照図
アドレス遅延時間		tAD	-	40	ns	19.21、22、24 ~ 27、32、33
CS 遅延時間 1		tCSD1	-	40	ns	19.21、22、23
CS 遅延時間 2		tCSD2	-	40	ns	
CS 遅延時間 3		tCSD3	-	40	ns	19.32
CS 遅延時間 4		tCSD4	-	40	ns	
リードストローブ からのアクセス 時間 1 *4	35% デューティ時*1	tRDAC1	$t_{cyc} \times 0.65 - 35$	-	ns	19.21
	50% デューティ時		$t_{cyc} \times 0.5 - 35$	-		
リードストローブ からのアクセス 時間 2 *4	35% デューティ時*1	tRDAC2	$t_{cyc} \times (n + 1.65) - 35^{*2}$	-	ns	19.22、23
	50% デューティ時		$t_{cyc} \times (n + 1.5) - 35^{*2}$	-		
リードストローブ からのアクセス 時間 3 *4	35% デューティ時*1	tRDAC3	$t_{cyc} \times (n + 0.65) - 35^{*2}$	-	ns	19.32
	50% デューティ時		$t_{cyc} \times (n + 0.5) - 35^{*2}$	-		
リードストローブ遅延時間		tRSD	-	40	ns	19.21、22、32
リードデータセットアップ時間		tRDS	30	-	ns	19.21、22、24 ~ 27、32
リードデータホールド時間		tRDH	0	-	ns	
ライトストローブ遅延時間 1		tWSD1	-	40	ns	19.22、26、27、32、33
ライトストローブ遅延時間 2		tWSD2	-	30	ns	19.22、26、27、32
ライトストローブ遅延時間 3		tWSD3	-	40	ns	19.24、25
ライトストローブ遅延時間 4		tWSD4	-	40	ns	19.24、25、33
ライトデータ遅延時間 1		tWDD1	-	70	ns	19.22、26、27、32
ライトデータ遅延時間 2		tWDD2	-	40	ns	19.24、25
ライトデータホールド時間		tWDH	- 10	-	ns	19.22、24 ~ 27、32
パリティ出力遅延時間 1		tWPDD1	-	80	ns	19.22、26、27
パリティ出力遅延時間 2		tWPDD2	-	40	ns	19.24、25
パリティ出力ホールド時間		tWPDH	- 10	-	ns	19.22、24 ~ 27
ウェイトセットアップ時間		tWTS	40	-	ns	19.23、28、32
ウェイトホールド時間		tWTH	10	-	ns	

(続く)

表 19.8 バスタイミング (3)

条件 : $V_{CC}=3.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $f=12.5MHz$ 、 $T_a = -20 \sim +75$ ** : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図	
リードデータアクセス時間 1 ^{*4}	tACC1	tcyc - 44	-	ns	19.21、24、25	
リードデータアクセス時間 2 ^{*4}	tACC2	tcyc × (n + 2) - 44 ^{*2}	-	ns	19.22、23、26、28	
\overline{RAS} 遅延時間 1	tRASD1	-	40	ns	19.24 ~ 27、29 ~ 31	
RAS 遅延時間 2	tRASD2	-	40	ns		
\overline{CAS} 遅延時間 1	tCASD1	-	40	ns	19.24	
CAS 遅延時間 2	tCASD2	-	40	ns	19.26、27、29 ~ 31	
\overline{CAS} 遅延時間 3	tCASD3	-	40	ns		
カラムアドレスセットアップ時間	tASC	0	-	ns	19.24、25	
\overline{CAS} からのリードデータアクセス時間 1 ^{*4}	35%デューティ時 ¹ 50%デューティ時	tCAC1	tcyc × 0.65 - 35	-	ns	19.24、25
			tcyc × 0.5 - 35	-		
CASからのリードデータアクセス時間 2 ^{*4}	tCAC2	tcyc × (n + 1) - 35 ^{*2}	-	ns	19.26、27、28	
RASからのリードデータアクセス時間 1 ^{*4}	tRAC1	tcyc × 1.5 - 35	-	ns	19.24、25	
\overline{RAS} からのリードデータアクセス時間 2 ^{*4}	tRAC2	tcyc × (n + 2.5) - 35 ^{*2}	-	ns	19.26、27、28	
高速ページモード \overline{CAS} プリチャージ時間	tCP	tcyc × 0.25	-	ns	19.25	
AH 遅延時間 1	tAHD1	-	40	ns	19.32	
AH 遅延時間 2	tAHD2	-	40	ns		
マルチプレクスアドレス遅延時間	tMAD	-	40	ns		
マルチプレクスアドレスホールド時間	tMAH	- 10	-	ns		
DACK0, DACK1 遅延時間 1	tDACD1	-	40	ns	19.21、22、24 ~ 27、32、33	
DACK0, DACK1 遅延時間 2	tDACD2	-	40	ns		
DACK0, DACK1 遅延時間 3	tDACD3	-	40	ns	19.22、26、27、32	
DACK0, DACK1 遅延時間 4	tDACD4	-	40	ns	19.24、25	
DACK0, DACK1 遅延時間 5	tDACD5	-	40	ns		
リード遅延時間	35%デューティ時 ¹ 50%デューティ時	tRDD	-	tcyc × 0.35 + 35	ns	19.21、22、24 ~ 28、32
			-	tcyc × 0.5 + 35		
\overline{CAS} に対するデータのセットアップ時間	tDS	0 ³	-	ns	19.24、26	
RAS に対する \overline{CAS} のセットアップ時間	tCSR	10	-	ns	19.29 ~ 31	
ロウアドレスホールド時間	tRAH	10	-	ns	19.24、26	
ライトコマンドホールド時間	tWCH	15	-	ns		

(続く)

表 19.8 バスタイミング (3)

条件 : $V_{CC}=3.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $f=12.5MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
ライトコマンドセツトアップ時間	35%デューティ時 ^{*1} 50%デューティ時	tWCS tWCS	0 -	ns ns	19.24
CAS プリチャージからのアクセス時間 ^{*4}	tACP	tcyc - 20	-	ns	

- 【注】 *1 動作周波数 10MHz 以上の場合
 *2 n はウェイトサイクル数
 *3 DRAM のロングピッチアクセスのパリティ出力の場合は - 5ns
 *4 アクセス時間を満たしていれば t_{RDS} を満たす必要はありません

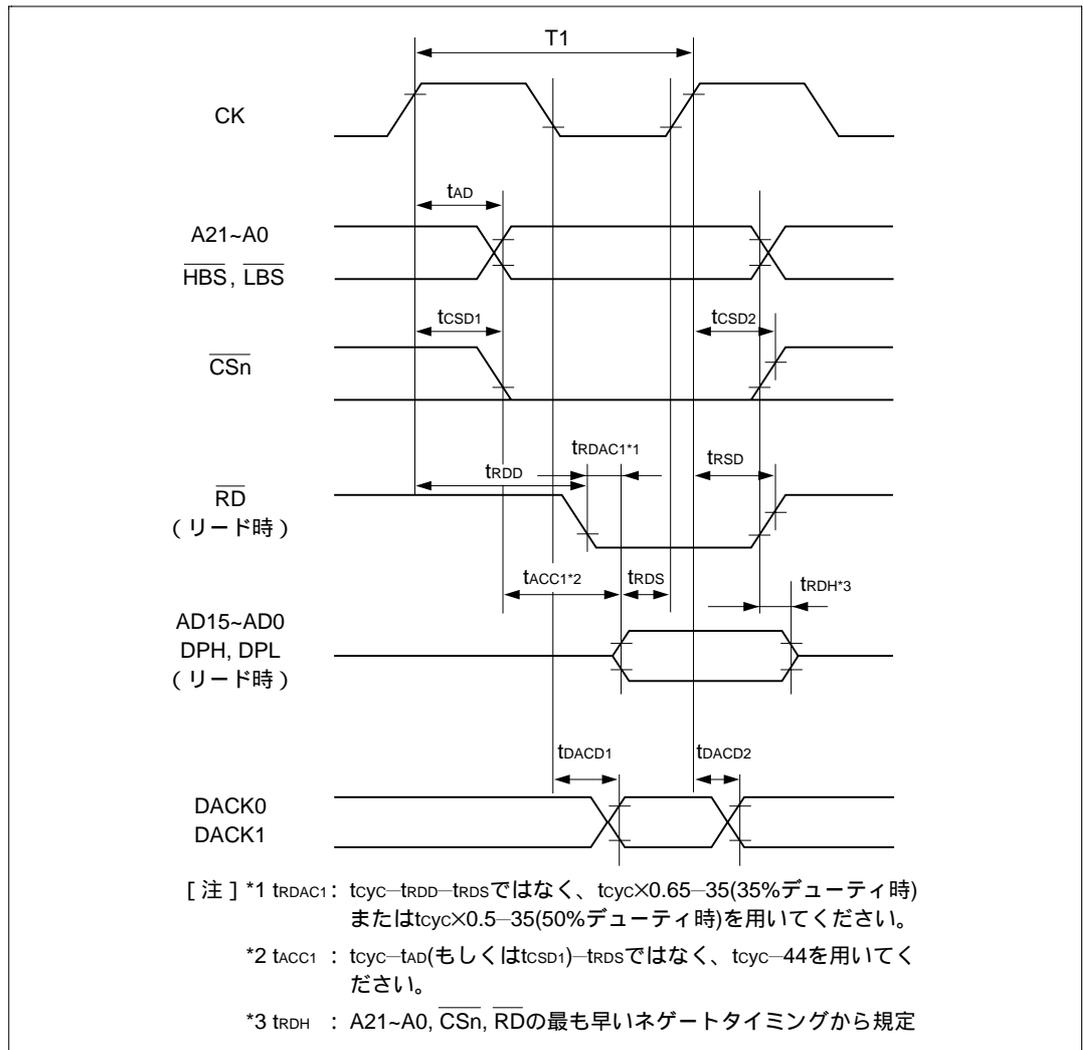


図 19.21 基本バスサイクル (1 ステートリード)

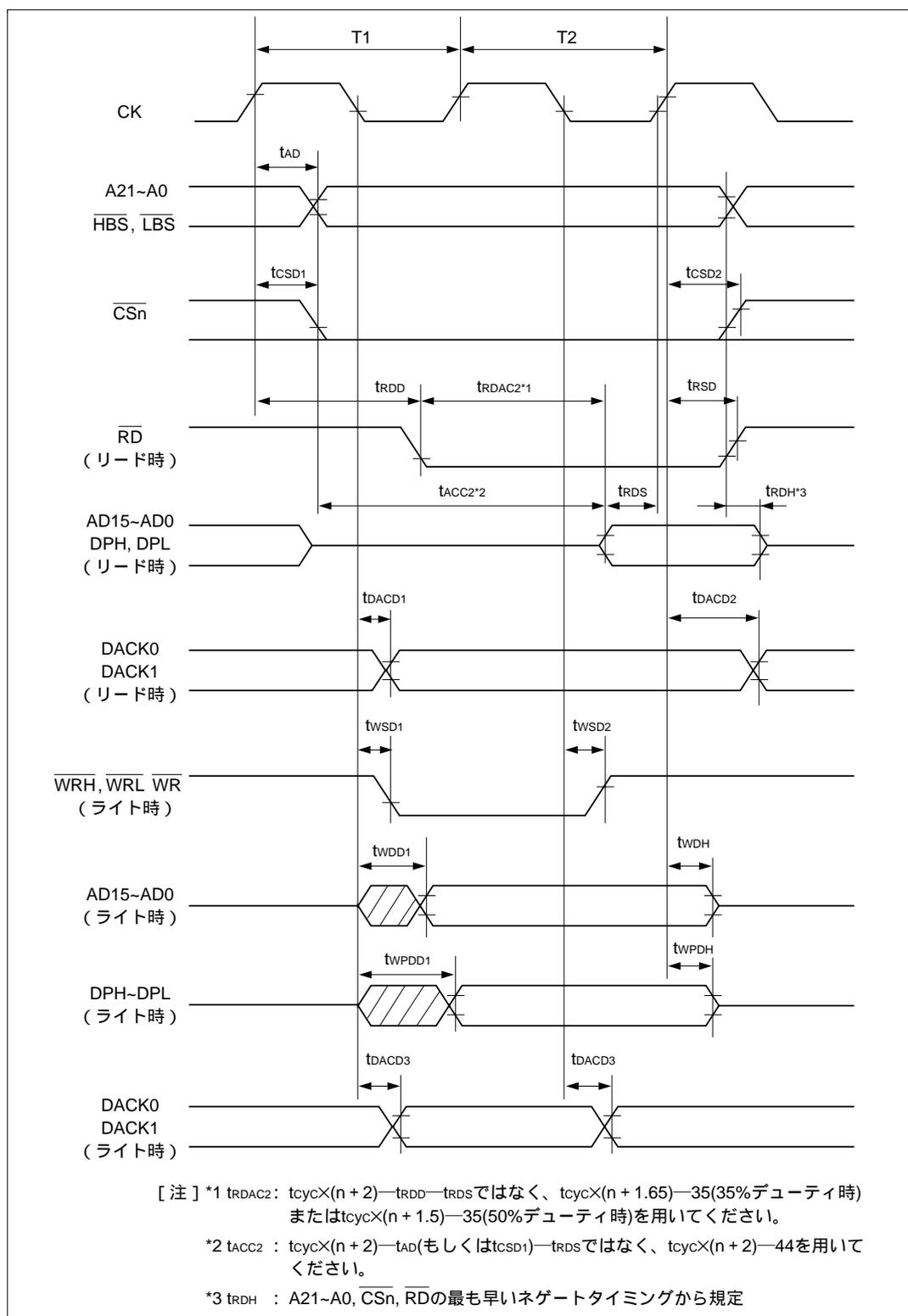


図 19.22 基本バスサイクル (2 ステート)

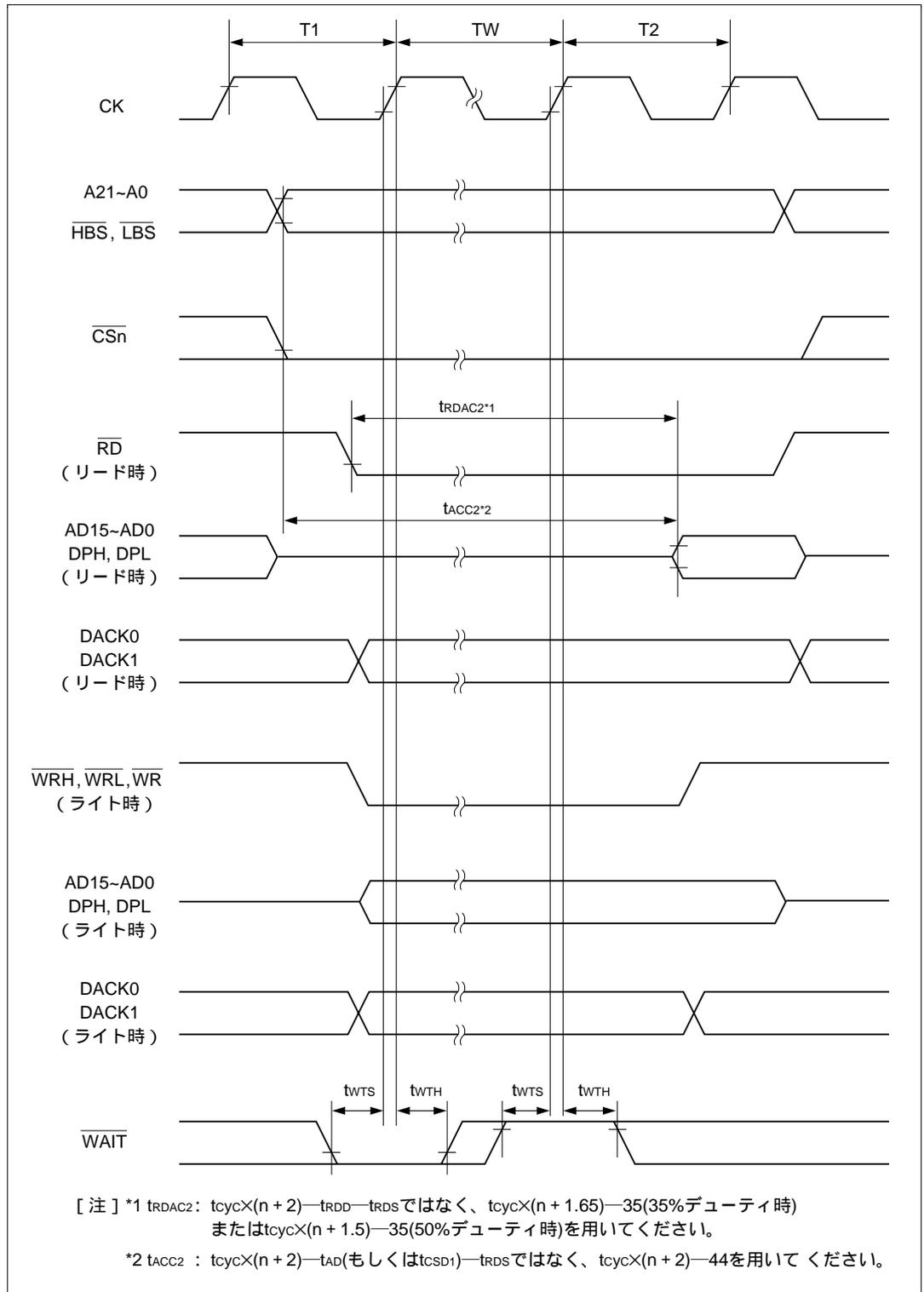


図 19.23 基本バスサイクル (2 ステート+ウェイステート)

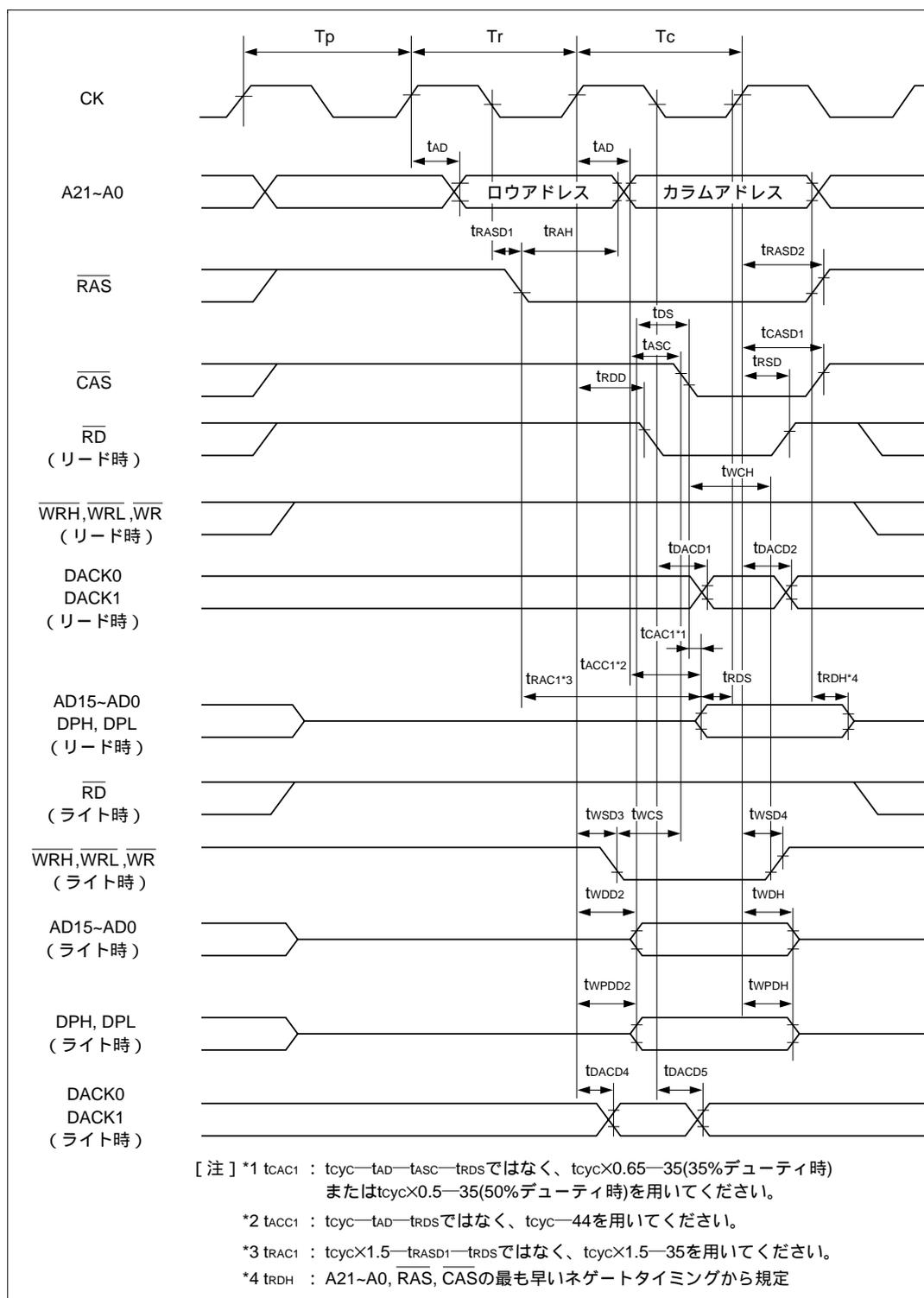


図 19.24 DRAM バスサイクル (ショートピッチノーマルモード)

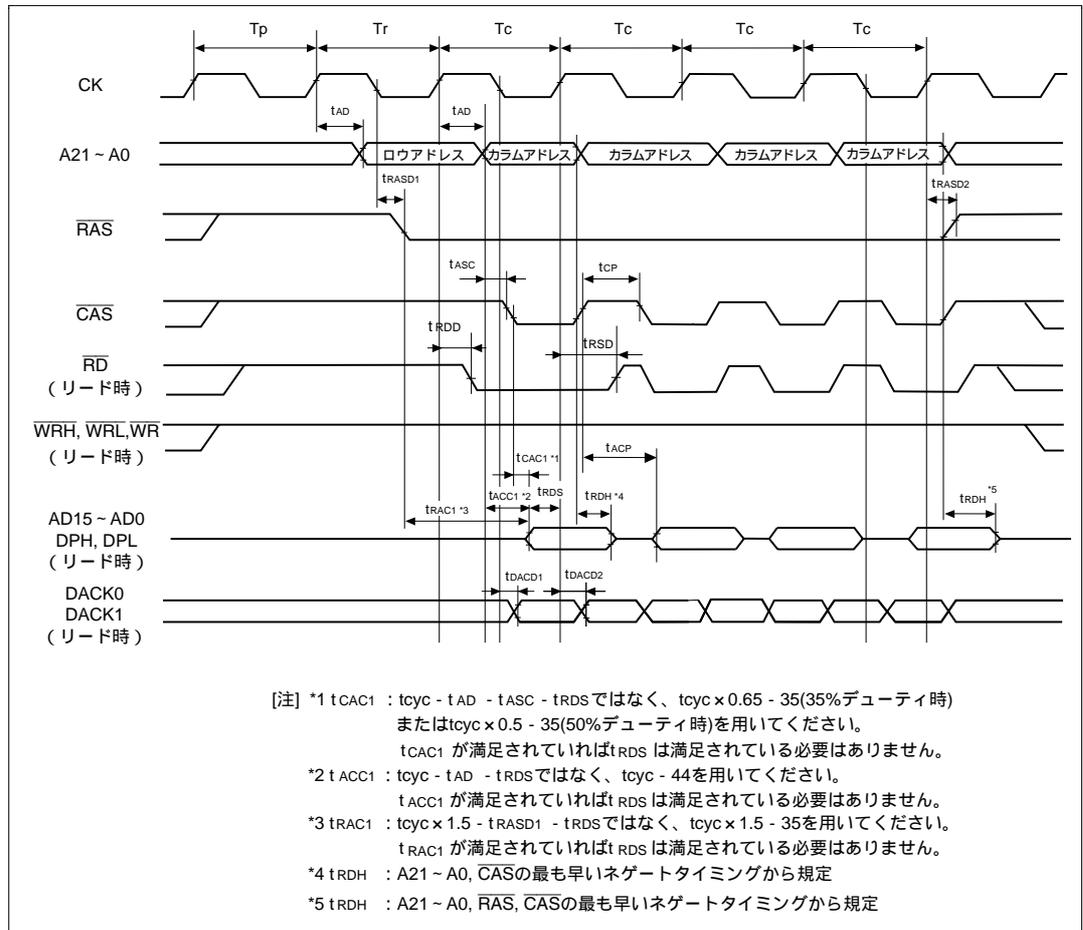


図 19.25 (a) DRAM バスサイクル (ショートピッチ高速ページモード、リード時)

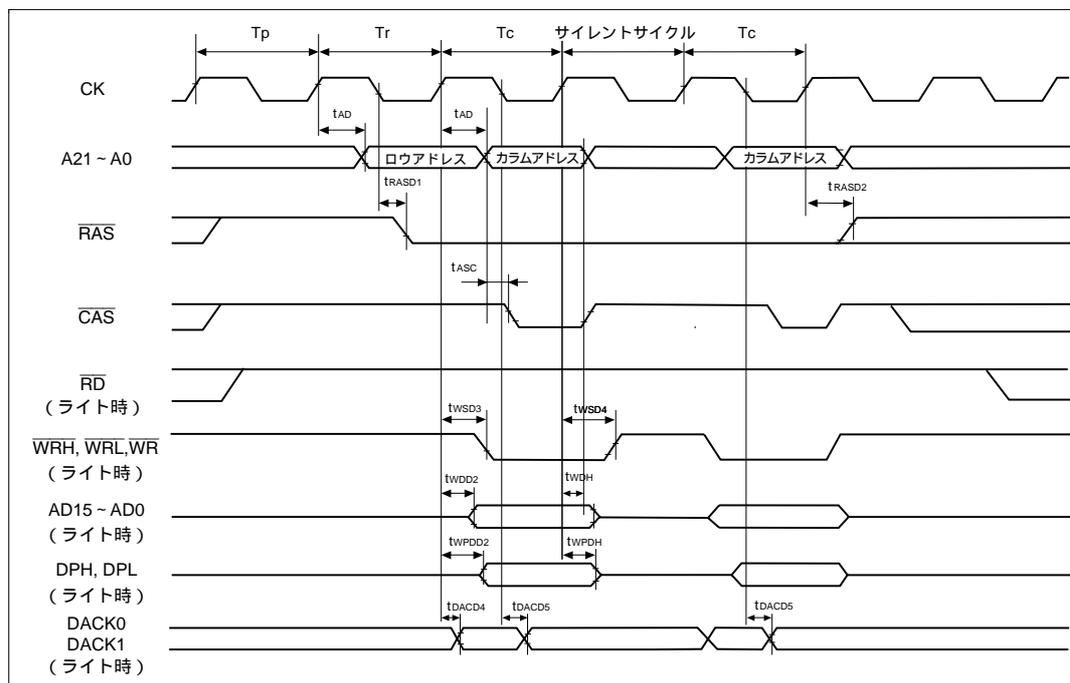


図 19.25 (b) DRAM バスサイクル (ショートピッチ高速ページモード、ライト時)

【注】 サイレントサイクルに関しては「8.5.5 バースト動作」を参照してください。

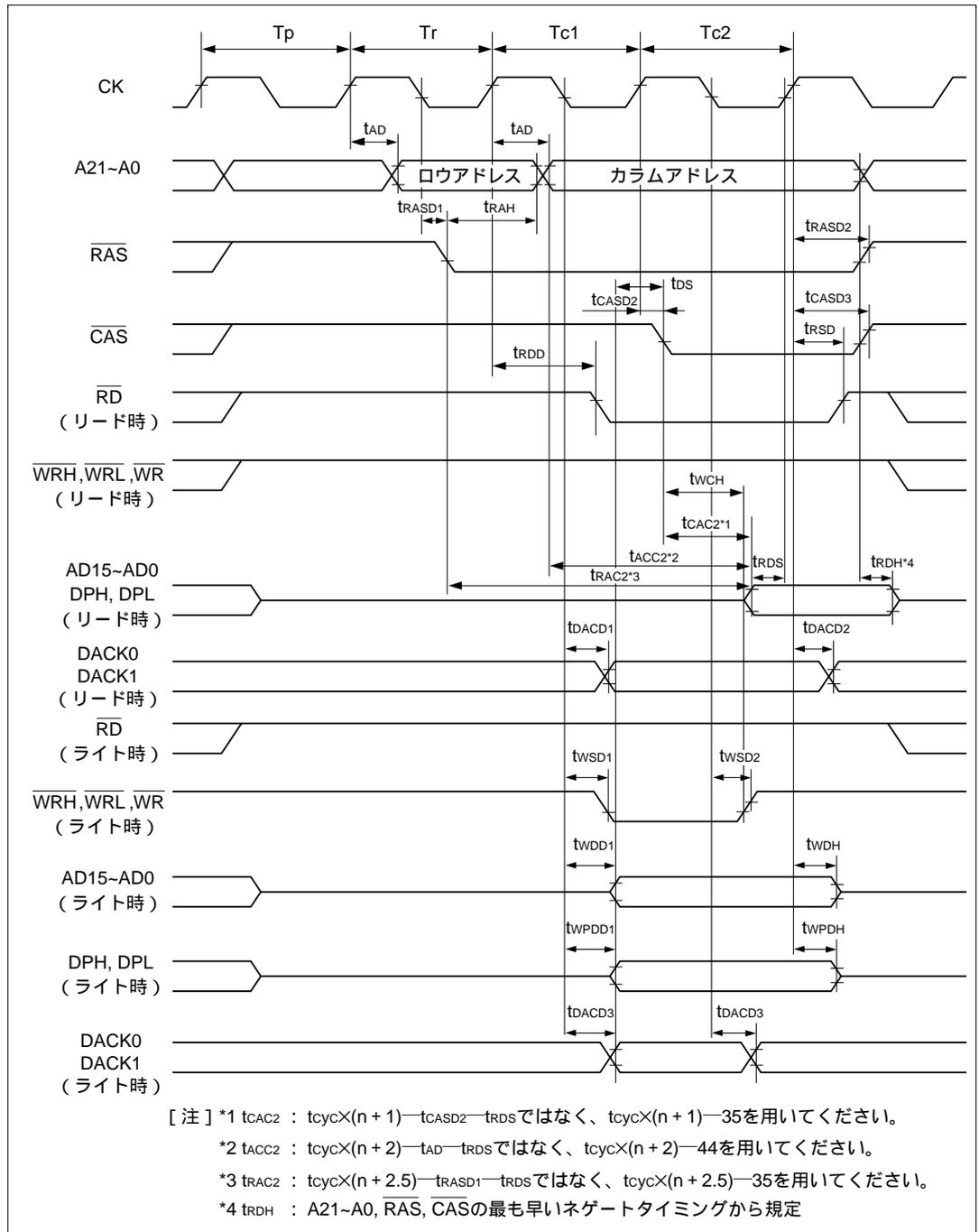


図 19.26 DRAM バスサイクル (ロングピッチノーマルモード)

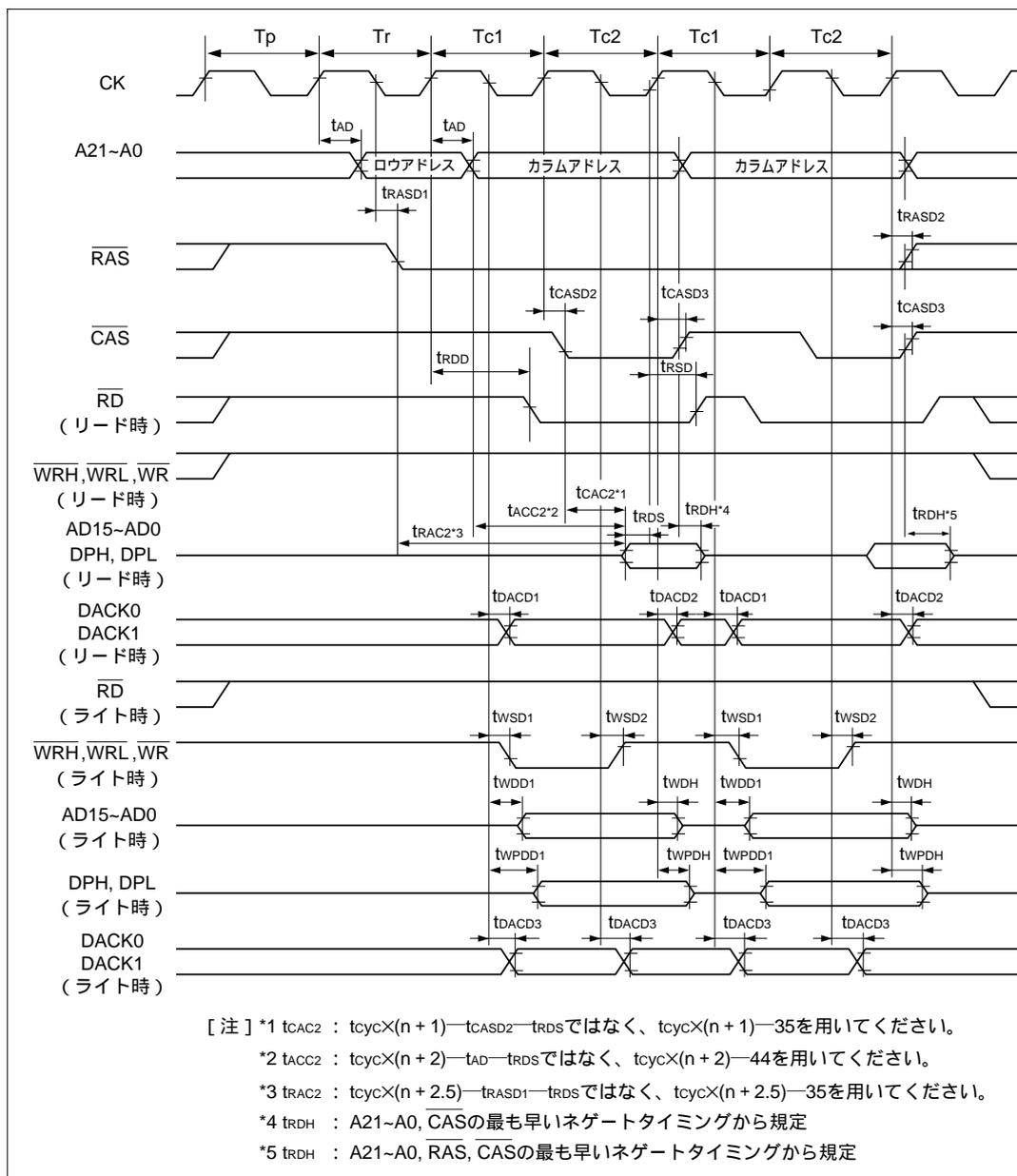


図 19.27 DRAM バスサイクル (ロングピッチ高速ページモード)

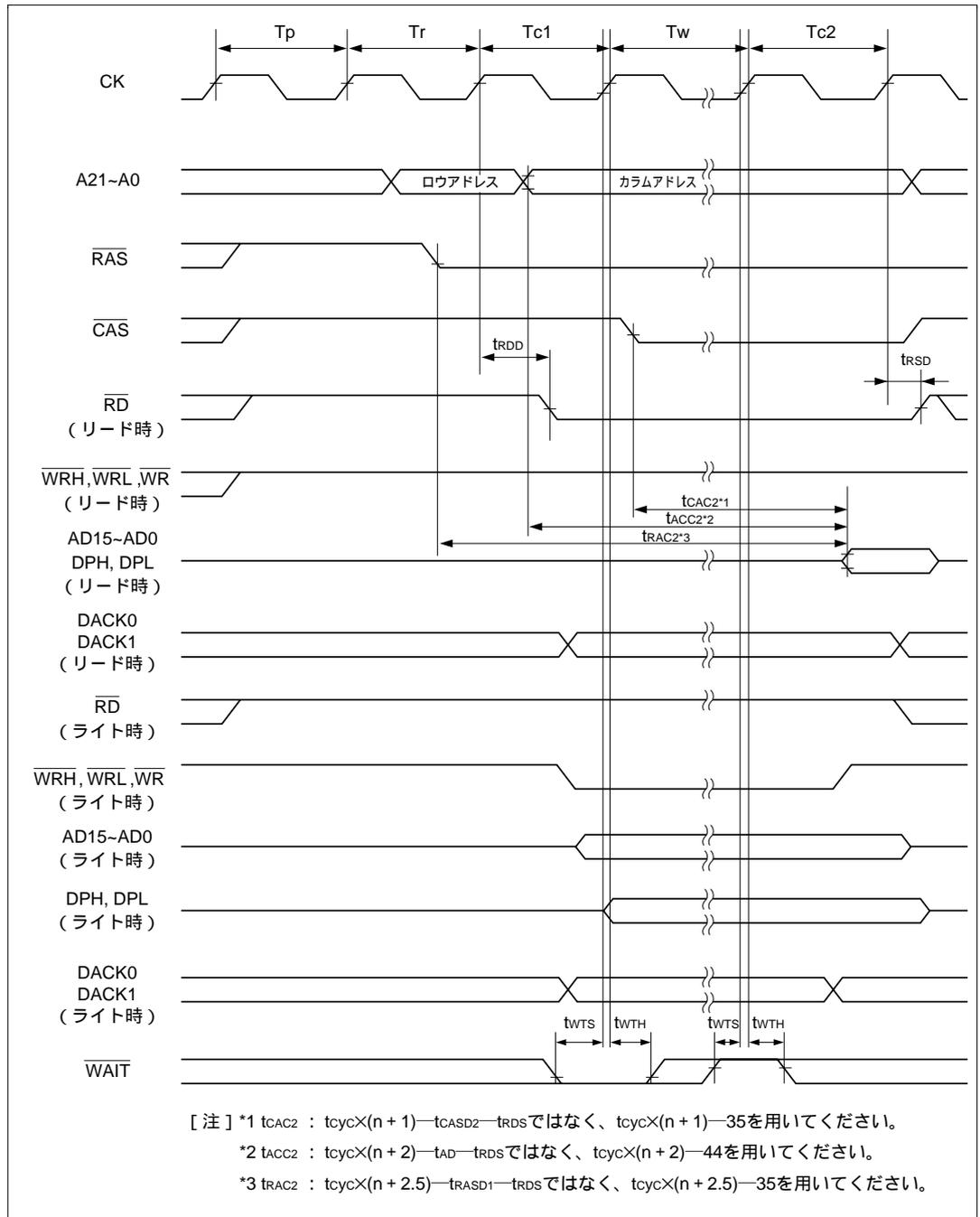


図 19.28 DRAM バスサイクル (ロングピッチ高速ページモード+ウェイステート)

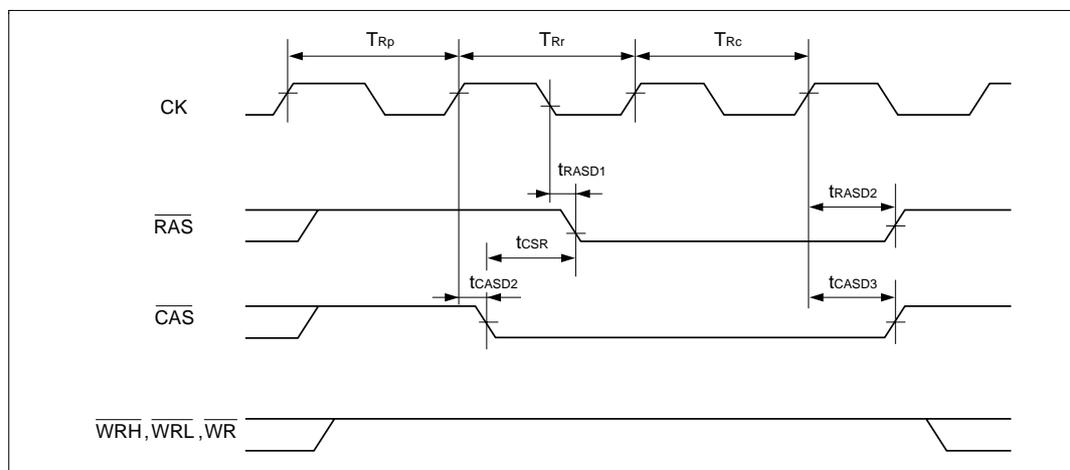


図 19.29 CAS ビフォ RAS リフレッシュ (ショートピッチ)

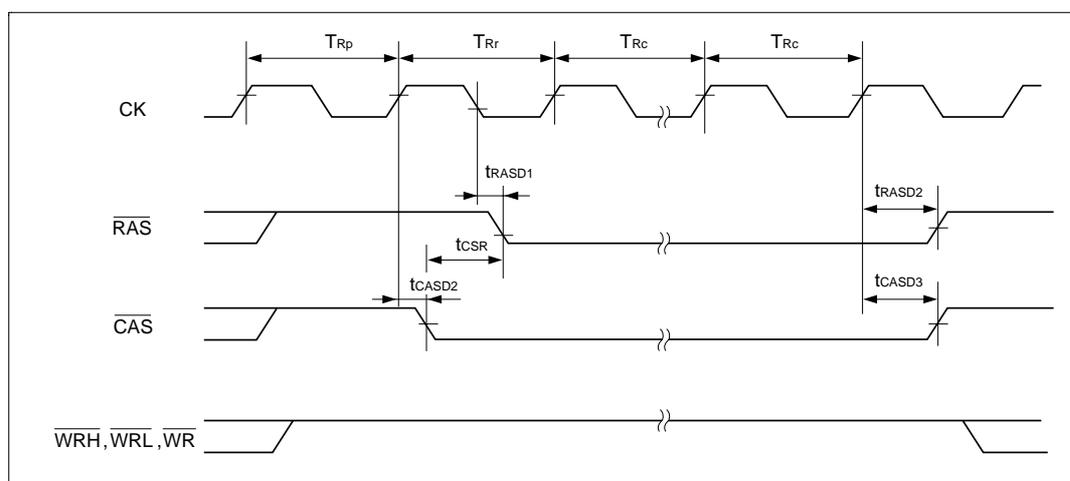


図 19.30 CAS ビフォ RAS リフレッシュ (ロングピッチ)

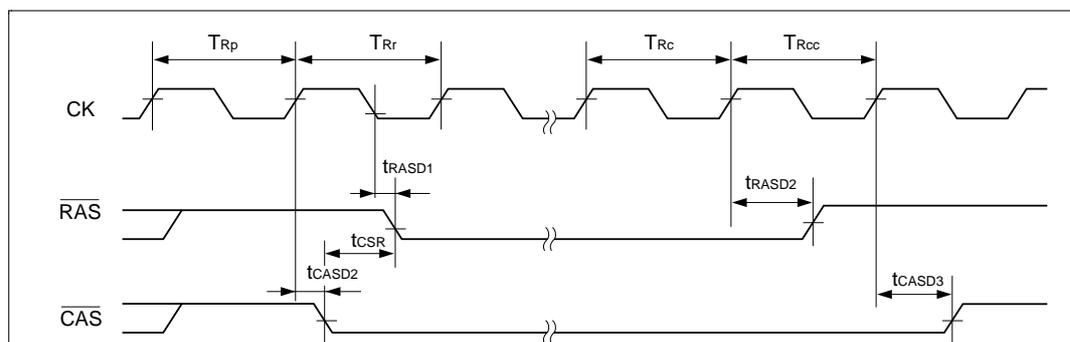


図 19.31 セルフリフレッシュ

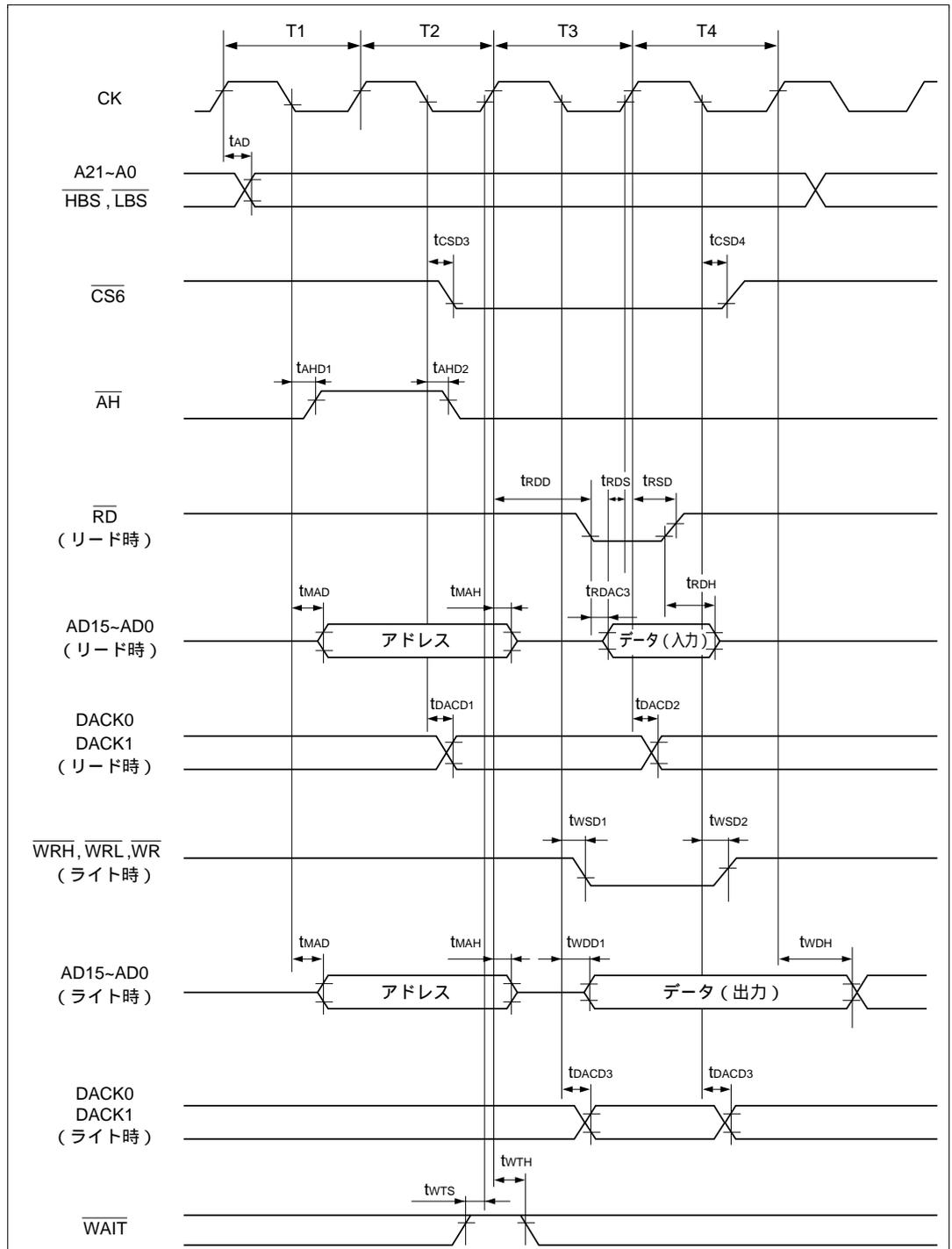


図 19.32 アドレス/データマルチプレクス I/O バスサイクル

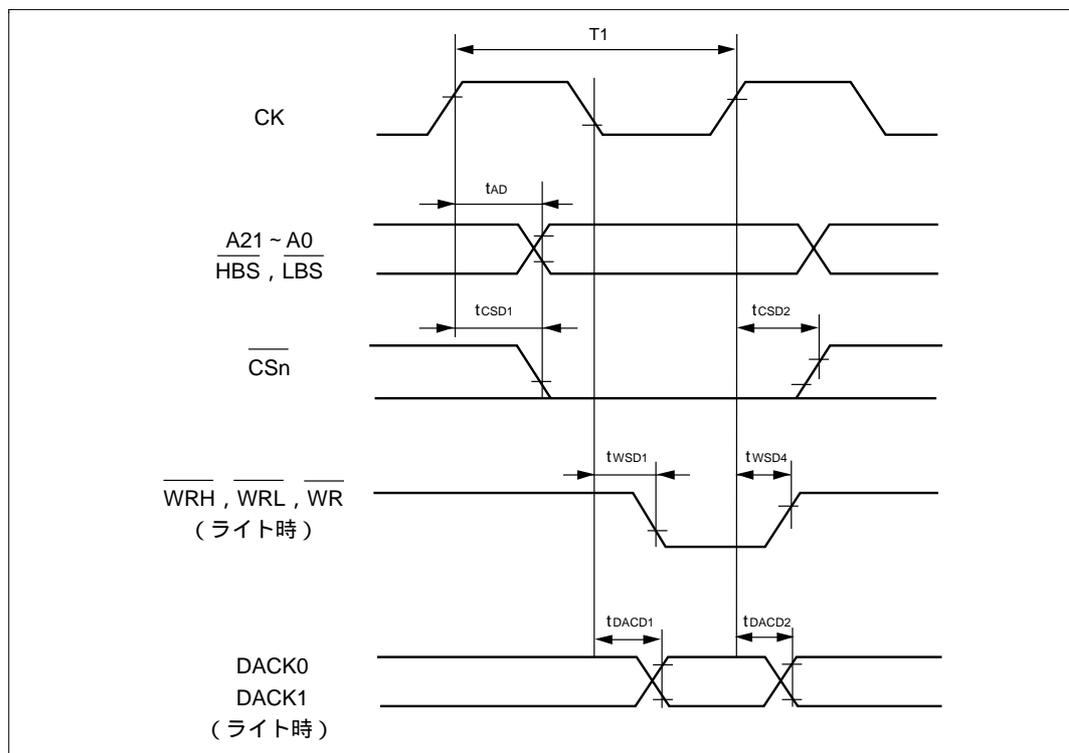


図 19.33 DMA シングル転送 / 1 ステートアクセスライト

19.3.4 ダイレクトメモリアクセスコントローラタイミング

表 19.9 にダイレクトメモリアクセスコントローラタイミングを示します。

表 19.9 ダイレクトメモリアクセスコントローラタイミング

条件 A : $V_{CC}=3.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A		条件 B				単位	参照図
		12.5MHz		16.6MHz		20MHz			
		min	max	min	max	min	max		
$\overline{DREQ0}$, $\overline{DREQ1}$ セットアップ時間	tDRQS	80	-	40	-	27	-	ns	
$\overline{DREQ0}$, $\overline{DREQ1}$ ホールド時間	tDRQH	30	-	30	-	30	-	ns	
$\overline{DREQ0}$, $\overline{DREQ1}$ ローレベル幅	tDRQW	1.5	-	1.5	-	1.5	-	tcyc	19.35

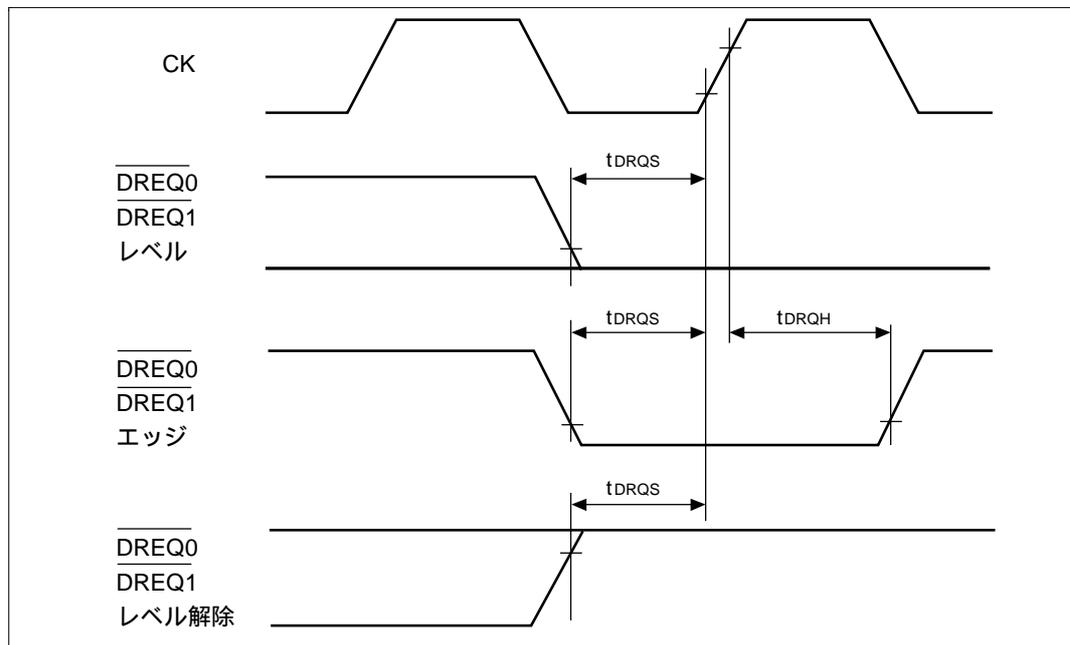


図 19.34 DREQ0、DREQ1 入力タイミング (1)

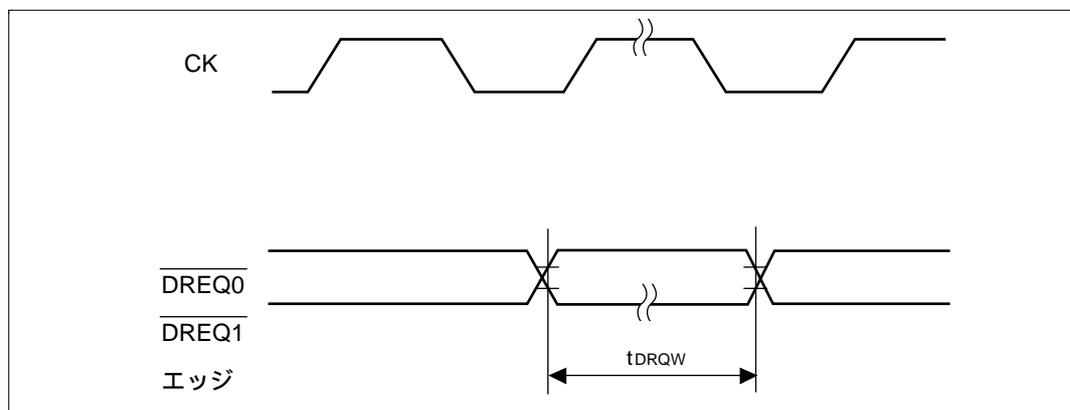


図 19.35 DREQ0、DREQ1 入力タイミング (2)

19.3.5 16ビットインテグレートドタイマパルスユニットタイミング

表 19.10 に 16ビットインテグレートドタイマパルスユニットタイミングを示します。

表 19.10 16ビットインテグレートドタイマパルスユニットタイミング

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A		条件 B				単位	参照図
		12.5MHz		16.6MHz		20MHz			
		min	max	min	max	min	max		
アウトプットコンペア出力遅延時間	tTOCD	-	100	-	100	-	100	ns	19.36
インプットキャプチャ入力セットアップ時間	tTICS	50	-	45	-	35	-	ns	
タイマクロック入力セットアップ時間	tTCKS	50	-	50	-	50	-	ns	19.37
タイマクロックパルス幅 (単エッジ指定)	tTCKWH / L	1.5	-	1.5	-	1.5	-	tcyc	
タイマクロックパルス幅 (両エッジ指定)	tTCKWH / L	2.5	-	2.5	-	2.5	-	tcyc	

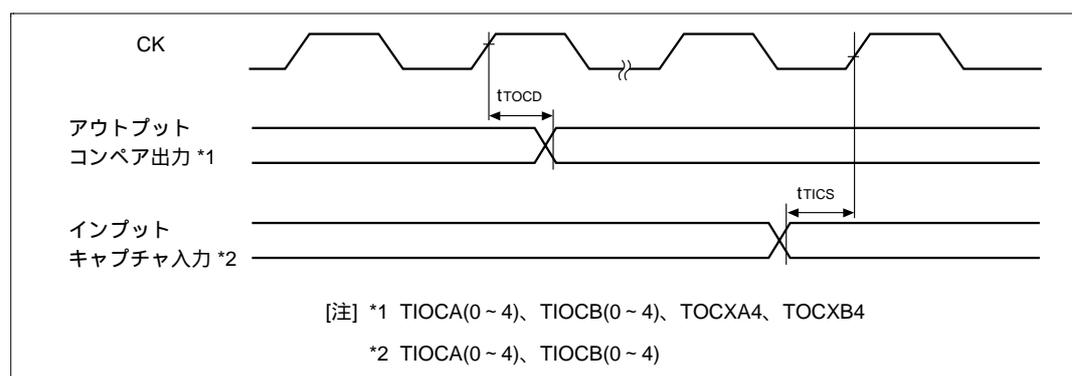


図 19.36 ITU 入出力タイミング

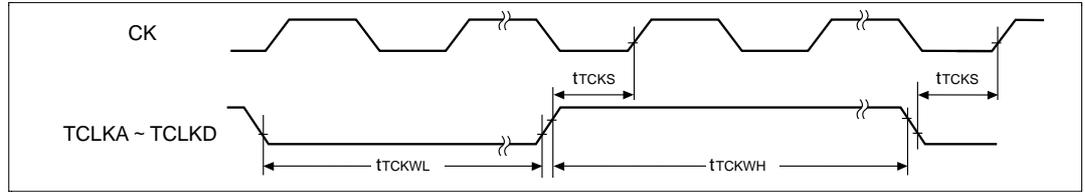


図 19.37 ITU クロック入力タイミング

19.3.6 プログラマブルタイミングパターンコントローラ、I/O ポートタイミング

表 19.11 にプログラマブルタイミングパターンコントローラと I/O ポートタイミングを示します。

表 19.11 プログラマブルタイミングパターンコントローラ、I/O ポートタイミング

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $f_{clk}=12.5MHz$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=16.6MHz$ 、 $T_a = -20 \sim +75$ *

条件 C : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A, B, C		単位	参照図
		min	max		
ポート出力データ遅延時間	tPWD	-	100	ns	19.38
ポート入力ホールド時間	tPRH	50	-	ns	
ポート入力セットアップ時間	tPRS	50	-	ns	

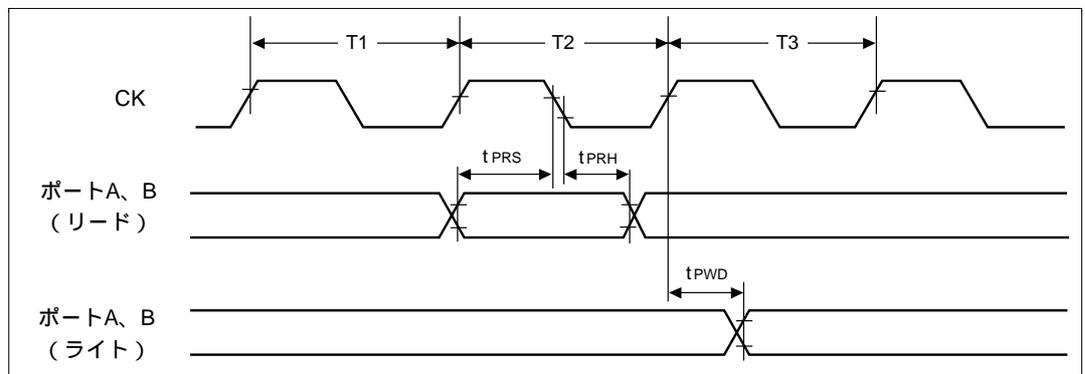


図 19.38 プログラマブルタイミングパターンコントローラ出力タイミング

19.3.7 ウォッチドッグタイマタイミング

表 19.12 にウォッチドッグタイマタイミングを示します。

表 19.12 ウォッチドッグタイマタイミング

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $f_{clk}=12.5MHz$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=16.6MHz$ 、 $T_a = -20 \sim +75$ *

条件 C : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A, B, C		単位	参照図
		min	max		
WDTOVF 遅延時間	tWOVD	-	100	ns	19.39

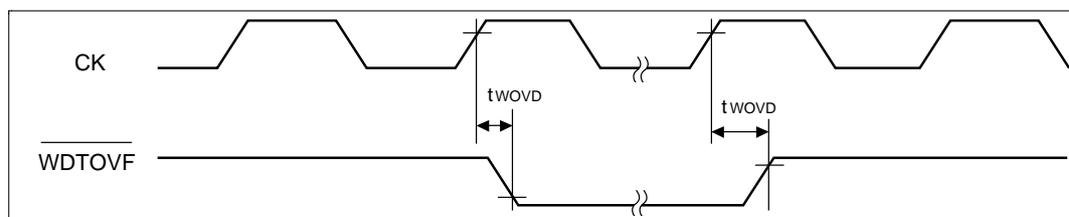


図 19.39 ウォッチドッグタイマ出力タイミング

19.3.8 シリアルコミュニケーションインタフェースタイミング

表 19.13 にシリアルコミュニケーションインタフェースタイミングを示します。

表 19.13 シリアルコミュニケーションインタフェースタイミング

条件 A : $V_{cc}=3.0V \sim 5.5V$ 、 $V_{ss}=0V$ 、 $f_{clk}=12.5MHz$ 、 $T_a = -20 \sim +75$ *

条件 B : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=16.6MHz$ 、 $T_a = -20 \sim +75$ *

条件 C : $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $f_{clk}=20MHz$ 、 $T_a = -20 \sim +75$ *

* : 通常仕様品。広温度範囲品では、 $T_a = -40 \sim +85$

項目	記号	条件 A, B, C		単位	参照図
		min	max		
入力クロックサイクル	tscyc	4	-	tcyc	19.40
入力クロックサイクル(クロック同期)	tscyc	6	-	tcyc	
入力クロックパルス幅	tsckw	0.4	0.6	tscyc	
入力クロック立ち上がり時間	tsckr	-	1.5	tcyc	
入力クロック立ち下がり時間	tsckf	-	1.5	tcyc	
送信データ遅延時間(クロック同期)	tTXD	-	100	ns	19.41
受信データセットアップ時間(クロック同期)	tRXS	100	-	ns	
受信データホールド時間(クロック同期)	RXH	100	-	ns	

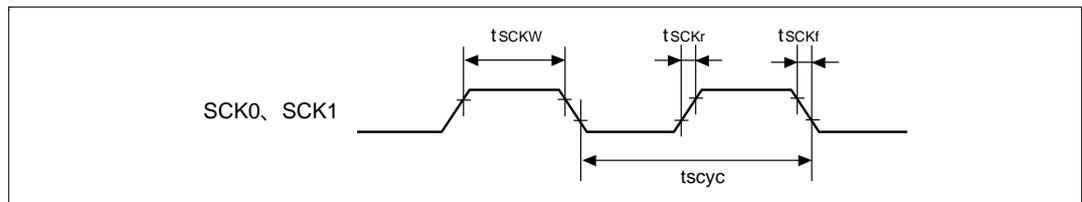


図 19.40 入力クロックタイミング

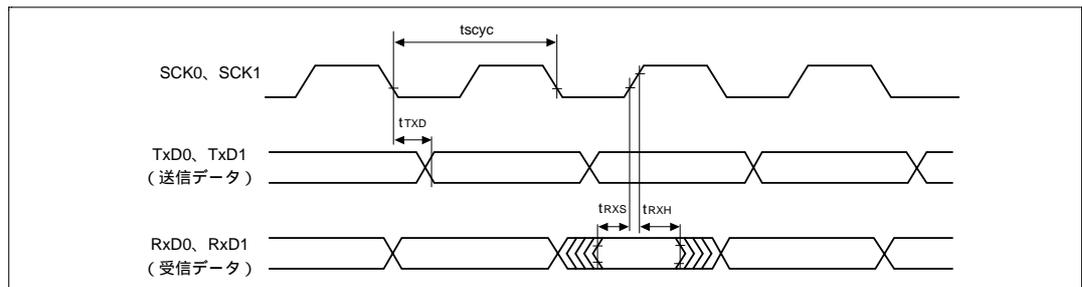


図 19.41 SCI 入出力タイミング (クロック同期式モード)

19.3.9 AC 特性測定条件

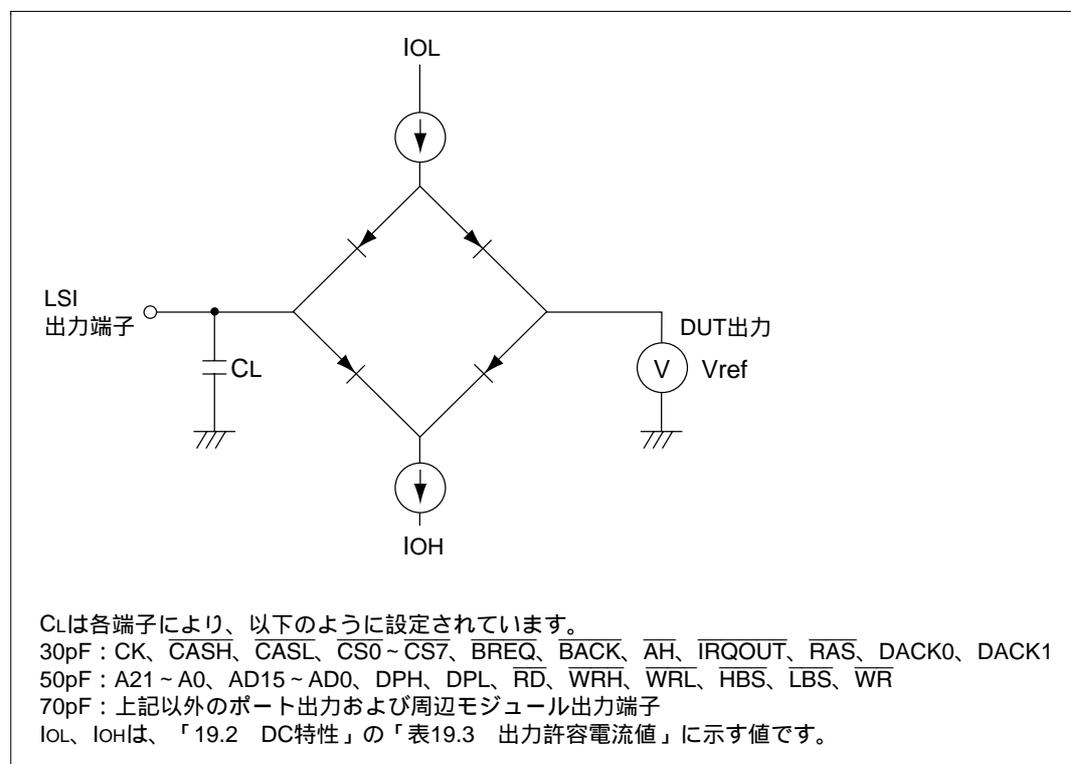


図 19.42 出力負荷回路

19.4 使用上の注意

ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り換え時にマスク ROM 版についても同等の評価試験を行ってください。

付 録

付 録 目 次

A.	内蔵周辺モジュールレジスタ	577	
	A.1	レジスタ一覧	577
	A.2	レジスタ早見表	590
	A.3	リセット、低消費電力状態でのレジスタ状態	656
B.	端子状態	658	
	B.1	リセット、低消費電力状態、バス権解放状態での端子状態	658
	B.2	各アドレス空間へのアクセスにおける端子状態	660
C.	ROM 発注手順	664	
	C.1	ROM 書き換え品開発の流れ（発注手順）	664
	C.2	ROM 発注時の注意事項	665
D.	外形寸法図	666	

A. 内蔵周辺モジュールレジスタ

A.1 レジスタ一覧

内蔵周辺モジュールレジスタのアドレスとビット名を以下に示します。16 ビット、32 ビットレジスタは、8 ビットずつ2段または4段で表しています。

表 A.1.1 8 ビットアクセス空間

(8 ビット、16 ビットアクセス可。32 ビットアクセス禁止)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'5FFFE00 ~ H'5FFFEBF	-	-	-	-	-	-	-	-	-	-	-
H'5FFFEC0	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル0)	
H'5FFFEC1	BRR0										
H'5FFFEC2	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'5FFFEC3	TDR0										
H'5FFFEC4	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'5FFFEC5	RDR0										
H'5FFFEC6	-	-	-	-	-	-	-	-	-		
H'5FFFEC7	-	-	-	-	-	-	-	-	-		
H'5FFFEC8	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル1)	
H'5FFFEC9	BRR1										
H'5FFFECA	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'5FFFECB	TDR1										
H'5FFFEC	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'5FFFECD	RDR1										
H'5FFFECE ~ H'5FFFEDF	-	-	-	-	-	-	-	-	-		

(続 く)

表 A.1.1 8 ビットアクセス空間

(8 ビット、16 ビットアクセス可。32 ビットアクセス禁止)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFEE0	-	-	-	-	-	-	-	-	-	-
H'5FFFEE1	-	-	-	-	-	-	-	-	-	
H'5FFFEE2	-	-	-	-	-	-	-	-	-	
H'5FFFEE6	-	-	-	-	-	-	-	-	-	
H'5FFFEE7	-	-	-	-	-	-	-	-	-	
H'5FFFEE8	-	-	-	-	-	-	-	-	-	
H'5FFFEE9	-	-	-	-	-	-	-	-	-	
H'5FFFEEA	-	-	-	-	-	-	-	-	-	
~	-	-	-	-	-	-	-	-	-	
H'5FFFEFF	-	-	-	-	-	-	-	-	-	

表 A.1.2 16 ビットアクセス空間
(原則として8ビット、16ビット、32ビットアクセス可)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF00	TSTR*	-	-	-	STR4	STR3	STR2	STR1	STR0	ITU (チャンネル0~4共通)
H'5FFFF01	TSNC*	-	-	-	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'5FFFF02	TMDR*	-	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'5FFFF03	TFCR*	-	-	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'5FFFF04	TCR0*	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU (チャンネル0)
H'5FFFF05	TIOR0*	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0	
H'5FFFF06	TIER0*	-	-	-	-	-	OVIE	IMIEB	IMIEA	
H'5FFFF07	TSR0*	-	-	-	-	-	OVF	IMFB	IMFA	
H'5FFFF08	TCNT0									
H'5FFFF09										
H'5FFFF0A	GRA0									
H'5FFFF0B										
H'5FFFF0C	GRB0									
H'5FFFF0D										
H'5FFFF0E	TCR1*	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU (チャンネル1)
H'5FFFF0F	TIOR1*	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0	
H'5FFFF10	TIER1*	-	-	-	-	-	OVIE	IMIEB	IMIEA	
H'5FFFF11	TSR1*	-	-	-	-	-	OVF	IMFB	IMFA	
H'5FFFF12	TCNT1									
H'5FFFF13										
H'5FFFF14	GRA1									
H'5FFFF15										
H'5FFFF16	GRB1									
H'5FFFF17										

【注】 *8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF18	TCR2*	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU (チャンネル2)
H'5FFFF19	TIOR2*	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0	
H'5FFFF1A	TIER2*	-	-	-	-	-	OVIE	IMIEB	IMIEA	
H'5FFFF1B	TSR2*	-	-	-	-	-	OVF	IMFB	IMFA	
H'5FFFF1C	TCNT2									
H'5FFFF1D										
H'5FFFF1E	GRA2									
H'5FFFF1F										
H'5FFFF20	GRB2									
H'5FFFF21										
H'5FFFF22	TCR3*	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU (チャンネル3)
H'5FFFF23	TIOR3*	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0	
H'5FFFF24	TIER3*	-	-	-	-	-	OVIE	IMIEB	IMIEA	
H'5FFFF25	TSR3*	-	-	-	-	-	OVF	IMFB	IMFA	
H'5FFFF26	TCNT3									
H'5FFFF27										
H'5FFFF28	GRA3									
H'5FFFF29										
H'5FFFF2A	GRB3									
H'5FFFF2B										
H'5FFFF2C	BRA3									
H'5FFFF2D										
H'5FFFF2E	BRB3									
H'5FFFF2F										
H'5FFFF31	TOCR*	-	-	-	-	-	-	OLS4	OLS3	ITU (チャンネル0~4 共通)

【注】 *8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。

(続く)

表 A.1.2 16 ビットアクセス空間
 (原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF32	TCR4*	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU (チャンネル4)
H'5FFFF33	TIOR4*	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0	
H'5FFFF34	TIER4*	-	-	-	-	-	OVIE	IMIEB	IMIEA	
H'5FFFF35	TSR4*	-	-	-	-	-	OVF	IMFB	IMFA	
H'5FFFF36	TCNT4									
H'5FFFF37										
H'5FFFF38	GRA4									
H'5FFFF39										
H'5FFFF3A	GRB4									
H'5FFFF3B										
H'5FFFF3C	BRA4									
H'5FFFF3D										
H'5FFFF3E	BRB4									
H'5FFFF3F										

【注】 *8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF40	SAR0*1									DMAC (チャンネル0)
H'5FFFF41										
H'5FFFF42										
H'5FFFF43										
H'5FFFF44	DAR0*1									
H'5FFFF45										
H'5FFFF46										
H'5FFFF47										
H'5FFFF48	DMAOR*2	-	-	-	-	-	-	PR1	PR0	
H'5FFFF49		-	-	-	-	-	AE	NMIF	DME	
H'5FFFF4A	TCR0*1									
H'5FFFF4B										
H'5FFFF4C	-	-	-	-	-	-	-	-	-	
H'5FFFF4D	-	-	-	-	-	-	-	-	-	
H'5FFFF4E	CHCR0	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'5FFFF4F		AM	AL	DS	TM	TS	IE	TE	DE	
H'5FFFF50	SAR1*1									DMAC (チャンネル1)
H'5FFFF51										
H'5FFFF52										
H'5FFFF53										
H'5FFFF54	DAR1*1									
H'5FFFF55										
H'5FFFF56										
H'5FFFF57										
H'5FFFF58	-	-	-	-	-	-	-	-	-	
H'5FFFF59	-	-	-	-	-	-	-	-	-	
H'5FFFF5A	TCR1*1									
H'5FFFF5B										

【注】 *1 16ビット、32ビットアクセス可。8ビットアクセス禁止。

*2 全チャンネル共通のレジスタです。

(続く)

表 A.1.2 16 ビットアクセス空間
 (原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF5C	-	-	-	-	-	-	-	-	-	DMAC (チャンネル1)
H'5FFFF5D	-	-	-	-	-	-	-	-	-	
H'5FFFF5E	CHCR1	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'5FFFF5F		AM	AL	DS	TM	TS	IE	TE	DE	
H'5FFFF60	SAR2*									DMAC (チャンネル2)
H'5FFFF61										
H'5FFFF62										
H'5FFFF63										
H'5FFFF64	DAR2*									
H'5FFFF65										
H'5FFFF66										
H'5FFFF67										
H'5FFFF68	-	-	-	-	-	-	-	-	-	
H'5FFFF69	-	-	-	-	-	-	-	-	-	
H'5FFFF6A	TCR2*									
H'5FFFF6B										
H'5FFFF6C	-	-	-	-	-	-	-	-	-	
H'5FFFF6D	-	-	-	-	-	-	-	-	-	
H'5FFFF6E	CHCR2	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'5FFFF6F		AM	AL	DS	TM	TS	IE	TE	DE	

【注】 *16ビット、32ビットアクセス可。8ビットアクセス禁止。

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF70	SAR3*									DMAC (チャンネル3)
H'5FFFF71										
H'5FFFF72										
H'5FFFF73										
H'5FFFF74	DAR3*									
H'5FFFF75										
H'5FFFF76										
H'5FFFF77										
H'5FFFF78	-	-	-	-	-	-	-	-	-	
H'5FFFF79	-	-	-	-	-	-	-	-	-	
H'5FFFF7A	TCR3*									
H'5FFFF7B										
H'5FFFF7C	-	-	-	-	-	-	-	-	-	
H'5FFFF7D	-	-	-	-	-	-	-	-	-	
H'5FFFF7E	CHCR3	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'5FFFF7F		AM	AL	DS	TM	TS	IE	TE	DE	

【注】 *16ビット、32ビットアクセス可。8ビットアクセス禁止。

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'5FFFF80 ~ H'5FFFF83	-	-	-	-	-	-	-	-	-	INTC	
H'5FFFF84	IPRA										
H'5FFFF85											
H'5FFFF86	IPRB										
H'5FFFF87											
H'5FFFF88	IPRC										
H'5FFFF89											
H'5FFFF8A	IPRD										
H'5FFFF8B											
H'5FFFF8C	IPRE										
H'5FFFF8D											
H'5FFFF8E	ICR	NMIL	-	-	-	-	-	-	NMIE		
H'5FFFF8F		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S		
H'5FFFF90	BARH	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24		UBC
H'5FFFF91		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16		
H'5FFFF92	BARL	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8		
H'5FFFF93		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0		
H'5FFFF94	BAMRH	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24		
H'5FFFF95		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16		
H'5FFFF96	BAMRL	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8		
H'5FFFF97		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0		
H'5FFFF98	BBR	-	-	-	-	-	-	-	-		
H'5FFFF99		CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0		
H'5FFFF9A ~ H'5FFFF9F	-	-	-	-	-	-	-	-	-		

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFA0	BCR	DRAME	IOE	WARP	RDDTY	BAS	-	-	-	BSC
H'5FFFA1		-	-	-	-	-	-	-	-	
H'5FFFA2	WCR1	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0	
H'5FFFA3		-	-	-	-	-	-	-	WW1	
H'5FFFA4	WCR2	DRW7	DRW6	DRW5	DRW4	DRW3	DRW2	DRW1	DRW0	
H'5FFFA5		DWW7	DWW6	DWW5	DWW4	DWW3	DWW2	DWW1	DWW0	
H'5FFFA6	WCR3	WPU	A02LW1	A02LW0	A6LW1	A6LW0	-	-	-	
H'5FFFA7		-	-	-	-	-	-	-	-	
H'5FFFA8	DCR	CW2	RASD	TPC	BE	CDTY	MXE	MXC1	MXC0	
H'5FFFA9		-	-	-	-	-	-	-	-	
H'5FFFAA	PCR	PEF	PFRC	PEO	PCHK1	PCHK0	-	-	-	
H'5FFFAB		-	-	-	-	-	-	-	-	
H'5FFFAC	RCR	-	-	-	-	-	-	-	-	
H'5FFFAD		RFSHE	RMODE	RLW1	RLW0	-	-	-	-	
H'5FFFAE	RTCSR	-	-	-	-	-	-	-	-	
H'5FFFAF		CMF	CMIE	CKS2	CKS1	CKS0	-	-	-	
H'5FFFB0	RTCNT	-	-	-	-	-	-	-	-	
H'5FFFB1		-	-	-	-	-	-	-	-	
H'5FFFB2	RTCOR	-	-	-	-	-	-	-	-	
H'5FFFB3		-	-	-	-	-	-	-	-	
H'5FFFB4 ~ H'5FFFB7	-	-	-	-	-	-	-	-	-	
H'5FFFB8	TCSR*	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
H'5FFFB9	TCNT*	-	-	-	-	-	-	-	-	
H'5FFBBA	-	-	-	-	-	-	-	-	-	
H'5FFBFB	RSTCSR*	WOVF	RSTE	RSTS	-	-	-	-	-	

【注】 *読み出し時のアドレスです。書き込み時のアドレスは、TCR と TCNT が H'5FFFB8、RSTCSR が H'5FFBBA です。詳細は「12. ウォッチドッグタイマ」の「12.2.4 レジスタアクセス時の注意」を参照してください。

(続く)

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可) (続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFFBC	SBYCR	SBY	HIZ	-	-	-	-	-	-	(低消費電力状態)
H'5FFFFBD ~ H'5FFFFBF	-	-	-	-	-	-	-	-	-	-

表 A.1.2 16 ビットアクセス空間

(原則として8ビット、16ビット、32ビットアクセス可)(続き)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'5FFFF0	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	ポート A
H'5FFFC1		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
H'5FFFF2	PBDR	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	ポート B
H'5FFFC3		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
H'5FFFC4	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	PFC
H'5FFFC5		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
H'5FFFC6	PBIOR	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	
H'5FFFC7		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	
H'5FFFC8	PACR1	PA15MD1	PA15MD0	PA14MD1	PA14MD0	PA13MD1	PA13MD0	PA12MD1	PA12MD0	
H'5FFFC9		PA11MD1	PA11MD0	PA10MD1	PA10MD0	PA9MD1	PA9MD0	-	PA8MD	
H'5FFFCa	PACR2	-	PA7MD	-	PA6MD	-	PA5MD	-	PA4MD	
H'5FFFCb		PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0	
H'5FFFCc	PBCR1	PB15MD1	PB15MD0	PB14MD1	PB14MD0	PB13MD1	PB13MD0	PB12MD1	PB12MD0	
H'5FFFCd		PB11MD1	PB11MD0	PB10MD1	PB10MD0	PB9MD1	PB9MD0	PB8MD1	PB8MD0	
H'5FFFCe	PBCR2	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
H'5FFFCf		PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0	

(続く)

表 A.1.2 16 ビットアクセス空間
 (原則として8ビット、16ビット、32ビットアクセス可)(続き)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'5FFFFD0	-	-	-	-	-	-	-	-	-	-	-
H'5FFFFD1		-	-	-	-	-	-	-	-	-	
H'5FFFFD2 ~ H'5FFFFED	-	-	-	-	-	-	-	-	-	-	PFC
H'5FFFFEE	CASCR	CASHMD1	CASHMD0	CASLMD1	CASLMD0	-	-	-	-		
H'5FFFFEF		-	-	-	-	-	-	-	-		
H'5FFFFF0	TPMR	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV		TPC
H'5FFFFF1	TPCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'5FFFFF2	NDERB	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'5FFFFF3	NDERA	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'5FFFFF4	NDRB*	NDR15	NDR14	NDR13	NDR12	-	-	-	-		
H'5FFFFF5	NDRA*	NDR7	NDR6	NDR5	NDR4	-	-	-	-		
H'5FFFFF6	NDRB*	-	-	-	-	NDR11	NDR10	NDR9	NDR8		
H'5FFFFF7	NDRA*	-	-	-	-	NDR3	NDR2	NDR1	NDR0		
H'5FFFFF8 ~ H'5FFFFF	-	-	-	-	-	-	-	-	-		

【注】 *TPCRの設定により TPC 出力グループ0と TPC 出力グループ1の出力トリガが同一の場合は NDRA のアドレスは H'5FFFFF5 となり、出力トリガが異なる場合はグループ0に対応する NDRA のアドレスは H'5FFFFF7、グループ1に対応する NDRA のアドレスは H'5FFFFF5 となります。同様に、TPCRの設定により TPC 出力グループ2と TPC 出力グループ3の出力トリガが同一の場合は NDRB のアドレスは H'5FFFFF4 となり、出力トリガが異なる場合はグループ2に対応する NDRB のアドレスは H'5FFFFF6、グループ3に対応する NDRB のアドレスは H'5FFFFF4 となります。

A.2 レジスタ早見表

レジスタ名称	先頭アドレス	アクセスサイズ	モジュール
シリアルモードレジスタ (SMR)	H'5FFFE0 (チャンネル0)、 H'5FFFE8 (チャンネル1)	8/16	SCI

レジスタの概要	項目	ビット							
		7	6	5	4	3	2	1	0
	ビット名	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
	初期値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビットの機能	ビット	ビット名称	値	説明
	7	コミュニケーションモード (C/A)	0	調歩同期式モード (初期値)
			1	クロック同期式モード
	6	キャラクタレングス (CHR)	0	8ビットデータ (初期値)
			1	7ビットデータ
	5	パリティイネーブル (PE)	0	パリティビットの付加、およびチェックを禁止 (初期値)
			1	パリティビットの付加、およびチェックを許可
	4	パリティモード (O/E)	0	偶数パリティ (初期値)
			1	奇数パリティ
	3	ストップビットレングス (STOP)	0	1ストップビット (初期値)
			1	2ストップビット
	2	マルチプロセッサモード (MP)	0	マルチプロセッサ機能を禁止 (初期値)
			1	マルチプロセッサフォーマットを選択
	1、0	クロックセレクト1、0 (CKS1、CKS0)	0 0	クロック (初期値)
			0 1	/4クロック
			1 0	/16クロック
1 1			/64クロック	

ビット番号 ビット名称 (略称) ビットの値 ビットの説明

(ビット以上を1組として説明している場合、左側が上位ビット、右側が下位ビットです)

SCI

シリアルモードレジスタ (SMR)	H'5FFFE0 (チャンネル0)、 H'5FFFE8 (チャンネル1)	8/16
-------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	コミュニケーションモード (C/A)	0	調歩同期式モード (初期値)
		1	クロック同期式モード
6	キャラクタレングス (CHR)	0	8ビットデータ (初期値)
		1	7ビットデータ
5	パリティイネーブル (PE)	0	パリティビットの付加、およびチェックを禁止 (初期値)
		1	パリティビットの付加、およびチェックを許可
4	パリティモード (O/E)	0	偶数パリティ (初期値)
		1	奇数パリティ
3	ストップビットレングス (STOP)	0	1ストップビット (初期値)
		1	2ストップビット
2	マルチプロセッサモード (MP)	0	マルチプロセッサ機能を禁止 (初期値)
		1	マルチプロセッサフォーマットを選択
1、0	クロックセレクト1、0 (CKS1、CKS0)	0 0	クロック (初期値)
		0 1	/4クロック
		1 0	/16クロック
		1 1	/64クロック

SCI

トランスミットデータレジスタ (BRR)	H'5FFFECC1 (チャンネル0)、 H'5FFFECC9 (チャンネル1)	8/16
----------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(ビットレート設定)	シリアル送信 / 受信のビットレートを設定

SCI

シリアルコントロールレジスタ (SCR)	H'5FFFECA (チャンネル0) H'5FFFECA (チャンネル1)	8/16
-------------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	トランスミットインタラプトネーブル (TIE)	0	送信データエンプティ割り込み要求 (TXI) を禁止 (初期値)
		1	送信データエンプティ割り込み要求 (TXI) を許可
6	レシーブインタラプトネーブル (RIE)	0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止 (初期値)
		1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可
5	トランスミットイネーブル (TE)	0	送信動作を禁止 (初期値)
		1	送信動作を許可
4	レシーブイネーブル (RE)	0	受信動作を禁止 (初期値)
		1	受信動作を許可
3	マルチプロセッサインタラプトイネーブル (MPIE)	0	マルチプロセッサ割り込み禁止状態(通常の受信動作をします)(初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
		1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み要求 (EXI)、受信エラー割り込み要求 (ERI)、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。
2	トランスミットエンドインタラプトイネーブル (TEIE)	0	送信割り込み要求 (TEI) を禁止 (初期値)
		1	送信割り込み要求 (TEI) を許可

(続く)

SCI

(続き)

ビット	ビット名称	値		説明	
1	クロックイネーブル1 (CKE1)	0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) (初期値)
				クロック同期式モード	内部クロック / SCK 端子は同期クロック出力 (初期値)
		0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力
				クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
0	クロックイネーブル0 (CKE0)	1	0	調歩同期式モード	内部クロック / SCK 端子はクロック出力
				クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
		1	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力
				クロック同期式モード	内部クロック / SCK 端子は同期クロック出力

トランスミットデータレジスタ (TDR)	H'5FFFE C3 (チャンネル0) H'5FFFE C B (チャンネル1)	8/16
-------------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(送信データ格納)	シリアル送信するデータを格納

SCI

シリアルステータスレジスタ (SSR)	H'5FFFECC4 (チャンネル0)、 H'5FFFECC (チャンネル1)	8/16
---------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*

【注】 *フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	トランスミットデータレジスタエンプティ (TDRE)	0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読みだした後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
		1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき
6	レシープデータレジスタフル (RDRF)	0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR ヘデータを読み出したとき
		1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR ヘ受信データが転送されたとき

(続 く)

SCI

(続き)

ビット	ビット名称	値	説明
5	オーバランエラー (ORER)	0	受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にオーバランエラーが発生したことを表示 [セット条件] RDRF = 1 の状態で次のシリアル受信が完了したとき
4	フレーミングエラー (FER)	0	受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき
3	パリティエラー (PER)	0	受信中、または正常に受信したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にパリティエラーが発生したことを表示 [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ(SMR)のO/Eビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

(続く)

SCI

(続 き)

ビット	ビット名称	値	説明
2	トランスミットエンド (TEND)	0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘータを書き込んだとき
		1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき
1	マルチプロセッサビット (MPB)	0	マルチプロセッサビットが 0 のデータを受信したことを表示 (初期値)
		1	マルチプロセッサビットが 1 のデータを受信したことを表示
0	マルチプロセッサビットトランスファ (MPBT)	0	マルチプロセッサビットが 0 のデータを送信 (初期値)
		1	マルチプロセッサビットが 1 のデータを送信

SCI

レシーブデータレジスタ (RDR)	H5FFFECD (チャンネル0)、 H5FFFECD (チャンネル1)	8/16
-------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	説 明
7~0	(受信シリアルデータ格納)	受信したシリアルデータを格納

ITU

タイムスタートレジスタ (TSTR)	H'5FFFF00	8
--------------------	-----------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	STR4	STR3	STR2	STR1	STR0
初期値	不定	1	1	0	0	0	0	0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
4	カウンタスタート4 (STR4)	0	TCNT4 のカウント動作は停止 (初期値)
		1	TCNT4 はカウント動作
3	カウンタスタート3 (STR3)	0	TCNT3 のカウント動作は停止 (初期値)
		1	TCNT3 はカウント動作
2	カウンタスタート2 (STR2)	0	TCNT2 のカウント動作は停止 (初期値)
		1	TCNT2 はカウント動作
1	カウンタスタート1 (STR1)	0	TCNT1 のカウント動作は停止 (初期値)
		1	TCNT1 はカウント動作
0	カウンタスタート0 (STR0)	0	TCNT0 のカウント動作は停止 (初期値)
		1	TCNT0 はカウント動作

ITU

タイマシンクロレジスタ (TSNC)	H'5FFFF01	8
--------------------	-----------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値	不定	1	1	0	0	0	0	0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
4	タイマ同期 4 (SYNC4)	0	チャンネル 4 のタイマカウンタ(TCNT4)は独立動作(初期値) (TCNT4 のプリセット/クリアは他チャンネルと無関係)
		1	チャンネル 4 は同期動作 TCNT4 の同期プリセット/同期クリアが可能
3	タイマ同期 3 (SYNC3)	0	チャンネル 3 のタイマカウンタ(TCNT3)は独立動作(初期値) (TCNT3 のプリセット/クリアは他チャンネルと無関係)
		1	チャンネル 3 は同期動作 TCNT3 の同期プリセット/同期クリアが可能
2	タイマ同期 2 (SYNC2)	0	チャンネル 2 のタイマカウンタ(TCNT2)は独立動作(初期値) (TCNT2 のプリセット/クリアは他チャンネルと無関係)
		1	チャンネル 2 は同期動作 TCNT2 の同期プリセット/同期クリアが可能
1	タイマ同期 1 (SYNC1)	0	チャンネル 1 のタイマカウンタ(TCNT1)は独立動作(初期値) (TCNT1 のプリセット/クリアは他チャンネルと無関係)
		1	チャンネル 1 は同期動作 TCNT1 の同期プリセット/同期クリアが可能
0	タイマ同期 0 (SYNC0)	0	チャンネル 0 のタイマカウンタ(TCNT0)は独立動作(初期値) (TCNT0 のプリセット/クリアは他チャンネルと無関係)
		1	チャンネル 0 は同期動作 TCNT1 の同期プリセット/同期クリアが可能

ITU

タイマモードレジスタ (TMDR)	H'5FFFF02	8
-------------------	-----------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値	不定	0	0	0	0	0	0	0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
6	位相計数モード (MDF)	0	チャンネル 2 は通常動作 (初期値)
		1	チャンネル 2 は位相計数モード
5	フラグディレクション (FDIR)	0	TSR2 の OVF は、TCNT2 がオーバフローまたはアンダフローしたとき 1 にセット (初期値)
		1	TSR2 の OVF は、TCNT2 がオーバフローしたとき 1 にセット
4	PWM モード 4 (PWM4)	0	チャンネル 4 は通常動作 (初期値)
		1	チャンネル 4 は PWM モード
3	PWM モード 3 (PWM3)	0	チャンネル 3 は通常動作 (初期値)
		1	チャンネル 3 は PWM モード
2	PWM モード 2 (PWM2)	0	チャンネル 2 は通常動作 (初期値)
		1	チャンネル 2 は PWM モード
1	PWM モード 1 (PWM1)	0	チャンネル 1 は通常動作 (初期値)
		1	チャンネル 1 は PWM モード
0	PWM モード 0 (PWM0)	0	チャンネル 0 は通常動作 (初期値)
		1	チャンネル 0 は PWM モード

ITU

タイマファンクションコントロールレジスタ (TFCR)	H'5FFFF02	8
-------------------------------	-----------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値	不定	1	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明
5、4	コンビネーションモード 1、0 (CMD1、CMD0)	0	0	チャンネル 3、4 は通常動作 (初期値)
		0	1	チャンネル 3、4 は通常動作
		1	0	チャンネル 3、4 を組み合わせ、相補 PWM モードで動作
		1	1	チャンネル 3、4 組み合わせ、リセット同期 PWM モードで動作
4	バッファ動作 B4 (BFB4)	0		GRB4 は通常動作 (初期値)
		1		GRB4 と BRB4 はバッファ動作
3	バッファ動作 A4 (BFA4)	0		GRA4 は通常動作 (初期値)
		1		GRA4 と BRA4 はバッファ動作
2	バッファ動作 B3 (BFB3)	0		GRB3 は通常動作 (初期値)
		1		GRB3 と BRB3 はバッファ動作
1	バッファ動作 A3 (BFA3)	0		GRA3 は通常動作 (初期値)
		1		GRA3 と BRA3 はバッファ動作

ITU

タイマコントロールレジスタ 0~4 (TCR0~TCR4)	H'5FFFF04 (チャンネル0)、 H'5FFFF0E (チャンネル1)、 H'5FFFF18 (チャンネル2)、 H'5FFFF22 (チャンネル3)、 H'5FFFF32 (チャンネル4)	8
-------------------------------	--	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	CCCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	不定	0	0	0	0	0	0	0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説 明	
6、5	カウンタクリア 1、0 (CCLR1、CCLR0)	0	0	TCNT のクリア禁止 (初期値)	
		0	1	GRA のコンペアマッチ / インプトキャプチャで TCNT をクリア	
		1	0	GRB のコンペアマッチ / インプトキャプチャで TCNT をクリア	
		1	1	同期クリア。同期動作をしている他のタイマのカウンタクリアに同期して TCNT をクリア	
4、3	クロックエッジ 1、0 (CKEG1、CKEG0)	0	0	立ち上がりエッジでカウント (初期値)	
		0	1	立ち下がりエッジでカウント	
		1	*	立ち上がり / 立ち下がり の両エッジでカウント	
2~0	タイマプリスケラ 2~0 (TPSC2~TPSC0)	0	0	0	内部クロック : でカウント (初期値)
		0	0	1	内部クロック : /2 でカウント
		0	1	0	内部クロック : /4 でカウント
		0	1	1	内部クロック : /8 でカウント
		1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	0	1	外部クロック B : TCLKB 端子入力でカウント
		1	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	1	1	外部クロック D : TCLKD 端子入力でカウント

* : 0 または 1

ITU

タイマ I/O コントロールレジスタ 0~4 (TIOR0~TIOR4)	H'5FFFF05 (チャンネル0)、 H'5FFFF0F (チャンネル1)、 H'5FFFF19 (チャンネル2)、 H'5FFFF23 (チャンネル3)、 H'5FFFF33 (チャンネル4)	8
---	--	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0
初期値	不定	0	0	0	1	0	0	0
R/W	-	R/W	R/W	R/W	-	R/W	R/W	R/W

ビット	ビット名称	値			説 明	
6~4	I/O コントロール B2~0 (IOB2~IOB0)	0	0	0		コンペアマッチによる端子出力禁止 (初期値)
		0	0	1	GRB は アウトプ	GRB のコンペアマッチで 0 出力
		0	1	0	ットコンペ アレジ	GRB のコンペアマッチで 1 出力
		0	1	1	スタ	GRB のコンペアマッチでトグル出力 (チ ャネル 2 のみ 1 出力)
		1	0	0	GRB は インプッ	立ち上がりエッジで GRB ヘインプットキ ャプチャ
		1	0	1	トキャップ チャレ	立ち下がりエッジで GRB ヘインプットキ ャプチャ
		1	1	*	ジスタ	立ち上がり / 立ち下がり両エッジでイ ンプットキャプチャ

* : 0 または 1

(続 く)

ITU

(続 き)

ビット	ビット名称	値			説 明	
2~0	I/O コントロール A2~0 (IOA2~IOA0)	0	0	0	GRA は アウトプ	コンペアマッチによる端子出力禁止 (初期値)
		0	0	1	ットコンペ アレジ	GRA のコンペアマッチで 0 出力
		0	1	0	スタ	GRA のコンペアマッチで 1 出力
		0	1	1		GRA のコンペアマッチでトグル出力 (チ ヤネル 2 のみ 1 出力)
		1	0	0	GRA は インプッ	立ち上がりエッジで GRA ヘインプットキ ャプチャ
		1	0	1	トキャプチ ャレジ	立ち下がりエッジで GRA ヘインプットキ ャプチャ
		1	1	*	スタ	立ち上がり / 立ち下がり両エッジでイン プットキャプチャ

* : 0 または 1

ITU

タイミンタラプトイネーブルレジスタ0~4 (TIER0~TIER4)	H'5FFFF06 (チャンネル0)、 H'5FFFF10 (チャンネル1)、 H'5FFFF1A (チャンネル2)、 H'5FFFF24 (チャンネル3)、 H'5FFFF34 (チャンネル4)	8
---------------------------------------	--	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	OVIE	IMIEB	IMIEA
初期値	不定	1	1	1	1	0	0	0
R/W	-	-	-	-	-	R/W	R/W	R/W

ビット	ビット名称	値	説 明
2	オーバフローインタラプトイネーブル (OVIE)	0	OVFによる割り込み要求(OVI)を禁止 (初期値)
		1	OVFによる割り込み要求(OVI)を許可
1	インプットキャプチャ/コンペアマッチイン タラプトイネーブルB(IMIEB)	0	IMFBによる割り込み要求(IMIB)を禁止 (初期値)
		1	IMFBによる割り込み要求(IMIB)を許可
0	インプットキャプチャ/コンペアマッチイン タラプトイネーブルA(IMIEA)	0	IMFAによる割り込み要求(IMIA)を禁止 (初期値)
		1	IMFAによる割り込み要求(IMIA)を許可

ITU

タイムステータスレジスタ 0~4 (TSR0~TSR4)	H'5FFFF07 (チャンネル0)、 H'5FFFF11 (チャンネル1)、 H'5FFFF1B (チャンネル2)、 H'5FFFF25 (チャンネル3)、 H'5FFFF35 (チャンネル4)	8
------------------------------	--	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	OVF	IMFB	IMFA
初期値	不定	1	1	1	1	0	0	0
R/W	-	-	-	-	-	R/(W)*	R/(W)*	R/(W)*

【注】 *フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説 明
2	オーバフローフラグ (OVF)		[クリア条件] (初期値)
		0	OVF = 1 の状態で、OVF を読み出した後、OVF に 0 を書き込んだとき。
1	インプットキャプチャ / コンペアマッチフラグ B (IMFB)		[セット条件]
		1	TCNT の値がオーバフロー (H'FFFF H'0000) またはアンダフロー (H'FFFF H'0000) したとき。
1	インプットキャプチャ / コンペアマッチフラグ B (IMFB)		[クリア条件] (初期値)
		0	IMFB = 1 の状態で、IMFB を読み出した後、IMFB に 0 を書き込んだとき。
1	インプットキャプチャ / コンペアマッチフラグ B (IMFB)		[セット条件]
		1	(1) GRB がアウトプットコンペアレジスタとして機能している場合、TCNT = GRB になったとき。 (2) GRB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により、TCNT の値が GRB に転送されたとき。

(続く)

ITU

(続き)

ビット	ビット名称	値	説 明
0	インプットキャプチャ / コンペアマッチフラグ A (IMFA)	0	[クリア条件] (初期値) (1) IMFA=1 の状態で、IMFA を読み出した後、IMFA に 0 を書き込んだとき (2) IMIA 割り込みにより、DMAC が起動されたとき (チャンネル 0 ~ 3 のみ)
		1	[セット条件] (1) GRA がアウトプットコンペアレジスタとして機能している場合、TCNT = GRA となったとき。 (2) GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により、TCNT の値が GRA に転送されたとき。

タイマカウンタ 0 ~ 4 (TCNT0 ~ TCNT4)	H'5FFFF08 (チャンネル 0)、 H'5FFFF12 (チャンネル 1)、 H'5FFFF1C (チャンネル 2)、 H'5FFFF26 (チャンネル 3)、 H'5FFFF36 (チャンネル 4)	8/16/32
---------------------------------	---	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15 ~ 0	(カウント値)	入力クロックをカウント

ITU

ジェネラルレジスタ A0~4 (GRA0~GRA4)	H'5FFFF0A (チャンネル0)、 H'5FFFF14 (チャンネル1)、 H'5FFFF1E (チャンネル2)、 H'5FFFF28 (チャンネル3)、 H'5FFFF38 (チャンネル4)	8/16/32
----------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	(アウトプットコンペア/インプットキャプチャ兼用レジスタ)	(1) アウトプットコンペアレジスタ: コンペアマッチ出力を設定 (2) インプットキャプチャレジスタ: インプットキャプチャ信号発生時、TCNT の値を格納

ITU

ジェネラルレジスタ B0~4 (GRB0~GRB4)	H'5FFFF0C (チャンネル0)、 H'5FFFF16 (チャンネル1)、 H'5FFFF20 (チャンネル2)、 H'5FFFF2A (チャンネル3)、 H'5FFFF3A (チャンネル4)	8/16/32
----------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	(アウトプットコンペア/インプットキャ プチャ兼用レジスタ)	(1) アウトプットコンペアレジスタ: コンペアマッチ出力を設定 (2) インプットキャプチャレジスタ: インプットキャプチャ信号 発生時、TCNT の値を格納

バッファレジスタ A3、4 (BRA3、BRA4)	H'5FFFF2C (チャンネル3)、 H'5FFFF3C (チャンネル4)	8/16/32
---------------------------	---	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	(アウトプットコンペア/インプットキャ プチャバッファレジスタ)	(1) アウトプットコンペアレジスタ: コンペアマッチ発生時、そ れまで格納していた値を GRA に転送 (2) インプットキャプチャレジスタ: インプットキャプチャ信号発 生時、それまで GRA に格納されていた値を格納

ITU

バッファレジスタ B3、4 (BRB3、BRB4)	H'5FFFF2E (チャンネル3)、 H'5FFFF3E (チャンネル4)	8/16/32
---------------------------	---	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	(アウトプットコンペア/インプットキャ プチャバッファレジスタ)	(1) アウトプットコンペアレジスタ: コンペアマッチ発生時、そ れまで格納していた値を GRB に転送 (2) インプットキャプチャレジスタ:インプットキャプチャ信号発 生時、それまで GRB に格納されていた値を格納

タイマアウトプットコントロールレジスタ (TOCR)	H'5FFFF31	8
----------------------------	-----------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	OLS4	OLS3
初期値	不定	1	1	1	1	1	1	1
R/W	-	-	-	-	-	-	R/W	R/W

ビット	ビット名称	値	説 明
1	出力レベルセレクト 4 (OLS4)	0	TIOCA3、TIOCA4、TIOCB4 は反転出力
		1	TIOCA3、TIOCA4、TIOCB4 は直接出力 (初期値)
1	出力レベルセレクト 3 (OLS3)	0	TIOCA3、TOCXA4、TOCXB4 は反転出力
		1	TIOCB3、TOCXA4、TOCXB4 は直接出力 (初期値)

DMAC

DMA ソースアドレスレジスタ 0~3 (SAR0~SAR3)	H'5FFFF40 (チャンネル0) H'5FFFF50 (チャンネル1) H'5FFFF60 (チャンネル2) H'5FFFF70 (チャンネル3)	16/32
---------------------------------	--	-------

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- : 不定

ビット	ビット名称	説 明
31~0	(転送元アドレス指定)	DMA 転送元のアドレスを指定

DMAC

DMA デスティネーションアドレスレジスタ 0~3 (DAR0~DAR3)	H'5FFFF4 (チャンネル0) H'5FFFF54 (チャンネル1) H'5FFFF64 (チャンネル2) H'5FFFF74 (チャンネル3)	16/32
--	---	-------

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- : 不定

ビット	ビット名称	説明
31~0	(転送先アドレス指定)	DMA 転送先のアドレスを指定

DMAC

DMA トランスファカウントレジスタ 0~3 (TCR0 ~ TCR3)	H'5FFFF4A (チャンネル0) H'5FFFF5A (チャンネル1) H'5FFFF6A (チャンネル2) H'5FFFF7A (チャンネル3)	16/32
---	--	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- : 不定

ビット	ビット名称	説明
15~0	(DMA 転送回数指定)	DMA 転送回数 (バイト数またはワード数) を指定。 DMA 転送中は残り転送回数を示す。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0 ~ CHCR3)	H'5FFFF4E (チャンネル0) H'5FFFF5E (チャンネル1) H'5FFFF6E (チャンネル2) H'5FFFF7E (チャンネル3)	8/16/32
--	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	AM	AL	DS	TM	TS	IE	TE	DE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W) ^{*2}	R/(W) ^{*2}	R/(W) ^{*2}	R/W	R/W	R/W	R/(W) ^{*2}	R/W

【注】 *1 フラグをクリアするために0のみ書き込むことができます。

*2 書き込みは CHCR0、1 でのみ有効です。

(続 く)

DMAC

(続き)

ビット	ビット名称	値				説 明
15、14	デスティネーションアドレスモード ビット1、0(DM1、DM0)	0	0			デスティネーションアドレスは固定 (初期値)
		0	1			デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2)
		1	0			デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2)
		1	1			予約 (設定禁止)
13、12	ソースアドレスモードビット 1、0(SM1、SM0)	0	0			ソースアドレスは固定 (初期値)
		0	1			ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2)
		1	0			ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2)
		1	1			予約 (設定禁止)
11~8	リソースセレクトビット 3~0(RS3~RS0)	0	0	0	0	\overline{DREQ} (外部リクエスト*1) (デュアルアドレスモード) (初期値)
		0	0	0	1	予約 (設定禁止)
		0	0	1	0	\overline{DREQ} (外部リクエスト*1) (シングルアドレスモード*2)
11~8	リソースセレクトビット3~0 (RS3~RS0)	0	0	1	1	DREQ(外部リクエスト*1) (シングルアドレスモード*3)
		0	1	0	0	RXI0 (内蔵 SCI0 の受信データフル割り込みによる転送要求)*4
		0	1	0	1	TXI0 (内蔵 SCI0 の送信データエンプティ割り込みによる 転送要求)*4
		0	1	1	0	RXI1 (内蔵 SCI1 の受信データフル割り込みによる転送要求)*4
		0	1	1	1	TXI1 (内蔵 SCI1 の送信データエンプティ割り込みによる 転送要求)*4
		1	0	0	0	IMIA0 (内蔵 ITU0 のインプットキャプチャ A / コンペアマ ッチ A 割り込み要求)*4
		1	0	0	1	IMIA1 (内蔵 ITU1 のインプットキャプチャ A / コンペアマ ッチ A 割り込み要求)*4

(続く)

DMAC

(続き)

ビット	ビット名称	値	説 明
11~8	リソースセレクトビット 3~0 (RS3~RS0)	1 0 1 0	IMIA2 (内蔵 ITU2 のインプットキャプチャ A / コンペア マッチ A 割り込み要求)*4
		1 0 1 1	IMIA3 (内蔵 ITU3 のインプットキャプチャ A / コンペア マッチ A 割り込み要求)*4
		1 1 0 0	オートリクエスト (DMAC 内部で転送要求を自動発生)*4
		1 1 1 0	予約 (設定禁止)
		1 1 1 1	予約 (設定禁止)
7	アクノリッジモードビット (AM)*1	0	読み出しサイクルで DACK を出力 (初期値)
		1	書き込みサイクルで DACK を出力
6	アクノリッジレベルビット (AL)*1	0	DACK はアクティブハイ信号 (初期値)
		1	DACK はアクティブロー信号
5	DREQ セレクトビット (DS)*1	0	ローレベルで DREQ を検出 (初期値)
		1	立ち下がりエッジで DREQ を検出
4	トランスファバスモードビット(TM)	0	サイクルスチールモード (初期値)
		1	バーストモード
3	トランスファサイズビット (TS)	0	バイト (8 ビット) (初期値)
		1	ワード (16 ビット)
2	インタラプトイネーブルビット (IE)	0	割り込み要求を禁止 (初期値)
		1	割り込み要求を許可
1	トランスファエンドフラグビット (TE)	0	DMA 転送中または DMA 転送中断 (初期値) [クリア条件] TE ビットを読み出してから 0 を書き込む
		1	DMA 転送正常終了
0	DMA イネーブルビット (DE)	0	DMA 転送を禁止 (初期値)
		1	DMA 転送を許可

【注】 *1 チャンネル 0、1 でのみ有効。

*2 メモリマップト外部デバイスまたは外部メモリから DACK 付きの外部デバイスへの
転送*3 DACK 付きの外部デバイスからメモリマップト外部デバイスまたは外部メモリへの
転送

*4 デュアルアドレスモード

DMAC

DMA オペレーションレジスタ (DMAOR)	H'5FFFF48	8/16/32
-------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	PR1	PR0	-	-	-	-	-	AE	NMIF	DME
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/W

ビット	ビット名称	値		説 明
9、8	プライオリティモードビット 1、0 (PR1、PR0)	0	0	優先順位は固定 (初期値) (チャンネル0>チャンネル3>チャンネル2>チャンネル1)
		0	1	優先順位は固定 (チャンネル1>チャンネル3>チャンネル2>チャンネル0)
		1	0	優先順位はラウンドロビンモードによる(リセット直後: チャンネル0>チャンネル3>チャンネル2>チャンネル1)
		1	1	優先順位は外部端子交代モードによる(リセット直後: チャンネル3>チャンネル2>チャンネル1>チャンネル0)
2	アドレスエラーフラグビット (AE)	0		DMAC によるアドレスエラーなし [クリア条件] AE ビットを読み出してから 0 を書き込む (初期値)
		1		DMAC によるアドレスエラー発生
1	NMI フラグビット (NMIF)	0		NMI 割り込みなし [クリア条件] NMIF ビットを読み出してから 0 を書き込む (初期値)
		1		NMI 割り込みが発生
0	DMA マスタイネーブルビット (DME)	0		全チャンネルの DMA 転送を禁止 (初期値)
		1		全チャンネルの DMA 転送を許可

INTC

割り込み優先順位設定レジスタ A (IPRA)4)	H'5FFFF84	8/16/32
----------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15～12	(IRQ0 優先レベル設定)	IRQ0 の優先レベル値を設定
11～8	(IRQ1 優先レベル設定)	IRQ1 の優先レベル値を設定
7～4	(IRQ2 優先レベル設定)	IRQ2 の優先レベル値を設定
3～0	(IRQ3 優先レベル設定)	IRQ3 の優先レベル値を設定

割り込み優先順位設定レジスタ B (IPRB)	H'5FFFF86	8/16/32
-------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15～12	(IRQ4 優先レベル設定)	IRQ4 の優先レベル値を設定
11～8	(IRQ5 優先レベル設定)	IRQ5 の優先レベル値を設定
7～4	(IRQ6 優先レベル設定)	IRQ6 の優先レベル値を設定
3～0	(IRQ7 優先レベル設定)	IRQ7 の優先レベル値を設定

INTC

割り込み優先順位設定レジスタ C (IPRC)	H'5FFFF88	8/16/32
-------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15～12	(DMAC0、DMAC1 優先レベル設定)	DMAC0、DMAC1 の優先レベル値を設定
11～8	(DMAC2、DMAC3 優先レベル設定)	DMAC2、DMAC3 の優先レベル値を設定
7～4	(ITU0 優先レベル設定)	ITU0 の優先レベル値を設定
3～0	(ITU1 優先レベル設定)	ITU1 の優先レベル値を設定

割り込み優先順位設定レジスタ D (IPRD)	H'5 FFFF8A	8/16/32
-------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15～12	(ITU2 優先レベル設定)	ITU2 の優先レベル値を設定
11～8	(ITU3 優先レベル設定)	ITU3 の優先レベル値を設定
7～4	(ITU4 優先レベル設定)	ITU4 の優先レベル値を設定
3～0	(SCI0 優先レベル設定)	SCI0 の優先レベル値を設定

INTC

割り込み優先順位設定レジスタ E (IPRE)	H'5 FFFF8C	8/16/32
-------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名													-	-	-	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	-

ビット	ビット名称	説 明
15～12	(SCI1 優先レベル設定)	SCI1 の優先レベル値を設定
11～8	(PRT* ¹ 優先レベル設定)	PRT* ¹ の優先レベル値を設定
7～4	(WDT、REF* ² 優先レベル設定)	WDT、REF* ² の優先レベル値を設定

【注】 *1 PRT : バスステートコントローラ内のパリティ制御部。

詳細は「8. バスステートコントローラ」を参照してください。

*2 REF : バスステートコントローラ内の DRAM リフレッシュ制御部。

詳細は「8. バスステートコントローラ」を参照してください。

INTC

割り込みコントロールレジスタ (ICR)	H'5 FFFF8E	8/16/32
----------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	NMIL	-	-	-	-	-	-	NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* NMI 端子入力がハイレベル : 1

NMI 端子入力がローレベル : 0

ビット	ビット名称	値	説明
15	NMI 入力レベル (NMIL)	0	NMI 端子にローレベルが入力されている
		1	NMI 端子にハイレベルが入力されている
8	NMI エッジセレクト (NMIE)	0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
		1	NMI 入力の立ち上がりエッジで割り込み要求を検出
7~0	IRQ0~7 センスセレクト (IRQ0~IRQ7)	0	$\overline{\text{IRQ}}$ 入力のローレベルで割り込み要求を検出 (初期値)
		1	$\overline{\text{IRQ}}$ 入力の立ち下がりエッジで割り込み要求を検出

UBC

ブレークアドレスレジスタ H (BARH)	H'5FFFF90	8/16/32
-----------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W																

ビット	ビット名称	説 明
15~0	ブレークアドレス 31~16 (BA31~BA16)	ブレーク条件とするアドレスの上位側(ビット 31~16)を指定

ブレークアドレスレジスタ L (BARL)	H'5FFFF92	8/16/32
-----------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット	ビット名称	説 明
15~0	ブレークアドレス 15~0 (BA15~BA0)	ブレーク条件とするアドレスの下位側(ビット 15~0)を指定

UBC

ブレークアドレスマスクレジスタ H (BAMRH)	H'5FFFF94	8/16/32
---------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	BAM 31	BAM 30	BAM 29	BAM 28	BAM 27	BAM 26	BAM 25	BAM 24	BAM 23	BAM 22	BAM 21	BAM 20	BAM 19	BAM 18	BAM 17	BAM 16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	ブレークアドレスマスク 31~16 (BAM15~BAM0)	BARH に指定されているブレークアドレスのマスクするビットを指定

ブレークアドレスマスクレジスタ H (BAMRL)	H'5FFFF96	8/16/32
---------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	BAM 15	BAM 14	BAM 13	BAM 12	BAM 11	BAM 10	BAM 9	BAM 8	BAM 7	BAM 6	BAM 5	BAM 4	BAM 3	BAM 2	BAM 1	BAM 0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
15~0	ブレークアドレスマスク 15~0 (BAM15~BAM0)	BARL に指定されているブレークアドレスのマスクするビットを指定

UBC

ブレイクバスサイクルレジスタ(BBR)	H'5FFFF98	8/16/32
---------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-	CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	-	-	-	-	-	-	-	-	R/W							

ビット	ビット名称	値		説 明
7、6	CPU サイクル / DMA サイクルセレクト (CD1、CD0)	0	0	ユーザブレイク割り込みを発生させない (初期値)
		0	1	CPU サイクルをブレイク条件とする
		1	0	DMA サイクルをブレイク条件とする
		1	1	CPU サイクルとDMAサイクルのどちらもブレイク条件とする
5、4	命令フェッチ / データアクセスセレクト (ID1、ID0)	0	0	ユーザブレイク割り込みを発生させない (初期値)
		0	1	命令フェッチサイクルをブレイク条件とする
		1	0	データアクセスサイクルをブレイク条件とする
		1	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする
3、2	リード / ライトセレクト (RW1、RW0)	0	0	ユーザブレイク割り込みを発生させない (初期値)
		0	1	リードサイクルをブレイク条件とする
		1	0	ライトサイクルをブレイク条件とする
		1	1	リードサイクルとライトサイクルのどちらもブレイク条件とする
1、0	オペラントサイズセレクト (SZ1、SZ0)	0	0	ブレイク条件にオペラントサイズを含まない (初期値)
		0	1	バイトアクセスをブレイク条件とする
		1	0	ワードアクセスをブレイク条件とする
		1	1	ロングワードアクセスをブレイク条件とする

BSC

バスコントロールレジスタ (BCR)

H'5FFFFFFA0

8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DRAME	IOE	WARP	RDDTY	BAS	-	-	-	-	-	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名称	値	説 明
15	DRAM イネーブル (DRAME)	0	エリア 1 は外部メモリ空間 (初期値)
		1	エリア 1 は DRAM 空間
14	マルチプレクス I/O イネーブル (IOE)	0	エリア 6 は外部メモリ空間 (初期値)
		1	エリア 6 はアドレス/データマルチプレクス I/O 空間
13	ワープモード (WARP)	0	ノーマルモード: 外部アクセスと内部アクセスを同時に行わない (初期値)
		1	ワープモード: 外部アクセスと内部アクセスを同時に行う
12	RD デューティ (RDDTY)	0	RD 信号のハイレベル幅デューティ比は 50% (初期値)
		1	RD 信号のハイレベル幅デューティ比は 35%
11	バイトアクセスセレクト (BAS)	0	\overline{WRH} 、 \overline{WRL} 、 $\overline{A0}$ 信号が有効 (初期値)
		1	\overline{WR} 、 \overline{HBS} 、 \overline{LBS} 信号が有効

BSC

ウェイトステートコントロールレジスタ 1 (WCR1) H'5FFFA2 8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0	-	-	-	-	-	-	WW1	-
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-	-	R/W*	-

【注】* WW1 ビットへの0書き込みは、エリア1をDRAM空間としているときのみ、行ってください。外部メモリ空間としているときは0を書き込まないでください。

ビット	ビット名称	値	WAIT 端子 信号入力	リードサイクルステート数				
				外部空間		内部空間		
				外部メモリ 空間	DRAM 空間	マルチ プレス I/O	内蔵周辺	内 ROM 内蔵 RAM
15~8	読み出し時 ウェイトステート 制御 (RW7~RW0)	0	リードサイ クルでサン プルしない	・エリア1、3~ 5、7: 1ステート固定 ・エリア0、2、6: 1ステート+ロン グウェイトステー ト	カラムアドレス サイクル: 1ステート固定 (ショートピッ チ)	4ステート +WAITによる ウェイトステ ート	3ステート 固定	2ステート 固定
		1	リードサイ クルでサン プルする (初期値)	・エリア1、3~ 5、7:2ステート +WAITによるウ ェイトステート ・エリア0、2、6: 1ステート+ロン グウェイトステー トまたはWAITに よるウェイトステ ート	カラムアドレス サイクル: 2ステート +WAITによる ウェイトステ ート(ロングピッ チ)*			

(続く)

BSC

(続 き)

ビット	ビット名称	値	説 明	
			DRAM 空間 (BCR の DRMAE = 1)	エリア 1 の外部メモリ空間 (BCR の DRMAE = 0)
1	書き込み時 ウェイトステート 制御(WW1)	0	カラムアドレスサイクル : 1 ステート (ショートピッチ)	設定禁止
		1	カラムアドレスサイクル : 2 ステート + $\overline{\text{WAIT}}$ によるウェイトステート (ロングピッチ) (初期値)	2 ステート + $\overline{\text{WAIT}}$ によるウェイトステート

【注】 *CBR リフレッシュ時、 $\overline{\text{WAIT}}$ 信号無視、RLW1、RLW0 ビットによるウェイトステート挿入

BSC

ウェイトステートコントロールレジスタ 2 (WCR2) H'5FFFA4 8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DRW7	DRW6	DRW5	DRW4	DRW3	DRW2	DRW1	DRW0	DRW7	DRW6	DRW5	DRW4	DRW3	DRW2	DRW1	DRW0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W																

ビット	ビット名称	値	説 明			
			WAIT 端子 信号入力	シングルモード DMA サイクルステート数		
				外部空間		
				外部メモリ空間	DRAM 空間	マルチプレス I/O
15~8	シングルモード DMA メモリ読み出し時 ウェイトステート制御 (DRW7 ~ DRW0)	0	シングルモ ード DMA メモリ リードサイク ルでサンプル しない	・エリア 1、3~5、7: 1ステート固定 ・エリア 0、2、6: 1ステート+ロング ウェイトステート	カラムアドレスサ イクル: 1ステート固定 (ショートピッチ)	4ステート+ $\overline{\text{WAIT}}$ によ るウェイトステート
1	シングルモ ード DMA メモリ リードサイク ルでサンプル する (初期値)	・エリア 1、3~5、7: 2ステート+ $\overline{\text{WAIT}}$ によるウェイトステ ート ・エリア 0、2、6: 1ステート+ロング ウェイトステート+ $\overline{\text{WAIT}}$ によるウエイ トステート	カラムアドレスサ イクル: 2ステート+ $\overline{\text{WAIT}}$ によるウエ イトステート (ロングピッチ)			

(続 く)

BSC

(続 き)

ビット	ビット名称	値	説 明			
			WAIT 端子 信号入力	シングルモード DMA サイクルステート数		
				外部空間		
				外部メモリ空間	DRAM 空間	マルチプレス I/O
7~0	シングルモード DMA メモリ読み出し時 ウェイトステート制御 (DRW7 ~ DRW0)	0	シングルモード DMA メモリ リードサイクルでサンプル しない	・エリア 1、3~5、7： 1ステート固定 ・エリア 0、2、6： 1ステート+ロング ウェイトステート	カラムアドレスサイ クル： 1ステート固定 (ショートピッチ)	4ステート+WAITによる ウェイトステート
1	シングルモード DMA メモリ ライトサイクルでサンプル する (初期値)	・エリア 1、3~5、7： 2ステート+WAITに よるウェイトステ ート ・エリア 0、2、6： 1ステート+ロング ウェイトステート+ WAITによるウエイ トステート	カラムアドレスサイ クル： 2ステート+W AITによるウエ イトステート (ロングピッチ)			

BSC

ウェイトステートコントロールレジスタ 3 (WCR3)	H'5FFFA6	8/16/32
-----------------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	WPU	A02 LW1	A02 LW0	A6 LW1	A6 LW0	—	—	—	—	—	—	—	—	—	—	—
初期値	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名称	値	説 明
15	ウェイト端子プルアップ制御 (WPU)	0	WAIT 端子をプルアップしない
		1	WAIT 端子をプルアップする
14、13	エリア 0、2 ロングウェイト挿入 1、0 (A02LW1、A02LW0)	0 0	1 ステートのロングウェイトステートを挿入
		0 1	2 ステートのロングウェイトステートを挿入
		1 0	3 ステートのロングウェイトステートを挿入
		1 1	4 ステートのロングウェイトステートを挿入 (初期値)
12、11	エリア 6 ロングウェイト挿入 1、0 (A6LW1、A6LW0)	0 0	1 ステートのロングウェイトステートを挿入
		0 1	2 ステートのロングウェイトステートを挿入
		1 0	3 ステートのロングウェイトステートを挿入
		1 1	4 ステートのロングウェイトステートを挿入 (初期値)

BSC

DRAM エリアコントロールレジスタ (DCR)	H'5FFFA8	8/16/32
--------------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	CW2	RASD	TPC	BE	CDTY	MXE	MXC1	MXC0	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット	ビット名称	値	説 明	
15	CAS2 本方式 / WE2 本方式選択(CW2)	0	CAS2 本方式 : $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WRL}}$ 信号が有効 (初期値)	
		1	WE2 本方式 : $\overline{\text{CASL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 信号が有効	
14	RAS ダウン (RASD)	0	RAS アップモード : $\overline{\text{RAS}}$ 信号を (初期値) ハイレベルに戻して次の DRAM アクセスを待つ	
		1	RAS ダウンモード : $\overline{\text{RAS}}$ 信号をローレベルにしたまま次の DRAM アクセスを待つ	
13	RAS プリチャージサイクル数(TPC)	0	1 ステートのプリチャージサイクルを挿入 (初期値)	
		1	2 ステートのプリチャージサイクルを挿入	
12	バースト動作イネーブル (BE)	0	ノーマルモード : フルアクセス	
		1	高速ページモード : バースト動作	
11	CAS デューティ (CDTY)	0	$\overline{\text{CAS}}$ 信号のハイレベル幅デューティ比は 50% (初期値)	
		1	$\overline{\text{CAS}}$ 信号のハイレベル幅デューティ比は 35%	
10	マルチプレクスイネーブル (MXE)	0	ロウアドレスとカラムアドレスをマルチプレクス しない (初期値)	
		1	ロウアドレスとカラムアドレスをマルチプレクスする	
9、8	マルチプレクスシフトカウント 1、0 (MXC1、MXC0)		ロウアドレスシフト量 (MXE = 1)	バースト時比較対象ロウアドレ ス(MXE=0 または 1)
		0 0	8 ビット (初期値)	A27 ~ A8 (初期値)
		0 1	9 ビット	A27 ~ A9
		1 0	10 ビット	A27 ~ A10
		1 1	予約	予約

BSC

パリティコントロールレジスタ (PCR)	H'5FFFFAA	8/16/32
----------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PEF	PFRC	PEO	PCHK 1	PCHK 0	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名称	値	説 明
15	パリティエラーフラグ (PEF)	0	パリティエラーなし [クリア条件] PEFを読み出してから0を書き込む (初期値)
		1	パリティエラー発生
14	パリティ強制出力 (PFRC)	0	パリティ強制出力を行わない (初期値)
		1	ハイレベルを強制出力
13	パリティ極性 (PEO)	0	偶数パリティ (初期値)
		1	奇数パリティ
12、11	パリティチェックイネーブル1、0 (PCHK1、PCHK0)	0 0	パリティチェックと生成を行わない (初期値)
		0 1	DRAM 空間でパリティチェックと生成を行う
		1 0	DRAM 空間とエリア2でパリティチェックと生成を行う
		1 1	予約

BSC

リフレッシュコントロールレジスタ (RCR)	H'5FFFFAC	8/16/32 (読み出し) 16 (書き込み)
------------------------	-----------	-----------------------------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—	RFSH E	RMO DE	RLW1	RLW0	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名称	値	説 明
7	リフレッシュ制御 (RFSHE)	0	リフレッシュ制御を行わない (初期値) (RTCNT をインターバルタイマとして使用可)
		1	リフレッシュ制御を行う
6	リフレッシュモード (RMODE)	0	CAS ビフォ RAS リフレッシュを行う (初期値)
		1	セルフリフレッシュを行なう
5、4	CBR リフレッシュ時ウェイトステート 挿入 1、0 (RLW1、RLW0)	0 0	1 ステートのウェイトステートを挿入 (初期値)
		0 1	2 ステートのウェイトステートを挿入
		1 0	3 ステートのウェイトステートを挿入
		1 1	4 ステートのウェイトステートを挿入

BSC

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	H'5FFFFAE	8/16/32 (読み出し) 16 (書き込み)
--------------------------------------	-----------	-----------------------------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—

ビット	ビット名称	値	説 明
7	コンペアマッチフラグ (CMF)	0	RTCNT と RTCOR の値が一致していない (初期値) [クリア条件] CMF を読み出してから 0 を書き込む
		1	RTCNT と RTCOR の値が一致した
6	コンペアマッチ割り込みイネーブル (CMIE)	0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
		1	コンペアマッチ割り込み (CMI) を許可
5~3	クロックセレクト 2~0 (CKS2~CKS0)	0 0 0	クロック入力禁止 (初期値)
		0 0 1	/2
		0 1 0	/8
		0 1 1	/32
		1 0 0	/128
		1 0 1	/512
		1 1 0	/2048
		1 1 1	/4096

BSC

リフレッシュタイムカウンタ (RTCNT)	H'5FFFFFFB0	8/16/32 (読み出し) 16 (書き込み)
-----------------------	-------------	-----------------------------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—								
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	R/W							

ビット	ビット名称	説 明
7~0	(カウント値)	入力クロックカウント値

リフレッシュタイムコンスタントレジスタ (RTCOR)	H'5FFFFFFB2	8/16/32 (読み出し) 16 (書き込み)
-----------------------------	-------------	-----------------------------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—								
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—	R/W							

ビット	ビット名称	説 明
7~0	(コンペアマッチ周期)	コンペアマッチ周期を設定

WDT

タイマコントロール/ステータスレジスタ (TCSR)	H'5FFFFB8	8 (読み出し) 16 (書き込み)
----------------------------	-----------	-----------------------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ \overline{IT}	TME	—	—	CKS2	CKS1	CKS0
初期値	0	0	0	1	1	0	0	0
R/W	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

【注】 フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説 明
7	オーバフローフラグ (OVF)	0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
		1	インターバルタイマモードで、TCNT のオーバフロー発生
6	タイマモードセレクト (WT/ \overline{IT})	0	インターバルタイマモード : TCNT がオーバフローしたとき、CPU へインターバルタイマ割り込み (ITI) を要求 (初期値)
		1	ウォッチドッグタイマモード : TCNT オーバフローしたとき \overline{WDTOVF} 信号を外部へ出力*
5	タイマイネーブル (TME)	0	タイマディスエーブル : TCNT を H'00 に初期化し、 カウント アップを停止 (初期値)
		1	タイマイネーブル : TCNT はカウントアップ開始。TCNT がオーバフローすると \overline{WDTOVF} 信号または割り込みを発生。

(続 く)

WDT

(続 き)

ビット	ビット名称	値	説 明	
2~0	クロックセレクト2~0 (CKS2 ~ CKS0)		クロック	オーバフロー周期 (=20MHz の場合)
		0 0 0	/2 (初期値)	25.6 μ s
		0 0 1	/64	819.2 μ s
		0 1 0	/128	1.6ms
		0 1 1	/256	3.3ms
		1 0 0	/512	6.6ms
		1 0 1	/1024	13.1ms
		1 1 0	/4096	52.4ms
		1 1 1	/8192	104.9ms

【注】 *RSTCSR の RSTE ビットが 1 の場合、ウォッチドッグタイマモードで TCNT がオーバフローすると、 $\overline{\text{WDTOVF}}$ 信号と同時に内部リセット信号も発生

タイマカウンタ (TCNT)	H'5FFFFB9 (読み出し)	8 (読み出し)
	H'5FFFFB8 (書き込み)	16 (書き込み)

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W						

ビット	ビット名称	説 明
7~0	(カウント値)	入力クロックカウント値

WDT

リセットコントロール/ステータス レジスタ (RSTCSR)	H'5FFFFBB (読み出し) H'5FFFFBA (書き込み)	8 (読み出し) 16 (書き込み)
-----------------------------------	--------------------------------------	-----------------------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	RSTS	—	—	—	—	—
初期値	0	0	0	1	1	1	1	1
R/W	R/(W)*	R/W	R/W	—	—	—	—	—

【注】* フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説 明
7	ウォッチドッグタイマオーバーフローフラグ (WOVF)	0	ウォッチドッグタイマモードで TCNT のオーバーフローなし (初期値) [クリア条件] WOVF を読み出してから 0 を書き込む
		1	ウォッチドッグタイマモードで TCNT のオーバーフロー発生
6	リセットイネーブル (RSTE)	0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
		1	TCNT がオーバーフローしたとき、内部リセットする
5	リセットセレクト (RSTS)	0	パワーオンリセット (初期値)
		1	マニュアルリセット

【注】* 本 LSI マイコン内部はリセットされませんが、WDT 内の TCNT、TCNR はリセットされます。

低消費電力状態

スタンバイコントロールレジスタ (SBYCR)	H'5FFFFBC	8/16/32
-------------------------	-----------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	SBY	HIZ	—	—	—	—	—	—
初期値	0	0	0	1	1	1	1	1
R/W	R/W	R/W	—*	—	—	—	—	—

ビット	ビット名称	値	説 明
7	スタンバイ (SBY)	0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
		1	SLEEP 命令の実行により、スタンバイモードへ遷移
6	ポートハイインピーダンス (HIZ)	0	スタンバイモード時に、端子状態を保持する (初期値)
		1	スタンバイモード時に、端子状態をハイインピーダンスにする

ポート A

ポート A データレジスタ (PADR)	H'5FFFC0	8/16/32
----------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PRDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PRDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PRDR に書き込めるが、端子の状態に影響しない

ポート B

ポート B データレジスタ (PBDR)	H'5FFFC2	8/16/32
----------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	TPn	端子の状態	不可
	上記以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	TPn	PBDR の値	不可
	上記以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

Ptn : タイミングパターン出力

PFC

ポート A・I/O レジスタ (PAIOR)	H'5FFFC4	8/16/32
------------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
15~0	ポート A・IO (PA15IOR ~ PA0IOR)	0	入力 (初期値)
		1	出力

ポート B・I/O レジスタ (PBIOR)	H'5FFFC6	8/16/32
------------------------	----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PB 15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB 8 IOR	PB 7 IOR	PB 6 IOR	PB 5 IOR	PB 4 IOR	PB 3 IOR	PB 2 IOR	PB 1 IOR	PB 0 IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
15~0	ポート B・IO (PB15IOR ~ PB0IOR)	0	入力 (初期値)
		1	出力

PFC

ポート A コントロールレジスタ 1 (PACR1)	H'5FFFFFFC8	8/16/32
----------------------------	-------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15 MD1	PA15 MD0	PA14 MD1	PA14 MD0	PA13 MD1	PA13 MD0	PA12 MD1	PA12 MD0	PA11 MD1	PA11 MD0	PA10 MD1	PA10 MD0	PA9 MD1	PA9 MD0	—	PA8 MD
初期値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

ビット	ビット名称	値	説明
15、14	PA15 モードビット 1、0 (PA15MD1、PA15MD0)	0 0	汎用入出力 (PA15) (初期値)
		0 1	割り込み要求入力 ($\overline{IRQ3}$)
		1 0	予約
		1 1	DMA 転送要求入力 ($\overline{DREQ1}$)
13、12	PA14 モードビット 1、0 (PA14MD1、PA14MD0)	0 0	汎用入出力 (PA14)
		0 1	割り込み要求入力 ($\overline{IRQ2}$)
		1 0	予約
		1 1	DMA 転送要求受け付け出力 ($\overline{DACK1}$) (初期値)
11、10	PA13 モードビット 1、0 (PA13MD1、PA13MD0)	0 0	汎用入出力 (PA13) (初期値)
		0 1	割り込み要求入力 ($\overline{IRQ1}$)
		1 0	ITU タイマクロック入力 (TCLKB)
		1 1	DMA 転送要求入力 ($\overline{DREQ0}$)
9、8	PA12 モードビット 1、0 (PA12MD1、PA12MD0)	0 0	汎用入出力 (PA12)
		0 1	割り込み要求入力 ($\overline{IRQ0}$)
		1 0	ITU タイマクロック入力 (TCLKA)
		1 1	DMA 転送要求受け付け出力 (DACK0) (初期値)
7、6	PA11 モードビット 1、0 (PA11MD1、PA11MD0)	0 0	汎用入出力 (PA11) (初期値)
		0 1	上位側データバスパリティ入出力 (DPH)
		1 0	ITU インプットキャプチャ入力/アウトプット コンペア出力 (TIOCB1)
		1 1	予約

(続 く)

PFC

(続き)

ビット	ビット名称	値	説 明
5、4	PA10 モードビット 1、0 (PA10MD1、PA10MD0)	0 0	汎用入出力 (PA10) (初期値)
		0 1	下位側データバスパリティ入出力 (DPL)
		1 0	ITU インプットキャプチャ入力/アウトプット コンペア出力 (TIOCA1)
		1 1	予約
3、2	PA9 モードビット 1、0 (PA9MD1、PA9MD0)	0 0	汎用入出力 (PA9) (初期値)
		0 1	アドレスホールド出力 (\overline{AH})
		1 0	予約
		1 1	割り込み要求出力 (\overline{IRQOUT})
0	PA8 モードビット(PA8MD)	0	汎用入出力 (PA8) (初期値)
		1	バス権要求入力 (\overline{BREQ})

ポート A コントロールレジスタ 2 (PACR2)	H'5FFFFCA	8/16/32
----------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	—	PA7 MD	—	PA6 MD	—	PA5 MD	—	PA4 MD	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値	1	1	1	1	1	1	1	1	1	0	0	1	0	1	0	1
R/W	—	R/W	—	R/W	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
14	PA7 モードビット(PA7MD)	0	汎用入出力(PA7)
		1	バス権要求アクノリッジ出力(BACK) (初期値)
12	PA6 モードビット(PA6MD)	0	汎用入出力(PA6)
		1	リード出力(\overline{RD}) (初期値)
10	PA5 モードビット(PA5MD)	0	汎用入出力(PA5)
		1	上位側ライト出力(\overline{WRH})または下位バイトストローブ出力(\overline{LBS}) (初期値)
8	PA4 モードビット(PA4MD)	0	汎用入出力(PA4)
		1	下位側ライト出力(\overline{WRL}) またはライト出力(\overline{WR}) (初期値)

(続く)

PFC

(続 き)

ビット	ビット名称	値	説 明
7、 6	PA3 モードビット 1、 0 (PA3MD1、 PA3MD0)	0 0	汎用入出力(PA3)
		0 1	チップセレクト出力($\overline{CS7}$)
		1 0	ウェイトステート入力(WAIT) (初期値)
		1 1	予約
5、 4	PA2 モードビット 1、 0 (PA2MD1、 PA2MD0)	0 0	汎用入出力(PA3)
		0 1	チップセレクト出力($\overline{CS6}$) (初期値)
		1 0	ITU インプットキャプチャ入力/アウトプットコンペア出力 (TIOCB0)
		1 1	予約
3、 2	PA1 モードビット 1、 0 (PA1MD1、 PA1MD0)	0 0	汎用入出力(PA1)
		0 1	チップセレクト出力($\overline{CS5}$) (初期値)
		1 0	ロウアドレスストローブ出力(\overline{RAS})
		1 1	予約
1、 0	PA0 モードビット 1、 0 (PA0MD1、 PA0MD0)	0 0	汎用入出力(PA0)
		0 1	チップセレクト出力($\overline{CS4}$) (初期値)
		1 0	ITU インプットキャプチャ入力/アウトプットコンペア出力 (TIOCA0)
		1 1	予約

PFC

ポート B コントロールレジスタ 1(PBCR1)	H'5FFFFCC	8/16/32
---------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	PB13 MD1	PB13 MD0	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15、14	PB15 モードビット 1、0 (PB15MD1、PB15MD0)	0 0	汎用入出力(PB15) (初期値)
		0 1	割り込み要求入力($\overline{IRQ7}$)
		1 0	予約
		1 1	タイミングパターン出力(TP15)
13、12	PB14 モードビット 1、0 (PB14MD1、PB14MD0)	0 0	汎用入出力(PB14) (初期値)
		0 1	割り込み要求入力($\overline{IRQ6}$)
		1 0	予約
		1 1	タイミングパターン出力(TP14)
11、10	PB13 モードビット 1、0 (PB13MD1、PB13MD0)	0 0	汎用入出力(PB13) (初期値)
		0 1	割り込み要求入力($\overline{IRQ5}$)
		1 0	シリアルロック入出力(SCK1)
		1 1	タイミングパターン出力(TP13)
9、8	PB12 モードビット 1、0 (PB12MD1、PB12MD0)	0 0	汎用入出力(PB12) (初期値)
		0 1	割り込み要求入力($\overline{IRQ4}$)
		1 0	シリアルロック入出力(SCK0)
		1 1	タイミングパターン出力(TP12)
7、6	PB11 モードビット 1、0 (PB11MD1、PB11MD0)	0 0	汎用入出力(PB11) (初期値)
		0 1	予約
		1 0	送信データ出力(TxD1)
		1 1	タイミングパターン出力(TP11)

(続 く)

PFC

(続 き)

ビット	ビット名称	値	説 明
5、4	PB10 モードビット 1、0 (PB10MD1、PB10MD0)	0 0	汎用入出力(PB10) (初期値)
		0 1	予約
		1 0	受信データ入力(RxD1)
		1 1	タイミングパターン出力(TP10)
3、2	PB9 モードビット 1、0 (PB9MD1、PB9MD0)	0 0	汎用入出力(PB9) (初期値)
		0 1	予約
		1 0	送信データ出力(TxD0)
		1 1	タイミングパターン出力(TP9)
1、0	PB8 モードビット 1、0 (PB8MD1、PB8MD0)	0 0	汎用入出力(PB8) (初期値)
		0 1	予約
		1 0	受信データ入力(RxD0)
		1 1	タイミングパターン出力(TP8)

ポート B コントロールレジスタ 2(PBCR2)	H'5FFFFCE	8/16/32
---------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
15、14	PB7 モードビット 1、0 (PB7MD1、PB7MD0)	0 0	汎用入出力(PB7) (初期値)
		0 1	ITU タイマクロック入力(TCLKD)
		1 0	ITU アウトプットコンペア出力(TOCXB4)
		1 1	タイミングパターン出力(TP7)
13、12	PB6 モードビット 1、0 (PB6MD1、PB6MD0)	0 0	汎用入出力(PB6) (初期値)
		0 1	ITU タイマクロック入力(TCLKC)
		1 0	ITU アウトプットコンペア出力(TOCXA4)
		1 1	タイミングパターン出力(TP6)

(続 く)

PFC

(続 き)

ビット	ビット名称	値	説 明
11、10	PB5 モードビット 1、0 (PB5MD1、PB5MD0)	0 0	汎用入出力(PB5) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCB4)
		1 1	タイミングパターン出力(TP5)
9、8	PB4 モードビット 1、0 (PB4MD1、PB4MD0)	0 0	汎用入出力(PB4) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCA4)
		1 1	タイミングパターン出力(TP4)
7、6	PB3 モードビット 1、0 (PB3MD1、PB3MD0)	0 0	汎用入出力(PB3) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCB3)
		1 1	タイミングパターン出力(TP3)
5、4	PB2 モードビット 1、0 (PB2MD1、PB2MD0)	0 0	汎用入出力(PB2) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCA3)
		1 1	タイミングパターン出力(TP2)
3、2	PB1 モードビット 1、0 (PB1MD1、PB1MD0)	0 0	汎用入出力(PB1) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCB2)
		1 1	タイミングパターン出力(TP1)
1、0	PB0 モードビット 1、0 (PB0MD1、PB0MD0)	0 0	汎用入出力(PB0) (初期値)
		0 1	予約
		1 0	ITU インพุットキャプチャ入力/アウトプットコンペア出力 (TIOCA2)
		1 1	タイミングパターン出力(TP0)

PFC

カラムアドレスストロープピンコントロール レジスタ (CASCR)	H'5FFFFEE	8/16/32
--------------------------------------	-----------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	CASH MD1	CASH MD0	CASH MD1	CASH MD0	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名称	値		説 明
15、14	CASH モードビット 1、0 (CASHMD1、CASHMD0)	0	0	予約
		0	1	チップセレクト出力 ($\overline{CS1}$) (初期値)
		1	0	カラムアドレスストロープ出力 (\overline{CASH})
		1	1	予約
13、12	CASL モードビット 1、0 (CASLMD1、CASLMD0)	0	0	予約
		0	1	チップセレクト出力 ($\overline{CS3}$) (初期値)
		1	0	カラムアドレスストロープ出力 (\overline{CASL})
		1	1	予約

TPC

TPC 出力モードレジスタ (TPMR)

H'5FFFFFF0

8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
3	グループ 3 ノンオーバーラップ (G3NOV)	0	TPC 出力グループ 3 は通常動作(選択された ITU のコンペアマッチ A で出力値を更新します) (初期値)
		1	TPC 出力グループ 3 はノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)
2	グループ 2 ノンオーバーラップ (G2NOV)	0	TPC 出力グループ 2 は通常動作(選択された ITU のコンペアマッチ A で出力値を更新します) (初期値)
		1	TPC 出力グループ 2 はノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)
1	グループ 1 ノンオーバーラップ (G1NOV)	0	TPC 出力グループ 1 は通常動作(選択された ITU のコンペアマッチ A で出力値を更新します) (初期値)
		1	TPC 出力グループ 1 はノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)
0	グループ 0 ノンオーバーラップ (G0NOV)	0	TPC 出力グループ 0 は通常動作(選択された ITU のコンペアマッチ A で出力値を更新します) (初期値)
		1	TPC 出力グループ 0 はノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます)

TPC

TPC 出力コントローラレジスタ (TPCR)	H'5FFFFFF1	8/16
-------------------------	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説 明
7、6	グループ 3 コンペアマッチ セレクト 1、0 (G3CMS1、G3CMS0)	0	0	TPC 出力グループ 3(TP15 ~ TP12 端子)の出力トリガは ITU チャンネル 0 のコンペアマッチ
		0	1	TPC 出力グループ 3(TP15 ~ TP12 端子)の出力トリガは ITU チャンネル 1 のコンペアマッチ
		1	0	TPC 出力グループ 3(TP15 ~ TP12 端子)の出力トリガは ITU チャンネル 2 のコンペアマッチ
		1	1	TPC 出力グループ 3(TP15 ~ TP12 端子)の出力トリガは ITU チャンネル 3 のコンペアマッチ (初期値)
5、4	グループ 2 コンペアマッチ セレクト 1、0 (G2CMS1、G2CMS0)	0	0	TPC 出力グループ 2 (TP11 ~ TP8 端子) の出力トリガは ITU チャンネル 0 のコンペアマッチ
		0	1	TPC 出力グループ 2 (TP11 ~ TP8 端子) の出力トリガは ITU チャンネル 1 のコンペアマッチ
		1	0	TPC 出力グループ 2 (TP11 ~ TP8 端子) の出力トリガは ITU チャンネル 2 のコンペアマッチ
		1	1	TPC 出力グループ 2 (TP11 ~ TP8 端子) の出力トリガは ITU チャンネル 3 のコンペアマッチ (初期値)
3、2	グループ 1 コンペアマッチ セレクト 1、0 (G3CMS1、G3CMS0)	0	0	TPC 出力グループ 1(TP7 ~ TP4 端子)の出力トリガは ITU チ ャネル 0 のコンペアマッチ
		0	1	TPC 出力グループ 1(TP7 ~ TP4 端子)の出力トリガは ITU チ ャネル 1 のコンペアマッチ
		1	0	TPC 出力グループ 1(TP7 ~ TP4 端子)の出力トリガは ITU チ ャネル 2 のコンペアマッチ
		1	1	TPC 出力グループ 1(TP7 ~ TP4 端子)の出力トリガは ITU チ ャネル 3 のコンペアマッチ (初期値)

(続 く)

TPC

(続き)

ビット	ビット名称	値	説 明
1、0	グループ 0 コンペアマッチ セレクト 1、0 (G2CMS1、G2CMS0)	0 0	TPC 出力グループ α (TP3 ~ TP0 端子) の出力トリガは ITU チャンネル 0 のコンペアマッチ
		0 1	TPC 出力グループ α (TP3 ~ TP0 端子) の出力トリガは ITU チャンネル 1 のコンペアマッチ
		1 0	TPC 出力グループ α (TP3 ~ TP0 端子) の出力トリガは ITU チャンネル 2 のコンペアマッチ
		1 1	TPC 出力グループ α (TP3 ~ TP0 端子) の出力トリガは ITU チャンネル 3 のコンペアマッチ (初期値)

ネクストデータイネーブルレジスタ A (NDERA)

H'5FFFFFF3

8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
7~0	ネクストデータイネーブル 7~0 (NDER7 ~ NDER0)	0	TPC 出力 TP7 ~ TP0 を禁止 (NDR7 ~ NDR0 から PB7 ~ PB0 への転送禁止) (初期値)
		1	TPC 出力 TP7 ~ TP0 を許可 (NDR7 ~ NDR0 から PB7 ~ PB0 への転送禁止)

TPC

ネクストデータイネーブルレジスタ B (NDERB)	H'5FFFFFF2	8/16
----------------------------	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説 明
7~0	ネクストデータイネーブル 15~8 (NDER15 ~ NDER8)	0	TPC 出力 TP15 ~ TP8 を禁止 (初期値) (NDR15 ~ NDR8 から PB15 ~ PB8 への転送禁止)
		1	TPC 出力 TP15 ~ TP8 を許可 (NDR15 ~ NDR8 から PB15 ~ PB8 への転送禁止)

ネクストデータレジスタ A (NDRA) (TPC 出力グループ 0、1 の出力トリガが同一の場合)	H'5FFFFFF5	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値	0	0	0	0	0	0	0	0
R/W								

ビット	ビット名称	説 明
7~4	ネクストデータ 7~4(NDR7 ~ NDR4)	TPC 出力グループ 1 の次の出力データを格納
3~0	ネクストデータ 3~0(NDR3 ~ NDR0)	TPC 出力グループ 0 の次の出力データを格納

TPC

ネクストデータレジスタ A (NDRA) (TPC 出力グループ 0、1 の出力トリガが同一の場合)	H'5FFFFFF7	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値	1	1	1	1	1	1	1	1
R/W	-	-	-	-	-	-	-	-

ビット	ビット名称	説 明
7~0	予約ビット	書き込みは無効で読み出すと常に 1 を読み出す

ネクストデータレジスタ A (NDRA) (TPC 出力グループ 0、1 の出力トリガが異なる場合)	H'5FFFFFF5	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	-	-	-	-

ビット	ビット名称	説 明
7~4	ネクストデータ 7~4(NDR7~NDR4)	TPC 出力グループ 1 の次の出力データを格納

TPC

ネクストデータレジスタ A (NDRA) (TPC 出力グループ 0、1 の出力トリガが異なる場合)	H'5FFFFFF7	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
3~0	ネクストデータ 3~0(NDR3~NDR0)	TPC 出力グループ 0 の次の出力データを格納

ネクストデータレジスタ A (NDRB) (TPC 出力グループ 2、3 の出力トリガが同一の場合)	H'5FFFFFF4	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
7~4	ネクストデータ 15~12(NDR15NDR12)	TPC 出力グループ 3 の次の出力データを格納
3~0	ネクストデータ 11~8(NDR11~NDR8)	TPC 出力グループ 2 の次の出力データを格納

TPC

ネクストデータレジスタ B (NDRB) (TPC 出力グループ 2、3 の出力トリガが同一の場合)	H'5FFFFFF6	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値	1	1	1	1	1	1	1	1
R/W	-	-	-	-	-	-	-	-

ビット	ビット名称	説 明
7~0	予約ビット	書き込みは無効で読み出すと常に 1 を読み出す

ネクストデータレジスタ B (NDRB) (TPC 出力グループ 2、3 の出力トリガが異なる場合)	H'5FFFFFF4	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	-	-	-	-

ビット	ビット名称	説 明
7~4	ネクストデータ 15~12(NDR15~NDR12)	TPC 出力グループ 3 の次の出力データを格納

TPC

ネクストデータレジスタ B (NDRB) (TPC 出力グループ 2、3 の出力トリガが異なる場合)	H'5FFFFFF6	8/16
---	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ビット	ビット名称	説 明
3~0	ネクストデータ 11~8(NDR11~NDR8)	TPC 出力グループ 2 の次の出力データを格納

A.3 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態		低消費電力状態	
		パワーオン	マニュアル	スタンバイ	スリープ
CPU	R0 ~ R15	初期化	初期化	保持	保持
	SR				
	GBR				
	VBR				
	MACH、MACL				
	PR				
	PC				
割り込みコントローラ (INTC)	IPRA ~ IPRE	初期化	初期化	保持	保持
	ICR				
ユーザブ레이크 コントローラ (UBC)	BARH、BARL	初期化	初期化	保持	保持
	BAMRH、BAMRL				
	BBR				
バスステート コントローラ (BSC)	BCR	初期化	保持	保持	保持
	WCR1 ~ WCR3				
	DCR				
	RCR				
	RTCSR				
	RTCNT				
	RTCOR				
	PCR				
ダイレクトメモリ アクセスコントローラ (DMAC)	SAR0 ~ SAR3	初期化	初期化	初期化	保持
	DAR0 ~ DAR3				
	TCR0 ~ TCR3				
	CHCR0 ~ CHCR3				
	DMAOR				

(続く)

分類	略称	リセット状態 パワーオン	低消費電力状態 マニュアル	スタンバイ	スリープ
16ビットインテグレート ドタイマパルス ユニット (ITU)	TMDA、TMDB	初期化	初期化	初期化	保持
	TCNT0 ~ TCNT4				
	GRA0 ~ GRA4、 GRB0 ~ GRB4				
	BRA3、BRA4、 BRB3、BRB4				
	TCR0 ~ TCR4				
	TIOR0 ~ TIOR4				
	IER0 ~ TIER4				
	TSR0 ~ TSR4				
プログラマブル タイミングパターン コントローラ(TPC)	TPMR	初期化	初期化	保持	保持
	TPCR				
	NDERA、 NDERB				
	NDRA、 NDRB				
ウォッチドッグタイマ (WDT)	TCNT	初期化	初期化	保持	保持
	TCSR			*1	
	RSTCSR			初期化	
シリアルコミュニ ケーションインタ フェース(SCI)	SMR	初期化	初期化	初期化	保持
	BRR				
	SCR				
	TDR				
	TSR	初期化	初期化	保持	
	SSR	初期化	初期化	初期化	
	RDR	初期化	初期化	保持	
	RSR				
ピンファンクション コントローラ (PFC)	PAIOR、PBIOR	初期化	保持	保持	保持
	PACR1、PACR2、 PBCR1、PBCR2				
	CASCR				
パラレル I/O ポート(I/O)	PADR、PBDR	初期化	保持	保持	保持
低消費電力状態関係	SBYCR	初期化	初期化	保持	保持

【注】 *1 ビット7~5(OVF、WT/IT、TME) は初期化、ビット2~0(CKS2~CKS0) は保持されま
す。

B. 端子状態

B.1 リセット、低消費電力状態、バス権解放状態での端子状態

分類	端子名	端子状態				
		リセット状態		低消費電力状態		バス権解放 状態
		パワーオン	マニュアル	スタンバイ	スリープ	
クロック	CK	O	O	H ^{*1}	O	O
システム制御	$\overline{\text{RES}}$	I	I	I	I	I
	$\overline{\text{WDTOVF}}$	H	H	H ^{*1}	O	O
	$\overline{\text{BREQ}}$	-	I	Z	I	I
	$\overline{\text{BACK}}$	Z	O	Z	O	L
割り込み	NMI	I	I	I	I	I
	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$	-	I	Z	I	I
	$\overline{\text{IRQOUT}}$	-	O	O [*]	H	O
アドレスバス	A21 ~ A0($\overline{\text{HBS}}$)	H	O	Z	H	Z
データバス	AD15 ~ AD0	Z	Z	Z	Z	Z
	DPH、DPL	-	Z	Z	Z	Z
バス制御	$\overline{\text{WAIT}}$	I ^{*2}	I ^{*2}	Z	I ^{*2}	I ^{*2}
	$\overline{\text{RAS}}$	-	O	O ^{*1}	O	Z
	$\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$	-	O	O	O	Z
	$\overline{\text{RD}}$	H	O	Z	O	Z
	$\overline{\text{WRH}}(\overline{\text{LBS}})$ 、 $\overline{\text{WRL}}(\overline{\text{WR}})$	H	O	Z	H	Z
	$\overline{\text{CS7}}$	-	O	Z	H	Z
	$\overline{\text{CS6}} \sim \overline{\text{CS0}}$	Z	O	Z	H	I
	$\overline{\text{AH}}$	-	O	Z	H	Z
ダイレクトメモリアクセス	$\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$	-	I	Z	I	I
コントローラ(DMAC)	DACK0、DACK1	Z	O	K ^{*1}	O	O

分類	端子名	端子状態				
		リセット	状態	低消費	電力状態	パス権解放
		パワーオン	マニュアル	スタンバイ	スリープ	状態
16ビット インテグレートッド タイマパルス ユニット(ITU)	TIOCA0 ~ TIOCA4	-	I	K ^{*1}	I/O	I/O
	TIOCB0 ~ TIOCB4	-	I	K ^{*1}	I/O	I/O
	TOCXA4 ~ TOCXB4	-	I	K ^{*1}	O	O
	TCLKA ~ TCLK	-	I	Z	I	I
タイミングパターンコン トローラ(TPC)	TP15 ~ TP0	-	I	K ^{*1}	O	O
シリアル コミュニケーション インタフェース(SCI)	TxD0, TxD1	-	Z	K ^{*1}	O	O
	RxD0, RxD1	-	I	Z	I	I
	SCK0, SCK1	-	I	Z	I/O	I/O
I/Oポート	PA14, PA12, PA7 ~ PA0	-	I/O	K ^{*1}	I/O	I/O
	PA15, PA13, PA11 ~ PA8	Z	I/O	K ^{*1}	I/O	I/O

∴ マルチプレクス端子の機能の1つを割り当てられていますが、リセット状態での端子機能は異なります。

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態を保持

- 【注】 *1 スタンバイコントロールレジスタ (SBYCR) のポートハイインピーダンスビット (HIZ) を1にすると、出力ポートは、ハイインピーダンスになります。
- *2 ウェイトステートコントロールレジスタ (WCR3) の端子プルアップ制御ビット (WPU) が1のとき、 $\overline{\text{WAIT}}$ 端子はプルアップされ、0にすると、プルアップされません。

B.2 各アドレス空間へのアクセスにおける端子状態

各アドレス空間へのアクセスにおけるバス制御信号端子、外部バス端子の状態を以下に示します。

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール			
				8 ビット空間	16 ビット空間		
					上位バイト	下位バイト	ワード
$\overline{CS7} \sim \overline{CS0}$		ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{RAS}		ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASH}		ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASL}		ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{AH}		ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
\overline{RD}	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	-	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$\overline{WRH/LBS}$	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	-	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$\overline{WRL/WR}$	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	-	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$A0/\overline{HBS}$		A0	A0	A0	A0	A0	A0
A21 ~ A1		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
AD15 ~ AD8		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
AD7 ~ AD0		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
DPH		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
DPL		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z

R: 読み出し

W: 書き込み

端子名	アドレス/データマルチプレクス I/O 空間						
	8 ビット空間	16 ビット空間					
		WRH、WRL、A0 方式			WR、HBS、LBS 方式		
		上位バイト	下位バイト	ワード	上位バイト	下位バイト	ワード
$\overline{CS7}$ 、 $\overline{CS5}$ ~ $\overline{CS0}$	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$\overline{CS6}$	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
\overline{RAS}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASH}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASL}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{AH}	\overline{AH}	\overline{AH}	\overline{AH}	\overline{AH}	\overline{AH}	\overline{AH}	\overline{AH}
\overline{RD}	R	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
	W	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$\overline{WRH/LBS}$	R	—*	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ローレベル
	W	—*	ローレベル	ハイレベル	ローレベル	ハイレベル	ローレベル
$\overline{WRL/WR}$	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	ローレベル	ハイレベル	ローレベル	ローレベル	ローレベル	ローレベル
$A0/HBS$	A0	ローレベル	ハイレベル	ローレベル	ローレベル	ハイレベル	ローレベル
A21 ~ A1	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
AD15 ~ AD8	High-Z	アドレス/ データ	アドレス	アドレス/ データ	アドレス/ データ	アドレス	アドレス/ データ
AD7 ~ AD0	アドレス/ データ	アドレス	アドレス/ データ	アドレス/ データ	アドレス	アドレス/ データ	アドレス/ データ

R: 読み出し

W: 書き込み

\overline{AH} : AD15 ~ AD0 からアドレスが出力されるときに、アドレスポールド信号が出力されま
す。

*: 16 ビット空間専用につき、使用不可

端子名	DRAM 空間						
	8 ビット空間	16 ビット空間					
		CAS 2 本方式			WE 2 本方式		
		上位バイト	下位バイト	ワード	上位バイト	下位バイト	ワード
$\overline{CS7} \sim \overline{CS2}$ 、 $\overline{CS0}$	ハイレベル						
$\overline{CS1}$	ローレベル	-	-	-	ローレベル	ローレベル	ローレベル
\overline{RAS}	\overline{RAS}	\overline{RAS}	\overline{RAS}	\overline{RAS}	\overline{RAS}	\overline{RAS}	\overline{RAS}
\overline{CASH}	ハイレベル	CASH	ハイレベル	CASH	ハイレベル	ハイレベル	ハイレベル
\overline{CASL}	\overline{CAS}	ハイレベル	CASL	CASL	CASL	CASL	CASL
\overline{AH}	ローレベル						
\overline{RD}	R	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
	W	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{WRH}	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ローレベル	ハイレベル
\overline{WRL}	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	ローレベル	ローレベル	ローレベル	ローレベル	ハイレベル	ローレベル
A0	A0	A0	A0	A0	A0	A0	A0
A21 ~ A1	アドレス						
AD15 ~ AD8	High-Z	データ	High-Z	データ	データ	High-Z	データ
AD7 ~ AD0	データ	High-Z	データ	データ	High-Z	データ	データ
DPH	High-Z	パリティ	High-Z	パリティ	パリティ	High-Z	パリティ
DPL	パリティ	High-Z	パリティ	パリティ	High-Z	パリティ	パリティ

R: 読み出し

W: 書き込み

-: $\overline{CS1}$ 端子は \overline{CASH} 信号出力端子として使用されます。

\overline{RAS} : ロウアドレスが A21 ~ A0 から出力されるときに、アドレスストローブ信号が出力されます。

\overline{CAS} : カラムアドレスが A21 ~ A0 から出力されるときに、アドレスストローブ信号が出力されます。

\overline{CASH} : 上位バイトアクセスで、カラムアドレスが A21 ~ A0 から出力されるときに、アドレスストローブ信号が出力されます。

\overline{CASL} : 下位バイトアクセスで、カラムアドレスが A21 ~ A0 から出力されるときに、アドレスストローブ信号が出力されます。

パリティ: パリティコントロールレジスタ (PCR) のパリティチェックイネーブルビット (PCHK1, PCHK0) で、DRAM 空間のパリティチェックを選択とき、パリティ端子として使用します。

端子名	外部メモリ空間							
	8ビット空間		16ビット空間					
	WRH,WRL,A0 方式	WR,HBS,LBS 方式	WRH、WRL、A0 方式			WR、HBS、LBS 方式		
			上位バイト	下位バイト	ワード	上位バイト	下位バイト	ワード
$\overline{CS7} \sim \overline{CS0}$	有効	有効	有効	有効	有効	有効	有効	有効
\overline{RAS}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASH}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{CASL}	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
\overline{AH}	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
\overline{FD}	R	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル	ローレベル
	W	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
$\overline{WRH/LBS}$	R	—*	—*	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ローレベル
	W	—*	—*	ローレベル	ハイレベル	ローレベル	ハイレベル	ローレベル
$\overline{WRL/WR}$	R	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル	ハイレベル
	W	ローレベル	ローレベル	ハイレベル	ローレベル	ローレベル	ローレベル	ローレベル
$A0/HBS$	A0	A0	A0	A0	A0	ローレベル	ハイレベル	ローレベル
A21 ~ A1	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
AD15 ~ AD8	High-Z	High-Z	データ	High-Z	データ	データ	High-Z	データ
AD7 ~ AD0	データ	データ	High-Z	データ	データ	High-Z	データ	データ
DPH	High-Z	High-Z	パリティ	High-Z	パリティ	パリティ	High-Z	パリティ
DPL	パリティ	パリティ	High-Z	パリティ	パリティ	High-Z	パリティ	パリティ

R: 読み出し

W: 書き出し

有効: アクセスしたエリアに対応するチップセレクト信号 = ローレベル、それ以外のチップセレクト信号 = ハイレベル

パリティ: パリティコントロールレジスタ (PCR) のパリティチェックイネーブルビット (PCHK1、PCHK0) で、エリア2のパリティチェックを選択したとき、パリティ端子として使用します。

*: 16ビット空間専用につき、使用不可

C. ROM 発注手順

C.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 C.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 C.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

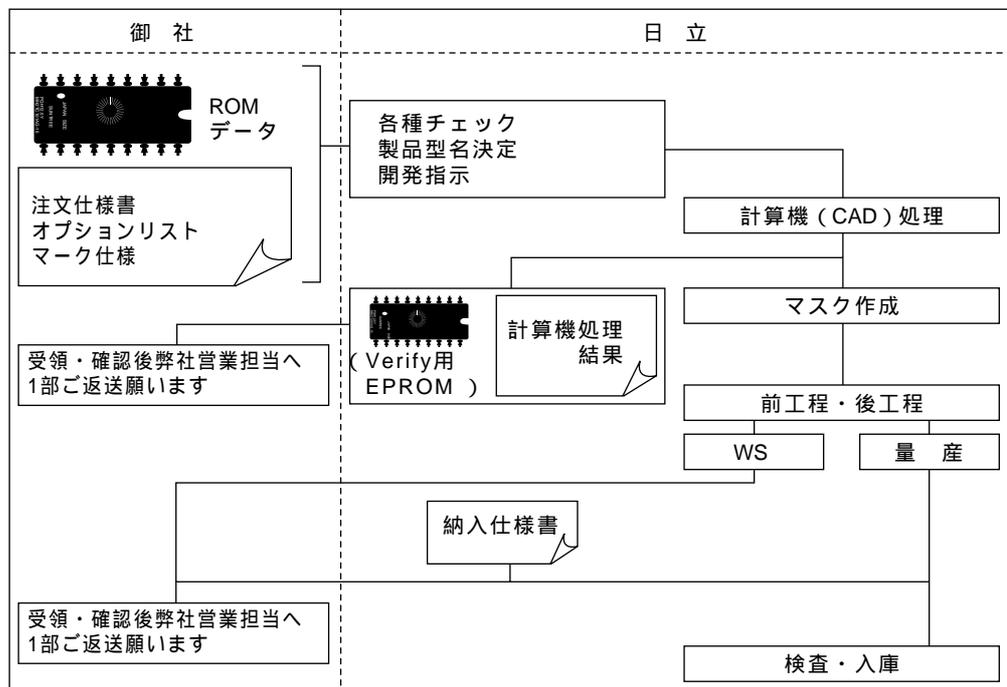


図 C.1 ROM 書き換え品開発の流れ

表 C.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT®マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

C.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT[®] マイコン で提出してください。なお、EPROM または ZTAT[®] マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

D. 外形寸法図

SH7020、SH7021 の外形寸法図(TFP-100B)を図 D.1 に示します。

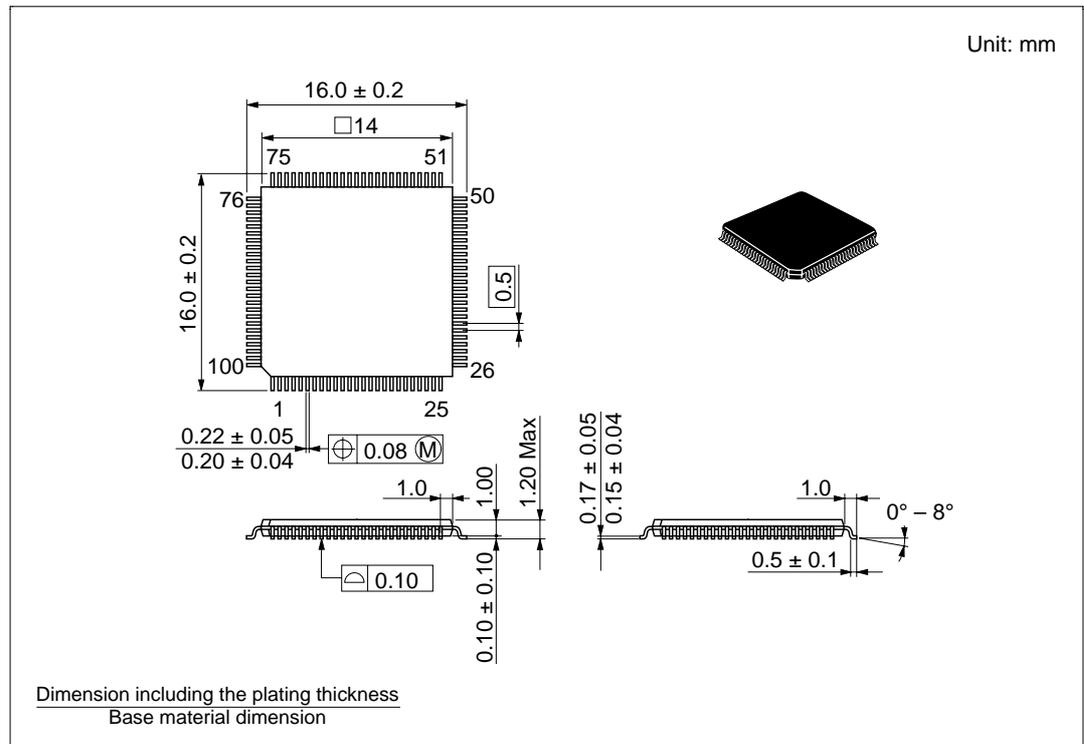


図 D.1 外形寸法図

SH-1 SH7020、SH7021 ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-099E