

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、  
詳細については必ず本文の内容をご確認ください。

# H8/3217 シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3217	HD6473217
	HD6433217
H8/3216	HD6433216
H8/3214	HD6473214
	HD6433214
H8/3212	HD6433212
H8/3202	HD6433202

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、㈱日立製作所は一切その責任を負いません。
3. 本資料によって第三者または㈱日立製作所の特許権その他権利の実地権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

## 本版で改訂または追加された箇所

ページ	項目	内容
118~120	表 7.1 ポート機能一覧 (a) (b) (c)	P7 <sub>7</sub> ~P7 <sub>4</sub> 端子の機能説明の内容変更
257~265	13.2.8 ビットレートレジスタ (BRR)	BRR 設定値例を、 $\phi_p = \phi$ および $\phi_p = \phi/2$ の場合に分割して表記 (1MHz、1.2296MHz の項目は削除)
281	図 13.11 SCI の受信時の動作例	タイミングの修正
285	図 13.14 SCI の送信時の動作例	TDRE のタイミングの修正
346	16.2 動作説明	【注】の追加
352	図 17.3、図 17.4 PROM モード時のメモリマップ	出力データの変更
377	表 19.10 内蔵周辺モジュールタイミング	HDB セットアップ時間の数値変更



---

## はじめに

---

H8/3217シリーズは、高速H8/300CPUを核に、産業用機器組込み用に最適な周辺機能を内蔵した高性能シングルチップマイクロコンピュータです。

H8/3217シリーズは、周辺機能としてROM、RAM、4種類のタイマ、シリアルコミュニケーションインタフェース、I<sup>2</sup>Cバスインタフェース、ホストインタフェース、I/Oポートなど、制御システムの構成に必要な機能を内蔵し、高性能かつ小形のシステムを容易に実現できます。H8/3217シリーズには、60kバイトのROM、2kバイトのRAMを内蔵したH8/3217、48kバイトのROM、2kバイトのRAMを内蔵したH8/3216、32kバイトのROM、1kバイトのRAMを内蔵したH8/3214、16kバイトのROM、512バイトのRAMを内蔵したH8/3212およびH8/3202があります。

また、H8/3217、H8/3214には、ZTAT<sup>®</sup>\* (Zero Turn Around Time)版があり、仕様流動性の高い応用機器、さらに量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

本マニュアルは、H8/3217シリーズのハードウェアについて説明しています。命令の詳細については、「H8/300シリーズ プログラミングマニュアル」をあわせてご覧ください。

\*【注】 ZTATは(株)日立製作所の登録商標です。



---

# 目 次

---

## 〈第 1 章〉 概要

1. 1	概要	3
1. 2	内部ブロック図	7
1. 3	端子説明	8
1. 3. 1	ピン配置	8
1. 3. 2	端子機能	11

## 〈第 2 章〉 C P U

2. 1	概要	29
2. 1. 1	特長	29
2. 1. 2	アドレス空間	30
2. 1. 3	レジスタ構成	30
2. 2	各レジスタの説明	31
2. 2. 1	汎用レジスタ	31
2. 2. 2	コントロールレジスタ	31
2. 2. 3	CPU内部レジスタの初期値	33
2. 3	データ構成	33
2. 3. 1	汎用レジスタのデータ構成	34
2. 3. 2	メモリ上でのデータ構成	35
2. 4	アドレッシングモード	36
2. 4. 1	アドレッシングモード	36
2. 4. 2	実効アドレスの計算方法	38
2. 5	命令セット	42
2. 5. 1	データ転送命令	44
2. 5. 2	算術演算命令	46
2. 5. 3	論理演算命令	47
2. 5. 4	シフト命令	47
2. 5. 5	ビット操作命令	49
2. 5. 6	分岐命令	55
2. 5. 7	システム制御命令	57
2. 5. 8	ブロック転送命令	58
2. 6	処理状態	59
2. 6. 1	概要	59
2. 6. 2	プログラム実行状態	60
2. 6. 3	例外処理状態	60

2.6.4	低消費電力状態	60
2.7	基本動作タイミング	61
2.7.1	内蔵メモリ (RAM、ROM)	61
2.7.2	内蔵周辺モジュール／外部デバイス	63

### 〈第3章〉MCU動作モード

3.1	概要	69
3.1.1	動作モードの選択	69
3.1.2	レジスタ構成	70
3.2	システムコントロールレジスタ (SYSCR)	70
3.3	モードコントロールレジスタ (MDCR)	72
3.4	各動作モードの説明	73
3.4.1	モード1 (内蔵ROM無効拡張モード)	73
3.4.2	モード2 (内蔵ROM有効拡張モード)	73
3.4.3	モード3 (シングルチップモード)	73
3.5	各動作モードのメモリマップ	74

### 〈第4章〉例外処理【H8／3212以外はキーセンス割込み機能内蔵】

4.1	概要	81
4.2	リセット	81
4.2.1	概要	81
4.2.2	リセットシーケンス	81
4.2.3	リセット直後の割込み	84
4.3	割込み	84
4.3.1	概要	84
4.3.2	各レジスタの説明	86
4.3.3	外部割込み	89
4.3.4	内部割込み	89
4.3.5	割込み動作	90
4.3.6	割込み応答時間	95
4.3.7	使用上の注意	96
4.4	スタック領域に関する使用上の注意	97
4.5	キーセンス割込み使用上の注意	98

### 〈第5章〉ウェイト制御

5.1	概要	101
5.1.1	特長	101
5.1.2	ブロック図	101
5.1.3	端子構成	102

5. 1. 4	レジスタ構成	102
5. 2	各レジスタの説明	102
5. 2. 1	ウェイトステートコントロールレジスタ (WSCR)	102
5. 3	ウェイトモード	104

## 〈第 6 章〉 クロック発振器

6. 1	概要	109
6. 1. 1	ブロック図	109
6. 1. 2	ウェイトステートコントロールレジスタ (WSCR)	109
6. 2	発振器	111
6. 3	デューティ補正回路	114
6. 4	プリスケアラ	114

## 〈第 7 章〉 I/Oポート

7. 1	概要	117
7. 2	ポート 1	121
7. 2. 1	概要	121
7. 2. 2	レジスタの構成と説明	121
7. 2. 3	モード別端子機能	123
7. 2. 4	入力プルアップMOS	126
7. 3	ポート 2	127
7. 3. 1	概要	127
7. 3. 2	レジスタの構成と説明	127
7. 3. 3	モード別端子機能	129
7. 3. 4	入力プルアップMOS	132
7. 4	ポート 3	133
7. 4. 1	概要	133
7. 4. 2	レジスタの構成と説明	133
7. 4. 3	モード別端子機能	135
7. 4. 4	入力プルアップMOS	136
7. 5	ポート 4	137
7. 5. 1	概要	137
7. 5. 2	レジスタの構成と説明	138
7. 5. 3	端子機能	140
7. 6	ポート 5	142
7. 6. 1	概要	142
7. 6. 2	レジスタの構成と説明	142
7. 6. 3	端子機能	144
7. 7	ポート 6	146

7. 7. 1	概要	146
7. 7. 2	レジスタの構成と説明	146
7. 7. 3	端子機能	149
7. 8	ポート 7	151
7. 8. 1	概要	151
7. 8. 2	レジスタの構成と説明	152
7. 8. 3	端子機能	154

## 〈第 8 章〉 PWM タイマ【H 8 / 3 2 0 2 以外に内蔵】

8. 1	概要	159
8. 1. 1	特長	159
8. 1. 2	ブロック図	160
8. 1. 3	端子構成	161
8. 1. 4	レジスタ構成	162
8. 2	各レジスタの説明	163
8. 2. 1	PWM データレジスタ (PWDR0 ~ 15)	163
8. 2. 2	PWM データポラリティレジスタ A、B (PWDPRA、B)	163
8. 2. 3	PWM アウトプットイネーブルレジスタ A、B (PWOERA、B)	164
8. 2. 4	ポート 1 データディレクションレジスタ (P1DDR)	164
8. 2. 5	ポート 2 データディレクションレジスタ (P2DDR)	165
8. 2. 6	ポート 1 データレジスタ (P1DR)	165
8. 2. 7	ポート 2 データレジスタ (P2DR)	165
8. 2. 8	シリアルタイマコントロールレジスタ (STCR)	166
8. 3	PWM タイマの動作	167
8. 3. 1	PWM データレジスタの内容と出力波形の対応	167

## 〈第 9 章〉 16 ビットフリーランニングタイマ

9. 1	概要	171
9. 1. 1	特長	171
9. 1. 2	ブロック図	172
9. 1. 3	端子構成	173
9. 1. 4	レジスタ構成	173
9. 2	各レジスタの説明	174
9. 2. 1	フリーランニングカウンタ (FRC)	174
9. 2. 2	アウトプットコンペアレジスタ A、B (OCRA、B)	174
9. 2. 3	インプットキャプチャレジスタ (ICR)	175
9. 2. 4	タイマコントロールレジスタ (TCR)	175

9. 2. 5	タイマコントロール/ステータスレジスタ (TCSR)	177
9. 3	CPUとのインタフェース	181
9. 4	動作説明	184
9. 4. 1	FRCのカウントタイミング	184
9. 4. 2	アウトプットコンペア出力タイミング	185
9. 4. 3	FRCのクリアタイミング	185
9. 4. 4	インプットキャプチャ入力タイミング	186
9. 4. 5	インプットキャプチャフラグ (ICF) のセットタイミング	187
9. 4. 6	タイマオーバフローフラグ (OVF) のセットタイミング	187
9. 5	割込み要因	188
9. 6	FRTの使用例	188
9. 7	使用上の注意	189

## 〈第10章〉 8ビットタイマ

【H8/3202以外には3チャンネル、H8/3202には2チャンネル内蔵】

1 0. 1	概要	195
1 0. 1. 1	特長	195
1 0. 1. 2	ブロック図	196
1 0. 1. 3	端子構成	197
1 0. 1. 4	レジスタ構成	198
1 0. 2	各レジスタの説明	199
1 0. 2. 1	タイマカウンタ (TCNT)	199
1 0. 2. 2	タイムコンスタントレジスタA、B (TCORA、B)	199
1 0. 2. 3	タイマコントロールレジスタ (TCR)	200
1 0. 2. 4	タイマコントロール/ステータスレジスタ (TCSR)	203
1 0. 2. 5	シリアルタイマコントロールレジスタ (STCR)	206
1 0. 3	動作説明	207
1 0. 3. 1	TCNTのカウントタイミング	207
1 0. 3. 2	コンペアマッチタイミング	208
1 0. 3. 3	TCNTの外部リセットタイミング	210
1 0. 3. 4	オーバフローフラグ (OVF) のセットタイミング	210
1 0. 4	割込み要因	211
1 0. 5	8ビットタイマの使用例	211
1 0. 6	使用上の注意	212
1 0. 6. 1	TCNTのライトとカウンタクリアの競合	212
1 0. 6. 2	TCNTのライトとカウントアップの競合	213
1 0. 6. 3	TCORのライトとコンペアマッチの競合	214
1 0. 6. 4	コンペアマッチA、Bの競合	214
1 0. 6. 5	内部クロックの切換えとTCNTの動作	215

## 〈第 1 1 章〉 タイマコネクション【H 8 / 3 2 0 2 以外に内蔵】

1 1. 1	概要	219
1 1. 1. 1	特長	219
1 1. 1. 2	ブロック図	219
1 1. 1. 3	端子構成	220
1 1. 1. 4	レジスタ構成	220
1 1. 2	各レジスタの説明	221
1 1. 2. 1	タイマコネクションレジスタ (TCONR)	221
1 1. 2. 2	シリアルタイマコントロールレジスタ (STCR)	222
1 1. 2. 3	エッジセンスレジスタ (SEDGR)	224
1 1. 3	タイマコネクションの動作	226
1 1. 3. 1	PWMデコード	226
1 1. 3. 2	クランプ波形生成	227
1 1. 3. 3	8ビットタイマ分周波形周期測定	228

## 〈第 1 2 章〉 ウォッチドッグタイマ

1 2. 1	概要	233
1 2. 1. 1	特長	233
1 2. 1. 2	ブロック図	234
1 2. 1. 3	レジスタ構成	234
1 2. 2	各レジスタの説明	235
1 2. 2. 1	タイマカウンタ (TCNT)	235
1 2. 2. 2	タイマコントロール/ステータスレジスタ (TC SR)	235
1 2. 2. 3	レジスタ書換え時の注意	238
1 2. 3	動作説明	239
1 2. 3. 1	ウォッチドッグタイマモード時の動作	239
1 2. 3. 2	インターバルタイマモード時の動作	240
1 2. 3. 3	オーバフローフラグ (OVF) のセットタイミング	240
1 2. 4	使用上の注意	241

## 〈第 1 3 章〉 シリアルコミュニケーションインタフェース

【H 8 / 3 2 1 2 以外には 2 チャンネル、H 8 / 3 2 1 2 には 1 チャンネル内蔵】

1 3. 1	概要	245
1 3. 1. 1	特長	245
1 3. 1. 2	ブロック図	246
1 3. 1. 3	端子構成	247
1 3. 1. 4	レジスタ構成	247
1 3. 2	各レジスタの説明	248

1 3. 2. 1	レシーブシフトレジスタ (RSR) .....	248
1 3. 2. 2	レシーブデータレジスタ (RDR) .....	248
1 3. 2. 3	トランスミットシフトレジスタ (TSR) .....	248
1 3. 2. 4	トランスミットデータレジスタ (TDR) .....	249
1 3. 2. 5	シリアルモードレジスタ (SMR) .....	249
1 3. 2. 6	シリアルコントロールレジスタ (SCR) .....	251
1 3. 2. 7	シリアルステータスレジスタ (SSR) .....	254
1 3. 2. 8	ビットレートレジスタ (BRR) .....	257
1 3. 2. 9	シリアルコミュニケーションモードレジスタ (SCMR) .....	266
1 3. 3	動作説明 .....	268
1 3. 3. 1	概要 .....	268
1 3. 3. 2	調歩同期式モード時の動作 .....	270
1 3. 3. 3	クロック同期式モード時の動作 .....	282
1 3. 4	S C I 割込み .....	290
1 3. 5	使用上の注意 .....	291

## 〈第 1 4 章〉 I<sup>2</sup>C バスインターフェース 【オプション】

【H 8 / 3 2 0 2 以外には 2 チャンネル、H 8 / 3 2 0 2 には 1 チャンネル内蔵】

1 4. 1	概要 .....	295
1 4. 1. 1	特長 .....	295
1 4. 1. 2	ブロック図 .....	297
1 4. 1. 3	端子構成 .....	298
1 4. 1. 4	レジスタ構成 .....	298
1 4. 2	各レジスタの説明 .....	299
1 4. 2. 1	I <sup>2</sup> C バスデータレジスタ (ICDR) .....	299
1 4. 2. 2	スレーブアドレスレジスタ (SAR) .....	299
1 4. 2. 3	I <sup>2</sup> C バスモードレジスタ (ICMR) .....	300
1 4. 2. 4	I <sup>2</sup> C バスコントロールレジスタ (ICCR) .....	301
1 4. 2. 5	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	305
1 4. 2. 6	シリアルタイムコントロールレジスタ (STCR) .....	309
1 4. 3	動作説明 .....	310
1 4. 3. 1	I <sup>2</sup> C バスデータフォーマット .....	310
1 4. 3. 2	マスタ送信動作 .....	312
1 4. 3. 3	マスタ受信動作 .....	313
1 4. 3. 4	スレーブ送信動作 .....	314
1 4. 3. 5	スレーブ受信動作 .....	315
1 4. 3. 6	I R I C セットタイミングと S C L 制御 .....	316
1 4. 3. 7	ノイズ除去回路 .....	317
1 4. 3. 8	使用例 .....	317

1 4. 4	使用上の注意	322
--------	--------	-----

## 〈第 1 5 章〉 ホストインタフェース【H 8 / 3 2 1 2 以外に内蔵】

1 5. 1	概要	325
1 5. 1. 1	ブロック図	326
1 5. 1. 2	端子構成	327
1 5. 1. 3	レジスタ構成	328
1 5. 2	各レジスタの説明	329
1 5. 2. 1	システムコントロールレジスタ (SYSCR)	329
1 5. 2. 2	ホストインタフェースコントロールレジスタ (HICR)	329
1 5. 2. 3	入力データレジスタ 1 (IDR1)	331
1 5. 2. 4	出力データレジスタ 1 (ODR1)	331
1 5. 2. 5	ステータスレジスタ 1 (STR1)	331
1 5. 2. 6	入力データレジスタ 2 (IDR2)	334
1 5. 2. 7	出力データレジスタ 2 (ODR2)	334
1 5. 2. 8	ステータスレジスタ 2 (STR2)	334
1 5. 3	動作説明	337
1 5. 3. 1	ホストインタフェースの起動	337
1 5. 3. 2	コントロール状態	337
1 5. 3. 3	GATE A20	338
1 5. 4	割込み要因	340
1 5. 4. 1	IBF1、IBF2	340
1 5. 4. 2	HIRQ <sub>11</sub> 、HIRQ <sub>1</sub> 、HIRQ <sub>12</sub>	340
1 5. 5	使用上の注意	341

## 〈第 1 6 章〉 R A M

1 6. 1	概要	345
1 6. 1. 1	ブロック図	345
1 6. 1. 2	SYSCRのRAMイネーブルビット (RAME)	345
1 6. 2	動作説明	346
1 6. 2. 1	拡張モード (モード 1、2)	346
1 6. 2. 2	シングルチップモード (モード 3)	346

## 〈第 1 7 章〉 R O M

1 7. 1	概要	349
1 7. 1. 1	ブロック図	349
1 7. 2	PROMモード (H 8 / 3 2 1 7, H 8 / 3 2 1 4)	350
1 7. 2. 1	PROMモードの設定	350
1 7. 2. 2	ソケットアダプタの端子対応とメモリマップ	350

1 7. 3	プログラミング	353
1 7. 3. 1	書き込みモードの選択	353
1 7. 3. 2	書き込み／ベリファイ	353
1 7. 3. 3	書き込み時の注意	357
1 7. 3. 4	書き込み後の信頼性	357
1 7. 3. 5	データの消去	358
1 7. 4	窓付パッケージ品の取扱い	358

## 〈第 1 8 章〉 低消費電力状態

【H 8 / 3 2 1 2 以外はキーセンス割込み機能内蔵】

1 8. 1	概要	361
1 8. 1. 1	システムコントロールレジスタ (S Y S C R)	362
1 8. 2	スリープモード	363
1 8. 2. 1	スリープモードへの遷移	363
1 8. 2. 2	スリープモードの解除	363
1 8. 3	ソフトウェアスタンバイモード	364
1 8. 3. 1	ソフトウェアスタンバイモードへの遷移	364
1 8. 3. 2	ソフトウェアスタンバイモードの解除	364
1 8. 3. 3	ソフトウェアスタンバイモード解除後の 発振安定待機時間の設定	364
1 8. 3. 4	ソフトウェアスタンバイモードの応用例	365
1 8. 3. 5	使用上の注意	365
1 8. 4	ハードウェアスタンバイモード	366
1 8. 4. 1	ハードウェアスタンバイモードへの遷移	366
1 8. 4. 2	ハードウェアスタンバイモードの解除	366
1 8. 4. 3	ハードウェアスタンバイモードのタイミング	366

## 〈第 1 9 章〉 電気的特性

1 9. 1	絶対最大定格	369
1 9. 2	電気的特性	369
1 9. 2. 1	D C 特性	369
1 9. 2. 2	A C 特性	375
1 9. 3	M C U 動作タイミング	379
1 9. 3. 1	バスタイミング	379
1 9. 3. 2	制御信号タイミング	381
1 9. 3. 3	16ビットフリーランニングタイマタイミング	384
1 9. 3. 4	8ビットタイマタイミング	384
1 9. 3. 5	P W M タイマタイミング	385
1 9. 3. 6	S C I タイミング	386

19.3.7	I/Oポートタイミング	386
19.3.8	ホストインタフェースタイミング	387
19.3.9	I <sup>2</sup> Cバスタイミング【オプション】	388
19.3.10	外部クロック出力タイミング	388

## 《付録》

A.	命令	391
A. 1	命令一覧	391
A. 2	オペレーションコードマップ	401
A. 3	命令実行ステート数	402
B.	内部I/Oレジスタ一覧	408
B. 1	アドレス一覧	408
B. 2	機能一覧	421
C.	I/Oポートブロック図	478
C. 1	ポート1ブロック図	478
C. 2	ポート2ブロック図	479
C. 3	ポート3ブロック図	480
C. 4	ポート4ブロック図	481
C. 5	ポート5ブロック図	484
C. 6	ポート6ブロック図	486
C. 7	ポート7ブロック図	488
D.	各処理状態におけるポートの状態	490
E.	ハードウェアスタンバイモード遷移／復帰時のタイミングについて	492
F.	ROM発注手順	493
F. 1	ROM書き換え品開発の流れ（発注手順）	493
F. 2	ROM発注時の注意事項	494
G.	オプションリスト	495
H.	型名一覧	499
I.	外形寸法図	501

# 1. 概要

---

## 第 1 章 目次

1. 1	概要	3
1. 2	内部ブロック図	7
1. 3	端子説明	8
1. 3. 1	ピン配置	8
1. 3. 2	端子機能	11

---



## 1. 1 概要

H 8 / 3 2 1 7 シリーズは、H 8 / 3 0 0 CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU : Microcomputer Unit) です。

H 8 / 3 0 0 CPU は命令実行速度が高く、強力なビット操作命令を有しており、リアルタイム制御などへの応用に最適です。また、システム構成に必要な周辺機能としては、ROM、RAM、4種類のタイマ (16ビットフリーランニングタイマ、8ビットタイマ、PWMタイマ、ウォッチドッグタイマ)、シリアルコミュニケーションインタフェース (SCI)、I<sup>2</sup>Cバスインタフェース【オプション】、ホストインタフェース (HIF)、I/Oポートなどを内蔵しています。

H 8 / 3 2 1 2 および H 8 / 3 2 0 2 は、一部の周辺機能を内蔵しないサブセットの仕様となっていますのでご注意ください。

動作モードとしては、シングルチップモードと2種類の拡張モードがあり、使用するシステムに応じて使い分けることができます。

H 8 / 3 2 1 7 シリーズにはマスクROM版のほか、ユーザサイトで自由にプログラムの書込みができるPROMを内蔵したZTAT<sup>®</sup>\*版があります。

H 8 / 3 2 1 7 シリーズの特長を表1.1に示します。

【注】\* ZTATは日立製作所の登録商標です。

表 1. 1 特長(1)

項 目	仕 様
CPU	汎用レジスタマシン <ul style="list-style-type: none"> <li>▪ 汎用レジスタ : 8ビット×16本 (16ビット×8本としても使用可能)</li> </ul> 高速動作 <ul style="list-style-type: none"> <li>▪ 最高動作周波数: 16MHz / 5V、12MHz / 4V、10MHz / 3V (φクロック)</li> <li>▪ 加減算: 125ns(16MHz動作時)、167ns(12MHz動作時)、 200ns(10MHz動作時)</li> <li>▪ 乗除算: 875ns(16MHz動作時)、1167ns(12MHz動作時)、 1400ns(10MHz動作時)</li> </ul> 高速動作に適した簡潔な命令体系 <ul style="list-style-type: none"> <li>▪ 2バイトまたは4バイト長の命令</li> <li>▪ レジスタ-レジスタ間の基本演算</li> <li>▪ MOV命令によるメモリーレジスタ間データ転送</li> </ul> 特長ある命令 <ul style="list-style-type: none"> <li>▪ 乗算命令 (8ビット×8ビット)</li> <li>▪ 除算命令 (16ビット÷8ビット)</li> <li>▪ ビットアキュムレータ命令</li> <li>▪ レジスタ間接指定によりビット位置の指定が可能</li> </ul>

表 1.1 特長(2)

項 目	仕 様
メモリ	<p>H 8 / 3 2 1 7</p> <ul style="list-style-type: none"> <li>ROM : 60k バイト</li> <li>RAM : 2 k バイト</li> </ul> <p>H 8 / 3 2 1 6</p> <ul style="list-style-type: none"> <li>ROM : 48k バイト</li> <li>RAM : 2 k バイト</li> </ul> <p>H 8 / 3 2 1 4</p> <ul style="list-style-type: none"> <li>ROM : 32k バイト</li> <li>RAM : 1 k バイト</li> </ul> <p>H 8 / 3 2 1 2 および H 8 / 3 2 0 2</p> <ul style="list-style-type: none"> <li>ROM : 16k バイト</li> <li>RAM : 512 バイト</li> </ul>
16ビットフリーランニングタイマ (FRT) × 1 チャンネル	<ul style="list-style-type: none"> <li>16ビットフリーランニングカウンタ × 1 (外部イベントカウント可能)</li> <li>アウトプットコンペア出力 × 2</li> <li>インプットキャプチャ入力 × 1</li> </ul>
8ビットタイマ (TMR) × 3 チャンネル (H 8 / 3 2 0 2 は 2 チャンネル)	<p>1 チャンネル当たり</p> <ul style="list-style-type: none"> <li>8ビットアップカウンタ × 1 (外部イベントカウント可能)</li> <li>タイムコンスタントレジスタ × 2</li> </ul>
PWMタイマ (PWM) (H 8 / 3 2 0 2 を 除く)	<ul style="list-style-type: none"> <li>最大16出力</li> <li>デューティ : 0 ~ 100% デューティのパルス設定可能</li> <li>分解能 : 1 / 256</li> <li>最大キャリア周波数 1 MHz (16MHz 動作時)</li> </ul>
ウォッチドッグタイマ (WDT) × 1 チャンネル	<ul style="list-style-type: none"> <li>オーバフローによりリセットまたは NMI 割込みを発生</li> <li>インターバルタイマモードに切替可能</li> </ul>
シリアルコミュニケーションインタフェース (SCI) × 2 チャンネル (H 8 / 3 2 1 2 は 1 チャンネル)	<ul style="list-style-type: none"> <li>調歩同期式 / クロック同期式モードの選択可能</li> <li>送受信同時動作 (全二重動作) 可能</li> <li>専用のボーレートジェネレータ内蔵</li> </ul>
I <sup>2</sup> Cバスインタフェース (IIC) 【オプション】 × 2 チャンネル (H 8 / 3 2 0 2 は 1 チャンネル)	<ul style="list-style-type: none"> <li>Philips 社提唱の I<sup>2</sup>C バスインタフェース方式準拠</li> <li>シングルマスタモード / スレーブモード内蔵</li> </ul>
ホストインタフェース (HIF) (H 8 / 3 2 1 2 は 除く)	<ul style="list-style-type: none"> <li>8ビットホストインタフェースポート</li> <li>3つのホスト割込み要求 (HIRQ<sub>1</sub>, HIRQ<sub>11</sub>, HIRQ<sub>12</sub>)</li> <li>通常および高速 GATE A<sub>20</sub> 出力</li> <li>2つのレジスタセット (それぞれ2つのデータレジスタとステータスレジスタから構成)</li> </ul>
キーボードコントローラ (H 8 / 3 2 1 2 は 除く)	<ul style="list-style-type: none"> <li>マトリクスキーボードを、ウェイクアップ割込み付きキーボードスキャンおよびセンスポートの構成で制御</li> </ul>
I/Oポート	<ul style="list-style-type: none"> <li>入出力端子 53本 (内16本は、大電流駆動可能)</li> </ul>
割込み	<ul style="list-style-type: none"> <li>外部割込み端子 4本 : <math>\overline{NMI}</math>, <math>\overline{IRQ_0}</math> ~ <math>\overline{IRQ_2}</math></li> <li>キーセンス割込み端子 8本 : <math>\overline{KEYIN_0}</math> ~ <math>\overline{KEYIN_7}</math></li> <li>内部割込み要因 26要因</li> </ul>

表 1.1 特長(3)

項 目	仕 様																																																																																																						
動作モード	<ul style="list-style-type: none"> <li>■内蔵ROM無効拡張モード（モード1）</li> <li>■内蔵ROM有効拡張モード（モード2）</li> <li>■シングルチップモード（モード3）</li> </ul>																																																																																																						
低消費電力状態	<ul style="list-style-type: none"> <li>■スリープモード</li> <li>■ソフトウェアスタンバイモード</li> <li>■ハードウェアスタンバイモード</li> </ul>																																																																																																						
その他	<ul style="list-style-type: none"> <li>■クロック発振器内蔵</li> </ul>																																																																																																						
製品ラインアップ	<table border="1"> <thead> <tr> <th rowspan="2">製品名</th> <th colspan="2">製品型名</th> <th rowspan="2">パッケージ</th> <th rowspan="2">ROM</th> </tr> <tr> <th>5V版(16MHz) 4V版(12MHz)</th> <th>3V版(10MHz)</th> </tr> </thead> <tbody> <tr> <td rowspan="4">H8/3217ZTAT</td> <td colspan="2">HD6473217C16</td> <td>64ピン窓付シュリンク DIP(DC-64S)</td> <td rowspan="4">PROM</td> </tr> <tr> <td colspan="2">HD6473217P16</td> <td>64ピンシュリンク DIP(DP-64S)</td> </tr> <tr> <td colspan="2">HD6473217F16</td> <td>64ピンQFP(FP-64A)</td> </tr> <tr> <td colspan="2">HD6473217TF16</td> <td>80ピンTQFP(TFP-80C)</td> </tr> <tr> <td rowspan="6">H8/3217</td> <td>HD6433217P16</td> <td rowspan="2">HD6433217VP10</td> <td rowspan="2">64ピンシュリンク DIP(DP-64S)</td> <td rowspan="6">マスクROM</td> </tr> <tr> <td>HD6433217P12</td> </tr> <tr> <td>HD6333217F16</td> <td rowspan="2">HD6433217VF10</td> <td rowspan="2">64ピンQFP(FP-64A)</td> </tr> <tr> <td>HD6433217F12</td> </tr> <tr> <td>HD6433217TF16</td> <td rowspan="2">HD6433217VTF10</td> <td rowspan="2">80ピンTQFP(TFP-80C)</td> </tr> <tr> <td>HD6433217TF12</td> </tr> <tr> <td rowspan="6">H8/3216</td> <td>HD6433216P16</td> <td rowspan="2">HD6433216VP10</td> <td rowspan="2">64ピンシュリンク DIP(DP-64S)</td> <td rowspan="6">マスクROM</td> </tr> <tr> <td>HD6433216P12</td> </tr> <tr> <td>HD6433216F16</td> <td rowspan="2">HD6433216VF10</td> <td rowspan="2">64ピンQFP(FP-64A)</td> </tr> <tr> <td>HD6433216F12</td> </tr> <tr> <td>HD6433216TF16</td> <td rowspan="2">HD6433216VTF10</td> <td rowspan="2">80ピンTQFP(TFP-80C)</td> </tr> <tr> <td>HD6433216TF12</td> </tr> <tr> <td rowspan="3">H8/3214ZTAT</td> <td colspan="2">HD6473214P16</td> <td>64ピンシュリンク DIP(DP-64S)</td> <td rowspan="3">PROM</td> </tr> <tr> <td colspan="2">HD6473214F16</td> <td>64ピンQFP(FP-64A)</td> </tr> <tr> <td colspan="2">HD6473214TF16</td> <td>80ピンTQFP(TFP-80C)</td> </tr> <tr> <td rowspan="6">H8/3214</td> <td>HD6433214P16</td> <td rowspan="2">HD6433214VP10</td> <td rowspan="2">64ピンシュリンク DIP(DP-64S)</td> <td rowspan="6">マスクROM</td> </tr> <tr> <td>HD6433214P12</td> </tr> <tr> <td>HD6433214F16</td> <td rowspan="2">HD6433214VF10</td> <td rowspan="2">64ピンQFP(FP-64A)</td> </tr> <tr> <td>HD6433214F12</td> </tr> <tr> <td>HD6433214TF16</td> <td rowspan="2">HD6433214VTF10</td> <td rowspan="2">80ピンTQFP(TFP-80C)</td> </tr> <tr> <td>HD6433214TF12</td> </tr> <tr> <td rowspan="6">H8/3212</td> <td>HD6433212P16</td> <td rowspan="2">HD6433212VP10</td> <td rowspan="2">64ピンシュリンク DIP(DP-64S)</td> <td rowspan="6">マスクROM</td> </tr> <tr> <td>HD6433212P12</td> </tr> <tr> <td>HD6433212F16</td> <td rowspan="2">HD6433212VF10</td> <td rowspan="2">64ピンQFP(FP-64A)</td> </tr> <tr> <td>HD6433212F12</td> </tr> <tr> <td>HD6433212TF16</td> <td rowspan="2">HD6433212VTF10</td> <td rowspan="2">80ピンTQFP(TFP-80C)</td> </tr> <tr> <td>HD6433212TF12</td> </tr> <tr> <td rowspan="6">H8/3202</td> <td>HD6433202P16</td> <td rowspan="2">HD6433202VP10</td> <td rowspan="2">64ピンシュリンク DIP(DP-64S)</td> <td rowspan="6">マスクROM</td> </tr> <tr> <td>HD6433202P12</td> </tr> <tr> <td>HD6433202F16</td> <td rowspan="2">HD6433202VF10</td> <td rowspan="2">64ピンQFP(FP-64A)</td> </tr> <tr> <td>HD6433202F12</td> </tr> <tr> <td>HD6433202TF16</td> <td rowspan="2">HD6433202VTF10</td> <td rowspan="2">80ピンTQFP(TFP-80C)</td> </tr> <tr> <td>HD6433202TF12</td> </tr> </tbody> </table> <p>I<sup>2</sup>Cバスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。</p> <ol style="list-style-type: none"> <li>(1) 当社営業担当者に、オプション機能を使用する旨ご連絡をお願いします。</li> <li>(2) マスクROM版では、オプション機能を使用する製品型名には“W”が付加されます。 例：HD6433217WF16、HD6433212WP12等</li> <li>(3) Z T A T版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨ご連絡をお願いします。</li> </ol>	製品名	製品型名		パッケージ	ROM	5V版(16MHz) 4V版(12MHz)	3V版(10MHz)	H8/3217ZTAT	HD6473217C16		64ピン窓付シュリンク DIP(DC-64S)	PROM	HD6473217P16		64ピンシュリンク DIP(DP-64S)	HD6473217F16		64ピンQFP(FP-64A)	HD6473217TF16		80ピンTQFP(TFP-80C)	H8/3217	HD6433217P16	HD6433217VP10	64ピンシュリンク DIP(DP-64S)	マスクROM	HD6433217P12	HD6333217F16	HD6433217VF10	64ピンQFP(FP-64A)	HD6433217F12	HD6433217TF16	HD6433217VTF10	80ピンTQFP(TFP-80C)	HD6433217TF12	H8/3216	HD6433216P16	HD6433216VP10	64ピンシュリンク DIP(DP-64S)	マスクROM	HD6433216P12	HD6433216F16	HD6433216VF10	64ピンQFP(FP-64A)	HD6433216F12	HD6433216TF16	HD6433216VTF10	80ピンTQFP(TFP-80C)	HD6433216TF12	H8/3214ZTAT	HD6473214P16		64ピンシュリンク DIP(DP-64S)	PROM	HD6473214F16		64ピンQFP(FP-64A)	HD6473214TF16		80ピンTQFP(TFP-80C)	H8/3214	HD6433214P16	HD6433214VP10	64ピンシュリンク DIP(DP-64S)	マスクROM	HD6433214P12	HD6433214F16	HD6433214VF10	64ピンQFP(FP-64A)	HD6433214F12	HD6433214TF16	HD6433214VTF10	80ピンTQFP(TFP-80C)	HD6433214TF12	H8/3212	HD6433212P16	HD6433212VP10	64ピンシュリンク DIP(DP-64S)	マスクROM	HD6433212P12	HD6433212F16	HD6433212VF10	64ピンQFP(FP-64A)	HD6433212F12	HD6433212TF16	HD6433212VTF10	80ピンTQFP(TFP-80C)	HD6433212TF12	H8/3202	HD6433202P16	HD6433202VP10	64ピンシュリンク DIP(DP-64S)	マスクROM	HD6433202P12	HD6433202F16	HD6433202VF10	64ピンQFP(FP-64A)	HD6433202F12	HD6433202TF16	HD6433202VTF10	80ピンTQFP(TFP-80C)	HD6433202TF12
製品名	製品型名		パッケージ	ROM																																																																																																			
	5V版(16MHz) 4V版(12MHz)	3V版(10MHz)																																																																																																					
H8/3217ZTAT	HD6473217C16		64ピン窓付シュリンク DIP(DC-64S)	PROM																																																																																																			
	HD6473217P16		64ピンシュリンク DIP(DP-64S)																																																																																																				
	HD6473217F16		64ピンQFP(FP-64A)																																																																																																				
	HD6473217TF16		80ピンTQFP(TFP-80C)																																																																																																				
H8/3217	HD6433217P16	HD6433217VP10	64ピンシュリンク DIP(DP-64S)	マスクROM																																																																																																			
	HD6433217P12																																																																																																						
	HD6333217F16	HD6433217VF10	64ピンQFP(FP-64A)																																																																																																				
	HD6433217F12																																																																																																						
	HD6433217TF16	HD6433217VTF10	80ピンTQFP(TFP-80C)																																																																																																				
	HD6433217TF12																																																																																																						
H8/3216	HD6433216P16	HD6433216VP10	64ピンシュリンク DIP(DP-64S)	マスクROM																																																																																																			
	HD6433216P12																																																																																																						
	HD6433216F16	HD6433216VF10	64ピンQFP(FP-64A)																																																																																																				
	HD6433216F12																																																																																																						
	HD6433216TF16	HD6433216VTF10	80ピンTQFP(TFP-80C)																																																																																																				
	HD6433216TF12																																																																																																						
H8/3214ZTAT	HD6473214P16		64ピンシュリンク DIP(DP-64S)	PROM																																																																																																			
	HD6473214F16		64ピンQFP(FP-64A)																																																																																																				
	HD6473214TF16		80ピンTQFP(TFP-80C)																																																																																																				
H8/3214	HD6433214P16	HD6433214VP10	64ピンシュリンク DIP(DP-64S)	マスクROM																																																																																																			
	HD6433214P12																																																																																																						
	HD6433214F16	HD6433214VF10	64ピンQFP(FP-64A)																																																																																																				
	HD6433214F12																																																																																																						
	HD6433214TF16	HD6433214VTF10	80ピンTQFP(TFP-80C)																																																																																																				
	HD6433214TF12																																																																																																						
H8/3212	HD6433212P16	HD6433212VP10	64ピンシュリンク DIP(DP-64S)	マスクROM																																																																																																			
	HD6433212P12																																																																																																						
	HD6433212F16	HD6433212VF10	64ピンQFP(FP-64A)																																																																																																				
	HD6433212F12																																																																																																						
	HD6433212TF16	HD6433212VTF10	80ピンTQFP(TFP-80C)																																																																																																				
	HD6433212TF12																																																																																																						
H8/3202	HD6433202P16	HD6433202VP10	64ピンシュリンク DIP(DP-64S)	マスクROM																																																																																																			
	HD6433202P12																																																																																																						
	HD6433202F16	HD6433202VF10	64ピンQFP(FP-64A)																																																																																																				
	HD6433202F12																																																																																																						
	HD6433202TF16	HD6433202VTF10	80ピンTQFP(TFP-80C)																																																																																																				
	HD6433202TF12																																																																																																						

表 1. 1 特長(4)

項 目	仕 様								
内蔵周辺機能	品 名	F R T	TMR0 TMR1	TMRX、タイマ コネクショソ	P W M	W D T	S C I	I I C	HIF、キ セツオ込み
	H8/3212、H8/3202以外	あり	あり	あり	あり	あり	× 2	× 2	あり
	H8/3212	あり	あり	あり	あり	あり	× 1	× 2	なし
	H8/3202	あり	あり	なし	なし	あり	× 2	× 1	あり

## 1.2 内部ブロック図

H8/3217シリーズの内部ブロック図を図1.1に示します。

H8/3212およびH8/3202は、一部の周辺機能を内蔵しないサブセットの仕様となっていますので、ご注意ください。ピン機能の異同については、表1.2～表1.4モード別ピン配置一覧を参照してください。

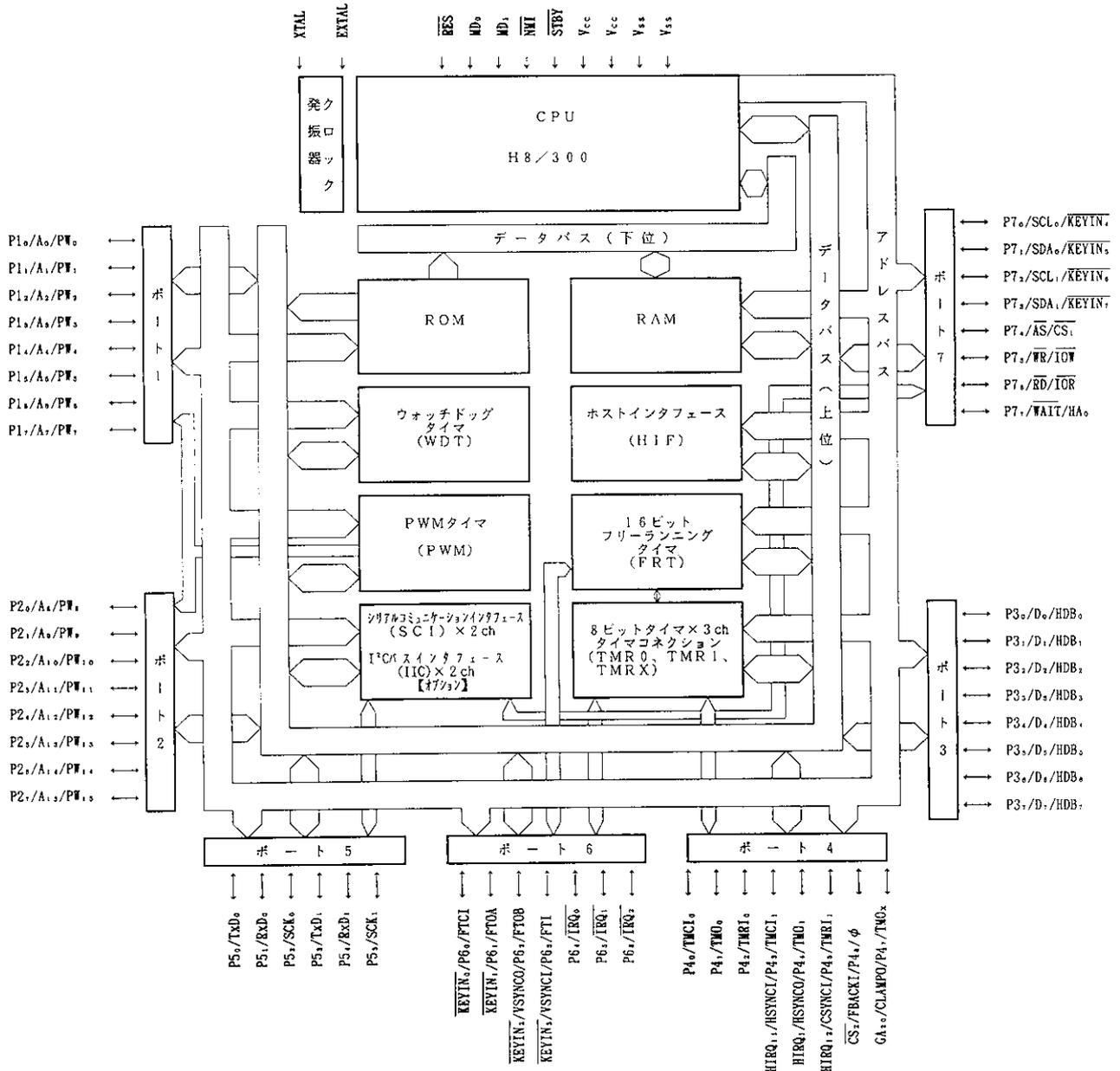


図1.1 内部ブロック図 (H8/3212、H8/3202以外)

### 1.3 端子説明

#### 1.3.1 ピン配置

H8/3217シリーズのピン配置図DC-64S、DP-64Sを図1.2、FP-64Aを図1.3、TFP-80Cを図1.4に示します。

H8/3212およびH8/3202は、一部の周辺機能を内蔵しないサブセットの仕様になっていますので、ご注意ください。ピン機能の異同については、表1.2～表1.4モード別ピン配置一覧を参照してください。

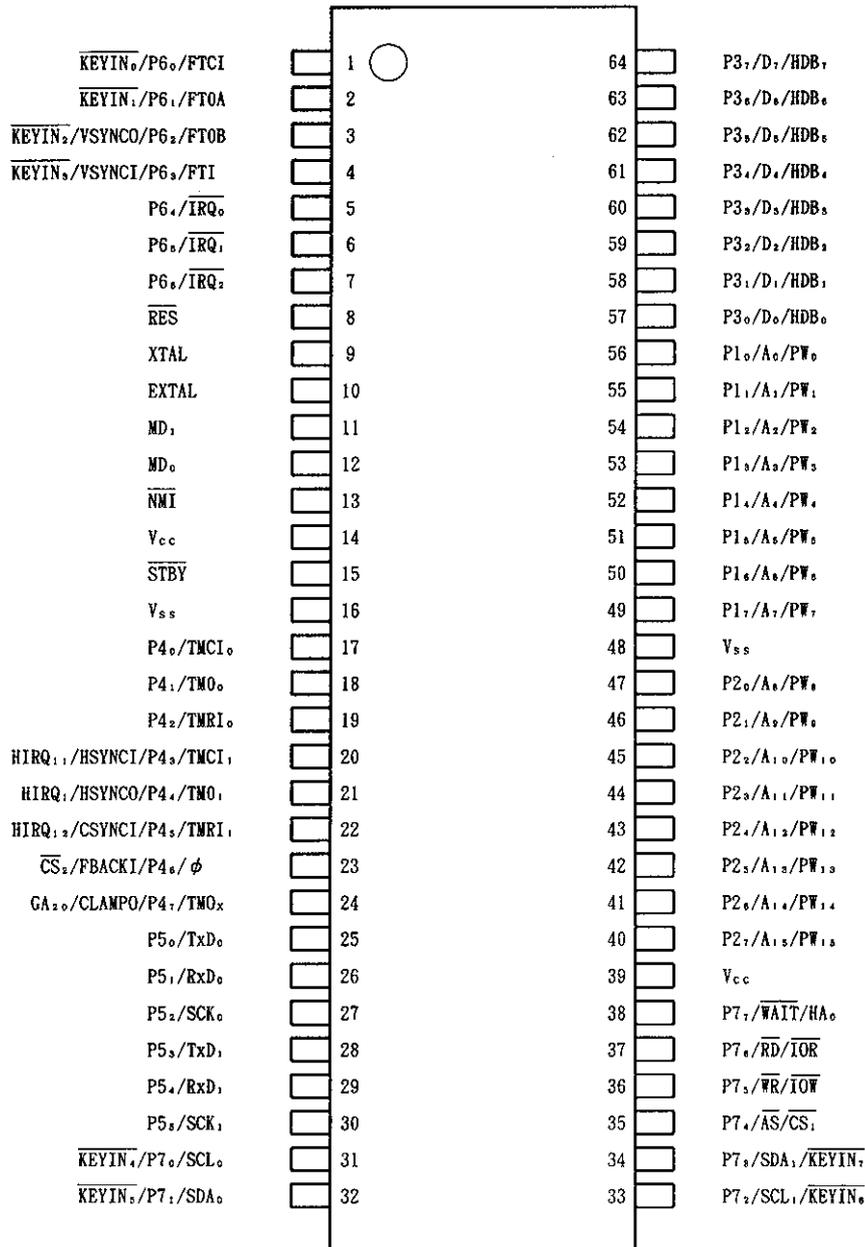


図1.2 ピン配置 (DC-64S、DP-64S : 上面図)  
(H8/3212、H8/3202以外)

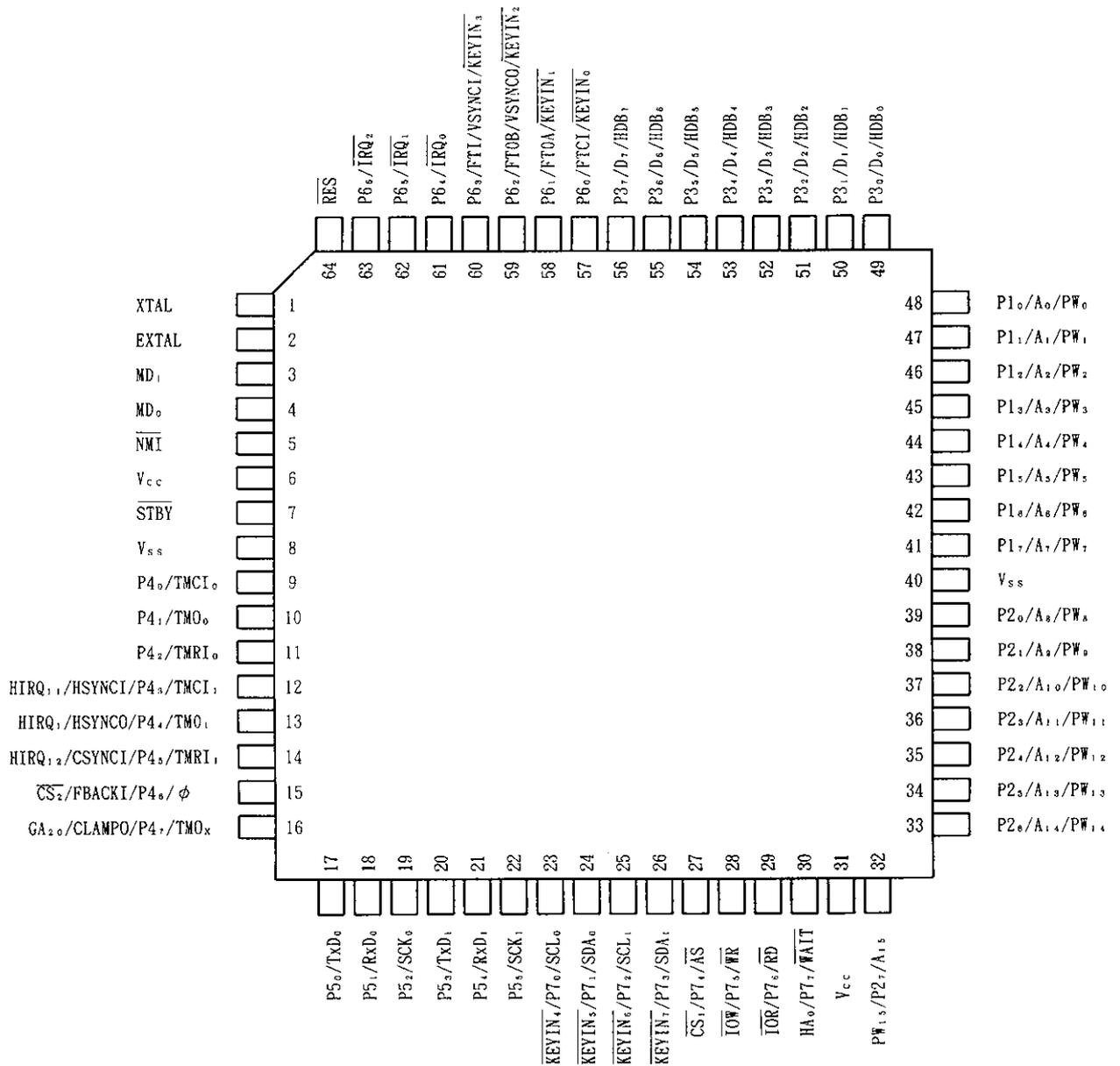


図 1.3 ピン配置 (FP-64A: 上面図)  
(H8/3212、H8/3202以外)

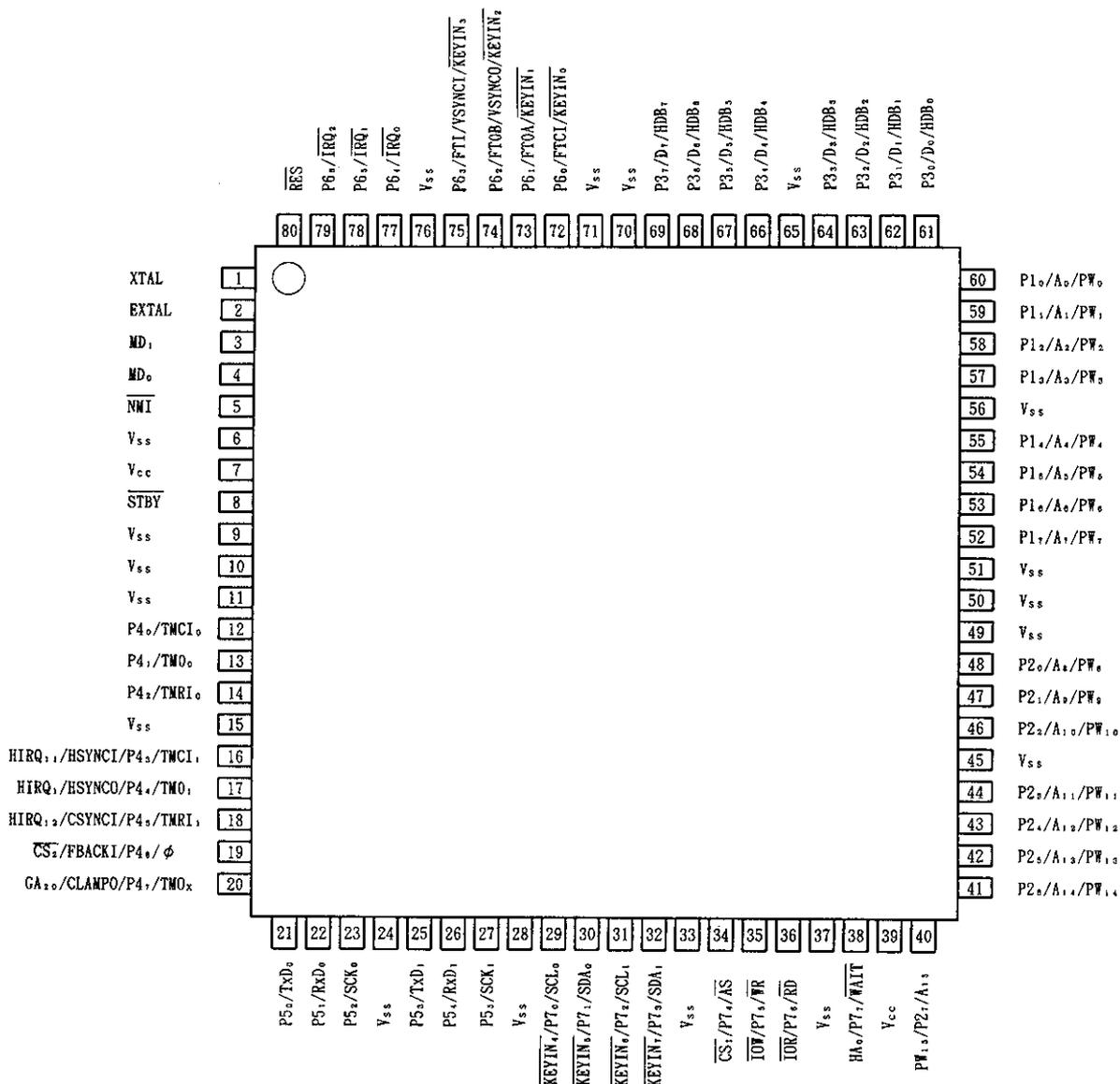


図 1.4 ピン配置 (TFP-80C : 上面図)  
(H8/3212、H8/3202以外)

### 1.3.2 端子機能

#### (1) モード別配置一覧

DC-64S、DP-64S、FP-64A、TFP-80Cのモード別ピン配置一覧を表1.2～表1.4に示します。

表1.2 モード別ピン配置一覧 (H8/3217、H8/3216、H8/3214) (1)

ピン番号			拡張モード		シングルチップモード	PROM
DC-64S DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3	モード
—	—	71	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
1	57	72	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	NC
2	58	73	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>	NC
3	59	74	P6 <sub>2</sub> /FTOB/VSYNCO/KEYIN <sub>2</sub>	P6 <sub>2</sub> /FTOB/VSYNCO/KEYIN <sub>2</sub>	P6 <sub>2</sub> /FTOB/VSYNCO/KEYIN <sub>2</sub>	NC
4	60	75	P6 <sub>3</sub> /FTI/VSYNCI/KEYIN <sub>3</sub>	P6 <sub>3</sub> /FTI/VSYNCI/KEYIN <sub>3</sub>	P6 <sub>3</sub> /FTI/VSYNCI/KEYIN <sub>3</sub>	NC
—	—	76	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
5	61	77	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	NC
6	62	78	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	NC
7	63	79	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	NC
8	64	80	RES	RES	RES	V <sub>PP</sub>
9	1	1	XTAL	XTAL	XTAL	NC
10	2	2	EXTAL	EXTAL	EXTAL	NC
11	3	3	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	V <sub>SS</sub>
12	4	4	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	V <sub>SS</sub>
13	5	5	NMI	NMI	NMI	EA <sub>0</sub>
—	—	6	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
14	6	7	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
15	7	8	STBY	STBY	STBY	V <sub>SS</sub>
16	8	9	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	11	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
17	9	12	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>	EO <sub>0</sub>
18	10	13	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>	EO <sub>1</sub>
19	11	14	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>	EO <sub>2</sub>
—	—	15	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
20	12	16	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI/HIRQ <sub>1</sub>	EO <sub>3</sub>
21	13	17	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO/HIRQ <sub>1</sub>	EO <sub>4</sub>

【注】1. NCピンは、何も接続しないでください。

2. PROMモードについての詳細は、「17.2 PROMモード」を参照してください。

表 1.2 モード別ピン配置一覧 (H8/3217、H8/3216、H8/3214) (2)

ピン番号			拡張モード		シングルチップモード	PROM
DC-64S DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3	モード
22	14	18	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCl	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCl	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCl/HIRQ <sub>2</sub>	EO <sub>5</sub>
23	15	19	φ	φ	P4 <sub>6</sub> /φ/FBACKI/CS <sub>2</sub>	EO <sub>6</sub>
24	16	20	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO/GA <sub>20</sub>	EO <sub>7</sub>
25	17	21	P5 <sub>0</sub> /TxDo	P5 <sub>0</sub> /TxDo	P5 <sub>0</sub> /TxDo	EA <sub>15</sub>
26	18	22	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>	EA <sub>16</sub>
27	19	23	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>	PGM
—	—	24	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
28	20	25	P5 <sub>3</sub> /TxD <sub>1</sub>	P5 <sub>3</sub> /TxD <sub>1</sub>	P5 <sub>3</sub> /TxD <sub>1</sub>	NC
29	21	26	P5 <sub>4</sub> /RxD <sub>1</sub>	P5 <sub>4</sub> /RxD <sub>1</sub>	P5 <sub>4</sub> /RxD <sub>1</sub>	NC
30	22	27	P5 <sub>5</sub> /SCK <sub>1</sub>	P5 <sub>5</sub> /SCK <sub>1</sub>	P5 <sub>5</sub> /SCK <sub>1</sub>	NC
—	—	28	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
31	23	29	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	V <sub>CC</sub>
32	24	30	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>	V <sub>CC</sub>
33	25	31	P7 <sub>2</sub> /SCL <sub>1</sub> /KEYIN <sub>6</sub>	P7 <sub>2</sub> /SCL <sub>1</sub> /KEYIN <sub>6</sub>	P7 <sub>2</sub> /SCL <sub>1</sub> /KEYIN <sub>6</sub>	NC
34	26	32	P7 <sub>3</sub> /SDA <sub>1</sub> /KEYIN <sub>7</sub>	P7 <sub>3</sub> /SDA <sub>1</sub> /KEYIN <sub>7</sub>	P7 <sub>3</sub> /SDA <sub>1</sub> /KEYIN <sub>7</sub>	NC
—	—	33	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
35	27	34	AS	AS	P7 <sub>4</sub> /CS <sub>1</sub>	NC
36	28	35	WR	WR	P7 <sub>5</sub> /IOW	NC
37	29	36	RD	RD	P7 <sub>6</sub> /IOR	NC
—	—	37	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
38	30	38	P7 <sub>7</sub> /WAIT	P7 <sub>7</sub> /WAIT	P7 <sub>7</sub> /HA <sub>0</sub>	NC
39	31	39	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
40	32	40	A <sub>15</sub>	P2 <sub>7</sub> /A <sub>15</sub> /PW <sub>15</sub>	P2 <sub>7</sub> /PW <sub>15</sub>	CE
41	33	41	A <sub>14</sub>	P2 <sub>6</sub> /A <sub>14</sub> /PW <sub>14</sub>	P2 <sub>6</sub> /PW <sub>14</sub>	EA <sub>14</sub>
42	34	42	A <sub>13</sub>	P2 <sub>5</sub> /A <sub>13</sub> /PW <sub>13</sub>	P2 <sub>5</sub> /PW <sub>13</sub>	EA <sub>13</sub>
43	35	43	A <sub>12</sub>	P2 <sub>4</sub> /A <sub>12</sub> /PW <sub>12</sub>	P2 <sub>4</sub> /PW <sub>12</sub>	EA <sub>12</sub>
44	36	44	A <sub>11</sub>	P2 <sub>3</sub> /A <sub>11</sub> /PW <sub>11</sub>	P2 <sub>3</sub> /PW <sub>11</sub>	EA <sub>11</sub>
—	—	45	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
45	37	46	A <sub>10</sub>	P2 <sub>2</sub> /A <sub>10</sub> /PW <sub>10</sub>	P2 <sub>2</sub> /PW <sub>10</sub>	EA <sub>10</sub>
46	38	47	A <sub>9</sub>	P2 <sub>1</sub> /A <sub>9</sub> /PW <sub>9</sub>	P2 <sub>1</sub> /PW <sub>9</sub>	OE
47	39	48	A <sub>8</sub>	P2 <sub>0</sub> /A <sub>8</sub> /PW <sub>8</sub>	P2 <sub>0</sub> /PW <sub>8</sub>	EA <sub>8</sub>
—	—	49	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	50	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

【注】1. NCピンは、何も接続しないでください。

2. PROMモードについての詳細は、「17.2 PROMモード」を参照してください。

表 1.2 モード別ピン配置一覧 (H8/3217、H8/3216、H8/3214) (3)

ピン番号			拡張モード		シングルチップモード	PROM
DC-64S DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3	モード
48	40	51	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
49	41	52	A <sub>7</sub>	P1 <sub>7</sub> /A <sub>7</sub> /PW <sub>7</sub>	P1 <sub>7</sub> /PW <sub>7</sub>	EA <sub>7</sub>
50	42	53	A <sub>6</sub>	P1 <sub>6</sub> /A <sub>6</sub> /PW <sub>6</sub>	P1 <sub>6</sub> /PW <sub>6</sub>	EA <sub>6</sub>
51	43	54	A <sub>5</sub>	P1 <sub>5</sub> /A <sub>5</sub> /PW <sub>5</sub>	P1 <sub>5</sub> /PW <sub>5</sub>	EA <sub>5</sub>
52	44	55	A <sub>4</sub>	P1 <sub>4</sub> /A <sub>4</sub> /PW <sub>4</sub>	P1 <sub>4</sub> /PW <sub>4</sub>	EA <sub>4</sub>
—	—	56	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
53	45	57	A <sub>3</sub>	P1 <sub>3</sub> /A <sub>3</sub> /PW <sub>3</sub>	P1 <sub>3</sub> /PW <sub>3</sub>	EA <sub>3</sub>
54	46	58	A <sub>2</sub>	P1 <sub>2</sub> /A <sub>2</sub> /PW <sub>2</sub>	P1 <sub>2</sub> /PW <sub>2</sub>	EA <sub>2</sub>
55	47	59	A <sub>1</sub>	P1 <sub>1</sub> /A <sub>1</sub> /PW <sub>1</sub>	P1 <sub>1</sub> /PW <sub>1</sub>	EA <sub>1</sub>
56	48	60	A <sub>0</sub>	P1 <sub>0</sub> /A <sub>0</sub> /PW <sub>0</sub>	P1 <sub>0</sub> /PW <sub>0</sub>	EA <sub>0</sub>
57	49	61	D <sub>0</sub>	D <sub>0</sub>	P3 <sub>0</sub> /HDB <sub>0</sub>	NC
58	50	62	D <sub>1</sub>	D <sub>1</sub>	P3 <sub>1</sub> /HDB <sub>1</sub>	NC
59	51	63	D <sub>2</sub>	D <sub>2</sub>	P3 <sub>2</sub> /HDB <sub>2</sub>	NC
60	52	64	D <sub>3</sub>	D <sub>3</sub>	P3 <sub>3</sub> /HDB <sub>3</sub>	NC
—	—	65	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
61	53	66	D <sub>4</sub>	D <sub>4</sub>	P3 <sub>4</sub> /HDB <sub>4</sub>	NC
62	54	67	D <sub>5</sub>	D <sub>5</sub>	P3 <sub>5</sub> /HDB <sub>5</sub>	NC
63	55	68	D <sub>6</sub>	D <sub>6</sub>	P3 <sub>6</sub> /HDB <sub>6</sub>	NC
64	56	69	D <sub>7</sub>	D <sub>7</sub>	P3 <sub>7</sub> /HDB <sub>7</sub>	NC
—	—	70	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

【注】 1. NCピンは、何も接続しないでください。

2. PROMモードについての詳細は、「17.2 PROMモード」を参照してください。

表 1.3 モード別ピン配置一覧 (H 8 / 3 2 1 2) (1)

ピン番号			拡張モード		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード 1	モード 2	モード 3
—	—	71	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
1	57	72	P6 <sub>0</sub> /FTCI	P6 <sub>0</sub> /FTCI	P6 <sub>0</sub> /FTCI
2	58	73	P6 <sub>1</sub> /FTOA	P6 <sub>1</sub> /FTOA	P6 <sub>1</sub> /FTOA
3	59	74	P6 <sub>2</sub> /FTOB/VSYNCO	P6 <sub>2</sub> /FTOB/VSYNCO	P6 <sub>2</sub> /FTOB/VSYNCO
4	60	75	P6 <sub>3</sub> /FTI/VSYNCI	P6 <sub>3</sub> /FTI/VSYNCI	P6 <sub>3</sub> /FTI/VSYNCI
—	—	76	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
5	61	77	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>
6	62	78	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>
7	63	79	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>
8	64	80	RES	RES	RES
9	1	1	XTAL	XTAL	XTAL
10	2	2	EXTAL	EXTAL	EXTAL
11	3	3	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>
12	4	4	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>
13	5	5	NMI	NMI	NMI
—	—	6	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
14	6	7	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
15	7	8	STBY	STBY	STBY
16	8	9	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	11	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
17	9	12	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>
18	10	13	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>
19	11	14	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>
—	—	15	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
20	12	16	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI	P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI
21	13	17	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO	P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO
22	14	18	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCI	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCI	P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCI
23	15	19	φ	φ	P4 <sub>6</sub> /φ/FBACKI
24	16	20	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO	P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO
25	17	21	P5 <sub>0</sub> /TxD <sub>0</sub>	P5 <sub>0</sub> /TxD <sub>0</sub>	P5 <sub>0</sub> /TxD <sub>0</sub>
26	18	22	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>
27	19	23	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>
—	—	24	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

表 1.3 モード別ピン配置一覧 (H8/3212) (2)

ピン番号			拡張モード		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3
28	20	25	P5 <sub>3</sub>	P5 <sub>3</sub>	P5 <sub>3</sub>
29	21	26	P5 <sub>4</sub>	P5 <sub>4</sub>	P5 <sub>4</sub>
30	22	27	P5 <sub>5</sub>	P5 <sub>5</sub>	P5 <sub>5</sub>
—	—	28	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
31	23	29	P7 <sub>0</sub> /SCL <sub>0</sub>	P7 <sub>0</sub> /SCL <sub>0</sub>	P7 <sub>0</sub> /SCL <sub>0</sub>
32	24	30	P7 <sub>1</sub> /SDA <sub>0</sub>	P7 <sub>1</sub> /SDA <sub>0</sub>	P7 <sub>1</sub> /SDA <sub>0</sub>
33	25	31	P7 <sub>2</sub> /SCL <sub>1</sub>	P7 <sub>2</sub> /SCL <sub>1</sub>	P7 <sub>2</sub> /SCL <sub>1</sub>
34	26	32	P7 <sub>3</sub> /SDA <sub>1</sub>	P7 <sub>3</sub> /SDA <sub>1</sub>	P7 <sub>3</sub> /SDA <sub>1</sub>
—	—	33	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
35	27	34	$\overline{AS}$	$\overline{AS}$	P7 <sub>4</sub>
36	28	35	$\overline{WR}$	$\overline{WR}$	P7 <sub>5</sub>
37	29	36	$\overline{RD}$	$\overline{RD}$	P7 <sub>6</sub>
—	—	37	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
38	30	38	P7 <sub>7</sub> / $\overline{WAIT}$	P7 <sub>7</sub> / $\overline{WAIT}$	P7 <sub>7</sub>
39	31	39	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
40	32	40	A <sub>15</sub>	P2 <sub>7</sub> /A <sub>15</sub> /PW <sub>15</sub>	P2 <sub>7</sub> /PW <sub>15</sub>
41	33	41	A <sub>14</sub>	P2 <sub>6</sub> /A <sub>14</sub> /PW <sub>14</sub>	P2 <sub>6</sub> /PW <sub>14</sub>
42	34	42	A <sub>13</sub>	P2 <sub>5</sub> /A <sub>13</sub> /PW <sub>13</sub>	P2 <sub>5</sub> /PW <sub>13</sub>
43	35	43	A <sub>12</sub>	P2 <sub>4</sub> /A <sub>12</sub> /PW <sub>12</sub>	P2 <sub>4</sub> /PW <sub>12</sub>
44	36	44	A <sub>11</sub>	P2 <sub>3</sub> /A <sub>11</sub> /PW <sub>11</sub>	P2 <sub>3</sub> /PW <sub>11</sub>
—	—	45	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
45	37	46	A <sub>10</sub>	P2 <sub>2</sub> /A <sub>10</sub> /PW <sub>10</sub>	P2 <sub>2</sub> /PW <sub>10</sub>
46	38	47	A <sub>9</sub>	P2 <sub>1</sub> /A <sub>9</sub> /PW <sub>9</sub>	P2 <sub>1</sub> /PW <sub>9</sub>
47	39	48	A <sub>8</sub>	P2 <sub>0</sub> /A <sub>8</sub> /PW <sub>8</sub>	P2 <sub>0</sub> /PW <sub>8</sub>
—	—	49	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	50	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
48	40	51	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
49	41	52	A <sub>7</sub>	P1 <sub>7</sub> /A <sub>7</sub> /PW <sub>7</sub>	P1 <sub>7</sub> /PW <sub>7</sub>
50	42	53	A <sub>6</sub>	P1 <sub>6</sub> /A <sub>6</sub> /PW <sub>6</sub>	P1 <sub>6</sub> /PW <sub>6</sub>
51	43	54	A <sub>5</sub>	P1 <sub>5</sub> /A <sub>5</sub> /PW <sub>5</sub>	P1 <sub>5</sub> /PW <sub>5</sub>
52	44	55	A <sub>4</sub>	P1 <sub>4</sub> /A <sub>4</sub> /PW <sub>4</sub>	P1 <sub>4</sub> /PW <sub>4</sub>
—	—	56	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
53	45	57	A <sub>3</sub>	P1 <sub>3</sub> /A <sub>3</sub> /PW <sub>3</sub>	P1 <sub>3</sub> /PW <sub>3</sub>
54	46	58	A <sub>2</sub>	P1 <sub>2</sub> /A <sub>2</sub> /PW <sub>2</sub>	P1 <sub>2</sub> /PW <sub>2</sub>

表 1.3 モード別ピン配置一覧 (H 8 / 3 2 1 2) (3)

ピン番号			拡 張 モ ー ド		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード 1	モード 2	モード 3
55	47	59	A <sub>1</sub>	P1 <sub>1</sub> /A <sub>1</sub> /PW <sub>1</sub>	P1 <sub>1</sub> /PW <sub>1</sub>
56	48	60	A <sub>0</sub>	P1 <sub>0</sub> /A <sub>0</sub> /PW <sub>0</sub>	P1 <sub>0</sub> /PW <sub>0</sub>
57	49	61	D <sub>0</sub>	D <sub>0</sub>	P3 <sub>0</sub>
58	50	62	D <sub>1</sub>	D <sub>1</sub>	P3 <sub>1</sub>
59	51	63	D <sub>2</sub>	D <sub>2</sub>	P3 <sub>2</sub>
60	52	64	D <sub>3</sub>	D <sub>3</sub>	P3 <sub>3</sub>
—	—	65	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
61	53	66	D <sub>4</sub>	D <sub>4</sub>	P3 <sub>4</sub>
62	54	67	D <sub>5</sub>	D <sub>5</sub>	P3 <sub>5</sub>
63	55	68	D <sub>6</sub>	D <sub>6</sub>	P3 <sub>6</sub>
64	56	69	D <sub>7</sub>	D <sub>7</sub>	P3 <sub>7</sub>
—	—	70	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

表 1.4 モード別ピン配置一覧 (H8 / 3202) (1)

ピン番号			拡張モード		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3
—	—	71	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
1	57	72	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>
2	58	73	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>	P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub>
3	59	74	P6 <sub>2</sub> /FTOB/KEYIN <sub>2</sub>	P6 <sub>2</sub> /FTOB/KEYIN <sub>2</sub>	P6 <sub>2</sub> /FTOB/KEYIN <sub>2</sub>
4	60	75	P6 <sub>3</sub> /FTI/KEYIN <sub>3</sub>	P6 <sub>3</sub> /FTI/KEYIN <sub>3</sub>	P6 <sub>3</sub> /FTI/KEYIN <sub>3</sub>
—	—	76	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
5	61	77	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>
6	62	78	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>
7	63	79	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>
8	64	80	RES	RES	RES
9	1	1	XTAL	XTAL	XTAL
10	2	2	EXTAL	EXTAL	EXTAL
11	3	3	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>
12	4	4	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>
13	5	5	NMI	NMI	NMI
—	—	6	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
14	6	7	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
15	7	8	STBY	STBY	STBY
16	8	9	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	11	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
17	9	12	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> /TMCI <sub>0</sub>
18	10	13	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> /TMO <sub>0</sub>
19	11	14	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> /TMRI <sub>0</sub>
—	—	15	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
20	12	16	P4 <sub>3</sub> /TMCI <sub>1</sub>	P4 <sub>3</sub> /TMCI <sub>1</sub>	P4 <sub>3</sub> /TMCI <sub>1</sub> /HIRQ <sub>1,1</sub>
21	13	17	P4 <sub>4</sub> /TMO <sub>1</sub>	P4 <sub>4</sub> /TMO <sub>1</sub>	P4 <sub>4</sub> /TMO <sub>1</sub> /HIRQ <sub>1</sub>
22	14	18	P4 <sub>5</sub> /TMRI <sub>1</sub>	P4 <sub>5</sub> /TMRI <sub>1</sub>	P4 <sub>5</sub> /TMRI <sub>1</sub> /HIRQ <sub>1,2</sub>
23	15	19	φ	φ	P4 <sub>6</sub> /φ/CS <sub>2</sub>
24	16	20	P4 <sub>7</sub>	P4 <sub>7</sub>	P4 <sub>7</sub> /GA <sub>2,0</sub>
25	17	21	P5 <sub>0</sub> /TxD <sub>0</sub>	P5 <sub>0</sub> /TxD <sub>0</sub>	P5 <sub>0</sub> /TxD <sub>0</sub>
26	18	22	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>	P5 <sub>1</sub> /RxD <sub>0</sub>
27	19	23	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>	P5 <sub>2</sub> /SCK <sub>0</sub>
—	—	24	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

表 1.4 モード別ピン配置一覧 (H8/3202) (2)

ピン番号			拡張モード		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード 1	モード 2	モード 3
28	20	25	P5 <sub>3</sub> /TxD <sub>1</sub>	P5 <sub>3</sub> /TxD <sub>1</sub>	P5 <sub>3</sub> /TxD <sub>1</sub>
29	21	26	P5 <sub>4</sub> /RxD <sub>1</sub>	P5 <sub>4</sub> /RxD <sub>1</sub>	P5 <sub>4</sub> /RxD <sub>1</sub>
30	22	27	P5 <sub>5</sub> /SCK <sub>1</sub>	P5 <sub>5</sub> /SCK <sub>1</sub>	P5 <sub>5</sub> /SCK <sub>1</sub>
—	—	28	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
31	23	29	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>
32	24	30	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>	P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub>
33	25	31	P7 <sub>2</sub> /KEYIN <sub>6</sub>	P7 <sub>2</sub> /KEYIN <sub>6</sub>	P7 <sub>2</sub> /KEYIN <sub>6</sub>
34	26	32	P7 <sub>3</sub> /KEYIN <sub>7</sub>	P7 <sub>3</sub> /KEYIN <sub>7</sub>	P7 <sub>3</sub> /KEYIN <sub>7</sub>
—	—	33	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
35	27	34	AS	AS	P7 <sub>4</sub> /CS <sub>1</sub>
36	28	35	WR	WR	P7 <sub>5</sub> /IOW
37	29	36	RD	RD	P7 <sub>6</sub> /IOR
—	—	37	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
38	30	38	P7 <sub>7</sub> /WAIT	P7 <sub>7</sub> /WAIT	P7 <sub>7</sub> /HA <sub>0</sub>
39	31	39	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
40	32	40	A <sub>15</sub>	P2 <sub>7</sub> /A <sub>15</sub>	P2 <sub>7</sub>
41	33	41	A <sub>14</sub>	P2 <sub>6</sub> /A <sub>14</sub>	P2 <sub>6</sub>
42	34	42	A <sub>13</sub>	P2 <sub>5</sub> /A <sub>13</sub>	P2 <sub>5</sub>
43	35	43	A <sub>12</sub>	P2 <sub>4</sub> /A <sub>12</sub>	P2 <sub>4</sub>
44	36	44	A <sub>11</sub>	P2 <sub>3</sub> /A <sub>11</sub>	P2 <sub>3</sub>
—	—	45	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
45	37	46	A <sub>10</sub>	P2 <sub>2</sub> /A <sub>10</sub>	P2 <sub>2</sub>
46	38	47	A <sub>9</sub>	P2 <sub>1</sub> /A <sub>9</sub>	P2 <sub>1</sub>
47	39	48	A <sub>8</sub>	P2 <sub>0</sub> /A <sub>8</sub>	P2 <sub>0</sub>
—	—	49	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
—	—	50	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
48	40	51	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
49	41	52	A <sub>7</sub>	P1 <sub>7</sub> /A <sub>7</sub>	P1 <sub>7</sub>
50	42	53	A <sub>6</sub>	P1 <sub>6</sub> /A <sub>6</sub>	P1 <sub>6</sub>
51	43	54	A <sub>5</sub>	P1 <sub>5</sub> /A <sub>5</sub>	P1 <sub>5</sub>
52	44	55	A <sub>4</sub>	P1 <sub>4</sub> /A <sub>4</sub>	P1 <sub>4</sub>
—	—	56	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
53	45	57	A <sub>3</sub>	P1 <sub>3</sub> /A <sub>3</sub>	P1 <sub>3</sub>
54	46	58	A <sub>2</sub>	P1 <sub>2</sub> /A <sub>2</sub>	P1 <sub>2</sub>

表 1.4 モード別ピン配置一覧 (H8 / 3202) (3)

ピン番号			拡張モード		シングルチップモード
DP-64S	FP-64A	TFP-80C	モード1	モード2	モード3
55	47	59	A <sub>1</sub>	P1 <sub>1</sub> /A <sub>1</sub>	P1 <sub>1</sub>
56	48	60	A <sub>0</sub>	P1 <sub>0</sub> /A <sub>0</sub>	P1 <sub>0</sub>
57	49	61	D <sub>0</sub>	D <sub>0</sub>	P3 <sub>0</sub> /HDB <sub>0</sub>
58	50	62	D <sub>1</sub>	D <sub>1</sub>	P3 <sub>1</sub> /HDB <sub>1</sub>
59	51	63	D <sub>2</sub>	D <sub>2</sub>	P3 <sub>2</sub> /HDB <sub>2</sub>
60	52	64	D <sub>3</sub>	D <sub>3</sub>	P3 <sub>3</sub> /HDB <sub>3</sub>
—	—	65	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
61	53	66	D <sub>4</sub>	D <sub>4</sub>	P3 <sub>4</sub> /HDB <sub>4</sub>
62	54	67	D <sub>5</sub>	D <sub>5</sub>	P3 <sub>5</sub> /HDB <sub>5</sub>
63	55	68	D <sub>6</sub>	D <sub>6</sub>	P3 <sub>6</sub> /HDB <sub>6</sub>
64	56	69	D <sub>7</sub>	D <sub>7</sub>	P3 <sub>7</sub> /HDB <sub>7</sub>
—	—	70	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>

## (2) 端子機能

各端子の機能について表 1.5 に示します。

表 1.5 端子機能(1)

分類	記号	ピン番号			入出力	名称および機能
		DC-64S DP-64S	FP-64A	TFP-80C		
電源	V <sub>cc</sub>	14, 39	6, 31	7, 39	入力	電源 電源に接続します。 V <sub>cc</sub> 端子は、全端子、システムの電源に接続してください。
	V <sub>ss</sub>	16, 48	8, 40	9, 51  6, 10, 11, 15, 24, 28, 33, 37, 45, 49, 50, 56, 65, 70, 71, 76	入力	グラウンド 電源(0V)に接続します。 V <sub>ss</sub> 端子は、全端子、システムの電源(0V)に接続してください。
クロック	XTAL	9	1	1	入力	水晶発振子を接続します。周波数は、システムクロックと同じものを使用してください。 EXTAL 端子から外部クロックを入力するときは、XTAL端子に逆相クロックを入力してください。
	EXTAL	10	2	2	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。外部クロック入力の周波数は、システムクロックと同じものを使用してください。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については「第6章 クロック発振器」を参照してください。
	φ	23	15	19	出力	システムクロック 周辺デバイスにシステムクロックを供給します。

表 1.5 端子機能(2)

分類	記号	ピン番号			入出力	名称および機能
		DC-64S DP-64S	FP-64A	TFP-80C		
システム制御	$\overline{\text{RES}}$	8	64	80	入力	<u>リセット</u> この端子が“Low”レベルになると、リセット状態になります。
	$\overline{\text{STBY}}$	15	7	8	入力	<u>スタンバイ</u> ハードウェアスタンバイモード（低消費電力状態）に移移するための入力端子です。 $\overline{\text{STBY}}$ 端子を“Low”レベルにすると、ハードウェアスタンバイモードに移移します。
アドレスバス	$A_{15} \sim A_0$	40~47, 49~56	32~39, 41~48	40~44, 46~48, 52~55, 57~60	出力	<u>アドレスバス</u> アドレスを出力する端子です。
データバス	$D_7 \sim D_0$	64~57	56~49	69~66, 64~61	入出力	<u>データバス</u> 8ビットの双方向データバスです。
バス制御	$\overline{\text{WAIT}}$	38	30	38	入力	<u>ウェイト</u> CPUが外部アドレスをアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	37	29	36	出力	<u>リード</u> この端子が“Low”レベルのとき、CPUは外部アドレスのリード状態であることを示します。
	$\overline{\text{WR}}$	36	28	35	出力	<u>ライト</u> この端子が“Low”レベルのとき、CPUは外部アドレスのライト状態であることを示します。
	$\overline{\text{AS}}$	35	27	34	出力	<u>アドレスストロープ</u> この端子が“Low”レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。

表 1.5 端子機能(3)

分類	記号	ピン番号			入出力	名称および機能																
		DC-64S DP-64S	FP-64A	TFP-80C																		
割込み	$\overline{NMI}$	13	5	5	入力	<u>ノンマスクブル割込み</u> マスク不可能な割込みを要求する端子です。 システムコントロールレジスタ (SYS CR) によって立上がりエッジ/立下がりエッジのどちらで受け付けられるかを選択します。																
	$\overline{IRQ_0} \sim$ $\overline{IRQ_2}$	5 ~ 7	61~63	77~79	入力	<u>割込み要求 0 ~ 2</u> マスク可能な割込みを要求する端子です。																
動作モード コントロール	MD <sub>1</sub>	11	3	3	入力	モード端子 本LSIの動作モードを設定する端子です。MD <sub>1</sub> 、MD <sub>0</sub> 端子と動作モードの関係は次の通りです。																
	MD <sub>0</sub>	12	4	4																		
<table border="1"> <thead> <tr> <th>MD<sub>1</sub></th> <th>MD<sub>0</sub></th> <th>動作モード</th> <th>内 容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>内蔵ROM有効拡張モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>シングルチップモード</td> </tr> </tbody> </table>							MD <sub>1</sub>	MD <sub>0</sub>	動作モード	内 容	0	1	モード1	内蔵ROM無効拡張モード	1	0	モード2	内蔵ROM有効拡張モード	1	1	モード3	シングルチップモード
MD <sub>1</sub>	MD <sub>0</sub>	動作モード	内 容																			
0	1	モード1	内蔵ROM無効拡張モード																			
1	0	モード2	内蔵ROM有効拡張モード																			
1	1	モード3	シングルチップモード																			
16ビットフリーランニング タイマ (FRT)	FTCI	1	57	72	入力	<u>FRTカウンタクロック入力</u> フリーランニングカウンタ (FRC) に入力する外部クロックの入力端子です。																
	FTOA	2	58	73	出力	<u>FRTアウトプットコンペアA出力</u> アウトプットコンペアAの出力端子です。																
	FTOB	3	59	74	出力	<u>FRTアウトプットコンペアB出力</u> アウトプットコンペアBの出力端子です。																
	FTI	4	60	75	入力	<u>FRTインプットキャプチャ入力</u> インプットキャプチャの入力端子です。																
8ビットタイマ  (H8/3202 には、チャ ネルXが内 蔵されて いません。)	TMO <sub>0</sub>	18	10	13	出力	<u>8ビットタイマ出力 (チャンネル0, 1, X)</u> 8ビットタイマのコンペアマッチ出力端子です。																
	TMO <sub>1</sub>	21	13	17																		
	TMO <sub>X</sub>	24	16	20																		

表 1.5 端子機能(4)

分類	記号	ピン番号			入出力	名称および機能
		DC-64S DP-64S	FP-64A	TFP-80C		
8ビットタイマ  (H8/3202) には、チャネルXが内蔵されていません。	TMCI <sub>0</sub>	17	9	12	入力	8ビットタイマクロック入力(チャネル0, 1, X)
	TMCI <sub>1</sub>	20	12	16		8ビットタイマのカウンタに入力する外部クロックの入力端子です。
	FBACKI	23	15	19		
	TMRI <sub>0</sub>	19	11	14	入力	8ビットタイマリセット入力 (チャネル0, 1, X)
	TMRI <sub>1</sub>	22	14	18		8ビットタイマのカウンタリセット入力端子です。
	FBACKI	23	15	19		
シリアルコミュニケーションインタフェース (SCI)  (H8/3212) には、チャネル1が内蔵されていません。	TxD <sub>0</sub>	25	17	21	出力	シリアル送信データ出力(チャネル0, 1) SCIのデータ出力端子です。
	TxD <sub>1</sub>	28	20	25		
	RxD <sub>0</sub>	26	18	22	入力	シリアル受信データ入力(チャネル0, 1) SCIのデータ入力端子です。
	RxD <sub>1</sub>	29	21	26		
	SCK <sub>0</sub>	27	19	23	入出力	シリアルクロック入出力(チャネル0, 1) SCIのクロック入出力端子です。
	SCK <sub>1</sub>	30	22	27		
I/Oポート	P1 <sub>7</sub> ~P1 <sub>0</sub>	49~56	41~48	52~55, 57~60	入出力	<u>ポート1</u> 8ビットの入出力端子です。ポート1データディレクションレジスタ(P1DDR)によって、1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。
	P2 <sub>7</sub> ~P2 <sub>0</sub>	40~47	32~39	40~44, 46~48		<u>ポート2</u> 8ビットの入出力端子です。P2DDRによって、1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。
	P3 <sub>7</sub> ~P3 <sub>0</sub>	64~57	56~49	69~66, 64~61		<u>ポート3</u> 8ビットの入出力端子です。P3DDRによって、1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。

表 1.5 端子機能(5)

分類	記号	ピン番号			入出力	名称および機能
		DC-64S DP-64S	FP-64A	TFP-80C		
I/Oポート	P4 <sub>0</sub> ~P4 <sub>7</sub>	24~17	16~9	20~16, 14~12	入出力	<u>ポート4</u> 8ビットの入出力端子です。P4DDRによって、1ビットごとに入出力を指定できます(P4 <sub>0</sub> を除く)。
	P5 <sub>0</sub> ~P5 <sub>5</sub>	30~25	22~17	27~25 23~21	入出力	<u>ポート5</u> 6ビットの入出力端子です。P5DDRによって、1ビットごとに入出力を指定できます。
	P6 <sub>0</sub> ~P6 <sub>6</sub>	7~1	63~57	79~77, 75~72	入出力	<u>ポート6</u> 7ビットの入出力端子です。P6DDRによって、1ビットごとに入出力を指定できます。
	P7 <sub>0</sub> ~P7 <sub>7</sub>	38~31	30~23	38 36~34, 32~29	入出力	<u>ポート7</u> 8ビットの入出力端子です。P7DDRによって、1ビットごとに入出力を指定できます。
PWMタイマ (H8/3202以外)	PW <sub>1,5</sub> ~PW <sub>6</sub>	40~47, 49~56	32~39, 41~48	40~44, 46~48, 52~55, 57~60	出力	<u>PWMタイマ出力</u> PWMタイマのパルス出力端子です。
タイマ コネクション (H8/3202以外)	VSYNCI	4	60	75	入力	<u>タイマコネクション入力</u> タイマコネクション(FRT, TMR1, TMRX)の入力端子です。
	HSYNCI	20	12	16		
	CSYNCI	22	14	18		
	FBACKI	23	15	19		
	VSYNCO	3	59	74	出力	<u>タイマコネクション出力</u> タイマコネクション(FRT, TMR1, TMRX)の出力端子です。
	HSYNCO	21	13	17		
CLAMPO	24	16	20			
I <sup>2</sup> Cバスインタフェース 【オプション】 (H8/3202には、チャネル1が内蔵されていません)	SCL <sub>0</sub>	31	23	29	入出力	<u>I<sup>2</sup>Cクロック入出力(チャネル0, 1)</u> I <sup>2</sup> Cのクロック入出力端子です。 バス駆動機能を持っています。
	SCL <sub>1</sub>	33	25	31		
	SDA <sub>0</sub>	32	24	30	入出力	<u>I<sup>2</sup>Cデータ入出力(チャネル0, 1)</u> I <sup>2</sup> Cのデータ入出力端子です。 バス駆動機能を持っています。
SDA <sub>1</sub>	34	26	32			

表 1.5 端子機能(6)

分類	記号	ピン番号			入出力	名称および機能
		DC-64S DP-64S	FP-64A	TFP-80C		
ホストインタフェース (HIF) (H8/3212以外)	HDB <sub>0</sub> ~ HDB <sub>7</sub>	57~64	49~56	61~64, 66~69	入出力	ホストインタフェースデータバス ホストがホストインタフェースをアクセスするための双方向8ビットバスです。
	CS <sub>1</sub> , CS <sub>2</sub>	35, 23	27, 15	34, 19	入力	チップセレクト1、2 ホストインタフェースのチャンネル1またはチャンネル2の選択するための入力端子です。
	$\overline{\text{IOR}}$	37	29	36	入力	I/Oリード ホストインタフェースへのリードを許可する入力端子です。
	$\overline{\text{IOW}}$	36	28	35	入力	I/Oライト ホストインタフェースへのライトを許可する入力端子です。
	HA <sub>0</sub>	38	30	38	入力	コマンド/データ データアクセスかコマンドアクセスかを示すための入力端子です。
	GA <sub>20</sub>	24	16	20	出力	GATE A <sub>20</sub> GATE A <sub>20</sub> コントロール信号出力端子です。
	HIRQ <sub>1</sub> , HIRQ <sub>11</sub> , HIRQ <sub>12</sub> ,	21 20 22	13 12 14	17 16 18	出力	ホスト割込み1、11、12 ホストへの割込み要求出力端子です。
キーボード コントロール (H8/3212以外)	KEYIN <sub>0</sub> ~ KEYIN <sub>7</sub>	1~4, 31~34	57~60, 23~26	72~75, 29~32	入力	キーセンス入力 マトリクスキーボードのための入力端子です(通常はP1 <sub>1</sub> ~P1 <sub>7</sub> とP2 <sub>0</sub> ~P2 <sub>7</sub> をキーボードスキャン用出力として使用します。これにより、最大16出力×8入力、128キーのマトリックスが構成できます。他のポート出力を用いてキー数を増すことも可能です)。



# 2. CPU

## 第 2 章 目次

2.1	概要	29
2.1.1	特長	29
2.1.2	アドレス空間	30
2.1.3	レジスタ構成	30
2.2	各レジスタの説明	31
2.2.1	汎用レジスタ	31
2.2.2	コントロールレジスタ	31
2.2.3	CPU内部レジスタの初期値	33
2.3	データ構成	33
2.3.1	汎用レジスタのデータ構成	34
2.3.2	メモリ上でのデータ構成	35
2.4	アドレッシングモード	36
2.4.1	アドレッシングモード	36
2.4.2	実効アドレスの計算方法	38
2.5	命令セット	42
2.5.1	データ転送命令	44
2.5.2	算術演算命令	46
2.5.3	論理演算命令	47
2.5.4	シフト命令	47
2.5.5	ビット操作命令	49
2.5.6	分岐命令	55
2.5.7	システム制御命令	57
2.5.8	ブロック転送命令	58

2.6	処理状態	59
2.6.1	概要	59
2.6.2	プログラム実行状態	60
2.6.3	例外処理状態	60
2.6.4	低消費電力状態	60
2.7	基本動作タイミング	61
2.7.1	内蔵メモリ（RAM、ROM）	61
2.7.2	内蔵周辺モジュール／外部デバイス	63

---

## 2.1 概要

H8/300CPUは、8ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速CPUです。

### 2.1.1 特長

H8/300CPUには、次の特長があります。

#### ■汎用レジスタ方式

8ビット×16本（16ビット×8本としても使用可能）

#### ■57種類の基本命令

- 乗除算命令
- 強力なビット操作命令

#### ■8種類のアドレッシングモード

- レジスタ直接（Rn）
- レジスタ間接（@Rn）
- ディスプレイメント付レジスタ間接（@（d:16, Rn））
- ポストインクリメント／プリデクリメントレジスタ間接（@Rn+／@-Rn）
- 絶対アドレス（@aa:8／@aa:16）
- イミディエイト（#xx:8／#xx:16）
- プログラムカウンタ相対（@（d:8, PC））
- メモリ間接（@@aa:8）

#### ■64kバイトのアドレス空間

#### ■高速動作

- 頻出命令をすべて2～4ステートで実行
- 最高動作周波数：16MHz／5V、12MHz／4V、10MHz／3V（φクロック）

8／16ビットレジスタ間加減算	125ns(16MHz動作時)、167ns(12MHz動作時)、 200ns(10MHz動作時)
8×8ビット乗算	875ns(16MHz動作時)、1167ns(12MHz動作時)、 1400ns(10MHz動作時)
16÷8ビット除算	875ns(16MHz動作時)、1167ns(12MHz動作時)、 1400ns(10MHz動作時)

#### ■低消費電力動作

SLEEP命令により低消費電力状態に遷移

## 2.1.2 アドレス空間

H8/300 CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップはモード（モード1、2、3）別に異なります。詳細は、「3.5各動作モードのメモリマップ」を参照してください。

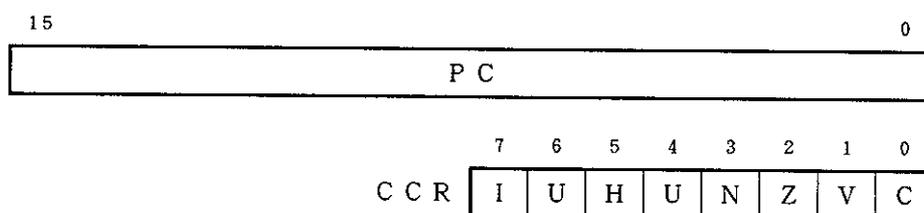
## 2.1.3 レジスタ構成

H8/300 CPUの内部レジスタ構成を図2.1に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

### 汎用レジスタ (Rn)

7	0	7	0
R 0 H		R 0 L	
R 1 H		R 1 L	
R 2 H		R 2 L	
R 3 H		R 3 L	
R 4 H		R 4 L	
R 5 H		R 5 L	
R 6 H		R 6 L	
R 7 H	( S P )	R 7 L	

### コントロールレジスタ (CR)



#### <記号説明>

- SP : スタックポインタ
- PC : プログラムカウンタ
- CCR : コンディションコードレジスタ
- I : 割込みマスクビット
- U : ユーザビット
- H : ハーフキャリフラグ
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図2.1 CPU内部レジスタ構成

## 2.2 各レジスタの説明

### 2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R0H～R7H）と下位（R0L～R7L）を別々に使用することも、また16ビットレジスタ（R0～R7）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R0～R7）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.2に示します。

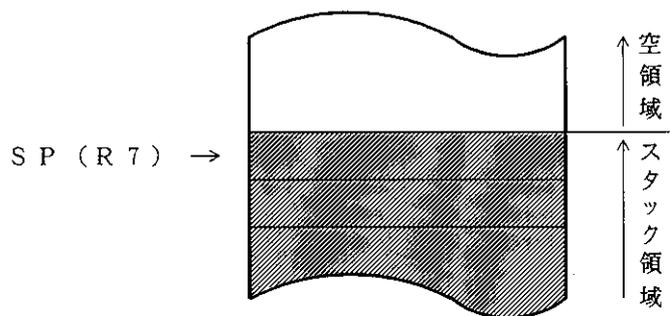


図2.2 スタックの状態

### 2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

#### (1) プログラムカウンタ（PC）

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

#### (2) コンディションコードレジスタ（CCR）

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

ビット7：割込みマスクビット（I）

本ビットが“1”にセットされると、割込みがマスクされます。ただし、NMIはIビットに関係なく常に受け付けられます。例外処理の実行が開始されたときに“1”にセットされます。

ビット6：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

ビット5：ハーフキャリフラグ（H）

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

DAAおよびDAS命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

ビット3：ネガティブフラグ（N）

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ（Z）

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ（V）

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ（C）

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。

各命令ごとのフラグの変化については、「H8／300シリーズ プログラミングマニュアル」を参照してください。

### 2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタからロードすることにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7（SP）の初期値も不定です。したがって、リセット直後に、R7の初期化を行ってください。

## 2.3 データ構成

H8/300CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）のデータを扱うことができます。

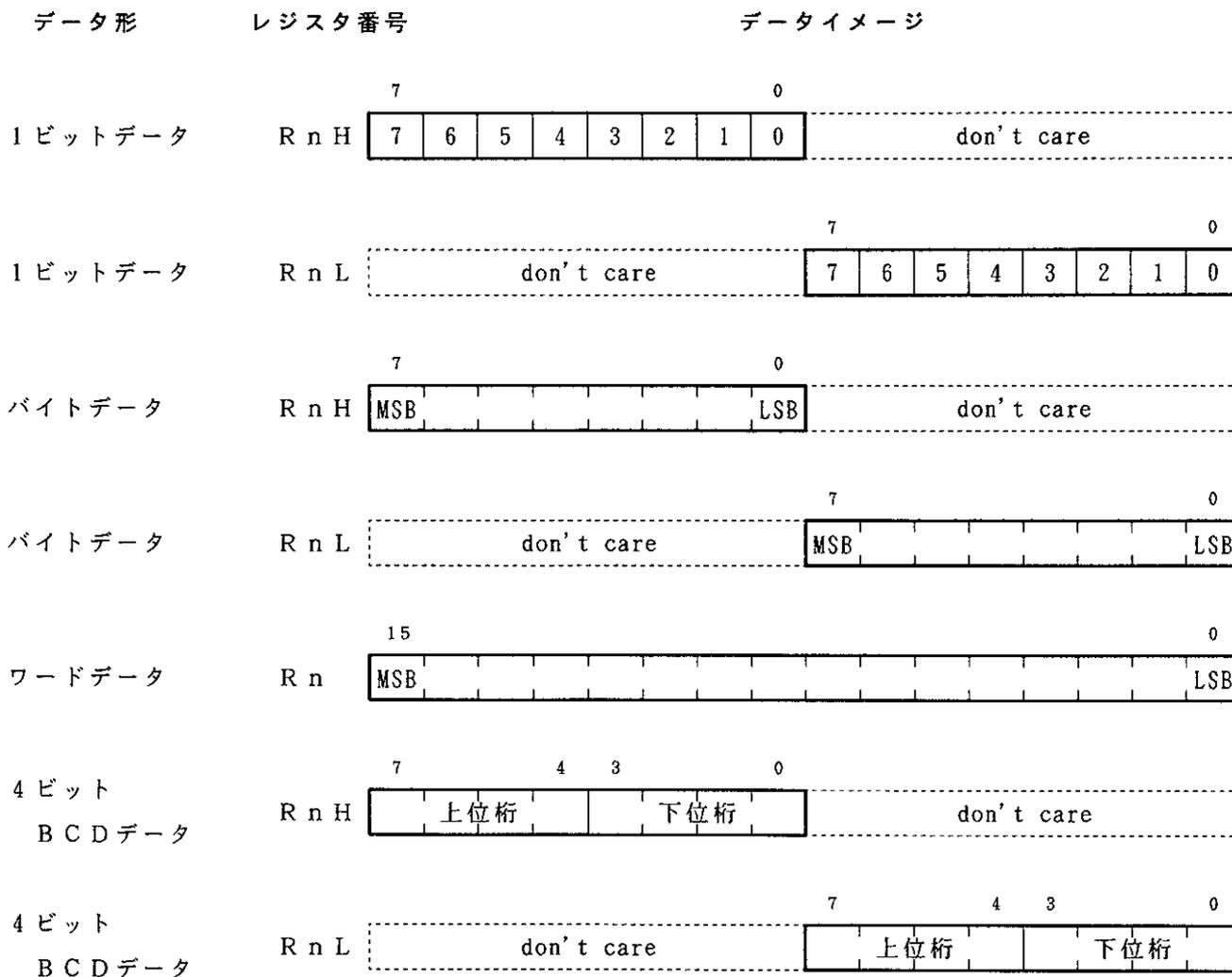
1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（n = 0, 1, 2, …… 7）という形式でアクセスされます。

バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

### 2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。



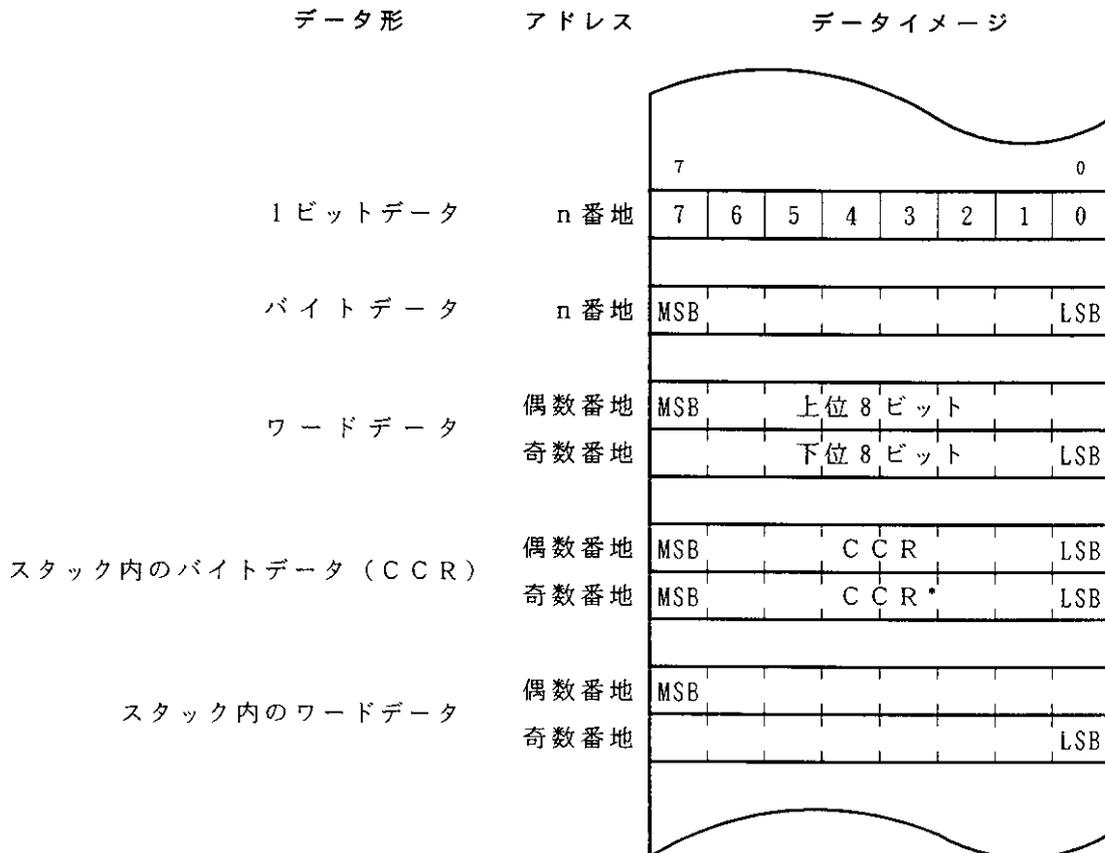
〈記号説明〉

- R n H : 汎用レジスタ上位
- R n L : 汎用レジスタ下位
- MSB : 最上位ビット
- LSB : 最下位ビット

図 2.3 汎用レジスタのデータ構成

### 2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。H8/300CPUは、メモリ上のワードデータをアクセスすることができます(MOV.W命令)が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。



\*【注】 リターン時には無視されます。

<記号説明>

CCR : コンディションコードレジスタ

図2.4 メモリ上でのデータ構成

なお、R7をアドレスレジスタとして、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCRは、ワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には、下位8ビットは無視されます。

## 2.4 アドレッシングモード

### 2.4.1 アドレッシングモード

H8/300CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@R n
③	ディスプレイメント付レジスタ間接	@(d:16, Rn)
④	ポストインクリメントレジスタ間接	@R n +
	プリデクリメントレジスタ間接	@-R n
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@(d:8, PC)
⑧	メモリ間接	@@aa:8

#### ① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）の各命令です。

#### ② レジスタ間接 @R n

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

#### ③ ディ스플레이メント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3、第4バイト）の16ビットディスプレイメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

#### ④ ポストインクリメントレジスタ間接 @R n + / プリデクリメントレジスタ間接 @-R n

##### ▪ ポストインクリメントレジスタ間接 @R n +

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、

加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

▪ プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて“1”(H'FF)となります。したがって、アクセス範囲は65280~65535 (H'FF00~H'FFFF) 番地です。

⑥ イミディエイト #xx:8 / #xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。PCの内容に、命令コードの第2バイトの8ビットディスプレイメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレイメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト (-63~+64ワード) です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて“0”(H'00)とされますので、分岐アドレスを格納できるのは0~255 (H'0000~H'00FF) 番地です。ただし、この領域の一部はベクタ領域と共通になっていますから注意してください。(「3.5 各動作モードのメモリマップ」を参照してください)

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

## 2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (E A : Effective Address) の計算法を表 2.2 に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および⑥イミディエイト (3 ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法(1)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	レジスタ直接 R n 		
②	レジスタ間接 @R n 		
③	ディスプレースメント付レジスタ間接 @(d:16, R n) 		
④	ホストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ホストインクリメントレジスタ間接 @R n +  ・プリデクリメントレジスタ間接 @-R n 		

オペランドサイズがバイトのとき 1、ワードのとき 2 が加減算されます。

表 2.2 実効アドレスの計算方法(2)

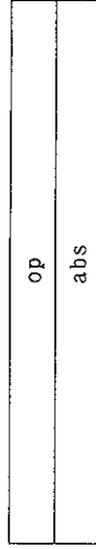
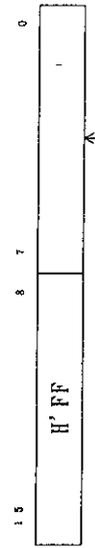
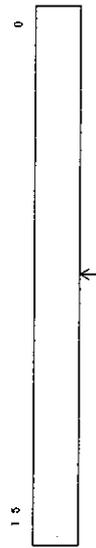
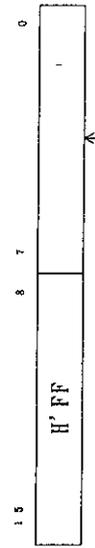
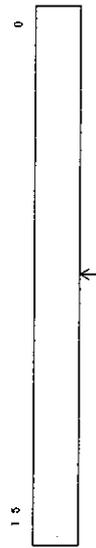
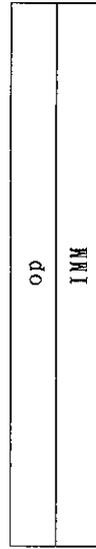
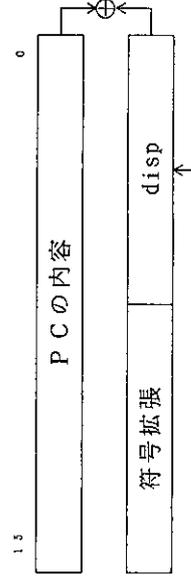
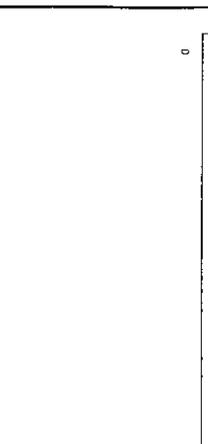
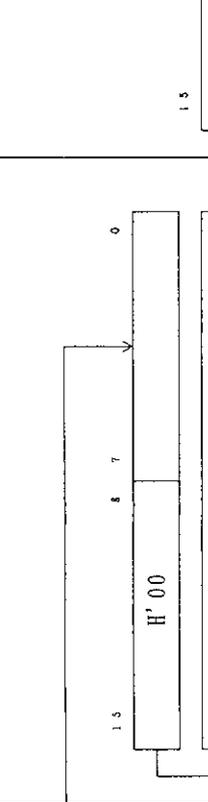
No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	絶対アドレス @aa:8  @aa:16 	 	 
⑥	イミディエイト #xx:8  #xx:16 		オペランドはイミディエイトデータの1または2バイトデータです。
⑦	プログラムカウンタ相対 @ (d:8, PC) 		

表 2.2 実効アドレスの計算方法(3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
③	メモリ間接@aa:8 		

<記号説明>

- reg, regm, regn : 汎用レジスタ
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

## 2.5 命令セット

H8/300CPUの命令は合計57種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV, MOVFPE <sup>*3</sup> , MOVTPE <sup>*3</sup> , POP <sup>*1</sup> , PUSH <sup>*1</sup>	3
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc <sup>*2</sup> , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計57種

\*1【注】 POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。

\*2【注】 Bccは条件分岐命令の総称です。

\*3【注】 本LSIでは使用できません。

各命令の機能について表 2.4～表 2.11に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

R d	汎用レジスタ（デスティネーション側）
R s	汎用レジスタ（ソース側）
R n	汎用レジスタ
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
C C R	コンディションコードレジスタ
N	C C RのN（ネガティブ）フラグ
Z	C C RのZ（ゼロ）フラグ
V	C C RのV（オーバフロー）フラグ
C	C C RのC（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:3/:8/:16	3/8/16ビット長

## 2.5.1 データ転送命令

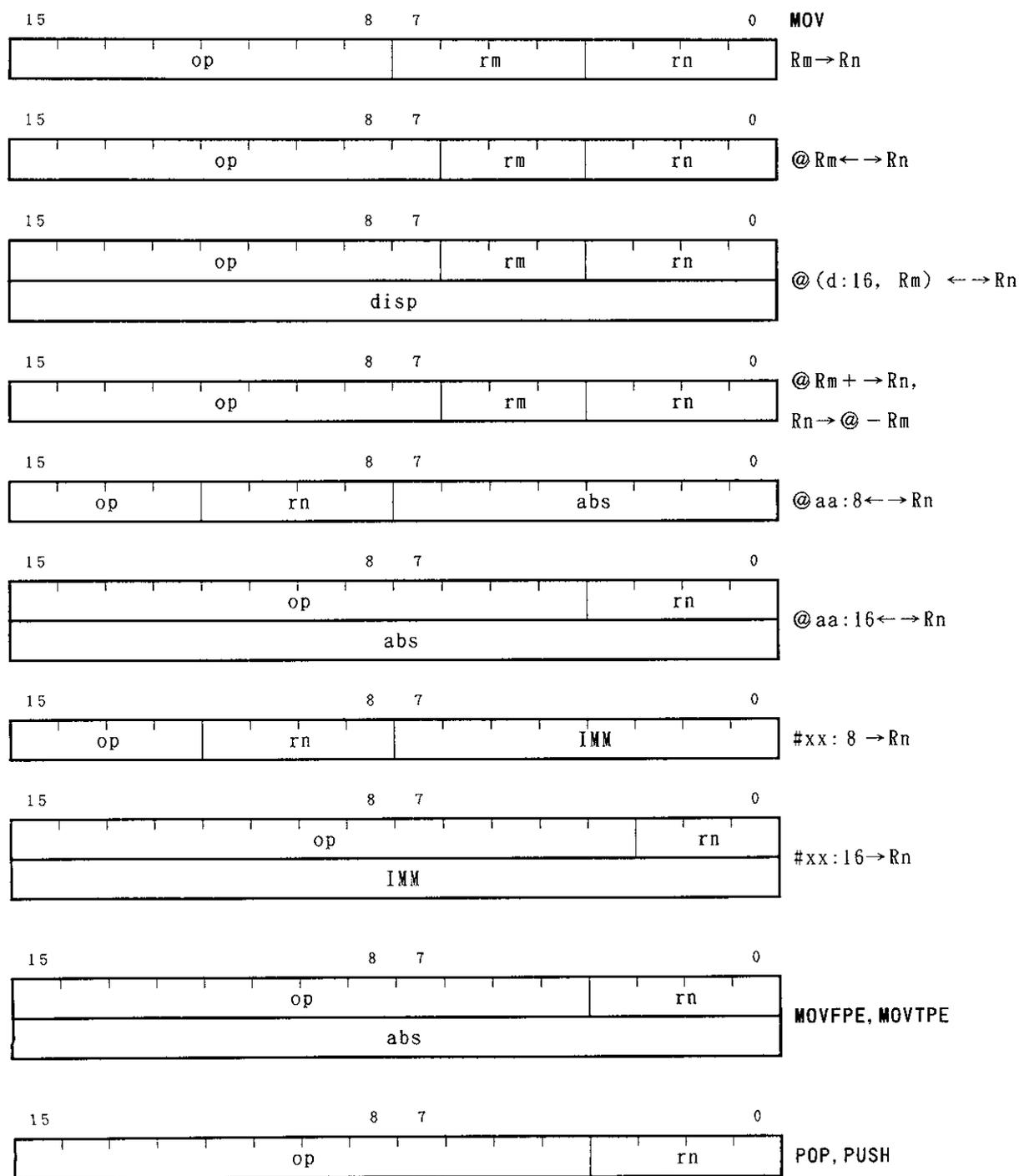
データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B/W	<p>(EAs) → Rd, Rs → (EAd)</p> <p>汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。</p> <p>ワードデータはRn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8はバイトデータのみです。</p> <p>ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。</p>
MOVFP	B	本LSIでは使用できません。
MOVTPE	B	本LSIでは使用できません。
POP	W	<p>@SP+ → Rn</p> <p>スタックから汎用レジスタへデータを復帰します。</p> <p>本命令はMOV.W @SP+, Rnと同一です。</p>
PUSH	W	<p>Rn → @-SP</p> <p>汎用レジスタの内容をスタックに退避します。</p> <p>本命令はMOV.W Rn, @-SPと同一です。</p>

\*【注】 サイズはオペランドサイズを示します。  
 B : バイト  
 W : ワード

データ転送命令の命令フォーマットを図 2.5 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.5 データ転送命令の命令フォーマット

## 2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命 令	サイズ*	機 能
A D D S U B	B / W	$Rd \pm Rs \longrightarrow Rd$ , $Rd + \#IMM \longrightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
A D D X S U B X	B	$Rd \pm Rs \pm C \longrightarrow Rd$ , $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
I N C D E C	B	$Rd \pm 1 \longrightarrow Rd$ 汎用レジスタに 1 を加減算します。
A D D S S U B S	W	$Rd \pm 1 \longrightarrow Rd$ , $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
D A A D A S	B	$Rd$ (10進補正) $\longrightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
M U L X U	B	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビットの演算が可能です。
D I V X U	B	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット $\div$ 8 ビット $\rightarrow$ 商 8 ビット 余り 8 ビットの演算が可能です。
C M P	B / W	$Rd - Rs$ , $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
N E G	B	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

\*【注】 サイズはオペランドサイズを示します。  
B : バイト  
W : ワード

### 2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
AND	B	$Rd \wedge Rs \longrightarrow Rd$ , $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \vee Rs \longrightarrow Rd$ , $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \longrightarrow Rd$ , $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

\*【注】 サイズはオペランドサイズを示します。  
B：バイト

### 2.5.4 シフト命令

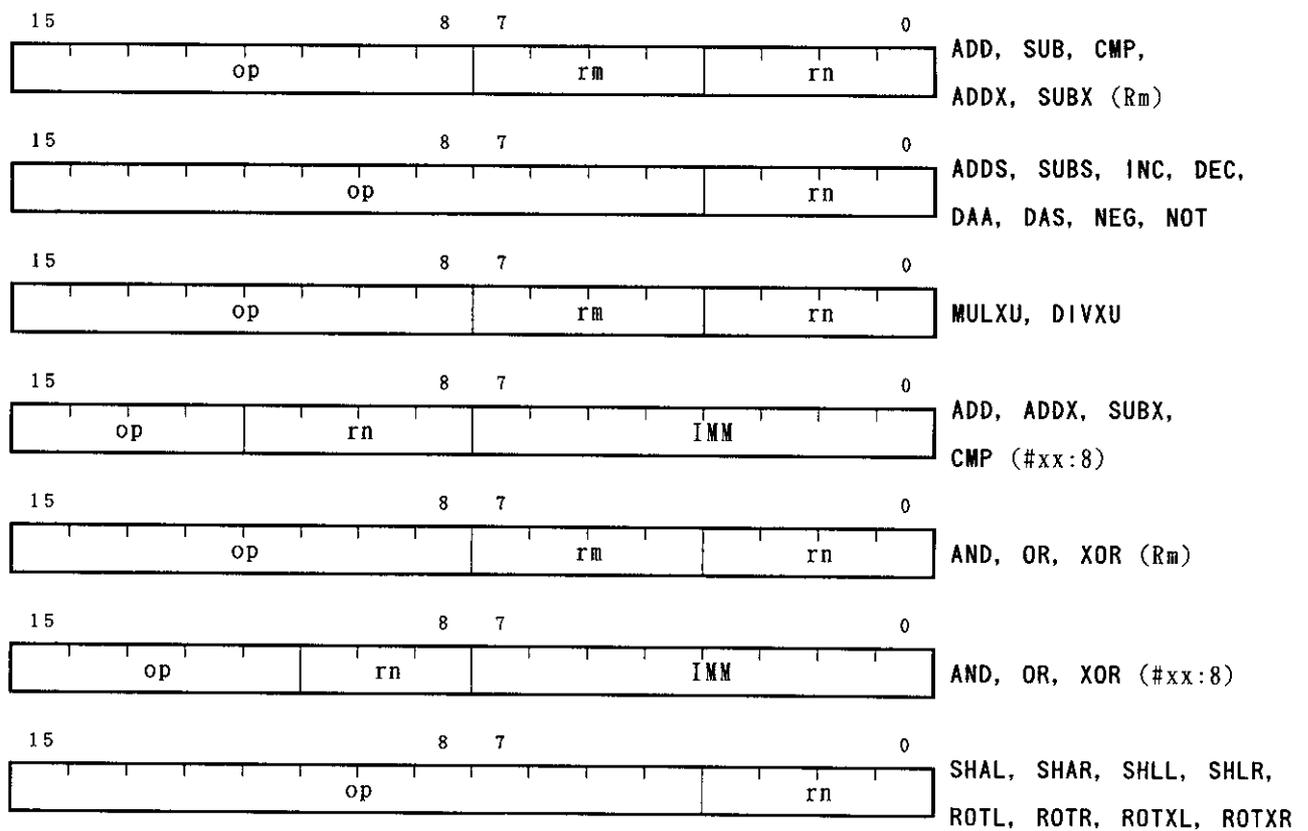
シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B	$Rd$ （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd$ （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd$ （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd$ （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

\*【注】 サイズはオペランドサイズを示します。  
B：バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

## 2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令(1)

命 令	サイズ*	機 能
BSET	B	$1 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BCLR	B	$0 \longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BNOT	B	$\sim (\text{<ビット番号> of <EA d>})$ $\longrightarrow (\text{<ビット番号> of <EA d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	$\sim (\text{<ビット番号> of <EA d>}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	$C \wedge (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\text{<ビット番号> of <EA d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

\*【注】 サイズはオペランドサイズを示します。  
 B：バイト

表 2.8 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (\text{<ビット番号> of <EA d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
B X O R	B	$C \oplus (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (\text{<ビット番号> of <EA d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
B L D	B	$(\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (\text{<ビット番号> of <EA d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

\*【注】 サイズはオペランドサイズを示します。  
 B : バイト

表 2.8 ビット操作命令(3)

命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	~C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

\*【注】 サイズはオペランドサイズを示します。  
B : バイト

【ビット操作命令使用上の注意】

B S E T、B C L R、B N O T、B S T、B I S Tの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、ライト専用ビットを含むレジスタ、または、ポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動 作 内 容
1	リ ー ド 指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作 リードしたデータの指定された1ビットを操作します。
3	ラ イ ト 指定したアドレスに操作したデータ (バイト単位) をライトします。

〔例〕

ポート1のDDRに、BCLR命令を実行した例を示します。

P1<sub>7</sub>、P1<sub>6</sub>は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとし、P1<sub>5</sub>～P1<sub>0</sub>は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

ここで、BCLR命令で、P1<sub>0</sub>を入力ポートにする例を示します。

【A； BCLR命令を実行前】

	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【B； BCLR命令を実行】

`BCLR #0, @P1DDR` DDRに対してBCLR命令を実行します。

【C； BCLR命令を実行後】

	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
入出力	出力	入力						
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

【D； BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にP1DDRをリードします。

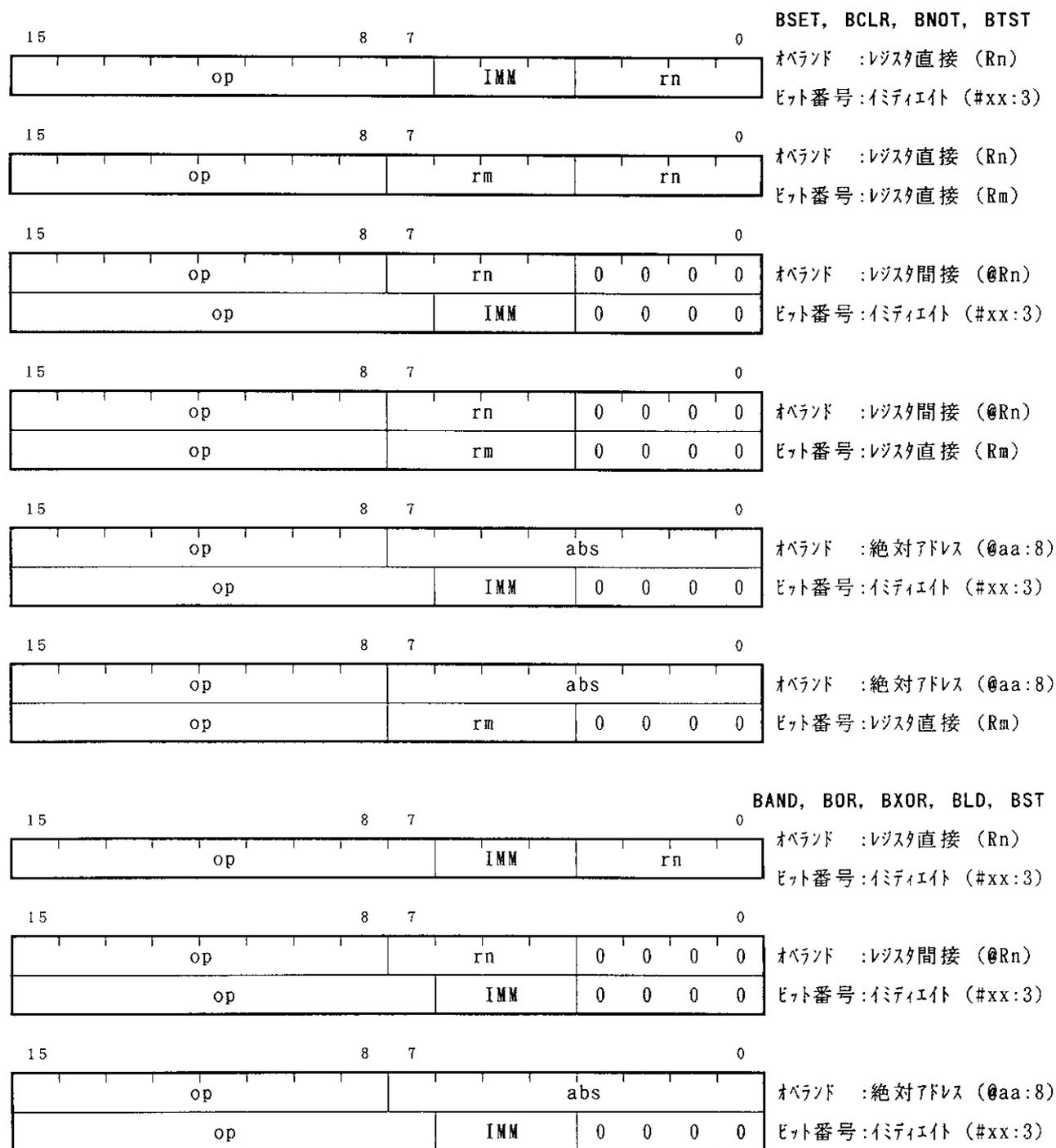
P1DDRはライト専用レジスタですので、CPUはH'FFをリードします。

したがって、この例では、DDRはH'3Fですが、CPUがリードしたデータはH'FFとなります。つぎに、CPUは、リードしたデータのビット0を“0”にクリアして、データをH'FEに変更します。

最後に、このデータ（H'FE）をDDRに書き込んで、BCLR命令を終了します。

その結果、P1<sub>0</sub>は、DDRが“0”になり、入力ポートになります。しかし、入力ポートであったビット7、6のDDRが1になって、出力ポートに変化してしまいます。

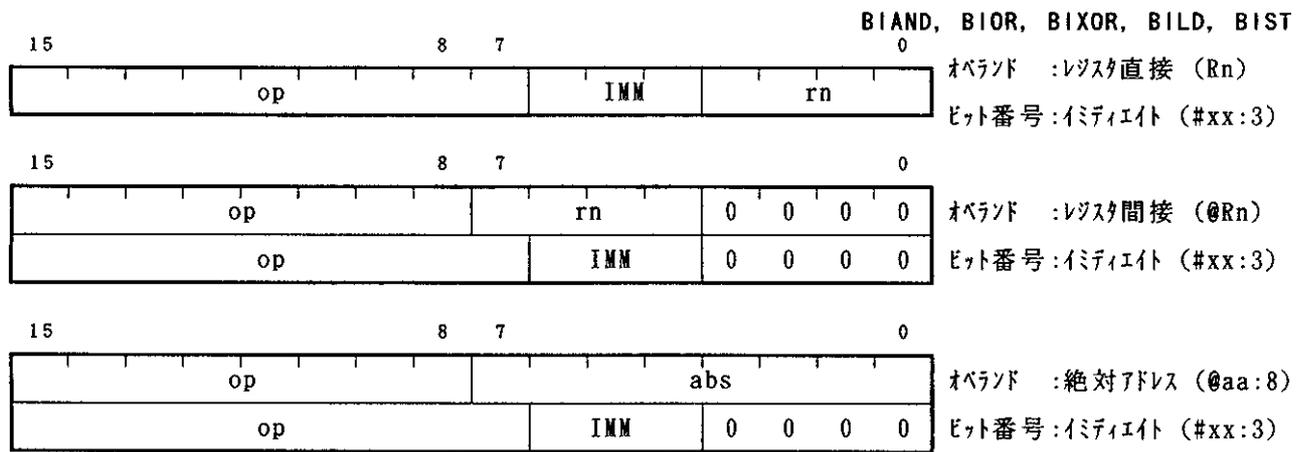
ビット操作命令の命令フォーマットを図 2.7 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(1)



<記号説明>

op : オペレーションフィールド

rm, rn : レジスタフィールド

abs : 絶対アドレス

IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(2)

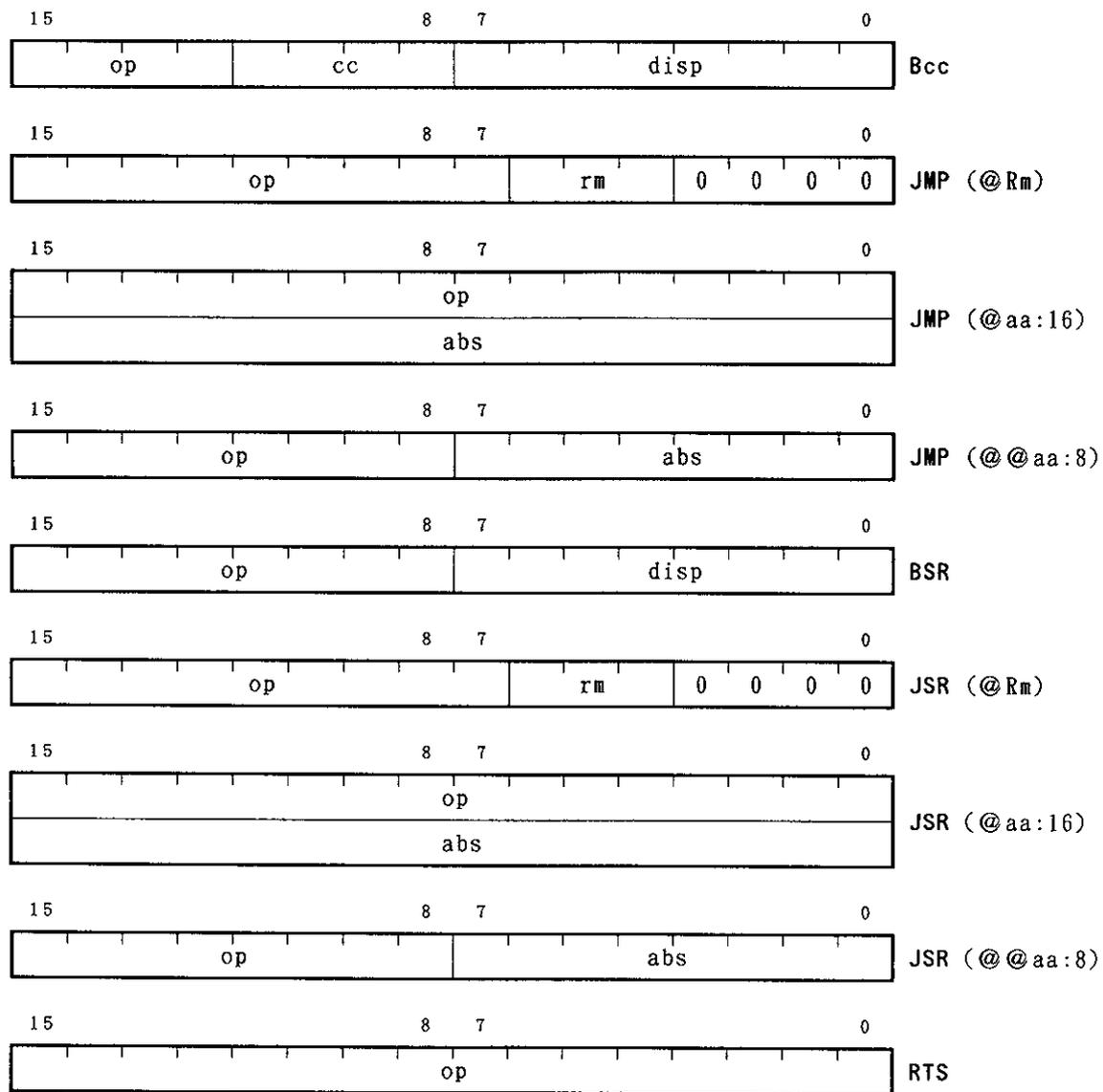
## 2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能																																																			
B c c	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td><math>C \vee Z = 0</math></td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td><math>C \vee Z = 1</math></td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td><math>C = 0</math></td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td><math>C = 1</math></td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td><math>Z = 0</math></td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td><math>Z = 1</math></td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td><math>V = 0</math></td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td><math>V = 1</math></td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td><math>N = 0</math></td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td><math>N = 1</math></td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V = 0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V = 1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td><math>Z \vee (N \oplus V) = 0</math></td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td><math>Z \vee (N \oplus V) = 1</math></td> </tr> </tbody> </table>	ニーモニック	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	—	指定されたアドレスへ無条件に分岐します。																																																			
B S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	—	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。



<記号説明>

- op : オペレーションフィールド
- cc : コンディションフィールド
- rm : レジスタフィールド
- disp: ディスプレースメント
- abs : 絶対アドレス

図 2.8 分岐命令の命令フォーマット

## 2.5.7 システム制御命令

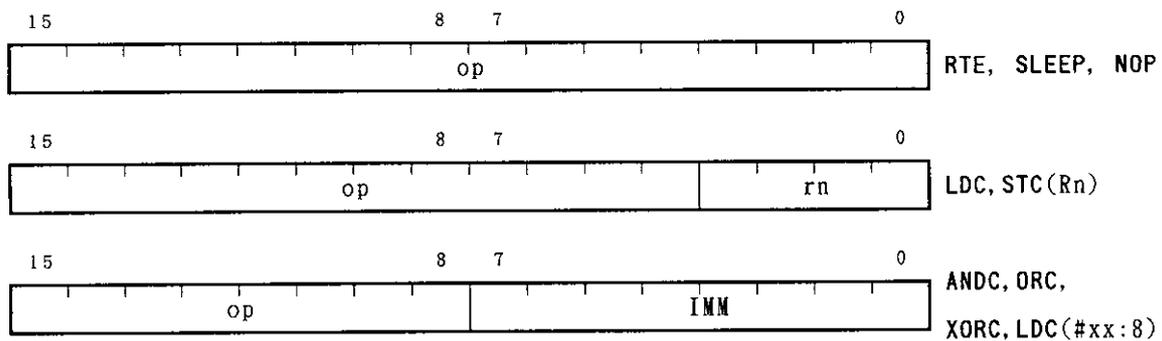
システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命 令	サイズ*	機 能
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B	$R_s \longrightarrow CCR, \#IMM \longrightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	$CCR \longrightarrow R_d$ CCR の内容を汎用レジスタに転送します。
ANDC	B	$CCR \wedge \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
ORC	B	$CCR \vee \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
XORC	B	$CCR \oplus \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
NOP	--	$PC + 2 \longrightarrow PC$ PC のインクリメントだけを行います。

\*【注】 サイズはオペランドサイズを示します。  
B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。



<記号説明>

- op : オペレーションフィールド
- rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.9 システム制御命令の命令フォーマット

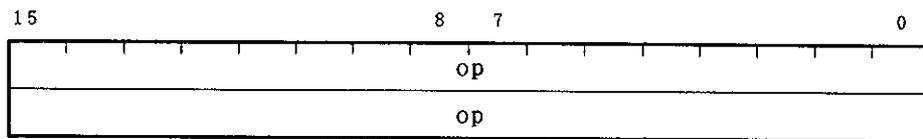
2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命 令	サイズ	機 能
EEP MOV	-	<pre>if R 4 L ≠ 0 then   Repeat @R 5 + → @R 6 +, R 4 L - 1 → R 4 L   Until R 4 L = 0 else next;</pre> <p>ブロック転送命令です。R 5 で示されるアドレスから始まり、R 4 L で指定されるバイト数のデータを R 6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

ブロック転送命令の命令フォーマットを図 2.10 に示します。



《記号説明》

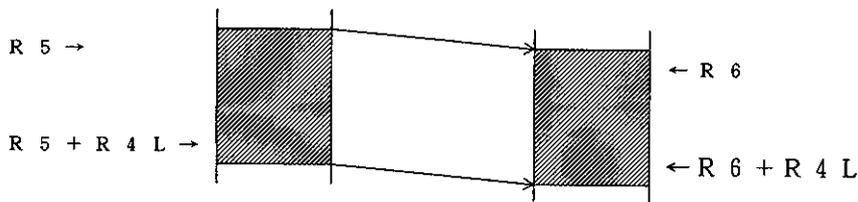
op : オペレーションフィールド

図 2.10 ブロック転送命令の命令フォーマット

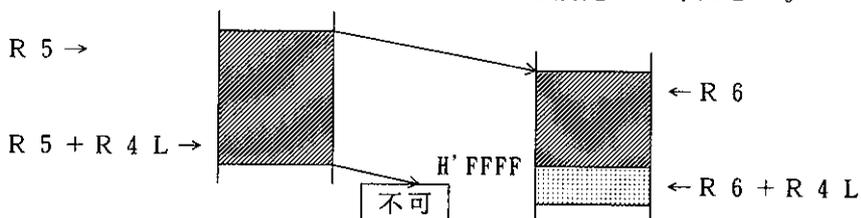
〔EEP MOV 命令使用上の注意〕

使用上の注意 1 :

- (1) EEP MOV 命令はブロック転送命令で、R 5 で示されるアドレスから始まる、R 4 L で示されるバイト数のデータを、R 6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R 6 + R 4 L の値) が H' FFFF を超えないように (実行途中で R 6 の値が H' FFFF → H' 0000 とならないように)、R 4 L、R 6 を設定してください。



## 2.6 処理状態

### 2.6.1 概要

CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態の3種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.12に示します。

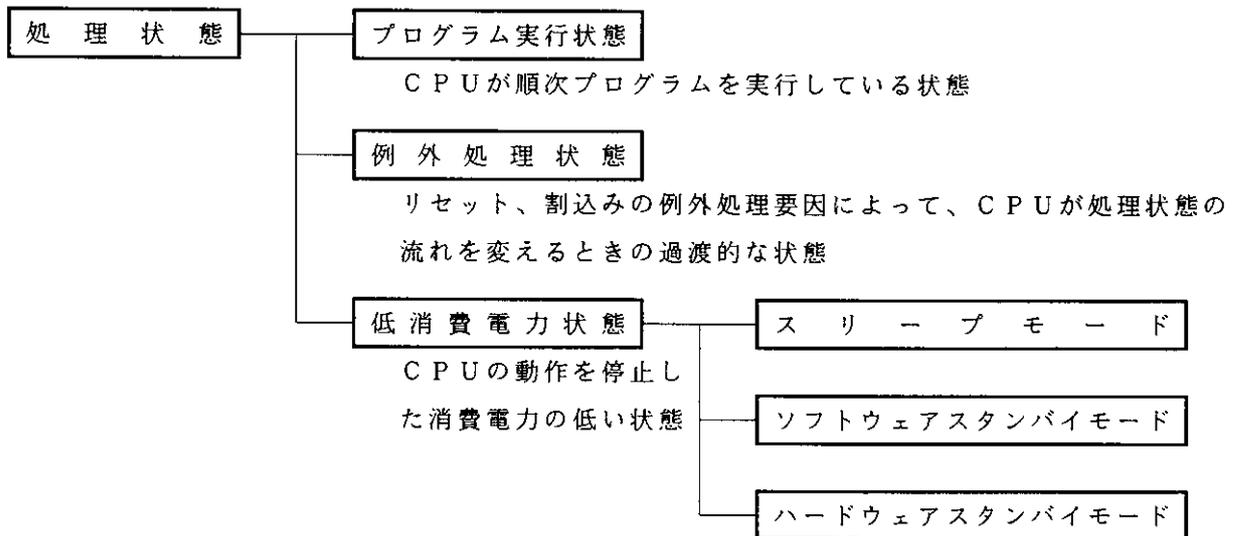
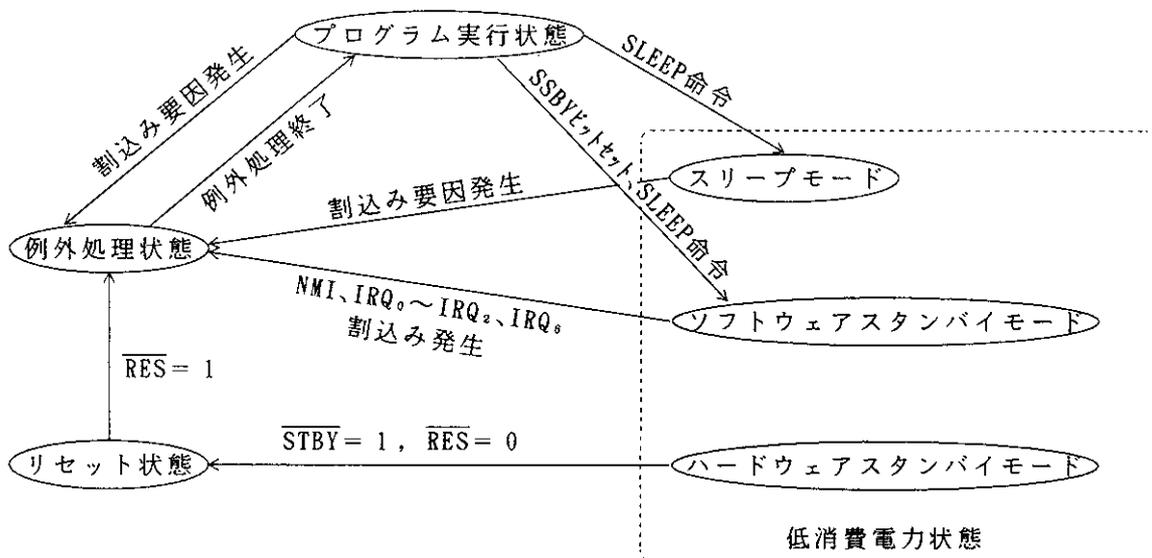


図 2.11 処理状態の分類



- 【注】
- ハードウェアスタンバイモードを除くすべての状態においてRES端子が“Low”レベルになるとリセット状態に遷移します。
  - すべての状態においてSTBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

図 2.12 状態遷移図

## 2.6.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

## 2.6.3 例外処理状態

リセット、割込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときに過渡的な状態です。割込み例外処理では、SP(R7)を参照して、PCおよびCCRの退避を行います。

例外処理についての詳細は、「第4章 例外処理」を参照してください。

## 2.6.4 低消費電力状態

低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードの3つのモードがあります。

### (1) スリープモード

スリープモードは、SLEEP命令を実行することによって遷移するモードです。CPUの動作は、SLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

### (2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、システムコントロールレジスタ(SYSCR)のSSBY(ソフトウェアスタンバイ)ビットを“1”にセット後、SLEEP命令を実行することによって遷移するモードです。

CPUおよびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限りCPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

### (3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、STBY端子を“Low”レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPUおよびすべてのクロックは停止し内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

低消費電力状態についての詳細は、「第18章 低消費電力状態」を参照してください。

## 2.7 基本動作タイミング

CPUは、システムクロック ( $\phi$ ) をタイムベースに動作しており、システムクロックの立上がりから次の立上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、外部デバイスによってそれぞれ異なるアクセスを行います。

### 2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、高速処理を行うために2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図2.13に、端子状態を図2.14に示します。

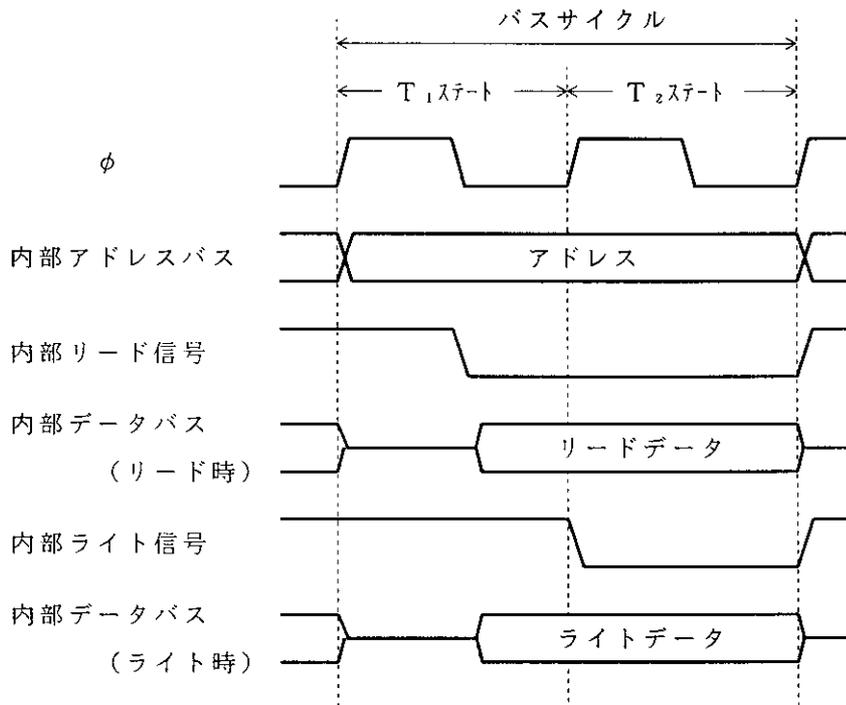


図 2.13 内蔵メモリアクセスサイクル

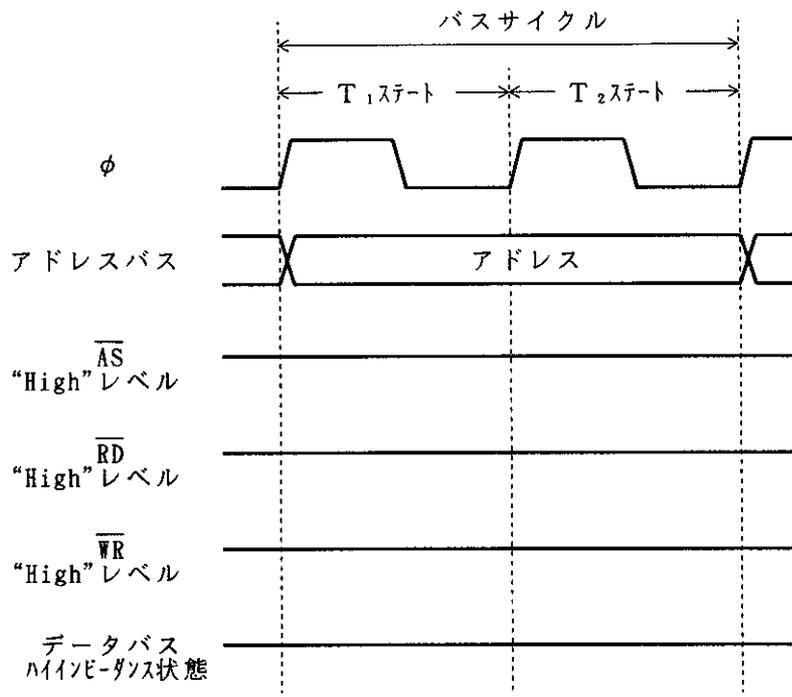


図 2.14 内蔵メモリアクセス時の端子状態

## 2.7.2 内蔵周辺モジュール／外部デバイス

内蔵周辺モジュールおよび外部デバイスのアクセスは、3ステートで行われます。このとき、データバス幅は8ビットで、ワードデータおよび命令コードは、1バイトずつ2回に分けてアクセスされます。内蔵周辺モジュールアクセスサイクル、端子状態を図2.15、図2.16に、外部デバイスアクセスタイミングを図2.17に示します。

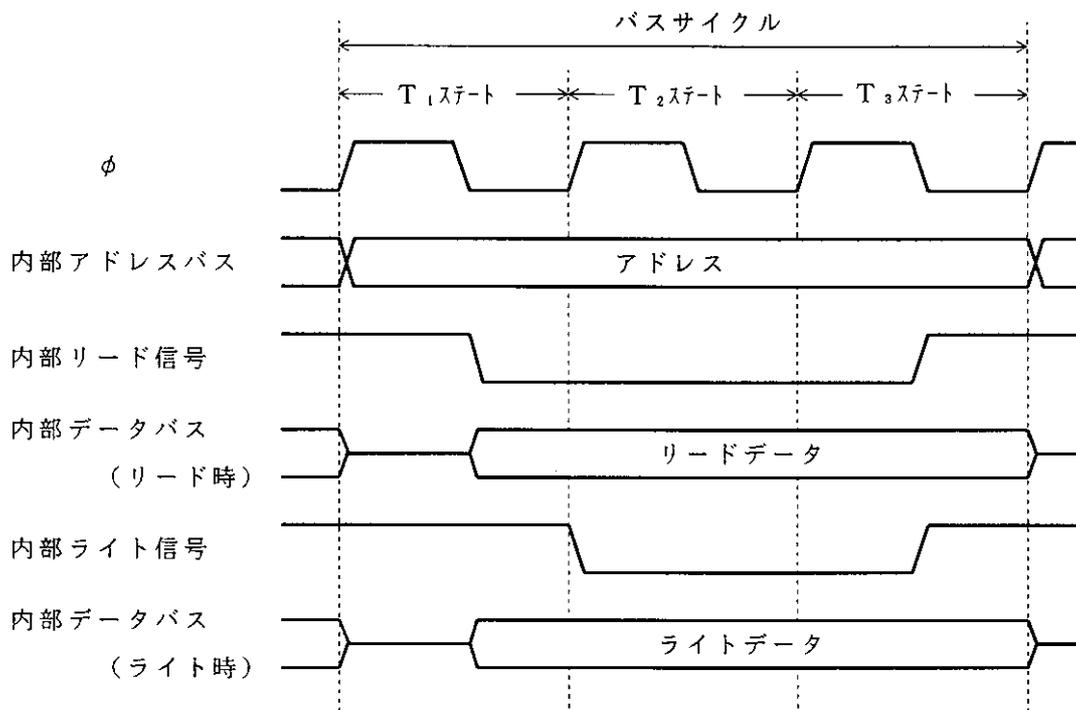


図 2.15 内蔵周辺モジュールアクセスサイクル

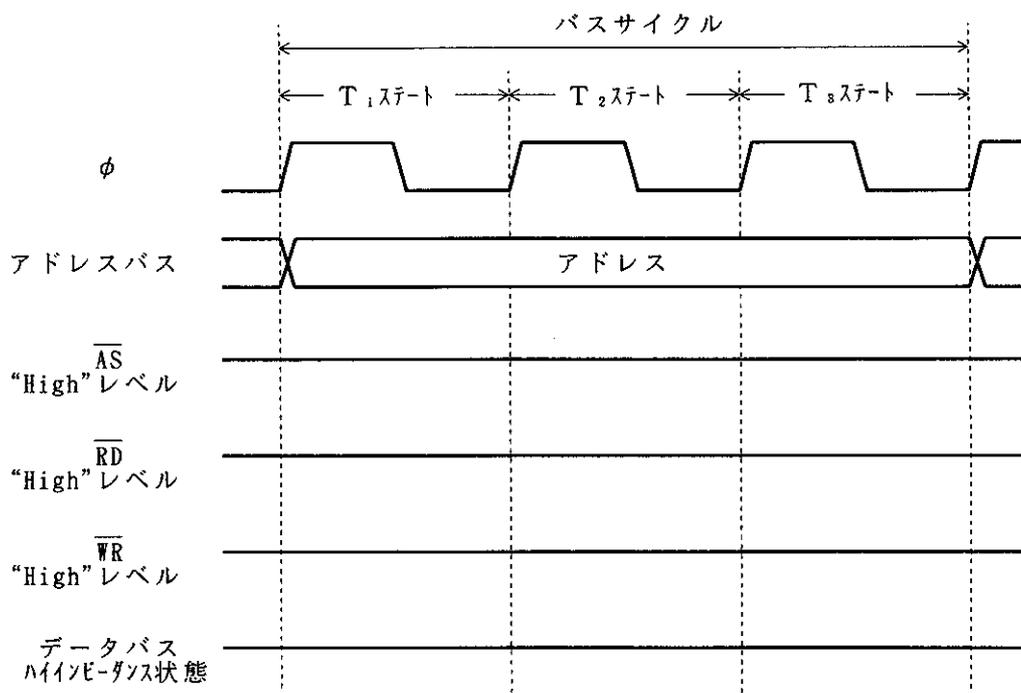


図 2.16 内蔵周辺モジュールアクセス時の端子状態

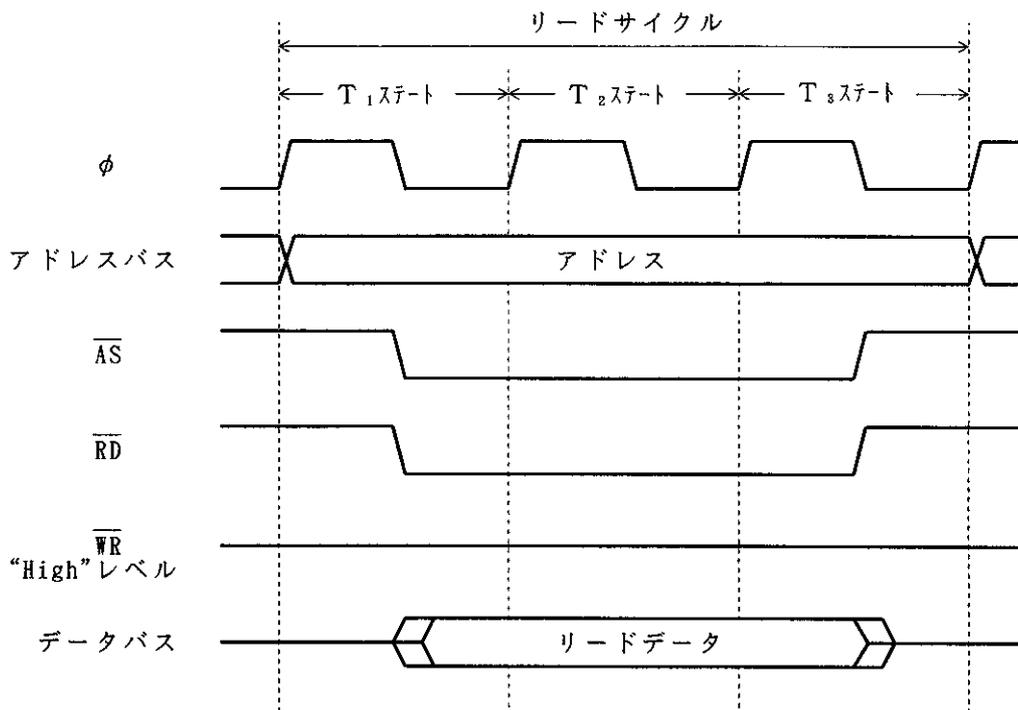


図 2.17(a) 外部デバイスアクセスタイミング (リード時)

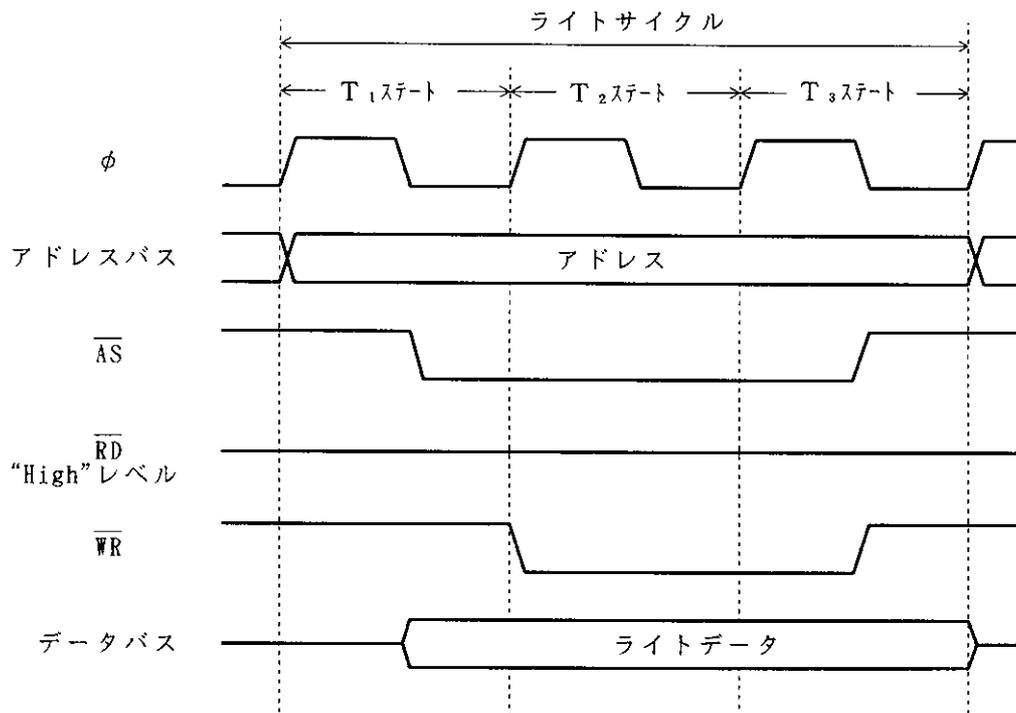


図 2.17(b) 外部デバイスアクセスタイミング (ライト時)



# 3. M C U 動作モード

---

## 第 3 章 目次

3.1	概要	69
3.1.1	動作モードの選択	69
3.1.2	レジスタ構成	70
3.2	システムコントロールレジスタ (SYS CR)	70
3.3	モードコントロールレジスタ (MDC R)	72
3.4	各動作モードの説明	73
3.4.1	モード1 (内蔵ROM無効拡張モード)	73
3.4.2	モード2 (内蔵ROM有効拡張モード)	73
3.4.3	モード3 (シングルチップモード)	73
3.5	各動作モードのメモリマップ	74

---



## 3.1 概要

### 3.1.1 動作モードの選択

本LSIには、3種類の動作モード（モード1、2、3）があります。これらのモードは、リセット時に、モード端子（MD<sub>i</sub>、MD<sub>o</sub>）を表3.1のように設定することによって選択します。

表 3.1 動作モードの選択

MCU動作モード	MD <sub>i</sub>	MD <sub>o</sub>	内 容	内蔵ROM	内蔵RAM
モード0	0	0	—	—	—
モード1	0	1	内蔵ROM無効拡張モード	無効	有効*
モード2	1	0	内蔵ROM有効拡張モード	有効	有効*
モード3	1	1	シングルチップモード	有効	有効

#### <記号説明>

0：“Low”レベル

1：“High”レベル

—：使用不可

\*【注】 システムコントロールレジスタ（SYSCR）のRAMEビットを“0”にクリアすることにより、外部アドレス空間とすることができます。

モード1、2（内蔵ROM無効拡張モード、内蔵ROM有効拡張モード）は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。外部拡張モードでサポートするアドレス空間は、最大64kバイトです。

モード3（シングルチップモード）は、内蔵ROMとRAM、内部I/Oレジスタで動作するモードです。すべてのポートを使用することができます。

モード0は、本LSIでは使用できません。モード端子をモード0となるようには設定しないでください。

### 3.1.2 レジスタ構成

本LSIの動作を制御するレジスタとして、表3.2に示すシステムコントロールレジスタ（SYSCR）と、モード端子MD<sub>1</sub>、MD<sub>0</sub>の状態が反映されるモードコントロールレジスタ（MDCR）があります。

表 3.2 レジスタ構成

名 称	略 称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
モードコントロールレジスタ	MDCR	R	H'FFC5

### 3.2 システムコントロールレジスタ（SYSCR）

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCRは、本LSIの動作を制御する8ビットのレジスタです。

#### ビット7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します（ソフトウェアスタンバイモードについては「第18章 低消費電力状態」を参照してください）。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

#### ビット6～4：スタンバイタイムセレクト2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が8ms以上となるように指定してください。

待機時間の設定については、「18.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS 2	STS 1	STS 0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	使用禁止

### ビット3：外部リセット (XRST)

XRSTはリセット要因を表わすビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。XRSTビットはリード専用です。外部リセットにより“1”にセット、ウォッチドッグタイマオーバフローにより“0”にクリアされます。

ビット3	説 明
XRST	
0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生 (初期値)

### ビット2：NMIエッジ (NMIEG)

$\overline{\text{NMI}}$ 端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	$\overline{\text{NMI}}$ 入力の立下がりエッジ ( $\downarrow$ ) で割込み要求を発生 (初期値)
1	$\overline{\text{NMI}}$ 入力の立上がりエッジ ( $\uparrow$ ) で割込み要求を発生

### ビット1：ホストインタフェースイネーブル (HIE)

ホストインタフェース機能を許可または禁止します。許可時には、本LSIはスレーブモードになり、スレーブとホスト間のデータ転送処理を行います。ホストインタフェースのない品種では、リザーブビットとなります。

ビット1	説 明
HIE	
0	ホストインタフェース機能を禁止 (初期値)
1	ホストインタフェース機能を許可 (スレーブモード)

### ビット0：RAMイネーブル（RAME）

内蔵RAMのイネーブル／ディスエーブルを選択します。RAMEビットは、RES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

### 3.3 モードコントロールレジスタ（MDCR）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MDS1	MDS0
初期値：	1	1	1	0	0	1	— *	— *
R/W：	—	—	—	—	—	—	R	R

\*【注】 モード端子（MD<sub>1</sub>、MD<sub>0</sub>）により決定されます。

MDCRは、8ビットのレジスタであり、本LSIの現在の動作モードをモニタするのに用います。

#### ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット4、3：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

#### ビット2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット1、0：モードセレクト1、0（MDS1、0）

モード端子（MD<sub>1</sub>、MD<sub>0</sub>）のレベルを反映した値（現在の動作モード）を示します。MDS1、MDS0ビットは、MD<sub>1</sub>端子、MD<sub>0</sub>端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードするとモード端子（MD<sub>1</sub>、MD<sub>0</sub>）のレベルがこれらのビットにラッチされます。

## 3. 4 各動作モードの説明

### 3. 4. 1 モード 1 (内蔵ROM無効拡張モード)

モード 1 は、外部拡張モードです。ただし、内蔵ROMを使用することはできません。ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 7 の一部が制御信号となり、外部メモリおよび周辺デバイスをアクセスすることができます。

モード 1 でサポートするアドレス空間は、内部と外部を合わせて最大 64 k バイトです。

### 3. 4. 2 モード 2 (内蔵ROM有効拡張モード)

モード 2 は、内蔵ROMが有効な外部拡張モードです。ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 7 の一部が制御信号となります。ただし、ポート 1、2 はリセット直後は入力ポートになっています。したがって、アドレスバスとして使用する場合は各々対応するデータディレクションレジスタ (P1DDR、P2DDR) を“1”にセットして、ポート 1、2 を出力に設定してください。

モード 2 でサポートするアドレス空間は、内部と外部を合わせて最大 64 k バイトです。

### 3. 4. 3 モード 3 (シングルチップモード)

モード 3 は、内蔵ROMとRAM、内部 I/Oレジスタで動作するモードです。すべてのポートを使用できます。外部アドレス空間は使用できません。

### 3.5 各動作モードのメモリマップ

H8/3217、H8/3216、H8/3214、H8/3212およびH8/3202のモード1、2、3のメモリマップを図3.1～図3.4に示します。

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H' 0000 H' 0063 H' 0064  割込みベクタ  外部アドレス空間  H' F77F H' F780  内蔵RAM* 2048バイト  H' FF7F H' FF80 H' FF8F H' FF90 外部アドレス空間  内部I/Oレジスタ H' FFFF	H' 0000 H' 0063 H' 0064  割込みベクタ  内蔵ROM 61312バイト  H' EF7F H' EF80 外部アドレス空間  H' F77F H' F780  内蔵RAM* 2048バイト  H' FF7F H' FF80 H' FF8F H' FF90 外部アドレス空間  内部I/Oレジスタ H' FFFF	H' 0000 H' 0063 H' 0064  割込みベクタ  内蔵ROM 63360バイト  H' F77F H' F780  内蔵RAM 2048バイト  H' FF7F H' FF90 内部I/Oレジスタ H' FFFF

【注】\* SYSCRのRAMEビットを“0”にクリアすることにより、外部アドレスとすることができます。

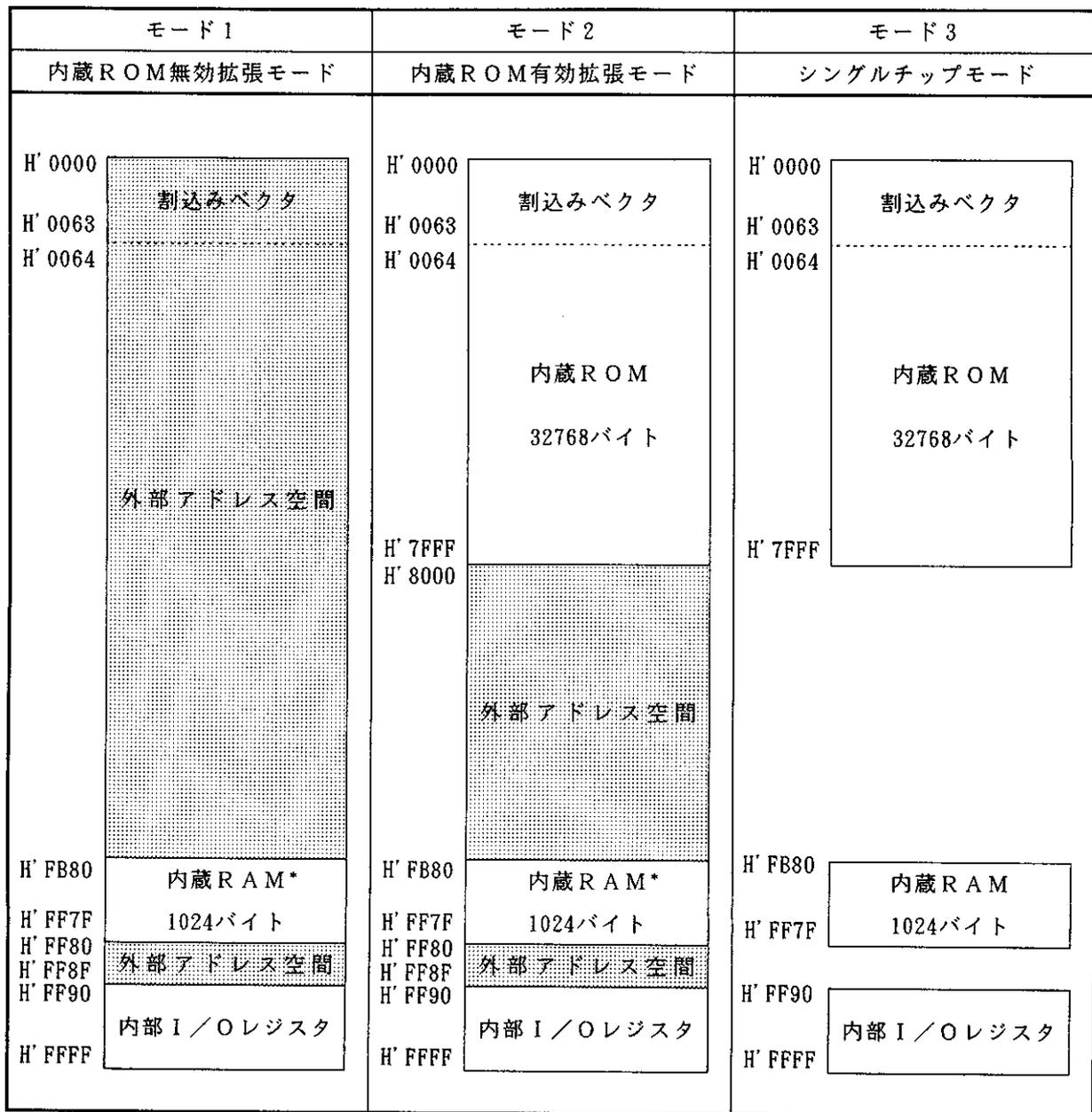
図3.1 H8/3217の各モードのメモリマップ

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H' 0000 H' 0063 H' 0064  外部アドレス空間  H' F77F H' F780  内蔵RAM* <sup>2</sup> 2048バイト  H' FF7F H' FF80 H' FF8F H' FF90 H' FFFF 内部I/Oレジスタ	H' 0000 H' 0063 H' 0064  内蔵ROM 49152バイト  H' BFFF H' C000  リザーブ* <sup>1</sup>  H' EF7F H' EF80 外部アドレス空間  H' F77F H' F780  内蔵RAM* <sup>2</sup> 2048バイト  H' FF7F H' FF80 H' FF8F H' FF90 H' FFFF 内部I/Oレジスタ	H' 0000 H' 0063 H' 0064  内蔵ROM 49152バイト  H' BFFF H' C000  リザーブ* <sup>1</sup>  H' F77F H' F780  内蔵RAM 2048バイト  H' FF7F H' FF80 H' FF8F H' FF90 H' FFFF 内部I/Oレジスタ

【注】\*<sup>1</sup> リザーブ領域はアクセスしないでください。

\*<sup>2</sup> SYSCRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.2 H8/3216の各モードのメモリマップ



【注】\* SYSCRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.3 H8/3214の各モードのメモリマップ

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H' 0000	H' 0000	H' 0000
H' 0063	H' 0063	H' 0063
H' 0064	H' 0064	H' 0064
割込みベクタ	割込みベクタ	割込みベクタ
外部アドレス空間	内蔵ROM 16384バイト	内蔵ROM 16384バイト
H' FB7F	H' 3FFF	H' 3FFF
H' FB80	H' 4000	H' 4000
リザーブ*1*2	リザーブ*1	リザーブ*1
H' FD7F	H' 7FFF	H' 7FFF
H' FD80	H' 8000	
内蔵RAM*2 512バイト	外部アドレス空間	
H' FF7F	H' FB7F	H' FB80
H' FF80	H' FB80	リザーブ*1
H' FF8F	H' FD7F	H' FD7F
H' FF90	H' FD80	H' FD80
内部I/Oレジスタ	内蔵RAM*2 512バイト	内蔵RAM 512バイト
	H' FF7F	H' FF7F
	H' FF80	
	H' FF8F	外部アドレス空間
	H' FF90	H' FF90
	H' FFFF	内部I/Oレジスタ
		H' FFFF

【注】 \*1リザーブ領域はアクセスしないで下さい。

【注】 \*2SYS CRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.4 H8/3212およびH8/3202の各モードのメモリマップ



# 4. 例外処理

【H8 / 3 2 1 2 以外はキーセンス割込み機能内蔵】

H8 / 3 2 1 2 には、KEYIN<sub>0</sub>~KEYIN<sub>7</sub>入力信号およびKMIMRレジスタによって制御されるIRQ6割込み機能がありませんので、ご注意ください。

## 第4章 目次

4.1	概要	81
4.2	リセット	81
4.2.1	概要	81
4.2.2	リセットシーケンス	81
4.2.3	リセット直後の割込み	84
4.3	割込み	84
4.3.1	概要	84
4.3.2	各レジスタの説明	86
4.3.3	外部割込み	89
4.3.4	内部割込み	89
4.3.5	割込み動作	90
4.3.6	割込み応答時間	95
4.3.7	使用上の注意	96
4.4	スタック領域に関する使用上の注意	97
4.5	キーセンス割込み使用上の注意	98



## 4.1 概要

本LSIの例外処理には、リセットと割り込みがあります。表4.1に、例外処理の種類と優先度を示します。

表 4.1 例外処理の種類と優先度

優先度	例外処理要因	検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに例外処理を開始します。
	割り込み	命令の実行終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

【注】\* ANDC、ORC、XORC、LDC命令では検出しません。

## 4.2 リセット

### 4.2.1 概要

リセットは最も優先順位の高い例外処理です。RES端子が“Low”レベルになるか、ウォッチドッグリセット（リセットオプションを選択したウォッチドッグタイマオーバーフロー）が開始されると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。RES端子が“Low”レベルから“High”レベルになるか、またはウォッチドッグリセットパルスが終了すると、リセット例外処理が開始されます。

### 4.2.2 リセットシーケンス

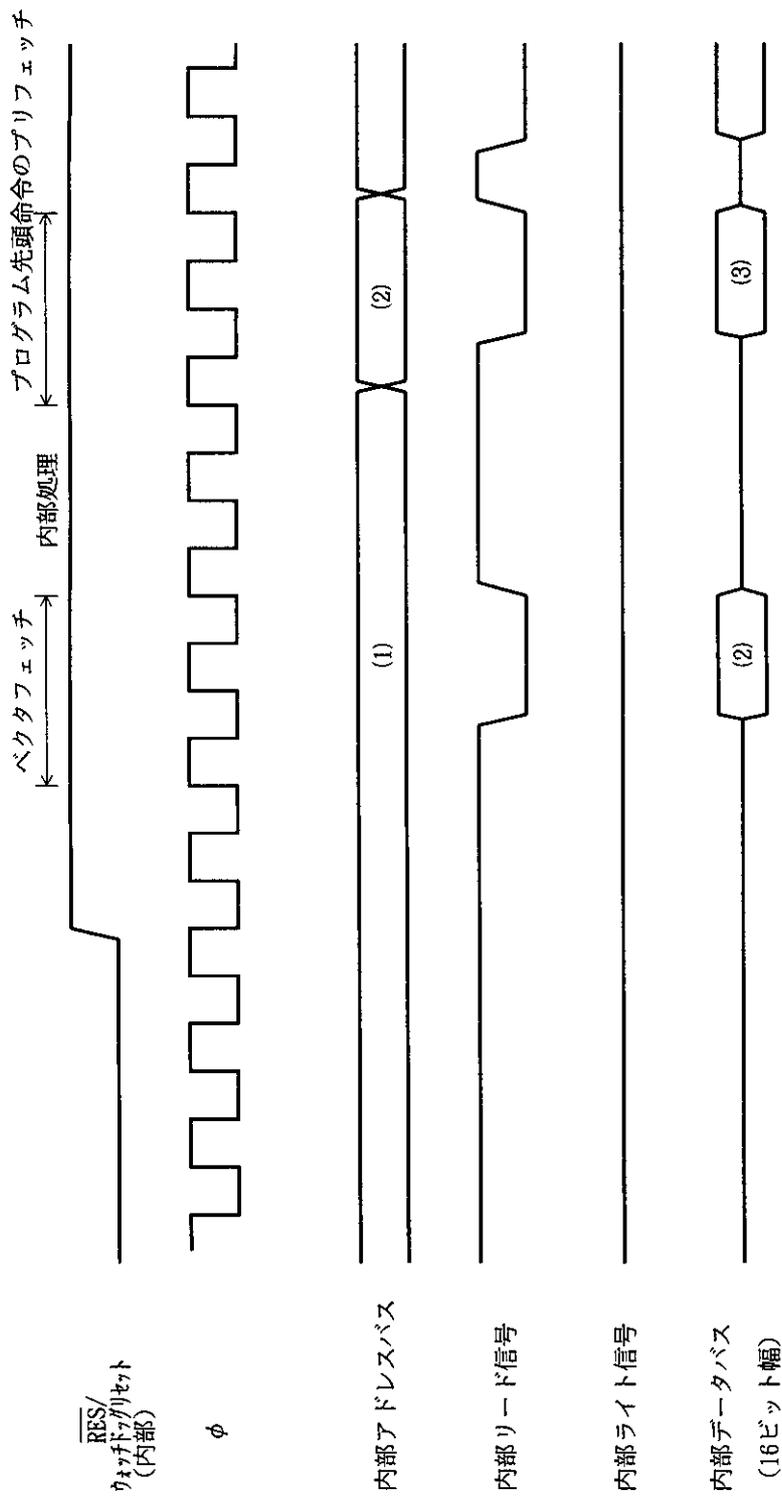
RES端子が“Low”レベルになるか、またはウォッチドッグリセットが発生すると、本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時には、最低20msの間RES端子を“Low”レベルに保持してください。また、動作中にリセットする場合は、最低10システムクロックの間、“Low”レベルに保持してください。ウォッチドッグリセットパルス幅は常に518システムクロックとなります。リセット時の端子の状態は「付録D. 各処理状態におけるポートの状態」を参照してください。リセット例外処理が開始されると、本LSIは次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、コンディションコードレジスタ（CCR）のIビットをセットします。
- (2) リセット例外処理ベクタアドレス（H'0000～H'0001）をリードして、PCに転送した後、PCで示されるアドレスから、プログラムの実行を開始します。

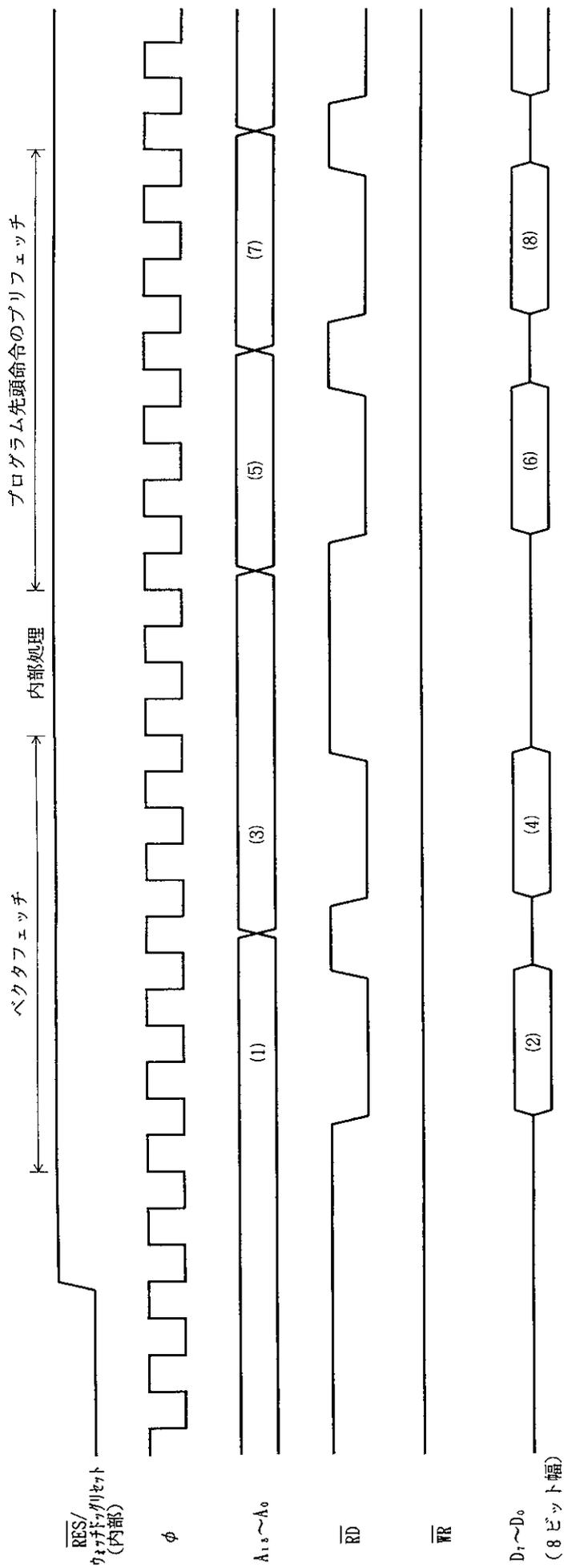
パワーオン／パワーオフ時には、RES端子を“Low”レベルにしてください。

モード2、3の場合のリセットシーケンスを図4.1に、モード1の場合のリセットシーケンスを図4.2に示します。



- (1) リセット例外処理ベクタアドレス (H' 0000)
- (2) プログラムスタートアドレス
- (3) プログラム先頭命令

図 4.1 リセットシーケンス (モード 2, 3 : プログラム領域を内蔵 ROM に設けた場合)



- (1)(3) リセット例外処理ベクタアドレス ((1)=H'0000、(3)=H'0001)
- (2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容) (2)=上位バイト、(4)=下位バイト
- (5)(7) スタートアドレス ((5)=(2)(4)、(7)=(2)(4)+1)
- (6)(8) プログラム先頭命令 ((6)=第1バイト、(8)=第2バイト)

図4.2 リセットシーケンス (モード1)

#### 4.2.3 リセット直後の割込み

リセット後、スタックポインタ (SP:R7) をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はNMIを含めたすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラムの先頭命令は、SPをイニシャライズする命令としてください (例: MOV.W #xx:16, SP)。

リセット例外処理後、CCRの内容を確定しておくために、SPをイニシャライズする命令の前にCCR操作命令を実行することができます。CCR操作命令を実行した直後には、NMIを含めたすべての割込み要求が禁止されています。これに続く命令を、SPをイニシャライズする命令としてください。

### 4.3 割込み

#### 4.3.1 概要

割込み例外処理を開始する要因には、12の入力端子からの5つの外部要因 (NMI、IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>) と内蔵周辺モジュールからの要求による26の内部要因があります。割込み要因と優先度ならびにベクタアドレスの一覧を表4.2に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) NMIは最優先の割込みで、常に受け付けられます。NMIを除く、内部割込みおよび外部割込みは、CCRのIビットによりマスクされます。すなわち、CCRのIビットが“1”にセットされていると、NMI以外の割込みは受け付けられません。
- (2) IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>は、立下がりエッジセンス/レベルセンスのいずれかに、各々独立に設定することができます。NMIは、立上がりエッジセンス/立下がりエッジセンスのいずれかに設定することができます。
- (3) すべての割込み要因は、それぞれ独立にベクタアドレスが割り当てられています。このため、割込み処理ルーチンで要因を判定する必要はありません。
- (4) IRQ<sub>6</sub>は8本の外部要因 (KEYIN<sub>0</sub>～KEYIN<sub>7</sub>) により要求されます。  
KEYIN<sub>0</sub>～KEYIN<sub>7</sub>は、それぞれユーザプログラムによりマスクできます。
- (5) ウォッチドッグタイマでは、用途に応じてNMI割込みかOVF割込みのいずれかを発生させることができます。詳細は「第12章 ウォッチドッグタイマ」を参照してください。

表 4.2 割込み要因一覧表

割込み要因		ベクタ番号	ベクタアドレス	優先度
NMI		3	H'0006~H'0007	↑ 高 ↓ 低
IRQ <sub>0</sub>		4	H'0008~H'0009	
IRQ <sub>1</sub>		5	H'000A~H'000B	
IRQ <sub>2</sub>		6	H'000C~H'000D	
リザーブ		7~9	H'000E~H'0013	
IRQ <sub>0</sub> (KEYIN <sub>0</sub> ~KEYIN <sub>7</sub> ) (H8/3212以外)		10	H'0014~H'0015	
リザーブ		11~16	H'0016~H'0021	
ホストインタフェース (H8/3212以外)	IBF1 (IDR1受信完了)	17	H'0022~H'0023	
	IBF2 (IDR2受信完了)	18	H'0024~H'0025	
16ビットフリー ランニングタイム	ICI (インプットキチキ)	19	H'0026~H'0027	
	O CIA (アウトプットコンパ7A)	20	H'0028~H'0029	
	O C I B (アウトプットコンパ7B)	21	H'002A~H'002B	
	FOVI (オ-パ7ロ-)	22	H'002C~H'002D	
8ビットタイマ0	CMIOA (コンパ7マッパA)	23	H'002E~H'002F	
	CMIOB (コンパ7マッパB)	24	H'0030~H'0031	
	OVI0 (オ-パ7ロ-)	25	H'0032~H'0033	
8ビットタイマ1	CMIIA (コンパ7マッパA)	26	H'0034~H'0035	
	CMIIB (コンパ7マッパB)	27	H'0036~H'0037	
	OVI1 (オ-パ7ロ-)	28	H'0038~H'0039	
シリアル コミュニケーション インタフェース0	ERIO (受信エラー)	29	H'003A~H'003B	
	RXIO (受信完了)	30	H'003C~H'003D	
	TXIO (TDRエソパ7イ)	31	H'003E~H'003F	
	TEIO (TSRエソパ7イ)	32	H'0040~H'0041	
シリアル コミュニケーション インタフェース1 (H8/3212以外)	ERII (受信エラー)	33	H'0042~H'0043	
	RXII (受信完了)	34	H'0044~H'0045	
	TXII (TDRエソパ7イ)	35	H'0046~H'0047	
	TEII (TSRエソパ7イ)	36	H'0048~H'0049	
リザーブ		37~43	H'004A~H'0057	
ウォッチドッグタイム	WOVF (WDTオ-パ7ロ-)	44	H'0058~H'0059	
I <sup>2</sup> Cバスインタフェース0*	IICIO (転送終了)	45	H'005A~H'005B	
I <sup>2</sup> Cバスインタフェース1* (H8/3202以外)	IICII (転送終了)	46	H'005C~H'005D	
8ビットタイマX (H8/3202以外)	CMIXA (コンパ7マッパA)	47	H'005E~H'005F	
	CMIXB (コンパ7マッパB)	48	H'0060~H'0061	
	OVI X (オ-パ7ロ-)	49	H'0062~H'0063	

【注】 1. H'0000~H'0001はリセットベクタです。

2. H'0002~H'0005は、本LSIではリザーブされていて、ユーザは使用できません。

\* I<sup>2</sup>Cバスインタフェースはオプションです。

#### 4.3.2 各レジスタの説明

割込みを制御するレジスタとして、システムコントロールレジスタ (SYSCR)、IRQセンスコントロールレジスタ (ISCR)、IRQイネーブルレジスタ (IER) があります。

表 4.3 割込み制御レジスタ

名 称	略 称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
IRQセンスコントロールレジスタ	ISCR	R/W	H'FFC6
IRQイネーブルレジスタ	IER	R/W	H'FFC7
キーボードマトリックス割込みマスクレジスタ	KMIMR	R/W	H'FFF1

##### (1) システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCRのビット2のNMIEGで、NMI端子の入力エッジを制御します。

##### ビット2: NMIエッジセレクト (NMIEG)

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立下がりエッジ ( $\overline{\text{f}}$ ) で割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジ ( $\text{f}$ ) で割込み要求を発生

なお、SYSCRのその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

##### (2) IRQセンスコントロールレジスタ (ISCR)

ビット:	7	6	5	4	3	2	1	0
	—	IRQ6SC	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	1	0	1	1	1	0	0	0
R/W:	—	R/W	—	—	—	R/W	R/W	R/W

ビット0～2、6：IRQ0～2、6センスコントロール（IRQ0～2SC、IRQ6SC）  
 IRQ<sub>0</sub>～IRQ<sub>2</sub>、KEYIN<sub>0</sub>～KEYIN<sub>7</sub>端子の入力センスを選択します。

ビット0～2、6	説明
IRQ <sub>0</sub> SC～IRQ <sub>2</sub> SC、IRQ <sub>6</sub> SC	
0	IRQ <sub>0</sub> ～IRQ <sub>2</sub> 、KEYIN <sub>0</sub> ～KEYIN <sub>7</sub> 入力の“Low”レベルで割込み要求を発生 (初期値)
1	IRQ <sub>0</sub> ～IRQ <sub>2</sub> 、KEYIN <sub>0</sub> ～KEYIN <sub>7</sub> 入力の立下がりエッジ(↓)で割込み要求を発生

(3) IRQイネーブルレジスタ（IER）

ビット：	7	6	5	4	3	2	1	0
	——	IRQ6E	——	——	——	IRQ2E	IRQ1E	IRQ0E
初期値：	1	0	1	1	1	0	0	0
R/W：	——	R/W	——	——	——	R/W	R/W	R/W

ビット0～2、6：IRQ0～2、6イネーブル（IRQ0E～IRQ2E、IRQ6E）  
 IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みの許可または禁止を制御します。

ビット0～2、6	説明
IRQ0E～IRQ2E、IRQ6E	
0	IRQ <sub>0</sub> ～IRQ <sub>2</sub> 、IRQ <sub>6</sub> 割込みを禁止 (初期値)
1	IRQ <sub>0</sub> ～IRQ <sub>2</sub> 、IRQ <sub>6</sub> 割込みを許可

なお、エッジセンス（IRQ0SC～IRQ2SC、IRQ6SCビット＝“1”）では、対応するIRQ0E～IRQ2E、IRQ6Eビットが“0”（割込み禁止）であっても割込み処理を実行する場合があります。

IRQ0E～IRQ2E、IRQ6Eビットが“1”（割込み許可）の場合に要求された割込み要因は、対応する割込み処理が実行されるまで保持されています。割込み要因は、対応するIRQ0E～IRQ2E、IRQ6Eビットが“0”（割込み禁止）となると新たには発生しませんが、既に要求されたものはクリアされず、マスクもされません。この状態でCCRのIビットが“0”となれば割込み処理が実行されます。

このような割込み処理が実行されると不都合な場合は、その手順で割込み要因をクリアすることができます。

- ① CCRのIビットを“1”にして割込み禁止します。  
 割込み処理ルーチンにベクタジャンプした後は自動的に“1”となっています。
- ② IRQ0E～IRQ2E、IRQ6Eの対応するビットを“0”にクリアし、新たな割込み要因を禁止します。
- ③ IRQ0SC～IRQ2SC、IRQ6SCビットの対応するビットを“0”にクリアし、再び“1”にセットします。CCRのIビット＝“1”、IRQ<sub>n</sub>SC＝“0”、IRQ<sub>n</sub>E＝“0”の条件で割込み要因はクリアされます。

(4) キーボードマトリクス割込みマスクレジスタ (KMIMR)

KMIMRは、キーボードマトリクススキャン/センス用のリード/ライト可能な8ビットレジスタです。キーボードマトリクススキャン/センスに際して複数の端子入力からのキーセンス入力割込みを許可する場合、対応するマスクビットを“0”にクリアしてください。

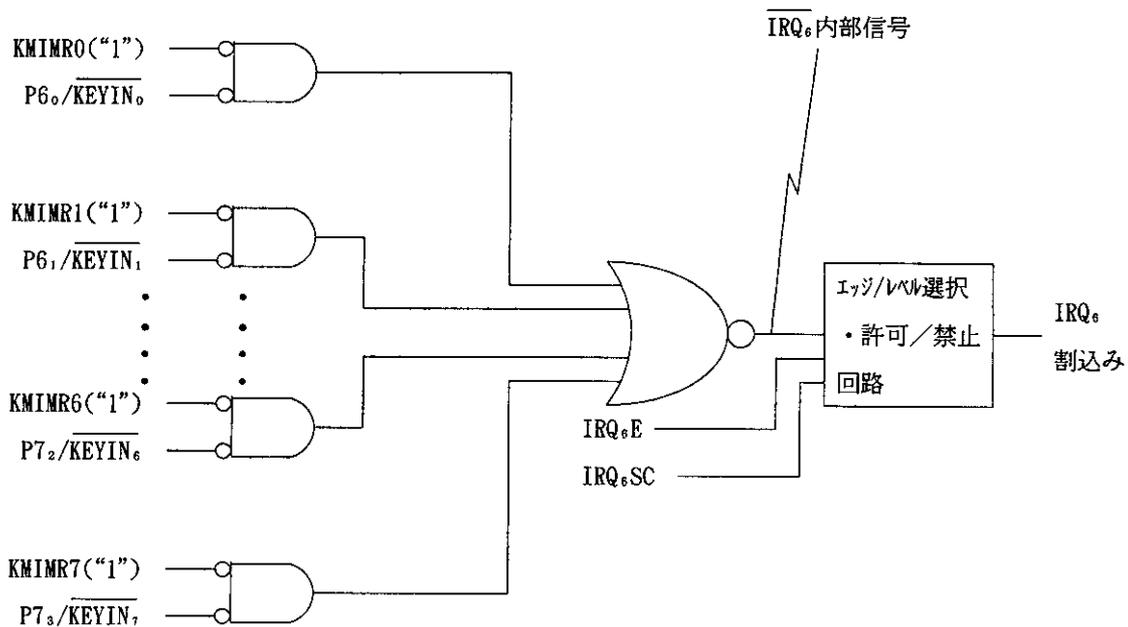
図4.3にIRQ<sub>6</sub>割込みとKMIMRとの関係を示します。

ビット:	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット7~0: キーボードマトリクス割込みマスク (KMIMR0~KMIMR7)

キーセンス入力割込み要求 (KEYIN<sub>0</sub>~KEYIN<sub>7</sub>) を制御します。

ビット0~7	説明
KMIMR0~KMIMR7	
0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止 (初期値)



( ) 内は初期値

図4.3 KMIMRとIRQ<sub>6</sub>割込み

### 4.3.3 外部割込み

外部割込みには、NMI、IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みの5要因があります。ソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割込み

NMIは、最優先の割込みで、CCRのIビットの値にかかわらず、常に受け付けられます。NMI端子からの割込みはエッジセンスです。SYSCRのNMIEGビットにより立上がりエッジまたは立下がりエッジを指定できます。NMI割込み例外処理のベクタ番号は3です。この例外処理により、CCRのIビットが“1”にセットされます。

#### (2) IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込み

IRQ<sub>0</sub>～IRQ<sub>2</sub>割込みは、IRQ<sub>0</sub>～IRQ<sub>2</sub>端子の入力信号により要求されます。IRQ<sub>6</sub>割込みは、KEYIN<sub>0</sub>～KEYIN<sub>7</sub>端子の入力信号により要求されます。IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みは、立下がりエッジセンスまたはレベルセンスをISCRのIRQ0SC～IRQ2SC、IRQ6SCにより指定でき、IERのIRQ0E～IRQ2E、IRQ6Eビットを“1”にセットすることにより割込み要求を許可します。また、CCRのIビットを“1”にセットすることにより割込みをマスクできます。

IRQ<sub>6</sub>入力信号は、キーセンス入力信号の論理和として生成されます。KEYIN<sub>0</sub>～KEYIN<sub>7</sub>(P6<sub>0</sub>～P6<sub>3</sub>、P7<sub>0</sub>～P7<sub>3</sub>)端子をキーセンス入力として使用する場合、対応するKMIMRビットは、そのキーセンス入力割込みを許可するために、“0”にクリアしてください。残りの使用しないキーセンス入力のKMIMRビットは、その割込みを禁止するために、“1”にセットしてください。これら8本のキーセンス入力割込みは、すべて単一のIRQ<sub>6</sub>割込みとなります。

IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みの割込み例外処理が受け付けられると、Iビットが“1”にセットされます。IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込み例外処理のベクタ番号は4～6、10です。優先順位は、IRQ<sub>6</sub>(低)→IRQ<sub>0</sub>(高)の順に高くなります。詳細は表4.2を参照してください。

IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みは、IRQ<sub>0</sub>～IRQ<sub>2</sub>端子、KEYIN<sub>0</sub>～KEYIN<sub>7</sub>端子が入力端子として使用されているのか、出力端子として使用されているのかには依存しません。外部信号により、IRQ<sub>0</sub>～IRQ<sub>2</sub>、IRQ<sub>6</sub>割込みを要求する場合、対応するポートのDDRを“0”とし、入出力端子として使用してください。

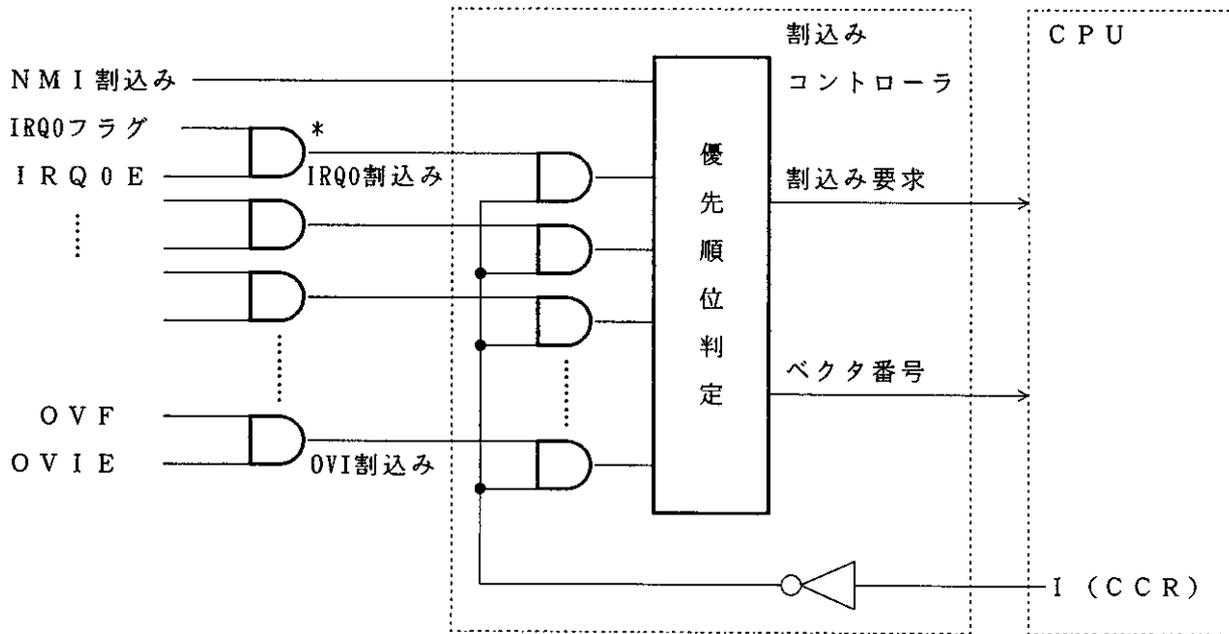
### 4.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、26要因あります。

各要因別にそれぞれ割込み例外処理ベクタ番号が割り当てられているため、例外処理ルーチンで要因を判定する必要はありません。いずれの割込みもCCRのIビットを“1”にセットすることによりマスクされます。これらの割込み例外処理が受け付けられると、Iビットは“1”にセットされます。ベクタ番号は17～36、44～49です。内蔵周辺モジュールからの割込みの優先順位については、表4.2を参照してください。

#### 4.3.5 割込み動作

割込みは、割込みコントローラにより制御されます。割込みコントローラは多重割込みを調整し、CPUに割込み例外処理の起動を要求すると共にベクタ番号を指示します。割込みコントローラのブロック図を図4.4に示します。



【注】\* エッジセンスの場合、当該ANDゲートは次の回路に変わります。

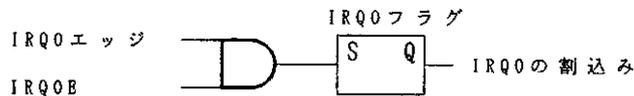


図4.4 割込みコントローラのブロック図

IRQ割込みまたは内蔵周辺モジュール（リセットを選択したウォッチドッグタイマを除きます）の割込みは、それぞれの割込みに対応したイネーブルビットがあります。このイネーブルビットを“0”にクリアするとその割込みの割込み信号は、割込みコントローラに送られませんので、その割込みは無視されます。また、これらの割込みはCPUの割込みマスク（I）ビットを“1”にセットすることにより一括して禁止することができます。すなわち、これらの割込みはイネーブルビットを“1”にセットし、かつIビットを“0”にクリアしたときに許可状態になります。

NMI割込みは、リセット状態、ハードウェアスタンバイ状態を除き、常に受け付けられます。

NMI割込みまたは許可状態にある割込みが発生すると、割込みコントローラはCPUに対し割込み要求を行い、またベクタ番号（複数の割込みが発生している場合は最も優先順位の高い割込みのベクタ番号）を指示します。CPUの命令の終了時点、または例外処理の終了時点で割込み要求があるとCPUは割込み例外処理を起動し、ベクタ番号をラッチします。

割込みの動作フローを図 4.5 に、タイミングチャート（プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合）を図 4.7 に示します。

- (1) NMI 割込みが発生したとき、または対応するイネーブルビットが“1”にセットされている状態で、IRQ 割込みまたは内蔵周辺モジュールの割込みが発生したとき、割込みコントローラに対して割込み要求が送られます。
- (2) CCR の I ビットを参照し、I ビットが“0”にクリアされている場合は、割込みは受け付けられません。I ビットが“1”にセットされている場合は NMI 割込みのみ受け付けられ、その他の割込み要求は保留となります。
- (3) 割込みコントローラは、受け付けた割込みの内から、優先順位に従って、最高位の割込み要求を選択し、CPU に対し割込み要求を行います。その他の割込みは保留となります。
- (4) 割込み要求があると、その時実行中の命令または例外処理が終了した後、CPU は割込み例外処理を起動し、ベクタ番号をラッチします。
- (5) CPU は割込み例外処理によって、まず PC と CCR がスタック領域に退避されます。このときのスタック状態を図 4.6 に示します。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次に CPU は I ビットを“1”にセットします。これにより、NMI を除く割込みはマスクされます。
- (7) (4) でラッチしたベクタ番号に対応するベクタアドレスを生成し、そのベクタアドレスから取り出した内容が示すアドレスに分岐します。分岐したアドレスから割込み処理ルーチンの実行を開始します。

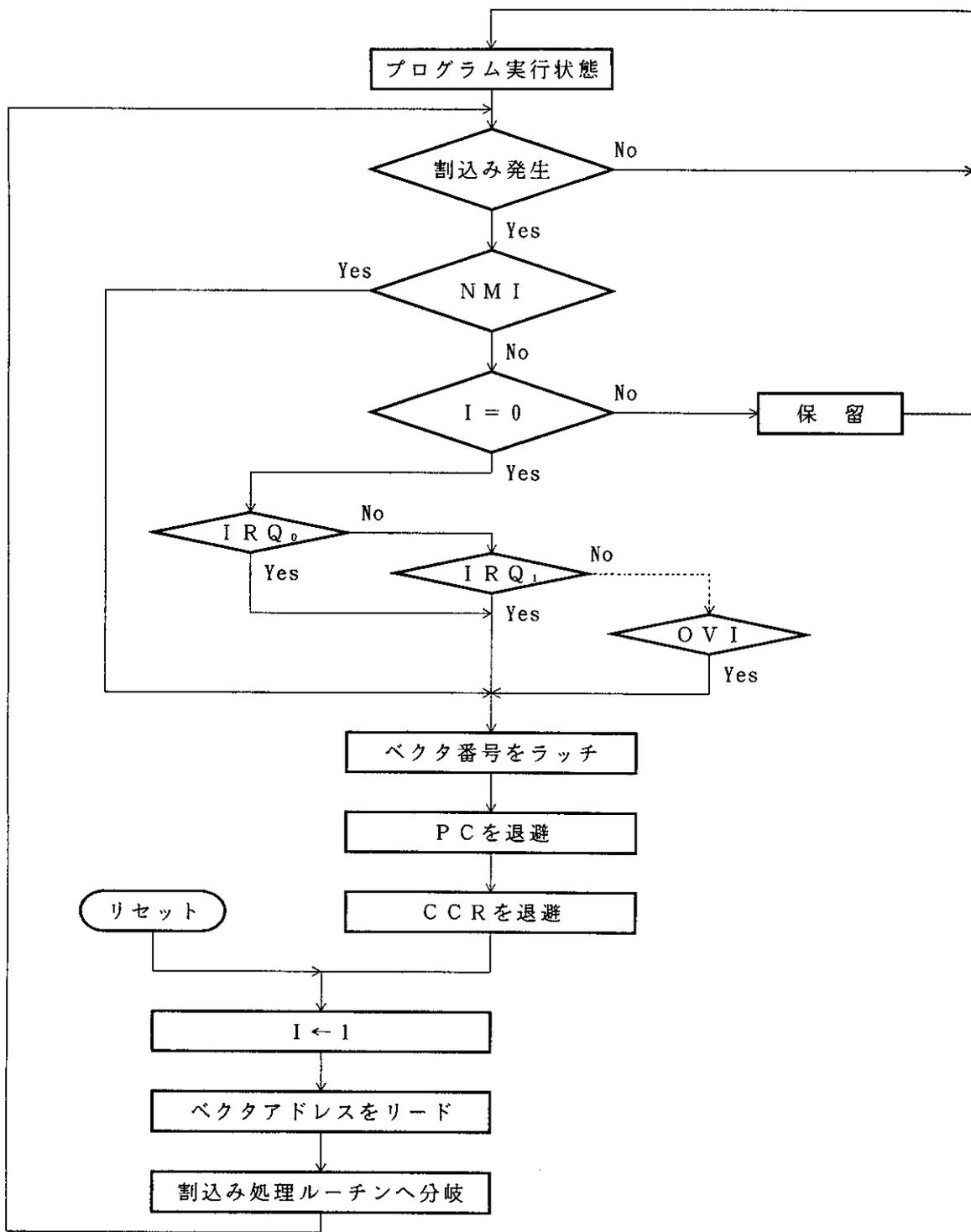
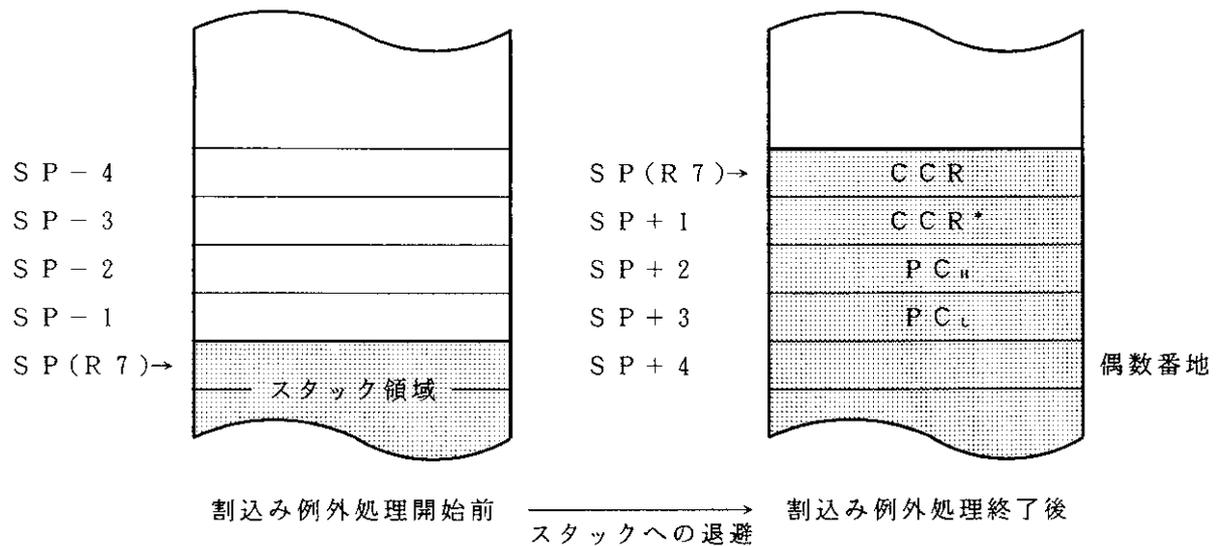


図 4.5 割り込み受けまでのフロー



<記号説明>

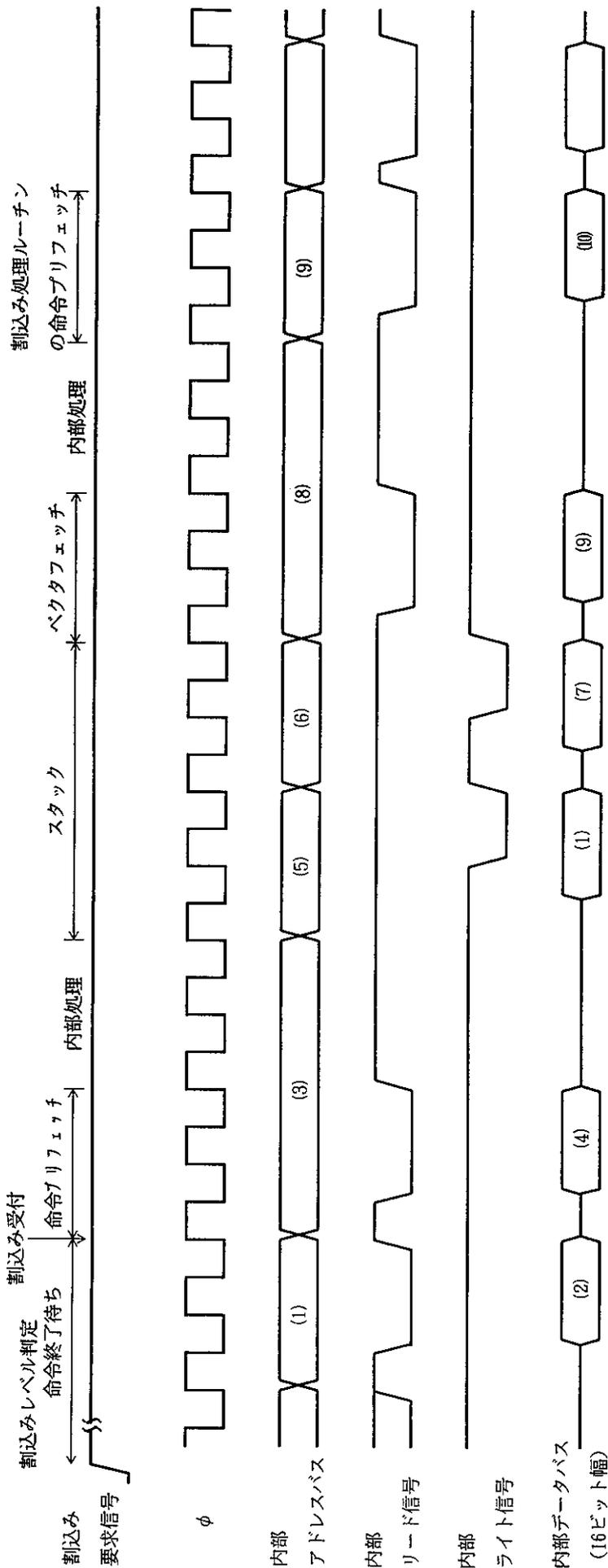
- PC<sub>H</sub> : プログラムカウンタ (PC) の上位 8 ビット
- PC<sub>L</sub> : プログラムカウンタ (PC) の下位 8 ビット
- CCR : コンディションコードレジスタ
- SP : スタックポインタ

【注】 \*リターン時には無視されます。

1. PC はリターン後に実行する最初の命令のアドレスです。
2. レジスタの退避/復帰は必ずワードサイズで、偶数アドレスから行ってください。

図 4.6 割込み例外処理終了後のスタック状態

CCR は 1 バイトですが、スタックへ退避時はワードデータとして扱われます。割込み処理においては、1 ワードとするように CCR の同じ内容の 2 バイトがスタックに退避されます。RTE 命令によりスタックから復帰したときには CCR は偶数アドレスに格納されているバイトからロードされ、奇数アドレスに格納されているバイトは無視されます。



- (1) 命令のプリフェッチアドレス (実行されません。 回避PCの内容であり、リターンアドレスです。)
- (2)(4) 命令コード (実行されません。)
- (3) 命令のプリフェッチアドレス (実行されません。)
- (5) SP-2
- (6) SP-4
- (7) CCR
- (8) ベクタアドレス
- (9) 割り込み処理ルーチン開始アドレス (ベクタアドレスの内容)
- (10) 割り込み処理ルーチン先頭命令

図4.7 割り込みシーケンス

#### 4.3.6 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、待ちステート数を表4.4に示します。本LSIでは、内蔵メモリに対する高速ワードアクセスを可能としており、プログラム領域を内蔵ROMに、スタック領域を内蔵RAMに設けることにより、処理速度の向上が図れます。

表4.4 割込み待ちステート数

No.	項 目	ステート数	
		内蔵メモリ使用	外部メモリ使用
1	割込み優先順位判定	2 <sup>*3</sup>	
2	実行中の命令終了時の待ち時間 <sup>*1</sup>	1～13	5～17 <sup>*2</sup>
3	PC, CCRのスタック	4	12 <sup>*2</sup>
4	ベクタフェッチ	2	6 <sup>*2</sup>
5	命令フェッチ	4	12 <sup>*2</sup>
6	内部処理	4	
	合 計	17～29	41～53 <sup>*2</sup>

【注】<sup>\*1</sup> EEPMOV命令は除きます。

<sup>\*2</sup> 外部メモリアクセス時にウェイトが挿入される場合には、待ちステート数が増加します。

<sup>\*3</sup> 内部割込みのとき1となります。

#### 4.3.7 使用上の注意

割込み動作に関して次のような競合や動作が起りますので注意してください。

割込みのイネーブルビットを“0”にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後に有効になります。すなわち、BCLR、MOV命令などで、イネーブルビットを“0”にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では許可状態にあるため、命令実行終了後にその割込みの例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には、優先順位の高い割込み例外処理を実行し、その割込みは無視されます。

割込み要因フラグを“0”にクリアする場合も同様です。

OCIAEビットを“0”にクリアする場合の例を図4.8に示します。

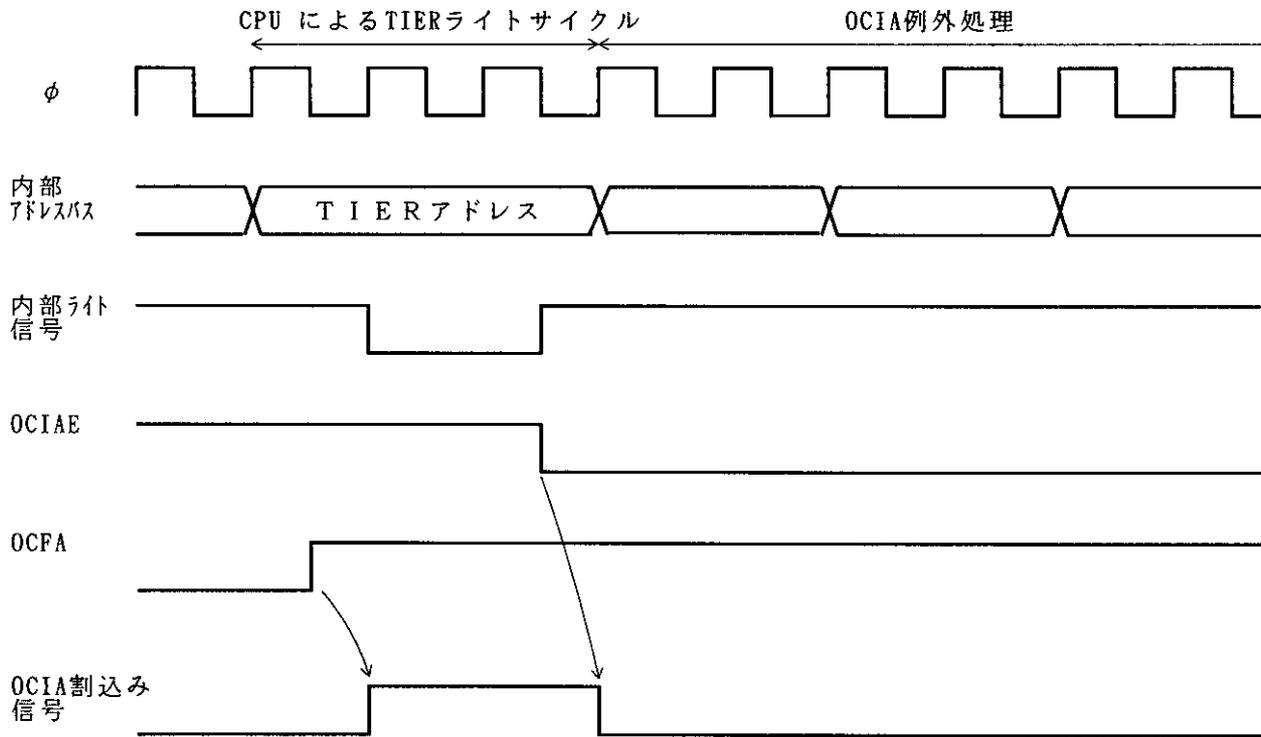


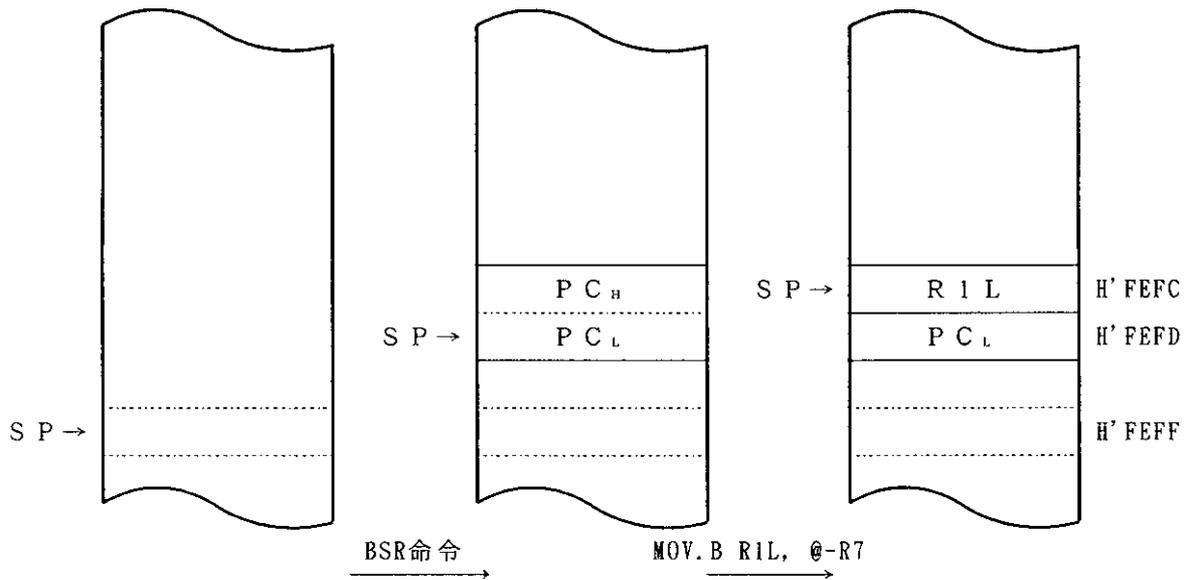
図4.8 割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態（I = “1”）で、イネーブルビットまたは割込み要因フラグを“0”にクリアすれば上記の競合は発生しません。

#### 4.4 スタック領域に関する使用上の注意

本LSIでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは“0”とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ（SP：R7）の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn（MOV.W Rn, @-SP）」または「POP Rn（MOV.W @SP+, Rn）」を使用してください。

SPに奇数を設定すると、誤動作の原因となります。SPに奇数を設定した場合の動作例を図4.9に示します。



SPにH'FEFFを設定      SPを超えてスタックされる。      PC<sub>H</sub>の内容が失われる。

##### <記号説明>

- PC<sub>H</sub> : プログラムカウンタの上位バイト
- PC<sub>L</sub> : プログラムカウンタの下位バイト
- R1L : 汎用レジスタのR1L
- SP : スタックポインタ

図4.9 SPに奇数を設定したときの動作

## 4.5 キーセンス割込み使用上の注意

本LSIはキーセンス割込み機能を内蔵し、どの動作モードでも使用することが可能です。ただし、スレーブモード以外（ホストインタフェースがディスエーブルの状態）で使用する場合は、以下の注意が必要です。

キーセンス割込みを使用するためには、KMIMRにライトして所望のKEYIN端子のマスクを解除する必要があります。また、P7<sub>3</sub>～P7<sub>0</sub>端子・P6<sub>3</sub>～P6<sub>0</sub>端子にプルアップMOSを付加する場合にもKMPCRにライトする必要があります。

KMIMRおよびKMPCRは、SYSCRのHIEビットが“1”にセットされた状態でのみアクセス可能です。したがって、この間、本LSIはスレーブモードになります。スレーブモードでは端子の状態が変化する場合があります。

### (1) KMIMRおよびKMPCRの設定を、リセット直後などの初期化ルーチンで行う場合

ホストインタフェースの出力・入出力端子をハイインピーダンス状態に保つか、出力状態になっても問題のない外部回路にしておく必要があります。ホストインタフェースの出力端子は、GA<sub>20</sub>、HIRQ<sub>12</sub>、HIRQ<sub>11</sub>、HIRQ<sub>10</sub>の4本であり、これらは初期状態ではポート機能（入力状態）となっています。ホストインタフェースの入出力端子はHDB<sub>7</sub>～HDB<sub>0</sub>の8本あり、シングルチップモードで、P7<sub>6</sub>/IOR端子が“Low”レベル、かつ、P7<sub>5</sub>/CS<sub>1</sub>端子またはP4<sub>6</sub>/CS<sub>2</sub>端子の一方または両方が“Low”レベルの場合に出力となります。拡張モードではデータバス（D<sub>7</sub>～D<sub>0</sub>）端子となっているため、端子状態は変化しません。

### (2) KMIMRおよびKMPCRの設定を、初期化以外で行う場合

ホストインタフェースの入力・入出力端子と兼用になっている端子状態が、HIEビットをセットすることにより変化する可能性があります。P7<sub>7</sub>/HA<sub>0</sub>、P7<sub>6</sub>/IOR、P7<sub>5</sub>/IOW、P7<sub>5</sub>/CS<sub>1</sub>、P4<sub>6</sub>/CS<sub>2</sub>およびP3<sub>7</sub>/HDB<sub>7</sub>～P3<sub>0</sub>/HDB<sub>0</sub>は自動的に入力端子および入出力端子となります。当該端子を使用する場合はポート入力端子または拡張バス制御端子とし、シングルチップモードでは、P7<sub>6</sub>/IOR端子が“Low”レベル、かつ、P7<sub>5</sub>/CS<sub>1</sub>端子またはP4<sub>6</sub>/CS<sub>2</sub>端子の一方または両方が“Low”レベルの状態が発生しないようにする必要があります。

拡張モード時に、HIEビットを“1”にセットした状態で外部空間をアクセスすると、自動的にP7<sub>6</sub>/IOR/RD端子が“Low”レベル、かつ、P7<sub>5</sub>/CS<sub>1</sub>/AS端子が“Low”レベルの状態が発生します。これにより、P4<sub>4</sub>/HIRQ<sub>12</sub>、P4<sub>3</sub>/HIRQ<sub>11</sub>、P4<sub>2</sub>/HIRQ<sub>10</sub>の出力値が変化する場合がありますのでご注意ください。

# 5. ウェイト制御

---

## 第 5 章 目次

5. 1	概要	101
5. 1. 1	特長	101
5. 1. 2	ブロック図	101
5. 1. 3	端子構成	102
5. 1. 4	レジスタ構成	102
5. 2	各レジスタの説明	102
5. 2. 1	ウェイトステートコントロールレジスタ (WSCR)	102
5. 3	ウェイトモード	104

---



## 5. 1 概要

本LSIはウェイトステートコントローラを内蔵しており、低速外部デバイスとのインターフェースのために、バスサイクルにウェイトステートを挿入することが可能です。

### 5. 1. 1 特長

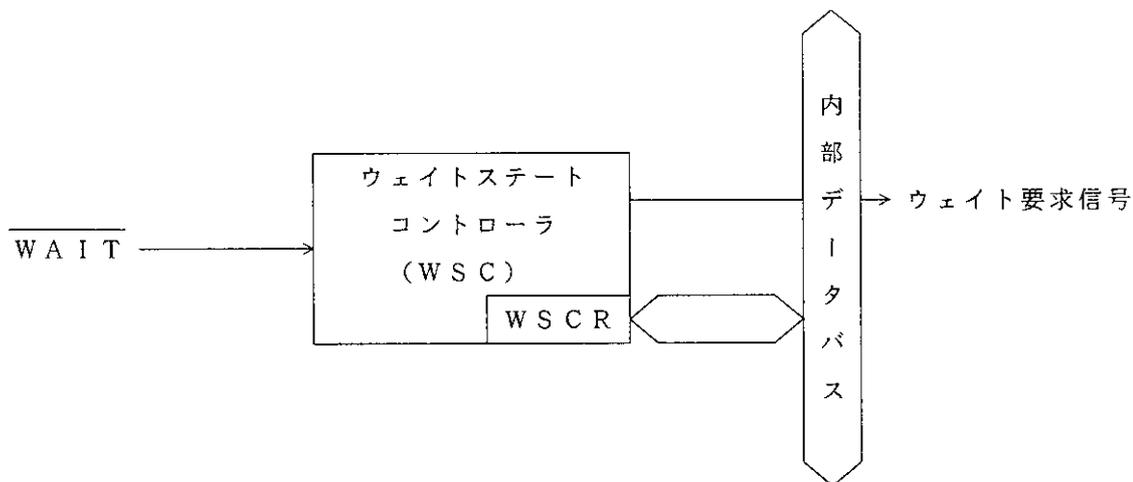
ウェイトステートコントローラの特長を次に示します。

#### ■ 3種類のウェイトモード

- ・プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモードを選択可能
- ・0～3ステートのウェイトステートを自動的に挿入可能

### 5. 1. 2 ブロック図

ウェイトステートコントローラのブロック図を図5.1に示します。



<記号説明>

WSCR : ウェイトステートコントロールレジスタ

図 5. 1 ウェイトステートコントローラのブロック図

### 5.1.3 端子構成

ウェイトステートコントローラの入出力端子を表5.1に示します。

表 5.1 端子構成

名 称	略 称	入出力	機 能
ウェイト	$\overline{\text{WAIT}}$	入 力	外部空間をアクセスするときのウェイト要求信号

### 5.1.4 レジスタ構成

ウェイトステートコントローラのレジスタ構成を表5.2に示します。

表 5.2 レジスタ構成

アドレス		略 称	R/W	初期値
H' FFC2	ウェイトステートコントロールレジスタ	WSCR	R/W	H' C8

## 5.2 各レジスタの説明

### 5.2.1 ウェイトステートコントロールレジスタ (WSCR)

WSCRは8ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ (WSC) のウェイトモードとウェイトステート数を設定します。また周辺モジュールへのクロックの分周を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値:	1	1	0	0	1	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

WSCRはリセット、またはハードウェアスタンバイモード時にH' C8にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7: リザーブビット

ビット6: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5：クロック分周（CKDBL）

周辺モジュールへ供給するクロック分周を制御します。詳しくは「第6章 クロック発振器」を参照してください。

ビット4：リザーブビット

リザーブビットです。リード／ライト可能で、初期値は“0”です。

ビット3、2：ウェイトモードセレクト1、0（WMS1、0）

ウェイトモードを設定します。

ビット3	ビット2	説 明
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード (初期値)
	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0（WC1、0）

外部空間をアクセスするときに、自動的に挿入するウェイトステート数を設定します。

ビット1	ビット0	説 明
WC1	WC0	
0	0	WSCによるウェイトの自動的な挿入を禁止 (初期値)
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

### 5.3 ウェイトモード

#### (1) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部空間をアクセスすると、常に WC1、0ビットにより設定されたステート数だけ  $T_w$  が挿入されます。

このタイミングを図5.2に示します。図5.2は、ウェイトカウントが1の場合（WC1 = “0”、WC0 = “1”）です。

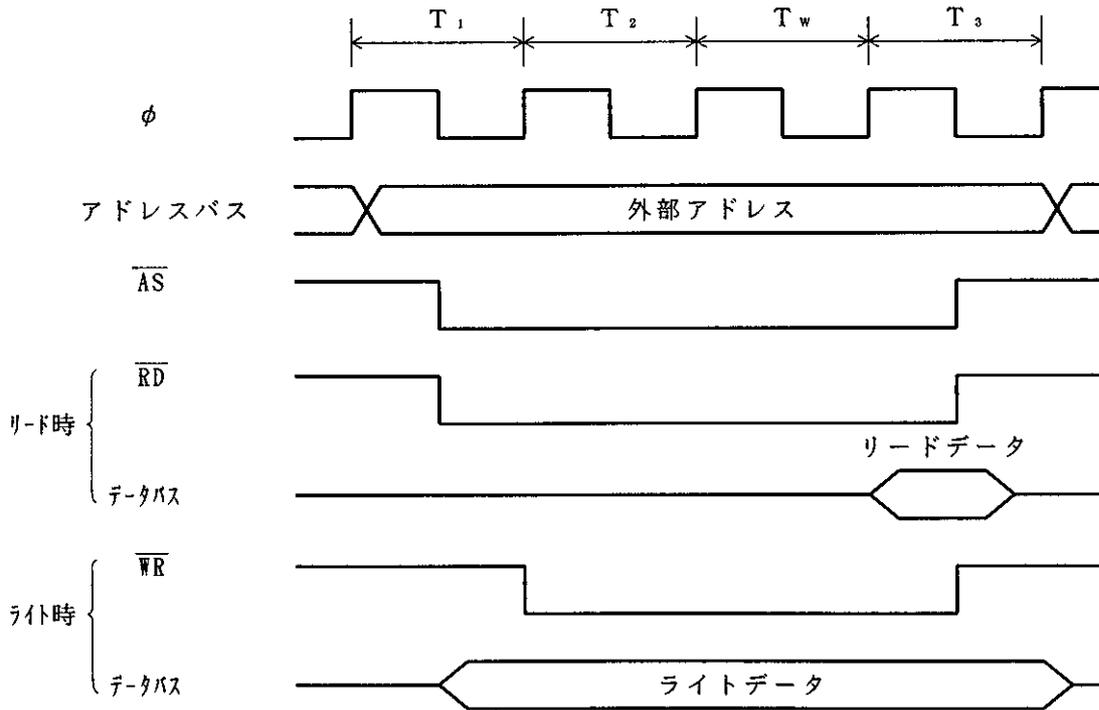


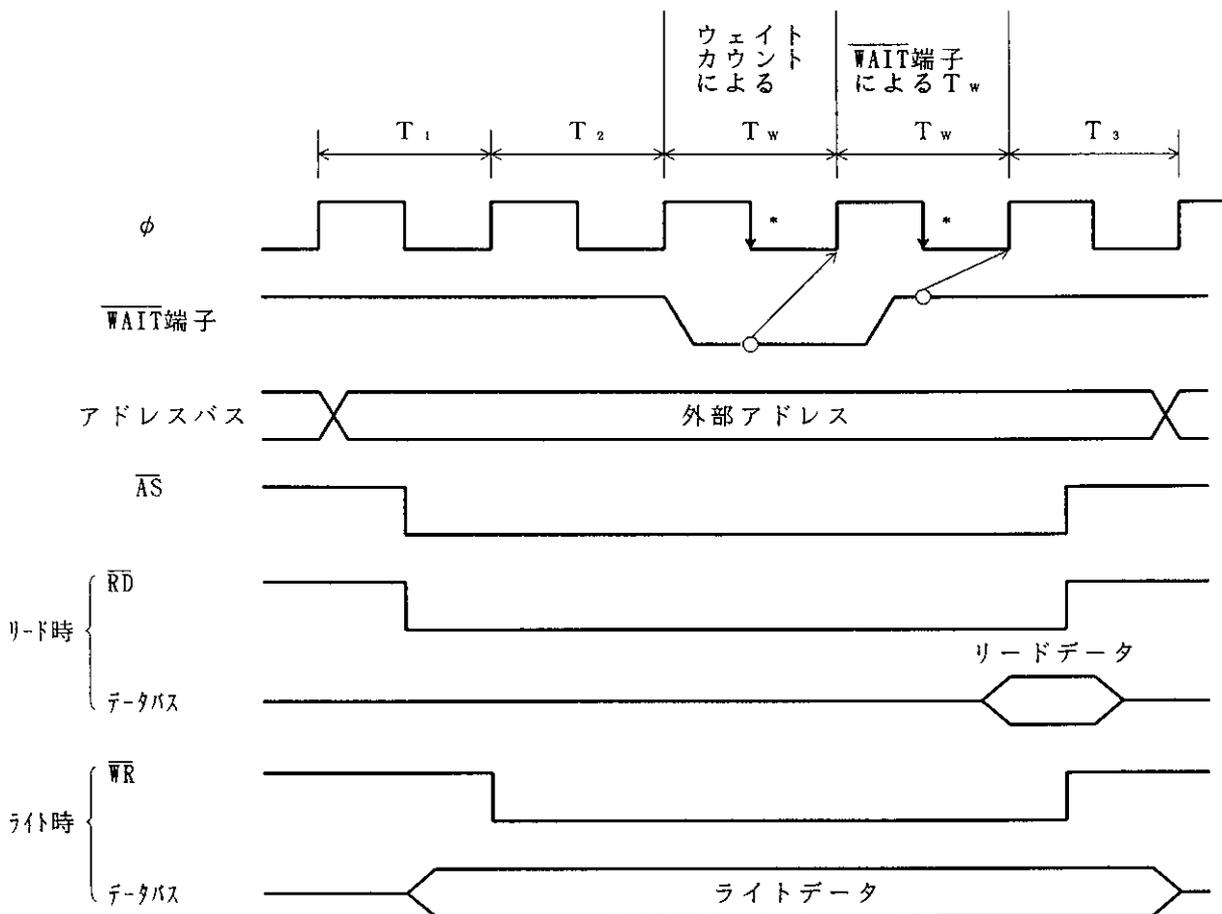
図5.2 プログラマブルウェイトモード

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常にWC1、0ビットにより設定されたステート数だけ $T_w$ が挿入されます。この最後の $T_w$ の $\phi$ の立下がりのタイミングで $\overline{\text{WAIT}}$ 端子を“Low”レベルにすることで、さらに $T_w$ を挿入することができます。 $\overline{\text{WAIT}}$ 端子が“Low”レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が“High”レベルに立上がるまで $T_w$ が挿入されます。

端子ウェイトモードは、4ステート以上の $T_w$ を挿入する場合や、外部デバイスごとに挿入すると $T_w$ 数を変える場合などに有効です。

ウェイトカウン트가1(WC1 = “0”、WC0 = “1”)で、かつ $\overline{\text{WAIT}}$ 端子入力による $T_w$ が1ステートの場合のタイミングを図5.3に示します。



【注】\* 矢印は $\overline{\text{WAIT}}$ 端子のサンプリングタイミングを示します。

図5.3 端子ウェイトモード

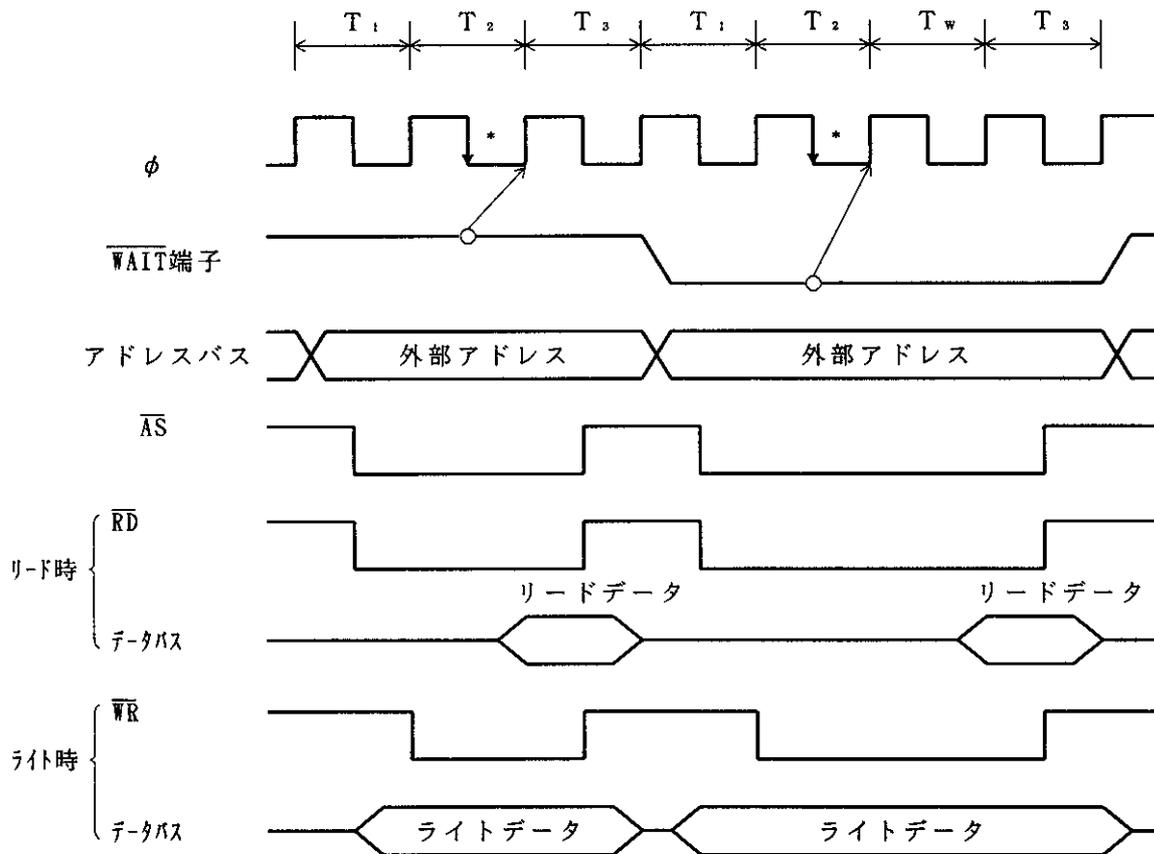
(3) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が“Low”レベルのとき、WC 1、0ビットで設定された $T_w$ 数が挿入されます。

端子オートウェイトモードでは、 $T_2$ ステートの $\phi$ の立下がりのタイミングで $\overline{\text{WAIT}}$ 端子が“Low”レベルであればWC 1、0ビットによって設定された数だけ $T_w$ を挿入します。

$\overline{\text{WAIT}}$ 端子を“Low”レベルに保持しても、設定された数を超える $T_w$ は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 5.4 に示します。図 5.4 は、ウェイトカウントが 1 の場合です。



【注】\* 矢印は $\overline{\text{WAIT}}$ 端子のサンプリングタイミングを示します。

図 5.4 端子オートウェイトモード

# 6. クロック発振器

---

## 第 6 章 目次

6.1	概要	109
6.1.1	ブロック図	109
6.1.2	ウェイトステートコントロールレジスタ (WSCR)	109
6.2	発振器	111
6.3	デューティ補正回路	114
6.4	プリスケアラ	114

---



## 6. 1 概要

本LSIはクロック発振器（CPG：Clock Pulse Generator）を内蔵しています。クロック発振器は、発振器、デューティ補正回路、内蔵周辺モジュール用クロック分周器、プリスケアラから構成されます。

### 6. 1. 1 ブロック図

図 6. 1 にクロック発振器のブロック図を示します。

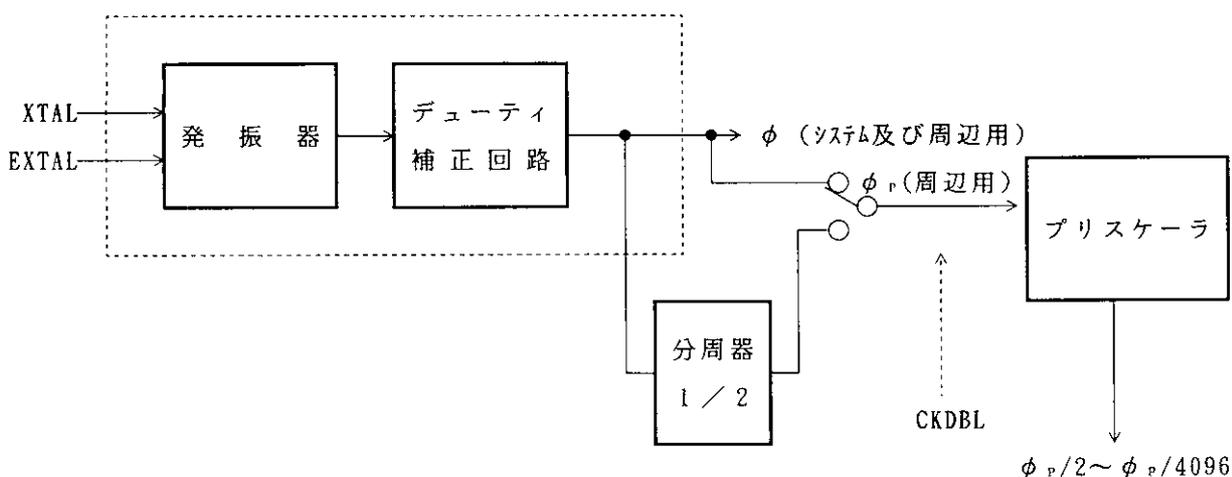


図 6. 1 クロック発振器のブロック図

EXTAL端子に外部クロックを入力するか、またはXTAL端子とEXTAL端子に水晶振動子を接続します。システムクロック（ $\phi$ ）の周波数は、発振周波数と同一になります。タイマなどの周辺機能に供給するクロック（ $\phi_p$ ）は、CKDBLビットをソフトウェアで制御し、分周なしまたは2分周を選択できます。ただし、周辺機能のシステムは、（ $\phi$ ）で動作しますので、（ $\phi_p$ ）を変更しても消費電流は大きく変わりません。

### 6. 1. 2 ウェイトステートコントロールレジスタ（WSCR）

ウェイトステートコントロールレジスタ（WSCR）は8ビットのリード/ライト可能なレジスタで、周辺モジュールへ供給するクロックの分周を制御します。また、ウェイトステートコントローラのウェイトの制御を行います。

WSCRはリセットまたはハードウェアスタンバイモード時にH' C8にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット：	7	6	5	4	3	2	1	0
	——	——	CKDBL	——	WMS1	WMS0	WC1	WC0
初期値：	1	1	0	0	1	0	0	0
R/W：	——	——	R/W	R/W	R/W	R/W	R/W	R/W

ビット7：リザーブビット

ビット6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。リードは無効です。

ビット5：クロック分周（CKDBL）

周辺モジュールへ供給するシステムクロックの分周を制御します。

ビット5 CKDBL	説 明
0	周辺モジュールへのクロック ( $\phi_p$ ) はシステムクロック ( $\phi$ ) を分周しない (初期値)
1	周辺モジュールへのクロック ( $\phi_p$ ) はシステムクロック ( $\phi$ ) を2分周する

ビット4：リザーブビット

リザーブビットです。リード/ライト可能で、初期値は“0”です。

ビット3、2：ウェイトモードセレクト1、0（WMS1、0）

ビット1、0：ウェイトカウンタ1、0（WC1、0）

ウェイトステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

## 6.2 発振器

クロック発振器へクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

### (1) 水晶発振子を接続する方法

#### ① 回路構成

水晶発振子を接続する場合の接続例を図6.2に示します。水晶発振子は、ATカット並列共振形を使用してください。

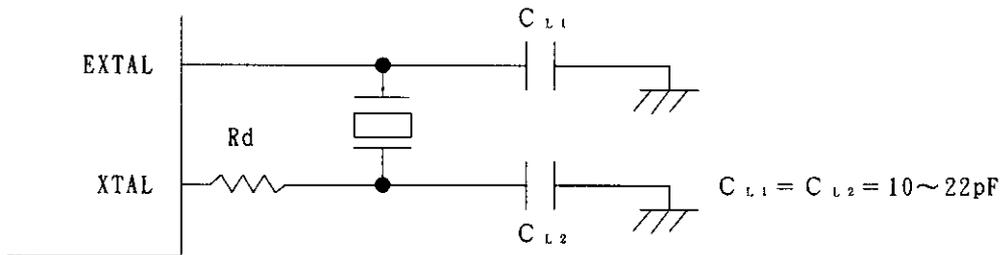


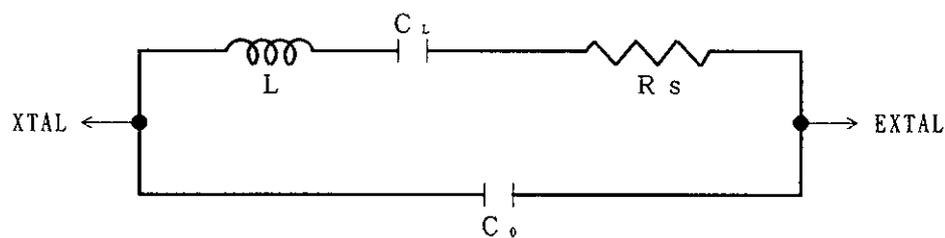
図6.2 水晶発振子を接続する場合の接続例

表6.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16
R <sub>d</sub> (Ω)	1 k	500	200	0	0	0

#### ② 水晶発振子

図6.3に水晶発振子の等価回路を示します。水晶発振子は表6.2に示す特性のものを使用してください。



ATカット並列共振形

図6.3 水晶発振子の等価回路

表6.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16
R <sub>s max</sub> (Ω)	500	120	80	70	60	50
C <sub>0</sub> (pF)	7 pF max					

水晶発振子は、システムクロック (φ) と同一の周波数のものを使用してください。

③ ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通させないでください。誘導により正しい発振ができなくなる場合があります（図 6. 4）。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけXTAL、EXTAL端子の近くに配置してください。

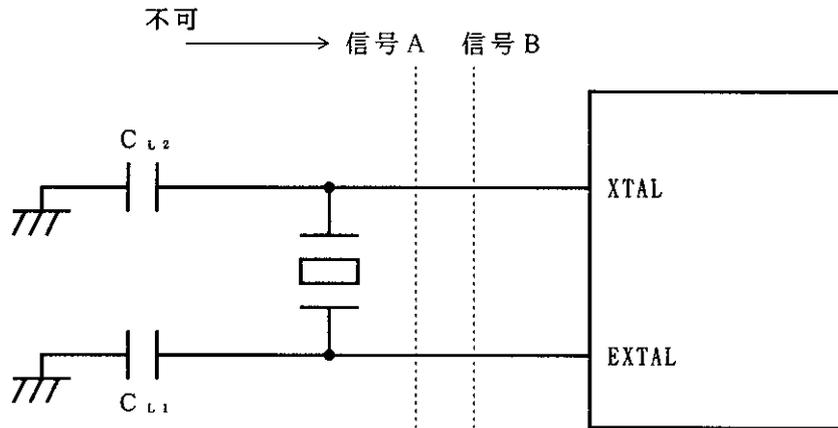


図 6. 4 発振回路部のボード設計に関する注意事項

(2) 外部クロックを入力する方法

① 回路構成

外部クロック入力の接続例を図 6. 5 に示します。図 6. 5 (b) の場合、スタンバイ時には外部クロックが“High”レベルとなるようにしてください。

XTAL端子をオープン状態にする場合は、寄生容量が10pF以下としてください。

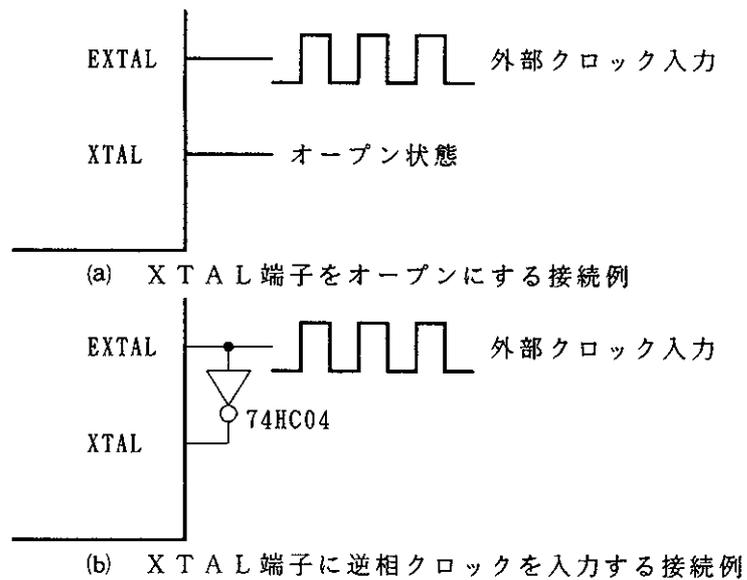


図 6. 5 外部クロックを入力する場合の接続例

② 外部クロック

外部クロックはシステムクロック ( $\phi$ ) と同一の周波数にしてください。表 6.3 と図 6.6 にクロックタイミングを示します。

表 6.3 クロックタイミング

項目	記号	$V_{CC}=2.7\sim 5.5V$		$V_{CC}=4.0\sim 5.5V$		$V_{CC}=5.0V\pm 10\%$		単位	測定条件	
		min	max	min	max	min	max			
外部クロック入力 パルス幅“Low”レベル	$t_{EXL}$	40	—	30	—	20	—	ns	図 6.6	
外部クロック入力 パルス幅“High”レベル	$t_{EXH}$	40	—	30	—	20	—	ns		
外部クロック 立上がり時間	$t_{EXr}$	—	10	—	10	—	5	ns		
外部クロック 立下がり時間	$t_{EXf}$	—	10	—	10	—	5	ns		
クロックパルス幅 “Low”レベル	$t_{CL}$	0.3	0.7	0.3	0.7	0.3	0.7	$t_{eye}$	$\phi \geq 5\text{ MHz}$	図 19.4
		0.4	0.6	0.4	0.6	0.4	0.6	$t_{eye}$	$\phi < 5\text{ MHz}$	
クロックパルス幅 “High”レベル	$t_{CH}$	0.3	0.7	0.3	0.7	0.3	0.7	$t_{eye}$	$\phi \geq 5\text{ MHz}$	
		0.4	0.6	0.4	0.6	0.4	0.6	$t_{eye}$	$\phi < 5\text{ MHz}$	

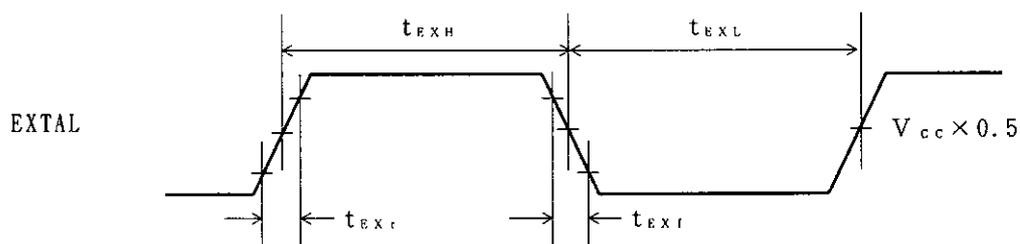


図 6.6 外部クロック入力タイミング

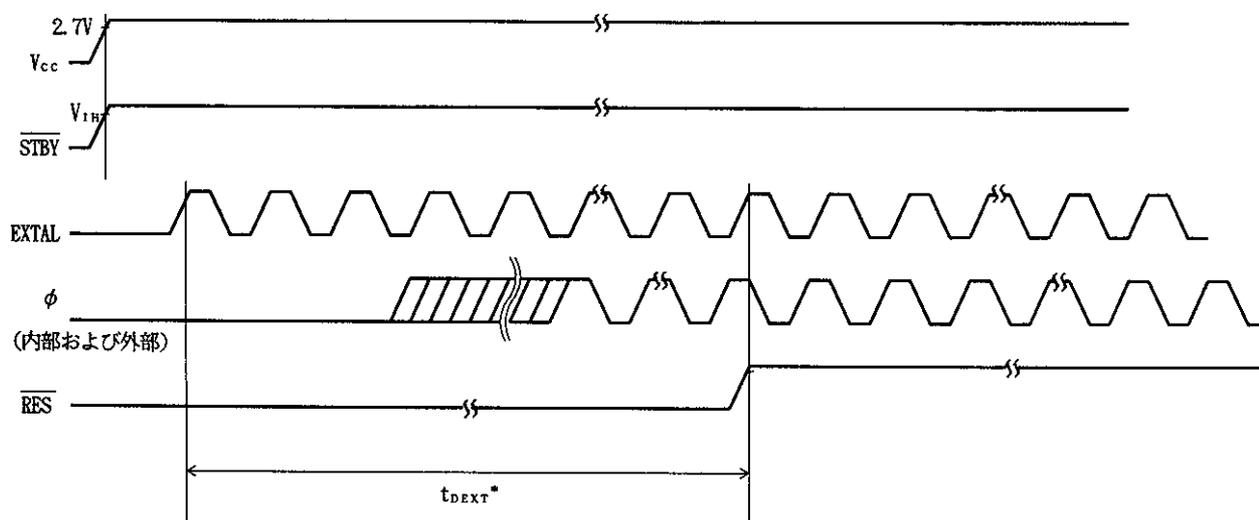
表6.4に外部クロック出力安定遅延時間、図6.7に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間( $t_{DEXT}$ )経過後に内部クロック信号出力が確定します。 $t_{DEXT}$ 期間中はクロック信号出力が確定していないので、リセット信号を“Low”にし、リセット状態に保持してください。

表6.4 外部クロック出力安定遅延時間

[条件: $V_{CC}=2.7V\sim 5.5V$ 、 $AV_{CC}=2.7V\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ ]

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	$t_{DEXT}^*$	500	—	$\mu s$	図6.7

【注】\* :  $t_{DEXT}$ は、RESパルス幅( $t_{RESW}$ )を $10t_{CYC}$ 含みます。



【注】\* :  $t_{DEXT}$ は、RESパルス幅( $t_{RESW}$ )を $10t_{CYC}$ 含みます。

図6.7 外部クロック出力安定遅延時間タイミング

### 6.3 デューティ補正回路

デューティ補正回路は、周波数5MHz以上の発振に対し発振器からのクロックのデューティを補正し、システムクロック( $\phi$ )を生成します。

### 6.4 プリスケーラ

1/2分周器は、CKDBLビットの設定に従って、システムクロック( $\phi$ )から周辺モジュール用クロック( $\phi_P$ )を生成します。

プリスケーラは、 $\phi_P$ を分周し、内部クロック( $\phi_P/2\sim\phi_P/4096$ )を生成します。

# 7. I/Oポート

## 第7章 目次

7.1	概要	117
7.2	ポート1	121
7.2.1	概要	121
7.2.2	レジスタの構成と説明	121
7.2.3	モード別端子機能	123
7.2.4	入力プルアップMOS	126
7.3	ポート2	127
7.3.1	概要	127
7.3.2	レジスタの構成と説明	127
7.3.3	モード別端子機能	129
7.3.4	入力プルアップMOS	132
7.4	ポート3	133
7.4.1	概要	133
7.4.2	レジスタの構成と説明	133
7.4.3	モード別端子機能	135
7.4.4	入力プルアップMOS	136
7.5	ポート4	137
7.5.1	概要	137
7.5.2	レジスタの構成と説明	138
7.5.3	端子機能	140
7.6	ポート5	142
7.6.1	概要	142
7.6.2	レジスタの構成と説明	142
7.6.3	端子機能	144
7.7	ポート6	146
7.7.1	概要	146
7.7.2	レジスタの構成と説明	146

7.7.3	端子機能	149
7.8	ポート7	151
7.8.1	概要	151
7.8.2	レジスタの構成と説明	152
7.8.3	端子機能	154

---

## 7.1 概要

本LSIは、8ビット入出力ポートを5本、7ビット入出力ポートを1本、6ビット入出力ポートを1本備えています。

各ポートの動作モード別機能一覧を表7.1に示します。表7.1に示すように、各ポートは兼用端子になっています。また各ポートの端子機能は動作モードにより異なります。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）から構成されています。ポートのDDR、DRに対してビット操作命令を実行する場合には、「2.5.5 ビット操作命令」の【ビット操作命令使用上の注意】を参照してください。

ポート1～3、6、7、およびφクロック出力端子は1個のTTL負荷と90pFの容量負荷を駆動することができ、ポート4（P4<sub>0</sub>は除く）、5は1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ポート1、2、3は、LEDを駆動（シンク電流10mA）することができます。

ポート1～7はダーリントントランジスタを駆動することができます。ポート1～3およびP6<sub>0</sub>～P6<sub>3</sub>、P7<sub>0</sub>～P7<sub>3</sub>には入力プルアップMOSが内蔵されています。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

ポート7のP7<sub>0</sub>～P7<sub>3</sub>（SCL、SDAを含む）端子は、バスバッファ駆動が可能です。バスバッファ駆動については「第14章 I<sup>2</sup>Cバスインタフェース」を参照してください。

H8/3212およびH8/3202は、一部の周辺機能を内蔵しないサブセットの仕様になっていますので、ご注意ください。ピン機能の異同については、表1.2～表1.4 モード別ピン配置一覧および表7.1 ポートの機能一覧を参照してください。

表 7.1 (a) H 8 / 3 2 1 7、H 8 / 3 2 1 6、H 8 / 3 2 1 4 のポート機能一覧

ポート	概要	端子	拡張モード		シグナチャモード
			モード1	モード2	モード3
ポート1	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップ MOS内蔵</li> </ul>	P1 <sub>7</sub> ~P1 <sub>0</sub> / A <sub>7</sub> ~A <sub>0</sub> / PW <sub>7</sub> ~PW <sub>0</sub>	下位アドレス出力端子	DDR="0"のとき(リセット後)入力ポート DDR="1"のとき下位7F <sub>15</sub> 出力端子またはPWMタイマ出力端子	入出力ポートとPWMタイマ出力端子の兼用
ポート2	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップ MOS内蔵</li> </ul>	P2 <sub>7</sub> ~P2 <sub>0</sub> / A <sub>15</sub> ~A <sub>8</sub> / PW <sub>15</sub> ~PW <sub>8</sub>	上位アドレス出力端子	DDR="0"のとき(リセット後)入力ポート DDR="1"のとき上位7F <sub>15</sub> 出力端子またはPWMタイマ出力端子	入出力ポートとPWMタイマ出力端子の兼用
ポート3	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップ MOS内蔵</li> </ul>	P3 <sub>7</sub> ~P3 <sub>0</sub> / D <sub>7</sub> ~D <sub>0</sub> / HDB <sub>7</sub> ~HDB <sub>0</sub>	データバス		ホストインタフェースデータバス(HDB <sub>7</sub> ~HDB <sub>0</sub> )と入出力ポートの兼用
ポート4	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> </ul>	P4 <sub>7</sub> /TMO <sub>x</sub> / CLAMPO/GA <sub>20</sub>	ホストインタフェースの制御出力(GA <sub>20</sub> )、8ビットタイマXの出力端子(TMO <sub>x</sub> )と入出力ポートとタイマコネクション出力端子(CLAMPO)の兼用		
		P4 <sub>6</sub> /φ/ FBACKI/CS <sub>2</sub>	φ出力端子		DDR="0"のとき(リセット後)ホストインタフェース制御入力(CS <sub>2</sub> )、入力ポートとタイマコネクション入力端子(FBACKI)の兼用 DDR="1"のときφ出力端子
		P4 <sub>6</sub> /TMRI <sub>1</sub> /CSYNCI/HIRQ <sub>1,2</sub> P4 <sub>5</sub> /TMO <sub>1</sub> /HSYNCO/HIRQ <sub>1</sub> P4 <sub>4</sub> /TMCI <sub>1</sub> /HSYNCI/HIRQ <sub>1,1</sub> P4 <sub>2</sub> /TMRI <sub>0</sub> P4 <sub>1</sub> /TMO <sub>0</sub> P4 <sub>0</sub> /TMCI <sub>0</sub>	ホストインタフェースのホストCPU割込み要求出力(HIRQ <sub>1,2</sub> 、HIRQ <sub>1</sub> 、HIRQ <sub>1,1</sub> )、8ビットタイマ0、1の入出力端子(TMCI <sub>0</sub> 、TMO <sub>0</sub> 、TMRI <sub>0</sub> 、TMCI <sub>1</sub> 、TMO <sub>1</sub> 、TMRI <sub>1</sub> )と入出力ポートとタイマコネクション入出力端子(CSYNCI、HSYNCO、HSYNCI)の兼用		
ポート5	<ul style="list-style-type: none"> <li>6ビットの入出力ポート</li> </ul>	P5 <sub>6</sub> /SCK <sub>1</sub> P5 <sub>4</sub> /RxD <sub>1</sub> P5 <sub>3</sub> /TxD <sub>1</sub> P5 <sub>2</sub> /SCK <sub>0</sub> P5 <sub>1</sub> /RxD <sub>0</sub> P5 <sub>0</sub> /TxD <sub>0</sub>	シリアルコミュニケーションインタフェース0、1の入出力端子(TxD <sub>0</sub> 、RxD <sub>0</sub> 、SCK <sub>0</sub> 、TxD <sub>1</sub> 、RxD <sub>1</sub> 、SCK <sub>1</sub> )と6ビットの入出力ポートの兼用		
ポート6	<ul style="list-style-type: none"> <li>7ビットの入出力ポート</li> <li>入力プルアップ MOS内蔵(P6<sub>5</sub>~P6<sub>0</sub>)</li> </ul>	P6 <sub>6</sub> /IRQ <sub>2</sub> P6 <sub>5</sub> /IRQ <sub>1</sub> P6 <sub>4</sub> /IRQ <sub>0</sub>	IRQ <sub>2</sub> ~IRQ <sub>0</sub> 端子と入出力ポートの兼用		
		P6 <sub>5</sub> /FTI/VSYNCI/KEYIN <sub>5</sub> P6 <sub>2</sub> /FTOB/VSYNCO/KEYIN <sub>2</sub> P6 <sub>1</sub> /FTOA/KEYIN <sub>1</sub> P6 <sub>0</sub> /FTCI/KEYIN <sub>0</sub>	フリーランニングタイマの入出力端子(FTCI、FTOA、FTOB、FTI)と入出力ポートおよびタイマコネクション入出力(VSYNCI、VSYNCO)の兼用 (キースキャン用キーセンス入力端子KEYIN <sub>5</sub> ~KEYIN <sub>0</sub> として使用可能)		
ポート7	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>バスバッファ駆動可能(P7<sub>5</sub>~P7<sub>0</sub>)</li> <li>入力プルアップ MOS内蔵(P7<sub>5</sub>~P7<sub>0</sub>)</li> </ul>	P7 <sub>7</sub> /WAIT/HA <sub>0</sub>	拡張データバス制御入力(WAIT)と入力ポートの兼用	ホストインタフェース制御入力(HA <sub>0</sub> 、IOR、IOW、CS <sub>1</sub> )と入出力ポートの兼用	
		P7 <sub>6</sub> /RD/IOR P7 <sub>5</sub> /WR/IOW P7 <sub>4</sub> /AS/CS <sub>1</sub>	拡張データバス制御出力(RD、WR、AS)		
		P7 <sub>3</sub> /SDA <sub>1</sub> /KEYIN <sub>7</sub> P7 <sub>2</sub> /SCL <sub>1</sub> /KEYIN <sub>6</sub> P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub> P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	I <sup>2</sup> Cバスインタフェース0、1の入出力端子(SDA <sub>0</sub> 、SCL <sub>0</sub> 、SDA <sub>1</sub> 、SCL <sub>1</sub> )と入出力ポートの兼用 (キースキャン用キーセンス入力端子KEYIN <sub>7</sub> ~KEYIN <sub>4</sub> として使用可能)		

表 7. 1 (b) H 8 / 3 2 1 2 のポート機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2	モード3
ポート 1	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P1 <sub>7</sub> ~P1 <sub>0</sub> / A <sub>7</sub> ~A <sub>0</sub> / PW <sub>7</sub> ~PW <sub>0</sub>	下位アドレス 出力端子	DDR="0"のとき (リセット後) 入力ポート DDR="1"のとき 下位アドレス出力端子 またはPWMタイマ出力端子	入出力ポートとPWMタイマ出力端子の兼用
ポート 2	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P2 <sub>7</sub> ~P2 <sub>0</sub> / A <sub>15</sub> ~A <sub>8</sub> / PW <sub>15</sub> ~PW <sub>8</sub>	上位アドレス 出力端子	DDR="0"のとき (リセット後) 入力ポート DDR="1"のとき 上位アドレス出力端子 またはPWMタイマ出力端子	入出力ポートとPWMタイマ出力端子の兼用
ポート 3	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P3 <sub>7</sub> ~P3 <sub>0</sub> / D <sub>7</sub> ~D <sub>0</sub>	データバス		入出力ポート
ポート 4	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> </ul>	P4 <sub>7</sub> /TMO <sub>x</sub> / CLAMPO	8ビットタイマXの出力端子(TMO <sub>x</sub> )と入出力ポートとタイマコネクショ <sub>ン</sub> 出力端子(CLAMPO)の兼用		
		P4 <sub>6</sub> /φ/ FBACKI	φ出力端子		DDR="0"のとき (リセット後) 入力ポートとタイマコネクショ <sub>ン</sub> 入力端子(FBACKI)の兼用 DDR="1"のとき φ出力端子
		P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCI P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI P4 <sub>2</sub> /TMRI <sub>0</sub> P4 <sub>1</sub> /TMO <sub>0</sub> P4 <sub>0</sub> /TMCI <sub>0</sub>	8ビットタイマ0, 1の入出力端子(TMCI <sub>0</sub> , TMO <sub>0</sub> , TMRI <sub>0</sub> , TMCI <sub>1</sub> , TMO <sub>1</sub> , TMRI <sub>1</sub> )と入出力ポートとタイマコネクショ <sub>ン</sub> 入出力端子(CSYNCI, HSYNCO, HSYNCI)の兼用		
ポート 5	<ul style="list-style-type: none"> <li>6ビットの入出力ポート</li> </ul>	P5 <sub>5</sub> P5 <sub>4</sub> P5 <sub>3</sub> P5 <sub>2</sub> /SCK <sub>0</sub> P5 <sub>1</sub> /RxD <sub>0</sub> P5 <sub>0</sub> /TxD <sub>0</sub>	シリアルコミュニケーションインタフェース0の入出力端子(TxD <sub>0</sub> , RxD <sub>0</sub> , SCK <sub>0</sub> )と6ビットの入出力ポートの兼用		
ポート 6	<ul style="list-style-type: none"> <li>7ビットの入出力ポート</li> </ul>	P6 <sub>6</sub> /IRQ <sub>2</sub> P6 <sub>5</sub> /IRQ <sub>1</sub> P6 <sub>4</sub> /IRQ <sub>0</sub>	IRQ <sub>2</sub> ~IRQ <sub>0</sub> 端子と入出力ポートの兼用		
		P6 <sub>3</sub> /FTI/VSYNCI P6 <sub>2</sub> /FTOB/VSYNCO P6 <sub>1</sub> /FTOA P6 <sub>0</sub> /FTCI	フリーランニングタイマの入出力端子(FTCI, FTOA, FTOB, FTI)と入出力ポートおよびタイマコネクショ <sub>ン</sub> 入出力(VSYNCI, VSYNCO)の兼用		
ポート 7	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>バスバッファ駆動可能 (P7<sub>3</sub>~P7<sub>0</sub>)</li> </ul>	P7 <sub>7</sub> /WAIT	拡張データバス制御入力 (WAIT) と入力ポートの兼用		入出力ポート
		P7 <sub>6</sub> /RD P7 <sub>5</sub> /WR P7 <sub>4</sub> /AS	拡張データバス制御出力 (RD, WR, AS)		
		P7 <sub>3</sub> /SDA <sub>1</sub> P7 <sub>2</sub> /SCL <sub>1</sub> P7 <sub>1</sub> /SDA <sub>0</sub> P7 <sub>0</sub> /SCL <sub>0</sub>	I <sup>2</sup> Cバスインタフェース0, 1の入出力端子(SDA <sub>0</sub> , SCL <sub>0</sub> , SDA <sub>1</sub> , SCL <sub>1</sub> )と入出力ポートの兼用		

表 7.1 (c) H 8 / 3 2 0 2 のポート機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2	モード3
ポート1	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P1 <sub>7</sub> ~P1 <sub>0</sub> / A <sub>7</sub> ~A <sub>0</sub>	下位アドレス 出力端子	DDR="0"のとき(リセット後)入力ポート DDR="1"のとき下位7ビット出力端子	入出力ポート
ポート2	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P2 <sub>7</sub> ~P2 <sub>0</sub> / A <sub>10</sub> ~A <sub>3</sub>	上位アドレス 出力端子	DDR="0"のとき(リセット後)入力ポート DDR="1"のとき上位7ビット出力端子	入出力ポート
ポート3	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>LED駆動可能</li> <li>入力プルアップMOS内蔵</li> </ul>	P3 <sub>7</sub> ~P3 <sub>0</sub> / D <sub>7</sub> ~D <sub>0</sub> / HDB <sub>7</sub> ~HDB <sub>0</sub>	データバス		ホストインタフェースデータバス (HDB <sub>7</sub> ~HDB <sub>0</sub> ) と入出力ポートの兼用
ポート4	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> </ul>	P4 <sub>7</sub> /GA <sub>20</sub>	ホストインタフェースの制御出力 (GA <sub>20</sub> ) と入出力ポートの兼用		
		P4 <sub>6</sub> /φ/CS <sub>2</sub>	φ出力端子	DDR="0"のとき(リセット後)ホストインタフェースの制御入力(CS <sub>2</sub> ) と入力ポートの兼用 DDR="1"のときφ出力端子	
		P4 <sub>5</sub> /TMRI <sub>1</sub> /HIRQ <sub>12</sub> P4 <sub>4</sub> /TMO <sub>1</sub> /HIRQ <sub>1</sub> P4 <sub>3</sub> /TMCI <sub>1</sub> /HIRQ <sub>11</sub> P4 <sub>2</sub> /TMRI <sub>0</sub> P4 <sub>1</sub> /TMO <sub>0</sub> P4 <sub>0</sub> /TMCI <sub>0</sub>	ホストインタフェースのホストCPU割込み要求出力 (HIRQ <sub>12</sub> , HIRQ <sub>1</sub> , HIRQ <sub>11</sub> ) と8ビットタイマ0, 1の入出力端子 (TMCI <sub>0</sub> , TMO <sub>0</sub> , TMRI <sub>0</sub> , TMCI <sub>1</sub> , TMO <sub>1</sub> , TMRI <sub>1</sub> ) と入出力ポートの兼用		
ポート5	<ul style="list-style-type: none"> <li>6ビットの入出力ポート</li> </ul>	P5 <sub>5</sub> /SCK <sub>1</sub> P5 <sub>4</sub> /RxD <sub>1</sub> P5 <sub>3</sub> /TxD <sub>1</sub> P5 <sub>2</sub> /SCK <sub>0</sub> P5 <sub>1</sub> /RxD <sub>0</sub> P5 <sub>0</sub> /TxD <sub>0</sub>	シリアルコミュニケーションインタフェース0, 1の入出力端子 (TxD <sub>0</sub> , RxD <sub>0</sub> , SCK <sub>0</sub> , TxD <sub>1</sub> , RxD <sub>1</sub> , SCK <sub>1</sub> ) と6ビットの入出力ポートの兼用		
ポート6	<ul style="list-style-type: none"> <li>7ビットの入出力ポート</li> <li>入力プルアップMOS内蔵(P6<sub>5</sub>~P6<sub>0</sub>)</li> </ul>	P6 <sub>6</sub> /IRQ <sub>2</sub> P6 <sub>5</sub> /IRQ <sub>1</sub> P6 <sub>4</sub> /IRQ <sub>0</sub>	IRQ <sub>2</sub> ~IRQ <sub>0</sub> 端子と入出力ポートの兼用		
		P6 <sub>3</sub> /FTI//KEYIN <sub>5</sub> P6 <sub>2</sub> /FTOB//KEYIN <sub>2</sub> P6 <sub>1</sub> /FTOA//KEYIN <sub>1</sub> P6 <sub>0</sub> /FTCI//KEYIN <sub>0</sub>	フリーランニングタイマの入出力端子 (FTCI, FTOA, FTOB, FTI) と入出力ポートの兼用 (キースキャン用キーセンス入力端子KEYIN <sub>5</sub> ~KEYIN <sub>0</sub> として使用可能)		
ポート7	<ul style="list-style-type: none"> <li>8ビットの入出力ポート</li> <li>バスバッファ駆動可能 (P7<sub>5</sub>~P7<sub>0</sub>)</li> <li>入力プルアップMOS内蔵(P7<sub>5</sub>~P7<sub>0</sub>)</li> </ul>	P7 <sub>7</sub> /WAIT/HA <sub>0</sub>	拡張データバス制御入力 (WAIT) と入力ポート兼用	ホストインタフェース制御入力 (HA <sub>0</sub> , IOR, IOW, CS <sub>1</sub> ) と入出力ポートの兼用	
		P7 <sub>6</sub> /RD/TOR P7 <sub>5</sub> /WR/IOW P7 <sub>4</sub> /AS/CS <sub>1</sub>	拡張データバス制御出力 (RD, WR, AS)		
		P7 <sub>3</sub> /KEYIN <sub>7</sub> P7 <sub>2</sub> /KEYIN <sub>6</sub> P7 <sub>1</sub> /SDA <sub>0</sub> /KEYIN <sub>5</sub> P7 <sub>0</sub> /SCL <sub>0</sub> /KEYIN <sub>4</sub>	I <sup>2</sup> Cバスインタフェース0の入出力端子 (SDA <sub>0</sub> , SCL <sub>0</sub> ) と入出力ポートの兼用 (キースキャン用キーセンス入力端子KEYIN <sub>7</sub> ~KEYIN <sub>4</sub> として使用可能)		

## 7.2 ポート 1

### 7.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 7.1 に示す構成になっています。図 7.1 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 1 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダークトランジスタを駆動することも可能です。

		モード 1 (内蔵 ROM 無効拡張モード)	モード 2 (内蔵 ROM 有効拡張モード) 時の端子機能	モード 3 (シングルチップモード) 時の端子機能
ポート 1 端子		時の端子機能		
ポート 1	↔ P1 <sub>7</sub> /A <sub>7</sub> /P <sub>W</sub> <sub>7</sub>	A <sub>7</sub> (出力)	A <sub>7</sub> (出力)/P1 <sub>7</sub> (入力)/P <sub>W</sub> <sub>7</sub> (出力)	P1 <sub>7</sub> (入出力)/P <sub>W</sub> <sub>7</sub> (出力)
	↔ P1 <sub>6</sub> /A <sub>6</sub> /P <sub>W</sub> <sub>6</sub>	A <sub>6</sub> (出力)	A <sub>6</sub> (出力)/P1 <sub>6</sub> (入力)/P <sub>W</sub> <sub>6</sub> (出力)	P1 <sub>6</sub> (入出力)/P <sub>W</sub> <sub>6</sub> (出力)
	↔ P1 <sub>5</sub> /A <sub>5</sub> /P <sub>W</sub> <sub>5</sub>	A <sub>5</sub> (出力)	A <sub>5</sub> (出力)/P1 <sub>5</sub> (入力)/P <sub>W</sub> <sub>5</sub> (出力)	P1 <sub>5</sub> (入出力)/P <sub>W</sub> <sub>5</sub> (出力)
	↔ P1 <sub>4</sub> /A <sub>4</sub> /P <sub>W</sub> <sub>4</sub>	A <sub>4</sub> (出力)	A <sub>4</sub> (出力)/P1 <sub>4</sub> (入力)/P <sub>W</sub> <sub>4</sub> (出力)	P1 <sub>4</sub> (入出力)/P <sub>W</sub> <sub>4</sub> (出力)
	↔ P1 <sub>3</sub> /A <sub>3</sub> /P <sub>W</sub> <sub>3</sub>	A <sub>3</sub> (出力)	A <sub>3</sub> (出力)/P1 <sub>3</sub> (入力)/P <sub>W</sub> <sub>3</sub> (出力)	P1 <sub>3</sub> (入出力)/P <sub>W</sub> <sub>3</sub> (出力)
	↔ P1 <sub>2</sub> /A <sub>2</sub> /P <sub>W</sub> <sub>2</sub>	A <sub>2</sub> (出力)	A <sub>2</sub> (出力)/P1 <sub>2</sub> (入力)/P <sub>W</sub> <sub>2</sub> (出力)	P1 <sub>2</sub> (入出力)/P <sub>W</sub> <sub>2</sub> (出力)
	↔ P1 <sub>1</sub> /A <sub>1</sub> /P <sub>W</sub> <sub>1</sub>	A <sub>1</sub> (出力)	A <sub>1</sub> (出力)/P1 <sub>1</sub> (入力)/P <sub>W</sub> <sub>1</sub> (出力)	P1 <sub>1</sub> (入出力)/P <sub>W</sub> <sub>1</sub> (出力)
	↔ P1 <sub>0</sub> /A <sub>0</sub> /P <sub>W</sub> <sub>0</sub>	A <sub>0</sub> (出力)	A <sub>0</sub> (出力)/P1 <sub>0</sub> (入力)/P <sub>W</sub> <sub>0</sub> (出力)	P1 <sub>0</sub> (入出力)/P <sub>W</sub> <sub>0</sub> (出力)

図 7.1 ポート 1 の端子構成

### 7.2.2 レジスタの構成と説明

表 7.2 にポート 1 のレジスタ構成を示します。

表 7.2 ポート 1 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1	モード 2、3	
ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00		H'FFB2
ポート 1 入力プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00		H'FFAC

(1) ポート1データディレクションレジスタ (P1DDR)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR
モード1	{	初期値:	1	1	1	1	1	1
		R/W:	—	—	—	—	—	—
モード2、3	{	初期値:	0	0	0	0	0	0
		R/W:	W	W	W	W	W	W

P1DDRは、ポート1の各端子の入出力をビットごとに制御します。

(a) モード1

P1DDRは、“1”に固定され、ポート1は下位アドレス出力端子になります。P1DDRへのリード/ライトは無効です。リードすると“1”が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード2

P1DDRに“1”をセットすると対応するポート1の端子はアドレス出力端子またはPWM出力端子になり、“0”にクリアすると入力端子になります。

(c) モード3

P1DDRに“1”をセットすると対応するポート1の端子は出力端子またはPWM出力端子になり、“0”にクリアすると入力端子になります。

モード2、3ではP1DDRは、ライト専用レジスタですからリードは無効です。リードすると“1”が読み出されます。P1DDRはリセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP1DDRの状態を保持しています。そのため、P1DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート1データレジスタ (P1DR)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P1DRは、ポート1の各端子P1<sub>7</sub>~P1<sub>0</sub>のデータを格納する8ビットのレジスタです。P1DRが“1”のとき、ポート1のリードを行うと、P1DRの値を直接リードします。そのため端子の状態の影響を受けません。P1DDRが“0”のときポート1のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P1DDRは、H'00にイニシャライズされま  
す。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態  
を保持しています。

(3) ポート1入力プルアップMOSコントロールレジスタ (P1PCR)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub> PCR	P1 <sub>6</sub> PCR	P1 <sub>5</sub> PCR	P1 <sub>4</sub> PCR	P1 <sub>3</sub> PCR	P1 <sub>2</sub> PCR	P1 <sub>1</sub> PCR	P1 <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P1PCRは8ビットのリード/ライト可能なレジスタでポート1に内蔵した入力プルアップM  
OSをビットごとに制御します。P1DDRを“0”にクリアした(入力ポートの)状態でP1P  
CRを“1”にセットすると入力プルアップMOSはONします。

リセットまたはハードウェアスタンバイモード時に、P1PCRはH'00にイニシャライズされま  
す。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態  
を保持しています。

7.2.3 モード別端子機能

ポート1は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1の端子機能

モード1(内蔵ROM無効拡張モード)のとき、ポート1は自動的に下位アドレス出力端子(A<sub>7</sub>~A<sub>0</sub>)  
になります。

モード1の端子機能を図7.2に示します。

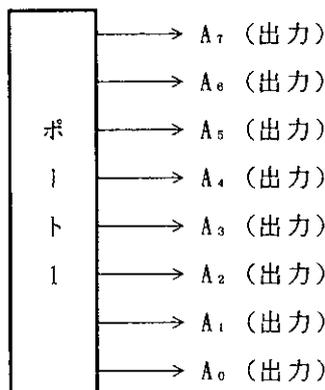


図 7.2 モード1の端子機能(ポート1)

(2) モード 2

モード 2（内蔵ROM有効拡張モード）のとき、ポート 1 は、下位アドレス出力端子、PWM出力端子と入力ポートとの兼用になります。各端子はビット単位でP1DDRを“1”にセットすると下位アドレス出力端子またはPWM出力端子となり、“0”にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P1DDRを“1”にセットしてください。

モード 2 の端子機能を図 7.3 に示します。

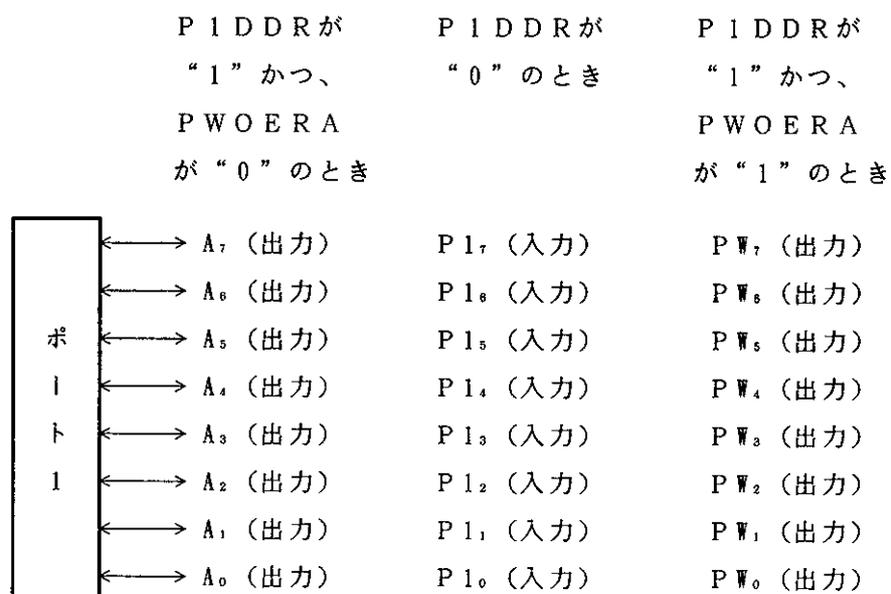


図 7.3 モード 2 の端子機能（ポート 1）

(3) モード3

モード3（シングルチップモード）のとき、ポート1は、PWM出力端子と入出力ポートとの兼用になります。入出力ポートのとき、各端子はビット単位で入出力を指定可能です。P1DDRの各ビットを“0”にクリアすると対応する端子は入力端子になります。“1”にセットしてPW0ERAを“0”にクリアすると、出力端子になり、PW0ERAを“1”にセットするとPWM出力端子になります。

モード3の端子機能を図7.4に示します。

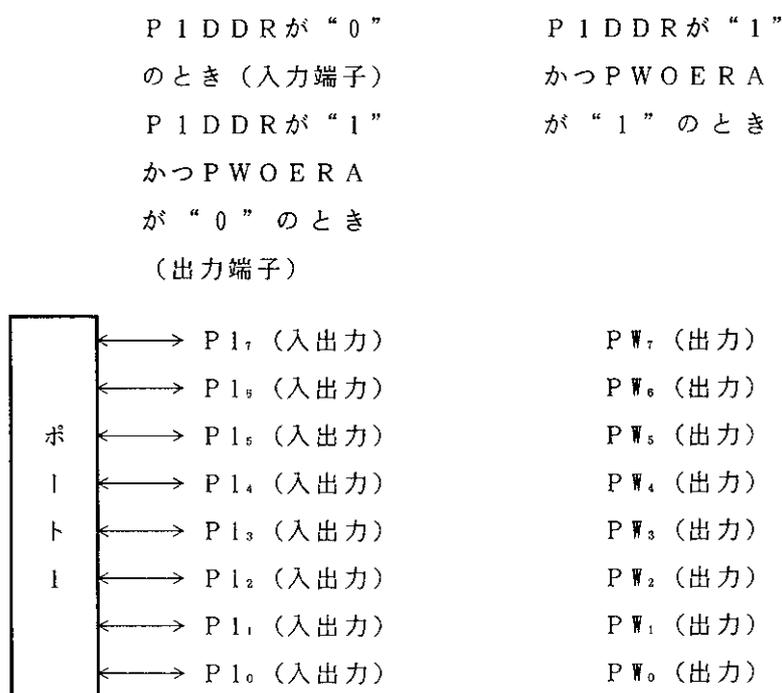


図7.4 モード3の端子機能（ポート1）

## 7.2.4 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P1PCRが“1”にセットかつP1DDRを“0”にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP1PCRが“0”にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.3に示します。

表7.3 入力プルアップMOSの状態（ポート1）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF			OFF
2				ON/OFF
3				ON/OFF

### <記号説明>

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P1PCR = “1” かつ、P1DDR = “0” のときON状態、その他のときはOFF状態です。

## 7.3 ポート 2

### 7.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 7.5 に示す構成になっています。図 7.5 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 2 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

ポート 2 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダートリントランジスタを駆動することも可能です。

	モード 1 (内蔵 ROM 無効拡張モード)	モード 2 (内蔵 ROM 有効拡張モード) 時の端子機能	モード 3 (シングルチップモード) 時の端子機能
ポート 2 端子 時の端子機能			
←→ P2 <sub>7</sub> /A <sub>15</sub> /P <sub>W</sub> <sub>15</sub>	A <sub>15</sub> (出力)	A <sub>15</sub> (出力)/P2 <sub>7</sub> (入力)/P <sub>W</sub> <sub>15</sub> (出力)	P2 <sub>7</sub> (入出力)/P <sub>W</sub> <sub>15</sub> (出力)
— P2 <sub>6</sub> /A <sub>14</sub> /P <sub>W</sub> <sub>14</sub>	A <sub>14</sub> (出力)	A <sub>14</sub> (出力)/P2 <sub>6</sub> (入力)/P <sub>W</sub> <sub>14</sub> (出力)	P2 <sub>6</sub> (入出力)/P <sub>W</sub> <sub>14</sub> (出力)
←→ P2 <sub>5</sub> /A <sub>13</sub> /P <sub>W</sub> <sub>13</sub>	A <sub>13</sub> (出力)	A <sub>13</sub> (出力)/P2 <sub>5</sub> (入力)/P <sub>W</sub> <sub>13</sub> (出力)	P2 <sub>5</sub> (入出力)/P <sub>W</sub> <sub>13</sub> (出力)
— P2 <sub>4</sub> /A <sub>12</sub> /P <sub>W</sub> <sub>12</sub>	A <sub>12</sub> (出力)	A <sub>12</sub> (出力)/P2 <sub>4</sub> (入力)/P <sub>W</sub> <sub>12</sub> (出力)	P2 <sub>4</sub> (入出力)/P <sub>W</sub> <sub>12</sub> (出力)
←→ P2 <sub>3</sub> /A <sub>11</sub> /P <sub>W</sub> <sub>11</sub>	A <sub>11</sub> (出力)	A <sub>11</sub> (出力)/P2 <sub>3</sub> (入力)/P <sub>W</sub> <sub>11</sub> (出力)	P2 <sub>3</sub> (入出力)/P <sub>W</sub> <sub>11</sub> (出力)
— P2 <sub>2</sub> /A <sub>10</sub> /P <sub>W</sub> <sub>10</sub>	A <sub>10</sub> (出力)	A <sub>10</sub> (出力)/P2 <sub>2</sub> (入力)/P <sub>W</sub> <sub>10</sub> (出力)	P2 <sub>2</sub> (入出力)/P <sub>W</sub> <sub>10</sub> (出力)
←→ P2 <sub>1</sub> /A <sub>9</sub> /P <sub>W</sub> <sub>9</sub>	A <sub>9</sub> (出力)	A <sub>9</sub> (出力)/P2 <sub>1</sub> (入力)/P <sub>W</sub> <sub>9</sub> (出力)	P2 <sub>1</sub> (入出力)/P <sub>W</sub> <sub>9</sub> (出力)
— P2 <sub>0</sub> /A <sub>8</sub> /P <sub>W</sub> <sub>8</sub>	A <sub>8</sub> (出力)	A <sub>8</sub> (出力)/P2 <sub>0</sub> (入力)/P <sub>W</sub> <sub>8</sub> (出力)	P2 <sub>0</sub> (入出力)/P <sub>W</sub> <sub>8</sub> (出力)

図 7.5 ポート 2 の端子構成

### 7.3.2 レジスタの構成と説明

表 7.4 にポート 2 のレジスタ構成を示します。

表 7.4 ポート 2 レジスタ構成

名 称	略 称	R/W	初 期 値		ア ド レ ス
			モード 1	モード 2、3	
ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00		H'FFB3
ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00		H'FFAD

(1) ポート2データディレクションレジスタ (P2DDR)

ビット:		7	6	5	4	3	2	1	0
		P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR
モード1	初期値:	1	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—	—
モード2、3	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

P2DDRは、ポート2の各端子の入出力をビットごとに制御します。

(a) モード1

P2DDRは、“1”に固定され、ポート2は上位アドレス出力端子になります。P2DDRへのリード/ライトは無効です。リードすると“1”が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード2

P2DDRに“1”をセットすると対応するポート2の端子はアドレス出力端子またはPWM出力端子になり、“0”にクリアすると入力端子になります。

(c) モード3

P2DDRに“1”をセットすると対応するポート2の端子は出力端子またはPWM出力端子になり、“0”にクリアすると入力端子になります。

モード2、3ではP2DDRは、ライト専用レジスタですからリードは無効です。リードすると“1”が読み出されます。P2DDRはリセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP2DDRの状態を保持します。そのため、P2DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート2データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2DRは、ポート2の各端子P2<sub>7</sub>~P2<sub>0</sub>のデータを格納する8ビットのレジスタです。P2DDRが“1”のとき、ポート2のリードを行うと、P2DRの値を直接リードします。そのため端子の状態の影響を受けません。P2DDRが“0”のときポート2のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に P 2 D R は、H' 00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 2 入力プルアップ M O S コントロールレジスタ ( P 2 P C R )

ビット :	7	6	5	4	3	2	1	0
	P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR
初期値 :	0	0	0	0	0	0	0	0
R / W :	R / W	R / W	R / W	R / W	R / W	R / W	R / W	R / W

P 2 P C R は 8 ビットのリード / ライト可能なレジスタでポート 2 に内蔵した入力プルアップ M O S をビットごとに制御します。P 2 D D R を “ 0 ” にクリアした ( 入力ポートの ) 状態で P 2 P C R を “ 1 ” にセットすると入力プルアップ M O S は O N します。

リセットまたはハードウェアスタンバイモード時に、P 2 P C R は H' 00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7. 3. 3 モード別端子機能

ポート 2 は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1 の端子機能

モード 1 ( 内蔵 R O M 無効拡張モード ) の時、ポート 2 は自動的に上位アドレス出力端子 ( A<sub>15</sub> ~ A<sub>8</sub> ) になります。

モード 1 の端子機能を図 7. 6 に示します。

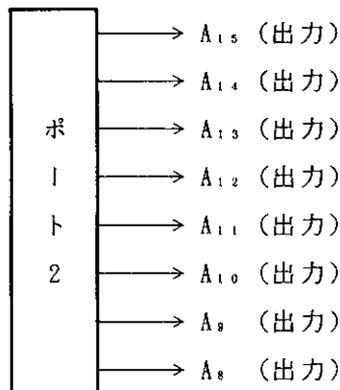


図 7. 6 モード 1 の端子機能 ( ポート 2 )

(2) モード 2

モード 2（内蔵ROM有効拡張モード）の時、ポート 2 は、上位アドレス出力端子、PWM出力端子と入力ポートとの兼用になります。各端子は、ビット単位で P2DDR を“1”にセットすると上位アドレス出力端子または PWM出力端子となり、“0”にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P2DDR を“1”にセットしてください。

モード 2 の端子機能を図 7.7 に示します。

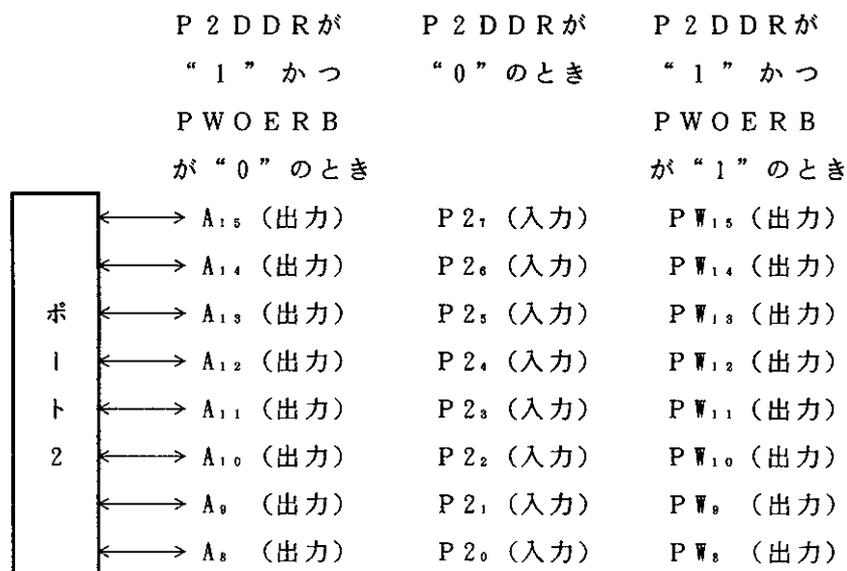


図 7.7 モード 2 の端子機能（ポート 2）

(3) モード3

モード3（シングルチップモード）のとき、ポート2は、PWM出力端子と入出力ポートの兼用になります。入出力ポートのとき、各端子はビット単位で入出力を指定可能です。P2DDRの各ビットを“0”にクリアすると対応する端子は入力端子になります。“1”にセットしてPWOERBを“0”にクリアすると出力端子になり、PWOERBを“1”にセットするとPWM出力端子になります。

モード3の端子機能を図7.8に示します。

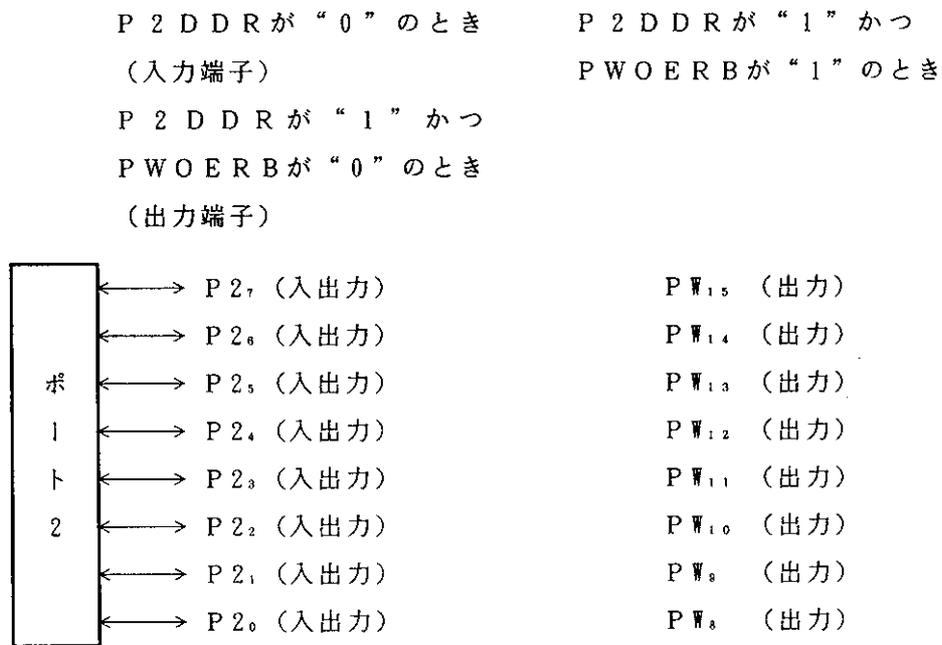


図7.8 モード3の端子機能（ポート2）

### 7.3.4 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P2PCRを“1”にセットかつP2DDRを“0”にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP2PCRが“0”にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.5に示します。

表7.5 入力プルアップMOSの状態（ポート2）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF		OFF	
2			ON/OFF	
3				

<記号説明>

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P2PCR = “1” かつ P2DDR = “0” のときON状態、その他のときはOFF状態です。

## 7.4 ポート3

### 7.4.1 概要

ポート3は、8ビットの入出力ポートです。データバスとホストインタフェースデータバスとの兼用になっています。ポート3の各端子は、図7.9に示す構成になっています。図7.9に示すように、各端子の機能は、動作モードによって切り換わります。

ポート3には、プログラムで制御可能な入力プルアップMOSが内蔵されており、モード3で使用できます。

ポート3は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することもできます。

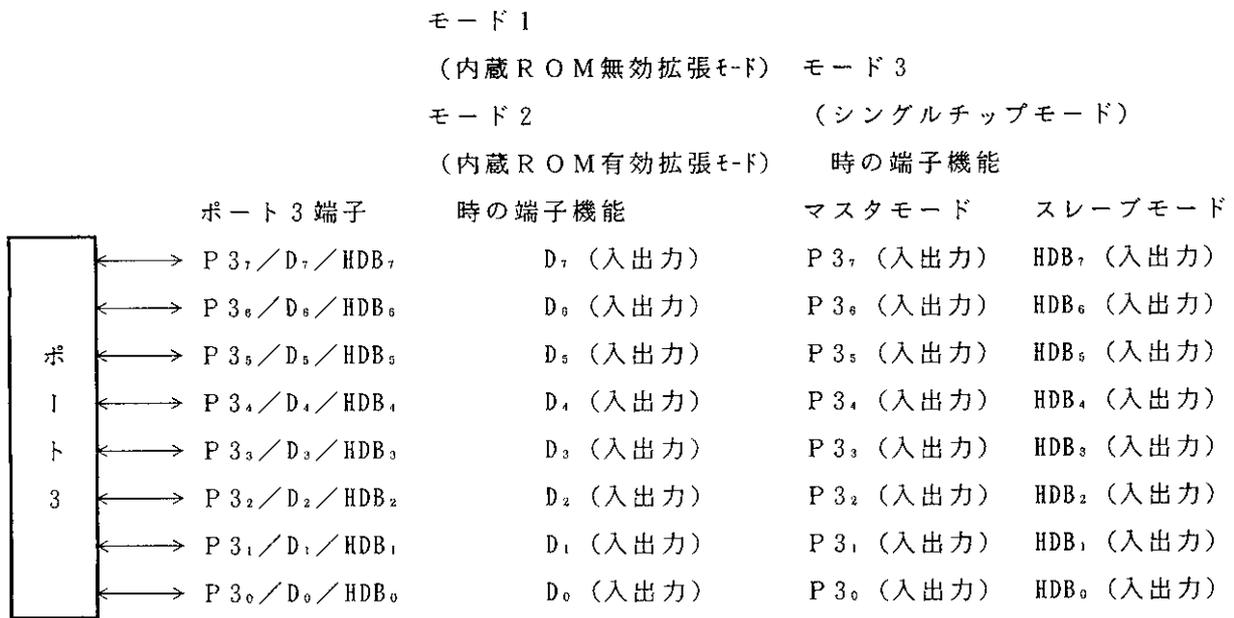


図7.9 ポート3の端子構成

### 7.4.2 レジスタの構成と説明

表7.6にポート3のレジスタ構成を示します。

表7.6 ポート3レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート3データディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート3データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート3入力プルアップMOSコントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

(1) ポート3データディレクションレジスタ (P3DDR)

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P3DDRは8ビットのレジスタで、ポート3の各端子の入出力をビットごとに制御します。P3DDRはライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

(a) モード1、2

モード1（内蔵ROM無効拡張モード）、モード2（内蔵ROM有効拡張モード）では、P3DDRによる入出力の方向は無視され、ポート3は自動的に8ビットデータバス入出力端子(D<sub>7</sub>~D<sub>0</sub>)になります。

また、リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時には、データバスはハイインピーダンス状態になります。

(b) モード3

P3DDRに“1”をセットすると対応するポート3の端子は出力端子になり、“0”にクリアすると入力端子になります。

リセットまたはハードウェアスタンバイモード時、P3DDRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前のP3DDRの状態を保持します。そのため、P3DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート3データレジスタ (P3DR)

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P3DRは、ポート3の各端子P3<sub>7</sub>~P3<sub>0</sub>のデータを格納する8ビットのレジスタです。

P3DDRが“1”のとき、ポート3のリードを行うと、P3DRの値を直接リードします。そのため端子の状態の影響を受けません。P3DDRが“0”のとき、ポート3のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P3DRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート3入力プルアップMOSコントロールレジスタ (P3PCR)

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub> PCR	P3 <sub>6</sub> PCR	P3 <sub>5</sub> PCR	P3 <sub>4</sub> PCR	P3 <sub>3</sub> PCR	P3 <sub>2</sub> PCR	P3 <sub>1</sub> PCR	P3 <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P3PCRは8ビットのリード/ライト可能なレジスタでポート3に内蔵した入力プルアップMOSをビットごとに制御します。P3DDRを“0”にクリアした(入力ポートの)状態でP3PCRを“1”にセットすると入力プルアップMOSはONします。リセットまたはハードウェアスタンバイモード時に、P3PCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに移る直前の状態を保持しています。

入力プルアップMOSはスレープモード(ホストインタフェースイネーブル時)には使用できません。

7.4.3 モード別端子機能

ポート3は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1、2の端子機能

モード1(内蔵ROM無効拡張モード)、モード2(内蔵ROM有効拡張モード)のとき、ポート3は自動的に8ビットデータバス入出力端子(D<sub>7</sub>~D<sub>0</sub>)になります。

モード1、2の端子機能を図7.10に示します。

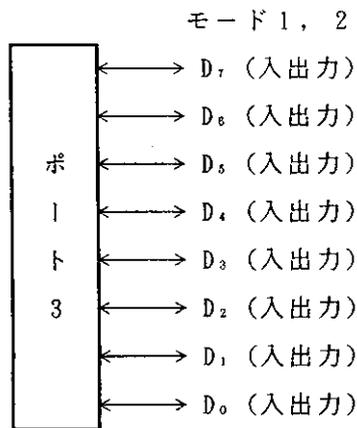


図7.10 モード1、2の端子機能(ポート3)

(2) モード3

モード3（シングルチップモード）のとき、システムコントロールレジスタ（SYSCR）のホストインタフェースイネーブルビット（HIE）が“0”にクリアされると、ポート3は入出力ポートとなります。

HIEビットが“1”にセットされ、スレーブモードに遷移すると、ポート3はホストインタフェースデータバス（HDB<sub>7</sub>～HDB<sub>0</sub>）となります。スレーブモードでは、P3DRとP3DDRはH'00にクリアしてください。

モード3の端子機能を図7.11に示します。

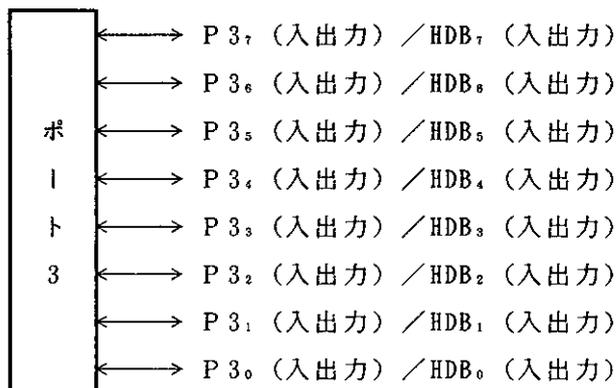


図7.11 モード3の端子機能（ポート3）

7.4.4 入力プルアップMOS

ポート3は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード3のとき、使用でき、ビット単位でON/OFFを指定できます。

モード3のとき、P3PCRを“1”にセットかつP3DDRを“0”にクリアすると、入力プルアップMOSはONとなります。

また、入力プルアップMOSはリセットまたはハードウェアスタンバイモード時にOFFになります。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.7に示します。

表7.7 入力プルアップMOSの状態（ポート3）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF	OFF	OFF	OFF
2				ON/OFF
3				ON/OFF

<記号説明>

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P3PCR = “1” かつ P3DDR = “0” のときON状態、その他のときはOFF状態です。

## 7.5 ポート4

### 7.5.1 概要

ポート4は、8ビットの入出力ポートです。ポート4は、ホストインタフェース（H I F）の入出力端子（GA<sub>20</sub>、CS<sub>2</sub>）およびホスト割込み要求出力端子（HIRQ<sub>12</sub>、HIRQ<sub>1</sub>、HIRQ<sub>11</sub>）と、8ビットタイマ0、1、Xとタイマコネクシヨンの入出力端子（TMRI<sub>0</sub>、TMRI<sub>1</sub>、TMCI<sub>0</sub>、TMCI<sub>1</sub>、TMO<sub>0</sub>、TMO<sub>1</sub>、TMO<sub>x</sub>、HSYNCI、HSYNCO、CSYNCI、FBACKI、CLAMPO）ならびにφクロックの出力端子と兼用になっています。P4<sub>7</sub>、P4<sub>5</sub>～P4<sub>0</sub>の端子機能は、いずれの動作モードでも共通ですが、ホストインタフェースをイネーブルとするスレーブモードの機能はシングルチップモード時のみ有効です。P4<sub>0</sub>の端子機能は動作モードによって切り換わります。

ポート4の端子構成を図7.12に示します。

ポート4（P4<sub>5</sub>は除く）は、1個のTTL負荷と30pFの容量負荷を駆動することができます。φクロック出力端子は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ポート4はダーリントトランジスタを駆動することもできます。

ポート4端子		モード1（内蔵ROM無効拡張モード）	モード2（内蔵ROM有効拡張モード）
		時の端子機能	
ポ ー ト 4	↔ P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO/GA <sub>20</sub>	P4 <sub>7</sub> (入出力)/TMO <sub>x</sub> (出力)/CLAMPO(出力)	
	↔ P4 <sub>6</sub> /φ/FBACKI/CS <sub>2</sub>	φ(出力)	
	↔ P4 <sub>5</sub> /TMRI <sub>1</sub> /CSYNCI/HIRQ <sub>12</sub>	P4 <sub>5</sub> (入出力)/TMRI <sub>1</sub> (入力)/CSYNCI(入力)	
	↔ P4 <sub>4</sub> /TMO <sub>1</sub> /HSYNCO/HIRQ <sub>1</sub>	P4 <sub>4</sub> (入出力)/TMO <sub>1</sub> (出力)/HSYNCO(出力)	
	↔ P4 <sub>3</sub> /TMCI <sub>1</sub> /HSYNCI/HIRQ <sub>11</sub>	P4 <sub>3</sub> (入出力)/TMCI <sub>1</sub> (入力)/HSYNCI(入力)	
	↔ P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> (入出力)/TMRI <sub>0</sub> (入力)	
	↔ P4 <sub>1</sub> /TMO <sub>0</sub>	P4 <sub>1</sub> (入出力)/TMO <sub>0</sub> (出力)	
	↔ P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> (入出力)/TMCI <sub>0</sub> (入力)	
		モード3（シングルチップモード）	
		時の端子機能	
マスタモード		スレーブモード	
P4 <sub>7</sub> (入出力)/TMO <sub>x</sub> (出力)/CLAMPO(出力)		P4 <sub>7</sub> (入出力)/GA <sub>20</sub> (出力)/TMO <sub>x</sub> (出力)/CLAMPO(出力)	
P4 <sub>6</sub> (入力)/φ(出力)/FBACKI(入力)		CS <sub>2</sub> (入力)	
P4 <sub>5</sub> (入出力)/TMRI <sub>1</sub> (入力)/CSYNCI(入力)		P4 <sub>5</sub> (入力)/HIRQ <sub>12</sub> (出力)/TMRI <sub>1</sub> (入力)	
P4 <sub>4</sub> (入出力)/TMO <sub>1</sub> (出力)/HSYNCO(出力)		P4 <sub>4</sub> (入力)/HIRQ <sub>1</sub> (出力)/TMO <sub>1</sub> (出力)	
P4 <sub>3</sub> (入出力)/TMCI <sub>1</sub> (入力)/HSYNCI(入力)		P4 <sub>3</sub> (入力)/HIRQ <sub>11</sub> (出力)/TMCI <sub>1</sub> (入力)	
P4 <sub>2</sub> (入出力)/TMRI <sub>0</sub> (入力)		P4 <sub>2</sub> (入出力)/TMRI <sub>0</sub> (入力)	
P4 <sub>1</sub> (入出力)/TMO <sub>0</sub> (出力)		P4 <sub>1</sub> (入出力)/TMO <sub>0</sub> (出力)	
P4 <sub>0</sub> (入出力)/TMCI <sub>0</sub> (入力)		P4 <sub>0</sub> (入出力)/TMCI <sub>0</sub> (入力)	

図7.12 ポート4の端子構成

## 7.5.2 レジスタの構成と説明

表 7.9 にポート 4 のレジスタ構成を示します。

表 7.9 ポート 4 レジスタ構成

名 称	略 称	R/W	初 期 値		ア ド レ ス
			モ-F1、2	モ-F3	
ポート 4 データディレクションレジスタ	P 4 D D R	W	H' 40	H' 00	H' FFB5
ポート 4 データレジスタ	P 4 D R	R/W* <sup>1</sup>	不定* <sup>2</sup>		H' FFB7

【注】\*<sup>1</sup> ビット 6 はリードのみです。

\*<sup>2</sup> ビット 6 のみ不定です。その他のビットは“0”です。

### (1) ポート 4 データディレクションレジスタ (P 4 D D R)

ビット :		7	6	5	4	3	2	1	0
		P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR
モ-F1、2	初期値 :	0	1	0	0	0	0	0	0
	R/W :	W	—	W	W	W	W	W	W
モ-F3	初期値 :	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

P 4 D D R は 8 ビットのレジスタで、ポート 4 の各端子の入出力をビットごとに制御します。P 4 D D R に“1”をセットすると対応するポート 4 の端子は出力端子に、“0”にクリアすると入力端子になります。ただし、モード 1、2 では P 4<sub>6</sub>DDR は“1”に固定され、ライトは無効です。

P 4 D D R は、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P 4 D D R は、モード 1、2 では H' 40 に、モード 3 では H' 00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P 4 D D R の状態を保持しています。そのため P 4 D D R が“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 4 を内蔵周辺モジュールの端子（例えば 8 ビットタイマの出力端子）として使用しているとき、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート 4 は P 4 D D R と P 4 D R で制御される入出力ポートに切り換わります。

(2) ポート 4 データレジスタ (P4DR)

ビット:	7	6	5	4	3	2	1	0
	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
初期値:	0	— *	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* P4<sub>6</sub>端子により決定されます。

P4DRは、ポート4の各端子P4<sub>7</sub>～P4<sub>0</sub>のデータを格納する8ビットのレジスタです。

P4<sub>6</sub>以外では、P4DDRが“1”のとき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが“0”のとき、ポート4のリードを行うと、端子の状態が読み出されます。P4<sub>6</sub>のリードを行うと常に端子の状態が読み出されます。クロック出力端子または内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P4DRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

### 7.5.3 端子機能

ポート4の各端子は、8ビットタイマとタイマコネクションの入出力端子またはφクロックの出力端子と兼用になっています。ポート4の端子機能について、表7.10に示します。

表 7.10 ポート4の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能					
P4 <sub>7</sub> /TMO <sub>x</sub> /CLAMPO/ /GA <sub>20</sub>	動作モード、ホストインタフェースコントロールレジスタ (HICR) のFGA20Eビット、8ビットタイマXのタイマコントロール/ステータスレジスタ (TCSR) のOS3~0ビット、シリアルタイマコントロールレジスタ (STCR) のSYNCEビットとP4 <sub>7</sub> DDRビットの組合せにより次のように切り換わります。					
	SYNCE	0			1	
	OS3~0	すべてが“0”			いずれかが“1”	
	P4 <sub>7</sub> DDR	0	1		—	
	FGA20E	—	0	1	—	
	動作モード	—	—	スレ-プモード以外	スレ-プモード	
	端子機能	P4 <sub>7</sub> 入力端子	P4 <sub>7</sub> 出力端子		GA <sub>20</sub> 出力端子	TMO <sub>x</sub> 出力端子
P4 <sub>6</sub> /φ/ FBACKI/CS <sub>2</sub>	動作モードとP4 <sub>6</sub> DDRの組合せにより次のように切り換わります。					
	動作モード	モード1,2		モード3		
		—		スレ-プモード以外	スレ-プモード	
	P4 <sub>6</sub> DDR	—		0	1	—
	端子機能	φクロック出力端子	P4 <sub>6</sub> 入力端子	FBACKI入力端子	φクロック出力端子	CS <sub>2</sub> 入力端子
P4 <sub>5</sub> /TMRI <sub>1</sub> / CSYNCI/ HIRQ <sub>1,2</sub>	P4 <sub>5</sub> DDR	0		1		
	動作モード	—		スレ-プモード以外	スレ-プモード	
	端子機能	P4 <sub>5</sub> 入力端子		P4 <sub>5</sub> 出力端子	HIRQ <sub>1,2</sub> 出力端子	
		TMRI <sub>1</sub> 入力端子、CSYNCI入力端子				
	8ビットタイマ1のタイマコントロールレジスタ (TCR) のCCLR1、0ビットをいずれも“1”にセットした場合に、TMRI <sub>1</sub> 入力端子として使用します。					
P4 <sub>4</sub> /TMO <sub>1</sub> / HSYNCO/ HIRQ <sub>1</sub>	動作モード、8ビットタイマ1のタイマコントロール/ステータスレジスタ (TCSR) のOS3~0ビット、シリアルタイマコントロールレジスタ (STCR) のSYNCEビットとP4 <sub>4</sub> DDRビットの組合せにより、次のように切り換わります。					
	SYNCE	0			1	
	OS3~0	すべてが“0”			いずれかが“1”	
	P4 <sub>4</sub> DDR	0	1		—	
	動作モード	—	スレ-プモード以外	スレ-プモード	—	
	端子機能	P4 <sub>4</sub> 入力端子	P4 <sub>4</sub> 出力端子	HIRQ <sub>1</sub> 出力端子	TMO <sub>1</sub> 出力端子	HSYNCO出力端子

表 7.10 ポート 4 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P4 <sub>3</sub> /TMCI <sub>1</sub> / HSYNCl/ HIRQ <sub>11</sub>	P4 <sub>3</sub> DDR	0	1	
	動作モード	—	スレepモード以外 スレepモード	
	端 子 機 能	P4 <sub>3</sub> 入力端子	P4 <sub>3</sub> 出力端子	HIRQ <sub>11</sub> 出力端子
		TMCI <sub>1</sub> 入力端子、HSYNCl入力端子		
8ビットタイマ1のTCRのCKS2~0ビットで外部クロックを選択した場合に、TMCI <sub>1</sub> 入力端子として使用します。				
P4 <sub>2</sub> /TMRI <sub>0</sub>	P4 <sub>2</sub> DDR	0	1	
	端 子 機 能	P4 <sub>2</sub> 入力端子	P4 <sub>2</sub> 出力端子	
		TMRI <sub>0</sub> 入力端子		
8ビットタイマ0のTCRのCCLR1、0ビットをいずれも“1”にセットした場合に、TMRI <sub>0</sub> 入力端子として使用します。				
P4 <sub>1</sub> /TM0 <sub>0</sub>	8ビットタイマ0のTCSRのOS3~0ビットとP4 <sub>1</sub> DDRビットの組合せにより、次のように切り換わります。			
	OS3~0	すべてが“0”	いずれかが“1”	
	P4 <sub>1</sub> DDR	0	1	—
	端 子 機 能	P4 <sub>1</sub> 入力端子	P4 <sub>1</sub> 出力端子	TM0 <sub>0</sub> 出力端子
P4 <sub>0</sub> /TMCI <sub>0</sub>	P4 <sub>0</sub> DDR	0	1	
	端 子 機 能	P4 <sub>0</sub> 入力端子	P4 <sub>0</sub> 出力端子	
		TMCI <sub>0</sub> 入力端子		
8ビットタイマ0のTCRのCKS2~0ビットで外部クロックを選択した場合に、TMCI <sub>0</sub> 入力端子として使用します。				

## 7.6 ポート5

### 7.6.1 概要

ポート5は、6ビットの入出力ポートです。ポート5は、シリアルコミュニケーションインタフェース0、1（S C I 0、1）の入出力端子（TxD<sub>0</sub>、RxD<sub>0</sub>、SCK<sub>0</sub>、TxD<sub>1</sub>、RxD<sub>1</sub>、SCK<sub>1</sub>）と兼用になっています。ポート5の端子機能は、いずれの動作モードでも共通です。

ポート5の端子構成を図7.13に示します。

ポート5は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

ポート5端子

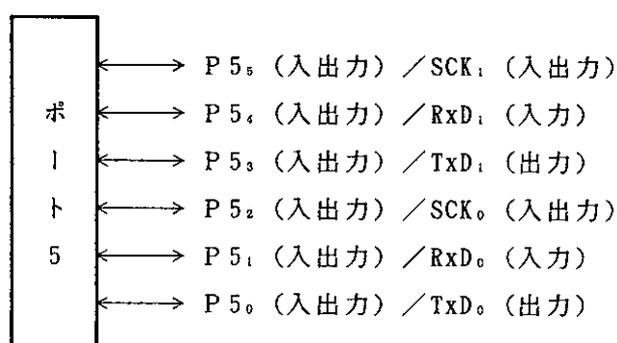


図7.13 ポート5の端子構成

### 7.6.2 レジスタの構成と説明

表7.12にポート5のレジスタ構成を示します。

表7.12 ポート5レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート5データディレクションレジスタ	P5DDR	W	H' C0	H' FF8
ポート5データレジスタ	P5DR	R/W	H' C0	H' FFBA

(1) ポート5データディレクションレジスタ (P5DDR)

ビット:	7	6	5	4	3	2	1	0
	——	——	P5 <sub>5</sub> DDR	P5 <sub>4</sub> DDR	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR
初期値:	1	1	0	0	0	0	0	0
R/W:	——	——	W	W	W	W	W	W

P5DDRは、8ビットのレジスタで、ポート5の各端子の入出力をビットごとに制御します。P5DDRに“1”をセットすると対応するポート5の端子は出力端子に、“0”にクリアすると入力端子になります。

P5DDRは、ライト専用レジスタで、リードは無効です。ビット7、6はリザーブビットです。リードすると、“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P5DDRは、H' C0にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP5DDRの状態を保持します。そのためP5DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート5をSCIの端子として使用しているとき、ソフトウェアスタンバイモードに遷移すると、SCIがイニシャライズされるため、ポート5はP5DDRとP5DRで制御される入出力ポートに切り換わります。

(2) ポート5データレジスタ (P5DR)

ビット:	7	6	5	4	3	2	1	0
	——	——	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
初期値:	1	1	0	0	0	0	0	0
R/W:	——	——	R/W	R/W	R/W	R/W	R/W	R/W

P5DRは、ポート5の各端子P5<sub>5</sub>~P5<sub>0</sub>のデータを格納する8ビットのレジスタです。

ビット7、6は、リザーブビットです。リードすると“1”が読み出されます。ライトは無効です。

P5DDRが“1”のとき、ポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDRが“0”のときポート5のリードを行うと端子の状態が読み出されます。SCIの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P5DRは、H' C0にイニシャライズされます。ソフトウェアスタンバイモード時は、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

### 7.6.3 端子機能

ポート5は、いずれの動作モードにおいても端子機能は同じです。各端子は、SCI0、1の入出力端子と兼用になっています。

ポート5の端子機能について表7.13に示します。

表 7.13 ポート5の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能					
P5 <sub>s</sub> /SCK <sub>1</sub>	SCI1のシリアルモードレジスタ(SMR)のC/Aビット、シリアルコントロールレジスタ(SCR)のCKE0、1ビットとP5 <sub>s</sub> DDRビットの組合せにより、次のように切り換わります。					
	CKE1	0			1	
	C/A	0		1	—	
	CKE0	0	1	—	—	
	P5 <sub>s</sub> DDR	0	1	—	—	—
	端子機能	P5 <sub>s</sub> 入力端子	P5 <sub>s</sub> 出力端子	SCK <sub>1</sub> 出力端子	SCK <sub>1</sub> 出力端子	SCK <sub>1</sub> 入力端子
P5 <sub>s</sub> /RxD <sub>1</sub>	SCI1のSCRのREビットとP5 <sub>s</sub> DDRビットの組合せにより、次のように切り換わります。					
	RE	0			1	
	P5 <sub>s</sub> DDR	0	1	—		
	端子機能	P5 <sub>s</sub> 入力端子		P5 <sub>s</sub> 出力端子	RxD <sub>1</sub> 入力端子	
P5 <sub>s</sub> /TxD <sub>1</sub>	SCI1のSCRのTEビットとP5 <sub>s</sub> DDRビットの組合せにより、次のように切り換わります。					
	TE	0			1	
	P5 <sub>s</sub> DDR	0	1	—		
	端子機能	P5 <sub>s</sub> 入力端子		P5 <sub>s</sub> 出力端子	TxD <sub>1</sub> 出力端子	

表 7.13 ポート 5 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能				
P5 <sub>2</sub> /SCK <sub>0</sub>	SCI0のシリアルモードレジスタ(SMR)のC/ $\overline{A}$ ビット、シリアルコントロールレジスタ(SCR)のCKE0、1ビットとP5 <sub>2</sub> DDRビットの組合せにより、次のように切り換わります。				
	CKE1		0		1
	C/ $\overline{A}$		0	1	—
	CKE0		0	1	—
	P5 <sub>2</sub> DDR		0	1	—
端子機能	P5 <sub>2</sub> 入力端子	P5 <sub>2</sub> 出力端子	SCK <sub>0</sub> 出力端子		SCK <sub>0</sub> 入力端子
P5 <sub>1</sub> /RxD <sub>0</sub>	SCI0のSCRのREビットとP5 <sub>1</sub> DDRビットの組合せにより、次のように切り換わります。				
	RE		0		1
	P5 <sub>1</sub> DDR		0	1	—
端子機能	P5 <sub>1</sub> 入力端子		P5 <sub>1</sub> 出力端子		RxD <sub>0</sub> 入力端子
P5 <sub>0</sub> /TxD <sub>0</sub>	SCI0のSCRのTEビットとP5 <sub>0</sub> DDRビットの組合せにより、次のように切り換わります。				
	TE		0		1
	P5 <sub>0</sub> DDR		0	1	—
端子機能	P5 <sub>0</sub> 入力端子		P5 <sub>0</sub> 出力端子		TxD <sub>0</sub> 出力端子

## 7.7 ポート6

### 7.7.1 概要

ポート6は、7ビットの入出力ポートです。ポート6は、16ビットフリーランニングタイマ (FRT)とタイマコネクションの入出力端子(FTCI、FTOA、FTOB、FTI、VSYNCl、VSYNCO)、キーセンス入力端子、IRQ<sub>0</sub>~IRQ<sub>2</sub>入力端子と兼用になっています。ポート6の端子機能は、いずれの動作モードでも共通です。

ポート6のP6<sub>0</sub>~P6<sub>6</sub>には、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポート6の端子構成を図7.14に示します。

ポート6は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

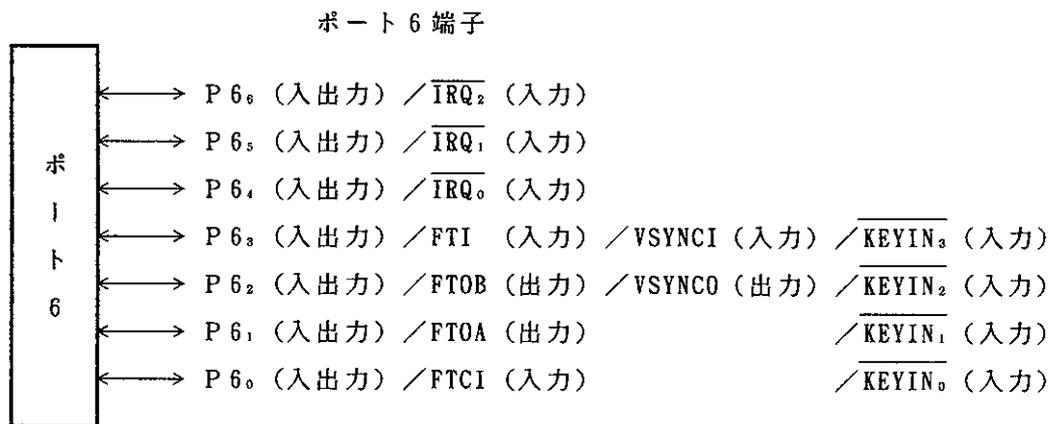


図 7.14 ポート6の端子構成

### 7.7.2 レジスタの構成と説明

表 7.15にポート6のレジスタ構成を示します。

表 7.15 ポート6レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート6データディレクションレジスタ	P6DDR	W	H'80	H'FFB9
ポート6データレジスタ	P6DR	R/W	H'80	H'FFBB
キーセンス入力プルアップMOSコントロールレジスタ	KMPCR	R/W	H'00	H'FFF2

(1) ポート6データディレクションレジスタ (P6DDR)

ビット:	7	6	5	4	3	2	1	0
	—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

P6DDRは、8ビットのレジスタで、ポート6の各端子の入出力をビットごとに制御します。P6DDRに“1”をセットすると対応するポート6の端子は出力端子に、“0”にクリアすると入力端子になります。

P6DDRは、ライト専用レジスタで、リードは無効です。ビット7はリザーブビットです。リードすると“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P6DDRは、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP6DDRの状態を保持します。そのためP6DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート6を内蔵周辺モジュールの端子（例えばFRTの端子）として使用しているときに、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート6はP6DDRとP6DRで制御される入出力ポートに切り換わります。

(2) ポート6データレジスタ (P6DR)

ビット:	7	6	5	4	3	2	1	0
	—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W						

P6DRは、ポート6の各端子P6<sub>6</sub>～P6<sub>0</sub>のデータを格納する8ビットのレジスタです。ビット7はリザーブビットです。リードすると“1”が読み出されます。ライトは無効です。

P6DDRが“1”のとき、ポート6のリードを行うと、P6DRの値を直接リードします。そのため端子の状態の影響を受けません。P6DDRが“0”のとき、ポート6のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P6DRは、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

P6DDRが“0”のとき、ポートのリードを行うと、端子の状態が読み出されますが、この端子を、KMIMR7～4の内容により選択することができます。KMIMRが“1”（初期値）のとき、ビット7は空きビットで、P6<sub>6</sub>、P6<sub>5</sub>、P6<sub>4</sub>端子が選択されています。KMIMRを“0”にクリアすると、KMIMR7、KMIMR6、KMIMR5、KMIMR4に対応してP7<sub>6</sub>、P7<sub>5</sub>、P7<sub>4</sub>端子がそれぞれ選択されます。

(3) キーセンス入力プルアップMOSコントロールレジスタ (KMPCR)

ビット:	7	6	5	4	3	2	1	0
	KM <sub>7</sub> PCR	KM <sub>6</sub> PCR	KM <sub>5</sub> PCR	KM <sub>4</sub> PCR	KM <sub>3</sub> PCR	KM <sub>2</sub> PCR	KM <sub>1</sub> PCR	KM <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

KMPCRは8ビットのリード/ライト可能なレジスタで、ポート6およびポート7に内蔵した入力プルアップMOSをビットごとに制御します。

P6DDRおよびP7DDRを“0”にクリアした(入力ポートの)状態でKMPCRを“1”にセットすると入力プルアップMOSはONします。

KM<sub>7</sub>PCR~KM<sub>4</sub>PCRがP7<sub>3</sub>DDR~P7<sub>0</sub>DDRおよびP7<sub>3</sub>~P7<sub>0</sub>端子に、KM<sub>3</sub>PCR~KM<sub>0</sub>PCRがP6<sub>3</sub>DDR~P6<sub>0</sub>DDRおよびP6<sub>3</sub>~P6<sub>0</sub>端子にそれぞれ対応しています。

リセットまたはハードウェアスタンバイモード時に、KMPCRはH'00にイニシャライズされません。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

### 7.7.3 端子機能

ポート6は、いずれの動作モードにおいても端子機能は同じです。各端子は、FRTとタイマコネクシヨンの入出力端子、キーセンス入力端子、または $IRQ_0 \sim IRQ_2$ 入力端子と兼用になっています。ポート6の端子機能について、表7.16に示します。

表 7.16 ポート6の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
(P6 <sub>7</sub> )	KMIMR7	0	1	
	端 子 機 能	P6 <sub>7</sub> DRリード時 P7 <sub>7</sub> 端子入力機能	P6 <sub>7</sub> DRリード時 “1”入力	
P6 <sub>6</sub> / $\overline{IRQ_2}$	P6 <sub>6</sub> DDR	0		1
	KMIMR6	0	1	—
	端 子 機 能	P6 <sub>6</sub> DRリード時 P7 <sub>6</sub> 端子入力機能	P6 <sub>6</sub> 入力端子	P6 <sub>6</sub> 出力端子
		$\overline{IRQ_2}$ 入力端子		
IRQイネーブルレジスタ(IER)のIRQ2Eビットを“1”にセットした場合に、 $\overline{IRQ_2}$ 入力端子として使用します。				
P6 <sub>5</sub> / $\overline{IRQ_1}$	P6 <sub>5</sub> DDR	0		1
	KMIMR5	0	1	—
	端 子 機 能	P6 <sub>5</sub> DRリード時 P7 <sub>5</sub> 端子入力機能	P6 <sub>5</sub> 入力端子	P6 <sub>5</sub> 出力端子
		$\overline{IRQ_1}$ 入力端子		
IERのIRQ1Eビットを“1”にセットした場合に、 $\overline{IRQ_1}$ 入力端子として使用します。				
P6 <sub>4</sub> / $\overline{IRQ_0}$	P6 <sub>4</sub> DDR	0		1
	KMIMR4	0	1	—
	端 子 機 能	P6 <sub>4</sub> DRリード時 P7 <sub>4</sub> 端子入力機能	P6 <sub>4</sub> 入力端子	P6 <sub>4</sub> 出力端子
		$\overline{IRQ_0}$ 入力端子		
IERのIRQ0Eビットを“1”にセットした場合に、 $\overline{IRQ_0}$ 入力端子として使用します。				

表 7.16 ポート 6 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P 6 <sub>3</sub> /FTI/ VSYNCl/ KEYIN <sub>3</sub>	P 6 <sub>3</sub> DDR	0		1
	端 子 機 能	P 6 <sub>3</sub> 入力端子		P 6 <sub>3</sub> 出力端子
		FTI入力端子、VSYNCl入力端子またはKEYIN <sub>3</sub> 入力端子		
P 6 <sub>2</sub> /FTOB/ VSYNCO/ KEYIN <sub>2</sub>	FRTのタイマコントロールレジスタ (TCR) のOEBビットとシリアルタイマコントロールレジスタ (STCR) のSYNCEビットとP 6 <sub>2</sub> DDRビットの組合わせにより、次のように切り換わります。			
	SYNCE	0		1
	OEB	0		1
	P 6 <sub>2</sub> DDR	0	1	—
	端 子 機 能	P 6 <sub>2</sub> 入力端子	P 6 <sub>2</sub> 出力端子	FTOB出力端子
KEYIN <sub>2</sub> 入力端子				
P 6 <sub>1</sub> /FTOA/ KEYIN <sub>1</sub>	FRTのTCRのOEAビットとP 6 <sub>1</sub> DDRビットの組合わせにより、次のように切り換わります。			
	OEA	0		1
	P 6 <sub>1</sub> DDR	0	1	—
	端 子 機 能	P 6 <sub>1</sub> 入力端子	P 6 <sub>1</sub> 出力端子	FTOA出力端子
KEYIN <sub>1</sub> 入力端子				
P 6 <sub>0</sub> /FTCI/ KEYIN <sub>0</sub>	P 6 <sub>0</sub> DDR	0		1
	端 子 機 能	P 6 <sub>0</sub> 入力端子		P 6 <sub>0</sub> 出力端子
		FTCI入力端子またはKEYIN <sub>0</sub> 入力端子		
FRTのTCRのCKS1~0ビットで外部クロックを選択した場合に、FTCI入力端子として使用します。				

## 7.8 ポート 7

### 7.8.1 概要

ポート 7 は 8 ビットの入出力ポートです。ポート 7 は、バス制御信号の入出力端子 ( $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{AS}$ 、 $\overline{WAIT}$ )、ホストインタフェース (H I F) の入力端子 ( $HA_0$ 、 $\overline{IOR}$ 、 $\overline{IOW}$ 、 $\overline{CS}_1$ ) とキーセンス入力端子、I<sup>2</sup>C バスインタフェース (I I C 0、1) の入出力端子 ( $SCL_0$ 、 $SDA_0$ 、 $SCL_1$ 、 $SDA_1$ ) と兼用になっています。P7<sub>7</sub>~P7<sub>4</sub>の端子機能は動作モードによって切り換わります。

ポート 7 の P7<sub>0</sub>~P7<sub>3</sub>には、プログラムで制御可能な入力プルアップ M O S が内蔵されています。ポート 7 の端子構成を図 7.15 に示します。

ポート 7 は、1 個の T T L 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントン トランジスタを駆動することができます。

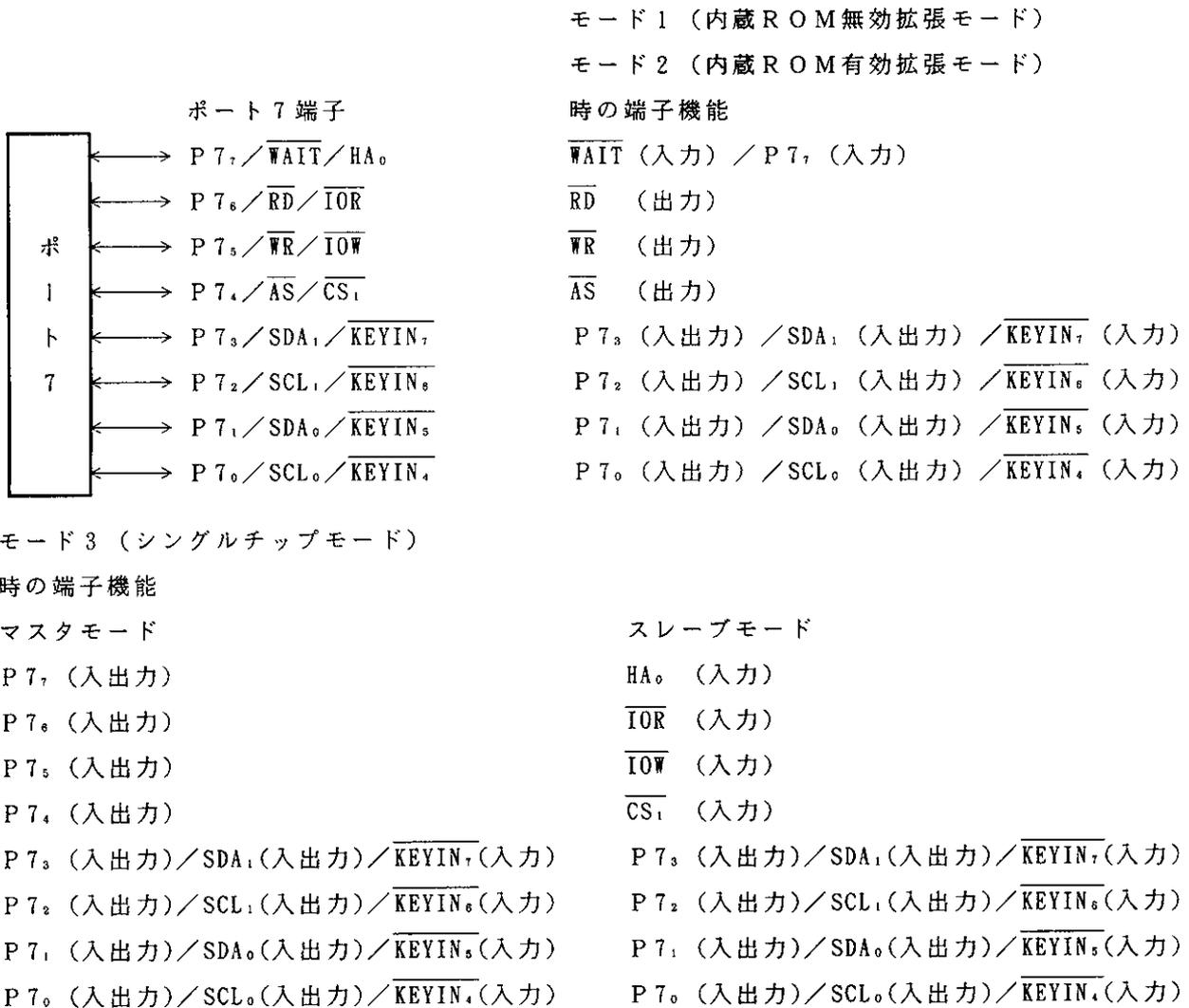


図 7.15 ポート 7 の端子構成

## 7.8.2 レジスタの構成と説明

表 7.18 にポート 7 のレジスタ構成を示します。

表 7.18 ポート 7 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート 7 データディレクションレジスタ	P7DDR	W	H'00	H'FFBC
ポート 7 データレジスタ	P7DR	R/W	H'00	H'FFBE
キーセンサ入力プルアップMOSコントロールレジスタ	KMPCR	R/W	H'00	H'FFF2

### (1) ポート 7 データディレクションレジスタ (P7DDR)

ビット:	7	6	5	4	3	2	1	0
	P7 <sub>7</sub> DDR	P7 <sub>6</sub> DDR	P7 <sub>5</sub> DDR	P7 <sub>4</sub> DDR	P7 <sub>3</sub> DDR	P7 <sub>2</sub> DDR	P7 <sub>1</sub> DDR	P7 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P7DDR は、8 ビットのレジスタで、ポート 7 の各端子の入出力をビットごとに制御します。P7DDR に“1”をセットすると対応するポート 7 の端子は出力端子に、“0”にクリアすると入力端子になります。

リセットまたはハードウェアスタンバイモード時に、P7DDR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、P7DDR は直前の状態を保持します。そのため、P7DDR が“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

### (2) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P7DR は、ポート 7 の各端子 P7<sub>7</sub> ~ P7<sub>0</sub> のデータを格納する 8 ビットのレジスタです。

P7DDR が“1”のときポート 7 のリードを行うと、P7DR の値が直接読み出されます。そのため端子の状態の影響を受けません。P7DDR が“0”のとき、ポート 7 のリードを行うと端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P7DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態

を保持しています。

P6DDRが“0”のとき、ポートのリードを行うと、端子の状態が読み出されますが、この端子を、KMIMR7～4の内容により選択することができます。KMIMRが“1”（初期値）のとき、ビット7は空きビットで、P6<sub>6</sub>、P6<sub>5</sub>、P6<sub>4</sub>端子が選択されています。KMIMRを“0”にクリアすると、KMIMR7、KMIMR6、KMIMR5、KMIMR4に対応してP7<sub>3</sub>、P7<sub>2</sub>、P7<sub>1</sub>、P7<sub>0</sub>端子がそれぞれ選択されます。

### (3) キーセンス入力プルアップMOSコントロールレジスタ (KMPCR)

ビット:	7	6	5	4	3	2	1	0
	KM <sub>7</sub> PCR	KM <sub>6</sub> PCR	KM <sub>5</sub> PCR	KM <sub>4</sub> PCR	KM <sub>3</sub> PCR	KM <sub>2</sub> PCR	KM <sub>1</sub> PCR	KM <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

KMPCRは8ビットのリード/ライト可能なレジスタで、ポート6およびポート7に内蔵した入力プルアップMOSをビットごとに制御します。

P6DDRおよびP7DDRを“0”にクリアした（入力ポートの）状態でKMPCRを“1”にセットすると入力プルアップMOSはONします。

KM<sub>7</sub>PCR～KM<sub>4</sub>PCRがP7<sub>3</sub>DDR～P7<sub>0</sub>DDRおよびP7<sub>3</sub>～P7<sub>0</sub>端子に、KM<sub>3</sub>PCR～KM<sub>0</sub>PCRがP6<sub>3</sub>DDR～P6<sub>0</sub>DDRおよびP6<sub>3</sub>～P6<sub>0</sub>端子それぞれ対応しています。

リセットまたはハードウェアスタンバイモード時に、KMPCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.8.3 端子機能

ポート7の端子機能はモード1、2とモード3で異なります。各端子はバス制御信号の入出力端子 (RD、WR、AS、WAIT)、ホストインタフェース (H I F) の入力端子 (HA<sub>0</sub>、IOR、IOW、CS<sub>1</sub>)とキースセンサ入力端子、I<sup>2</sup>Cバスインタフェース (I I C 0、1) の入出力端子 (SCL<sub>0</sub>、SDA<sub>0</sub>、SCL<sub>1</sub>、SDA<sub>1</sub>)と兼用になっています。ポート7の端子機能について表7.19に示します。

表 7.19 ポート7の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能					
P7 <sub>7</sub> /WAIT/ HA <sub>0</sub>	動作モードとWSCRによって決まるウェイトモードとP7 <sub>7</sub> DDRビットの組合せにより次のように切り換わります。					
	動作モード	モード1, 2			モード3	
		—			スレープモード以外	スレープモード
	ウェイトモード	WAIT使用	WAIT不使用		—	
	P7 <sub>7</sub> DDR	—	0	1	0	1
端子機能	WAIT入力端子	P7 <sub>7</sub> 入力端子	—	P7 <sub>7</sub> 入力端子	P7 <sub>7</sub> 出力端子	HA <sub>0</sub> 入力端子
P7 <sub>6</sub> /RD/ IOR	動作モードとP7 <sub>6</sub> DDRビットの組合せにより次のように切り換わります。					
	動作モード	モード1, 2	モード3			
		—	スレープモード以外		スレープモード	
	P7 <sub>6</sub> DDR	—	0	1	—	
	端子機能	RD出力端子	P7 <sub>6</sub> 入力端子	P7 <sub>6</sub> 出力端子	IOR入力端子	
P7 <sub>5</sub> /WR/ IOW	動作モードとP7 <sub>5</sub> DDRビットの組合せにより次のように切り換わります。					
	動作モード	モード1, 2	モード3			
		—	スレープモード以外		スレープモード	
	P7 <sub>5</sub> DDR	—	0	1	—	
	端子機能	WR出力端子	P7 <sub>5</sub> 入力端子	P7 <sub>5</sub> 出力端子	IOW入力端子	
P7 <sub>4</sub> /AS/ CS <sub>1</sub>	動作モードとP7 <sub>4</sub> DDRビットの組合せにより次のように切り換わります。					
	動作モード	モード1, 2	モード3			
		—	スレープモード以外		スレープモード	
	P7 <sub>4</sub> DDR	—	0	1	—	
	端子機能	AS出力端子	P7 <sub>4</sub> 入力端子	P7 <sub>4</sub> 出力端子	CS <sub>1</sub> 入力端子	

表 7.19 ポート 7 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P7 <sub>3</sub> /SDA <sub>1</sub> / KEYIN <sub>7</sub>	I I C 1 の I <sup>2</sup> C バスコントロールレジスタ ( I C C R ) の I C E ビットと P7 <sub>3</sub> DDR ビットの組合せにより次のように切り換わります。			
	I C E	0		1
	P7 <sub>3</sub> DDR	0	1	—
	端 子 機 能	P7 <sub>3</sub> 入力端子	P7 <sub>3</sub> 出力端子	SDA <sub>1</sub> 入出力端子
KEYIN <sub>7</sub> 入力端子				
P7 <sub>2</sub> /SCL <sub>1</sub> / KEYIN <sub>6</sub>	I I C 1 の I <sup>2</sup> C バスコントロールレジスタ ( I C C R ) の I C E ビットと P7 <sub>2</sub> DDR ビットの組合せにより次のように切り換わります。			
	I C E	0		1
	P7 <sub>2</sub> DDR	0	1	—
	端 子 機 能	P7 <sub>2</sub> 入力端子	P7 <sub>2</sub> 出力端子	SCL <sub>1</sub> 入出力端子
KEYIN <sub>6</sub> 入力端子				
P7 <sub>1</sub> /SDA <sub>0</sub>	I I C 0 の I <sup>2</sup> C バスコントロールレジスタ ( I C C R ) の I C E ビットと P7 <sub>1</sub> DDR ビットの組合せにより次のように切り換わります。			
	I C E	0		1
	P7 <sub>1</sub> DDR	0	1	—
	端 子 機 能	P7 <sub>1</sub> 入力端子	P7 <sub>1</sub> 出力端子	SDA <sub>0</sub> 入出力端子
KEYIN <sub>5</sub> 入力端子				
P7 <sub>0</sub> /SCL <sub>0</sub>	I I C 0 の I <sup>2</sup> C バスコントロールレジスタ ( I C C R ) の I C E ビットと P7 <sub>0</sub> DDR ビットの組合せにより次のように切り換わります。			
	I C E	0		1
	P7 <sub>0</sub> DDR	0	1	—
	端 子 機 能	P7 <sub>0</sub> 入力端子	P7 <sub>0</sub> 出力端子	SCL <sub>0</sub> 入出力端子
KEYIN <sub>4</sub> 入力端子				



# 8. PWMタイマ

【H8 / 3202には、PWMタイマは内蔵されていません。】

## 第8章 目次

8.1	概要	159
8.1.1	特長	159
8.1.2	ブロック図	160
8.1.3	端子構成	161
8.1.4	レジスタ構成	162
8.2	各レジスタの説明	163
8.2.1	PWMデータレジスタ (PWDR0 ~ 15)	163
8.2.2	PWMデータポラリティレジスタA、B (PWDPRA、B)	163
8.2.3	PWMアウトプットイネーブルレジスタA、B (PWOERA、B)	164
8.2.4	ポート1データディレクションレジスタ (P1DDR)	164
8.2.5	ポート2データディレクションレジスタ (P2DDR)	165
8.2.6	ポート1データレジスタ (P1DR)	165
8.2.7	ポート2データレジスタ (P2DR)	165
8.2.8	シリアルタイマコントロールレジスタ (STCR)	166
8.3	PWMタイマの動作	167
8.3.1	PWMデータレジスタの内容と出力波形の対応	167



## 8. 1 概要

本 L S I は、16本の出力を持つ P W M (Pulse Width Modulation) タイマを内蔵しています。16本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の P W M 出力が可能です。16本の 8 ビット P W M データレジスタ (P W D R) を持ち、P W D R およびポートのデータレジスタ (P 1 D R、P 2 D R) に設定する値によって、0 ~ 100% の任意の出力を得ることができます。

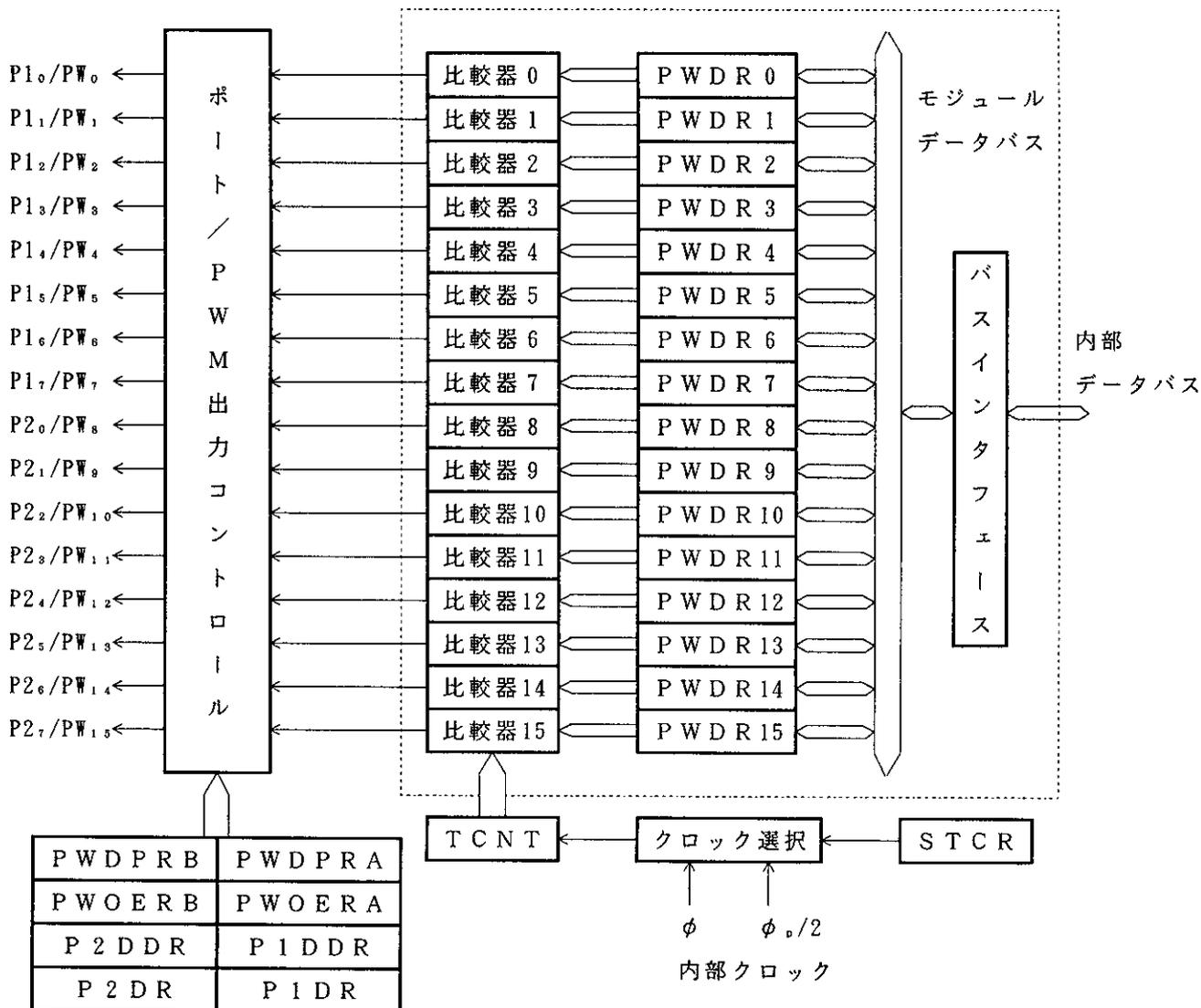
### 8. 1. 1 特長

P W M タイマの特長を以下に示します。

- パルス分割により、最大 1 M H z のキャリア周波数での動作可能。(16 M H z 動作時)
- デューティ 0 ~ 100% を 1 / 256 の分解能で設定可能。(100% はポート出力で実現)
- P W M 出力のイネーブル / ディスエーブルの切換え、直接出力 / 反転出力の切換えが可能

## 8.1.2 ブロック図

PWMタイマのブロック図を図8.1に示します。



<記号説明>

- PWDR : PWMデータレジスタ
- PWDPRA : PWMデータポラリティレジスタA
- PWDP RB : PWMデータポラリティレジスタB
- PWO ERA : PWMアウトプットイネーブルレジスタA
- PWO ER B : PWMアウトプットイネーブルレジスタB
- P 1 DD R : ポート1データディレクションレジスタ
- P 2 DD R : ポート2データディレクションレジスタ
- P 1 DR : ポート1データレジスタ
- P 2 DR : ポート2データレジスタ
- STCR : シリアルタイマコントロールレジスタ

図8.1 PWMタイマのブロック図

### 8. 1. 3 端子構成

PWMタイマの出力端子を表 8. 1 に示します。

表 8. 1 端子構成

名 称	略 称	入出力	機 能
PWM出力端子 0	PW <sub>0</sub>	出 力	PWMタイマパルス出力 0
PWM出力端子 1	PW <sub>1</sub>	出 力	PWMタイマパルス出力 1
PWM出力端子 2	PW <sub>2</sub>	出 力	PWMタイマパルス出力 2
PWM出力端子 3	PW <sub>3</sub>	出 力	PWMタイマパルス出力 3
PWM出力端子 4	PW <sub>4</sub>	出 力	PWMタイマパルス出力 4
PWM出力端子 5	PW <sub>5</sub>	出 力	PWMタイマパルス出力 5
PWM出力端子 6	PW <sub>6</sub>	出 力	PWMタイマパルス出力 6
PWM出力端子 7	PW <sub>7</sub>	出 力	PWMタイマパルス出力 7
PWM出力端子 8	PW <sub>8</sub>	出 力	PWMタイマパルス出力 8
PWM出力端子 9	PW <sub>9</sub>	出 力	PWMタイマパルス出力 9
PWM出力端子 10	PW <sub>10</sub>	出 力	PWMタイマパルス出力 10
PWM出力端子 11	PW <sub>11</sub>	出 力	PWMタイマパルス出力 11
PWM出力端子 12	PW <sub>12</sub>	出 力	PWMタイマパルス出力 12
PWM出力端子 13	PW <sub>13</sub>	出 力	PWMタイマパルス出力 13
PWM出力端子 14	PW <sub>14</sub>	出 力	PWMタイマパルス出力 14
PWM出力端子 15	PW <sub>15</sub>	出 力	PWMタイマパルス出力 15

#### 8.1.4 レジスタ構成

PWMタイマのレジスタ構成を表8.2に示します。

表8.2 レジスタ構成

名 称	略 称	R/W*	初期値	アドレス
PWMデータレジスタ0	PWDR0	R/W	H'00	H'FFF0
PWMデータレジスタ1	PWDR1	R/W	H'00	H'FFF1
PWMデータレジスタ2	PWDR2	R/W	H'00	H'FFF2
PWMデータレジスタ3	PWDR3	R/W	H'00	H'FFF3
PWMデータレジスタ4	PWDR4	R/W	H'00	H'FFF4
PWMデータレジスタ5	PWDR5	R/W	H'00	H'FFF5
PWMデータレジスタ6	PWDR6	R/W	H'00	H'FFF6
PWMデータレジスタ7	PWDR7	R/W	H'00	H'FFF7
PWMデータレジスタ8	PWDR8	R/W	H'00	H'FFF8
PWMデータレジスタ9	PWDR9	R/W	H'00	H'FFF9
PWMデータレジスタ10	PWDR10	R/W	H'00	H'FFFA
PWMデータレジスタ11	PWDR11	R/W	H'00	H'FFFB
PWMデータレジスタ12	PWDR12	R/W	H'00	H'FFFC
PWMデータレジスタ13	PWDR13	R/W	H'00	H'FFFD
PWMデータレジスタ14	PWDR14	R/W	H'00	H'FFFE
PWMデータレジスタ15	PWDR15	R/W	H'00	H'FFFF
PWMデータポラリティレジスタA	PWDPRA	R/W	H'00	H'FFCF
PWMデータポラリティレジスタB	PWDPRB	R/W	H'00	H'FFCE
PWMアウトプットイネーブルレジスタA	PWOERA	R/W	H'00	H'FFD5
PWMアウトプットイネーブルレジスタB	PWOERB	R/W	H'00	H'FFCD
ポート1データディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート2データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート1データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート2データレジスタ	P2DR	R/W	H'00	H'FFB3
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】\* アドレスH'FFF0～H'FFFFのレジスタは、システムコントロールレジスタ（SYSCR）のHIEビットが“0”の場合にのみリード/ライト可能です。

## 8.2 各レジスタの説明

### 8.2.1 PWMデータレジスタ (PWDR0~15)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

PWDRは、8ビットのリード/ライト可能なレジスタで、出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDRに設定する値が、変換周期内の0/1比に対応します。上位4ビットは基本パルスのデューティ比を0~15/16まで1/16の分解能で指定し、下位4ビットは、16基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の0/1比は、0~255/256まで指定可能です。256/256(100%)を出力する場合は、ポート出力を利用してください。

PWDRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

### 8.2.2 PWMデータポラリティレジスタA、B (PWDPRA、B)

ビット:	7	6	5	4	3	2	1	0
PWDPRA:	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット:	7	6	5	4	3	2	1	0
PWDPRB:	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDPRAは、8ビットのリード/ライト可能なレジスタで、PWM出力の極性を制御します。OS0~15ビットがPW0~15出力にそれぞれ対応します。

PWDPRAは、リセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

説明	
OS	
0	PWM直接出力 (PWDRの値が、出力の“High”幅に対応) (初期値)
1	PWM反転出力 (PWDRの値が、出力の“Low”幅に対応)

### 8.2.3 PWMアウトプットイネーブルレジスタA、B (PWOERA、B)

ビット:	7	6	5	4	3	2	1	0
PWOERA:	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット:	7	6	5	4	3	2	1	0
PWOERB:	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOERは、8ビットのリード/ライト可能なレジスタで、PWM出力とポート出力を切り換えます。OE0～15ビットがPW0～15出力にそれぞれ対応します。端子を出力状態とするためには、さらにポートのデータディレクションレジスタで設定する必要があります。P1DDR0～7ビットがPW0～7出力に、P2DDR0～7ビットがPW8～15出力にそれぞれ対応します。

PWOERは、リセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

		説明
DDR	OE	
0	0	ポート入力 (初期値)
0	1	ポート入力
1	0	ポート出力またはPWMの256/256出力
1	1	PWM出力(0～255/256出力)

### 8.2.4 ポート1データディレクションレジスタ (P1DDR)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P1DDRは8ビットのライト専用のレジスタで、ポート1の各端子の入出力方向およびPWM出力をビット単位に設定します。

ポート1はPW<sub>0</sub>～PW<sub>7</sub>端子との兼用端子となっています。PWM出力を行う端子に対応するビットを“1”にセットしてください。

P1DDRの詳細は、「7.2 ポート1」を参照してください。

### 8.2.5 ポート2データディレクションレジスタ (P2DDR)

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P2DDRは8ビットのライト専用のレジスタで、ポート2の各端子の入出力方向およびPWM出力をビット単位に設定します。

ポート2はPW<sub>8</sub>~PW<sub>15</sub>端子との兼用端子となっています。PWM出力を行う端子に対応するビットを“1”にセットしてください。

P2DDRの詳細は、「7.3 ポート2」を参照してください。

### 8.2.6 ポート1データレジスタ (P1DR)

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P1DRは8ビットのリード/ライト可能なレジスタで、PWM出力を“1”固定(OS = “0”の場合)または“0”固定(OS = “1”の場合)に利用します。

P1DRの詳細は、「7.2 ポート1」を参照してください。

### 8.2.7 ポート2データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2DRは8ビットのリード/ライト可能なレジスタで、PWM出力を“1”固定(OS = “0”の場合)または“0”固定(OS = “1”の場合)に利用します。

P2DRの詳細は、「7.3 ポート2」を参照してください。

### 8.2.8 シリアルタイマコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリード/ライト可能なレジスタで、I<sup>2</sup>CバスインタフェースとPWMタイマおよび8ビットタイマのTCNTの入力クロックの選択を行います。

STCRはリセット時にH'00にイニシャライズされます。

#### ビット7~5: I<sup>2</sup>Cコントロール (IICS、IICX1、IICX0)

I<sup>2</sup>Cバスインタフェースの動作を制御するビットです。詳しくは「第14章 I<sup>2</sup>Cバスインタフェース」を参照してください。

#### ビット4: タイマコネクショアウトプットイネーブル (SYNCE)

タイマの相互接続時の出力 (VSYNCO、HSYNCO、CLAMPO) を制御するビットです。詳しくは「第11章 タイマコネクション」を参照してください。

#### ビット3~2: PWMクロックイネーブル、PWMクロックセレクト (PWCKE、PWCKS)

PWMタイマのTCNTに入力する内部クロックを選択します。

ビット3	ビット2	説明
PWCKE	PWCKS	
0	—	クロック入力禁止 (初期値)
1	0	$\phi$ (システムクロック) を選択
1	1	$\phi_p/2$ (周辺用クロックの2分周) を選択

PWMの分解能、PWM変換周期、キャリア周波数は、選択した内部クロックにより、次の式で求めることができます。

$$\text{分解能 (最小パルス幅)} = 1 / \text{内部クロック周波数}$$

$$\text{PWM変換周期} = \text{分解能} \times 256$$

$$\text{キャリア周波数} = 16 / \text{PWM変換周期}$$

したがって、システムクロック ( $\phi$ ) ・周辺用クロック ( $\phi_p$ ) が10MHzの場合の分解能、PWM変換周期、キャリア周波数は次のようになります。

表 8.3  $\phi$ 、 $\phi_p=10\text{MHz}$ 時の分解能、PWM変換周期、キャリア周波数

内部クロック周波数	分解能	PWM変換周期	キャリア周波数
$\phi$	100ns	25 $\mu\text{s}$	640kHz
$\phi_p/2$	200ns	50 $\mu\text{s}$	320kHz

#### ビット1、0: インターナルクロックセレクト1、0 (ICKS1、ICKS0)

8ビットタイマのTCRのCKS2~0ビットと共に、8ビットタイマのTCNTに入力する内部クロックを選択します。詳細は「10.2.3 タイマコントロールレジスタ」を参照してください。

### 8.3 PWMタイマの動作

#### 8.3.1 PWMデータレジスタの内容と出力波形の対応

PWDRの上位4ビットは基本パルスのデューティ比を0～15/16まで1/16の分解能で次のように指定します。

表 8.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

PWDRの下位4ビットは、16基本パルスに対する付加パルスの付加位置を次のように指定します。付加パルスとしては、基本パルスの立上がりエッジの前に分解能分の幅の“High”期間（OS = “0”の場合）を付加します。PWDRの上位4ビットが“0000”の場合は基本パルスの立上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。

表 8.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基 本 パ ル ス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																○
0010							○									○
0011							○				○					○
0100			○				○				○					○
0101			○				○				○		○			○
0110			○		○		○				○		○			○
0111			○		○		○		○		○		○			○
1000		○		○		○		○		○		○		○		○
1001		○		○		○		○		○		○		○	○	○
1010		○		○		○	○	○		○		○		○	○	○
1011		○		○		○	○	○		○	○	○		○	○	○
1100		○	○	○		○	○	○		○	○	○		○	○	○
1101		○	○	○		○	○	○		○	○	○	○	○	○	○
1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

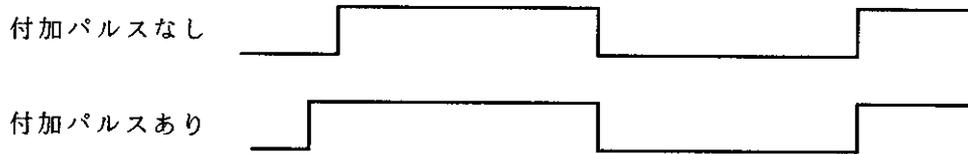


図 8.2 付加パルスタイミング (PWDR 上位 4 ビットが "1000" の例)

# 9. 16ビットフリー ランニングタイマ

## 第9章 目次

9.1	概要	171
9.1.1	特長	171
9.1.2	ブロック図	172
9.1.3	端子構成	173
9.1.4	レジスタ構成	173
9.2	各レジスタの説明	174
9.2.1	フリーランニングカウンタ (FRC)	174
9.2.2	アウトプットコンペアレジスタ A、B (OCRA、B)	174
9.2.3	インプットキャプチャレジスタ (ICR)	175
9.2.4	タイマコントロールレジスタ (TCR)	175
9.2.5	タイマコントロール/ステータスレジスタ (TCSR)	177
9.3	CPUとのインタフェース	181
9.4	動作説明	184
9.4.1	FRCのカウントタイミング	184
9.4.2	アウトプットコンペア出力タイミング	185
9.4.3	FRCのクリアタイミング	185
9.4.4	インプットキャプチャ入力タイミング	186
9.4.5	インプットキャプチャフラグ (ICF) のセットタイミング	187
9.4.6	タイマオーバフローフラグ (OVF) のセットタイミング	187
9.5	割込み要因	188
9.6	FRTの使用例	188
9.7	使用上の注意	189



## 9. 1 概要

本LSIは、16ビットフリーランニングタイマ（FRT：Free Running Timer）を1チャンネル内蔵しています。

FRTは、16ビットのフリーランニングカウンタ（FRC）をベースにして、2種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

### 9. 1. 1 特長

FRTの特長を以下に示します。

■ 4種類のカウンタ入力クロックを選択可能

3種類の内部クロック（ $\phi_P/2$ ， $\phi_P/8$ ， $\phi_P/32$ ）と外部クロックのうちから選択できます（外部イベントのカウントが可能）。

■ 2本の独立したコンパレータ

2種類の波形出力が可能です。

■ インプットキャプチャ機能

立上がりエッジ／立下がりエッジの選択が可能です。

■ カウンタのクリア指定が可能

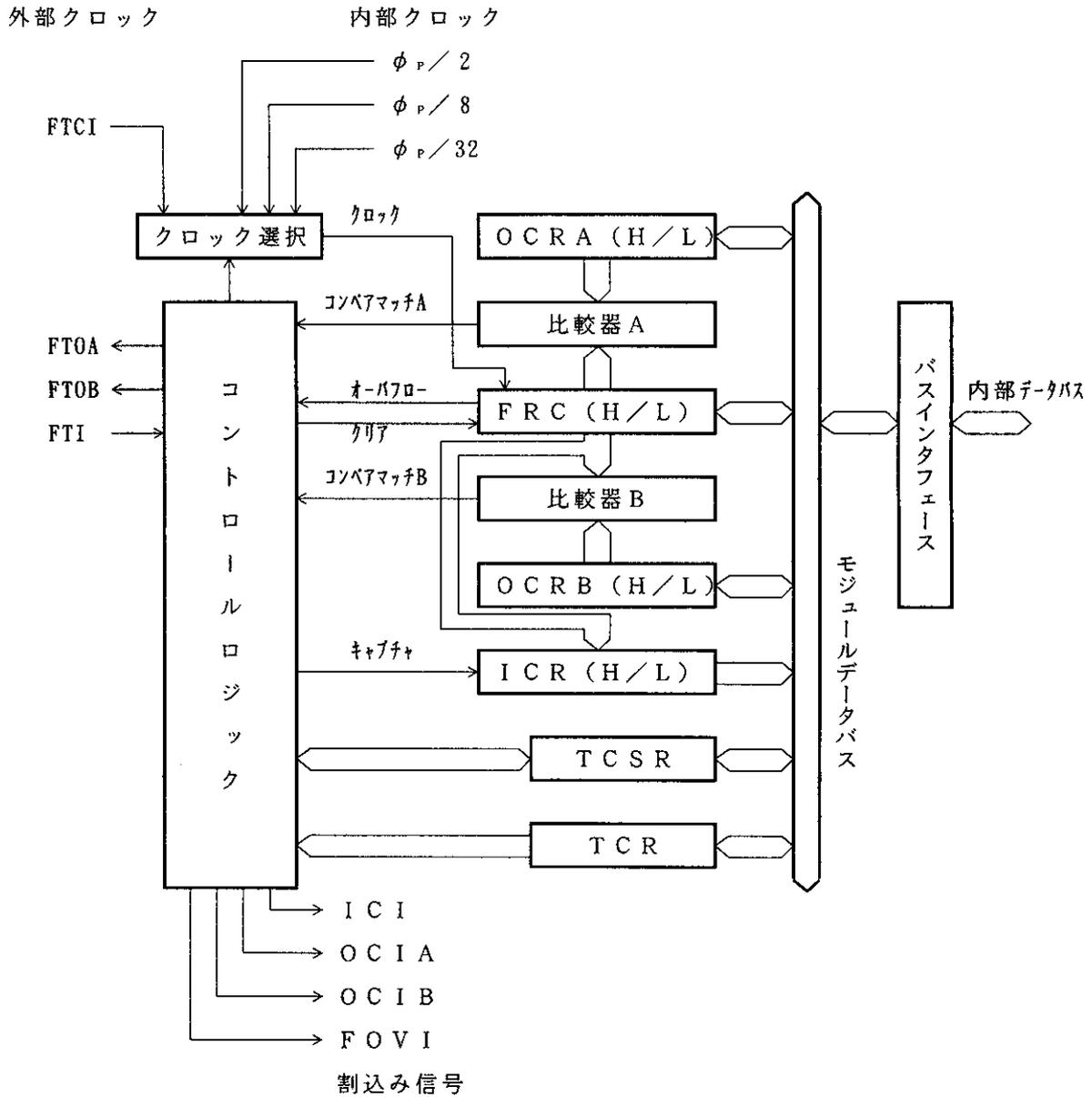
コンペアマッチAにより、カウンタの値をクリアすることができます。

■ 4種類の割込み要因

コンペアマッチ×2要因、インプットキャプチャ×1要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

9.1.2 ブロック図

FRTのブロック図を図9.1に示します。



<記号説明>

- OCRA : アウトプットコンペアレジスタA
- OCRB : アウトプットコンペアレジスタB
- FRC : フリーランニングカウンタ
- ICR : インプットキャプチャレジスタ
- TCSR : タイマコントロール/ステータスレジスタ
- TCR : タイマコントロールレジスタ

図9.1 FRTのブロック図

### 9.1.3 端子構成

F R Tの入出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記 号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	F R Cのカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ入力端子	FTI	入力	インプットキャプチャの入力

### 9.1.4 レジスタ構成

F R Tのレジスタ構成を表 9.2 に示します。

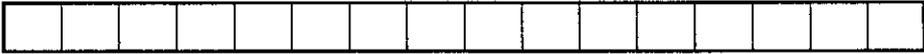
表 9.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマコントロールレジスタ	T C R	R/W	H'00	H'FF90
タイマコントロール/ステータスレジスタ	T C S R	R/(W)*	H'00	H'FF91
フリーランニングカウンタ H	F R C H	R/W	H'00	H'FF92
フリーランニングカウンタ L	F R C L	R/W	H'00	H'FF93
アウトプットコンペアレジスタ A H	O C R A H	R/W	H'FF	H'FF94
アウトプットコンペアレジスタ A L	O C R A L	R/W	H'FF	H'FF95
アウトプットコンペアレジスタ B H	O C R B H	R/W	H'FF	H'FF96
アウトプットコンペアレジスタ B L	O C R B L	R/W	H'FF	H'FF97
インプットキャプチャレジスタ H	I C R H	R	H'00	H'FF98
インプットキャプチャレジスタ L	I C R L	R	H'00	H'FF99

【注】 \*ビット 7～4 はリード専用で、フラグをクリアするための“0”ライトのみ可能です。

## 9.2 各レジスタの説明

### 9.2.1 フリーランニングカウンタ (FRC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRCは、16ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウンタアップされます。入力するクロックは、タイマコントロールレジスタ (TCR) のクロックセレクト1、0ビット (CKS1、0) で選択します。

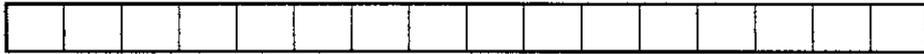
また、FRCはコンペアマッチAによりクリアすることができます。

FRCがオーバフロー (H'FFFF→H'0000) すると、タイマコントロール/ステータスレジスタ (TCSR) のオーバフローフラグ (OVF) が“1”にセットされます。

FRCは、CPUからリード/ライト可能ですが、16ビットになっているため、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.3 CPUとのインタフェース」を参照してください。

FRCは、リセットまたはスタンバイモード時にH'0000に、イニシャライズされます。

### 9.2.2 アウトプットコンペアレジスタA、B (OCRA, B)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRは、16ビットのリード/ライト可能な2本のレジスタ (OCRA、B) から構成されます。OCRの内容は、FRCの値と常に比較されています。両者の値が一致すると、TCSRのアウトプットコンペアフラグ (OCFA、B) が“1”にセットされます。

さらに、OCRの値とFRCの値が一致した (コンペアマッチ) とき、TCRのアウトプットイネーブルビット (OEA、B) が“1”にセットされていると、TCSRのアウトプットレベルビット (OLVLA、B) で設定した出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまでFTOA、FTOB出力は“0”出力です。

また、OCRは16ビットになっているため、CPUとのデータ転送はTEMPを介して行われます。詳細は、「9.3 CPUとのインタフェース」を参照してください。

OCRは、リセットまたはスタンバイモード時に、H'FFFFにイニシャライズされます。

### 9.2.3 インプットキャプチャレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICRは、16ビットのリード専用のレジスタです。

インプットキャプチャ信号の立上がりまたは立下がりエッジが検出されると、そのときのFRCの値がICRに転送\*されます。このとき同時にTCSRのインプットキャプチャフラグ(ICF)が“1”にセットされます。入力信号のエッジは、TCSRのインプットエッジセレクトビット(IEDG)により選択できます。

ICRは16ビットのため、CPUとのデータ転送はTEMPを介して行われます。詳細は「9.3 CPUとのインタフェース」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも1.5システムクロック( $\phi$ )以上にしてください。

また、ICRはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

【注】\* FRCからICRへの転送はICFの値にかかわらず行われます。

### 9.2.4 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは8ビットのリード/ライト可能なレジスタで、FRCの入力クロックの選択、アウトプットコンペア出力の許可および各割込み要求の許可を制御します。

TCRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

#### ビット7: インプットキャプチャインタラプトイネーブル (ICIE)

TCSRのICFが“1”にセットされたとき、ICFによる割込み要求(ICI)の許可または禁止を選択します。

ビット7	説明	
ICIE		
0	ICFによる割込み要求(ICI)を禁止	(初期値)
1	ICFによる割込み要求(ICI)を許可	

ビット6：アウトプットコンペアインタラプトイネーブルB（OCIEB）

TCSRのOCFBが“1”にセットされたとき、OCFBによる割込み要求（OCIB）の許可または禁止を選択します。

ビット6	説 明	
OCIEB		
0	OCFBによる割込み要求（OCIB）を禁止	（初期値）
1	OCFBによる割込み要求（OCIB）を許可	

ビット5：アウトプットコンペアインタラプトイネーブルA（OCIEA）

TCSRのOCFAが“1”にセットされたとき、OCFAによる割込み要求（OCIA）の許可または禁止を選択します。

ビット5	説 明	
OCIEA		
0	OCFAによる割込み要求（OCIA）を禁止	（初期値）
1	OCFAによる割込み要求（OCIA）を許可	

ビット4：タイマオーバフローインタラプトイネーブル（OVIE）

TCSRのOVFが“1”にセットされたとき、OVFによる割込み要求（FOVI）の許可または禁止を選択します。

ビット4	説 明	
OVIE		
0	OVFによる割込み要求（FOVI）を禁止	（初期値）
1	OVFによる割込み要求（FOVI）を許可	

ビット3：アウトプットイネーブルB（OEB）

FRCの値とアウトプットコンペアレジスタB（OCRB）の値が一致したとき、TCSRのOLVLBで設定した出力レベルの値をアウトプットコンペアB出力端子に出力するか、または禁止するかを選択します。

ビット3	説 明	
OEB		
0	アウトプットコンペアB出力を禁止	（初期値）
1	アウトプットコンペアB出力を許可	

ビット2：アウトプットイネーブルA（OEA）

FRCの値とアウトプットコンペアレジスタA（OCRA）の値が一致したとき、TCSRのOLVLAで設定した出力レベルの値をアウトプットコンペアA出力端子に出力するか、または禁止するかを選択します。

ビット2	説明
OEA	
0	アウトプットコンペアA出力を禁止 (初期値)
1	アウトプットコンペアA出力を許可

ビット1, 0：クロックセレクト（CKS1, 0）

FRCに入力するクロックを内部クロック3種類または外部クロックから選択します。外部クロックは、外部クロック端子（FTCI）の立上がりエッジでカウントします。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	内部クロック： $\phi_P/2$ でカウント (初期値)
0	1	内部クロック： $\phi_P/8$ でカウント
1	0	内部クロック： $\phi_P/32$ でカウント
1	1	外部クロック：立上がりエッジ（ $\uparrow$ ）でカウント

9.2.5 タイマコントロール/ステータスレジスタ（TCSR）

ビット：	7	6	5	4	3	2	1	0
	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

【注】\* ビット7～4はフラグをクリアするための“0”ライトのみ可能です。

TCSRは8ビットのレジスタで、カウンタクリアの選択、インプットキャプチャ入力エッジの選択、アウトプットコンペア出力レベルの選択、および各ステータスの表示をします。

TCSRは、リセットまたはスタンバイモード時にH'00にイニシャライズされます。

### ビット7：インプットキャプチャフラグ（ICF）

インプットキャプチャ信号によってFRCの値がICRに転送されたことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICF	
0	〔クリア条件〕 ICF = “1” の状態で、ICFをリードした後、ICFに“0”をライトしたとき (初期値)
1	〔セット条件〕 インプットキャプチャ信号によりFRCの値がICRに転送されたとき

### ビット6：アウトプットコンペアフラグB（OCFB）

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OCFB	
0	〔クリア条件〕 OCFB = “1” の状態で、OCFBをリードした後、OCFBに“0”をライトしたとき (初期値)
1	〔セット条件〕 FRC = OCRBになったとき

### ビット5：アウトプットコンペアフラグA（OCFA）

FRCとOCRAの値が一致したことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
OCFA	
0	〔クリア条件〕 OCFA = “1” の状態で、OCFAをリードした後、OCFAに“0”をライトしたとき (初期値)
1	〔セット条件〕 FRC = OCRAになったとき

ビット4：タイマオーバフロー（OVF）

FRCの値がオーバフロー（H'FFFF→H'0000）したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説 明
OVF	
0	〔クリア条件〕 OVF = “1” の状態で、OVFをリードした後、OVFに“0”をライトしたとき (初期値)
1	〔セット条件〕 FRCの値が、H'FFFF→H'0000になったとき

ビット3：アウトプットレベルB（OLVLB）

コンペアマッチB（FRCとOCRBの一致による信号）により、コンペアマッチB出力端子に出力する出力レベルを選択します。

ビット3	説 明
OLVLB	
0	コンペアマッチBにより“0”出力 (初期値)
1	コンペアマッチBにより“1”出力

ビット2：アウトプットレベルA（OLVLA）

コンペアマッチA（FRCとOCRAの一致による信号）により、コンペアマッチA出力端子に出力する出力レベルを選択します。

ビット2	説 明
OLVLA	
0	コンペアマッチAにより“0”出力 (初期値)
1	コンペアマッチAにより“1”出力

ビット1：インプットエッジセレクト（IEDG）

インプットキャプチャ入力端子（FTI）の立上がりエッジまたは立下がりエッジを選択します。

ビット1	説 明
IEDG	
0	インプットキャプチャ入力の立下がりエッジ（ $\downarrow$ ）でFRCの値をICRに転送 (初期値)
1	インプットキャプチャ入力の立上がりエッジ（ $\uparrow$ ）でFRCの値をICRに転送

ビット0：カウンタクリアA (CCLRA)

コンペアマッチA (FRCとOCRAの一致信号) によりFRCをクリアするか、しないかを選択します。

ビット0	説 明
CCLRA	
0	FRCのクリアを禁止 (初期値)
1	コンペアマッチAによりFRCをクリア

### 9.3 CPUとのインタフェース

FRC、OCRA、OCRBおよびICRは、16ビットのレジスタです。一方、CPUと内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、CPUがこれら3種類のレジスタをアクセスするには、8ビットのテンポラリレジスタ（TEMP）を介して行います。

各レジスタのリード/ライトは次のような動作で行われます。

#### ■レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。

#### ■レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これら3種類のレジスタをアクセスするときは、常に16ビット単位（バイトアクセスを2回行うことも含みます）で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図9.2にFRCをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、OCRBのリード時には、上位バイト、下位バイトともTEMPを介さずに直接CPUにデータを転送します。

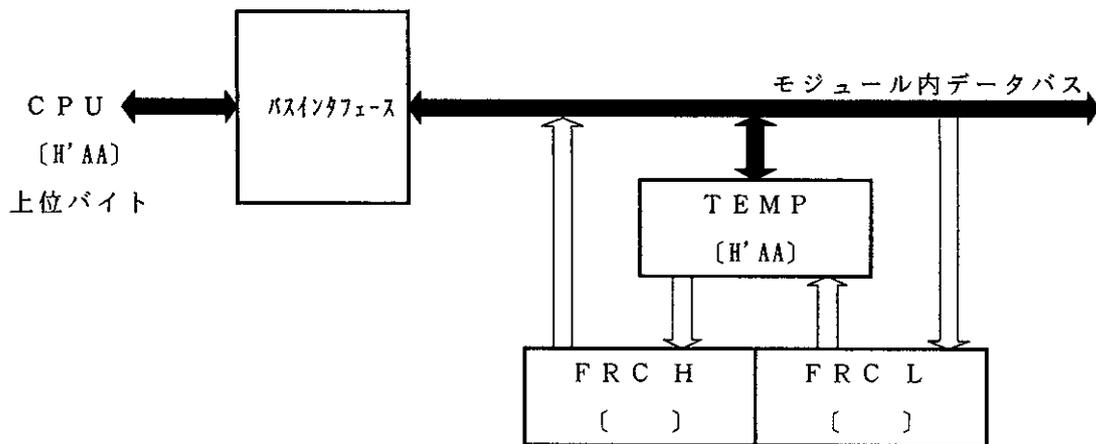
#### 例1 OCRAへのライト

```
MOV.W R0, @OCRA      FRTのOCRAへR0の内容をライト
```

#### 例2 ICRのリード

```
MOV.W @ICR, R0      FRTのICRをR0へ転送
```

<上位バイトのライト>



<下位バイトのライト>

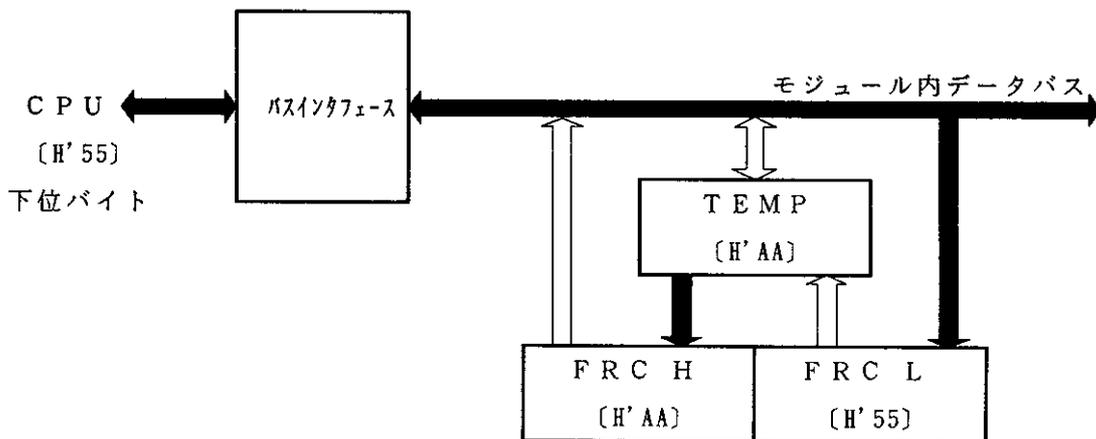
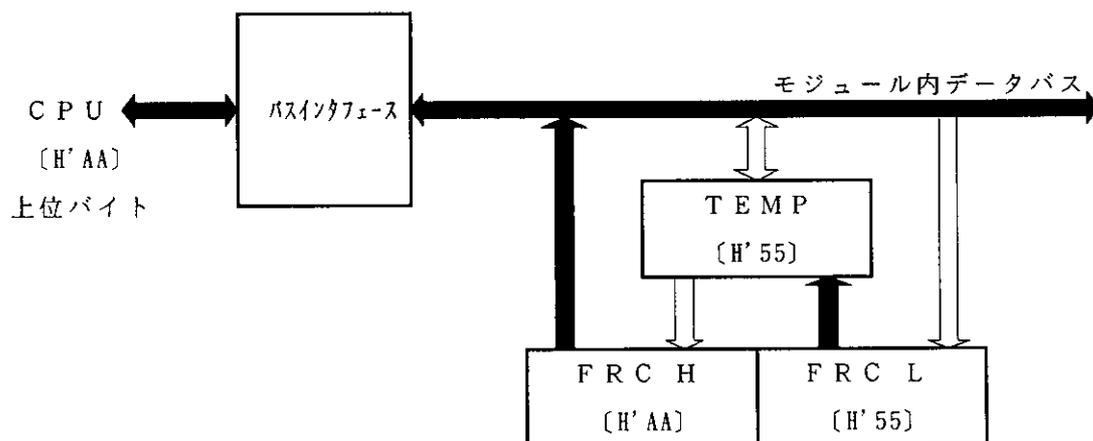


図 9. 2 (a) FRCのアクセス動作 (CPU→FRC [H'AA55] ライト時)

<上位バイトのリード>



<下位バイトのリード>

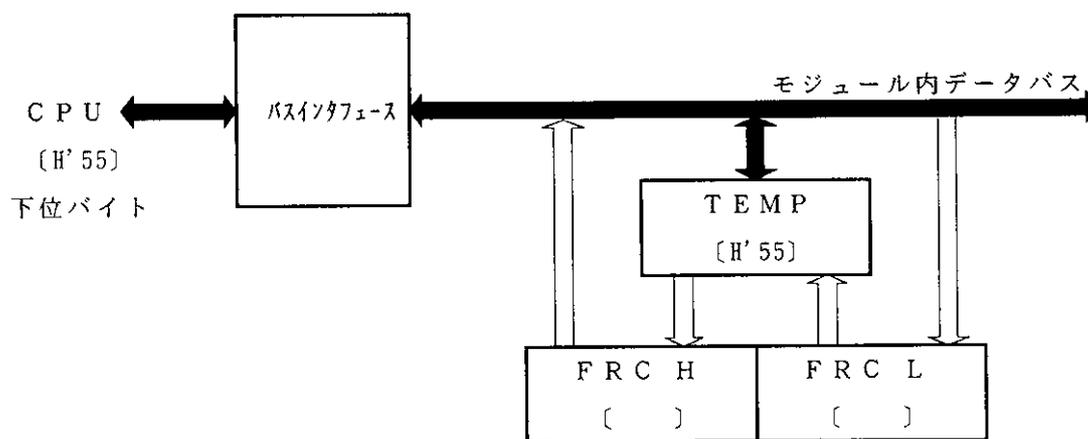


図 9. 2 (b) FRCのアクセス動作 (FRC→CPU [H'AA55] リード時)

## 9.4 動作説明

### 9.4.1 FRCのカウンタタイミング

FRCは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (1) 内部クロック動作の場合

TCRのCKS1、0ビットの設定により、システムクロック（ $\phi$ ）を分周して作られる3種類の内部クロック（ $\phi_P/2$ 、 $\phi_P/8$ 、 $\phi_P/32$ ）が選択されます。このときのタイミングを図9.3に示します。

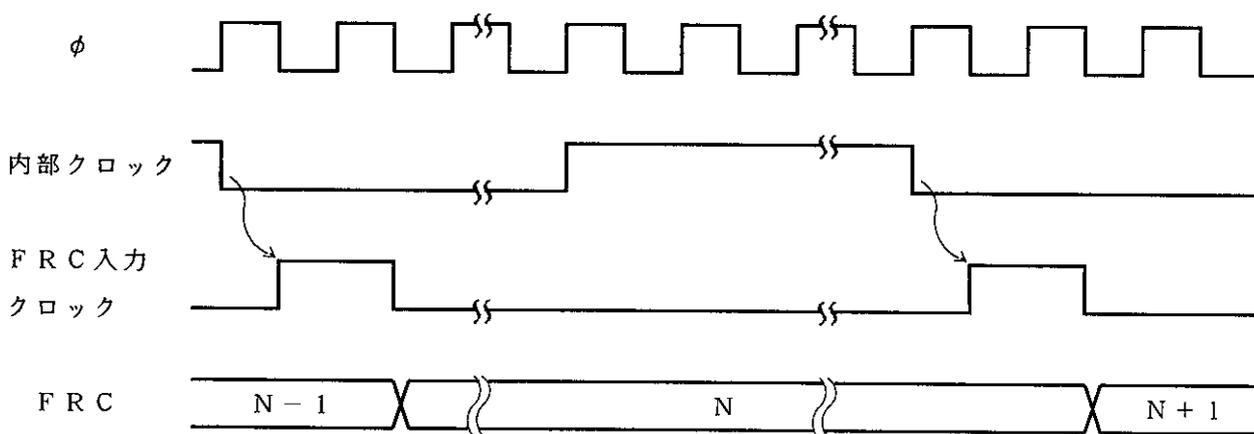


図9.3 内部クロック動作時のカウンタタイミング

#### (2) 外部クロック動作の場合

TCRのCKS1、0ビットの設定により、外部クロック入力を選択されます。外部クロックは立上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5システムクロック（ $\phi$ ）以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図9.4に示します。

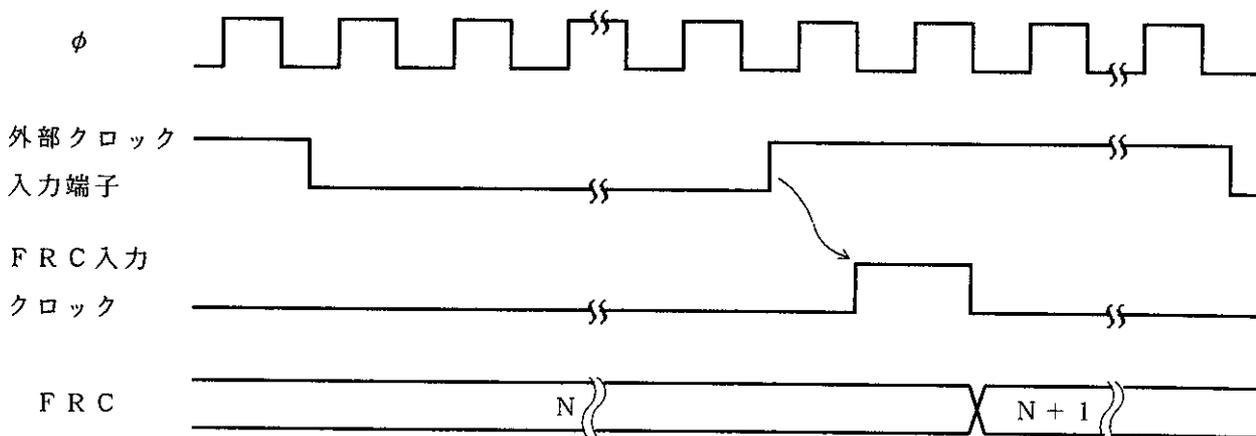
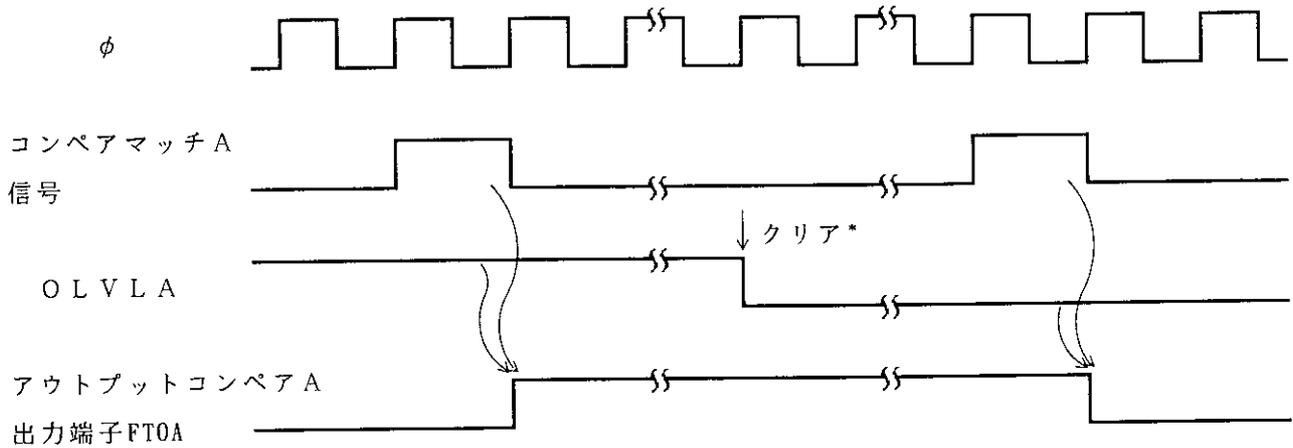


図9.4 外部クロック動作時のカウンタタイミング

### 9.4.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。図9.5にアウトプットコンペアAの場合の出力タイミングを示します。



【注】\* ↓はソフトウェアによる命令実行を示します。

図9.5 アウトプットコンペアA出力タイミング

### 9.4.3 FRCのクリアタイミング

FRCの値はコンペアマッチAでクリアすることができます。クリアタイミングを図9.6に示します。

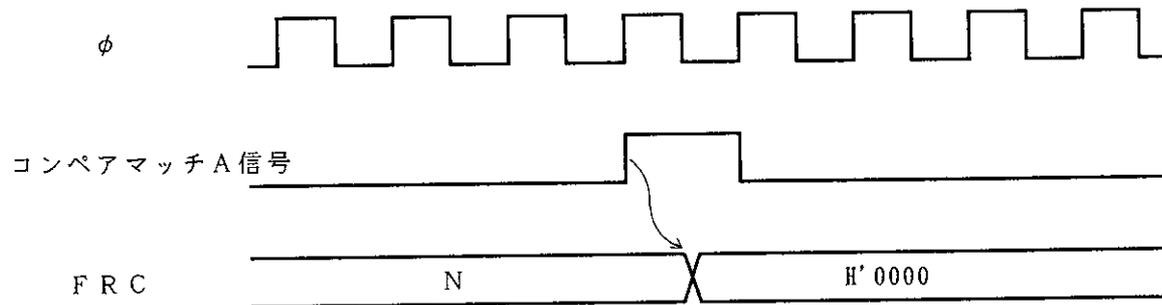


図9.6 コンペアマッチAによるクリアタイミング

#### 9.4.4 インพุットキャプチャ入力タイミング

##### (1) インพุットキャプチャ入力タイミング

インพุットキャプチャ信号は、TCSRのIEDGビットで立上がり／立下がりエッジを選択します。立上がりエッジを選択した（IEDG = “1”）場合のタイミングを図9.7に示します。

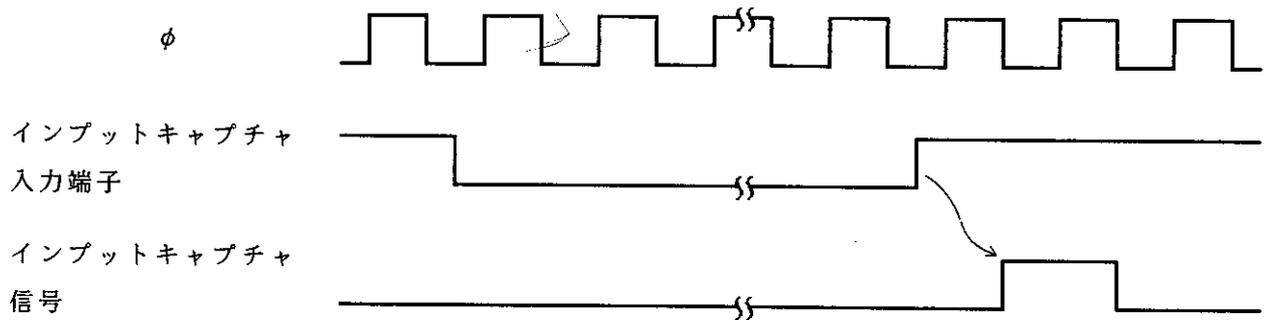


図9.7 インพุットキャプチャ信号タイミング（通常時）

また、インพุットキャプチャ信号が発生するタイミングのとき、ICRのリード（上位バイトのリード）時にインพุットキャプチャ入力を入力するとインพุットキャプチャ信号は1システムクロック（ $\phi$ ）遅延されます。このタイミングを図9.8に示します。

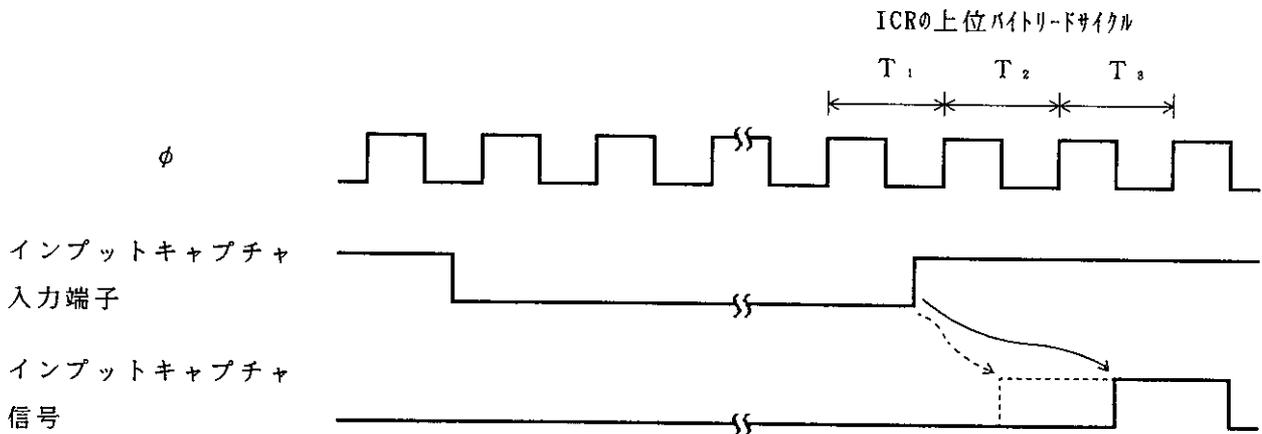


図9.8 インพุットキャプチャ信号タイミング  
（ICRのリード時に、インพุットキャプチャ入力を入力した場合）

#### 9.4.5 インプットキャプチャフラグ (ICF) のセットタイミング

インプットキャプチャ入力により ICF は “1” にセットされ、同時に FRC の値が ICR に転送されます。このタイミングを図 9.9 に示します。

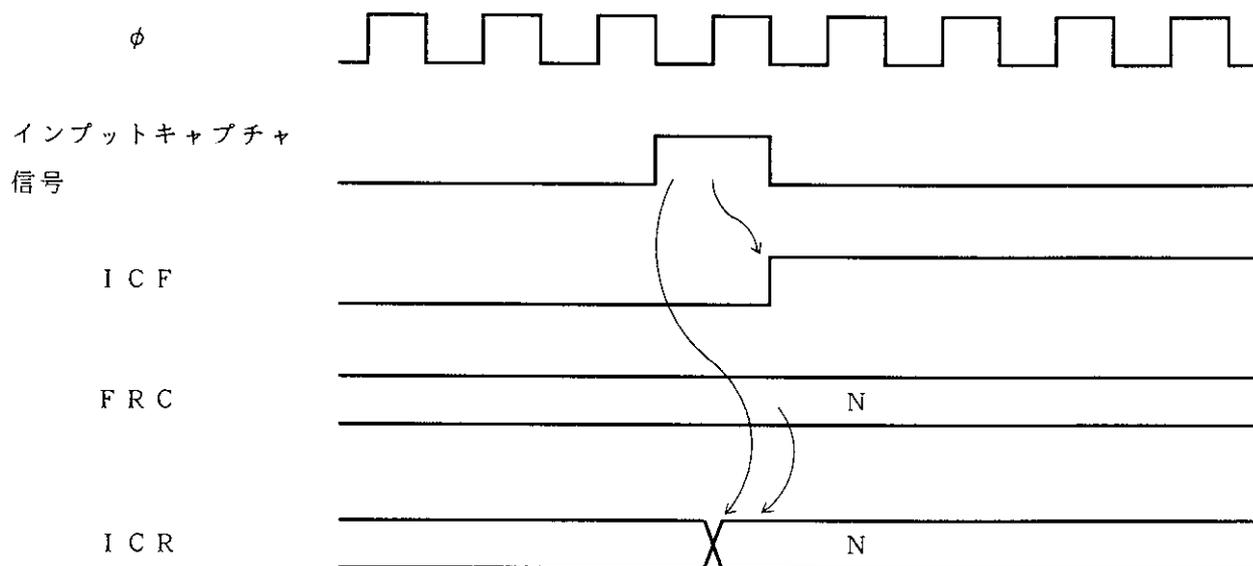


図 9.9 ICF のセットタイミング

#### 9.4.6 タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF→H'0000) したとき “1” にセットされます。このときのタイミングを図 9.10 に示します。

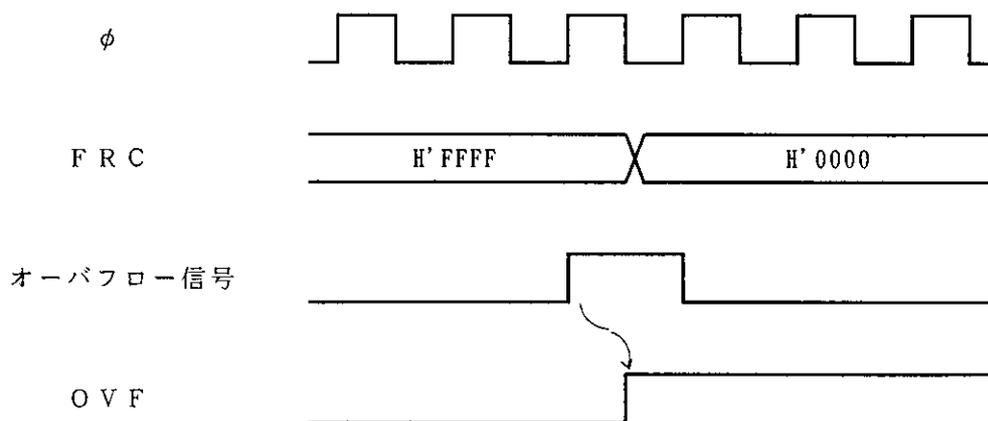


図 9.10 OVF のセットタイミング

## 9.5 割込み要因

FRTの割込み要因は、ICI、OCIA、OCIBおよびFOVIの4種類があります。

表9.3に各割込み要因と優先順位を示します。各割込み要因は、TCRの各割込みイネーブルビットで許可または禁止され、それぞれ独立に割込みコントローラに送られます。

表9.3 FRT割込み要因

割込み要因	内容	割込み優先順位
ICI	ICFによる割込み	高 ↑ 低
OCIA	OCFAによる割込み	
OCIB	OCFBによる割込み	
FOVI	OVFによる割込み	

## 9.6 FRTの使用例

デューティ50%のパルスを任意の位相差で出力させた例を図9.11に示します。これは次に示すように設定します。

- (1) TCSRのCCLRAビットを“1”にセットします。
- (2) 各コンペアマッチが発生するたびにOLVLA、Bビットをソフトウェアにより反転させます。

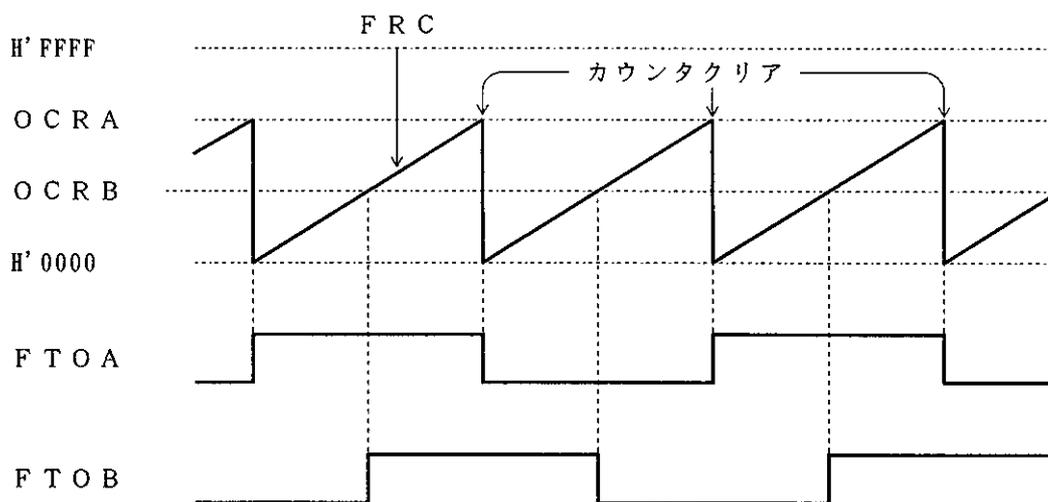


図9.11 パルス出力例

## 9.7 使用上の注意

FRCの動作中、次のような競合が発生した場合、以下のような動作が起こりますので、注意してください。

### (1) FRCのライトとクリアの競合

FRCの下位バイトライトサイクル中の $T_3$ ステートで、カウンタクリア信号が発生すると、FRCへの書込みは行われずFRCのクリアが優先されます。

このタイミングを図9.12に示します。

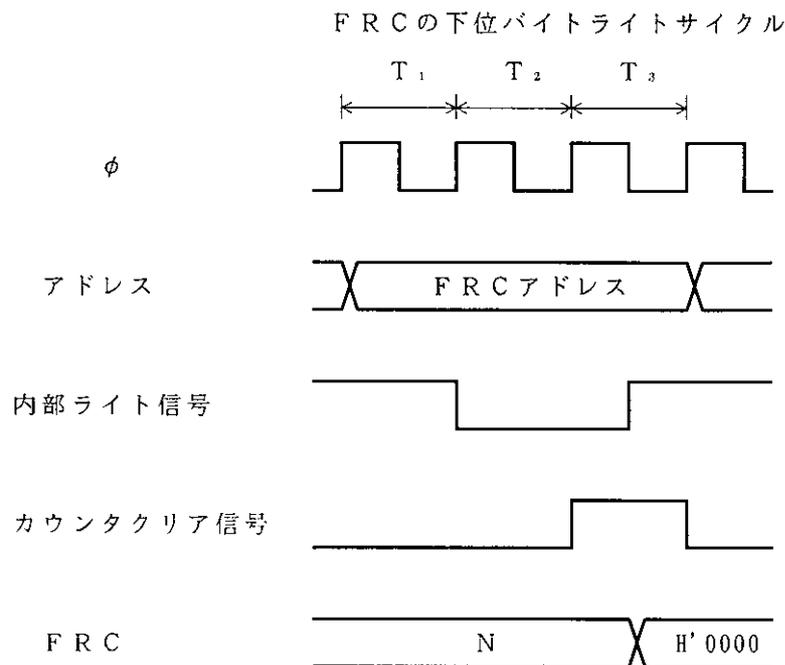


図9.12 FRCのライトとクリアの競合

### (2) FRCのライトとカウントアップの競合

FRCの下位バイトライトサイクル中の $T_3$ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図9.13に示します。

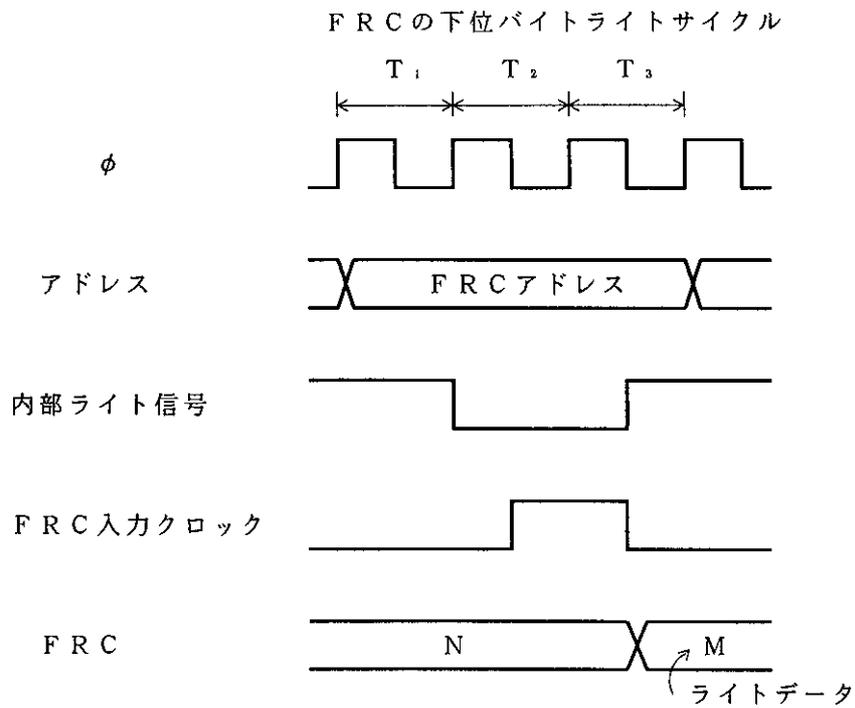


図 9.13 FRCのライトとカウントアップの競合

(3) OCRのライトとコンペアマッチの競合

OCRA、Bの下位バイトライトサイクル中のT<sub>3</sub>ステートでコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 9.14 に示します。

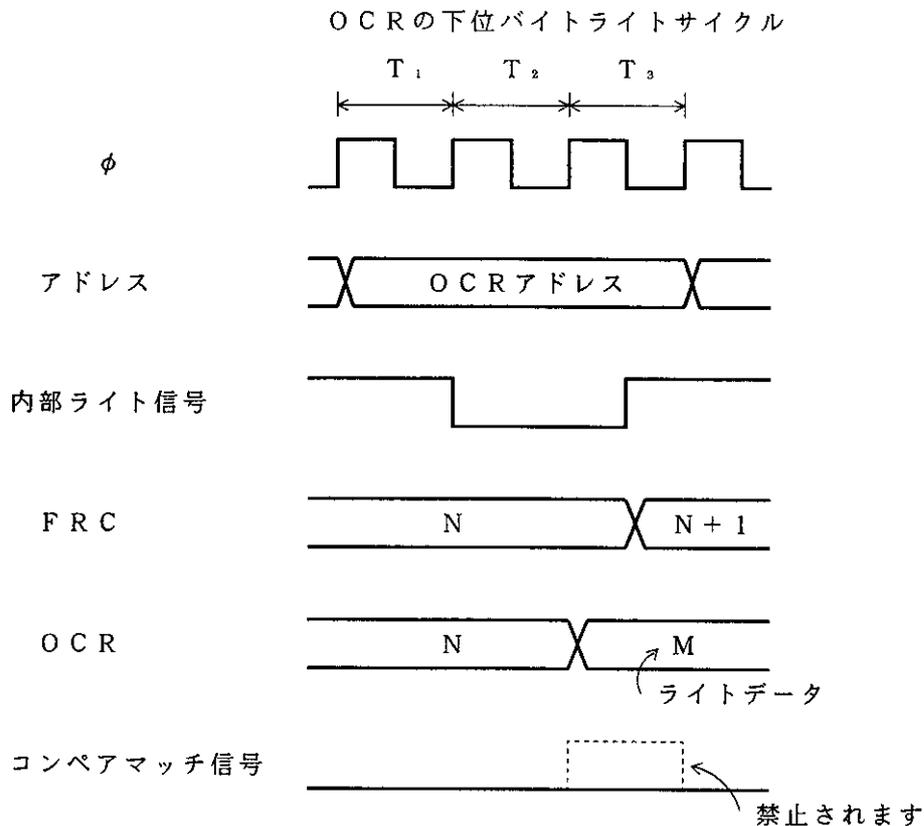


図 9.14 OCRとコンペアマッチの競合

(4) 内部クロックの切換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRCがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、0ビットの書換え）とFRC動作の関係を表9.4に示します。

内部クロックを使用する場合、システムクロック（ $\phi$ ）を分周した内部クロックの立下がりエッジで検出してFRCクロックを発生しています。そのため表9.5のNo.3のように切換え前のクロック“High”→切換え後のクロック“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてFRCクロックが発生し、FRCがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRCがカウントアップされることがあります。

表9.4 内部クロックの切換えとFRC動作(1)

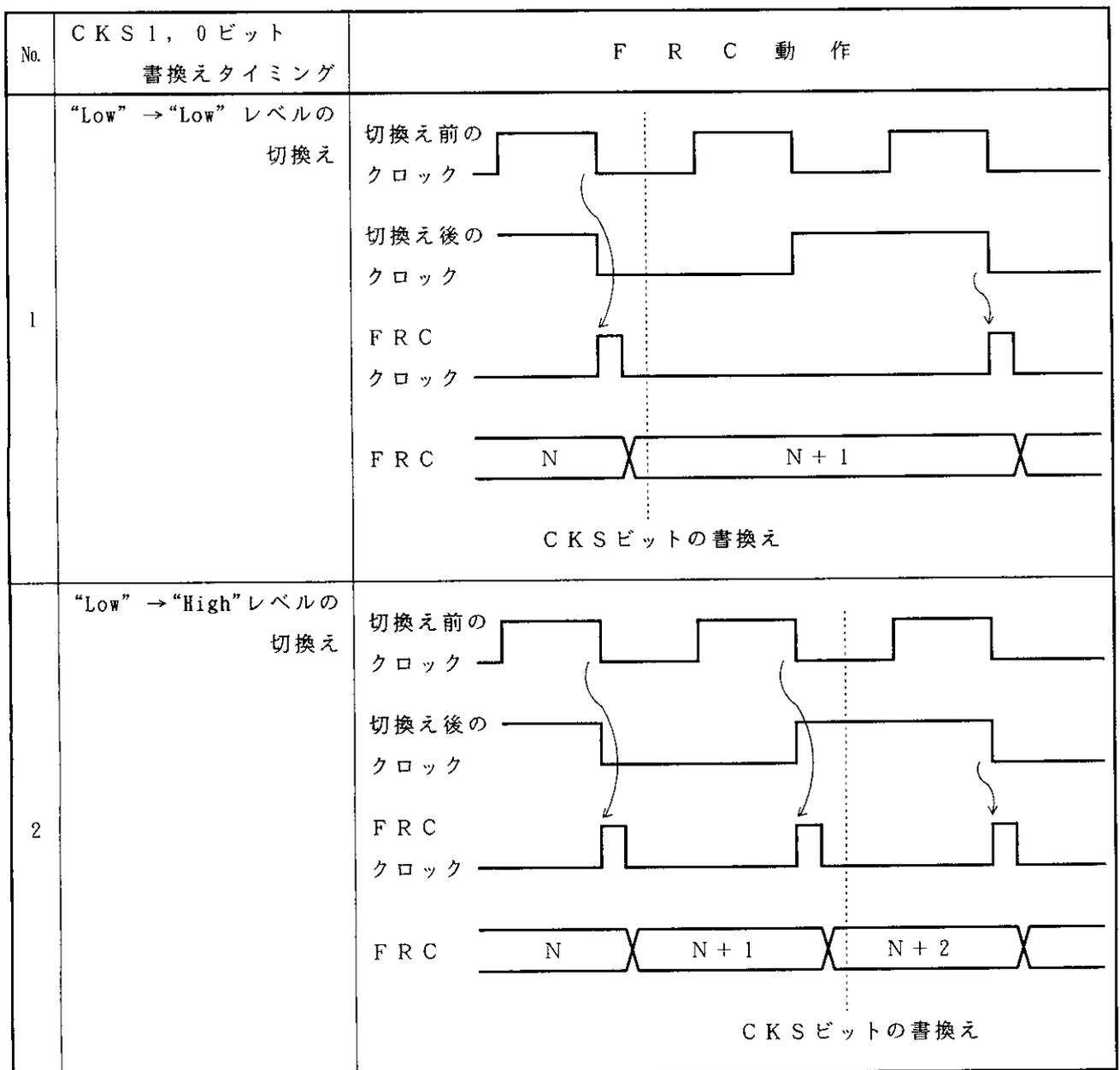
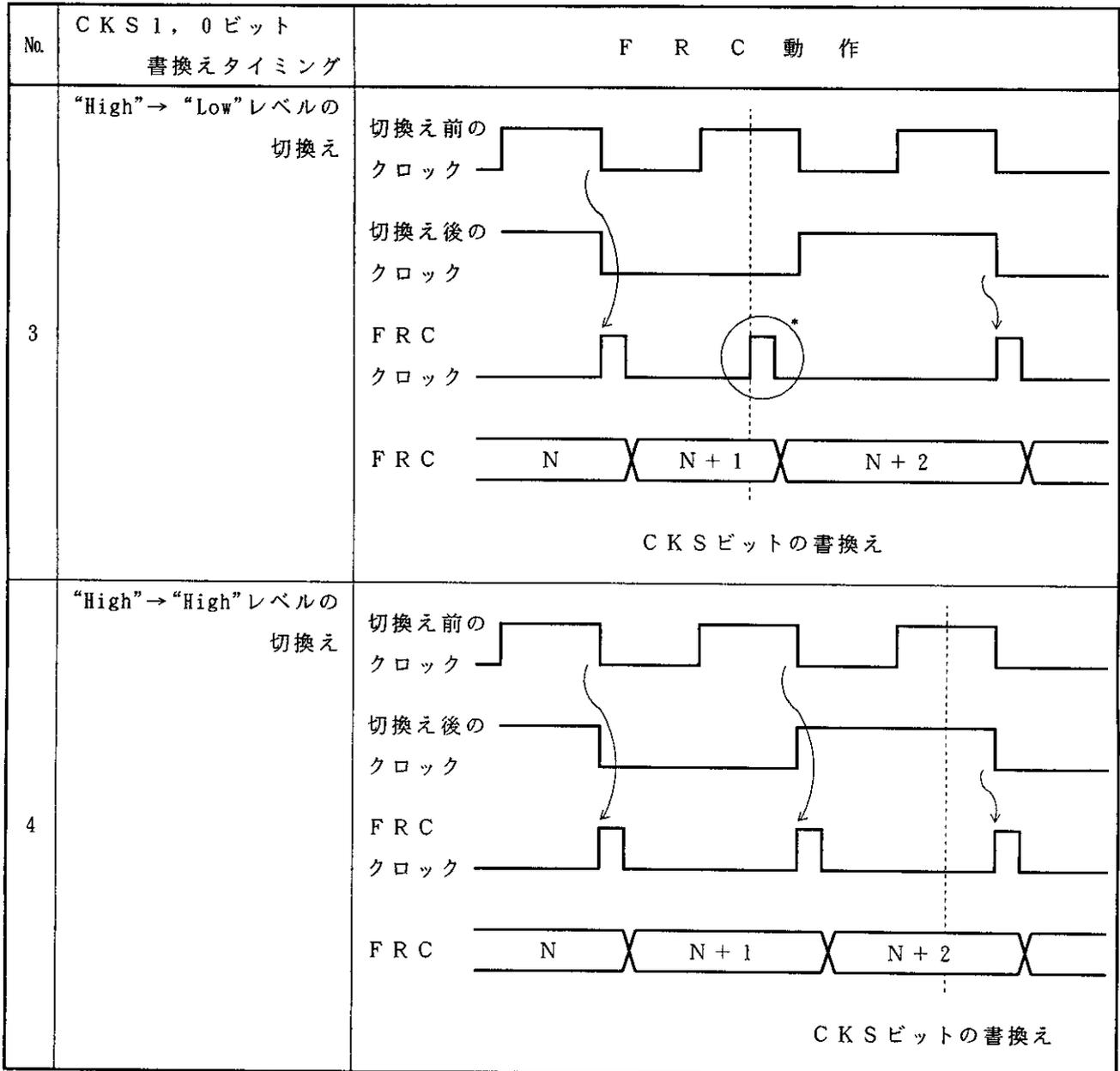


表 9.4 内部クロックの切換えと F R C 動作(2)



【注】\* 切換えのタイミングを立下がりエッジとみなすために発生し、F R C はカウントアップされてしまいます。

# 10. 8ビットタイマ

【H8／3202以外には3チャンネル、H8／3202には2チャンネル内蔵】  
H8／3202にはチャンネルX（TMRX）が内蔵されていないので  
ご注意ください。

## 第10章 目次

10.1	概要	195
10.1.1	特長	195
10.1.2	ブロック図	196
10.1.3	端子構成	197
10.1.4	レジスタ構成	198
10.2	各レジスタの説明	199
10.2.1	タイマカウンタ（TCNT）	199
10.2.2	タイムコンスタントレジスタA、B（TCORA、B）	199
10.2.3	タイマコントロールレジスタ（TCR）	200
10.2.4	タイマコントロール/ステータスレジスタ（TCSR）	203
10.2.5	シリアルタイマコントロールレジスタ（STCR）	206
10.3	動作説明	207
10.3.1	TCNTのカウントタイミング	207
10.3.2	コンペアマッチタイミング	208
10.3.3	TCNTの外部リセットタイミング	210
10.3.4	オーバフローフラグ（OVF）のセットタイミング	210
10.4	割込み要因	211
10.5	8ビットタイマの使用例	211
10.6	使用上の注意	212
10.6.1	TCNTのライトとカウンタクリアの競合	212
10.6.2	TCNTのライトとカウントアップの競合	213
10.6.3	TCORのライトとコンペアマッチの競合	214
10.6.4	コンペアマッチA、Bの競合	214
10.6.5	内部クロックの切換えとTCNTの動作	215



## 10.1 概要

本LSIは、8ビットのカウンタをベースにした3チャンネルの8ビットタイマ0、1、Xを内蔵しています。2チャンネルの8ビットタイマには、それぞれタイマカウンタ（TCNT）のほかに8ビットのタイムコンスタントレジスタA、B（TCORA、B）があり、TCNTとTCORの値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

### 10.1.1 特長

- 7種類（TMR0、1）または4種類（TMRX）のカウンタ入力クロックを選択可能

6種類（TMR0、1）または3種類（TMRX）の内部クロックと、外部クロックのうちから選択できます（外部イベントのカウントが可能）。

- カウンタのクリア指定が可能

コンペアマッチA、B、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組合せでタイマ出力を制御

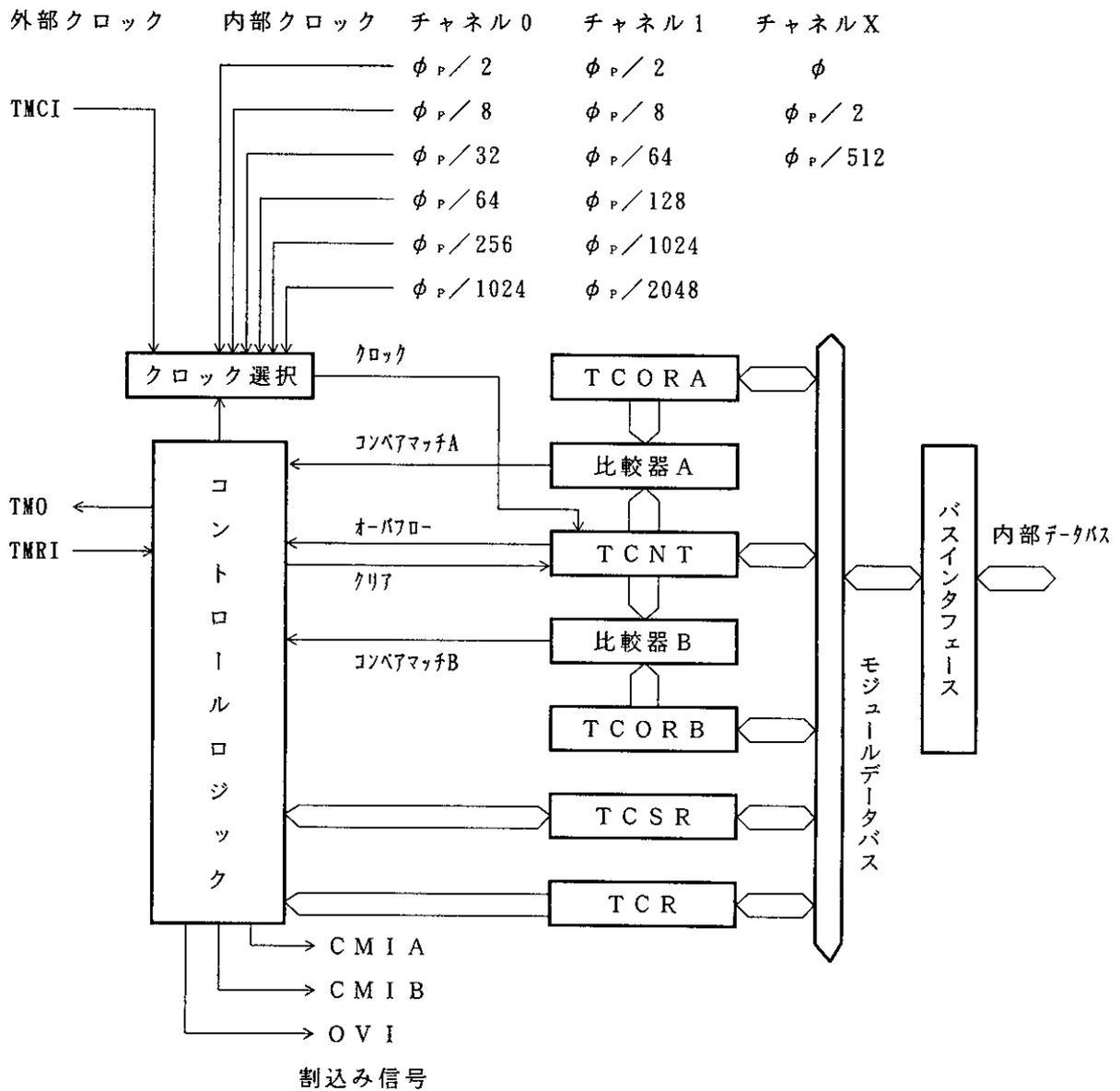
独立に動作可能な2つのコンペアマッチ信号の組合せによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。0～100%のPWM出力が可能なPWMモードを選択できます。

- 3種類の割込み要因

コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

### 10.1.2 ブロック図

8ビットタイマのブロック図（1チャンネル）を図10.1に示します。



#### <記号説明>

- TCORA : タイムコンスタントレジスタ A
- TCORB : タイムコンスタントレジスタ B
- TCNT : タイマカウンタ
- TCSR : タイマコントロール/ステータスレジスタ
- TCR : タイマコントロールレジスタ

図10.1 8ビットタイマのブロック図（1チャンネル）

### 10.1.3 端子構成

8ビットタイマの入出力端子を表10.1に示します。

表10.1 端子構成

チャンネル	名 称	略 称*	入出力	機 能
0	タイマ出力端子	TMO <sub>0</sub>	出 力	コンペアマッチ出力
	タイマクロック入力端子	TMCI <sub>0</sub>	入 力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI <sub>0</sub>	入 力	カウンタ外部リセット入力
1	タイマ出力端子	TMO <sub>1</sub>	出 力	コンペアマッチ出力
	タイマクロック入力端子	TMCI <sub>1</sub>	入 力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI <sub>1</sub>	入 力	カウンタ外部リセット入力
X	タイマ出力端子	CLAMPO (TMO <sub>x</sub> )	出 力	コンペアマッチ出力
	タイマクロック ／リセット入力端子	FBACKI (TMCI <sub>x</sub> /TMRI <sub>x</sub> )	入 力	カウンタ外部クロック ／リセット入力

【注】\* 本文中ではチャンネルを省略し、それぞれTMO、TMCI、TMRIと略称します。  
チャンネルXの入出力端子も内部的にはチャンネル0、1と同様の構成となっていますので、同様に略称します。

### 10.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表10.2に示します。

表10.2 レジスタ構成

チャネル	名 称	略 称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	T C R	R/W	H' 00	H' FFC8
	タイマコントロール/ステータスレジスタ	T C S R	R/(W) *	H' 00	H' FFC9
	タイムコンスタントレジスタ A	T C O R A	R/W	H' FF	H' FFCA
	タイムコンスタントレジスタ B	T C O R B	R/W	H' FF	H' FF CB
	タイマカウンタ	T C N T	R/W	H' 00	H' FF CC
1	タイマコントロールレジスタ	T C R	R/W	H' 00	H' FFD0
	タイマコントロール/ステータスレジスタ	T C S R	R/(W) *	H' 00	H' FFD1
	タイムコンスタントレジスタ A	T C O R A	R/W	H' FF	H' FFD2
	タイムコンスタントレジスタ B	T C O R B	R/W	H' FF	H' FFD3
	タイマカウンタ	T C N T	R/W	H' 00	H' FFD4
0、1	シリアルタイマコントロールレジスタ	S T C R	R/W	H' 00	H' FFC3
X	タイマコントロールレジスタ	T C R	R/W	H' 00	H' FF9A
	タイマコントロール/ステータスレジスタ	T C S R	R/(W) *	H' 00	H' FF9B
	タイムコンスタントレジスタ A	T C O R A	R/W	H' FF	H' FF9C
	タイムコンスタントレジスタ B	T C O R B	R/W	H' FF	H' FF9D
	タイマカウンタ	T C N T	R/W	H' 00	H' FF9E

【注】 \* ビット7～5は、フラグをクリアするための“0”ライトのみ可能です。

## 10.2 各レジスタの説明

### 10.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、8ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによりカウントアップされます。入力するクロックは、タイマコントロールレジスタ (TCR) のクロックセレクト2~0ビット (CKS2~0) で選択します。TCNTの値は、CPUから常にリード/ライト可能です。

TCNTは、外部リセット入力信号またはコンペアマッチ信号 (A、B) により、クリアすることができます。いずれの信号でクリアするかは、TCRのカウントクリアビット (CCLR1、0) で選択します。

また、TCNTがオーバフロー (H'FF→H'00) すると、タイマコントロール/ステータスレジスタ (TCSR) のオーバフローフラグ (OVF) が“1”にセットされます。

TCNTは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

### 10.2.2 タイムコンスタントレジスタA、B (TCORA、B)

ビット:	7	6	5	4	3	2	1	0
								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORA、Bは、8ビットのリード/ライト可能なレジスタです。

TCORとTCNTの値は常に比較されており、両方の値が一致するとTCSRのコンペアマッチフラグ (CMFA、B) が“1”にセットされます。ただし、TCORへのライトサイクルのT<sub>3</sub>ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) とTCSRのアウトプットセレクトビット (OS3~0) の設定により、タイマ出力を自由に制御することができます。

TCORは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

### 10.2.3 タイマコントロールレジスタ (TCR)

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタで、TCNTの入力クロックの選択、TCNTのクリア指定、および各割込み要求の許可を制御します。

TCRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては、「10.3 動作説明」を参照してください。

#### ビット7 : コンペアマッチインタラプトイネーブルB (CMIEB)

TCRのCMFBが“1”にセットされたとき、CMFBによる割込み要求 (CMIB) の許可または禁止を選択します。

ビット7 CMIEB	説 明
0	CMFBによる割込み要求 (CMIB) を禁止 (初期値)
1	CMFBによる割込み要求 (CMIB) を許可

#### ビット6 : コンペアマッチインタラプトイネーブルA (CMIEA)

TCRのCMFAが“1”にセットされたとき、CMFAによる割込み要求 (CMIA) の許可または禁止を選択します。

ビット6 CMIEA	説 明
0	CMFAによる割込み要求 (CMIA) を禁止 (初期値)
1	CMFAによる割込み要求 (CMIA) を許可

#### ビット5 : タイマオーバフローインタラプトイネーブル (OVIE)

TCRのOVFが“1”にセットされたとき、OVFによる割込み要求 (OVI) の許可または禁止を選択します。

ビット5 OVIE	説 明
0	OVFによる割込み要求 (OVI) を禁止 (初期値)
1	OVFによる割込み要求 (OVI) を許可

ビット4、3：カウンタクリア1、0（CCLR1、0）

TCNTのクリアを指定します。クリアは、コンペアマッチA、Bまたは外部リセット入力端子（TMRI）から選択します。

ビット4 CCLR1	ビット3 CCLR0	説明
0	0	クリアを禁止（初期値）
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジ（ $\uparrow$ ）によりクリア

ビット2～0：クロックセレクト2～0（CKS2～0）

STCRのICKS0、ICKS1ビットと共にTCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック（ $\phi$ ）を分周した6種類または3種類のクロックから選択できます。これら内部クロックは、立下がりエッジでカウントします。

外部クロックのとき、クロック入力端子（TMCI）の立上がり、立下がり、または立上がり／立下がり両エッジのカウントの3種類から選択できます。

チャンネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	0	内部クロック： $\phi_p/8$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	0	1	—	1	内部クロック： $\phi_p/2$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	0	—	0	内部クロック： $\phi_p/64$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	0	—	1	内部クロック： $\phi_p/32$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	1	—	0	内部クロック： $\phi_p/1024$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	1	—	1	内部クロック： $\phi_p/256$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	1	0	0	—	—	クロック入力を禁止
	1	0	1	—	—	外部クロック：立上がりエッジ (F) でカウント
	1	1	0	—	—	外部クロック：立下がりエッジ ( $\bar{L}$ ) でカウント
1	1	1	1	—	—	外部クロック：立上がり/立下がり (F・ $\bar{L}$ ) 両エッジでカウント
	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	—	内部クロック： $\phi_p/8$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	0	1	1	—	内部クロック： $\phi_p/2$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	0	0	—	内部クロック： $\phi_p/64$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	0	1	—	内部クロック： $\phi_p/128$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	1	0	—	内部クロック： $\phi_p/1024$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	1	1	—	内部クロック： $\phi_p/2048$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	1	0	0	—	—	クロック入力を禁止
	1	0	1	—	—	外部クロック：立上がりエッジ (F) でカウント
X	1	1	0	—	—	外部クロック：立下がりエッジ ( $\bar{L}$ ) でカウント
	1	1	1	—	—	外部クロック：立上がり/立下がり (F・ $\bar{L}$ ) 両エッジでカウント
	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	—	内部クロック： $\phi$ でカウント
	0	1	0	—	—	内部クロック： $\phi_p/2$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	0	1	1	—	—	内部クロック： $\phi_p/512$ 立下がりエッジ ( $\bar{L}$ ) でカウント
	1	0	0	—	—	クロック入力を禁止
	1	0	1	—	—	外部クロック：立上がりエッジ (F) でカウント

#### 10.2.4 タイマコントロール/ステータスレジスタ (TCSR)

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)	R/(W)	R/(W)	R/W	R/W	R/W	R/W	R/W

【注】 \* ビット7～5は、フラグをクリアするための“0”ライトのみ可能です。

TCSRは、8ビットのレジスタで、コンペアマッチやタイマオーバーフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

TCSRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

##### ビット7：コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット7	説 明
CMFB	
0	〔クリア条件〕 <span style="float: right;">(初期値)</span> CMFB = “1” の状態で、CMFBをリードした後、CMFBに“0”をライトしたとき
1	〔セット条件〕 TCNT = TCORBになったとき

##### ビット6：コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット6	説 明
CMFA	
0	〔クリア条件〕 <span style="float: right;">(初期値)</span> CMFA = “1” の状態で、CMFAをリードした後、CMFAに“0”をライトしたとき
1	〔セット条件〕 TCNT = TCORAになったとき

ビット5：タイマオーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	〔クリア条件〕 OVF = “1” の状態で、OVFをリードした後、OVFに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCNTがH'FF→H'00になったとき

ビット4：PWMモードイネーブル（PWME）

タイマ出力をPWMモードに設定します。

ビット4	説明
PWME	
0	通常タイマモード (初期値)
1	PWMモード

PWMモードでは、TCORAの内容がタイマ出力の周期を、TCORBの内容がタイマ出力のデューティを決定するようにCCLR1～0、OS3～0を設定する必要があります。このとき、タイマ出力のパルス周期、パルス幅およびデューティは、次の式にしたがいます。ここで、TCORA < TCORB の場合には出力はデューティ100%に飽和します。

(TCORB ≤ TCORA の場合)

タイマ出力パルス周期 = 選択した内部クロックの周期 × (TCORA + 1)

タイマ出力パルス幅 = 選択した内部クロックの周期 × TCORB

タイマ出力デューティ = TCORB / (TCORA + 1)

PWM出力モード	TCR		TCSR			
	CCLR1	CCLR0	OS3	OS2	OS1	OS0
直接出力（上記タイマパルス幅を“High”とする場合）	0	1	0	1	1	0
反転出力（上記タイマパルス幅を“Low”とする場合）	0	1	1	0	0	1

PWMモードでは、TCORBとモジュールデータバスの上にバッファレジスタが挿入され、TCORBにライトされたデータはTCORAのコンペアマッチが発生するまでバッファレジスタに保持されます。これにより、波形の乱れのないPWM出力が容易に実現できます。また、OS3～0によるタイマ出力の指定は、コンペアマッチBによる変化の優先順位が高くなります。通常タイマモードとは動作が異なるため注意が必要です。

ビット3～0：アウトプットセレクト3～0（OS3～0）

TCORとTCNTのコンペアマッチによるタイマ出力端子（TMO）レベルをどのように変化させるかを選択します。

OS3とOS2がコンペアマッチBによる出力レベルを選択し、OS1とOS0がコンペアマッチAによる出力レベルを選択し、それぞれ独立に制御することができます。

ただし、通常タイマモードでは、トグル出力>“1”出力>“0”出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3～0ビットがすべて“0”の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は“0”です。

ビット3	ビット2	説	明
OS3	OS2		
0	0	コンペアマッチBで変化しない	（初期値）
0	1	コンペアマッチBで“0”出力	
1	0	コンペアマッチBで“1”出力	
1	1	コンペアマッチBごとに反転出力（トグル出力）	

ビット1	ビット0	説	明
OS1	OS0		
0	0	コンペアマッチAで変化しない	（初期値）
0	1	コンペアマッチAで“0”出力	
1	0	コンペアマッチAで“1”出力	
1	1	コンペアマッチAごとに反転出力（トグル出力）	

### 10.2.5 シリアルタイムコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリードライト可能なレジスタで、I<sup>2</sup>CバスインタフェースとPWMタイマおよび8ビットタイマのTCNTの入力クロックの選択を行います。

STCRはリセット時にH'00にイニシャライズされます。

#### ビット7～5：I<sup>2</sup>Cコントロール (IICS、IICX1、IICX0)

I<sup>2</sup>Cバスインタフェースの動作を制御するビットです。詳しくは「第14章 I<sup>2</sup>Cインタフェース」を参照してください。

#### ビット4：タイマコネクションアウトプットイネーブル (SYNCE)

タイマの相互接続時の出力 (VSYNCO、HSYNCO、CLAMPO) を制御するビットです。詳しくは「第11章 タイマコネクション」を参照してください。

#### ビット3～2：PWMタイマコントロール (PWCKE、PWCKS)

PWMタイマのTCNTに入力するクロックを制御するビットです。詳しくは「第8章 PWMタイマ」を参照してください。

#### ビット1～0：インターナルクロックセレクト1、0 (ICKS1、ICKS0)

8ビットタイマのTCRのCKS2～0ビットと共に、8ビットタイマのTCNTに入力するクロックを選択します。詳細は「10.2.3 タイマコントロールレジスタ」を参照してください。

## 10.3 動作説明

### 10.3.1 TCNTのカウントタイミング

TCNTは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (1) 内部クロック動作の場合

TCRのCKS2～0ビットの設定により、システムクロック（ $\phi$ ）を分周して作られる6種類または3種類の内部クロックが選択されます。このタイミングを図10.2に示します。

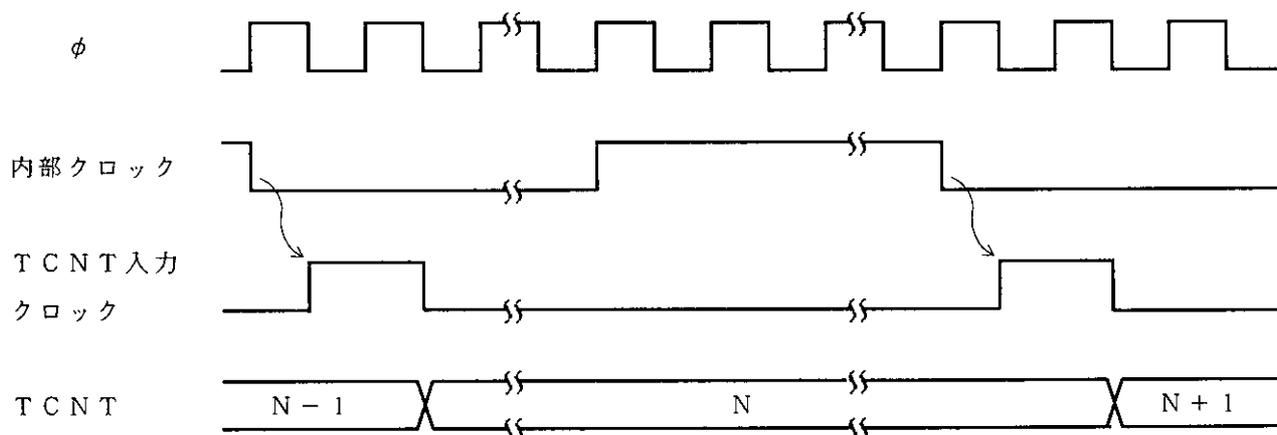


図10.2 内部クロック動作時のカウントタイミング

#### (2) 外部クロック動作の場合

TCRのCKS2～0ビットの設定により、外部クロックの立上がりエッジ、立下がりエッジ、立上がり／立下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック（ $\phi$ ）以上、両エッジの場合は2.5システムクロック（ $\phi$ ）以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図10.3に、外部クロックとして、立上がり／立下がり両エッジの場合のタイミングを示します。

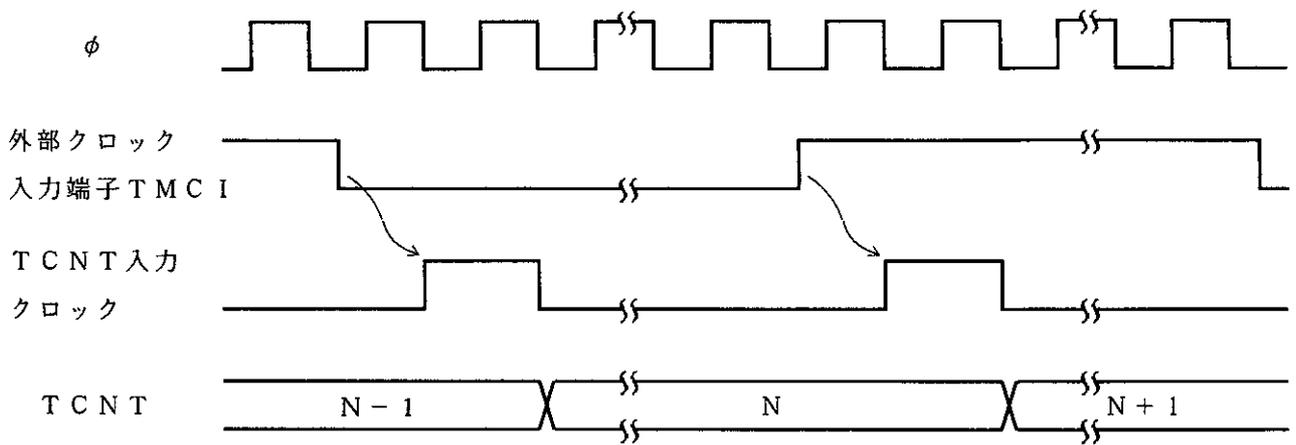


図10.3 外部クロック動作時のカウントタイミング

### 10.3.2 コンペアマッチタイミング

#### (1) コンペアマッチフラグA、B (CMFA、B) のセットタイミング

TCSRのCMFA、Bは、TCORとTCNTの値が一致したとき出力されるコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。

したがって、TCNTとTCORが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図10.4に示します。

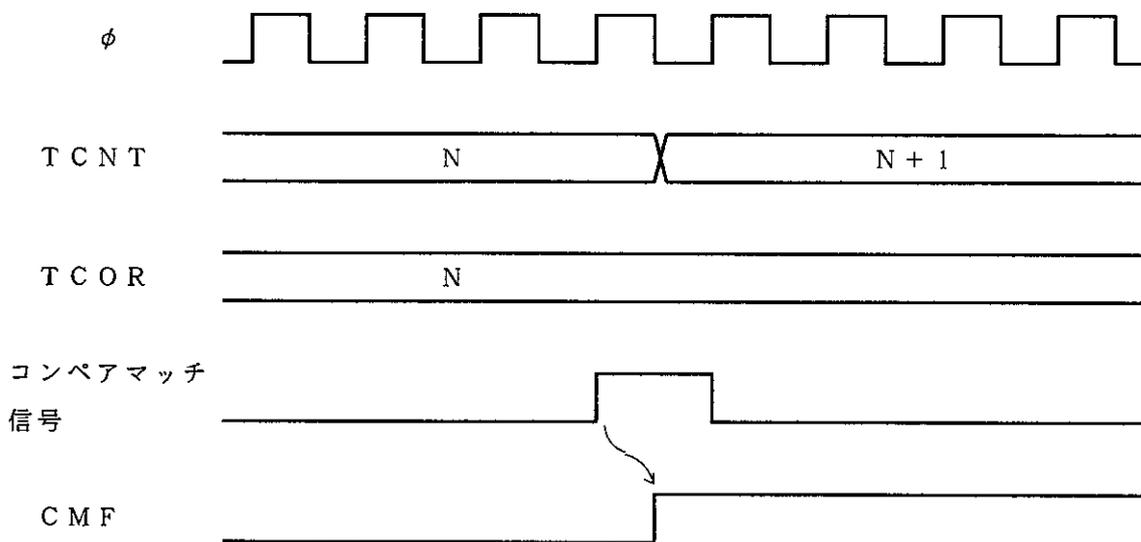


図10.4 CMFセットタイミング

(2) タイマ出力タイミング (通常タイマモード時)

タイマ出力はコンペアマッチ A、B が発生したとき、TC SR の OS 3 ~ 0 ビットで選択された状態 (変化しない、“0”出力、“1”出力、トグル出力) で出力されます。

図 10.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

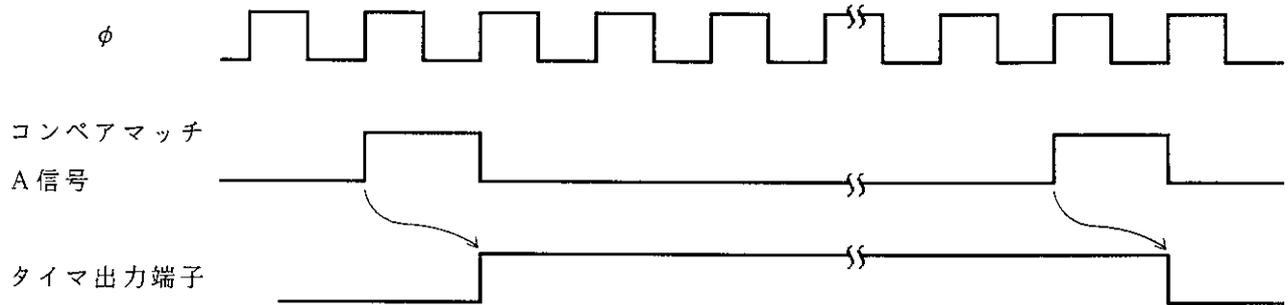


図 10.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNT は、TCR の CCLR 1、0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 10.6 に示します。

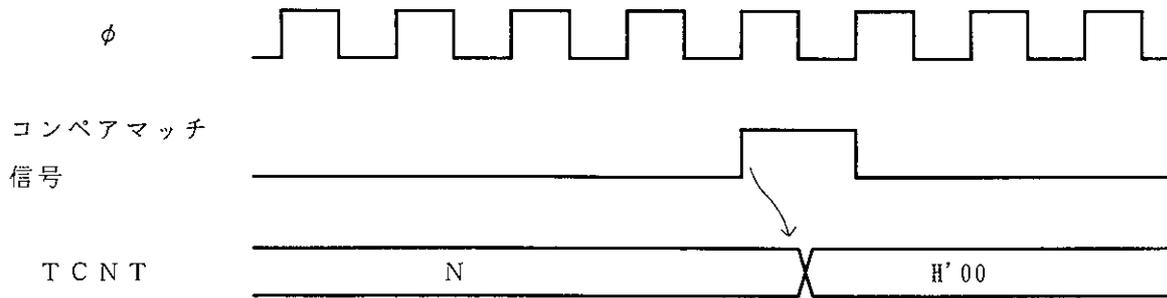


図 10.6 コンペアマッチによるクリアタイミング

### 10.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、0ビットの選択により外部リセット入力の立上がりエッジでクリアされます。クリアパルスの幅は1.5システムクロック( $\phi$ )以上必要となります。このクリアされるタイミングを図10.7に示します。

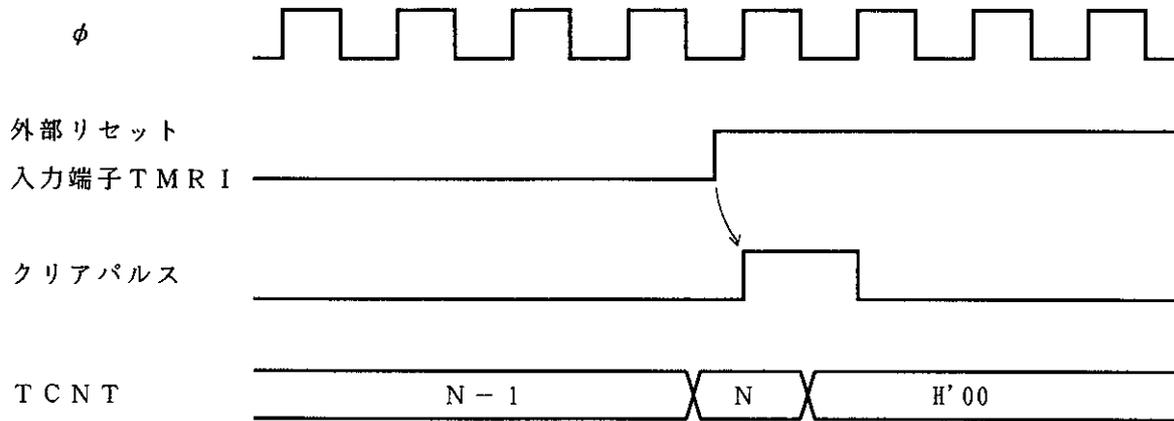


図10.7 外部リセット入力によるクリアタイミング

### 10.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバーフロー (H'FF→H'00) したとき出力されるオーバーフロー信号により“1”にセットされます。

このときのタイミングを図10.8に示します。

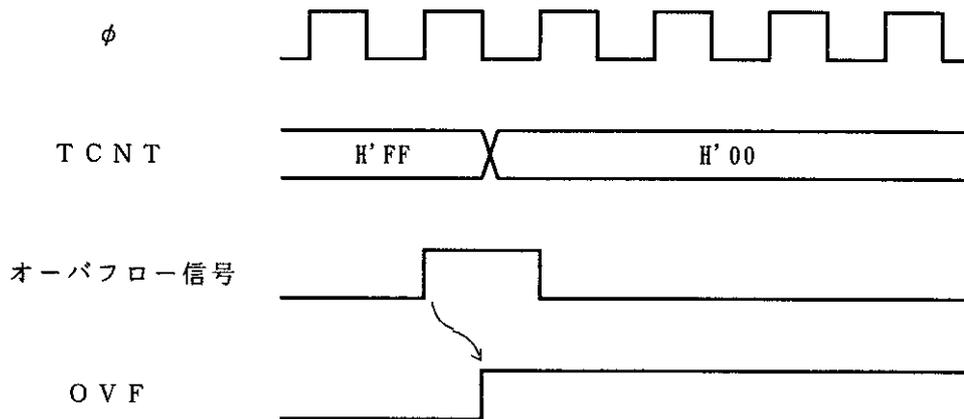


図10.8 OVFのセットタイミング

## 10.4 割込み要因

8ビットタイマの割込み要因は、CMIA、CMIB、OVIの3種類があります。表10.3に各割込み要因と優先順位を示します。各割込み要因は、TCRの各割込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割込みコントローラに送られます。

表10.3 8ビットタイマ割込み要因

割込み要因	内 容	割込み優先順位
CMIA	CMFAによる割込み	高 ↑ 低
CMIB	CMFBによる割込み	
OVI	OVFによる割込み	

## 10.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図10.9に示します。これは次に示すように設定します。

- ① TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを“0”、CCLR0ビットを“1”にセットします。
- ② TCORAのコンペアマッチにより“1”出力、TCORBのコンペアマッチにより“0”出力になるようにTCSRのOS3~0ビットを“0110”に設定します。

以上の設定により周期がTCORA、パルス幅がTCORBの波形をソフトウェアの介在なしに出力できます。

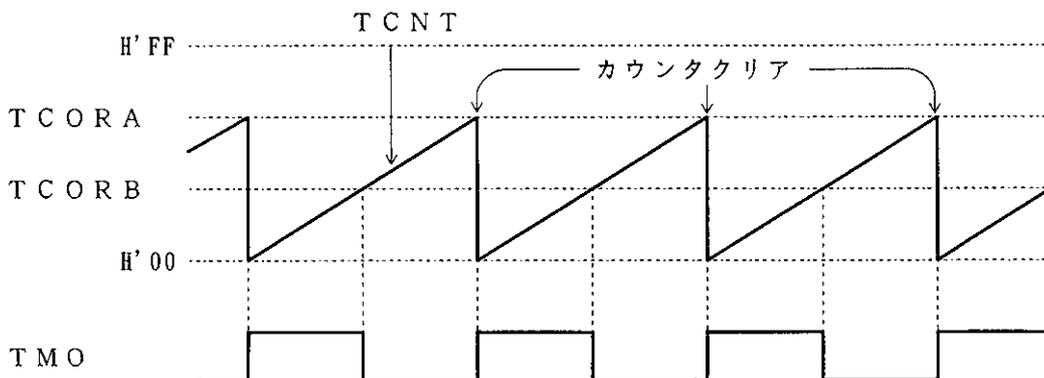


図10.9 パルス出力例

## 10.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

### 10.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中の $T_3$ ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図10.10に示します。

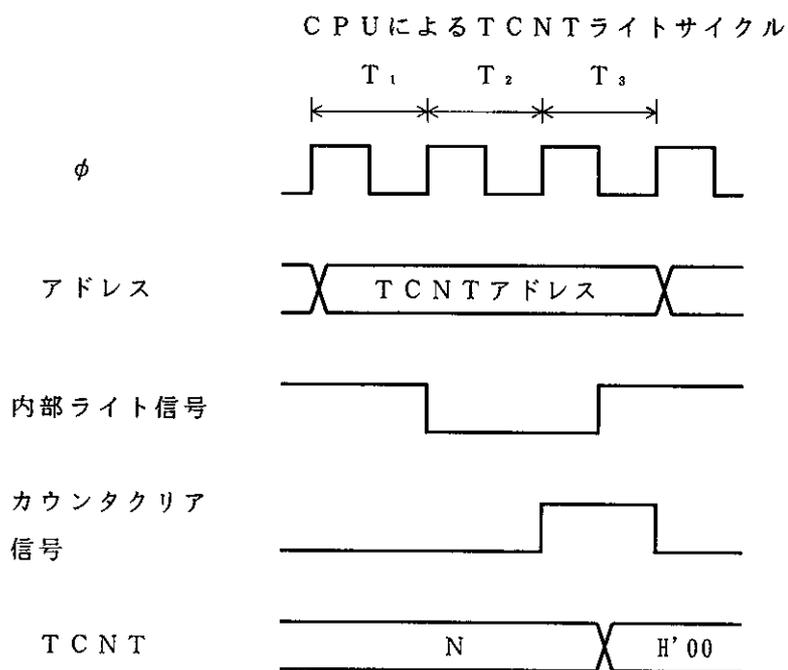


図10.10 TCNTのライトとクリアの競合

### 10.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の $T_3$ ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図10.11に示します。

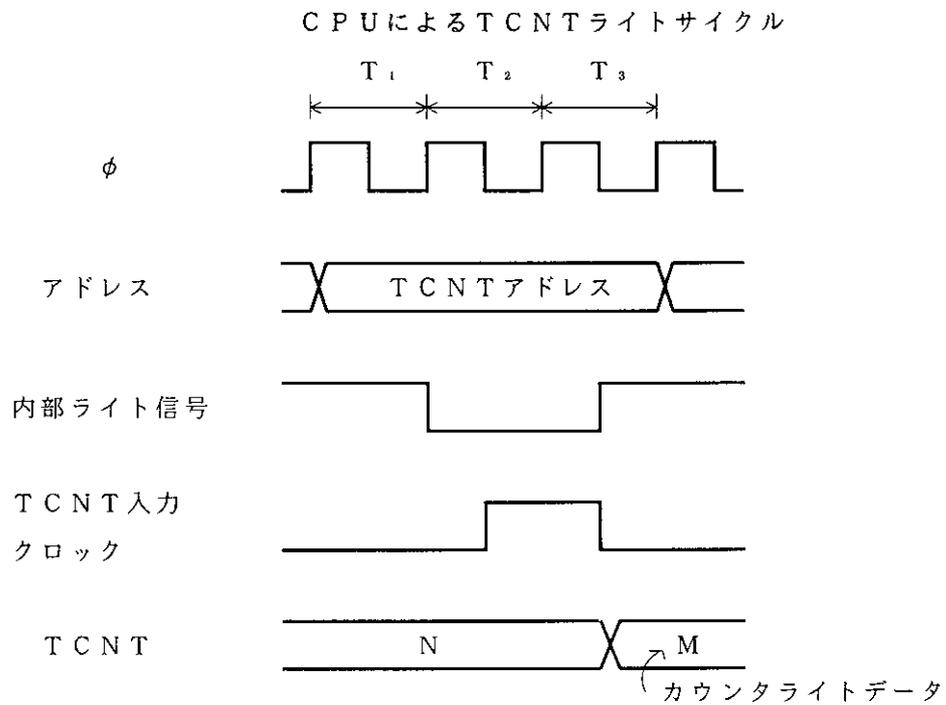


図10.11 TCNTのライトとカウントアップの競合

### 10.6.3 TCORのライトとコンペアマッチの競合

TCORのライトサイクル中の $T_3$ ステートで、コンペアマッチが発生しても、TCORのライトが優先され、コンペアマッチ信号は禁止されます。これを図10.12に示します。（通常タイマモード時）

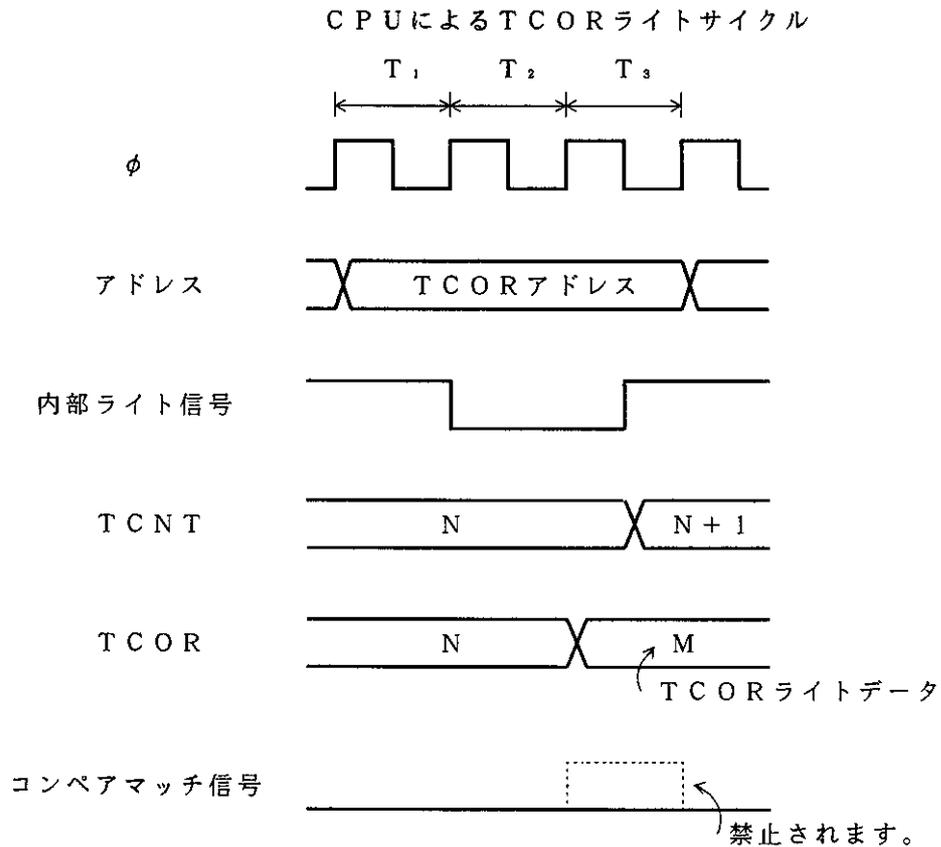


図10.12 TCORのライトとコンペアマッチの競合

### 10.6.4 コンペアマッチA、Bの競合

コンペアマッチA、Bが同時に発生すると、コンペアマッチAに対して設定されている出力状態と、コンペアマッチBに対して設定されている出力状態のうち、表10.4に示すタイマ出力の優先順位に従って動作します。（通常タイマモード時）

表10.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
“1”出力	↑
“0”出力	↑
変化しない	低

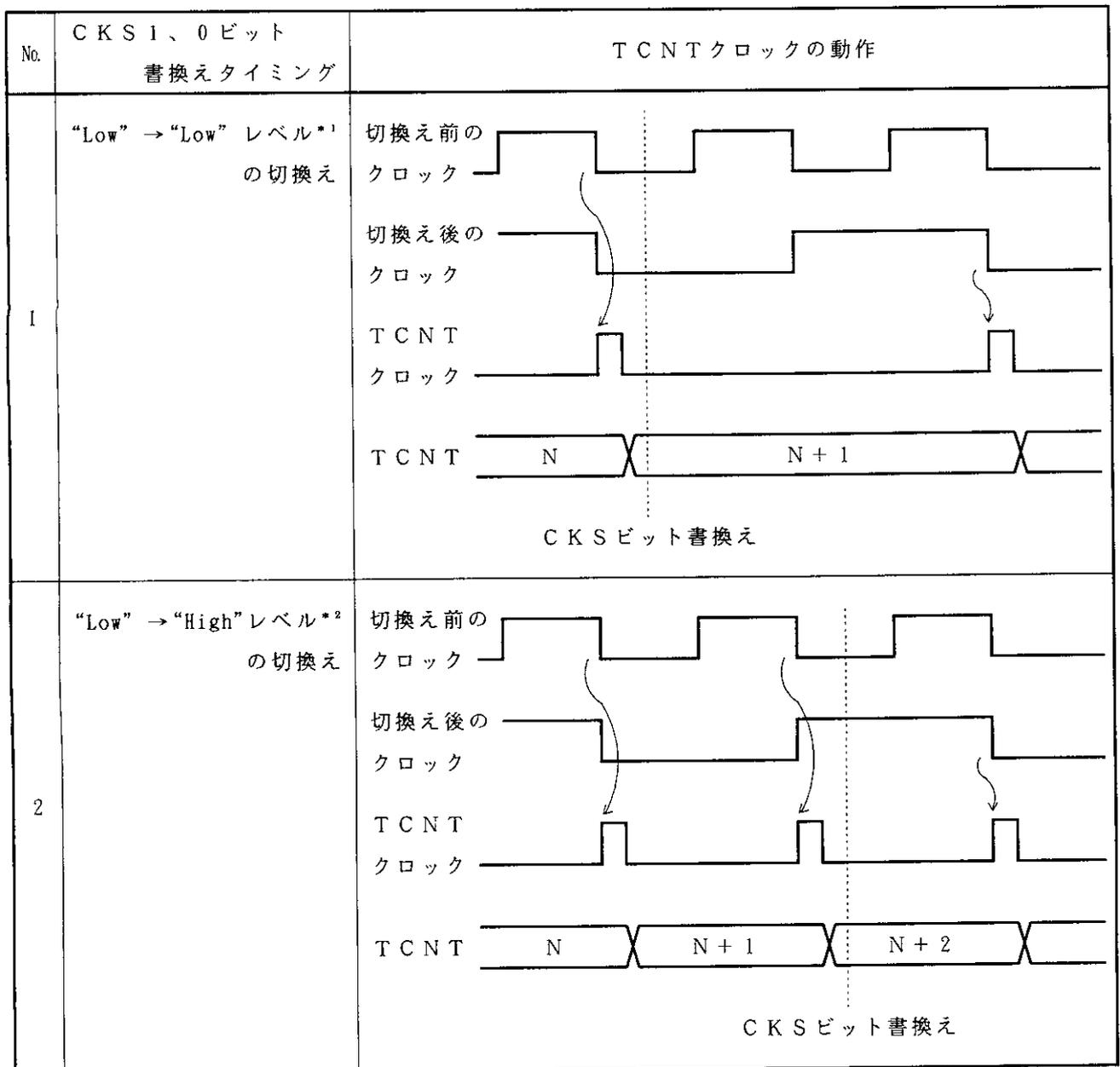
### 10.6.5 内部クロックの切換えとTCNTの動作

内部クロックを切り換えるタイミングによっては、TCNTがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、0ビットの書換え）とTCNT動作の関係を表10.5に示します。

内部クロックからTCNTクロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため表10.5のNo.3のように、“High”→“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてTCNTクロックが発生し、TCNTがカウントアップされてしまいます。

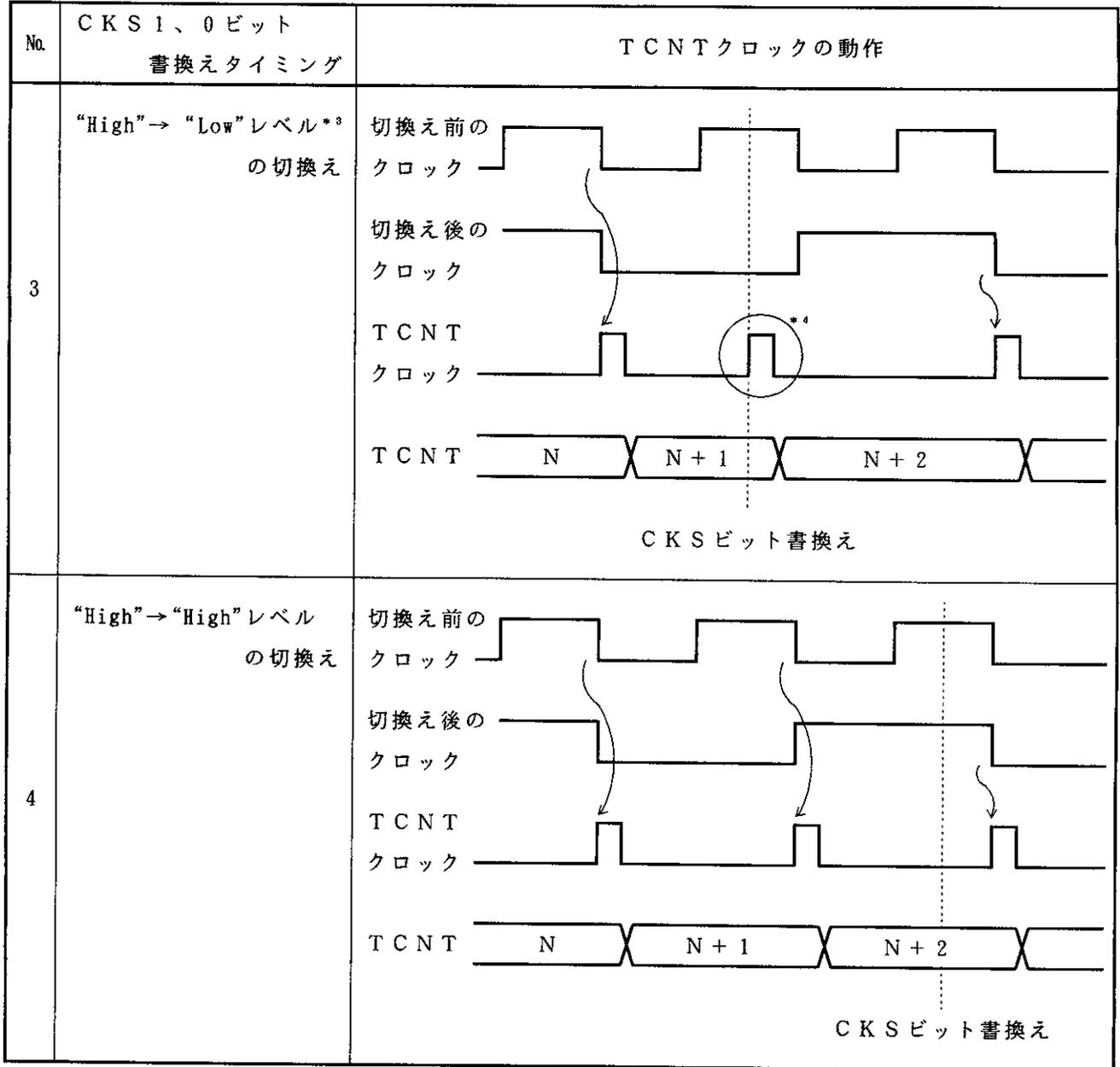
また、内部クロックと外部クロックを切り換えるときも、TCNTがカウントアップされることがあります。

表10.5 内部クロックの切換えとTCNTの動作(1)



【注】 \*1 “Low”レベル→停止、および停止→“Low”レベルの場合を含みます。  
\*2 停止→“High”レベルの場合を含みます。

表10.5 内部クロックの切換えとTCNTの動作(2)



【注】 \*<sup>3</sup> “High”レベル→停止を含みます。  
 \*<sup>4</sup> 切換えのタイミングを立下がりエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

# 11. タイマコネクション

【H8/3202には、タイマコネクションは内蔵されていません。】

---

## 第11章 目次

11.1	概要	219
11.1.1	特長	219
11.1.2	ブロック図	219
11.1.3	端子構成	220
11.1.4	レジスタ構成	220
11.2	各レジスタの説明	221
11.2.1	タイマコネクションレジスタ (TCNR)	221
11.2.2	シリアルタイマコントロールレジスタ (STCR)	222
11.2.3	エッジセンスレジスタ (SEDGR)	224
11.3	タイマコネクションの動作	226
11.3.1	PWMデコード	226
11.3.2	クランプ波形生成	227
11.3.3	8ビットタイマ分周波形周期測定	228

---



## 11.1 概要

本LSIは、1チャンネルのフリーランニングタイマ（FRT）と2チャンネルの8ビットタイマ（TMR1、TMRX）の入出力を相互に接続することができます。また、これを利用して、PWMデコードやクランプ波形生成などの複雑な機能を実現することができます。各タイマは、初期状態では単独のタイマとして動作するように設定されています。

### 11.1.1 特長

タイマコネクションの特長を以下に示します。

- 4本の入力端子、3本の出力端子をもち、内、入力3本、出力2本は位相反転を指定可能です。
- 入力端子には、信号入力検出を容易にするエッジ検出回路が接続されています。
- TMRXでPWM入力信号のデコードが可能です。
- TMRXでクランプ波形生成が可能です。
- 入力信号の位相反転波形、PWMデコード波形およびクランプ波形の出力が可能です。
- TMR1で分周した外部クロック信号を、FRTのキャプチャ入力信号として利用できます。

### 11.1.2 ブロック図

タイマコネクションのブロック図を図11.1に示します。

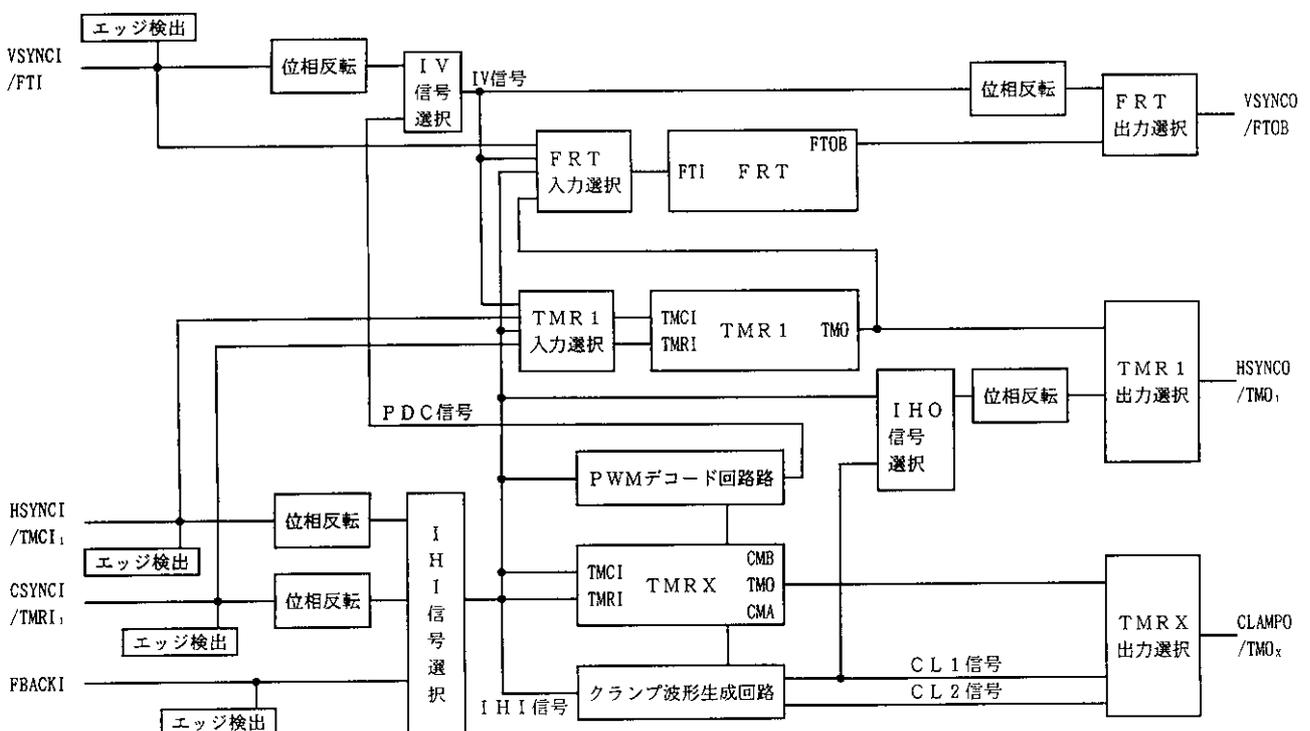


図11.1 タイマコネクションのブロック図

### 11.1.3 端子構成

タイマコネクションの入出力端子を表11.1に示します。

表11.1 端子構成

名 称	略 称	入出力	機 能
垂直同期信号入力端子	VSYNCI	入 力	垂直同期信号入力端子 またはFTI入力端子 またはTMRI <sub>i</sub> 入力端子
水平同期信号入力端子	HSYNCI	入 力	水平同期信号入力端子 またはTMC <sub>i</sub> 入力端子 またはTMC <sub>i</sub> <sub>x</sub> /TMRI <sub>x</sub> 入力端子
複合同期信号入力端子	CSYNCI	入 力	複合同期信号入力端子 またはTMRI <sub>i</sub> 入力端子 またはTMC <sub>i</sub> <sub>x</sub> /TMRI <sub>x</sub> 入力端子
予備同期信号入力端子	FBACKI	入 力	予備同期信号入力端子 またはTMC <sub>i</sub> <sub>x</sub> /TMRI <sub>x</sub> 入力端子
垂直同期信号出力端子	VSYNCO	出 力	垂直同期信号出力端子 またはFTOB出力端子
水平同期信号出力端子	HSYNCO	出 力	水平同期信号出力端子 またはTMO <sub>i</sub> 出力端子
クランプ波形出力端子	CLAMPO	出 力	クランプ波形出力端子 またはTMO <sub>x</sub> 出力端子

### 11.1.4 レジスタ構成

タイマコネクションのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマコネクションレジスタ	TCONR	R/W	H'00	H'FF9F
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3
エッジセンスレジスタ	SEDGR	R/(W)*	H'0F	H'FFA8

【注】\* フラグをクリアするための“0”ライトのみ可能です。

## 11.2 各レジスタの説明

### 11.2.1 タイマコネクションレジスタ (TCONR)

ビット:	7	6	5	4	3	2	1	0
	SMOD1	SMOD0	CLMOD	INVV	SCON1	SCON0	INVI	INVO
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRは、8ビットのリード/ライト可能なレジスタで、タイマ相互の接続や入出力信号の位相反転などを制御します。

TCONRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7～6：同期モード選択1、0 (SMOD1、SMOD0)

IHI信号、IHO信号およびIV信号の信号源を選択します。

ビット7	ビット6	説明			
SMOD1	SMOD0	モード名称	IHI信号	IHO信号	IV信号
0	0	無信号 (通常接続) (初期値)	FBACKI入力	IHI信号	VSYNCI入力
0	1	SオンGモード	CSYNCI入力	CL1信号	PDC信号
1	0	コンポジットモード	HSYNCI入力	CL1信号	PDC信号
1	1	セパレートモード	HSYNCI入力	IHI信号	VSYNCI入力

また、STCRのSYNCEビット、TMR1のOS3～0ビットと共に、P44/TMO1/HSYNCO端子の機能を選択します。詳しくは「11.2.2 シリアルタイマコントロールレジスタ」を参照してください。

ビット5：クランプ波形モード選択 (CLMOD)

STCRのSYNCEビットは、TMRXのOS3～0ビットと共に、P47/TMOx/CLAMPO端子の機能を選択します。詳しくは「11.2.2 シリアルタイマコントロールレジスタ」を参照してください。

ビット3～2：同期信号接続1、0 (SCON1、SCON0)

FRTのFTI入力、TMR1のTMC1<sub>i</sub>/TMR1<sub>i</sub>入力の信号源を選択します。

ビット3	ビット2	説 明			
SCON1	SCON0	モード名称	FTI	TMCI <sub>i</sub>	TMRI <sub>i</sub>
0	0	通常接続 (初期値)	FTI入力	TMCI <sub>i</sub> 入力	TMRI <sub>i</sub> 入力
0	1	垂直同期周期測定モード	IV信号	IHI信号	IV信号
1	0	水平同期周期測定モード	IHI信号	IHI信号	IV信号
1	1	TMR1分周測定モード	TM0 <sub>i</sub> 信号	IHI信号	IV信号

ビット4、1~0：入力同期信号反転、出力同期信号反転 (INVV、INVI、INVO)

入力同期信号 (VSYNCI、HSYNCI、CSYNCI) および出力同期信号 (VSYNCO、HCYNCO) の入出力位相の反転を選択します。

ビット4	説 明
INVV	
0	VSYNCI端子の状態をそのままVSYNCI入力とする (初期値)
1	VSYNCI端子の状態を反転してVSYNCI入力とする

ビット1	説 明
INVI	
0	HSYNCI、CSYNCI端子の状態をそのままHSYNCI、CSYNCI入力とする (初期値)
1	HSYNCI、CSYNCI端子の状態を反転してHSYNCI、CSYNCI入力とする

ビット0	説 明
INVO	
0	IV、IHO信号をそのままVSYNCO、HSYNCO出力とする (初期値)
1	IV、IHO信号を反転してVSYNCO、HSYNCO出力とする

### 11.2.2 シリアルタイマコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリード/ライト可能なレジスタで、タイマコネクションの制御、I<sup>2</sup>CバスインタフェースとPWMタイマおよび8ビットタイマのTCNTの入力クロックの選択を行います。

STCRはリセット時にH'00にイニシャライズされます。

ビット7～5：I<sup>2</sup>Cコントロール（IICS、IICX1、IICX0）

I<sup>2</sup>Cバスインタフェースの動作を制御するビットです。詳しくは「第14章 I<sup>2</sup>Cバスインタフェース」を参照してください。

ビット4：タイマコネクションアウトプットイネーブル（SYNCE）

タイマコネクションの出力を制御します。

ビット4	説明
SYNCE	
0	タイマコネクションの出力を行わない 該当端子は、ポート入出力およびタイマ出力機能となる（初期値）
1	タイマコネクションの出力を行う 該当端子は、VSYNCO、HSYNCO、CLAMPO出力端子となる

各端子の機能は、TCONRのSMOD1～0ビット、CLMODビットや、FRTのTCRのOEBビット、TMR1、TMRXのTCRのOS3～0ビットと関連して制御されます。

STCR	TCR	VSYNCO端子の機能の説明
ビット4	ビット3	
SYNCE	OEB	
0	0	P6 <sub>2</sub> ポート入出力（初期値）
0	1	FTOB出力
1	—	IV信号出力

STCR	TCONR		TCR	HSYNCO端子の機能の説明
ビット4	ビット7	ビット6	ビット3～0	
SYNCE	SMOD1	SMOD0	OS3～0	
0	—	—	すべて“0”	P4 <sub>4</sub> ポート入出力（初期値）
0	—	—	いずれかが“1”	TMO <sub>0</sub> 出力
1	0	0	—	IHI信号出力
	1	1		
1	0	1	—	CL1信号出力
	1	0		

STCR	TCONR	TCR	CLAMPO端子の機能の説明
ビット4	ビット5	ビット3～0	
SYNCE	CLMOD	OS3～0	
0	—	すべて“0”	P4 <sub>7</sub> ポート入出力 (初期値)
0	—	いずれかが“1”	TMO <sub>x</sub> 出力
1	0	—	CL1信号出力
1	1	—	CL2信号出力

ビット3～2：PWMクロックイネーブル、PWMクロックセレクト（PWCKE、PWCKS）  
PWMタイマのTCNTに入力する内部クロックを選択します。詳しくは「第8章 PWMタイマ」を参照してください。

ビット1、0：インターナルクロックセレクト1、0（ICKS1、ICKS0）

8ビットタイマのTCRのCKS2～0ビットと共に、8ビットタイマのTCNTに入力する内部クロックを選択します。詳細は「10.2.3 タイマコントロールレジスタ」を参照してください。

### 11.2.3 エッジセンスレジスタ（SE DGR）

ビット：	7	6	5	4	3	2	1	0
	VEDG	HEDG	CEDG	FEDG	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	—	—	—	—

【注】\* フラグをクリアするための、“0”ライトのみ可能です。

SE DGRは8ビットのレジスタで、タイマコネクション入力端子の立上がりエッジの検出に利用します。

SE DGRはリセットまたはスタンバイモード時にH'0Fにイニシャライズされます。

ビット7：VSYNC Iエッジ（VEDG）

P6<sub>3</sub>/FTI/VSYNC I端子の立上がりエッジを検出します。

ビット7	説明
VEDG	
0	【クリア条件】 (初期値) VEDG = “1” の状態でVEDGをリードした後、VEDGに“0”をライトしたとき
1	【セット条件】 P6 <sub>3</sub> /FTI/VSYNC I端子の立上がりエッジを検出したとき

ビット6：HSYNC Iエッジ (HEDG)

P4<sub>6</sub>/TMC I<sub>1</sub>/HSYNC I 端子の立上がりエッジを検出します。

ビット6	説 明
HEDG	
0	<p>【クリア条件】 (初期値)</p> <p>HEDG = “1” の状態でHEDGをリードした後、HEDGに “0” をライトしたとき</p>
1	<p>【セット条件】</p> <p>P4<sub>6</sub>/TMC I<sub>1</sub>/HSYNC I 端子の立上がりエッジを検出したとき</p>

ビット5：CSYNC Iエッジ (CEDG)

P4<sub>5</sub>/TMR I<sub>1</sub>/CSYNC I 端子の立上がりエッジを検出します。

ビット5	説 明
CEDG	
0	<p>【クリア条件】 (初期値)</p> <p>CEDG = “1” の状態でCEDGをリードした後、CEDGに “0” をライトしたとき</p>
1	<p>【セット条件】</p> <p>P4<sub>5</sub>/TMR I<sub>1</sub>/CSYNC I 端子の立上がりエッジを検出したとき</p>

ビット4：FBACK Iエッジ (FEDG)

P4<sub>4</sub>/FBACK I 端子の立上がりエッジを検出します。

ビット4	説 明
FEDG	
0	<p>【クリア条件】 (初期値)</p> <p>FEDG = “1” の状態でFEDGをリードした後、FEDGに “0” をライトしたとき</p>
1	<p>【セット条件】</p> <p>P4<sub>4</sub>/FBACK I 端子の立上がりエッジを検出したとき</p>

## 11.3 タイマコネクションの動作

### 11.3.1 PWMデコード

タイマコネクションとTMRXを利用することにより、パルス幅で“0” / “1”を表現するPWM信号をデコードすることができます。これには、立上がりエッジが一定周期で発生する信号をIHI信号として選択する必要があります。

TMRXのTCNTは、内部クロックをカウントし、外部リセット信号（IHI信号）の立上がりエッジでクリアされるよう設定します。TCORBには、パルス幅判定のしきい値となる数値をライトします。PWMデコード回路内にはIHI信号をデータ、コンペアマッチ信号B（CMB）をクロックとするディレイラッチがあり、IHI信号の立上がり後最初のコンペアマッチ信号Bのタイミングでのパルス幅判定結果をPDC信号として出力します。TCRとTCORBの設定例を表11.3、表11.4に、タイミングチャートを図11.2に示します。

表11.3 TCR設定例

ビット	略 称	内 容	説 明
7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止
6	CMIEA	0	
5	OVI E	0	
4～3	CCLR1～0	1 1	外部リセット信号（IHI信号）の立上がりエッジ(フ)によりTCNTをクリア
2～0	CKS2～0	0 0 1	内部クロック：φでカウント

表11.4 TCORB（パルス値しきい値）設定例

	φ : 10MHz	φ : 12MHz	φ : 16MHz
H'07	0.8 μs	0.67 μs	0.5 μs
H'0F	1.6 μs	1.33 μs	1 μs
H'1F	3.2 μs	2.67 μs	2 μs
H'3F	6.4 μs	5.33 μs	4 μs
H'7F	12.8 μs	10.67 μs	8 μs

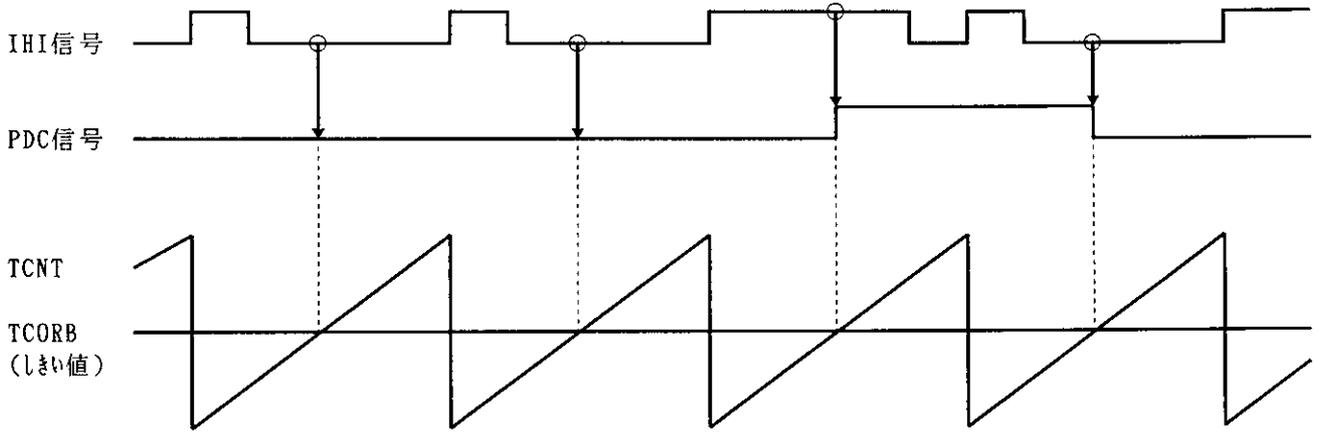


図11.2 PWMデコードタイミングチャート

### 11.3.2 クランプ波形生成

タイマコネクショントMRXを利用することにより、入力信号（IHI信号）波形に同期し、デューティや立上がり／立下がり異なる信号（クランプ波形）を生成できます。生成できるクランプ波形は、CL1信号、CL2信号の2通りです。CL1信号の立上がりはIHI信号の立上がりと同じタイミング、CL2信号の立上がりはIHI信号の立下がりと同じタイミング、立下がりはいずれもTCORAで指定できます。

TMRXのTCNTは、内部クロックをカウントし、外部リセット信号（IHI信号）の立上がりエッジでクリアされるよう設定します。TCORAには、クランプ波形の立下がりタイミングとなる数値をライトします。TCRとTCORAの設定例は表11.3、表11.4と同様です。クランプ波形のタイミングチャートを図11.3に示します。

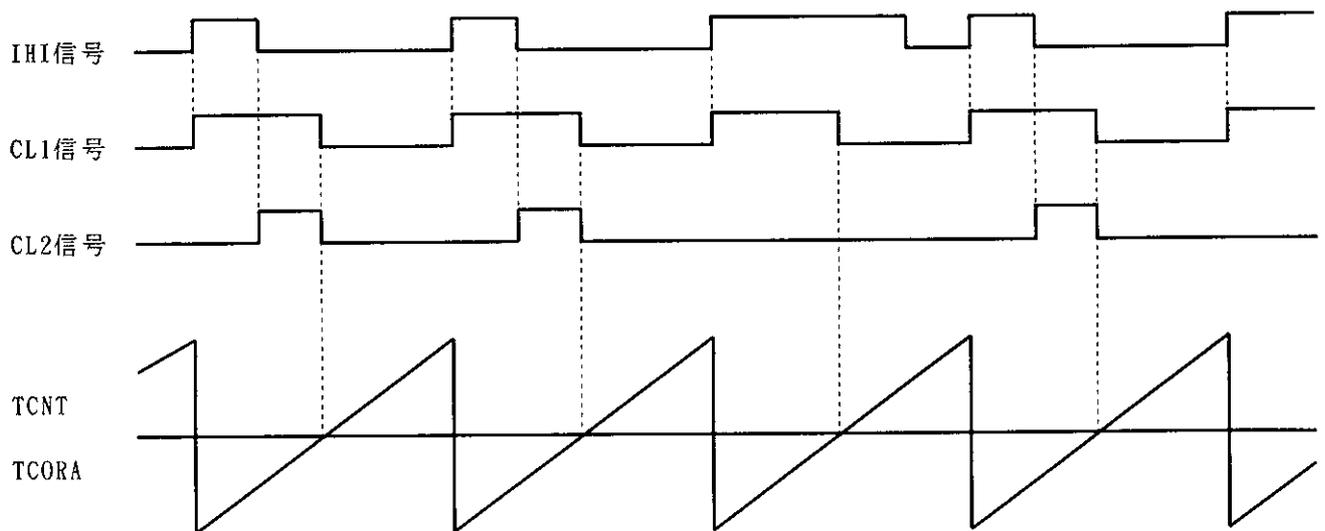


図11.3 クランプ波形生成タイミングチャート

### 11.3.3 8ビットタイマ分周波形周期測定

タイマコネクションとTMR1、FRTを利用することにより、複数の入力信号（IV信号、IHI信号）およびIHI信号分周波形の周期を、切り換えながら測定できます。TMR1は、IV信号の立上がりエッジでクリアすることができるため、IHI信号分周波形の立上がり/立下がりをIV信号にほぼ同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI信号分周波形の周期を測定する場合、TMR1のTCNTは、外部クロック（IHI信号）をカウントし、外部リセット信号（IV信号）の立上がりエッジでクリアされるよう設定します。TCORには分周の倍率となる数値をライトし、TCSRのOSビットにはTMO出力方式を指定します。TCRとTCSRの設定例を表11.5に、IV信号とIHI信号分周波形の周期測定タイミングチャートを図11.4に示します。IV信号の周期は（ICR(4)－ICR(1)）×分解能で、IHI信号分周波形の周期は（ICR(3)－ICR(2)）×分解能で求めることができます。

表11.5 TCRとTCSRの設定例

レジスタ	ビット	略 称	内 容	説 明
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止
	6	CMIEA	0	
	5	OVI E	0	
	4～3	CCLR1～0	1 1	外部リセット信号（IV信号）の立上がりエッジ（ $\bar{f}$ ）によりTCNTをクリア
	2～0	CKS2～0	1 0 1	外部クロック（IHI信号）の立上がりエッジ（ $\bar{f}$ ）によりTCNTをカウントアップ
TMR1 の TCSR	4	PWME	0	通常タイマモード
	3～0	OS3～0	0 0 1 1	コンペアマッチBで変化せず コンペアマッチAで反転出力（トグル出力）
FRTの TCR	1～0	CKS1～0	0 0	内部クロック： $\phi_p/2$ でFRCをカウントアップ
FRTの TCSR	1	I EDG	1	インプットキャプチャ入力（IHI分周信号波形、IV信号）の立上がりエッジ（ $\bar{f}$ ）でFRCの値をICRに転送
	0	CCLR	0	FRCのクリアを禁止

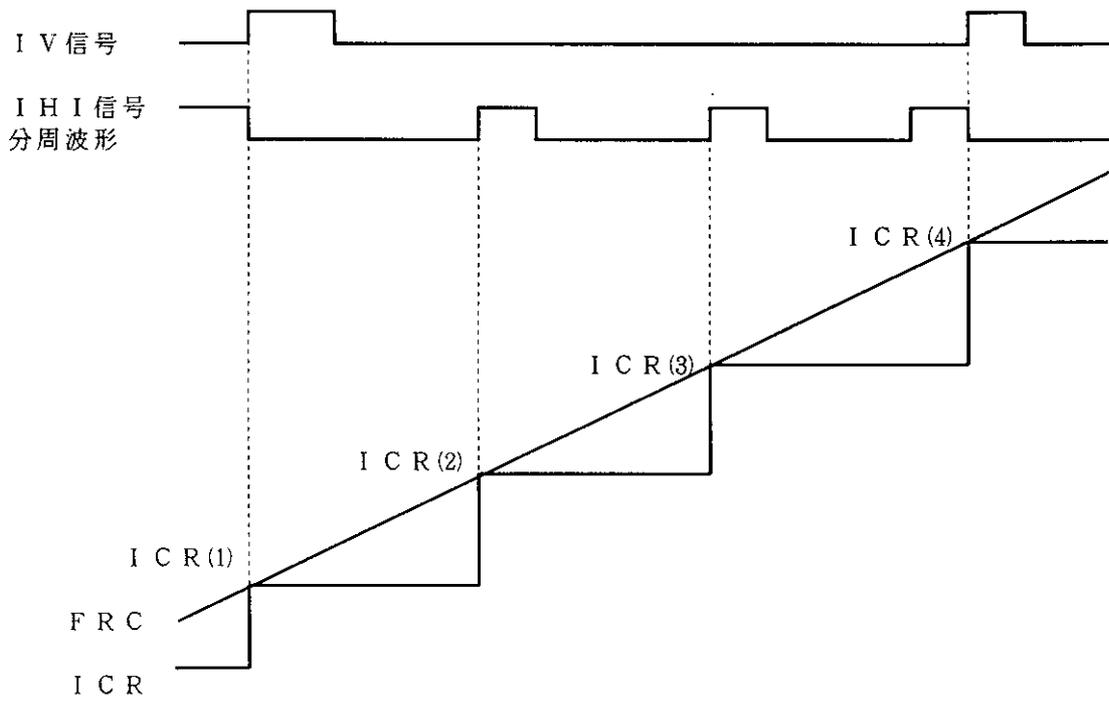


図11.4 IV信号とIHI信号分周波形の周期測定タイミングチャート



# 12. ウォッチドッグタイマ

## 第12章 目次

12.1	概要	233
12.1.1	特長	233
12.1.2	ブロック図	234
12.1.3	レジスタ構成	234
12.2	各レジスタの説明	235
12.2.1	タイマカウンタ (TCNT)	235
12.2.2	タイマコントロール/ステータスレジスタ (TC SR)	235
12.2.3	レジスタ書換え時の注意	238
12.3	動作説明	239
12.3.1	ウォッチドッグタイマモード時の動作	239
12.3.2	インターバルタイマモード時の動作	240
12.3.3	オーバフローフラグ (OVF) のセットタイミング	240
12.4	使用上の注意	241



## 12.1 概要

本LSIは、ウォッチドッグタイマ(WDT: Watch Dog Timer)を1チャンネル内蔵しており、システムの監視を行うことができます。ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタの値が書き換えられずオーバーフローすると、CPUに対してリセットまたはNMI割込みを発生します。

また、ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードのときは、カウンタがオーバーフローするごとにOVF割込みを発生します。

### 12.1.1 特長

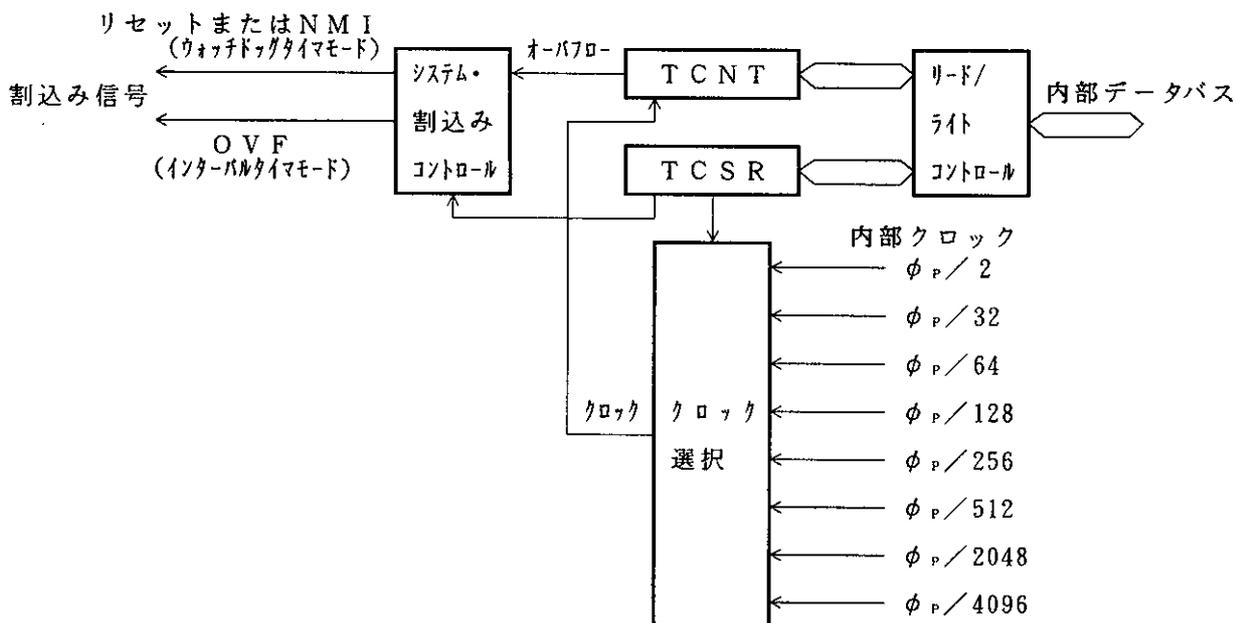
WDTの特長を以下に示します。

- 8種類のカウンタ入力クロックを選択可能
- インターバルタイマモードに切換え可能
- タイマカウンタがオーバーフローするとリセットまたは割込みが発生

ウォッチドッグタイマモード時にはリセットまたはNMI割込み、インターバルタイマモード時には、OVF割込みが発生します。

### 12.1.2 ブロック図

WDTのブロック図を図12.1に示します。



<記号説明>

TCNT : タイマカウンタ

TCSR : タイマコントロール/ステータスレジスタ

図12.1 WDTのブロック図

### 12.1.3 レジスタ構成

WDTには表12.1に示すレジスタがあります。

表12.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				ライト時	リード時
タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'10	H'FFAA	H'FFAA
タイマカウンタ	TCNT	R/W	H'00		H'FFAB

【注】\* ビット7は、フラグをクリアするための“0”ライトのみ可能です。

## 12.2 各レジスタの説明

### 12.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

TCNTは、8ビットのリード/ライト\*可能なアップカウンタです。TCSRのタイムネーブルビット (TME) を“1”にセットすると、TCSRのクロックセレクト2~0ビット (CKS2~0) で選択された内部クロックにより、カウントアップを開始します。また、TCNTの値がオーバーフロー (H'FF→H'00) すると、TCSRのオーバーフローフラグ (OVF) が“1”にセットされます。

また、TCNTはリセット、あるいはTME = “0”のとき、H'00にイニシャライズされます。

【注】\* TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「12.2.3 レジスタ書き換え時の注意」を参照してください。

### 12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)* <sup>1</sup>	R/W	R/W	—	R/W	R/W	R/W	R/W

TCSRは、8ビットのリード/ライト\*<sup>2</sup>可能なレジスタで、TCNTに入力するクロックの選択およびモードの選択などを行います。

ビット7~5、3は、リセットまたはスタンバイモード時に“0”にイニシャライズされます。ビット2~0は、リセット時のみ“0”にイニシャライズされますが、スタンバイモード時には、イニシャライズされずに前の値を保持します。

【注】\*<sup>1</sup> フラグをクリアするための“0”ライトのみ可能です。

\*<sup>2</sup> TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「12.2.3 レジスタ書き換え時の注意」を参照してください。

ビット7：オーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

ビット7	説明
OVF	
0	〔クリア条件〕 OVF = “1” の状態で、OVF をリード後、OVF に “0” をライトしたとき (初期値)
1	〔セット条件〕 TCNT が H'FF → H'00 に変化したとき

ビット6：タイマモードセレクト（WT / IT）

ウォッチドッグタイマとして使用するか、またはインターバルタイマとして使用するかを選択します。

この選択によってTCNTがオーバフローしたとき、CPUに要求する割込みは、インターバルタイマモード時はOVF割込みを、ウォッチドッグタイマモード時はリセットまたはNMI割込みを要求します。

ビット6	説明
WT / IT	
0	インターバルタイマモード (OVF割込み要求) (初期値)
1	ウォッチドッグタイマモード (リセットまたはNMI割込み要求)

ビット5：タイマイネーブル（TME）

動作の許可または禁止を選択します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNTをH'00にイニシャライズし、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNTがカウントアップを開始し、TCNTがオーバフローするとリセットまたはCPUへの割込み要求を許可

ビット4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：リセットまたはNMI（RST/NMI）

ウォッチドッグタイマのオーバーフロー時に、内部リセットかNMI機能かを選択します。

ビット3	説 明	
RST/NMI		
0	NMI機能有効	（初期値）
1	リセット機能有効	

ビット2～0：クロックセレクト2～0（CKS2～0）

システムクロック（ $\phi$ ）を分周して得られる8種類の内部クロックからTCNTに入力するクロックを選択します。

オーバーフロー周期は、TCNTがH'00からカウントを開始し、オーバーフローするまでの時間です。

インターバルタイマモードではこのオーバーフロー周期ごとにOVF割込みを発生させることができます。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	カウント・クロック	オーバーフロー周期（ $\phi_p = 10\text{MHz}$ の場合）
0	0	0	$\phi_p / 2$	51.2 $\mu\text{s}$ （初期値）
0	0	1	$\phi_p / 32$	819.2 $\mu\text{s}$
0	1	0	$\phi_p / 64$	1.6 ms
0	1	1	$\phi_p / 128$	3.3 ms
1	0	0	$\phi_p / 256$	6.6 ms
1	0	1	$\phi_p / 512$	13.1 ms
1	1	0	$\phi_p / 2048$	52.4 ms
1	1	1	$\phi_p / 4096$	104.9 ms

### 12.2.3 レジスタ書換え時の注意

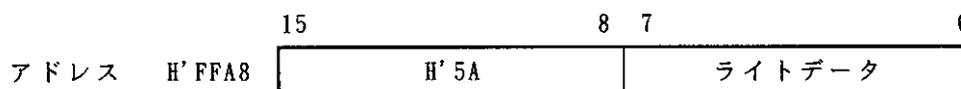
ウォッチドッグタイマのTCNTとTCSRのレジスタは、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。リード/ライトは次の方法で行ってください。

#### (1) TCNT、TCSRへのライト

ライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。

ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A (TCNTのとき) またはH'A5 (TCSRのとき) にしてワード転送を行います。これを図12.2に示します。このようなデータ転送により、下位バイトのデータがTCNTまたはTCSRへライトされます。

<TCNTライト時>



<TCSRライト時>

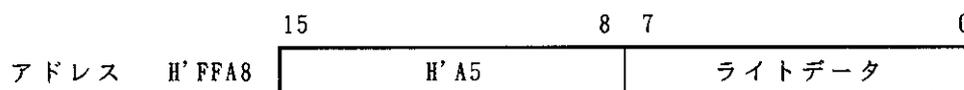


図12.2 TCNT、TCSRへのライトデータ

#### (2) TCNT、TCSRのリード

リードの場合、アドレスH'FFA8にTCSR、H'FFA9にTCNTが割り当てられています。これを表12.2に示します。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。

表12.2 TCNT、TCSRのリード

アドレス	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT

## 12.3 動作説明

### 12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用する場合は、 $WT/\overline{IT} = "1"$ 、 $TME = "1"$  に設定します。

プログラムではTCNTがオーバーフローする前に、ソフトウェアでTCNTの値を書き換えて（通常はH'00をライト）、常にオーバーフローが発生しないようにします。システムの暴走等により、TCNTの値が書き換えられず、オーバーフローすると、518システムクロック(518φ)の間、本LSIをリセットするか、またはNMI割込み要求を発生します。これを図12.3に示します。

また、ウォッチドッグタイマからのNMI要求とNMI端子からの割込み要求は、同一ベクタです。ウォッチドッグタイマからのNMI要求とNMI端子からの割込み要求を同時に扱うことは避けてください。

ウォッチドッグタイマからのリセットとRES端子からのリセットは、同一ベクタです。リセット要因は、SYSCRのXRSTビットの内容によって判別できます。

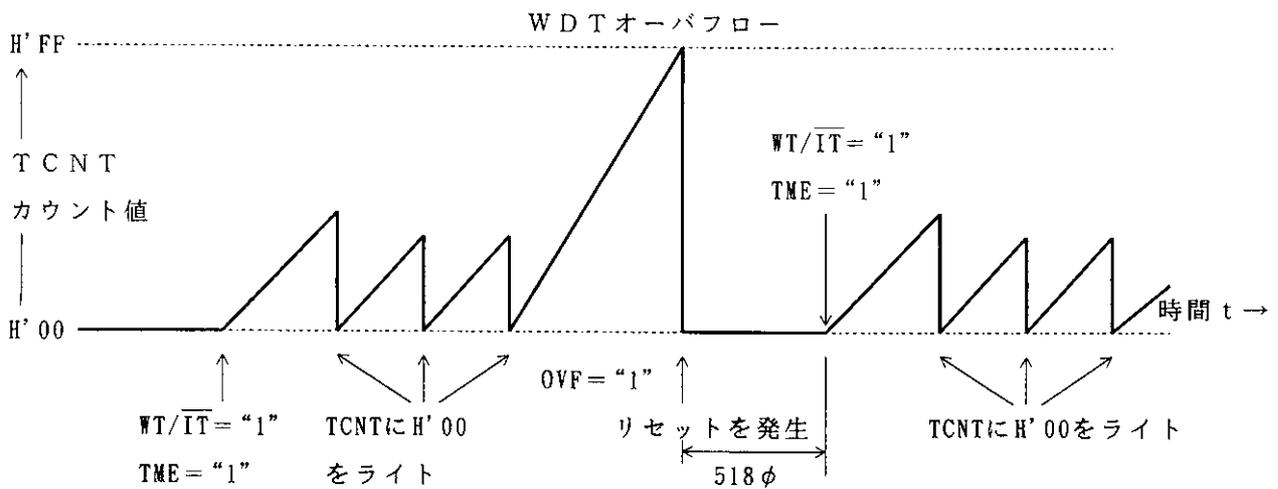


図12.3 ウォッチドッグタイマモード時の動作

### 12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するには、 $WT/\overline{IT} = "0"$ 、 $TME = "1"$  に設定します。インターバルタイマとして動作しているときは、 $TCNT$  がオーバーフローするごとに、 $OVF$  割込み要求が発生します。これにより、一定時間ごとに  $OVF$  割込みを発生させることができます。これを図12.4に示します。

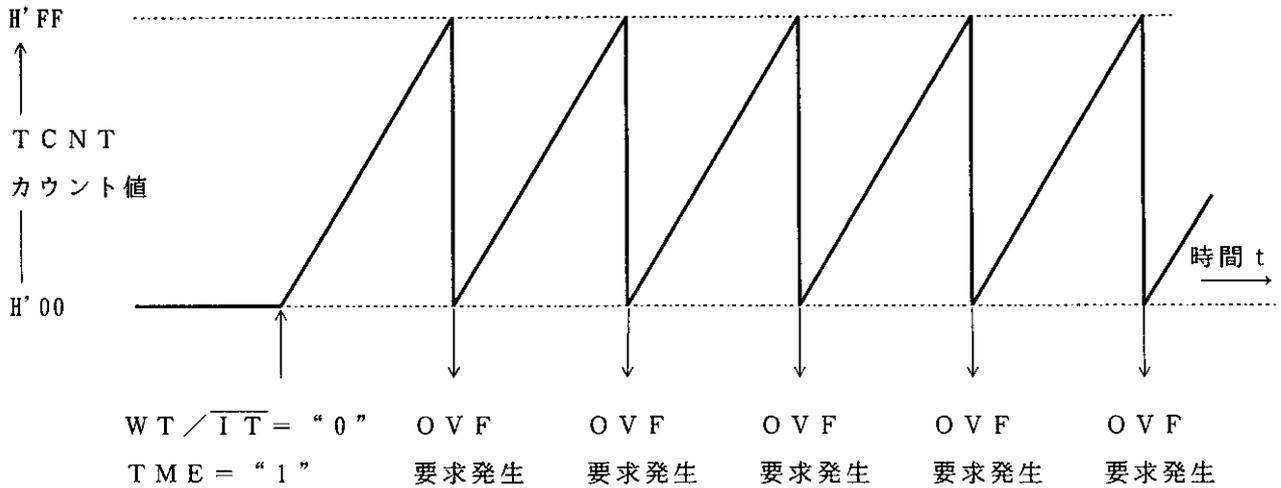


図12.4 インターバルタイマモード時の動作

### 12.3.3 オーバフローフラグ (OVF) のセットタイミング

$OVF$  は、 $TCNT$  がオーバーフローすると "1" にセットされます。このとき同時に、 $NMI$  または  $OVF$  の割込みが要求されます。このタイミングを図12.5に示します。

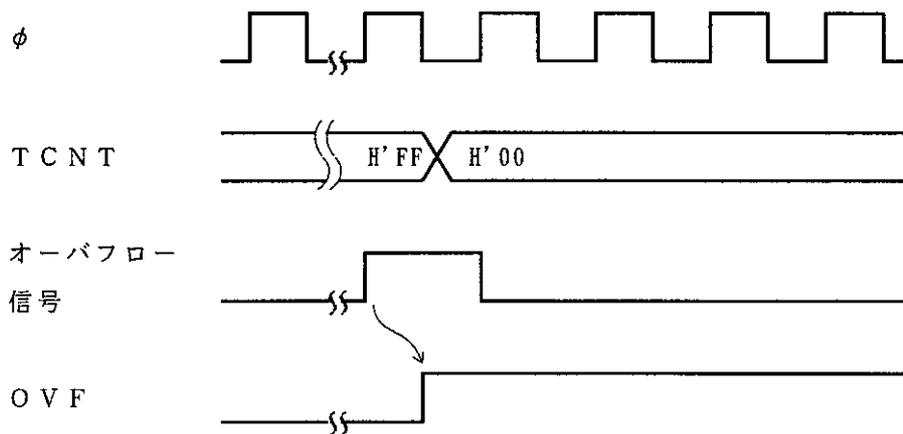


図12.5 OVFのセットタイミング

## 12.4 使用上の注意

WDTを使用するときは、次のことに注意してください。

### (1) TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT<sub>3</sub>ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。これを図12.6に示します。

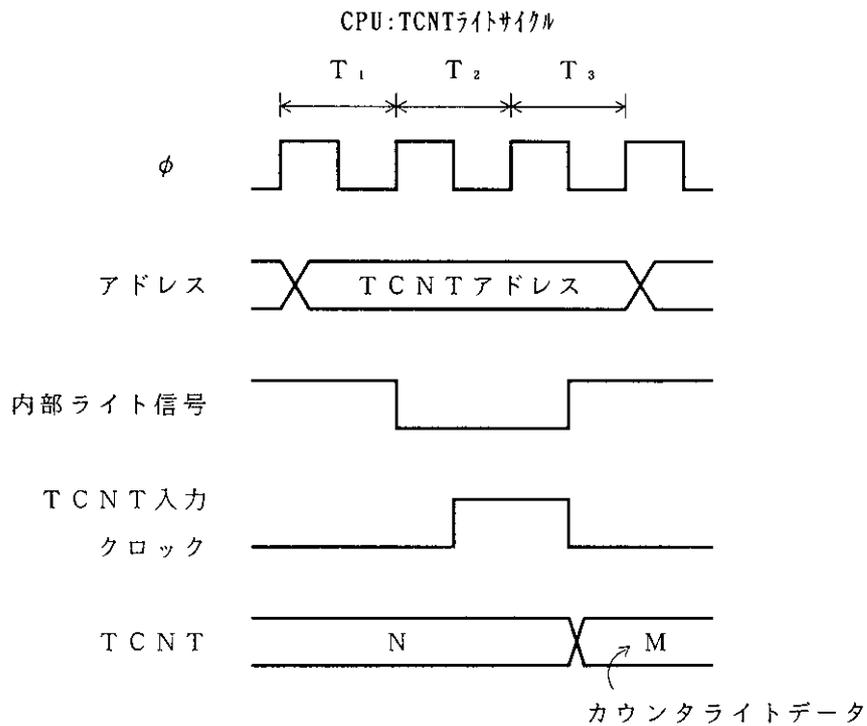


図12.6 TCNTのライトとカウントアップの競合

### (2) CKS 2～0ビットの書換え

WDTが動作中にCKS 2～0ビットを書き換えると、カウントアップが正しく行われません。

CKS 2～0ビットを書き換えるときは、必ずWDTを停止させてから（TME = “0”の状態にしてから）行ってください。

### (3) ソフトウェアスタンバイモードからの復帰

本LSIがソフトウェアスタンバイモードから復帰すると、ビット0～2をのぞくTCSCRビットとTCNTカウンタがリセットされます。ウォッチドッグタイマが通常の動作状態になるように再び初期化してください。



# 13. シリアルコミュニケーション インタフェース

【H8 / 3 2 1 2 以外には2チャンネル、H8 / 3 2 1 2 には1チャンネル内蔵】

H8 / 3 2 1 2 にはチャンネル1 (SC11) が内蔵されていませんのでご注意ください。

## 第13章 目次

13.1	概要	245
13.1.1	特長	245
13.1.2	ブロック図	246
13.1.3	端子構成	247
13.1.4	レジスタ構成	247
13.2	各レジスタの説明	248
13.2.1	レシーブシフトレジスタ (RSR)	248
13.2.2	レシーブデータレジスタ (RDR)	248
13.2.3	トランスミットシフトレジスタ (TSR)	248
13.2.4	トランスミットデータレジスタ (TDR)	249
13.2.5	シリアルモードレジスタ (SMR)	249
13.2.6	シリアルコントロールレジスタ (SCR)	251
13.2.7	シリアルステータスレジスタ (SSR)	254
13.2.8	ビットレートレジスタ (BRR)	257
13.2.9	シリアルコミュニケーションモードレジスタ (SCMR)	266
13.3	動作説明	268
13.3.1	概要	268
13.3.2	調歩同期式モード時の動作	270
13.3.3	クロック同期式モード時の動作	282
13.4	SC1 割込み	290
13.5	使用上の注意	291



## 13.1 概要

本 L S I は、2 チャンネルのシリアルコミュニケーションインタフェース 0、1 ( S C I : Serial Communication Interface)を内蔵しています。

S C I は、他の L S I とシリアルデータの通信を行う内蔵周辺モジュールで、調歩同期式モードとクロック同期式モードの選択が可能です。

### 13.1.1 特長

S C I の特長を以下に示します。

#### ■通信モードは調歩同期式モードとクロック同期式モードから選択可能

##### (a) 調歩同期式モード

調歩同期式通信を行うモードです。U A R T (Universal Asynchronous Receiver/Transmitter) や A C I A (Asynchronous Communication Interface Adapter) などの標準の調歩同期式通信用 L S I との通信が可能です。また複数のプロセッサと通信を行うことができるマルチプロセッサ間通信機能を備えています。

データ送信／受信フォーマットは12種類のフォーマットから選択可能です。

- データ長：7 ビットまたは 8 ビット
- ストップビット長：1 ビットまたは 2 ビット
- パリティ：偶数パリティ、奇数パリティまたはパリティなし
- マルチプロセッサビット：“1”または“0”
- エラー検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことでブレークを検出できます。

##### (b) クロック同期式モード

クロックに同期させてシリアルデータの通信を行うモードです。クロック同期式通信機能をもつ他の L S I との通信が可能です。

- データ長：8 ビット
- エラー検出：オーバランエラー

#### ■全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構成になっているので、データの連続転送を行うことができます。

#### ■ボーレートジェネレータを内蔵

ボーレートジェネレータにより任意のビットレートを選択することができます。

#### ■内部／外部のクロックソースを選択可能

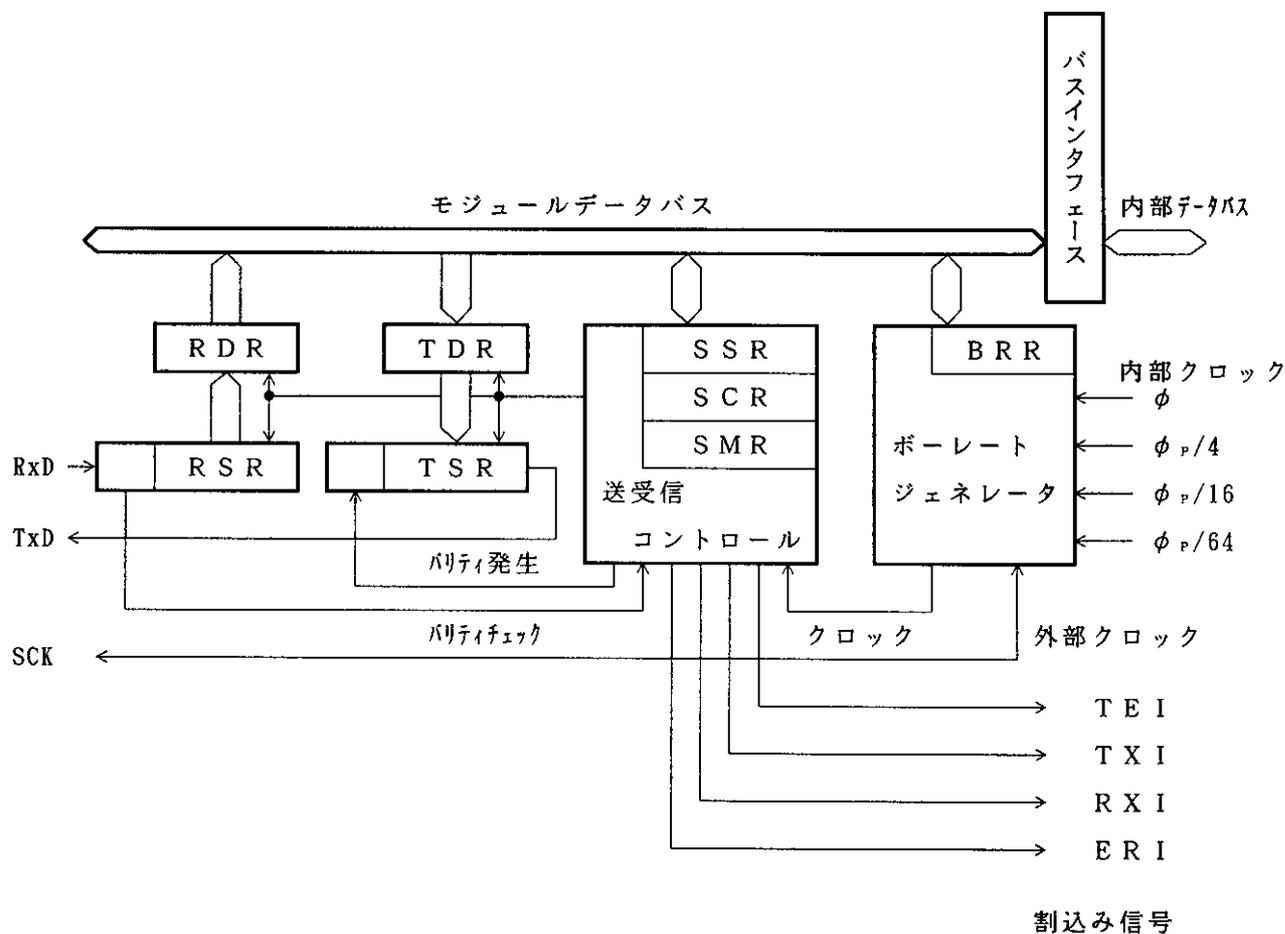
クロックソースは、ボーレートジェネレータからの内部クロックまたは SCK 端子からの外部クロックから選択することができます。

■ 4 種類の割り込み要因

TDRエンプティ、TSRエンプティ、受信完了、受信エラーがあり、それぞれ独立に要求することができます。

13.1.2 ブロック図

図13.1にSCIのブロック図を示します。



<記号説明>

- RDR : レシーブデータレジスタ
- RSR : レシーブシフトレジスタ
- TDR : トランスミットデータレジスタ
- TSR : トランスミットシフトレジスタ
- SSR : シリアルステータスレジスタ
- SCR : シリアルコントロールレジスタ
- SMR : シリアルモードレジスタ
- BRR : ビットレートレジスタ

図13.1 SCIのブロック図

### 13.1.3 端子構成

S C I は、表13.1に示すシリアル端子を備えています。

表13.1 端子構成

チャンネル	名 称	略 称*	入出力	機 能
0	シリアルクロック入出力端子	SCK <sub>0</sub>	入出力	S C I 0 クロック入出力
	レシーブデータ入力端子	RxD <sub>0</sub>	入 力	S C I 0 受信データ入力
	トランスミットデータ出力端子	TxD <sub>0</sub>	出 力	S C I 0 送信データ出力
1	シリアルクロック入出力端子	SCK <sub>1</sub>	入出力	S C I 1 クロック入出力
	レシーブデータ入力端子	RxD <sub>1</sub>	入 力	S C I 1 受信データ入力
	トランスミットデータ出力端子	TxD <sub>1</sub>	出 力	S C I 1 送信データ出力

【注】\* 本文中ではチャンネルを省略し、それぞれ S C K、R x D、T x D と略称します。

### 13.1.4 レジスタ構成

S C I には、表13.2に示す内部レジスタがあります。これらのレジスタにより動作モード（調歩同期式／クロック同期式）の指定、データフォーマットの指定、ビットレートの設定、および送信部／受信部の制御などを行います。

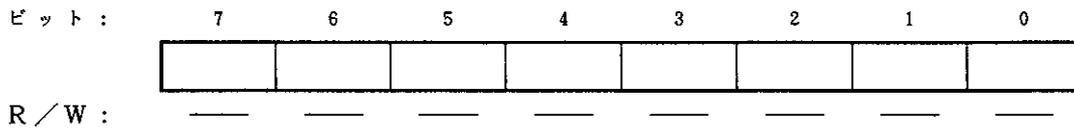
表13.2 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス
0	レシーブシフトレジスタ	R S R	不 可	—	—
	レシーブデータレジスタ	R D R	R	H'00	H'FFDD
	トランスミットシフトレジスタ	T S R	不 可	—	—
	トランスミットデータレジスタ	T D R	R/W	H'FF	H'FFDB
	シリアルモードレジスタ	S M R	R/W	H'00	H'FFD8
	シリアルコントロールレジスタ	S C R	R/W	H'00	H'FFDA
	シリアルステータスレジスタ	S S R	R/(W)*	H'84	H'FFDC
	ビットレートレジスタ	B R R	R/W	H'FF	H'FFD9
	シリアルコミュニケーションモードレジスタ	S C M R	R/W	H'F2	H'FFDE
1	レシーブシフトレジスタ	R S R	不 可	—	—
	レシーブデータレジスタ	R D R	R	H'00	H'FFE5
	トランスミットシフトレジスタ	T S R	不 可	—	—
	トランスミットデータレジスタ	T D R	R/W	H'FF	H'FFE3
	シリアルモードレジスタ	S M R	R/W	H'00	H'FFE0
	シリアルコントロールレジスタ	S C R	R/W	H'00	H'FFE2
	シリアルステータスレジスタ	S S R	R/(W)*	H'84	H'FFE4
	ビットレートレジスタ	B R R	R/W	H'FF	H'FFE1

【注】\* ビット7～3はフラグをクリアするための“0”ライトのみ可能です。

## 13.2 各レジスタの説明

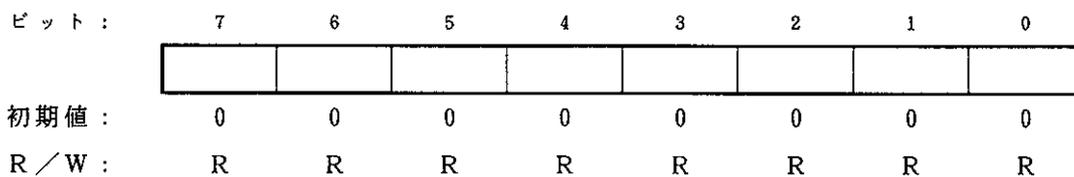
### 13.2.1 レシーブシフトレジスタ (RSR)



RSRは、受信したシリアルデータをパラレルデータに変換するためのシフトレジスタです。1キャラクタの受信が終了すると、データはRDRに転送されます。

RSRは、CPUから直接リード/ライトできません。

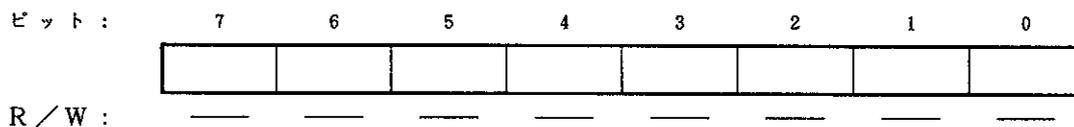
### 13.2.2 レシーブデータレジスタ (RDR)



RDRは、受信データを格納するレジスタで、1キャラクタの受信が完了すると、RSRからデータが転送されます。これにより、RSRは次のデータの受信が可能になり、データを連続的に受信することができます。

RDRはリード専用です。RDRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

### 13.2.3 トランスミットシフトレジスタ (TSR)



TSRは、パラレルデータをシリアルデータに変換して送信するためのシフトレジスタです。1キャラクタのデータの送信が終了すると、次に送信するデータがTDRから転送され、送信を開始します。ただし、TDREビットが“1”にセットされたままの場合には、転送は行われません。

TSRは、CPUから直接リード/ライトすることはできません。

### 13.2.4 トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

TDRは、送信するデータを格納するリード/ライト可能な8ビットのレジスタです。TDRにライトされたデータは、TSRがデータを送信して“空”になるとTSRへ転送されます。

TSRがデータ送信中に、TDRに次のデータをライトしておくことによって、データを連続的に送信することができます。

TDRは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

### 13.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	0/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMRは、SCIの送信/受信フォーマットの設定と、内蔵ボーレートジェネレータのクロックソースの選択を行うリード/ライト可能な8ビットのレジスタです。SMRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、SMRの設定と送信/受信フォーマットについては、「13.3 動作説明」表13.5および表13.7を参照してください。

#### ビット7: コミュニケーションモード (C/ $\bar{A}$ )

SCIの動作モードを選択します。

ビット7	説明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード

#### ビット6: キャラクタレングス (CHR)

調歩同期式モードでのデータ長を指定します。

クロック同期式モードでは無効です。CHRビットの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ (TDR、RDRのビット6~0を送信/受信に用います)

#### ビット5：パリティイネーブル（PE）

調歩同期式モードで、パリティビットの付加／チェックを設定します。

クロック同期式モードおよびマルチプロセッサフォーマットでは無効です。

ビット5	説明
PE	
0	1)送信時：パリティビットを付加しない 2)受信時：パリティビットのチェックを行わない (初期値)
1	1)送信時：パリティビットを付加する 2)受信時：パリティビットのチェックを行う

#### ビット4：パリティモード（O/E）

調歩同期式モードで、パリティビットの付加／チェックを設定したとき（PEビットが“1”のとき）、付加／チェックするパリティビットの偶数パリティまたは奇数パリティを指定します。

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の1の数の合計が偶数個になるようにパリティビットが決定されます。同様に、奇数パリティでは、キャラクタとパリティビットをあわせて、その中の1の数の合計が奇数個になるようにパリティビットを決定します。

PEビットが“0”のとき、およびクロック同期式モード、ならびにマルチプロセッサフォーマットでは無効です。

ビット4	説明
O/E	
0	偶数パリティ (初期値)
1	奇数パリティ

#### ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを指定します。

クロック同期式モードでは無効です。

ビット3	説明
STOP	
0	1ストップビット 1)送信時：ストップビットを1ビット付加 2)受信時：ストップビットを1ビットチェックしフレーミングエラーを判定 (初期値)
1	2ストップビット 1)送信時：ストップビットを2ビット付加 2)受信時：ストップビットの1ビット目をチェックしフレーミングエラーを判定。2ビット目がスペース(“0”)の場合は次のスタートビットとして扱う

### ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。

マルチプロセッサフォーマットを選択した場合、パリティイネーブル（PE）、および、パリティモード（O/E）で設定したパリティの設定は無効になります。また、MPビット設定は、調定同期式モードのときのみ有効です。クロック同期式モードではMPビットの設定は無効です。

ビット2	説明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

### ビット1、0：クロックセレクト1、0（CKS1、0）

内蔵ポーレートジェネレータのクロックソースを選択します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	$\phi$ クロック (初期値)
0	1	$\phi_P/4$ クロック
1	0	$\phi_P/16$ クロック
1	1	$\phi_P/64$ クロック

### 13.2.6 シリアルコントロールレジスタ（SCR）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRは、SCIの動作の制御を行うリード/ライト可能な8ビットのレジスタです。リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

### ビット7：トランスミットインタラプトイネーブル（TIE）

SSRのトランスミットデータレジスタエンプティ（TDRE）が“1”にセットされたときに、TDREエンプティ割込み要求（TXI）の許可または禁止を選択します。

ビット7	説明	
TIE		
0	TDREエンプティ割込み要求（TXI）を禁止	(初期値)
1	TDREエンプティ割込み要求（TXI）を許可	

#### ビット6：レシーブインタラプトイネーブル（R I E）

SSRのレシーブデータレジスタフル（RDRF）が“1”にセットされたときに、受信完了割込み要求（RXI）の許可または禁止、ならびにオーバランエラー（ORER）またはフレーミングエラー（FER）、パリティエラー（PER）が“1”にセットされたときに受信エラー割込み要求（ERI）の許可または禁止を選択します。

ビット6	説明
R I E	
0	受信完了割込み要求（RXI）、受信エラー割込み要求（ERI）を禁止 (初期値)
1	受信完了割込み要求（RXI）、受信エラー割込み要求（ERI）を許可

#### ビット5：トランスミットイネーブル（T E）

送信動作の許可または禁止を選択します。送信可能状態のとき、TxD端子は自動的に出力端子になりますが、送信動作禁止の状態ではTxD端子は入出力ポートとして使用できます。

ビット5	説明
T E	
0	送信動作を禁止 (初期値) (TxD端子は入出力ポートとして使用可)
1	送信可能状態 (TxD端子は出力端子)

#### ビット4：レシーブイネーブル（R E）

受信動作の許可または禁止を選択します。受信可能状態のとき、RxD端子は自動的に入力端子になりますが、受信動作禁止の状態ではRxD端子は入出力ポートとして使用できます。

ビット4	説明
R E	
0	受信動作を禁止 (初期値) (RxD端子は入出力ポートとして使用可)
1	受信可能状態 (RxD端子は入力端子)

#### ビット3：マルチプロセッサインタラプトイネーブル（M P I E）

マルチプロセッサフォーマットを使用してシリアル受信をするときに、マルチプロセッサビットの“1”を含む受信データを受け取るまでの受信動作（受信完了割込み要求（RXI）、受信エラー割込み要求（ERI）、RSRからRDRへの受信データの転送および、SSRのRDRF、FER、PER、ORERビットの動作）の許可または禁止を選択します。

マルチプロセッサフォーマットでないとき、ならびにクロック同期式モードでは無効です。

MPIEビットを“0”にクリアするとマルチプロセッサ割込み禁止状態になります。この状態では、受信データに付加されたマルチプロセッサビットの値にかかわらず受信動作をします。

MPIEビットを“1”にセットするとマルチプロセッサ割込み許可状態になります。この状態

では受信データに付加されたマルチプロセッサビットが“0”の場合受信完了割込み要求（RXI）および、受信エラー割込み要求（ERI）は禁止されます。また、RSRからRDRへの受信データの転送および、SSRのRDRF、FER、PER、ORERビットの動作は禁止されます。マルチプロセッサビットが“1”の場合、SSRのMPBビットを“1”にセットし、MPIEビットを“0”にクリアします。RSRからRDRへの受信データの転送および、SSRのRDRF、FER、PER、ORERビットの動作は許可され、受信完了割込み（RXI）と受信エラー割込み（ERI）は許可されます。

ビット3	説明
MPIE	
0	マルチプロセッサ割込みを禁止（通常の受信動作を行います。）（初期値）
1	マルチプロセッサ割込みを許可 マルチプロセッサビットが“1”のデータを受け取るまで受信割込み要求（RXI）、受信エラー割込み要求（ERI）、および、RSRからRDRへの受信データの転送を禁止します。また、SSRのRDRF、FER、PER、ORERビットのセットを禁止します。また、RSRからRDRへの受信データの転送を禁止します。 [クリア条件] (1) MPIEに“0”をライトしたとき (2) マルチプロセッサビットが“1”のデータを受信したとき

#### ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

SSRのトランスミットエンド（TEND）が“1”にセットされたときに、TSRエンプティ割込み要求（TEI）の許可または禁止を選択します。

ビット2	説明
TEIE	
0	TSRエンプティ割込み要求（TEI）を禁止（初期値）
1	TSRエンプティ割込み要求（TEI）を許可

#### ビット1：クロックイネーブル1（CKE1）

SCIのクロックソースを、内蔵ボーレートジェネレータによる内部クロック、またはSCK端子からの外部クロックから選択します。外部クロックを選択したとき、SCK端子は自動的に入力端子になります。

ビット1	説明
CKE1	
0	内部クロックを選択（初期値） （C/A = “1” のときSCK端子は出力端子、C/A = “0” のときはクロックイネーブル0（CKE0）による）
1	外部クロックを選択（SCK端子は入力端子）

ビット0：クロックイネーブル0（CKE0）

調歩同期式モードで内部クロックを使用する場合に、SCK端子からのクロック出力の許可または禁止を指定します。

外部クロックを使用する場合、およびクロック同期式モードでは無効です。

SCIのクロックソースの選択についての詳細は、「13.3 動作説明」表13.6を参照してください。

ビット0	説明
CKE0	
0	SCK端子を使用しない（SCK端子は入出力ポートとして使用可）（初期値）
1	SCK端子を出力端子としてクロック出力

13.2.7 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】\* フラグをクリアするための“0”ライトのみ可能です。

SSRは、SCIの動作状態を示す8ビットのレジスタです。

SSRは、リセットまたはスタンバイモード時に、H'84にイニシャライズされます。

ビット7：トランスミットデータレジスタエンプティ（TDRE）

TDRに送信データをライトすることが可能であることを示すビットです。

ビット7	説明
TDRE	
0	〔クリア条件〕 TDRE = “1” の状態で、TDREをリードした後、TDREに“0”をライトしたとき
1	〔セット条件〕（初期値） (1) TDRからTSRへデータの転送が行われたとき (2) TEを“0”にクリアしたとき

#### ビット6：レシーブデータレジスタフル（RDRF）

データの受信が完了し、受信したデータがRDRに入っていることを示すビットです。

ビット6	説明
RDRF	
0	〔クリア条件〕 RDRF = “1” の状態で、RDRFをリードした後、RDRFに“0”をライトしたとき (初期値)
1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき

#### ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
ORER	
0	〔クリア条件〕 ORER = “1” の状態で、ORERをリードした後、ORERに“0”をライトしたとき (初期値)
1	〔セット条件〕 オーバランエラーが発生したとき (RDRF = “1” の状態で次のデータの受信が完了したとき)

#### ビット4：フレーミングエラー（FER）

調歩同期式モードで、受信時にフレーミングエラーが発生したことを示すビットです。クロック同期式モードでは、FERビットは無効です。

ビット4	説明
FER	
0	〔クリア条件〕 FER = “1” の状態で、FERをリードした後、FERに“0”をライトしたとき (初期値)
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが“0”の場合）

### ビット3：パリティエラー（PER）

調歩同期式モードで、パリティ付のデータフォーマットで受信するときに、パリティエラーが発生したことを示すビットです。

パリティなしのデータフォーマットの場合およびクロック同期式モードでは、PERビットは無効です。

ビット3	説明
PER	
0	〔クリア条件〕 （初期値） PER = “1” の状態で、PER をリードした後、PER に “0” をライトしたとき
1	〔セット条件〕 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）

### ビット2：トランスミットエンド（TEND）

送信キャラクタの最終ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示すビットです。

シリアルコントロールレジスタ（SCR）のTEビットが“0”のときにもTENDは“1”にセットされます。

TENDビットはリード専用ですので、ライトできません。TEI割込みを利用する場合は、データ送信を開始してTENDを“0”とした後にTEIEを“1”にセットして割込み許可してください。

ビット2	説明
TEND	
0	〔クリア条件〕 （初期値） TDRE = “1” の状態をリードした後、TDRE に “0” をライトしたとき
1	〔セット条件〕 (1) TEが“0”のとき (2) 送信キャラクタの最終ビット送信時に、TDREが“1”であったとき

### ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで、マルチプロセッサフォーマットで受信するときに、受信データ中のマルチプロセッサビットを格納するビットです。クロック同期式モードやマルチプロセッサフォーマットでないとき、およびマルチプロセッサフォーマットでREビットを“0”にクリアしたときには、直前の状態を保持します。

MPBビットは、リード専用であり、ライトできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが“0”のデータを受信したことを表示 (初期値)
1	マルチプロセッサビットが“1”のデータを受信したことを表示

### ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードでマルチプロセッサフォーマットで送信するときに、送信データに付加するマルチプロセッサビットを格納するビットです。MPBTビットはTSR、TDRと同様にダブルバッファ構成になっています。クロック同期式モードやマルチプロセッサフォーマットでないときにはMPBTビットは無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット“0”を送信 (初期値)
1	マルチプロセッサビット“1”を送信

### 13.2.8 ビットレートレジスタ（BRR）

ビット	:	7	6	5	4	3	2	1	0										
		<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> </tr> </table>																	
初期値	:	1	1	1	1	1	1	1	1										
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W										

BRRは、SMRのCKS1、0ビットとの組合せでビットレートを設定する8ビットのレジスタです。

リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

BRRの設定例を表13.3、表13.4、表13.5および表13.6に示します。

表13.3 ビットレートに対するBRR設定値例 ( $\phi_p = \phi$ の場合) (調歩同期式モード) (1)

$\phi$ (MHz)	2			2.097152		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	+0.03	1	148	-0.04
150	1	103	+0.16	1	108	+0.21
300	0	207	+0.16	0	217	+0.21
600	0	103	+0.16	0	108	+0.21
1200	0	51	+0.16	0	54	-0.70
2400	0	25	+0.16	0	26	+1.14
4800	0	12	+0.16	0	13	-2.48
9600	-	-	-	0	6	-2.48
19200	-	-	-	-	-	-
31250	0	1	0	-	-	-
38400	-	-	-	-	-	-

$\phi$ (MHz)	2.4576			3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	2	52	+0.50	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	-	-	-

【注】 誤差はなるべく1%以内となるように設定してください。

表13.3 ビットレートに対するBRR設定値例 ( $\phi_r = \phi$ の場合) (調歩同期式モード) (2)

$\phi$ (MHz) ビットレート (bit/s)	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	-0.25	2	106	-0.44	2	108	+0.08
150	1	255	0	2	64	+0.16	2	77	0	2	79	0
300	1	127	0	1	129	+0.16	1	155	0	1	159	0
600	0	255	0	1	64	+0.16	1	77	0	1	79	0
1200	0	127	0	0	129	+0.16	0	155	+0.16	0	159	0
2400	0	63	0	0	64	+0.16	0	77	+0.16	0	79	0
4800	0	31	0	0	32	-1.36	0	38	+0.16	0	39	0
9600	0	15	0	0	15	+1.73	0	19	-2.34	0	19	0
19200	0	7	0	0	7	+1.73	0	9	-2.34	0	4	0
31250	0	4	-1.70	0	4	0	0	5	0	0	5	+2.40
38400	0	3	0	0	3	+1.73	0	4	-2.34	0	4	0

$\phi$ (MHz) ビットレート (bit/s)	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	130	-0.07	2	141	+0.03	2	174	-0.26	3	43	+0.88
150	2	95	0	2	103	+0.16	2	127	0	2	129	+0.16
300	1	191	0	1	207	+0.16	1	255	0	2	64	+0.16
600	1	95	0	1	103	+0.16	1	127	0	1	129	+0.16
1200	0	191	0	0	207	+0.16	0	255	0	1	64	+0.16
2400	0	95	0	0	103	+0.16	0	127	0	0	129	+0.16
4800	0	47	0	0	51	+0.16	0	63	0	0	64	+0.16
9600	0	23	0	0	25	+0.16	0	31	0	0	32	-1.36
19200	0	11	0	0	12	+0.16	0	15	0	0	15	+1.73
31250	-	-	-	0	7	0	0	9	-1.70	0	9	0
38400	0	5	0	-	-	-	0	7	0	0	7	+1.73

【注】 誤差はなるべく1%以内となるように設定してください。

表13.3 ビットレートに対するBRR設定値例 ( $\phi_p = \phi$ の場合) [調歩同期式モード] (3)

$\phi$ (MHz) ビットレート (bit/s)	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	+0.03	2	217	+0.08	3	64	+0.76	3	70	+0.03
150	2	155	+0.16	2	159	0	2	191	0	2	207	+0.16
300	2	77	+0.16	2	79	0	2	95	0	2	103	+0.16
600	1	155	+0.16	1	159	0	1	191	0	1	207	+0.16
1200	1	77	+0.16	1	79	0	1	95	0	1	103	+0.16
2400	0	155	+0.16	0	159	0	0	191	0	0	207	+0.16
4800	0	77	+0.16	0	79	0	0	95	0	0	103	+0.16
9600	0	38	+0.16	0	39	0	0	47	0	0	51	+0.16
19200	0	19	-2.34	0	19	0	0	23	0	0	25	+0.16
31250	0	11	0	0	11	+2.4	0	14	-1.7	0	15	0
38400	0	9	-2.34	0	9	0	0	11	0	0	12	+0.16

【注】 誤差はなるべく1%以内となるように設定してください。

表13.4 ビットレートに対するBRR設定値例 ( $\phi_p = \phi/2$ の場合) (調歩同期式モード) (1)

$\phi$ (MHz)	2			2.097152		
	n	N	誤差 (%)	n	N	誤差 (%)
ビットレート (bit/s)						
110	1	70	0.03	1	73	0.64
150	1	51	0.16	1	54	-0.70
300	0	207	0.16	0	217	0.21
600	0	103	0.16	0	108	0.21
1200	0	51	0.16	0	54	-0.70
2400	0	25	0.16	0	26	1.14
4800	0	12	0.16	0	13	-2.48
9600	-	-	-	0	6	-2.48
19200	-	-	-	-	-	-
31250	0	1	0	-	-	-
38400	-	-	-	-	-	-

$\phi$ (MHz)	2.4576			3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
ビットレート (bit/s)												
110	1	86	0.31	1	106	-0.44	1	130	-0.07	1	141	0.03
150	1	63	0	1	77	0.16	1	95	0	1	103	0.16
300	0	255	0	1	38	0.16	1	47	0	1	51	0.16
600	0	127	0	0	155	0.16	0	191	0	0	207	0.16
1200	0	63	0	0	77	0.16	0	95	0	0	103	0.16
2400	0	31	0	0	38	0.16	0	47	0	0	51	0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	0	2	8.51

表13.4 ビットレートに対するBRR設定値例 ( $\phi_p = \phi/2$ の場合) [調歩同期式モード] (2)

$\phi$ (MHz)	4.9152			5			6			6.144		
	ビットレート (bit/s)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N
110	1	174	-0.26	1	177	-0.25	1	212	0.03	1	217	0.08
150	1	127	0	1	129	0.16	1	155	0.16	1	159	0
300	1	63	0	1	64	0.16	1	77	0.16	1	79	0
600	0	255	0	1	32	1.36	1	38	0.16	1	39	0
1200	0	127	0	0	129	0.16	0	155	0.16	0	159	0
2400	0	63	0	0	64	0.16	0	77	0.16	0	79	0
4800	0	31	0	0	32	-1.36	0	38	0.16	0	39	0
9600	0	15	0	0	15	1.73	0	19	-2.34	0	19	0
19200	0	7	0	0	7	1.73	0	9	-2.34	0	9	0
31250	0	4	-1.70	0	4	0	0	5	0	0	5	2.40
38400	0	3	0	0	3	1.73	0	4	-2.34	0	4	0

$\phi$ (MHz)	7.3728			8			9.8304			10		
	ビットレート (bit/s)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0	1	207	0.16	1	255	0	2	64	0.16
300	1	95	0	1	103	0.16	1	127	0	1	129	0.16
600	1	47	0	1	51	0.16	1	63	0	1	64	0.16
1200	0	191	0	0	207	0.16	0	255	0	1	32	1.36
2400	0	95	0	0	103	0.16	0	127	0	0	129	0.16
4800	0	47	0	0	51	0.16	0	63	0	0	64	0.16
9600	0	23	0	0	25	0.16	0	31	0	0	32	-1.36
19200	0	11	0	0	12	0.16	0	15	0	0	15	1.73
31250	-	-	-	0	7	0	0	9	-1.70	0	9	0
38400	0	5	0	-	-	-	0	7	0	0	7	1.73

表13.4 ビットレートに対するBRR設定値例 ( $\phi_p = \phi/2$ の場合) (調歩同期式モード) (3)

$\phi$ (MHz) ビットレート (bit/s)	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0	2	95	0	2	103	0.16
300	1	155	0.16	1	159	0	1	191	0	1	207	0.16
600	1	77	0.16	1	79	0	1	95	0	1	103	0.16
1200	1	38	0.16	1	39	0	1	47	0	1	51	0.16
2400	0	155	0.16	0	159	0	0	191	0	0	207	0.16
4800	0	77	0.16	0	79	0	0	95	0	0	103	0.16
9600	0	38	0.16	0	39	0	0	47	0	0	51	0.16
19200	0	19	-2.34	0	19	0	0	23	0	0	25	0.16
31250	0	11	0	0	11	2.40	0	14	-1.70	0	15	0
38400	0	9	-2.34	0	9	0	0	11	0	0	12	0.16

<記号説明>

空欄：設定不可能です。

—：設定は可能ですが誤差が大きくなります。

【注】 誤差はなるべく1%以内となるように設定してください。

$$B = \frac{F}{64 \times 2^{2n-1} \times (N+1)} \times 10^6 \Rightarrow N = \frac{F}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ポーレートジェネレータのBRRの値  $0 \leq N \leq 255$

F：n ≠ 0のとき $\phi_p$ の値 (MHz)、n = 0のとき $\phi$ の値 (MHz)

n：ポーレートジェネレータ入力クロック n = 0、1、2、3

(nとクロックの関係は下表を参照してください。)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	$\phi$
1	0	1	0	$\phi/4$
2	1	0	0	$\phi/16$
3	1	1	0	$\phi/64$
0	0	0	1	$\phi$
1	0	1	1	$\phi/8$
2	1	0	1	$\phi/32$
3	1	1	1	$\phi/128$

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{F \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表13.5 ビットレートに対するBRR設定値例 ( $\phi_p = \phi$ の場合) [クロック同期式モード]

$\phi$ ビットレート (MHz) (bit/s)	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	-	-	3	124	-	-	3	249
500	1	249	2	124	-	-	2	249	-	-	3	124
1k	1	124	1	249	-	-	2	124	-	-	2	249
2.5k	0	199	1	99	1	124	1	199	1	249	2	99
5k	0	99	0	199	0	249	1	99	1	124	1	199
10k	0	49	0	99	0	124	0	199	0	249	1	99
25k	0	19	0	39	0	49	0	79	0	99	0	159
50k	0	9	0	19	0	24	0	39	0	49	0	79
100k	0	4	0	9	-	-	0	19	0	24	0	39
250k	0	1	0	3	0	4	0	7	0	9	0	15
500k	0	0*	0	1	-	-	0	3	0	4	0	7
1M			0	0*	-	-	0	1	-	-	0	3
2.5M									0	0*	-	-
4M											0	0*

<記号説明>

空欄：設定不可能です。

-：設定は可能ですが、誤差が出ます。

\*：連続転送はできません。

表13.6 ビットレートに対するBRR設定値例 ( $\phi_p = \phi/2$ の場合) (クロック同期式モード)

$\phi$ ビットレート (MHz) (bit/s)	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100	-	-	-	-	-	-	-	-	-	-	-	-
250	1	249	2	124	-	-	2	249	-	-	3	124
500	1	124	1	249	-	-	2	124	-	-	2	249
1k	-	-	1	124	-	-	1	249	-	-	2	124
2.5k	0	199	1	49	-	-	1	99	1	124	1	199
5k	0	99	0	199	0	249	1	49	-	-	1	99
10k	0	49	0	99	0	124	0	199	0	249	1	49
25k	0	19	0	39	0	49	0	79	0	99	0	159
50k	0	9	0	19	0	24	0	39	0	49	0	79
100k	0	4	0	9	-	-	0	19	0	24	0	39
250k	0	1	0	3	0	4	0	7	0	9	0	15
500k	0	0*	0	1	-	-	0	3	0	4	0	07
1M			0	0*	-	-	0	1	-	-	0	03
2.5M							-	-	0	0*	-	-
4M									-	-	0	0*

<記号説明>

空欄：設定不可能です。

-：設定は可能ですが、誤差が出ます。

\*：連続転送はできません。

$$B = \frac{F}{8 \times 2^{2n-1} \times (N+1)} \times 10^6 \quad \Leftrightarrow \quad N = \frac{F}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの値  $0 \leq N \leq 255$

F：n ≠ 0のとき $\phi_p$ の値 (MHz)、n = 0のとき $\phi$ の値 (MHz)

n：ボーレートジェネレータ入力クロック  $n = 0, 1, 2, 3$

(nとクロックの関係は下表を参照してください。)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	$\phi$
1	0	1	0	$\phi / 4$
2	1	0	0	$\phi / 16$
3	1	1	0	$\phi / 64$
0	0	0	1	$\phi$
1	0	1	1	$\phi / 8$
2	1	0	1	$\phi / 32$
3	1	1	1	$\phi / 128$

### 13.2.9 シリアルコミュニケーションモードレジスタ (SCMR)

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値	1	1	1	1	0	0	1	0
R/W	—	—	—	—	R/W	R/W	—	R/W

SCMRは、8ビットのリード/ライト可能なレジスタで、SCI0の機能の選択を行います。SCMRはリセットまたはスタンバイモード時にH'F2にイニシャライズされます。

#### ビット7～4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット3：データトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納 <span style="float: right;">(初期値)</span>
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

#### ビット2：データインバート (SINV)

データのロジックレベルの反転を指定します。SINVビットによる反転はデータビットD<sub>7</sub>～D<sub>0</sub>のみです。パリティビットの反転のためには、SMRのO/Eビットを反転する必要があります。

ビット2	説明
SINV	
0	TDRの内容をそのまま送信 受信データをそのままRDRに格納 <span style="float: right;">(初期値)</span>
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：シリアルコミュニケーションモードセレクト (SMIF)

リザーブビットです。“1”をライトしないでください。

ビット0	説 明	
SMIF		
0	通常SCIモード	(初期値)
1	リザーブモード	

## 13.3 動作説明

### 13.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ(SMR)で行います。これを表13.7に示します。また、SCIのクロックソースは、シリアルモードレジスタ(SMR)のC/Aビットおよびシリアルコントロールレジスタ(SCR)のCKE1、CKE0ビットの組合せで決まります。これを表13.8に示します。

#### (1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および、1または2ビットのストップビットの付加を選択可能（これらの組合せで転送フォーマットおよび、キャラクタ長を決定）
- フレーミングエラー(FER)、パリティエラー(PER)、オーバランエラー(ORER)およびブレイクの検出が可能（受信時）
- SCIのクロックソース：内部クロック／外部クロックから選択可能
  - ・内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作  
ビットレートと同じ周波数のクロックを出力することが可能
  - ・外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要  
(内蔵ポーレートジェネレータを使用しない)

#### (2) クロック同期式モード

- 転送フォーマット：8ビットデータ固定
- 受信時にオーバランエラー(ORER)の検出可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能
  - ・内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
  - ・外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表13.7 シリアルモードレジスタ (SMR) の設定値とSCIの送信/受信フォーマット

SMRの設定値					モード	SCIの送信/受信フォーマット							
bit7	bit6	bit2	bit5	bit3		データ長	マルチプロセッサビット	パリティビット	ストップビット長				
C/A	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット				
				1					2ビット				
			1	0					0	1ビット			
									1	2ビット			
			1	0					0	1ビット			
									1	2ビット			
	1	0	0	1ビット									
			1	2ビット									
	0	1	1	—		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット		
				—		1					2ビット		
				1		0		—			0	7ビットデータ	1ビット
								—			1		2ビット
1	—	—	—	—	クロック同期式モード	8ビットデータ	なし	なし	なし				

表13.8 SMR、SCRの設定とSCIのクロックソースの選択

SMR	SCRの設定		モード	SCIの送信/受信クロック	
bit7	bit1	bit0		クロックソース	SCK端子の機能
C/A	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	入出力ポート(SCIは、SCK端子を使用しません)
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの16倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図13.2に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク（“High”レベル）に保たれています。SCIは通信回線を監視し、スペース（“Low”レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（“Low”レベル）から始まり、データ（LSBファースト：最下位ビットから）、パリティビット（“High”または“Low”レベル）、最後にストップビット（“High”レベル）の順で構成されています。

調歩同期式モードでは、SCIは受信時にスタートビットの立下がりエッジで同期化を行います。またSCIは、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

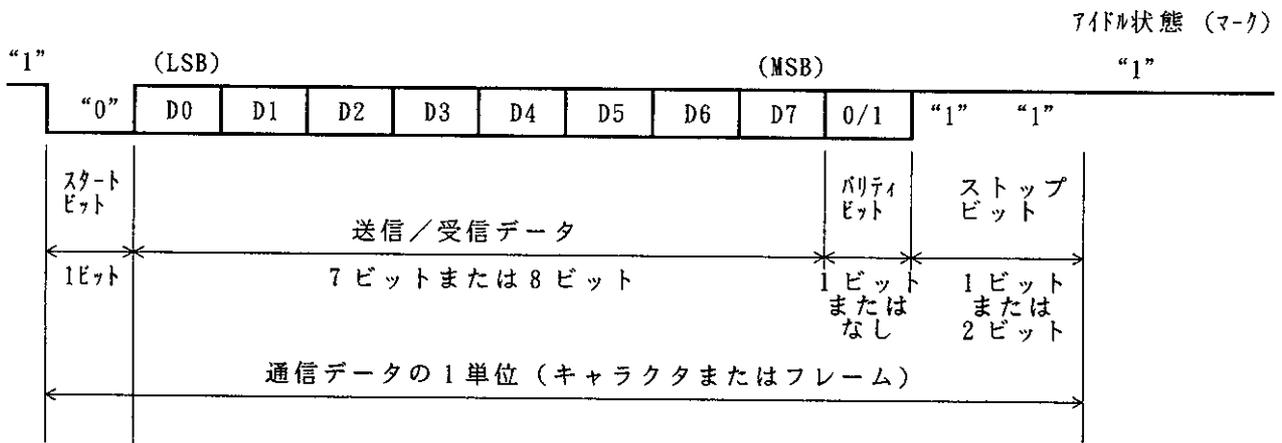


図13.2 調歩同期式通信のデータフォーマット  
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表13.9に示します。

送信／受信フォーマットは12種類あり、シリアルモードレジスタ（SMR）の設定により選択できます。

表13.9 S C I の送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

<記号説明>

SMR：シリアルモードレジスタ

P：パリティビット

S：スタートビット

MPB：マルチプロセッサビット

STOP：ストップビット

(2) クロック

SCIの送受信クロックは、シリアルモードレジスタ (SMR) のC/Aビットとシリアルコントロールレジスタ (SCR) のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表13.6を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロックの立上がりエッジがくるようになります。

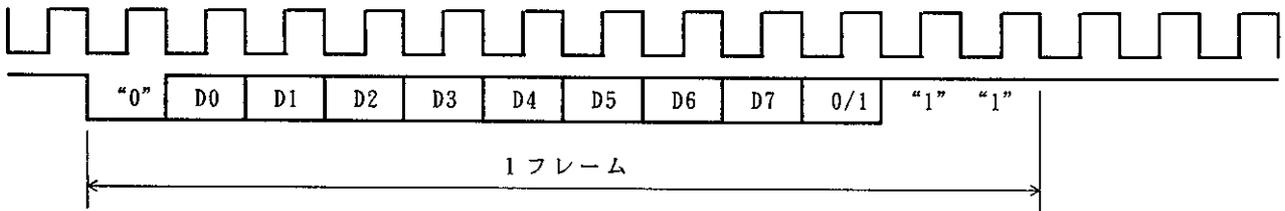


図13.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信/受信動作

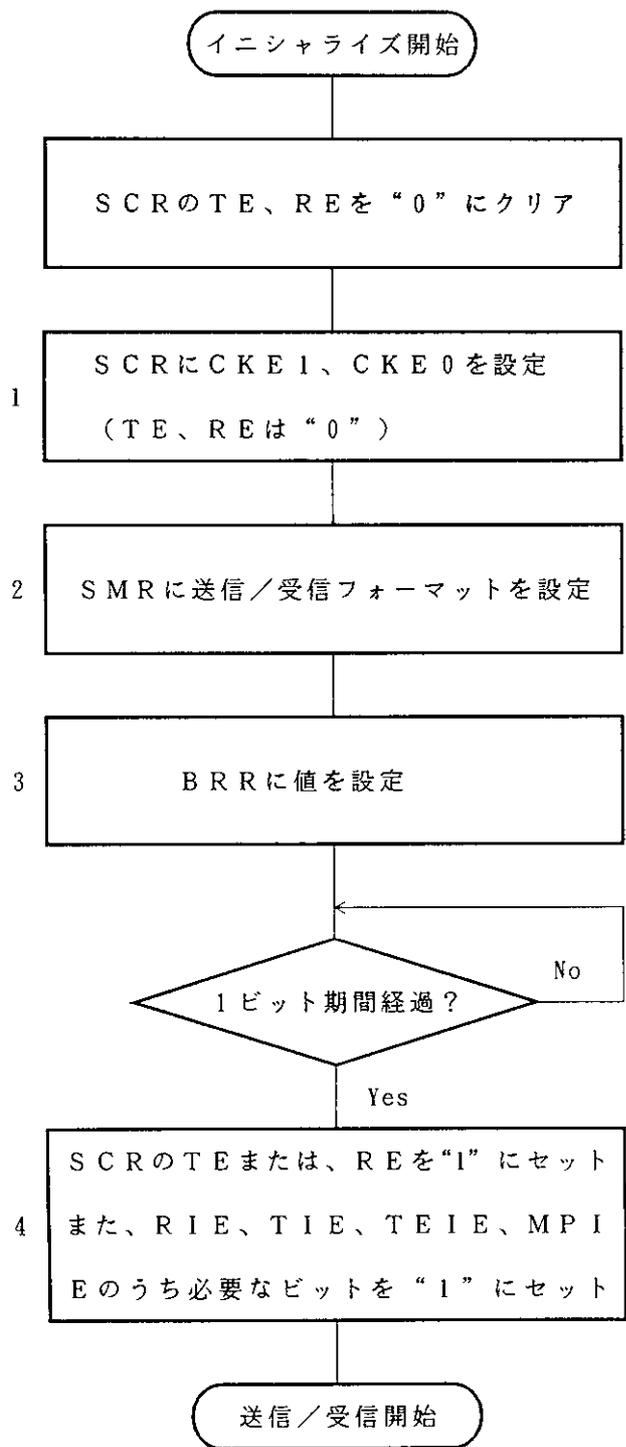
■SCIのイニシャライズ

データの送信/受信前には、まずシリアルコントロールレジスタ (SCR) のTEビットおよび、REビットを“0”にクリアした後、図13.4の手順でSCIをイニシャライズしてください。

[注意事項]

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを“0”にクリアしてから下記手順で変更を行ってください。TEビットを“0”にクリアするとTDREビットは“1”にセットされ、トランスミットシフトレジスタ (TSR) がイニシャライズされます。REビットを“0”にクリアしても、RDRF、PER、FER、ORERの各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

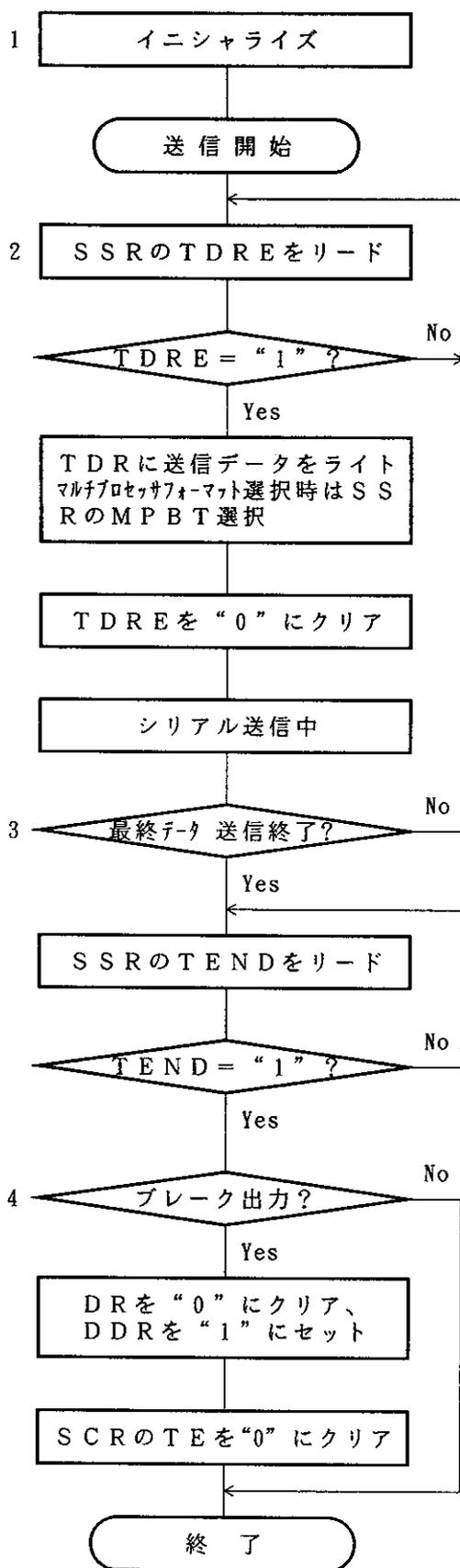


- 1 シリアルコントロールレジスタ (SCR) にクロックの選択を設定してください。なお、TEビット、REビットは必ず“0”にクリアしてください。調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、ただちに出力されます。
- 2 シリアルモードレジスタ (SMR) に送信/受信フォーマットを設定します。
- 3 ビットレートレジスタ (BRR) に通信レートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。
- 4 少なくとも1ビット期間、シリアルコントロールレジスタ (SCR) のTEビットとREビットを“0”に保ってください。その後、TEビット、REビットを設定することによりTxD、RxD端子が使用可能となります。また、RIE、TIE、TEIE、MPIEのうち必要なビットを割込み許可となるよう設定してください。送信時には“マーク状態”となり、受信時にはスタートビット待ちのアイドル状態になります。

図13.4 SCIのイニシャライズフローチャートの例

## ■ シリアルデータ送信

シリアルデータ送信は図13.5の手順に従って行ってください。



- 1 SCIをイニシャライズ：  
TxD端子は自動的にシリアルデータ送信端子になります。
- 2 SCIの状態を確認して、送信データをライト：  
シリアルステータスレジスタ（SSR）をリードして、TDREビットが“1”であることを確認した後、トランスミットデータレジスタ（TDR）に送信データを書込み、TDREビットを“0”にクリアします。  
また、マルチプロセッサフォーマットを選択している場合には、送信データ書き込みに続いてSSRのマルチプロセッサビットトランスファ（MPBT）に“0”または“1”をライトください。TDREが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。
- 3 (a) シリアル送信の継続手順：  
シリアル送信を続けるときには、必ずTDREビットの“1”をリードして書き込み可能であることを確認した後TDRにデータをライトし、続いてTDREビットを“0”にクリアしてください。  
(b) シリアル送信の終了手順：  
最終データの送信終了はTENDビットが“0”から“1”に変化したことによって確認できます。これはTEI割込みによって知ることができます。
- 4 シリアル送信の終了時にブレークを出力：  
シリアル送信時にブレークを出力するときには、ポートのDRを“0”にクリア、DDRを“1”にセットした後SCRのTEビットを“0”にクリアします。

図13.5 シリアルデータ送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

① SCIは、SSRのTDREをビット監視し、“0”であるとトランスファデータレジスタ（TDR）にデータが書き込まれたと認識し、TDRからトランスファシフトレジスタ（TSR）にデータを転送します。

② TDRからTSRへデータを転送した後にTDREビットを“1”にセットし、送信を開始します。

このとき、SCRのTIE（TDRエンプティ割込みイネーブル）が“1”にセットされているとTXI（TDRエンプティ）割込み要求を発生します。

シリアル送信データは、以下の順にTxD端子から送出されます。

- (a) スタートビット：1ビットの“0”が出力されます。
- (b) 送信データ：8ビットまたは、7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または、奇数パリティ）または1ビットのマルチプロセッサビットが出力されます。  
 なお、パリティビットまたは、マルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの“1”（ストップビット）が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送出するまで“1”を出力し続けます。

③ SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。

TDREビットが“0”であるとTDRからTSRにデータを転送し、ストップビット送出後、次フレームのシリアル送信を開始します。

TDREビットが“1”であるとSSRのTENDビットに“1”をセットし、ストップビット送出後、“1”を出力する“マーク状態”になります。このときSCRのTEIE（TSRエンプティ割込みイネーブル）が“1”にセットされているとTEI（TSRエンプティ）割込み要求を発生します。

調歩同期式モード・送信時のSCIの動作例を図13.6に示します。

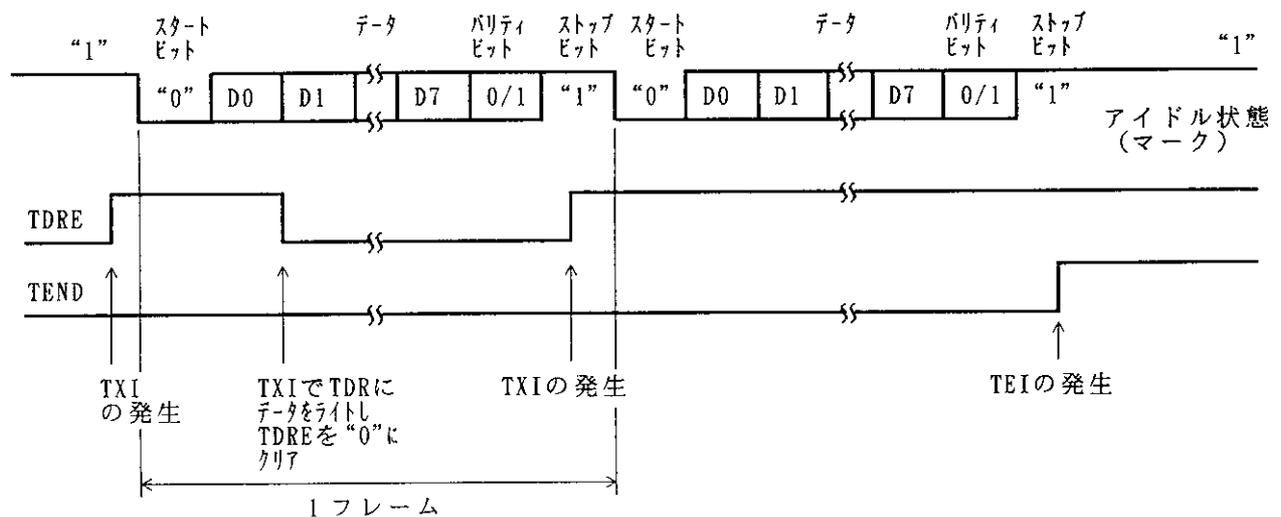
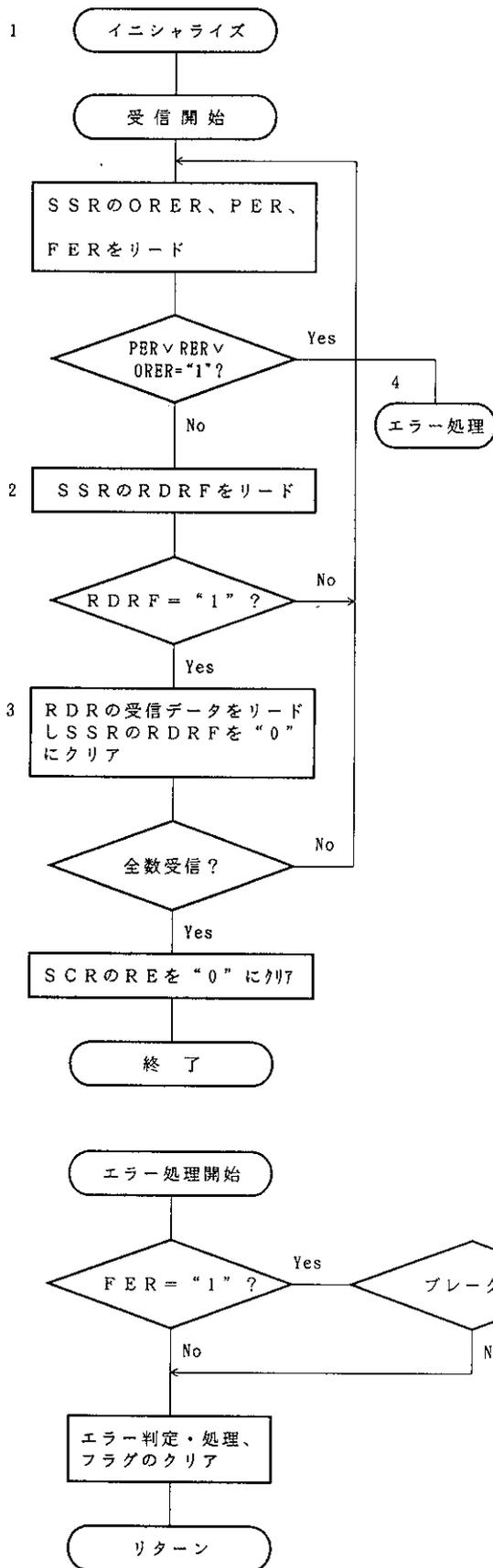


図13.6 SCIの送信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

■ シリアルデータ受信

シリアルデータ受信は図12.7の手順に従って行ってください。



- 1 SCIのイニシャライズ：  
RxD端子は自動的にシリアルデータ受信端子になります。
- 2 シリアル受信の継続手順：  
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRをリードし、RDRFビットを“0”にクリアしておいてください。
- 3 SCIの状態を確認して受信データのリード：  
シリアルステータスレジスタ（SSR）をリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタ（RDR）の受信データをリードし、RDRFビットを“0”にクリアします。RDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。
- 4 受信エラー処理とブレークの検出：  
受信エラーが発生したときには、SSRのORER、PER、FERビットをリードしてエラーを判定し、所定のエラー処理を行った後、必ず、ORER、PER、FERビットをすべて“0”にクリアしてください。ORER、PER、FERビットのどれかが“1”にセットされた状態では送信／受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

図13.7 シリアル受信データフローチャートの例

SCIは受信時に以下のように動作します。

- ① SCIは通信回線を監視し、スタートビットの“0”を検出すると内部を同期化します。
- ② 受信したデータをRSRのLSBからMSBの順にセットします。
- ③ パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの“1”の数をチェックし、これがSMRのO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが“1”であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFビットが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックが全てパスしたときRDRFビットが“1”にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラーを発生すると表13.8のように動作します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。

また、受信時にRDRFが“1”にセットされませんので、必ずフラグをクリアしてください。

④ RDRFビットが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）が“1”にセットされているとRXI（受信完了）割込みを発生します。

また、ORER、PER、FERビットのどれかが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）が“1”にセットされているとERI（受信エラー）割込みを発生します。

調歩同期モードの受信時の動作例を図13.10に示します。

表13.10 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFが“1”にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが“0”のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

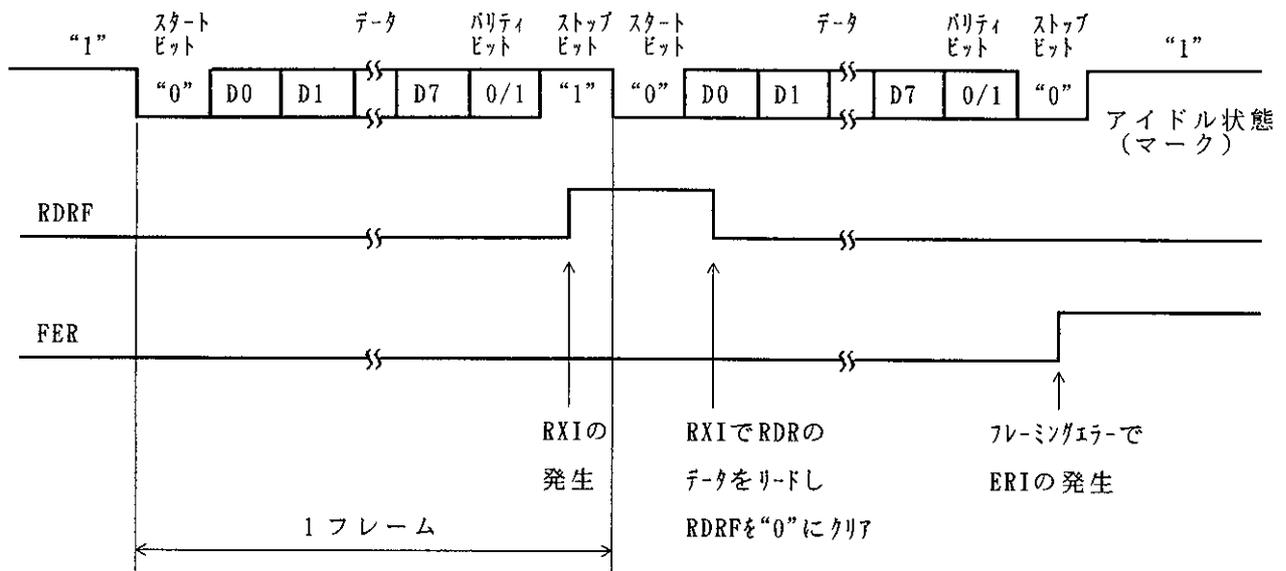


図13.8 SCIの受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

#### (4) マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定するID送信サイクルとデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局のIDを、マルチプロセッサビット“1”を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット“0”を付加したデータにして送信します。

受信局は、マルチプロセッサビット“1”のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット“1”のデータを受信すると、自局のIDと比較し、一致した局は続いて送信されるデータを受信します。このようにして複数のプロセッサ間のデータ送受信が行われます。

マルチプロセッサフォーマットを指定した場合の送信／受信フォーマットは4種類あります。いずれのフォーマットでもパリティビットの指定は無効になります。詳細は表13.7を参照してください。

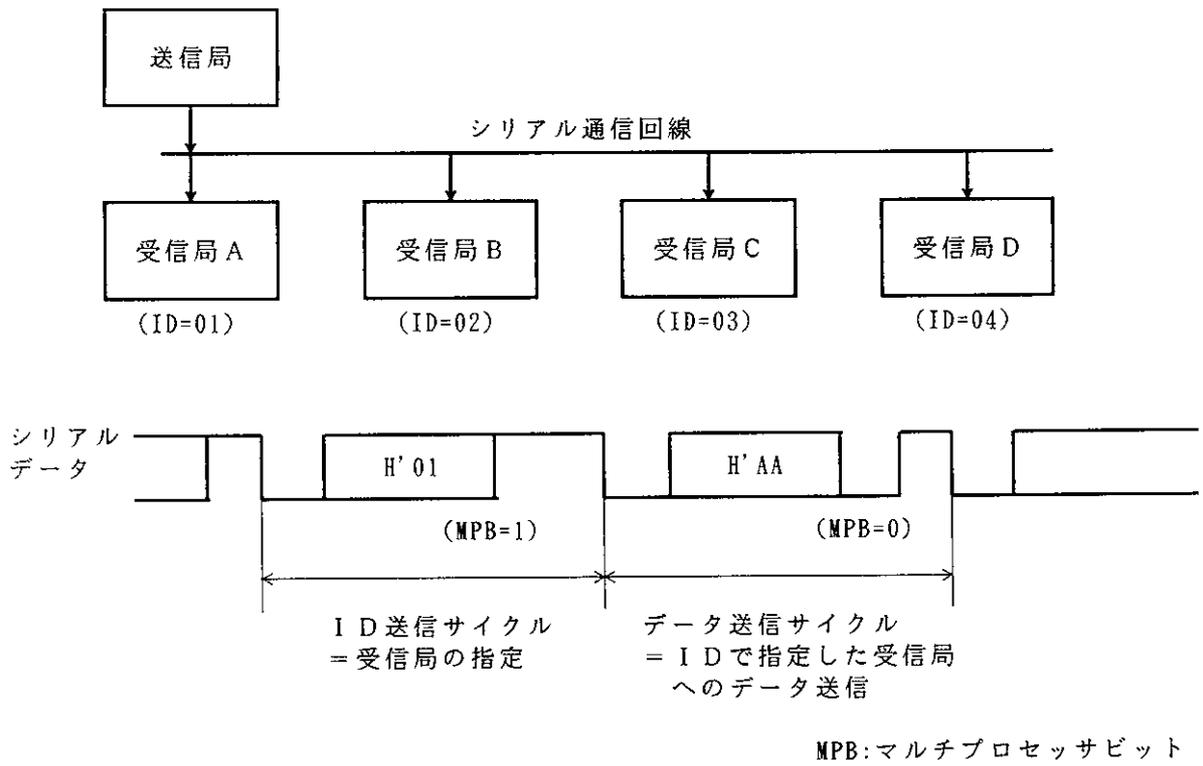


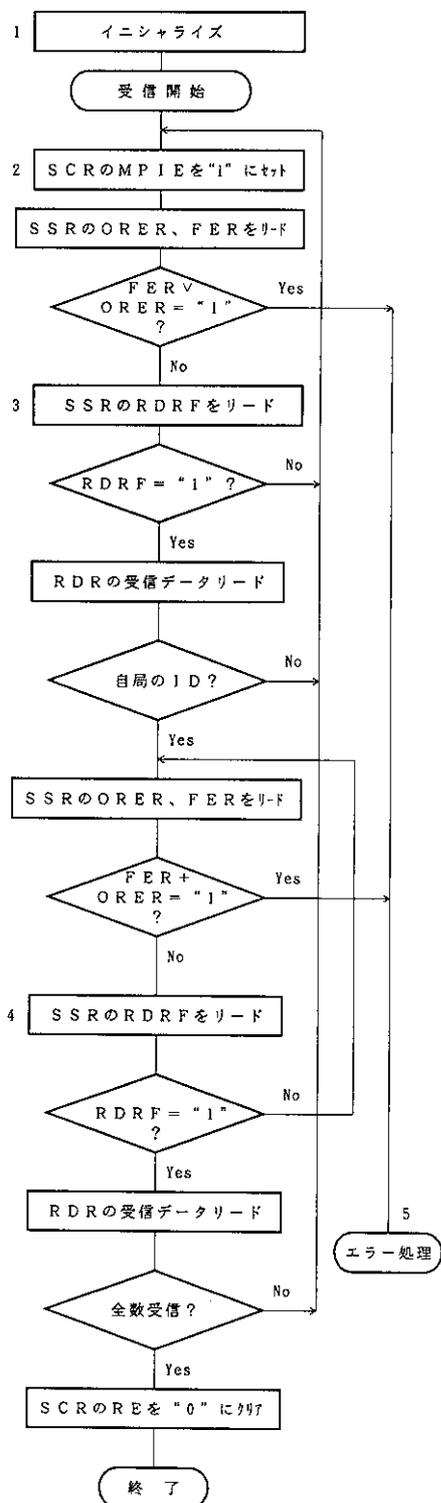
図13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
 (受信局 A へのデータ H' AA の送信の例)

■マルチプロセッサシリアルデータ送信

図13.5、図13.6を参照してください。

■マルチプロセッサシリアルデータ受信

マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。



- 1 SCIのイニシャライズ:  
RxD端子は自動的にシリアルデータ受信端子になります。
- 2 ID受信サイクル:  
シリアルコントロールレジスタ (SCR) のMPIEビットに“1”をセットしておきます。
- 3 SCIの状態を確認してIDの受信と比較:  
SSRをリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタの (RDR) のデータをリードし、自局のIDと比較します。IDの受信によりRDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。自局のIDでないときには、再びMPIEビットに“1”をセットし、RDRFビットを“0”にクリアします。自局のIDのときには、RDRFビットを“0”にクリアします。
- 4 SCIの状態を確認してデータの受信:  
SSRをリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタの (RDR) のデータをリードし、RDRFビットに“0”をライトします。RDRFが“0”から“1”変化したことは、RXI割込みでも知ることができます。
- 5 受信エラー処理とブレイクの検出:  
受信エラーが発生したときには、SSRのORDER、FERビットをリードしてエラーを判定し、所定のエラー処理を行った後、必ず、ORDER、FERビットをすべて“0”にクリアしてください。ORDER、FERビットのどれかが“1”にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレイクの検出ができます。

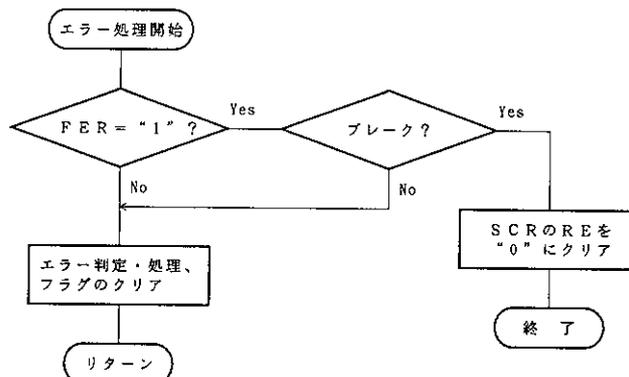
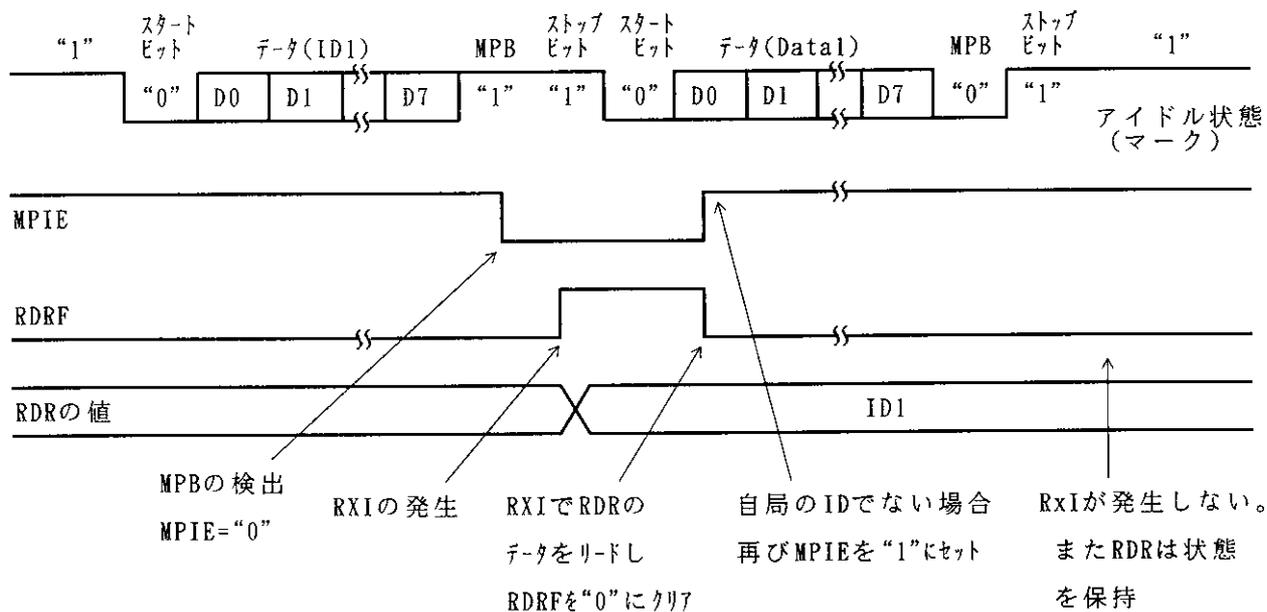


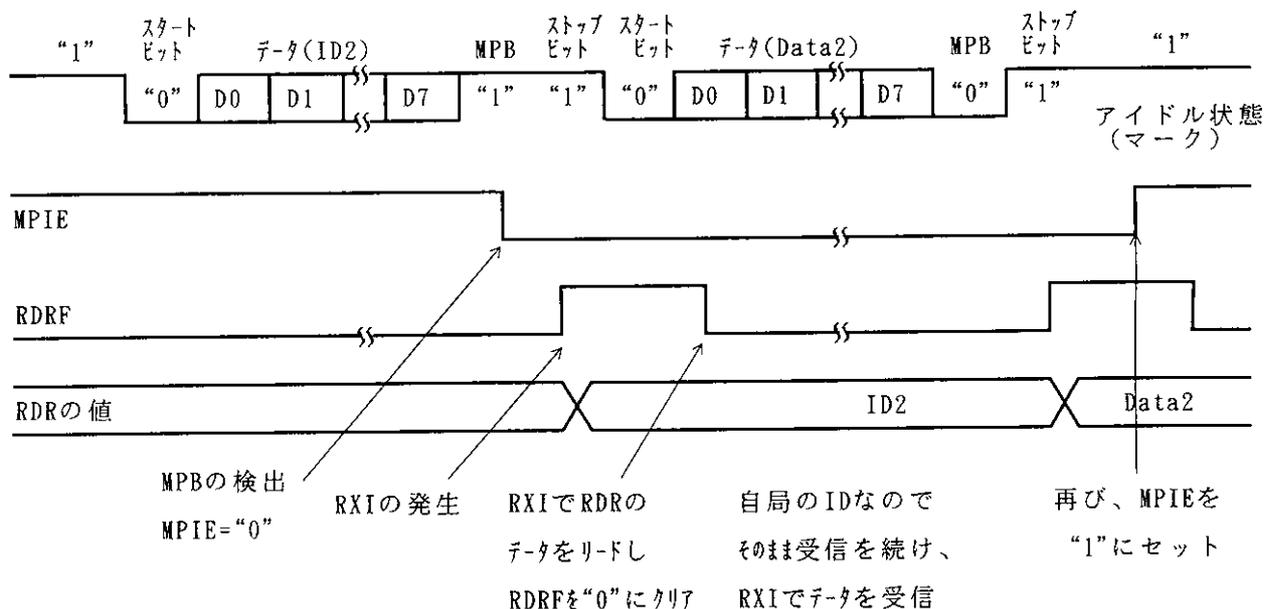
図13.10 マルチプロセッサシリアルデータ受信のフローチャートの例

図13.11にSCIの受信時の動作例（8ビットデータ/マルチプロセッサビットあり/1ストップビットの例）を示します。



(マルチプロセッサ割込み)

(a) 自局のIDと一致しないとき



(マルチプロセッサ割込み)

(b) 自局のIDと一致したとき

図13.11 SCIの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

### 13.3.3 クロック同期式モード時の動作

#### (1) 概要

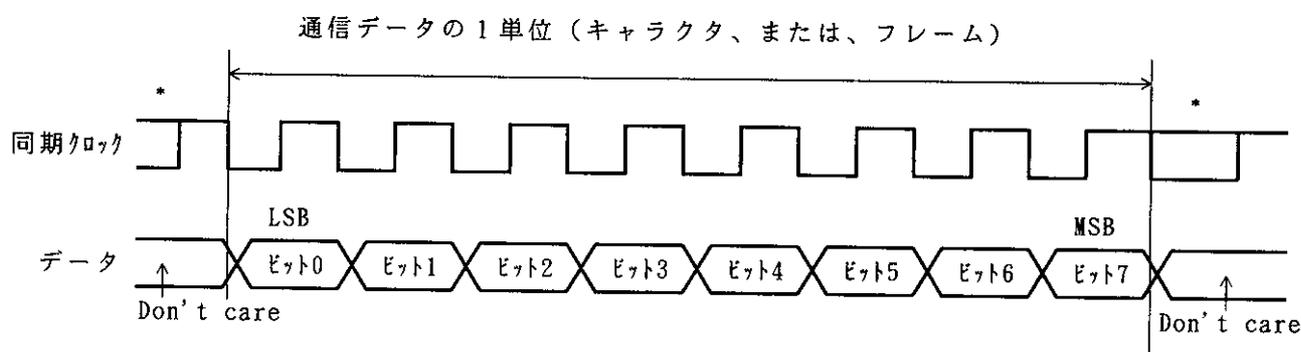
クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードです。

クロック同期式モードは、高速シリアル通信に適しています。

S C I 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部／受信部が共にダブルバッファ構造になっていますので送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図13.12 に示します。



【注】 \* 連続送信／受信のとき以外は“High”レベル

図13.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりに同期してデータを受信します。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。通信回線のデータは、次の同期クロックが立下がるまで、MSB出力に保たれます。

#### ■ 送信／受信フォーマット：8ビットデータ固定

パリティビットやマルチプロセッサビットの付加はできません。

- クロック：シリアルモードレジスタ (SMR) のC/Aビットとシリアルコントロールレジスタ (SCR) のCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。S C I のクロックソースの選択については表13.6を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わない時には“High”レベルに固定されます。

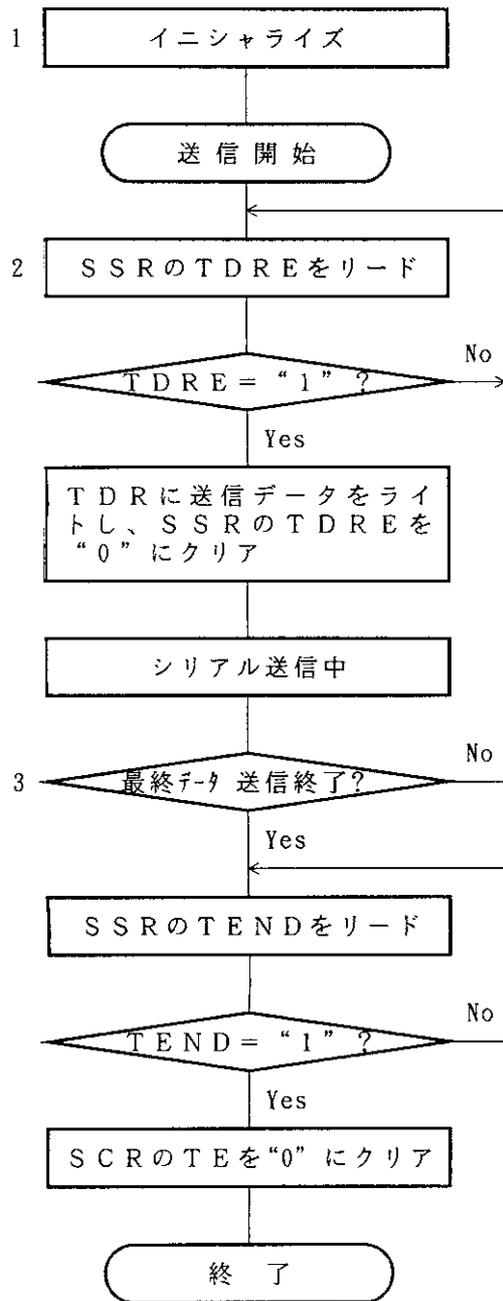
(2) データの送信／受信動作

■ S C I のイニシャライズ

調歩同期式モードと同様にイニシャライズします。図13.4を参照してください。動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ずORER、FER、PERビットが“0”にクリアされていることを確認してください。ORER、FER、PERビットが“1”にセットされていると送信／受信動作を開始できません。

■ シリアルデータ送信

シリアルデータ送信は図13.13の手順に従って行ってください。



- 1 S C I をイニシャライズ：  
TxD端子は自動的にシリアルデータ送信端子になります。
- 2 S C I の状態を確認して、送信データをライト：  
シリアルステータスレジスタ (SSR) をリードして、TDREビットが“1”であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込み、TDREビットを“0”にクリアします。  
TDREビットが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。
- 3 (a) シリアル送信の継続手順：  
シリアル送信を続けるときには、必ずTDREビットの“1”をリードして書込み可能であることを確認した後にTDRにデータをライトし、続いてTDREビットを“0”にクリアしてください。  
(b) シリアル送信終了手順：  
最終データの送信終了はTENDビットが“0”から“1”に変化したことによって確認できます。これはTEI割込みによっても知ることができます。

図13.13 シリアルデータ送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

① SCIは、SSRのTDREビットを監視し、“0”であるとトランスファデータレジスタ（TDR）にデータが書き込まれたと認識し、TDRからトランスファシフトレジスタ（TSR）にデータを転送します。

② TDRからTSRへデータを転送した後にTDREビットを“1”にセットし、送信を開始します。

このとき、SCRのTIEビット（TDRエンプティ割込みイネーブル）が“1”にセットされているとTXI（TDRエンプティ）割込み要求を発生します。

クロック出力モードに設定したときには、TDREビットが“0”にクリアされたことをトリガとして、SCIはデータに同期したクロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB（ビット0）～MSB（ビット7）の順にTxD端子から送出されます。

③ SCIは、MSB（ビット7）を送出するタイミングでTDREビットをチェックします。

TDREビットが“0”であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。

TDREビットが“1”であるとSSRのTENDビットに“1”をセットし、MSB（ビット7）送出後、状態を保持します。このときSCRのTEIE（TSRエンプティ割込みイネーブル）が“1”にセットされているとTEI（TSRエンプティ）割込み要求を発生します。

④ シリアル送信終了後は、SCK端子は“High”レベル固定になります。

図13.14 に S C I の送信時の動作例を示します。

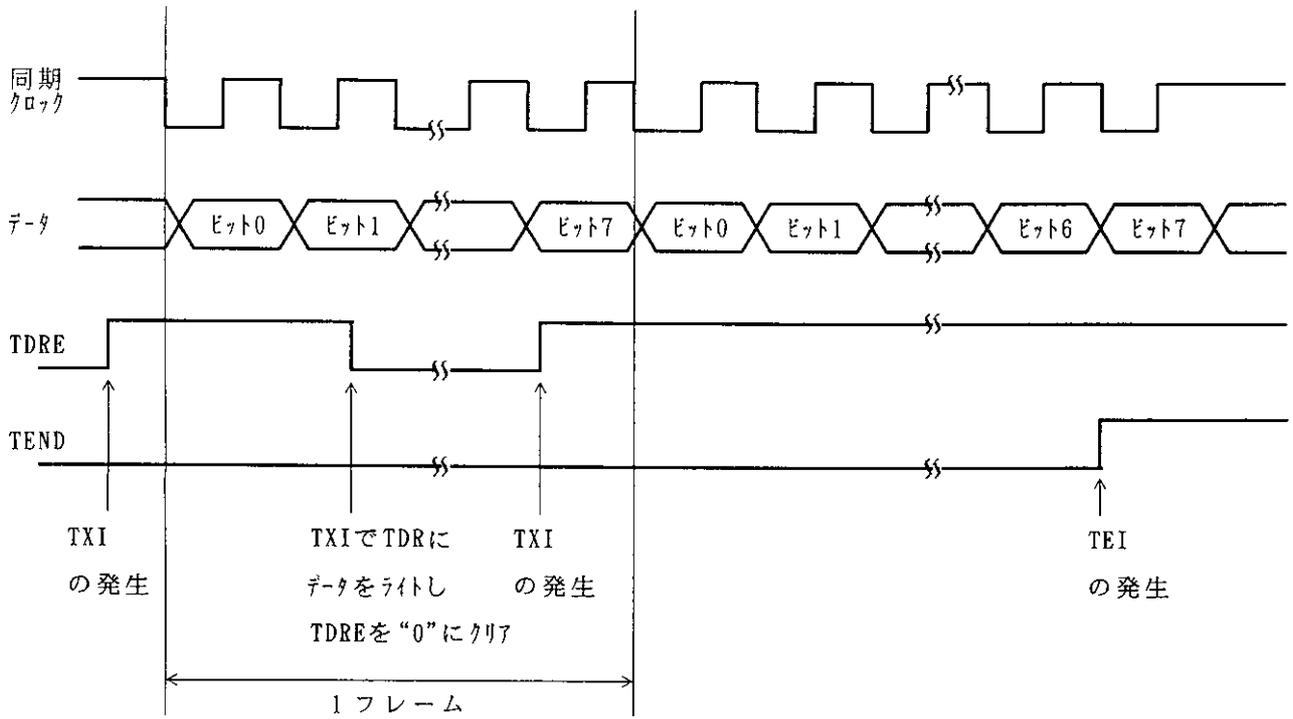


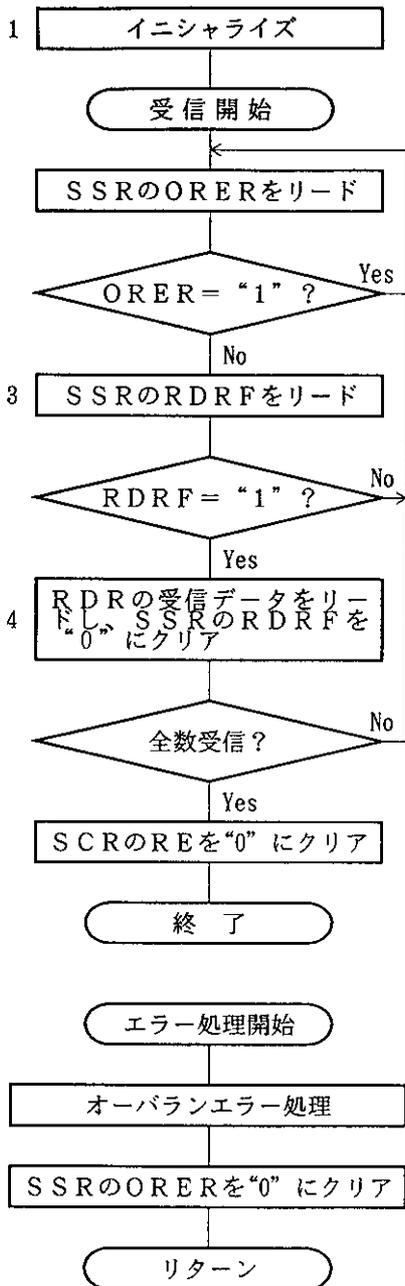
図13.14 S C I の送信時の動作例

■ シリアルデータ受信

シリアルデータ受信は図13.15の手順に従い行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、FER、PERビットが“0”にクリアされていることを確認してください。

FER、PERビットが“1”にセットされているとRDRFビットがセットされません。また、送信／受信動作が行えません。



- 1 SCIのイニシャライズ：  
RxD端子は自動的にシリアルデータ受信端子になります。
- 2 受信エラー処理：  
受信エラーが発生したときには、SSRのORERビットをリードしてから、所定のエラー処理を行った後、ORERビットを“0”にクリアしてください。  
ORERビット“1”にセットされた状態では送信／受信を再開できません。  
クロック出力モードを設定したときには、受信を一時停止するため、1バイトのダミー受信を行ってオーバランエラーを発生させる方法があります。この場合、次のデータの受信準備ができた段階でORERビットを“0”にクリアしてください。これにより受信が再開されるので、フローチャートの3の処理に戻ってください。
- 3 SCIの状態を確認して、受信データのリード：  
シリアルステータスレジスタ（SSR）をリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタ（RDR）の受信データをリードし、RDRFビットを“0”にクリアします。RDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。
- 4 シリアル受信の継続手順：  
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRのデータをリードし、RDRFビットを“0”にクリアしておいてください。

図13.15 シリアルデータ受信フローチャートの例

SCIは受信時に以下のように動作します。

① 外部クロックに設定したときには、入力クロックに同期してデータを入力します。クロック出力モードに設定したときには、SCIはREビットを“1”にセットするとただちに同期クロックを出力しデータを入力します。また、ORERビットが“1”にセットされて同期クロックが停止している場合、ORERビットを“0”にクリアするとただちに同期クロックの出力を再開しデータを入力します。

② 受信したデータをRSRのLSBからMSBの順にセットします。

受信後、SCIは、RDRFビットが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックがパスしたときRDRFビットが“1”にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラーを発生すると表13.8のように動作します。

**【注】** 受信エラーがセットされた状態では、以後の送信・受信動作が行えません。

また、受信時にRDRFビットが“1”にセットされませんので必ずフラグをクリアしてください。

③ RDRFビットが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）ビットが“1”にセットされているとRXI（受信完了）割込みを発生します。

また、ORERビットが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）ビットが“1”にセットされているとERI（受信エラー）割込みを発生します。

クロック出力モードに設定したときには、クロックはREビットを“0”にクリアしたとき、またはORERビットが“1”にセットされたときに停止します。クロック数のカウントずれを発生させないためには、1バイトのダミー受信を行ってオーバランエラーを発生させる方法が確実です。

図13.16 に S C I の受信時の動作例を示します。

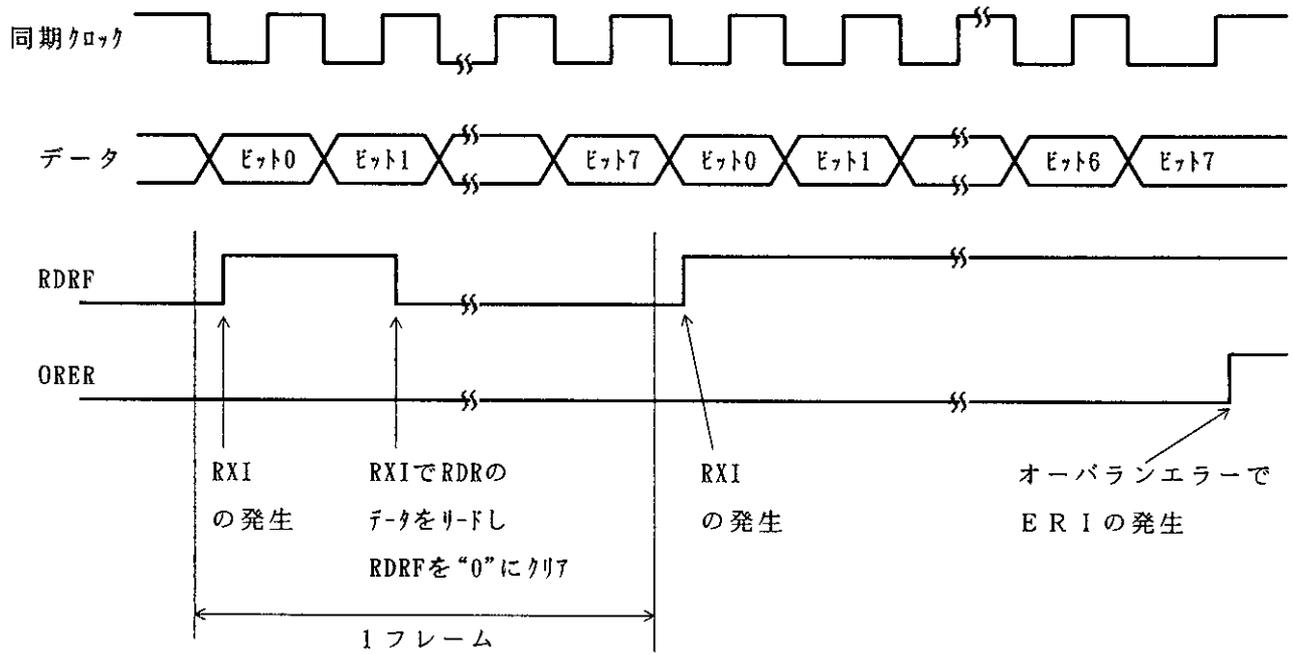
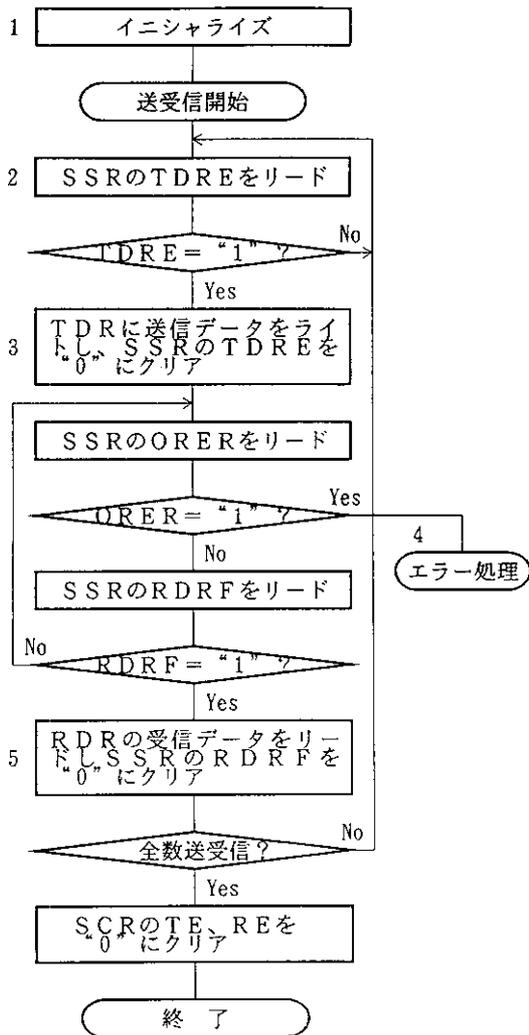


図13.16 S C I の受信時の動作例

■ シリアルデータ送受信同時動作

シリアルデータ送受信同時動作は、図13.17の手順に従って行ってください。クロック出力モードを設定したときには、シリアル送信時と同じタイミングで同期クロックが出力されます。



- 1 イニシャライズ：  
TxD端子はシリアルデータ送信端子に、RxD端子はシリアルデータ受信端子になり送受信同時動作可能状態になります。
- 2 SCIの状態確認と送信データのライト：  
シリアルステータスレジスタ（SSR）をリードしてTDREビットが“1”であることを確認した後、トランスミットデータレジスタ（TDR）に送信データを書き込み、TDREビットを“0”にクリアします。  
TDREビットが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。
- 3 SCIの状態を確認して受信データのリード：  
シリアルステータスレジスタ（SSR）をリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタ（RDR）の受信データをリードし、RDRFビットを“0”にクリアします。  
RDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。
- 4 受信エラー処理：  
受信エラーが発生したときには、SSRのORERビットをリードしてから、所定のエラー処理を行った後、ORERビットを“0”にクリアしてください。  
ORERビット“1”にセットされた状態では送信／受信を再開できません。
- 5 シリアル送受信の継続手順：  
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRをリードしRDRFビットを“0”にクリアしておいてください。

また、現在のフレームのMSB（ビット7）を送信する前にTDREビットの“1”をリードして書込み可能であることを確認してTDRにデータをライトしTDREビットを“0”にクリアしておいてください。

図13.17 シリアル送受信同時動作のフローチャートの例

【注】送信、または受信動作から同時送受信に切り換えるときには、TEビットとREビットを“0”にクリアしてからTEビットとREビットを“1”にセットしてください。

## 13.4 S C I 割込み

S C I の割込み要因は、E R I、R X I、T X I および T E I の4種類があります。表13.11に各割込み要因と優先順位を示します。各割込み要因は、S C R の T I E ビット、R I E ビットおよび T E I E ビットで、許可または禁止され、それぞれ独立に割込みコントローラに送られます。ただし、受信エラー割込み（E R I）だけは、3種類のエラー要因（オーバランエラー、フレーミングエラー、パリティエラー）の論理和です。

なお、T X I 割込みは送信データをライト可能なことを示し、T E I 割込みは送信動作が終了したことを示しています。

表13.11 S C I 割込み要因

割込み要因	内 容	優先順位
E R I	受信エラー（ORER、FER、PER）による割込み	↑ 高 ↓ 低
R X I	受信完了（RDRF）による割込み	
T X I	TDR エンプティ（TDRE）による割込み	
T E I	TSR エンプティ（TEND）による割込み	

## 13.5 使用上の注意

SCIを使用するうえで以下のことに注意してください。

### (1) TDRへのライト動作

SSRのTDREビットは、TDRのデータがTSRへ転送されたことを示すビットです。TDRへのライトはTDREビットの値にかかわらず行うことができます。このためTDREビットが“0”のときTDRへライトすると、TDRからTSRへの転送が行われる前にTDRのデータが書き換えられることとなります。したがって、TDREビットが“1”にセットされてからTDRへ転送データをライトしてください。

### (2) 受信エラーが複数発生した場合の動作

複数の受信エラーが同時に発生した場合、各ビットの状態およびRSRからRDRへのデータの転送は、表13.12に示すようになります。

表13.12 SSRのビットの状態およびRSRからRDRへのデータ転送（複数の受信エラー発生時）

受信エラー	SSRのビット				RSRからRDRへの転送*2
	RDRF	ORER	FER	PER	
オーバランエラー	1*1	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバラン+フレーミングエラー	1*1	1	1	0	×
オーバラン+パリティエラー	1*1	1	0	1	×
フレーミング+パリティエラー	0	0	1	1	○
オーバラン+フレーミング+パリティエラー	1*1	1	1	1	×

【注】 \*1 オーバランエラーの発生以前に“1”にセットされています。

\*2 ○：転送することを示します。  
×：転送しないことを示します。

### (3) ブレークの検出

RxD端子からの入力すべて“0”（ブレーク状態）になると、SCIはストップビットが“0”になるためフレーミングエラーを発生し、そのときのRSRの値（H'00）をRDRに転送します。これによりブレークの検出ができます。

また、データ受信動作は継続して行われるため、FERビットを“0”にクリアすると再びフレーミングエラーが発生します。

(4) 調歩同期式のサンプリングタイミングと受信マージン

調歩同期式の基本クロックは転送レートの16倍になっています。フレームの同期化は、スタートビットの立下がりを基本クロックの立下がりエッジでサンプリングして行います。また、受信データ（スタートビット、ストップビット、パリティビット、マルチプロセッサビットを含む）は、各ビットの中央を基本クロックの立上がりエッジでサンプリングします。これを図13.18に示します。

これにより受信マージンは式(1)のように表すことができます。

ここで、 $F = 0$ 、 $D = 0.5$ とすると受信マージンは式(2)のようになり、受信データはこの値まで歪んでも受信可能ということになります。ただし、この計算式は理論的な値ですので、システムを設計する場合には20~30%の余裕をもたせてください。

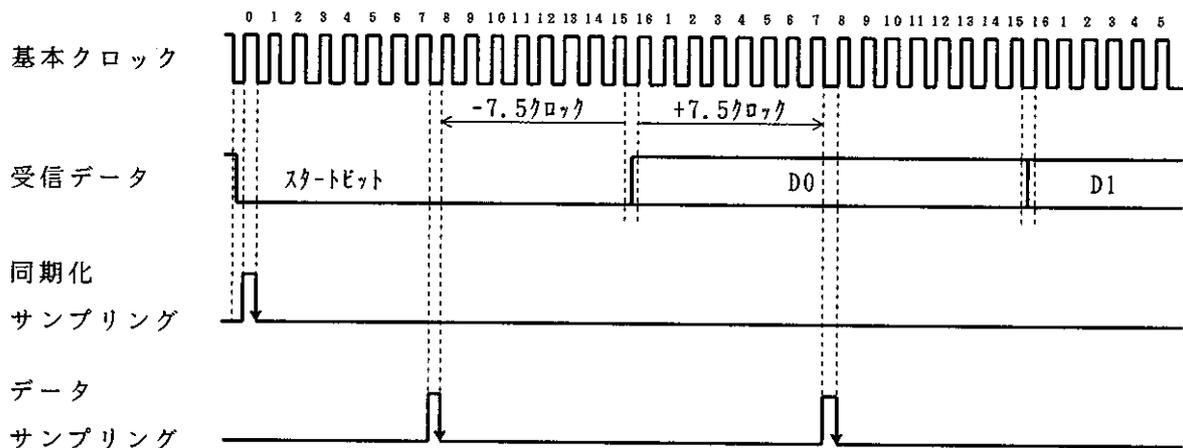


図13.18 サンプリングタイミング（調歩同期式）

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 \text{ [\%]} \quad \text{-----(1)式}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N = 16)

D : クロックの“High”レベルと“Low”レベルの長い方のデューティ (0.5~1.0)

L : フレーム長 (9~12)

F : クロック周波数の偏差の絶対値

D = 0.5、F = 0 のとき

$$M = (0.5 - 1/2 \times 16) \times 100 \text{ [\%]} \\ = 46.875\% \quad \text{-----(2)式}$$

# 14. I<sup>2</sup>C バスインタフェース

【H8 / 3202 以外には2チャンネル、H8 / 3202 には1チャンネル内蔵】

H8 / 3202 にはチャンネル1 (IIC1) が内蔵されていないので  
ご注意ください。

## 【オプション】

I<sup>2</sup>Cバスインタフェースはオプションです。本オプション機能を使用する場合には、次の  
点にご注意ください。

- (1) 当社営業担当者に、オプション機能を使用する旨ご連絡をお願いします。
- (2) マスクROM版では、オプション機能を使用する製品型名には“W”が付加されます。  
例：HD6433217WF16、HD6433212WP12等
- (3) ZTAT版では製品型名は同一ですが、本オプションを使用する場合には、必ずその旨ご  
連絡をお願いします。

## 第14章 目次

14.1	概要	295
14.1.1	特長	295
14.1.2	ブロック図	297
14.1.3	端子構成	298
14.1.4	レジスタ構成	298
14.2	各レジスタの説明	299
14.2.1	I <sup>2</sup> Cバスデータレジスタ (ICDR)	299
14.2.2	スレーブアドレスレジスタ (SAR)	299
14.2.3	I <sup>2</sup> Cバスモードレジスタ (ICMR)	300
14.2.4	I <sup>2</sup> Cバスコントロールレジスタ (ICCR)	301
14.2.5	I <sup>2</sup> Cバスステータスレジスタ (ICSR)	305
14.2.6	シリアルタイムコントロールレジスタ (STCR)	309

14.3	動作説明	310
14.3.1	I <sup>2</sup> Cバスデータフォーマット	310
14.3.2	マスタ送信動作	312
14.3.3	マスタ受信動作	313
14.3.4	スレーブ送信動作	314
14.3.5	スレーブ受信動作	315
14.3.6	I <sup>2</sup> CセットタイミングとSCL制御	316
14.3.7	ノイズ除去回路	317
14.3.8	使用例	317
14.4	使用上の注意	322

---

## 14.1 概 要

本LSIは、2チャンネルのI<sup>2</sup>Cバスインタフェース0、1を内蔵しています。

I<sup>2</sup>Cバスインタフェースは、Philips社の提唱しているI<sup>2</sup>Cバス(Inter IC Bus)インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I<sup>2</sup>Cバスを制御するレジスタの構成が一部Philips社と異なりますので注意してください。

I<sup>2</sup>Cバスインタフェースを用いたデータ転送はデータライン(SDA<sub>0</sub>、SDA<sub>1</sub>)1本、クロックライン(SCL<sub>0</sub>、SCL<sub>1</sub>)1本で構成され、コネクタやプリント基板の面積などを経済的に使用できます。図14.1にI<sup>2</sup>Cバスインタフェース接続例を示します。

### 14.1.1 特 長

■Philips社提唱のI<sup>2</sup>Cバスインタフェースに準拠

■開始、停止条件の自動生成

■受信時、アクノリッジの出力レベルを選択可能

■送信時、アクノリッジビットの自動ロード機能

■8種類の内部クロック(マスタモード時)選択可能

■アクノリッジメントモード、アクノリッジビットを含まないシリアルモードを選択可能

■ウェイト機能

アクノリッジメントモードでアクノリッジを除くデータ転送後、SCL端子を“Low”レベルにしてウェイトを挿入することができます。

■3種類の割込み要因

・データ転送終了時

・スレーブ受信モードでスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき

・マスタ送信モードでバスアービトレーションを失ったとき

■バスを直接駆動(SCL/SDA信号端子)

■P7<sub>0</sub>/SCL<sub>0</sub>、P7<sub>1</sub>/SDA<sub>0</sub>、P7<sub>2</sub>/SCL<sub>1</sub>、P7<sub>3</sub>/SDA<sub>1</sub>の4端子は、バス駆動機能選択時はNMOSのみで出力

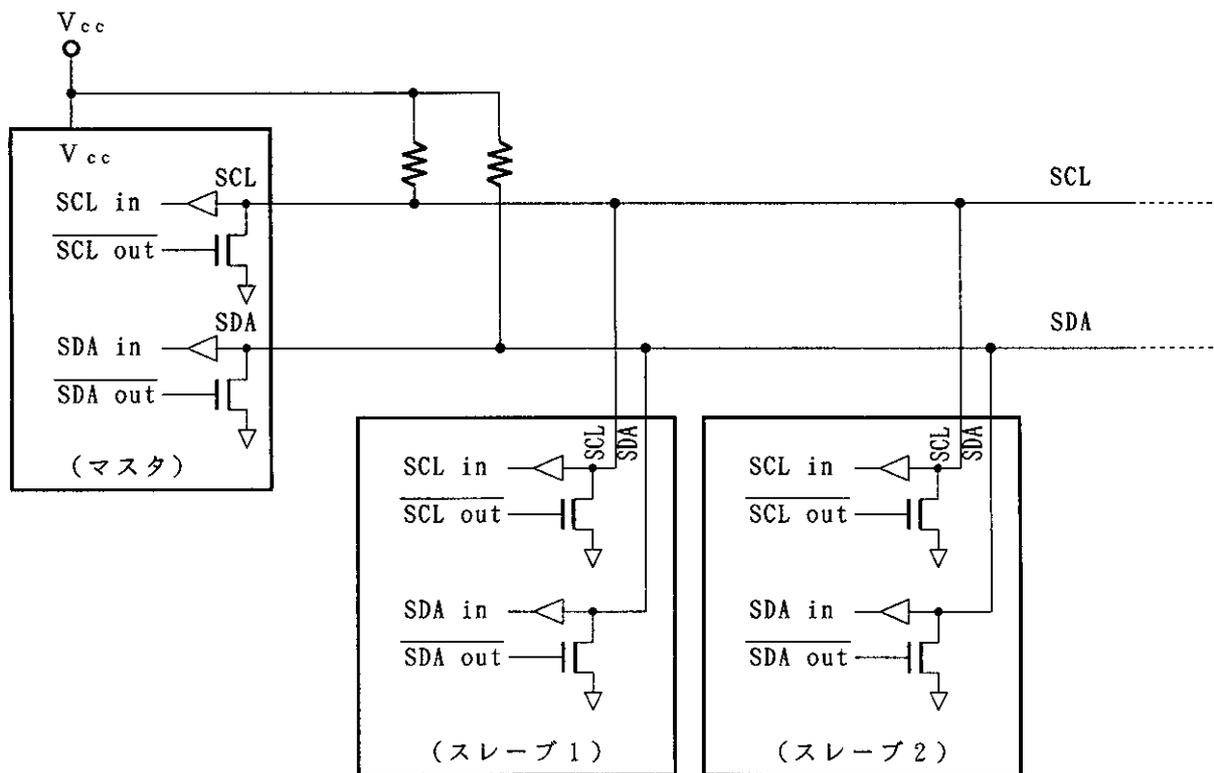
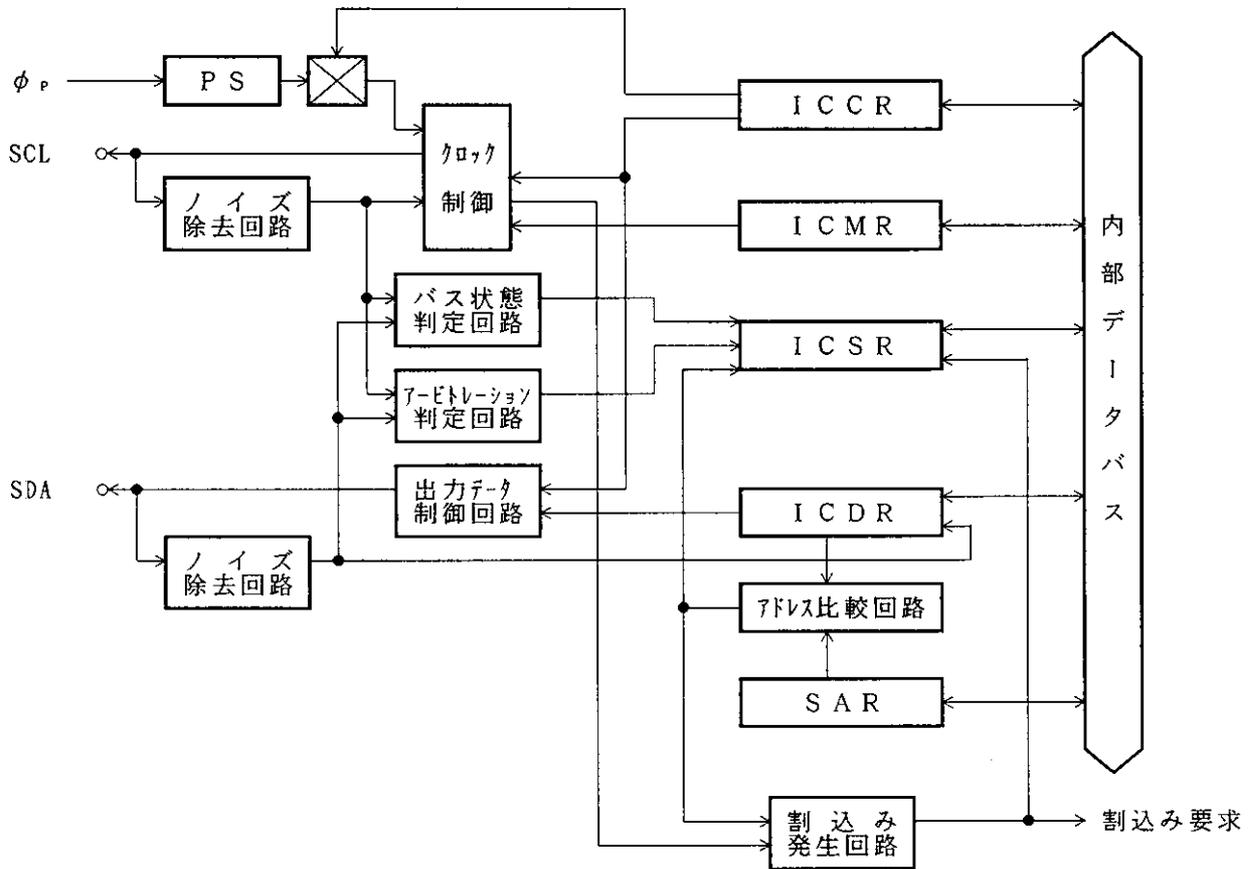


図14.1 I<sup>2</sup>Cバスインタフェース接続例（本LSIがマスタの場合）

### 14.1.2 ブロック図

I<sup>2</sup>Cバスインタフェースのブロック図を図14.2に示します。



<記号説明>

- ICCR : I<sup>2</sup>Cコントロールレジスタ
- ICMR : I<sup>2</sup>Cモードレジスタ
- ICSR : I<sup>2</sup>Cステータスレジスタ
- ICDR : I<sup>2</sup>Cデータレジスタ
- SAR : スレーブアドレスレジスタ
- PS : プリスケアラ

図14.2 I<sup>2</sup>Cバスインタフェースブロック図

### 14.1.3 端子構成

I<sup>2</sup>Cバスインタフェースで使用する端子を表14.1に示します。

表14.1 I<sup>2</sup>Cバスインタフェース端子構成

チャンネル	名 称	略 称*	入出力	機 能
0	シリアルクロック端子	SCL <sub>0</sub>	入出力	IIC0シリアルクロック入出力端子
	シリアルデータ端子	SDA <sub>0</sub>	入出力	IIC0シリアルデータ入出力端子
1	シリアルクロック端子	SCL <sub>1</sub>	入出力	IIC1シリアルクロック入出力端子
	シリアルデータ端子	SDA <sub>1</sub>	入出力	IIC1シリアルデータ入出力端子

【注】本文中ではチャンネルを省略し、それぞれSCL、SDAと略称します。

### 14.1.4 レジスタ構成

I<sup>2</sup>Cバスインタフェースのレジスタ構成を表14.2に示します。

表14.2 I<sup>2</sup>Cバスインタフェースレジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス
0	I <sup>2</sup> Cバスコントロールレジスタ	ICCR	R/W	H'00	H'FFA0
	I <sup>2</sup> Cバスステータスレジスタ	ICSR	R/W	H'30	H'FFA1
	I <sup>2</sup> Cバスデータレジスタ	ICDR	R/W	—	H'FFA2
	I <sup>2</sup> Cバスモードレジスタ	ICMR	R/W	H'38	H'FFA3*1
	スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFA3*1
1	I <sup>2</sup> Cバスコントロールレジスタ	ICCR	R/W	H'00	H'FFA4
	I <sup>2</sup> Cバスステータスレジスタ	ICSR	R/W	H'30	H'FFA5
	I <sup>2</sup> Cバスデータレジスタ	ICDR	R/W	—	H'FFA6
	I <sup>2</sup> Cバスモードレジスタ	ICMR	R/W	H'38	H'FFA7*1
	スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFA7*1
—	シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】\*1 I<sup>2</sup>CバスコントロールレジスタのICEビットによりリード/ライトできるレジスタが変わります。ICE = "0" のときスレーブアドレスレジスタ、ICE = "1" のときI<sup>2</sup>Cバスモードレジスタとなります。

## 14.2 各レジスタの説明

### 14.2.1 I<sup>2</sup>Cバスデータレジスタ (ICDR)

ビット:	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W							

ICDRは、8ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。送信はICDRにデータを書き込むことにより開始します。また受信の場合はICDRからデータを読み出すことにより開始します。

ICDRはシフトレジスタと兼用されているため、データの送信/受信が完了してからデータのリード/ライトを行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

ICDRのリセット時の値は不定です。

### 14.2.2 スレーブアドレスレジスタ (SAR)

ビット:	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W						

SARは、8ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。本LSIがスレーブモード（アドレッシングフォーマット時）の場合、開始条件後に送られてきた第1バイトの上位7ビットとSARの上位7ビットを比較して一致したとき、マスターデバイスに指定されたスレーブデバイスとして動作します。SARは、ICMRと同じアドレスに割り付けられており、ICCRのICEを“0”に設定したときのみ、SARのリード/ライトが可能です。

リセット時、SARはH'00にイニシャライズされます。

#### ビット7～1：スレーブアドレス (SVA6～SVA0)

SVA6～SVA0にはI<sup>2</sup>Cバスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0：フォーマットセレクト（FS）

FSは、スレーブモード時にスレーブアドレスの認識を行うアドレッシングフォーマットで使用するか、ノンアドレッシングフォーマットで使用するか選択します。

ビット0	説明
FS	
0	アドレッシングフォーマット、スレーブアドレスを認識（初期値）
1	ノンアドレッシングフォーマット

14.2.3 I<sup>2</sup>Cバスモードレジスタ（ICMR）

ビット：	7	6	5	4	3	2	1	0
	MLS	WAIT	—	—	—	BC2	BC1	BC0
初期値：	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	—	—	—	R/W	R/W	R/W

ICMRは、8ビットのリード/ライト可能なレジスタで、MSBファースト/LSBファーストの選択、ウェイトの制御、転送ビットの数の選択を行います。ICMRは、SARと同じアドレスに割り付けられており、ICCRのICEを“1”に設定したときのみ、ICMRのリード/ライトが可能です。

リセット時、ICMRはH'38にイニシャライズされます。

ビット7：MSBファースト/LSBファースト選択（MLS）

MSBファーストでデータ転送するか、LSBファーストでデータ転送するかを選択します。

ビット7	説明
MLS	
0	MSBファースト（初期値）
1	LSBファースト

ビット6：ウェイト挿入ビット（WAIT）

アクノリッジメントモード時は、アクノリッジビットを除いたデータ転送後にウェイトを挿入するかどうかを設定します。WAIT＝“1”を設定した場合、データの最終ビットのクロックが立下がった後、ウェイト状態（SCL＝“Low”レベル）となります。ICSRのIRICをクリアすることでウェイトを解除しアクノリッジの転送を行います。WAIT＝“0”を設定した場合、ウェイトを挿入せず、データとアクノリッジを連続的に転送します。

ビット 6	説 明
W A I T	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

#### ビット 5～3：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

#### ビット 2～0：ビットカウンタ (BC2～BC0)

BC2～BC0は、次に転送するデータのビット数を指定します。ICCRのACKが“0”の時（アクノリジメントモード）、データにアクノリッジ分1ビットが加算されて転送されます。BC2～BC0の設定は転送フレーム間で行ってください。また、BC2～BC0に“000”以外を設定する場合は、SCLラインが“Low”状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時“000”にイニシャライズされます。また、アクノリッジを含むデータ転送終了後、“000”に再び戻ります。

ビット 2	ビット 1	ビット 0	ビット / フレーム	
BC 2	BC 1	BC 0	シリアルモード	アクノリジメントモード
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

#### 14.2.4 I<sup>2</sup>Cバスコントロールレジスタ (ICCR)

ビット：	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICCRは、8ビットのリード/ライト可能なレジスタで、I<sup>2</sup>Cバスインタフェースの動作/非動作、割込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクノリジメントモード/シリアルモード、クロック周波数の選択を行います。

リセット時、ICCRはH'00にイニシャライズされます。

ビット7：I<sup>2</sup>Cバスインタフェースイネーブル（ICE）

ICEは、I<sup>2</sup>Cバスインタフェースを使用する／使用しないを選択します。ICEを“1”にセットすると、本モジュールは転送動作可能状態となり、ポートはSCL、SDAの入出力端子となります。ICEを“0”にクリアすると、本モジュールは機能を停止します。

ICEが“0”のときSARレジスタが有効になり、ICEが“1”のときICMRレジスタが有効になります。

ビット7 ICE	説 明
0	本モジュールは非動作（SCL／SDA信号端子はポート機能）状態 (初期値)
1	本モジュールは転送動作可能状態（SCL／SDA信号端子はバス駆動状態）

ビット6：I<sup>2</sup>Cバスインタフェース割込みイネーブル（IEIC）

IEICは、I<sup>2</sup>CバスインタフェースからCPUに対する割込みの許可／禁止を選択します。

ビット6 IEIC	説 明
0	割込み要求を禁止 (初期値)
1	割込み要求を許可

### ビット5：マスタ／スレーブ選択（MST）

### ビット4：送信／受信選択（TRS）

MSTは、I<sup>2</sup>Cバスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRSは、I<sup>2</sup>Cバスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

マスタモードでアービトラージを失うとMST、TRSは共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット（FS = “0”）の時、開始条件直後の第1バイトのR/Wビットにより、ハードウェアで自動的に受信／送信モードが設定されます。

MSTとTRSとの組合せにより下表のような動作モードになります。

ビット5	ビット4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

### ビット3：アクリッジメントモード選択（ACK）

ACKは、アクリッジメントモードで使用するかシリアルモードで使用するかを選択します。

アクリッジメントモード（ACK = “0”）は、ICMRのBC2～BC0で設定したデータビット数にアクリッジの1ビットを含めて、1フレームの転送を行います。

シリアルモード（ACK = “1”）は、ICMRのBC2～BC0で設定したデータビット数を1フレームとして転送を行います。

ビット3	説明
ACK	
0	アクリッジメントモード (初期値)
1	シリアルモード

ビット2～0：転送クロック選択（CKS2～CKS0）

CKS2～CKS0は、STCRレジスタとIICX0、IICX1ビットとの組合せにより、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

(STCR)	ビット2	ビット1	ビット0	クロック	転送レート*					
					IICX	CKS2	CKS1	CKS0	$\phi_P=4\text{MHz}$	$\phi_P=5\text{MHz}$
0		0	0	$\phi_P/28$	143kHz	179kHz	286kHz	357kHz	571kHz	
		0	1	$\phi_P/40$	100kHz	125kHz	200kHz	250kHz	400kHz	
		0	1	0	$\phi_P/48$	83.3kHz	104kHz	167kHz	208kHz	333kHz
		0	1	1	$\phi_P/64$	62.5kHz	78.1kHz	125kHz	156kHz	250kHz
		1	0	0	$\phi_P/80$	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
		1	0	1	$\phi_P/100$	40.0kHz	50.0kHz	80.0kHz	100kHz	160kHz
		1	1	0	$\phi_P/112$	35.7kHz	44.6kHz	71.4kHz	89.3kHz	143kHz
		1	1	1	$\phi_P/128$	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
1		0	0	$\phi_P/56$	71.4kHz	89.3kHz	143kHz	179kHz	286kHz	
		0	0	1	$\phi_P/80$	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
		0	1	0	$\phi_P/96$	41.7kHz	52.1kHz	83.3kHz	104kHz	167kHz
		0	1	1	$\phi_P/128$	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
		1	0	0	$\phi_P/160$	25.0kHz	31.3kHz	50.0kHz	62.5kHz	100kHz
		1	0	1	$\phi_P/200$	20.0kHz	25.0kHz	40.0kHz	50.0kHz	80.0kHz
		1	1	0	$\phi_P/224$	17.9kHz	22.3kHz	35.7kHz	44.6kHz	71.4kHz
		1	1	1	$\phi_P/256$	15.6kHz	19.5kHz	31.3kHz	39.1kHz	62.5kHz

【注】\*  $\phi_P = \phi$  の場合

### 14.2.5 I<sup>2</sup>Cバスステータスレジスタ (ICSR)

ビット:	7	6	5	4	3	2	1	0
	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/(W)*	W	—	R/(W)*	R/(W)*	R/(W)*	R/W

【注】\* フラグをクリアするための“0”ライトのみ可能です。

ICSRは、8ビットのリード/ライト可能なレジスタで、I<sup>2</sup>Cバスインタフェースのバス状態の確認、フラグの確認、開始/停止条件の発行、アクノリッジの確認および制御を行います。

リセット時、ICSRはH'30にイニシャライズされます。

#### ビット7：バスビジー (BBSY)

BBSYをリードすることにより、I<sup>2</sup>Cバス (SCL、SDA) が占有されているか開放されているかを確認できます。また、マスターモードでは開始条件、停止条件の発行する際に使用します。

BBSYは、SCL = “High”レベルの状態でもSDAが“High”レベルから“Low”レベルに変化すると開始条件が発行されたと認識し、“1”にセットされます。SCL = “High”レベルの状態でもSDAが“Low”レベルから“High”レベルに変化すると停止条件が発行されたと認識し、“0”にクリアされます。

開始条件を発行する場合、BBSY = “1”かつSCP = “0”をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY = “0”かつSCP = “0”をライトすることで行います。開始条件/停止条件の発行は、MOV命令を用います。スレーブモード時のBBSYのライトは無効です。

ビット7	説明
BBSY	
0	バス開放状態 〔クリア条件〕 停止条件検出時 (初期値)
1	バス占有状態 〔セット条件〕 開始条件検出時

ビット6：I<sup>2</sup>Cバスインタフェース割込み要求フラグ（IRIC）

IRICは、I<sup>2</sup>CバスインタフェースがCPUに対して割込み要求を発生させたことを示します。IRICは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出した時、またはマスタ送信モードでバスアービトレーションを失った時に“1”にセットされます。ICCRのACKとICMRのWAITの組合せによりIRICのセットタイミングが異なりますので、「14.3.6 IRICセットタイミングとSCL制御」の項を参照してください。

IRICのクリアは、IRIC = “1” をリードした後、IRIC = “0” をライトすることで行われます。

ビット6	説明
IRIC	
0	転送待ち状態、または転送中 〔クリア条件〕 IRIC = “1” リード後、“0” ライトしたとき (初期値)
1	割込みが発生 〔セット条件〕 マスタモード ・データ転送終了したとき ・バスアービトレーションを失ったとき スレーブモード（FS = “0” のとき） ・スレーブアドレスが一致したとき、および、一致後の再送開始条件または停止条件検出までのデータ転送終了したとき ・ゼネラルコールアドレスを検出したとき、および、検出後の再送開始条件または停止条件検出までのデータ転送終了したとき スレーブモード（FS = “1” のとき） ・データ転送終了時

ビット5：開始条件／停止条件発行禁止ビット（SCP）

SCPは、マスタモードでの開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY = “1” かつSCP = “0” をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY = “0” かつSCP = “0” をライトすることで行います。リードすると常に“1”が読み出されます。ライトしてもデータは格納されません。

ビット5	説明
SCP	
0	ライト時、BBSYと組み合わせて開始条件、停止条件を発行
1	リード時、常に“1”をリード ライト時、無効 (初期値)

#### ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

#### ビット3：アービトレーションロストフラグ（AL）

ALは、マスタモード時にアービトレーションを失ったことを示します。

複数のマスタがほぼ同時にバスを占有しようとした時にI<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALを“1”にセットしてバスが他のマスタによって占有されたことを示します。同時にICDRのIRICをセットし、割込み要求を発生します。

ALのクリアは、AL = “1”をリードした後、AL = “0”をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット3 AL	説明
0	バスアービトレーションを確保 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリードしたとき（受信時） ・AL = “1”リード後、“0”ライトしたとき (初期値)
1	アービトレーションロスト 〔セット条件〕 ・マスタ送信モードでSCLの立上がりで内部SDAとバスラインが不一致のとき ・マスタ送信モードでSCLの立下がりで内部SCLが“High”レベルのとき

#### ビット2：スレーブアドレス認識フラグ（AAS）

AASはスレーブ受信モードでアドレッシングモード（FS = “0”）の時、開始条件直後の第1バイトがSARのSVA6～SVA0と一致した場合、またはゼネラルコールアドレス（H'00）を検出した場合、AAS = “1”となります。

AASのクリアは、AAS = “1”をリードした後、AAS = “0”をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット2 AAS	説明
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）したとき ・AAS = “1”リード後、“0”ライトしたとき (初期値)
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき

ビット1：ゼネラルコールアドレス認識フラグ（ADZ）

ADZは、スレープ受信モードでアドレッシングモード（FS = “0”）の時に、開始条件直後の第1バイトでゼネラルコールアドレス（H'00）を検出した場合、ADZ = “1”となります。

ADZのクリアは、ADZ = “1”をリードした後、ADZ = “0”をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット1	説明
ADZ	
0	ゼネラルコールアドレスを未認識 （初期値） 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）したとき ・ADZ = “1”リード後、“0”ライトしたとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレープ受信モードでゼネラルコールアドレスを検出したとき

ビット0：アクノリッジビット（ACKB）

ACKBは、アクノリッジメントモードでアクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータをACKBにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、TRS = “1”のときにはロードした値が読み出され、TRS = “0”の時には設定した値が読み出されます。

ビット0	説明
ACKB	
0	受信時、アクノリッジ出力タイミングで“0”出力 （初期値） 送信時、受信デバイスからアクノリッジがあったことを示す
1	受信時、アクノリッジ出力タイミングで“1”出力 送信時、受信デバイスからアクノリッジが無かったことを示す

#### 14.2.6 シリアルタイマコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリード/ライト可能なレジスタで、I<sup>2</sup>CバスインタフェースとPWMタイマおよび8ビットタイマのTCNTの入力クロックの選択を行います。

STCRはリセット時にH'00にイニシャライズされます。

##### ビット7: I<sup>2</sup>Cエクストラバッファセレクト (IICS)

ポート7のビット3~2を、SCL、SDAと同様の出力バッファとなるよう設定します。ソフトウェアのみによるI<sup>2</sup>Cバスインタフェースを実現する場合に利用します。

ビット7	説明
IICS	
0	P7 <sub>3</sub> ~P7 <sub>2</sub> は通常入出力端子 (初期値)
1	P7 <sub>3</sub> ~P7 <sub>2</sub> はバス駆動可能な入出力端子

##### ビット6: I<sup>2</sup>Cトランスファレートセレクト1 (IICX1)

IIC1のIICRのCKS2~0と組み合わせて、マスタモードでの転送レートを選択します。転送レートの詳細は「14.2.4 I<sup>2</sup>Cバスコントロールレジスタ (ICCR)」の項を参照してください。

##### ビット5: I<sup>2</sup>Cトランスファレートセレクト0 (IICX0)

IIC0のIICRのCKS2~0と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「14.2.4 I<sup>2</sup>Cバスコントロールレジスタ (ICCR)」の項を参照してください。

##### ビット4: タイマコネクションアウトプットイネーブル (SYNCE)

タイマの相互接続時の出力 (VSYNCO、HSYNCO、CLAMPO) を制御するビットです。詳しくは「第11章 タイマコネクション」を参照してください。

##### ビット3~2: PWMタイマクロックイネーブル、PWMクロックセレクト (PWCKE、PWCKS)

PWMタイマのTCNTに入力するクロックを制御するビットです。詳しくは「第8章 PWMタイマ」を参照してください。

##### ビット1~0: インターナルクロックセレクト1、0 (ICKS1、ICKS0)

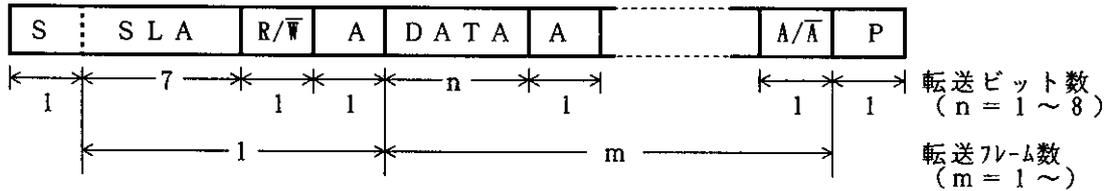
8ビットタイマのTCRのCKS2~0ビットと共に、8ビットタイマのTCNTに入力するクロックを選択します。詳細は「第10章 8ビットタイマ」を参照してください。

### 14.3 動作説明

#### 14.3.1 I<sup>2</sup>Cバスデータフォーマット

I<sup>2</sup>Cバスインタフェースにはアドレッシングフォーマット (図14.3(a)(b))とノンアドレッシングフォーマット (図14.4(c)) の3種類のデータフォーマットがあります。開始条件に続く第1バイトは必ず8ビット構成となります。また、I<sup>2</sup>Cバスのタイミングを図14.5に示します。

##### (a) アドレッシングフォーマット (FS = "0")



##### (b) アドレッシングフォーマット (開始条件再送時、FS = "0")

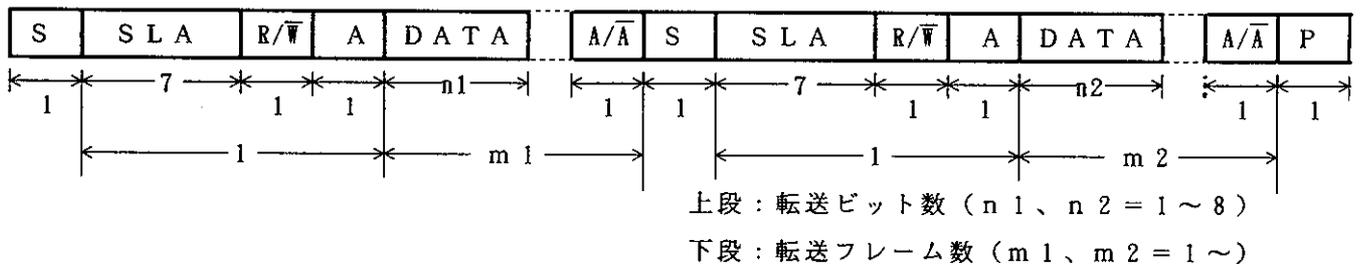
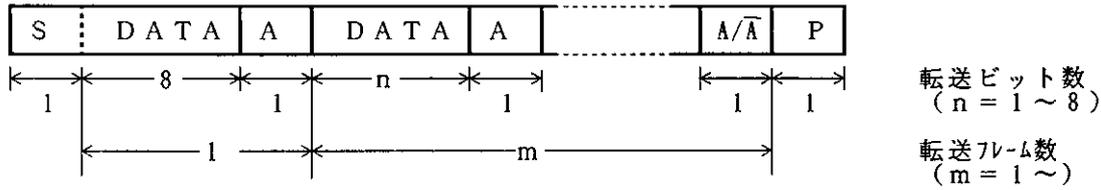


図14.3 I<sup>2</sup>Cバスデータフォーマット (アドレッシングフォーマット)

(c) ノンアドレッシングフォーマット (FS = "1")



<記号説明>

- S : 開始条件を示します。マスタデバイスが SCL = "High" レベルの状態では SDA を "High" レベルから "Low" レベルに変化させます。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W : 送信/受信の方向を示します。R/W が "1" の場合スレーブデバイスからマスタデバイス、R/W が "0" の場合マスタデバイスからスレーブデバイスへデータを転送します。
- A : アクノリッジを示します。受信デバイスが SDA を "Low" レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。アクノリッジを行わない場合は ICCR の ACK を "1" にすることでアクノリッジおよびアクノリッジのためのクロックパルスが発生しなくなります。
- DATA : 送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 で設定します。また MSB ファースト / LSB ファーストの切換えは ICMR の MLS で選択します。
- P : 停止条件を示します。マスタデバイスが SCL = "High" レベルの状態では SDA を "Low" レベルから "High" レベルに変化させます。

図14.4 I<sup>2</sup>Cバスデータフォーマット (ノンアドレッシングフォーマット)

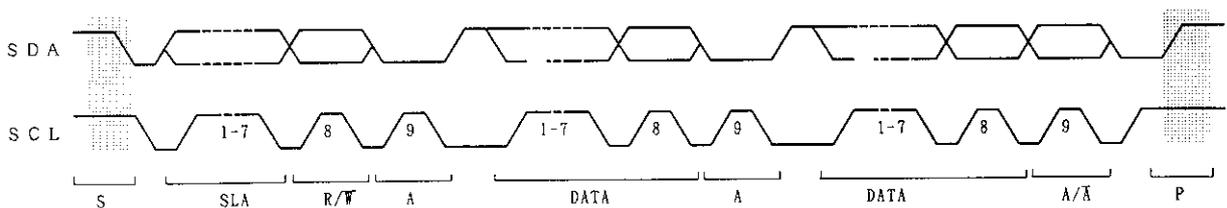


図14.5 I<sup>2</sup>Cバスタイミング

### 14.3.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にマスタ送信モードの送信手順と動作を示します。

- ① ICMRのMLS、WAITおよびICCRのACK、CKS2～CKS0を動作モードに合わせて設定します。また、ICCRのICEを“1”にセットします。
- ② ICSRのBBSYをリードし、バスがフリー状態であることを確認後、ICCRのMST、TRSをそれぞれ“1”にセットしてマスタ送信モードに設定します。その後、BBSY=“1”かつSCP=“0”をライトします。これにより、SCLが“High”レベルの時SDAを“High”レベルから“Low”レベルに変化させ、開始条件を生成します。
- ③ ICDRにデータをライトします。マスタデバイスは、図14.6で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。SARのFSが“0”の時、開始条件に続く第1バイトデータは7ビットのスレーブアドレスと送信/受信の方向を示します。選択された（スレーブアドレスが一致）スレーブデバイスは、送信クロックの9クロック目にSDAを“Low”レベルにし、アクノリッジを返します。
- ④ 1バイトのデータ送信が終了し、送信クロックの9クロック目の立上がりでICSRのIRICが“1”にセットされます。この時、ICCRのIEICが“1”にセットされているとCPUに対し割り込み要求を発生します。またSCLは1フレーム転送終了後、内部クロックに同期して自動的に“Low”レベルに固定されます。
- ⑤ ソフトウェアでICSRのIRICを“0”にクリアします。
- ⑥ 送信を続ける場合は、次に送信するデータをICDRにライトします。次バイトの送信は内部クロックに同期して行われます。

④から⑥を繰り返し行うことにより、連続的にデータを送信することができます。送信を終了する場合はICSRのBBSY=“0”かつSCP=“0”をライトします。これにより、SCLが“High”レベルの時、SDAを“Low”レベルから“High”レベルに変化させ、停止条件を生成します。

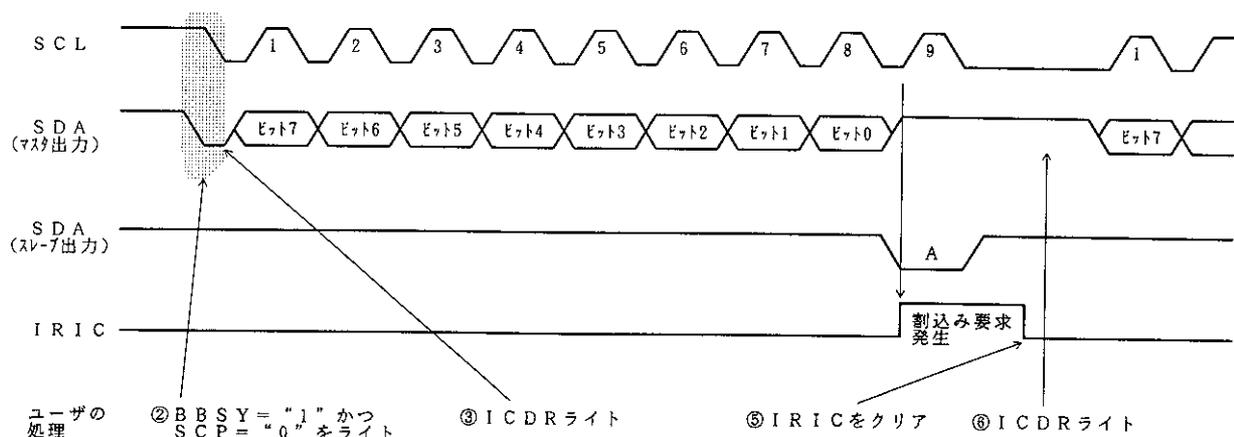


図14.6 マスタ送信モード動作タイミング (MLS = WAIT = ACK = “0” の時)

### 14.3.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。以下にマスタ受信モードの受信手順と動作を示します。

- ① ICCRのTRISを“0”にクリアし送信モードから受信モードに切り換えます。
- ② ICDRをリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にSDAを“Low”レベルにし、アクノリッジを返します。
- ③ 1バイトのデータ受信が終了し、受信クロックの9クロック目の立上がりでICSRのIRICが“1”にセットされます。このとき、ICCRのIEICが“1”にセットされているとCPUに対し割込み要求を発生します。またSCLは1フレーム転送終了後、内部クロックに同期して自動的に“Low”レベルに固定します。
- ④ ソフトウェアでICSRのIRICを“0”にクリアします。
- ⑤ ICDRをリードすると内部クロックに同期して次の受信が開始されます。

③から⑤を繰り返し行うことにより、連続的にデータを受信することができます。受信をやめる場合は、TRISを“1”にセットしICDRをリードした後、ICSRのBBSY=“0”かつSCP=“0”をライトします。これにより、SCLが“High”レベルの時SDAを“Low”レベルから“High”レベルに変化させ、停止条件を生成します。また、1バイト受信モジュール後アクノリッジを返さない場合は、受信開始前にICSRのACKBを“1”にセットしておきます。

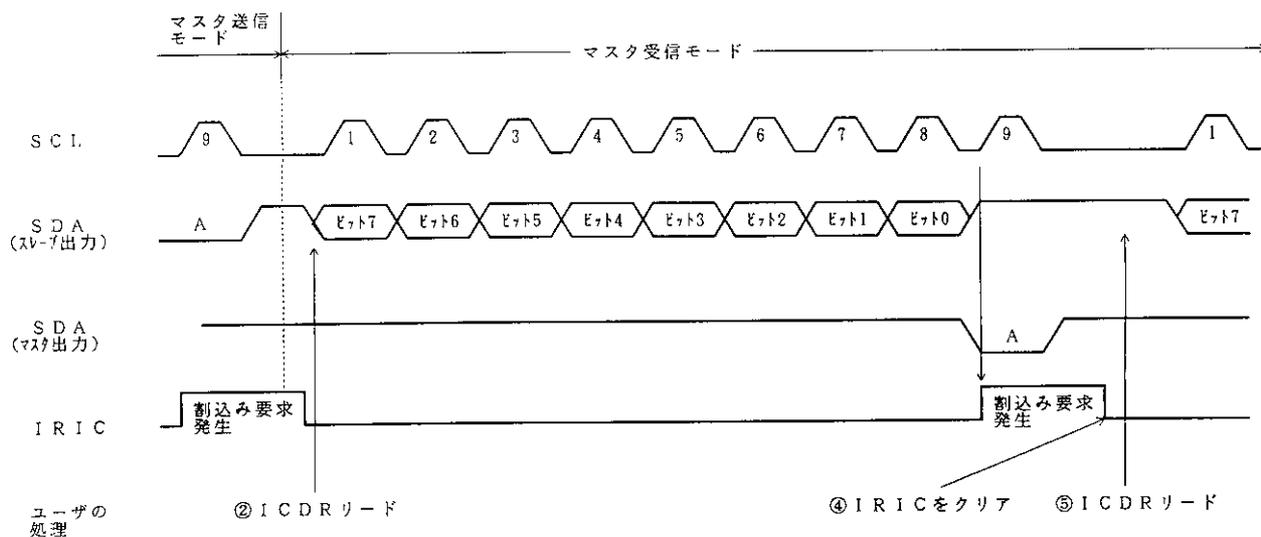


図14.7 マスタ受信モード動作タイミング (MLS=WAIT=ACK=ACKB=“0”の時)

### 14.3.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- ① I C M RのM L S、W A I TおよびI C C RのM S T、T R S、A C K、C K S 2～C K S 0を動作モードに合わせて設定します。また、I C C RのI C Eを“1”にセットします。
- ② 開始条件を検出後の第1バイトでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはS D Aを“Low”レベルにし、アクノリッジを返します。同時にI C S RのI R I Cが“1”にセットされ、割り込みを発生します。また、8ビット目のデータ(R/W)が“1”のときI C C RのT R Sが“1”にセットされ、自動的にスレーブ送信モードに変化します。スレーブデバイスは送信クロックの立下がりからI C D RにデータをライトするまでS C Lを“Low”レベルにします。
- ③ ソフトウェアでI C S RのI R I Cを“0”にクリアします。
- ④ I C D Rにデータをライトします。スレーブデバイスは図14.8で示すタイミングでマスタデバイスが出力するクロックにしたがい、I C D Rにライトされたデータを順次送出します。
- ⑤ 1バイトのデータ送信が終了し、送信クロックの9クロック目の立上がりでI C S RのI R I Cが“1”にセットされます。このとき、I C C RのI E I Cが“1”にセットされているとC P Uに対し割り込み要求を発生します。またこのスレーブデバイスは送信クロックの立下がりからI C D RにデータライトするまでS C Lを“Low”レベルにします。マスタデバイスは9クロック目にS D Aを“Low”レベルにし、アクノリッジを返します。このアクノリッジはI C S RのA C K Bに格納されるので転送動作が正常に行われたかどうか確認することができます。
- ⑥ ソフトウェアでI C S RのI R I Cを“0”にクリアします。
- ⑦ 送信を続ける場合は次に送信するデータをI C D Rにライトします。

⑤から⑦を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合はI C D RにH'FFをライトします。S C Lが“High”レベルのときS D A信号が“Low”レベルから“High”レベルに変化し停止条件を検出すると、I C S RのB B S Yが“0”にクリアされます。

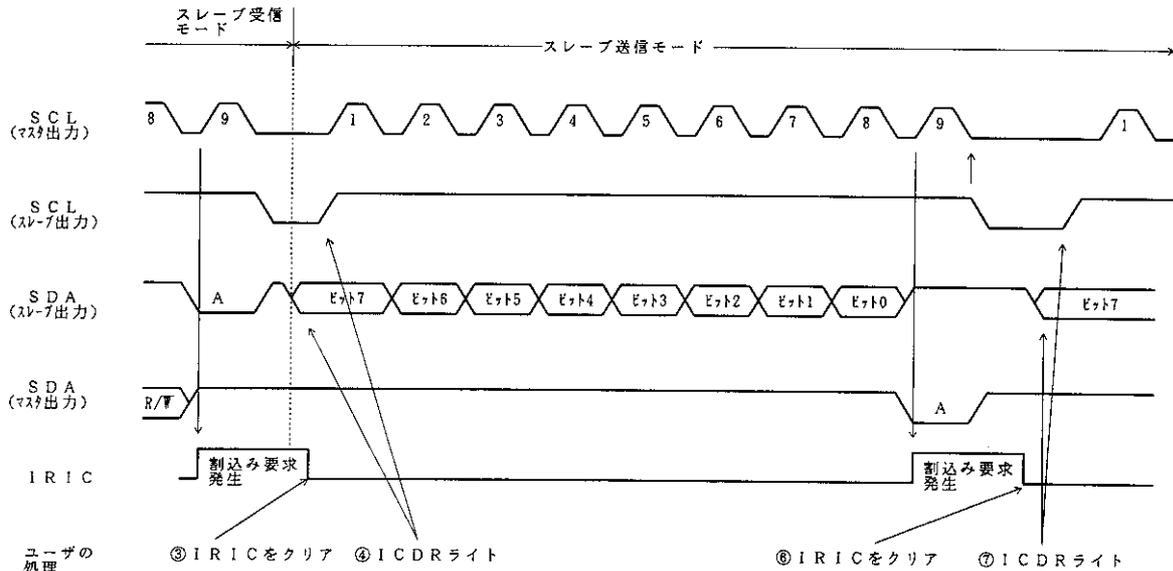


図14.8 スレーブ送信モード動作タイミング (M L S = W A I T = A C K = A C K B = “0” のとき)

### 14.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- ① ICMRのMLS、WAITおよびICCRのMST、TRS、ACKを動作モードに合わせて設定します。また、ICCRのICEを“1”にセットします。
- ② マスタデバイスの出力した開始条件を検出すると、ICSRのBBSYが“1”にセットされます。
- ③ 開始条件後の第1バイトでスレーブアドレスが一致した時、9クロック目でスレーブデバイスはSDAを“Low”レベルにし、アクノリッジを返します。同時にICSRのIRICが“1”にセットされます。このとき、ICCRのIEICが“1”にセットされていると、CPUに対し割り込み要求を発生します。また、スレーブデバイスは受信クロックの立下がりからICDRにデータをリードするまでSCLを“Low”レベルにします。
- ④ ソフトウェアでICSRのIRICを“0”にクリアします。
- ⑤ ICDRにデータをリードすると次の受信が開始されます。

④から⑤を繰り返し行うことにより、受信動作を継続できます。SCLが“High”レベルのとき、SDAが“Low”レベルから“High”レベルに変化し停止条件を検出すると、ICSRのBBSYが“0”にクリアされます。

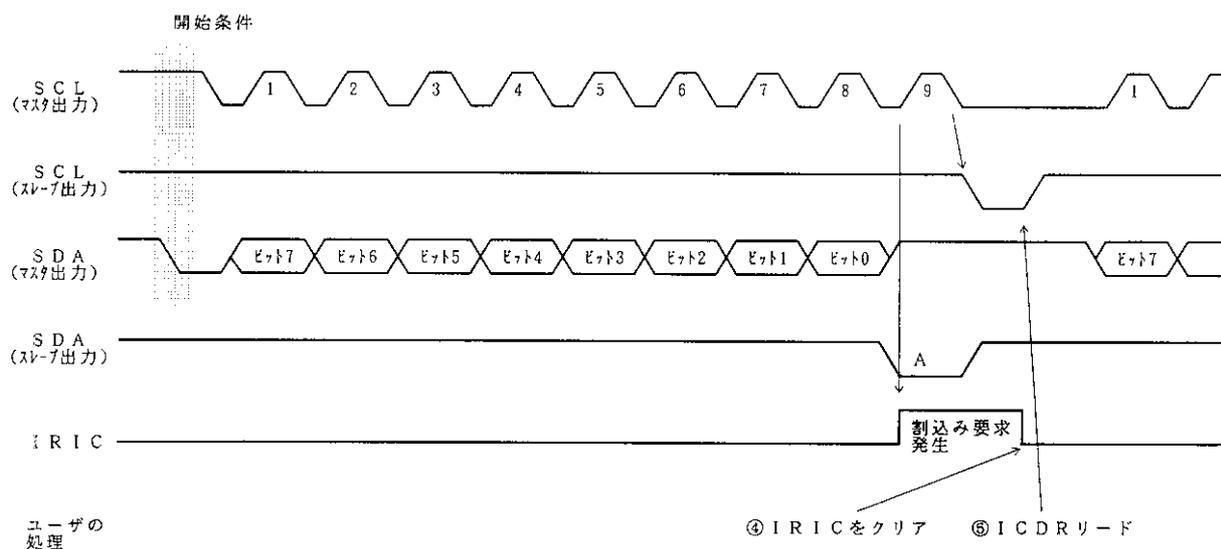
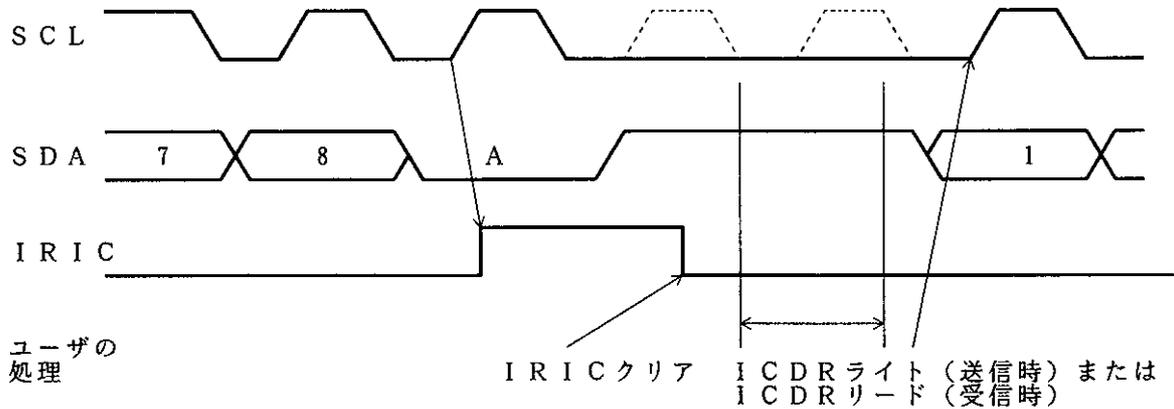


図14.9 スレーブ受信モード動作タイミング (MLS = WAIT = ACK = “0” のとき)

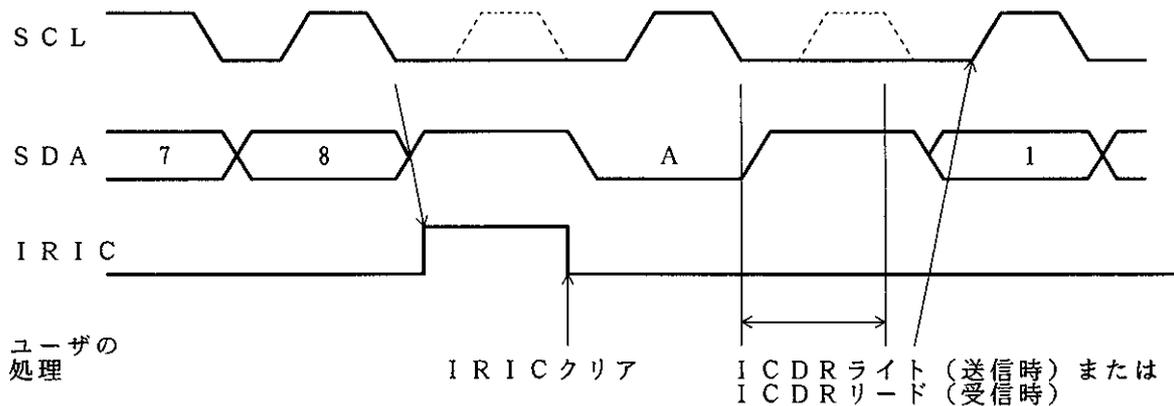
### 14.3.6 I R I CセットタイミングとSCL制御

割込み要求フラグ (I R I C) セットタイミングは I C M R の W A I T、I C C R の A C K の組合せにより異なります。また S C L は 1 フレーム転送終了後内部クロックに同期して自動的に“Low”レベルに固定します。図14.10に I R I C セットタイミングと S C L 制御を示します。

(a) W A I T = “0”、A C K = “0” のとき



(b) W A I T = “1”、A C K = “0” のとき



【注】 I R I C クリア後 I C D R ライト (送信時) または I C D R リード (受信時) を実行した場合、S C L (9クロック目) が立上ってから実行してください。

(c) A C K = “1” のとき

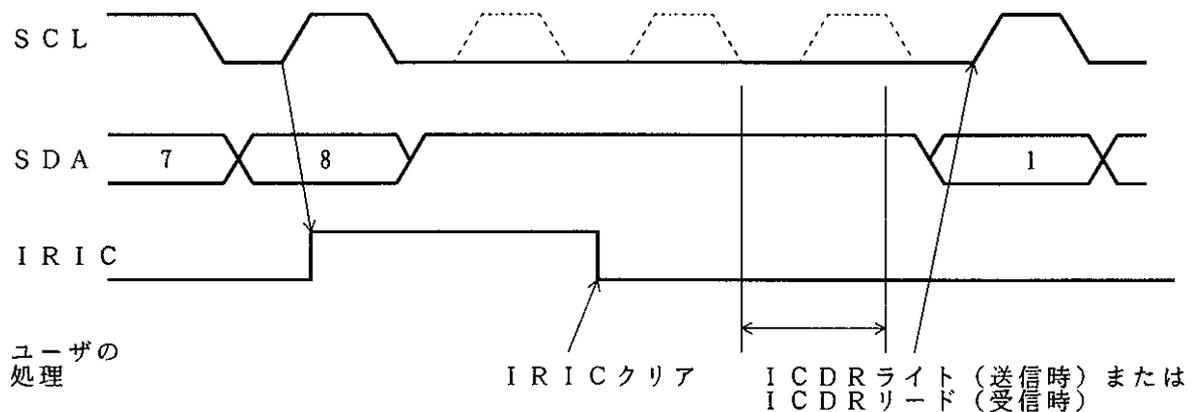


図14.10 I R I C セットタイミングとSCL制御

### 14.3.7 ノイズ除去回路

SCL端子およびSDA端子の状態はノイズ除去回路を経由して内部に取り込まれます。図14.11にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL入力信号（またはSDA入力信号）がシステムクロックでサンプリングされ、2つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

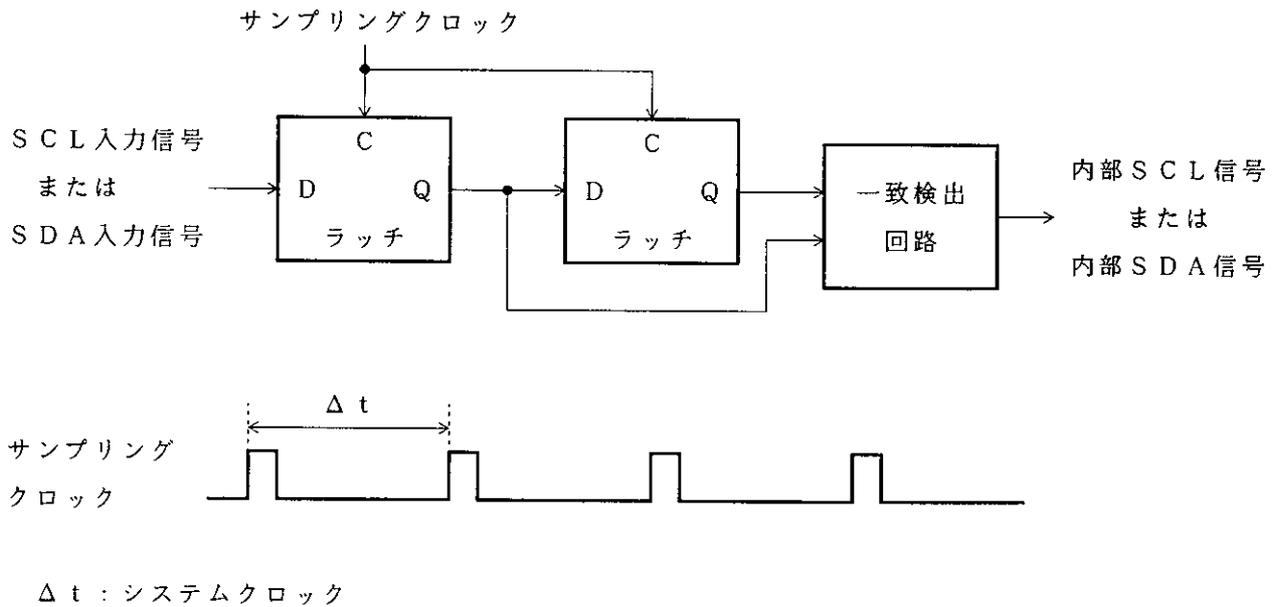


図14.11 ノイズ除去回路のブロック図

### 14.3.8 使用例

I<sup>2</sup>Cバスインタフェースを使用する場合の各モードでのフローチャート例を図14.12～図14.15に示します。

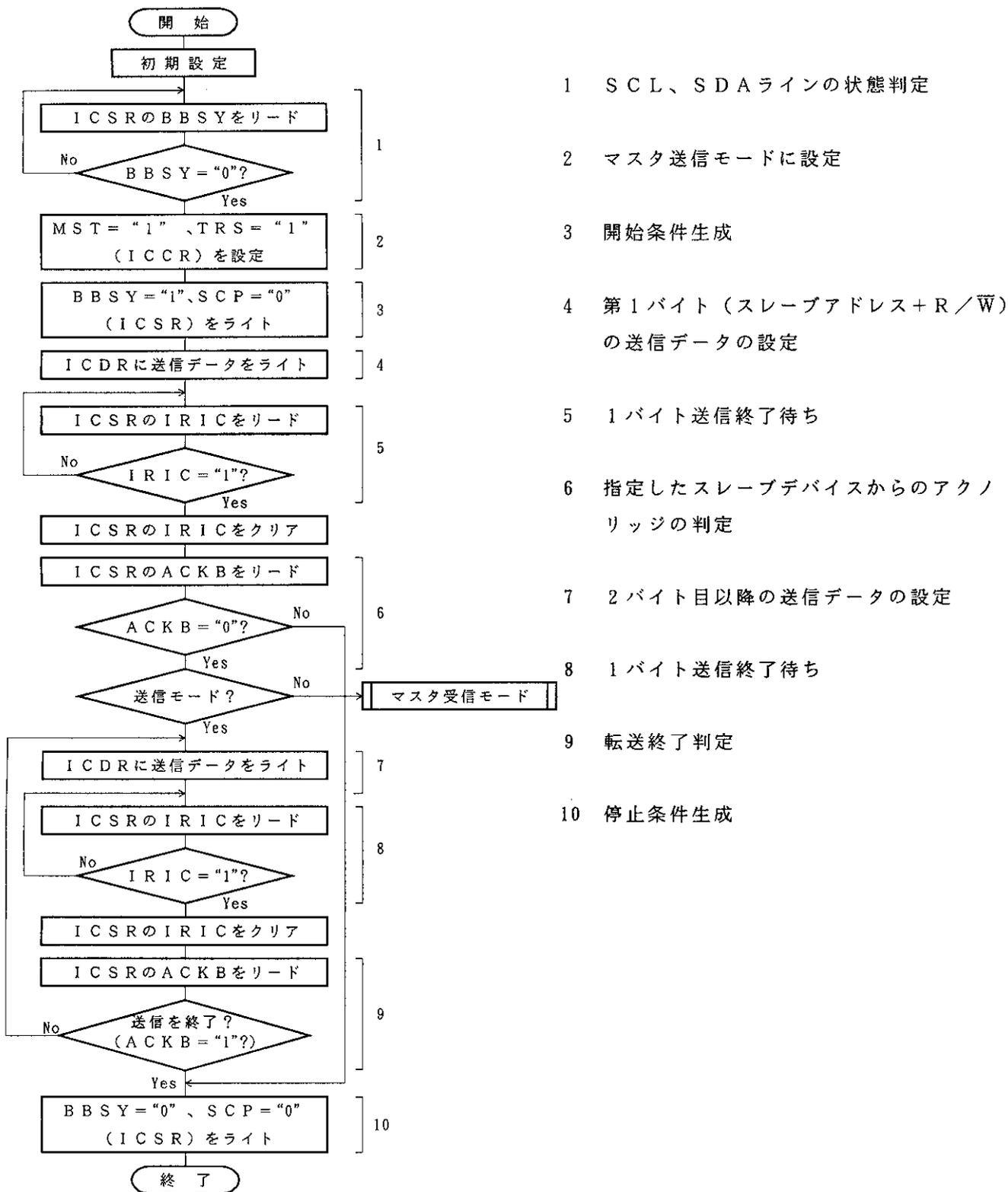


図14.12 マスタ送信モードのフローチャート例

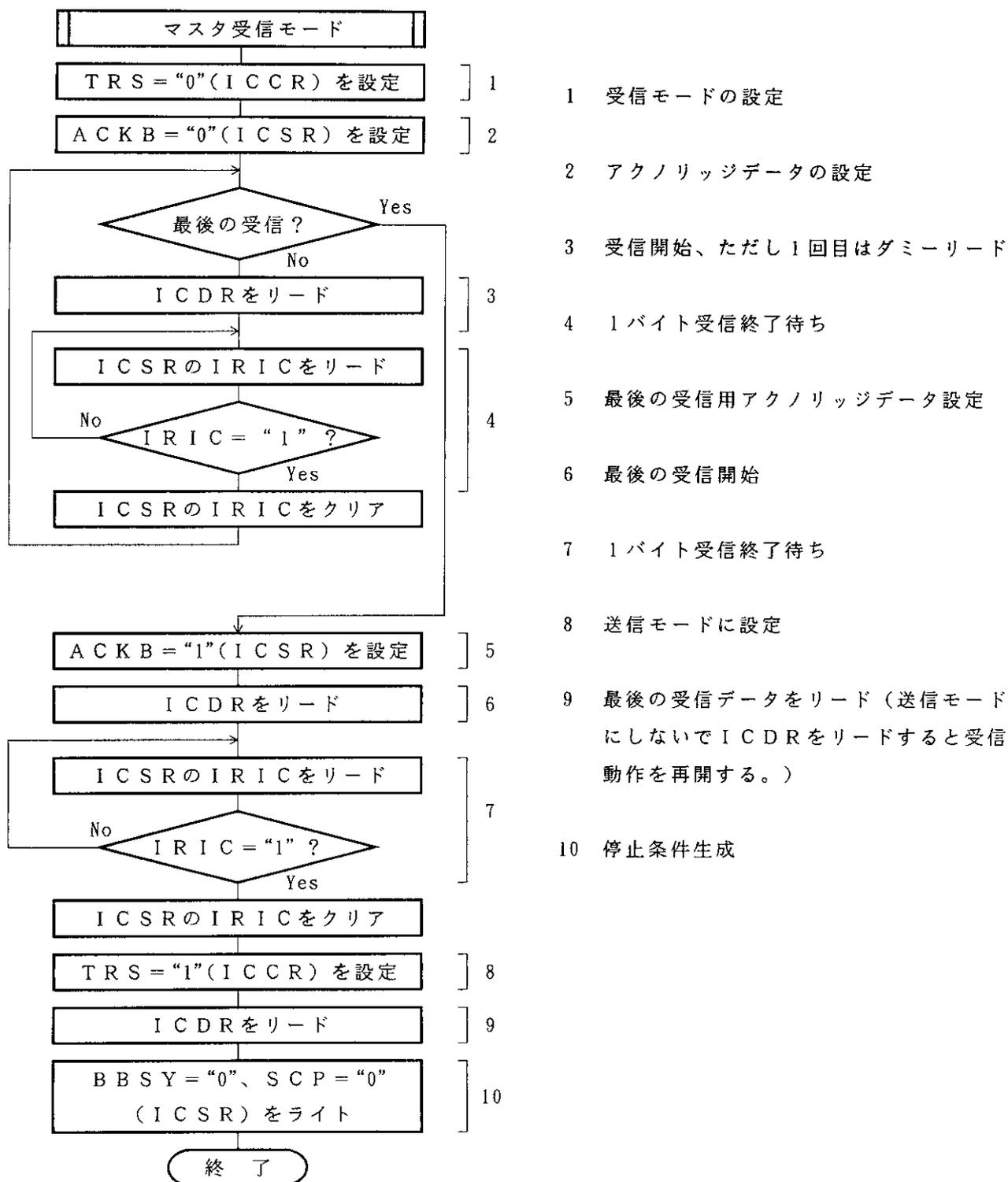


図14.13 マスタ受信モードのフローチャート例

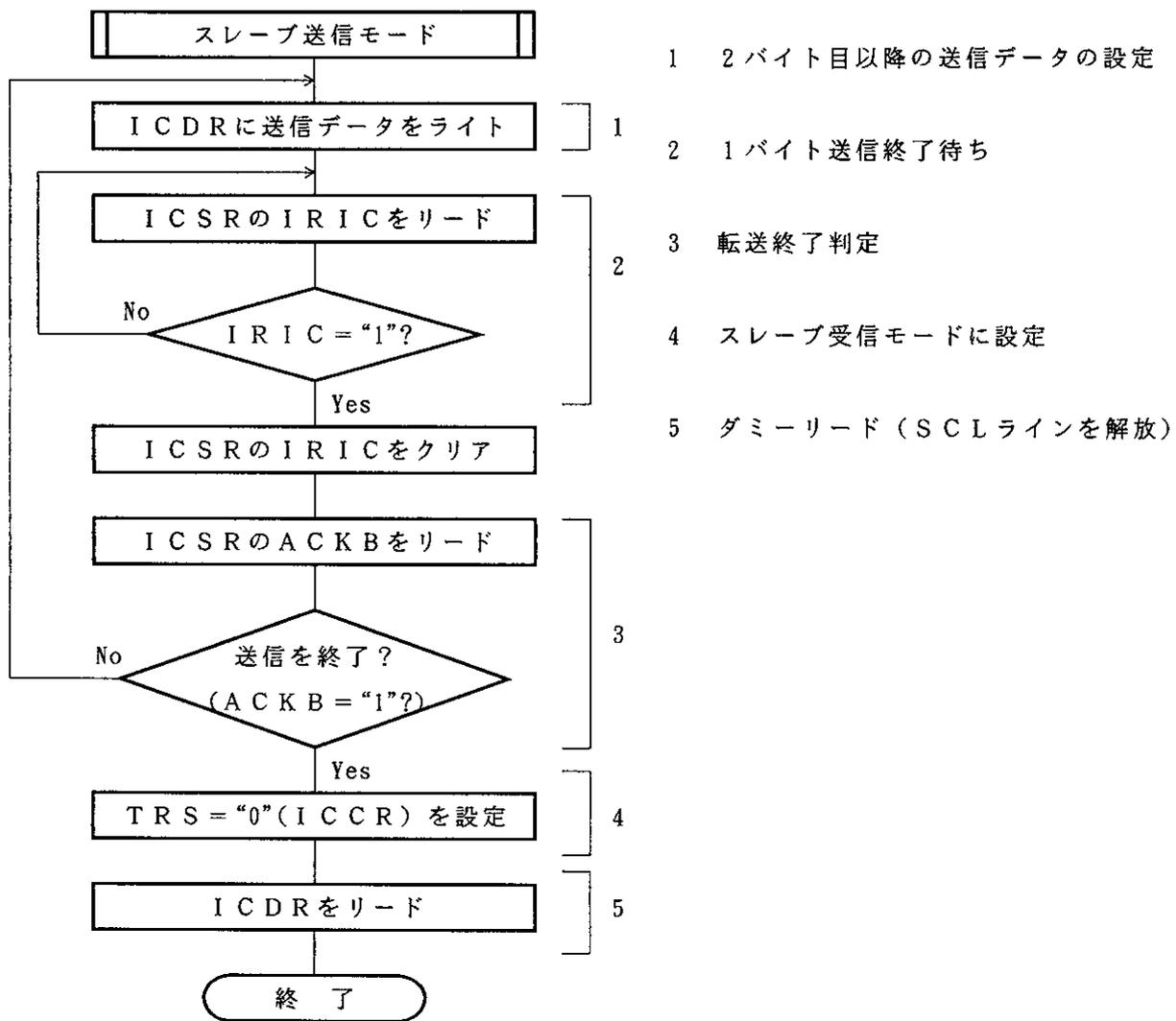


図14.14 スレーブ送信モードフローチャート例

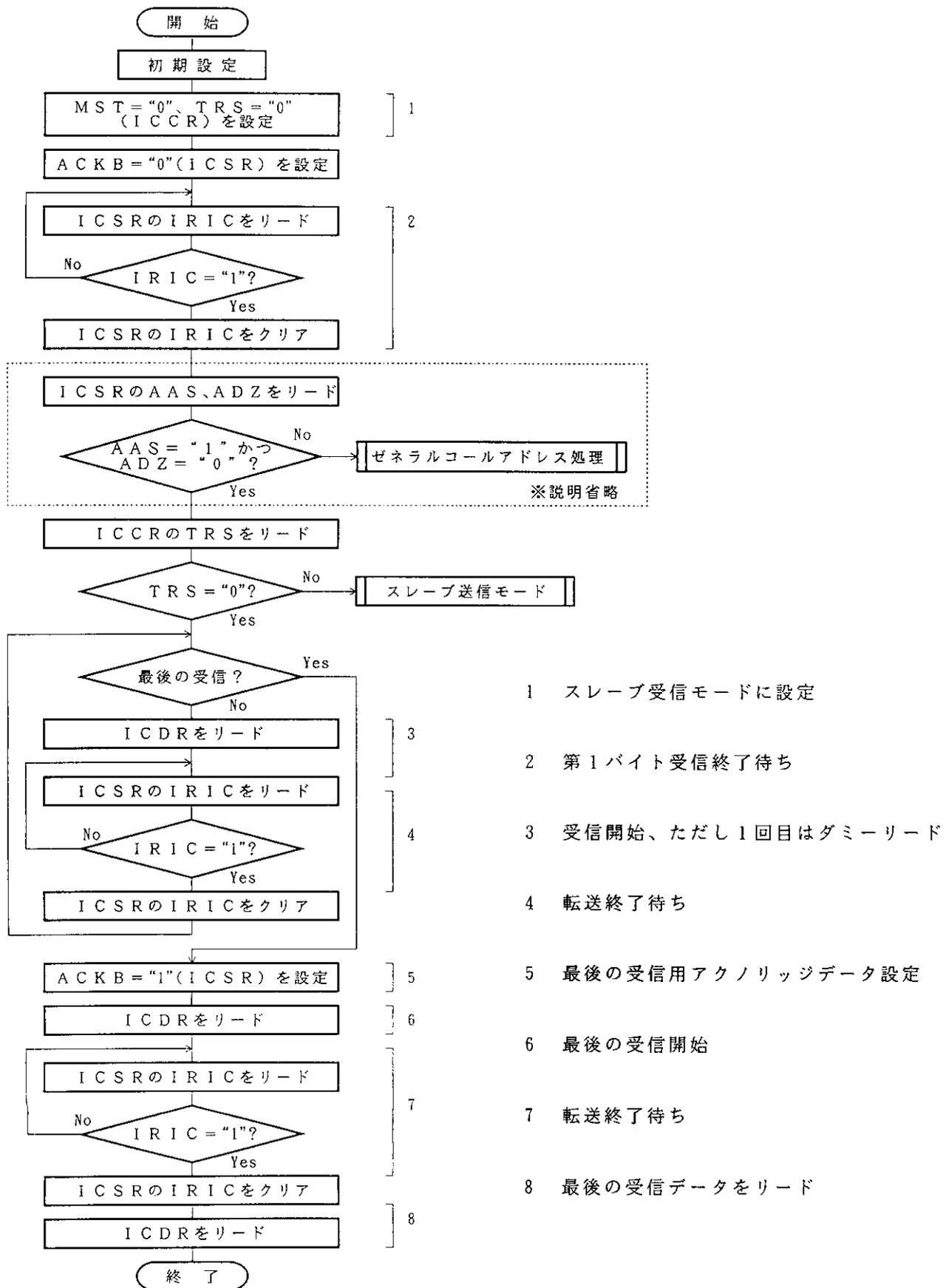


図14.15 スレープ受信モードフローチャート例

## 14.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は開始条件生成のための命令を発行後ポートをリードし、SCL、SDAが共に“Low”レベルになっていることを確認し、その後、停止条件生成のための命令を発行してください。
- (2) 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
- ① ICE = “1” かつ TRS = “1” かつ ICDR に送信データをライトしたとき
  - ② ICE = “1” かつ TRS = “0” かつ ICDR をリードしたとき
- (3) SCLの立ち上がり時間 $t_{sr}$ は、I<sup>2</sup>Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I<sup>2</sup>Cバスインタフェースはマスタモード時SCLラインをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{sr}$ （Lowレベルから $V_{IH}$ まで変化する時間）が、I<sup>2</sup>Cバスインタフェースの入力クロックで決まる時間を越えた場合、SCLのHigh期間が伸ばされます。SCLの立ち上がり時間はSCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、以下の表に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

CKDBL	IICX	$t_{cyc}$ 表示	時間表示					
				$\phi = 4\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$
0	0	$2.5t_{cyc}$	標準モード	625ns	500ns	312ns	250ns	156ns
			高速モード	300ns	300ns	300ns		
0	1	$7.5t_{cyc}$	標準モード	1000ns	1000ns	937ns	750ns	468ns
			1	0	高速モード	300ns	300ns	300ns
1	1	$17.5t_{cyc}$	標準モード	1000ns	1000ns	1000ns	1000ns	1000ns
			高速モード	300ns	300ns	300ns	300ns	300ns

# 15. ホストインタフェース

【H8/3212には、ホストインタフェースは内蔵されていません。】

## 第15章 目次

15.1	概要	325
15.1.1	ブロック図	326
15.1.2	端子構成	327
15.1.3	レジスタ構成	328
15.2	各レジスタの説明	329
15.2.1	システムコントロールレジスタ (SYSCR)	329
15.2.2	ホストインタフェースコントロールレジスタ (HICR)	329
15.2.3	入力データレジスタ1 (IDR1)	331
15.2.4	出力データレジスタ1 (ODR1)	331
15.2.5	ステータスレジスタ1 (STR1)	331
15.2.6	入力データレジスタ2 (IDR2)	334
15.2.7	出力データレジスタ2 (ODR2)	334
15.2.8	ステータスレジスタ2 (STR2)	334
15.3	動作説明	337
15.3.1	ホストインタフェースの起動	337
15.3.2	コントロール状態	337
15.3.3	GATE A20	338
15.4	割込み要因	340
15.4.1	IBF1、IBF2	340
15.4.2	HIRQ <sub>11</sub> 、HIRQ <sub>1</sub> 、HIRQ <sub>12</sub>	340
15.5	使用上の注意	341



## 15.1 概要

本LSIは、ホストインタフェース（HIF：Host InterFace）を内蔵しています。

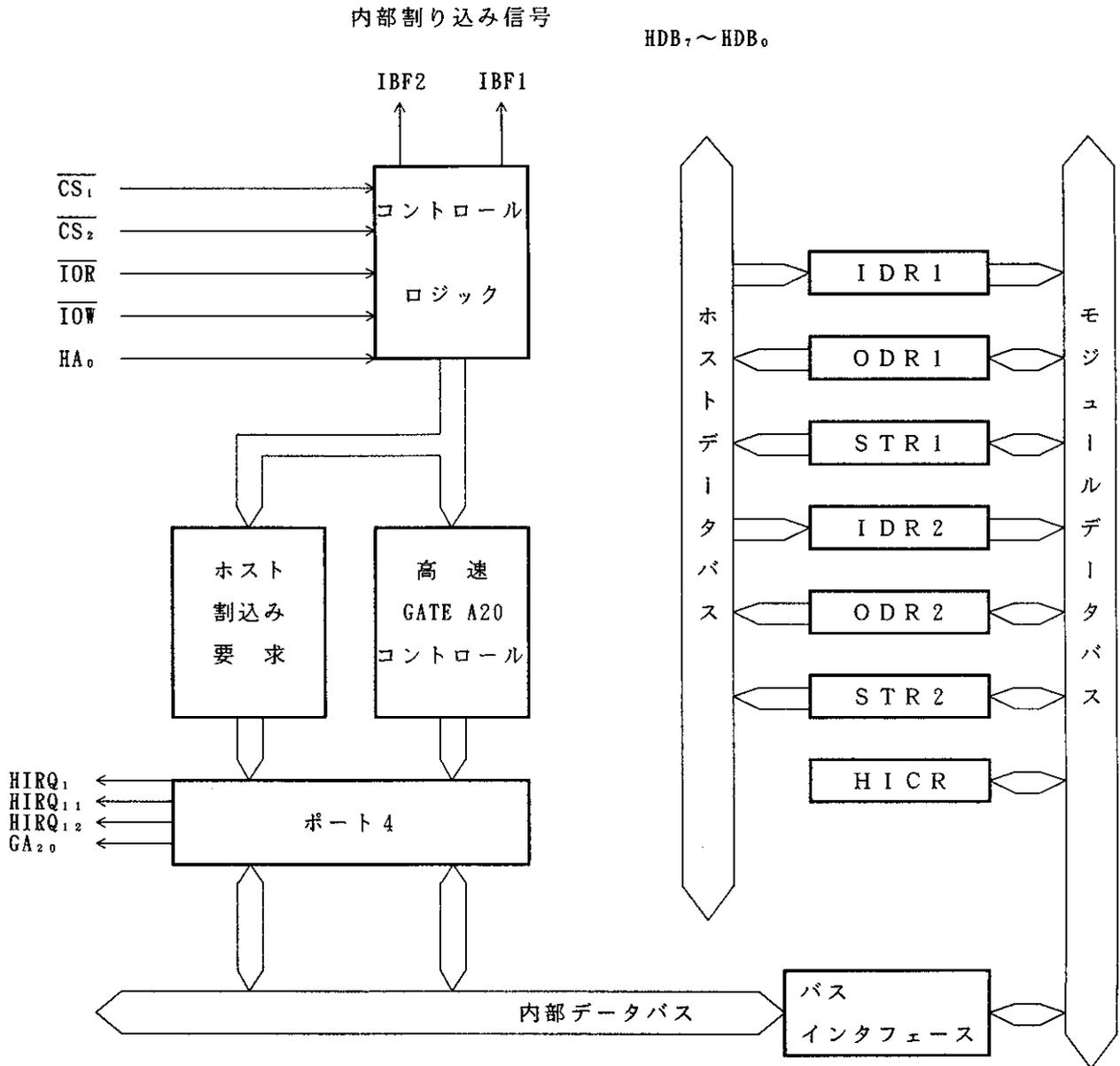
HIFは、本LSIの内部CPUとホストとの2チャンネルの平行インタフェース機能です。HIFは、SYSCRのHIEビットが“1”にセットされたときのみ使用できます。このときのモードをスレーブモードと呼びます。スレーブモードは、本LSIをスレーブとしてホストとのマスタスレーブ通信システム用に設計されています。

HIFは4バイトのデータレジスタ、2バイトのステータスレジスタ、および1バイトのコントロールレジスタと高速GATEA20ロジックとホスト割込み要求回路から構成されています。ホストからの5つのコントロール信号（CS<sub>1</sub>、CS<sub>2</sub>、HA<sub>0</sub>、IOR、IOW）、ホストへの4つの出力信号（GA<sub>20</sub>、HIRQ<sub>1</sub>、HIRQ<sub>11</sub>、HIRQ<sub>12</sub>）、およびコマンド／データ入出力バスとしての8ビットデータバス（HDB<sub>7</sub>～HDB<sub>0</sub>）を介してホストとの通信を行います。CS<sub>1</sub>とCS<sub>2</sub>信号は2つのインタフェースチャンネルのうち1つを選択する信号です。

【注】 2つのインタフェースチャンネルのうち1つを使用しない場合、使用しないCS端子はV<sub>cc</sub>に接続してください。例えば、インタフェースチャンネル1（IDR1、ODR1、STR1）を使用しない場合、CS<sub>1</sub>端子をV<sub>cc</sub>に接続してください。

15.1.1 ブロック図

図15.1にH I Fのブロック図を示します。



<記号説明>

$IDR1$  : 入力データレジスタ1

$IDR2$  : 入力データレジスタ2

$ODR1$  : 出力データレジスタ1

$ODR2$  : 出力データレジスタ2

$STR1$  : ステータスレジスタ1

$STR2$  : ステータスレジスタ2

$HICR$  : ホストインタフェースコントロールレジスタ

図15.1 H I Fのブロック図

## 15.1.2 端子構成

H I Fの入出力端子を表15.1に示します。

表15.1 端子構成

名 称	略 称	ポート	入出力	機 能
I/Oリード	$\overline{IOR}$	P7 <sub>6</sub>	入 力	ホストインタフェースリード信号
I/Oライト	$\overline{IOW}$	P7 <sub>5</sub>	入 力	ホストインタフェースライト信号
チップセレクト1	$\overline{CS}_1$	P7 <sub>4</sub>	入 力	IDR1、ODR1、STR1に対するホストインタフェースチップセレクト信号
チップセレクト2	$\overline{CS}_2$	P4 <sub>8</sub>	入 力	IDR2、ODR2、STR2に対するホストインタフェースチップセレクト信号
コマンド/データ	HA <sub>0</sub>	P7 <sub>7</sub>	入 力	ホストインタフェースアドレス選択信号 ホストリード時は、ステータレジスタ(STR1、STR2)かデータレジスタ(ODR1、ODR2)かを選択します。ホストライト時は、データレジスタ(IDR1、IDR2)へのライトがコマンドライトかデータライトかを表わします。
データバス	HDB <sub>7</sub> ~ HDB <sub>0</sub>	P3 <sub>7</sub> ~ P3 <sub>0</sub>	入出力	ホストインタフェースデータバス (シングルチップモード時)
ホスト割込み1	HIRQ <sub>1</sub>	P4 <sub>4</sub>	出 力	ホスト割込み要求出力1をホストへ出力
ホスト割込み11	HIRQ <sub>11</sub>	P4 <sub>3</sub>	出 力	ホスト割込み要求出力11をホストへ出力
ホスト割込み12	HIRQ <sub>12</sub>	P4 <sub>5</sub>	出 力	ホスト割込み要求出力12をホストへ出力
GATE A20	GA <sub>20</sub>	P4 <sub>7</sub>	出 力	GATE A20コントロール信号出力

### 15.1.3 レジスタ構成

H I Fのレジスタ構成を表15.2に示します。

表15.2 レジスタ構成

名 称	略 称	R / W <sup>*6</sup>		初期値	スレーブ アドレス <sup>*3</sup>	マスタアドレス <sup>*4</sup>		
		スレーブ	ホスト			CS <sub>1</sub>	CS <sub>2</sub>	HA <sub>0</sub>
システムコントロールレジスタ	SYSCR	R/W <sup>*1</sup>	—	H'09	H'FFC4	—	—	—
ホストインタフェースコントロールレジスタ	HICR	R/W	—	H'F8	H'FFF0	—	—	—
入力データレジスタ1	IDR1	R	W	—	H'FFF4	0	1	0/1 <sup>*5</sup>
出力データレジスタ1	ODR1	R/W	R	—	H'FFF5	0	1	0
ステータスレジスタ1	STR1	R/(W) <sup>*2</sup>	R	H'00	H'FFF6	0	1	1
入力データレジスタ2	IDR2	R	W	—	H'FFFC	1	0	0
出力データレジスタ2	ODR2	R/W	R	—	H'FFFD	1	0	0/1 <sup>*5</sup>
ステータスレジスタ2	STR2	R/(W) <sup>*2</sup>	R	H'00	H'FFFE	1	0	1
リアルタイムコントロールレジスタ	STCR	R/W	—	H'00	H'FFC3	—	—	—

【注】<sup>\*1</sup> ビット3のみリード専用ビットです。

<sup>\*2</sup> ユーザ定義ビット（ビット7～4、2）は、スレーブからリード／ライト可能です。

<sup>\*3</sup> スレーブからアクセスするときのアドレスです。

<sup>\*4</sup> マスタからアクセスするときの端子入力です。

<sup>\*5</sup> HA<sub>0</sub>入力は、コマンドライトとデータライトの識別に用いられます。

<sup>\*6</sup> スレーブアドレスH'FFF0～H'FFFFのレジスタは、システムコントロールレジスタ（SYSCR）のHIEビットが“1”の場合にのみリード／ライト可能です。

## 15.2 各レジスタの説明

### 15.2.1 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCRは、8ビットのリード/ライト可能なレジスタで、本LSIの動作を制御します。ホストインタフェース機能は、SYSCRのHIEビットによって許可または禁止されます。SYSCRのその他のビットについての詳細は「3.2 システムコントロールレジスタ」を参照してください。

SYSCRは、外部リセットまたはハードウェアスタンバイモード時にH'09にイニシャライズされます。

#### ビット1: ホストインタフェースイネーブルビット (HIE)

シングルチップモードで、ホストインタフェース機能を許可または禁止します。許可時には本LSIはスレーブモードとなり、スレーブとホスト間のデータ転送処理を行います。

ビット1	説明	
HIE		
0	ホストインタフェース機能を禁止	(初期値)
1	ホストインタフェース機能を許可 (スレーブモード)	

### 15.2.2 ホストインタフェースコントロールレジスタ (HICR)

ビット:	7	6	5	4	3	2	1	0
	---	---	---	---	---	IBFIE2	IBFIE1	FGA20E
初期値:	1	1	1	1	1	0	0	0
スレーブ R/W:	---	---	---	---	---	R/W	R/W	R/W
ホスト R/W:	---	---	---	---	---	---	---	---

HICRは、8ビットのリード/ライト可能なレジスタで、ホストインタフェースの割込みと高速GATE A20機能を制御します。

HICRは、リセットまたはスタンバイモード時にH'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：入力データレジスタフル割込みイネーブルビット2（IBFIE2）

内部CPUに対してIBF2割込みを許可または禁止します。

ビット2	説明
IBFIE2	
0	入力データレジスタ（IDR2）受信完了割込み要求を禁止（初期値）
1	入力データレジスタ（IDR2）受信完了割込み要求を許可

ビット1：入力データレジスタフル割込みイネーブルビット1（IBFIE1）

内部CPUに対してIBF1割込みを許可または禁止します。

ビット1	説明
IBFIE1	
0	入力データレジスタ（IDR1）受信完了割込み要求を禁止（初期値）
1	入力データレジスタ（IDR1）受信完了割込み要求を許可

ビット0：高速GATE A20イネーブルビット（FGA20E）

高速GATE A20機能を許可または禁止します。高速GATE A20が禁止された場合、通常のGATE A20はP4<sub>7</sub>出力をファームウェアで操作することで実現できます。

ビット0	説明
FGA20E	
0	高速GATE A20機能を禁止（初期値）
1	高速GATE A20機能を許可

### 15.2.3 入力データレジスタ1 (IDR1)

ビット:	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値:	—	—	—	—	—	—	—	—
スレーブR/W:	R	R	R	R	R	R	R	R
ホストR/W:	W	W	W	W	W	W	W	W

IDR1は、スレーブに対しては8ビットのリード専用の、ホストに対しては8ビットのライト専用のレジスタです。CS<sub>1</sub>が“Low”レベルの時に、IO<sub>W</sub>の立上がりエッジで、ホストデータバスの内容がIDR1にライトされます。HA<sub>0</sub>の状態はSTR1のC/Dビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR1は、リセットまたはスタンバイモード時、初期値は不定です。

### 15.2.4 出力データレジスタ1 (ODR1)

ビット:	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値:	—	—	—	—	—	—	—	—
スレーブR/W:	R/W							
ホストR/W:	R	R	R	R	R	R	R	R

ODR1は、スレーブに対しては8ビットのリード/ライト可能な、ホストに対しては8ビットのリード専用のレジスタです。HA<sub>0</sub>が“Low”レベル、CS<sub>1</sub>が“Low”レベル、IO<sub>R</sub>が“Low”レベルの時、ホストデータバスへODR1の内容が出力されます。

ODR1は、リセットまたはスタンバイモード時、初期値は不定です。

### 15.2.5 ステータスレジスタ1 (STR1)

ビット:	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値:	0	0	0	0	0	0	0	0
スレーブR/W:	R/W	R/W	R/W	R/W	R	R/W	R	R
ホストR/W:	R	R	R	R	R	R	R	R

STR1は、8ビットのレジスタでホストインタフェース処理中の状態を表示します。ビット3、1、0はホストとスレーブのいずれもリード専用です。

STR1は、リセットまたはスタンバイモード時にH'00にイニシャライズされます。

ビット7～4、2：ユーザ定義ビット（DBU）

ユーザが必要に応じて使用できるビットです。

ビット3：コマンド／データ（C/D）

ホストがIDR1に対してライトを行ったときの、HA<sub>0</sub>の状態がライトされ、IDR1の内容がデータかコマンドかを識別します。

ビット3	説明
C/D	
0	入力データレジスタ（IDR1）の内容はデータ（初期値）
1	入力データレジスタ（IDR1）の内容はコマンド

ビット1：入力データレジスタフル（IBF）

ホストがIDR1にライトすると“1”にセットされます。スレーブに対しての内部割込み要因の1つとなります。スレーブがIDR1をリードするとIBFビットは“0”にクリアされます。

ビット1	説明
IBF	
0	〔クリア条件〕 スレーブがIDR1をリード（初期値）
1	〔セット条件〕 ホストがIDR1にライト

ビット0：出力データレジスタフル（OBF）

スレーブがODR1へライトすると“1”にセットされます。ホストがODR1をリードすると、OBFビットは“0”にクリアされます。

ビット0	説明
OBF	
0	〔クリア条件〕 ホストがODR1をリード（初期値）
1	〔セット条件〕 スレーブがODR1にライト

表15.3にSTR1のフラグをセット/クリアするタイミングを示します。

表15.3 STR1のフラグのセット/クリアタイミング

フラグ	セ ッ ト 条 件	ク リ ア 条 件
C/ $\overline{D}$	HA <sub>0</sub> が“High”レベルのときのホストライト( $\overline{IOW}$ )信号の立上がりエッジ	HA <sub>0</sub> が“Low”レベルのときのホストライト( $\overline{IOW}$ )信号の立上がりエッジ
IBF	IDR1へライトするためのホストライト( $\overline{IOW}$ )信号の立上がりエッジ	IDR1からリードするためのスレーブの内部リード( $\overline{RD}$ )信号の立下がりエッジ
OBF	ODR1へライトするためのスレーブの内部ライト( $\overline{WR}$ )信号の立下がりエッジ	ODR1からリードするためのホストリード( $\overline{IOR}$ )信号の立上がりエッジ

### 15.2.6 入力データレジスタ 2 (IDR2)

ビット:	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値:	—	—	—	—	—	—	—	—
スレーブ R/W:	R	R	R	R	R	R	R	R
ホスト R/W:	W	W	W	W	W	W	W	W

IDR2は、スレーブに対しては8ビットのリード専用の、ホストに対しては8ビットのライト専用レジスタです。CS<sub>2</sub>が“Low”レベルの時に、IOWの立上がりエッジで、ホストデータバスの内容がIDR2にライトされます。HA<sub>0</sub>の状態はSTR2のC/Dビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR2は、リセットまたはスタンバイモード時、初期値は不定です。

### 15.2.7 出力データレジスタ 2 (ODR2)

ビット:	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値:	—	—	—	—	—	—	—	—
スレーブ R/W:	R/W							
ホスト R/W:	R	R	R	R	R	R	R	R

ODR2は、スレーブに対して8ビットのリード/ライト可能な、ホストに対しては8ビットのリード専用のレジスタです。HA<sub>0</sub>が“Low”レベル、CS<sub>2</sub>が“Low”レベル、IORが“Low”レベルの時、ホストデータバスへODR2の内容が出力されます。

### 15.2.8 ステータスレジスタ 2 (STR2)

ビット:	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値:	0	0	0	0	0	0	0	0
スレーブ R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R
ホスト R/W:	R	R	R	R	R	R	R	R

STR2は8ビットのレジスタで、ホストインタフェース処理中の状態を表示します。ビット3、1、0はホストとスレーブのいずれもリード専用です。

STR2は、リセットまたはスタンバイモード時にH'00にイニシャライズされます。

### ビット7～4、2：ユーザ定義ビット（DBU）

ユーザが必要に応じて使用できるビットです。

### ビット3：コマンド/データ（C/D）

ホストがIDR2に対してライトを行ったときの、HA<sub>0</sub>の状態がライトされ、IDR2レジスタ内容がデータがコマンドかを識別します。

ビット3	説	明
C/D		
0	入力データレジスタ（IDR2）の内容はデータ	（初期値）
1	入力データレジスタ（IDR2）の内容はコマンド	

### ビット1：入力データレジスタフル（IBF）

ホストがIDR2にライトすると“1”にセットされます。スレーブに対しての内部割込み要因の1つとなります。スレーブが、IDR2をリードするとIBFビットは“0”にクリアされます。

ビット1	説	明
IBF		
0	〔クリア条件〕 スレーブがIDR2をリード	（初期値）
1	〔セット条件〕 ホストがIDR2にライト	

### ビット0：出力データレジスタフル（OBF）

スレーブがODR2へライトすると“1”にセットされます。ホストがODR2をリードするとOBFビットは“0”にクリアされます。

ビット0	説	明
OBF		
0	〔クリア条件〕 ホストがODR2をリード	（初期値）
1	〔セット条件〕 スレーブがODR2にライト	

表15.4にSTR2フラグをセット/クリアする条件を示します。

表15.4 STR2レジスタのフラグのセット/クリア

フラグ	セ ッ ト 条 件	ク リ ア 条 件
C/ $\overline{D}$	HA <sub>0</sub> が“High”レベルのときのホストライト( $\overline{IOW}$ )信号の立上がりエッジ	HA <sub>0</sub> が“Low”レベルのときのホストライト( $\overline{IOW}$ )信号の立上がりエッジ
IBF	IDR2へライトするためのホストライト( $\overline{IOW}$ )信号の立上がりエッジ	IDR2からリードするためのスレーブの内部リードRD信号の立下がりエッジ
OBF	ODR2へライトするためのスレーブの内部ライト( $\overline{WR}$ )信号の立下がりエッジ	ODR2からリードするためのホストリード( $\overline{IOR}$ )信号の立上がりエッジ

## 15.3 動作説明

### 15.3.1 ホストインタフェースの起動

SYSCRのHIEビット（ビット1）を“1”にセットすることによりHIF（スレーブモード）が起動します。HIF（スレーブモード）を起動することにより、関連するI/Oポート（データ用ポート3、コントロール用ポート4およびポート7、ホスト割込み要求用ポート4）はすべてホストインタフェース専用となります。

ホストリード/ライトタイミングについては、「19.3.8 ホストインタフェースタイミング」を参照してください。

### 15.3.2 コントロール状態

表15.5にHIFのホストからのホストインタフェース操作とスレーブの動作を示します。

表15.5 ホストからのホストインタフェース操作とスレーブの動作

$\overline{CS}_2$	$\overline{CS}_1$	$\overline{IOR}$	$\overline{IOW}$	HA <sub>0</sub>	動作
1	0	0	0	0	設定禁止
1	0	0	0	1	設定禁止
1	0	0	1	0	出力データレジスタ1（ODR1）からデータをリード
1	0	0	1	1	ステータスレジスタ1（STR1）からステータスをリード
1	0	1	0	0	入力データレジスタ1（IDR1）へデータをライト
1	0	1	0	1	入力データレジスタ1（IDR1）へコマンドをライト
1	0	1	1	0	アイドル状態
1	0	1	1	1	アイドル状態
0	1	0	0	0	設定禁止
0	1	0	0	1	設定禁止
0	1	0	1	0	出力データレジスタ2（ODR2）からデータをリード
0	1	0	1	1	ステータスレジスタ2（STR2）からステータスをリード
0	1	1	0	0	入力データレジスタ2（IDR2）へデータをライト
0	1	1	0	1	入力データレジスタ2（IDR2）へコマンドをライト
0	1	1	1	0	アイドル状態
0	1	1	1	1	アイドル状態

### 15.3.3 G A T E A 20

G A T E A 20は8086\*系C P Uを使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレスA 20をマスクすることができます。スレーブモードでは、本出力は通常G A T E A 20としてファームウェアで制御されますが、H I C R (H' FFF0) のF G A 20Eビット（ビット0）を“1”にセットすることによりハードウェアで処理速度を上げた、高速G A T E A 20機能を使用することが可能です。

【注】\* 米国インテル社のマイクロプロセッサの名称です。

#### (1) 通常のG A T E A 20の動作

“H'D1”コマンドとデータの組合せでG A T E A 20の出力を制御することができます。スレーブがデータを受信するときは、通常はI B F 1割込みによる割込みルーチン使用してI D R 1をリードします。このとき、ファームウェアにより“H'D1”コマンドに続くデータのビット1の値をコピーしてG A T E A 20端子に出力します。

#### (2) 高速G A T E A 20の動作

F G A 20Eビットを“1”にセットすると、P4<sub>7</sub>/GA20は高速GA20信号の専用端子となります。P4<sub>7</sub>を出力端子として割り当てるためにP4<sub>7</sub>のD D Rビットを“1”にセットしてください。端子は最初にD Rの初期値である“0”を出力します。その後ホストはコマンド／データを送ることにより本端子の出力を操作することができます。本機能はCS<sub>1</sub>によりアクセスされるI D R 1レジスタによってのみ使用できます。この場合、スレーブはホストから入力されてくるコマンドをデコードします。ホストコマンド“H'D1”が検出されると、このホストコマンドに続くデータのビット1がGA20出力端子から出力されます。本動作は、ファームウェアや割込みに依存しないため、通常の割込みを使用した処理よりも高速です。表15.6にGA20 (P4<sub>7</sub>)のセット／クリアの条件を、図15.2にGA20出力の流れを示します。また、表15.7にGA20出力信号の値を示します。

表15.6 GA20 (P4<sub>7</sub>)のセット／クリアタイミング

端子名	セット条件	クリア条件
GA20 (P4 <sub>7</sub> )	“H'D1”ホストコマンドに続くデータのビット1が“1”のとき、ホストライト信号(IOW)の立上がりエッジが入力された時	“H'D1”ホストコマンドに続くデータのビット1が“0”のとき、ホストライト信号(IOW)の立上がりエッジが入力された時

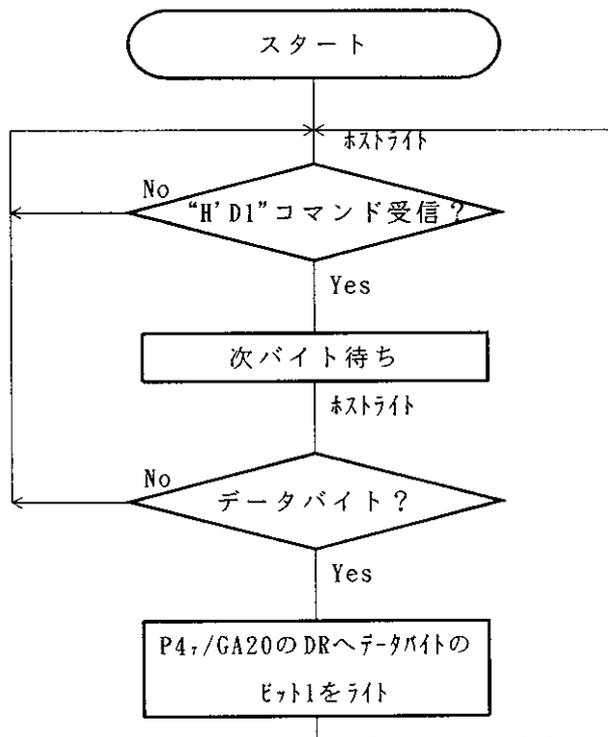


図15.2 GA20出力

表15.7 高速GATE A<sub>20</sub>出力信号

HA0	データ/コマンド	内部CPU 割込みフラグ	GA <sub>20</sub> (P47)	備考
1	D1コマンド	0	Q	ターンオン
0	“1”データ* <sup>1</sup>	0	1	シーケンス
1	FFコマンド	0	Q(1)	
1	D1コマンド	0	Q	ターンオフ
0	“0”データ* <sup>2</sup>	0	0	シーケンス
1	FFコマンド	0	Q(0)	
1	D1コマンド	0	Q	ターンオン
0	“1”データ* <sup>1</sup>	0	1	シーケンス
1/0	FF・D1コマンド以外	1	Q(1)	(短縮形)
1	D1コマンド	0	Q	ターンオフ
0	“0”データ* <sup>2</sup>	0	0	シーケンス
1/0	FF・D1コマンド以外	1	Q(0)	(短縮形)
1	D1コマンド	0	Q	シーケンス
1	D1以外のコマンド	1	Q	の取消し
1	D1コマンド	0	Q	シーケンス
1	D1コマンド	0	Q	の再トリガ
1	D1コマンド	0	Q	シーケンス
0	任意のデータ	0	1/0	の連続実行
1	D1コマンド	0	Q(1/0)	

【注】\*<sup>1</sup> ビット1が“1”の任意のデータ

\*<sup>2</sup> ビット1が“0”の任意のデータ

## 15.4 割込み要因

### 15.4.1 I B F 1、I B F 2

ホストインタフェースはスレーブに対してI B F 1、I B F 2の2つの割込み要求があります。これらは入力データレジスタI D R 1とI D R 2についての入力バッファフル割込みです。割込み要求は対応するイネーブルビットをセットすることにより許可されます。

表15.8 入力バッファフル割込み

割込み	説 明
I B F 1	I B F I E 1が“1”にセットされ、I D R 1が受信完了になったときに要求
I B F 2	I B F I E 2が“1”にセットされ、I D R 2が受信完了になったときに要求

### 15.4.2 H I R Q<sub>1,1</sub>、H I R Q<sub>1</sub>、H I R Q<sub>1,2</sub>

スレーブモード（シングルチップモード、S Y S C RレジスタH I E = “1”）で、ホスト割込み要求ラッチとして使用できるビットがポート4のD Rに3ビットあります。

ポート4のD Rの対応するビットはホストリード(I O R)によって“0”にクリアされます。CS<sub>1</sub>が“Low”レベル、HA<sub>0</sub>が“Low”レベルのとき、ホストリード(I O R)でO D R 1をリードするとH I R Q<sub>1</sub>とH I R Q<sub>1,2</sub>が“0”にクリアされます。CS<sub>2</sub>が“Low”レベル、HA<sub>0</sub>が“Low”レベルのときホストリード(I O R)でO D R 2をリードするとH I R Q<sub>1,1</sub>が“0”にクリアされます。通常、内蔵ファームウェアはホスト割込み要求を発生させるために、対応するビットに“1”をライトします。ホストは割込み処理を起動し、割込み処理の中で出力データレジスタ（O D R 1かO D R 2）をリードします。このときのホストリードによってホスト割込みラッチが“0”にクリアされます。

表15.9にこれらのビットのセットとクリアの方法を示します。また、図15.3に処理フローを示します。

表15.9 H I R Qのセット／クリア

ホスト 割込み信号	セ ッ ト 条 件	ク リ ア 条 件
H I R Q <sub>1,1</sub> (P4 <sub>3</sub> )	内部C P Uが、ポート4のD Rのビット3を“0”リード後“1”をライト	ポート4のD Rのビット3に内部C P Uから“0”ライトまたは、出力データレジスタ2をホストリード
H I R Q <sub>1</sub> (P4 <sub>4</sub> )	内部C P Uが、ポート4のD Rのビット4を“0”リード後“1”をライト	ポート4のD Rのビット4に内部C P Uから“0”ライトまたは、出力データレジスタ1をホストリード
H I R Q <sub>1,2</sub> (P4 <sub>5</sub> )	内部C P Uが、ポート4のD Rのビット5を“0”リード後“1”をライト	ポート4のD Rのビット5に内部C P Uから“0”ライトまたは、出力データレジスタ1をホストリード

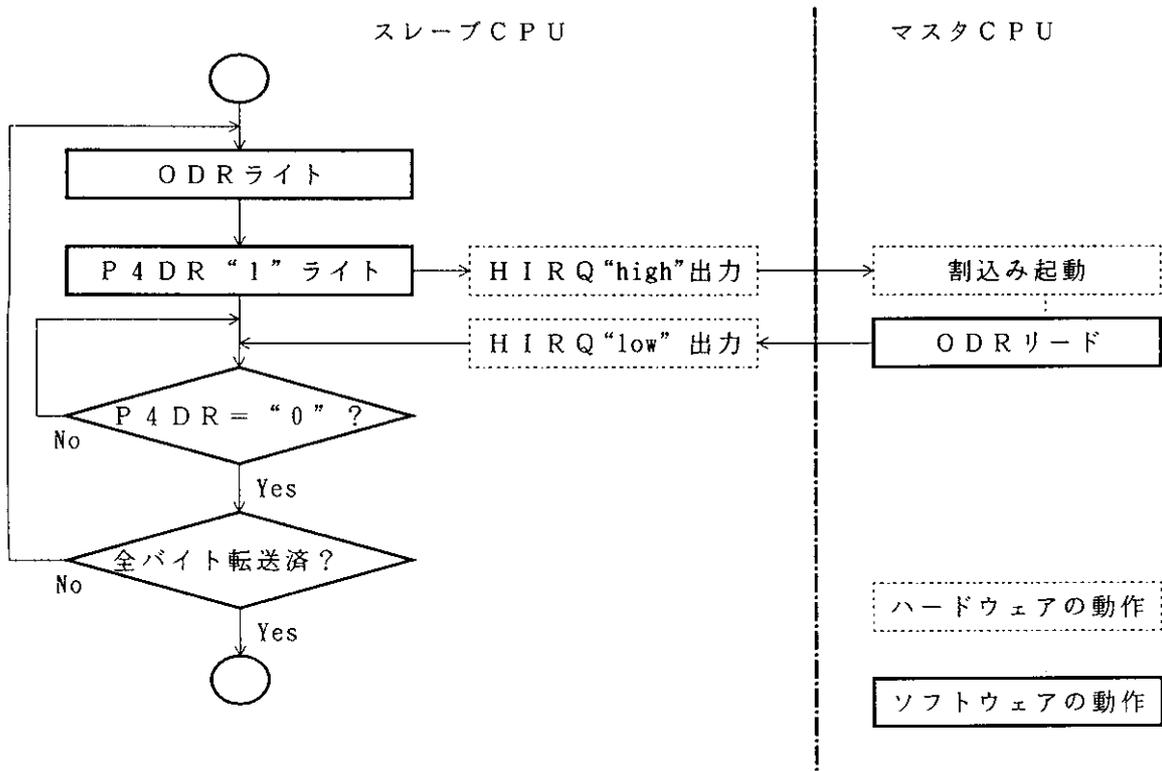


図15.3 H I R Q出力の利用フロー

### 15.5 使用上の注意

H I Fはホストとスレーブからの非同期データのバッファリングを提供しています。必要な機能を実現し、データの競合を防ぐためにはインタフェースのプロトコルが必要です。例えば、ホストとスレーブが同時にI D RやO D Rをアクセスしようとする、データは破壊されてしまいます。これには、割り込みを用いた、簡単な手順を構成することが有効です。



# 16. RAM

---

## 第16章 目次

16.1	概要	345
16.1.1	ブロック図	345
16.1.2	SYSCRのRAMイネーブルビット (RAME)	345
16.2	動作説明	346
16.2.1	拡張モード (モード1、2)	346
16.2.2	シングルチップモード (モード3)	346

---



## 16.1 概要

H 8 / 3 2 1 7 および H 8 / 3 2 1 6 は 2 k バイト、H 8 / 3 2 1 4 は 1 k バイト、H 8 / 3 2 1 2 および H 8 / 3 2 0 2 は 512 バイトのスタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがってデータの高速転送が可能です。

内蔵 RAM は、H 8 / 3 2 1 7 および H 8 / 3 2 1 6 では H' F780 ~ H' FF7F、H 8 / 3 2 1 4 では H' FB80 ~ H' FF7F、H 8 / 3 2 1 2 および H 8 / 3 2 0 2 では H' FD80 ~ H' FF7F に割り当てられており、システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME) により、内蔵 RAM 有効または無効の制御を行います。

### 16.1.1 ブロック図

RAM のブロック図を図 16.1 に示します。

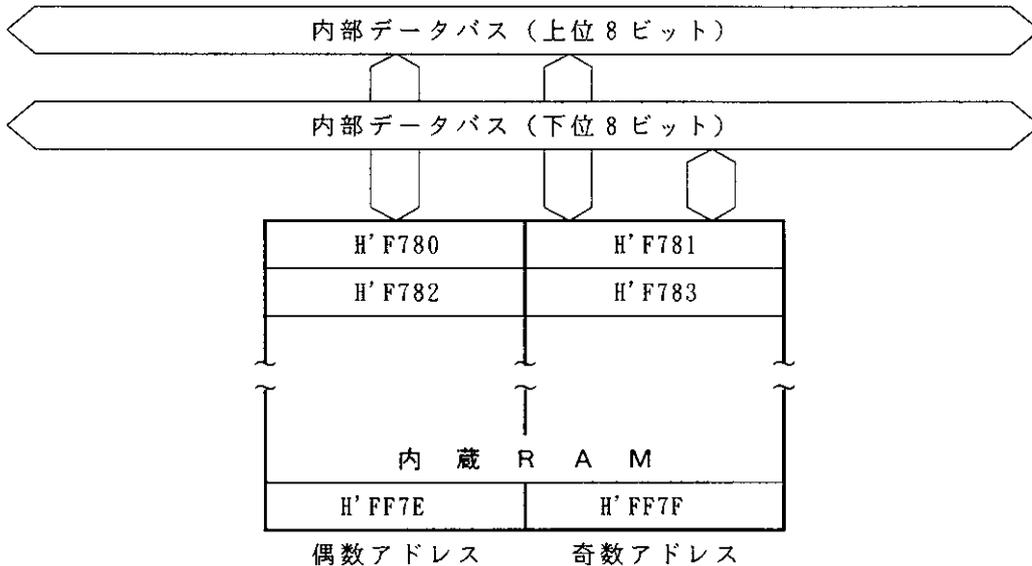


図 16.1 RAM のブロック図 (H 8 / 3 2 1 7 の場合)

### 16.1.2 SYSCR の RAM イネーブルビット (RAME)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

内蔵 RAM は、SYSCR の RAME ビットによってイネーブル / ディスエーブルされます。

なお、SYSCR のその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

## ビット0：RAMイネーブル（RAME）

内蔵RAM有効または無効を選択します。RAMEビットは、RES端子の立上がりでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット0 RAME	説明
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

## 16.2 動作説明

### 16.2.1 拡張モード（モード1、2）

RAMEビットが“1”にセットされているとき、H8/3217およびH8/3216ではH'F780～H'FF7F、H8/3214ではH'FB80～H'FF7F、H8/3212およびH8/3202ではH'FD80～H'FF7Fをアクセスすると、内蔵RAMがアクセスされます。また、RAMEビットが“0”にクリアされているときは、外部アドレスとしてアクセスされます。

### 16.2.2 シングルチップモード（モード3）

RAMEビットが“1”にセットされているとき、H8/3217およびH8/3216ではH'F780～H'FF7F、H8/3214ではH'FB80～H'FF7F、H8/3212およびH8/3202ではH'FD80～H'FF7Fをアクセスすると、内蔵RAMがアクセスされます。RAMEビットが“0”にクリアされているときは、内蔵RAMはアクセスされません。リードすると常にH'FFがリードされ、ライトは無効です。

【注】RAMの初期値は不定です。RAM上の特定ビットを制御ビットとして使用するときは必ず初期値設定を最初に行ってください。

# 17. ROM

---

## 第17章 目次

17.1	概要	349
17.1.1	ブロック図	349
17.2	PROMモード (H8/3217、H8/3214)	350
17.2.1	PROMモードの設定	350
17.2.2	ソケットアダプタの端子対応とメモリマップ	350
17.3	プログラミング	353
17.3.1	書込みモードの選択	353
17.3.2	書込み/ベリファイ	353
17.3.3	書込み時の注意	357
17.3.4	書込み後の信頼性	357
17.3.5	データの消去	358
17.4	窓付パッケージ品の取扱い	358

---



## 17.1 概要

H8/3217は60kバイト、H8/3216は48kバイト、H8/3214は32kバイト、H8/3212およびH8/3202は16kバイトのROMを内蔵しています。ROMは、CPUと16ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず2ステートで行われます。したがって、データの高速度転送が可能です。

内蔵ROM有効または無効の設定は、表17.1に示すように、モード端子(MD<sub>1</sub>、MD<sub>0</sub>)により行います。

表17.1 動作モードとROM

動作モード	モード端子		内蔵ROM
	MD <sub>1</sub>	MD <sub>0</sub>	
モード1 (内蔵ROM無効拡張モード)	0	1	無効
モード2 (内蔵ROM有効拡張モード)	1	0	有効
モード3 (シングルチップモード)	1	1	有効

なおH8/3217、H8/3214のPROM版は、PROMモードに設定することにより、汎用PROMライターを用いて、自由にプログラムの書込みができます。

H8/3217のモード2のROMは、H'0000~H'EF7F(61312バイト)が有効になり、モード3のROMは、H'0000~H'F77F(63360バイト)が有効になります。詳しくは「第3章 MCU動作モード」を参照してください。

### 17.1.1 ブロック図

ROMのブロック図を図17.1に示します。

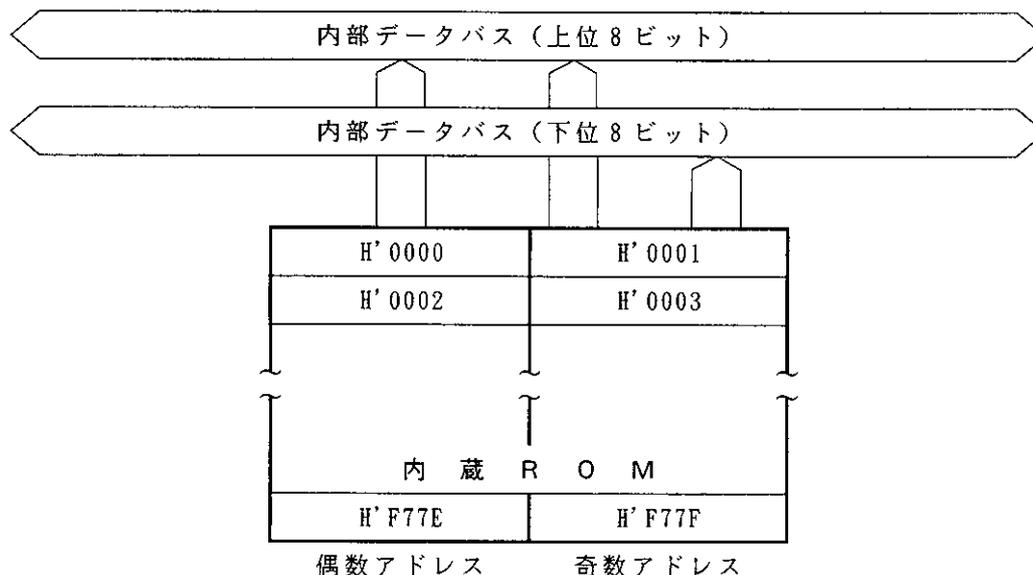


図17.1 ROMのブロック図 (H8/3217シングルチップモードの場合)

## 17.2 PROMモード (H8 / 3 2 1 7、H8 / 3 2 1 4)

### 17.2.1 PROMモードの設定

H8 / 3 2 1 7およびH8 / 3 2 1 4のPROM版の場合、PROMモードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101と同一の方法で内蔵PROMのプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

PROMモードの設定方法を、表17.2に示します。

表17.2 PROMモードの設定

端子名	設定
モード端子 MD <sub>i</sub>	"Low"レベル
モード端子 MD <sub>o</sub>	
STBY端子	
P7 <sub>o</sub> 、P7 <sub>i</sub> 端子	"High"レベル

### 17.2.2 ソケットアダプタの端子対応とメモリマップ

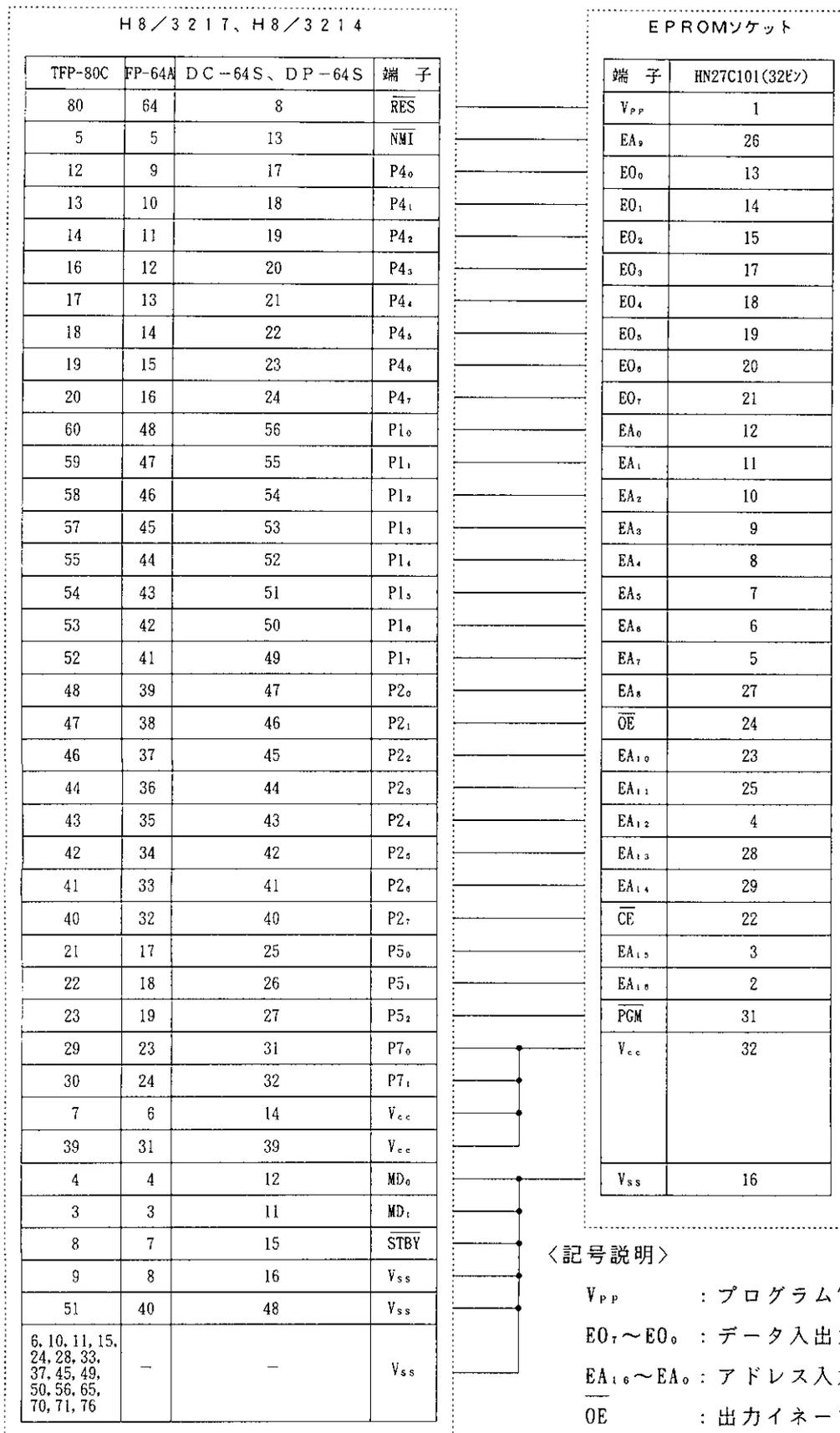
PROMのプログラムは、表17.3で示すように、各パッケージに対応したソケットアダプタを付けてピン変換し、汎用PROMライターでプログラミングを行います。ソケットアダプタの端子対応図を各製品ごとに図17.2に示します。

表17.3 ソケットアダプタ

対応PROM版	パッケージ名	ソケットアダプタの形名
H8 / 3 2 1 7 H8 / 3 2 1 4	64ピン窓付シュリンクDIP(DC-64S)	HS3217ESSS1H
	64ピンシュリンクDIP(DP-64S)	
	64ピンQFP(FP-64A)	HS3217ESHS1H
	80ピンTQFP(TFP-80C)	HS3217ESNS1H

なお、H8 / 3 2 1 7、H8 / 3 2 1 4のPROMの容量はそれぞれ60kバイト、32kバイトです。PROMモード時のメモリマップをそれぞれ図17.3、図17.4に示します。内蔵PROM内の未使用のアドレス領域のデータは、H'FFとしてください。

H8 / 3 2 1 7、H8 / 3 2 1 4をPROMライターでプログラムする際に、アドレスはそれぞれH'0000~H'F77F、H'0000~H'7FFFに設定し、H'F780、H'8000以降のデータはH'FFとしてください。誤ってH'F780、H'8000以降にプログラムすると、PROMの書込みや確認ができなくなることがあります。また、ページプログラミング方式でプログラムしようとした場合も同様です。特にプラスチックパッケージでは再生できませんのでご注意ください。



【注】 図中に記載されていない端子はすべてオープンにしてください。

図17.2 ソケットアダプタの端子対応図

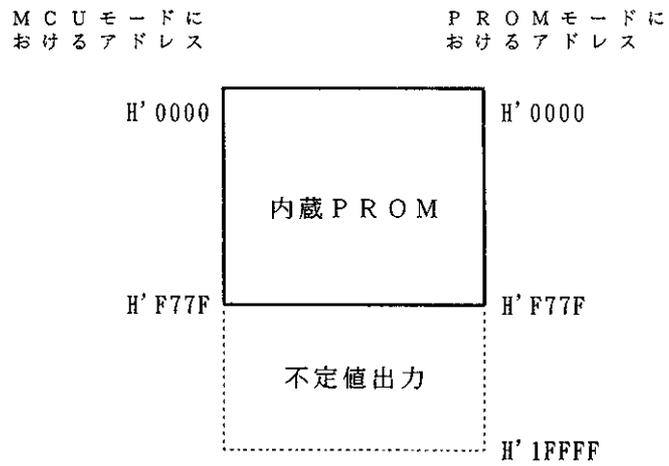


図17.3 H8 / 3217のPROMモード時のメモリマップ

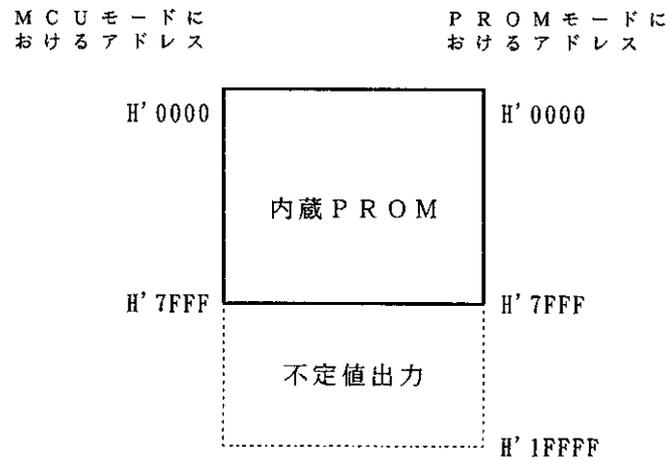


図17.4 H8 / 3214のPROMモード時のメモリマップ

## 17.3 プログラミング

### 17.3.1 書込みモードの選択

PROMモード時の書込み、ベリファイなどのモードの選択は、表17.4に示す設定によって行います。

表17.4 PROMモード時のモード選択

モード \ ピン	CE	OE	PGM	V <sub>pp</sub>	V <sub>cc</sub>	EO <sub>7</sub> ~EO <sub>0</sub>	EA <sub>15</sub> ~EA <sub>0</sub>
書込み	L	H	L	V <sub>pp</sub>	V <sub>cc</sub>	データ入力	アドレス入力
ベリファイ	L	L	H	V <sub>pp</sub>	V <sub>cc</sub>	データ出力	アドレス入力
プログラミング禁止	L	L	L	V <sub>pp</sub>	V <sub>cc</sub>	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

<記号説明>

L : “Low” レベル

H : “High” レベル

V<sub>pp</sub> : “V<sub>pp</sub>” レベル

V<sub>cc</sub> : “V<sub>cc</sub>” レベル

なお、書込み、読出しは、標準EPROM、HN27C101と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしているPROMライタは使用できません。PROMライタを選択する場合は、1バイトごとの高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ずH8/3217ではH'0000~H'F77F、H8/3214ではH'0000~H'7FFFに設定してください。

### 17.3.2 書込み/ベリファイ

書込み/ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレスを与えることなく、また書込みデータの信頼性を損うことなく、高速な書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。高速プログラミングの基本的なフローを図17.5に示します。また、プログラミング時の電気的特性を表17.5、表17.6に、タイミングを図17.6に示します。

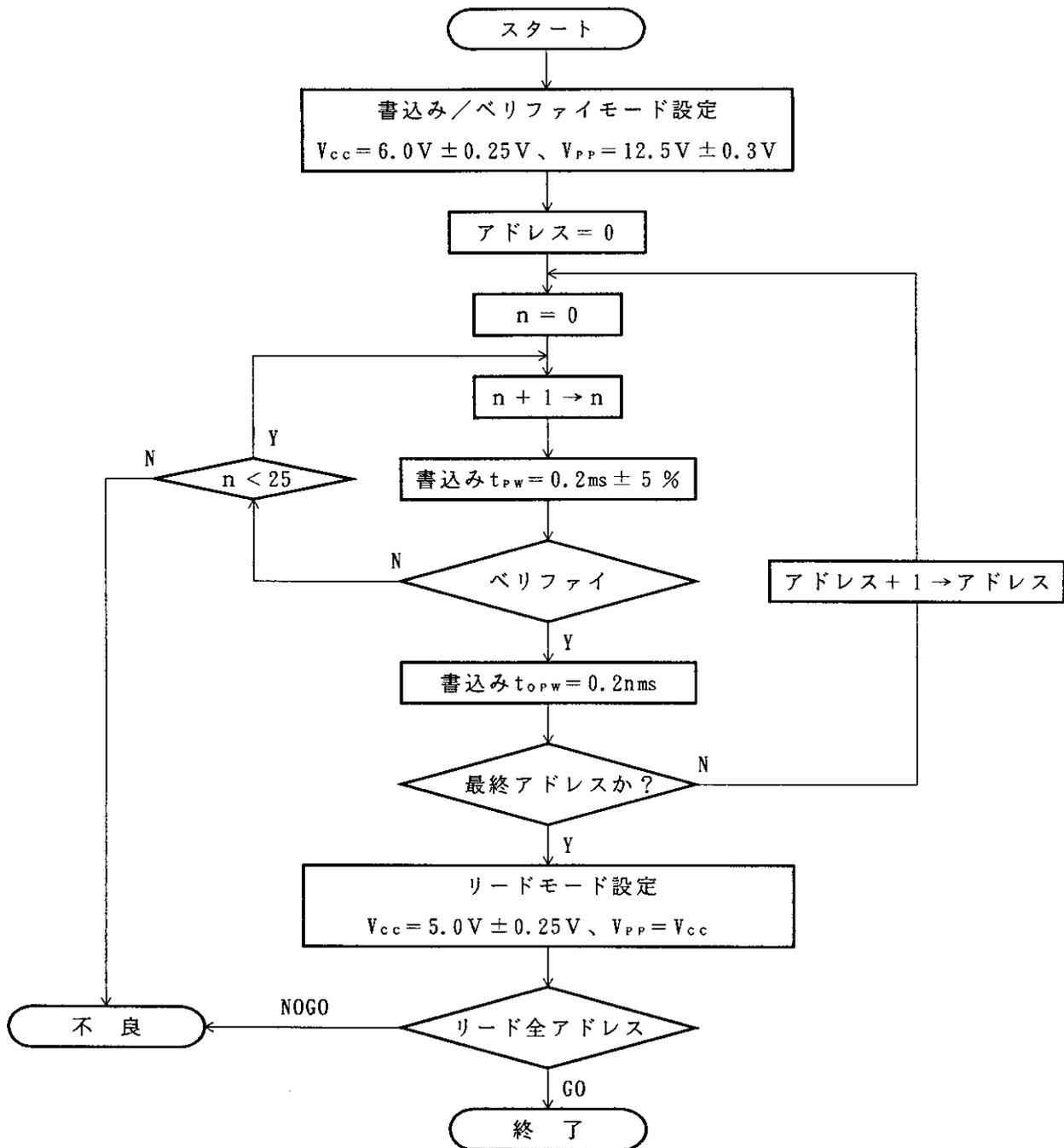


図17.5 高速プログラミングフローチャート

表 17.5 D C 特性

(条件 :  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$ )

項	目	記号	min	typ	max	単位	測定条件
入力“High” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IH}$	2.4	—	$V_{CC} + 0.3$	V	
入力“Low” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IL}$	-0.3	—	0.8	V	
出力“High” レベル電圧	$EO_7 \sim EO_0$	$V_{OH}$	2.4	—	—	V	$I_{OH} = -200 \mu A$
出力“Low” レベル電圧	$EO_7 \sim EO_0$	$V_{OL}$	—	—	0.45	V	$I_{OL} = 1.6mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$ I_{IL} $	—	—	2	$\mu A$	$V_{in} = 5.25V / 0.5V$
$V_{CC}$ 電流		$I_{CC}$	—	—	40	mA	
$V_{PP}$ 電流		$I_{PP}$	—	—	40	mA	

表 17.6 A C 特性

(条件 :  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25^\circ C \pm 5^\circ C$ )

項	目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間		$t_{AS}$	2	—	—	$\mu s$	図 17.6*
$\overline{OE}$ セットアップ時間		$t_{OES}$	2	—	—	$\mu s$	
データセットアップ時間		$t_{DS}$	2	—	—	$\mu s$	
アドレスホールド時間		$t_{AH}$	0	—	—	$\mu s$	
データホールド時間		$t_{DH}$	2	—	—	$\mu s$	
データ出力ディスエーブル時間		$t_{DF}$	—	—	130	ns	
$V_{PP}$ セットアップ時間		$t_{VPS}$	2	—	—	$\mu s$	
プログラムパルス幅		$t_{PW}$	0.19	0.20	0.21	ms	
オーバプログラム時の $\overline{OE}$ パルス幅		$t_{OPW}$	0.19	—	5.25	ms	
$V_{CC}$ セットアップ時間		$t_{VCS}$	2	—	—	$\mu s$	
$\overline{CE}$ セットアップ時間		$t_{CES}$	2	—	—	$\mu s$	
データ出力遅延時間		$t_{OE}$	0	—	150	ns	

【注】 入力パルスレベル : 0.8~2.2V

入力立上がり / 立下がり時間  $\leq 20ns$

タイミング参照レベル { 入力 : 1.0V、2.0V  
出力 : 0.8V、2.0V

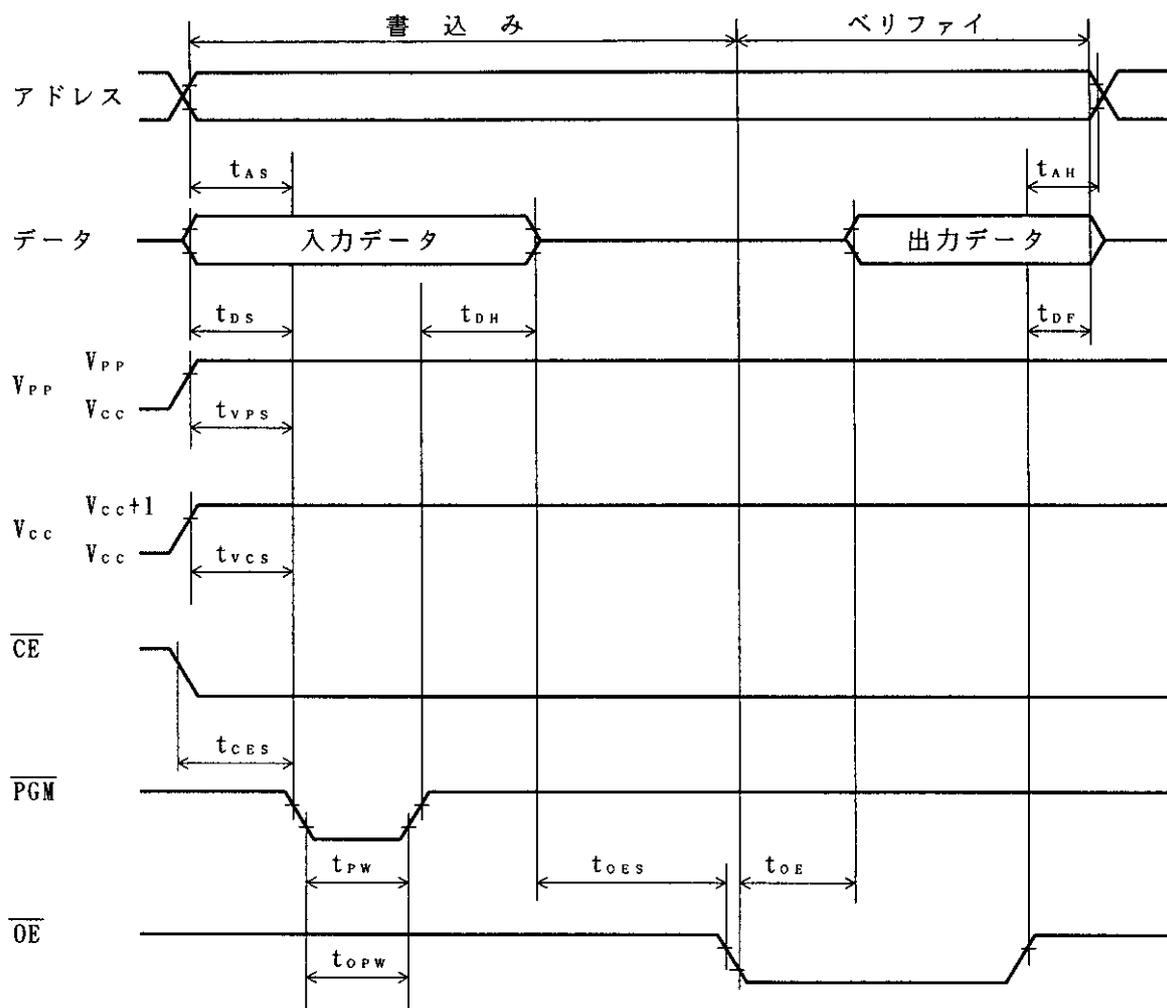


図17.6 PROM書込み/ベリファイタイミング

### 17.3.3 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。  
PROMモード時のプログラム電圧 ( $V_{PP}$ ) は12.5Vです。  
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。  
PROMライタのHN27C101の日立仕様にセットすると、 $V_{PP}$ は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定は、高速プログラミング方式で行ってください。
- (5) PROMの容量は、H8/3217では60kバイト、H8/3214では32kバイトです。  
アドレスは、必ずH8/3217ではH'0000~H'F77F、H8/3214ではH'0000~H'7FFFに設定してください。プログラムする際には、未使用のアドレス領域 (H8/3217ではH'F780~H'1FFFF、H8/3214ではH'8000~H'1FFFF)のデータは、H'FFとしてください。

### 17.3.4 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROMメモリの初期のデータ保持不良を短時間で除くことができます。

図17.7に推奨するスクリーニングフローを示します。

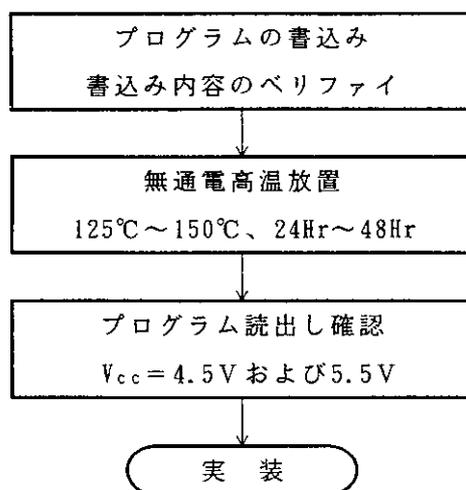


図17.7 推奨スクリーニングフロー

同じPROMライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、窓付パッケージEPROM内蔵マイコンを利用するなどして、PROMライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

### 17.3.5 データの消去

データの消去は、パッケージにあいている透明窓から紫外線を照射することにより行います。消去条件を表17.7に示します。

表17.7 消去条件

項 目	値
紫 外 線 波 長	253.7nm
最 小 照 射 量	15W・s/cm <sup>2</sup>

表17.7の消去条件を満たすには、12000 $\mu$ W/cm<sup>2</sup>の紫外線ランプを素子の真上2～3cmに置いて約20分放置します。

## 17.4 窓付パッケージ品の取扱い

### (1) 消去用ガラス窓について

窓付パッケージ品に付いている消去用のガラス窓をプラスチックなどでこすったり、帯電物に触れたりすると、窓の表面に静電気が発生し、LSIを誤動作させることがあります。

消去用窓が帯電した場合には、紫外線を短時間照射することによってチャージを中和させ、正常に戻すことができます。しかし、同時にフローティングゲート中に蓄積されているチャージ量も減少しますので、その後再書込みを行うことをおすすめします。

窓上の帯電を防止する対策として次のような方法があります。

- ① 操作時は人体アースをとり、また手袋など静電気の原因となるものは使用しないでください。
- ② ガラス窓を静電気の発生しやすいプラスチックなどで摩擦しないでください。
- ③ 冷却剤スプレーなどの中には、若干のイオンが含まれている場合がありますので注意してください。
- ④ 紫外線しゃ光ラベル（特に導電性物質を含むもの）は、帯電したチャージを一様に平準化するので、しゃ光ラベルを消去用窓に取り付けると効果的です。

### (2) 書込み後の取扱いについて

けい光燈や太陽光線の中には若干の紫外線が含まれていますので、これら光の中にLSIを長時間放置するとメモリ情報の反転が生じる可能性があります。また、強い光の中では光電流の影響でLSIが誤動作することもありますので、書込み後は光の透過しないラベル（紫外線しゃ光ラベル）などで消去用ガラス窓を覆って使用されることをおすすめします。

# 18. 低消費電力状態

【H8 / 3 2 1 2 以外はキーセンス割込み機能内蔵】

H8 / 3 2 1 2 には、KEYIN<sub>0</sub>～KEYIN<sub>7</sub>入力信号およびKMIMRによって制御されるIRQ6割込み機能がありませんので、ご注意ください。

## 第18章 目次

18.1	概要	361
18.1.1	システムコントロールレジスタ (SYSCR)	362
18.2	スリープモード	363
18.2.1	スリープモードへの遷移	363
18.2.2	スリープモードの解除	363
18.3	ソフトウェアスタンバイモード	364
18.3.1	ソフトウェアスタンバイモードへの遷移	364
18.3.2	ソフトウェアスタンバイモードの解除	364
18.3.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	364
18.3.4	ソフトウェアスタンバイモードの応用例	365
18.3.5	使用上の注意	365
18.4	ハードウェアスタンバイモード	366
18.4.1	ハードウェアスタンバイモードへの遷移	366
18.4.2	ハードウェアスタンバイモードの解除	366
18.4.3	ハードウェアスタンバイモードのタイミング	366



## 18.1 概要

本LSIには、CPU機能を停止して消費電力を著しく低下させる低消費電力状態があります。低消費電力状態には、次の3種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件とCPUや周辺機能などの状態、および各モードからの解除方法を表18.1に示します。

表18.1 低消費電力状態

モード	遷移条件	状 態						解除方法
		クロック	CPU	周辺機能	CPUレジスタ	RAM	I/Oポート	
スリープモード	SLEEP命令の実行	動作	停止	動作	保持	保持	保持	<ul style="list-style-type: none"> <li>• 割込み</li> <li>• <math>\overline{\text{RES}}</math>端子</li> <li>• <math>\overline{\text{STBY}}</math>端子</li> </ul>
ソフトウェアスタンバイモード	SYSCRのSSBYビットを“1”にセットした後、SLEEP命令を実行	停止	停止	停止 リセット	保持	保持	保持	<ul style="list-style-type: none"> <li>• <math>\overline{\text{NMI}}</math>端子</li> <li>• <math>\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2</math>端子</li> <li>• キセツ端子</li> <li>• <math>\overline{\text{RES}}</math>端子</li> <li>• <math>\overline{\text{STBY}}</math>端子</li> </ul>
ハードウェアスタンバイモード	$\overline{\text{STBY}}$ 端子を“Low”レベル	停止	停止	停止 リセット	不定	保持	ハイインピーダンス	$\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子

<記号説明>

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

### 18.1.1 システムコントロールレジスタ (SYSCR)

本LSIは、8ビットのシステムコントロールレジスタ (SYSCR) のビット7のSSBYビット、ビット6～4のSTS2～0ビットの4ビットで低消費電力モードの制御を行います。

表18.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4

ビット：            7            6            5            4            3            2            1            0

SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
------	------	------	------	------	-------	-----	------

初期値：            0            0            0            0            1            0            0            1

R/W：            R/W    R/W    R/W    R/W            R            R/W    R/W    R/W

#### ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

#### ビット6～4：スタンバイタイムセレクト2～0 (STS2～0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。表18.3を参照し、動作周波数に応じて待機時間が8ms以上となるように指定してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	使用禁止

## 18.2 スリープモード

### 18.2.1 スリープモードへの遷移

SLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPUの動作は、SLEEP命令実行直後に停止します。CPUの動作は停止しますが、CPU内のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。

### 18.2.2 スリープモードの解除

スリープモードの解除は、割込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

#### (1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがディスエーブルされている場合、また、NMI以外の割込みで、Iビットが“1”にセットされている場合などは、割込み要求が受け付けられないためスリープモードは解除されません。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

## 18.3 ソフトウェアスタンバイモード

### 18.3.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには、SYSCRのSSBYビットを“1”にセットした後、SLEEP命令を実行します。

ソフトウェアスタンバイモードでは、CPUだけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり、停止しますが、規定の電圧が与えられている限り、CPUのレジスタと内蔵RAMのデータは保持されています。I/Oポートの状態も保持されています。

### 18.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み（NMI端子、IRQ<sub>0</sub>～IRQ<sub>2</sub>端子、キーセンス端子）、RES端子、またはSTBY端子によって行われます。

#### (1) 割込みによる解除

NMI、IRQ<sub>0</sub>～IRQ<sub>2</sub>割込みおよびキーセンス（IRQ<sub>6</sub>）割込み要求信号が入力されると、クロックの発振が開始され、SYSCRのSTS<sub>2</sub>～0ビットによって設定された時間が経過した後、安定したクロックが、LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。

#### (2) RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振が開始されます。発振安定時間後、RES端子を“High”レベルにすると、CPUはリセット例外処理を開始します。リセットによる解除の場合、クロックの発振開始と同時に、LSI全体にクロックが供給されます。RES端子は、必ずクロックの発振が安定するまで、“Low”レベルを保持してください。

#### (3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

### 18.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCRのSTS<sub>2</sub>～0ビットの設定は、以下のようにしてください。

#### ① 水晶発振の場合

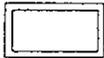
待機時間が8ms以上となるようにSTS<sub>2</sub>～0を設定してください。表18.3に動作周波数とSTS<sub>2</sub>～0ビットの設定値に対する待機時間を示します。

#### ② 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間（STS<sub>2</sub> = STS<sub>1</sub> = STS<sub>0</sub> = “0”）の使用を推奨します。

表 18.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8192ステート	0.51	0.65	0.8	1.0	1.4	2.0	4.1	8.2	16.4
0	0	1	16384ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	32.8
0	1	0	32768ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	65.5
0	1	1	65536ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	131.1
1	0	0	131072ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	262.1



: 推奨設定時間

(単位: ms)

### 18.3.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI端子の立下がりによってソフトウェアスタンバイモードに移行し、NMI端子の立上がりによって解除を行う例を、図18.1に示します。

SYSCRのNMIエッジ(NMIEG)ビットが“0”(立下がりエッジ指定)の状態でのNMI割込みを受け付けた後、NMIEGビットを“1”にセットします(立上がりエッジ指定)。そしてSSBYビットを“1”にセットした後、SLEEP命令を実行してソフトウェアスタンバイモードに移行します。

その後、NMI端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

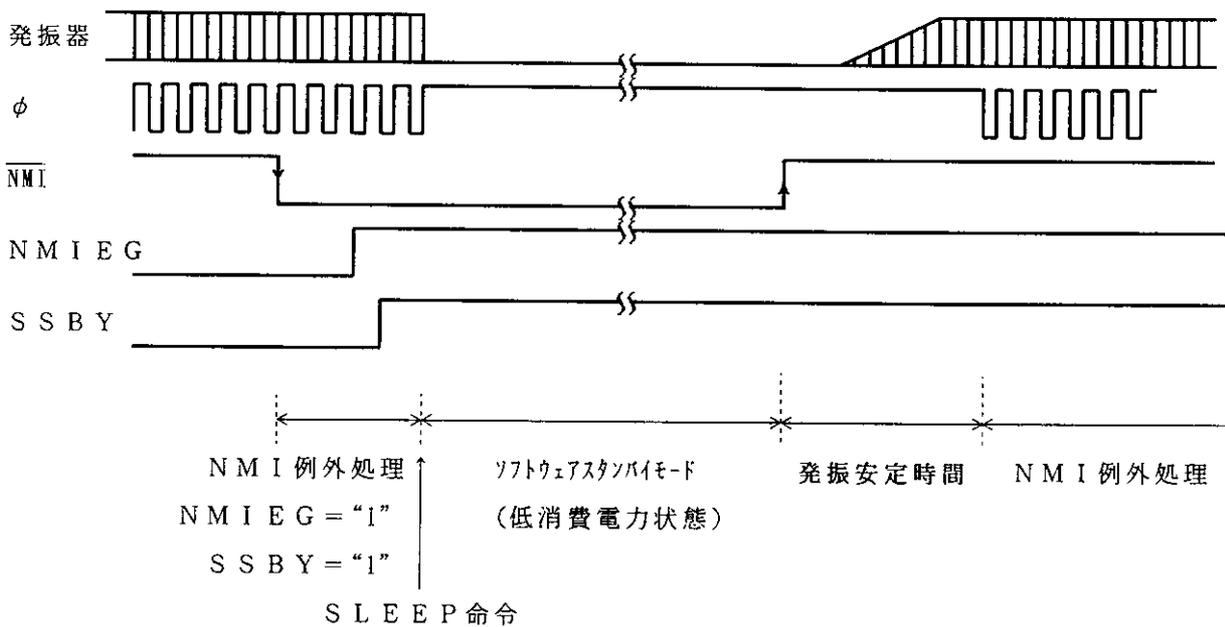


図18.1 ソフトウェアスタンバイモード時のNMIタイミング(応用例)

### 18.3.5 使用上の注意

ソフトウェアスタンバイモードでは、I/Oポートの状態が保持されます。したがって、出力電流分の消費電流は低減されません。

## 18.4 ハードウェアスタンバイモード

### 18.4.1 ハードウェアスタンバイモードへの遷移

STBY端子を“Low”レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPUをはじめ内蔵周辺モジュール全体の機能が停止するため、消費電力は著しく低減します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMのデータは保持\*されます。I/Oポートは、ハイインピーダンス状態になります。

- \*【注1】 STBY端子を“Low”レベルにする前に、SYSCRのRAMEビットを“0”にクリアしてください。
- \*【注2】 ハードウェアスタンバイモード中に、モード端子(MD<sub>1</sub>, MD<sub>0</sub>)の状態を変化させないでください。特に、ハードウェアスタンバイモード中にモード端子がいずれも“Low”レベルになると、PROMモードになり消費電流が増加しますので注意してください。

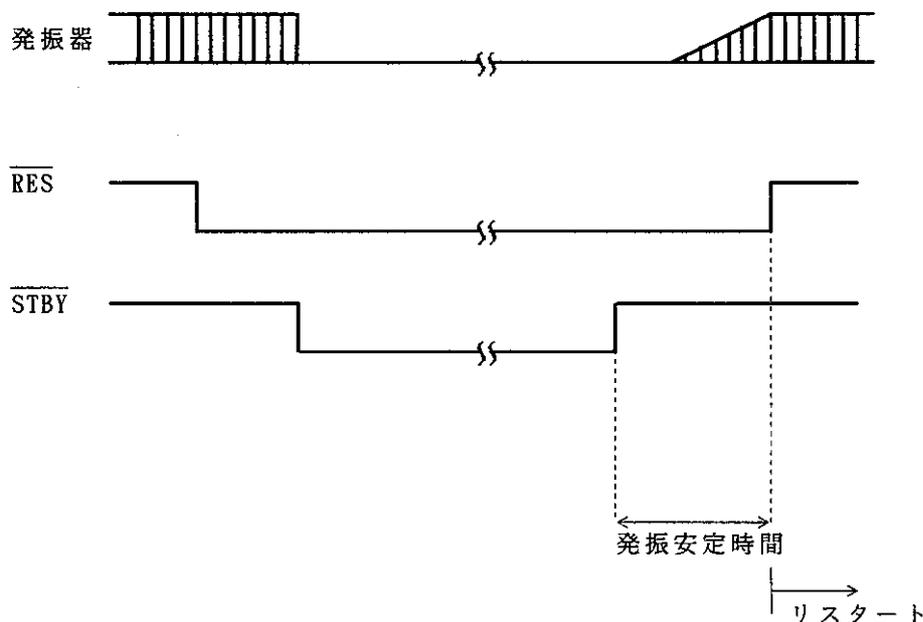
### 18.4.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、STBY端子とRES端子とで行われます。RES端子を“Low”レベルにした状態で、STBY端子を“High”レベルにすると、クロックは発振を開始します。このときRES端子は、必ずクロックの発振が安定するまで、“Low”レベルに保持してください。RES端子を“High”レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

### 18.4.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミングを図18.2に示します。

RES端子を“Low”レベルにした後、STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、STBY端子を“High”レベルにし、クロックの発振安定時間経過後、RES端子を“Low”レベルから“High”レベルにすることにより行われます。



# 19. 電気的特性

---

## 第19章 目次

19.1	絶対最大定格	369
19.2	電気的特性	369
19.2.1	DC特性	369
19.2.2	AC特性	375
19.3	MCU動作タイミング	379
19.3.1	バスタイミング	379
19.3.2	制御信号タイミング	381
19.3.3	16ビットフリーランニングタイマタイミング	384
19.3.4	8ビットタイマタイミング	384
19.3.5	PWMタイマタイミング	385
19.3.6	SCIタイミング	386
19.3.7	I/Oポートタイミング	386
19.3.8	ホストインタフェースタイミング	387
19.3.9	I <sup>2</sup> Cバスタイミング【オプション】	388
19.3.10	外部クロック出力タイミング	388

---



## 19.1 絶対最大定格

絶対最大定格を表19.1に示します。

表19.1 絶対最大定格

項 目	記 号	定 格 値	単 位
電 源 電 圧	$V_{cc}$	-0.3 ~ +7.0	V
プ ロ グ ラ ム 電 圧	$V_{pp}$	-0.3 ~ +13.5	V
入 力 電 圧	$V_{in}$	-0.3 ~ $V_{cc} + 0.3$	V
動 作 温 度	$T_{opr}$	通常仕様品 : -20 ~ +75	°C
		広温度範囲仕様品 : -40 ~ +85	°C
保 存 温 度	$T_{stg}$	-55 ~ +125	°C

### 【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となる場合があります。

## 19.2 電気的特性

### 19.2.1 DC特性

5V版のDC特性を表19.2、4V版のDC特性を表19.3、3V版のDC特性を表19.4、5V版・4V版の出力許容電流値を表19.5、3V版の出力許容電流値を表19.6に示します。5V版・4V版、3V版共通のバス駆動特性を表19.7に示します。

表 19.2 D C 特性 ( 5 V 版 )

条件 :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$   
 $T_s = -20^\circ C \sim +75^\circ C$  ( 通常仕様 )、 $T_s = -40 \sim +85^\circ C$  ( 広温度範囲仕様 )

項 目		記 号	min	typ	max	単位	測 定 条 件
シュミットトリガ 入力電圧	P7 <sub>1</sub> 、P7 <sub>2</sub> ~P7 <sub>0</sub> * <sup>1</sup> 、 FTCI、FTI、 TMRI <sub>0-1</sub> 、TMC1 <sub>0-1</sub> 、 VSYNCl、HSYNCl、 CSYNCl、FBACKI、 KEYIN <sub>1</sub> ~KEYIN <sub>0</sub>	V <sub>T<sup>-</sup></sub>	1.0	-	-	V	
		V <sub>T<sup>+</sup></sub>	-	-	V <sub>CC</sub> ×0.7		
		V <sub>T<sup>+</sup></sub> -V <sub>T<sup>-</sup></sub>	0.4	-	-		
入力 "High" レベル電圧	RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 EXTAL、NMI	V <sub>I<sup>H</sup></sub>	V <sub>CC</sub> -0.7	-	V <sub>CC</sub> +0.3	V	
	SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)		V <sub>CC</sub> ×0.7	-	V <sub>CC</sub> +0.3		
	上記(1)、(2)以外の入力端子		2.0	-	V <sub>CC</sub> +0.3		
入力 "Low" レベル電圧	RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)	V <sub>I<sup>L</sup></sub>	-0.3	-	0.5	V	
	上記(1)、(3)以外の入力端子		-0.3	-	1.0		
	上記(1)、(3)以外の入力端子		-0.3	-	0.8		
出力 "High" レベル電圧	全出力端子**	V <sub>O<sup>H</sup></sub>	V <sub>CC</sub> -0.5	-	-	V	I <sub>O<sup>H</sup></sub> =-200μA
出力 "Low" レベル電圧	全出力端子**	V <sub>O<sup>L</sup></sub>	-	-	0.4		I <sub>O<sup>H</sup></sub> =-1.0mA
入力リーク電流	RES	I <sub>I<sup>n</sup></sub>	-	-	10.0	μA	V <sub>I<sup>n</sup></sub> =0.5V~ V <sub>CC</sub> -0.5V
	STBY、NMI、MD <sub>1</sub> 、MD <sub>0</sub>		-	-	1.0		V <sub>I<sup>n</sup></sub> =0.5V~ V <sub>CC</sub> -0.5V
スリープ状態電流 (オフ状態)	ポート1~7	I <sub>T<sup>s</sup></sub>	-	-	1.0	μA	V <sub>I<sup>n</sup></sub> =0.5V~ V <sub>CC</sub> -0.5V
入力ゲート/MOS電流	ポート1~3	-I <sub>r</sub>	30	-	250		μA
	P7 <sub>3</sub> ~P7 <sub>0</sub> 、P6 <sub>3</sub> ~P6 <sub>0</sub>		60	-	500		
入 力 容 量	RES	C <sub>I<sup>n</sup></sub>	-	-	60	pF	V <sub>I<sup>n</sup></sub> =0V、 f=1MHz、 T <sub>s</sub> =25°C
	NMI		-	-	50		
	P7 <sub>3</sub> ~P7 <sub>0</sub>		-	-	20		
	(4)以外の全入力端子		-	-	15		
消 費 電 流* <sup>1</sup>	通常動作時	I <sub>CC</sub>	-	27	45	mA	f=12MHz
			-	36	60		f=16MHz
	スリープ時		-	18	30	mA	f=12MHz
			-	24	40		f=16MHz
	スタンバイ時* <sup>2</sup>		-	0.01	5.0	μA	T <sub>s</sub> ≤50°C
			-	-	20.0		50°C<T <sub>s</sub>
RAMスタンバイ電圧	V <sub>RAM</sub>	2.0	-	-	V		

- 【注】 \*<sup>1</sup> V<sub>I<sup>H</sup></sub> min = V<sub>CC</sub> - 0.5V、V<sub>I<sup>L</sup></sub> max = 0.5V、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。  
\*<sup>2</sup> V<sub>RAM</sub> ≤ V<sub>CC</sub> < 4.5Vの場合には、V<sub>I<sup>H</sup></sub> min = V<sub>CC</sub> × 0.9、V<sub>I<sup>L</sup></sub> max = 0.3Vとした場合の値です。  
\*<sup>3</sup> P7<sub>1</sub>、P7<sub>2</sub>~P7<sub>0</sub>には、SCL<sub>0</sub>、SDA<sub>0</sub>、SCL<sub>1</sub>、SDA<sub>1</sub>、HA<sub>0</sub>、IOW、CS<sub>1</sub>、WAIT入力を含まません。  
\*<sup>4</sup> IIC<sub>S</sub>=IIC<sub>E</sub>=0の場合です。P7<sub>3</sub>~P7<sub>2</sub>、SDA<sub>1</sub>、SCL<sub>1</sub>、SDA<sub>0</sub>、SCL<sub>0</sub>でバス駆動機能を選択した場合の出力"Low"レベルは別途定めます。

表 19.3 D C 特性 ( 4 V 版 )

条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$   
 $T_A = -20^{\circ}C \sim +75^{\circ}C$  ( 通常仕様 )、 $T_A = -40 \sim +85^{\circ}C$  ( 広温度範囲仕様 )

項 目	記 号	min	typ	max	単位	測 定 条 件		
シュミットトリガ 入力電圧	(1) P7 <sub>1</sub> 、P7 <sub>2</sub> ~P7 <sub>0</sub> * <sup>2</sup> 、 FTCI、FTI、 TNCI <sub>0-1</sub> 、TNCI <sub>0-1</sub> 、 VSYNCl、HSYNCl、 CSYNCl、FBACKI KEYIN <sub>7</sub> ~KEYIN <sub>0</sub>	$V_T^-$	1.0	-	-	V	$V_{CC} = 4.5V \sim 5.5V$	
		$V_T^+$	-	-	$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	0.4	-	-			
			$V_T^-$	0.8	-		-	$V_{CC} = 4.0V \sim 4.5V$
			$V_T^+$	-	-		$V_{CC} \times 0.7$	
			$V_T^+ - V_T^-$	0.3	-		-	
入力 "High" レベル電圧	(2) RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 EXTAL、NMI SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)	$V_{IH}$	$V_{CC} - 0.7$	-	$V_{CC} + 0.8$	V		
			$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$			
			上記(1)、(2)以外の入力端子	2.0	-			$V_{CC} + 0.3$
入力 "Low" レベル電圧	(3) RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)	$V_{IL}$	-0.3	-	0.5	V	$V_{CC} = 4.5V \sim 5.5V$	
			-0.3	-	1.0			
			-0.3	-	0.8		$V_{CC} = 4.0V \sim 4.5V$	
			-0.3	-	0.8			
出力 "High" レベル電圧	全出力端子**	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$	
			3.5	-	-		$I_{OH} = -1.0mA$	
			2.8	-	-		$V_{CC} = 4.0V \sim 4.5V$	
出力 "Low" レベル電圧	全出力端子**	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$	
			-	-	1.0		$I_{OL} = 10.0mA$	
入力リーク電流	RES	$ I_{IN} $	-	-	10.0	$\mu A$	$V_{IN} = 0.5V \sim$ $V_{CC} - 0.5V$	
	STBY、NMI、MD <sub>1</sub> 、MD <sub>0</sub>		-	-	1.0			
スリープトリック電流 (オフ状態)	ポート 1~7	$ I_{TRF} $	-	-	1.0	$\mu A$	$V_{IN} = 0.5V \sim$ $V_{CC} - 0.5V$	
入力プルアップ MOS電流	ポート 1~3	$-I_P$	30	-	250	$\mu A$	$V_{IN} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$	
	P7 <sub>3</sub> ~P7 <sub>0</sub> 、P6 <sub>3</sub> ~P6 <sub>0</sub>		60	-	500			
	ポート 1~3		20	-	200		$V_{IN} = 0V$ 、 $V_{CC} = 4.0V \sim 4.5V$	
	P7 <sub>3</sub> ~P7 <sub>0</sub> 、P6 <sub>3</sub> ~P6 <sub>0</sub>		40	-	400			
入 力 容 量	RES	(4) $C_{IN}$	-	-	60	pF	$V_{IN} = 0V$ 、 $f = 1MHz$ 、 $T_A = 25^{\circ}C$	
	NMI		-	-	50			
	P7 <sub>3</sub> ~P7 <sub>0</sub>		-	-	20			
	(4)以外の全入力端子		-	-	15			
消 費 電 流* <sup>1</sup>	通常動作時	$I_{CC}$	-	27	45	mA	$f = 12MHz$	
			-	36	60		$f = 16MHz$ 、 $V_{CC} = 4.5V \sim 5.5V$	
	スリープ時		-	18	30		$f = 12MHz$	
			-	24	40		$f = 16MHz$ 、 $V_{CC} = 4.5V \sim 5.5V$	
	スタンバイ時* <sup>2</sup>		-	0.01	5.0		$\mu A$	$T_A \leq 50^{\circ}C$
	-	-	20.0	$50^{\circ}C < T_A$				
RAMスタンバイ電圧	$V_{RAM}$	2.0	-	-	V			

【注】 \*<sup>1</sup>  $V_{IH \ min} = V_{CC} - 0.5V$ 、 $V_{IL \ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。  
\*<sup>2</sup>  $V_{RAM} \leq V_{CC} < 4.0V$  の場合には、 $V_{IH \ min} = V_{CC} \times 0.9$ 、 $V_{IL \ max} = 0.3V$  とした場合の値です。  
\*<sup>3</sup> P7<sub>3</sub>、P7<sub>2</sub>~P7<sub>0</sub>には、SCL<sub>0</sub>、SDA<sub>0</sub>、SCL<sub>1</sub>、SDA<sub>1</sub>、HA<sub>0</sub>、IOW、CS<sub>1</sub>、WAIT入力を含みません。  
\*<sup>4</sup> I1CS=ICB="0" の場合です。P7<sub>3</sub>~P7<sub>0</sub>、SDA<sub>1</sub>、SCL<sub>1</sub>、SDA<sub>0</sub>、SCL<sub>0</sub>でバス駆動機能を選択した場合の出力"Low"レベルは別途定めます。

表 19.4 DC 特性 (3 V 版)

条件:  $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,

$T_a = -20^\circ C \sim +75^\circ C$

項 目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	P7 <sub>0</sub> , P7 <sub>0</sub> ~P7 <sub>0</sub> **、 FTCI、FTI、 TWRI <sub>0-1</sub> 、TWCI <sub>0-1</sub> 、 VSYNCl、HSYNCl、 CSYNCl、FBACKI、 KEYIN <sub>1</sub> ~KEYIN <sub>0</sub>	V <sub>T<sup>-</sup></sub>	V <sub>CC</sub> ×0.15	-	-	V	
		V <sub>T<sup>+</sup></sub>	-	-	V <sub>CC</sub> ×0.7		
		V <sub>T<sup>+</sup></sub> -V <sub>T<sup>-</sup></sub>	0.2	-	-		
入力 "High" レベル電圧	RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 EXTAL、NMI、 SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)	V <sub>IH</sub>	V <sub>CC</sub> ×0.9	-	V <sub>CC</sub> +0.8	V	
			V <sub>CC</sub> ×0.7	-	V <sub>CC</sub> +0.3		
			V <sub>CC</sub> ×0.7	-	V <sub>CC</sub> +0.3		
入力 "Low" レベル電圧	RES、STBY、MD <sub>1</sub> 、MD <sub>0</sub> 、 SCL <sub>0</sub> ~SCL <sub>1</sub> 、SDA <sub>0</sub> ~SDA <sub>1</sub> 、 P7 <sub>3</sub> 、P7 <sub>2</sub> (バス駆動機能選択時)	V <sub>IL</sub>	-0.3	-	V <sub>CC</sub> ×0.1	V	
			-0.3	-	V <sub>CC</sub> ×0.15		
			-0.3	-	V <sub>CC</sub> ×0.15		
出力 "High" レベル電圧	全出力端子**	V <sub>OH</sub>	V <sub>CC</sub> -0.5	-	-	V	I <sub>OH</sub> =-200μA
			V <sub>CC</sub> -1.0	-	-		I <sub>OH</sub> =-1.0mA
出力 "Low" レベル電圧	全出力端子**	V <sub>OL</sub>	-	-	0.4	V	I <sub>OL</sub> =0.8mA
			P1 <sub>1</sub> ~P1 <sub>0</sub> 、P2 <sub>1</sub> ~P2 <sub>0</sub> 、P3 <sub>1</sub> ~P3 <sub>0</sub>	-	-		0.4
入力リーク電流	RES	I <sub>IL</sub>	-	-	10.0	μA	V <sub>IN</sub> =0.5V~ V <sub>CC</sub> -0.5V
	STBY、NMI、MD <sub>1</sub> 、MD <sub>0</sub>		-	-	1.0		V <sub>IN</sub> =0.5V~ V <sub>CC</sub> -0.5V
スリープ電流 (オフ状態)	ポート1~7	I <sub>TS1</sub>	-	-	1.0	μA	V <sub>IN</sub> =0V、 V <sub>CC</sub> =2.7V~4.0V
入力プルアップ MOS電流	ポート1~3	-I <sub>P</sub>	3	-	120	μA	V <sub>IN</sub> =0V、 V <sub>CC</sub> =2.7V~4.0V
	P7 <sub>3</sub> ~P7 <sub>0</sub> 、P6 <sub>3</sub> ~P6 <sub>0</sub>		30	-	250		
入 力 容 量	RES	C <sub>IN</sub>	-	-	60	pF	V <sub>IN</sub> =0V、 f=1MHz、 T <sub>a</sub> =25°C
	NMI		-	-	50		
	P7 <sub>3</sub> ~P7 <sub>0</sub>		-	-	20		
	(4)以外の全入力端子		-	-	15		
消費電流**	通常動作時	I <sub>CC</sub>	-	7	-	mA	f=6MHz、 V <sub>CC</sub> =2.7V~3.6V
			-	12	22		f=10MHz、 V <sub>CC</sub> =2.7V~3.6V
			-	25	-		f=10MHz、 V <sub>CC</sub> =4.0V~5.5V
	スリープ時		-	5	-	f=6MHz、 V <sub>CC</sub> =2.7V~3.6V	
			-	9	16	f=10MHz、 V <sub>CC</sub> =2.7V~3.6V	
			-	18	-	f=10MHz、 V <sub>CC</sub> =4.0V~5.5V	
	スタンバイ時**		-	0.01	5.0	μA	T <sub>a</sub> ≤50°C
-	-	20.0	50°C<T <sub>a</sub>				
RAMスタンバイ電圧		V <sub>RAM</sub>	2.0	-	-	V	

【注】 \*1 V<sub>IH min</sub>=V<sub>CC</sub>-0.5V、V<sub>IL max</sub>=0.5V、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。

\*2 V<sub>RAM</sub>≤V<sub>CC</sub><2.7Vの場合には、V<sub>IH min</sub>=V<sub>CC</sub>×0.9、V<sub>IL max</sub>=0.3Vとした場合の値です。

\*3 P7<sub>7</sub>、P7<sub>6</sub>~P7<sub>0</sub>には、SCL<sub>0</sub>、SDA<sub>0</sub>、SCL<sub>1</sub>、SDA<sub>1</sub>、HA<sub>0</sub>、IOW、CS<sub>1</sub>、WAIT入力を含みません。

\*4 IICS=ICE="0"の場合です。P7<sub>3</sub>~P7<sub>2</sub>、SDA<sub>1</sub>、SCL<sub>1</sub>、SDA<sub>0</sub>、SCL<sub>0</sub>でバス駆動機能を選択した場合の出力"Low"レベルは別途定めます。

表19.5 出力許容電流（5V版、4V版）

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、  
 $T_a = -20^\circ C \sim +75^\circ C$ （通常仕様）、 $T_a = -40^\circ C \sim +85^\circ C$ （広温度範囲仕様）

項 目		記 号	min	typ	max	単位
出力“Low”レベル許容電流 （1端子あたり）	SCL <sub>0</sub> 、SDA <sub>0</sub> 、SCL <sub>1</sub> 、SDA <sub>1</sub> P7 <sub>2</sub> 、P7 <sub>3</sub> （バス駆動機能選択）	I <sub>OL</sub>	—	—	20	mA
	ポート1、2、3		—	—	10	
	上記以外の出力端子		—	—	2	
出力“Low”レベル許容電流 （ 総 和 ）	ポート1、2、3端子の総和	Σ I <sub>OL</sub>	—	—	80	
	上記を含む全出力端子の総和		—	—	120	
出力“High”レベル許容電流 （1端子あたり）	全出力端子	-I <sub>OH</sub>	—	—	2	
出力“High”レベル許容電流 （ 総 和 ）	全出力端子の総和	Σ -I <sub>OH</sub>	—	—	40	

表19.6 出力許容電流（3V版）

条件： $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、  
 $T_a = -20^\circ C \sim +75^\circ C$

項 目		記 号	min	typ	max	単位
出力“Low”レベル許容電流 （1端子あたり）	SCL <sub>0</sub> 、SDA <sub>0</sub> 、SCL <sub>1</sub> 、SDA <sub>1</sub> P7 <sub>2</sub> 、P7 <sub>3</sub> （バス駆動機能選択）	I <sub>OL</sub>	—	—	10	mA
	ポート1、2、3		—	—	2	
	上記以外の出力端子		—	—	1	
出力“Low”レベル許容電流 （ 総 和 ）	ポート1、2、3端子の総和	Σ I <sub>OL</sub>	—	—	40	
	上記を含む全出力端子の総和		—	—	60	
出力“High”レベル許容電流 （1端子あたり）	全出力端子	-I <sub>OH</sub>	—	—	2	
出力“High”レベル許容電流 （ 総 和 ）	全出力端子の総和	Σ -I <sub>OH</sub>	—	—	30	

【使用上の注意】

LSIの信頼性確保のため、出力電流値は表19.5、表19.6の値を超えないようにしてください。  
特に、ダーリントントランジスタまたはLEDを直接駆動する場合は、出力に必ず電流制限抵抗を挿入してください（図19.1、図19.2を参照）。

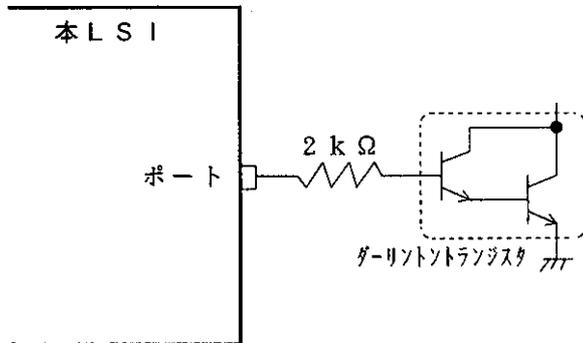


図19.1 ダーリントントランジスタ駆動回路  
(5V版の例)

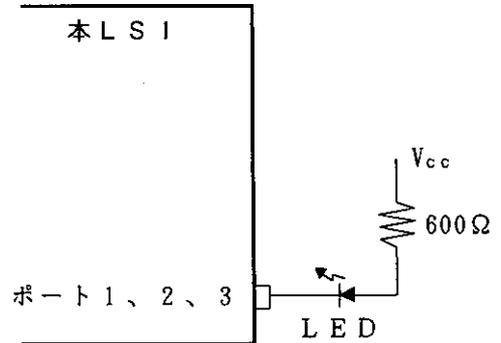


図19.2 LED駆動回路  
(5V版の例)

表19.7 バス駆動特性

〔条件： $V_{cc} = 2.7V \sim 5.5V$ 、 $V_{ss} = 0V$ 、 $T_a = -20^{\circ}C \sim +75^{\circ}C$ 〕

項目	記号	min	typ	max	単位	測定条件
出力“Low” レベル電圧	$V_{OL}$	—	—	0.5	V	$V_{cc} = 4.5V \sim 5.5V$ $I_{OL} = 16mA$
		—	—	0.5		$V_{cc} = 2.7V \sim 5.5V$ $I_{OL} = 8mA$

19.2.2 AC特性

AC特性として表19.8にバスタイミングを、表19.9に制御信号タイミングを、表19.10に内蔵周辺モジュールタイミングを示します。表19.11にはI<sup>2</sup>Cバスタイミングを、表19.12には外部クロック出力遅延タイミングを示します。

表19.8 バスタイミング

条件A :  $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$ 最大動作周波数、  
 $T_s = -20^\circ C \sim +75^\circ C$  (通常仕様)、 $T_s = -40^\circ C \sim +85^\circ C$  (広温度範囲仕様)  
 条件B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$ 最大動作周波数、  
 $T_s = -20^\circ C \sim +75^\circ C$  (通常仕様)、 $T_s = -40^\circ C \sim +85^\circ C$  (広温度範囲仕様)  
 条件C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$ 最大動作周波数、 $T_a = -20^\circ C \sim +75^\circ C$

項目	記号	条件C		条件B		条件A		単位	測定条件
		10MHz		12MHz		16MHz			
		min	max	min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	500	83.3	500	62.5	500	ns	図 19.4
クロックパルス幅“Low”	$t_{cl}$	30	—	30	—	20	—		
クロックパルス幅“High”	$t_{ch}$	30	—	30	—	20	—		
クロック立上がり時間	$t_{cr}$	—	20	—	10	—	10		
クロック立下がり時間	$t_{cf}$	—	20	—	10	—	10		
アドレス遅延時間	$t_{AD}$	—	50	—	35	—	30		
アドレスホールド時間	$t_{AH}$	20	—	15	—	10	—		
アドレスストロブ遅延時間	$t_{ASD}$	—	50	—	35	—	30		
ライトストロブ遅延時間	$t_{WSD}$	—	50	—	35	—	30		
ストロブ遅延時間	$t_{SD}$	—	50	—	35	—	30		
ライトストロブパルス幅*	$t_{WSW}$	110	—	90	—	60	—		
アドレスセットアップ時間1*	$t_{AS1}$	15	—	10	—	10	—		
アドレスセットアップ時間2*	$t_{AS2}$	65	—	50	—	40	—		
リードデータセットアップ時間	$t_{RDS}$	35	—	20	—	20	—		
リードデータホールド時間*	$t_{RDH}$	0	—	0	—	0	—		
リードデータアクセス時間*	$t_{ACC}$	—	170	—	160	—	110		
ライトデータ遅延時間	$t_{WDD}$	—	75	—	60	—	60		
ライトデータセットアップ時間	$t_{WDS}$	5	—	5	—	5	—		
ライトデータホールド時間	$t_{WDH}$	20	—	20	—	20	—		
ウェイトセットアップ時間	$t_{WTS}$	40	—	35	—	30	—	図 19.5	
ウェイトホールド時間	$t_{WTH}$	10	—	10	—	10	—		

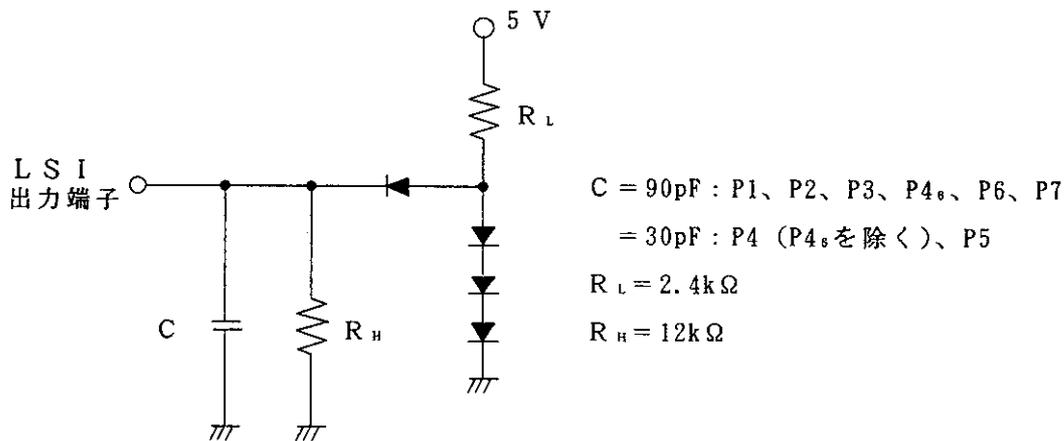
【注】\* 最大動作周波数時の値

表19.9 制御信号タイミング

条件A :  $V_{CC}=4.5V\sim 5.5V$ 、 $V_{SS}=0V$ 、 $\phi = 2\text{MHz}\sim$ 最大動作周波数、  
 $T_a = -20^\circ\text{C}\sim +75^\circ\text{C}$  (通常仕様)、 $T_a = -40^\circ\text{C}\sim +85^\circ\text{C}$  (広温度範囲仕様)  
 条件B :  $V_{CC}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$ 、 $\phi = 2\text{MHz}\sim$ 最大動作周波数、  
 $T_a = -20^\circ\text{C}\sim +75^\circ\text{C}$  (通常仕様)、 $T_a = -40^\circ\text{C}\sim +85^\circ\text{C}$  (広温度範囲仕様)  
 条件C :  $V_{CC}=2.7V\sim 5.5V$ 、 $V_{SS}=0V$ 、 $\phi = 2\text{MHz}\sim$ 最大動作周波数、 $T_a = -20^\circ\text{C}\sim +75^\circ\text{C}$

項目	記号	条件C		条件B		条件A		単位	測定条件
		10MHz		12MHz		16MHz			
		min	max	min	max	min	max		
RESセットアップ時間	$t_{RES\uparrow}$	300	—	200	—	200	—	ns	図19.6
RESパルス幅	$t_{RES\text{W}}$	10	—	10	—	10	—		
NMIセットアップ時間 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}_{0\sim 2}$ 、 $\overline{\text{IRQ}}_6$ )	$t_{NMI\uparrow}$	300	—	150	—	150	—	ns	図19.7
NMIホールド時間 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}_{0\sim 2}$ 、 $\overline{\text{IRQ}}_6$ )	$t_{NMI\text{H}}$	10	—	10	—	10	—		
割込みパルス幅 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}_{0\sim 2}$ 、 $\overline{\text{IRQ}}_6$ ) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMI\text{W}}$	300	—	200	—	200	—		
リセット発振安定時間 (水晶)	$t_{OSC1}$	20	—	20	—	20	—	ms	図19.8
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8	—	8	—	8	—		図19.9

■ A C 特性測定条件



入出力タイミング参照レベル

“Low”レベル: 0.8V

“High”レベル: 2.0V

図19.3 AC特性測定条件

表19.10 内蔵周辺モジュールタイミング

条件A :  $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数、

$T_a = -20^\circ\text{C} \sim +75^\circ\text{C}$  (通常仕様)、 $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$  (広温度範囲仕様)

条件B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数、

$T_a = -20^\circ\text{C} \sim +75^\circ\text{C}$  (通常仕様)、 $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$  (広温度範囲仕様)

条件C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数、 $T_a = -20^\circ\text{C} \sim +75^\circ\text{C}$

項目		記号	条件C		条件B		条件A		単位	測定条件	
			10MHz		12MHz		16MHz				
			min	max	min	max	min	max			
FRT	タイマ出力遅延時間	$t_{F\text{TOD}}$	—	150	—	100	—	100	ns	図19.10	
	タイマ入力セットアップ時間	$t_{F\text{TIS}}$	80	—	50	—	50	—			
	タイマクロック入力セットアップ時間	$t_{F\text{TCS}}$	80	—	50	—	50	—			
	タイマクロックパルス幅	$t_{F\text{TCWH}}$ $t_{F\text{TCWL}}$	1.5	—	1.5	—	1.5	—	$t_{\text{src}}$	図19.11	
TMR	タイマ出力遅延時間	$t_{T\text{MOD}}$	—	150	—	100	—	100	ns	図19.12	
	タイマリセット入力セットアップ時間	$t_{T\text{MRS}}$	80	—	50	—	50	—		図19.14	
	タイマクロック入力セットアップ時間	$t_{T\text{MCS}}$	80	—	50	—	50	—	$t_{\text{src}}$	図19.13	
	タイマクロックパルス幅	単エッジ指定	$t_{T\text{MCWH}}$	1.5	—	1.5	—	1.5			—
		両エッジ指定	$t_{T\text{MCWL}}$	2.5	—	2.5	—	2.5			—
PWM	タイマ出力遅延時間	$t_{P\text{WOD}}$	—	150	—	100	—	100	ns	図19.15	
SCI	入力クロックサイクル	調歩同期	$t_{S\text{CRC}}$	4	—	4	—	4	—	$t_{\text{src}}$	図19.16
		クロック同期		6	—	6	—	6	—		
	送信データ遅延時間(クロック同期)	$t_{T\text{XD}}$	—	200	—	100	—	100	ns		
	受信データセットアップ時間(クロック同期)	$t_{R\text{XS}}$	150	—	100	—	100	—			
	受信データホールド時間(クロック同期)	$t_{R\text{XH}}$	150	—	100	—	100	—			
入力クロックパルス幅	$t_{S\text{CKW}}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{\text{src}}$	図19.17		
PORT	出力データ遅延時間	$t_{P\text{WD}}$	—	150	—	100	—	100	ns	図19.18	
	入力データセットアップ時間	$t_{P\text{RS}}$	80	—	50	—	50	—			
	入力データホールド時間	$t_{P\text{RH}}$	80	—	50	—	50	—			
HIF リード サイクル	CS/HA <sub>0</sub> セットアップ時間	$t_{H\text{AR}}$	10	—	10	—	10	—	ns	図19.19	
	CS/HA <sub>0</sub> ホールド時間	$t_{H\text{RA}}$	10	—	10	—	10	—			
	IOWパルス幅	$t_{H\text{RPW}}$	220	—	120	—	120	—			
	HDB遅延時間	$t_{H\text{RD}}$	—	200	—	100	—	100			
	HDBホールド時間	$t_{H\text{RF}}$	0	40	0	25	0	25			
	HIRQ遅延時間	$t_{H\text{IRQ}}$	—	200	—	120	—	120			
HIF ライト サイクル	CS/HA <sub>0</sub> セットアップ時間	$t_{H\text{AW}}$	10	—	10	—	10	—	ns	図19.20	
	CS/HA <sub>0</sub> ホールド時間	$t_{H\text{WA}}$	10	—	10	—	10	—			
	IOWパルス幅	$t_{H\text{WPW}}$	100	—	60	—	60	—			
	HDBセットアップ 時間	高速GATE A <sub>20</sub> 使用しない 高速GATE A <sub>20</sub> 使用する	$t_{H\text{DW}}$	50	—	30	—	30			—
				85	—	55	—	45			—
				—	—	—	—	—			—
	HDBホールド時間	$t_{H\text{WD}}$	25	—	15	—	15	—			
GA <sub>20</sub> 遅延時間	$t_{H\text{GA}}$	—	180	—	90	—	90				

表19.11 I<sup>2</sup>Cバスタイミング

(条件: V<sub>CC</sub>=2.7V~5.5V、V<sub>SS</sub>=0V、T<sub>a</sub>=-20°C~+75°C)

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCLクロック サイクル時間	t <sub>SCL</sub>	12t <sub>eye</sub>	-	-	ns		図19.21
SCLクロック “High”パルス幅	t <sub>SCLH</sub>	3t <sub>eye</sub>	-	-	ns		
SCLクロック “Low”パルス幅	t <sub>SCLL</sub>	5t <sub>eye</sub>	-	-	ns		
SCL、SDA 立上がり時間	t <sub>sr</sub>	-	-	1000	ns	標準モード 100kbit/s(max)	
		20+0.1C <sub>b</sub>	-	300		高速モード 400kbit/s(max)	
SCL、SDA 立下がり時間	t <sub>sr</sub>	-	-	300	ns	標準モード 100kbit/s(max)	
		20+0.1C <sub>b</sub>	-	300		高速モード 400kbit/s(max)	
SDAバスフリー 時間	t <sub>BUF</sub>	7t <sub>eye</sub> -300	-	-	ns		
SCL開始条件 ホールド時間	t <sub>STAH</sub>	3t <sub>eye</sub>	-	-	ns		
SCL再送開始条件 セットアップ時間	t <sub>STAS</sub>	3t <sub>eye</sub>	-	-	ns		
SDA停止条件 セットアップ時間	t <sub>STOS</sub>	3t <sub>eye</sub>	-	-	ns		
SDAデータ セットアップ時間	t <sub>SDAS</sub>	1t <sub>eye</sub> +10	-	-	ns		
SDAデータ ホールド時間	t <sub>SDAH</sub>	0	-	-	ns		
SDAの容量性負荷	C <sub>b</sub>	-	-	400	pF		

表19.12 外部クロック出力遅延タイミング

(条件: V<sub>CC</sub>=2.7V~5.5V、V<sub>SS</sub>=0V、T<sub>a</sub>=-40~+85°C)

項目	記号	規格値		単位	備考
		min.	max.		
外部クロック出力遅延時間*	t <sub>DEXT</sub>	500	-	μs	図19.22

【注】\* t<sub>DEXT</sub>は、RESパルス幅(t<sub>RESW</sub>)を10t<sub>eye</sub>含みます。

### 19.3 MCU動作タイミング

本LSIの動作タイミングを以下に示します。

- |  |              |
|--|--------------|
| 19.3.1 バスタイミング                         | 図19.4、19.5   |
| 19.3.2 制御信号タイミング                       | 図19.6～19.9   |
| 19.3.3 16ビットフリーランニングタイマタイミング           | 図19.10、19.11 |
| 19.3.4 8ビットタイマタイミング                    | 図19.12～19.14 |
| 19.3.5 PWMタイマタイミング                     | 図19.15       |
| 19.3.6 SCIタイミング                        | 図19.16、19.17 |
| 19.3.7 I/Oポートタイミング                     | 図19.18       |
| 19.3.8 ホストインタフェースタイミング                 | 図19.19、19.20 |
| 19.3.9 I <sup>2</sup> Cバスタイミング (オプション) | 図19.21       |
| 19.3.10 外部クロック出力タイミング                  | 図19.22       |

#### 19.3.1 バスタイミング

(1) 拡張モード時基本バスサイクル (ウェイトステートなし)

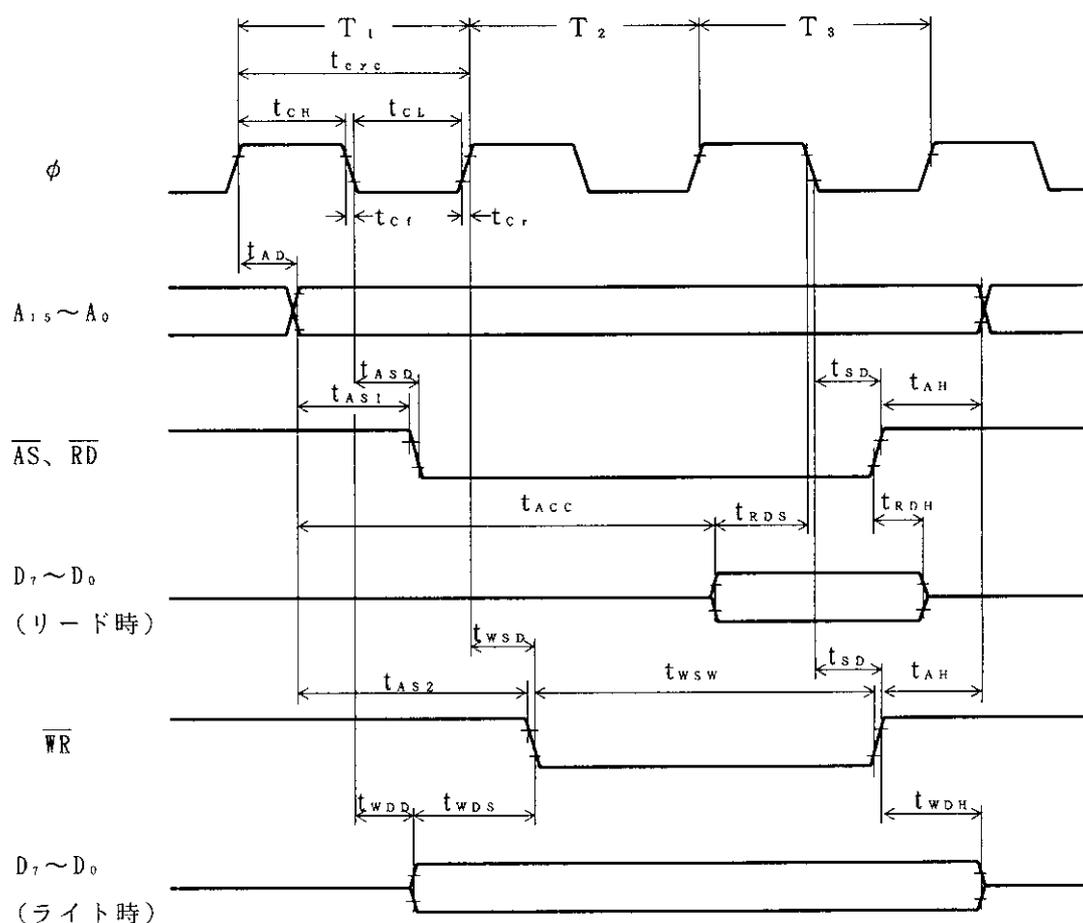


図19.4 拡張モード時基本バスサイクル (ウェイトステートなし)

(2) 拡張モード時基本バスサイクル (1 ウェイトステート)

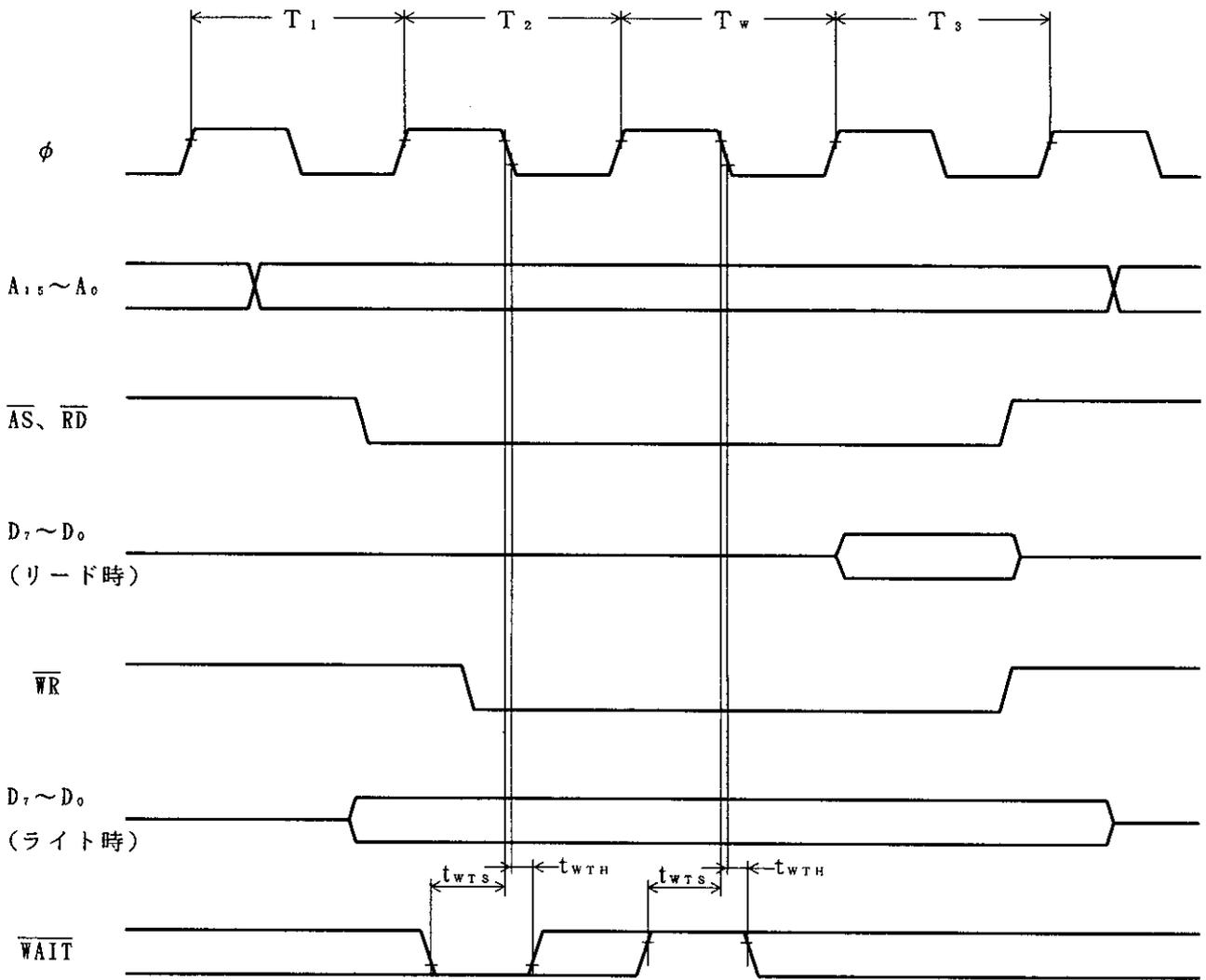


図19.5 拡張モード (モード1、2) 時基本バスサイクル (1 ウェイトステート)

### 19.3.2 制御信号タイミング

#### (1) リセット入力タイミング

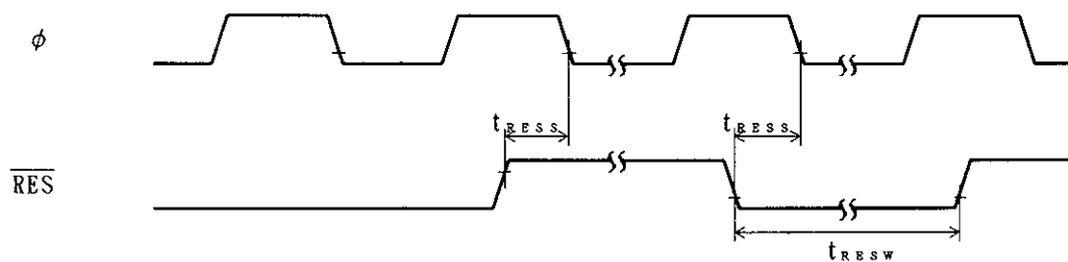
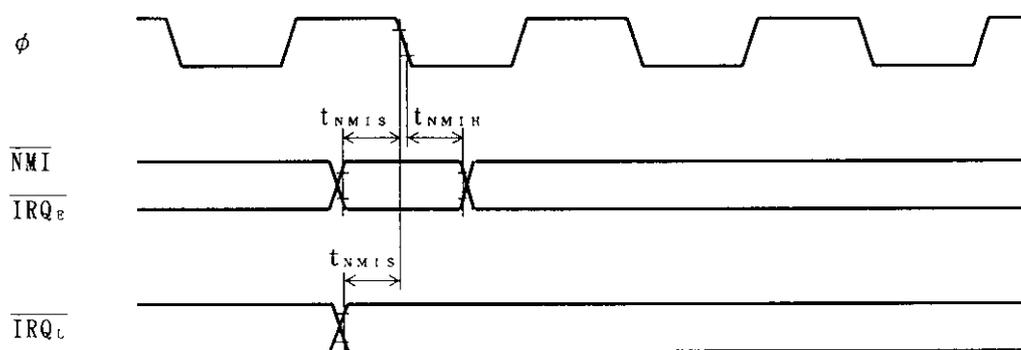


図19.6 リセット入力タイミング

#### (2) 割込み入力タイミング



$\overline{IRQ}_e$  :  $\overline{IRQ}_i$ がエッジ指定の場合 (i = 0 ~ 2, 6)  
 $\overline{IRQ}_l$  :  $\overline{IRQ}_i$ がレベル指定の場合

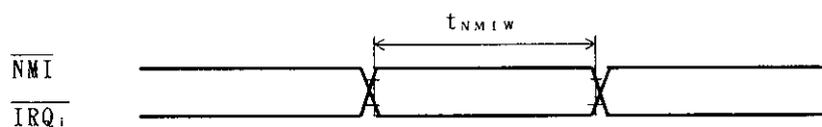


図19.7 割込み入力タイミング

(3) 発振安定時間タイミング

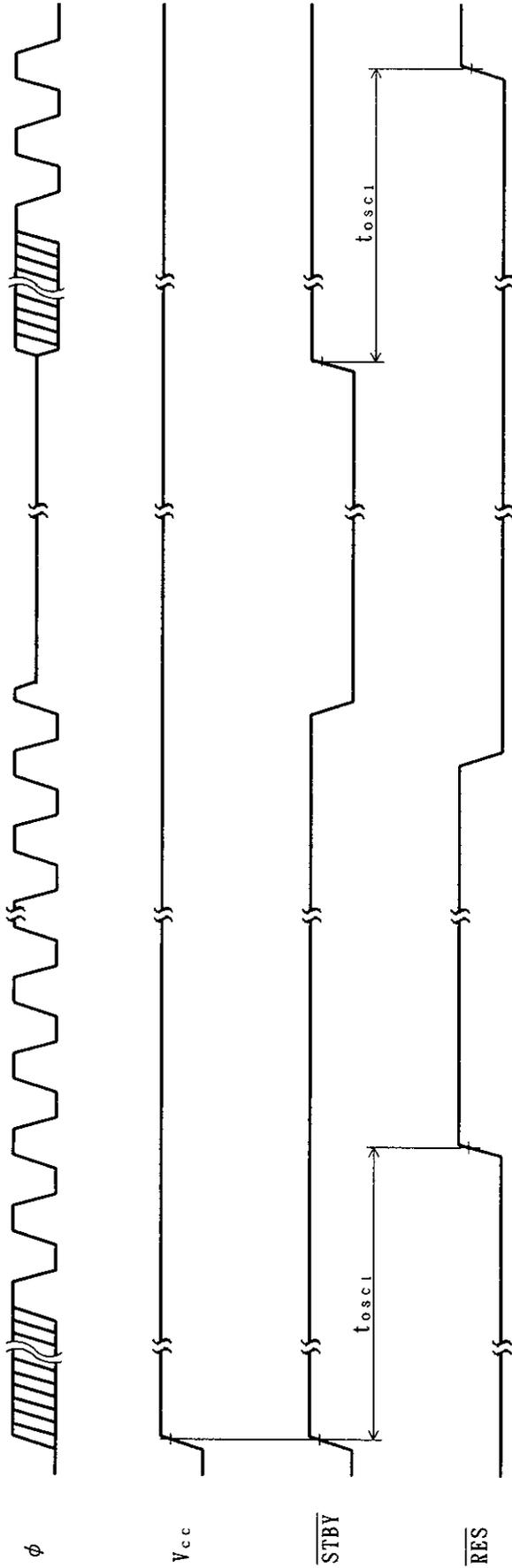


図19.8 発振安定時間タイミング

(4) 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

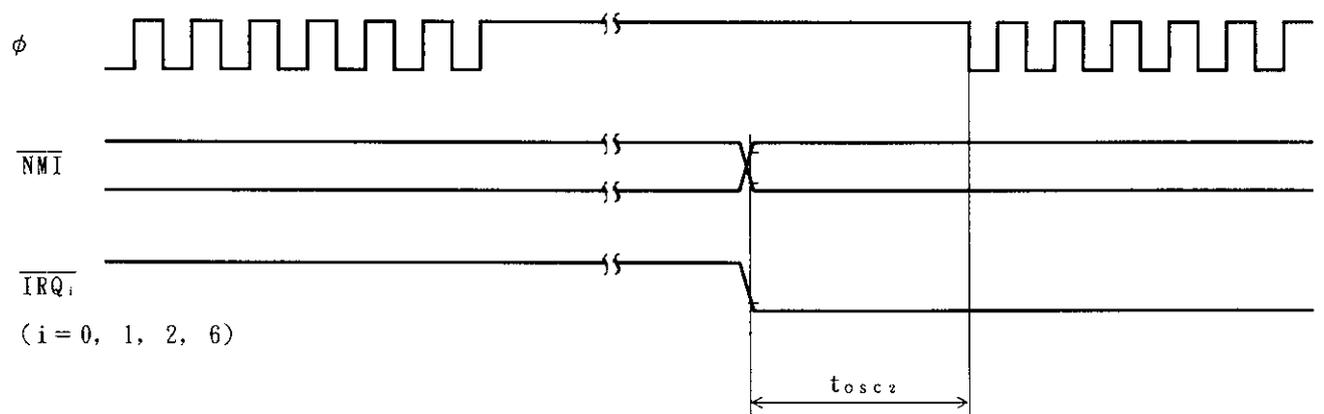


図19.9 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

### 19.3.3 16ビットフリーランニングタイマタイミング

#### (1) フリーランニングタイマ入出力タイミング

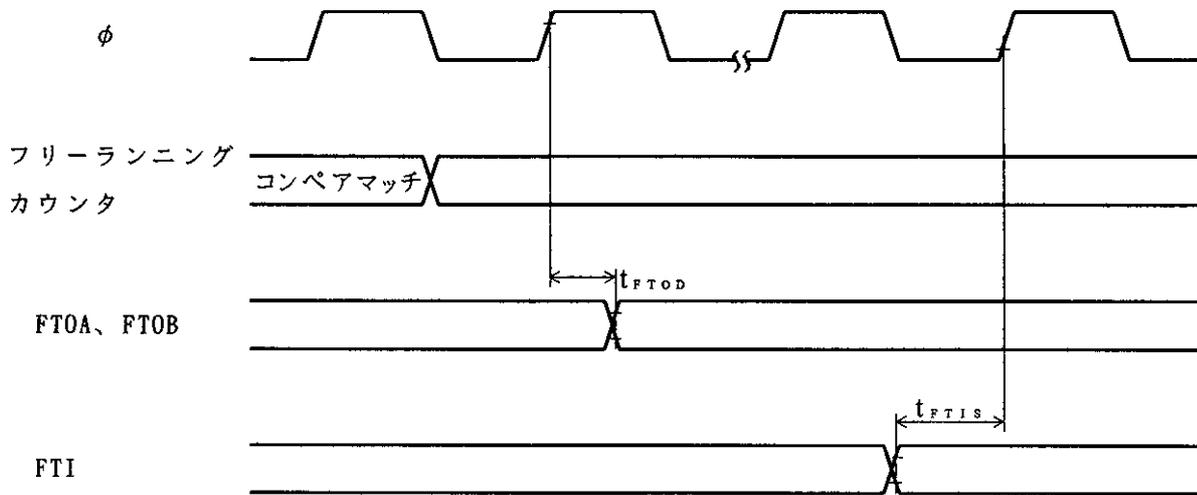


図19.10 フリーランニングタイマ入出力タイミング

#### (2) フリーランニングタイマ外部クロック入力タイミング

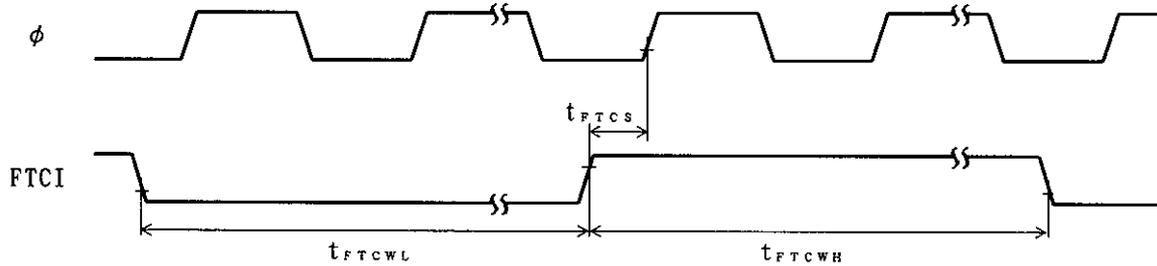


図19.11 フリーランニングタイマ外部クロック入力タイミング

### 19.3.4 8ビットタイマタイミング

#### (1) 8ビットタイマ出力タイミング

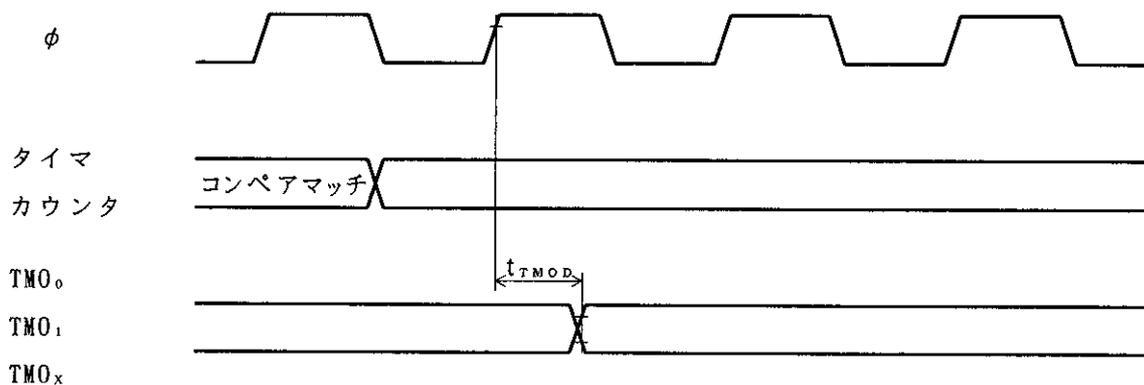


図19.12 8ビットタイマ出力タイミング

(2) 8ビットタイマクロック入力タイミング

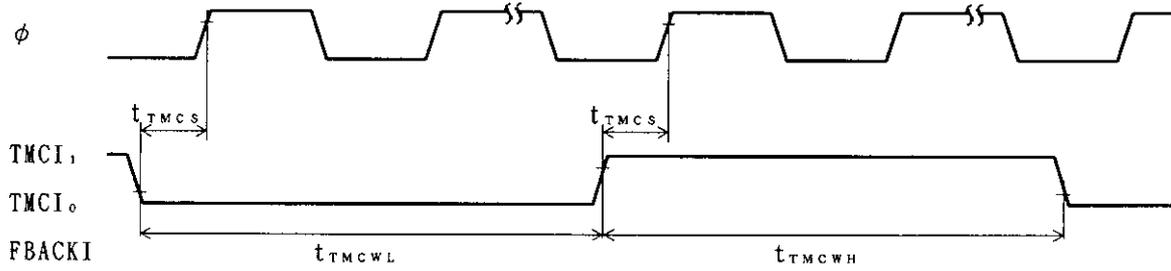


図19.13 8ビットタイマクロック入力タイミング

(3) 8ビットタイマリセット入力タイミング

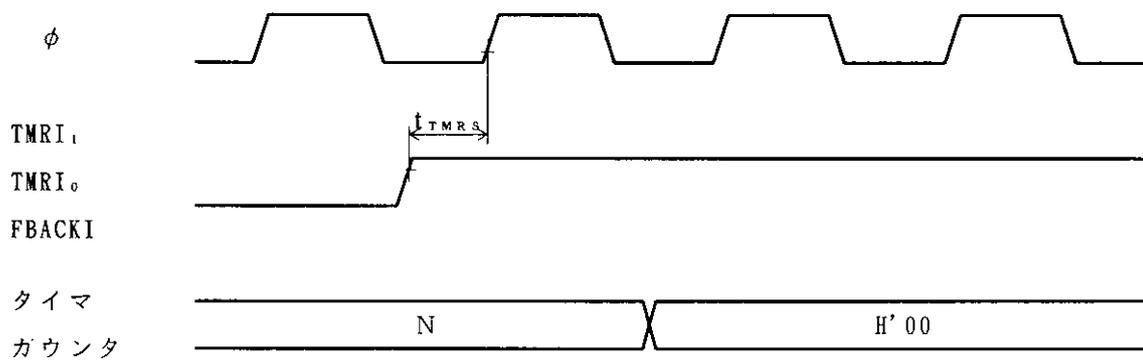


図19.14 8ビットタイマリセット入力タイミング

19.3.5 PWMタイマタイミング

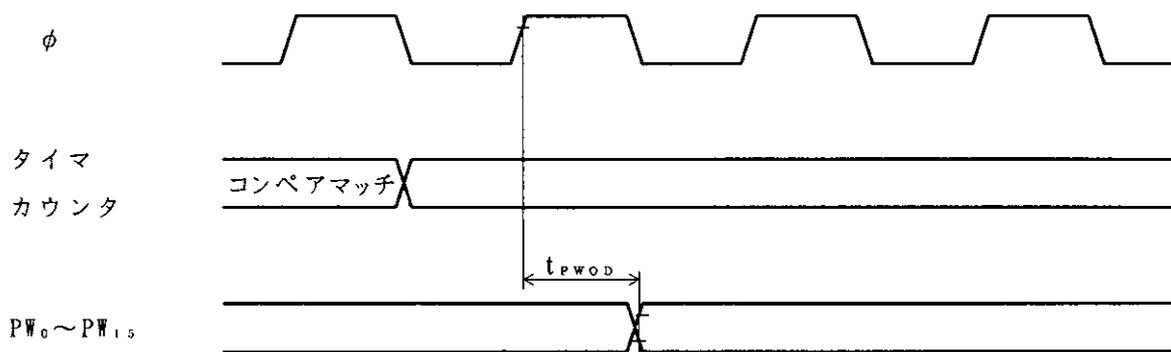


図19.15 PWMタイマ出力タイミング

### 19.3.6 S C I タイミング

#### (1) S C I 入出力タイミング

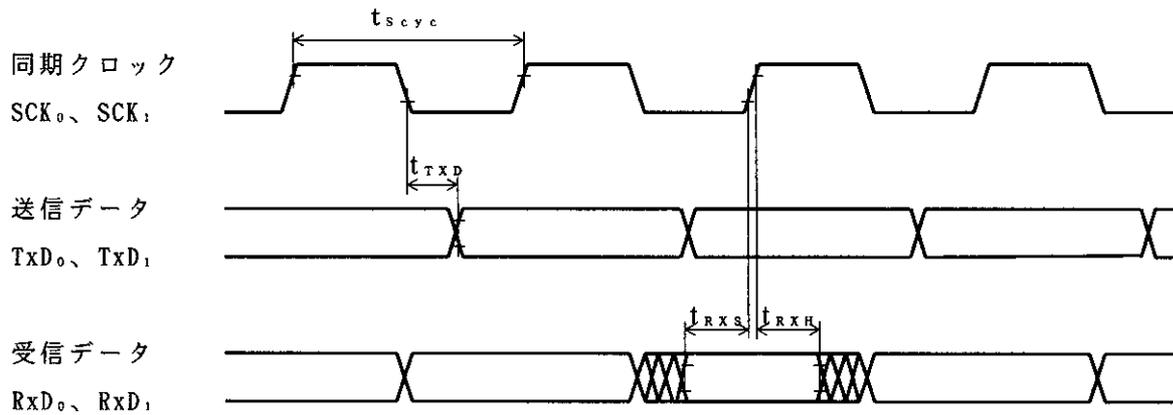


図19.16 S C I 入出力タイミング (クロック同期モード)

#### (2) S C I 入力クロックタイミング

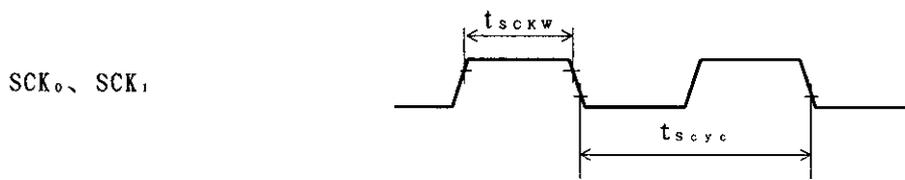
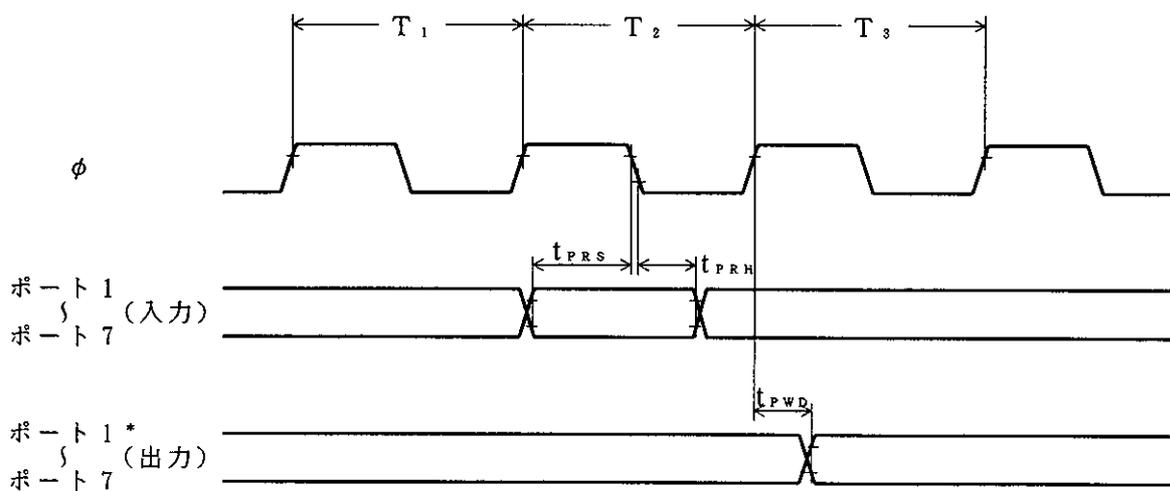


図19.17 S C I 入力クロックタイミング

### 19.3.7 I / O ポートタイミング

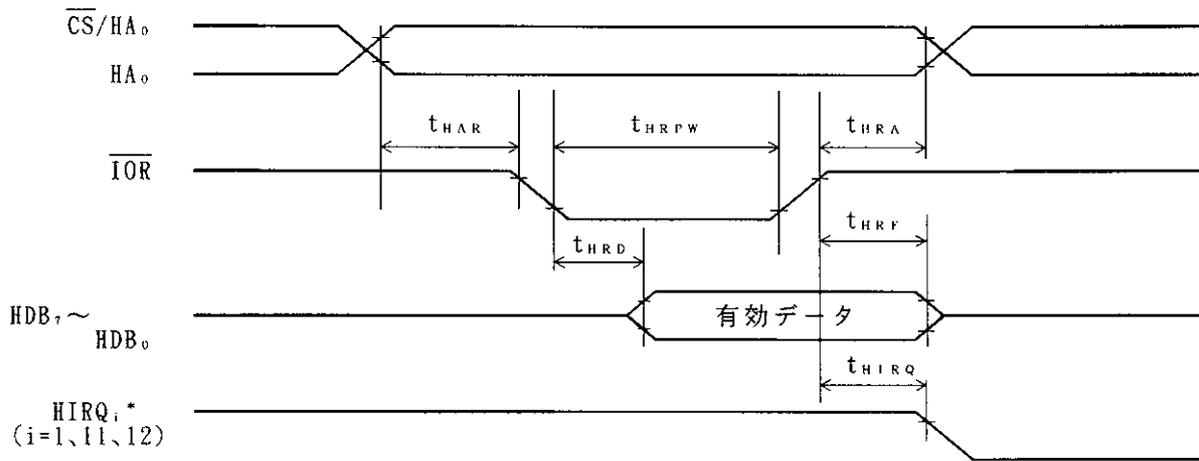


【注】\* P4. は除く

図19.18 I / O ポート入出力タイミング

### 19.3.8 ホストインタフェースタイミング

#### (1) ホストインタフェースリードタイミング



【注】\* 立上りエッジタイミングはポート4出力タイミングと同じです。図19.18を参照してください。

図19.19 ホストインタフェースリードタイミング

#### (2) ホストインタフェースライトタイミング

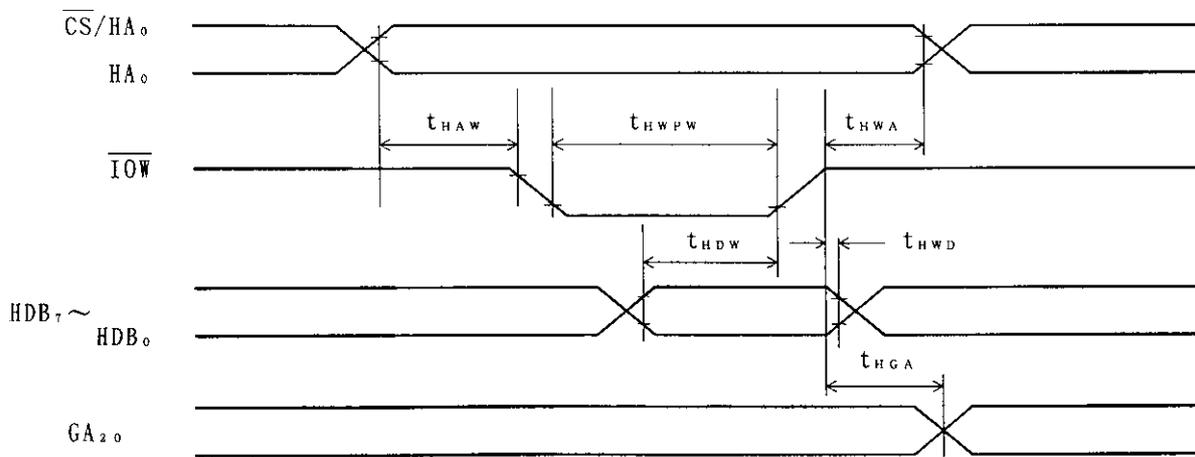


図19.20 ホストインタフェースライトタイミング

19.3.9 I<sup>2</sup>Cバスタイミング【オプション】

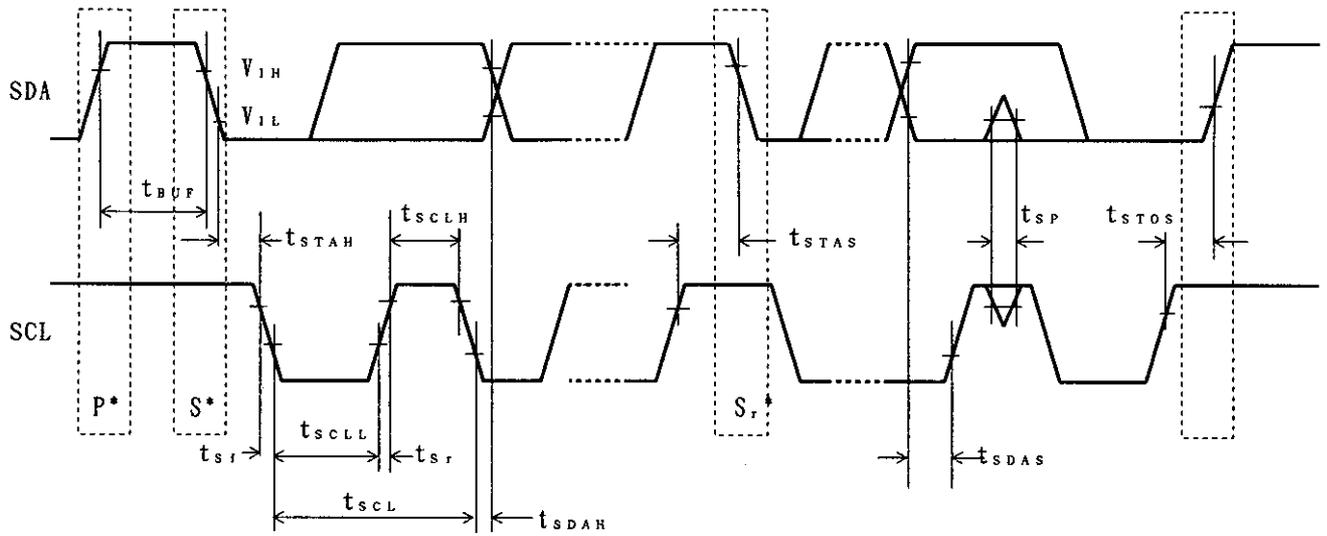


図19.21 I<sup>2</sup>Cバスインタフェース入出力タイミング

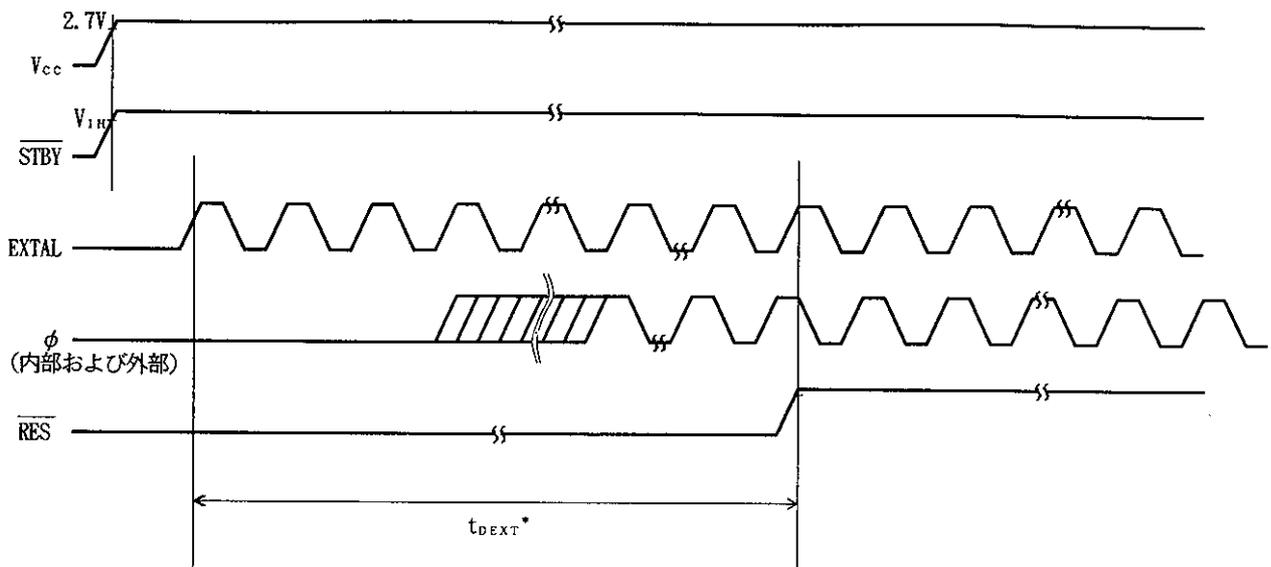
\* S、P、S<sub>r</sub>はそれぞれ以下の条件を示します。

S : 開始条件

P : 停止条件

S<sub>r</sub> : 再送「開始」条件

19.3.10 外部クロック出力タイミング



【注】\*  $t_{DEXT}$ は、 $\overline{RES}$ パルス幅 ( $t_{RESW}$ ) を  $10t_{CY}$  含みます。

図19.22 外部クロック出力遅延タイミング

# 付録

## 付録 目次

A.	命令	391
A.1	命令一覧	391
A.2	オペレーションコードマップ	401
A.3	命令実行ステート数	402
B.	内部 I/O レジスタ一覧	408
B.1	アドレス一覧	408
B.2	機能一覧	421
C.	I/Oポートブロック図	478
C.1	ポート1ブロック図	478
C.2	ポート2ブロック図	479
C.3	ポート3ブロック図	480
C.4	ポート4ブロック図	481
C.5	ポート5ブロック図	484
C.6	ポート6ブロック図	486
C.7	ポート7ブロック図	488
D.	各処理状態におけるポートの状態	490
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	492
F.	ROM発注手順	493
F.1	ROM書き換え品開発の流れ(発注手順)	493
F.2	ROM発注時の注意事項	494
G.	オプションリスト	495
H.	型名一覧	499
I.	外形寸法図	501



## A. 命令

### A.1 命令一覧

《オペレーションの記号》

R d 8/16	汎用レジスタ（デスティネーション側）8ビット/16ビット
R s 8/16	汎用レジスタ（ソース側）8ビット/16ビット
R n 8/16	汎用レジスタ 8ビット/16ビット
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3ビット/8ビット/16ビット
d: 8/16	ディスプレイメント 8ビット/16ビット
@aa: 8/16	絶対アドレス 8ビット/16ビット
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
—	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
—	実行結果に影響を受けないことを表します。

表A.1 命令セット一覧(1)

MOV	ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行 AT- 数*				
			#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)	00aa		I	H	N	Z	V		C			
			2	2	2	4	2	4	2	4		-	-	↑	↑	0		-			
	MOV.B #xx:8, Rd	B	2													↑	↑ <td>0</td> <td>-</td> <td>2</td>	0	-	2	
	MOV.B Rs, Rd	B		2													↑	↑ <td>0</td> <td>-</td> <td>2</td>	0	-	2
	MOV.B 0Rs, Rd	B			2												↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.B 0(d:16, Rs), Rd	B				4											↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.B 0Rs+, Rd	B					2										↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.B 0aa:8, Rd	B						2									↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.B 0aa:16, Rd	B						4									↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.B Rs, 0Rd	B			2												↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.B Rs, 0(d:16, Rd)	B				4											↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.B Rs, 0-Rd	B							2								↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.B Rs, 0aa:8	B							2								↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.B Rs, 0aa:16	B							4								↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.W #xx:16, Rd	W	4														↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.W Rs, Rd	W		2													↑	↑ <td>0</td> <td>-</td> <td>2</td>	0	-	2
	MOV.W 0Rs, Rd	W			2												↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.W 0(d:16, Rs), Rd	W				4											↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.W 0Rs+, Rd	W					2										↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.W 0aa:16, Rd	W						4									↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6
	MOV.W Rs, 0Rd	W			2												↑	↑ <td>0</td> <td>-</td> <td>4</td>	0	-	4
	MOV.W Rs, 0(d:16, Rd)	W				4											↑	↑ <td>0</td> <td>-</td> <td>6</td>	0	-	6

表A.1 命令セット一覧(2)

オペレーション	アドレッシングモード/命令長 (バイト)										コンディションコード					実行 スタート 数*		
	サイズ	ニーモニック	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@aa	-	I	H	N	Z		V	C
MOV	W	MOV. W Rs, @-Rd					2							↑	↑	0	--	6
	W	MOV. W Rs, @aa:16					4							↑	↑	0	--	6
POP	W	POP Rd					2							↑	↑	0	--	6
PUSH	W	PUSH Rs					2							↑	↑	0	--	6
MOVPE	B	MOVPE @aa:16, Rd																⑤
MOVTPPE	B	MOVTPPE Rs, @aa:16																⑤
ADD	B	ADD. B #xx:8, Rd	2											↑	↑	↑	↑	2
	B	ADD. B Rs, Rd	2											↑	↑	↑	↑	2
	W	ADD. W Rs, Rd	2											①	↑	↑	↑	2
ADDX	B	ADDX. B #xx:8, Rd	2											↑	↑	②	↑	2
	B	ADDX. B Rs, Rd	2											↑	↑	②	↑	2
ADDS	W	ADDS. W #1, Rd	2											↑	↑	--	--	2
	W	ADDS. W #2, Rd	2											↑	↑	--	--	2
INC	B	INC. B Rd	2											↑	↑	↑	--	2
DAA	B	DAA. B Rd	2											*	↑	↑	* ③	2
SUB	B	SUB. B Rs, Rd	2											↑	↑	↑	↑	2
	W	SUB. W Rs, Rd	2											①	↑	↑	↑	2
SUBX	B	SUBX. B #xx:8, Rd	2											↑	↑	↑	↑	2
	B	SUBX. B Rs, Rd	2											↑	↑	②	↑	2
	B	SUBX. B Rs, Rd	2											↑	↑	②	↑	2

本L S I では使用できません。

表A.1 命令セット一覧(3)

オペレーション	アドレッシングモード/命令長 (バイト)				サイズ	ニーモニック		コンディションコード							実行 フラグ 数*	
	#xx:8/16	Rn	0Rn	0(d:16, Rn)		0-Rn/0Rn+	0aa:8/16	0(d:8, PC)	0aa	I	H	N	Z	V		C
SUBS	W	2														2
	W	2														2
DEC	B	2										↑	↑			2
DAS	B	2								*	↑	↑	*			2
NEG	B	2									↑	↑	↑	↑		2
CMP	B	2									↑	↑	↑	↑		2
	B	2									↑	↑	↑	↑		2
CMP, W Rs, Rd	W	2									①	↑	↑	↑		2
	B	2														14
DIVXU	B	2									⑥	⑦				14
	B	2														2
AND	B	2										↑	↑	0		2
	B	2										↑	↑	0		2
OR	B	2										↑	↑	0		2
	B	2										↑	↑	0		2
XOR	B	2										↑	↑	0		2
	B	2										↑	↑	0		2
NOT	B	2										↑	↑	0		2
	B	2										↑	↑	0		2
SHAL	B	2										↑	↑	↑		2

$\left[ \begin{array}{c} \leftarrow 0 \\ \leftarrow C \\ \leftarrow b_7 \\ \leftarrow b_0 \end{array} \right]$

表A.1 命令セット一覧(4)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 パート 数*												
		#xx:8/16	Rn	θRn	θ(d:16, Rn)	θ-Rn/θRn+	θaa:8/16		θ(d:8, PC)	θ0aa	I	H	N		Z	V	C									
SHAR	B		2												↑	↑	0	↑	2							
SILL	B		2													↑	↑	0	↑	2						
SHLR	B		2														0	↑	↑	2						
ROTXL	B		2															↑	↑	0	↑	2				
ROTXR	B		2																↑	↑	0	↑	2			
ROTL	B		2																	↑	↑	0	↑	2		
ROTR	B		2																		↑	↑	0	↑	2	
BSET	B		2																						2	
BSET	B			4																						8

表A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード					実行 行- 数*		
		#xx:8/16	Rn	⓪Rn	⓪(d:16, Rn)	⓪-Rn/⓪Rn+1	⓪aa:8/16		⓪(d:8, PC)	⓪⓪aa	I	H	N		Z	V
BSET	B						4		(#xx:3 of ⓪aa:8)←1	-	-	-	-	-	-	8
BSET Rn, Rd	B		2						(Rn8 of Rd8)←1	-	-	-	-	-	-	2
BSET Rn, ⓪Rd	B			4					(Rn8 of ⓪Rd16)←1	-	-	-	-	-	-	8
BSET Rn, ⓪aa:8	B						4		(Rn8 of ⓪aa:8)←1	-	-	-	-	-	-	8
BCLR	B								(#xx:3 of Rd8)←0	-	-	-	-	-	-	2
BCLR #xx:3, ⓪Rd	B			4					(#xx:3 of ⓪Rd16)←0	-	-	-	-	-	-	8
BCLR #xx:3, ⓪aa:8	B						4		(#xx:3 of ⓪aa:8)←0	-	-	-	-	-	-	8
BCLR Rn, Rd	B		2						(Rn8 of Rd8)←0	-	-	-	-	-	-	2
BCLR Rn, ⓪Rd	B			4					(Rn8 of ⓪Rd16)←0	-	-	-	-	-	-	8
BCLR Rn, ⓪aa:8	B						4		(Rn8 of ⓪aa:8)←0	-	-	-	-	-	-	8
BNOT	B								(#xx:3 of Rd8)←(#xx:3 of Rd8)	-	-	-	-	-	-	2
BNOT #xx:3, ⓪Rd	B			4					(#xx:3 of ⓪Rd16)←(#xx:3 of ⓪Rd16)	-	-	-	-	-	-	8
BNOT #xx:3, ⓪aa:8	B						4		(#xx:3 of ⓪aa:8)←(#xx:3 of ⓪aa:8)	-	-	-	-	-	-	8
BNOT Rn, Rd	B		2						(Rn8 of Rd8)←(Rn8 of Rd8)	-	-	-	-	-	-	2
BNOT Rn, ⓪Rd	B			4					(Rn8 of ⓪Rd16)←(Rn8 of ⓪Rd16)	-	-	-	-	-	-	8
BNOT Rn, ⓪aa:8	B						4		(Rn8 of ⓪aa:8)←(Rn8 of ⓪aa:8)	-	-	-	-	-	-	8
BTST	B								(#xx:3 of Rd8)→Z	-	-	-	↑	-	-	2
BTST #xx:3, ⓪Rd	B			4					(#xx:3 of ⓪Rd16)→Z	-	-	-	↑	-	-	6
BTST #xx:3, ⓪aa:8	B						4		(#xx:3 of ⓪aa:8)→Z	-	-	-	↑	-	-	6
BTST Rn, Rd	B		2						(Rn8 of Rd8)→Z	-	-	-	↑	-	-	2

表 A. 1 命令セット一覧(6)

オペレーション	アドレッシングモード/命令長 (バイト)										コンディションコード					実行 スタート 数*	
	サイズ	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	—	I	H	N	Z	V		C
BTST Rn, @Rd	B		4											↑	—	—	6
BTST Rn, @aa:8	B						4							↑	—	—	6
BLD #xx:3, Rd	B		2											—	—	↑	2
BLD #xx:3, @Rd	B		4											—	—	↑	6
BLD #xx:3, @aa:8	B						4							—	—	↑	6
BILD #xx:3, Rd	B		2											—	—	↑	2
BILD #xx:3, @Rd	B		4											—	—	↑	6
BILD #xx:3, @aa:8	B						4							—	—	↑	6
BST #xx:3, Rd	B		2											—	—	—	2
BST #xx:3, @Rd	B		4											—	—	—	8
BST #xx:3, @aa:8	B						4							—	—	—	8
BIST #xx:3, Rd	B		2											—	—	—	2
BIST #xx:3, @Rd	B		4											—	—	—	8
BIST #xx:3, @aa:8	B						4							—	—	—	8
BAND #xx:3, Rd	B		2											—	—	↑	2
BAND #xx:3, @Rd	B		4											—	—	↑	6
BAND #xx:3, @aa:8	B						4							—	—	↑	6
BIAND #xx:3, Rd	B		2											—	—	↑	2
BIAND #xx:3, @Rd	B		4											—	—	↑	6
BIAND #xx:3, @aa:8	B						4							—	—	↑	6
BOR #xx:3, Rd	B		2											—	—	↑	2
BOR #xx:3, @Rd	B		4											—	—	↑	6
BOR #xx:3, @aa:8	B						4							—	—	↑	6

表A.1 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション		コンディションコード							実行 スト 数*
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)	0aa	—	I	H	N	Z	V	C	
BIOR	BIOR #xx:3, Rd		2													↑	2
	BIOR #xx:3, 0Rd			4												↑	6
BXOR	BIOR #xx:3, 0aa:8						4									↑	6
	BXOR #xx:3, Rd		2													↑	2
	BXOR #xx:3, 0Rd			4												↑	6
	BXOR #xx:3, 0aa:8						4									↑	6
BIXOR	BIXOR #xx:3, Rd		2													↑	2
	BIXOR #xx:3, 0Rd			4												↑	6
	BIXOR #xx:3, 0aa:8						4									↑	6
	BRA d:8 (BT d:8)	—														—	4
Bcc	BRN d:8 (BF d:8)	—														—	4
	BHI d:8	—														—	4
	BLS d:8	—														—	4
	BCC d:8 (BHS d:8)	—														—	4
	BCS d:8 (BLO d:8)	—														—	4
	BNE d:8	—														—	4
	BEQ d:8	—														—	4
	BYC d:8	—														—	4
	BYS d:8	—														—	4
	BPL d:8	—														—	4
	BMI d:8	—														—	4
	BGE d:8	—														—	4
	BLT d:8	—														—	4
	BGT d:8	—														—	4
	BLE d:8	—														—	4



表A.1 命令セット一覧(9)

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディショニングコード					実行AT-ポート数*		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn+	@aaa		@(d:8, PC)	I	H	N	Z		V	C
SLEEP	—						—	2	低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
LDC Rs, CCR	B	2	2						Rs8→CCR	↑	↑	↑	↑	↑	↑	2
STC	B		2						CCR→Rd8	—	—	—	—	—	—	2
ANDC	B	2							CCR∧#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
ORC	B	2							CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
XORC	B	2							CCR⊕#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
NOP	—							2	PC←PC+2	—	—	—	—	—	—	2
EEMOV	—							4	if R4L≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	④

【注】 \* : 実行ステータスレジスタは、オピオペラントがメモリに存在する場合の値です。それ以外の場合、「A.3 命令実行ステータス」を参照してください。  
 ① : ビット0から桁上りが発生したとき「1」にセットされ、演算前の値を保持し、それ以外の場合「0」にクリアされます。  
 ② : 演算結果が桁上りが発生したとき「1」にセットされ、それ以外の場合「0」にクリアされます。  
 ③ : 補正結果が桁上りが発生したとき「1」にセットされ、それ以外の場合「0」にクリアされます。  
 ④ : 実行ステータスレジスタは、R4Lの設定値がnのとき4n+8となりません。  
 ⑤ : Eクロック同期転送命令の実行ステータスは一定ではありません。  
 ⑥ : 除数が負のとき「1」にセットされ、それ以外の場合「0」にクリアされます。  
 ⑦ : 除数がゼロのとき「1」にセットされ、それ以外の場合「0」にクリアされます。

## A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト（第1ワードのビット15～8）についてのみ示しています。



第2バイトの最上位ビット（命令コードの第1ワードのビット7）が1の場合を示します。

表A.2 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	NOP	SLEEP	STC	LDC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA		
1	<del>SHL</del> <del>SHAL</del>	<del>SHR</del> <del>SHAR</del>	<del>ROTXL</del> <del>ROTL</del>	<del>ROTXR</del> <del>ROTR</del>	OR	XOR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	SUBX	DAS		
2	MOV																	
3																		
4	BRA* <sup>2</sup>	BRN* <sup>2</sup>	BHI	BLS	BCC* <sup>2</sup>	BCC* <sup>2</sup>	BCS* <sup>2</sup>	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE	
5	MULXU	DIVXU			RTS	BSR	RTE			JMP					JSR			
6	BSET	BNOT	BCLR	BTS					BST	BIST							MOV* <sup>1</sup>	
7			BOR	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	ビット操作命令
8	ADD																	
9	ADDX																	
A	CMP																	
B	SUBX																	
C	OR																	
D	XOR																	
E	AND																	
F	MOV																	

【注】\*<sup>1</sup> MOVFPEおよびMOVTFPEの命令コードの第1バイト、および第2バイトの最上位ビット（第1ワードのビット15～7）は、MOV命令と共通です。  
 PUSH、POP命令の機械語はMOV命令と同一です。  
 【注】\*<sup>2</sup> BT, BF, BHS, BLO命令の機械語は、BRA, BRN, BCC, BCS命令と同一です。

### A.3 命令実行ステート数

H8/300CPUの各命令についての実行状態と、実行ステート数の計算方法を示します。

表A.3に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表A.4に各々のサイクルに必要なステート数を示します。命令の実行ステート数は、次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

#### ■実行ステート数計算例

(例) モード1、スタック領域を外部空間に設定、外部デバイスアクセス時1ウェイト挿入とした場合

1. BSET #0, @FFC7

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 8, S_L = 3$$

$$\text{実行ステート数} = 2 \times 8 + 2 \times 3 = 22$$

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 8$$

$$\text{実行ステート数} = 2 \times 8 + 1 \times 8 + 1 \times 8 = 32$$

表A.3 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	外部デバイス
命令フェッチ $S_I$	2	6	$6 + 2m$
分岐アドレスリード $S_J$			
スタック操作 $S_K$		3	$3 + m$
バイトデータアクセス $S_L$			
ワードデータアクセス $S_M$			
内部動作 $S_N$	1		

<記号説明>

m：外部デバイスアクセス時のウェイトステート数

表A.4 命令の実行状態 (サイクル数) (1)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1/2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態 (サイクル数) (2)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態 (サイクル数) (3)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEMOV	EEMOV	2			2n + 2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		2

【注】 空欄はすべて“0”です。

\* nはR4Lの設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

表A.4 命令の実行状態 (サイクル数) (4)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV. B Rs, @aa:8	1			1		
	MOV. B Rs, @aa:16	2			1		
	MOV. W #xx:16, Rd	2					
	MOV. W Rs, Rd	1					
	MOV. W @Rs, Rd	1				1	
	MOV. W @(d:16, Rs), Rd	2				1	
	MOV. W @Rs+, Rd	1				1	2
	MOV. W @aa:16, Rd	2				1	
	MOV. W Rs, @Rd	1				1	
	MOV. W Rs, @(d:16, Rd)	2				1	
	MOV. W Rs, @-Rd	1				1	2
	MOV. W Rs, @aa:16	2				1	
MOVFPPE	MOVFPPE @aa:16, Rd	本LSIでは使用できません。					
MOVTPE	MOVTPE Rs, @aa:16	本LSIでは使用できません。					
MULXU	MULXU. B Rs, Rd	1					12
NEG	NEG. B Rd	1					
NOP	NOP	1					
NOT	NOT. B Rd	1					
OR	OR. B #xx:8, Rd	1					
	OR. B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
POP	POP Rd	1			1		2
PUSH	PUSH Rd	1			1		2
ROTL	ROTL. B Rd	1					
ROTR	ROTR. B Rd	1					
ROTXL	ROTXL. B Rd	1					
ROTXR	ROTXR. B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL. B Rd	1					
SHAR	SHAR. B Rd	1					
SHLL	SHLL. B Rd	1					
SHLR	SHLR. B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB. B Rs, Rd	1					
	SUB. W Rs, Rd	1					

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態（サイクル数）(5)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SUBS	SUBS.W #1/2, Rd	1					
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 空欄はすべて“0”です。

## B. 内部 I/O レジスタ一覧

### B.1 アドレス一覧

#### B.1.1 H8/3217、H8/3216、H8/3214のアドレス一覧

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 80										外部メモリ (拡張モード時)
H' 81										
H' 82										
H' 83										
H' 84										
H' 85										
H' 86										
H' 87										
H' 88										
H' 89										
H' 8A										
H' 8B										
H' 8C										
H' 8D										
H' 8E										
H' 8F										
H' 90	TCR	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0	FRT
H' 91	TCSR	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA	
H' 92	FRCH									
H' 93	FRCL									
H' 94	OCRAH									
H' 95	OCRAL									
H' 96	OCRBH									
H' 97	OCRBL									
H' 98	ICRH									
H' 99	ICRL									
H' 9A	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX
H' 9B	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' 9C	TCORA									
H' 9D	TCORB									
H' 9E	TCNT									
H' 9F	TCONR	SMOD1	SMOD0	CLMOD	INVV	SCON1	SCON0	INVI	INVO	タイマコネクション

<記号説明>

FRT : 16ビットフリーランニングタイマ

TMRX : 8ビットタイマチャンネルX

(次頁に続く)

(前頁より続く)

下位 7F15	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' A0	I C C R	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	I I C 0
H' A1	I C S R	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB	
H' A2	I C D R	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H' A3	I C M R / S A R	MLS/ SVA6	WAIT/ SVA5	-/ SVA4	-/ SVA3	-/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H' A4	I C C R	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	I I C 1
H' A5	I C S R	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB	
H' A6	I C D R	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H' A7	I C M R / S A R	MLS/ SVA6	WAIT/ SVA5	-/ SVA4	-/ SVA3	-/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H' A8	S E D G R	VEDG	HEDG	CEDG	FEDG	—	—	—	—	タイマコネクション
H' A9										
H' AA	T C S R / T C N T	O V F	W T / I T	T M E	—	R S T / N M I	CKS2	CKS1	CKS0	W D T
H' AB	T C N T									
H' AC	P 1 P C R	P1,PCR	P1,PCR	P1,PCR	P1,PCR	P1,PCR	P1,PCR	P1,PCR	P1,PCR	ポート1
H' AD	P 2 P C R	P2,PCR	P2,PCR	P2,PCR	P2,PCR	P2,PCR	P2,PCR	P2,PCR	P2,PCR	ポート2
H' AE	P 3 P C R	P3,PCR	P3,PCR	P3,PCR	P3,PCR	P3,PCR	P3,PCR	P3,PCR	P3,PCR	ポート3
H' AF										
H' B0	P 1 D D R	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	ポート1
H' B1	P 2 D D R	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	ポート2
H' B2	P 1 D R	P1,	P1,	P1,	P1,	P1,	P1,	P1,	P1,	ポート1
H' B3	P 2 D R	P2,	P2,	P2,	P2,	P2,	P2,	P2,	P2,	ポート2
H' B4	P 3 D D R	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	ポート3
H' B5	P 4 D D R	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	ポート4
H' B6	P 3 D R	P3,	P3,	P3,	P3,	P3,	P3,	P3,	P3,	ポート3
H' B7	P 4 D R	P4,	P4,	P4,	P4,	P4,	P4,	P4,	P4,	ポート4
H' B8	P 5 D D R	—	—	P5,DDR	P5,DDR	P5,DDR	P5,DDR	P5,DDR	P5,DDR	ポート5
H' B9	P 6 D D R	—	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	ポート6
H' BA	P 5 D R	—	—	P5,	P5,	P5,	P5,	P5,	P5,	ポート5
H' BB	P 6 D R	—	P6,	P6,	P6,	P6,	P6,	P6,	P6,	ポート6
H' BC	P 7 D D R	P7,DDR	P7,DDR	P7,DDR	P7,DDR	P7,DDR	P7,DDR	P7,DDR	P7,DDR	ポート7
H' BD	—	—	—	—	—	—	—	—	—	—
H' BE	P 7 D R	P7,	P7,	P7,	P7,	P7,	P7,	P7,	P7,	ポート7
H' BF	—	—	—	—	—	—	—	—	—	—

(次頁に続く)

<記号説明>

I I C 0 : I<sup>2</sup>Cバスインタフェースチャンネル0

I I C 1 : I<sup>2</sup>Cバスインタフェースチャンネル1

W D T : ウォッチドッグタイマ

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' C0											
H' C1											
H' C2	WSCR	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0		
H' C3	STCR	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0		
H' C4	SYSCR	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME		
H' C5	MDCR	—	—	—	—	—	—	MDS1	MDS0		
H' C6	ISCR	—	IRQ6SC	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC		
H' C7	IER	—	IRQ6E	—	—	—	IRQ2E	IRQ1E	IRQ0E		
H' C8	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR 0	
H' C9	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0		
H' CA	TCORA										
H' CB	TCORB										
H' CC	TCNT										
H' CD	PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM	
H' CE	PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8		
H' CF	PWDPRA	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0		
H' D0	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR 1	
H' D1	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0		
H' D2	TCORA										
H' D3	TCORB										
H' D4	TCNT										
H' D5	PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0	PWM	
H' D6											
H' D7											
H' D8	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI 0	
H' D9	BRR										
H' DA	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H' DB	TDR										
H' DC	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H' DD	RDR										
H' DE	SCMR	—	—	—	—	SDIR	SINV	—	SMIF		
H' DF	—	—	—	—	—	—	—	—	—		

<記号説明>

TMR 0 : 8ビットタイマチャンネル0

TMR 1 : 8ビットタイマチャンネル1

PWM : PWMタイマ

SCI 0 : シリアルコミュニケーションインタフェースチャンネル0

(次頁に続く)

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SC11
H'E1	BRR									
H'E2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'E3	TDR									
H'E4	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'E5	RDR									
H'E6	---	---	---	---	---	---	---	---	---	
H'E7	---	---	---	---	---	---	---	---	---	
H'E8										PWM および HIF
H'E9										
H'EA										
H'EB										
H'EC										
H'ED										
H'EE										
H'EF										
H'F0	PWDR0 /HICR	/-	/-	/-	/-	/-	/1BF1E2	/1BF1E1	/FGA20E	
H'F1	PWDR1 /KM1MR	/KM1MR7	/KM1MR6	/KM1MR5	/KM1MR4	/KM1MR3	/KM1MR2	/KM1MR1	/KM1MR0	
H'F2	PWDR2 /KMPCR	/KM <sub>7</sub> PCR	/KM <sub>6</sub> PCR	/KM <sub>5</sub> PCR	/KM <sub>4</sub> PCR	/KM <sub>3</sub> PCR	/KM <sub>2</sub> PCR	/KM <sub>1</sub> PCR	/KM <sub>0</sub> PCR	
H'F3	PWDR3 /-	/-	/-	/-	/-	/-	/-	/-	/-	
H'F4	PWDR4 /IDR1	/IDR7	/IDR6	/IDR5	/IDR4	/IDR3	/IDR2	/IDR1	/IDR0	
H'F5	PWDR5 /ODR1	/ODR7	/ODR6	/ODR5	/ODR4	/ODR3	/ODR2	/ODR1	/ODR0	
H'F6	PWDR6 /STR1	/DBU	/DBU	/DBU	/DBU	/C/D	/DBU	/IBF	/OBF	

(次頁に続く)

<記号説明>

SC11 : シリアルコミュニケーションインタフェースチャンネル1

HIF : ホストインタフェース

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' F7	PWDR 7 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	PWM および H I F
H' F8	PWDR 8 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	
H' F9	PWDR 9 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	
H' FA	PWDR10 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	
H' FB	PWDR11 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	
H' FC	PWDR12 / I D R 2	/IDR7	/IDR6	/IDR5	/IDR4	/IDR3	/IDR2	/IDR1	/IDR0		
H' FD	PWDR13 / O D R 2	/ODR7	/ODR6	/ODR5	/ODR4	/ODR3	/ODR2	/ODR1	/ODR0		
H' FE	PWDR14 / S T R 2	/DBU	/DBU	/DBU	/DBU	/C/D	/DBU	/IBF	/OBF		
H' FF	PWDR15 /-	/-	/-	/-	/-	/-	/-	/-	/-	/-	

B.1.2 H8/3212のアドレス一覧

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 80										外部メモリ (拡張モード時)
H' 81										
H' 82										
H' 83										
H' 84										
H' 85										
H' 86										
H' 87										
H' 88										
H' 89										
H' 8A										
H' 8B										
H' 8C										
H' 8D										
H' 8E										
H' 8F										
H' 90	TCR	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0	FRT
H' 91	TCSR	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA	
H' 92	FRCH									
H' 93	FRCL									
H' 94	OCR AH									
H' 95	OCR AL									
H' 96	OCR BH									
H' 97	OCR BL									
H' 98	ICRH									
H' 99	ICRL									
H' 9A	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR X
H' 9B	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' 9C	TCORA									
H' 9D	TCORB									
H' 9E	TCNT									
H' 9F	TC ONR	SMOD1	SMOD0	CLMOD	INVV	SCON1	SCON0	INVI	INVO	タイマコネクション

(次頁に続く)

<記号説明>

FRT : 16ビットフリーランニングタイマ

TMR X : 8ビットタイマチャンネルX

(前頁より続く)

下位 7F15	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' A0	I C C R	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	I I C 0
H' A1	I C S R	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB	
H' A2	I C D R	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H' A3	I C M R / S A R	MLS/ SVA6	WAIT/ SVA5	-/ SVA4	-/ SVA3	-/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H' A4	I C C R	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	I I C 1
H' A5	I C S R	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB	
H' A6	I C D R	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H' A7	I C M R / S A R	MLS/ SVA6	WAIT/ SVA5	-/ SVA4	-/ SVA3	-/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H' A8	S E D G R	VEDG	HEDG	CEDG	FEDG	—	—	—	—	タイマコネクション
H' A9										
H' AA	T C S R / T C N T	O V F	W T / I T	T M E	—	R S T / N M I	CKS2	CKS1	CKS0	W D T
H' AB	T C N T									
H' AC	P 1 P C R	P1 <sub>7</sub> PCR	P1 <sub>6</sub> PCR	P1 <sub>5</sub> PCR	P1 <sub>4</sub> PCR	P1 <sub>3</sub> PCR	P1 <sub>2</sub> PCR	P1 <sub>1</sub> PCR	P1 <sub>0</sub> PCR	ポート1
H' AD	P 2 P C R	P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR	ポート2
H' AE	P 3 P C R	P3 <sub>7</sub> PCR	P3 <sub>6</sub> PCR	P3 <sub>5</sub> PCR	P3 <sub>4</sub> PCR	P3 <sub>3</sub> PCR	P3 <sub>2</sub> PCR	P3 <sub>1</sub> PCR	P3 <sub>0</sub> PCR	ポート3
H' AF										
H' B0	P 1 D D R	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR	ポート1
H' B1	P 2 D D R	P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR	ポート2
H' B2	P 1 D R	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>	ポート1
H' B3	P 2 D R	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>	ポート2
H' B4	P 3 D D R	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR	ポート3
H' B5	P 4 D D R	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR	ポート4
H' B6	P 3 D R	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>	ポート3
H' B7	P 4 D R	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>	ポート4
H' B8	P 5 D D R	—	—	P5 <sub>5</sub> DDR	P5 <sub>4</sub> DDR	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR	ポート5
H' B9	P 6 D D R	—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR	ポート6
H' BA	P 5 D R	—	—	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>	ポート5
H' BB	P 6 D R	—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>	ポート6
H' BC	P 7 D D R	P7 <sub>7</sub> DDR	P7 <sub>6</sub> DDR	P7 <sub>5</sub> DDR	P7 <sub>4</sub> DDR	P7 <sub>3</sub> DDR	P7 <sub>2</sub> DDR	P7 <sub>1</sub> DDR	P7 <sub>0</sub> DDR	ポート7
H' BD	—	—	—	—	—	—	—	—	—	—
H' BE	P 7 D R	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>	ポート7
H' BF	—	—	—	—	—	—	—	—	—	—

(次頁に続く)

<記号説明>

I I C 0 : I<sup>2</sup>Cバスインタフェースチャンネル0

I I C 1 : I<sup>2</sup>Cバスインタフェースチャンネル1

W D T : ウォッチドッグタイマ

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' C0										
H' C1										
H' C2	WSCR	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0	
H' C3	STCR	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0	
H' C4	SYSCR	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME	
H' C5	MDCR	—	—	—	—	—	—	MDS1	MDS0	
H' C6	ISCR	—	IRQ6SC	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC	
H' C7	IER	—	IRQ6E	—	—	—	IRQ2E	IRQ1E	IRQ0E	
H' C8	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR 0
H' C9	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' CA	TCORA									
H' CB	TCORB									
H' CC	TCNT									PWM
H' CD	PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	
H' CE	PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8	
H' CF	PWDPRA	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0	TMR 1
H' D0	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
H' D1	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' D2	TCORA									
H' D3	TCORB									
H' D4	TCNT									PWM
H' D5	PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0	
H' D6										
H' D7										SCI 0
H' D8	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	
H' D9	BRR									
H' DA	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' DB	TDR									
H' DC	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H' DD	RDR									
H' DE	SCMR	—	—	—	—	SDIR	SINV	—	SMIF	
H' DF	—	—	—	—	—	—	—	—	—	

(次頁に続く)

<記号説明>

TMR 0 : 8ビットタイマチャンネル0

TMR 1 : 8ビットタイマチャンネル1

PWM : PWMタイマ

SCI 0 : シリアルコミュニケーションインタフェースチャンネル0

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0										
H'E1										
H'E2										
H'E3										
H'E4										
H'E5										
H'E6										
H'E7										
H'E8										
H'E9										
H'EA										
H'EB										
H'EC										
H'ED										
H'EE										
H'EF										
H'F0	PWDR 0									PWM
H'F1	PWDR 1									
H'F2	PWDR 2									
H'F3	PWDR 3									
H'F4	PWDR 4									
H'F5	PWDR 5									
H'F6	PWDR 6									
H'F7	PWDR 7									
H'F8	PWDR 8									
H'F9	PWDR 9									
H'FA	PWDR 10									
H'FB	PWDR 11									
H'FC	PWDR 12									
H'FD	PWDR 13									
H'FE	PWDR 14									
H'FF	PWDR 15									

B.1.3 H8/3202のアドレス一覧

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 80										外部メモリ (拡張モード時)
H' 81										
H' 82										
H' 83										
H' 84										
H' 85										
H' 86										
H' 87										
H' 88										
H' 89										
H' 8A										
H' 8B										
H' 8C										
H' 8D										
H' 8E										
H' 8F										
H' 90	TCR	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0	FRT
H' 91	TCSR	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA	
H' 92	FRCH									
H' 93	FRCL									
H' 94	OCRAH									
H' 95	OCRAL									
H' 96	OCRBH									
H' 97	OCRBL									
H' 98	ICRH									
H' 99	ICRL									
H' 9A										
H' 9B										
H' 9C										
H' 9D										
H' 9E										
H' 9F										

(次頁に続く)

<記号説明>

FRT : 16ビットフリーランニングタイマ

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' A0	I C C R	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	I I C 0
H' A1	I C S R	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB	
H' A2	I C D R	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H' A3	I C M R / S A R	MLS/ SVA6	WAIT/ SVA5	-/ SVA4	-/ SVA3	-/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H' A4										
H' A5										
H' A6										
H' A7										
H' A8										
H' A9										
H' AA	T C S R / T C N T	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0	W D T
H' AB	T C N T									
H' AC	P 1 P C R	P1 <sub>7</sub> PCR	P1 <sub>6</sub> PCR	P1 <sub>5</sub> PCR	P1 <sub>4</sub> PCR	P1 <sub>3</sub> PCR	P1 <sub>2</sub> PCR	P1 <sub>1</sub> PCR	P1 <sub>0</sub> PCR	ポート 1
H' AD	P 2 P C R	P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR	ポート 2
H' AE	P 3 P C R	P3 <sub>7</sub> PCR	P3 <sub>6</sub> PCR	P3 <sub>5</sub> PCR	P3 <sub>4</sub> PCR	P3 <sub>3</sub> PCR	P3 <sub>2</sub> PCR	P3 <sub>1</sub> PCR	P3 <sub>0</sub> PCR	ポート 3
H' AF										
H' B0	P 1 D D R	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR	ポート 1
H' B1	P 2 D D R	P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR	ポート 2
H' B2	P 1 D R	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>	ポート 1
H' B3	P 2 D R	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>	ポート 2
H' B4	P 3 D D R	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR	ポート 3
H' B5	P 4 D D R	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR	ポート 4
H' B6	P 3 D R	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>	ポート 3
H' B7	P 4 D R	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>	ポート 4
H' B8	P 5 D D R	—	—	P5 <sub>5</sub> DDR	P5 <sub>4</sub> DDR	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR	ポート 5
H' B9	P 6 D D R	—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR	ポート 6
H' BA	P 5 D R	—	—	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>	ポート 5
H' BB	P 6 D R	—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>	ポート 6
H' BC	P 7 D D R	P7 <sub>7</sub> DDR	P7 <sub>6</sub> DDR	P7 <sub>5</sub> DDR	P7 <sub>4</sub> DDR	P7 <sub>3</sub> DDR	P7 <sub>2</sub> DDR	P7 <sub>1</sub> DDR	P7 <sub>0</sub> DDR	ポート 7
H' BD	—	—	—	—	—	—	—	—	—	—
H' BE	P 7 D R	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>	ポート 7
H' BF	—	—	—	—	—	—	—	—	—	—

〈記号説明〉

I I C 0 : I<sup>2</sup>Cバスインタフェースチャンネル0

W D T : ウォッチドッグタイマ

(次頁に続く)

(前頁より続く)

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' C0										
H' C1										
H' C2	W S C R	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0	
H' C3	S T C R	IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0	
H' C4	S Y S C R	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME	
H' C5	M D C R	—	—	—	—	—	—	MDS1	MDS0	
H' C6	I S C R	—	IRQ6SC	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC	
H' C7	I E R	—	IRQ6E	—	—	—	IRQ2E	IRQ1E	IRQ0E	
H' C8	T C R	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR 0
H' C9	T C S R	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' CA	T C O R A									
H' CB	T C O R B									
H' CC	T C N T									
H' CD										
H' CE										
H' CF										
H' D0	T C R	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
H' D1	T C S R	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H' D2	T C O R A									
H' D3	T C O R B									
H' D4	T C N T									
H' D5										
H' D6										
H' D7										
H' D8	S M R	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	S C I 0
H' D9	B R R									
H' DA	S C R	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' DB	T D R									
H' DC	S S R	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H' DD	R D R									
H' DE	S C M R	—	—	—	—	SDIR	SINV	—	SMIF	
H' DF	—	—	—	—	—	—	—	—	—	

(次頁に続く)

<記号説明>

TMR 0 : 8ビットタイマチャネル0

TMR 1 : 8ビットタイマチャネル1

S C I 0 : シリアルコミュニケーションインタフェースチャネル0

(前頁より続く)

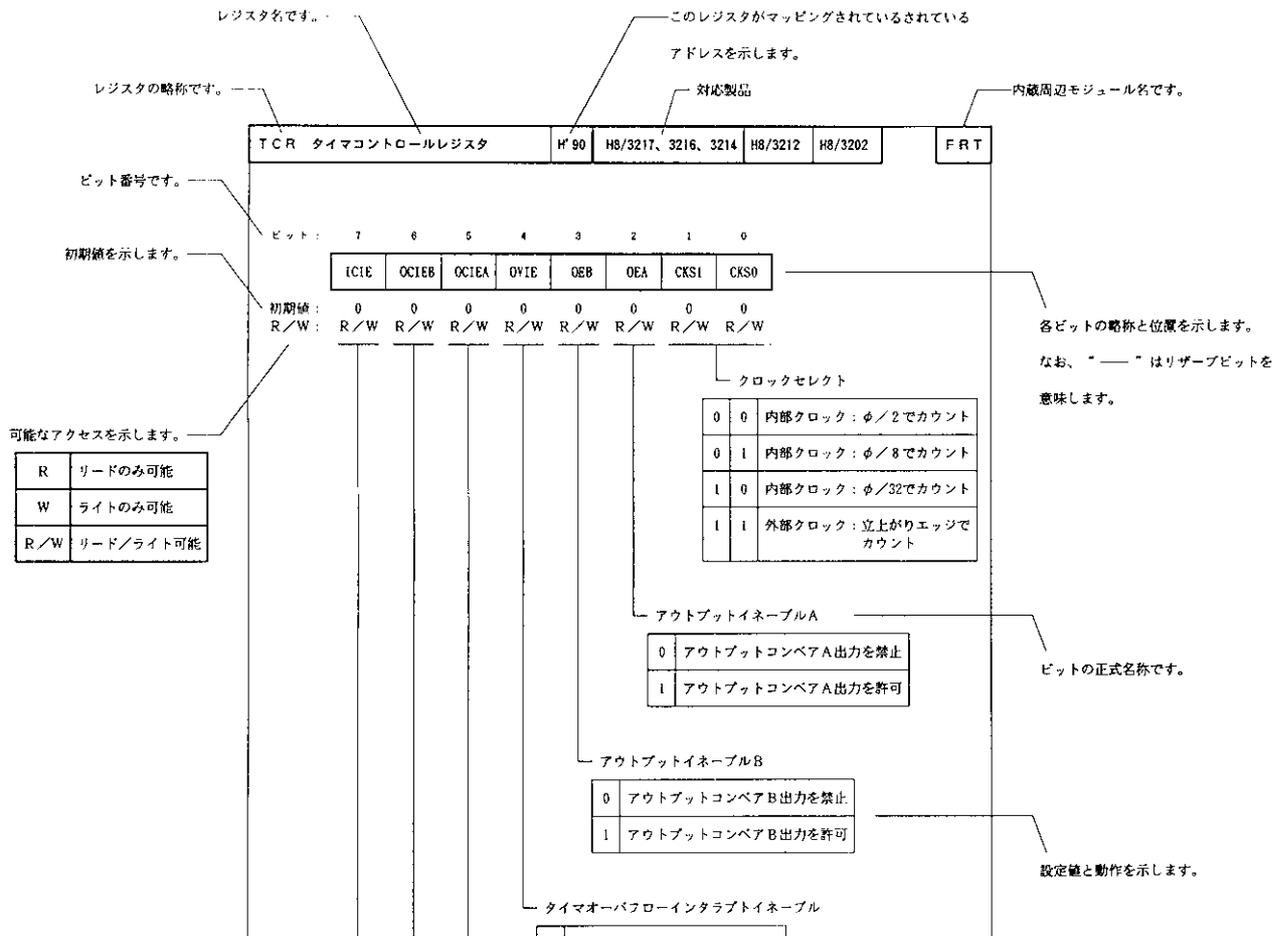
下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	SMR	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI1
H'E1	BRR									
H'E2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'E3	TDR									
H'E4	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'E5	RDR									
H'E6	—	—	—	—	—	—	—	—	—	
H'E7	—	—	—	—	—	—	—	—	—	
H'E8										HIF
H'E9										
H'EA										
H'EB										
H'EC										
H'ED										
H'EE										
H'EF										
H'F0	HICR	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E	
H'F1	KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	
H'F2	KMPCR	KM <sub>7</sub> PCR	KM <sub>6</sub> PCR	KM <sub>5</sub> PCR	KM <sub>4</sub> PCR	KM <sub>3</sub> PCR	KM <sub>2</sub> PCR	KM <sub>1</sub> PCR	KM <sub>0</sub> PCR	
H'F3	—	—	—	—	—	—	—	—	—	
H'F4	IDR1	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	
H'F5	ODR1	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
H'F6	STR1	DBU	DBU	DBU	DBU	C/ $\bar{D}$	DBU	IBF	OBF	
H'F7	—	—	—	—	—	—	—	—	—	
H'F8	—	—	—	—	—	—	—	—	—	
H'F9	—	—	—	—	—	—	—	—	—	
H'FA	—	—	—	—	—	—	—	—	—	
H'FB	—	—	—	—	—	—	—	—	—	
H'FC	IDR2	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	
H'FD	ODR2	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
H'FE	STR2	DBU	DBU	DBU	DBU	C/ $\bar{D}$	DBU	IBF	OBF	
H'FF	—	—	—	—	—	—	—	—	—	

<記号説明>

SCI1 : シリアルコミュニケーションインタフェースチャンネル1

HIF : ホストインタフェース

## B.2 機能一覧



ビット: 7 6 5 4 3 2 1 0

ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0
------	-------	-------	------	-----	-----	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック: $\phi_p/2$ でカウント
0	1	内部クロック: $\phi_p/8$ でカウント
1	0	内部クロック: $\phi_p/32$ でカウント
1	1	外部クロック: 立上がりエッジでカウント

アウトプットイネーブルA

0	アウトプットコンペアA出力を禁止
1	アウトプットコンペアA出力を許可

アウトプットイネーブルB

0	アウトプットコンペアB出力を禁止
1	アウトプットコンペアB出力を許可

タイマオーバフローインタラプトイネーブル

0	OVFによる割込み要求を禁止
1	OVFによる割込み要求を許可

アウトプットコンペアインタラプトイネーブルA

0	OCFAによる割込み要求を禁止
1	OCFAによる割込み要求を許可

アウトプットコンペアインタラプトイネーブルB

0	OCFBによる割込み要求を禁止
1	OCFBによる割込み要求を許可

インプットキャプチャインタラプトイネーブル

0	ICFによる割込み要求を禁止
1	ICFによる割込み要求を許可

ビット: 7 6 5 4 3 2 1 0

ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA
-----	------	------	-----	-------	-------	------	-------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/(W)\*R/(W)\*R/(W)\*R/(W)\* R/W R/W R/W R/W

カウンタクリアA

0	FRCのクリアを禁止
1	コンペアマッチAによりFRCをクリア

インプットエッジセレクト

0	インプットキャプチャ入力の立下がりエッジでFRCの値をICRに転送
1	インプットキャプチャ入力の立上がりエッジでFRCの値をICRに転送

アウトプットレベルA

0	コンペアマッチAにより“0”出力
1	コンペアマッチAにより“1”出力

アウトプットレベルB

0	コンペアマッチBにより“0”出力
1	コンペアマッチBにより“1”出力

タイマオーバーフロー

0	[クリア条件] OVF = “1” の状態でOVFをリードした後、OVFに“0”をライトしたとき
1	[セット条件] FRCがH' FFFF → H' 0000になったとき

アウトプットコンペアフラグA

0	[クリア条件] OCFA = “1” の状態でOCFAをリードした後、OCFAに“0”をライトしたとき
1	[セット条件] FRC = OCRAになったとき

アウトプットコンペアフラグB

0	[クリア条件] OCFB = “1” の状態でOCFBをリードした後、OCFBに“0”をライトしたとき
1	[セット条件] FRC = OCRBになったとき

インプットキャプチャフラグ

0	[クリア条件] ICF = “1” の状態でICFをリードした後、ICFに“0”をライトしたとき
1	[セット条件] インプットキャプチャ信号によりFRCの値がICRに転送されたとき

\*【注】 フラグをクリアするための“0”ライトのみ可能です。

FRC H、L フリ-ランニングカウンタH、L H' 92、H' 93

FRT

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

カウント値

OCRA H、L アウトプットコンパレスタA H、L H' 94、H' 95

FRT

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

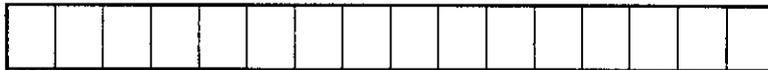
R/W: R/W R/W

FRCの値と常時比較→OCRA=FRCでOCFAをセット

OCRB H、L アウトプットコンパレスタB H、L H' 96、H' 97

FRT

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W

FRCの値と常時比較→OCRB=FRCでOCFBをセット

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

インプットキャッチチャ信号が発生するとFRCの値を格納

ビット: 7 6 5 4 3 2 1 0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト2~0  
TCNTに入力するクロックを選択します。

チャンネル	TCR			説明
	ビット2	ビット1	ビット0	
	CKS2	CKS1	CKS0	
X	0	0	0	クロック入力を禁止
	0	0	1	内部クロック: $\phi$ でカウント
	0	1	0	内部クロック: $\phi_p/2$ 立下がりエッジ ( $\bar{\phi}$ ) でカウント
	0	1	1	内部クロック: $\phi_p/512$ 立下がりエッジ ( $\bar{\phi}$ ) でカウント
	1	0	0	クロック入力を禁止
	1	0	1	外部クロック: 立上がりエッジ ( $\phi$ ) でカウント
	1	1	0	外部クロック: 立下がりエッジ ( $\bar{\phi}$ ) でカウント
1	1	1	外部クロック: 立上がり/立下がり ( $\phi \cdot \bar{\phi}$ ) 両エッジでカウント	

カウンタクリア1、0

0	0	クリア禁止
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジ ( $\phi$ ) によりクリア

タイマオーバーフローインタラプトイネーブル

0	OVFによる割込み要求 (OVI) を禁止
1	OVFによる割込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割込み要求 (CMIA) を禁止
1	CMFAによる割込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割込み要求 (CMIB) を禁止
1	CMFBによる割込み要求 (CMIB) を許可

ビット: 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	PWME	OS3*1	OS2*1	OS1*1	OS0*1
------	------	-----	------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)\*2 R/(W)\*2 R/(W)\*2 R/W R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
0	1	コンペアマッチAで“0”出力
1	0	コンペアマッチAで“1”出力
1	1	コンペアマッチAごとに反転出力(トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
0	1	コンペアマッチBで“0”出力
1	0	コンペアマッチBで“1”出力
1	1	コンペアマッチBごとに反転出力(トグル出力)

PWMモードイネーブル

0	通常タイマモード
1	PWMモード

タイマオーバフローフラグ

0	[クリア条件] OVF = “1” の状態で、OVF をリードした後、OVF に “0” をライトしたとき
1	[セット条件] TCNT が H'FF → H'00 になったとき

コンペアマッチフラグA

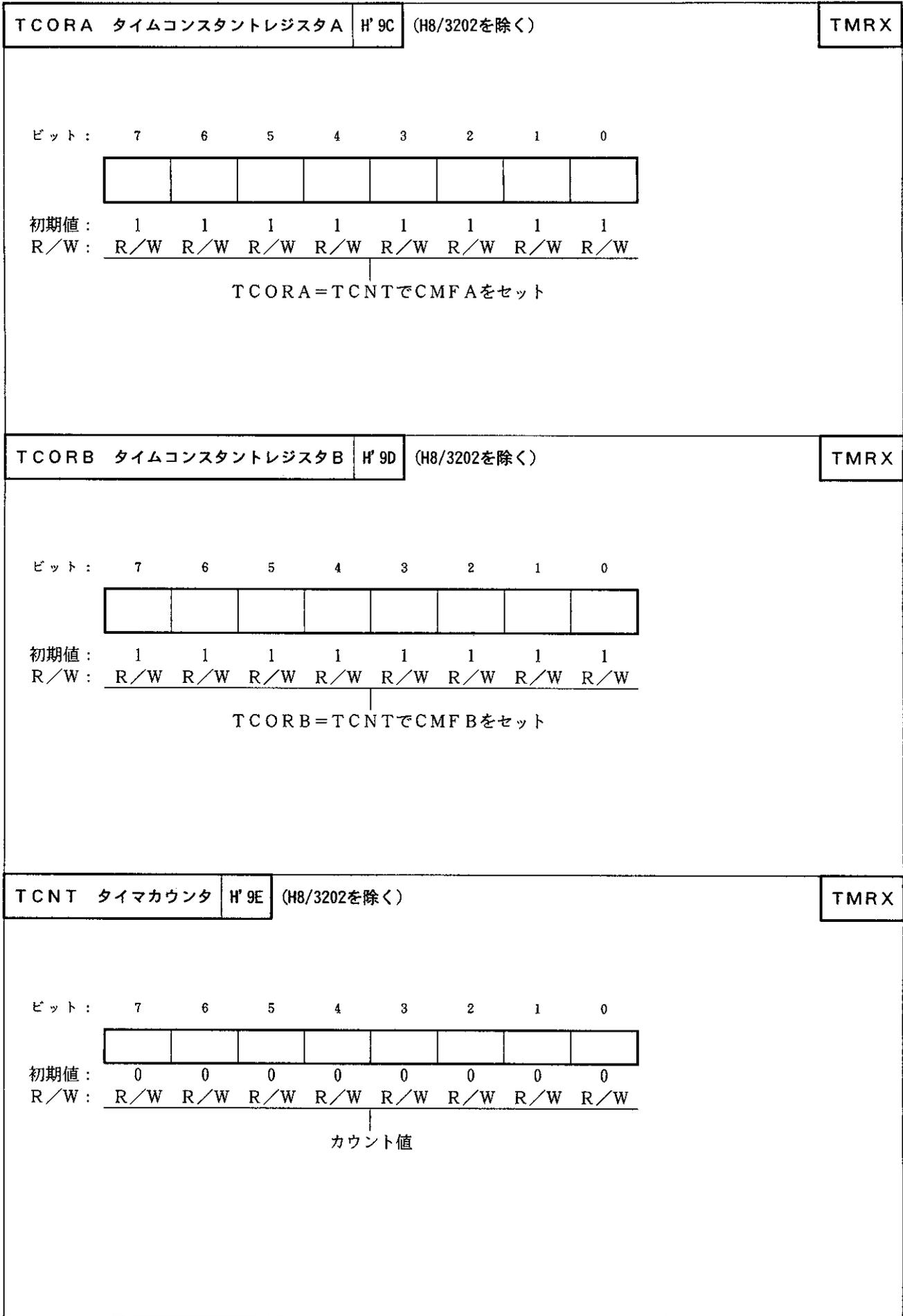
0	[クリア条件] CMFA = “1” の状態で、CMFA をリードした後、CMFA に “0” をライトしたとき
1	[セット条件] TCNT = TCORA になったとき

コンペアマッチフラグB

0	[クリア条件] CMFB = “1” の状態で、CMFB をリードした後、CMFB に “0” をライトしたとき
1	[セット条件] TCNT = TCORB になったとき

【注】\*1 OS3~0 がすべて “0” のとき、タイマ出力は禁止されます。

\*2 ビット7~5 は、フラグをクリアするための “0” ライトのみ可能です。



ビット: 7 6 5 4 3 2 1 0

SMOD1	SMOD0	CLMOD	INVV	SCON1	SCON0	INVI	INVO
-------	-------	-------	------	-------	-------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

出力同期信号反転

0	I V、I H O信号をそのままVSYNCO、HSYNCO出力とする。
1	I V、I H O信号を反転してVSYNCO、HSYNCO出力とする。

入力同期信号反転

0	HSYNCI、CSYNCI端子の状態をそのままHSYNCI、CSYNCI入力とする。
1	HSYNCI、CSYNCI端子の状態を反転してHSYNCI、CSYNCI入力とする。

同期信号接続 1、0

0	0	通常接続 (初期値)	FTI入力	TMCI、入力	TMRI、入力
0	1	垂直同期周期測定モード	I V信号	I H I信号	I V信号
1	0	水平同期周期測定モード	I H I信号	I H I信号	I V信号
1	1	TMRI分周期測定モード	TMO、信号	I H I信号	I V信号

入力同期信号反転

0	VSYNCI端子の状態をそのままVSYNCI入力とする。
1	VSYNCI端子の状態を反転してVSYNCI入力とする。

クランプ波形モード選択

同期モード選択 1、0

		モード名称	I H I信号	I H O信号	I V信号
0	0	無信号 (通常接続) (初期値)	FBACKI入力	I H I信号	VSYNCI入力
0	1	SオンGモード	CSYNCI入力	CL I信号	PDC信号
1	0	コンポジットモード	HSYNCI入力	CL I信号	PDC信号
1	1	セパレートモード	HSYNCI入力	I H I信号	VSYNCI入力

ビット: 7 6 5 4 3 2 1 0

ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
-----	------	-----	-----	-----	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

転送クロック選択

転送クロック選択 STCR レジスタと I I C X ビットとの組み合わせにより選択

(STCR)	ビット2	ビット1	ビット0	クロック	転送レート*				
					φ <sub>p</sub> =4MHz	φ <sub>p</sub> =5MHz	φ <sub>p</sub> =8MHz	φ <sub>p</sub> =10MHz	φ <sub>p</sub> =16MHz
0	0	0	0	φ <sub>p</sub> /28	143kHz	179kHz	286kHz	357kHz	571kHz
	0	0	1	φ <sub>p</sub> /40	100kHz	125kHz	200kHz	250kHz	400kHz
	0	1	0	φ <sub>p</sub> /48	83.3kHz	104kHz	167kHz	208kHz	333kHz
	0	1	1	φ <sub>p</sub> /64	62.5kHz	78.1kHz	125kHz	156kHz	250kHz
	1	0	0	φ <sub>p</sub> /80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
	1	0	1	φ <sub>p</sub> /100	40.0kHz	50.0kHz	80.0kHz	100kHz	160kHz
	1	1	0	φ <sub>p</sub> /112	35.7kHz	44.6kHz	71.4kHz	89.3kHz	143kHz
	1	1	1	φ <sub>p</sub> /128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
1	0	0	0	φ <sub>p</sub> /56	71.4kHz	89.3kHz	143kHz	179kHz	286kHz
	0	0	1	φ <sub>p</sub> /80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
	0	1	0	φ <sub>p</sub> /96	41.7kHz	52.1kHz	83.3kHz	104kHz	167kHz
	0	1	1	φ <sub>p</sub> /128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
	1	0	0	φ <sub>p</sub> /160	25.0kHz	31.3kHz	50.0kHz	62.5kHz	100kHz
	1	0	1	φ <sub>p</sub> /200	20.0kHz	25.0kHz	40.0kHz	50.0kHz	80.0kHz
	1	1	0	φ <sub>p</sub> /224	17.9kHz	22.3kHz	35.7kHz	44.6kHz	71.4kHz
	1	1	1	φ <sub>p</sub> /256	15.6kHz	19.5kHz	31.3kHz	39.1kHz	62.5kHz

【注】\* φ<sub>p</sub> = φ の場合

アクリリジメントモード選択

0	アクリリジメントモード
1	シリアルモード

マスタ/スレーブ選択 (MST)、送受信選択 (TRS)

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I<sup>2</sup>C バスインタフェース割込みイネーブル

0	割込み要求を禁止
1	割込み要求を許可

I<sup>2</sup>C バスインタフェースイネーブル

0	本モジュールは非動作 (SCL/SDA 信号端子はポート機能) 状態
1	本モジュールは転送動作可能状態 (SCL/SDA 信号端子はバス駆動状態)

ビット： 7 6 5 4 3 2 1 0

BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB
------	------	-----	---	----	-----	-----	------

初期値： 0 0 1 1 0 0 0 0  
 R/W： R/W R/(W)\* W — R/(W)\* R/(W)\* R/(W)\* R/W

アクトリッジビット

0	受信時、アクトリッジ出力タイミングで“0”出力（初期値） 送信時、受信デバイスからアクトリッジがあったことを示す
1	受信時、アクトリッジ出力タイミングで“1”出力 送信時、受信デバイスからアクトリッジが無かったことを示す

ゼネラルコールアドレス認識フラグ

0	ゼネラルコールアドレスを未認識（初期値） 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）したとき ・ADZ=1リード後、0ライトしたとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードでゼネラルコールアドレスを検出したとき

スレーブアドレス認識フラグ

0	スレーブアドレスまたはゼネラルコールアドレスを未認識（初期値） 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリード（受信時）したとき ・AAS=1リード後、0ライトしたとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードでゼネラルスレーブアドレスまたはゼネラルコールアドレスを検出したとき

アービトレーションロストフラグ

0	バスアービトレーションを確保（初期値） 〔クリア条件〕 ・ICDRにデータをライト（送信時）、データをリードしたとき（受信時） ・AL=1
1	アービトレーションロスト 〔セット条件〕 ・マスタ送信モードでSCLの立上がりで内部SDAとバスラインが不一致のとき ・マスタ受信モードでSCLの立下がりで内部SCLが“High”レベルのとき

開始条件/停止条件発行禁止ビット

0	ライト時、BBSYと組み合わせて開始条件、停止条件を発行
1	リード時、常に“1”をリード（初期値） ライト時、無効

I<sup>2</sup>Cバスインタフェース割込み要求フラグ

0	転送待ち状態、または転送中（初期値） 〔クリア条件〕 IRIC=1リード後、“0”ライトしたとき
1	割込み発生（セット条件） ・マスタモードで転送終了後、再接続を試みず、再接続を待たずに再接続を開始したとき ・スレーブモードで転送終了後、再接続を試みず、再接続を待たずに再接続を開始したとき ・マスタモードで転送終了後、再接続を試みず、再接続を待たずに再接続を開始したとき ・スレーブモードで転送終了後、再接続を試みず、再接続を待たずに再接続を開始したとき

バスビジー

0	バス開放状態 〔クリア条件〕 停止条件検出時
1	バス占有状態 〔セット条件〕 開始条件検出時

ビット: 7 6 5 4 3 2 1 0

ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: — — — — — — — —  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
------	------	------	------	------	------	------	----

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

フォーマットセレクト

0	アドレッシングフォーマット、スレーブアドレスを認識
1	ノンアドレッシングフォーマット

スレーブアドレス6~0

I<sup>2</sup>Cバスにつながっている他のスレーブと異なるユニークなアドレス

ビット: 7 6 5 4 3 2 1 0

MLS	WAIT	—	—	—	BC2	BC1	BC0
-----	------	---	---	---	-----	-----	-----

初期値: 0 0 1 1 1 0 0 0  
 R/W: R/W R/W — — — R/W R/W R/W

— ビットカウンタ2~0

ビット2	ビット1	ビット0	ビット/フレーム	
BC2	BC1	BC0	シリアルモード	アクノリッジメントモード
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

— ウェイト挿入

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

— MSBファースト/LSBファースト選択

0	MSBファースト
1	LSBファースト

ビット: 7 6 5 4 3 2 1 0

ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
-----	------	-----	-----	-----	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

## 転送クロック選択

転送クロック選択STCRレジスタとIICXビットとの組み合わせにより選択

(STCR)	IICX	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート*				
						$\phi_p=4\text{MHz}$	$\phi_p=5\text{MHz}$	$\phi_p=8\text{MHz}$	$\phi_p=10\text{MHz}$	$\phi_p=16\text{MHz}$
0	0	0	0	0	$\phi_p/28$	143kHz	179kHz	286kHz	357kHz	571kHz
	0	0	1	1	$\phi_p/40$	100kHz	125kHz	200kHz	250kHz	400kHz
	0	1	0	0	$\phi_p/48$	83.3kHz	104kHz	167kHz	208kHz	333kHz
	0	1	1	1	$\phi_p/64$	62.5kHz	78.1kHz	125kHz	156kHz	250kHz
	1	0	0	0	$\phi_p/80$	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
	1	0	1	1	$\phi_p/100$	40.0kHz	50.0kHz	80.0kHz	100kHz	160kHz
	1	1	0	0	$\phi_p/112$	35.7kHz	44.6kHz	71.4kHz	89.3kHz	143kHz
1	1	1	1	1	$\phi_p/128$	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
	0	0	0	0	$\phi_p/56$	71.4kHz	89.3kHz	143kHz	179kHz	286kHz
	0	0	1	1	$\phi_p/80$	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
	0	1	0	0	$\phi_p/96$	41.7kHz	52.1kHz	83.3kHz	104kHz	167kHz
	0	1	1	1	$\phi_p/128$	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
	1	0	0	0	$\phi_p/160$	25.0kHz	31.3kHz	50.0kHz	62.5kHz	100kHz
	1	0	1	1	$\phi_p/200$	20.0kHz	25.0kHz	40.0kHz	50.0kHz	80.0kHz
1	1	0	0	$\phi_p/224$	17.9kHz	22.3kHz	35.7kHz	44.6kHz	71.4kHz	
1	1	1	1	$\phi_p/256$	15.6kHz	19.5kHz	31.3kHz	39.1kHz	62.5kHz	

【注】\*  $\phi_p = \phi$  の場合

## アクリジジメントモード選択

0	アクリジジメントモード
1	シリアルモード

## マスタ/スレーブ選択 (MST)、送受信選択 (TRS)

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I<sup>2</sup>Cバスインタフェース割込みイネーブル

0	割込み要求を禁止
1	割込み要求を許可

I<sup>2</sup>Cバスインタフェースイネーブル

0	本モジュールは非動作 (SCL/SDA信号端子はポート機能) 状態
1	本モジュールは転送動作可能状態 (SCL/SDA信号端子はバス駆動状態)



ビット: 7 6 5 4 3 2 1 0

ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: — — — — — — — —  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

MLS	WAIT	—	—	—	BC2	BC1	BC0
-----	------	---	---	---	-----	-----	-----

初期値: 0 0 1 1 1 0 0 0  
 R/W: R/W R/W — — — R/W R/W R/W

— ビットカウンタ 2~0

ビット2	ビット1	ビット0	ビット/フレーム	
BC 2	BC 1	BC 0	シリアルモード	アクリリジメントモード
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
1	0	1	3	4
		0	4	5
	1	0	5	6
	1	0	6	7
		1	7	8

— ウェイト挿入

0	データとアクリリジを連続的に転送
1	データとアクリリジの間にウェイトを挿入

— MSBファースト/LSBファースト選択

0	MSBファースト
1	LSBファースト

ビット: 7 6 5 4 3 2 1 0

SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
------	------	------	------	------	------	------	----

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

— フォーマットセレクト

0	アドレッシングフォーマット、スレーブアドレスを認識
1	ノンアドレッシングフォーマット

— スレーブアドレス6~0

I<sup>2</sup>Cバスにつながっている他のスレーブと異なるユニークなアドレス

ビット: 7 6 5 4 3 2 1 0

VEDG	HEDG	CEDG	FEDG	—	—	—	—
------	------	------	------	---	---	---	---

初期値: 0 0 0 0 1 1 1 1  
 R/W: R/(W)\*R/(W)\*R/(W)\*R/(W)\* — — — —

FBACKIエッジ

0	[クリア条件] FEDG = "1" の状態でFEDGをリードした後、FEDGに"0"をライトしたとき
1	[セット条件] P4 <sub>6</sub> /φ/FBACKI端子の立上がりエッジを検出したとき

CSYNCIエッジ

0	[クリア条件] CEDG = "1" の状態でCEDGをリードした後、CEDGに"0"をライトしたとき
1	[セット条件] P4 <sub>5</sub> /TMR11/CSYNCI端子の立上がりエッジを検出したとき

HSYNCIエッジ

0	[クリア条件] HEDG = "1" の状態でHEDGをリードした後、HEDGに"0"をライトしたとき
1	[セット条件] P4 <sub>3</sub> /TMC11/HSYNCI端子の立上がりエッジを検出したとき

VSYNCIエッジ

0	[クリア条件] VEDG = "1" の状態でVEDGをリードした後、VEDGに"0"をライトしたとき
1	[セット条件] P6 <sub>3</sub> /FTI/VSYNCI端子の立上がりエッジを検出したとき

【注】\* フラグをクリアするための、"0" ライトのみ可能です。

ビット: 7 6 5 4 3 2 1 0

OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
-----	-------	-----	---	---------	------	------	------

初期値: 0 0 0 1 0 0 0 0  
 R/W: R/(W)\* R/W R/W — R/W R/W R/W R/W

クロックセレクト2~0

CKS2	CKS1	CKS0	カウント・ クロック	オーバーフロー周期 ( $\phi_p = 10\text{MHz}$ の場合) (初期値)
0	0	0	$\phi/2$	51.2 $\mu\text{s}$
0	0	1	$\phi/32$	819.2 $\mu\text{s}$
0	1	0	$\phi/64$	1.6ms
0	1	1	$\phi/128$	3.3ms
1	0	0	$\phi/256$	6.6ms
1	0	1	$\phi/512$	13.1ms
1	1	0	$\phi/2048$	52.4ms
1	1	1	$\phi/4096$	104.9ms

リセットまたはNMI

0	NMI機能有効
1	リセット機能有効

タイマイネーブル

0	タイマディスエーブル: TCNTをH'00にイニシャライズし、カウントアップを停止
1	タイマイネーブル: TCNTがカウントアップを開始し、TCNTがオーバーフローするとリセットまたはCPUへの割込み要求を許可

タイマモードセレクト

0	インターバルタイマモード (OVF割込み要求)
1	ウォッチドッグタイマモード (リセットまたはNMI割込み要求)

オーバーフローフラグ

0	[クリア条件] OVF = "1" の状態で、OVFをリード後、OVFに"0"をライトしたとき
1	[セット条件] TCNTがH'FF→H'00に変化したとき

【注】\* フラグをクリアするための、“0”ライトのみ可能です。

TCNT タイマカウンタ

H' AB リード時、H' AA ライト時

WDT

ビット：    7        6        5        4        3        2        1        0



初期値：    0        0        0        0        0        0        0        0

R/W：    R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

↓  
カウント値

P 1 P C R   ポート1入力プルアップMOSコントロールレジスタ   H' AC

P 1

ビット：       7       6       5       4       3       2       1       0

P1 <sub>7</sub> PCR	P1 <sub>6</sub> PCR	P1 <sub>5</sub> PCR	P1 <sub>4</sub> PCR	P1 <sub>3</sub> PCR	P1 <sub>2</sub> PCR	P1 <sub>1</sub> PCR	P1 <sub>0</sub> PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値：       0       0       0       0       0       0       0       0  
 R/W：       R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

└─ ポート1入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P 2 P C R   ポート2入力プルアップMOSコントロールレジスタ   H' AD

P 2

ビット：       7       6       5       4       3       2       1       0

P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値：       0       0       0       0       0       0       0       0  
 R/W：       R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

└─ ポート2入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P 3 P C R   ポート3入力プルアップMOSコントロールレジスタ   H' AE

P 3

ビット：       7       6       5       4       3       2       1       0

P3 <sub>7</sub> PCR	P3 <sub>6</sub> PCR	P3 <sub>5</sub> PCR	P3 <sub>4</sub> PCR	P3 <sub>3</sub> PCR	P3 <sub>2</sub> PCR	P3 <sub>1</sub> PCR	P3 <sub>0</sub> PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値：       0       0       0       0       0       0       0       0  
 R/W：       R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

└─ ポート3入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P1DDR ポート1データディレクションレジスタ H' B0

P1

ビット: 7 6 5 4 3 2 1 0

P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード2、3	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

ポート1入出力制御

0	入力ポート
1	出力ポート

P1DR ポート1データレジスタ H' B2

P1

ビット: 7 6 5 4 3 2 1 0

P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:	0	0	0	0	0	0	0
R/W:	R/W						

P2DDR ポート2データディレクションレジスタ H' B1

P 2

ビット: 7 6 5 4 3 2 1 0

P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード2、3	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

ポート2入出力制御

0	入力ポート
1	出力ポート

P2DR ポート2データレジスタ H' B3

P 2

ビット: 7 6 5 4 3 2 1 0

P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:	0	0	0	0	0	0	0
R/W:	R/W						

P3DDR ポート3データディレクションレジスタ H'B4

P3

ビット: 7 6 5 4 3 2 1 0

P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート3入出力制御

0	入力ポート
1	出力ポート

P3DR ポート3データレジスタ H'B6

P3

ビット: 7 6 5 4 3 2 1 0

P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット： 7 6 5 4 3 2 1 0

P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1、2	初期値：	0	1	0	0	0	0	0
	R/W：	W	—	W	W	W	W	W
モード3	初期値：	0	0	0	0	0	0	0
	R/W：	W	W	W	W	W	W	W

ポート4入出力選択

0	入力ポート
1	出力ポート

ビット： 7 6 5 4 3 2 1 0

P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値：	0	— *	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W

【注】\* P4<sub>6</sub>端子により決定されます。

P5DDR ポート5データディレクションレジスタ H' B8

P5

ビット: 7 6 5 4 3 2 1 0

—	—	P5 <sub>5</sub> DDR	P5 <sub>4</sub> DDR	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR
---	---	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値: 1 1 0 0 0 0 0 0  
 R/W: — — W W W W W W

ポート5入出力選択

0	入力ポート
1	出力ポート

P5DR ポート5データレジスタ H' BA

P5

ビット: 7 6 5 4 3 2 1 0

—	—	P5 <sub>5</sub>	P5 <sub>4</sub>	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
---	---	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 1 1 0 0 0 0 0 0  
 R/W: — — R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR
---	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値: 1 0 0 0 0 0 0 0

R/W: — W W W W W W W

ポート6入出力選択

0	入力ポート
1	出力ポート

ビット: 7 6 5 4 3 2 1 0

—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
---	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 1 0 0 0 0 0 0 0

R/W: — R/W R/W R/W R/W R/W R/W R/W

P7DDR ポート7データディレクションレジスタ

H'BC

P7

ビット: 7 6 5 4 3 2 1 0

P7 <sub>7</sub> DDR	P7 <sub>6</sub> DDR	P7 <sub>5</sub> DDR	P7 <sub>4</sub> DDR	P7 <sub>3</sub> DDR	P7 <sub>2</sub> DDR	P7 <sub>1</sub> DDR	P7 <sub>0</sub> DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート7入出力選択

0	入力ポート
1	出力ポート

P7DR ポート7データレジスタ

H'BE

P7

ビット: 7 6 5 4 3 2 1 0

P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
---	---	-------	---	------	------	-----	-----

初期値: 1 1 0 0 1 0 0 0  
 R/W: — — R/W R/W R/W R/W R/W R/W

ウェイトカウント1、0

0	0	WSCRによるウェイトの自動的な挿入を禁止 (初期値)
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト1、0

0	0	プログラマブルウェイトモード
	1	WSCRによるウェイトを禁止
1	0	端子ウェイトモード (初期値)
	1	端子オートウェイトモード

クロック分周

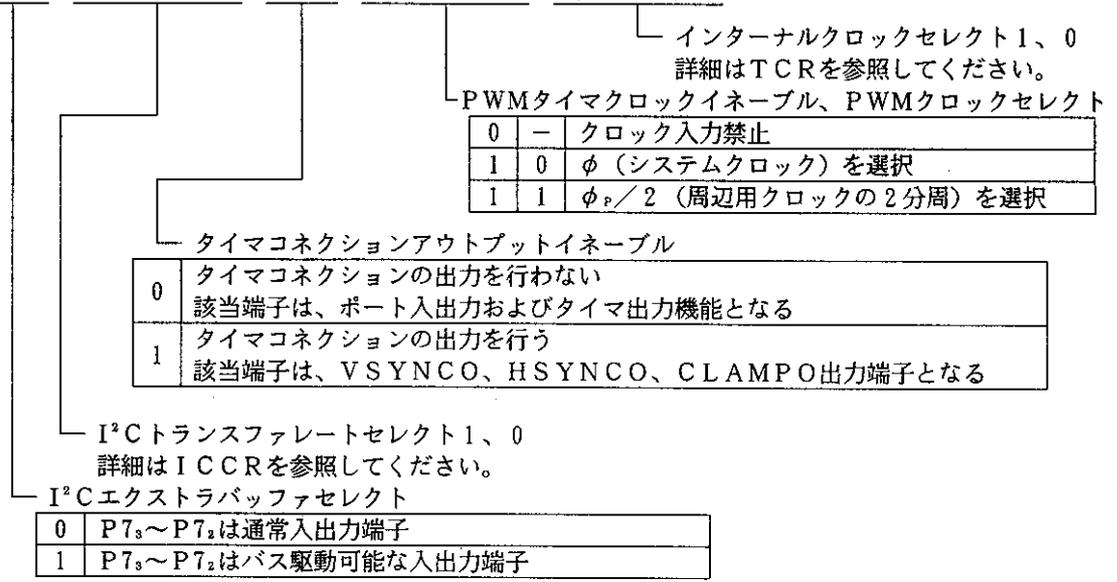
0	周辺モジュールへのクロック ( $\phi_p$ ) はシステムクロック ( $\phi$ ) を分周しない (初期値)
1	周辺モジュールへのクロック ( $\phi_p$ ) はシステムクロック ( $\phi$ ) を2分周する

ビット: 7 6 5 4 3 2 1 0

IICS	IICX1	IICX0	SYNCE	PWCKE	PWCKS	ICKS1	ICKS0
------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W



ビット: 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
------	------	------	------	------	-------	-----	------

初期値: 0 0 0 0 1 0 0 1  
 R/W: R/W R/W R/W R/W R R/W R/W R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

ホストインタフェースイネーブル

0	ホストインタフェース機能を禁止 (初期値)
1	ホストインタフェース機能を許可 (スレープモード)

NMIエッジ

0	NMI入力の立下がりエッジで割込み要求を発生
1	NMI入力の立上がりエッジで割込み要求を発生

外部リセット

0	リセットがウォッチドッグタイマのオーバーフローで発生
1	リセットが外部リセット入力で発生 (初期値)

スタンバイタイムセレクト2~0

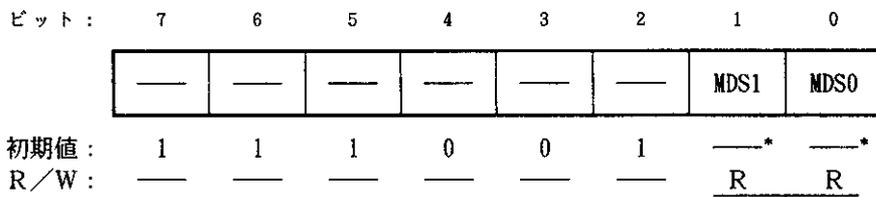
0	0	0	待機時間= 8192ステート
0	0	1	待機時間= 16384ステート
0	1	0	待機時間= 32768ステート
0	1	1	待機時間= 65536ステート
1	0	-	待機時間= 131072ステート
1	1	-	使用禁止

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

MDCR モードコントロールレジスタ H' C5

システム



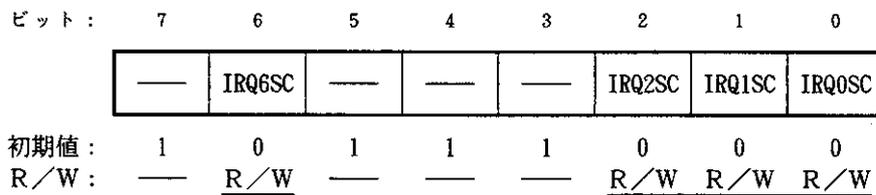
モードセレクト1、0

モード端子の値

\*【注】 モード端子 (MD<sub>1</sub>、MD<sub>0</sub>) により決定されます。

ISCR IRQセンスコントロールレジスタ H' C6

システム



IRQ0~2、6センスコントロール

0	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2$ 、 $\overline{\text{KEYIN}}_0 \sim \overline{\text{KEYIN}}_7$ 入力の“Low”レベルで割り込み要求を発生
1	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2$ 、 $\overline{\text{KEYIN}}_0 \sim \overline{\text{KEYIN}}_7$ 入力の立下がりエッジで割り込み要求を発生

ビット:	7	6	5	4	3	2	1	0
	—	IRQ6E	—	—	—	IRQ2E	IRQ1E	IRQ0E
初期値:	1	0	1	1	1	0	0	0
R/W:	—	R/W	—	—	—	R/W	R/W	R/W

IRQ0~2、6イネーブル

0	IRQ <sub>0</sub> ~IRQ <sub>2</sub> 、IRQ <sub>6</sub> 割込みを禁止
1	IRQ <sub>0</sub> ~IRQ <sub>2</sub> 、IRQ <sub>6</sub> 割込みを許可

ビット: 7 6 5 4 3 2 1 0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト2~0  
 TCNTに入力するクロックを選択します。

チャンネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	0	内部クロック: $\phi_p/8$ 立下がりエッジ (L) でカウント
	0	0	1	—	1	内部クロック: $\phi_p/2$ 立下がりエッジ (L) でカウント
	0	1	0	—	0	内部クロック: $\phi_p/64$ 立下がりエッジ (L) でカウント
	0	1	0	—	1	内部クロック: $\phi_p/32$ 立下がりエッジ (L) でカウント
	0	1	1	—	0	内部クロック: $\phi_p/1024$ 立下がりエッジ (L) でカウント
	0	1	1	—	1	内部クロック: $\phi_p/256$ 立下がりエッジ (L) でカウント
	1	0	0	—	—	クロック入力を禁止
	1	0	1	—	—	外部クロック: 立上がりエッジ (F) でカウント
	1	1	0	—	—	外部クロック: 立下がりエッジ (L) でカウント
	1	1	1	—	—	外部クロック: 立上がり/立下がり (F・L) 両エッジでカウント
	1	0	0	0	—	—
0		0	1	0	—	内部クロック: $\phi_p/8$ 立下がりエッジ (L) でカウント
0		0	1	1	—	内部クロック: $\phi_p/2$ 立下がりエッジ (L) でカウント
0		1	0	0	—	内部クロック: $\phi_p/64$ 立下がりエッジ (L) でカウント
0		1	0	1	—	内部クロック: $\phi_p/32$ 立下がりエッジ (L) でカウント
0		1	1	0	—	内部クロック: $\phi_p/1024$ 立下がりエッジ (L) でカウント
0		1	1	1	—	内部クロック: $\phi_p/256$ 立下がりエッジ (L) でカウント
1		0	0	—	—	クロック入力を禁止
1		0	1	—	—	外部クロック: 立上がりエッジ (F) でカウント
1		1	0	—	—	外部クロック: 立下がりエッジ (L) でカウント
1		1	1	—	—	外部クロック: 立上がり/立下がり (F・L) 両エッジでカウント

カウンタクリア1、0

0	0	クリア禁止
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジ (F) によりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割込み要求 (OVI) を禁止
1	OVFによる割込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割込み要求 (CMIA) を禁止
1	CMFAによる割込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割込み要求 (CMIB) を禁止
1	CMFBによる割込み要求 (CMIB) を許可

ビット: 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	PWME	OS3*1	OS2*1	OS1*1	OS0*1
------	------	-----	------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)\*2 R/(W)\*2 R/(W)\*2 R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
0	1	コンペアマッチAで“0”出力
1	0	コンペアマッチAで“1”出力
1	1	コンペアマッチAごとに反転出力(トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
0	1	コンペアマッチBで“0”出力
1	0	コンペアマッチBで“1”出力
1	1	コンペアマッチBごとに反転出力(トグル出力)

PWMモードイネーブル

0	通常タイマモード
1	PWMモード

タイマオーバーフローフラグ

0	[クリア条件] OVF = “1” の状態で、OVF をリードした後、OVF に “0” をライトしたとき
1	[セット条件] TCNT が H' FF → H' 00 になったとき

コンペアマッチフラグA

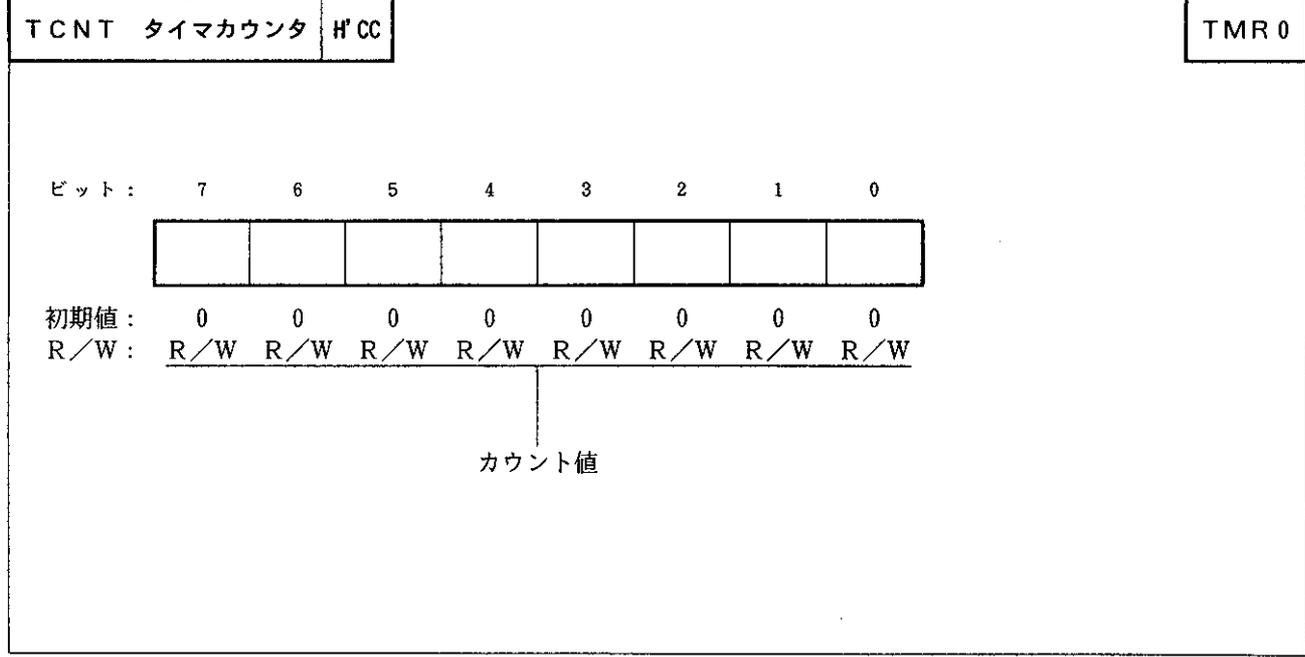
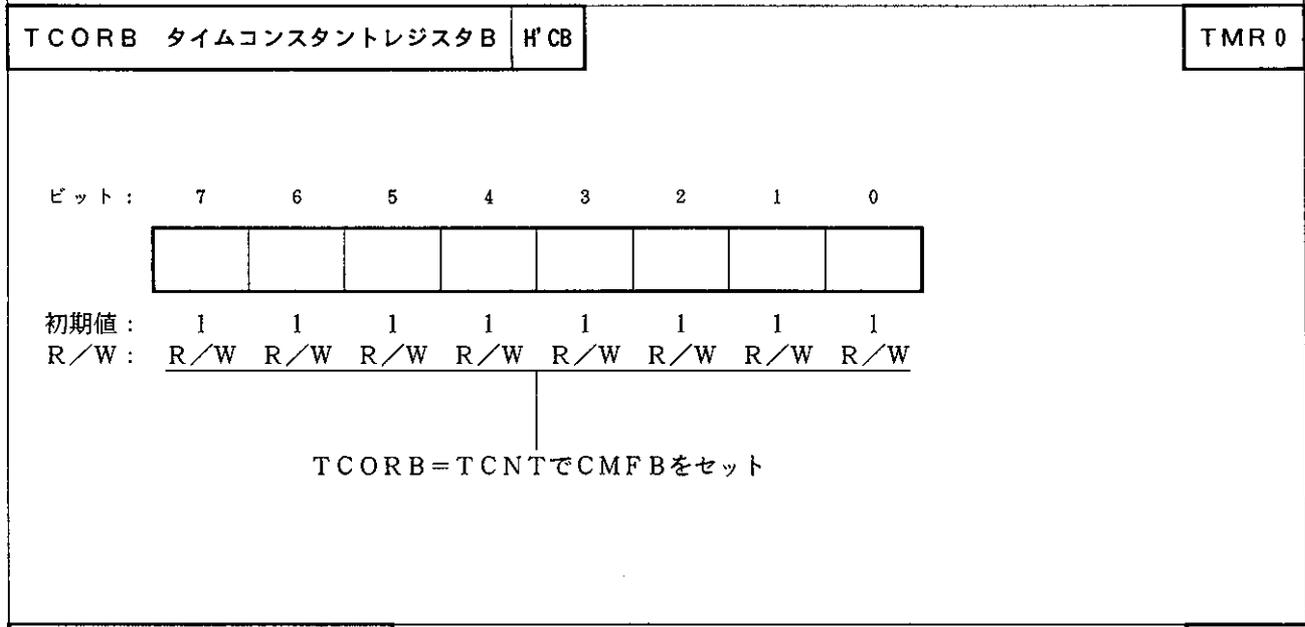
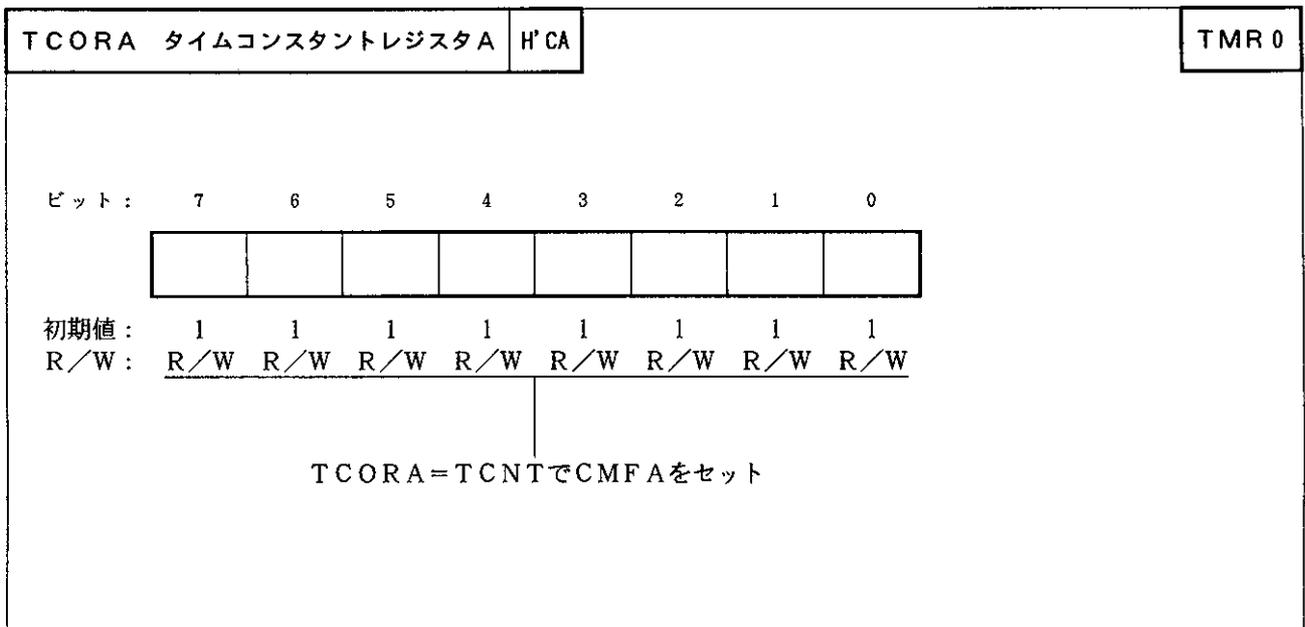
0	[クリア条件] CMFA = “1” の状態で、CMFA をリードした後、CMFA に “0” をライトしたとき
1	[セット条件] TCNT = TCORA になったとき

コンペアマッチフラグB

0	[クリア条件] CMFB = “1” の状態で、CMFB をリードした後、CMFB に “0” をライトしたとき
1	[セット条件] TCNT = TCORB になったとき

【注】\*1 OS3~0がすべて“0”のとき、タイマ出力は禁止されます。

\*2 フラグをクリアするための“0”ライトのみ可能です。



<b>PWOERB</b> PWMアウトプットイネーブルレジスタB	<b>H'CD</b>	(H8/3202を除く)	<b>PWM</b>
-----------------------------------	-------------	--------------	------------

ビット：      7          6          5          4          3          2          1          0

OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
------	------	------	------	------	------	-----	-----

初期値：      0          0          0          0          0          0          0          0  
R/W：      R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W

PWMアウトプットイネーブル15～8

0	入力設定時：ポート入力 出力設定時：ポート出力またはPWMの256/256出力
1	入力設定時：ポート入力 出力設定時：PWM出力（0～255/256出力）

<b>PWDPRB</b> PWMデータポラリティレジスタB	<b>H'CE</b>	(H8/3202を除く)	<b>PWM</b>
--------------------------------	-------------	--------------	------------

ビット：      7          6          5          4          3          2          1          0

OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
------	------	------	------	------	------	-----	-----

初期値：      0          0          0          0          0          0          0          0  
R/W：      R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W

PWMデータポラリティ15～8

0	PWM直接出力（PWRDの値が、出力の“High”幅に対応）
1	PWM反転出力（PWRDの値が、出力の“Low”幅に対応）

<b>PWDPRA</b> PWMデータポラリティレジスタA	<b>H'CF</b>	(H8/3202を除く)	<b>PWM</b>
--------------------------------	-------------	--------------	------------

ビット：      7          6          5          4          3          2          1          0

OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
-----	-----	-----	-----	-----	-----	-----	-----

初期値：      0          0          0          0          0          0          0          0  
R/W：      R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W

PWMデータポラリティ7～0

0	PWM直接出力（PWRDの値が、出力の“High”幅に対応）
1	PWM反転出力（PWRDの値が、出力の“Low”幅に対応）

TCR タイマコントロールレジスタ	H'D0	TMR1
-------------------	------	------

ビット：     7       6       5       4       3       2       1       0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値：     0       0       0       0       0       0       0       0  
R/W：   R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

※機能はTMR0と同じです。

TCSR タイマコントロール/ステータスレジスタ	H'D1	TMR1
--------------------------	------	------

ビット：     7       6       5       4       3       2       1       0

CMFB	CMFA	OVF	PWME	OS3*1	OS2*1	OS1*1	OS0*1
------	------	-----	------	-------	-------	-------	-------

初期値：     0       0       0       0       0       0       0       0  
R/W： R/(W)\*2R/(W)\*2R/(W)\*2R/W   R/W   R/W   R/W   R/W

※機能はTMR0と同じです。

\*1【注1】 OS3~0がすべて“0”のとき、タイマ出力は禁止されます。  
\*2【注2】 フラグをクリアするための“0”ライトのみ可能です。

TCORA タイムコンスタントレジスタA	H'D2	TMR1
----------------------	------	------

ビット：     7       6       5       4       3       2       1       0

--	--	--	--	--	--	--	--

初期値：     1       1       1       1       1       1       1       1  
R/W：   R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

※機能はTMR0と同じです。

TCORB タイムコンスタントレジスタB H'D3

TMR1

ビット: 7 6 5 4 3 2 1 0



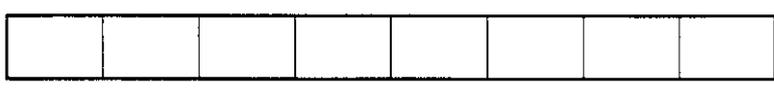
初期値: 1 1 1 1 1 1 1 1  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はTMR0と同じです。

TCNT タイマカウンタ H'D4

TMR1

ビット: 7 6 5 4 3 2 1 0



初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はTMR0と同じです。

ビット: 7 6 5 4 3 2 1 0

OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
-----	-----	-----	-----	-----	-----	-----	-----

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PWMアウトプットイネーブル7~0

0	入力設定時: ポート入力 出力設定時: ポート出力またはPWMの256/256出力
1	入力設定時: ポート入力 出力設定時: PWM出力 (0~255/256出力)

ビット: 7 6 5 4 3 2 1 0

C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
-----	-----	----	-----	------	----	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト1、0

0	0	φクロック
0	1	φ <sub>P</sub> /4クロック
1	0	φ <sub>P</sub> /16クロック
1	1	φ <sub>P</sub> /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない
1	送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

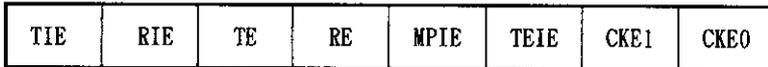
ビット: 7 6 5 4 3 2 1 0



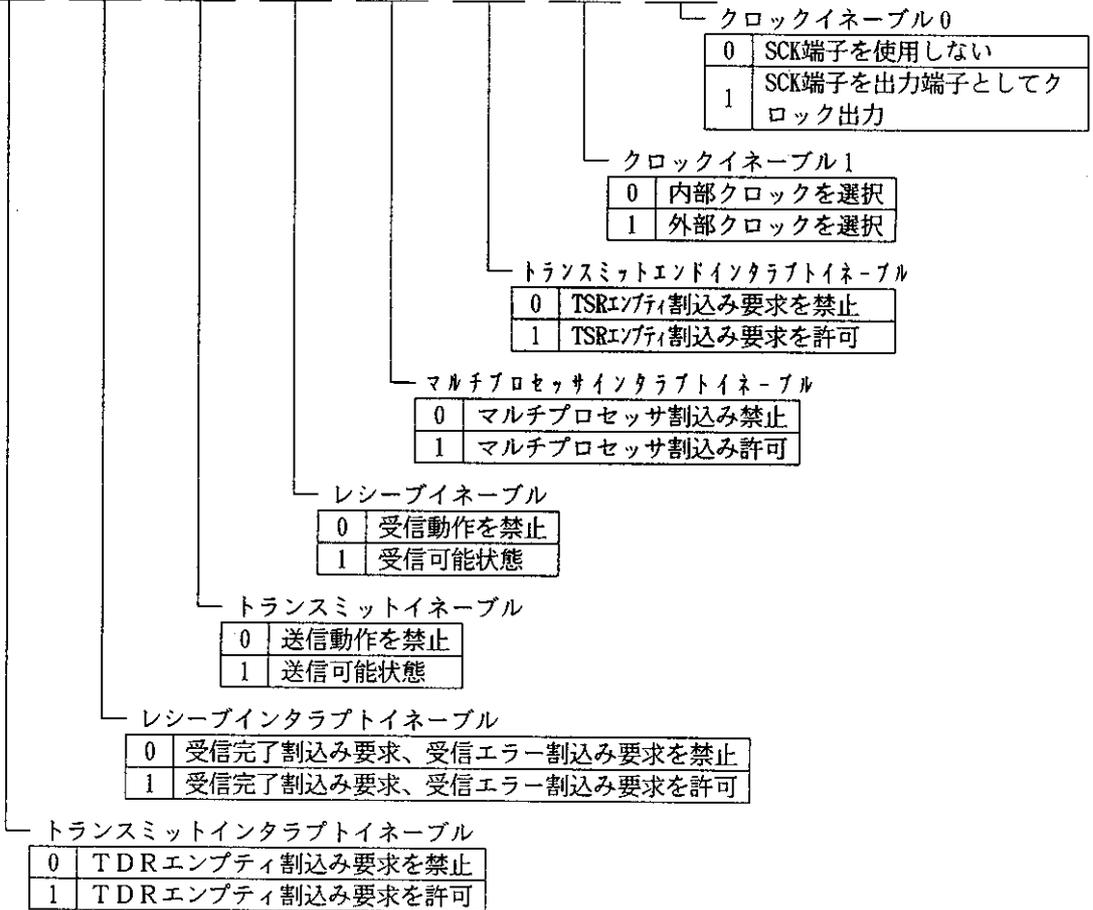
初期値: 1 1 1 1 1 1 1 1  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビットレートを設定

ビット: 7 6 5 4 3 2 1 0



初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W



ビット:     7       6       5       4       3       2       1       0



初期値:     1       1       1       1       1       1       1       1  
 R/W:     R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W

送信データを格納

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
------	------	------	-----	-----	------	-----	------

初期値: 1 0 0 0 0 1 0 0  
 R/W: R/(W)\*R/(W)\*R/(W)\*R/(W)\*R/(W)\* R R R/W

## マルチプロセッサビットトランスファ

0	マルチプロセッサビット "0" を送信
1	マルチプロセッサビット "1" を送信

## マルチプロセッサビット

0	マルチプロセッサビットが "0" のデータを受信
1	マルチプロセッサビットが "1" のデータを受信

## トランスミットエンド

0	[クリア条件] TDRE = "1" の状態をリードした後、TDRE に "0" をライトしたとき
1	[セット条件] (1) TE = "0" のとき (2) 送信完了時に、TDRE = "1" であったとき

## パリティエラー

0	[クリア条件] PER = "1" の状態で PER をリードした後、PER に "0" をライトしたとき
1	[セット条件] パリティエラーが発生したとき (受信したデータの パリティが SMR の O/E ビットで設定したパリティ と一致しなかったとき)

## フレーミングエラー

0	[クリア条件] FER = "1" の状態で FER をリードした後、FER に "0" をライトしたとき
1	[セット条件] フレーミングエラーが発生したとき (ストップ・ビットが "0" の場合)

## オーバランエラー

0	[クリア条件] ORER = "1" の状態で ORER をリードした後、ORER に "0" をライトしたとき
1	[セット条件] オーバランエラーが発生したとき (RDRF = "1" の状態で次のデー タが受信完了したとき)

## レシーブデータレジスタフル

0	[クリア条件] RDRF = "1" の状態で RDRF をリードした後、RDRF に "0" をライト したとき
1	[セット条件] データが正常に受信され、RSR から RDR へデータが転送されたとき

## トランスミットデータレジスタエンpty

0	[クリア条件] TDRE = "1" の状態で TDRE をリードした後、TDRE に "0" をライトしたとき
1	[セット条件] 1. TDR から TSR へデータの転送が行われたとき 2. TDRE = "0" の状態で TE を "0" にクリアしたとき

\*【注】 フラグをクリアするための "0" ライトのみ可能です。

ビット： 7 6 5 4 3 2 1 0



初期値：	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R

受信データを格納

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	SDIR	SINV	—	SMIF
---	---	---	---	------	------	---	------

初期値: 1 1 1 1 0 0 1 0  
 R/W: — — — — R/W R/W — R/W

シリアルコミュニケーションモードセレクト

0	通常SCIモード
1	リザーブモード

データインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

データトランスファーディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

SMR シリアルモードレジスタ H'E0 (H8/3212を除く)

SCI1

ビット: 7 6 5 4 3 2 1 0

C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
-----	-----	----	-----	------	----	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能はSCI0と同じです。

BRR ビットレートレジスタ H'E1 (H8/3212を除く)

SCI1

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能はSCI0と同じです。

SCR シリアルコントロールレジスタ1 H'E2 (H8/3212を除く)

SCI1

ビット: 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能はSCI0と同じです。

TDR トランスミットデータレジスタ H'E3 (H8/3212を除く)

SCI 1

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能はSCI 0と同じです。

SSR シリアルステータスレジスタ H'E4 (H8/3212を除く)

SCI 1

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
------	------	------	-----	-----	------	-----	------

初期値: 1 0 0 0 0 1 0 0  
R/W: R/(W)\* R/(W)\* R/(W)\*R/(W)\*R/(W)\* R R R/W

※ 機能はSCI 0と同じです。

RDR レシーブデータレジスタ H'E5 (H8/3212を除く)

SCI 1

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0  
R/W: R R R R R R R R

※ 機能はSCI 0と同じです。

ビット： 7 6 5 4 3 2 1 0



初期値： 0 0 0 0 0 0 0 0  
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	IBFIE2	IBFIE1	FGA20E
---	---	---	---	---	--------	--------	--------

初期値: 1 1 1 1 1 0 0 0  
 スレーブR/W: — — — — — R/W R/W R/W  
 ホストR/W: — — — — — — — —

— 高速GATE A20イネーブルビット

0	高速GATE A20機能を禁止
1	高速GATE A20機能を許可

— 入力データレジスタフル割込みイネーブルビット1

0	入力データレジスタ (IDR1) 受信完了割込み要求を禁止
1	入力データレジスタ (IDR1) 受信完了割込み要求を許可

— 入力データレジスタフル割込みイネーブルビット2

0	入力データレジスタ (IDR2) 受信完了割込み要求を禁止
1	入力データレジスタ (IDR2) 受信完了割込み要求を許可

KMIMR キーボードマトリクス割込みマスクレジスタ H'F1 (H8/3212を除く)

H I F

ビット: 7 6 5 4 3 2 1 0

KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 1 1 1 1 1 1 1 1  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

キーボードマトリクス割込みマスク

0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止

KMPCR キーセンス入力プルアップMOSコントロールレジスタ H'F2 (H8/3212を除く)

H I F (P6/P7)

ビット: 7 6 5 4 3 2 1 0

KM <sub>7</sub> PCR	KM <sub>6</sub> PCR	KM <sub>5</sub> PCR	KM <sub>4</sub> PCR	KM <sub>3</sub> PCR	KM <sub>2</sub> PCR	KM <sub>1</sub> PCR	KM <sub>0</sub> PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ポート6入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはOSSはON状態

IDR1 入力データレジスタ1

H'F4

(H8/3212を除く)

HIF

ビット: 7 6 5 4 3 2 1 0

IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
------	------	------	------	------	------	------	------

初期値: — — — — — — — —

スレーブR/W: R R R R R R R R

ホストR/W: W W W W W W W W

ODR1 出力データレジスタ1

H'F5

(H8/3212を除く)

HIF

ビット: 7 6 5 4 3 2 1 0

ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
------	------	------	------	------	------	------	------

初期値: — — — — — — — —

スレーブR/W: R/W R/W R/W R/W R/W R/W R/W R/W

ホストR/W: R R R R R R R R

ビット:	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値:	0	0	0	0	0	0	0	0
スレーブR/W:	R/W	R/W	R/W	R/W	R	R/W	R	R
ホストR/W:	R	R	R	R	R	R	R	R

ユーザ定義ビット  
ユーザが必要に応じて使用  
できるビットです。

## 出力データレジスタフル

0	[クリア条件] ホストがODR1をリード
1	[セット条件] スレーブがODR1にライト

## 入力データレジスタフル

0	[クリア条件] スレーブがIDR1をリード
1	[セット条件] ホストがIDR1にライト

## コマンド/データ

0	入力データレジスタ (IDR1) の内容はデータ
1	入力データレジスタ (IDR1) の内容はコマンド

IDR2 入力データレジスタ 2

H'FC (H8/3212を除く)

HIF

ビット: 7 6 5 4 3 2 1 0

IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
------	------	------	------	------	------	------	------

初期値: ——— ——— ——— ——— ——— ——— ——— ———  
 スレーブR/W: R R R R R R R R  
 ホストR/W: W W W W W W W W

ODR2 出力データレジスタ 2

H'FD (H8/3212を除く)

HIF

ビット: 7 6 5 4 3 2 1 0

ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
------	------	------	------	------	------	------	------

初期値: ——— ——— ——— ——— ——— ——— ——— ———  
 スレーブR/W: R/W R/W R/W R/W R/W R/W R/W R/W  
 ホストR/W: R R R R R R R R

ビット: 7 6 5 4 3 2 1 0

DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
-----	-----	-----	-----	-----	-----	-----	-----

初期値:	0	0	0	0	0	0	0
スレーブR/W:	R/W	R/W	R/W	R/W	R	R/W	R
ホストR/W:	R	R	R	R	R	R	R

ユーザ定義ビット  
ユーザが必要に応じて使用  
できるビットです。

## 出力データレジスタフル

0	[クリア条件] ホストがODR 2をリード
1	[セット条件] スレーブがODR 2にライト

## 入力データレジスタフル

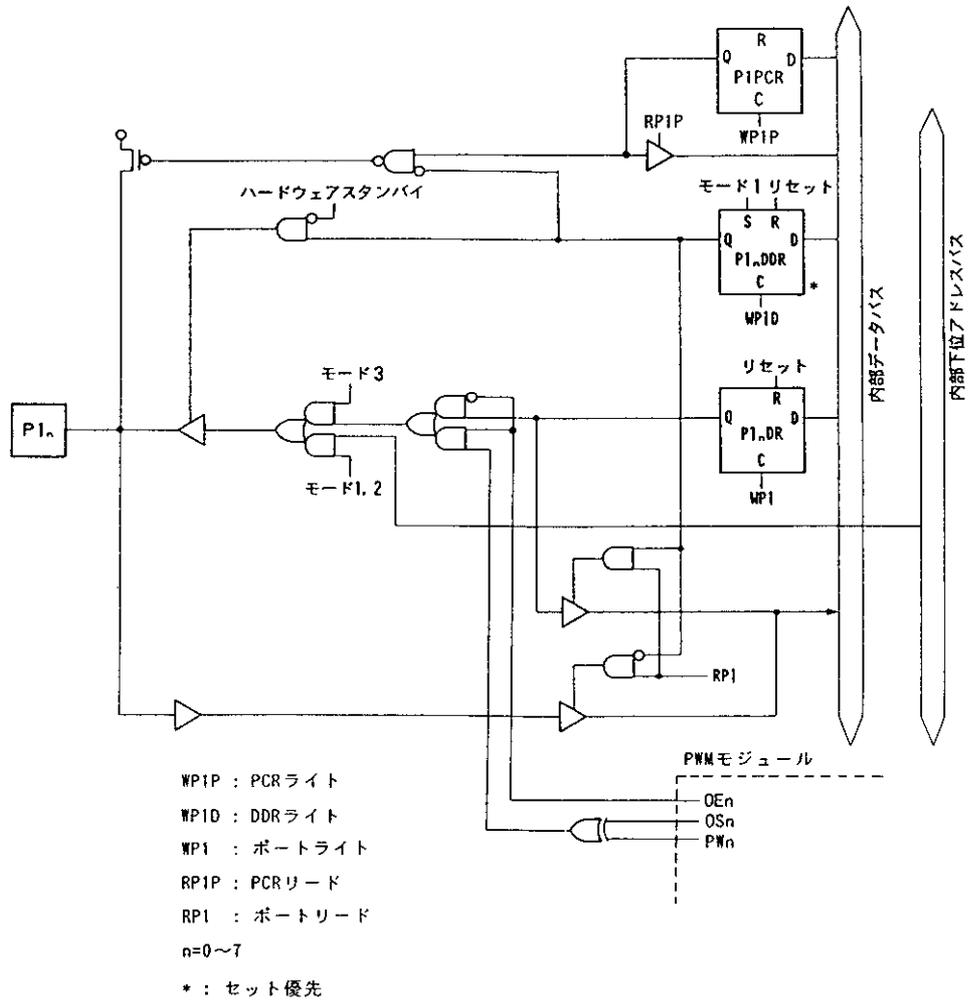
0	[クリア条件] スレーブがIDR 2をリード
1	[セット条件] ホストがIDR 2にライト

## コマンド/データ

0	入力データレジスタ (IDR 2) の内容はデータ
1	入力データレジスタ (IDR 2) の内容はコマンド

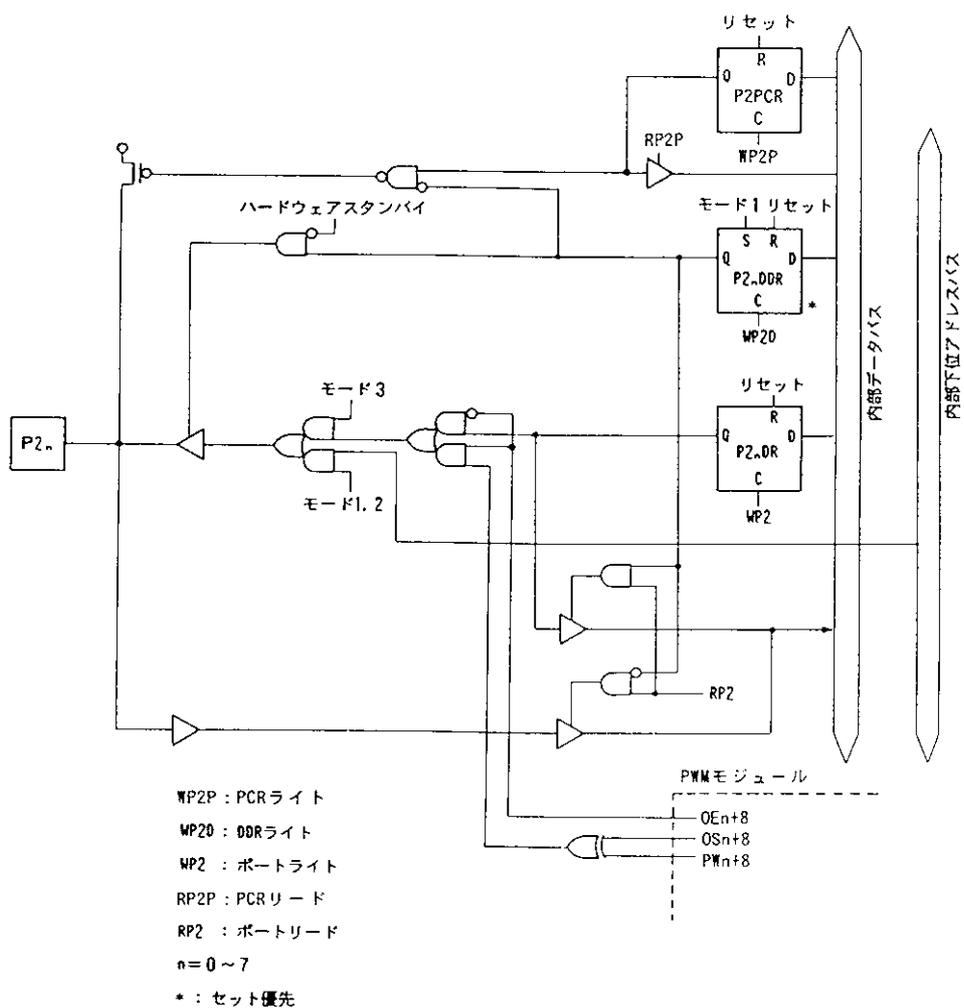
## C. I/Oポートブロック図

### C.1 ポート1ブロック図



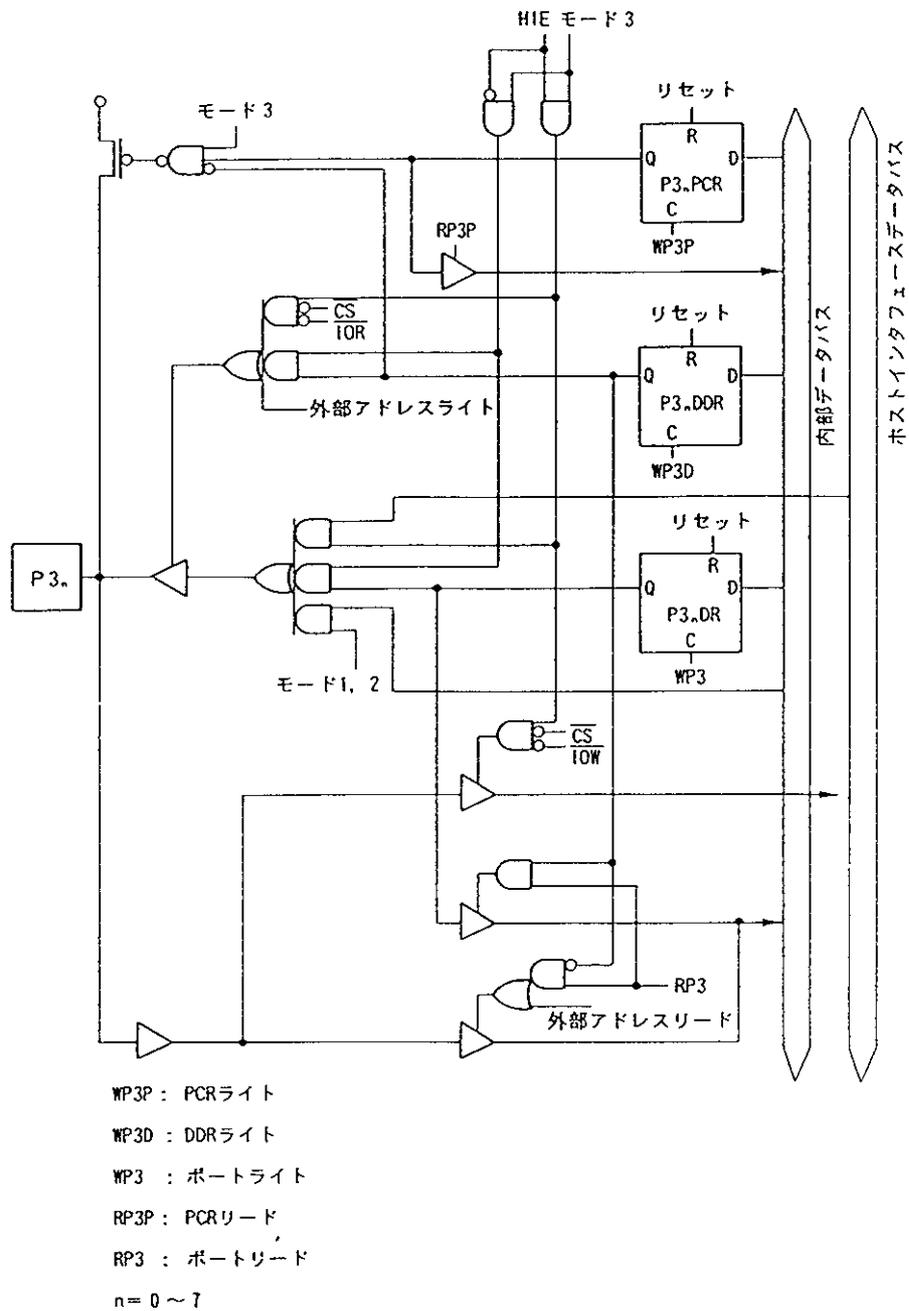
図C.1 ポート1ブロック図

## C.2 ポート2ブロック図



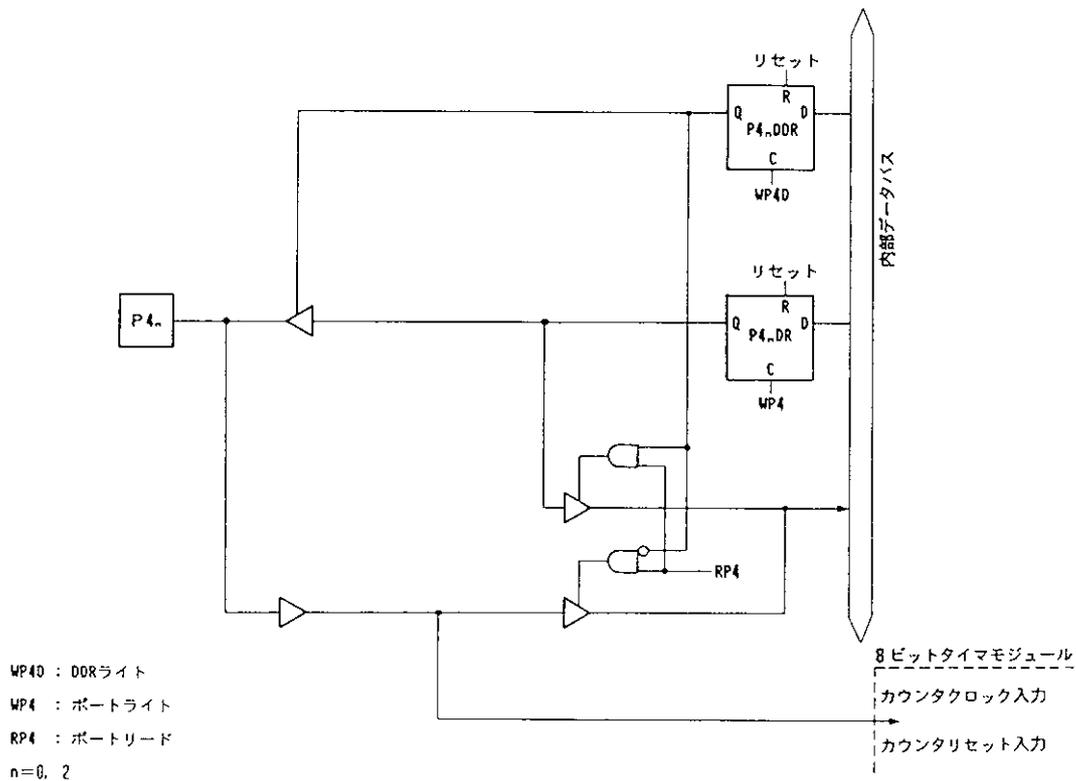
図C.2 ポート2ブロック図

### C.3 ポート3ブロック図

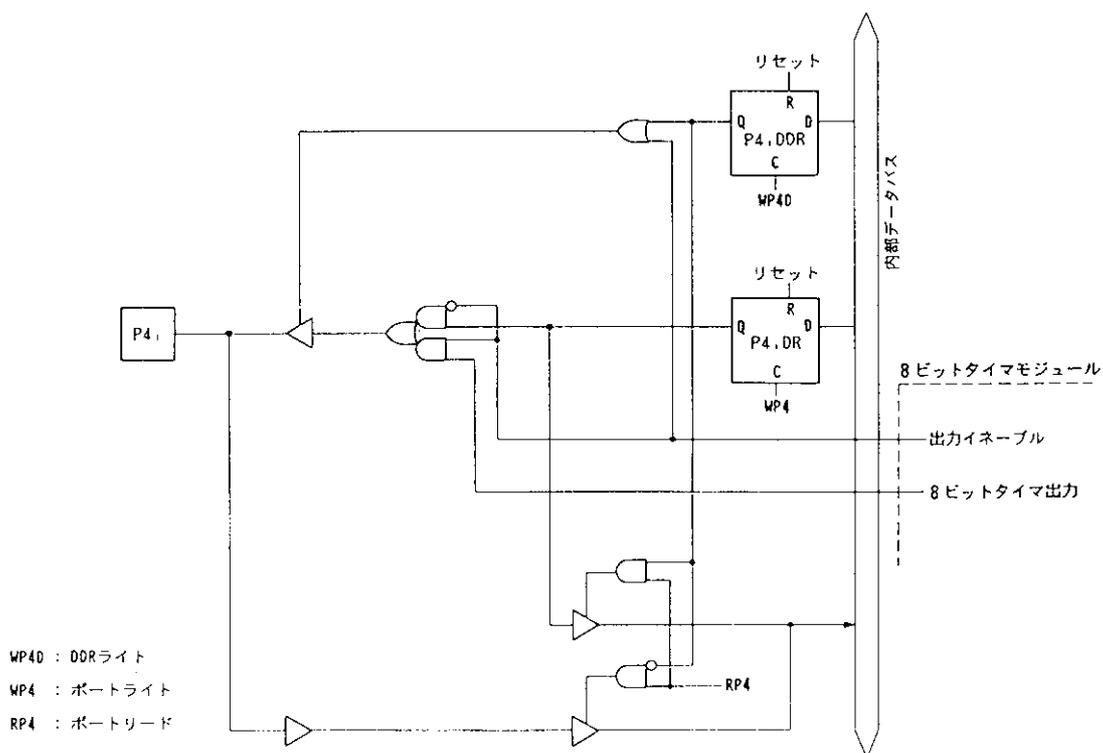


図C.3 ポート3ブロック図

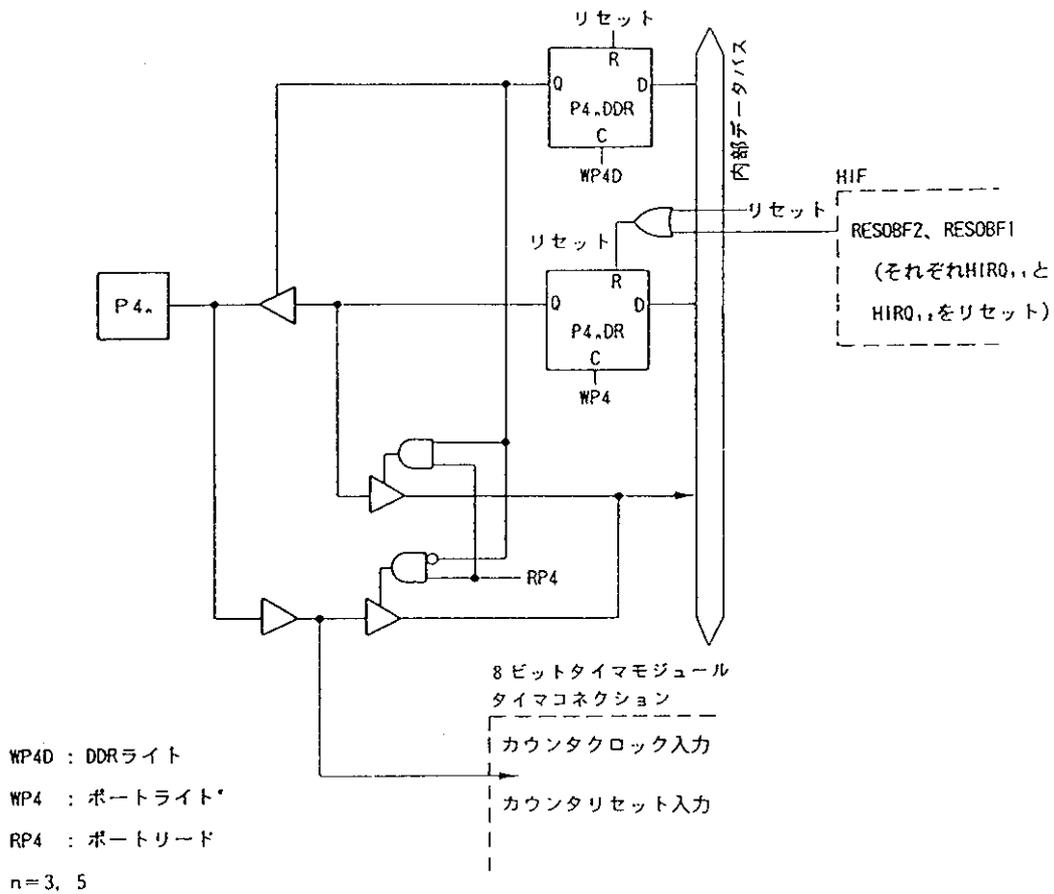
## C.4 ポート4ブロック図



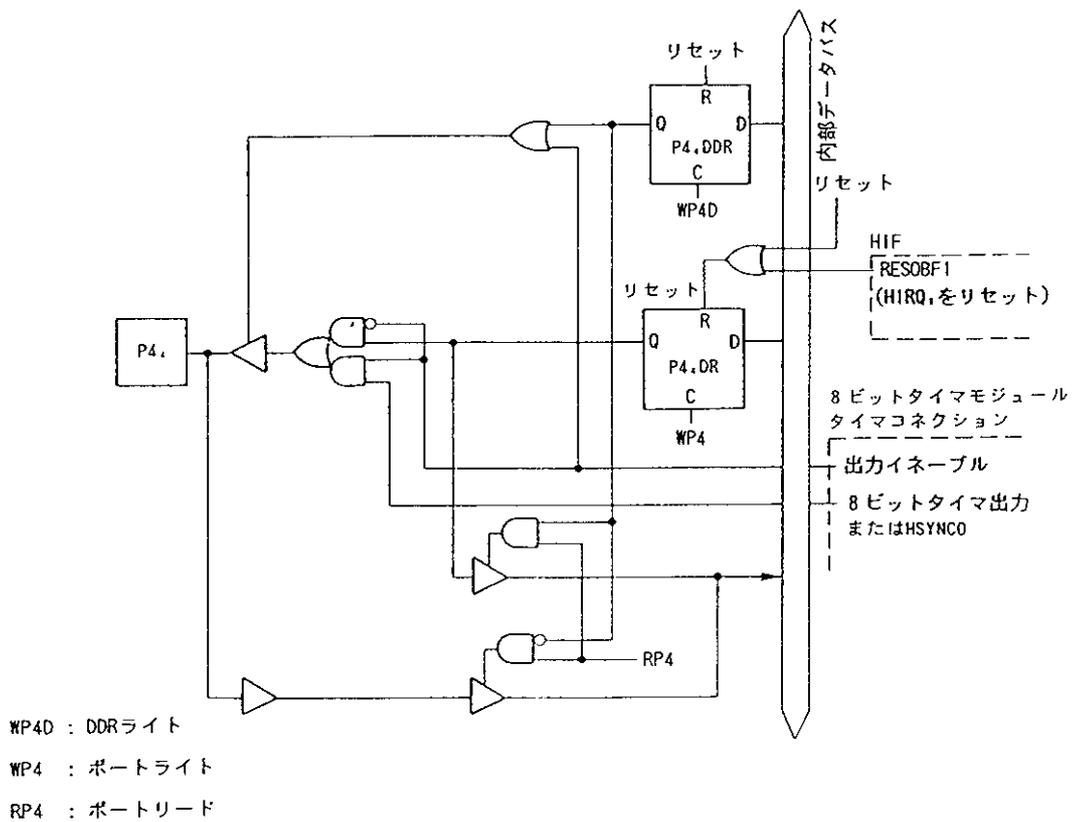
図C.4(a) ポート4ブロック図 (P4<sub>0</sub>、P4<sub>2</sub>端子)



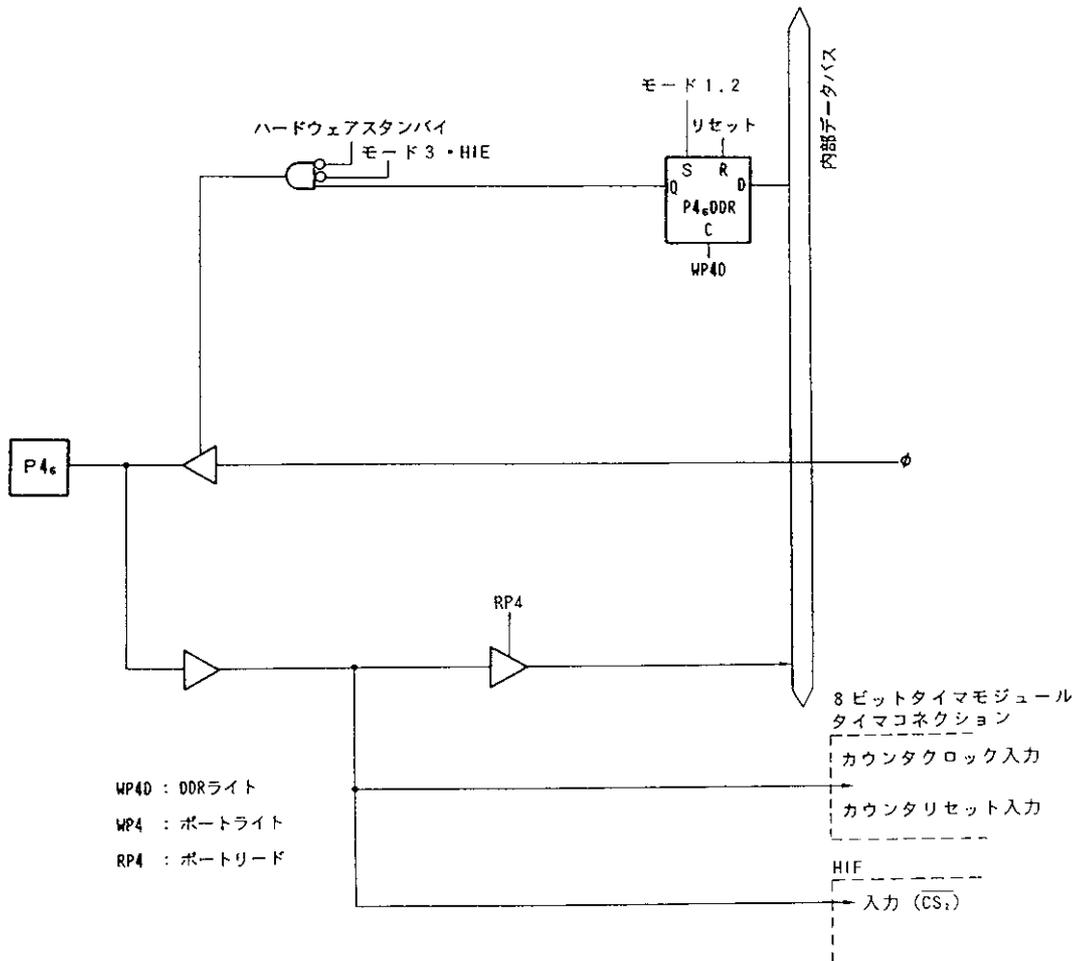
図C.4(b) ポート4ブロック図 (P4<sub>1</sub>端子)



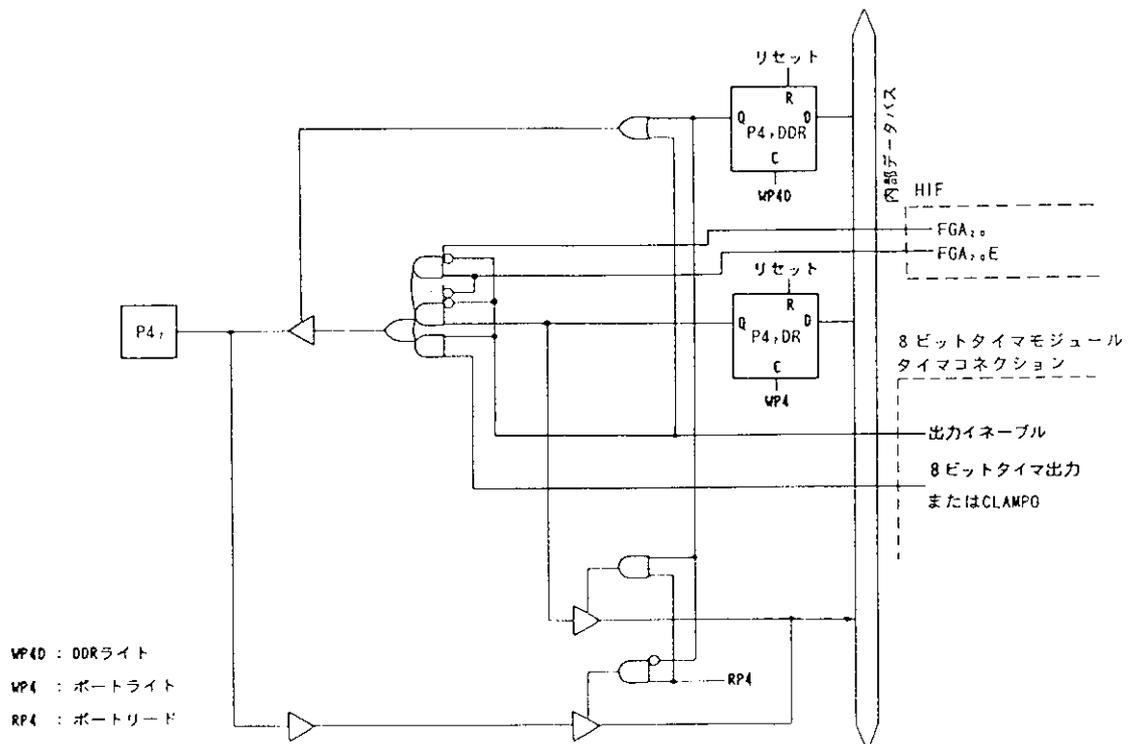
図C.4(c) ポート4ブロック図 (P4<sub>s</sub>, P4<sub>s</sub>端子)



図C.4(d) ポート4ブロック図 (P4<sub>s</sub>端子)

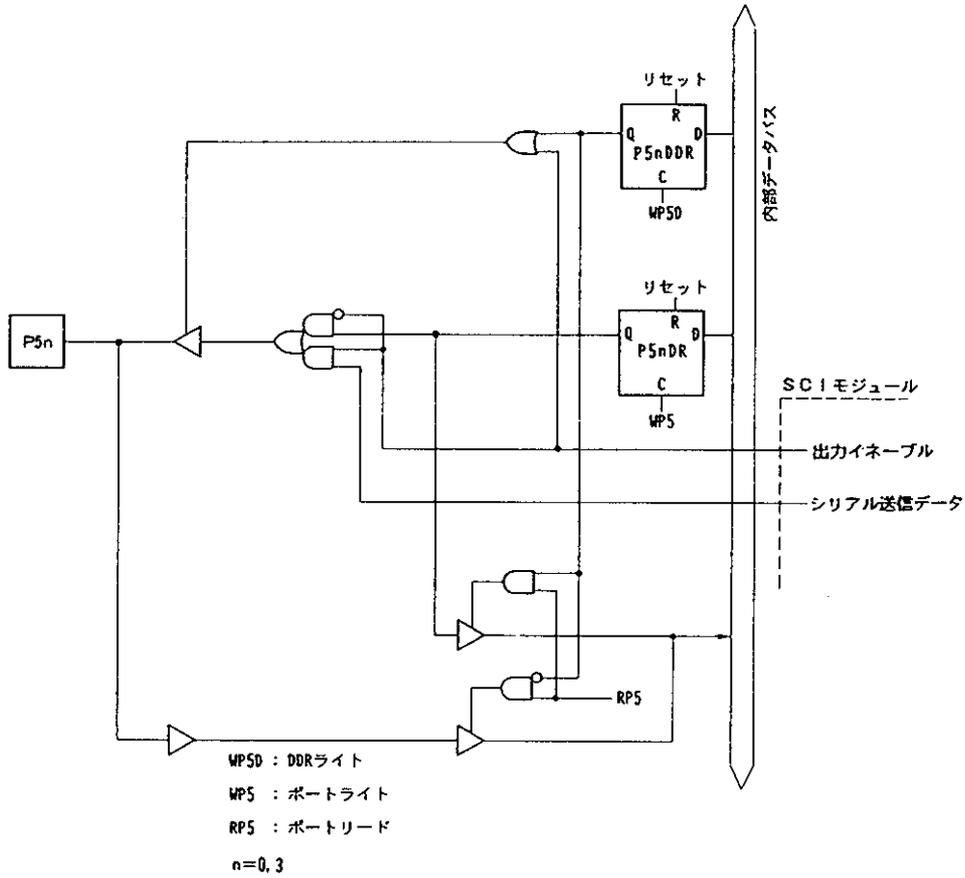


図C.4(e) ポート4ブロック図 (P4<sub>e</sub>端子)

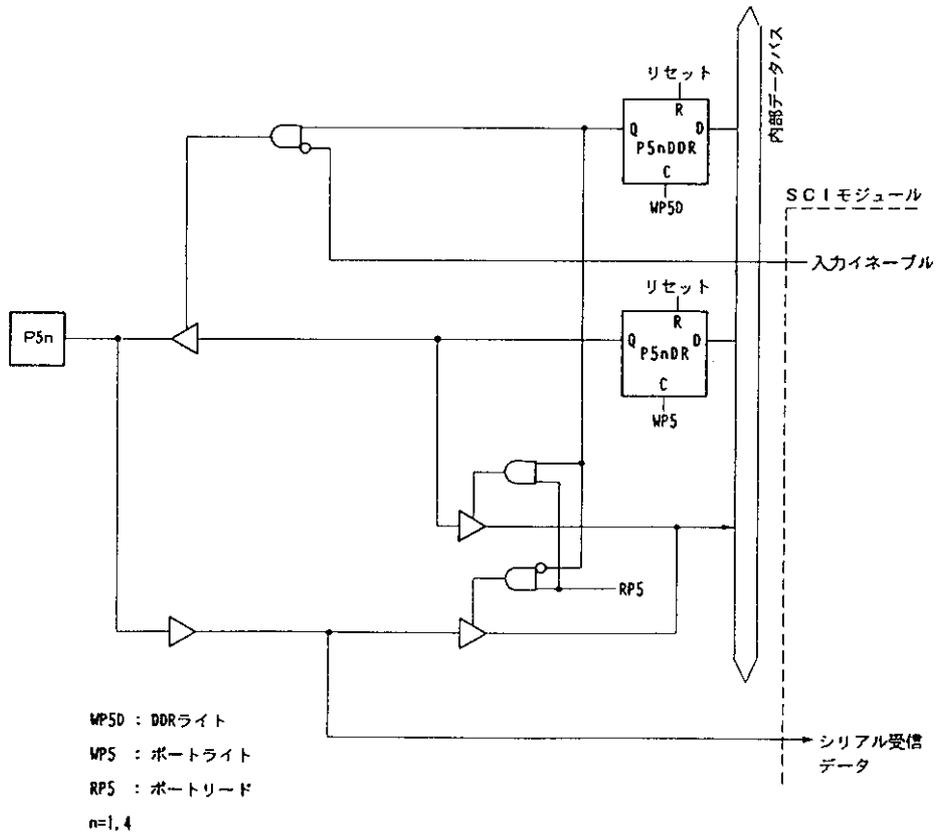


図C.4(f) ポート4ブロック図 (P4<sub>i</sub>端子)

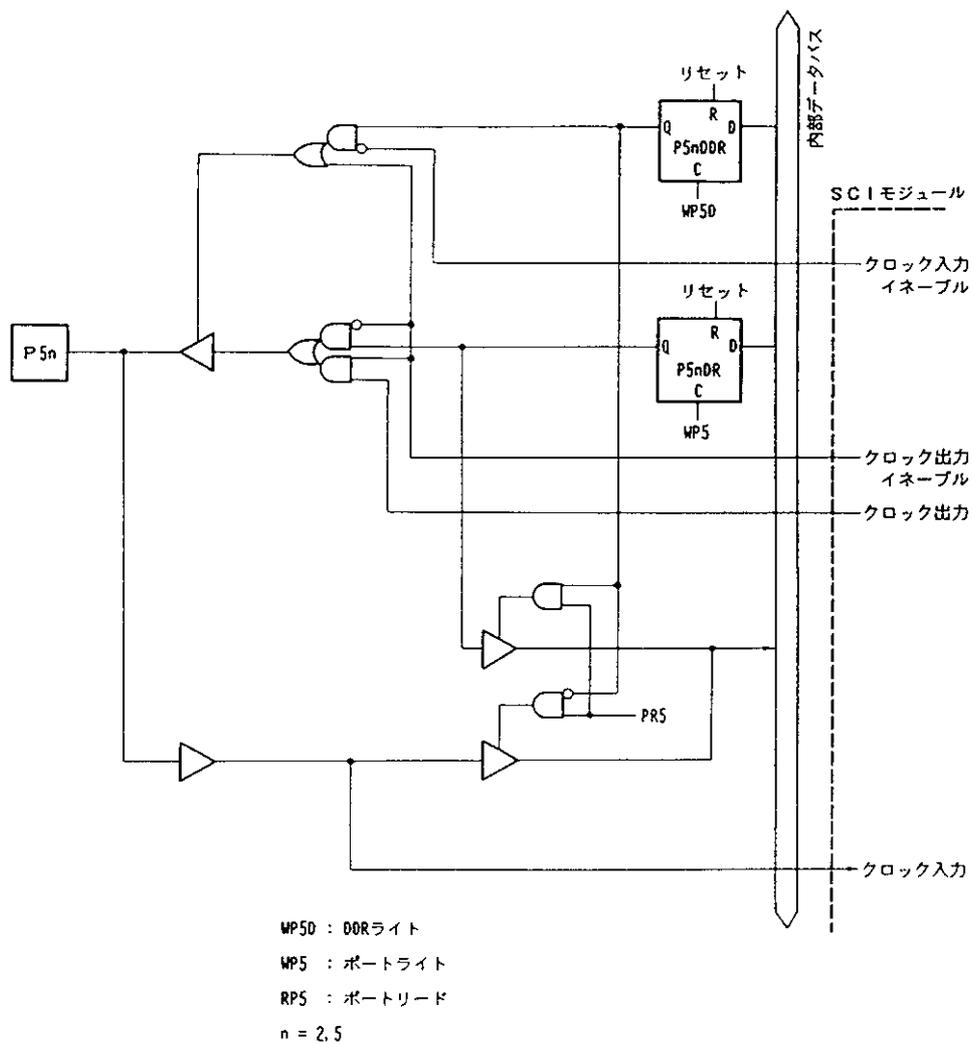
### C.5 ポート5ブロック図



図C.5(a) ポート5ブロック図 (P5<sub>0</sub>、P5<sub>3</sub>端子)

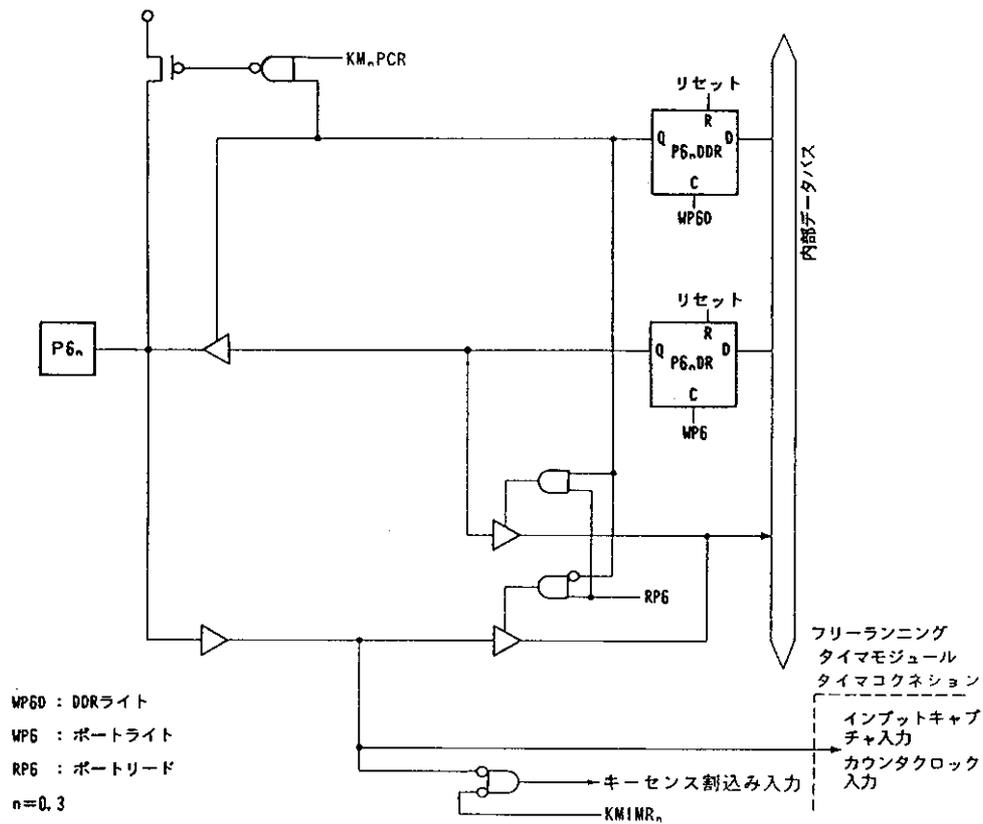


図C.5(b) ポート5ブロック図 (P5<sub>1</sub>、P5<sub>4</sub>端子)

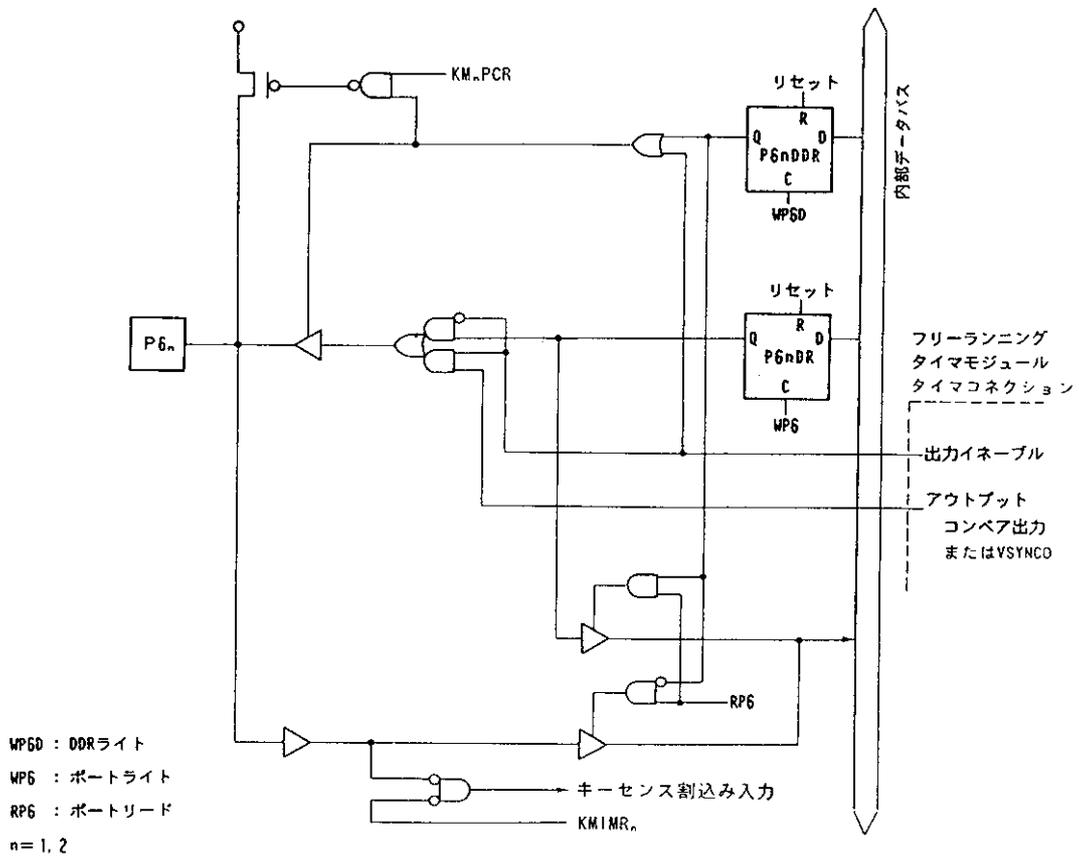


図C.5(c) ポート5ブロック図 (P5<sub>2</sub>、P5<sub>5</sub>端子)

## C.6 ポート6ブロック図



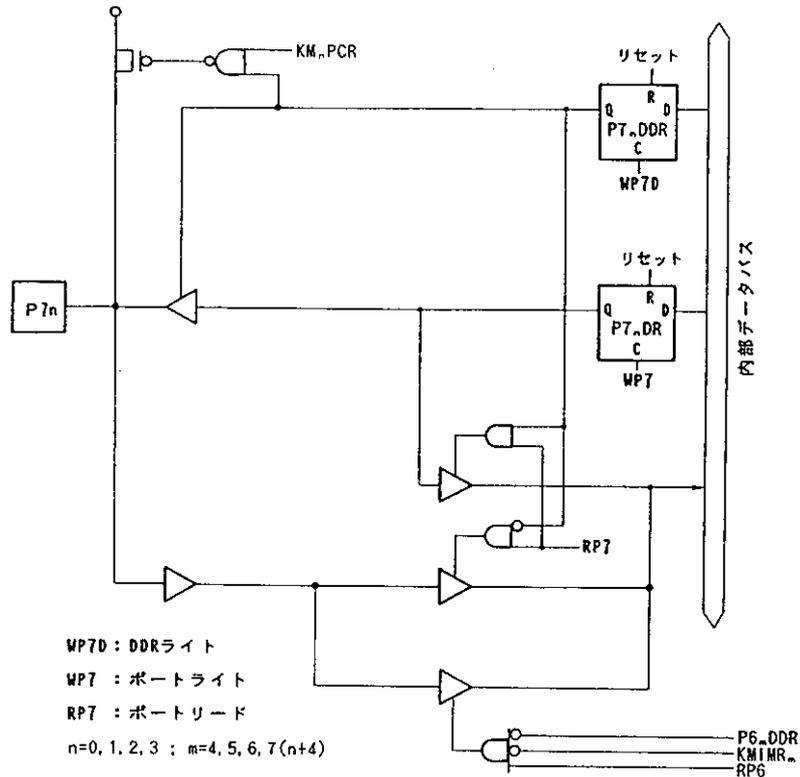
図C.6(a) ポート6ブロック図 (P6<sub>0</sub>、P6<sub>3</sub>端子)



図C.6(b) ポート6ブロック図 (P6<sub>1</sub>、P6<sub>2</sub>端子)

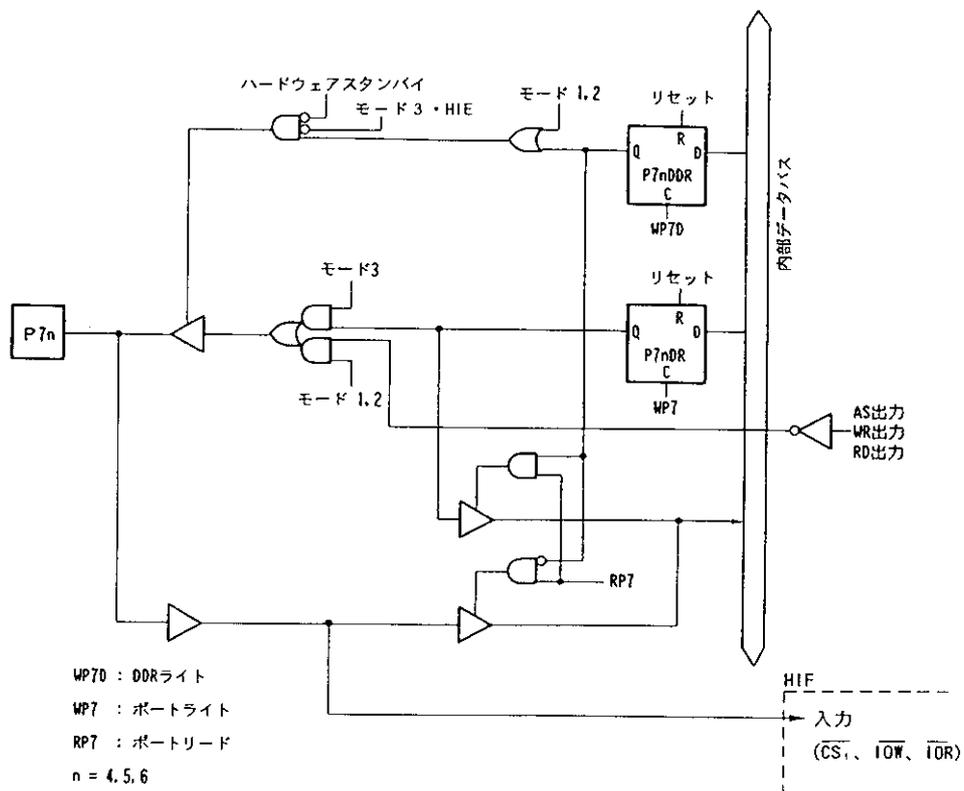


### C.7 ポート7ブロック図



【注】 SCL、SDA端子に設定およびバス駆動機能を選択した場合のブロック図は「第14章 I<sup>2</sup>Cバスインタフェース」を参照してください。

図C.7(a) ポート7ブロック図 ( $P7_0$ 、 $P7_1$ 、 $P7_2$ 、 $P7_3$ 端子)



図C.7(b) ポート7ブロック図 ( $P7_4$ 、 $P7_5$ 、 $P7_6$ 端子)



## D. 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧(1)

ポート名 (兼用端子名)	モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	スリープモード	プログラム実行 状態 (通常動作)	
P1 <sub>7</sub> ~P1 <sub>0</sub> A <sub>7</sub> ~A <sub>0</sub>	1	L	T	L	keep* <sup>1</sup>	A <sub>7</sub> ~A <sub>0</sub>	
	2	T		[DDR=1] L [DDR=0] keep		keep* <sup>1</sup>	アドレス/ 入力ポート
	3			keep			入出力ポート
P2 <sub>7</sub> ~P2 <sub>0</sub> A <sub>15</sub> ~A <sub>8</sub>	1	L	T	L	keep* <sup>1</sup>	A <sub>15</sub> ~A <sub>8</sub>	
	2	T		[DDR=1] L [DDR=0] keep		keep* <sup>1</sup>	アドレス/ 入力ポート
	3			keep			入出力ポート
P3 <sub>7</sub> ~P3 <sub>0</sub> D <sub>7</sub> ~D <sub>0</sub>	1	T	T	T	T	D <sub>7</sub> ~D <sub>0</sub>	
	2			keep	keep	keep	入出力ポート
	3						
P4 <sub>5</sub> ~P4 <sub>0</sub>	1	T	T	keep* <sup>2</sup>	keep	入出力ポート	
	2						
	3						
P4 <sub>5</sub> /φ	1	クロック 出力	T	H	クロック出力	クロック出力	
	2			[DDR=1] H [DDR=0] T	[DDR=1] クロック出力 [DDR=0] T	[DDR=1] クロック出力 [DDR=0] 入力ポート	
	3	T					
P4 <sub>7</sub>	1	T	T	keep* <sup>2</sup>	keep	入出力ポート	
	2						
	3						
P5 <sub>5</sub> ~P5 <sub>0</sub>	1	T	T	keep* <sup>2</sup>	keep	入出力ポート	
	2						
	3						
P6 <sub>5</sub> ~P6 <sub>0</sub>	1	T	T	keep* <sup>2</sup>	keep	入出力ポート	
	2						
	3						
P7 <sub>7</sub> /WAIT	1	T	T	T/keep	T/keep	WAIT/入力 ポート	
	2			keep	keep	入出力ポート	
	3						

表D.1 各ポートの状態一覧(2)

ポート名 (兼用端子名)	モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	スリープモード	プログラム実行 状態 (通常動作)
P7 <sub>6</sub> ~P7 <sub>4</sub> $\overline{AS}$ 、 $\overline{WR}$ 、 $\overline{RD}$	1	H	T	H	H	$\overline{AS}$ 、 $\overline{WR}$ 、 $\overline{RD}$
	2					
	3	T		Keep	Keep	入出力ポート
P7 <sub>3</sub> ~P7 <sub>0</sub>	1	T	T	Keep* <sup>2</sup>	Keep	入出力ポート
	2					
	3					

<記号説明>

H : “High”レベル

L : “Low”レベル

T : ハイインピーダンス

keep: 入力ポートはハイインピーダンス (DDR = “0”、PCR = “1” の場合、入力プルアップMOSは、ON状態を保持)、出力ポートは保持

【注1】 \*\* アドレス出力の場合、最後にアクセスしたアドレスを保持

【注2】 \*\* 内蔵周辺モジュールがイニシャライズされるため、DDR、DRで決まる入出力ポートとなります。

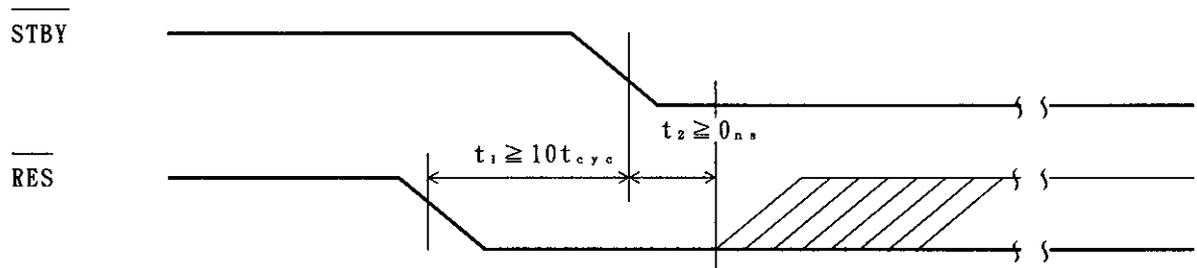
## E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

### 【ハードウェアスタンバイモードの遷移タイミング】

(1) SYSCRのRAMEビットを“1”にセットした状態でRAMの内容を保持する場合：

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”としてください。

また、RES信号の立上がりは、STBY信号の立下がりに対し、min 0nsです。

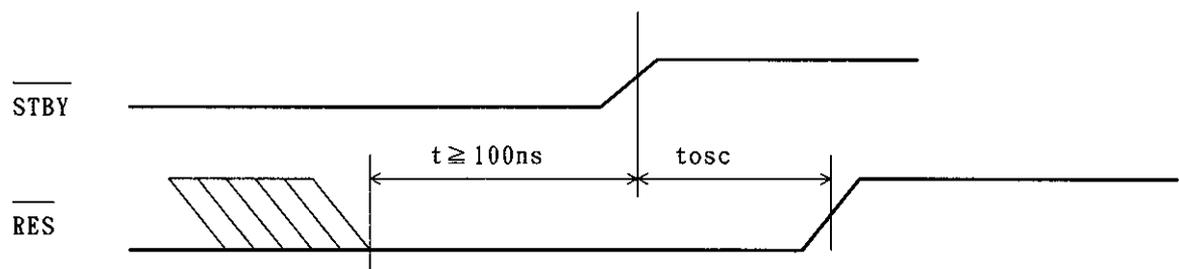


(2) SYSCRのRAMEビットを“0”にクリアした状態でRAMの内容を保持する場合、またはRAMの内容を保持しない場合：

(1)のようにRES信号を“Low”にする必要はありません。

### 【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns前にRES信号を“Low”としてください。

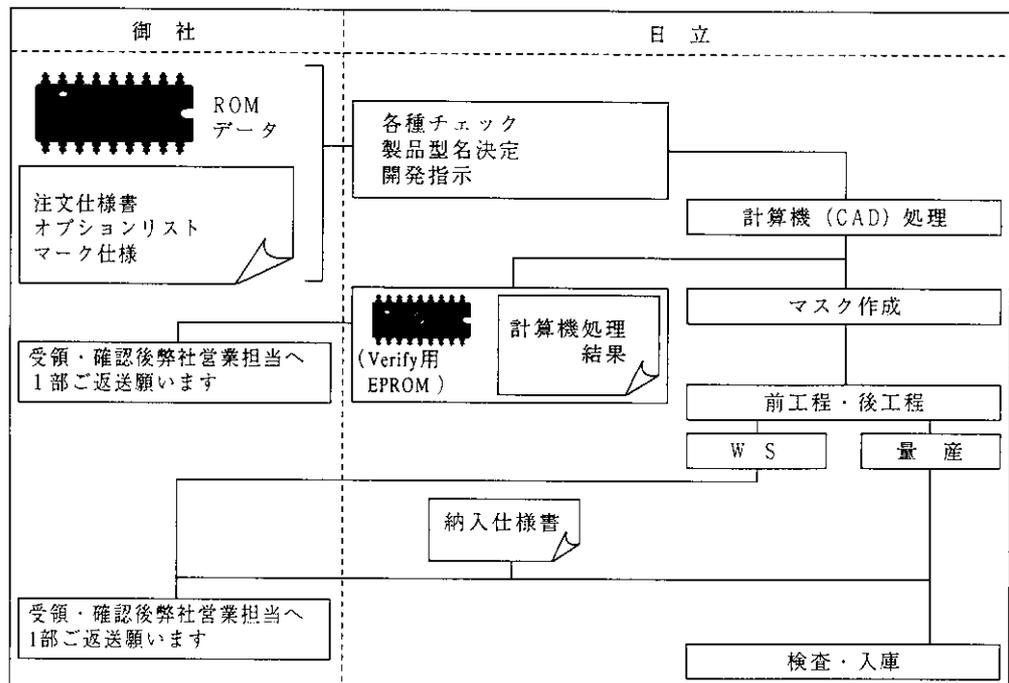


## F. ROM発注手順

### F.1 ROM書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図F.1の流れ図に沿ってROM書き換え品の開発を行います。

表F.1にROM発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。



図F.1 ROM書き換え品開発の流れ

表F.1 ROM発注時に必要な提出物

発注媒体	EPROMまたはZTAT <sup>®</sup> マイコン
提出物	ROMデータ
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】 \*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## F.2 ROM発注時の注意事項

提出していただくROMデータは、次の注意事項にしたがって、EPROMまたはZTAT®マイコンで提出してください。なお、EPROMまたはZTAT®マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

## G. オプションリスト

HD 6433217, HD 6433216, HD 6433214, HD 6433212

選択する仕様に対し□内にチェック  
(■、×、V)をつけてください。

### (1) ROMサイズ

<input type="checkbox"/> HD 6 4 3 3 2 1 2	16k バイト
<input type="checkbox"/> HD 6 4 3 3 2 1 4	32k バイト
<input type="checkbox"/> HD 6 4 3 3 2 1 6	48k バイト
<input type="checkbox"/> HD 6 4 3 3 2 1 7	60k バイト

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROMコード名	
LSI型名(日立記入)	

### (2) システム発振器

<input type="checkbox"/> 水晶発振子	f =	MHz
<input type="checkbox"/> 外部クロック	f =	MHz

### (3) 電源電圧/最大動作周波数

<input type="checkbox"/> $V_{cc} = 4.5V \sim 5.5V$ (16MHz max)
<input type="checkbox"/> $V_{cc} = 4.0V \sim 5.5V$ (12MHz max)
<input type="checkbox"/> $V_{cc} = 2.7V \sim 5.5V$ (10MHz max)

【注】 1. 電源電圧/動作周波数のバージョンはご使用になる電源電圧でお選びください。

例)  $V_{cc} = 4.5V \sim 5.5V$  /  $f = 10MHz$  でご使用になる場合、  
→  $V_{cc} = 4.5V \sim 5.5V$  (16MHz max) をお選びください。

2. 選択したバージョンの電源電圧、最大動作周波数は「シングルチップマイコン注文仕様書」にもあわせてご記入願います。

### (4) I<sup>2</sup>Cバスオプション

<input type="checkbox"/> I <sup>2</sup> Cバスを使用する
<input type="checkbox"/> I <sup>2</sup> Cバスを使用しない

【注】 1. 「I<sup>2</sup>Cバスを使用する」は内蔵のI<sup>2</sup>Cバスインタフェース機能(ハードウェアモジュール)を用いてSCL、SDA端子によるデータ転送を行う場合をすべて含みます。I<sup>2</sup>Cバスインタフェース機能(ハードウェアモジュール)を利用する限り、バス仕様・名称が異なる各種バスインタフェースも「I<sup>2</sup>Cバスを使用する」に含まれます。また、2チャンネルのうち1チャンネルのみ使用の場合も「I<sup>2</sup>Cバスを使用する」に含まれます。

2. 「I<sup>2</sup>Cバスを使用しない」を選択した場合はI<sup>2</sup>Cバスインタフェース関連レジスタ(ICCR、ICSR、ICDR、ICMR)に値を設定することはできません。リードするとH'FFが読み出されます。

エミュレータおよびZTAT版、F-ZTAT版では、「I<sup>2</sup>Cバスを使用する」オプションが選択された状態になっています。「I<sup>2</sup>Cバスを使用しない」オプション選択時には、I<sup>2</sup>Cバスインタフェース関連レジスタをアクセスしていないことを十分ご確認願います。

ROMコード名	
LSI型名（日立記入）	

「シングルチップマイコン注文仕様書」の(1)基本項目、マイクロコンピュータファミリの項は、上記(1)、(4)の組合せに従い、下表から選んでご記入下さい。また、「I<sup>2</sup>Cバスを使用する」オプション選択時には(1)基本項目、特別仕様（製品仕様、マーク仕様）に重ねて明記をお願いします。

ROMサイズ \ I <sup>2</sup> C	I <sup>2</sup> Cバスを使用する	I <sup>2</sup> Cバスを使用しない
16k バイト	HD 6 4 3 3 2 1 2 W	HD 6 4 3 3 2 1 2
32k バイト	HD 6 4 3 3 2 1 4 W	HD 6 4 3 3 2 1 4
48k バイト	HD 6 4 3 3 2 1 6 W	HD 6 4 3 3 2 1 6
60k バイト	HD 6 4 3 3 2 1 7 W	HD 6 4 3 3 2 1 7

【注】 ROM発注手順ユーザズマニュアル（ADJ-602-096A）については、担当営業までお問い合わせください。

選択する仕様に対し□内にチェック  
(■、×、V)をつけてください。

(1) システム発振器

<input type="checkbox"/> 水晶発振子	f =	MHz
<input type="checkbox"/> 外部クロック	f =	MHz

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROMコード名	
LSI型名(日立記入)	

(2) 電源電圧/最大動作周波数

<input type="checkbox"/> $V_{cc} = 4.5V \sim 5.5V$ (16MHz max)
<input type="checkbox"/> $V_{cc} = 4.0V \sim 5.5V$ (12MHz max)
<input type="checkbox"/> $V_{cc} = 2.7V \sim 5.5V$ (10MHz max)

【注】1. 電源電圧/動作周波数のバージョンはご使用になる電源電圧でお選びください。

例)  $V_{cc} = 4.5V \sim 5.5V$  /  $f = 10MHz$  でご使用になる場合、  
→  $V_{cc} = 4.5V \sim 5.5V$  (16MHz max) をお選びください。

2. 選択したバージョンの電源電圧、最大動作周波数は「シングルチップマイコン注文仕様書」にもあわせてご記入願います。

(3) I<sup>2</sup>Cバスオプション

<input type="checkbox"/> I <sup>2</sup> Cバスを使用する
<input type="checkbox"/> I <sup>2</sup> Cバスを使用しない

【注】1. 「I<sup>2</sup>Cバスを使用する」は内蔵のI<sup>2</sup>Cバスインタフェース機能(ハードウェアモジュール)を用いてSCL、SDA端子によるデータ転送を行う場合をすべて含みます。

I<sup>2</sup>Cバスインタフェース機能(ハードウェアモジュール)を利用する限り、バス仕様・名称が異なる各種バスインタフェースも「I<sup>2</sup>Cバスを使用する」に含まれます。

2. 「I<sup>2</sup>Cバスを使用しない」を選択した場合はI<sup>2</sup>Cバスインタフェース関連レジスタ(ICCR、ICSR、ICDR、ICMR)に値を設定することはできません。リードするとH'FFが読み出されます。

エミュレータおよびZTAT版、F-ZTAT版では、「I<sup>2</sup>Cバスを使用する」オプションが選択された状態になっています。「I<sup>2</sup>Cバスを使用しない」オプション選択時には、I<sup>2</sup>Cバスインタフェース関連レジスタをアクセスしていないことを十分ご確認願います。

ROMコード名	
LSI型名（日立記入）	

「シングルチップマイコン注文仕様書」の(1)基本項目、マイクロコンピュータファミリの項は、上記(1)、(4)の組合せに従い、下表から選んでご記入下さい。また、「I<sup>2</sup>Cバスを使用する」オプション選択時には(1)基本項目、特別仕様（製品仕様、マーク仕様）に重ねて明記をお願いします。

	I <sup>2</sup> C	I <sup>2</sup> Cバスを使用する	I <sup>2</sup> Cバスを使用しない
ROMサイズ			
16kバイト		HD6433202W	HD6433202

【注】 ROM発注手順ユーザズマニュアル（ADJ-602-096A）については、担当営業までお問い合わせください。

H. 型名一覧

表H.1 H8/3217シリーズ型名一覧(1)

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)	
H8/3217	PROM版	Z T A T 版	HD6473217C16	HD6473217C16	64ピン密付シュリツクDIP(DC-64S)	
			HD6473217P16	HD6473217P16	64ピンシュリツクDIP(DP-64S)	
			HD6473217F16	HD6473217F16	64ピンQFP(FP-64A)	
			HD6473217TF16	HD6473217TF16	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース あり	HD6433217WP	HD6433217W(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433217WF	HD6433217W(***)F	64ピンQFP(FP-64A)	
			HD6433217WTF	HD6433217W(***)TF	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース なし	HD6433217P	HD6433217(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433217F	HD6433217(***)F	64ピンQFP(FP-64A)	
			HD6433217TF	HD6433217(***)TF	80ピンTQFP(TFP-80C)	
	H8/3216	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース あり	HD6433216WP	HD6433216W(***)P	64ピンシュリツクDIP(DP-64S)
				HD6433216WF	HD6433216W(***)F	64ピンQFP(FP-64A)
HD6433216WTF				HD6433216W(***)TF	80ピンTQFP(TFP-80C)	
マスク ROM版		I <sup>2</sup> C バスイ ンタフ ェース なし	HD6433216P	HD6433216(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433216F	HD6433216(***)F	64ピンQFP(FP-64A)	
			HD6433216TF	HD6433216(***)TF	80ピンTQFP(TFP-80C)	
H8/3214	PROM版	Z T A T 版	HD6473214P16	HD6473214P16	64ピンシュリツクDIP(DP-64S)	
			HD6473214F16	HD6473214F16	64ピンQFP(FP-64A)	
			HD6473214TF16	HD6473214TF16	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース あり	HD6433214WP	HD6433214W(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433214WF	HD6433214W(***)F	64ピンQFP(FP-64A)	
			HD6433214WTF	HD6433214W(***)TF	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース なし	HD6433214P	HD6433214(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433214F	HD6433214(***)F	64ピンQFP(FP-64A)	
			HD6433214TF	HD6433214(***)TF	80ピンTQFP(TFP-80C)	
H8/3212	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース あり	HD6433212WP	HD6433212W(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433212WF	HD6433212W(***)F	64ピンQFP(FP-64A)	
			HD6433212WTF	HD6433212W(***)TF	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース なし	HD6433212P	HD6433212(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433212F	HD6433212(***)F	64ピンQFP(FP-64A)	
			HD6433212TF	HD6433212(***)TF	80ピンTQFP(TFP-80C)	
H8/3202	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース あり	HD6433202WP	HD6433202W(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433202WF	HD6433202W(***)F	64ピンQFP(FP-64A)	
			HD6433202WTF	HD6433202W(***)TF	80ピンTQFP(TFP-80C)	
	マスク ROM版	I <sup>2</sup> C バスイ ンタフ ェース なし	HD6433202P	HD6433202(***)P	64ピンシュリツクDIP(DP-64S)	
			HD6433202F	HD6433202(***)F	64ピンQFP(FP-64A)	
			HD6433202TF	HD6433202(***)TF	80ピンTQFP(TFP-80C)	

【注】マスクROM版の(\*\*\* )はROMコードです。

I<sup>2</sup>Cバスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

- (1) 当社営業担当者に、オプション機能を使用する旨ご連絡をお願いします。
- (2) マスクROM版では、オプション機能を使用する製品型名には“W”が付加されます。  
例：HD6433217WF、HD6433212WP等
- (3) ZTAT版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨ご連絡をお願いします。

# 1. 外形寸法図

H 8 / 3 2 1 7 シリーズの外形寸法図 DC-64S を図 1.1、DP-64S を図 1.2、FP-64A を図 1.3、および TFP-80C を図 1.4 に示します。

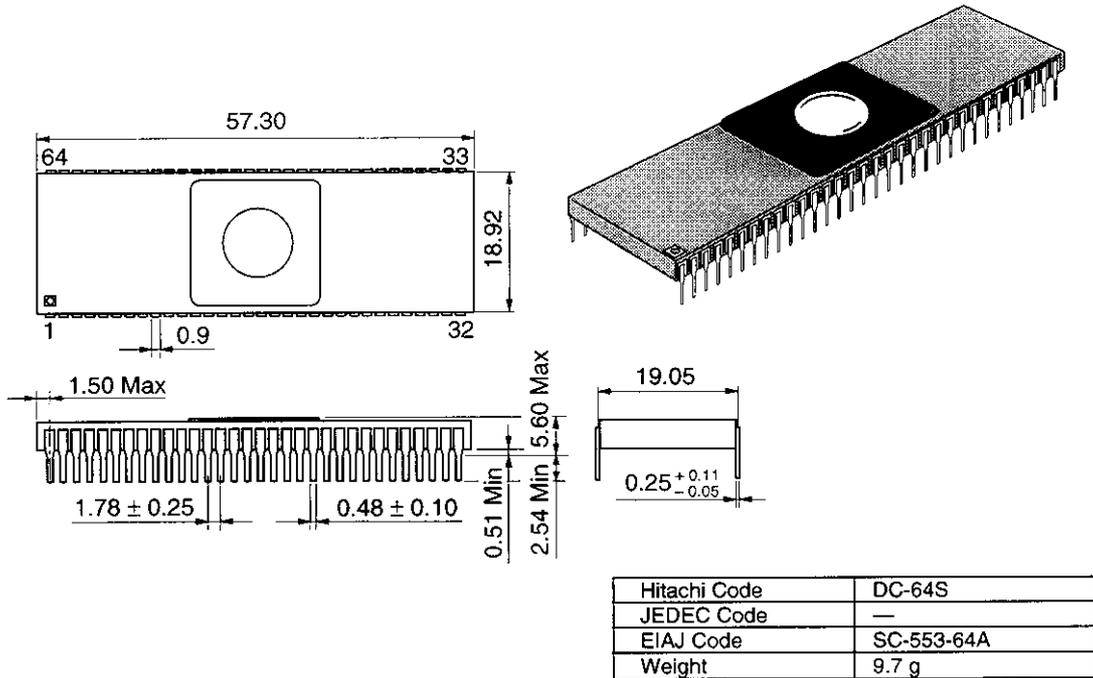


図 1.1 外形寸法図 [DC-64S]

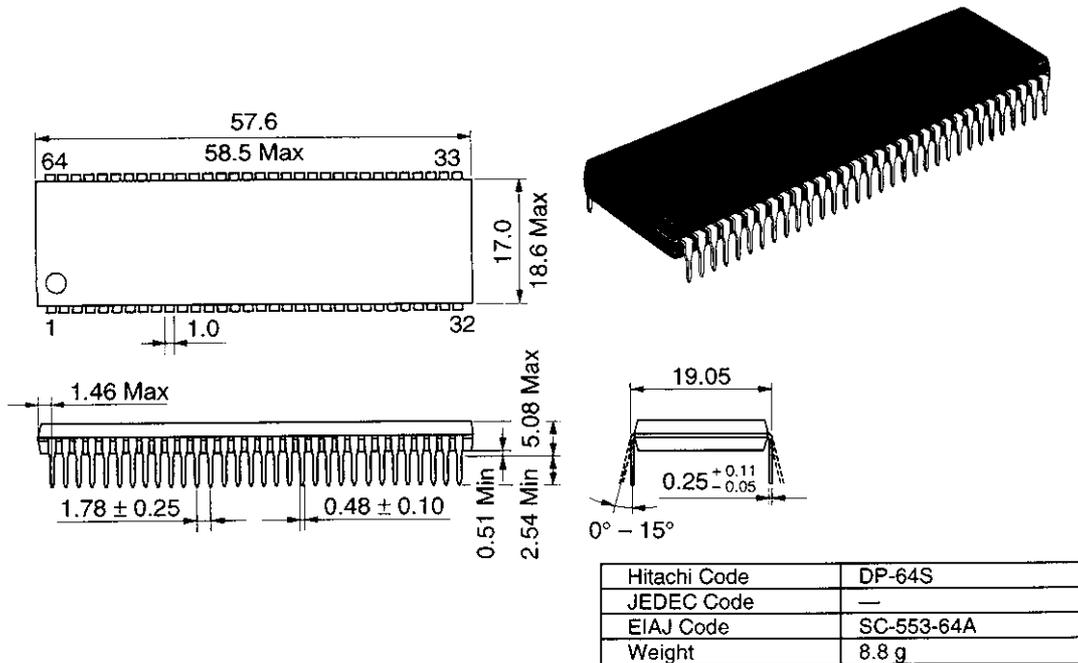


図 1.2 外形寸法図 [DP-64S]

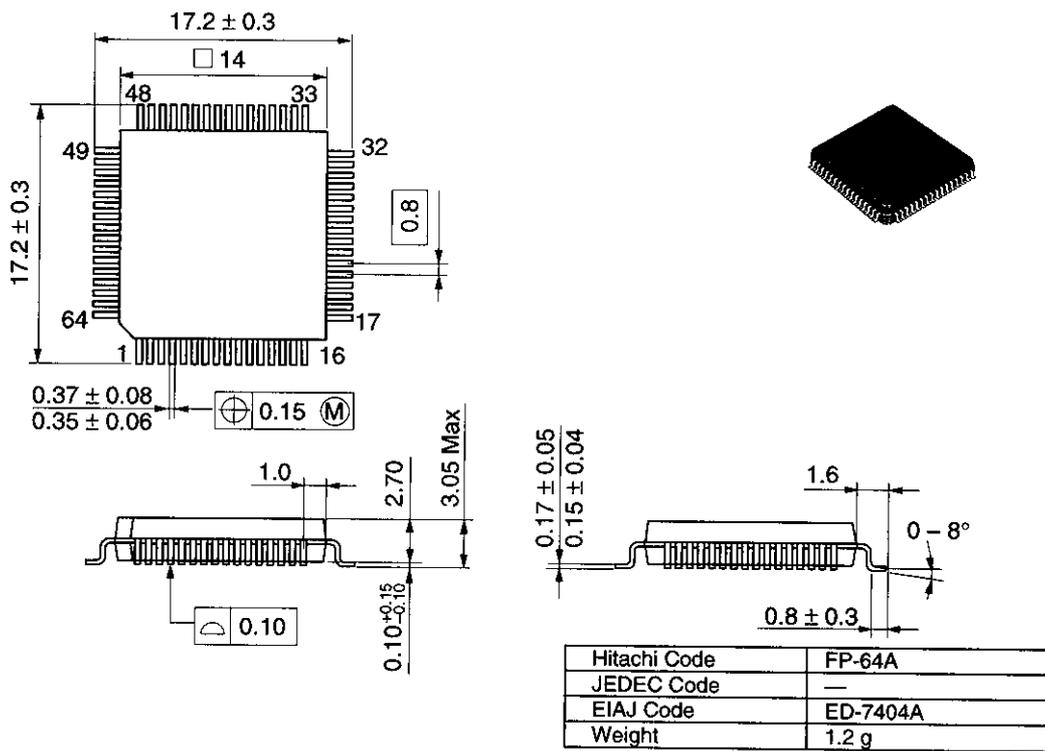


图 1.3 外形寸法图 [FP-64A]

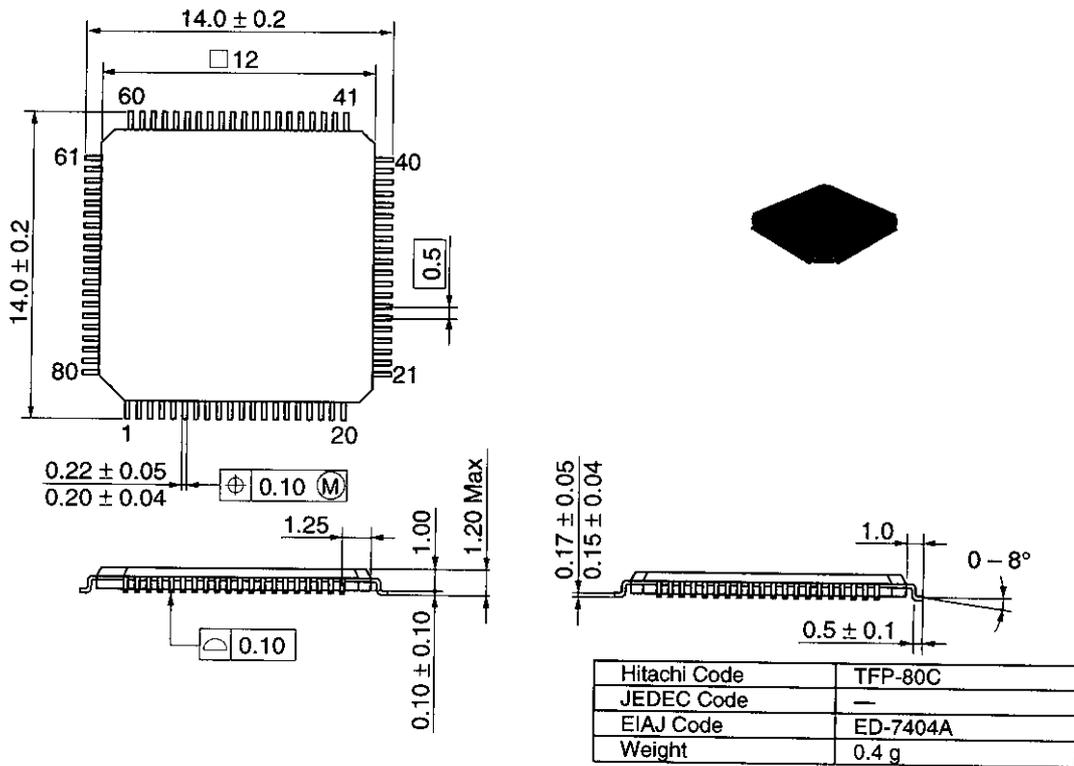


图 1.4 外形寸法图 [TFP-80C]

H8/3217 シリーズ ハードウェアマニュアル

発行年月 平成7年9月 第1版

平成9年3月 第2版

発 行 株式会社 日立製作所

半導体事業部

編 集 株式会社日立マイコンシステム

技術情報センタ

©株式会社 日立製作所 1995

# H8/3217 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-127A